

S128 マイクロコントローラ

ユーザーズマニュアル
(参考資料)

Renesas Synergy™ プラットフォーム
Renesas Synergy™ マイクロコントローラ
S1 シリーズ

本資料は英語版を翻訳した参考資料です。内容に相違がある場合には英語版を優先します。資料によっては英語版のバージョンが更新され、内容が変わっている場合があります。日本語版は参考用としてご使用のうえ、最新および正式な内容については英語版のドキュメントをご参照ください。

資料番号 R01UM0005EU0100、リビジョン Rev.1.00、発行日 2017 年 3 月 10 日の翻訳版です。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。

- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の都合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、VIL (Max.) から VIH (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、VIL (Max.) から VIH (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このマニュアルについて

このマニュアルは、Renesas Synergy™ Microcontroller についての機能と電気的特性を記述します。

このマニュアルは主に、製品の概要、CPU、システム制御機能、周辺機能、電気的特性の仕様および使用上の注意事項で構成されています。このマニュアルはマイクロコントローラ（MCU）のスーパーセットの製品特性を記述します。お客様の製品によっていくつかの端子、レジスタまたは機能が存在しないものがある場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas Synergy Microcontroller を使用したプログラミングアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路および MCU に関する基本的な知識が求められます。

3. ルネサス刊行物

弊社では、Renesas Synergy Microcontroller 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前には、www.renesas.com にアクセスして最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要およびMCUの電気的特性
	ユーザーズマニュアル：マイクロコントローラ	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などのMCU仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート（TU）	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	データシート	Renesas Synergy Software Package（SSP）に含まれるソフトウェアモジュールの機能説明と特定のパフォーマンスデータ
	ユーザーズマニュアル：ソフトウェア	SSPアーキテクチャおよびプログラミング情報を含むAPIリファレンス
	アプリケーションノート	プロジェクトファイル、ソフトウェアプログラミングのガイドラインおよび組み込みソフトウェアアプリケーションを開発するためのアプリケーション例
ツール&キット、ソリューション	ユーザーズマニュアル：開発ツール	開発キット（DK）、スターターキット（SK）、プロモーションキット（PK）、製品例（PE）、およびアプリケーション例（AE）を使用して組み込みソフトウェアアプリケーションを開発するためのユーザーズマニュアルおよびクイックスタートガイド
	ユーザーズマニュアル：ソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクトファイル、ソフトウェアプログラミングのガイドラインおよび組み込みソフトウェアアプリケーションを開発するためのアプリケーション例

参考資料

4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。場合によっては、C/C++フォーマットに基づいて、プレフィックス0xが付いた16進数が示されます。
1234	10進数。混同する可能性のある場合に限って、10進数の後にこのシンボルが付加されます。通常、10進数に接尾辞は付加されません。

5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
WDT.WDTRCR.RSTIRQS	機能モジュールのシンボル (WDT)、レジスタのシンボル (WDTRCR)、およびビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
WDT.WDTRCR	機能モジュールのシンボル (WDT) とレジスタのシンボル (WDTRCR) は、ピリオドで区切られます。
WDTRCR.RSTIRQS	レジスタのシンボル (WDTRCR) とビットフィールドのシンボル (RSTIRQS) は、ピリオドで区切られます。
CKS[3:0]	角括弧内の数字はレジスタ内のビット数を示します。たとえば、CKS[3:0]はWDT制御レジスタ (WDTCR) のビット3~0を示します。

6. 単位記号

下記の単位記号は誤解を招くことがあります。これらの単位記号は、このマニュアル全体を通して下記の意味で用いられます。

例	内容
b	Bit
B	Byte この単位記号は、一般にMCUおよびアドレススペースのメモリ指定に使用されます。
k	$1000 = 10^3$ kは1024 (2^{10}) を表すのにも使用されますが、この単位記号はこのマニュアル全体を通して1000 (10^3) 表すために使用されます。
K	$1024 = 2^{10}$ この単位記号は、このマニュアル全体を通して1000 (10^3) ではなく1024 (2^{10}) を表すために使用されます。

7. 特殊用語

下記の用語には特殊な意味があります。

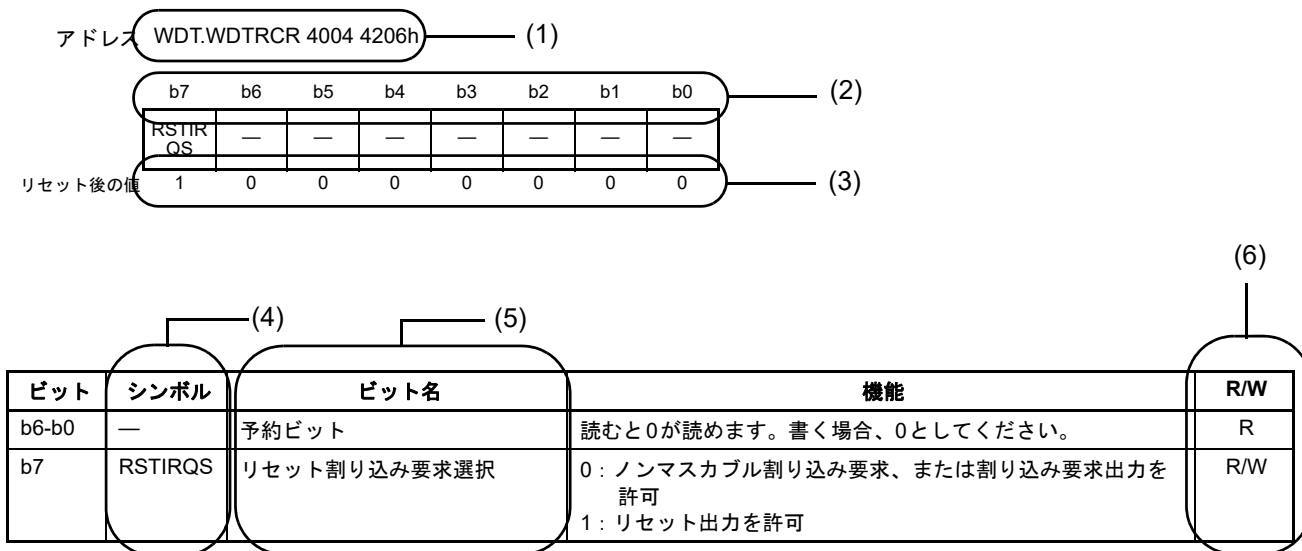
用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

参考資料

8. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用されている記号例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールド定義の例です。

X.X.X WDT リセットコントロールレジスタ (WDTRCR)



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス配置

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス配置が記載されます。

たとえば、WDT.WDTRCR 4004 4206h は、ウォッチドッグタイマ (WDT) の WDT リセットコントロールレジスタ (WDTRCR) がアドレス 4004 4206h に配置されることを意味します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ~ b0 の順に、16 ビットレジスタの場合は b15 ~ b0 の順に、8 ビットレジスタの場合は b7 ~ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

- 0: ハードリセット後、値は 0
- 1: ハードリセット後、値は 1
- x: ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

R/W: 読み出しも書き込みも可能

R(W): 読み出しも書き込みも可能。しかし、本ビットフィールドに書き込むにはいくつかの制限があります。制限の詳細については、それぞれのレジスタの説明または注釈を参照してください。

R: 読み出しのみ可能。書き込みは無効

W: 書き込みのみ可能。読み出し値は不定

参考資料

9. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHBアクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2進化10進数)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ECC	Error Correction Code (誤り訂正コード)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FLL	Frequency Locked Loop (周波数安定化ループ回路)
FPU	Floating Point Unit (浮動小数点ユニット)
GSM	Global System for Mobile communications (第2世代移動通信システム (2G) 規格)
HMI	Human Machine Interface (ヒューマンマシンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会/規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power-on Reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adlemanによる公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数発生器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)
VCO	Voltage Controlled Oscillator (電圧制御発振器)

参考資料

10. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm® および Cortex® は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark® は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™ は、Advanced Micro Devices、Inc. の商標です。

SuperFlash® は、Silicon Storage Technology、Inc. の日本と米国を含むいくつかの国での登録商標です。

このマニュアルに記載されているその他のブランド名は、それぞれの所有者の商標または登録商標です。

11. 製品へのフィードバック

本製品に関するご意見やご提案がございましたら、<https://www.renesas.com/en-eu/support/contact.html> までお願いいたします。

12. コンテンツへのフィードバック

改善のための一般的な提案など、ドキュメントに関するご意見がある場合は、下記の情報を <https://www.renesas.com/en-eu/support/contact.html> にてお寄せください。

- Renesas Synergy ドキュメントのタイトル
- ドキュメント番号
- 該当する場合、お客様のご意見の参照ページ番号
- お客様のご意見の詳細説明

目次

特長	44
1. 概要	45
1.1 機能の概要	45
1.2 ブロック図	50
1.3 型名	51
1.4 機能の比較	52
1.5 端子機能	53
1.6 ピン配置図	56
1.7 端子一覧	60
2. CPU	62
2.1 概要	62
2.1.1 CPU	62
2.1.2 デバッグ	62
2.1.3 動作周波数	63
2.2 MCU 実装オプション	64
2.3 トレースインタフェース	64
2.4 SWD インタフェース	64
2.5 デバッグモード	65
2.5.1 デバッグモード定義	65
2.5.2 デバッグモードの影響	65
2.5.2.1 低消費電力モード	65
2.5.2.2 リセット	66
2.6 プログラマモデル	67
2.6.1 アドレス空間	67
2.6.2 Cortex-M0+ ペリフェラルアドレスマップ	67
2.6.3 外部デバッグアドレスマップ	68
2.6.4 CoreSight ROM テーブル	68
2.6.4.1 ROM エントリ	68
2.6.4.2 CoreSight レジスタ	69
2.6.5 DBGREG モジュール	70
2.6.5.1 デバッグステータスレジスタ (DBGSTR)	70
2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)	71
2.6.5.3 DBGREG CoreSight レジスタ	72
2.6.6 OCDREG モジュール	73
2.6.6.1 ID 認証コードレジスタ (IAUTH0 ~ 3)	73
2.6.6.2 MCU ステータスレジスタ (MCUSTAT)	74
2.6.6.3 MCU コントロールレジスタ (MCUCTRL)	75
2.6.6.4 OCDREG CoreSight レジスタ	75
2.7 SysTick システムタイマ	76

参考資料

2.8	OCD エミュレータ接続	76
2.8.1	アンロック ID コード	76
2.8.2	OCD エミュレータ接続における制限	77
2.8.2.1	低消費電力モード中の接続開始	77
2.8.2.2	OCD モードにおける低消費電力モードの切り替え	77
2.8.2.3	OSIS におけるアンロック ID コードの変更	77
2.8.2.4	接続順序と SWD 認証	78
2.9	参考資料	79
3.	動作モード	80
3.1	概要	80
3.2	動作モードの説明	80
3.2.1	シングルチップモード	80
3.2.2	SCI ブートモード	80
3.3	動作モード遷移	80
3.3.1	モード設定端子による動作モード遷移	80
4.	アドレス空間	81
4.1	概要	81
5.	リセット	82
5.1	概要	82
5.2	レジスタの説明	87
5.2.1	リセットステータスレジスタ 0 (RSTSR0)	87
5.2.2	リセットステータスレジスタ 1 (RSTSR1)	89
5.2.3	リセットステータスレジスタ 2 (RSTSR2)	91
5.3	動作説明	92
5.3.1	RES 端子リセット	92
5.3.2	パワーオンリセット	92
5.3.3	電圧監視リセット	94
5.3.4	独立ウォッチドッグタイマリセット	95
5.3.5	ウォッチドッグタイマリセット	96
5.3.6	ソフトウェアリセット	96
5.3.7	コールドスタート/ウォームスタート判定機能	96
5.3.8	リセット発生要因の判定	96
6.	オプション設定メモリ	98
6.1	概要	98
6.2	レジスタの説明	99
6.2.1	オプション機能選択レジスタ 0 (OFS0)	99
6.2.2	オプション機能選択レジスタ 1 (OFS1)	103
6.2.3	MPU レジスタ	104
6.2.4	アクセスウィンドウ設定コントロールレジスタ (AWSC)	105
6.2.5	アクセスウィンドウ設定レジスタ (AWS)	106
6.2.6	OCD / シリアルプログラマ ID 設定レジスタ (OSIS)	108

参考資料

6.3	オプション設定メモリの設定方法	109
6.3.1	オプション設定メモリへのデータの配置方法	109
6.3.2	オプション設定メモリにプログラムするデータの設定方法	109
6.4	使用上の注意事項	109
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	109
7.	低電圧検出 (LVD)	110
7.1	概要	110
7.2	レジスタの説明	113
7.2.1	電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)	113
7.2.2	電圧モニタ 1 回路ステータスレジスタ (LVD1SR)	114
7.2.3	電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)	115
7.2.4	電圧モニタ 2 回路ステータスレジスタ (LVD2SR)	116
7.2.5	電圧モニタ回路コントロールレジスタ (LVCMPCR)	117
7.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	118
7.2.7	電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)	119
7.2.8	電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)	120
7.3	VCC 入力電圧のモニタ	121
7.3.1	Vdet0 のモニタ	121
7.3.2	Vdet1 のモニタ	121
7.3.3	Vdet2 のモニタ	121
7.4	電圧監視 0 リセット	122
7.5	電圧監視 1 割り込み、電圧監視 1 リセット	123
7.6	電圧監視 2 割り込み、電圧監視 2 リセット	125
7.7	イベントリンク出力機能	127
7.7.1	割り込み処理とイベントリンクの関係	127
8.	クロック発生回路	128
8.1	概要	128
8.2	レジスタの説明	131
8.2.1	システムクロック分周コントロールレジスタ (SCKDIVCR)	131
8.2.2	システムクロックソースコントロールレジスタ (SCKSCR)	132
8.2.3	メインクロック発振器コントロールレジスタ (MOSCCR)	133
8.2.4	サブクロック発振器コントロールレジスタ (SOSCCR)	134
8.2.5	低速オンチップオシレータコントロールレジスタ (LOCOCR)	135
8.2.6	高速オンチップオシレータコントロールレジスタ (HOCOCR)	136
8.2.7	中速オンチップオシレータコントロールレジスタ (MOCOCR)	137
8.2.8	発振安定フラグレジスタ (OSCSF)	138
8.2.9	発振停止検出コントロールレジスタ (OSTDCR)	139
8.2.10	発振停止検出ステータスレジスタ (OSTDSR)	140
8.2.11	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	141
8.2.12	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	142
8.2.13	メインクロック発振器モード発振コントロールレジスタ (MOMCR)	143

参考資料

8.2.14	サブクロック発振器モードコントロールレジスタ (SOMCR)	143
8.2.15	クロックアウトコントロールレジスタ (CKOCR)	144
8.2.16	LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)	145
8.2.17	MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)	146
8.2.18	HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)	147
8.3	メインクロック発振器	148
8.3.1	水晶振動子を接続する方法	148
8.3.2	外部クロックを入力する方法	148
8.3.3	外部クロック入力に関する注意事項	148
8.4	サブクロック発振器	149
8.4.1	32.768kHz 水晶振動子を接続する方法	149
8.5	発振停止検出機能	150
8.5.1	発振停止検出と検出後の動作	150
8.5.2	発振停止検出割り込み	152
8.6	内部クロック	153
8.6.1	システムクロック (ICLK)	153
8.6.2	周辺モジュールクロック (PCLKB, PCLKD)	153
8.6.3	フラッシュインタフェースクロック (ICLK)	154
8.6.4	USB クロック (UCLK)	154
8.6.5	CAN クロック (CANMCLK)	154
8.6.6	CAC クロック (CACCLK)	154
8.6.7	RTC 専用クロック (RTCSCLK, RTCLCLK)	154
8.6.8	IWDT 専用クロック (IWDTCLK)	154
8.6.9	AGT 専用クロック (AGTSCLK, AGTLCLK)	154
8.6.10	SysTick タイマ専用クロック (SYSTICCLK)	155
8.6.11	クロック/ブザー出力クロック (CLKOUT)	155
8.7	使用上の注意事項	156
8.7.1	クロック発生回路に関する注意事項	156
8.7.2	発振子に関する注意事項	156
8.7.3	ボード設計に関する注意事項	156
8.7.4	発振子接続端子に関する注意事項	156
9.	クロック周波数精度測定回路 (CAC)	157
9.1	概要	157
9.2	レジスタの説明	159
9.2.1	CAC コントロールレジスタ 0 (CACR0)	159
9.2.2	CAC コントロールレジスタ 1 (CACR1)	160
9.2.3	CAC コントロールレジスタ 2 (CACR2)	161
9.2.4	CAC 割り込みコントロールレジスタ (CAICR)	162
9.2.5	CAC ステータスレジスタ (CASTR)	163
9.2.6	CAC 上限値設定レジスタ (CAULVR)	164
9.2.7	CAC 下限値設定レジスタ (CALLVR)	164

参考資料

9.2.8	CAC カウンタバッファレジスタ (CACNTBR)	164
9.3	動作説明	165
9.3.1	クロック周波数測定	165
9.3.2	CACREF 端子のデジタルフィルタ機能	166
9.4	割り込み要求	166
9.5	使用上の注意事項	166
9.5.1	モジュールストップ状態の設定	166
10.	低消費電力モード	167
10.1	概要	167
10.2	レジスタの説明	171
10.2.1	スタンバイコントロールレジスタ (SBYCR)	171
10.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	171
10.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	172
10.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	173
10.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	174
10.2.6	動作電力コントロールレジスタ (OPCCR)	175
10.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	176
10.2.8	スヌーズコントロールレジスタ (SNZCR)	177
10.2.9	スヌーズ終了コントロールレジスタ (SNZEDCR)	178
10.2.10	スヌーズ要求コントロールレジスタ (SNZREQCR)	180
10.2.11	フラッシュ動作コントロールレジスタ (FLSTOP)	182
10.2.12	システムコントロール OCD コントロールレジスタ (SYOCD CR)	183
10.3	クロックの切り替えによる消費電力の低減	184
10.4	モジュールストップ機能	184
10.5	低消費電力機能	184
10.5.1	動作電力制御モードの設定方法	184
10.5.2	動作範囲	186
10.6	スリープモード	189
10.6.1	スリープモードへの遷移	189
10.6.2	スリープモードの解除	190
10.7	ソフトウェアスタンバイモード	191
10.7.1	ソフトウェアスタンバイモードへの遷移	191
10.7.2	ソフトウェアスタンバイモードの解除	192
10.7.3	ソフトウェアスタンバイモードの応用例	193
10.8	スヌーズモード	194
10.8.1	スヌーズモードへの遷移	194
10.8.2	スヌーズモードの解除	195
10.8.3	ソフトウェアスタンバイモードへの復帰	196
10.8.4	スヌーズモードの動作例	198
10.9	使用上の注意事項	201
10.9.1	レジスタアクセス	201

参考資料

10.9.2	I/O ポートの状態	202
10.9.3	DTC のモジュールストップ状態	202
10.9.4	内部割り込み要因	202
10.9.5	低消費電力モードへの遷移	203
10.9.6	WFI 命令のタイミング	203
10.9.7	スリープモード/スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて	203
10.9.8	スヌーズモードにおける発振器について	203
10.9.9	RXD0 または DRX0 の立ち下がりエッジによるスヌーズモードエントリ	203
10.9.10	スヌーズモードにおける SCI0 または DALI の使用	204
10.9.11	スヌーズモードにおける A/D 変換開始条件	204
10.9.12	スヌーズモードにおける CTSU の条件	204
10.9.13	スヌーズモードにおける ELC イベント	204
10.9.14	ADC140 に関するモジュールストップ機能	204
11.	レジスタライトプロテクション	205
11.1	概要	205
11.2	レジスタの説明	205
11.2.1	プロテクトレジスタ (PRCR)	205
12.	割り込みコントローラユニット (ICU)	206
12.1	概要	206
12.2	レジスタの説明	208
12.2.1	IRQ コントロールレジスタ i (IRQCR i) ($i = 0 \sim 7$)	208
12.2.2	ノンマスカブル割り込みステータスレジスタ (NMISR)	209
12.2.3	ノンマスカブル割り込みイネーブルレジスタ (NMIER)	212
12.2.4	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	214
12.2.5	NMI 端子割り込みコントロールレジスタ (NMICR)	216
12.2.6	ICU イベントリンク設定レジスタ n (IELSR n)	217
12.2.7	SYS イベントリンク設定レジスタ (SELSR0)	218
12.2.8	ウェイクアップ割り込みイネーブルレジスタ (WUPEN)	219
12.3	ベクタテーブル	221
12.3.1	割り込みベクタテーブル	221
12.3.2	イベント番号	223
12.4	割り込み動作	227
12.4.1	割り込みの検出	227
12.4.2	割り込み要求先の選択	229
12.4.2.1	CPU 割り込み要求	229
12.4.2.2	DTC の起動	229
12.4.3	デジタルフィルタ	230
12.4.4	外部端子割り込み	231
12.5	ノンマスカブル割り込みの動作	231
12.6	低消費電力モードからの復帰	232

参考資料

12.6.1	スリープモードからの復帰	232
12.6.2	ソフトウェアスタンバイモードからの復帰	232
12.6.3	スヌーズモードからの復帰	232
12.7	ノンマスクブル割り込みとともに WFI 命令を使用する場合	233
12.8	参考資料	233
13.	バス	234
13.1	概要	234
13.2	バスの説明	236
13.2.1	メインバス	236
13.2.2	スレーブインタフェース	236
13.2.3	並列動作	236
13.2.4	制限事項	236
13.3	レジスタの説明	237
13.3.1	マスタバスコントロールレジスタ (BUSMCNT<master>)	237
13.3.2	スレーブバスコントロールレジスタ (BUSSCNT<slave>)	238
13.3.3	バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4)	239
13.3.4	バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4)	240
13.4	バスエラー監視部	241
13.4.1	バスに生じるエラーの種類	241
13.4.2	バスエラー発生時の動作	241
13.4.3	不正アドレスアクセスエラーを引き起こす条件	242
13.4.4	タイムアウト	242
13.5	参考資料	242
14.	メモリプロテクションユニット (MPU)	243
14.1	概要	243
14.2	CPU スタックポインタモニタ	244
14.2.1	レジスタの保護	246
14.2.2	オーバーフローエラーとアンダーフローエラー	246
14.2.3	レジスタの説明	247
14.2.3.1	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)	247
14.2.3.2	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)	247
14.2.3.3	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)	248
14.2.3.4	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)	248
14.2.3.5	スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)	249
14.2.3.6	スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)	250
14.2.3.7	スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)	251
14.3	Arm MPU	252

参考資料

14.4	バスマスタ MPU	253
14.4.1	レジスタの説明	255
14.4.1.1	グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 3)	255
14.4.1.2	グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 3)	255
14.4.1.3	グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 3)	256
14.4.1.4	バスマスタ MPU コントロールレジスタ (MMPUCTLA)	258
14.4.1.5	グループ A レジスタ保護 (MMPUPTA)	259
14.4.2	機能説明	260
14.4.2.1	メモリプロテクション	260
14.4.2.2	レジスタの保護	262
14.4.2.3	メモリプロテクションエラー	262
14.5	バススレーブ MPU	263
14.5.1	レジスタの説明	264
14.5.1.1	メモリバス 1 アクセスコントロールレジスタ (SMPUMBIU)	264
14.5.1.2	内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)	265
14.5.1.3	メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)	266
14.5.1.4	内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)	267
14.5.1.5	内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)	268
14.5.1.6	内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)	269
14.5.1.7	スレーブ MPU コントロールレジスタ (SMPUCTL)	270
14.5.2	機能説明	271
14.5.2.1	メモリプロテクション	271
14.5.2.2	レジスタの保護	271
14.5.2.3	メモリプロテクションエラー	271
14.6	セキュリティ MPU	272
14.6.1	レジスタの説明 (オプション設定メモリ)	273
14.6.1.1	セキュリティ MPU プログラムカウンタ開始アドレスレジスタ n (SECMPUPCS _n) (n = 0, 1)	273
14.6.1.2	セキュリティ MPU プログラムカウンタ終了アドレスレジスタ n (SECMPUPC _n) (n = 0, 1)	274
14.6.1.3	セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPU0)	274
14.6.1.4	セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPU0E)	275
14.6.1.5	セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPU1)	275
14.6.1.6	セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPU1E)	276
14.6.1.7	セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPU2)	276
14.6.1.8	セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPU2E)	277
14.6.1.9	セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPU3)	277
14.6.1.10	セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPU3E)	278
14.6.1.11	セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)	279
14.6.2	メモリプロテクション	281
14.6.3	デバッグに関する注意事項	282

参考資料

14.7	参考資料	282
15.	データトランスファコントローラ (DTC)	283
15.1	概要	283
15.2	レジスタの説明	285
15.2.1	DTC モードレジスタ A (MRA)	285
15.2.2	DTC モードレジスタ B (MRB)	286
15.2.3	DTC 転送元レジスタ (SAR)	287
15.2.4	DTC 転送先レジスタ (DAR)	287
15.2.5	DTC 転送カウントレジスタ A (CRA)	288
15.2.6	DTC 転送カウントレジスタ B (CRB)	289
15.2.7	DTC コントロールレジスタ (DTCCR)	289
15.2.8	DTC ベクタベースレジスタ (DTCVBR)	290
15.2.9	DTC モジュール起動レジスタ (DTCST)	290
15.2.10	DTC ステータスレジスタ (DTCSTS)	291
15.3	起動要因	292
15.3.1	転送情報の配置と DTC ベクタテーブル	292
15.4	動作説明	294
15.4.1	転送情報のリードスキップ機能	296
15.4.2	転送情報のライトバックスキップ機能	297
15.4.3	ノーマル転送モード	298
15.4.4	リピート転送モード	299
15.4.5	ブロック転送モード	301
15.4.6	チェーン転送	302
15.4.7	動作タイミング	303
15.4.8	DTC の実行サイクル	305
15.4.9	DTC のバス権解放タイミング	305
15.5	DTC の設定手順	306
15.6	DTC の使用例	307
15.6.1	ノーマル転送	307
15.6.2	チェーン転送	308
15.6.3	カウンタ = 0 のときのチェーン転送	310
15.7	割り込み要因	312
15.8	イベントリンク	312
15.9	スヌーズ制御インタフェース	312
15.10	モジュールストップ機能	312
15.11	使用上の注意事項	313
15.11.1	転送情報の開始アドレス	313
16.	イベントリンクコントローラ (ELC)	314
16.1	概要	314
16.2	レジスタの説明	315
16.2.1	イベントリンクコントローラレジスタ (ELCR)	315

参考資料

16.2.2	イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)	316
16.2.3	イベントリンク設定レジスタ n (ELSRn)	317
16.3	動作説明	321
16.3.1	割り込み処理とイベントリンクの関係	321
16.3.2	イベントのリンク	321
16.3.3	イベントリンクの動作設定手順例	321
16.4	使用上の注意事項	322
16.4.1	DTC 転送終了のイベントリンクを使用する場合	322
16.4.2	クロックの設定について	322
16.4.3	モジュールストップ機能の設定	322
17.	I/O ポート	323
17.1	概要	323
17.2	レジスタの説明	325
17.2.1	ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)	325
17.2.2	ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)	326
17.2.3	ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)	327
17.2.4	ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)	328
17.2.5	ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) (m = 0 ~ 5, 9; n = 00 ~ 15)	329
17.2.6	書き込みプロテクトレジスタ (PWPR)	332
17.3	動作説明	333
17.3.1	汎用入出力ポート	333
17.3.2	ポート機能選択	333
17.3.3	ELC のポートグループ機能	334
17.3.3.1	ELC から ELC_PORT1 または 2 が入力された場合の動作	334
17.3.3.2	イベントパルスが ELC に出力された場合の動作	335
17.4	未使用端子の処理	336
17.5	使用上の注意事項	337
17.5.1	端子機能の設定手順	337
17.5.2	ポートグループ入力の使用手順	337
17.5.3	ポート出力データレジスタ (PODR) の概要	337
17.5.4	アナログ機能使用時の注意事項	337
17.5.5	USB_DP 端子および USB_DM 端子の選択	338
17.5.5.1	P914/USB_DP および P915/USB_DM 使用時の注意事項	338
17.6	製品ごとの周辺選択設定	339
18.	キー割り込み機能 (KINT)	346
18.1	概要	346
18.2	レジスタの説明	348
18.2.1	キーリターンコントロールレジスタ (KRCTL)	348
18.2.2	キーリターンフラグレジスタ (KRF)	348
18.2.3	キーリターンモードレジスタ (KRM)	349

参考資料

18.3	動作説明	350
18.3.1	キー割り込みフラグを使用しない場合 (KRMD = 0)	350
18.3.2	キー割り込みフラグを使用する場合 (KRMD = 1)	351
18.4	使用上の注意事項	352
19.	GPT 用ポートアウトプットイネーブル (POEG)	353
19.1	概要	353
19.2	レジスタの説明	355
19.2.1	POEG グループ n 設定レジスタ (POEGGn) (n = A, B)	355
19.3	出力禁止制御の動作	357
19.3.1	端子入力レベル検出時の動作	357
19.3.1.1	デジタルフィルタ	357
19.3.2	GPT からの出力禁止要求	358
19.3.3	コンパレータ割り込みの検出	358
19.3.4	発振停止検出による出力禁止制御	358
19.3.5	レジスタによる出力禁止制御	358
19.3.6	出力禁止状態の解除	358
19.4	割り込み要因	360
19.5	GPT に対する外部トリガ出力	361
19.6	使用上の注意事項	361
19.6.1	ソフトウェアスタンバイモードへの遷移	361
19.6.2	GPT 対応端子の指定	361
20.	汎用 PWM タイマ (GPT)	362
20.1	概要	362
20.2	レジスタの説明	366
20.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	367
20.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	368
20.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	368
20.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	369
20.2.5	汎用 PWM タイマスタート要因選択レジスタ (GTSSR)	370
20.2.6	汎用 PWM タイマストップ要因選択レジスタ (GTPSR)	373
20.2.7	汎用 PWM タイマクリア要因選択レジスタ (GTCSR)	376
20.2.8	汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)	379
20.2.9	汎用 PWM タイマダウンカウント要因選択レジスタ (GTDNSR)	382
20.2.10	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)	385
20.2.11	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B (GTICBSR)	388
20.2.12	汎用 PWM タイマコントロールレジスタ (GTCR)	391
20.2.13	汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)	393
20.2.14	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	396
20.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	400
20.2.16	汎用 PWM タイマステータスレジスタ (GTST)	401
20.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	405

参考資料

20.2.18	汎用 PWM タイマカウンタ (GTCNT)	406
20.2.19	汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)	407
20.2.20	汎用 PWM タイマ周期設定レジスタ (GTPR)	408
20.2.21	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	408
20.2.22	汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCR)	409
20.2.23	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)	410
20.2.24	出力相切り替えコントロールレジスタ (OPSCR)	411
20.3	動作説明	414
20.3.1	基本動作	414
20.3.1.1	カウンタの動作	414
20.3.1.2	コンペアマッチによる波形出力機能	420
20.3.1.3	インプットキャプチャ機能	424
20.3.2	バッファ動作	426
20.3.2.1	GTPR レジスタのバッファ動作	426
20.3.2.2	GTCCRA、GTCCRB レジスタのバッファ動作	429
20.3.3	PWM 出力動作モード	434
20.3.3.1	のこぎり波 PWM モード	434
20.3.3.2	のこぎり波ワンショットパルスモード	436
20.3.3.3	三角波 PWM モード 1 (谷 32 ビット転送)	439
20.3.3.4	三角波 PWM モード 2 (山/谷 32 ビット転送)	441
20.3.3.5	三角波 PWM モード 3 (谷 64 ビット転送)	443
20.3.4	デッドタイム自動設定機能	446
20.3.5	カウント方向切り替え機能	451
20.3.6	出力デューティ 0% および出力デューティ 100% 機能	452
20.3.7	ハードウェアカウントスタート/カウントストップ、カウントクリア動作	454
20.3.7.1	ハードウェアスタート動作	454
20.3.7.2	ハードウェアストップ動作	456
20.3.7.3	ハードウェアクリア動作	460
20.3.8	同期動作	463
20.3.8.1	ソフトウェアによる同期動作	463
20.3.8.2	ハードウェアによる同期動作	465
20.3.9	PWM 出力動作例	467
20.3.10	位相計数機能	473
20.3.11	出力相切り替え (GPT_OPS)	483
20.3.11.1	外部入力信号の同期および入力選択	487
20.3.11.2	入力サンプリング	487
20.3.11.3	入力相デコード	488
20.3.11.4	回転方向制御	488
20.3.11.5	出力選択制御	489
20.3.11.6	出力選択制御 (グループ出力禁止機能)	490
20.3.11.7	イベントリンクコントローラ (ELC) 出力	490

参考資料

20.3.11.8	GPT_OPS スタート動作設定フロー	491
20.4	割り込み要因	492
20.4.1	割り込み要因	492
20.4.2	DTC の起動	494
20.5	ELC によるリンク動作	495
20.5.1	ELC へのイベント信号出力	495
20.5.2	ELC からのイベント信号入力	495
20.6	ノイズフィルタ機能	496
20.7	保護機能	497
20.7.1	レジスタの書き込み保護	497
20.7.2	バッファ動作の禁止	497
20.7.3	GTIOC 端子出力のネゲート制御	498
20.8	出力端子の初期化方法	499
20.8.1	リセット後の端子設定	499
20.8.2	動作中の異常による端子の初期化	499
20.9	使用上の注意事項	500
20.9.1	モジュールストップ状態の設定	500
20.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)	500
20.9.3	GTCNT カウンタの範囲設定	501
20.9.4	GTCNT カウンタのスタート/ストップ	501
20.9.5	イベントごとの優先順位	502
21.	PWM 遅延生成回路	503
21.1	概要	503
21.2	レジスタの説明	505
21.2.1	PWM 出力遅延コントロールレジスタ (GTDLYCR)	505
21.2.2	PWM 出力遅延コントロールレジスタ 2 (GTDLYCR2)	506
21.2.3	GTIOCnA 立ち上がり出力遅延レジスタ (GTDLYRnA) (n = 1 ~ 3)	507
21.2.4	GTIOCnA 立ち下がり出力遅延レジスタ (GTDLYFnA) (n = 1 ~ 3)	508
21.2.5	GTIOCnB 立ち上がり出力遅延レジスタ (GTDLYRnB) (n = 1 ~ 3)	509
21.2.6	GTIOCnB 立ち下がり出力遅延レジスタ (GTDLYFnB) (n = 1 ~ 3)	510
21.3	動作説明	511
21.3.1	PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整	511
21.3.2	GTDLYRnA、GTDLYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の 転送タイミング	512
21.4	使用上の注意事項	514
21.4.1	モジュールストップ機能の設定	514
21.4.2	PWM 遅延生成回路の遅延設定に関する注意事項	514
22.	非同期汎用タイマ (AGT)	515
22.1	概要	515
22.2	レジスタの説明	517
22.2.1	AGT カウンタレジスタ (AGT)	517
22.2.2	AGT コンペアマッチ A レジスタ (AGTCMA)	517

参考資料

22.2.3	AGT コンペアマッチ B レジスタ (AGTCMB)	518
22.2.4	AGT コントロールレジスタ (AGTCR)	518
22.2.5	AGT モードレジスタ 1 (AGTMR1)	520
22.2.6	AGT モードレジスタ 2 (AGTMR2)	521
22.2.7	AGT I/O コントロールレジスタ (AGTIOC)	522
22.2.8	AGT イベント端子選択レジスタ (AGTISR)	523
22.2.9	AGT コンペアマッチ機能選択レジスタ (AGTCMSR)	523
22.2.10	AGT 端子選択レジスタ (AGTIOSEL)	524
22.3	動作説明	525
22.3.1	リロードレジスタおよびカウンタの書き換え動作	525
22.3.2	リロードレジスタおよびコンペアレジスタ A/B の書き換え動作	527
22.3.3	タイマモード	528
22.3.4	パルス出力モード	529
22.3.5	イベントカウンタモード	530
22.3.6	パルス幅測定モード	532
22.3.7	パルス周期測定モード	533
22.3.8	コンペアマッチ機能	534
22.3.9	各モードの出力設定	536
22.3.10	スタンバイモード	537
22.3.11	割り込み要因	538
22.3.12	ELC へのイベント信号出力	538
22.4	使用上の注意事項	539
22.4.1	カウント動作のスタートおよびストップ制御	539
22.4.2	カウンタレジスタへのアクセス	539
22.4.3	モード変更時	540
22.4.4	デジタルフィルタ	540
22.4.5	イベント番号、パルス幅、およびパルス周期の計算方法	540
22.4.6	TSTOP ビットによってカウントを強制停止した場合	540
22.4.7	カウントソースに AGT0 アンダーフローを選択した場合	541
22.4.8	I/O レジスタのリセット	541
22.4.9	カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合	541
22.4.10	カウントソースに AGTLCLK または AGTSCLK を選択した場合	541
23.	リアルタイムクロック (RTC)	542
23.1	概要	542
23.2	レジスタの説明	544
23.2.1	64Hz カウンタ (R64CNT)	544
23.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	545
23.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	546
23.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	547
23.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	548
23.2.6	日カウンタ (RDAYCNT)	549

参考資料

23.2.7	月カウンタ (RMONCNT)	549
23.2.8	年カウンタ (RYRCNT)	550
23.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	551
23.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	552
23.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	553
23.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	555
23.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)	556
23.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)	557
23.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)	558
23.2.16	年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)	559
23.2.17	RTC コントロールレジスタ 1 (RCR1)	560
23.2.18	RTC コントロールレジスタ 2 (RCR2)	561
23.2.19	RTC コントロールレジスタ 4 (RCR4)	564
23.2.20	周波数レジスタ (RFRH/RFRL)	565
23.2.21	時計誤差補正レジスタ (RADJ)	566
23.3	動作説明	567
23.3.1	電源投入後のレジスタ初期設定の概要	567
23.3.2	クロックおよびカウントモードの設定手順	568
23.3.3	時刻の設定	569
23.3.4	30 秒調整手順	570
23.3.5	64Hz カウンタと時刻の読み出し	571
23.3.6	アラーム機能	572
23.3.7	アラーム割り込み禁止手順	573
23.3.8	時計誤差補正機能	574
23.3.8.1	自動補正機能	574
23.3.8.2	ソフトウェアによる補正	575
23.3.8.3	補正モードの変更手順	575
23.3.8.4	補正機能の停止手順	575
23.4	割り込み要因	576
23.5	イベントリンク出力	577
23.5.1	割り込み処理とイベントリンク機能	577
23.6	使用上の注意事項	578
23.6.1	カウント動作時のレジスタ書き込みについて	578
23.6.2	周期割り込みの使用について	578
23.6.3	RTCOUT (1Hz/64Hz) クロック出力について	579

参考資料

23.6.4	レジスタ設定後の低消費電力モード遷移について	579
23.6.5	レジスタの書き込み／読み出し時の注意事項	579
23.6.6	カウントモードの変更について	579
23.6.7	リアルタイムクロックを使用しない場合の初期化手順	580
24.	ウォッチドッグタイマ (WDT)	581
24.1	概要	581
24.2	レジスタの説明	583
24.2.1	WDT リフレッシュレジスタ (WDTRR)	583
24.2.2	WDT コントロールレジスタ (WDTCR)	584
24.2.3	WDT ステータスレジスタ (WDTSR)	587
24.2.4	WDT リセットコントロールレジスタ (WDTRCR)	588
24.2.5	WDT カウント停止コントロールレジスタ (WDCSTPR)	588
24.2.6	オプション機能選択レジスタ 0 (OFS0)	588
24.3	動作説明	589
24.3.1	スタートモード別のカウント動作	589
24.3.1.1	レジスタスタートモード	589
24.3.1.2	オートスタートモード	591
24.3.2	WDTCR、WDTRCR、および WDCSTPR レジスタへの書き込み制御	593
24.3.3	リフレッシュ動作	594
24.3.4	リセット出力	595
24.3.5	割り込み要因	595
24.3.6	ダウンカウンタ値の読み出し	595
24.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係	596
24.4	ELC によるリンク動作	596
24.5	使用上の注意事項	596
24.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定	596
25.	独立ウォッチドッグタイマ (IWDT)	597
25.1	概要	597
25.2	レジスタの説明	599
25.2.1	IWDT リフレッシュレジスタ (IWDTRR)	599
25.2.2	IWDT ステータスレジスタ (IWDTSR)	600
25.2.3	オプション機能選択レジスタ 0 (OFS0)	601
25.3	動作説明	604
25.3.1	オートスタートモード	604
25.3.2	リフレッシュ動作	606
25.3.3	ステータスフラグ	607
25.3.4	リセット出力	607
25.3.5	割り込み要因	608
25.3.6	ダウンカウンタ値の読み出し	608
25.4	ELC によるリンク動作	608
25.5	使用上の注意事項	609

参考資料

25.5.1	リフレッシュ動作	609
25.5.2	クロック分周比の設定	609
26.	USB2.0 フルスピードモジュール (USBFS)	610
26.1	概要	610
26.2	レジスタの説明	612
26.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG)	612
26.2.2	システムコンフィグレーションステータスレジスタ 0 (SYSSTS0)	613
26.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	614
26.2.4	CFIFO ポートレジスタ (CFIFO/CFIFOL)	615
26.2.5	CFIFO ポート選択レジスタ (CFIFOSEL)	617
26.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR)	619
26.2.7	割り込みイネーブルレジスタ 0 (INTENB0)	621
26.2.8	BRDY 割り込みイネーブルレジスタ (BRDYENB)	622
26.2.9	NRDY 割り込みイネーブルレジスタ (NRDYENB)	623
26.2.10	BEMP 割り込みイネーブルレジスタ (BEMPENB)	624
26.2.11	SOF 出力コンフィグレーションレジスタ (SOFCFG)	625
26.2.12	割り込みステータスレジスタ 0 (INTSTS0)	626
26.2.13	BRDY 割り込みステータスレジスタ (BRDYSTS)	628
26.2.14	NRDY 割り込みステータスレジスタ (NRDYSTS)	629
26.2.15	BEMP 割り込みステータスレジスタ (BEMPSTS)	629
26.2.16	フレームナンバレジスタ (FRMNUM)	630
26.2.17	USB リクエストタイプレジスタ (USBREQ)	630
26.2.18	USB リクエストバリューレジスタ (USBVAL)	631
26.2.19	USB リクエストインデックスレジスタ (USBINDX)	631
26.2.20	USB リクエストレングスレジスタ (USBLENG)	632
26.2.21	DCP コンフィグレーションレジスタ (DCPCFG)	632
26.2.22	DCP マックスパケットサイズレジスタ (DCPMAXP)	633
26.2.23	DCP コントロールレジスタ (DCPCTR)	634
26.2.24	パイプウィンドウ選択レジスタ (PIPESEL)	636
26.2.25	パイプコンフィグレーションレジスタ (PIPECFG)	637
26.2.26	パイプマックスパケットサイズレジスタ (PIPEMAXP)	639
26.2.27	パイプ n コントロールレジスタ (PIPE _n CTR) (n = 4 ~ 7)	640
26.2.28	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE _n TRE) (n = 4, 5)	646
26.2.29	パイプ n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 4, 5)	647
26.2.30	USB モジュールコントロールレジスタ (USBMC)	648
26.2.31	BC コントロールレジスタ 0 (USBBCCTRL0)	649
26.2.32	USB クロック選択レジスタ (UCKSEL)	650
26.3	動作説明	651
26.3.1	システム制御	651
26.3.1.1	USBFS 関連レジスタの設定	651

参考資料

26.3.1.2	USBFS データバス抵抗制御	651
26.3.1.3	USBFS の電源接続例	652
26.3.1.4	USB 外部接続回路の例	655
26.3.2	割り込み要因	659
26.3.3	割り込みの説明	661
26.3.3.1	BRDY 割り込み	661
26.3.3.2	NRDY 割り込み	664
26.3.3.3	BEMP 割り込み	665
26.3.3.4	デバイスステート遷移割り込み	666
26.3.3.5	コントロール転送ステージ遷移割り込み	667
26.3.3.6	フレーム番号更新割り込み	668
26.3.3.7	VBUS 割り込み	668
26.3.3.8	レジューム割り込み	668
26.3.4	パイプコントロール	669
26.3.4.1	パイプコントロールレジスタの切り替え手順	670
26.3.4.2	転送タイプ	670
26.3.4.3	エンドポイント番号	670
26.3.4.4	最大パケットサイズ設定	670
26.3.4.5	トランザクションカウンタ（受信方向パイプ 4 および 5）	671
26.3.4.6	応答 PID	671
26.3.4.7	データ PID シーケンスビット	672
26.3.4.8	応答 PID = NAK 機能	672
26.3.4.9	自動応答モード	672
26.3.4.10	OUT-NAK モード	672
26.3.4.11	Null 自動応答モード	672
26.3.5	FIFO バッファメモリ	673
26.3.6	FIFO バッファクリア	674
26.3.7	FIFO ポートの機能	675
26.3.8	DCP を使用したコントロール転送	676
26.3.8.1	コントロール転送	676
26.3.9	バルク転送（パイプ 4 および 5）	677
26.3.10	インタラプト転送（パイプ 6 および 7）	677
26.3.11	パイプスケジュール	677
26.3.11.1	転送スケジュール	677
26.3.12	バッテリーチャージング検出処理	678
26.3.12.1	処理	678
26.4	使用上の注意事項	680
26.4.1	モジュールストップ状態の設定	680
26.4.2	ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア	680
26.4.3	ポート機能設定後の割り込みステータスレジスタのクリア	680

参考資料

27.	シリアルコミュニケーションインタフェース (SCI)	681
27.1	概要	681
27.2	レジスタの説明	685
27.2.1	受信シフトレジスタ (RSR)	685
27.2.2	受信データレジスタ (RDR)	685
27.2.3	受信 9 ビットデータレジスタ (RDRHL)	685
27.2.4	受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)	686
27.2.5	送信データレジスタ (TDR)	688
27.2.6	送信 9 ビットデータレジスタ (TDRHL)	688
27.2.7	送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)	689
27.2.8	送信シフトレジスタ (TSR)	689
27.2.9	非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)	690
27.2.10	スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)	692
27.2.11	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)	694
27.2.12	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1)	696
27.2.13	非スマートカードインタフェースおよび非 FIFO モード用シリアルステータス レジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)	698
27.2.14	非スマートカードインタフェースおよび FIFO モード用シリアルステータス レジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)	701
27.2.15	スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)	704
27.2.16	スマートカードモードレジスタ (SCMR)	707
27.2.17	ビットレートレジスタ (BRR)	709
27.2.18	モジュレーションデューティレジスタ (MDDR)	717
27.2.19	シリアル拡張モードレジスタ (SEMR)	720
27.2.20	ノイズフィルタ設定レジスタ (SNFR)	722
27.2.21	I ² C モードレジスタ 1 (SIMR1)	723
27.2.22	I ² C モードレジスタ 2 (SIMR2)	724
27.2.23	I ² C モードレジスタ 3 (SIMR3)	725
27.2.24	I ² C ステータスレジスタ (SISR)	727
27.2.25	SPI モードレジスタ (SPMR)	728
27.2.26	FIFO コントロールレジスタ (FCR)	730
27.2.27	FIFO データ数レジスタ (FDR)	732
27.2.28	ラインステータスレジスタ (LSR)	733
27.2.29	コンペアマッチデータレジスタ (CDR)	734
27.2.30	データコンペアマッチコントロールレジスタ (DCCR)	735
27.2.31	シリアルポートレジスタ (SPTR)	737
27.3	調歩同期式モードの動作	738
27.3.1	シリアル転送フォーマット	739

参考資料

27.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	741
27.3.3	クロック	742
27.3.4	倍速動作とビットレートの6倍の周波数	742
27.3.5	CTS、RTS 機能	743
27.3.6	アドレス一致（受信データ一致）検出機能	744
27.3.7	SCI の初期化（調歩同期式モード）	747
27.3.8	シリアルデータの送信（調歩同期式モード）	749
27.3.9	シリアルデータの受信（調歩同期式モード）	755
27.4	マルチプロセッサ通信機能	762
27.4.1	マルチプロセッサシリアルデータ送信	764
27.4.2	マルチプロセッサシリアルデータ受信	767
27.5	クロック同期式モードの動作	772
27.5.1	クロック	772
27.5.2	CTS、RTS 機能	773
27.5.3	SCI の初期化（クロック同期式モード）	774
27.5.4	シリアルデータの送信（クロック同期式モード）	776
27.5.5	シリアルデータの受信（クロック同期式モード）	781
27.5.6	シリアルデータの同時送受信動作（クロック同期式モード）	786
27.6	スマートカードインタフェースモードの動作	790
27.6.1	接続例	790
27.6.2	データフォーマット（ブロック転送モード時を除く）	791
27.6.3	ブロック転送モード	792
27.6.4	受信データのサンプリングタイミングと受信マージン	793
27.6.5	SCI の初期化	794
27.6.6	シリアルデータの送信（ブロック転送モードを除く）	796
27.6.7	シリアルデータの受信（ブロック転送モード以外）	799
27.6.8	クロック出力制御	801
27.7	簡易 IIC モードの動作	802
27.7.1	開始条件、再開条件、停止条件の生成	804
27.7.2	クロック同期化	805
27.7.3	SDA 出力遅延	806
27.7.4	SCI の初期化（簡易 IIC モード）	807
27.7.5	マスタ送信動作（簡易 IIC モード）	808
27.7.6	マスタ受信動作（簡易 IIC モード）	810
27.8	簡易 SPI モードの動作	812
27.8.1	マスタモード、スレーブモードと各端子の状態	813
27.8.2	マスタモード時の SS 機能	813
27.8.3	スレーブモード時の SS 機能	813
27.8.4	クロックと送受信データの関係	814
27.8.5	SCI の初期化（簡易 SPI モード）	814
27.8.6	シリアルデータの送受信（簡易 SPI モード）	815

参考資料

27.9	ビットレートモジュレーション機能	815
27.10	割り込み要因	816
27.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）	816
27.10.2	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）	816
27.10.3	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける 割り込み	816
27.10.4	スマートカードインタフェースモードにおける割り込み	818
27.10.5	簡易 IIC モードにおける割り込み	819
27.11	イベントリンク機能	820
27.12	ノイズ除去機能	822
27.13	使用上の注意事項	823
27.13.1	モジュールストップ状態の設定	823
27.13.2	低消費電力状態での SCI の動作について	823
27.13.3	ブレークの検出と処理について	828
27.13.4	マーク状態とブレークの送付	828
27.13.5	受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）	828
27.13.6	クロック同期送信に関する制約事項（クロック同期式モードおよび 簡易 SPI モード）	829
27.13.7	DTC 使用時の制約事項	831
27.13.8	通信の開始に関する注意事項	831
27.13.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	831
27.13.10	簡易 SPI モードに関する制約事項	832
28.	デジタル調光照明インタフェース（DALI）	833
28.1	概要	833
28.2	レジスタの説明	835
28.2.1	DALI コンフィグレーションレジスタ 1（CNFR1）	835
28.2.2	DALI コンフィグレーションレジスタ 2（CNFR2）	837
28.2.3	DALI コントロールレジスタ 1（CTR1）	838
28.2.4	DALI DTX コントロールレジスタ 1（TXDCTR1）	839
28.2.5	DALI 送信コントロールレジスタ 1（TRSTR1）	840
28.2.6	DALI ビットタイミング違反しきい値レジスタ 1（BTVTHR1）	841
28.2.7	DALI ビットタイミング違反しきい値レジスタ 2（BTVTHR2）	843
28.2.8	DALI ビットタイミング違反しきい値レジスタ 3（BTVTHR3）	844
28.2.9	DALI ビットタイミング違反しきい値レジスタ 4（BTVTHR4）	845
28.2.10	DALI 衝突しきい値レジスタ 1（COLTHR1）	846
28.2.11	DALI 衝突しきい値レジスタ 2（COLTHR2）	848
28.2.12	DALI 衝突しきい値レジスタ 3（COLTHR3）	849
28.2.13	DALI 衝突しきい値レジスタ 4（COLTHR4）	850
28.2.14	DALI 衝突しきい値レジスタ 5（COLTHR5）	851
28.2.15	DALI 送信データレジスタ 1（TDR1H, TDR1L）	852
28.2.16	DALI 受信データレジスタ 1（RDR1H, RDR1L）	853
28.2.17	DALI ステータスレジスタ 1（STR1）	854

参考資料

28.2.18	DALI 衝突レジスタ 1 (COLR1)	857
28.2.19	DALI フラグエラークリアレジスタ 1 (FECR1)	859
28.2.20	DALI ソフトウェアリセットレジスタ 1(SWRR1)	860
28.2.21	DALI DTX 幅レジスタ 1 (TXWR1)	861
28.3	DALI 通信機能	862
28.3.1	データフォーマット	862
28.3.2	ストップコンディション検出と安定時間	863
28.3.3	DALI エラーの検出	864
28.3.3.1	マンチェスタフレーミングエラー (MFE)	864
28.3.3.2	オーバーランエラー	865
28.3.3.3	フレームサイズ違反エラー	866
28.3.3.4	ビットタイミング違反エラー	866
28.3.3.5	バスパワーダウン	870
28.3.4	DALI 衝突	872
28.3.4.1	衝突の概要	872
28.3.4.2	衝突検出基準	872
28.3.4.3	衝突処理フロー	876
28.3.4.4	衝突検出情報	877
28.3.5	DRX 入力信号のサンプリングタイミングとビット長調整	881
28.3.5.1	DRX 入力信号のエッジ可能領域の調整	881
28.3.6	DTX 幅変調	881
28.4	動作説明	882
28.4.1	初期設定	882
28.4.2	ソフトウェアリセット	883
28.4.2.1	ソフトウェアリセットの使用	883
28.4.3	送信	884
28.4.4	受信	885
28.4.4.1	スタートビット検出	886
28.4.5	割り込み出力	887
28.4.5.1	DALI_FEI、DALI_SDI、DALI_DEI	887
28.4.5.2	DALI_CLI	888
28.4.5.3	DALI_BPI	888
28.5	使用上の注意事項	889
28.5.1	モジュールストップ状態	889
28.5.2	受信データ長の誤認	889
28.5.3	32 ビット以上のデータ受信	889
28.5.4	発振エラーとサンプリングエラー	889
28.5.5	DALI モジュールの外部タイマの使用	890
28.5.5.1	バスパワーダウンの判定	890
28.5.5.2	安定時間測定	891
28.5.5.3	衝突発生時の送信制御	892

参考資料

28.5.5.4	ソフトウェアスタンバイモードからの起動動作制御	893
28.5.6	ソフトウェアスタンバイモードからの起動動作	894
28.5.7	外部デバイス接続例	895
29.	I ² C バスインタフェース (IIC)	896
29.1	概要	896
29.2	レジスタの説明	899
29.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	899
29.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	901
29.2.3	I ² C バスモードレジスタ 1 (ICMR1)	904
29.2.4	I ² C バスモードレジスタ 2 (ICMR2)	905
29.2.5	I ² C バスモードレジスタ 3 (ICMR3)	907
29.2.6	I ² C バスファンクションイネーブルレジスタ (ICFER)	909
29.2.7	I ² C バスステータスイネーブルレジスタ (ICSER)	911
29.2.8	I ² C バス割り込みイネーブルレジスタ (ICIER)	913
29.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	915
29.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	918
29.2.11	I ² C バスウェイクアップユニットレジスタ (ICWUR)	921
29.2.12	I ² C バスウェイクアップユニットレジスタ 2 (ICWUR2)	922
29.2.13	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	923
29.2.14	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	924
29.2.15	I ² C バスビットレート Low レジスタ (ICBRL)	925
29.2.16	I ² C バスビットレート High レジスタ (ICBRH)	926
29.2.17	I ² C バス送信データレジスタ (ICDRT)	928
29.2.18	I ² C バス受信データレジスタ (ICDRR)	928
29.2.19	I ² C バスシフトレジスタ (ICDRS)	928
29.3	動作説明	929
29.3.1	通信データフォーマット	929
29.3.2	初期設定	930
29.3.3	マスタ送信動作	931
29.3.4	マスタ受信動作	935
29.3.5	スレーブ送信動作	939
29.3.6	スレーブ受信動作	942
29.4	SCL 同期回路	944
29.5	SDA 出力遅延機能	945
29.6	デジタルノイズフィルタ回路	946
29.7	アドレス一致検出機能	947
29.7.1	スレーブアドレス一致検出機能	947
29.7.2	ジェネラルコールアドレス検出機能	950
29.7.3	デバイス ID アドレス検出機能	950
29.7.4	ホストアドレス検出機能	952
29.8	ウェイクアップ機能	953

参考資料

29.8.1	ノーマルウェイクアップモード 1	954
29.8.2	ノーマルウェイクアップモード 2	957
29.8.3	コマンドリカバリモードと EEP 応答モード (特殊ウェイクアップモード)	959
29.9	SCL の自動 Low ホールド機能	963
29.9.1	送信データ誤送信防止機能	963
29.9.2	NACK 受信転送中断機能	964
29.9.3	受信データ取りこぼし防止機能	964
29.10	アービトレーションロスト検出機能	966
29.10.1	マスタアービトレーションロスト検出機能 (MALE ビット)	966
29.10.2	NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)	968
29.10.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	969
29.11	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	970
29.11.1	スタートコンディション発行動作	970
29.11.2	リスタートコンディション発行動作	970
29.11.3	ストップコンディション発行動作	973
29.12	バスハングアップ	974
29.12.1	タイムアウト検出機能	974
29.12.2	SCL クロック追加出力機能	976
29.12.3	IIC リセット、内部リセット	977
29.13	SMBus 動作	978
29.13.1	SMBus タイムアウト測定	978
29.13.2	パケットエラーコード (PEC)	979
29.13.3	SMBus ホスト通知プロトコル (Notify ARP Master コマンド)	979
29.14	割り込み要因	980
29.14.1	IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作	980
29.15	各コンディション発行時のリセット、レジスタ、機能の状態	981
29.16	イベントリンク出力機能	982
29.16.1	割り込み処理とイベントリンク機能	982
29.17	使用上の注意事項	982
29.17.1	モジュールストップ状態の設定	982
29.17.2	転送開始に関する注意事項	982
30.	CAN (Controller Area Network) モジュール	983
30.1	概要	983
30.2	レジスタの説明	986
30.2.1	コントロールレジスタ (CTRL)	986
30.2.2	ビットコンフィグレーションレジスタ (BCR)	990
30.2.3	マスクレジスタ k (MKRk) (k = 0 ~ 7)	992
30.2.4	FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)	993
30.2.5	マスク無効レジスタ (MKIVLR)	994
30.2.6	メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31、m = 0 ~ 7)	995

参考資料

30.2.7	メールボックス割り込みイネーブルレジスタ (MIER)	999
30.2.8	FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)	1000
30.2.9	受信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)	1001
30.2.10	受信用メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)	1004
30.2.11	受信 FIFO コントロールレジスタ (RFCR)	1006
30.2.12	受信 FIFO ポインタコントロールレジスタ (RFPCR)	1008
30.2.13	送信 FIFO コントロールレジスタ (TFCR)	1009
30.2.14	送信 FIFO ポインタコントロールレジスタ (TFPCR)	1010
30.2.15	ステータスレジスタ (STR)	1011
30.2.16	メールボックスサーチモードレジスタ (MSMR)	1013
30.2.17	メールボックスサーチステータスレジスタ (MSSR)	1014
30.2.18	チャネルサーチサポートレジスタ (CSSR)	1015
30.2.19	アクセプタンスフィルタサポートレジスタ (AFSR)	1016
30.2.20	エラー割り込みイネーブルレジスタ (EIER)	1017
30.2.21	エラー割り込み要因判定レジスタ (EIFR)	1019
30.2.22	受信エラーカウントレジスタ (RECR)	1021
30.2.23	送信エラーカウントレジスタ (TECR)	1021
30.2.24	エラーコード格納レジスタ (ECSR)	1022
30.2.25	タイムスタンプレジスタ (TSR)	1023
30.2.26	テストコントロールレジスタ (TCR)	1024
30.3	動作モード	1026
30.3.1	CAN リセットモード	1027
30.3.2	CAN halt モード	1028
30.3.3	CAN スリープモード	1029
30.3.4	CAN オペレーションモード (バスオフ状態以外)	1029
30.3.5	CAN オペレーションモード (バスオフ状態)	1030
30.4	データ転送レートの設定	1031
30.4.1	クロックの設定	1031
30.4.2	ビットタイムの設定	1031
30.4.3	データ転送レート	1032
30.5	メールボックスとマスクレジスタの構成	1033
30.6	アクセプタンスフィルタ機能とマスク機能	1035
30.7	受信／送信	1037
30.7.1	受信	1038
30.7.2	送信	1040
30.8	割り込み	1041
30.9	使用上の注意事項	1042
30.9.1	モジュールストップ状態の設定	1042
30.9.2	動作クロックの設定	1042

参考資料

31.	シリアルペリフェラルインタフェース (SPI)	1043
31.1	概要	1043
31.2	レジスタの説明	1047
31.2.1	SPI コントロールレジスタ (SPCR)	1047
31.2.2	SPI スレーブ選択極性レジスタ (SSLP)	1048
31.2.3	SPI 端子コントロールレジスタ (SPPCR)	1049
31.2.4	SPI ステータスレジスタ (SPSR)	1050
31.2.5	SPI データレジスタ (SPDR/SPDR_HA)	1053
31.2.6	SPI ビットレートレジスタ (SPBR)	1056
31.2.7	SPI データコントロールレジスタ (SPDCR)	1057
31.2.8	SPI クロック遅延レジスタ (SPCKD)	1058
31.2.9	SPI スレーブ選択ネゲート遅延レジスタ (SSLND)	1059
31.2.10	SPI 次アクセス遅延レジスタ (SPND)	1060
31.2.11	SPI コントロールレジスタ 2 (SPCR2)	1061
31.2.12	SPI コマンドレジスタ 0 (SPCMD0)	1062
31.3	動作説明	1064
31.3.1	SPI 動作の概要	1064
31.3.2	SPI 端子の制御	1065
31.3.3	SPI システム構成例	1066
31.3.3.1	シングルマスタとシングルスレーブ (MCU はマスタ)	1066
31.3.3.2	シングルマスタとシングルスレーブ (MCU はスレーブ)	1067
31.3.3.3	シングルマスタとマルチスレーブ (MCU はマスタ)	1068
31.3.3.4	シングルマスタとマルチスレーブ (MCU はスレーブ)	1069
31.3.3.5	マルチマスタとマルチスレーブ (MCU はマスタ)	1070
31.3.3.6	クロック同期式モードのマスタとスレーブ (MCU はマスタ)	1071
31.3.3.7	クロック同期式モードのマスタとスレーブ (MCU はスレーブ)	1071
31.3.4	データフォーマット	1072
31.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0) の動作	1073
31.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1077
31.3.5	転送フォーマット	1081
31.3.5.1	CPHA ビット = 0 の場合	1081
31.3.5.2	CPHA ビット = 1 の場合	1082
31.3.6	データ転送モード	1083
31.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	1083
31.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	1084
31.3.7	送信バッファエンプティ/受信バッファフル割り込み	1085
31.3.8	エラー検出	1087
31.3.8.1	オーバーランエラー	1088
31.3.8.2	パリティエラー	1090
31.3.8.3	モードフォルトエラー	1091
31.3.8.4	アンダーランエラー	1091

参考資料

31.3.9	SPIの初期化	1092
31.3.9.1	SPEビットのクリアによる初期化	1092
31.3.9.2	システムリセットによる初期化	1092
31.3.10	SPI動作	1093
31.3.10.1	マスタモード動作	1093
31.3.10.2	スレーブモード動作	1099
31.3.11	クロック同期式動作	1104
31.3.11.1	マスタモード動作	1104
31.3.11.2	スレーブモード動作	1106
31.3.12	ループバックモード	1108
31.3.13	パリティビット機能の自己診断	1109
31.3.14	割り込み要因	1110
31.4	イベントリンク動作	1111
31.4.1	受信バッファフルイベント出力	1111
31.4.2	送信バッファエンptyイベント出力	1111
31.4.3	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力 ...	1111
31.4.4	SPIアイドルイベント出力	1112
31.4.5	送信完了イベント出力	1112
31.5	使用上の注意事項	1113
31.5.1	モジュールストップ機能の設定	1113
31.5.2	低消費電力機能に関する制約	1113
31.5.3	転送の開始に関する制約	1113
31.5.4	モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に 関する制約	1113
31.5.5	SPRF および SPTEF フラグに関する制約	1113
32.	巡回冗長検査 (CRC) 演算器	1114
32.1	概要	1114
32.2	レジスタの説明	1115
32.2.1	CRC コントロールレジスタ 0 (CRCCR0)	1115
32.2.2	CRC コントロールレジスタ 1 (CRCCR1)	1116
32.2.3	CRC データ入力レジスタ (CRCDIR/CRCDIR_BY)	1116
32.2.4	CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY)	1117
32.2.5	スヌープアドレスレジスタ (CRCSAR)	1117
32.3	動作説明	1118
32.3.1	基本動作	1118
32.3.2	CRC スヌープ	1122
32.4	使用上の注意事項	1123
32.4.1	モジュールストップ状態の設定	1123
32.4.2	送信時の注意事項	1123
33.	14ビットA/Dコンバータ (ADC14)	1124
33.1	概要	1124

参考資料

33.2	レジスタの説明	1128
33.2.1	A/D データレジスタ y (ADDRy)、 A/D データ 2 重化レジスタ (ADDBLDR)、 A/D データ 2 重化レジスタ A (ADDBLDRA)、 A/D データ 2 重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1128
33.2.2	A/D 自己診断データレジスタ (ADRD)	1132
33.2.3	A/D コントロールレジスタ (ADCSR)	1134
33.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1138
33.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1139
33.2.6	A/D チャネル選択レジスタ B0 (ADANSB0)	1140
33.2.7	A/D チャネル選択レジスタ B1 (ADANSB1)	1141
33.2.8	A/D 変換値加算／平均チャネル選択レジスタ 0 (ADADS0)	1142
33.2.9	A/D 変換値加算／平均チャネル選択レジスタ 1 (ADADS1)	1143
33.2.10	A/D 変換値加算／平均回数選択レジスタ (ADADC)	1145
33.2.11	A/D コントロール拡張レジスタ (ADCER)	1146
33.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1148
33.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1150
33.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 13, L, T, O)	1152
33.2.15	A/D 断線検出コントロールレジスタ (ADDISCR)	1153
33.2.16	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1154
33.2.17	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1155
33.2.18	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)	1157
33.2.19	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1)	1157
33.2.20	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1158
33.2.21	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1158
33.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	1160
33.2.23	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER) ..	1161
33.2.24	A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ (ADCMPDR0)、 A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ (ADCMPDR1)、 A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ (ADWINLLB)、 A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ (ADWINULB)	1162
33.2.25	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0) ...	1164
33.2.26	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1) ...	1165
33.2.27	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)	1166
33.2.28	A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR)	1167
33.2.29	A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR)	1169
33.2.30	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1170
33.2.31	A/D 高電位／低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1171
33.3	動作説明	1172
33.3.1	スキャンの動作説明	1172
33.3.2	シングルスキャンモード	1173

参考資料

33.3.2.1	基本動作	1173
33.3.2.2	チャンネル選択と自己診断	1174
33.3.2.3	温度センサ出力／内部基準電圧選択時の A/D 変換動作	1175
33.3.2.4	ダブルトリガモード選択時の A/D 変換動作	1176
33.3.2.5	ダブルトリガモード選択時の拡張動作	1177
33.3.3	連続スキャンモード	1178
33.3.3.1	基本動作	1178
33.3.3.2	チャンネル選択と自己診断	1179
33.3.4	グループスキャンモード	1180
33.3.4.1	基本動作	1180
33.3.4.2	ダブルトリガモード選択時の A/D 変換動作	1181
33.3.4.3	グループ A 優先制御動作	1182
33.3.5	コンペア機能（ウィンドウ A、ウィンドウ B）	1191
33.3.5.1	コンペア機能（ウィンドウ A、ウィンドウ B）	1191
33.3.5.2	コンペア機能のイベント出力	1193
33.3.5.3	コンペア機能の制約	1195
33.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1195
33.3.7	A/D データレジスタの自動クリア機能の使用例	1198
33.3.8	A/D 変換値加算／平均モード	1198
33.3.9	断線検出アシスト機能	1199
33.3.10	非同期トリガによる A/D 変換の開始	1201
33.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1201
33.4	割り込み要因と DTC 転送要求	1202
33.4.1	割り込み要求	1202
33.5	イベントリンク機能	1203
33.5.1	ELC へのイベント出力	1203
33.5.2	ELC からのイベントによる ADC14 の動作	1203
33.6	基準電圧の選択	1203
33.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順	1203
33.8	使用上の注意事項	1204
33.8.1	データレジスタの読み出し注意事項	1204
33.8.2	A/D 変換停止時の注意事項	1204
33.8.3	A/D 変換強制停止と再開時の動作タイミング	1205
33.8.4	スキャン終了割り込み処理の制約	1205
33.8.5	モジュールストップ状態の設定	1206
33.8.6	低消費電力状態への遷移時の制約	1206
33.8.7	断線検出アシスト機能使用時の絶対精度誤差	1206
33.8.8	ADHSC ビット書き換え手順	1206
33.8.9	動作モードおよびステータスビット	1207
33.8.10	ボード設計に関する注意事項	1207
33.8.11	ノイズ軽減	1208

参考資料

33.8.12	ADC14 入力使用時のポート設定	1209
33.8.13	A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係	1209
33.8.14	ソフトウェアスタンバイモードの解除についての注意事項	1209
34.	8 ビット D/A コンバータ (DAC8)	1210
34.1	概要	1210
34.2	レジスタの説明	1212
34.2.1	D/A 変換値設定レジスタ n (DACSn) (n = 0 ~ 2)	1212
34.2.2	D/A 変換モードレジスタ (DAM)	1212
34.2.3	D/A SW チャージポンプコントロールレジスタ (DACPC)	1213
34.3	動作説明	1214
34.3.1	通常モード	1214
34.3.2	リアルタイム出力モード (イベントリンク)	1214
34.3.3	D/A 変換禁止後の MOCO 停止手順	1215
34.3.4	D/A 変換値の出力開始タイミング	1215
34.4	使用上の注意事項	1217
34.4.1	モジュールストップ状態	1217
34.4.2	モジュールストップ状態での 8 ビット DAC の動作	1217
34.4.3	ソフトウェアスタンバイモード時の 8 ビット DAC の動作	1217
34.4.4	D/A コンバータのリアルタイム出力	1217
34.4.5	D/A コンバータ出力	1217
34.4.6	D/A コンバータを使用しないとき	1217
35.	温度センサ (TSN)	1218
35.1	概要	1218
35.2	レジスタの説明	1219
35.2.1	温度センサ補正データレジスタ H (TSCDRH)	1219
35.2.2	温度センサ補正データレジスタ L (TSCDRL)	1219
35.3	温度センサの使用方法	1220
35.3.1	使用前の準備	1220
35.3.2	温度センサの使用手順	1221
36.	オペアンプ (OPAMP)	1222
36.1	概要	1222
36.2	レジスタの説明	1223
36.2.1	オペアンプモードコントロールレジスタ (AMPMC)	1223
36.2.2	オペアンプトリガモードコントロールレジスタ (AMPTRM)	1223
36.2.3	オペアンプ起動トリガ選択レジスタ (AMPTRS)	1224
36.2.4	オペアンプコントロールレジスタ (AMPC)	1224
36.2.5	オペアンプモニタレジスタ (AMPMON)	1225
36.3	動作	1226
36.3.1	状態遷移	1226
36.3.2	オペアンプ制御動作	1227
36.4	ソフトウェアトリガモード	1231

参考資料

36.5	起動トリガモード	1232
36.6	起動および A/D トリガモード	1233
36.7	使用上の注意事項	1233
37.	高速アナログコンパレータ (ACMPHS)	1234
37.1	概要	1234
37.2	レジスタの説明	1236
37.2.1	コンパレータコントロールレジスタ (CMPCTL)	1236
37.2.2	コンパレータ入力選択レジスタ (CMPSEL0)	1237
37.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	1237
37.2.4	コンパレータ出力モニタレジスタ (CMPMON)	1238
37.2.5	コンパレータ出力コントロールレジスタ (CPIOC)	1238
37.3	動作説明	1239
37.4	ノイズフィルタ	1241
37.5	ACMPHS 割り込み	1242
37.6	イベントリンクコントローラ (ELC) への ACMPHS 出力	1242
37.7	ACMPHS 端子出力	1242
37.8	使用上の注意事項	1242
37.8.1	モジュールストップ機能の設定	1242
37.8.2	14 ビット A/D コンバータとの関係	1242
38.	低消費電力アナログコンパレータ (ACMPLP)	1243
38.1	概要	1243
38.2	レジスタの説明	1246
38.2.1	ACMPLP モード設定レジスタ (COMPMDR)	1246
38.2.2	ACMPLP フィルタコントロールレジスタ (COMPFIR)	1247
38.2.3	ACMPLP 出力コントロールレジスタ (COMPOCR)	1248
38.2.4	コンパレータ入力選択レジスタ (COMPSEL0)	1248
38.2.5	コンパレータ基準電圧選択レジスタ (COMPSEL1)	1249
38.3	動作説明	1250
38.4	ノイズフィルタ	1253
38.5	ACMPLP 割り込み	1255
38.6	ELC イベント出力	1255
38.7	割り込み処理と ELC リンクの関係	1255
38.8	コンパレータ端子出力	1255
38.9	使用上の注意事項	1256
38.9.1	モジュールストップ状態の設定	1256
38.9.2	ADC14 と ACMPLP の関係	1256
39.	静電容量式タッチセンシングユニット (CTSU)	1257
39.1	概要	1257
39.2	レジスタの説明	1260
39.2.1	CTSU コントロールレジスタ 0 (CTSUCR0)	1260
39.2.2	CTSU コントロールレジスタ 1 (CTSUCR1)	1262
39.2.3	CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)	1263

参考資料

39.2.4	CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)	1264
39.2.5	CTSU 計測チャンネルレジスタ 0 (CTSUMCH0)	1265
39.2.6	CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)	1267
39.2.7	CTSU チャンネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)	1268
39.2.8	CTSU チャンネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)	1268
39.2.9	CTSU チャンネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)	1269
39.2.10	CTSU チャンネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)	1269
39.2.11	CTSU チャンネル送受信コントロールレジスタ 0 (CTSUCHTRC0)	1270
39.2.12	CTSU チャンネル送受信コントロールレジスタ 1 (CTSUCHTRC1)	1270
39.2.13	CTSU チャンネル送受信コントロールレジスタ 2 (CTSUCHTRC2)	1271
39.2.14	CTSU チャンネル送受信コントロールレジスタ 3 (CTSUCHTRC3)	1271
39.2.15	CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)	1272
39.2.16	CTSU ステータスレジスタ (CTSUST)	1273
39.2.17	CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)	1275
39.2.18	CTSU センサオフセットレジスタ 0 (CTSUSO0)	1276
39.2.19	CTSU センサオフセットレジスタ 1 (CTSUSO1)	1277
39.2.20	CTSU センサカウンタ (CTSUSC)	1278
39.2.21	CTSU リファレンスカウンタ (CTSURC)	1279
39.2.22	CTSU エラーステータスレジスタ (CTSUERRS)	1280
39.3	動作説明	1281
39.3.1	計測動作原理	1281
39.3.2	計測モード	1283
39.3.2.1	初期設定フロー	1284
39.3.2.2	ステータスカウンタ	1285
39.3.2.3	自己容量シングルスキャンモード動作	1286
39.3.2.4	自己容量マルチスキャンモードの動作	1288
39.3.2.5	相互容量フルスキャンモード動作	1290
39.3.3	複数モードに関わる共通機能	1293
39.3.3.1	センサ安定待ち時間と計測時間	1293
39.3.3.2	割り込み	1294
39.4	使用上の注意事項	1296
39.4.1	計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)	1296
39.4.2	ソフトウェアトリガ	1296
39.4.3	外部トリガ	1296
39.4.4	強制終了に関する注意事項	1296
39.4.5	TSCAP 端子	1297
39.4.6	計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項	1297
40.	データ演算回路 (DOC)	1298
40.1	概要	1298
40.2	レジスタの説明	1299
40.2.1	DOC コントロールレジスタ (DOCR)	1299

参考資料

40.2.2	DOC データインプットレジスタ (DODIR)	1300
40.2.3	DOC データ設定レジスタ (DODSR)	1300
40.3	動作説明	1301
40.3.1	データ比較モード	1301
40.3.2	データ加算モード	1302
40.3.3	データ減算モード	1303
40.4	割り込み要求とイベントリンク出力	1303
40.5	使用上の注意事項	1303
40.5.1	モジュールストップ状態の設定	1303
41.	SRAM	1304
41.1	概要	1304
41.2	レジスタの説明	1305
41.2.1	SRAM パリティエラー検出後動作レジスタ (PARIOAD)	1305
41.2.2	SRAM プロテクトレジスタ (SRAMPRCR)	1305
41.2.3	ECC 動作モードコントロールレジスタ (ECCMODE)	1306
41.2.4	ECC 2 ビットエラーステータスレジスタ (ECC2STS)	1306
41.2.5	ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)	1307
41.2.6	ECC 1 ビットエラーステータスレジスタ (ECC1STS)	1307
41.2.7	ECC プロテクトレジスタ (ECCPRCR)	1308
41.2.8	ECC プロテクトレジスタ 2 (ECCPRCR2)	1308
41.2.9	ECC テストコントロールレジスタ (ECCETST)	1309
41.2.10	SRAM ECC エラー検出後動作レジスタ (ECCOAD)	1309
41.2.11	トレースコントロール (MTB 用)	1310
41.2.12	CoreSight™ (MTB 用)	1310
41.3	動作説明	1311
41.3.1	ECC 機能	1311
41.3.2	ECC エラー発生	1311
41.3.3	ECC デコーダのテスト方法	1312
41.3.4	パリティ計算機能	1313
41.3.5	SRAM エラー要因	1314
41.3.6	アクセスサイクル	1315
41.4	使用上の注意事項	1315
41.4.1	SRAM 領域からの命令フェッチ	1315
42.	フラッシュメモリ	1316
42.1	概要	1316
42.2	メモリ構造	1318
42.3	フラッシュメモリ関連の動作モード	1319
42.3.1	ID コードプロテクト機能	1320
42.4	機能概要	1321
42.4.1	構成領域ビットマップ	1323
42.4.2	スタートアップ領域選択	1323

参考資料

42.4.3	アクセスウィンドウによるプロテクション	1324
42.5	プログラムコマンド	1324
42.6	サスペンド動作	1324
42.7	プロテクション機能	1325
42.8	シリアルプログラミングモード	1325
42.8.1	SCI ブートモード	1325
42.9	シリアルプログラマを使用する場合	1326
42.10	セルフプログラミング	1326
42.10.1	概要	1326
42.10.2	バックグラウンドオペレーション	1327
42.11	フラッシュメモリの読み出し	1327
42.11.1	コードフラッシュメモリの読み出し	1327
42.11.2	データフラッシュメモリの読み出し	1327
42.12	使用上の注意事項	1327
42.12.1	イレースを中断した領域	1327
42.12.2	イレースサスペンドコマンドによる中断	1327
42.12.3	追加の書き込みに関する制約	1327
42.12.4	プログラム/イレース中のリセット	1327
42.12.5	プログラム/イレース中におけるノンマスクブル割り込みの禁止	1328
42.12.6	プログラム/イレース中における割り込みベクタの配置	1328
42.12.7	低速動作モードでのプログラム/イレース	1328
42.12.8	プログラム/イレース中の異常終了	1328
42.12.9	プログラム/イレース中に禁止されているアクション	1328
43.	AES エンジン	1329
44.	真性乱数発生器 (TRNG)	1330
45.	内部電圧レギュレータ	1331
45.1	概要	1331
45.2	動作説明	1331
46.	電気的特性	1332
46.1	絶対最大定格	1333
46.2	DC 特性	1335
46.2.1	T _j /T _a の定義	1335
46.2.2	I/O V _{IH} , V _{IL}	1335
46.2.3	I/O I _{OH} , I _{OL}	1337
46.2.4	I/O V _{OH} , V _{OL} , その他の特性	1338
46.2.5	入出力端子出力特性 (低駆動能力)	1340
46.2.6	入出力端子出力特性 (中駆動能力)	1342
46.2.7	P408 および P409 入出力端子の出力特性 (中駆動能力)	1345
46.2.8	IIC 入出力端子の出力特性	1347
46.2.9	動作電流とスタンバイ電流	1348
46.2.10	VCC 立ち上がり/立ち下がり勾配とリップル周波数	1357

参考資料

46.3	AC 特性	1358
46.3.1	周波数	1358
46.3.2	クロックタイミング	1360
46.3.3	リセットタイミング	1362
46.3.4	ウェイクアップ時間	1363
46.3.5	NMI/IRQ ノイズフィルタ	1367
46.3.6	I/O ポート、POEG、GPT、AGT、KINT、ADC14 のトリガタイミング	1368
46.3.7	PWM 遅延生成回路タイミング	1370
46.3.8	CAC タイミング	1370
46.3.9	SCI タイミング	1371
46.3.10	SPI タイミング	1378
46.3.11	IIC タイミング	1384
46.3.12	CLKOUT タイミング	1386
46.4	USB 特性	1387
46.4.1	USBFS タイミング	1387
46.4.2	USB 外部供給	1388
46.5	ADC14 特性	1389
46.6	DAC8 特性	1399
46.7	TSN 特性	1399
46.8	OSC 停止検出特性	1399
46.9	POR/LVD 特性	1400
46.10	CTSU 特性	1404
46.11	コンパレータ特性	1404
46.12	OPAMP 特性	1405
46.13	フラッシュメモリ特性	1406
46.13.1	コードフラッシュメモリ特性	1406
46.13.2	データフラッシュメモリ特性	1407
46.13.3	シリアルワイヤデバッグ (SWD)	1409
付録 1.	各プロセスモードのポート状態	1411
付録 2.	外形寸法図	1413
付録 3.	I/O レジスタ	1419
3.1	周辺機能のベースアドレス	1419
3.2	アクセスサイクル	1421
3.3	レジスタの説明	1423
改訂記録	1442

S128 MCU (超低消費電力 MCU)

32ビット Arm® Cortex®-M0+ マイクロコントローラ

超低消費電力32MHz Arm Cortex-M0+マイクロコントローラ、最大256KBのコードフラッシュメモリ、24KB SRAM、デジタル調光照明インタフェース、静電容量式タッチセンシングユニット、14ビットA/Dコンバータ、8ビットD/Aコンバータ、セキュリティ&セーフティ機能

特長

■ Arm® Cortex®-M0+ コア

- Arm®v6-M アーキテクチャ
- 最高動作周波数：32MHz
- Arm® メモリプロテクションユニット (MPU) (8領域)
- デバッグ&トレース：DWT、BPU、CoreSight™ MTB-M0+
- CoreSight デバッグポート：SW-DP

■ メモリ

- 最大256KBのコードフラッシュメモリ
- 4KBデータフラッシュメモリ(最大100000回のイレース/ライトサイクル)
- 最大24KBのSRAM
- メモリプロテクションユニット
- 128ビットの固有のID

■ 接続性

- USB2.0 フルススピードモジュール (USBFS)
 - オンチップトランシーバ (電圧レギュレータ付き)
 - USB バッテリチャージ規格 1.2 に準拠
- シリアルコミュニケーションインタフェース (SCI) × 3
 - UART
 - 簡易 IIC
 - 簡易 SPI
- シリアルペリフェラルインタフェース (SPI) × 2
- I²C バスインタフェース (IIC) × 2
- CAN モジュール (CAN)
- デジタル調光照明インタフェース (DALI)

■ アナログ

- 14ビット A/D コンバータ (ADC14)
- 8ビット D/A コンバータ (DAC8) × 3
- 高速アナログコンパレータ (ACMPHS) × 3
- 低消費電力アナログコンパレータ (ACMPLP) × 2
- オペアンプ (OPAMP) × 4
- 温度センサ (TSN)

■ タイマ

- 32ビット汎用 PWM タイマ (GPT32)
- 16ビット高分解能汎用 PWM タイマ (GPT16H) × 3
- 16ビット汎用 PWM タイマ (GPT16) × 3
- 非同期汎用タイマ (AGT) × 2
- ウォッチドッグタイマ (WDT)

■ セーフティ

- ECC 搭載の SRAM
- SRAM のパリティエラー検出
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント

- 低消費電力モード
- リアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 電圧設定が可能な低電圧検出

■ セキュリティおよび暗号化

- AES128/256
- 真性乱数発生器 (TRNG)

■ ヒューマンマシーンインタフェース (HMI)

- 静電容量式タッチセンシングユニット (CTSUS)

■ マルチクロックソース

- メインクロック発振器 (MOSC)
 - (1 ~ 20MHz、VCC = 2.4 ~ 5.5V の場合)
 - (1 ~ 8MHz、VCC = 1.8 ~ 5.5V の場合)
 - (1 ~ 4MHz、VCC = 1.6 ~ 5.5V の場合)
- サブクロック発振器 (SOSC) (32.768kHz)
- 高速オンチップオシレータ (HOCO)
 - (24, 32, 48, 64MHz、VCC = 2.4 ~ 5.5V の場合)
 - (24, 32, 48MHz、VCC = 1.8 ~ 5.5V の場合)
 - (24, 32MHz、VCC = 1.6 ~ 5.5V の場合)
- 中速オンチップオシレータ (MOCO) (8MHz)
- 低速オンチップオシレータ (LOCO) (32.768kHz)
- 独立ウォッチドッグタイマ OCO (15kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート

- 最大53本の入出力端子
 - 最大3本のCMOS入力
 - 最大50本のCMOS入出力
 - 最大5本の5Vトレラント入出力 (VCC = 3.6V の場合)
 - 最大2本の電流端子 (20mA)

■ 動作電圧

- VCC : 1.6 ~ 5.5V

■ 動作温度およびパッケージ

- Ta = -40°C ~ +85°C
 - 36ピン LGA (4mm × 4mm、0.5mm ピッチ)
- Ta = -40°C ~ +105°C
 - 64ピン LQFP (10mm × 10mm、0.5mm ピッチ)
 - 48ピン LQFP (7mm × 7mm、0.5mm ピッチ)
 - 32ピン LQFP (7mm × 7mm、0.8mm ピッチ)
 - 48ピン QFN (7mm × 7mm、0.5mm ピッチ)
 - 32ピン QFN (5mm × 5mm、0.5mm ピッチ)

1. 概要

S128 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビット MCU を統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

エネルギー効率の高い Arm Cortex®-M0+ 32 ビットコアをベースとしているため、本 MCU は特にコスト重視の低消費電力機器に適しています。このシリーズの MCU には、以下の特長があります。

- 最大 256KB のコードフラッシュメモリ
- 24KB の SRAM
- 静電容量式タッチセンシングユニット (CTSU)
- 14 ビット A/D コンバータ (ADC14)
- 8 ビット D/A コンバータ (DAC8)
- セキュリティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M0+	<ul style="list-style-type: none"> • 最高動作周波数 : 32MHz • Arm Cortex-M0+ <ul style="list-style-type: none"> - リビジョン : r0p1-00rel0 - Arm®v6-Mアーキテクチャプロファイル - シングルサイクル整数乗算器 • Armメモリプロテクションユニット (MPU) <ul style="list-style-type: none"> - Arm®v6保護メモリシステムアーキテクチャ - 8つの保護領域 • SysTickタイマ <ul style="list-style-type: none"> - LOCOクロックによる駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大256KBのコードフラッシュメモリ。「42. フラッシュメモリ」を参照してください。
データフラッシュメモリ	4KBのデータフラッシュメモリ。「42. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCUのリセット後の状態を決定します。「6. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を有する高速オンチップSRAMを内蔵しています。「41. SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： <ul style="list-style-type: none"> • シングルチップモード • SCIブートモード 「3. 動作モード」を参照してください。
リセット	13種類のリセットを内蔵： <ul style="list-style-type: none"> • RES端子リセット • パワーオンリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • 電圧監視0リセット • 電圧監視1リセット • 電圧監視2リセット • SRAMパリティエラーリセット • SRAM ECCエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • CPUスタックポインタエラーリセット • ソフトウェアリセット 「5. リセット」を参照してください。
低電圧検出 (LVD)	低電圧検出 (LVD) は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。「7. 低電圧検出 (LVD)」を参照してください。
クロック	<ul style="list-style-type: none"> • メインクロック発振器 (MOSC) • サブクロック発振器 (SOSC) • 高速オンチップオシレータ (HOCO) • 中速オンチップオシレータ (MOCO) • 低速オンチップオシレータ (LOCO) • 独立ウォッチドッグタイマオンチップオシレータ • クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定対象となるシステムクロックのパルス数をカウントし、基準クロック信号に基づいてシステムクロックの周波数をチェックします。基準クロックは、CACREF端子を介して外部から入力することも、さまざまなオンチップオシレータから内部入力することも可能です。クロックが一致しなかった場合、または測定終了時に、イベント信号を発生させることができます。この機能は、ホームオートメーションや工業オートメーション機器にフェールセーフ機構を組み込む場合、特に役立ちます。「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、NVIC/DTCモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「12. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込みは、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。「18. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「11. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	メモリ保護のために4つのMPUとCPUスタックポインタモニタ機能が備えられています。「14. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスクابل割り込みまたは割り込みを発生させることもできます。カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、この許可期間を暴走検知の条件として使用できます。「24. ウォッチドッグタイマ (WDT)」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は14ビットダウンカウンタで構成されますが、このカウンタはアンダーフロー防止のために定期的に動作させる必要があります。IWDTには、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み/ノンマスカブル割り込みを生成する機能があります。タイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、フェールセーフ機構と呼ばれる状態に戻すことに役に立ちます。IWDTは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPU を介さずにモジュール間の直接的な相互作用を可能にします。「16. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) モジュールは割り込み要求による起動時に、データ転送を行います。「15. データトランスファコントローラ (DTC)」を参照してください。

表 1.6 タイマ

機能	機能の説明
汎用PWMタイマ (GPT)	汎用PWMタイマ (GPT) は、1チャンネルの32ビットタイマの場合と、6チャンネルの16ビットタイマの場合があります。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、プラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「20. 汎用PWMタイマ (GPT)」を参照してください。
GPT用のポートアウトプットイネーブル (POEG)	汎用PWMタイマ (GPT) の出力端子を出力禁止状態とするには、GPT用ポートアウトプットイネーブル (POEG) 機能を使用します。「19. GPT用ポートアウトプットイネーブル (POEG)」を参照してください。
非同期汎用タイマ (AGT)	非同期汎用タイマ (AGT) は、パルスの出力、外部パルスの幅/周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「22. 非同期汎用タイマ (AGT)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) は、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定により切り替えて使用します。カレンダーカウントモードでは、RTCは2000年から2099年までの100年間のカレンダーを内蔵しており、うるう年を自動調整します。バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダーに使用できます。「23. リアルタイムクロック (RTC)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。 <ul style="list-style-type: none"> ● 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA)) ● 8ビットクロック同期式インタフェース ● 簡易 IIC (マスタのみ) ● 簡易 SPI ● スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。 SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。「 27. シリアルコミュニケーションインタフェース (SCI) 」を参照してください。
デジタル調光照明インタフェース (DALI)	デジタル調光照明インタフェース (DALI) が備えられています。DALI は、照明制御通信プロトコルの国際オープン規格です。異なるメーカー間の電子安定器および LED 照明の調光制御の規格も含まれます。DALI インタフェースモジュールは、国際標準規格 IEC 62386-101 Edition 1.0/2.0 (DALI 2) へ準拠できるように設計されています。この規格には、ソフトウェア制御も含まれます。「 28. デジタル調光照明インタフェース (DALI) 」を参照してください。
I ² C バスインタフェース (IIC)	2チャンネル IIC モジュールは、NXP 社が提唱する I ² C バス (Inter-Integrated Circuit Bus) インタフェース方式に準拠しており、そのサブセット機能を提供しています。「 29. I²C バスインタフェース (IIC) 」を参照してください。
シリアルペリフェラルインタフェース (SPI)	2つの独立したシリアルペリフェラルインタフェース (SPI) チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。「 31. シリアルペリフェラルインタフェース (SPI) 」を参照してください。
CAN モジュール (CAN)	CAN (Controller Area Network) モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CAN モジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠しており、通常のメールボックスモードおよび FIFO モードを送信用に設定可能な最大 32 個のメールボックスをサポートしています。標準 (11ビット) と拡張 (29ビット) の両方のメッセージフォーマットに対応しています。「 30. CAN (Controller Area Network) モジュール 」を参照してください。
USB2.0 フルスピードモジュール (USBFS)	USBFS は、ホストコントローラまたはデバイスコントローラとして動作可能な USB コントローラです。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピードおよび ロースピード転送に対応しています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを備え、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4~7 に対しては、通信を行う周辺デバイスやユーザシステムに合わせて任意のエンドポイント番号の割り付けが可能です。 本 MCU は、バッテリーチャージ規格のリビジョン 1.2 に準拠しています。本 MCU は 5V で動作するため、USB LDO レギュレータは内蔵 USB トランシーバの電源に 3.3V を供給します。「 26. USB2.0 フルスピードモジュール (USBFS) 」を参照してください。

表 1.8 アナログ

機能	機能の説明
14ビットA/Dコンバータ (ADC14)	逐次比較方式の14ビットA/Dコンバータを内蔵しています。アナログ入力チャンネルは最大21チャンネルまで選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。A/D変換精度には12ビット変換と14ビット変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「33. 14ビットA/Dコンバータ (ADC14)」を参照してください。
8ビットD/Aコンバータ (DAC8)	8ビットD/Aコンバータ (DAC8) を内蔵しています。「34. 8ビットD/Aコンバータ (DAC8)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視します。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。出力された電圧はADCで変換されてから、末端の応用機器で使用できます。「35. 温度センサ (TSN)」を参照してください。
高速アナログコンパレータ (ACMPHS)	アナログコンパレータにより、テスト電圧と基準電圧の比較や、変換結果に基づいたデジタル出力が可能です。テスト電圧および基準電圧は、どちらも内部電源 (D/Aコンバータ出力) および外部電源からACMPHSに供給することができます。こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。「37. 高速アナログコンパレータ (ACMPHS)」を参照してください。
低消費電力アナログコンパレータ (ACMPLP)	アナログコンパレータは、基準入力電圧とアナログ入力電圧を比較します。比較結果はソフトウェアで読み取ることも、外部に出力することもできます。基準入力電圧としては、CMPREFi (i = 0, 1) 端子への入力、内部D/Aコンバータからの出力、または本MCUで内部生成された内部基準電圧 (Vref) から選択できます。ACMPLPの応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。「38. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
オペアンプ (OPAMP)	オペアンプにより、小さいアナログ入力電圧を増幅して出力することができます。入力端子2つと出力端子1つを備えた差動オペアンプユニットを合計で4つ搭載しています。「36. オペアンプ (OPAMP)」を参照してください。

表 1.9 ヒューマンマシンインタフェース (HMI)

機能	機能の説明
静電容量式タッチセンシングユニット (CTSUS)	静電容量式タッチセンシングユニット (CTSUS) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。「39. 静電容量式タッチセンシングユニット (CTSUS)」を参照してください。

表 1.10 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC) は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダーを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスの読み出し/書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。「32. 巡回冗長検査 (CRC) 演算器」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16ビットのデータを比較、加算、または減算する機能です。「40. データ演算回路 (DOC)」を参照してください。

表 1.11 セキュリティ

機能	機能の説明
AES	「43. AESエンジン」の章を参照してください。
真性乱数発生器 (TRNG)	「44. 真性乱数発生器 (TRNG)」を参照してください。

1.2 ブロック図

図 1.1 に、本 MCU スーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

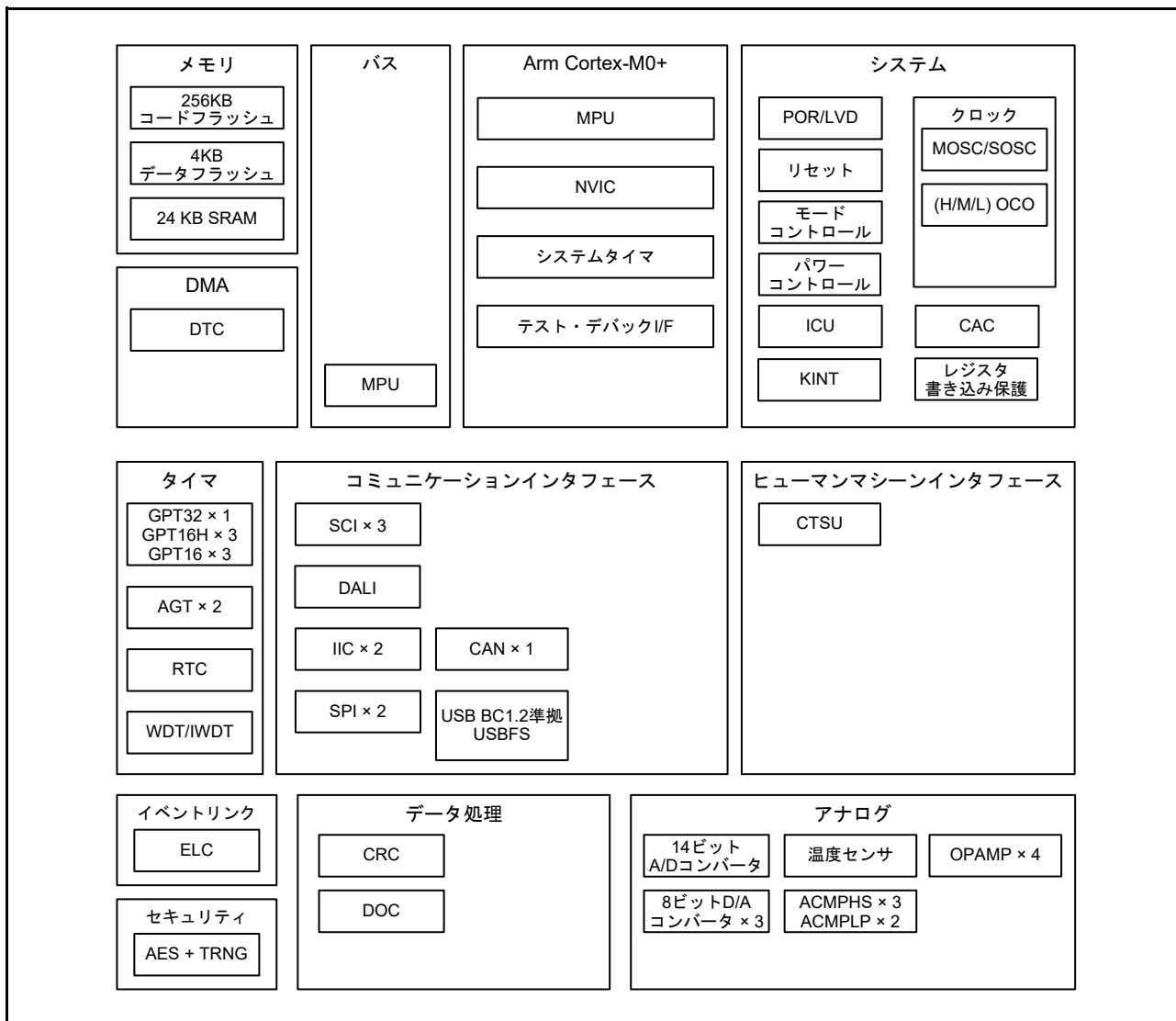


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に製品一覧を示します。

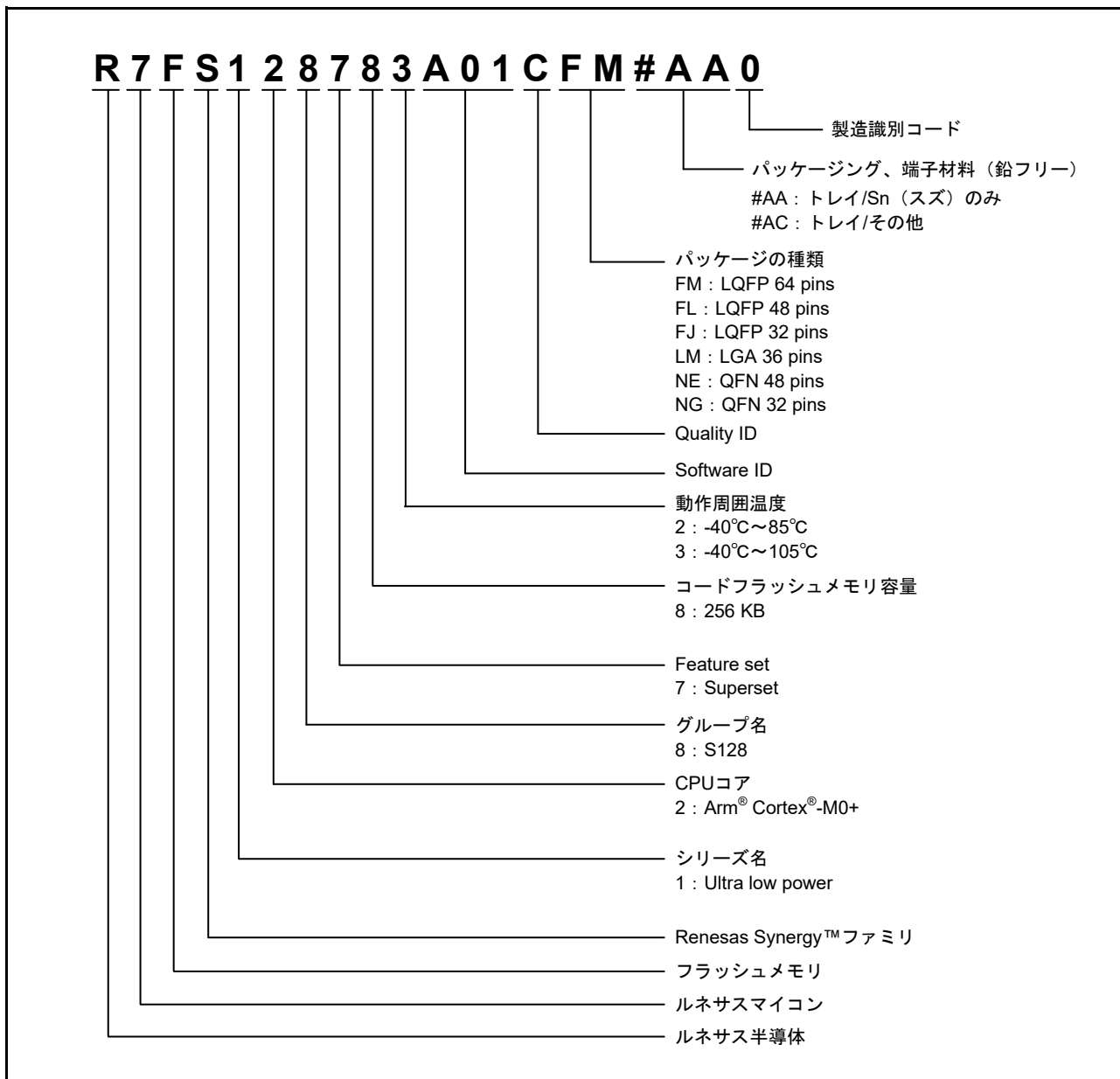


図 1.2 型名の読み方

表 1.12 製品リスト

製品の型名	オーダー用型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FS128783A01CFM	R7FS128783A01CFM#AA0	PLQP0064KB-C	256KB	4KB	24KB	-40~+105°C
R7FS128783A01CFL	R7FS128783A01CFL#AA0	PLQP0048KB-B				-40~+105°C
R7FS128783A01CNE	R7FS128783A01CNE#AC0	PWQN0048KB-A				-40~+105°C
R7FS128782A01CLM	R7FS128782A01CLM#AC0	PWLG0036KA-A				-40~+85°C
R7FS128783A01CFJ	R7FS128783A01CFJ#AA0	PLQP0032GB-A				-40~+105°C
R7FS128783A01CNG	R7FS128783A01CNG#AC0	PWQN0032KB-A				-40~+105°C

1.4 機能の比較

表 1.13 機能の比較

型名	R7FS128783A01CFM	R7FS128783A01CFL R7FS128783A01CNE	R7FS128782A01CLM	R7FS128783A01CFJ R7FS128783A01CNG
端子総数	64	48	36	32
パッケージ	LQFP	LQFP/QFN	LGA	LQFP/QFN
コードフラッシュメモリ	256KB			
データフラッシュメモリ	4KB			
SRAM	24KB			
	パリティ 8KB			
	ECC 16KB			
システム	CPUクロック 32MHz			
	ICU あり			
	8	5	4	4
イベントコントロール	ELC あり			
DMA	DTC あり			
タイマ	GPT32 1			
	3	3	3	2
	3	3	1	1
	AGT 2			
	RTC あり			
	WDT/IWDT あり			
通信	SCI 3			
	DALI あり			
	2	2	1	1
	2	2	2	1
	CAN あり			
	USBFS あり			
アナログ	21	15	13	10
	ADC14			
	DAC8 3			
	ACMPHS 3			
	ACMPLP 2			
	4	3	3	2
	OPAMP			
	TSN あり			
HMI	28	21	12	9
データ処理	CTSU			
	CRC あり			
	DOC あり			
セキュリティ	AESおよびTRNG			

1.5 端子機能

表 1.14 端子機能 (1/3)

機能	信号	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSS端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グラウンド端子。システムの電源（0V）に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。これらの端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	マスクブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOC0A～GTIOC6A, GTIOC0B～GTIOC6B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力許可
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力
	AGTO0, AGTO1	出力	パルス出力
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力
RTC	RTCOUT	出力	1Hz/64Hzクロック用の出力端子

表 1.14 端子機能 (2/3)

機能	信号	入出力	説明
SCI	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXD0, RXD1, RXD9	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXD0, TXD1, TXD9	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS0_RTS0, CTS1_RTS1, CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブLow
	SCL0, SCL1, SCL9	入出力	IICクロック用の入出力端子 (簡易IIC)
	SDA0, SDA1, SDA9	入出力	IICデータ用の入出力端子 (簡易IIC)
	SCK0, SCK1, SCK9	入出力	クロック用の入出力端子 (簡易SPI)
	MISO0, MISO1, MISO9	入出力	データのスレーブ送信用の入出力端子 (簡易SPI)
	MOSI0, MOSI1, MOSI9	入出力	データのマスタ送信用の入出力端子 (簡易SPI)
	SS0, SS1, SS9	入力	チップセレクト選択入力端子 (簡易SPI)、アクティブLow
DALI	DRX0	入力	DALI受信データ用の入力端子
	DTX0	出力	DALI送信データ用の出力端子
IIC	SCL0, SCL1	入出力	クロック用の入出力端子
	SDA0, SDA1	入出力	データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタから出力されたデータの入出力
	MISOA, MISOB	入出力	スレーブから出力されたデータの入出力
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1~SSLA3, SSLB1~SSLB3	出力	スレーブ選択用の出力端子
CAN	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VSS_USB	入力	グランド端子
	VCC_USB_LDO	入力	USB LDOレギュレータ用の電源端子
	VCC_USB	入出力	入力: USBトランシーバ用の電源端子 出力: USB LDOレギュレータ出力端子。この端子は外部コンデンサに接続してください。
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。デバイスコントローラ機能選択時のVBUSの接続/切断を検出することが可能です。
アナログ電源	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部の電源グランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子

表 1.14 端子機能 (3/3)

機能	信号	入出力	説明
ADC14	AN000 ~ AN013, AN016 ~ AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブLow
DAC8	DA0 ~ DA02	出力	D/A コンバータで処理されるアナログ信号用の出力端子
コンパレータ出力	VCOUT	出力	コンパレータ出力端子
ACMPHS	IVREF0 ~ IVREF2	入力	基準電圧入力端子
	IVCMP0 ~ IVCMP2	入力	アナログ電圧入力端子
ACMPLP	CMPREF0, CMPREF1	入力	基準電圧入力端子
	CMPIN0, CMPIN1	入力	アナログ電圧入力端子
OPAMP	AMP0+ ~ AMP3+	入力	アナログ電圧入力端子
	AMP0- ~ AMP3-	入力	アナログ電圧入力端子
	AMP00 ~ AMP30	出力	アナログ電圧出力端子
CTSU	TS00 ~ TS22, TS25 ~ TS29	入力	静電容量式タッチ検出端子 (タッチ端子)
	TSCAP	-	タッチドライバ用の二次電源端子
KINT	KR00 ~ KR07	入力	キー割り込み入力端子
I/Oポート	P000 ~ P004, P010 ~ P015	入出力	汎用入出力端子
	P100 ~ P113	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P204 ~ P206, P212, P213	入出力	汎用入出力端子
	P214, P215	入力	汎用入力端子
	P300 ~ P304	入出力	汎用入出力端子
	P400 ~ P403, P407 ~ P411	入出力	汎用入出力端子
	P500 ~ P502	入出力	汎用入出力端子
P914, P915	入出力	汎用入出力端子	

1.6 ピン配置図

図 1.3 ~ 図 1.8 にピン配置図を示します。

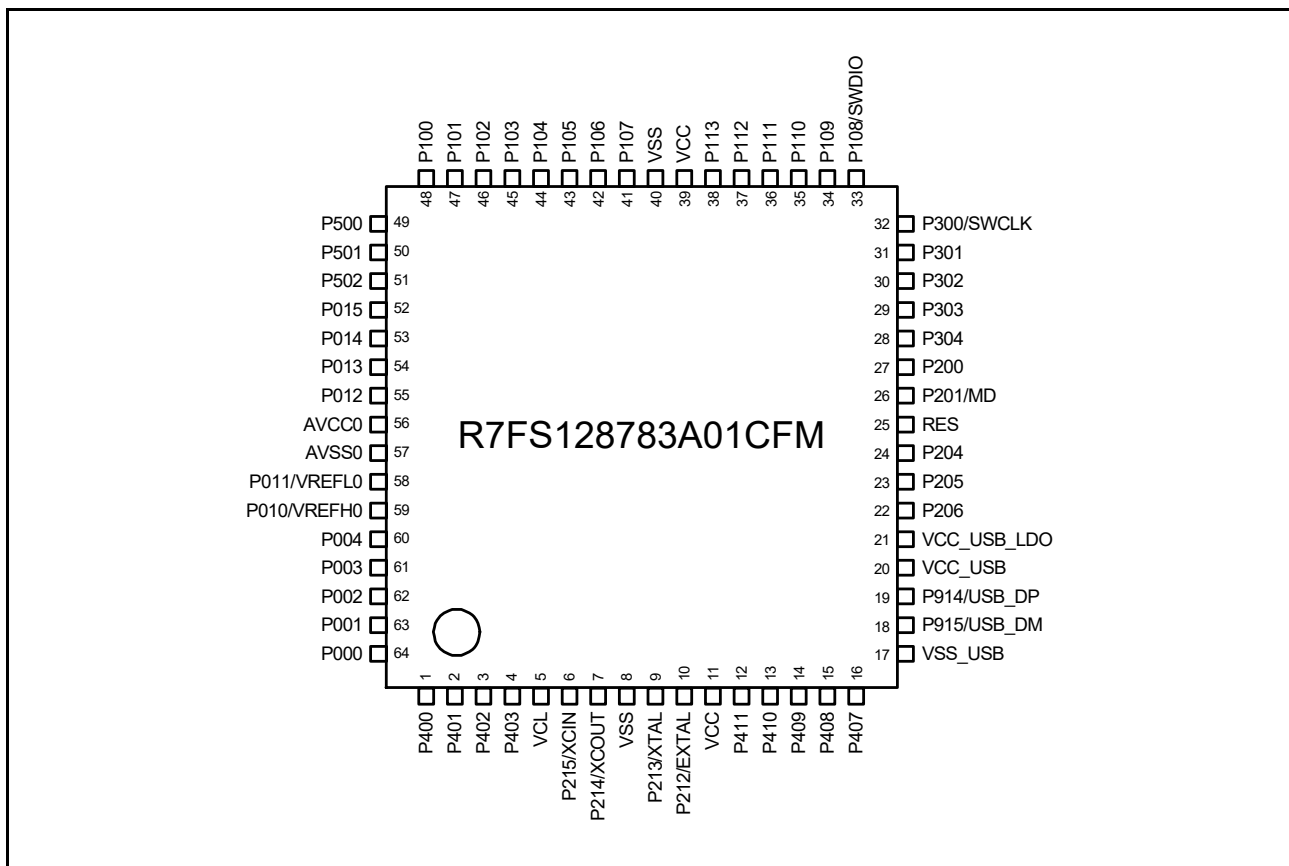


図 1.3 64-pin LQFP のピン配置

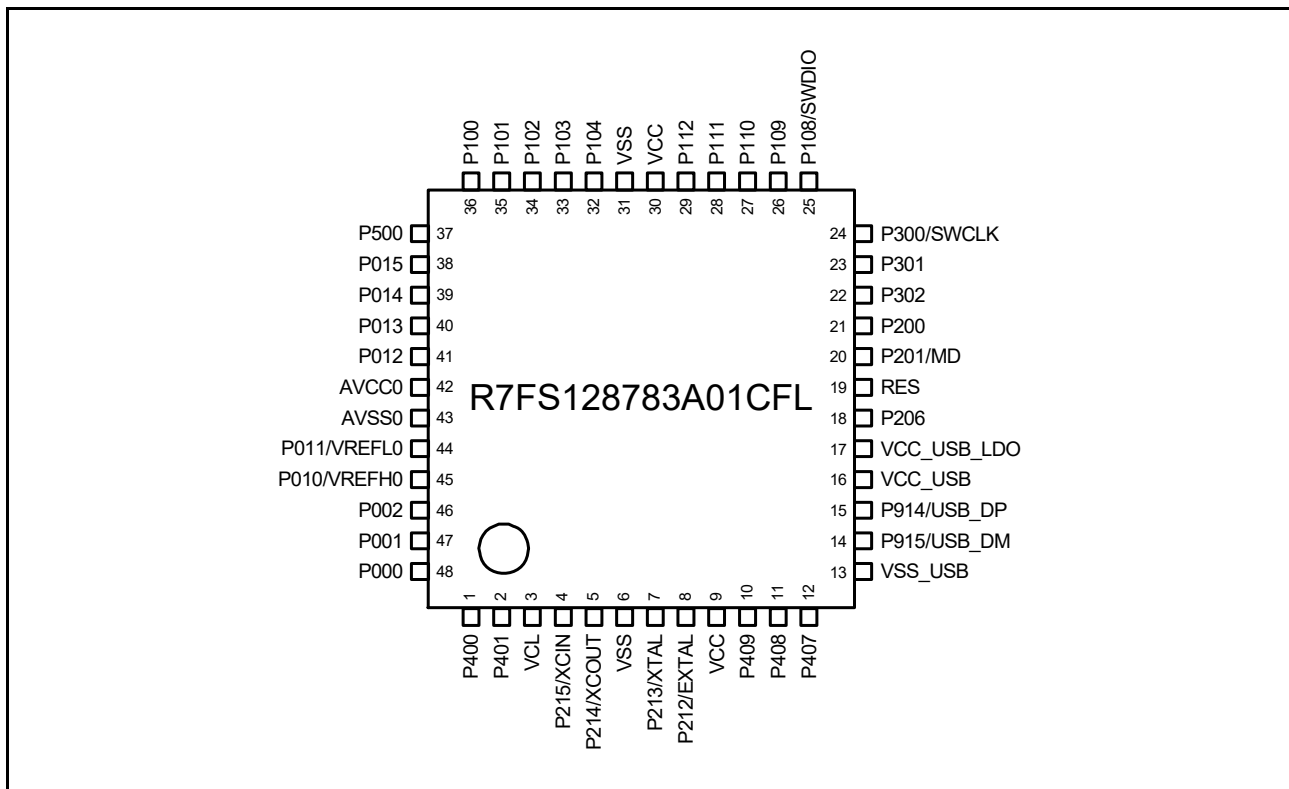


図 1.4 48-pin LQFP のピン配置

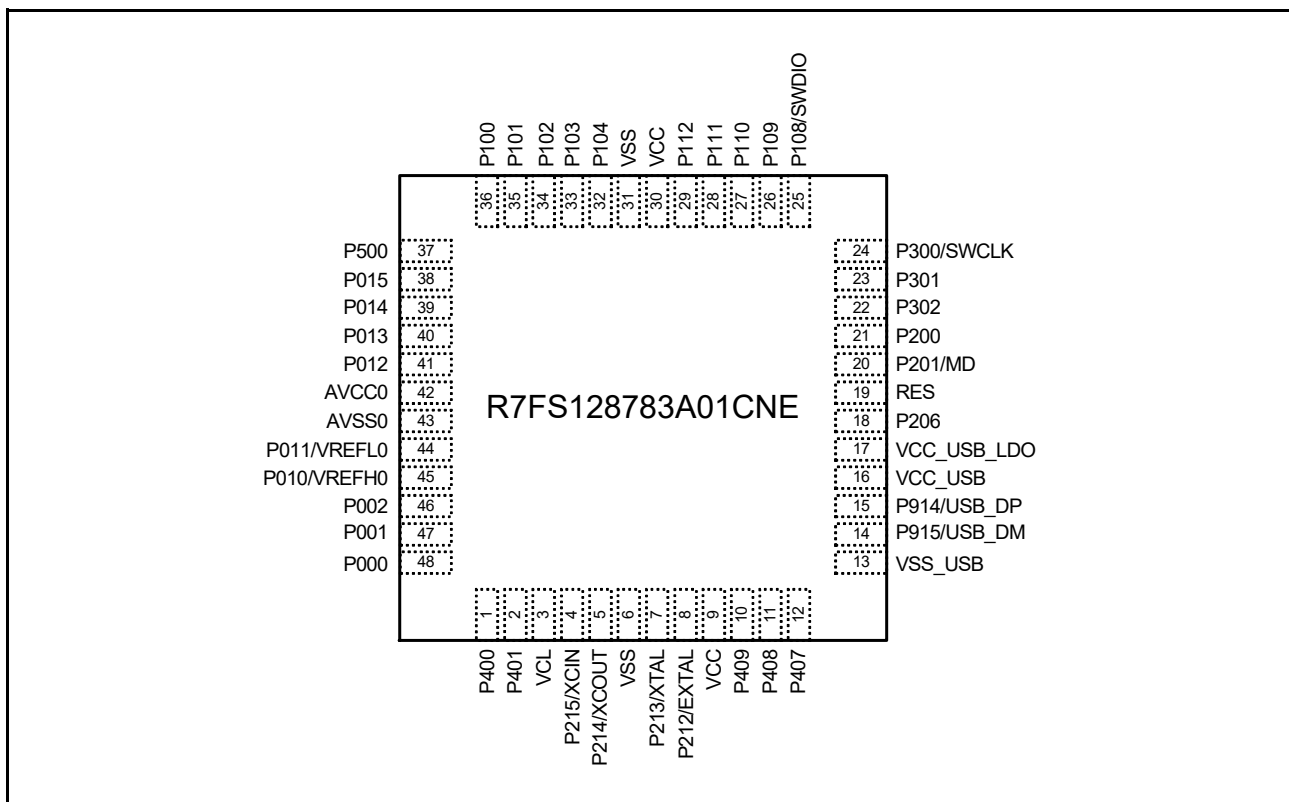


図 1.5 48-pin LQFP のピン配置

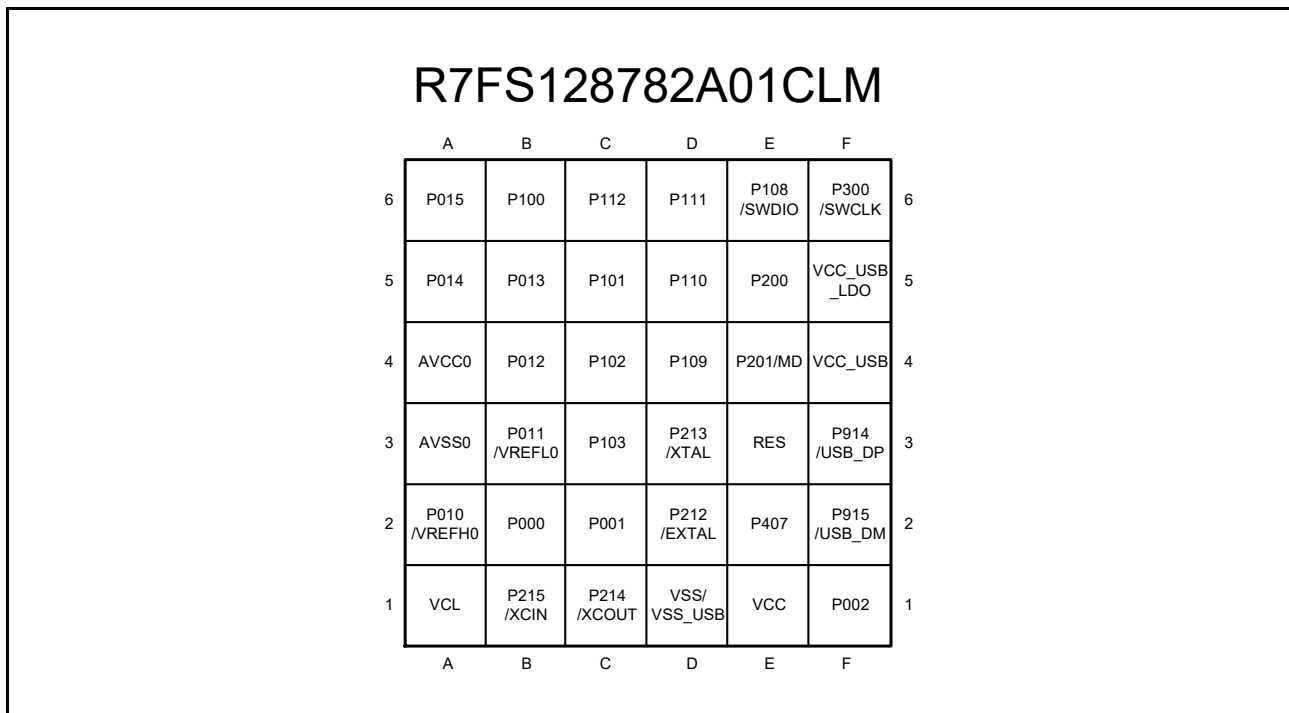


図 1.6 36-pin LGA のピン配置 (上面図、パッド側が下面)

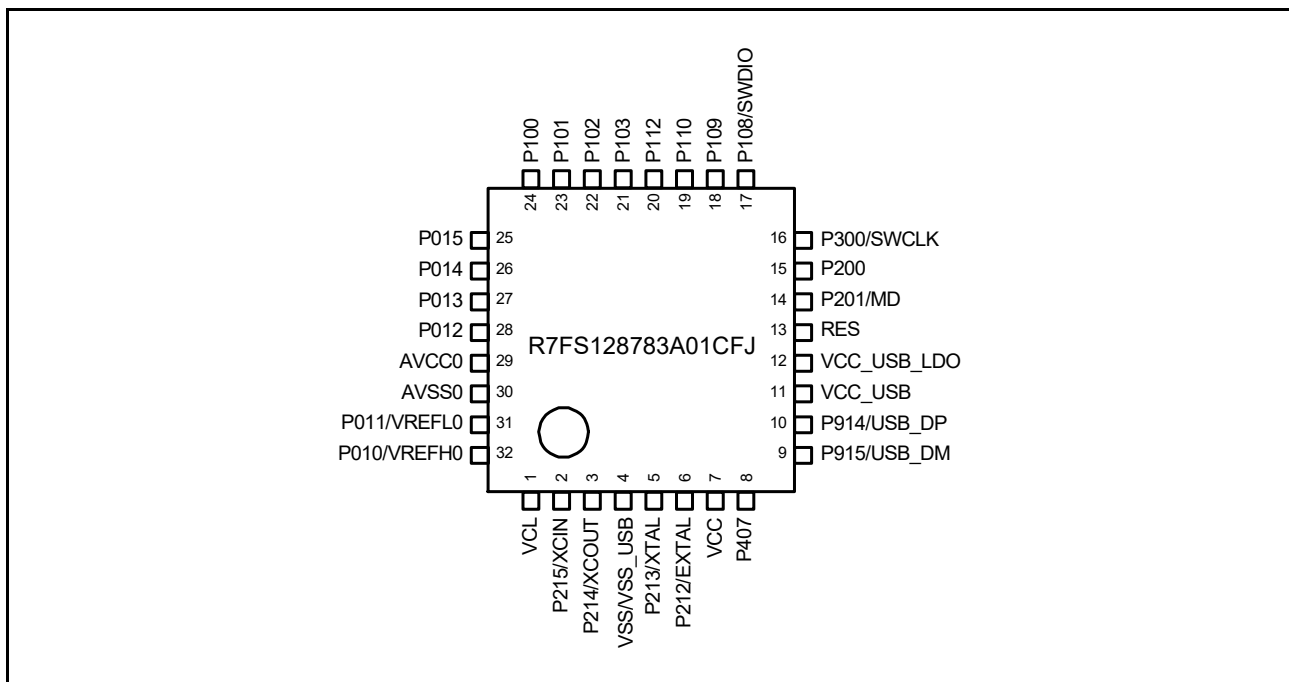


図 1.7 32-pin LQFP のピン配置

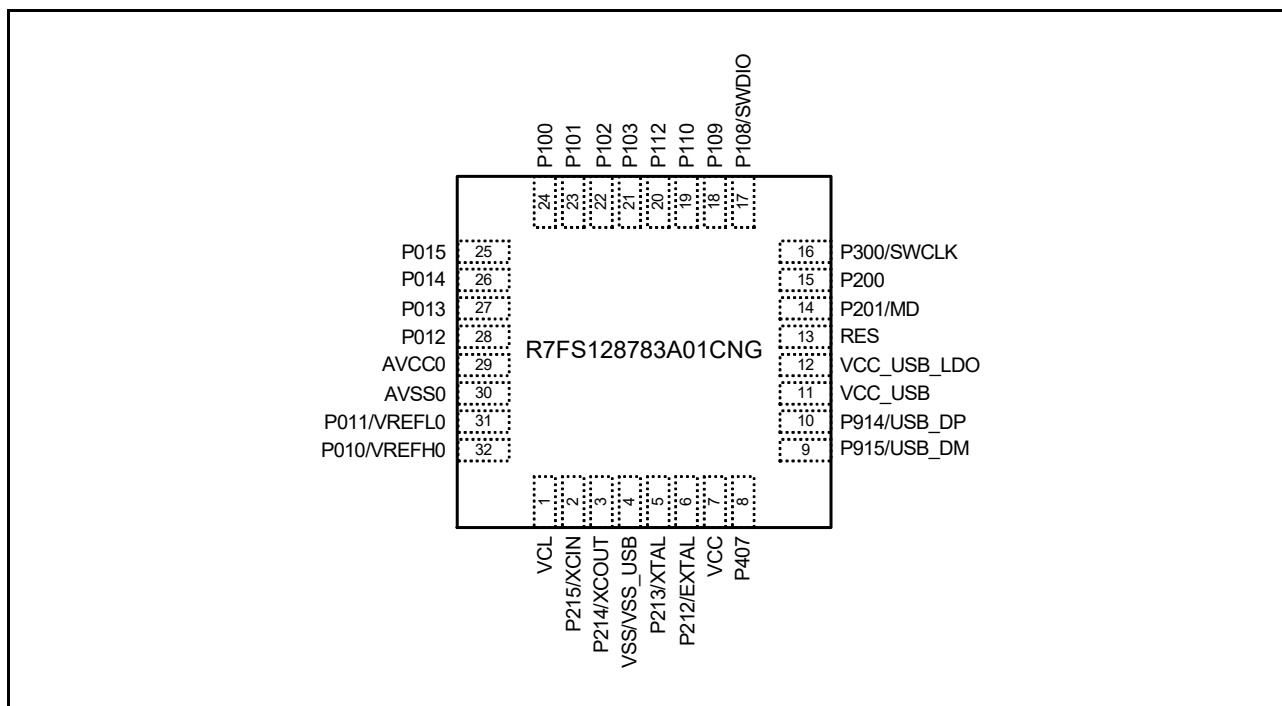


図 1.8 32-pin QFN のピン配置

1.7 端子一覧

ピン番号						機能、システム、クロック、デバッグ、CAC	IOポート	タイマ				通信インタフェース				アナログ				HMI	
LQFP64	LQFP48	QFN48	LGA36	LQFP32	QFN32			AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN, DALI	SCI	IC	SPI	ADC14	DAC8	ACMPHS, ACMPLP	OPAMP	CTSU	割り込み
1	1	1	-	-	-	CACREF_C	P400	AGTIO1_D		GTIOC6A_A			SCK0_B/ SCK1_B	SCL0_A					TS20	IRQ0	
2	2	2	-	-	-		P401		GTETRGA_B	GTIOC6B_A		CTX0_B	CTS0_RTS0_B/SS0_B/ TXD1_B/ MOSI1_B/ SDA1_B	SDA0_A					TS19	IRQ5	
3	-	-	-	-	-		P402			GTIOC3B_B		CRX0_B	RXD1_B/ MISO1_B/ SCL1_B						TS18	IRQ4	
4	-	-	-	-	-		P403			GTIOC3A_B			CTS1_RTS1_B/SS1_B						TS17		
5	3	3	A1	1	1	VCL															
6	4	4	B1	2	2	XCIN	P215														
7	5	5	C1	3	3	XCOUT	P214														
8	6	6	D1	4	4	VSS															
9	7	7	D3	5	5	XTAL	P213		GTETRGA_D	GTIOC0A_D			TXD1_A/ MOSI1_A/ SDA1_A						IRQ2		
10	8	8	D2	6	6	EXTAL	P212	AGTEE1	GTETRGA_D	GTIOC0B_D			RXD1_A/ MISO1_A/ SCL1_A						IRQ3		
11	9	9	E1	7	7	VCC															
12	-	-	-	-	-		P411	AGTOA1	GTOVUP_B	GTIOC6A_B			TXD0_B/ MOSI0_B/ SDA0_B		MOSIA_B				TS07	IRQ4	
13	-	-	-	-	-		P410	AGTOB1	GTOVLO_B	GTIOC6B_B			RXD0_B/ MISO0_B/ SCL0_B		MISOA_B				TS06	IRQ5	
14	10	10	-	-	-		P409		GTOVUP_B	GTIOC5A_B			TXD0_E/ MOSI0_E/ SDA0_E/ TXD9_A/ MOSI9_A/ SDA9_A					TS05	IRQ6		
15	11	11	-	-	-		P408		GTOVLO_B	GTIOC5B_B			RXD9_A/ MISO9_A/ SCL9_A	SCL0_C					TS04	IRQ7	
16	12	12	E2	8	8		P407	AGTIO0_C		GTIOC0A_E	RTC OUT	USB_VBUS	CTS0_RTS0_D/SS0_D	SDA0_B	SSLB3_A	ADTRG0_B			TS03		
17	13	13	D1	4	4	VSS_USB															
18	14	14	F2	9	9		P915					USB_DM									
19	15	15	F3	10	10		P914					USB_DP									
20	16	16	F4	11	11	VCC_USB															
21	17	17	F5	12	12	VCC_USB_LDO															
22	18	18	-	-	-		P206		GTIU_A				RXD0_D/ MISO0_D/ SCL0_D	SDA1_A	SSLB1_A				TS01	IRQ0	
23	-	-	-	-	-	CLKOUT_A	P205	AGTO1	GTIV_A	GTIOC4A_B			TXD0_D/ MOSI0_D/ SDA0_D/ CTS9_RTS9_A/SS9_A	SCL1_A	SSLB0_A				TSCAP_A	IRQ1	
24	-	-	-	-	-	CACREF_A	P204	AGTIO1_A	GTIW_A	GTIOC4B_B			SCK0_D/ SCK9_A	SCL0_B	RSPCKB_A				TS00		
25	19	19	E3	13	13	RES															
26	20	20	E4	14	14	MD	P201														
27	21	21	E5	15	15		P200													NMI	
28	-	-	-	-	-		P304			GTIOC1A_B											
29	-	-	-	-	-		P303			GTIOC1B_B									TS02		
30	22	22	-	-	-		P302		GTOUUP_A	GTIOC4A_A					SSLB3_B				TS08	IRQ5	
31	23	23	-	-	-		P301	AGTIO0_D	GTOULO_A	GTIOC4B_A			CTS9_RTS9_D/SS9_D		SSLB2_B				TS09	IRQ6	
32	24	24	F6	16	16	SWCLK	P300		GTOUUP_C	GTIOC0A_A					SSLB1_B						
33	25	25	E6	17	17	SWDIO	P108		GTOULO_C	GTIOC0B_A			CTS9_RTS9_B/SS9_B		SSLB0_B						
34	26	26	D4	18	18	CLKOUT_B	P109		GTOVUP_A	GTIOC1A_A		CTX0_A	SCK1_E/ TXD9_B/ MOSI9_B/ SDA9_B		MOSIB_B				TS10		

ピン番号						電源、システム、クロック、デバッグ、CAN	I/Oポート	タイマ				通信インタフェース				アナログ				HMI	
LQFP64	LQFP48	QFN48	LGA36	LQFP32	QFN32			AGT	GPT_OPS, POEG	GPT	RTC	USBFS, CAN, DALI	SCI	IC	BPI	ADC14	DAC8	ACMPHS, ACMPPLP	OPAMP	CTSU	割り込み
35	27	27	D5	19	19		P110	GTOVLO_A	GTIOC1B_A		CRX0_A	CTS0_RTS0_C/ SS0_C/ RXD0_B/ MISO0_B/ SCL9_B		MISOB_B		VCOUT		TS11	IRQ3		
36	28	28	D6	-	-		P111	AGTOA0	GTIOC3A_A			SCK0_C/ SCK9_B		RSPCKB_B				TS12	IRQ4		
37	29	29	C6	20	20		P112	AGTOB0	GTIOC3B_A			TXD0_C/ MOSI0_C/ SDA0_C/ SCK1_D		SSLB0_C				TSCAP_C			
38	-	-	-	-	-		P113		GTIOC2A_C												
39	30	30	-	-	-	VCC															
40	31	31	-	-	-	VSS															
41	-	-	-	-	-		P107		GTIOC0A_B										KR07		
42	-	-	-	-	-		P106		GTIOC0B_B					SSLA3_A	AN016				KR06		
43	-	-	-	-	-		P105	GTETRG0_C	GTIOC1A_C					SSLA2_A	AN017				KR05/ IRQ0		
44	32	32	-	-	-		P104	GTETRGB_B	GTIOC1B_C			RXD0_C/ MISO0_C/ SCL0_C		SSLA1_A	AN018			TS13	KR04/ IRQ1		
45	33	33	C3	21	21		P103	GTOWUP_A	GTIOC2A_A		CTX0_C	CTS0_RTS0_A/ SS0_A		SSLA0_A	AN019	CMPREF1		TS14	KR03		
46	34	34	C4	22	22		P102	AGTO0	GTOWLO_A	GTIOC2B_A	CRX0_C	SCK0_A		RSPCKA_A	AN020/ ADTRG0_A	CMPIN1		TS15	KR02		
47	35	35	C5	23	23		P101	AGTEE0	GTETRGB_A	GTIOC5A_A	DTX0	TXD0_A/ MOSI0_A/ SDA0_A/ CTS1_RTS1_A/ SS1_A	SDA1_B	MOSIA_A	AN021	CMPREF0		TS16	KR01/ IRQ1		
48	36	36	B6	24	24		P100	AGTIO0_A	GTETRG0_A	GTIOC5B_A	DRX0	RXD0_A/ MISO0_A/ SCL0_A/ SCK1_A	SCL1_B	MISOA_A	AN022	CMPIN0		TS26	KR00/ IRQ2		
49	37	37	-	-	-		P500								AN013	DA1_B		TS27			
50	-	-	-	-	-		P501								AN012		AMP3+				
51	-	-	-	-	-		P502								AN011		AMP3-				
52	38	38	A6	25	25		P015							AN010	DA1_A	IVCMP1	AMP2+	TS28	IRQ7		
53	39	39	A5	26	26		P014							AN009	DA0	IVREF1	AMP2-	TS29			
54	40	40	B5	27	27		P013							AN008		IVCMP0	AMP1+				
55	41	41	B4	28	28		P012							AN007		IVREF0	AMP1-				
56	42	42	A4	29	29	AVCC0															
57	43	43	A3	30	30	AVSS0															
58	44	44	B3	31	31	VREFL0	P011							AN006	DA2_A		AMP20				
59	45	45	A2	32	32	VREFH0	P010							AN005			AMP10				
60	-	-	-	-	-		P004							AN004	DA2_B			TS25	IRQ3		
61	-	-	-	-	-		P003							AN003			AMP30				
62	46	46	F1	-	-		P002							AN002			AMP00		IRQ2		
63	47	47	C2	-	-		P001							AN001		IVREF2	AMP0-	TS22	IRQ7		
64	48	48	B2	-	-		P000							AN000		IVCMP2	AMP0+	TS21	IRQ6		

注. いくつかの端子名には、_A、_B、_C、_D、_E という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. CPU

本 MCU は、Arm® Cortex®-M0+ コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M0+
 - リビジョン : r0p1-00rel0
 - Arm®v6-M アーキテクチャプロファイル
 - シングルサイクル整数乗算器
- メモリプロテクションユニット (MPU)
 - Arm®v6 保護メモリシステムアーキテクチャ
 - 8つのメモリ保護領域
- SysTick タイマ
 - LOCO クロックによる駆動 (32.768kHz ± 10%)

詳細は、[2.9 章の参考資料 1.](#) および [参考資料 2.](#) を参照してください。

2.1.2 デバッグ

- Arm CoreSight™ MTB-M0+
 - リビジョン : r0p1-00rel0
 - バッファサイズ : 8KB MTB SRAM のうち 1KB
- データウォッチポイントユニット (DWT)
 - ウォッチポイント用の 2つのコンパレータ
- ブレークポイントユニット (BPU)
 - 4つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
 - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
 - リセットコントロール
 - 停止コントロール

詳細は [2.9 章の参考資料 1.](#) および [参考資料 2.](#) を参照してください。

2.1.3 動作周波数

- CPU : 最大 32MHz
- シリアルワイヤデータ (SWD) インタフェース : 最大 12.5MHz

図 2.1 に Cortex-M0+ コアのブロック図を示します。

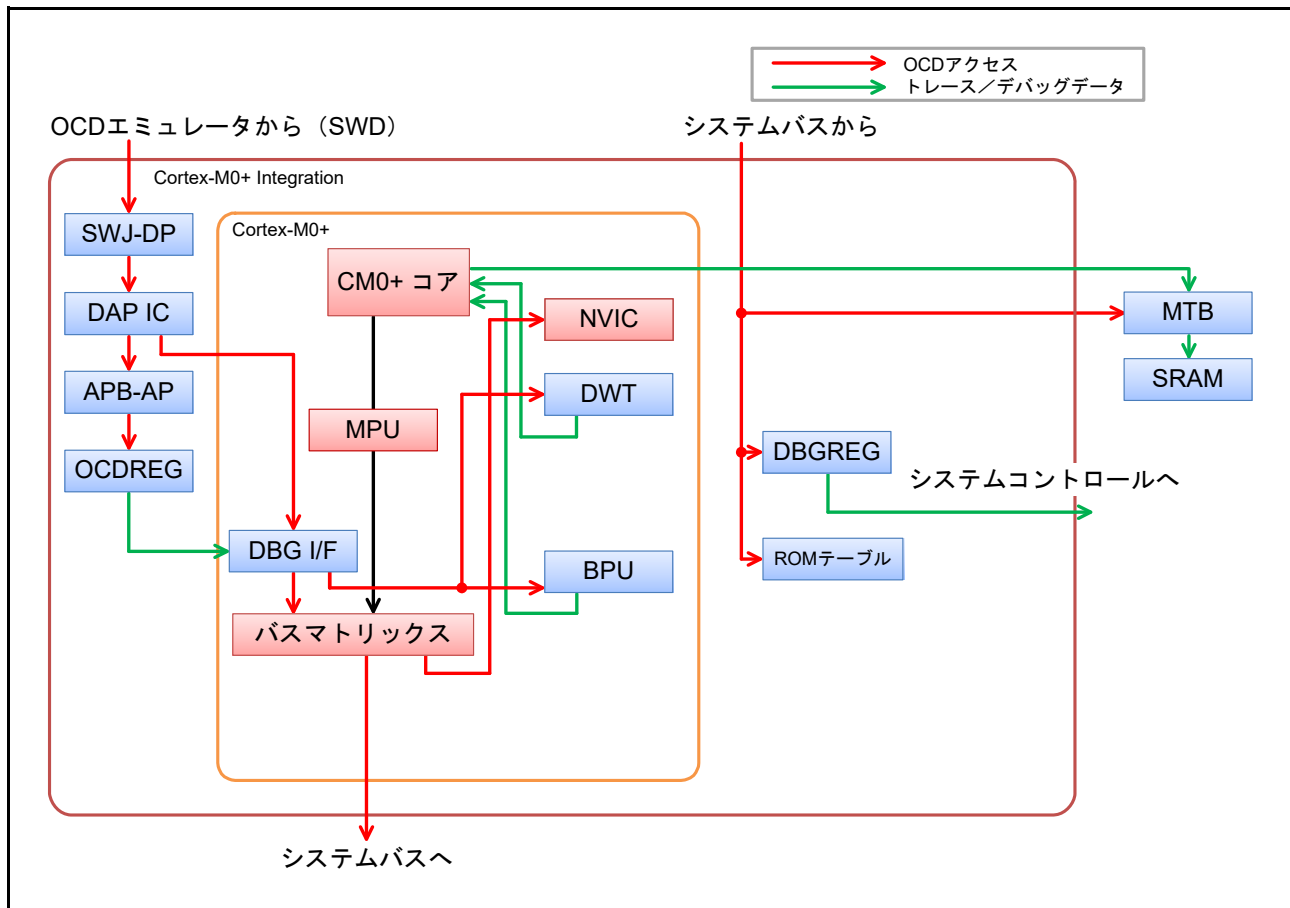


図 2.1 Cortex-M0+ CPU ブロック図

2.2 MCU 実装オプション

表 2.1 に MCU の実装オプションを示します。これらは、参考資料 2. に記載する構成オプションに基づきます。

表 2.1 実装オプション

オプション	実装
MPU	あり (8つのメモリ保護領域)
シングルサイクル乗算器	あり
割り込み回数	32
ウェイクアップ割り込みコントローラ (WIC) の数	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIB レジスタ	SYST_CALIB = 4000 0147h ビット[31] = 0 基準クロック提供 ビット[30] = 1 TERMS値が精度異常 ビット[29:24] = 00h 予約ビット ビット[23:0] = 000147h TERM : (32768 × 10ms) - 1 / 32.768kHz = 326.66 (10進) = 327 (スケューを含む) = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

詳細は 2.9 章の参考資料 3. を参照してください。

2.3 トレースインタフェース

本 MCU は専用のトレース出力インタフェースを提供していません。

2.4 SWD インタフェース

表 2.2 はチップの SWD 端子を示しています。

表 2.2 SWD 端子

名前	入出力	P/N	幅	機能	使用しない場合
SWCLK	入力	Pos.	1ビット	シリアルワイヤデータクロック端子	ブルアップ
SWDIO	入出力	Neg.	1ビット	シリアルワイヤデータ入出力端子	ブルアップ

2.5 デバッグモード

2.5.1 デバッグモード定義

使用できる CPU デバッグモードは 2 種類あります。表 2.3 に、CPU デバッグモードとその条件を示します。

表 2.3 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

- 注 1. OCD 接続は、SWJ-DP レジスタの CDBGPWUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込むことができます。ただし、このビットのレベルは、DBGSTR.CDBGPWUPREQ ビットの読み出しによって確認できます。
- 注 2. デバッグ認証は、Arm®v6-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

2.5.2 デバッグモードの影響

本項ではデバッグモードの影響について説明します。デバッグモードは、CPU の内部および外部に影響を与えます。

2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモードまたはスヌーズモードへ遷移した場合でも、レジスタの設定値を保持することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに回答できません。CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。OCD は MCUCTRL レジスタの DBIRQ ビットを設定することで、低消費電力モードの解除を要求できます。詳細は、2.6.6.3 MCU コントロールレジスタ (MCUCTRL) を参照してください。

2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCTR の設定内容に依存します。

表 2.4 リセットまたは割り込みおよびモード設定

リセットまたは割り込み名称	オンチップデバッグ (OCD) モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセットまたは割り込み	発生なし (注1)	DBGSTOPCTR の設定内容に依存 (注2)
ウォッチドッグタイマリセットまたは割り込み	発生なし (注1)	DBGSTOPCTR の設定内容に依存 (注2)
電圧監視0リセット	DBGSTOPCTR の設定内容に依存 (注3)	
電圧監視1リセットまたは割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
電圧監視2リセットまたは割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
SRAM パリティエラーリセットまたは割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
SRAM ECC エラーリセットまたは割り込み	DBGSTOPCTR の設定内容に依存 (注3)	
バスマスタ MPU エラーリセットまたは割り込み	ユーザモードと同じ	
バススレーブ MPU エラーリセットまたは割り込み	ユーザモードと同じ	
CPU スタックポインタエラーリセットまたは割り込み	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注. OCD ブレークモードでは CPU が停止しています。OCD RUN モードでは CPU が OCD モードにあって、停止していません。

注 1. このモードでは IWDT と WDT は常に停止しています。

注 2. IWDT と WDT の動作は、DBGSTOPCTR の設定内容に依存します。

注 3. リセットまたは割り込みのマスク処理は、DBGSTOPCTR の設定内容に依存します。

2.6 プログラマモデル

2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスする
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCD レジスタに接続される

図 2.2 は、AP 接続とアドレス空間のブロック図です。

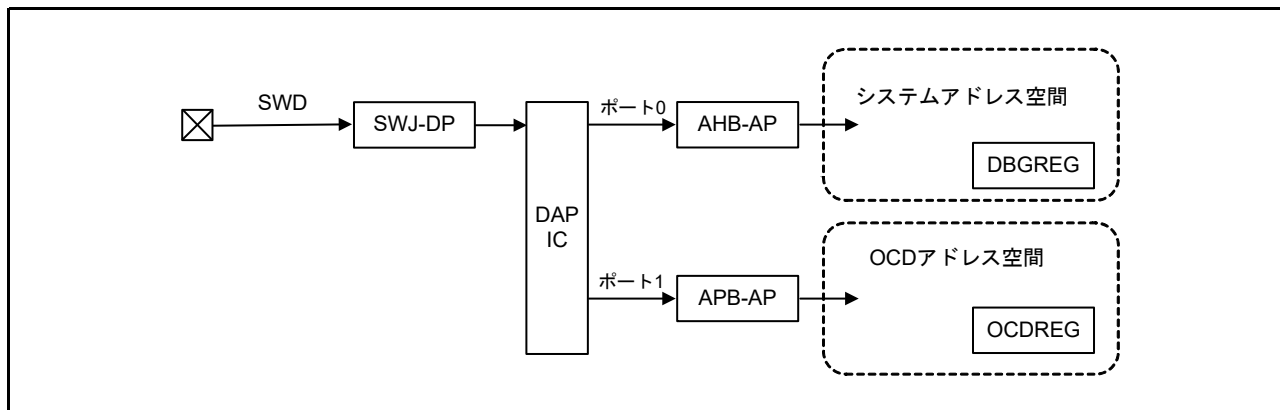


図 2.2 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および MCU の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

2.6.2 Cortex-M0+ ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M0+ コアは専用周辺バス (PPB) を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。表 2.5 は、本 MCU のアドレスマップを示しています。

表 2.5 Cortex-M0+ ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	E000 1000h	E000 1FFFh	参考資料 2. を参照してください
BPU	E000 2000h	E000 2FFFh	参考資料 2. を参照してください
SCS	E000 E000h	E000 EFFFh	参考資料 2. を参照してください
ROM テーブル	E00F F000h	E00F FFFFh	2.6.4 CoreSight ROM テーブルおよび参考資料 5. を参照してください

2.6.3 外部デバッグアドレスマップ

システムアドレス空間では、Cortex-M0+ コアは外部デバッグコンポーネントを備えています。これらのコンポーネントは、システムバスを介して CPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M0+ 外部デバッグコンポーネントのアドレスマップを示します。

表 2.6 外部デバッグアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (SRAM領域)	2000 4000h	2000 5FFFh	MTBは8KBのうち1KBをトレースバッファとして使用します。 参考資料 6. を参照してください
MTB (SFR領域)	4001 9000h	4001 9FFFh	参考資料 6. を参照してください
ROMテーブル	4001 A000h	4001 AFFFh	参考資料 6. を参照してください

2.6.4 CoreSight ROM テーブル

本 MCU には、2つの CoreSight ROM テーブルがあります。一方の ROM テーブルはルートであり、外部デバッグコンポーネントのリストと、Arm コンポーネントへのポインタが含まれています。もう一方の ROM テーブルには Arm コンポーネントのリストが含まれています。

2.6.4.1 ROM エントリ

表 2.7 に一つ目の ROM テーブルを示します。これには、Arm システムエリアへのポインタと、ユーザエリアコンポーネントの情報が含まれています。表 2.8 に二つ目の ROM テーブルを示します。これには、Arm システムエリアコンポーネントの情報が含まれています。詳細は参考資料 5. および参考資料 6. を参照してください。

表 2.7 ROM テーブル1

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	4001 A000h	32ビット	R	A00E5003h	Arm® Cortex®-M0+ プロセッサ
1	4001 A004h	32ビット	R	FFFFFF003h	MTB
2	4001 A008h	32ビット	R	00000000h	エントリ終了

表 2.8 ROM テーブル2

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	E00F F000h	32ビット	R	FFF0F003h	SCS
1	E00F F004h	32ビット	R	FFF02003h	DWT
2	E00F F008h	32ビット	R	FFF03003h	BPU
3	E00F F00Ch	32ビット	R	00000000h	エントリ終了

2.6.4.2 CoreSight レジスタ

CoreSight ROM テーブルは、Arm CoreSight アーキテクチャで定義された CoreSight レジスタの一覧表です。[表 2.9](#) にこれらのレジスタを示します。各レジスタの詳細は[参考資料 5](#) を参照してください。

表 2.9 CoreSight ROM テーブルの CoreSight レジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	00000001h
PID4	E00F FFD0h	32ビット	R	00000004h
PID5	E00F FFD4h	32ビット	R	00000000h
PID6	E00F FFD8h	32ビット	R	00000000h
PID7	E00F FFDCh	32ビット	R	00000000h
PID0	E00F FFE0h	32ビット	R	00000011h
PID1	E00F FFE4h	32ビット	R	00000030h
PID2	E00F FFE8h	32ビット	R	0000000Ah
PID3	E00F FFECh	32ビット	R	00000000h
CID0	E00F FFF0h	32ビット	R	0000000Dh
CID1	E00F FFF4h	32ビット	R	00000010h
CID2	E00F FFF8h	32ビット	R	00000005h
CID3	E00F FFFCh	32ビット	R	000000B1h

2.6.5 DBGREG モジュール

DBGREG モジュールは、デバッグ機能を制御します。CoreSight 準拠のコンポーネントとして実装されています。表 2.10 に、CoreSight コンポーネントレジスタ以外の DBGREG レジスタを示します。

表 2.10 CoreSight 以外の DBGREG レジスタ

名前		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート0	4001 B000h	32ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCTR	ポート0	4001 B010h	32ビット	R/W

2.6.5.1 デバッグステータスレジスタ (DBGSTR)

アドレス [DBG.DBGSTR 4001 B000h](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPW RUPACK	CDBGPW RUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。	R
b28	CDBGPWRUPREQ	デバッグパワーアップ要求	0 : OCDはデバッグパワーアップを要求していない 1 : OCDはデバッグパワーアップを要求している	R
b29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ	0 : デバッグパワーアップ要求は承認されない 1 : デバッグパワーアップ要求は承認される	R
b31-b30	—	予約ビット	読むと0が読めます。	R

2.6.5.2 デバッグストップコントロールレジスタ (DBGSTOPCR)

アドレス **DBG.DBGSTOPCR 4001 B010h**

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	DBGSTO P_RECC R	DBGSTO P_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTO P_WDT	DBGSTO P_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	IWDTリセット／割り込み用のマスクビット	0 : IWDTリセット／割り込みを許可 1 : IWDTリセット／割り込みをマスクし、CPUがOCDブ레이크モードの場合はWDTカウントを停止	R/W
b1	DBGSTOP_WDT	WDTリセット／割り込み用のマスクビット	0 : WDTリセット／割り込みを許可 1 : WDTリセット／割り込みをマスクし、CPUがOCDブ레이크モードの場合はWDTカウントを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット／割り込み用のマスクビット	0 : LVD0リセット／割り込みを許可 1 : LVD0リセット／割り込みをマスク	R/W
b17		LVD1リセット／割り込み用のマスクビット	0 : LVD1リセット／割り込みを許可 1 : LVD1リセット／割り込みをマスク	R/W
b18		LVD2リセット／割り込み用のマスクビット	0 : LVD2リセット／割り込みを許可 1 : LVD2リセット／割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット／割り込み用のマスクビット	0 : SRAMパリティエラーリセット／割り込みを許可 1 : SRAMパリティエラーリセット／割り込みをマスク	R/W
b25	DBGSTOP_RECCR	SRAM ECCエラーリセット／割り込み用のマスクビット	0 : SRAM ECCエラーリセット／割り込みを許可 1 : SRAM ECCエラーリセット／割り込みをマスク	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を指定します。このレジスタの全ビットは、チップが OCD モードでないときは、0 とみなされます。

2.6.5.3 DBGREG CoreSight レジスタ

DBGREG は、Arm® CoreSight™ アーキテクチャで定義された CoreSight レジスタを備えています。表 2.11 は、これらのレジスタの一覧です。各レジスタの詳細は 2.9 章の参考資料 5. を参照してください。

表 2.11 DBGREG CoreSight レジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	00000004h
PID5	4001 BFD4h	32ビット	R	00000000h
PID6	4001 BFD8h	32ビット	R	00000000h
PID7	4001 BFDCh	32ビット	R	00000000h
PID0	4001 BFE0h	32ビット	R	00000005h
PID1	4001 BFE4h	32ビット	R	00000030h
PID2	4001 BFE8h	32ビット	R	0000001Ah
PID3	4001 BFECCh	32ビット	R	00000000h
CID0	4001 BFF0h	32ビット	R	0000000Dh
CID1	4001 BFF4h	32ビット	R	000000F0h
CID2	4001 BFF8h	32ビット	R	00000005h
CID3	4001 BFFCh	32ビット	R	000000B1h

2.6.6 OCDREG モジュール

OCDREG は、オンチップデバッグ (OCD) エミュレータ機能を制御します。CoreSight 準拠のコンポーネントとして実装されています。表 2.12 に、CoreSight コンポーネントレジスタ以外の OCDREG レジスタを示します。

表 2.12 OCDREG レジスタ

名前		DAPポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート1	8000 0000h	32ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート1	8000 0100h	32ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート1	8000 0200h	32ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート1	8000 0300h	32ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート1	8000 0400h	32ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート1	8000 0410h	32ビット	R/W

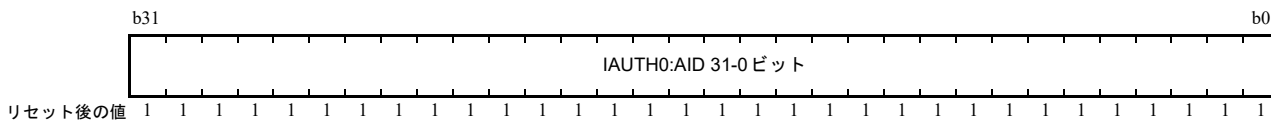
注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。

2.6.6.1 ID 認証コードレジスタ (IAUTH0 ~ 3)

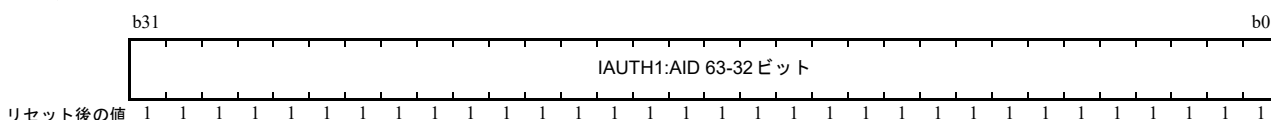
128 ビットキーを書き込むための 4 つの認証レジスタが存在します。これらのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。これらのレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。2.8.1 アンロック ID コードを参照してください。

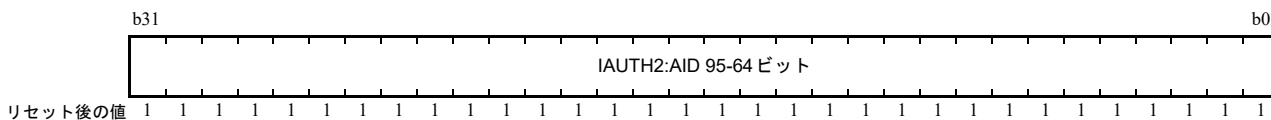
アドレス [IAUTH0 8000 0000h](#)



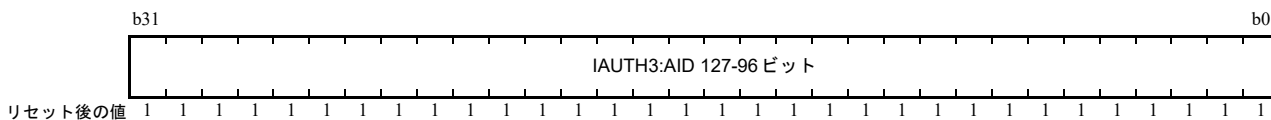
アドレス [IAUTH1 8000 0100h](#)



アドレス [IAUTH2 8000 0200h](#)



アドレス [IAUTH3 8000 0300h](#)



2.6.6.2 MCU ステータスレジスタ (MCUSTAT)

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSL OPCLK	CPUSL EEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH		0: 認証失敗 1: 認証成功	R
b1	CPUSLEEP		0: CPUは非スリープモード 1: CPUはスリープモード	R
b2	CPUSTOPCLK		0: CPUクロックを停止させない。MCUがノーマルモードまたはスリープモードであることを示す 1: CPUクロックを停止させる。MCUがスヌーズモードまたはソフトウェアスタンバイモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. MCU 状態に依存します。

2.6.6.3 MCU コントロールレジスタ (MCUCTRL)

アドレス MCUCTRL 8000 0410h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	本ビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となる。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する EDBGRQ ビットを0にするか、CPUが停止したとき、EDBGRQ ビットは解除されます。	R/W
b7-b1	—	予約ビット	読むと0が読めます。	R
b8	DBIRQ	デバッグ割り込み要求	本ビットに1を書き込むと、MCUは低消費電力モードから復帰する。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する この条件はDBIRQ ビットに0を書き込むことで解除されます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。	R

注． DBIRQ ビットと EDBGRQ ビットは同じ値にしてください。

2.6.6.4 OCDREG CoreSight レジスタ

OCDREG は、Arm CoreSight アーキテクチャで定義された CoreSight レジスタを備えています。表 2.13 は、これらのレジスタの一覧です。各レジスタの詳細は 2.9 章の参考資料 5. を参照してください。

表 2.13 OCDREG CoreSight レジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	読み出し専用	00000004h
PID5	8000 0FD4h	32ビット	読み出し専用	00000000h
PID6	8000 0FD8h	32ビット	読み出し専用	00000000h
PID7	8000 0FDCh	32ビット	読み出し専用	00000000h
PID0	8000 0FE0h	32ビット	読み出し専用	00000004h
PID1	8000 0FE4h	32ビット	読み出し専用	00000030h
PID2	8000 0FE8h	32ビット	読み出し専用	0000000Ah
PID3	8000 0FECh	32ビット	読み出し専用	00000000h
CID0	8000 0FF0h	32ビット	読み出し専用	0000000Dh
CID1	8000 0FF4h	32ビット	読み出し専用	000000F0h
CID2	8000 0FF8h	32ビット	読み出し専用	00000005h
CID3	8000 0FFCh	32ビット	読み出し専用	000000B1h

2.7 SysTick システムタイマ

本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick システムタイマを内蔵しています。このタイマの基準クロックには、CPU クロック (ICLK) または SysTick タイマクロック (SYSTICCLK) を選択できます。

詳細は、「[8. クロック発生回路](#)」および[参考資料 1.](#)を参照してください。

2.8 OCD エミュレータ接続

本 MCU は、デバッグとチップリソースへのアクセス許可をチェックするための SWD 認証機構を含んでいます。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。

[図 2.3](#) に、認証機構のブロック図を示します。

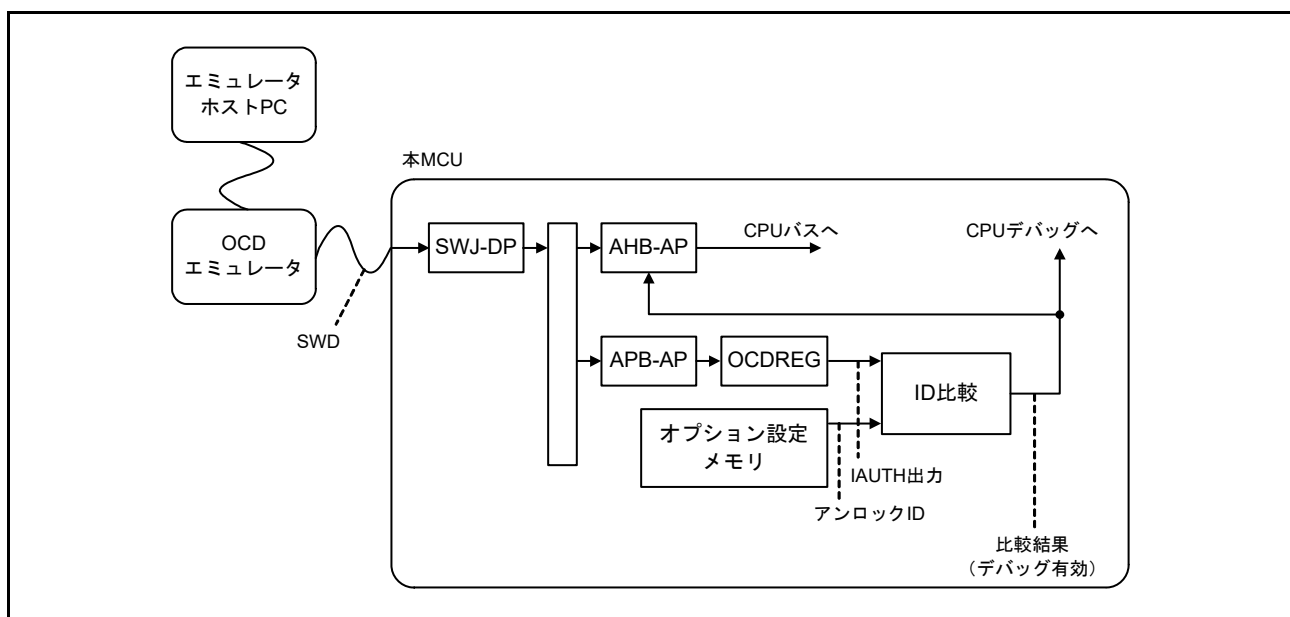


図 2.3 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCD CR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。詳細は、「[10. 低消費電力モード](#)」の SYOCD CR の説明を参照してください。

2.8.1 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0 ~ 3 に書き込まれた 128 ビットデータと一致した場合、SWD デバッグはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの CD / シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (FFFFFFFF_FFFFFFFF_FFFFFFFF_FFFFFFFFh) です。詳細は「[6. オプション設定メモリ](#)」を参照してください。

2.8.2 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

2.8.2.1 低消費電力モード中の接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。本 MCU がソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータは本 MCU をハングさせる場合があります。

2.8.2.2 OCD モードにおける低消費電力モードの切り替え

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはスヌーズモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.14 にこれらの制限を示します。

表 2.14 各モードの制限

現在のモード	OCDエミュレータの接続開始	低消費電力モードへの切り替え	AHB-APとシステムバスへのアクセス	APB-APとOCDREGへのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを使用してください。これによって、本 MCU を低消費電力モードから復帰させることができます。同時に、OCDREG の MCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

2.8.2.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。

2.8.2.4 接続順序と SWD 認証

OCD エミュレータは SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS の値によって、コード入力が必要かどうかが決まります。リセットネゲート後、コールドスタート時の OSIS 値を比較する前に 36 μ s の待ち時間が必要です。

(1) OSIS の MSB が 0 (ビット [127] = 0) のとき

ID コードは常に不一致であり、OCD への接続は禁止されます。

(2) OSIS がすべて 1 の場合 (デフォルト)

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS が ASCII コードで「ALeRASE」のとき

ユーザフラッシュ領域の内容は消去されます。詳細は「[42. フラッシュメモリ](#)」を参照してください。

(4) OSIS がすべて 1 でない場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ~ 3 にアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ~ 3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
 - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
 - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

2.9 參考資料

1. *ARM®v6-M Architecture Reference Manual (ARM DDI 0419C)*
2. *ARM® Cortex®-M0+ Processor Technical Reference Manual (ARM DDI 0484C)*
3. *ARM® Cortex®-M0+ Devices Generic User Guide (ARM DUI 0662B)*
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. *ARM® CoreSight™ Architecture Specification (ARM IHI 0029D)*
6. *ARM® CoreSight™ MTB-M0+ Technical Reference Manual (ARM DDI 0486B)*

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、3.2 動作モードの説明を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子	動作モード
MD	
1	シングルチップモード
0	SCIブートモード

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、チップはシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、本 MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式インタフェース（SCI）を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「42. フラッシュメモリ」を参照してください。

MD 端子を Low に保持してリセットを解除すると、ブートモードで起動します。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

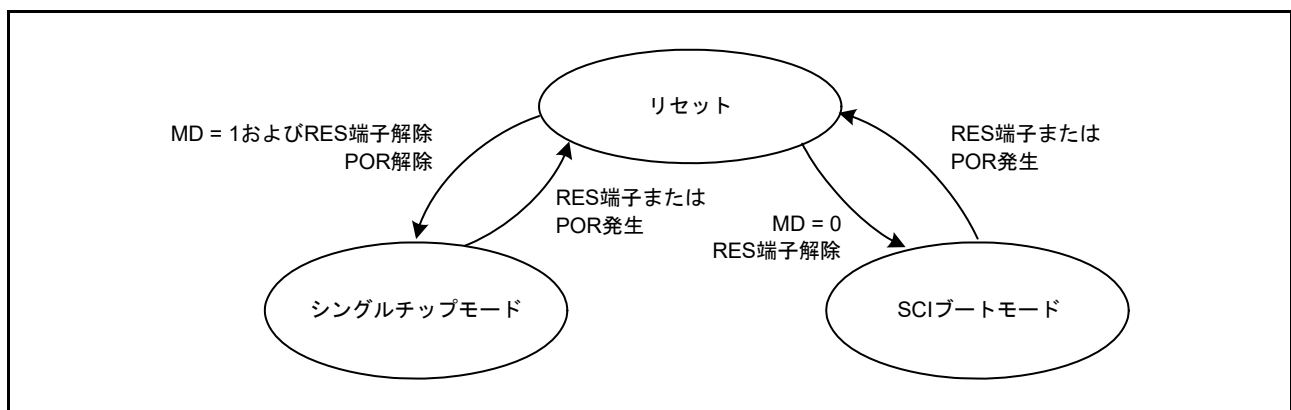


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 概要

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ~ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。

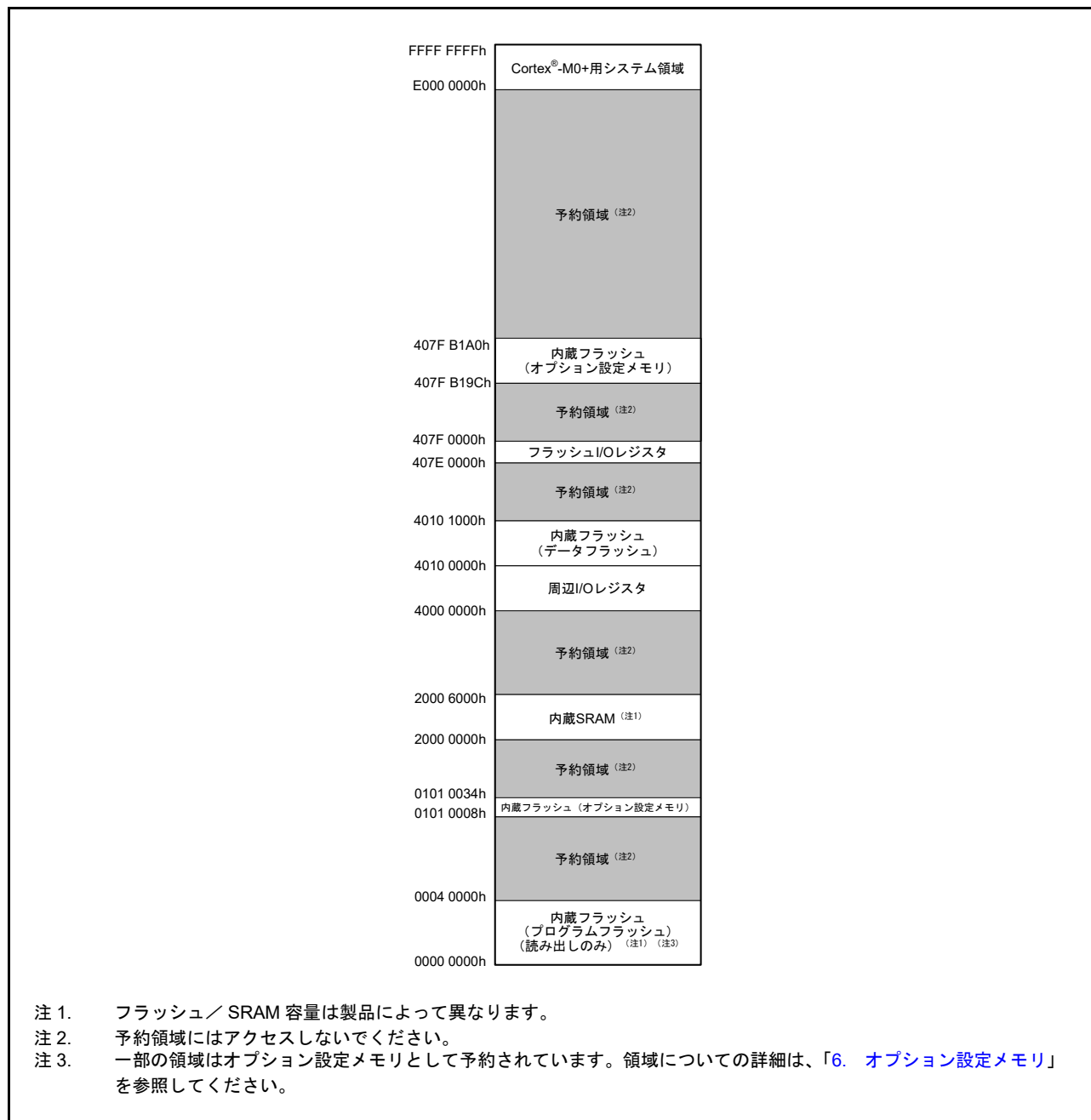


図 4.1 メモリマップ

5. リセット

5.1 概要

本 MCU は、以下の 13 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- CPU スタックポインタエラーリセット
- ソフトウェアリセット

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧 : VPOR) (注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー
電圧監視 0 リセット	VCC の下降 (監視電圧 : Vdet0) (注1)
電圧監視 1 リセット	VCC の下降 (監視電圧 : Vdet1) (注1)
電圧監視 2 リセット	VCC の下降 (監視電圧 : Vdet2) (注1)
SRAM パリティエラーリセット	SRAM パリティエラー検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラー検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラー検出
CPU スタックポインタエラーリセット	CPU スタックポインタエラー検出
ソフトウェアリセット	レジスタ設定 (Arm®ソフトウェアリセットビット : AIRCR.SYSRESETREQ を使用)

注 1. 監視電圧 (VPOR、Vdet0、Vdet1、Vdet2) については、「7. 低電圧検出 (LVD)」と「46. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 初期化対象のリセット検出フラグ（リセット種別）

初期化対象	リセット要因				
	RES端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	×	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	○	○	○	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	○	○	○	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	○	○	○	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	○	○	○	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	○	○	○	×	×
バススレープMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	○	○	○	×	×
バスマスタMPUエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	×	×
CPUスタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	○	○	○	×	×
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	○	×	×	×

初期化対象	リセット要因				
	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット	SRAMパリティエラーリセット	SRAM ECCエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	×	×	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	×	×	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	×	×	×	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	×	×	×	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	×	×	×	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	×	×	×	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	×	×	×	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	×	×	×	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	×	×	×	×	×
バススレープMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	×	×	×	×	×
バスマスタMPUエラーリセット検出フラグ (RSTSR1.SPERF)	×	×	×	×	×
CPUスタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	×	×	×	×	×
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	×	×	×	×	×

初期化対象	リセット要因		
	バスマスタMPUエラーリセット	バススレープMPUエラーリセット	CPUスタックポインタエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	×	×	×
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	×	×	×
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	×	×	×
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	×	×	×
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	×	×	×
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	×	×	×
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	×	×	×
SRAMパリティエラーリセット検出フラグ (RSTSR1.RPERF)	×	×	×
SRAM ECCエラーリセット検出フラグ (RSTSR1.REERF)	×	×	×

初期化対象	リセット要因		
	バスマスタ MPU エラーリセット	バススレーブ MPU エラーリセット	CPUスタック ポインタエラー リセット
バススレーブMPUエラーリセット検出フラグ (RSTSR1.BUSSRF)	X	X	X
バスマスタMPUエラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X
CPUスタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	X	X	X
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	X	X	X

○：初期化される。X：初期化されない。

表 5.3 初期化対象のモジュール関連レジスタ（リセット種別）

初期化対象		リセット要因						
		RES端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチドッ グタイマリ セット	電圧監視1 リセット	電圧監視2 リセット
ウォッチドッグタイマ関連の レジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSNPR	○	○	○	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPNCR.LVD1E, LVDLVL.R.LVD1LVL	○	○	○	○	○	×	×
	LVD1CR1/LVD1SR	○	○	○	○	○	×	×
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPNCR.LVD2E, LVDLVL.R.LVD2LVL	○	○	○	○	○	×	×
	LVD2CR1/LVD2SR	○	○	○	○	○	×	×
SOSC関連のレジスタ	SOSCCR	×	○	×	×	×	×	×
	SOMCR	×	○	×	×	×	×	×
LOCO関連のレジスタ	LOCOCR	○	○	○	○	○	○	○
	LOCOUTCR	×	○	○	×	×	○	○
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	○	○
リアルタイムクロック関連のレジスタ (注1)		×	○	×	×	×	×	×
AGT関連のレジスタ		×	○	○	×	×	○	○
MPU関連のレジスタ		○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		×	○	×	×	×	×	×
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○

初期化対象		リセット要因					
		ソフトウェア リセット	SRAMバリ ティエラーリ セット	SRAM ECC エラー リセット	バスマスタ MPUエラー リセット	バスマスレーブ MPUエラー リセット	CPUスタック ポインタエ ラーリセット
ウォッチドッグタイマ関連の レジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSNPR	○	○	○	○	○	○
電圧監視機能1関連のレジスタ	LVD1CR0, LVCMPNCR.LVD1E, LVDLVL.R.LVD1LVL	×	×	×	×	×	×
	LVD1CR1/LVD1SR	×	×	×	×	×	×
電圧監視機能2関連のレジスタ	LVD2CR0, LVCMPNCR.LVD2E, LVDLVL.R.LVD2LVL	×	×	×	×	×	×
	LVD2CR1/LVD2SR	×	×	×	×	×	×
SOSC関連のレジスタ	SOSCCR	×	×	×	×	×	×
	SOMCR	×	×	×	×	×	×
LOCO関連のレジスタ	LOCOCR	○	○	×	×	×	×
	LOCOUTCR	×	×	×	×	×	×
MOSC関連のレジスタ	MOMCR	○	○	○	○	○	○
リアルタイムクロック関連のレジスタ (注1)		×	×	×	×	×	×
AGT関連のレジスタ		×	×	×	×	×	×
MPU関連のレジスタ		○	○	○	×	×	×
端子状態 (XCIN/XCOUT端子以外)		○	○	○	○	○	○
端子状態 (XCIN/XCOUT端子)		×	×	×	×	×	×
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○

○：初期化される。×：初期化されない。

注 1. RTCにはソフトウェアリセットがあります。一部の制御ビットは、いずれのリセットによっても初期化されません。対象ビットの詳細については、「23. リアルタイムクロック (RTC)」を参照してください。

RTC は、POR 以外のリセット要因によって初期化されません。SOSC と LOCO は、RTC のクロックソースとして選択可能です。表 5.4 および表 5.5 に、リセット発生時の SOSC と LOCO の状態を示します。

表 5.4 リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効または無効	無効に初期化	リセット発生前に選択されていた状態を継続
	駆動能力	ノーマルモードに初期化	リセット発生前に選択されていた状態を継続
	XGIN/XCOUT	ポートモードに初期化	リセット発生前に選択されていた状態を継続

表 5.5 リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効または無効	有効に初期化	
	発振精度 (注1)	電源投入によるトリミング前の精度に初期化 (精度: ±15%)	LOCOUTCRによってトリミングされた精度を継続

注 1. LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) は、POR、LVD0、LVD1、LVD2 の各リセットでリセットされます。これにより LOCO は、デフォルトの発振精度に戻ります。RTC が (LOCOUTCR のユーザトリミング値で) LOCO を RTC ソースクロックとして使用しているとき、RTC 精度が影響を受ける場合があります。事前に設定した LOCO 発振精度に戻すには、これらのいずれかのリセット後、LOCOUTCR に必要なトリミング値をリロードしてください。

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する入出力端子を示します。

表 5.6 リセット関連の入出力端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R/W (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/W (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R/W (注2)
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。本フラグは、1を読んだ後、0を書くことでクリアする必要があります。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

[1になる条件]

- パワーオンリセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下になったことを示します。

[1になる条件]

- 電圧監視0リセットが発生したとき

[0になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1を読んだ後、0を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

5.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	x (注1)	x (注1)	x (注1)	x (注1)	x (注1)	0	0	0	0	0	x (注1)	x (注1)	x (注1)

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0: SRAMパリティエラーリセット未検出 1: SRAMパリティエラーリセット検出	R(W) (注2)
b9	REERF	SRAM ECCエラーリセット検出フラグ	0: SRAM ECCエラーリセット未検出 1: SRAM ECCエラーリセット検出	R(W) (注2)
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0: バススレーブMPUエラーリセット未検出 1: バススレーブMPUエラーリセット検出	R(W) (注2)
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0: バスマスタMPUエラーリセット未検出 1: バスマスタMPUエラーリセット検出	R(W) (注2)
b12	SPERF	CPUスタックポインタエラーリセット検出フラグ	0: CPUスタックポインタエラーリセット未検出 1: CPUスタックポインタエラーリセット検出	R(W) (注2)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための0の書き込みのみ可能です。本フラグは、1を読んだ後、0を書くことでクリアする必要があります。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

RPERF フラグ (SRAM パリティエラーリセット検出フラグ)

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

REERF フラグ (SRAM ECC エラーリセット検出フラグ)

SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SPERF フラグ (CPU スタックポインタエラーリセット検出フラグ)

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

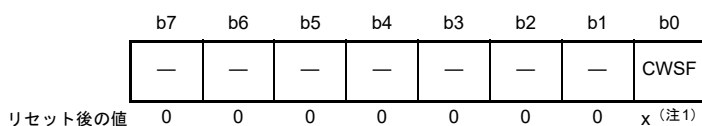
- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

5.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 4001 E411h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R(W) (注2)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき 0 を書いても変化しない

[0 になる条件]

- 表 5.2 に示すリセットを行ったとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、MCU はリセット状態になります。MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「[46. 電气的特性](#)」を参照してください。

5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL1[2:0] ビットの設定により変更できます。

図 5.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。

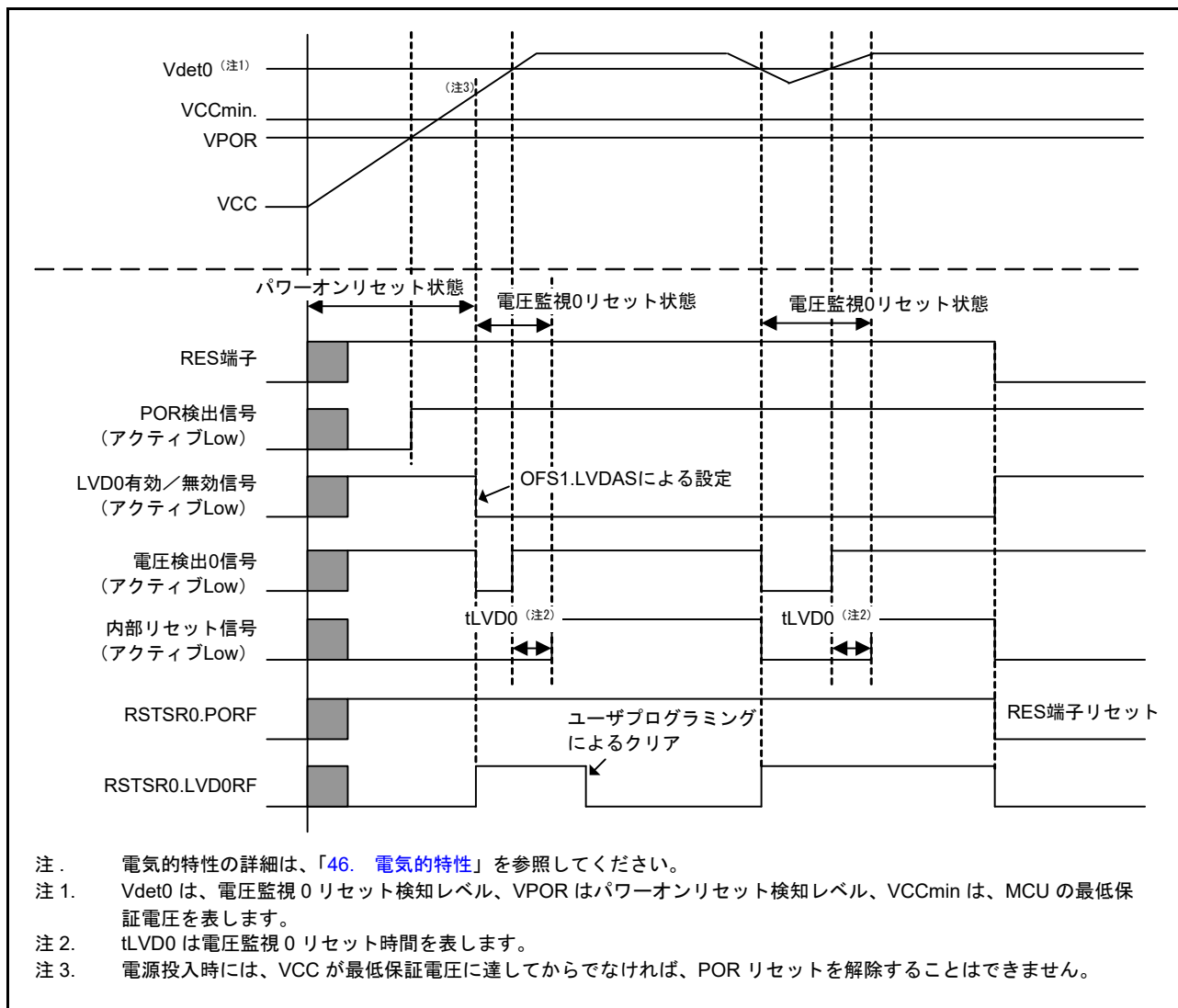


図 5.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

5.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1CR0.RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

同様に、電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2CR0.RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC が Vdet1 以下になっている場合、Vdet1 を超えてから LVD1 リセット時間 (tLVD1) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が Vdet1 以下になっている場合、LVD1 リセット時間 (tLVD1) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) の設定により選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) によって変更できます。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出 (LVD)」を参照してください。

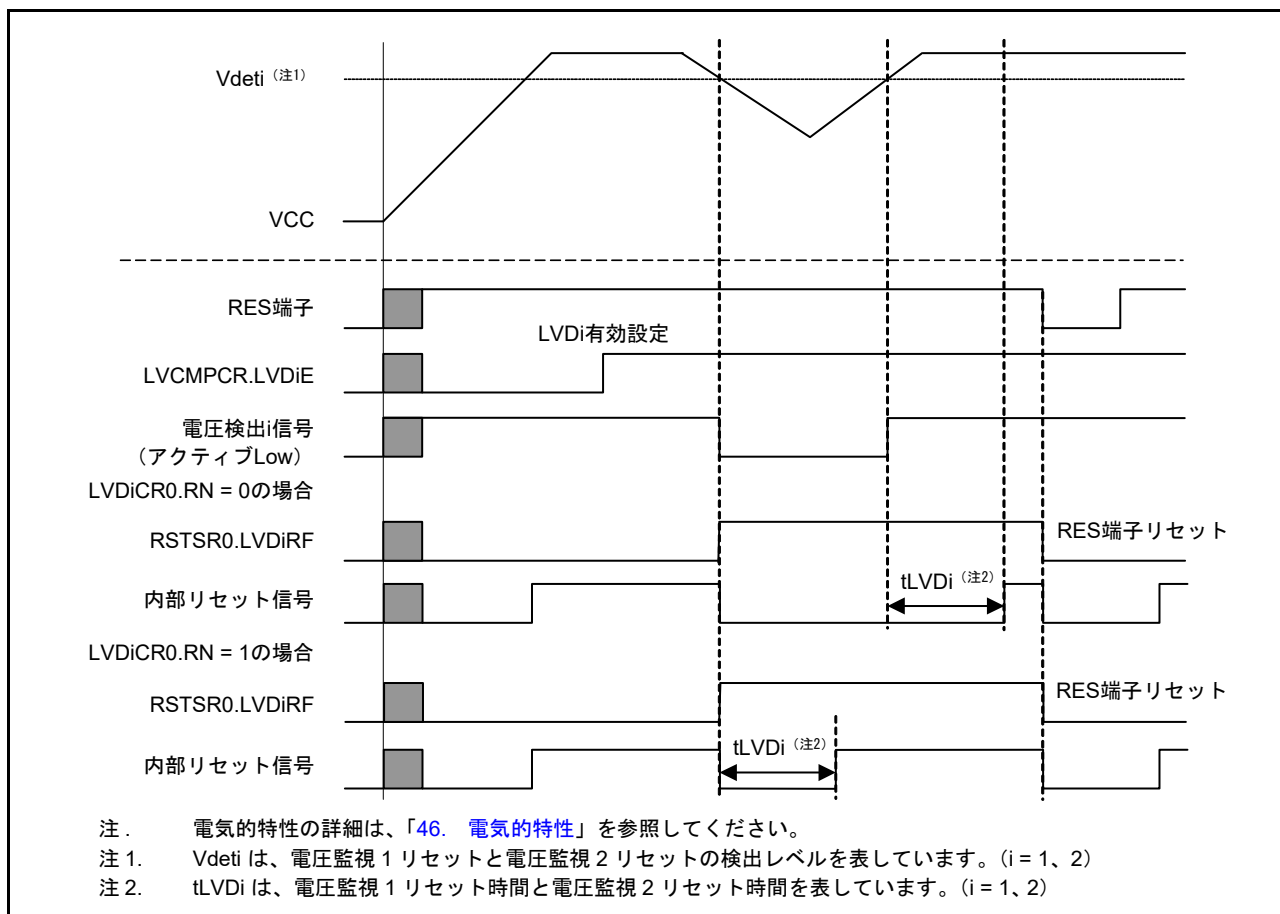


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマ (IWDT) による内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、IWDT から独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、IWDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマ (WDT) による内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、またはオプション機能選択レジスタ 0 (OFS0) によって、WDT からウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、WDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.6 ソフトウェアリセット

Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (tRESW2) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、ARM® Cortex®-M0+ Technical Reference Manual を参照してください。

5.3.7 コールドスタート/ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因を判定できます。本フラグは、電源が投入されたときのリセット処理 (コールドスタート) なのか、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) なのかを示します。

本フラグは、パワーオンリセットが発生すると 0 (コールドスタート) になります。その他のリセットを行っても 0 になりません。また、ソフトウェアで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

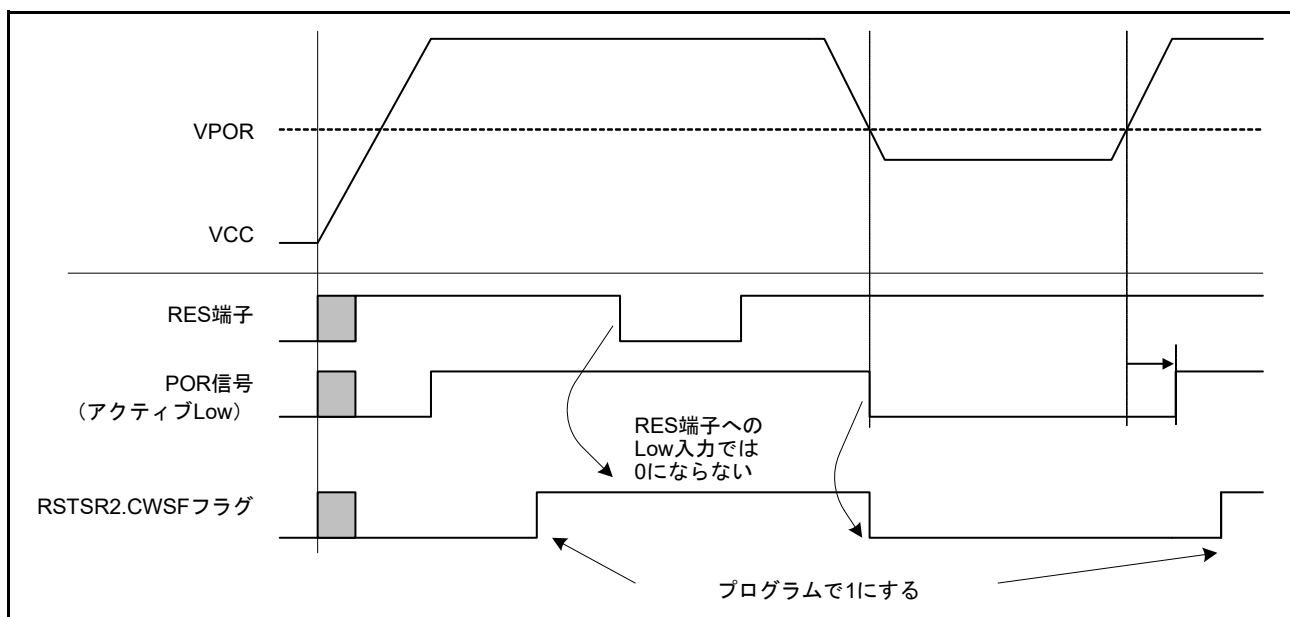


図 5.3 コールドスタート/ウォームスタート判定機能の動作例

5.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が

実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。

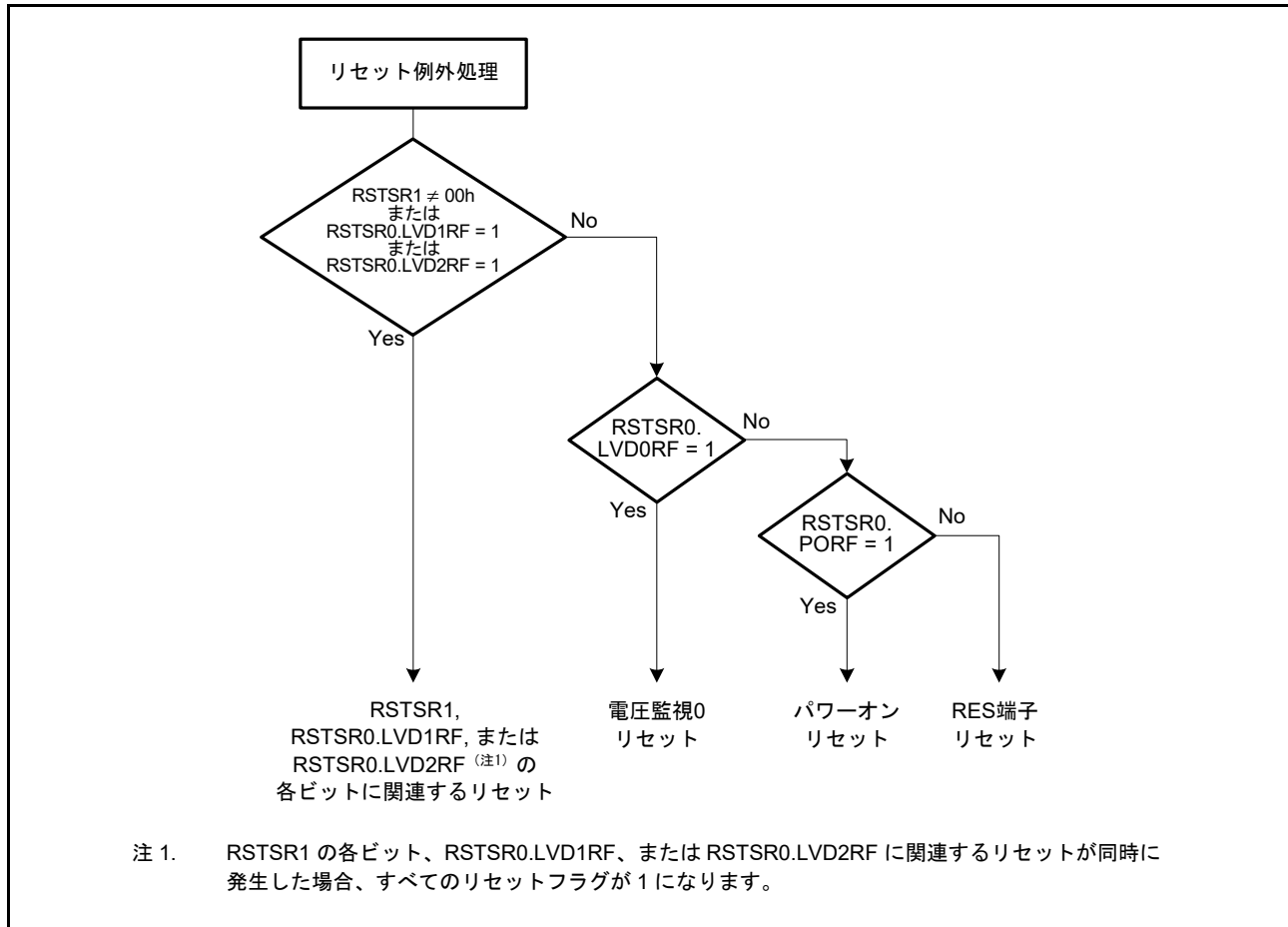


図 5.4 リセット発生要因の判定フロー例

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域にあり、これら2つの領域では設定方法が異なります。図 6.1 にオプション設定メモリの領域を示します。

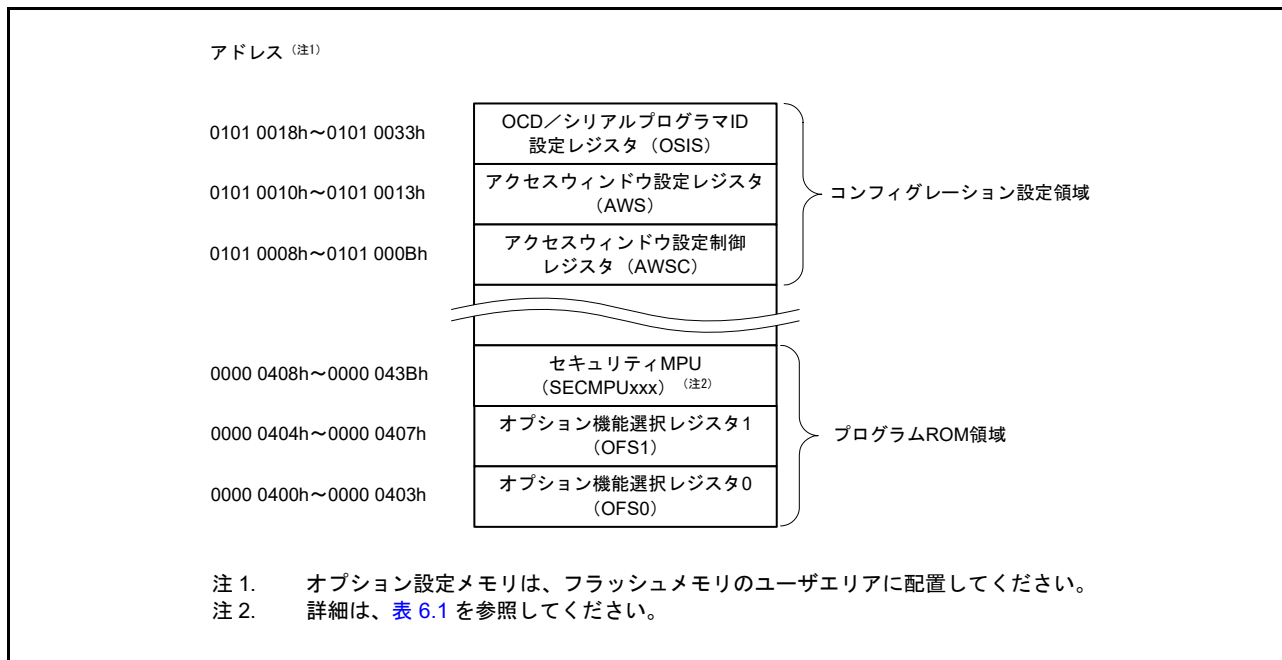


図 6.1 オプション設定メモリの領域

6.2 レジスタの説明

6.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFS0 0000 0400h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	WDTST PCTL	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				
リセット後の値															
ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTST TPCTL	—	IWDRS STIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTST TRT	—				
リセット後の値															
ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0 : リセット後、IWDTは自動的に起動 (オートスタートモード) 1 : IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFh) 1 1 : 2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0 : 1分周 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください。	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTRIRQS	IWDTリセット割り込み要求選択	0 : ノンマスクブル割り込み要求、または割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0 : カウント継続 1 : スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b17	WDTSTRT	WDTスタートモード選択	0 : リセット後、WDTは自動的に起動 (オートスタートモード) 1 : リセット後、WDTは停止状態 (レジスタスタートモード)	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択	b19 b18 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択	b23 b20 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択	WDT動作の選択 0 : NMI 1 : リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b30	WDTSTPCTL	WDT停止制御	0 : カウント継続 1 : スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

IWDTSTRT ビット (IWDT スタートモード選択)

リセット後のIWDTの起動モード (停止状態または起動状態) を選択します。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128、512、1024、2048の各サイクルから選択します。リフレッシュ後、IWDTがアンダーフローするまでのサイクル数は、IWDTCKS[3:0] ビットとIWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDT専用クロックを分周するプリスケアラの分周比設定を、1、16、32、64、128、256の各分周から選択します。これらのビット設定をIWDTTOPS[1:0] ビット設定と組み合わせることで、IWDTのカウント期間は128から524288までのIWDTクロックサイクル数に設定可能です。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDSTPCTL ビット (IWDT 停止制御)

スリープモード、スヌーズモード、ソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は、「25. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) を選択します。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択)

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択)

PCLKB を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。これらのビット設定を WDTTOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 13421728 までの PCLKB サイクル数に設定可能です。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択)

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の値のみが有効となります。

WDRPSS[1:0] ビットおよび WDRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択)

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となりますが、それ以外は禁止期間です。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択)

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット (WDT 停止制御)

スリープモード遷移時の WDT ダウンカウンタ停止を選択します。

詳細は、「24. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFS1 0000 0404h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	HOCOFRQ1[2:0]		—	—	—	HOCOEN	—	—	VDSEL1[2:0]		LVDAS	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b2	LVDAS	電圧検出0回路起動	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b5-b3	VDSEL1[2:0]	電圧検出0レベル選択	b5 b3 0 0 0: 3.84Vを選択 0 0 1: 2.82Vを選択 0 1 0: 2.51Vを選択 0 1 1: 1.90Vを選択 1 0 0: 1.70Vを選択 上記以外は設定しないでください。	R
b7-b6	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	HOCOEN	HOCO発振有効	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14-b12	HOCOFRQ1[2:0]	HOCO周波数設定1	b14 b12 0 0 0: 24MHz 0 1 0: 32MHz 1 0 0: 48MHz 1 0 1: 64MHz 上記以外は設定しないでください。	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

LVDAS ビット (電圧検出 0 回路起動)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL1[2:0] ビット (電圧検出 0 レベル選択)

電圧検出 0 回路の電圧検出レベルを選択します。

HOCOEN ビット (HOCO 発振有効)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO を使用する場合は、OFS1.HOCOFRQ1 ビットを最適な値に設定してください。

リセット解除後の動作モードは低電圧モードになります。そのため、リセット解除後、ただちに HOCOCR.HCSTP を 0 にする必要があります。

HOCOFRQ1[2:0] ビット (HOCO 周波数設定 1)

リセット後の HOCO 周波数を、24、32、48、64MHz から選択します。

6.2.3 MPU レジスタ

表 6.1 に、MPU 機能に関連したレジスタを示します。詳細な仕様については、14. メモリプロテクションユニット (MPU) を参照してください。

セキュリティ MPU は、フラッシュメモリのイレース時に無効になります。MPU レジスタに不正なデータが書き込まれた場合、MCU は動作しない可能性があります。適切なデータを設定するには、14. メモリプロテクションユニット (MPU) を参照してください。

表 6.1 MPU レジスタ

レジスタ名	シンボル	機能	アドレス	サイズ (バイト)
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ	SECMPUPCS0	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0408h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ	SECMPUPCE0	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 040Ch	4
セキュリティ MPU プログラムカウンタ開始アドレスレジスタ	SECMPUPCS1	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0410h	4
セキュリティ MPU プログラムカウンタ終了アドレスレジスタ	SECMPUPCE1	コードフラッシュまたは SRAM のセキュリティフェッチ領域を設定	0000 0414h	4
セキュリティ MPU 領域 0 開始アドレスレジスタ	SECMPUS0	セキュリティプログラムおよびコードフラッシュのデータを設定	0000 0418h	4
セキュリティ MPU 領域 0 終了アドレスレジスタ	SECMPUE0	セキュリティプログラムおよびコードフラッシュのデータを設定	0000 041Ch	4
セキュリティ MPU 領域 1 開始アドレスレジスタ	SECMPUS1	セキュリティプログラムおよび SRAM のデータを設定	0000 0420h	4
セキュリティ MPU 領域 1 終了アドレスレジスタ	SECMPUE1	セキュリティプログラムおよび SRAM のデータを設定	0000 0424h	4
セキュリティ MPU 領域 2 開始アドレスレジスタ	SECMPUS2	セキュリティ機能のセキュリティデータを設定	0000 0428h	4
セキュリティ MPU 領域 2 終了アドレスレジスタ	SECMPUE2	セキュリティ機能のセキュリティデータを設定	0000 042Ch	4
セキュリティ MPU 領域 3 開始アドレスレジスタ	SECMPUS3	セキュリティ機能のセキュリティデータを設定	0000 0430h	4
セキュリティ MPU 領域 3 終了アドレスレジスタ	SECMPUE3	セキュリティ機能のセキュリティデータを設定	0000 0434h	4
セキュリティ MPU アクセスコントロールレジスタ	SECMPUAC	セキュリティ有効/無効領域を設定	0000 0438h	4

6.2.4 アクセスウィンドウ設定コントロールレジスタ (AWSC)

アドレス AWSC 0101 0008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値								ユーザの設定値							
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FSPR	—	—	—	—	—	BTFLG	—	—	—	—	—	—	—	—
リセット後の値								ユーザの設定値							

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	BTFLG	スタートアップ領域選択フラグ	ブートスワップ用のスタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の8KB領域 (0000 0000h~0000 1FFFh) と次の8KB領域 (0000 2000h~0000 3FFFh) が入れ替わる 1: 最初の8KB領域 (0000 0000h~0000 1FFFh) と次の8KB領域 (0000 2000h~0000 3FFFh) は入れ替わらない	R
b13-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b14	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、テンポラリブートスワップに対するプログラミング/イレース保護を制御します。本ビットは一度0にすると、1に変更できません。 0: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。 FSSETレジスタのスタートアップ領域選択ビット (TMSPMD、TMBTSEL) への書き込みは無効 1: アクセスウィンドウ (FAWE[11:0]、FAWS[11:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。 FISRレジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

6.2.5 アクセスウィンドウ設定レジスタ (AWS)

アドレス AWS 0101 0010h



ビット	シンボル	ビット名	機能	R/W
b11-b0	FAWS[11:0]	アクセスウィンドウ開始ブロックアドレス	アクセスウィンドウの開始ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[21:10]で構成されます。	R
b15-b12	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b27-b16	FAWE[11:0]	アクセスウィンドウ終了ブロックアドレス	アクセスウィンドウの終了ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるプログラム/イレース受け付け可能領域の次のブロックです。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[21:10]で構成されます。	R
b31-b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

アクセスウィンドウ外の領域にプログラム/イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[11:0] ビットと FAWE[11:0] ビットの両方で指定されます。以下に、FAWS[11:0] ビットと FAWE[11:0] ビットの設定方法を説明します。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS[11:0] ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される
- FAWE[11:0] ≤ FAWS[11:0] : P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

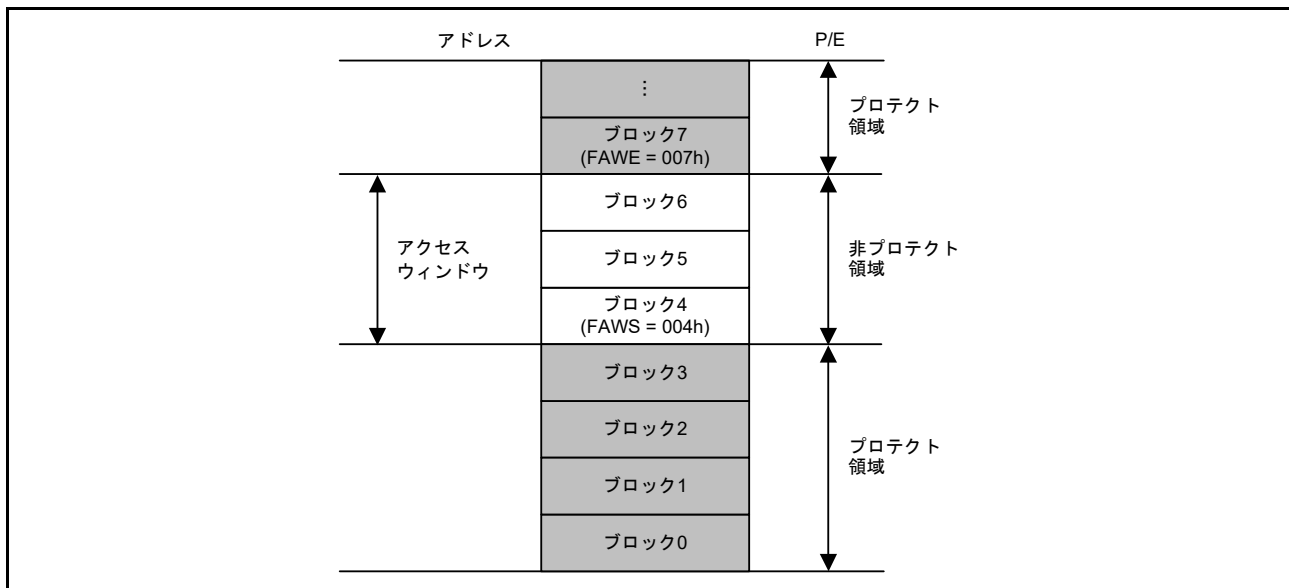
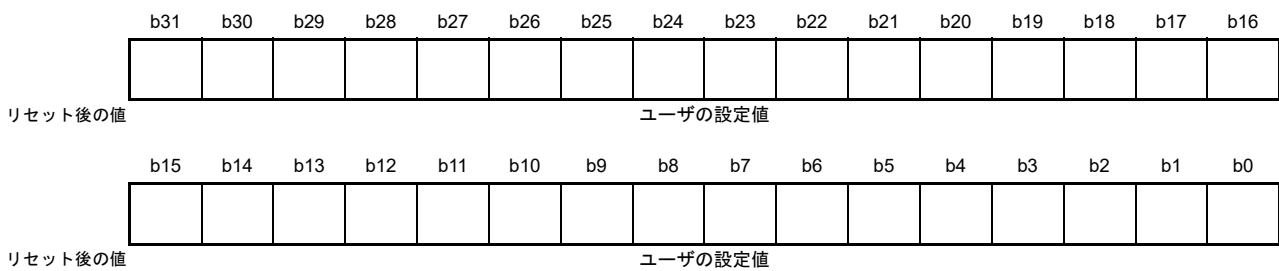


図 6.2 アクセスウィンドウの概要

6.2.6 OCD / シリアルプログラマ ID 設定レジスタ (OSIS)

本レジスタは、OCD / シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD / シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。このレジスタは、OCD / シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定します。ID コードが一致した場合、OCD / シリアルプログラマとの接続が許可されます。一致しない場合、OCD / シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定する必要があります。

アドレス OSIS 0101 0018h, OSIS 0101 0020h, OSIS 0101 0028h, OSIS 0101 0030h



OCD / シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効 / 無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 6.2 に示します。

表 6.2 IDコードプロテクト機能の仕様

起動時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	IDコードはチェックされません。IDコードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (SWD ブートモード)	ビット 127 = 1、ビット 126 = 1、かつ 16 バイトのうち少なくとも 1 つが FFh 以外	プロテクト有効	IDコードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。IDコードの不一致 = IDコードプロテクト待ち状態へ遷移します。プログラマまたはオンチップデバッグから送られてきた IDコードが ASCII コードの ALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFh) であると、ユーザフラッシュ領域の内容は消去されます。ただし、FSPR ビットが 0 であれば、強制消去は実行されません。
	ビット 127 = 1 および ビット 126 = 0	プロテクト有効	IDコードの一致 = 認証が完了し、プログラマまたはオンチップデバッグとの接続が許可されます。IDコードの不一致 = IDコードプロテクト待ち状態へ遷移します。
	ビット 127 = 0	プロテクト有効	IDコードはチェックされません。IDコードは常に不一致であり、プログラマまたはオンチップデバッグへの接続は禁止されます。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

プログラムデータは、[図 6.1](#) に示すオプション設定メモリのアドレスに配置されます。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

[6.3.1 オプション設定メモリへのデータの配置方法](#)に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムフラッシュ領域へデータを書き込むには、プログラムコマンドを使用してください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「[42. フラッシュメモリ](#)」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細はツールのマニュアルを参照してください。

本 MCU では、以下 2 つの設定手順があります。

- [6.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へ書き込む
- ツールの GUI インタフェースを使用して、[6.3.1 オプション設定メモリへのデータの配置方法](#)に示すように配置されたデータをプログラムする

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書いてください。これらのビットに 0 を書き込むと、正常動作は保証されません。

7. 低電圧検出 (LVD)

7.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。LVD モジュールは、3つの独立した電圧レベル検出器（電圧検出0、1、2回路）で構成され、それぞれがVCC端子への入力電圧レベルを測定します。LVD電圧検出レジスタにより、さまざまな電圧しきい値でVCCの変動を検出するようにユーザアプリケーションを設定できます。

それぞれの電圧レベル検出器には、電圧監視0、1、2などの電圧監視回路が対応しています。電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるようにLVDを設定できます。

表 7.1 に LVD の仕様一覧を示します。図 7.1 に電圧検出0、1、2回路のブロック図を、図 7.2 に電圧監視1割り込み/リセット発生回路のブロック図を、図 7.3 に電圧監視2割り込み/リセット発生回路のブロック図を示します。

表 7.1 低電圧検出 (LVD) の特性

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視電圧	Vdet0	Vdet1	Vdet2
	検出イベント	下降してVdet0を通過	上昇または下降してVdet1を通過	上昇または下降してVdet2を通過
	検出電圧	OFS1.VDSEL1[2:0]ビットで5レベルから選択可能	LVDLVL.R.LVD1LVL[4:0]ビットで16レベルから選択可能	LVDLVL.R.LVD2LVL[2:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.MONフラグ：電圧がVdet1より高いか低いかを監視 LVD1SR.DETフラグ：Vdet1通過検出	LVD2SR.MONフラグ：電圧がVdet2より高いか低いかを監視 LVD2SR.DETフラグ：Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット。 VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット。 CPU動作再開タイミングとして、VCC > Vdet1の一定時間後、またはVdet1 > VCCの一定時間後を選択可能	Vdet2 > VCCでリセット。 CPU動作再開タイミングとして、VCC > Vdet2の一定時間後、またはVdet2 > VCCの一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 Vdet1 > VCCまたはVCC > Vdet1のとき割り込み要求	電圧監視2割り込み ノンマスクابل割り込み、またはマスクابل割り込みを選択可能 Vdet2 > VCCまたはVCC > Vdet2のとき割り込み要求
イベントリンク機能	なし	あり Vdet1通過検出時にイベント信号出力	あり Vdet2通過検出時にイベント信号出力	

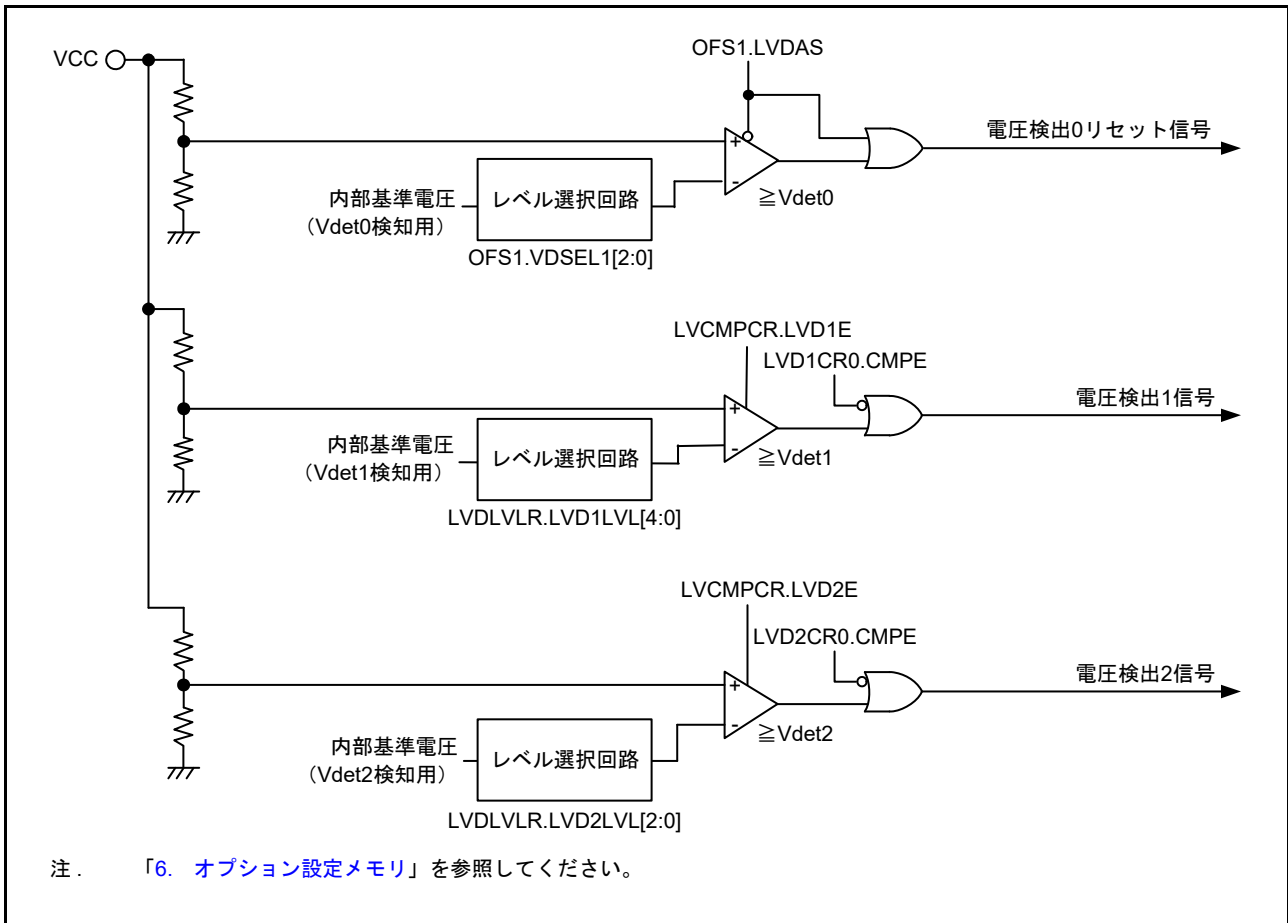


図 7.1 電圧検出 0、1、2 回路のブロック図

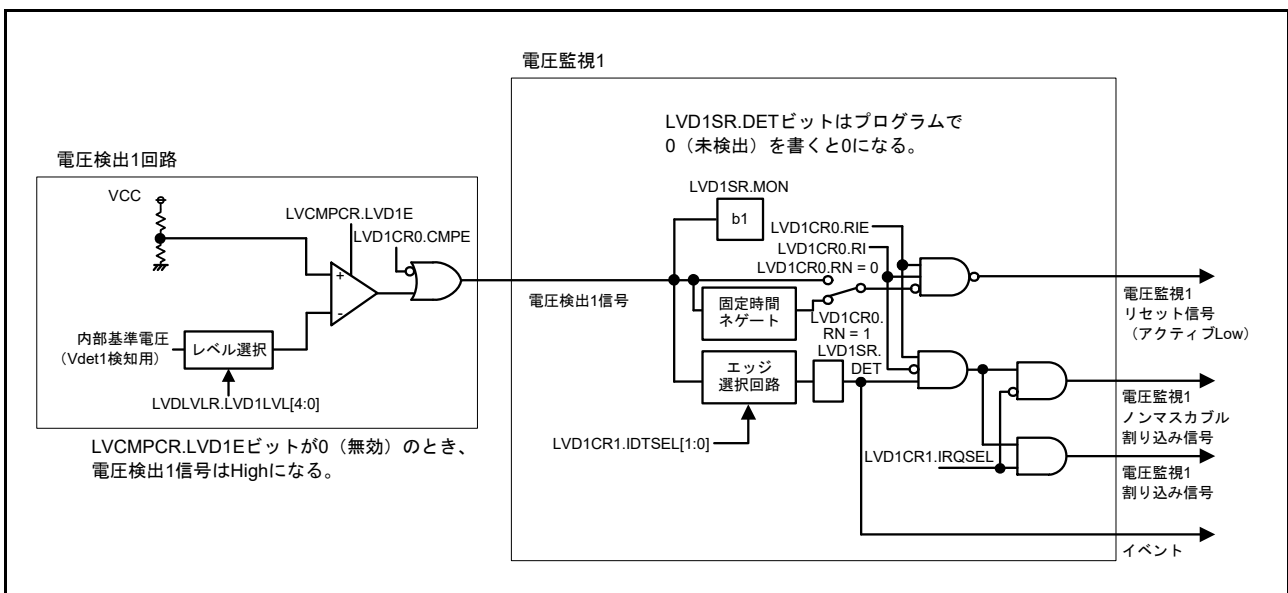


図 7.2 電圧監視 1 割り込み/リセット発生回路のブロック図

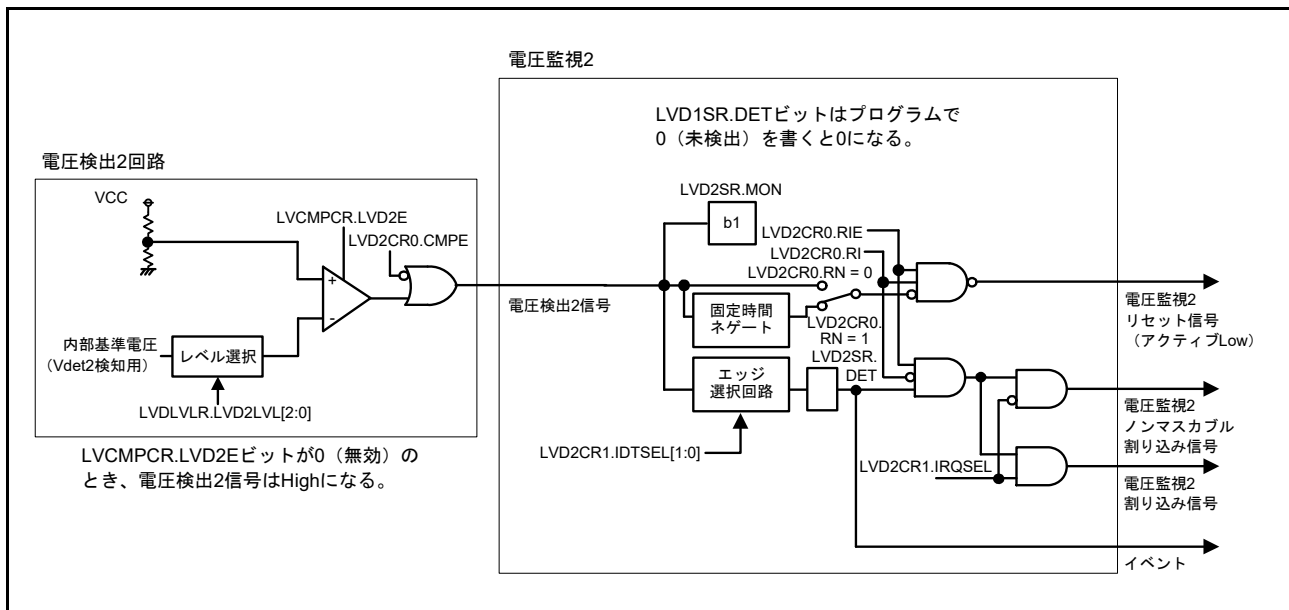
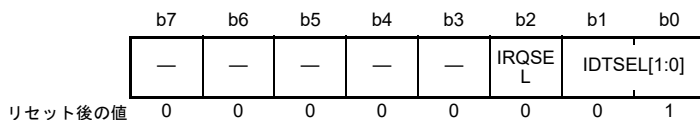


図 7.3 電圧監視 2 割り込み/リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 電圧モニタ 1 回路コントロールレジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 4001 E0E0h



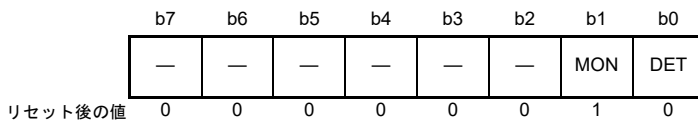
ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視 1 割り込み種類選択	0 : ノンマスクابل割り込み 1 : マスクابل割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. マスクابل割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

7.2.2 電圧モニタ 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 4001 E0E1h



ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または MON 無効	R
b7-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ (電圧監視 1 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0 (禁止) にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

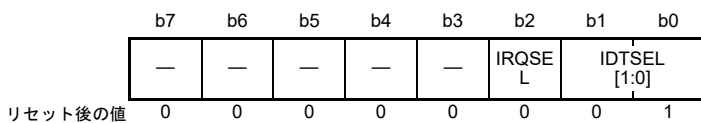
I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

MON フラグ (電圧監視 1 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD1E ビットが 1 (電圧検出 1 回路有効) であり、かつ LVD1CR0.CMPE ビットが 1 (電圧監視 1 回路比較結果出力許可) のときに有効になります。

7.2.3 電圧モニタ 2 回路コントロールレジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 4001 E0E2h

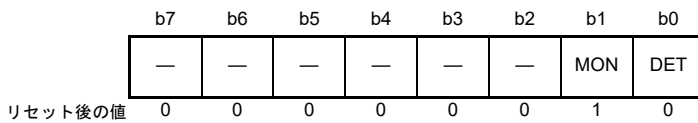


ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL [1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0 : VCC ≥ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。
- 注 1. マスカブル割り込みを設定する場合、ICU 側にある NMICR.LVD1EN ビットをリセット状態から変更しないでください。

7.2.4 電圧モニタ 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 4001 E0E3h



ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	R/(W) (注1)
b1	MON	電圧監視2信号モニタフラグ	0: VCC < Vdet2 1: VCC ≥ Vdet2またはMON無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ (電圧監視 2 電圧変化検出フラグ)

DET フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0 (禁止) にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1 (許可) にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

MON フラグ (電圧監視 2 信号モニタフラグ)

MON フラグは、LVCMPCR.LVD2E ビットが 1 (電圧検出 2 回路有効) であり、かつ LVD2CR0.CMPE ビットが 1 (電圧監視 2 回路比較結果出力許可) のときに有効になります。

7.2.5 電圧モニタ回路コントロールレジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1許可	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVD1E ビット (電圧検出 1 許可)

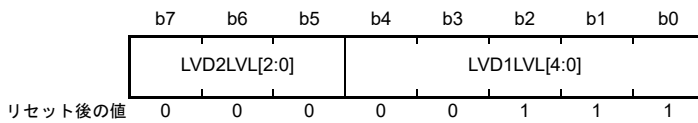
電圧検出 1 の割り込み/リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 1 回路が動作します。

LVD2E ビット (電圧検出 2 許可)

電圧検出 2 の割り込み/リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、 $t_{d(E-A)}$ 経過すると、電圧検出 2 回路が動作します。

7.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 (電圧下降時の標準電圧)	b4 b0 0 0 0 0 0 : 4.29V (Vdet1_0) 0 0 0 0 1 : 4.14V (Vdet1_1) 0 0 0 1 0 : 4.02V (Vdet1_2) 0 0 0 1 1 : 3.84V (Vdet1_3) 0 0 1 0 0 : 3.10V (Vdet1_4) 0 0 1 0 1 : 3.00V (Vdet1_5) 0 0 1 1 0 : 2.90V (Vdet1_6) 0 0 1 1 1 : 2.79V (Vdet1_7) 0 1 0 0 0 : 2.68V (Vdet1_8) 0 1 0 0 1 : 2.58V (Vdet1_9) 0 1 0 1 0 : 2.48V (Vdet1_A) 0 1 0 1 1 : 2.20V (Vdet1_B) 0 1 1 0 0 : 1.96V (Vdet1_C) 0 1 1 0 1 : 1.86V (Vdet1_D) 0 1 1 1 0 : 1.75V (Vdet1_E) 0 1 1 1 1 : 1.65V (Vdet1_F) 上記以外は設定しないでください。	R/W
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 (電圧下降時の標準電圧)	b7 b5 0 0 0 : 4.29V (Vdet2_0) 0 0 1 : 4.14V (Vdet2_1) 0 1 0 : 4.02V (Vdet2_2) 0 1 1 : 3.84V (Vdet2_3) 1 0 0 : 設定禁止 1 0 1 : 設定禁止 1 1 0 : 設定禁止 1 1 1 : 設定禁止	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVDLVLR レジスタは、LVCMPPCR.LVD1E ビット、LVCMPPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、低電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

7.2.7 電圧モニタ 1 回路コントロールレジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視1割り込み／リセット許可	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視1回路比較結果出力許可	0 : 電圧監視1回路比較結果出力禁止 1 : 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視1回路モード選択	0 : Vdet1通過時に電圧監視1割り込み 1 : 下降してVdet1通過時に電圧監視1リセット許可	R/W
b7	RN	電圧監視1リセットネゲート選択	0 : VCC > Vdet1 検出時、安定時間 (tLVD1) 経過後にネゲート 1 : LVD1リセットアサート時、安定時間 (tLVD1) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 1 割り込み／リセット許可)

電圧監視 1 の割り込み／リセットを、許可または禁止します。本ビットは、フラッシュメモリのプログラミング／イレース中に、電圧監視 1 割り込みと電圧監視 1 リセットをどちらも発生させないために使用してください。

RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCO CR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 (VCC > Vdet1 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD1 リセットアサート時、安定時間経過後にネゲート) にしないでください。

7.2.8 電圧モニタ 2 回路コントロールレジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 4001 E41Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	—	—	—	CMPE	—	RIE
リセット後の値	1	0	0	0	x	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0: 電圧監視2回路比較結果出力禁止 1: 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RI	電圧監視2回路モード選択	0: Vdet2通過時に電圧監視2割り込み 1: 下降してVdet2通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0: VCC > Vdet2検出時、安定時間 (tLVD2) 経過後にネゲート 1: LVD2リセットアサート時、安定時間 (tLVD2) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 2 割り込み／リセット許可)

電圧監視 2 の割り込み／リセットを、許可または禁止します。本ビットは、フラッシュメモリのプログラミング／イレース中に、電圧監視 2 割り込みと電圧監視 2 リセットをどちらも発生させないために設定してください。

RN ビット (電圧監視 2 リセットネゲート選択)

RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にする場合は、MOCOVR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードへ遷移する場合は、RN ビットは 0 (VCC > Vdet2 検出時、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 (LVD2 リセットアサート時、安定時間経過後にネゲート) にしないでください。

7.3 VCC 入力電圧のモニタ

7.3.1 Vdet0 のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 Vdet1 のモニタ

表 7.2 に Vdet1 のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.2 Vdet1 のモニタの設定手順

手順		電圧監視1の比較結果モニタ
電圧検出1回路の設定	1	LVDLVLRL レジスタへ書き込む前に、LVCMPCLR.LVD1E = 0 にして電圧検出1を無効にする
	2	LVDLVLRL.LVD1LVL[4:0] ビットで検出電圧を選択
	3	LVCMPCLR.LVD1E = 1 にして、電圧検出1を有効にする
	4	LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 にして、電圧監視1の比較結果出力を許可する

7.3.3 Vdet2 のモニタ

表 7.3 に Vdet2 のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.3 Vdet2 のモニタの設定手順

手順		電圧監視2の比較結果モニタ
電圧検出2回路の設定	1	LVDLVLRL レジスタへ書き込む前に、LVCMPCLR.LVD2E = 0 にして電圧検出2回路を無効にする
	2	LVDLVLRL.LVD2LVL[2:0] ビットで検出電圧を選択
	3	LVCMPCLR.LVD2E = 1 にして、電圧検出2回路を有効にする
	4	LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 にして、電圧監視2の比較結果出力を許可する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 (リセット後、電圧監視 0 リセット有効) にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。図 7.4 に電圧監視 0 リセットの動作例を示します。

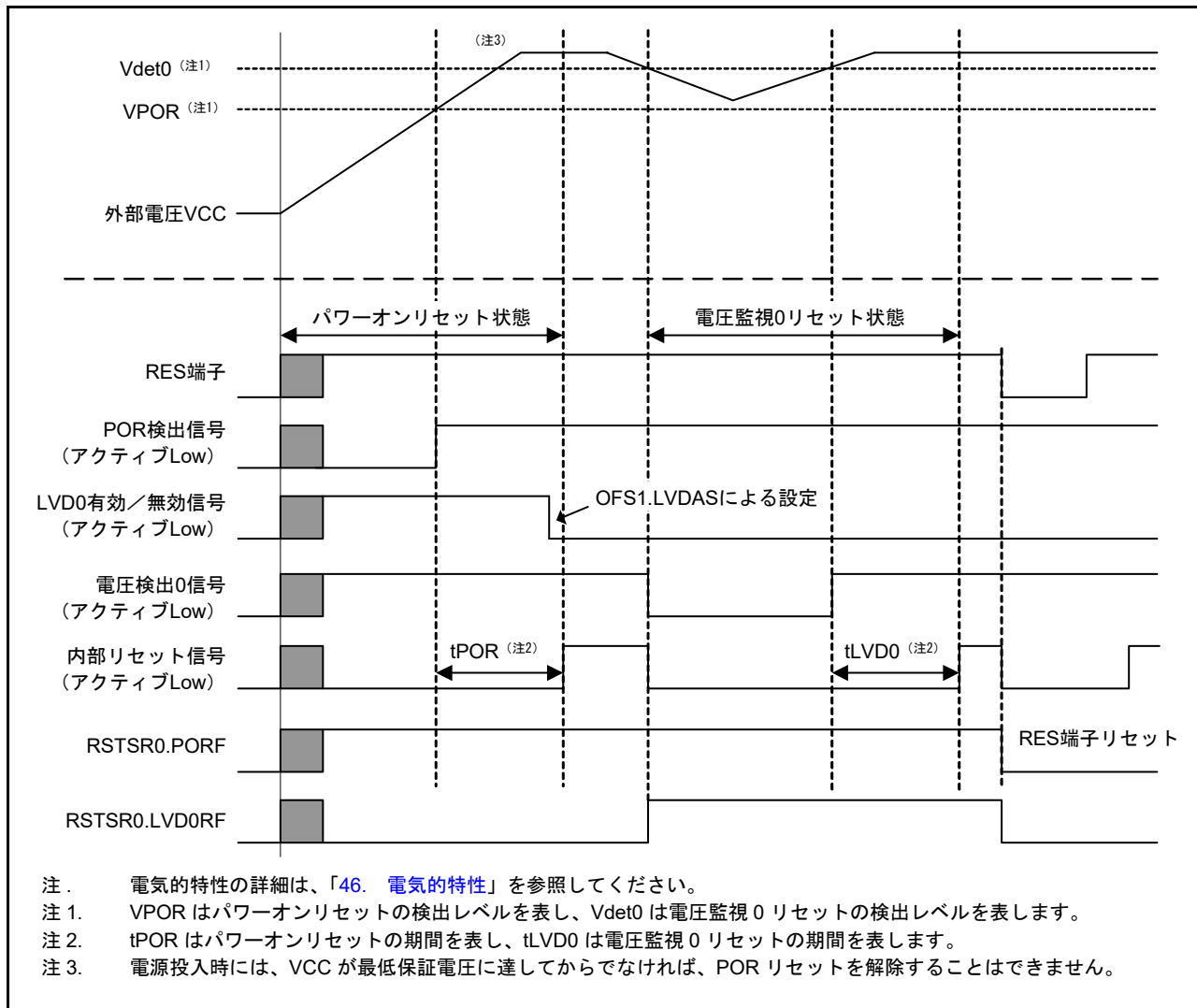


図 7.4 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み/リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み/リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、電圧監視 1 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- VCC > Vdet1 検出時、安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) に設定

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)		電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして電圧検出 1 回路を無効にする	
	2	LVDLVLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする	
	4	LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ (注 1)	
電圧監視 1 割り込み/リセットの設定	5	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する	<ul style="list-style-type: none"> LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する LVD1CR0.RN ビットでリセットネゲートの種類を選択
	6	<ul style="list-style-type: none"> LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択 LVD1CR1.IRQSEL ビットで割り込みの種類を選択 	—
出力許可の設定	7	LVD1SR.DET = 0 にする	
	8	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み/リセットを許可する (注 2)	
	9	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「46. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット	
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止する
	2	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み/リセットを禁止する (注 1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路の設定または停止は不要
- 電圧監視 1 割り込み/リセットの設定を変更しない場合、電圧監視 1 割り込み/リセットの設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。

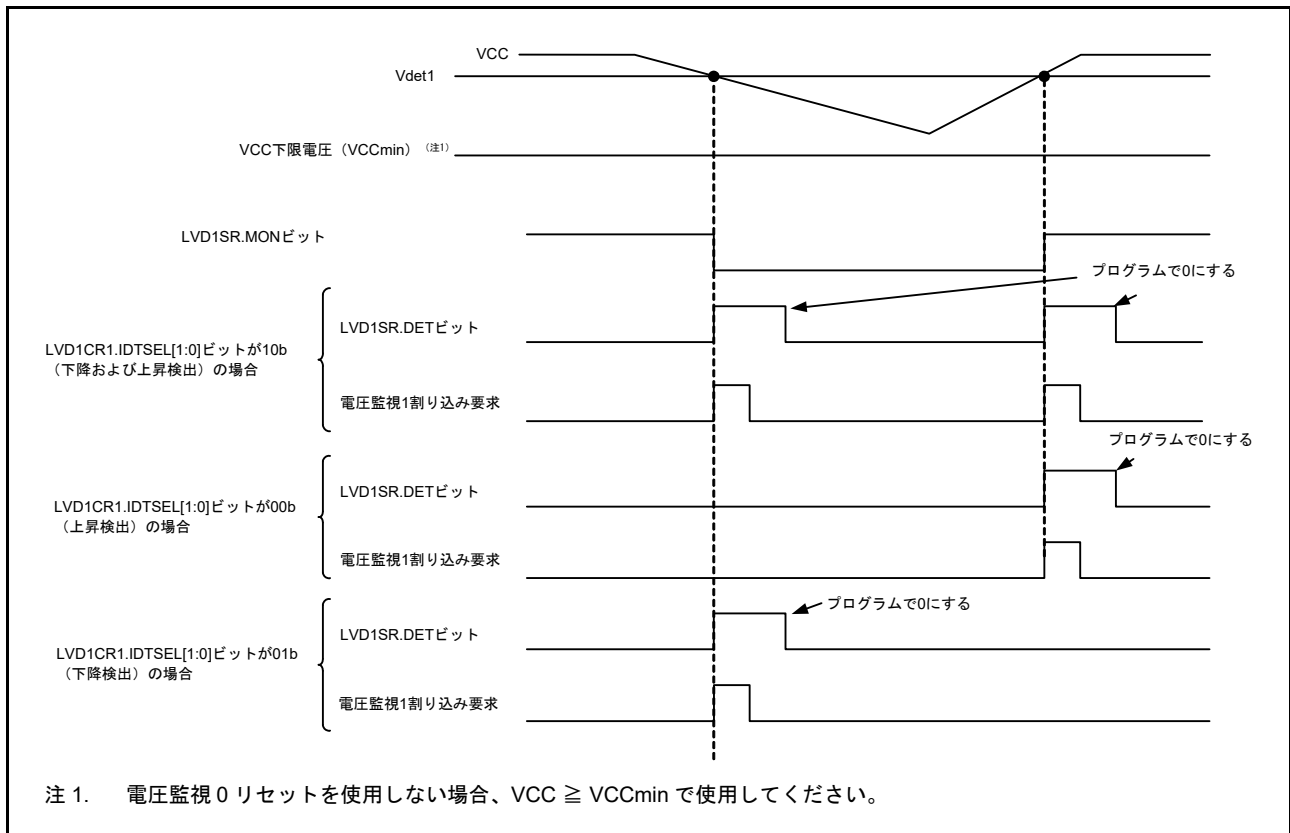


図 7.5 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、電圧監視 2 回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- VCC > Vdet2 が検出された場合、一定時間経過後に LVDD2CR0.RN ビットをクリア (LVD2CR0.RN = 0) する

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVLDLVL レジスタへ書き込む前に、LVCMPCR.LVD2E = 0 にして電圧検出 2 回路を無効にする
	2	LVLDLVL.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E = 1 にして、電圧検出 2 回路を有効にする
	4	LVD 有効切り替え後、LVD 動作安定のために $t_{d(E-A)}$ 以上待つ (注1)
電圧監視 2 割り込み / リセットの設定	5	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択する
	6	<ul style="list-style-type: none"> • LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択 • LVD2CR1.IRQSEL ビットで割り込みの種類を選択
出力許可の設定	7	LVD2SR.DET = 0 にする
	8	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み / リセットを許可する (注2)
	9	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

注. 手順 5 の待ち時間中に手順 6 ~ 9 を行うことができます。

注 1. 手順 4 の待ち時間中に手順 5 ~ 8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「46. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット	
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 の比較結果出力を禁止する
	2	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み / リセットを禁止する (注1)
電圧検出 1 回路停止の設定	3	LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することが可能です。

- 電圧検出 2 回路の設定を変更しない場合、電圧検出 2 回路の設定または停止は不要
- 電圧監視 2 割り込み／リセットの設定を変更しない場合、電圧監視 2 割り込み／リセットの設定は不要

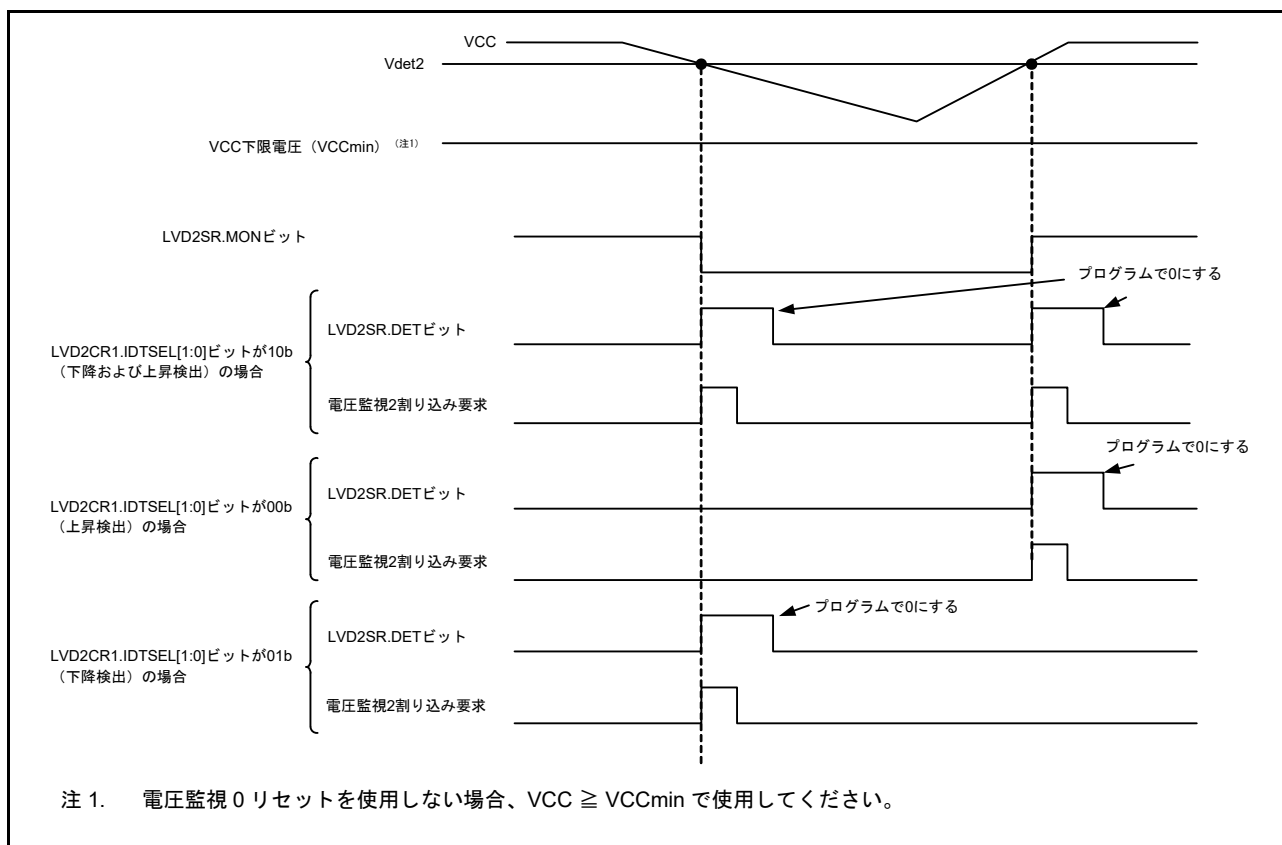


図 7.6 電圧監視 2 割り込みの動作例

7.7 イベントリンク出力機能

LVD は、イベントリンクコントローラ (ELC) に対してイベント信号出力を行うことができます。

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合、LVD はイベント信号を出力します。

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合、LVD はイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みのそれぞれに割り込み許可/禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号 (LVD1CR0.RIE および LVD2CR0.RIE) が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込みを出力することが可能です。ソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されず。

- ソフトウェアスタンバイモード期間中に Vdet1 または Vdet2 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。Vdet1 または Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。

表 8.1 および表 8.2 にクロック発生回路の仕様を示します。図 8.1 にブロック図を、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様 (クロックソース)

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	<ul style="list-style-type: none"> 1MHz ~ 20MHz (最大 5.5V) 1MHz ~ 8MHz (最大 2.4V)
	外部クロック入力周波数	最大 20MHz
	外部発振子または付加回路: セラミック発振子、水晶振動子	あり
	接続端子: EXTAL、XTAL	
	ドライブ能力切り替え	
	発振停止検出機能	
サブクロック発振器 (SOSC)	発振子周波数	32.768kHz
	外部発振子または付加回路: 水晶振動子	あり
	接続端子: XCIN、XCOUT	
	ドライブ能力切り替え	
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48/64MHz
	ユーザトリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDT専用オンチップオシレータ (IWDTLOCO)	発振周波数	15kHz
	ユーザトリミング	なし
SWD用外部クロック入力 (SWCLK)	入力クロック周波数	最大 12.5MHz

表 8.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/ MOCO/LOCO	CPU, DTC, FLASH, SRAM, FlashIF	1MHz~32MHz (P/E) 最大32MHz 分周比 : 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (CAC, ELC, I/O ポート, KINT, POEG, GPT, PWM遅 延生成回路, AGT, RTC, WDT, IWDT, USBFS, SCI, DALI, IIC, CAN, SPI, CRC, ADC14, DAC8, OPAMP, ACMPHS, ACMPLP, CTSU, DOC, AES, TRNG)	最大32MHz 分周比 : 1, 2, 4, 8, 16, 32, 64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/ MOCO/LOCO	周辺モジュール (GPT カウントク ロック、PWM遅延生成回路、 ADC14変換クロック)	最大64MHz 分周比 : 1, 2, 4, 8, 16, 32, 64
USBクロック (UCLK)	HOCO	USBFS	48MHz
CANクロック (CANMCLK)	MOSC	CAN	1MHz~20MHz
AGTクロック (AGTCLK) (AGTSCLK/AGTLCLK)	SOSC/LOCO/PCLKB	AGT	最大32MHz
CACメインクロック (CACMCLK)	MOSC	CAC	最大20MHz
CACサブクロック (CACSCLK)	SOSC	CAC	32.768kHz
CAC LOCOクロック (CACLCLK)	LOCO	CAC	32.768kHz
CAC MOCOクロック (CACMOCLK)	MOCO	CAC	8MHz
CAC HOCOクロック (CACMCLK)	HOCO	CAC	24, 32, 48, 64MHz
CAC IWDTLOCOクロック (CACILCLK)	IWDTLOCO	CAC	15kHz
RTCクロック (RTCSCLK/ RTCLCLK)	SOSC/LOCO	RTC	32.768kHz
IWDTクロック (IWDTCLK)	IWDTLOCO	IWDT	15kHz
SysTickタイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768kHz
クロック/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/ MOCO/HOCO	CLKOUT 端子	最大16MHz 分周比 : 1, 2, 4, 8, 16, 32, 64, 128
シリアルワイヤクロック (SWCLK)	SWCLK端子	OCD	最大12.5MHz

- 注. クロック周波数の設定に関する制限 : ICLK \geq PCLKB、PCLKD \geq PCLKB
 クロック周波数比に関する制限 : (ここで、N は最大 64 の整数)
 ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N
- 注. プログラミング/イレース (P/E) モードでの最小 ICLK 周波数は 1MHz

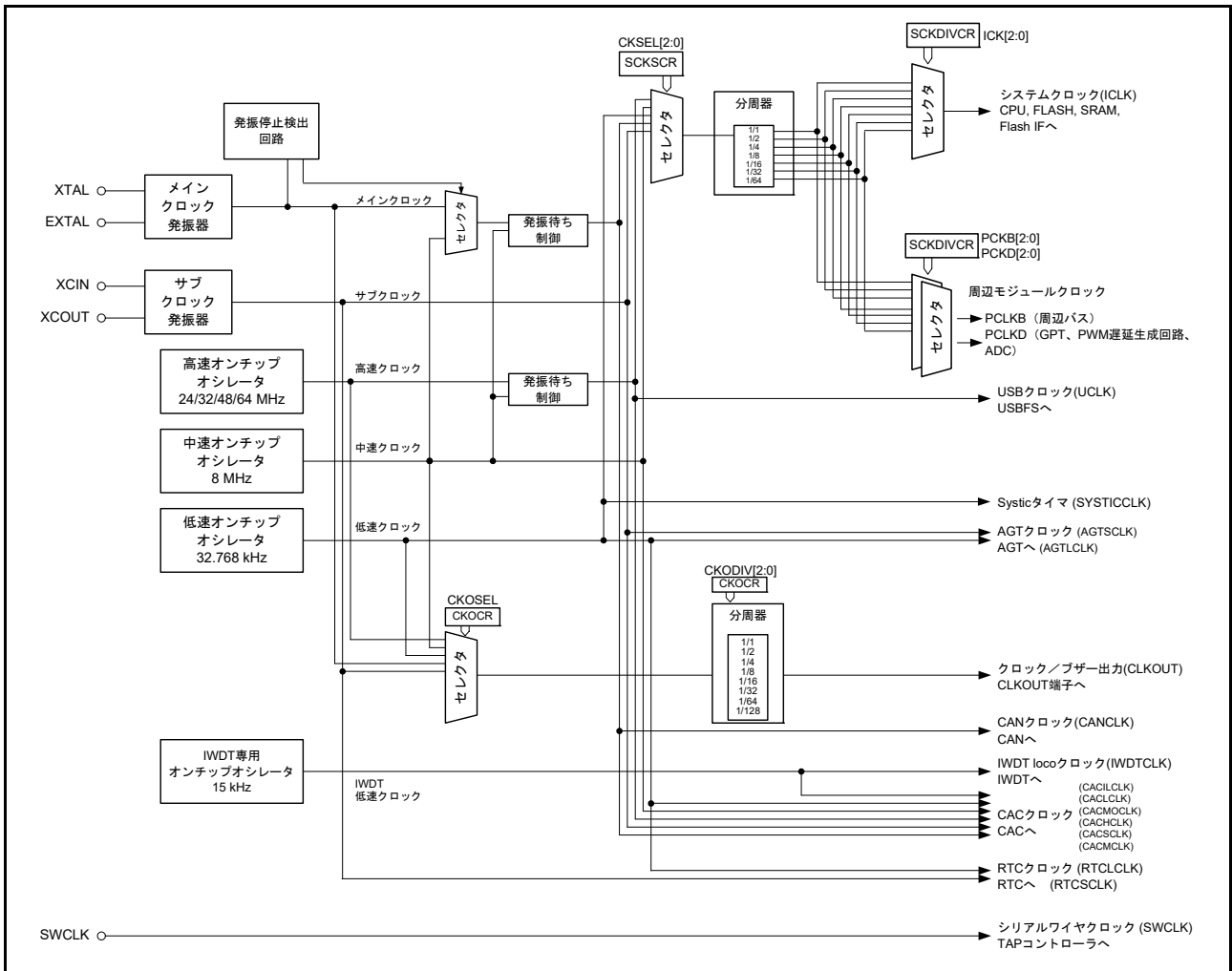


図 8.1 クロック発生回路のブロック図

表 8.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子用の接続端子。EXTAL端子は外部クロックの入力にも使用可能。詳細は、8.3.2 外部クロックを入力する方法を参照してください
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子用の接続端子
XCOUT	出力	
CLKOUT	出力	CLKOUT/BUZZERクロック用の出力端子
SWCLK	入力	SWDからの入力端子

8.2 レジスタの説明

8.2.1 システムクロック分周コントロールレジスタ (SCKDIVCR)

アドレス SYSTEM.SCKDIVCR 4001 E020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	ICK[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	PCKB[2:0]		—	—	—	—	—	PCKD[2:0]			
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W																
b2-b0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 (注2)	<table border="0"> <tr><td>b2</td><td>b0</td></tr> <tr><td>0 0</td><td>0: 1分周</td></tr> <tr><td>0 0</td><td>1: 2分周</td></tr> <tr><td>0 1</td><td>0: 4分周</td></tr> <tr><td>0 1</td><td>1: 8分周</td></tr> <tr><td>1 0</td><td>0: 16分周</td></tr> <tr><td>1 0</td><td>1: 32分周</td></tr> <tr><td>1 1</td><td>0: 64分周</td></tr> </table> <p>上記以外は設定しないでください。</p>	b2	b0	0 0	0: 1分周	0 0	1: 2分周	0 1	0: 4分周	0 1	1: 8分周	1 0	0: 16分周	1 0	1: 32分周	1 1	0: 64分周	R/W
b2	b0																			
0 0	0: 1分周																			
0 0	1: 2分周																			
0 1	0: 4分周																			
0 1	1: 8分周																			
1 0	0: 16分周																			
1 0	1: 32分周																			
1 1	0: 64分周																			
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																
b10-b8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 (注1)	<table border="0"> <tr><td>b10</td><td>b8</td></tr> <tr><td>0 0</td><td>0: 1分周</td></tr> <tr><td>0 0</td><td>1: 2分周</td></tr> <tr><td>0 1</td><td>0: 4分周</td></tr> <tr><td>0 1</td><td>1: 8分周</td></tr> <tr><td>1 0</td><td>0: 16分周</td></tr> <tr><td>1 0</td><td>1: 32分周</td></tr> <tr><td>1 1</td><td>0: 64分周</td></tr> </table> <p>上記以外は設定しないでください。</p>	b10	b8	0 0	0: 1分周	0 0	1: 2分周	0 1	0: 4分周	0 1	1: 8分周	1 0	0: 16分周	1 0	1: 32分周	1 1	0: 64分周	R/W
b10	b8																			
0 0	0: 1分周																			
0 0	1: 2分周																			
0 1	0: 4分周																			
0 1	1: 8分周																			
1 0	0: 16分周																			
1 0	1: 32分周																			
1 1	0: 64分周																			
b23-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																
b26-b24	ICK[2:0]	システムクロック (ICK) 選択 (注1) (注2)	<table border="0"> <tr><td>b26</td><td>b24</td></tr> <tr><td>0 0</td><td>0: 1分周</td></tr> <tr><td>0 0</td><td>1: 2分周</td></tr> <tr><td>0 1</td><td>0: 4分周</td></tr> <tr><td>0 1</td><td>1: 8分周</td></tr> <tr><td>1 0</td><td>0: 16分周</td></tr> <tr><td>1 0</td><td>1: 32分周</td></tr> <tr><td>1 1</td><td>0: 64分周</td></tr> </table> <p>上記以外は設定しないでください。</p>	b26	b24	0 0	0: 1分周	0 0	1: 2分周	0 1	0: 4分周	0 1	1: 8分周	1 0	0: 16分周	1 0	1: 32分周	1 1	0: 64分周	R/W
b26	b24																			
0 0	0: 1分周																			
0 0	1: 2分周																			
0 1	0: 4分周																			
0 1	1: 8分周																			
1 0	0: 16分周																			
1 0	1: 32分周																			
1 1	0: 64分周																			
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																

注 1. システムクロック (ICK) と周辺モジュールクロック (PCLKB) の間には次の周波数関係が必要です。

ICK:PCLKB = N:1 (N は整数)

ICK < PCLKB となる書き込みは無視されます。

注 2. システムクロック (ICK) と周辺モジュールクロック (PCLKD) の間には次の周波数関係が必要です。

ICK:PCLKD = N:1 または 1:N (N は整数)

SCKDIVCR レジスタは、システムクロック (ICK) と周辺モジュールクロック (PCLKB、PCLKD) の周波数を選択するレジスタです。

PCKD[2:0] ビット (周辺モジュールクロック D (PCLKD) 選択)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[2:0] ビット (周辺モジュールクロック B (PCLKB) 選択)

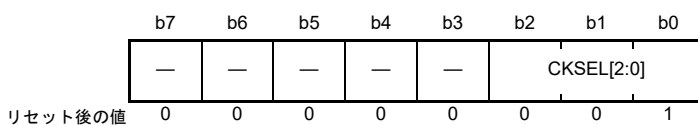
周辺モジュールクロック B (PCLKB) の周波数を選択します。

ICK[2:0] ビット (システムクロック (ICLK) 選択)

CPU および DTC 用システムクロックの周波数を選択します。

8.2.2 システムクロックソースコントロールレジスタ (SCKSCR)

アドレス SYSTEM.SCKSCR 4001 E026h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC) 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0] ビット (クロックソース選択)

下記モジュールのソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB、PCLKD)

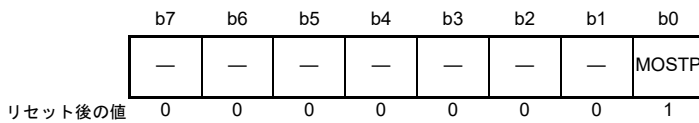
下記のクロックソースから 1 つ選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)

停止しているクロックソースへの切り替えは禁止です。

8.2.3 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 4001 E032h



ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0: メインクロック発振器動作 (注1) 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット (メインクロック発振器停止)

メインクロック発振器の動作/停止を制御します。

MOSTP ビットを動作に設定することで、メインクロック発振器を動作させることができます。MOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。OSCCR.MOSTP ビットでメインクロックが動作するように変更した場合、必ず OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロックを使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

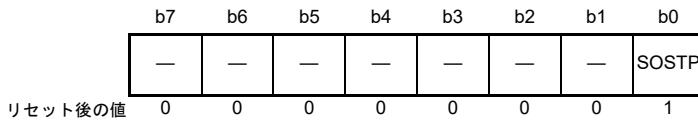
- メインクロック発振器の停止後、動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 にクリアされていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC)

8.2.4 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 4001 E480h



ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0: サブクロック発振器動作 (注1) 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット (サブクロック発振器停止)

サブクロック発振器の動作/停止を制御します。

SOSTP ビットの値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。

サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。SOSTP ビットを 0 にした後、必ずサブクロック発振安定待機時間 (t_{SUBOSCOWT}) が経過してから、サブクロック発振器を使用してください。SOSTP ビットでサブクロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、SOSTP ビットを停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

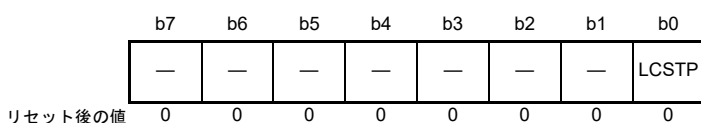
- サブクロック発振器の停止後、動作を再開させるまでに SOSC で 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる場合、サブクロック発振器の発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器を停止させてから SOSC で 3 クロックサイクル以上待った後、WFI 命令を実行すること

以下の条件下で、SOSTP に 1 を書き込むことは禁止です。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

8.2.5 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 4001 E490h



ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0 : LOCOクロック動作 1 : LOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット (LOCO 停止)

LOCO を起動/停止させます。

LCSTP ビットの設定を 0 にして LOCO クロック動作に変更した後、必ず LOCO クロック発振安定待機時間 (t_{LOCOWT}) が経過してから LOCO を使用してください。LOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、停止に設定した後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO で 5 サイクル以上の待ち時間が必要
- LOCO クロックを停止させる前に、LOCO の発振が安定していることを確認すること
- LOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO で 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

8.2.6 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止	0 : HOCOクロック動作 (注2) (注3) 1 : HOCOクロック停止	R/W (注)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 . HOCOOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウント中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。
- 注 . OPCCR.OPCMTSF = 1、SOPCCR.SOPCMTSF = 1 (動作電力制御モードの遷移中)、または FLSTOP.CFLSTOPF = 1 (フラッシュの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。
- 注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、HCSTP ビットのリセット後の値は 1 になります。
- 注 2. HOCO の動作周波数が 48MHz の場合、HOCO 動作時の VCC は 1.8V 以上 (VCC ≥ 1.8V) である必要があります。HOCO の動作周波数が 64MHz の場合、HOCO 動作時の VCC は 2.4V 以上 (VCC ≥ 2.4V) である必要があります。
- 注 3. HOCO を使用する場合 (HCSTP = 0)、OFS1.HOCOFREQ1 ビットを最適な値に設定してください。低電圧モードの間中は、HOCOOCR.HCSTP は常に 0 でなければいけません。

HOCOOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HOCO を起動または停止させます。HOCO を動作させるには、高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) も設定してください。

HCSTP ビットで HOCO が動作するように変更した場合、必ず OSCSF.HOCOSF ビットが 1 になっていることを確認してから、クロックを使用してください。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF ビットも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、HOCO クロックを停止に設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

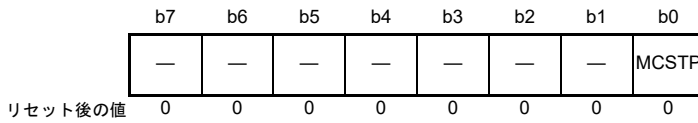
- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF ビットが 0 であることを確認すること
- HOCO を停止させる前に、HOCO が動作していること、および OSCSF.HOCOSF ビットが 1 であることを確認すること
- HOCO をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

8.2.7 中速オンチップオシレータコントロールレジスタ (MOCOOCR)

アドレス SYSTEM.MOCOOCR 4001 E038h



ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0 : MOCO動作 1 : MOCO停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCOOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット (MOCO 停止)

MOCO を起動/停止させます。

MCSTP ビットを 0 にした後、必ず MOCO クロック発振安定時間 (t_{MOCOWT}) が経過してから、MOCO クロックを使用してください。MCSTP ビットを 0 にしてから、発振が安定するまでに一定の時間を要します。また、MCSTP ビットを 1 にした後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックの停止後、動作を再開させるまでに MOCO で 5 クロックサイクル以上の待ち時間が必要
- MOCO クロックを停止させる前に、MOCO の発振が安定していることを確認すること
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO の発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO で 3 クロックサイクル以上待つから WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、MCSTP ビットを 1 (MOCO 停止) にすることは禁止されています。

MOCO クロックは他の発振器の待機時間の計測に使用されるため、MOCOOCR.MCSTP ビットの設定値にかかわらず、他の発振器の待機時間が計測されている間は MOCO クロックが発振しています。そのため、MCSTP ビットが停止に設定されていても、意図せず MOCO クロックが供給される場合があります。

8.2.8 発振安定フラグレジスタ (OSCSF)

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MOSC SF	—	—	HOCO SF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0: HOCOクロックは停止、または発振安定待ち中 1: HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MOSCSF	メインクロック発振安定フラグ	0: メインクロック発振器は停止 (MOSTP = 1)、または発振安定待ち中 (注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. リセット後の値は OFS1.HOCOEN ビットによって決まります。
 OFS1.HOCOEN が 0 になっている場合、HOCOSF のリセット後の値は 0 です。
 OFS1.HOCOEN が 1 になっている場合は、リセット解除直後に HOCOSF の値が 0 になり、HOCO 発振安定待機時間の経過後に HOCOSF の値が 1 になります。
- 注 2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されます。値 (待機時間) が不十分であると、発振が安定する前に発振安定フラグが 1 になり、内部回路へクロック信号の供給が開始されます。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。

これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。

[1 になる条件]

- HOCO クロックの停止時に、HOCOCR.HCSTP ビットを 0 にした後、HOCOWTCR[2:0] ビットに設定された中速クロックのサイクル数が経過して、MCU 内部へ高速クロックの供給が開始されたとき

[0 になる条件]

- 高速クロック発振器の動作時に、HOCOCR.HCSTP ビットを 1 にして高速クロック発振器が発振停止になったとき

MOSCSF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器の停止時に、MOSCCR.MOSTP ビットを 0 にした後、MOSCWTCR.MSTS[3:0] ビットの設定値に応じた中速クロックのサイクル数がカウントされて、MCU 内部へメインクロックの供給が開始されたとき

[0になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを1にしてメインクロック発振器が発振停止になったとき

8.2.9 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 4001 E040h

b7	b6	b5	b4	b3	b2	b1	b0
OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0: 発振停止検出割り込みを禁止 (POEGへの通知なし) 1: 発振停止検出割り込みを許可 (POEGへの通知あり)	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可)

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを0にしてから OSTDF ビットを0にしてください。OSTDIE ビットを1にする場合は、PCLKB で2サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、PCLKB の2サイクルを超える待ち時間が必要になる場合があります。

OSTDE ビット (発振停止検出機能有効)

発振停止検出機能を有効にします。

OSTDE ビットを1 (発振停止検出機能有効) にすると、MOCO 停止ビット (MOCOCR.MCSTP) が0となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの1の書き込み (MOCO 停止) は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が1 (メインクロック発振停止検出) のとき、OSTDE ビットへの0の書き込みは無効です。

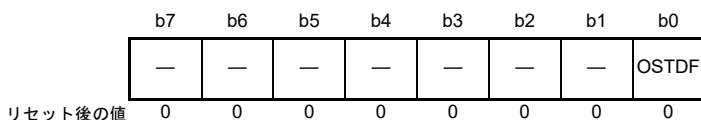
本ビットを0にしてからソフトウェアスタンバイモードへ遷移してください。ソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを0にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- 低速モードでは、ICLK、PCLKB、および PCLKD に対する1分周、2分周、4分周、8分周の設定は禁止
- 低電圧モードでは、ICLK、PCLKB、および PCLKD に対する1分周と2分周の設定は禁止

8.2.10 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 4001 E041h



ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロック発振停止を未検出 1: メインクロック発振停止を検出	R(/W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. 0のみ書けます。

OSTDSR レジスタは、メインクロック発振停止の検出状態を示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロック発振器の状態を示します。本フラグが1のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは0になりません。OSTDF フラグは、このビットから1を読んだ後、0を書くことによって0になります。

OSTDF に0を書き込んでから、0を読み出せるようになるまで、ICLK で3サイクル以上待つ必要があります。メインクロックの発振が停止している状態で OSTDF フラグを0にした場合、OSTDF フラグはいったん0になった後、再度1に戻ります。

以下の条件下では、OSTDSR.OSTDF ビットは0にクリアできません。

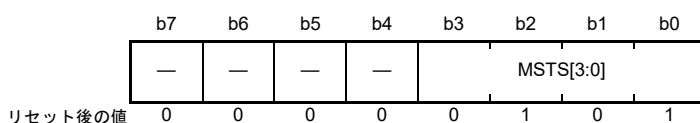
- SCKSCR.CKSEL[2:0]=011b (システムクロックソース=MOSC)

クロックソースをメインクロック発振器以外に切り替えてから OSTDF フラグを0にする必要があります。
[1になる条件]

- OSTDCR.OSTDE ビットが1 (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき
[0になる条件]
- SCKSCR.CKSEL[2:0] ビットが011b (システムクロックが MOSC) 以外の場合に、1を読んだ後、0を書いたとき

8.2.11 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 4001 E0A2h



ビット	シンボル	ビット名	機能	R/W																																	
b3-b0	MSTS[3:0]	メインクロック発振器待機時間設定	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0</td> <td>0</td> <td>: 待機時間 = 2サイクル (0.25μs)</td> </tr> <tr> <td>0 0 0</td> <td>1</td> <td>: 待機時間 = 1024サイクル (128μs)</td> </tr> <tr> <td>0 0 1</td> <td>0</td> <td>: 待機時間 = 2048サイクル (256μs)</td> </tr> <tr> <td>0 0 1</td> <td>1</td> <td>: 待機時間 = 4096サイクル (512μs)</td> </tr> <tr> <td>0 1 0</td> <td>0</td> <td>: 待機時間 = 8192サイクル (1024μs)</td> </tr> <tr> <td>0 1 0</td> <td>1</td> <td>: 待機時間 = 16384サイクル (2048μs) (リセット後の値)</td> </tr> <tr> <td>0 1 1</td> <td>0</td> <td>: 待機時間 = 32768サイクル (4096μs)</td> </tr> <tr> <td>0 1 1</td> <td>1</td> <td>: 待機時間 = 65536サイクル (8192μs)</td> </tr> <tr> <td>1 0 0</td> <td>0</td> <td>: 待機時間 = 131072サイクル (16384μs)</td> </tr> <tr> <td>1 0 0</td> <td>1</td> <td>: 待機時間 = 262144サイクル (32768μs)</td> </tr> </table> <p>上記以外は設定しないでください。 待機時間は“MOCO = 8MHz (0.125μs (標準))”として計算されます。</p>	b3	b0		0 0 0	0	: 待機時間 = 2サイクル (0.25μs)	0 0 0	1	: 待機時間 = 1024サイクル (128μs)	0 0 1	0	: 待機時間 = 2048サイクル (256μs)	0 0 1	1	: 待機時間 = 4096サイクル (512μs)	0 1 0	0	: 待機時間 = 8192サイクル (1024μs)	0 1 0	1	: 待機時間 = 16384サイクル (2048μs) (リセット後の値)	0 1 1	0	: 待機時間 = 32768サイクル (4096μs)	0 1 1	1	: 待機時間 = 65536サイクル (8192μs)	1 0 0	0	: 待機時間 = 131072サイクル (16384μs)	1 0 0	1	: 待機時間 = 262144サイクル (32768μs)	R/W
b3	b0																																				
0 0 0	0	: 待機時間 = 2サイクル (0.25μs)																																			
0 0 0	1	: 待機時間 = 1024サイクル (128μs)																																			
0 0 1	0	: 待機時間 = 2048サイクル (256μs)																																			
0 0 1	1	: 待機時間 = 4096サイクル (512μs)																																			
0 1 0	0	: 待機時間 = 8192サイクル (1024μs)																																			
0 1 0	1	: 待機時間 = 16384サイクル (2048μs) (リセット後の値)																																			
0 1 1	0	: 待機時間 = 32768サイクル (4096μs)																																			
0 1 1	1	: 待機時間 = 65536サイクル (8192μs)																																			
1 0 0	0	: 待機時間 = 131072サイクル (16384μs)																																			
1 0 0	1	: 待機時間 = 262144サイクル (32768μs)																																			
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R																																	

MSTS[3:0] ビット (メインクロック発振器待機時間設定)

メインクロック発振器の発振安定待機時間を設定します。

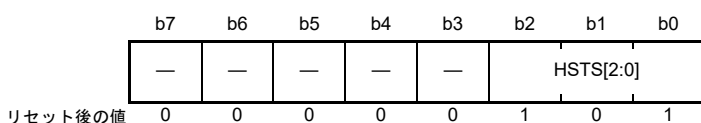
発振器メーカーが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので、0000b に設定してください。

MSTS[3:0] ビットに設定した待機時間は、MOCO クロックでカウントされます。MOCO クロックは、必要であれば、MOCOCCR.MCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロックの供給が開始され、OSCSF.MOSCSF フラグは1になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロックの供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが1で、かつOSCSF.MOSCSF フラグが0の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.12 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス SYSTEM.HOCOWTCR 4001 E0A5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO待機時間設定	<div style="display: flex; justify-content: space-between;"> <div style="width: 15%;"> b2 b0 1 0 1: </div> <div style="width: 80%;"> <ul style="list-style-type: none"> • 待機時間 = 245 サイクル (29.13μs) HOCOの動作周波数が24MHzまたは32MHzで、かつ動作電力制御モードが低電圧モード以外の場合 • 待機時間 = 287 サイクル (35.875μs) HOCOの動作周波数が48MHzで、かつ動作電力制御モードが低電圧モード以外の場合 • 待機時間 = 679 サイクル (84.88μs) (リセット後の値) 動作電力制御モードが低電圧モードの場合 </div> </div> <div style="display: flex; justify-content: space-between; margin-top: 10px;"> <div style="width: 15%;"> 1 1 0: </div> <div style="width: 80%;"> <ul style="list-style-type: none"> • 待機時間 = 541 サイクル (67.63μs) HOCOの動作周波数が64MHzの場合 </div> </div> <p style="font-size: small; margin-top: 10px;">上記以外は設定しないでください。 待機時間は "MOCO = 8MHz (0.125μs (標準))" として計算されます。</p>	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

HOCOWTCR レジスタは、高速クロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。HOCOCR.HCSTP ビットが1の場合、または OSCSF.HOCOSF フラグが1の場合にのみ、HOCOWTCR に書き込むことができます。それ以外では、このレジスタに書き込まないでください。

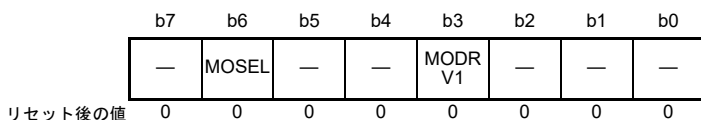
HSTS[2:0] ビット (HOCO 待機時間設定)

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速クロック発振器が発振を開始すると、発振安定待ち回路は、HOCOWTCR レジスタの設定値に応じた中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが1になります。

発振安定待ち回路は、MOCOCR.MCSTP ビットの設定にかかわらず、中速クロックのサイクル数のカウントを継続します。待機時間の計測時には、ハードウェアで自動的に中速発振器の動作/停止が制御されます。

8.2.13 メインクロック発振器モード発振コントロールレジスタ (MOMCR)

アドレス SYSTEM.MOMCR 4001 E413h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MODRV1	メインクロック発振器ドライブ能力1切り替え	0 : 10MHz~20MHz 1 : 1MHz~10MHz	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	MOSEL	メインクロック発振器切り替え	0 : 発振子 1 : 外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. EXTAL/XTAL 端子もポートとして使用されます。初期設定状態では、この端子がポートとして設定されています。
- 注. 本レジスタを変更する前に、MOSTP ビットを 1 (MOSC 停止) にする必要があります。

MODRV1 ビット (メインクロック発振器ドライブ能力1切り替え)

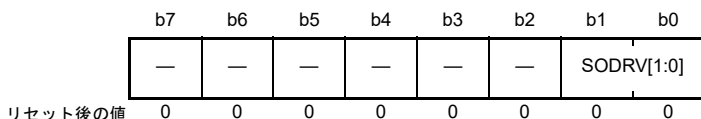
メインクロック発振器のドライブ能力を切り替えます。

MOSEL ビット (メインクロック発振器切り替え)

メインクロック発振器の発振源を切り替えます。

8.2.14 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 4001 E481h



ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	サブクロック発振器ドライブ能力切り替え	b1 b0 0 0: 通常モード 0 1: 低消費電力モード1 1 0: 低消費電力モード2 1 1: 低消費電力モード3	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

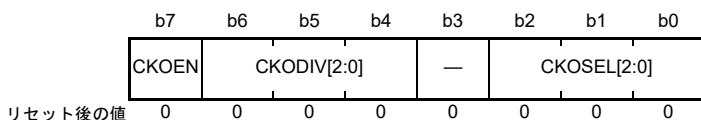
このレジスタの変更は、SOSCCR.SOSTP が 1 (SOSC 停止) のときに行う必要があります。

SODRV[1:0] ビット (サブクロック発振器ドライブ能力切り替え)

サブクロック発振器のドライブ能力を切り替えます。

8.2.15 クロックアウトコントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0: 1分周 0 0 1: 2分周 0 1 0: 4分周 0 1 1: 8分周 1 0 0: 16分周 1 0 1: 32分周 1 1 0: 64分周 1 1 1: 128分周	R/W
b7	CKOEN	クロックアウト許可	0: クロックアウト禁止 1: クロックアウト許可	R/W

CKOSEL[2:0] ビット (クロックアウトソース選択)

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして指定します。

CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0] ビット (クロックアウト入力分周比選択)

クロック分周比を設定します。

分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「46. 電気的特性」を参照してください。

CKOEN ビット (クロックアウト許可)

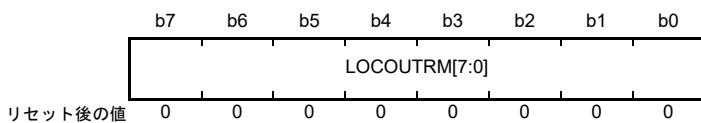
CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。本ビットを変更する場合は、CKOSEL[3:0] ビットで選択したクロックアウトのソースクロックが安定していることを確認してください。安定していないと、出力にグリッチを生じる恐れがあります。

このモードで選択中のクロックソースを停止させる場合は、ソフトウェアスタンバイモードへ遷移する前に本ビットをクリアしておいてください。

8.2.16 LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR)

アドレス SYSTEM.LOCOUTCR 4001 E492h



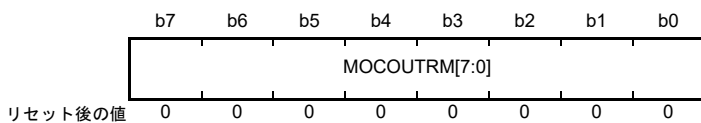
ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOUTRM[7:0]	LOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 :-128 1 0 0 0 0 0 0 1 :-127 1 0 0 0 0 0 1 0 :-126 : 1 1 1 1 1 1 1 1 :-1 0 0 0 0 0 0 0 0 :センターコード 0 0 0 0 0 0 0 1 :+1 : 0 1 1 1 1 1 0 1 :+125 0 1 1 1 1 1 1 0 :+126 0 1 1 1 1 1 1 1 :+127 これらのビットは、元のLOCOトリミングビットに追加されます。	R/W

LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。LOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時の周波数安定時間に相当します。LOCO 周波数と他の発振周波数が整数比の関係にあるとき、LOCOUTCR 値の変更は禁止されています。

LOCO 周波数と他の発振周波数が整数比の関係にあるとき、LOCOUTCR 値の変更は禁止されています。

8.2.17 MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR)

アドレス SYSTEM.MOCOUTCR 4001 E061h



ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCO ユーザトリミング	b7 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のMOCOトリミングビットに追加されます。	R/W

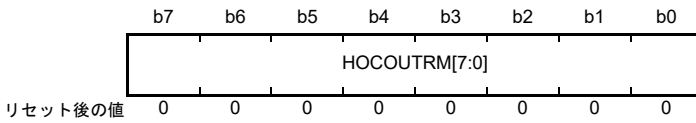
MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。

MOCOUTCR を変更した場合、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

MOCO 周波数と他の発振周波数が整数比の関係にあるとき、MOCOUTCR 値の変更は禁止されています。

8.2.18 HOCO ユーザトリミングコントロールレジスタ (HOCOUTCR)

アドレス SYSTEM.HOCOUTCR 4001 E062h



ビット	シンボル	ビット名	機能	R/W
b7-b0	HOCOUTRM[7:0]	HOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 :-128 1 0 0 0 0 0 0 1 :-127 1 0 0 0 0 0 1 0 :-126 : 1 1 1 1 1 1 1 1 :-1 0 0 0 0 0 0 0 0 :センターコード 0 0 0 0 0 0 0 1 :+1 : 0 1 1 1 1 1 0 1 :+125 0 1 1 1 1 1 1 0 :+126 0 1 1 1 1 1 1 1 :+127 これらのビットは、元のHOCOトリミングビットに追加されます。	R/W

HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。HOCOUTCR 変更後、周波数が安定するまでの時間は、MCU 動作開始時に周波数が安定するまでの時間に相当します。

UCKSEL.UCKSELC = 1 のとき、HOCOUTCR レジスタへの 00h 以外の値の書き込みは禁止されています。UCKSEL レジスタについては、「[26. USB2.0 フルスピードモジュール \(USBFS\)](#)」を参照してください。

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振器を接続
- 外部クロック信号の入力を接続

8.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 8.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って EXTAL と XTAL の間に R_f を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振周波数の範囲内としてください。

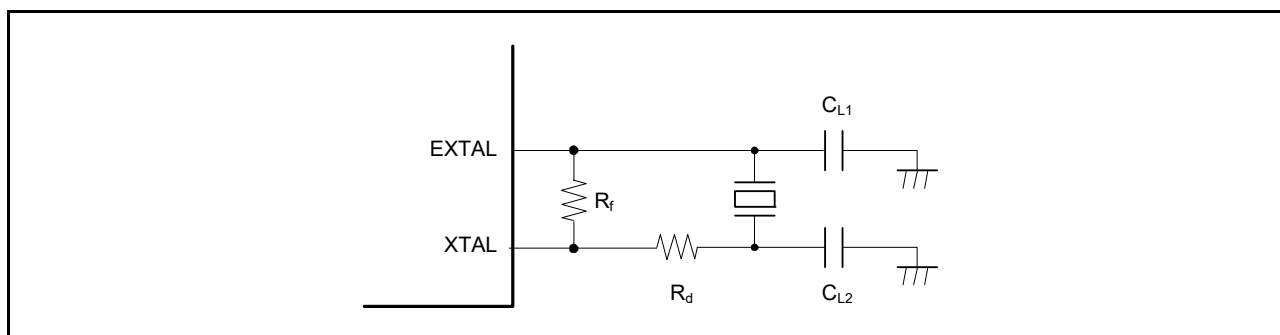


図 8.2 水晶振動子の接続例

8.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 8.3 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

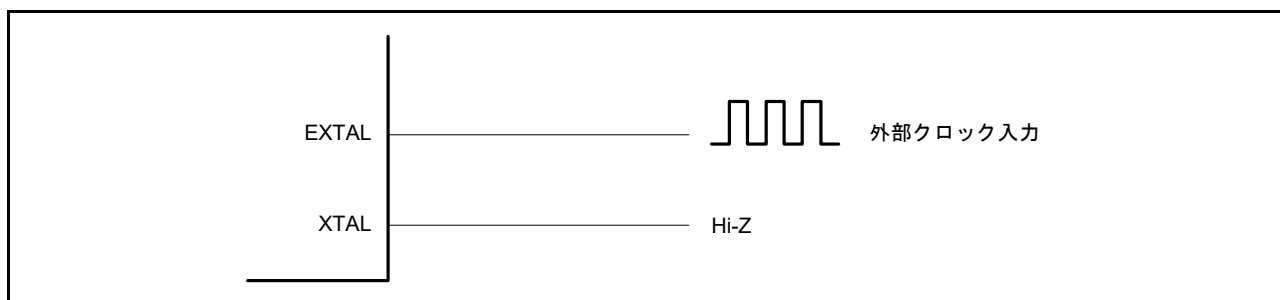


図 8.3 外部クロックの等価回路

8.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット (MOSCCR.MOSTP) が 0 の場合、外部クロック入力周波数を変更しないでください。

8.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

8.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、[図 8.4](#) に示すように 32.768kHz 水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入することが可能です。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に R_f を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、[表 8.1](#) に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

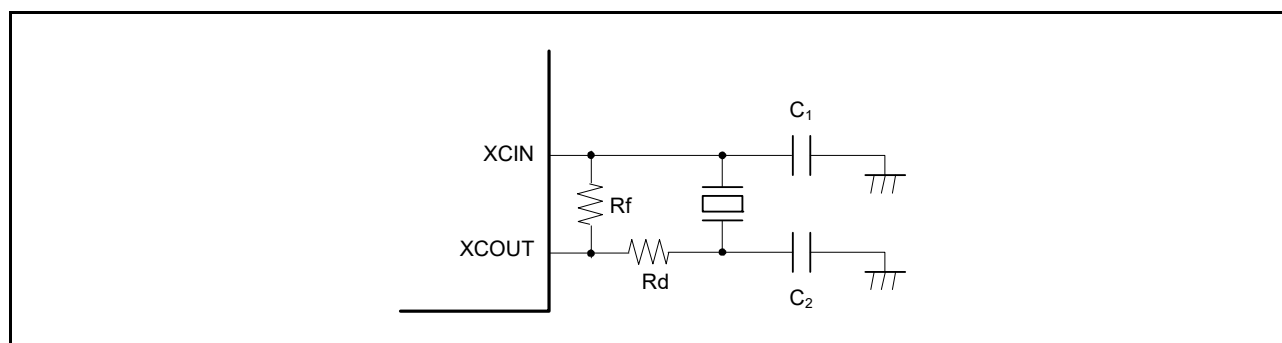


図 8.4 32.768kHz 水晶振動子の接続例

8.5 発振停止検出機能

8.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。

発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合や、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振器が検出されます。「46. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = MOSC) の場合 :
 - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
 - OSTDF が 1 から 0 になると、クロックソースは MOSC クロックに戻る

発振停止検出後にクロックソースをメインクロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードへ遷移する場合は、あらかじめ発振停止検出機能は無効にする必要があります。

発振停止検出機能は、以下のクロックを MOCO クロック (システムクロックが MOSC の場合) に切り替えます。

- CLKOUT 以外の MOSC を選択できるすべてのクロック
- MOCO 動作中 (システムクロックが MOSC の場合) のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比で指定される

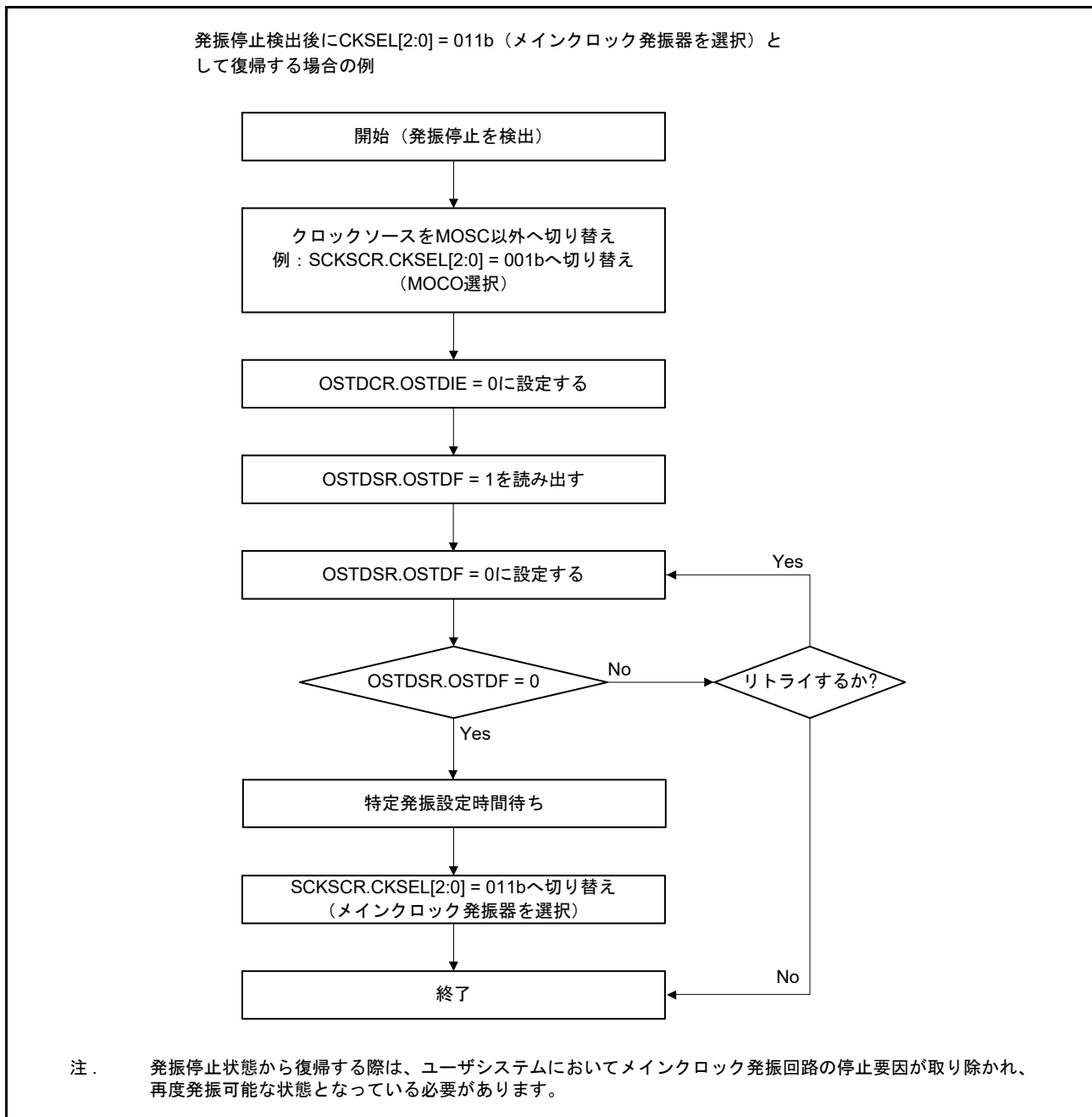


図 8.5 発振停止検出時の復帰フロー

8.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1 (許可) のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このとき GPT 用ポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A、B) の発振停止検出フラグを 1 にします。

この POEGGn.OSTPF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態ではノンマスクابل割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスクابل割り込みを許可にしてください。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

8.6 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュメモリ、SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB および PCLKD
- フラッシュインタフェースの動作クロック — ICLK
- CAN の動作クロック — CANMCLK
- USBFS の動作クロック — UCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCCLK
- IWDT の動作クロック — IWDTCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTCLK
- SysTick タイマの動作クロック — SYSTICKCLK
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、[8.6.1 システムクロック \(ICLK\) ～ 8.6.11 クロック/ブザー出カクロック \(CLKOUT\)](#) を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

8.6.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、フラッシュメモリ、フラッシュインタフェース、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、および OFS1.HOCOFRQ1[2:0] ビットで設定します。

8.6.2 周辺モジュールクロック (PCLKB, PCLKD)

周辺モジュールクロック (PCLKB および PCLKD) は、周辺モジュールが使用する動作クロックです。

クロックの周波数はそれぞれ、以下のビットで指定されます。

- SCKDIVCR.PCKB[2:0] および SCKDIVCR.PCKD[2:0]
- SCKSCR.CKSEL[2:0]
- OFS1.HOCOFRQ1[2:0]

8.6.3 フラッシュインタフェースクロック (ICLK)

フラッシュインタフェースクロック (ICLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、ICLK はコードフラッシュとデータフラッシュのプログラミング / イレースに使用されます。

8.6.4 USB クロック (UCLK)

USB クロック (UCLK) は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。USBFS モジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。UCLK の周波数は、OFS1.HOCOFRQ1[2:0] ビットで設定します。

8.6.5 CAN クロック (CANMCLK)

CAN クロック (CANMCLK) は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されたクロックです。

8.6.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDT 専用オンチップオシレータ

8.6.7 RTC 専用クロック (RTCSCLK、RTCLCLK)

RTC 専用クロック (RTCSCLK および RTCLCLK) は、RTC の動作クロックです。

RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

8.6.8 IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.6.9 AGT 専用クロック (AGTSCLK、AGTLCLK)

AGT 専用クロック (AGTSCLK および AGTLCLK) は、AGT の動作クロックです。

AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

8.6.10 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SYSTICCLK の動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.6.11 クロック／ブザー出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。CKOCR.CKOEN を 1 にすると、CLKOUT を CLKOUT 端子に出力できます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、以下のビットで指定されます。

- CKOCR.CKODIV[2:0] または CKOCR.CKOSEL[2:0]
- OFS1.HOCOFrq1[2:0]

8.7 使用上の注意事項

8.7.1 クロック発生回路に関する注意事項

各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、フラッシュインタフェースクロック (ICLK) の周波数は、SCKDIVCR レジスタの設定に応じて変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定されるクロックサイクル時間 (t_{cyc}) の動作保証範囲内に収まるように選択すること。「46. 電気的特性」を参照してください
- 周波数は表 8.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKB を基準に動作する。そのため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック (ICLK)、周辺モジュールクロック (PCLKB および PCLKD)、およびフラッシュインタフェースクロック (ICLK) は、表 8.2 に従って設定すること

クロック周波数変更後の処理を確実に実行するには、最初に該当するクロックコントロールレジスタを書き換えて周波数を変更し、次にレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.7.2 発振子に関する注意事項

発振子の諸特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 8.4 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。そのため、回路定数を決定する際は、発振子メーカーと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.7.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.6 に示すように、発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

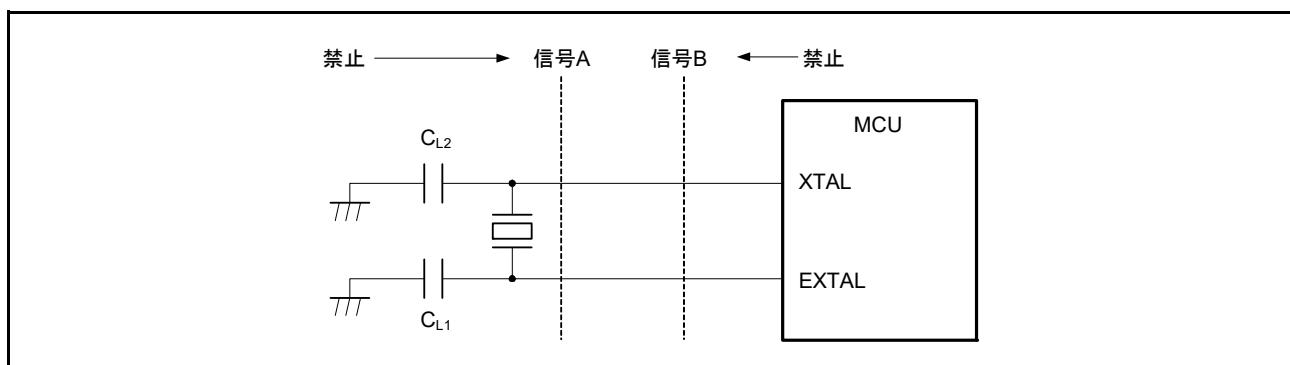


図 8.6 発振回路部のボード設計に関する信号のルーティング (メインクロック発振器の場合、サブクロック発振器も同様)

8.7.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる (MOSCCR.MOSTP ビットを 1 にする) 必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求が発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、図 9.2 に入出力端子を示します。

表 9.1 CACの仕様

項目	内容
測定対象クロック	測定可能な周波数 : <ul style="list-style-type: none"> • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	測定可能な周波数 : <ul style="list-style-type: none"> • 外部からCACREF端子に入力したクロック • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ
割り込み要因	<ul style="list-style-type: none"> • 測定終了 • 周波数エラー • オーバーフロー
モジュールストップ機能	モジュールストップ状態に設定して消費電力削減が可能

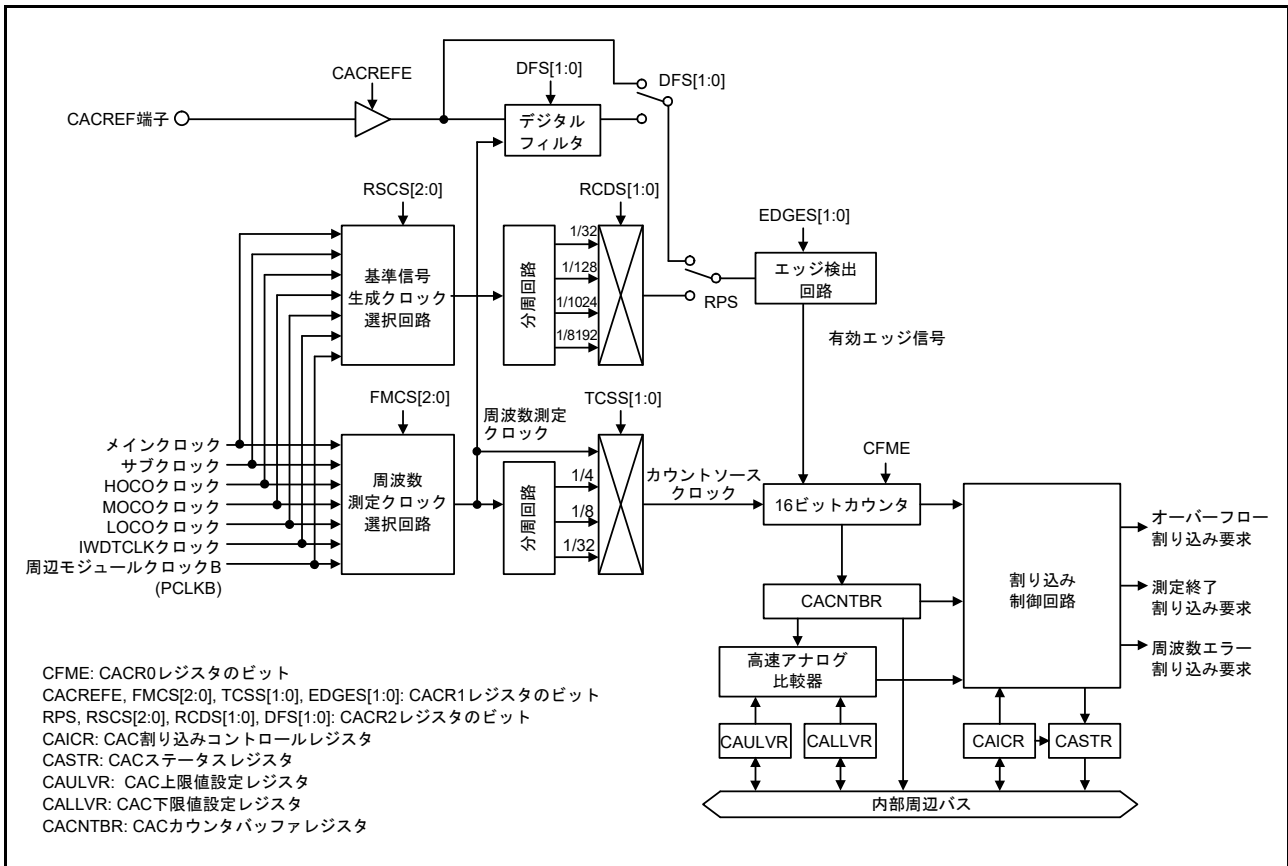


図 9.1 CAC のブロック図

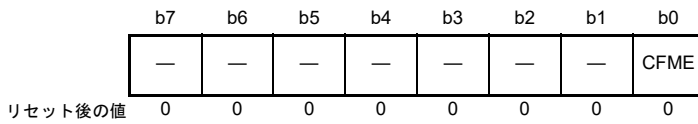
表 9.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

9.2 レジスタの説明

9.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 4004 4600h



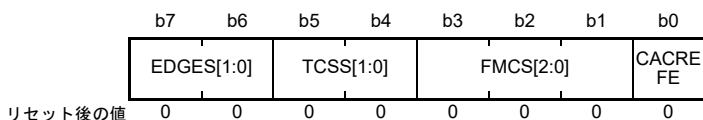
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0 : 無効 1 : 有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CFME ビット (クロック周波数測定有効)

クロック周波数測定を有効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

9.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W																											
b0	CACREFE	CACREF 端子入力有効	0 : 無効 1 : 有効	R/W																											
b3-b1	FMCS[2:0]	測定対象クロック選択	<table border="0" style="font-size: small;"> <tr><td>b3</td><td>b1</td><td></td></tr> <tr><td>0</td><td>0</td><td>0 : メインクロック発振器</td></tr> <tr><td>0</td><td>0</td><td>1 : サブクロック発振器</td></tr> <tr><td>0</td><td>1</td><td>0 : HOCOクロック</td></tr> <tr><td>0</td><td>1</td><td>1 : MOCOクロック</td></tr> <tr><td>1</td><td>0</td><td>0 : LOCOクロック</td></tr> <tr><td>1</td><td>0</td><td>1 : 周辺モジュールクロック (PCLKB)</td></tr> <tr><td>1</td><td>1</td><td>0 : IWDTCCLKクロック</td></tr> <tr><td>1</td><td>1</td><td>1 : 設定禁止</td></tr> </table>	b3	b1		0	0	0 : メインクロック発振器	0	0	1 : サブクロック発振器	0	1	0 : HOCOクロック	0	1	1 : MOCOクロック	1	0	0 : LOCOクロック	1	0	1 : 周辺モジュールクロック (PCLKB)	1	1	0 : IWDTCCLKクロック	1	1	1 : 設定禁止	R/W
b3	b1																														
0	0	0 : メインクロック発振器																													
0	0	1 : サブクロック発振器																													
0	1	0 : HOCOクロック																													
0	1	1 : MOCOクロック																													
1	0	0 : LOCOクロック																													
1	0	1 : 周辺モジュールクロック (PCLKB)																													
1	1	0 : IWDTCCLKクロック																													
1	1	1 : 設定禁止																													
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	<table border="0" style="font-size: small;"> <tr><td>b5</td><td>b4</td><td></td></tr> <tr><td>0</td><td>0</td><td>: 分周なしクロック</td></tr> <tr><td>0</td><td>1</td><td>: 4分周クロック</td></tr> <tr><td>1</td><td>0</td><td>: 8分周クロック</td></tr> <tr><td>1</td><td>1</td><td>: 32分周クロック</td></tr> </table>	b5	b4		0	0	: 分周なしクロック	0	1	: 4分周クロック	1	0	: 8分周クロック	1	1	: 32分周クロック	R/W												
b5	b4																														
0	0	: 分周なしクロック																													
0	1	: 4分周クロック																													
1	0	: 8分周クロック																													
1	1	: 32分周クロック																													
b7-b6	EDGES[1:0]	有効エッジ選択	<table border="0" style="font-size: small;"> <tr><td>b7</td><td>b6</td><td></td></tr> <tr><td>0</td><td>0</td><td>: 立ち上がりエッジ</td></tr> <tr><td>0</td><td>1</td><td>: 立ち下がりエッジ</td></tr> <tr><td>1</td><td>0</td><td>: 立ち上がり/立ち下がり両エッジ</td></tr> <tr><td>1</td><td>1</td><td>: 設定禁止</td></tr> </table>	b7	b6		0	0	: 立ち上がりエッジ	0	1	: 立ち下がりエッジ	1	0	: 立ち上がり/立ち下がり両エッジ	1	1	: 設定禁止	R/W												
b7	b6																														
0	0	: 立ち上がりエッジ																													
0	1	: 立ち下がりエッジ																													
1	0	: 立ち上がり/立ち下がり両エッジ																													
1	1	: 設定禁止																													

注 1. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット (CACREF 端子入力有効)

CACREF 端子入力を有効にします。

FMCS[2:0] ビット (測定対象クロック選択)

周波数を測定するクロックを選択します。

TCSS[1:0] ビット (測定対象クロック分周比選択)

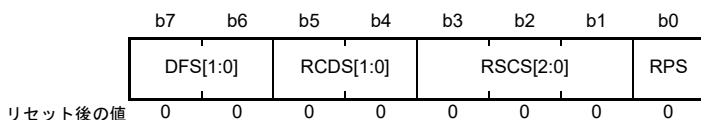
測定対象クロックの分周比を選択します。

EDGES[1:0] ビット (有効エッジ選択)

基準信号の有効エッジを選択します。

9.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W																											
b0	RPS	基準信号選択	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W																											
b3-b1	RSCS[2:0]	測定基準クロック選択	<table border="0" style="font-size: small;"> <tr> <td>b3</td> <td>b1</td> <td></td> </tr> <tr> <td>0 0</td> <td>0</td> <td>: メインクロック発振器</td> </tr> <tr> <td>0 0</td> <td>1</td> <td>: サブクロック発振器</td> </tr> <tr> <td>0 1</td> <td>0</td> <td>: HOCOクロック</td> </tr> <tr> <td>0 1</td> <td>1</td> <td>: MOCOクロック</td> </tr> <tr> <td>1 0</td> <td>0</td> <td>: LOCOクロック</td> </tr> <tr> <td>1 0</td> <td>1</td> <td>: 周辺モジュールクロック (PCLKB)</td> </tr> <tr> <td>1 1</td> <td>0</td> <td>: IWDTCCLKクロック</td> </tr> <tr> <td>1 1</td> <td>1</td> <td>: 設定禁止</td> </tr> </table>	b3	b1		0 0	0	: メインクロック発振器	0 0	1	: サブクロック発振器	0 1	0	: HOCOクロック	0 1	1	: MOCOクロック	1 0	0	: LOCOクロック	1 0	1	: 周辺モジュールクロック (PCLKB)	1 1	0	: IWDTCCLKクロック	1 1	1	: 設定禁止	R/W
b3	b1																														
0 0	0	: メインクロック発振器																													
0 0	1	: サブクロック発振器																													
0 1	0	: HOCOクロック																													
0 1	1	: MOCOクロック																													
1 0	0	: LOCOクロック																													
1 0	1	: 周辺モジュールクロック (PCLKB)																													
1 1	0	: IWDTCCLKクロック																													
1 1	1	: 設定禁止																													
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	<table border="0" style="font-size: small;"> <tr> <td>b5</td> <td>b4</td> <td></td> </tr> <tr> <td>0 0</td> <td></td> <td>: 32分周クロック</td> </tr> <tr> <td>0 1</td> <td></td> <td>: 128分周クロック</td> </tr> <tr> <td>1 0</td> <td></td> <td>: 1024分周クロック</td> </tr> <tr> <td>1 1</td> <td></td> <td>: 8192分周クロック</td> </tr> </table>	b5	b4		0 0		: 32分周クロック	0 1		: 128分周クロック	1 0		: 1024分周クロック	1 1		: 8192分周クロック	R/W												
b5	b4																														
0 0		: 32分周クロック																													
0 1		: 128分周クロック																													
1 0		: 1024分周クロック																													
1 1		: 8192分周クロック																													
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	<table border="0" style="font-size: small;"> <tr> <td>b7</td> <td>b6</td> <td></td> </tr> <tr> <td>0 0</td> <td></td> <td>: デジタルフィルタ機能無効</td> </tr> <tr> <td>0 1</td> <td></td> <td>: デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用</td> </tr> <tr> <td>1 0</td> <td></td> <td>: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用</td> </tr> <tr> <td>1 1</td> <td></td> <td>: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用</td> </tr> </table>	b7	b6		0 0		: デジタルフィルタ機能無効	0 1		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用	1 0		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用	1 1		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W												
b7	b6																														
0 0		: デジタルフィルタ機能無効																													
0 1		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用																													
1 0		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用																													
1 1		: デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用																													

注 1. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット (基準信号選択)

基準信号として CACREF 端子入力と内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択)

測定基準クロックを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択)

内部基準クロックの選択時 (RPS = 1)、基準クロックの分周比を選択します。RPS = 0 のとき (CACREF 端子を基準クロックソースとして使用)、基準クロックは分周されません。

DFS[1:0] ビット (デジタルフィルタ機能選択)

デジタルフィルタを有効または無効にします。また、そのサンプリングクロックを選択します。

9.2.4 CAC 割り込みコントロールレジスタ (CAICR)

アドレス CAC.CAICR 4004 4603h

b7	b6	b5	b4	b3	b2	b1	b0
—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	このビットを1にすると FERRF フラグをクリアします。読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	このビットを1にすると MENDF フラグをクリアします。読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	このビットを1にすると OVFF フラグをクリアします。読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FERRIE ビット (周波数エラー割り込み要求許可)

周波数エラー割り込み要求を許可します。

MENDIE ビット (測定終了割り込み要求許可)

測定終了割り込み要求を許可します。

OVFIE ビット (オーバーフロー割り込み要求許可)

オーバーフロー割り込み要求を許可します。

FERRFCL ビット (FERRF フラグクリア)

このビットを1にすると FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリア)

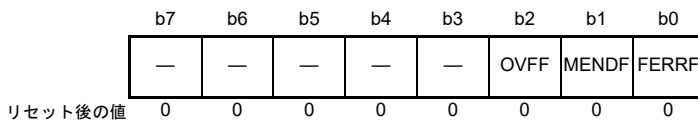
このビットを1にすると MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリア)

このビットを1にすると OVFF フラグをクリアします。

9.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 4004 4604h



ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロック周波数は許容範囲内 1: クロック周波数が許容範囲を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定終了	R
b2	OVFF	オーバーフローフラグ	0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
b7-b3	—	予約ビット	読むと0が読めます。	R

FERRF フラグ (周波数エラーフラグ)

クロック周波数が設定値から外れた (周波数エラー) ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

OVFF フラグ (オーバーフローフラグ)

カウンタがオーバーフローしたことを示します。

[1 になる条件]

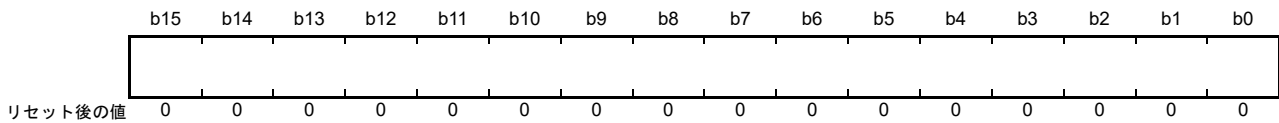
- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

9.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 4004 4606h

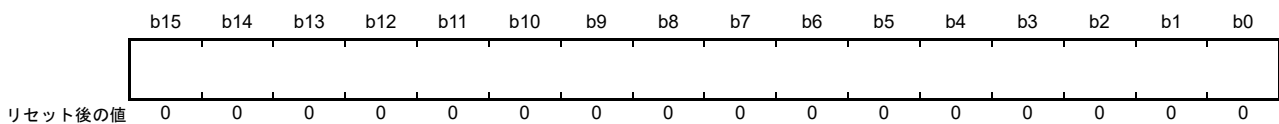


CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し/書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

9.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 4004 4608h



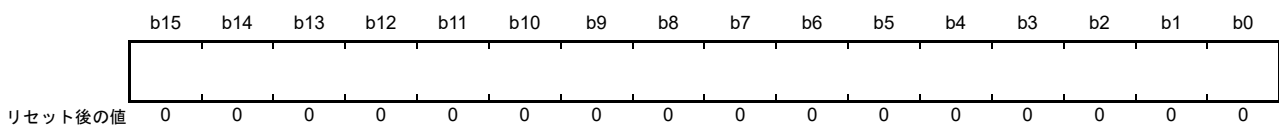
CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し/書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。

CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに保持されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

9.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 4004 460Ah



CACNTBR レジスタは、測定結果を保持する 16 ビットの読み出し専用レジスタです。

9.3 動作説明

9.3.1 クロック周波数測定

クロック周波数精度測定回路 (CAC) は、CACREF 端子入力または内部クロックを基準として、クロック周波数を測定します。図 9.2 に CAC の動作例を示します。

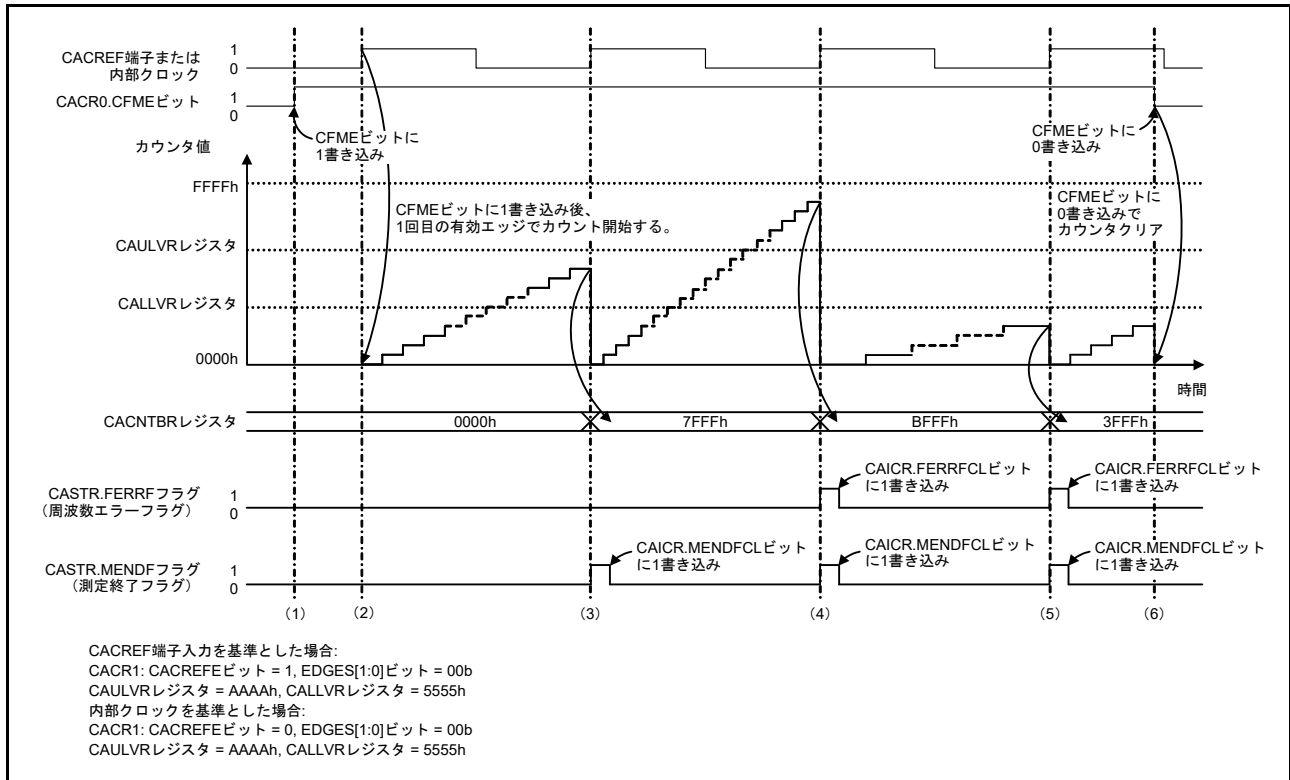


図 9.2 CAC の動作例

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義します。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 9.2 に示すように、有効エッジは立ち上がりエッジ (CACR1.EDGES[1:0] = 00b) です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ≤ CAULVR および CACNTBR ≥ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR > CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR < CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。測定終了時に CASTR の MENDF フラグは 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが 3 回連続して一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが 3 回連続して一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効/無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大 1 周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

$$\text{カウンタ値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

9.4 割り込み要求

CAC は次の 3 種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 9.3 に、CAC の割り込み要求に関する情報を示します。

表 9.3 CAC の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR > CAULVR または CACNTBR < CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	<ul style="list-style-type: none"> • CACREF 端子または内部クロックから有効エッジが入力されたとき • CACR0.CFME ビットに 1 を書き込んだ後の 1 回目の有効エッジで測定終了割り込みの発生なし
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止/許可を設定できます。初期状態では、CAC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に、低消費電力モード機能の仕様を示します。表 10.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK) と周辺モジュールクロック (PCLKB および PCLKD) に対して、個別に分周比の選択が可能 (注1)
モジュールストップ	周辺モジュール機能を個別に停止可能
低消費電力モード	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード スヌーズモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 5つの動作電力制御モードが利用可能 <ul style="list-style-type: none"> High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込みこのモードで利用可能なすべてのリセット	表 10.3 に示す割り込みこのモードで利用可能なすべてのリセット	表 10.3 に示す割り込みこのモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能 (注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	選択可能 (注10)	選択可能 (注10)
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
発振停止検出機能	選択可能	動作禁止	動作禁止
クロック/ブザー出力機能	選択可能	選択可能 (注3)	選択可能
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM	動作	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
USB2.0 フルスピードモジュール (USBFS)	選択可能	停止 (保持) (注5)	動作禁止 (注5)

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード (注1)
ウォッチドッグタイマ (WDT)	選択可能 (注4)	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 (注4)	選択可能 (注4)	選択可能 (注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
非同期汎用タイマ (AGTn : n = 0, 1)	選択可能	選択可能 (注6)	選択可能 (注6)
14ビットA/Dコンバータ (ADC14)	選択可能	停止 (保持)	選択可能 (注12)
8ビットD/Aコンバータ (DAC8)	選択可能	停止 (保持)	選択可能
静電容量式タッチセンシングユニット (CTSU)	選択可能	停止 (保持)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止 (保持)	選択可能 (注9)
シリアルコミュニケーションインタフェース (SCIn : n = 1, 9)	選択可能	停止 (保持)	動作禁止
デジタル調光照明インタフェース	選択可能	停止 (保持)	選択可能
I ² Cバスインタフェース (IIC0)	選択可能	選択可能	選択可能 (注11)
I ² Cバスインタフェース (IIC1)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能 (注7)
高速アナログコンパレータ (ACMPHS)	選択可能	選択可能 (注8)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP0)	選択可能	選択可能 (注8)	選択可能 (注8)
低消費電力アナログコンパレータ (ACMPLP1)	選択可能	選択可能 (注8)	選択可能 (注8)
オペアンプ (OPAMP)	選択可能	選択可能	選択可能
NMI、IRQn (n = 0 ~ 7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/Oポート	動作	保持	動作

- 注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。
 「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
 「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
 そうしないと、スヌーズモードでは適切な動作が保証されません。
- 注 1. モジュールストップビットが0に設定されている全モジュールはすべて、スヌーズモード遷移後にPCLKが供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを1にしてください。
- 注 2. スヌーズモードでSCI0を使用する場合、MOSCCR.MOSTPビットは1でなければいけません。
- 注 3. クロックアウトソース選択ビット (CKOCR.CKOSEL[2:0]) が010b (LOCO) および100b (SOSC) 以外の値に設定されている場合は停止します。
- 注 4. IWDT専用オンチップオシレータおよびIWDTでは、IWDTオートスタートモード時、オプション機能選択レジスタ0 (OFS0) のIWDT停止制御ビット (IWDTSTPCTL) の設定により、動作/停止を選択することができます。WDTオートスタートモード時、オプション機能選択レジスタ0 (OFS0) のWDT停止制御ビット (WDTSTPCTL) の設定により、動作/停止を選択することが可能です。
- 注 5. USBFSレジューム検出が可能です。
- 注 6. AGT0.AGTMR1.TCK[2:0]ビットで100b (LOCO) または110b (SOSC) が選択されている場合、AGT0は動作可能です。AGT1.AGTMR1.TCK[2:0]ビットで100b (LOCO)、110b (SOSC)、または101 (AGT0からのアンダーフローイベント信号) が選択されている場合、AGT1は動作可能です。
- 注 7. イベントは、10.9.13 スヌーズモードにおけるELCイベントに記載のものに限定されます。
- 注 8. VCOU機能のみが許可されます。ACMPLPがデジタルフィルタを使用していない場合に、VCOU端子は動作します。デジタルフィルタの詳細については、「37. 高速アナログコンパレータ (ACMPHS)」および「38. 低消費電力アナログコンパレータ (ACMPLP)」を参照してください。
- 注 9. SCI0のシリアル通信は、調歩同期式モードに限定されます。
- 注 10. DACPC.PUMPENが1のときは、MOCOクロックが8分周されて、DAC出力に使用されるANSWに供給されます。

注 11. ウェイクアップ割り込みのみが利用可能

注 12. スヌーズモードで 14 ビット A/D コンバータ (ADC14) を使用する場合、ADCMPCR.CMPAE ビットまたは ADCMPCR.CMPBE ビットは 1 でなければいけません。

表 10.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合の割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0~7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
USBFS	USBFS_USBR	可能	可能
RTC	RTC_ALM	可能	可能
	RTC_PRD	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能 (注3)
	AGT1_AGTCMAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ACMPLP	ACMP_LP0	可能	可能
IIC0	IIC0_WUI	可能	可能
ADC140	ADC140_WCMPPM	不可能	SELSR0 で可能 (注1) (注3)
	ADC140_WCMPUM	不可能	SELSR0 で可能 (注1) (注3)
SCIO	SCIO_AM	不可能	SELSR0 で可能 (注1) (注2)
	SCIO_RXI_OR_ERI	不可能	SELSR0 で可能 (注1) (注2)
DALI	DALI_SDI_OR_BPI	不可能	SELSR0 で可能 (注1) (注3)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能 (注1) (注3)
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)
CTSU	CTSU_CTSUFN	不可能	SELSR0 で可能 (注1)

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。

注 2. SCIO_AM または SCIO_RXI_OR_ERI のいずれか一方のみ選択可能です。

注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。

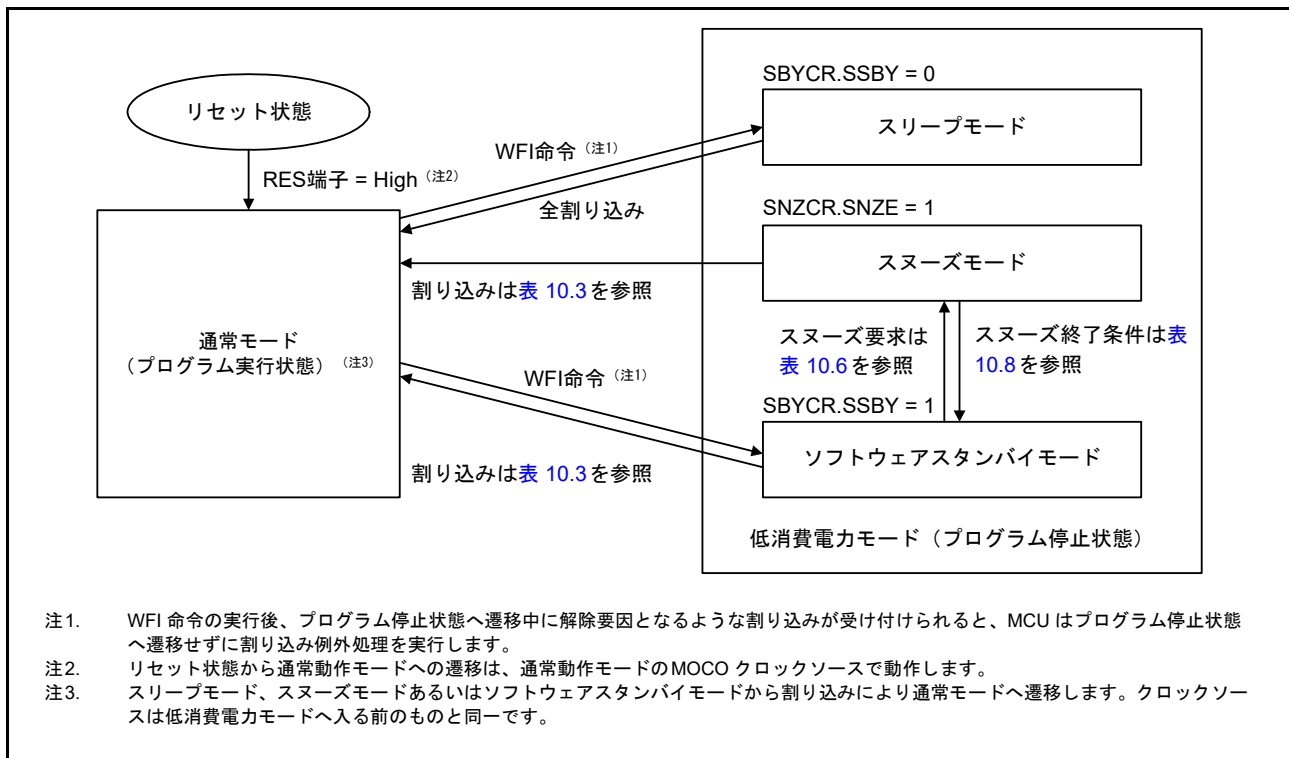


図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	SSBY	ソフトウェアスタンバイ	0: スリープモード 1: ソフトウェアスタンバイモード	R/W

SSBY ビット (ソフトウェアスタンバイ)

WFI 命令実行後の遷移先を設定します。

SSBY ビットが1の状態では WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは1のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが1の場合、SSBY ビットの設定値は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRY0 ビットが1、または FENTRYR.FENTRYD ビットが1の場合、SSBY ビットの設定値は無視されます。SSBY ビットが1であっても、WFI 命令を実行するとスリープモードへ遷移します。

10.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b21-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	データトランスファコントローラ モジュールストップ設定 (注1)	対象モジュール: DTC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注1. MSTPA22 ビットを0から1に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス MSTP.MSTPCRB 4004 7000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	—	—	—	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MSTPB11	—	MSTPB9	MSTPB8	—	—	—	MSTPB4	—	MSTPB2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPB2	コントローラエリアネットワーク0モジュールストップ設定 ^(注1)	対象モジュール: CAN0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	MSTPB4	デジタル調光照明インタフェースモジュールストップ	対象モジュール: DALI 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b8	MSTPB8	I2Cバスインタフェース1モジュールストップ設定	対象モジュール: IIC1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I2Cバスインタフェース0モジュールストップ設定	対象モジュール: IIC0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 FSインタフェースモジュール設定 ^(注2)	対象モジュール: USBFS 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b17-b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b18	MSTPB18	シリアルペリフェラルインタフェース1モジュールストップ設定	対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェース0モジュールストップ設定	対象モジュール: SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタフェース9モジュールストップ設定	対象モジュール: SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b29-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール: SCI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール: SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注 1. MSTPB2 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック (CANMCLK) が 2 サイクル経過してから WFI 命令を実行してください。

注 2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 USB クロック (UCLK) が 2 サイクル経過してから WFI 命令を実行してください。

10.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPC31	—	—	MSTPC28	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPC14	MSTPC13	—	—	—	—	—	—	—	—	—	MSTPC3	—	MSTPC1	MSTPC0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	クロック周波数精度測定回路 モジュールストップ設定 (注1)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュール ストップ設定	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b3	MSTPC3	静電容量式タッチセンシング ユニットモジュールストップ 設定	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12-b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13	MSTPC13	データ演算回路モジュールス トップ設定	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラ モジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b28	MSTPC28	乱数発生器モジュールス トップ設定	対象モジュール：TRNG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b29	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	AESモジュールストップ設定	対象モジュール：AES 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが2サイクル経過してから WFI 命令を実行してください。

10.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	—	MSTPD 29	MSTPD 28	MSTPD 27	MSTPD 26	—	—	—	—	—	—	MSTPD 19	—	—	MSTPD 16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPD 14	—	—	—	—	—	—	—	MSTPD 6	MSTPD 5	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	非同期汎用タイマ1モジュールストップ設定 (注1)	対象モジュール: AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b3	MSTPD3	非同期汎用タイマ0モジュールストップ設定 (注2)	対象モジュール: AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ320モジュールストップ設定	対象モジュール: GPT320 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ16H1~16H3、164~166およびPWM遅延生成回路モジュールストップ	対象モジュール: GPT16H1~GPT16H3、GPT164~GPT166およびPWM遅延生成回路 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトプットイネーブルモジュールストップ設定	対象モジュール: POEG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b16	MSTPD16	14ビットA/Dコンバータモジュールストップ設定	対象モジュール: ADC140 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b18-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b19	MSTPD19	8ビットD/Aコンバータモジュールストップ設定	対象モジュール: DAC8 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b25-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b26	MSTPD26	高速アナログコンパレータ2モジュールストップ設定	対象モジュール: ACMPHS2 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b27	MSTPD27	高速アナログコンパレータ1モジュールストップ設定	対象モジュール: ACMPHS1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b28	MSTPD28	高速アナログコンパレータ0モジュールストップ設定	対象モジュール: ACMPHS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b29	MSTPD29	低消費電力アナログコンパレータモジュールストップ設定	対象モジュール: ACMPLP 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MSTPD31	オペアンプモジュールストップ設定	対象モジュール：OPAMP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

- 注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。
- 注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスするときを除いて、このビットを 1 にする必要があります。

10.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 4001 E0A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OPCM TFSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0：High-speed モード 0 1：Middle-speed モード 1 0：Low-voltage モード (注1) 1 1：Low-speed モード	R/W
b3-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	0：遷移完了 1：遷移中	R
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. HOCOCR.HCSTP は常に 0 でなければいけません。

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

動作電力制御モードの変更手順については、10.5 低消費電力機能を参照してください。

OPCM[1:0] ビット (動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

HOCOCR.HCSTP と OSCSF.HOCOSF が 0 の状態にあるとき、HOCO クロックの発振はまだ安定していないため、OPCCR.OPCM[1:0] への書き込みは禁止されます。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。このフラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。このフラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 4001 E0AAh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0 : Subosc-speed モード以外 1 : Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるためのレジスタです。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰が開始されます。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、10.5 低消費電力機能を参照してください。

SOPCM ビット (サブ動作電力制御モード選択)

通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを1にすることで、Subosc-speed モードへ遷移できます。また、このビットを0にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると1、モード遷移が完了すると0になります。このフラグを読み取って0であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Middle-speed モード	01b	0	
Low-voltage モード	10b	0	
Low-speed モード	11b	0	
Subosc-speed モード	xxb	1	

10.2.8 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0/DRX0 スヌーズ要求許可	0: ソフトウェアスタンバイモード時に RXD0 または DRX0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 または DRX0 の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時の DTC 許可	スヌーズモード時に DTC 動作を許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
b6-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SNZE	スヌーズモード許可	0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

RXDREQEN ビット (RXD0/DRX0 スヌーズ要求許可)

- SCIO

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCIO が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

- DALI

ソフトウェアスタンバイモード時に DRX0 端子の立ち下がりエッジを検出するか否かを指定します。DRX0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、本ビットを設定してください。本ビットが 1 の場合、ソフトウェアスタンバイモード時に DRX0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

注. SCIO および DALI をスヌーズモードで同時に使用することはできません。RXDREQEN が 1 のとき、SCIO.RXD0 および DALI.DRX0 は、同時に PSEL で選択することはできません。

SNZDTCEN ビット (スヌーズモード時の DTC 許可)

スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn (ICU イベントリンク設定レジスタ n) の設定によって、DTC を起動することが可能です。

SNZE ビット (スヌーズモード許可)

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、10.8 スヌーズモードを参照してください。

10.2.9 スヌーズ終了コントロールレジスタ (SNZEDCR)

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADC140コンペアマッチスヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADC140コンペア不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

表 10.8 に示すトリガの1つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを1にしてください。

表 10.3 に示したスヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)

AGT1 アンダーフローによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「22. 非同期汎用タイマ (AGT)」を参照してください。

DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)

最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)

各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) による、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

AD0MATED ビット (ADC140 コンペアマッチスヌーズ終了許可)

変換結果が期待値と一致した場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「33. 14 ビット A/D コンバータ (ADC14)」を参照してください。

AD0UMTED ビット (ADC140 コンペア不一致スヌーズ終了許可)

変換結果が期待値と一致しない場合に、ADC140 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「33. 14 ビット A/D コンバータ (ADC14)」を参照してください。

SCI0UMTED ビット (SCI0 アドレス不一致スヌーズ終了許可)

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「[27. シリアルコミュニケーションインタフェース \(SCI\)](#)」を参照してください。本ビットは、SCI0 が調歩同期式モードで動作しているときのみ 1 にしてください。

10.2.10 スヌーズ要求コントロールレジスタ (SNZREQCR)

アドレス SYSTEM.SNZREQCR 4001 E098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	SNZREQEN23	—	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b16-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可17	キー割り込みのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b22-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	SNZREQEN23	スヌーズ要求許可23	ACMPLPのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b24	SNZREQEN24	スヌーズ要求許可24	RTCアラームのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b25	SNZREQEN25	スヌーズ要求許可25	RTC周期のスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可28	AGT1アンダーフローのスヌーズ要求を許可 0：スヌーズ要求を禁止 1：スヌーズ要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b29	SNZREQEN29	スヌーズ要求許可 29	AGT1コンペアマッチAのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b30	SNZREQEN30	スヌーズ要求許可 30	AGT1コンペアマッチBのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR レジスタの対応するビットが1であっても、そのトリガが発生するとMCUは通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、[10.8 スヌーズモード](#)と「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

10.2.11 フラッシュ動作コントロールレジスタ (FLSTOP)

アドレス SYSTEM.FLSTOP 4001 E09Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FLSTP F	—	—	—	FLSTO P
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLSTOP	フラッシュメモリ動作ON/OFF選択	0: コードフラッシュメモリとデータフラッシュメモリは動作 1: コードフラッシュメモリとデータフラッシュメモリは停止	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FLSTPF	フラッシュメモリ動作ステータスフラグ	0: 遷移完了 1: 遷移中 (フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態へ)	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FLSTOP ビット (フラッシュメモリ動作 ON/OFF 選択)

フラッシュメモリを有効または無効にします。FLSTOP ビットは SRAM で実行されるプログラムによって書き込む必要があります。FLSTOP ビットが 1 のときに割り込みを使用する場合は、SRAM 内に割り込みベクタを配置してください。Low-voltage モードが選択されていない場合、このビットを 0 にしてください。

- 注 1. フラッシュメモリの動作を開始するために FLSTOP ビットの値を 1 から 0 に変更した場合、フラッシュメモリへのアクセスを再開する前に、FLSTPF フラグが 0 であること、および OSCSF.HOCOSF が 1 であることを確認してください。その後、命令はコードフラッシュメモリで実行可能になります。
- 注 2. HOCOCR.HCSTP と OSCSF.HOCOSF が 0 (HOCO は発振安定待ちカウント中) の状態にあるとき、FLSTOP.FLSTOP への書き込みは禁止されます。

FLSTPF フラグ (フラッシュメモリ動作ステータスフラグ)

フラッシュ停止状態からフラッシュ動作状態へ、またはフラッシュ動作状態からフラッシュ停止状態への遷移状態を表します。遷移が完了したとき、このフラグを読むと 0 が読めます。フラッシュメモリ停止後、再度フラッシュメモリを使用する場合は、FLSTPF フラグが 0 であることを確認してから処理を進めてください。

10.2.12 システムコントロール OCD コントロールレジスタ (SYOCD CR)

アドレス SYSTEM.SYOCD CR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DBGEN	デバッグ有効	0 : オンチップデバッグは無効 1 : オンチップデバッグは有効 オンチップデバッグモードで最初に1にしてください。	R/W

DBGEN ビット (デバッグ有効)

オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に1にする必要があります。

[1になる条件]

- デバッグの接続時に1を書いたとき

[0になる条件]

- パワーオンリセットが発生したとき
- 0を書いたとき

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR.ICK[2:0]、PCKB[2:0]、およびPCKD[2:0]の各ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、フラッシュ、およびSRAMは、ICK[2:0]ビットで設定された動作クロックを使用します。

周辺モジュールは、PCKB[2:0]およびPCKD[2:0]の各ビットで設定された動作クロックを使用します。

フラッシュメモリインタフェースは、ICK[2:0]ビットで設定された動作クロックを使用します。

詳細は、「8. クロック発生回路」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することが可能です。

MSTPCRA ~ MSTPCRDレジスタのMSTPmiビット (m=A ~ D; i=31 ~ 0) を1にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このときCPUは動作を継続します。MSTPmiビットを0にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DTC以外の全モジュールがモジュールストップ状態になります。MSTPmiビットが1であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し/書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmiビットを1にしないでください。

10.5 低消費電力機能

動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器					
	高速オンチップ オシレータ	中速オンチップ オシレータ	低速オンチップ オシレータ	メインクロック 発振器	サブクロック 発振器	IWDT専用 オンチップ オシレータ
High-Speed	可能	可能	可能	可能	可能	可能
Middle-Speed	可能	可能	可能	可能	可能	可能
Low-Voltage	可能	可能	可能	可能	可能	可能
Low-Speed	可能	可能	可能	可能	可能	可能
Subosc-Speed	不可能	不可能	可能	不可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

(High-speed モードで動作)

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数未満とする。
2. Low-speed モードで不要な発振器をオフにする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. OPCCR.OPCM ビットを 11b (Low-speed モード) にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
(Low-speed モードで動作)

例 2 : High-speed モードから Subosc-speed モードへの切り替え

(High-speed モードで動作)

1. クロックソースをサブクロック発振器に切り替える。HOCO、MOCO、およびメインクロック発振器をオフにする。
2. サブクロック発振器以外の全クロックソースが停止していることを確認する。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
5. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
(Subosc-speed モードで動作)

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

(Subosc-speed モードで動作)

1. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードで必要なすべての発振器をオンにする。
5. 各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。
(High-speed モードで動作)

例 2 : Low-speed モードから High-speed モードへの切り替え

(Low-speed モードで動作)

1. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. OPCCR.OPCM ビットを 00b (High-speed モード) にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードで必要なすべての発振器をオンにする。
5. 各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。
(High-speed モードで動作)

10.5.2 動作範囲

High-speed モード

フラッシュリード時の ICLK の最大動作周波数は 32MHz です。フラッシュリード時の動作電圧範囲は 2.4 ~ 5.5V です。ただし ICLK では、動作電圧が 2.4V 以上かつ 2.7V 未満の場合、フラッシュリード時の最大動作周波数は 16MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 32MHz で、動作電圧範囲は 2.7 ~ 5.5V です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

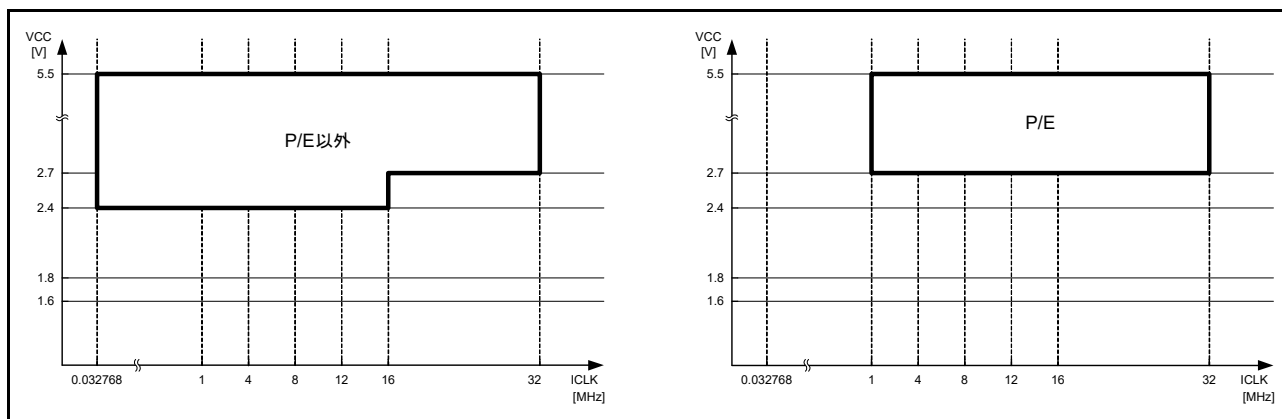


図 10.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュリード時の ICLK の最大動作周波数は 12MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。ただし ICLK では、動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュリード時の最大動作周波数は 8MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 12MHz で、動作電圧範囲は 1.8 ~ 5.5V です。動作電圧が 1.8V 以上かつ 2.4V 未満の場合、フラッシュプログラム/イレース時の最大動作周波数は 8MHz になります。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

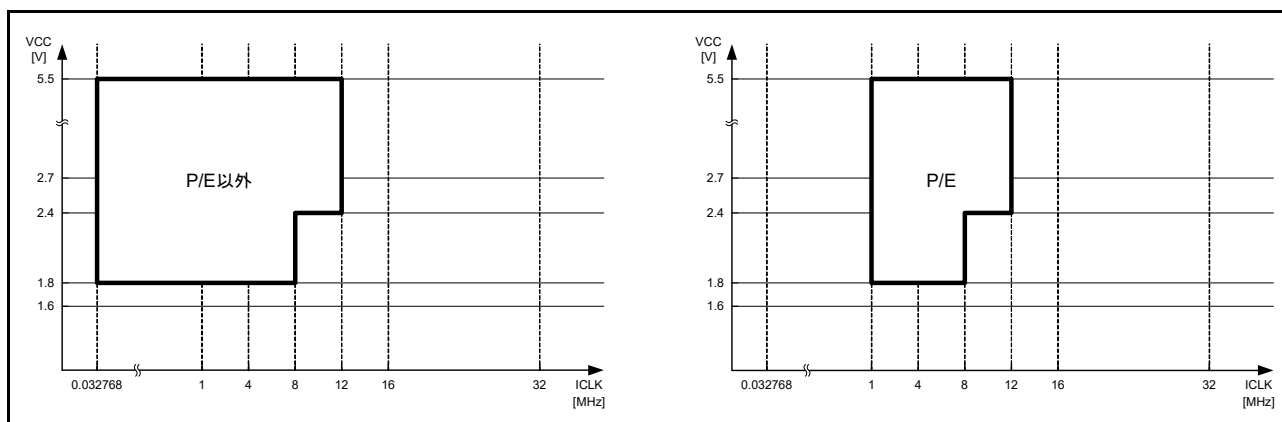


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

Low-voltage モード

リセット解除後、このモードで動作が開始されます。

フラッシュリード時の ICLK の最大動作周波数は 4MHz です。フラッシュリード時の動作電圧範囲は 1.6 ~ 5.5V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 4MHz で、動作電圧範囲は 1.8 ~ 5.5V です。

図 10.4 に、Low-voltage モードにおける動作電圧と動作周波数を示します。

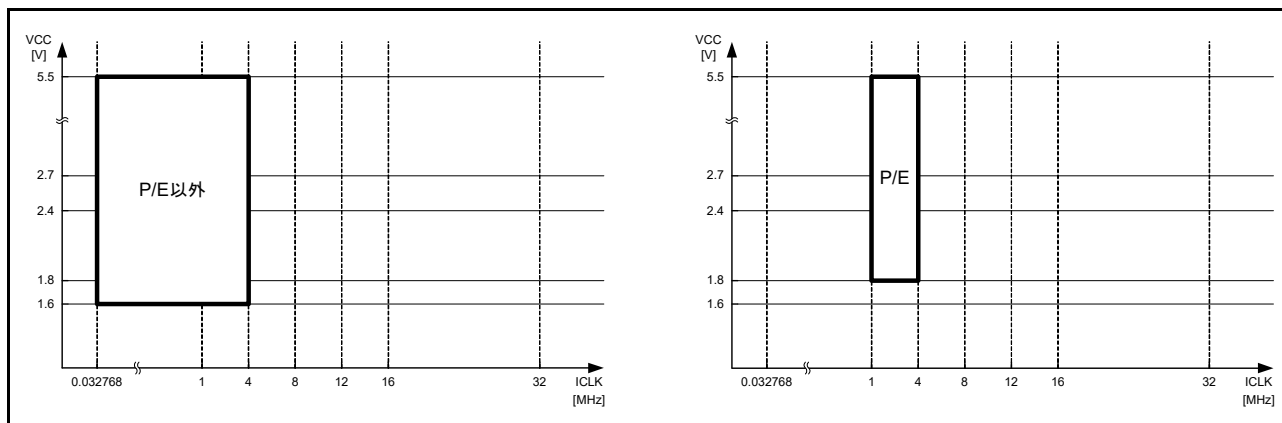


図 10.4 Low-voltage モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュリード時の ICLK の最大動作周波数は 1MHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。

フラッシュメモリの P/E 動作は禁止です。

図 10.5 に、Low-speed モードにおける動作電圧と動作周波数を示します。

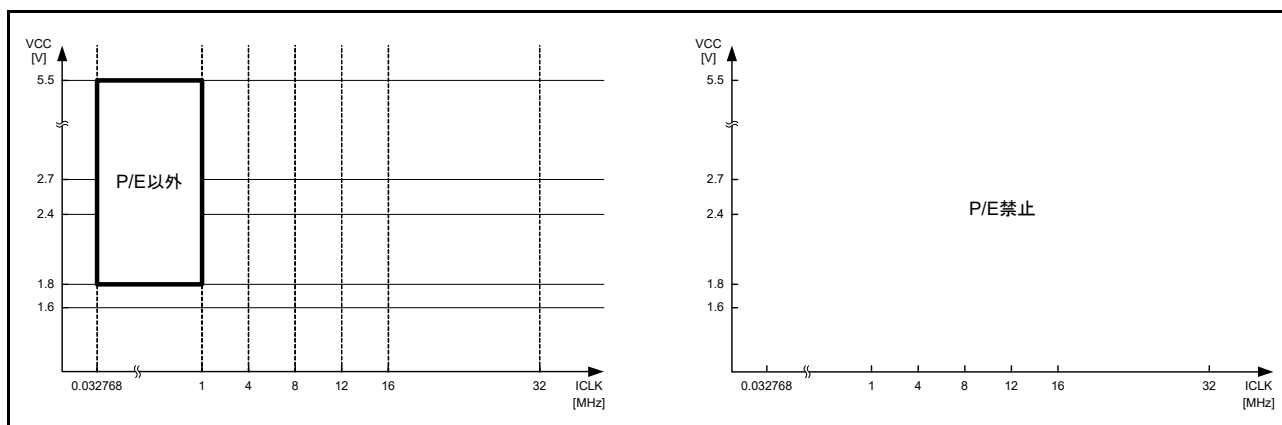


図 10.5 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

フラッシュリード時の ICLK の最大動作周波数は 37.6832kHz です。フラッシュリード時の動作電圧範囲は 1.8 ~ 5.5V です。フラッシュメモリの P/E 動作は禁止です。

サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。

図 10.6 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

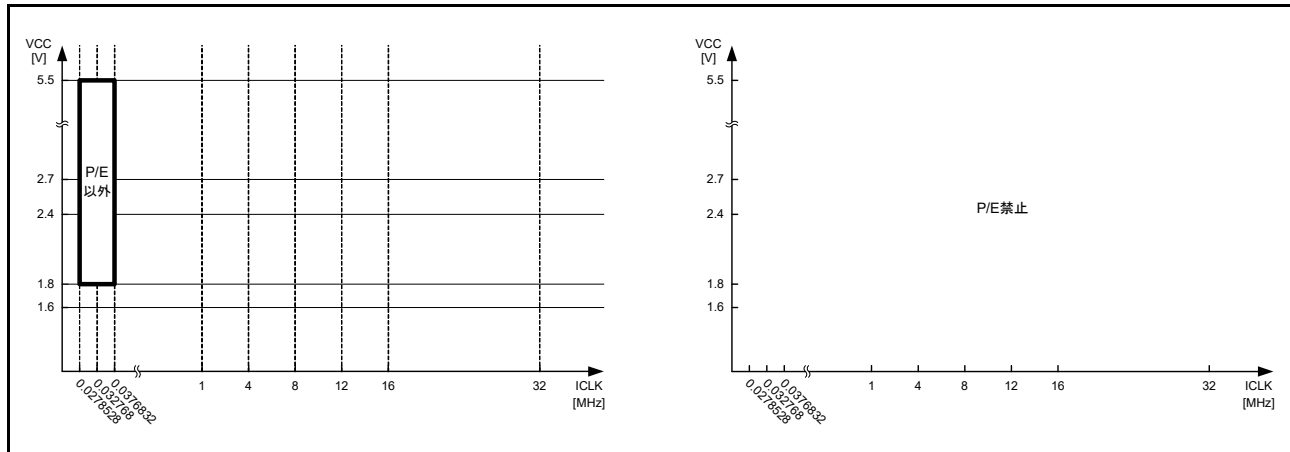


図 10.6 Subosc-speed モードにおける動作電圧と動作周波数

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCS1PR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは、すべての割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、あるいは IWDT または WDT アンダーフローによるリセットによって解除されます。

1. 割り込みによる解除
利用可能な割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「46. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件においては、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
 - OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCSSTPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードから復帰させる方法については、12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE = 1 (発振停止検出機能が有効) の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、表 10.3 に示す利用可能な割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、または IWDT アンダーフローによるリセットによって解除されます。

ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
利用可能な割り込み要求 (表 10.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルト状態で動作している発振器が発振を開始します。「46. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
 - $OFS0.IWDTSTRT = 0$ かつ $OFS0.IWDTSTPCTL = 1$

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.7 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0] ビットが 01b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 10b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.7 の発振安定時間については、「46. 電気的特性」に示されています。

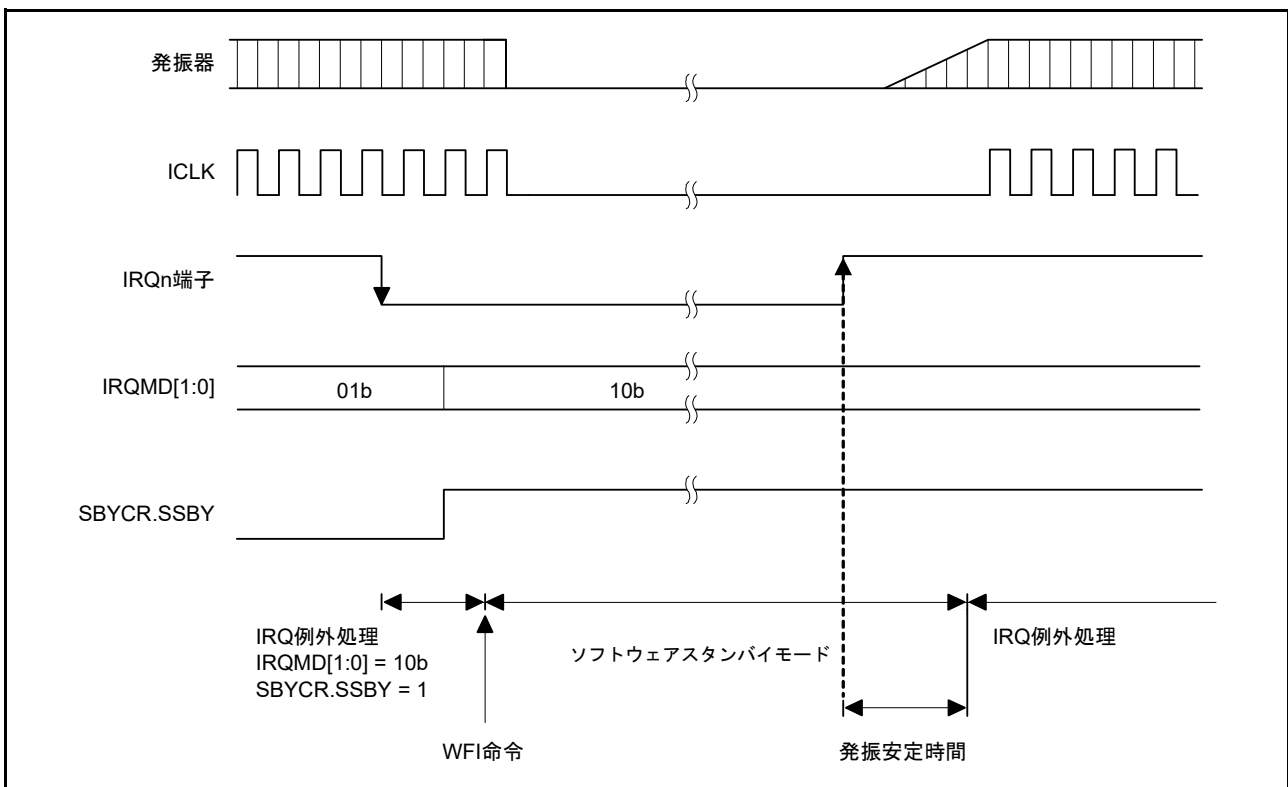


図 10.7 ソフトウェアスタンバイモードの応用例

10.8 スヌーズモード

10.8.1 スヌーズモードへの遷移

図 10.8 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 10.2 各低消費電力モードの動作状態に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

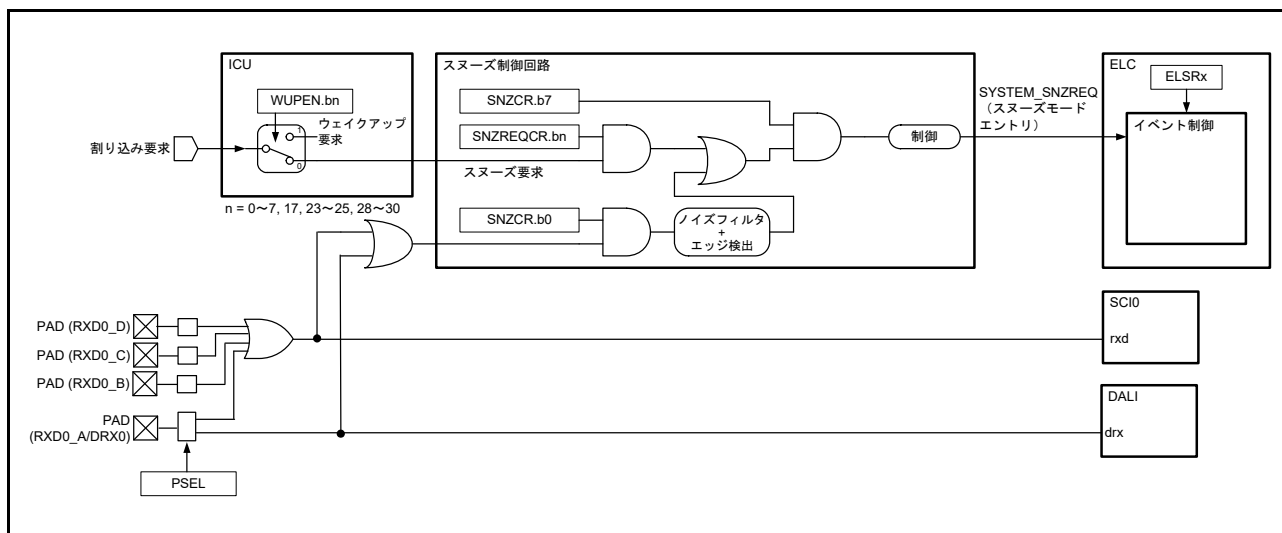


図 10.8 スヌーズモードエントリの構成

表 10.6 に、ソフトウェアスタンバイモードからスヌーズモードへの切り替えに利用可能なスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ名	ビット
PORT_IRQn (n = 0 ~ 7)	SNZREQCR	SNZREQENn (n = 0 ~ 7)
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_LP0	SNZREQCR	SNZREQEN23
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0 または DRX0 立ち下がりエッジ	SNZCR	RXDREQEN (注1)

注 1. 調歩同期式モードでない場合、RXDREQEN ビットを 1 にしないでください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 レジスタで選択した割り込み要求によって引き起こされた動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn (n = 0 ~ 31) で選択する必要があります。SELSR0 レジスタと IELSRn レジスタの設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

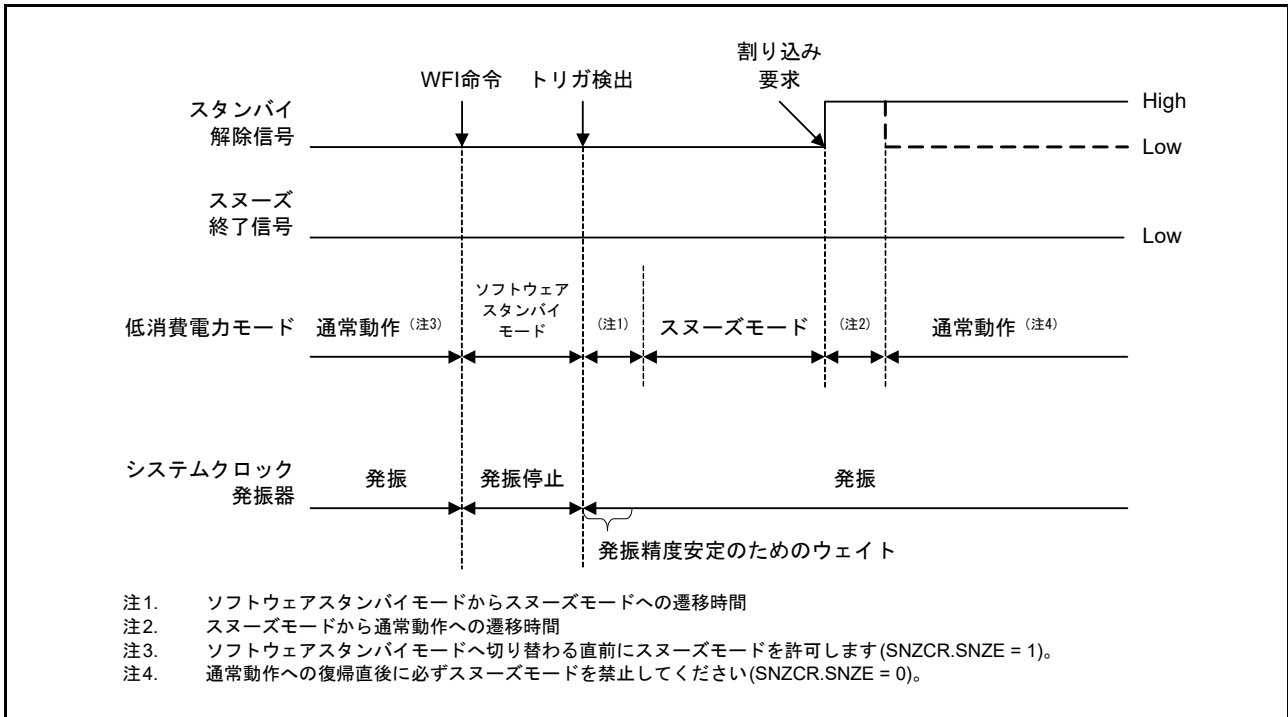


図 10.9 スヌーズモード時に割り込み要求信号が発生する場合

10.8.3 ソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへ復帰するためのトリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの切り替えを行います。

表 10.8 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC140、および DTC は、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 10.10 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ遷移後、スヌーズ要求は自動的にクリアされます。

表 10.7 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可/禁止制御	
	レジスタ名	ビット
AGT1 アンダーフローまたは測定終了 (AGT1_AGTI)	SNZEDCR	b0
DTC 転送終了時 (DTC_COMPLETE)	SNZEDCR	b1
DTC 転送終了前 (DTC_TRANSFER)	SNZEDCR	b2
ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)	SNZEDCR	b3
ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)	SNZEDCR	b4
SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR	b7

表 10.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	本列左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	左記の全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC140		
CTSU		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
上記以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注． DTC を用いて ADC140、CTSU、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

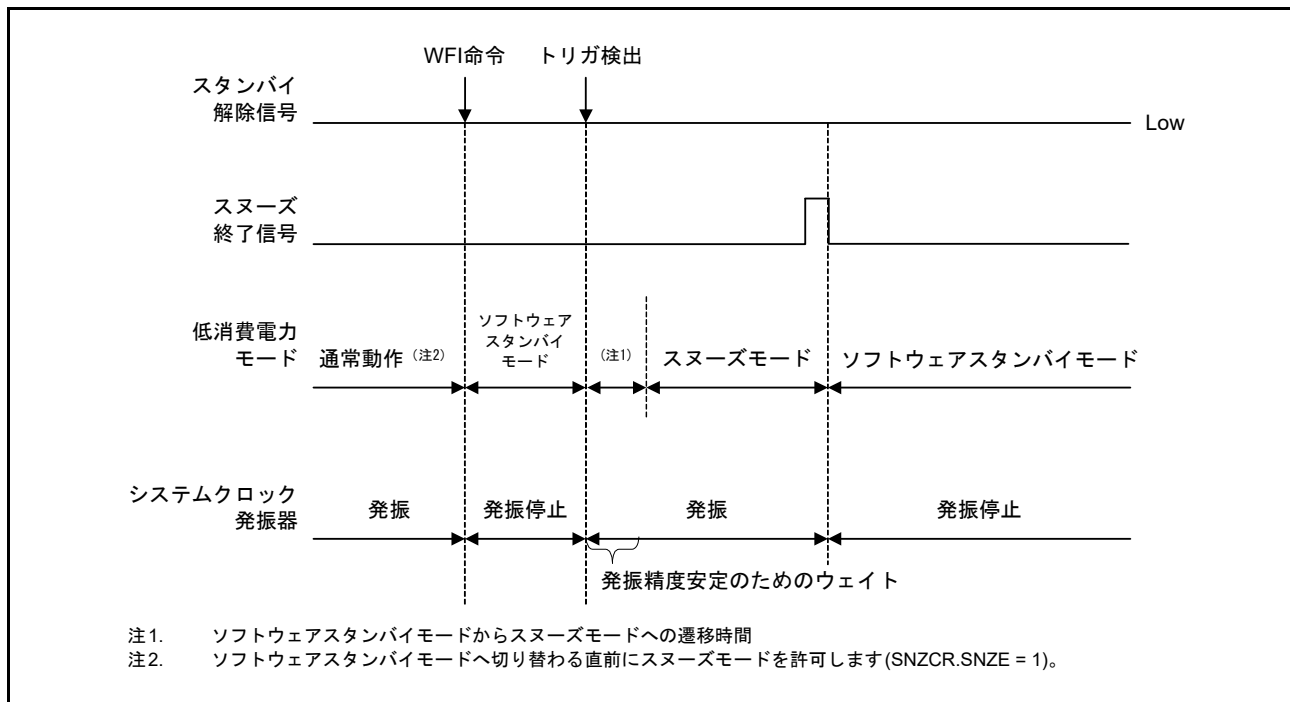


図 10.10 スリープモード時に割り込み要求信号が発生しない場合

10.8.4 スヌーズモードの動作例

図 10.11 に、スヌーズモードで ELC を使用する場合の設定例を示します。

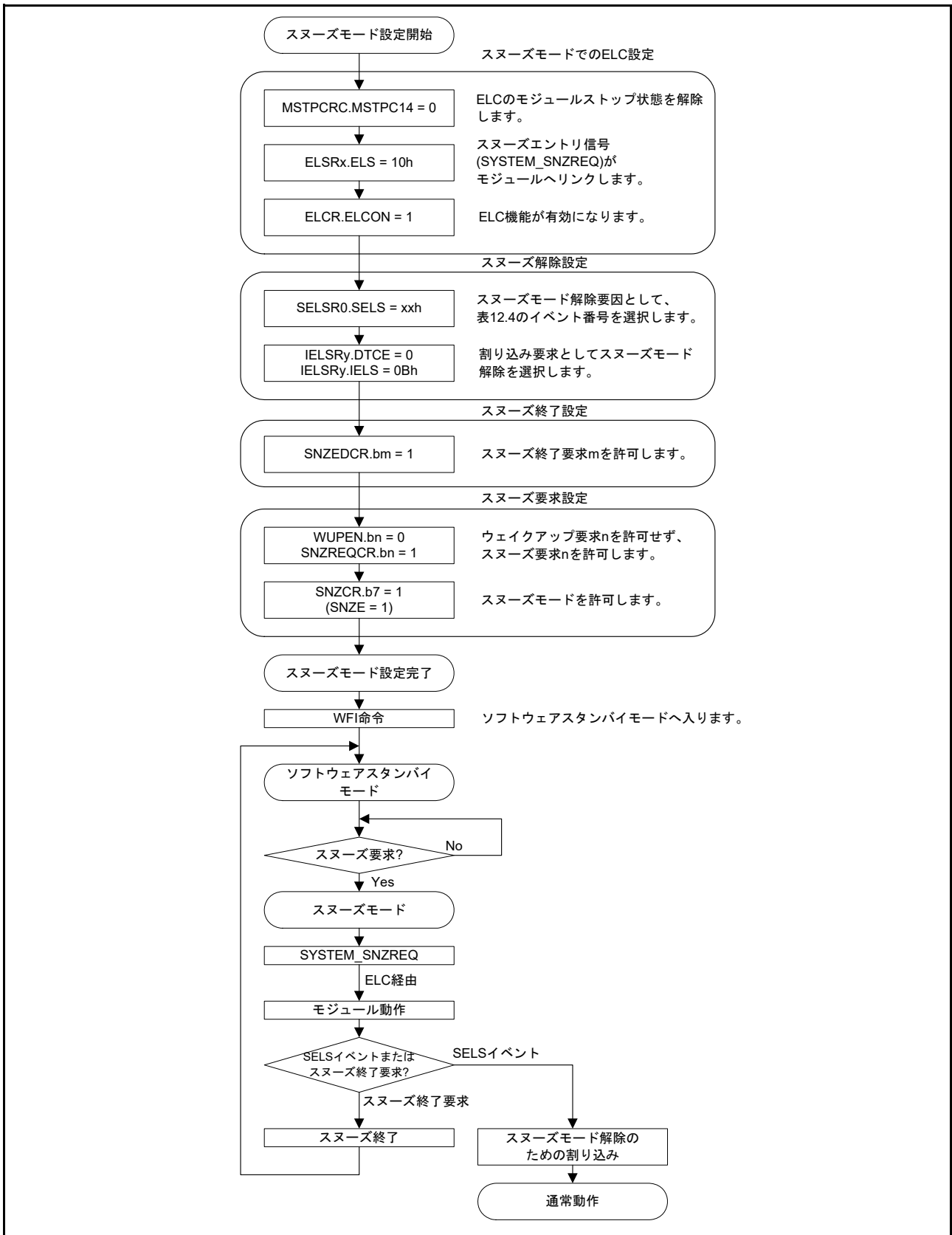


図 10.11 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードまたは DALI でデータの送受信が可能です。スヌーズモードで SCI0 または DALI を使用する場合、以下の動作モードのいずれかを使用してください。

- High-speed モード
- Middle-speed モード
- Low-speed モード

Low-voltage モードと Subosc-speed モードは使用しないでください。表 10.9 および表 10.10 に、スヌーズモードでの SCI0 の最大転送速度を示します。スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- BGDM = 0
- ABCS = 0
- ABCSE = 0

これらのビットについての詳細は、「27. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

High-speed モード、Middle-speed モード、Low-speed モード

表 10.9 HOCO : ±1.0% (Ta = -20 ~ 85°C)

(単位 : bps)

ICLK、PCLKB、PCLKDの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	9600 (注1)	9600 (注4)	-	-
2	9600 (注2)	9600 (注5)	4800	2400
4	9600 (注3)	9600 (注6)	4800	2400
8	4800	4800	4800	2400
16	4800	4800	4800	2400
32	2400	2400	2400	2400
64	2400	2400	2400	2400

- 注 1. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 3Dh、SCI0.MDDR = CEh にしてください。
- 注 2. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 1Eh、SCI0.MDDR = CEh にしてください。
- 注 3. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 0Dh、SCI0.MDDR = BAh にしてください。
- 注 4. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 3Eh、SCI0.MDDR = 9Dh にしてください。
- 注 5. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 32h、SCI0.MDDR = FEh にしてください。
- 注 6. 9600 bps の場合は、SCI0.SMR.CKS[1:0] = 00b、SCI0.SEMR.BRME = 1、SCI0.BRR = 18h、SCI0.MDDR = F9h にしてください。

High-speed モード、Middle-speed モード、Low-speed モード

表 10.10 HOCO : ±2.0% (Ta = -40 ~ -20°C、85 ~ 105°C)

(単位 : bps)

ICLK、PCLKB、PCLKDの最大分周比	HOCO周波数			
	24MHz	32MHz	48MHz	64MHz
1	2400	2400	-	-
2	2400	2400	2400	1200
4	2400	2400	2400	1200
8	2400	2400	2400	1200
16	2400	2400	2400	1200
32	1200	1200	1200	1200
64	1200	1200	1200	1200

図 10.12 に、スヌーズモードエントリで SCI0 または DALI を使用する場合の設定例を示します。

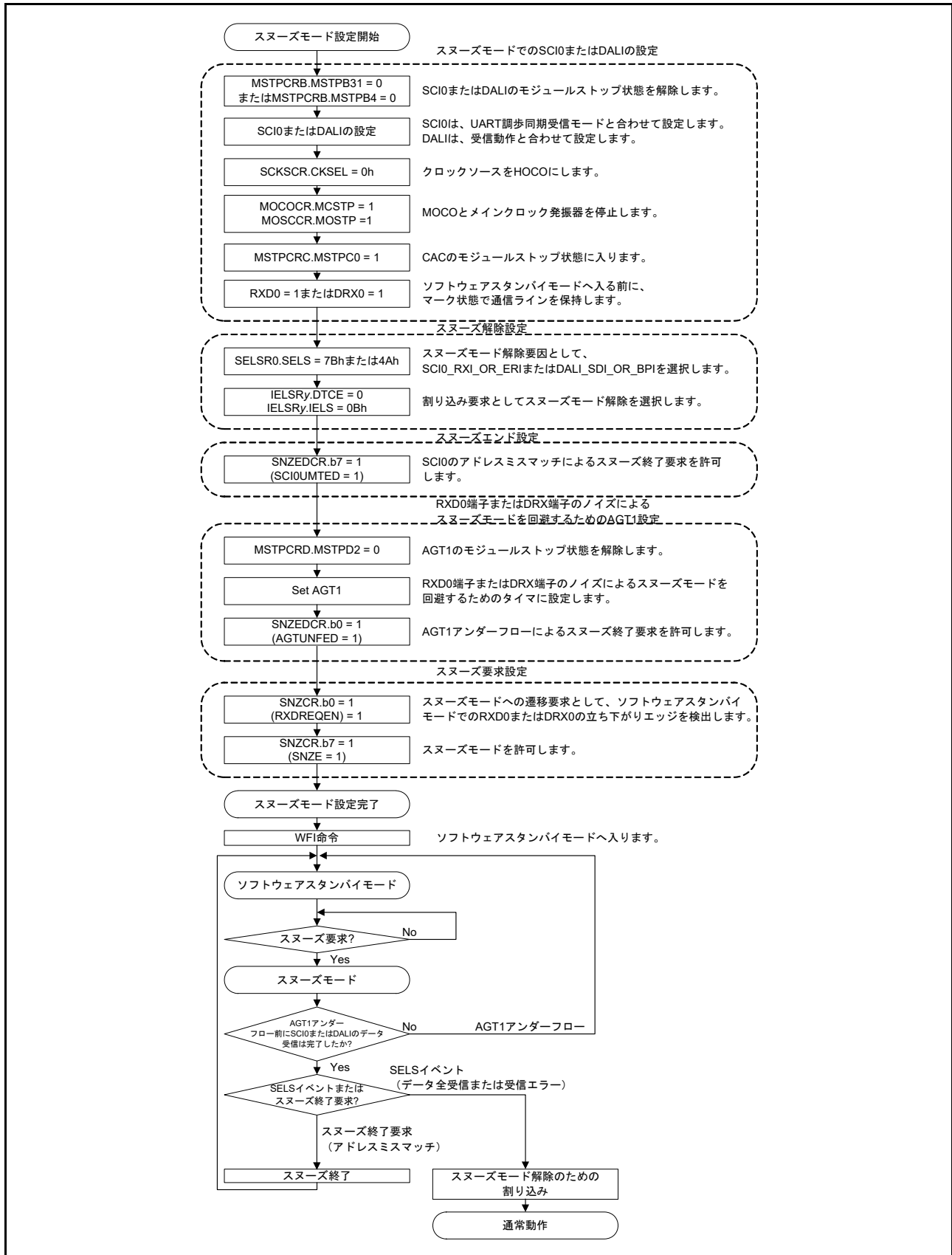


図 10.12 スヌーズモードエントリで SCI0 または DALI を使用するための設定例

10.9 使用上の注意事項

10.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM” という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モードへの遷移中)
- WFI 命令の実行から、通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1 (フラッシュ P/E モード、データフラッシュ P/E モード)
- FLSTOP.FLSTPF = 1 (遷移中)

(2) クロック関連レジスタの有効な設定値

表 10.11 と表 10.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モード以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.11 クロック関連レジスタの有効な設定値 (1)

モード	有効な設定値						
	SCKSCR.CKSEL[2:0] CKOCR.CKOSEL[2:0]	SCKDIVCR.ICK[2:0]	HOCOVR. HCSTP	MOCOVR. MCSTP	LOCOVR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
高速 中速 低電圧 低速	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (MOSC) 100b (SOSC)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Subosc速度	010b (LOCO) 100b (SOSC)	000b (1/1)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

表 10.12 クロック関連レジスタの有効な設定値 (2)

動作発振器	有効な設定値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
高速オンチップオシレータ	0	00b, 01b, 10b, 11b
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	0, 1	00b, 01b, 10b, 11b
サブクロック発振器		
IWDT専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR, SNZREQCR

(6) 下記の条件のいずれかに当てはまる場合、FLSTOP.FLSTOP ビットを 1 に設定しないでください。

[条件]

- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 00b (High-speed モード)
- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 01b (Middle-speed モード)
- SOPCCR.SOPCM = 0, OPCCR.OPCM[1:0] = 11b (Low-speed モード)
- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(7) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR

10.9.2 I/O ポートの状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合を除く）における I/O ポートの状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、供給電流は低減されません。

10.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[15. データトランスファコントローラ \(DTC\)](#)」を参照してください。

10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモードまたはソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex®-M0+ コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻すことによって、書き込みの完了を確認することが推奨されます。

10.9.7 スリープモード/スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC によって、WDT または IWDT 関連のレジスタを書き換えしないでください。

10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードに遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、必ずスヌーズモードで不要な発振器を無効にしてください。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.9.9 RXD0 または DRX0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子または DRX0 端子のノイズによって、スヌーズモード時に後続の RXD0 データまたは DRX0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データまたは DRX0 データを受信しなければ、割り込み（SCIO_ERI、SCIO_RXI、DALI_SDI、DALI_BPI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCIO または DALI を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信または DALI 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGT1 アンダーフローを使用しないでください。これは、SCIO または DALI の動作を中途半端に停止させます。

10.9.10 スヌーズモードにおける SCI0 または DALI の使用

スヌーズモードで SCI0 または DALI を使用する場合、AGT1 アンダーフロー以外のウェイクアップ要求を使用しないでください。

スヌーズモードで SCI0 または DALI を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO とメインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子または DRX0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI 通信または DALI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.9.11 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが A/D コンバータの開始トリガとなれます。ソフトウェアトリガや ADTRG0 端子は使用しないでください。

10.9.12 スヌーズモードにおける CTSU の条件

スヌーズモードでは、ELC のみが CTSU を起動できます。

10.9.13 スヌーズモードにおける ELC イベント

スヌーズモードで利用可能なイベントを下記に示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- ADC140 ウィンドウ A/B コンペアマッチ (ADC140_WCMPPM)
- ADC140 ウィンドウ A/B コンペア不一致 (ADC140_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

10.9.14 ADC140 に関するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC140 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC140 のモジュールストップ状態を解除すると、スヌーズモードで ADC140 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応を示します。

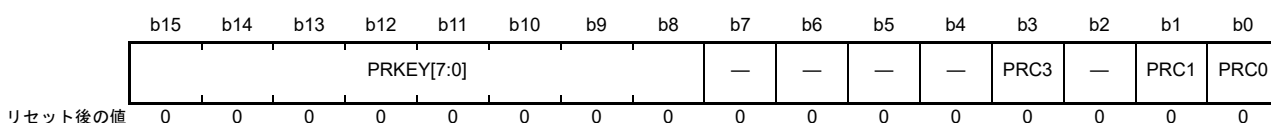
表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, MOSCCR, HOCOCR, MOCOCR, CKOCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR, HOCOWTCR
PRC1 ビット	<ul style="list-style-type: none"> 低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, FLSTOP, OPCCR, SOPCCR, SYOCDRCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPPCR, LVDLVLRL, LVD1CR0, LVD2CR0

11.2 レジスタの説明

11.2.1 プロテクトレジスタ (PRCR)

アドレス `SYSTEM.PRCR 4001 E3FEh`



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRC キーコード	PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位8ビットにA5h、下位8ビットに任意の値を、16ビット単位で書いてください。	W (注1)

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護されるレジスタ (表 11.1 を参照) への書き込みを許可または禁止します。PRCi ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、NVIC/DTC モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 12.1 に ICU の仕様を示します。図 12.1 に ICU のブロック図を、表 12.2 に入出力端子を示します。

表 12.1 ICUの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 要因数：137 (イベントリスト番号9～146から要因を選択)
	外部端子割り込み	<ul style="list-style-type: none"> 割り込み検出：Lowレベル (注4)、立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能 デジタルフィルタ機能をサポート 8要因 (IRQ0～IRQ7端子からの割り込み)
	DTC制御	割り込み要因によってDTC起動 (注1)
	NVICへの割り込み要因	32要因
ノンマスクابل割り込み (注2)	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ デジタルフィルタ機能をサポート
	発振停止検出割り込み (注3)	メイン発振器の停止を検出したときの割り込み
	WDTアンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー／リフレッシュエラー (注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み (注3)	低電圧検出1回路の電圧監視割り込み (LVD_LVD1)
	電圧監視2割り込み (注3)	低電圧検出2回路の電圧監視割り込み (LVD_LVD2)
	RPEST	SRAMパリティエラー発生時の割り込み
	RECCST	SRAM ECCエラー発生時の割り込み
	BUSSST	MPUバススレーブエラー発生時の割り込み
	BUSMST	MPUバスマスタエラー発生時の割り込み
	SPEST	CPUスタックポインタモニタによる割り込み
低消費電力モードからの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰。WUPENレジスタで割り込みの選択 スヌーズモード：ノンマスクابل割り込みによって復帰。SELSR0およびWUPENレジスタで割り込みを選択 <p>12.2.7 SYSイベントリンク設定レジスタ (SELSR0) と 12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN) を参照してください。</p>	

- 注 1. DTC の起動要因については、表 12.4 イベントテーブルを参照してください。
- 注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することが可能です。
- 注 3. これらのノンマスクابل割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。
- 注 4. Low レベル：検出後にクリアしなければ、割り込みは解除されません。

図 12.1 に ICU のブロック図を示します。

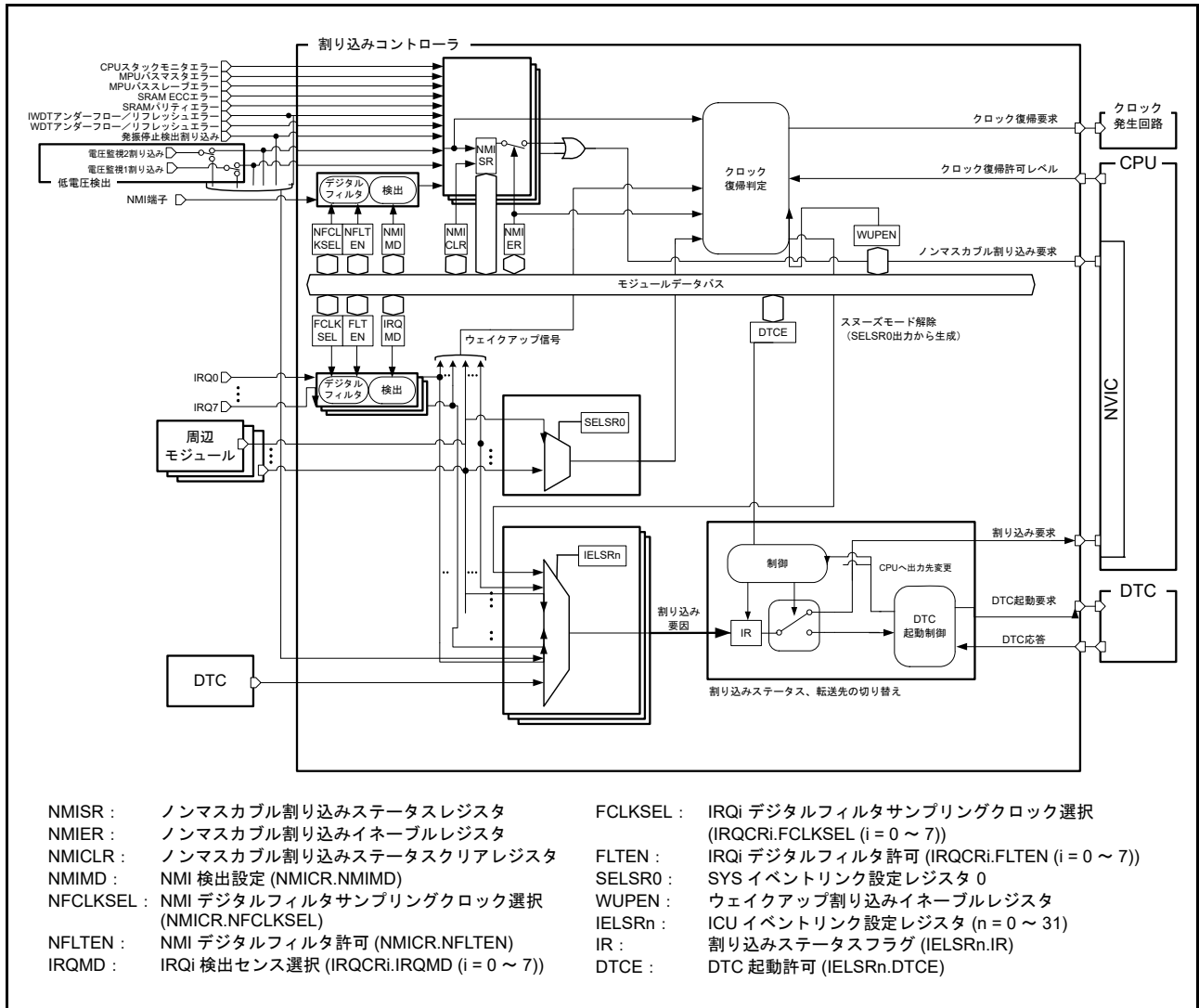


図 12.1 ICU のブロック図

表 12.2 ICU の入出力端子

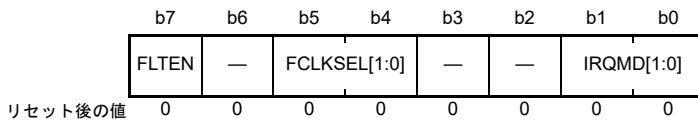
端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0 ~ IRQ7	入力	外部割り込み要求端子

12.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、次のマニュアルを参照してください：[ARM® Cortex®-M0+ Processor Technical Reference Manual \(ARM DDI 0484C\)](#)

12.2.1 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス [ICU.IRQCR0 4000 6000h](#), [ICU.IRQCR1 4000 6001h](#), [ICU.IRQCR2 4000 6002h](#), [ICU.IRQCR3 4000 6003h](#), [ICU.IRQCR4 4000 6004h](#), [ICU.IRQCR5 4000 6005h](#), [ICU.IRQCR6 4000 6006h](#), [ICU.IRQCR7 4000 6007h](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi 検出センス選択	b1 b0 0 0 : 立ち下がリエッジ 0 1 : 立ち上がリエッジ 1 0 : 両エッジ 1 1 : Lowレベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQi デジタルフィルタ有効	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

1. CPU 割り込みまたは DTC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0 ~ 31) を設定する必要があります。
対象の IELSRn レジスタが 0000h の場合にのみ、レジスタ値の変更が可能です。
2. ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPENi ビット (i = 0 ~ 7) を設定する必要があります。
対象の WUPEN.IRQWUPENi ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

[IRQMD\[1:0\] ビット \(IRQi 検出センス選択\)](#)

IRQi 外部端子割り込み要因の検出センシング方法を設定します。設定値に関する詳細は、[12.4.4 外部端子割り込み](#)を参照してください。

[FCLKSEL\[1:0\] ビット \(IRQi デジタルフィルタサンプリングクロック選択\)](#)

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

FLTEN ビット (IRQi デジタルフィルタ有効)

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、IRQCRI.FLTEN ビットが 1 の場合に有効になり、IRQCRI.FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、IRQCRI.FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、12.4.3 デジタルフィルタを参照してください。

12.2.2 ノンマスクブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 4000 6140h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEST	BUSMS T	BUSSS T	RECCS T	RPEST	NMIST	OSTST	—	—	LVD2S T	LVD1S T	WDTST	IWDTS T
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTS	IWDアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b1	WDTST	WDTアンダーフロー/リフレッシュエラーステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b2	LVD1ST	電圧監視1割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b3	LVD2ST	電圧監視2割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b5-b4	—	予約ビット	読むと0が読めます。	R
b6	OSTST	発振停止検出割り込みステータスフラグ	0: メイン発振停止検出割り込み要求なし 1: メイン発振停止検出割り込み要求あり	R
b7	NMIST	NMIステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b9	RECCST	SRAM ECCエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b10	BUSST	MPUバススレーブエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b11	BUSMST	MPUバスマスタエラー割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスクブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクブル割り込み許可レジスタ (NMIER) の設定は、このレジスタのステータスフラグには影響しません。ノンマスクブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ (IWDT アンダーフロー／リフレッシュエラーステータスフラグ)

IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ (WDT アンダーフロー／リフレッシュエラーステータスフラグ)

WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みがその要因で許可されている場合に、この割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込み要因が許可されているとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メイン発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)

SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ (SRAM ECC エラー割り込みステータスフラグ)

SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

BUSST フラグ (MPU バススレーブエラー割り込みステータスフラグ)

バススレーブエラー割り込み要求を示します。

[1 になる条件]

バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSSCLR ビットに 1 を書いたとき

BUSMST フラグ (MPU バスマスタエラー割り込みステータスフラグ)

バスマスタエラー割り込み要求を示します。

[1 になる条件]

バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

SPEST フラグ (CPU スタックポインタモニタ割り込みステータスフラグ)

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

12.2.3 ノンマスクブル割り込みイネーブルレジスタ (NMIER)

アドレス ICU.NMIER 4000 6120h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPEEN	BUSMEN	BUSSEN	RECCEEN	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEEN	IWDTEEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEEN	IWDT アンダーフロー/リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b1	WDTEEN	WDT アンダーフロー/リフレッシュエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b2	LVD1EN	電圧監視1 割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b3	LVD2EN	電圧監視2 割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OSTEN	発振停止検出割り込み許可	0: 禁止 1: 許可	R/(W) (注1) (注2)
b7	NMIEN	NMI端子割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b8	RPEEN	SRAMパリティエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b9	RECCEEN	SRAM ECCエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b10	BUSSEN	MPUバススレーブエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b11	BUSMEN	MPUバスマスタエラー割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b12	SPEEN	CPUスタックポインタモニタ割り込み許可	0: 禁止 1: 許可	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. リセット後、本ビットに1回だけ1を書き込むことが可能です。以後のライトアクセスは無効です。0の書き込みは無効です。
 注2. イベント信号として使用する場合、1にしないでください。

IWDTEEN ビット (IWDT アンダーフロー/リフレッシュエラー割り込み許可)

NMIの起動要因となるIWDTアンダーフロー/リフレッシュエラー割り込みを許可します。

WDTEEN ビット (WDT アンダーフロー/リフレッシュエラー割り込み許可)

NMIの起動要因となるWDTアンダーフロー/リフレッシュエラー割り込みを許可します。

LVD1EN ビット (電圧監視1 割り込み許可)

NMIの起動要因となる電圧監視1 割り込みを許可します。

LVD2EN ビット (電圧監視2 割り込み許可)

NMIの起動要因となる電圧監視2 割り込みを許可します。

OSTEN ビット (発振停止検出割り込み許可)

NMIの起動要因となるメイン発振停止検出割り込みを許可します。

NMIEN ビット (NMI 端子割り込み許可)

NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット (SRAM パリティエラー割り込み許可)

NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット (SRAM ECC エラー割り込み許可)

NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSSEN ビット (MPU バススレーブエラー割り込み許可)

NMI の起動要因となるバススレーブエラー割り込みを許可します。

BUSMEN ビット (MPU バスマスタエラー割り込み許可)

NMI の起動要因となるバスマスタエラー割り込みを許可します。

SPEEN ビット (CPU スタックポインタモニタ割り込み許可)

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

12.2.4 ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 4000 6130h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPECLR	BUSMCLR	BUSSCLR	RECCCLR	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDTクリア	0: 無効 1: NMISR.IWDTST フラグをクリア	R/(W) (注1)
b1	WDTCLR	WDTクリア	0: 無効 1: NMISR.WDTST フラグをクリア	R/(W) (注1)
b2	LVD1CLR	LVD1クリア	0: 無効 1: NMISR.LVD1ST フラグをクリア	R/(W) (注1)
b3	LVD2CLR	LVD2クリア	0: 無効 1: NMISR.LVD2ST フラグをクリア	R/(W) (注1)
b5-b4	—	予約ビット	書く場合、0としてください。	R/(W) (注1)
b6	OSTCLR	OSTクリア	0: 無効 1: NMISR.OSTST フラグをクリア	R/(W) (注1)
b7	NMICLR	NMIクリア	0: 無効 1: NMISR.NMIST フラグをクリア	R/(W) (注1)
b8	RPECLR	SRAMパリティエラークリア	0: 無効 1: NMISR.RPEST フラグをクリア	R/(W) (注1)
b9	RECCCLR	SRAM ECCエラークリア	0: 無効 1: NMISR.RECCST フラグをクリア	R/(W) (注1)
b10	BUSSCLR	バススレーブエラークリア	0: 無効 1: NMISR.BUSSST フラグをクリア	R/(W) (注1)
b11	BUSMCLR	バスマスタエラークリア	0: 無効 1: NMISR.BUSMST フラグをクリア	R/(W) (注1)
b12	SPECLR	CPUスタックポインタモニタ割り込みクリア	0: 無効 1: NMISR.SPEST フラグをクリア	R/(W) (注1)
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本ビットへの書き込みは、1のみとしてください。

IWDTCLR ビット (IWDTクリア)

1を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと0が読めます。

WDTCLR ビット (WDTクリア)

1を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと0が読めます。

LVD1CLR ビット (LVD1クリア)

1を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと0が読めます。

LVD2CLR ビット (LVD2クリア)

1を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと0が読めます。

OSTCLR ビット (OSTクリア)

1を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと0が読めます。

NMICLR ビット (NMI クリア)

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット (SRAM パリティエラークリア)

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット (SRAM ECC エラークリア)

1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSSCLR ビット (バススレーブエラークリア)

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット (バスマスタエラークリア)

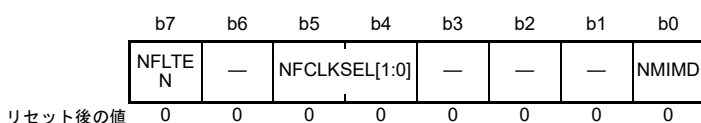
1 を書き込むことにより、NMISR.BUSMST フラグをクリアします。読むと 0 が読めます。

SPECLR ビット (CPU スタックポインタモニタ割り込みクリア)

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

12.2.5 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 4000 6100h



ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI 検出設定	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリング クロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMI デジタルフィルタ有効	0 : 無効 1 : 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMI 端子割り込みの検出センシング方法を選択します。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB (毎サイクル)
- PCKLB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

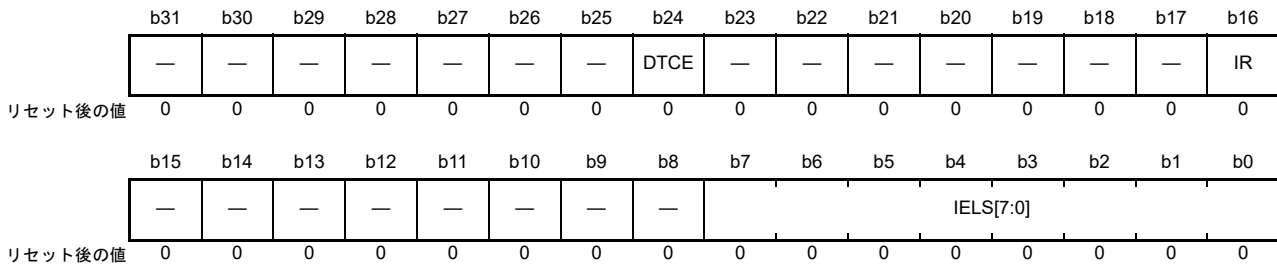
デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

NFLTEN ビット (NMI デジタルフィルタ有効)

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMIFLTC.NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、[12.4.3 デジタルフィルタ](#)を参照してください。

12.2.6 ICU イベントリンク設定レジスタ n (IELSRn)

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch,.....
ICU.IELSR28 4000 6370h, ICU.IELSR29 4000 6374h, ICU.IELSR30 4000 6378h, ICU.IELSR31 4000 637Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	IELS[7:0]	ICU イベントリンク選択	b7 b0 00000000 : 対応する NVIC または DTC モジュールへの割り込みは禁止 00000001 ~ 10010010 : リンクする イベント信号の番号 上記以外は設定しないでください。詳細は、表 12.4 を参照してください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	IR	割り込みステータスフラグ	0 : 割り込み要求の発生なし 1 : 割り込み要求の発生あり	R/(W) (注1)
b23-b17	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b24	DTCE	DTC 起動許可	0 : DTC の起動禁止 1 : DTC の起動許可	R/W
b31-b25	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 12.4 を参照してください。IELSRn (n = 0 ~ 31) は、NVIC-IRQ 入力要因番号 0 ~ 31 に対応しています。

IELS[7:0] ビット (ICU イベントリンク選択)

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。

IR フラグ (割り込みステータスフラグ)

IELS[7:0] で指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

- 対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロック PCLKB または PCLKD の 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

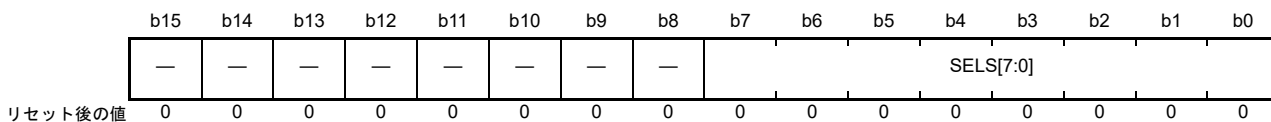
1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

12.2.7 SYS イベントリンク設定レジスタ (SELSR0)

アドレス ICU.SELSR0 4000 6200h



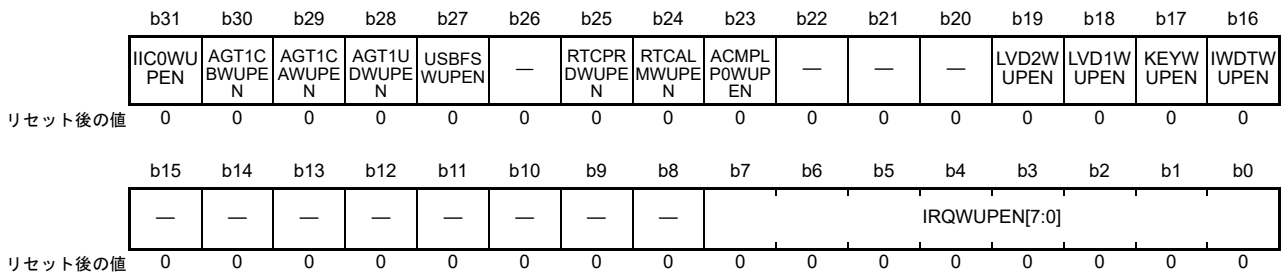
ビット	シンボル	ビット名	機能	R/W
b7-b0	SELS[7:0]	SYS イベントリンク選択	b7 b0 00000000 : 対応する低消費電力モードモジュールへのイベント出力は無効 00000001 ~ 10010010 : リンクするイベント信号の番号 上記以外は設定しないでください。詳細は、表 12.4 を参照してください。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スヌーズモードから CPU を復帰させるためのイベントを選択します。表 12.4 において「SELSR0 を用いたスヌーズモードの解除」欄に○印が付いたイベントのみを使用できます。このレジスタで指定されるイベントは、表 12.4 では ICU_SNZCANCEL (0Bh) と定義されています。IELSRn.IELS ビットに 0Bh が設定されると、SELSR0 イベント割り込みが発生します。

12.2.8 ウェイクアップ割り込みイネーブルレジスタ (WUPEN)

アドレス ICU.WUPEN 4000 61A0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	IRQWUPEN[7:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0: IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1: IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0: IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1: IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0: キー割り込みによるソフトウェアスタンバイ復帰禁止 1: キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0: LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0: LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1: LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b22-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ACMPLPOWUPEN	ACMPLP0割り込みソフトウェアスタンバイ復帰許可	0: ACMPLP0割り込みによるソフトウェアスタンバイ復帰禁止 1: ACMPLP0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0: RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1: RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0: RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1: RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	USBFSWUPEN	USBFS割り込みソフトウェアスタンバイ復帰許可	0: USBFS割り込みによるソフトウェアスタンバイ復帰禁止 1: USBFS割り込みによるソフトウェアスタンバイ復帰許可	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1: AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31	IIC0WUPEN	IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可	0 : IIC0 アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1 : IIC0 アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

IRQWUPEN[7:0] ビット (IRQ 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IRQ_n 割り込みの使用を許可します。

IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

KEYWUPEN ビット (キー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

ACMPLP0WUPEN ビット (ACMPLP0 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため ACMPLP0 割り込みの使用を許可します。

RTCALMWUPEN ビット (RTC アラーム割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

RTCPRDWUPEN ビット (RTC 周期割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

USBFSWUPEN ビット (USBFS 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

IIC0WUPEN ビット (IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可)

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについては、次のマニュアルの NVIC の章を参照してください：[ARM® Cortex®-M0+ Processor Technical Reference Manual \(ARM DDI 0484C\)](#)

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3 割り込みベクタテーブル (1/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
0	—	000h	Arm	初期スタックポインタ
1	—	004h	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	008h	Arm	ノンマスカブル割り込み (NMI)
3	—	00Ch	Arm	ハード障害
4	—	010h	Arm	予約ビット
5	—	014h	Arm	予約ビット
6	—	018h	Arm	予約ビット
7	—	01Ch	Arm	予約ビット
8	—	020h	Arm	予約ビット
9	—	024h	Arm	予約ビット
10	—	028h	Arm	予約ビット
11	—	02Ch	Arm	スーパーバイザコール (SVCall)
12	—	030h	Arm	予約ビット
13	—	034h	Arm	予約ビット
14	—	038h	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	03Ch	Arm	システムティックタイマ (SysTick)
16	0	040h	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/2)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVICへの接続	CPU割り込みとして使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 12.4 イベントテーブル (1/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズモードの解除	ソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動		
01h	ポート	PORT_IRQ0	○	○	○	○
02h		PORT_IRQ1	○	○	○	○
03h		PORT_IRQ2	○	○	○	○
04h		PORT_IRQ3	○	○	○	○
05h		PORT_IRQ4	○	○	○	○
06h		PORT_IRQ5	○	○	○	○
07h		PORT_IRQ6	○	○	○	○
08h		PORT_IRQ7	○	○	○	○
09h	DTC	DTC_COMPLETE	○		○ (注4)	
0Bh	ICU	ICU_SNZCANCEL	○		○	
0Ch	FCU	FCU_FRDYI	○			
0Dh	LVD	LVD_LVD1	○		○	○
0Eh		LVD_LVD2	○		○	○
0Fh	MOSC	MOSC_STOP	○			
10h	低消費電力モード	SYSTEM_SNZREQ		○		
11h	AGT0	AGT0_AGTI	○	○		
12h		AGT0_AGTCMAI	○	○		
13h		AGT0_AGTCMBI	○	○		
14h	AGT1	AGT1_AGTI	○	○	○	○
15h		AGT1_AGTCMAI	○	○	○	○
16h		AGT1_AGTCMBI	○	○	○	○
17h	IWDT	IWDT_NMIUNDF	○		○	○
18h	WDT	WDT_NMIUNDF	○			
19h	RTC	RTC_ALM	○		○	○
1Ah		RTC_PRD	○		○	○
1Bh		RTC_CUP	○			

表 12.4 イベントテーブル (2/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
1Ch	ADC140	ADC140_ADI	○	○		
1Dh		ADC140_GBADI	○	○		
1Eh		ADC140_CMPAI	○			
1Fh		ADC140_CMPBI	○			
20h		ADC140_WCMPPM		○	○ (注4)	
21h		ADC140_WCMPUM		○	○ (注4)	
22h		ACMPHS	ACMP_HS0	○		
23h	ACMP_HS1		○			
24h	ACMP_HS2		○			
25h	ACMPLP	ACMP_LP0	○		○	○
26h		ACMP_LP1	○			
27h	USBFS	USBFS_USBI	○			
28h		USBFS_USBR	○		○	○
29h	IIC0	IIC0_RXI	○	○		
2Ah		IIC0_TXI	○	○		
2Bh		IIC0_TEI	○			
2Ch		IIC0_EEI	○			
2Dh		IIC0_WUI	○		○	○
2Eh		IIC1	IIC1_RXI	○	○	
2Fh	IIC1_TXI		○	○		
30h	IIC1_TEI		○			
31h	IIC1_EEI		○			
32h	CTSU	CTSU_CTSUWR	○	○		
33h		CTSU_CTSURD	○	○		
34h		CTSU_CTSUFN	○		○ (注4)	
35h	KINT	KEY_INTKR	○		○ (注1)	○ (注1)
36h	DOC	DOC_DOPCI	○		○ (注4)	
37h	CAC	CAC_FERRI	○			
38h		CAC_MENDI	○			
39h		CAC_OVFI	○			
3Ah	CAN0	CAN0_ERS	○			
3Bh		CAN0_RXF	○			
3Ch		CAN0_TXF	○			
3Dh		CAN0_RXM	○			
3Eh		CAN0_TXM	○			
3Fh	I/Oポート	IOPORT_GROUP1	○	○ (注2)		
40h		IOPORT_GROUP2	○	○ (注2)		
41h	ELC	ELC_SWEVT0	○ (注3)	○		
42h		ELC_SWEVT1	○ (注3)	○		
43h	POEG	POEG_GROUP0	○			
44h		POEG_GROUP1	○			

表 12.4 イベントテーブル (3/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
45h	DALI	DALI_DEI	○			
46h		DALI_CLI	○			
47h		DALI_SDI	○	○		
48h		DALI_BPI	○	○		
49h		DALI_FEI	○	○		
4Ah		DALI_SDI_OR_BPI			○ (注4)	
4Bh		GPT320	GPT0_CCMPA	○	○	
4Ch	GPT0_CCMPB		○	○		
4Dh	GPT0_CMPC		○	○		
4Eh	GPT0_CMPD		○	○		
4Fh	GPT0_OVF		○	○		
50h	GPT0_UDF		○	○		
51h	GPT16H1		GPT1_CCMPA	○	○	
52h		GPT1_CCMPB	○	○		
53h		GPT1_CMPC	○	○		
54h		GPT1_CMPD	○	○		
55h		GPT1_OVF	○	○		
56h		GPT1_UDF	○	○		
57h		GPT16H2	GPT2_CCMPA	○	○	
58h	GPT2_CCMPB		○	○		
59h	GPT2_CMPC		○	○		
5Ah	GPT2_CMPD		○	○		
5Bh	GPT2_OVF		○	○		
5Ch	GPT2_UDF		○	○		
5Dh	GPT16H3		GPT3_CCMPA	○	○	
5Eh		GPT3_CCMPB	○	○		
5Fh		GPT3_CMPC	○	○		
60h		GPT3_CMPD	○	○		
61h		GPT3_OVF	○	○		
62h		GPT3_UDF	○	○		
63h		GPT164	GPT4_CCMPA	○	○	
64h	GPT4_CCMPB		○	○		
65h	GPT4_CMPC		○	○		
66h	GPT4_CMPD		○	○		
67h	GPT4_OVF		○	○		
68h	GPT4_UDF		○	○		
69h	GPT165		GPT5_CCMPA	○	○	
6Ah		GPT5_CCMPB	○	○		
6Bh		GPT5_CMPC	○	○		
6Ch		GPT5_CMPD	○	○		
6Dh		GPT5_OVF	○	○		
6Eh		GPT5_UDF	○	○		

表 12.4 イベントテーブル (4/4)

イベント番号	割り込み要求の発生元	名称	IELSRn		スヌーズ モードの解除	ソフトウェア スタンバイ モードの解除
			NVICへの接続	DTCの起動		
6Fh	GPT166	GPT6_CCMPA	○	○		
70h		GPT6_CCMPB	○	○		
71h		GPT6_CMPC	○	○		
72h		GPT6_CMPD	○	○		
73h		GPT6_OVF	○	○		
74h		GPT6_UDF	○	○		
75h	GPT	GPT_UVWEDGE	○			
76h	SCI0	SCI0_RXI	○	○		
77h		SCI0_TXI	○	○		
78h		SCI0_TEI	○			
79h		SCI0_ERI	○			
7Ah		SCI0_AM	○		○ (注4)	
7Bh		SCI0_RXI_OR_ERI			○ (注4)	
7Ch	SCI1	SCI1_RXI	○	○		
7Dh		SCI1_TXI	○	○		
7Eh		SCI1_TEI	○			
7Fh		SCI1_ERI	○			
80h		SCI1_AM	○			
81h	SCI9	SCI9_RXI	○	○		
82h		SCI9_TXI	○	○		
83h		SCI9_TEI	○			
84h		SCI9_ERI	○			
85h		SCI9_AM	○			
86h	SPI0	SPI0_SPRI	○	○		
87h		SPI0_SPTI	○	○		
88h		SPI0_SPII	○			
89h		SPI0_SPEI	○			
8Ah		SPI0_SPTEND	○			
8Bh	SPI1	SPI1_SPRI	○	○		
8Ch		SPI1_SPTI	○	○		
8Dh		SPI1_SPII	○			
8Eh		SPI1_SPEI	○			
8Fh		SPI1_SPTEND	○			
90h	AES	AES_WRREQ	○	○		
91h		AES_RDREQ	○	○		
92h	TRNG	TRNG_RDREQ	○			

- 注 1. KRCTL.KRMD = 1 の場合にのみサポートされます。
- 注 2. 最初のエッジ検出のみが有効です。
- 注 3. DTC 転送後の割り込みのみがサポートされます。
- 注 4. SELSR0 の使用

12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動など)

12.4.1 割り込みの検出

外部端子割り込み要求は、下記の 2 つの方法のいずれかで検出されます。

- 割り込み信号のエッジ (立ち下がりエッジ／立ち上がりエッジ／両エッジ)
- 割り込み信号のレベル (Low レベル)

IRQ_i 端子検出モードを選択するには、IRQCR_i レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、[12.3.2 イベント番号](#)を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

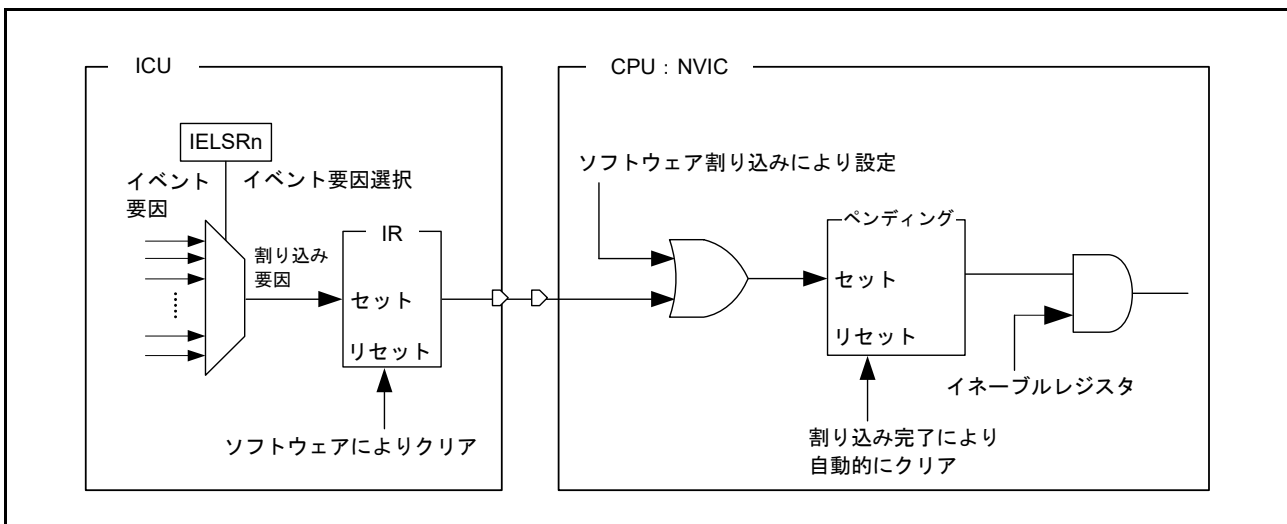


図 12.2 ICU および CPU (NVIC) の割り込み経路

割り込み中の動作

- 非ソフトウェア割り込みが発生したとき：
IELSRn.IR フラグと割り込みセット／クリア保留レジスタ (NVIC) が設定される
- ソフトウェア割り込みが発生したとき：
割り込みセット保留レジスタを設定する
- 割り込みが完了したとき：
ソフトウェアで IELSRn.IR フラグをクリアする。
割り込みセット／クリア保留レジスタは自動的にクリアされる

割り込みが許可される場合

1. 割り込みセットイネーブルレジスタを設定する。
2. IELSRn.IELS ビットを割り込み要因として設定する。
3. イベント要因に対し動作設定値を指定する。

割り込みが禁止される場合

1. イベント要因に対し設定値を無効にする。
2. IELSRn.IELS ビットをクリアする (IELSRn.IELS = 00h)。必要に応じて、IELSRn.IR フラグをクリアする。
3. 割り込みクリアイネーブルレジスタをクリアする。必要に応じて、割り込みクリア保留レジスタをクリアする。

割り込みのポーリングを行う場合

1. 割り込みクリアイネーブルレジスタを設定 (割り込みを禁止) する。
2. IELSRn.IELS ビットを設定 (割り込み要因を選択) する。
3. イベント要因に対し動作設定値を指定する。
4. 割り込みセット保留レジスタをポーリングする。
5. ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う。

12.4.2 割り込み要求先の選択

割り込み出力先 (CPU または DTC) は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、[表 12.4](#) に示されているように、割り込みごとに固定されています。

注. イベントリスト ([表 12.4](#)) で○印が付いていない割り込み要求先の設定は使用しないでください。

IELSRn レジスタで CPU または DTC を選択した場合、その他の IELSRn レジスタで同じ割り込み要因を設定することは禁止されています。

DTC が IRQi 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

12.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。

IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 0 にします。

12.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 にする。

DTC が要求先となる場合の動作を [表 12.5](#) に示します。

表 12.5 DTC が起動するときの動作

割り込み要求先	DISEL (注1)	残りの転送回数	1要求あたりの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	IELSRn.DTCE ビットがクリアされ、CPU が要求先になる。

注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「[15. データトランスファコントローラ \(DTC\)](#)」の [表 15.3 チェーン転送の条件](#) を参照してください。

12.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 (IRQi, i=0~7) と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック (PCLKB) でサンプリングし、3 サンプルサイクル未満のパルス幅を持つ信号を除去します。

IRQi 端子に対するデジタルフィルタの使用法：

1. IRQCri.FCLKSEL[1:0] ビット (i=0~7) で、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. IRQCri.FLTEN ビット (i=0~7) を 1 (デジタルフィルタ有効) にする。

NMI 端子に対するデジタルフィルタの使用法：

1. NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) にする。

図 12.3 にデジタルフィルタの動作例を示します。

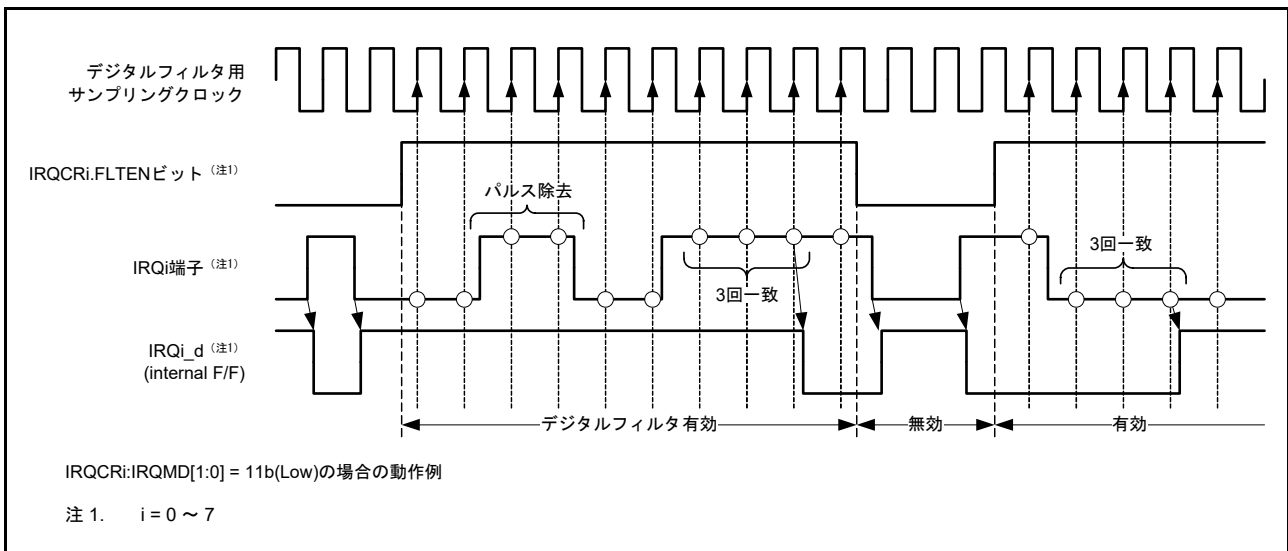


図 12.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCri.FLTEN ビットと NMICR.NFLTEN ビットをクリアしてデジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードが終了したとき、デジタルフィルタを再度有効にできます。回路は、スタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、誤ったエッジが検出される可能性があります。

12.4.4 外部端子割り込み

外部端子割り込みの使用法：

1. IRQCRi.FLTEN ビット (i=0～7) を 0 (デジタルフィルタ無効) にする。
2. I/O ポートの設定を行うかまたは確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を以下のように選択する。
 - IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にする
 - IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 1 にする

12.5 ノンマスクابل割り込みの動作

ノンマスクابل割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAMECC エラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスクابل割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスクابل割り込みは他のすべての割り込みよりも優先します。ノンマスクابل割り込みの状態は、ノンマスクابل割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスクابل割り込みはデフォルトで無効になっています。ノンマスクابل割り込みを使用する場合は、以下の手順で設定してください。

NMI 端子を使用する場合には、手順 1～3 を行ってください。

1. NMICR.NFLTEN ビットを 0 (デジタルフィルタ無効) にする。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMICLR.NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグを 0 にクリアする。
4. ノンマスクابل割り込みイネーブルレジスタ (NMIER) の対応するビットを 1 にしてノンマスクابل割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みを許可するには、リセットする必要があります。

12.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、[表 12.4 イベントテーブル](#)に示されています。詳細は、「[10. 低消費電力モード](#)」を参照してください。[12.6.1](#) ~ [12.6.3](#)には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。

12.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスクابل割り込みによってスリープモードから復帰するには、NMIER レジスタにおいて必要な割り込み要求を許可します。

12.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスクابل割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。[12.2.8 ウェイクアップ割り込みイネーブルレジスタ \(WUPEN\)](#) を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
 - ノンマスクابل割り込みの場合、NMIER レジスタを使用して必要な割り込み要求を許可する
 - マスクابل割り込みの場合、WUPEN レジスタを使用して必要な割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

12.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードからの復帰を可能にします。

スヌーズモードから通常モードへ復帰する方法：

1. 以下の方法のうちいずれかを使用して、スヌーズモードから通常モードへの復帰をトリガしたいイベントを選択する。
 - SELSR0.SEL でスヌーズモードから通常モードへの復帰をトリガしたいイベントを設定し、IELSRn.IELS で値 0Bh (ICU_SNZCANCEL) を設定する。
 - IELSRn.IELS でスヌーズモードから通常モードへの復帰をトリガしたいイベントを設定する。
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

これらの条件を満たさない IRQ 端子による割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注 . スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。

12.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

12.8 参考資料

- 1) *ARM[®] Cortex[®]-M0+ Processor Technical Reference Manual (ARM DDI 0484C)*

13. バス

13.1 概要

表 13.1 にバスの仕様を、図 13.1 にバスの構成図を、表 13.2 にバス種類別アドレス対応表を示します。

表 13.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	<ul style="list-style-type: none"> • CPU を接続 • 内蔵メモリと内部周辺バスを接続
	DMAバス	<ul style="list-style-type: none"> • DTC を接続 • 内蔵メモリと内部周辺バスを接続
スレーブ インタフェース	メモリバス1	• コードフラッシュメモリを接続
	メモリバス4	• SRAM0 を接続
	内部周辺バス1	• 周辺モジュール関連のシステムコントロールを接続
	内部周辺バス3	• 周辺モジュール (CAC, ELC, I/Oポート, POEG, RTC, WDT, IWDT, IIC, CAN, ADC14, DOC, GPT, PWM遅延生成回路, SCI, SPI, CRC) を接続
	内部周辺バス5	• 周辺モジュール (KINT, AGT, USBFS, DALI, DAC8, OPAMP, ACMPHS, ACMLPL, CTSU) を接続
	内部周辺バス7	• セキュアIPを接続
	内部周辺バス9	• フラッシュメモリ (P/E時) とデータフラッシュメモリを接続

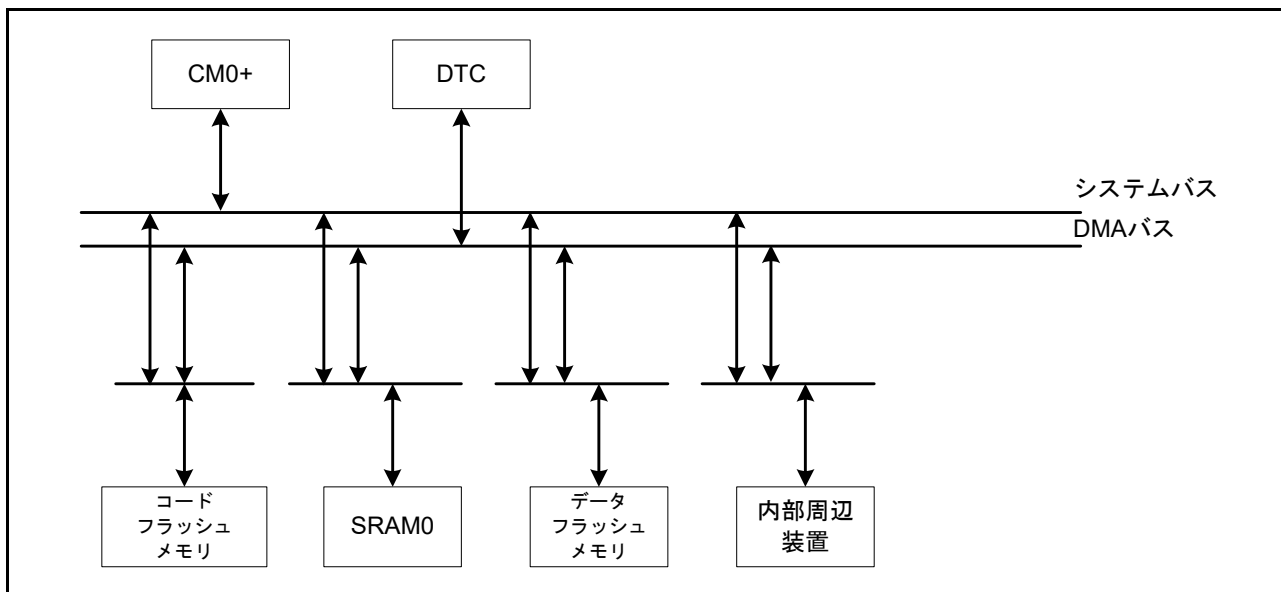


図 13.1 バスの構成図

表 13.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h ~ 01FF FFFFh	メモリバス1	コードフラッシュメモリ
2000 0000h ~ 2000 5FFFh	メモリバス4	SRAM0
4000 0000h ~ 4001 8FFFh	内部周辺バス1	周辺I/Oレジスタ
4001 9000h ~ 4001 9FFFh	メモリバス4	MTB I/Oレジスタ
4001 A000h ~ 4001 FFFFh	内部周辺バス1	周辺I/Oレジスタ
4004 0000h ~ 4007 FFFFh	内部周辺バス3	
4008 0000h ~ 400B FFFFh	内部周辺バス5	
400C 0000h ~ 400D FFFFh	内部周辺バス7	セキュアIP
4010 0000h ~ 407F FFFFh	内部周辺バス9	フラッシュメモリ (P/E時 ^(注1)) とデータフラッシュメモリ

注 1. P/E = プログラム/イレース

13.2 バスの説明

13.2.1 メインバス

メインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM0
- データフラッシュメモリ
- 内部周辺バス

システムバスは、CPU への命令コードおよびデータコードのアクセスに用いられます。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

13.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、表 13.1 バスの仕様に記載のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスが調停されます。調停法には、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、13.3.2 を参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

13.2.3 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。並列動作の例を図 13.2 に示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュと SRAM にアクセスする間、DTC は DMA バスを同時に使用して、周辺バスにアクセスしています。

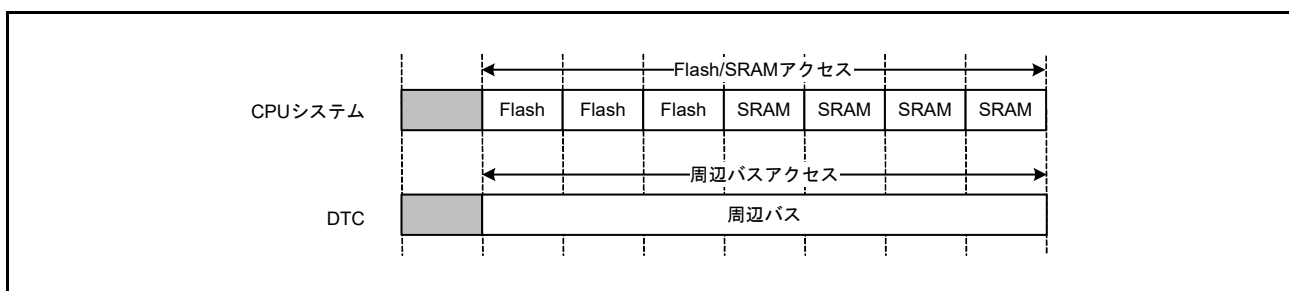


図 13.2 並列動作の例

13.2.4 制限事項

(1) エンディアンに関する制限事項

Cortex®-M0+ コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

13.3 レジスタの説明

13.3.1 マスタバスコントロールレジスタ (BUSMCNT<master>)

アドレス [BUS.BUSMCNTSYS 4000 4008h](#), [BUS.BUSMCNTDMA 4000 400Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0 : バスエラーを通知する 1 : バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

IERES ビット (エラー応答無視)

AHB-Lite プロトコルエラー応答を無効にします。

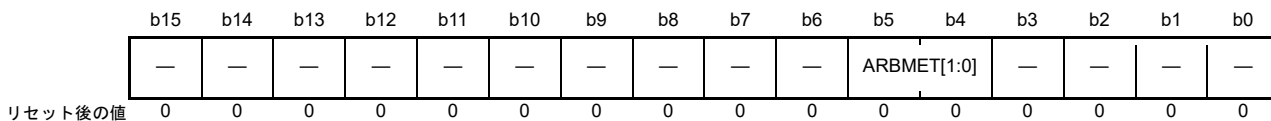
表 13.3 に、バスの種類に対応したレジスタを示します。

表 13.3 バスの種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	スレーブバスコントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
システムバス (CPU)	BUSMCNTSYS	—	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	—	BUS4ERRADD	BUS4ERRSTAT
メモリバス1	—	BUSSCNTFLI	—	—
メモリバス4	—	BUSSCNTRAM0	—	—
内部周辺バス 1, 3, 5, 7	—	BUSSCNTpNB[n = 2, 4, 6]	—	—
内部周辺バス9	—	BUSSCNTFBU	—	—

13.3.2 スレーブバスコントロールレジスタ (BUSSCNT<slave>)

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTRAM0 4000 410Ch, BUS.BUSSCNTPOB 4000 4114h, BUS.BUSSCNTP2B 4000 4118h, BUS.BUSSCNTP4B 4000 4120h, BUS.BUSSCNTP6B 4000 4128h, BUS.BUSSCNTFBU 4000 4130h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET[1:0]	調停法	グループ優先順位を指定します。 b5 b4 0 0: 優先順位固定 0 1: ラウンドロビン 1 0: 設定禁止 1 1: 設定禁止	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 予約ビットを初期値0から変更することは禁止されています。書き換え中の動作は保証されません。

ARBMET[1:0] ビット (調停法)

調停法を、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、表 13.4 を参照してください。ラウンドロビンについては、表 13.5 を参照してください。バスの種類とレジスタの対応については、表 13.3 を参照してください。

表 13.4 優先順位固定 (ARBMET[1:0] = 00b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	DMAバス>システムバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス>システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 4, 6]	内部周辺バス1, 3, 5, 7	DMAバス>システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス>システムバス (CPU)

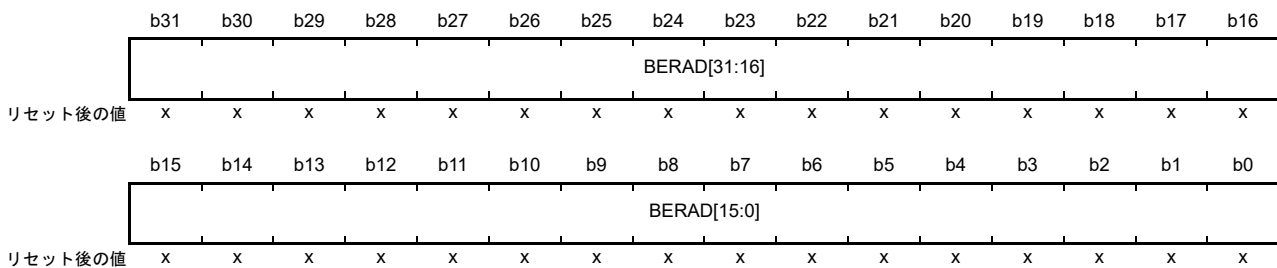
表 13.5 ラウンドロビン (ARBMET[1:0] = 01b)

スレーブバスコントロールレジスタ	スレーブインタフェース	優先順位 (注1)
BUSSCNTFLI	メモリバス1	DMAバス↔システムバス (CPU)
BUSSCNTRAM0	メモリバス4	DMAバス↔システムバス (CPU)
BUSSCNTPnB [n = 0, 2, 4, 6]	内部周辺バス1, 3, 5, 7	DMAバス↔システムバス (CPU)
BUSSCNTFBU	内部周辺バス9	DMAバス↔システムバス (CPU)

注1. ラウンドロビンであることは“↔”で示されます。

13.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4)

アドレス [BUS.BUS3ERRADD 4000 4820h](#), [BUS.BUS4ERRADD, 4000 4830h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[5. リセット](#)」および「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 13.3 に、バスの種類とレジスタの対応を示します。

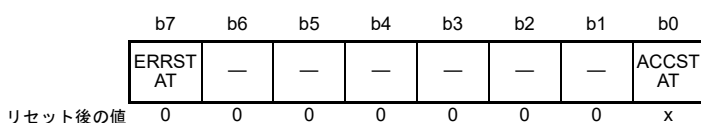
BERAD[31:0] ビット (バスエラーアドレス)

本ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細は、BUSnERRSTAT.ERRSTAT ビットおよび [13.4 バスエラー監視部](#)の説明を参照してください。

BUSnERRADDn.BERAD[31:0] ビット (n = 3, 4) の値は、BUSnERRSTAT.ERRSTAT ビット (n = 3, 4) が 1 の場合にのみ有効です。

13.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4)

アドレス [BUS.BUS3ERRSTAT 4000 4824h](#), [BUS.BUS4ERRSTAT 4000 4834h](#)



ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1: ライトアクセス 0: リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。	R
b7	ERRSTAT	バスエラー状態	0: バスエラー発生なし 1: バスエラー発生あり	R

注. 本レジスタは、MPU 関連リセット以外のリセットによってのみクリアされます。詳細については、「[5. リセット](#)」および「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 13.3 に、バスの種類とレジスタの対応を示します。

ACCSTAT ビット (エラーアクセス状態)

バスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細は、[BUSnERRSTAT.ERRSTAT](#) ビットおよび [13.4 バスエラー監視部](#)の説明を参照してください。

本ビットの値は、[BUSnERRSTAT.ERRSTAT](#) ビット (n = 3, 4) が 1 の場合にのみ有効です。

ERRSTAT ビット (バスエラーアドレス)

バスエラーの発生の有無を示します。バスにエラーが発生した場合、[BUSnERRSTATn.ERRSTAT](#) (n = 3, 4) ビットは 1 になり、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。

バスエラーには下記の 4 種類があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、OAD ビットがリセットを選択している場合、MPU エラーの原因となったバスアクセスが内部リセット信号が生成されるよりも後に完了すると (ウェイトの設定による)、[BUSnERRSTAT.ERRSTAT](#) (n = 3, 4) が 1 になりません。

バスマスタ MPU エラーまたはバススレーブ MPU エラーを検出時に、OAD ビットで NMI を選択している場合、MPU エラーの原因となったバスアクセスが完了すると、[BUSnERRSTAT.ERRSTAT](#) (n = 3, 4) は 1 になります。

バスエラーの詳細は、[13.4 バスエラー監視部](#)および「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

13.4 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite プロトコルを用いてそのエラーを要求マスタ IP に返します。

13.4.1 バスに生じるエラーの種類

バスエラーには下記の 4 種類があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 13.6 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU とバススレーブ MPU については、「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

13.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラーが、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、[13.3.3](#) および [13.3.4](#) を参照してください。

注 . DTC はバスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.6 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 13.6 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス	
		CPU	DMA
		システム	
0000 0000h ~ 01FF FFFFh	メモリバス 1	—	—
0200 0000h ~ 1FFF FFFFh	予約領域	E	E
2000 0000h ~ 2000 5FFFh	メモリバス 4	—	—
2000 6000h ~ 3FFF FFFFh	予約領域	E	E
4000 0000h ~ 4001 FFFFh	周辺バス 1	—	—
4002 0000h ~ 4003 FFFFh	予約領域	E	E
4004 0000h ~ 4007 FFFFh	周辺バス 3	—	—
4008 0000h ~ 400B FFFFh	周辺バス 5	—	—
400C 0000h ~ 400D FFFFh	周辺バス 7	—	—
400E 0000h ~ 400F FFFFh	予約領域	E	E
4010 0000h ~ 407F FFFFh	周辺バス 9	—	—
4080 0000h ~ DFFF FFFFh	予約領域	E	E
E000_0000h ~ FFFF_FFFFh	Cortex-M0+用システム	—	E

- 注 . E は、不正アドレスアクセスエラーが生じる経路を示します。
 注 . — は、不正アドレスアクセスエラーが生じなかった経路を示します。
 注 . バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。
 0200 0000h ~ 1FFF FFFFh : アクセスエラーを検出
 0000 0000h ~ 01FF FFFFh : メモリバス 1 のアクセスエラー検出なし

13.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

13.5 参考資料

1. ARM® Cortex®-M0+ Devices Generic User Guide (ARM DUI 0662B)
2. ARM® AMBA® 3 AHB-Lite Protocol v1.0 Specification (ARM IHI 0033A)

14. メモリプロテクションユニット (MPU)

14.1 概要

本 MCU は、4つのメモリプロテクションユニット (MPU) と、CPU スタックポインタモニタ機能を備えています。表 14.1 に MPU の仕様を、表 14.2 に各 MPU エラー検出時の動作を示します。

表 14.1 MPUの仕様

項目	モジュール/機能	内容
不正メモリアクセス	Arm® Cortex®-M4 CPU	<ul style="list-style-type: none"> Arm CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生 デフォルトのメモリマップはMPUで変更可能
	CPUスタックポインタモニタ	2領域 <ul style="list-style-type: none"> メインスタックポインタ (MSP) プロセススタックポインタ (PSP)
メモリプロテクション	Arm MPU	CPU用のメモリプロテクション機能 <ul style="list-style-type: none"> 8 MPU 領域 (サブ領域とバックグラウンド領域を含む)
	バスマスタ MPU	CPUを除く各バスマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> バスマスタ MPUグループA : 4領域
	バスマスレーブ MPU	各バスマスレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	非セキュアプログラムによる以下のセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> 2領域 (PC) 4領域 (コードフラッシュ、SRAM、2つのセキュリティ機能)

表 14.2 MPUエラー検出時の動作

MPUの種類	通知法	エラー検出時のバスアクセス	エラーアクセス情報の保持
CPUスタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	保持しない
Arm MPU	ハード障害	<ul style="list-style-type: none"> 正しくライトアクセスできない 正しくリードアクセスできない 	保持しない
バスマスタ MPU	リセットまたはノンマスカブル割り込み	<ul style="list-style-type: none"> 保護領域にライトアクセス 保護領域にリードアクセス 	保持
バスマスレーブ MPU	<ul style="list-style-type: none"> リセットまたはノンマスカブル割り込み ハード障害 	<ul style="list-style-type: none"> ライトアクセスは無視 リードアクセスは0が読める 	保持
セキュリティ MPU	通知なし	<ul style="list-style-type: none"> 正しくライトアクセスできない 正しくリードアクセスできない 	保持しない

Arm MPU に対するエラーアクセスについては、14.7 を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の 13.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4) および 13.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4) を参照してください。

14.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのオーバーフローとアンダーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の2つのスタックポインタがあるため、2つのCPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のスタックポインタモニタ有効ビットを1にします。

表 14.3 に、CPU スタックポインタモニタの仕様を示します。図 14.1 に CPU スタックポインタモニタのブロック図を、図 14.2 にレジスタの設定フローを示します。

表 14.3 CPUスタックポインタモニタの仕様

項目	内容
SRAM領域	メモリプロテクション対象領域
領域数	2領域 : <ul style="list-style-type: none"> • メインスタックポインタ • プロセススタックポインタ
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のスタックポインタモニタ有効/無効設定	対応する領域に対し、有効/無効を設定
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

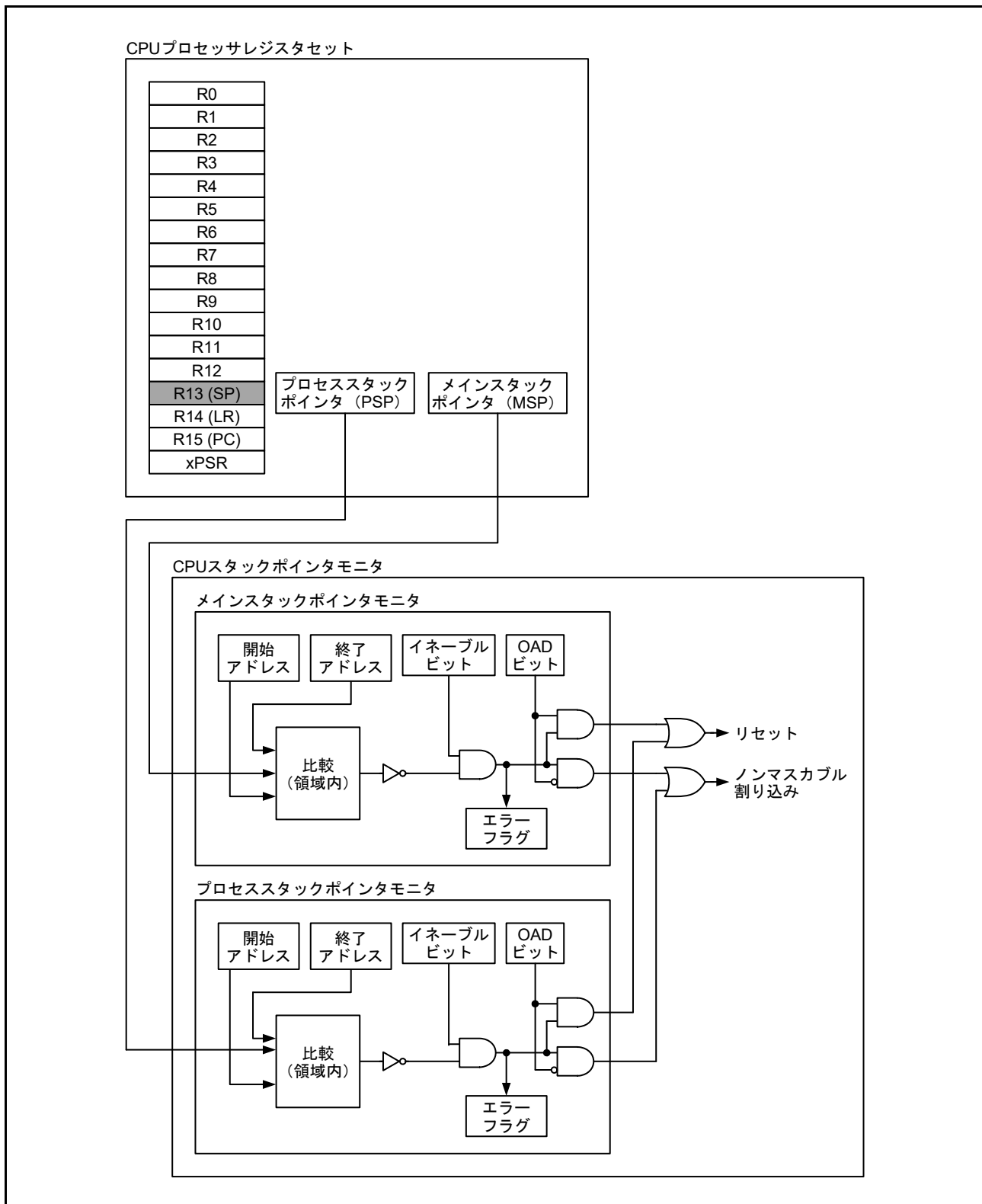


図 14.1 CPU スタックポインタモニタのブロック図

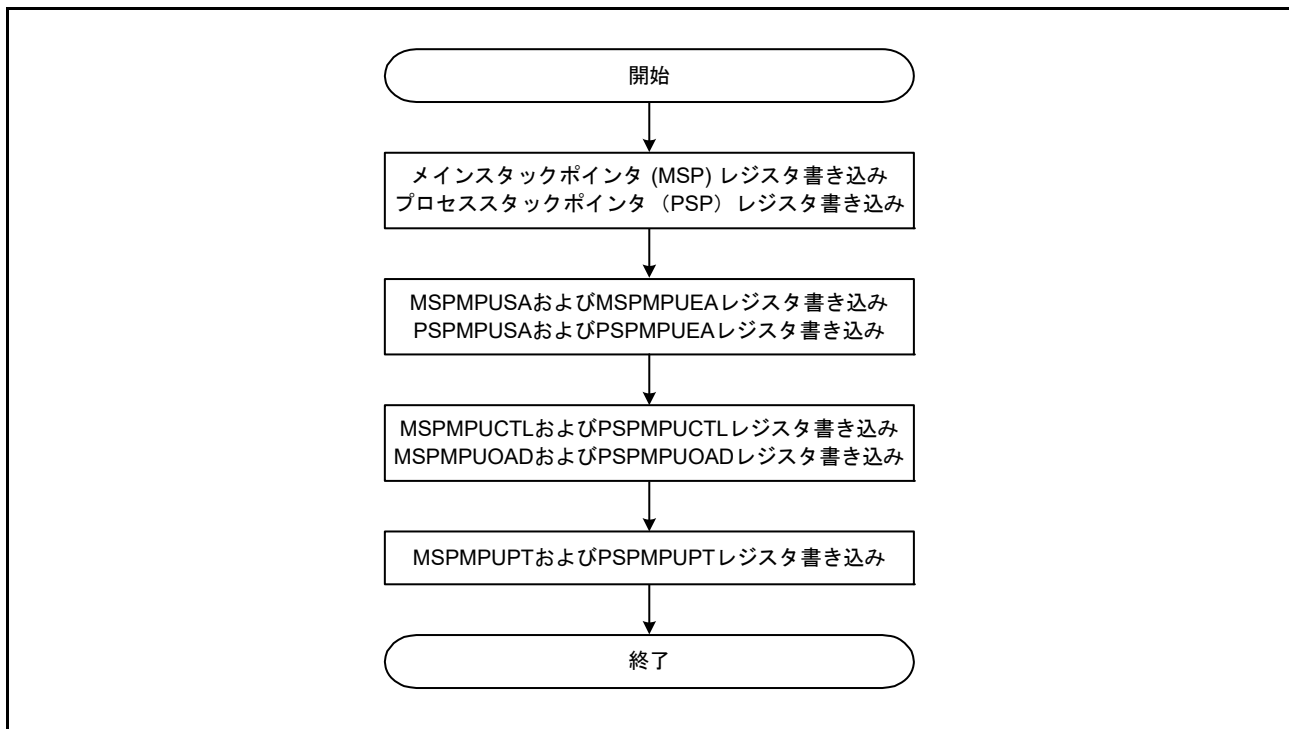


図 14.2 レジスタの設定フロー

14.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、スタックポインタモニタ保護レジスタ (MSPMPUPT、PSPMPUPT) の PROTECT ビットで保護することが可能です。

14.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。メモリプロテクションエラーは、ノンマスカブル割り込みまたはリセットのいずれかを OAD ビット設定で選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

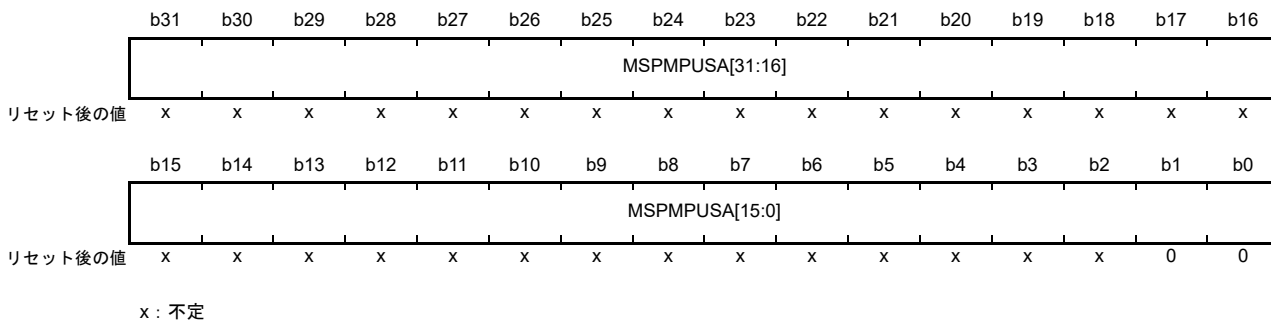
スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが出力され続けます。ノンマスカブル割り込みフラグをクリアするには、スタックポインタを指定領域に設定してから ICU.NMICLR.SPECLR ビットを 1 にしてください。次に、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットに 0 を書き込んでクリアしてください。

14.2.3 レジスタの説明

注. バスアクセスを停止させてから MPU レジスタに書き込んでください。

14.2.3.1 メインスタックポインタ (MSP) モニタ開始アドレスレジスタ (MSPMPUSA)

アドレス `SPMON.MSPMPUSA 4000 0D08h`

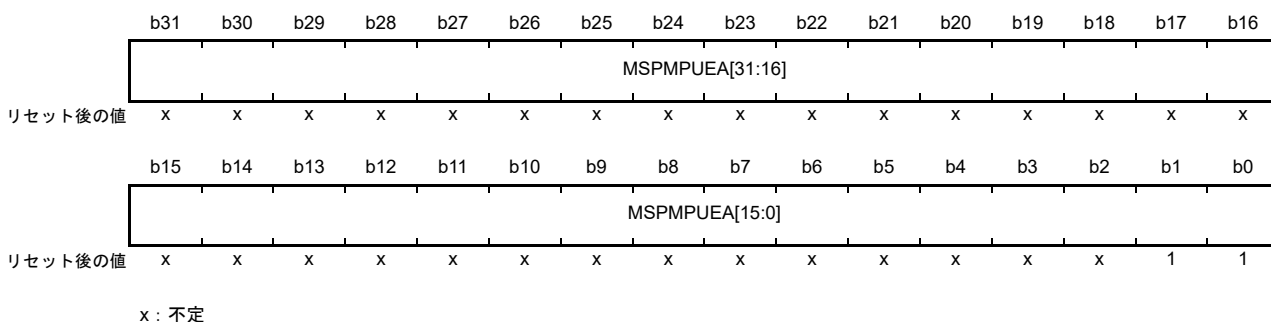


ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレスレジスタ	領域開始を判定するアドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く 1FF0 0000h ~ 200F FFFCh です。	R/W

MSPMPUSA レジスタと MSPMPUEA レジスタでは、SRAM の CPU スタック領域を指定します (対象は 1FF0 0000h ~ 200F FFFFh のうち、予約領域を除く領域です)。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください。

14.2.3.2 メインスタックポインタ (MSP) モニタ終了アドレスレジスタ (MSPMPUEA)

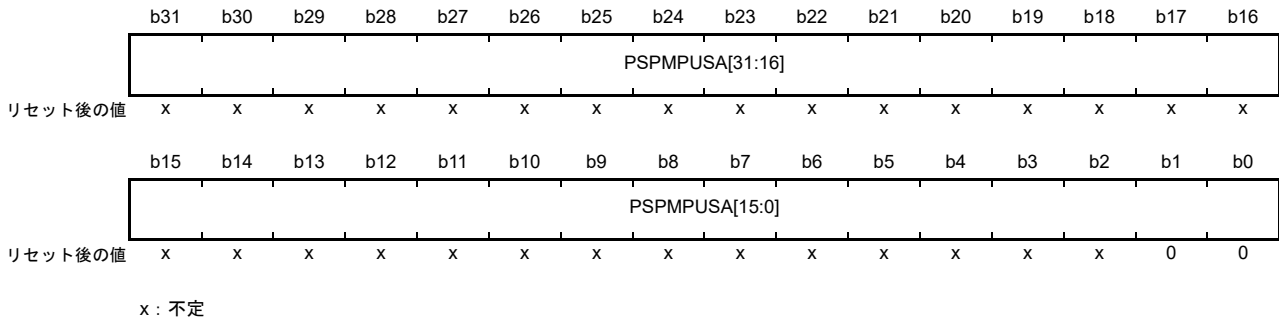
アドレス `SPMON.MSPMPUEA 4000 0D0Ch`



ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く 1FF0 0003h ~ 200F FFFFh です。	R/W

14.2.3.3 プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ (PSPMPUSA)

アドレス `SPMON.PSPMPUSA 4000 0D18h`

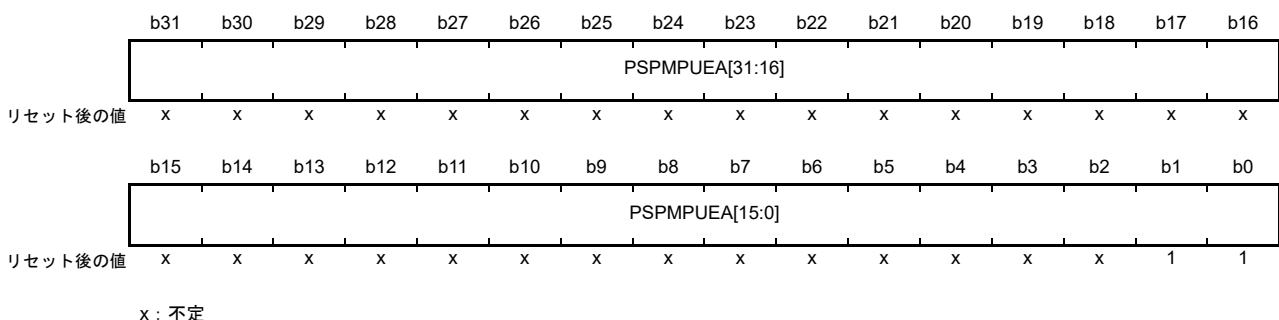


ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは0にしてください。値の範囲は、予約領域を除く 1FF0 0000h ~ 200F FFFCh です。	R/W

PSPMPUSA レジスタと **PSPMPUEA** レジスタでは、SRAM の CPU スタック領域を指定します (対象は 1FF0 0000h ~ 200F FFFFh のうち、予約領域を除く領域です)。カバーされる SRAM 領域については、[図 4.1](#) のメモリマップを参照してください。

14.2.3.4 プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ (PSPMPUEA)

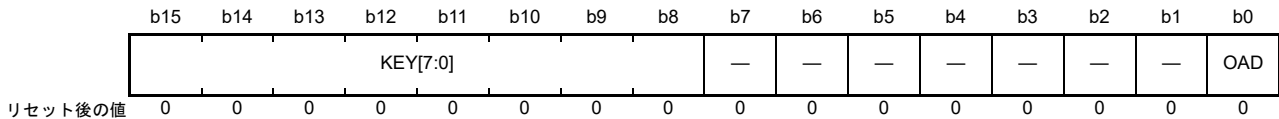
アドレス `SPMON.PSPMPUEA 4000 0D1Ch`



ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは1にしてください。値の範囲は、予約領域を除く 1FF0 0003h ~ 200F FFFFh です。	R/W

14.2.3.5 スタックポインタモニタ検出後動作レジスタ (MSPMPUOAD, PSPMPUOAD)

アドレス [SPMON.MSPMPUOAD 4000 0D00h](#), [SPMON.PSPMPUOAD 4000 0D10h](#)



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OAD ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

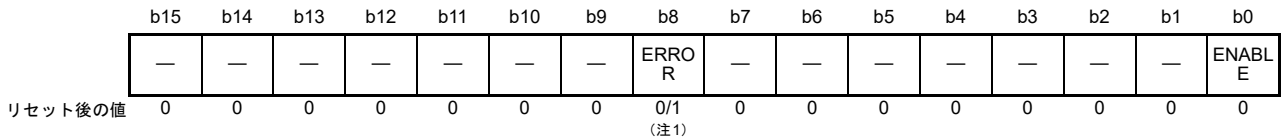
メインスタックポインタモニタとプロセススタックポインタモニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

14.2.3.6 スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL, PSPMPUCTL)

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0: スタックポインタにオーバーフロー／アンダーフローなし 1: スタックポインタにオーバーフロー／アンダーフローあり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 初期値はリセット発生要因によって異なります。

ENABLE ビット (スタックポインタモニタ有効)

スタックポインタモニタ機能を有効または無効にします。メインスタックポインタモニタとプロセススタックポインタモニタを個別に設定できます。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

ERROR ビット (スタックポインタモニタエラーフラグ)

スタックポインタモニタの状態を示します。各スタックポイントモニタは独立した ERROR ビットを持っています。

[1 になる条件]

- スタックポインタがアンダーフローまたはオーバーフローしたとき

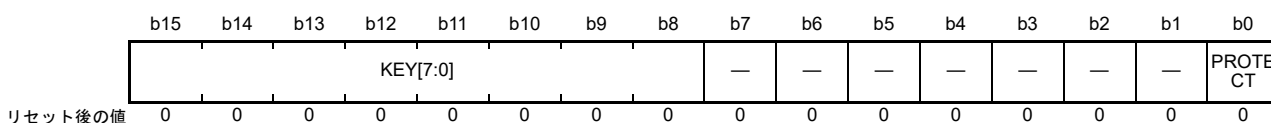
[0 になる条件]

- リセット時、または 0 を書き込んだとき

注. ERROR ビットには 0 のみ書けます。

14.2.3.7 スタックポインタモニタ保護レジスタ (MSPMPUPT, PSPMPUPT)

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: スタックポインタモニタ関連レジスタへの書き込みが可能 1: スタックポインタモニタ関連レジスタへの書き込みから保護 (読み出しは可能)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。メインスタックポインタモニタとプロセススタックポインタモニタをそれぞれ個別に設定できます。

MSPMPUPT.PROTECT ビットは、下記のメインスタックポインタ関連レジスタへの書き込みアクセスを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、下記のプロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。

PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0 が読み出されます。

14.3 Arm MPU

Arm MPU は 8 つの領域のメモリプロテクションユニットを備えており、下記の項目をサポートしています。

- 保護領域
- 保護領域のオーバーラップ (優先順位は昇順)
 - 7 = 最高優先順位
 - 0 = 最低優先順位
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、HardFault ハンドラが呼び出されます。詳細は、[14.7 参考資料](#)の・を参照してください。

14.4 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象にバスマスタがアクセスするアドレスを監視しています。

アクセス制御は、読み出し許可と書き込み許可からなり、最大 4 の領域に対して個別に設定が可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスの詳細については、「13. バス」の 13.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4) および 13.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4) を参照してください。

表 14.4 にバスマスタ MPU の仕様を、図 14.3 にブロック図を示します。

表 14.4 バスマスタ MPU の仕様

項目	内容
保護されるマスタグループ	バスマスタ MPU グループ A : DMA バス
保護領域	0000 0000h ~ FFFF FFFFh
領域数	バスマスタ MPU グループ A : 4 領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のメモリプロテクション有効/無効設定	対応する領域に対し、有効/無効を設定
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

図 14.3 に、バスマスタ MPU のブロック図を示します。

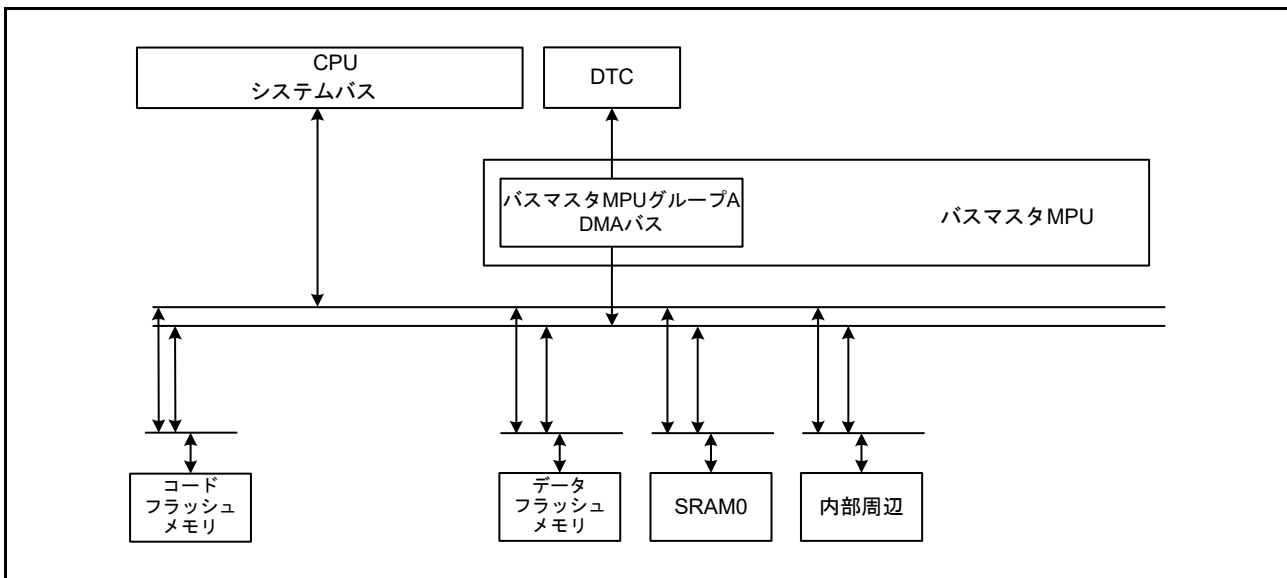


図 14.3 バスマスタ MPU のブロック図

図 14.4 に、バスマスタ MPU グループ A の構成を示します。

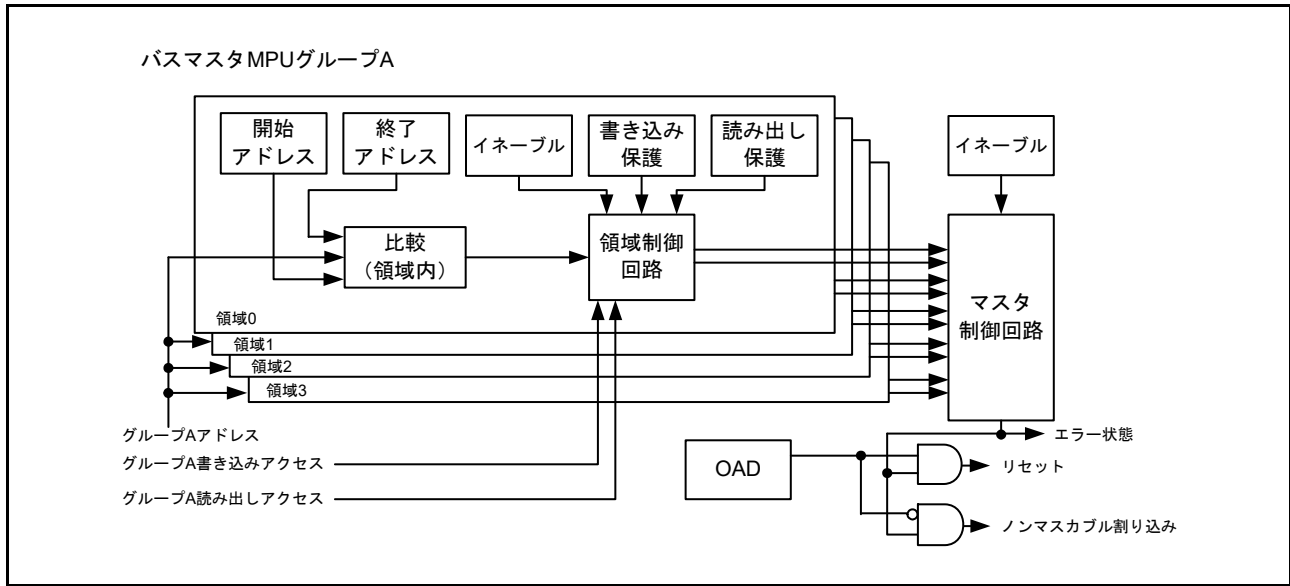


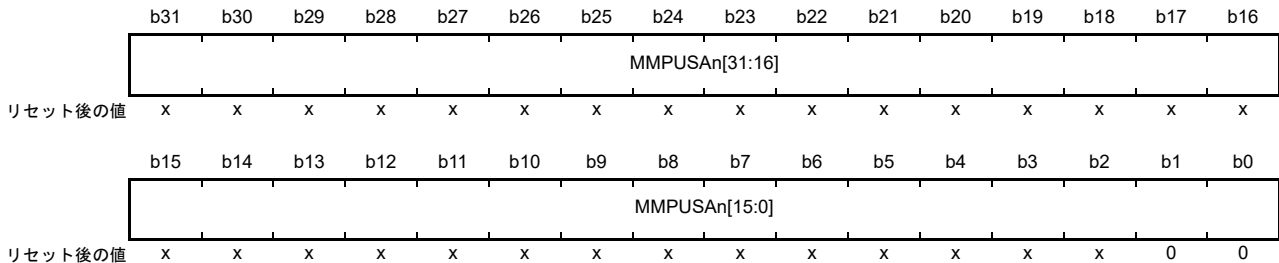
図 14.4 バスマスタ MPU グループ A の構成

14.4.1 レジスタの説明

注. バスアクセスを停止させてから、レジスタへの書き込み処理を行ってください。

14.4.1.1 グループ A 領域 n 開始アドレスレジスタ (MMPUSAn) (n = 0 ~ 3)

アドレス [MMPU.MMPUSA0 4000 0204h](#), [MMPU.MMPUSA1 4000 0214h](#), [MMPU.MMPUSA2 4000 0224h](#), [MMPU.MMPUSA3 4000 0234h](#)

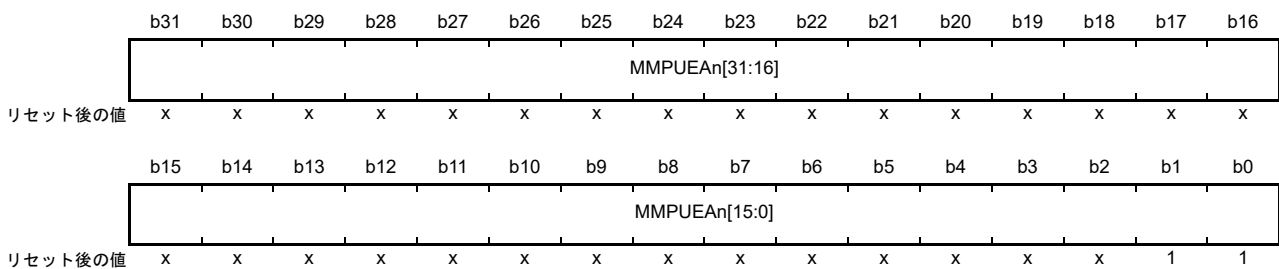


x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSAn[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

14.4.1.2 グループ A 領域 n 終了アドレスレジスタ (MMPUEAn) (n = 0 ~ 3)

アドレス [MMPU.MMPUEA0 4000 0208h](#), [MMPU.MMPUEA1 4000 0218h](#), [MMPU.MMPUEA2 4000 0228h](#), [MMPU.MMPUEA3 4000 0238h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEAn[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

14.4.1.3 グループ A 領域 n アクセスコントロールレジスタ (MMPUACAn) (n = 0 ~ 3)

アドレス [MMPU.MMPUACA0 4000 0200h](#), [MMPU.MMPUACA1 4000 0210h](#), [MMPU.MMPUACA2 4000 0220h](#), [MMPU.MMPUACA3 4000 0230h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0 : グループ A 領域 n ユニットの無効 1 : グループ A 領域 n ユニットの有効	R/W
b1	RP	読み出し保護	0 : 読み出し許可 1 : 読み出し保護	R/W
b2	WP	書き込み保護	0 : 書き込み許可 1 : 書き込み保護	R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ENABLE ビット、RP ビット、および WP ビットは、グループ A 領域 n ごとに個別に設定が可能です。

ENABLE ビット (領域有効)

グループ A 領域 n ユニットの有効または無効にします。

ENABLE ビットを 1 にした場合、MMPUSmn レジスタと MMPUEmn レジスタに設定した領域へのアクセスを、RP ビットと WP ビットで許可または保護することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n のアクセスに対して領域は指定されません。

RP ビット (読み出し保護)

グループ A 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

WP ビット (書き込み保護)

グループ A 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

表 14.5 領域制御回路の機能

MMPUACAn. ENABLE	MMPUACAn. RP	MMPUACAn. WP	アクセス	領域	グループA領域 nユニットの出力
0	—	—	読み出し	—	領域外
			書き込み		領域外
1	0	0	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
	0	1	読み出し	内部	許可領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
	1	0	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	許可領域
				外部	領域外
1	1	読み出し	内部	保護領域	
			外部	領域外	
		書き込み	内部	保護領域	
			外部	領域外	

n = 0 ~ 15

表 14.6 マスタ制御回路の機能

MMPUCTLA. ENABLE	グループA領域 0ユニットの出力	グループA領域 1ユニットの出力	グループA領域 2~3ユニットの出力	グループAの機能
1	保護領域	Don't care	Don't care	エラー発生
1	Don't care	保護領域	Don't care	エラー発生
1	Don't care	Don't care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

マスタ MPU エラーは下記の条件で発生します。

- MMPUCTLA.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
- MMPUCTLA.ENABLE = 1 で、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される

14.4.1.4 バスマスタ MPU コントロールレジスタ (MMPUCTLA)

アドレス MMPU.MMPUCTLA 4000 0000h



ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0: マスタグループAは無効 1: マスタグループAは有効	R/W
b1	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

ENABLE ビット (マスタグループ有効)

マスタグループ A のバスマスタ MPU 機能を有効または無効にします。本ビットが 1 になっていれば、MMPUACAn が利用可能です。本ビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACAn レジスタが使用できなくなります。ENABLE ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

OAD ビット (検出後の動作)

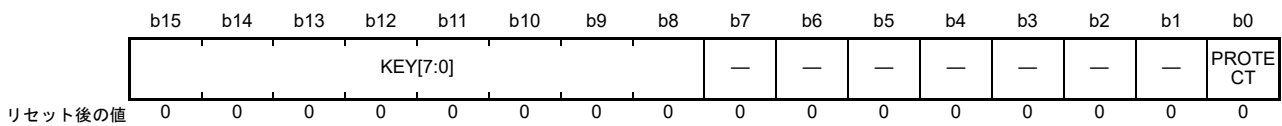
バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

14.4.1.5 グループ A レジスタ保護 (MMPUPTA)

アドレス `MMPU.MMPUPTA 4000 0102h`



ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0: 全バスマスタ MPU グループ A レジスタの書き込みを許可 1: 全バスマスタ MPU グループ A レジスタの書き込みを保護。 読み出しは可能	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。MMPUPTA.PROTECT ビットは、バスマスタ MPU グループ A 関連レジスタへの書き込み保護を制御します。下記のレジスタが MMPUPTA.PROTECT ビットで保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを設定する際は、同時にハーフワードアクセスを使って KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

14.4.2 機能説明

14.4.2.1 メモリプロテクション

バスマスタ MPU は、アクセス制御領域に対して個別に設定された制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 4 つの保護領域に対して設定することが可能です。保護領域には、許可領域と保護領域のオーバーラップした領域と、2 つの許可領域がオーバーラップした領域が含まれます。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、マスタグループに対してバスのアドレスをチェックし、マスタグループの全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、全領域が保護されます。各領域は、保護領域上に許可領域を設定します。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.5 に、バスマスタ MPU の使用例を示します。

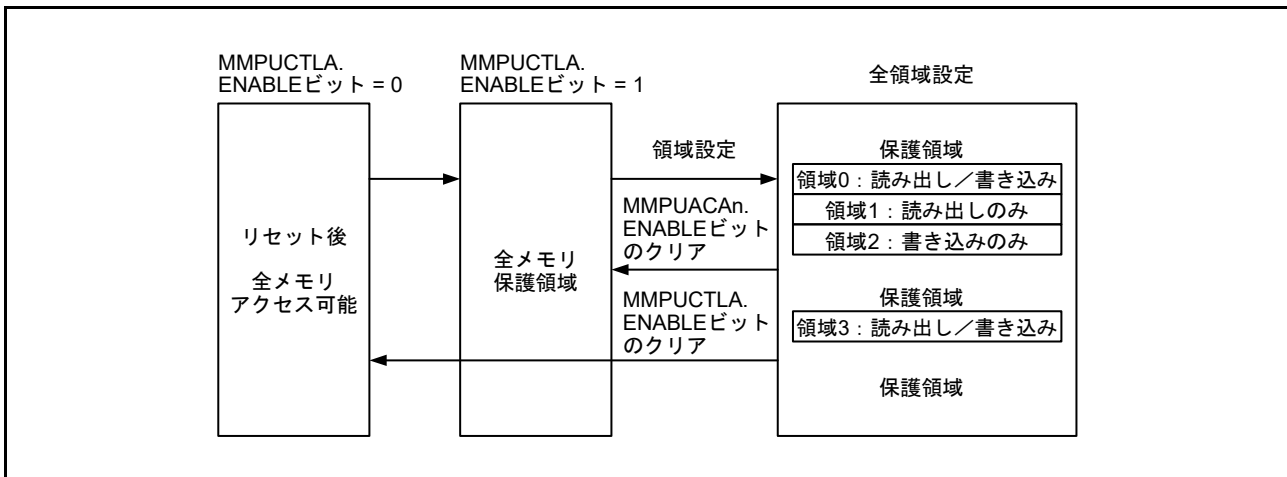


図 14.5 バスマスタ MPU の使用例

図 14.6 に、バスマスタ MPU のオーバーラップ領域に対するアクセスの許可または保護について示します。オーバーラップ領域に対するアクセス制御は以下のとおりです。

1. 1 つ以上の領域ユニットの出力が保護領域の場合、領域は保護領域として処理される
2. すべての領域ユニットの出力が領域外の場合、領域は保護領域として処理される
3. その他の場合は許可領域として処理される

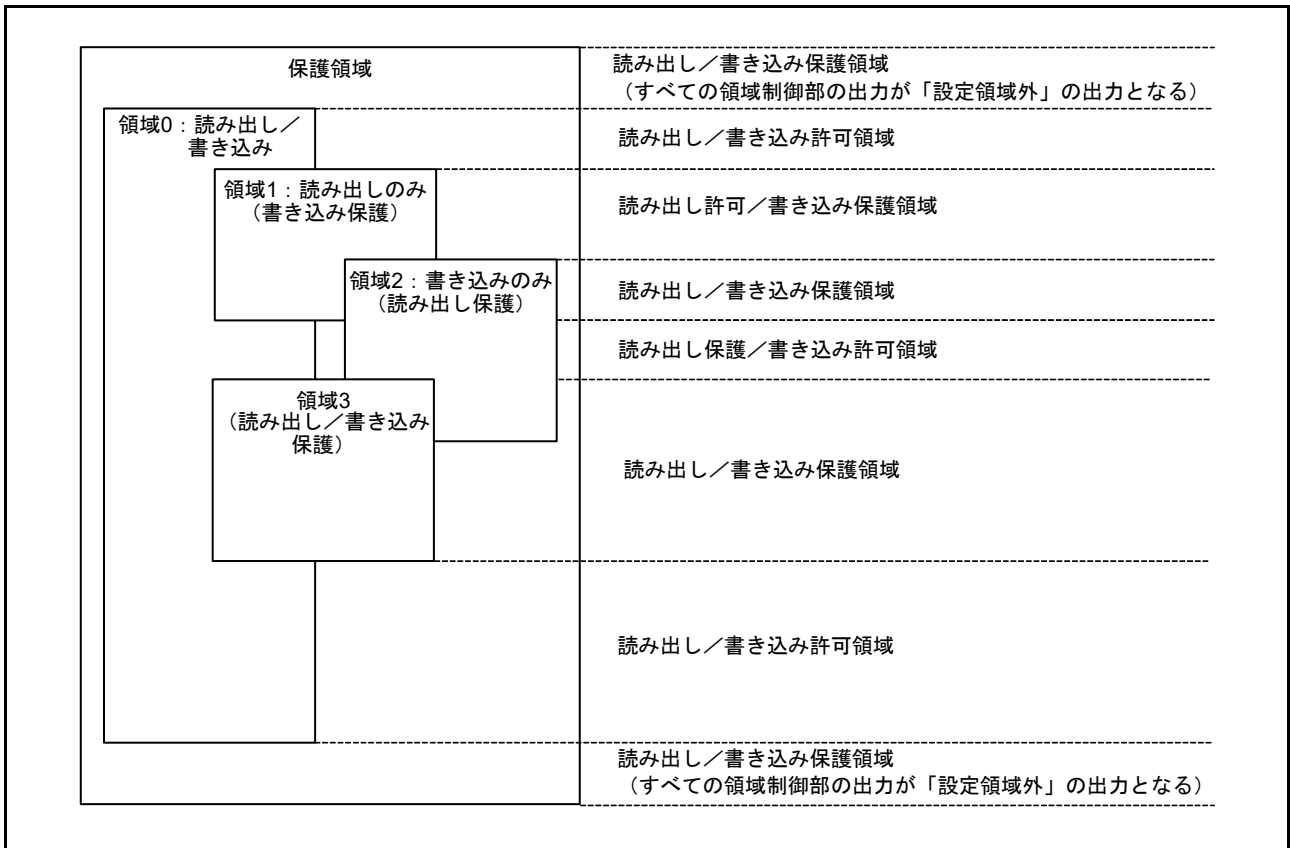


図 14.6 バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 14.7 に、リセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU を除く全マスタを停止してください。

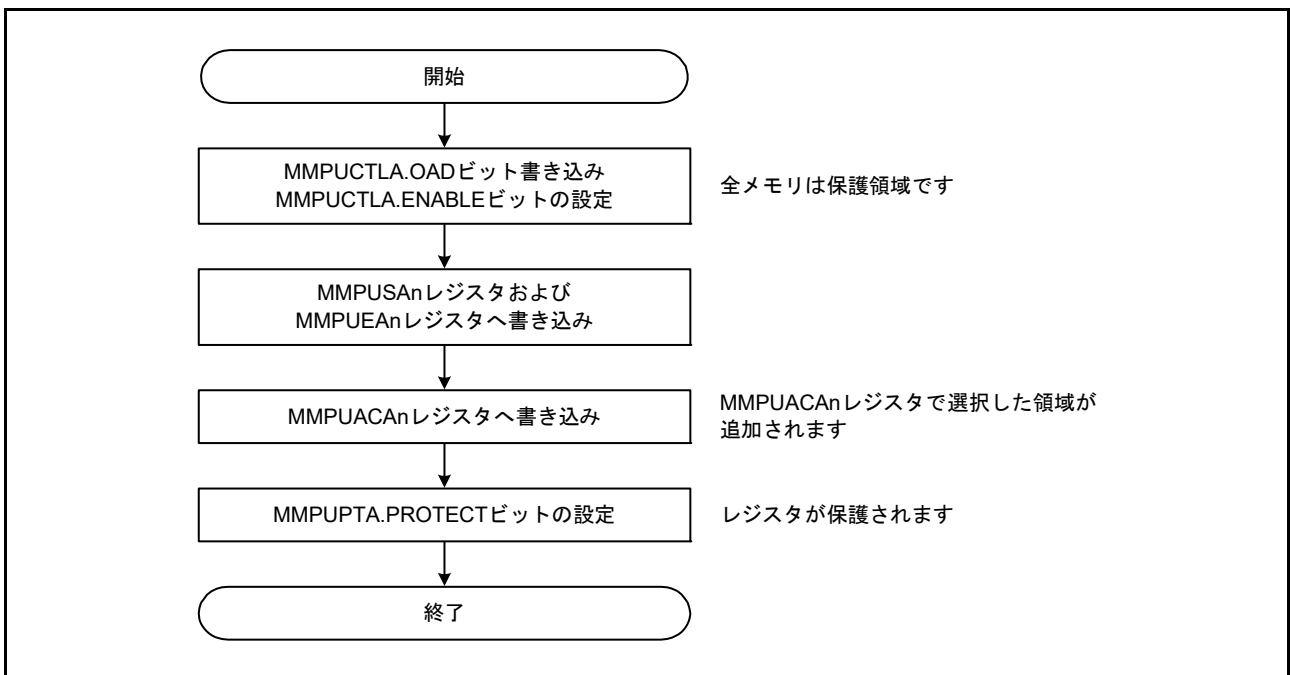


図 14.7 リセット後のレジスタ設定フロー

図 14.8 に、領域を追加するためのレジスタ設定フローを示します。本レジスタ設定中は、CPU を除く全マスタを停止してください。



図 14.8 領域追加のレジスタ設定フロー

14.4.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタを保護するには、MMPUPTA レジスタの PROTECT ビットを設定します。

14.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセット状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

14.5 バススレーブ MPU

バススレーブ MPU は、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。バススレーブ機能は、CPU バスマスタおよびバスマスタ MPU グループ A からアクセスできます。バススレーブ MPU は、2 つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスクابل割り込みを発生させ、バスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに格納できます。詳細は「13. バス」の 13.3.3 バスエラーアドレスレジスタ (BUSnERRADD) (n = 3, 4) および 13.3.4 バスエラーステータスレジスタ (BUSnERRSTAT) (n = 3, 4) を参照してください。各領域のアクセス制御情報は、読み出し許可と書き込み許可で構成されます。

表 14.7 にバススレーブ MPU の仕様を、図 14.9 にブロック図を示します。

表 14.7 バススレーブ MPU の仕様

項目	内容
バスマスタの保護	バスマスタ MPU グループ A : DMA バス
スレーブ機能の保護	メモリバス 1 : コードフラッシュメモリ メモリバス 4 : SRAM0 内部周辺バス 1 : システムコントロール関連の周辺モジュール 内部周辺バス 3 : CAC, ELC, I/O ポート, POEG, RTC, WDT, IWDT, IIC, CAN, ADC14, DOC, GPT, PWM 遅延生成回路, SCI, SPI, CRC 内部周辺バス 5 : KINT, AGT, USBFS, DALI, DAC8, OPAMP, ACMPHS, ACMPLP, CTSU 内部周辺バス 7 : セキュア IP (AES および TRNG) 内部周辺バス 9 : フラッシュメモリ (P/E 時) とデータフラッシュメモリ
各領域のアクセス制御情報設定	読み出し許可、書き込み許可
検出後の動作	リセットまたはノンマスクابل割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

バススレーブ MPU はそれぞれのバススレーブ側に配置され、各バスマスタから各バススレーブへのアクセスを許可または保護します。

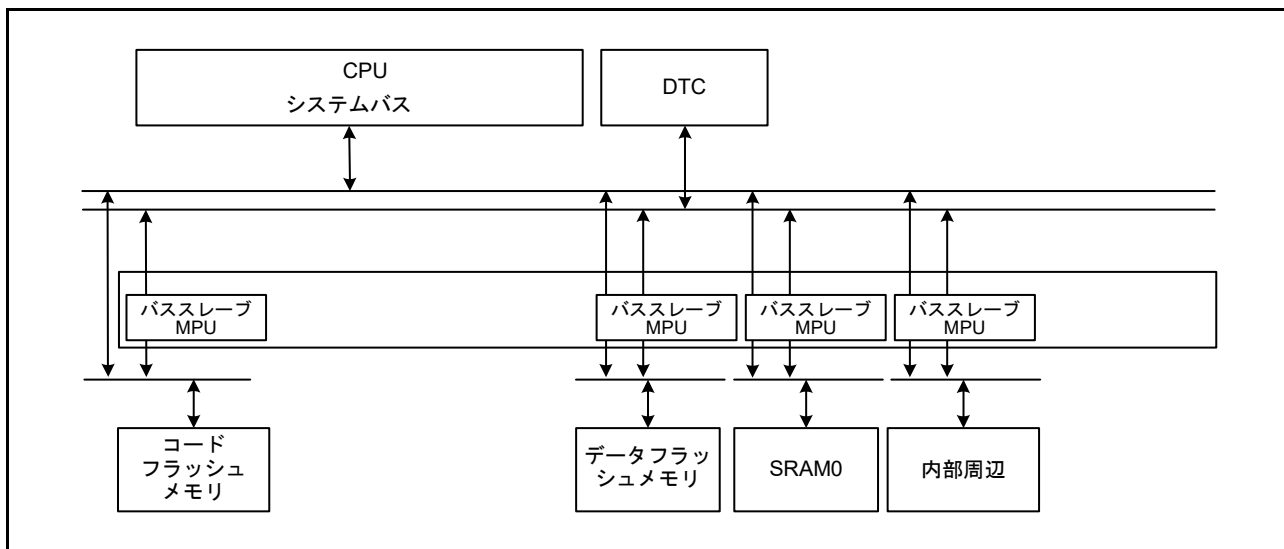


図 14.9 バススレーブ MPU のブロック図

14.5.1 レジスタの説明

注. MPUレジスタに書き込みを行う前に、バスアクセスを停止してください。

14.5.1.1 メモリバス 1 アクセスコントロールレジスタ (SMPUMBIU)

アドレス SMPU.SMPUMBIU 4000 0C10h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPGRPA ビット (マスタグループ A 読み出し保護)

メモリバス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

メモリバス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ (SMPUFBIU)

アドレス SMPU.SMPUFBIU 4000 0C14h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 9 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 9 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.3 メモリバス 4 アクセスコントロールレジスタ (SMPUSRAM0)

アドレス SMPU.SMPUSRAM0 4000 0C18h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

メモリバス 4 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

メモリバス 4 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

メモリバス 4 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

メモリバス 4 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.4 内部周辺バス 1 アクセスコントロールレジスタ (SMPUP0BIU)

アドレス SMPU.SMPUP0BIU 4000 0C20h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.5 内部周辺バス 3 アクセスコントロールレジスタ (SMPUP2BIU)

アドレス SMPU.SMPUP2BIU 4000 0C24h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 3 および内部周辺バス 5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 3 および内部周辺バス 5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

内部周辺バス 3 および内部周辺バス 5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 3 および内部周辺バス 5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.6 内部周辺バス 7 アクセスコントロールレジスタ (SMPUP6BIU)

アドレス SMPU.SMPUP6BIU 4000 0C28h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGRP A	WPCP U	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0: CPU読み出しのメモリプロテクションは無効 1: CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0: CPU書き込みのメモリプロテクションは無効 1: CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0: マスタグループA読み出しのメモリプロテクションは無効 1: マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0: マスタグループA書き込みのメモリプロテクションは無効 1: マスタグループA書き込みのメモリプロテクションは有効	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット (CPU 読み出し保護)

内部周辺バス 7 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット (CPU 書き込み保護)

内部周辺バス 7 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット (マスタグループ A 読み出し保護)

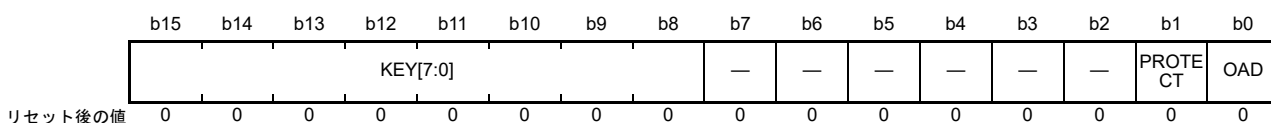
内部周辺バス 7 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット (マスタグループ A 書き込み保護)

内部周辺バス 7 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

14.5.1.7 スレーブ MPU コントロールレジスタ (SMPUCTL)

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0: ノンマスカブル割り込み 1: リセット	R/W
b1	PROTECT	レジスタの保護	0: 全バススレーブレジスタの書き込みを許可 1: 全バススレーブレジスタの書き込みを保護。読み出しは可能	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとPROTECTビットへの書き込みを許可または禁止します。	R/(W) (注1)

注 1. 書き込みデータは保持されません。

OAD ビット (検出後の動作)

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みを発生させます。OAD ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

PROTECT ビット (レジスタの保護)

保護するレジスタへの書き込みを許可または禁止します。下記のレジスタが SMPUCTL.PROTECT ビットで保護されます。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットを設定する際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット (キーコード)

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。A5h 以外の値を KEY[7:0] ビットに書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

14.5.2 機能説明

14.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、バススレーブによるアクセスがアクセス制御設定に違反していないか監視します。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、各アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WP) ビットまたは読み出し保護 (RP) ビットを 1 にすることで有効になります。

14.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

14.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

14.6 セキュリティ MPU

本 MCU には 4 つのセキュリティ領域を持つセキュリティ MPU を内蔵しています。セキュリティ領域は、非セキュアプログラムによるアクセスから保護されます。さらに、セキュリティ MPU は、コードフラッシュ、SRAM、および 2 つのセキュリティ機能を含む 4 つのセキュリティ領域を提供しています。

表 14.8 に、セキュリティ MPU の仕様を示します。

表 14.8 セキュリティ MPU の仕様

項目	内容
セキュリティ領域	コードフラッシュ、SRAM、2つのセキュリティ機能
保護領域	0000 0000h ~ FFFF FFFFh
領域数	プログラムカウンタ = 2領域、データアクセス = 4領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定
各領域のメモリプロテクション有効/無効設定	対応する領域に対し、有効/無効を設定

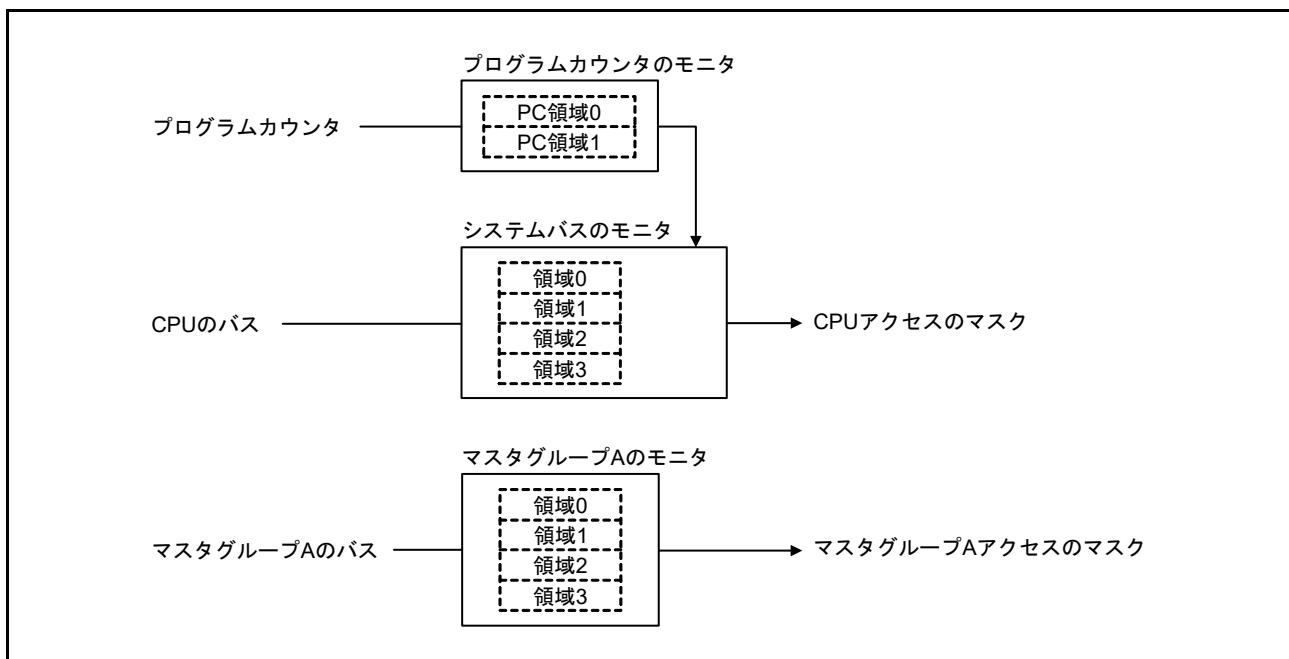


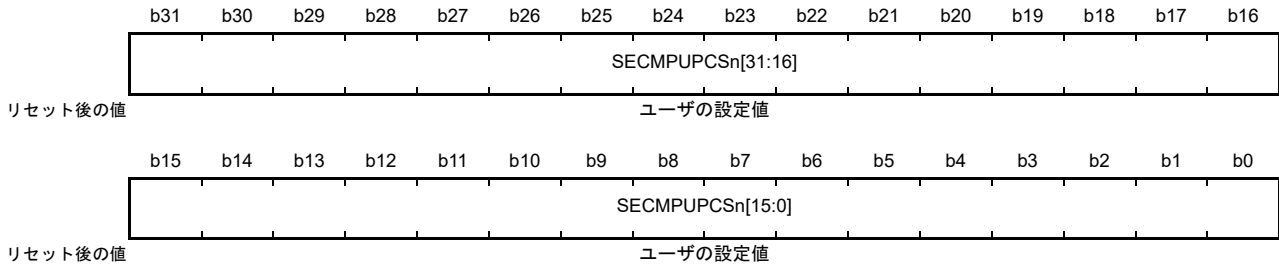
図 14.10 セキュリティ MPU のブロック図

14.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはコードフラッシュに配置されます。

14.6.1.1 セキュリティ MPU プログラムカウンタ開始アドレスレジスタ n (SECMPUPCSn) (n = 0, 1)

アドレス SECMPUPCS0 0000 0408h, SECMPUPCS1 0000 0410h



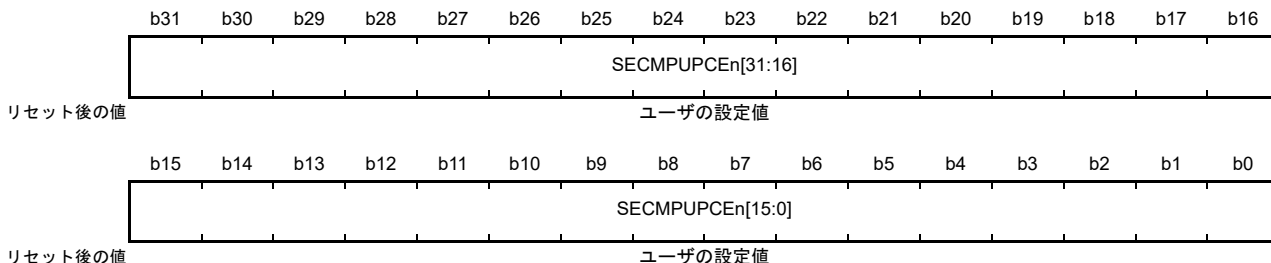
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUPCSn[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。書く場合、0としてください。値の範囲は、予約領域を除く 0000 0000h ~ 000F FFFCh または 1FF0 0000h ~ 200F FFFCh です。	R

SECMPUPCSn レジスタと SECMPUPCEn レジスタには、コードフラッシュ (予約領域を除く 0000 0000h ~ 000F FFFFh) または SRAM (予約領域を除く 1FF0 0000h ~ 200F FFFFh) のセキュリティフェッチ領域を指定してください。セキュアプログラムは、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで定義されたメモリ空間で実行され、SECMPUSm レジスタおよび SECMPUEm レジスタ (m = 0 ~ 3) で指定されたセキュアデータにアクセスできます。

非セキュアプログラム終了からセキュアプログラムまで、および非セキュアプログラムとセキュアプログラムの間隔は 12 バイトより大きく設定してください。

14.6.1.2 セキュリティ MPU プログラムカウンタ終了アドレスレジスタ n (SECMPUPCEn) (n = 0, 1)

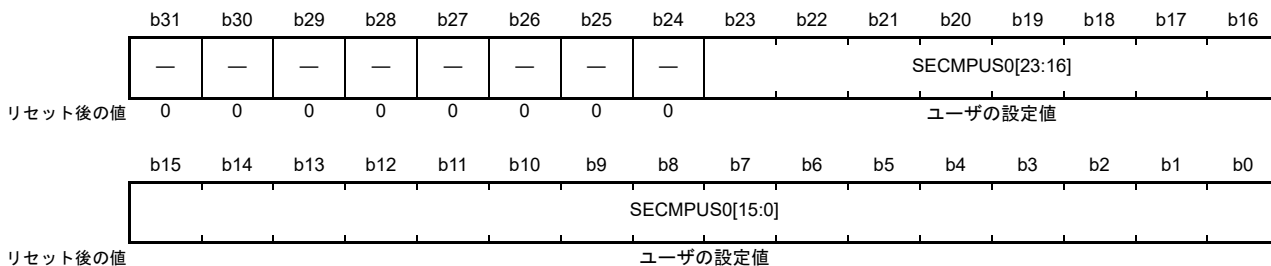
アドレス [SECMPUPCE0 0000 040Ch](#), [SECMPUPCE1 0000 0414h](#)



ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUPCEn[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 0000 0003h ~ 000F FFFFh または 1FF0 0003h ~ 200F FFFFh です。	R

14.6.1.3 セキュリティ MPU 領域 0 開始アドレスレジスタ (SECMPUS0)

アドレス [SECMPUS0 0000 0418h](#)



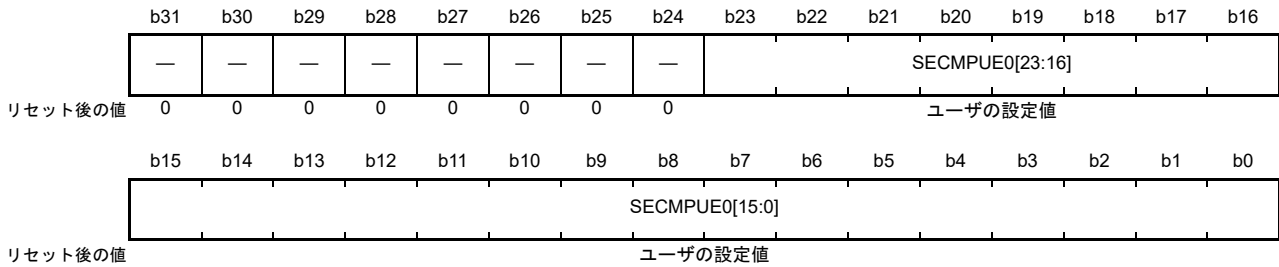
ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPUS0[23:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、予約領域を除く 0000 0000h ~ 000F FFFCh です。	R
b31-b24	—	予約ビット	読むと0が読めます。コードフラッシュに書き込む場合、0としてください。	R

SECMPUS0 レジスタと SECMPUE0 レジスタには、セキュアプログラムとフラッシュデータ（予約領域を除く 0000 0000h ~ 000F FFFFh）を設定してください。SECMPUS0 レジスタおよび SECMPUE0 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

ベクタテーブル領域の設定は禁止されています。

14.6.1.4 セキュリティ MPU 領域 0 終了アドレスレジスタ (SECMPUE0)

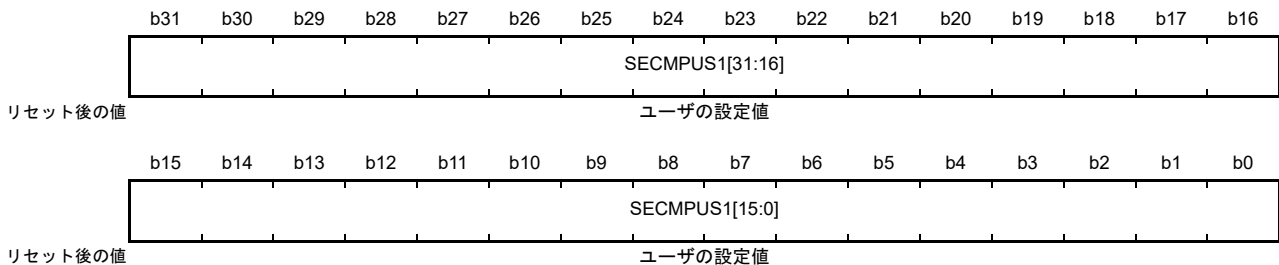
アドレス SECMPUE0 0000 041Ch



ビット	シンボル	ビット名	機能	R/W
b23-b0	SECMPUE0[23:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 0000 0003h ~ 000F FFFFh です。	R
b31-b24	—	予約ビット	読むと0が読めます。コードフラッシュに書き込む場合、0としてください。	R

14.6.1.5 セキュリティ MPU 領域 1 開始アドレスレジスタ (SECMPUS1)

アドレス SECMPUS1 0000 0420h



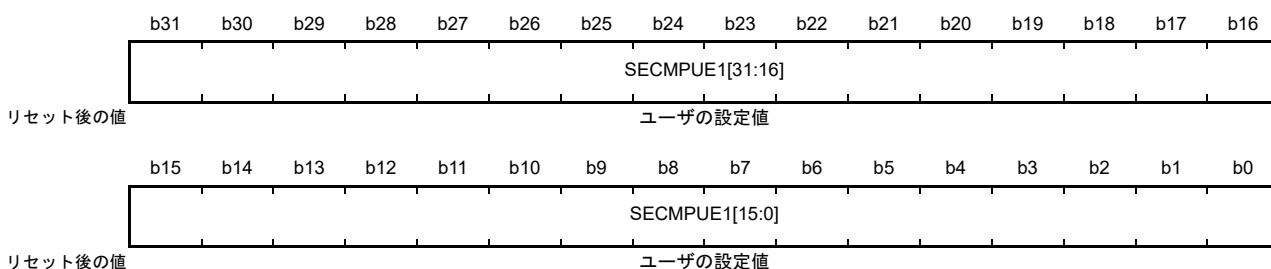
ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUS1[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、予約領域を除く 1FF0 0000h ~ 200F FFFCh です。	R

SECMPUS1 レジスタと SECMPUE1 レジスタには、SRAM のセキュアデータ (予約領域を除く 1FF0 0000h ~ 200F FFFFh) を設定してください。SECMPUS1 レジスタおよび SECMPUE1 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

スタック領域およびベクタテーブルの設定は禁止されています。

14.6.1.6 セキュリティ MPU 領域 1 終了アドレスレジスタ (SECMPUE1)

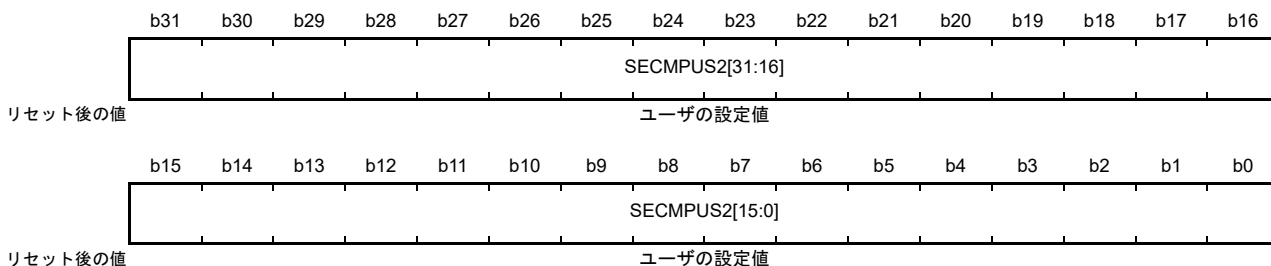
アドレス SECMPUE1 0000 0424h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE1[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、予約領域を除く 1FF0 0003h~200F FFFCh です。	R

14.6.1.7 セキュリティ MPU 領域 2 開始アドレスレジスタ (SECMPUS2)

アドレス SECMPUS2 0000 0428h

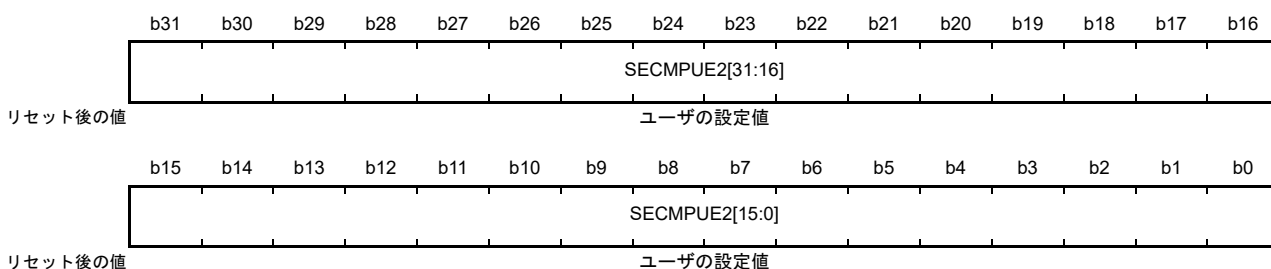


ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUS2[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、400C 0000h~400D FFFChおよび4010 0000h~407F FFFCh です。	R

SECMPUS2 および SECMPUE2 レジスタには、セキュリティ機能のセキュアデータ (400C 0000h ~ 400D FFFFh および 4010 0000h ~ 407F FFFFh) を指定します。SECMPUS2 レジスタおよび SECMPUE2 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

14.6.1.8 セキュリティ MPU 領域 2 終了アドレスレジスタ (SECMPUE2)

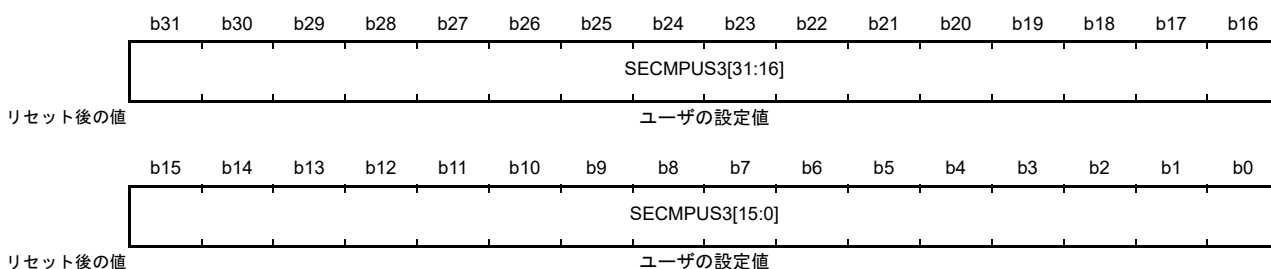
アドレス SECMPUE2 0000 042Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE2[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、400C 0003h～400D FFFFhおよび4010 0003h～407F FFFFhです。	R

14.6.1.9 セキュリティ MPU 領域 3 開始アドレスレジスタ (SECMPUS3)

アドレス SECMPUS3 0000 0430h

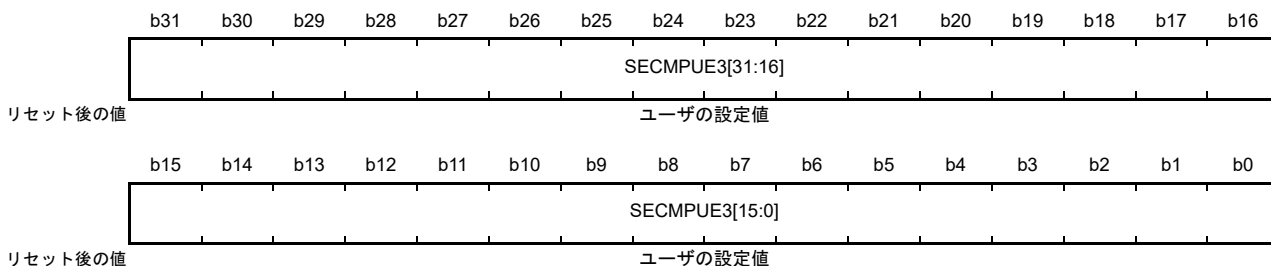


ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUS3[31:0]	領域開始アドレスレジスタ	領域判定に使用する領域開始アドレス。 下位2ビットは読むと0が読めます。コードフラッシュに書き込む場合、0としてください。値の範囲は、400C 0000h～400D FFFChおよび4010 0000h～407F FFFChです。	R

SECMPUS3 および SECMPUE3 レジスタには、セキュリティ機能のセキュアデータ (400C 0000h～400D FFFFh および 4010 0000h～407F FFFFh) を指定します。SECMPUS3 レジスタおよび SECMPUE3 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで設定されたセキュアプログラムからのみアクセス可能です。

14.6.1.10 セキュリティ MPU 領域 3 終了アドレスレジスタ (SECMPUE3)

アドレス SECMPUE3 0000 0434h



ビット	シンボル	ビット名	機能	R/W
b31-b0	SECMPUE3[31:0]	領域終了アドレスレジスタ	領域判定に使用する領域終了アドレス。 下位2ビットは読むと1が読めます。コードフラッシュに書き込む場合、1としてください。値の範囲は、400C 0003h~400D FFFFhおよび4010 0003h~407F FFFFhです。	R

14.6.1.11 セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC)

アドレス SECMPUAC 0000 0438h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DISPC 1	DISPC 0	—	—	—	—	DIS3	DIS2	DIS1	DIS0
リセット後の値	1	1	1	1	1	1	ユーザの設定値	ユーザの設定値	1	1	1	1	ユーザの設定値	ユーザの設定値	ユーザの設定値	ユーザの設定値

ビット	シンボル	ビット名	機能	R/W
b0	DIS0	領域0無効	0: セキュリティ MPUの領域0は有効 1: セキュリティ MPUの領域0は無効	R
b1	DIS1	領域1無効	0: セキュリティ MPUの領域1は有効 1: セキュリティ MPUの領域1は無効	R
b2	DIS2	領域2無効	0: セキュリティ MPUの領域2は有効 1: セキュリティ MPUの領域2は無効	R
b3	DIS3	領域3無効	0: セキュリティ MPUの領域3は有効 1: セキュリティ MPUの領域3は無効	R
b7-b4	—	予約ビット	読むと1が読めます。コードフラッシュに書き込む場合、1としてください。	R
b8	DISPC0	PC領域0無効	0: セキュリティ MPUのPC領域0は有効 1: セキュリティ MPUのPC領域0は無効	R
b9	DISPC1	PC領域1無効	0: セキュリティ MPUのPC領域1は有効 1: セキュリティ MPUのPC領域1は無効	R
b15-b10	—	予約ビット	読むと1が読めます。コードフラッシュに書き込む場合、1としてください。	R

注. フラッシュメモリが消去されると、セキュリティ MPU は無効になります。

注. セキュリティ MPU を有効または無効にするには、14.6.2 メモリプロテクションを参照してください。

DIS0 ビット (領域 0 無効)

セキュリティ MPU の領域 0 を有効または無効にします。セキュリティ MPU の領域 0 を有効にすると、SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内のコードフラッシュ領域がセキュアデータとなります。

DIS1 ビット (領域 1 無効)

セキュリティ MPU の領域 1 を有効または無効にします。セキュリティ MPU の領域 1 を有効にすると、SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内の SRAM 領域がセキュアデータとなります。

DIS2 ビット (領域 2 無効)

セキュリティ MPU の領域 2 を有効または無効にします。セキュリティ MPU の領域 2 を有効にすると、SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DIS3 ビット (領域 3 無効)

セキュリティ MPU の領域 3 を有効または無効にします。セキュリティ MPU の領域 3 を有効にすると、SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

DISPC0 ビット (PC 領域 0 無効)

セキュリティ MPU の PC 領域 0 を有効または無効にします。セキュリティ MPU の PC 領域 0 を有効にすると、SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域がセキュアプログラムとなります。

DISPC1 ビット (PC 領域 1 無効)

セキュリティ MPU の PC 領域 1 を有効または無効にします。セキュリティ MPU の PC 領域 1 を有効にすると、SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内のコードフラッシュ領域または SRAM 領域がセキュアプログラムとなります。

14.6.2 メモリプロテクション

セキュリティ MPU は、セキュアプログラム以外のプログラムからアクセスできないようにセキュアメモリ (コードフラッシュ、SRAM、セキュリティ機能) を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU を有効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。

セキュリティ MPU を無効にする場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2 および DIS3 ビットをすべて 1 にする必要があります。セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定は禁止です。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DTC) からアクセスされる時
- セキュアデータがデバッガからアクセスされる時

セキュアデータがセキュアプログラムからアクセスされる時

注. **セキュアプログラム:** SECMPUPCS0 と SECMPUPCE0 で設定された範囲内にあるコードフラッシュまたは SRAM の領域
 SECMPUPCS1 と SECMPUPCE1 で設定された範囲内にあるコードフラッシュまたは SRAM の領域

非セキュアプログラム: セキュアプログラム領域外の全領域

セキュアデータ: - SECMPUS0 と SECMPUE0 で設定された範囲内にあるコードフラッシュ領域
 - SECMPUS1 と SECMPUE1 で設定された範囲内にある SRAM 領域
 - SECMPUS2 と SECMPUE2 で設定された範囲内にあるセキュリティ機能領域
 - SECMPUS3 と SECMPUE3 で設定された範囲内にあるセキュリティ機能領域

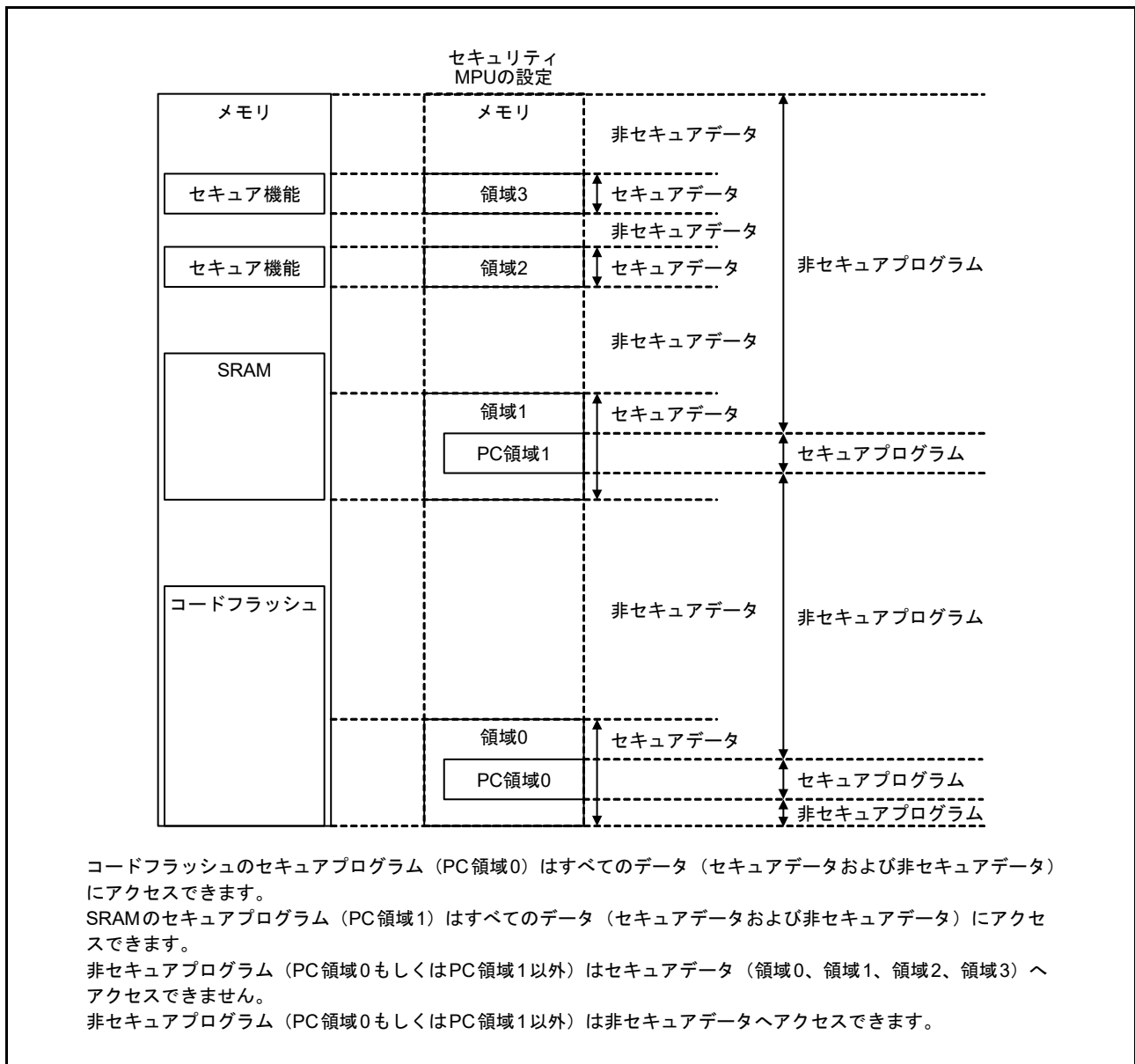


図 14.11 セキュリティ MPU の使用例

14.6.3 デバッグに関する注意事項

セキュリティ MPU を有効にすると、保護されたメモリをデバッグできません。セキュアプログラムをデバッグするには、セキュリティ MPU を無効にしてください。

14.7 参考資料

- ARM®v6-M Architecture Reference Manual (ARM DDI 0419C)
- ARM® Cortex®-M0+ Processor Technical Reference Manual (ARM DDI 0484C)
- ARM® Cortex®-M0+ Devices Generic User Guide (ARM DUI 0662B)

15. データトランスファコントローラ (DTC)

15.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。
表 15.1 に DTC の仕様を、図 15.1 にブロック図を示します。

表 15.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データを転送 リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット (1024バイト) 転送可能 ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット= 1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数データの転送が可能 (チェーン転送) チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> 0000 0000h ~ FFFF FFFFhのうち予約領域を除く4Gバイトの領域
データ転送単位	<ul style="list-style-type: none"> 1データ: 1バイト (8ビット)、1ハーフワード (16ビット)、1ワード (32ビット) 1ブロックサイズ: 1~256データ
CPU割り込み要因	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後 (ブロックの場合は1ブロック転送後) にイベントリンク要求を発生
リードスキップ	転送情報の読み出しをスキップ可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、転送情報のライトバックをスキップ可能
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

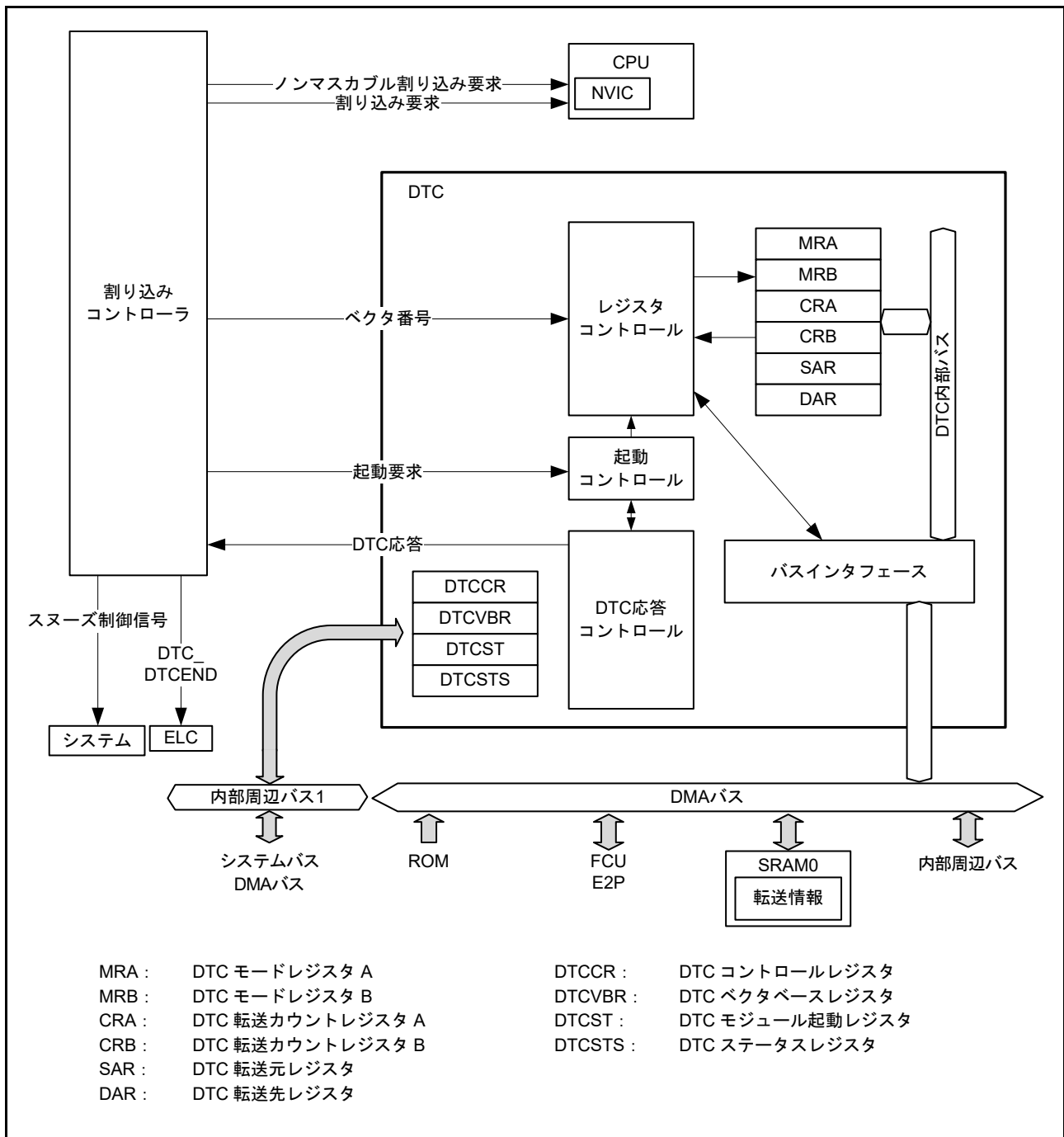


図 15.1 DTC のブロック図

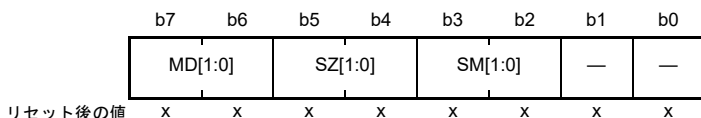
DTC と NVIC (CPU 内) の接続関係については、「12. 割り込みコントローラユニット (ICU)」の概要を参照してください。

15.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

15.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可。15.3.1 を参照してください)



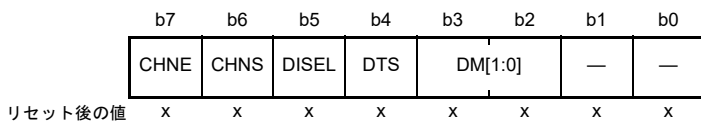
x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 0 1: SARレジスタはアドレス固定 (SARレジスタへのライトバックをスキップ) 1 0: 転送後SARレジスタをインクリメント (SZ[1:0]ビット = 00bのとき+1、01bのとき+2、 10bのとき+4) 1 1: 転送後SARレジスタをデクリメント (SZ[1:0]ビット = 00bのとき-1、01bのとき-2、 10bのとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズ	b5 b4 0 0: バイト (8ビット) 転送 0 1: ハーフワード (16ビット) 転送 1 0: ワード (32ビット) 転送 1 1: 設定禁止	—
b7-b6	MD[1:0]	DTC転送モード選択	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 03h) にアクセス可能なので、DTC によって MRA レジスタから (および MRA レジスタへ) 自動的に転送されます。15.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

15.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可。15.3.1を参照してください)



x: 不定

ビット	シンボル	ビット名	機能	R/W															
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	—															
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	<table border="0"> <tr> <td style="padding-right: 10px;">b3</td> <td style="padding-right: 10px;">b2</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)</td> </tr> <tr> <td>0</td> <td>1</td> <td>DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)</td> </tr> <tr> <td>1</td> <td>0</td> <td>転送後DARレジスタをインクリメント (MRA.SZ[1:0]ビット = 00bのとき+1、01bのとき+2、10bのとき+4)</td> </tr> <tr> <td>1</td> <td>1</td> <td>転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビット = 00bのとき-1、01bのとき-2、10bのとき-4)</td> </tr> </table>	b3	b2		0	0	DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)	0	1	DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)	1	0	転送後DARレジスタをインクリメント (MRA.SZ[1:0]ビット = 00bのとき+1、01bのとき+2、10bのとき+4)	1	1	転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビット = 00bのとき-1、01bのとき-2、10bのとき-4)	—
b3	b2																		
0	0	DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)																	
0	1	DARレジスタはアドレス固定 (DARレジスタへのライトバックをスキップ)																	
1	0	転送後DARレジスタをインクリメント (MRA.SZ[1:0]ビット = 00bのとき+1、01bのとき+2、10bのとき+4)																	
1	1	転送後DARレジスタをデクリメント (MRA.SZ[1:0]ビット = 00bのとき-1、01bのとき-2、10bのとき-4)																	
b4	DTS	DTC転送モード選択	0: 転送先がリポート領域またはブロック領域 1: 転送元がリポート領域またはブロック領域	—															
b5	DISEL	DTC割り込み選択	0: 指定されたデータ転送の終了時、CPUへの割り込み要求が発生 1: DTCデータ転送のたびに、CPUへの割り込み要求が発生	—															
b6	CHNS	DTCチェーン転送選択	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—															
b7	CHNE	DTCチェーン転送許可	0: チェーン転送禁止 1: チェーン転送許可	—															

MRBレジスタは、CPUから直接アクセスすることはできません。CPUはSRAM領域 (転送情報 (n) の開始アドレス + 02h) にアクセス可能なので、DTCによってMRBレジスタから (およびMRBレジスタへ) 自動的に転送されます。15.3.1 転送情報の配置とDTCベクタテーブルを参照してください。

DTSビット (DTC転送モード選択)

リポート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリポート領域またはブロック領域に指定します。

CHNSビット (DTCチェーン転送選択)

チェーン転送の条件を選択します。CHNEビットが0のとき、CHNSビットの設定は無視されます。チェーン転送の条件については、表 15.3 チェーン転送の条件を参照してください。

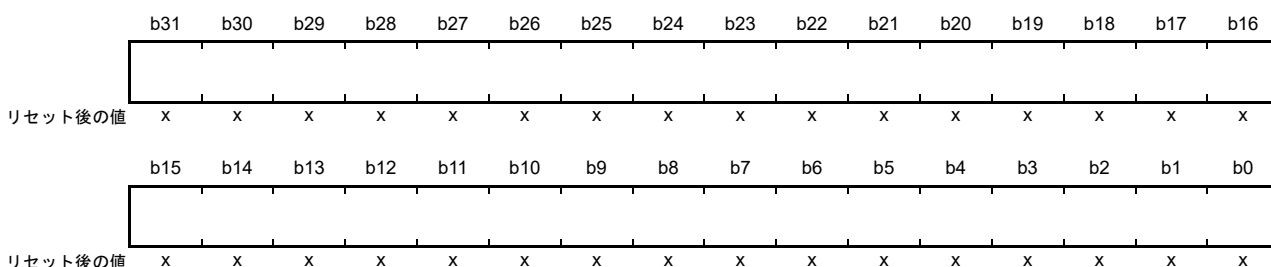
次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPUへの割り込み要求は発生しません。

CHNEビット (DTCチェーン転送許可)

チェーン転送を許可します。チェーン転送条件の選択は、CHNSビットで行います。チェーン転送の詳細については、15.4.6 チェーン転送を参照してください。

15.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可。15.3.1を参照してください)



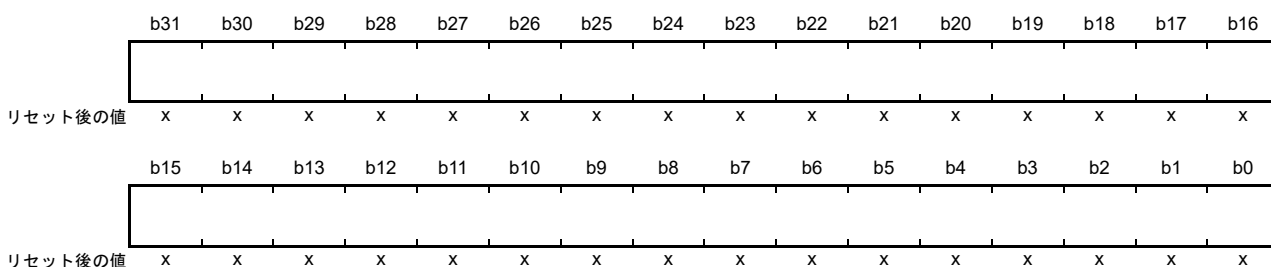
x: 不定

SAR レジスタは転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 04h) にアクセス可能なので、DTC によって SAR レジスタから (および SAR レジスタへ) 自動的に転送されます。15.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注. DTC 転送では、アドレスの不整合は禁止です。

15.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可。15.3.1を参照してください)



x: 不定

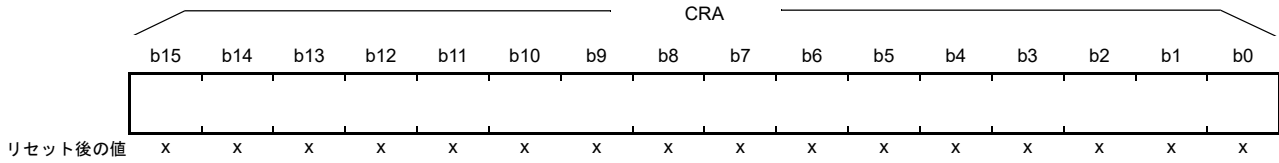
DAR レジスタは転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 08h) にアクセス可能なので、DTC によって DAR レジスタから (および DAR レジスタへ) 自動的に転送されます。15.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。DTC 転送では、アドレスの不整合は禁止されます。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット [1] またはビット [0] は 0 でなければいけません。

注. DTC 転送では、アドレスの不整合は禁止です。

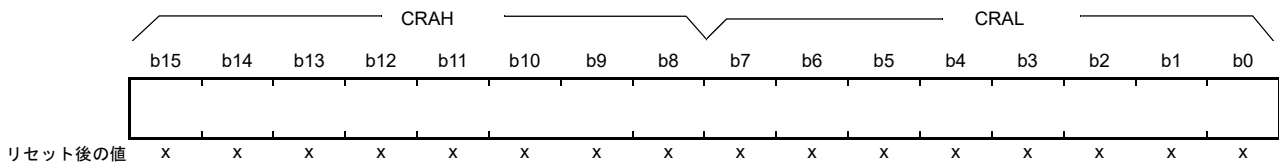
15.2.5 DTC 転送カウントレジスタ A (CRA)

アドレス (CPUから直接アクセス不可。15.3.1を参照してください)

- ノーマル転送モード



- リピート転送モード/ブロック転送モード



x: 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0eh) にアクセス可能なので、DTC によって CRA レジスタから (および CRA レジスタへ) 自動的に転送されます。15.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

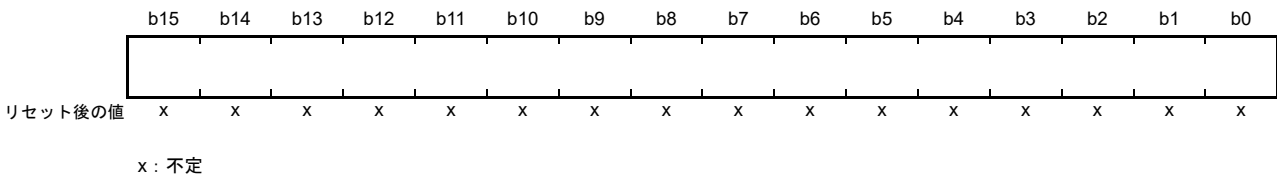
リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

15.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可。15.3.1を参照してください)

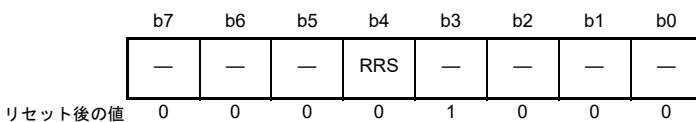


CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65535 回、0000h のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス + 0ch) にアクセス可能なので、DTC によって CRB レジスタから (および CRB レジスタへ) 自動的に転送されます。15.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

15.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 4000 5400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC 転送情報リードスキップ許可	0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RRS ビット (DTC 転送情報リードスキップ許可)

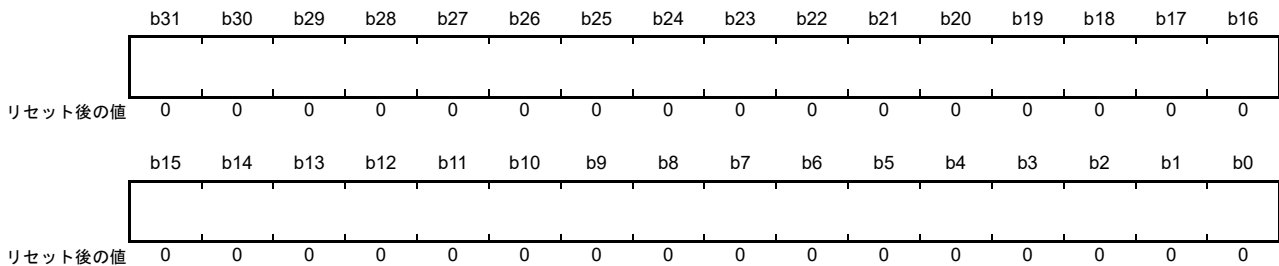
ベクタ番号が一致したとき、転送情報のリードスキップを許可します。

DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致して RRS ビットが 1 になっているときは、転送情報の読み出しを行わずに DTC のデータ転送を行います。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

15.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス [DTC.DTCVBR 4000 5404h](#)

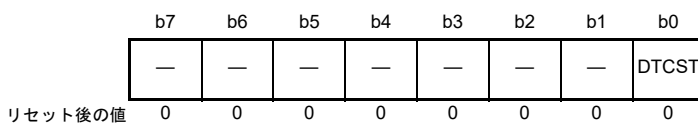


ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定（下位10ビットは0にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ~ FFFF FFFFh (4G バイト) の範囲内で 1K バイト単位の設定が可能です。

15.2.9 DTC モジュール起動レジスタ (DTCST)

アドレス [DTC.DTCST 4000 540Ch](#)



ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTCST ビット (DTC モジュール起動)

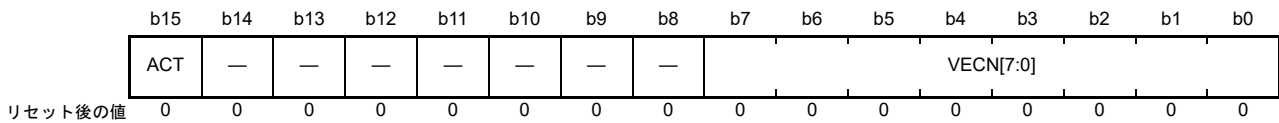
DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

モジュールストップ状態へ遷移する場合や、スリープモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する場合は、事前に DTCST ビットを 0 にする必要があります。

これらの遷移については、[15.10 モジュールストップ機能](#)と「[10. 低消費電力モード](#)」を参照してください。

15.2.10 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 4000 540Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタ	DTC転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC転送動作中（ACTフラグが1の場合）にのみ有効 です。	R
b14-b8	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタ)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0] の値は無効です。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

15.3 起動要因

DTC は割り込み要求によって起動します。ICU の ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSR の選択出力番号 n ($n=0 \sim 31$) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[7:0] ($n=0 \sim 31$) によって選択されます。

ICU.IELSRn.IELS[7:0] ($n=0 \sim 31$) の設定方法については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の表 12.4 イベントテーブルを参照してください。ソフトウェアによる起動については、[16.2.2 イベントリンクソフトウェアイベント発生レジスタ \$n\$ \(ELSEGRn\) \(\$n=0, 1\$ \)](#) を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その 1 回の要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けられません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

15.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス (開始アドレス) は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス +4n 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を [図 15.2](#) に示します。SRAM 領域上の転送情報の配置を [図 15.3](#) に示します。

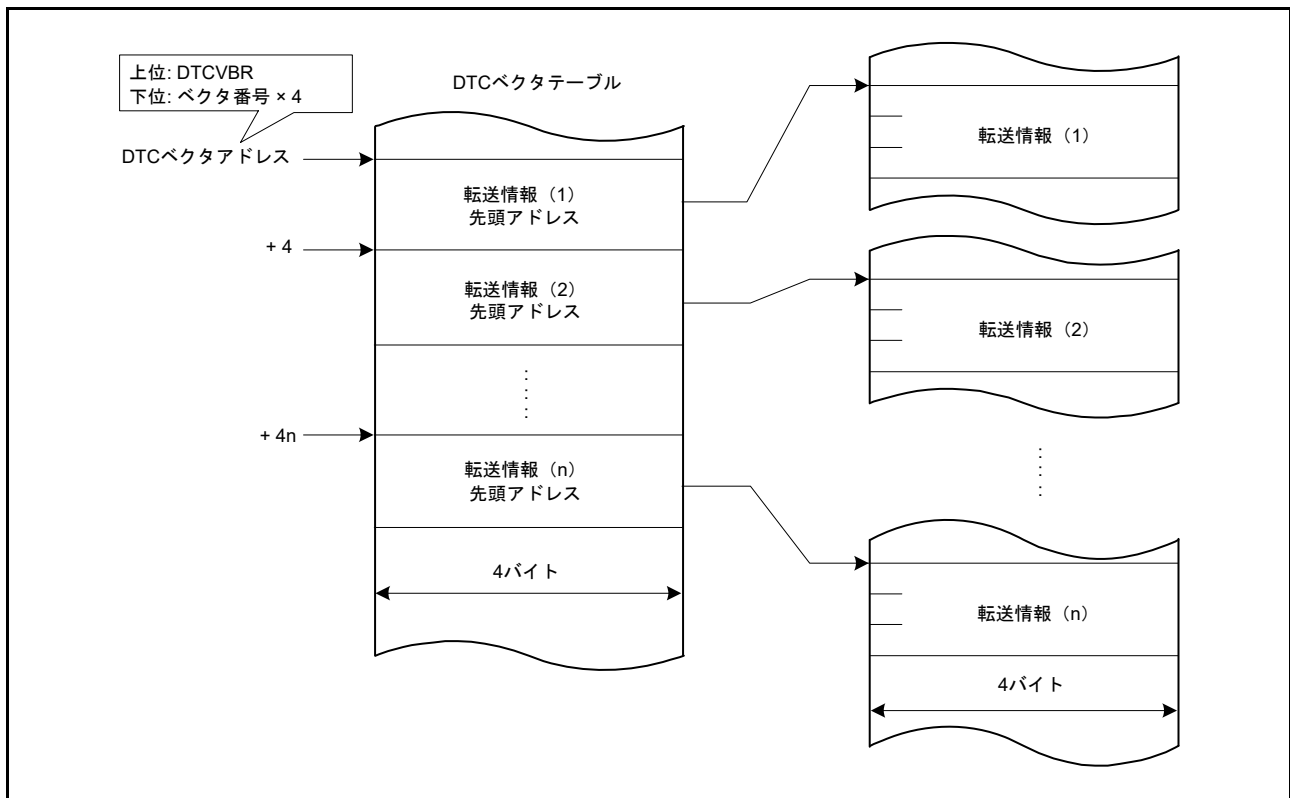


図 15.2 DTC ベクタテーブルと転送情報の対応

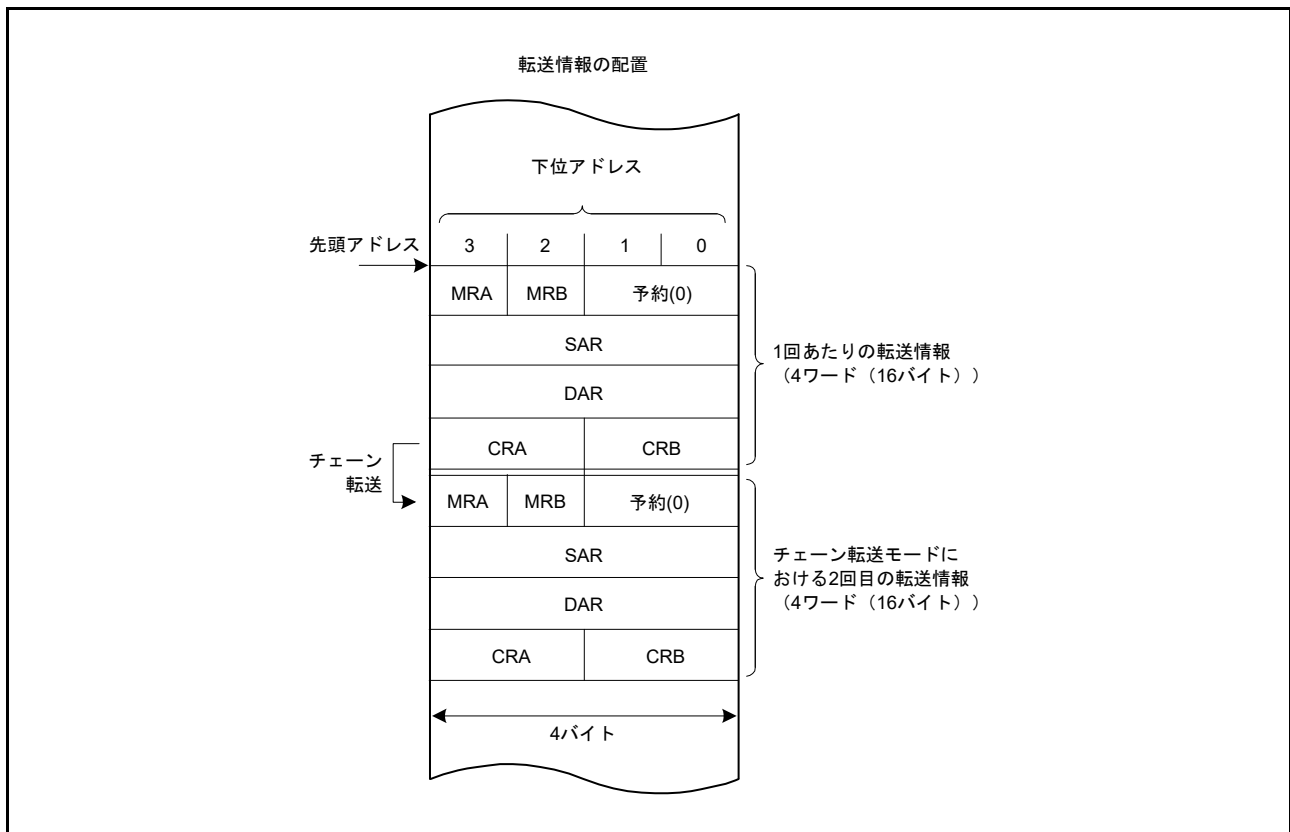


図 15.3 SRAM 領域上の転送情報の配置

15.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。DTC は、DTC ベクタで参照される転送情報格納アドレスから転送情報を読み出した後、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを [表 15.2](#) に示します。

表 15.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト (8ビット) / 1ハーフワード (16ビット) / 1ワード (32ビット)	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト / 1～256ハーフワード (2～512バイト) / 1～256ワード (4～1024バイト))	1、2、4ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536回

- 注 1. 転送元または転送先のいずれかをリピート領域に設定します。
 注 2. 転送元または転送先のいずれかをブロック領域に設定します。
 注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC の動作フローチャートを [図 15.4](#) に示します。チェーン転送の条件を [表 15.3](#) に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

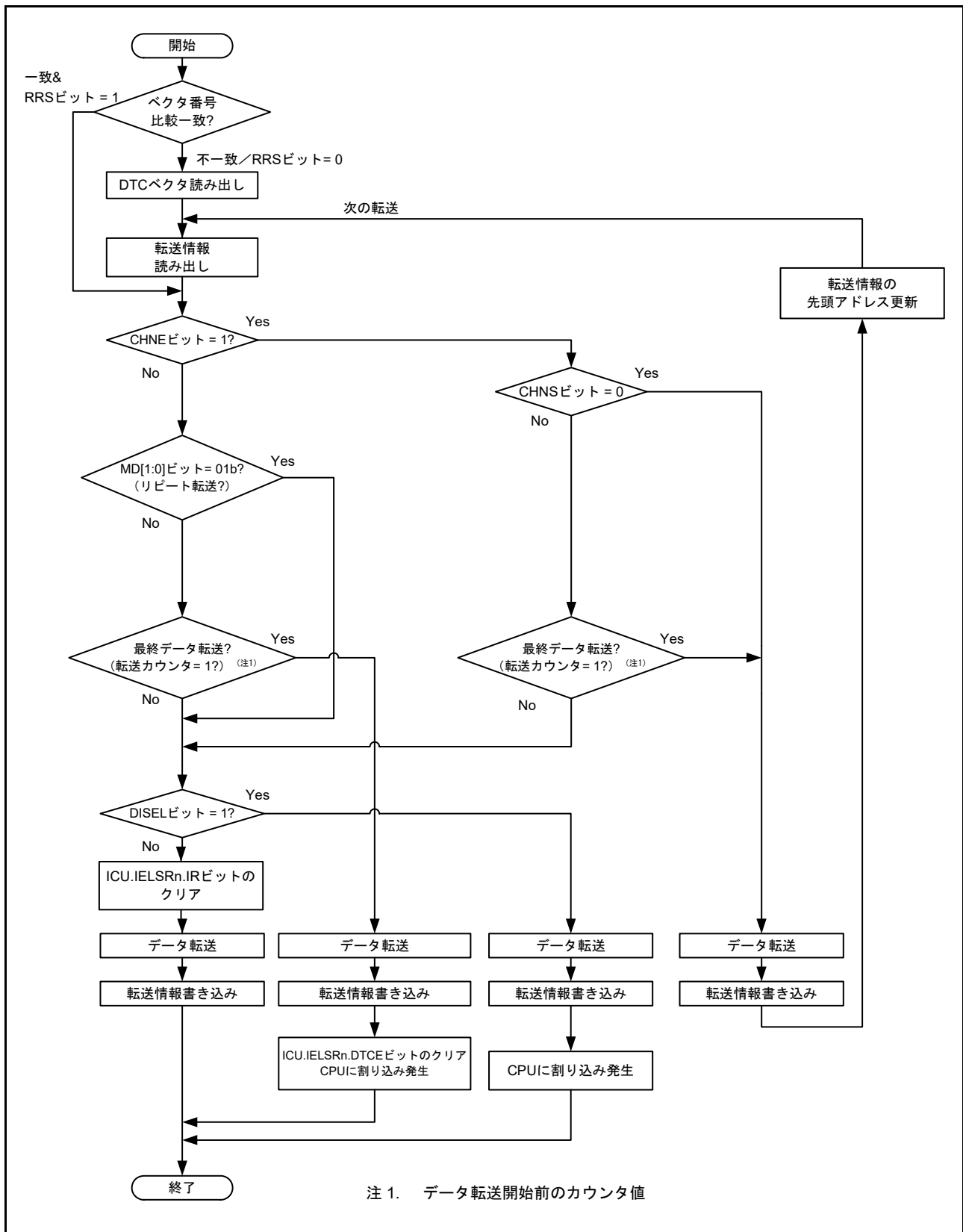


図 15.4 DTC 動作フローチャート

表 15.3 チェーン転送の条件

第1転送				第2転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1), (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了しCPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了しCPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了しCPU へ割り込み要求

- 注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。
 ノーマル転送モード：CRA レジスタ
 リピート転送モード：CRAL レジスタ
 ブロック転送モード：CRB レジスタ
- 注 2. 転送終了時のカウンタ動作は以下のとおりです。
 ノーマル転送モード、ブロック転送モードでは (1→0)
 リピート転送モードでは (1→CRAH)
 表中の (1→*) は、モードに応じて、これら両方の動作を表します。
- 注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略されています。

15.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。比較結果が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になった場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を図 15.12 に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

15.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 15.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 15.4 転送情報のライトバックスキップ条件と対応するレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

15.4.3 ノーマル転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表15.5に、ノーマル転送モードのメモリマップを図15.5に示します。

表 15.5 ノーマル転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新なし

注1. アドレス固定のとき、ライトバックはスキップされます。

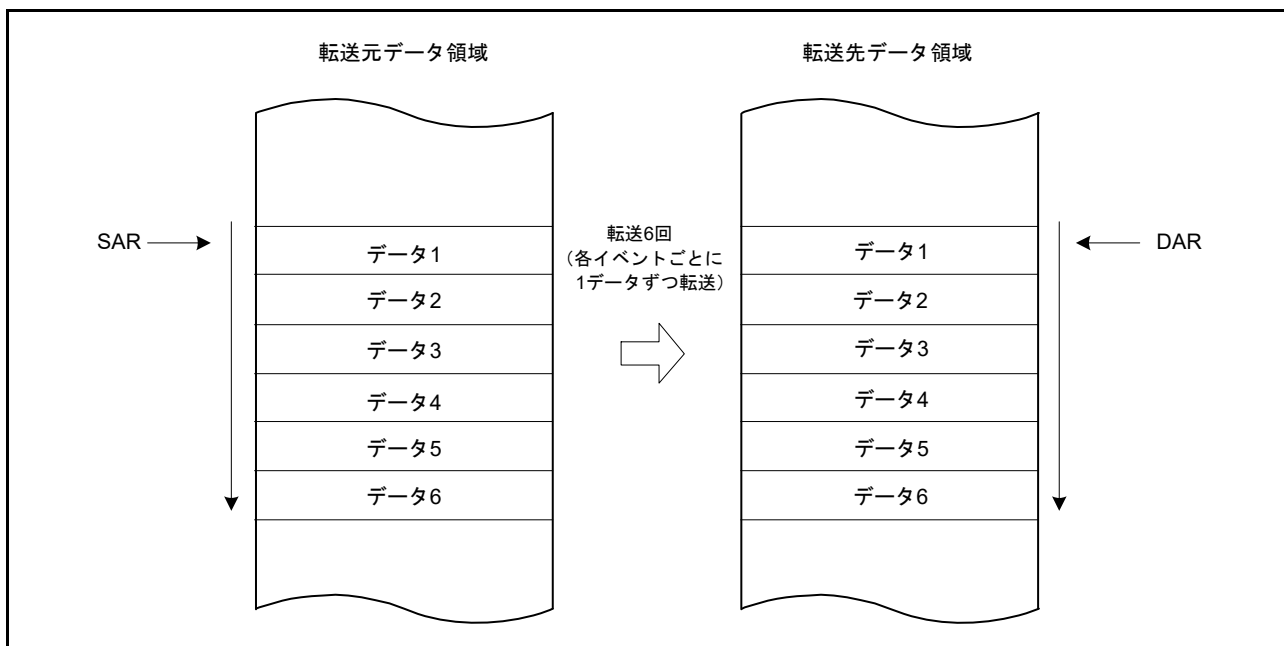


図 15.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h)

15.4.4 リポート転送モード

このモードでは、1つの起動要因で、1バイト、1ハーフワード、または1ワードのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリポート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数 of 転送が終了すると、リポート領域に指定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リポート転送モードでは、転送カウンタ (CRAL レジスタ) が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込み要求が発生します。

リポート転送モードのレジスタ機能を表 15.6 に、リポート転送モードのメモリマップを図 15.6 に示します。

表 15.6 リポート転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき DARレジスタの初期値 (MRB.DTSビット=1のとき インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

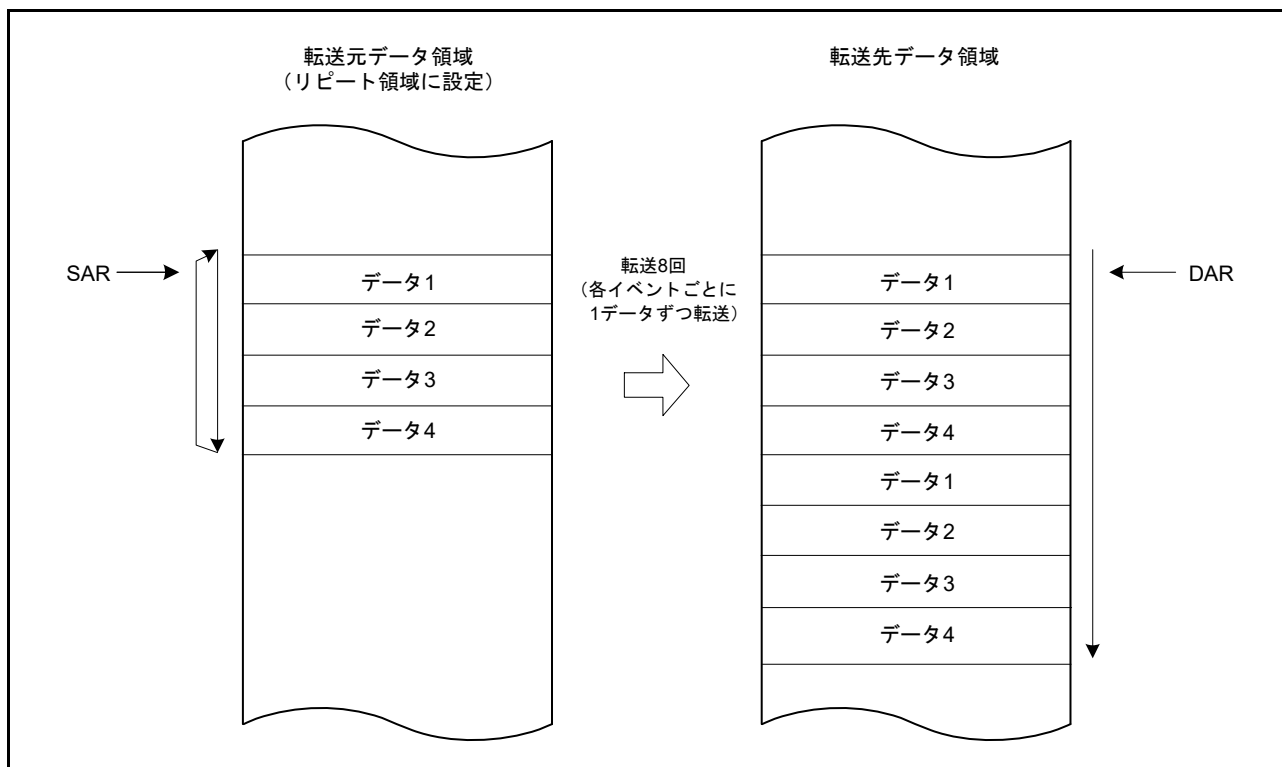


図 15.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h)

15.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード (2～512 バイト)、または1～256 ワード (4～1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のとき SAR レジスタ、DTS ビットが0のとき DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 15.7 に、ブロック転送モードのメモリマップを図 15.7 に示します。

表 15.7 ブロック転送モードのレジスタ機能

レジスタ名	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	<ul style="list-style-type: none"> MRB.DTS ビット=0のとき インクリメント/デクリメント/固定 (注1) MRB.DTS ビット=1のとき SAR レジスタの初期値
DAR	転送先アドレス	<ul style="list-style-type: none"> MRB.DTS ビット=0のとき DAR レジスタの初期値 MRB.DTS ビット=1のとき インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

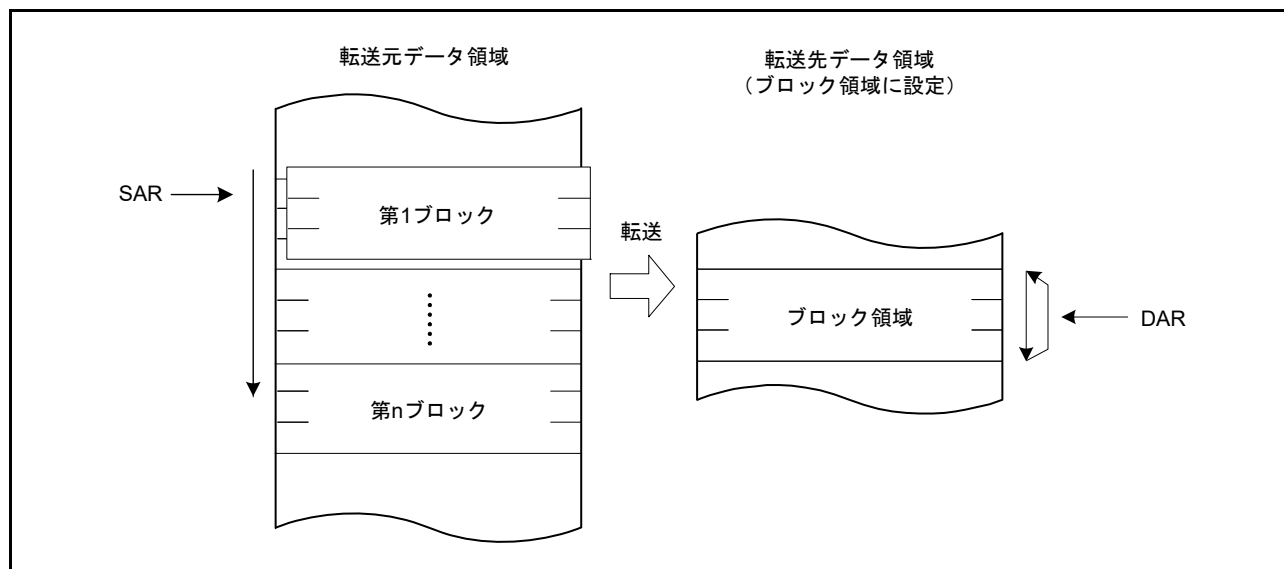


図 15.7 ブロック転送モードのメモリマップ

15.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 15.8 にチェーン転送の動作を示します。

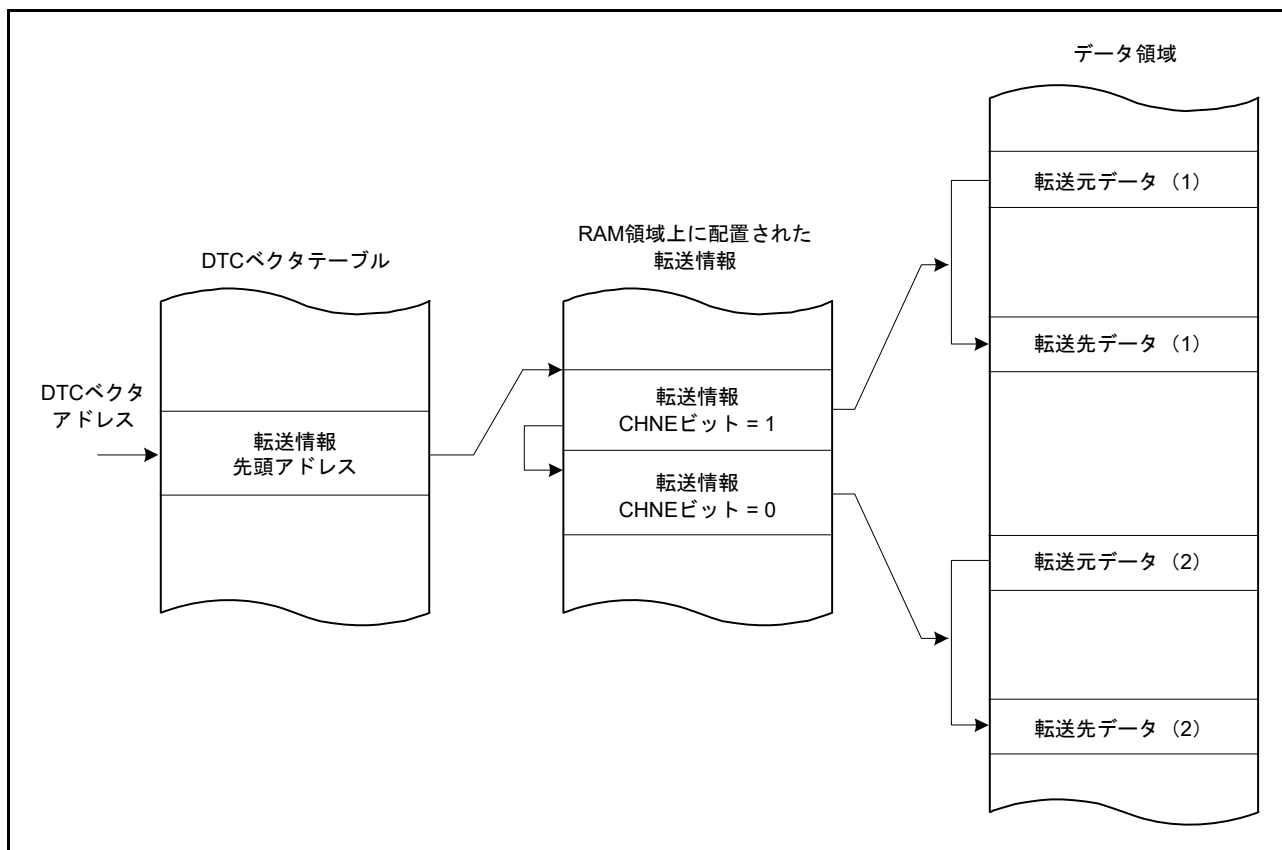


図 15.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 15.3 チェーン転送の条件を参照してください。

15.4.7 動作タイミング

図 15.9 ~ 図 15.12 に示すタイミング図は、最小実行サイクル数を示しています。

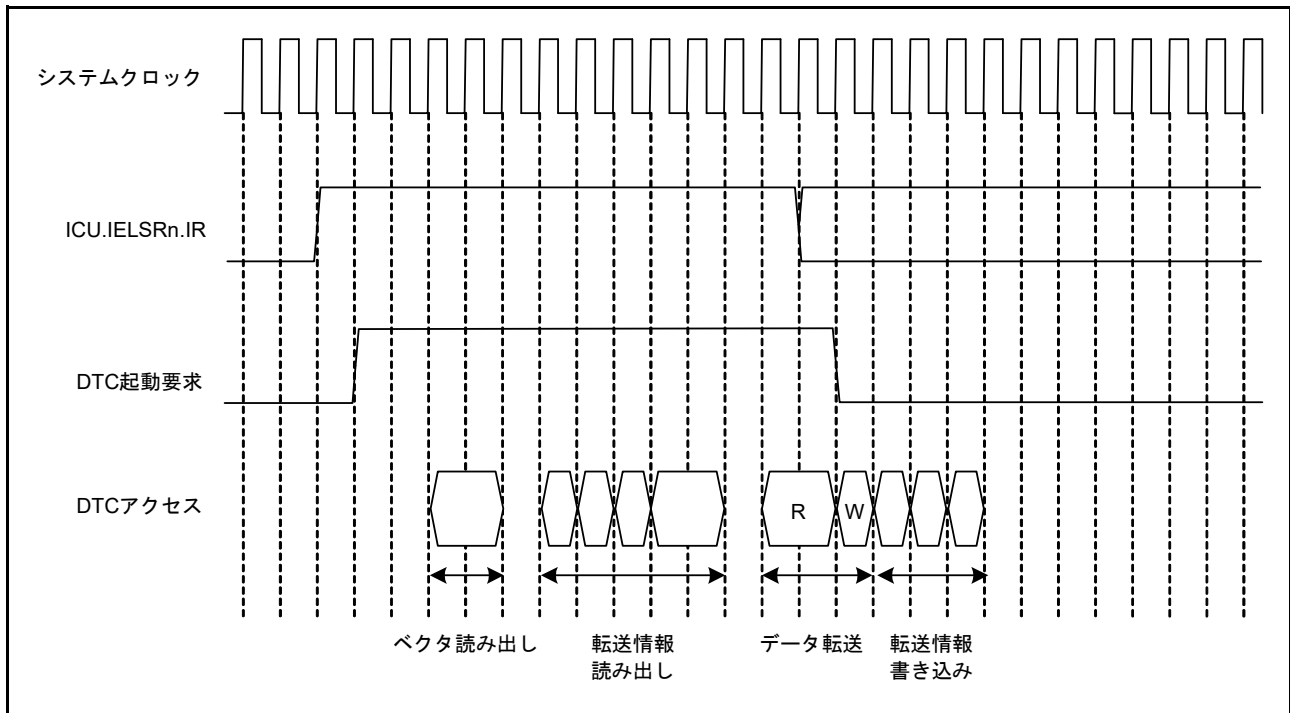


図 15.9 DTC 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

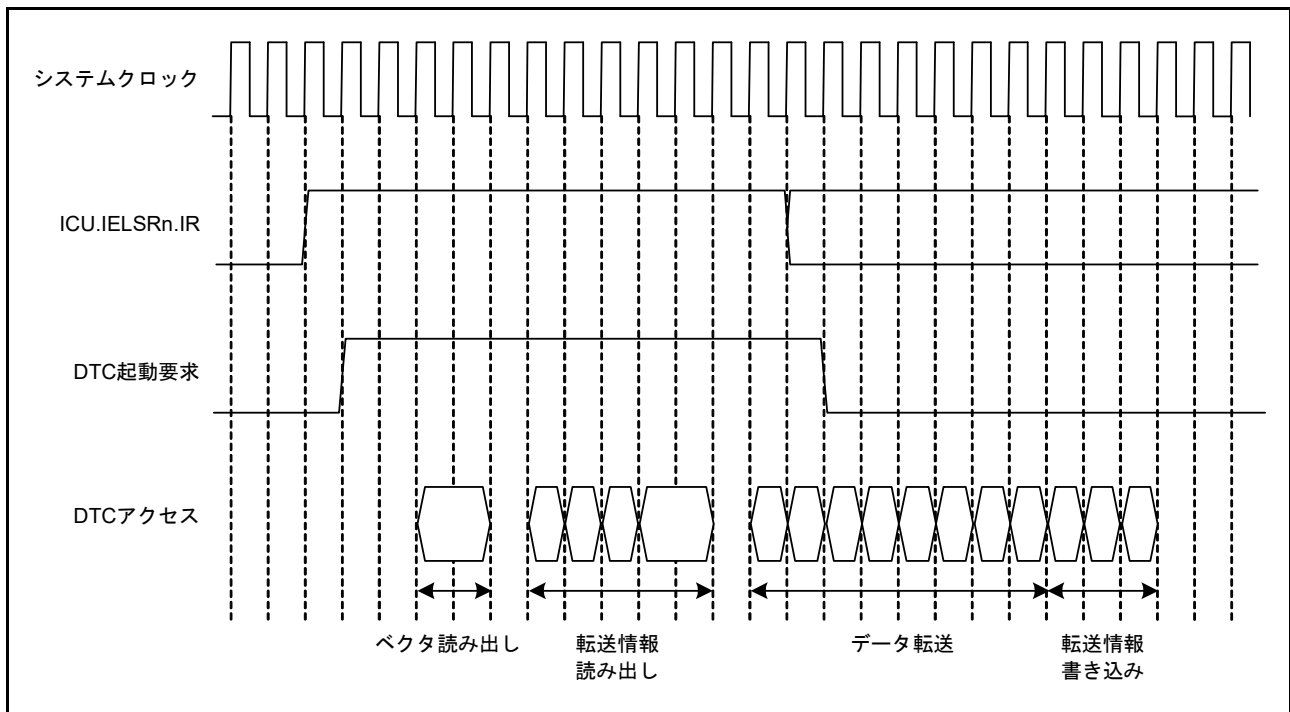


図 15.10 DTC 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

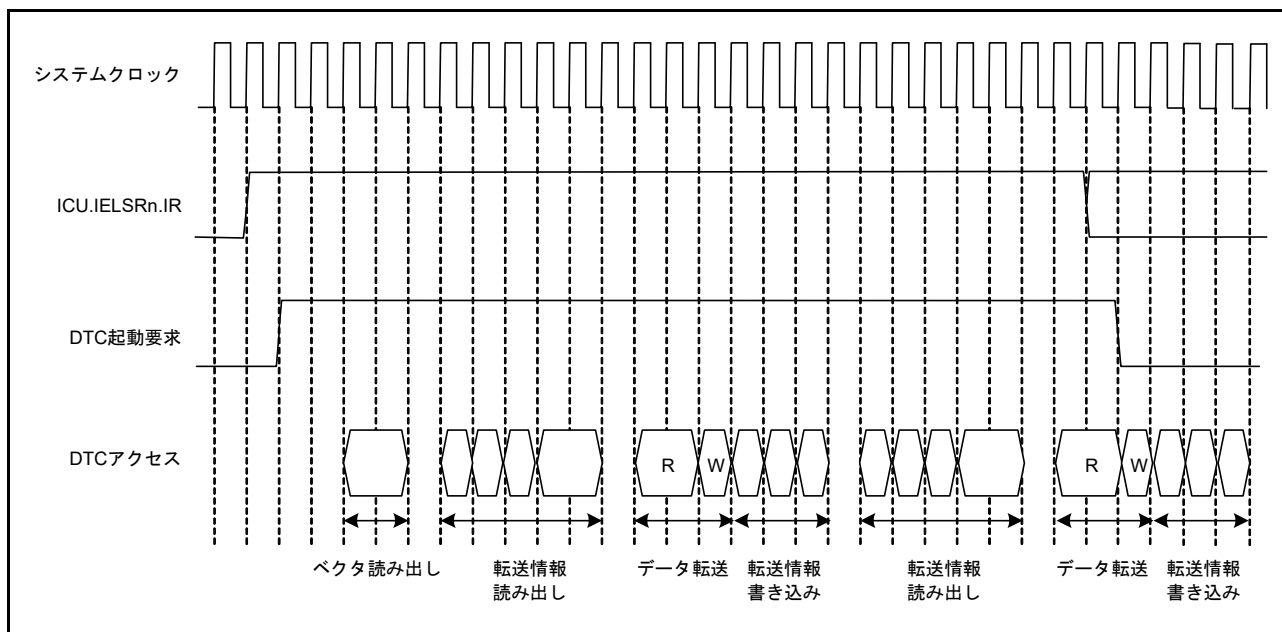


図 15.11 DTC 動作タイミング例 (3) (チェーン転送の場合)

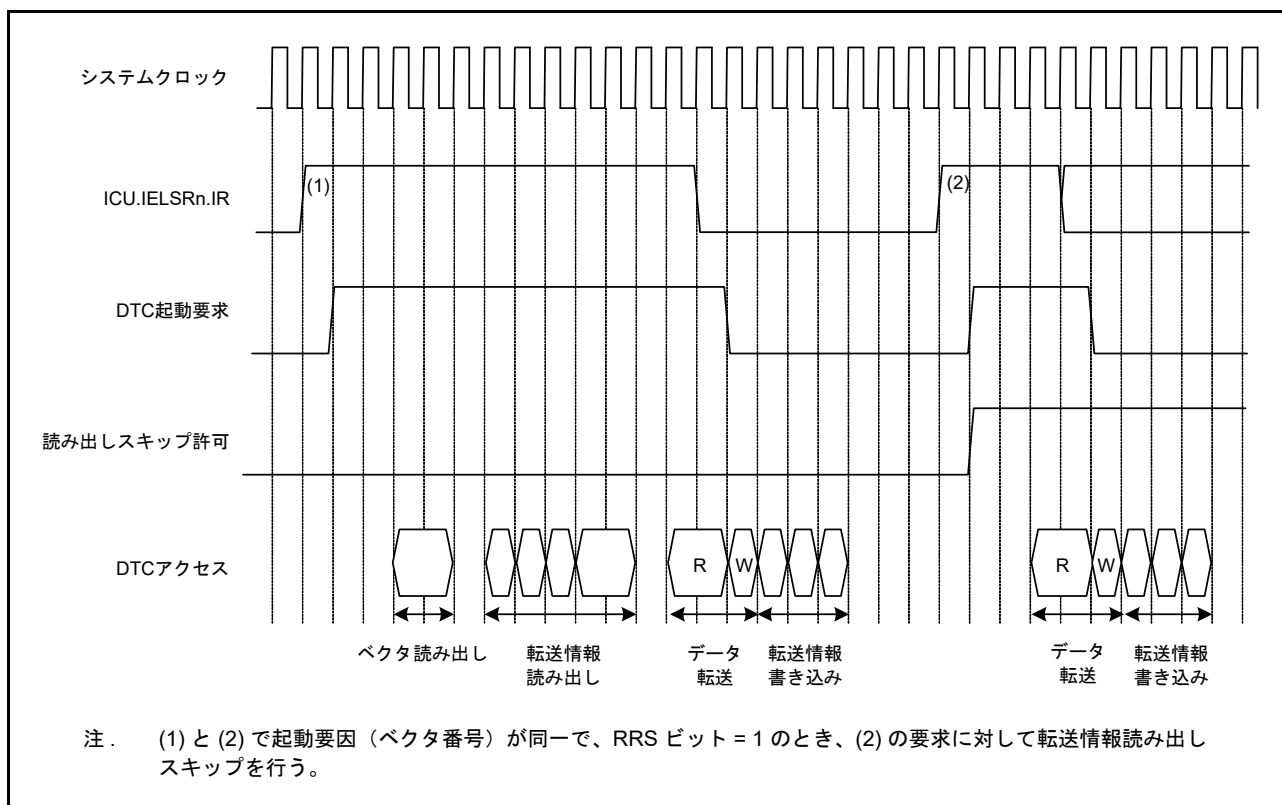


図 15.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データがSRAMにあり、転送元データが周辺モジュールにある場合)

15.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 15.8 に示します。各実行状態の順序については、15.4.7 動作タイミングを参照してください。

表 15.8 DTC の実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	$Cv+1$	0 (注1)	$4 \times Ci+1$	0 (注1)	$3 \times Ci+1$ (注2)	$2 \times Ci+1$ (注3)	Ci (注4)	$Cr+1$	$Cw+1$	2	0 (注1)
リピート							$Cr+1$	$Cw+1$			
ブロック							$P \times Cr$	$P \times Cw$			

- 注 1. 転送情報がリードスキップされる場合
- 注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合
- 注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合
- 注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合
- 注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv : ベクタ転送情報格納先へのアクセスサイクル

Ci : 転送情報格納先アドレスへのアクセスサイクル

Cr : データリード先へのアクセスサイクル

Cw : データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の +1 の単位と、内部動作の列に記載の 2 の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「41. SRAM」および「42. フラッシュメモリ」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

表 15.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

15.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

15.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。図 15.13 に、DTC の設定手順を示します。

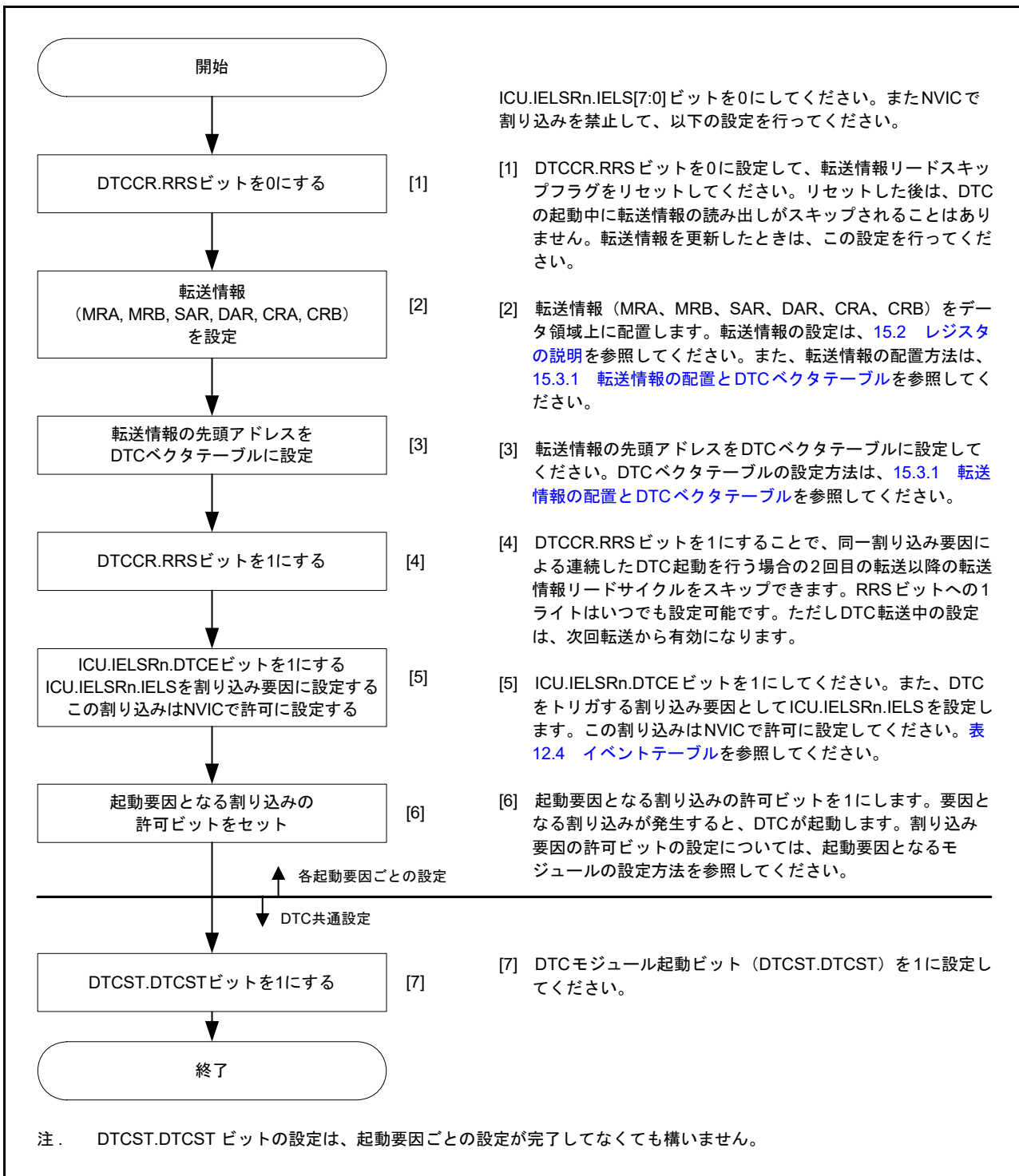


図 15.13 DTC の設定手順

15.6 DTC の使用例

15.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、およびバイト転送 (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] ビット = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0080h) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

15.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することが可能です。

チェーン転送の最初の転送には、GPTm.GTCCRC レジスタ (m = 320, 161H ~ 166H, 164 ~ 166) への転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE ビット = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT320.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT320.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT320.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、チェーン転送 (MRB.CHNE ビット = 1、MRB.CHNS ビット = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT320.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] ビット = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] ビット = 00b) と、ワード転送 (MRA.SZ[1:0] ビット = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] ビット = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT320.GTPBR レジスタのアドレスを設定します。

6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT320.GTPBR レジスタへの転送で使用する転送情報は、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT320 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[7:0] ビットを 79 (4Fh) にして、GPT320 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT320.GTIOR レジスタを設定します。
2. GPT320.GTCCRA レジスタと GPT320.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT320.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT320.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

(8) GPT の起動

GPT320.GTSTR.CSTRT ビットを 1 にして、GPT320.GTCNT カウンタのカウント動作を開始します。

(9) DTC 転送

GPT320.GTPR レジスタで GPT320 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT320.GTCCRC レジスタと GPT320.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT320.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT320 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

15.6.3 カウンタ = 0 のときのチェーン転送

第2転送は第1データ転送の転送カウンタが0になったときにだけ実行されます。第1データ転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256回以上のリピート転送が可能になります。

以下に、128Kバイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが0000hから始まるように設定されています。カウンタ=0のときのチェーン転送を図15.14に示します。

1. 第1データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - a. 転送元アドレス = 固定
 - b. CRAレジスタ = 0000h (65536回)
 - c. MRB.CHNEビット = 1 (チェーン転送許可)
 - d. MRB.CHNSビット = 1 (転送カウンタが0の場合のみチェーン転送を行う)
 - e. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
2. 第1転送の転送先アドレスの65536回ごとに、開始アドレスの上位8ビットアドレスを別の領域（フラッシュなど）に用意してください。たとえば、入力バッファを20 0000h～21 FFFFhにする場合は、21hと20hを用意します。
3. 第2データ転送は以下のように設定してください。
 - a. 第1データ転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
 - b. 転送先として、第1転送情報領域のDARレジスタの上位8ビットを指定
 - c. MRB.CHNEビット = 0 (チェーン転送禁止)
 - d. MRB.DISELビット = 0 (指定されたデータ転送の終了時、CPUへの割り込み要求が発生)
 - e. 入力バッファを20 0000h～21 FFFFhにした場合は、転送カウンタ = 2
4. 1回の割り込みで、第1データ転送が65536回実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを21hにしてください。第1データ転送の転送先アドレスの下位16ビット（転送カウンタ）は0000hになっています。
5. 引き続き1回の割り込みで、第1データ転送用に指定された65536回だけ、第1データ転送が実行されます。第1データ転送の転送カウンタが0になると、第2データ転送がスタートします。第1データ転送の転送元アドレスの上位8ビットを20hにしてください。第1データ転送の転送先アドレスの下位16ビット（転送カウンタ）は0000hになっています。
6. 手順4と5が無限に繰り返されます。第2データ転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

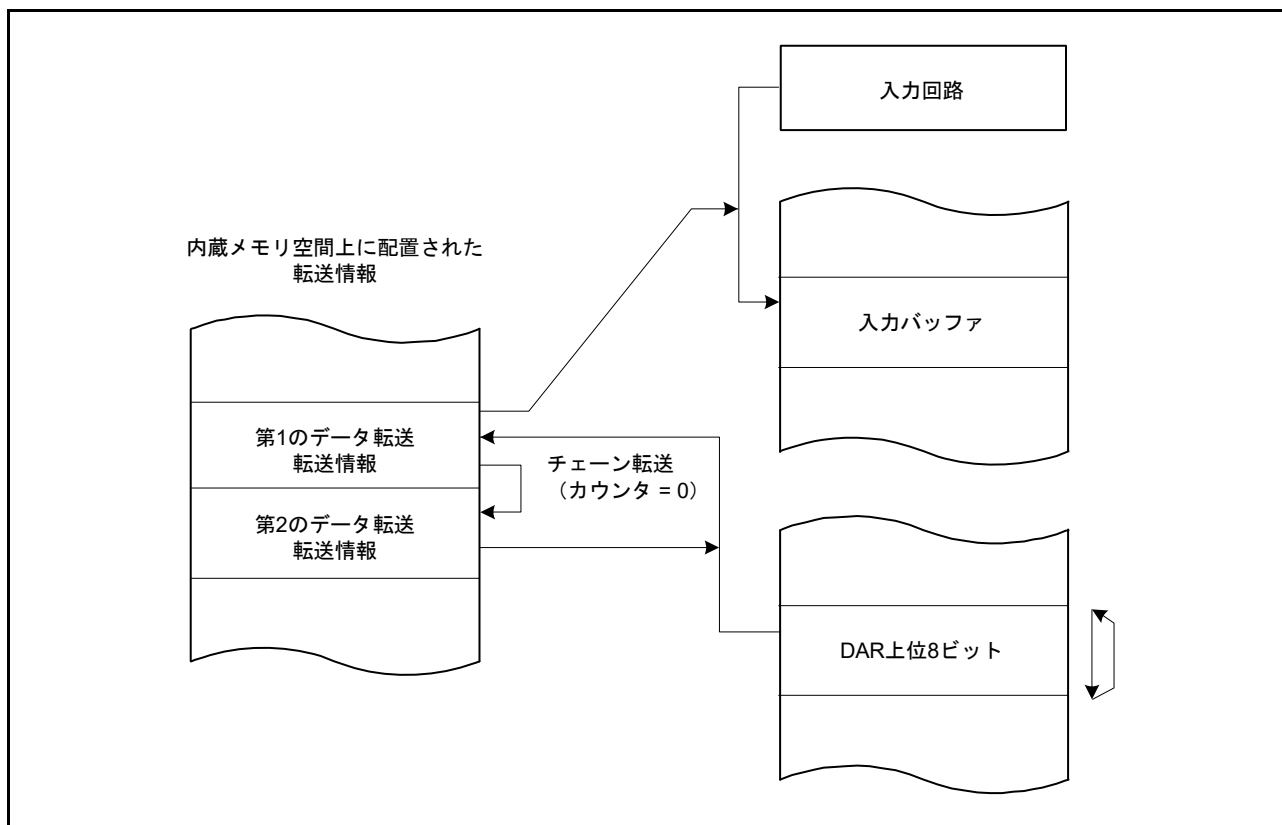


図 15.14 カウンタ = 0 のときのチェーン転送

15.7 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[7:0] ビットの設定に従って制御されます。「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。DTC 起動要因の優先順位については、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

15.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

15.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED ビットを 1 にしてください。[10.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了 (CRA と CRB が 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了 (CRA と CRB が 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。

15.10 モジュールストップ機能

モジュールストップ機能、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す情報に従ってください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「[10. 低消費電力モード](#)」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

[10.7.1 ソフトウェアスタンバイモードへの遷移](#)の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。[10.8.1 スヌーズモードへの遷移](#)を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。[10.8.3 ソフトウェアスタンバイモードへの復帰](#)を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(3) モジュールストップ機能の制約事項

WFI 命令とレジスタの設定手順については、「[10. 低消費電力モード](#)」を参照してください。

スリープモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、[12.4.2 割り込み要求先の選択](#)に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スリープモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

15.11 使用上の注意事項

15.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

16. イベントリンクコントローラ (ELC)

16.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さない直接リンクを実現します。

表 16.1 に ELC の仕様を、図 16.1 に ELC のブロック図を示します。

表 16.1 ELC の仕様

項目	内容
イベントリンク機能	116種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DTC起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能

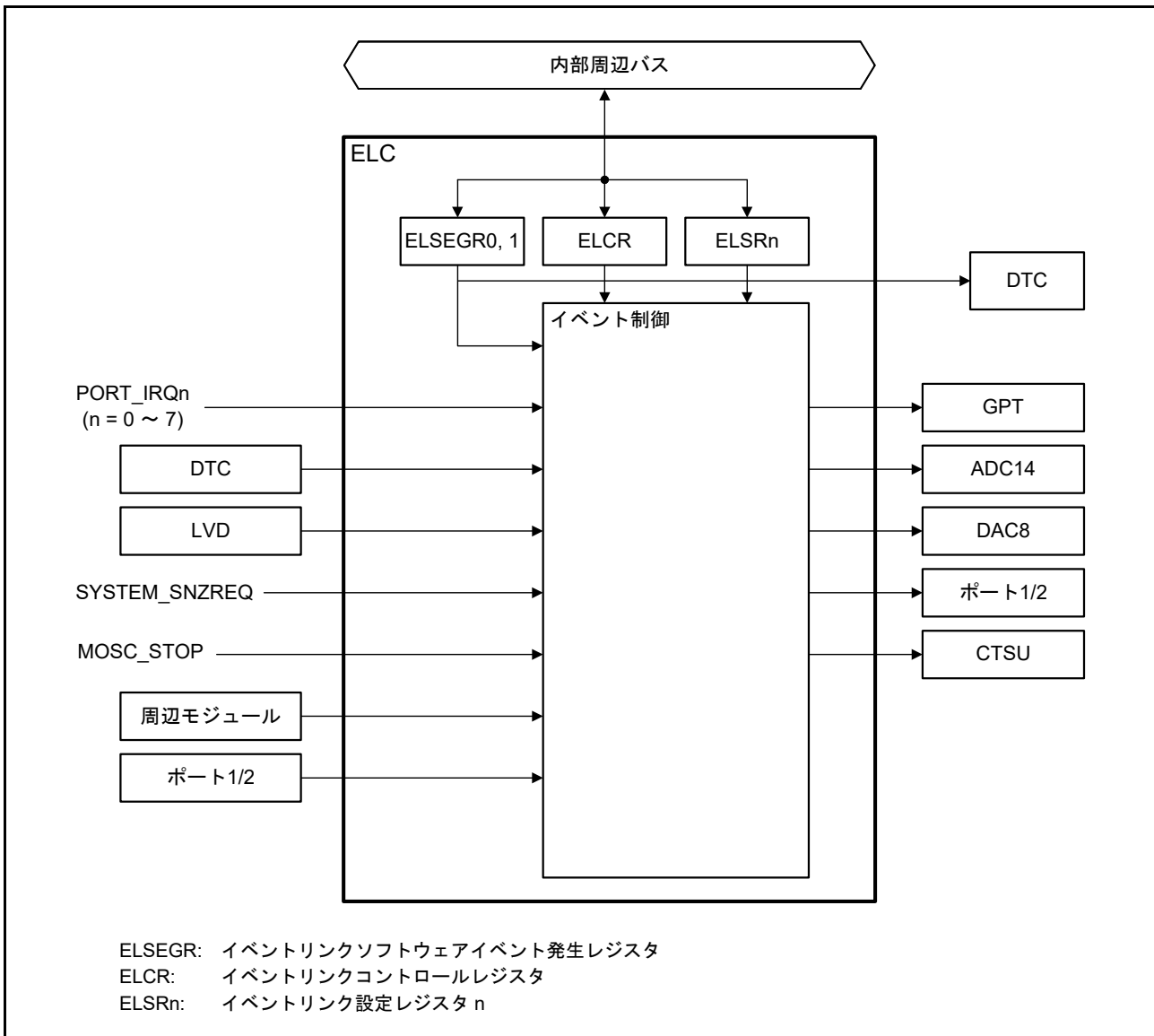
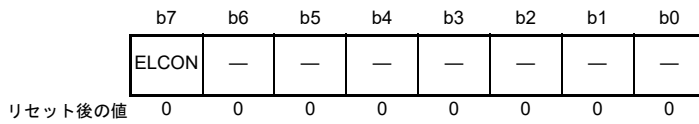


図 16.1 ELC のブロック図 (n = 0 ~ 3, 8, 9, 14, 15, 18 ~ 21)

16.2 レジスタの説明

16.2.1 イベントリンクコントローラレジスタ (ELCR)

アドレス [ELC.ELCR 4004 1000h](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク許可	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

16.2.2 イベントリンクソフトウェアイベント発生レジスタ n (ELSEGRn) (n = 0, 1)

アドレス [ELC.ELSEGR0 4004 1002h](#), [ELC.ELSEGR1 4004 1004h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0 : 通常動作 1 : ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0 : SEGビットへの書き込み禁止 1 : SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0 : ELSEGRレジスタへの書き込み許可 1 : ELSEGRレジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生)

WE ビットが1の状態、このビットに1を書くとソフトウェアイベントが発生します。読むと0が読めます。1を書いてもデータは格納されません。WE ビットを1にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることが可能です。

WE ビット (SEG ビット書き込み許可)

WE ビットが1のときのみ、SEG ビットに対する書き込みが可能になります。WI ビットを0にクリアしてから、このビットを書く必要があります。

[1になる条件]

- WI ビットが0の状態、1を書いたとき

[0になる条件]

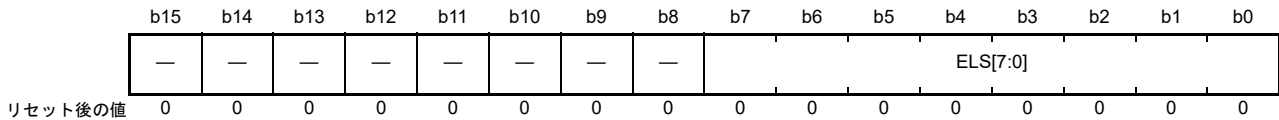
- WI ビットが0の状態、0を書いたとき

WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットが0のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと1が読めます。WI ビットを0にしてから、WE または SEG ビットを設定する必要があります。

16.2.3 イベントリンク設定レジスタ n (ELSRn) (注 1)

アドレス [ELC.ELSR0 4004 1010h](#), [ELC.ELSR1 4004 1014h](#), [ELC.ELSR2 4004 1018h](#), [ELC.ELSR3 4004 101Ch](#), [ELC.ELSR8 4004 1030h](#), [ELC.ELSR9 4004 1034h](#), [ELC.ELSR14 4004 1048h](#), [ELC.ELSR15 4004 104Ch](#), [ELC.ELSR18 4004 1058h](#), [ELC.ELSR19 4004 105Ch](#), [ELC.ELSR20 4004 1060h](#), [ELC.ELSR21 4004 1064h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択	b7 b0 00000000 : 対応する周辺モジュールへのイベント出力は禁止 00000001 ~ 10001111 : リンクするイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. n = 0 ~ 3, 8, 9, 14, 15, 18 ~ 21

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を [表 16.2](#) に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応を [表 16.3](#) に示します。

表 16.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR8	ADC14A	ELC_AD00
ELSR9	ADC14B	ELC_AD01
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR18	CTSU	ELC_CTSU
ELSR19	DA80	ELC_DA80
ELSR20	DA81	ELC_DA81
ELSR21	DA82	ELC_DA82

表 16.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求の発生元	名称	内容
01h	ポート	PORT_IRQ0 (注1)	外部端子割り込み0
02h		PORT_IRQ1 (注1)	外部端子割り込み1
03h		PORT_IRQ2 (注1)	外部端子割り込み2
04h		PORT_IRQ3 (注1)	外部端子割り込み3
05h		PORT_IRQ4 (注1)	外部端子割り込み4
06h		PORT_IRQ5 (注1)	外部端子割り込み5
07h		PORT_IRQ6 (注1)	外部端子割り込み6
08h		PORT_IRQ7 (注1)	外部端子割り込み7
0Ah	DTC	DTC_DTCEND (注3)	DTC転送終了
0Dh	LVD	LVD_LVD1	電圧監視1割り込み
0Eh		LVD_LVD2	電圧監視2割り込み
0Fh	MOSC	MOSC_STOP	メインクロック発振停止
10h	低消費電力モード	SYSTEM_SNZREQ (注2) (注3)	スヌーズエントリ
11h	AGT0	AGT0_AGTI	AGT割り込み
12h		AGT0_AGTCAI	コンペアマッチA
13h		AGT0_AGTCMBI	コンペアマッチB
14h	AGT1	AGT1_AGTI	AGT割り込み
15h		AGT1_AGTCAI	コンペアマッチA
16h		AGT1_AGTCMBI	コンペアマッチB
17h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
18h	WDT	WDT_NMIUNDF	WDTアンダーフロー
1Ah	RTC	RTC_PRD	周期割り込み
1Ch	ADC140	ADC140_ADI	A/Dスキャン変換終了割り込み
20h		ADC140_WCMPPM (注3)	コンペアマッチ
21h		ADC140_WCMPUM (注3)	コンペア不一致
22h	ACMPHS	ACMP_HS0 (注1)	高速アナログコンパレータ割り込み0
23h		ACMP_HS1 (注1)	高速アナログコンパレータ割り込み1
24h		ACMP_HS2 (注1)	高速アナログコンパレータ割り込み2
25h	ACMPLP	ACMP_LP0	低消費電力アナログコンパレータ割り込み0
26h		ACMP_LP1	低消費電力アナログコンパレータ割り込み1
29h	IIC0	IIC0_RXI	受信データフル
2Ah		IIC0_TXI	送信データエンプティ
2Bh		IIC0_TEI	送信終了
2Ch		IIC0_EEI	通信エラー
2Eh	IIC1	IIC1_RXI	受信データフル
2Fh		IIC1_TXI	送信データエンプティ
30h		IIC1_TEI	送信終了
31h		IIC1_EEI	通信エラー
36h	DOC	DOC_DOPCI (注3)	データ演算回路割り込み
3Fh	I/Oポート	IOPORT_GROUP1	ポート1イベント
40h		IOPORT_GROUP2	ポート2イベント
41h	ELC	ELC_SWEVT0	ソフトウェアイベント0
42h		ELC_SWEVT1	ソフトウェアイベント1

表 16.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求の発生元	名称	内容
45h	DALI	DALI_DEI	DALIエラー割り込み
46h		DALI_CLI	衝突検出割り込み
47h		DALI_SDI	ストップビット検出割り込み
48h		DALI_BPI	バスパワーダウン割り込み
49h		DALI_FEI	立ち下がりエッジ検出割り込み
4Bh	GPT320	GPT0_CCMPA	コンペアマッチA
4Ch		GPT0_CCMPB	コンペアマッチB
4Dh		GPT0_CMPC	コンペアマッチC
4Eh		GPT0_CMPD	コンペアマッチD
4Fh		GPT0_OVF	オーバーフロー
50h		GPT0_UDF	アンダーフロー
51h	GPT16H1	GPT1_CCMPA	コンペアマッチA
52h		GPT1_CCMPB	コンペアマッチB
53h		GPT1_CMPC	コンペアマッチC
54h		GPT1_CMPD	コンペアマッチD
55h		GPT1_OVF	オーバーフロー
56h		GPT1_UDF	アンダーフロー
57h	GPT16H2	GPT2_CCMPA	コンペアマッチA
58h		GPT2_CCMPB	コンペアマッチB
59h		GPT2_CMPC	コンペアマッチC
5Ah		GPT2_CMPD	コンペアマッチD
5Bh		GPT2_OVF	オーバーフロー
5Ch		GPT2_UDF	アンダーフロー
5Dh	GPT16H3	GPT3_CCMPA	コンペアマッチA
5Eh		GPT3_CCMPB	コンペアマッチB
5Fh		GPT3_CMPC	コンペアマッチC
60h		GPT3_CMPD	コンペアマッチD
61h		GPT3_OVF	オーバーフロー
62h		GPT3_UDF	アンダーフロー
63h	GPT164	GPT4_CCMPA	コンペアマッチA
64h		GPT4_CCMPB	コンペアマッチB
65h		GPT4_CMPC	コンペアマッチC
66h		GPT4_CMPD	コンペアマッチD
67h		GPT4_OVF	オーバーフロー
68h		GPT4_UDF	アンダーフロー
69h	GPT165	GPT5_CCMPA	コンペアマッチA
6Ah		GPT5_CCMPB	コンペアマッチB
6Bh		GPT5_CMPC	コンペアマッチC
6Ch		GPT5_CMPD	コンペアマッチD
6Dh		GPT5_OVF	オーバーフロー
6Eh		GPT5_UDF	アンダーフロー

表 16.3 ELSRn.ELSビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求の発生元	名称	内容
6Fh	GPT166	GPT6_CCMPA	コンペアマッチA
70h		GPT6_CCMPB	コンペアマッチB
71h		GPT6_CMPC	コンペアマッチC
72h		GPT6_CMPD	コンペアマッチD
73h		GPT6_OVF	オーバーフロー
74h		GPT6_UDF	アンダーフロー
75h		GPT	GPT_UVWEDGE
76h	SCI0	SCI0_RXI (注4)	受信データフル
77h		SCI0_TXI (注4)	送信データエンプティ
78h		SCI0_TEI	送信終了
79h		SCI0_ERI (注4)	受信エラー
7Ah		SCI0_AM	アドレス一致イベント
7Ch		SCI1	SCI1_RXI
7Dh	SCI1_TXI		送信データエンプティ
7Eh	SCI1_TEI		送信終了
7Fh	SCI1_ERI		受信エラー
80h	SCI1_AM		アドレス一致イベント
81h	SCI9	SCI9_RXI	受信データフル
82h		SCI9_TXI	送信データエンプティ
83h		SCI9_TEI	送信終了
84h		SCI9_ERI	受信エラー
85h		SCI9_AM	アドレス一致イベント
86h	SPI0	SPI0_SPRI	受信バッファフル
87h		SPI0_SPTI	送信バッファエンプティ
88h		SPI0_SPII	アイドル
89h		SPI0_SPEI	エラー
8Ah		SPI0_SPTEND	送信完了イベント
8Bh		SPI1	SPI1_SPRI
8Ch	SPI1_SPTI		送信バッファエンプティ
8Dh	SPI1_SPII		アイドル
8Eh	SPI1_SPEI		エラー
8Fh	SPI1_SPTEND		送信完了イベント

- 注 1. パルス (エッジ検出) のみがサポートされています。
- 注 2. ELSR8, 9, 14, 15 および ELSR18 が、このイベントを選択できます。
- 注 3. このイベントはスヌーズモードでも発生可能です。
- 注 4. このイベントは FIFO モードではサポートされていません。

16.3 動作説明

16.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

16.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 16.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 16.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	<ul style="list-style-type: none"> • カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
ADC14	A/D変換開始
DAC8	D/A変換開始
I/Oポート	<ul style="list-style-type: none"> • EORR (リセット) または EOSR (セット) に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート : PORT 1 PORT 2
CTSU	測定動作開始
DTC	DTC データ転送開始

16.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下のとおりです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2 つのモジュール間のリンクがアクティブになります。

モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0] ビットを 00000000b にします。

また、ELCR.ELCON ビットを 0 にすることにより、すべてのイベントリンクを停止します。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

16.4 使用上の注意事項

16.4.1 DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

16.4.2 クロックの設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければなりません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモードなど）の場合、そのモジュールは動作できません。モジュールによっては、スリープモードで動作するものもあります。詳細については、[表 16.3](#) と「[10. 低消費電力モード](#)」を参照してください。

16.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC 動作を禁止または許可することが可能です。リセット後、ELC の動作は禁止されています。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、[表 16.3](#) と「[10. 低消費電力モード](#)」を参照してください。

17. I/Oポート

17.1 概要

I/Oポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、またはELCのポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の設定は、関連するI/Oポートおよび周辺モジュールのレジスタによって行います。

図 17.1 に、I/Oポートレジスタの接続図を示します。

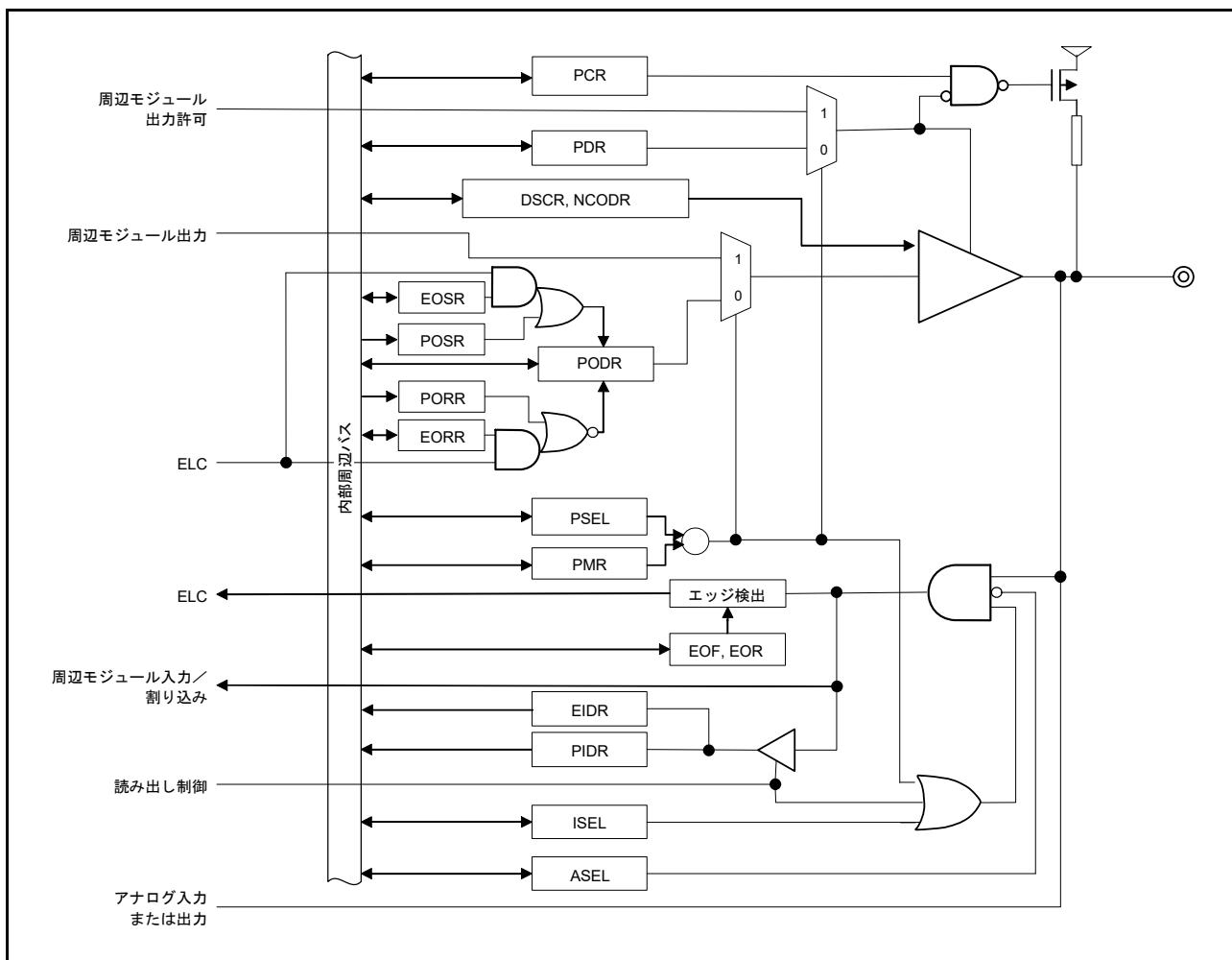


図 17.1 I/Oポートレジスタの接続図

注. この図はポートの基本構成を示しています。ポートによって構成は一部異なります。

パッケージによって、I/Oポートの構成は異なります。表 17.1 に I/Oポートの仕様を、表 17.2 に I/Oポートの機能を示します。

表 17.1 I/Oポートの仕様

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	64ピン	本数	48ピン	本数	36ピン	本数	32ピン	本数
ポート0	P000~P004, P010~P015	11	P000~P002, P010~P015	9	P000~P002 P010~P015	9	P010~P015	6
ポート1	P100~P113	14	P100~P104, P108~P112	10	P100~P103, P108~P112	9	P100~P103, P108~P110, P112	8
ポート2	P200, P201, P204~P206, P212~P215	9	P200, P201, P206, P212~P215	7	P200, P201, P212~P215	6	P200, P201, P212~P215	6
ポート3	P300~P304	5	P300~P302	3	P300	1	P300	1
ポート4	P400~P403, P407~P411	9	P400, P401, P407~P409	5	P407	1	P407	1
ポート5	P500~P502	3	P500	1	なし	0	なし	0
ポート9	P914, P915	2	P914, P915	2	P914, P915	2	P914, P915	2
	合計本数	53	合計本数	37	合計本数	28	合計本数	24

表 17.2 I/Oポートの機能

ポート	ポート名	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え	5Vトレラント
ポート0	P000~P004, P010~P015	○	—	低/中	—
ポート1	P100, P101, P104, P109, P110, P112	○	○	低/中	—
	P102, P103, P105~P108, P111, P113	○	—	低/中	—
ポート2	P200, P214, P215	—	—	—	—
	P201	○	—	低/中	—
	P204	○	○	低/中	—
	P205, P206	○	○	低/中	○
	P212, P213	○	○	—	—
ポート3	P300~P304	○	—	低/中	—
ポート4	P400, P401, P407	○	○	低/中	○
	P402, P408~P411	○	○	低/中	—
	P403	○	—	低/中	—
ポート5	P500~P502	○	—	低/中	—
ポート9	P914, P915	—	—	—	—

17.2 レジスタの説明

17.2.1 ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR)

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h, PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT9.PCNTR1 4004 0120h, PORT0.PODR 4004 0000h, PORT1.PODR 4004 0020h, PORT2.PODR 4004 0040h, PORT3.PODR 4004 0060h, PORT4.PODR 4004 0080h, PORT5.PODR 4004 00A0h, PORT9.PODR 4004 0120h, PORT0.PDR 4004 0002h, PORT1.PDR 4004 0022h, PORT2.PDR 4004 0042h, PORT3.PDR 4004 0062h, PORT4.PDR 4004 0082h, PORT5.PDR 4004 00A2h, PORT9.PDR 4004 0122h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn 方向	0 : 入力 (入力端子として機能) 1 : 出力 (出力端子として機能)	R/W
b31-b16	PODRn	Pmn 出力データ	0 : Low出力 1 : High出力	R/W

m = 0 ~ 5, 9

n = 00 ~ 15

ポートコントロールレジスタ 1 (PCNTR1) は、32 ビットおよび 16 ビットの読み出し/書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 は、ポート方向およびポート出力データ両方へのアクセスを 32 ビット単位で提供します。PCNTR1 の PODR ビット [31:16] および PCNTR1 の PDR ビット [15:0] はそれぞれ 16 ビット単位でアクセスされます。

PDR は、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択するビットです。PORTm.PDR の各ビットが、それぞれポート m の端子に対応しています。入出力方向は 1 ビット単位で指定します。存在しないポート m のビットは予約ビットです。これらのビットに書く場合、1 (出力) としてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。P200, P214, P215 は入力専用です。そのため PORT2.PCNTR1.b0, b14, b15 は予約ビットです。

PODR ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。予約ビットは、読むと 0 が読めます。P200, P214, P215 は入力専用です。そのため PORT2.PCNTR1.b16, b30, b31 は予約ビットです。

17.2.2 ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR)

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT9.PCNTR2 4004 0124h, PORT1.EIDR 4004 0024h, PORT2.EIDR 4004 0044h, PORT0.PIDR 4004 0006h, PORT1.PIDR 4004 0026h, PORT2.PIDR 4004 0046h, PORT3.PIDR 4004 0066h, PORT4.PIDR 4004 0086h, PORT5.PIDR 4004 00A6h, PORT9.PIDR 4004 0126h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn入力データ	0: Low入力 1: High入力	R
b31-b16	EIDRn	Pmnイベント入力データ (注1)	ELC_PORTxの発生時 0: Low入力 1: High入力	R

m = 0 ~ 5, 9

n = 00 ~ 15

x = 1, 2

注1. ポート1とポート2に対応しています。

ポートコントロールレジスタ 2 (PCNTR2) は、32 ビットおよび 16 ビット単位での、ポート入力データおよびポートイベント入力データへのリードアクセスを可能にします。PCNTR2 は、ポート入力データおよびポートイベント入力データ両方へのアクセスを 32 ビット単位で提供します。PCNTR2 の EIDR ビット [31:16] および PCNTR2 の PIDR ビット [15:0] はそれぞれ 16 ビット単位でアクセスされます。

PIDR は、個々のポートの端子状態を反映するビットです。PORTm.PIDR を読むと、PORTm.PMR および PORTm.PDR の値に関係なく、ポート m の端子状態が読めます。PORTm.PMR = 1 または PORTm.PDR = 1 のとき、リードデータは *don't care* です。存在しない端子のビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き換えることはできません。P200 端子からは NMI 端子の状態が読み出されます。ただし、PmnPFS.ASEL ビットが 1 になっている端子は、端子状態を読むことができません。

EIDR は、ELC から ELC_PORTx が発生したときの端子状態をラッチするビットです。PORTm.PMR = 0 かつ PORTm.PDR = 0 の場合にのみ、EIDR に端子状態を入力できます。PORTm.PMR = 1 または PORTm.PDR = 1 の場合、リードデータは *don't care* です。存在しない端子のビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き換えることはできません。P200 端子からは NMI 端子の状態が読み出されません。ただし、PmnPFS.ASEL ビットが 1 になっている端子は、端子状態を読むことができません。

17.2.3 ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR)

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT9.PCNTR3 4004 0128h, PORT0.PORR 4004 0008h, PORT1.PORR 4004 0028h, PORT2.PORR 4004 0048h, PORT3.PORR 4004 0068h, PORT4.PORR 4004 0088h, PORT5.PORR 4004 00A8h, PORT9.PORR 4004 0128h, PORT0.POSR 4004 000Ah, PORT1.POSR 4004 002Ah, PORT2.POSR 4004 004Ah, PORT3.POSR 4004 006Ah, PORT4.POSR 4004 008Ah, PORT5.POSR 4004 00AAh, PORT9.POSR 4004 012Ah

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0 : 出力に影響なし 1 : High出力	W
b31-b16	PORRn	Pmn出力リセット	0 : 出力に影響なし 1 : Low出力	W

m = 0 ~ 5, 9

n = 00 ~ 15

注. EORRn または EOSRn が設定されているときは、PODRn、PORRn、および POSRn には書き込まないでください。また、PORRn と POSRn を同時に設定しないでください。

ポートコントロールレジスタ 3 (PCNTR3) は、32 ビットおよび 16 ビットの書き込みレジスタで、ポート出力データの設定またはリセットを制御します。PCNTR3 はポート出力データの設定またはリセットを 32 ビット単位で制御します。PCNTR3 の PORR ビット [31:16] および PCNTR3 の POSR ビット [15:0] はそれぞれ 16 ビット単位でアクセスされます。

POSR ビットは、ソフトウェアによる書き込み発生時に設定される POSR の値に基づいて PODR を変更するためのビットです。たとえば P100 端子の場合、PORT1.POSR00 = 1 であると、PORT1.PODR00 は 1 を出力します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子、P214 端子、および P215 端子は入力専用です。そのため PORT2.PCNTR3.b0、b14、b15 は予約ビットです。

PORR ビットは、ソフトウェアによる書き込み発生時にリセットされる PORR の値に基づいて PODR を変更するためのビットです。たとえば P100 端子の場合、PORT1.PORR00 = 1 であると、PORT1.PODR00 は 0 を出力します。存在しないポート m のビットは予約ビットです。これらのビットには 0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子、P214 端子、および P215 端子は入力専用です。そのため PORT2.PCNTR3.b16、b30、b31 は予約ビットです。

17.2.4 ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR)

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch,
PORT1.EORR 4004 002Ch, PORT2.EORR 4004 004Ch,
PORT1.EOSR 4004 002Eh, PORT2.EOSR 4004 004Eh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmn イベント出力設定	ELC_PORTxの発生時 0 : 出力に影響なし 1 : High出力	R/W
b31-b16	EORRn	Pmn イベント出力リセット	ELC_PORTxの発生時 0 : 出力に影響なし 1 : Low出力	R/W

m = 1, 2

n = 00 ~ 15

x = 1, 2

注 . EORRn または EOSRn が設定されているときは、PODRn、PORRn、および POSRn に書き込まないでください。また、EORRn と EOSRn を同時に設定しないでください。

ポートコントロールレジスタ 4 (PCNTR4) は、32 ビットおよび 16 ビットの読み出し/書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。PCNTR4 レジスタは 32 ビット単位でアクセスされます。PCNTR4 の EORR ビット [31:16] および PCNTR4 の EOSR ビット [15:0] はそれぞれ 16 ビット単位でアクセスされます。

EOSR ビットは、ELC_PORTx の発生時に設定される EOSR の値に基づいて PODR を変更するためのビットです。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.EOSR00 が 1 になると、PORT1.PODR00 は 1 を出力します。存在しないポート m のビットは予約ビットです。これらのビットに書く場合、0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子、P214 端子、および P215 端子は入力専用です。そのため PORT2.PCNTR4.b0、b14、b15 は予約ビットです。

EORR ビットは、ELC_PORTx の発生時にリセットされる EORR の値に基づいて PODR を変更するためのビットです。たとえば P100 端子の場合、ELC_PORTx の発生時に PORT1.EORR00 が 1 になると、PORT1.PODR00 は 0 を出力します。存在しないポート m のビットは予約ビットです。これらのビットに書く場合、0 を書いてください。存在しない端子のビットは予約ビットです。書く場合、常に 0 としてください。P200 端子、P214 端子、および P215 端子は入力専用です。そのため PORT2.PCNTR4.b16、b30、b31 は予約ビットです。

17.2.5 ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY)
(m = 0 ~ 5, 9; n = 00 ~ 15)

アドレス PFS.P000PFS 4004 0800h ~ PFS.P004PFS 4004 0810h, PFS.P010PFS 4004 0828h ~ PFS.P015PFS 4004 083Ch, PFS.P100PFS 4004 0840h ~ PFS.P113PFS 4004 0874h, PFS.P200PFS 4004 0880h ~ PFS.P201PFS 4004 0884h, PFS.P204PFS 4004 0890h ~ PFS.P206PFS 4004 0898h, PFS.P212PFS 4004 08B0h ~ PFS.P215PFS 4004 08BCh, PFS.P300PFS 4004 08C0h ~ PFS.P304PFS 4004 08D0h, PFS.P400PFS 4004 0900h ~ PFS.P403PFS 4004 090Ch, PFS.P407PFS 4004 091Ch ~ PFS.P411PFS 4004 092Eh, PFS.P500PFS 4004 0940h ~ PFS.P502PFS 4004 0948h, PFS.P914PFS 4004 0A78h ~ PFS.P915PFS 4004 0A7Ch, PFS.P000PFS_HA 4004 0802h ~ PFS.P004PFS_HA 4004 0812h, PFS.P010PFS_HA 4004 082Ah ~ PFS.P015PFS_HA 4004 083Eh, PFS.P100PFS_HA 4004 0842h ~ PFS.P113PFS_HA 4004 0876h, PFS.P200PFS_HA 4004 0882h ~ PFS.P201PFS_HA 4004 0886h, PFS.P204PFS_HA 4004 0892h ~ PFS.P206PFS_HA 4004 0896h, PFS.P212PFS_HA 4004 08B2h ~ PFS.P215PFS_HA 4004 08BEh, PFS.P300PFS_HA 4004 08C2h ~ PFS.P304PFS_HA 4004 08D2h, PFS.P400PFS_HA 4004 0902h ~ PFS.P403PFS_HA 4004 090Eh, PFS.P407PFS_HA 4004 091Eh ~ PFS.P411PFS_HA 4004 092Eh, PFS.P500PFS_HA 4004 0942h ~ PFS.P502PFS_HA 4004 094Ah, PFS.P914PFS_HA 4004 0A7Ah ~ PFS.P915PFS_HA 4004 0A7Eh, PFS.P000PFS_BY 4004 0803h ~ PFS.P004PFS_BY 4004 0813h, PFS.P010PFS_BY 4004 082Bh ~ PFS.P015PFS_BY 4004 083Fh, PFS.P100PFS_BY 4004 0843h ~ PFS.P113PFS_BY 4004 0877h, PFS.P200PFS_BY 4004 0883h ~ PFS.P201PFS_BY 4004 0887h, PFS.P204PFS_BY 4004 0893h ~ PFS.P206PFS_BY 4004 0897h, PFS.P212PFS_BY 4004 08B3h ~ PFS.P215PFS_BY 4004 08BFh, PFS.P300PFS_BY 4004 08C3h ~ PFS.P304PFS_BY 4004 08D3h, PFS.P400PFS_BY 4004 0903h ~ PFS.P403PFS_BY 4004 090Fh, PFS.P407PFS_BY 4004 091Fh ~ PFS.P411PFS_BY 4004 092Fh, PFS.P500PFS_BY 4004 0943h ~ PFS.P502PFS_BY 4004 094Bh, PFS.P914PFS_BY 4004 0A7Bh ~ PFS.P915PFS_BY 4004 0A7Fh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	—	PMR
リセット後の値																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 (注2)	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
ASEL	ISEL	EOF	EOR	—	DSCR	—	—	—	NCODR	PIM (注3)	PCR	—	PDR	PIDR	PODR	
リセット後の値																
0	0	0	0	0	0 (注2)	0	0	0	0	0	0 (注2)	0	0	x	0	

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0: Low出力 1: High出力	R/W
b1	PIDR	ポート入力データ	0: Low入力 1: High入力	R
b2	PDR	ポート方向	0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
b5	PIM	ポート入力モード制御 (注3)	0: CMOS入力バッファ 1: TTL入力バッファ	R/W
b6	NCODR	Nチャネルオープンドレイン制御	0: CMOS出力 1: NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	DSCR	ポート駆動能力	0: 低駆動 1: 中駆動	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	EOF/EOR	立ち下がり時イベント/立ち上がり時イベント (注1)	b13 b12 0 0: Don't care 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する	R/W
b15	ASEL	アナログ入力許可	0: アナログ端子以外に使用する 1: アナログ端子として使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b16	PMR	ポートモード制御	0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。個々の端子機能については、この章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ポート 1 とポート 2 に対応しています。

注 2. P108、P201、P300、P914、P915 の初期値は 0000 0000h 以外になります。

P108 の初期値は 0001 0010h、P201 の初期値は 0000 0010h、P300 の初期値は 0001 0010h、P914 および P915 の初期値は 0001 0000h になります。

注 3. P100 でサポートされています。

ポート mn 端子機能選択レジスタは、32 ビット、16 ビット、および 8 ビットの読み出し/書き込みコントロールレジスタで、ポート mn 端子機能を選択します。PmnPFS レジスタは 32 ビット単位でアクセスされます。PmnPFS の PmnPFS_HA ビット [15:0] は 16 ビット単位でアクセスされます。PmnPFS_BY ビット [7:0] は 8 ビット単位でアクセスされます。

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR 値が読めます。

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効/無効にする場合に設定します。端子が入力状態にあって、PORTm.PCR の関連するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

PIM ビットは入力バッファ (CMOS/TTL) の選択時に設定されます。P100 で使用される場合を除き予約ビットです。

- 予約ビットの場合、読み出し値および書き込み値はともに 0
- SMBUS フォーマットを選択している場合 (ICMR3.SMBS = 1)、PIM ビットの設定値にかかわらず、TTL は IIC の入力レベルとして選択される

NCODR ビットは、ポート端子の出力タイプを選択する場合に設定します。存在しない端子のビットは予約ビットです。書く場合、0 (CMOS 出力) としてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

DSCR ビットは、ポートの駆動能力を切り替える場合に設定します。駆動能力が固定されている端子の当該ビットは、読み出し/書き込み可能ですが、駆動能力の切り替えはできません。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

EOR/EOF ビットは、ポートグループ入力信号のエッジ検出方法を選択する場合に設定します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOR/EOF ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子のビットは予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモードレジスタ (PORTm.PMR) で、汎用入出力ポートを選択します。
2. プルアップコントロールレジスタ (PORTm.PCR) で、入力プルアップ抵抗を無効にします。
3. ポート方向レジスタ (PORTm.PDR) で、入力に設定します。
このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQ_n に対する ISEL ビットは予約ビットです。未指定のアナログ入出力に対する ASEL ビットは予約ビットです。

PMR ビットは、ポートの端子機能を指定する場合に設定します。存在しない端子のビットは予約ビットです。このビットに書く場合、0（汎用入出力ポート）を書いてください。存在しない端子のビットも予約ビットです。予約ビットは、読むと 0 が読めます。書く場合、0 としてください。

PSEL[4:0] ビットは、割り当てる周辺機能を選択します。

製品ごとの周辺選択設定に関する詳細は [17.6 製品ごとの周辺選択設定](#) を参照してください。

17.2.6 書き込みプロテクトレジスタ (PWPR)

アドレス **PMISC.PWPR 4004 0D03h**

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	PFSWE	PmnPFSレジスタ書き込み許可	0 : PmnPFSレジスタへの書き込みを禁止 1 : PmnPFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを1にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。PFSWE ビットを1にする場合は、B0WI ビットに0を書いた後、PFSWE ビットを1にしてください。

B0WI ビット (PFSWE ビット書き込み禁止)

B0WI ビットを0にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

17.3 動作説明

17.3.1 汎用入出力ポート

リセット後は、P108 と P300 を除くすべての端子は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1 ~ 4) によるポート単位のアクセス、または端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は [17.2 レジスタの説明](#) を参照してください。

各ポートのレジスタを以下に示します。

- ポート方向レジスタ (PDR) : 入力/出力の方向を選択する
- ポート出力データレジスタ (PODR) : 出力用データを格納する
- ポート入力データレジスタ (PIDR) : 端子状態を示す
- イベント入力データレジスタ (EIDR) : ELC からの ELC_PORT1 または 2 発生時の端子状態を示す
- ポート出力設定レジスタ (POSR) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットレジスタ (PORR) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定レジスタ (EOSR) : ELC からの ELC_PORT1 または 2 発生時の出力値を示す
- イベント出力リセットレジスタ (EORR) : ELC からの ELC_PORT1 または 2 発生時の出力値を示す

17.3.2 ポート機能選択

ポート機能選択による各端子の構成は以下のいずれかになります。

- 入出力設定 — 相補出力またはオープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート — ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 — 端子への設定機能の割り当て

端子ごとに端子機能選択レジスタ (PmnPFS) が存在します。前述のように、このレジスタには関連する PODR、PIDR、および PDR ビットが含まれています。さらに、PmnPFS レジスタは以下のビットを持ちます。

- プルアップ抵抗制御ビット (PCR) : 入力プルアップ MOS のオン/オフを制御
- ポート入力モード制御ビット (PIM) : 入力バッファタイプを選択
- N チャネルオープンドレイン制御ビット (NCODR) : 各端子の出力タイプを選択
- ポート駆動能力ビット (DSCR) : 駆動能力を選択
- 立ち上がり/立ち下がり時イベントビット (EOR/EOF) : ポート入力の立ち上がり/立ち下がりエッジ検出に使用
- IRQ 入力許可ビット (ISEL) : 端子を IRQ 入力端子として使用
- アナログ入力許可ビット (ASEL) : 端子をアナログ端子として使用
- ポートモード制御ビット (PMR) : 各ポートの端子機能を指定
- 周辺選択ビット (PSEL) : ビットに割り当てる周辺機能を選択

これらの設定を実行するには、端子機能選択レジスタに対して単一レジスタアクセスを行います。詳細は、「[17. ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\) \(m = 0 ~ 5, 9; n = 00 ~ 15\)](#)」を参照してください。

17.3.3 ELC のポートグループ機能

本 MCU では、ポート 1 とポート 2 がポートグループ機能に割り当てられています。

17.3.3.1 ELC から ELC_PORT1 または 2 が入力された場合の動作

本 MCU は、ELC から ELC_PORT1 または 2 が入力されたとき、以下の 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC_PORT1 または 2 が入力されると、入出力セルの入力許可がアサートされ、外部端子のデータが EIDR ビットに読み出されます。☒ 17.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

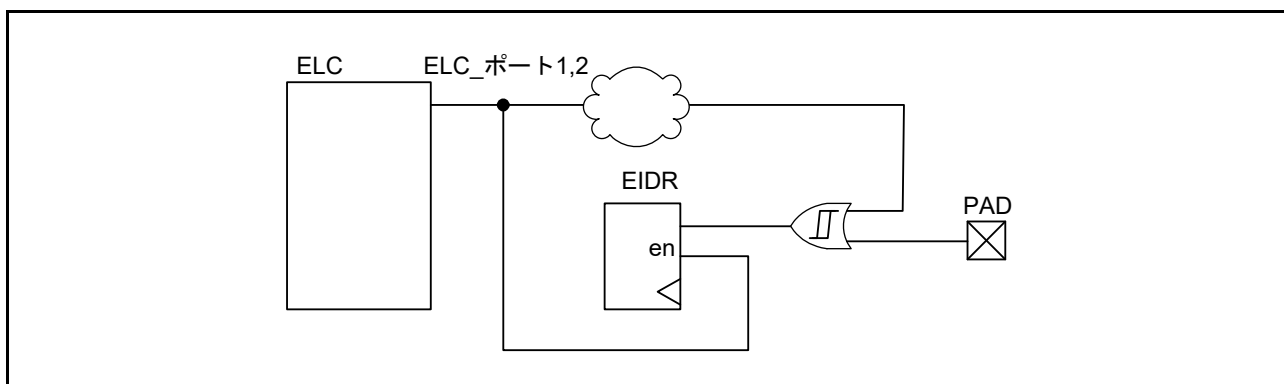


図 17.2 ポート入力データ

(2) EOSR/EORR による PODR からの出力

ELC からの ELC_PORT1 または 2 発生時に、EOSR/EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。☒ 17.3 を参照してください。

- EOSR レジスタを 1 にすると、ELC_PORT1 または 2 発生時に、PODR レジスタは外部端子へ 1 を出力
EOSR = 0 の場合、PODR の値はそのまま
- EORR レジスタを 1 にすると、ELC_PORT1 または 2 発生時に PODR レジスタは外部端子へ 0 を出力
EORR = 0 の場合、PODR の値はそのまま

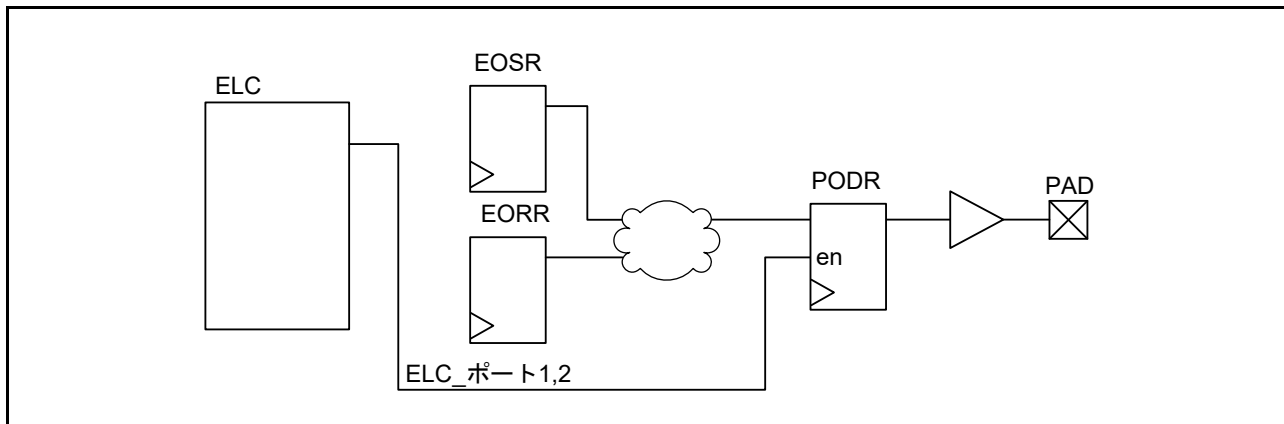


図 17.3 ポート出力データ

17.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC へイベントパルスを出力するには、PmnPFS.EOR/EOF ビットを設定します。詳細は、[17.2.5 ポート mn 端子機能選択レジスタ \(PmnPFS/PmnPFS_HA/PmnPFS_BY\) \(m = 0 ~ 5, 9; n = 00 ~ 15\)](#) を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子のデータが入力となります。たとえばポート 1 に対して、P100 から P113 へデータが入力されると、これら 14 端子のデータは OR 論理で構成されます。OR 論理で構成された 14 端子からのデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もポート 1 と同様です。[図 17.4](#) を参照してください。

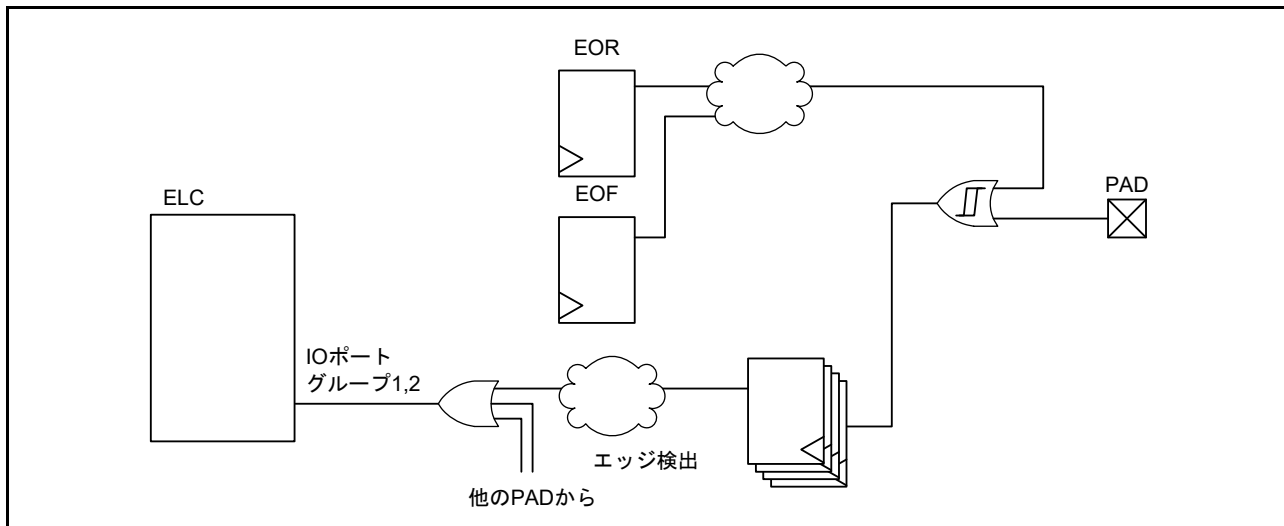


図 17.4 イベントパルスの発生

17.4 未使用端子の処理

表 17.3 未使用端子の処理に未使用端子の処理内容を示します。

表 17.3 未使用端子の処理

端子名	内容
P201/MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
P200/NMI	抵抗を介してVCCに接続（プルアップ）
P212/EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。この端子をポートP212として使用しない場合、ポート1～5, 9と同じ方法で設定される
P213/XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。この端子をポートP213として使用しない場合、ポート1～5, 9と同じ方法で設定される。外部クロックがEXTAL端子に入力される場合、この端子は開放したまま
P215/XCIN	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP215）に設定。この端子をポートP215として使用しない場合、ポート1～5, 9と同じ方法で設定される
P214/XCOUT	サブクロック発振器を使用しない場合、SOSCCR.SOSTPビットを1（汎用ポートP214）に設定。この端子をポートP214として使用しない場合、ポート1～5, 9と同じ方法で設定される
P000～P015	入力（PCNTR1.PDRn = 0）に設定した場合、関連する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） ^(注1)
P1x～P5x, P9x	入力（PCNTR1.PDRn = 0）に設定した場合、関連する端子は抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） ^(注1) 出力（PCNTR1.PDRn = 1）に設定した場合、端子を開放 ^(注1) ^(注2)
VREFH	AVCC0に接続
VREFL	AVSS0に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. 出力に設定したため端子を開放する場合、リセット解除から端子が出力状態になるまでの間、ポートは入力状態です。そのため、ポートが入力状態の間は、端子の電圧レベルが不定となり、電源電流が増加する場合があります。詳細は、「45. 内部電圧レギュレータ」を参照してください。

17.5 使用上の注意事項

17.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御を 0 にして汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR を 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

17.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1 およびポート 2）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0] ビットを 00000000b にして、意図しないパルスが無視します。詳細は、「[16. イベントリンクコントローラ \(ELC\)](#)」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、または少しの間（たとえば 100ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[7:0] ビットを設定して、イベント信号を許可します。

17.5.3 ポート出力データレジスタ (PODR) の概要

このレジスタは下記のようにデータを出力します。

1. PCNTR4.EORR ビットを 1 にすると、ELC からの ELC_PORT1 または 2 発生時に 0 を出力する。
2. PCNTR4.EOSR ビットを 1 にすると、ELC からの ELC_PORT1 または 2 発生時に 1 を出力する。
3. PCNTR3.PORR ビットを 1 にすると、0 を出力する。
4. PCNTR3.POSR ビットを 1 にすると、1 を出力する。
5. PCNTR1.PODR ビットを設定することで、0 または 1 を出力する。
6. PmnPFS.PODR ビットを設定することで、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

17.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモードコントロールレジスタ (PMR) とポート方向レジスタ (PDR) に関連するビットを両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、Pmn 端子機能コントロールレジスタ (PmnPFS.ASEL) の端子機能選択ビットを 1 にしてください。

17.5.5 USB_DP 端子および USB_DM 端子の選択

USB_DP 端子は P914 端子との兼用です。USB_DM 端子は P915 端子との兼用です。USB_DP 端子と P914 端子は PFS.P914PFS.PMR ビットで設定します。USB_DM 端子と P915 端子は PFS.P915PFS.PMR ビットで設定します。表 17.4 に、各端子を選択するときの PFS.P914PFS.PMR ビットと PFS.P915PFS.PMR ビットの設定値を示します。

表 17.4 USB/PORT 端子の選択

PMR ビットの設定		選択する端子	
P914PFS.PMR ビット	P915PFS.PMR ビット	P914/USB_DP 端子	P915/USB_DM 端子
0	0	P914	P915
0	1	P914	P915
1	0	P914	P915
1	1	USB_DP	USB_DM

17.5.5.1 P914/USB_DP および P915/USB_DM 使用時の注意事項

- P914/USB_DP および P915/USB_DM を GPIO 端子 (P914 および P915) として使用する場合、USB 関連レジスタは初期値で使用する
- P914/USB_DP および P915/USB_DM を USB 端子 (USB_DP および USB_DM) として使用する場合、P914 および P915 の GPIO 関連レジスタは初期値で使用する
- P914/USB_DP および P915/USB_DM を GPIO 端子または USB 端子として使用する場合、これらの端子はリセット後に 1 回だけ設定する

17.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタによる端子機能選択設定について詳しく説明します。いくつかの端子名には、A、B、C、D、または E という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を2つ以上の端子に同時に割り当てることは禁止されています。

表 17.5 入出力端子機能のレジスタ設定 (ポート0)

PSEL[4:0] ビット設定値	機能	端子				
		P000	P001	P002	P003	P004
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z				
01010b	CAC/ADC14/DAC8	—	—	—	—	DA2_B
01100b	CTSU	TS21	TS22	—	—	TS25
ASEL ビット		AN000/ AMP0+/ IVCMP2	AN001/ AMP0-/ IVREF2	AN002/ AMP00	AN003/ AMP30	AN004/ DAC2_B
ISEL ビット		IRQ6	IRQ7	IRQ2	—	IRQ3
DSCR ビット		低/中	低/中	低/中	低/中	低/中
NCODR ビット		—	—	—	—	—
PCR ビット		○	○	○	○	○
PIM ビット		—	—	—	—	—
64ピン製品		○	○	○	○	○
48ピン製品		○	○	○		
36ピン製品		○	○	○		
32ピン製品						

PSEL[4:0] ビット設定値	機能	端子					
		P010	P011	P012	P013	P014	P015
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z					
01010b	CAC/ADC14/DAC8	—	DA2_A	—	—	DA0	DA1_A
01100b	CTSU	—	—	—	—	TS29	TS28
ASEL ビット		AN005/ VREFH0/ AMP10	AN006/ VREFL0/ DA2_A/ AMP20	AN007/ AMP1-/ IVREF0	AN008/ AMP1+/ IVCMP0	AN009/ DA0/ AMP2-/ IVREF1	AN010/ DA1_A/ AMP2+/ IVCMP1
ISEL ビット		—	—	—	—	—	IRQ7
DSCR ビット		低/中	低/中	低/中	低/中	低/中	低/中
NCODR ビット		—	—	—	—	—	—
PCR ビット		○	○	○	○	○	○
PIM ビット		—	—	—	—	—	—
64ピン製品		○	○	○	○	○	○
48ピン製品		○	○	○	○	○	○
36ピン製品		○	○	○	○	○	○
32ピン製品		○	○	○	○	○	○

○：利用可能

—：設定禁止

低/中：低駆動/中駆動

表 17.6 入出力端子機能のレジスタ設定（ポート1）（1）

PSEL[4:0] ビット設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z							
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	—	—	—	—	—
00010b	GPT	GTETRG_A	GTETRG_B	GTOUWLO_A	GTOUWUP_A	GTETRGB_B	GTETRG_C	—	—
00011b	GPT	GTIOC5B_A	GTIOC5A_A	GTIOC2B_A	GTIOC2A_A	GTIOC1B_C	GTIOC1A_C	GTIOC0B_B	GTIOC0A_B
00100b	SCI	RXD0_A/ SCL0_A/ MISO0_A	TXD0_A/ SDA0_A/ MOSI0_A	SCK0_A	CTS0_RTS0_A/ /SS0_A	RXD0_C/ SCL0_C/ MISO0_C	—	—	—
00101b	SCI	SCK1_A	CTS1_RTS1_A/ /SS1_A	—	—	—	—	—	—
00110b	SPI	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A	—
00111b	IIC	SCL1_B	SDA1_B	—	—	—	—	—	—
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	—	—	—	—
01010b	CAC/ADC14/DAC8	—	—	ADTRG0_A	—	—	—	—	—
01100b	CTSUSU	TS26	TS16	TS15	TS14	TS13	—	—	—
01110b	DALI	DRX0	DTX0	—	—	—	—	—	—
10000b	CAN	—	—	CRX0_C	CTX0_C	—	—	—	—
ASELビット		AN022/ CMPIN0	AN021/ CMPREF0	AN020/ CMPIN1	AN019/ CMPREF1	AN018	AN017	AN016	—
ISELビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		○	○	—	—	○	—	—	—
PCRビット		○	○	○	○	○	○	○	○
PIMビット		○	—	—	—	—	—	—	—
64ピン製品		○	○	○	○	○	○	○	○
48ピン製品		○	○	○	○	○			
36ピン製品		○	○	○	○				
32ピン製品		○	○	○	○				

○：利用可能
 —：設定禁止
 低/中：低駆動/中駆動

表 17.7 入出力端子機能のレジスタ設定 (PORT1) (2)

PSEL[4:0] ビット設定値	機能	端子					
		P108	P109	P110	P111	P112	P113
00000b (リセット後の値)	Hi-Z/SWD	SWDIO	Hi-Z				
00001b	AGT	—	—	—	AGTOA0	AGTOB0	—
00010b	GPT	GTOULO_C	GTOVUP_A	GTOVLO_A	—	—	—
00011b	GPT	GTIOC0B_A	GTIOC1A_A	GTIOC1B_A	GTIOC3A_A	GTIOC3B_A	GTIOC2A_C
00100b	SCI	—	SCK1_E	CTS0_RTS0_C /SS0_C	SCK0_C	TXD0_C/ SDA0_C/ MOSI0_C	—
00101b	SCI	CTS9_RTS9_B /SS9_B	TXD9_B/ SDA9_B/ MOSI9_B	RXD9_B/ SCL9_B/ MISO9_B	SCK9_B	SCK1_D	—
00110b	SPI	SSLB0_B	MOSIB_B	MISOB_B	RSPCKB_B	SSLB0_C	—
00111b	IIC	—	—	—	—	—	—
01000b	KINT	—	—	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	CLKOUT_B	VCOUT	—	—	—
01010b	CAC/ADC14/DAC8	—	—	—	—	—	—
01100b	CTSUSU	—	TS10	TS11	TS12	TSCAP_C	—
01110b	DALI	—	—	—	—	—	—
10000b	CAN	—	CTX0_A	CRX0_A	—	—	—
ASELビット	—	—	—	—	—	—	—
ISELビット	—	—	—	IRQ3	IRQ4	—	—
DSCRビット	—	低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット	—	—	○	○	—	○	—
PCRビット	—	○	○	○	○	○	○
PIMビット	—	—	—	—	—	—	—
64ピン製品	—	○	○	○	○	○	○
48ピン製品	—	○	○	○	○	○	—
36ピン製品	—	○	○	○	○	○	—
32ピン製品	—	○	○	○	—	○	—

○：利用可能
 —：設定禁止
 低/中：低駆動/中駆動

表 17.8 入出力端子機能のレジスタ設定 (ポート2)

PSEL[4:0] ビット設定値	機能	端子								
		P200	P201	P204	P205	P206	P212	P213	P214	P215
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z								
00001b	AGT	—	—	AGTIO1_A	AGTO1	—	AGTEE1	—	—	—
00010b	GPT	—	—	GTIW_A	GTIV_A	GTIU_A	GTETRGB_D	GTETRGA_D	—	—
00011b	GPT	—	—	GTIOC4B_B	GTIOC4A_B	—	GTIOC0B_D	GTIOC0A_D	—	—
00100b	SCI	—	—	SCK0_D	TXD0_D/ SDA0_D/ MOSI0_D	RXD0_D/ SCL0_D/ MISO0_D	—	—	—	—
00101b	SCI	—	—	SCK9_A	CTS9_RTS9 _A/SS9_A	—	RXD1_A/ SCL1_A/ MISO1_A	TXD1_A/ SDA1_A/ MOSI1_A	—	—
00110b	SPI	—	—	RSPCKB_A	SSLB0_A	SSLB1_A	—	—	—	—
00111b	IIC	—	—	SCL0_B	SCL1_A	SDA1_A	—	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	CLKOUT_A	—	—	—	—	—
01010b	CAC/ADC14/DAC8	—	—	CACREF_A	—	—	—	—	—	—
01100b	CTSUS	—	—	TS00	TSCAP_A	TS01	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—	—
ISELビット		NMI	—	—	IRQ1	IRQ0	IRQ3	IRQ2	—	—
DSCRビット		—	低/中	低/中	低/中	低/中	—	—	—	—
NCODRビット		—	—	○	○	○	○	○	—	—
PCRビット		—	○	○	○	○	○	○	—	—
PIMビット		—	—	—	—	—	—	—	—	—
64ピン製品		○	○	○	○	○	○	○	○	○
48ピン製品		○	○			○	○	○	○	○
36ピン製品		○	○				○	○	○	○
32ピン製品		○	○				○	○	○	○

○ : 利用可能
 — : 設定禁止
 低/中 : 低駆動/中駆動

表 17.9 入出力端子機能のレジスタ設定 (ポート3)

PSEL[4:0] ビット設定値	機能	端子				
		P300	P301	P302	P303	P304
00000b (リセット後の値)	Hi-Z/SWD	SWCLK	Hi-Z			
00001b	AGT	—	AGTIO0_D	—	—	—
00010b	GPT	GTOUUP_C	GTOULO_A	GTOUUP_A	—	—
00011b	GPT	GTIOC0A_A	GTIOC4B_A	GTIOC4A_A	GTIOC1B_B	GTIOC1A_B
00101b	SCI	—	CTS9_RTS9_ D/SS9_D	—	—	—
00110b	SPI	SSLB1_B	SSLB2_B	SSLB3_B	—	—
01100b	CTSU	—	TS09	TS08	TS02	—
ASELビット		—	—	—	—	—
ISELビット		—	IRQ6	IRQ5	—	—
DSCRビット		低/中	低/中	低/中	低/中	低/中
NCODRビット		—	—	—	—	—
PCRビット		○	○	○	○	○
PIMビット		—	—	—	—	—
64ピン製品		○	○	○	○	○
48ピン製品		○	○	○		
36ピン製品		○				
32ピン製品		○				

○ : 利用可能

— : 設定禁止

低/中 : 低駆動/中駆動

表 17.10 入出力端子機能のレジスタ設定 (ポート4)

PSEL[4:0] ビット設定値	機能	端子								
		P400	P401	P402	P403	P407	P408	P409	P410	P411
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z								
00001b	AGT	AGTIO1_D	—	—	—	AGTIO0_C	—	—	AGTOB1	AGTOA1
00010b	GPT	—	GTETRGA_B	—	—	—	GTOWLO_B	GTOWUP_B	GTOVLO_B	GTOVUP_B
00011b	GPT	GTIOC6A_A	GTIOC6B_A	GTIOC3B_B	GTIOC3A_B	GTIOC0A_E	GTIOC5B_B	GTIOC5A_B	GTIOC6B_B	GTIOC6A_B
00100b	SCI	SCK0_B	CTS0_RTS0_B/SS0_B	—	—	CTS0_RTS0_D/SS0_D	—	TXD0_E/SDA0_E/MOSI0_E	RXD0_B/SCL0_B/MISO0_B	TXD0_B/SDA0_B/MOSI0_B
00101b	SCI	SCK1_B	TXD1_B/SDA1_B/MOSI1_B	RXD1_B/SCL1_B/MISO1_B	CTS1_RTS1_B/SS1_B	—	RXD9_A/SCL9_A/MISO9_A	TXD9_A/SDA9_A/MOSI9_A	—	—
00110b	SPI	—	—	—	—	SSLB3_A	—	—	MISOA_B	MOSIA_B
00111b	IIC	SCL0_A	SDA0_A	—	—	SDA0_B	SCL0_C	—	—	—
01001b	CLKOUT/ ACMPHS/ ACMPLP/RTC	—	—	—	—	RTCOUT	—	—	—	—
01010b	CAC/ADC14/DAC8	CACREF_C	—	—	—	ADTRG0_B	—	—	—	—
01100b	CTSUS	TS20	TS19	TS18	TS17	TS03	TS04	TS05	TS06	TS07
10000b	CAN	—	CTX0_B	CRX0_B	—	—	—	—	—	—
10011b	USBFS	—	—	—	—	USB_VBUS	—	—	—	—
ASELビット		—	—	—	—	—	—	—	—	—
ISELビット		IRQ0	IRQ5	IRQ4	—	—	IRQ7	IRQ6	IRQ5	IRQ4
DSCRビット		低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中	低/中
NCODRビット		○	○	○	—	○	○	○	○	○
PCRビット		○	○	○	○	○	○	○	○	○
PIMビット		—	—	—	—	—	—	—	—	—
64ピン製品		○	○	○	○	○	○	○	○	○
48ピン製品		○	○			○	○	○		
36ピン製品						○				
32ピン製品						○				

○：利用可能
 —：設定禁止
 低/中：低駆動/中駆動

表 17.11 入出力端子機能のレジスタ設定 (ポート5)

PSEL[4:0] ビット設定値	機能	端子		
		P500	P501	P502
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z		
01010b	CAC/ADC14/ DAC8	DA1_B	—	—
01100b	CTSU	TS27	—	—
ASELビット		AN013/ DA1_B	AN012/ AMP3+	AN011/ AMP3-
ISELビット		—	—	—
DSCRビット		低/中	低/中	低/中
NCODRビット		—	—	—
PCRビット		○	○	○
PIMビット		—	—	—
64ピン製品		○	○	○
48ピン製品		○		
36ピン製品				
32ピン製品				

○ : 利用可能
 — : 設定禁止
 低/中 : 低駆動/中駆動

表 17.12 入出力端子機能のレジスタ設定 (ポート9)

PSEL[4:0] ビット設定値	機能	端子	
		P914	P915
00000b (リセット後の値)	Hi-Z/SWD	Hi-Z	
ASELビット		—	—
ISELビット		—	—
DSCRビット		—	—
NCODRビット		—	—
PCRビット		—	—
PIMビット		—	—
64ピン製品		○	○
48ピン製品		○	○
36ピン製品		○	○
32ピン製品		○	○

18. キー割り込み機能 (KINT)

18.1 概要

キー割り込み (KEY_INTKR) は、キーリターンモードレジスタ (KRM) を設定し、キー割り込み入力端子 KR00 ~ KR07 に立ち上がりエッジ/立ち下がりエッジを入力することで発生させることができます。表 18.1 に、キー割り込み検出の配置を示します。表 18.2 に機能の構成を、図 18.1 にブロック図を示します。

表 18.1 キー割り込み検出端子の配置

フラグ	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

表 18.2 キー割り込み機能 (KINT) の構成

項目	構成
入力	KR00 ~ KR07
コントロールレジスタ	キーリターンコントロールレジスタ (KRCTL) キーリターンモードレジスタ (KRM) キーリターンフラグレジスタ (KRF)

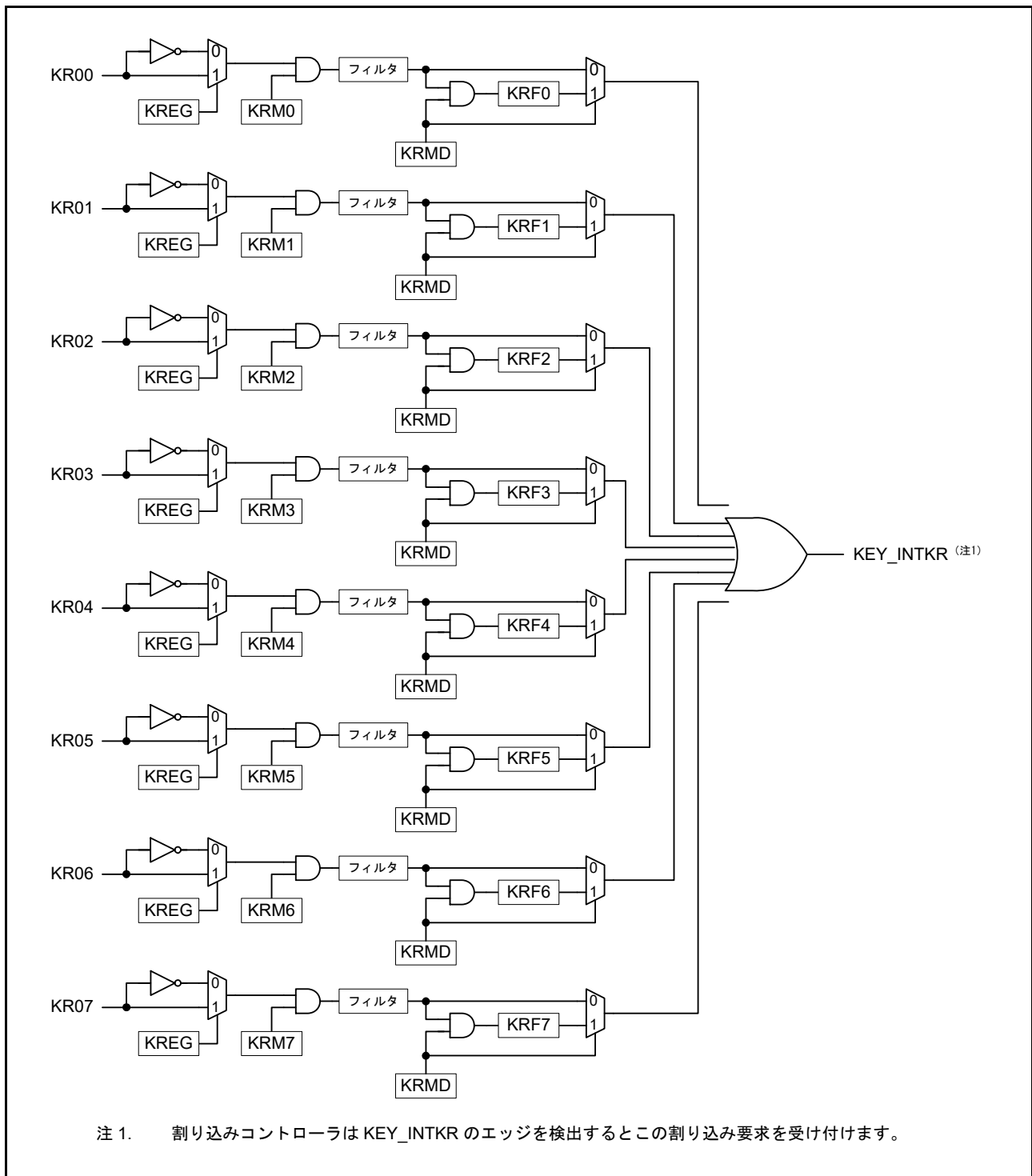
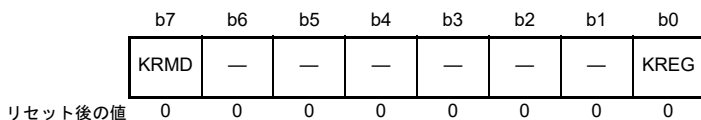


図 18.1 キー割り込み機能のブロック図

18.2 レジスタの説明

18.2.1 キーリターンコントロールレジスタ (KRCTL)

アドレス [KINT.KRCTL 4008 0000h](#)

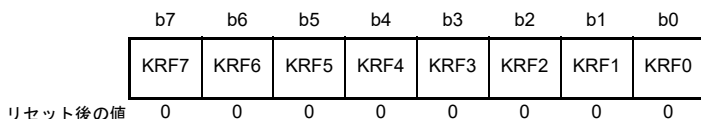


ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 (KR00~KR07)	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 (KRF0~KRF7)	0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) の使用状態を制御し、検出エッジを設定するためのレジスタです。このレジスタは、8 ビットのメモリ操作命令で設定できます。リセット信号が発生すると、このレジスタは 00h にクリアされます。

18.2.2 キーリターンフラグレジスタ (KRF)

アドレス [KINT.KRF 4008 0004h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0: キー割り込みの検出なし 1: キー割り込みの検出あり	R/W

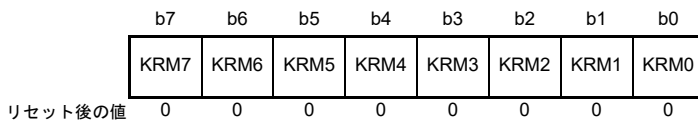
n = 0 ~ 7

注. KRMD = 0 の場合、KRFn ビットを 1 にすることは禁止されます。このレジスタの各ビットを 1 にすることはできません。KRFn ビットをクリアするには、8 ビットのメモリ操作命令を使用します。このとき、対象ビットに 0 が書き込まれ、他のビットには 1 が書き込まれます。

KRF レジスタは、キー割り込みフラグ (KRF0 ~ KRF7) を制御するレジスタです。このレジスタは、8 ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは 00h にクリアされます。

18.2.3 キーリターンモードレジスタ (KRM)

アドレス `KINT.KRM 4008 0008h`



ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W

n = 0 ~ 7

- 注 . 対応するキー割り込み入力端子をプルアップ抵抗に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「17. I/Oポート」を参照してください。
- キー割り込みは PmnPFS.PSEL ビットで割り当てることができます。詳細は、「17. I/Oポート」を参照してください。
- キー割り込み入力端子へ信号の入力中、KREG が 0 または 1 のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。このレジスタは、8 ビットのメモリ操作命令でのみ設定可能です。リセット信号が発生すると、このレジスタは 00h にクリアされます。

18.3 動作説明

18.3.1 キー割り込みフラグを使用しない場合 (KRMD = 0)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを識別するには、キー割り込み (KEY_INTKR) の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY_INTKR 信号は、キー割り込み入力端子 (KR00 ~ KR07) の入力レベルに応じて変化します。

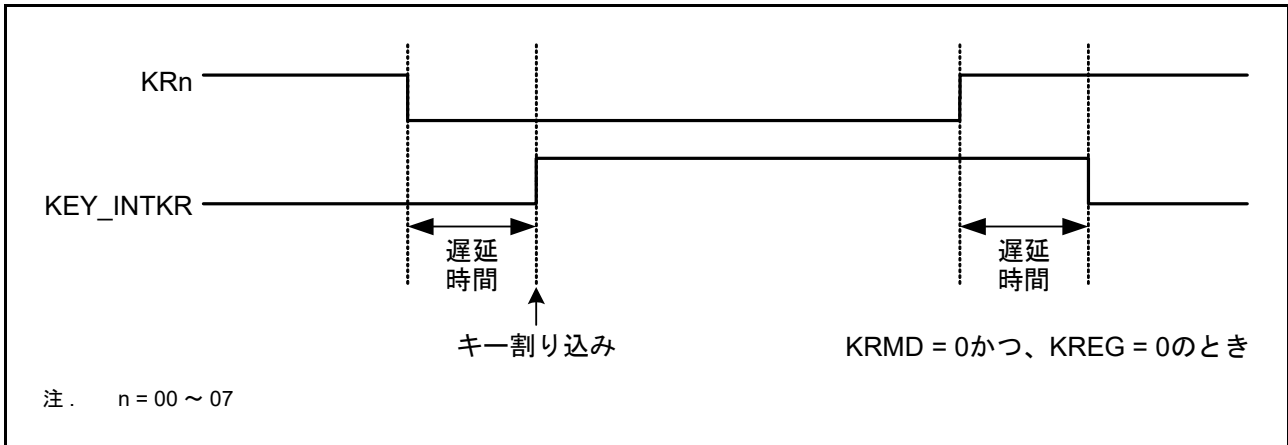


図 18.2 キー割り込みが1つのチャンネルに入力された場合の KEY_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 18.3 に示します。KREG ビットが 0 の場合、一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます。そのため、この期間中に他方の端子に立ち下がりエッジが入力されても、再度キー割り込み (KEY_INTKR) は発生しません。図 18.3 の [1] を参照してください。

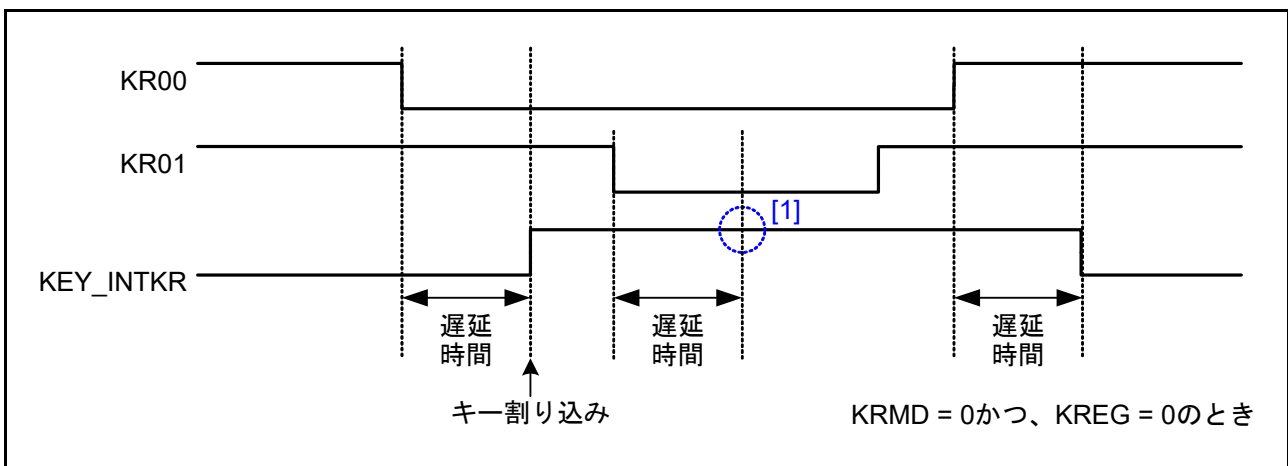


図 18.3 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

18.3.2 キー割り込みフラグを使用する場合 (KRMD = 1)

キー割り込み端子 KR00 ~ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み (KEY_INTKR) が発生します。有効エッジが入力されたチャンネルを識別するには、キー割り込み (KEY_INTKR) の発生後にキーリターンフラグレジスタ (KRF) を読み出してください。KRMD ビットが 1 になっている場合、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 18.4 に示すように、KREG ビットが 0 の場合、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

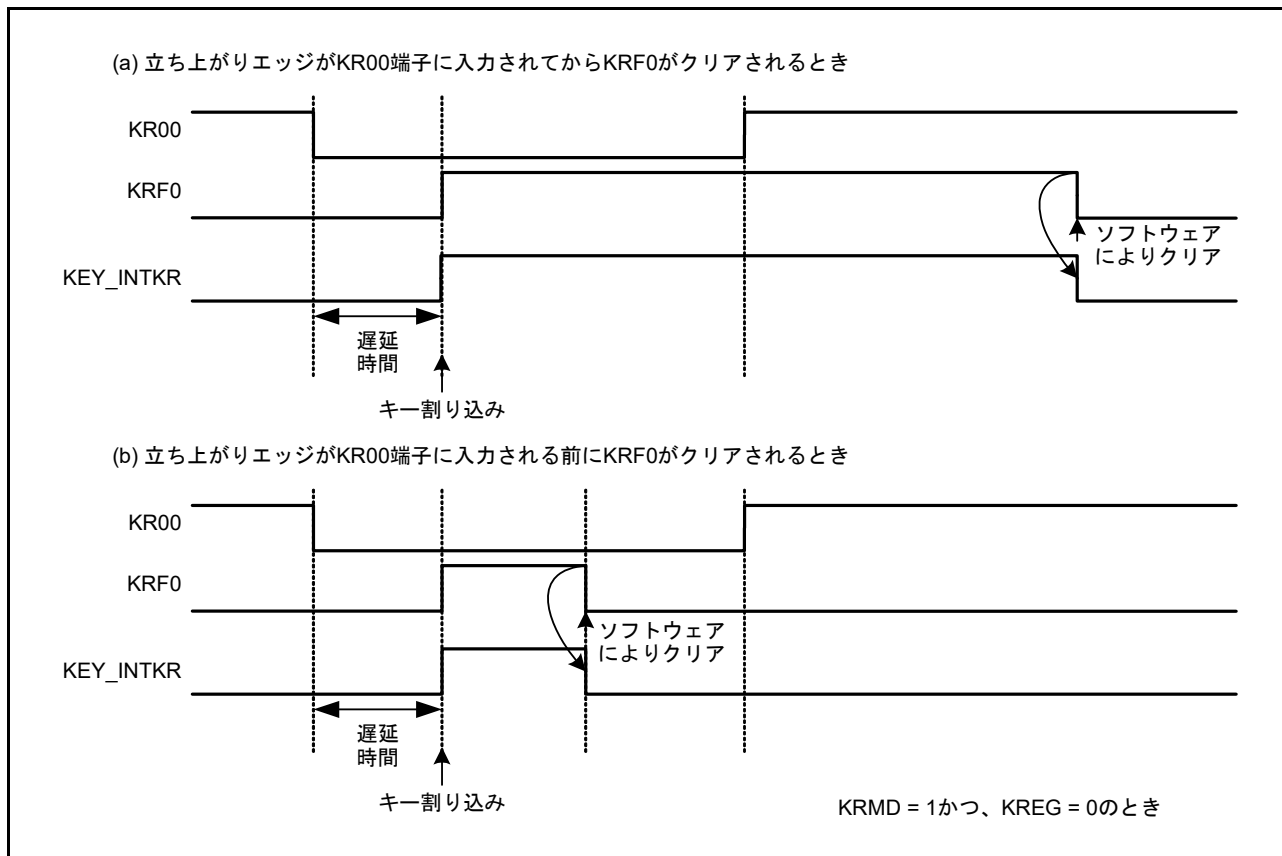


図 18.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 18.5 に示します。KREG ビットが 0 の場合、KR00 端子に立ち上がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち上がりエッジが入力されています。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、キー割り込みが PCLKB クロックを生成します。図 18.5 の [1] を参照してください。また、KR05 端子に立ち上がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットがクリアされたとき、図中の [2] の状態になります。そのため、KRF1 ビットがクリアされると、キー割り込みが PCLKB クロックを生成します。図中の [3] を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

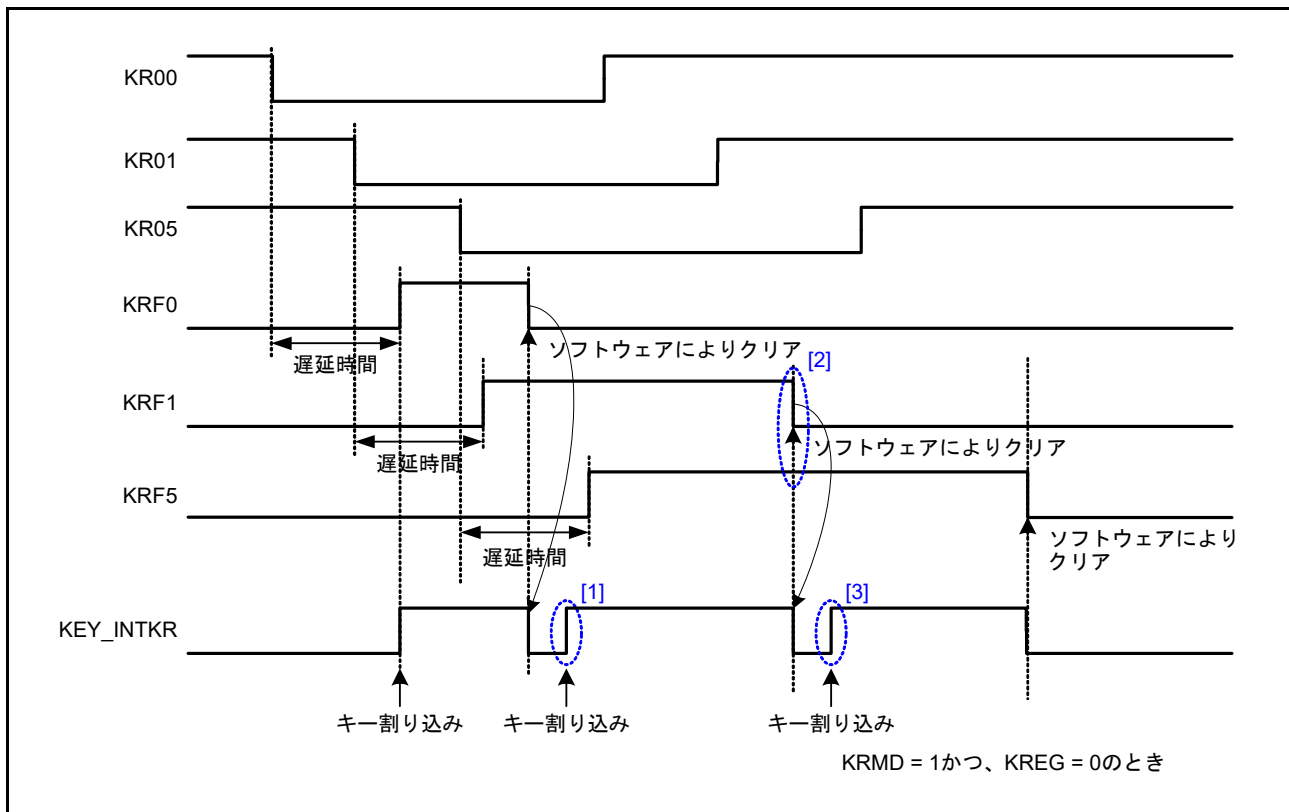


図 18.5 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

18.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD を 1 にすること
- キー割り込み機能が端子に割り当てられる場合、この端子入力ソフトウェアスタンバイモード時に常に許可される。また、この端子レベルが変化すると、対応する KRF_n がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除後に、キー割り込みが発生する可能性がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRF をクリアしてください

19. GPT用ポートアウトプットイネーブル (POEG)

19.1 概要

GPT用ポートアウトプットイネーブル (POEG) では、GTETR G_n 端子 ($n = A, B$) の入力レベル検出、GPTからの出力禁止要求、コンパレータ (ACMPHS) 割り込み要求検出、クロック発生回路の発振停止検出、ならびにレジスタ設定に基づいて、汎用PWMタイマ (GPT) の出力端子を出力禁止状態とすることが可能です。さらに、GTETR G 端子はGPTへの外部トリガ入力端子として利用可能です。

表 19.1 に POEG の仕様を、図 19.1 に POEG のブロック図を、表 19.2 に POEG の入力端子を示します。

表 19.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	<ul style="list-style-type: none"> 極性とフィルタの選択後、GTETRGAまたはGTETRG_B端子の立ち上がりエッジまたはHighレベルをサンプリングした場合、GPT出力端子を出力禁止に設定可能
GPTからの出力禁止要求	<ul style="list-style-type: none"> GTIOCAおよびGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、この出力禁止要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止状態にするか否かの制御が可能
コンパレータ (ACMPHS) 割り込み要求検出による出力禁止制御	<ul style="list-style-type: none"> 割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	<ul style="list-style-type: none"> クロック発生回路による発振が停止した場合に、GPT出力端子を出力禁止に設定可能
ソフトウェア (レジスタ) による出力禁止制御	<ul style="list-style-type: none"> レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能
割り込み	<ul style="list-style-type: none"> 入力レベル検出による出力禁止制御 GPTまたはコンパレータ (ACMPHS) 割り込み要求検出からの出力禁止要求
GPTに対する外部トリガ出力機能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)	<ul style="list-style-type: none"> 極性とフィルタの選択後、GTETRGAおよびGTETRG_B信号をGPTへ出力可能
ノイズフィルタリング	<ul style="list-style-type: none"> 各入力端子 (GTETRGAおよびGTETRG_B) に対して、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能 各入力端子 (GTETRGAおよびGTETRG_B) に対して、正または負の極性を選択可能 極性およびフィルタ選択後の信号状態のモニタが可能

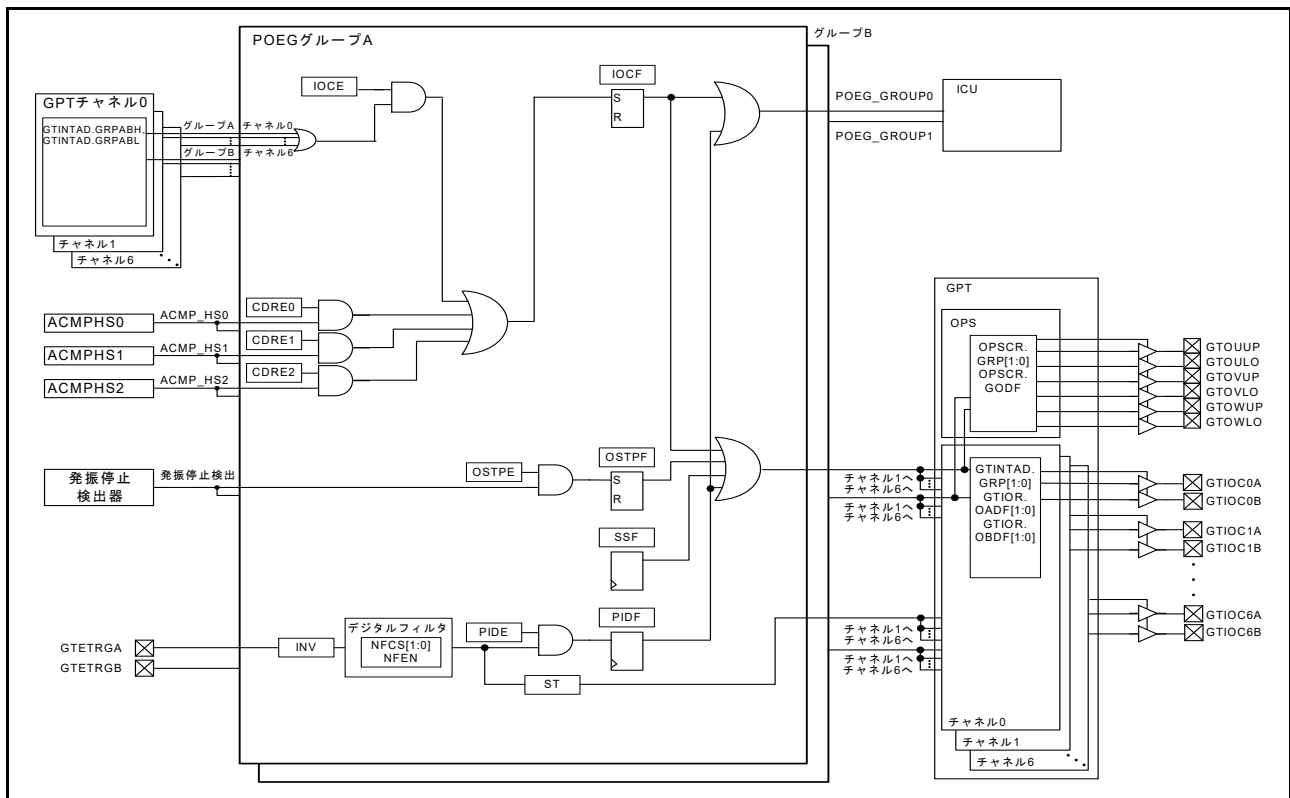


図 19.1 POEGのブロック図

表 19.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B

19.2 レジスタの説明

19.2.1 POEG グループ n 設定レジスタ (POEGGn) (n = A, B)

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRn端子からの出力禁止要求なし 1 : GTETRn端子からの出力禁止要求あり	R/W (注1)
b1	IOCF	GPTまたはACMPHSからの出力禁止要求検出フラグ	0 : GPTまたはACMPHSからの出力禁止要求なし 1 : GPTまたはACMPHSからの出力禁止要求あり	R/W (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止検出による出力禁止要求なし 1 : 発振停止検出による出力禁止要求あり	R/W (注1)
b3	SSF	ソフトウェア停止フラグ	0 : ソフトウェアによる出力禁止要求なし 1 : ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0 : GTETRn端子からの出力禁止要求を禁止 1 : GTETRn端子からの出力禁止要求を許可	R/W (注2)
b5	IOCE	GPTからの出力禁止要求許可	0 : GPTからの出力禁止要求の割り込みを禁止 1 : GPTからの出力禁止要求の割り込みを許可	R/W (注2)
b6	OSTPE	発振停止検出許可	0 : 発振停止検出による出力禁止要求を禁止 1 : 発振停止検出による出力禁止要求を許可	R/W (注2)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CDRE0	ACMP_HS0許可	0 : ACMPHS0からの出力禁止要求を禁止 1 : ACMPHS0からの出力禁止要求を許可	R/W (注2)
b9	CDRE1	ACMP_HS1許可	0 : ACMPHS1からの出力禁止要求を禁止 1 : ACMPHS1からの出力禁止要求を許可	R/W (注2)
b10	CDRE2	ACMP_HS2許可	0 : ACMPHS2からの出力禁止要求を禁止 1 : ACMPHS2からの出力禁止要求を許可	R/W (注2)
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRn入カステータスフラグ	0 : フィルタリング後のGTETRn入力は0 1 : フィルタリング後のGTETRn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRn入力反転	0 : GTETRn入力 1 : GTETRn入力反転	R/W
b29	NFEN	ノイズフィルタ有効	0 : ノイズフィルタは無効 1 : ノイズフィルタは有効	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0 : GTETRn端子の入カレベルをPCLKB/1クロックごとに3回サンプリング 0 1 : GTETRn端子の入カレベルをPCLKB/8クロックごとに3回サンプリング 1 0 : GTETRn端子の入カレベルをPCLKB/32クロックごとに3回サンプリング 1 1 : GTETRn端子の入カレベルをPCLKB/128クロックごとに3回サンプリング	R/W

注1. フラグをクリアするための0の書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGGA および POEGGB レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA および POEGGB レジスタを表しています。

19.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モータ制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRGA および GTETRGB 端子の入力レベルまたはエッジ検出
POEGGn.PIDE ビットが 1 の場合、POEGGn.PIDF フラグが 1 になります
- GPT からの出力禁止要求
POEGGn.IOCE ビットが 1 の場合、GTINTAD レジスタで禁止要求が許可されていると、POEGGn.IOCF フラグが 1 になります。GTINTAD.GRPABH ビットまたは GTINTAD.GRPABL ビットの設定が、GPT レジスタの GTINTAD.GRP[1:0] ビットと OPSCR.GRP[1:0] ビットで選択されたグループに適用されます
- コンパレータ (ACMPHS) 割り込み要求検出
コンパレータ割り込みの検出は、POEGGn.CDRE[2:0] レジスタのいずれかが 1 の場合にアクティブになります。対応するコンパレータ割り込みが発生すると、GPT 出力端子は出力禁止状態になります。POEGGn.IOCF フラグが検出状態を示します
- クロック発生回路の発振停止検出
POEGGn.OSTPE ビットが 1 の場合、POEGGn.OSTPF フラグが 1 になります
- SSF ビットの設定
POEGGn.SSF ビットが 1 の場合、PWM 出力は禁止です

出力禁止状態は GPT で制御されます。GTIOCxA および GTIOCxB 端子の出力禁止は、GPT の GTINTAD.GRP ビット、GTIOR.OADF ビット、および GTIOR.OBDF ビットで設定されます。BLDC モータ制御用 3 相 PWM 出力の出力禁止は、GPT OPS の OPSCR.GRP ビットおよび OPSCR.GODF ビットで設定されます。

19.3.1 端子入力レベル検出時の動作

POEGGn.PIDE、POEGGn.NFCS[1:0]、POEGGn.NFEN、および POEGGn.INV ビットで設定した入力条件が、GTETRGA および GTETRGB 端子で発生した場合、GPT 出力端子は出力禁止状態になります。

19.3.1.1 デジタルフィルタ

図 19.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットで設定した極性に対応した High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGA および GTETRGB 端子のレベル変化が無視されます。

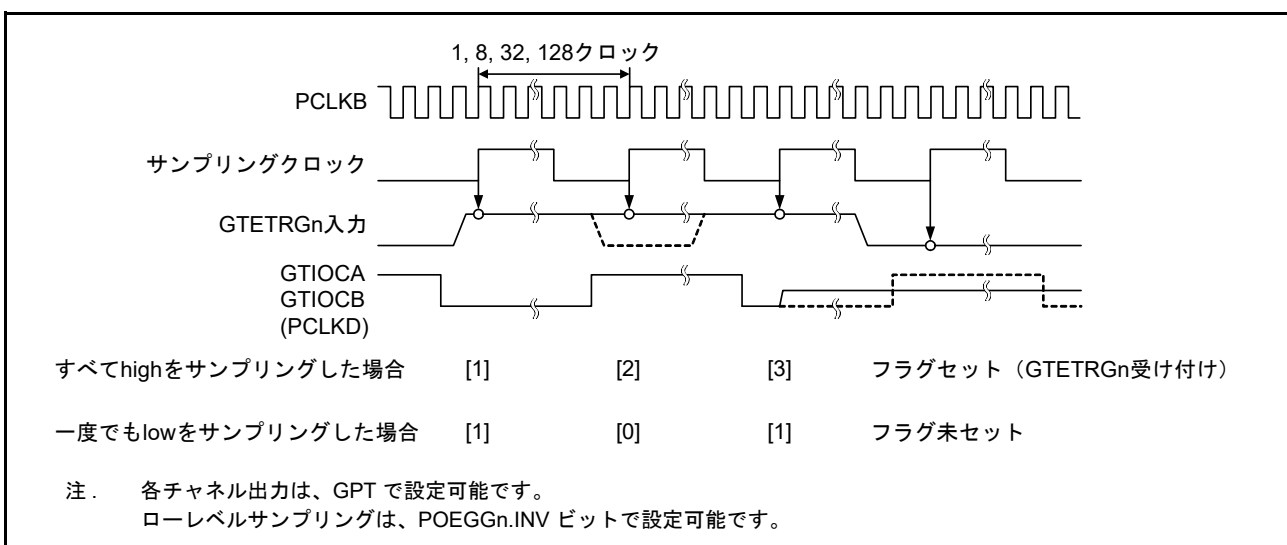


図 19.2 デジタルフィルタの動作例

19.3.2 GPT からの出力禁止要求

この動作の詳細については、「[20. 汎用 PWM タイマ \(GPT\)](#)」に記載の GTIOC 端子の出力禁止制御を参照してください。

19.3.3 コンパレータ割り込みの検出

POEGn.CDRE[2:0] ビットが 1 の場合、コンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGn.IOCF であり、これは GPT の出力禁止検出と共通です。

19.3.4 発振停止検出による出力禁止制御

POEGn.OSTPE ビットが 1 の状態で、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

19.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に書き込むことで直接制御が可能です。

19.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子は、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアすることで出力禁止状態を解除できます。

- POEGn.PIDF フラグ
- POEGn.IOCF フラグ
- POEGn.OSTPF フラグ
- POEGn.SSF フラグ

外部入力端子 GTETRGA および GTETRGB が無効ではなく、かつ POEGn.ST ビットが 0 になっていなければ、POEGn.PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGn.IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGn.OSTPF フラグに 0 を書いても無視されます (フラグはクリアされません)。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 19.3 に、出力禁止状態からの解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

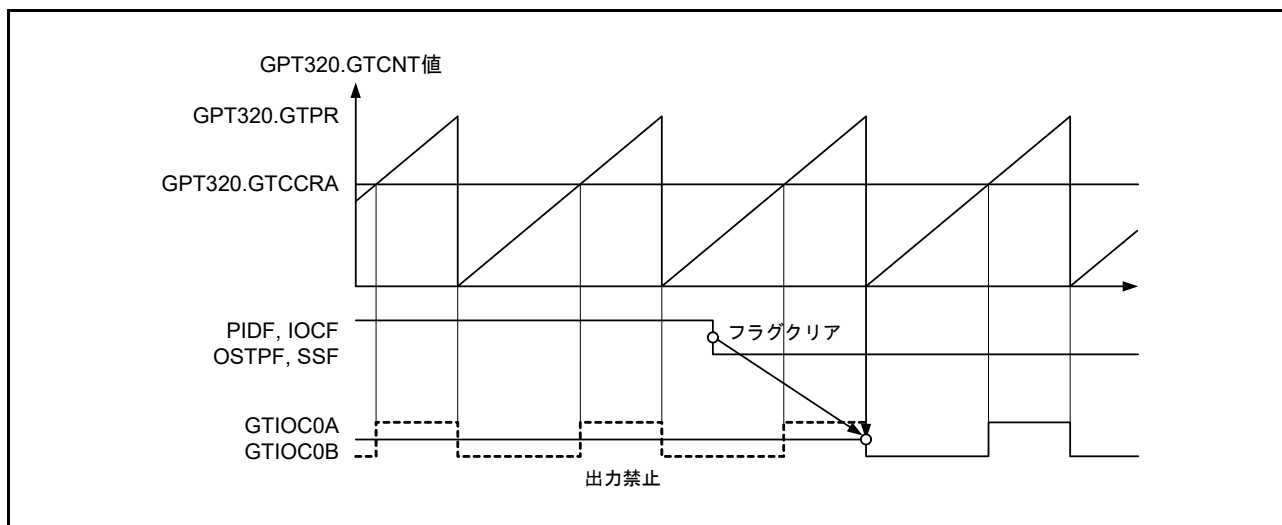


図 19.3 GPT 端子出力の出力禁止状態からの解除タイミング

19.4 割り込み要因

POEG は以下の要因によって割り込み要求を発行します。

- 入力レベル検出による出力禁止制御
- GPT またはコンパレータ (ACMPHS) 割り込み要求検出からの出力禁止要求

表 19.3 に、割り込み要求の条件を示します。

表 19.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	内容
POEGグループA割り込み	POEG_GROUP0	POEGGA.IOCF	GPTからの出力禁止要求が発生 ACMPHS 割り込みからの出力禁止要求が発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求が発生
POEGグループB割り込み	POEG_GROUP1	POEGGB.IOCF	GPTからの出力禁止要求が発生 ACMPHS 割り込みからの出力禁止要求が発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求が発生

19.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGA および GTETRGB 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インพุットキャプチャ

POEGG.INV で設定した極性信号に対し、POEGGn.NFCS[1:0] および POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。そのコントロールレジスタは、19.3.1 端子入力レベル検出時の動作に記載の入力レベル検出時の動作レジスタと同一です。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 19.4 に、GPT に対する外部トリガ出力のタイミングを示します。

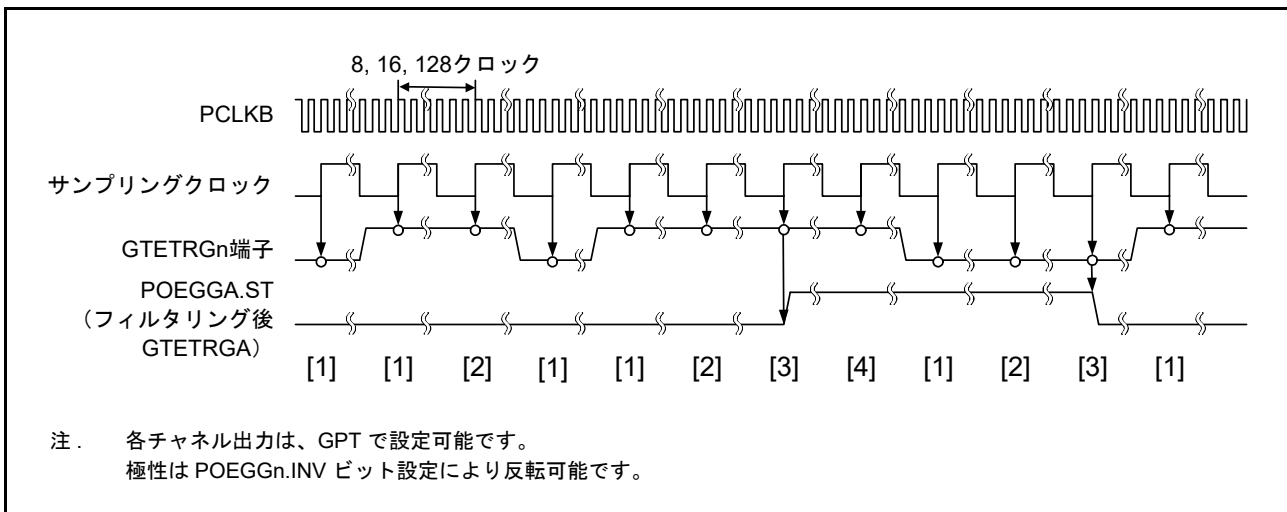


図 19.4 GPT に対する外部トリガ出力のタイミング

19.6 使用上の注意事項

19.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

19.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL ビットの設定によって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

20. 汎用 PWM タイマ (GPT)

20.1 概要

汎用 PWM タイマ (GPT) には、GPT32 チャンネル 1 つで構成された 32 ビットタイマ、GPT16H チャンネル 3 つで構成された 16 ビットタイマ、および GPT16 チャンネル 3 つで構成された 16 ビットタイマがあります。PWM 波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。GPT は汎用タイマとしても使用可能です。

表 20.1 に GPT の仕様を、表 20.2 に GPT の機能一覧を、図 20.1 にブロック図を示します。

表 20.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> • GPT32 (32ビット) × 1チャンネル、GPT16H (16ビット) × 3チャンネル、GPT16 (16ビット) × 3チャンネル • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) • PWM動作の際にデットタイム生成が可能 • 任意チャンネルのカウンタの同期スタート/ストップ/クリア • 最大4個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 最大2個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウン • 出力端子間の短絡検出による出力端子無効機能 • ブラシレスDCモータ制御用のPWM波形生成が可能 • コンペアマッチA~Dイベント、オーバーフローイベント/アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能 • インプットキャプチャおよび入力UVWに対しノイズフィルタを使用可能

表 20.2 GPTの機能一覧

項目		GPT32, GPT16H, GPT16
カウントクロック		PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA GTCCRB
コンペア/バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR
入出力端子		GTIOCA GTIOCB
外部トリガ入力端子 (注1)		GTETRGA GTETRGB
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETR Gn (n = A, B) 端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能 (デッドタイムバッファなし)
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DTCの起動		すべての割り込み要因
ブラシレスDCモータ制御機能		可能
割り込み要因		6要因 <ul style="list-style-type: none"> • GTCCRAのコンペアマッチ/インプットキャプチャ (GPTn_CCMPA) • GTCCRBのコンペアマッチ/インプットキャプチャ (GPTn_CCMPB) • GTCCRCのコンペアマッチ (GPTn_CMPC) • GTCCRDのコンペアマッチ (GPTn_CMPD) • GTCNTのオーバーフロー (GTPRのコンペアマッチ) (GPTn_OVF) • GTCNTのアンダーフロー (GPTn_UDF) 注. n = 0~6
イベントリンク (ELC) 機能		可能
ノイズフィルタ機能		可能

注 1. GTRETR Gn は、POEG モジュールに接続してから GPT に接続します。このため、GPT の機能を使用するには、MSTPD のビット [14] をクリアすることでクロックを POEG に供給してください。

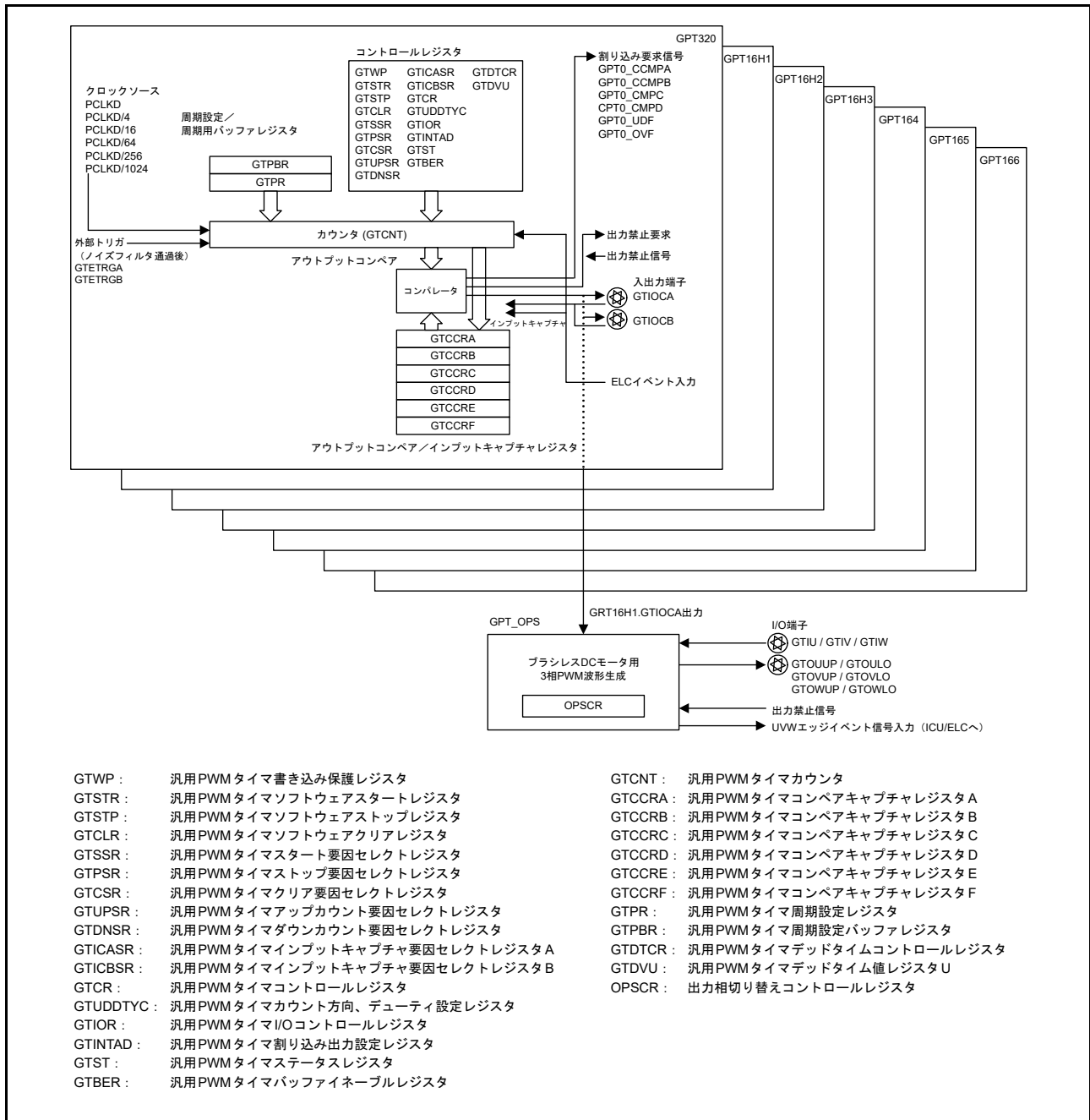


図 20.1 GPT のブロック図

図 20.2 に GPT の各チャネルとモジュール名との対応を示します。

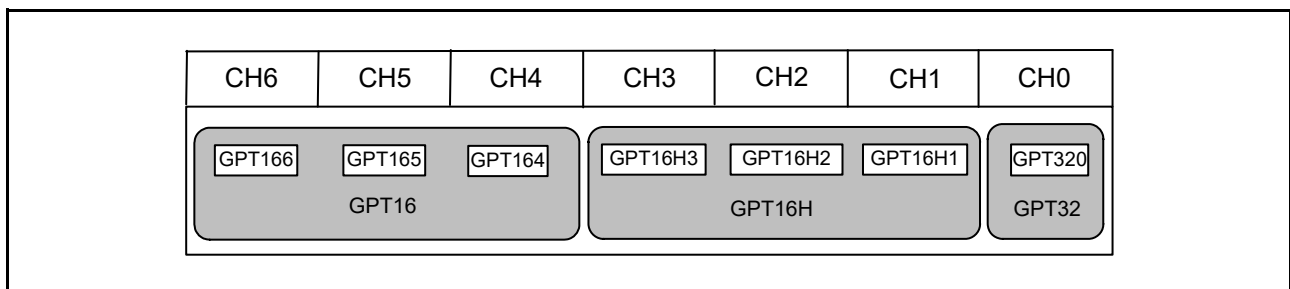


図 20.2 GPT の各チャネルとモジュール名との対応

表 20.3 に GPT で使用する入出力端子の一覧を示します。

表 20.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (ノイズフィルタリング後)
	GTETRGB	入力	外部トリガ入力端子B (ノイズフィルタリング後)
GPT320	GTIOC0A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT16H1	GTIOC1A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT16H2	GTIOC2A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT16H3	GTIOC3A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT164	GTIOC4A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC4B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT165	GTIOC5A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC5B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT166	GTIOC6A	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC6B	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDC モータ制御用3相PWM出力 (正相U相)
	GTOULO	出力	BLDC モータ制御用3相PWM出力 (逆相U相)
	GTOVUP	出力	BLDC モータ制御用3相PWM出力 (正相V相)
	GTOVLO	出力	BLDC モータ制御用3相PWM出力 (逆相V相)
	GTOWUP	出力	BLDC モータ制御用3相PWM出力 (正相W相)
GTOWLO	出力	BLDC モータ制御用3相PWM出力 (逆相W相)	

20.2 レジスタの説明

表 20.4 に GPT のレジスタ一覧を示します。

表 20.4 GPTのレジスタ

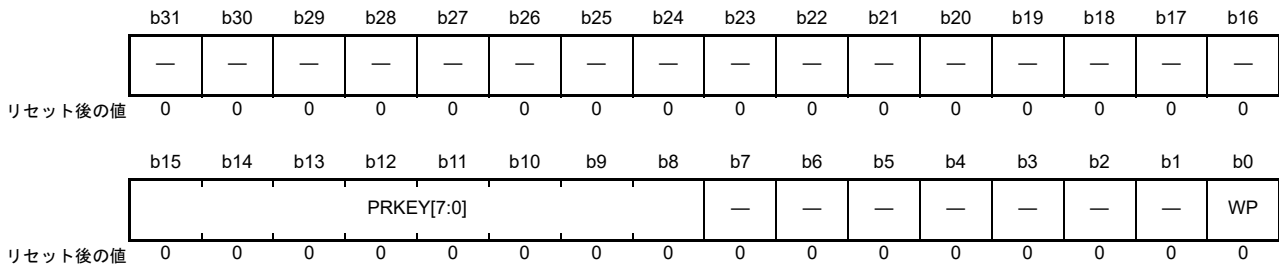
モジュール シンボル	レジスタ名	レジスタ シンボル	リセット値	アドレス	アクセス サイズ
GPT320, GPT16Hn (n = 1~3), GPT16n (n = 4~6)	汎用PWMタイマ書き込み保護レジスタ	GTWP	00000000h	4007 8000h + 0100h × m	32
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	00000000h	4007 8004h + 0100h × m	32
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFFFFFFh	4007 8008h + 0100h × m	32
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	00000000h	4007 800Ch + 0100h × m	32
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	00000000h	4007 8010h + 0100h × m	32
	汎用PWMタイマストップ要因選択レジスタ	GTCSR	00000000h	4007 8014h + 0100h × m	32
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	00000000h	4007 8018h + 0100h × m	32
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	00000000h	4007 801Ch + 0100h × m	32
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	00000000h	4007 8020h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ A	GTICASR	00000000h	4007 8024h + 0100h × m	32
	汎用PWMタイマインプットキャプチャ要因選択レジスタ B	GTICBSR	00000000h	4007 8028h + 0100h × m	32
	汎用PWMタイマコントロールレジスタ	GTCR	00000000h	4007 802Ch + 0100h × m	32
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	00000001h	4007 8030h + 0100h × m	32
	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	00000000h	4007 8034h + 0100h × m	32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	00000000h	4007 8038h + 0100h × m	32
	汎用PWMタイマステータスレジスタ	GTST	00008000h	4007 803Ch + 0100h × m	32
	汎用PWMタイマバッファイネーブルレジスタ	GTBER	00000000h	4007 8040h + 0100h × m	32
	汎用PWMタイマカウンタ	GTCNT	00000000h	4007 8048h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ A	GTCCRA	FFFFFFFFh (注1)	4007 804Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ B	GTCCRB	FFFFFFFFh (注1)	4007 8050h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ C	GTCCRC	FFFFFFFFh (注1)	4007 8054h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ E	GTCCRE	FFFFFFFFh (注1)	4007 8058h + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ D	GTCCRD	FFFFFFFFh (注1)	4007 805Ch + 0100h × m	32
	汎用PWMタイマコンペアキャプチャレジスタ F	GTCCRF	FFFFFFFFh (注1)	4007 8060h + 0100h × m	32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFFFFFFh (注1)	4007 8064h + 0100h × m	32
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFFFFFFh (注1)	4007 8068h + 0100h × m	32
汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	00000000h	4007 8088h + 0100h × m	32	
汎用PWMタイマデッドタイム値レジスタ U	GTDVU	FFFFFFFFh (注1)	4007 808Ch + 0100h × m	32	
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	00000000h	4007 8FF0h	32

m = 0 ~ 6

注 1. カウンタの有効サイズが 16 ビットのとき、リセット値は 0000FFFFh となります。

20.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPT320.GTWP 4007 8000h
 GPT16Hm.GTWP 4007 8000h + 0100h × m (m = 1~3)
 GPT16m.GTWP 4007 8000h + 0100h × m (m = 4~6)



ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0 : レジスタへの書き込みを許可 1 : レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWPキーコード	これらのビットにA5hを書き込むと、WPビットへの書き込みが許可されます。読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。書き込みが許可/禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

20.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPT320.GTSTR 4007 8004h
 GPT16Hm.GTSTR 4007 8004h + 0100h × m (m = 1~3)
 GPT16m.GTSTR 4007 8004h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャンネル x (x = 0 ~ 6) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャンネル番号に相当します。GTSTR レジスタは各チャンネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャンネルの GTCNT カウンタが開始されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。

GTSTR のビット番号とチャンネル番号の対応関係については、[図 20.2](#) を参照してください。

CSTRT[6:0] ビット (チャンネル x GTCNT カウントスタート) (x = 0 ~ 6)

チャンネル x の GTCNT カウンタ動作を開始します。GPTm.GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRTn ビットへの書き込みは無効です (n = 0 ~ 6, m = 320, 16H1 ~ 16H3, 164 ~ 166)。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタストップを、1 はカウンタ動作を意味します。

20.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPT320.GTSTP 4007 8008h
 GPT16Hm.GTSTP 4007 8008h + 0100h × m (m = 1~3)
 GPT16m.GTSTP 4007 8008h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CSTOP 6	CSTOP 5	CSTOP 4	CSTOP 3	CSTOP 2	CSTOP 1	CSTOP 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャンネル x (x = 0 ~ 6) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止されます。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。

GTSTP のビット番号とチャンネル番号の対応関係については、[図 20.2](#) を参照してください。

CSTOP[6:0] ビット (チャンネル x GTCNT カウントストップ) (x = 0 ~ 6)

チャンネル x の GTCNT カウンタ動作を停止します。GPTm.GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOPn ビットへの書き込みは無効です (n = 0 ~ 6, m = 320, 16H1 ~ 16H3, 164 ~ 166)。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作を、1 はカウンタストップを意味します。

20.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPT320.GTCLR 4007 800Ch
 GPT16Hm.GTCLR 4007 800Ch + 0100h × m (m = 1~3)
 GPT16m.GTCLR 4007 800Ch + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CCLR 6	CCLR 5	CCLR 4	CCLR 3	CCLR 2	CCLR 1	CCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタで、各チャンネル x (x = 0 ~ 6) の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。

GTCLR のビット番号とチャンネル番号の対応関係については、[図 20.2](#) を参照してください。

CCLR[6:0] ビット (チャンネル x GTCNT カウントクリア) (x = 0 ~ 6)

本ビットに 1 を書き込むと、チャンネル x の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

20.2.5 汎用 PWM タイマスタート要因選択レジスタ (GTSSR)

アドレス GPT320.GTSSR 4007 8010h
 GPT16Hm.GTSSR 4007 8010h + 0100h × m (m = 1~3)
 GPT16m.GTSSR 4007 8010h + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTRT	—	—	—	—	—	—	—	—	—	—	—	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	—	—	—	—	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0: GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタスタート許可	0: GTETRGB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELC_GPTA イベント要因カウンタスタート許可	0: ELC_GPTA イベント入力でのカウンタスタートを禁止 1: ELC_GPTA イベント入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELC_GPTB イベント要因カウンタスタート許可	0: ELC_GPTB イベント入力でのカウンタスタートを禁止 1: ELC_GPTB イベント入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELC_GPTC イベント要因カウンタスタート許可	0: ELC_GPTC イベント入力でのカウンタスタートを禁止 1: ELC_GPTC イベント入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELC_GPTD イベント要因カウンタスタート許可	0: ELC_GPTD イベント入力でのカウンタスタートを禁止 1: ELC_GPTD イベント入力でのカウンタスタートを許可	R/W
b30-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0: GTSTRレジスタによるカウンタスタートを禁止 1: GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

SSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタスタート許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタスタート許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可/禁止します。

SSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートを許可／禁止します。

SSELCm ビット (ELC_GPTm イベント要因カウンタスタート許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタスタートを許可／禁止します。

CSTRT ビット (ソフトウェア要因カウンタスタート許可)

GTSTR レジスタによる GTCNT カウンタスタートを許可／禁止します。

20.2.6 汎用 PWM タイマストップ要因選択レジスタ (GTPSR)

アドレス GPT320.GTPSR 4007 8014h
 GPT16Hm.GTPSR 4007 8014h + 0100h × m (m = 1~3)
 GPT16m.GTPSR 4007 8014h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	—	—	—	—	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	—	—	—	—	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタストップ許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタストップ許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	PSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELC_GPTA イベント要因カウンタストップ許可	0: ELC_GPTA イベント入力でのカウンタストップを禁止 1: ELC_GPTA イベント入力でのカウンタストップを許可	R/W
b17	PSELCB	ELC_GPTB イベント要因カウンタストップ許可	0: ELC_GPTB イベント入力でのカウンタストップを禁止 1: ELC_GPTB イベント入力でのカウンタストップを許可	R/W
b18	PSELCC	ELC_GPTC イベント要因カウンタストップ許可	0: ELC_GPTC イベント入力でのカウンタストップを禁止 1: ELC_GPTC イベント入力でのカウンタストップを許可	R/W
b19	PSELCD	ELC_GPTD イベント要因カウンタストップ許可	0: ELC_GPTD イベント入力でのカウンタストップを禁止 1: ELC_GPTD イベント入力でのカウンタストップを許可	R/W
b30-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0: GTSTPレジスタによるカウンタストップを禁止 1: GTSTPレジスタによるカウンタストップを許可	R/W

GTCSR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

PSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタストップ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタストップ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可/禁止します。

PSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップを許可／禁止します。

PSELCm ビット (ELC_GPTm イベント要因カウンタストップ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタストップを許可／禁止します。

CSTOP ビット (ソフトウェア要因カウンタストップ許可)

GTSTP レジスタによる GTCNT カウンタストップを許可／禁止します。

20.2.7 汎用 PWM タイマクリア要因選択レジスタ (GTCSR)

アドレス GPT320.GTCSR 4007 8018h
 GPT16Hm.GTCSR 4007 8018h + 0100h × m (m = 1~3)
 GPT16m.GTCSR 4007 8018h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	—	—	—	—	—	—	—	CSELC D	CSELC C	CSELC B	CSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	—	—	—	—	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0: GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0: GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	CSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELC_GPTAイベント要因カウンタクリア許可	0: ELC_GPTAイベント入力でのカウンタクリアを禁止 1: ELC_GPTAイベント入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELC_GPTBイベント要因カウンタクリア許可	0: ELC_GPTBイベント入力でのカウンタクリアを禁止 1: ELC_GPTBイベント入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELC_GPTCイベント要因カウンタクリア許可	0: ELC_GPTCイベント入力でのカウンタクリアを禁止 1: ELC_GPTCイベント入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELC_GPTDイベント要因カウンタクリア許可	0: ELC_GPTDイベント入力でのカウンタクリアを禁止 1: ELC_GPTDイベント入力でのカウンタクリアを許可	R/W
b30-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0: GTCLRレジスタによるカウンタクリアを禁止 1: GTCLRレジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

CSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタクリア許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタクリア許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアを許可/禁止します。

CSELCm ビット (ELC_GPTm イベント要因カウンタクリア許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタクリアを許可/禁止します。

CCLR ビット (ソフトウェア要因カウンタクリア許可)

GTCLR レジスタによる GTCNT カウンタクリアを許可/禁止します。

20.2.8 汎用 PWM タイマアップカウント要因選択レジスタ (GTUPSR)

アドレス GPT320.GTUPSR 4007 801Ch
 GPT16Hm.GTUPSR 4007 801Ch + 0100h × m (m = 1~3)
 GPT16m.GTUPSR 4007 801Ch + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	USEL C D	USEL C	USEL C B	USEL C A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
USCBF AH	USCBF AL	USCBR AH	USCBR AL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	—	—	—	—	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	USCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	USCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELC_GPTAイベント要因カウンタカウントアップ許可	0: ELC_GPTAイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTAイベント入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELC_GPTBイベント要因カウンタカウントアップ許可	0: ELC_GPTBイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTBイベント入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELC_GPTCイベント要因カウンタカウントアップ許可	0: ELC_GPTCイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTCイベント入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELC_GPTDイベント要因カウンタカウントアップ許可	0: ELC_GPTDイベント入力でのカウンタカウントアップを禁止 1: ELC_GPTDイベント入力でのカウンタカウントアップを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTUPSRレジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によってGTCNTカウンタがカウントアップされますが、GTCR.TPCSで設定したGTCNTカウンタのカウントは実行されません。

USGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち上がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGA 端子入力の立ち下がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち上がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTETRGB 端子入力の立ち下がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が0のとき、GTIOCA 端子入力の立ち上がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が1のとき、GTIOCA 端子入力の立ち上がりエッジでのGTCNTカウンタカウントアップを許可/禁止します。

USCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USCAFBLH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップを許可/禁止します。

USELCm ビット (ELC_GPTm イベント要因カウンタカウントアップ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタカウントアップを許可/禁止します。

20.2.9 汎用 PWM タイマダウンカウンタ要因選択レジスタ (GTDNSR)

アドレス GPT320.GTDNSR 4007 8020h
 GPT16Hm.GTDNSR 4007 8020h + 0100h × m (m = 1~3)
 GPT16m.GTDNSR 4007 8020h + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	—	—	—	—	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTETRGB 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DSCARBL	GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が0のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可	0 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCB 入力が1のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が0のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可	0 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1 : GTIOCA 入力が1のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELC_GPTAイベント要因カウンタカウントダウン許可	0: ELC_GPTAイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTAイベント入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELC_GPTBイベント要因カウンタカウントダウン許可	0: ELC_GPTBイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTBイベント入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELC_GPTCイベント要因カウンタカウントダウン許可	0: ELC_GPTCイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTCイベント入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELC_GPTDイベント要因カウンタカウントダウン許可	0: ELC_GPTDイベント入力でのカウンタカウントダウンを禁止 1: ELC_GPTDイベント入力でのカウンタカウントダウンを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも1つのビットを1にすると、そのビットに対応する要因によって GTCNT カウンタがカウントダウンされますが、GTCR.TPCS で設定した GTCNT カウンタのカウントは実行されません。

DSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンを許可/禁止します。

DSELCm ビット (ELC_GPTm イベント要因カウンタカウントダウン許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCNT カウンタカウントダウンを許可/禁止します。

20.2.10 汎用PWM タイマインプットキャプチャ要因選択レジスタ A (GTICASR)

アドレス GPT320.GTICASR 4007 8024h
 GPT16Hm.GTICASR 4007 8024h + 0100h × m (m = 1~3)
 GPT16m.GTICASR 4007 8024h + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	ASEL D	ASEL C	ASEL B	ASEL A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ASC BF AH	ASC BF AL	ASC BR AH	ASC BR AL	ASC AF BH	ASC AF BL	ASC AR BH	ASC AR BL	—	—	—	—	ASG TR GBF	ASG TR GBR	ASG TR GAF	ASG TR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b11	ASCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELC_GPTAイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELC_GPTBイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELC_GPTCイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELC_GPTDイベント要因GTCCRAインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

ASGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャを許可/禁止します。

ASCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

ASCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

ASCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

ASCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

ASCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インพุットキャプチャを許可/禁止します。

ASELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRA インพุットキャプチャ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCCRA インพุットキャプチャを許可/禁止します。

20.2.11 汎用PWM タイムインプットキャプチャ要因選択レジスタ B (GTICBSR)

アドレス GPT320.GTICBSR 4007 8028h
 GPT16Hm.GTICBSR 4007 8028h + 0100h × m (m = 1~3)
 GPT16m.GTICBSR 4007 8028h + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	—	—	—	—	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1: GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSELCA	ELC_GPTAイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTAイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELC_GPTBイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTBイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELC_GPTCイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTCイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELC_GPTDイベント要因GTCCRBインプットキャプチャ許可	0: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを禁止 1: ELC_GPTDイベント入力でのGTCCRBインプットキャプチャを許可	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインプットキャプチャ要因を設定するレジスタです。

BSGTRGAR ビット (GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSGTRGAF ビット (GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSGTRGBR ビット (GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSGTRGBF ビット (GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSCARBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSCARBH ビット (GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSCAFBL ビット (GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可)

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャを許可/禁止します。

BSCAFBH ビット (GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBRAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBRAH ビット (GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBFAL ビット (GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSCBFAH ビット (GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)

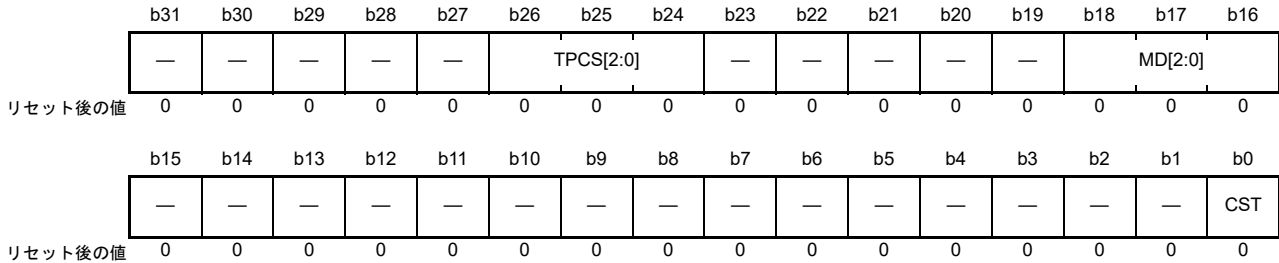
GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インพุットキャプチャを許可／禁止します。

BSELCm ビット (ELC_GPTm イベント要因カウンタ GTCCRB インพุットキャプチャ許可) (m = A ~ D)

ELC_GPTm イベント入力での GTCCRB インพุットキャプチャを許可／禁止します。

20.2.12 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT320.GTCR 4007 802Ch
 GPT16Hm.GTCR 4007 802Ch + 0100h × m (m = 1~3)
 GPT16m.GTCR 4007 802Ch + 0100h × m (m = 4~6)



ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0 : カウント動作を停止 1 : カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0 : のこぎり波PWMモード (シングル/ダブルバッファ可) 0 0 1 : のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0 : 設定禁止 0 1 1 : 設定禁止 1 0 0 : 三角波PWMモード1 (谷32ビット転送) (シングル/ダブルバッファ可) 1 0 1 : 三角波PWMモード2 (山/谷32ビット転送) (シングル/ダブルバッファ可) 1 1 0 : 三角波PWMモード3 (谷64ビット転送) (バッファ動作固定) 1 1 1 : 設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケアラ選択	b26 b24 0 0 0 : PCLKD/1 0 0 1 : PCLKD/4 0 1 0 : PCLKD/16 0 1 1 : PCLKD/64 1 0 0 : PCLKD/256 1 0 1 : PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタート)

GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRn ポート入力が発生したとき
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTSSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき

- ELC イベント入力、またはカウンタストップ要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETR_{Gn} ポート入力が発生したとき
- ソフトウェアで直接 0 を書き込んだとき

MD[2:0] ビット (モード選択)

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

TPCS[2:0] ビット (タイマプリスケアラ選択)

GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケアラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT 動作が停止しているときに行ってください。

20.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPT320.GTUDDTYC 4007 8030h
 GPT16Hm.GTUDDTYC 4007 8030h + 0100h × m (m = 1~3)
 GPT16m.GTUDDTYC 4007 8030h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]	—	—	—	—	OADTYR	OADTYF	OADTY[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x : GTIOCA端子のデューティはコンペアマッチに依存 1 0 : GTIOCA端子のデューティは0% 1 1 : GTIOCA端子のデューティは100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b19	OADTYR	0%/100% デューティ設定解除後のGTIOCA出力値選択	0 : 0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値をGTIOA[3:2]機能に適用 1 : 0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x : GTIOCB端子のデューティはコンペアマッチに依存 1 0 : GTIOCB端子のデューティは0% 1 1 : GTIOCB端子のデューティは100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0 : 強制設定しない 1 : 強制設定する	R/W
b27	OBDTYR	0%/100% デューティ設定解除後のGTIOCB出力値選択	0 : 0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値をGTIOB[3:2]機能に適用 1 : 0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x : Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向 (アップ/ダウン) および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に (GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に (GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで) カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD ビット値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定)

GTCNT カウンタのカウント方向 (アップ/ダウン) を設定します。

UDF ビット (カウント方向強制設定)

GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、本ビットに 0 以外を書き込まないでください。カウントストップ中にこのビットに 1 を書いた場合、カウントがスタートする前にこのビットを 0 に戻す必要があります。

【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

- 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタスタート時に出力デューティは反映されません。アンダーフロー時に出力デューティが反映されません。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタスタート時に出力デューティが反映されます。

OmDTY[1:0] ビット (GTIOCm 出力デューティ設定) (m = A、B)

これらのビットは、GTIOCm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

OmDTYF ビット (GTIOCm 出力デューティ強制設定) (m = A、B)

本ビットは、出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にする必要があります。カウントストップ中にこのビットを 1 にした場合、カウンタの動作開始後、最初の周期が終わるまでにこのビットを 0 に戻す必要があります。

OmDTYR ビット (0%/100% デューティ設定解除後の GTIOCm 出力値選択) (m = A、B)

0%/100% デューティ設定から GTIOCm 端子のコンペアマッチに制御が変更され、かつ GTIOR.GTIOm[3:2] ビットが 00b (周期の終わりで出力保持) または 11b (周期の終わりでトグル出力) に設定されている場合、これらのビットは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。

0%/100% デューティ動作の実行時に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでコンペアマッチの値が GTIOR.GTIOm[3:2] に適用されます。

20.2.14 汎用PWMタイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT320.GTIOR 4007 8034h
 GPT16Hm.GTIOR 4007 8034h + 0100h × m (m = 1~3)
 GPT16m.GTIOR 4007 8034h + 0100h × m (m = 4~6)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCBSB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFL T	—	GTIOB[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFCSA[1:0]	NFAEN	—	—	OADF[1:0]	OAE	OAHL	OADFL T	—	GTIOA[4:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA 端子機能選択	表 20.5 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA 端子出力値設定	0 : カウントストップ時にGTIOCA 端子はLow を出力 1 : カウントストップ時にGTIOCA 端子はHigh を出力	R/W
b7	OAHL	カウントスタート/ストップ時のGTIOCA 端子出力設定	0 : カウントスタート/ストップ時のGTIOCA 端子出力レベルはレジスタ設定値に従う 1 : カウントスタート/ストップ時のGTIOCA 端子出力レベルは保持する	R/W
b8	OAE	GTIOCA 端子出力許可	0 : 出力を許可しない 1 : 出力を許可	R/W
b10-b9	OADF[1:0]	GTIOCA 端子禁止値設定	b10 b9 0 0 : 出力禁止を許可しない 0 1 : 出力禁止時にGTIOCA 端子をHi-Zにする 1 0 : 出力禁止時にGTIOCA 端子を0にする 1 1 : 出力禁止時にGTIOCA 端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタA有効	0 : GTIOCA 端子のノイズフィルタは無効 1 : GTIOCA 端子のノイズフィルタは有効	R/W
b15-b14	NFCSA[1:0]	ノイズフィルタAサンプリングクロック選択	b15 b14 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB 端子機能選択	表 20.5 を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB 端子出力値設定	0 : カウントストップ時にGTIOCB 端子はLow を出力 1 : カウントストップ時にGTIOCB 端子はHigh を出力	R/W
b23	OBHL	カウントスタート/ストップ時のGTIOCB 端子出力設定	0 : カウントスタート/ストップ時のGTIOCB 端子出力レベルはレジスタ設定値に従う 1 : カウントスタート/ストップ時のGTIOCB 端子出力レベルを保持する	R/W
b24	OBE	GTIOCB 端子出力許可	0 : 出力を禁止 1 : 出力を許可	R/W
b26-b25	OBDF[1:0]	GTIOCB 端子禁止値設定	b26 b25 0 0 : 出力禁止を許可しない 0 1 : 出力禁止時にGTIOCB 端子をHi-Zにする 1 0 : 出力禁止時にGTIOCB 端子を0にする 1 1 : 出力禁止時にGTIOCB 端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタB有効	0 : GTIOCB 端子のノイズフィルタは無効 1 : GTIOCB 端子のノイズフィルタは有効	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFC SB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCA 端子機能選択)

GTIOCA 端子の機能を選択します。詳細は、表 20.5 を参照してください。

OADFLT ビット (カウントストップ時の GTIOCA 端子出力値設定)

カウントストップ時に、GTIOCA 端子が High または Low のいずれを出力するかを設定します。

OAHLDBIT ビット (カウントスタート/ストップ時の GTIOCA 端子出力設定)

カウントスタート/ストップ時に、GTIOCA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

OAHLDBIT ビットを 0 にした場合

- カウントスタート時に、GTIOA[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

OAHLDBIT ビットを 1 にした場合

- カウントスタート/ストップ時に出力が保持される

OAE ビット (GTIOCA 端子出力許可)

GTIOCA 端子出力を許可/禁止します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCA 端子出力は OAE ビット値に依存します。

OADF[1:0] ビット (GTIOCA 端子禁止値設定)

出力禁止要求の発生時に GTIOCA 端子の出力値を選択します。

NFAEN ビット (ノイズフィルタ A 有効)

GTIOCA 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFC SA[1:0] ビット (ノイズフィルタ A サンプリングクロック選択)

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。許可しないを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0] ビット (GTIOCB 端子機能選択)

GTIOCB 端子機能を選択します。詳細は、表 20.5 を参照してください。

OBDFLT ビット (カウントストップ時の GTIOCB 端子出力値設定)

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット (カウントスタート/ストップ時の GTIOCB 端子出力設定)

カウントスタート/ストップ時に、GTIOCB 端子の出力レベルを保持するか、レジスタ設定値に従うかを指定します。

OBHLD ビットを 0 にした場合

- カウントスタート時に、GTIOB[4:0] ビットの b4 で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

OBHLD ビットを 1 にした場合

- カウントスタート/ストップ時に出力が保持される

OBE ビット (GTIOCB 端子出力許可)

GTIOCB 端子出力を許可/禁止します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくとも 1 つのビットを 1 にした場合)、GTIOCB 端子出力は OBE ビット値に依存します。

OBDF[1:0] ビット (GTIOCB 端子禁止値設定)

出力禁止要求の発生時に GTIOCB 端子の出力値を選択します。

NFBEN ビット (ノイズフィルタ B 有効)

GTIOCB 端子からの入力に対してノイズフィルタを有効/無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0] ビット (ノイズフィルタ B サンプリングクロック選択)

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 20.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (1/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力はLow	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 20.5 GTIOA[4:0] ビットと GTIOB[4:0] ビットの設定値 (2/2)

GTIOA/GTIOB[4:0] ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力
1	1	1	0	0		周期の終わりで トグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチで トグル出力

- 注 1. 周期の終わりとは、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）、またはアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）を意味します。この場合、GTCNT カウンタはのこぎり波に対してクリアされます。また三角波の谷（GTCNT カウンタが 0 から 1 に変化）に対してクリアされます。
- 注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB レジスタのコンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。
- 注 3. GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

20.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT320.GTINTAD 4007 8038h
 GPT16Hm.GTINTAD 4007 8038h + 0100h × m (m = 1~3)
 GPT16m.GTINTAD 4007 8038h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	—	—	—	GRP[1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0: グループA出力禁止要求を選択 0 1: グループB出力禁止要求を選択 1 0: 設定禁止 1 1: 設定禁止	R/W
b28-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0: 同時出力レベルHigh禁止要求を禁止 1: 同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0: 同時出力レベルLow禁止要求を禁止 1: 同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可/禁止するレジスタです。

GRP[1:0] ビット (出力禁止要因選択)

GTIOCA 端子および GTIOCB 端子の出力禁止要因を選択します。POEG への出力禁止要求は、出力禁止要求許可ビットに基づいて同時出力レベル Hight または同時出力レベル Low が発生するときに、GRP[1:0] ビットで選択されるグループへ送出されます。

GTST.ODF は、GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。GRP[1:0] ビットは、GTIOR.OAE と GTIOR.OBE の両方が 0 の場合に設定してください。

GRPABH ビット (同時出力レベル High 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合に、出力禁止要求を許可/禁止します。

GRPABL ビット (同時出力レベル Low 禁止要求許可)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合に、出力禁止要求を許可/禁止します。

20.2.16 汎用PWM タイマステータスレジスタ (GTST)

アドレス GPT320.GTST 4007 803Ch
 GPT16Hm.GTST 4007 803Ch + 0100h × m (m = 1~3)
 GPT16m.GTST 4007 803Ch + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/コンペアマッチフラグA	0: GTCCRAのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRAのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/コンペアマッチフラグB	0: GTCCRBのインプットキャプチャ/コンペアマッチの発生なし 1: GTCCRBのインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	インプットコンペアマッチフラグC	0: GTCCRCのコンペアマッチの発生なし 1: GTCCRCのコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	インプットコンペアマッチフラグD	0: GTCCRDのコンペアマッチの発生なし 1: GTCCRDのコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	インプットコンペアマッチフラグE	0: GTCCREのコンペアマッチの発生なし 1: GTCCREのコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	インプットコンペアマッチフラグF	0: GTCCRFのコンペアマッチの発生なし 1: GTCCRFのコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバーフローフラグ	0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダーフローフラグ	0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/(W) (注1)
b14-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b23-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
b28-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	OABHF	同時出力レベルHighフラグ	0: GTIOCA端子とGTIOCB端子は同時に1を出力していない 1: GTIOCA端子とGTIOCB端子は同時に1を出力した	R
b30	OABLF	同時出力レベルLowフラグ	0: GTIOCA端子とGTIOCB端子は同時に0を出力していない 1: GTIOCA端子とGTIOCB端子は同時に0を出力した	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. このビットには0のみ書けます。1を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA 値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB 値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFC フラグ (インプットコンペアマッチフラグ C)

GTCCRC のコンペアマッチのステータスを示します。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (インプットコンペアマッチフラグ D)

GTCCRD のコンペアマッチのステータスを示します。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき
- [比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (インプットコンペアマッチフラグ E)

GTCCRE のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (インプットコンペアマッチフラグ F)

GTCCRF のコンペアマッチのステータスフラグです。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF 値になったとき

[0 になる条件]

- 本フラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] ビット = 10b、11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバーフローフラグ)

オーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TCFPU フラグ (アンダーフローフラグ)

アンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが 0 から 1 に変化) が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

[0 になる条件]

- 本フラグに 0 を書いたとき

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示します。

イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ODF フラグ (出力禁止フラグ)

GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる同じ 1 周期の間、出力禁止制御は解除されません。次の周期に解除されます。

OABHF フラグ (同時出力レベル High フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABHF フラグによる割り込みが許可されている (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABLF フラグ (同時出力レベル Low フラグ)

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

OABLF フラグによる割り込みが許可されている (GTINTAD.GRPABL ビット = 1) 場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグはコンペア値の結果に応じて更新されます。

20.2.17 汎用PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT320.GTBER 4007 8040h
 GPT16Hm.GTBER 4007 8040h + 0100h × m (m = 0~3)
 GPT16m.GTBER 4007 8040h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0 : バッファ動作を許可 1 : バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA ⇔ GTCCRC) 1 x : ダブルバッファとして動作する (GTCCRA ⇔ GTCCRC ⇔ GTCCRD)	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB ⇔ GTCCRE) 1 x : ダブルバッファとして動作する (GTCCRB ⇔ GTCCRE ⇔ GTCCRF)	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBRレジスタ ⇔ GTPRレジスタ) 1 x : 設定禁止	R/W
b22	CCRSWT	GTCCRA・GTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRBレジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b31-b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

BD[0] ビット (GTCCR バッファ動作禁止)

GPT の GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが1のとき、BD[0] ビットを0にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

BD[1] ビット (GTPR バッファ動作禁止)

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を禁止します。

CCRA[1:0] ビット (GTCCRA バッファ動作)

GPT の GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB バッファ動作)

GPT の GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR バッファ動作)

GPT の GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)

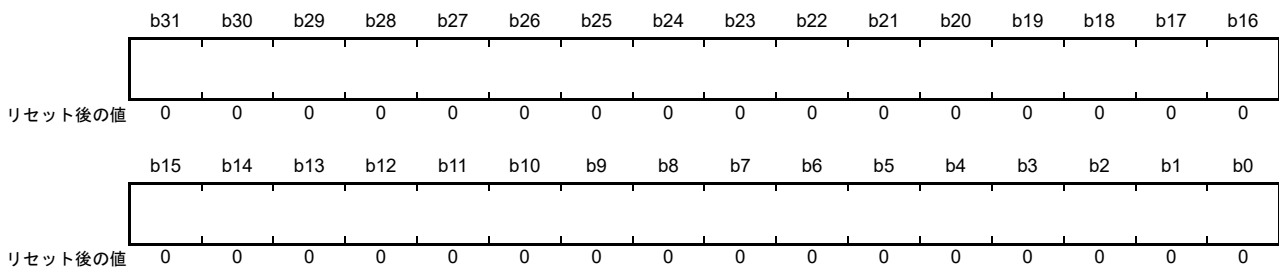
本ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。

本ビットは、カウントストップ時にコンペアマッチ動作が指定されている場合にのみ有効です。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3 (谷 64 ビット転送) では、バッファ動作モードは固定されます。

20.2.18 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT320.GTCNT 4007 8048h
 GPT16Hm.GTCNT 4007 8048h + 0100h × m (m = 0~3)
 GPT16m.GTCNT 4007 8048h + 0100h × m (m = 4~6)



GTCNT は、GPT320 用の 32 ビットの読み出し/書き込み可能なカウンタです。GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、GTCNT は 16 ビットレジスタになります。GTCNT への書き込みは、カウントストップ後にのみ可能です。32 ビット単位でアクセスしてください。8 ビット単位/16 ビット単位でのアクセスはしないでください。

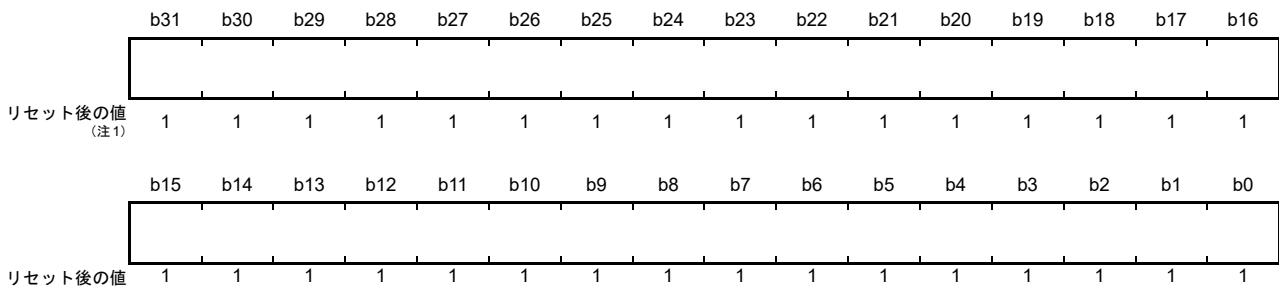
GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

GTCNT レジスタは、 $0 \leq \text{GTCNT} \leq \text{GTPR}$ の範囲に収まるように設定する必要があります。

20.2.19 汎用 PWM タイマコンペアキャプチャレジスタ n (GTCCRn) (n = A ~ F)

アドレス GPT320.GTCCRA 4007 804Ch
 GPT320.GTCCRB 4007 8050h
 GPT320.GTCCRC 4007 8054h
 GPT320.GTCCRD 4007 805Ch
 GPT320.GTCCRE 4007 8058h
 GPT320.GTCCRF 4007 8060h

GPT16Hm.GTCCRA 4007 804Ch + 0100h × m (m = 0~3)
 GPT16m.GTCCRA 4007 804Ch + 0100h × m (m = 4~6)
 GPT16Hm.GTCCRB 4007 8050h + 0100h × m (m = 0~3)
 GPT16m.GTCCRB 4007 8050h + 0100h × m (m = 4~6)
 GPT16Hm.GTCCRC 4007 8054h + 0100h × m (m = 0~3)
 GPT16m.GTCCRC 4007 8054h + 0100h × m (m = 4~6)
 GPT16Hm.GTCCRD 4007 805Ch + 0100h × m (m = 0~3)
 GPT16m.GTCCRD 4007 805Ch + 0100h × m (m = 4~6)
 GPT16Hm.GTCCRE 4007 8058h + 0100h × m (m = 0~3)
 GPT16m.GTCCRE 4007 8058h + 0100h × m (m = 4~6)
 GPT16Hm.GTCCRF 4007 8060h + 0100h × m (m = 0~3)
 GPT16m.GTCCRF 4007 8060h + 0100h × m (m = 4~6)



注1. GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTCCRn レジスタは読み出し/書き込み可能なレジスタです。GTCCRn レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTCCRn レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

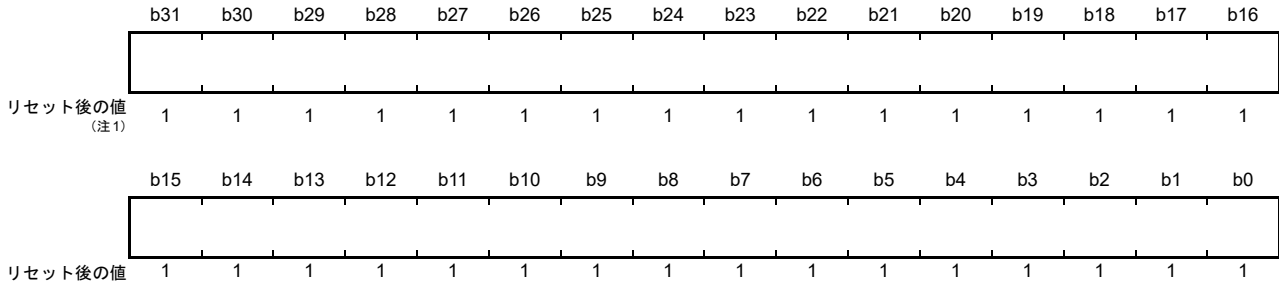
GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。

20.2.20 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT320.GTPR 4007 8064h
 GPT16Hm.GTPR 4007 8064h + 0100h × m (m = 0~3)
 GPT16m.GTPR 4007 8064h + 0100h × m (m = 4~6)



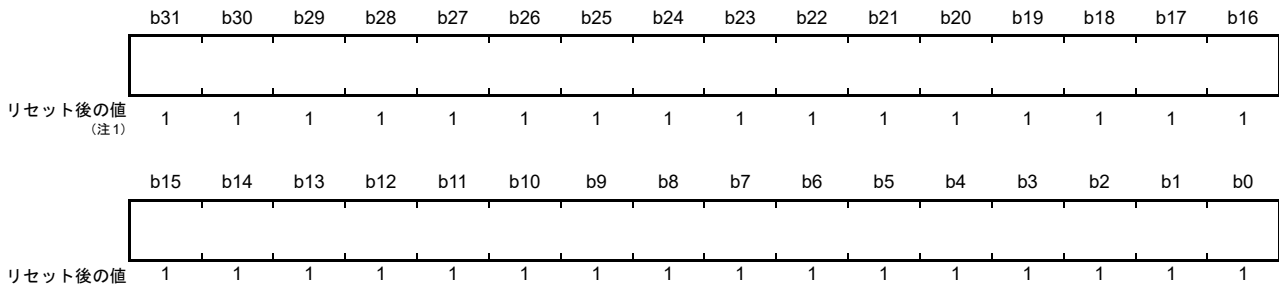
注1. GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPR レジスタは、読み出し／書き込み可能な、GTCNT カウンタの最大カウント値を設定するレジスタです。GTPR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

のこぎり波の場合、GTPR 値 +1 がカウント周期になります。三角波の場合、GTPR 値 ×2 がカウント周期になります。

20.2.21 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPT320.GTPBR 4007 8068h
 GPT16Hm.GTPBR 4007 8068h + 0100h × m (m = 0~3)
 GPT16m.GTPBR 4007 8068h + 0100h × m (m = 4~6)



注1. GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTPBR レジスタは、読み出し／書き込み可能な、GTPR レジスタ用のバッファレジスタとして機能するレジスタです。GTPBR レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTPBR レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

20.2.22 汎用 PWM タイマデッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT320.GTDTCCR 4007 8088h
 GPT16Hm.GTDTCCR 4007 8088h + 0100h × m (m = 0~3)
 GPT16m.GTDTCCR 4007 8088h + 0100h × m (m = 4~6)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0: GTDVUレジスタを使用しないで、GTCCRBレジスタを設定する 1: GTDVUレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。

GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

TDE ビット (逆相波形設定)

GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

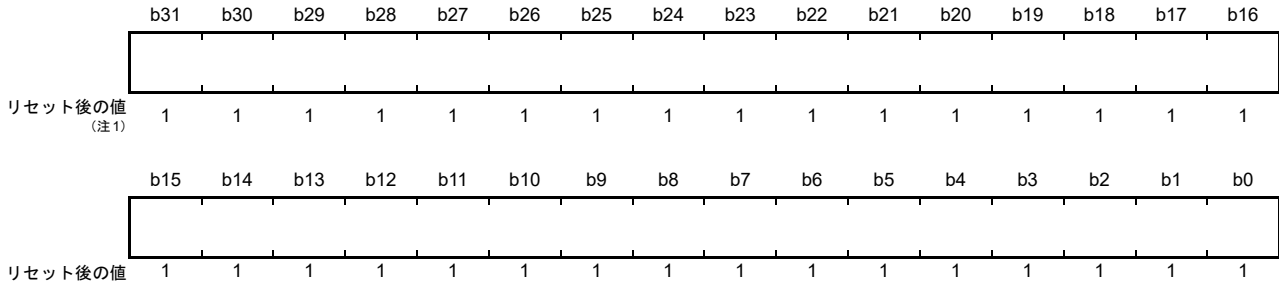
TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB 値が自動設定される時、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタにはこの制限値が設定されます。

- 三角波の場合
 - 上限値: GTPR 値 - 1
 - 下限値: アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
 - 上限値: GTPR 値
 - 下限値: 0

20.2.23 汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)

アドレス GPT320.GTDVU 4007 808Ch
 GPT16Hm.GTDVU 4007 808Ch + 0100h × m (m = 0~3)
 GPT16m.GTDVU 4007 808Ch + 0100h × m (m = 4~6)



注 1. GPT16Hm (m = 1 ~ 3) および GPT16m (m = 4 ~ 6) の場合、リセット後の上位 16 ビットの値は 0000h です。

GTDVU レジスタは、読み出し/書き込み可能な、デッドタイム付き PWM 波形を生成するためのデッドタイム値を設定するレジスタです。GTDVU レジスタの有効サイズは、GTCNT レジスタ (16 ビットまたは 32 ビット) と同一です。GTDVU レジスタの有効サイズが 16 ビットの場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0000h が読み出され、書き込みは無視されます。

周期を超えるデッドタイム値の設定はしないでください。GTCCR B レジスタを読み出すことによって、設定された値の確認が可能です。GTDVU レジスタを使用する場合、GTCCR B レジスタへの書き込みはしないでください。このレジスタ値を 0 にすれば、デッドタイムなしの波形が出力されます。

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタを新しい値に変更する場合、GTCR レジスタの CST ビットによって GPT を停止させてください。GTDVU レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位 / 16 ビット単位でのアクセスはしないでください。

20.2.24 出力相切り替えコントロールレジスタ (OPSCR)

アドレス GPT_OPS.OPSCR 4007 8FF0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFCS[1:0]	NFEN	—	—	GODF	—	GRP	—	—	ALIGN	RV	INV	N	P	FB	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FBビットが1のとき、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0 : これらのビットでPCLKDと同期した外部入力を監視 OPSCR.FB = 1 : OPSCR.U、OPSCR.V、およびOPSCR.WビットでOPSCR.UF、OPSCR.VF、およびOPSCR.WFビットの読み出しが可能	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0 : 出力しない (Hi-Z外部端子) 1 : 出力する (注1)	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定と外部入力から入力相を選択します。 0 : 外部入力を選択 1 : ソフトウェア設定 (OPSCR.UF/VF/WFビット) を選択	R/W
b17	P	正相出力 (P) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT16H1のPWM)	R/W
b18	N	逆相出力 (N) 制御	0 : レベル信号出力 1 : PWM信号出力 (GPT16H1のPWM)	R/W
b19	INV	反転相出力制御	0 : 正論理 (アクティブHigh) を出力 1 : 負論理 (アクティブLow) を出力	R/W
b20	RV	出力相回転方向反転	0 : U/V/W相を出力 1 : V/W相の反転を出力	R/W
b21	ALIGN	入力相アライメント	0 : 入力相をPCLKDに調整 1 : 入力相をPWMに調整	R/W
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	GRP	出力禁止要因選択	0 : グループA出力禁止要因を選択 1 : グループB出力禁止要因を選択	R/W
b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26	GODF	グループ出力禁止機能	0 : このビット機能は無視 1 : グループ禁止でOPSCR.ENビットをクリア (注1)	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0 : 外部入力にノイズフィルタを使用しない 1 : 外部入力にノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFC5[1:0]	外部入力ノイズフィルタクロック 選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注 1. OPSCR.GODF ビット = 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

UF、VF、WF ビット (入力相ソフト設定)

これらのビットは、ソフトウェア設定からの入力相を設定します。

OPSCR.FB ビットが 1 のとき、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に取って代わります。

U、V、W ビット (入力相監視)

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。

OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットを読み出せます。

EN ビット (イネーブル相出力制御)

出力許可信号出力相 (正相/逆相) を制御します。OPSCR.EN ビットが 1 の場合、信号波形が出力されません。

OPSCR.EN ビットが 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF (ソフトウェア設定を選択)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFC5 ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。

FB ビット (外部フィードバック信号許可)

ソフトウェア設定 (OPSCR.UF、VF、WF ビット) およびホール素子などの外部入力からの入力相を選択します。

P ビット (正相出力 (P) 制御)

レベル信号出力 (GPT16H1 の PWM) または正相出力の PWM 信号出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) のどちらかを選択します。

N ビット (逆相出力 (N) 制御)

レベル信号出力 (GPT16H1 の PWM) または逆相出力の PWM 信号出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) のどちらかを選択します。

INV ビット (反転相出力制御)

出力相として正論理 (アクティブ High) 出力または負論理 (アクティブ Low) 出力のどちらかを選択します。

RV ビット (出力相回転方向反転)

V 相/W 相を入れ替えることにより、モータの回転方向を反転させます。

ALIGN ビット (入力相アライメント)

入力相のサンプリングとして PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. PWM 出力 (OPSCR.P/N ビット = 1) を選択した場合、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注. OPSCR.ALIGN ビットが 1 のとき、入力相は PWM 出力に調整されます。

GRP ビット (出力禁止要因選択)

出力禁止要因 A ~ B を選択します。

GODF ビット (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 にクリアされます。OPSCR.GODF ビットが 0 の場合、このビットは無視されます。

NFEN ビット (外部入力ノイズフィルタ有効)

外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。OPSCR.NFEN ビットが 1 の場合、外部入力にノイズフィルタが使用されます。

注. 本ビットを切り替えると、意図しない内部エッジが発生するため、最初に OPSCR.EN ビットを 0 にしてください。

NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)

OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

20.3 動作説明

20.3.1 基本動作

各チャンネルには32ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPRレジスタがカウント周期を制御します。

GTCNTカウンタ値がGTCCRAまたはGTCCRBレジスタの値に一致すると、対応するGTIOCA端子またはGTIOCB端子からの出力を変更できます。GTCCRAまたはGTCCRBレジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRCおよびGTCCRDレジスタは、GTCCRAレジスタ用のバッファレジスタとしても機能します。また、GTCCREおよびGTCCRFレジスタは、GTCCRBレジスタ用のバッファレジスタとしても機能します。

20.3.1.1 カウンタの動作

(1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CSTビットを1にするとカウント動作を開始し、GTCR.CSTビットを0にするとカウント動作を停止します。

GTCR.CSTビット値は以下の要因によって変化します。

- GTCRレジスタへの書き込み
- GTSSR.CSTRTビットが1になっている場合、GTSTRレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTPSR.CSTOPビットが1になっている場合、GTSTPレジスタのGPTチャンネル番号に対応したビットへの1の書き込み
- GTSSRレジスタで選択したハードウェア要因
- GTPSRレジスタで選択したハードウェア要因

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSR および GTDNSR レジスタを 00000000h にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化 (オーバーフロー) すると、GTST.TCFPO フラグが 1 になります。GTCNT カウンタはオーバーフロー後、00000000h からアップカウントを再開します。

アップカウント時の周期カウント動作例を [図 20.3](#) に示します。

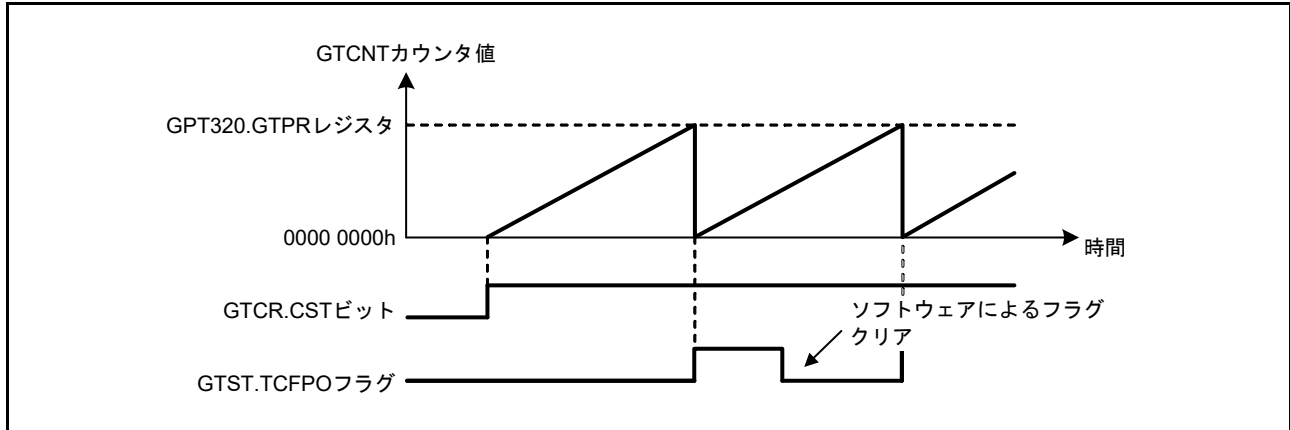


図 20.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作の設定例を [図 20.4](#) に示します。

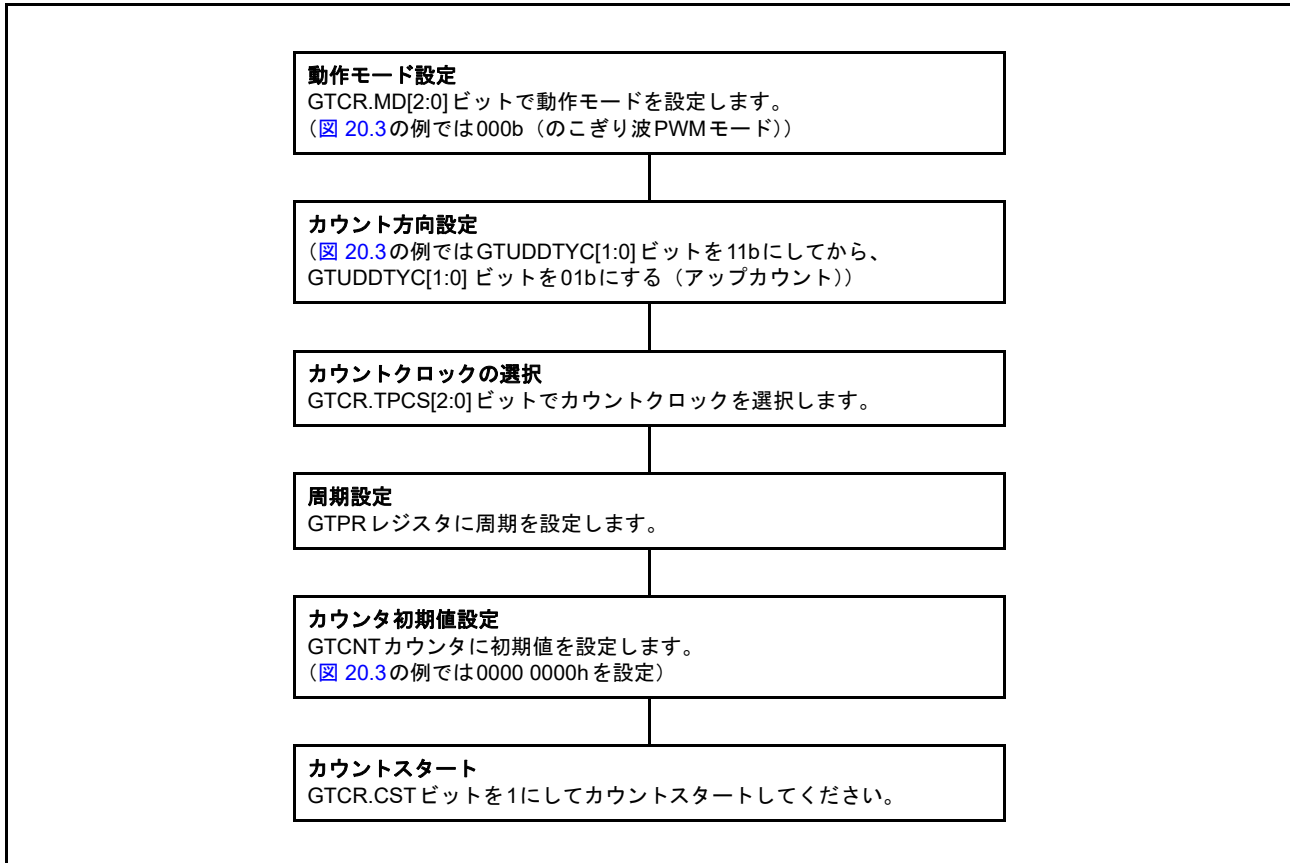


図 20.4 カウントクロックによるアップカウント時の周期カウント動作の設定例

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャンネルのGTCNTカウンタは、GTUPSRおよびGTDNSRレジスタを00000000hにした状態で、GTUDDTYC.UDビットを設定することにより、ダウンカウントを実行できます。GTCNTカウンタ値が0からGTPR値に変化（アンダーフロー）すると、GTST.TCFPUビットが1になります。GTCNTカウンタはアンダーフロー後、GTPR値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図20.5に示します。

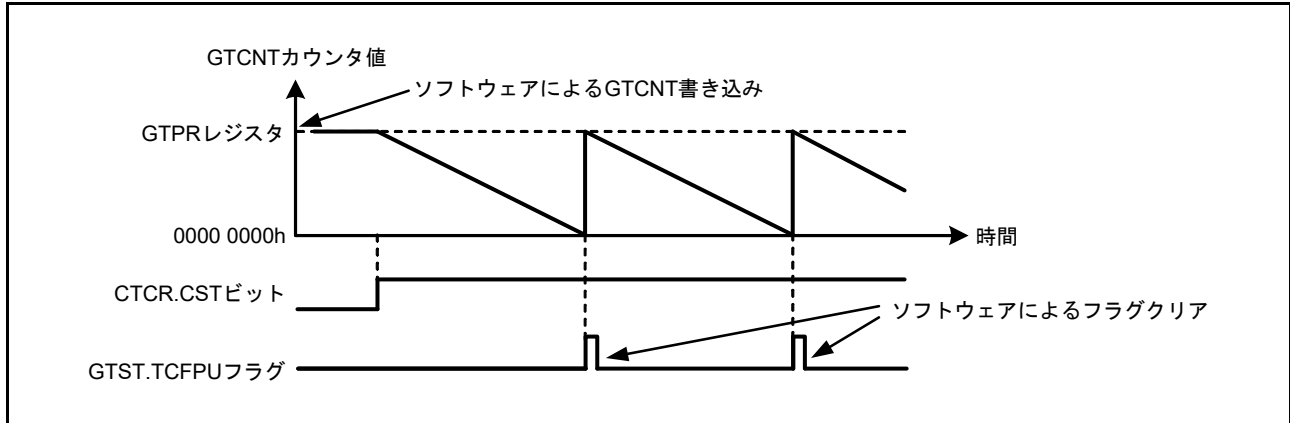


図 20.5 カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を図20.6に示します。

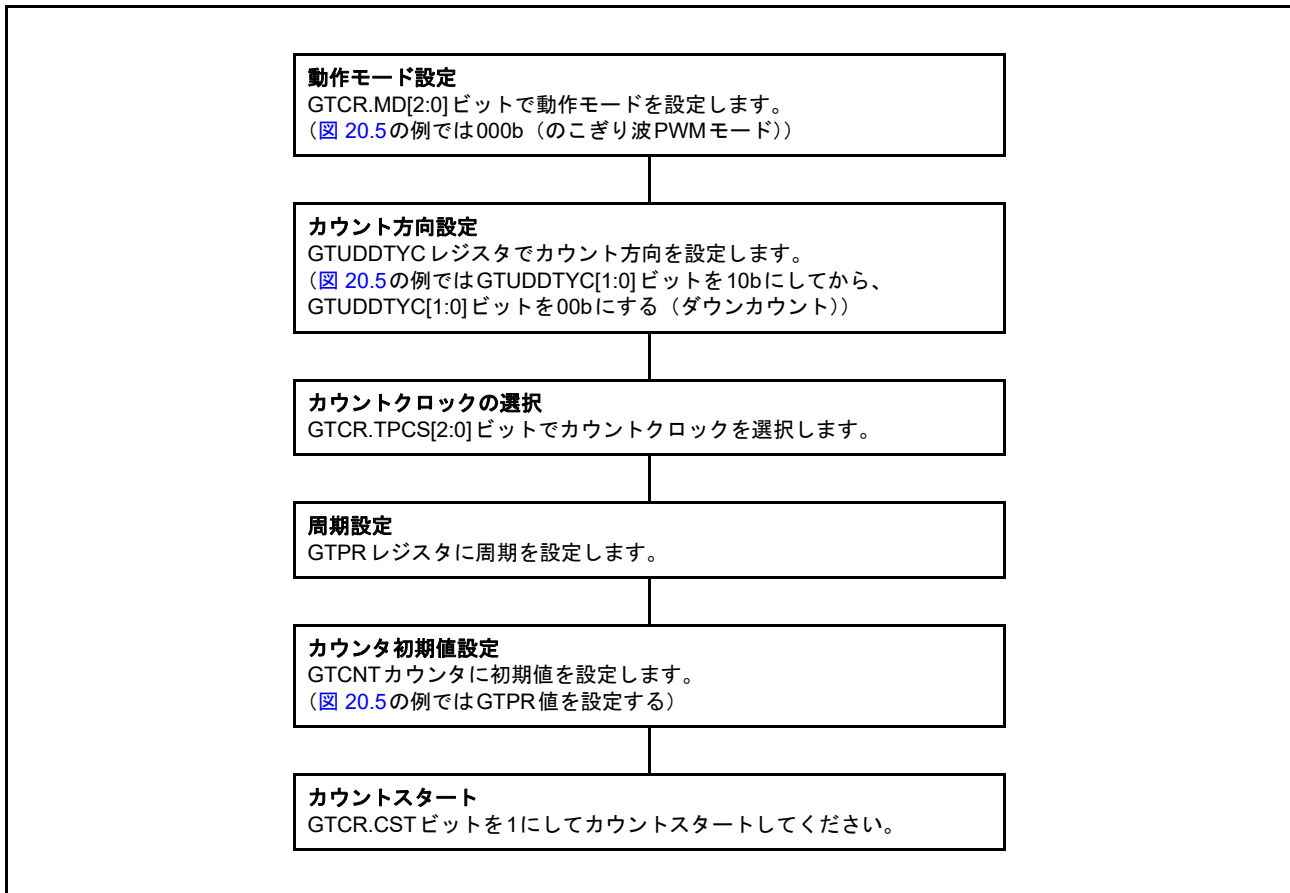


図 20.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルのGTCNTカウンタは、GTUPSRレジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント時のオーバーフロー動作と同じです。

GTCR.CSTビットを1にしてハードウェア要因によるカウントアップを行う場合、カウント動作が有効になります。GTCR.CSTビットを1にした後も、カウント動作はGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0]ビットで指定された1クロックサイクルの間、カウンタはカウントアップを行えません。GTCR.CSTビットを1にした後、GTCR.TPCS[2:0]ビットを000bにして、PCLKD 1クロック分の遅延でカウントアップを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち上がりエッジ) によるアップカウント時の周期カウント動作例を [図 20.7](#) に示します。

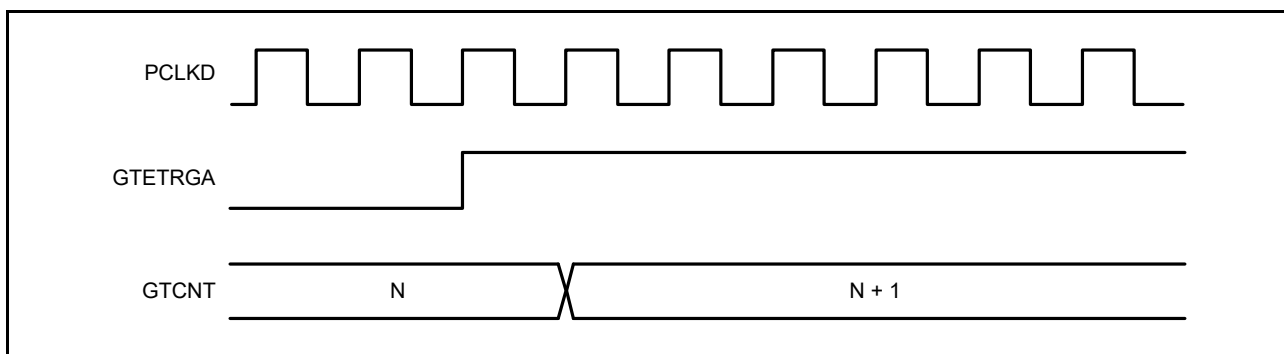


図 20.7 ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作の設定例を [図 20.8](#) に示します。

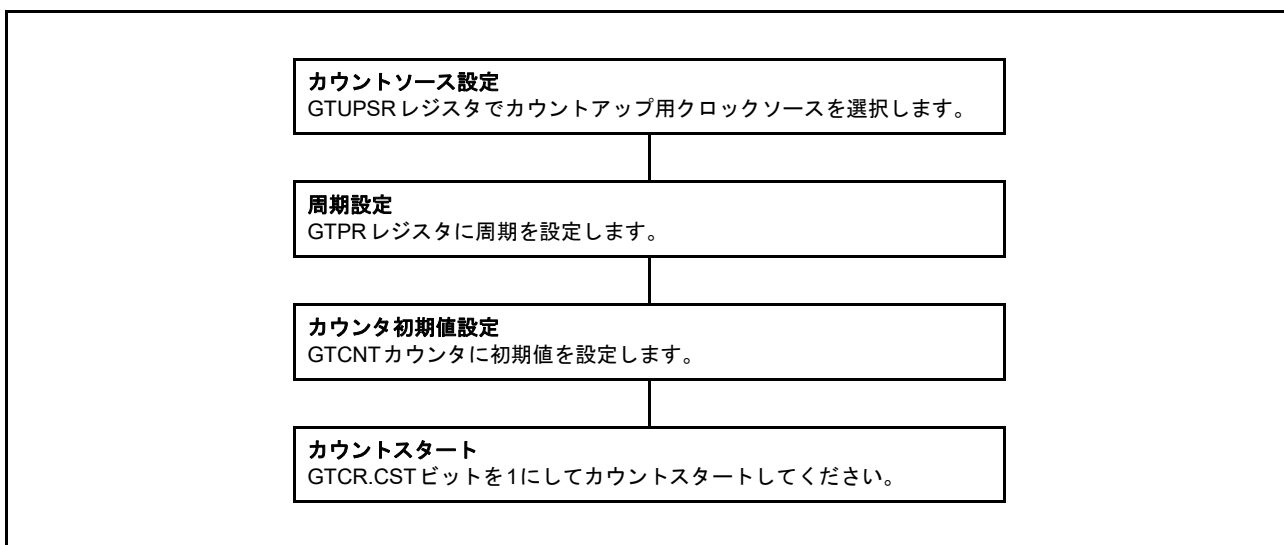


図 20.8 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャンネルのGTCNTカウンタは、GTDNSRレジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSRレジスタを許可に設定すると、GTCR.TPCS[2:0]ビットで選択したカウントクロックと、GTUDDTYC.UDビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNTカウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CSTビットを1にしてハードウェア要因によるカウントダウンを行う場合、カウント動作が有効になります。GTCR.CSTビットを1にした後も、カウント動作はGTCR.TPCS[2:0]ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0]ビットで指定された1クロックサイクルの間、カウンタはカウントダウンを行えません。GTCR.CSTビットを1にした後、GTCR.TPCS[2:0]ビットを000bにして、PCLKD 1クロック分の遅延でカウントダウンを行ってください。

ハードウェア要因 (GTETRGA 端子の立ち下がリエッジ) によるダウンカウント時の周期カウント動作例を [図 20.9](#) に示します。

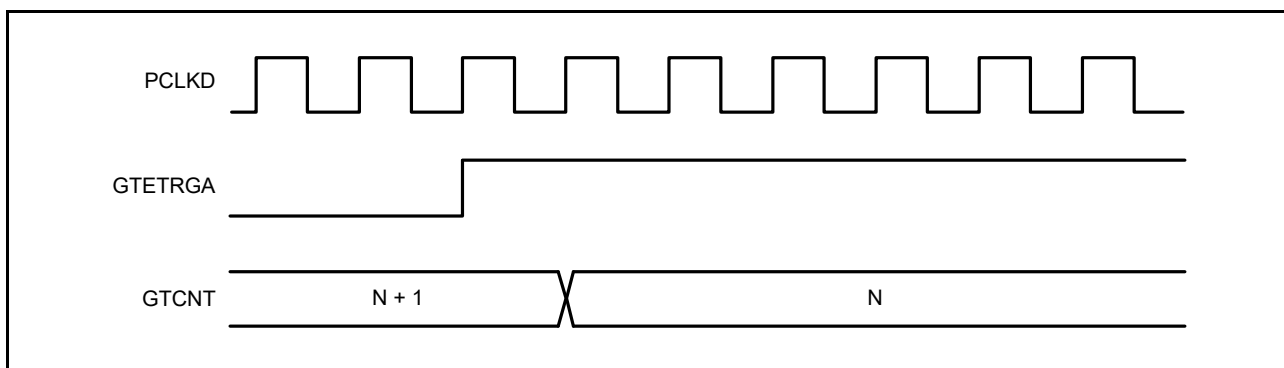


図 20.9 イベントカウント動作例 (ハードウェア要因によるダウンカウント時)

ハードウェア要因によるダウンカウント時の周期カウント動作の設定例を [図 20.10](#) に示します。

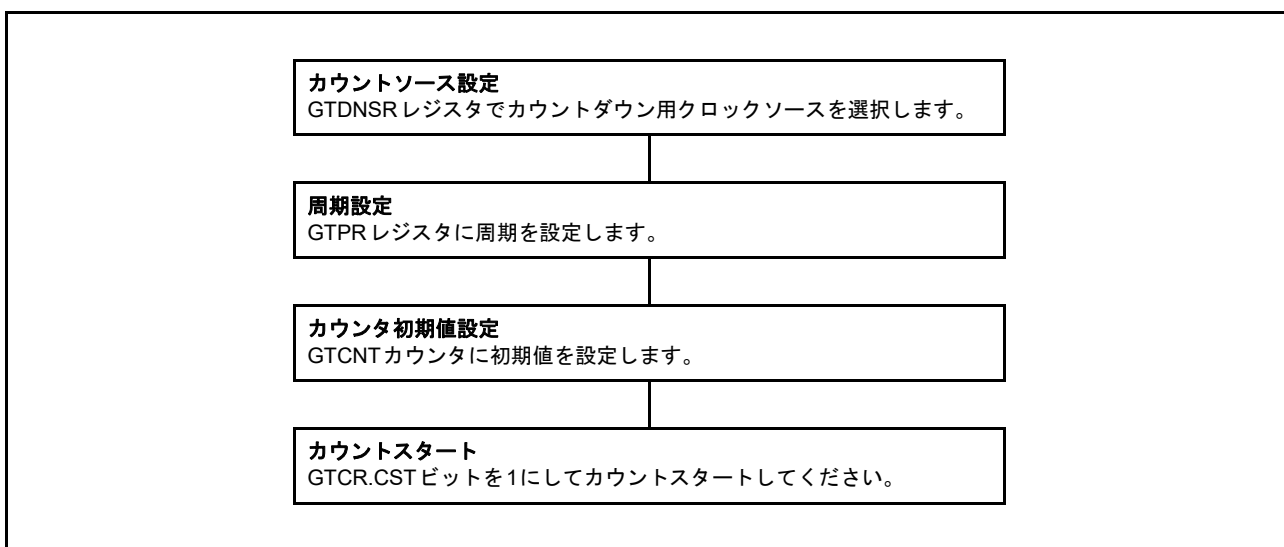


図 20.10 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 になっている場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも (GTCSR.CST ビットが 1)、カウント中でなくても (GTCSR.CST ビットが 0)、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCSR.MD[2:0] ビットの設定によってのこぎり波が選択され、カウント方向フラグがダウンカウント (GTCSR.TUCF ビットが 0) を示している場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタに対して GTPR レジスタ値が設定されます。

のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方がただちに実行され、PCLKD と同期が取られます。

その他の設定を使用すると、GTCSR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

20.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。

コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

また、GTPR レジスタで決定される“周期の終わり”においても、GTIOCA または GTIOCB 端子出力を Low 出力 / High 出力 / トグル出力とすることが可能です。

“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力 / High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力 / High 出力の動作例を [図 20.11](#) に示します。

この例では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT320.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。

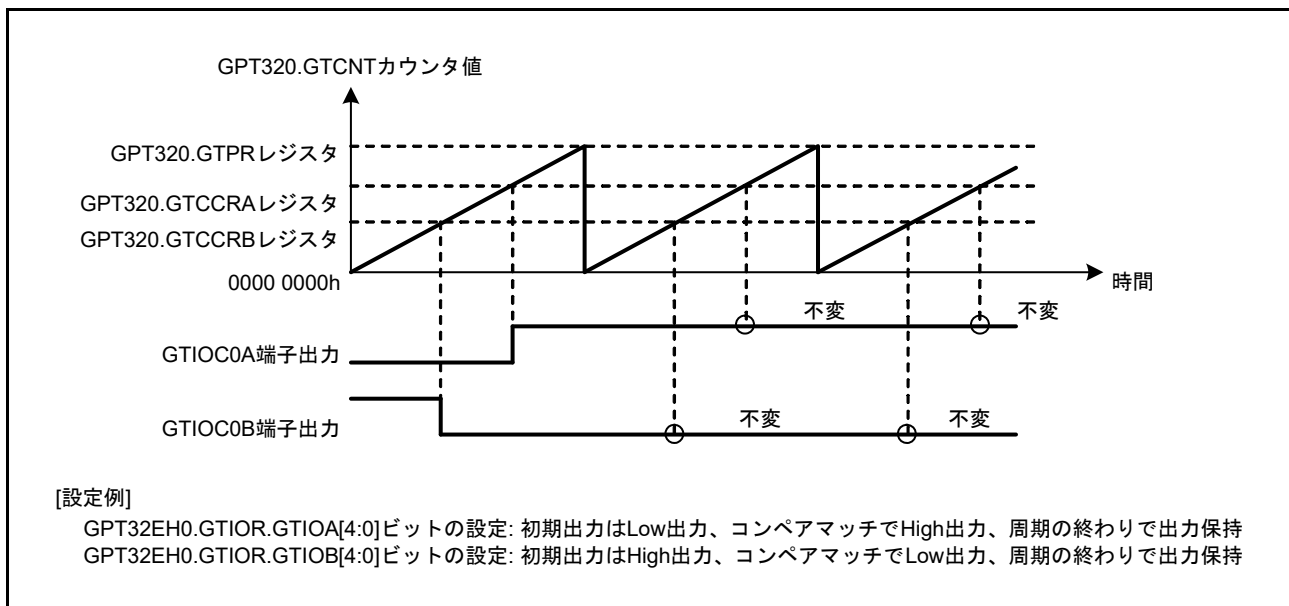


図 20.11 Low 出力 / High 出力動作例

Low 出力 / High 出力動作の設定例を図 20.12 に示します。

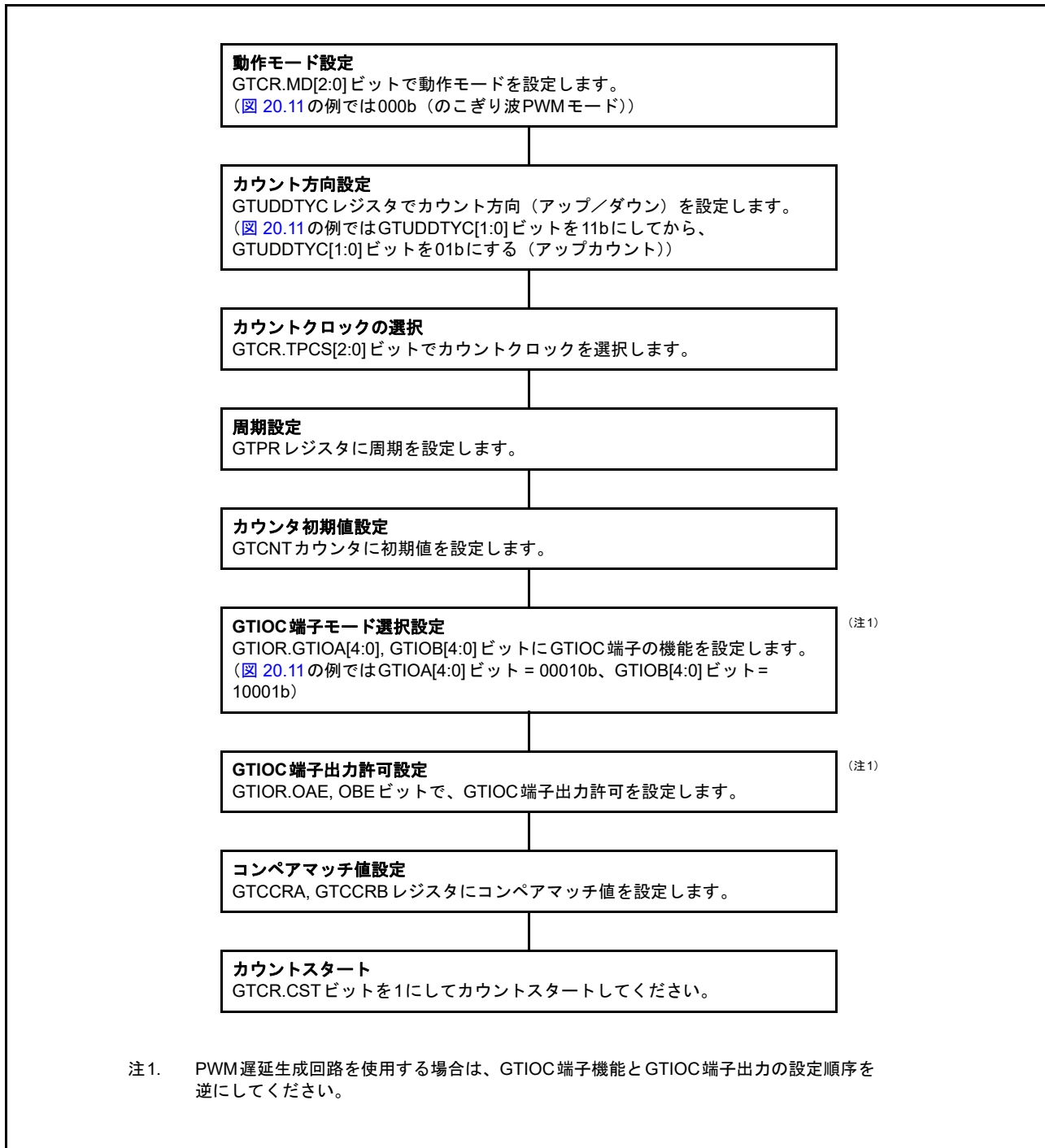


図 20.12 Low 出力 / High 出力動作の設定例

(2) トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を、[図 20.13](#) および [図 20.14](#) に示します。[図 20.13](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチと、GPT320.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定しています。

[図 20.14](#) では、GPT320.GTCNT カウンタがアップカウント動作を行い、GPT320.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子がトグル出力となり、周期の終わりで GTIOC0B 端子がトグル出力となるように設定しています。

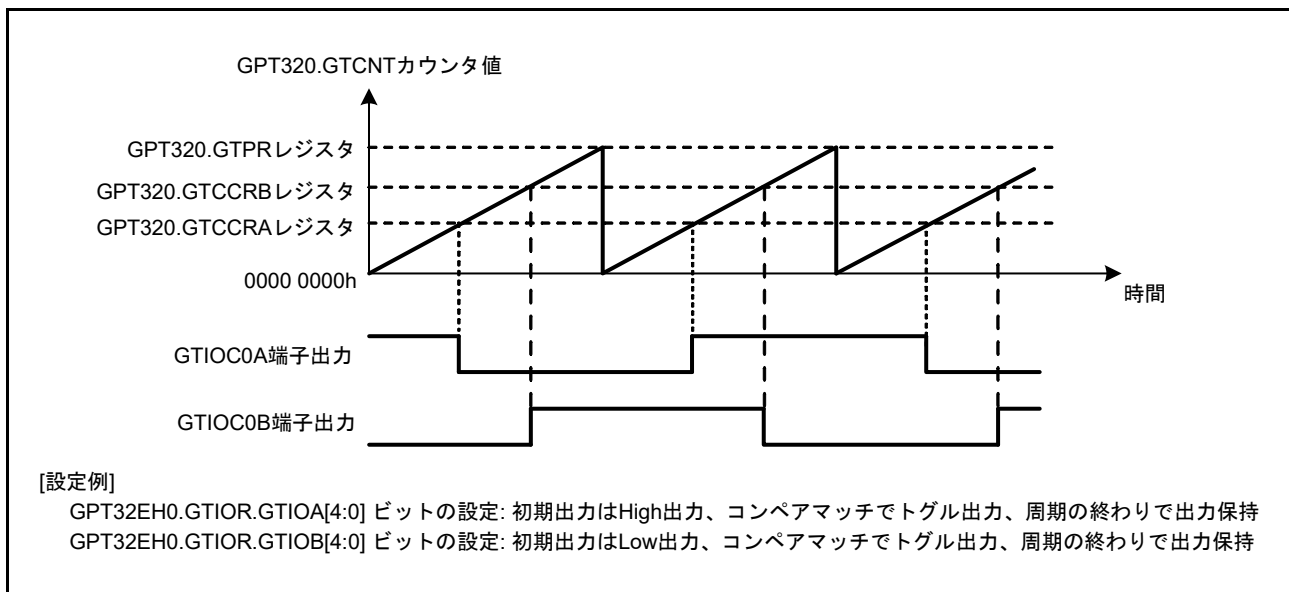


図 20.13 トグル出力動作例 (1)

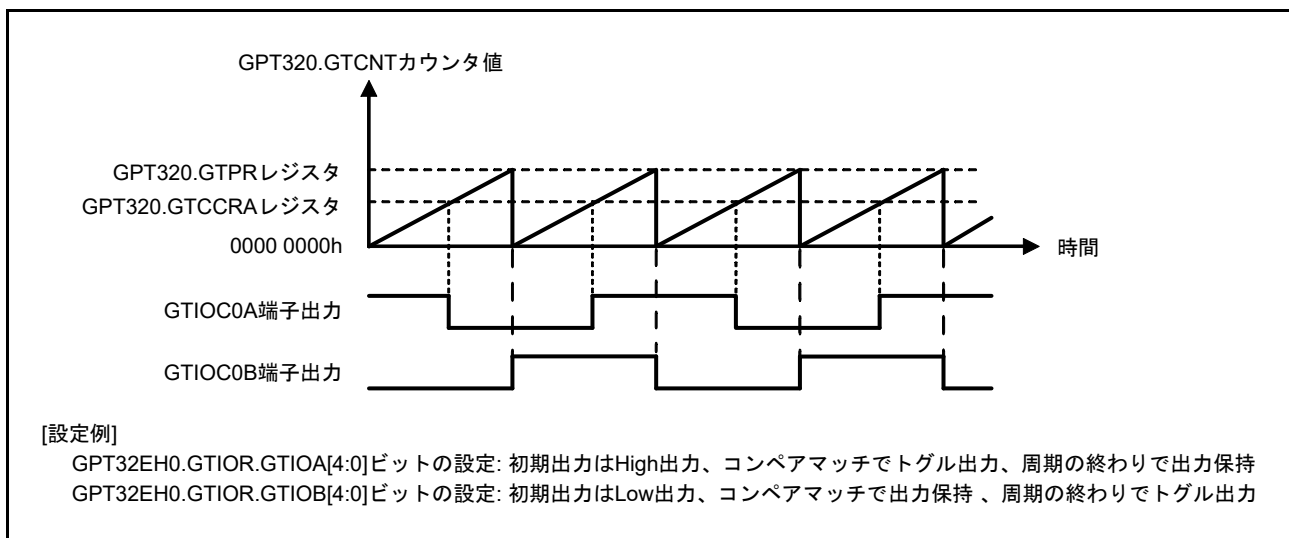


図 20.14 トグル出力動作例 (2)

トグル出力動作の設定例を図 20.15 に示します。

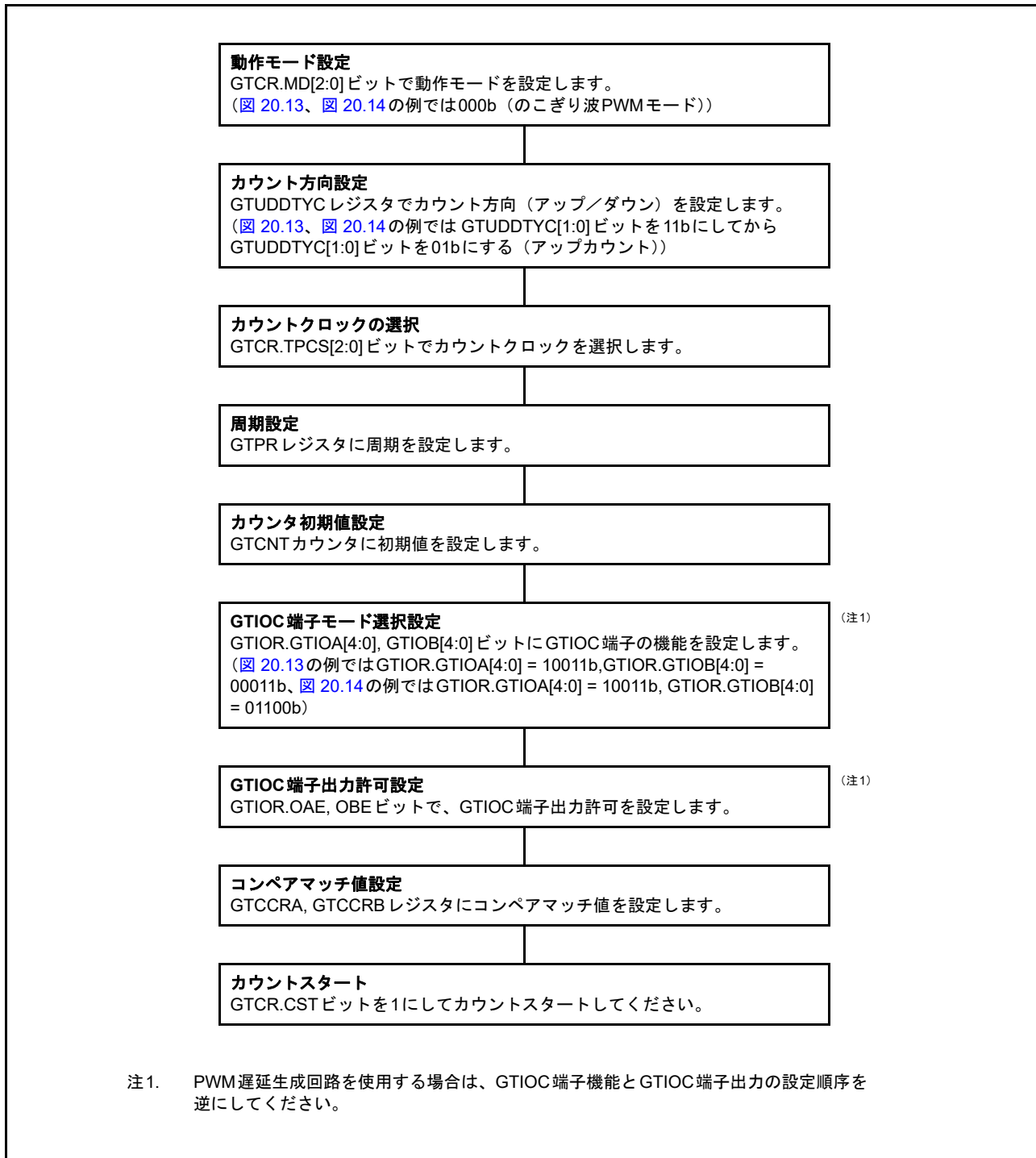


図 20.15 トグル出力動作の設定例

20.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を [図 20.16](#) に示します。

この例では、カウントクロックで GPT320.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTICCRB レジスタにインพุットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTICCRB レジスタにインพุットキャプチャを実行するように設定しています。

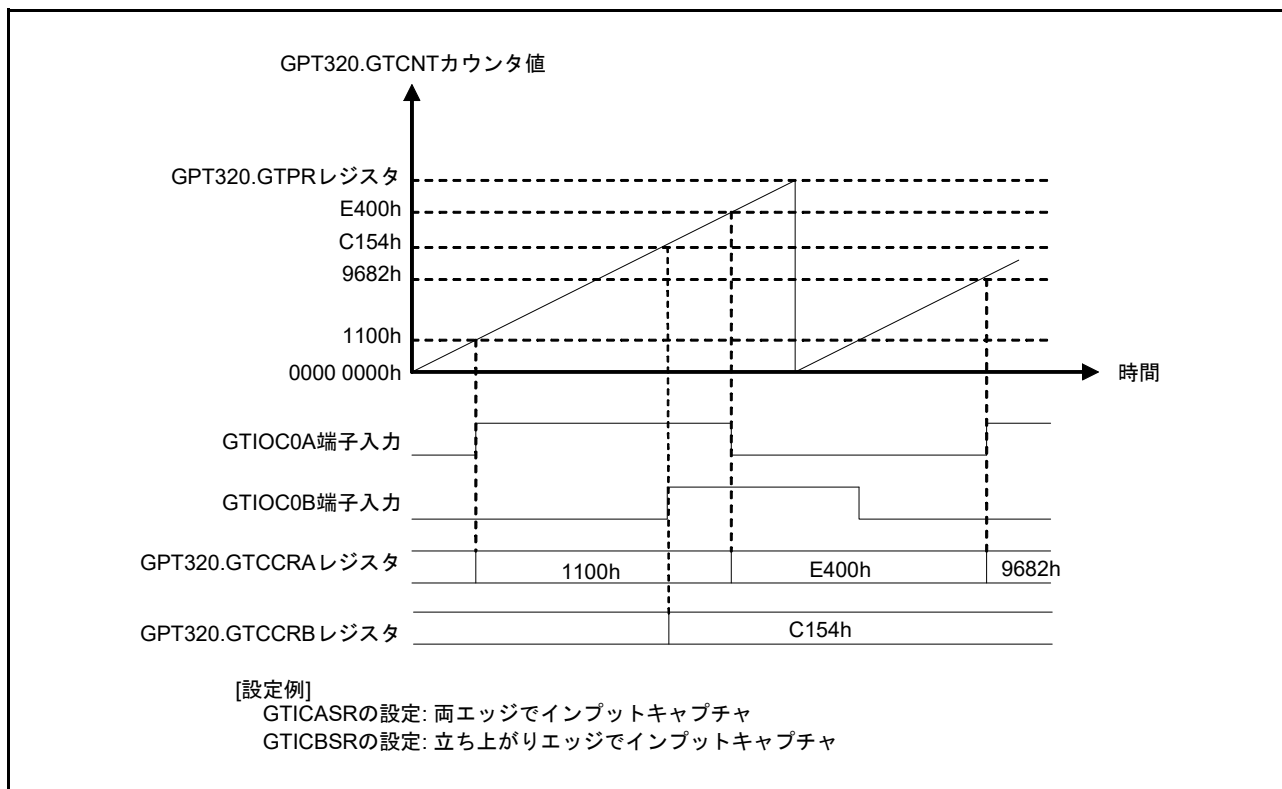


図 20.16 インพุットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を図 20.17 に示します。

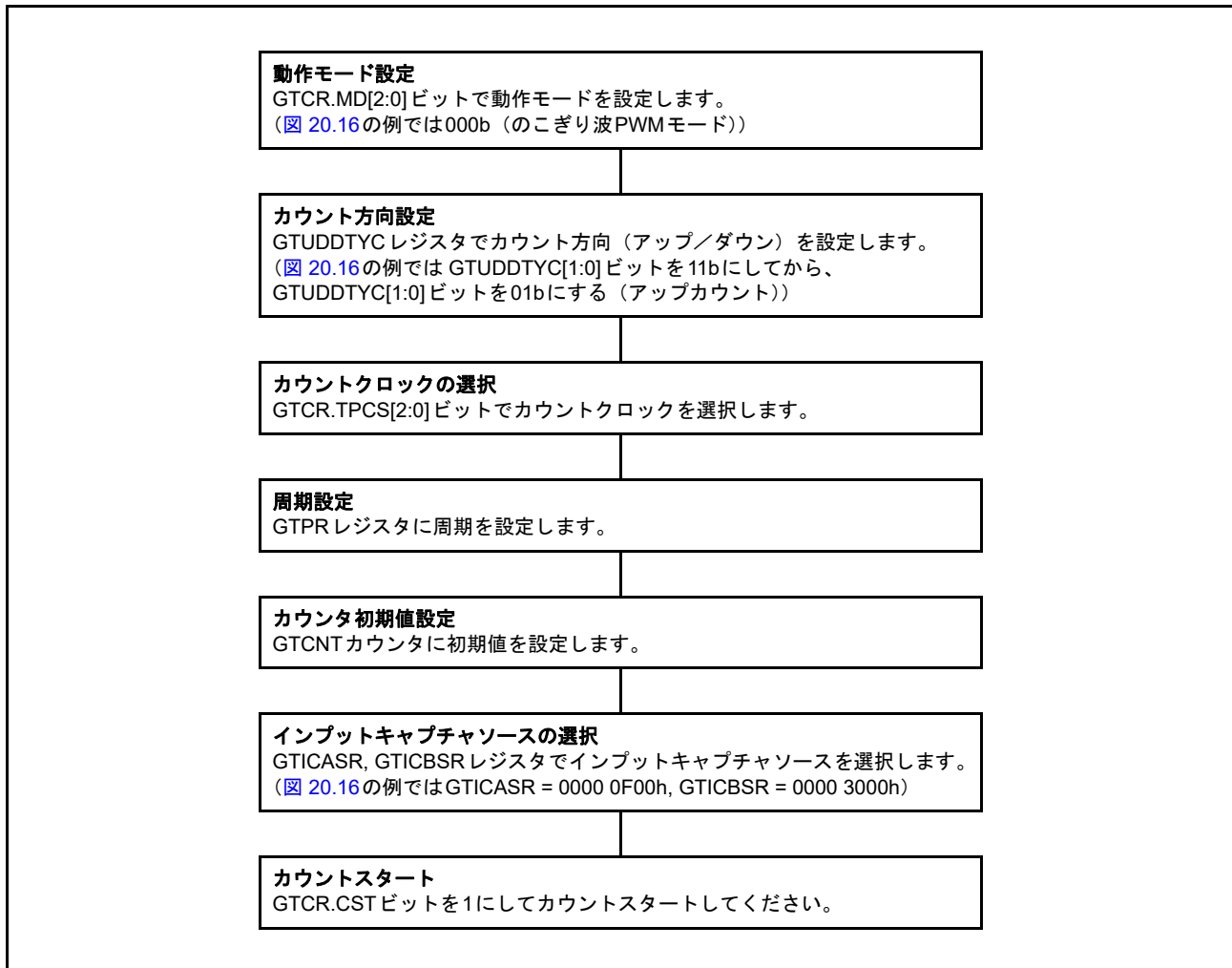


図 20.17 インプットキャプチャ動作の設定例

20.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタと GTPBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作

20.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。バッファ転送は、のこぎり波モードまたはイベントカウントにおいてはオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードにおいては谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n = チャネル番号）

GTPR レジスタのバッファ動作例を [図 20.18](#) ~ [図 20.20](#) に、GTPR レジスタのバッファ動作の設定例を [図 20.21](#) に示します。

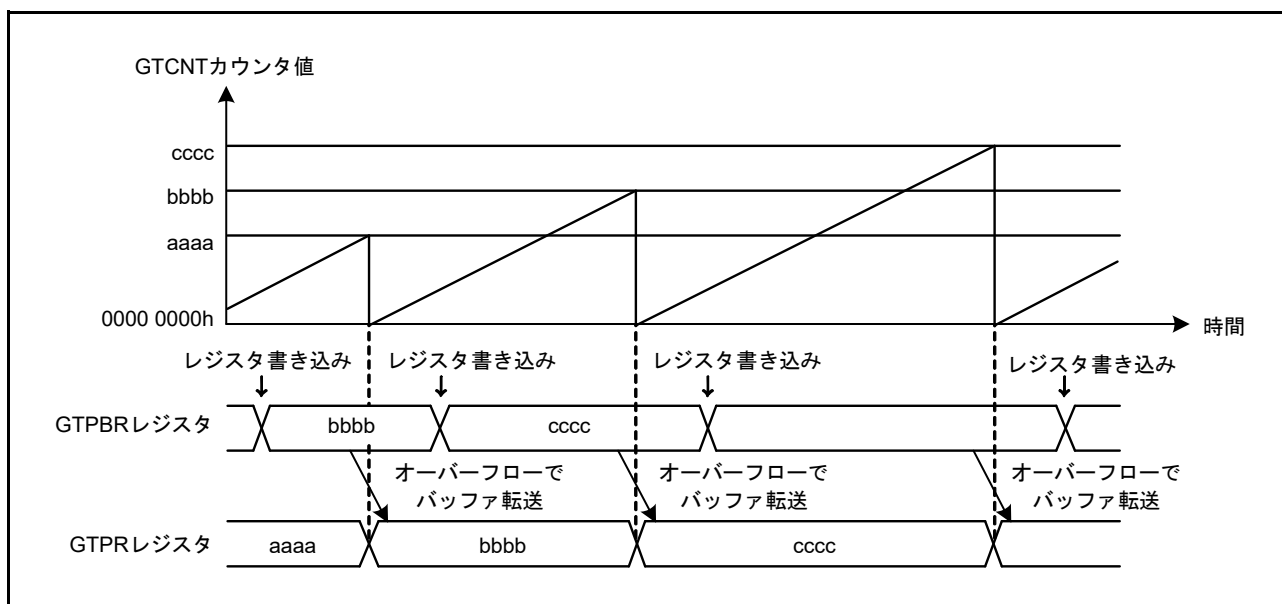


図 20.18 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

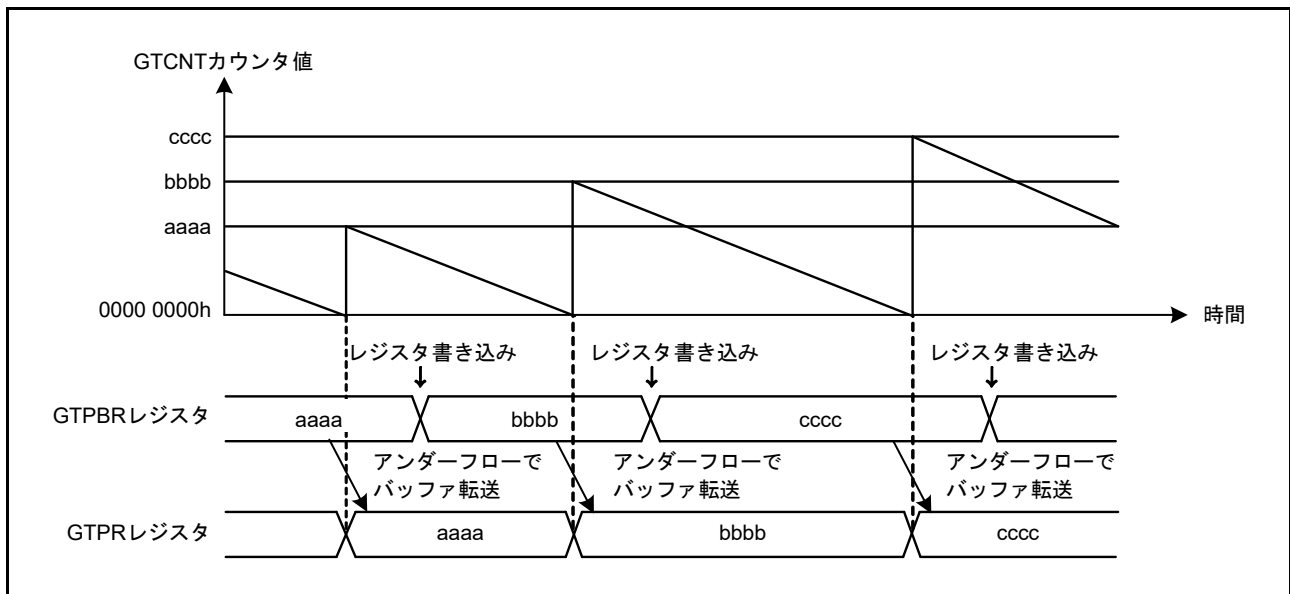


図 20.19 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

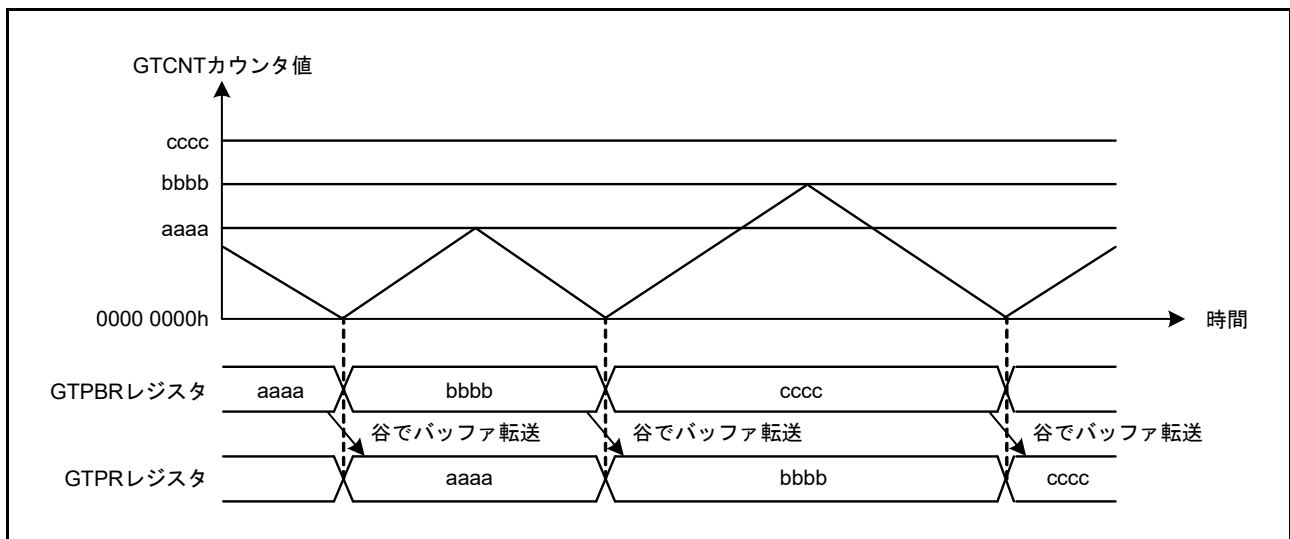


図 20.20 GTPR レジスタのバッファ動作例 (三角波の場合)

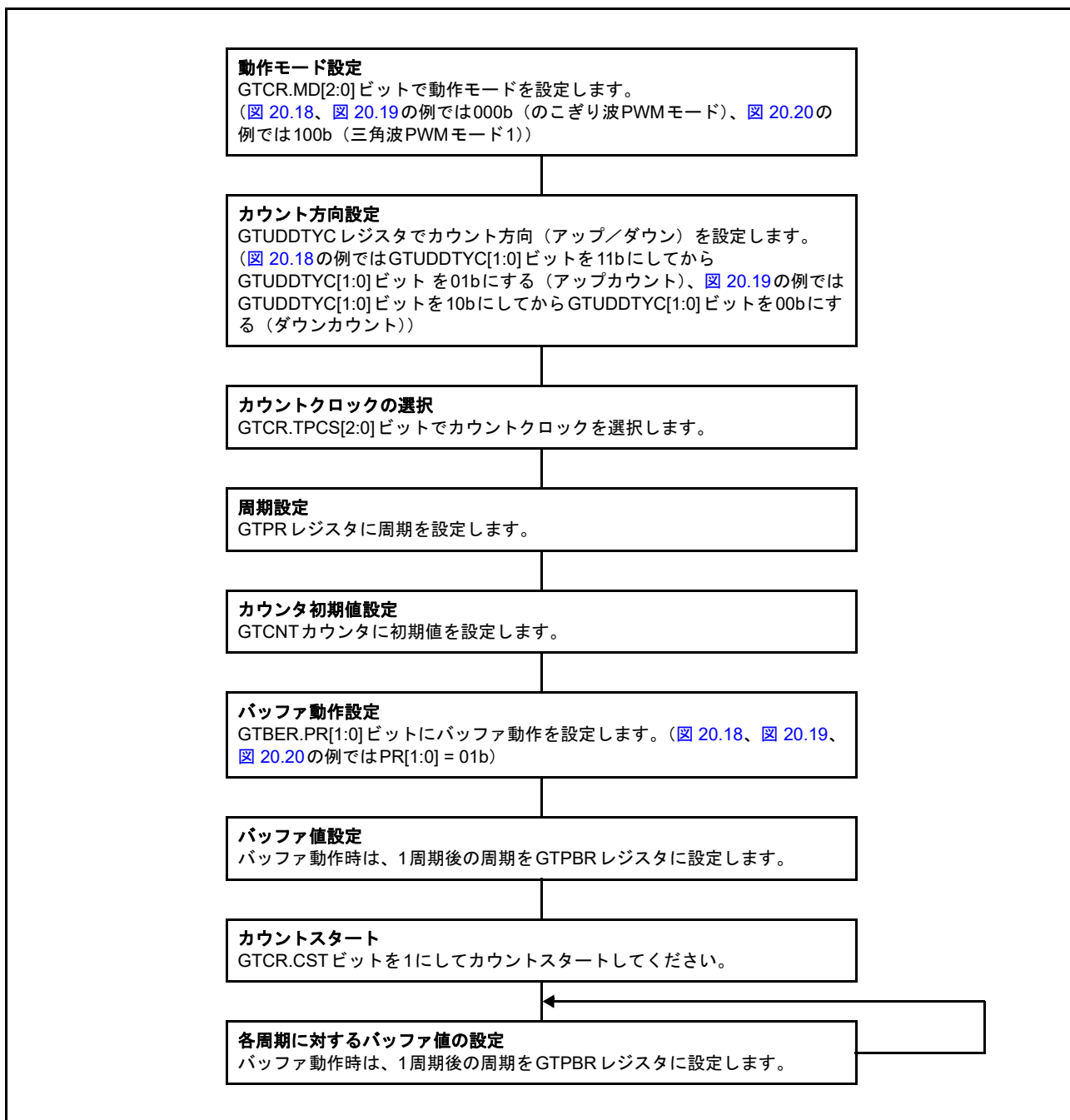


図 20.21 GTPR レジスタのバッファ動作設定例

20.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ (すなわち、GTCCRA レジスタ用のダブルバッファレジスタ) として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ (すなわち、GTCCRB レジスタ用のダブルバッファレジスタ) として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

(1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は次の場合に実行されます。

- オーバーフロー／アンダーフローによるバッファ転送**
 のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山および谷 (三角波 PWM モード 2) で、バッファ転送が実行されます
- カウンタクリアによるバッファ転送**
 のこぎり波モードまたはイベントカウント動作では、カウント中に [20.3.2.1 GTPR レジスタのバッファ動作](#) の場合と同じカウンタクリア要因によって、バッファ転送が (同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に) 実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません
- バッファ強制転送**
 GTBER.CCRSWT ビットを 1 にしてカウントを停止させると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます

GTCCRA および GTCCRB レジスタのバッファ動作例を [図 20.22](#) ~ [図 20.24](#) に、GTCCRA および GTCCRB レジスタのバッファ動作の設定例を [図 20.25](#) に示します。

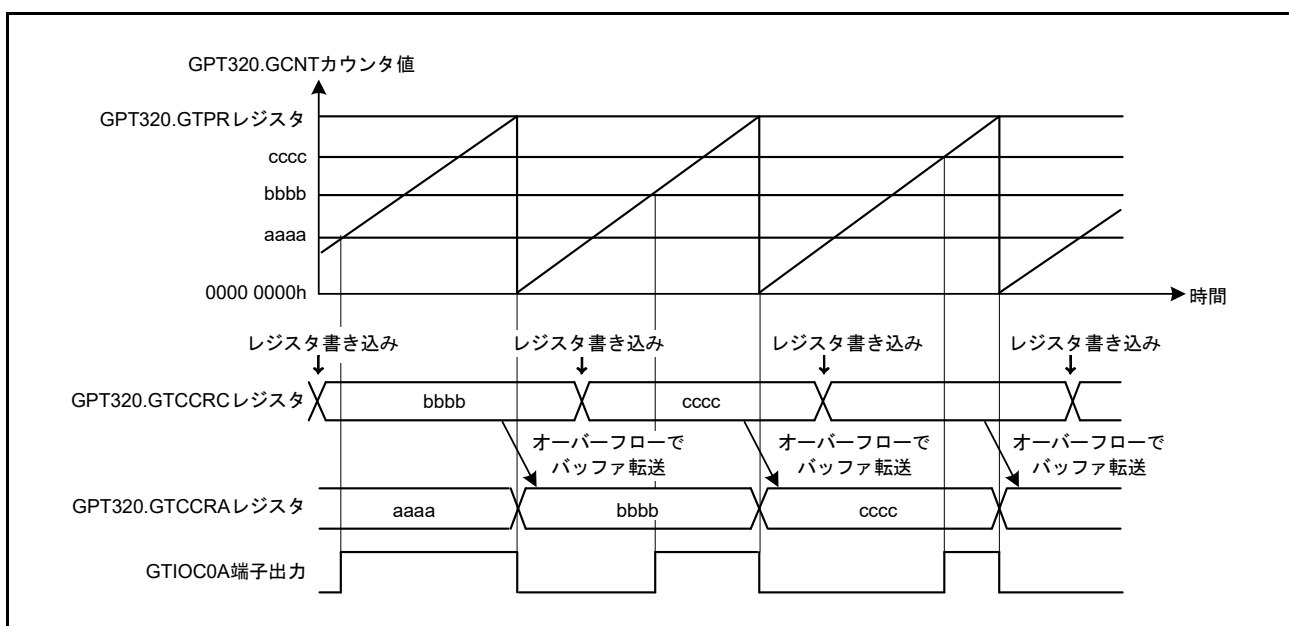


図 20.22 GTCCRA、GTCCRB レジスタのバッファ動作例 (アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

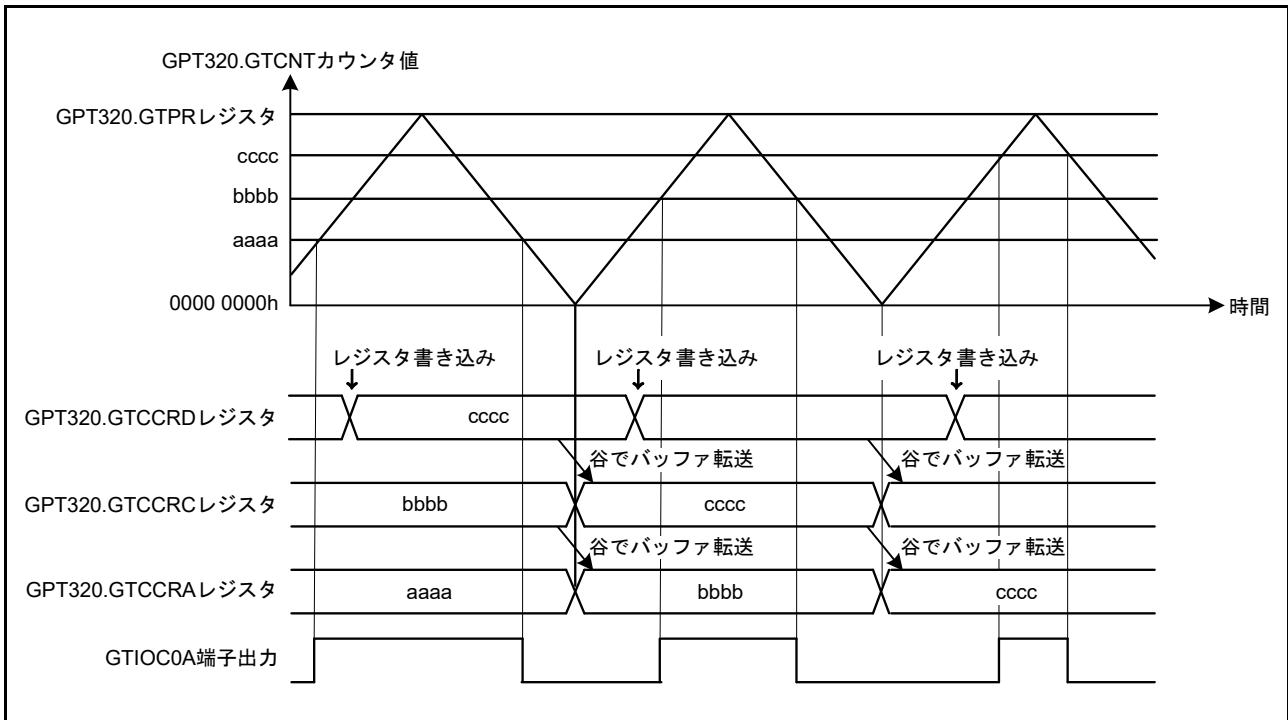


図 20.23 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

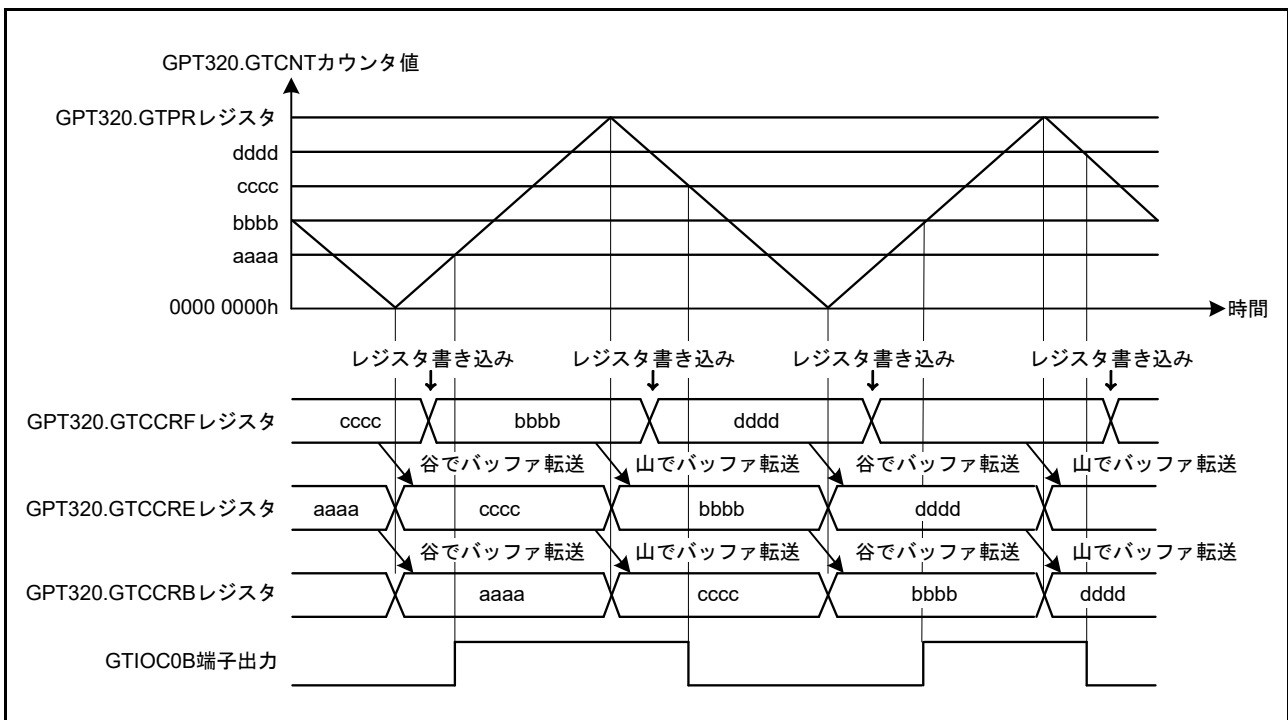


図 20.24 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)



図 20.25 GTCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を、図 20.26 と図 20.27 に、GTCCRB レジスタのバッファ動作の設定例を図 20.28 に示します。

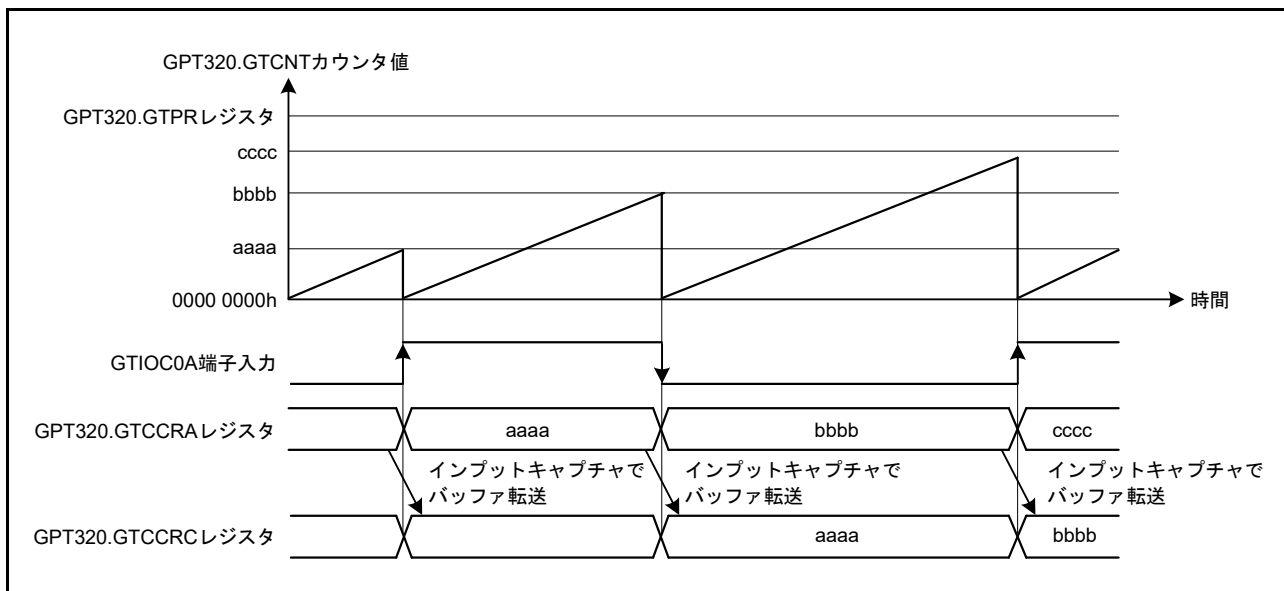


図 20.26 GTCCRA、GTCCRB レジスタのバッファ動作例 (GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合)

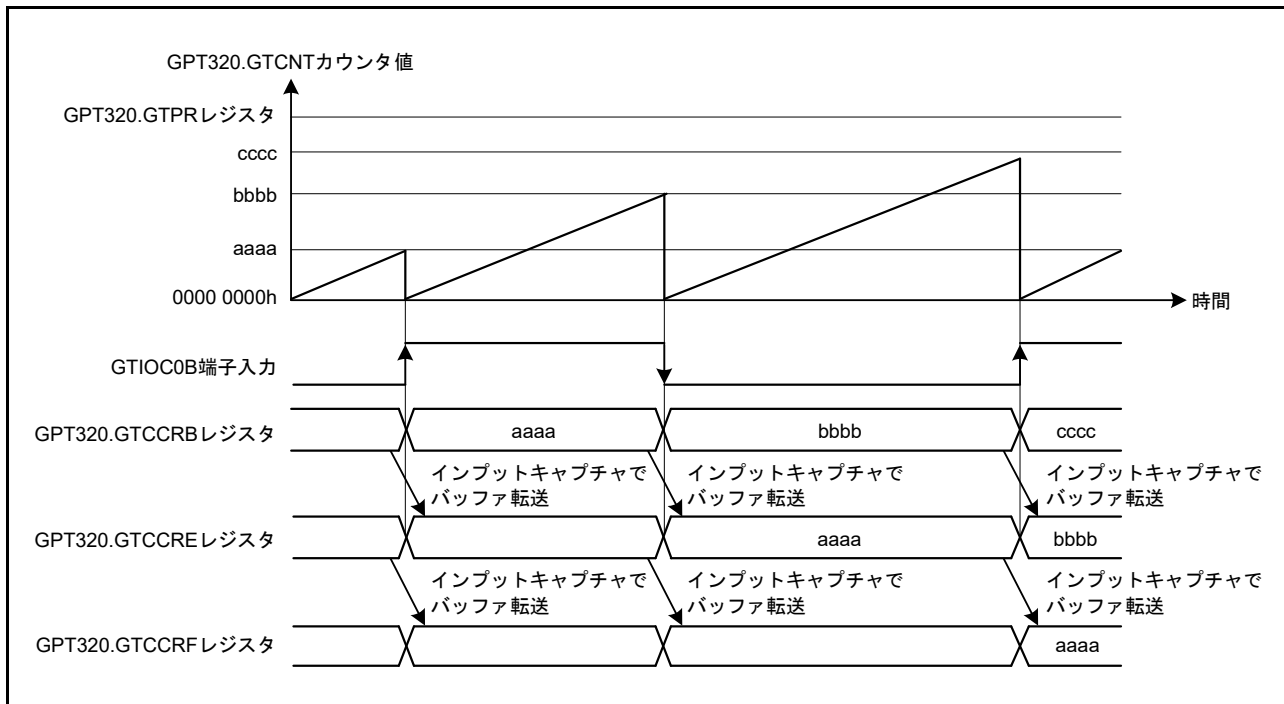


図 20.27 GTCCRA、GTCCRB レジスタのダブルバッファ動作例 (GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合)

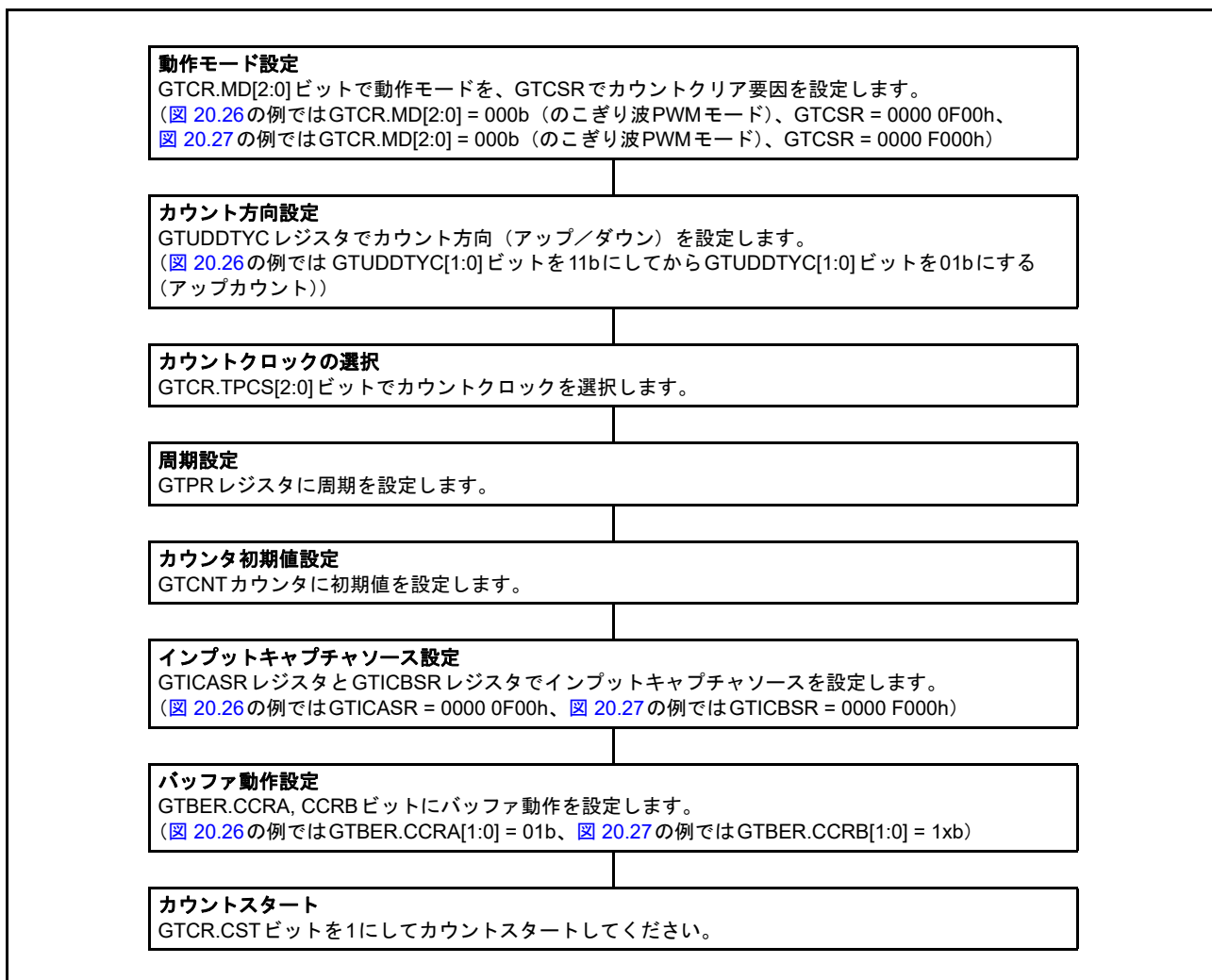


図 20.28 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

20.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することが可能です。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

20.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

図 20.29 にのこぎり波 PWM モードの動作例を、図 20.30 にのこぎり波 PWM モードの設定例を示します。

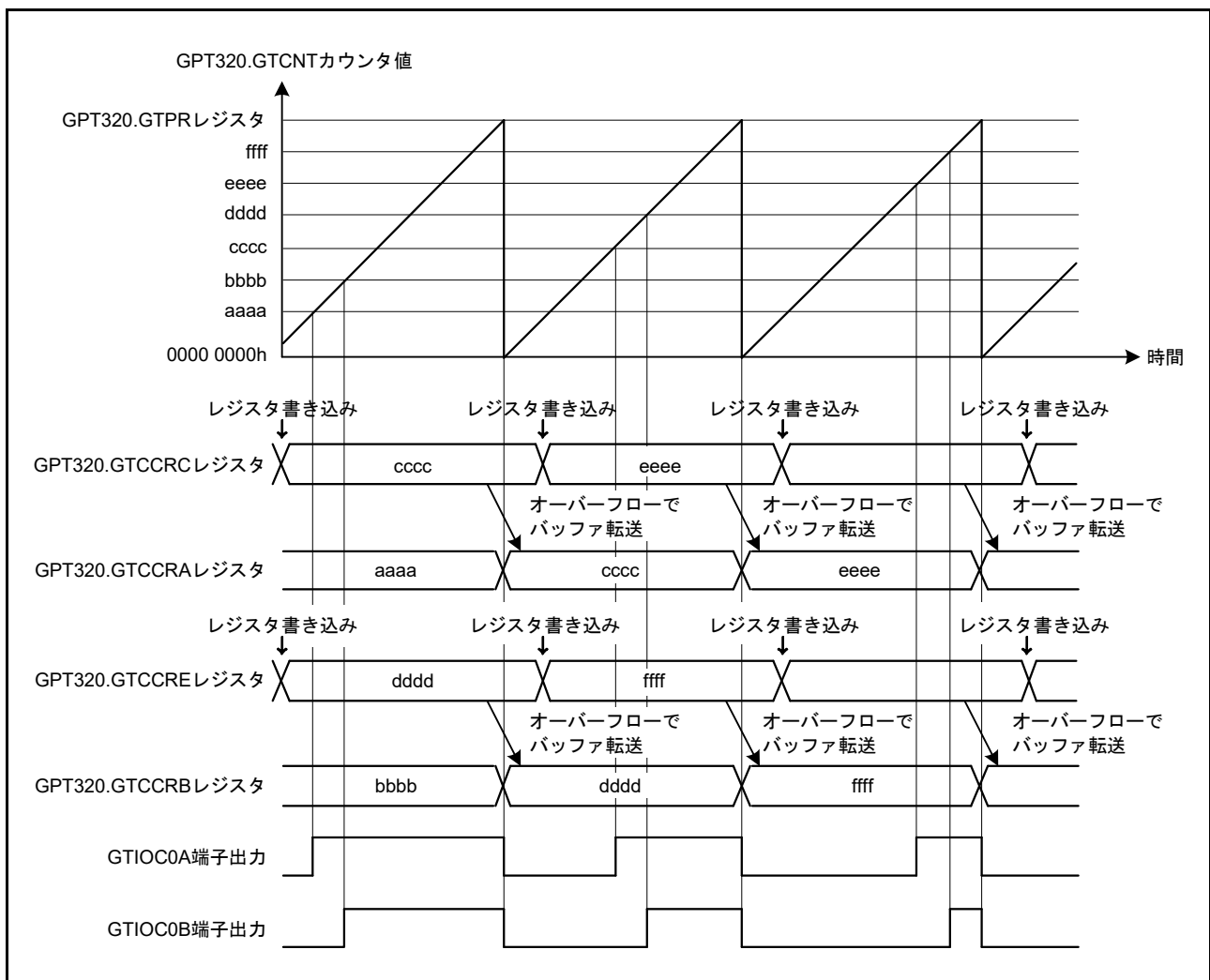


図 20.29 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

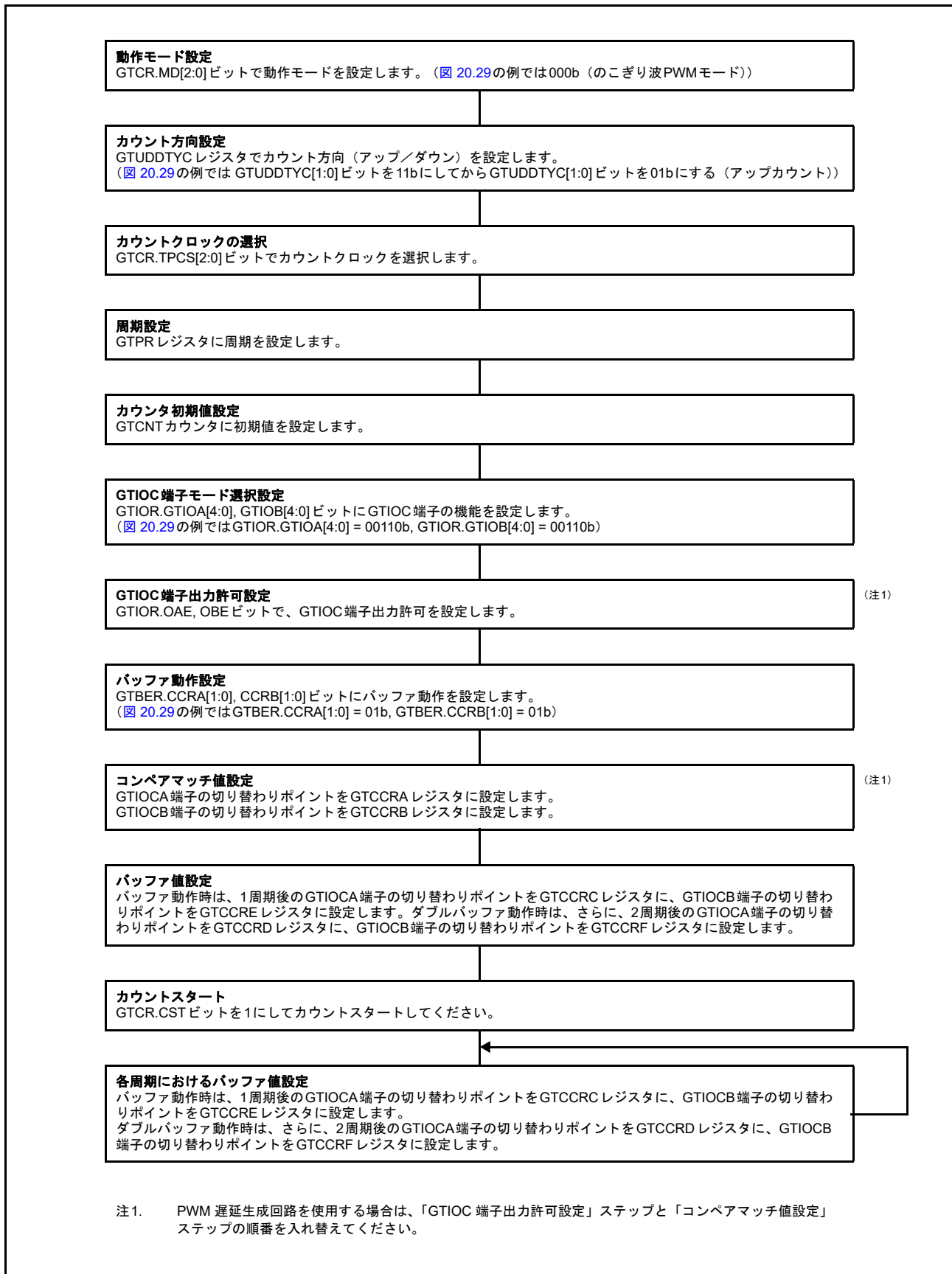


図 20.30 のこぎり波 PWM モード設定例

20.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して、GTCNT カウンタにのこぎり波 (半波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させるモードです。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりに GTCCRC レジスタから GTCCRA レジスタへ
- 周期の終わりに GTCCRE レジスタから GTCCRB レジスタへ
- 周期の終わりに GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。GTBER.CCRSWT ビットを 1 にしてカウント動作を停止させると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.31 に、のこぎり波ワンショットパルスモードの動作例を、図 20.32 に、のこぎり波ワンショットパルスモードの設定例を示します。

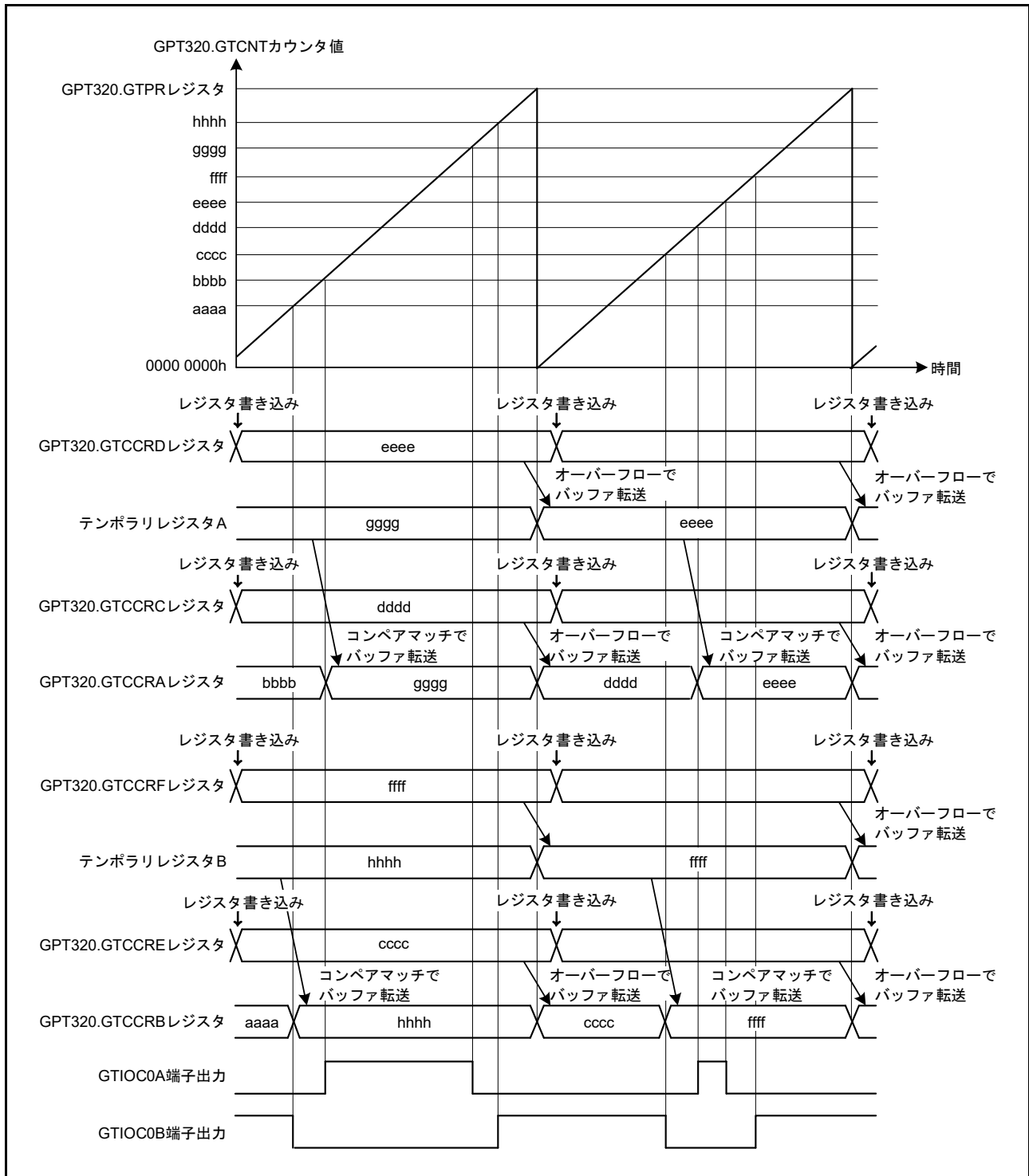


図 20.31 のこぎり波ワンショットパルスモード動作例 (アップカウント、カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

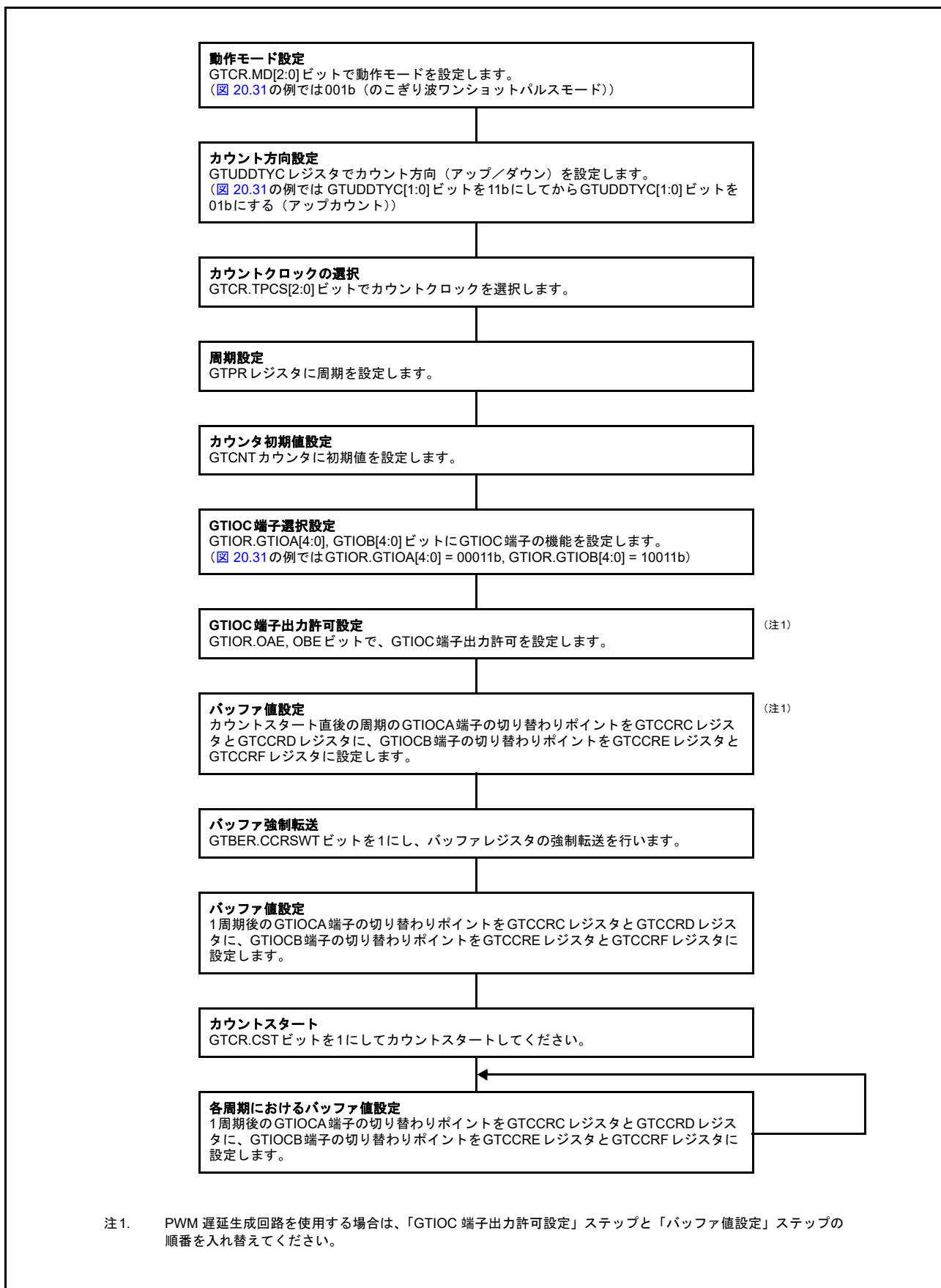


図 20.32 のこぎり波ワンショットパルスモード設定例

20.3.3.3 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.33 に三角波 PWM モード 1 の動作例を、図 20.34 に三角波 PWM モード 1 の設定例を示します。

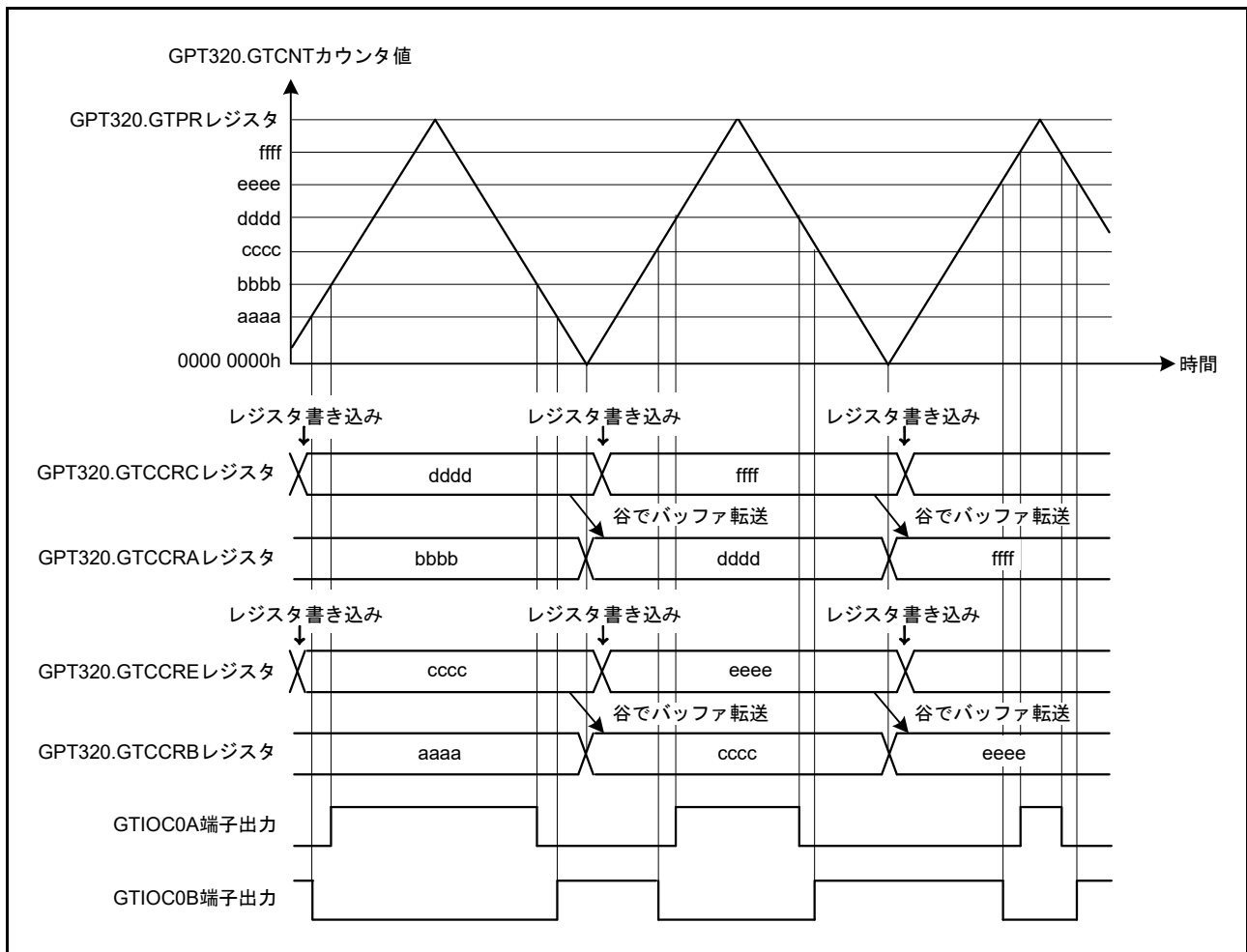


図 20.33 三角波 PWM モード 1 動作例 (バッファ動作、カウントスタート時に GTIOCA 端子 = Low 出力 / GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

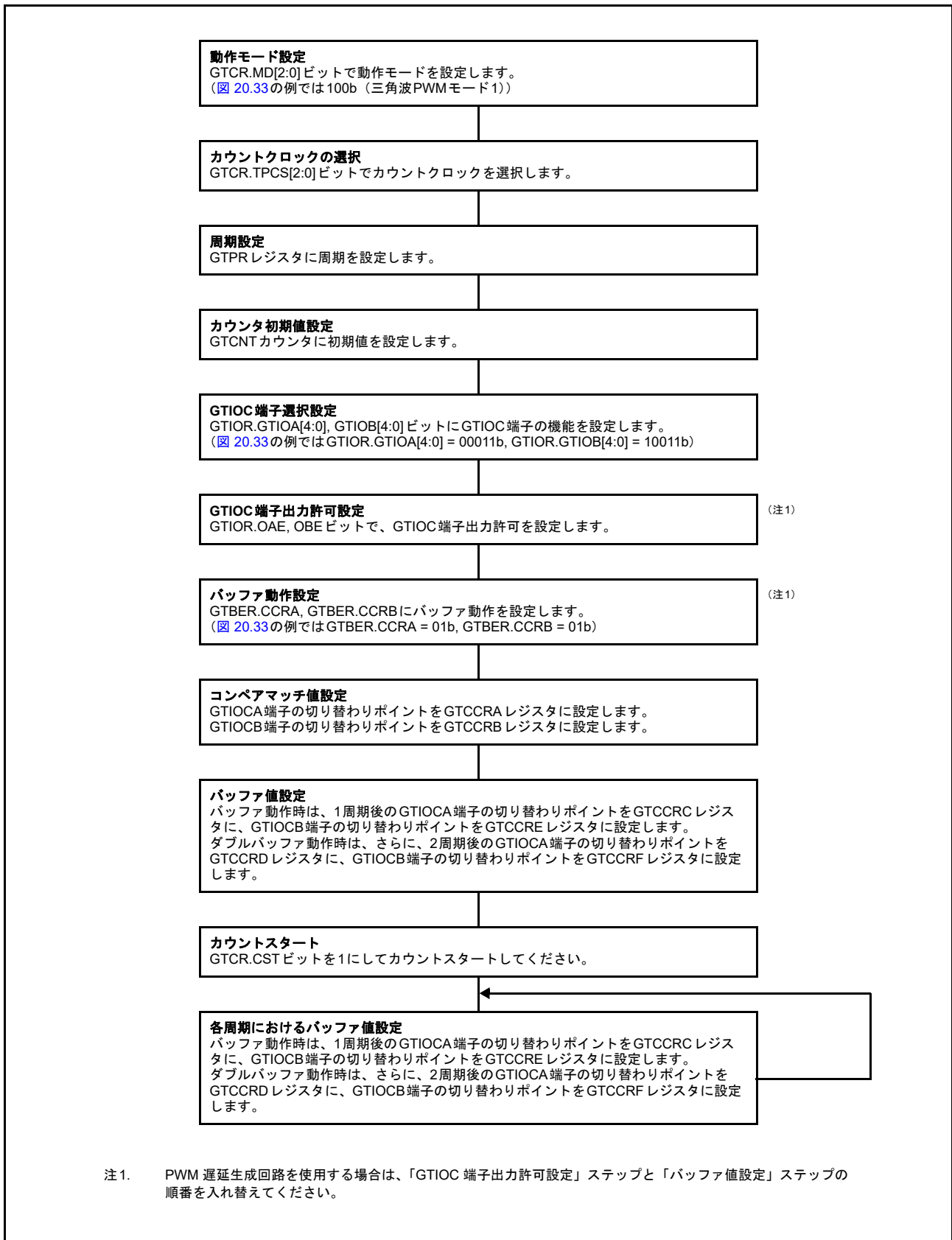


図 20.34 三角波 PWM モード 1 設定例

20.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GDTDCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.35 に三角波 PWM モード 2 の動作例を、図 20.36 に三角波 PWM モード 2 の設定例を示します。

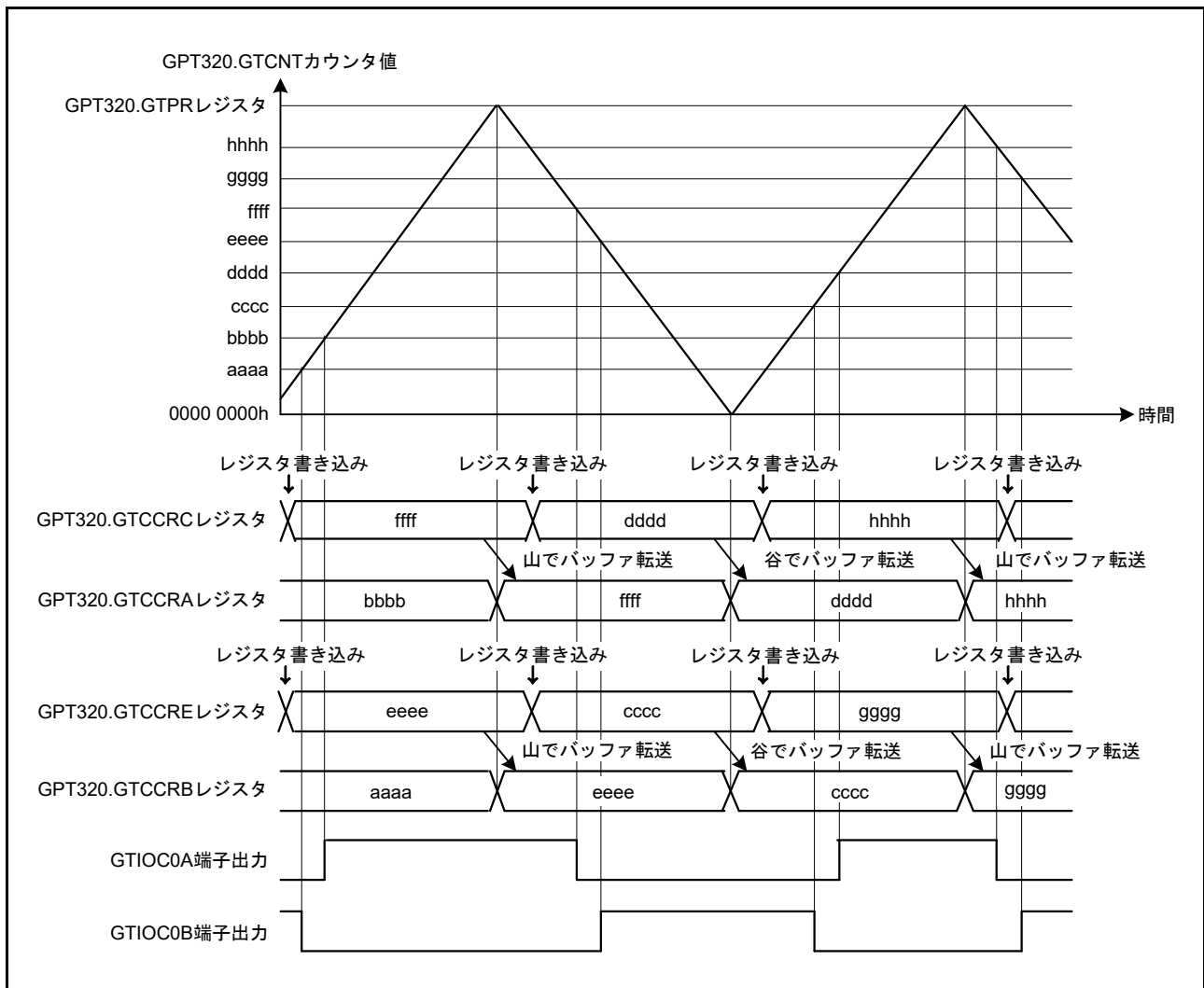


図 20.35 三角波 PWM モード 2 動作例 (バッファ動作、カウントスタート時に GTIOCA 端子 = Low 出力 / GTIOCB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

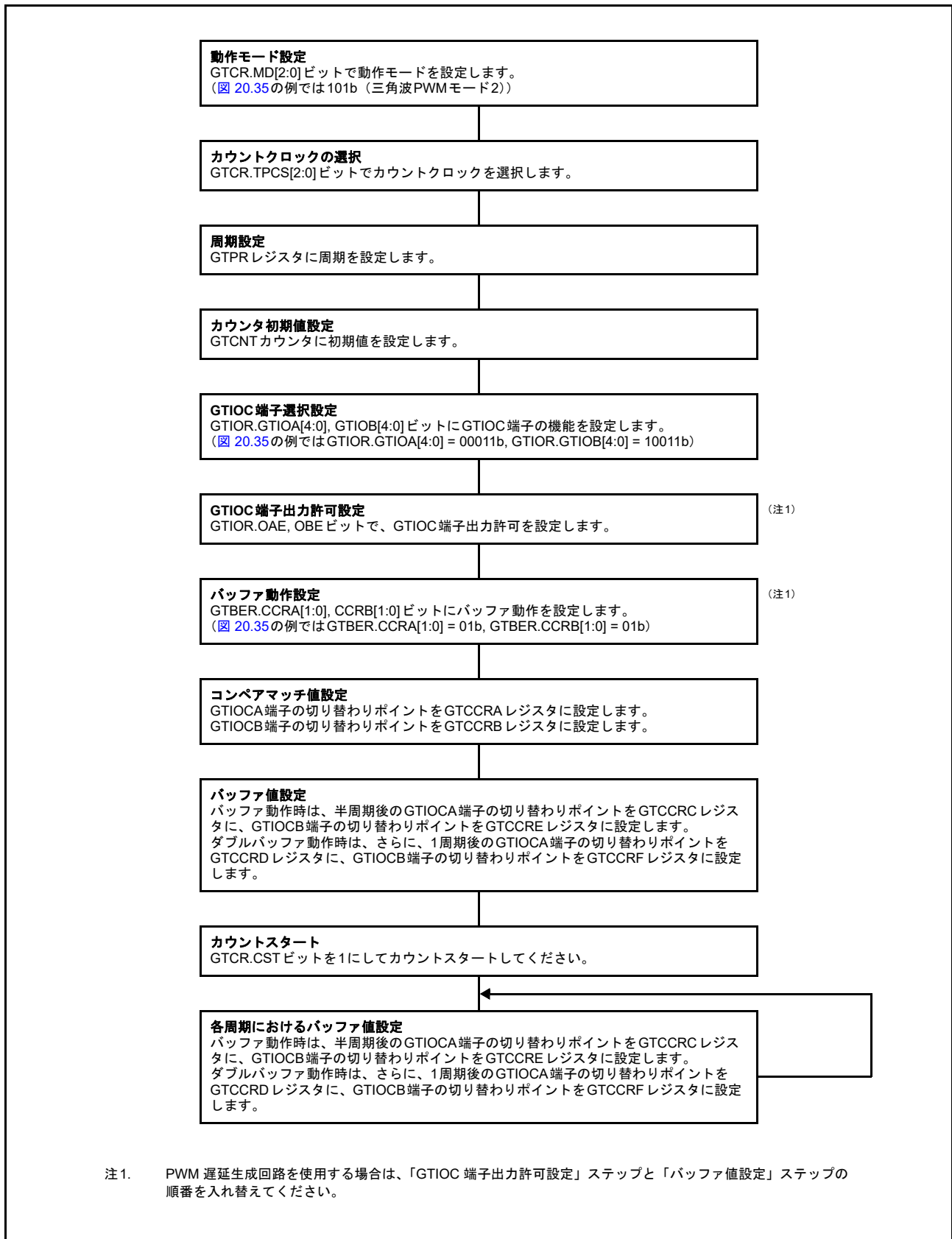


図 20.36 三角波 PWM モード 2 設定例

20.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波 (全波) 動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 山で一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力 / High 出力 / トグル出力から選択できます。

また、GTDTCR および GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.37 に三角波 PWM モード 3 の動作例を、図 20.38 に三角波 PWM モード 3 の設定例を示します。

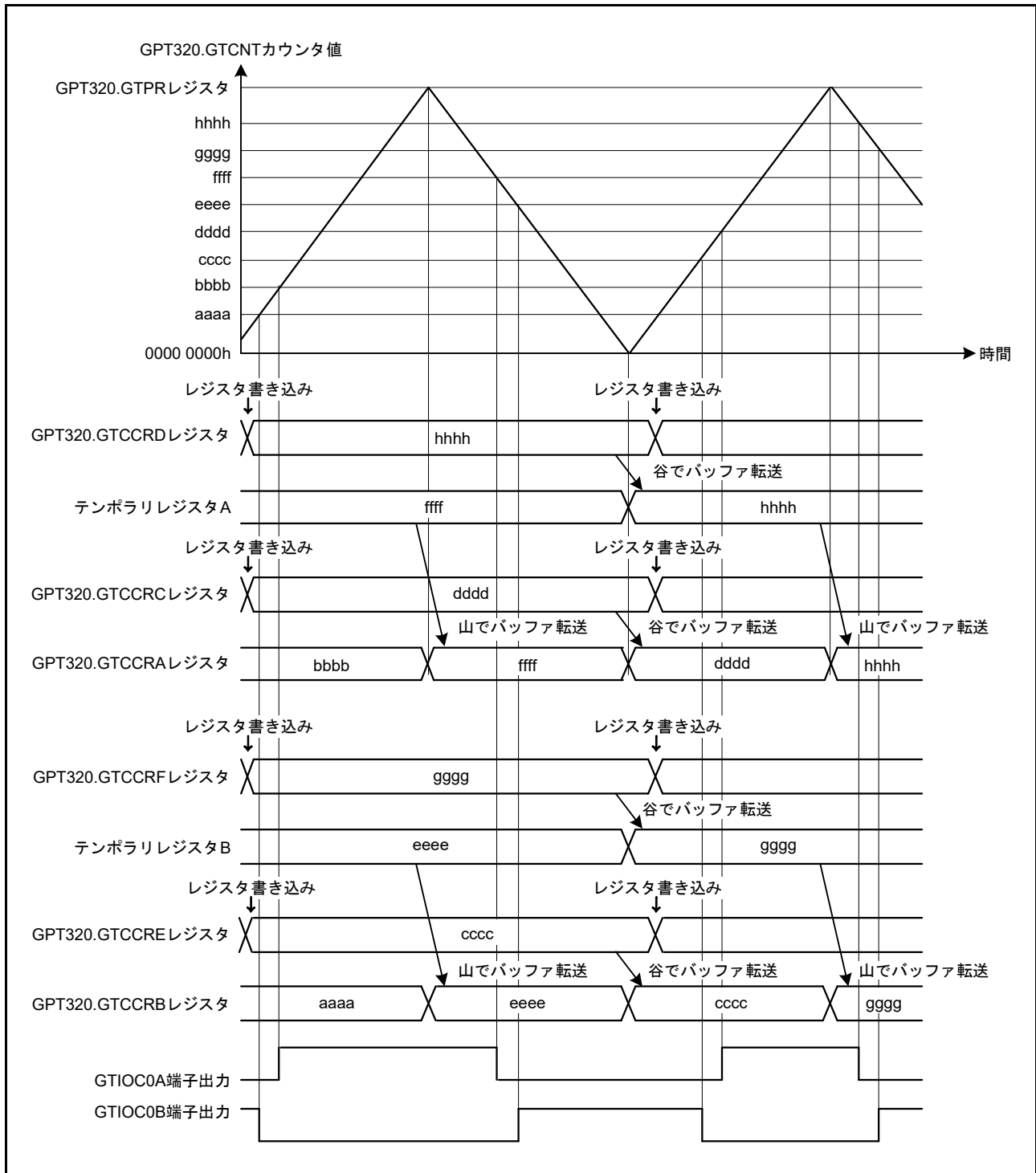


図 20.37 三角波 PWM モード 3 動作例 (カウントスタート時に GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

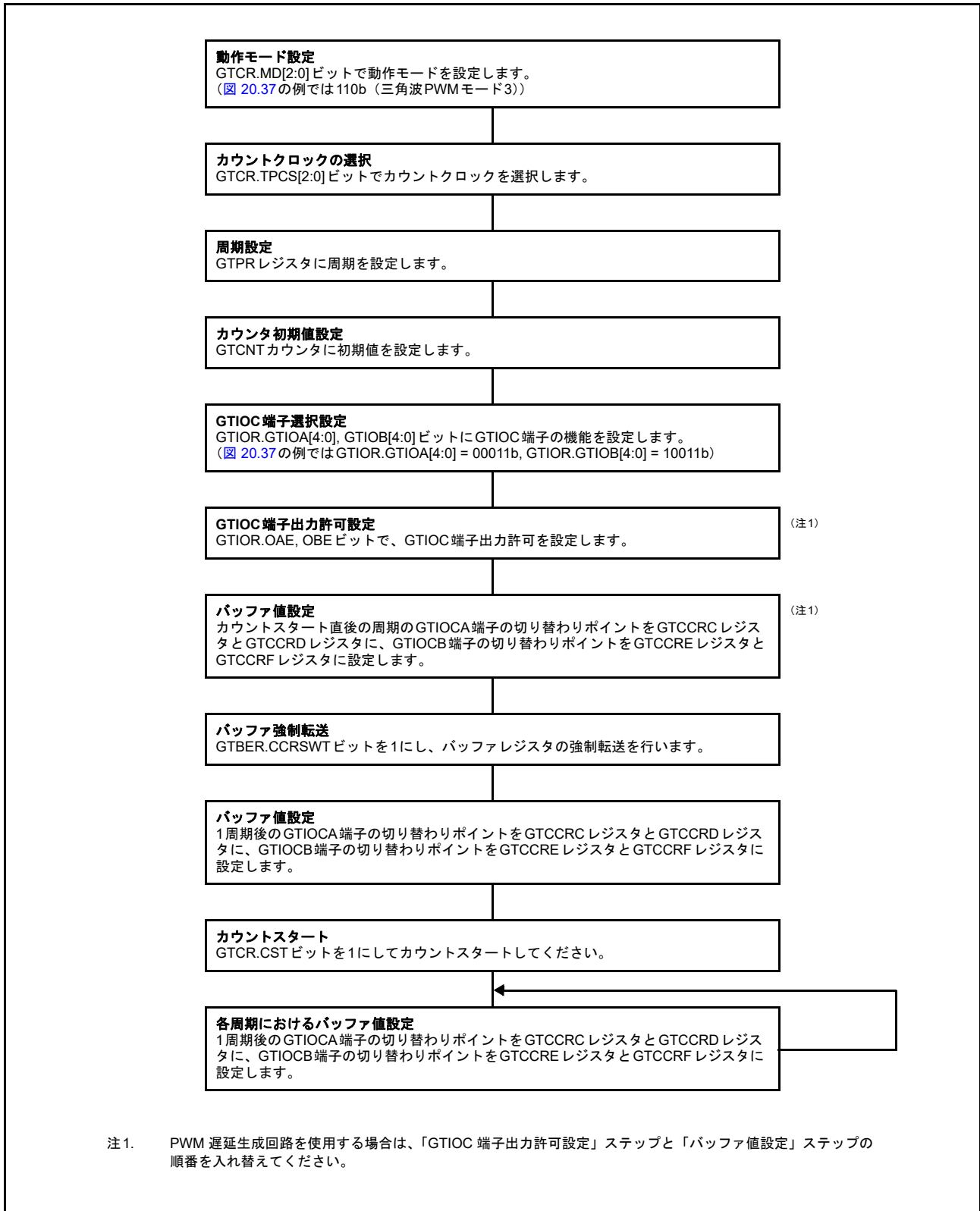


図 20.38 三角波 PWM モード 3 設定例

20.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値 (GTCCRA 値) と指定したデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。また、周期を超えるデッドタイムの設定もしないでください。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

デッドタイム自動設定機能の動作例を [図 20.39](#) ~ [図 20.42](#) に示します。設定例を [図 20.43](#) および [図 20.44](#) に示します。

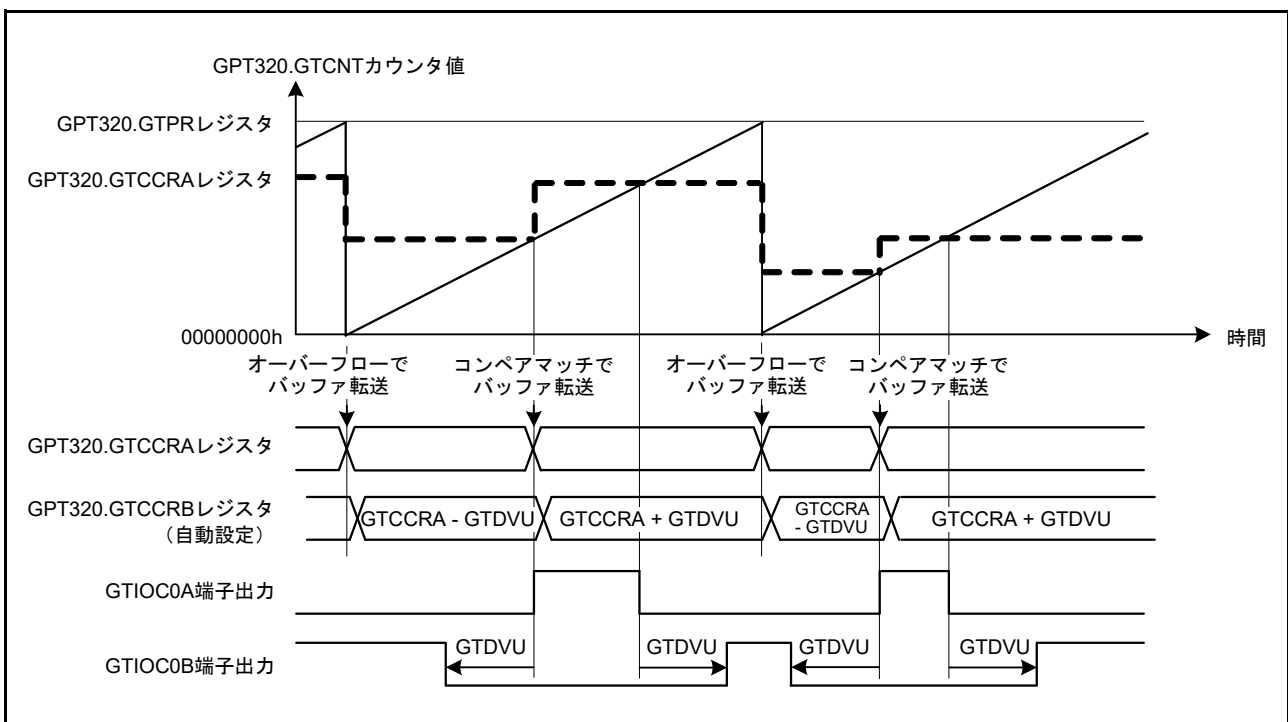


図 20.39 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

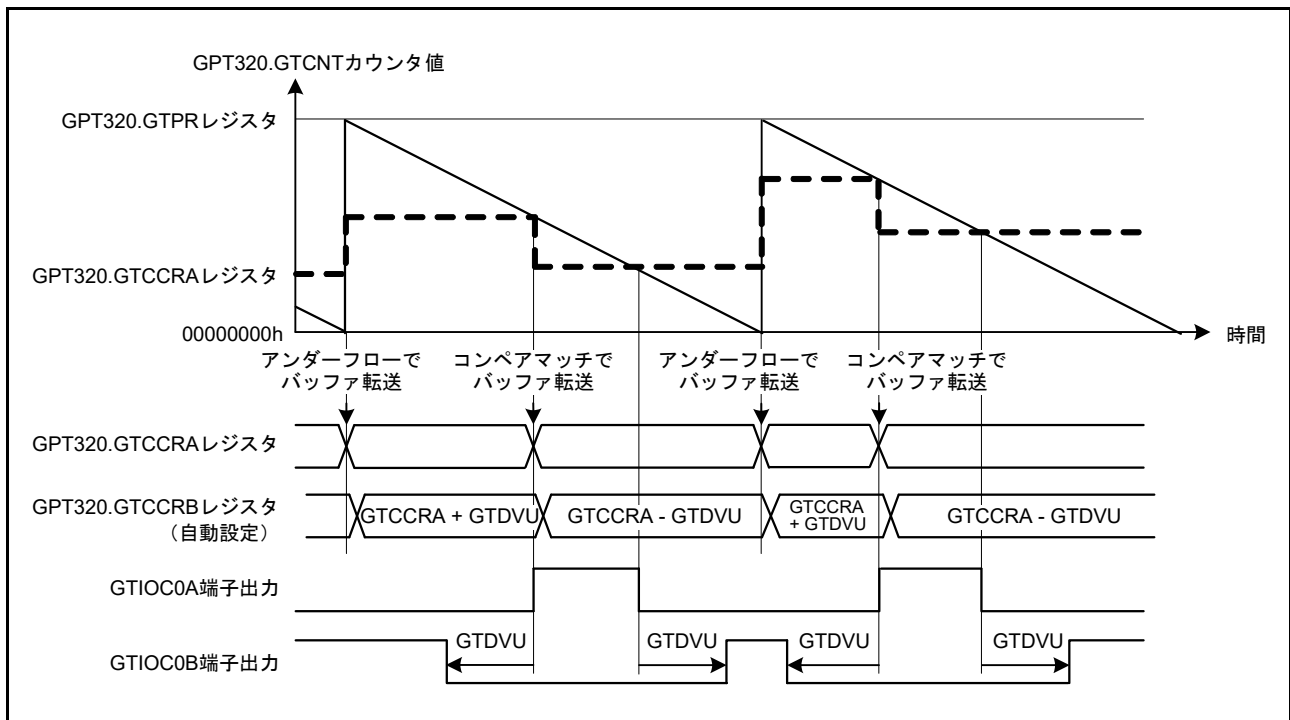


図 20.40 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

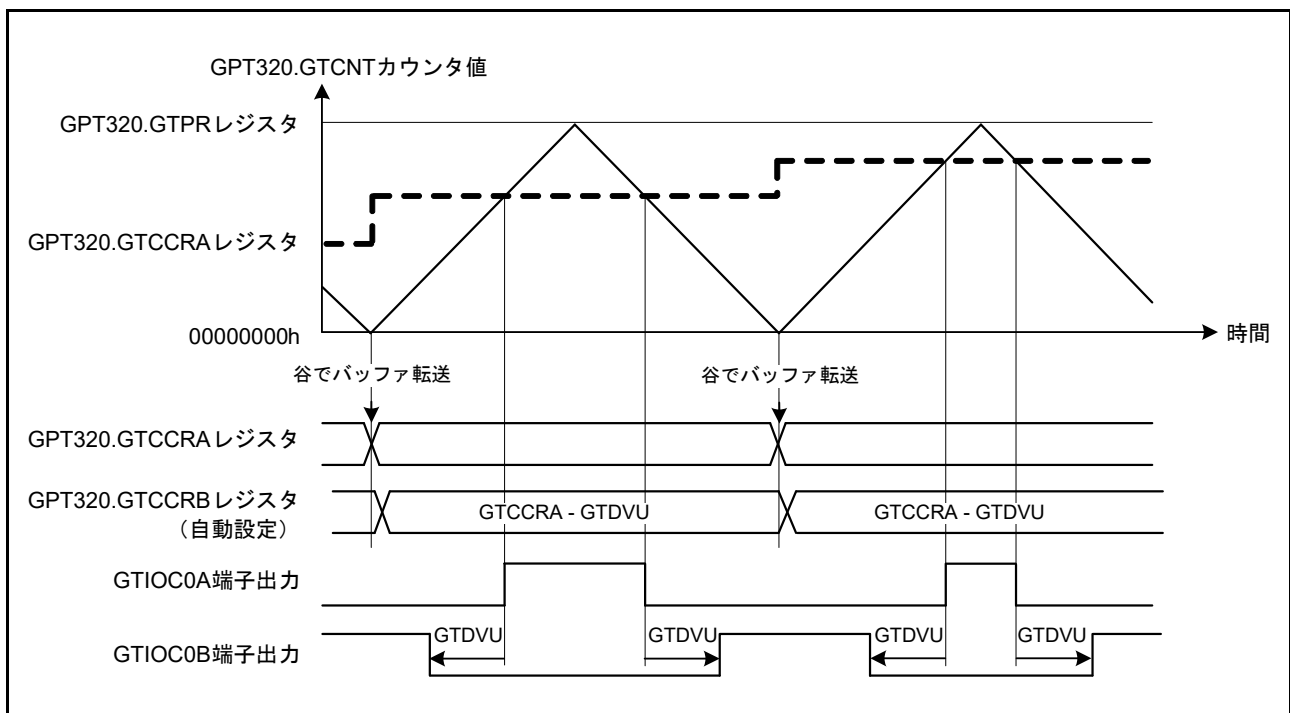


図 20.41 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、アクティブ High の場合)

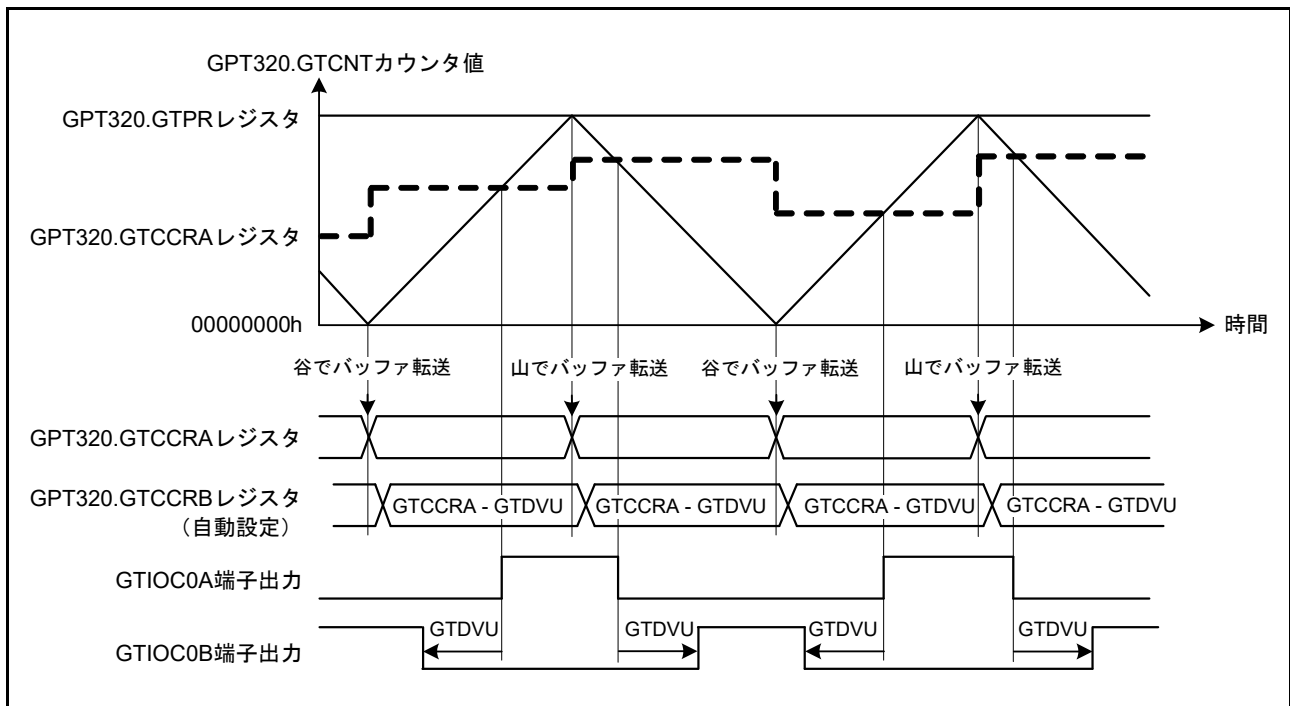


図 20.42 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、アクティブ High の場合)

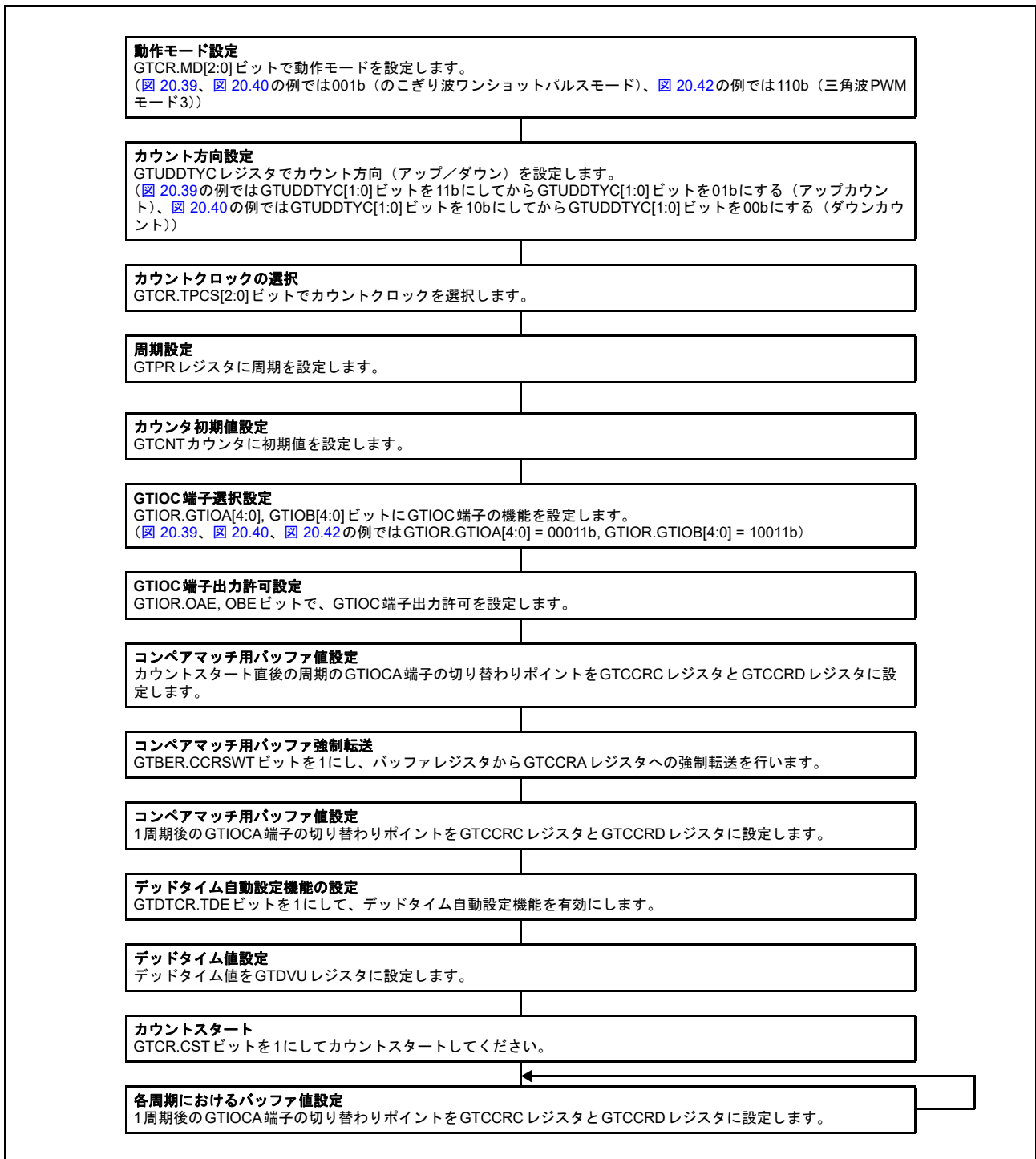


図 20.43 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合)

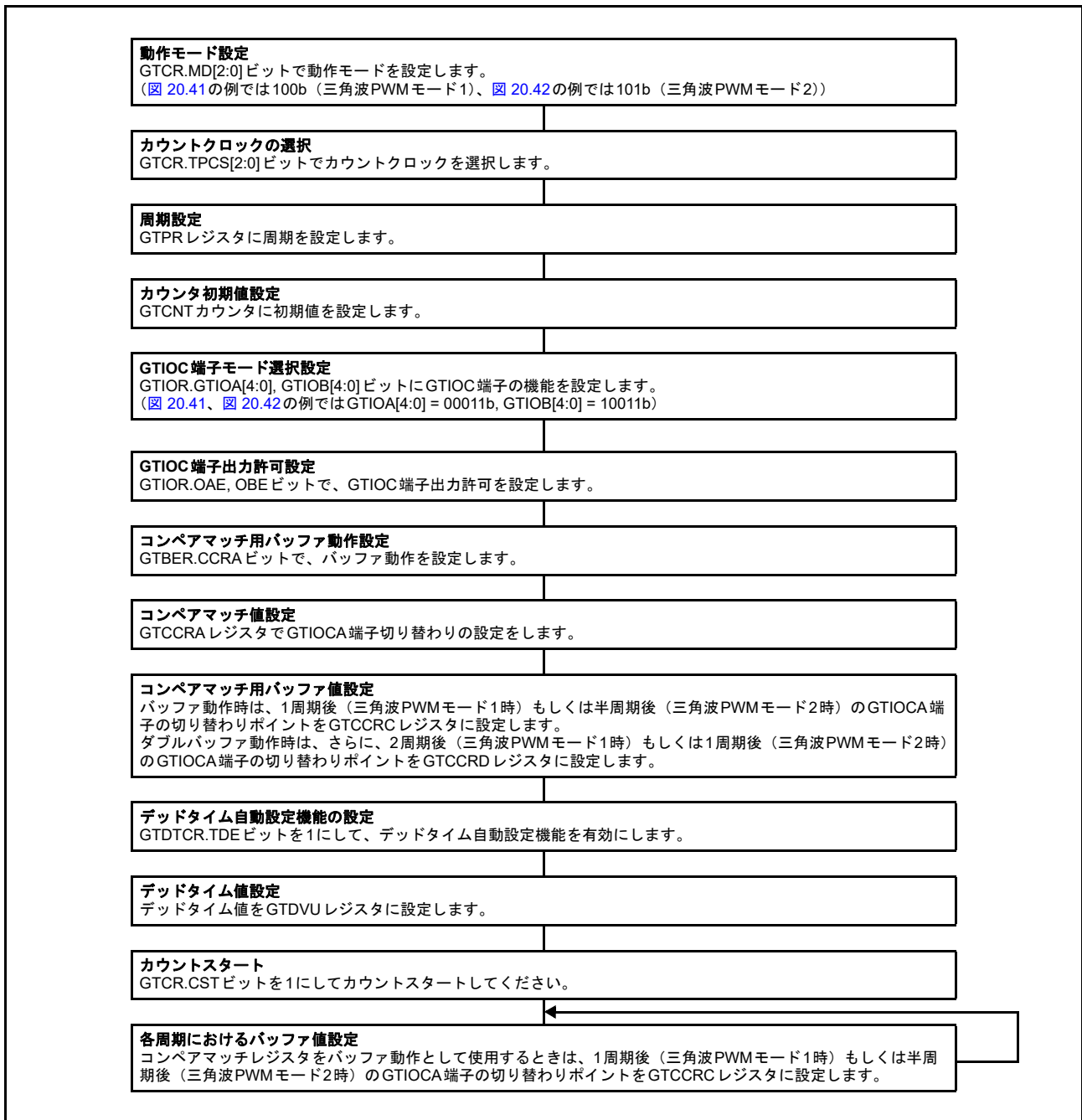


図 20.44 デッドタイム自動設定機能の設定例 (三角波PWMモード1または2の場合)

20.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 20.45 にカウント方向切り替え機能の動作例を示します。

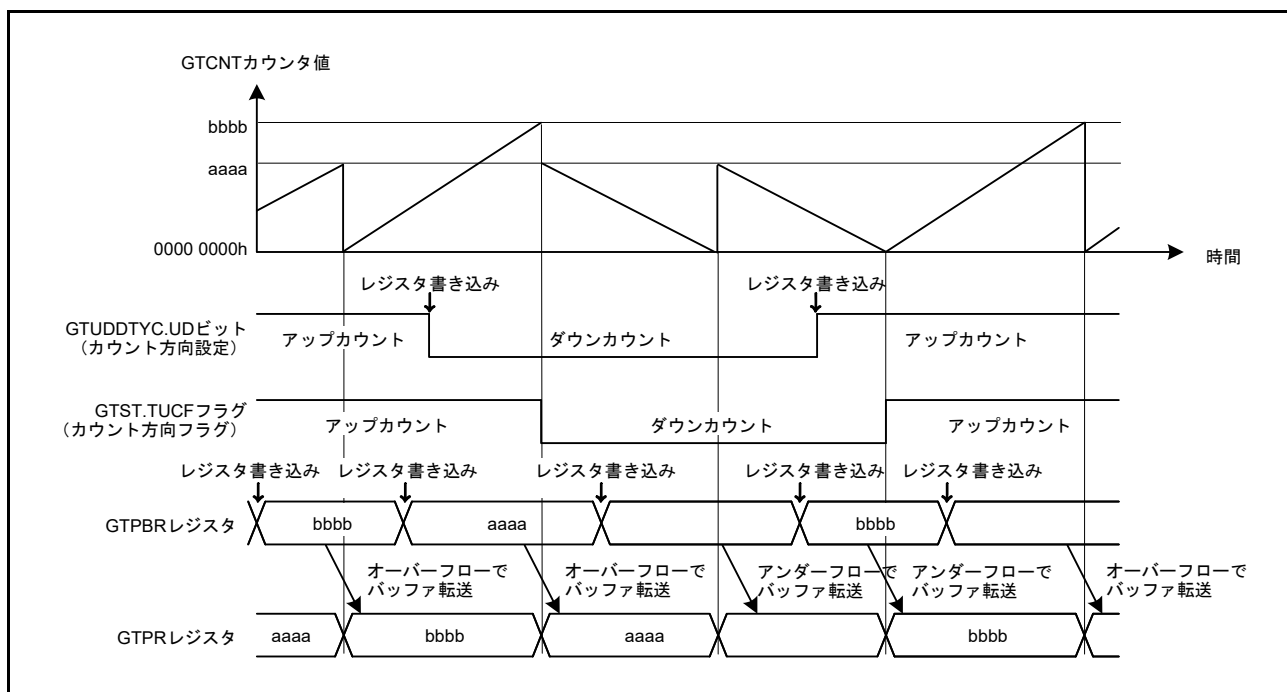


図 20.45 カウント方向切り替え機能の動作例 (バッファ動作時)

20.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりで GTIOCA/GTIOCB 端子の出力値を表 20.6 に示します。

表 20.6 0%または100%デューティ設定解除後の出力値 (m = A, B)

GTIOR.GTIOm[3:2]	0%/100%デューティ設定で マスクされた周期の終わりでの コンペアマッチ値	GTUDDTYC.OmDTYR (デューティ 0% 設定時)		GTUDDTYC.OmDTYR (デューティ 100% 設定時、 5V トレラント)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりでLow出力)	—	0	0	0	0
10 (周期の終わりでHigh出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 20.46 に出力デューティ 0%、100% 機能の動作例を示します。

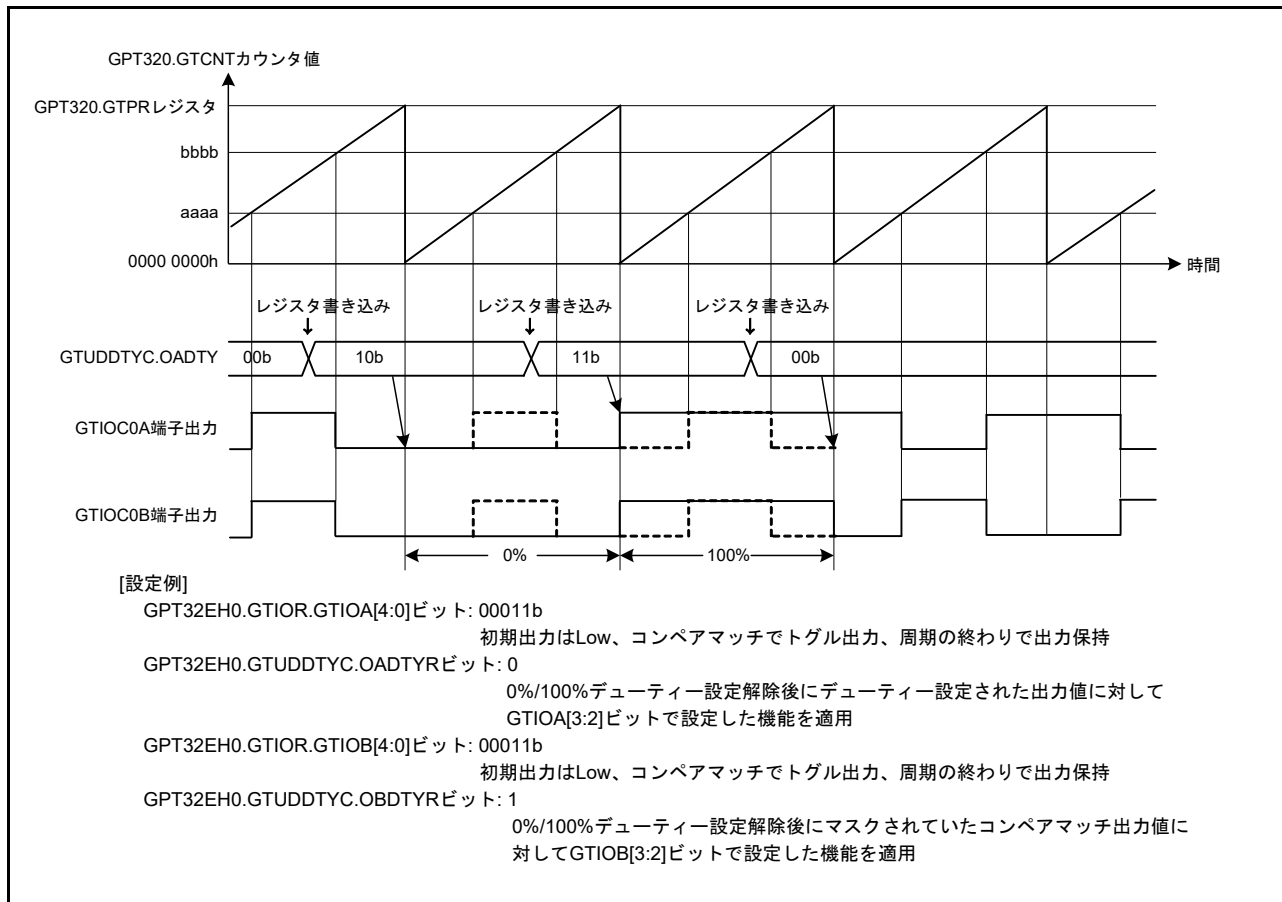


図 20.46 出力デューティ 0%、100% 機能動作例

20.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNTカウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

20.3.7.1 ハードウェアスタート動作

GTSSRレジスタでハードウェア要因を選択することにより、GTCNTカウンタのカウントスタートが可能です。

図 20.47 にハードウェア要因によるカウントスタートの動作例を示します。図 20.48 に設定例を示します。

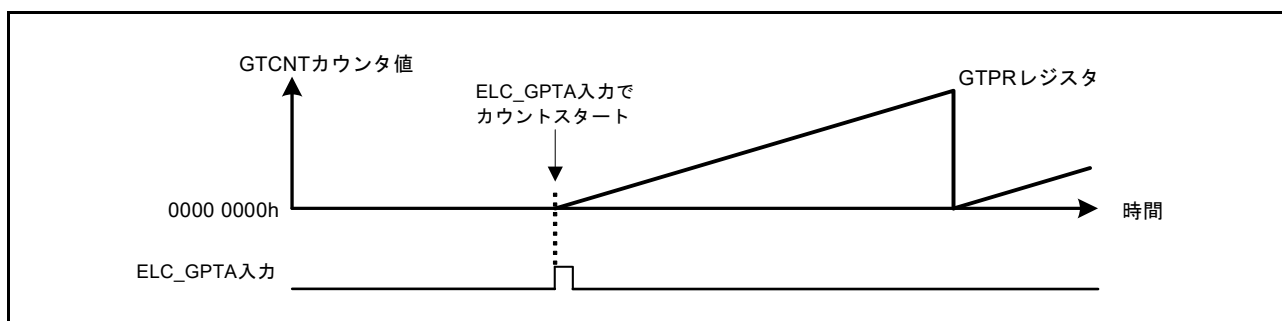


図 20.47 ハードウェア要因によるカウントスタート動作例 (ELC_GPTA からの信号入力時のスタート)



図 20.48 ハードウェア要因によるカウントスタート動作設定例

20.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 20.49 にハードウェア要因によるカウントストップの動作例を示します。図 20.50 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力のエッジでストップし、ELC_GPTB イベント入力のエッジで再スタートしています。

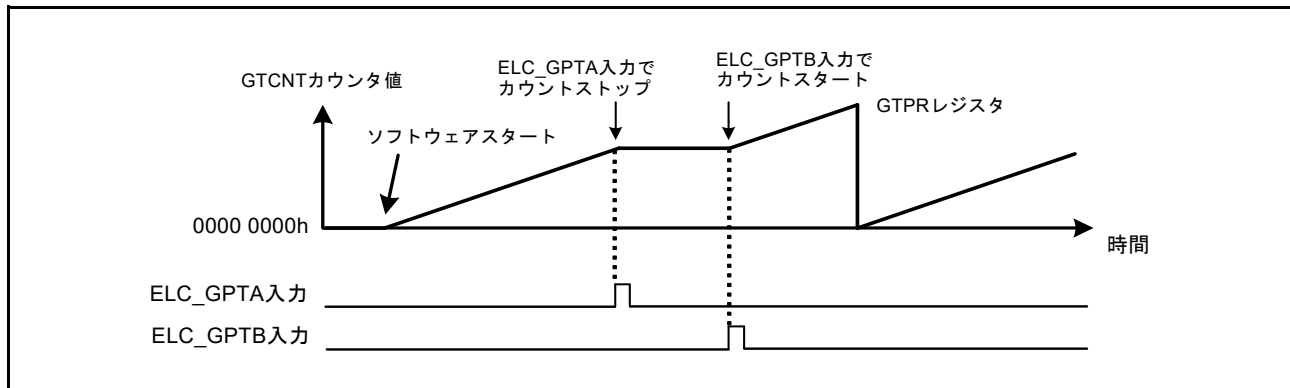


図 20.49 ハードウェア要因によるカウントストップ動作例
(ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合)

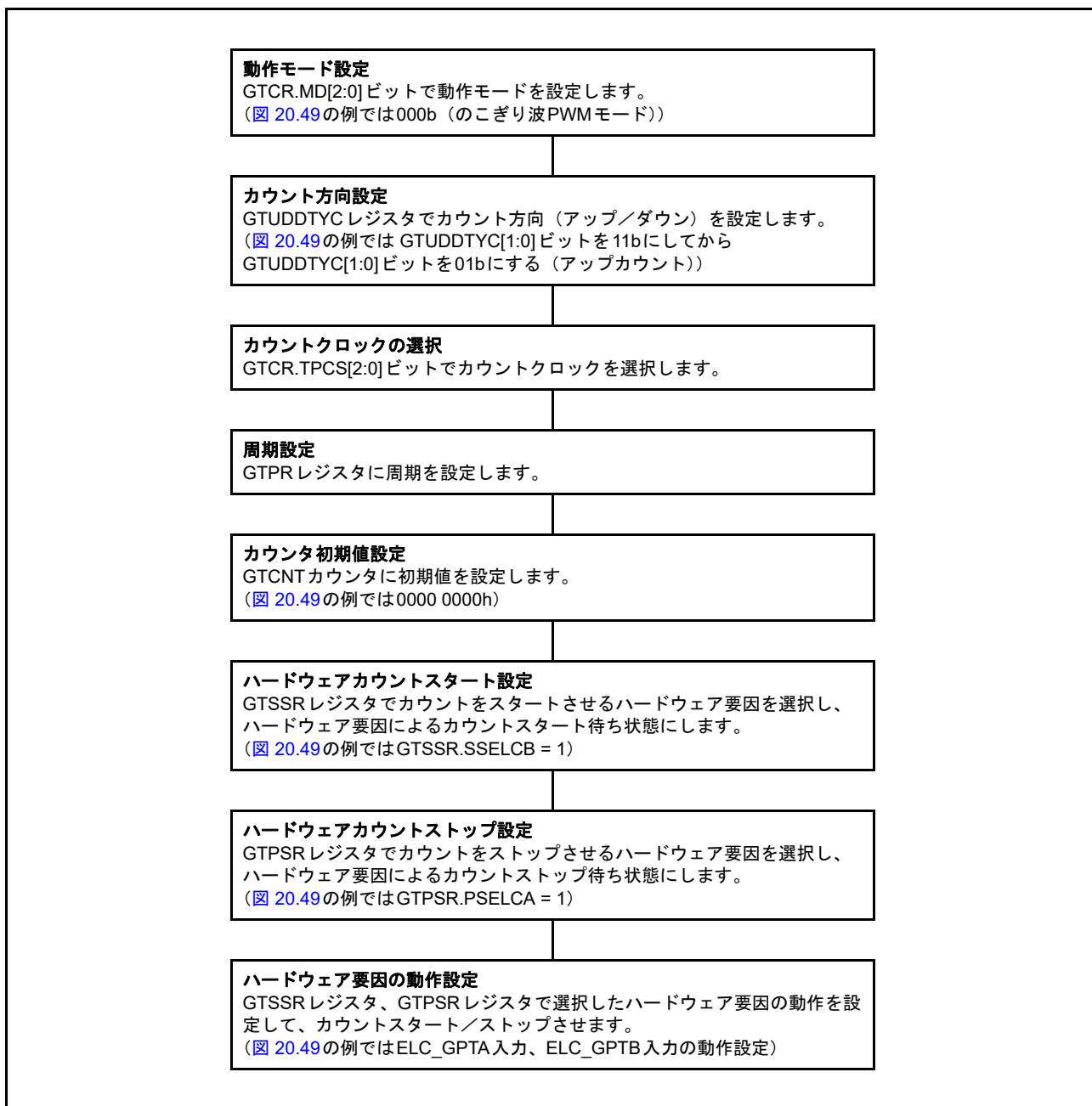


図 20.50 ハードウェア要因によるカウントストップ動作設定例

図 20.51 にハードウェア要因によるカウントスタート/ストップ動作例を示します。図 20.52 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

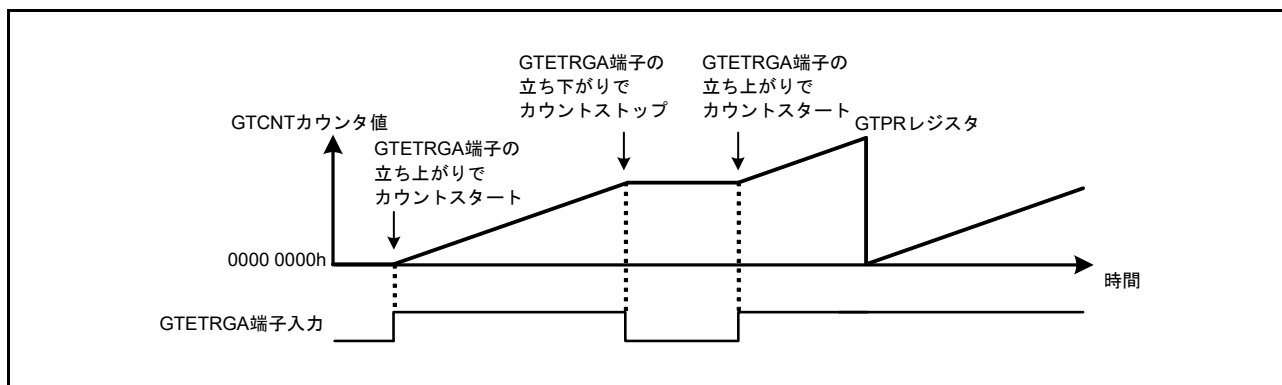


図 20.51 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

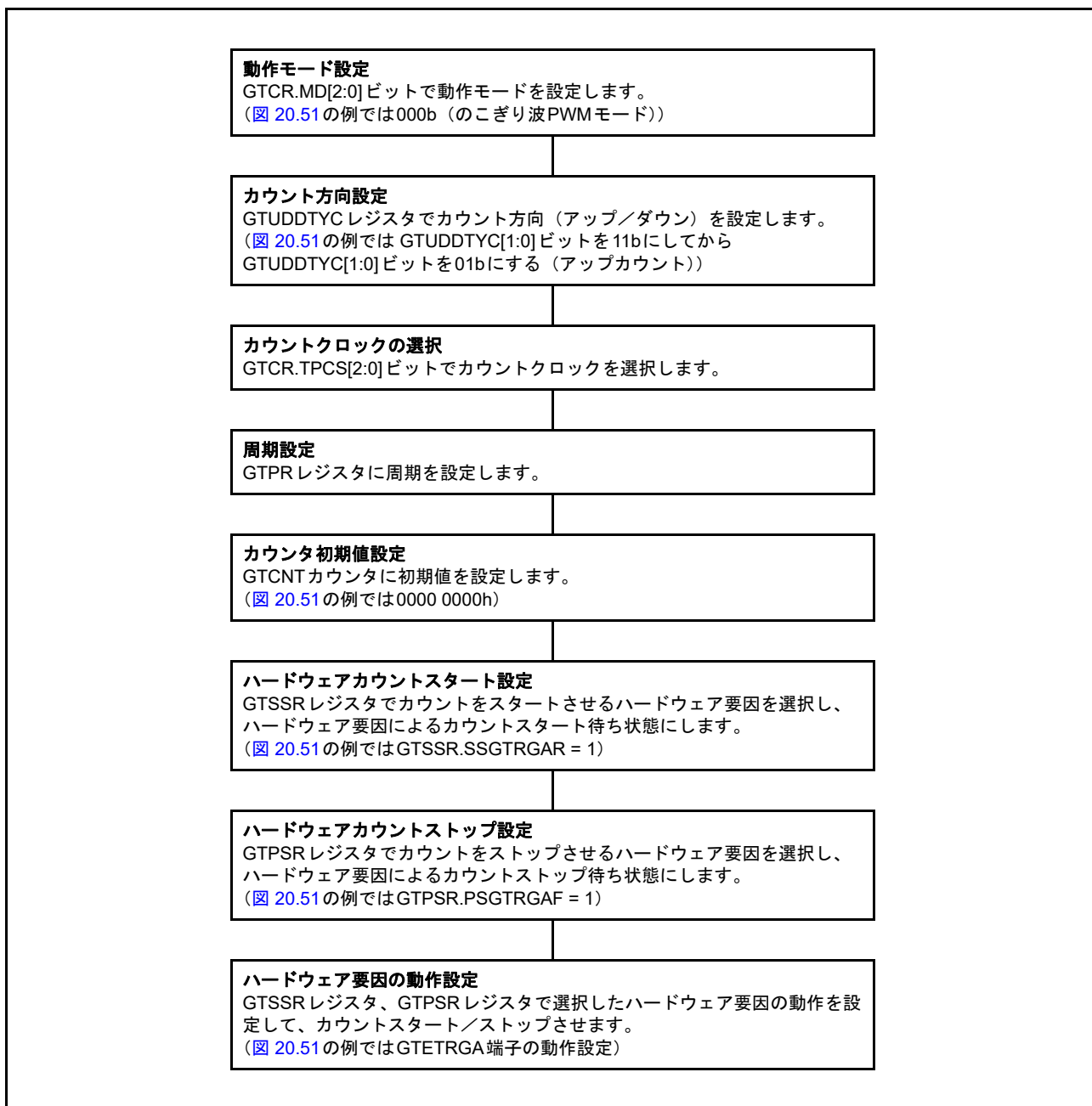


図 20.52 ハードウェア要因によるカウントスタート/ストップ動作設定例

20.3.7.3 ハードウェアクリア動作

GTCSCR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウンタクリアが可能です。

注. ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0 ~ 6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 20.53 および図 20.54 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 20.55 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA イベント入力のエッジでスタートし、ELC_GPTB イベント入力のエッジでストップ/クリアされています。

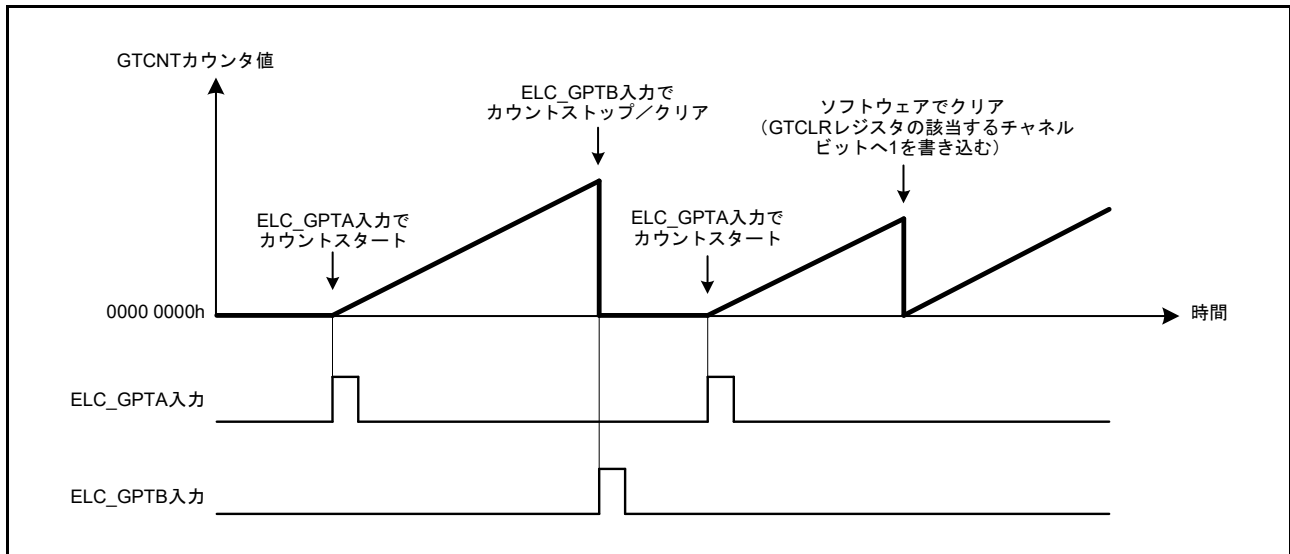


図 20.53 ハードウェア要因によるカウンタクリア動作例 (のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

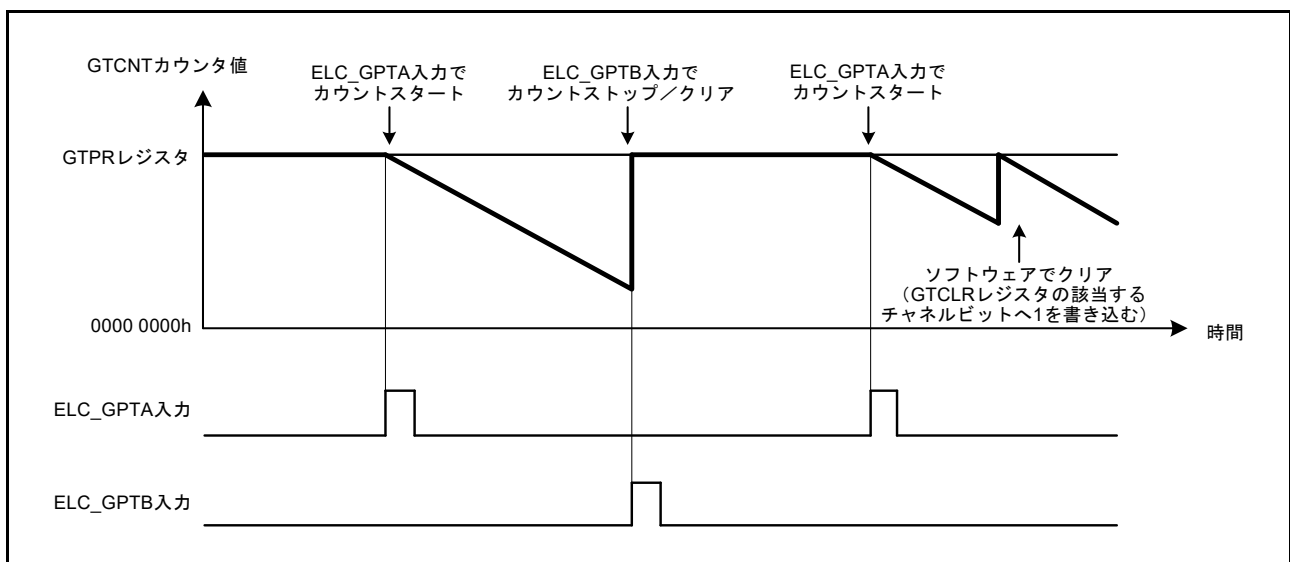


図 20.54 ハードウェア要因によるカウンタクリア動作例 (のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ/クリアの場合)

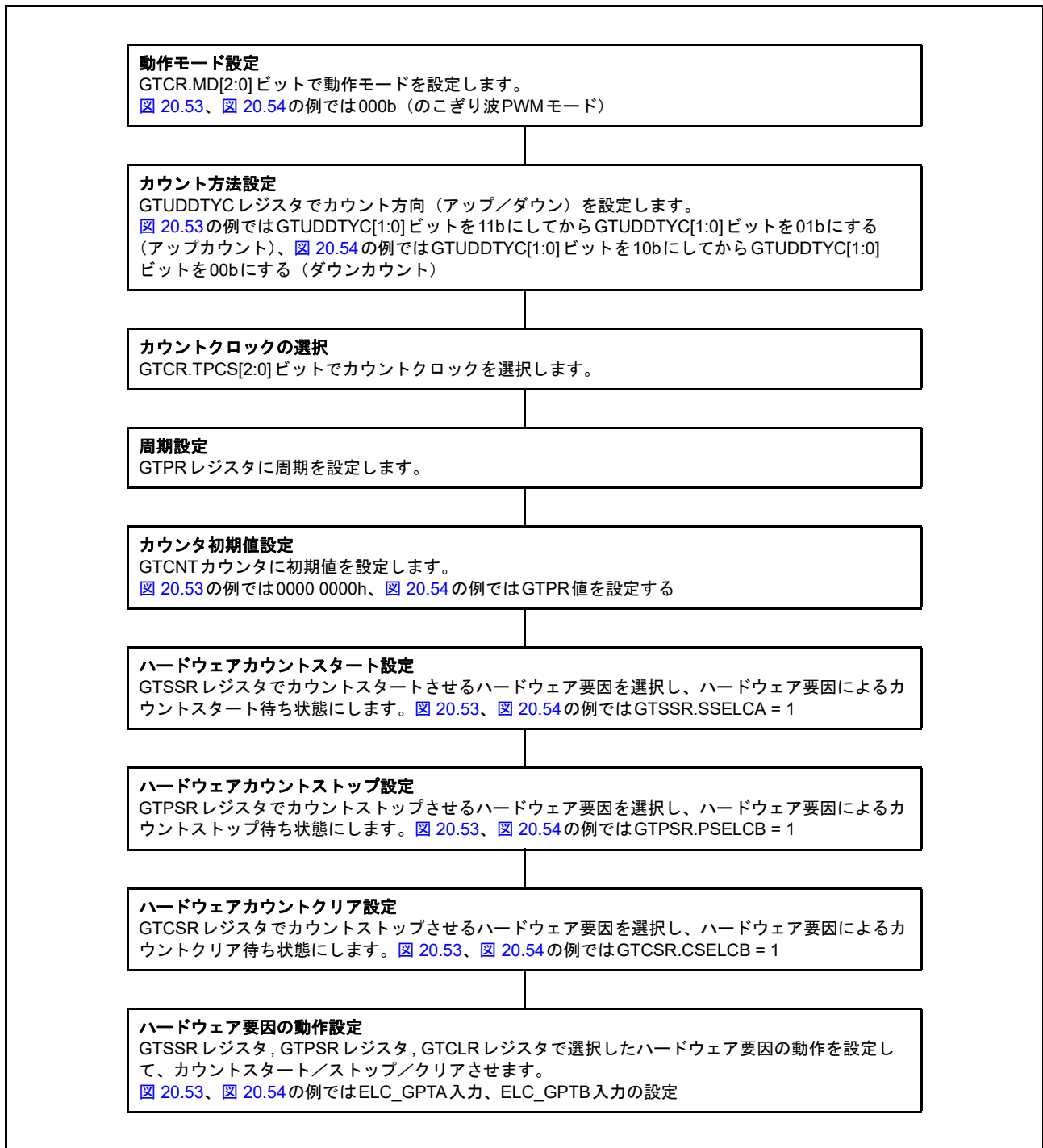


図 20.55 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0 ~ 6) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 20.56 にハードウェア要因によるカウンタクリアと GPTn_OVF/GPTn_UDF (n=0~6) 割り込みの関係を示します。

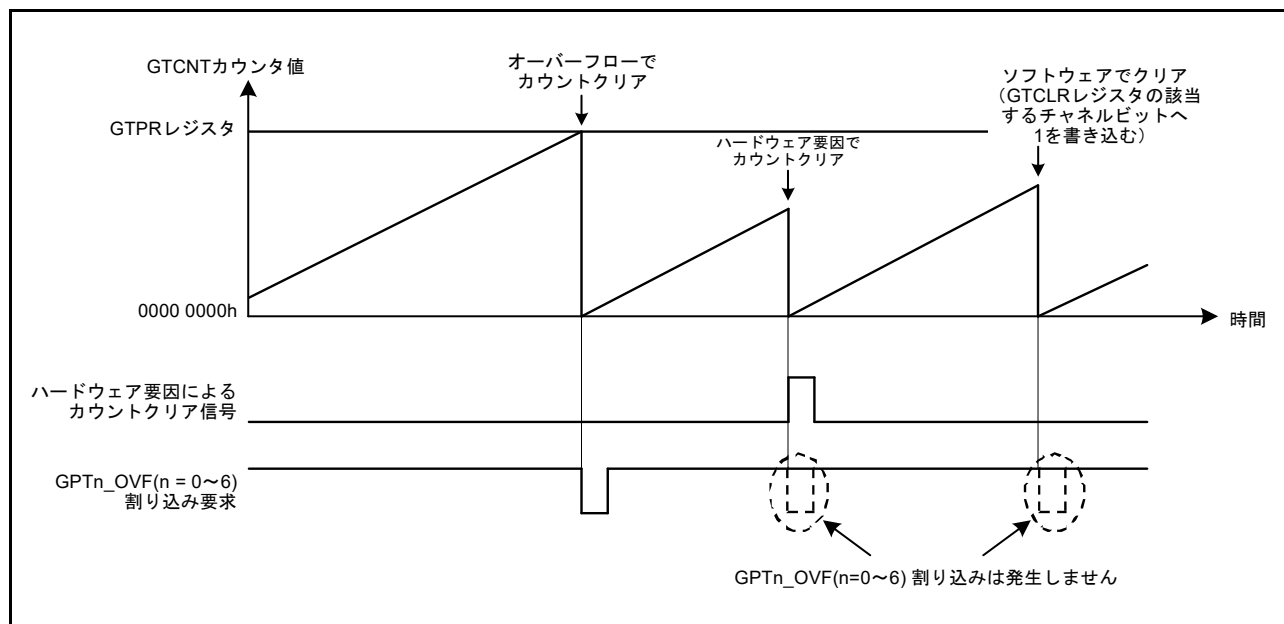


図 20.56 ハードウェア要因によるカウンタクリアと GPTn_OVF (n=0~6) 割り込みの関係

20.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

20.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 20.57 に、ソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 20.58 に、ソフトウェアによる位相スタートの動作例を示します。

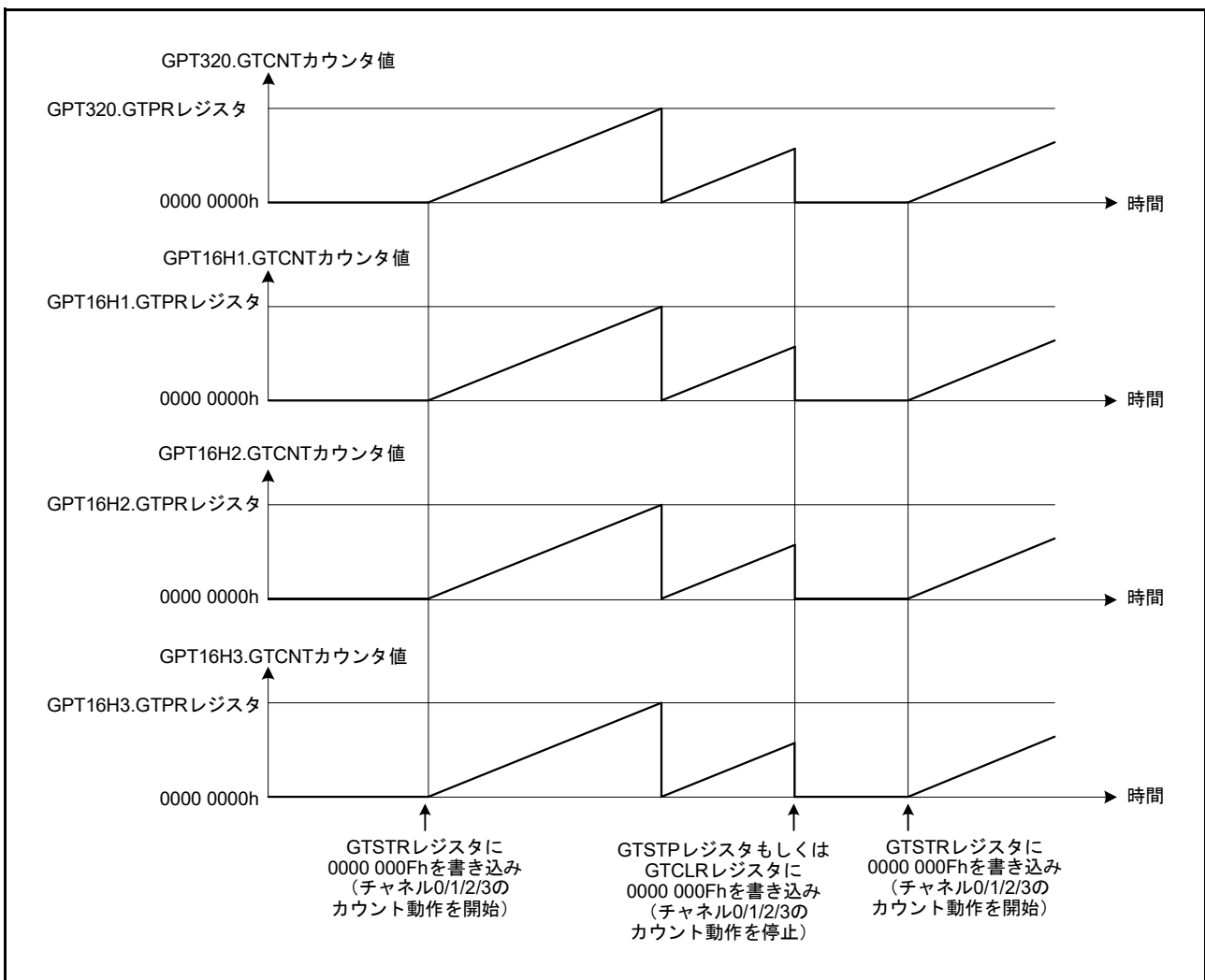


図 20.57 ソフトウェアによる同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

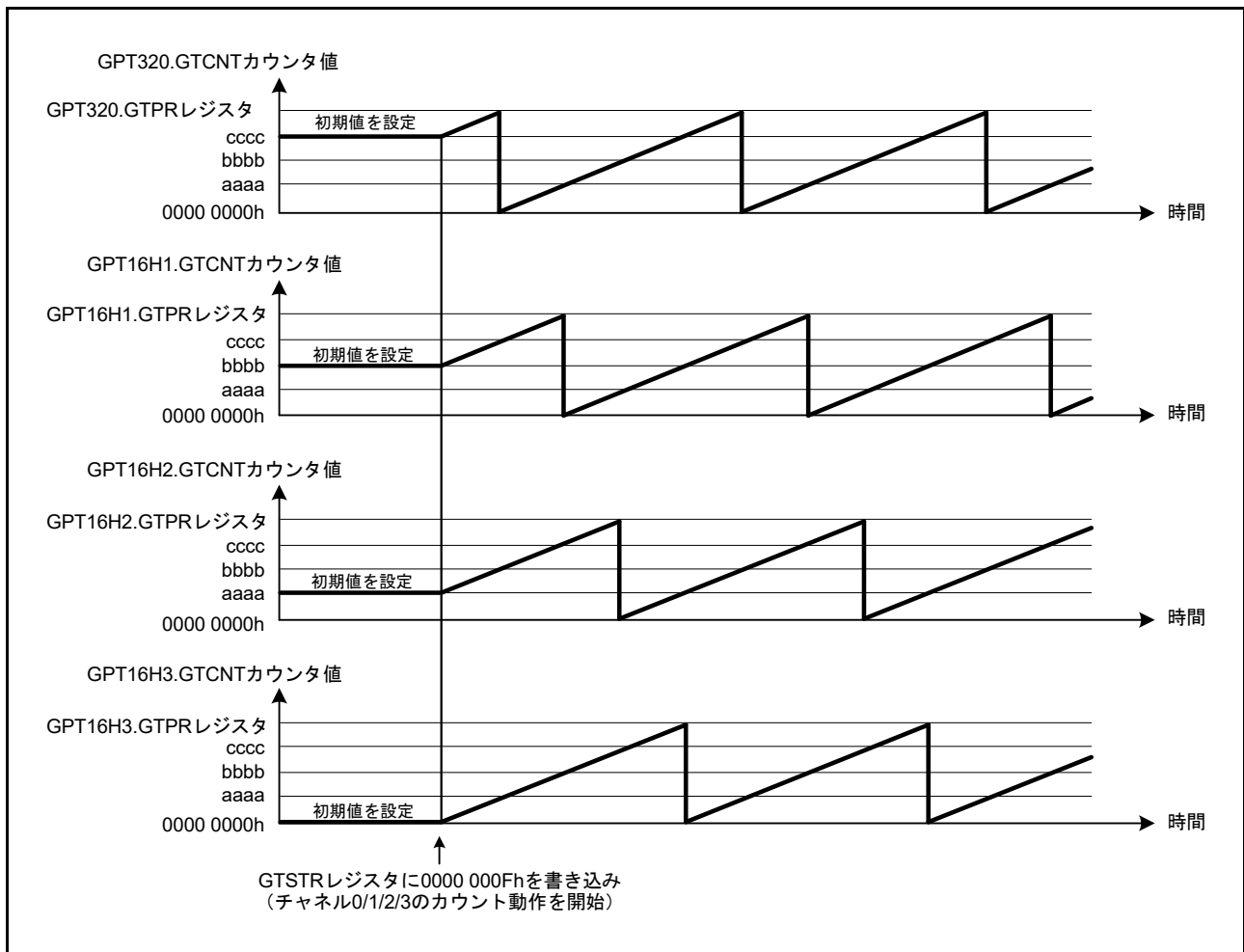


図 20.58 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

20.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNTカウンタを同時にスタートさせることができます。

- 出力トリガ入力
- ELC イベント入力

図 20.59 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。図 20.60 に設定例を示します。

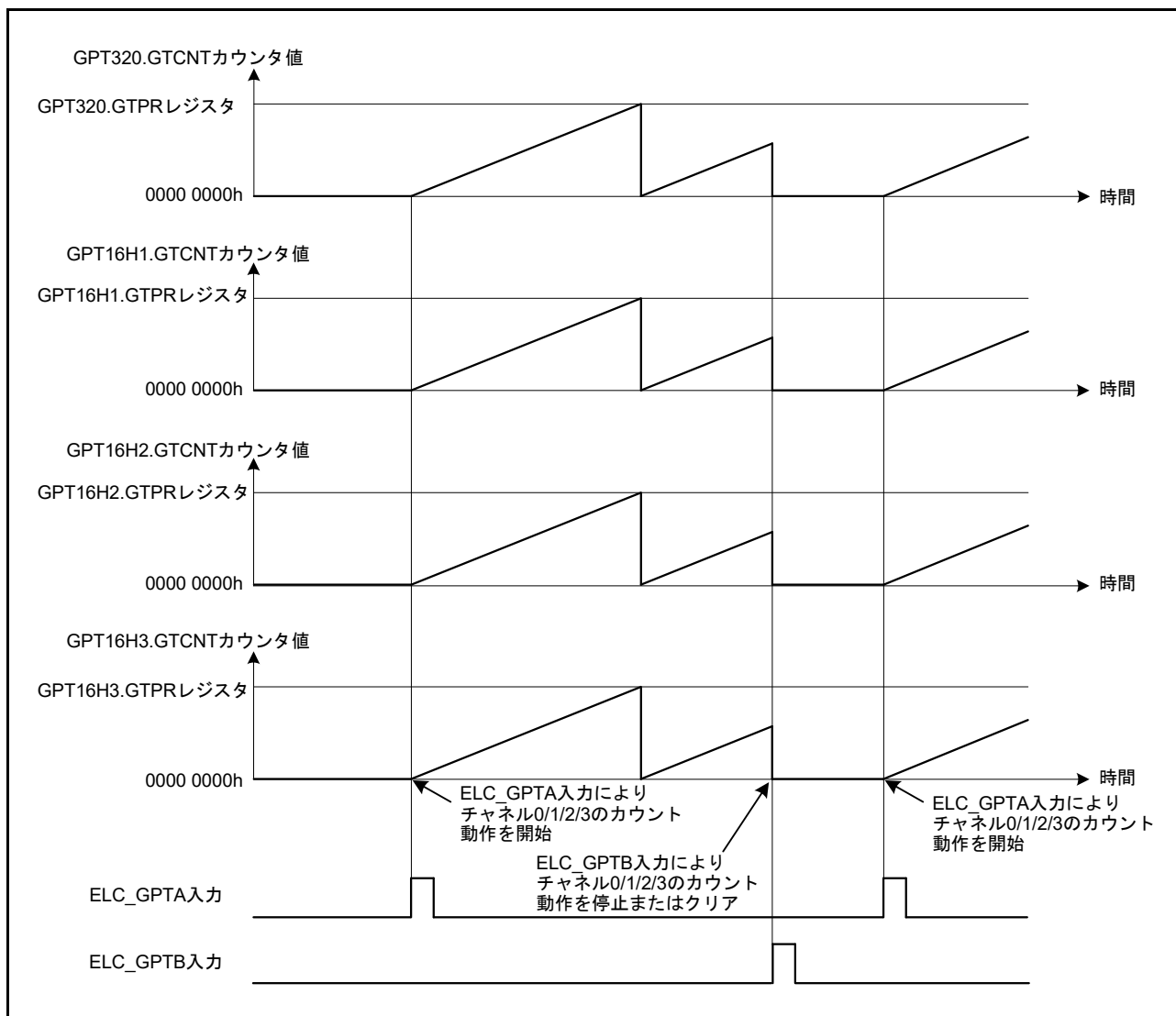


図 20.59 ハードウェア要因による同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

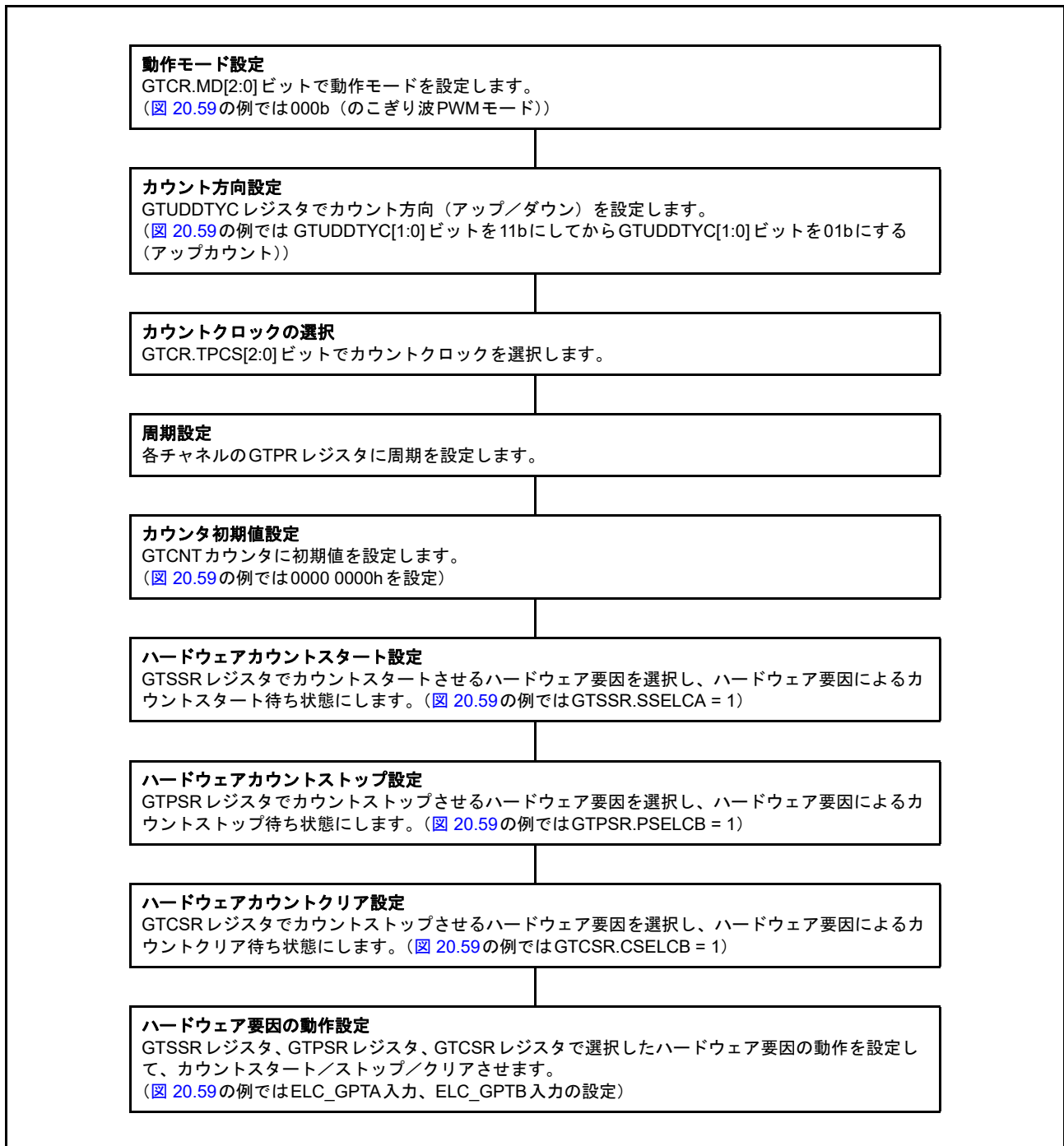


図 20.60 ハードウェア要因による同時スタート設定例

20.3.9 PWM 出力動作例

(1) 同期 PWM 出力

複数の GPT を使用することで、最大 7 チャンネル 14 相の連動した PWM 波形を出力します。

図 20.61 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

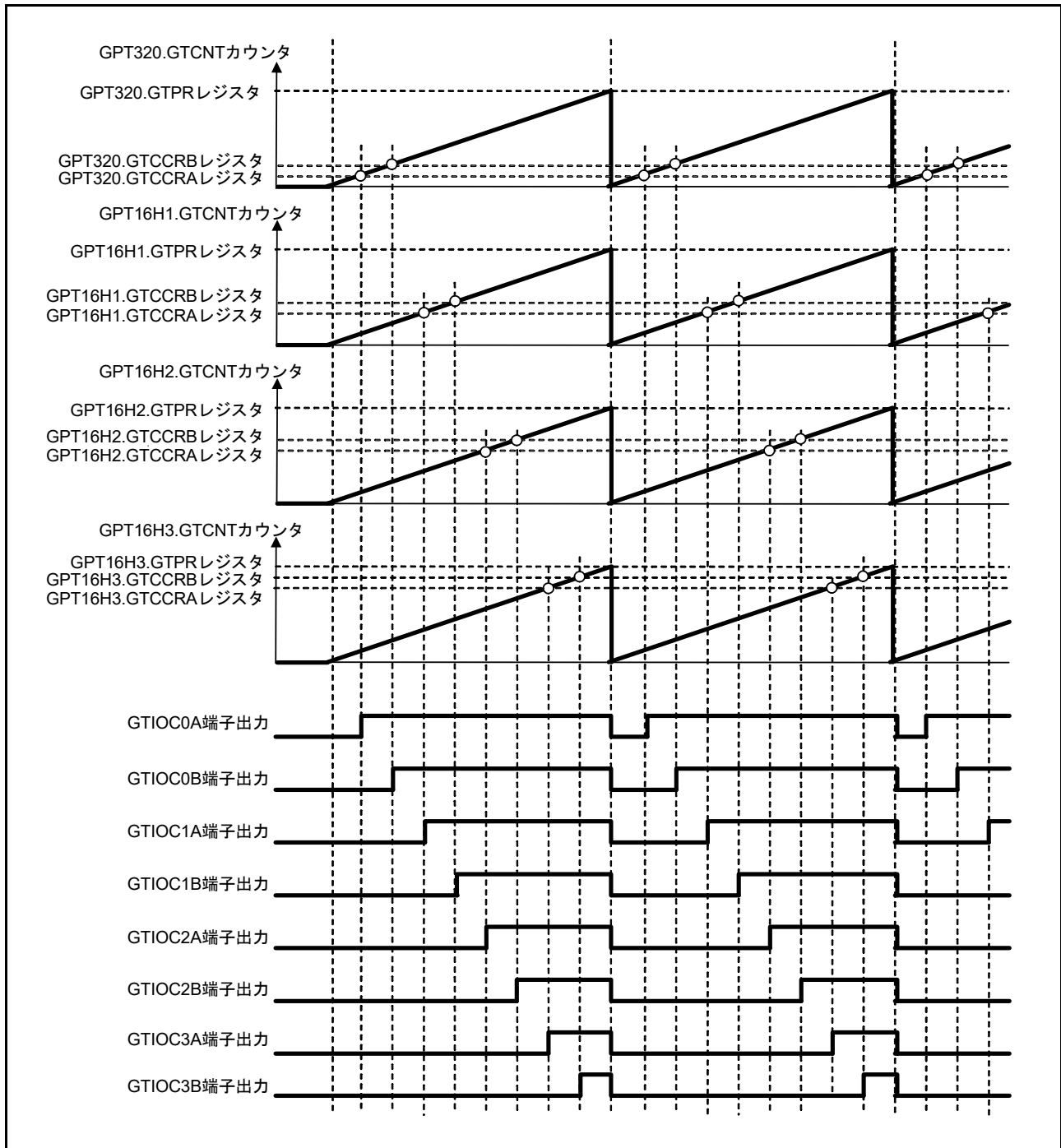


図 20.61 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 20.62 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

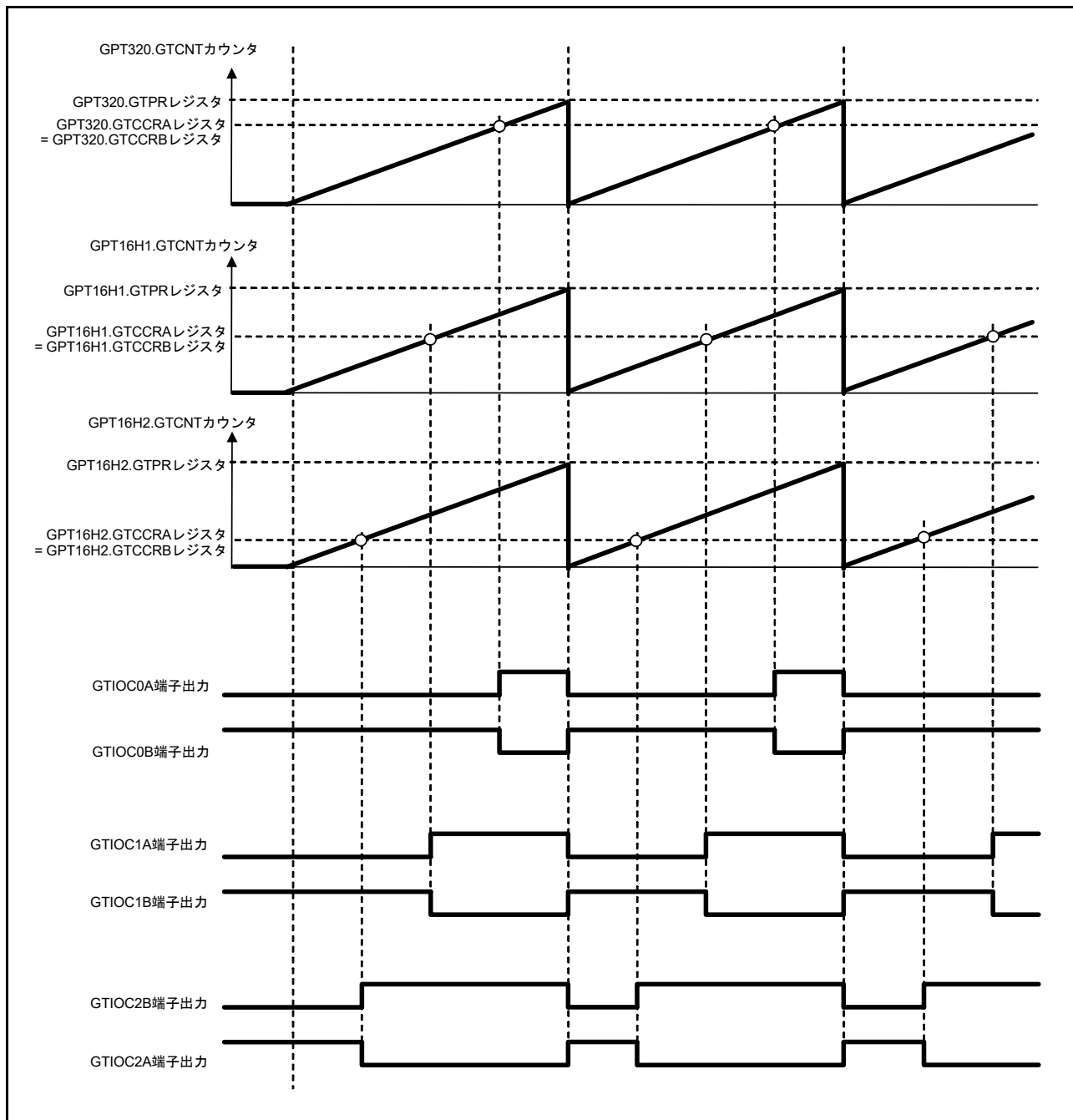


図 20.62 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.63 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

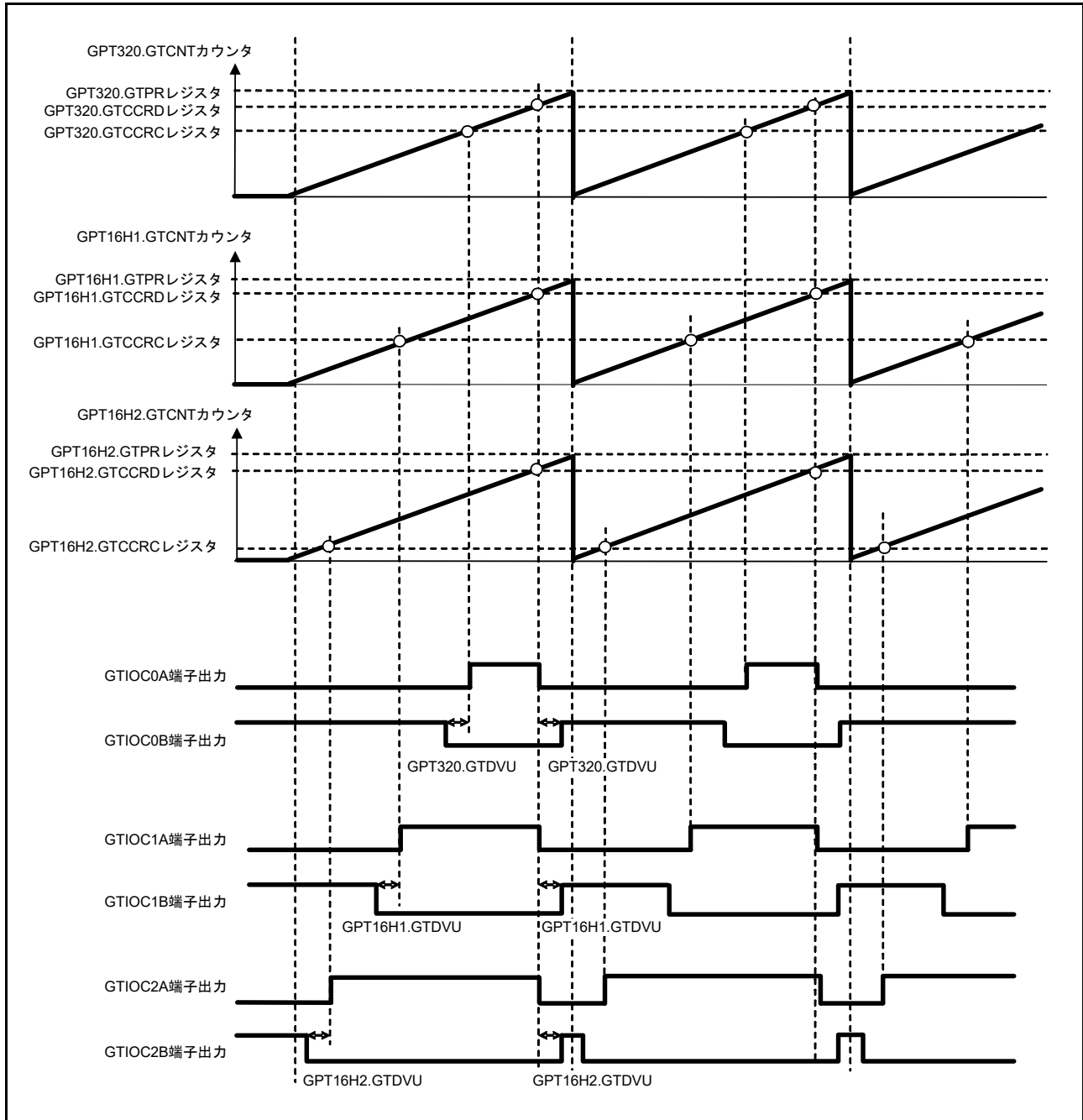


図 20.63 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 20.64 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

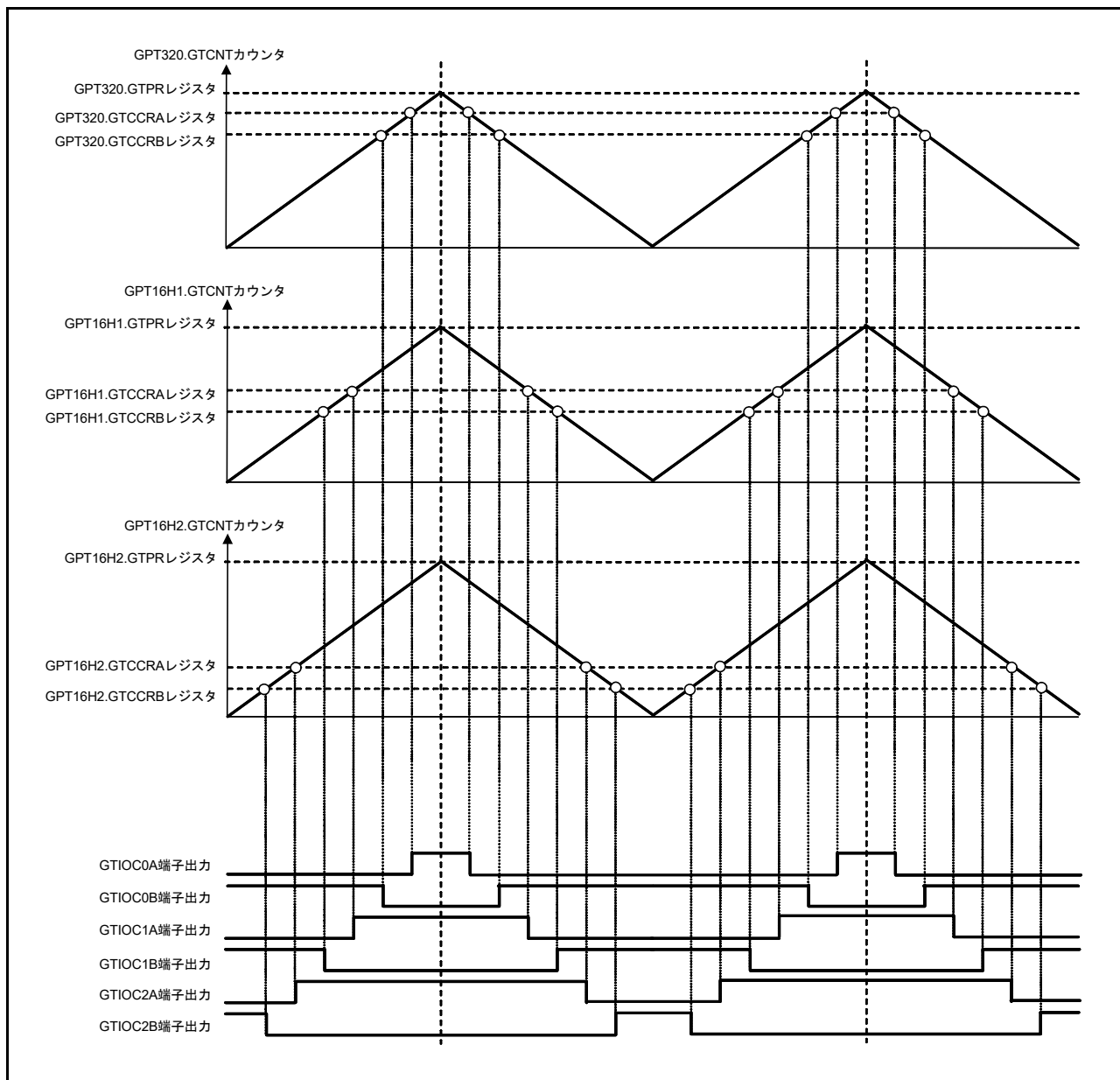


図 20.64 三角波 3 相相補 PWM 出力例

(5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.65 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

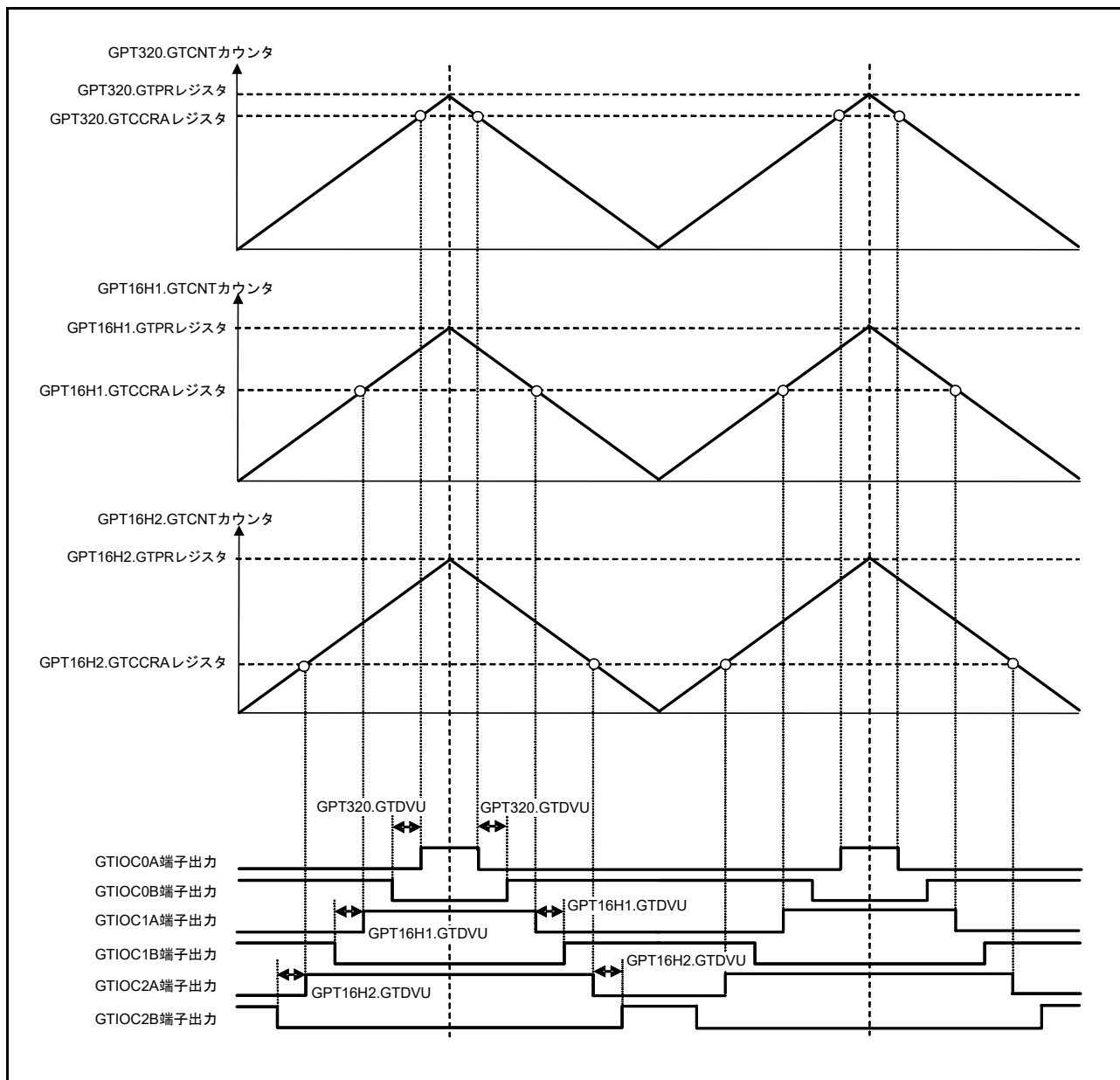


図 20.65 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.66 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

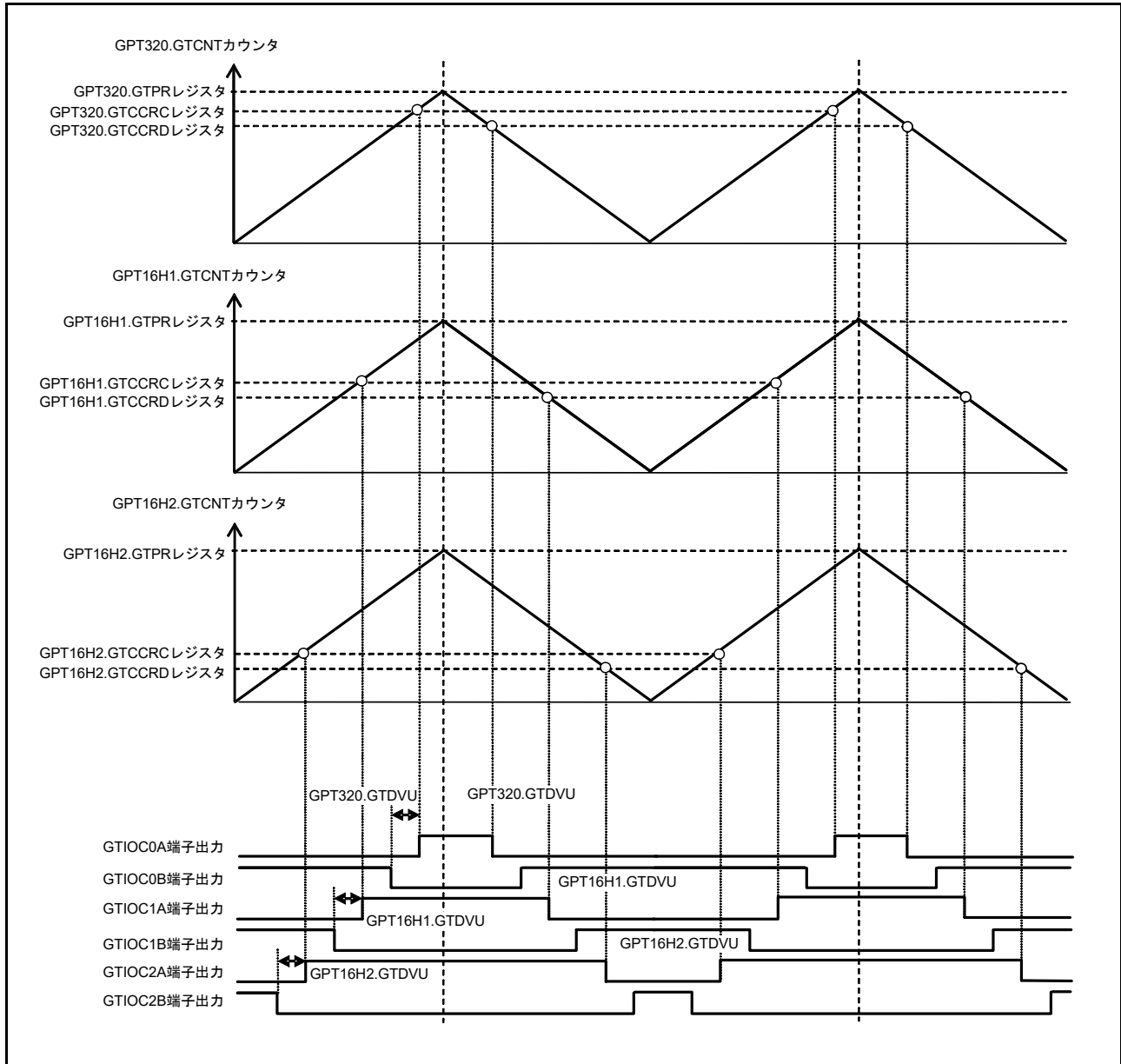


図 20.66 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

20.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、20.3.1.1 カウンタの動作を参照してください。

図 20.67 ~ 図 20.76 に、位相計数モード 1 ~ 5 を示します。表 20.7 ~ 表 20.16 に、アップカウント/ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

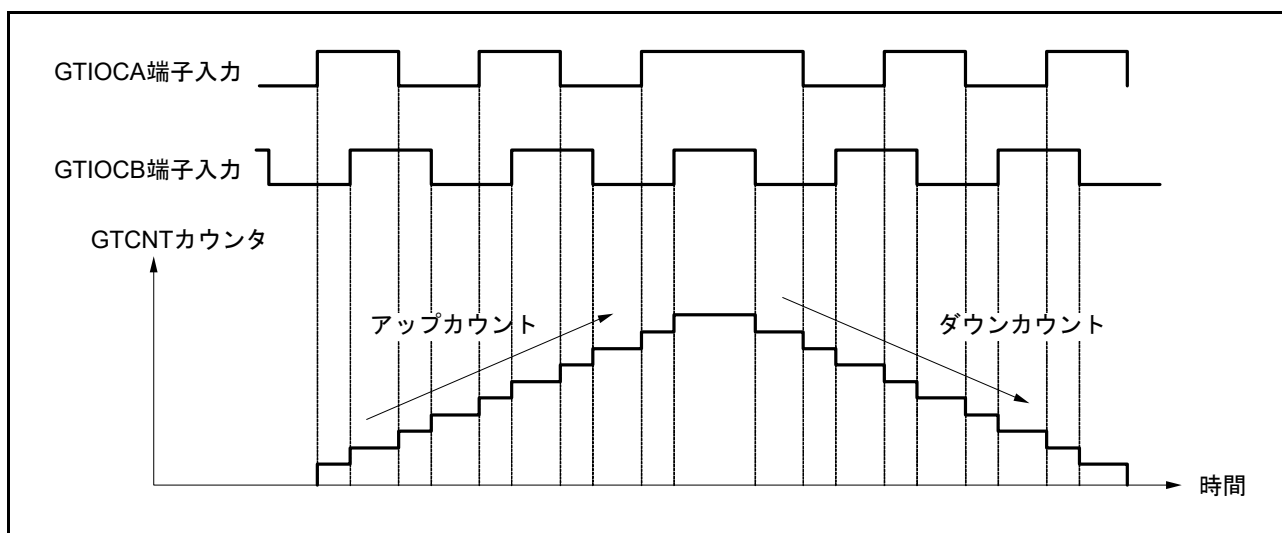


図 20.67 位相計数モード 1 の動作例

表 20.7 位相計数モード 1 でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR レジスタ = 00006900h GTDNSR レジスタ = 00009600h
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

: 立ち上がりエッジ
 : 立ち下がりエッジ

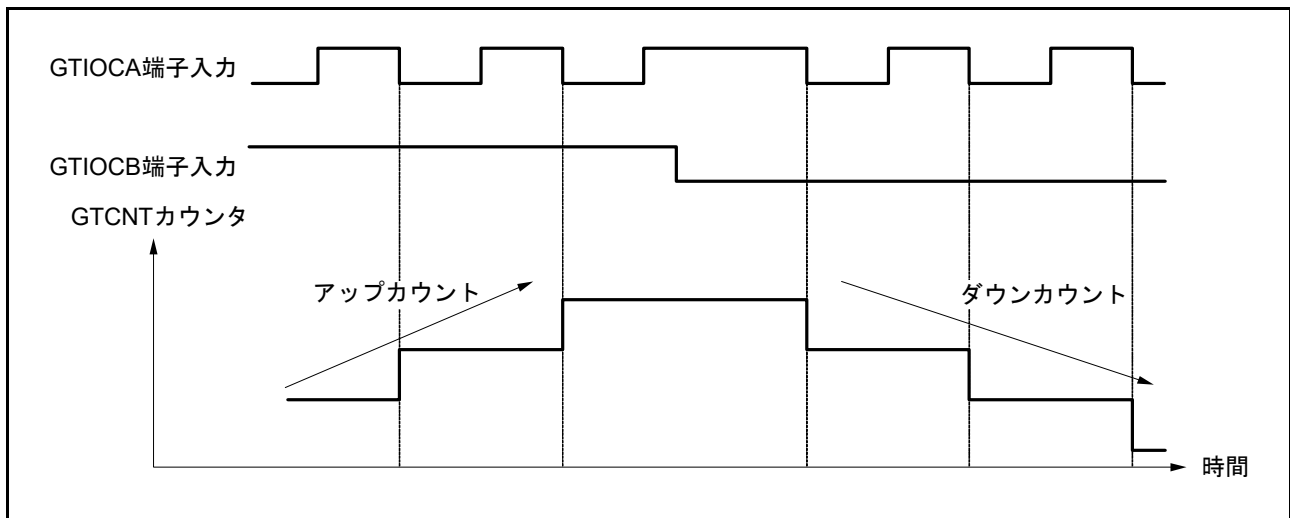


図 20.68 位相計数モード2の動作例 (A)

表 20.8 位相計数モード2でのアップカウント/ダウンカウントの条件 (A)

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00000400h
Low			
	Low	アップカウント	
	High		
High		Don't care	
Low			
	High	ダウンカウント	
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

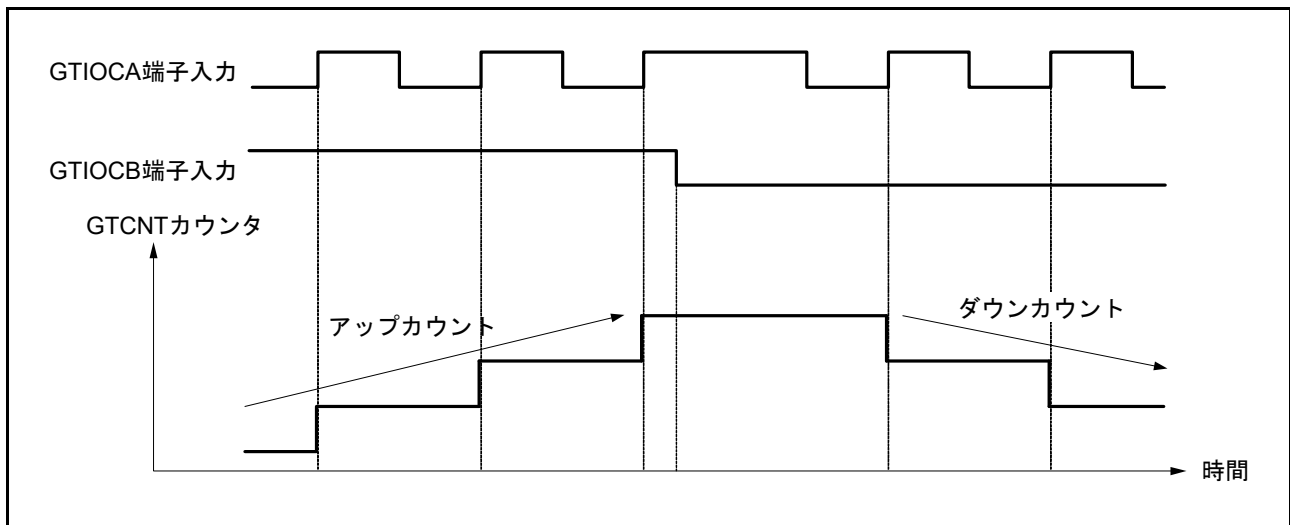


図 20.69 位相計数モード2の動作例 (B)

表 20.9 位相計数モード2でのアップカウント/ダウンカウントの条件 (B)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00000100h
Low			
	Low	ダウンカウント	
	High	Don't care	
High			
Low		アップカウント	
	High		
	Low	Don't care	

: 立ち上がりエッジ
 : 立ち下がりエッジ

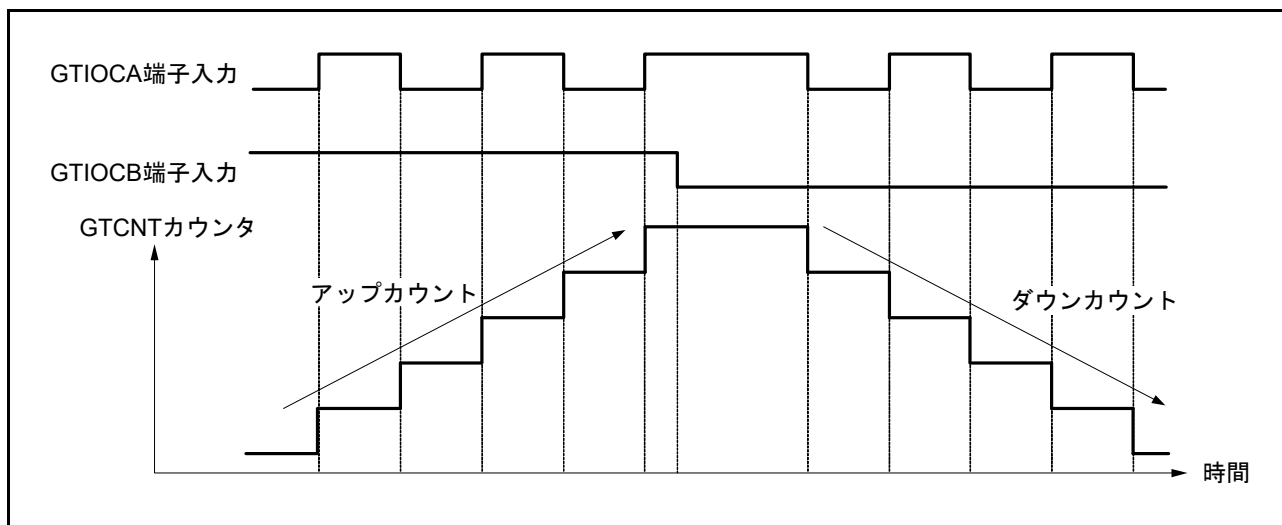


図 20.70 位相計数モード2の動作例 (C)

表 20.10 位相計数モード2でのアップカウント/ダウンカウントの条件 (C)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 00000500h
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ : 立ち上がりエッジ
↓ : 立ち下がりエッジ

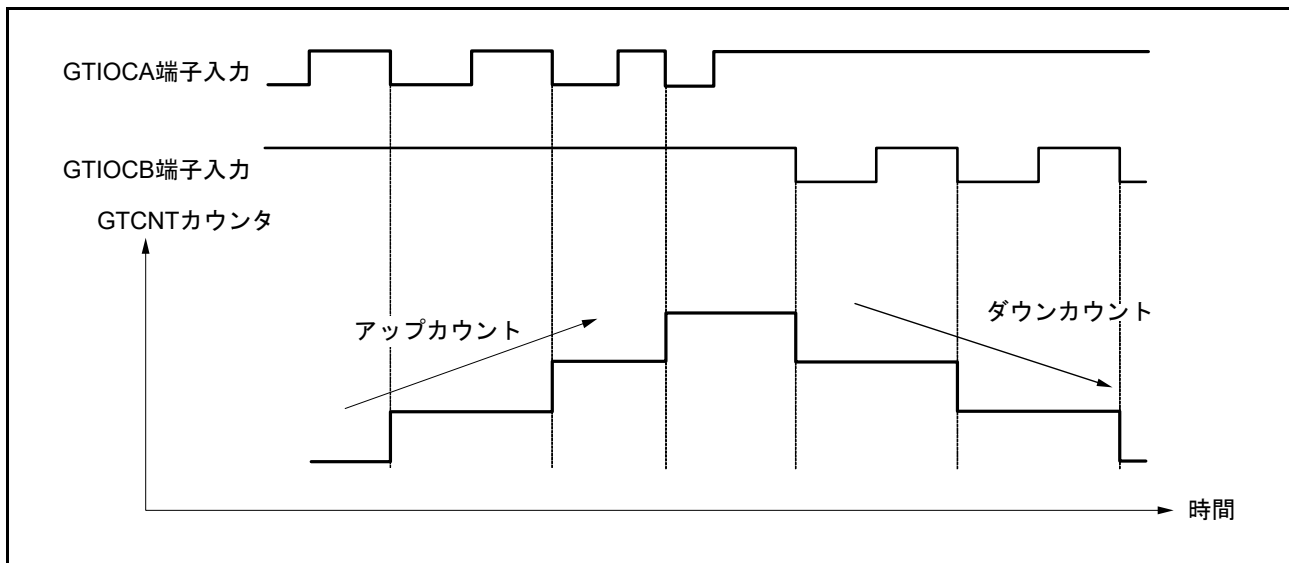


図 20.71 位相計数モード3の動作例 (A)

表 20.11 位相計数モード3でのアップカウント/ダウンカウントの条件 (A)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00008000h
Low	↓		
↑	Low	アップカウント	
↓	High	ダウンカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

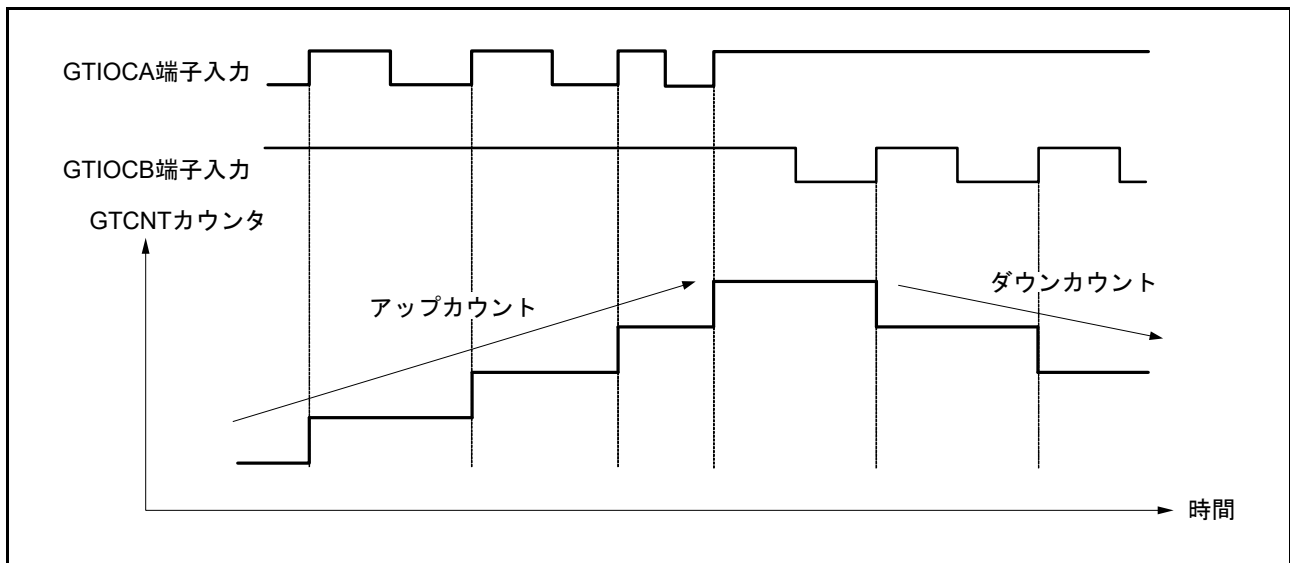


図 20.72 位相計数モード3の動作例 (B)

表 20.12 位相計数モード3でのアップカウント/ダウンカウントの条件 (B)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00002000h
Low	↓	Don't care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

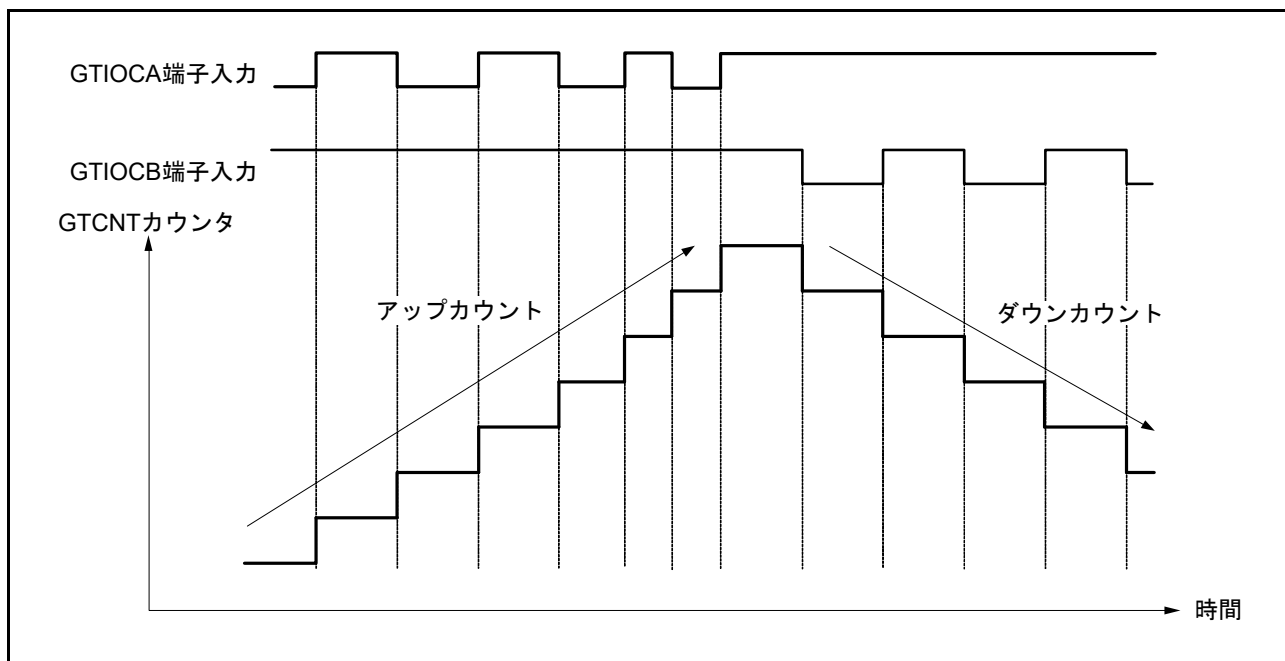


図 20.73 位相計数モード3の動作例 (C)

表 20.13 位相計数モード3でのアップカウント/ダウンカウントの条件 (C)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSRレジスタ = 0000A00h GTDNSRレジスタ = 0000A00h
Low		Don't care	
	Low	アップカウント	
	High	ダウンカウント	
High		ダウンカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

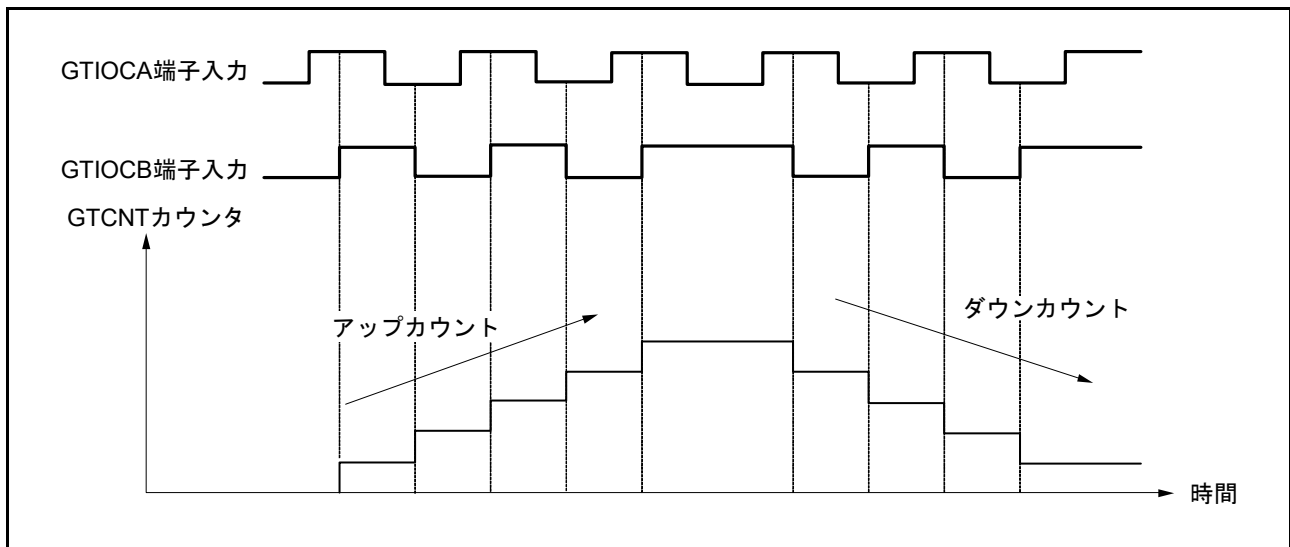


図 20.74 位相計数モード4の動作例

表 20.14 位相計数モード4でのアップカウント/ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR レジスタ = 00006000h GTDNSR レジスタ = 00009000h
Low		アップカウント	
	Low	Don't care	
	High	ダウンカウント	
High		ダウンカウント	
Low		ダウンカウント	
	High	Don't care	
	Low	Don't care	

: 立ち上がりエッジ
 : 立ち下がりエッジ

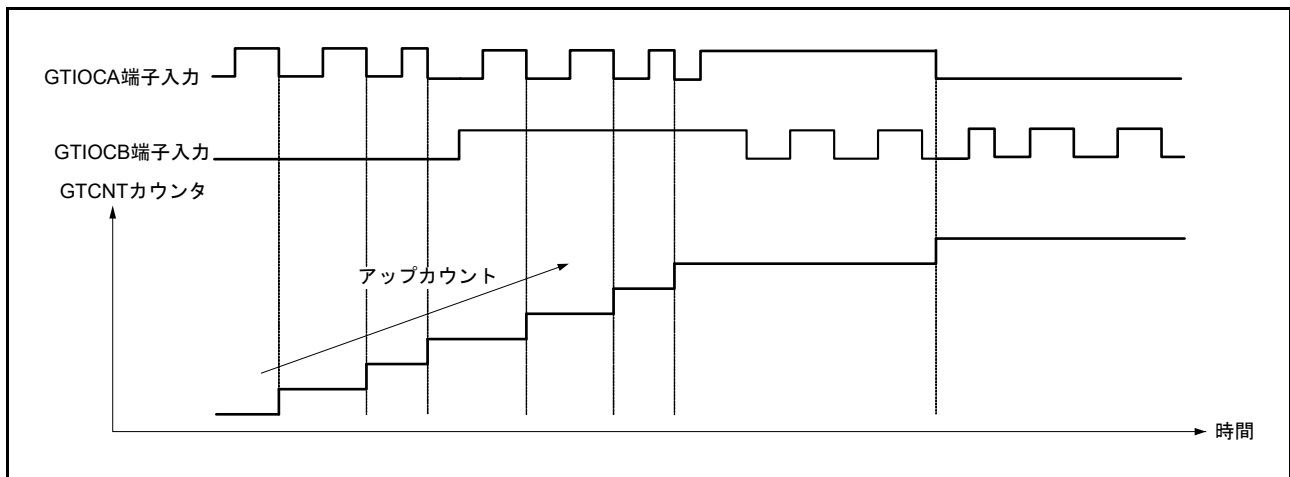


図 20.75 位相計数モード5の動作例 (A)

表 20.15 位相計数モード5でのアップカウント/ダウンカウントの条件 (A)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low		Don't care	
	Low	アップカウント	
	High	アップカウント	
High		Don't care	
Low		Don't care	
	High	アップカウント	
	Low	アップカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

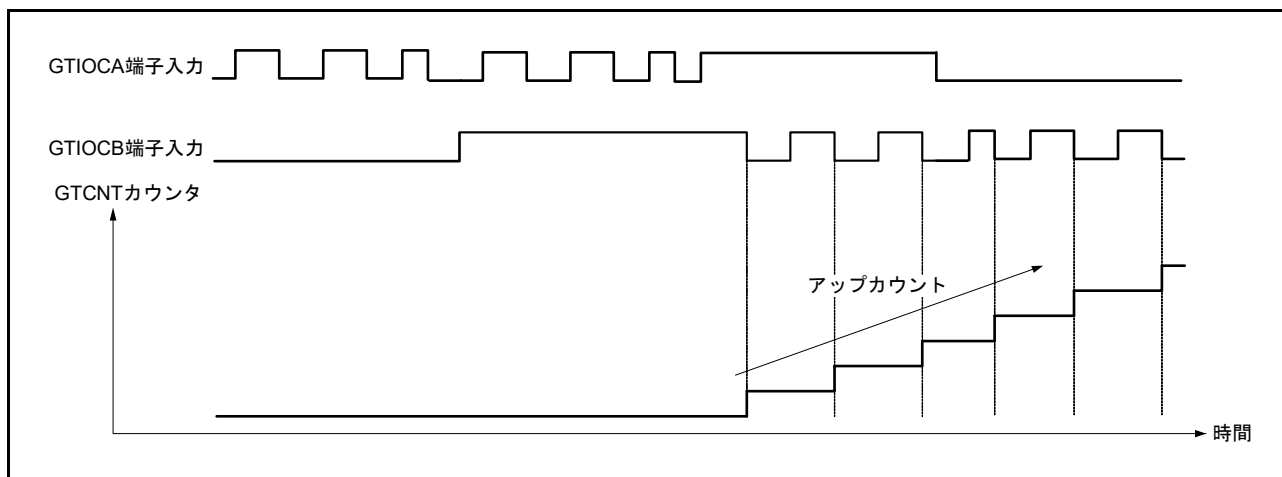


図 20.76 位相計数モード5の動作例 (B)

表 20.16 位相計数モード5でのアップカウント/ダウンカウントの条件 (B)

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High		Don't care	GTUPSR = 0000_C000h GTDNSR = 0000_0000h
Low		アップカウント	
	Low	Don't care	
	High	アップカウント	
High		Don't care	
Low		アップカウント	
	High	Don't care	
	Low	アップカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

20.3.11 出力相切り替え (GPT_OPS)

GPT_OPS は、出力相切り替えコントロールレジスタ (OPSCR) によるブラシレス DC モータ動作の簡易制御機能を提供します。

GPT_OPS は、6相モータ制御の各相 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のレベル信号またはチョップ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値 (OPSCR.UF、VF、WF ビット)、ホール素子により検知した外部信号、GPT16H1.GTIOCA 端子の PWM 波形などを使用します。

図 20.77 に GPT_OPS 制御フローの概念図を示します。

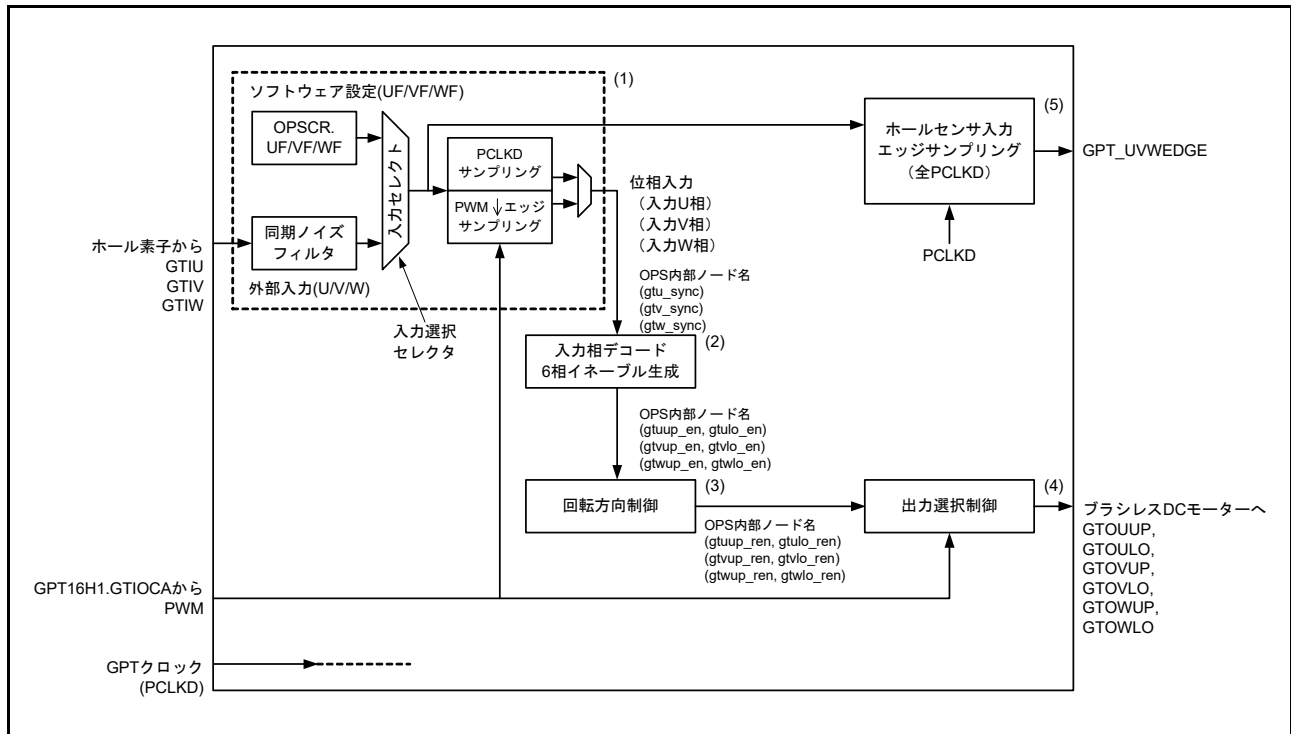


図 20.77 GPT_OPS 制御フロー概念図

図 20.78 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

図 20.78 の GPT_UVWEDGE 信号は、ELC 出力へのホールセンサ入力エッジです。

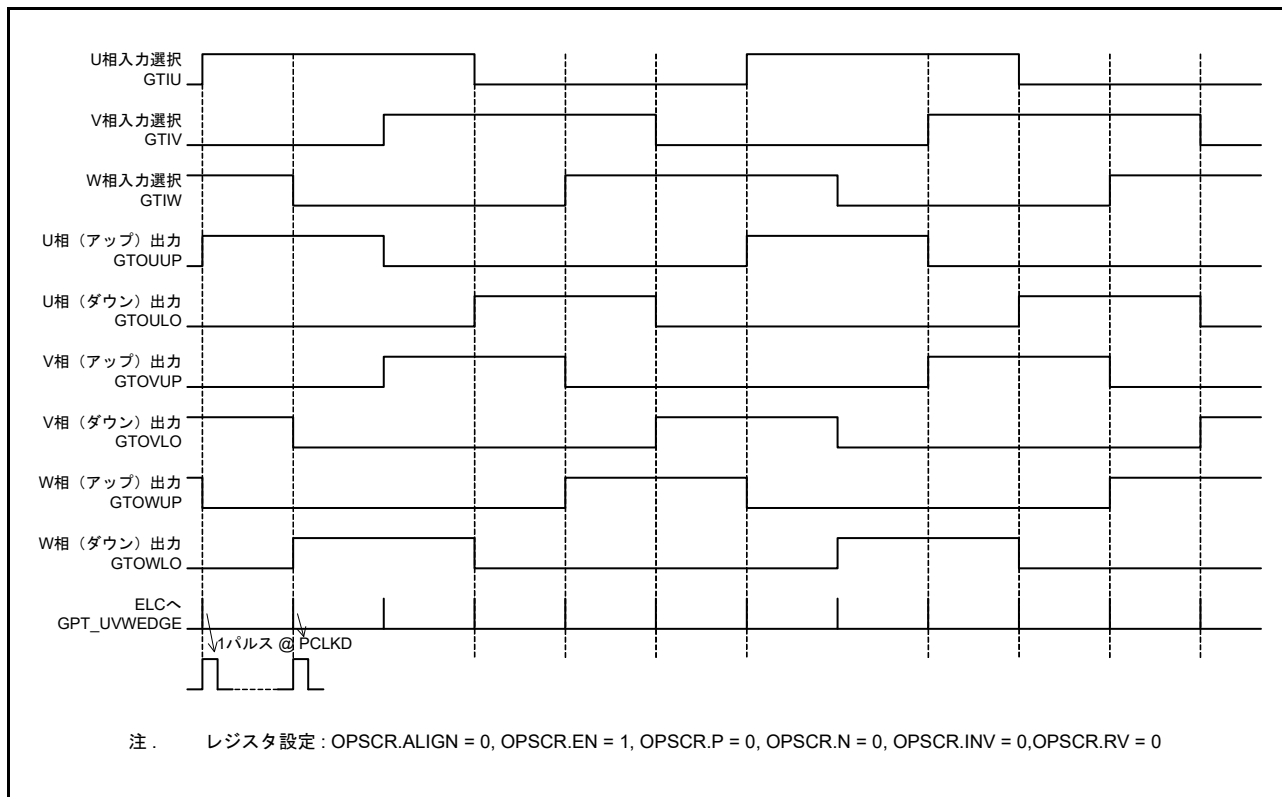


図 20.78 6 相レベル出力動作例

図 20.79 に GPT_OPS 動作 (チョップ制御あり) の 6 相 PWM 出力例を示します。

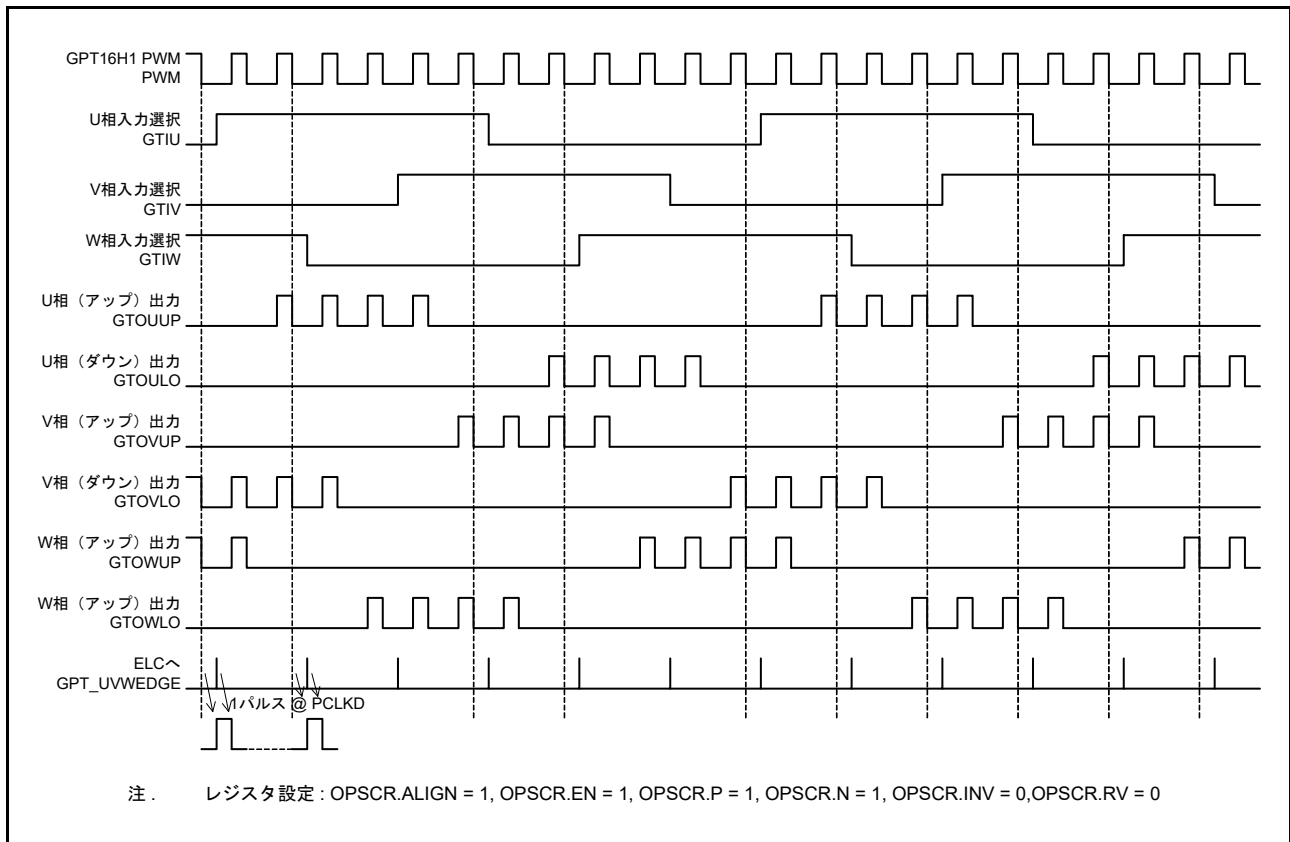


図 20.79 6 相 PWM 出力動作例 (チョップ制御)

図 20.80 に出力禁止制御の例 (6相 PWM 出力動作) を示します。

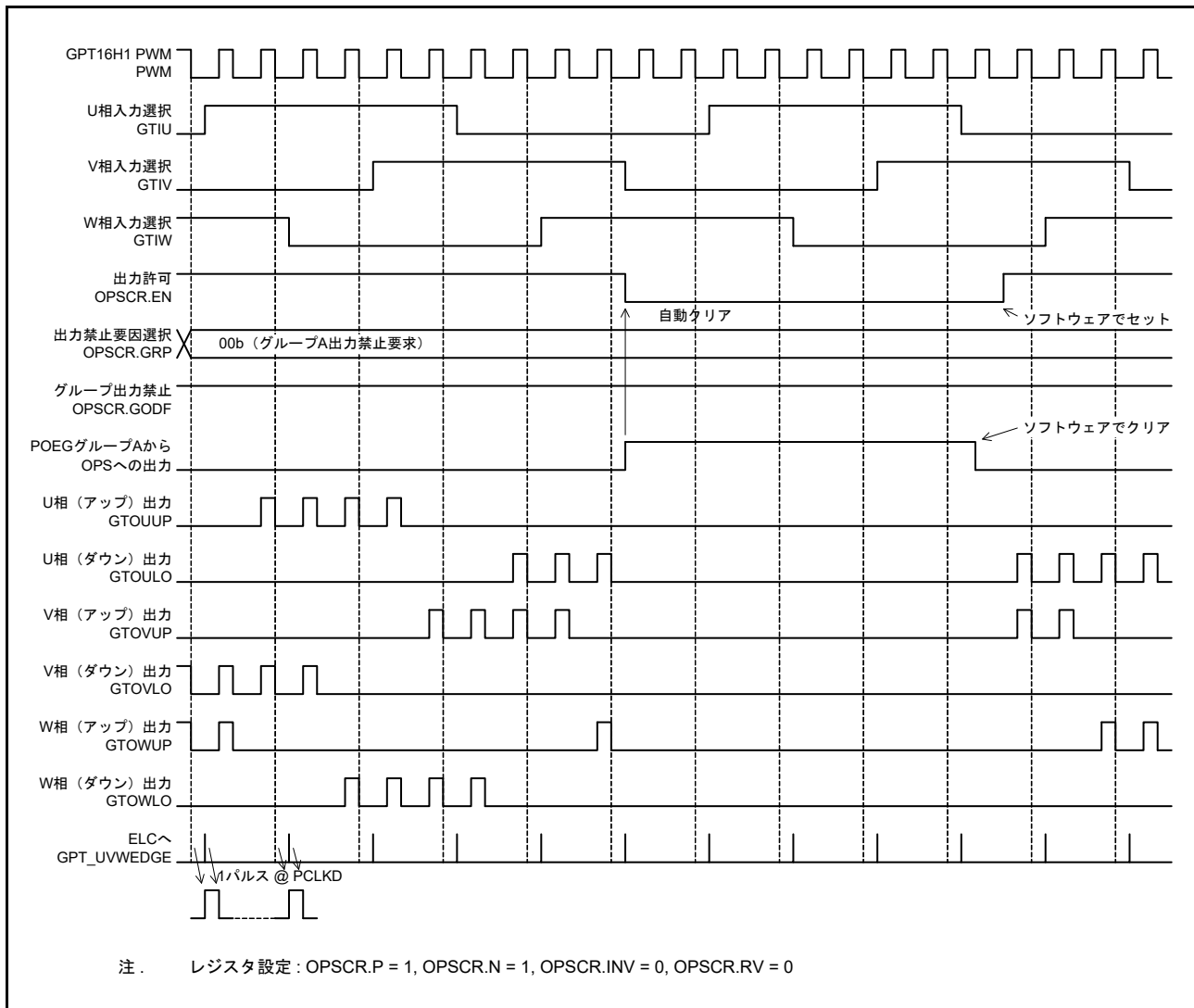


図 20.80 グループ出力禁止制御動作例

20.3.11.1 外部入力信号の同期および入力選択

図 20.77 に示す GPT_OPS 制御フロー概念図の (1) の部分では、ソフトウェア設定による入力相と OPSCR.FB ビットによる外部入力を選択します。

OPSCR.FB ビットが 0 の場合、外部入力を選択してください。GPT クロック (PCLKD) で同期してから入力信号を許可してください。ノイズフィルタ (オプション) 実施後、OPSCR.ALIGN ビットを 1 にしてサンプリングした立ち下がりエッジで、外部入力を PWM (GPT16H1.GTIOCA 端子の PWM) の入力相に設定してください。

OPSCR.FB ビットが 1 の場合、OPSCR.ALIGN ビットを 1 にしてサンプリングした立ち下がりエッジで、PWM (GPT16H1.GTIOCA 端子の PWM) の入力相の値でソフト設定 (OPSCR.UF、VF、WF ビット) を選択してください。

OPSCR.ALIGN ビットが 0 の場合、OPSCR.FB ビットが 0 または 1 のいずれにおいても、GPT_OPS は PCLKD 同期の入力相で動作します。ただし、切り替えタイミング (直前/直後) の出力 U/V/W 相 (PWM 出力モード) の PWM パルス幅が狭くなる場合があります。

表 20.17 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 20.17 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
0	1	PWM立ち下がりエッジサンプリングでの外部入力 (PCLKD同期 + 立ち下がりエッジサンプル)	入力相 入力U相 (gtu_sync) 入力V相 (gtv_sync) 入力W相 (gtw_sync)
	0	PCLKD同期出力での外部入力 (PCLKD同期 + スルーモード)	
1	1	PWM立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD同期)	

20.3.11.2 入力サンプリング

OPSCR.U、V、W ビットは、PCLKD および、OPSCR.FB ビットで選択した入力のサンプリング結果を示すレジスタです。

OPSCR.FB ビットが 0 の場合、GPT クロック (PCLKD) との同期およびノイズフィルタリング (オプション) 後に、OPSCR.U、V、W ビットは外部入力のサンプリング結果を保持します。

OPSCR.FB ビットが 1 の場合、OPSCR.U、V、W レジスタはソフト設定値 (OPSCR.UF、VF、WF ビット) です。

20.3.11.3 入力相デコード

図 20.77 に示す GPT_OPS 制御フロー概念図の (2) の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT_OPS の内部処理に使用されます。

表 20.18 に入力相のデコード表を示します。

表 20.18 入力相デコード表

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力U相	入力V相	入力W相	U相 (Up)	U相 (Lo)	V相 (Up)	V相 (Lo)	W相 (Up)	W相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

20.3.11.4 回転方向制御

図 20.77 に示す GPT_OPS 制御フロー概念図の (3) の部分では、OPSCR.RV ビットを使用して 3 相モータの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 20.19 に、OPSCR.RV ビットへの出力相の割り当て (回転方向制御の実施前後) を示します。

表 20.19 回転方向制御方法

OPSCR レジスタ出力相 回転方向反転	回転方向制御の出力 [U/V/W (正/逆)]					
	(制御後の GPT_OPS 内部ノード名)					
OPSCR.RV ビット	(gtuup_ren)	(gtulo_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
0	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)
1	U相 (Up) (gtuup_en)	U相 (Lo) (gtulo_en)	W相 (Up) (gtwup_en)	W相 (Lo) (gtwlo_en)	V相 (Up) (gtvup_en)	V相 (Lo) (gtvlo_en)

20.3.11.5 出力選択制御

図 20.77 に示す GPT_OPS 制御フロー概念図の (4) の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット : 6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット : 出力相に対してレベル信号/ PWM 信号 (チョッパ出力) を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 20.20 および表 20.21 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 20.20 出力選択制御方法 (正相)

イネーブル相出力制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
			GTUUP GTOVUP GTOWUP	モード
OPSCR.EN レジスタ	OPSCR.P レジスタ	OPSCR.INV レジスタ		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~ (PWM & gtuup_ren)) (~ (PWM & gtvup_ren)) (~ (PWM & gtwup_ren))	PWM 出力モード (正相) (負論理)

表 20.21 出力選択制御方法 (逆相)

イネーブル相出力制御	正相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
			GTOULO GTOVLO GTOWLO	モード
OPSCR.EN レジスタ	OPSCR.N レジスタ	OPSCR.INV レジスタ		
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~ (PWM & gtulo_ren)) (~ (PWM & gtvlo_ren)) (~ (PWM & gtwlo_ren))	PWM 出力モード (逆相) (負論理)

20.3.11.6 出力選択制御 (グループ出力禁止機能)

OPSCR.GODF ビットが 1 の場合、OPSCR.GRP ビットで選択した信号値が High (出力禁止要求) であると、GPT_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 にクリアされます。

再開するときは、ソフトウェアによって出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル待つ必要があります。

グループ出力禁止制御の動作例については、[図 20.80](#) を参照してください。

20.3.11.7 イベントリンクコントローラ (ELC) 出力

[図 20.77](#) に示す GPT_OPS 制御フロー概念図の (5) の部分では、ホールセンサ入力信号エッジをイベントリンクコントローラに出力します。

ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、入力相の U 相 / V 相 / W 相それぞれの立ち上がり / 立ち下がりエッジとの論理積となります。すなわち、入力相の U 相 / V 相 / W 相それぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビットが 0 の場合、ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、外部入力相のエッジとの論理積となります。

OPSCR.FB ビットが 1 の場合、ホールセンサ入力エッジ信号は、GPT クロック (PCLKD) で検出したパルスと、ソフト設定 (OPSCR.UF、VF、WF ビット) のエッジとの論理積となります。

ELC への出力信号の例については、[図 20.78](#) ~ [図 20.80](#) を参照してください。

20.3.11.8 GPT_OPS スタート動作設定フロー

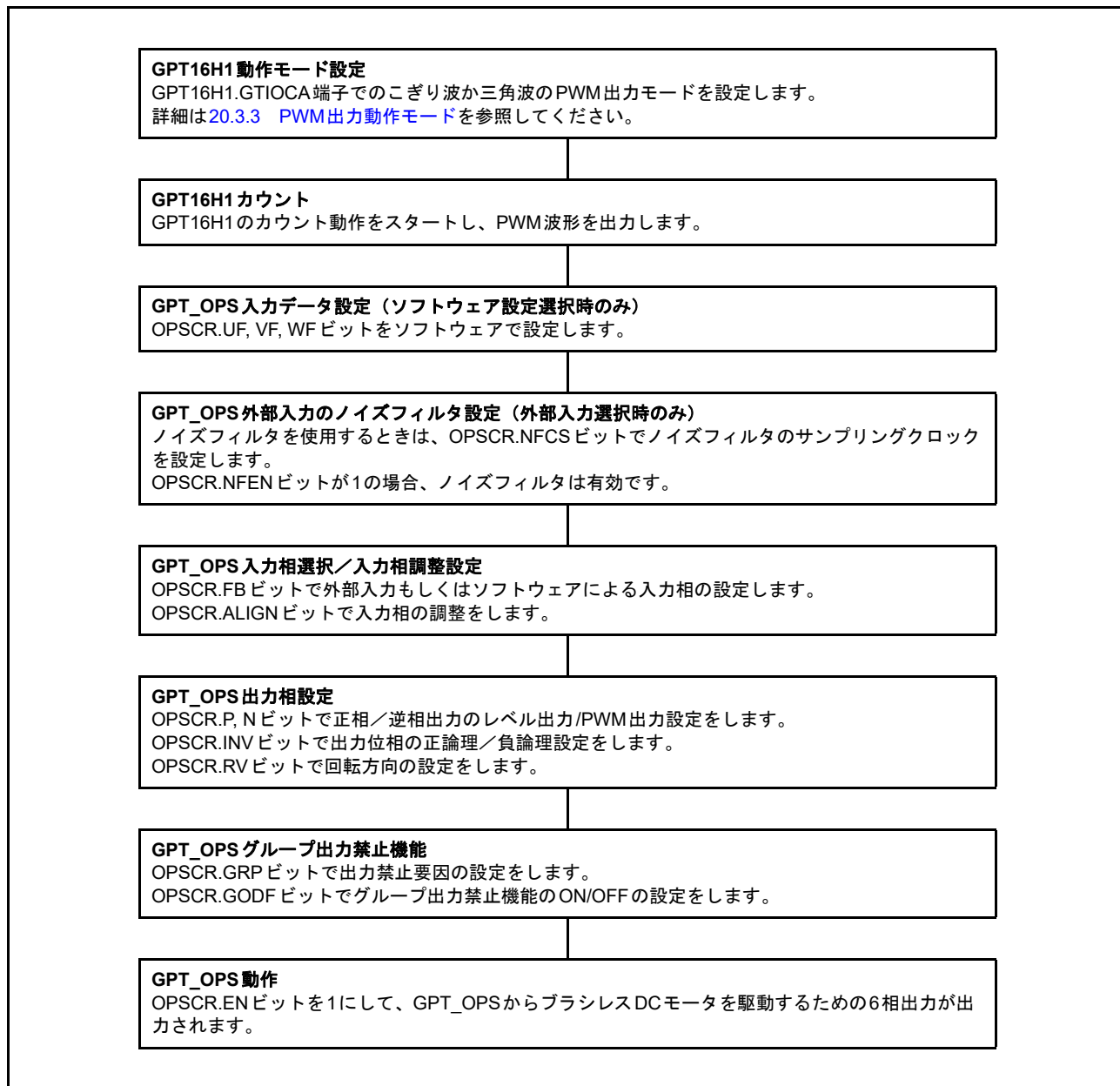


図 20.81 GPT_OPS スタート動作設定例

20.4 割り込み要因

20.4.1 割り込み要因

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ/コンペアマッチ
- GTCNT カウンタのオーバーフロー (GTPR のコンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。

表 20.22 は、GPT の割り込み要因の一覧です。

表 20.22 割り込み要因 (1/2)

チャネル	名称	割り込み要因	割り込みフラグ	DTCの起動
0	GPT0_CCMPA	GPT320.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT320.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT320.GTCCRCコンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT320.GTCCRDコンペアマッチ	TCFD	可能
	GPT0_OVF	GPT320.GTCNTオーバーフロー (GPT320.GTPRコンペアマッチ)	TCFPO	可能
	GPT0_UDF	GPT320.GTCNTアンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT16H1.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT16H1.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT16H1.GTCCRCコンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT16H1.GTCCRDコンペアマッチ	TCFD	可能
	GPT1_OVF	GPT16H1.GTCNTオーバーフロー (GPT16H1.GTPRコンペアマッチ)	TCFPO	可能
	GPT1_UDF	GPT16H1.GTCNTアンダーフロー	TCFPU	可能
2	GPT2_CCMPA	GPT16H2.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT16H2.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT16H2.GTCCRCコンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT16H2.GTCCRDコンペアマッチ	TCFD	可能
	GPT2_OVF	GPT16H2.GTCNTオーバーフロー (GPT16H2.GTPRコンペアマッチ)	TCFPO	可能
	GPT2_UDF	GPT16H2.GTCNTアンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT16H3.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT16H3.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT16H3.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT16H3.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_OVF	GPT16H3.GTCNTオーバーフロー (GPT16H3.GTPRコンペアマッチ)	TCFPO	可能
	GPT3_UDF	GPT16H3.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT164.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT164.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT164.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT164.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_OVF	GPT164.GTCNTオーバーフロー (GPT164.GTPRコンペアマッチ)	TCFPO	可能
	GPT4_UDF	GPT164.GTCNTアンダーフロー	TCFPU	可能

表 20.22 割り込み要因 (2/2)

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動
5	GPT5_CCMPA	GPT165.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT165.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT165.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT165.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_OVF	GPT165.GTCNTオーバーフロー (GPT165.GTPRコンペアマッチ)	TCFPO	可能
	GPT5_UDF	GPT165.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT166.GTCCRAインプットキャプチャ/コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT166.GTCCRBインプットキャプチャ/コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT166.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT166.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_OVF	GPT166.GTCNTオーバーフロー (GPT166.GTPRコンペアマッチ)	TCFPO	可能
	GPT6_UDF	GPT166.GTCNTアンダーフロー	TCFPU	可能

注. この表は、リセット直後の初期状態を示しています。割り込みコントローラユニットでは、チャンネル間の優先順位を変更できません。

(1) GPTn_CCMPA 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRAレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRAレジスタ値と一致したとき
- GTCCRAレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRAレジスタに転送されたとき

(2) GPTn_CCMPB 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRBレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRBレジスタ値と一致したとき
- GTCCRBレジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によってGTCNTカウンタ値がGTCCRBレジスタに転送されたとき

(3) GPTn_CMPC 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRCレジスタがコンペアマッチレジスタとして機能している場合、GTCNTカウンタ値がGTCCRCレジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波PWMモード3)
- GTBER.CCRA[1:0] ビット = 01b、10b、11b (GTCCRCレジスタがバッファ動作)

(4) GPTn_CMPD 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] ビット = 110b (三角波 PWM モード3)
- GTBER.CCRA[1:0] ビット = 10b、11b (GTCCRD レジスタがバッファ動作)

(5) GPTn_OVF 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、山 (GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

(6) GPTn_UDF 割り込み (n = 0 ~ 6)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) によって割り込み要求が許可されたとき
- 三角波モードの場合、谷 (GTCNT カウンタ値が 0 から 1 に変化) によって割り込み要求が許可されたとき
- ハードウェア要因によるカウントで、アンダーフロー (ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化) が発生したとき

表 20.23 割り込み信号と割り込みステータスフラグ

割り込み信号	割り込みステータスフラグ
GPTn_UDF	GTST[7] (TCFPU)
GPTn_OVF	GTST[6] (TCFPO)
GPTn_CMPD	GTST[3] (TCFD)
GPTn_CMPC	GTST[2] (TCFC)
GPTn_CCMPB	GTST[1] (TCFB)
GPTn_CCMPA	GTST[0] (TCFA)

n = 0 ~ 6

20.4.2 DTC の起動

各チャンネルの割り込みによって、DTC を起動することが可能です。詳細は、「12. 割り込みコントローラユニット (ICU)」と「15. データトランスファコントローラ (DTC)」を参照してください。

20.5 ELC によるリンク動作

20.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)

注. n = 0 ~ 6

20.5.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 4 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、[20.3 動作説明](#)を参照してください。

20.6 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプル周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 20.82 にノイズフィルタのタイミングを示します。

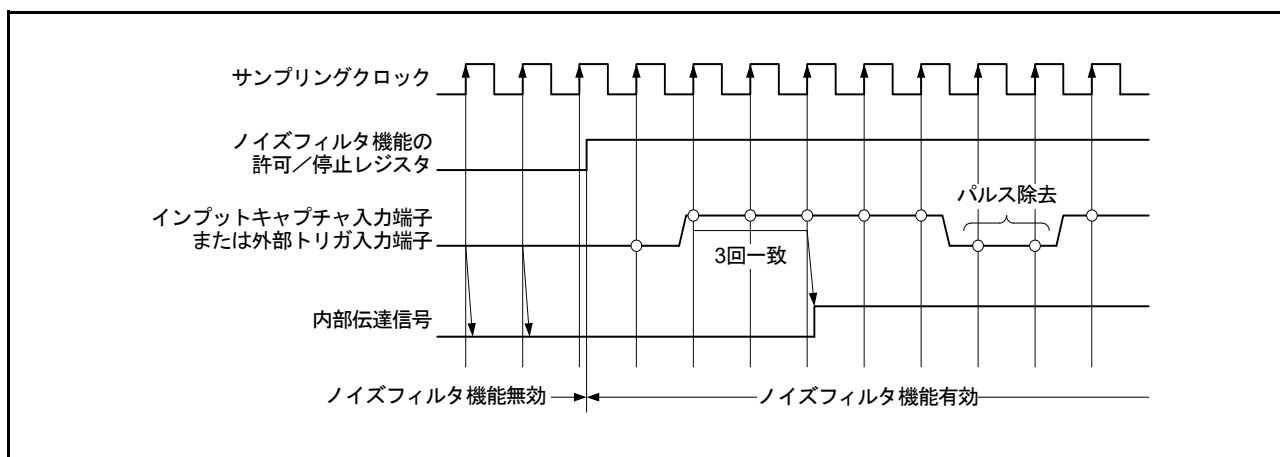


図 20.82 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「最小サンプリング周期 × 2 + PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作または外部トリガ動作が実行されます。この遅延は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングに起因するものです。

20.7 保護機能

20.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU

20.7.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に対応する GTBER.BD ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) に戻すことによって、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。

図 20.83 にバッファ動作を禁止するための動作例を示します。

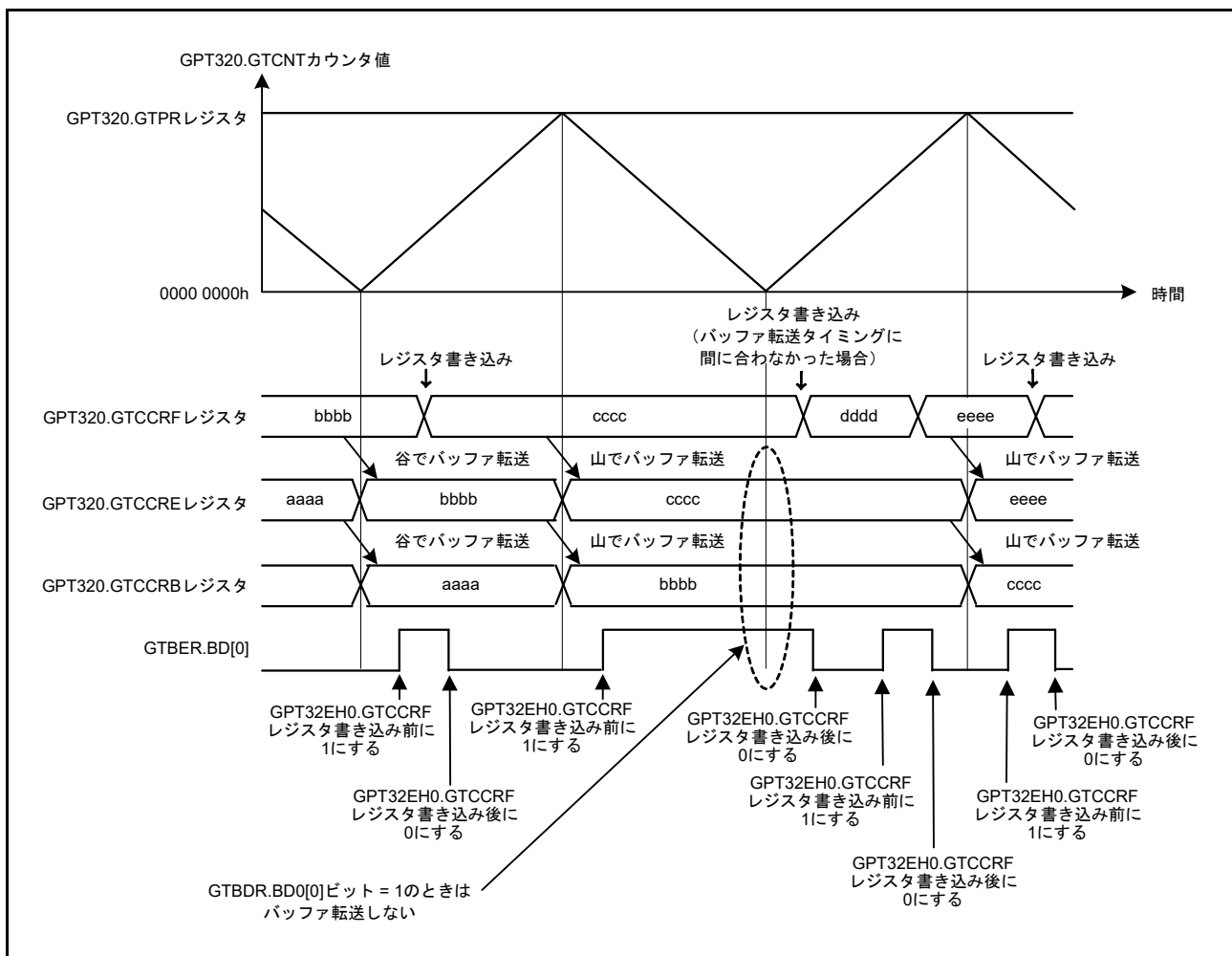


図 20.83 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合)

20.7.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。デッドタイムエラーが発生した場合や、GTIOA 端子の出力値が GTIOB 端子の出力値と同じ場合には、出力保護が必要です。GPT は、そのような事例を検出すると、GTINTAD.GRPABH ビットや GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を発生させます。POEG は、各チャネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が発生させた 2 つの出力禁止要求のうちの 1 つの出力禁止信号 (GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号) が、GTINTAD.GRP[1:0] ビットの設定で選択されます。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットで、GTIOCB 端子については GTIOR.OBDF[1:0] ビットで設定されます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 サイクル後です。出力禁止制御を確実に実行するには、(POEG の出力禁止要求フラグのクリアによる) 出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 サイクル待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b (GTIOCA 端子の場合) にするか、GTIOR.OBDF[1:0] ビットを 00b (GTIOCB 端子の場合) にしてください。

図 20.84 に GTIOC 端子出力禁止制御の動作例を示します。

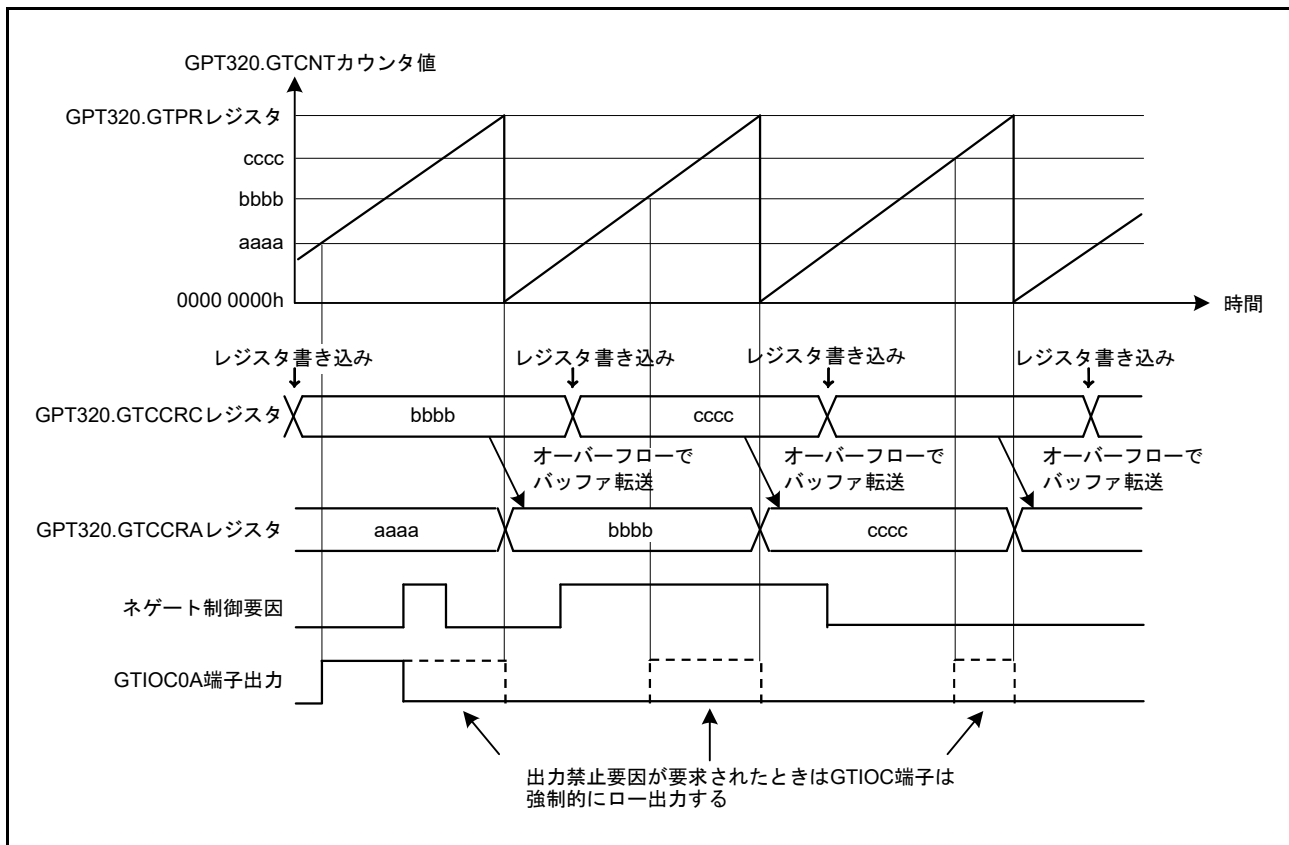


図 20.84 GTIOC 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合)

20.8 出力端子の初期化方法

20.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートモードを設定し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

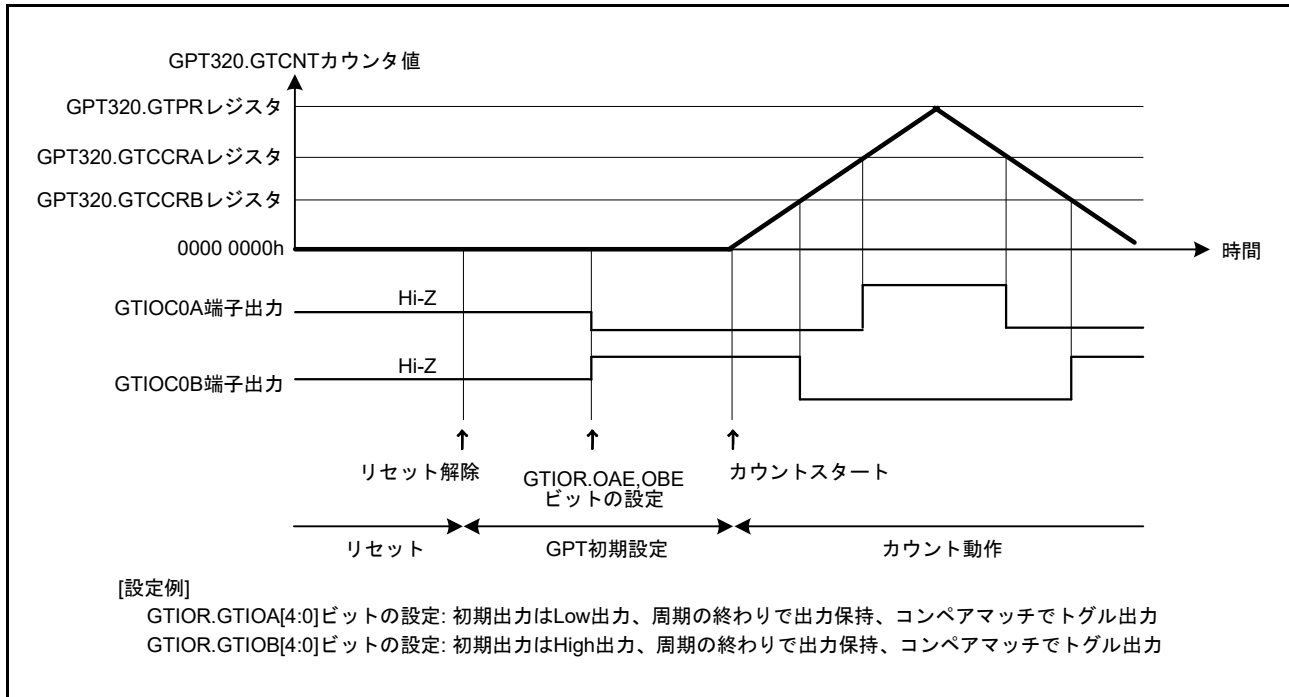


図 20.85 リセット後の端子設定例

20.8.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った後は、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを再開してください。

20.9 使用上の注意事項

20.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタによって、GPTの動作を許可または禁止できます。リセット後、GPTの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

20.9.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の両方の条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $0 < GTCCRA < GTPR$

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲に収まるように設定する必要があります。GTCCRA = 0 または $GTCCRA \geq GTPR$ に設定しても、GTCCRA = 0 または $GTCCRA = GTPR$ が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定する必要があります。GTCCRB = 0 または $GTCCRB \geq GTPR$ に設定しても、GTCCRB = 0 または $GTCCRB = GTPR$ が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時: $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < (GTPR - GTDVU)$
- ダウンカウント時: $GTCCRC > GTCCRD$ 、 $GTCCRC < (GTPR - GTDVU)$ 、 $GTCCRD > GTDVU$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時: $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時: $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時: $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時: $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCRA レジスタは、 $0 < GTCRA < GTPR$ の範囲に収まるように設定してください。GTCRA = 0 または GTCRA = GTPR に設定しても、GTCRA = 0 または GTCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定しても、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

20.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$ の範囲に収まるように設定してください。

20.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

20.9.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 20.24 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 20.24 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPUによる書き込み (GTCNT/GTCLRレジスタへの書き込み)	高 ↑ 低
GTCSRレジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSRレジスタで設定したハードウェア要因によるカウントアップ/ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。

GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。

GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A ~ F)

インプットキャプチャ/バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。

GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されません。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

21. PWM 遅延生成回路

21.1 概要

本 MCU は、汎用 PWM タイマ（General PWM Timer : GPT）に接続可能な 3 チャンネルの遅延回路を備えています。

表 21.1 に PWM 遅延生成回路の仕様を、図 21.1 にブロック図を、表 21.2 に PWM 遅延生成回路で使用される入出力端子を示します。

表 21.1 PWM遅延生成回路の仕様

項目	内容
機能	PWM遅延生成回路は、チャンネル1、2、3それぞれ2つのPWM出力端子の信号の立ち上がりまたは立ち下がりタイミングを、GPTクロック（PCLKD）周期の最大1/32倍の精度で制御できます。

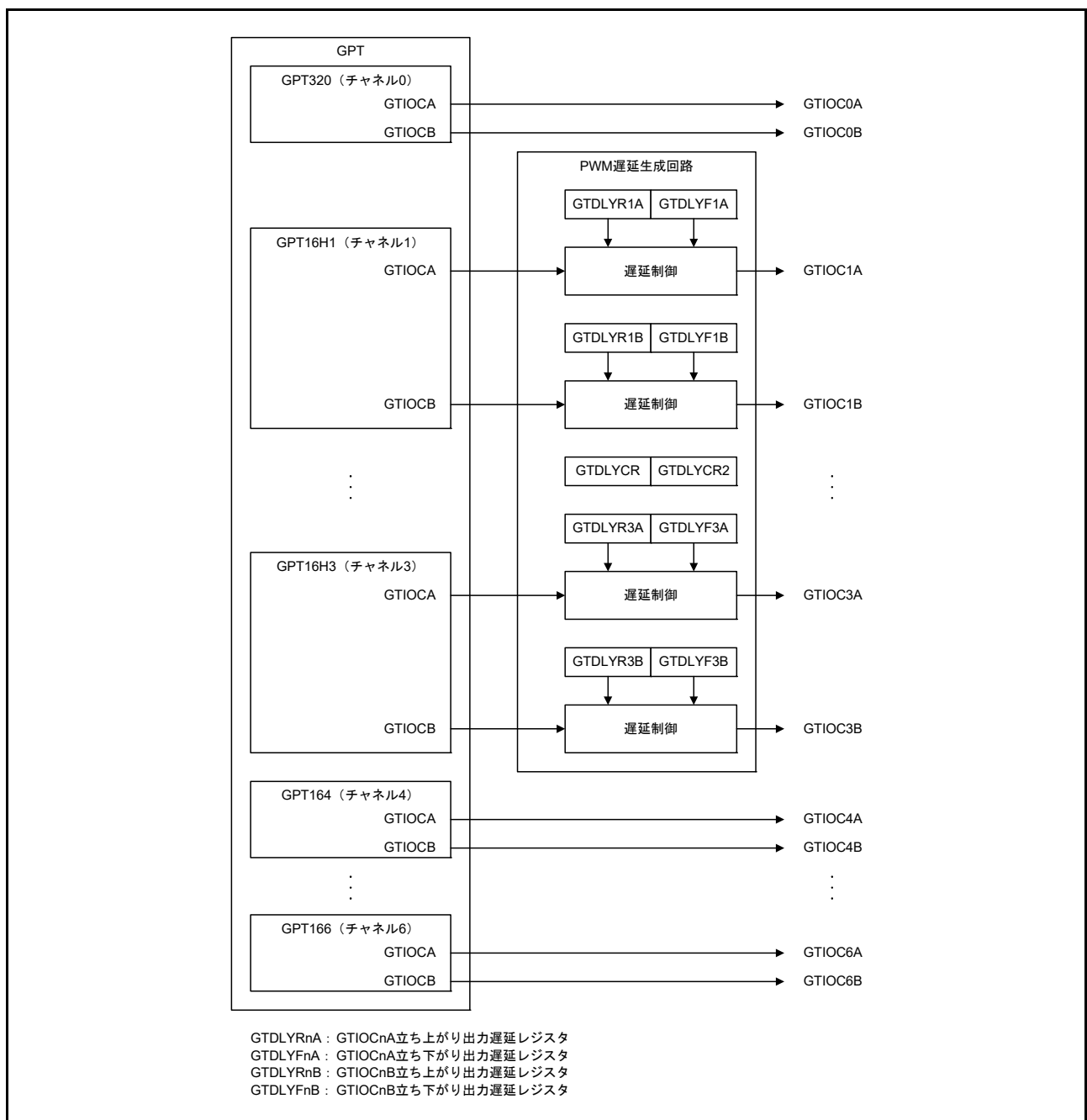


図 21.1 PWM 遅延生成回路のブロック図

表 21.2 PWM 遅延生成回路の入出力端子

入出力端子	入出力	機能
GTIOC1A	出力	GPTチャンネル1のGTIOCA端子の遅延出力
GTIOC1B	出力	GPTチャンネル1のGTIOCB端子の遅延出力
GTIOC2A	出力	GPTチャンネル2のGTIOCA端子の遅延出力
GTIOC2B	出力	GPTチャンネル2のGTIOCB端子の遅延出力
GTIOC3A	出力	GPTチャンネル3のGTIOCA端子の遅延出力
GTIOC3B	出力	GPTチャンネル3のGTIOCB端子の遅延出力

21.2 レジスタの説明

21.2.1 PWM 出力遅延コントロールレジスタ (GTDLYCR)

アドレス `GPT_ODC.GTDLYCR 4007 B000h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DLLMOD	—	—	—	—	—	—	DLYRST	DLLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLLEN	DLL 動作許可	0 : DLL 動作を禁止 1 : DLL 動作を許可	R/W
b1	DLYRST	PWM遅延生成回路リセット	0 : 通常動作 1 : リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DLLMOD	DLLモード選択	0 : 5ビットモード 1 : 4ビットモード	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYCR レジスタは、PWM 出力に遅延を適用するための PWM 遅延生成回路を制御します。GTDLYCR レジスタは、レジスタライトプロテクション機能が無効 (GPT16H1.GTWP.WP = 0) のときに書き込むことができます。

DLLLEN ビット (DLL 動作許可)

PWM 遅延生成回路のオンチップ DLL を起動するかどうかを選択します。

DLYRST ビット (PWM 遅延生成回路リセット)

PWM 遅延生成回路の内部状態をリセットします。

DLLMOD ビット (DLL モード選択)

DLL の分解能を選択します。DLLLEN ビットが 1 の場合に本ビットを設定することは禁止されています。

21.2.2 PWM 出力遅延コントロールレジスタ 2 (GTDLYCR2)

アドレス GPT_ODC.GTDLYCR2 4007 B002h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DLYDENB3	DLYDENB2	DLYDENB1	—	DLYEN3	DLYEN2	DLYEN1	—	—	—	—	—	DLYBS3	DLYBS2	DLYBS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	DLYBS1	チャンネル1のPWM遅延生成回路バイパス	0: チャンネル1の遅延生成回路をバイパスする 1: チャンネル1の遅延生成回路をバイパスしない	R/W
b2	DLYBS2	チャンネル2のPWM遅延生成回路バイパス	0: チャンネル2の遅延生成回路をバイパスする 1: チャンネル2の遅延生成回路をバイパスしない	R/W
b3	DLYBS3	チャンネル3のPWM遅延生成回路バイパス	0: チャンネル3の遅延生成回路をバイパスする 1: チャンネル3の遅延生成回路をバイパスしない	R/W
b8-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DLYEN1	チャンネル1のPWM遅延生成回路許可	0: チャンネル1の遅延生成回路を許可 1: チャンネル1の遅延生成回路を禁止	R/W
b10	DLYEN2	チャンネル2のPWM遅延生成回路許可	0: チャンネル2の遅延生成回路を許可 1: チャンネル2の遅延生成回路を禁止	R/W
b11	DLYEN3	チャンネル3のPWM遅延生成回路許可	0: チャンネル3の遅延生成回路を許可 1: チャンネル3の遅延生成回路を禁止	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	DLYDENB1	PWM遅延生成回路禁止 (GTIOC1B用)	0: b9に基づくGTIOC1Bの遅延生成回路を許可 1: GTIOC1Bの遅延生成回路を禁止	R/W
b14	DLYDENB2	PWM遅延生成回路禁止 (GTIOC2B用)	0: b10に基づくGTIOC2Bの遅延生成回路を許可 1: GTIOC2Bの遅延生成回路を禁止	R/W
b15	DLYDENB3	PWM遅延生成回路禁止 (GTIOC3B用)	0: b11に基づくGTIOC3Bの遅延生成回路を許可 1: GTIOC3Bの遅延生成回路を禁止	R/W

GTDLYCR2 レジスタは、PWM 遅延生成回路の各チャンネルを制御します。GTDLYCR2 レジスタは、レジスタライトプロテクション機能が無効 (GPT16H1.GTWP.WP = 0) のときに書き込むことができます。

DLYBSn (n = 1 ~ 3) ビット (チャンネル n 用 PWM 遅延生成回路バイパス)

GTIOCnA および GTIOCnB 端子 (n = 1 ~ 3) からの PWM 出力信号に PWM 遅延生成回路で遅延を適用するか否か、あるいは回路をバイパスするか否かを選択します。

PWM 遅延生成回路で遅延された信号は、PWM 遅延生成回路をバイパスした場合よりも、GPT 動作クロック (PCLKD) の 3 サイクル分遅れて出力されます。

DLYENn (n = 1 ~ 3) ビット (チャンネル n 用 PWM 遅延生成回路許可)

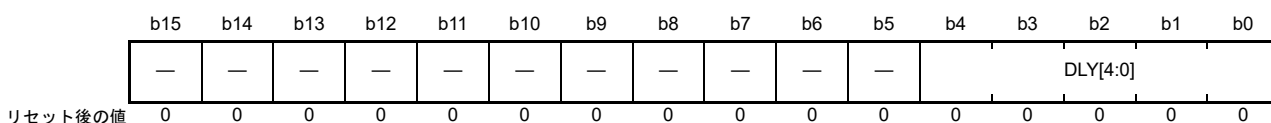
PWM 遅延生成回路のチャンネル n (n = 1 ~ 3) の電源をオンにするかオフにするかを選択します。PWM 遅延生成回路のチャンネル n を使用しない場合、1 にしてください。

DLYDENBn (n = 1 ~ 3) ビット (GTIOCnB 用 PWM 遅延生成回路禁止)

PWM 遅延生成回路の GTIOCnB 端子 (n = 1 ~ 3) の電源をオフにするかどうかを選択します。PWM 遅延生成回路の GTIOCnB 端子 (n = 1 ~ 3) を使用しない場合、1 にしてください。

21.2.3 GTIOCnA 立ち上がり出力遅延レジスタ (GTDLYRnA) (n = 1 ~ 3)

アドレス [GPT_ODC.GTDLYR1A 4007 B01Ch](#), [GPT_ODC.GTDLYR2A 4007 B020h](#), [GPT_ODC.GTDLYR3A 4007 B024h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnA出力立ち上がりエッジ遅延設定	b4 b0 0 0 0 0 0 : 立ち上がりエッジで遅延なし 0 0 0 0 1 : PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

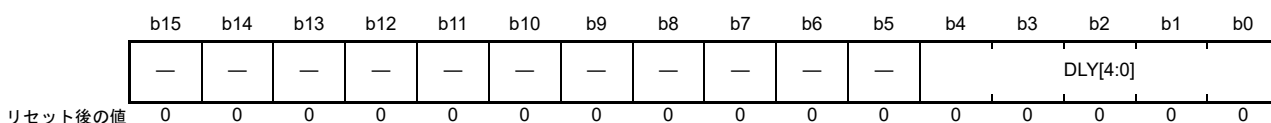
GTDLRYnA レジスタは、GTIOCnA 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[21.3.2 GTDLRYnA、GTDLRYnB、GTDLRYFnA、GTDLRYFnB レジスタ設定値の転送タイミング](#)を参照してください。

GTDLRYnA レジスタは、レジスタライトプロテクション機能が無効 (GPT16Hn.GTWP.WP = 0) のときに書き込むことができます。

GPT_ODC.GTDLYCR.DLLMOD が 1 (4 ビットモード) の場合、本レジスタのビット 0 の値は無視され 0 とみなされます。

21.2.4 GTIOCnA 立ち下がり出力遅延レジスタ (GTDLYFnA) (n = 1 ~ 3)

アドレス [GPT_ODC.GTDLYF1A 4007 B02Ch](#), [GPT_ODC.GTDLYF2A 4007 B030h](#), [GPT_ODC.GTDLYF3A 4007 B034h](#)



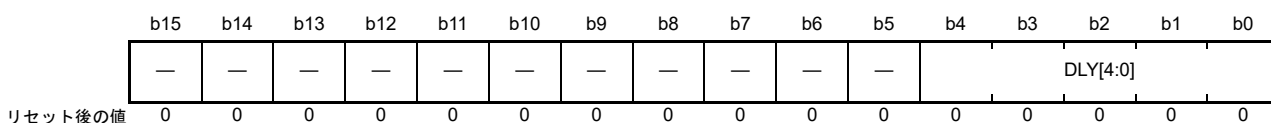
ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnA出力立ち下がりエッジ遅延設定	b4 b0 0 0 0 0 0 : 立ち下がりエッジで遅延なし 0 0 0 0 1 : PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLFyFnA レジスタは、GTIOCnA 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[21.3.2 GTDLFyRnA、GTDLFyRnB、GTDLFyFnA、GTDLFyFnB レジスタ設定値の転送タイミング](#)を参照してください。GTDLFyFnA レジスタは、レジスタライトプロテクション機能が無効 (GPT16Hn.GTWP.WP = 0) のときに書き込むことができます。

GPT_ODC.GTDLYCR.DLLMOD が 1 (4 ビットモード) の場合、本レジスタのビット 0 の値は無視され 0 とみなされます。

21.2.5 GTIOCnB 立ち上がり出力遅延レジスタ (GTDLYRnB) (n = 1 ~ 3)

アドレス [GPT_ODC.GTDLYR1B 4007 B01Eh](#), [GPT_ODC.GTDLYR2B 4007 B022h](#), [GPT_ODC.GTDLYR3B 4007 B026h](#)



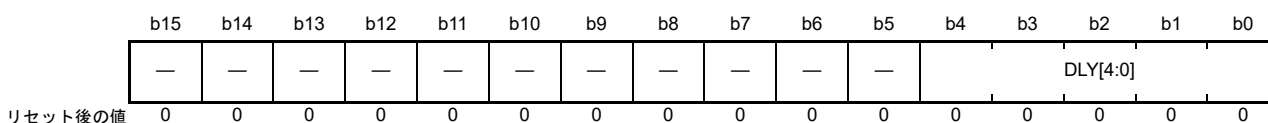
ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnB出力立ち上がりエッジ遅延設定	b4 b0 0 0 0 0 0 : 立ち上がりエッジで遅延なし 0 0 0 0 1 : PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLRYnB レジスタは、GTIOCnB 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[21.3.2 GTDLRYnA、GTDLRYnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング](#)を参照してください。GTDLRYnB レジスタは、レジスタライトプロテクション機能が無効 (GPT16Hn.GTWP.WP=0) のときに書き込むことができます。

GPT_ODC.GTDLYCR.DLLMOD が 1 (4 ビットモード) の場合、本レジスタのビット 0 の値は無視され 0 とみなされます。

21.2.6 GTIOCnB 立ち下がり出力遅延レジスタ (GTDLYFnB) (n = 1 ~ 3)

アドレス [GPT_ODC.GTDLYF1B 4007 B02Eh](#), [GPT_ODC.GTDLYF2B 4007 B032h](#), [GPT_ODC.GTDLYF3B 4007 B036h](#)



ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnB出力立ち下がりエッジ遅延設定	b4 b0 0 0 0 0 0 : 立ち下がりエッジで遅延なし 0 0 0 0 1 : PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0 : PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1 : PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0 : PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1 : PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0 : PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1 : PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0 : PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1 : PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0 : PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1 : PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0 : PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1 : PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0 : PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1 : PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0 : PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1 : PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0 : PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1 : PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0 : PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1 : PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0 : PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1 : PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0 : PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1 : PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0 : PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1 : PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0 : PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1 : PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0 : PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1 : PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLFyFnB レジスタは、GTIOCnB 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、[21.3.2 GTDLFyRnA、GTDLFyRnB、GTDLFyFnA、GTDLFyFnB レジスタ設定値の転送タイミング](#)を参照してください。GTDLFyFnB レジスタは、レジスタライトプロテクション機能が無効 (GPT16Hn.GTWP.WP = 0) のときに書き込むことができます。

GPT_ODC.GTDLYCR.DLLMOD が 1 (4 ビットモード) の場合、本レジスタのビット 0 の値は無視され 0 とみなされます。

21.3 動作説明

21.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整

GTIOcNA および GTIOcNB 端子 (n はチャンネル番号) から出力される PWM 波形の立ち上がりおよび立ち下がりエッジのタイミングは、GPT 動作クロック (PCLKD) 周期の 1/32 の精度で遅延させることができます。

GTIOcNA および GTIOcNB 端子から出力される PWM 波形の立ち上がりおよび立ち下がりエッジのタイミングを調整する必要がある場合、[図 21.2](#) の手順に従って PWM 生成回路の初期設定を行ってください。

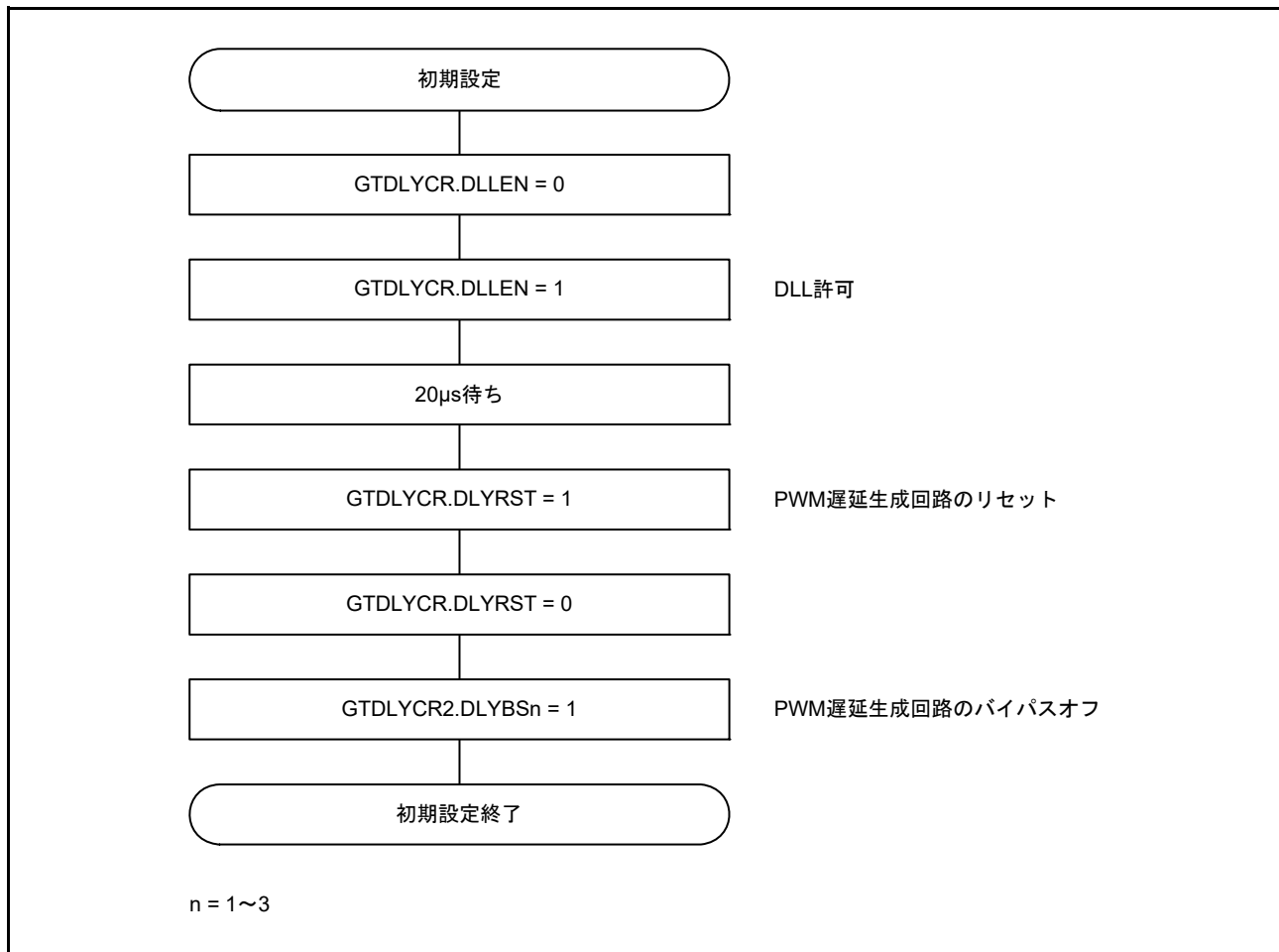


図 21.2 PWM 遅延生成回路の初期設定フロー例

PWM 遅延生成回路では、PWM 出力の立ち上がりおよび立ち下がりエッジに、GPT 動作クロック (PCLKD) 周期の 1/32 の精度で遅延を適用できます。詳細は、[20.3.3 PWM 出力動作モード](#)を参照してください。設定値に対応した遅延が、[21.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング](#)に示すタイミングで PWM 出力に反映されます。GTDLYRnA、GTLDYRnB、GTDLYFnA、および GTDLYFnB レジスタと、PWM 出力との対応関係を[表 21.3](#)に示します。

表 21.3 PWM出力端子と遅延設定レジスタの対応関係

PWM出力端子	立ち上がりエッジ遅延設定レジスタ	立ち下がりエッジ遅延設定レジスタ
GTIOC1A	GTDLYR1A	GTDLYF1A
GTIOC1B	GTDLYR1B	GTDLYF1B
GTIOC2A	GTDLYR2A	GTDLYF2A
GTIOC2B	GTDLYR2B	GTDLYF2B
GTIOC3A	GTDLYR3A	GTDLYF3A
GTIOC3B	GTDLYR3B	GTDLYF3B

PWM遅延生成回路を使用している場合、PWM出力信号の立ち上がりおよび立ち下がりタイミングを、GPT動作クロック(PCLKD)周期の1/32の精度で制御できます。この機能を使用していない場合、PWM出力波形の周期は、タイマカウンタの入力クロック(PCLKD)の1周期の精度で制御されます。PWM遅延生成回路を使用すると、32倍精密な精度で出力を制御できます。また、遅延設定では、PWM波形のHighレベルおよびLowレベルの周期を、特定の精度で制御することも可能です。各PWM遅延生成回路チャンネルは、それぞれ個別に有効または無効にできます。

21.3.2 GTDLYRnA、GTDLYRnB、GTDLYFnA、GTDLYFnBレジスタ設定値の転送タイミング

GTDLYRnA、GTDLYRnB、GTDLYFnA、およびGTDLYFnBレジスタの設定値は、最初に一時レジスタに転送され、その後、GTIOCnAおよびGTIOCnB(n=1~3)出力の遅延回数に反映されます。設定値は、のこぎり波の場合はオーバーフロー時(アップカウント中)またはアンダーフロー時(ダウンカウント中)、三角波の場合は谷のとき転送されます。

図 21.3 と 図 21.4 に、GTDLYR1Aレジスタの動作例とGTDLYF1Aレジスタの動作例を示します。

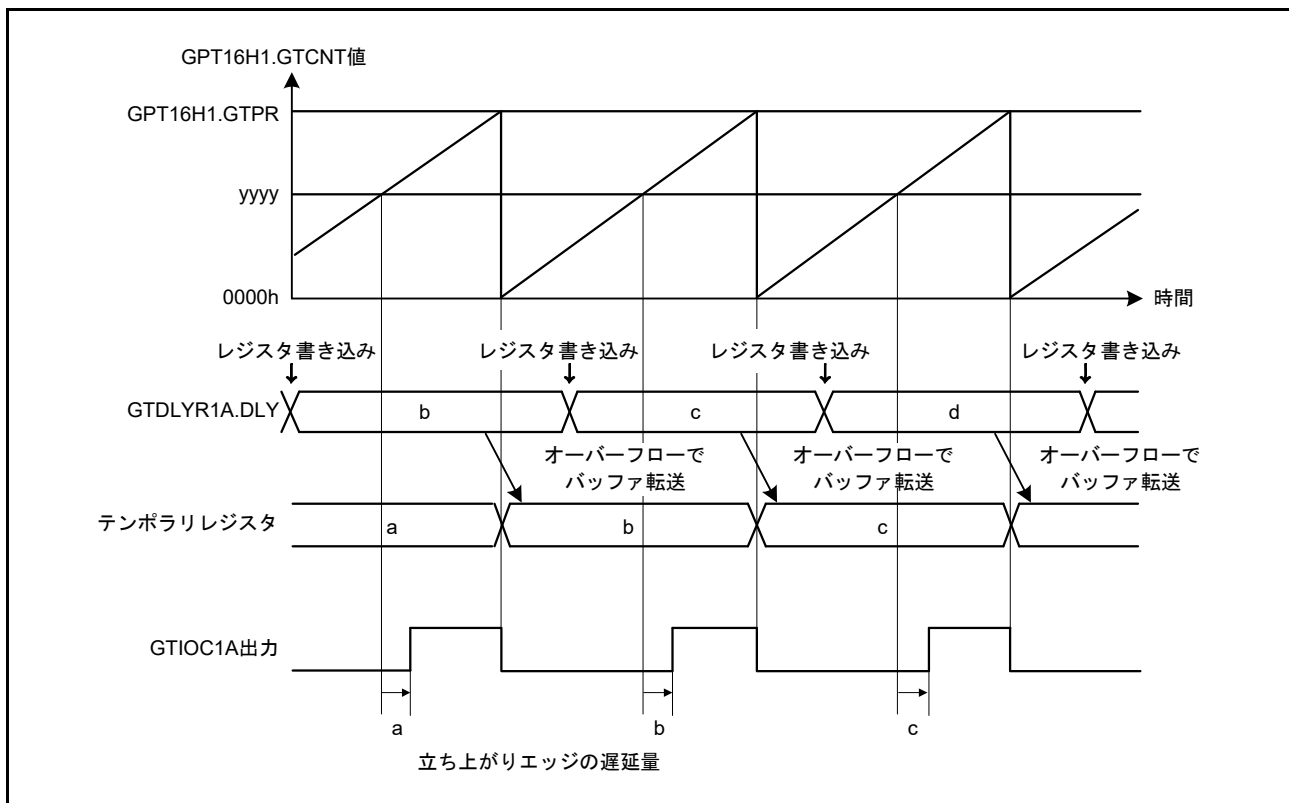


図 21.3 GTDLYR1Aレジスタの動作例(PWMのこぎり波生成時)

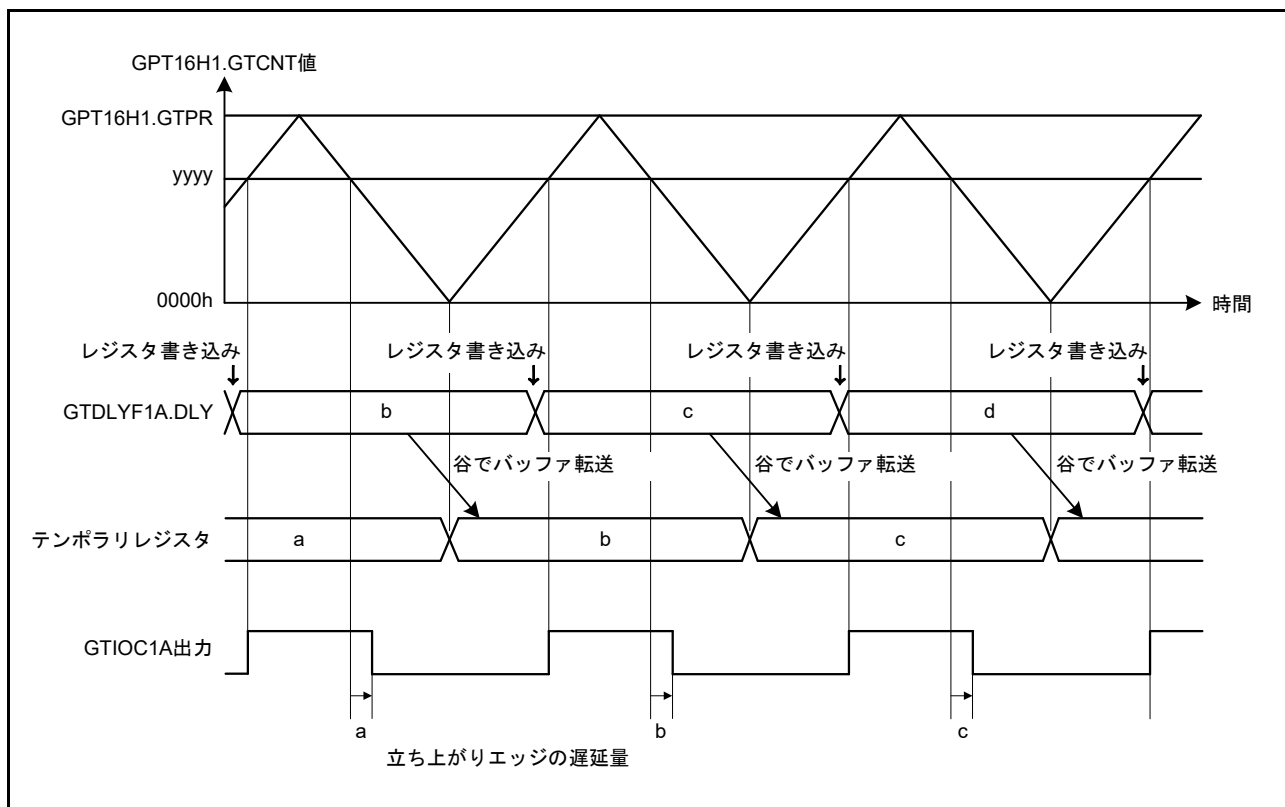


図 21.4 GTDLYF1A レジスタの動作例 (PWM 三角波生成時)

21.4 使用上の注意事項

21.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタは、PWM遅延生成回路の動作を禁止/許可できます。リセット後の初期状態では、PWM遅延生成回路の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

21.4.2 PWM遅延生成回路の遅延設定に関する注意事項

PWM遅延生成回路がPWM出力波形の遅延を生成し、その波形がコンペアマッチに対してトグルされる場合、コンペアマッチ値が表21.4に示す範囲にある間は、遅延の設定を変更しないでください。この制約はGTDLYFnA、GTDLYRnA、GTDLYFnB、およびGTDLYRnBレジスタに適用されます。

表 21.4 遅延設定の制約

モード	カウント方向	コンペアマッチ値
のこぎり波モード	アップ	GTPR - 2以上
	ダウン	2以下
三角波モード	ダウン	2以下

この制約が、のこぎり波ワンショットパルスモード（カウントアップ）のGTDLYFnAレジスタの設定タイミングに適用される例を図21.5に示します。GTC CRD \geq GTPR - 2の間はGTDLYFnAレジスタの設定値を変更しないでください。

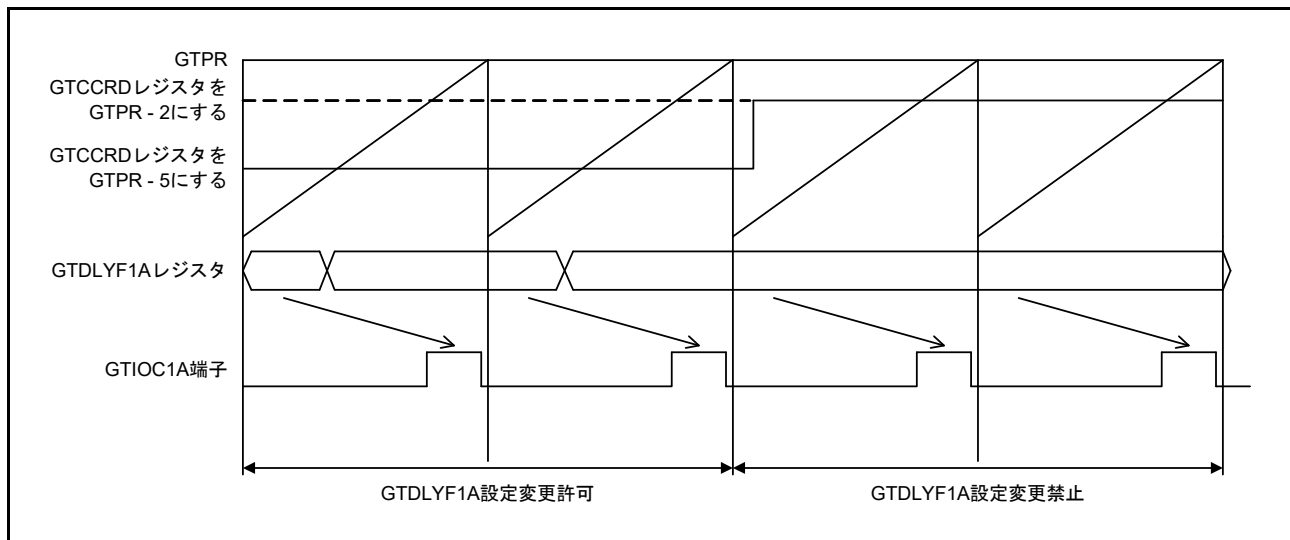


図 21.5 GTDLYF1A レジスタの設定タイミングの制約

設定変更が禁止されている期間に、GTDLYFnA、GTDLYRnA、GTDLYFnB、およびGTDLYRnBレジスタの値を変更すると、出力波形の切り替わりポイントのタイミングが期待値とずれるなど、出力波形の不良の原因となる恐れがあります。

22. 非同期汎用タイマ (AGT)

22.1 概要

非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅および周期の測定、および外部イベントのカウンタに利用可能な 16 ビットのタイマです。

この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同じアドレスに配置され、AGT レジスタでアクセスが可能です。

表 22.1 に AGT の仕様を、図 22.1 に AGT のブロック図を、表 22.2 に AGT の端子構成を示します。

表 22.1 AGTの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース (動作クロック) (注2)		PCLKB、PCLKB/2、PCLKB/8、AGTLCLK/d、AGTSCLK/d、またはAGT0 (注1)のアンダーフロー信号を選択可能 (d = 1、2、4、8、16、32、64、または128)
割り込み/イベントリンク機能 (出力)		<ul style="list-style-type: none"> • アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> - カウンタのアンダーフロー時 - パルス幅測定モードで、外部入力 (AGTIO_n) のアクティブ幅の測定が終了したとき - パルス周期測定モードで、外部入力 (AGTIO_n) の設定エッジが入力されたとき • コンペアマッチAイベント信号 <ul style="list-style-type: none"> - AGTとAGTCMAの値が一致したとき (コンペアマッチA機能が有効) • コンペアマッチBイベント信号 <ul style="list-style-type: none"> - AGTとAGTCMBの値が一致したとき (コンペアマッチB機能が有効) • AGT1_AGTI、AGT1_AGTCMAI、またはAGT1_AGTCMBIによる、ソフトウェアスタンバイモードからの復帰が可能
選択可能な機能		<ul style="list-style-type: none"> • コンペアマッチ機能 <ul style="list-style-type: none"> コンペアマッチAレジスタとコンペアマッチBレジスタの両方または一方を選択可能

注 1. AGT0 では使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。

注 2. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

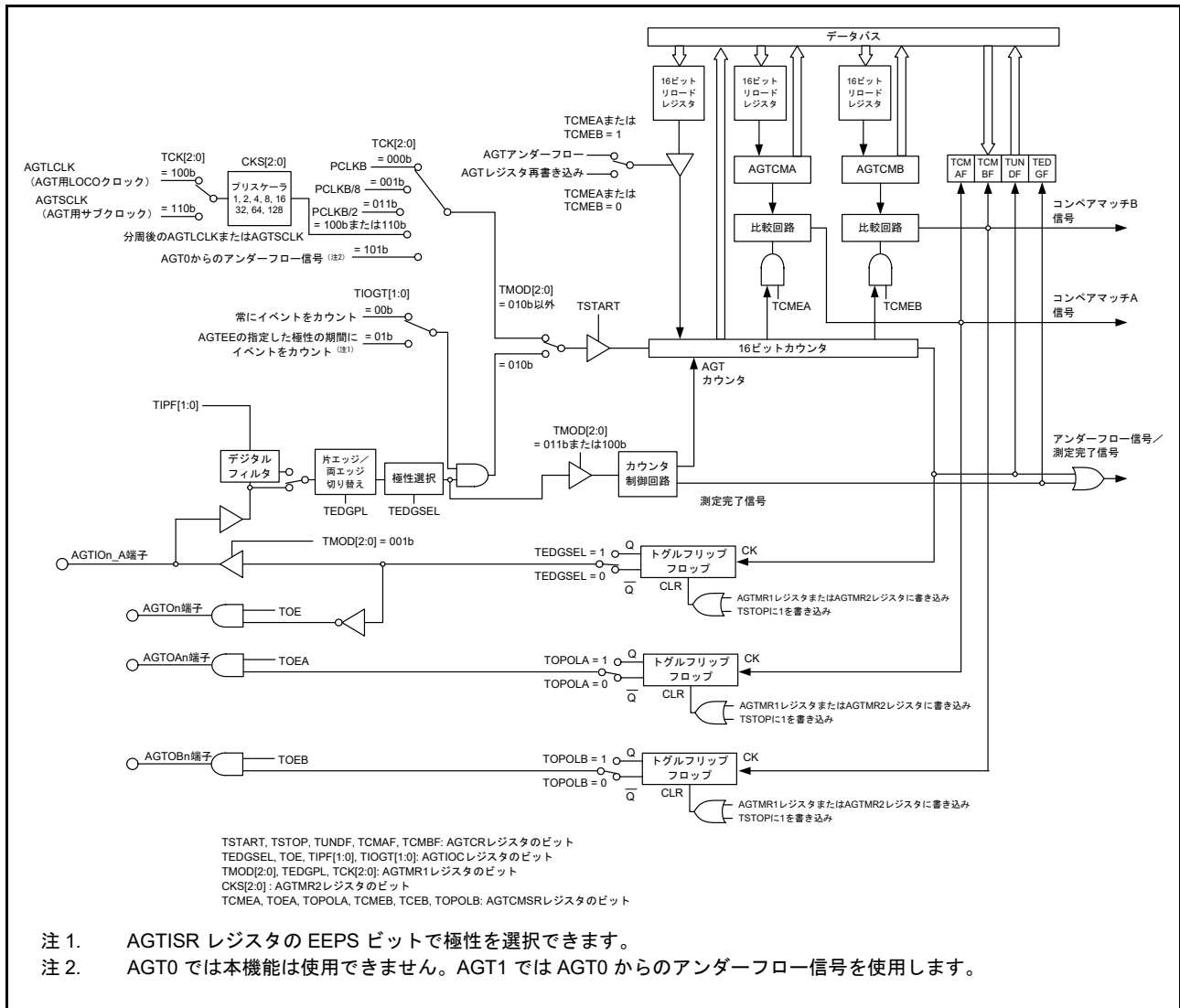


図 22.1 AGT のブロック図

表 22.2 AGTの入出力端子

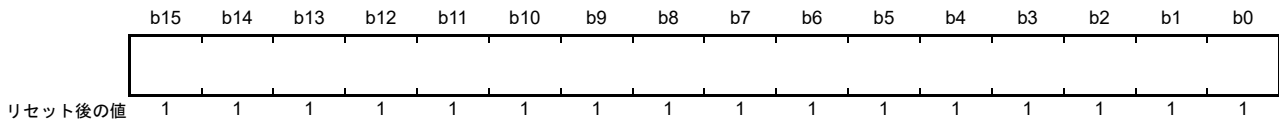
端子名	入出力	機能
AGTEEn	入力	AGTの外部イベント入力
AGTIOn	入出力	AGTの外部イベント入力およびパルス出力
AGTOn	出力	AGTのパルス出力
AGTOAn	出力	AGTの出力コンペアマッチA出力
AGTOBn	出力	AGTの出力コンペアマッチB出力

チャンネル番号 (n = 0, 1)

22.2 レジスタの説明

22.2.1 AGT カウンタレジスタ (AGT)

アドレス [AGT0.AGT4008 4000h](#), [AGT1.AGT 4008 4100h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのカウンタおよびリロードレジスタ (注1) (注2)	0000h~FFFFh	R/W

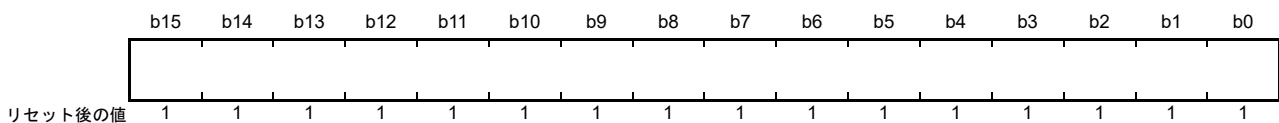
- 注 1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。
- 注 2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度だけ発生します。ただし、AGTOn および AGTIOh はトグル出力となります。
- AGT レジスタがイベントカウンタモードで 0000h の場合、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。
- また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0001h 以上の場合、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書く場合リロードレジスタに書き込まれ、読む場合はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、[22.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.2 AGT コンペアマッチ A レジスタ (AGTCMA)

アドレス [AGT0.AGTCMA4008 4002h](#), [AGT1.AGTCMA 4008 4102h](#)



ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチAデータを格納 (注1)	0000h~FFFFh	R/W

- 注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、[22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作](#)を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.3 AGT コンペアマッチ B レジスタ (AGTCMB)

アドレス AGT0.AGTCMB4008 4004h, AGT1.AGTCMB 4008 4104h



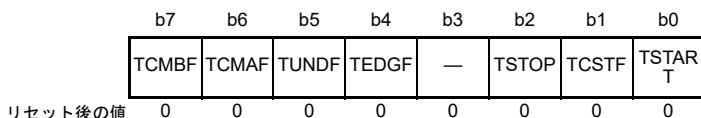
ビット	機能	設定範囲	R/W
b15-b0	16ビットのコンペアマッチBデータを格納(注1)	0000h~FFFFh	R/W

注1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

22.2.4 AGT コントロールレジスタ (AGTCR)

アドレス AGT0.AGTCR4008 4008h, AGT1.AGTCR 4008 4108h



ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGT カウンタ開始(注2)	0: カウンタ停止 1: カウンタ開始	R/W
b1	TCSTF	AGT カウンタ状態フラグ(注2)	0: カウンタ停止 1: カウンタ実行中	R
b2	TSTOP	AGT カウンタ強制停止(注1)	0: 無効(書き込みは無効) 1: 強制的にカウンタ停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0: アクティブエッジの未受信 1: アクティブエッジの受信	R/(W) (注3)
b5	TUNDF	アンダーフローフラグ	0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
b6	TCMAF	コンペアマッチAフラグ	0: 不一致 1: 一致	R/(W) (注3)
b7	TCMBF	コンペアマッチBフラグ	0: 不一致 1: 一致	R/(W) (注3)

- 注1. TSTOP ビットに1(カウンタの強制停止)を書き込むと、TSTOP、TSTART、および TCSTF ビットが同時に初期化されません。パルス出力レベルも初期化されません。読むと0が読めます。
- 注2. TSTART および TCSTF ビットの使用については、22.4.1 カウンタ動作のスタートおよびストップ制御を参照してください。
- 注3. フラグを0にするための0書き込みのみ可能です。

TSTART ビット (AGT カウント開始)

カウント動作は、TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 (カウント開始) にすると、カウントソースと同期して、TCSTF ビットが 1 (カウント実行中) になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF ビットが 0 (カウント停止) になります。詳細は、[22.4.1 カウント動作のスタートおよびストップ制御](#)を参照してください。

TCSTF フラグ (AGT カウント状態フラグ)

AGT カウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき (カウントソースと同期して、TCSTF ビットが 1 になる)

[0 になる条件]

- TSTART ビットに 0 を書いたとき (カウントソースと同期して、TCSTF ビットが 0 になる)
- TSTOP ビットに 1 を書いたとき

TSTOP ビット (AGT カウント強制停止)

本ビットに 1 を書くと、カウントが強制停止します。読むと 0 が読めます。

TEDGF フラグ (アクティブエッジ判定フラグ)

アクティブエッジが検出されたことを示します。

[1 になる条件]

- 外部入力 (AGTIO_n) のアクティブ幅の測定がパルス幅測定モードで、終了したとき
- 外部入力 (AGTIO_n) の設定エッジがパルス周期測定モードで、入力されたとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TUNDF フラグ (アンダーフローフラグ)

カウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TCMAF フラグ (コンペアマッチ A フラグ)

コンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

TCMBF フラグ (コンペアマッチ B フラグ)

コンペアマッチ B が検出されたことを示します。

[1 になる条件]

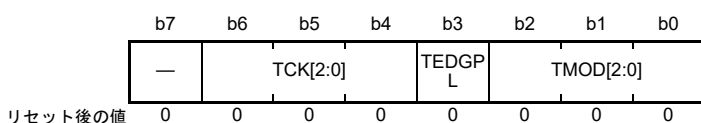
- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアによって 0 が書かれた時

22.2.5 AGT モードレジスタ 1 (AGTMR1)

アドレス AGT0.AGTMR14008 4009h, AGT1.AGTMR1 4008 4109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード(注3)	b2 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性(注4)	0: 片エッジ 1: 両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース(注1) (注2)(注5)	b6 b4 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTLCLK 1 0 1: AGT0からのアンダーフローイベント信号(注6) 1 1 0: AGTMR2レジスタのCKS[2:0]ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. AGTMR1 レジスタに書き込みを行うと、AGT の AGTOn、AGTIO_n、AGTOAn、および AGTOB_n 端子 (n = 0, 1) からの出力が初期化されます。初期化時の出力レベルの詳細は、[22.2.7 AGT I/O コントロールレジスタ \(AGTIOC\)](#) の説明を参照してください。

注1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定にかかわらず、カウントソースとして外部入力 (AGTIO_n) が選択されます。

注2. カウント動作中は、カウントソースを切り替えしないでください。カウントソースは、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ切り替えてください。

注3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。

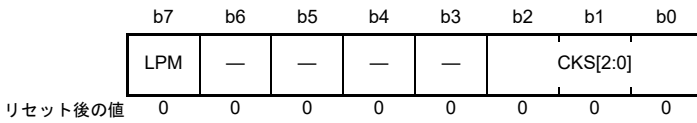
注4. TEDGPL ビットは、イベントカウンタモード時に限り有効です。

注5. AGT をソフトウェアスタンバイモードで動作させるには、AGTLCLK または AGTSCLK を選択してください。

注6. AGT0 では使用できません (設定禁止)。AGT1 が、AGT0 のアンダーフローを使用します。

22.2.6 AGT モードレジスタ 2 (AGTMR2)

アドレス AGT0.AGTMR24008 400Ah, AGT1.AGTMR2 4008 410Ah



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	CKS[2:0]	AGTLCLKまたはAGTSCLKカウントソースクロック分周比 (注1) (注2) (注3)	<table style="font-size: small; border: none;"> <tr><td>b2</td><td>b0</td><td></td></tr> <tr><td>0</td><td>0</td><td>0 : 1/1</td></tr> <tr><td>0</td><td>0</td><td>1 : 1/2</td></tr> <tr><td>0</td><td>1</td><td>0 : 1/4</td></tr> <tr><td>0</td><td>1</td><td>1 : 1/8</td></tr> <tr><td>1</td><td>0</td><td>0 : 1/16</td></tr> <tr><td>1</td><td>0</td><td>1 : 1/32</td></tr> <tr><td>1</td><td>1</td><td>0 : 1/64</td></tr> <tr><td>1</td><td>1</td><td>1 : 1/128</td></tr> </table>	b2	b0		0	0	0 : 1/1	0	0	1 : 1/2	0	1	0 : 1/4	0	1	1 : 1/8	1	0	0 : 1/16	1	0	1 : 1/32	1	1	0 : 1/64	1	1	1 : 1/128	R/W
b2	b0																														
0	0	0 : 1/1																													
0	0	1 : 1/2																													
0	1	0 : 1/4																													
0	1	1 : 1/8																													
1	0	0 : 1/16																													
1	0	1 : 1/32																													
1	1	0 : 1/64																													
1	1	1 : 1/128																													
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											
b7	LPM	低消費電力モード	0 : 通常モード 1 : 低消費電力モード	R/W																											

- 注 1. カウント動作中は、CKS[2:0] ビットを書き換えしないでください。CKS[2:0] ビットは、AGTCR レジスタの TSTART ビットおよび TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。
- 注 2. カウントソースが AGTLCLK または AGTSCLK の場合に CKS[2:0] の切り替えが有効となります。
- 注 3. CKS[2:0] が 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えしないでください。CKS[2:0] を 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル待機してください。

LPM ビット (低消費電力モード)

低消費電力モードを選択すると、特定の AGT レジスタへのアクセスに影響があります。AGT が低消費電力モードで動作するとき、電力消費を低減するには、本ビットを 1 にしてください。本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

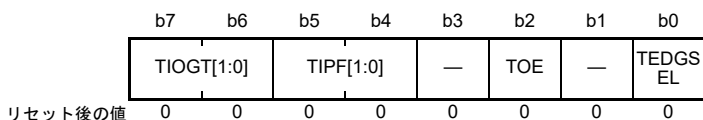
- AGT/AGTCMA/AGTCMB/AGTCR

このビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT : レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効
- AGT、AGTCMA、AGTCMB、および AGTCR : 上記のレジスタに書き込む場合、少なくともカウントソースクロックの 2 サイクルは必要

22.2.7 AGT I/O コントロールレジスタ (AGTIOC)

アドレス AGT0.AGTIOC4008 400Ch, AGT1.AGTIOC 4008 410Ch



ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O極性切り替え	動作モードによって機能が異なります (表 22.3 および表 22.4 参照)。TEDGSEL ビットは、AGTOn の出力極性、および AGTIO n の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIO n の出力極性のみが制御されます。AGTMR1 レジスタに書き込みを行った場合、および AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIO n 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0 : AGTOn 出力を禁止 1 : AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ (注3)	b5 b4 0 0 : フィルタなし 0 1 : PCLKB でのフィルタサンプリング 1 0 : PCLKB/8 でのフィルタサンプリング 1 1 : PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIO n 入力用フィルタのサンプリング周波数を指定します。AGTIO n 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御 (注1) (注2)	b7 b6 0 0 : 常にイベントがカウントされる 0 1 : AGTEEn に指定された極性の期間に、イベントがカウントされる 上記以外は設定しないでください。	R/W

- 注 1. AGTEEn またはタイマ出力信号を使用する場合、イベントをカウントする極性は AGTISR レジスタの EEPS ビットで選択できます。
- 注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。
- 注 3. ソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。

表 22.3 AGTIO n の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0 : High で出力開始 (初期レベル : High) 1 : Low で出力開始 (初期レベル : Low)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Low レベル幅を測定 1 : High レベル幅を測定
パルス周期測定モード	0 : 1 つの立ち上がりエッジから次の立ち上がりエッジまで測定 1 : 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定

表 22.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0 : Low で出力開始 (初期レベル : Low) 1 : High で出力開始 (初期レベル : High)

22.2.8 AGT イベント端子選択レジスタ (AGTISR)

アドレス AGT0.AGTISR4008 400Dh, AGT1.AGTISR 4008 410Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0 : Lowの期間、イベントをカウントする 1 : Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

22.2.9 AGT コンペアマッチ機能選択レジスタ (AGTCMSR)

アドレス AGT0.AGTCMSR4008 400Eh, AGT1.AGTCMSR 4008 410Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	TOPOL B	TOEB	TCMEB	—	TOPOL A	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ許可 (注1) (注2)	0 : コンペアマッチAレジスタはを禁止 1 : コンペアマッチAレジスタは許可	R/W
b1	TOEA	AGTOAn出力許可 (注1) (注2)	0 : AGTOAn出力を禁止 1 : AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択 (注1) (注2)	0 : AGTOAn出力をLowで開始 1 : AGTOAn出力をhighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ許可 (注1) (注2)	0 : コンペアマッチBレジスタを禁止 1 : コンペアマッチBレジスタを許可	R/W
b5	TOEB	AGTOBn出力許可 (注1) (注2)	0 : AGTOBn出力を禁止 1 : AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択 (注1) (注2)	0 : AGTOBn出力をLowで開始 1 : AGTOBn出力をhighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCR レジスタの TSTART ビットおよび TCSTF ビットが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード中は、1にしないでください。

22.2.10 AGT 端子選択レジスタ (AGTIOSEL)

アドレス AGT0.AGTIOSEL4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TIES	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIO _n 入力許可	0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ソフトウェアスタンバイモード時に AGTIO_n を使用する場合、AGTIOSEL レジスタで AGTIO_n 端子の設定を行います。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

TIES ビット (AGTIO_n 入力許可)

外部イベント入力を許可または禁止します。

22.3 動作説明

22.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA/TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (コンペアマッチ A/B レジスタが無効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 22.2 および図 22.3 に示します。

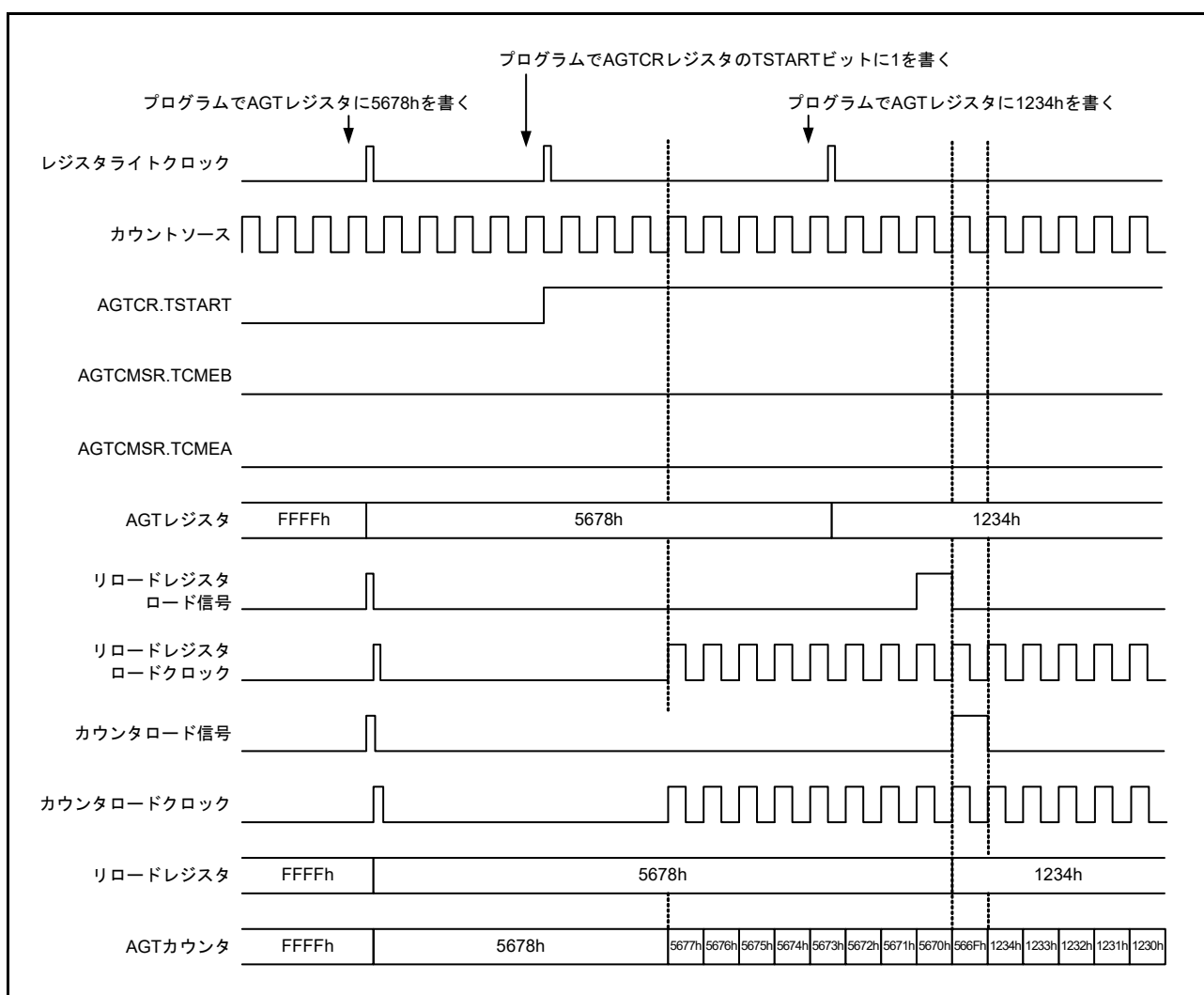


図 22.2 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが無効の場合)

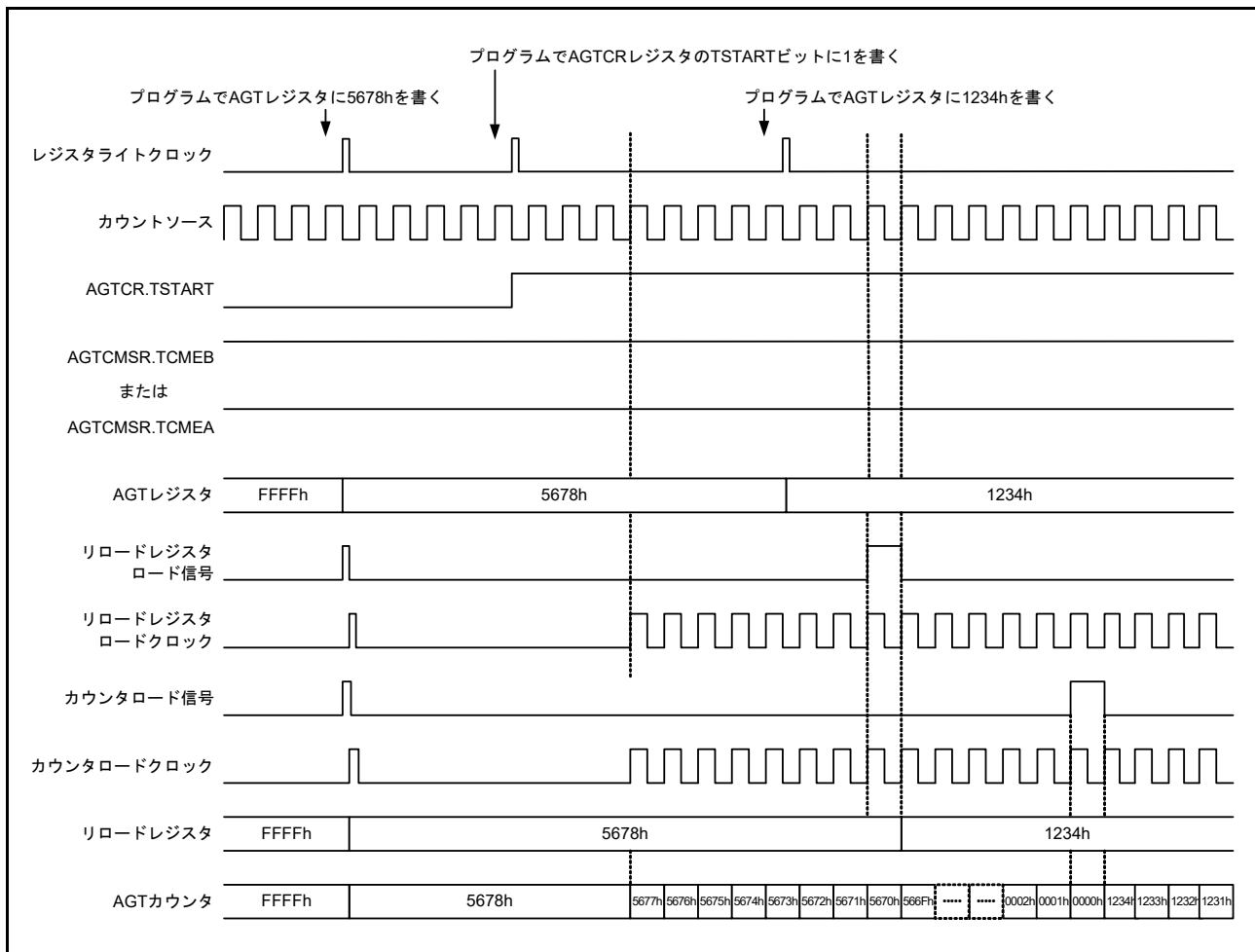


図 22.3 TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミング (コンペアマッチ A レジスタまたはコンペアマッチ B レジスタが有効の場合)

22.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

コンペアレジスタ A に対する TSTART ビット値による書き換え動作のタイミングを図 22.4 に示します。コンペアレジスタ B のタイミングもコンペアレジスタ A と同じです。

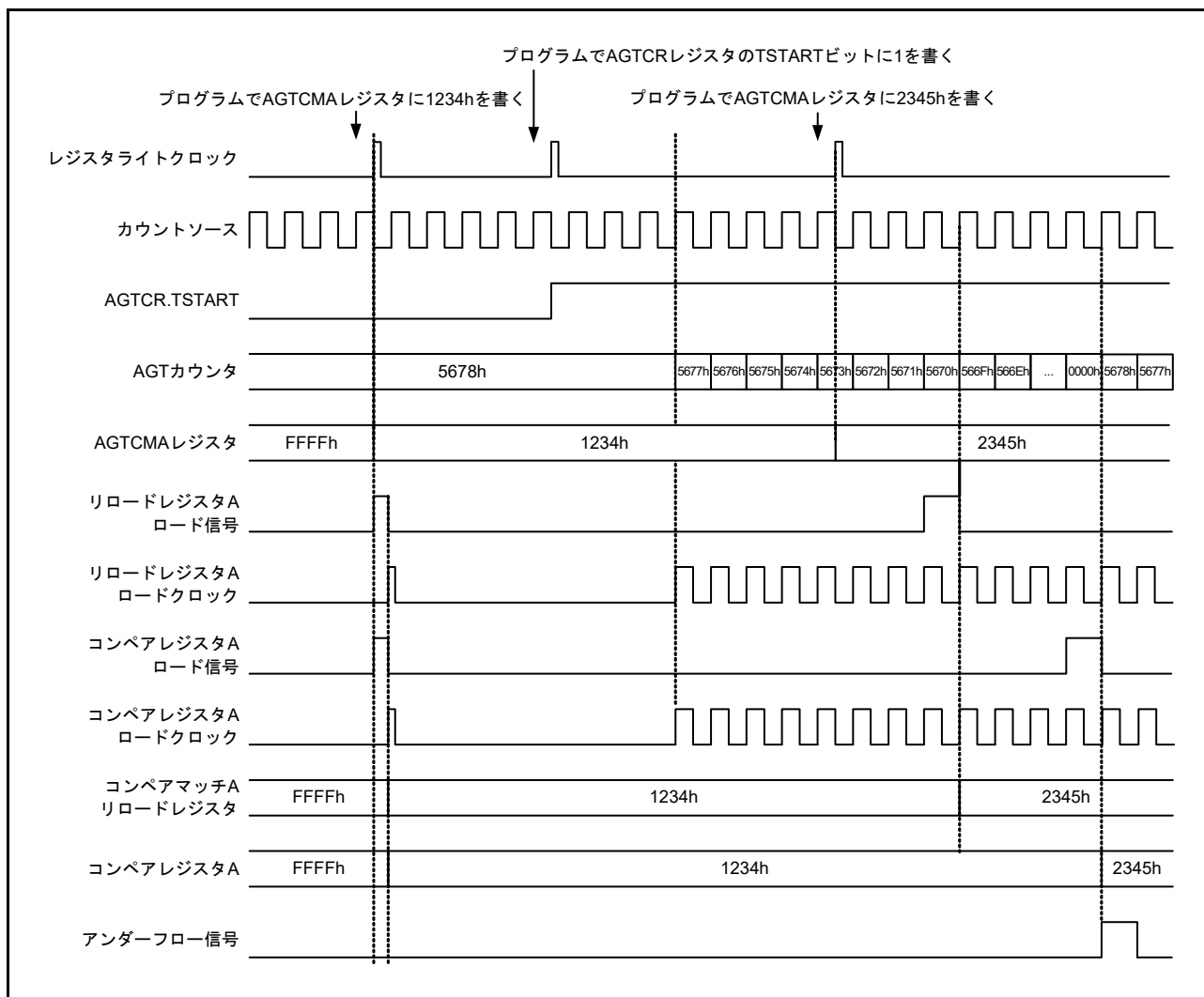


図 22.4 TSTART ビット値による書き換え動作のタイミング (コンペアレジスタ A の場合)

22.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。

タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が発生します。

タイマモードでの動作例を図 22.5 に示します。

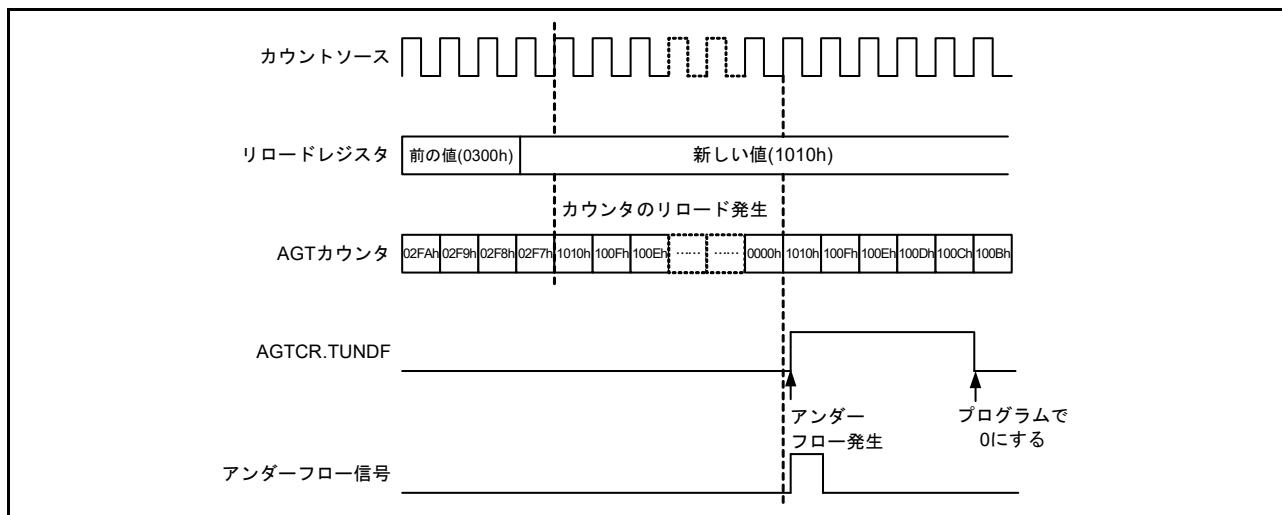


図 22.5 タイマモードでの動作例

22.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するごとに AGTIO_n および AGTO_n 端子の出力レベルが反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。カウント値が 0000h に達したときに、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO_n および AGTO_n 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO_n 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 22.6 に示します。

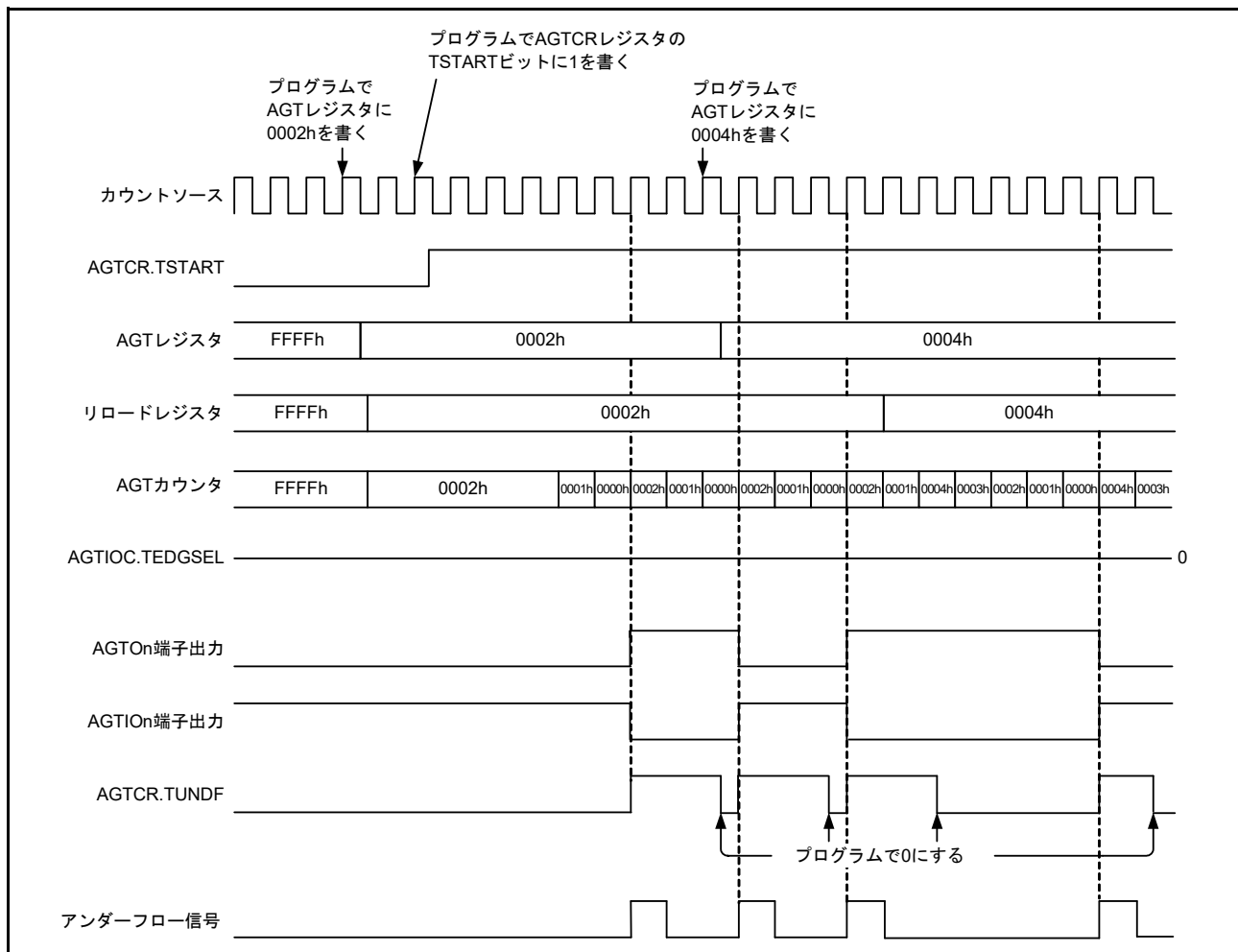


図 22.6 パルス出力モードでの動作例

22.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIO_n 端子への外部イベント信号 (カウントソース) 入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによって異なる設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0] ビットによって、AGTIO_n 入力のフィルタ機能を指定できます。また、イベントカウンタモードでも、AGTIO_n 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 22.7 に示します。

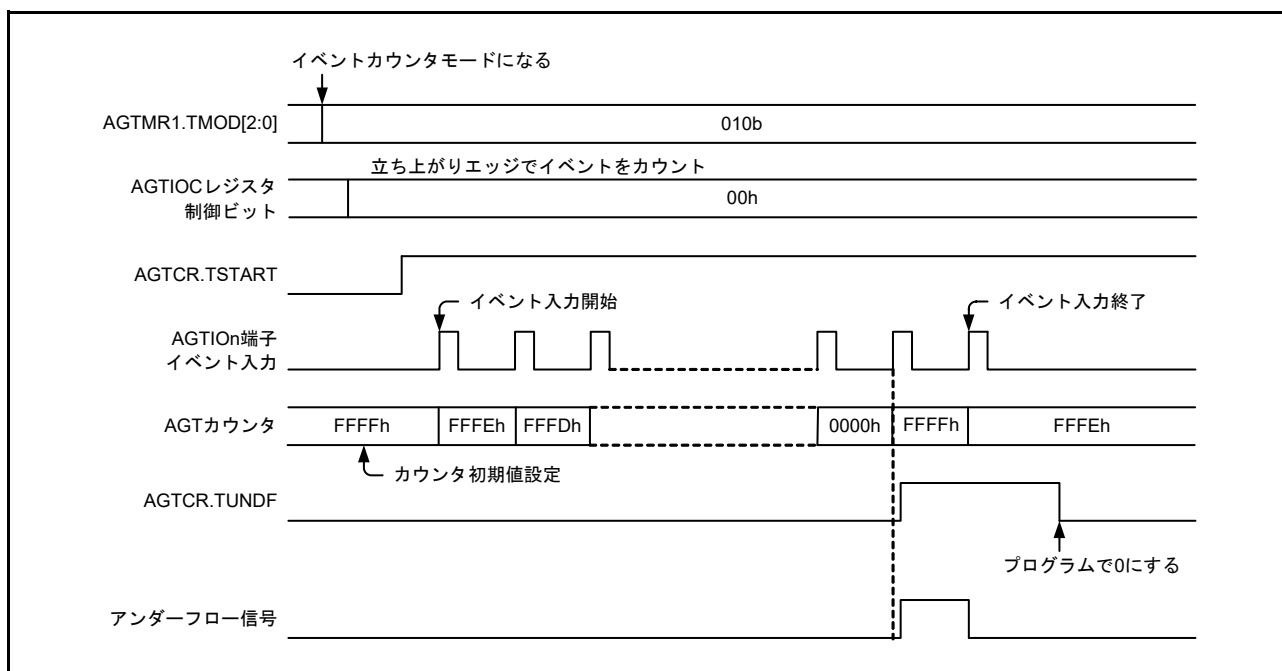


図 22.7 イベントカウンタモードでの動作例 1

イベントカウンタモードにおける、指定された期間 (AGTIOC レジスタの TIOGT[1:0] ビットが 01b) 中のカウント動作例を図 22.8 に示します。

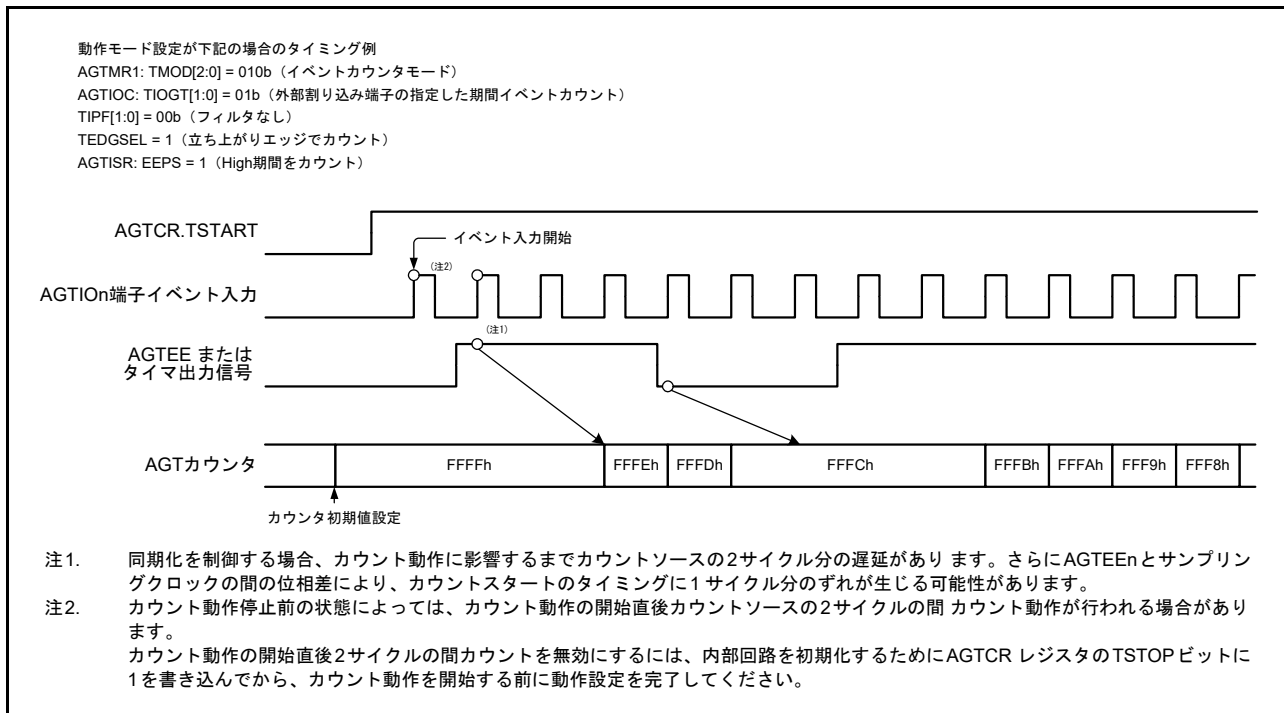


図 22.8 イベントカウンタモードでの動作例 2

22.3.6 パルス幅測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIO_n 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIO_n 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み込むことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 22.9 に示します。

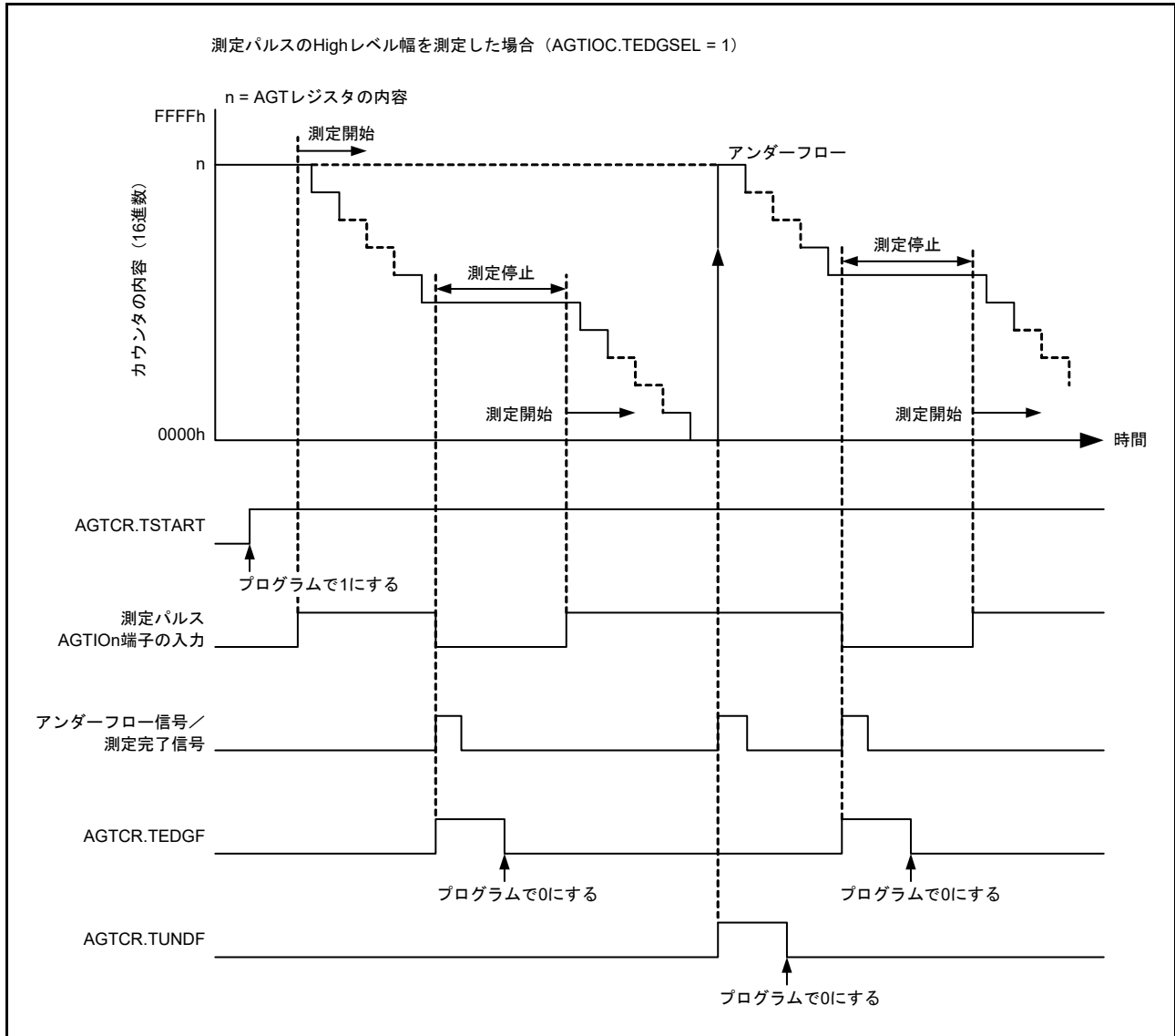


図 22.9 パルス幅測定モードでの動作例

22.3.7 パルス周期測定モード

このモードでは、AGTIO_n 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIO_n 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (22.4.5 イベント番号、パルス幅、およびパルス周期の計算方法を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 22.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、カウントソースの周期よりも長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

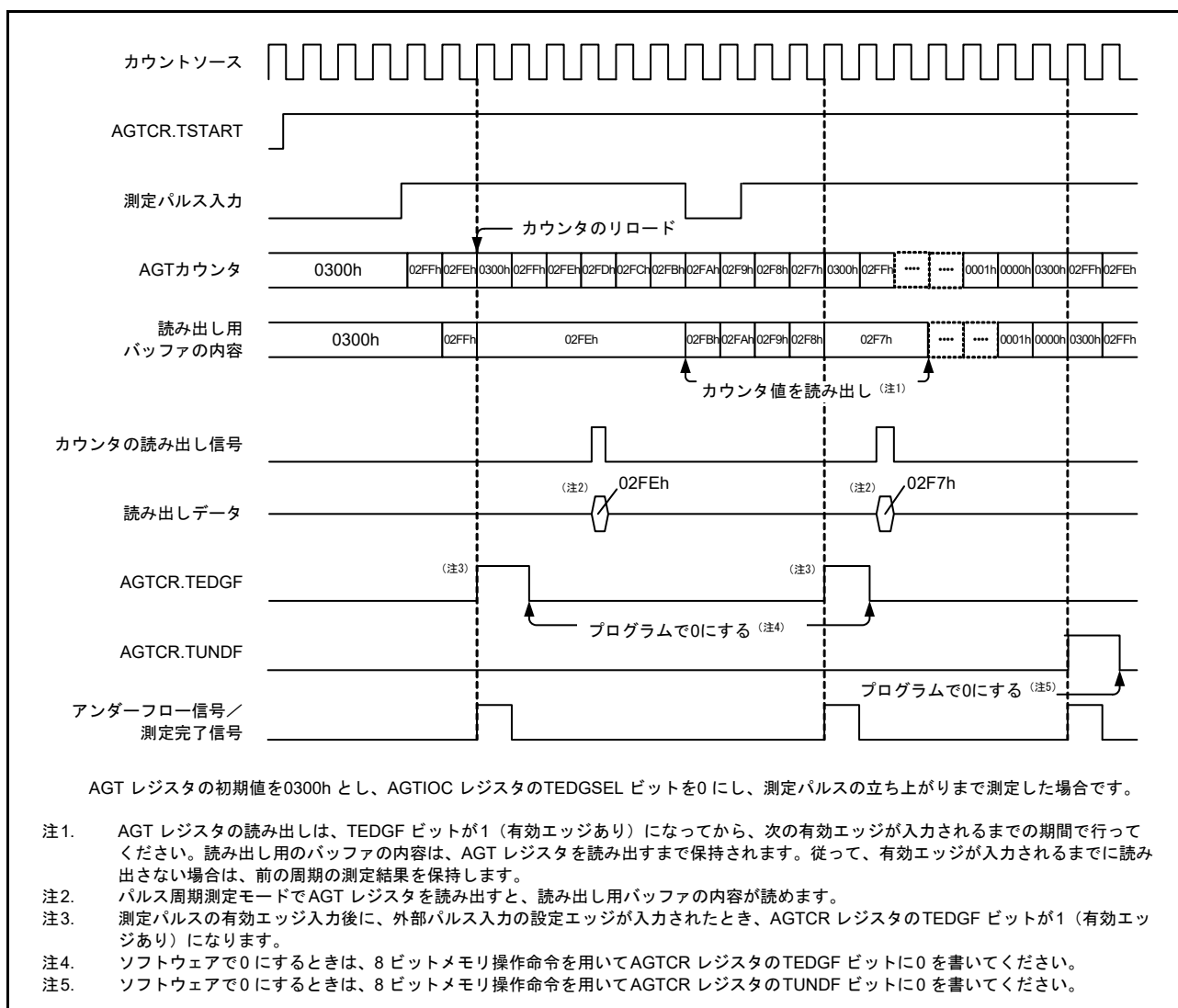


図 22.10 パルス周期測定モードでの動作例

22.3.8 コンペアマッチ機能

この機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致を検出します。この機能は、AGTCMSR レジスタの TCMEA ビットまたは TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1 になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタへの書き替え動作のタイミングは異なります。詳細は、[22.3.1 リロードレジスタおよびカウンタの書き換え動作](#)を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

コンペアマッチモードでの動作例を図 22.11 に示します。

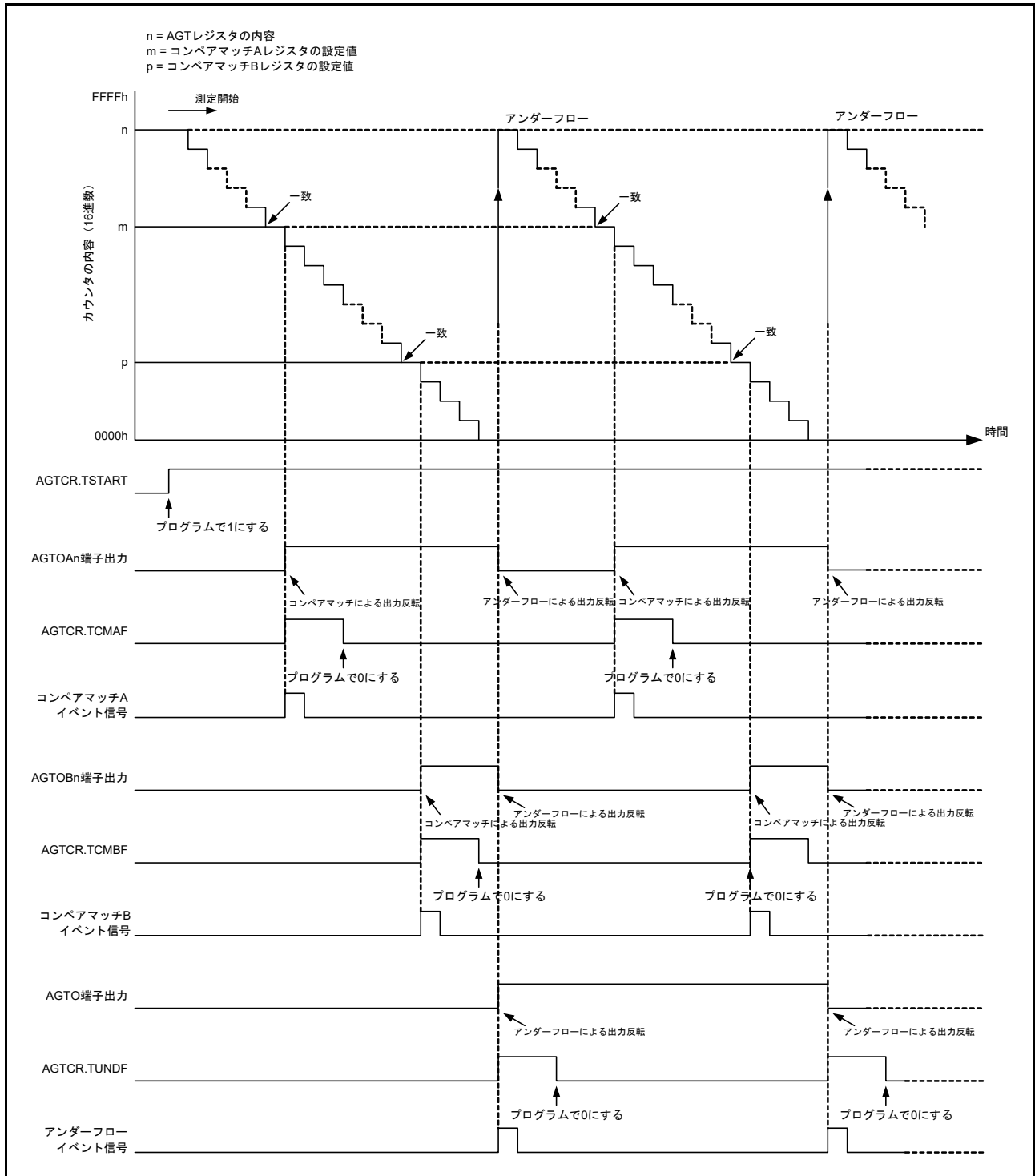


図 22.11 コンペアマッチモードでの動作例 (TOPOLA = 0、TOPOLB = 0 の場合)

22.3.9 各モードの出力設定

各モードでの AGTOn、AGTIO_n、AGTOAn、および AGTOB_n 端子の状態を表 22.5 ~ 表 22.8 に示します。

表 22.5 AGTOn端子の設定

動作モード	AGTIOCレジスタ		AGTOn端子出力
	TOEビット	TEDGSELビット	
全モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止

表 22.6 AGTIO_n端子の設定

動作モード	AGTIOCレジスタ		AGTIO _n 端子入出力
	TEDGSELビット		
タイマモード	0または1		入力 (使用しない)
パルス出力モード	1		通常出力
	0		反転出力
イベントカウンタモード	0または1		入力
パルス幅測定モード			
パルス周期測定モード			

表 22.7 AGTOAn端子の設定

動作モード	AGTCMSRレジスタ		AGTOAn端子出力
	TOEAビット	TOPOLAビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 (使用しない)
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 22.8 AGTOBn端子の設定

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
パルス出力モード	0	0または1	出力禁止 (使用しない)
		1	反転出力
イベントカウンタモード	1	1	反転出力
		0	通常出力
パルス幅測定モード	0	0または1	出力禁止 (使用しない)
		0	禁止
パルス周期測定モード			

22.3.10 スタンバイモード

AGTはソフトウェアスタンバイモードでも動作可能です。カウント開始 (TSTART = 1 および TCSTF = 1) 状態でソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードで使用可能な設定を表 22.9 および表 22.10 に示します。

表 22.9 ソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1レジスタの TCK[2:0]ビット	動作クロック	CPUの回復要因
タイマモード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス出力モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
イベントカウンタモード	- (無効)	AGTIO _n	-
パルス幅測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-
パルス周期測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	-

表 22.10 ソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1レジスタのTCK[2:0] ビット	動作クロック	CPUの回復要因
タイマモード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> アンダーフロー コンペアマッチA/B
パルス出力モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> アンダーフロー コンペアマッチA/B
イベントカウンタモード	- (無効)	AGTIO _n	<ul style="list-style-type: none"> アンダーフロー コンペアマッチA/B
パルス幅測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> アンダーフロー アクティブエッジ
パルス周期測定モード	100b、110b、または101b (注1)	AGTLCLK、AGTSCLK、または AGT0アンダーフロー	<ul style="list-style-type: none"> アンダーフロー アクティブエッジ

注. ソフトウェアスタンバイモードの解除はAGT1のみです。

注1. AGT0が表 22.9 の状態で動作している場合のみ。

22.3.11 割り込み要因

AGT には、表 22.11 に示すように、チャンネル n ($n = 0, 1$) に対する下記の 3 種類の割り込み要因があります。

表 22.11 AGT 割り込み要因

名称	割り込み要因	DTC の起動
	<ul style="list-style-type: none"> カウンタのアンダーフロー時 外部入力 (AGTIOn) のアクティブ幅の測定がパルス幅測定モードで終了したとき 外部入力 (AGTIOn) の設定エッジがパルス周期測定モードで入力されたとき 	可能
AGT n _AGTCMAI	<ul style="list-style-type: none"> AGT と AGTCMA の値が一致したとき 	可能
AGT n _AGTCMBI	<ul style="list-style-type: none"> AGT と AGTCMB の値が一致したとき 	可能

チャンネル番号 ($n = 0, 1$)

22.3.12 ELC へのイベント信号出力

AGT はイベントリンクコントローラ (ELC) を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対するリンク動作の実行が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「[16. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

22.4 使用上の注意事項

22.4.1 カウント動作のスタートおよびストップ制御

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) 以外に設定されている場合

カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、カウントソースの 3 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

- イベントカウントモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー (TCK[2:0] = 101b) に設定されている場合

カウント停止状態にあるとき、AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、PCLKB の 2 サイクル中は、AGTCR レジスタの TCSTF ビットは 0 (カウント停止) のままです。TCSTF ビットが 1 (カウント実行中) になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ (注 1) にはアクセスしないでください。

TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

注 1. AGT 関連レジスタ : AGT, AGTCMA, AGTCMB, AGTCR, AGTMR1, AGTMR2, AGTIOC, AGTISR, および AGTCMSR

22.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1 (カウント開始) の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、少なくともカウントソースクロックの 3 サイクル分のゆとりをみてください。

22.4.3 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR、および AGTIOC) は、TSTART および TCSTF ビットがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF
- TUNDF
- TCMAF
- TCMBF

22.4.4 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル中はタイマ動作を開始しないでください。

22.4.5 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号を以下のように数学的に表します。

$$\text{イベント番号} = \text{カウンタ [AGT レジスタ] の初期値} - \text{アクティブイベント終了のカウンタ値}$$
- パルス幅測定モードでは、パルス幅を以下のように数学的に表します。

$$\text{パルス幅} = \text{測定停止のカウンタ値} - \text{次の測定停止のカウンタ値}$$
- パルス周期測定モードでは、入力パルス周期を以下のように数学的に表します。

$$\text{入力パルス周期} = (\text{カウンタ [AGT レジスタ] の初期値} - \text{読み出しバッファの読み出し値}) + 1$$

22.4.6 TSTOP ビットによってカウントを強制停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制停止した後は、カウントソースの 1 サイクル間、以下の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

22.4.7 カウントソースに AGT0 アンダーフローを選択した場合

カウントソースに AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

(1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します (AGT1.AGTMR1.TCK[2:0] ビットに 000b を書き込みます)。

22.4.8 I/O レジスタのリセット

AGT の I/O レジスタは、異なる種類のリセットで初期化されるとは限りません。詳細は、「[5. リセット](#)」を参照してください。

22.4.9 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

22.4.10 カウントソースに AGTLCLK または AGTSCLK を選択した場合

MSTPCRD レジスタの MSTPD2 は、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 は、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 または MSTPD3 が 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

23. リアルタイムクロック (RTC)

23.1 概要

RTCには、カレンダーカウントモードとバイナリカウントモードの2種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードでは、RTCは2000年から2099年まで100年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、RTCは秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとして、サブクロック発振器またはLOCOを選択できます。RTCは、カウントソースをプリスケアラで分周して得られた128Hzクロックを使用します。年、月、日、曜日、午前/午後(12時間モード時)、時、分、秒、または32ビットバイナリを1/128秒単位でカウントします。

表 23.1 に RTC の仕様を、図 23.1 に RTC のブロック図を、表 23.2 に 入出力端子を示します。

表 23.1 RTCの仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック (XCIN) または LOCO
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間/24時間モード切り替え機能 30秒調整機能 (30秒未満は00秒に切り捨て、30秒以上は1分に切り上げ) うるう年自動補正機能 • バイナリカウントモード 秒を32ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (RTC_ALM) アラーム割り込み条件として、比較対照を下記から選択可能 カレンダーカウントモード: 年、月、日、曜日、時、分、秒 バイナリカウントモード: 32ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒から選択可能 • 桁上げ割り込み (RTC_CUP) 次のいずれかの条件で割り込み発生 • 64Hzカウンタから秒カウンタへ桁上げが生じたとき • 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能
イベントリンク機能	周期イベント出力 (RTC_PRD)

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≥ カウントソースクロック周波数となるように設定してください。

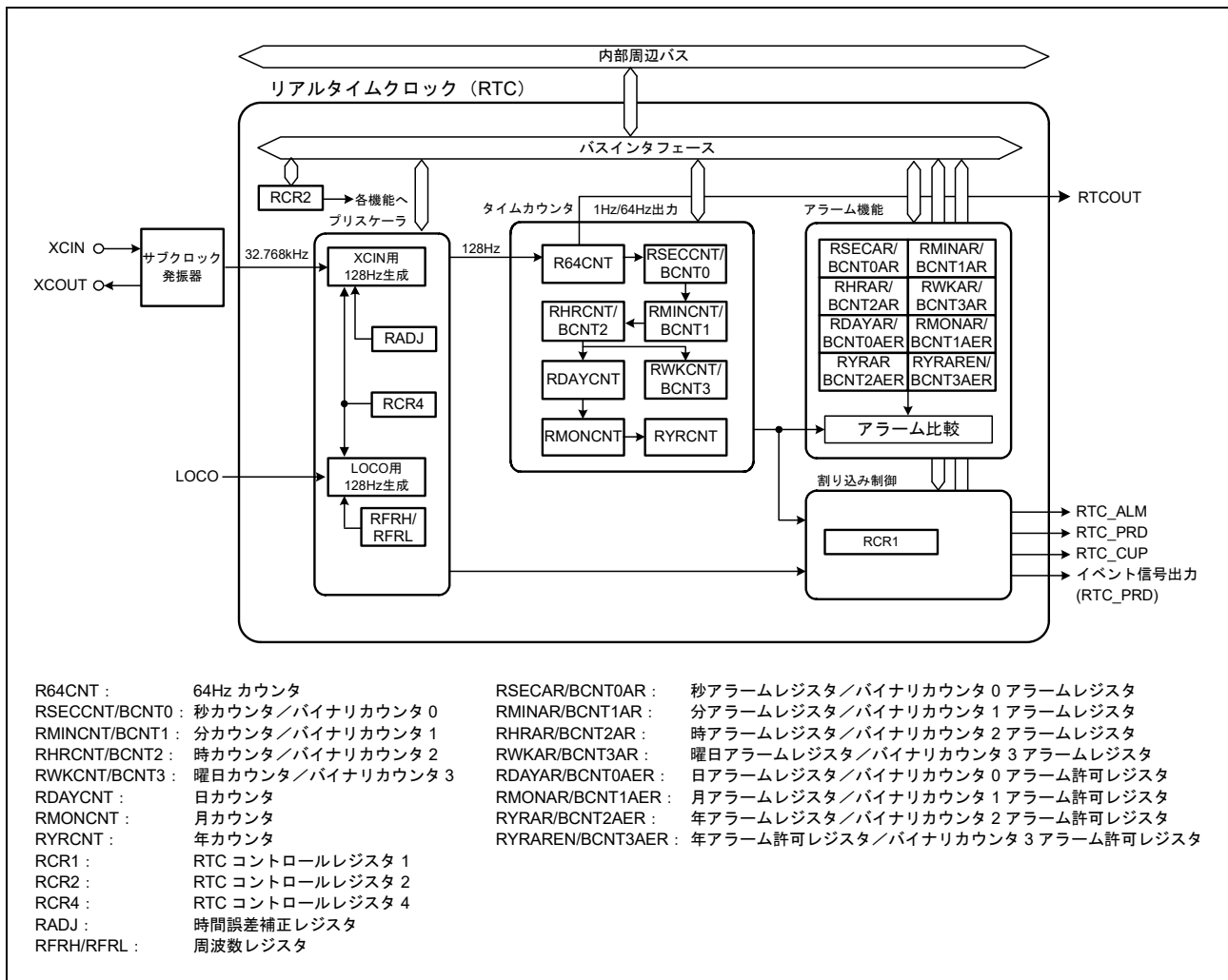


図 23.1 RTC のブロック図

表 23.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOU	出力	
RTCOUT	出力	1Hz/64Hz波形出力に使用します。

23.2 レジスタの説明

RTC レジスタの書き込み/読み出しは、[23.6.5 レジスタの書き込み/読み出し時の注意事項](#)に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x (不定) になっているビットは、リセットで初期化されません。カウント動作時 (たとえば RCR2.START ビットが 1 のとき) に、RTC がリセット状態または低消費電力状態へ遷移した場合、年/月/曜日/日/時/分/秒/64Hz カウンタは動作を継続します。

注. レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードへ遷移しないでください。詳細は、[23.6.4 レジスタ設定後の低消費電力モード遷移について](#)を参照してください。

23.2.1 64Hz カウンタ (R64CNT)

アドレス [RTC.R64CNT 4004 4000h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz	秒以下の桁の 1Hz~64Hz の状態を示します。	R
b1	F32HZ	32Hz		R
b2	F16HZ	16Hz		R
b3	F8HZ	8Hz		R
b4	F4HZ	4Hz		R
b5	F2HZ	2Hz		R
b6	F1HZ	1Hz		R
b7	—	予約ビット	読むと 0 が読めます。	R

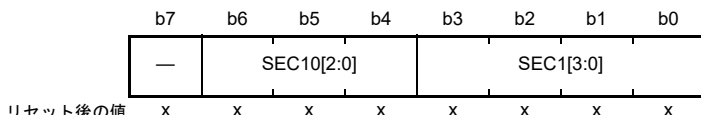
R64CNT カウンタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。64Hz カウンタ (R64CNT) カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整により 00h になります。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.2 秒カウンタ (RSECNT) / バイナリカウンタ 0 (BCNT0)

(1) カレンダーカウントモード時

アドレス [RTC.RSECNT 4004 4002h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウンタ	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	SEC10[2:0]	10秒カウンタ	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

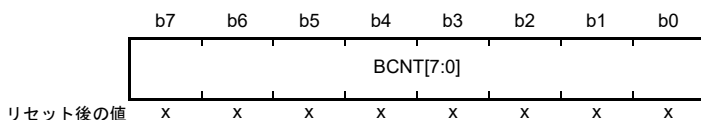
RSECNT カウンタは、BCD コード化された秒の値の設定およびカウントに用いられます。64Hz カウンタでの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進で00～59です。それ以外の値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にRCR2.STARTビットでカウント動作を停止させてください。

このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0 4004 4002h](#)



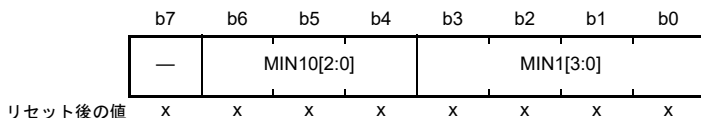
x: 不定

BCNT0 カウンタは、書き込み/読み出し32ビットバイナリカウンタのb7～b0で、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にRCR2.STARTビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

(1) カレンダーカウントモード時

アドレス [RTC.RMINCNT 4004 4004h](#)



x: 不定

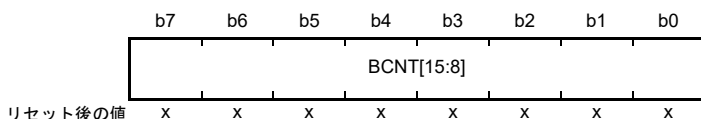
ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウンタ	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	MIN10[2:0]	10分カウンタ	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値の設定およびカウントに用いられます。秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進 (BCD) で00～59です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1 4004 4004h](#)



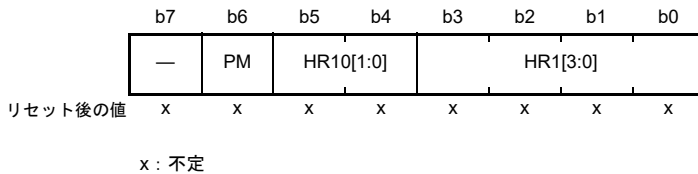
x: 不定

BCNT1 カウンタは、書き込み/読み出し32ビットバイナリカウンタのb15～b8で、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

(1) カレンダーカウントモード時

アドレス [RTC.RHRCNT 4004 4006h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウント	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	HR10[1:0]	10時間カウント	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PM設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

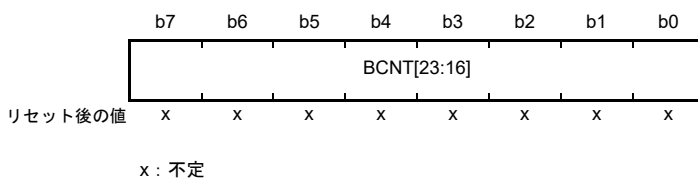
RHRCNT カウンタは、BCD コード化された時間の値の設定およびカウントに用いられます。分カウンタの1時間ごとの桁上げによってカウント動作を行います。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの値は無効です。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2 4004 4006h](#)

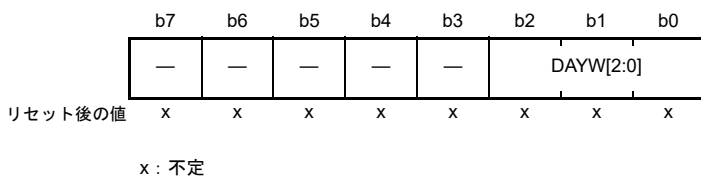


BCNT2 カウンタは、書き込み/読み出し 32 ビットバイナリカウンタの b23 ~ b16 で、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス [RTC.RWKCNT 4004 4008h](#)

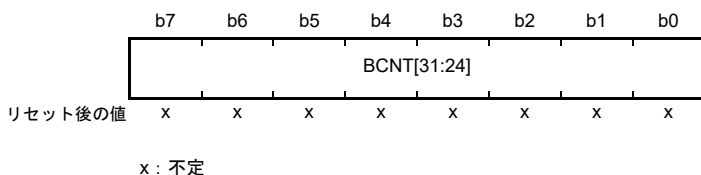


ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	DAYW[2:0]	曜日カウンタ	<table style="font-size: small; border: none;"> <tr> <td>b2</td> <td>b1</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 日</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 月</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 火</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 水</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 木</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 金</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: 土</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: 設定禁止</td> </tr> </table>	b2	b1	b0		0	0	0	: 日	0	0	1	: 月	0	1	0	: 火	0	1	1	: 水	1	0	0	: 木	1	0	1	: 金	1	1	0	: 土	1	1	1	: 設定禁止	R/W
b2	b1	b0																																						
0	0	0	: 日																																					
0	0	1	: 月																																					
0	1	0	: 火																																					
0	1	1	: 水																																					
1	0	0	: 木																																					
1	0	1	: 金																																					
1	1	0	: 土																																					
1	1	1	: 設定禁止																																					
b7-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W																																				

RWKCNT カウンタは、コード化された曜日の値の設定およびカウントに用いられます。時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は0～6です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

(2) バイナリカウントモード時

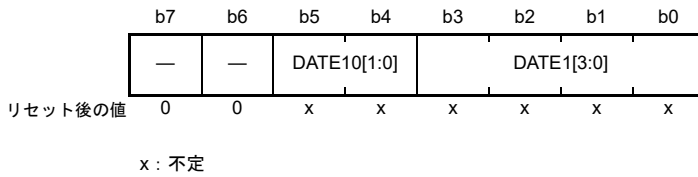
アドレス [RTC.BCNT3 4004 4008h](#)



BCNT3 カウンタは、書き込み/読み出し 32 ビットバイナリカウンタの b31～b24 で、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.6 日カウンタ (RDAYCNT)

アドレス [RTC.RDAYCNT 4004 400Ah](#)



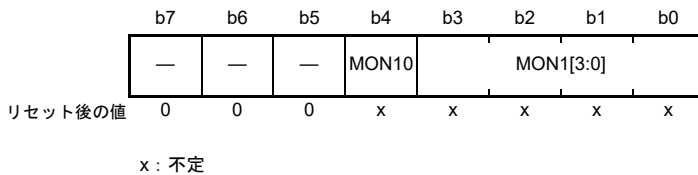
ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウンタ	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	DATE10[1:0]	10日カウンタ	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。RDAYCNT カウンタは、BCD コード化された日の値の設定およびカウントに用いられます。時カウンタの一日ごとの桁上げによってカウント動作を行います。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100、および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01 ~ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.7 月カウンタ (RMONCNT)

アドレス [RTC.RMONCNT 4004 400Ch](#)



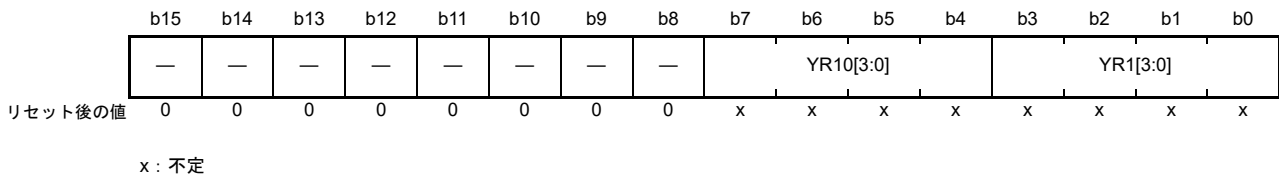
ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウンタ	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	MON10	10月カウンタ	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。RMONCNT カウンタは、BCD コード化された月の値の設定およびカウントに用いられます。日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進 (BCD) で 01 ~ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください。

23.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 4004 400Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウンタ	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウンタ	一の位からの桁上げごとに1回、0から9までカウントします。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

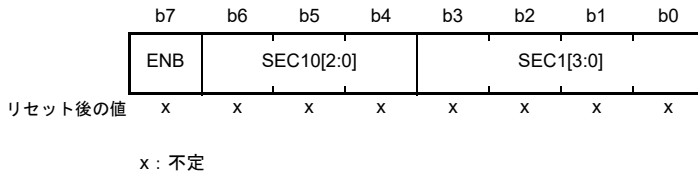
RYRCNT カウンタは、カレンダーカウントモード時に使用します。RYRCNT カウンタは、BCD コード化された年の値の設定およびカウントに用いられます。月カウンタの1年ごとの桁上げによってカウント動作を行います。

設定可能範囲は10進 (BCD) で00～99です。この範囲にない値が設定されると、RTCは正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、23.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

23.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダーカウントモード時

アドレス [RTC.RSECAR 4004 4010h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1 秒	一秒の値の設定値	R/W
b6-b4	SEC10[2:0]	10 秒	十秒の値の設定値	R/W
b7	ENB	ENB	0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

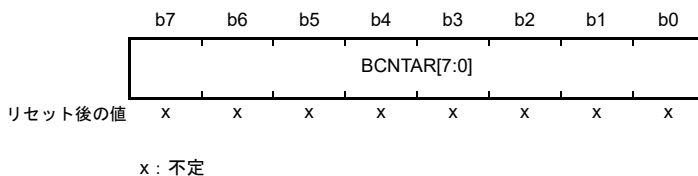
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0AR 4004 4010h](#)

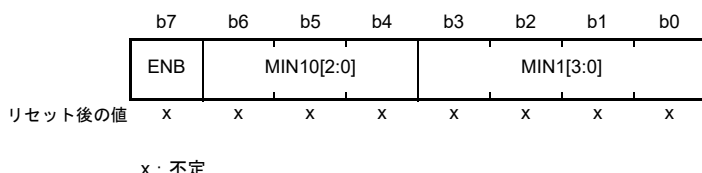


BCNT0AR カウンタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応する書き込み/読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダーカウントモード時

アドレス [RTC.RMINAR 4004 4012h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分	分の値の一の位に対応する値	R/W
b6-b4	MIN10[2:0]	10分	分の値の十の位に対応する値	R/W
b7	ENB	ENB	0: このレジスタ値とRMINCNTカウンタ値との比較を行わない 1: このレジスタ値とRMINCNTカウンタ値との比較を行う	R/W

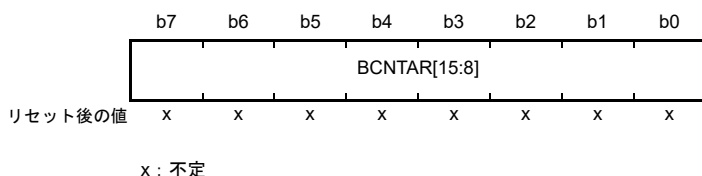
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に関連するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AR 4004 4012h](#)

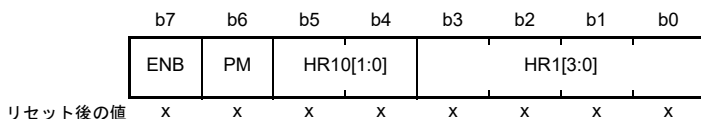


BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ~ b8 部分に対応する書き込み/読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダーカウントモード時

アドレス [RTC.RHRAR 4004 4014h](#)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間	十時間の位の設定値	R/W
b6	PM	PM	時計アラームのAM/PM設定 0: 午前 1: 午後	R/W
b7	ENB	ENB	0: このレジスタ値とRHCNTカウンタ値との比較を行わない 1: このレジスタ値とRHCNTカウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時間カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

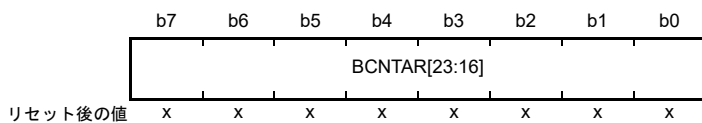
それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ~ 11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00 ~ 23 (BCD)

それ以外の値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、必ず PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定は無効です。このレジスタは、RTC ソフトウェアリセットに実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AR 4004 4014h](#)



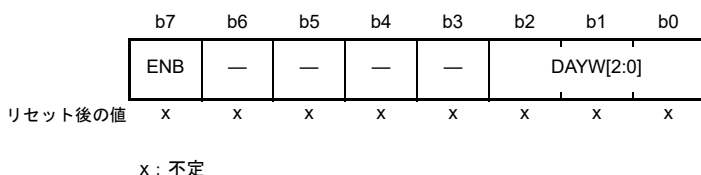
x: 不定

BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応する書き込み／読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダーカウントモード時

アドレス [RTC.RWKAR 4004 4016h](#)



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	DAYW[2:0]	曜日設定	<table style="font-size: small; border: none;"> <tr><td>b2</td><td>b1</td><td>b0</td><td></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>: 日</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>: 月</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>: 火</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>: 水</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>: 木</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>: 金</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>: 土</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>: 設定禁止</td></tr> </table>	b2	b1	b0		0	0	0	: 日	0	0	1	: 月	0	1	0	: 火	0	1	1	: 水	1	0	0	: 木	1	0	1	: 金	1	1	0	: 土	1	1	1	: 設定禁止	R/W
b2	b1	b0																																						
0	0	0	: 日																																					
0	0	1	: 月																																					
0	1	0	: 火																																					
0	1	1	: 水																																					
1	0	0	: 木																																					
1	0	1	: 金																																					
1	1	0	: 土																																					
1	1	1	: 設定禁止																																					
b6-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W																																				
b7	ENB	ENB	0: このレジスタ値とRWKCNTカウンタ値との比較を行わない 1: このレジスタ値とRWKCNTカウンタ値との比較を行う	R/W																																				

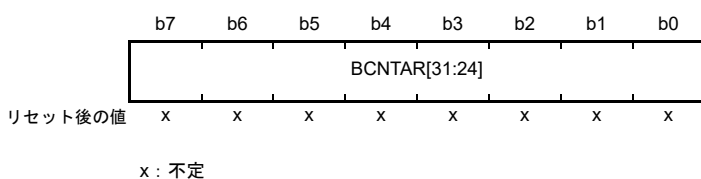
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0 ~ 6 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT3AR 4004 4016h](#)

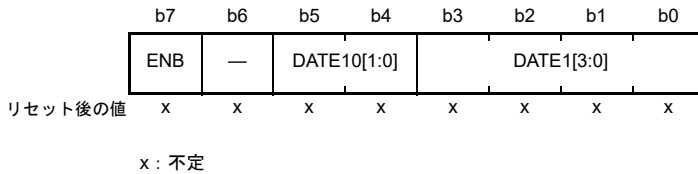


BCNT3AR カウンタは、32 ビットバイナリカウンタの b31 ~ b24 部分に対応する書き込み/読み出しアラームレジスタです。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラームイネーブルレジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス [RTC.RDAYAR 4004 4018h](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日	十日の位の設定値	R/W
b6	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRDAYCNTカウンタ値との比較を行わない 1: このレジスタ値とRDAYCNTカウンタ値との比較を行う	R/W

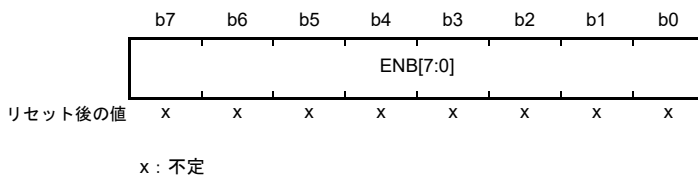
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT0AER 4004 4018h](#)

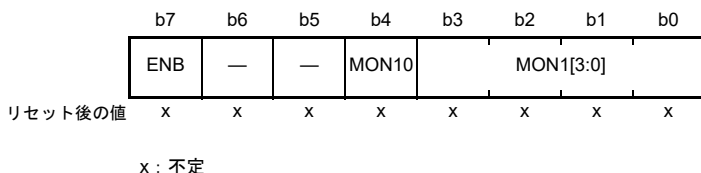


BCNT0AER レジスタは、32 ビットバイナリカウンタの b7 ~ b0 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラームイネーブルレジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス [RTC.RMONAR 4004 401Ah](#)



ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月	一月の値の設定値	R/W
b4	MON10	10月	十月の値の設定値	R/W
b6-b5	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRMONCNTカウンタ値との比較を行わない 1: このレジスタ値とRMONCNTカウンタ値との比較を行う	R/W

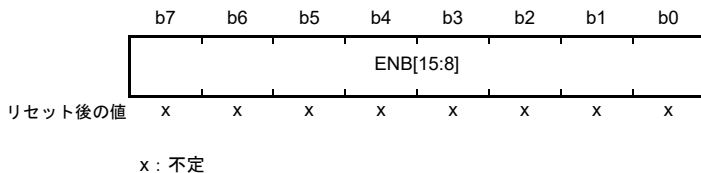
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT1AER 4004 401Ah](#)

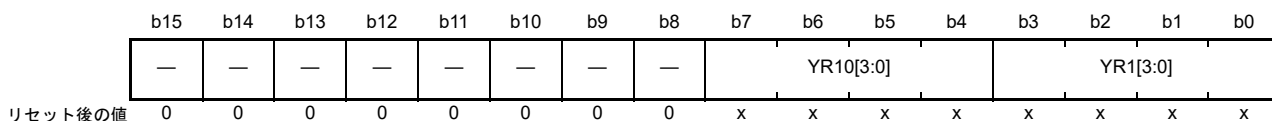


BCNT1AER レジスタは、32 ビットバイナリカウンタの b15 ~ b8 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラームイネーブルレジスタ (BCNT2AER)

(1) カレンダカウントモード時

アドレス [RTC.RYRAR 4004 401Ch](#)



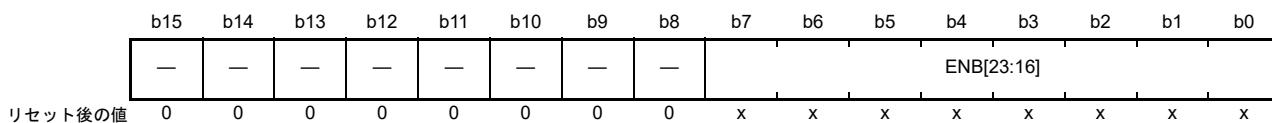
x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年	十年の値の設定値	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00 ~ 99 です。それ以上の値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

(2) バイナリカウントモード時

アドレス [RTC.BCNT2AER 4004 401Ch](#)



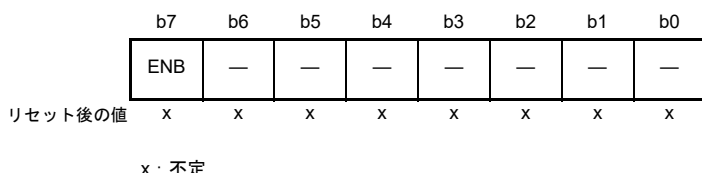
x: 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23 ~ b16 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

23.2.16 年アラームイネーブルレジスタ (RYRAREN) / バイナリカウンタ 3 アラームイネーブルレジスタ (BCNT3AER)

(1) カレンダーカウントモード時

アドレス [RTC.RYRAREN 4004 401Eh](#)



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0: このレジスタ値とRYRCNTカウンタ値との比較を行わない 1: このレジスタ値とRYRCNTカウンタ値との比較を行う	R/W

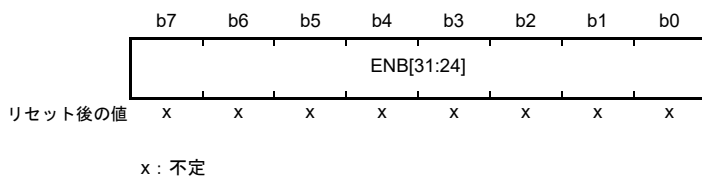
RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

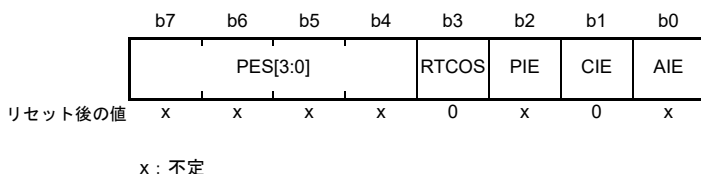
アドレス [RTC.BCNT3AER 4004 401Eh](#)



BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 部分に対応するアラーム許可設定用の書き込み/読み出しレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR[31:0]) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

23.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 4004 4022h



ビット	シンボル	ビット名	機能	R/W																																	
b0	AIE	アラーム割り込み許可	0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W																																	
b1	CIE	桁上げ割り込み許可	0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W																																	
b2	PIE	周期割り込み許可	0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W																																	
b3	RTOS	RTCOUT 出力選択	0: RTCOUTは1Hzを出力 1: RTCOUTは64Hzを出力	R/W																																	
b7-b4	PES[3:0]	周期割り込み選択	<table border="1"> <tr> <td>b7</td><td>b4</td> <td>機能</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>1/256秒ごとに周期割り込みが発生 (注1)</td> </tr> <tr> <td>0 1 1 1</td> <td>1</td> <td>1/128秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 0 0 0</td> <td>0</td> <td>1/64秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 0 0 1</td> <td>1</td> <td>1/32秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 0 1 0</td> <td>0</td> <td>1/16秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 0 1 1</td> <td>1</td> <td>1/8秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 1 0 0</td> <td>0</td> <td>1/4秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 1 0 1</td> <td>1</td> <td>1/2秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 1 1 0</td> <td>0</td> <td>1秒ごとに周期割り込みが発生</td> </tr> <tr> <td>1 1 1 1</td> <td>1</td> <td>2秒ごとに周期割り込みが発生</td> </tr> </table> 上記の設定以外では周期割り込みは発生しません。	b7	b4	機能	0 1 1 0	0	1/256秒ごとに周期割り込みが発生 (注1)	0 1 1 1	1	1/128秒ごとに周期割り込みが発生	1 0 0 0	0	1/64秒ごとに周期割り込みが発生	1 0 0 1	1	1/32秒ごとに周期割り込みが発生	1 0 1 0	0	1/16秒ごとに周期割り込みが発生	1 0 1 1	1	1/8秒ごとに周期割り込みが発生	1 1 0 0	0	1/4秒ごとに周期割り込みが発生	1 1 0 1	1	1/2秒ごとに周期割り込みが発生	1 1 1 0	0	1秒ごとに周期割り込みが発生	1 1 1 1	1	2秒ごとに周期割り込みが発生	R/W
b7	b4	機能																																			
0 1 1 0	0	1/256秒ごとに周期割り込みが発生 (注1)																																			
0 1 1 1	1	1/128秒ごとに周期割り込みが発生																																			
1 0 0 0	0	1/64秒ごとに周期割り込みが発生																																			
1 0 0 1	1	1/32秒ごとに周期割り込みが発生																																			
1 0 1 0	0	1/16秒ごとに周期割り込みが発生																																			
1 0 1 1	1	1/8秒ごとに周期割り込みが発生																																			
1 1 0 0	0	1/4秒ごとに周期割り込みが発生																																			
1 1 0 1	1	1/2秒ごとに周期割り込みが発生																																			
1 1 1 0	0	1秒ごとに周期割り込みが発生																																			
1 1 1 1	1	2秒ごとに周期割り込みが発生																																			

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択 (RCR4.RCKSEL ビット = 1) すると、割り込み発生周期は 1/128 秒ごとになります。

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換える際は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可)

アラーム割り込み要求を許可または禁止します。

CIE ビット (桁上げ割り込み許可)

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ (R64CNT) への桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット (周期割り込み許可)

周期割り込み要求を許可または禁止します。

RTOS ビット (RTCOUT 出力選択)

RTCOUT の出力周期を選択します。RTOS ビットは、必ず、カウント動作停止中 (RCR2.START ビット = 0)、かつ RTCOUT 出力禁止のときに (RCR2.RTCOE ビット = 0) に書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、17.5.1 端子機能の設定手順を参照してください。

PES[3:0] ビット (周期割り込み選択)

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

23.2.18 RTC コントロールレジスタ 2 (RCR2)

(1) カレンダーカウントモード時

アドレス [RTC.RCR2 4004 4024h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: プリスケアラと時計カウンタを停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> 書き込み時 0: 書き込みは無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ (注1) を初期化 読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中 	R/W
b2	ADJ30	30秒調整	<ul style="list-style-type: none"> 書き込み時 0: 書き込みは無効 1: 30秒調整を実行 読み出し時 0: 通常の時計動作中または30秒調整が完了 1: 30秒調整処理中 	R/W
b3	RTCOE	RTCOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正機能許可 (注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	AADJP	自動補正周期選択 (注2)	0: 1分ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算 1: 10秒ごとにプリスケアラのカウンタ値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	HR24	時間モード	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注 2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント制御に関するレジスタです。

START ビット (スタート)

プリスケアラまたは時計カウンタの停止または動作を再開します。

START ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整)

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケアラと R64CNT カウンタもリセットされます。RTC ソフトウェアリセットを実行すると ADJ30 ビットは 0 になります。

RTC OE ビット (RTCOUT 出力許可)

RTCOUT からの 1Hz/64Hz クロック信号出力を許可します。

RTC OE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTC OE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTC OE ビットを許可にするとともに、この端子にポート制御を設定してください。

AADJE ビット (自動補正機能許可)

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

AADJP ビット (自動補正周期選択)

自動補正周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。

AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

HR24 ビット (時間モード)

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、[23.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

(2) バイナリカウントモード時

アドレス [RTC.RCR2 4004 4024h](#)

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTM D	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラを停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	<ul style="list-style-type: none"> 書き込み時 0: 書き込みは無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ^(注1)を初期化 読み出し時 0: 通常の時計動作中またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット処理中 	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOE	RTCOOUT出力許可	0: RTCOUT出力を禁止 1: RTCOUT出力を許可	R/W
b4	AADJE	自動補正機能許可 ^(注2)	0: 自動補正は禁止 1: 自動補正は許可	R/W
b5	AADJP	自動補正周期選択 ^(注2)	0: 32秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算 1: 8秒ごとにプリスケアラのカウンタ値に対して RADJ.ADJ[5:0]ビット値を加減算	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. LOCO を選択した場合、本ビットの設定は無効です。

START ビット (スタート)

プリスケアラまたはカウンタ (時計) の動作を停止または再開します。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換える際は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセット)

プリスケアラと RTC ソフトウェアリセット対象レジスタを初期化します。

RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット (RTCOE 出力許可)

RTCOE から 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止 (START ビットへの 0 の書き込み) と、RTCOE ビット値の変更は、同時に行わないでください。RTCOE 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット (自動補正機能許可)

自動補正機能を制御 (許可 / 禁止) します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJE ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

AADJP ビット (自動補正周期選択)

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b (補正しない) にしてください。AADJP ビットは、RTC ソフトウェアリセットを実行すると 0 になります。

CNTMD ビット (カウントモード選択)

RTC をカレンダーカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。このビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、23.3.1 電源投入後のレジスタ初期設定の概要を参照してください。

23.2.19 RTC コントロールレジスタ 4 (RCR4)

アドレス RTC.RCR4 4004 4028h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
リセット後の値	0	0	0	0	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0: サブクロック発振器を選択 1: LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するために用いられます。本レジスタは、カレンダーカウントモードとバイナリカウントモードで共通の機能です。RCKSEL ビットを 0 にすると、サブクロック発振器を使用して時計のカウント動作が行われます。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作が行われます。

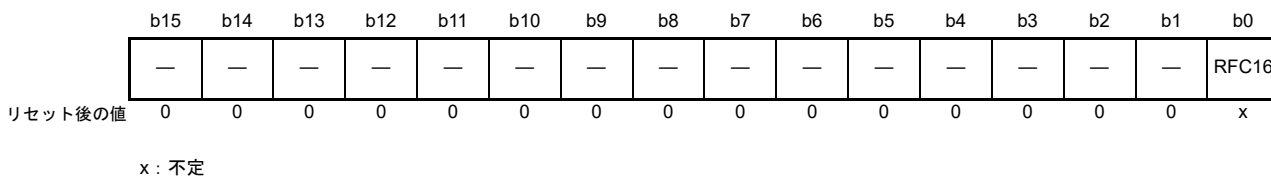
RCKSEL ビット (カウントソース選択)

カウントソースを、サブクロック発振器と LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

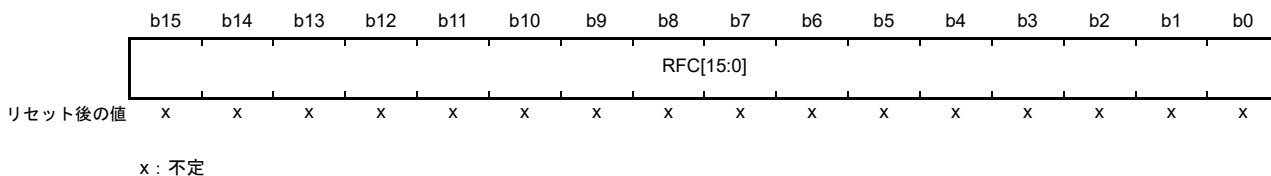
23.2.20 周波数レジスタ (RFRH/RFRL)

アドレス [RTC.RFRH 4004 402Ah](#)



ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRL レジスタに書き込む前に0を書いてください。	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス [RTC.RFRL 4004 402Ch](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO 使用時は、このレジスタに00FFh を書いてください。	R/W

RFRL は、LOCO 選択時のプリスケアラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケアラで LOCO が分周されて 128Hz クロック信号が生成されます。RFC[15:0] ビットには、LOCO 周波数から 128Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、最初に RFC[15:0] へ書き込む前に、RFRH に 0000h を書き込んでください。

周波数比較値の設定可能範囲は、0007h ~ 01FFh です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

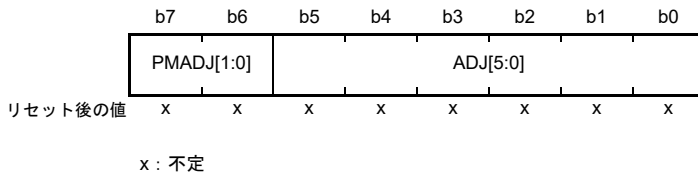
周波数比較値計算方法：

$$RFC[15:0] = (\text{LOCO クロック周波数}) \div 128 - 1$$

LOCO 周波数が 32.768kHz の場合、RFRL レジスタは 00FFh にする必要があります。

23.2.21 時計誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 4004 402Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值	プリスケアラに対する補正值を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0: 補正しない 0 1: プリスケアラに対して値を加えて補正 1 0: プリスケアラに対して値を減じて補正 1 1: 設定禁止	R/W

プリスケアラに値を加えるかまたは値を減じることによって補正を行います。自動補正機能有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正 (自動補正しない設定) では、このレジスタの設定後、カウントソースの 320 サイクル中に次の補正值を設定すると、現在の補正值設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正值を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換える際は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロック発振器を選択した場合にのみ、このレジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0] ビット (補正值)

プリスケアラに対する補正值 (サブクロックのサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナス)

ADJ[5:0] ビットで設定した誤差補正值に従って、時計を進めるか、遅らせるかを選択します。

23.3 動作説明

23.3.1 電源投入後のレジスタ初期設定の概要

電源投入後に、クロック設定、カウントモード設定、時計誤差補正、時刻設定、アラーム、および割り込みコントロールレジスタに対し、それぞれ初期設定を行ってください。

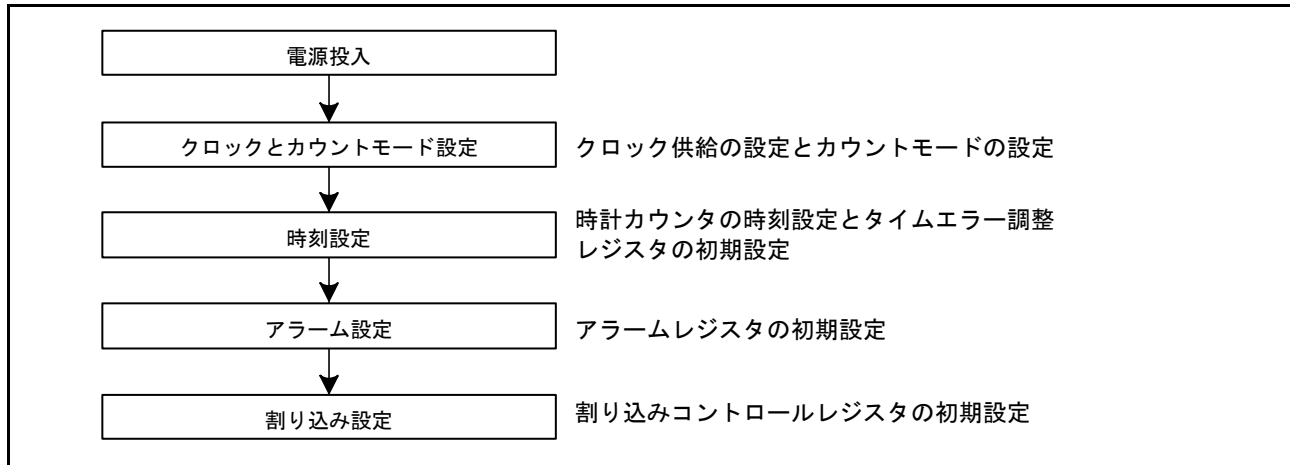


図 23.2 電源投入後の初期設定の概要

23.3.2 クロックおよびカウントモードの設定手順

図 23.3 にクロックおよびカウントモードの設定方法を示します。

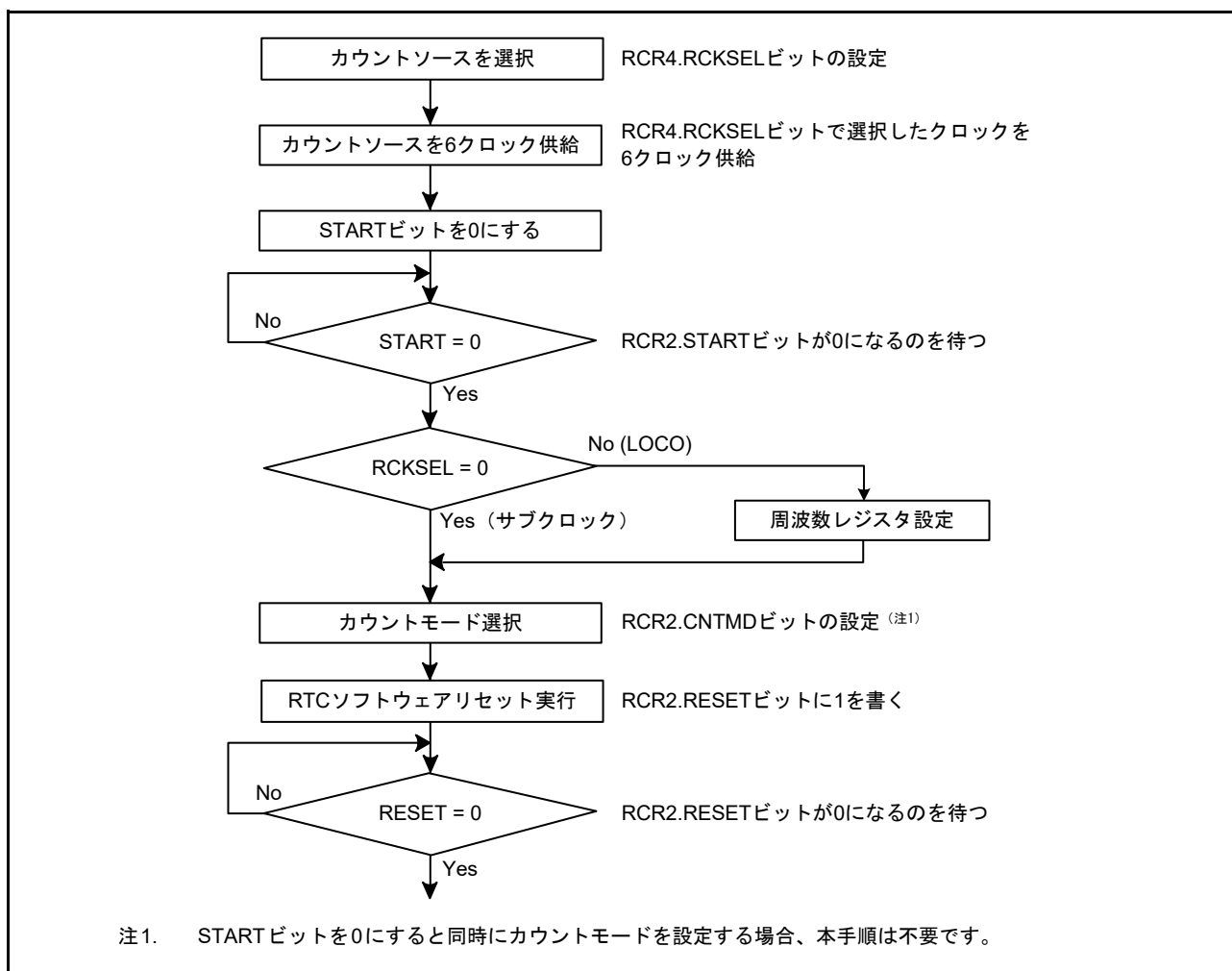


図 23.3 クロックおよびカウントモードの設定手順

23.3.3 時刻の設定

図 23.4 に時刻の設定方法を示します。

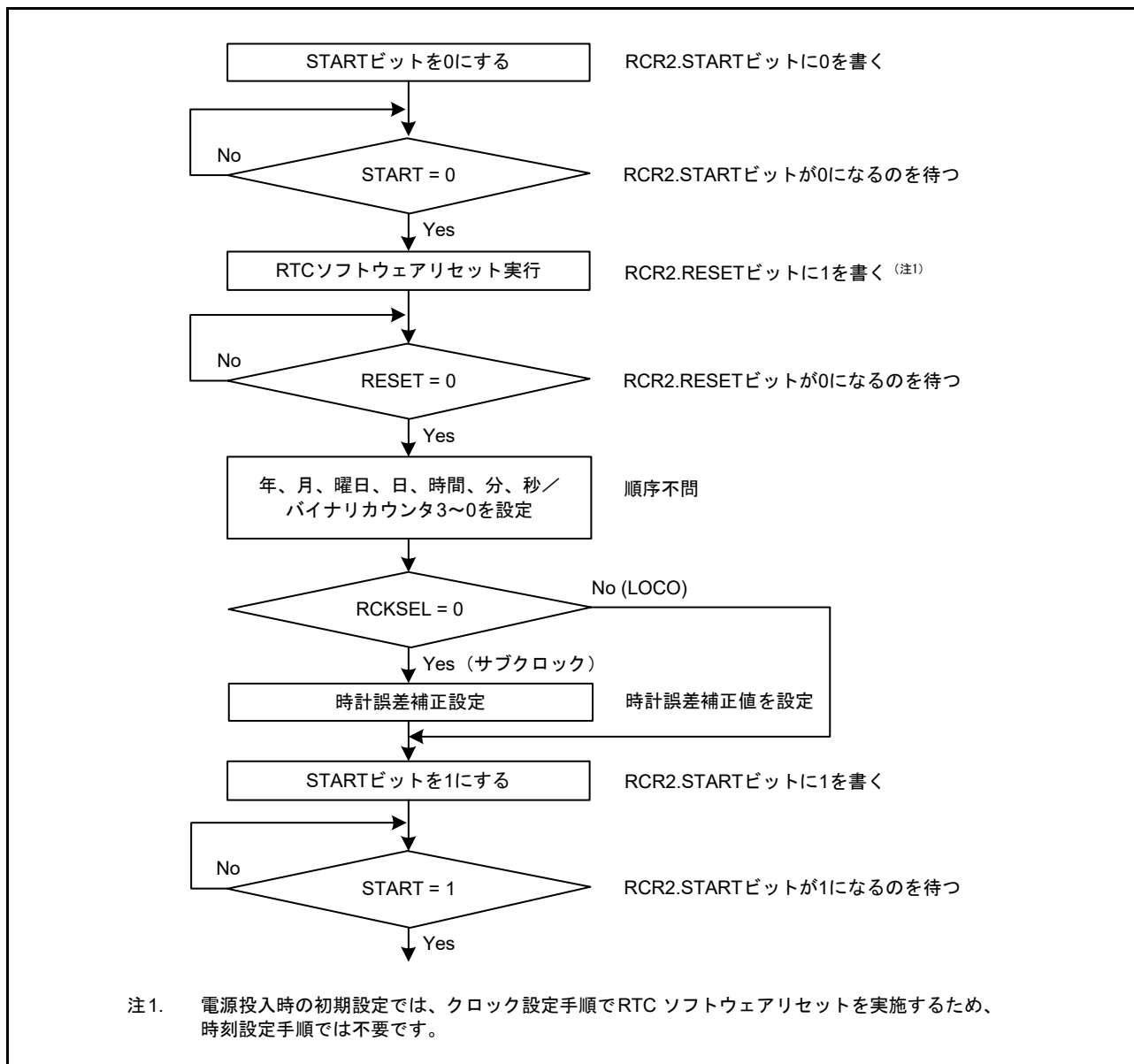


図 23.4 時刻の設定

23.3.4 30 秒調整手順

図 23.5 に 30 秒調整手順を示します。

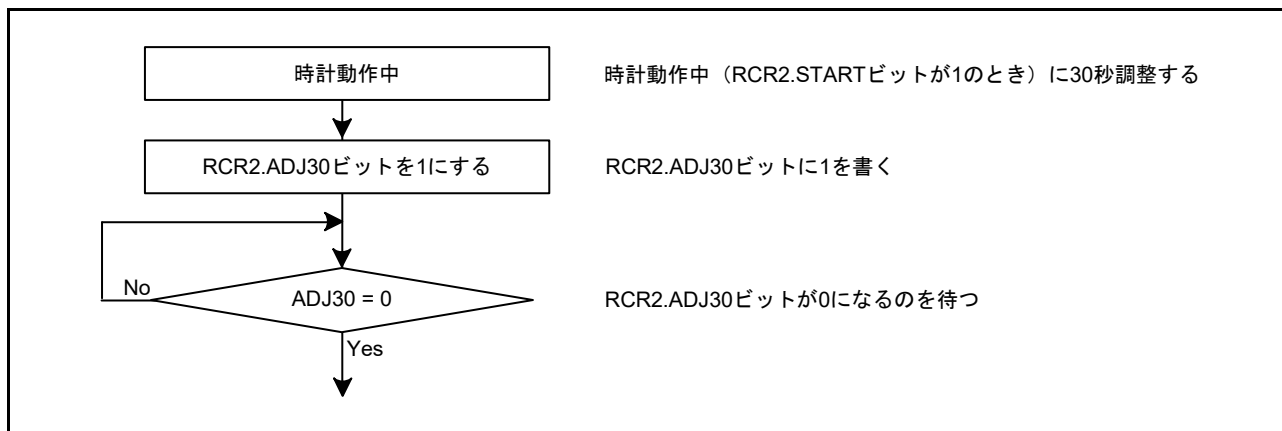


図 23.5 30 秒調整手順

23.3.5 64Hz カウンタと時刻の読み出し

図 23.6 に 64Hz カウンタと時刻の読み出し方法を示します。

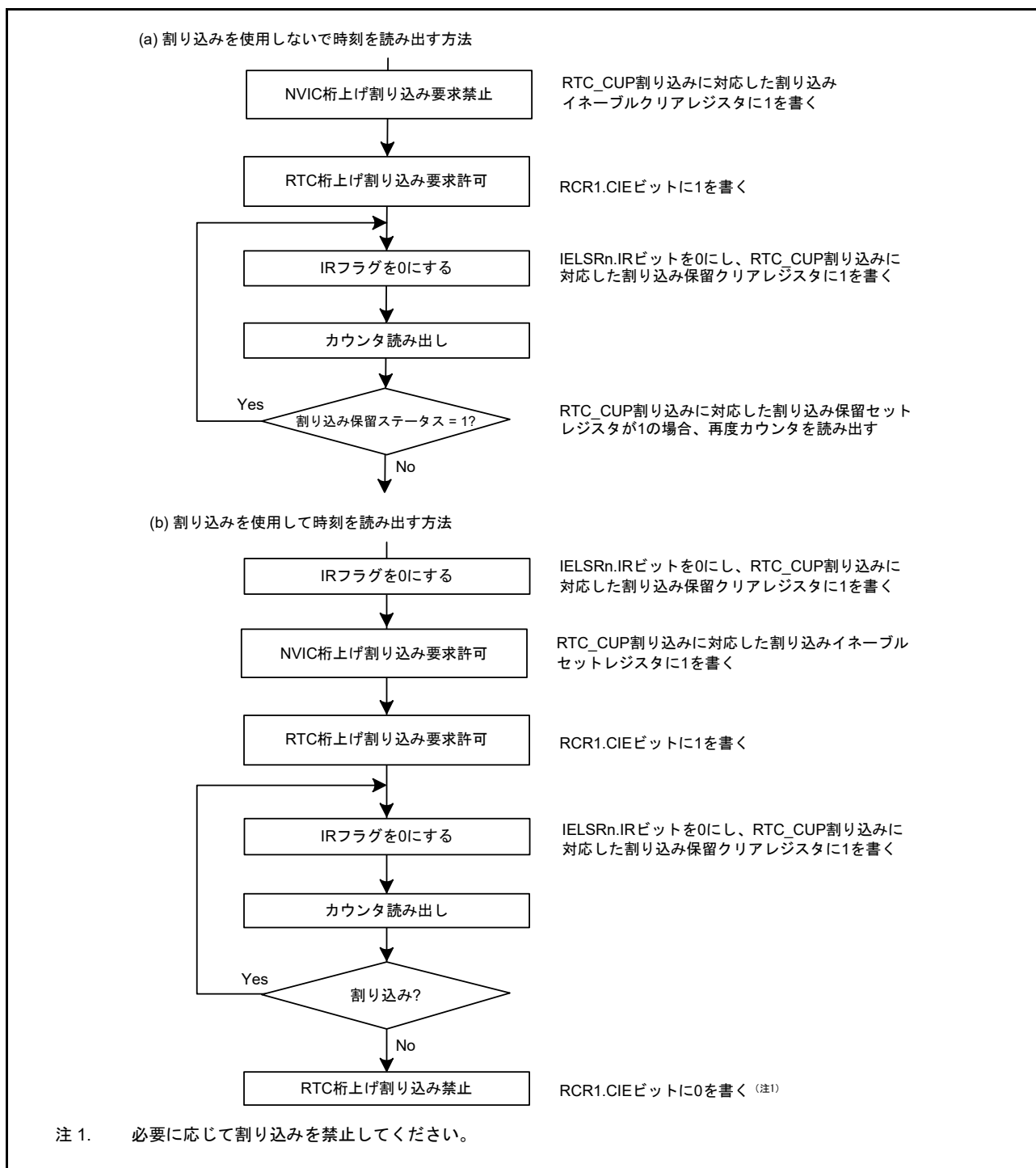


図 23.6 時刻の読み出し手順

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 23.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを容易にするために、方法 (a) を使用してください。

23.3.6 アラーム機能

図 23.7 にアラーム機能の使用方法を示します。

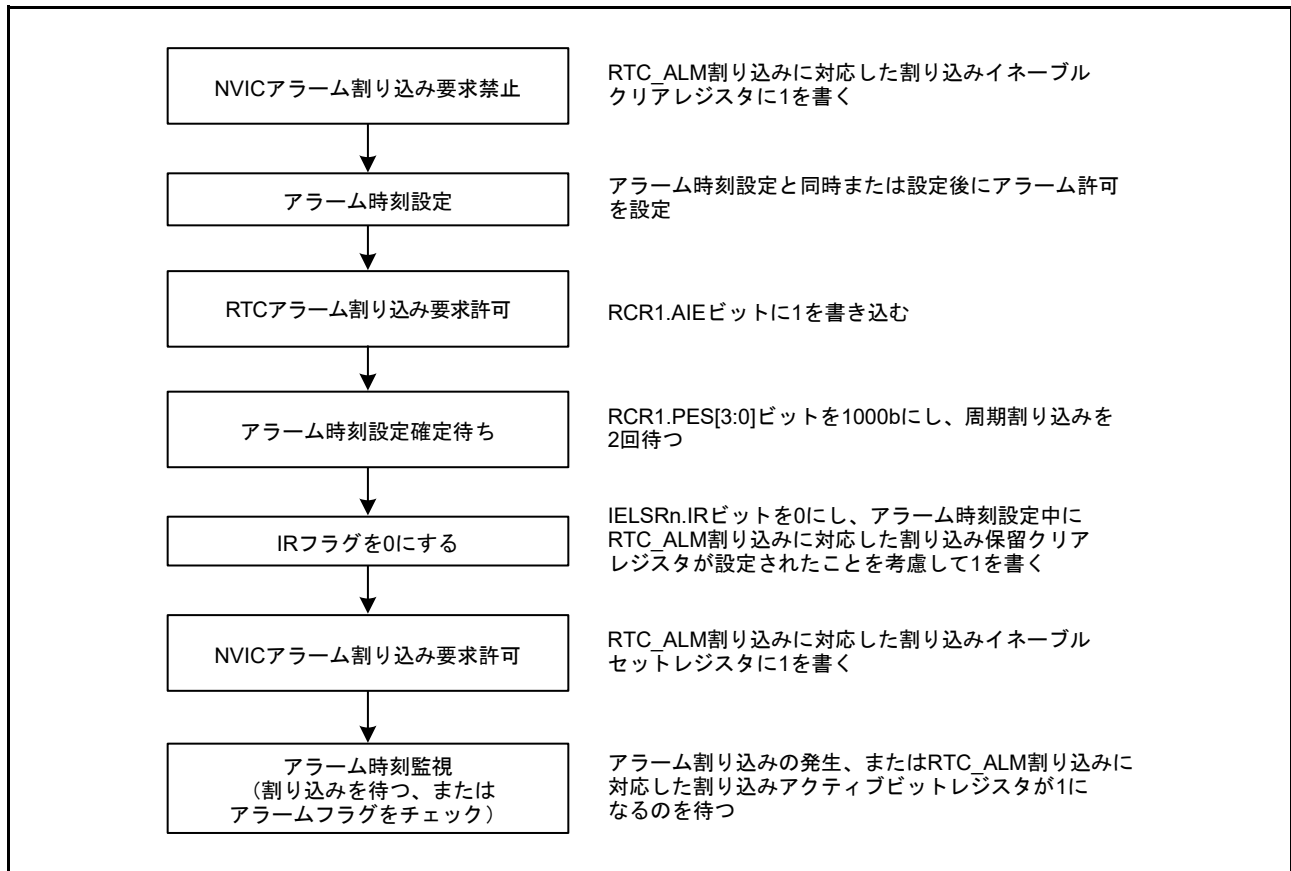


図 23.7 アラーム機能の使用方法

カレンダーカウントモードでは、年、月、日、曜日、時、分、秒のいずれか1つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタはENBビットに0を書き込みます

バイナリカウントモードでは、32ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応したアラームイネーブルレジスタのENBビットに1を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタのENBビットに0を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IRビットと、RTC_ALM割り込みに対応した割り込み設定保留/クリア保留レジスタが1になります。アラームの検出は、RTC_ALM割り込みに対応した割り込み設定保留レジスタを読み出すことで確認できますが、通常は割り込みを使用してください。RTC_ALM割り込みに対応した割り込み設定イネーブルレジスタと割り込みアクティブビットレジスタが1になると、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM割り込みに対応したIELSRn.IRビットは、0を書き込むと0になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM割り込みに対応した割り込み設定保留/クリア保留レジスタと割り込みアクティブビットレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM割り込みに対応した割り込みクリア保留レジスタに1を書いてクリアしてください。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCUは低消費電力状態から復帰します。

23.3.7 アラーム割り込み禁止手順

図 23.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

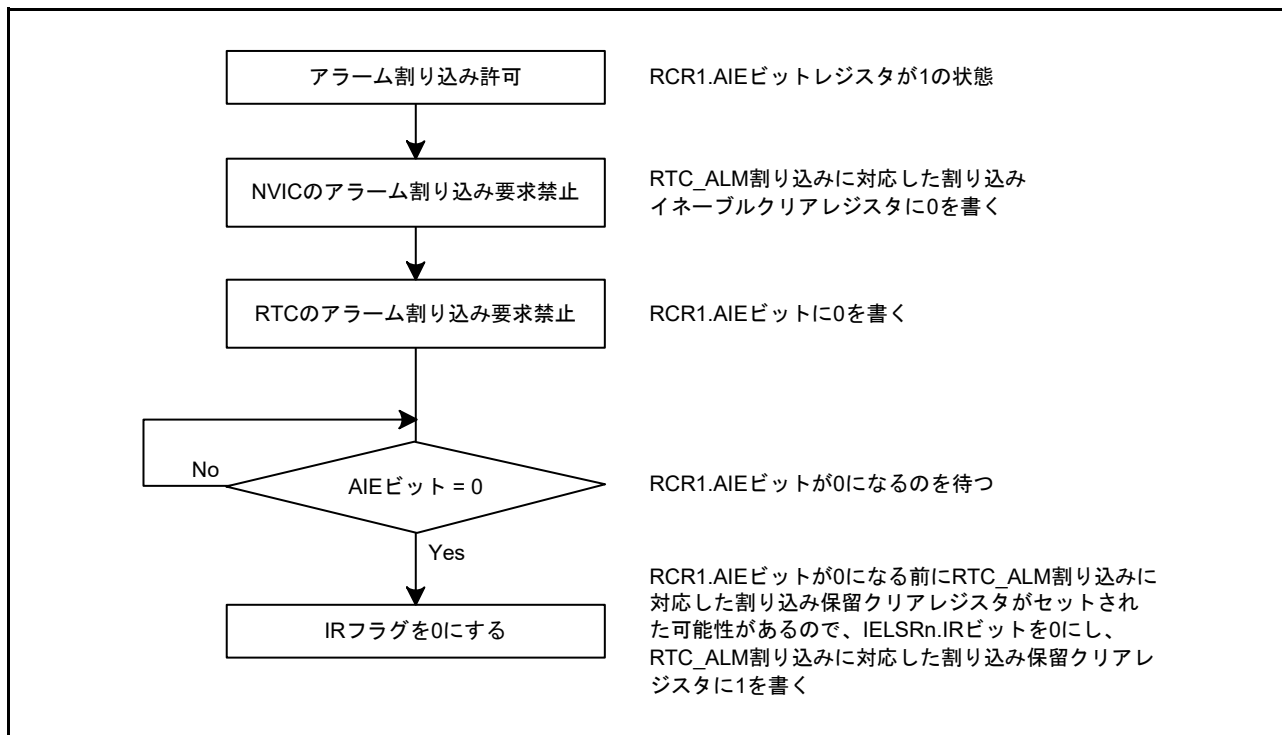


図 23.8 アラーム割り込み要求の禁止手順

23.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時計誤差補正機能には以下の種類があります。

- [自動補正機能](#)
- [ソフトウェアによる補正](#)

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

23.3.8.1 自動補正機能

RCR2.AADJE ビットを 1 にすると、自動補正機能が有効になります。自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケアラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定内容（RCR2.CNTMD = 0 の場合）：

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（プリスケアラに対して値を減算して補正）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

(2) 例 2：サブクロック発振器が 32.766kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.766kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

RCR2.CNTMD ビットが 0（カレンダーカウントモード）の場合のレジスタ設定：

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケアラに対して値を加算して補正）
- RADJ.ADJ[5:0] ビット = 20（14h）

(3) 例 3 : サブクロック発振器が 32.764kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.764kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル遅れるため、8 秒ごとに 32 クロックサイクル分時計を進める方法で補正が可能です。

RCR2.CNTMD ビットが 1 (バイナリカウントモード) の場合のレジスタ設定 :

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (プリスケアラに対して値を加算して補正)
- RADJ.ADJ[5:0] ビット = 32 (20h)

23.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケアラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1 : サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルで動作するように設計されているため、1 秒ごとに 1 クロックサイクル分、時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

(b) レジスタ設定内容

- RADJ.PMADJ[1:0] ビット = 10b (プリスケアラに対して値を減算して補正)
- RADJ.ADJ[5:0] ビット = 1 (01h)
この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

23.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 1 (自動補正機能許可) にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。
2. RCR2.AADJE ビットを 0 (ソフトウェアによる補正を有効) にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

23.3.8.4 補正機能の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0] ビットを 00b (補正しない) にします。

23.4 割り込み要因

RTC には、表 23.3 に示すように、3 種類の割り込み要因があります。

表 23.3 RTCの割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み (RTC_ALM)

アラームレジスタと RTC カウンタとの比較結果に基づいて割り込みが発生します。詳細は、23.3.6 アラーム機能を参照してください。

アラームレジスタの設定時に時計カウンタと一致して、割り込みフラグが 1 になる可能性があるため、アラーム時刻設定の確定を待ってください。アラームレジスタの値を変更した後は、IELSRn.IR ビットと、RTC_ALM 割り込みに対応した割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。

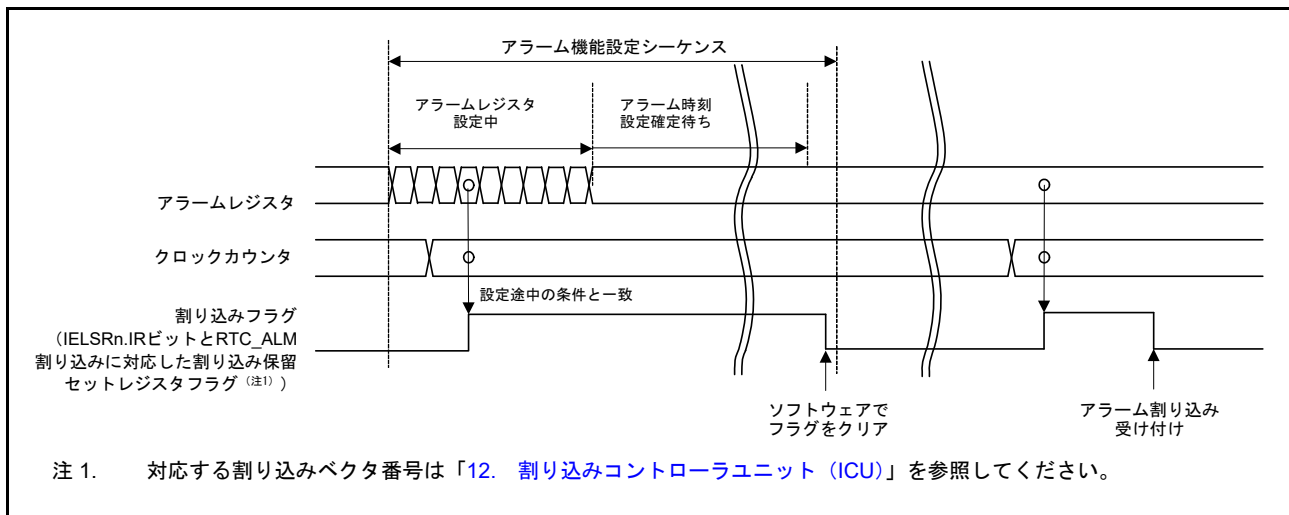


図 23.9 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、秒カウンタ/バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが生じたときに発生します。

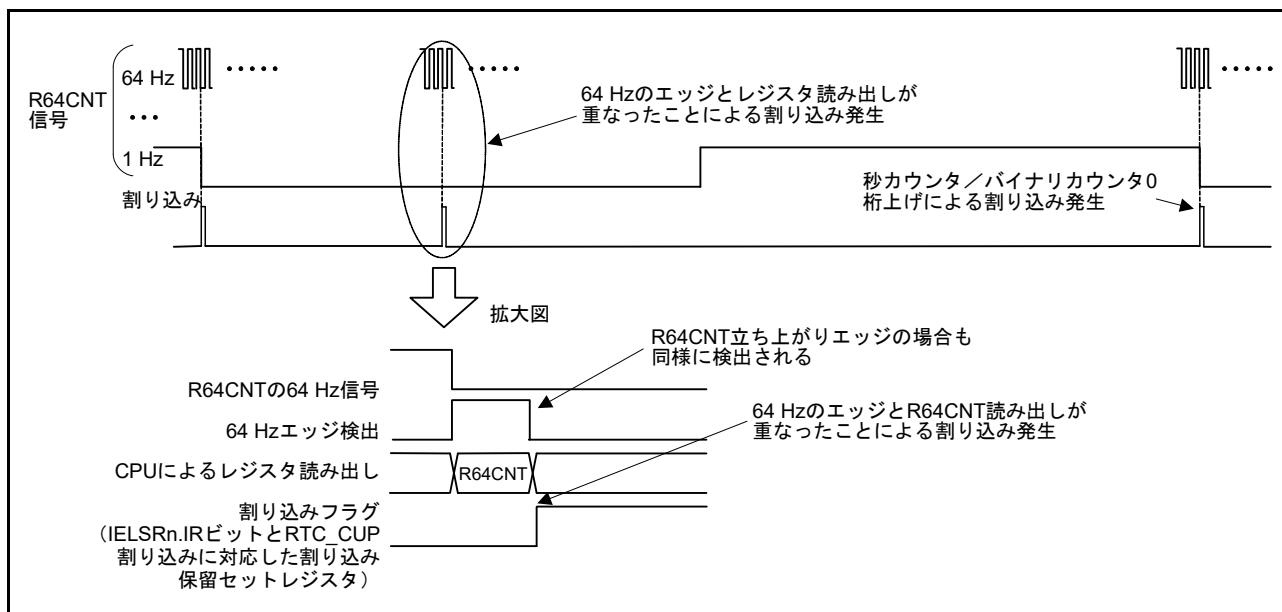


図 23.10 桁上げ割り込み (RTC_CUP) のタイミング図

23.5 イベントリンク出力

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択された周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定 (初期化、時刻設定など) を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号が出力することがあります。

23.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイ中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

23.6 使用上の注意事項

23.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビットが 1 のとき) は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、前もってカウント動作を停止する必要があります。

23.6.2 周期割り込みの使用について

周期割り込みの使用法を [図 23.11](#) に示します。

周期割り込みの周期とその発生は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケアラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。

さらに、RCR2 レジスタ値を変更して、カウント動作の停止/動作/リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、割り込み発生周期に影響が及びます。時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值に従って加算または減算されます。

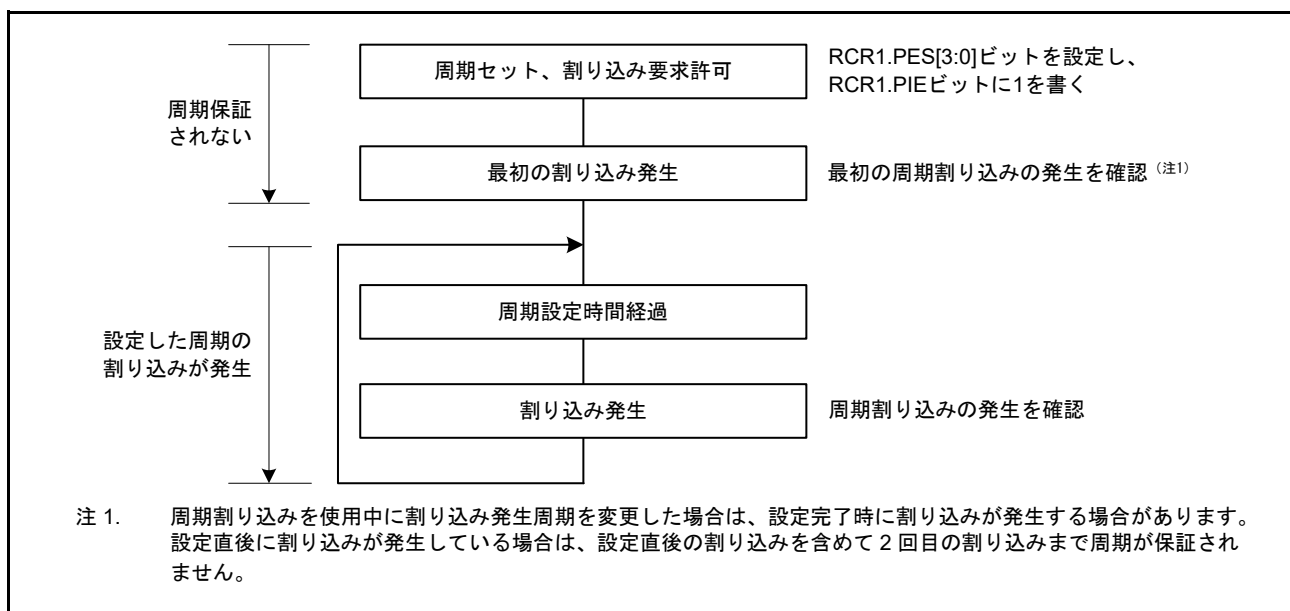


図 23.11 周期割り込み機能の使用法

23.6.3 RTCOUT (1Hz/64Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止/動作/リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力周期に影響が及びます。時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力周期は、補正值に従って加算または減算されます。

23.6.4 レジスタ設定後の低消費電力モード遷移について

RTC レジスタへの書き込み中に低消費電力モードへ遷移すると、レジスタ値が破損する可能性があります。レジスタの設定後は、設定が確定したことを確認してから低消費電力状態へ遷移してください。

23.6.5 レジスタの書き込み/読み出し時の注意事項

- カウンタレジスタ (秒カウンタなど) へ書き込んだ後、そのカウンタレジスタを読み出す際は、[23.3.5 64Hz カウンタと時刻の読み出し](#)に示す手順に従ってください
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます
- リセットまたはソフトウェアスタンバイモード状態から復帰した後、タイマカウンタ値を読み出す際は、時計動作中 (RCR2.START ビット = 1) の状態で 1/128 秒待ってください
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください

23.6.6 カウントモードの変更について

カウントモード (カレンダー/バイナリ) を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、[23.3.1 電源投入後のレジスタ初期設定の概要](#)を参照してください。

23.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

リアルタイムクロックを必要としない製品では、[図 23.12](#) に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0 (サブクロック発振器を選択) にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止させるには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「[8. クロック発生回路](#)」を参照してください。

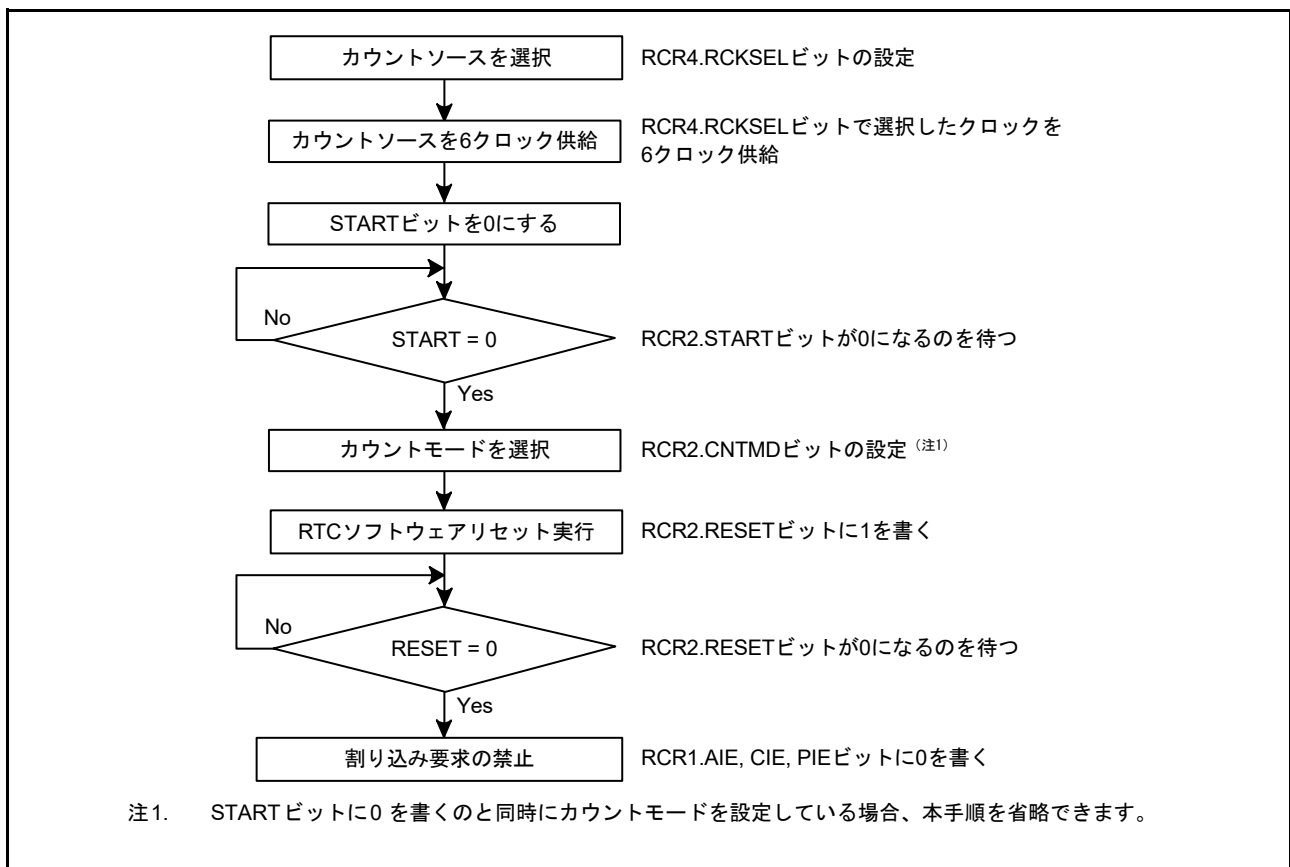


図 23.12 初期化手順

24. ウォッチドッグタイマ (WDT)

24.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするために使用できます。さらに、アンダーフローによって、ノンマスカブル割り込みまたは割り込みを発生させることも可能です。リフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。

表 24.1 に WDT の仕様を、図 24.1 に WDT のブロック図を示します。

表 24.1 WDT の仕様

項目	内容
カウンタソース	周辺クロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始 レジスタスタートモード：リフレッシュ動作 (WDTRRレジスタへの書き込み) によってカウント開始
カウンタ停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダーフローしたとき リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	<ul style="list-style-type: none"> ダウンカウンタアンダーフローイベント出力 リフレッシュエラーイベント出力
出力信号 (内部信号)	<ul style="list-style-type: none"> リセット出力 割り込み要求出力 スリープモードカウント停止制御出力

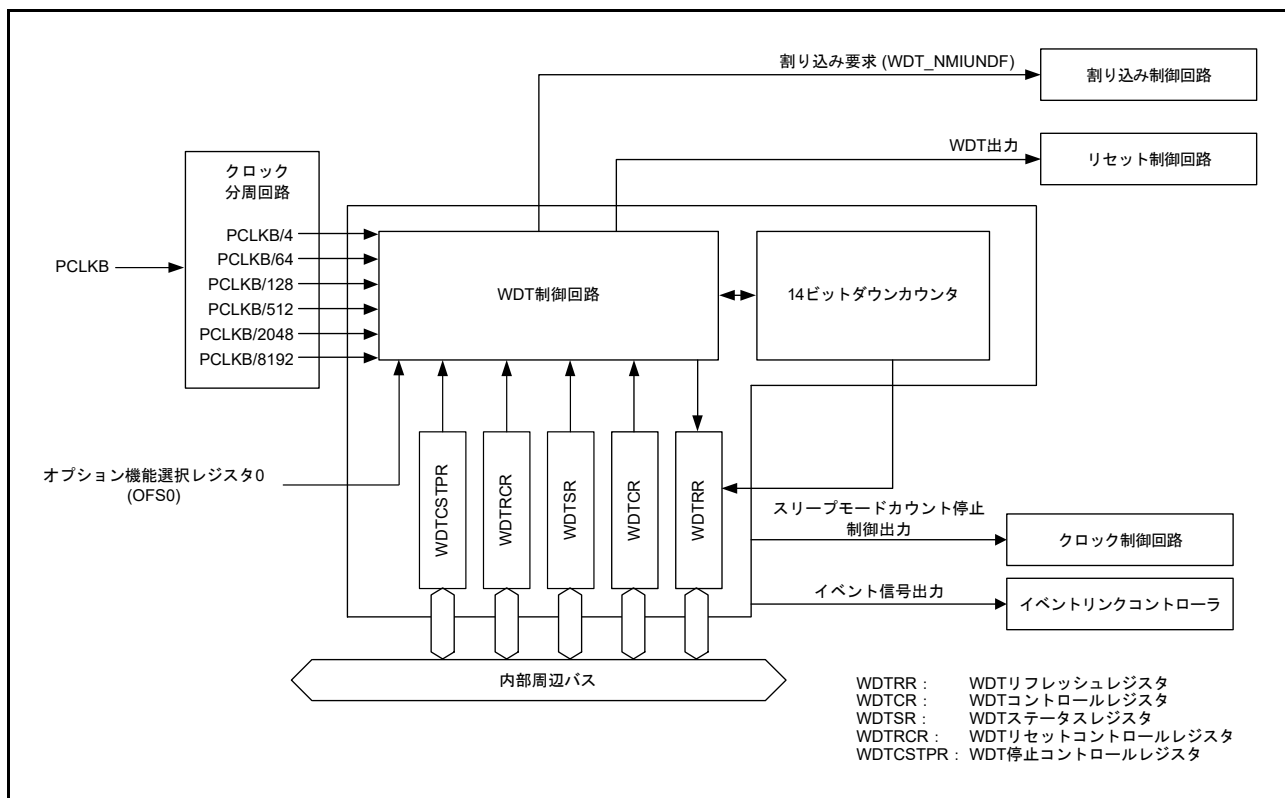
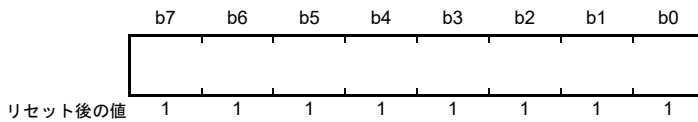


図 24.1 WDT のブロック図

24.2 レジスタの説明

24.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス [WDT.WDTRR 4004 4200h](#)



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

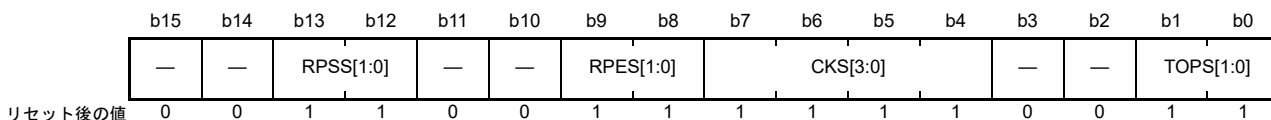
リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウンタがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[24.3.3 リフレッシュ動作](#)を参照してください。

24.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 4004 4202h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウ終了位置の設定なし)	R/W
b11-b10	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウ開始位置の設定なし)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCR、WDTRCR、および WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCR レジスタの各ビットの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせで決定されます。

表 24.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 24.2 タイムアウト期間の設定

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック (PCLKB) の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096 ~ 134217728 サイクルから選択できます。

RPES[1:0] ビット (ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を選択してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ終了位置は 0% になります。

TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 24.3 に、RPSS[1:0] および RPES[1:0] で設定されるリフレッシュ許可期間を図 24.2 に示します。

表 24.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

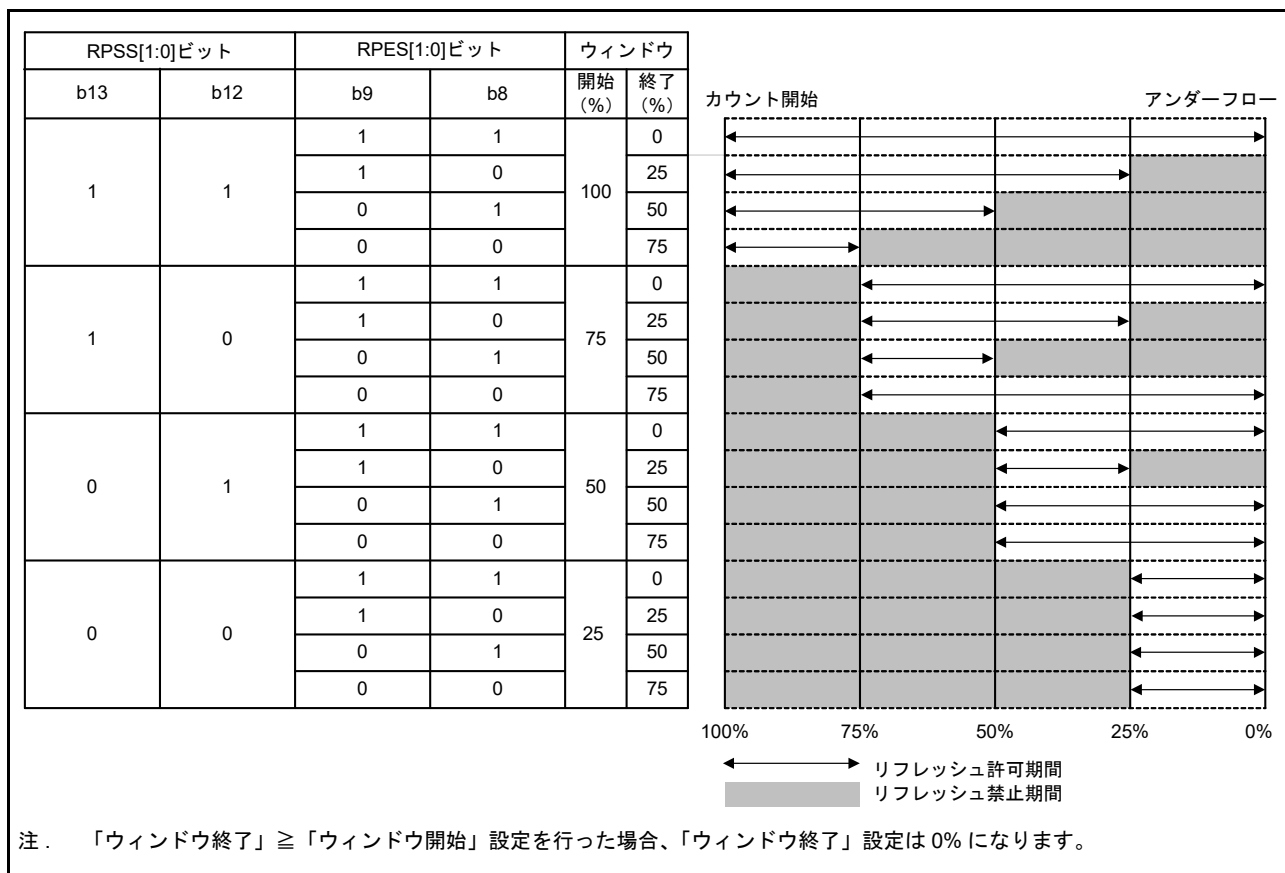
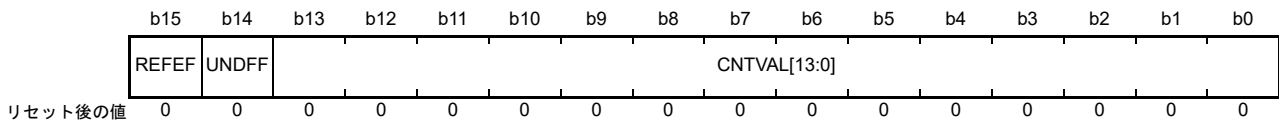


図 24.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

24.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 4004 4204h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダーフローフラグ	0: アンダーフロー発生なし 1: アンダーフロー発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラー発生なし 1: リフレッシュエラー発生あり	R/(W) (注1)

注1. フラグを0にするための0書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウント値から1カウントずれる場合があります。

UNDFE フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには、UNDFE フラグに0を書き込んでください。1の書き込みは無効です。

UNDFE フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から(N+1) PCLKB サイクル数の間は、このフラグをクリアしても無視されます。Nは、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

REFEF フラグ (リフレッシュエラーフラグ)

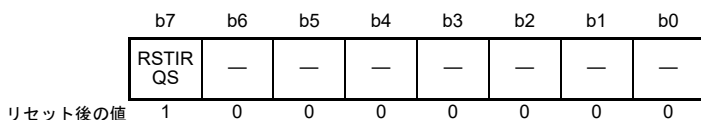
このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには、REFEF フラグに0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から(N+1) PCLKB サイクル数の間は、このフラグをクリアしても無視されます。Nは、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

24.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス WDT.WDTRCR 4004 4206h



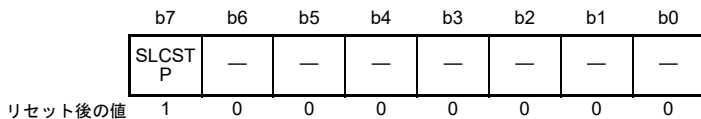
ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	RSTIRQS	リセット割り込み要求選択	0: ノンマスクブル割り込み要求または割り込み要求出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCR](#)、[WDTRCR](#)、および [WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCSR レジスタの各ビットの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

24.2.5 WDT カウント停止コントロールレジスタ (WDTCSR)

アドレス WDT.WDTCSR 4004 4208h



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書き換えることはできません。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSR レジスタは、低消費電力状態において、WDT カウンタを停止させるか否かを制御します。WDTCSR レジスタへの書き込みには、いくつかの制限があります。詳細は、[24.3.2 WDTCSR](#)、[WDTRCR](#)、および [WDTCSR レジスタへの書き込み制御](#)を参照してください。

オートスタートモードの場合、WDTCSR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。WDTCSR レジスタのビットの設定は、OFS0 レジスタでも可能です。詳細は、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

SLCSTP ビット (スリープモードカウント停止制御)

スリープモード遷移時に、カウントを停止させるか否かを選択します。

24.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細については、[24.3.7 オプション機能選択レジスタ 0 \(OFS0\) と WDT レジスタの対応関係](#)を参照してください。

24.3 動作説明

24.3.1 スタートモード別のカウント動作

WDTには、次の2つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：リフレッシュ（リフレッシュレジスタへの書き込み）によってカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ0 (OFS0) の設定に従って自動的にカウントがスタートします。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（リフレッシュレジスタへの書き込み）を行うと、カウントがスタートします。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0レジスタのWDTスタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0レジスタの設定値は無効となり、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

24.3.1.1 レジスタスタートモード

WDTスタートモード選択ビット (OFS0.WDTSTRT) が1の場合、レジスタスタートモードが選択されて、WDTコントロールレジスタ (WDTCR)、WDTリセットコントロールレジスタ (WDTRCR)、およびWDTカウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後に、以下を設定してください。

- クロック分周比
- ウィンドウ開始/終了位置
- WDTCRレジスタにおいて、タイムアウト期間
- WDTRCRレジスタにおいて、リセット出力または割り込み要求出力
- WDTCSSTPRレジスタにおいて、スリープモード遷移時のカウント停止制御

ダウンカウンタをリフレッシュして、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) の設定値からダウンカウントを開始してください。

以降、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、WDTはリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできずダウンカウンタがアンダーフローした場合、あるいはリフレッシュ許可期間外のリフレッシュによりリフレッシュエラーが発生した場合は、WDTはリセット信号またはノンマスクابل割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDTリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。ノンマスクابل割り込み要求または割り込み要求の選択は、WDTアンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 24.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力を許可 (WDTCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

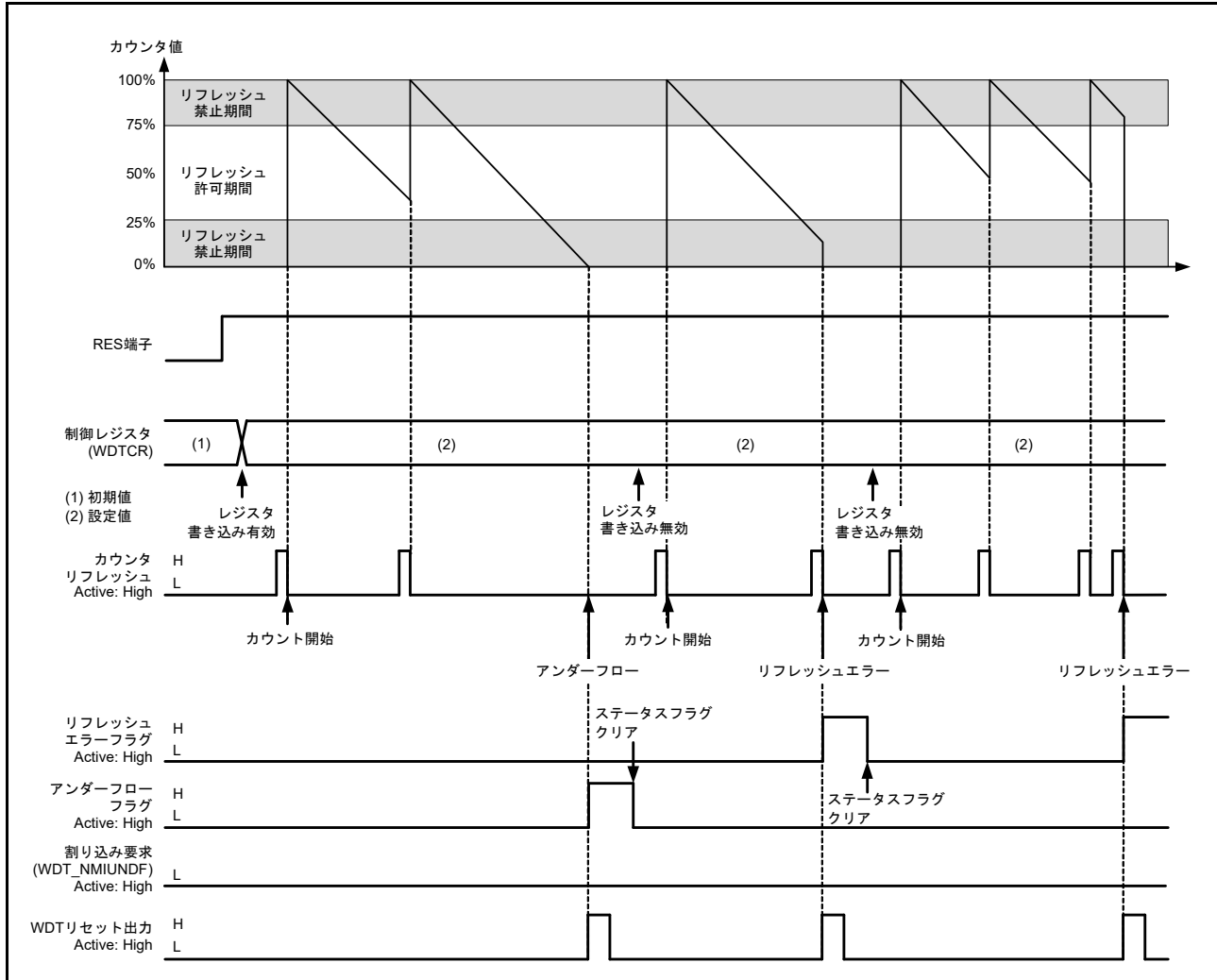


図 24.3 レジスタスタートモードでの動作例

24.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されて、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) が無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、WDT はリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったか、あるいはリフレッシュ許可期間外のリフレッシュ動作によってリフレッシュエラーが発生したため、カウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で行います。

図 24.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

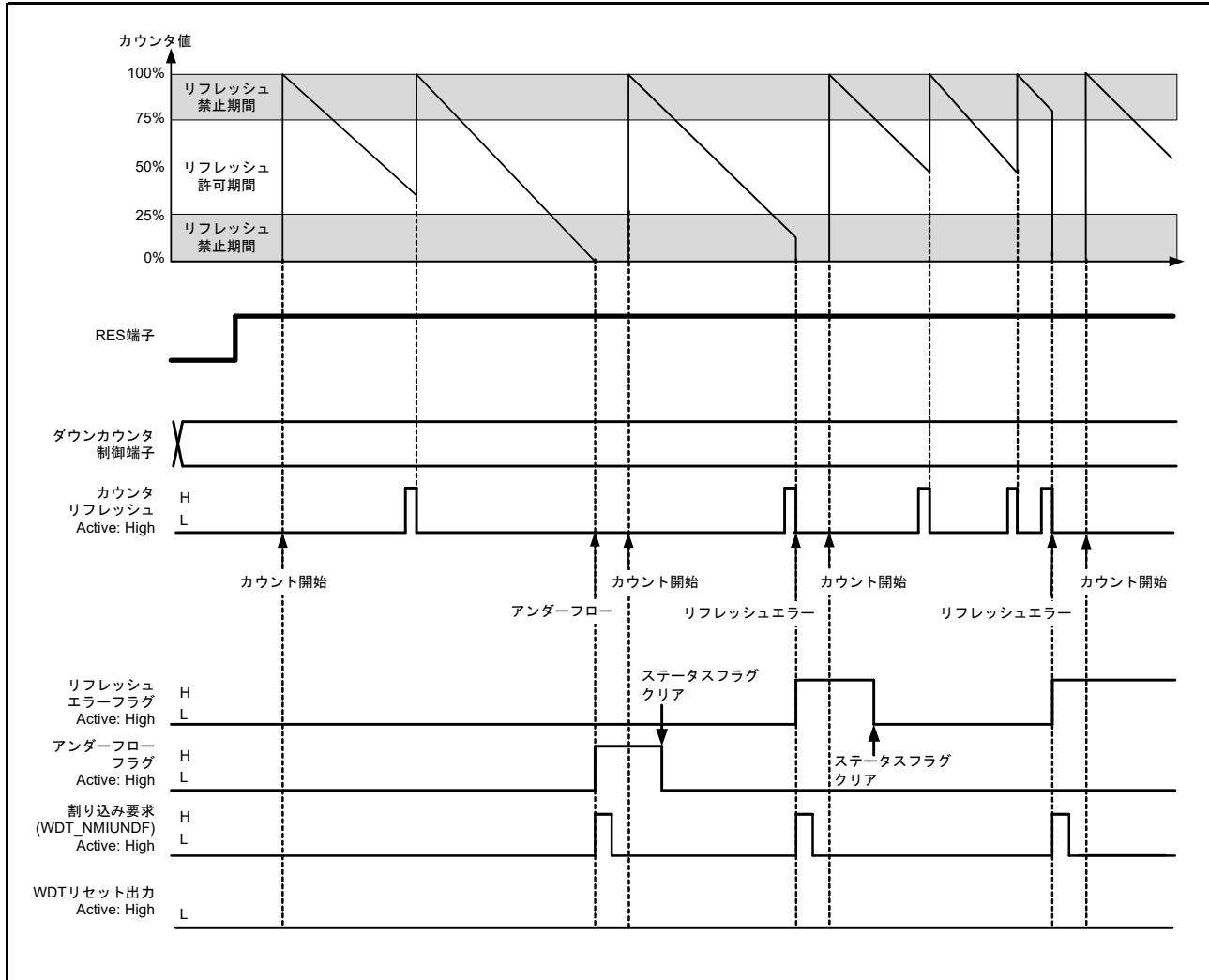


図 24.4 オートスタートモードでの動作例

24.3.2 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ動作 (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後の書き込みから WDTCR、WDTRCR、および WDTCSSTPR レジスタを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 24.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

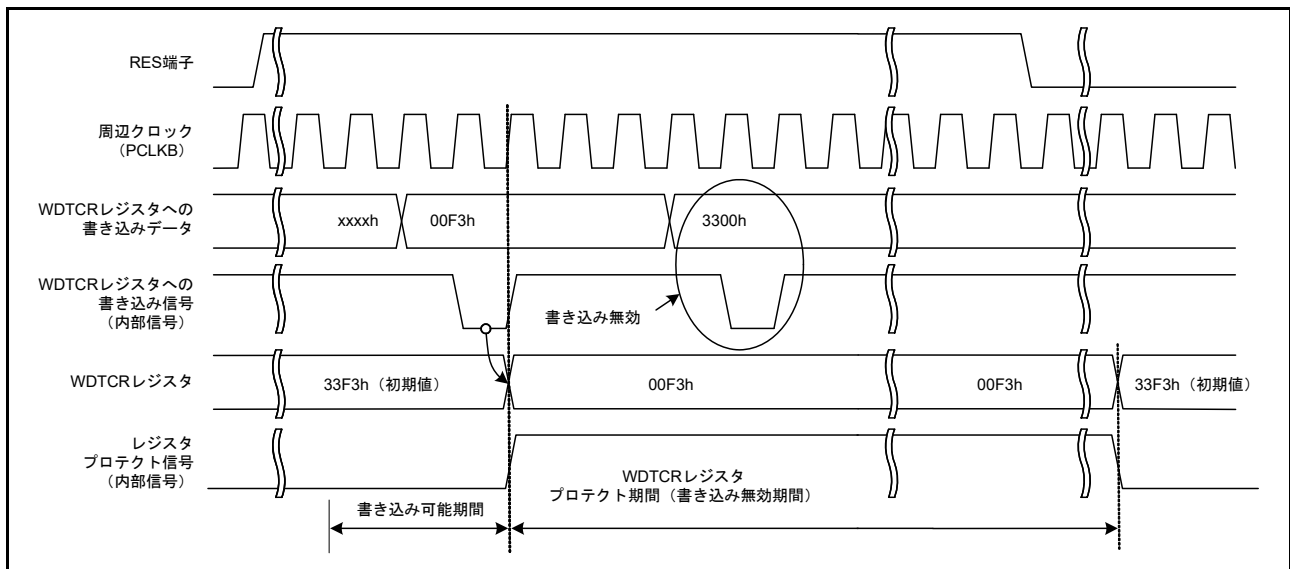


図 24.5 WDTCR レジスタへの書き込みに対して生成される制御波形

24.3.3 リフレッシュ動作

ダウンカウンタは、WDT リフレッシュレジスタ (WDTRR) に 00h と FFh を書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h と FFh を書き込むと、正常にリフレッシュが行われます。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、WDTRR 以外のレジスタにアクセスするか、または WDTRR レジスタを読み出すと、正常にリフレッシュが行われます。

カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間内に行う必要があります。その判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタがアンダーフローする 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了してください。

図 24.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

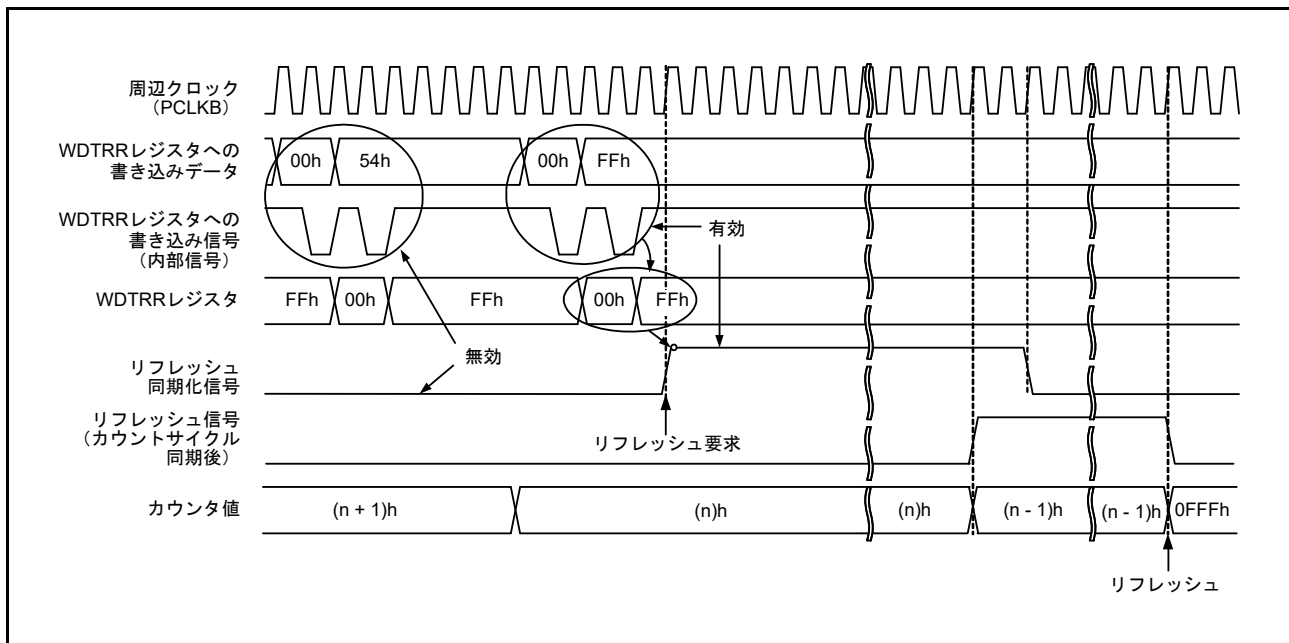


図 24.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

24.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が 1 カウントサイクル間出力されます。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後、リフレッシュ動作を行うと、カウンタが再設定されダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

24.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 24.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動
WDT_NMIUNDF	ダウンカウンタアンダーフロー リフレッシュエラー	不可能

24.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。

図 24.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

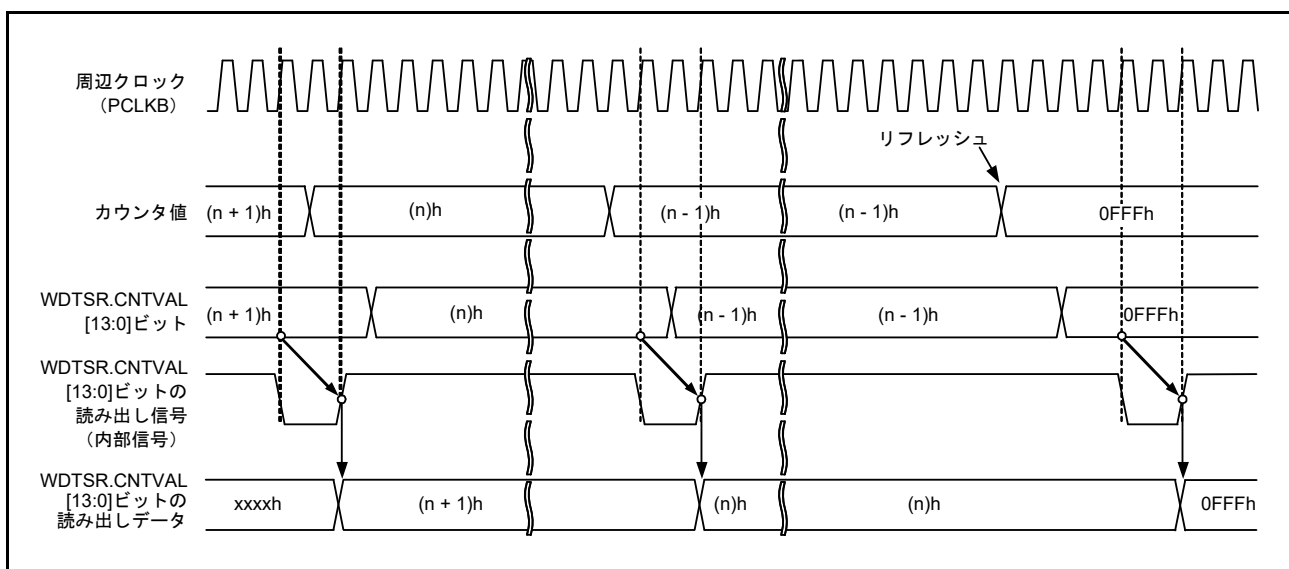


図 24.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合)

24.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

表 24.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0 (OFS0) については、6.2.1 オプション機能選択レジスタ 0 (OFS0) を参照してください。

表 24.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCK[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSR.SLCSTP

24.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、WDT は設定しておいたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードまたはオートスタートモードでのリセット割り込み要求選択ビット (WDTCSR.RSTIRQS) の設定とは無関係に出力されます。また、リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

24.5 使用上の注意事項

24.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定

WDT リセットアサートを許可 (OFS0.WDTRSTIRQS = 1 または WDTCSR.RSTIRQS = 1) にした場合、またはイベントリンク動作を許可 (IELSRm.ELS[7:0] = 18h) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[7:0]) に 18h を設定することは禁止されています。

25. 独立ウォッチドッグタイマ (IWDT)

25.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットダウンカウンタで構成されます。このカウンタはアンダーフロー防止のため周期的に動作させる必要があります。IWDT には、MCU をリセットする機能や、ノンマスクابل割り込みまたはアンダーフロー割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフメカニズムと呼ばれる状態に戻すことに特に役立ちます。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュで自動的に起動します。

IWDT 機能は、WDT と以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モードへ遷移したとき、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止するかの選択が可能

表 25.1 に IWDT の仕様を、図 25.1 に IWDT のブロック図を示します。

表 25.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周 / 16分周 / 32分周 / 64分周 / 128分周 / 256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	• リセット後、自動的にカウント開始
カウンタ停止条件	• リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) • カウンタのアンダーフローまたはリフレッシュエラー発生 (自動的にカウント再開)
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能 (リフレッシュ許可 / 禁止期間)
リセット出力要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクابل割り込み / 割り込み要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号 (内部信号)	• リセット出力 • 割り込み要求出力 • スリープモードカウンタ停止制御出力
オートスタートモード	• リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウンタ停止機能の選択 (OFS0.IWDTSTPCTL ビット)

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

IWDT を使用するには、IWDT 専用クロック (IWDTCLK) を供給する必要があります。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

図 25.1 に IWDT のブロック図を示します。

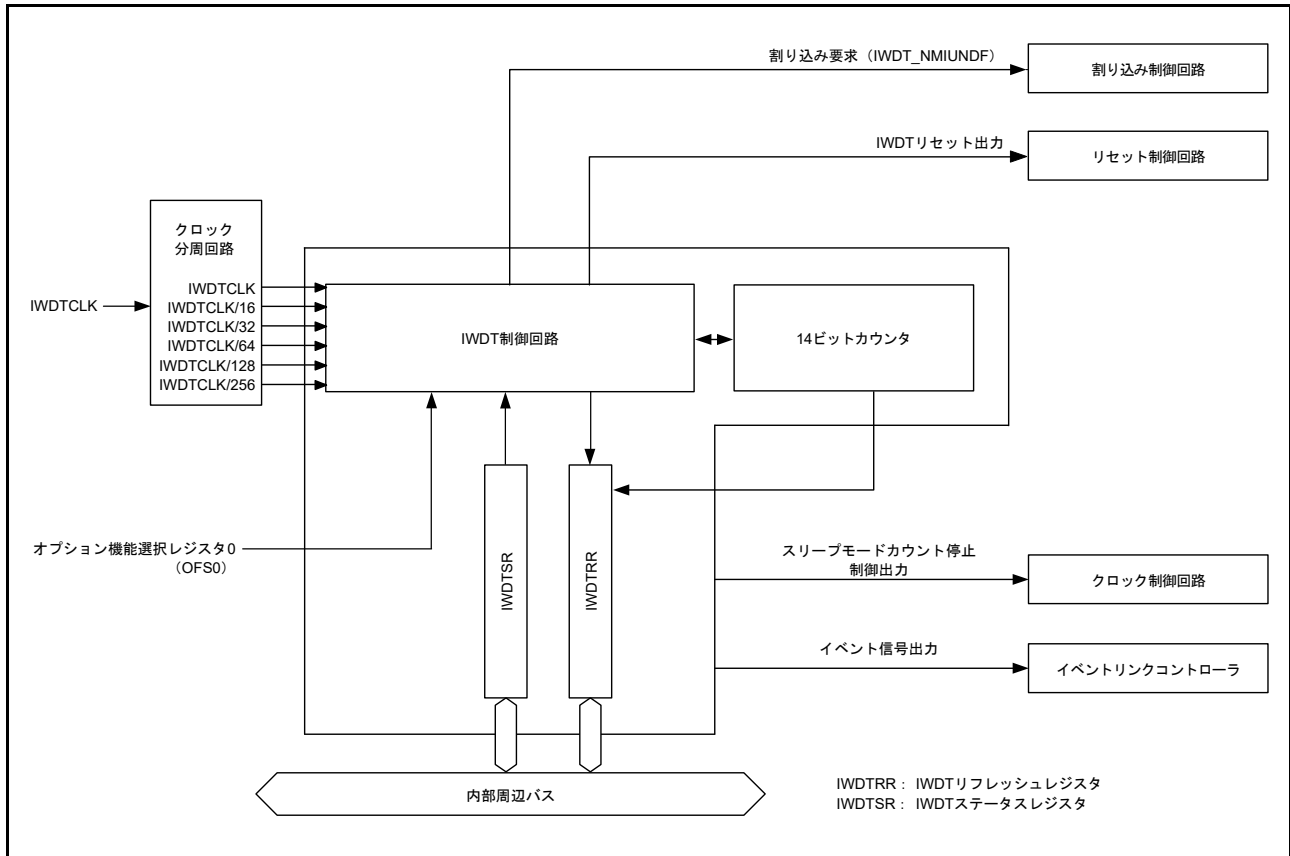
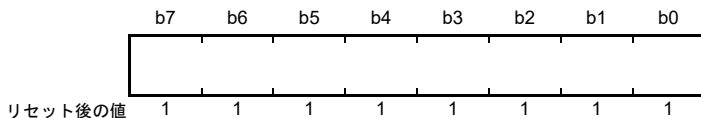


図 25.1 IWDT のブロック図

25.2 レジスタの説明

25.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDTRR 4004 4400h



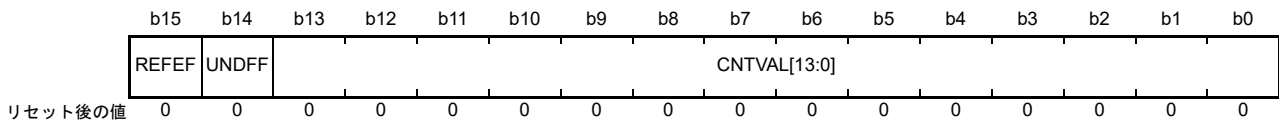
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。リフレッシュ許可期間内に IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと (リフレッシュ動作) により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、[25.3.2 リフレッシュ動作](#)を参照してください。

25.2.2 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDF	アンダーフローフラグ	0: アンダーフローの発生なし 1: アンダーフローの発生あり	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーの発生なし 1: リフレッシュエラーの発生あり	R/(W) (注1)

注1. フラグを0にするための0書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値)

これらのビットを読み出すことにより、ダウンカウンタのカウンタ値を確認できます。ただし読み出し値は、実際のカウント値から1カウントずれる場合があります。

UNDF フラグ (アンダーフローフラグ)

このフラグを読み出すことにより、ダウンカウンタにアンダーフローが発生したか否かを確認できます。読み出し値が1のとき、ダウンカウンタがアンダーフローしたことを示します。値を0にするには、UNDF フラグに0を書き込んでください。1の書き込みは無効です。

UNDF フラグのクリアには、(N+2) IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクルの間は、本フラグをクリアしても無視されます。Nは、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

REFEF フラグ (リフレッシュエラーフラグ)

このフラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。読み出し値が1のとき、リフレッシュエラーが発生したことを示します。値を0にするには、REFEF フラグに0を書き込んでください。1の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと2 PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクルの間は、本フラグをクリアしても無視されます。Nは、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

25.2.3 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) の詳細については、[6.2.1 オプション機能選択レジスタ 0 \(OFS0\)](#) を参照してください。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

タイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの IWDTCLK サイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

表 25.2 に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 25.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK サイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択できます。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK クロックの 128 ~ 524288 サイクルから選択できます。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

リフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置の値より小さい値を選択してください。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

リフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置の値より大きい値を設定してください。ウィンドウ開始位置がウィンドウ終了位置以下であると、ウィンドウ終了位置は 0% になります。

IWDTTOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウント値を表 25.3 に、IWDRPSS[1:0] および IWDRPES[1:0] で設定されるリフレッシュ許可期間を図 25.2 に示します。

表 25.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDTTOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

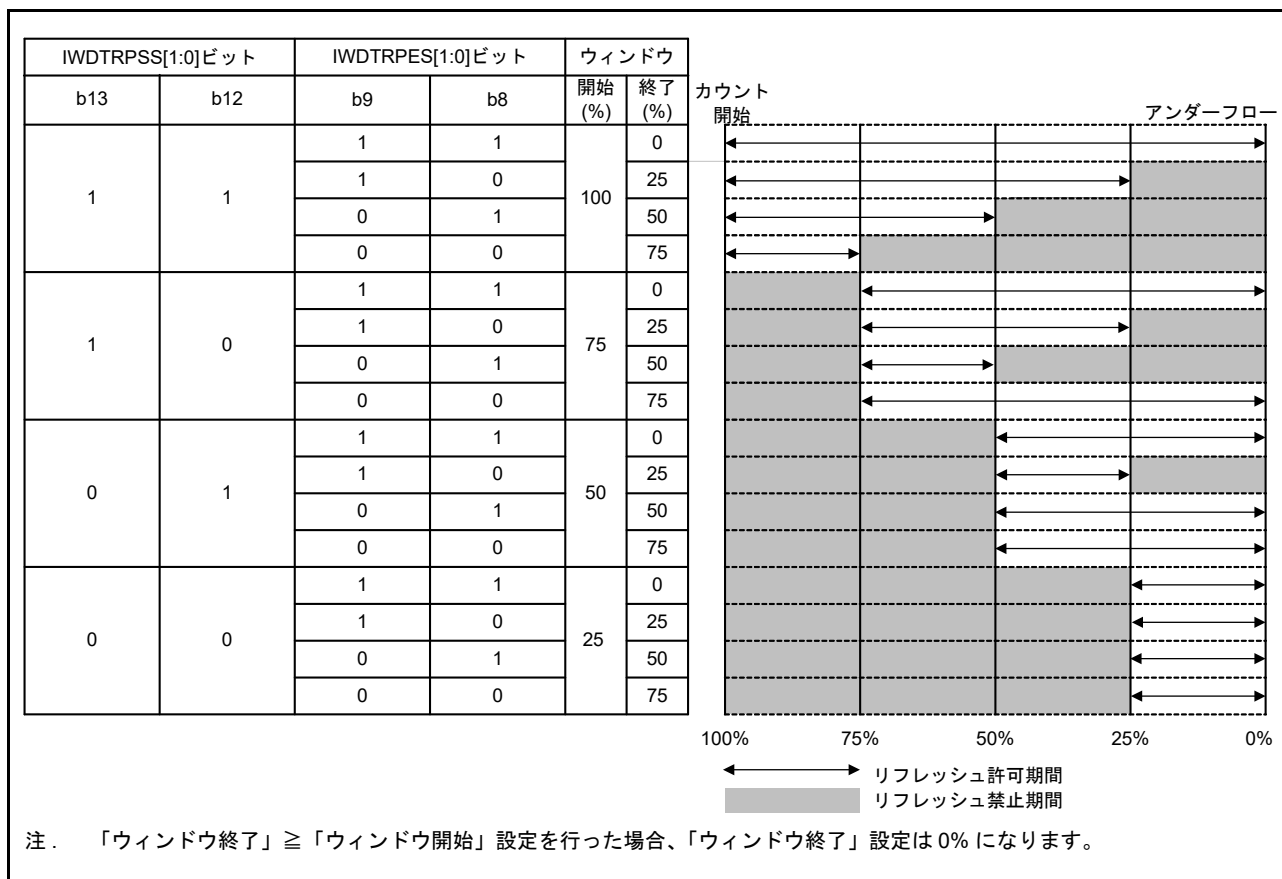


図 25.2 IWDRPSS[1:0] および IWDRPES[1:0] ビットとリフレッシュ許可期間

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1にすると、リセット出力が選択されます。0にすると、ノンマスカブル割り込みまたは割り込みが選択されます。

IWDTSTPCTL ビット (IWDT 停止制御)

スリープモードまたはソフトウェアスタンバイモード遷移時にカウントを停止させるか否かを選択します。

25.3 動作説明

25.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウント停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で選択した値からカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされる限り、リフレッシュごとにカウンタ値がリセットされて、ダウンカウント動作が継続します。カウントが継続する間、IWDT はリセット信号を出力しません。ただし、プログラムのクラッシュや、リフレッシュ許可期間外のリフレッシュ動作に起因したリフレッシュエラーの発生によって、カウンタがアンダーフローした場合は、IWDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (IWDT_NMIUNDF) をアサートします。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。リセット出力または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRQRS) で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、IWDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で行います。

図 25.3 に、下記の条件下での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力を許可 (OFS0.IWDRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

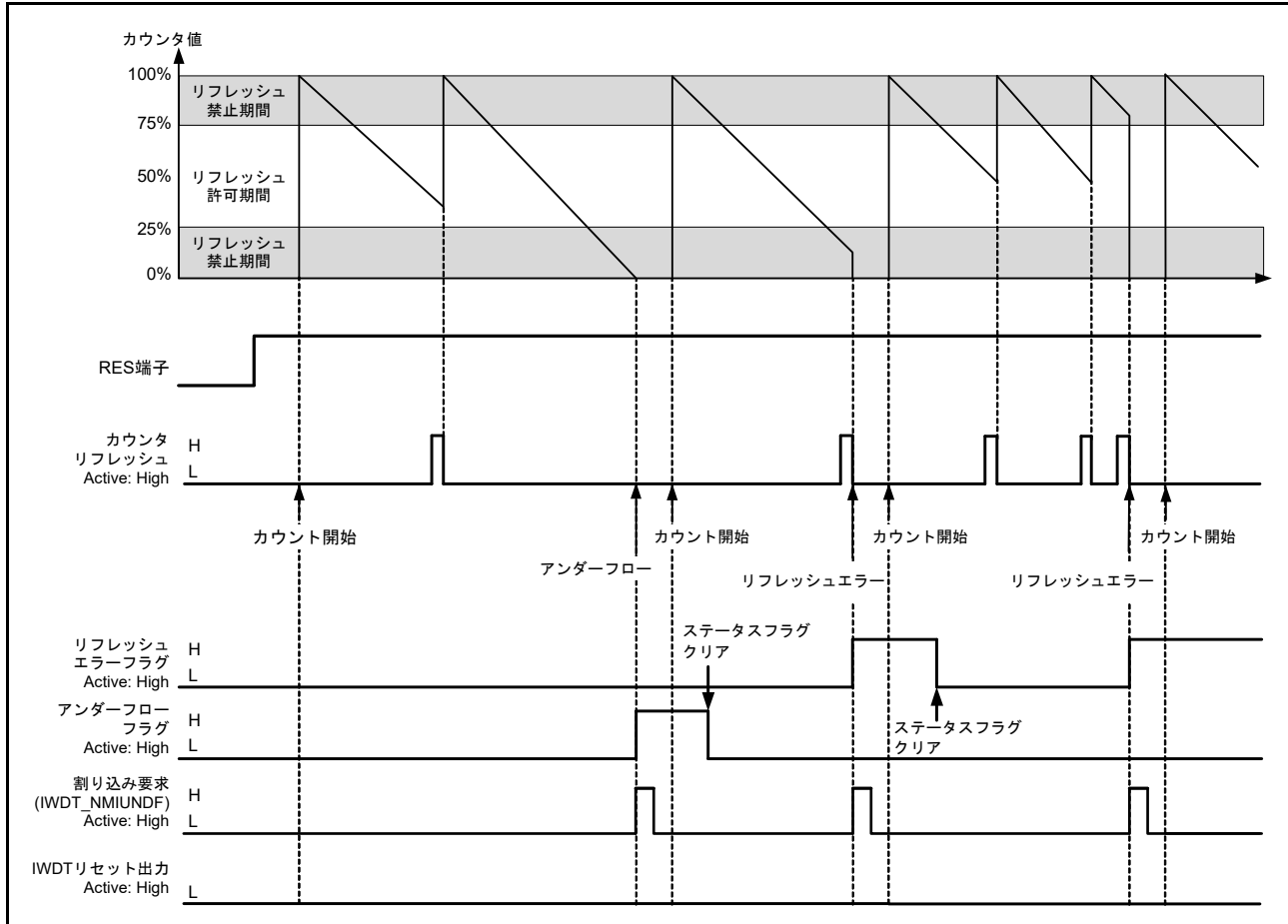


図 25.3 オートスタートモードでの動作例

25.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 00h と FFh の書き込みを行います。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR へ 00h と FFh を書き込むと、正常にリフレッシュが再開します。

00h (1 回目) → 00h (2 回目) の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h (n-1 回目) → 00h (n 回目) → FFh という書き込み順序は有効であり、正常にリフレッシュが行われます。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれている限り、正常にリフレッシュが行われます。

また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出すことでも、正常にリフレッシュが行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h (n-1 回目) → 00h (n 回目) → FFh
- 00h → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h (00h 以外の値) → FFh
- 00h → 54h (FFh 以外の値)
- 00h → AAh (00h および FFh 以外の値) → FFh

リフレッシュ許可期間外に IWDTRR レジスタへ 00h を書き込んだ後、リフレッシュ許可期間内に IWDTRR レジスタへ FFh を書き込んだ場合も、この書き込み順序は有効であり、リフレッシュ動作が完了します。

カウンタのリフレッシュには、IWDTRR レジスタに FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です。(カウントの 1 サイクルが、IWDT 専用クロック (IWDTCLK) の何サイクルに相当するかは、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCKS[3:0]) で決まります)。この要件を満たすには、リフレッシュ許可期間の終了またはカウンタアンダーフローの 4 カウントサイクル前までに、IWDTRR レジスタへの FFh の書き込みを完了してください。カウンタの値は、カウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 1FFFh とした場合、IWDTSR.CNTVAL[13:0] ビット値が 1FFFh に達する前(たとえば 2002h) に IWDTRR レジスタへ 00h を書き込んだとしても、1FFFh に達した後に IWDTRR レジスタへ FFh を書き込めば、リフレッシュが行われます
- ウィンドウ終了位置を 1FFFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 2003h (1FFFh の 4 カウントサイクル前) 以上であれば、リフレッシュが行われます
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローが発生することなく、リフレッシュが行われます

図 25.4 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

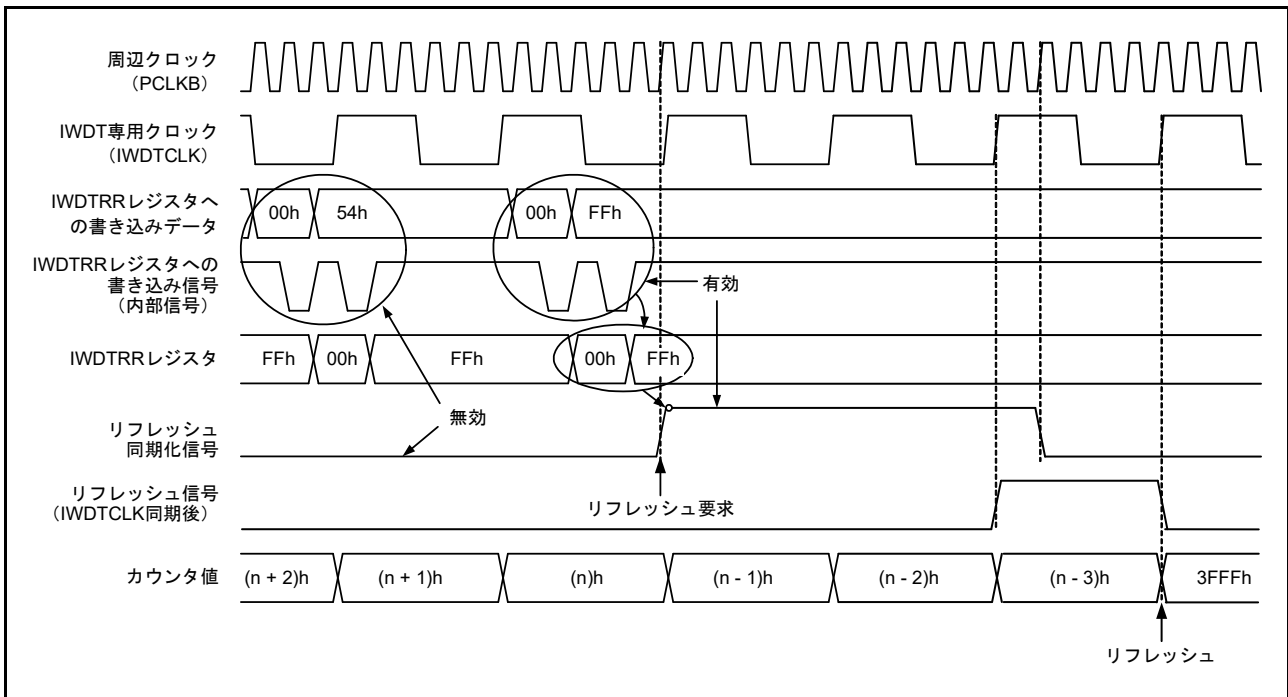


図 25.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

25.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT からのリセット信号出力の要因、または割り込み要求の要因を保持します。そのため、リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグや UNDF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしておいても、動作に影響を与えません。フラグがクリアされていなければ、次に IWDT がリセットまたは割り込み要求を出力したとき、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

25.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号が出力されます。リセット出力後、自動でダウンカウントがスタートします。

25.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTRQRS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (IWDT_NMIUNDF) 信号が生成されます。この割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 25.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
IWDT_NMIUNDF	ダウンカウンタのアンダーフロー リフレッシュエラー	不可能

25.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT はカウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。ただし、カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 25.5 に、PCLKB > IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

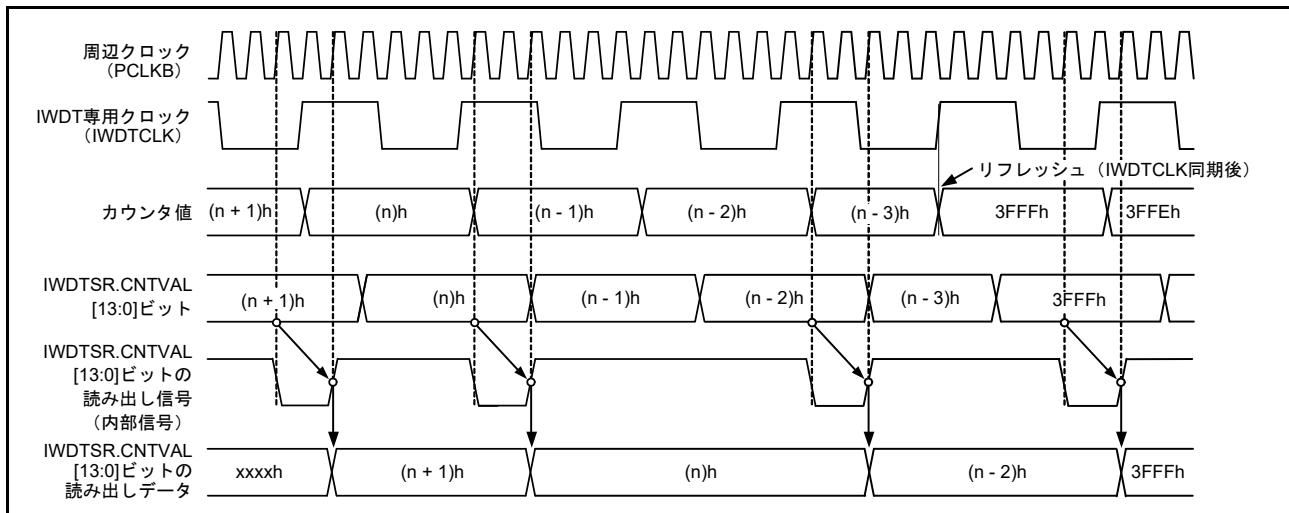


図 25.5 IWDT カウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

25.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) が割り込み要求信号をイベント信号として使用する場合、IWDT は設定されたモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDRSTRQRS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEEF) またはアンダーフローフラグ (IWDTSR.UNDFE) が 1 の状態で、次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

25.5 使用上の注意事項

25.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差範囲内での変動を考慮してください。その上で、リフレッシュできる値を設定してください。

25.5.2 クロック分周比の設定

周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

26. USB2.0 フルスピードモジュール (USBFS)

26.1 概要

本 MCU は、USB2.0 フルスピードモジュール (USBFS) を内蔵し、バッテリーチャージング規格リビジョン 1.2 に対応します。

USBFS は、デバイスコントローラとして動作する USB コントローラです。このモジュールは、USB (Universal Serial Bus) 規格 2.0 で定義されているフルスピード転送とロースピード転送に対応しています。USBFS は USB トランシーバを内蔵し、コントロール転送、バルク転送、およびインタラプト転送に対応します。

USBFS はデータ転送用のバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 4～7 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 26.1 に USBFS の仕様を、図 26.1 にブロック図を、表 26.2 に USBFS の入出力端子を示します。

表 26.1 USBFSの仕様

項目	内容
特徴	<ul style="list-style-type: none"> • USB デバイスコントローラ (UDC) およびデバイスコントローラ (1チャンネル) 対応USB2.0 トランシーバ • セルフパワーモードまたはバスパワーモードの選択が可能 • バッテリーチャージング規格のリビジョン1.2に準拠 • USB LDOレギュレータによる内蔵USBトランシーバへの電力供給
	<ul style="list-style-type: none"> • フルスピード転送 (12Mbps) とロースピード転送 (1.5Mbps) に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能
通信データ転送タイプ	<ul style="list-style-type: none"> • コントロール転送 • バルク転送 • インタラプト転送
パイプコンフィグレーション	<ul style="list-style-type: none"> • USB 通信用バッファメモリ • 最大5本のパイプを選択可能 (デフォルトコントロールパイプを含む) • パイプ4～7に対して任意のエンドポイント番号を割り付け可能
	パイプごとに転送条件を設定可能 <ul style="list-style-type: none"> • パイプ0 : 64バイトシングルバッファによるコントロール転送 • パイプ4および5 : 64バイトダブルバッファによるバルク転送 • パイプ6および7 : 64バイトシングルバッファによるインタラプト転送
その他	<ul style="list-style-type: none"> • トランザクションカウントによる受信終了機能 • BRDY 割り込みイベント通知タイミング変更機能 (BFRE) • 転送終了による応答PIDのNAK設定機能 (SHTNAK) • USB_DP/USB_DMのプルアップ抵抗、プルダウン抵抗をチップに内蔵 • USBクロックとして使用可能なHOCOクロック
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

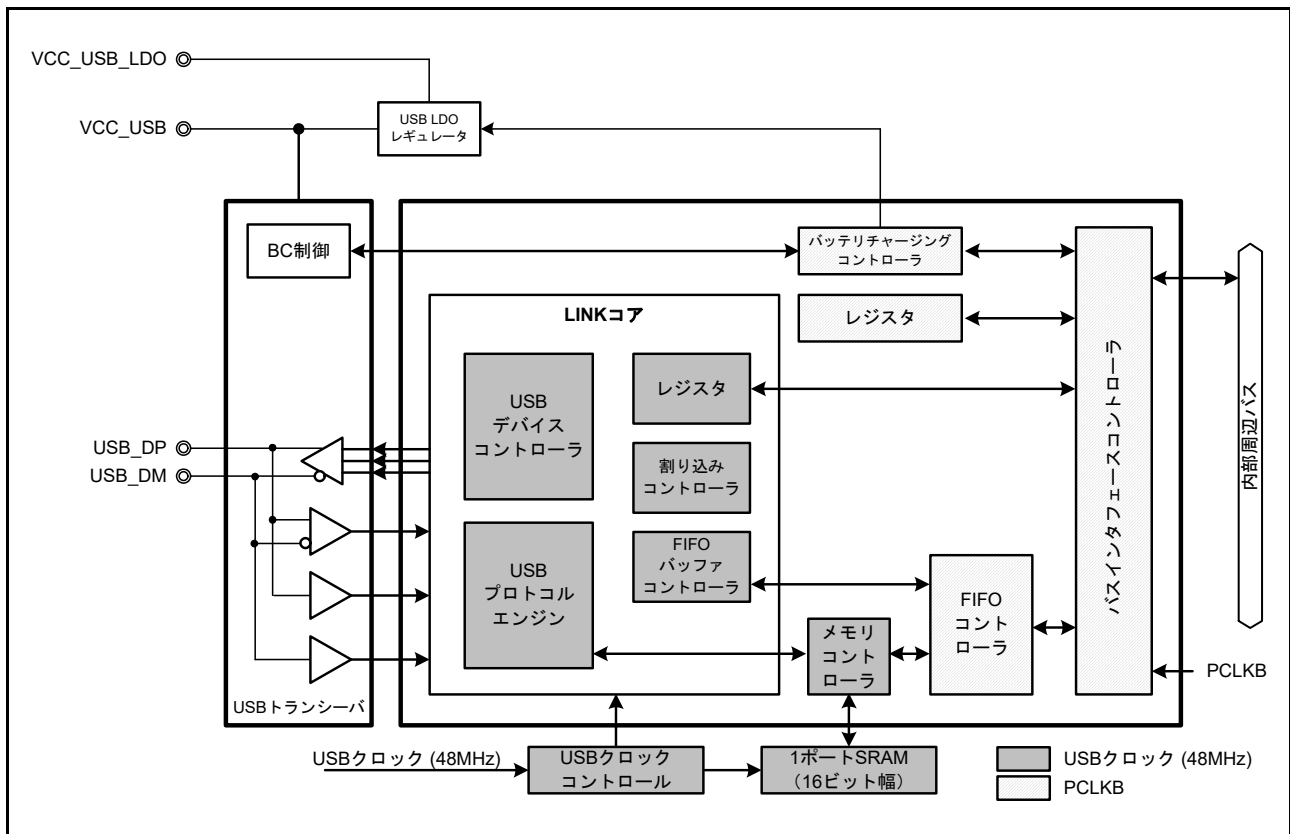


図 26.1 USBFS のブロック図

表 26.2 USBFS の入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB内蔵トランシーバ用D+ 入出力端子 USBバスのD+ 端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバ用D- 入出力端子 USBバスのD- 端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子 USBバスのVBUSに接続してください。VBUS端子の状態（アタッチ/デタッチ）を検出することが可能です。（注1）
共通	VCC_USB	入出力	入力：USBトランシーバの入力供給電圧 出力：USB LDOレギュレータの出力供給電圧。外部コンデンサに接続してください。
	VCC_USB_LDO	入力	USB LDOレギュレータの入力供給電圧
	VSS_USB	入力	USB用グランド端子

注 1. P407 は 5V トレラントです。

26.2 レジスタの説明

26.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG)

アドレス `USBFS.SYSCFG 4009 0000h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKE	—	CNEN	—	—	—	DPRPU	DMRPU	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS 動作許可	0 : USBFS 動作を禁止 1 : USBFS 動作を許可	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DMRPU	D-ライン抵抗制御(注1)	0 : ラインのプルアップを禁止 1 : ラインのプルアップを許可	R/W
b4	DPRPU	D+ライン抵抗制御(注1)	0 : ラインのプルアップを禁止 1 : ラインのプルアップを許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CNEN	CNEN シングルエンドレシーバ許可	0 : シングルエンドレシーバ動作を禁止 1 : シングルエンドレシーバ動作を許可	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	SCKE	USB クロック許可(注2)	0 : USB へのクロック供給を停止 1 : USB へのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. DMRPU ビットと DPRPU ビットを同時に許可にしないでください。
 注 2. SCKE ビットに 1 を書き込んだ後は、SCKE ビットを読み出して、1 になっていることを確認してください。

USBE ビット (USBFS 動作許可)

USBFS の動作を許可または禁止します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 26.3 に示します。このビットの変更は、SCKE ビットが 1 のときに限り行ってください。

表 26.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

レジスタ	ビット
SYSSTS0	LNST[1:0]
DVSTCTR0	RHST[2:0]
INTSTS0	DVSQ[2:0]
USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]
USBVAL	WVALUE[15:0]
USBINDX	WINDEX[15:0]
USBLENG	WLENTUH[15:0]

DMRPU ビット (D-ライン抵抗制御)

D-ラインのプルアップを許可または禁止します。

DMRPU ビットを 1 にすると、D-ラインを強制的にプルアップし、USB ホストに対してロースピードデバイスとしてのアタッチを通知します。DMRPU ビットを 1 から 0 に変更することにより、USB は D-ラインを解放するので、USB ホストに対してデータタッチを通知することが可能です。

DPRPU ビット (D+ ライン抵抗制御)

D+ ラインのプルアップを許可または禁止します。

DPRPU ビットを 1 にすると、D+ ラインを強制的にプルアップし、USB ホストに対してアタッチを通知します。DPRPU ビットを 1 から 0 に変更することにより、USB は D+ ラインを解放するので、USB ホストに対してデタッチを通知することが可能です。

CNEN ビット (CNEN シングルエンドレシーバ許可)

CNEN ビットを 1 にすることにより、USBFS はシングルエンドレシーバを有効にし、LNST ビットを設定して D+/D- ラインのステータスをモニタできるようになります。

CNEN ビットを使用するのは、USBFS がバッテリーチャージ用ポータブルデバイスとして動作する場合です。

SCKE ビット (USB クロック許可)

USBFS への 48MHz クロック供給を停止または許可します。

このビットが 0 の場合、SYSCFG レジスタのみ読み出し/書き込みが可能となります。他の USBFS 関連レジスタの読み出し/書き込みはしないでください。

26.2.2 システムコンフィグレーションステータスレジスタ 0 (SYSSTS0)

アドレス [USBFS.SYSSTS0 4009 0004h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USB データラインステータスマニタ	USB データラインのステータスを示します。表 26.4 を参照してください。	R
b15-b2	—	予約ビット	読むと 0 が読めます。書き込みは無効です。	R

LNST[1:0] ビット (USB データラインステータスマニタ)

USB データライン (D+ ライン、D- ライン) のステータスを示します。詳細は、表 26.4 を参照してください。

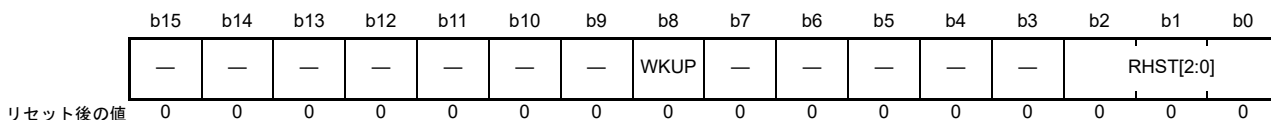
アタッチ処理 (SYSCFG.DPRPU ビット=1) 後に、LNST[1:0] ビットを読み出してください。

表 26.4 USB データバスライン (D+ ライン、D- ライン) のステータス

LNST[1:0] ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

26.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTRL0)

アドレス USBFS.DVSTCTRL0 4009 0008h



ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	b2 b0 0 0 0: 通信速度は不確定 0 0 1: USBバスリセット処理中またはロースピード接続時 0 1 0: USBバスリセット処理中またはフルスピード接続時	R
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	WKUP	ウェイクアップ出力	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RHST[2:0] ビット (USB バスリセットステータス)

USB バスリセットのステータスを示します。

ソフトウェアで USBRST ビットに 0 を書き込み、USB が SE0 ドライブを終了すると、USB は RHST[2:0] ビットの値を確定します。

USBFS が USB バスリセットを検出すると、RHST[2:0] ビットは 010b (DPRPU ビットが 1 の場合) または 001b (DMRPU ビットが 1 の場合) を示し、DVST 割り込みが発生します。

WKUP ビット (ウェイクアップ出力)

USB バスへのリモートウェイクアップ信号 (レジューム信号) を許可または禁止します。

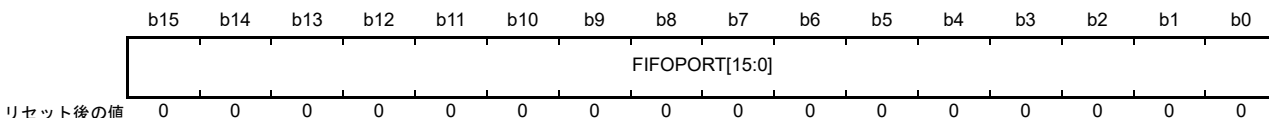
USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。本ビットを 1 にすると、USBFS は 10ms 間 K-State を出力した後、本ビットを 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。そのため、USB が Suspended ステータスを検出した直後にこのビットを 1 にすると、2ms 後に K-State が出力されます。

このビットへの 1 の書き込みは、デバイスが Suspended ステータス (INTSTS0.DVSQ[2:0] ビット = 1xxb) で、かつ USB ホストがリモートウェイクアップ信号を許可している場合にのみ行ってください。このビットが 1 のときは、Suspended ステータスであっても、内部クロックを停止しないでください (SYSCFG.SCKE ビットを 1 にしてください)。

26.2.4 CFIFO ポートレジスタ (CFIFO/CFIFOL)

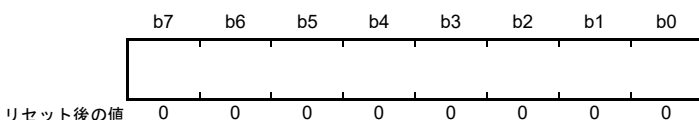
(1) MBW ビットが 1 の場合

アドレス [USBFS.CFIFO 4009 0014h](#)



(2) MBW ビットが 0 の場合

アドレス [USBFS.CFIFOL 4009 0014h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0]	FIFOポート	FIFOポートレジスタの有効ビットは、 表 26.5 と 表 26.6 に示すように、MBWビット (CFIFOSEL.MBW) の設定値と、BIGENDビット (CFIFOSEL.BIGEND) の設定値で決まります。	R/W

CFIFO の構成は以下の通りです。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ (CFIFO)
- FIFO ポートに割り当てるパイプを選択するためのポート選択レジスタ (CFIFOSEL)
- ポートコントロールレジスタ (CFIFOCTR)

CFIFO には以下のような制限があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行う
- DTC 転送機能などの FIFO ポート固有の機能を使用する場合、ポート選択レジスタの CURPIPE[3:0] ビットで選択したパイプ番号は変更不可
- FIFO ポートを設定するレジスタ群が、他の FIFO ポートに影響を与えることはない
- 同一パイプを複数の FIFO ポートに割り当てることは禁止
- FIFO バッファの状態には、アクセス権が CPU にある場合と SerialInterfaceEngine (SIE) にある場合の 2 種類がある。SIE にアクセス権がある場合は、CPU から FIFO バッファへのアクセスは不可

FIFOPORT[15:0] ビット (FIFO ポート)

FIFOPORT[15:0] ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。

CFIFO ポートレジスタへのアクセスは、ポートコントロールレジスタ (CFIFOCTR) の FRDY ビットが 1 のときに限り可能です。FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL) の MBW ビットおよび BIGEND ビットの設定値により異なります。[表 26.5](#) と [表 26.6](#) を参照してください。

表 26.5 16ビットアクセス時のエンディアン動作

CFIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表 26.6 8ビットアクセス時のエンディアン動作

CFIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	アクセス禁止 (注1)	N+0データ
1	アクセス禁止 (注1)	N+0データ

注 1. アクセス禁止領域に対する読み出しと書き込みは行わないでください。

26.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)

アドレス USBFS.CFIFOSEL 4009 0020h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFO ポートアクセスパイプ指定	b3 b0 0 0 0 0 : DCP (デフォルトコントロールパイプ) 0 1 0 0 : パイプ4 0 1 0 1 : パイプ5 0 1 1 0 : パイプ6 0 1 1 1 : パイプ7 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP 選択時 CFIFO ポートアクセス方向	0 : バッファメモリからの読み出しを選択 1 : バッファメモリへの書き込みを選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	CFIFO ポートエンディアン制御	0 : リトルエンディアン 1 : ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	CFIFO ポートアクセスビット幅	0 : 8ビット幅 1 : 16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0 : バッファポインタのリワインドを行わない 1 : バッファポインタのリワインドを行う	R/W (注1)
b15	RCNT	リードカウントモード	0 : CFIFO から全受信データを読み出したときに DTLN[8:0] ビットをクリア ダブルバッファモードの場合、1面のみ全データを読み出したときに DTLN[8:0] ビット値をクリア 1 : CFIFO から受信データを読み出すごとに DTLN[8:0] ビットをダウンカウント	R/W

注 1. 読むと 0 が読み出されます。

DTC 転送が許可されているときに、パイプ番号を変更しないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定)

CFIFO ポート経由のデータの読み出し/書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセス中は、CURPIPE[3:0] ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセスの設定値が維持されます。変更はアクセス完了後に有効になるので、連続アクセスが可能です。

ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向)

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後で ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。このビットと CURPIPE[3:0] ビットの設定は同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みによって FIFO バッファからのデータの読み出しが開始したら、すべてのデータが読み出されるまで、これらのビットを変更しないでください。

選択パイプが送信方向の場合、バッファメモリへのデータの書き込み中は、ビット幅を 8 ビット幅から 16 ビット幅へ切り替えることはできません。

16 ビット幅を選択した場合でも、バイトアクセス制御を通じて、奇数バイトの書き込みが可能です。

REW ビット (バッファポインタリワインド)

バッファポインタのリワインドを行うか否かを指定します。

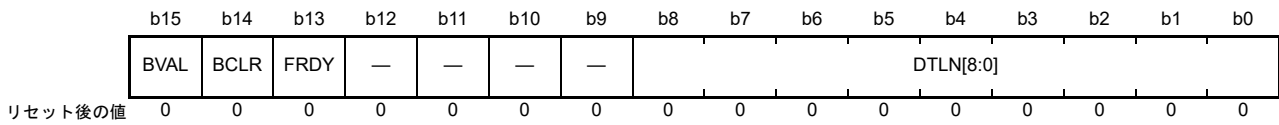
選択パイプが受信方向の場合、FIFO バッファの読み出し中に REW ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファモードでは、この設定によって、現在読み出している FIFO バッファ面の最初のデータから再読み出しが可能になります。

REW ビットを 1 にする設定と CURPIPE[3:0] ビットの設定変更は、同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

26.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)

アドレス USBFS.CFIFOCTR 4009 0022h



ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長	受信データ長を表示します。これらのビットが示す値は、ポート選択レジスタのRCNTビットの設定値によって異なります。詳細は、この節のDTLN[8:0]ビットの説明を参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリア	0: 何もしない 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効フラグ	0: 無効 1: 書き込み終了	R/W

注1. 読むと0が読み出されます。

CFIFOCTR レジスタは CFIFO レジスタに対応しています。

DTLN[8:0] ビット (受信データ長)

受信データ長を表示します。

FIFO バッファの読み出し中、DTLN[8:0] ビットは、以下のように DnFIFOSEL.RCNT ビット (n=0, 1) の設定値に応じて異なる値を示します。

- RCNT ビットが0のとき：
 - CPU または DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0] ビットに表示します。
 - PIPECFG.BFRE ビットが1のときは、全データが読み出された後も、BCLR ビットが1になるまで、これらのビットは受信データ長を保持します
- RCNT ビットが1のとき：
 - FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0] ビットの表示値をダウンカウントします。MBW ビットが0のときは-1ずつ、MBW ビットが1のときは-2ずつ値がダウンカウントされます。
 - 1面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0] ビットを0にします。ただし、ダブルバッファモードでは、FIFO バッファ 1 面分の受信データの読み出しを完了する前に、もう1面分の FIFO バッファにデータを受信した場合、USBFS は、最初の1面分の読み出し完了時に、2番目の1面分の受信データ長を DTLN[8:0] ビットに表示します

FRDY ビット (FIFO ポートレディ)

CPU または DTC から FIFO ポートにアクセス可能かどうかを表示します。

以下の場合、USBFS は FRDY ビットを1にしますが、読み出すべきデータがないため FIFO ポートによるデータ読み出しはできません。このような場合は、BCLR ビットを1にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

- 選択パイプに割り当てられている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが1のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット (CPU バッファクリア)

選択パイプの CPU 側の FIFO バッファをクリアする場合、BCLR ビットを 1 にしてください。

選択パイプに割り当てられた FIFO バッファに、ダブルバッファモードが設定されている場合、FIFO バッファの両面とも読み出し可能な状態であっても、USBFS はその片面のみをクリアします。

選択パイプが DCP の場合は、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、BCLR ビットを 1 にすることによって、USBFS は FIFO バッファのクリアが可能になります。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0] ビットを 00b (NAK 応答) にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に 1 を書き込むと、USBFS は書き込み済みのデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。

BVAL フラグ (バッファメモリ有効フラグ)

CURPIPE[3:0] ビットで選択したパイプの CPU の FIFO バッファへのデータ書き込みが完了したとき、BVAL フラグを 1 にしてください。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信するには、データ書き込み後にこのフラグを 1 にする
- Zero-Length パケットを送信するには、FIFO バッファへのデータ書き込み前にこのフラグを 1 にする

USBFS は、この後、FIFO バッファを CPU から SIE に切り替えて、送信可能な状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にして、FIFO バッファを CPU から SIE に切り替え、送信可能な状態にします。

BVAL フラグへの 1 の書き込みは、FRDY ビットが (USBFS によって) 1 になっている場合にのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

26.2.7 割り込みイネーブルレジスタ 0 (INTENB0)

アドレス **USBFS.INTENB0 4009 0030h**

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b10	BEMPE	バッファEMPTY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b14	RSME	レジューム割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15	VBSE	VBUS割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W

INTSTS0 レジスタのステータスフラグが1になっているとき、INTENB0 レジスタの対応する割り込み要求許可ビットが1であると、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連の条件が成立するようなステート変化が生じると、INTSTS0 レジスタのステータスフラグが1になります。

INTSTS0 レジスタの対応するステータスフラグが1の状態、INTENB0 レジスタの割り込み要求許可ビットが0から1に切り替わると、USBFS 割り込み要求が発行されます。

26.2.8 BRDY 割り込みイネーブルレジスタ (BRDYENB)

アドレス USBFS.BRDYENB 4009 0036h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	—	—	—	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0: 割り込み出力を禁止 1: 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

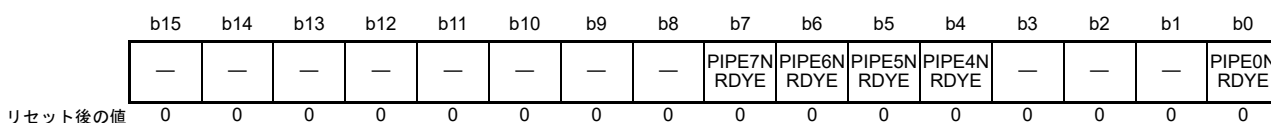
BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを 1 にすることを許可または禁止します。

ソフトウェアで 1 にした BRDYENB レジスタのビットに対応するパイプに BRDY 割り込みが検出されると、USBFS は対応する BRDYSTS.PIPE_nBRDY ビット (n = 0, 4 ~ 7) と INTSTS0.BRDY ビットを 1 にします。このとき INTENB0.BRDYE = 1 であれば、USBFS は BRDY 割り込み要求を発生させます。

PIPE_nBRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BRDY 割り込み要求を発生させます。

26.2.9 NRDY 割り込みイネーブルレジスタ (NRDYENB)

アドレス USBFS.NRDYENB 4009 0038h



ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

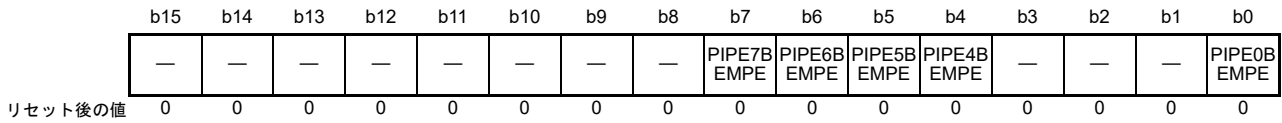
NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットを 1 にすることを許可または禁止します。

ソフトウェアで 1 にした NRDYENB レジスタのビットに対応するパイプに NRDY 割り込みが検出されると、USBFS は対応する NRDYSTS.PIPE_nNRDY ビット (n=0、4~7) と INTSTS0.NRDY ビットを 1 にします。このとき INTENB0.NRDYE が 1 であれば、USBFS は NRDY 割り込み要求を発生させます。

PIPE_nNRDY ビットの少なくとも 1 つが 1 のとき、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は NRDY 割り込み要求を発生させます。

26.2.10 BEMP 割り込みイネーブルレジスタ (BEMPENB)

アドレス USBFS.BEMPENB 4009 003Ah



ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0 : 割り込み出力を禁止 1 : 割り込み出力を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットを 1 にすることを許可または禁止します。

ソフトウェアで 1 にした BEMPENB レジスタのビットに対応するパイプに BEMP 割り込みが検出されると、USBFS は対応する BEMPSTS.PIPEnBEMP ビット (n=0, 4~7) と INTSTS0.BEMP ビットを 1 にします。このとき INTENB0.BEMPE = 1 であれば、USBFS は BEMP 割り込み要求を発生させます。

BEMPSTS の PIPEnBEMP ビットの少なくとも 1 つが 1 のとき、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを 0 から 1 に変更すると、USBFS は BEMP 割り込み要求を発生させます。

26.2.11 SOF 出力コンフィグレーションレジスタ (SOFCFG)

アドレス USBFS.SOFCFG 4009 003Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	BRDY M	—	EDGES TS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタ ^(注1)	エッジ割り込み出力信号のエッジ処理中は1になります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDYM	BRDY 割り込みステータスクリアタイミング	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファに対するデータの読み出し/書き込み時にUSBFSがステータスをクリア	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

EDGESTS ビット (エッジ割り込み出力ステータスマニタ)

エッジ割り込み出力信号のエッジ処理中は1を示します。USBFS へのクロック供給を停止するときは、事前にこのビットが0であることを確認してください。

BRDYM ビット (BRDY 割り込みステータスクリアタイミング)

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

26.2.12 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USBFS.INTSTS0 4009 0040h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0/1 (注3)	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト (no-Data) ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
b3	VALID	USBリクエスト受信	0: Setupパケットの受信なし 1: Setupパケットの受信あり	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステート	b6 b4 0 0 0: Poweredステート 0 0 1: Defaultステート 0 1 0: Addressステート 0 1 1: Configuredステート 1 x x: Suspendedステート	R
b7	VBSTS	VBUS入カステータス	0: USB_VBUS端子がLow 1: USB_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータス	0: BRDY割り込み発生なし 1: BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0: NRDY割り込み発生なし 1: NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0: BEMP割り込み発生なし 1: BEMP割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータス	0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータス	0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータス	0: SOF割り込み発生なし 1: SOF割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータス (注5)	0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータス (注5)	0: VBUS割り込み発生なし 1: VBUS割り込み発生あり	R/W (注4)

x : Don't care

- 注 1. MCUのリセット時は0、USBバスリセット後は1です。
- 注 2. USB_VBUS端子がHighのとき1、Lowのとき0です。
- 注 3. MCUのリセット時は000b、USBバスリセット後は001bです。
- 注 4. VBINT、RESM、SOFR、DVST、CTRT、またはVALIDビットをクリアする場合は、クリアしたいビットにのみ0を書き込んでください。その他のビットには1を書き込んでください。0を示しているステータスビットには、0を書き込まないでください。
- 注 5. VBINTおよびRESMビットが示すステータスの変化は、クロック停止中 (SCKEビットが0のとき) でも検出可能であり、対応する割り込み許可ビットが許可になっていれば、その割り込みが出力されます。クロック供給を許可にしてからソフトウェアでステータスをクリアしてください。

DVSQ[2:0] ビット (デバイスステート)

USB バスリセットで DVSQ[2:0] ビットは初期化されます。

BRDY ビット (バッファレディ割り込みステータス)

BRDY 割り込みステータスを示します。

PIPE_nBRDY ビット (n=0, 4~7) の少なくとも 1 つが 1 になると、USBFS は BRDY ビットを 1 にします。PIPE_nBRDY ビットは BRDYENB.PIPE_nBRDYE ビット (n=0, 4~7) に対応しており、ソフトウェアが BRDY 割り込み出力を許可しているパイプの少なくとも 1 つで、USBFS が BRDY 割り込みステータスを検出すると 1 になります。

PIPE_nBRDY ステータスのアサート条件については、[26.3.3.1 BRDY 割り込み](#)を参照してください。

1 になっている PIPE_nBRDYE ビットに対応した PIPE_nBRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY ビットに 0 を書いても、BRDY ビットを 0 にすることはできません。

NRDY ビット (バッファノットレディ割り込みステータス)

PIPE_nNRDY ビット (n=0, 4~7) の少なくとも 1 つが 1 になると、USBFS は NRDY ビットを 1 にします。PIPE_nNRDY ビットは PIPE_nNRDYE ビット (n=0, 4~7) に対応しており、ソフトウェアが NRDY 割り込み出力を許可しているパイプの少なくとも 1 つで、USBFS が NRDY 割り込みステータスを検出すると 1 になります。

PIPE_nNRDY ステータスのアサート条件については、[26.3.3.2 NRDY 割り込み](#)を参照してください。

1 になっている PIPE_nNRDYE ビットに対応した PIPE_nNRDY ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY ビットに 0 を書いても、NRDY ビットを 0 にすることはできません。

BEMP ビット (バッファエンブティ割り込みステータス)

PIPE_nBEMP ビット (n=0, 4~7) の少なくとも 1 つが 1 になると、USBFS は BEMP ビットを 1 にします。PIPE_nBEMP ビットは PIPE_nBEMPE ビット (n=0, 4~7) に対応しており、ソフトウェアが BEMP 割り込み出力を許可しているパイプの少なくとも 1 つで、USBFS が BEMP 割り込みステータスを検出すると 1 になります。

PIPE_nBEMP ステータスのアサート条件については、[26.3.3.3 BEMP 割り込み](#)を参照してください。

1 になっている PIPE_nBEMPE ビットに対応した PIPE_nBEMP ビットのすべてに、ソフトウェアで 0 を書くと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP ビットに 0 を書いても、BEMP ビットを 0 にすることはできません。

CTRT ビット (コントロール転送ステージ遷移割り込みステータス)

USBFS は、コントロール転送ステージの変化を検出すると、CTS_Q[2:0] ビット値を更新して、CTRT ビットを 1 にします。

コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送ステージ遷移を検出する前に、このステータスをクリアしてください。

DVST ビット (デバイスステート遷移割り込みステータス)

USBFS は、デバイスステートの変化を検出すると、DVS_Q[2:0] ビット値を更新して、DVST ビットを 1 にします。

デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出する前に、このステータスをクリアしてください。

SOFR ビット (フレーム番号更新割り込みステータス)

USBFS は、フレーム番号の更新時に SOFR ビットを 1 にします。フレーム番号更新割り込みは、1ms ごとに検出されます。

USBFS ホストから受信した SOF パケットが破損していても、USBFS は内部補完機能によって SOFR 割り込みを検出できます。

RESM ビット (レジューム割り込みステータス)

USBFS は、Suspended ステート (DVSQ[2:0] ビット = 1xxb) 時に USB_DP 端子で信号の立ち下がりエッジを検出すると、RESM ビットを 1 にします。

VBINT ビット (VBUS 割り込みステータス)

USBFS は、USB_VBUS 端子入力値のレベル変化 (High から Low または Low から High) を検出すると、VBINT ビットを 1 にします。USBFS は、USB_VBUS 端子の入力値を VBSTS ビットに示します。VBUS 割り込みが発生した場合、チャタリングを除去するため、同じ値が 3 回以上読み出されるまでソフトウェアで VBSTS ビットの読み出しを繰り返してください。

26.2.13 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USBFS.BRDYSTS 4009 0046h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	—	—	—	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス (注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。
- 注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

26.2.14 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス **USBFS.NRDYSTS 4009 0048h**

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7N RDY	PIPE6N RDY	PIPE5N RDY	PIPE4N RDY	—	—	—	PIPE0N RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書き込んでください。その他のビットには1を書き込んでください。

26.2.15 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス **USBFS.BEMPSTS 4009 004Ah**

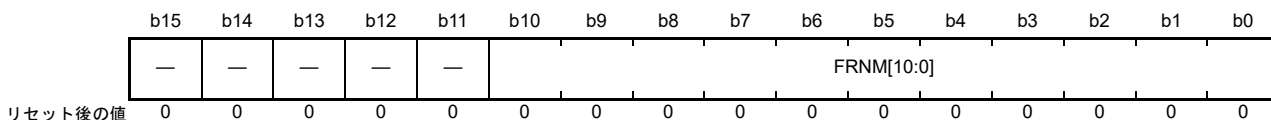
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	—	—	—	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアするには、クリアしたいビットにのみ0を書き込んでください。その他のビットには1を書き込んでください。

26.2.16 フレームナンバレジスタ (FRMNUM)

アドレス **USBFS.FRMNUM 4009 004Ch**



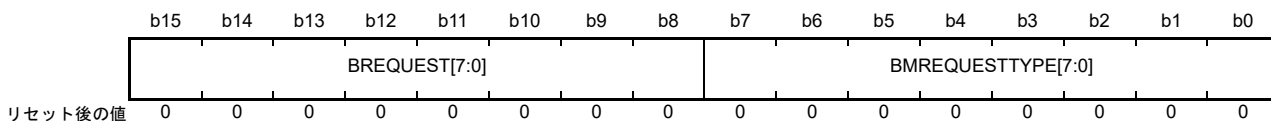
ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FRNM[10:0] ビット (フレーム番号)

1ms ごとの SOF パケット発行後、または SOF パケット受信時の FRNM[10:0] ビットへ書き込み後に、USBFS の最新のフレーム番号を示します。

26.2.17 USB リクエストタイプレジスタ (USBREQ)

アドレス **USBFS.USBREQ 4009 0054h**



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエストの bmRequestType の値を格納	R/W
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエストの bRequest の値を格納	R/W

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した bRequest および bmRequestType の値が格納されます。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプ)

USB リクエストの bmRequestType フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

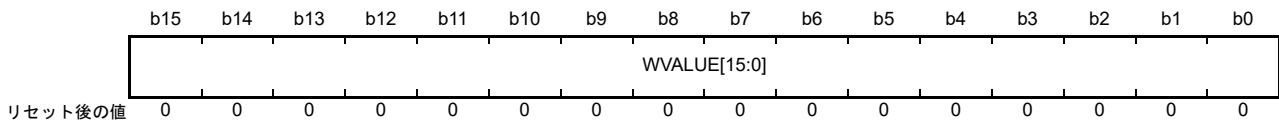
BREQUEST[7:0] ビット (リクエスト)

USB リクエストの bRequest 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストデータ値を示します。書き込みは無効です。

26.2.18 USB リクエストバリュeregスタ (USBVAL)

アドレス [USBFS.USBVAL 4009 0056h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエストの wValue の値を格納	R/W

受信した wValue の値が、USBVAL レジスタに格納されます。USBVAL レジスタは、USB バスリセットで初期化されます。

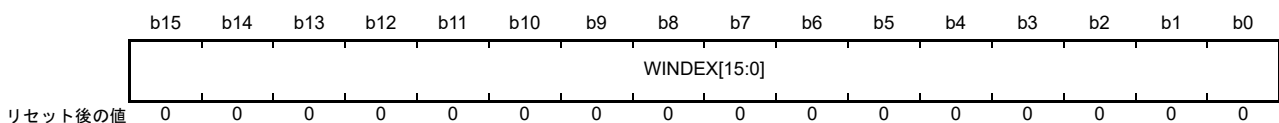
WVALUE[15:0] ビット (バリュー)

USB リクエストの wValue 値を格納します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wValue フィールドの値を示します。WVALUE[15:0] ビットへの書き込みは無効です。

26.2.19 USB リクエストインデックスレジスタ (USBINDX)

アドレス [USBFS.USBINDX 4009 0058h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエストの wIndex の値を格納	R/W

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した wIndex の値が格納されます。

USBINDX レジスタは、USB バスリセットで初期化されます。

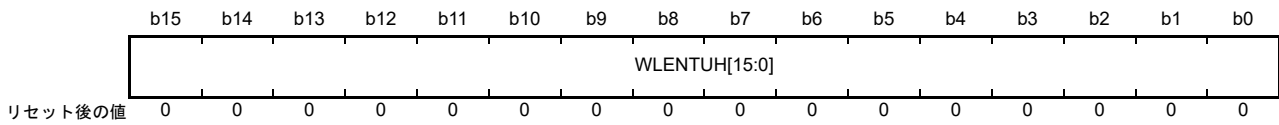
WINDEX[15:0] ビット (インデックス)

USB リクエストの wIndex フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wIndex フィールドの値を示します。WINDEX[15:0] ビットへの書き込みは無効です。

26.2.20 USB リクエストレングスレジスタ (USBLENG)

アドレス USBFS.USBLENG 4009 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエストの wLength の値を格納	R/W

USBLENG レジスタは、コントロール転送のセットアップリクエストを格納するレジスタです。受信した wLength の値が格納されます。

USBLENG レジスタは、USB バスリセットで初期化されます。

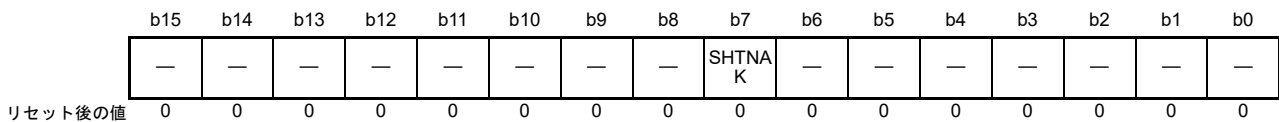
WLENTUH[15:0] ビット (レングス)

USB リクエストの wLength フィールドの値を保持します。

これらのビットは、Setup トランザクションで受信した USB リクエストの wLength フィールドの値を示しています。WLENTUH[15:0] ビットへの書き込みは無効です。

26.2.21 DCP コンフィグレーションレジスタ (DCPCFG)

アドレス USBFS.DCPCFG 4009 005Ch



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 ^(注1)	0 : 転送終了時にパイプ継続 1 : 転送終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットの変更は、PID が NAK であるときに行ってください。このビットを変更するときは、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更し、DCPCTR.PBUSY ビットが 0 であることを確認してから変更してください。ただし、USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプが受信方向の場合、転送終了時に PID を NAK に変更するかどうかを指定します。

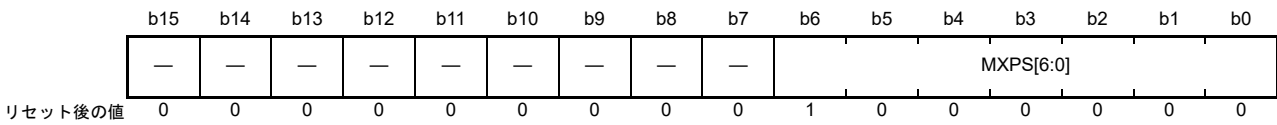
SHTNAK ビットは、選択パイプが受信方向の場合にのみ有効です。

SHTNAK ビットを 1 にした場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USB は、下記の条件が満たされると転送終了を判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき

26.2.22 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USBFS.DCPMAXP 4009 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ(注1)	DCPのペイロード内の最大データ量(最大パケットサイズ)を設定します。 b6 0 0 0 1 0 0 0 : 8バイト 0 0 1 0 0 0 0 : 16バイト 0 0 1 1 0 0 0 : 24バイト 0 1 0 0 0 0 0 : 32バイト 0 1 0 1 0 0 0 : 40バイト 0 1 1 0 0 0 0 : 48バイト 0 1 1 1 0 0 0 : 56バイト 1 0 0 0 0 0 0 : 64バイト 1 0 0 1 0 0 0 : 72バイト 1 0 1 0 0 0 0 : 80バイト 1 0 1 1 0 0 0 : 88バイト 1 1 0 0 0 0 0 : 96バイト 1 1 0 1 0 0 0 : 104バイト 1 1 1 0 0 0 0 : 112バイト 1 1 1 1 0 0 0 : 120バイト 上記以外は設定しないでください。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. MXPS[6:0] ビットの変更は、PIDがNAKであるときに行ってください。これらのビットを変更するときは、DCPのDCPCTR.PID[1:0] ビットをBUFからNAKへ変更し、DCPCTR.PBUSY ビットが0であることを確認してから変更してください。ただし、USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。MXPS[6:0] ビットの変更後は、ポート選択レジスタのCURPIPE[3:0] ビットをDCPに設定した後、ポートコントロールレジスタのBCLR ビットを1にしてバッファをクリアしてください。

MXPS[6:0] ビット (最大パケットサイズ)

DCPのペイロード内の最大データ量(最大パケットサイズ)を指定します。初期値は40h(64バイト)です。

MXPS[6:0] ビットの設定値は、USB2.0規格に従う必要があります。MXPS[6:0] ビットの設定値が0のときは、FIFOバッファへの書き込みも、PID=BUFの設定も行わないでください。

26.2.23 DCP コントロールレジスタ (DCPCTR)

アドレス USBFS.DCPCTR 4009 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b2	CCPL	コントロール転送終了許可	0: 無効 1: コントロール転送終了を許可	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジュー	0: DCPはトランザクションで未使用 1: DCPはトランザクションで使用	R
b6	SQMON	シーケンスストグルビットモニタ	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	0: 無効 1: DATA1を指定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	0: 無効 1: DATA0を指定	R/W (注1)
b14-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0: バッファアクセス不可能 1: バッファアクセス可能	R

注 1. 読むと0が読めます。
 注 2. SQSET および SQCLR ビットへの1書き込みは、PIDがNAKであるときに行ってください。これらのビットを変更するときは、DCPのPID[1:0]ビットをBUFからNAKへ変更し、PBUSYビットが0であることを確認してから変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合は、ソフトウェアによるPBUSYビットの確認は不要です。

PID[1:0] ビット (応答PID)

コントロール転送におけるUSBFS 応答の種類を制御します。

USBFSは、以下のように、PID[1:0] ビットの設定値を変更します。

- USBFSは、Setupパケットの受信時に、PID[1:0] ビットをNAKに変更する。USBFSは、INTSTS0.VALIDビットを1にする。ソフトウェアでVALIDビットを0にするまで、PID[1:0] ビットの設定値は変更できなくなる
- ソフトウェアでPID[1:0] ビットをBUFにした場合、USBFSは、最大パケットサイズを超えるデータを受信すると、PIDをSTALL (11b) にする
- USBFSは、コントロール転送シーケンスエラーを検出すると、PIDをSTALL (1xb) にする
- USBFSは、USBバスリセットを検出すると、PIDをNAKにする

USBFSは、SET_ADDRESSリクエストの処理中、PID[1:0] ビットの設定値を確認しません。

PID[1:0] ビットはUSBバスリセットで初期化されます。

CCPL ビット (コントロール転送終了許可)

CCPL ビットを 1 にすることにより、コントロール転送のステータスステージの終了が許可されます。

対応する PID[1:0] ビットが BUF のときにソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送ステータスステージを終了します。

コントロールリード転送中は、USBFS は、USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送中は、USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値とは無関係に、USBFS はセットアップステージからステータスステージ完了まで、自動応答モードで動作します。

新たな Setup パケットを受信すると、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアで CCPL ビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

PBUSY ビット (パイプビジー)

USB が PID[1:0] ビットを BUF から NAK に変更したときに、DCP がトランザクションで使用されているかどうかを示します。

USBFS は、選択パイプに対する USB トランザクション開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

ソフトウェアで PID を NAK に設定した後、PBUSY ビットを読み出すと、パイプ設定の変更が可能かどうかを確認できます。

詳細は、[26.3.4.1 パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンストグルビットモニタ)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USBFS は SQMON ビットのトグルを許可します。ただし、受信方向での転送中に DATA-PID 不一致が発生すると、SQMON ビットのトグルは許可されません。

Setup パケットが正常に受信されると、USBFS は SQMON ビットを 1 に (期待値として DATA1 を指定) します。

USBFS は、ステータスステージの IN/OUT トランザクション中は SQMON ビットを参照しません。また正常終了しても SQMON ビットのトグルを許可しません。

SQSET ビット (シーケンストグルビットセット)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA1 を指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット (シーケンストグルビットクリア)

DCP 転送において、次回トランザクションのシーケンストグルビットの期待値として DATA0 を指定します。SQCLR ビットは 0 を示します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

BSTS ビット (バッファステータス)

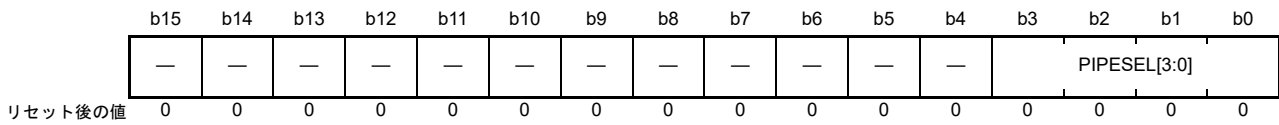
DCP FIFO バッファアクセスが可能かどうかを示します。

BSTS ビットの意味は、以下のように、CFIFOSEL.ISEL ビットの設定値によって異なります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを表示
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを表示

26.2.24 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス **USBFS.PIPESEL 4009 0064h**



ビット	シンボル	ビット名	機能	R/W														
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%;">b3</td> <td style="width: 50%;">b0</td> </tr> <tr> <td>0 0 0 0</td> <td>: パイプ選択なし</td> </tr> <tr> <td>0 1 0 0</td> <td>: パイプ4</td> </tr> <tr> <td>0 1 0 1</td> <td>: パイプ5</td> </tr> <tr> <td>0 1 1 0</td> <td>: パイプ6</td> </tr> <tr> <td>0 1 1 1</td> <td>: パイプ7</td> </tr> <tr> <td colspan="2">上記以外は設定しないでください。</td> </tr> </table>	b3	b0	0 0 0 0	: パイプ選択なし	0 1 0 0	: パイプ4	0 1 0 1	: パイプ5	0 1 1 0	: パイプ6	0 1 1 1	: パイプ7	上記以外は設定しないでください。		R/W
b3	b0																	
0 0 0 0	: パイプ選択なし																	
0 1 0 0	: パイプ4																	
0 1 0 1	: パイプ5																	
0 1 1 0	: パイプ6																	
0 1 1 1	: パイプ7																	
上記以外は設定しないでください。																		
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W														

パイプ 4～7 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタでパイプを選択した後、パイプ機能を PIPECFG および PIPEMAXP レジスタで設定してください。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット (パイプウィンドウ選択)

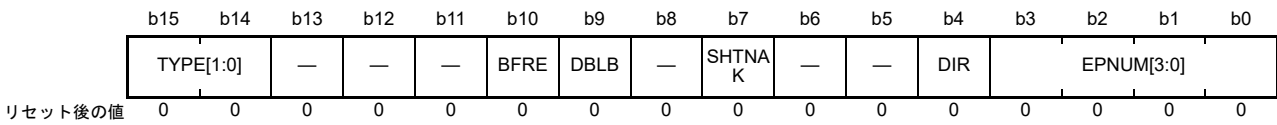
データの読み出し/書き込みに使用する PIPECFG および PIPEMAXP レジスタに対応したパイプ番号を選択します。

PIPESEL[3:0] ビットでパイプ番号を選択することにより、その番号に対応した PIPECFG および PIPEMAXP レジスタの読み出し/書き込みが可能になります。

PIPESEL[3:0] ビット = 0000b の場合、PIPECFG および PIPEMAXP レジスタのすべてのビットから 0 が読み出されます。書き込みは無効です。

26.2.25 パイプコンフィグレーションレジスタ (PIPECFG)

アドレス USBFS.PIPECFG 4009 0068h



ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号 (注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向 (注2) (注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止 (注1)	0: 転送終了時にパイプの割り当てを継続 1: 転送終了時にパイプの割り当てを禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード (注2) (注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定 (注2) (注3)	0: データ送受信時に BRDY 割り込み 1: データ読み出し完了時に BRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ (注1)	<ul style="list-style-type: none"> パイプ4および5 b15 b14 0 0: パイプ不使用 0 1: パルク転送 1 0: 設定禁止 1 1: 設定禁止 パイプ6および7 b15 b14 0 0: パイプ不使用 0 1: 設定禁止 1 0: インタラプト転送 1 1: 設定禁止 	R/W

- 注 1. TYPE[1:0]、SHTNAK、および EPNUM[3:0] ビットの設定は、PID が NAK であるときに行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。
- 注 2. BFRE、DBLB、および DIR ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PIPEnCTR.PBUSY ビットの確認は不要です。
- 注 3. 選択パイプ上の USB 通信が終了した後、BFRE、DBLB、および DIR ビットを変更する場合は、PID および CURPIPE[3:0] ビットが注 2. に示した状態にあるときに、ソフトウェアによって PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込んで、選択パイプに割り当てられた FIFO バッファをクリアしてください。

PIPECFG レジスタは、パイプ 4～7 に対して、転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号を指定するレジスタです。また、シングルまたはダブルバッファモードの選択と、転送終了時にパイプ動作を継続するか禁止するかの選択を行います。

EPNUM[3:0] ビット (エンドポイント番号)

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを示します。これらのビットは、DIR と EPNUM[3:0] の設定値の組み合わせが、2 つ以上のパイプで重複しないように設定してください (EPNUM[3:0] ビットは、どのパイプに対しても 0000b に設定することができます)。

DIR ビット (転送方向)

選択パイプの転送方向を指定します。ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向で使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向で使用します。

SHTNAK ビット (転送終了時のパイプ禁止)

選択パイプが受信方向の場合、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向のパイプ 4 とパイプ 5 のときに有効です。

受信方向の選択パイプに対して、ソフトウェアで SHTNAK ビットを 1 にすると、USBFS は、転送終了と判定したとき、選択パイプに対応する PIPEnCTR.PID[1:0] ビットを NAK に変更します。USBFS は、以下のいずれかの条件が満たされたときに転送終了と判定します。

- ショートパケット (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、カウンタに指定した数のパケットを正常に受信したとき

DBLB ビット (ダブルバッファモード)

選択パイプが使用する FIFO バッファに対して、シングルまたはダブルバッファモードのいずれか一方を選択します。DBLB ビットは、パイプ 4 とパイプ 5 の選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定)

選択パイプに対して、USBFS から CPU への BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にした場合、選択パイプが受信方向であると、USBFS は転送終了を検出し、当該パケットの読み出し後に BRDY 割り込みを発生させます。

この設定で BRDY 割り込みが発生した場合、ソフトウェアでポートコントロールレジスタの BCLR ビットに 1 を書き込んでください。BCLR ビットに 1 を書くまで、選択パイプに割り当てられた FIFO バッファは受信可能な状態になりません。

ソフトウェアで BFRE ビットを 1 にしても、選択パイプが送信方向であると、USBFS は BRDY 割り込みを発生させません。詳細は、[26.3.3.1 BRDY 割り込み](#)を参照してください。

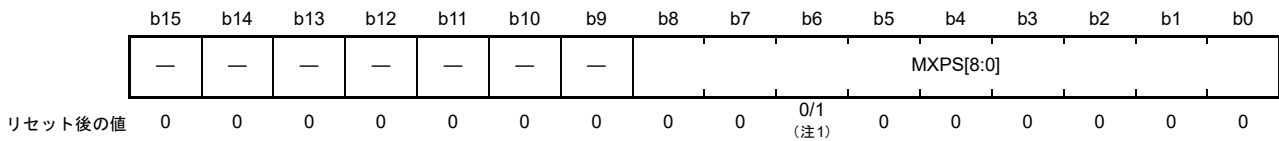
TYPE[1:0] ビット (転送タイプ)

PIPESEL.PIPESEL[3:0] ビットで選択したパイプに対して、転送タイプを選択します。

選択パイプの PID を BUF に設定する前に (選択パイプを使用した USB 通信を開始する前に)、TYPE[1:0] ビットに 00b 以外の値を設定してください。

26.2.26 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USBFS.PIPEMAXP 4009 006Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	最大パケットサイズ(注2)	<ul style="list-style-type: none"> • パイプ4および5 : 8バイト (008h)、16バイト (010h)、 32バイト (020h)、64バイト (040h) ([8:7]ビットと[2:0]ビットはサポートされていません) • パイプ6および7 : 1バイト (001h) ~ 64バイト (040h) ([8:7]ビットはサポートされていません) 	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. これらのビットの値は、PIPESEL.PIPSEL[3:0] ビットでパイプを選択していないときは 0000h、選択しているときは 0040h です。
- 注 2. MXPS[8:0] ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択する前に行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

PIPEMAXP レジスタは、パイプ 4 ~ 7 に対して、最大パケットサイズを指定するレジスタです。

MXPS[8:0] ビット (最大パケットサイズ)

選択パイプの最大データペイロード (最大パケットサイズ) を指定します。

これらのビットは、転送タイプごとに USB2.0 規格に従って適切な値を設定してください。MXPS[8:0] ビット=0 のときは、FIFO バッファへの書き込みも、PID を BUF にする設定も行わないでください。

26.2.27 パイプ n コントロールレジスタ (PIPEnCTR) (n = 4 ~ 7)

PIPEnCTR (n = 4, 5)

アドレス [USBFS.PIPE4CTR 4009 0076h](#), [USBFS.PIPE5CTR 4009 0078h](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0: NAK 応答 0 1: BUF 応答 (バッファ状態に従う) 1 0: STALL 応答 1 1: STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0: 選択パイプはトランザクションで未使用 1: 選択パイプはトランザクションで使用中	R
b6	SQMON	シーケンスストグルビット確認	0: DATA0 1: DATA1	R
b7	SQSET	シーケンスストグルビットセット (注2)	0: 書き込み禁止 1: DATA1を指定	R/W (注1)
b8	SQCLR	シーケンスストグルビットクリア (注2)	0: 書き込み禁止 1: DATA0を指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注3)	0: 禁止 1: 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モード (注2)	0: 自動応答を禁止 1: 自動応答を許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0: バッファメモリに送信可能データなし 1: バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータス	0: CPUからのバッファアクセス不可能 1: CPUからのバッファアクセス可能	R

- 注 1. 読むと0のみが読めます。
- 注 2. ATREPM ビットの設定と、SQCLR ビットまたは SQSET ビットへの1書き込みは、PIDがNAKであるときに行ってください。これらのビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUFからNAKへ変更してから実施してください。USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。
- 注 3. ACLRM ビットの設定は、PID[1:0] = NAKかつポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUFからNAKへ変更してから実施してください。USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

PIPEnCTR レジスタは、PIPESEL レジスタで選択したどのパイプに対しても設定可能です。

PID[1:0] ビット (応答 PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。PID[1:0] ビットの初期値は NAK です。対応パイプで USBFS 転送を行う場合は、PID[1:0] ビットを BUF に変更してください。表 26.7 に、PID[1:0] ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を示します。

選択パイプの USBFS 通信中に、ソフトウェアで PID[1:0] ビット設定を BUF から NAK に変更したときは、選択パイプの USBFS 転送が実際に NAK 状態に遷移したかどうかを判定するため、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

以下の場合に、USBFS が PID[1:0] ビット設定を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は、転送終了を認識したときに PID を NAK に設定
- 選択パイプの最大パケットサイズを超えるペイロードのデータパケットを受信したとき、USB は PID を STALL (11b) に設定
- USB バスリセットを検出したとき、USBFS は PID を NAK に設定

応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット (パイプビジー)

選択パイプが現在のトランザクションで使用中かどうかを示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。詳細は、26.3.4.1 [パイプコントロールレジスタの切り替え手順](#)を参照してください。

SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。受信方向での転送時に DATA-PID 不一致が発生した場合、SQMON ビットのトグルは許可されません。

SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USB は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定することが可能になります。USBFS は SQSET ビットを 0 にします。

SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA0 を設定することが可能になります。USBFS は、SQCLR ビットを 0 にします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。

選択パイプに割り当てられた FIFO バッファの情報を完全に削除するには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 26.8 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、情報のクリアが必要となる状況を示します。

ATREPM ビット (自動応答モード)

選択パイプの自動応答モードの許可または禁止します。

本ビットは、選択パイプがバルク転送用の場合に 1 にすることが可能です。ATREPM ビットを 1 にすると、USBFS は USB ホストからのトークンに対し以下のように応答します。

- 選択パイプの設定がバルク IN 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR ビット = 1) のとき：
 - ATREPM ビット = 1 かつ PID = BUF の場合、IN トークンに対して USB は Zero-Length パケットを送信します。
 - USB は、USB ホストから ACK を受信するごとに、シーケンストグルビット (DATA-PID) を更新 (トグルを許可) します。1 トランザクションでは、IN トークンの受信、Zero-Length パケットの送信、および ACK の受信が行われます。USB は BRDY 割り込みや BEMP 割り込みを発生させません。
- 選択パイプの設定がバルク OUT 転送 (PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0) のとき：
 - ATREPM ビット = 1 かつ PID = BUF の場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態では ATREPM ビットを 1 にしてください。自動応答モードでの USBFS 通信中は、FIFO バッファに書き込まないでください。

INBUFM ビット (送信バッファモニタ)

選択パイプが送信方向の場合に、そのパイプの FIFO バッファステータスを示します。

選択パイプが送信方向 (PIPECFG.DIR = 1) の場合、CPU または DTC が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了すると、USBFS はこのビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBFS がすべて送信完了したときに、USBFS は INBUFM ビットを 0 にします。ダブルバッファモード (PIPECFG.DBLB = 1) では、CPU または DTC が FIFO バッファの 1 面分のデータ書き込みを完了する前に、USBFS が FIFO バッファの 2 面分のデータ送信を完了すると、USBFS は INBUFM ビットを 0 にします。

選択パイプが受信方向 (PIPECFG.DIR = 0) の場合、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、表 26.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値で異なります。

表 26.7 PID[1:0] ビット設定値で決まる USBFS の動作

PID[1:0] ビット	転送タイプ	転送方向 (DIR ビット)	USBFS の動作
00b (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して NAK 応答を行う。
01b (BUF)	バルク	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、選択パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	インタラプト	受信方向 (DIR ビット = 0)	USB ホストからの OUT トークンに対して、選択パイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行う。
	バルクまたは インタラプト	送信方向 (DIR ビット = 1)	USB ホストからのトークンに対して、対応する FIFO バッファが送信可能な状態であればデータを送信する。送信可能でなければ NAK 応答を行う。
10b (STALL) または 11b (STALL)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに対して STALL 応答を行う。

表 26.8 ACLRM = 1 設定時に USBFS がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファのすべての情報 (ダブルバッファモード選択時は FIFO バッファを 2 面ともクリア)	パイプを初期化する場合
2	PIPECFG.BFRE ビットの内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定を変更する場合
4	トランザクションカウンタの内部フラグ	トランザクションカウンタ機能を強制終了する場合

表 26.9 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの機能
0	0	0	FIFO バッファからの受信データの読み出しが可能 FIFO バッファからの受信データの読み出しが完了
		1	設定禁止
	1	0	FIFO バッファから読み出し可能な受信データは、FIFO バッファからのデータの読み出し完了時に、ソフトウェアによって 1 になる
		1	FIFO バッファからの受信データの読み出しが可能 FIFO バッファからの受信データの読み出しが完了
1	0	0	FIFO バッファへの送信データの書き込みが可能 FIFO バッファへの送信データの書き込みが完了
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

PIPEnCTR (n = 6 および 7)

アドレス [USBFS.PIPE6CTR 4009 007Ah](#), [USBFS.PIPE7CTR 4009 007Ch](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0 : 選択パイプはUSBバスで未使用 1 : 選択パイプはUSBバスで使用	R
b6	SQMON	シーケンスストールビット確認	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスストールビットセット (注2)	0 : 無効 1 : DATA1を指定	R/W (注1)
b8	SQCLR	シーケンスストールビットクリア (注2)	0 : 無効 1 : DATA0を指定	R/W (注1)
b9	ACLRM	自動バッファクリアモード (注2) (注3)	0 : 自動バッファクリアモードを禁止 1 : 自動バッファクリアモードを許可 (全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	BSTS	バッファステータス	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

- 注 1. 読むと0が読み出されます。1のみ書けます。
- 注 2. SQCLR または SQSET ビットへの1書き込みは、PIDがNAKのときに行ってください。これらのビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUFからNAKへ変更してから実施してください。USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。
- 注 3. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタのCURPIPE[3:0] ビットでパイプを選択する前に行ってください。本ビットを設定する場合には、PBUSY ビットが0であることを確認し、選択パイプのPID[1:0] ビットをBUFからNAKへ変更してから実施してください。USBがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

PID[1:0] ビット (応答PID)

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値はNAKです。選択パイプでUSBFS転送を行う場合にはPID[1:0] ビットの設定をBUFに変更してください。表 26.7 に、PID[1:0] の設定値に対応したUSBの基本動作(通信パケットにエラーがない場合)を示します。

選択パイプがUSBFS通信中のときに、ソフトウェアでPID[1:0] ビットの設定をBUFからNAKに変更したときは、選択パイプのUSBFS転送が実際にNAK状態に遷移したかどうかを判定するため、PBUSY ビットが1であることを確認してください。USBFSがPID[1:0] ビットをNAKに変更した場合は、ソフトウェアによるPBUSY ビットの確認は不要です。

以下の場合、USBFSがPID[1:0] ビット設定を変更します。

- 選択パイプが受信方向で、かつソフトウェアで選択パイプのPIPECFG.SHTNAK ビットを1にしている場合、USBFSは転送が終了したときにPIDをNAKに設定
- 選択パイプの最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFSはPIDをSTALL (11b) に設定

- USB バスリセットを検出したとき、USBFS は PID を NAK に設定
応答の種類を指定するには、PID[1:0] ビットを以下のように設定してください。
- NAK (00b) から STALL へ遷移させるには、10b を設定
- BUF (01b) から STALL へ遷移させるには、11b を設定
- STALL (11b) から NAK へ遷移させるには、10b を設定してから 00b を設定
- STALL から BUF へ遷移させるには、00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット (パイプビジー)

選択パイプが現在トランザクションで使用かどうかを表示します。

USBFS は、選択パイプに対する USBFS トランザクションの開始時に、PBUSY ビットを 0 から 1 に変更します。1 回のトランザクションが終了すると、PBUSY ビットを 1 から 0 に変更します。PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定の変更が可能かどうかを確認できます。

SQMON ビット (シーケンストグルビット確認)

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。トランザクションが正常に終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向での転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットのトグルを行いません。

SQSET ビット (シーケンストグルビットセット)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定することが可能になります。USBFS は、SQSET ビットを 0 にします。

SQCLR ビット (シーケンストグルビットクリア)

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA1 を設定することが可能になります。USBFS は、SQSET ビットを 0 にしソフトウェアで SQCLR ビットを 1 にすると、USB は選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値として DATA0 を設定することが可能になります。USB は SQCLR ビットを 0 にします。

ACLRM ビット (自動バッファクリアモード)

選択パイプの自動バッファクリアモードを許可または禁止します。選択パイプに割り当てられた FIFO バッファ内のデータを完全にクリアするには、ACLRM ビットに 1 を書いた後、引き続き 0 を書いてください。

表 26.10 に、ACLRM ビットに 1 と 0 を連続して書くことでクリアされる情報と、この処理が必要となる状況を示します。

BSTS ビット (バッファステータス)

選択パイプの FIFO バッファステータスを示します。BSTS ビットの意味は、表 26.9 に示すように、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRMBIT ビットの設定値で異なります。

表 26.10 ACLRM ビット = 1 設定時に USB がクリアする情報

番号	ACLRM ビット操作によってクリアされる情報	クリアが必要となる状況
1	選択パイプに割り当てられた FIFO バッファの全情報	パイプを初期化する場合
2	PIPECFG.BFRE ビットの内部フラグ	PIPECFG.BFRE ビットの設定を変更する場合
3	トランザクションカウンターの内部フラグ	トランザクションカウンター機能を強制終了する場合

26.2.28 パイプ n トランザクションカウンタインーブルレジスタ (PIPEnTRE) (n = 4, 5)

アドレス [USBFS.PIPE4TRE 4009 009Ch](#), [USBFS.PIPE5TRE 4009 00A0h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0: 無効 1: 現在のカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ有効	0: トランザクションカウンタは無効 1: トランザクションカウンタは有効	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. PIPEnTRE レジスタの各ビットの変更は、PID が NAK のときに行ってください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USB が PID[1:0] ビットを NAK に変更した場合は、ソフトウェアによる PBUSY ビットの確認は不要です。

TRCLR ビット (トランザクションカウンタクリア)

TRCLR ビットを 1 にすると、USBFS は選択パイプに対応するトランザクションカウンタの現在の値をクリアし、その後、TRCLR ビットを 0 にします。

TRENB ビット (トランザクションカウンタ有効)

トランザクションカウンタを有効または無効にします。

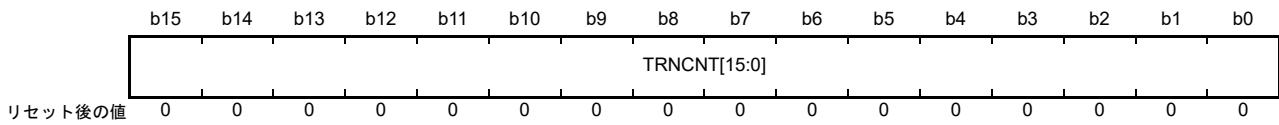
受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後、TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、以下のようにハードウェアを制御します。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し終えた時点で、USBFS は対応するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信し、その最後の受信データを読み出し終えた時点で、USBFS は BRDY 割り込みをアサート

送信パイプに対しては、TRENB ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRENB ビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットを設定してから TRENB ビットを 1 にしてください。トランザクションカウンタのカウンタ対象となる最初のパケットを受信する前に、TRENB ビットを 1 にしてください。

26.2.29 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 4, 5)

アドレス [USBFS.PIPE4TRN 4009 009Eh](#), [USBFS.PIPE5TRN 4009 00A2h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ	<ul style="list-style-type: none"> レジスタ書き込み時 対応するパイプが受信すべき総パケット数（トランザクション回数）を設定します。 レジスタ読み出し時 PIPE_nTRE.TRENB ビットが0の場合、設定したトランザクション回数が表示されます。 PIPE_nTRE.TRENB ビットが1の場合、現在のトランザクションカウンタが表示されます。 	R/W

PIPE_nTRN レジスタは、USB バスリセット時も、現在の設定値を保持します。

[TRNCNT\[15:0\]](#) ビット (トランザクションカウンタ)

USBFS は、パケット受信時に下記の条件がすべて満たされたとき、[TRNCNT\[15:0\]](#) ビット値を 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが 1 である
- パケット受信時に「[TRNCNT\[15:0\]](#) 設定値 ≠ 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPE_nMAXP.MXPS[8:0] ビットの設定値と一致した

USBFS は、下記の条件のいずれかが満たされたとき、[TRNCNT\[15:0\]](#) ビット値を 0 にします。

- 以下の条件がすべて満たされたとき：
 - PIPE_nTRE.TRENB ビットが 1 である
 - パケット受信時に「[TRNCNT\[15:0\]](#) 設定値 = 現在のカウンタ値 + 1」である
 - 受信したパケットのペイロードが PIPE_nMAXP.MXPS[8:0] ビットの設定値と一致した
- 以下の条件がすべて満たされたとき：
 - PIPE_nTRE.TRENB ビットが 1 である
 - USBFS がショートパケットを受信した
- 以下の条件がすべて満たされたとき：
 - PIPE_nTRE.TRENB ビットが 1 である
 - PIPE_nTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプに対しては、[TRNCNT\[15:0\]](#) ビットを 0 にしてください。トランザクションカウンタを使用しない場合、[TRNCNT\[15:0\]](#) ビットを 0 にしてください。

転送するトランザクションの回数を [TRNCNT\[15:0\]](#) ビットに設定することは、PIPE_nTRE.TRENB ビットが 0 の場合にのみ可能です。転送するトランザクションの回数を設定する場合は、PIPE_nTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして、現在のカウンタ値をクリアしてください。

26.2.30 USB モジュールコントロールレジスタ (USBMC)

アドレス **USBFS.USBMC 4009 00CCh**

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	VDCEN	—	—	—	—	—	—	VDDUS BE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VDDUSBE	USB 基準電源回路 ON/OFF 制御	0 : USB 基準電源回路 OFF 1 : USB 基準電源回路 ON	R/W
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VDCEN	USB レギュレータ ON/OFF 制御	0 : USB レギュレータ OFF 1 : USB レギュレータ ON	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VDDUSBE ビット (USB 基準電源回路 ON/OFF 制御)

USB 基準電源回路はバッテリーチャージ用の基準電圧を発生させます。バッテリーチャージ機能使用時は、このビットを1にしてください。

VDCEN ビット (USB レギュレータ ON/OFF 制御)

USB レギュレータ回路を制御します。USB レギュレータ回路の使用時は、このビットを1にしてください。

26.2.31 BC コントロールレジスタ 0 (USBBCCTRL0)

アドレス USBFS.USBBCCTRL0 4009 00B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	PDDETSTS0	CHGDETSTS0	BATCHGE0	—	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPDME0	D-端子プルダウン制御	0: プルダウンOFF 1: プルダウンON	R/W
b1	IDPSRCE0	D+端子IDPSRC出力制御	0: 停止 1: 10μA出力	R/W
b2	IDMSINKE0	D-端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b3	VDPSRCE0	D+端子VDPSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b4	IDPSINKE0	D+端子0.6V入力検出 (コンパレータ & シンク) 制御	0: 検出OFF 1: 検出ON (コンパレータ & シンク電流ON)	R/W
b5	VDMSRCE0	D-端子VDMSRC (0.6V) 出力制御	0: 停止 1: 0.6V出力	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	BATCHGE0	BC (バッテリーチャージャ) 機能Ch0汎用イネーブル制御	0: 禁止 1: 許可	R/W
b8	CHGDETSTS0	D-端子0.6V入力検出ステータス (注1)	0: 未検出 1: 検出あり	R
b9	PDDETSTS0	D+端子0.6V入力検出ステータス (注2)	0: 未検出 1: 検出あり	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IDMSINKE0 = 1 のときに有効

注 2. IDPSINKE0 = 1 のときに有効

RPDME0 ビット (D- 端子プルダウン制御)

バッテリーチャージ機能の使用時は、このビットを 1 にして D- 端子のプルダウン抵抗を制御してください。

IDPSRCE0 ビット (D+ 端子 IDPSRC 出力制御)

このビットを 1 にすると、データ端子のアタッチと D+ 端子のプルアップが検出されたときに電流出力が許可されます。

IDMSINKE0 ビット (D- 端子 0.6V 入力検出 (コンパレータ & シンク) 制御)

このビットを 1 にすると、USBFS は、一次検出時にホストから D- に出力される VDMSRC (0.6V) がアタッチされたか否か、または、デバイスから D+ に出力される VDPSRC (0.6V) がデバイスのホストによって D- にアタッチされたか否かを検出します。

VDPSRCE0 ビット (D+ 端子 VDPSRC (0.6V) 出力制御)

このビットを 1 にすると、一次検出時に出力が許可されて、D+ に VDPSRC (0.6V) が印加されます。

IDPSINKE0 ビット (D+ 端子 0.6V 入力検出 (コンパレータ & シンク) 制御)

このビットを 1 にすると、USBFS は、デバイスから D- に出力される VDMSRC (0.6V) が、デバイスのホストによって D+ (DCP) にアタッチされたか否かを検出します。

VDMSRCE0 ビット (D- 端子 VDMSRC (0.6V) 出力制御)

このビットを1にすると、二次検出時に出力が許可されて、D- に VDMSRC (0.6V) が印加されます。

CHGDETSTS0 フラグ (D- 端子 0.6V 入力検出ステータス)

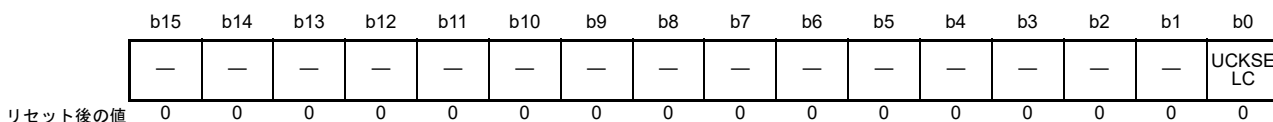
一次検出中にホストから D- に出力される VDMSRC (0.6V) がアタッチされたか否か、または、デバイスから D+ に出力される VDPSRC (0.6V) がデバイスのホストによって D- にアタッチされたか否かを USBFS が検出すると、CHGDETSTS0 フラグが1になります。

PDDETSTS0 フラグ (D+ 端子 0.6V 入力検出ステータス)

二次検出中にデバイスから D- に出力される VDMSRC (0.6V) がデバイスのホストによって D+ (DCP) にアタッチされたか否かを USBFS が検出すると、PDDETSTS0 フラグが1になります。

26.2.32 USB クロック選択レジスタ (UCKSEL)

アドレス `USBFS.UCKSEL 4009 00C4h`



ビット	シンボル	ビット名	機能	R/W
b0	UCKSEL	USB クロック選択 ^(注1)	0 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択しない 1 : USB クロックとして、高速オンチップオシレータ (HOCO) のクロックを選択する	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. UCKSEL ビット = 1 の場合、ユーザトリミング機能は使用できません。ユーザトリミング機能については、「8. クロック発生回路」を参照してください。

26.3 動作説明

26.3.1 システム制御

本項では、USBFS モジュールの初期化および消費電力制御のために必要なレジスタ設定について説明します。

26.3.1.1 USBFS 関連レジスタの設定

USB へクロック供給を開始 (SYSCFG.SCKE ビットを 1 に) した後、SYSCFG.USBE ビットを 1 にすると、USBFS の動作が許可されて、USBFS は動作を開始します。

26.3.1.2 USBFS データバス抵抗制御

USBFS は、D+ ライン用および D- ライン用のプルアップ抵抗を備えています。これらのラインをプルアップするには、SYSCFG.DPRPU ビットおよび SYSCFG.DMRPU ビットを使用します。

まず USB ホストへの接続を確認し、D+ ラインをプルアップする場合は SYSCFG.DPRPU ビットを 1 (フルスピード時) にし、D- ラインをプルアップする場合は SYSCFG.DMRPU ビットを 1 (ロースピード時) にしてください。

システムとの通信中に SYSCFG.DPRPU ビットを 0 (フルスピード時) にするか、または SYSCFG.DMRPU ビットを 0 (ロースピード時) にすると、USBFS が USB データラインのプルアップ抵抗を無効にするので、USBFS ホストに対してデタッチを通知することが可能です。

表 26.11 USBFS データバス抵抗の制御設定

SYSCFG レジスタの設定				
DPRPU ビット	DMRPU ビット	D-	D+	機能
0	0	オープン	オープン	使用しない
1	0	オープン	プルアップ	フルスピード
0	1	プルアップ	オープン	ロースピード
上記以外の設定		—	—	設定禁止

26.3.1.3 USBFS の電源接続例

図 26.2 に、USB レギュレータを使用しない場合の電源接続例を示します。図 26.3 と図 26.4 に、USB レギュレータを使用する場合の電源接続例を示します。

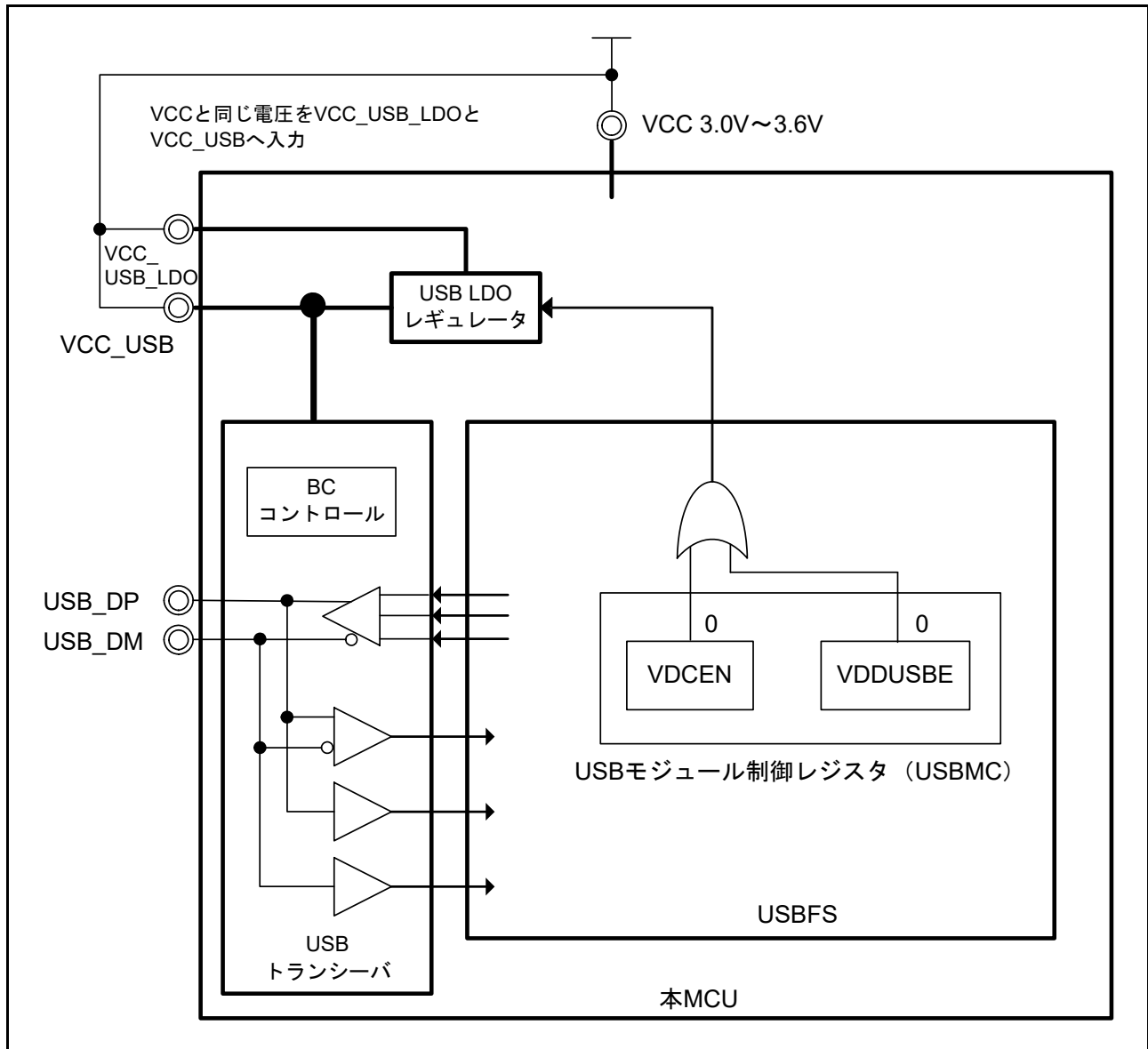


図 26.2 USB LDO レギュレータを使用しない場合の電源接続例

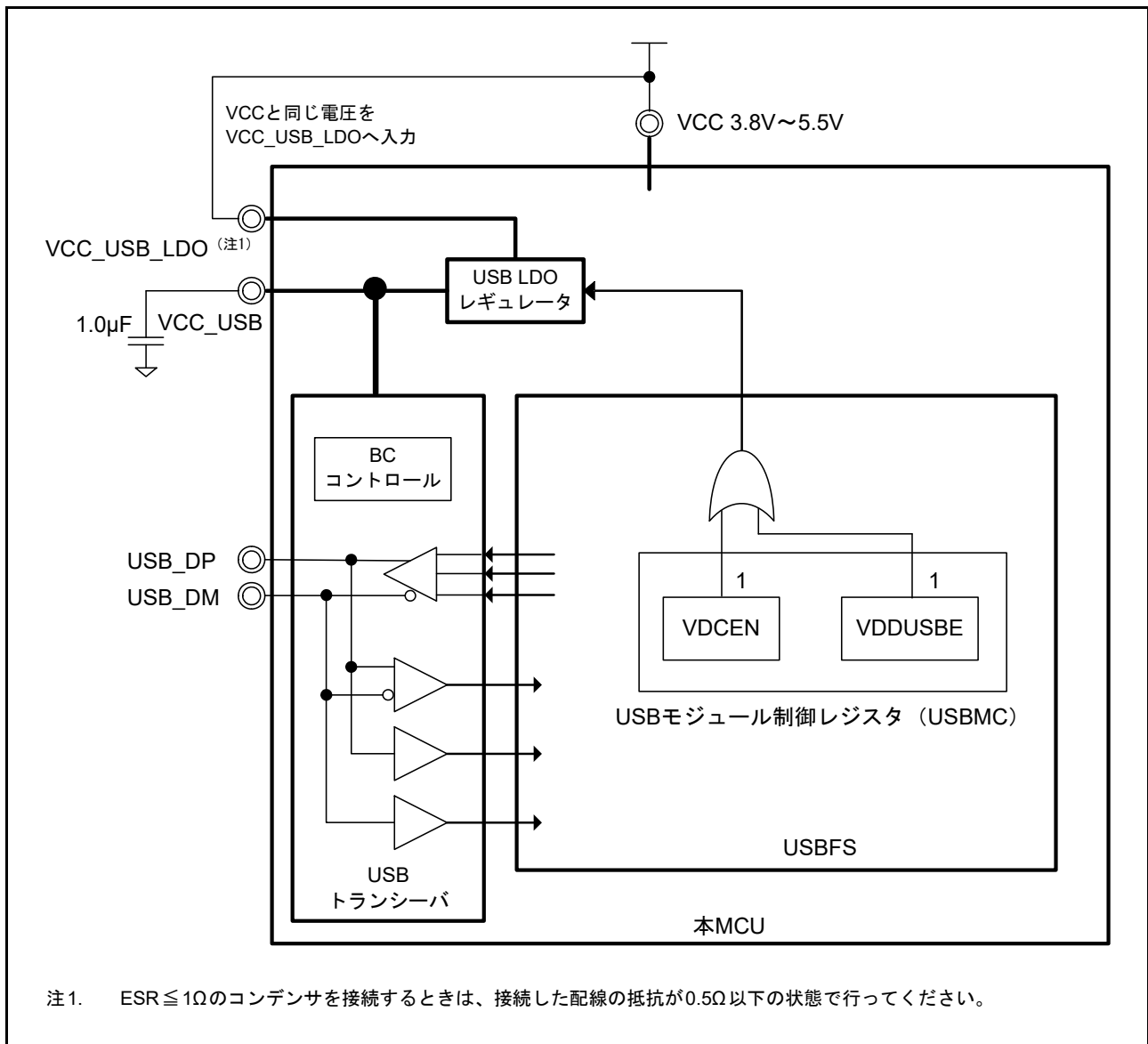


図 26.3 USB LDO レギュレータを使用する場合の電源接続例 (BC 使用)

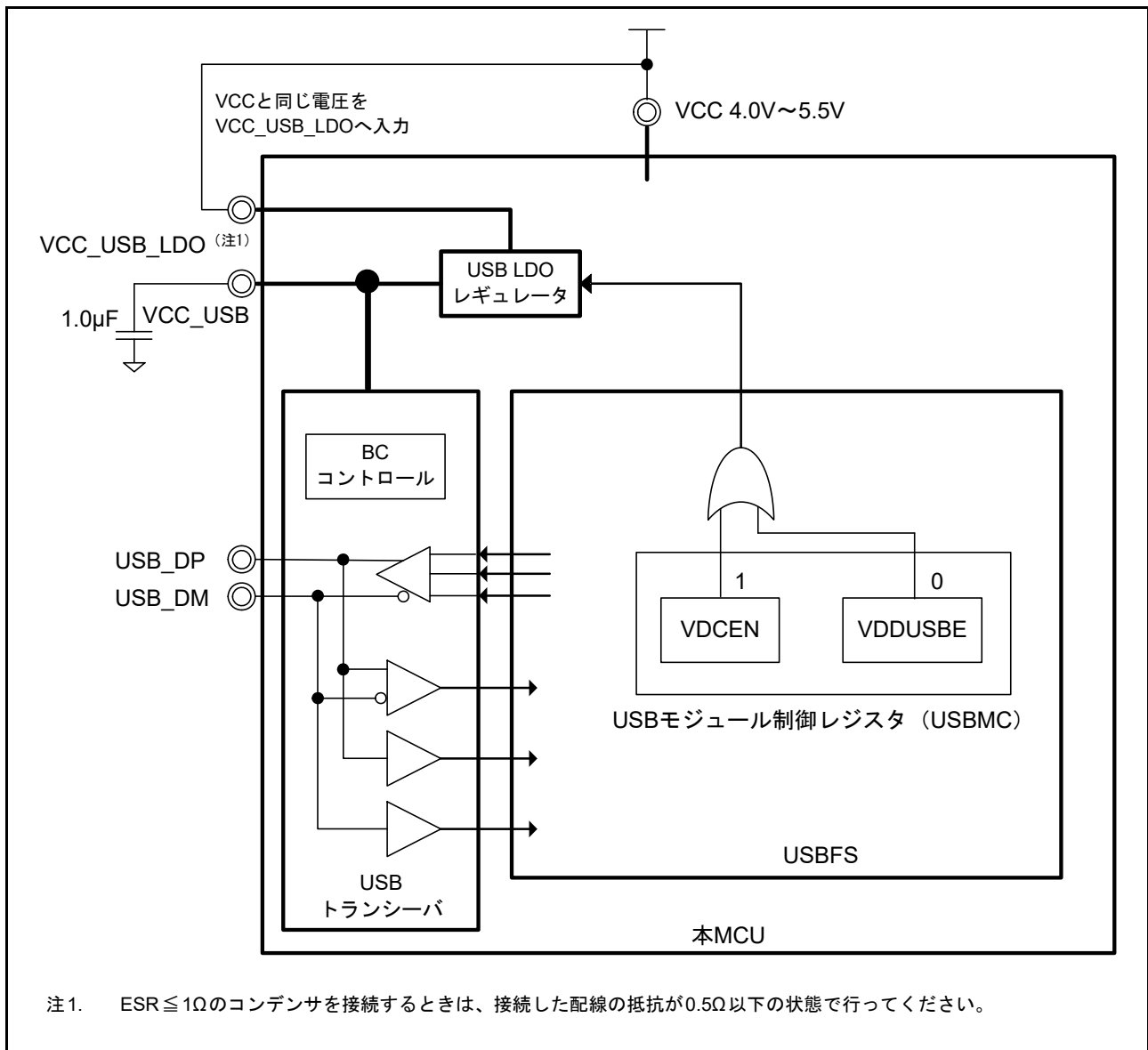


図 26.4 USB LDO レギュレータを使用する場合の電源接続例 (BC 不使用)

26.3.1.4 USB 外部接続回路の例

データラインの1つがプルアップされると、ホストはUSBデバイスを認識します。本MCUでは、このために内蔵プルアップ抵抗を切り替えることができます。また、本MCUはUSB-PHYに電源を内蔵しているため、バスパワーデバイスは外部レギュレータを必要としません。図26.6と図26.8に、USB接続用外部回路の例を示します。

図26.5に、セルフパワー状態でのUSBコネクタのファンクション接続例を示します。

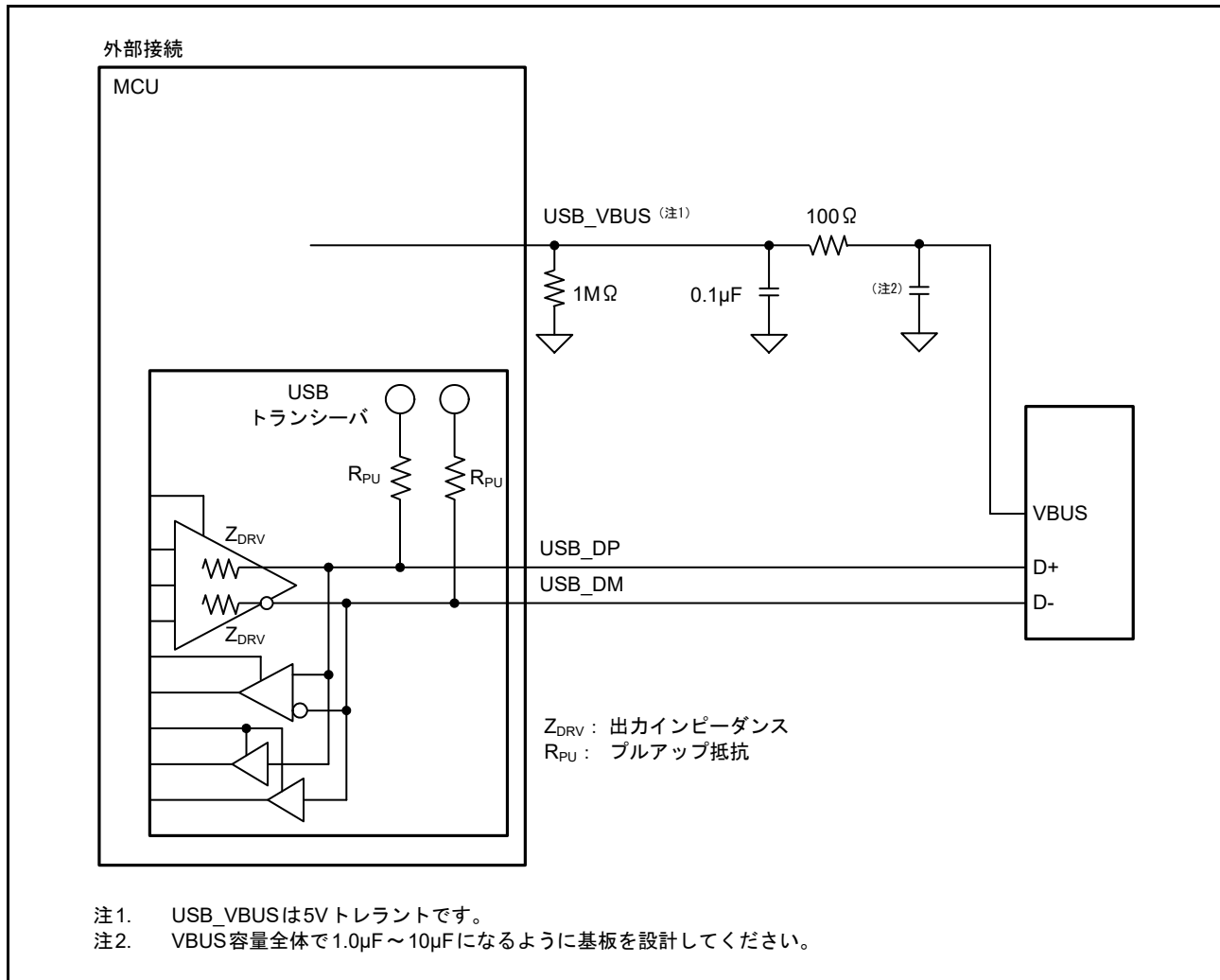


図 26.5 セルフパワー状態でのデバイス接続例

図 26.6 に、バスパワー状態での USB コネクタのファンクション接続例を示します。

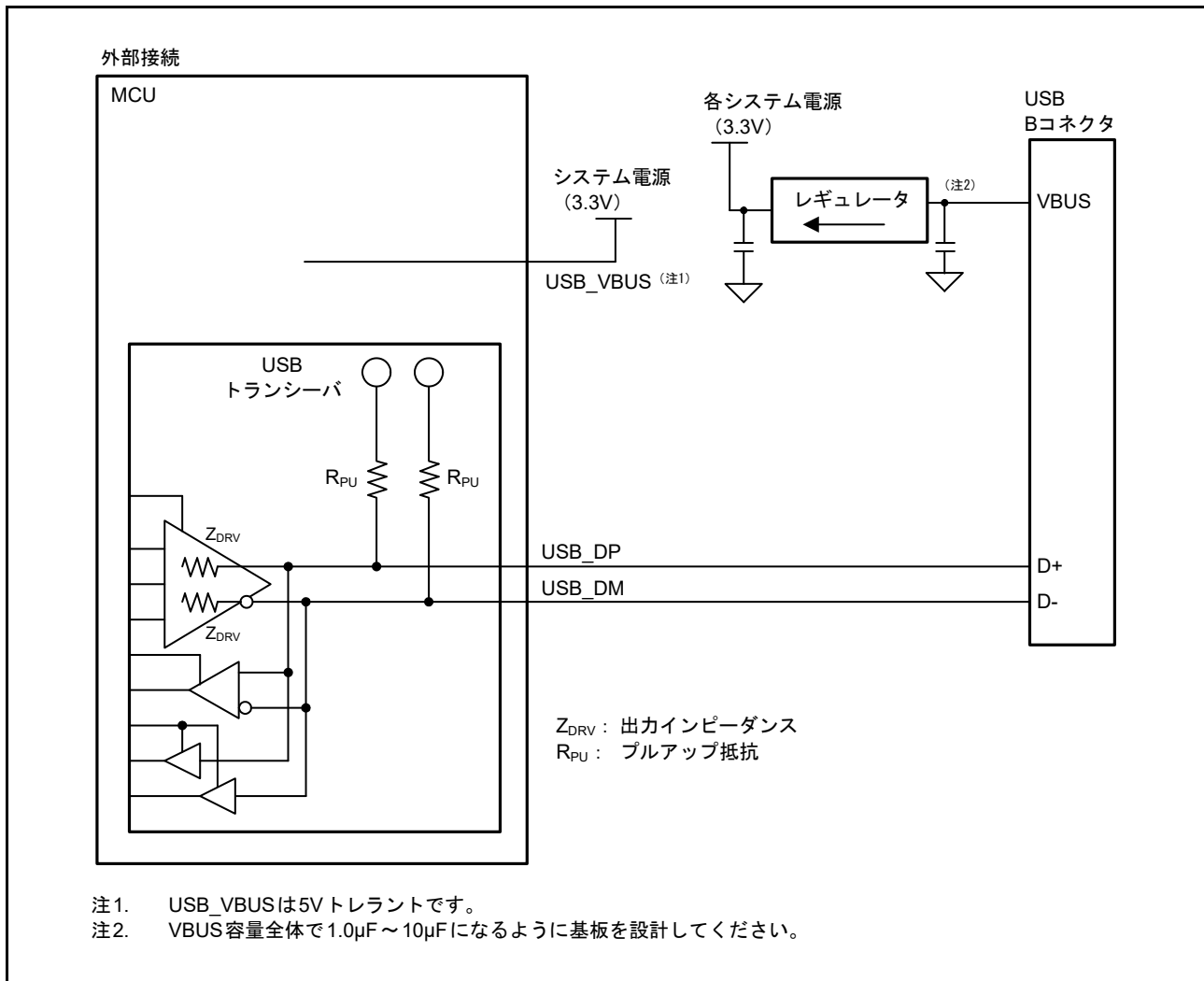


図 26.6 バスパワー状態 1 でのデバイス接続例

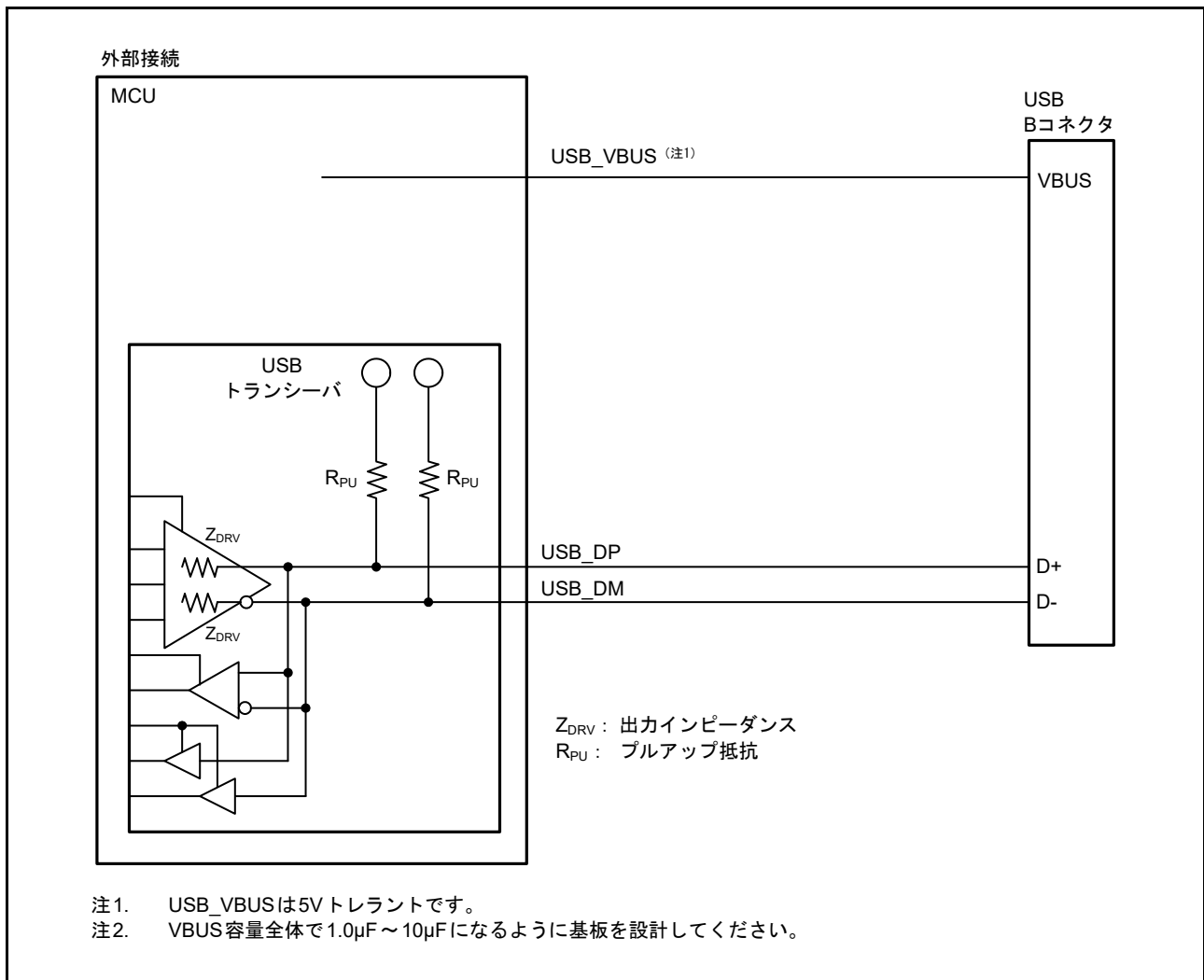


図 26.7 バスパワード状態 2 でのデバイス接続例

この節に記載の外部回路の例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

図 26.8 に、バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例を示します。

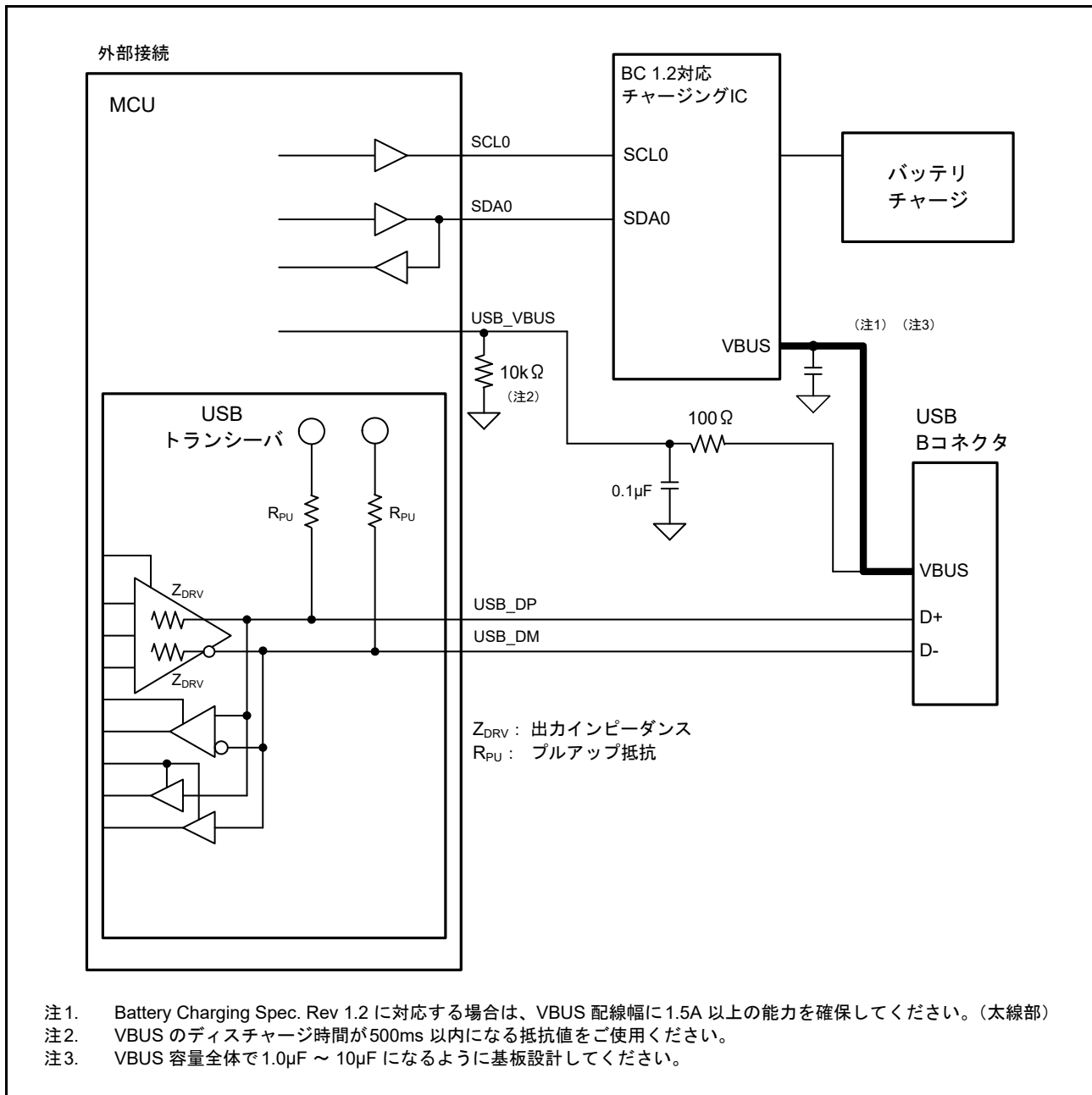


図 26.8 バッテリーチャージング規格 1.2 対応 USB コネクタのファンクション接続例

26.3.2 割り込み要因

表 26.12 に、USBFS の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、かつ対応する割り込みイネーブルレジスタで割り込み出力が許可されていると、割り込みコントローラユニットに対して USB 割り込み要求が発行されて、USB 割り込みが発生します。「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.12 割り込み要因

1にするビット	名称	割り込み要因	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> • USB_VBUS入力端子の状態変化を検出したとき (Low→HighまたはHigh→Low) 	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> • Suspended状態においてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0) 	—
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> • フレーム番号の異なるSOFパケットを受信したとき 	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> • 以下のいずれかの条件下でデバイスステート遷移を検出したとき <ul style="list-style-type: none"> - USBバスリセットを検出 - Suspended状態を検出 - SET_ADDRESSリクエストを受信 - SET_CONFIGURATIONリクエストを受信 	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> • 以下のいずれかの条件下でコントロール転送のステージ遷移を検出したとき <ul style="list-style-type: none"> - セットアップステージ完了 - コントロールライト転送ステータスステージ遷移 - コントロールリード転送ステータスステージ遷移 - コントロール転送完了 - コントロール転送シーケンスエラー発生 	INTSTS0. CTSQ[2:0]
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> • バッファメモリ中の全データを送信してバッファが空になったとき • 最大パケットサイズを超えたパケットを受信したとき 	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	<ul style="list-style-type: none"> • PIDビット=BUFのときに、INトークンまたはOUTトークンに対してNAKを応答したとき 	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> • バッファがレディ状態 (読み出しまたは書き込み可能) になったとき 	BRDYSTS. PIPEnBRDY

図 26.9 に、USBFS の割り込みに関連する回路を示します。

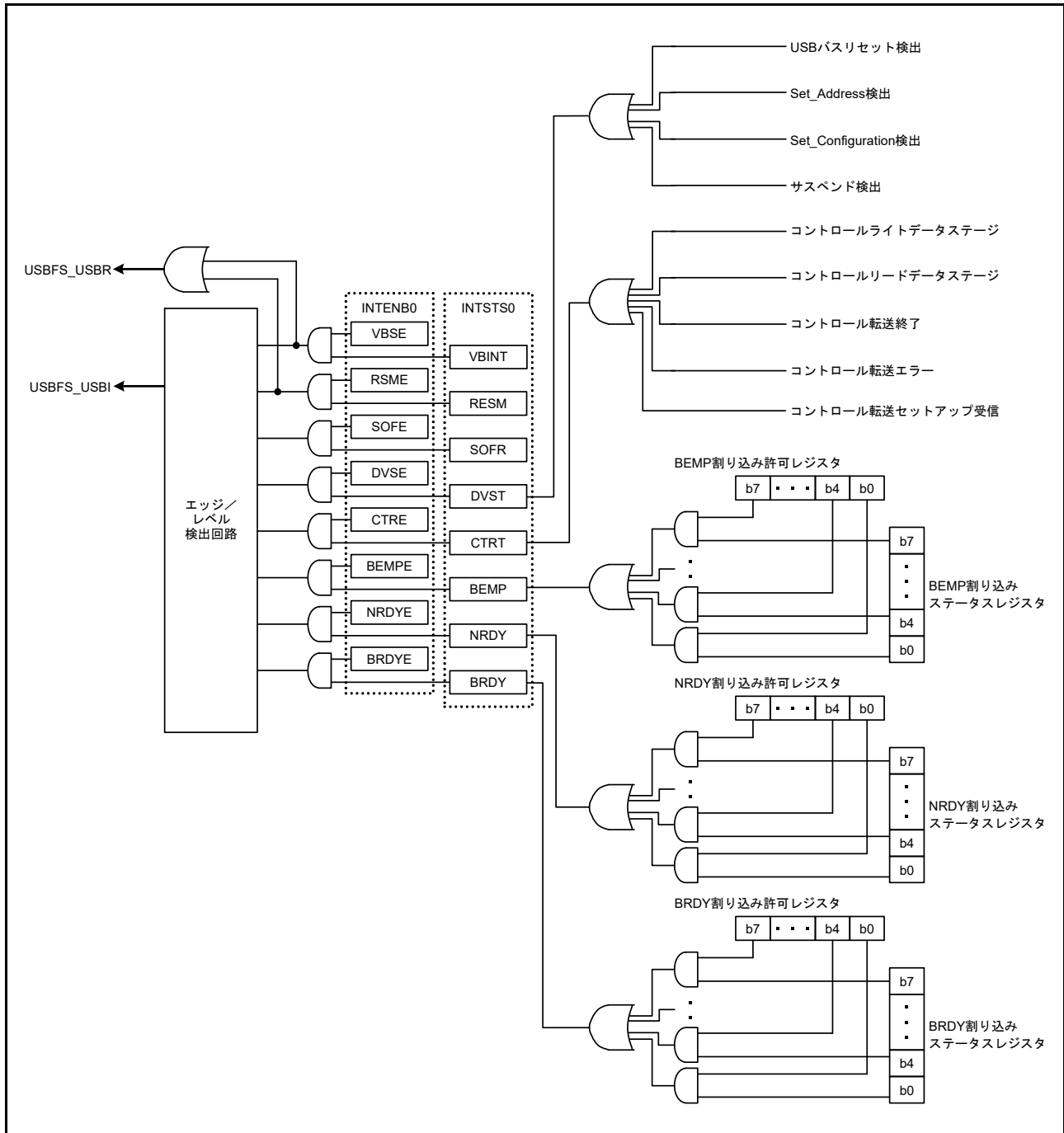


図 26.9 USBFS の割り込みに関連する回路

表 26.13 に、USBFS で発生する割り込みを示します。

表 26.13 USBFS の割り込み

割り込み名	割り込みステータスフラグ	DTCの起動
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファEMPTY割り込み、バッファノットレディ割り込み、バッファレディ割り込み	不可能
USBFS_USBR	VBUS割り込み、レジューム割り込み	不可能

26.3.3 割り込みの説明

26.3.3.1 BRDY 割り込み

ここでは、USBFS が BRDYSTS レジスタの対応するビットを 1 にするときの条件について説明します。この条件下では、ソフトウェアで当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを 1 にして、さらに INTENB0.BRDYE ビットを 1 にしていると、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みの発生およびクリア条件は、以下の各項に示すように、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定値によって異なります。

(1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートがアクセス可能であることを示します。

下記条件のいずれかに該当する場合、USBFS は内部 BRDY 割り込み要求トリガを発生させ、選択パイプに対応する BRDYSTS.PIPEnBRDY ビットを 1 にします。

(a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- CPU から選択パイプの FIFO バッファへのライトアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、そのパイプを用いたパケット送信が完了したとき
- ダブルバッファモードにおいて、一方の FIFO バッファへの書き込み完了時に、もう一方の FIFO バッファが空であったとき
- 一方の FIFO バッファへの送信が完了しても、現在書き込み中の FIFO バッファへの書き込みが完了するまで、要求トリガは発生しません
- PIPEnCTR.ACLRM ビットに 1 を書くことで、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては (コントロール転送でのデータ送信においては)、要求トリガは発生しません。

(b) 受信パイプの場合

- CPU から選択パイプの FIFO バッファへのリードアクセスが不可能な (BSTS ビットの読み出し値が 0 の) 状態で、パケット受信が正常に完了したため、FIFO バッファの読み出しが可能になったとき
DATA-PID 不一致が発生したトランザクションに対しては、要求トリガは発生しません
- ダブルバッファモードにおいて、一方の FIFO バッファからの読み出し完了時に、もう一方の FIFO バッファも読み出し可能なとき
一方の FIFO バッファが受信を完了しても、現在読み出し中の FIFO バッファからの読み出しが完了するまで、要求トリガは発生しません

コントロール転送のステータスステージでは、BRDY 割り込みは発生しません。

選択パイプの PIPEBRDY 割り込みステータスは、ソフトウェアで対応する PIPEnBRDY ビットに 0 を書くことにより、0 にすることが可能です。このとき、他のパイプの PIPEBRDY ビットには 1 を書いてください。

BRDY ステータスのクリアは、FIFO バッファへアクセスする前に行ってください。

(2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、受信パイプによって1転送分の全データがすべて読み出されたときに、USBはBRDY割り込みを発生させ、BRDYSTSレジスタの選択パイプに対応するビットを1にします。

下記条件のいずれかに該当する場合、USBFSは1転送分の最後のデータが受信されたと判定します。

- ショートパケット (Zero-Length パケットを含む) を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) を使用し、PIPE_nTRN.TRNCNT[15:0] ビットで設定したパケット数をすべて受信したとき

上記条件のいずれかが満たされた後、当該データの読み出しが完了したときに、USBFSは1転送分の全データがすべて読み出されたと判定します。

FIFOバッファが空の状態 Zero-Length パケットを受信した場合、FIFOポートコントロールレジスタのFRDYビットが1、DTLN[8:0] ビットが0の時点で、USBFSは1転送分の全データがすべて読み出されたと判定します。この場合、次の転送を開始するには、対応するポートコントロールレジスタのBCLRビットにソフトウェアで1を書いてください。この設定の場合、USBFSは送信パイプに対してBRDY割り込みを検出しません。

選択パイプのPIPEBRDY割り込みステータスは、ソフトウェアで対応するBRDYSTS.PIPE_nBRDYビットに0を書くことにより、0にすることが可能です。このとき、他のパイプのPIPEBRDYビットにはすべて1を書いてください。

このモードを使用する場合、1転送分のすべてのデータの処理を終了するまでPIPECFG.BFREビットの設定値を変更しないでください。処理が完了する前にPIPECFG.BFREビットを変更する必要がある場合は、PIPE_nCTR.ACLRMビットを用いて選択パイプのFIFOバッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPE_nBRDYビット値は、各パイプのBSTSビットの設定値に連動します。すなわち、FIFOバッファのステータスに応じて、USBがBRDY割り込みステータスビット (PIPEBRDY) を1または0にします。

(a) 送信パイプの場合

BRDY割り込みステータスビットは、FIFOバッファが書き込み可能な状態であれば1になり、そうでなければ0になります。

ただし、送信方向のDCPが書き込み可能であっても、BRDY割り込みは発生しません。

(b) 受信パイプの場合

BRDY割り込みステータスビットは、FIFOバッファが読み出し可能な状態であれば1になり、全データが読み出されたとき (読み出し不可能な状態で) 0になります。FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアでBCLR=1を書くまで、選択のビットは1になり、BRDY割り込みが発生し続けます。

この設定の場合、ソフトウェアでPIPE_nBRDYビットを0にすることはできません。

SOFCFG.BRDYMビットが1のときは、全パイプのPIPECFG.BFREビットをすべて0にしてください。

図 26.10 に、BRDY 割り込みの発生タイミングを示します。

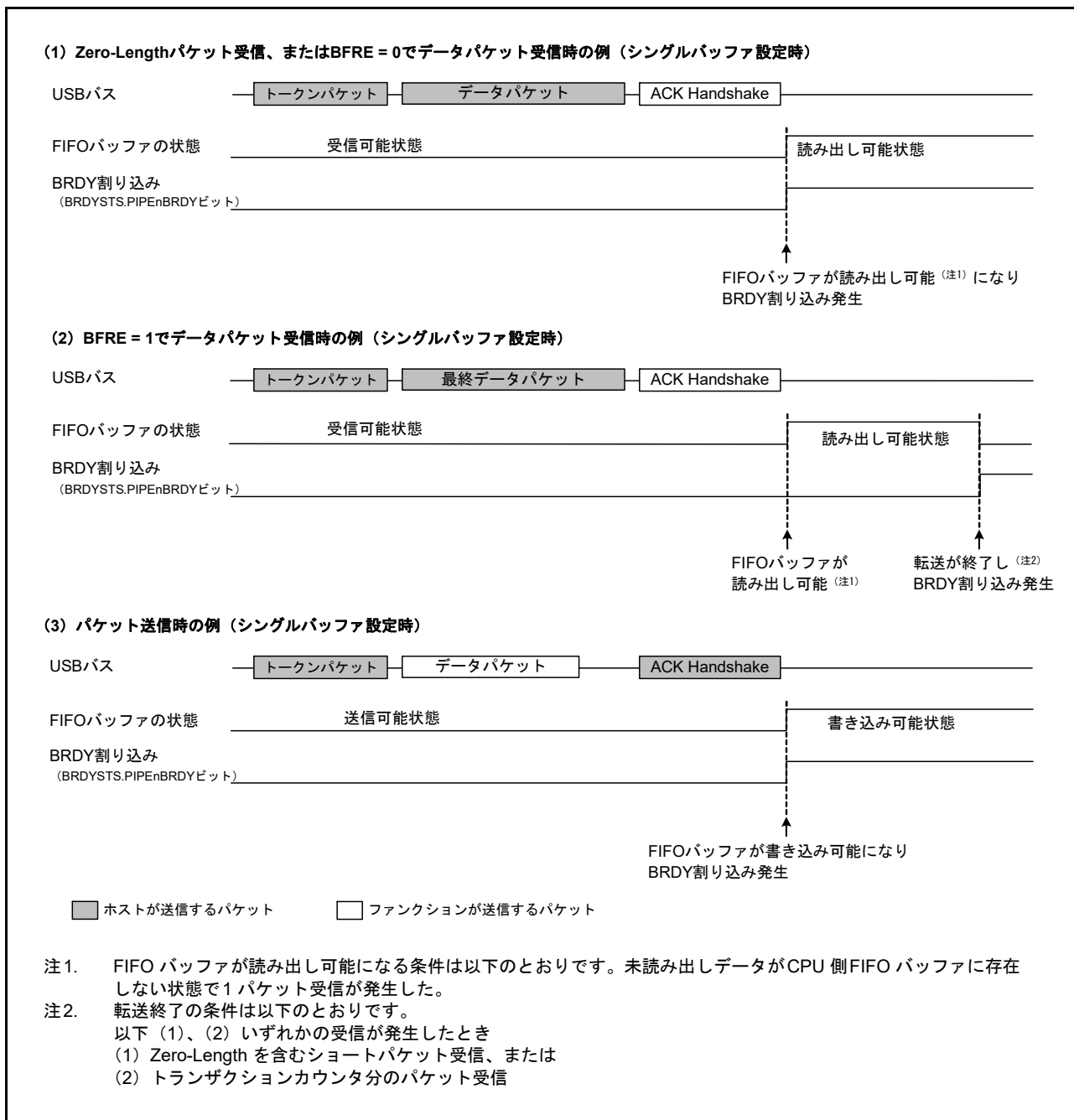


図 26.10 BRDY 割り込み発生タイミング

USBFS が INTSTS0.BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 26.14 に、BRDY ビットのクリア条件を示します。

表 26.14 BRDY ビットのクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを0にすると、USBFSはBRDYビットを0にします。
1	全パイプのBSTSビットが0になったとき、USBFSはBRDYビットを0にします。

26.3.3.2 NRDY 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに内部 NRDY 割り込み要求が発生すると、USBFS は対応する NRDYSTS.PIPE_nNRDY ビットを 1 にします。ソフトウェアで NRDYENB レジスタの対応するビットを 1 にしておくこと、USBFS は INTSTS0.NRDY ビットを 1 にして、USB 割り込みを発生させます。

USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

コントロール転送のステータスステージ実行時には、内部 NRDY 割り込み要求は発生しません。

(a) 送信パイプの場合

FIFO バッファ内に送信すべきデータがない状態で IN トークンを受信すると、USBFS は IN トークンの受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPE_nNRDY ビットを 1 にします。

(b) 受信パイプの場合

FIFO バッファに空きがない状態で OUT トークンを受信したとき。

割り込みが発生した転送パイプに対して、OUT トークンに続くデータの受信後に NAK ハンドシェイクを転送するとき、USBFS は NRDY 割り込み要求を発生させ、PIPE_nNRDY ビットを 1 にします。

ただし、再送信時 (DATA-PID 不一致発生時) には、NRDY 割り込み要求は発生しません。また、DATA パケットにエラーがある場合も、NRDY 割り込み要求は発生しません。

図 26.11 に、NRDY 割り込みの発生タイミングを示します。

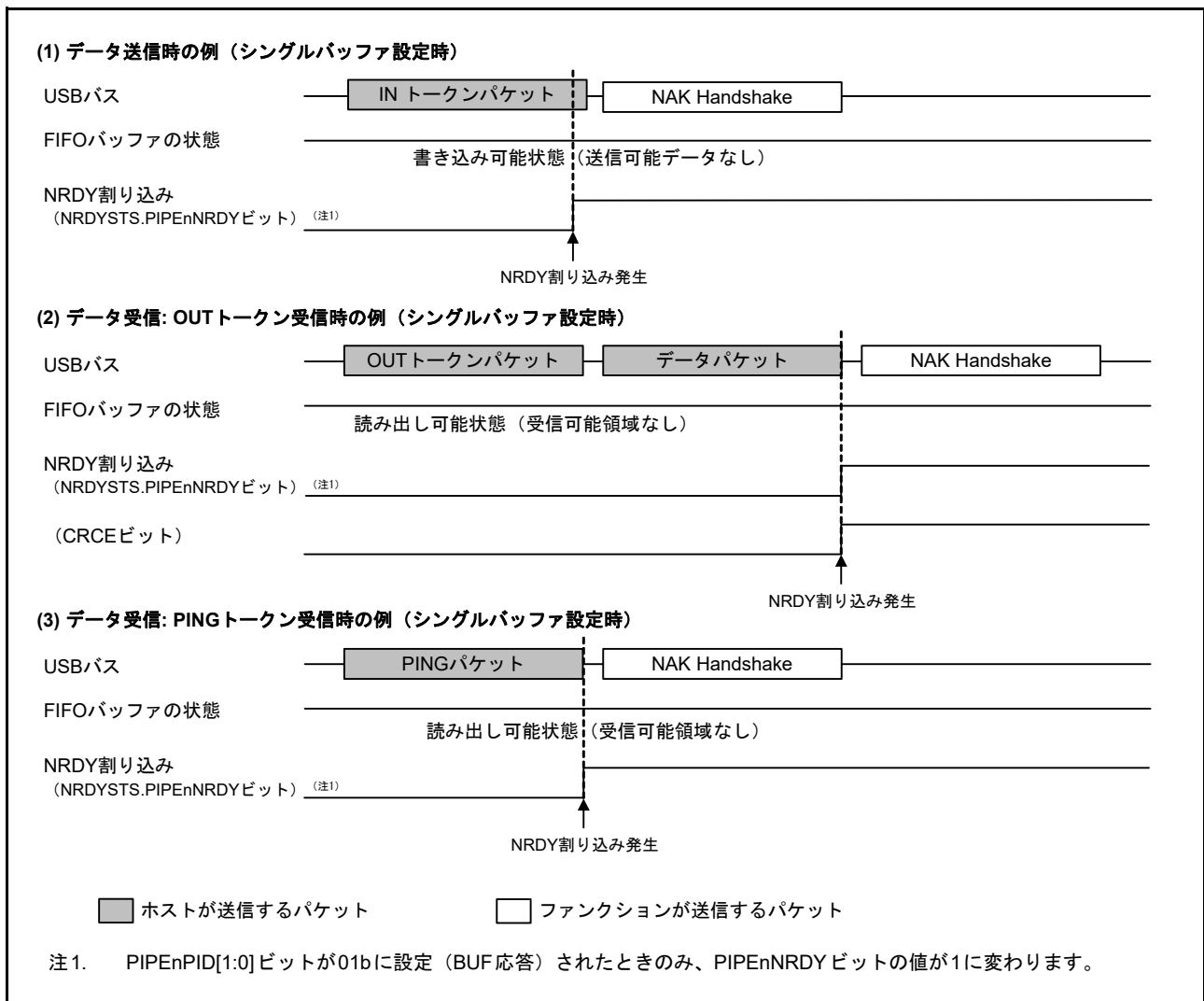


図 26.11 NRDY 割り込みの発生タイミング

26.3.3.3 BEMP 割り込み

ソフトウェアで PID ビットを BUF に設定したパイプに、BEMP 割り込みが検出されると、USBFS は対応する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアで BEMPENB レジスタの対応するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にして、USB 割り込みを発生させます。

ここでは、USBFS が内部 BEMP 割り込み要求を発生させる条件について説明します。

(1) 送信パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき。

シングルバッファモードでは、DCP 以外のパイプに対して BRDY 割り込みと同時に内部 BEMP 割り込み要求が発生します。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DTC が CPU 側の FIFO バッファへ書き込む場合
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にして、バッファをクリアした場合
- コントロール転送ステータスステージにおいて、IN 転送 (Zero-Length パケット送信) を実行した場合

(2) 受信パイプの場合

正常に受信したデータの packet サイズが、設定した最大 packet サイズを超えたとき。この場合、USBFS は BEMP 割り込み要求を発生させ、対応する BEMPSTS.PIPEnBEMP ビットを 1 にして、受信データを破棄し、当該パイプに対応する PID[1:0] ビット値を STALL (11b) に変更します。USBFS は STALL 応答を行います。

下記条件のいずれかに該当する場合、内部 BEMP 割り込み要求は発生しません。

- 受信データに CRC エラーまたはビットスタッフィングエラーが検出された場合
- Setup トランザクションが実行された場合
 - BEMPSTS.PIPEnBEMP ビットに 0 を書くと、ステータスがクリアされます
 - BEMPSTS.PIPEnBEMP ビットに 1 を書いても、何の影響もありません

図 26.12 に、BEMP 割り込みの発生タイミングを示します。

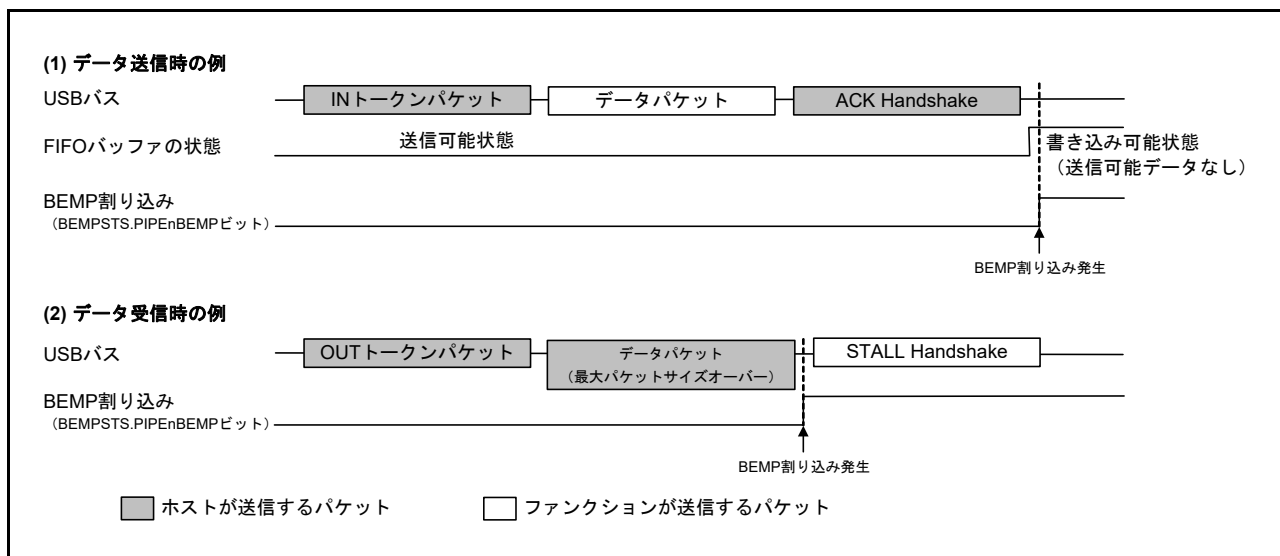


図 26.12 BEMP 割り込みの発生タイミング

26.3.3.4 デバイスステート遷移割り込み

図 26.13 に、USB のデバイスステート遷移図を示します。USBFS は、デバイスステートを管理して、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みによって検出します。デバイスステート遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先のデバイスステートは、INTSTS0.DVSTQ[2:0] ビットで確認できます。

Default ステートに遷移する場合は、USB バスリセットの検出後に、デバイスステート遷移割り込みが発生します。

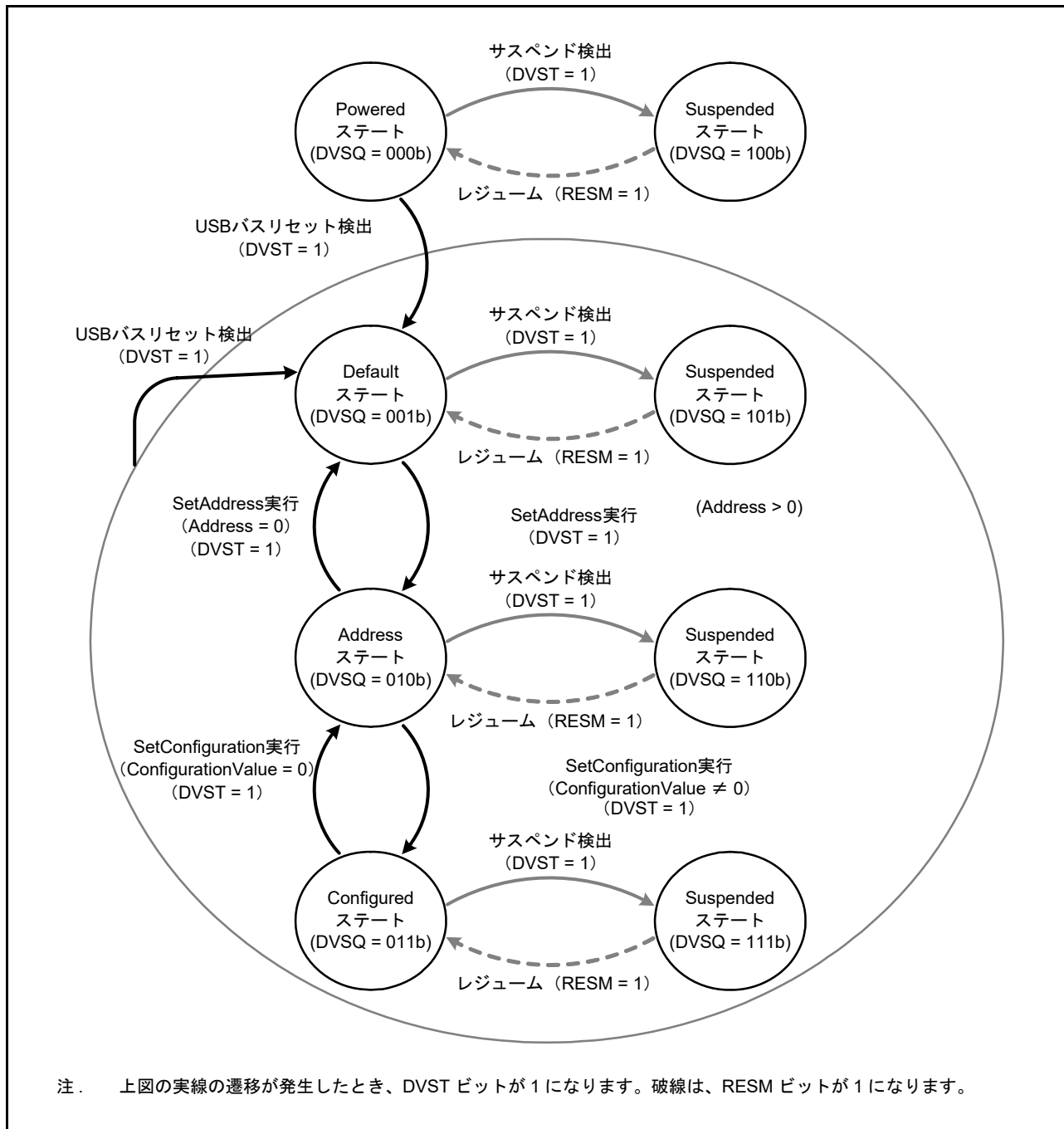


図 26.13 デバイスステートの遷移

26.3.3.5 コントロール転送ステージ遷移割り込み

図 26.14 に、USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを制御して、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタを用いて個別に許可または禁止できます。遷移した先の転送ステージは INTSTS0.CTSQ[2:0] ビットで確認できます。コントロール転送ステージ遷移割り込みが発生します。

本節では、コントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb (STALL 応答) になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークンを受信

(3) ノーデータコントロール転送

- ステータスステージで OUT トークンを受信

コントロールライト転送のデータステージでは、受信データ長が USB リクエストの wLength 値を超えても、コントロール転送シーケンスエラーと認識されません。コントロールリード転送のステータスステージでは、Zero-Length パケット以外のパケットが ACK 応答によって受信され、転送が正常に終了します。

シーケンスエラーに対して CTRT 割り込みが発生した場合 (INTSTS0.CTRT = 1)、システムから CTRT ビットに 0 を書き込む (割り込みステータスがクリアされる) まで、CTSQ[2:0] = 110b の値が保存されません。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了のステータスは USBFS で保存されており、ソフトウェアによって割り込みステータスがクリアされた後、CTRT 割り込みが発生します。

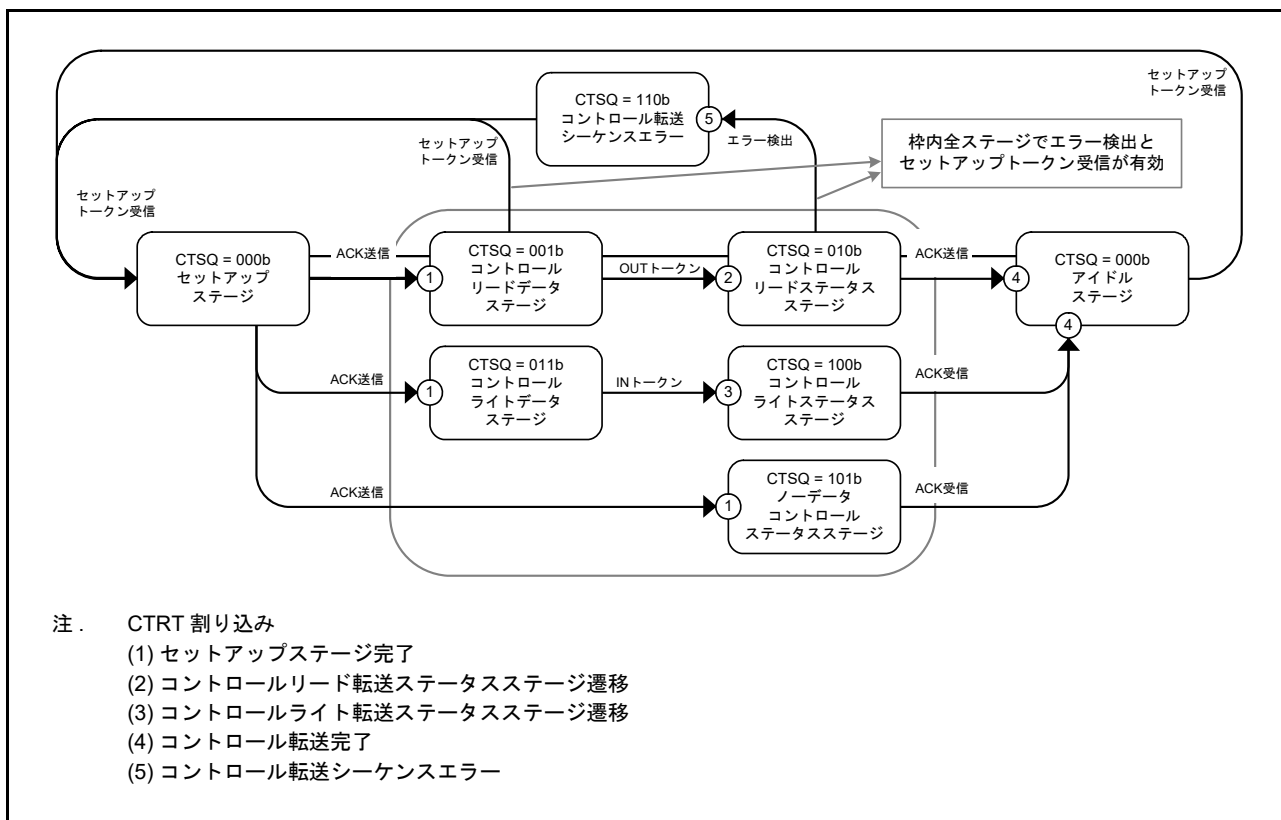


図 26.14 コントロール転送ステージの遷移

26.3.3.6 フレーム番号更新割り込み

USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

26.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合、VBUS 割り込みが発生します。USB_VBUS 端子のレベルは、INTSTS0.VBSTS ビットで確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

26.3.3.8 レジューム割り込み

レジューム割り込みは、デバイスステートが Suspended ステートで、USB バスステートが J-state から K-state へ、または J-state から SE0 へ変化したときに発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

26.3.4 パイプコントロール

表 26.15 に、USBFS のパイプ設定項目一覧を示します。USBFS データ転送は、ソフトウェアがエンドポイントに対応付けたパイプで行われます。USBFS にはデータ転送用に 5 本のパイプがあります。

各パイプは、システムの仕様に合わせて適切に設定してください。

表 26.15 パイプ設定項目

レジスタ名	ビット名	設定内容	注意点
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ4～7：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ4および5：設定可能
	DBLB	ダブルバッファモードを選択	パイプ4および5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ4～7：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	転送終了時のパイプ禁止を選択	パイプ4および5：設定可能
DCPMAXP PIPEMAXP	MXPS	最大パケットサイズ	USB2.0規格に準拠
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPIは、ISELビットで受信/送信バッファ状態を切り替え
	INBUFM	INバッファモニタ	パイプ4とパイプ5のみ搭載
	ATREPM	自動応答モード	パイプ4および5：設定可能
	ACLRM	自動バッファクリア	パイプ4～7：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	26.3.4.6 応答PIDを参照してください
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ4および5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ4および5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ4および5：設定可能

26.3.4.1 パイプコントロールレジスタの切り替え手順

USB 通信が許可 (PID = BUF) されているときは、パイプコントロールレジスタの以下のビットを書き換えないでください。

- DCPCFG および DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR および SQSET ビット
- PIPECFG および PIPEMAXP レジスタの各ビット
- PIPEnCTR レジスタの ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている場合に上記の各ビットを書き換えるには、以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生したとき、パイプに対応する PID[1:0] ビットを NAK に変更します。
2. 対応する PBUSY ビットが 0 になるまで待ちます。
3. パイプコントロールレジスタのビットを変更します。

パイプコントロールレジスタの下記のビットは、CFIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプの情報が設定されていない場合にのみ書き換え可能です。

- DCPCFG および DCPMAXP レジスタの各ビット
- PIPECFG および PIPEMAXP レジスタの各ビット

パイプ情報を変更する場合は、ポート選択レジスタの CURPIPE[3:0] ビットを、変更対象パイプ以外のパイプに設定してください。DCP については、パイプ情報の変更後、ポートコントロールレジスタの BCLR ビットを用いてバッファをクリアしてください。

26.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで、各パイプの転送タイプを以下のように指定します。

- DCP — 設定不要 (コントロール転送固定)
- パイプ 4 および 5 — バルク転送に設定してください
- パイプ 6 および 7 — インタラプト転送に設定してください

26.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットで、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP — 設定不要 (エンドポイント 0 固定)
- パイプ 4 ~ 7 — 1 から 15 までのエンドポイント番号を選択して設定してください。ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないようにしてください

26.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットと PIPEMAXP.MXPS[8:0] ビットで、各パイプの最大パケットサイズを指定します。DCP、パイプ 4、およびパイプ 5 は、USB2.0 規格で定義されているすべての最大パケットサイズに設定可能です。パイプ 6 とパイプ 7 では、最大パケットサイズは 64 バイトです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP — 8、16、32、または 64 に設定
- パイプ 4 および 5 — バルク転送時は 8、16、32、または 64 に設定
- パイプ 6 および 7 — 1 ~ 64 の値に設定

26.3.4.5 トランザクションカウンタ (受信方向パイプ 4 および 5)

データパケット受信方向で指定回数のトランザクションが完了したとき、USBFS は転送が終了したと認識します。トランザクションカウンタには以下の 2 つがあります。

- 実行するトランザクション回数を指定する PIPEnTRN レジスタ
- 実行されたトランザクション回数を内部でカウントするカレントカウンタ

PIPECFG.SHTNAK ビットが 1 の状態で、カレントカウンタ値がトランザクションの指定回数に一致すると、対応する PIPEnCTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットで、トランザクションカウンタ機能のカレントカウンタを初期化することにより、トランザクションを最初からカウントし直すことができます。PIPEnTRN レジスタから読み出されるデータは、PIPEnTRE.TRENB ビットの設定値に応じて以下のように異なります。

- TRENB ビット = 0 — 指定したトランザクションカウンタ値の読み出しが可能
- TRENB ビット = 1 — 内部でカウントした実行済みトランザクション回数を示すカレントカウンタ値の読み出しが可能

TRCLR ビットの操作には下記の制限があります。

- トランザクション回数がカウントされ、PID = BUF の場合、カレントカウンタはクリアできない
- バッファ内にデータが残っている場合、カレントカウンタはクリアできない

26.3.4.6 応答 PID

DCPCTR および PIPEnCTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を設定します。

次の各項で、各応答 PID の設定値に対する USBFS の動作について説明します。

(1) 応答 PID の設定

応答 PID では、ホストからのトランザクションに対する応答を指定します。

- NAK 設定 — 発生したトランザクションに対して NAK 応答を返す
- BUF 設定 — バッファメモリの状態に応じてトランザクションに応答する
- STALL 設定 — 発生したトランザクションに対して STALL 応答を返す

注. Setup トランザクションに対しては、PID[1:0] の設定にかかわらず ACK 応答を返し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USBFS による書き込みが発生する場合があります。USBFS による PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(2) 応答 PID がハードウェアで設定される場合

- NAK 設定 — 以下のトランザクションに対して、PID = NAK となり、NAK 応答を返す
 - SETUP トークンを正常に受信したとき (DCP のみ)
 - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定 — USB による BUF 書き込みなし
- STALL 設定 — 以下のトランザクションに対して、PID = STALL となり、STALL 応答を返す
 - 受信したデータの packetsize が、最大 packetsize を超えたとき
 - コントロール転送シーケンスエラーが検出されたとき (DCP のみ)

26.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットで確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビットと PIPEnCTR レジスタの SQSET ビットで、データ PID シーケンスビットの変更が可能です。

コントロール転送では、USBFS が自動的にステージ遷移用シーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。

送受信時の ClearFeature リクエストについては、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

26.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットを受信したとき、パイプ動作を禁止（応答 PID = NAK）にする機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタに基づいて、トランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットを 1 にすると、この機能が有効になります。

この機能を使用することで、バッファメモリをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作を禁止した場合は、ソフトウェアで再度パイプの許可設定（応答 PID = BUF）を行う必要があります。

なお、応答 PID = NAK 機能は、バルク転送でのみ使用可能です。

26.3.4.9 自動応答モード

バルク転送のパイプ 4 およびパイプ 5 において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードで遷移します。OUT 転送時（PIPECFG.DIR ビットが 0）では OUT-NAK モードとなり、IN 転送時（DIR ビットが 1）では Null 自動応答モードとなります。

26.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK が返され、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態から OUT-NAK モードを設定した後に、パイプ動作を許可（応答 PID = BUF）してください。パイプ動作を許可すると、OUT-NAK モードが有効になります。パイプ動作を禁止する直前で OUT トークンを受け付けた場合、そのトークンのデータは受信されて、ホストへ ACK が返されます。

OUT-NAK モードから通常モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態から OUT-NAK モードを解除した後に、パイプ動作を許可（応答 PID = BUF）してください。通常モードでは、OUT データ受信が可能となります。

26.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態から Null 自動応答モードを設定した後に、パイプ動作を許可（応答 PID = BUF）してください。パイプ動作を許可すると、Null 自動応答モードが有効になります。Null 自動応答モードの設定は、バッファが空でなければ不可能なため、事前に PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合は、PIPEnCTR.ACLRM ビットでバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みを行わないでください。

Null 自動応答モードから通常モードへの遷移を行う場合は、パイプ動作禁止（応答 PID = NAK）の状態から Zero-Length パケット送信期間（約 10 μ s）だけ維持した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからのデータ書き込みが可能となり、パイプ動作を許可（応答 PID = BUF）することで、ホストへのパケット送信が可能となります。

26.3.5 FIFO バッファメモリ

USBFS にはデータ転送用の FIFO バッファメモリがあり、このバッファメモリで各パイプに使用されるメモリ領域を管理しています。FIFO バッファメモリには、アクセス権がシステム (CPU 側) にある場合と、USB (SIE 側) にある場合の 2 種類の状態があります。

(1) バッファステータス

表 26.16 および表 26.17 に、USBFS のバッファステータスを示します。バッファメモリのステータスは、DCPCTR.BSTS および PIPE_nCTR.INBUFM ビットで確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) のいずれかで指定できます。INBUFM ビットは、送信方向のパイプ 0、パイプ 4、およびパイプ 5 に対して有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側のバッファメモリ状態を監視することや、INBUFM ビットを読み出して SIE 側のバッファメモリ状態を監視することが可能です。CPU または DTC による FIFO ポートへのライトアクセスが遅く、BEMP 割り込みではバッファの空き状態を判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 26.16 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	バッファメモリのステータス
0 (受信方向)	0	受信データなし、または受信中。FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信。FIFO ポートからの読み出し可能 注. Zero-Length パケット受信時は読み出しが不可能のためバッファクリアが必要です。
1 (送信方向)	0	送信未完了。FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了。CPU は書き込み可能

表 26.17 INBUFM ビットが示すバッファステータス

DIR	INBUFM	バッファメモリのステータス
0 (受信方向)	無効	無効
1 (送信方向)	0	送信完了 送信待ちデータなし
1 (送信方向)	1	データが FIFO ポートからバッファへ書き込まれた。 送信データあり

26.3.6 FIFO バッファクリア

表 26.18 に、USBFS による FIFO バッファメモリのクリア方式を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、または PIPEnCTR.ACLRМ ビットでクリアすることが可能です。

パイプ 4 とパイプ 5 に対しては、PIPECFG.DBLB ビットを用いて、構成をシングルバッファとするかダブルバッファとするかを選択できます。

表 26.18 バッファのクリア方式

FIFO バッファクリアモード	CPU 側バッファメモリのクリア	指定パイプのデータ読み出し後に自動でバッファメモリをクリアするモード	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR	-	PIPEnCTR
使用するビット	BCLR	DCLRМ	ACLRМ
クリア条件	1書き込みでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRМ ビットを 1 にすると、USB は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、バッファメモリ読み出し方向にのみ設定可能です。

ACLRМ ビットを 1 にした後、続けて 0 にすると、アクセス方向に関係なく、選択パイプのバッファメモリがクリアされます。ハードウェアの内部シーケンス処理時間として、ACLRМ ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

26.3.7 FIFO ポートの機能

表 26.19 に、USB の FIFO ポート機能の設定内容を示します。ライトアクセス時は、最大パケットサイズに達するまで書き込みを行うと、自動的にデータ送信が可能になります。最大パケットサイズに達する前に送信を可能とするには、ポートコントロールレジスタの BVAL ビットを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL ビットを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットの受信が可能になります。Zero-Length パケット受信時 (DTLN[8:0] ビット=0) は、データは読み出せないで、BCLR ビットでバッファをクリアしてください。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットで確認できます。

表 26.19 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL	RCNT	DTLN読み出しモードを選択
	REW	バッファメモリをリワインド (再読み出し、再書き込み)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアンを選択
	ISEL	FIFOポートアクセス方向 (DCP専用)
	CURPIPE	カレントパイプを選択
CFIFOCTR	BVAL	バッファメモリへの書き込みを終了
	BCLR	CPU側バッファメモリをクリア
	DTLN	受信データ長の確認

(1) FIFO ポート選択

表 26.20 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットで、アクセスするパイプを選択する必要があります。パイプを選択した後、書き込み値が CURPIPE[3:0] ビットから正しく読み出せたかどうかをソフトウェアで確認してください。

注． 前回のパイプ番号が読み出された場合、USBFS がパイプ変更処理中であることを示し、ソフトウェアによってポートコントロールレジスタの FRDY ビット = 1 が確認されます。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。バッファメモリのアクセス方向は、PIPECFG.DIR ビットの設定に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより決定します。

表 26.20 パイプ別FIFOポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ4~7	CPUアクセス	CFIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプへのアクセスを一時的に中断し、別のパイプにアクセスした後、再び最初のパイプ処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

REW ビットを 1 にした状態で、ポート選択レジスタの CURPIPE[3:0] ビットでパイプを選択すると、バッファメモリの読み出しまたは書き込みポインタがリセットされます。それにより、先頭バイトからの読み出し/書き込みが実行可能になります。REW ビットを 0 にした状態でパイプを選択すると、ポインタをリセットせずに、前回の選択時の続きから継続してデータの読み出し/書き込みが可能です。FIFO ポートへアクセスするには、パイプの選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

26.3.8 DCP を使用したコントロール転送

コントロール転送のデータステージでは、デフォルトコントロールパイプ (DCP) を使用してデータが転送されます。

DCP のバッファメモリは、コントロールリードとコントロールライトで共通の固定領域を持つ 64 バイトシングルバッファです。バッファメモリは、CFIFO ポートでのみアクセス可能です。

26.3.8.1 コントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットには ACK 応答を送信します。セットアップステージでの USBFS 動作は以下のとおりです。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケット受信すると、USBFS は、リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。コントロール転送に対する応答処理は、VALID ビットを 0 にしてから実行してください。VALID ビットが 1 の状態では、PID = BUF に設定できず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しいリクエストを受信すると、現在のリクエスト処理を中断できます。その後、USBFS は最新のリクエストに対する応答を送信できます。

また、USBFS は、受信したリクエストの方向ビット (bmRequestType のビット [8]) と、リクエストデータ長 (wLength) を自動検出します。さらに、USBFS は、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を自動判別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、そのエラーがソフトウェアに通知されます。USBFS のステージ管理については [図 26.14](#) を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送が DCP を用いて行われます。DCP のバッファメモリへアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。転送データが DCP のバッファメモリサイズより大きい場合は、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることにより、コントロール転送が終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。手順を以下に示します。

- コントロールリード転送の場合
USB ホストから Zero-Length パケットが受信され、ACK 応答が送信されます
- コントロールライト転送、ノーデータコントロール転送の場合
Zero-Length パケットが送信され、USB ホストから ACK 応答が受信されます

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合 — コントロールライト転送以外
- wIndex が 00h でない場合 — リクエストエラー

- wLength が 00h でない場合 — ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合 — リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b (Configured ステート) の場合 — デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

26.3.9 バルク転送 (パイプ 4 および 5)

バルク転送では、バッファメモリの使用方法 (シングルバッファ/ダブルバッファ設定) の選択が可能です。USBFS は、バルク転送用として下記の機能を備えています。

- BRDY 割り込み機能 (PIPECFG.BFRE ビット: [26.3.3.1 章 \(2\) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき](#)を参照)
- トランザクションカウント機能 (PIPEnTRE.TRENB ビット、PIPEnTRE.TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット: [26.3.4.5 トランザクションカウンタ \(受信方向パイプ 4 および 5\)](#)を参照)
- 応答 PID = NAK 機能 (PIPECFG.SHTNAK ビット: [26.3.4.8 応答 PID = NAK 機能](#)を参照)
- 自動応答モード (PIPEnCTR.ATREPM ビット: [26.3.4.9 自動応答モード](#)を参照)

26.3.10 インタラプト転送 (パイプ 6 および 7)

USBFS は、ホストコントローラが制御するタイミングに基づいてインタラプト転送を行います。

26.3.11 パイプスケジュール

26.3.11.1 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS が SOF を送信した後に、以下に示す順序で転送が行われます。

1. 周期的転送の実行
パイプ 6 →パイプ 7 の順にパイプを検索し、インタラプト転送のトランザクションを生成可能なパイプがあれば、トランザクションが生成されます。
2. コントロール転送の Setup トランザクション
DCP を確認して、Setup トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行
DCP →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションを生成可能なパイプがあれば、トランザクションが生成されます。
トランザクションが生成されると、周辺デバイスからの応答が ACK であるか NAK であるかにかかわらず、処理は次のトランザクションパイプに移ります。また、フレーム内に転送を行う時間があれば、このステップを繰り返します。

26.3.12 バッテリチャージング検出処理

バッテリチャージング規格で規定されている、データコンタクト検出 (D+ ラインコンタクトチェック)、一次検出 (チャージャ検出)、および二次検出 (チャージャ検証) の処理を制御することが可能です。以下では、ファンクションデバイスとホストデバイスに求められる動作についてそれぞれ説明します。

26.3.12.1 処理

USBFS モジュールをバッテリチャージ用のポータブルデバイスとして動作させる場合、以下の処理が必要です。

1. データライン (D+/D-) がコンタクトしたタイミングを検出し、一次検出処理を開始します。
2. 一次検出の開始後、マスク処理のため 40ms 待機してから D- の電圧レベルをチェックし、一次検出結果を確認します。
3. 一次検出中にチャージャが検出されると、二次検出を開始します。
4. 二次検出の開始後、マスク処理のため 40ms 待機してから D+ の電圧レベルをチェックし、二次検出結果を確認します。

ステップ 1. では、VBINT ビットと VBSTS ビットで VBUS を検出した後、ソフトウェアで 300 ~ 900ms 待機し、その後、USBBCCTRL0 レジスタの VDPSRCE0 ビットと IDMSINKE0 ビットを設定してください。あるいは、IDPSRCE0 ビットを設定して、D+ ラインが High から Low へ変化したことを LNST ビットで検出した後、IDPSRCE0 ビットをクリアし、VDPSRCE0 ビットと IDMSINKE0 ビットを設定することもできます。なお、VDPSRCE0 ビットと IDMSINKE0 ビットは同時に設定してください。(注1)

ステップ 2. では、VDPSRCE0 ビットと IDMSINKE0 ビットを 1 にして、ソフトウェアで 40ms 待機した後、CHGDETSTS0 ビットで一次検出結果を検証してください。(注2)

ステップ 3. では、ステップ 2. で CHGDETSTS0 ビットを設定した場合に、チャージャの検出を検証した後、VDPSRCE0 ビットと IDMSINKE0 ビットをクリアし、VDMSRCE0 ビットと IDPSINKE0 ビットを設定してください。

ステップ 4. では、VDMSRCE0 ビットと IDPSINKE0 ビットを設定して、ソフトウェアで 40ms 待機した後、PDDETSTS0 ビットで二次検出結果を検証してください。

図 26.15 に、この処理フローを示します。

- 注 1. バッテリチャージング規格は、データコンタクト検出 (D+/D- ラインの接続チェック) の処理について 2 つの方法を記述しています。1 つは、D+ ラインに 7 ~ 13 μ A の電流を印加することで D+ ラインを Logic High に保持し、D+/D- ラインがターゲットと接続したとき、ホストデバイスのプルダウン抵抗により生じる Logic Low への変化を検出する方法です。もう 1 つは、VBUS を検出した後、300 ~ 900ms 待機する方法です。
- 注 2. 一次検出中に、D- ラインの電圧が 0.25 ~ 0.4V 以上かつ 0.8 ~ 2.0V 以下であることが検出されると、ターゲットデバイスが、バッテリチャージ用ホストデバイス (チャージングダウンストリームポート) として認識されます。使用中の PHY に対して、CHGDETSTS0 ビットで D- ラインの電圧が 0.25 ~ 0.4V 以上であることだけが判明した場合、必要に応じて、LNST ビットを用いて D- ラインの電圧が 0.8 ~ 2.0V 以下であることをチェックするための処理を追加してください。

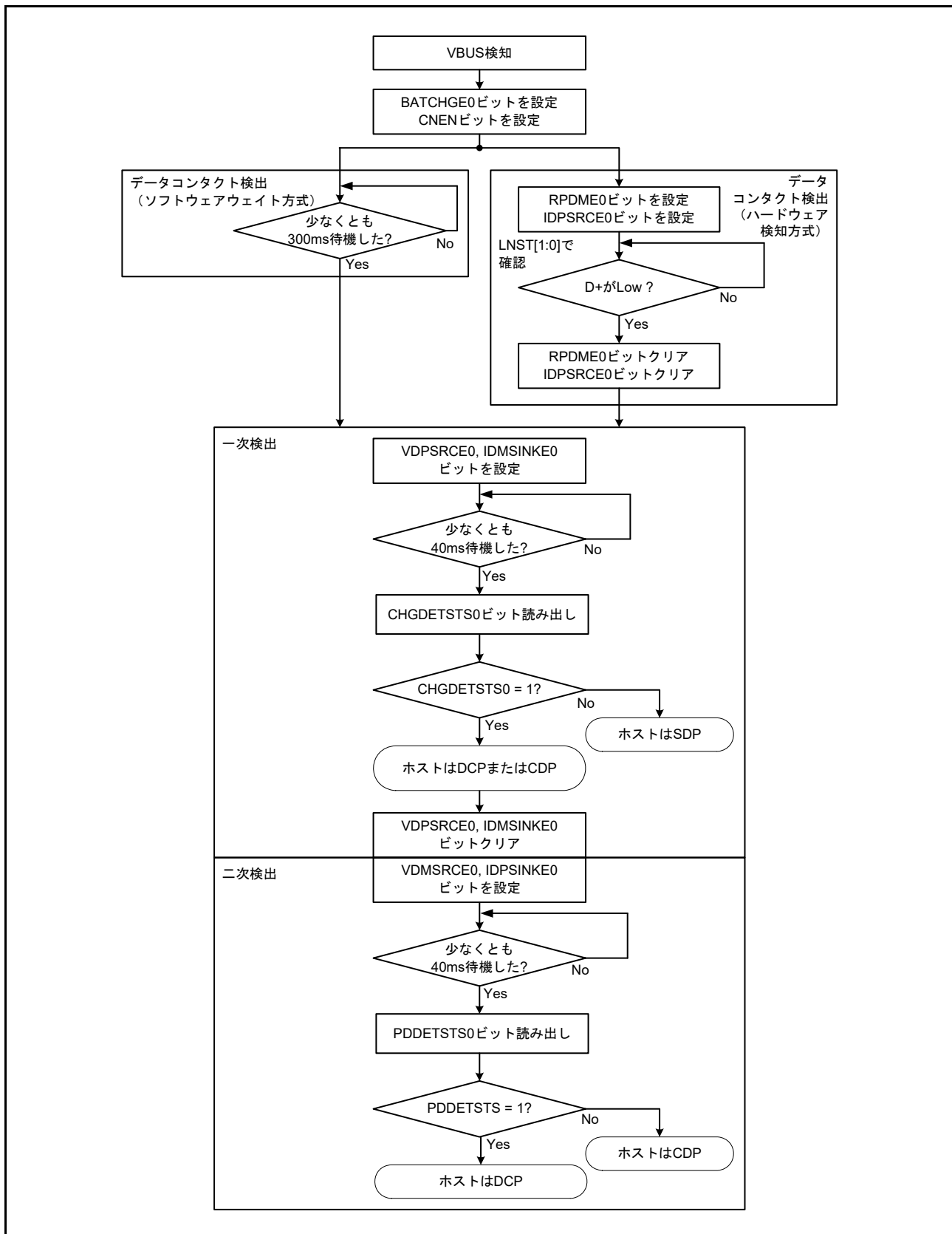


図 26.15 ポータブルデバイスとして動作時の処理フロー

26.4 使用上の注意事項

26.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、USBFS の動作を許可または禁止することが可能です。リセット後、USBFS の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

26.4.2 ソフトウェアスタンバイモード後の割り込みステータスレジスタのクリア

下記の条件が同時に満たされたとき、ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、予期せぬ割り込みが発生する可能性があります。

- 本 MCU が通常モードのときに割り込みを許可する
- 本 MCU がソフトウェアスタンバイモードのときに割り込みを禁止する
- ソフトウェアスタンバイを解除する端子の入力レベルが SSTBY モードで変更されている

指定された条件下で、割り込みステータスレジスタの割り込みフラグがセットされます。ソフトウェアスタンバイモードの解除後に、予期せぬ割り込みが割り込みコントローラに伝播されるおそれがあります。そのため解除シーケンスでは、INTSTS0 レジスタを必ずクリアする必要があります。

26.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは、ポート (PmnPFS.PSEL および PmnPFS.PMR) の設定前に無効にされるため、内部信号が High または Low に固定されます。そのため、ポートの設定後に入力バッファが有効になると、外部端子の状態がチップに伝播します。このとき、予期せぬ割り込みが発生する場合があります。INTSTS0 などの割り込みステータスレジスタのビット (特に VBINT ビット) が 1 になります。誤動作を回避するには、ポート設定後に INTSTS0 レジスタを必ずクリアしてください。

27. シリアルコミュニケーションインタフェース (SCI)

27.1 概要

シリアルコミュニケーションインタフェース (SCI) は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース (UART および調歩同期式通信アダプタ (ACIA))
- 8 ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCI0 は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

表 27.1 に SCI の仕様を、図 27.1 にブロック図を、表 27.2 にモードごとの SCI の端子構成を示します。

表 27.1 SCI の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> • 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易 IIC • 簡易 SPI
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファによる連続送信が可能 受信部：ダブルバッファによる連続受信が可能
入出力端子	表 27.2 を参照してください。
データ転送	LSB ファースト / MSB ファースト 選択可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件 / 再開条件 / 停止条件の生成完了 (簡易 IIC モード用)
モジュールストップ機能	チャンネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求	SCI0 アドレス不一致 (SCI0_DCUF)

表 27.1 SCIの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
	アドレス一致	受信データとコンペアマッチレジスタの値の一致を検出したとき、割り込み要求/イベント出力の発行が可能
	アドレス不一致 (SCI0のみ) 受信データ	受信データとコンペアマッチレジスタの値の不一致を検出したとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレークの検出	フレーミングエラー発生時、SPTRレジスタを読み出すことでブレークの検出が可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送受信	1段レジスタまたは16段FIFOのいずれかを選択可能 (SCI0のみFIFOをサポート)
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I ² Cバスフォーマット (MSBファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大400kbps
	ノイズ除去	SCLn端子とSDAn端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) を選択可能
	SS入力端子機能	SSn端子をHighにして、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	エラー (受信エラー/エラーシグナル検出) イベント出力 (SCIn_ERI (注1))	
	受信データフルイベント出力 (SCIn_RXI (注1) (注2))	
	送信データエンブティイベント出力 (SCIn_TXI (注1) (注2))	
	送信終了イベント出力 (SCIn_TEI (注1) (注2))	
	アドレス一致イベント出力 (SCIn_AM (注1))	

注 1. チャネル番号 (n = 0, 1, 9)

注 2. このイベントリンク機能は、調歩同期式モードにおいて FIFO が選択された場合、使用禁止となります。

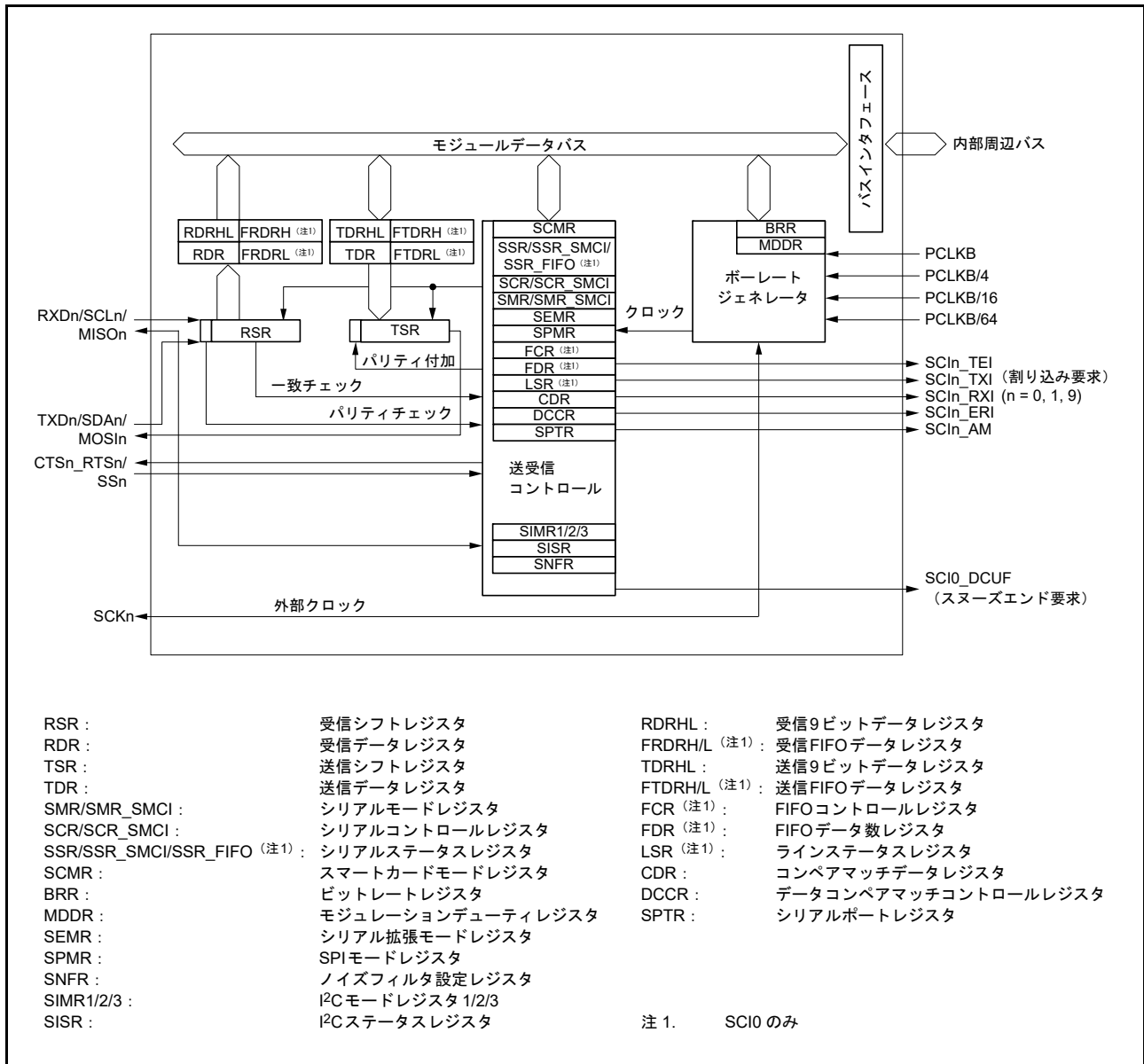


図 27.1 SCI のブロック図

表 27.2 SCIの入出力端子 (1/2)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/ MISO0	入出力	SCI0の受信データ入力端子 SCI0 IICのクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/ MOSI0	入出力	SCI0の送信データ出力端子 SCI0 IICのデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0チップセレクト入力端子、アクティブLow SCI0送受信開始制御用入出力端子、アクティブLow

表 27.2 SCIの入出力端子 (2/2)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/ MISO1	入出力	SCI1の受信データ入力端子 SCI1 IICのクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/ MOSI1	入出力	SCI1の送信データ出力端子 SCI1 IICのデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1チップセレクト入力端子、アクティブLow SCI1送受信開始制御用入出力端子、アクティブLow
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/ MISO9	入出力	SCI9の受信データ入力端子 SCI9 IICのクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9 IICのデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9チップセレクト入力端子、アクティブLow SCI9送受信開始制御用入出力端子、アクティブLow

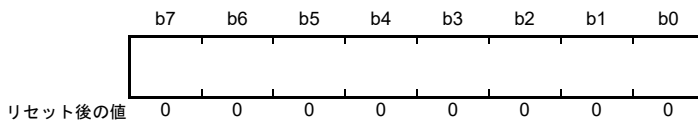
27.2 レジスタの説明

27.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

27.2.2 受信データレジスタ (RDR)

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI9.RDR 4007 0125h



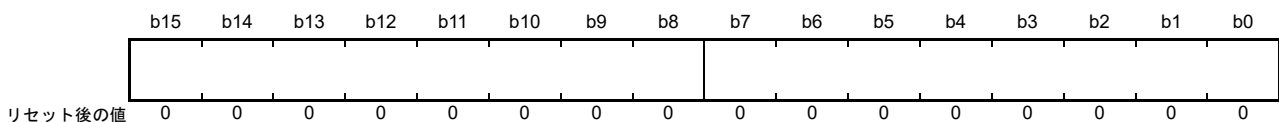
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCI_{In}_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

27.2.3 受信 9 ビットデータレジスタ (RDRHL)

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドウレジスタとなっており、たとえば、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこれらのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCI_{In}_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。ビット [15:9] は 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

27.2.4 受信 FIFO データレジスタ H, L, HL (FRDRH, FRDRL, FRDRHL)

受信 FIFO データレジスタ H (FRDRH)

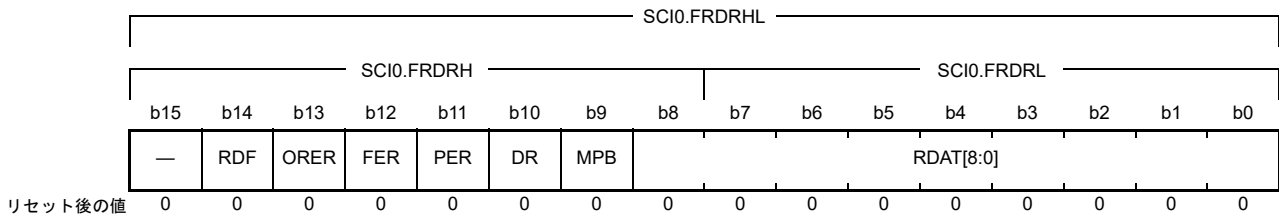
アドレス SCI0.FRDRH 4007 0010h

受信 FIFO データレジスタ L (FRDRL)

アドレス SCI0.FRDRL 4007 0011h

受信 FIFO データレジスタ HL (FRDRHL)

アドレス SCI0.FRDRHL 4007 0010h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効 シリアル受信データの読み出しが可能です。	R
b9	MPB	マルチプロセッサビットフラグ	調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効 シリアル受信データ（RDAT[8:0]）に関連するマルチプロセッサビットの読み出しが可能です。 0：データ送信サイクル 1：ID送信サイクル	R
b10	DR	受信データレディフラグ	このフラグは SSR_FIFO.DR と同じです。 0：受信中であるか、または正常に受信を完了した後、FRDRH および FRDRL に受信データが残っていない 1：正常に受信を完了した後、次の受信データが一定期間来ない	R (注1)
b11	PER	パリティエラーフラグ	0：FRDRH および FRDRL の第1データにパリティエラーの発生なし 1：FRDRH および FRDRL の第1データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：FRDRH および FRDRL の第1データにフレーミングエラーの発生なし 1：FRDRH および FRDRL の第1データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	このフラグは SSR_FIFO.ORER と同じです。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b14	RDF	受信 FIFO データフルフラグ	このフラグは SSR_FIFO.RDF と同じです。 0：FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数より少ない 1：FRDRH および FRDRL に書き込まれた受信データ数が指定された受信トリガ数以上である	R (注1)
b15	—	予約ビット	読むと 0 が読めます。	R

注 1. このフラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアするには、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、FRDRL と FRDRH からなる 16 ビットのレジスタです。

FRDRH と FRDRL は、シリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。ソフトウェアによって、シリアル受信データと関連するステータス情報を読み出すことができます。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

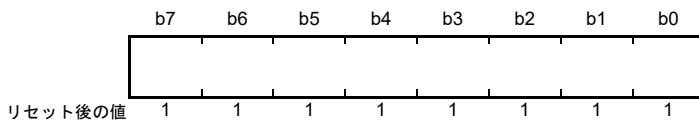
SCI は、受信データを受信シフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL が受信データでいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読む場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

27.2.5 送信データレジスタ (TDR)

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

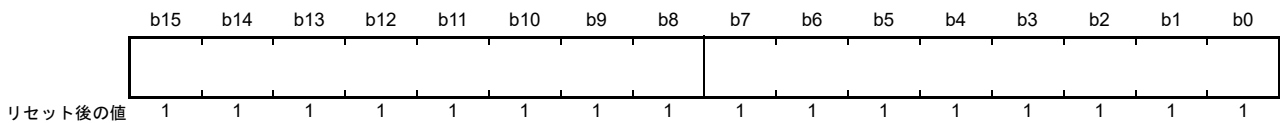
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し/書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発生するごとに 1 回だけ行ってください。

27.2.6 送信 9 ビットデータレジスタ (TDRHL)

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドールレジスタとなっており、たとえば、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへのアクセスはしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し/書き込みが可能です。TDRHL レジスタのビット [15:9] は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCI_{In}_TXI) 要求が発生したときに 1 回だけ行ってください。

27.2.7 送信 FIFO データレジスタ H, L, HL (FTDRH, FTDRL, FTDRHL)

送信 FIFO データレジスタ H (FTDRH)

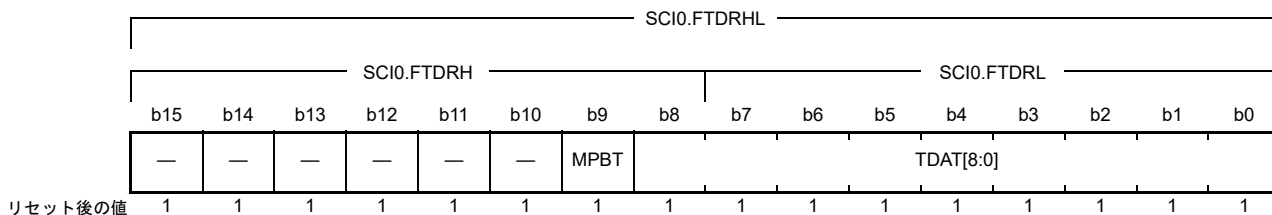
アドレス SCI0.FTDRH 4007 000Eh

送信 FIFO データレジスタ L (FTDRL)

アドレス SCI0.FTDRL 4007 000Fh

送信 FIFO データレジスタ HL (FTDRHL)

アドレス SCI0.FTDRHL 4007 000Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効 シリアル送信データの書き込みが可能です。	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効 送信フレーム中のマルチプロセッサビットの値： 0：データ送信サイクル 1：ID 送信サイクル	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH と FTDRL からなる 16 ビットのレジスタです。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、FTDRH と FTDRL に書き込まれた送信データを TSR に転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDR レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

MPBT ビット（マルチプロセッサ通信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

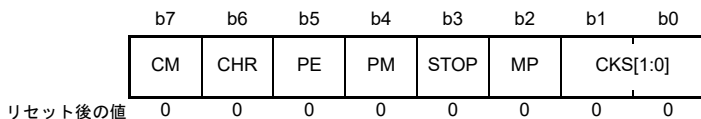
FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

27.2.8 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

27.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ (SMR) (SCMR.SMIF = 0)

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI9.SMR 4007 0120h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKBクロック (n = 0) (注1) 0 1: PCLKB/4クロック (n = 1) (注1) 1 0: PCLKB/16クロック (n = 2) (注1) 1 1: PCLKB/64クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W (注4)
b3	STOP	ストップビット長	調歩同期式モードでのみ有効 0: 1ストップビット 1: 2ストップビット	R/W (注4)
b4	PM	パリティモード	PEビット = 1の場合にのみ有効 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注4)
b5	PE	パリティ許可	調歩同期式モードでのみ有効 • 送信時 0: パリティビットなし 1: パリティビットを付加 • 受信時 0: パリティチェックを行わない 1: パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効 (注2) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	通信モード	0: 調歩同期式モード、または簡易IICモード 1: クロック同期式モード、または簡易SPIモード	R/W (注4)

- 注 1. nはBRRの設定値を10進表記で示します。27.2.17 ビットレートレジスタ (BRR) を参照してください。
 注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は8ビット固定です。
 注 3. LSBファースト固定となり、送信時にTDRレジスタのMSB(ビット7)は送信されません。
 注 4. SCR.TEビットとSCR.REビットが0(シリアル送信動作およびシリアル受信動作を禁止)の場合にのみ書き込み可能です。

SMRレジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット (クロック選択)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、27.2.17 ビットレートレジスタ (BRR) を参照してください。

MP ビット (マルチプロセッサモード)

マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット (ストップビット長)

送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットとみなされます。

PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティ許可)

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット (キャラクタ長)

SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

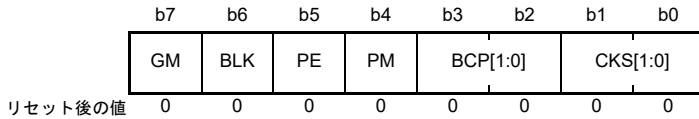
CM ビット (通信モード)

通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

27.2.10 スマートカードインタフェースモード用シリアルモードレジスタ (SMR_SMCI) (SCMR.SMIF = 1)

アドレス [SCI0.SMR_SMCI 4007 0000h](#), [SCI1.SMR_SMCI 4007 0020h](#), [SCI9.SMR_SMCI 4007 0120h](#)



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0: PCLKBクロック (n=0) (注1) 0 1: PCLKB/4クロック (n=1) (注1) 1 0: PCLKB/16クロック (n=2) (注1) 1 1: PCLKB/64クロック (n=3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。 表 27.3 に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモード	PEビット=1の場合にのみ有効 0: 偶数パリティを選択 1: 奇数パリティを選択	R/W (注2)
b5	PE	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、このビットを1にしてください。	R/W (注2)
b6	BLK	ブロック転送モード	0: 通常モードで動作 1: ブロック転送モードで動作	R/W (注2)
b7	GM	GSMモード	0: 通常モードで動作 1: GSMモードで動作	R/W (注2)

- 注 1. n は BRR の設定値を 10 進表記で示します。27.2.17 [ビットレートレジスタ \(BRR\)](#) を参照してください。
 注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

[CKS\[1:0\] ビット \(クロック選択\)](#)

内蔵ボーレートジェネレータのクロックソースを選択します。

これらのビットの設定値とボーレートの関係については、27.2.17 [ビットレートレジスタ \(BRR\)](#) を参照してください。

[BCP\[1:0\] ビット \(基本クロックパルス\)](#)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロックのサイクル数を選択します。

SCMR.BCP2 ビットと組み合わせて設定します。

詳細は、27.6.4 [受信データのサンプリングタイミングと受信マージン](#)を参照してください。

表 27.3 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注 1. S は BRR レジスタの S の値を表します (27.2.17 ビットレートレジスタ (BRR) を参照してください)。

PM ビット (パリティモード)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、27.6.2 データフォーマット (ブロック転送モード時を除く) を参照してください。

PE ビット (パリティ許可)

PE ビットは 1 にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モード)

BLK ビットを 1 にすると、ブロック転送モードで動作します。

詳細は、27.6.3 ブロック転送モードを参照してください。

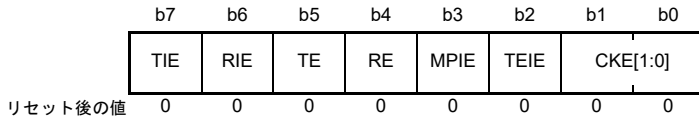
GM ビット (GSM モード)

GM ビットを 1 にすると、GSM モードで動作します。

GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭から 11.0ETU (ETU : Elementary Time Unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御機能が追加されます。詳細は、27.6.6 シリアルデータの送信 (ブロック転送モードを除く) と 27.6.8 クロック出力制御を参照してください。

27.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0)

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI9.SCR 4007 0122h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	調歩同期式モード b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。 1 x : 外部クロック • SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1の場合、8倍の周波数のクロック信号を入力してください クロック同期式モード b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります。 1 x : 外部クロック SCKn端子はクロック入力端子となります。	R/W (注1)
b2	TEIE	送信終了割り込み許可	0 : SCIn_TEI割り込み要求を禁止 1 : SCIn_TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット = 1のとき有効 0 : 通常の受信動作 1 : マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのRDRF、ORERおよびFERの各ステータスフラグに1を書くことはできない。マルチプロセッサビットが1のデータを受信すると、MPIEビットは自動的に0にクリアされ、通常の受信動作に戻る	R/W (注3)
b4	RE	受信許可	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0 : SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1 : SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0 : SCIn_TXI割り込み要求を禁止 1 : SCIn_TXI割り込み要求を許可	R/W

x : Don't care

- 注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
- 注 2. TE ビットおよび RE ビットが 0、かつ SMR.CM ビットが 1 のときのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。
- 注 3. マルチプロセッサモード (SMR.MP ビット = 1) では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0] ビット (クロック許可)

クロックソースおよび SCKn 端子の機能を選択します。

TEIE ビット (送信終了割り込み許可)

SCIn_TEI 割り込み要求を許可または禁止します。

TEIE ビットを 0 にすると、SCIn_TEI 割り込み要求が禁止されます。

簡易 IIC モードでは、開始/再開/停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止にできません。

MPIE ビット (マルチプロセッサ割り込み許可)

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR_FIFO レジスタの RDRF、ORER、および FER の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信すると、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。詳細は、[27.4 マルチプロセッサ通信機能](#)を参照してください。

SSR.MPB ビットが 0 のデータを受信した場合、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 のデータを受信した場合、MPIE ビットが自動的に 0 にクリアされ、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 にすることが可能です。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

このビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信が開始されます。RE ビットを 1 にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。

注. TE ビットを 1 にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。このビットは、TE ビットが 1 のときに 1 にしてください。転送が始まる前に TE ビットと TIE ビットに対して同時に 1 を設定します。SCIn_TXI 割り込みが発生します。

27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SCR_SMCI 4007 0002h, SCI1.SCR_SMCI 4007 0022h, SCI9.SCR_SMCI 4007 0122h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	<ul style="list-style-type: none"> SMR_SMCI.GMビット = 0の場合 b1 b0 0 0: 出力を禁止 I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1: クロック出力 1 x: 設定禁止 SMR_SMCI.GMビット = 1の場合 b1 b0 0 0: Low出力固定 x 1: クロック出力 1 0: High出力固定 	R/W (注1)
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b4	RE	受信許可	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可	0: SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1: SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0: SCIn_TXI割り込み要求を禁止 1: SCIn_TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

注2. TEビット=0かつREビット=0の場合にのみ、1の書き込みが可能です。TEビットまたはREビットを1にした後は、TEビットとREビットには0の書き込みのみが可能です。

SCR_SMCIレジスタは、送信制御、割り込みの制御と受信、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、[27.10 割り込み要因](#)を参照してください。

CKE[1:0] ビット (クロック許可)

SCKn端子からのクロック出力を制御します。

GSMモードでは、クロック出力を動的に切り替えることが可能です。詳細は、[27.6.8 クロック出力制御](#)を参照してください。

TEIE ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、TEIEビットを0にしてください。

RE ビット (受信許可)

シリアル受信動作を許可または禁止します。

このビットを 1 にすると、スタートビットを検出することによって、シリアル受信が開始されます。

注. RE ビットを 1 にする前に SMR_SMCI レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット (送信許可)

シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことによって、シリアル送信が開始されます。

注. TE ビットを 1 にする前に SMR_SMCI レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可)

SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット (送信割り込み許可)

SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。このビットは、TE ビットが 1 のときに 1 にしてください。転送が始まる前に TE ビットと TIE ビットに対して同時に 1 を設定します。SCIn_TXI 割り込みが発生します。

27.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 および FCR.FM = 0)

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/W (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/W (注1)

注1. 読みだした後、フラグをクリアするため0の書き込みのみが可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT (マルチプロセッサビット転送)

送信フレームのマルチプロセッサビットを選択します。

MPB ビット (マルチプロセッサ)

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが0のときは変化しません。

TEND フラグ (送信終了フラグ)

送信が終了したことを示します。

[1になる条件]

- SCR.TE ビットが0 (シリアル送信動作を禁止)、かつ FCR.FM ビットが0 (非 FIFO 選択時) のとき
- SCR.TE ビットが1のときは、TEND フラグは影響を受けず、1の値を保持します
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0になる条件]

- SCR.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき

パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{in}_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、PER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードでの受信時に、フレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき

2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。フレーミングエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{in}_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、FER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーとフレーミングエラーのない受信データを読み出す前に次のデータを受信したとき

RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき (0 を書いた後は、ORER フラグを読んで値が 0 であることを確認してください)

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.TE ビットが 1 の状態で、TDR レジスタへデータを転送したとき

27.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ (SSR_FIFO) (SCMR.SMIF = 0 および FCR.FM = 1)

アドレス SCI0.SSR_FIFO 4007 0004h

b7	b6	b5	b4	b3	b2	b1	b0	
TDFE	RDF	ORER	FER	PER	TEND	—	DR	
リセット後の値	1	0	0	0	0	0	x	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない(受信FIFOが空である) 1: FIFOに格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、一定期間内に次の受信データが来ない	R/W (注1)
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/W (注1)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W (注1)
b6	RDF	受信FIFOデータフルフラグ	0: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1: FRDRHLに書き込まれた受信データ数が指定された受信トリガ数以上である	R/W (注1)
b7	TDFE	送信FIFOデータエンプティフラグ	0: FTDRHLに書き込まれた送信データ数が指定された送信トリガ数を超過している 1: FTDRHLに書き込まれた送信データ数が指定された送信トリガ数以下である	R/W (注1)

注1. 読みだした後、フラグをクリアするため0の書き込みのみが可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ (受信データレディフラグ)

受信 FIFO データレジスタ (FRDRHL) に格納されたデータ数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU (Element Time Unit = 基本時間単位) 経過しても後続のデータが受信されていないことを示します。このフラグは、調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、このフラグは1になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU (注1) 経過しても後続のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読んで、次に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

- 注 1. これは 8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します (単位は ETU)。
調歩同期式モード (マルチプロセッサモードを含む) において、FIFO 選択時にのみ DR フラグは 1 になりますが、他の動作モードでは 1 になりません。

TEND フラグ (送信終了フラグ)

シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、受信 FIFO データレジスタ (FRDRHL) から読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にパリティエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、PER フラグは影響を受けず、以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードにおいて、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、受信 FIFO データレジスタ (FRDRHL) から読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

データ受信時にフレーミングエラーが発生しても、受信データが FRDRHL レジスタに格納されている場合は、受信動作が継続します。

SCR.RE ビットを 0 にクリアしても、FER フラグは影響を受けず、以前の状態を保持します。

ORER フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生が原因で受信動作が異常終了したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。

RDF フラグ (受信 FIFO データフルフラグ)

受信データが受信 FIFO データレジスタ (FRDRHL) へ転送されて、FRDRHL 内のデータ数が指定された受信トリガ数以上となったことを示します。ただし RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ数が FRDRHL レジスタ (注 1) に格納され、かつ FIFO が空状態でないとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき (ブロック転送が最終送信の場合のみ)
- 1 になる条件と 0 になる条件が同時に発生した場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ数が RTRG の値以上になると、1PCLKB 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TDFE フラグ (送信 FIFO データエンptyフラグ)

データが送信 FIFO データレジスタ (FTDRHL) から送信シフトレジスタ (TSR) へ転送されて、FTDRHL 内のデータ数が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ数が指定された送信トリガ数以下であるとき (注 1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき (注 2)
TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。したがって FTDRHL レジスタに格納されたデータ数が TTRG の値以上になると、1PCLKB 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに書き込み可能な最大のデータ数は "16 - FDR.T[4:0]" で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

注 2. ブロック転送モードでは、DTC による処理中に TDFE フラグをクリアしないでください。

27.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ (SSR_SMCI) (SCMR.SMIF = 1)

アドレス SCI0.SSR_SMCI 4007 0004h, SCI1.SSR_SMCI 4007 0024h, SCI9.SSR_SMCI 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、このビットを0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、このビットを0にしてください。	R
b2	TEND	送信終了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/W (注1)
b5	ORER	オーバーランエラーフラグ	0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり	R/W (注1)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに送信データあり 1: TDRレジスタに送信データなし	R/W (注1)

注1. 読みだした後、フラグをクリアするため0の書き込みのみが可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグの設定レジスタです。

TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、このフラグが1になります。

[1になる条件]

- SCR_SMCI.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR_SMCI.TE ビットを0から1に変更しても、TEND フラグは影響を受けず、1の値を保持します。
- 1バイトのデータを送信してから指定した期間が経過した後、ERS フラグが0で、TDR レジスタが更新されないとき
1になるタイミングは、レジスタの設定により以下のように異なります。
 - SMR_SMCI.GM = 0, SMR_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後
 - SMR_SMCI.GM = 0, SMR_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後
 - SMR_SMCI.GM = 1, SMR_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後
 - SMR_SMCI.GM = 1, SMR_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

[0になる条件]

- SCR_SMCI.TE ビットが1の状態、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが1の状態、TDRE = 1 を読んだ後、TDRE に0を書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき

パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCI_{In}_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読んで値が 0 であることを確認してください。

SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

ORER フラグ (オーバーランエラーフラグ)

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、エラー発生後に受信したデータは失われます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読んで値が 0 であることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

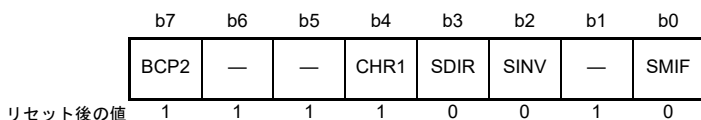
- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタへデータを転送したとき

27.2.16 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI9.SCMR 4007 0126h



ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易IICモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0: TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを0にしてください。	R/W (注1)
b3	SDIR	送受信データ転送方向 (注2)	0: LSBファースト転送 1: MSBファースト転送 以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード (マルチプロセッサモード) • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを1にしてください。	R/W (注1)
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効 (注2) SMR.CHRビットと組み合わせて選択します。 CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロック数を選択します。 表 27.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作および受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定となります。

注 3. LSB ファーストを選択する必要があります。TDR レジスタの MSB (ビット [7]) の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択)

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード (マルチプロセッサモードを含む)
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット (送受信データ反転)

送受信データのロジックレベルを反転します。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット (キャラクタ長 1)

SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルス 2)

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SMR_SMCI.BCP[1:0] ビットと組み合わせて設定します。

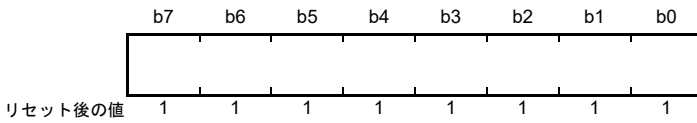
表 27.4 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック (S = 93) (注1)
0	0	1	128 クロック (S = 128) (注1)
0	1	0	186 クロック (S = 186) (注1)
0	1	1	512 クロック (S = 512) (注1)
1	0	0	32 クロック (S = 32) (注1) (初期値)
1	0	1	64 クロック (S = 64) (注1)
1	1	0	372 クロック (S = 372) (注1)
1	1	1	256 クロック (S = 256) (注1)

注 1. S はビットレートレジスタ (BRR) の S の値を表します。27.2.17 ビットレートレジスタ (BRR) を参照してください。

27.2.17 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 27.5 に示します。

BRR レジスタの初期値は FFh です。BRR レジスタは、CPU からの読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 27.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
簡易 IIC (注1)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)

N : 内蔵ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLKB : 動作周波数 (MHz)

n および S : 表 27.6 および表 27.7 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C 規格を満たすように、ビットレートを調整してください。

表 27.6 SCL High/Low幅算出式

モード	SCL	算出式 (結果は秒単位)
IIC	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{\text{PCLKB} \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{\text{PCLKB} \times 10^6}$

表 27.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0]ビットの設定値	クロックソース	n
CKS[1:0]ビット		
00	PCLKBクロック	0
01	PCLKB/4クロック	1
10	PCLKB/16クロック	2
11	PCLKB/64クロック	3

表 27.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定値	SMR_SMCI.BCP[1:0]ビットの設定値	1ビット期間中の基本クロック数	S
BCP2ビット	BCP[1:0]ビット		
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける、BRRレジスタ値Nの設定例を表27.9と表27.10に示します。各動作周波数において選択可能な最大ビットレートを表27.11に示します。また、スマートカードインタフェースモードにおける、BRRレジスタ値Nの設定例を表27.14に示します。簡易IICモードにおけるBRRレジスタ値Nの設定例を表27.17に示します。

スマートカードインタフェースモードでは、1ビット転送期間の基本クロック数Sを選択できます。詳細は、27.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。また、表27.12と表27.14に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を1にした場合、ビットレートは表27.16に記載された値の2倍になります。両ビットとも1にした場合、ビットレートは記載値の4倍になります。

表 27.9 各ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKB (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKB (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 27.10 各ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	17.2032	0	0	0	0	0	537600
		1	0	0	0	500000			1	0	0	0	1075200
	1	0	0	0	0	1000000		1	0	0	0	0	2150400
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	2867200
9.8304	0	0	0	0	0	307200	18	0	0	0	0	0	562500
		1	0	0	0	614400			1	0	0	0	1125000
	1	0	0	0	0	1228800		1	0	0	0	0	2250000
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1638400		Don't care	Don't care	1	0	0	3000000
10	0	0	0	0	0	312500	19.6608	0	0	0	0	0	614400
		1	0	0	0	625000			1	0	0	0	1228800
	1	0	0	0	0	1250000		1	0	0	0	0	2457600
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1666666		Don't care	Don't care	1	0	0	3276800
12	0	0	0	0	0	375000	20	0	0	0	0	0	625000
		1	0	0	0	750000			1	0	0	0	1250000
	1	0	0	0	0	1500000		1	0	0	0	0	2500000
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	2000000		Don't care	Don't care	1	0	0	3333333

表 27.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLKB (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)	PCLKB (MHz)	SEMRレジスタの設定値					最大ビットレート (bps)		
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N			
12.288	0	0	0	0	0	384000	25	0	0	0	0	0	781250		
		1	0	0	0	768000			1	0	0	0	1562500		
	1	0	0	0	0	1536000		1	0	0	0	0			
		1	0	0	0				1	0	0	0	3125000		
	Don't care	Don't care	1	0	0	2048000		Don't care	Don't care	1	0	0	4166666		
	14	0	0	0	0	0		437500	30	0	0	0	0	0	937500
			1	0	0	0		875000			1	0	0	0	1875000
		1	0	0	0	0		1750000		1	0	0	0	0	
1			0	0	0	1	0				0	0	3750000		
Don't care		Don't care	1	0	0	2333333	Don't care	Don't care		1	0	0	5000000		
16		0	0	0	0	0	500000								
			1	0	0	0	1000000								
		1	0	0	0	0	2000000								
	1		0	0	0	2000000									
	Don't care	Don't care	1	0	0	2666666									

表 27.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表 27.13 各ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLKB (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	—	—	3	249						
500	2	249	—	—	3	124	—	—			3	233
1k	2	124	—	—	2	249	—	—	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2
5M							0	0 (注1)	—	—	—	—
7.5M											0	0 (注1)

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1. 連続送受信はできません。1フレームの送受信後、次のフレームの送受信を開始するまでに1ビット期間の間隔が空きます。すなわち、同期クロックの出力が1ビット期間停止します。そのため、1フレーム (8ビット) のデータ転送に9ビット分の時間がかかり、平均転送レートはビットレートの8/9倍になります。

表 27.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLKB (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000

表 27.15 各ビットレートに対するBRRの設定例 (スマートカードインタフェースモード、n = 0、S = 372の場合)

ビットレート (bps)	動作周波数PCLKB (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLKB (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLKB (MHz)					
	25.00			30.00		
	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01

表 27.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32の場合)

PCLKB (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表 27.17 各ビットレートに対するBRRの設定例 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8
25k	0	9	0.0	0	12	-3.8	1	4	0.0
50k	0	4	0.0	0	6	-10.7	1	2	-16.7
100k	0	2	-16.7	0	3	-21.9	0	4	0.0
250k	0	0	0.0	0	1	-37.5	0	1	0.0
350k	—	—	—	—	—	—	—	—	—
400k	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	15	-2.3	1	19	-2.3	1	23	-2.3
25k	1	6	-10.7	1	7	-2.3	1	9	-6.3
50k	1	3	-21.9	1	3	-2.3	1	4	-6.3
100k	0	6	-10.7	1	1	-2.3	1	2	-21.9
250k	0	2	-16.7	0	3	-21.9	0	3	-6.3
350k	0	1	-10.7	0	2	-25.6	0	2	-10.7
400k	0	1	-21.9	0	1	-2.3	0	1	17.2

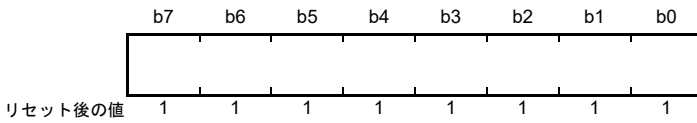
表 27.18 各ビットレート設定でのSCL High/Low幅最小値 (簡易IICモード)

ビットレート (bps)	動作周波数PCLKB (MHz)								
	8			10			16		
	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00
350k	—	—	—	—	—	—	—	—	—
400k	—	—	—	—	—	—	—	—	—

ビットレート (bps)	動作周波数PCLKB (MHz)								
	20			25			30		
	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)	n	N	SCL High/Low幅 最小値 (μs)
10k	1	15	44.80/51.20	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	6	19.60/22.40	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	11.20/12.80	1	3	8.96/10.24	1	4	9.33/10.66
100k	0	6	4.90/5.60	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	2	2.10/2.40	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	1	1.40/1.60	0	2	1.68/1.92	0	2	1.40/1.60
400k	0	1	1.40/1.60	0	1	1.12/1.28	0	1	0.93/1.07

27.2.18 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI9.MDDR 4007 0132h



MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 27.19 に示します。

MDDR レジスタの初期値は FFh です。b7 は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 27.19 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係

モード	SEMR レジスタの設定値			BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKB \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKB \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKB \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLKB \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKB \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) $= \left\{ \frac{PCLKB \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N + 1)} - 1 \right\} \times 100$
簡易 IIC (注2)				$N = \frac{PCLKB \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 (128 ≤ MDDR ≤ 256)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLKB : 動作周波数 (MHz)

n および S : ビットレートレジスタ (BRR) の表 27.8 と表 27.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b, SCR.CKE[1] ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C 規格を満たすように、ビットレートを調整してください。

通常の調歩同期式モードにおける BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 27.20 と表 27.21 に示します。

表 27.20 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (1)

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	8					9.8304					16				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数 PCLKB (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

表 27.21 各ビットレートに対するBRRとMDDRの設定例（調歩同期式モード）（2）

ビット レート (bps)	動作周波数PCLKB (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLKB (MHz)				
	30				
	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01
57600	0	10	173	0	-0.01
115200	0	10	173	1	-0.01
230400	0	6	220	1	-0.09
460800	0	3	252	1	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレートモジュレーション機能は無効になります。

27.2.19 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W (注1)
b3	ABCSE	調歩同期拡張基本クロック選択1	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: 1ビット期間のクロック数はSEMRレジスタのBGDMとABCSの組み合わせにより決定 1: ポーレートは1ビット期間に対して基本クロックの6クロック	R/W (注1)
b4	ABCS	調歩同期基本クロック選択	調歩同期式モードでのみ有効 0: 基本クロックの16クロックを1ビット期間として選択 1: 基本クロックの8クロックを1ビット期間として選択	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能有効	調歩同期式モードの場合: 0: RXDn入力信号のノイズ除去機能は無効 1: RXDn入力信号のノイズ除去機能は有効 簡易IICモードの場合: 0: SCLnおよびSDAn入力信号のノイズ除去機能は無効 1: SCLnおよびSDAn入力信号のノイズ除去機能は有効 上記以外のモードでは、NFENビットを0にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モード選択	調歩同期式モードにおいて、SCR.CKE[1]=0の場合にのみ有効 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期式モードでのみ有効 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がリエッジでスタートビットを検出	R/W (注1)

注1. SCR/SCR_SMCI レジスタのTEビットとREビットが0(シリアル送信動作および受信動作を禁止)の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

BRME ビット (ビットレートモジュレーション有効)

ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを均一に補正します。

ABCSE ビット (調歩同期拡張基本クロック選択1)

1ビット期間における基本クロックのパルス数は6であり、ポーレートジェネレータから2倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを6にする場合、このビットを使用し、かつSMR.CKS[1:0]=00b、BRR=0に設定してください。

ABCS ビット (調歩同期基本クロック選択)

1ビット期間の基本クロック数を選択します。

NFEN ビット (デジタルノイズフィルタ機能有効)

デジタルノイズフィルタ機能を有効または無効にします。

有効にすると、調歩同期式モードの場合は RXDn 入力信号のノイズを除去し、簡易 IIC モードの場合は SDA_n および SCL_n 入力信号のノイズを除去します。これ以外のモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

BGDM ビット (ポーレートジェネレータ倍速モード選択)

ポーレートジェネレータの出力クロック周期を選択します。

このビットは、調歩同期式モード (SMR.CM ビット = 0) において、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したとき有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード以外では 0 にしてください。

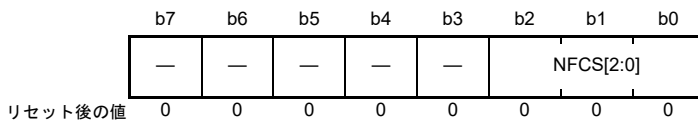
RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。このビットの設定により、ブレイク時の受信動作が異なります。ブレイク中に受信動作を停止させたい場合、または、ブレイク終了後に RXD_n 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

27.2.20 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI9.SNFR 4007 0128h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック 選択	<p>調歩同期式モード時、基本クロックの標準設定は下記のとおりです。</p> <p>b2 b0 0 0 0: 1分周のクロック信号をノイズフィルタに使用</p> <p>簡易IICモード時、SMR.CKS[1:0]ビットで選択した内蔵ポーレート ジェネレータのクロックソースの標準設定は下記のとおりです。</p> <p>b2 b0 0 0 1: 1分周のクロック信号をノイズフィルタに使用 0 1 0: 2分周のクロック信号をノイズフィルタに使用 0 1 1: 4分周のクロック信号をノイズフィルタに使用 1 0 0: 8分周のクロック信号をノイズフィルタに使用 上記以外は設定しないでください。</p>	R/W (注1)
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

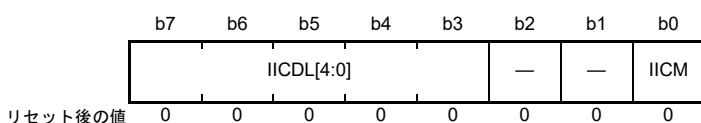
SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0] ビット (ノイズフィルタクロック選択)

デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 IIC モードでは、これらのビットを 001b ~ 100b の範囲で設定してください。

27.2.21 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易IICモード選択	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード 0 1: 簡易IICモード 1 0: スマートカードインタフェースモード 1 1: 設定禁止	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA遅延出力選択	下記のサイクル数は、内蔵ポーレートジェネレータからのクロック信号のサイクル数です。 b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.REビットとSCR.TEビットが0(シリアル送信動作およびシリアル受信動作を禁止)の場合にのみ書き込み可能です。

SIMR1レジスタは、簡易IICモードと、SDAn出力の遅延段数を選択するためのレジスタです。

IICMビット (簡易IICモード選択)

SCMR.SMIFビットとの組み合わせで、動作モードを選択します。

IICDL[4:0]ビット (SDA遅延出力選択)

SCLn端子出力の立ち下がりに対するSDAn端子出力の遅延を設定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から31サイクルまでの範囲で設定が可能です。PCLKBをSMR.CKS[1:0]ビットの設定により分周することで得られた信号が、内蔵ポーレートジェネレータのクロック信号として供給されます。簡易IICモード以外では、これらのビットを00000bにしてください。簡易IICモードでは、これらのビットを00001b~11111bの範囲で設定してください。

27.2.22 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI9.SIMR2 4007 012Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	IIC 割り込みモード選択	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化	0 : クロック信号と同期しない 1 : クロック信号と同期する	R/W (注1)
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK 送信データ	0 : ACK 送信 1 : NACK 送信または ACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードでの送受信の制御方法を選択するためのレジスタです。

IICINTM ビット (IIC 割り込みモード選択)

簡易 IIC モードでの割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化)

SCLn 端子を Low にしたとき (たとえば、他のデバイスがウェイトを挿入したとき)、内部で生成する SCL クロックを同期化する場合は、IICCSC ビットを 1 にします。

IICCSC ビットを 0 にすると、SCL クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

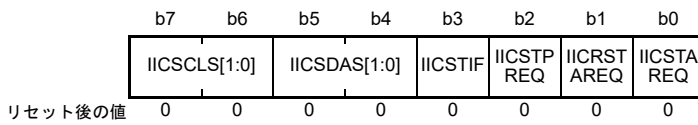
デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット (ACK 送信データ)

ACK ビットを含むデータを送信します。ACK/NACK ビット受信時は、このビットを 1 にしてください。

27.2.23 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI9.SIMR3 4007 012Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0: 開始条件を生成しない 1: 開始条件を生成する (注1) (注3) (注5) (注6)	R/W
b1	IICRSTAREQ	再開条件生成	0: 再開条件を生成しない 1: 再開条件を生成する (注2) (注3) (注5) (注6)	R/W
b2	IICSTPREQ	停止条件生成	0: 停止条件を生成しない 1: 停止条件を生成する (注2) (注3) (注5) (注6)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0: 各条件生成要求がない状態、または生成中の状態 1: 各条件生成が完了した状態 IICSTIF ビットに0を書くと、0にクリアされます (注4)	R/W (注4)
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0: シリアルデータ出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SDA _n 端子はLowを出力 1 1: SDA _n 端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0: シリアルクロック出力 0 1: 開始条件、再開条件、停止条件の生成 1 0: SCL _n 端子はLowを出力 1 1: SCL _n 端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
 注2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。
 注3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2つ以上を1にしないでください。
 注4. 0のみを書いてください。1を書くと、その値は無視されます。
 注5. IICSTIF フラグを0にしてから、各条件生成を行ってください。
 注6. 1の状態にあるとき、0を書かないでください。このビットが1の状態にあるとき0を書くと、条件生成が中断します。

IICSTAREQ ビット (開始条件生成)

開始条件の生成を行うときは、IICSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成)

再開条件の生成を行うときは、IICRSTAREQ ビットを1にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1を書いたとき

[0 になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成)

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始/再開/停止条件生成完了フラグ)

各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開条件、または停止条件の生成が完了したとき。0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき (IICSTIF フラグが 0 であることを確認してください)
- 簡易 IIC モード以外の動作モードで SIMR1.IICM ビットに 0 を書いたとき
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0] ビット (SDA 出力選択)

SDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

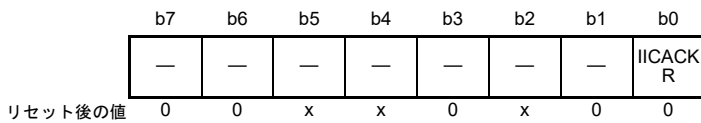
IICSCLS[1:0] ビット (SCL 出力選択)

SCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

27.2.24 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI9.SISR 4007 012Ch



ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R
b1	—	予約ビット	読むと0が読めます。	R
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。	R
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。	R

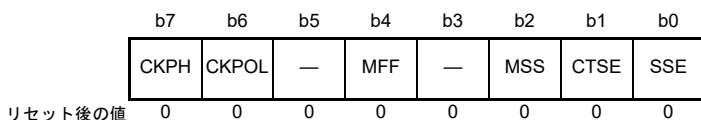
SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ (ACK 受信データフラグ)

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。本フラグは、ACK/NACK を受信するビットの SCL クロックの立ち上がりのタイミングで更新されます。

27.2.25 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI9.SPMR 4007 012Dh



ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn端子機能有効	0: SSn端子機能は無効 1: SSn端子機能は有効	R/W (注1)
b1	CTSE	CTS有効	0: CTS機能は無効 (RTS出力機能は有効) 1: CTS機能は有効	R/W (注1)
b2	MSS	マスタスレーブ選択	0: TXDn端子は送信、RXDn端子は受信 (マスタモード) 1: TXDn端子は受信、RXDn端子は送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相選択	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

- 注1. SCR.TE ビットと SCR.RE ビットが0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。
 注2. フラグをクリアするための0書き込みだけを行ってください。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn 端子機能有効)

簡易 SPI モードで SSn 端子を用いて送受信制御を行う場合、SSE ビットを1にしてください。それ以外の通信モードでは0にしてください。なお、簡易 SPI モードで、マスタモード (SCR.CKE[1:0] ビット = 00b、MSS ビット = 0) を選択し、かつシングルマスタで使用する場合、マスタ側の SSn 端子を用いた送受信制御は不要です。そのため、SSE ビットを0にします。SSE ビットと CTSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

CTSE ビット (CTS 有効)

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを1にしてください。このビットを0にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、このビットを0にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください (両方を有効にした場合、両ビットを0にしたときと同じ動作になります)。

MSS ビット (マスタスレーブ選択)

簡易 SPI モード時のマスタ動作またはスレーブ動作を選択します。MSS ビットを1にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。簡易 SPI モード以外では0にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを示します。

マルチマスタ構成では、MFF フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット (クロック極性選択)

SCKn 端子からのクロック信号出力の極性を選択します。詳細は [図 27.70](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

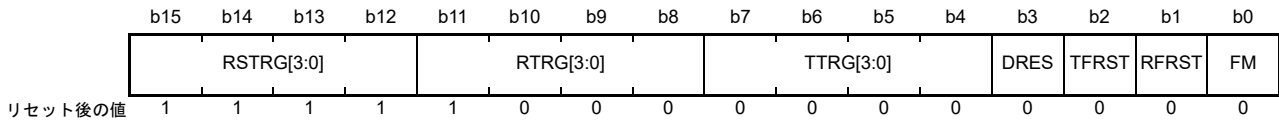
CKPH ビット (クロック位相選択)

SCKn 端子からのクロック信号出力の位相を選択します。詳細は [図 27.70](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

27.2.26 FIFO コントロールレジスタ (FCR)

アドレス SCI0.FCR 4007 0014h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W (注1)
b1	RFRST	受信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	送信FIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時の割り込み要求を選択 0：受信データフル割り込み（SCIn_RXI） 1：受信エラー割り込み（SCIn_ERI）	R/W
b7-b4	TTRG[3:0]	送信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0000：トリガ数0 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	受信FIFOデータトリガ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードでのみ有効 0000：トリガ数0 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効 0000：トリガ数0 1111：トリガ数15	R/W

注1. TEビット=0かつREビット=0の場合にのみ書き込み可能です。

FCRレジスタは、FIFOモードの選択、FTDRHL/FRDRHLレジスタのリセット、送受信のFIFOデータトリガ数、およびRTS出力アクティブトリガ数を設定するためのレジスタです。

FMビット (FIFOモード選択)

FMビットを1にすると、通信にはFTDRHLとFRDRHLが選択されます。FMビットを0にすると、通信にはTDRとRDR、またはTDRHLとRDRHLが選択されます。

RFRSTビット (受信FIFOデータレジスタリセット)

RFRSTビットを1にすると、FRDRHLレジスタがリセットされ、受信データ数は0にリセットされます。1を書いた後、1PCLKB経過後、このビットは0になります。

TFRSTビット (送信FIFOデータレジスタリセット)

TFRSTビットを1にすると、FTDRHLレジスタがリセットされ、送信データ数は0にリセットされます。1を書いた後、1PCLKB経過後、このビットは0になります。

DRES ビット (受信データレディエラー選択)

DRES ビットを 1 にすると、受信エラー割り込み (SCIn_ERI) が選択されます。DRES ビットを 0 にすると、受信データフル割り込みが選択されます。

DTC を開始して FRDRH レジスタと FRDRL レジスタを読み出すときは、DRES を 1 にしてください。

TTRG[3:0] ビット (送信 FIFO データトリガ数)

送信 FIFO データレジスタ (FTDRHL) 内の送信データ数が指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 であれば、SCIn_TXI 割り込み要求が発生しています。

RTRG[3:0] ビット (受信 FIFO データトリガ数)

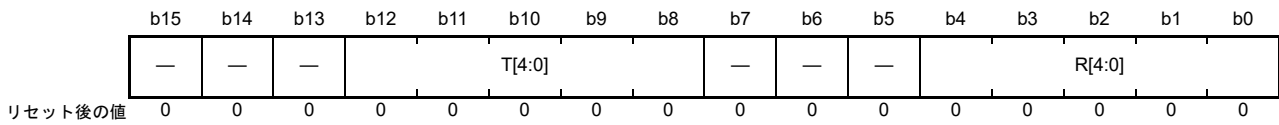
受信 FIFO データレジスタ (FRDRHL) 内の受信データ数が指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 であれば、SCIn_RXI 割り込み要求が発生しています。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。また、SCIn_RXI 割り込みは発生しません。

RSTRG[3:0] ビット (RTS 出力アクティブトリガ数選択)

受信 FIFO データレジスタ (FRDRHL) に格納された受信データ数が指定された受信トリガ数以上の場合、RTSn 信号は High 状態です。RSTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RTSn 信号は High 状態ではありません。

27.2.27 FIFO データ数レジスタ (FDR)

アドレス SCI0.FDR 4007 0016h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信FIFOデータ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効 FRDRHLレジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R
b12-b8	T[4:0]	送信FIFOデータ数	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効 FTDRHLレジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

このレジスタは、FRDRHL/FTDRHLレジスタに格納されたデータ数を示します。

R[4:0] ビット (受信 FIFO データ数)

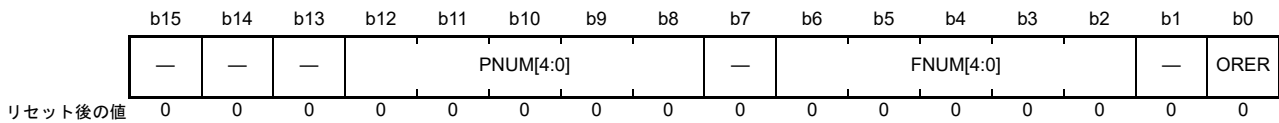
FRDRHLレジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データがFRDRHLレジスタに格納されていることを意味します。

T[4:0] ビット (送信 FIFO データ数)

FTDRHLレジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ（最大数）がFTDRHLレジスタに格納されていることを意味します。

27.2.28 ラインステータスレジスタ (LSR)

アドレス SCI0.LSR 4007 0018h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R (注1)
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	受信FIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注 1. 本フラグを読み出しても、SSR_FIFO レジスタの対応するフラグを読み出したことにはなりません。1 を読んだ場合は、SSR_FIFO.ORER に 0 を書いてクリアしてください。

LSR レジスタは、受信エラーのステータスを示すためのレジスタです。

ORER ビット (オーバーランエラーフラグ)

SSR_FIFO.ORER ビットの値を反映します。

FNUM[4:0] ビット (フレーミングエラー数)

FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

PNUM[4:0] ビット (パリティエラー数)

FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

27.2.29 コンペアマッチデータレジスタ (CDR)

アドレス SCI0.CDR 4007 001Ch, SCI1.CDR 4007 003Ah, SCI9.CDR 4007 013Ah



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能を設定するためのレジスタです。

CMPD[8:0] ビット (コンペアマッチデータ)

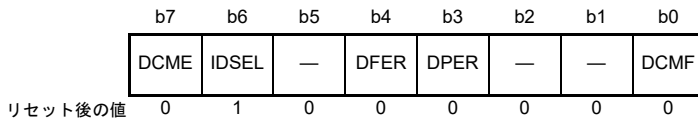
アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

3種類のビット長から1つ選択できます。

- 7ビット長の CMPD[6:0]
- 8ビット長の CMPD[7:0]
- 9ビット長の CMPD[8:0]

27.2.30 データコンペアマッチコントロールレジスタ (DCCR)

アドレス SCI0.DCCR4007 0013h, SCI1.DCCR4007 0033h, SCI9.DCCR 4007 0133h



ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0: 不一致 1: 一致	R/W (注1)
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W (注1)
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード (マルチプロセッサモードを含む) でのみ有効 0: MPB ビットの値とは無関係に、常にデータを比較する 1: MPB ビットが1 (IDフレーム) のデータのみを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード (マルチプロセッサモードを含む) でのみ有効 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注1. 読みだした後、フラグをクリアするため0の書き込みのみが可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ (データコンペアマッチフラグ)

SCI が受信データと比較データ (CDR.CMPD) の一致を検出したことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ (SCR) の RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

DPER フラグ (データコンペアマッチパリティエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DPER フラグは影響を受けず、以前の値を保持します

DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき
- 2ストップモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します

IDSEL ビット (ID フレーム選択)

アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。同時に、アドレス一致検出機能の選択タイミングを設定します。

DCME ビット (データコンペアマッチ有効)

アドレス一致検出機能 (データコンペアマッチ機能) を有効または無効にします。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME は自動的にクリアされ、その後、SCI の動作モードは通常の実受信モードになります。[27.3.6 アドレス一致 \(受信データ一致\) 検出機能](#)を参照してください。

調歩同期式モード以外では、書き込み値は 0 にしてください。

27.2.31 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI9.SPTR 4007 013Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXD端子の状態を示します。 0: RXD端子はLow状態 1: RXD端子はHigh状態	R
b1	SPB2DT	シリアルポートブ레이크データ選択	SCR.TE = 0の場合、TXD端子の出力レベルを選択します。 0: TXD端子はLow出力 1: TXD端子はHigh出力	R/W
b2	SPB2IO	シリアルポートブ레이크入出力	TXD端子へSPB2DTの値を出力するか否かを選択します。 0: SPB2DTビットの値をTXD端子に出力しない 1: SPB2DTビットの値をTXD端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTRレジスタは、シリアル受信端子 (RXD 端子) の状態を確認し、送信端子 (TXD 端子) の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 27.22 に示すように、TXD 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

表 27.22 TXD 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXD 端子の状態
0	0	x	Hi-Z (初期値)
0	1	0	Lowを出力
0	1	1	Highを出力
1	x	x	シリアル送信データを出力

x : Don't care

注. SPTRレジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

27.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、[図 27.2](#) に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し/書き込みが可能であり、連続送受信が実現されます。

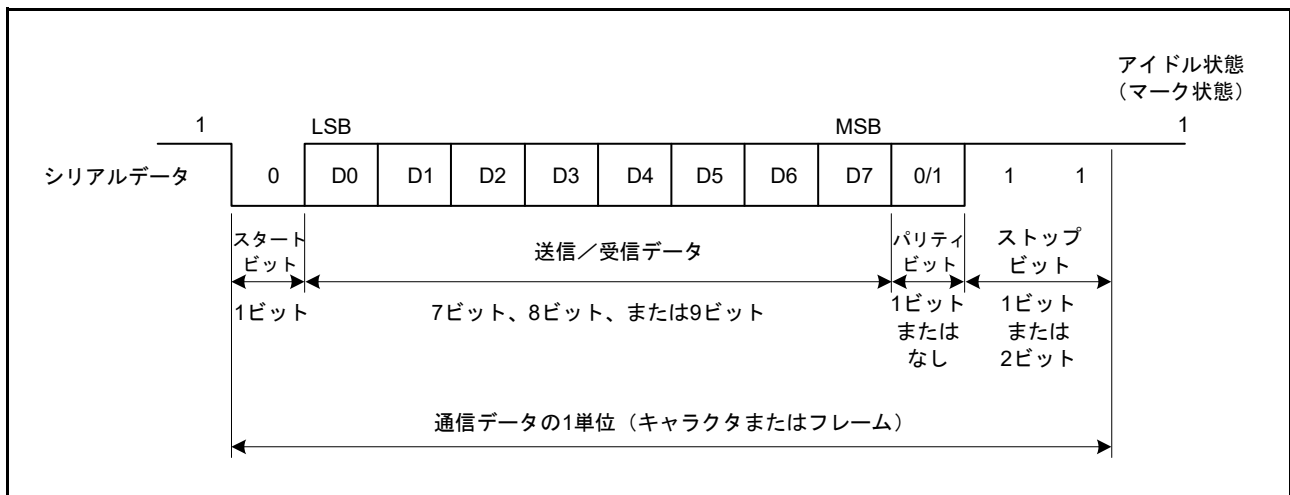


図 27.2 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2ストップビットの場合)

27.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 27.23 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定により選択できます。マルチプロセッサ機能の詳細については 27.4 マルチプロセッサ通信機能を参照してください。

表 27.23 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																		
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13					
0	0	0	0	0	0	S	9ビットデータ									STOP							
0	0	0	0	1	1	S	9ビットデータ									STOP		STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP						
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP					
1	0	0	0	0	0	S	8ビットデータ								STOP								
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP							
1	0	1	0	0	0	S	8ビットデータ								P	STOP							
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP						
1	1	0	0	0	0	S	7ビットデータ							STOP									
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP								
1	1	1	0	0	0	S	7ビットデータ							P	STOP								

表 27.23 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR の設定 値	SMRの設定値				シリアル転送フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
1	1	1	0	1		S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0		S	9ビットデータ									MPB	STOP					
0	0	—	1	1		S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0		S	8ビットデータ								MPB	STOP						
1	0	—	1	1		S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0		S	7ビットデータ							MPB	STOP							
1	1	—	1	1		S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。

また、**図 27.3**に示すように、受信データは基本クロックの8パルス目（注1）の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。したがって、調歩同期式モードでの受信マージンは以下の式（1）のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \dots \text{Formula (1)}$$

M：受信マージン

N：クロックに対するビットレートの比

SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16

SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6

D：クロックのデューティ (D = 0.5 ~ 1.0)

L：フレーム長 (L = 9 ~ 13)

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875\%$$

これは計算上の値を表しているのでシステム設計の際には 20 ~ 30%の余裕を持たせてください。

- 注 1. この例では、SEMRレジスタの ABCS ビットと ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。
ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

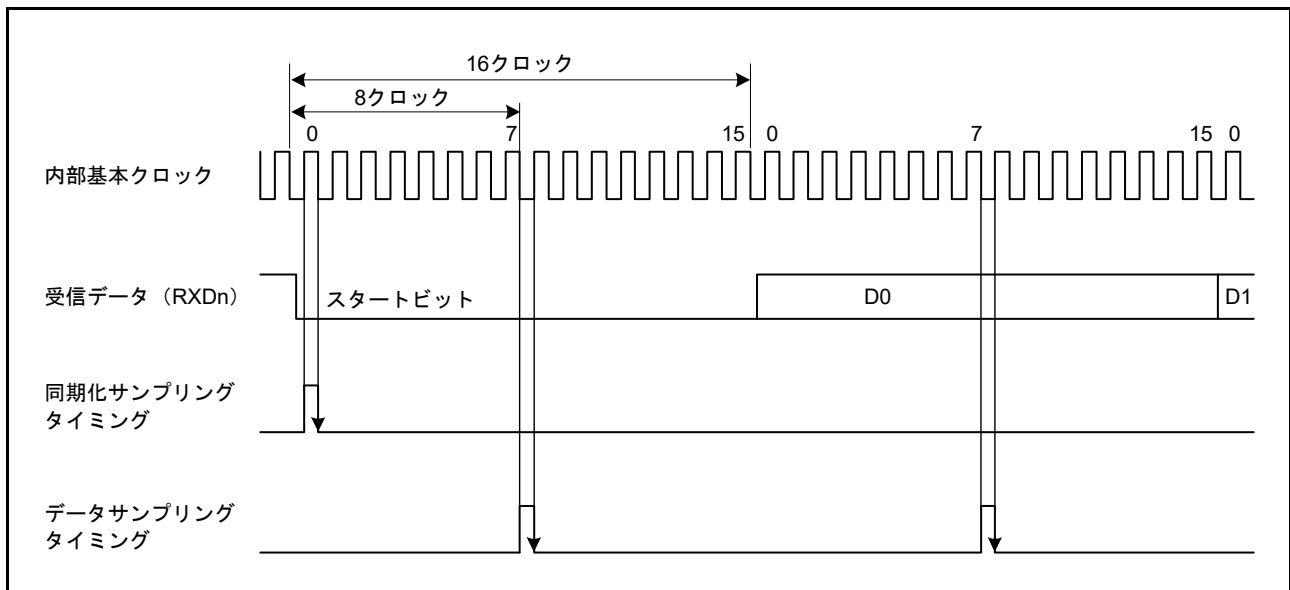


図 27.3 調歩同期式モードでの受信データサンプリングタイミング

27.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、またはSCKn端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍 (SEMR.ABCSビット=0のとき)、または8倍 (SEMR.ABCSビット=1のとき)の周波数のクロックを入力してください。

内部クロックで動作させるときは、SCKn端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図27.4に示すように、送信データの間でクロックが立ち上がるように設定されます。

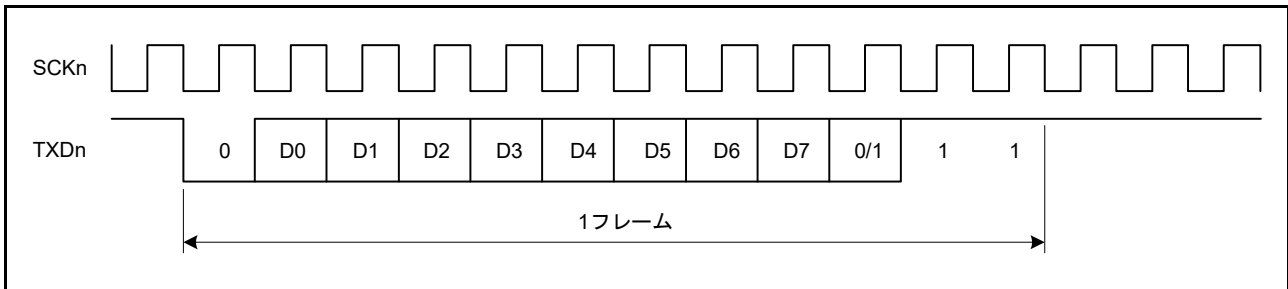


図 27.4 出力クロックと送信データの位相関係 (調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

27.3.4 倍速動作とビットレートの6倍の周波数

SEMR.ABCSビットを1にして、1ビット期間として基本クロックの8パルスを選択した場合、ABCSビットが0の場合に比べて、SCIは2倍のビットレートで動作します。SEMR.BGDMビットが1になっていると、基本クロックの周期は1/2倍になり、ビットレートはBGDMビットが0の場合の2倍になります。SCR.CKE[1]ビットを0にして、内蔵ポーレートジェネレータを選択した場合、ABCSビットとBGDMビットを1にすることにより、ABCSビットとBGDMビットが0の場合に比べて、SCIは4倍のビットレートで動作できるようになります。SEMR.ABCSEビットが1になっている場合、基本クロックのパルス数は1ビット期間中6になり、SEMR.ABCS、SEMR.BGDM、およびSEMR.ABCSEが0になっている場合、SCIは16/3倍で動作します。

27.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式 (1) に示すとおり、SEMR.ABCSビットが1、またはSEMR.ABCSEビットが1の場合、受信マージンは減少します。そのため、ABCSビットまたはABCSEビットが0の状態、目的とするビットレートが達成できるのであれば、ABCSビットとABCSEビットを0にしてSCIを使用することが推奨されます。

27.3.5 CTS、RTS 機能

CTS 機能は、CTS_n_RTS_n 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_n_RTS_n 端子入力が Low になると送信が開始されます。

送信中に CTS_n_RTS_n 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTS_n_RTS_n 端子出力を使用して受信要求を行います。受信可能な状態になると Low が出力されます。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

(a) 非 FIFO 選択時

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

(b) FIFO 選択時

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR_FIFO.ORER (FRDRH.ORER) ビットが 0

[High になる条件]

- Low になる条件を満たさない場合

27.3.6 アドレス一致 (受信データ一致) 検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME が 1 の場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD (注3)) の一致が検出された場合、SCI_{In}_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対照になります。マルチプロセッサモード (SMR.MP ビット=1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット=1 の受信データがアドレス一致の比較対照となります。MPB ビット=0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、SCI は受信データの MPB ビットの値にかかわらず、アドレス一致または不一致検出を実行します。

受信データと比較データ (CDR.CMPD (注3)) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

このとき、DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。同時に、SCR.RIE ビットが 1 になっていると、SCI は SCI_{In}_RXI 割り込み要求を発行します。一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ (注1) に格納されません。また、SSR.RDRF フラグ (注2) は 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に従って、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を [図 27.5](#) および [図 27.6](#) に示します。

- 注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
- 注 2. FCR.FM = 1 の場合、これは SSR_FIFO.RDF フラグになります。
- 注 3. 比較対照は、3 種類のビット長 (7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]) から 1 つ選択できます。

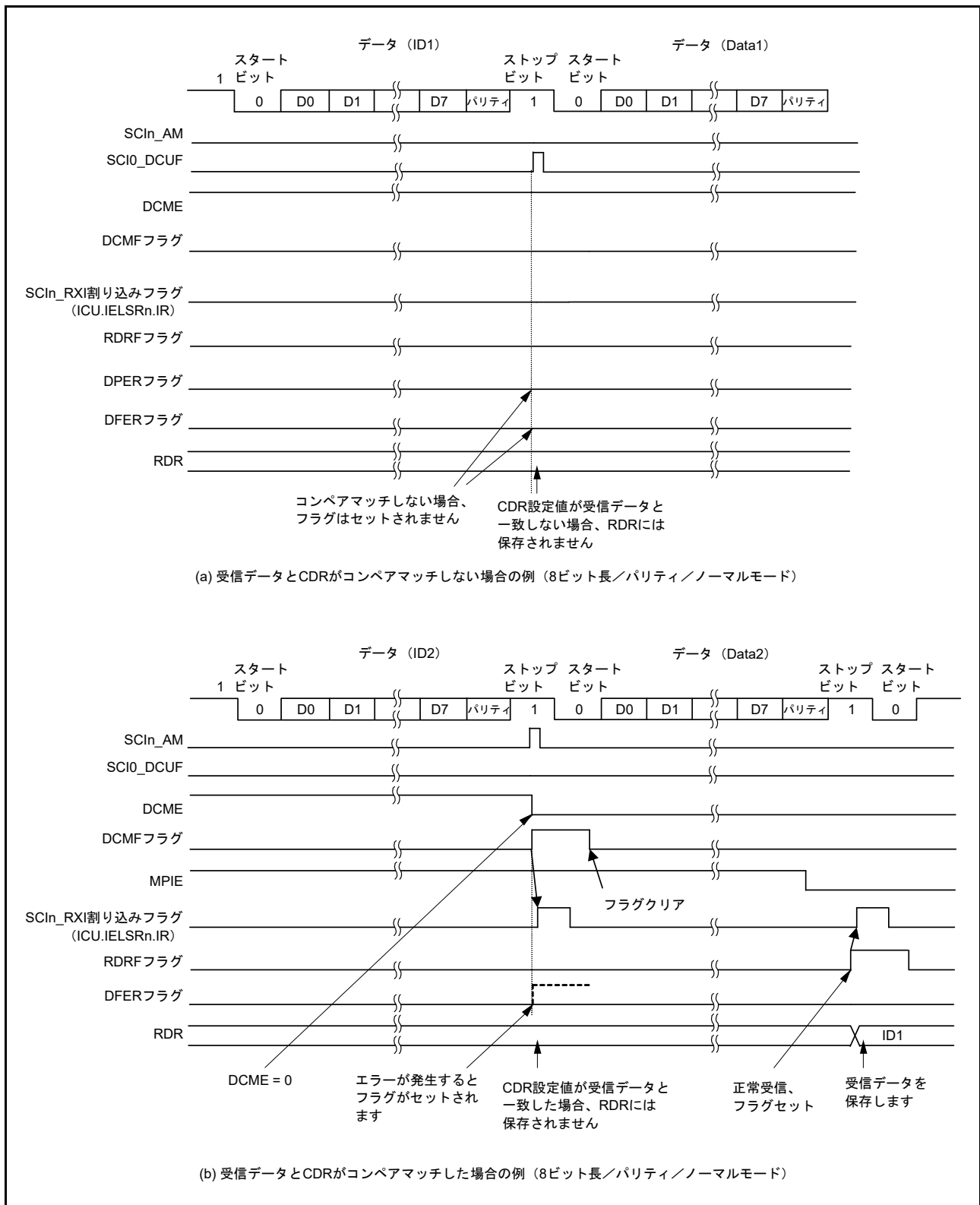


図 27.5 アドレス一致検出の例 (1) (通常モード)

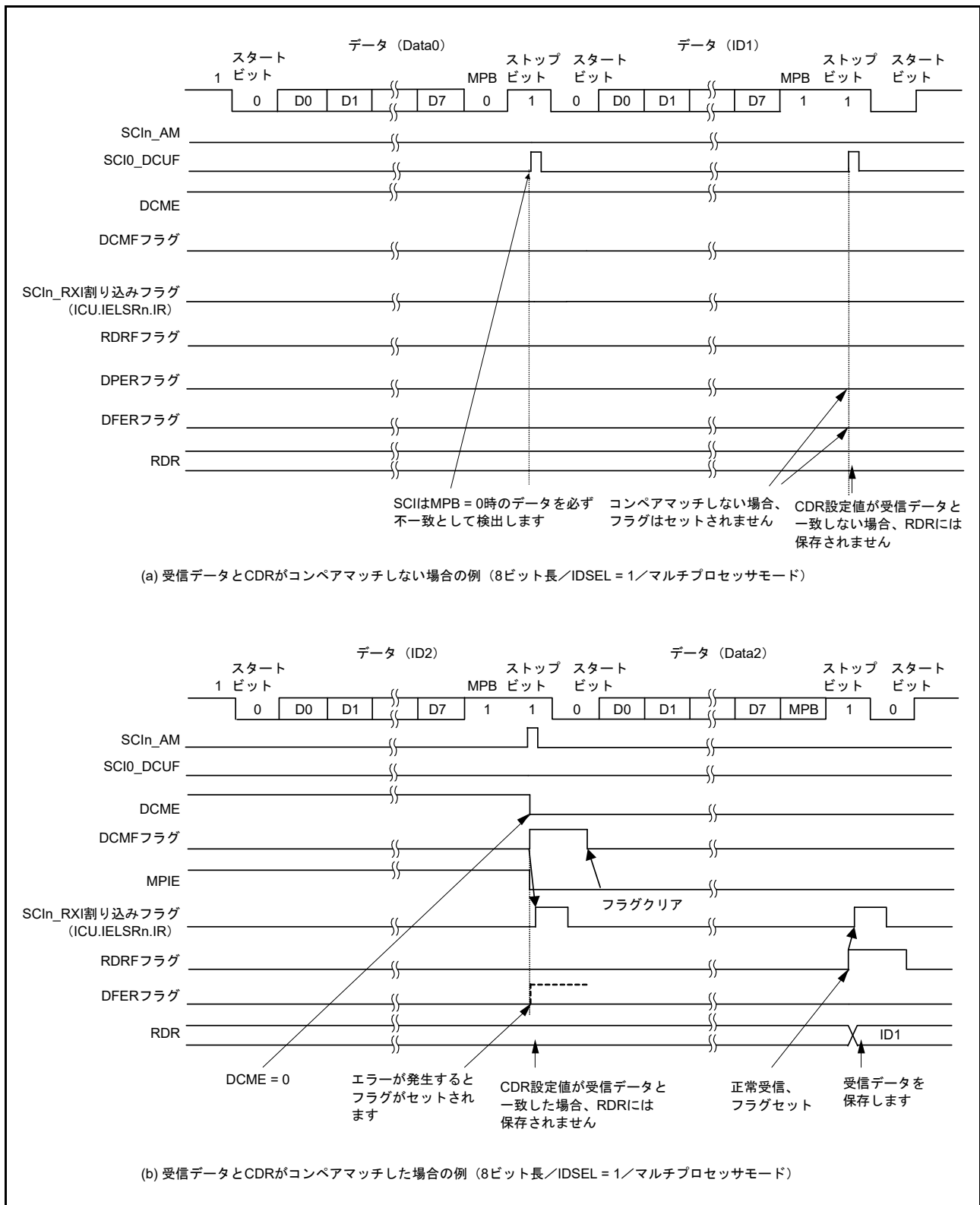


図 27.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

27.3.7 SCI の初期化 (調歩同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 27.7 および図 27.8 のフローチャートに従って、SCI の設定 (非 FIFO 選択時または FIFO 選択時) を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロック信号を供給してください。

- 注 . SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDF、PER の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

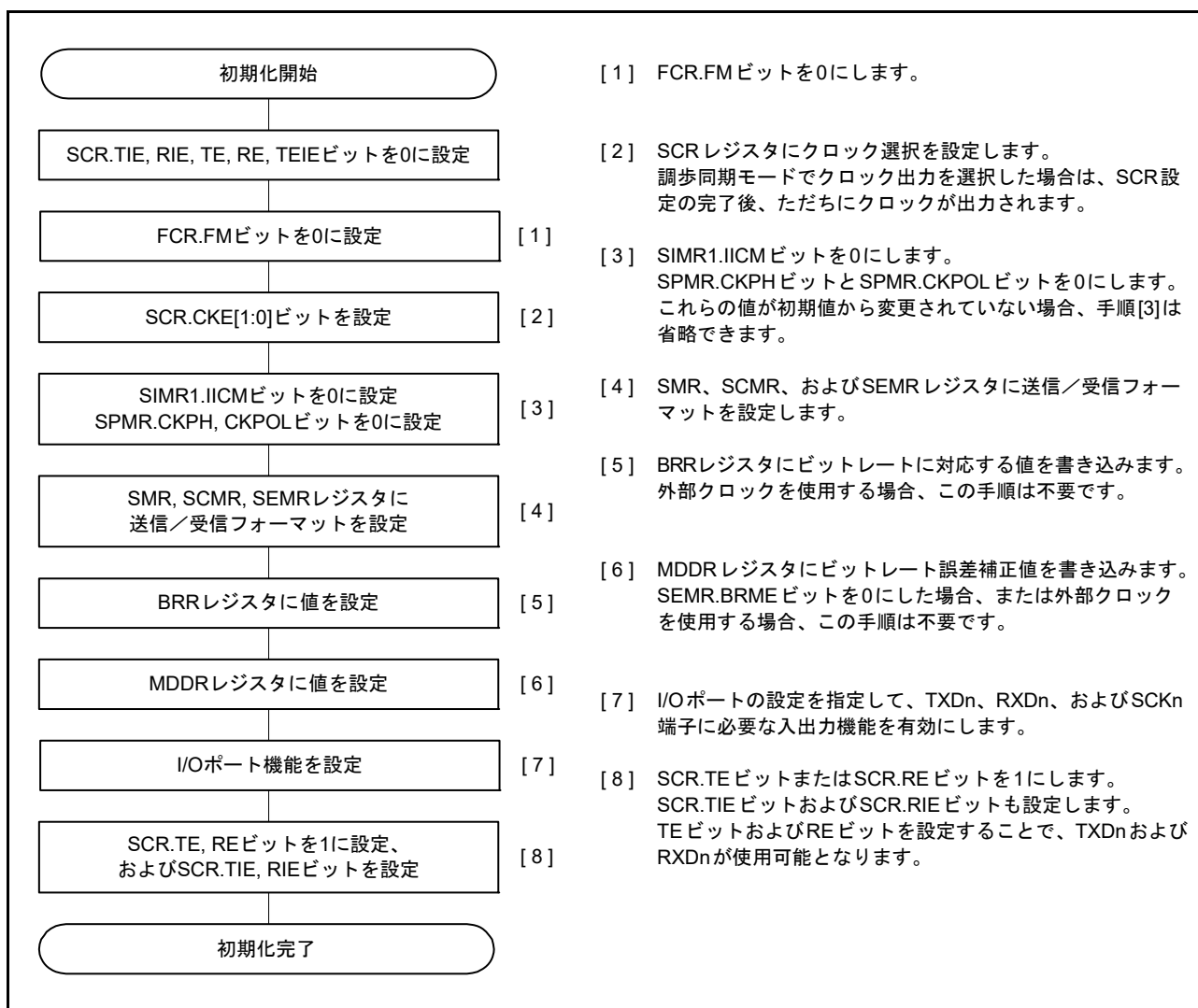


図 27.7 調歩同期式モードにおける SCI の初期化フローチャート例 (非 FIFO 選択時)



図 27.8 調歩同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

27.3.8 シリアルデータの送信 (調歩同期式モード)

(1) 非 FIFO 選択時

図 27.9、図 27.10、および図 27.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項ではシリアルデータの送信動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

1. SCI_n_TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、SCI は TDR レジスタ (注 1) から TSR レジスタへデータを転送します。
なお、送信開始時の SCI_n_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS_n_RTS_n 端子入力が Low であると、TDR レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。このとき、SCR.TIE ビットが 1 になっていると、SCI_n_TXI 割り込み要求が発生します。この SCI_n_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCI_n_TEI 割り込み要求を使用する場合は、SCI_n_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ (注 1) に書き込んだ後、SCR.TIE ビットを 0 (SCI_n_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI_n_TEI 割り込み要求を許可) にします。
3. データは、以下の順に TXD_n 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
 - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTS_n_RTS_n 端子入力が Low で、次の送信データが TDR レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCI_n_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 27.9、図 27.10、および図 27.11 に、調歩同期式モードにおけるシリアル送信のフローチャート例を示します。

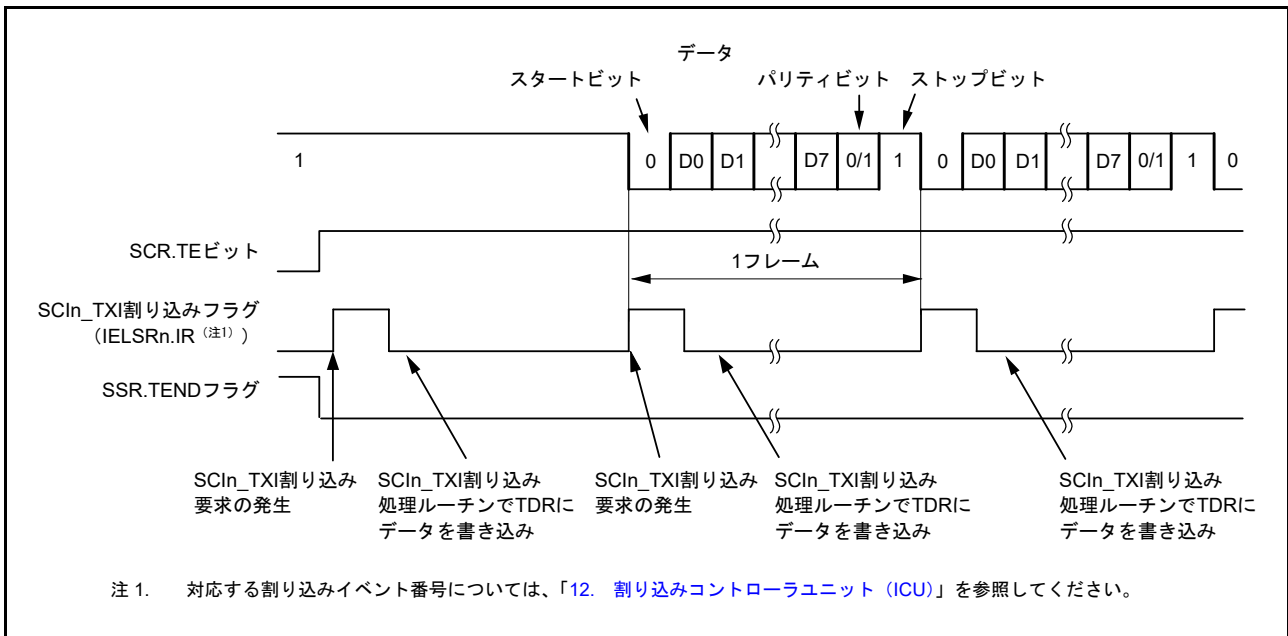


図 27.9 調歩同期式モードのシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信開始時)

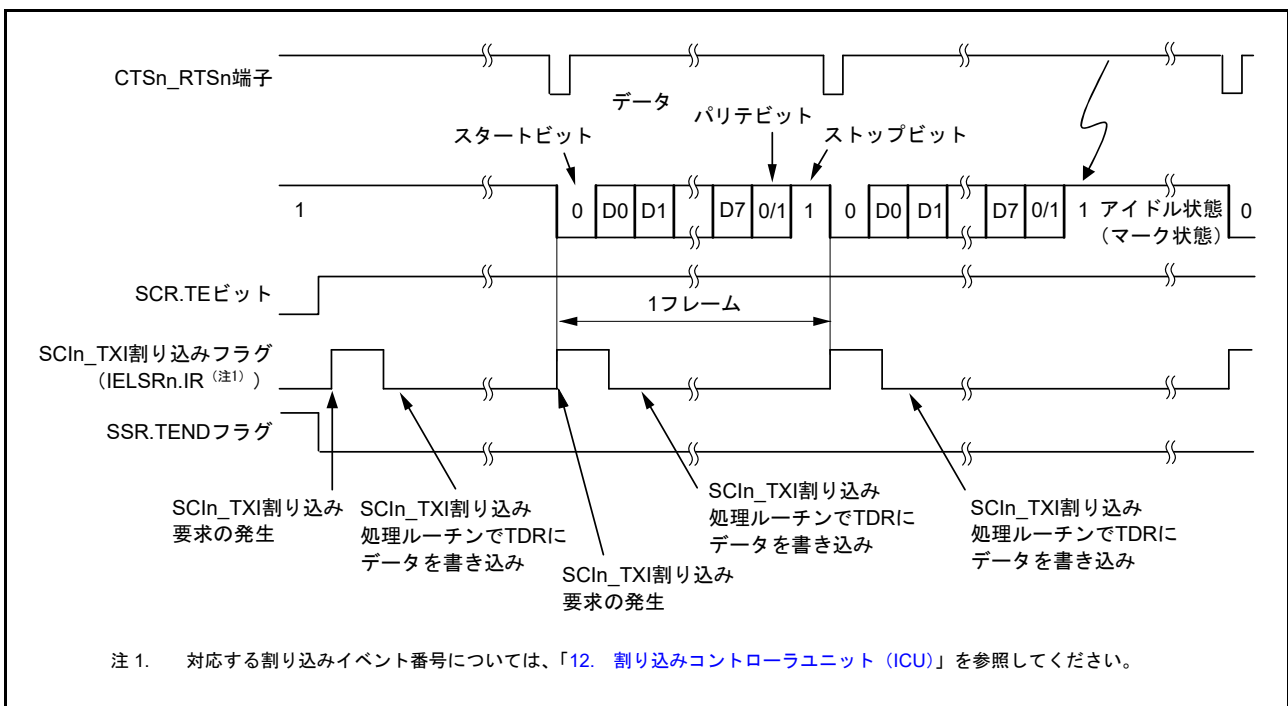


図 27.10 調歩同期式モードのシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能使用/送信開始時)

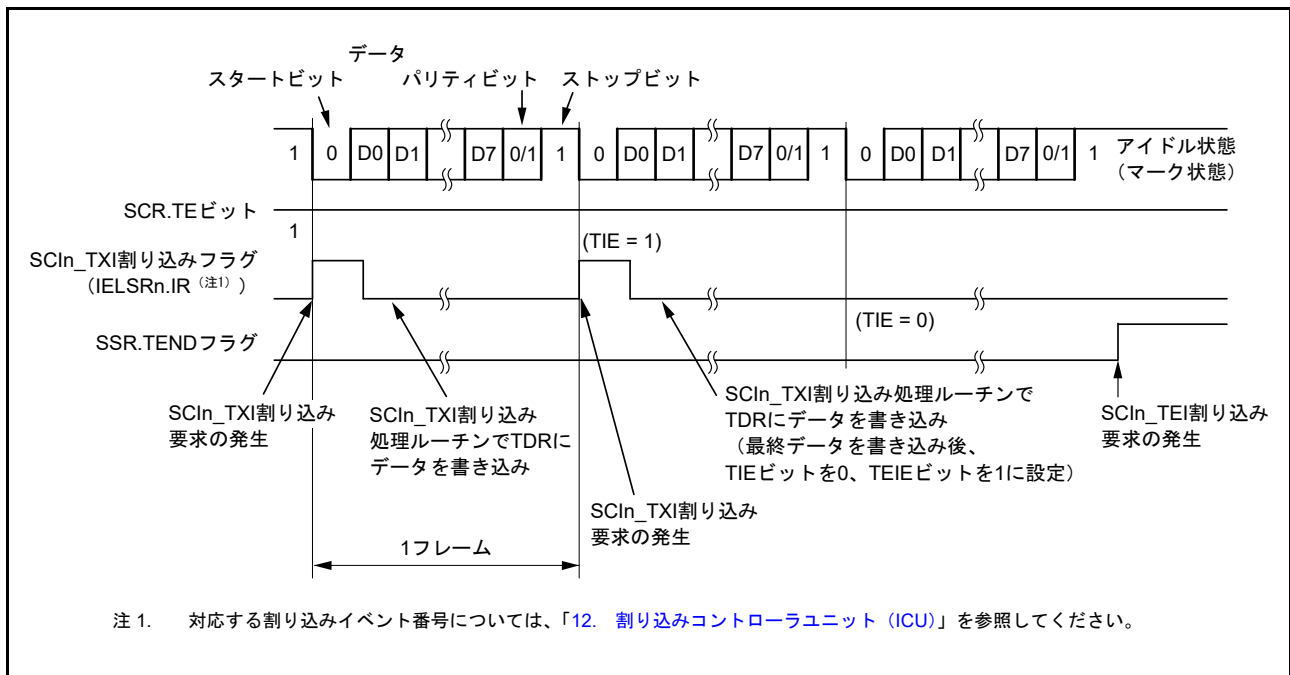


図 27.11 調歩同期式モードのシリアル送信の動作例 (3) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信中~送信終了時)

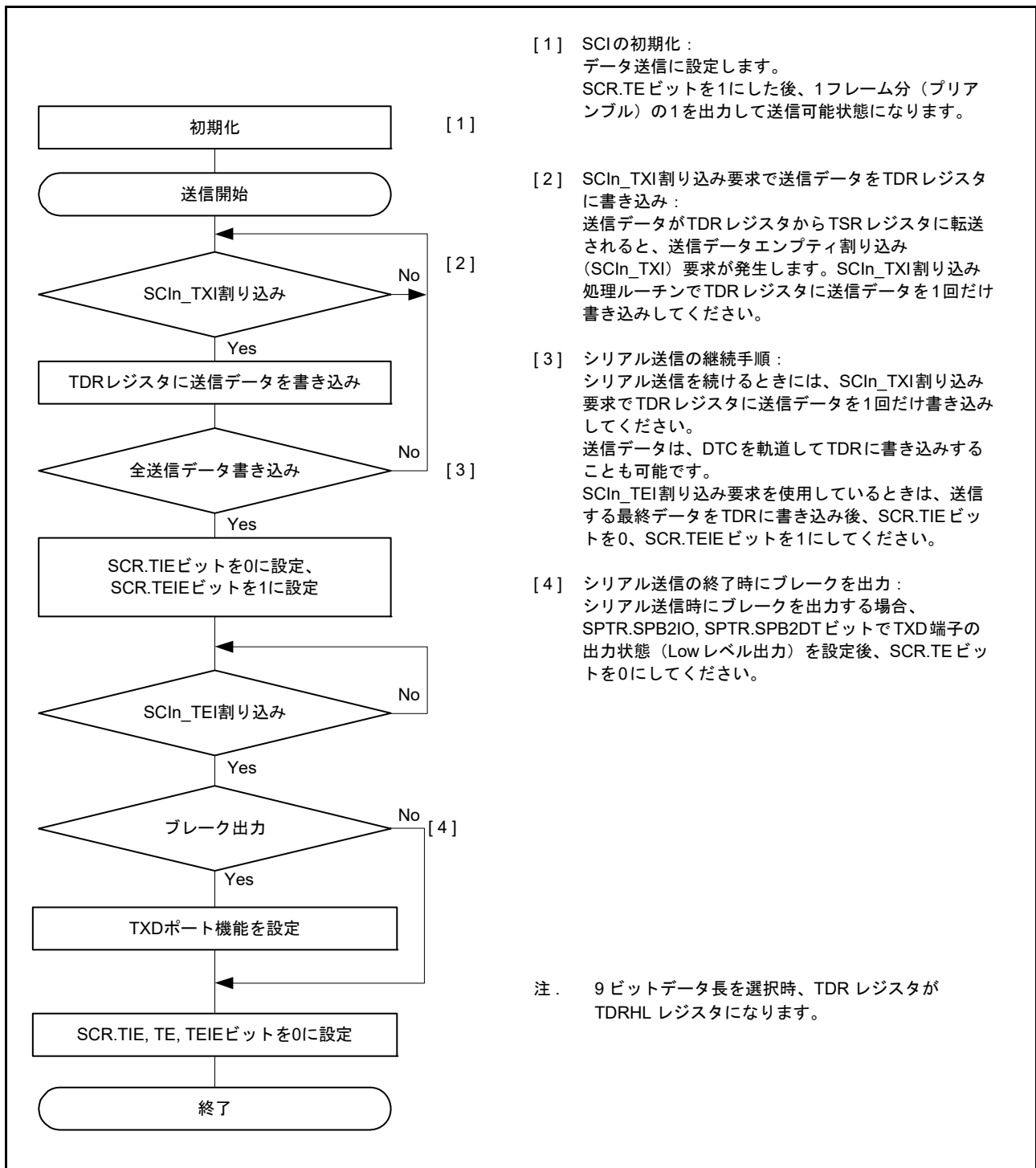


図 27.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 27.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタから FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
	SCMR. CHR1	SMR. CHR	FTDRH								FTDRL							
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	7ビット送信データ
8ビット	1	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	8ビット送信データ
9ビット	0	Don't care	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	9ビット送信データ

—: 無効ビット。書く場合、0としてください。

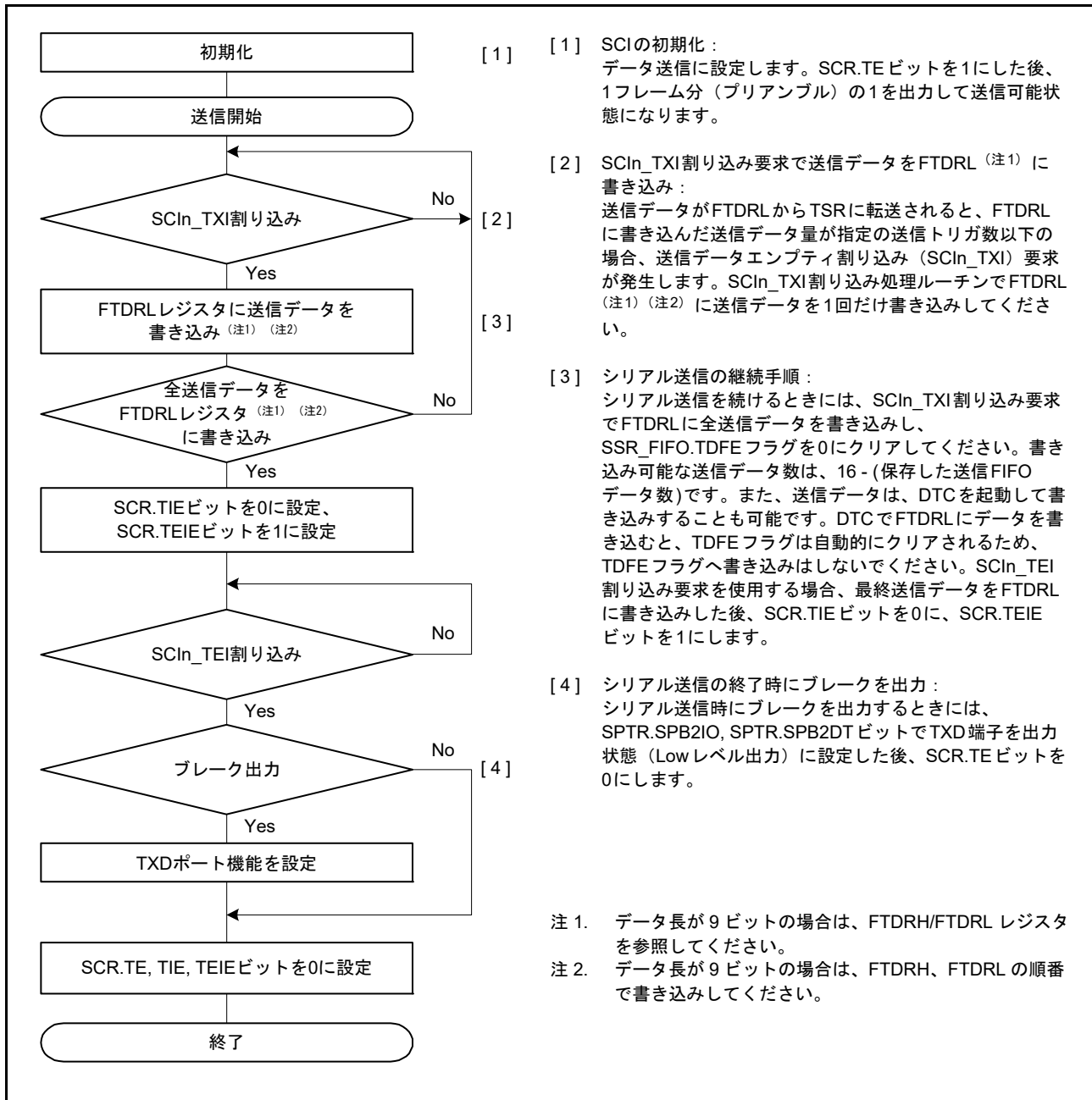
図 27.13 FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時)

本項ではシリアル送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム (プリアンブル) 分の High レベルが TXD 端子に出力されます。

- SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ (注 1) にデータが書き込まれると、SCI は FTDRL レジスタ (注 1) から TSR レジスタへデータを転送します。
FTDRL レジスタに書き込み可能なデータのバイト数は“16-FDR.T[4:0]”です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であり、かつ CTSn_RTSn 端子入力が Low であると、FTDRL レジスタ (注 1) から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ (注 1) に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ (注 1) (注 2) に書き込んだ後、SCR.TIE ビットを 0 (SCIn_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCIn_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXDn 端子から送り出されます。
 - スタートビット
 - 送信データ
 - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
 - ストップビット
- ストップビット出力のタイミングで、SCI は FTDRL レジスタ (注 3) に未送信データが残っていないかチェックします。
- FTDRL レジスタ (注 3) にデータがある場合、SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ (注 1) から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
- FTDRL レジスタ (注 3) にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

- 注1. データ長9ビット選択時は、FTDRH および FTDRL レジスタにデータを書き込んでください。
- 注2. データ長9ビット選択時は、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。
- 注3. データ長9ビット選択時は、FTDRL レジスタ更新のみチェックし、FTDRH レジスタ更新はチェックしません。

図 27.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



- [1] [1] SCIの初期化 : データ送信に設定します。SCR.TEビットを1にした後、1フレーム分 (プリアンプル) の1を出力して送信可能状態になります。
 - [2] [2] SCIn_TXI割り込み要求で送信データをFTDRL (注1) に書き込み : 送信データがFTDRLからTSRに転送されると、FTDRLに書き込んだ送信データ量が指定の送信トリガ数以下の場合、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。SCIn_TXI割り込み処理ルーチンでFTDRL (注1) (注2) に送信データを1回だけ書き込みしてください。
 - [3] [3] シリアル送信の継続手順 : シリアル送信を続けるときには、SCIn_TXI割り込み要求でFTDRLに全送信データを書き込みし、SSR_FIFO.TDFEフラグを0にクリアしてください。書き込み可能な送信データ数は、16 - (保存した送信FIFOデータ数) です。また、送信データは、DTCを起動して書き込みすることも可能です。DTCでFTDRLにデータを書き込むと、TDFEフラグは自動的にクリアされるため、TDFEフラグへ書き込みはしないでください。SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRLに書き込みした後、SCR.TIEビットを0に、SCR.TEIEビットを1にします。
 - [4] [4] シリアル送信の終了時にブレイクを出力 : シリアル送信時にブレイクを出力するときには、SPTR.SPB2IO, SPTR.SPB2DTビットでTXD端子を出力状態 (Lowレベル出力) に設定した後、SCR.TEビットを0にします。
- 注1. データ長が9ビットの場合は、FTDRH/FTDRL レジスタを参照してください。
 注2. データ長が9ビットの場合は、FTDRH、FTDRL の順番で書き込みしてください。

図 27.14 調歩同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

27.3.9 シリアルデータの受信 (調歩同期式モード)

(1) 非 FIFO 選択時

図 27.15 と図 27.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n_RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.Overer フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ (注 1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ (注 1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ (注 1) へ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_RXI 割り込み要求が発生します。この SCI_n_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS_n_RTS_n 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

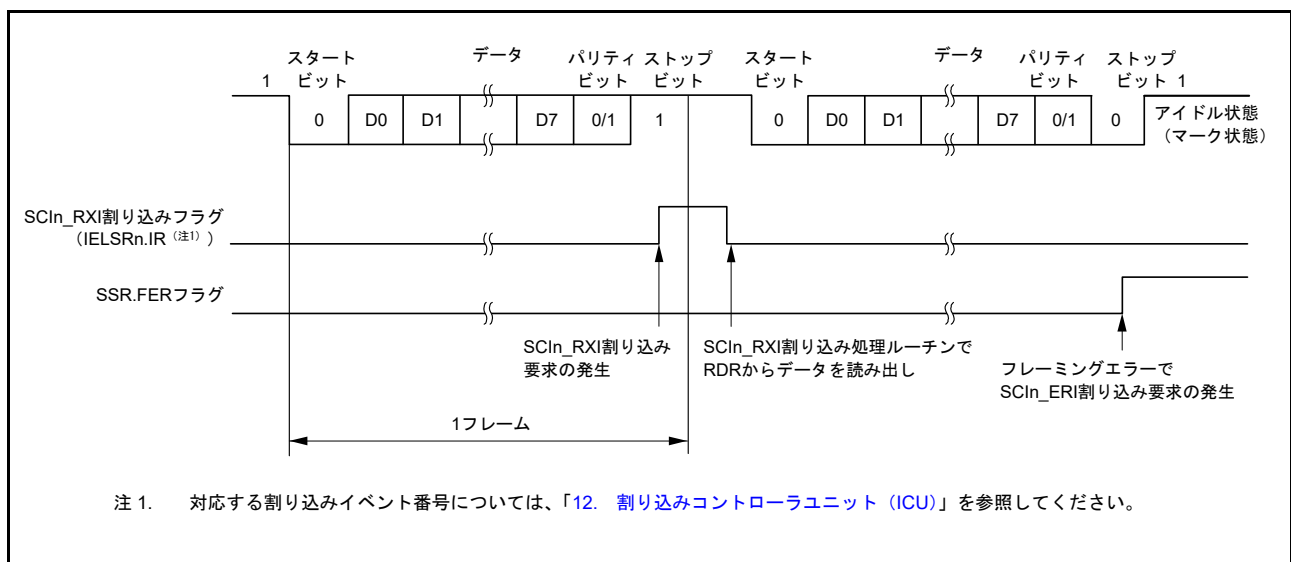


図 27.15 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

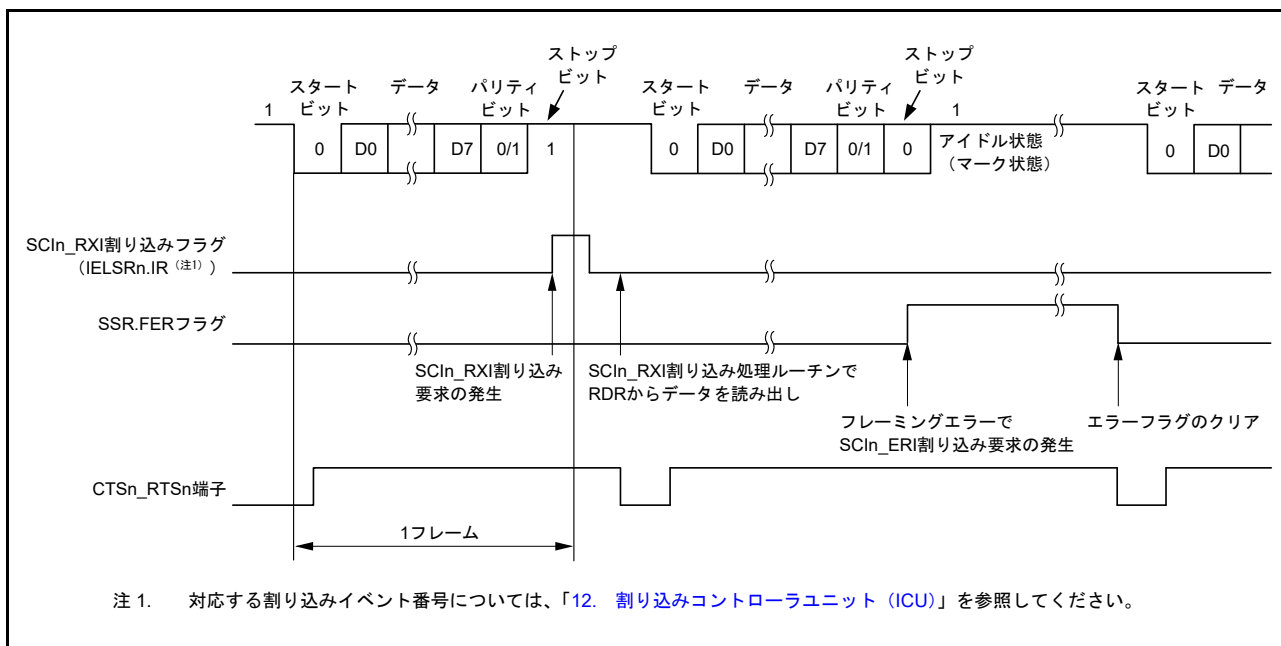


図 27.16 調歩同期式モードにおけるシリアル受信の動作例 (2)
(RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 27.24 に示します。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出して下さい。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR または RDRHL レジスタに読み出し前の受信データが残っている可能性があるため、RDR または RDRHL レジスタを読み出す必要があります。

図 27.17 と図 27.18 に、シリアル受信のフローチャート例を示します。

表 27.24 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。

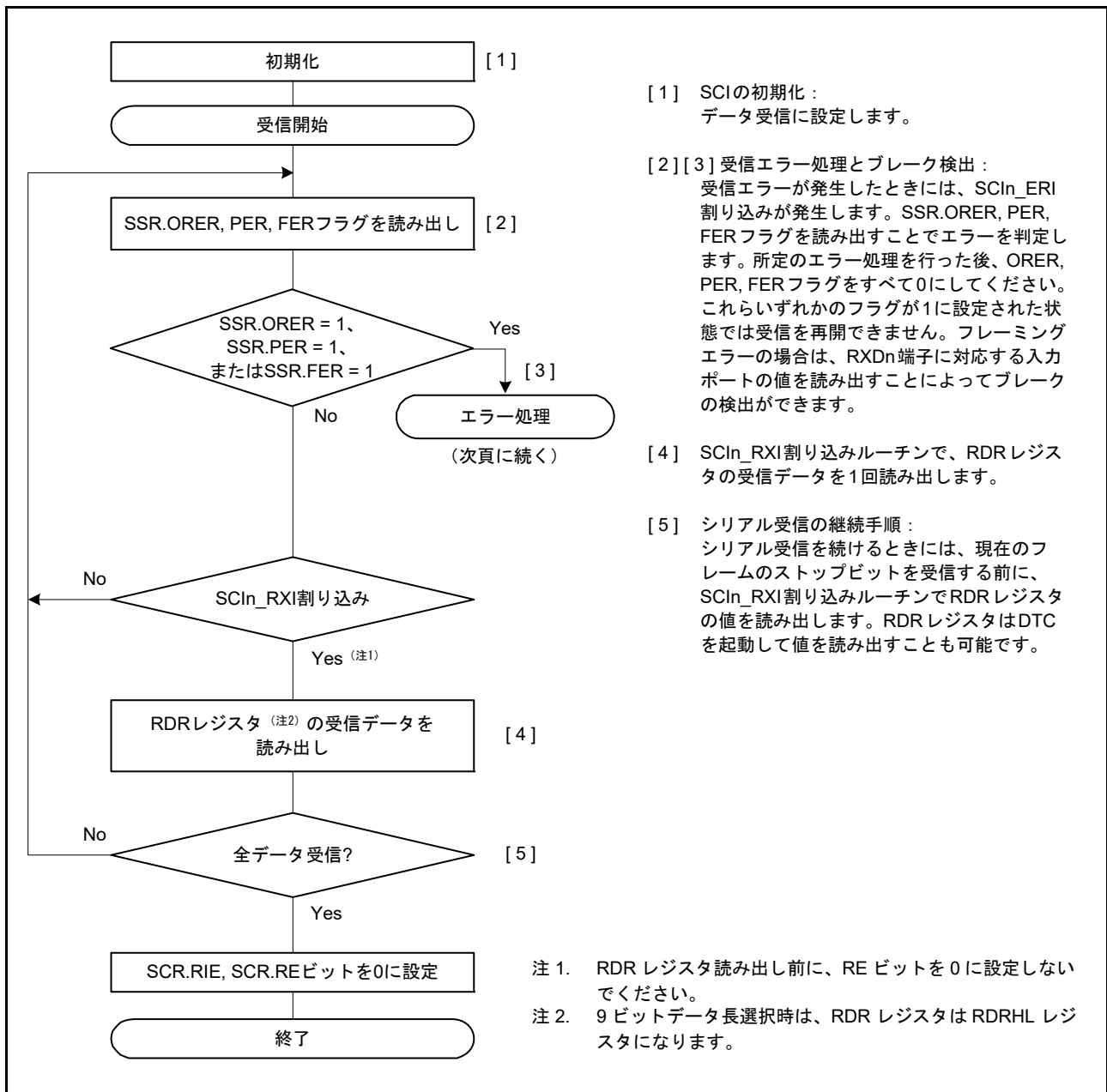


図 27.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

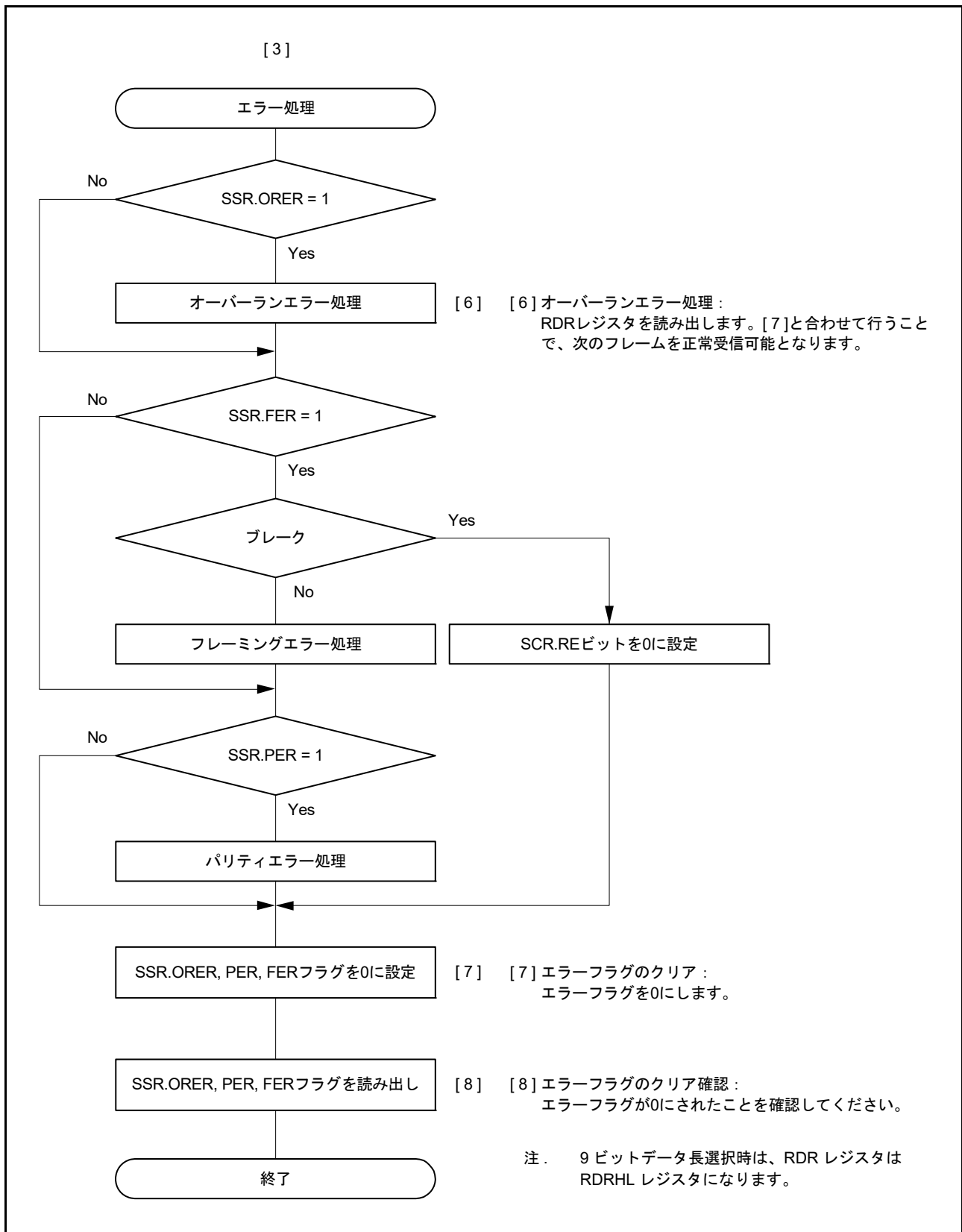


図 27.18 調歩同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

(2) FIFO 選択時

図 27.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF フラグ、ORER フラグ、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ															
			FRDRH							FRDRL								
	SCMR. CHR1	SMR. CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ						
8ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ							
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ								

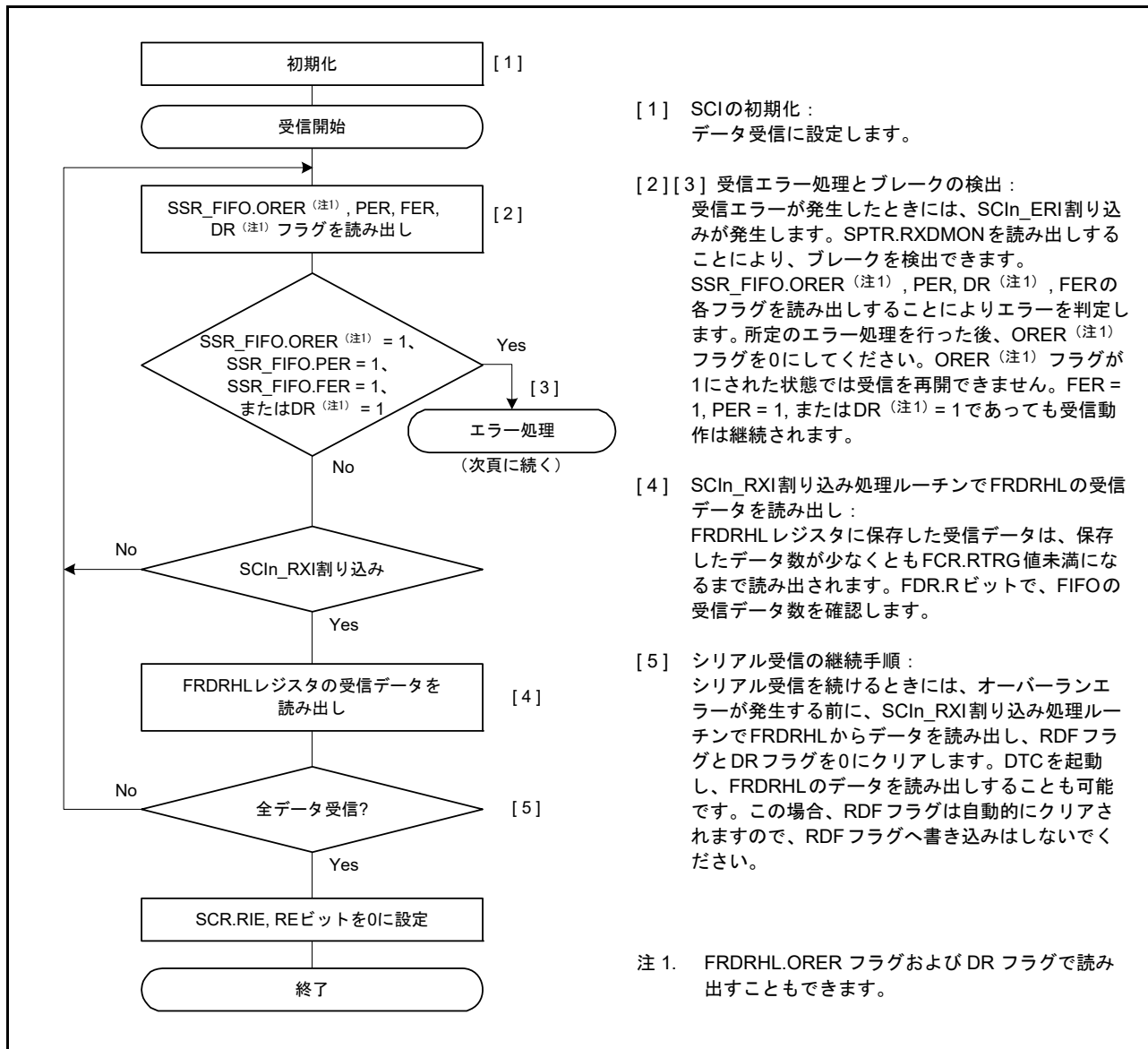
注. MPB フラグからは常に 0 が読み出されます (FRDRH[1]).
 データ長が 7 ビットするとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。
 データ長が 8 ビットするとき、FRDRH[0] から常に 0 が読み出されます。
 FRDRH[7] ビットの読み出し値は不定です。

図 27.19 FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時)

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS_n、RTS_n 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{In}_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ (注 1) へ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ (注 1) へ転送されません。このとき、RIE ビットが 1 になっていると、SCI_{In}_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ (注 1) へ転送されます。このとき、RIE ビットが 1 になっていると、SCI_{In}_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
7. 受信 FIFO データレジスタ (FRDRL) に格納されたデータ数が指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR フラグが 1 になります。RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCI_{In}_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCI_{In}_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが FRDRL レジスタ (注 1) へ転送されます。FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_{In}_RXI 割り込み要求が発生します。この SCI_{In}_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ (注 2) へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ (注 3) へ転送された受信データ数が RTS トリガ数未満であると、CTS_n、RTS_n 端子出力が Low になります。

- 注 1. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタになります。
- 注 2. データ長 9 ビット選択時は、FRDRH レジスタ→FRDRL レジスタの順にデータを読み出して下さい。
- 注 3. データ長 9 ビット選択時は、FRDRL レジスタ更新のみチェックし、FRDRH レジスタ更新はチェックしません。



- [1] SCIの初期化：
データ受信に設定します。
 - [2][3] 受信エラー処理とブレイクの検出：
受信エラーが発生したときには、SCLn_ERI 割り込みが発生します。SPTR.RXDMONを読み出しすることにより、ブレイクを検出できます。
SSR_FIFO.ORER (注1), PER, DR (注1), FERの各フラグを読み出しすることによりエラーを判定します。所定のエラー処理を行った後、ORER (注1) フラグを0にしてください。ORER (注1) フラグが1にされた状態では受信を再開できません。FER = 1, PER = 1, またはDR (注1) = 1であっても受信動作は継続されます。
 - [4] SCLn_RXI 割り込み処理ルーチンでFRDRHLの受信データを読み出し：
FRDRHLレジスタに保存した受信データは、保存したデータ数が少なくともFCR.RTRG値未満になるまで読み出されます。FDR.Rビットで、FIFOの受信データ数を確認します。
 - [5] シリアル受信の継続手順：
シリアル受信を続けるときには、オーバーランエラーが発生する前に、SCLn_RXI 割り込み処理ルーチンでFRDRHLからデータを読み出し、RDFフラグとDRフラグを0にクリアします。DTCを起動し、FRDRHLのデータを読み出しすることも可能です。この場合、RDFフラグは自動的にクリアされますので、RDFフラグへ書き込みはしないでください。
- 注 1. FRDRHL.ORER フラグおよび DR フラグで読み出すこともできます。

図 27.20 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (1)

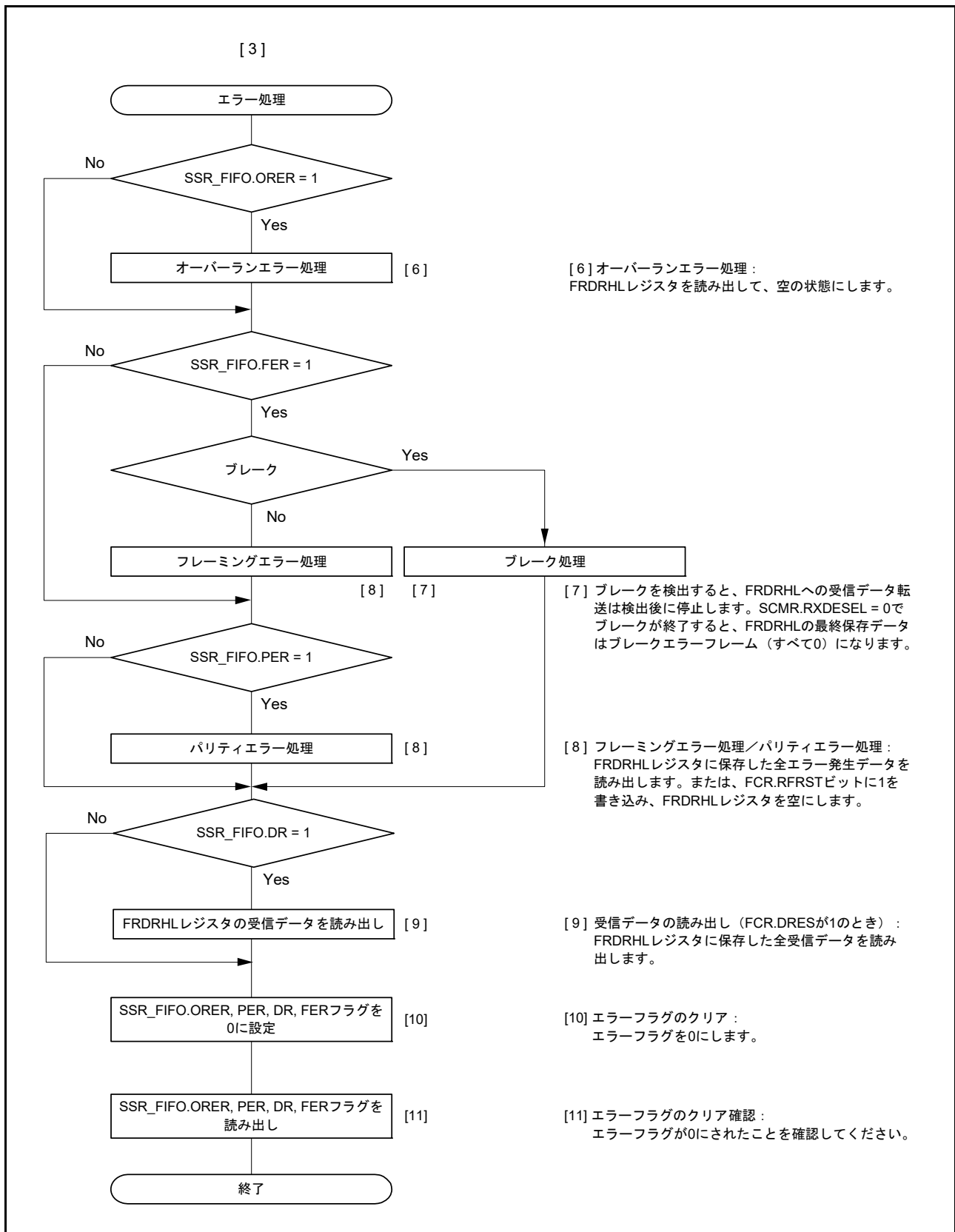


図 27.21 調歩同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時) (2)

27.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間で通信回線を共有したデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 27.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) への受信データの転送
- 受信エラーの検出
- SSR.RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の受信キャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、通常の受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI_{In}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

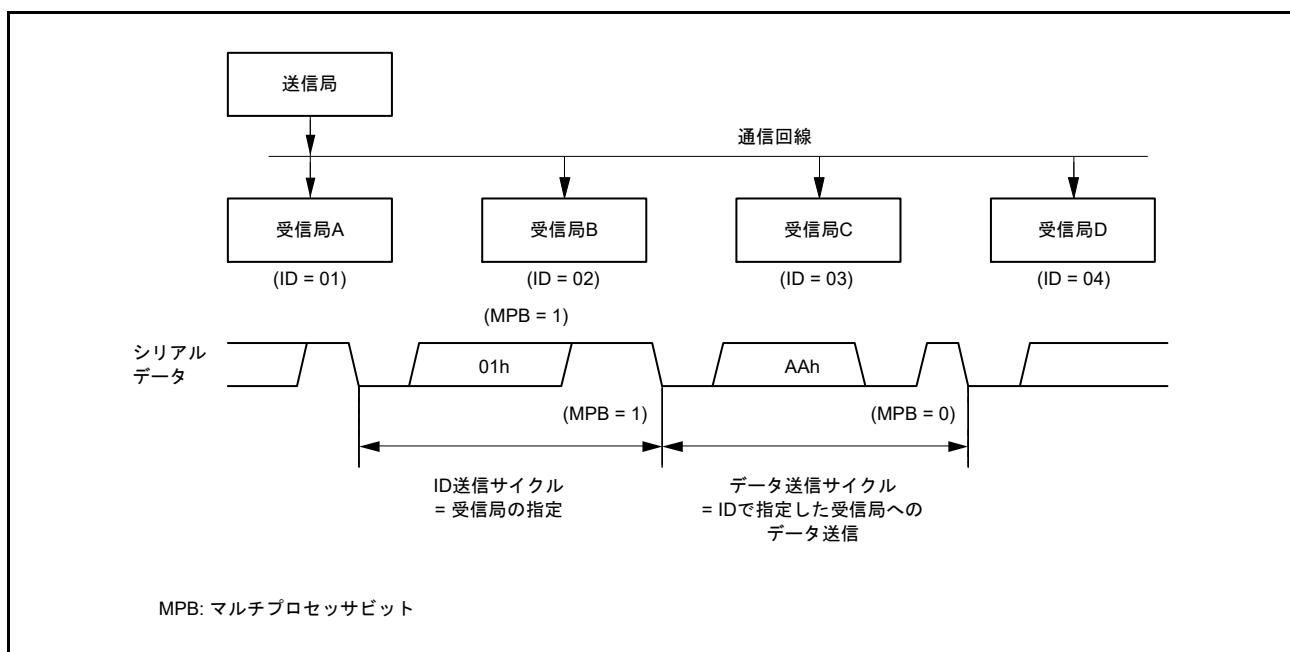


図 27.22 マルチプロセッサフォーマットを使用した通信例 (データ AAh を受信局 A に送信する場合)

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO.RDF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、通常の実動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCI_{In}_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードの非 FIFO 選択時と変わりません。

27.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 27.23 に、マルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は調歩同期式モードの動作と同じです。

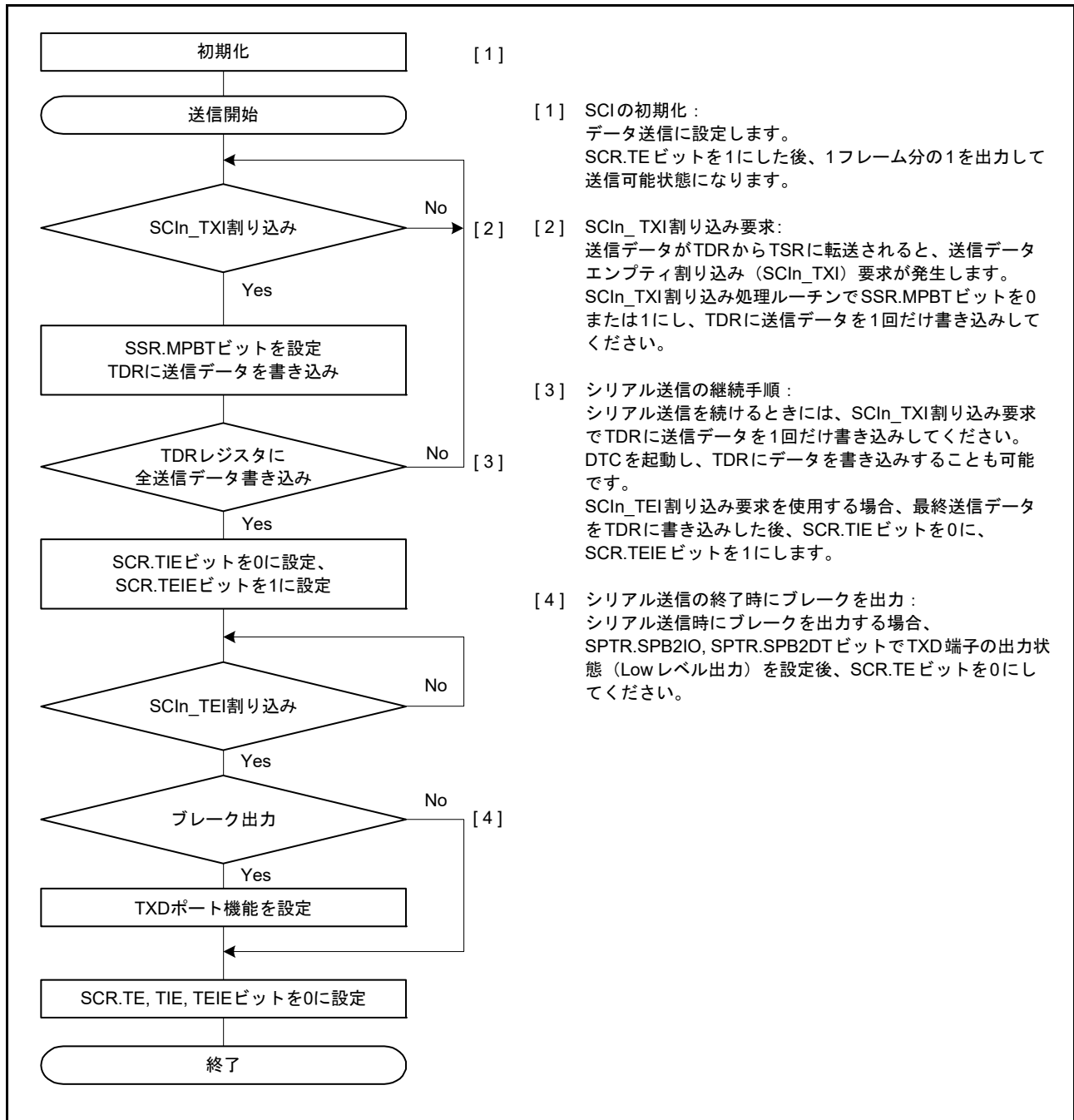


図 27.23 マルチプロセッサシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

FTDRH レジスタの MPBT ビットが 1 になります。データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH, FTDRLの送信データ															
	SCMR. CHR1	SMR. CHR	FTDRH										FTDRL					
			b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	—	—	—	—	—	—	MPBT	—	—	7ビット送信データ					
8ビット	1	1	—	—	—	—	—	—	—	MPBT	—	8ビット送信データ						
9ビット	0	Don't care	—	—	—	—	—	—	—	MPBT	9ビット送信データ							

—: 無効ビット。書く場合、0 としてください。

図 27.24 マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット (FIFO 選択時)

図 27.25 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

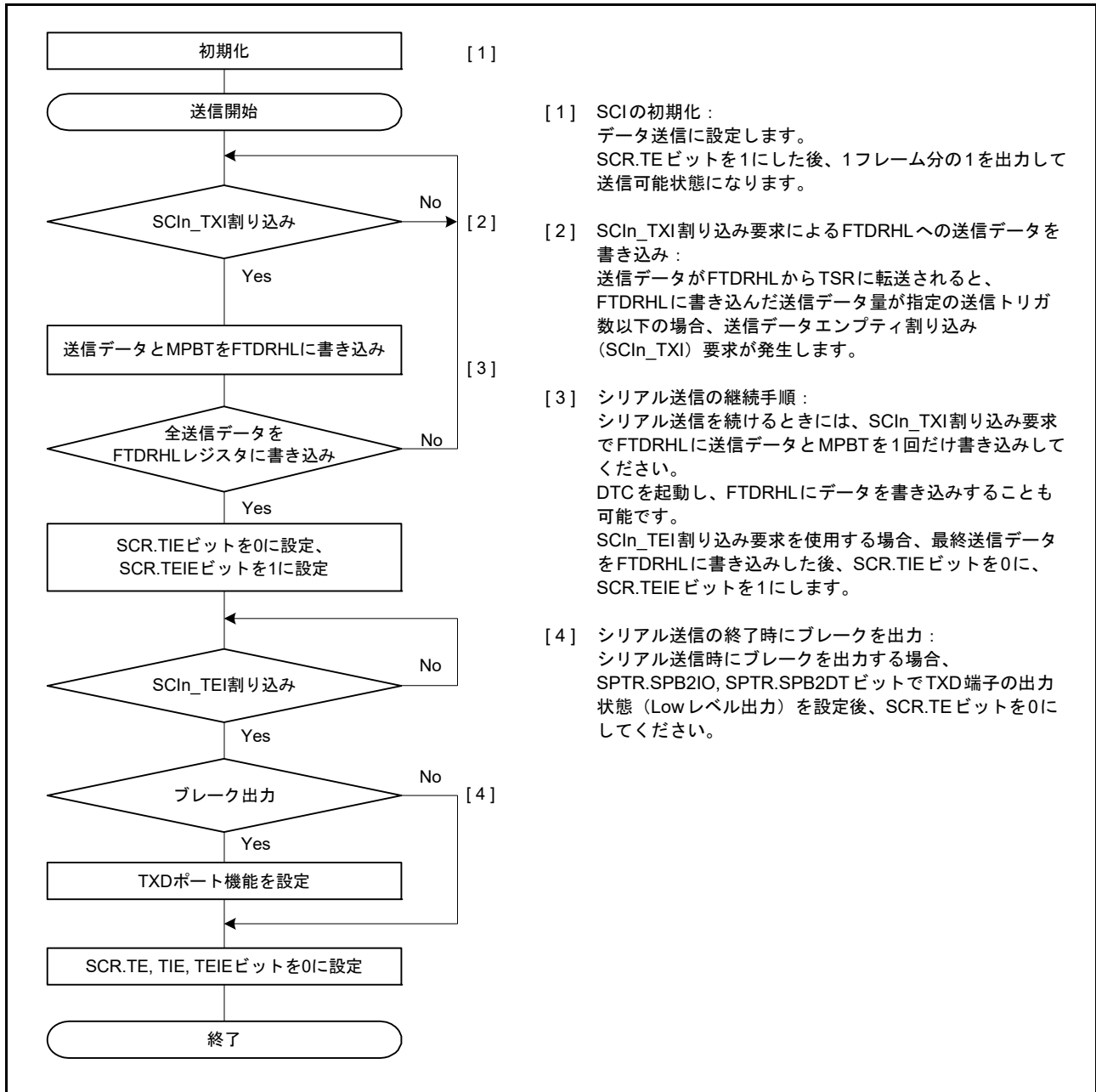


図 27.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

27.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

図 27.26 と図 27.27 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送されます。このとき SCIn_RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 27.26 に、データ受信時の動作例を示します。

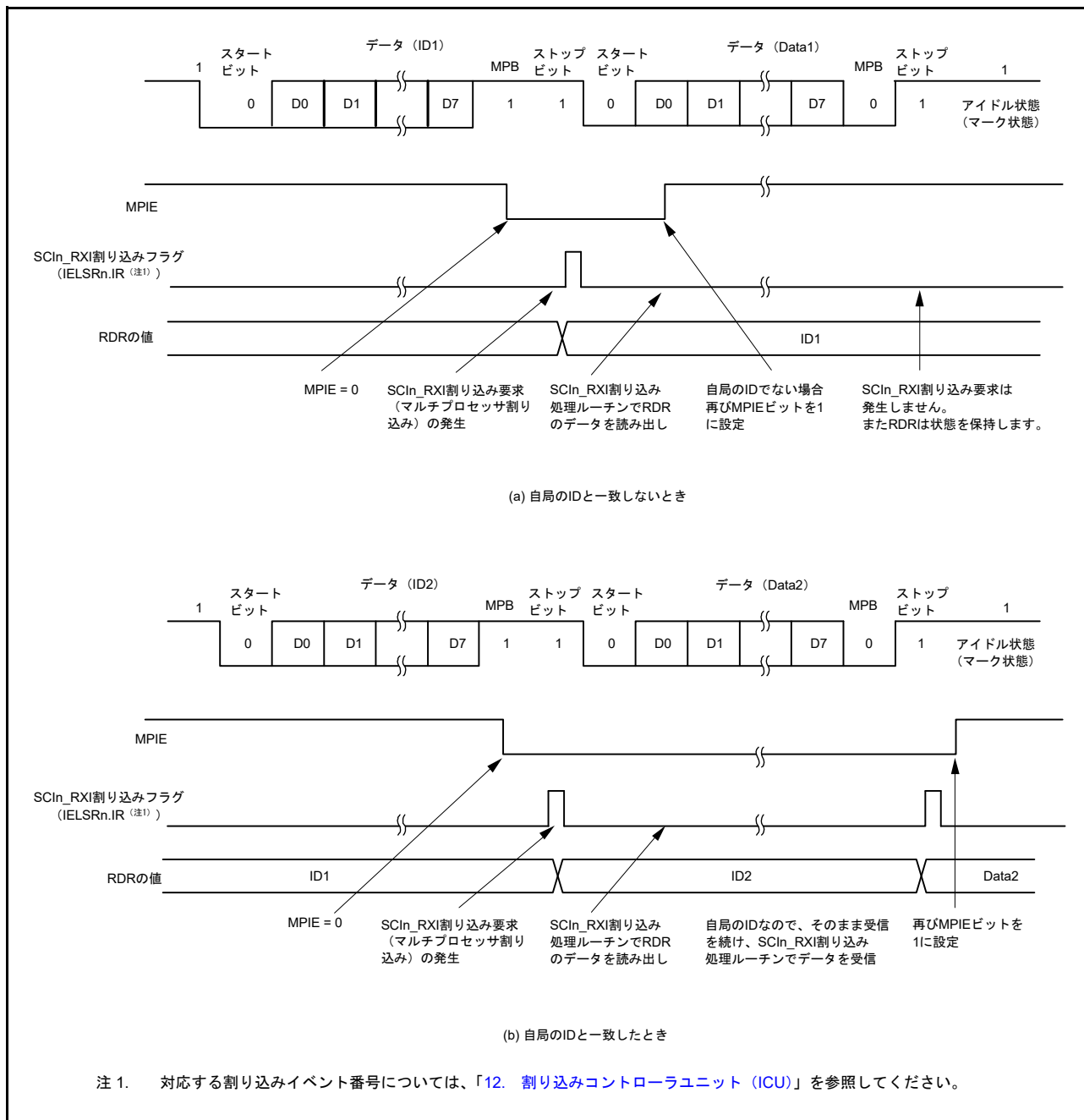


図 27.26 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

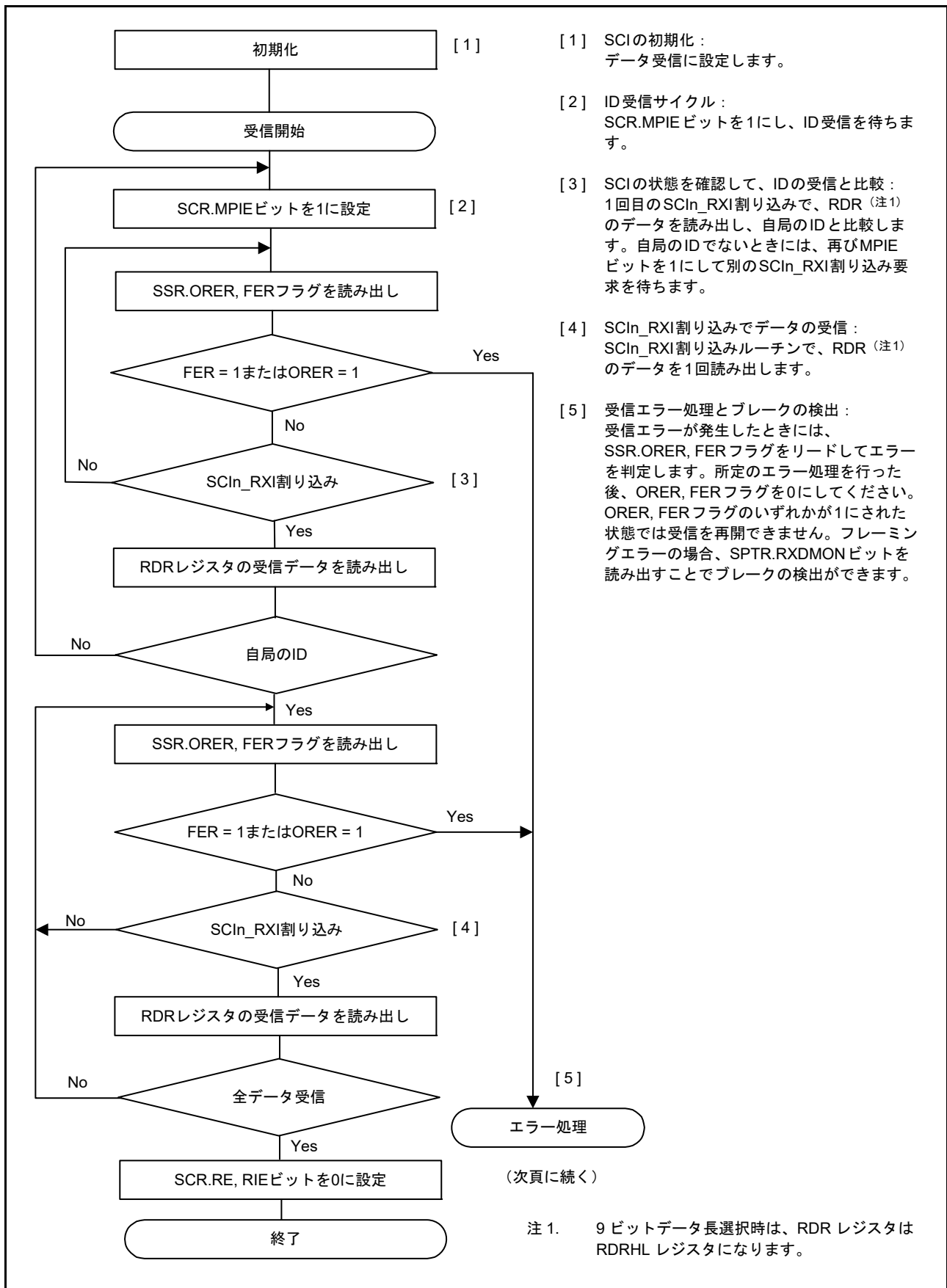


図 27.27 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (1)

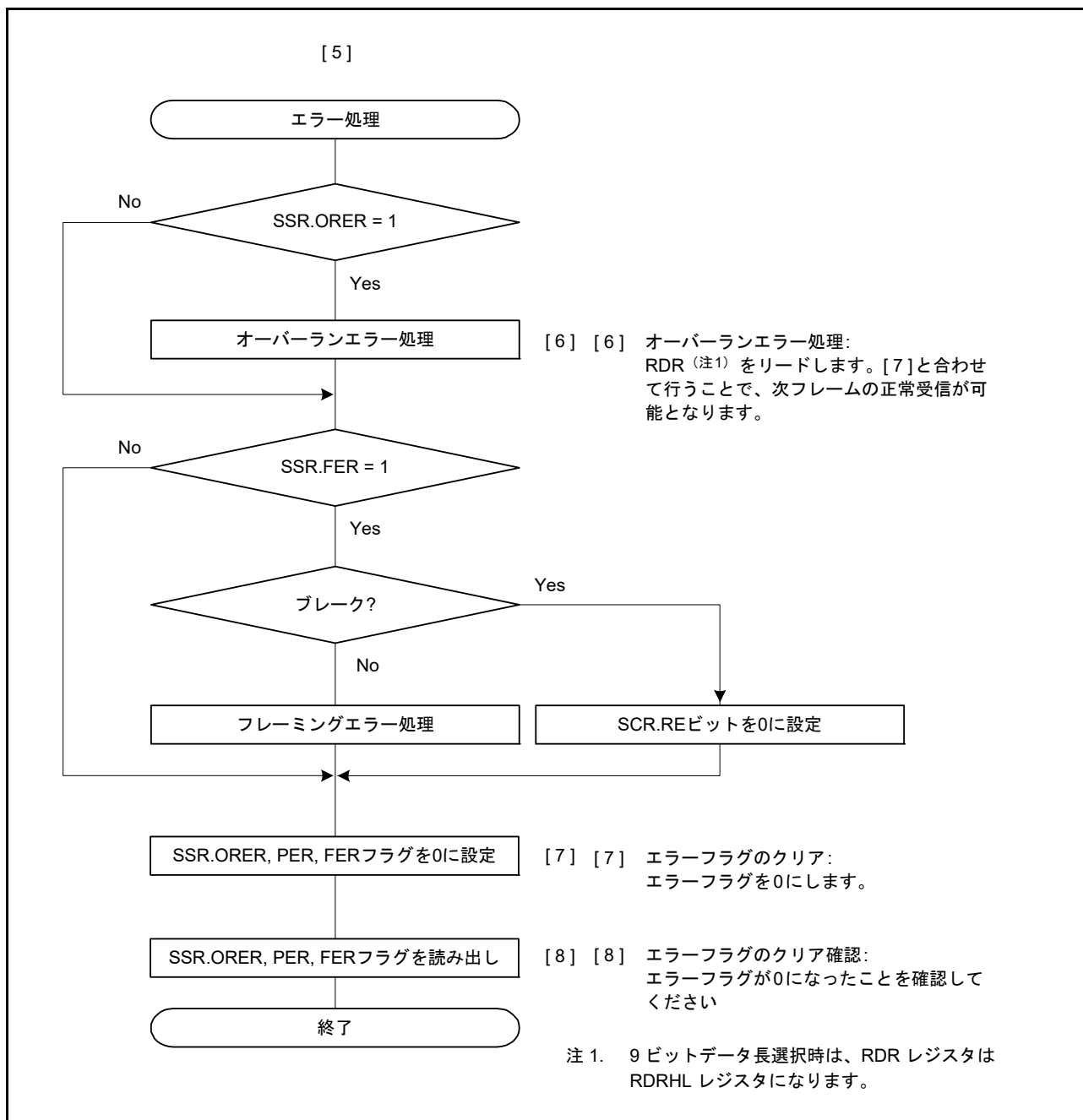


図 27.28 マルチプロセッサシリアル受信のフローチャート例 (非 FIFO 選択時) (2)

(2) FIFO 選択時

図 27.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH レジスタの MPB フラグ (FRDRH[1]) に書き込まれます。FRDRH レジスタの PER フラグ (FRDRH[3]) には 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH, FRDRLの受信データ														
			FRDRH								FRDRL						
	SCMR, CHR1	SMR, CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1
7ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ					
8ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ						
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ							

注. データ長が7ビットのとき、FRDRH[0], FRDRL[7]からは常に0が読み出されます。
 データ長が8ビットのとき、FRDRH[0]から常に0が読み出されます。
 FRDRH[7]ビットの読み出し値は不定です。

図 27.29 マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット (FIFO 選択時)

図 27.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データが読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットが自動的にクリアされ、通常の実受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。

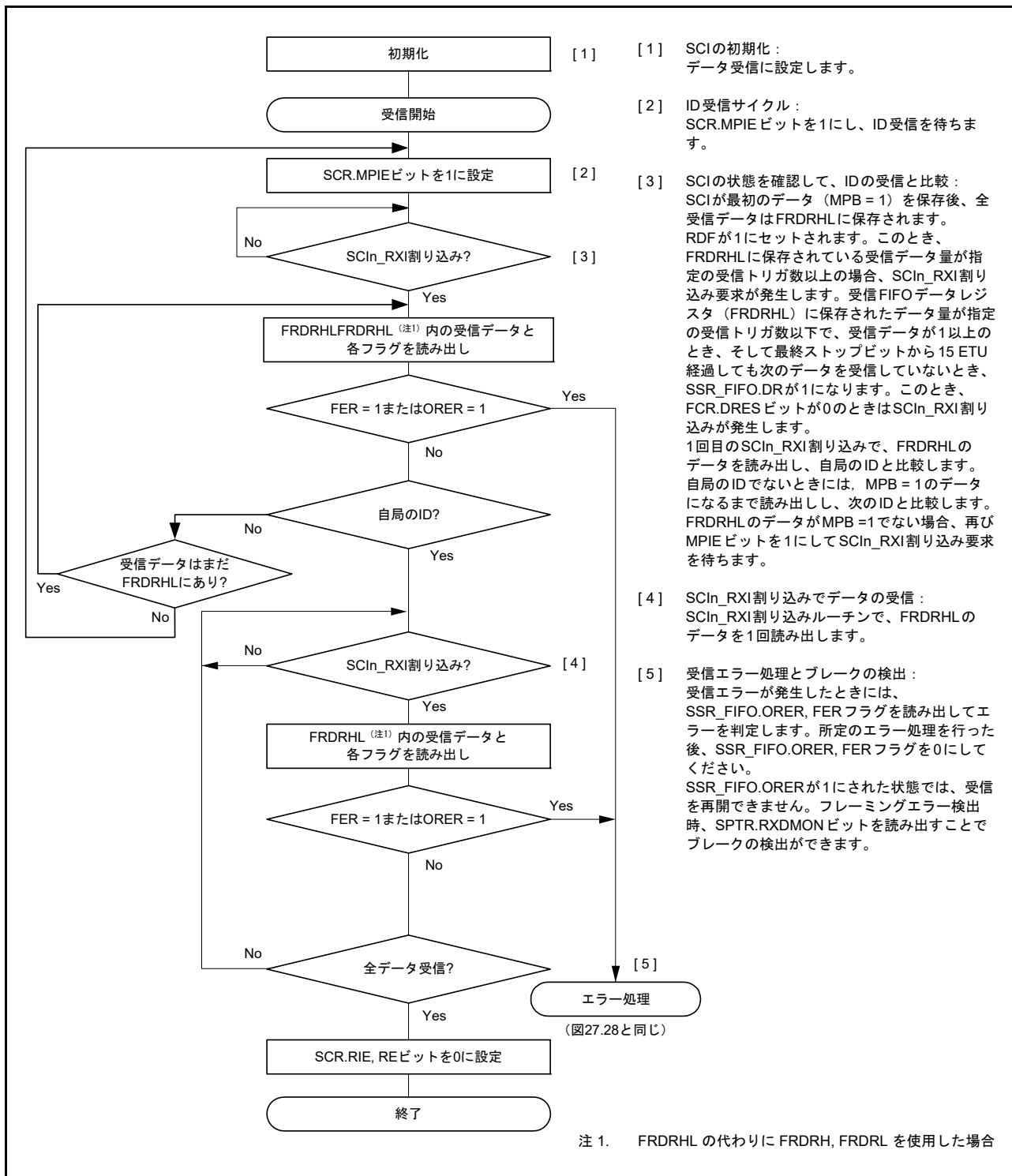


図 27.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

27.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 27.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合、第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 (BRR = 00h および SMR.CKS[1:0] = 00b) では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定 (BRR = 00h および SMR.CKS[1:0] = 00b) は利用できません。

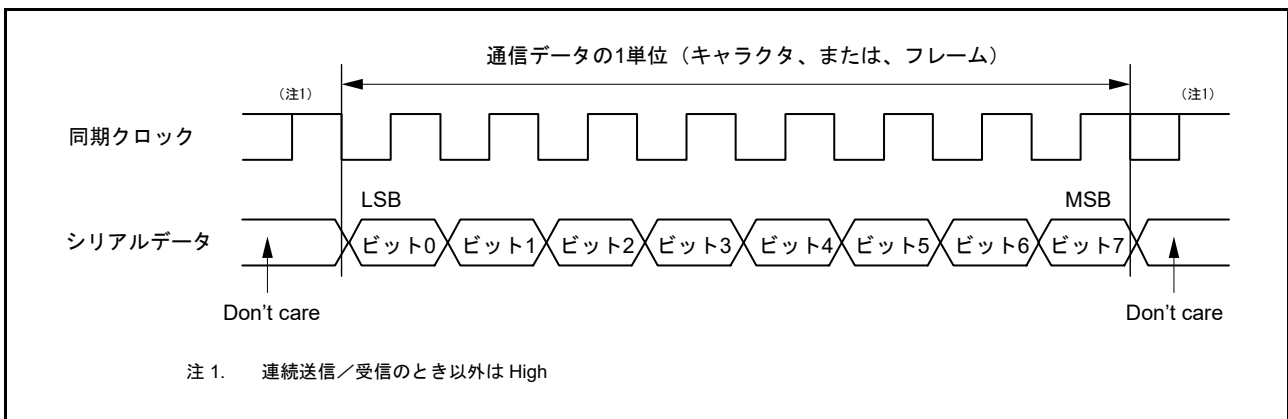


図 27.31 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

27.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると同時に、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル (注 1) で停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル (注 1) で停止します。

注 1. (SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 1) の状態にあるとき、信号は High に固定されます。(SPMR.CKPH ビット = 0 && SPMR.CKPOL ビット = 1) または (SPMR.CKPH ビット = 1 && SPMR.CKPOL ビット = 0) の状態にあるとき Low に固定されます。

27.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTS_n、RTS_n 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTS_n、RTS_n 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTS_n、RTS_n 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTS_n、RTS_n 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記の条件をすべて満たす場合

(a) 非 FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- 送信前に TSR レジスタにデータがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

(b) FIFO 選択時

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が指定された CTS_n、RTS_n 出力トリガ数より少ない (SCR.RE = 1 の場合)
- FTDRHL レジスタに未送信データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 の場合)
- 送信前に TSR レジスタにデータがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR_FIFO.ORER フラグが 0

[High になる条件]

Low になる条件を満たさない場合

27.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 27.32 (FIFO 非選択時) あるいは図 27.33 (FIFO 選択時) のフローチャートに従って、SCI の設定を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

- 注 1. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。
- 注 2. SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCI_n_TXI 割り込み要求が発生します。

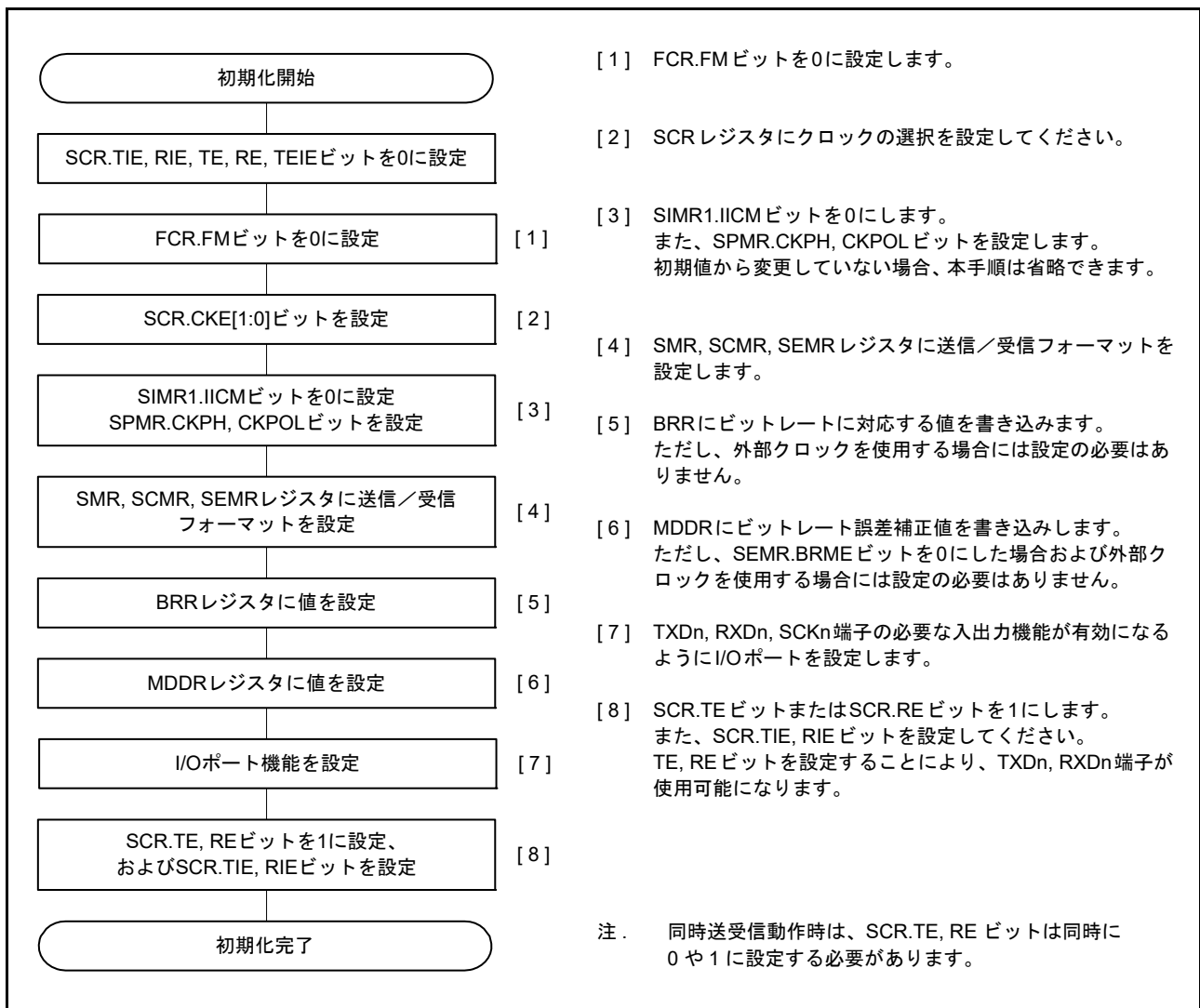


図 27.32 クロック同期式モードにおける SCI の初期化フローチャート例 (非 FIFO 選択時)

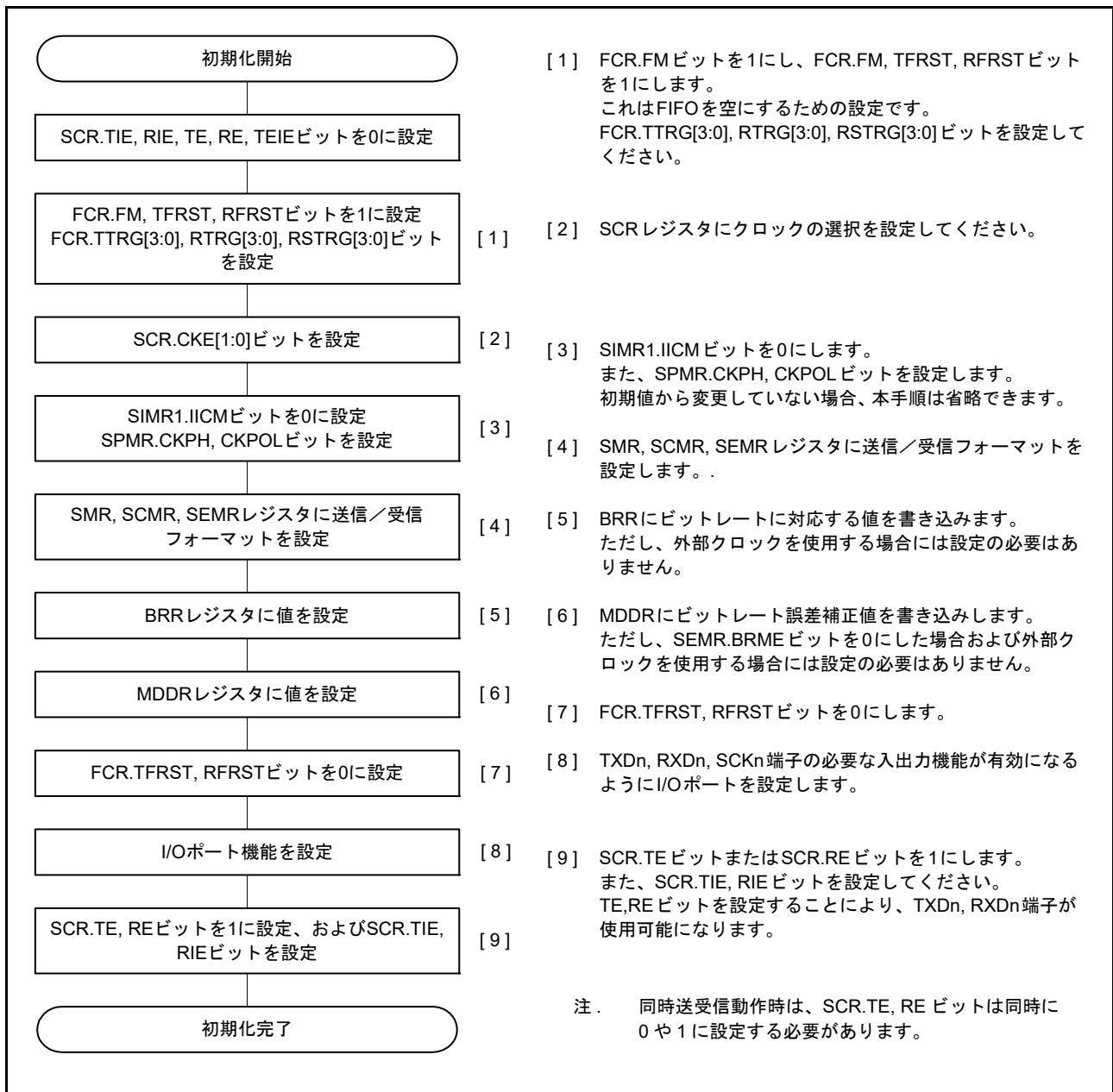


図 27.33 クロック同期式モードにおける SCI の初期化フローチャート例 (FIFO 選択時)

27.5.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 27.34、図 27.35、および図 27.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI_{In}_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCI_{In}_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後、SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCI_{In}_TXI 割り込み要求が発生します。この SCI_{In}_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCI_{In}_TEI 割り込み要求を使用する場合は、SCI_{In}_TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXD_n 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力 Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXD_n 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCI_{In}_TEI 割り込み要求が発生し、SCK_n 端子は High に固定されます。

図 27.37 に、シリアル送信のフローチャート例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

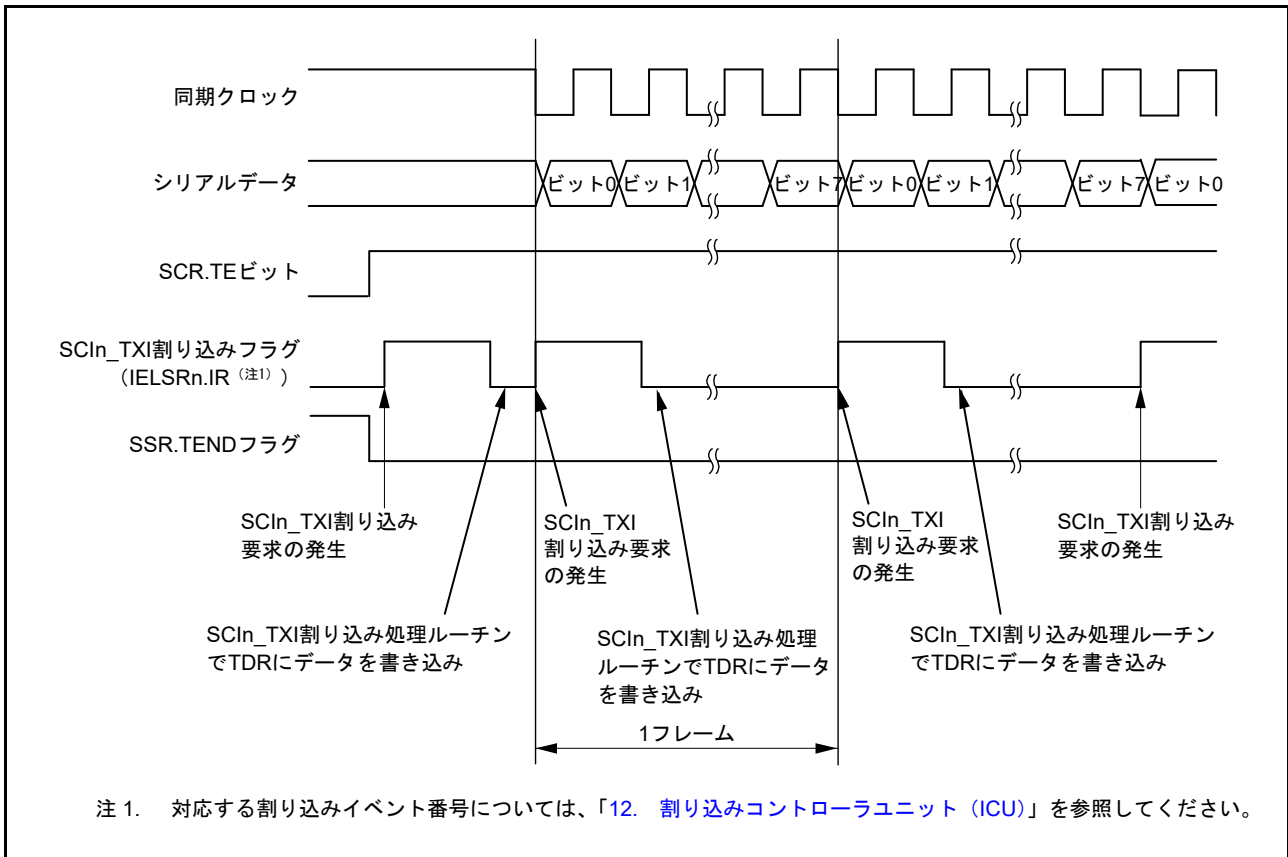


図 27.34 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

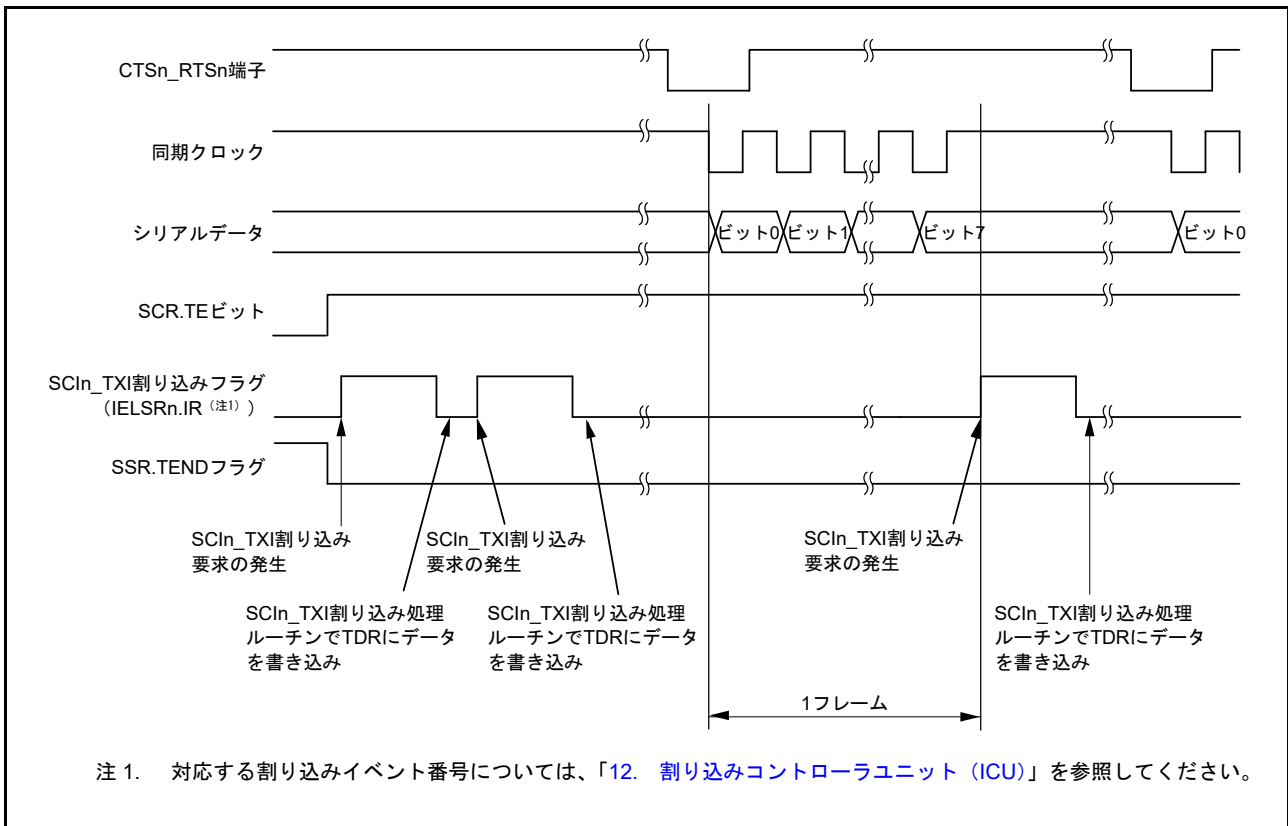


図 27.35 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

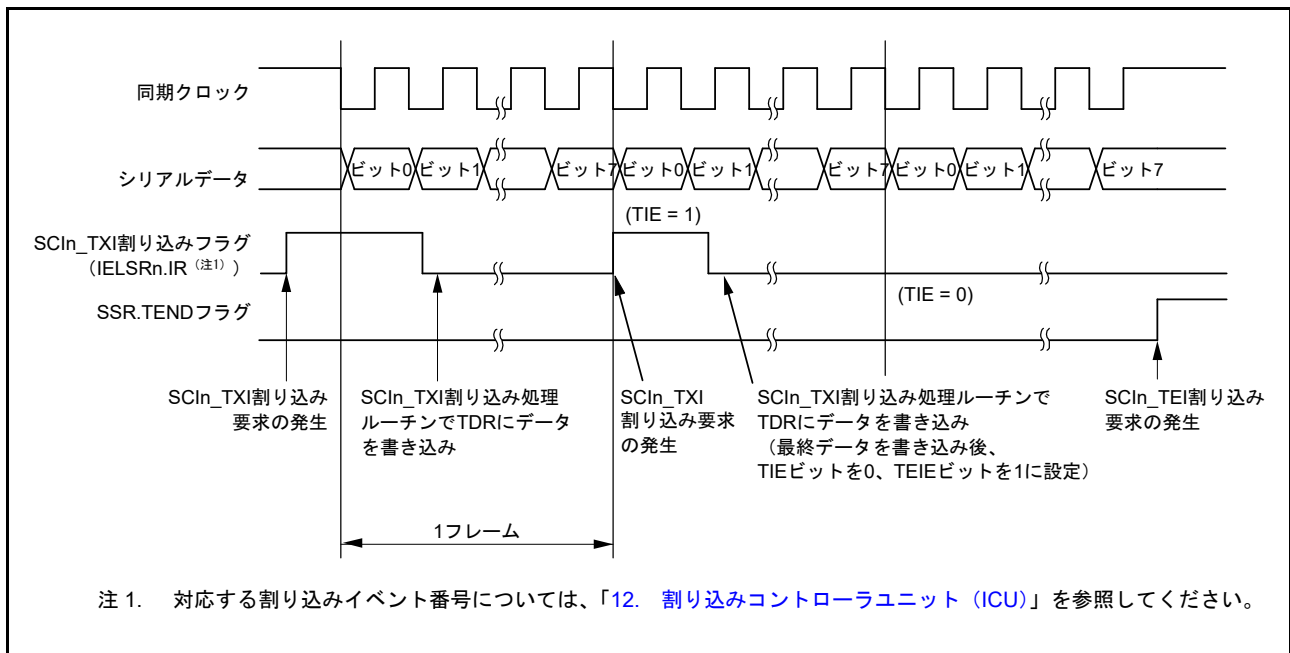


図 27.36 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

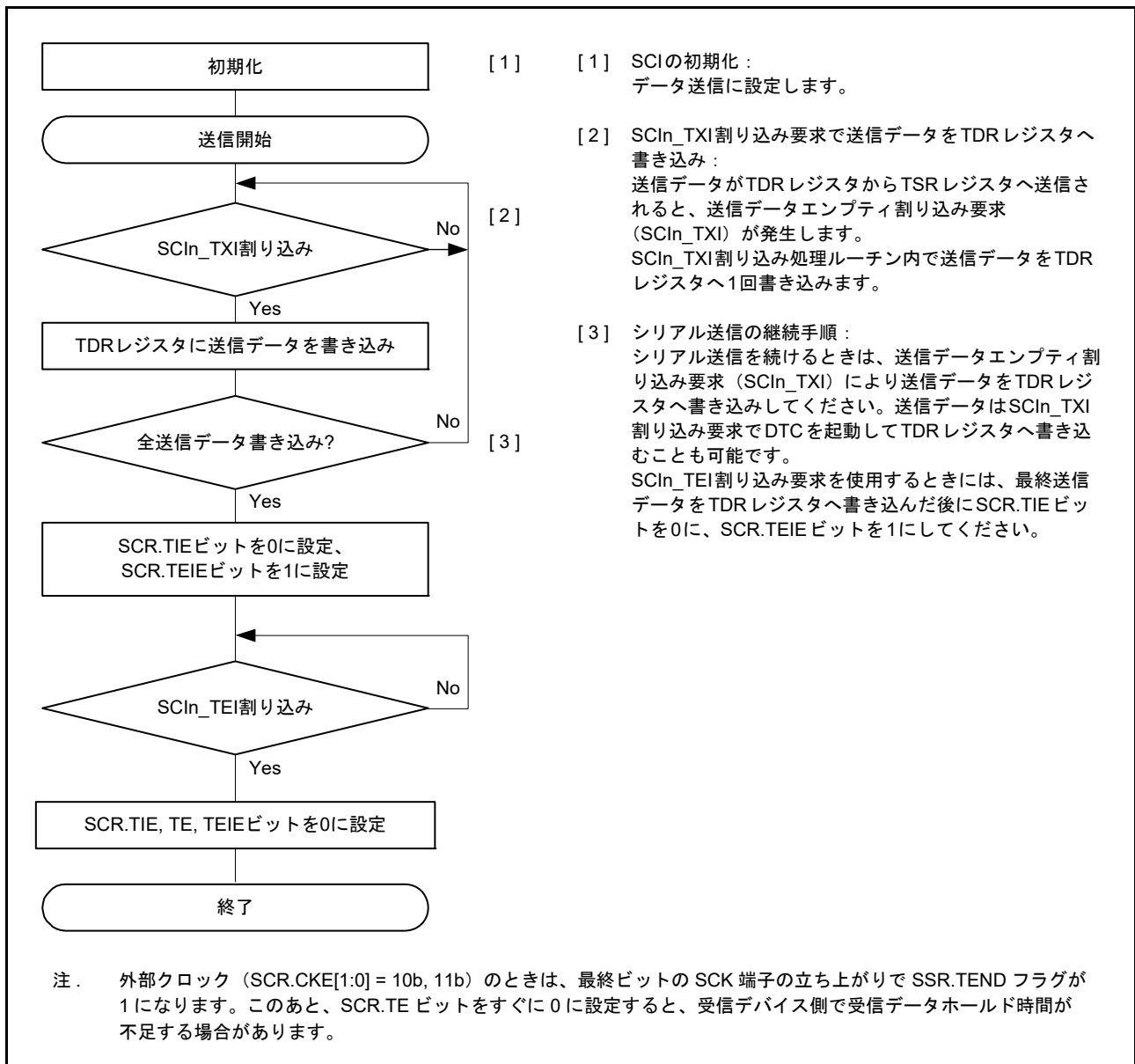


図 27.37 クロック同期式モードにおけるシリアル送信のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.38 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンでFTDRL レジスタ (注1) にデータが書き込まれると、SCI はFTDRL レジスタ (注1) から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は“16-FDR.T[4:0]”です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを1にした後に SCR.TE ビットを1にするか、これら2つのビットを1命令で同時に1にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが1になります。このとき、SCR.TIE ビットが1になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI

割り込み要求処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

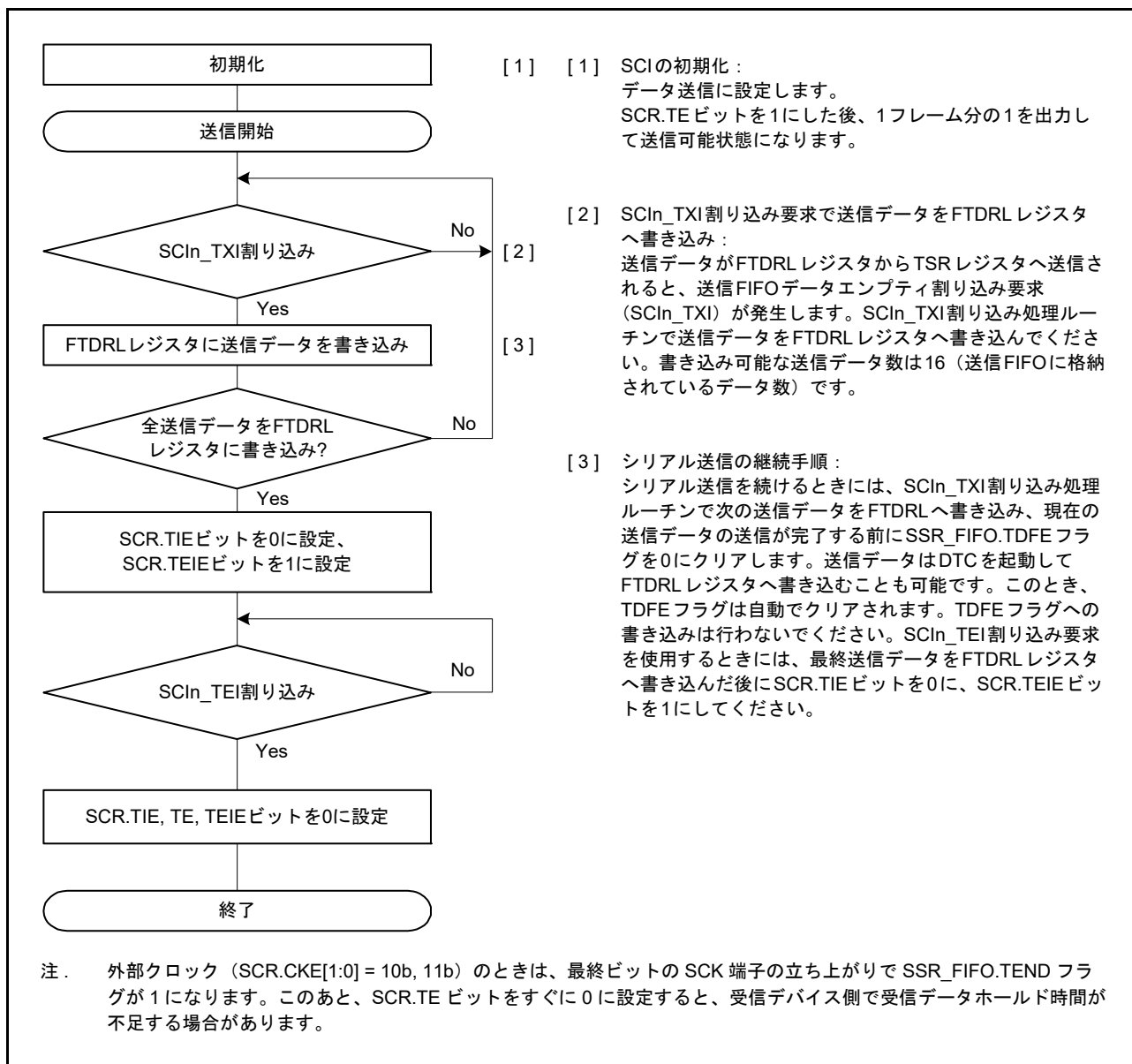


図 27.38 クロック同期式モードにおけるシリアル送信のフローチャート例 (FIFO 選択時)

27.5.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO 選択時

図 27.39 と図 27.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS_n_RTS_n 端子出力が Low になります。

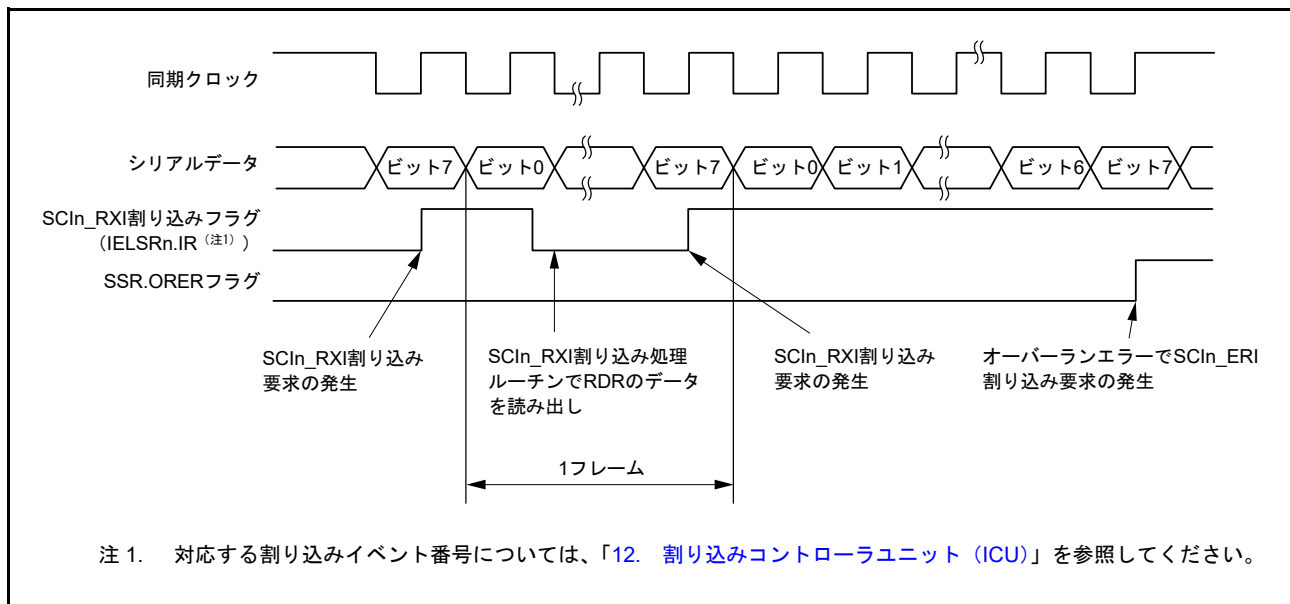


図 27.39 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

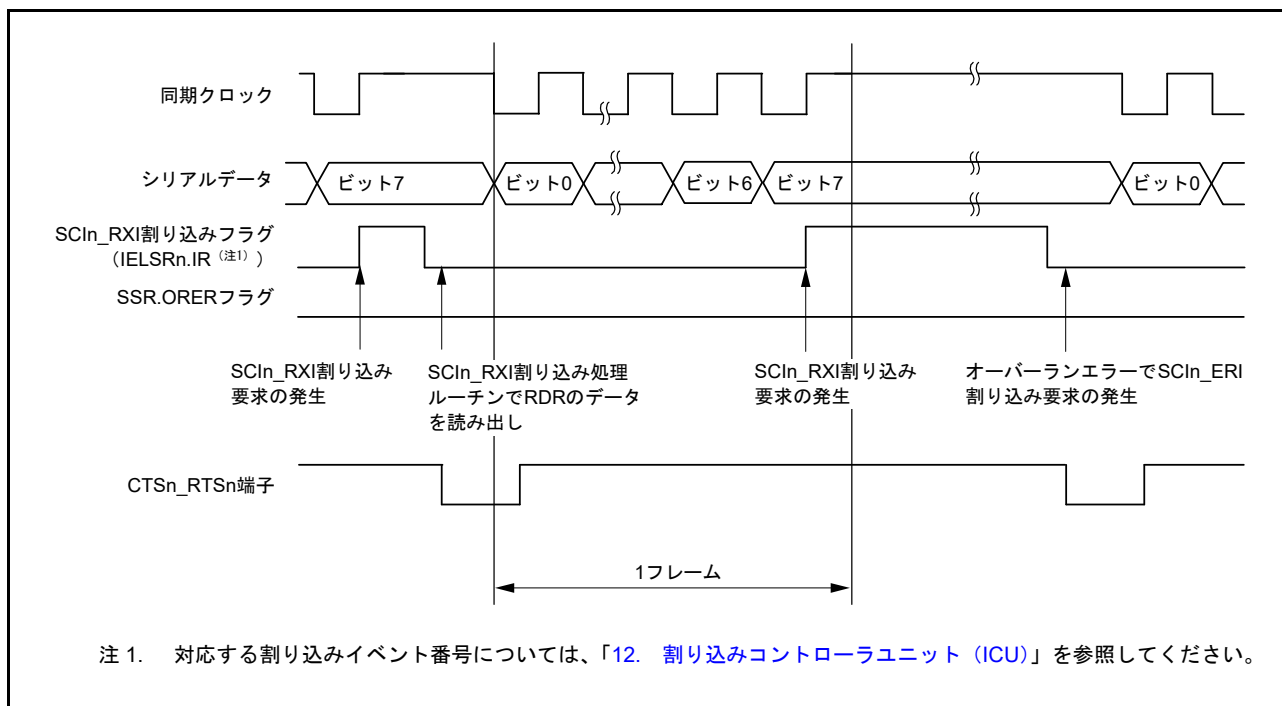


図 27.40 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 27.41 に、シリアル受信のフローチャート例を示します。

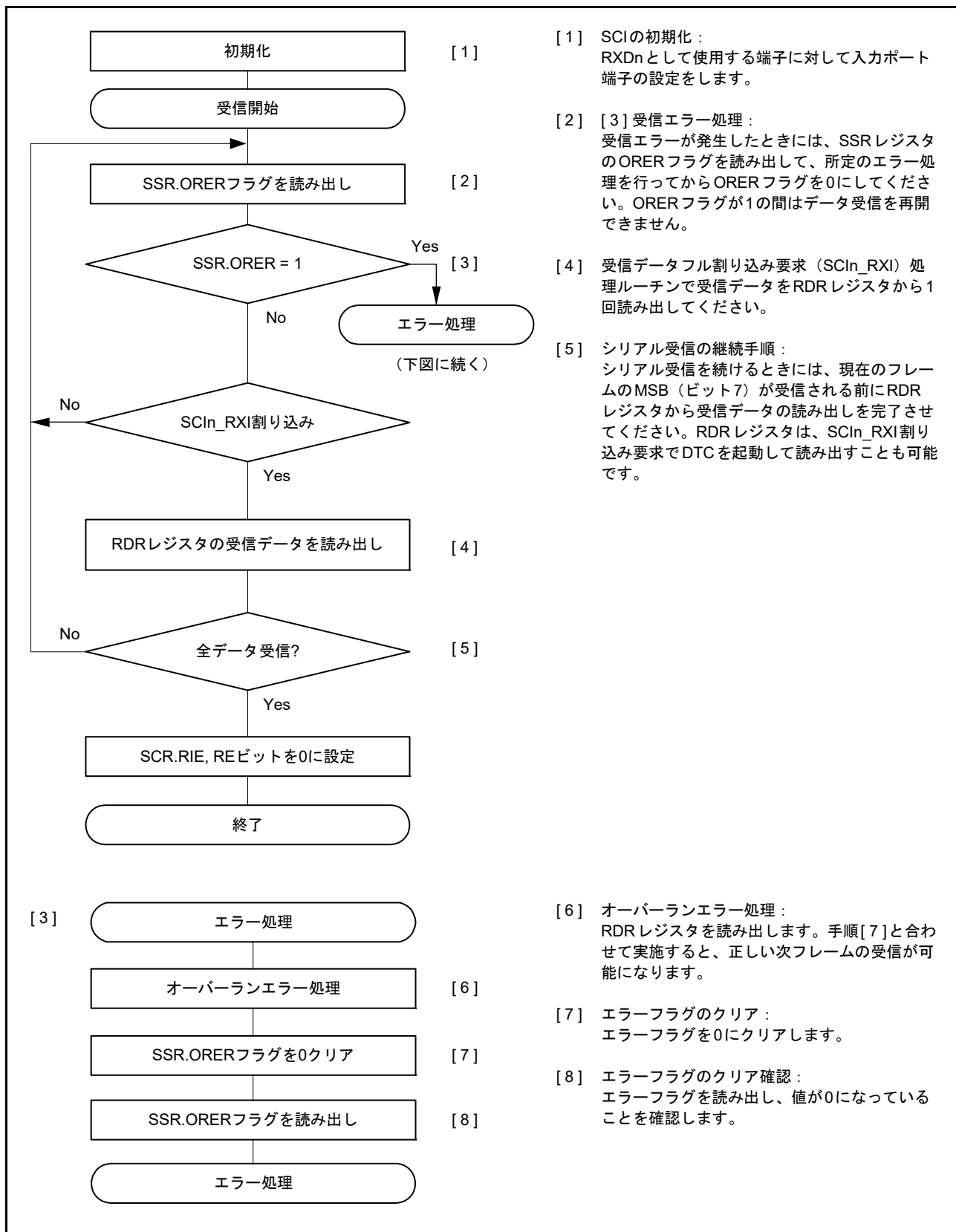


図 27.41 クロック同期式モードにおけるシリアル受信のフローチャート例 (非 FIFO 選択時)

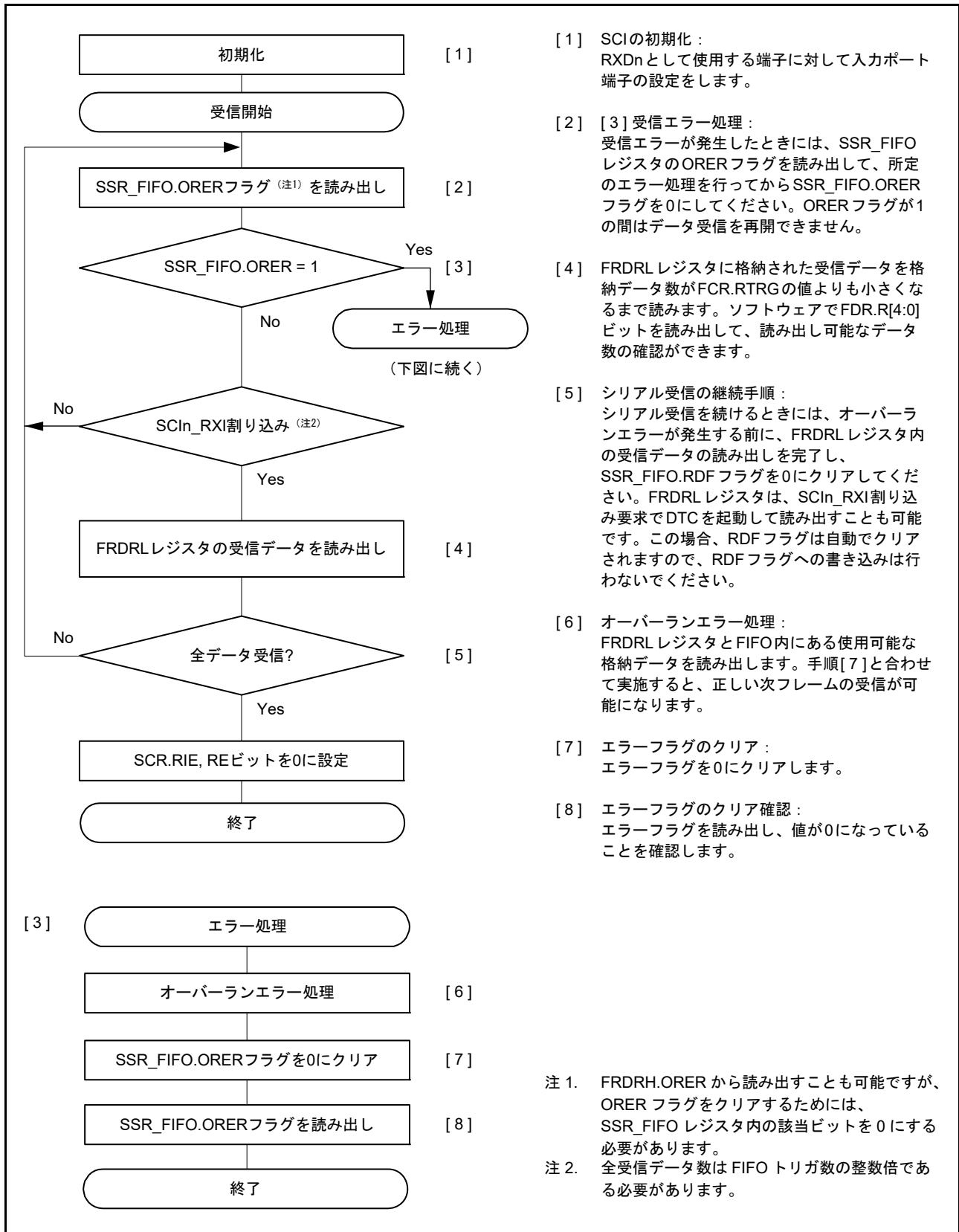
(2) FIFO 選択時

図 27.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTS_n_RTS_n 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ（注 1）へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ（注 1）へ転送されます。FRDRL に格納された受信データ数が指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCI_n_RXI 割り込み要求が発生します。SCI_n_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ（注 2）へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTS_n_RTS_n 端子出力が Low になります。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

注 2. RDF と OREER フラグを受信データとともに読み出す場合は、FRDRH から FRDRL の順に読み出してください。



- [1] SCIの初期化：
RXDnとして使用する端子に対して入力ポート端子の設定をします。
- [2] [3] 受信エラー処理：
受信エラーが発生したときには、SSR_FIFOレジスタのORERフラグを読み出して、所定のエラー処理を行ってからSSR_FIFO. ORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。
- [3] エラー処理
(下図に続く)
- [4] FRDRLレジスタに格納された受信データを格納データ数がFCR.RTRGの値よりも小さくなるまで読みます。ソフトウェアでFDR.R[4:0]ビットを読み出して、読み出し可能なデータ数の確認ができます。
- [5] シリアル受信の継続手順：
シリアル受信を続けるときには、オーバーランエラーが発生する前に、FRDRLレジスタ内の受信データの読み出しを完了し、SSR_FIFO.RDFフラグを0にクリアしてください。FRDRLレジスタは、SCIn_RXI割り込み要求でDTCを起動して読み出すことも可能です。この場合、RDFフラグは自動でクリアされますので、RDFフラグへの書き込みは行わないでください。
- [6] オーバーランエラー処理：
FRDRLレジスタとFIFO内にある使用可能な格納データを読み出します。手順[7]と合わせて実施すると、正しい次フレームの受信が可能になります。
- [7] エラーフラグのクリア：
エラーフラグを0にクリアします。
- [8] エラーフラグのクリア確認：
エラーフラグを読み出し、値が0になっていることを確認します。

注 1. FRDRH. ORER から読み出すことも可能ですが、ORER フラグをクリアするためには、SSR_FIFO レジスタ内の該当ビットを 0 にする必要があります。

注 2. 全受信データ数は FIFO トリガ数の整数倍である必要があります。

図 27.42 クロック同期式モードにおけるシリアル受信のフローチャート例 (FIFO 選択時)

27.5.6 シリアルデータの同時送受信動作 (クロック同期式モード)

(1) 非 FIFO 選択時

図 27.43 に、クロック同期式モードにおける非 FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを SSR_FIFO レジスタの TEND フラグが 1 になっていることで確認してください。
2. その後、SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. SCR.RIE および SCR.RE を 0 にした後、SSR レジスタの受信エラーフラグ (ORER) が 0 になっていることを確認します。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

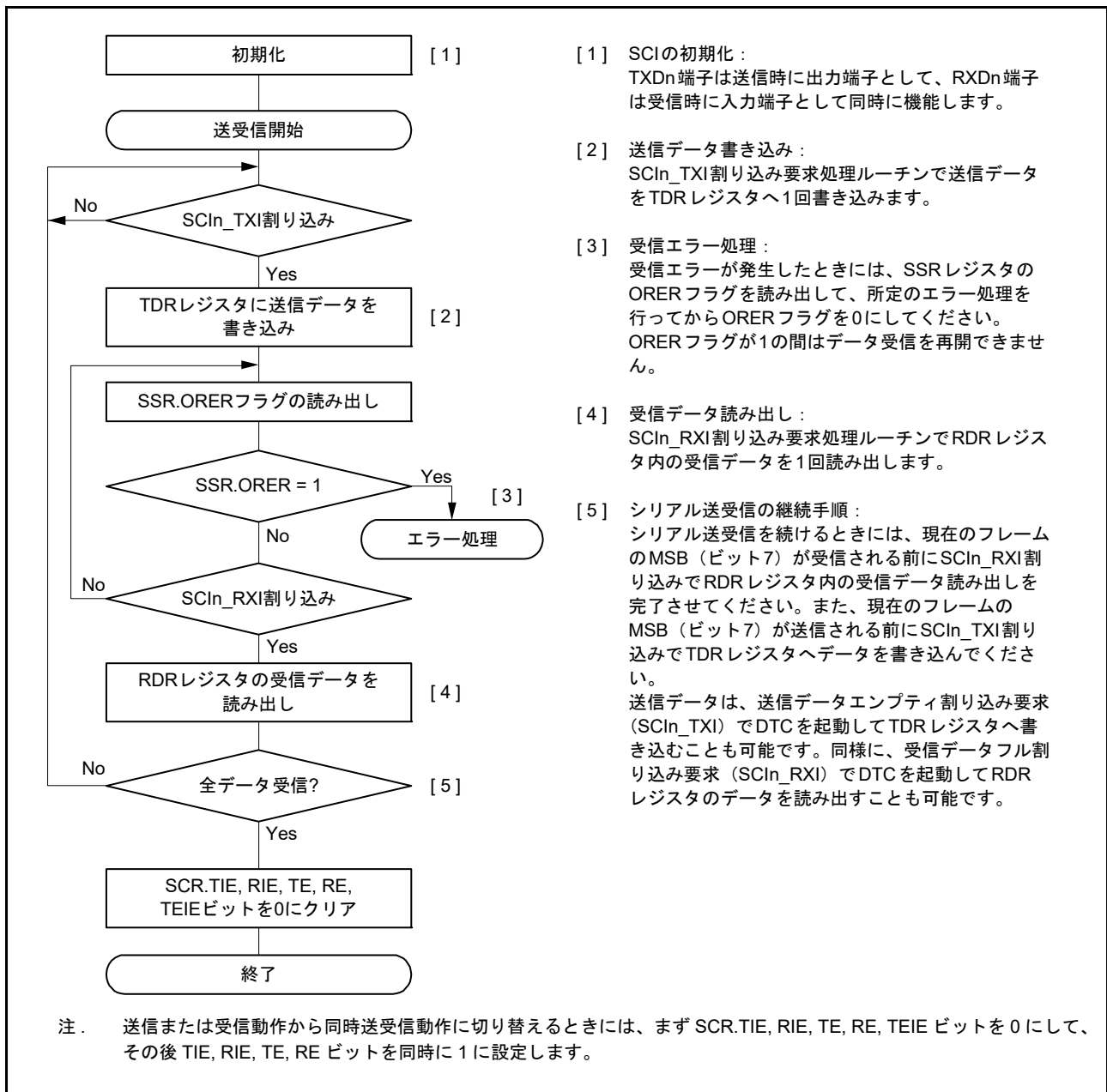


図 27.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例 (非 FIFO 選択時)

(2) FIFO 選択時

図 27.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへの切り替えは次の手順で行います。

1. SCI が送信完了状態であることを `SSR_FIFO.TEND` フラグが 1 になっていることで確認してください。
2. その後、`SCR` レジスタを初期化してから、`SCR` レジスタの `TIE`、`RIE`、`TE`、`RE` の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへの切り替えは、次の手順で行います。

1. SCI が受信完了状態であることを確認してください。
2. `SCR.RIE` ビットおよび `SCR.RE` ビットを 0 にした後、`SSR_FIFO` レジスタの受信エラーフラグ (`ORER`) が 0 になっていることを確認します。
3. その後、`SCR` レジスタの `TIE`、`RIE`、`TE`、`RE` の各ビットを 1 命令で同時に 1 にしてください。

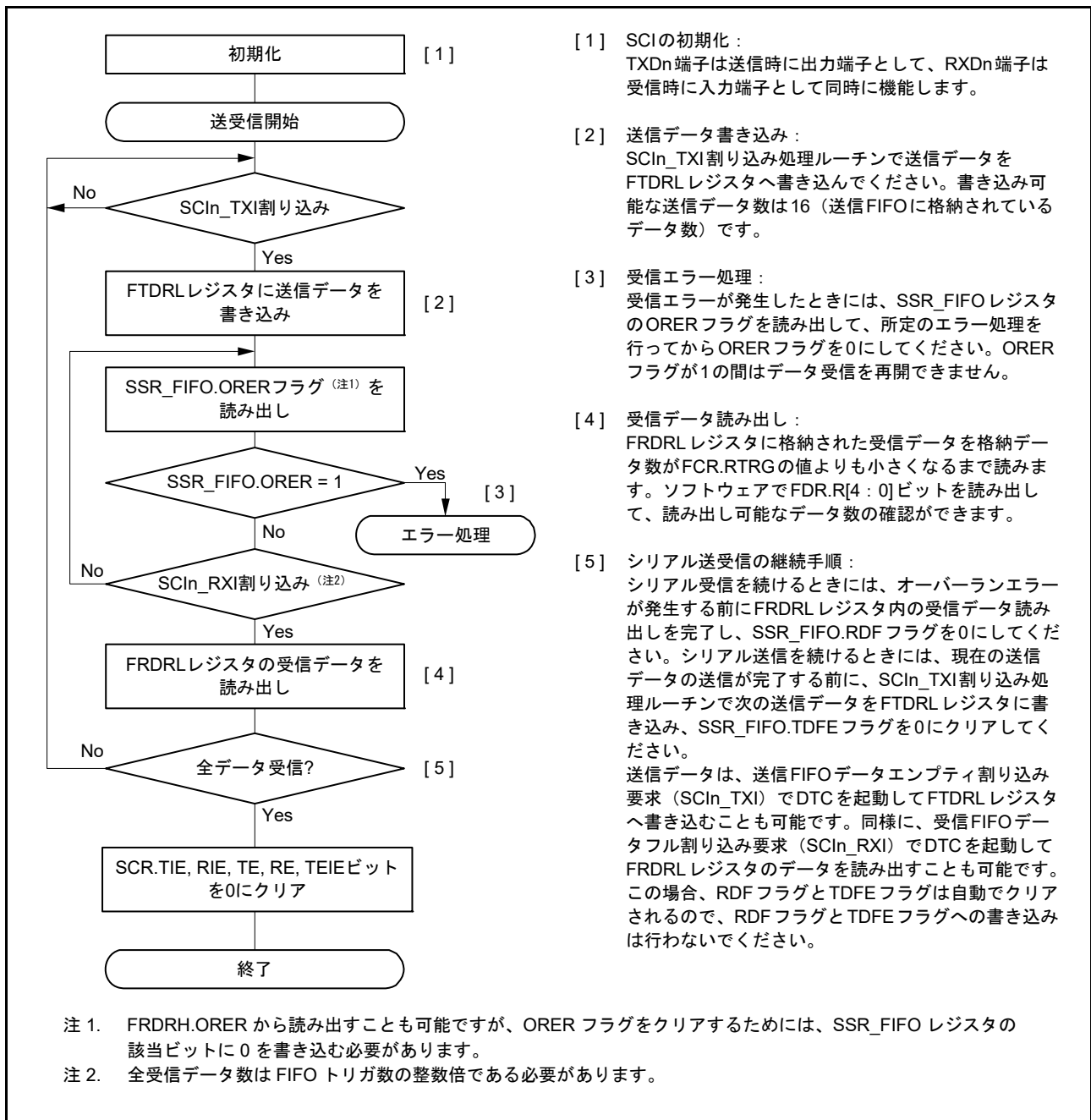


図 27.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

27.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card) 規格に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

27.6.1 接続例

図 27.45 にスマートカード (IC カード) と本 MCU 接続例を示します。

図 27.45 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、本 MCU の出力ポートを使用できます。

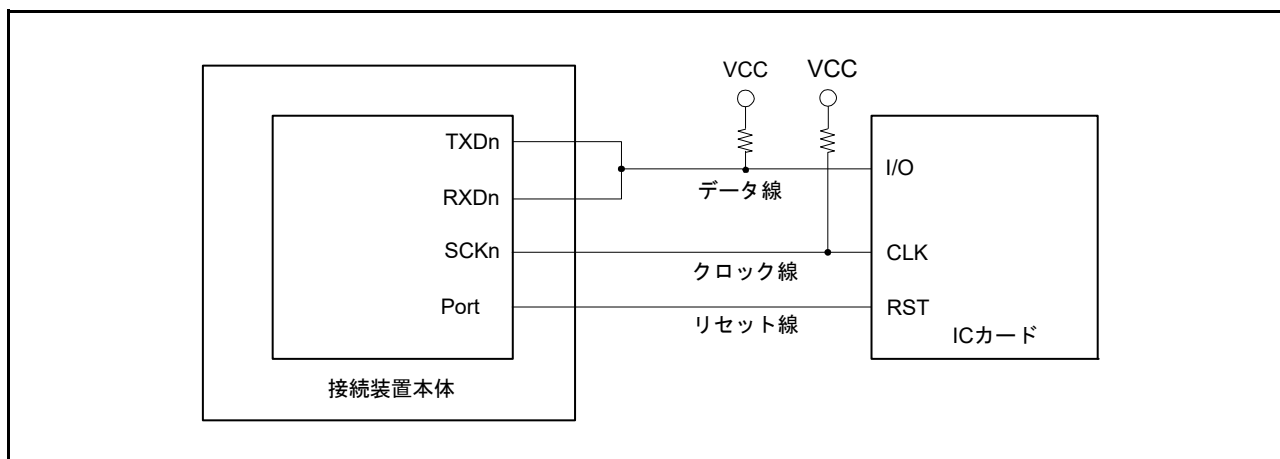


図 27.45 スマートカード (IC カード) との接続例

27.6.2 データフォーマット (ブロック転送モード時を除く)

図 27.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信時は、パリティビットの終了から次のフレーム開始まで、2ETU (Elementary Time Unit : 1 ビット転送時間) 以上のガードタイムが必要
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル (Low) を 1ETU 期間出力
- 送信時にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを再送信

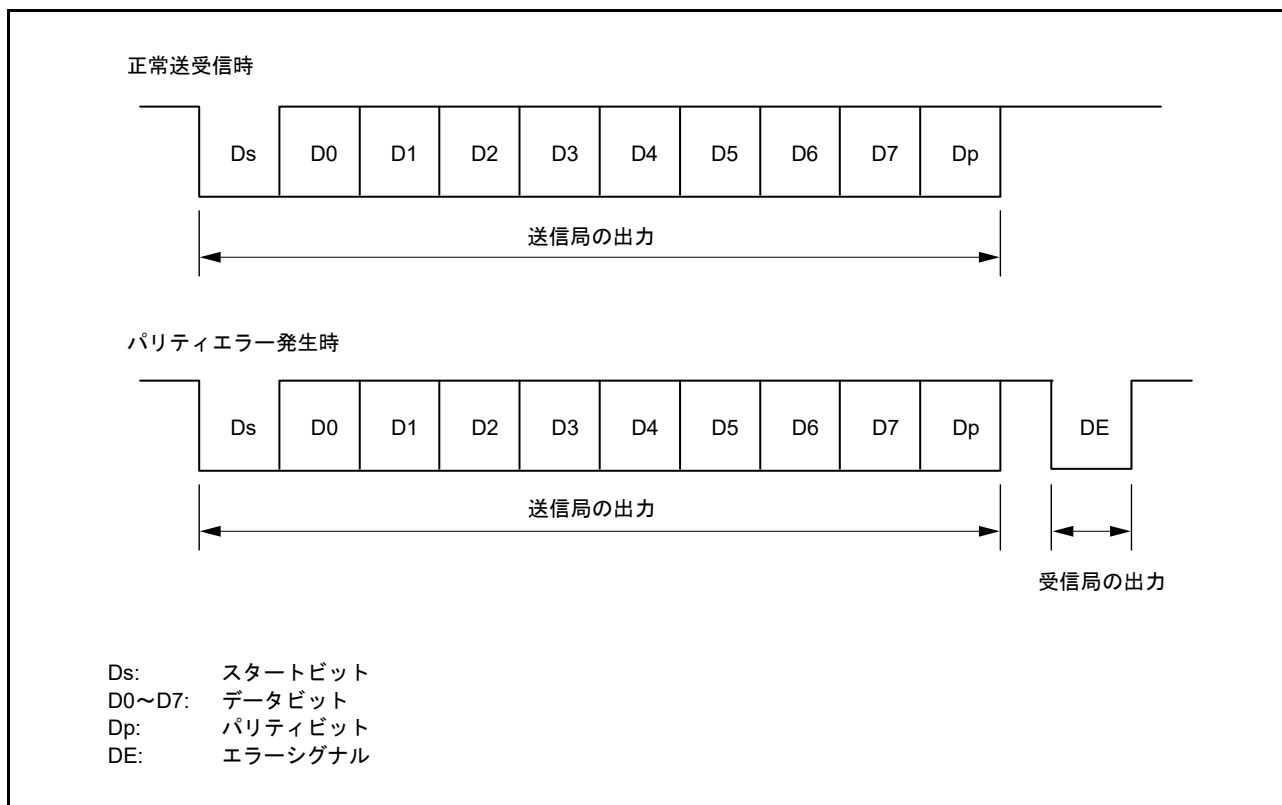


図 27.46 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 27.47 に示すように、ロジックレベル 1 を状態 Z に、ロジックレベル 0 を状態 A にそれぞれ対応付けて、開始キャラクタとして、LSB ファーストでデータの送受信が行われます。したがって、この図の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規定により、偶数パリティとなるよう SMR_SMCI.PM ビットは 0 にしてください。

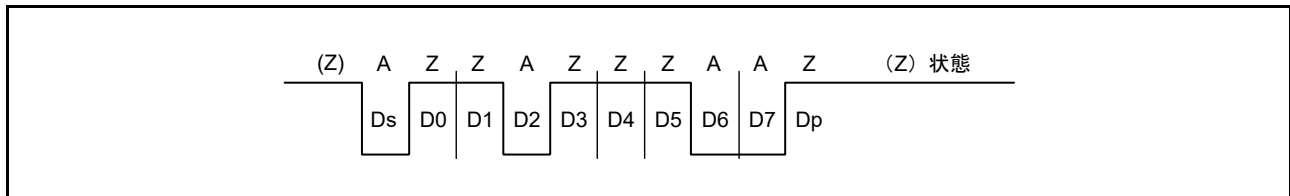


図 27.47 ダイレクトコンベンション (SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 27.48 に示すように、ロジックレベル 1 を状態 A に、ロジックレベル 0 を状態 Z にそれぞれ対応付けて、開始キャラクタとして、MSB ファーストでデータの送受信が行われます。したがって、この図の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。スマートカードで規定されている偶数パリティとするため、パリティビットは状態 Z に対応付けられているロジックレベル 0 になります。MCU では、SINV ビットはデータビット D7 ~ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

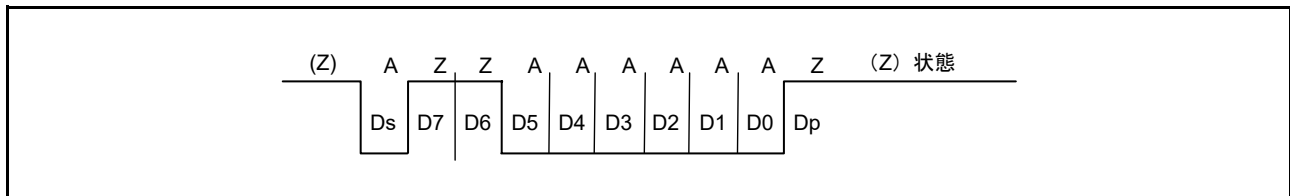


図 27.48 インバースコンベンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1)

27.6.3 ブロック転送モード

ブロック転送モードは、スマートカードインタフェースモードの非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行うが、エラーを検出してもエラーシグナルは出力しない。エラー検出時に SSR_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアが必要
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは、1ETU 以上が必要
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR_SMCI.TEND フラグがセットされる
- ブロック転送モードでは、SSR_SMCI.ERS フラグは、スマートカードインタフェースモードの非ブロック転送モードと同様に、エラーシグナル状態を示すが、エラーシグナルの送受信を行わないため、読むと 0 が読める

27.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成するクロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、または512倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期を行います。

また、[図 27.49](#)に示すように、受信データは基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。受信マージンは次式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)
- D : クロックのデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 10)
- F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 [\%] = 49.866\%$$

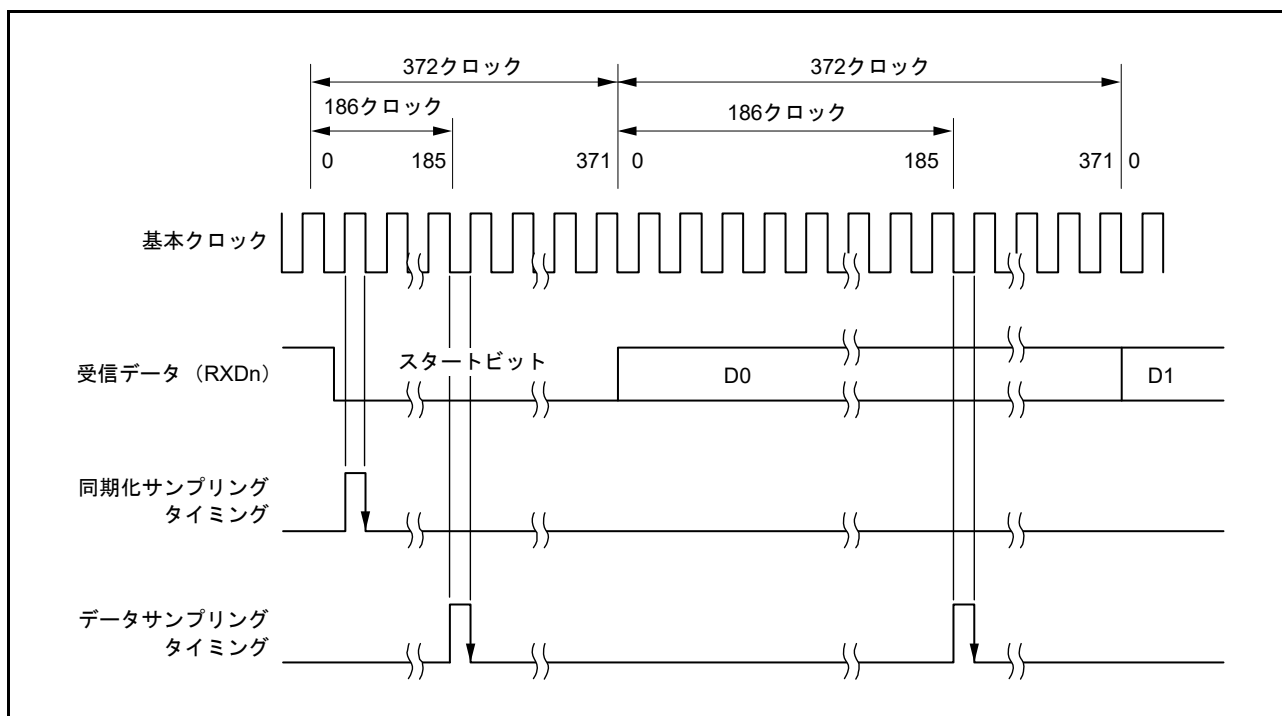


図 27.49 スマートカードインタフェースモード時の受信データサンプリングタイミング (ビットレートの372倍のクロック周波数の場合)

27.6.5 SCI の初期化

データの送受信前に、SCR_SMCI レジスタに初期値 00h を書き込み、[図 27.50](#) に示すフローチャート例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、SCI_{In}_RXI 割り込み要求、SSR_SMCI.ORER フラグ、あるいは SSR_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

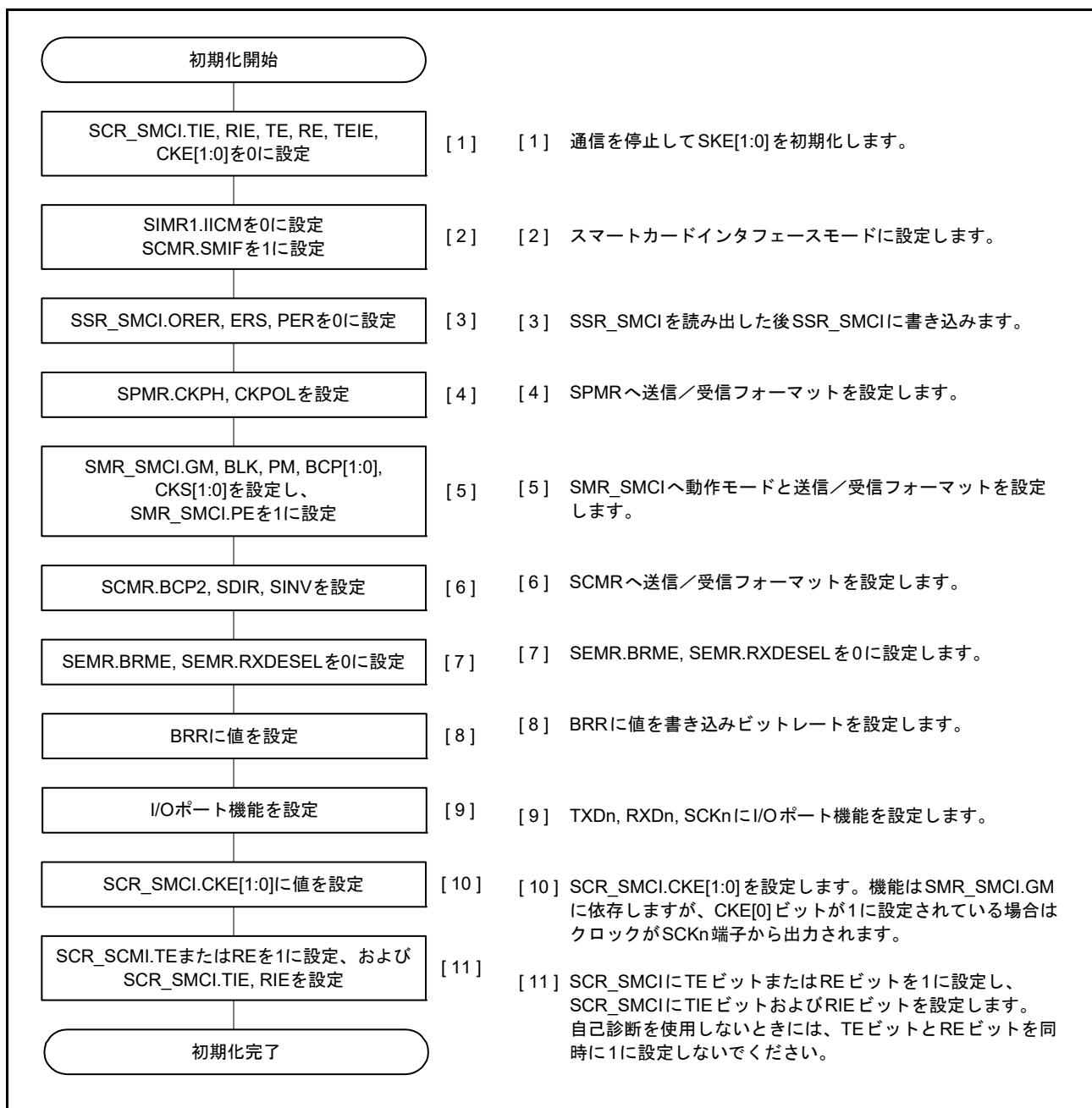


図 27.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

図 27.50 のフローチャートにしたがってスマートカードインタフェースモードに移移することで、データ送信が行われるときのタイミング図を図 27.51 に示します。図 27.51 は、SMR.GM ビットが 0 になるタイミングを示します。この図のタイミングは、ポートが SCKn 端子および TXDn 端子として接続されている場合、SCR.CKE[0] ビットは 0 になるため、端子は Hi-Z となることを示します。

SCR_SMCI.CKE[0] ビットを 1 にすることによって SCK 端子へのクロック出力を開始します。そして、SCR.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。SCR_SMCI.TE ビットを 0 から 1 に変更すると、データ送信の開始前に 1 フレーム分のプリアンブル期間が生じます。スマートカードインタフェースモードでは、プリアンブル期間中、TXDn 端子は Hi-Z となります。MCU 外部で SCKn 端子および TXDn 端子に対するプルアップまたはプルダウンが必要です。

スマートカードインタフェースモードでは、クロック出力設定を使用すると、SCR_SMCI.TE ビットおよび RE ビットが 0 であっても、クロック出力は継続されます。

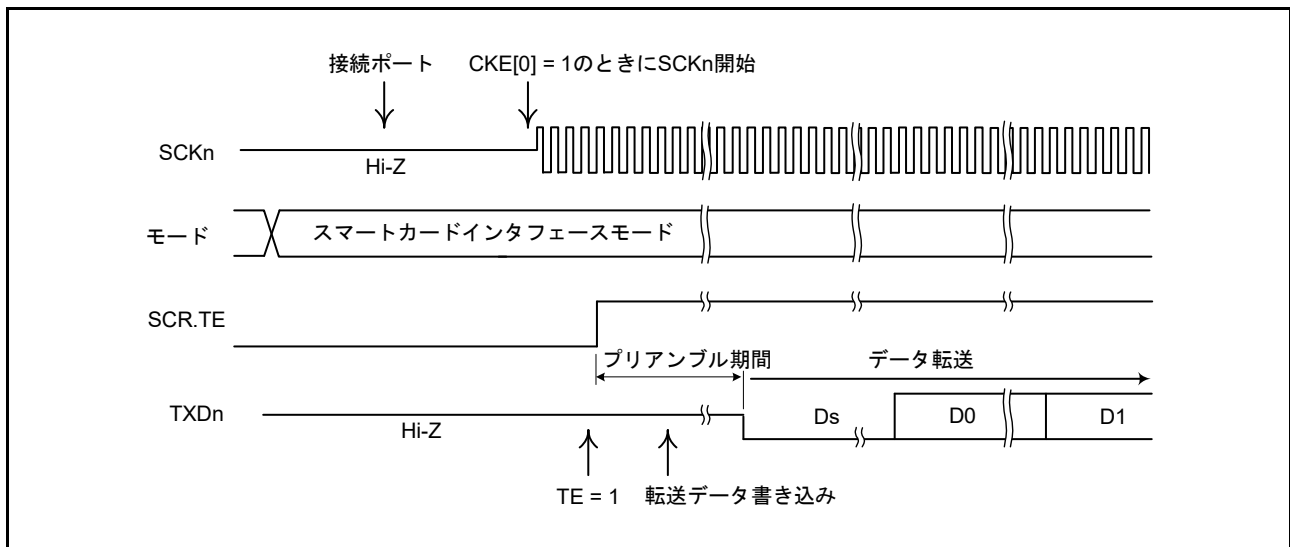


図 27.51 スマートカードインタフェースモードにおけるデータ送信のタイミング例

27.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モードを除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信時の再転送動作を図 27.52 に示します。

- [1] 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCLERS フラグが 1 になります。このとき、SCR_SMCLRIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- [2] エラーシグナルを受信したフレームでは、SSR_SMCL.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- [3] 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- [4] この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。このとき、SCR_SMCL.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャート例を図 27.54 に示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

送信動作では、SSR_SMCL.TEND フラグが 1 になっていると、SCR_SMCL.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定については、「15. データトランスファコントローラ (DTC)」を参照してください。

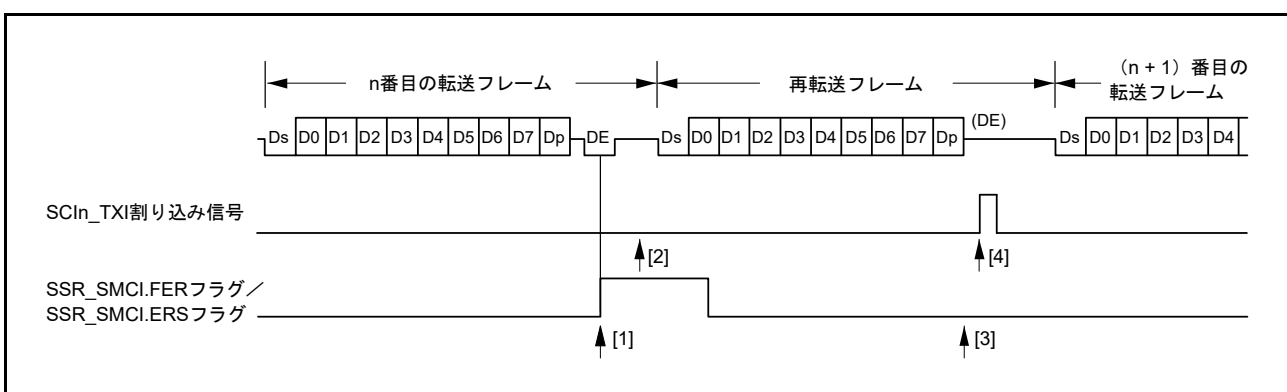


図 27.52 SCI 送信モードでの再転送動作

注 . SMR_SMCL.GM ビットの設定によっては、SSR_SMCL.TEND フラグのセットタイミングが異なります。

図 27.53 に、TEND フラグの発生タイミングを示します。

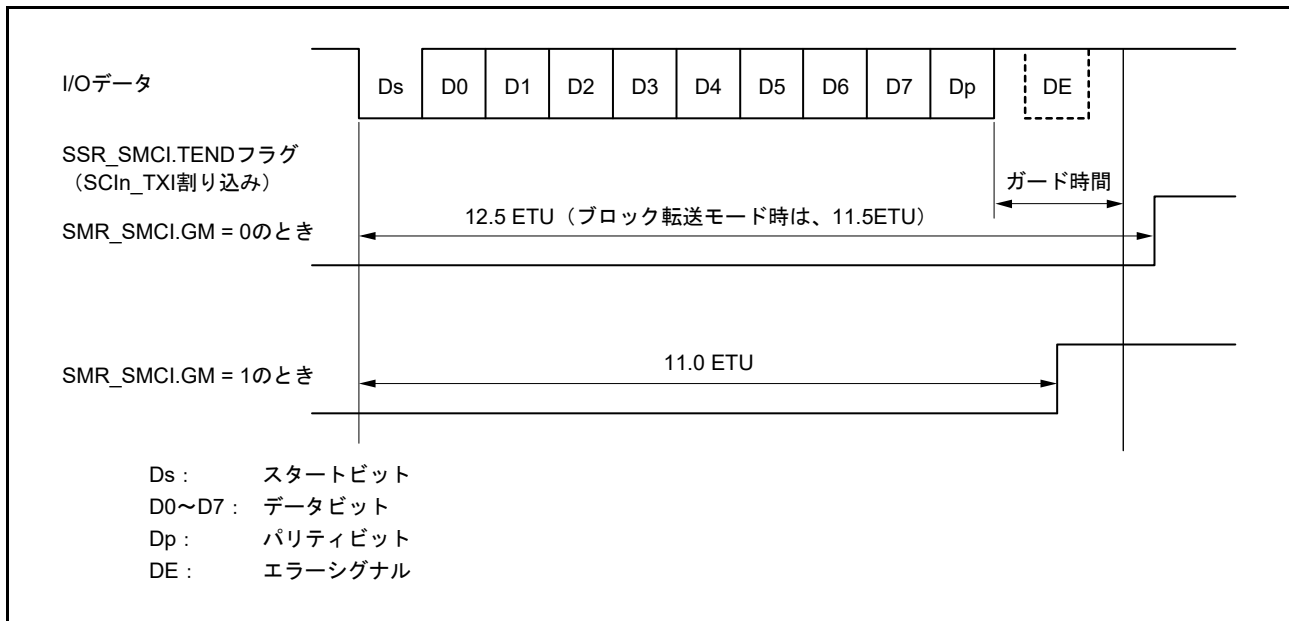


図 27.53 送信時の SSR.TEND フラグの発生タイミング

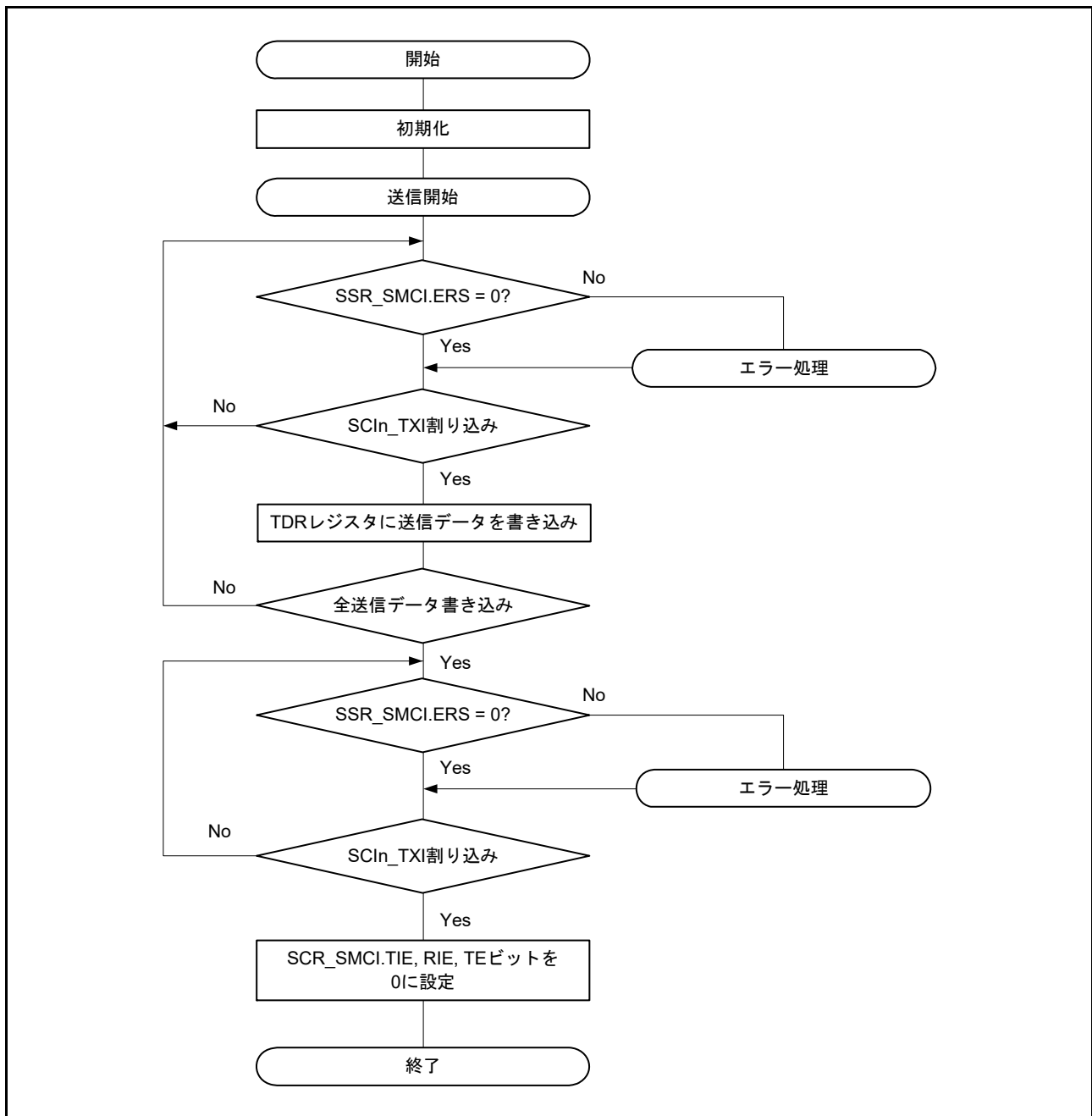


図 27.54 スマートカードインタフェース送信のフローチャート例

27.6.7 シリアルデータの受信 (ブロック転送モード以外)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を [図 27.55](#) に示します。

- [1] 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。
- [2] パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
- [3] パリティエラーが検出されない場合、SSR_SMCI.PER フラグは 1 になりません。
- [4] 正常に受信が完了したと判断されます。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。

[図 27.56](#) に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC を起動することにより、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMCI.ORER フラグまたは SSR_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC は起動されず、受信データはスキップされます。そのため、DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信時にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注 1. ブロック転送モードの場合は、[27.3 調歩同期式モードの動作](#)を参照してください。

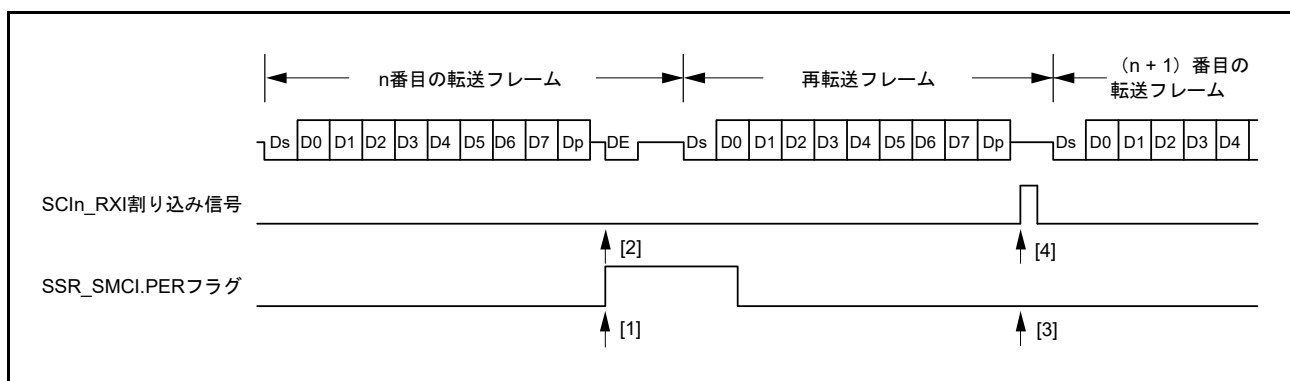


図 27.55 SCI 受信モードでの再転送動作 (受信時の再転送動作)

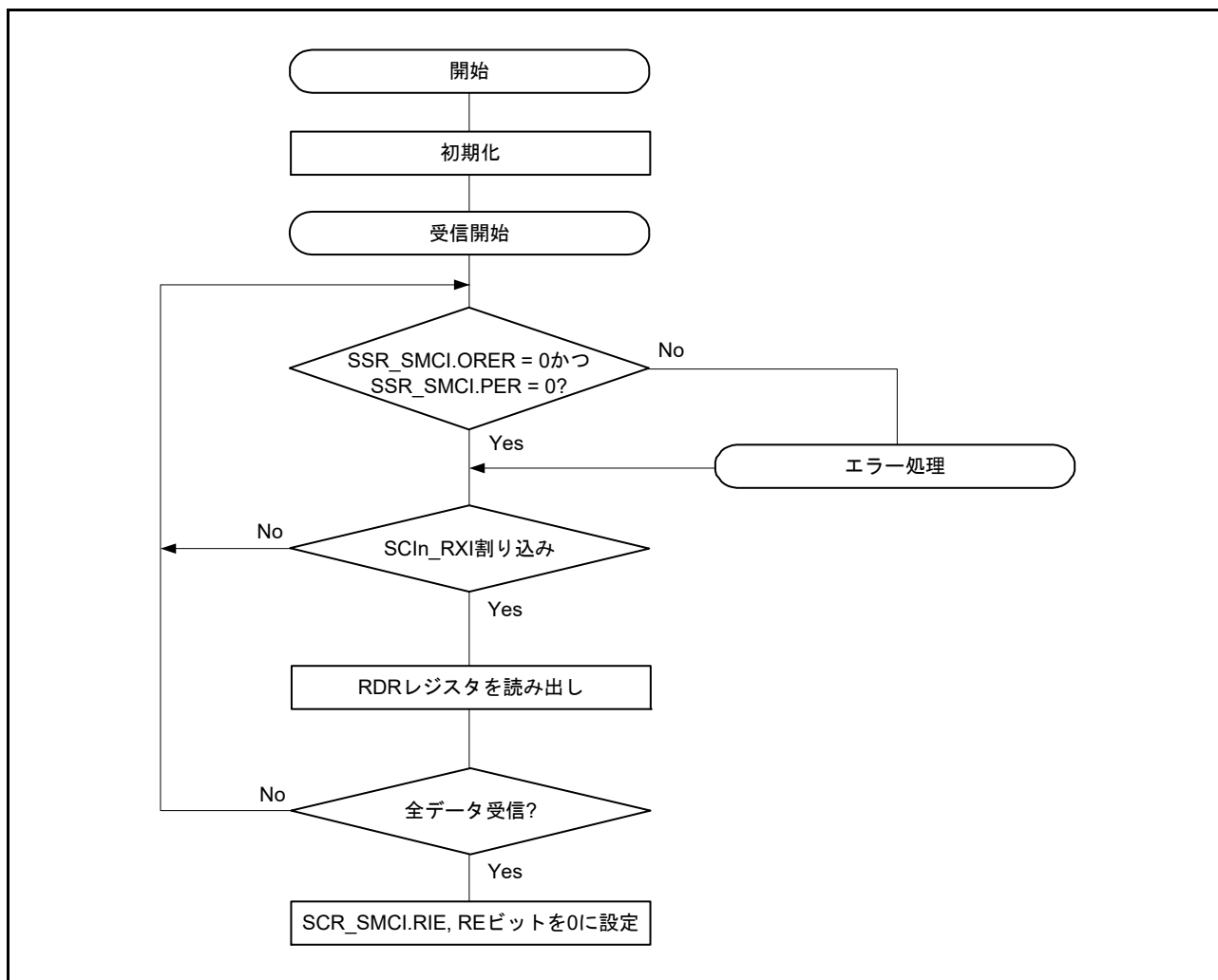


図 27.56 スマートカードインタフェース受信のフローチャート例

27.6.8 クロック出力制御

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[1:0] ビットでクロック出力の制御が行えます。CKE[1:0] ビットの詳細については、27.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ (SCR_SMCI) (SCMR.SMIF=1) を参照してください。クロック出力を設定すると、27.6.4 受信データのサンプリングタイミングと受信マージンで説明されている基本クロックが出力されるため、クロックパルス幅をビットレート設定で指定した幅に保持することが可能になります。ビットレートは、SMR_SMCI.CKS[1:0] ビット、SMR_SMCI.BCP[1:0] ビット、SCMR.BCP2 ビット、および BRR レジスタで設定することが可能です。

図 27.57 に、SCR.CKE[1] ビットを 0 にして SCR_SMCI.CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI.GM ビットを 0 にすると、SCR_SMCI.CKE[0] ビットによる出力制御がただちに SCK 端子に出力されるため、SCK 端子から意図しない幅のパルスが出力される可能性があります。

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[0] ビットが基本クロックとして設定したパルス幅を制御します。

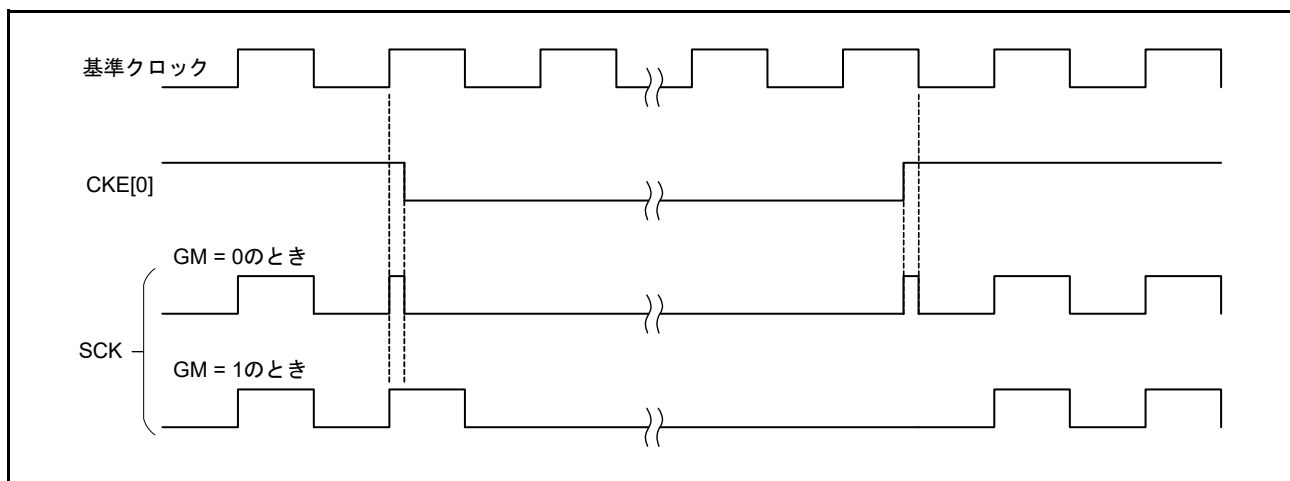


図 27.57 クロック出力制御

27.7 簡易 IIC モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 27.58 に、I²C バスフォーマットを、図 27.59 に、I²C バスタイミングを示します。

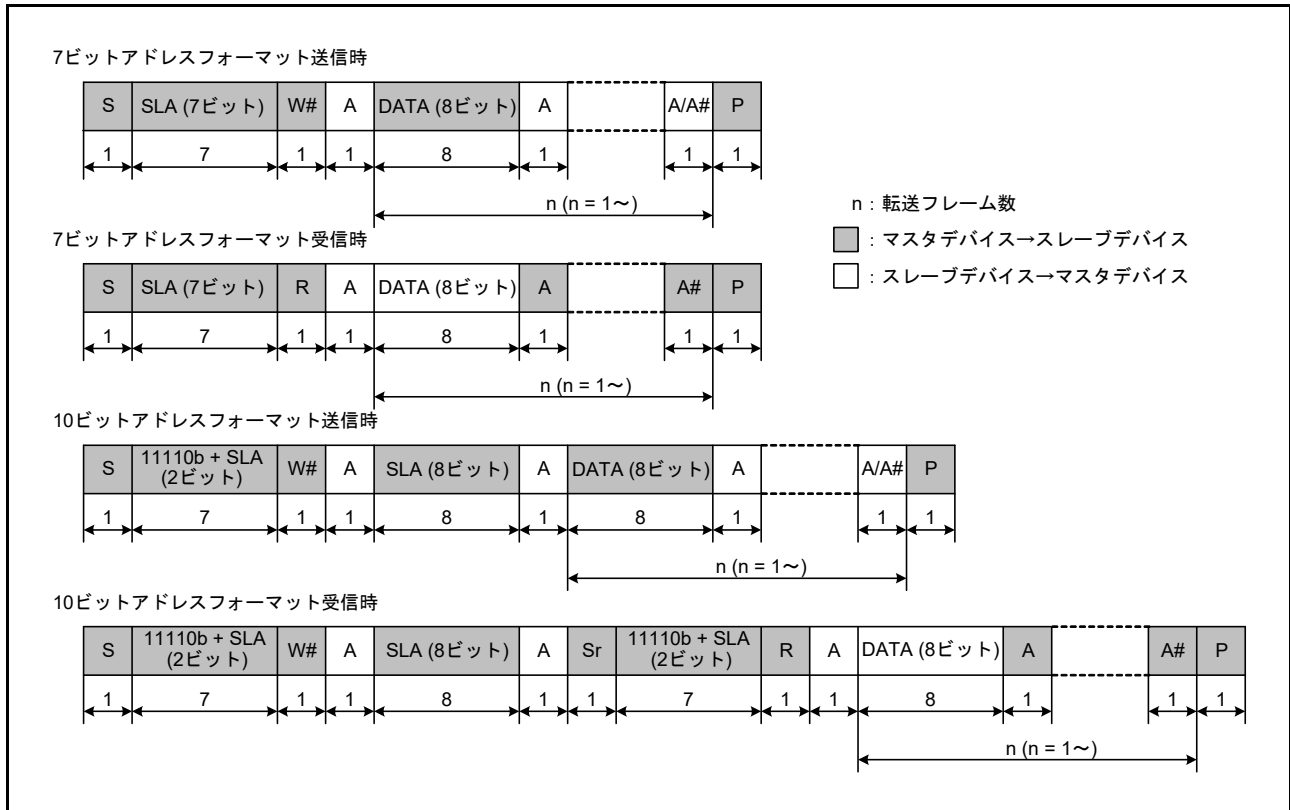


図 27.58 I²C バスフォーマット

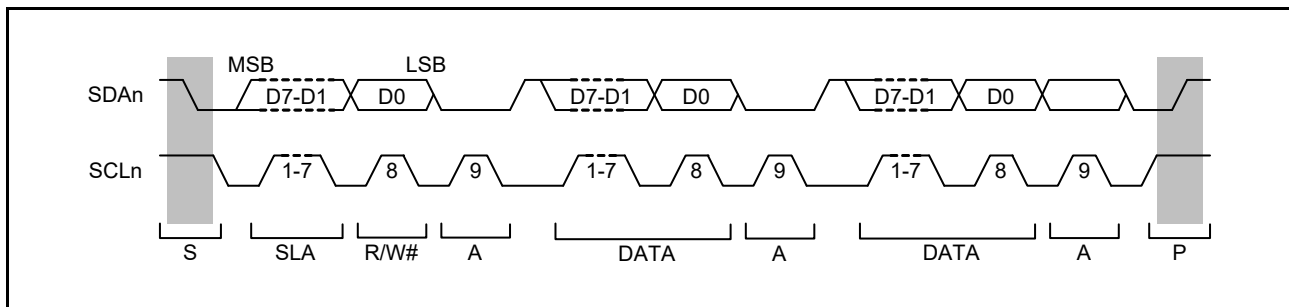


図 27.59 I²C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCL_n ラインが High 状態にあるとき、SDA_n ラインを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開条件を示します。マスタデバイスは、SCL_n ラインが High 状態にあるとき、セットアップ時間経過後に SDA_n ラインを High から Low へ変化させます。
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCL_n ラインが High 状態にあるとき、SDA_n ラインを Low から High へ変化させます。

27.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開条件の生成を行います。再開条件の生成では、以下の動作が行われます。

- SDA_n ラインを開放、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出時、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のセットアップ時間に設定
- SDA_n ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開条件のホールド時間に設定
- SCL_n ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDA_n ラインを立ち下げ (High から Low へ変化)、SCL_n ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCL_n ラインの Low 期間に設定
- SCL_n ラインを開放 (Low から High へ変化)
- SCL_n ラインの High を検出時、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDA_n ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 27.60 に、開始条件、再開条件、停止条件生成の動作タイミングを示します。

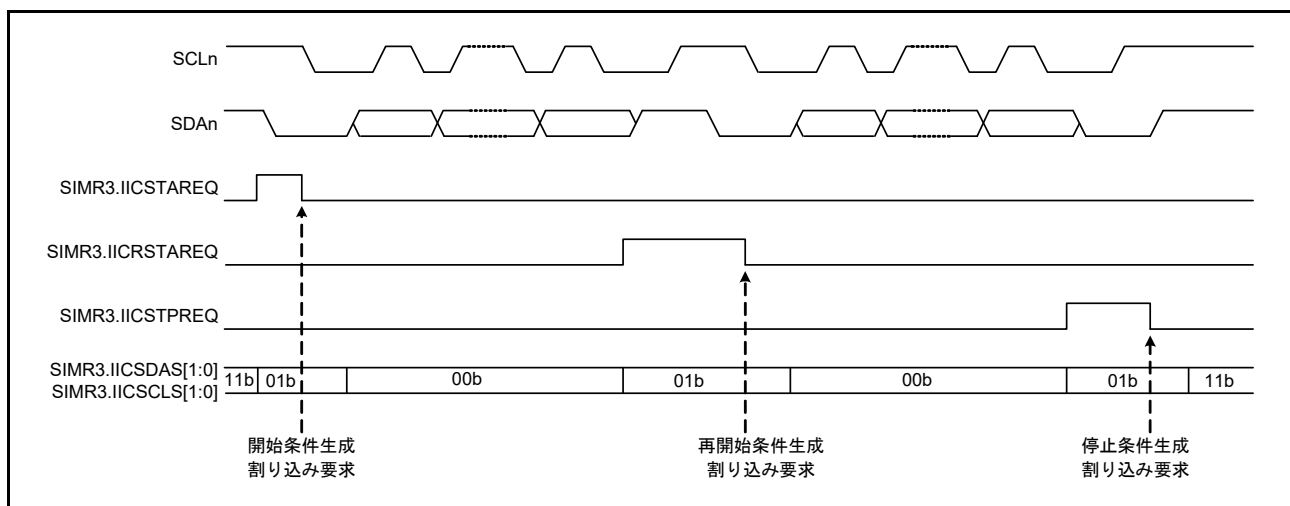


図 27.60 開始条件、再開条件、停止条件生成の動作タイミング

27.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する場合、SCLn ラインが Low になることがあります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロック信号が Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、および内部処理遅延（PCLKB で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロック信号が Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。[図 27.61](#) に、クロック同期化の動作例を示します。

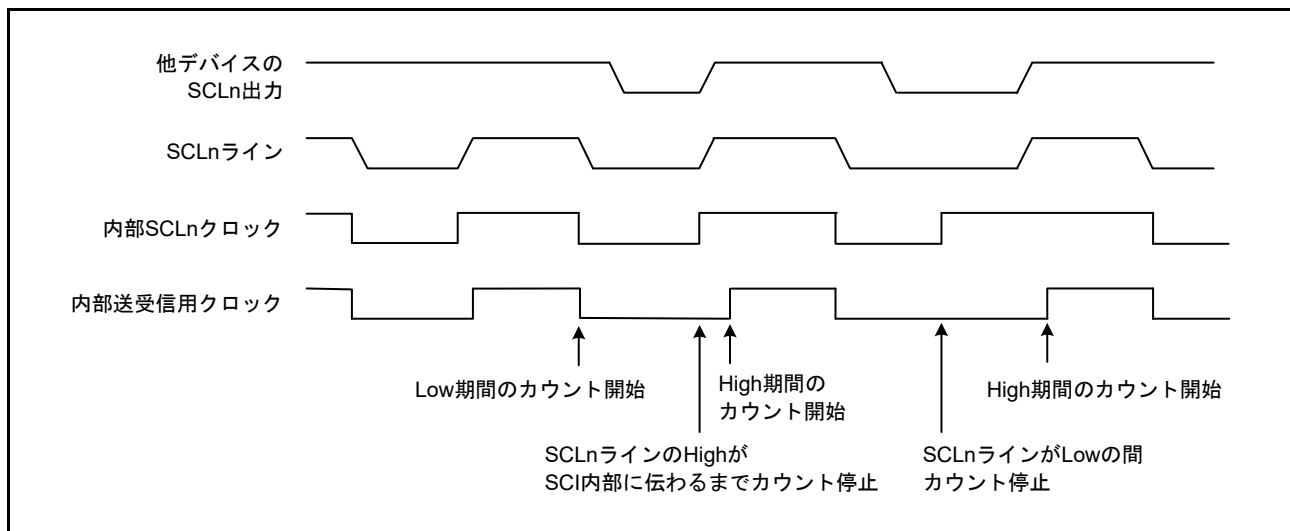


図 27.61 クロック同期化の動作例

27.7.3 SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は、内蔵ポーレートジェネレータからのクロック信号を基準 (PCLKB ベースに SMR.CKS[1:0] で選択された分周クロック) として 0 ~ 31 サイクルの間で選択可能です。SDAn 端子出力遅延は、開始条件/再開条件/停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始し、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値 (IIC の標準モードとファストモードでは 300ns) より大きくなるように設定してください。

図 27.62 に、SDAn 出力遅延のタイミングを示します。

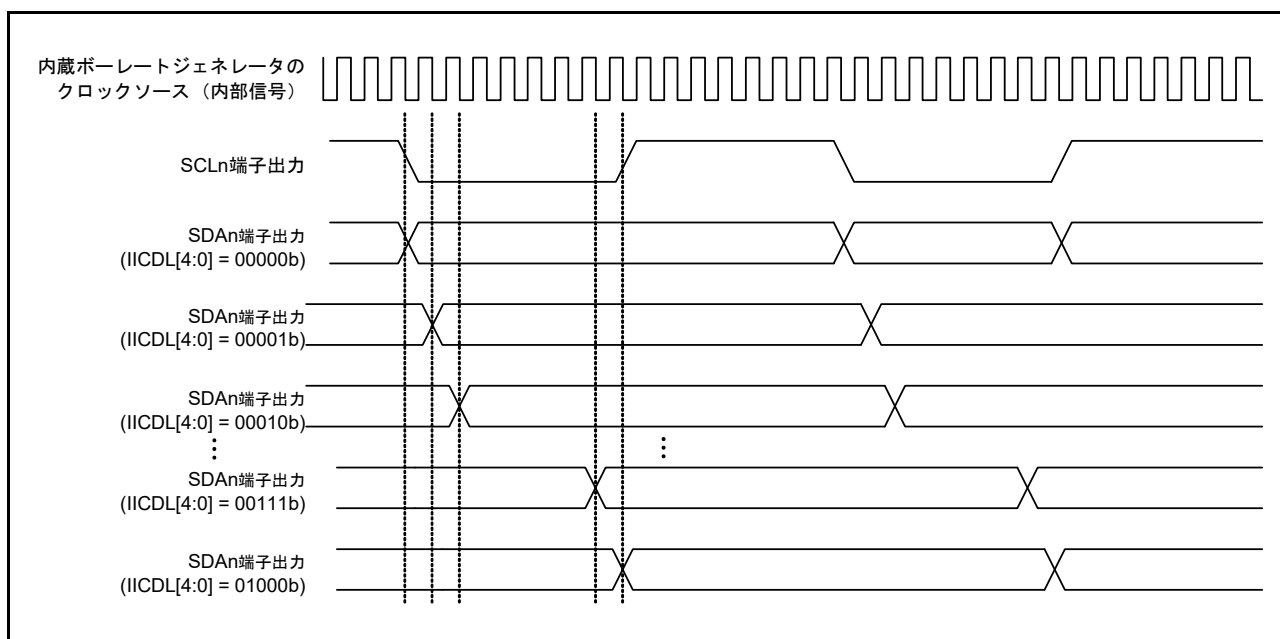


図 27.62 SDA 出力遅延のタイミング

27.7.4 SCIの初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 00h を書き込み、[図 27.63](#) のフローチャート例に従って、初期化してください。

たとえば動作モードや通信フォーマットなどを変更する場合は、必ず事前に SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

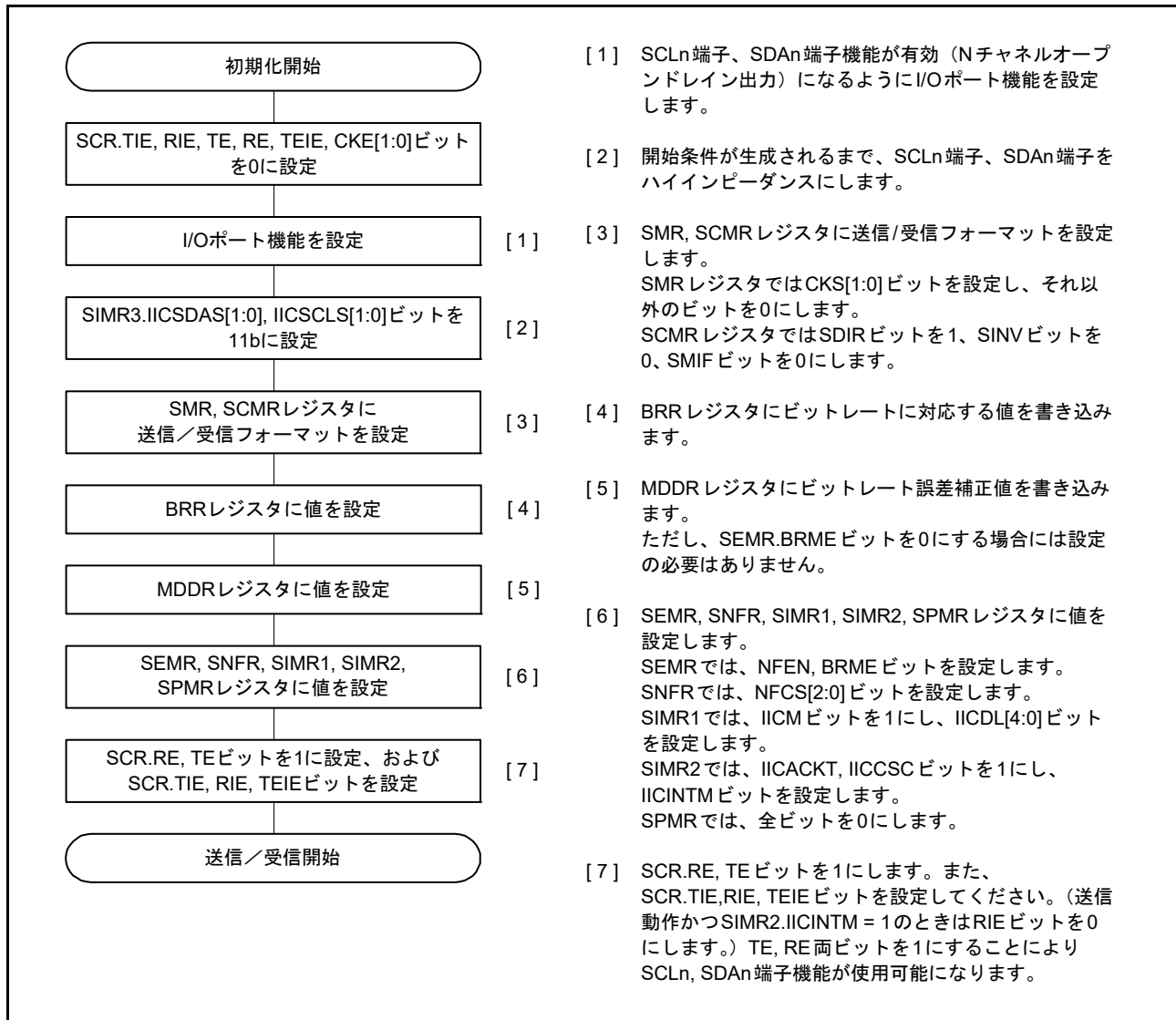


図 27.63 SCI 初期化のフロー例 (簡易 IIC モード)

27.7.5 マスタ送信動作 (簡易 IIC モード)

図 27.64 と図 27.65 に、マスタ送信の動作例を、図 27.66 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn_RXI および SCIn_ERI 割り込み要求を禁止) の場合を想定しています。STI 割り込みについては、表 27.25 を参照してください。

10 ビットスレーブアドレス使用時は、図 27.66 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

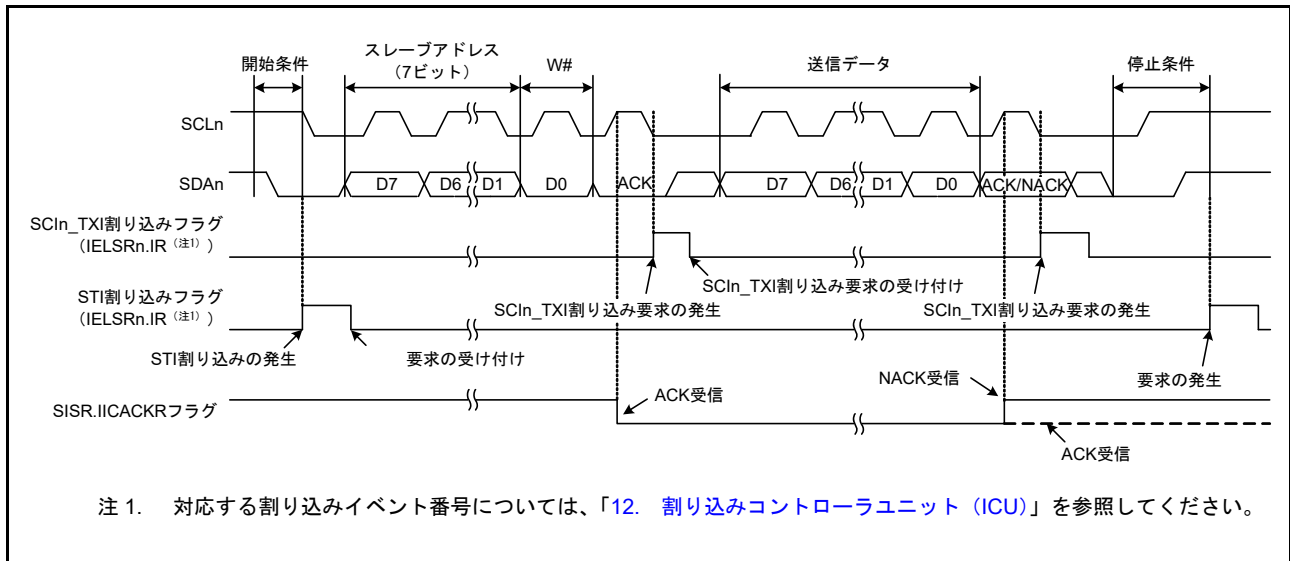


図 27.64 簡易 IIC モードのマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

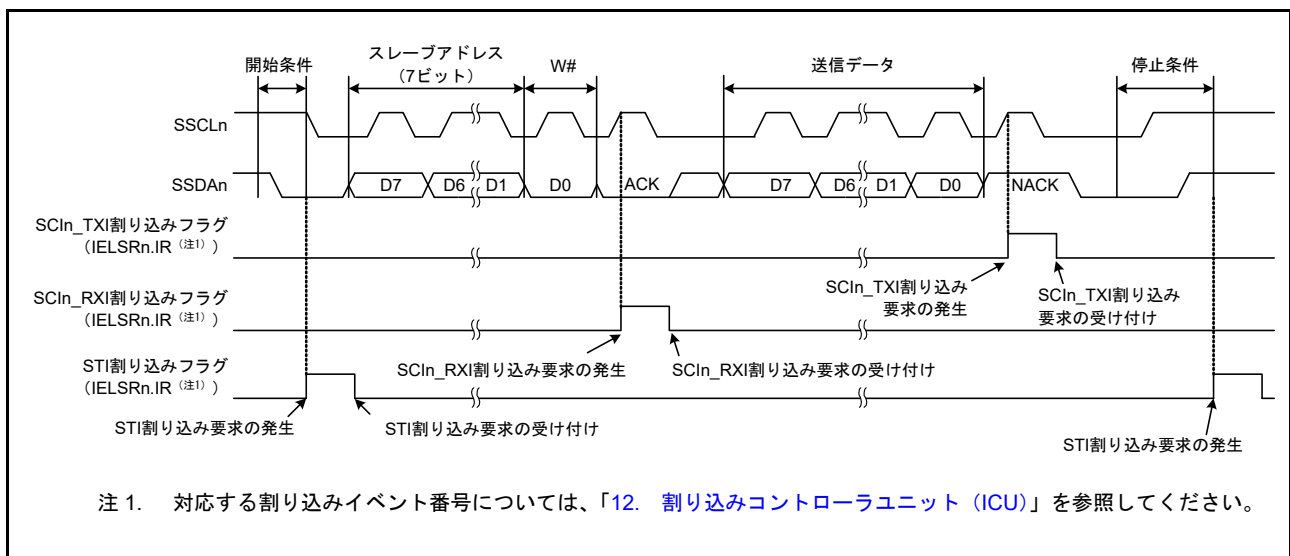


図 27.65 簡易 IIC モードのマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

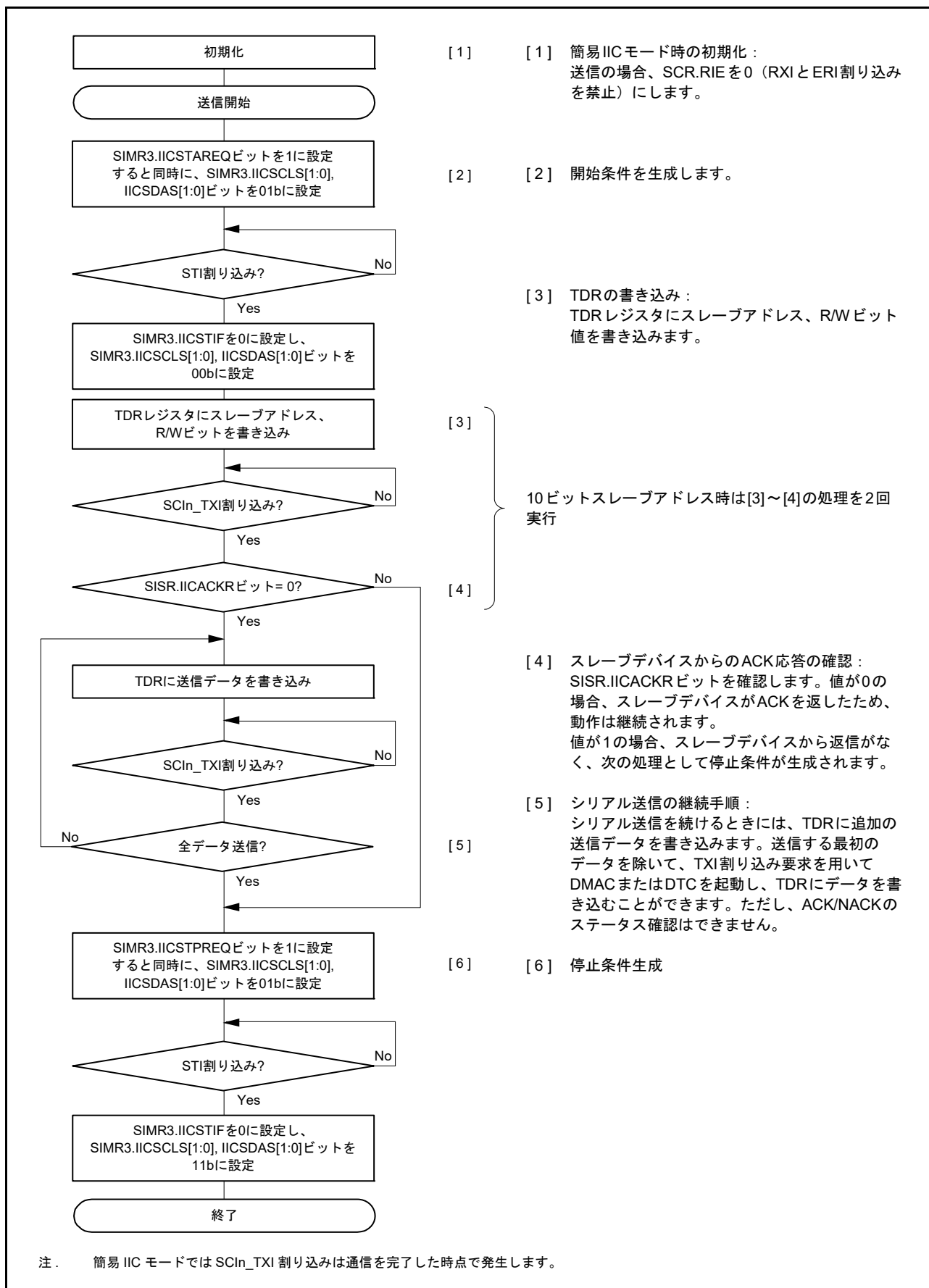


図 27.66 簡易 IIC モードのマスター送信の手順例（送信割り込み、受信割り込み使用時）

27.7.6 マスタ受信動作 (簡易 IIC モード)

図 27.67 に簡易 IIC モードにおけるマスタ受信の動作例を、図 27.68 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

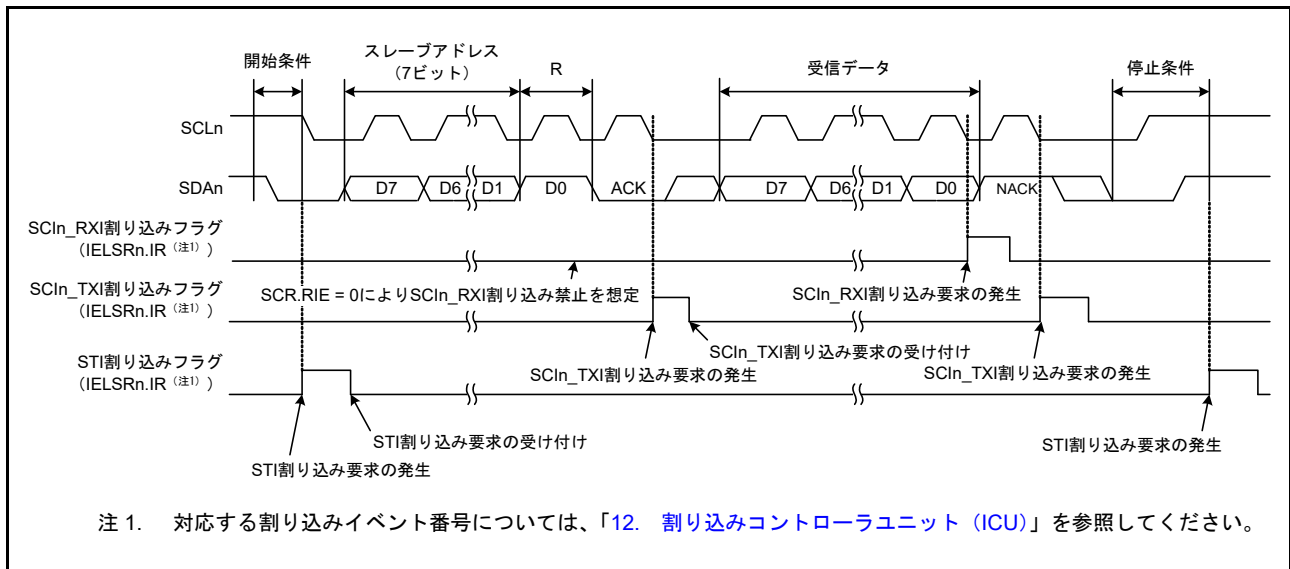


図 27.67 簡易 IIC モードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

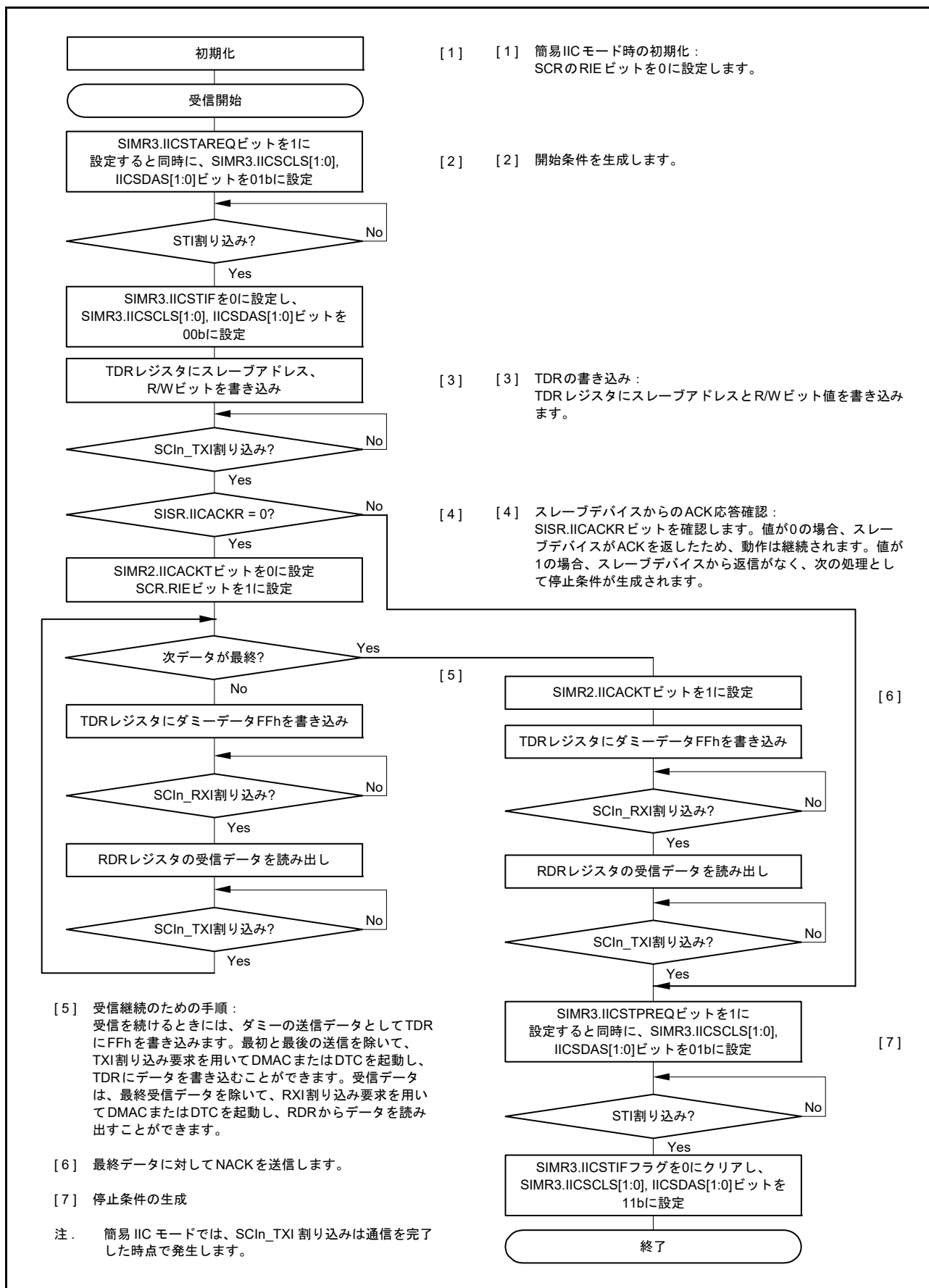


図 27.68 簡易 IIC モードのマスタ受信のフローチャート例 (送信割り込み、受信割り込み使用時)

27.8 簡易 SPI モードの動作

SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF = 0, SIMR1.IICM = 0, SMR.CM = 1) を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、簡易 SPI モードであっても、シングルマスタ構成で使用する場合は、マスタ側の SS 端子機能は必要ないため、SPMR.SSE ビットは 0 にしてください。

図 27.69 に、簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

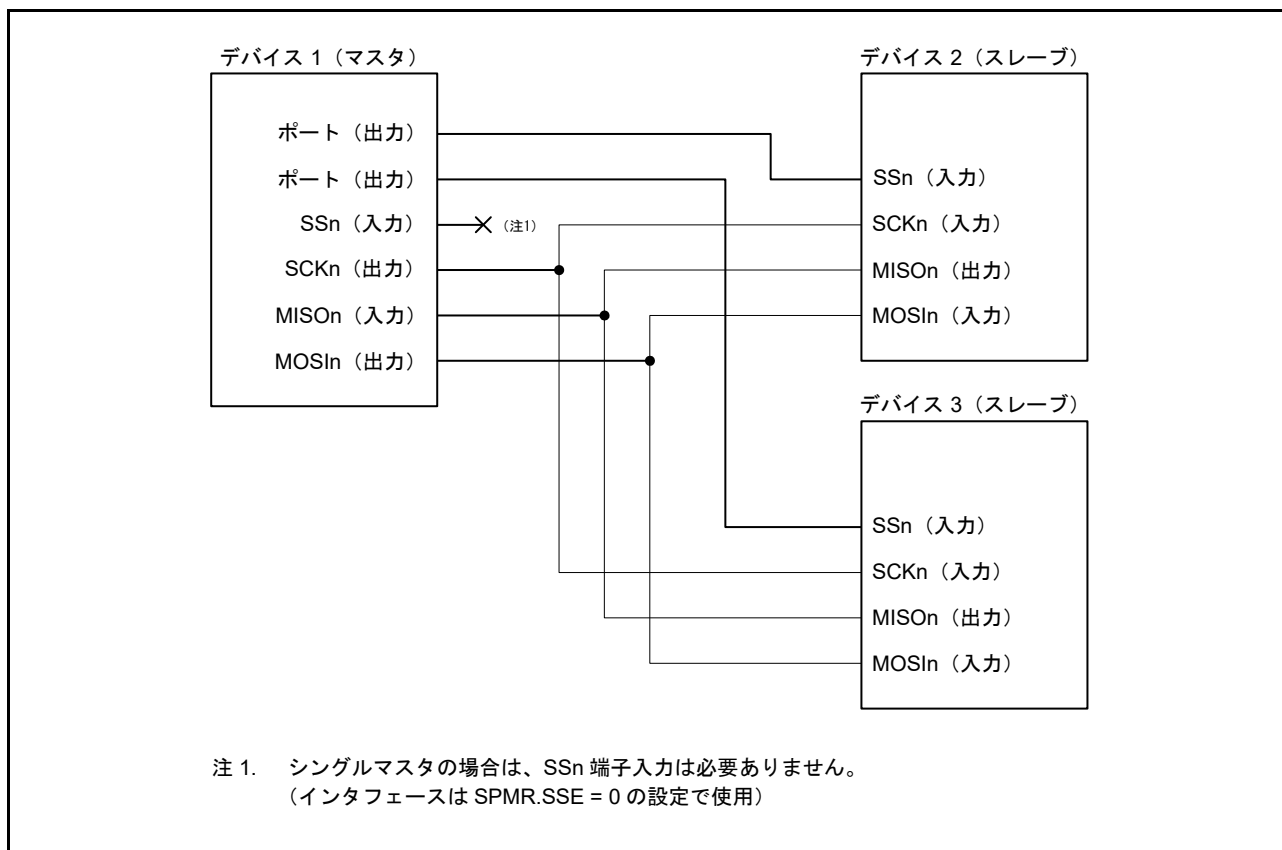


図 27.69 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

27.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0]=00b または 01b、かつ SPMR.MSS=0) と、スレーブモード (SCR.CKE[1:0]=10b または 11b、かつ SPMR.MSS=1) で、各端子の入出力方向が異なります。

表 27.25 に、端子状態、モード、および SSn 端子入力との関係を示します。

表 27.25 モードおよびSSn端子入力と各端子状態の関係

モード	SSn 端子入力	TXDn 端子状態	RXDn 端子状態	SCKn 端子状態
マスタモード (注1)	High レベル (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low レベル (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信可能)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信不可)	受信データ入力	送信データ出力	クロック入力

- 注 1. シングルマスタ構成 (SPMR.SSE ビット=0) の場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子機能は不要であり、別の用途に使用できます。
- 注 2. シリアル送信禁止 (SCR.TE ビット=0) の場合、MOSIn 端子出力はハイインピーダンスです。
- 注 3. マルチマスタ構成 (SPMR.SSE ビット=1) では、シリアル送受信禁止 (SCR.TE および SCR.RE ビット=00b) の場合、SCKn 端子出力はハイインピーダンスです。

27.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット=0) では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット=1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは、別のマスタが送受信動作を行っていることを示すため、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。マルチマスタ構成 (SPMR.SSE ビット=1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信を行っていることを示しています。その場合、SCI は MOSIn 端子出力と SCKn 端子出力をハイインピーダンスにして、送受信動作を開始しません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に MOSIn 端子出力と SCKn 端子出力がハイインピーダンスになります。マスタからの SS 信号出力については、汎用ポートで制御してください。

27.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOIn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOIn 端子出力をハイインピーダンスにします。なお、内部的な送信または受信処理は、送信中または受信中のキャラクタの処理が完了するまで、SCKn 端子から入力されるクロックレートで続きます。その後、処理が停止すると、割り込み (SCIIn_TXI、SCIIn_RXI、および SCIIn_TEI のいずれか) が発生します。

27.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 27.70 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

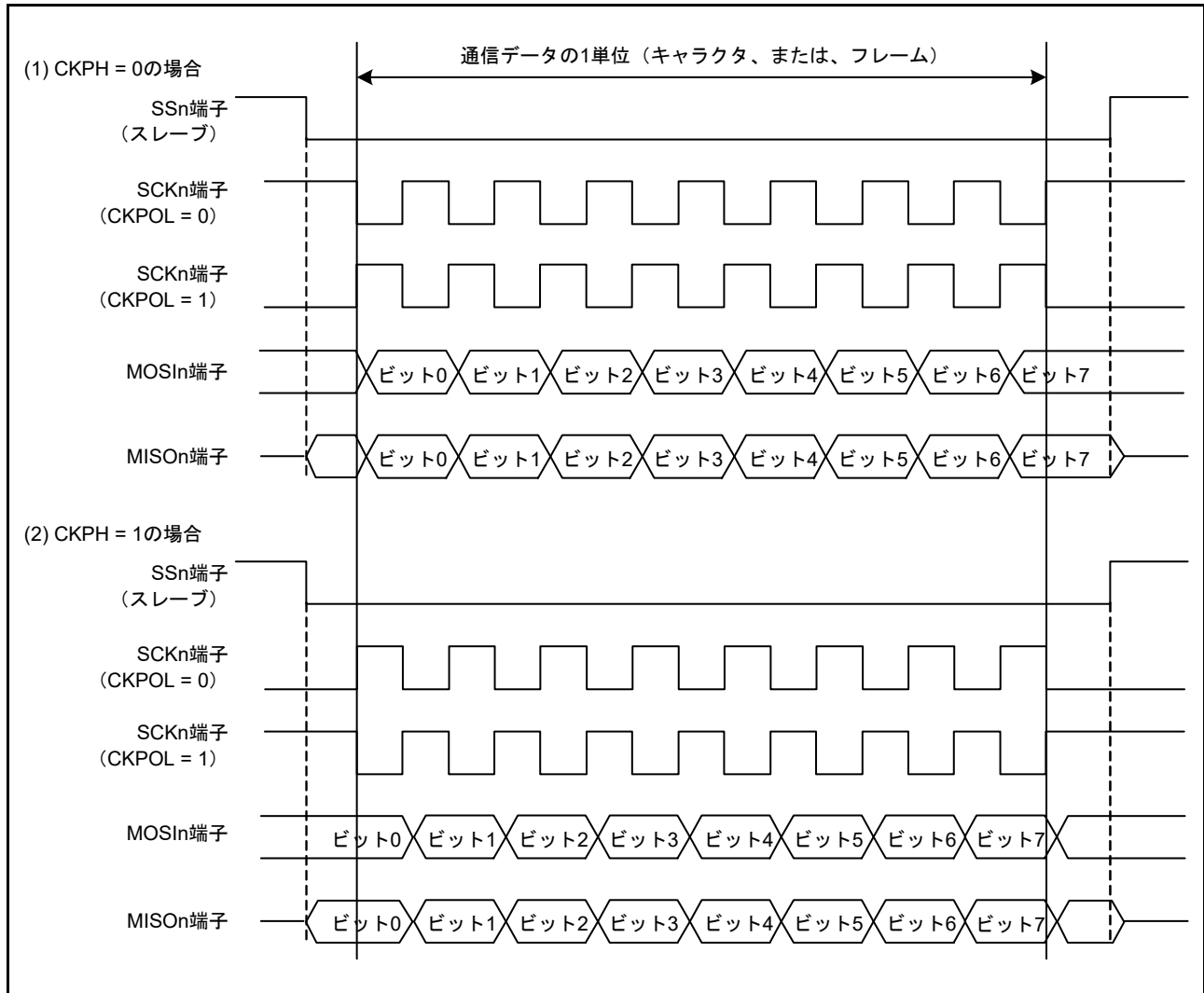


図 27.70 簡易 SPI モードにおけるクロック信号と送受信データの関係

27.8.5 SCI の初期化 (簡易 SPI モード)

簡易 SPI モードでの SCI の初期化は、クロック同期式モードの場合と同じです。図 27.32 を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

- 注 1. 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。
- 注 2. TE ビットを 1 から 0、または 0 から 1 に変更すると、SCR.TIE ビットが 1 の場合、送信データエンティティ割り込み (SCIn_TXI) が発生します。

27.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

27.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKB が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKB が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択され、BRR ビットが 0 に、かつ MDDR レジスタが 160 に設定された場合の例を図 27.71 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注． 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0) では、この機能を使用しないでください。

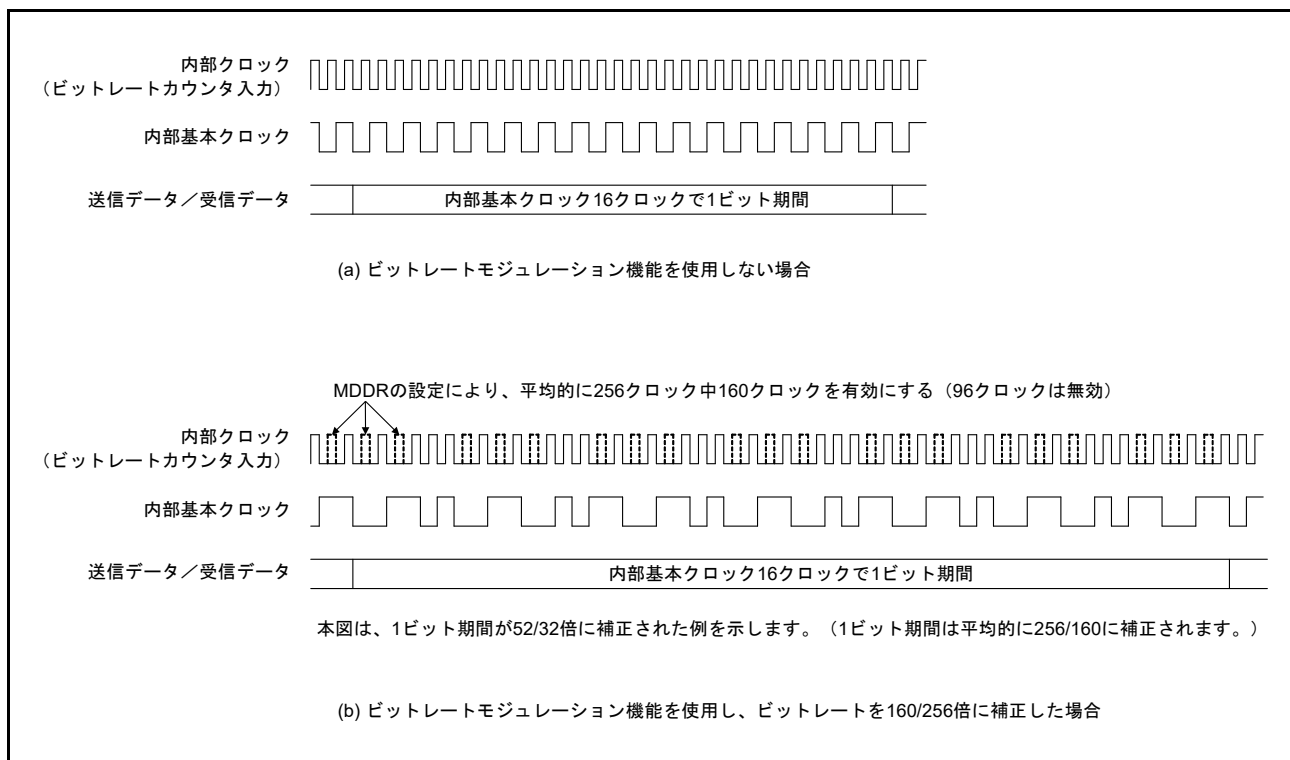


図 27.71 ビットレートモジュレーション機能使用時の内部基本クロックの例

27.10 割り込み要因

27.10.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (非 FIFO 選択時)

割り込みコントローラユニット (ICU) の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が満たされても、ICU は割り込み要求を出力せず、内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持していた割り込み要求を出力します。割り込み要求が出力されると、内部で保持していた割り込みは自動的に破棄されます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

27.10.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 (FIFO 選択時)

SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU の割り込みステータスフラグが 1 であっても、ICU に対して割り込み要求を出力しません。割り込みコントローラの割り込みステータスフラグが 0 にクリアされた場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

27.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 27.26 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可/禁止することが可能です。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ (注 1) から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることも発生します。SCIn_TXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注 2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットが 1 のとき、TDR レジスタまたは TDRHL レジスタ (注 1) に次の送信データが書き込まれるまで SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ (注 1) にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。このとき、SCIn_RXI 割り込み要求は発生しません。これら 3 つのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

(2) FIFO 選択時

表 27.27 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることも発生します。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。このとき、FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求が発生します。SSR_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 27.26 SCI 割り込み要因 (非FIFO選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

表 27.27 SCI 割り込み要因 (FIFO 選択時)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動
SCIn_ERI	受信エラー	ORER, FER, PER, DFER, DPER	RIE	不可能
		DR (FCR.DRES = 1 の場合)	RIE	不可能
SCIn_RXI	受信データフル	RDF	RIE	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)	RIE	可能
	アドレス一致	DCMF	RIE	可能
SCIn_AM	アドレス一致	DCMF	—	可能
SCIn_TXI	送信データエンプティ	TDFE	TIE	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能

27.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 27.28 に示します。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 27.28 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動
SCIn_ERI	受信エラー、エラーシグナル検出	ORER, FER, ERS	RIE	不可能
SCIn_RXI	受信データフル	—	RIE	可能
SCIn_TXI	送信終了	TEND	TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC を使用した送受信が可能です。送信動作では、SSR_SMCI.TEND フラグが 1 になると、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求により DTC が起動されて、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求が発生させることで、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定については、「15. データトランスファコントローラ (DTC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求により DTC が起動されて、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

27.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 27.29 に示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき :

- SCLn 信号の 8 ビット目の立ち下がり、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち下がり、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき :

- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求 (ACK 検出) が発生します。
- SCLn 信号の 9 ビット目 (アクノリッジビット) の立ち上がり、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求 (NACK 検出) が発生します。
- あらかじめ DTC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

なお、DTC を使用して送受信を行う場合は、前もって DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 27.29 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_RXI	受信、ACK 検出	—	RIE	可能
SCIn_TXI	送信、NACK 検出	—	TIE	可能
STIn	開始条件、再開条件、停止条件生成終了	IICSTIF	TEIE	不可能

注 . SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

27.11 イベントリンク機能

SCI は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

(1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時)

- 調歩同期式モードで、受信時にパリティエラーが発生して異常終了したことを示します
- 調歩同期式モードで、受信時にフレーミングエラーが発生して異常終了したことを示します
- 受信時にオーバーランエラーが発生して異常終了したことを示します
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO.FER フラグと SSR_FIFO.PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15ETU 経過したことを示します。

(2) 受信データフルイベント出力

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください

(a) 非 FIFO 選択時

- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(3) 送信データエンプティイベント出力

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します
- スマートカードインタフェースモードで、送信が完了したことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します

(a) 非 FIFO 選択時

- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します

(b) FIFO 選択時

- このイベント出力は使用しないでください

(4) 送信終了イベント出力

- 送信が完了したことを示します
- 簡易 IIC モードで、開始条件、再開条件、停止条件の生成が完了したことを示します
- FIFO が選択されている場合、このイベント出力は使用しないでください

(5) アドレス一致イベント出力

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致したことを示します

(6) アドレス不一致イベント出力（SCI0_DCUF）

アドレス不一致イベント出力（SCI0_DCUF）は、調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致しないことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能

27.12 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 27.72 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、それは有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXD 端子の受信レベルは、調歩同期式モードの基本クロックを使ってノイズフィルタのフリップフロップ回路から取り込まれます。

簡易 IIC モードでは、TXDn/SDAn 端子と RXDn/SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、SNFR.NFCS ビットの設定に基づいて、ボーレートジェネレータの 4 種類の設定 (PCLKB の 1、2、4、8 分周) から選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号とみなされます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

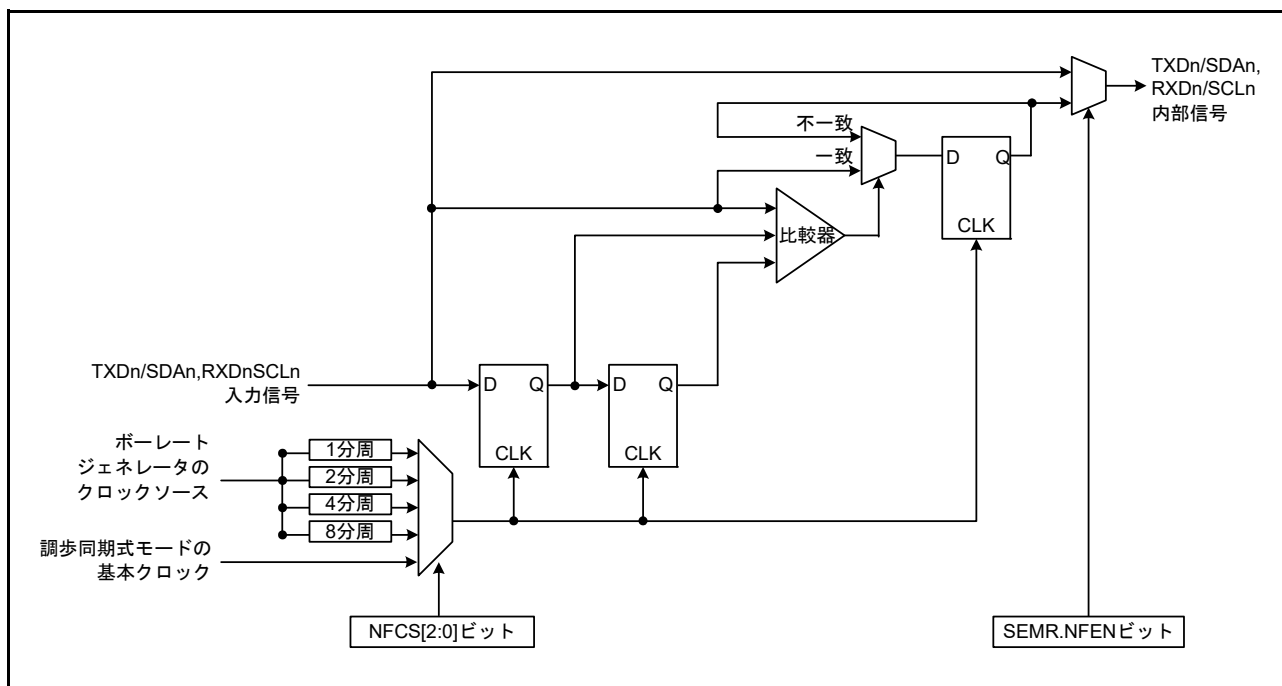


図 27.72 デジタルノイズフィルタ回路のブロック図

27.13 使用上の注意事項

27.13.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) によって、SCI の動作を許可または禁止することが可能です。SCI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

27.13.2 低消費電力状態での SCI の動作について

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされます。FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードからの復帰後、出力端子は、ポートの設定と SPTR レジスタの設定に応じて、これらの低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 27.73 に、送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 27.74 と図 27.75 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止 (TE ビットを 0) にしてください。低消費電力状態解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

(2) 受信

(a) ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止 (SCR/SCR_SMCI.RE ビットを 0) にしてください。受信中に遷移すると、受信中のデータは無効になります。

図 27.76 に、受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(b) ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXD) が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット

(RXD 端子の立ち下がり) が検出されない可能性があります。

図 27.77 に、アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は、「10. 低消費電力モード」を参照してください。

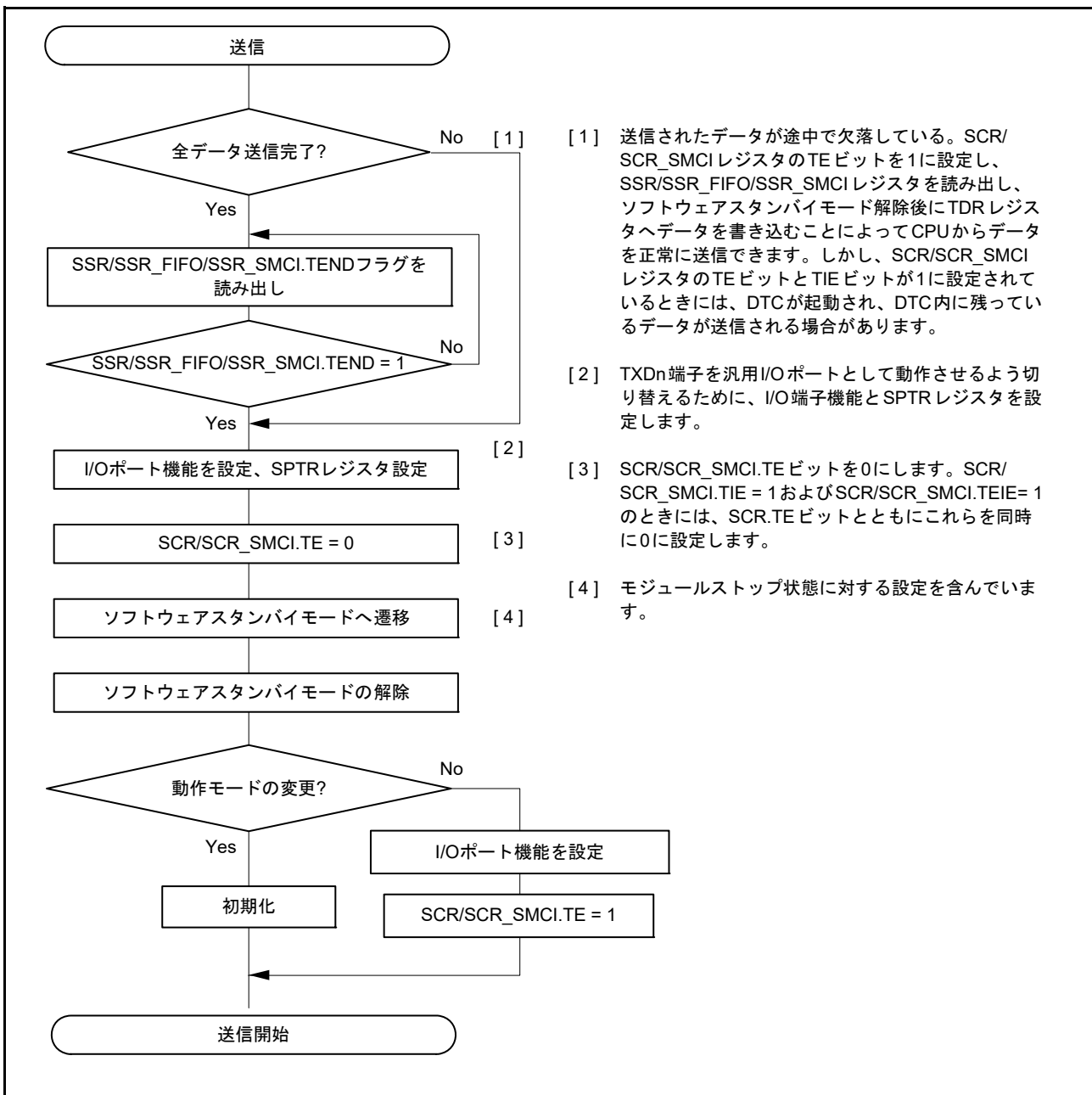


図 27.73 送信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

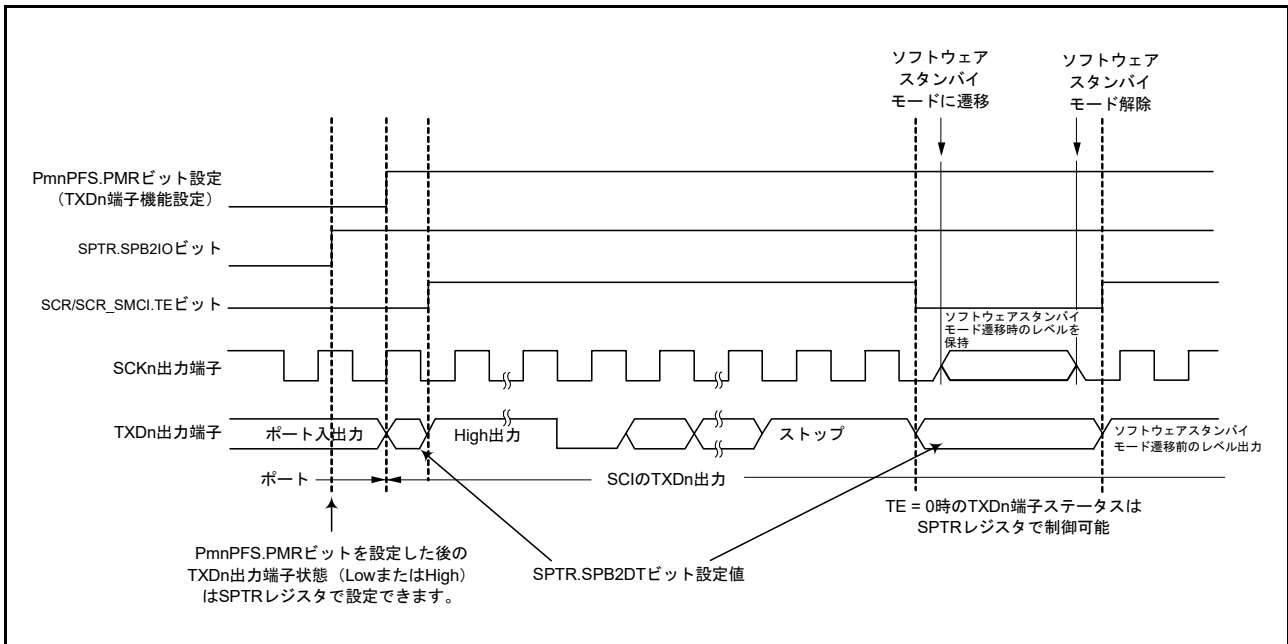


図 27.74 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

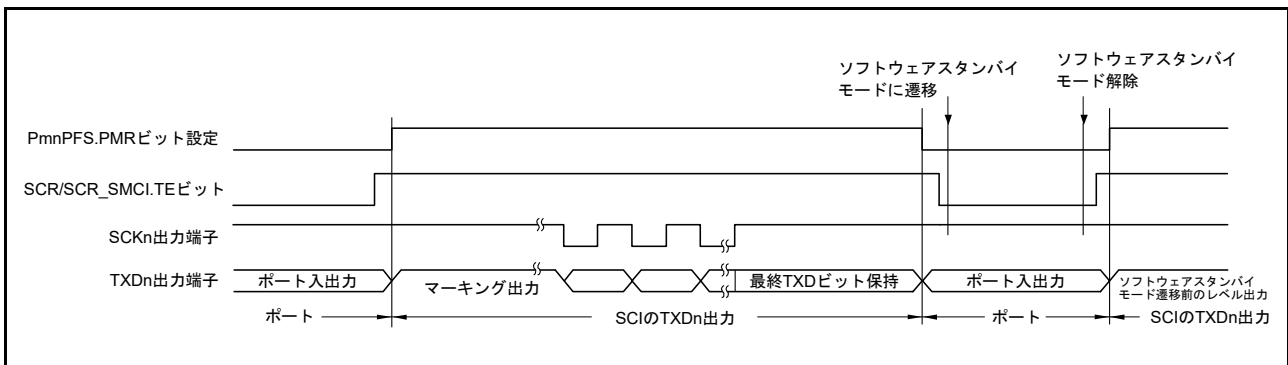


図 27.75 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

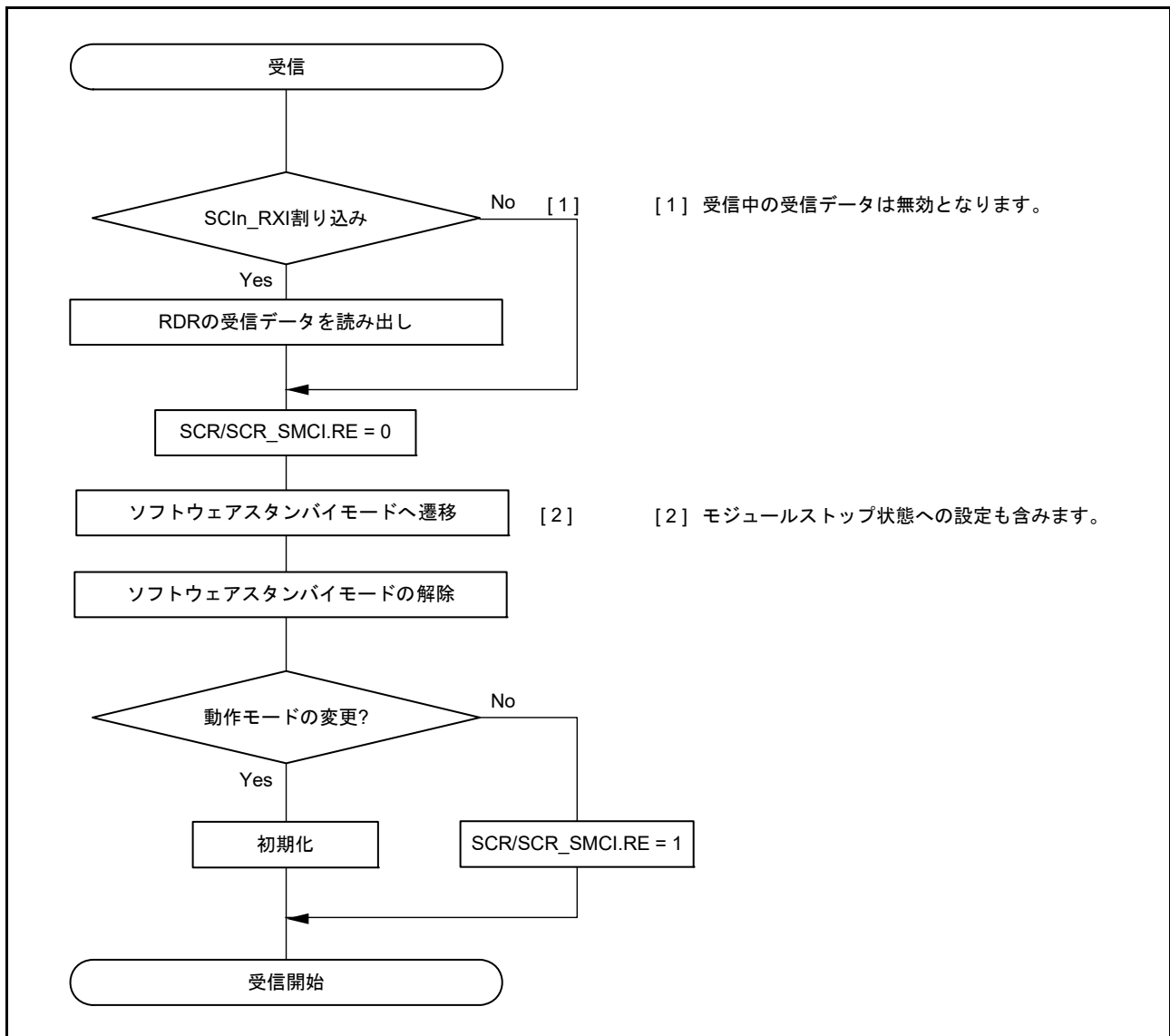


図 27.76 受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

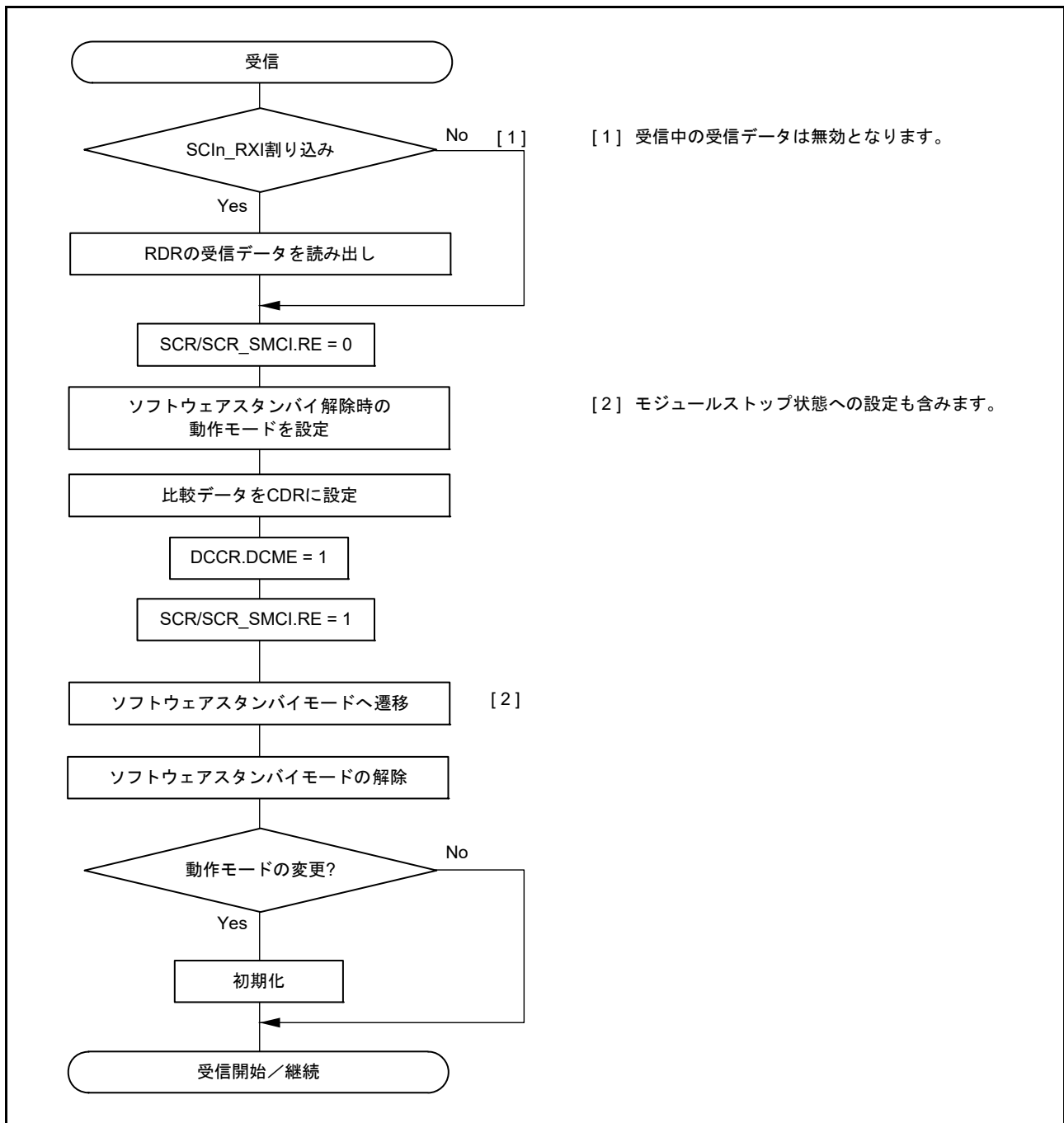


図 27.77 アドレス一致を用いて受信時にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

27.13.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になり、さらに SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグを 0 にすれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりですタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出され、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出されると、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークの検出が可能です。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

27.13.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されません。

27.13.5 受信エラーフラグと送信動作 (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDR (注 2) レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、必ず受信エラーフラグを 0 にしてください。

注 1. SCR/SCR_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、受信エラーフラグは 0 になりません。

注 2. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

27.13.6 クロック同期送信に関する制約事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください

- $1PCLKB + \text{スレーブのデータ出力遅延時間 (tDO)} + \text{マスタのセットアップ時間 (tSU)}$

[図 27.78](#) を参照してください。

(2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください ([図 27.78](#) 参照)。

ビット [7] 送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、 $4PCLKB$ 以上にしてください ([図 27.78](#) 参照)。

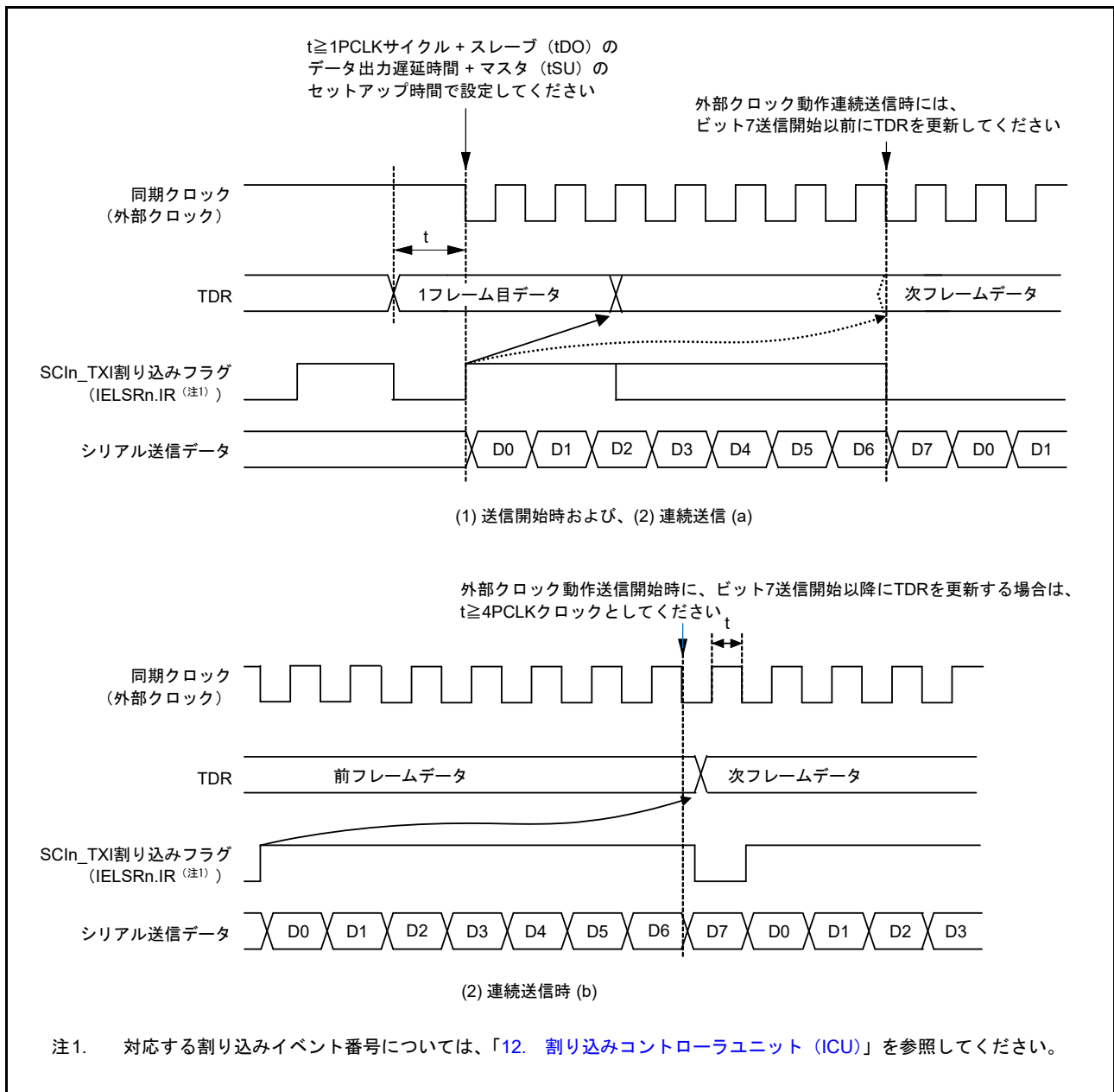


図 27.78 クロック同期送信時の外部クロック使用に関する制約事項

27.13.7 DTC 使用時の制約事項

DTC による送受信動作中は、DTC に転送データを設定しないでください。

(1) TDR (FTDRHL) レジスタへの書き込み

(a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは、TSR レジスタへ転送されず失われます。DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求処理ルーチンで行ってください。

(b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DTC を用いて RDR および RDRHL レジスタを読み出すときは、必ず受信データフル割り込み (SCIn_RXI) を起動要因として設定してください。

27.13.8 通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ (ICU.IELSRn.IR) が 1 のときは、動作許可 (SCR/SCR_SMCI.TE ビットを 1、または SCR/SCR_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください

- 通信が停止していること (SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること) を確認します
- 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を 0 にします
- 対応する割り込み許可ビット (SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット) を読み出して、値が 0 になっていることを確認します
- ICU の割り込みステータスフラグ (ICU.IELSRn.IR) を 0 にします

27.13.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKB 以上、周期は 6PCLKB 以上

27.13.10 簡易 SPI モードに関する制約事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。
これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- 「クロック遅れあり」の設定 (SPMR.CKPH ビット = 1) では、[図 27.79](#) に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。このとき、SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタの転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

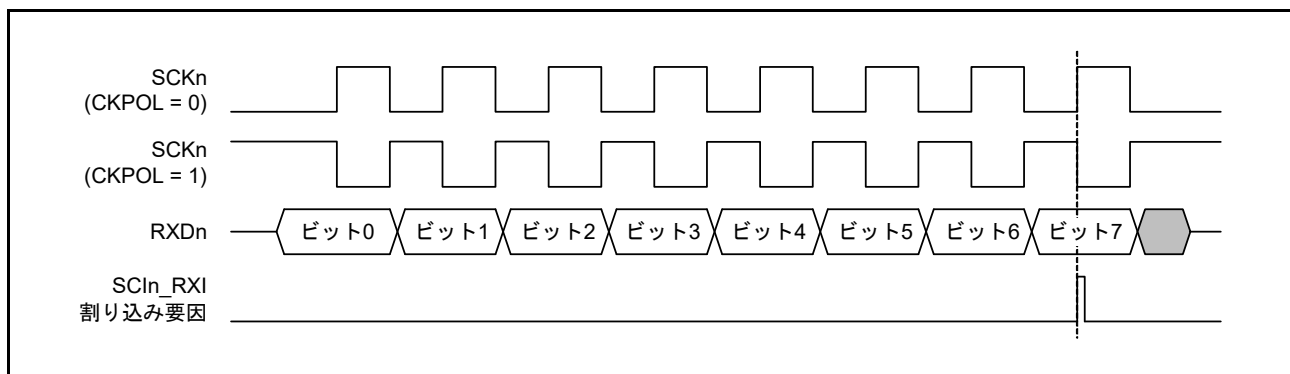


図 27.79 簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング (クロック遅れあり)

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください
 $1PCLKB + \text{スレーブのデータ出力遅延時間 (tDO)} + \text{マスタのセットアップ時間 (tSU)}$
 また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLKB 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SSn 端子入力は、データ転送開始前と完了後に制御してください
- キャラクタ転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、設定回復後に 1 バイト目から転送をやり直してください

28. デジタル調光照明インタフェース (DALI)

28.1 概要

デジタル調光照明インタフェース (DALI) モジュールは、異なるメーカーの電子安定器や LED 照明の調光制御を使用して通信を行うことが出来る国際オープン規格の照明制御通信プロトコルに準拠しています。DALI インタフェースモジュールは、ソフトウェア制御を含む国際規格 IEC62386-101 第 1.0/2.0 版 (DALI 2) に対応しています。

本章に記載している PCLK とは PCLKB を指します。

表 28.1 に DALI の仕様を示します。

表 28.1 DALIの仕様

項目	内容
対応規格	IEC 62386-101 第 1.0/2.0 版 (DALI 2)
通信モード	<ul style="list-style-type: none"> • マスタ/スレーブ • 送信、受信、送受信
通信フォーマット	DALI データフォーマット
シリアルデータ	<ul style="list-style-type: none"> • MSB ファースト • 受信データ長不定、最小 1 ビット、最大 32 ビット • 送信データ長は、8、16、17、20、24、32 ビットから選択可能
割り込み出力	<ul style="list-style-type: none"> • ストップコンディション検出割り込み (DALI_SDI) • DALI エラー割り込み (DALI_DEI) • 衝突検出割り込み (DALI_CLI) • バスパワーダウン検出割り込み (DALI_BPI) • 立ち下がリエッジ検出割り込み (DALI_FEI)
エラー検出	<ul style="list-style-type: none"> • マンチェスタフレーミングエラー • オーバーランエラー • フレームサイズ違反エラー • ビットタイミング違反エラー
通信機能	<ul style="list-style-type: none"> • DRX 入力信号に対してエッジ許容領域の調整 • DTX 幅変調
モジュールストップ機能	<ul style="list-style-type: none"> • モジュールストップ状態の設定が可能

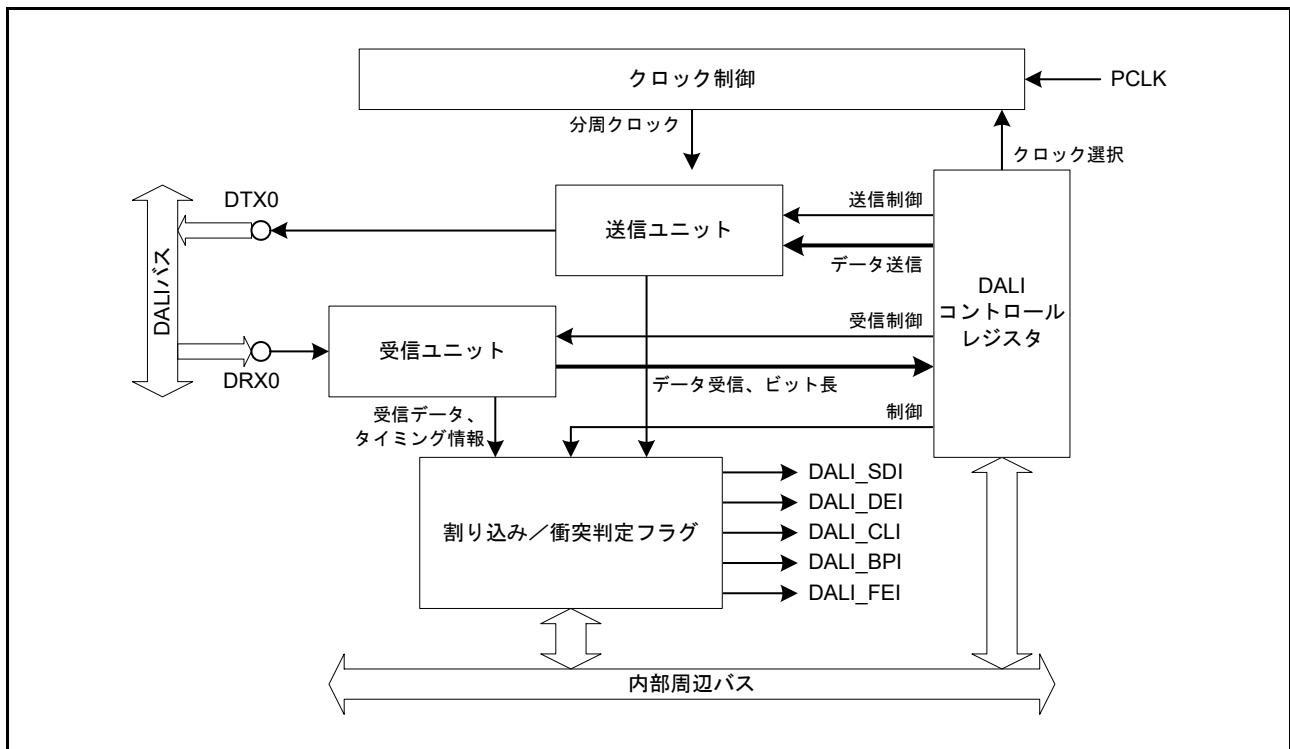


図 28.1 DALI のブロック図

表 28.2 に、DALI の入出力端子を示します。

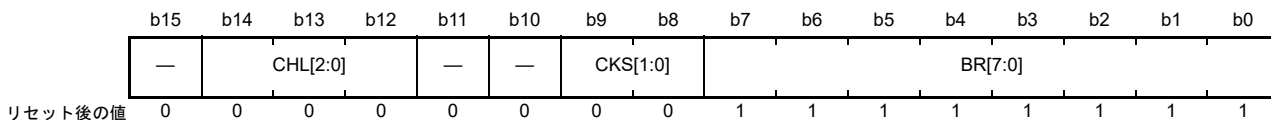
表 28.2 DALI の入出力端子

端子名	入出力	機能
DRX0	入力	DALI 受信端子
DTX0	出力	DALI 送信端子

28.2 レジスタの説明

28.2.1 DALI コンフィグレーションレジスタ 1 (CNFR1)

アドレス DALI0.CNFR1 4008 F012h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BR[7:0]	ビットレート	ビットレート設定	R/W (注1)
b9-b8	CKS[1:0]	クロック選択	00 : PCLKクロック (x = 0) 01 : PCLK/4クロック (x = 1) 10 : PCLK/16クロック (x = 2) 11 : PCLK/64クロック (x = 3)	R/W (注1)
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b12	CHL[2:0]	キャラクタ長	000 : 8ビット 001 : 16ビット 010 : 24ビット 011 : 32ビット 100 : 20ビット 101 : 17ビット 11x : 設定禁止	R/W (注1)
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.STR1.BBF ビットが0のときのみ行ってください。

BR[7:0] ビット (ビットレート)

本ビットは読み出し可能ですが、書き込みは DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットが 00b のときにのみ行ってください。

下記の式は、BR[7:0] ビットとビットレート B の関係を示し、ここで BR[7:0] ビットの設定値は N とします。

$$N = \frac{PCLK \times 10^6}{512 \times 2^{2x-1} \times B} - 1$$

$$\text{誤差 (\%)} = \left\{ \frac{PCLK \times 10^6}{B \times 512 \times 2^{2x-1} \times (N + 1)} - 1 \right\} \times 100$$

B : ビットレート (bps)

N : ポーレートジェネレータの設定値 : $0 \leq N \leq 255$

x : CKS[1:0] の選択値

x と N については、1200bps を目標とした場合の周波数に応じて指定してください。表 28.3 に設定例を示します。

表 28.3 ポーレートの設定例

bps	PCLKの動作周波数 (MHz)								
	8			16			32		
	x	N	誤差 (%)	x	N	誤差 (%)	x	N	誤差 (%)
1200	0	25	0.16	1	12	0.16	1	25	0.16

CKS[1:0] ビット (クロック選択)

DALI 動作クロックの PCLK 分周比を 1/1、1/4、1/16、1/64 から選択します。

CHL[2:0] ビット (キャラクタ長)

送信データ長を 8 ビット、16 ビット、17 ビット、20 ビット、24 ビット、32 ビットから設定します。

28.2.2 DALI コンフィグレーションレジスタ 2 (CNFR2)

アドレス DALI0.CNFR2 4008 F014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	CDM0	CDE	TXWE	SGA	BTVM	BTVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BTVE	ビットタイミング違反許可 (注1)	0: ビットタイミング違反機能を禁止 1: ビットタイミング違反機能を許可	R/W (注2)
b1	BTVM	ビットタイミング違反モード	0: ハーフビットと2ハーフビット間のグレー領域にあるエッジはビットタイミング違反として検出されない 1: ハーフビットと2ハーフビット間のグレー領域にあるエッジはビットタイミング違反として検出される	R/W (注2)
b2	SGA	グレー領域のエッジ保存モード	0: DRX0 入力信号のエッジ許容領域がデフォルト 1: DRX0 入力信号のエッジ許容領域を拡張	R/W (注2)
b3	TXWE	DTX 幅変調許可	0: DTX0 波形幅を変調しない 1: DTX0 波形幅を変調する	R/W (注2)
b4	CDE	衝突検出許可 (注1)	0: 衝突検出を禁止 1: 衝突検出を許可	R/W (注2)
b5	CDM0	衝突検出モード	0: 破壊領域 1: 破壊領域および回避領域 (エッジ)	R/W (注2)
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットタイミング違反および衝突は、DALI 第 2.0 版で新たに定義された違反です。DALI 第 1.0 版準拠仕様でこれらの違反を検出する必要がない場合は、BTVE ビットと CDE ビットを 0 にしてください。

注2. ビットの書き換えは、DALI0.STR1.BBF ビットが 0 のときのみ行ってください。

BTVE ビット (ビットタイミング違反許可)

ビットタイミング違反検出機能を許可または禁止します。本ビットは、DALI0.CTR1.RE ビットが 1 のとき有効です。

BTVM ビット (ビットタイミング違反モード)

ビットタイミング違反機能が有効のとき、違反領域を設定します。本ビットで設定される違反領域は、[図 28.11](#) に示すポイント G (ハーフビット) とポイント H (2 ハーフビット) 間の領域です。本ビットは、BTVE ビットが 1 のとき有効で、本ビットの変更は BTVE ビットが 0 のときに行う必要があります。

SGA ビット (グレー領域のエッジ保存モード)

DRX0 入力信号のエッジ許容領域を拡張します。詳細は、[28.3.5 章](#)を参照してください。

TXWE ビット (DTX 幅変調許可)

DTX0 幅変調機能を許可または禁止します。詳細は、[28.3.6 章](#)を参照してください。

CDE ビット (衝突検出許可)

衝突検出機能を許可または禁止します。Backward フレーム送信 (注1) を行うには、本ビットを 0 にしてください。

注1. DALI0.TRSTR1 レジスタへの書き込み直後の Backward フレーム送信中に CDE ビットが 1 の場合、Backward フレーム衝突が検出される場合があります。Backward フレーム送信完了後に、CDE ビットを 1 にしてください。

CDM0 ビット (衝突検出モード)

衝突検出条件を設定します。衝突の詳細については、[28.3.4 章](#)を参照してください。

28.2.3 DALI コントロールレジスタ 1 (CTR1)

アドレス DALI0.CTR1 4008 F026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FEIE	BPIE	CLIE	DEIE	SDIE	—	—	—	—	—	—	RE	TE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可	0 : 送信動作を禁止 (注2) 1 : 送信動作を許可 (注1)	R/W
b1	RE	受信許可	0 : 受信データ格納を禁止 1 : 受信データ格納を許可 (注1)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SDIE	DALI_SDIE出力許可	0 : DALI_SDIE出力を禁止 1 : DALI_SDIE出力を許可	R/W
b9	DEIE	DALI_DEI出力許可	0 : DALI_DEI出力を禁止 1 : DALI_DEI出力を許可	R/W
b10	CLIE	DALI_CLI出力許可	0 : DALI_CLI出力を禁止 1 : DALI_CLI出力を許可	R/W
b11	BPIE	DALI_BPI出力許可	0 : DALI_BPI出力を禁止 1 : DALI_BPI出力を許可	R/W
b12	FEIE	DALI_FEI出力許可	0 : DALI_FEI出力を禁止 1 : DALI_FEI出力を許可	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注1. 他のマスタが通信中に RE ビットが 0 から 1 になると、DALI モジュールはその通信のデータを受信しようとします。このリスクを減らすには、RE ビットを 1 にする前に DALI0.STR1.BBF ビットをチェックし、DALI バスがアイドル (DALI0.STR1.BBF ビットが 0) であることを確認してください。
- 注2. 送信中に TE ビットが 1 から 0 になった場合、DALI モジュールはただちに送信を停止します。

TE ビット (送信許可)

送信動作を許可または禁止します。

RE ビット (受信許可)

受信動作を許可または禁止します。

SDIE ビット (DALI_SDIE 出力許可)

ストップビット検出割り込み (DALI_SDIE) を許可または禁止します。本ビットは、TE ビットおよび RE ビットがともに 0 の場合は無効です。

DEIE ビット (DALI_DEI 出力許可)

DALI エラー割り込み (DALI_DEI) を許可または禁止します。

CLIE ビット (DALI_CLI 出力許可)

衝突検出割り込み (DALI_CLI) を許可または禁止します。本ビットは、DALI0.CNFR2.CDE ビットが 1 の場合にのみ有効です。

BPIE ビット (DALI_BPI 出力許可)

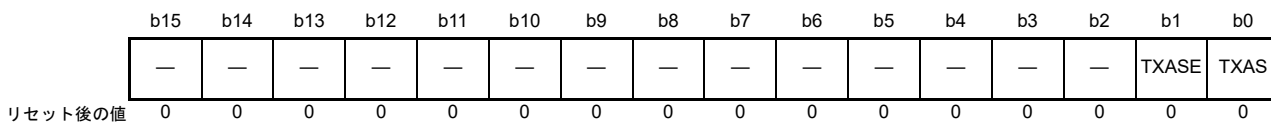
バスパワーダウン検出割り込み (DALI_BPI) を許可または禁止します。

FEIE ビット (DALI_FEI 出力許可)

立ち下がりエッジ検出割り込み (DALI_FEI) を許可または禁止します。

28.2.4 DALI DTX コントロールレジスタ 1 (TXDCTR1)

アドレス DALI0.TXDCTR1 4008 F028h



ビット	シンボル	ビット名	機能	R/W
b0	TXAS	DTXアサートレベル	0 : DTX0端子をLowにする 1 : DTX0端子をHighにする	R/W (注1)
b1	TXASE	DTXアサート許可	0 : 内部送信データをDTX0端子に出力 1 : TXASビットで指定したレベルをDTX0端子に出力	R/W (注1)
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.CTR1.TE ビットが0のときにのみ行ってください。

TXAS ビット (DTX アサートレベル)

DTX0 端子レベルとして Low または High を選択します。本ビットは、TXASE ビットが 1 の場合に有効です。

TXASE ビット (DTX アサート許可)

TXAS 端子が指定するレベルを DTX0 端子レベルとして使用するかどうかを選択します。図 28.2 に動作の詳細を示します。

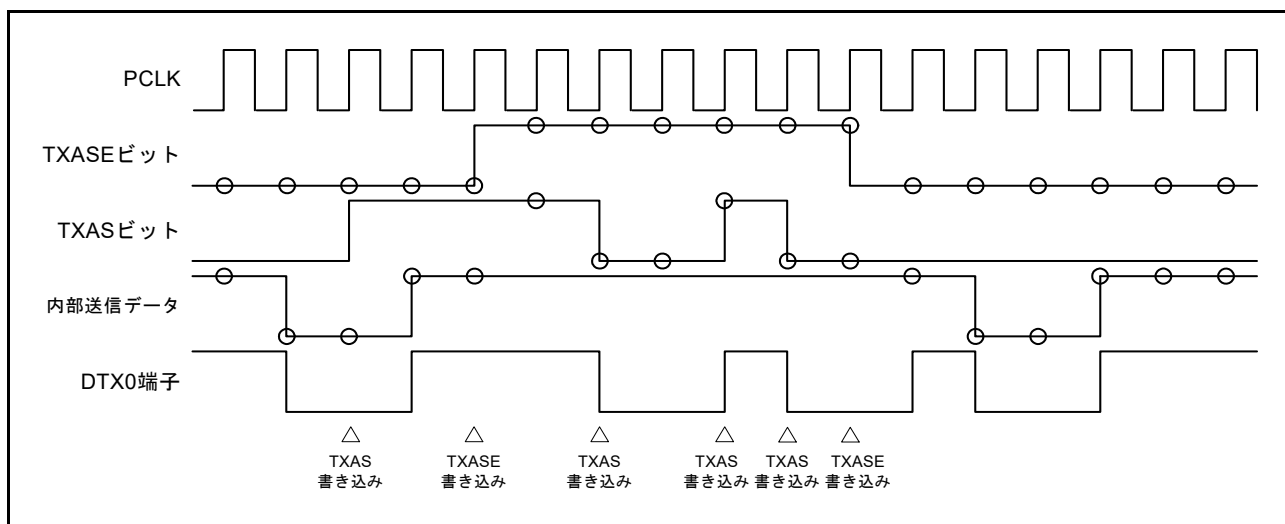
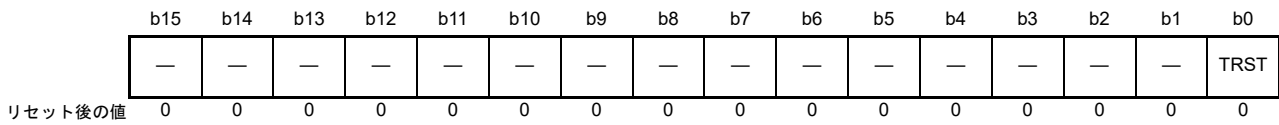


図 28.2 DTX0 端子レベル制御

28.2.5 DALI 送信コントロールレジスタ 1 (TRSTR1)

アドレス DALI0.TRSTR1 4008 F022h



ビット	シンボル	ビット名	機能	R/W
b0	TRST	送信開始トリガ	本ビットに1を書き込むと送信が開始されます。	W
b15-b1	—	予約ビット	書く場合、0としてください。	W

TRST ビット (送信開始トリガ)

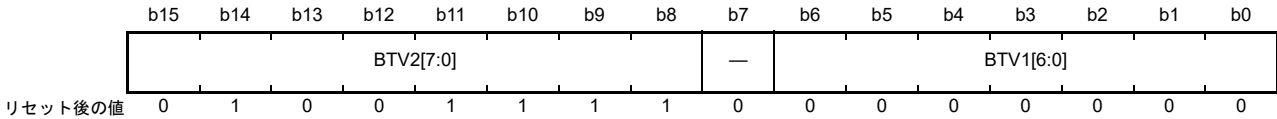
本ビットに1を書き込むと送信が開始されます。送信中は、TRST ビットを次の送信用に設定できません (注1)。本ビットは、DALI0.CTR1.TE ビットが1の場合にのみ有効です。1回の送信のデータ長は、DALI0.CNFR1.CHL[2:0] ビットで指定します。本ビットに1を書き込むと、データはMSBファーストで送信されます。

- 注1. DALI モジュールには、送信状態を示すステータスフラグがありません。したがって、まず DALI0.STR1.BBF ビットが0であることを確認してから TRST ビットを1にしてください。その後、DALI0.STR1.BBF ビットは1になり、フレーム送信が開始されたことを示します。送信が完了すると、DALI_SDI が生成され DALI0.STR1.BBF ビットは1から0になります。

28.2.6 DALI ビットタイミング違反しきい値レジスタ 1 (BTVTHR1)

本レジスタはビットタイミング違反 (BTV) を検出します。詳細は、28.3.3.4 章を参照してください。

アドレス DALI0.BTVTHR1 4008 F000h



ビット	シンボル	ビット名	機能	R/W
b6-b0	BTV1[6:0]	ビットタイミング違反しきい値1	ビットタイミング違反しきい値1を指定	R/W (注1)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	BTV2[7:0]	ビットタイミング違反しきい値2	ビットタイミング違反しきい値2を指定	R/W (注1)

- 注 1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに 0 のときに行ってください。
 注 2. BTV 領域は、DALI0.BTVTHR_x (x = 1 ~ 4) レジスタのビットタイミング違反しきい値ビット BTV_y (y = 1 ~ 6) で指定します。下記に各 BTV_y ビットによる BTV 領域の定義を示します。

ビット期間境界にあるエッジ (境界エッジ) からの BTV 領域定義 :

- 境界エッジ < ビットタイミング違反領域 < BTV1[6:0]
- BTV1[6:0] ≤ ハーフビット領域 ≤ BTV2[7:0]
- BTV2[7:0] < ビットタイミング違反領域 < BTV6[8:0]
- BTV6[8:0] ≤ 「ストップコンディション」または「バスパワーダウン」

ビット期間中にあるエッジ (中間エッジ) からの BTV 領域定義 :

- DALI0.CNFR2.BTVM = X : 中間エッジ < ビットタイミング違反 < BTV1[6:0]
- DALI0.CNFR2.BTVM = 0 : BTV1[6:0] ≤ ハーフビット領域 / 2 ハーフビット領域 ≤ BTV5[8:0]
- DALI0.CNFR2.BTVM = 1 : BTV1[6:0] ≤ ハーフビット領域 ≤ BTV3[7:0]
- DALI0.CNFR2.BTVM = 1 : BTV3[7:0] < ビットタイミング違反 < BTV4[7:0]
- DALI0.CNFR2.BTVM = 1 : BTV4[7:0] ≤ 2 ハーフビット領域 ≤ BTV5[8:0]
- DALI0.CNFR2.BTVM = X : BTV5[8:0] < ビットタイミング違反 < BTV6[8:0]
- DALI0.CNFR2.BTVM = X : BTV6[8:0] ≤ 「ストップコンディション」または「バスパワーダウン」

BTV1[6:0] ビット (ビットタイミング違反しきい値 1)

ビットタイミング違反 (BTV) しきい値 1 を指定します。

$$\text{BTV しきい値 1} = \text{BTV1[6:0]} \times 6.5[\mu\text{s}]$$

(1) 例

BTV1[6:0] ビットに設定されている値が 33h の場合、BTV しきい値 1 = 331.5[μs] となります。

BTV1[6:0] ビットに設定が可能な値は、0 ~ 825.5μs です (28.3.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。BTV しきい値の初期値では、グレー領域は存在しません。

BT2[7:0] ビット (ビットタイミング違反しきい値 2)

ビットタイミング違反 (BTV) しきい値 2 を指定します。

$$\text{BTV しきい値 2} = (\text{BT2}[7:0] + 1) \times 6.5[\mu\text{s}]$$

(1) 例

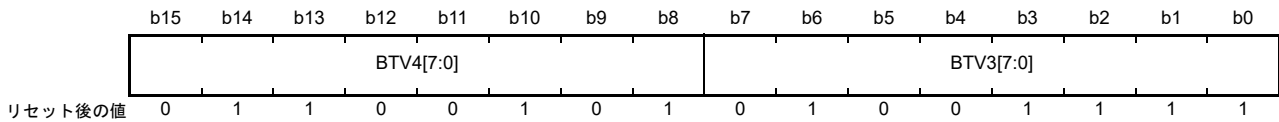
BT2[7:0] ビットに設定されている値が 4Dh の場合、BTV しきい値 2 = 507[μs] となります。

BT2[7:0] ビットに設定が可能な値は、6.5 ~ 1664μs です (28.3.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。BTV しきい値の初期値では、グレー領域は存在しません。

28.2.7 DALI ビットタイミング違反しきい値レジスタ 2 (BTVTHR2)

本レジスタはビットタイミング違反 (BTV) を検出します。詳細は、28.3.3.4 章を参照してください。

アドレス DALI0.BTVTHR2 4008 F002h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BTV3[7:0]	ビットタイミング違反しきい値3	ビットタイミング違反しきい値3を指定	R/W (注1)
b15-b8	BTV4[7:0]	ビットタイミング違反しきい値4	ビットタイミング違反しきい値4を指定	R/W (注1)

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときのみ行ってください。

BTV3[7:0] ビット (ビットタイミング違反しきい値3)

ビットタイミング違反 (BTV) しきい値3を指定します。

$$\text{BTV しきい値 3} = (\text{BTV3}[7:0] + 1) \times 6.5[\mu\text{s}]$$

(1) 例

BTV3[7:0] ビットに設定されている値が 4Dh の場合、BTV しきい値 3 = 507[μs] となります。

BTV3[7:0] ビットに設定が可能な値は、6.5 ~ 1664μs です (28.3.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

BTV4[7:0] ビット (ビットタイミング違反しきい値4)

ビットタイミング違反 (BTV) しきい値4を指定します。

$$\text{BTV しきい値 4} = \text{BTV4}[7:0] \times 6.5[\mu\text{s}]$$

(1) 例

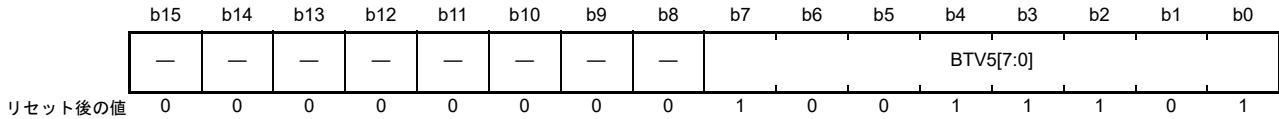
BTV4[7:0] ビットに設定されている値が 66h の場合、BTV しきい値 4 = 663[μs] となります。

BTV4[7:0] ビットに設定が可能な値は、0 ~ 1657.5μs です (28.3.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.8 DALI ビットタイミング違反しきい値レジスタ 3 (BTVTHR3)

本レジスタはビットタイミング違反 (BTV) を検出します。詳細は、[28.3.3.4 章](#)を参照してください。

アドレス [DALI0.BTVTHR3 4008 F004h](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	BTV5[7:0]	ビットタイミング違反しきい値5	ビットタイミング違反しきい値5を指定	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときのみ行ってください。

[BTV5\[7:0\]](#) ビット (ビットタイミング違反しきい値5)

ビットタイミング違反 (BTV) しきい値5を指定します。

$$\text{BTV しきい値 5} = (\text{BTV5[7:0]} + 1) \times 6.5[\mu\text{s}]$$

(1) 例

[BTV5\[7:0\]](#) ビットに設定されている値が 9Ah の場合、BTV しきい値 5 = 1007.5[μs] となります。

[BTV5\[7:0\]](#) ビットに設定が可能な値は、6.5 ~ 1664μs です ([28.3.3.4 章](#)参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。BTV しきい値の初期値では、グレー領域は存在しません。

28.2.9 DALI ビットタイミング違反しきい値レジスタ 4 (BTVTHR4)

本レジスタは、ビットタイミング違反 (BTV) の検出およびストップコンディションの定義を行います。BTV 検出動作が許可されているかどうかに関係なく必ず本レジスタを DALI 通信用に設定してください。詳細は、[28.3.2 章](#)および[28.3.3.4 章](#)を参照してください。

アドレス DALI0.BTVTHR4 4008 F006h



ビット	シンボル	ビット名	機能	R/W
b8-b0	BTV6[8:0]	ビットタイミング違反しきい値6	ビットタイミング違反しきい値6を指定	R/W (注1)
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときのみ行ってください。

BTV6[8:0] ビット (ビットタイミング違反しきい値6)

ビットタイミング違反 (BTV) しきい値6を指定します。

$$\text{BTV しきい値6} = \text{BTV6[8:0]} \times 6.5[\mu\text{s}]$$

BTV しきい値6は、ストップコンディション定義にも使用されます(注3)。

(1) 例

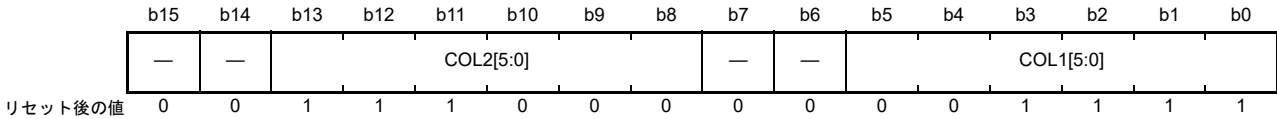
BTV6[8:0] ビットに設定されている値が 0D8h の場合、BTV しきい値6 = 1404[μs] となります。

BTV6[8:0] ビットに設定が可能な値は、1248 ~ 3321.5μs です (0μs 以上 1248μs 未満の値)。1.5 ビット幅以下の値は禁止されています。[28.3.3.4 章](#)を参照してください。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。BTV しきい値の初期値では、グレー領域は存在しません。

28.2.10 DALI 衝突しきい値レジスタ 1 (COLTHR1)

本レジスタは衝突 (COL) を検出します。詳細は、[28.3.4 章](#)を参照してください。

アドレス DALI0.COLTHR1 4008 F008h



ビット	シンボル	ビット名	機能	R/W
b5-b0	COL1[5:0]	衝突しきい値 1	衝突しきい値 1 を指定	R/W (注1)
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b13-b8	COL2[5:0]	衝突しきい値 2	衝突しきい値 2 を指定	R/W (注1)
b15-b14	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注 1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに 0 のときのみ行ってください。
 注 2. COL 領域は、DALI0.COLTHR_x (x = 1 ~ 5) レジスタの衝突しきい値ビット COL_y (y = 1 ~ 9) で指定します。下記に各 COL_y ビットによる COL 領域の定義を示します。

ビット期間境界にあるエッジ (境界エッジ) からの COL 領域定義 :

- 境界エッジ < グレー領域 < COL1[5:0]
- COL1[5:0] ≤ 破壊領域 ≤ COL2[5:0]
- COL2[5:0] < グレー領域 < COL3[6:0]
- COL3[6:0] ≤ 有効ハーフビット ≤ COL4[6:0]
- COL4[6:0] < グレー領域 < COL5[6:0]
- COL5[6:0] ≤ 破壊領域

ビット期間中にあるエッジ (中間エッジ) からの COL 領域定義 :

- 中間エッジ < グレー領域 < COL1[5:0]
- COL1[5:0] ≤ 破壊領域 ≤ COL2[5:0]
- COL2[5:0] < グレー領域 < COL3[6:0]
- COL3[6:0] ≤ 有効ハーフビット ≤ COL4[6:0]
- COL4[6:0] < グレー領域 < COL5[6:0]
- COL5[6:0] ≤ 破壊領域 ≤ COL6[6:0]
- COL6[6:0] < グレー領域 < COL7[7:0]
- COL7[7:0] ≤ 有効 2 ハーフビット ≤ COL8[7:0]
- COL8[7:0] < グレー領域 < COL9[7:0]
- COL9[7:0] ≤ グレー領域

COL1[5:0] ビット (衝突しきい値 1)

衝突 (COL) しきい値 1 を指定します。

$$\text{COL しきい値 1} = \text{COL1[5:0]} \times 6.5[\mu\text{s}]$$

(1) 例

COL1[5:0] ビットに設定されている値が 0Fh の場合、COL しきい値 1 = 97.5[μs] となります。

COL1[5:0] ビットに設定が可能な値は、0 ~ 409.5μs です ([28.3.4 章](#)参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

COL2[5:0] ビット (衝突しきい値 2)

衝突 (COL) しきい値 2 を指定します。

$$\text{COL しきい値 2} = (\text{COL2[5:0]} + 1) \times 6.5[\mu\text{s}]$$

(1) 例

COL2[5:0] ビットに設定されている値が 37h の場合、COL しきい値 2 = 364[μs] となります。

COL2[5:0] ビットに設定が可能な値は、6.5 ~ 416 μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.11 DALI 衝突しきい値レジスタ 2 (COLTHR2)

本レジスタは衝突 (COL) を検出します。詳細は、28.3.4 章を参照してください。

アドレス DALI0.COLTHR2 4008 F00Ah



ビット	シンボル	ビット名	機能	R/W
b6-b0	COL3[6:0]	衝突しきい値3	衝突しきい値3を指定	R/W (注1)
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b8	COL4[6:0]	衝突しきい値4	衝突しきい値4を指定	R/W (注1)
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときのみ行ってください。

COL3[6:0] ビット (衝突しきい値 3)

衝突 (COL) しきい値 3 を指定します。

$$\text{COL しきい値 3} = \text{COL3}[6:0] \times 6.5[\mu\text{s}]$$

(1) 例

COL3[6:0] ビットに設定されている値が 3Dh の場合、COL しきい値 3 = 396.5[μs] となります。

COL3[6:0] ビットに設定が可能な値は、0 ~ 825.5μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

COL4[6:0] ビット (衝突しきい値 4)

衝突 (COL) しきい値 4 を指定します。

$$\text{COL しきい値 4} = (\text{COL4}[6:0] + 1) \times 6.5[\mu\text{s}]$$

(1) 例

COL4[6:0] ビットに設定されている値が 43h の場合、COL しきい値 4 = 442[μs] となります。

COL4[6:0] ビットに設定が可能な値は、6.5 ~ 832μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.12 DALI 衝突しきい値レジスタ 3 (COLTHR3)

本レジスタは衝突 (COL) を検出します。詳細は、28.3.4 章を参照してください。

アドレス DALI0.COLTHR3 4008 F00Ch



ビット	シンボル	ビット名	機能	R/W
b6-b0	COL5[6:0]	衝突しきい値 5	衝突しきい値 5 を指定	R/W (注1)
b7	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b14-b8	COL6[6:0]	衝突しきい値 6	衝突しきい値 6 を指定	R/W (注1)
b15	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに 0 のときのみ行ってください。

COL5[6:0] ビット (衝突しきい値 5)

衝突 (COL) しきい値 5 を指定します。

$$\text{COL しきい値 5} = \text{COL5[6:0]} \times 6.5[\mu\text{s}]$$

(1) 例

COL5[6:0] ビットに設定されている値が 49h の場合、COL しきい値 5 = 474.5[μs] となります。

COL5[6:0] ビットに設定が可能な値は、0 ~ 825.5μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

COL6[6:0] ビット (衝突しきい値 6)

衝突 (COL) しきい値 6 を指定します。

$$\text{COL しきい値 6} = (\text{COL6[6:0]} + 1) \times 6.5[\mu\text{s}]$$

(1) 例

COL6[6:0] ビットに設定されている値が 70h の場合、COL しきい値 6 = 734.5[μs] となります。

COL6[6:0] ビットに設定が可能な値は、6.5 ~ 832μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.13 DALI 衝突しきい値レジスタ 4 (COLTHR4)

本レジスタは衝突 (COL) を検出します。詳細は、28.3.4 章を参照してください。

アドレス DALI0.COLTHR4 4008 F00Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	COL7[7:0]	衝突しきい値7	衝突しきい値7を指定	R/W (注1)
b15-b8	COL8[7:0]	衝突しきい値8	衝突しきい値8を指定	R/W (注1)

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときに行ってください。

COL7[7:0] ビット (衝突しきい値7)

衝突 (COL) しきい値7を指定します。

$$\text{COL しきい値7} = \text{COL7[7:0]} \times 6.5[\mu\text{s}]$$

(1) 例

COL7[7:0] ビットに設定されている値が 7Dh の場合、COL しきい値7 = 812.5[μs] となります。

COL7[7:0] ビットに設定が可能な値は、0 ~ 1657.5μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

COL8[7:0] ビット (衝突しきい値8)

衝突 (COL) しきい値8を指定します。

$$\text{COL しきい値8} = (\text{COL8[7:0]} + 1) \times 6.5[\mu\text{s}]$$

(1) 例

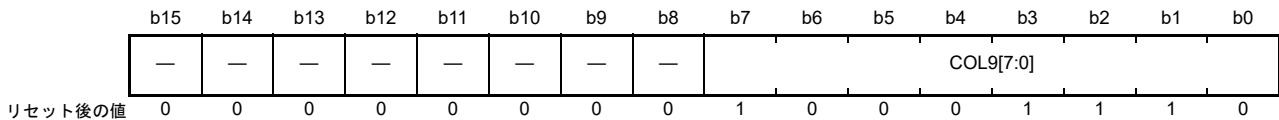
COL8[7:0] ビットに設定されている値が 86h の場合、COL しきい値8 = 877.5[μs] となります。

COL8[7:0] ビットに設定が可能な値は、6.5 ~ 1664μs です (28.3.4 章参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.14 DALI 衝突しきい値レジスタ 5 (COLTHR5)

本レジスタは衝突 (COL) を検出します。衝突の詳細については、[28.3.4 章](#)を参照してください。

アドレス DALI0.COLTHR5 4008 F010h



ビット	シンボル	ビット名	機能	R/W
b7-b0	COL9[7:0]	衝突しきい値9	衝突しきい値9を指定	R/W (注1)
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットの書き換えは、DALI0.CTR1.RE ビットおよび DALI0.CTR1.TE ビットがともに0のときのみ行ってください。

COL9[7:0] ビット (衝突しきい値 9)

衝突 (COL) しきい値 9 を指定します。

$$\text{COL しきい値 9} = \text{COL9[7:0]} \times 6.5[\mu\text{s}]$$

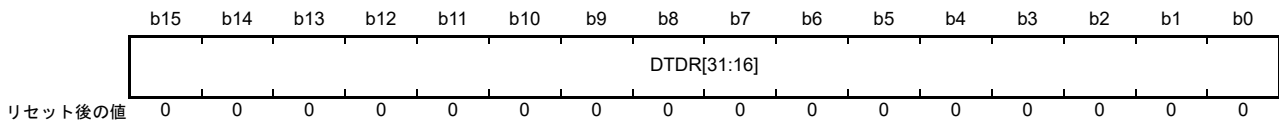
(1) 例

COL9[7:0] ビットに設定されている値が 91h の場合、COL しきい値 9 = 942.5[μs] となります。

COL9[7:0] ビットに設定が可能な値は、0 ~ 1657.5μs です ([28.3.4 章](#)参照)。設定値は、クロックエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

28.2.15 DALI 送信データレジスタ 1 (TDR1H, TDR1L)

アドレス [DALI0.TDR1H 4008 F01Eh](#)



アドレス [DALI0.TDR1L 4008 F020h](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0 (TDR1Hレジスタ)	DTDR[31:16]	送信データ [31:16]	DALI送信データの上位16ビット	R/W
b15-b0 (TDR1Lレジスタ)	DTDR[15:0]	送信データ [15:0]	DALI送信データの下部16ビット	R/W

DALI が送信する最大データ長は 32 ビット (DTDR[31:0]) です。TDR1H レジスタは送信データの上位 16 ビット (DTDR[31:16]) を、TDR1L レジスタは送信データの下部 16 ビット (DTDR[15:0]) を格納します。

送信開始、すなわち、DALI0.TRSTR1.TRST ビットに 1 が書き込まれると DALI0.CNFR1.CHL[2:0] ビットで指定された長さのデータが MSB ファーストで送信されます。未指定のビットに書き込まれた値は無視されます。

これらのレジスタは、送信トリガ入力後、DALI_SD1 出力 (送信終了) または DALI_CLI 出力により送信が停止されるまで書き換えしないでください。

(1) 例

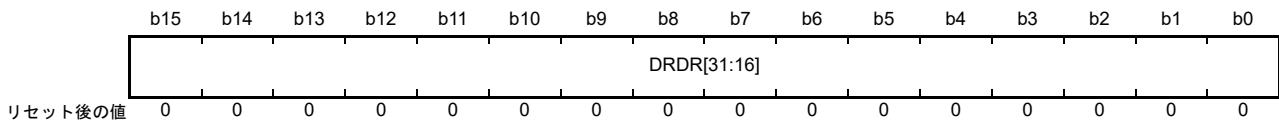
DALI0.CNFR1.CHL[2:0] ビットが 000b の場合、DTDR[7:0] が送信されます。

(2) 例

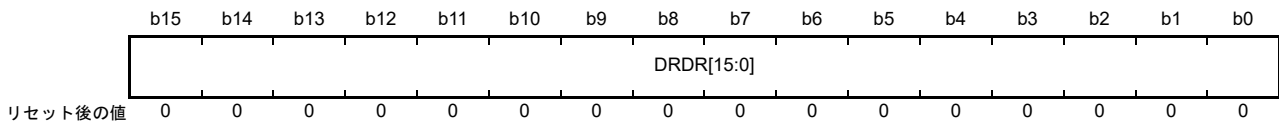
DALI0.CNFR1.CHL[2:0] ビットが 010b の場合、DTDR[23:16] が送信され、その後 DTDR[15:0] が送信されます。

28.2.16 DALI 受信データレジスタ 1 (RDR1H, RDR1L)

アドレス DALI0.RDR1H 4008 F02Eh



アドレス DALI0.RDR1L 4008 F030h



ビット	シンボル	ビット名	機能	R/W
b15-b0 (RDR1H レジスタ)	DRDR[31:16]	受信データ [31:16]	DALI 受信データの上位 16 ビット	R
b15-b0 (RDR1L レジスタ)	DRDR[15:0]	受信データ [15:0]	DALI 受信データの下部 16 ビット	R

ストップコンディションが検出され DALI0.CTR1.RE ビットが 1 になると、受信データフレームが右詰めでこれらのレジスタに格納されます。レジスタは、受信データの論理値として 3/4 ビットタイミングでのサンプリング値を格納します。

(1) 例

24 ビットデータ受信時、データは DALI0.RDR1H.DRDR[23:16] ビットおよび DALI0.RDR1L.DRDR[15:0] ビットに格納されます。

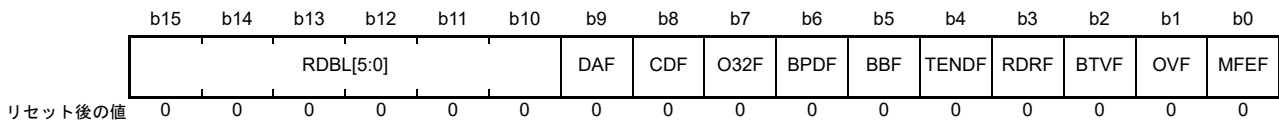
(2) 例

8 ビットデータ受信時、データは DALI0.RDR1L.DRDR[7:0] ビットに格納されます。

受信データが内部シフトレジスタから格納された場合は、以前の値はクリアされます。内部シフトレジスタに受信されなかったビットを読むと 0 が読み出されます。DALI0.STR1.RDBL[5:0] ビットにある受信データ長を確認することにより有効ビットを決定してください。

28.2.17 DALI ステータスレジスタ 1 (STR1)

アドレス DALI0.STR1 4008 F032h



ビット	シンボル	ビット名	機能	R/W
b0	MFEF	マンチェスタフレーミングエラーフラグ	0: MFEは発生していない、またはDALI0.FECCR1.MFEFCビットに1が書き込まれた (注1) 1: MFEが発生した	R
b1	OVF	オーバーランエラーフラグ	0: オーバーランエラーは発生していない、またはDALI0.FECCR1.OVFCビットに1が書き込まれた (注1) 1: オーバーランエラーが発生した	R
b2	BTVF	ビットタイミング違反フラグ	0: ビットタイミング違反は発生していない、またはDALI0.FECCR1.BTVFCビットに1が書き込まれた (注1) 1: ビットタイミング違反が発生した	R
b3	RDRF	受信データレジスタフルフラグ	0: DALI0.RDR1Lレジスタが読み出された (注2)、またはDALI0.FECCR1.RDRFCに1が書き込まれた (注1) 1: 受信データがDALI0.RDR1LレジスタまたはDALI0.RDR1Hレジスタに格納される	R
b4	TENDF	送信終了フラグ	0: DALI0.FECCR1.TENDFCビットに値1が書き込まれた 1: フレーム送信完了	R
b5	BBF	バスビジーフラグ	0: DALIバスはIDLE 1: DALIバスはBUSY	R
b6	BPDF	バスパワーダウンフラグ	0: 下記の条件のいずれかが成立時、本ビットは0になる - DALIバスパワーダウンが未検出 - DALI0.FECCR1.BPDFCビットに1の書き込み (注1) - DRX0信号の立ち上がり 1: BTV6[8:0]の期間中DRX0は0で、これはバスパワーダウン検出を意味する	R
b7	O32F	32ビット以上のデータ受信フラグ	0: 受信データは32ビット以下、またはDALI0.FECCR1.O32FCビットに1が書き込まれた (注1) 1: 受信データが33ビット以上データビット[33]が確認されると本ビットは1になる	R
b8	CDF	衝突検出フラグ	0: 衝突は発生していない、またはDALI0.FECCR1.CDFCビットに1が書き込まれた (注1) 1: 衝突が発生した	R
b9	DAF	破壊領域フラグ	0: 破壊領域で衝突は発生していない、またはDALI0.FECCR1.DAFCビットに1が書き込まれた 1: 破壊領域で衝突が発生した	R
b15-b10	RDBL[5:0]	受信データビット長	正常受信されるデータのビット長を格納 (注1)	R

注 1. フラグが1になる条件と0になる条件が競合した場合、1になる条件が優先されます。
 注 2. DALI0.RDR1Lレジスタが読み出されたとき、DALIは受信データの読み出し動作が完了したと判断します。受信データ長が17～32ビットの場合、上位16ビット (DALI0.RDR1Hレジスタ) を最初に読み出してください。下位ビット (DALI0.RDR1Lレジスタ) を最初に読み出すと、DALI0.RDR1Hレジスタを読み出さなくてもRDRFビットは0になります。

MFEF ビット (マンチェスタフレーミングエラーフラグ)

マンチェスタフレーミングエラー (MFE) が検出されたことを示します。

OVF ビット (オーバーランエラーフラグ)

オーバーランエラーが検出されたことを示します。

BTVF ビット (ビットタイミング違反フラグ)

ビットタイミング違反が受信データで検出されたことを示します。

RDRF ビット (受信データレジスタフルフラグ)

DALI0.RDR1L レジスタまたは DALI0.RDR1H レジスタに未読の受信データがあることを示します。

TENDF ビット (送信終了フラグ)

DALI がフレーム送信を完了したことを示します。

BBF ビット (バスビジーフラグ)

DALI バスの使用状態を示します。衝突発生時、ビット値は無効です。

本ビットは、DALI0.CTR1.TE ビットおよび DALI0.CTR1.RE ビットが 0 の場合、無効です。

[0 になる条件] (BBF ビット = 0)

- ストップコンディションを検出したとき (DALI バス = IDLE)
- DALI0.FECR1.BBFC ビットに 1 を書き込んだとき。フラグが 1 になる条件と 0 になる条件が競合した場合、1 になる条件が優先される
- DALI バスの立ち下がりエッジがスタートビットとして誤検出されたとき

[1 になる条件] (BBF ビット = 1)

- 同期後 DRX0 信号で立ち下がりエッジが検出されたとき
- DALI0.CTR1.TE ビットまたは DALI0.CTR1.RE ビットが 0 から 1 になった場合に、同期後の DRX0 信号レベルが Low のとき

BPDF ビット (バスパワーダウンフラグ)

DALI バスパワーダウンが検出されたことを示します。

O32F ビット (32 ビット以上のデータ受信フラグ)

受信データが 32 ビット以上であることを示します。

- 注 1. データビット [33] が認識されると DALInO32F フラグが設定されます。データビット [33] が MFE 発生ビットで、BTV しきい値 6 の期間中 High レベルが検出されると、ストップコンディションが検出され O32F フラグは設定されません。データビット [33] が MFE 発生ビットで、BTV しきい値 6 の期間中 Low レベルが検出されると、立ち下がりエッジ検出により O32F フラグが設定されます。詳細は、[図 28.3](#) を参照してください。
- さらに、DRX0 が BTV しきい値 6 の期間中 Low になっているときに DALI_BPI が発生すると、DALI は受信動作を継続します (すなわち、DALI は論理値 0 を受信し続けます)。したがって、DALI バスが DALI_BPI 出力後に復旧しない場合、O32F フラグが設定されます。

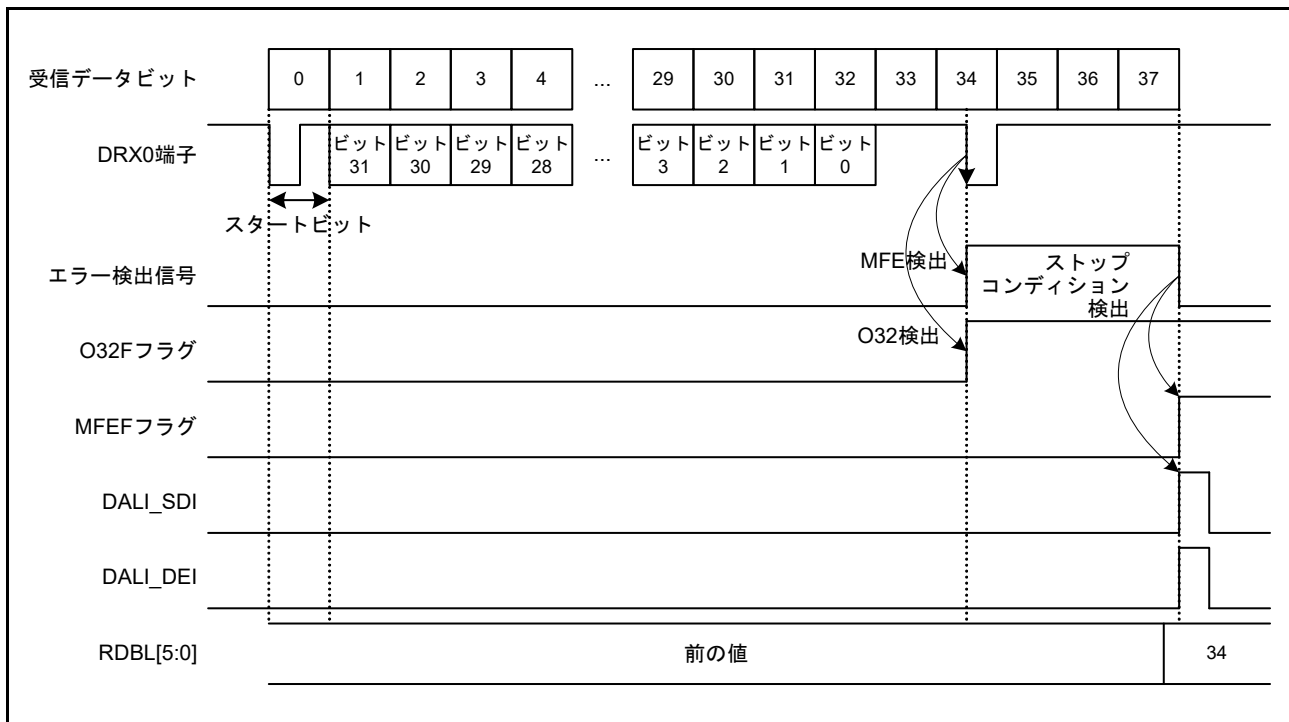


図 28.3 O32F 設定タイミング

CDF ビット (衝突検出フラグ)

衝突が発生したかどうかを示します。

DAF ビット (破壊領域フラグ)

衝突検出時に衝突が破壊領域で発生したかどうかを示します。

RDBL[5:0] ビット (受信データビット長)

正常受信されるデータのビット長を格納します。フラグが 1 になる条件と 0 になる条件が競合した場合、1 になる条件が優先されます。

(1) 例

これらのビットが 001000b の場合、8 ビットデータが受信されます。O32F ビットが 0 のとき、RDBL[5:0] ビットは、開始ビットと終了ビットを除く受信データ長を示します。

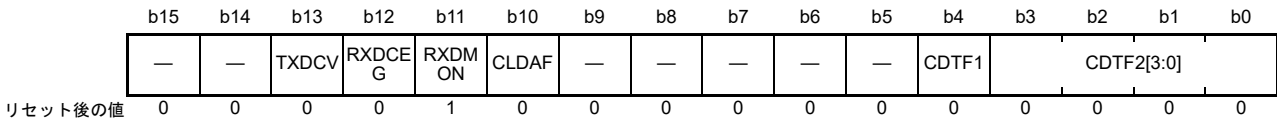
受信動作がエラーまたは衝突発生のために停止された場合、RDBL[5:0] ビットは正常に受信されたビット数を示します。

これらのビットは、ストップコンディション検出時に更新されます。受信完了時、フレームサイズ違反がないかどうかを調べるためにこれらのビットを確認してください。

DALI は、ストップコンディションが検出されるまでデータ受信を継続します。受信データが 32 ビット以上の場合、内部カウンタが最大値になるまでビット数がカウントされます。内部カウンタが最大値になるとカウンタはオーバーフローし、0 からカウントを再開します。したがって、O32F フラグが 1 のとき、これらのビットの値は無効です。

28.2.18 DALI 衝突レジスタ 1 (COLR1)

アドレス DALI0.COLR1 4008 F036h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CDTF2[3:0]	衝突検出タイミングフラグ2	0000 : リセット解除後 0001 : 衝突検出タイミング1 0010 : 衝突検出タイミング2 0011 : 衝突検出タイミング3 0100 : 衝突検出タイミング4 0101 : 衝突検出タイミング5 0110 : 衝突検出タイミング6 0111 : 衝突検出タイミング7 (注1) 1000 : 衝突検出タイミング8 (注1) 1001 : 衝突検出タイミング9 (注1) 1010 : 衝突検出タイミング10 (注1) 1011以上 : 無効	R
b4	CDTF1	衝突検出タイミングフラグ1	0 : ビット期間境界のエッジで衝突検出を開始 (図 28.14) (注2) 1 : ビット期間の中間のエッジで衝突検出を開始 (図 28.15) (注2)	R
b9-b5	—	予約ビット	読むと0が読めます。	R
b10	CLDAF	衝突最終破壊領域フラグ	0 : DRX0エッジ発生により衝突検出される 1 : DRX0エッジ発生により衝突検出されない (最終破壊領域)	R
b11	RXDMON	DRX 監視	本ビットは、DRX0端子同期後にDRX0端子の値を監視します。	R
b12	RXDCEG	DRX 衝突エッジ	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R
b13	TXDCV	DTX 衝突値	0 : Low 1 : High	R
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. CDTF1 フラグが0のとき、本条件は発生しません。
 注 2. 図 28.4 において、ビット期間境界内でのエッジは「*a」、ビット期間の中間でのエッジは「*b」で示されます。

CDTF2[3:0] ビット (衝突検出タイミングフラグ2)

CLDAF ビットが0のとき、衝突検出タイミングを格納します。
 CLDAF ビットが1のとき、本ビットは前の値を保持します。(注1)

これらのビットは図 28.14 に示すタイミング (1 ~ 10) および図 28.15 に示す衝突検出時のタイミングを格納します。

注 1. これらのビットは DALI0.STR1.CDF ビットのクリアによってはクリアされず、リセットまたはソフトウェアリセットによってクリアされます。

CDTF1 ビット (衝突検出タイミングフラグ1)

衝突検出タイミングを格納します。

CLDAF ビット (衝突最終破壊領域フラグ)

衝突検出の要因を格納します。

RXDMON ビット (DRX 監視)

DRX0 端子同期後に DRX0 端子の値を監視します。

本ビットは、DALI0.CTR1.TE ビットおよび DALI0.CTR1.RE ビットには依存しません。同期後の DRX0 端子の値を示します。本ビットは、PCLK 停止中、前の値を保持します。

RXDCEG ビット (DRX 衝突エッジ)

CLDAF ビットが 0 のとき、衝突検出の要因となった DRX0 端子のエッジ (立ち上がりまたは立ち下がり) を格納します。CLDAF ビットが 1 のとき、本ビットは前の値を保持します。(注1)

注1. これらのビットは DALI0.STR1.CDF ビットのクリアではクリアされません。

TXDCV ビット (DTX 衝突値)

CLDAF ビットが 0 のとき、DRX0 エッジの衝突が検出された場合 DTX0 端子の値を格納します。CLDAF ビットが 1 のとき、本ビットは前の値を保持します。(注1)

注1. これらのビットは DALI0.STR1.CDF ビットのクリアではクリアされません。リセットまたはソフトウェアリセットによりクリアされます。

28.2.19 DALI フラグエラークリアレジスタ 1 (FECR1)

アドレス DALI0.FECR1 4008 F03Ah

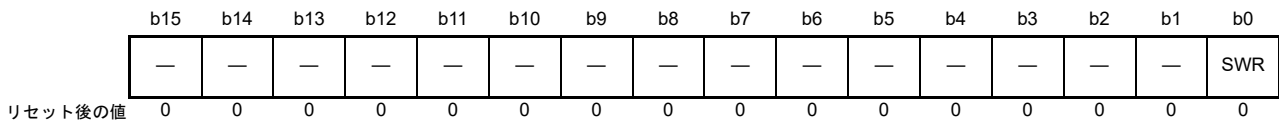
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	DAFC	CDFC	O32FC	BPDFC	BBFC	TENDFC	RDRFC	BTVFC	OVFC	MFEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MFEFC	マンチェスタフレーミングエラーフラグクリア	0 : DALI0.STR1.MFEF ビットはクリアされない 1 : DALI0.STR1.MFEF ビットはクリアされる	W (注1)
b1	OVFC	オーバーランエラーフラグクリア	0 : DALI0.STR1.OVF ビットはクリアされない 1 : DALI0.STR1.OVF ビットはクリアされる	W (注1)
b2	BTVFC	ビットタイミング違反フラグクリア	0 : DALI0.STR1.BTVF ビットはクリアされない 1 : DALI0.STR1.BTVF ビットはクリアされる	W (注1)
b3	RDRFC	受信データレジスタフルフラグクリア	0 : DALI0.STR1.RDRF ビットはクリアされない 1 : DALI0.STR1.RDRF ビットはクリアされる	W (注1)
b4	TENDFC	送信終了フラグクリア	0 : DALI0.STR1.TENDF ビットはクリアされない 1 : DALI0.STR1.TENDF ビットはクリアされる	W (注1)
b5	BBFC	バスビジーフラグクリア	0 : DALI0.STR1.BBF ビットはクリアされない 1 : DALI0.STR1.BBF ビットはクリアされる (注2)	W (注1)
b6	BPDFC	バスパワーダウンフラグクリア	0 : DALI0.STR1.BPDF ビットはクリアされない 1 : DALI0.STR1.BPDF ビットはクリアされる	W (注1)
b7	O32FC	32ビット以上のデータ受信フラグクリア	0 : DALI0.STR1.O32F ビットはクリアされない 1 : DALI0.STR1.O32F ビットはクリアされる	W (注1)
b8	CDFC	衝突検出フラグクリア	0 : DALI0.STR1.CDF ビットはクリアされない 1 : DALI0.STR1.CDF ビットはクリアされる	W (注1)
b9	DAFC	破壊領域フラグクリア	0 : DALI0.STR1.DAF ビットはクリアされない 1 : DALI0.STR1.DAF ビットはクリアされる	W (注1)
b15-b10	—	予約ビット	書く場合、0としてください。	W

- 注 1. 本レジスタの各ビットに 1 を書き込むと対応するフラグがクリアされます。
- 注 2. DALI0.CTR1.TE ビットまたは DALI0.CTR1.RE ビットが 1 のとき DALI0.STR1.BBF ビットをクリアしないでください。

28.2.20 DALI ソフトウェアリセットレジスタ 1(SWRR1)

アドレス DALI0.SWRR1 4008 F03Ch



ビット	シンボル	ビット名	機能	R/W
b0	SWR	ソフトウェアリセット	本ビットに1を書き込むとソフトウェアがリセットされます。	W
b15-b1	—	予約ビット	書く場合、0としてください。	W

SWR ビット (ソフトウェアリセット)

1 を書き込むとソフトウェアがリセットされます。

本ビットに 1 を書き込むと、DALI モジュールが初期化されます。ただし、制御レジスタは初期化されません。ソフトウェアリセットは PCLK の 1 サイクルで完了します。DALI モジュールは、本ビットに 1 を書き込んだ次のサイクルから通信します。

ソフトウェアリセットにより、DALI モジュールの下記のレジスタと出力端子が初期化されます。

レジスタ :

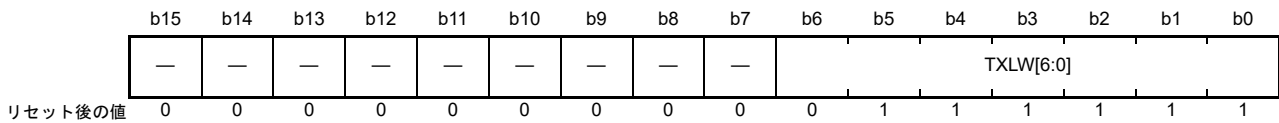
- DALI0.RDR1L、DALI0.RDR1H
- DALI0.STR1
- DALI0.COLR1 (RXDMON ビットおよび CLDAF ビットを除く)

DALI モジュールの出力端子 :

- DTX0
- 割り込み信号 (DALI_SD、DALI_FEI、DALI_BPI、DALI_CLI、DALI_DEI)

28.2.21 DALI DTX 幅レジスタ 1 (TXWR1)

アドレス DALI0.TXWR1 4008 F016h



ビット	シンボル	ビット名	機能	R/W
b6-b0	TXLW[6:0]	DTX Low幅	DTX0端子のLowレベル幅	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TXLW[6:0] ビット (DTX Low幅)

DALI0.CNFR2.TXWE ビットが1のとき有効です。

TXLW[6:0] ビットに設定が可能な値は、20h (214.5μs) ~ 5Eh (617.5μs) です。

DTX0 出力波形の Low レベル幅と High レベル幅は、下記の値に変調されます。詳細は、[28.3.6](#) を参照してください。

DALI0.CNFR2.TXWE ビットが1のとき：

- Low レベル幅： $(TXLW[6:0] + 1) \times 6.5[\mu s]$
- High レベル幅： $832[\mu s] - \{(TXLW[6:0] + 1) \times 6.5[\mu s]\}$

DALI0.CNFR2.TXWE ビットが0のとき：

- Low レベル幅：416μs (リセット値 = 3Fh)
- High レベル幅：416μs (リセット値 = 3Fh)

28.3 DALI 通信機能

28.3.1 データフォーマット

本項では、DALI 通信で使用されるデータフォーマットについて説明します。

DALI 通信では、ビットはマンチェスタコードを使用して定義されます。マンチェスタコードでは、論理 1 と 0 を電圧レベル (High または Low) ではなく、レベルの変化 (立ち上がりまたは立ち下がりエッジ) で表現します。

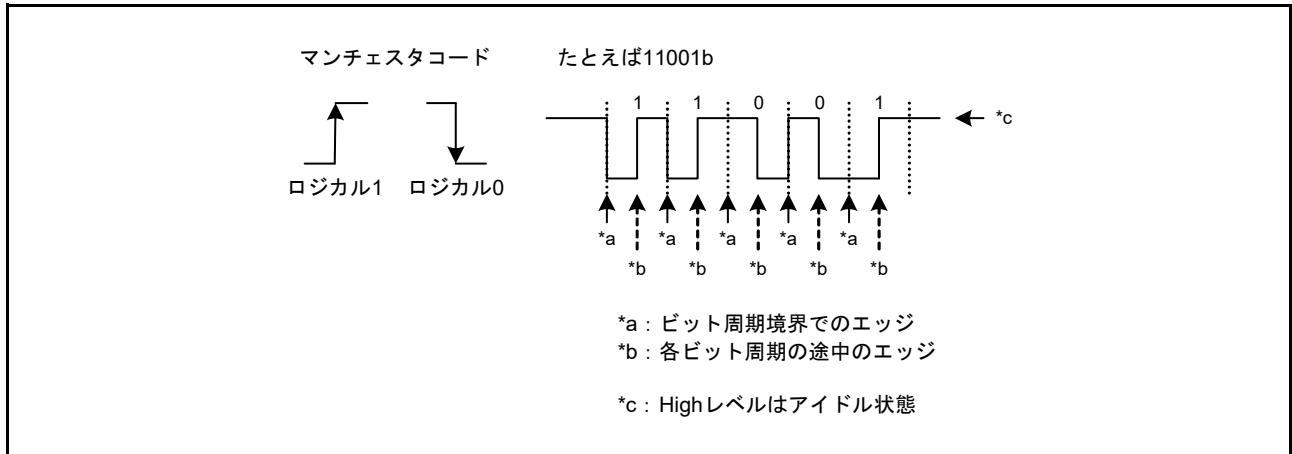


図 28.4 マンチェスタコード

DALI 通信フレームは、個々に Forward フレームおよび Backward フレームと定義されます。Forward フレームは、マスタからスレーブに送信されます。Backward フレームは、スレーブからマスタに送信されます。フレームは、スタートビット、データビットおよびストップコンディションから構成されます。DRX0 端子は受信用で、DTX0 端子は送信用です。通信はデータフレーム単位で行われます。

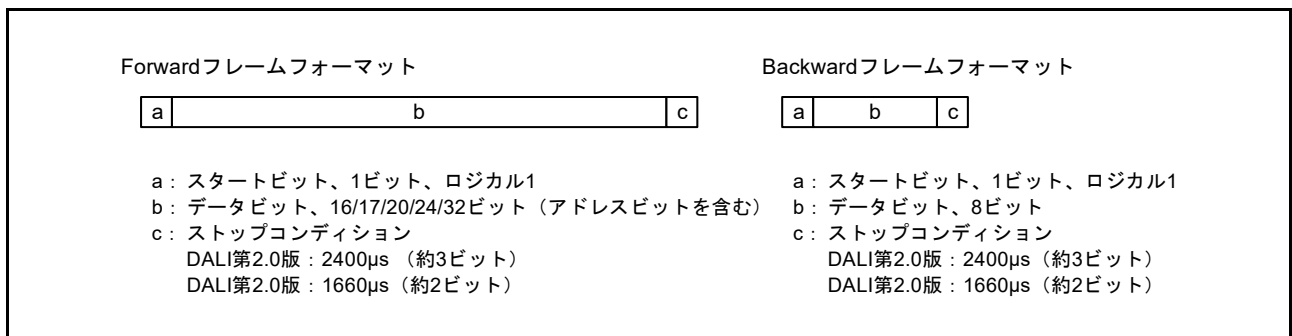


図 28.5 DALI データフォーマット

28.3.2 ストップコンディション検出と安定時間

DRX0 バスが BTV しきい値 6 の期間中 High に固定されている場合、DALI は、ストップコンディションが検出されたと判断し DALI_SDI を出力します (注 1)。DALI0.STR1 レジスタをチェックし、ストップコンディションが別のマスタから出力されたのか、または DALI から送信されたフレームに含まれているのかを判断してください。DALI0.STR1.TENDF ビットが 1 のとき、ストップコンディションは DALI により送信されます。(注 2) DRX0 バスの High レベル期間は最終立ち上がりエッジから測定されるので、測定開始タイミングは最終データビットの論理値により変わります (図 28.6 参照)。

- 注 1. 内部 DRX0 信号 (DALI0.COLR1.RXDMON ビット) は、実際のバスレベルが変わった時点から、内部動作クロックの 3 サイクル分遅れます。
- 注 2. ストップコンディションについては、同期遅延だけでなく、DRX0 から DTX0 への遅延も考慮に入れてください。(注 1) DALI が DRX0 にストップコンディションを検出する前に他のデバイスが DRX0 を Low にすると、たとえ送信が完了 (DALI0.STR1.TENDF = 1) していても、DALI_SDI は出力できません。
- 注 3. ストップコンディションの定義は、下記のように DALI 規格で指定されています。

規格	DALI 第 1.0 版	DALI 第 2.0 版シングルマスタ	DALI 第 2.0 版マルチマスタ
ストップコンディション定義	2 ビット (注 4)	2450µs (最小)	2400µs (最小)

- 注 4. ストップコンディションは DRX0 の立ち上がりエッジから測定されます。最終データビットの論理値が 1 の場合、ストップコンディションは、最終データビット期間内の立ち上がりエッジから開始します。ストップコンディション発生のタイミングは、最終データビットが 0 の場合と比較し、ハーフビット長前になります (図 28.6 参照)。

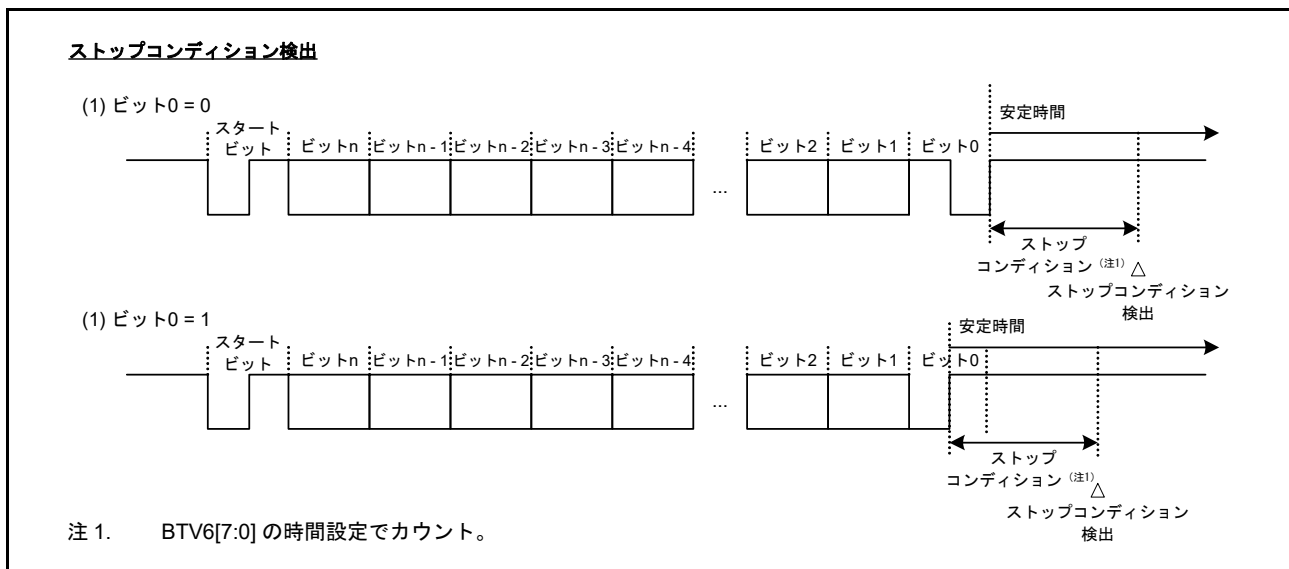


図 28.6 ストップコンディション検出

フレーム間の受信安定時間は、DALI 規格第 2.0 版に定義されています。受信安定時間はミリ秒単位で定義され、ソフトウェアで測定する必要があります。測定には、ストップ検出割り込み (DALI_SDI) および立ち下がりエッジ検出割り込み (DALI_FEI) を使用してください。DALI_SDI をトリガとして使用するには、図 28.6 に示すように、ストップコンディション検出が完了したときに DALI_SDI 出力が起こるので、BTV6 [7:0] に設定された時間を追加してください。

バス衝突を避けるために、送信安定時間も DALI 規格第 2.0 版に定義されています。送信安定時間もミリ秒単位で定義され、ソフトウェアで測定する必要があります。DALI_SDI を安定時間測定開始のトリガとして使用するには、BTV6 [7:0] に設定された時間を追加してください。DALI_FEI は安定時間測定停止のトリガとして使用してください。

DALI 第 2.0 版と同じように、フレーム間の送受信安定時間は DALI 規格第 1.0 版にも定義されています。DALI 規格第 1.0 版の安定時間は、ミリ秒単位で定義され、ソフトウェアで測定する必要があります。DALI_SDI を安定時間測定開始のトリガとして使用するには、BTV6 [7:0] に設定された時間を追加してください。DALI_FEI は安定時間測定停止のトリガとして使用してください。

28.3.3 DALI エラーの検出

28.3.3.1 マンチェスタフレーミングエラー (MFE)

DALI モジュールのビット定義にはマンチェスタ符号化が使用されます。マンチェスタコードを識別するために、ビット期間の中間にあるエッジ前後の値 (1/4 および 3/4 ビット長タイミング) がサンプリングされ、比較されます。

MFE が検出されたビットについては、3/4 ビットタイミングでサンプリングされた値が受信データレジスタ (DALI0.RDR1L および DALI0.RDR1H) に格納されます。

1/4 ビットタイミングでサンプリングされた値と 3/4 ビットタイミングでサンプリングされた値がともに 0 の場合、論理値 0 がデータレジスタに格納されます。

1/4 ビットタイミングでサンプリングされた値と 3/4 ビットタイミングでサンプリングされた値がともに 1 の場合、論理値 1 がデータレジスタに格納されます。

MFE 検出時、割り込み (DALI_DEI) を出力しフラグ (DALI0.STR1.MFEF) を設定するタイミングは、ストップコンディションが検出されたときです。これは、DALI_SDI 出力タイミングと同じです。

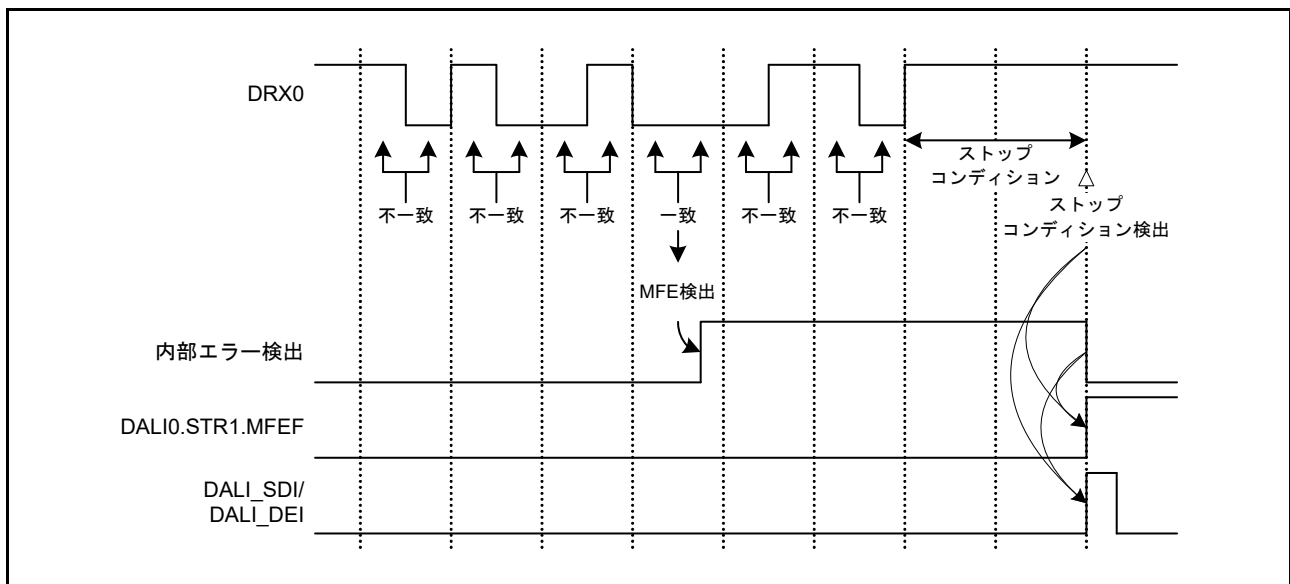


図 28.7 マンチェスタフレーミングエラー

28.3.3.2 オーバーランエラー

現在のデータの受信動作完了後、次のデータの受信動作が現在の受信データを読み出す前に完了した場合、オーバーランエラーが起こります。

オーバーランエラーが発生すると、DALI モジュールは、次のデータの受信完了時（ストップコンディション検出時）に DALI_SDI および DALI_DEI を出力し、DALI0.STR1.OVF ビットを設定します。

DALI モジュールは、DALI0.STR1.OVF ビットが 1 の間、受信動作を継続します。受信データは DALI0.RDR1L レジスタおよび DALI0.RDR1H レジスタ内で上書きされ、受信データ幅は DALI0.STR1.RDBL[5:0] ビット内で上書きされます。DALI0.STR1 レジスタ内のフラグは上書きされません。たとえば、MFE が受信データ 1 で起こり (DALI0.STR1.MFEF = 1)、次に受信したデータ 2 では MFE が起こらなかった場合 (DALI0.STR1.MFEF = 0)、DALI0.STR1.MFEF ビットの前の値はそのままです (DALI0.STR1.MFEF = 1)。

DALI_DEI が発生した場合、エラーを検証し、エラーフラグをクリアし、エラーが発生した受信データを読み出してください。これにより次のデータ受信完了時のオーバーランエラーを防ぐことができます。

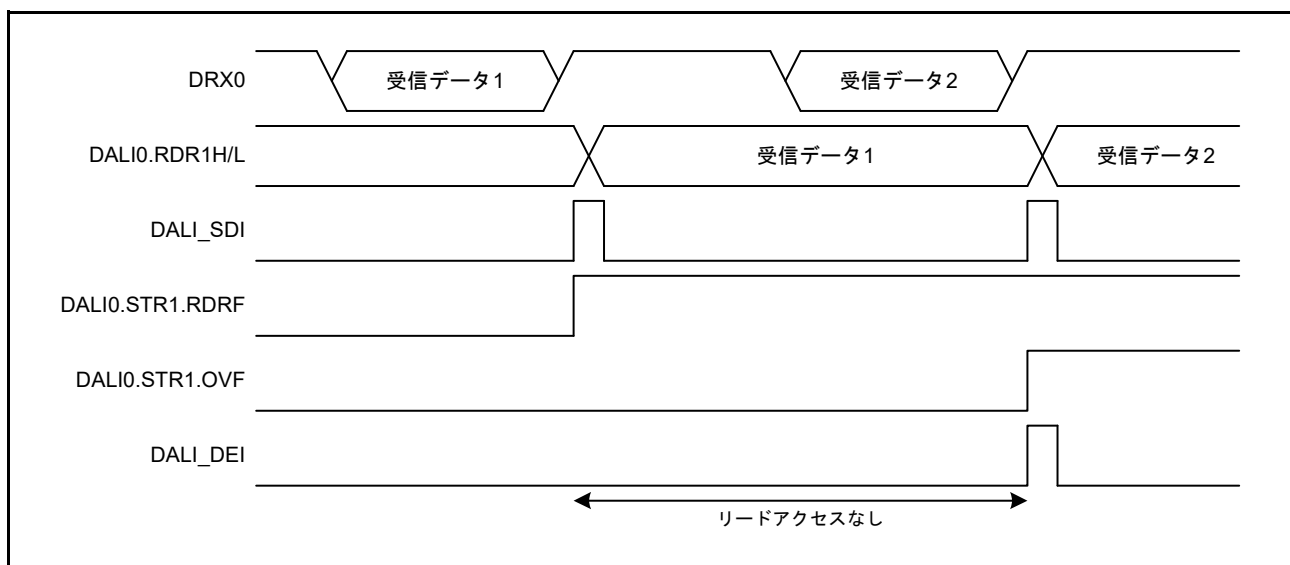


図 28.8 オーバーランエラー

28.3.3.3 フレームサイズ違反エラー

フレームサイズ違反は、DALI 規格第 2.0 版で新たに定義されました。DALI モジュールが指定されていないデータサイズのフレームを受信した場合、フレームサイズ違反となります。

DALI モジュールでは受信データ長の制限はありません。最大受信データサイズは 32 ビットです。したがって、フレームサイズ違反について、ハードウェアによる判断は行われません。データ受信完了時、受信フレームサイズが指定されたデータサイズかどうかを確認するために DALI0.STR1.RDBL[5:0] ビット値をチェックし、ソフトウェアでフレームサイズ違反がないかどうかを検証してください。

DALI 規格第 2.0 版で定義されたデータサイズは以下のとおりです。

- Backward フレーム = 8 ビット
- Forward フレーム = 16 ビット、20 ビット (注1)、24 ビット、32 ビット (注1)

DALI モジュールは、ストップコンディションが検出されるまでデータ受信を継続します。受信データが 32 ビット以上の場合、内部カウンタがカウンタの最大値である 63 になるまでビット数がカウントされます。カウンタが最大値に達すると、オーバーフローし、0 からカウントを再開します。したがって、O32F フラグが 1 のとき、これらのビットの値は無効です。ストップコンディションが検出され、次のデータ受信が開始されると、内部カウンタ値はリセットされます。

DALI モジュールがビット [33] を認識すると DALI0.STR1.O32F フラグが設定されます。(注2)

- 注1. DALI 規格第 2.0 版では、予約 Forward フレームが定義されています。
- 注2. DALI0.STR1.RDBL[5:0] ビットは、ストップコンディション検出時に更新されます。本フラグは、ストップコンディション検出前に受信した不正に長いデータを報告します。

28.3.3.4 ビットタイミング違反エラー

ビットタイミング違反は、DALI 規格第 2.0 版で新たに定義されました。本規格では受信データ波形のエッジ期間が定義されています。ビットタイミング違反検出機能を有効にするには、DALI0.CNTR2.BTVE ビットを 1 にしてください。

(1) ビットタイミング違反

ビットタイミング違反が発生した場合、DALI0.STR1.BTVF フラグが設定され、ストップコンディション検出時に DALI_DEI が出力されます。1 つのフレーム内で複数回ビットタイミング違反が起きた場合でも、DALI0.STR1.BTVF フラグは設定され、ストップコンディション検出時に DALI_DEI は 1 回だけ出力されません。

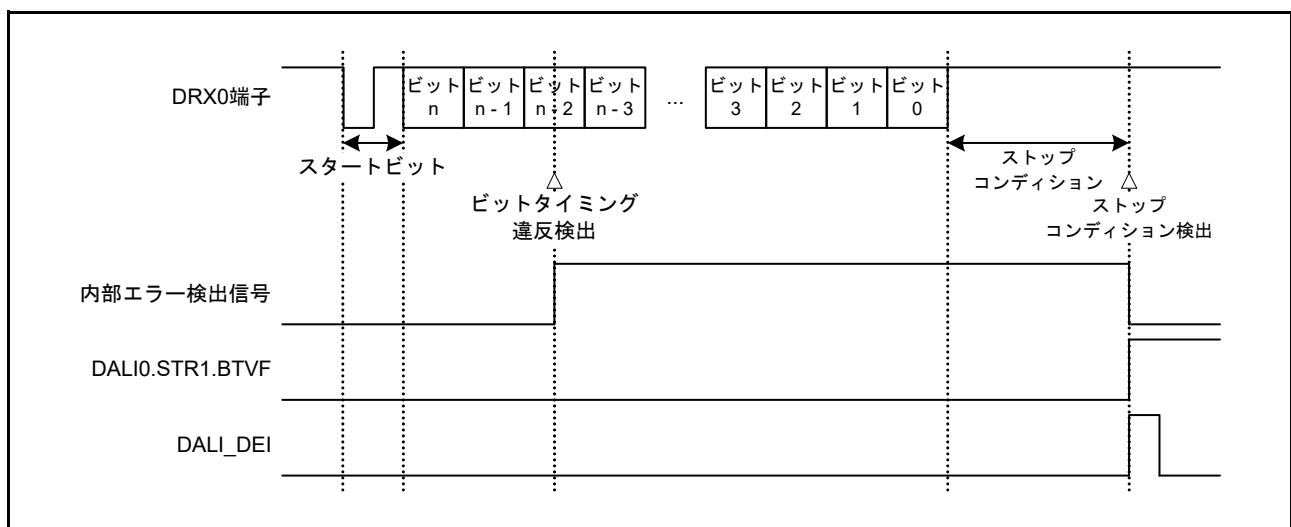


図 28.9 ビットタイミング違反エラー

(a) ビットタイミング違反発生条件

以下で指定した条件 1、2 または 3 となった場合、ビットタイミング違反が起こります。ビットタイミング違反モードビット (DALI0.CNFR2.BTVM) は、条件 3 が違反発生に使用されるかどうかを指定します。

ビットタイミング違反を検証するためのタイムスロットを調整するには、ビットタイミング違反しきい値ビット [6:1] (DALI0.BTVx ; x = 1 ~ 6) を設定してください。

DALI バスのレベルが BTV しきい値 6 の期間中 High の場合、ストップコンディションと判断されます。DALI バスのレベルが 45ms 以上 Low の場合、バスパワーダウンと判断されます。その後 DALI モジュールは BTV しきい値 6 で指定された値までカウントアップし、DALI0.STR1.BPDF フラグを設定し、DALI_BPI を出力します。バスパワーダウンは、ソフトウェアで確認する必要があります。

[条件 1]

スタートビットの開始時の立ち下がりエッジ、またはデータビットの開始時の立ち上がりまたは立ち下がりがエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、図 28.10 に示すビットタイミング違反内にある。

注 1. ビットの開始時の立ち上がりまたは立ち下がりエッジは、ビット n および直前のビット n+1 が同じ値の場合に起こります。異なる値の場合は、ビットタイミング違反の条件ではありません。

[条件 2]

データビットの立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、図 28.11 に示すビットタイミング違反内にある。

[条件 3]

データビットの立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、図 28.11 に示すポイント G と H 間のグレー領域内にある。

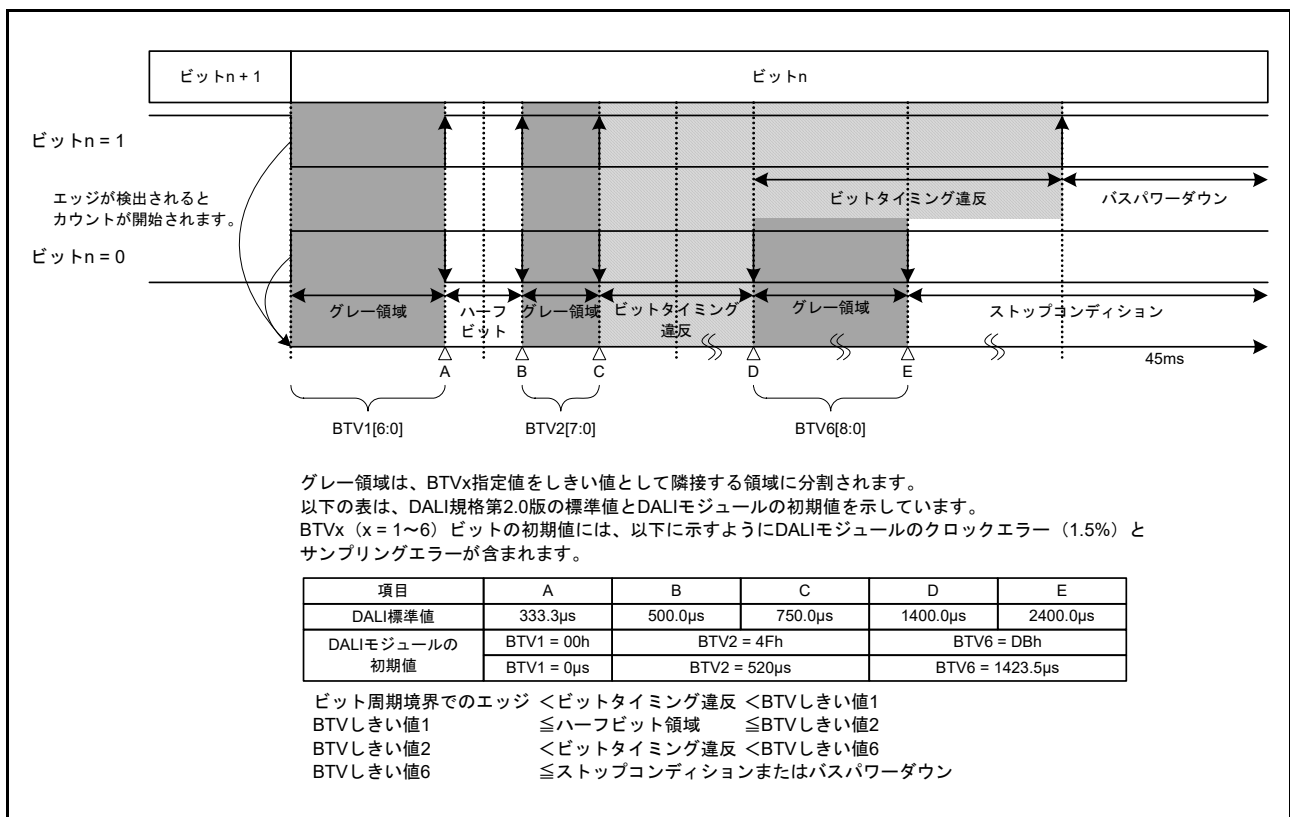


図 28.10 ビットタイミング違反 1

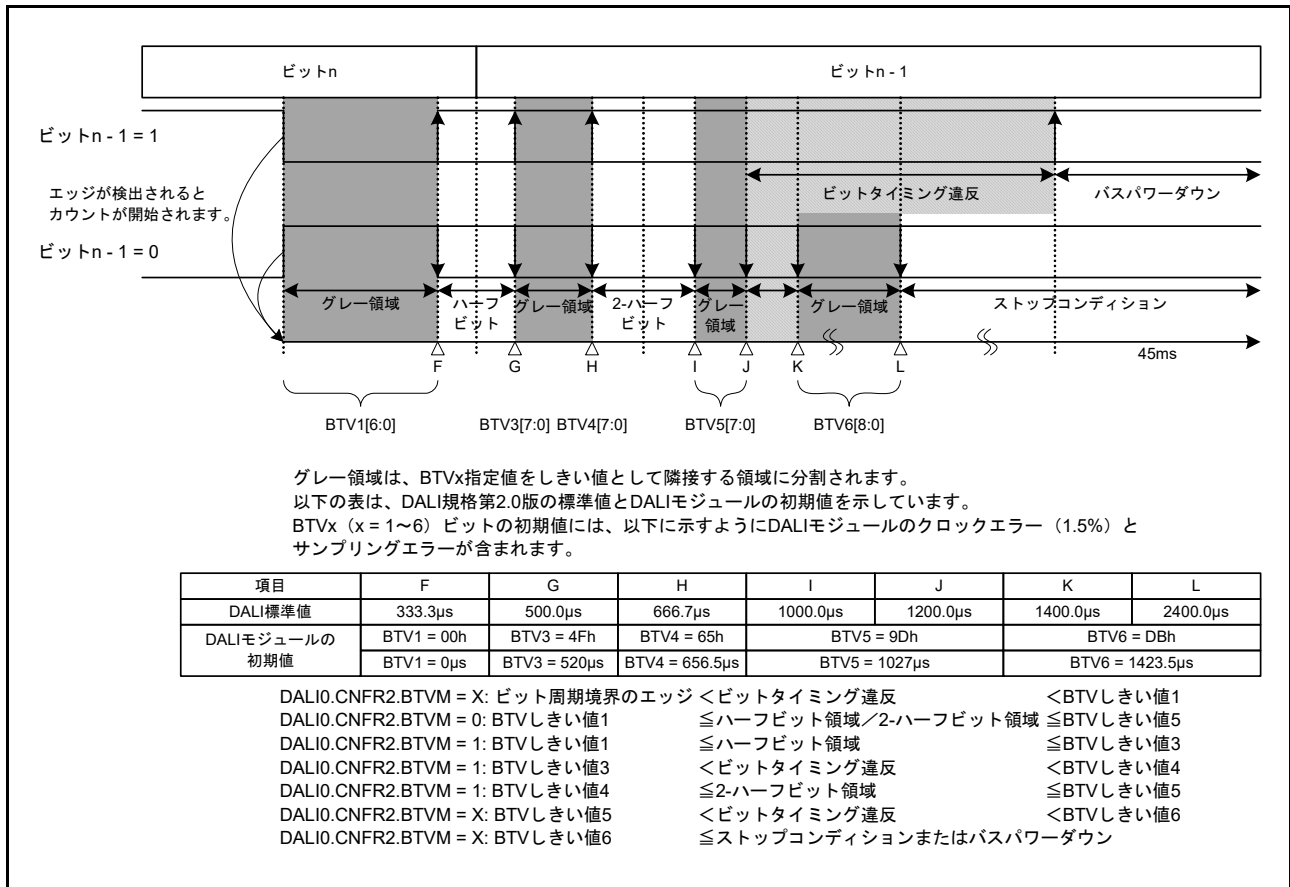


図 28.11 ビットタイミング違反 2

DALI モジュールでは、図 28.10 および図 28.11 に示す標準値は、レジスタ DALI0.BTVTHR1 ~ 4 で設定されます。設定値は、DALI モジュールのクロックエラーおよびサンプリングエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。

表 28.4 にビット BTV1 ~ 6 の設定を示します。

表 28.4 BTVしきい値設定値

ビット名	設定可能範囲 (μs)	初期値	説明
BTV1[6:0]	0~825.5	00h	図 28.10 のポイント A および 図 28.11 のポイント F を設定可能範囲内で指定してください (6.5μs 単位)。エッジから BTV しきい値 1 までの範囲は、ビットタイミング違反となります。この範囲は、図 28.10 および 図 28.11 ではグレー領域となっています。図 28.10 の BTV しきい値 1 から BTV しきい値 2 まで、および 図 28.11 の BTV しきい値 1 から BTV しきい値 3 までの範囲は、ハーフビット領域 (パス領域) です。
BTV2[7:0]	6.5~1664 (条件: BTV1 < BTV2)	4Fh	図 28.10 のポイント B を設定可能範囲内で指定してください (6.5μs 単位)。BTV しきい値 1 から BTV しきい値 2 までの範囲は、ハーフビット領域 (パス領域) です。BTV しきい値 2 から BTV しきい値 6 までの範囲は、ビットタイミング違反です。
BTV3[7:0]	6.5~1664 (条件: BTV1 + 1 < BTV2)	4Fh	図 28.11 のポイント G を設定可能範囲内で指定してください (6.5μs 単位)。BTV しきい値 1 から BTV しきい値 3 までの範囲は、ハーフビット領域 (パス領域) です。BTV しきい値 3 から BTV しきい値 4 までの範囲は、DALI0.CNFR2.BTVM が 1 のときビットタイミング違反です。この範囲は、図 28.10 および 図 28.11 ではグレー領域となっています。
BTV4[7:0]	0~1657.5 (条件: BTV3 + 1 < BTV4)	65h	図 28.11 のポイント H を設定可能範囲内で指定してください (6.5μs 単位)。BTV しきい値 3 から BTV しきい値 4 までの範囲は、DALI0.CNFR2.BTVM が 1 のときビットタイミング違反です。この範囲は、図 28.10 および 図 28.11 ではグレー領域となっています。BTV しきい値 4 から BTV しきい値 5 までの範囲は、2 ハーフビット領域 (パス領域) です。
BTV5[7:0]	6.5~1664 (条件: BTV4 + 1 < BTV5)	9Dh	図 28.11 のポイント I およびポイント J 間のしきい値を設定可能範囲内で指定してください (6.5μs 単位)。 <ul style="list-style-type: none"> DALI0.CNFR2.BTVM ビットが 0 のとき、BTV しきい値 1 から BTV しきい値 5 の範囲はハーフビット領域または 2 ハーフビット領域 (パス領域) であり、BTV しきい値 5 から BTV しきい値 6 の範囲はビットタイミング違反 DALI0.CNFR2.BTVM ビットが 1 のとき、BTV しきい値 4 から BTV しきい値 5 の範囲は 2 ハーフビット領域 (パス領域) であり、BTV しきい値 5 から BTV しきい値 6 の範囲はビットタイミング違反
BTV6[8:0]	1254.5~3328 (条件: BTV2 + 1 < BTV6 かつ BTV5 + 1 < BTV6)	DBh	図 28.10 のポイント D および 図 28.11 のポイント K とポイント L 間のしきい値を設定可能範囲内で指定してください (6.5μs 単位)。1254.5μs より小さい値を指定してはいけません。設定可能な最小値は C0h です。 <p>図 28.10 の BTV しきい値 2 から BTV しきい値 6 まで、および 図 28.11 の BTV しきい値 5 から BTV しきい値 6 までの範囲は、ビットタイミング違反です。BTV しきい値 6 で始まる範囲は、ストップコンディションまたはパスポワーダウンとなります。</p>

28.3.3.5 バスパワーダウン

DALI バスのレベルが 45ms 以上 Low の場合、その状態はバスパワーダウンであり、何らかの対策が必要です。

DALI モジュールが DALI バスの Low レベル期間をカウントし BTV しきい値 6 まで達するとバスパワーダウンと判断されます。その後、DALI0.STR1.BPDF フラグが設定され、DALI_BPI が出力されます。DALI_BPI 出力後、DALI バスの Low レベル期間を 45ms 以上ソフトウェアで測定し、バスパワーダウンであるかどうかを判断してください。

DALI モジュールは DRX0 端子の立ち上がりエッジを検出すると、DALI0.STR1.BPDF フラグをクリアし、受信動作に戻ります。受信動作開始後にストップコンディションが検出されると、DALI_SD1 が出力されます。DALI_SD1 出力後は、45ms の測定を停止してください。受信動作開始後にバスパワーダウンの可能性があると判断された場合は、DALI0.STR1.BPDF フラグが再び 1 になり、DALI_BPI が出力されます。

45ms の測定後に DALI0.STR1.BPDF フラグが 0 にリセットされている場合、DALI バスは 45ms の測定中 Low ではなかったということになります。

DALI バスが 45ms の測定中 Low でない場合、DALI モジュールは受信動作に戻ります。この場合、受信データは信頼できないため、DALI0.STR1.BPDF フラグが 1 から 0 に変わった後でストップコンディションが検出される前の受信データは破棄してください。

45ms の測定中に DALI_SD1 または DALI_BPI が出力されず、45ms の測定後に DALI0.STR1.BPDF フラグが 1 の場合、DALI バスはバスパワーダウンであると判断されます。

DALI モジュールは、DALI0.STR1.BPDF フラグが 1 の間ストップコンディションが検出されるまで受信動作を継続します。したがって、受信動作を止めるには、DALI0.CTR1.TE ビットおよび DALI0.CTR1.RE ビットを 0 にし、DALI0.SWRR1.SWR ビットを 1 にすることによりソフトウェアリセットを発行してください。DALI バス復旧後、DALI0.CTR1.TE ビットおよび DALI0.CTR1.RE ビットを 1 にし、通信を再開してください。

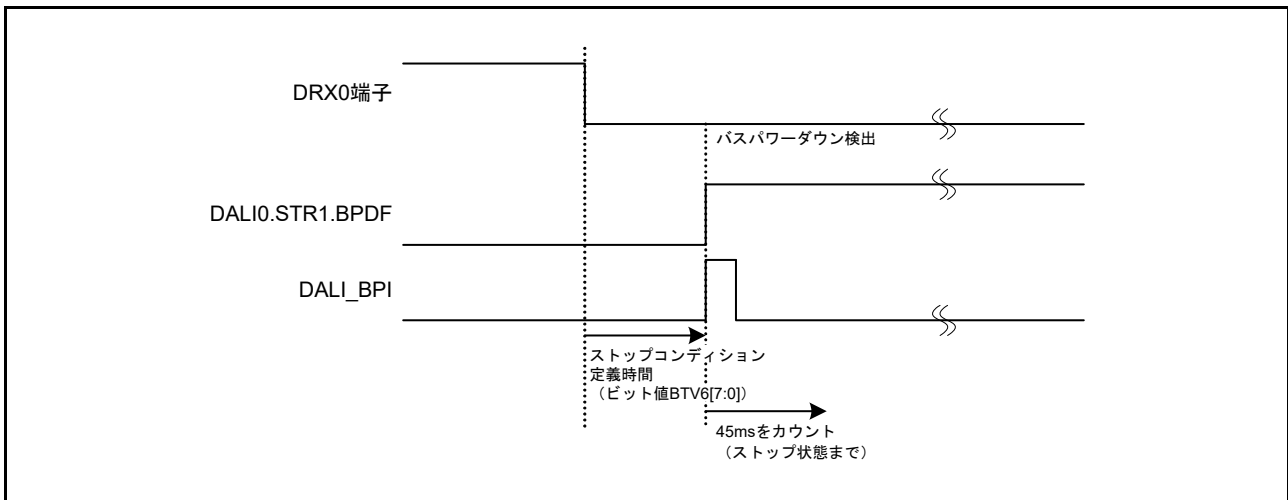


図 28.12 バスパワーダウン

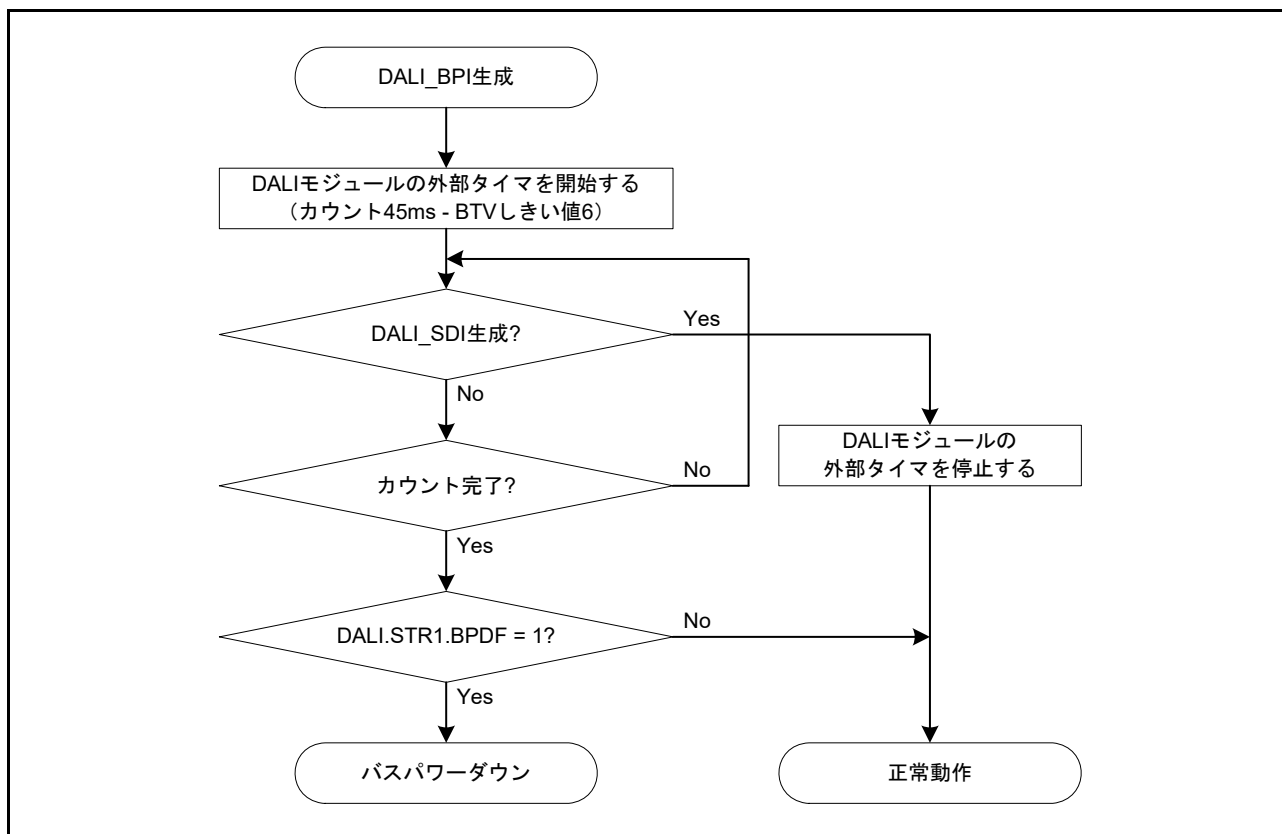


図 28.13 バスパワーダウンのフロー

28.3.4 DALI 衝突

28.3.4.1 衝突の概要

DALI モジュールは、マルチマスタ通信に対応しています。

マルチマスタ通信中に 2 つ以上のマスタが同時にデータを送信すると、バス上で衝突が発生します。DALI0.CNFR2.CDE ビットが 1 の場合、DALI モジュールの衝突検出機能は有効で、衝突検出割り込み (DALI_CLI) が生成されます。送信中に衝突が検出された場合は、送信を停止し、衝突発生条件に基づき衝突回復または衝突回避を実行してください。

Backward フレーム送信の場合は、DALI0.CNFR2.CDE ビットを 0 にして衝突検出機能を無効にしてください。

DALI モジュールは受信動作時 (DALI0.CTR1.RE ビット = 1 かつ DALI0.CTR1.TE ビット = 0)、衝突を検出します。複数のマスタ間での衝突の検出を行いたくない場合は、DALI0.CNFR2.CDE ビットを 0 にしてください。

28.3.4.2 衝突検出基準

衝突検出モードビット (DALI0.CDM0) で衝突検出の基準を選択してください。

衝突検出モードと衝突検出割り込み (DALI_CLI) の関係を [表 28.5](#) に示します。

表 28.5 CDM 設定値に基づく基準

CDM0 の設定値	衝突検出領域 (注1)			衝突検出割り込み (DALI_CLI) 条件 (注2)
	破壊	回避	有効	
0	検出	未検出	未検出	条件 1A または条件 2A
1	検出	検出	未検出	下記のいずれかが成立したとき (注3) (注4) <ul style="list-style-type: none"> • 条件 1A または条件 1B • 条件 2A または条件 2B

注 1. DALI 規格第 2.0 版 (IEC-62386-101) では下記の領域が定義されています。

- 破壊: 破壊領域
- 回避領域: グレー領域
- 有効領域: 有効ハーフビット / 有効 2 ハーフビット

注 2. 条件についての詳細は、[図 28.14](#) および [図 28.15](#) を参照してください。

注 3. COLx (x = 1 ~ 9) ビットを設定して衝突を判断するタイミングを調整してください ([図 28.14](#) および [図 28.15](#) 参照)。

注 4. 衝突検出割り込み (DALI_CLI) が発生した場合、衝突検出情報を使って衝突検出後のソフトウェアによる処理を設定してください。詳細は [28.3.4.4 衝突検出情報](#) を参照してください。

衝突検出基準は、[図 28.14](#) および [図 28.15](#) に示す条件のいずれかが成立した場合に有効です。

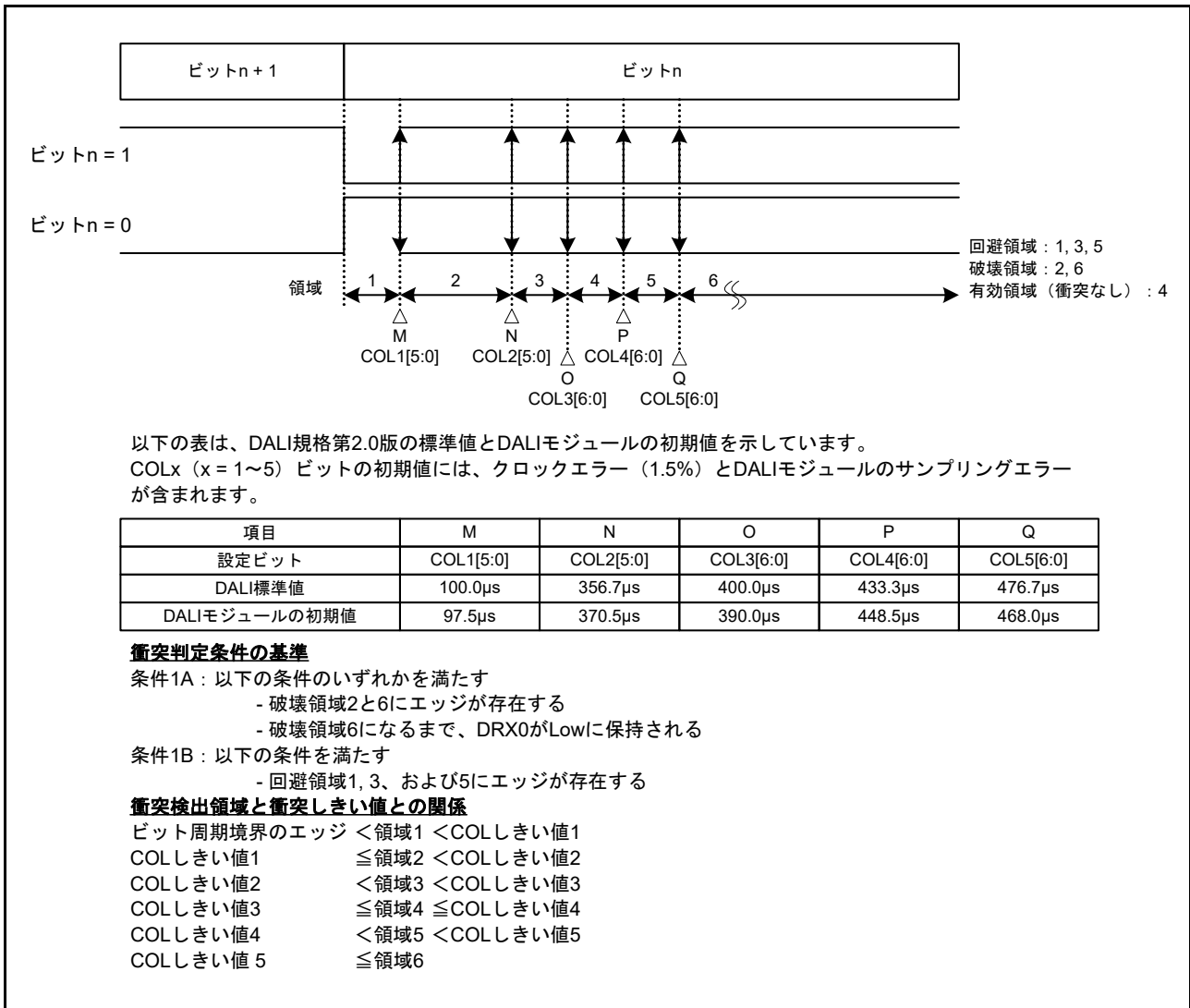


図 28.14 衝突検出タイミング 1

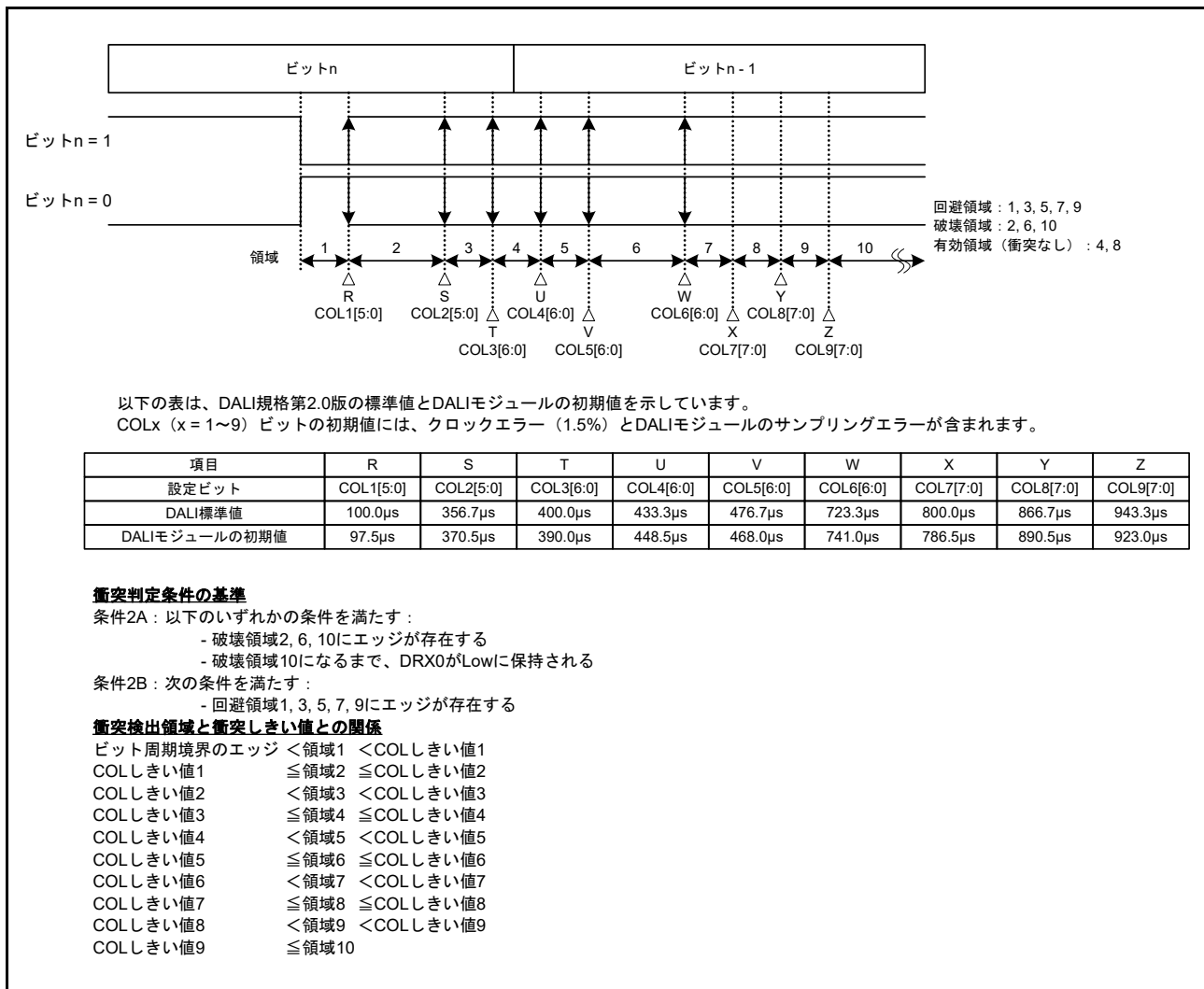


図 28.15 衝突検出タイミング 2

DALI モジュールは、図 28.14 および図 28.15 に示す標準値を DALI0.COLTHR1 ~ DALI0.COLTHR5 レジスタに設定します。設定値は、DALI モジュールのクロックエラーおよびサンプリングエラーを考慮し DALI 規格第 2.0 版を満たす必要があります。表 28.6 に COL1 ~ COL9 ビットの設定を示します。

表 28.6 COLしきい値設定値

ビット名	設定可能範囲 (μs)	初期値	説明
COL1[5:0]	0~409.5	0Fh	図 28.14 のポイント M および 図 28.15 のポイント R を設定可能範囲内で指定してください (6.5μs 単位)。エッジから COL しきい値 1 までの範囲は回避領域で、COL しきい値 1 から COL しきい値 2 までの範囲は破壊領域です。
COL2[5:0]	6.5~416 (条件: COL1 + 1 < COL2)	38h	図 28.14 のポイント N および 図 28.15 のポイント S を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 1 から COL しきい値 2 までの範囲は破壊領域で、COL しきい値 2 から COL しきい値 3 までの範囲は回避領域です。
COL3[6:0]	0~825.5 (条件: COL2 + 1 < COL3)	3Ch	図 28.14 のポイント O および 図 28.15 のポイント T を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 2 から COL しきい値 3 までの範囲は回避領域で、COL しきい値 3 から COL しきい値 4 までの範囲は有効領域です。
COL4[6:0]	6.5~832 (条件: COL3 + 1 < COL4)	44h	図 28.14 のポイント P および 図 28.15 のポイント U を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 3 から COL しきい値 4 までの範囲は有効領域で、COL しきい値 4 から COL しきい値 5 までの範囲は回避領域です。
COL5[6:0]	0~825.5 (条件: COL4 + 1 < COL5)	48h	図 28.14 のポイント Q および 図 28.15 のポイント V を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 4 から COL しきい値 5 までの範囲は回避領域で、COL しきい値 5 から COL しきい値 6 までの範囲は破壊領域です。
COL6[6:0]	6.5~832 (条件: COL5 + 1 < COL6)	71h	図 28.15 のポイント W を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 5 から COL しきい値 6 までの範囲は破壊領域で、COL しきい値 6 から COL しきい値 7 までの範囲は回避領域です。
COL7[7:0]	0~1657.5 (条件: COL6 + 1 < COL7)	79h	図 28.15 のポイント X を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 6 から COL しきい値 7 までの範囲は回避領域で、COL しきい値 7 から COL しきい値 8 までの範囲は有効領域です。
COL8[7:0]	6.5~1664 (条件: COL7 + 1 < COL8)	88h	図 28.15 のポイント Y を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 7 から COL しきい値 8 までの範囲は有効領域で、COL しきい値 8 から COL しきい値 9 までの範囲は回避領域です。
COL9[7:0]	0~1657.5 (条件: COL8 + 1 < COL9)	8Eh	図 28.15 のポイント Z を設定可能範囲内で指定してください (6.5μs 単位)。COL しきい値 8 から COL しきい値 9 までの範囲は回避領域で、COL しきい値 9 から始まる範囲は破壊領域です。

28.3.4.3 衝突処理フロー

衝突発生時の衝突回復および衝突回避のフローを [図 28.16](#) に示します。

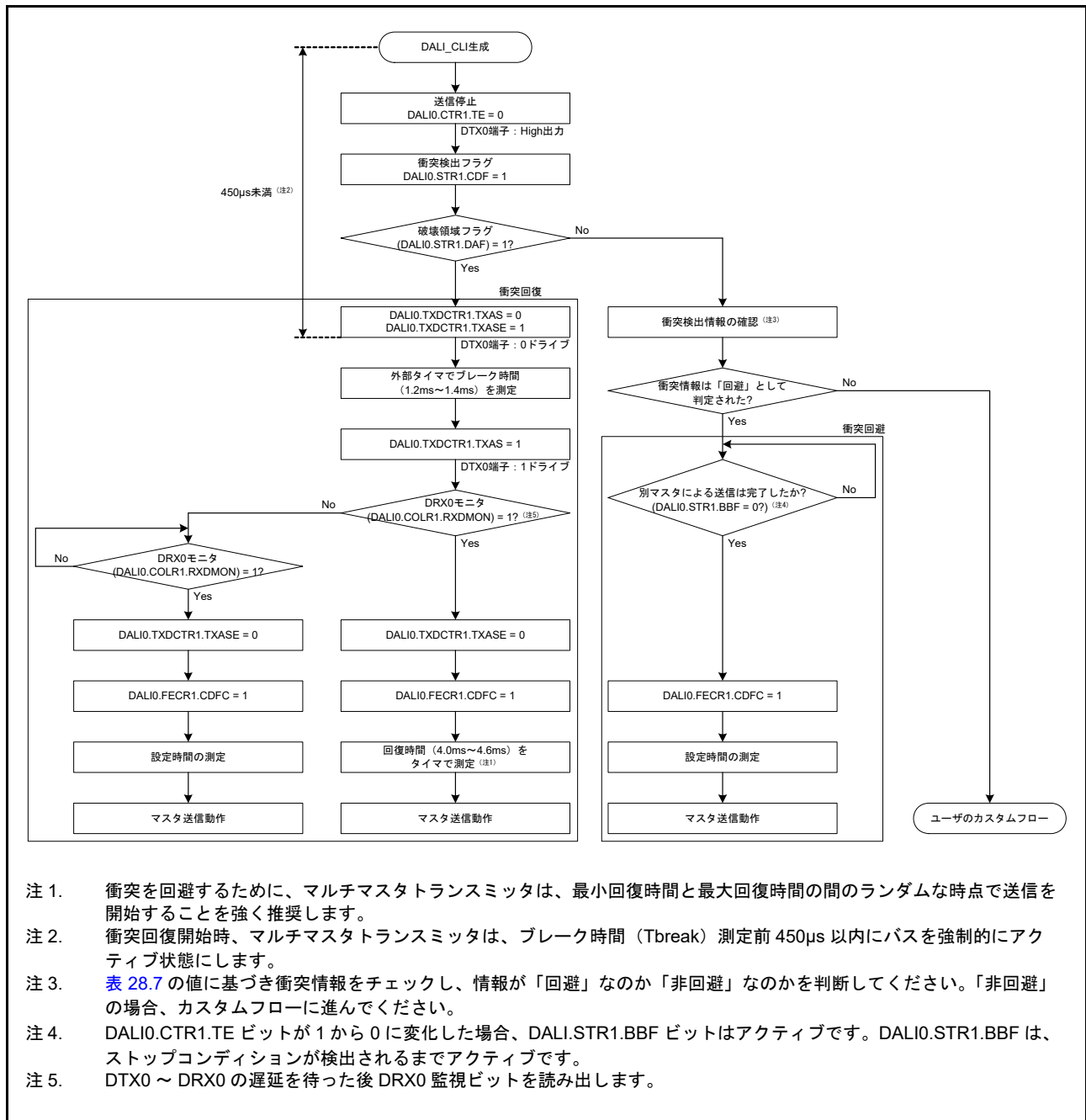


図 28.16 衝突処理のフロー

DALI モジュールが送信中に衝突を検出した場合、DALI ステータスレジスタ 1 (DALI0.STR1) をチェックし、マスタ送信開始前に設定されたフラグをクリアしてください。図 28.16 の衝突回復処理または衝突回避処理を参照してください。衝突フラグ (DALI0.STR1.CDF) のクリアを行わないと衝突情報は新しい情報に更新されません。また、DALI0.STR1.RDRF ビットが 1 の場合は、DALI 受信データレジスタ (DALI0.RDR1H および DALI0.RDR1L) も読み出す必要があります。

DALI モジュールによる衝突検出が受信中だけの場合、図 28.16 に示す処理は必要ありません。必要に応じて、DALI ステータスレジスタ (DALI0.STR1) をチェックし、フラグをクリアし、そして DALI 受信データレジスタ (DALI0.RDR1H および DALI0.RDR1L) を読み出してください。

28.3.4.4 衝突検出情報

DALI モジュールは、衝突検出割り込み (DALI_CLI) が発生した場合、下記の情報を保存します。

表 28.7 衝突検出情報

衝突検出情報	ビット
衝突発生時のDTX0値	DALI0.COLR1.TXDCV
衝突発生時のDRX0状態 (立ち上がりまたは立ち下がり)	DALI0.COLR1.RXDCEG
衝突要因 (エッジまたは非エッジ)	DALI0.COLR1.CLDAF
衝突発生時のタイミング情報	DALI0.COLR1.CDTF1および DALI0.COLR1.CDTF2[3:0]

注. DALI モジュールは、衝突が検出された場合、衝突検出情報を保存します。

衝突検出情報を保存する機能は、衝突検出フラグが生成されていないとき (DALI0.STR1.CDF = 0) に衝突が起きた場合に有効になります。衝突検出フラグ (DALI0.STR1.CDF) のクリア後は、次の情報が格納されます。衝突検出フラグ (DALI0.STR1.CDF) を必ずクリアしてください。

図 28.17 に、ビット期間の中間のエッジ (中間エッジ) で衝突が発生した場合の衝突検出情報の使用例を示します。

図 28.18 に、ビット期間の境界のエッジ (境界エッジ) で衝突が発生した場合の衝突検出情報の使用例を示します。

図 28.19 に、境界エッジのない中間エッジで衝突が発生した場合の衝突検出情報の使用例を示します。

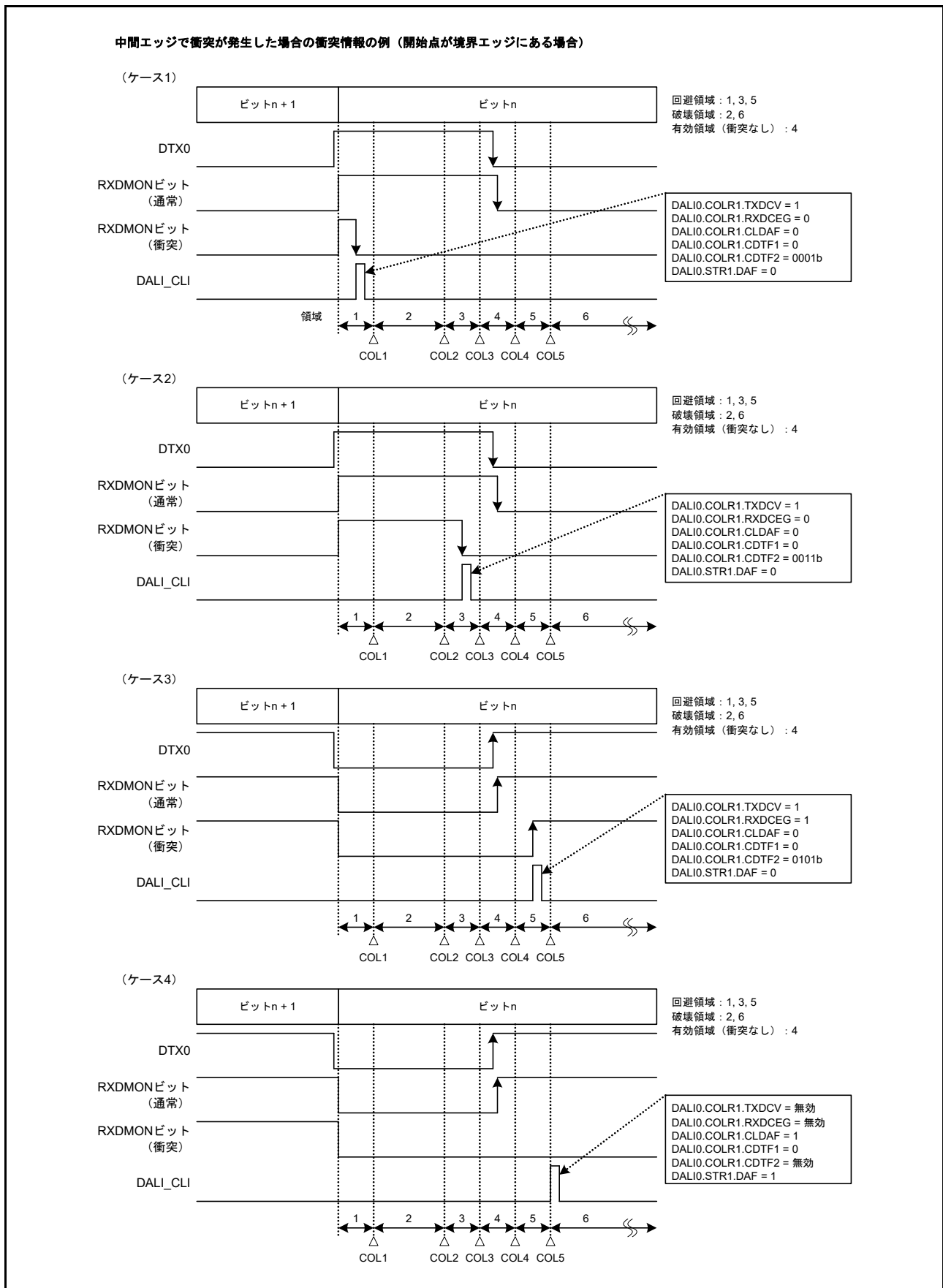


図 28.17 衝突検出情報の使用例 1

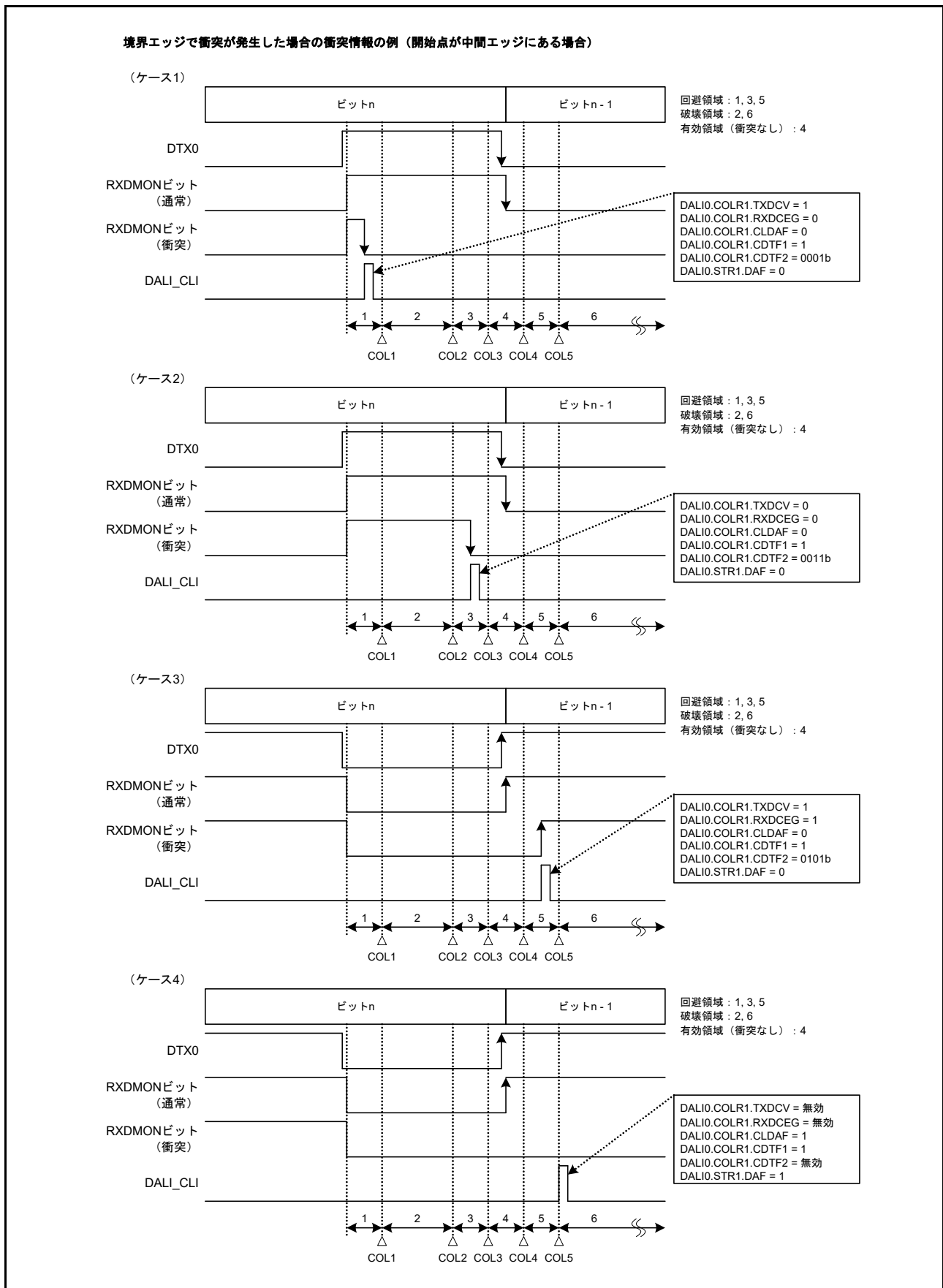


図 28.18 衝突検出情報の使用例 2

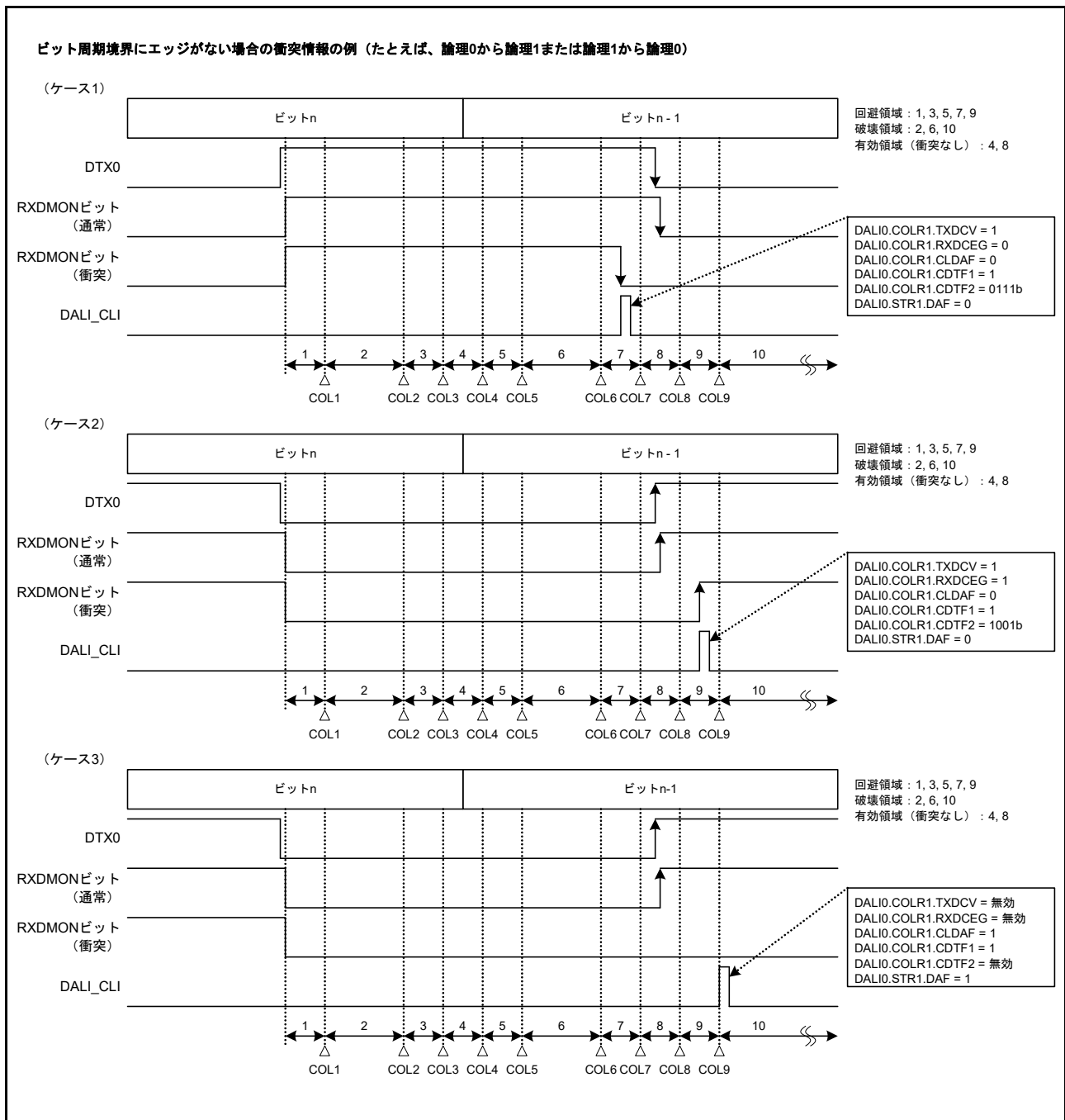


図 28.19 衝突検出情報の使用例 3

28.3.5 DRX 入力信号のサンプリングタイミングとビット長調整

DALI モジュールは、ビット定義にマンチェスタコードを使用します。エッジは常に 1 ビット期間中に発生します (中間エッジ)。DALI は、中間エッジを使って、ビット長の調整およびサンプリングタイミングの測定を行います。1/4 ビットタイミングと 3/4 ビットタイミングは、中間エッジの前後に定義され、同期後の DRX0 値はこれらのタイミングでサンプリングされます。3/4 ビットタイミングでのサンプリング値が論理値として使用されます。

中間エッジが 1/4 ビットタイミングと 3/4 ビットタイミングの間で発生した場合、データビットは受信されません。中間エッジでのビット長エラーを検出するのに 28.3.5.1 章で説明する波形が使用されます。エッジは常に境界エッジで発生するわけではないので、境界エッジは基準としては使用されません。

本マニュアルにおいて説明を明確にするために、サンプリングタイミングは、1/4 ビットタイミングおよび 3/4 ビットタイミングと呼ばれます。DALI モジュールのサンプリングポイントは表 28.8 に定義されており、正確には 3/4 ビットタイミングではありません。サンプリングポイントは、DALI0.CNFR2.SGA ビットの値によっても変わります。

表 28.8 サンプリングポイント

定義	SGA ビット = 0	SGA ビット = 1
1/4 ビット長 1/4 ボーレートタイミング 1/4 ビットサンプリング値 1/4 ビットタイミング	デフォルト値 (1/4 ビット長)	デフォルト値 - 16 サイクル
3/4 ビット長 3/4 ビットサンプリング値 3/4 ビットタイミング	デフォルト値 (3/4 ビット長 + 1 サイクル)	デフォルト値 + 25 サイクル

28.3.5.1 DRX 入力信号のエッジ可能領域の調整

DALI モジュールは、High または Low 期間を受信します。この期間を延長するには、DALI0.CNFR2.SGA ビットを 1 にしてください。

DALI0.CNFR2.SGA ビットが 0 (デフォルト) のとき

マンチェスタコードの High/Low 期間 : 318.5[μs] ~ 510.25[μs]

DALI0.CNFR2.SGA ビットが 1 のとき

マンチェスタコードの High/Low 期間 : 295.75[μs] ~ 559[μs]

28.3.6 DTX 幅変調

DTX0 波形の Low または High レベル期間が外部デバイス (フォトカップラ) の劣化により短くなった場合、本機能を使って DTX0 波形の Low 期間を調整してください。本機能は劣化による期間の短縮を計算し、デューティの約 50% の波形をレシーバが受け付けるようにします。

DALI モジュールは、DALI0.CNFR2.TXWE ビットを 1 にすることによって DTX0 波形の Low 幅を調整します。外部デバイスが劣化しておらず DTX0 波形が正しいようなら、本機能を無効にし (DALI0.CNFR2.TXWE ビット = 0)、DALI0.TXWR1 レジスタをデフォルト値で使用してください。

DTX0 出力波形は以下のように変調されます。

DALI0.CNFR2.TXWE ビットが 1 のとき

- Low レベル幅 : (DALI0.TXWR1.TXLW[6:0] の設定値 + 1) × 6.5[μs]
- High レベル幅 : 832[μs] - {(DALI0.TXWR1.TXLW[6:0] の設定値 + 1) × 6.5[μs]}

DALI0.CNFR2.TXWE ビットが 0 のとき

- Low レベル幅 : 416[μs] (リセット値 = 3Fh)
- High レベル幅 : 416[μs] (リセット値 = 3Fh)

DALI0.TXWR1.TXLW[6:0] ビットに設定できる値は、20h (= 214.5[μs]) ~ 5Eh (= 617.5[μs]) です。

28.4 動作説明

28.4.1 初期設定

データを送受信する前に図 28.20 のフローに従って各コントロールレジスタを設定してください。

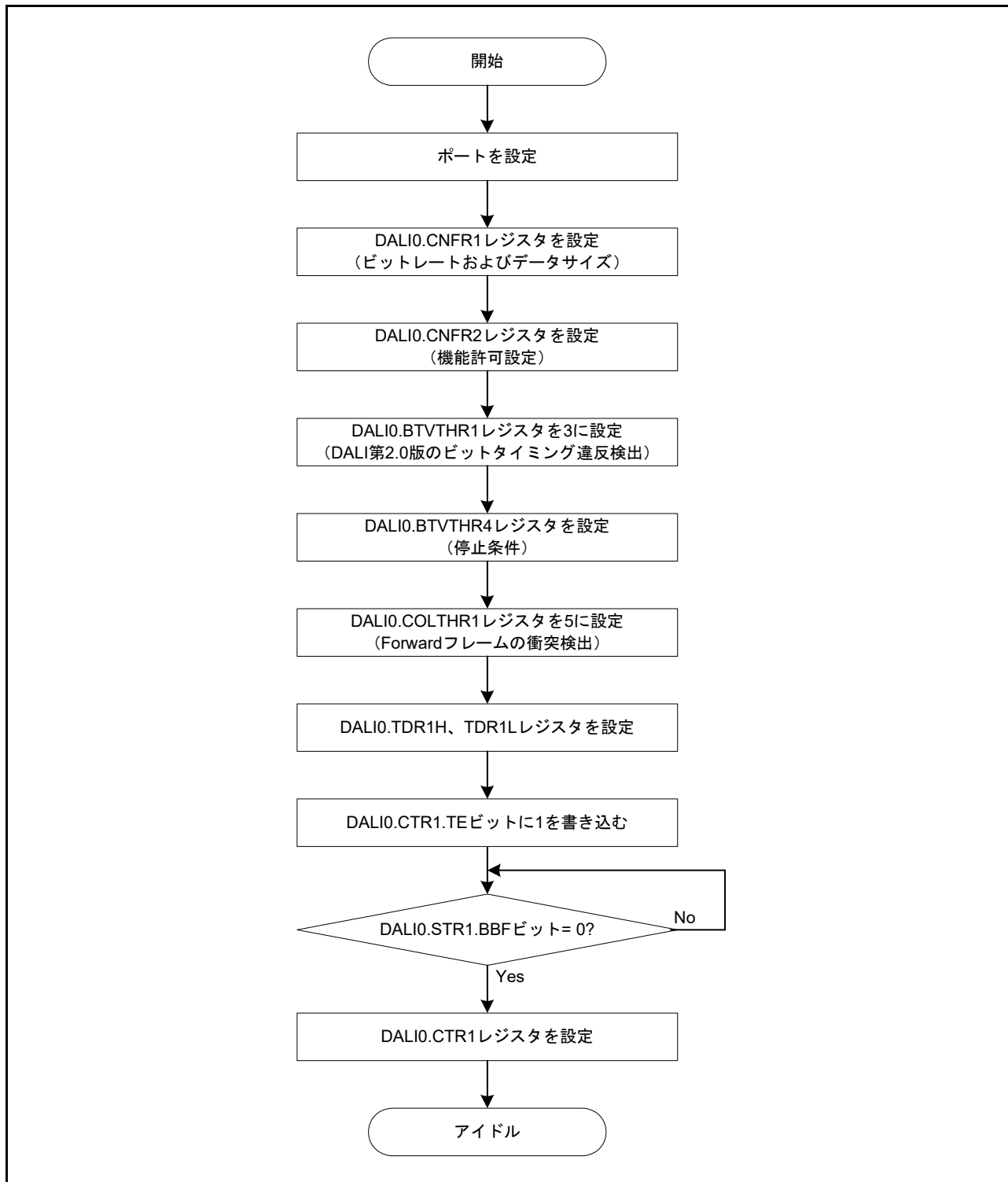


図 28.20 初期設定フロー

28.4.2 ソフトウェアリセット

データレジスタ、フラグビット、内部レジスタおよび内部カウンタにリセットが必要な場合は、[図 28.21](#) のフローに従ってください。DALI モジュールの出力端子もリセットされます。ソフトウェアリセットの対象レジスタおよび DALI モジュールの出力端子については、[28.2.20](#) を参照してください。

28.4.2.1 ソフトウェアリセットの使用

(1) 送受信を停止するには

送受信を停止するには[図 28.21](#) のフローを実行してください。

(2) バスパワーダウン中に受信を停止するには

DALI モジュールは、バスパワーダウン中もフレームを受信し続けます。バスパワーダウン中に受信を停止するには、[図 28.21](#) のフローを実行してください。すなわち、DALI バスがバスパワーダウン状態から復帰した後、DALI0.CTR1.TE ビットおよび DALI0.CTR1.RE ビットを 1 にし、その後通信を再開してください。

(3) 32 ビットより長いデータを受信時に受信を停止するには

DALI モジュールが 32 ビットより長いデータを受信している間、DALI_SDI は出力されません。受信を停止するには、DALI0.STR1.O32F ビットが 1 であることを確認し、[図 28.21](#) のフローを実行してください。すなわち、DALI0.CTR1.RE ビットを 0 にし、DALI バス回復後、DALI0.CTR1.RE ビットを 1 にし、その後受信を再開してください。

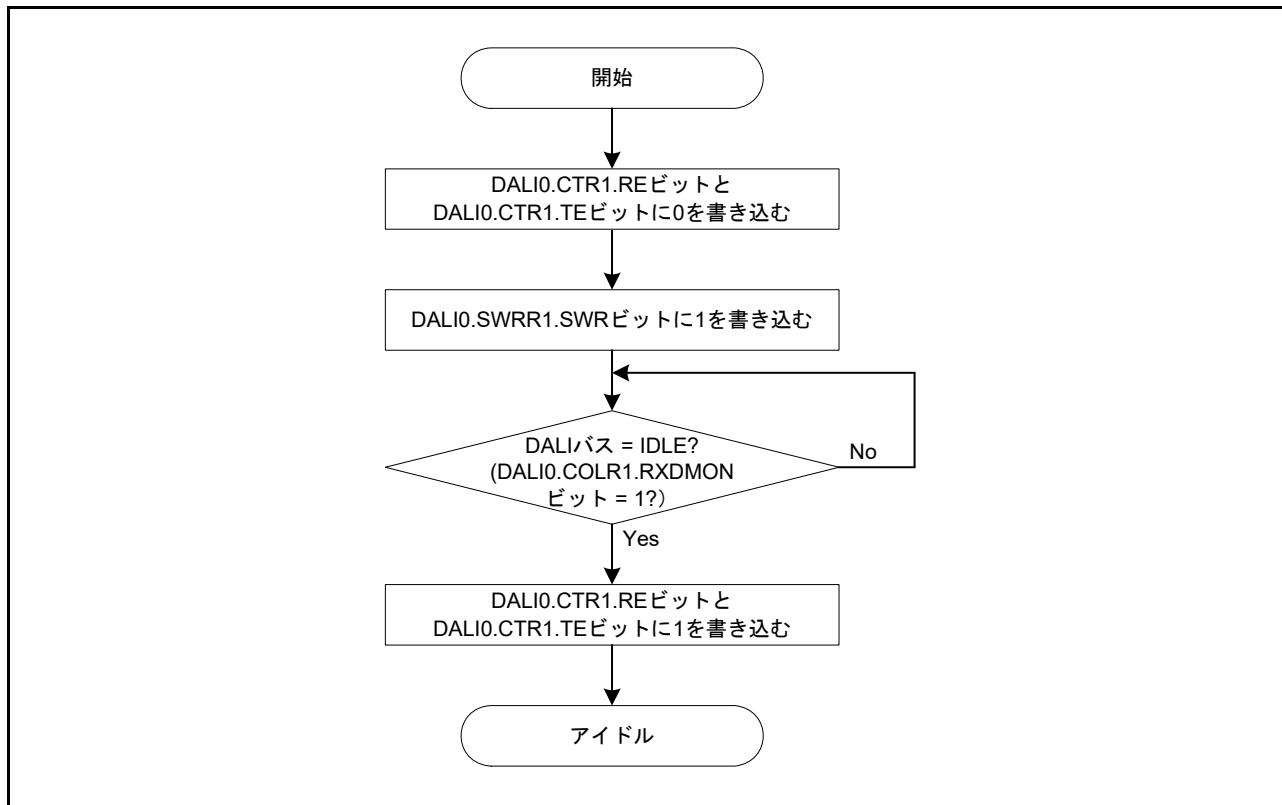


図 28.21 ソフトウェアリセットフロー

28.4.3 送信

図 28.22 に、DALI 通信でのデータ送信フローを示します。

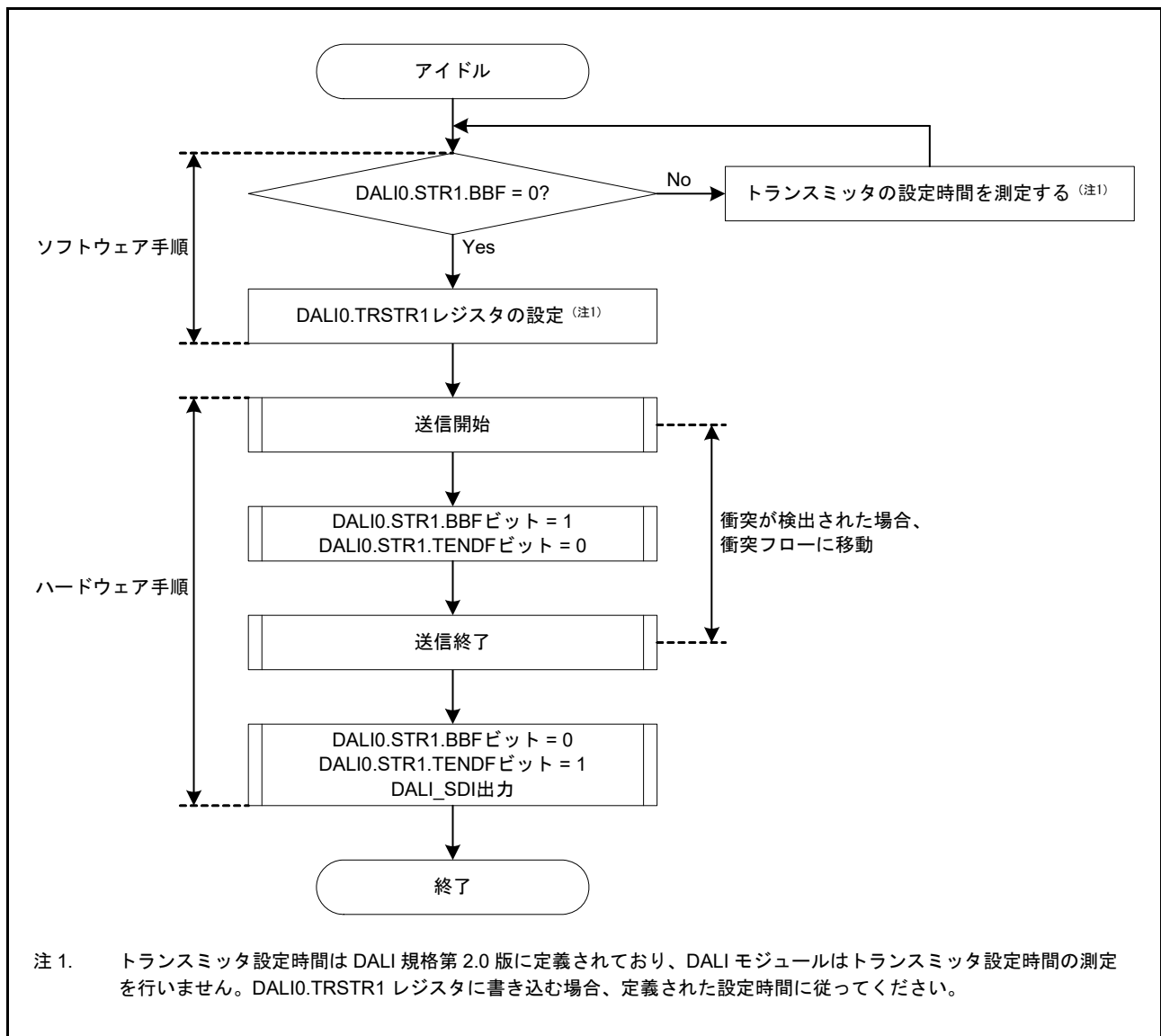


図 28.22 送信フロー

28.4.4 受信

図 28.23 に、DALI 通信でのデータ受信フローを示します。

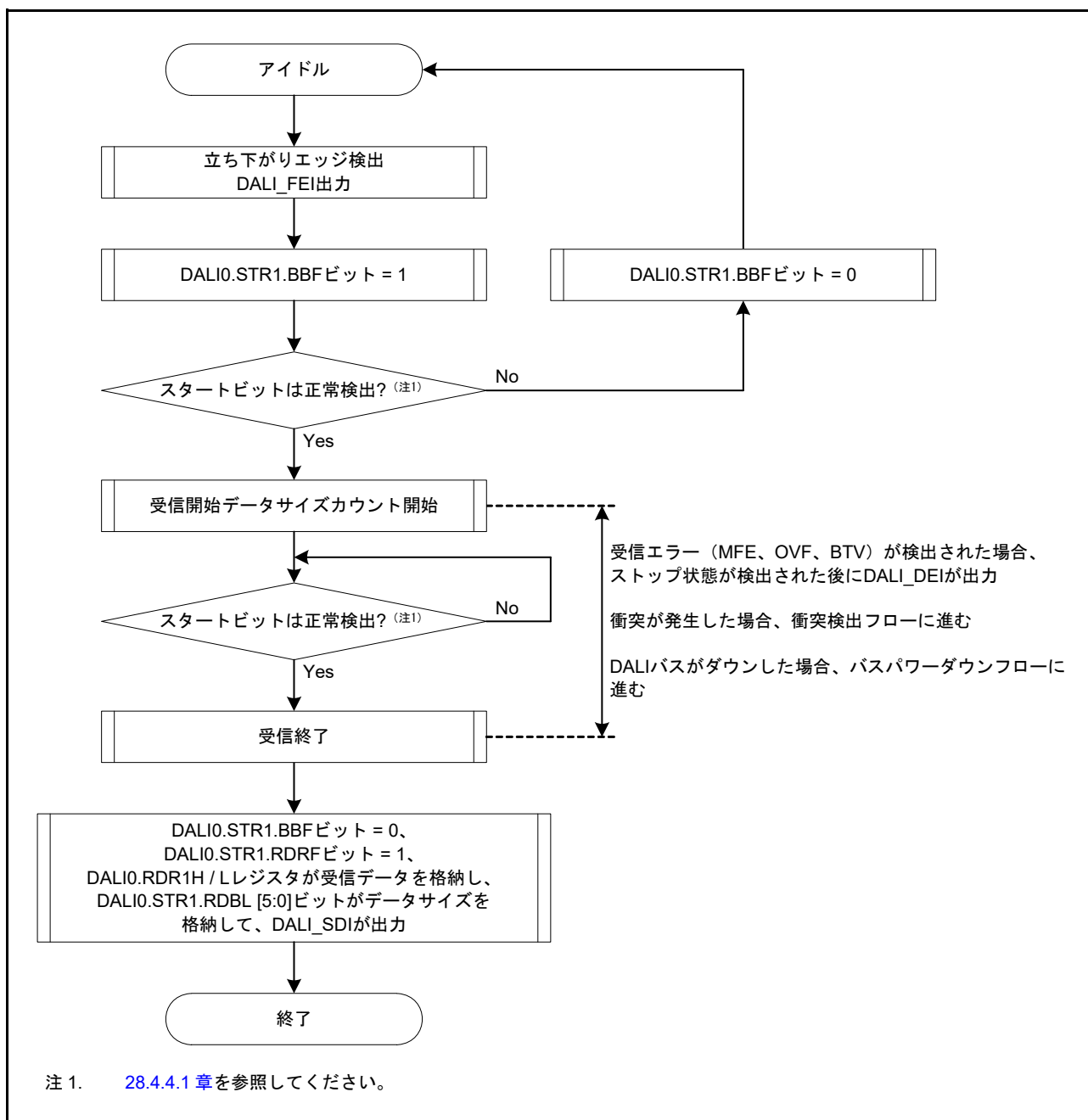


図 28.23 受信フロー

28.4.4.1 スタートビット検出

DALI モジュールには、ノイズによりスタートビットが誤って検出されるのを防止する機能があります。

DRX0 端子に立ち下がりエッジが入力されると受信動作が開始します。その後、DALI0.STR1.BBF フラグが設定されます。1/4 ビットのタイミングで DRX0 端子に High レベルが検出されると、立ち下がりエッジによりノイズが原因と判断されます。その後 DALI0.STR1.BBF フラグはクリアされ、内部状態は IDLE に戻ります。

本機能は、立ち下がりエッジ検出から 1/4 ビットタイミングまでの期間中に発生したノイズを除去します。ただし、この期間にスタートビットが生成されると、各ビットの値は、最大 1/4 ビット長前にサンプリングされます (図 28.24 参照)。その場合、マンチェスタフレーミングエラー、ビットタイミング違反、またはフレームサイズ違反が原因である可能性があります。

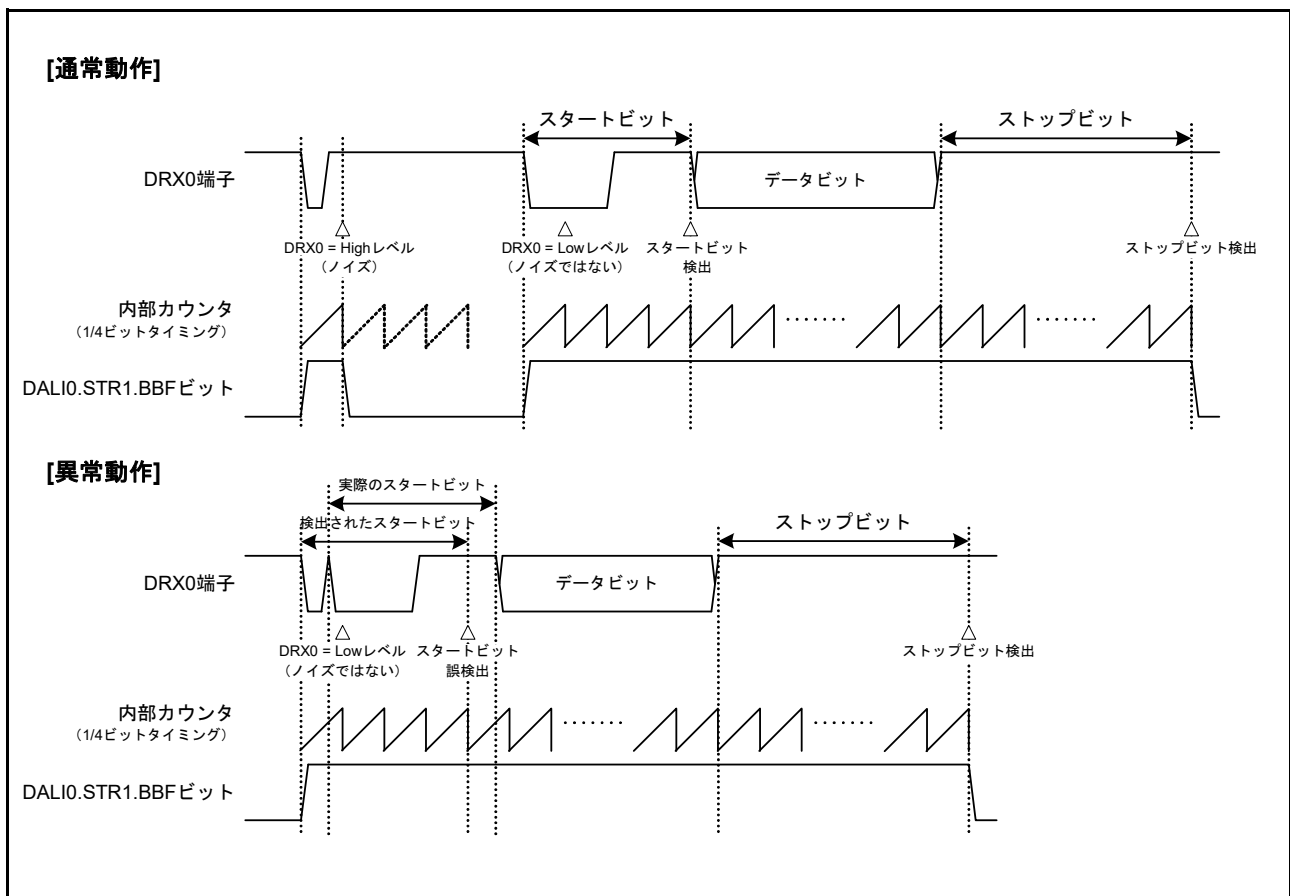


図 28.24 スタートビット検出

28.4.5 割り込み出力

28.4.5.1 DALI_FEI、DALI_SDI、DALI_DEI

DALI_SDI または DALI_DEI 受信時、フラグと受信データを検証してください。

DALI_SDI および DALI_FEI は、DALI モジュールの外部タイマを使った測定で使用されます。

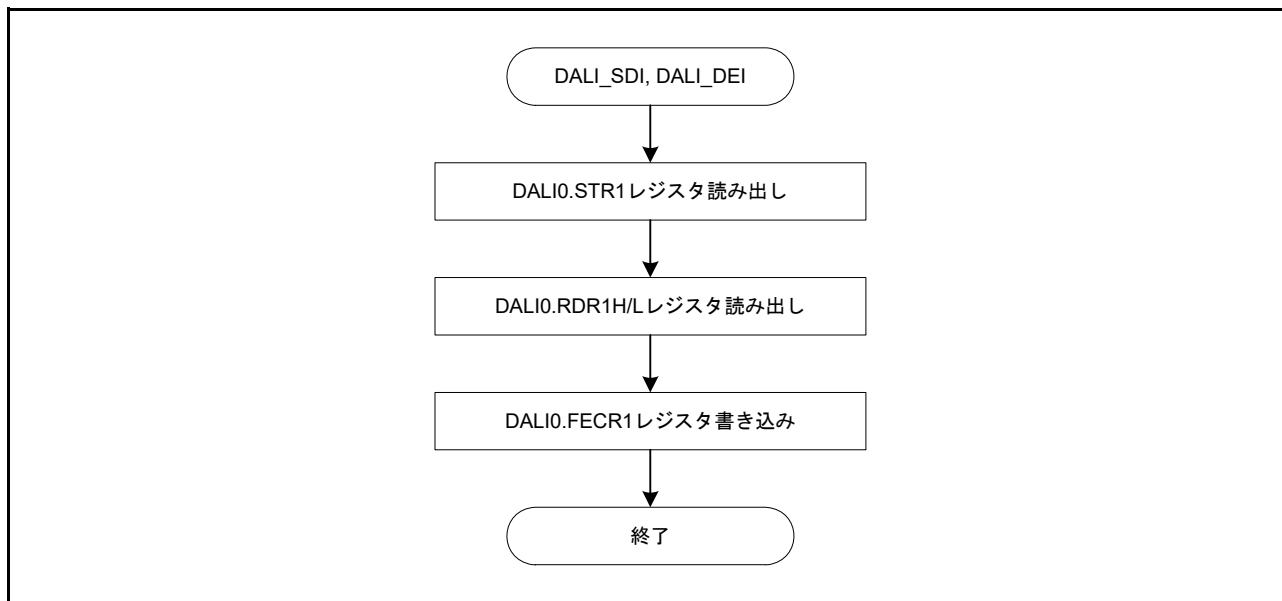


図 28.25 DALI_SDI および DALI_DEI 動作フロー (1/2)

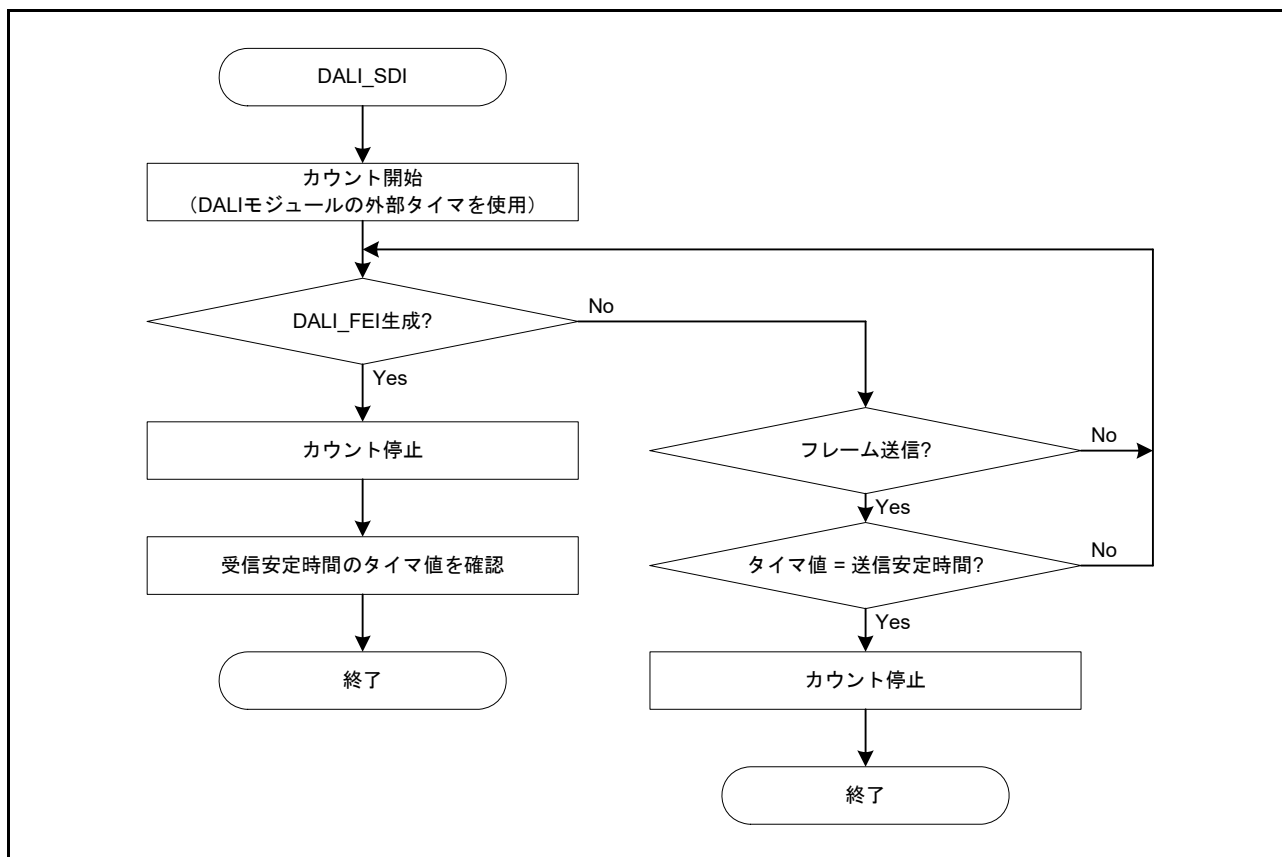


図 28.26 DALI_SDI および DALI_DEI 動作フロー (2/2)

28.4.5.2 DALI_CLI

28.3.4 の [図 28.16](#) を参照してください。

28.4.5.3 DALI_BPI

28.3.3.5 の [図 28.13](#) を参照してください。

28.5 使用上の注意事項

28.5.1 モジュールストップ状態

モジュールストップコントロールレジスタ B (MSTPCRB) により、DALI の動作を許可または禁止することが可能です。DALI モジュールは、リセット後に停止します。DALI モジュールがモジュールストップ状態から復帰すると、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

28.5.2 受信データ長の誤認

データ受信中に MFE の High レベルが BTV しきい値 6 の期間中継続すると、DALI モジュールは、ストップコンディションが検出されたことを認識しますが、MFE は検出しません。すなわち、DALI_SD1 は出力されますが、DALI_DEI は出力されず、DALI0.STR1.MFEF ビットは設定されません。たとえば、ストップコンディションが 3 ビット長と定義されている場合、24 ビットデータのビット [10:8] が High になると、DALI モジュールは、ビット [7:0] を 8 ビットデータ、ビット [10:8] をストップコンディション、ビット [11] を次フレームのスタートビット、ビット [24:12] を次フレームのデータと認識します。この場合、ビットは 2 番目のフレームと認識され、ビット [24:11] はフレームサイズ違反により無効データとして検出されます。ただし、第 1 フレームとして認識されたデータ (ビット [7:0]) は、通常の Backward フレーム受信となります。

17 ビットデータ (ビット [16:0]) が受信され、最終受信ビット (ビット [0]) が MFE で High に固定されている場合、DALI モジュールは、最後に受信されたビットはストップコンディションであると認識し、MFE を検出しません。したがって、これは 16 ビットデータの正常受信とはみなされません。

別のマスタがフレームを送信している間に DALI0.CTR1.RE ビットを 0 から 1 に変更すると、フレーム送信中にデータ受信が開始します。DALI バスが IDLE 中に DALI0.CTR1.RE ビットを設定してください。DALI0.STR1.BBF ビットまたは DALI0.COLR1.RXDMON ビットを検証して DALI バスが IDLE かどうかを判断してください。

28.5.3 32 ビット以上のデータ受信

DALI モジュールの最大受信データサイズは 32 ビットですが、DALI モジュールはストップコンディションを検出するまで受信動作を継続します。

32 ビットを越えるフレームを受信すると、DALI モジュールは、受信データのビット [33] を認識時に DALI0.STR1.O32F フラグを設定し、受信を継続します。データ長は、DALI0.STR1.RDBL[5:0] ビットの最大値、すなわち 63 までカウントアップされます。ただし、カウンタが最大値に達する前にストップコンディションが検出できない場合、カウンタはオーバーフローし、0 からカウントを再開します。この場合、DALI0.STR1.O32F フラグが 1 でも DALI0.STR1.RDBL[5:0] ビットの値は無効です。この値は、受信データ長には必要ありません。

ストップコンディションが長時間検出できない場合、DALI0.STR1.BBF フラグは 1 のままで、DALI_SD1 のような割り込み信号はアサートされません。この場合、DALI0.STR1.O32F フラグが 1 であること (不正な長いデータの受信を意味する) を確認し、DALI0.CTR1.RE ビットを 0 にして DALI モジュールの受信動作を停止してください。DALI バス状態が正常に回復したら、DALI0.SWRR1.SWR ビットを 1 にしてソフトウェアリセットを発行し、受信動作を再開してください。

28.5.4 発振エラーとサンプリングエラー

DALI モジュールの動作クロックは、PCLK 周波数を分周することにより生成されます。DALI バスからのデータは、DALI モジュールの動作クロックに同期して入力されます。このため、PCLK 発振エラーおよび DALI モジュールサンプリングエラーを考慮して、ビットタイミング違反検出しきい値および衝突検出しきい値を設定してください。DALI モジュールのサンプリングエラーは、最大で 3.25 μ s です。

DALI モジュールの発振トレラントは $\pm 1.5\%$ です。

28.5.5 DALI モジュールの外部タイマの使用

DALI 規格の更新や変更が簡単に反映されるように、いくつかの機能は DALI モジュールの外部タイマを使用しています。以下に外部タイマ制御を使用する機能について説明します。

28.5.5.1 バスパワーダウンの判定

DALI モジュールは、BTV しきい値 6 の期間、DALI バスの Low レベルを測定し、DALI_BPI を出力します。DALI 規格に従うと、バスパワーダウンとは、Low 期間が 45ms 以上継続した場合です。したがって、DALI_BPI により DALI モジュールの外部タイマを開始し、 $\{45\text{ms} - (\text{BTV しきい値 } 6)\}$ の期間を測定してください。測定終了後、DALI0.STR1.BPDF ビット値をチェックし、測定中に DALI バスが Low のままであったことを確認してください。DALI モジュールのバスパワーダウン動作の詳細については、[28.3.3.5 章](#)を参照してください。

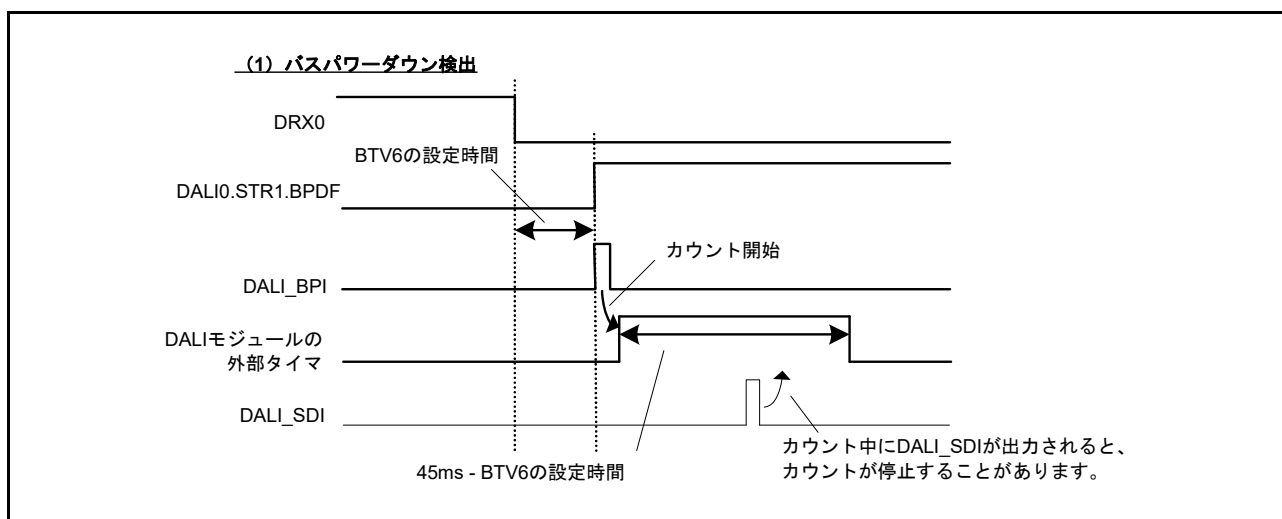


図 28.27 バスパワーダウン検出例

28.5.5.2 安定時間測定

DALI 規格に安定時間が定義されています。IEC62386-101 に指定されているように、安定時間を測定するには DALI モジュールが出力する DALI_SDI および DALI_FEI を使用してください。DALI モジュールの DRX0 端子にストップコンディション (DALI0.BTVTHR4.BTV6[8:0] で指定される時間) が検出されると DALI_SDI が出力されます。受信動作が実行されていないとき (DALI0.CTR1.RE ビット = 0) でも DRX0 端子および DALI バスは監視されます。

DALI_FEI は、DALI バス IDLE (High レベル) 状態後の最初の立ち下がりエッジ検出時に出力されます。DALI モジュールは、スタートビット認識前に DALI_FEI を出力します。したがって、DALI バス IDLE 状態から最初の立ち下がりエッジがノイズの場合、DALI_FEI が出力されますが、DALI モジュールは受信動作状態に遷移しない可能性があります。DALI_FEI は内部動作には使用されず、安定時間の測定に使用されます。

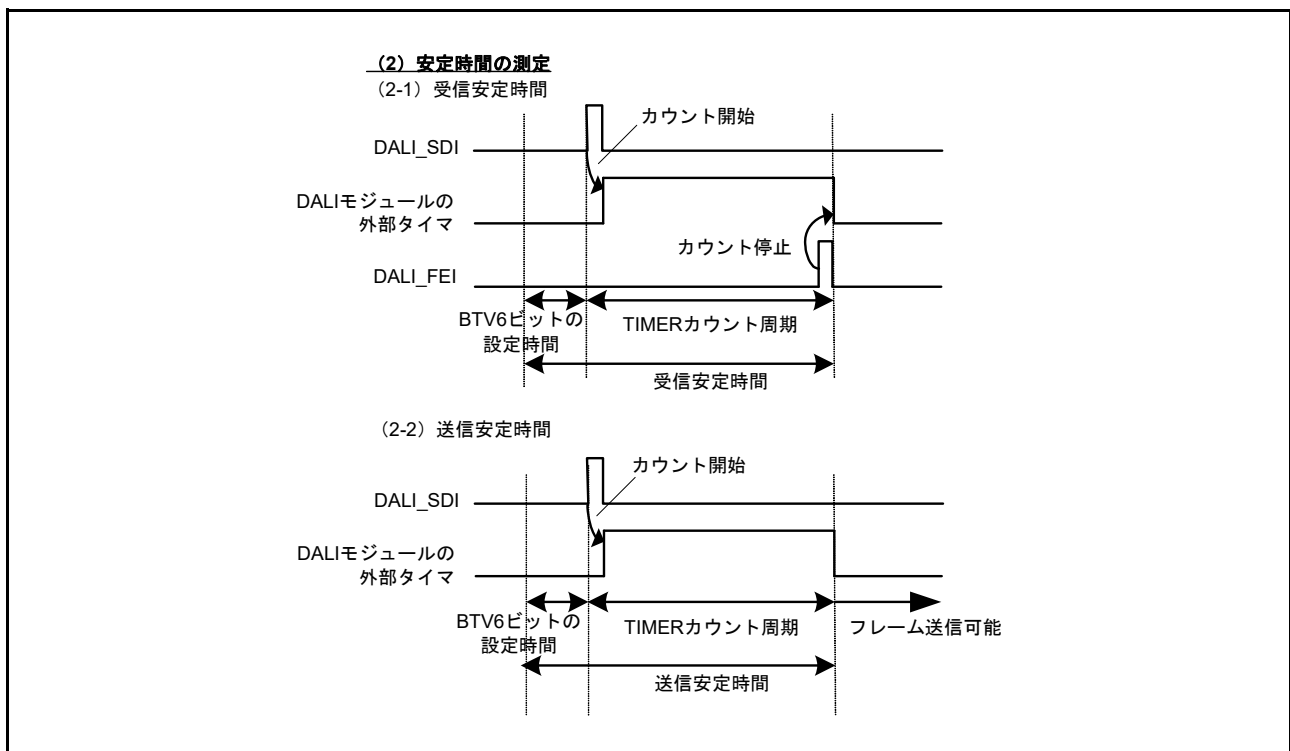


図 28.28 安定時間測定例

28.5.5.3 衝突発生時の送信制御

DALI0.CNFR2.CDE ビットが 1 になると衝突検出が開始します。DALI モジュールは、衝突が検出されても送信を続けます。DALI モジュールは、28.3.4 章で説明したとおりに制御する必要があります。

ブレイク時間 (Tbreak)、衝突回復のための回復時間 (Trecover) およびマルチマスタトランスミッタ安定時間を測定する必要があります。

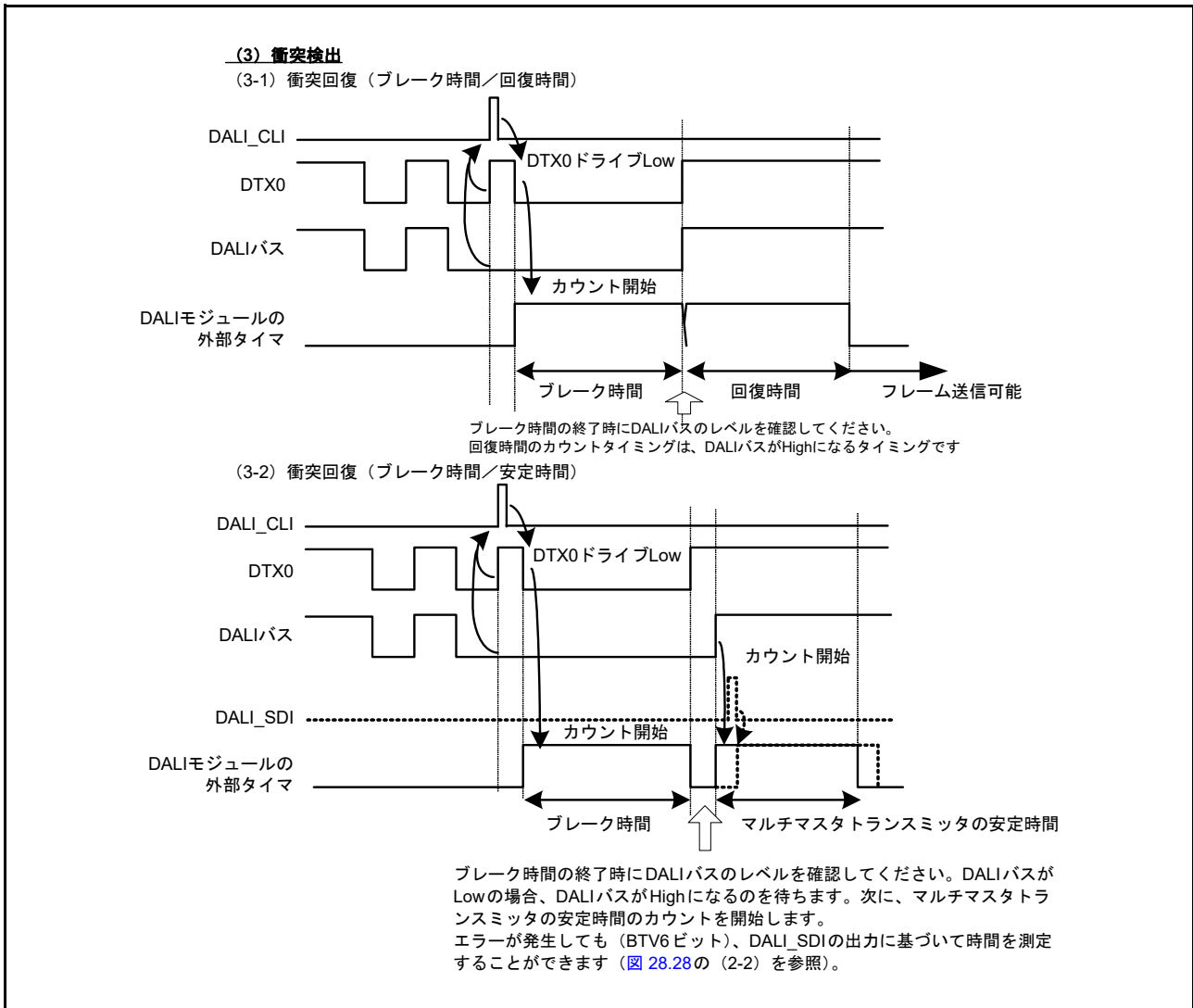


図 28.29 衝突検出例

28.5.5.4 ソフトウェアスタンバイモードからの起動動作制御

ソフトウェアスタンバイモードでは、DALI モジュールは受信動作を待ち、PCLK は供給されません。DRX0 端子に立ち下がりエッジが検出されると、DALI モジュールは、PCLK が供給された後に受信動作を開始し、スヌーズモードに遷移します。ただし、DRX0 端子の立ち下がりエッジがノイズの場合、DALI モジュールはソフトウェアスタンバイモードに戻ることができません。このため、DALI モジュールによる割り込み (DALI SDI または DALI_BPI) が一定時間ない場合は、クロック供給を停止してください。詳細は、28.5.6 章を参照してください。

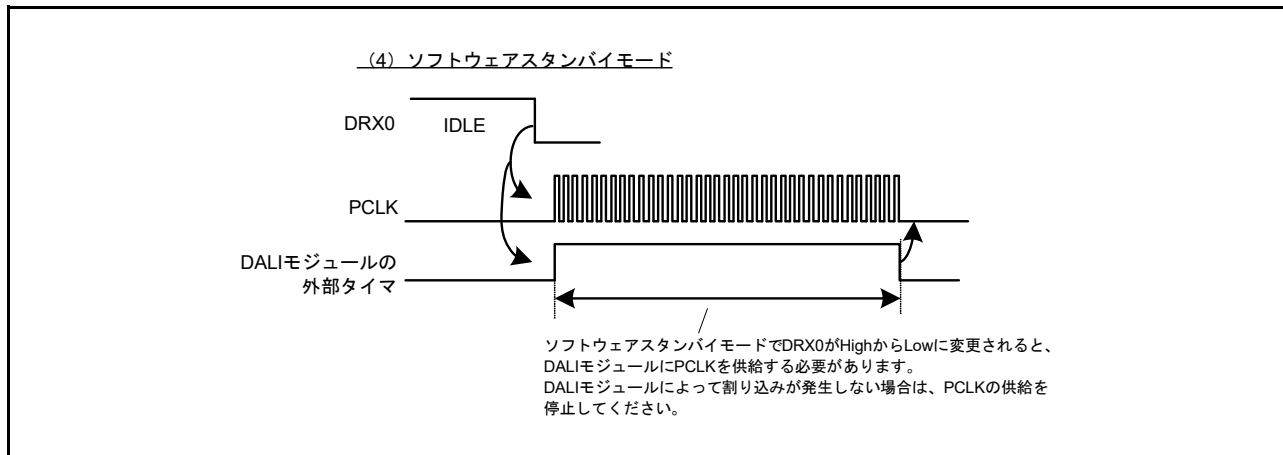


図 28.30 ソフトウェアスタンバイモード

28.5.6 ソフトウェアスタンバイモードからの起動動作

ソフトウェアスタンバイモードでは PCLK は供給されず、DALI モジュールは受信動作を待ちます。DALI モジュールは PCLK が供給されると受信動作を開始し、これはソフトウェアスタンバイモードからスヌーズモードへの遷移になります。受信開始後スタートビット期間の前半にある Low レベルが 1/4 ビットタイミングでサンプリングできない場合、DALI モジュールは、スタートビットを認識できず、第 1 フレームの受信に失敗します。MFE のような受信エラーが発生したり、DALI が受信スタンバイ状態のままになる可能性があります。

DALI モジュールがスタートビットを認識すると、スタートビットのビットタイミング違反または衝突が起こる可能性があります。これは、PCLK を供給するためのレジューム時間の結果、ビット期間の前半が短くなるためです (ソフトウェアスタンバイモードからスヌーズモードへの遷移)。

DRX0 端子に立ち下がりエッジが検出された後、DALI モジュールの外部タイマが起動されます。DALI モジュールによる割り込み (DALI SDI または DALI BPI) が一定時間ない場合は、クロック供給を停止してください (ソフトウェアスタンバイモードへの遷移)。DALI モジュールをスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制限事項があります。制限事項についての詳細は、「10. 低消費電力モード」を参照してください

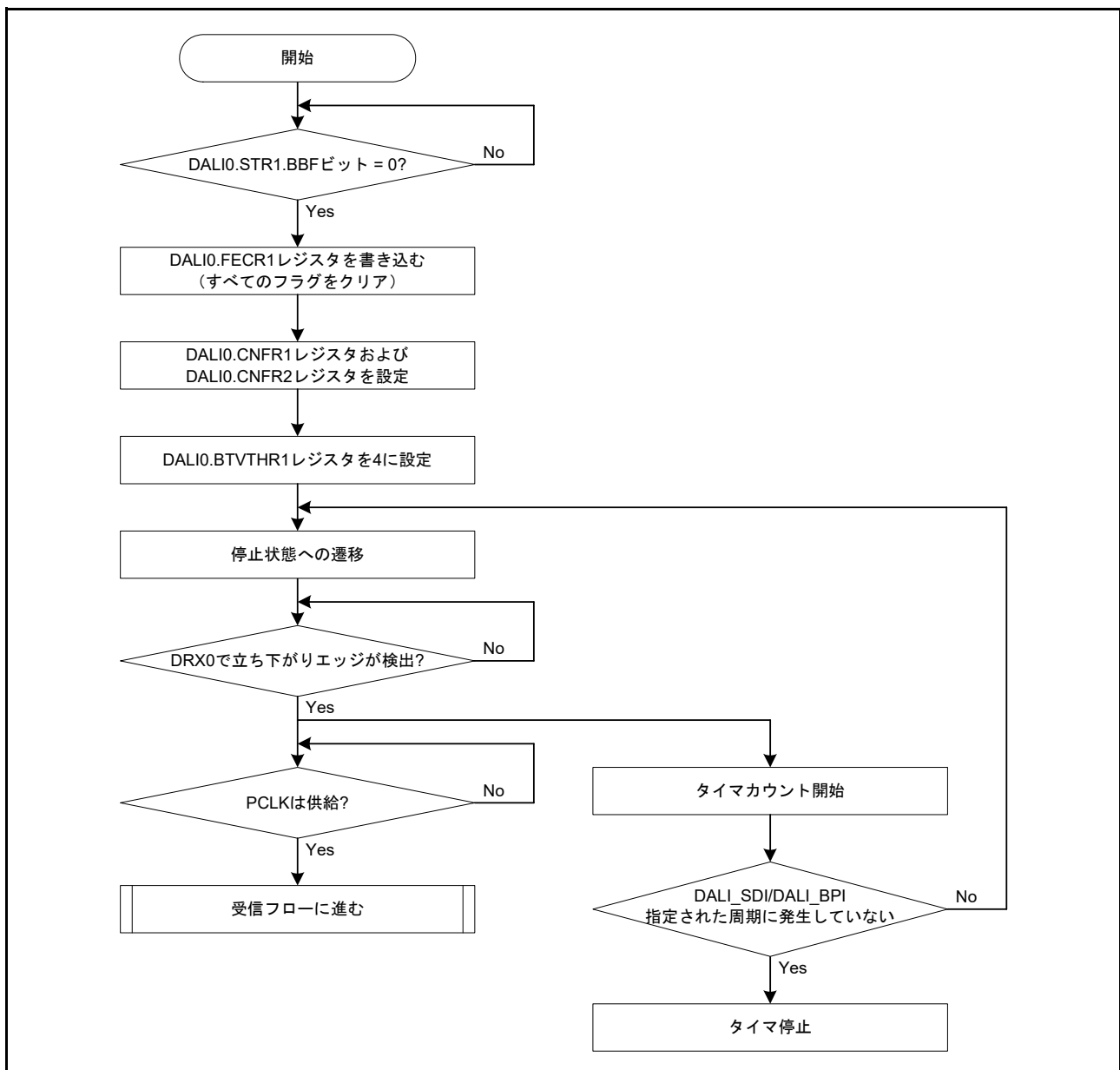


図 28.31 ソフトウェアスタンバイモードからの起動フロー

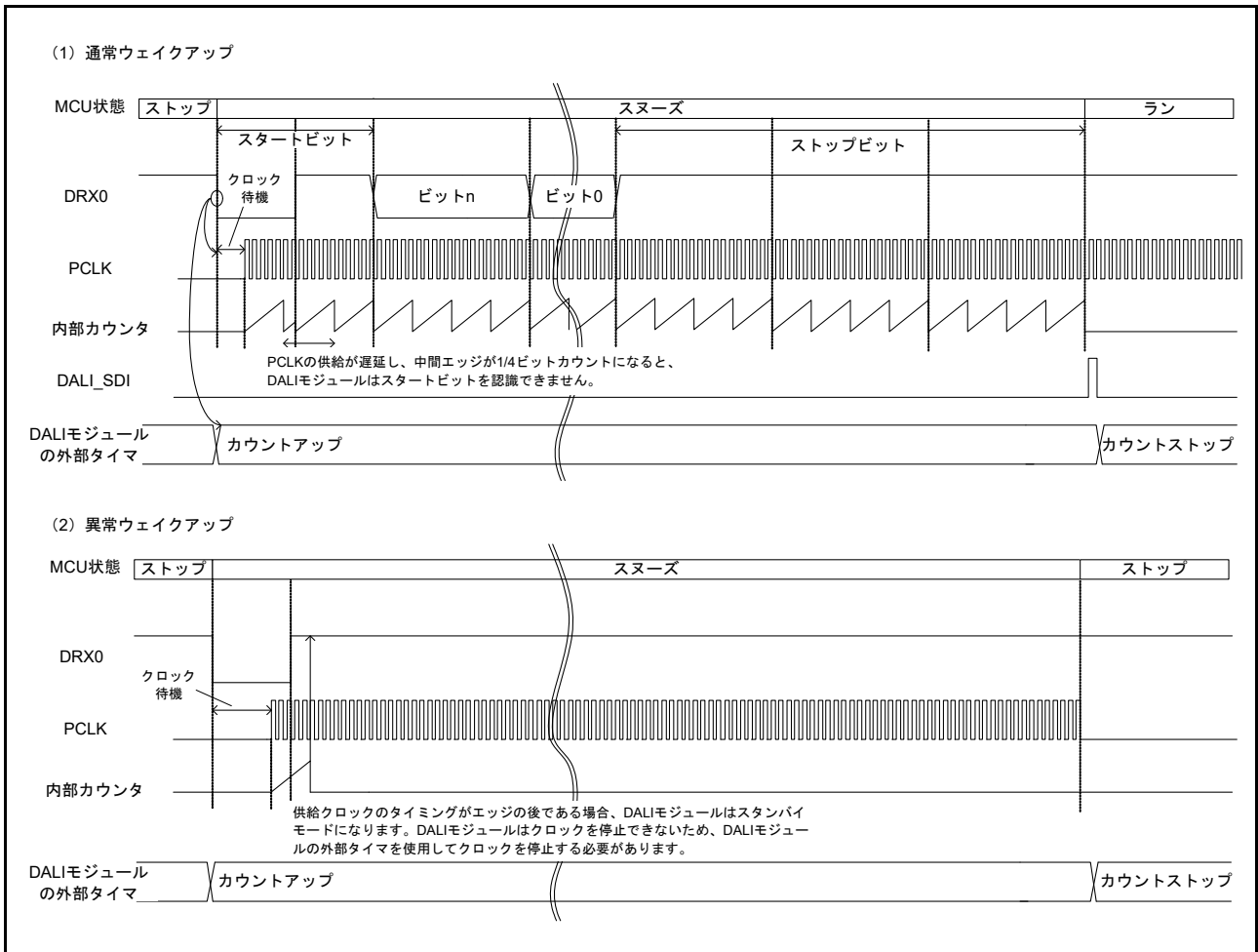


図 28.32 スヌーズモードからの起動

28.5.7 外部デバイス接続例

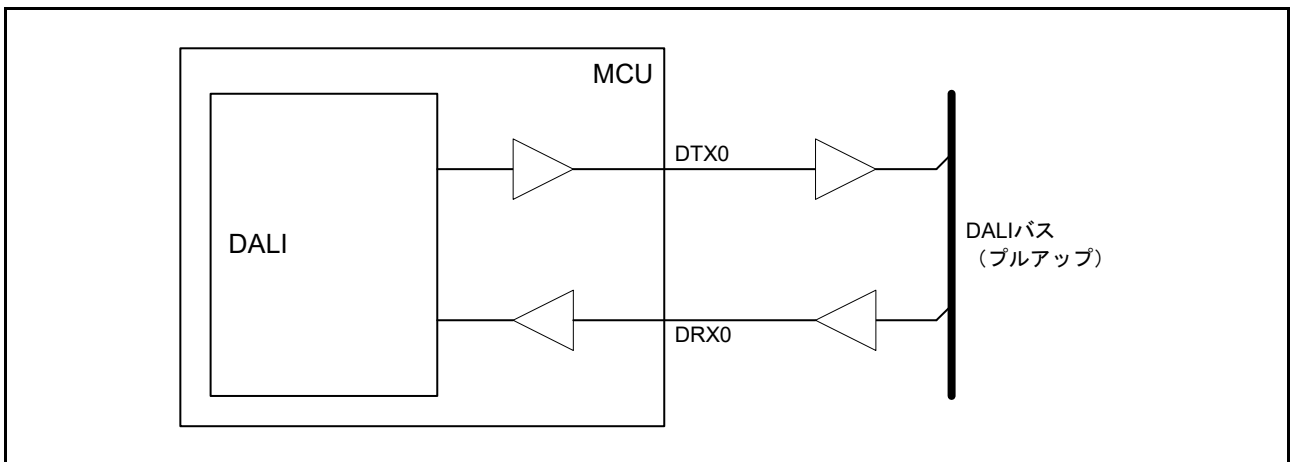


図 28.33 外部デバイス接続例

図 28.33 に示すように、DTX0 端子および DRX0 端子を DALI バスに接続してください。

国際規格 IEC 62386-101 (第 2.0 版 2014-11) に従って外部回路を設計してください。

29. I²Cバスインタフェース (IIC)

29.1 概要

本MCUは、2チャンネルのI²Cバスインタフェース (IIC) を内蔵しています。IICモジュールは、NXP社のI²C (Inter-Integrated Circuit Bus) バスインタフェース方式に準拠しており、そのサブセット機能を備えています。

表 29.1 に IIC の仕様を、図 29.1 にブロック図を、図 29.2 に入出力端子の外部回路接続例を示します。表 29.2 に、IIC の入出力端子を示します。

表 29.1 IICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> • I²CバスフォーマットまたはSMBusフォーマット • マスタ/スレーブモードを選択可能 • 転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400kbps)
SCLクロック	マスタ動作時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	<ul style="list-style-type: none"> • スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 • スタートコンディション (リスタートコンディション含む) /ストップコンディションの検出可能
スレーブアドレス	<ul style="list-style-type: none"> • 異なるスレーブアドレスを3種類まで設定可能 • 7ビット/10ビットアドレスフォーマット対応 (混在可能) • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出が可能
アクリッジ応答	<ul style="list-style-type: none"> • 送信時、アクリッジビットの自動ロード • ノットアクリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクリッジビットの自動送付 • 8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクリッジビット値のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> • 受信時、SCLクロックのLowホールドによる下記期間のウェイトが可能 • 8クロック目と9クロック目の間をウェイト • 9クロック目と次の転送の1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出力タイミングの遅延が可能
アービトレーション	<ul style="list-style-type: none"> • マルチマスタ対応 <ul style="list-style-type: none"> - 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 - スタートコンディション発行がバスで競合した場合、SDA内部信号とSDAラインの状態が不一致であればアービトレーションロストを検出可能 - マスタ動作時、SDA内部信号とSDAラインの状態が不一致であればアービトレーションロストを検出可能 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能 (スタートコンディションの二重発行防止) • ノットアクリッジビット送信時、SDA内部信号とSDAラインの状態が不一致であればアービトレーションロストを検出可能 • スレーブ送信時、データのSDA内部信号とSDAラインの状態の不一致によるアービトレーションロストを検出可能
タイムアウト検出機能	SCLクロックの長時間停止を内部で検出
ノイズ除去	<ul style="list-style-type: none"> • SCL信号とSDA信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> • 通信エラーまたはイベント発生 (アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、ストップコンディション) • 受信データフル (スレーブアドレス一致時含む) • 送信データエンプティ (スレーブアドレス一致時含む) • 送信終了
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
IICの動作モード	<ul style="list-style-type: none"> • マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信

表 29.1 IICの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none"> 通信エラーまたはイベント発生 (アービトレーション検出、NACK、タイムアウト、スタート/リスタートコンディション、ストップコンディション) 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
ウェイクアップ機能 (注1)	<ul style="list-style-type: none"> ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードまたはスヌーズモードからの復帰が可能

注 1. IIC0 の場合のみサポート。IIC1 はサポートしません。

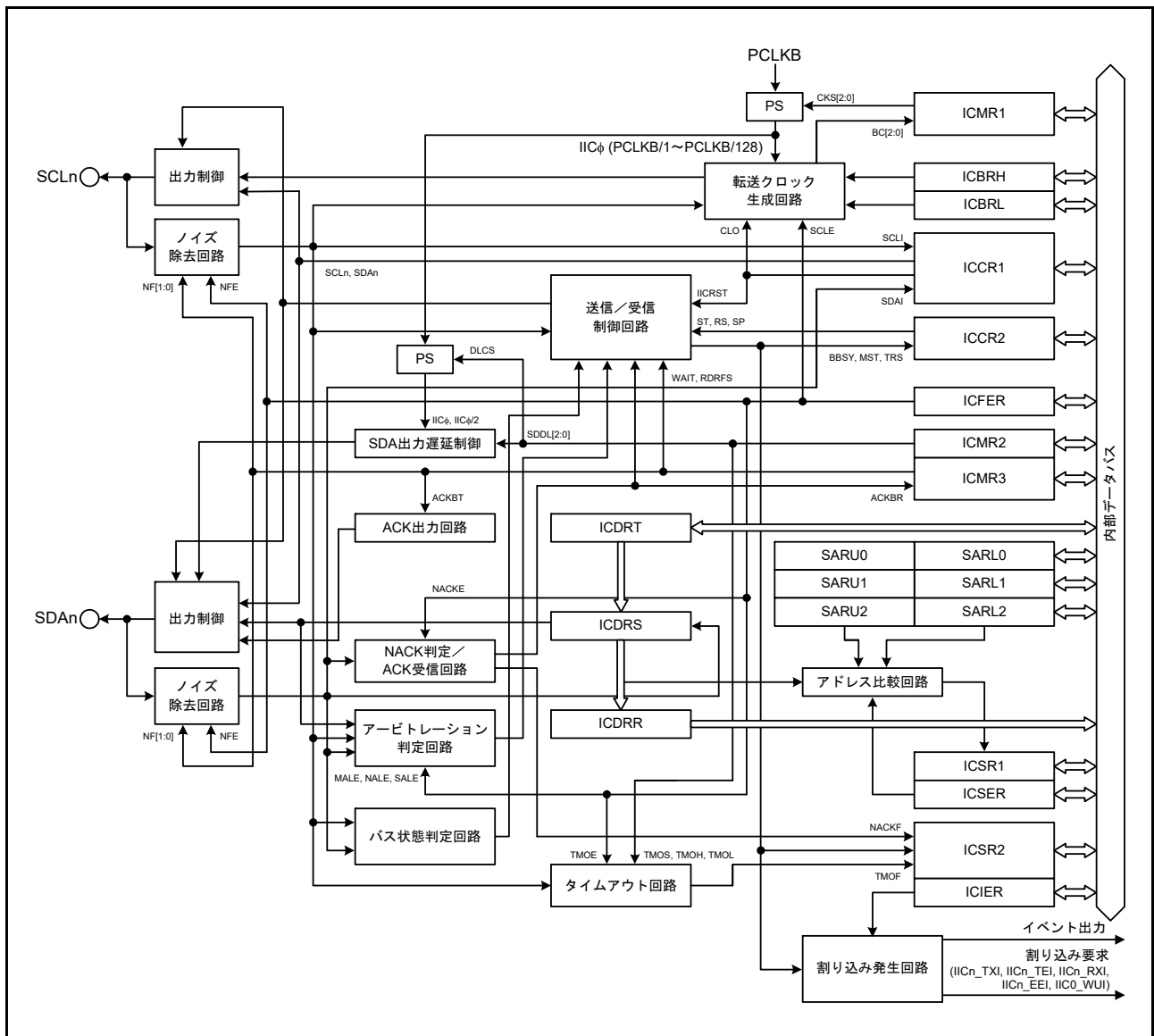


図 29.1 IICのブロック図

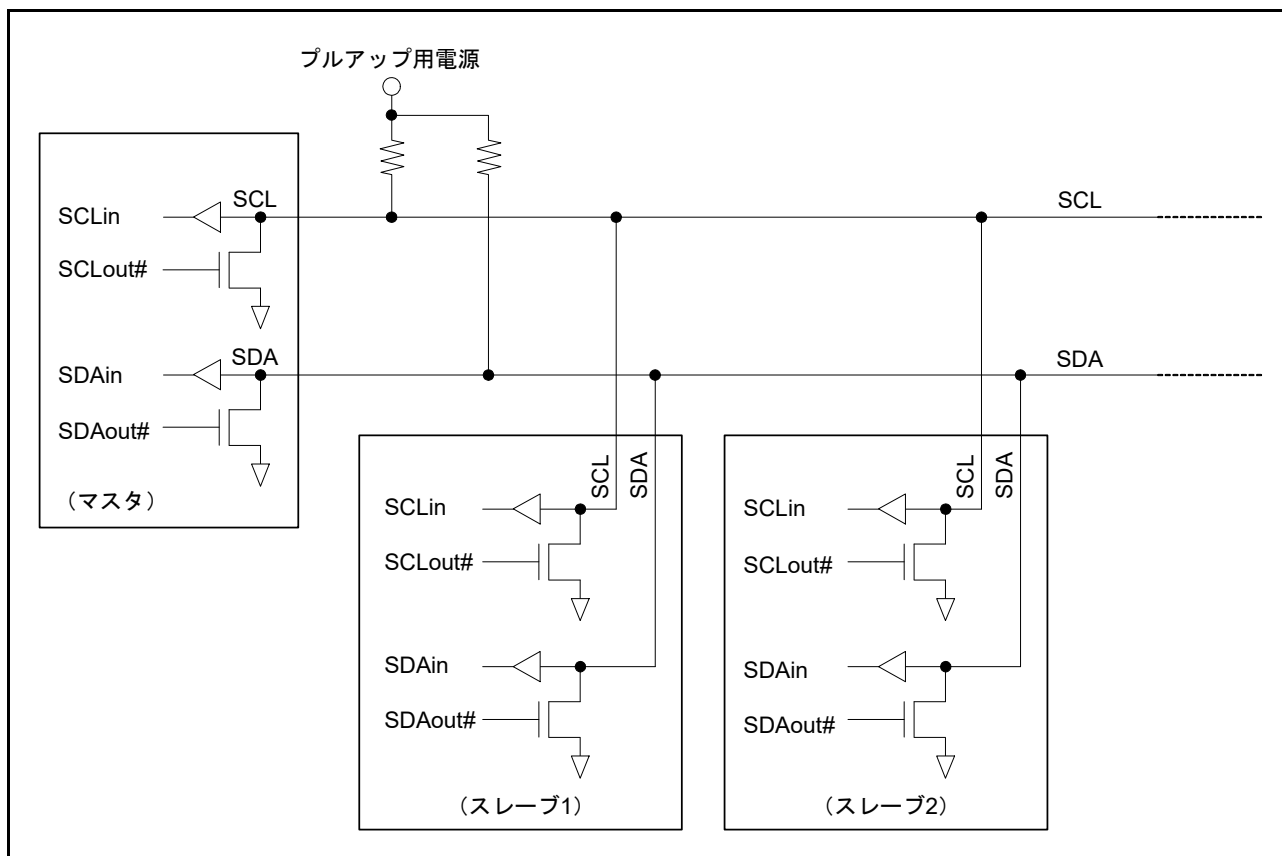


図 29.2 入出力端子の外部回路接続例 (I²C バス構成例)

IIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS = 1) は TTL レベルです。

表 29.2 IIC の端子構成

チャンネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子

29.2 レジスタの説明

29.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタ	0 : SDA _n ラインはLow 1 : SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタ	0 : SCL _n ラインはLow 1 : SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタ	<ul style="list-style-type: none"> 読み出し時 0 : IICはSDA_n端子をLowにしている 1 : IICはSDA_n端子を解放している 書き込み時 0 : SDA_n端子をLowにする 1 : SDA_n端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタ	<ul style="list-style-type: none"> 読み出し時 0 : IICはSCL_n端子をLowにしている 1 : IICはSCL_n端子を解放している 書き込み時 0 : SCL_n端子をLowにする 1 : SCL_n端子を解放する 外部プルアップ抵抗を使用して信号をHighにしてください。	R/W
b4	SOWP	SCLO/SDAOライトプロテクト	0 : SCLOおよびSDAOビットの書き込みを許可 1 : SCLOおよびSDAOビットの書き込みを禁止 読むと1が読めます。	R/W
b5	CLO	SCLクロック追加出力	0 : SCLクロックを追加で出力しない (デフォルト) 1 : SCLクロックを追加で出力する 1クロック出力後、自動的に0になります。	R/W
b6	IICRST	IICバスインタフェース内部リセット	0 : IICリセットまたは内部リセットを解除する 1 : IICリセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCL _n /SDA _n 出力ラッチを解除します。	R/W
b7	ICE	IICバスインタフェース許可	0 : 禁止 (SCL _n およびSDA _n 端子は非駆動状態) 1 : 許可 (SCL _n およびSDA _n 端子は駆動状態) IICRSTビットとの組み合わせで、IICリセット、または内部リセットを選択します。	R/W

SDAO ビット (SDA 出力制御/モニタ)、SCLO ビット (SCL 出力制御/モニタ)

IIC から出力される SDA_n 信号と SCL_n 信号を直接操作します。

これらのビットに書き込む場合は、SOWP ビットに 0 を書いてください。これらのビットを設定すると、入力バッファを介して IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、および送信、または受信中は、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力)

SCL クロックを1クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常はCLO ビットを0にしてください。通常の通信状態で本ビットを1にすると通信エラーの原因になります。この機能の詳細については、[29.12.2 SCL クロック追加出力機能](#)を参照してください。

IICRST ビット (IIC バスインタフェース内部リセット)

IIC の内部状態をリセットします。本ビットを1にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットと内部リセットのどちらが起動するかは、ICE ビットと組み合わせたIICRST ビットの設定によって決定されます。[表 29.3](#)にIIC のリセットの種類を示します。

IIC リセットでは、IIC の全レジスタと内部状態が初期化されます。内部リセットでは、IIC の内部状態に加えて、ビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) が初期化されます。各レジスタのリセット条件については、[29.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

動作中に (ICE ビット=1 の状態で) IICRST ビットを1にして内部リセットを行うと、通信不具合によってバスやIIC がハングしたとき、ポートの設定とIIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDA_n 端子がハイインピーダンスの状態でのバスが解放されます。

注. スレーブモード時に、マスタデバイスとの通信中に生じたバスハングアップに対してIICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時にSCLn ラインがLow 出力状態のままIIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 29.3 IIC のリセットの種類

IICRST	ICE	状態	内容
1	0	IICリセット	IICの全レジスタと内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0]ビット、ICSR1、ICSR2、ICDRSレジスタ、およびIICの内部状態をリセット

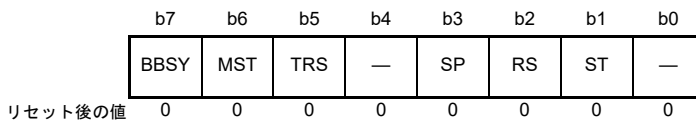
ICE ビット (IIC バスインタフェース許可)

SCL_n および SDA_n 端子の駆動状態/非駆動状態を選択します。また、IICRST ビットと組み合わせて、2種類のリセットを行うことができます。リセットの種類については、[表 29.3](#)を参照してください。

IIC を使用するときは、本ビットを1にしてください。ICE ビットを1にすると、SCL_n および SDA_n 端子は駆動状態になります。IIC を使用しないときは、本ビットを0にしてください。本ビットを0にすると、SCL_n および SDA_n 端子は非駆動状態になります。端子機能制御を設定するときに、SCL_n または SDA_n 端子をIIC に割り当てないでください。これらの端子がIIC に割り当てられると、スレーブアドレス比較が行われます。

29.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0: スタートコンディション要求を発行しない 1: スタートコンディション要求を発行	R/W
b2	RS	リスタートコンディション発行要求	0: リスタートコンディション要求を発行しない 1: リスタートコンディション要求を発行	R/W
b3	SP	ストップコンディション発行要求	0: ストップコンディション要求を発行しない 1: ストップコンディション要求を発行	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信/受信モード	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモード	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスは解放状態 (バスフリー状態) 1: I ² Cバスは占有状態 (バスビジー状態)	R

注1. ICMR1.MTWP ビットが1のとき、MST および TRS ビットへの書き込みが可能です。

ST ビット (スタートコンディション発行要求)

マスタモードへの遷移を要求し、スタートコンディションを発行します。本ビットを1にすると、BBSY フラグが0 (バスフリー状態) のときにスタートコンディションが発行されます。スタートコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1になる条件]

- 1を書いたとき

[0になる条件]

- 0を書いたとき
- スタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IICリセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のときにのみ、ST ビットを1 (スタートコンディション要求) にしてください。
BBSY フラグが1 (バスビジー状態) のときに、ST ビットを1にすると、アービトレーションロストが発生する場合があります。

RS ビット (リスタートコンディション発行要求)

マスタモード時にリスタートコンディションの発行を要求します。

本ビットが1になるとリスタートコンディションを要求し、BBSY フラグが1 (バスビジー状態) でかつ MST ビットが1 (マスタモード) であれば、リスタートコンディションが発行されます。リスタートコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグが1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- リスタートコンディションが発行されたとき (スタートコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. ストップコンディション発行中に RS ビットを1にしないでください。

注. スレーブモードで RS ビットを1 (リスタートコンディション要求) にすると、リスタートコンディションは発行されず、RS ビットは1のままになります。本ビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット (ストップコンディション発行要求)

マスタモード時にストップコンディションの発行を要求します。

本ビットを1にすると、BBSY フラグが1 (バスビジー状態) でかつ MST ビットが1 (マスタモード) のときにストップコンディションが発行されます。ストップコンディション発行の詳細については、[29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能](#)を参照してください。

[1 になる条件]

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも1の状態、1を書いたとき

[0 になる条件]

- 0を書いたとき
- ストップコンディションが発行されたとき (ストップコンディションが検出されたとき)
- ICSR2.AL (アービトレーションロスト) フラグが1になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

注. BBSY フラグが0 (バスフリー状態) のとき、SP ビットへの書き込みは不可能です。

注. リスタートコンディション発行中に SP ビットを1にしないでください。

TRS ビット (送信/受信モード)

送信/受信モードを示します。

IIC は、TRS ビットが0のときは受信モード、1のときは送信モードになります。本ビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、本ビット値は自動的に1 (送信モード) または0 (受信モード) に変化します。ICMR1.MTWP ビットが1のとき、本ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき (RS ビットが 1 の状態で、リスタートコンディションが検出されたとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

[0になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- マスタモード時、値が 1 の R/W# ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、リスタートコンディションが検出されたとき (ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット (マスタ/スレーブモード)

マスタモード/スレーブモードを示します。IIC は、本ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。本ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、本ビットの値は自動的に 1 (マスタモード) または 0 (スレーブモード) に変化します。ICMR1.MTWP ビットが 1 のとき、本ビットへ書き込むことは可能ですが、通常の使用時は、書き込む必要はありません。

[1になる条件]

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき (ST ビットが 1 の状態で、スタートコンディションが検出されたとき)
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

[0になる条件]

- ストップコンディションが検出されたとき
- ICSR2.AL (アービトレーションロスト) フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスが占有されているか (バスビジー状態)、解放されているか (バスフリー状態) を示します。

SCLn ラインが High のときに SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、本フラグは 1 になります。バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、本フラグは 0 になります。

[1になる条件]

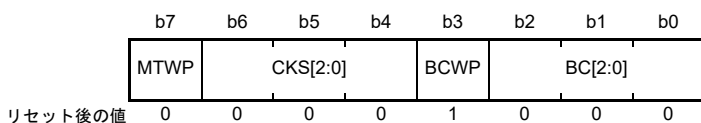
- スタートコンディションが検出されたとき

[0になる条件]

- ストップコンディション検出後、バスフリー時間 (ICBRL レジスタの設定) スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

29.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h



ビット	シンボル	ビット名	機能	R/W																		
b2-b0	BC[2:0]	ビットカウンタ	<table style="font-size: small; border: none;"> <tr><td>b2</td><td>b0</td></tr> <tr><td>0 0 0:</td><td>9ビット</td></tr> <tr><td>0 0 1:</td><td>2ビット</td></tr> <tr><td>0 1 0:</td><td>3ビット</td></tr> <tr><td>0 1 1:</td><td>4ビット</td></tr> <tr><td>1 0 0:</td><td>5ビット</td></tr> <tr><td>1 0 1:</td><td>6ビット</td></tr> <tr><td>1 1 0:</td><td>7ビット</td></tr> <tr><td>1 1 1:</td><td>8ビット</td></tr> </table>	b2	b0	0 0 0:	9ビット	0 0 1:	2ビット	0 1 0:	3ビット	0 1 1:	4ビット	1 0 0:	5ビット	1 0 1:	6ビット	1 1 0:	7ビット	1 1 1:	8ビット	R/W (注1)
b2	b0																					
0 0 0:	9ビット																					
0 0 1:	2ビット																					
0 1 0:	3ビット																					
0 1 1:	4ビット																					
1 0 0:	5ビット																					
1 0 1:	6ビット																					
1 1 0:	7ビット																					
1 1 1:	8ビット																					
b3	BCWP	BCライトプロテクト	0 : BC[2:0] ビットの書き込み許可 1 : BC[2:0] ビットの書き込み禁止 読むと1が読めます。	R/W (注1)																		
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース (IICφ) を選択します。 <table style="font-size: small; border: none;"> <tr><td>b6</td><td>b4</td></tr> <tr><td>0 0 0:</td><td>PCLKB クロック</td></tr> <tr><td>0 0 1:</td><td>PCLKB/2 クロック</td></tr> <tr><td>0 1 0:</td><td>PCLKB/4 クロック</td></tr> <tr><td>0 1 1:</td><td>PCLKB/8 クロック</td></tr> <tr><td>1 0 0:</td><td>PCLKB/16 クロック</td></tr> <tr><td>1 0 1:</td><td>PCLKB/32 クロック</td></tr> <tr><td>1 1 0:</td><td>PCLKB/64 クロック</td></tr> <tr><td>1 1 1:</td><td>PCLKB/128 クロック</td></tr> </table>	b6	b4	0 0 0:	PCLKB クロック	0 0 1:	PCLKB/2 クロック	0 1 0:	PCLKB/4 クロック	0 1 1:	PCLKB/8 クロック	1 0 0:	PCLKB/16 クロック	1 0 1:	PCLKB/32 クロック	1 1 0:	PCLKB/64 クロック	1 1 1:	PCLKB/128 クロック	R/W
b6	b4																					
0 0 0:	PCLKB クロック																					
0 0 1:	PCLKB/2 クロック																					
0 1 0:	PCLKB/4 クロック																					
0 1 1:	PCLKB/8 クロック																					
1 0 0:	PCLKB/16 クロック																					
1 0 1:	PCLKB/32 クロック																					
1 1 0:	PCLKB/64 クロック																					
1 1 1:	PCLKB/128 クロック																					
b7	MTWP	MST/TRSライトプロテクト	0 : ICCR2レジスタのMSTおよびTRSビットの書き込み禁止 1 : ICCR2レジスタのMSTおよびTRSビットの書き込み許可	R/W																		

注 1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0] ビット (ビットカウンタ)

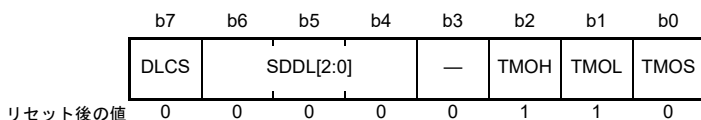
SCL_n ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCL_n ラインが Low の状態で、転送するデータのビット数+1 (追加のアクノリッジビット分) を転送フレーム間で指定してください。

BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション/リスタートコンディションの検出時に 000b に戻ります。

29.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0: SCLnラインがLowのときカウントを禁止 1: SCLnラインがLowのときカウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0: SCLnラインがHighのときカウントを禁止 1: SCLnラインがHighのときカウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> • ICMR2.DLCS = 0 (IICφ) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0: 出力遅延なし <li style="padding-left: 20px;">0 0 1: IICφの1サイクル <li style="padding-left: 20px;">0 1 0: IICφの2サイクル <li style="padding-left: 20px;">0 1 1: IICφの3サイクル <li style="padding-left: 20px;">1 0 0: IICφの4サイクル <li style="padding-left: 20px;">1 0 1: IICφの5サイクル <li style="padding-left: 20px;">1 1 0: IICφの6サイクル <li style="padding-left: 20px;">1 1 1: IICφの7サイクル • ICMR2.DLCS = 1 (IICφ/2) のとき <li style="padding-left: 20px;">b6 b4 <li style="padding-left: 20px;">0 0 0: 出力遅延なし <li style="padding-left: 20px;">0 0 1: IICφの1または2サイクル <li style="padding-left: 20px;">0 1 0: IICφの3または4サイクル <li style="padding-left: 20px;">0 1 1: IICφの5または6サイクル <li style="padding-left: 20px;">1 0 0: IICφの7または8サイクル <li style="padding-left: 20px;">1 0 1: IICφの9または10サイクル <li style="padding-left: 20px;">1 1 0: IICφの11または12サイクル <li style="padding-left: 20px;">1 1 1: IICφの13または14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注 1. DLCS = 1 (IICφ/2) の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択)

タイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出時間としてロングモードまたはショートモードを選択します。本ビットを 0 にすると、ロングモードが選択されます。TMOS ビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。SCLn ラインが、このカウンタを TMOH ビットと TMOL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、29.12.1 タイムアウト検出機能を参照してください。

TMOL ビット (タイムアウトLカウント制御)

SCLn ラインが Low ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

TMOH ビット (タイムアウト H カウント制御)

SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効 (ICFER.TMOE ビット = 1) の場合に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値を使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。SDDL[2:0] ビットの設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力で使用可能です。

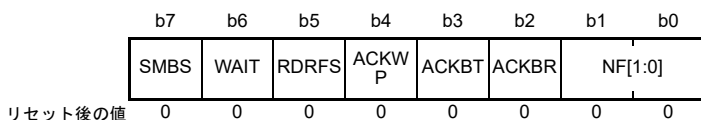
SDA 出力遅延は、データ有効時間/アクノリッジ有効時間 (注 1) に対する I²C バス規格、または SMBus 規格を満たすように、「データホールド時間 (300ns 以上 + SCL クロックの Low 幅) - データセットアップ時間 (250ns)」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、[29.5 SDA 出力遅延機能](#)を参照してください。

- 注 1. データ有効時間/アクノリッジ有効時間
 3450ns (~ 100kbps) : スタンダードモード (Sm)
 900ns (~ 400kbps) : ファストモード (Fm)

29.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h



ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 0 0 : 1IICφサイクル以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφサイクル以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφサイクル以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφサイクル以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジ	0 : アクノリッジビットに0を受信 (ACK受信) 1 : アクノリッジビットに1を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジ	0 : アクノリッジビットに0を送出 (ACK送信) 1 : アクノリッジビットに1を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクト	0 : ACKBTビットの書き込み禁止 1 : ACKBTビットの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセットタイミング選択	0 : SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりでSCLnラインのLowホールドを行わない 1 : SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット 8クロック目の立ち下がりSCLnラインのLowホールドを行う LowホールドはACKBTへの書き込みで解除	R/W (注2)
b6	WAIT	WAIT	0 : ウェイトなし 9クロック目と1クロック目の間にLowホールドを行わない 1 : ウェイトあり 9クロック目と1クロック目の間にLowホールドを行う LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/IICバス選択	0 : I ² Cバスを選択 1 : SMBusを選択	R/W

- 注1. ACKBT ビットに書く場合には、ACKWP ビットが1であるときのみに行ってください。アプリケーションがACKWP ビットとACKBT ビットに同時に1を書き込んでも、ACKBT ビットは1になりません。
- 注2. WAIT ビットとRDRFS ビットは、受信モードでのみ有効 (送信モードでは無効) です。

NF[1:0] ビット (ノイズフィルタ段数選択)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、29.6 デジタルノイズフィルタ回路を参照してください。

- 注. 除去するノイズ幅は、SCLnラインのHigh幅またはLow幅よりも狭くなるように設定してください。ノイズ幅の設定が [SCLクロックの幅 : High幅またはLow幅のいずれか短い方] — [1.5 内部基準クロック (IICφ) サイクル + アナログノイズフィルタ : 120ns (参考値)] の値以上の場合、SCLクロックはノイズとみなされ、IICが正常に動作しない可能性があります。

ACKBR ビット (受信アクノリッジ)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- ICCR2.TRS ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKBT ビット (送信アクノリッジ)

受信モード時に送出されるアクノリッジビットを設定します。

[1 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 1 を書いたとき

[0 になる条件]

- ACKWP ビットが 1 の状態で、ACKBT ビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき (ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき)
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき (IIC リセット)

ACKWP ビット (ACKBT ライトプロテクト)

ACKBT ビットの書き込み許可を制御します。

RDRFS ビット (RDRF フラグセットタイミング選択)

受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドを行うか否かを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がり SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK (ACKBT ビットが 0) または NACK (ACKBT ビットが 1) の送出処理が可能となります。

WAIT ビット (WAIT)

受信モードにおいて 1 バイト受信ごとに、受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low ホールドするか否かを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注. WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

SMBS ビット (SMBus/IIC バス選択)

本ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

29.2.6 I²Cバスファンクションイネーブルレジスタ (ICFER)

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0: 無効 1: 有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0: 無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST、TRSビットの自動クリアを禁止します。 1: 有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST、TRSビットの自動クリアを許可します。	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0: 無効 1: 有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0: 無効 1: 有効	R/W
b4	NACKE	NACK受信転送中断許可	0: NACK受信時、転送を中断しない (転送中断禁止) 1: NACK受信時、転送を中断する (転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0: SCL同期回路を使用しない 1: SCL同期回路を使用する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMOE ビット (タイムアウト検出機能有効)

タイムアウト検出機能を有効または無効にします。

タイムアウト検出機能の詳細については、[29.12.1 タイムアウト検出機能](#)を参照してください。

MALE ビット (マスタアービトレーションロスト検出有効)

マスタモード時にアービトレーションロスト検出機能を使用するか否かを指定します。通常の動作では、本ビットを1にしてください。

NALE ビット (NACK送信アービトレーションロスト検出有効)

受信モード時のNACK送出中にACKが検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など) に、アービトレーションロストを発生させるか否かを選択します。

SALE ビット (スレーブアービトレーションロスト検出有効)

スレーブ送信モード時に送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など) に、アービトレーションロストを発生させるか否かを選択します。

NACK ビット (NACK 受信転送中断許可)

送信モード時にスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は、NACK ビットを 1 にしてください。

NACK ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACK ビットが 0 のとき、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

NACK 受信転送中断機能の詳細については、[29.9.2 NACK 受信転送中断機能](#)を参照してください。

SCLE ビット (SCL 同期回路有効)

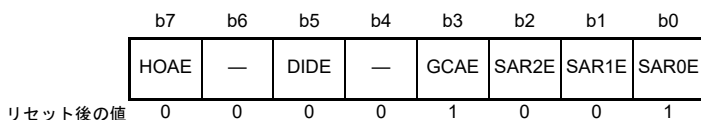
SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は、SCLE ビットを 1 にしてください。

SCLE ビットを 0 (SCL 同期回路を使用しない) にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCL_n ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また、SCL 同期回路を使用しないと、スタートコンディション/リスタートコンディション/ストップコンディションの発行と、追加 SCL クロックサイクルの連続出力にも影響します。

本ビットは、設定した転送速度が出力されているか確認する場合を除き、0 にしないでください。

29.2.7 I²Cバスステータスイネーブルレジスタ (ICSER)

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h



ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0有効	0: SARL0およびSARU0のスレーブアドレス無効 1: SARL0およびSARU0のスレーブアドレス有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1有効	0: SARL1およびSARU1のスレーブアドレス無効 1: SARL1およびSARU1のスレーブアドレス有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2有効	0: SARL2およびSARU2のスレーブアドレス無効 1: SARL2およびSARU2のスレーブアドレス有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0: ジェネラルコールアドレス検出無効 1: ジェネラルコールアドレス検出有効	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DIDE	デバイスIDアドレス検出有効	0: デバイスIDアドレス検出無効 1: デバイスIDアドレス検出有効	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOAE	ホストアドレス有効	0: ホストアドレス検出無効 1: ホストアドレス検出有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 有効) (y = 0 ~ 2)

受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

本ビットを1にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。本ビットを0にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス有効)

ジェネラルコールアドレス (0000 000b + 0[W] : All 0) を受信した場合、無視するかどうかを選択します。

本ビットが1の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y=0~2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。本ビットが0の場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出有効)

スタートコンディションまたはリスタートコンディション検出後の第1フレームでデバイス ID (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

本ビットが1のときに、受信した第1フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが 0 [W] の場合、IIC は第2フレーム以降をスレーブアドレスとみなして、受信動作を継続します。本ビットが0の場合、IIC は受信した第1フレームがデバイス ID アドレスと一致してもそれを無視し、第1フレームを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、29.7.3 デバイス ID アドレス検出機能を参照してください。

HOAE ビット (ホストアドレス有効)

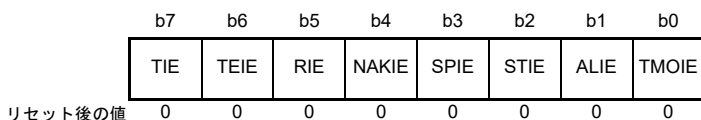
ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス (0001 000b) を無視するかどうかを選択します。

ICMR3.SMBS ビットが 1 で、かつ本ビットが 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは本ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

29.2.8 I²Cバス割り込みイネーブルレジスタ (ICIER)

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h



ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0: タイムアウト割り込み (TMOIn) 要求を禁止 1: タイムアウト割り込み (TMOIn) 要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0: アービトレーションロスト割り込み (ALIn) 要求を禁止 1: アービトレーションロスト割り込み (ALIn) 要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0: スタートコンディション検出割り込み (STIn) 要求を禁止 1: スタートコンディション検出割り込み (STIn) 要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0: ストップコンディション検出割り込み (SPIn) 要求を禁止 1: ストップコンディション検出割り込み (SPIn) 要求を許可	R/W
b4	NAKIE	NACK受信割り込み要求許可	0: NACK受信割り込み (NAKIn) 要求を禁止 1: NACK受信割り込み (NAKIn) 要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0: 受信データフル割り込み (IICn_RXI) 要求を禁止 1: 受信データフル割り込み (IICn_RXI) 要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0: 送信終了割り込み (IICn_TEI) 要求を禁止 1: 送信終了割り込み (IICn_TEI) 要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0: 送信データエンプティ割り込み (IICn_TXI) 要求を禁止 1: 送信データエンプティ割り込み (IICn_TXI) 要求を許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可)

ICSR2.TMOF フラグが1のとき、タイムアウト割り込み (TMOIn) 要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは本ビットを0にします。

ALIE ビット (アービトレーションロスト割り込み要求許可)

ICSR2.AL フラグが1のとき、アービトレーションロスト割り込み (ALIn) 要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは本ビットを0にします。

STIE ビット (スタートコンディション検出割り込み要求許可)

ICSR2.START フラグが1のとき、スタートコンディション検出割り込み (STIn) 要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは本ビットを0にします。

SPIE ビット (ストップコンディション検出割り込み要求許可)

ICSR2.STOP フラグが1のとき、ストップコンディション検出割り込み (SPIn) 要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは本ビットを0にします。

NAKIE ビット (NACK 受信割り込み要求許可)

ICSR2.NACKF フラグが1のとき、NACK 受信割り込み (NAKIn) 要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは本ビットを0にします。

RIE ビット (受信データフル割り込み要求許可)

ICSR2.RDRF フラグが1のとき、受信データフル割り込み (IICn_RXI) 要求を許可または禁止します。

TEIE ビット (送信終了割り込み要求許可)

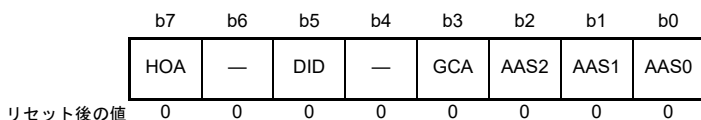
ICSR2.TEND フラグが1のとき、送信終了割り込み (IICn_TEI) 要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは本ビットを0にします。

TIE ビット (送信データエンプティ割り込み要求許可)

ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み (IICn_TXI) 要求を許可または禁止します。

29.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h



ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDコマンド未検出 1 : デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームが、 [デバイスIDアドレス (1111 100b) + 0[W]] の値と一致した 場合、1になります。	R/(W) (注1)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1になります。	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[1になる条件]

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSE.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットの値と一致したとき。本フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

【10ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSE.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき。本フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで1になる

[0になる条件]

- 1を読んだ後、0を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

【7ビットアドレスフォーマット選択時 (SARUy.FS = 0)】

- ICSE.SARyE ビットが1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットの値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの9クロック目の立ち上がりで0になる

【10 ビットアドレスフォーマット選択時 (SARUy.FS = 1)】

- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.SARyE ビットが 1 (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが (11110b + SARUy.SVA[1:0]) の値と一致し、かつ、それに続くアドレスが SARLy レジスタ値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる

GCA フラグ (ジェネラルコールアドレス検出フラグ)

[1 になる条件]

- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.GCAE ビットが 1 (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ (デバイス ID アドレス検出フラグ)

[1 になる条件]

- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b)) の値と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICSEr.DIDE ビットが 1 (デバイス ID アドレス検出有効) の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが (デバイス ID (1111 100b) + 0[W]) の値と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ (ホストアドレス検出フラグ)

[1 になる条件]

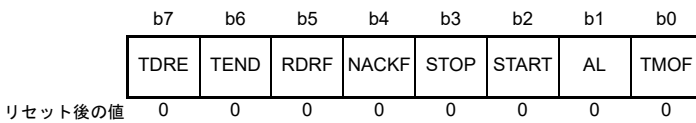
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になる

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションを検出したとき
- IC SER.HOAE ビットが 1 (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致しなかったとき。本フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になる
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

29.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h



ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信完了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R/(W) (注1)

注1. フラグをクリアするための0の書き込みのみ可能です。

TMOF フラグ (タイムアウト検出フラグ)

SCLn ライン状態が一定期間変化しなかったために、IIC がタイムアウトを検出したとき1になります。

[1になる条件]

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが1 (タイムアウト検出機能は有効) で、かつ受信したスレーブアドレスが一致した場合、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

[0になる条件]

- 1を読んだ後、0を書いたとき
- ICCR1.IICRST ビットに1を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDA_n ラインのレベルを監視し、SDA_n ラインのレベルと出力中のビット値が一致していないと、本フラグを1にすることで、バスが他のデバイスによって占有されていることを示します。

さらに IIC は、本フラグをセットすることで、マスタモードでの NACK 送信中やスレーブモードでのデータ送信中に、アービトレーションロストが検出されたことも示します。

[1になる条件]

【マスタアービトレーションロスト検出有効時 (ICFER.MALE = 1)】

- マスタ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと一致しなかったとき

- ICCR2.ST ビットが 1 (スタートコンディション要求) の状態でスタートコンディションが検出されたとき、または、内部の SDA 出力状態が SDA_n ラインレベルと一致しなかったとき
 - ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットが 1 (スタートコンディション要求) のとき
【NACK アービトレーションロスト検出有効時 (ICFER.NALE = 1)】
 - 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと一致しなかったとき
【スレーブアービトレーションロスト検出有効時 (ICFER.SALE = 1)】
 - スレーブ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA_n ラインレベルと一致しなかったとき
- [0 になる条件]
- 1 を読んだ後、0 を書いたとき
 - ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

表 29.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST が 1 の場合、スタートコンディション検出時に、内部の SDA 出力状態が SDA _n ラインレベルと一致しなかったとき ICCR2.ST を 1 にし、かつ ICCR2.BBSY が 1 のとき
			1	送信データ不一致	マスタ送信モードで、送信データ (スレーブアドレス含む) とバス状態が一致しなかったとき
x	1	x	1	NACK 送信不一致	マスタまたはスレーブ受信モードで、NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで、送信データとバス状態が一致しなかったとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

[1 になる条件]

- スタート (またはリスタート) コンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ (ストップコンディション検出フラグ)

[1 になる条件]

- ストップコンディションが検出されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ (NACK 検出フラグ)

[1 になる条件]

- ICFER.NACKF ビットが 1 (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった (NACK を受信した) とき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態では、送信モードで ICDRT レジスタへ書き込みを行ったり、受信モードで ICDRR レジスタから読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ (受信データフルフラグ)

[1 になる条件]

- ICDRS レジスタから ICDRR レジスタへ受信データが転送されたとき。RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3 レジスタの RDRFS ビットで選択) の立ち上がりで 1 になる
- ICCR2.TRS ビットが 0 の状態で、スタート (またはリスタート) コンディション検出後、受信したスレーブアドレスが一致したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ (送信終了フラグ)

[1 になる条件]

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ (送信データエンプティフラグ)

[1 になる条件]

- ICDRT レジスタから ICDRS レジスタへデータが転送され、ICDRT レジスタが空になったとき
- ICCR2 レジスタの TRS ビットが 1 になったとき
- TRS ビットが 1 のときに、受信したスレーブアドレスが一致したとき

[0 になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2 レジスタの TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注. ICFER.NACKF ビットが1の場合、NACKF フラグが1になると、IIC はデータ送受信動作を中断します。このとき、TDRE フラグが0 (次の送信データがすでに書き込まれている状態) であれば、9クロック目の立ち上がりで ICDRS レジスタヘデータが転送され、ICDRT レジスタが空になりますが、TDRE フラグは1になりません。

29.2.11 I²C バスウェイクアップユニットレジスタ (ICWUR)

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	ICCR1.IICRST ビットと WUACK ビットとの組み合わせで、4つの応答モードから選択します。表 29.5 を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0: ウェイクアップ時にスレーブアドレス不一致 1: ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0: ウェイクアップ割り込み要求 (IIC0_WUI) 禁止 1: ウェイクアップ割り込み要求 (IIC0_WUI) 許可	R/W
b7	WUE	ウェイクアップ機能有効	0: ウェイクアップ機能禁止 1: ウェイクアップ機能は有効	R/W

表 29.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLクロックの9クロック目でSCLのLowホールドを解除し、ACK応答を行う。
1	0	コマンドリカバリモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	ECP 応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

WUF フラグ (ウェイクアップイベント発生フラグ)

[1 になる条件]

- ウェイクアップ機能を持つ PCLKB 非同期動作が許可されている状態で、ICSER で有効にした同一アドレス (デバイス ID アドレスを除く) の検出後に PCLKB が供給されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICCR1.ICE ビットが 0 で IICRST ビットが 1 のとき

29.2.12 I²Cバスウェイクアップユニットレジスタ 2 (ICWUR2)

アドレス IIC0.ICWUR2 4005 3017h



ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	ウェイクアップ機能同期有効	0 : IIC非同期回路有効 1 : IIC同期回路有効	R/W
b1	WUASYF	ウェイクアップ機能非同期動作ステータスフラグ	0 : IIC同期回路許可状態 1 : IIC非同期回路許可状態	R
b2	WUSYF	ウェイクアップ機能同期動作ステータスフラグ	0 : IIC非同期回路許可状態 1 : IIC同期回路許可状態	R
b7-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

WUSEN フラグ (ウェイクアップ機能同期有効)

WUSEN フラグは、ウェイクアップ機能が有効なとき (ICWUR.WUE ビット=1) に WUASYF フラグ (または WUSYF フラグ) と組み合わせて動作します。組み合わせ設定によって PCLKB 同期動作と PCLKB 非同期動作が切り替わります。

PCLKB 同期動作から PCLKB 非同期動作への切り替え時

- WUASYF フラグが0のときに WUSEN ビットに0を書き込んだ場合、ICCR2.BBSY フラグが0 (バスフリー状態) であれば、PCLKB 非同期動作に切り替わります
- 受信 (ウェイクアップイベント検出) は、PCLKB 動作状態 (動作中/停止) に関係なく、動作が PCLKB 非同期動作に切り替わった後でも実行できます

PCLKB 非同期動作から PCLKB 同期動作への切り替え時

- WUASYF フラグが1 (IIC 非同期回路有効状態) のときに WUSEN ビットに1を書いても、PCLKB 同期動作に切り替わるのは、ウェイクアップイベント検出時に WUSEN ビットに1を書いたときのみです。PCLKB 同期動作へ切り替わり後、WUASYF フラグは0になります
- また、ウェイクアップイベントが未検出の状態でもストップコンディションが検出された場合も、PCLKB 同期動作に切り替わります

WUASYF フラグ (ウェイクアップ機能非同期動作ステータスフラグ)

WUASYF フラグは、ウェイクアップ機能有効 (ICWUR.WUE ビット=1) 時に、IIC が PCLKB 非同期動作であることを示します。

[1になる条件]

- WUSEN ビットに0 (IIC 非同期回路有効) を書いた後に、ICWUR.WUE ビットを1 (ウェイクアップ機能有効) にし、ICCR2.BBSY フラグが0 (バスフリー状態) のとき

[0になる条件]

- ICWUR.WUE ビットを1 (ウェイクアップ機能有効) にした状態でウェイクアップイベント検出後に、WUSEN フラグに1 (IIC 非同期回路有効) を書いたとき
- ICWUR.WUE ビットを1、かつ WUASY フラグを1 (IIC 同期回路有効状態) にした状態でウェイクアップイベント検出前に、WUSEN フラグを1にしたときにストップコンディションが検出されたとき
- ウェイクアップイベントを検出後、WUASY フラグと ICWUR.WUE ビットを1にし、WUSEN フラグに1を書いたとき

- ICCR1.ICE が 0 かつ IICRST が 1 (IIC リセット) のとき
- CWUR.WUE が 0 のとき

WUSYF フラグ (ウェイクアップ機能同期動作ステータスフラグ)

WUSYF フラグは、ウェイクアップ機能有効 (ICWUR.WUE ビット=1) 時に、IIC が PCLKB 同期動作であることを示します。本フラグは常に WUASYF フラグと逆の値を持ちます。

[1 になる条件]

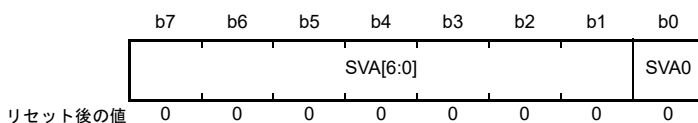
- WUSYF フラグを 0 にクリアし、かつ ICWUR.WUE ビットを 1 にした状態でウェイクアップイベント検出後に、WUSEN フラグに 1 を書いたとき
- WUSYF フラグを 0 にクリアし、かつ ICWUR.WUE ビットを 1 にした状態でウェイクアップイベント検出前に、WUSEN フラグを 1 にした状態でストップコンディションが検出されたとき
- ICCR1.ICE が 0 かつ IICRST が 1 (IIC リセット) のとき
- ICWUR.WUE が 0 のとき

[0 になる条件]

- WUSEN フラグに 0 を書いた後に ICWUR.WUE ビットを 1 にしたときに、ICCR2.BBSY フラグが 0 のとき

29.2.13 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah,
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch,
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレス設定	R/W

SVA0 ビット (10ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、本ビットは、10ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。

本ビットは、ICSER.SARyE ビットが 1 (SARLy および SARUy レジスタは有効) で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、本ビットの設定値は無視されます。

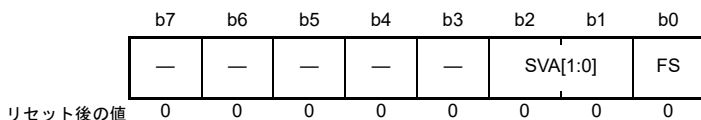
SVA[6:0] ビット (7ビットアドレス/10ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、SVA[6:0] ビットは7ビットアドレスとして機能します。10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、これらのビットは、SVA0 ビットと組み合わせて10ビットアドレスの下位8ビットを形成します。

ICSER.SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

29.2.14 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh,
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh,
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択)

SARLy および SARUy レジスタのスレーブアドレス y に対して、7ビットフォーマットまたは10ビットフォーマットを選択します。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが0の場合、スレーブアドレス y には7ビットアドレスフォーマットが選択されて、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合、スレーブアドレス y には10ビットアドレスフォーマットが選択されて、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが0 (SARLy および SARUy レジスタ無効) の場合、SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット (10 ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、SVA[1:0] ビットは10ビットアドレスの上位2ビットとして機能します。これらのビットは、ICSER.SARyE ビットが1 (SARLy および SARUy レジスタ有効) で、かつ SARUy.FS ビットが1の場合に有効です。SARUy.FS ビットまたは SARyE ビットが0の場合、これらのビットの設定値は無視されます。

29.2.15 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

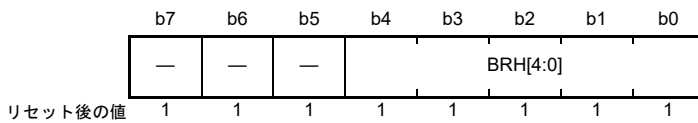
BRL[4:0] ビット (ビットレート Low 幅設定)

SCLクロックのLow幅を設定します。IICは、ICMR1.CKS[2:0]ビットで指定した内部基準クロックソース (IICφ) でLow幅をカウントします。IICは、SCL自動Lowホールド機能 (29.9 SCLの自動Lowホールド機能を参照) のデータセットアップ時間も生成します。IICをスレーブモードで使用する場合、BRL[4:0]ビットにはデータセットアップ時間 (注1) 以上の値を設定してください。デジタルノイズフィルタ回路の使用を許可 (ICFER.NFEビット=1) した場合は、本ビットには、ノイズフィルタの段数+1以上の値を設定してください。段数の詳細については、ICMR3.NF[1:0]ビットの説明を参照してください。

- 注1. データセットアップ時間 (tSU: DAT)
- 250ns (~ 100kbps) : スタンダードモード (Sm)
 - 100ns (~ 400kbps) : ファストモード (Fm)

29.2.16 I²Cバスビットレート High レジスタ (ICBRH)

アドレス IIC0.ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定	SCLクロックのHigh幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

BRH[4:0] ビット (ビットレート High 幅設定)

SCLクロックのHigh幅を設定します。BRH[4:0] ビットはマスタモードで有効になります。IICをスレーブモードのみで使用する場合は、BRH[4:0] ビットを設定しないでください。

IICは、ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース (IICφ) でHigh幅をカウントします。デジタルノイズフィルタ回路を許可 (ICFER.NFE ビット = 1) した場合は、本ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。段数の詳細については、ICMR3.NF[1:0] ビットの説明を参照してください。

IIC転送速度とSCLクロックのデューティ比は、次式で計算されます。

- ICFER.SCLE = 0 の場合
 転送速度 = $1 / \{[(BRH+1)+(BRL+1)]/IIC\phi + tr + tf\}$
 デューティ比 = $\{tr + [(BRH+1)/IIC\phi]\} / \{tr + tf + [(BRH+1)+(BRL+1)]/IIC\phi\}$
- ICFER.SCLE = 1, ICFER.NFE = 0, CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{(BRH + 3) + (BRL + 3)\} / IIC\phi + tr + tf$
 デューティ比 = $\{tr + [(BRH+3)/IIC\phi]\} / \{tr + tf + [(BRH+3)+(BRL+3)]/IIC\phi\}$
- ICFER.SCLE = 1, ICFER.NFE = 1, CKS[2:0] = 000b (IICφ = PCLKB) の場合
 転送速度 = $1 / \{[BRH+3+nf] + (BRL+3+nf)\} / IIC\phi + tr + tf$
 デューティ比 = $\{tr + [(BRH+3+nf)/IIC\phi]\} / \{tr + tf + [(BRH+3+nf)+(BRL+3+nf)]/IIC\phi\}$
- ICFER.SCLE = 1, ICFER.NFE = 0, CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{(BRH+2)+(BRL+2)\} / IIC\phi + tr + tf$
 デューティ比 = $\{tr + [(BRH+2)/IIC\phi]\} / \{tr + tf + [(BRH+2)+(BRL+2)]/IIC\phi\}$
- ICFER.SCLE = 1, ICFER.NFE = 1, CKS[2:0] ≠ 000b の場合
 転送速度 = $1 / \{(BRH+2+nf)+(BRL+2+nf)\} / IIC\phi + tr + tf$
 デューティ比 = $\{tr + [(BRH+2+nf)/IIC\phi]\} / \{tr + tf + [(BRH+2+nf)+(BRL+2+nf)]/IIC\phi\}$

注1. IICφ = PCLKB × 分周比

注2. SCLn ライン立ち上がり時間 [tr] および SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については、NXP社のI²Cバス規格書を参照してください。

注3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 29.6 SCLE = 0 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB (MHz)	NF[1:0]	計算式
100	011	16 (10h)	16 (10h)	32	—	1)
400	001	14 (0Eh)	14 (0Eh)	32	—	1)

注. SCLn ラインの立ち上がり時間 (tr) : 100kbps 以下、Sm : 1000ns、400kbps 以下、Fm : 300ns
SCLn ラインの立ち下がり時間 (tf) : 400kbps 以下、Sm/Fm : 300ns

表 29.7 SCLE = 1 かつ NFE = 0 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH	BRL	PCLKB (MHz)	NF[1:0]	計算式
100	011	15 (0Fh)	15 (0Fh)	32	—	4)
400	001	13 (0Dh)	13 (0Dh)	32	—	4)

注. SCLn ラインの立ち上がり時間 (tr) : ≤ 100Kbps、Sm : 1000ns、≤ 400kbps、Fm : 300ns、≤ 1Mbps、Fm+ : 120ns
SCLn ラインの立ち下がり時間 (tf) : ≤ 400kbps、Sm/Fm : 300ns、≤ 1Mbps、Fm+ : 120ns

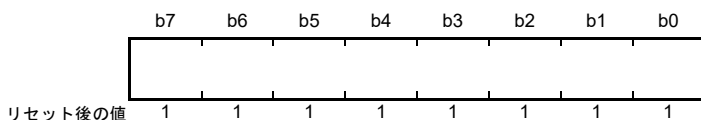
表 29.8 SCLE = 1 かつ NFE = 1 の場合の IIC 設定範囲例

転送速度 (kbps)	CKS[2:0]	BRH	BRL	PCLKB (MHz)	NF[1:0]	計算式
100	011	13 (0Dh)	13 (0Dh)	32	01b	5)
400	001	11 (0Bh)	11 (0Bh)	32	01b	5)

注. SCLn ラインの立ち上がり時間 (tr) : ≤ 100kbps、Sm : 1000ns、≤ 400kbps、Fm : 300ns
SCLn ラインの立ち下がり時間 (tf) : ≤ 400kbps、Sm/Fm : 300ns、≤ 1Mbps

29.2.17 I²C バス送信データレジスタ (ICDRT)

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h

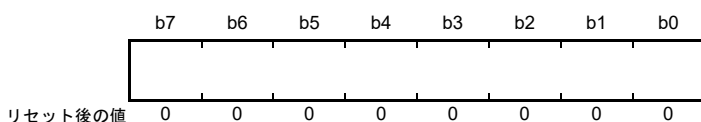


ICDRT レジスタは、I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書き込めば、連続送信動作が可能になります。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (IICn_TXI) 要求が発生したときに 1 回だけ行ってください。

29.2.18 I²C バス受信データレジスタ (ICDRR)

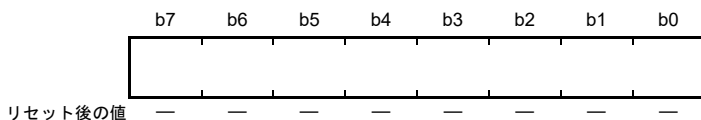
アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h



1 バイトのデータを受信すると、受信したデータが I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読み出せば、連続受信動作が可能になります。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからのデータ読み出しは、受信データフル割り込み (IICn_RXI) 要求が発生したときに 1 回だけ行ってください。

現在のデータを ICDRR レジスタから読み出す前に (ICSR2.RDRF フラグが 1 の場合に)、ICDRR レジスタが次の受信データを受け取ると、RDRF フラグが次に 1 になるタイミングの 1 つ手前の SCL クロックで、IIC は自動的に Low ホールドを行います。

29.2.19 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送出されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

29.3 動作説明

29.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 29.3 に I²C バスフォーマットを、図 29.4 に I²C バスタイミングを示します。

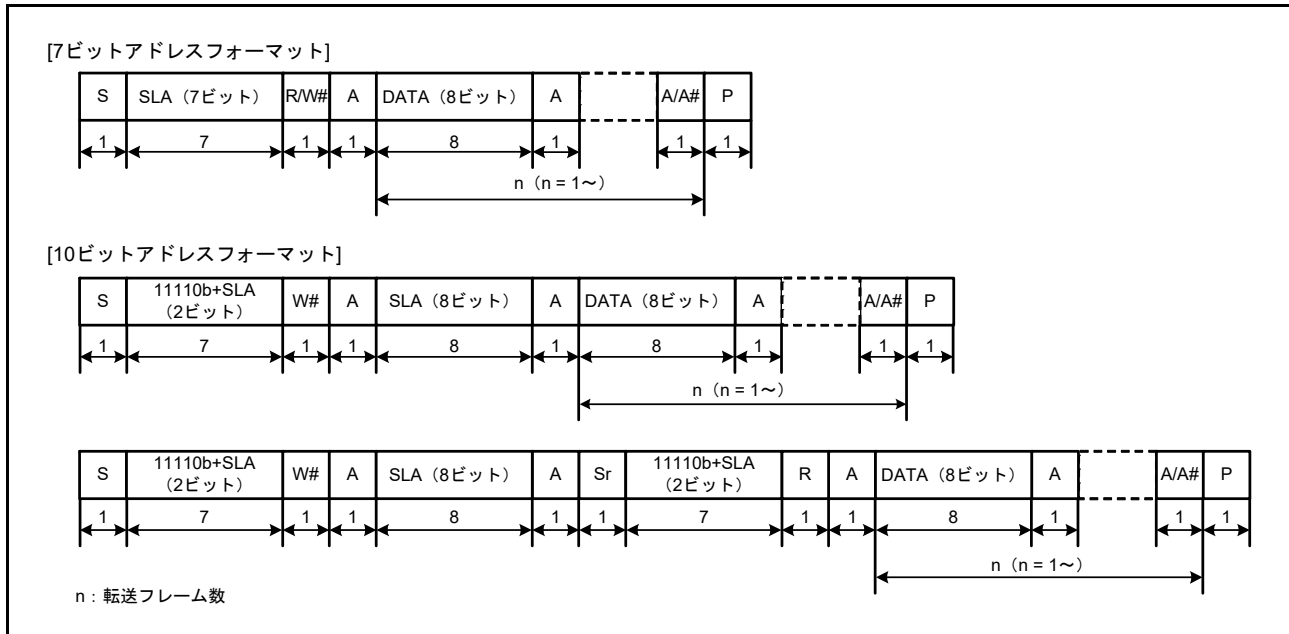


図 29.3 I²C バスフォーマット

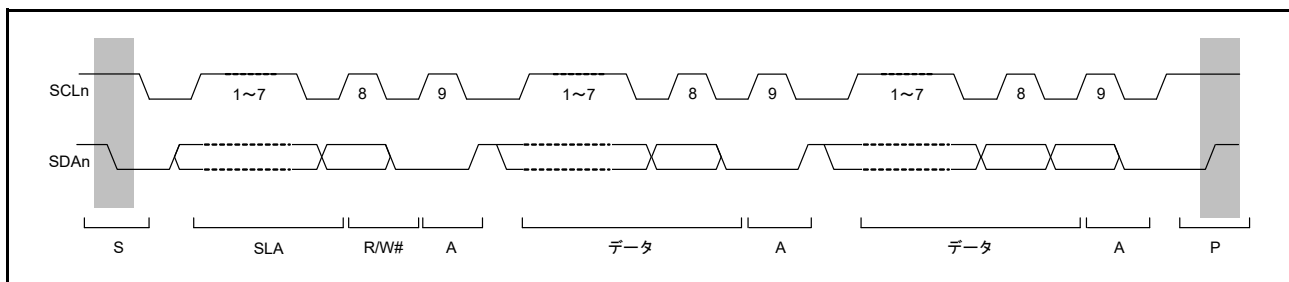


図 29.4 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを表します。SCLnラインがHighの状態、マスタデバイスがSDAnラインをHighからLowに変化させます。
- SLA : スレーブアドレスを表します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : データ転送の方向を表します。R/Wが1のとき、スレーブデバイスからマスタデバイスの方向、R/Wが0のとき、マスタデバイスからスレーブデバイスの方向になります。
- A : アクノリッジを表します。受信デバイスがSDAnラインをLowにします。(マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。)
- A# : ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。
- Sr : リスタートコンディションを表します。SCLnラインがHighの状態、セットアップ時間経過後に、マスタデバイスがSDAnラインをHighからLowに変化させます。
- DATA : 送信または受信されるデータを表します。
- P : ストップコンディションを表します。SCLnラインがHighの場合、マスタデバイスがSDAnラインをLowからHighに変化させます。

29.3.2 初期設定

データの送受信を開始する場合、図 29.5 に示す手順に従って IIC を初期化してください。

1. ICCR1.ICE ビットを 0 にして SCLn 端子と SDA_n 端子を非駆動状態します。
2. ICCR1.IICRST ビットを 1 にして IIC リセットを起動します。
3. ICCR1.ICE ビットを 1 にして内部リセットを起動します。
4. SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ (y = 0 ~ 2) を設定し、その他のレジスタを必要に応じて設定します。IIC の初期設定については、図 29.5 を参照してください。
5. 必要なレジスタ設定が完了したら、ICCR1.IICRST ビットを 0 にして IIC リセットを解除してください。

注. すでに IIC の初期化が完了している場合、この手順は不要です。

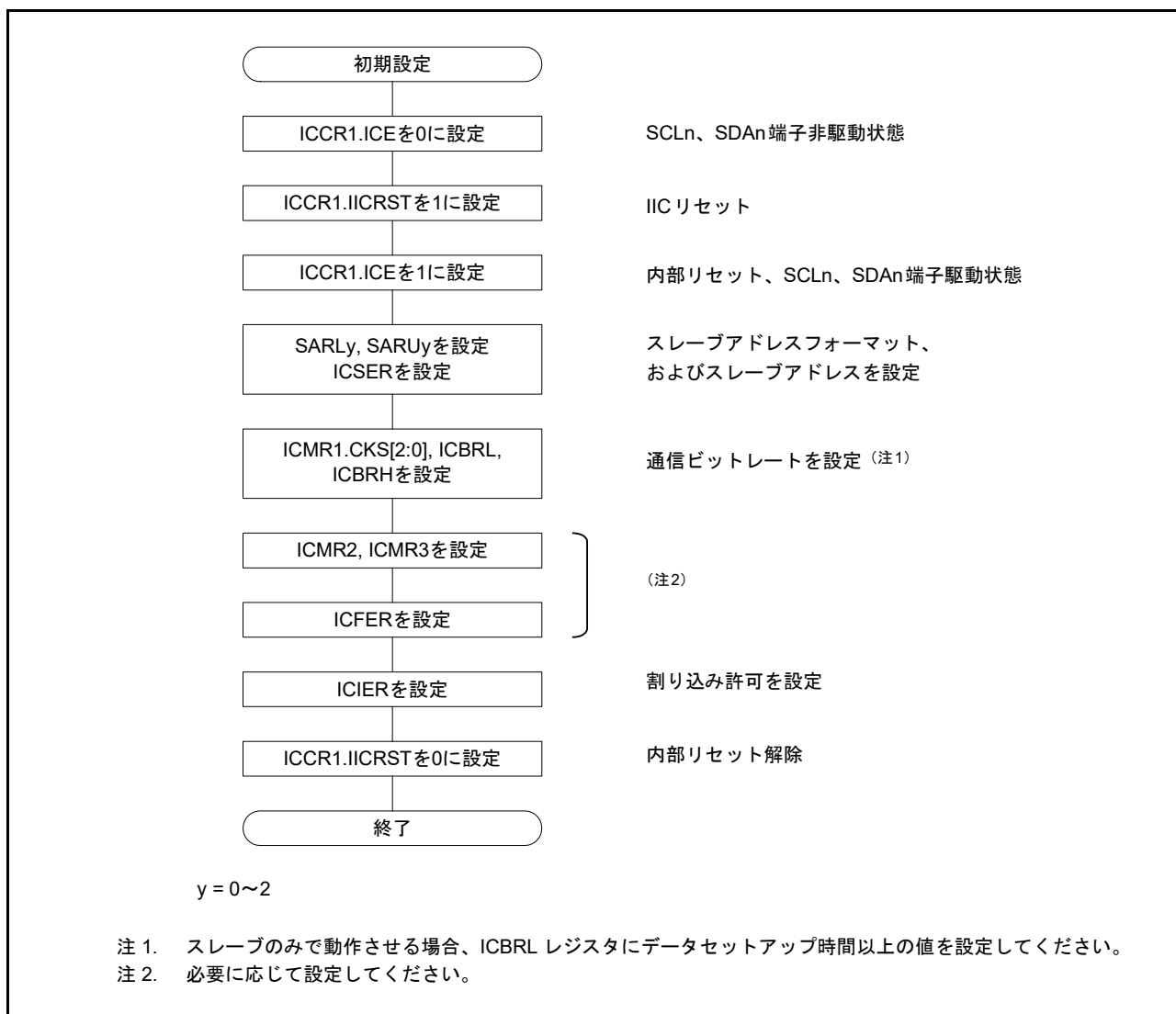


図 29.5 IIC の初期化フローチャート例

29.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 29.6 にマスタ送信の例を、図 29.7 ~ 図 29.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと SDA_n ラインのレベルが一致していれば、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。
なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCL_n ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1 (ストップコンディション要求) にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。
6. ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。さらに IIC は、ICSR2.TDRE フラグと ICSR2.TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

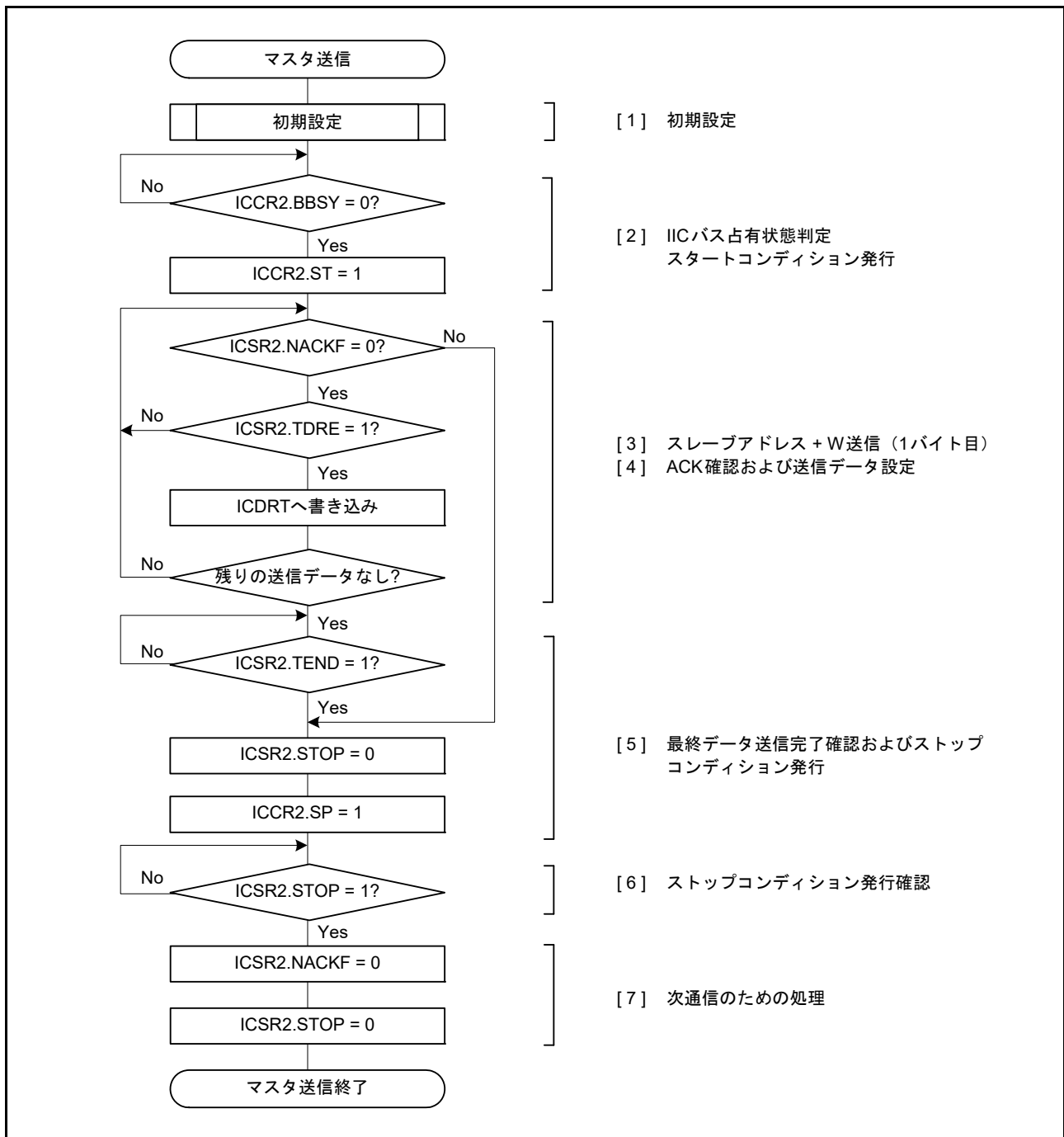


図 29.6 マスタ送信のフロー例

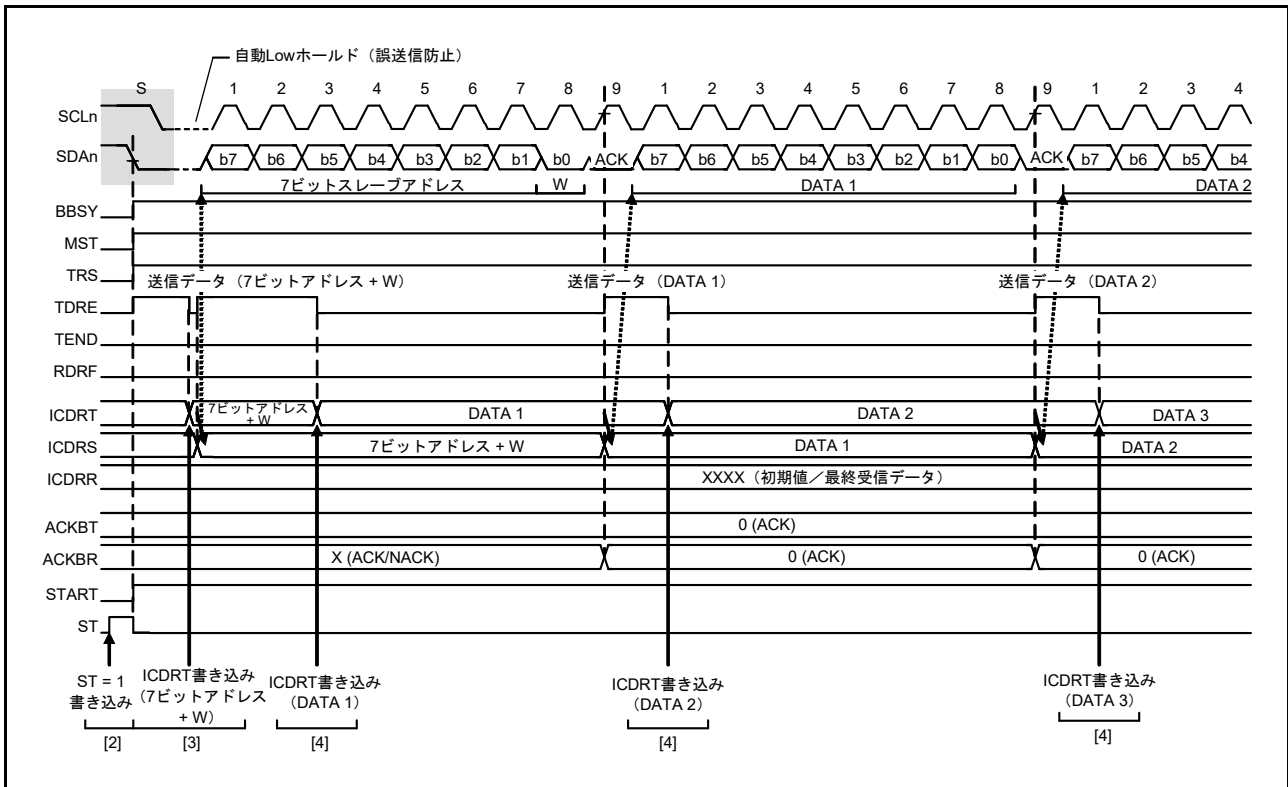


図 29.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマット)

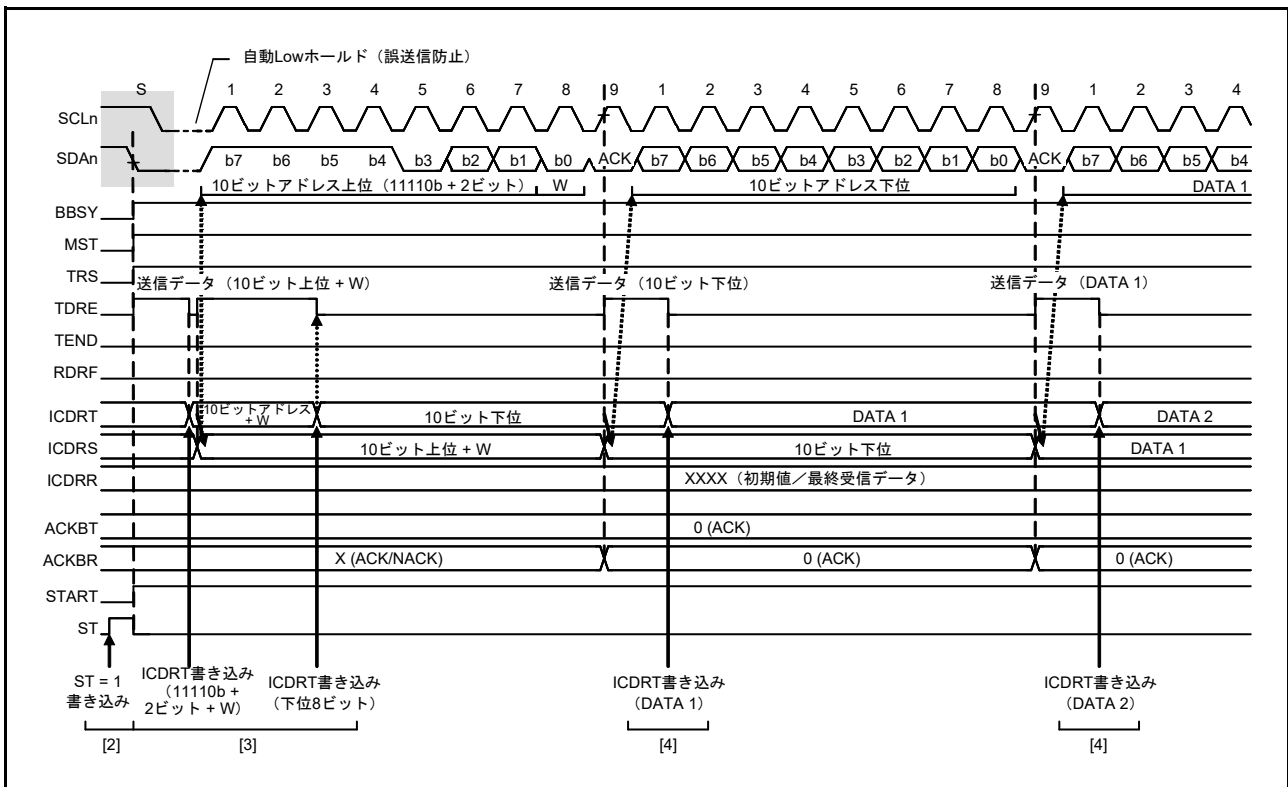


図 29.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマット)

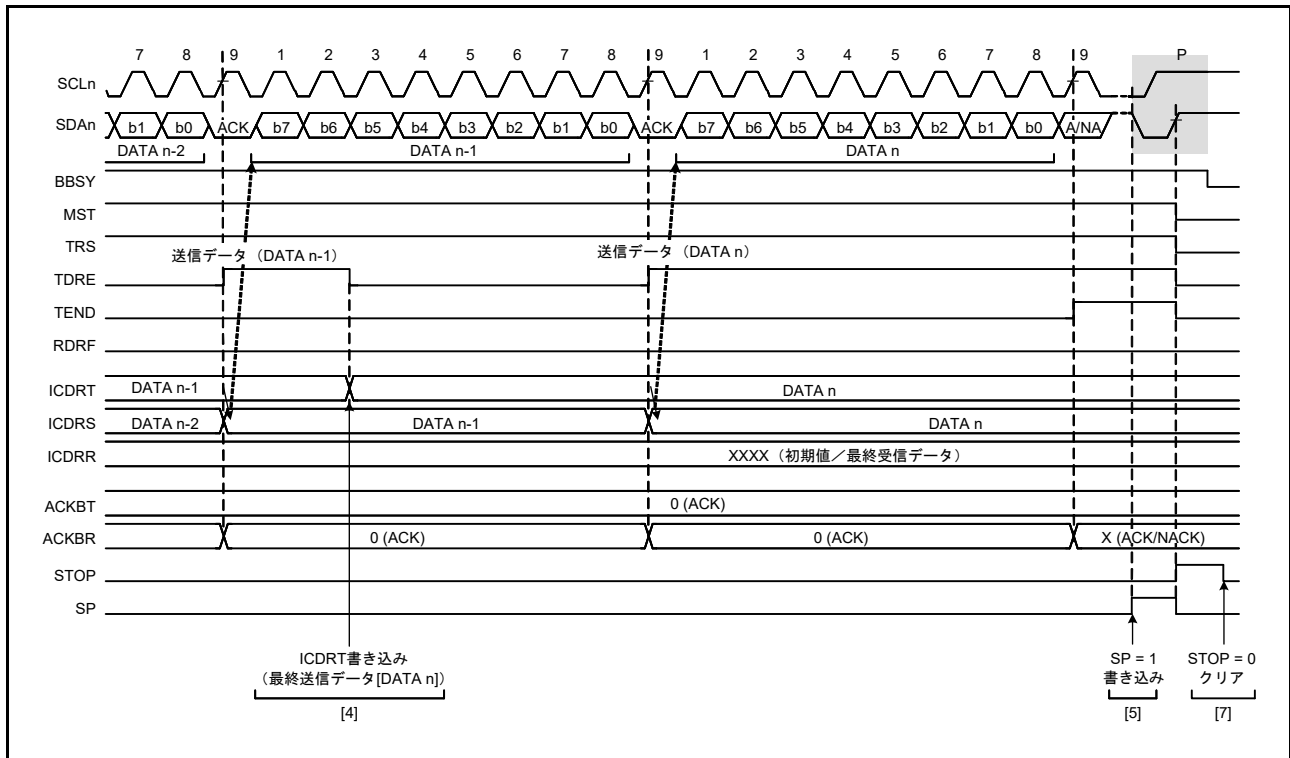


図 29.9 マスタ送信の動作タイミング (3)

29.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のスレーブアドレスフェーズではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 29.10 と図 29.11 にマスタ受信の例 (7 ビットアドレスフォーマットの場合) を、図 29.12 ~ 図 29.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

- IIC の初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
- ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ICCR2.ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA_n ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディションが正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。ICCR2.TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
- ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (1 バイト目はスレーブアドレスと R/W# ビットの値を示す) を書いてください。ICDRT レジスタに送信データが書き込まれると、ICSR2.TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び ICSR2.TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで ICCR2.TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、ICSR2.TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。
- ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
- 1 バイトのデータの受信後、SCL クロックの 8 クロック目または 9 クロック目 (ICMR3.RDRFS ビットで選択) の立ち上がりで、ICSR2.RDRF フラグが 1 になります。ICDRR レジスタを読むと受信したデータを読むことができ、同時に ICSR2.RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、最後から 2 番目のバイトを含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1 (WAIT あり) にしてください。これにより、手順 (6) の ICMR3.ACKBT ビットを 1 (NACK) にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCL_n ラインを Low に固定して、ストップコンディションの発行が可能になります。
- ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1 (NACK) にしてください。
- 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1 (ストップコンディション要求) にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCL_n ラインの Low ホールド解除後に、ストップコンディションを発行します。
- ストップコンディションの検出時に、IIC は ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 00b にして、スレーブ受信モードへ遷移します。また、ストップコンディションを検出すると、ICSR2.STOP フラグが 1 になります。

9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

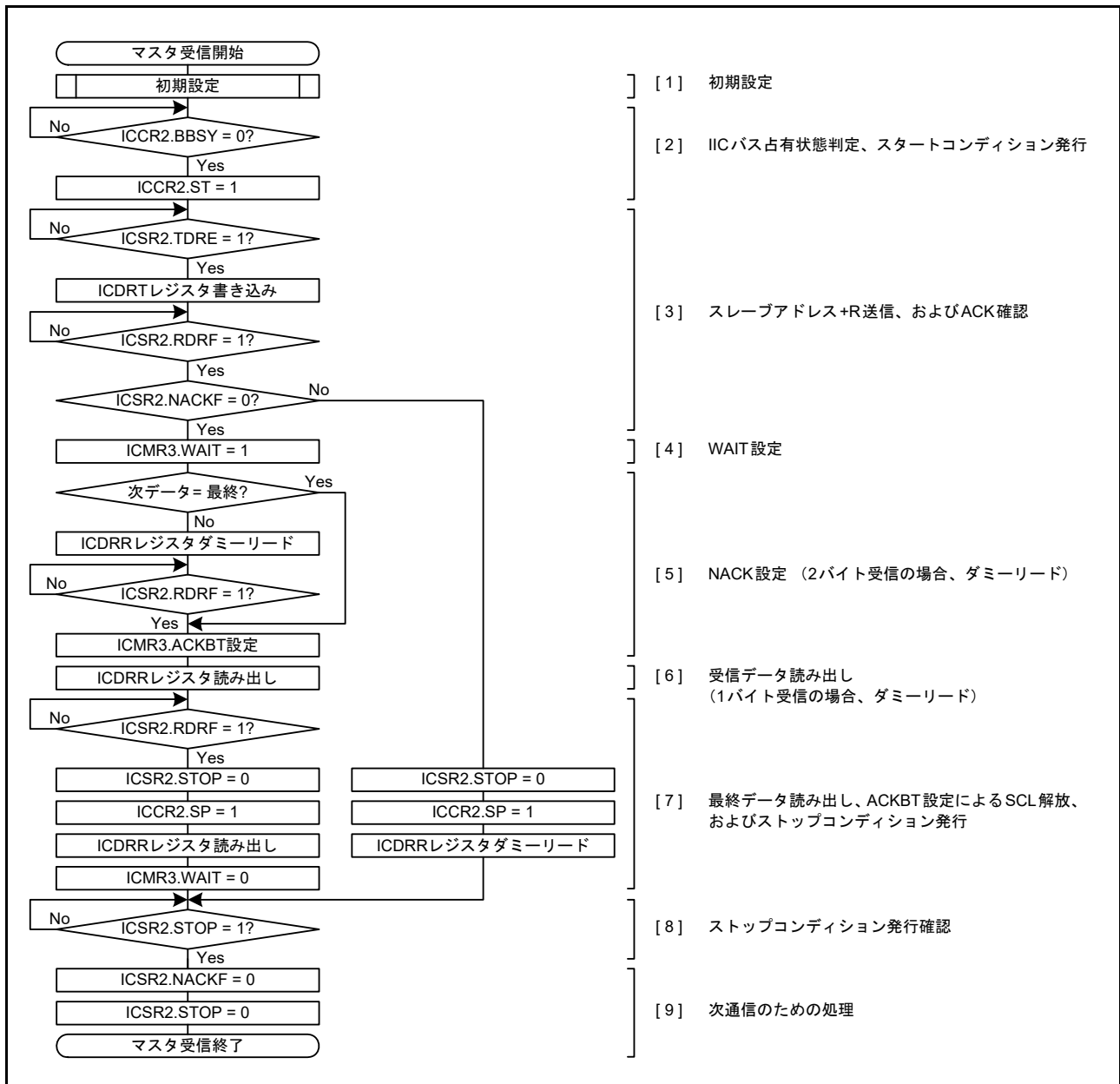


図 29.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合)

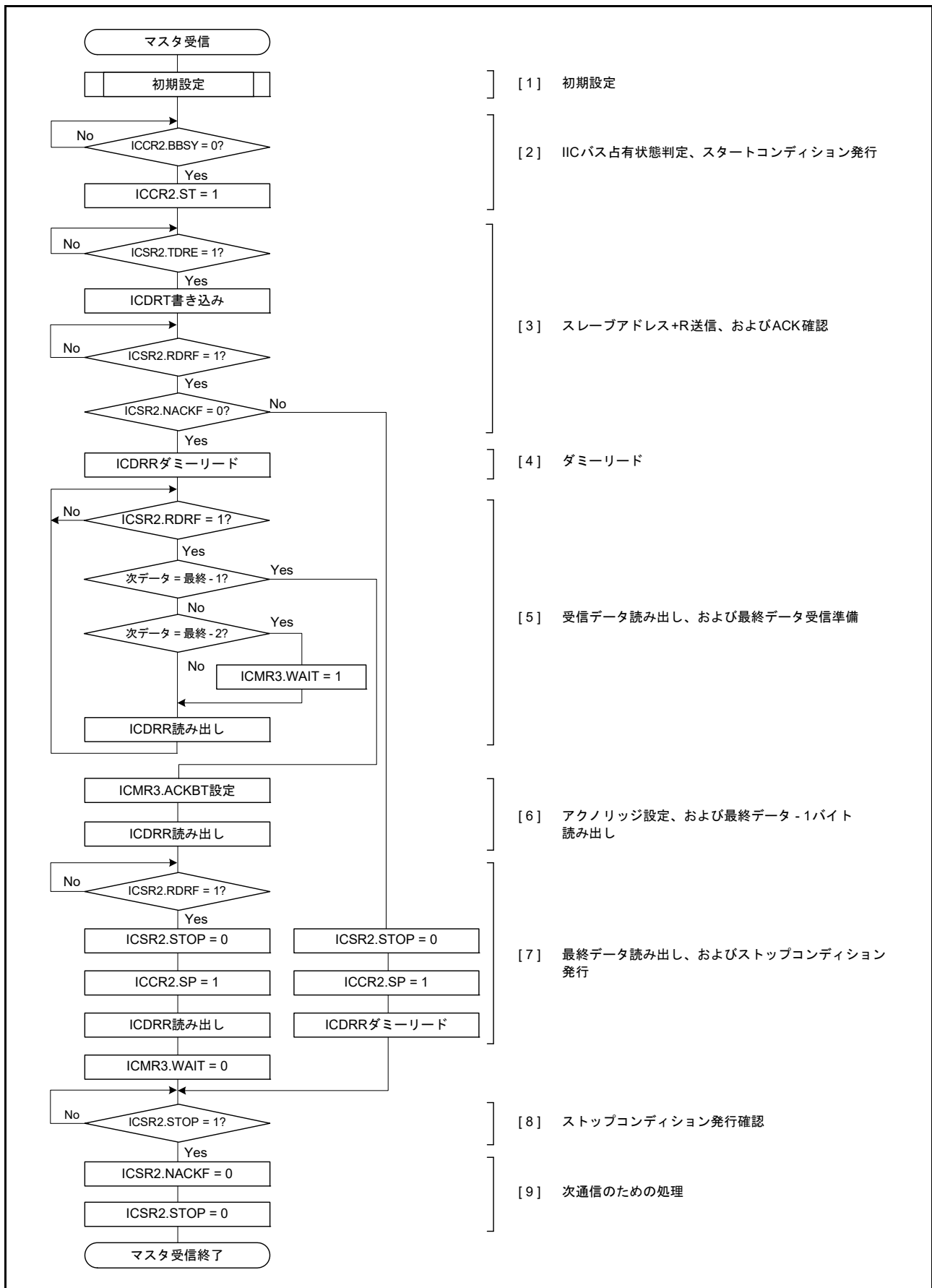


図 29.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマットで3バイト以上受信の場合)

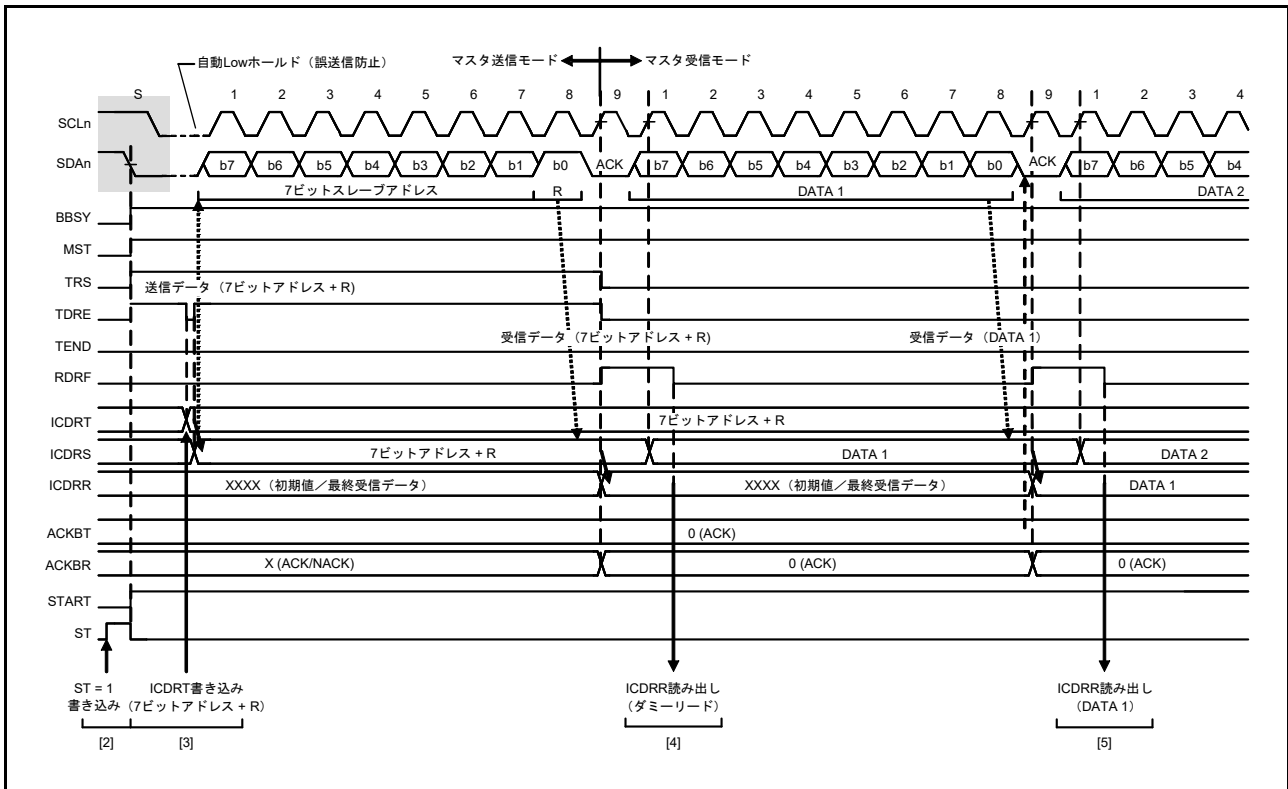


図 29.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマットでRDRFS = 0の場合)

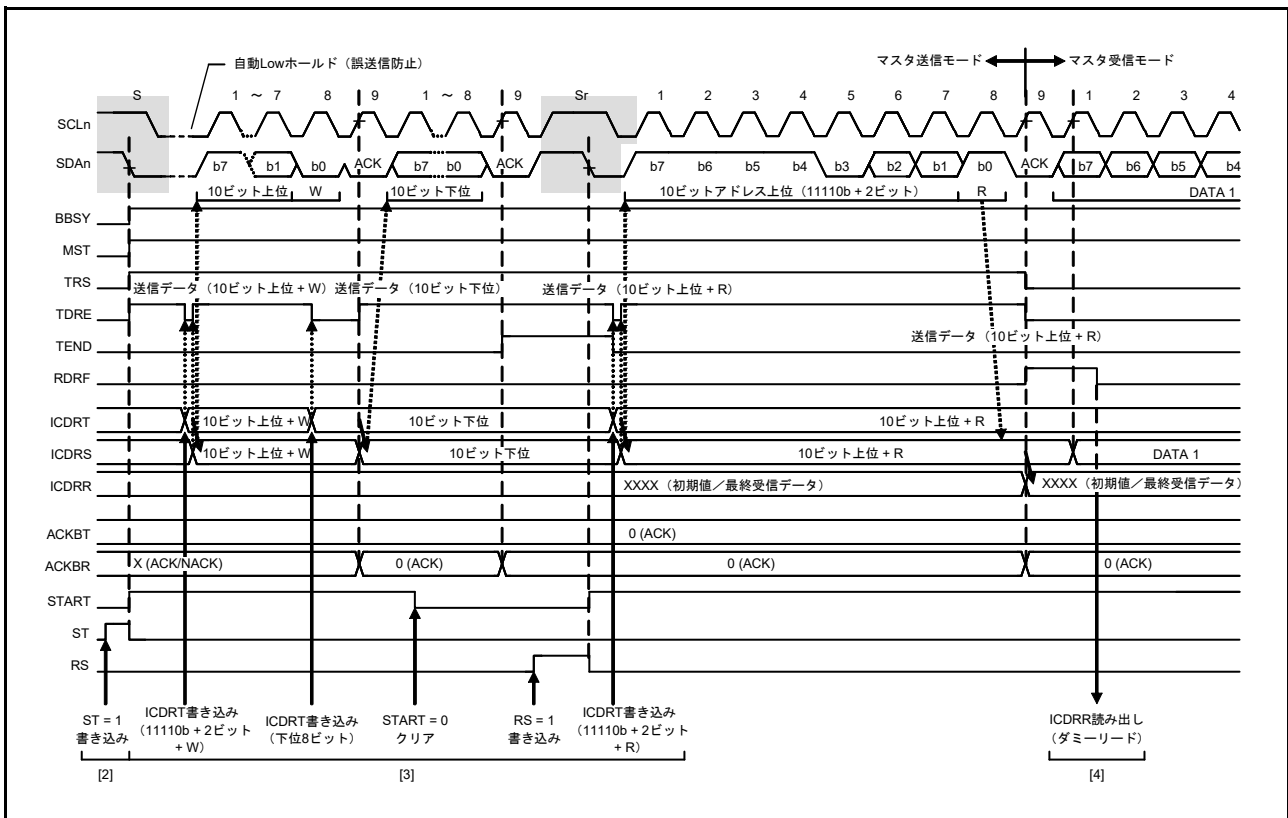


図 29.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマットでRDRFS = 0の場合)

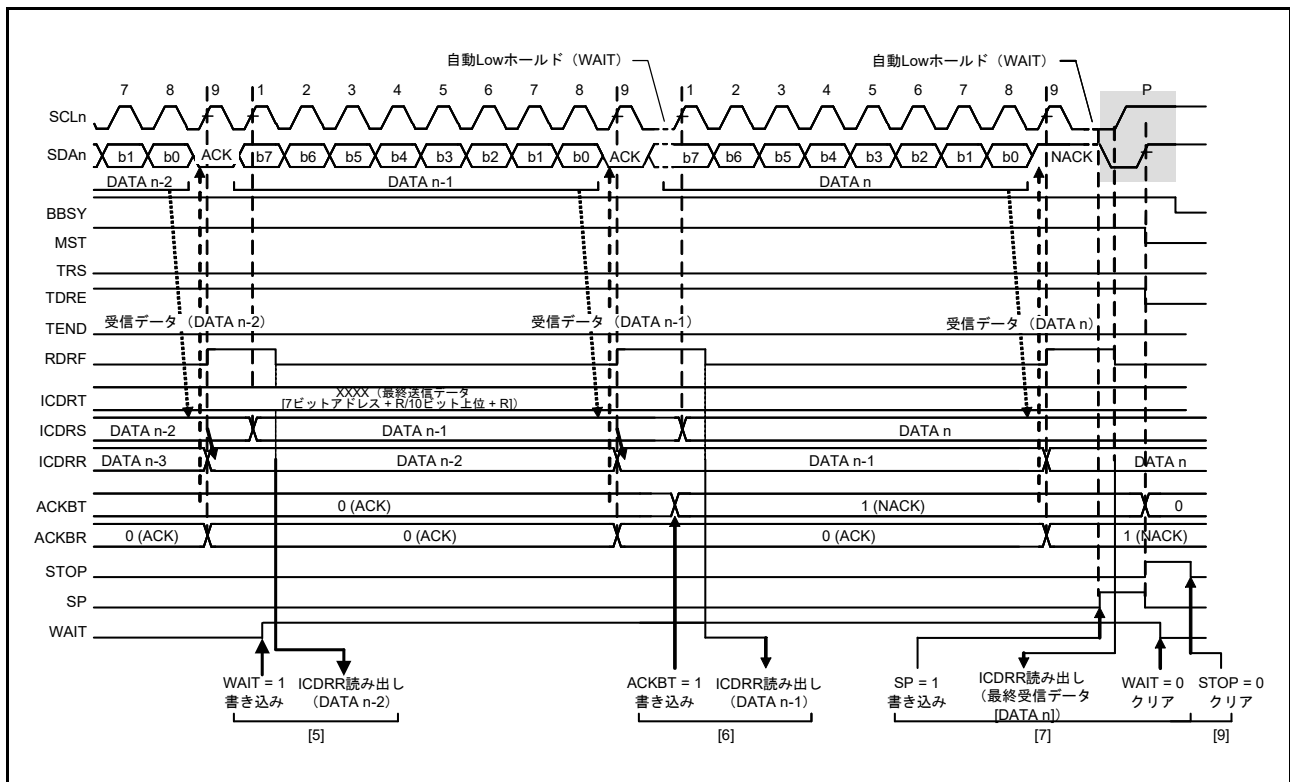


図 29.14 マスタ受信の動作タイミング (3) (RDRFS = 0 の場合)

29.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 29.15 にスレーブ送信の例を、図 29.16 ~ 図 29.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. IIC の初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
初期設定後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書き込んでください。このとき、ICFER.NACKF ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった (NACK を受信した) 場合、IIC は次の通信動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信データを ICDRT レジスタに書き込んだ後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がり SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2)、ICSR2.TDRE, TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。

7. ICSR2.STOP フラグが 1 であることを確認した後、次の通信動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

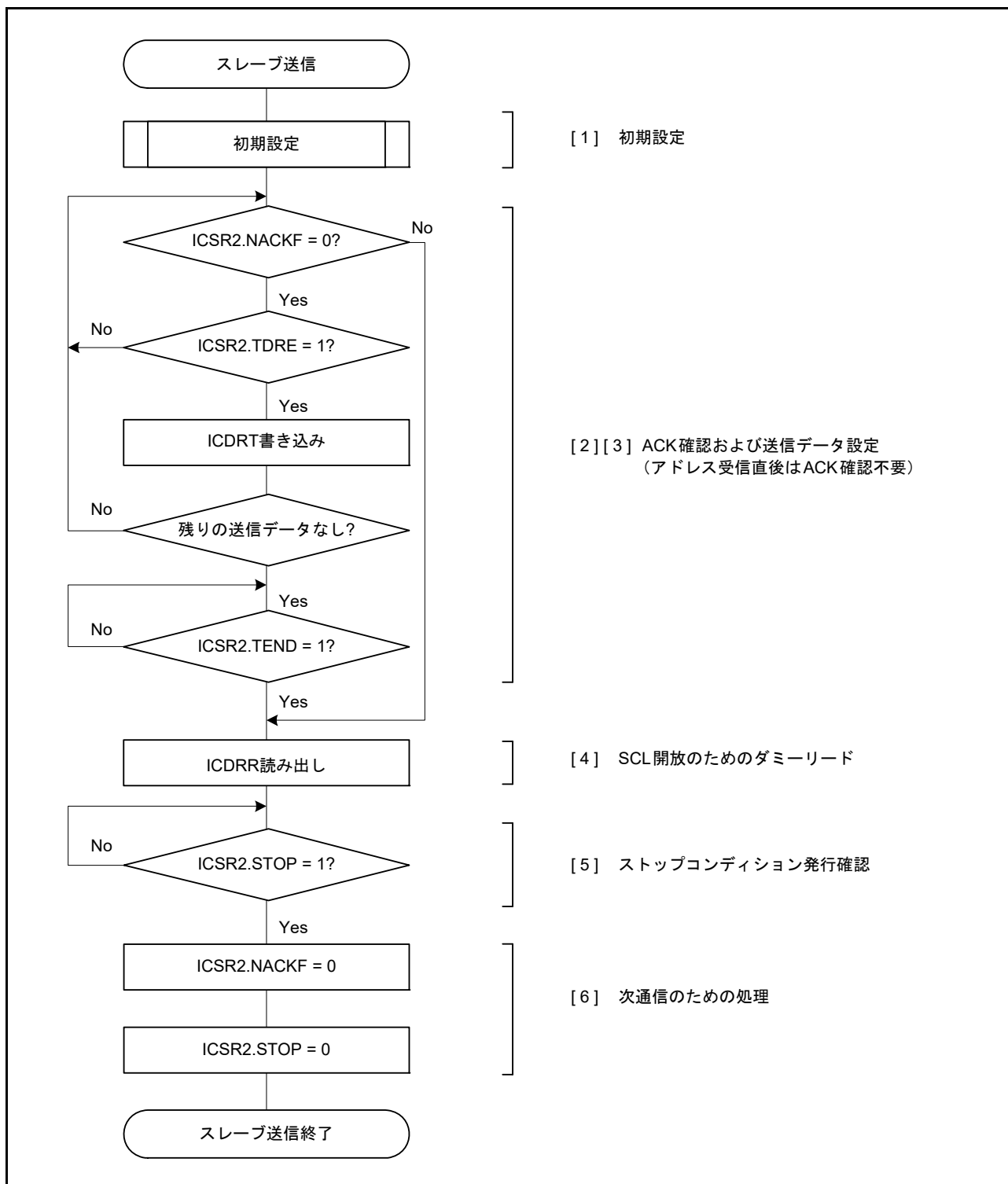


図 29.15 スレーブ送信のフロー例

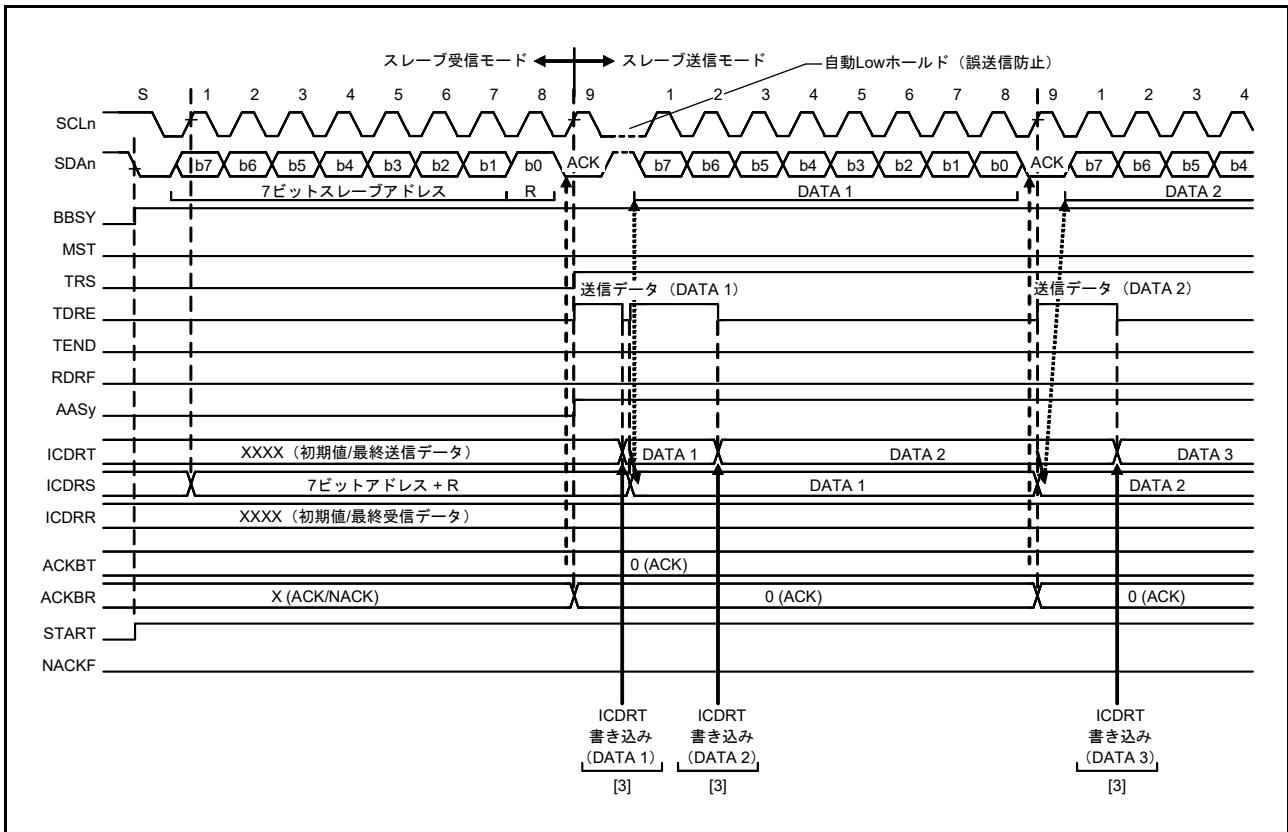


図 29.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマット)

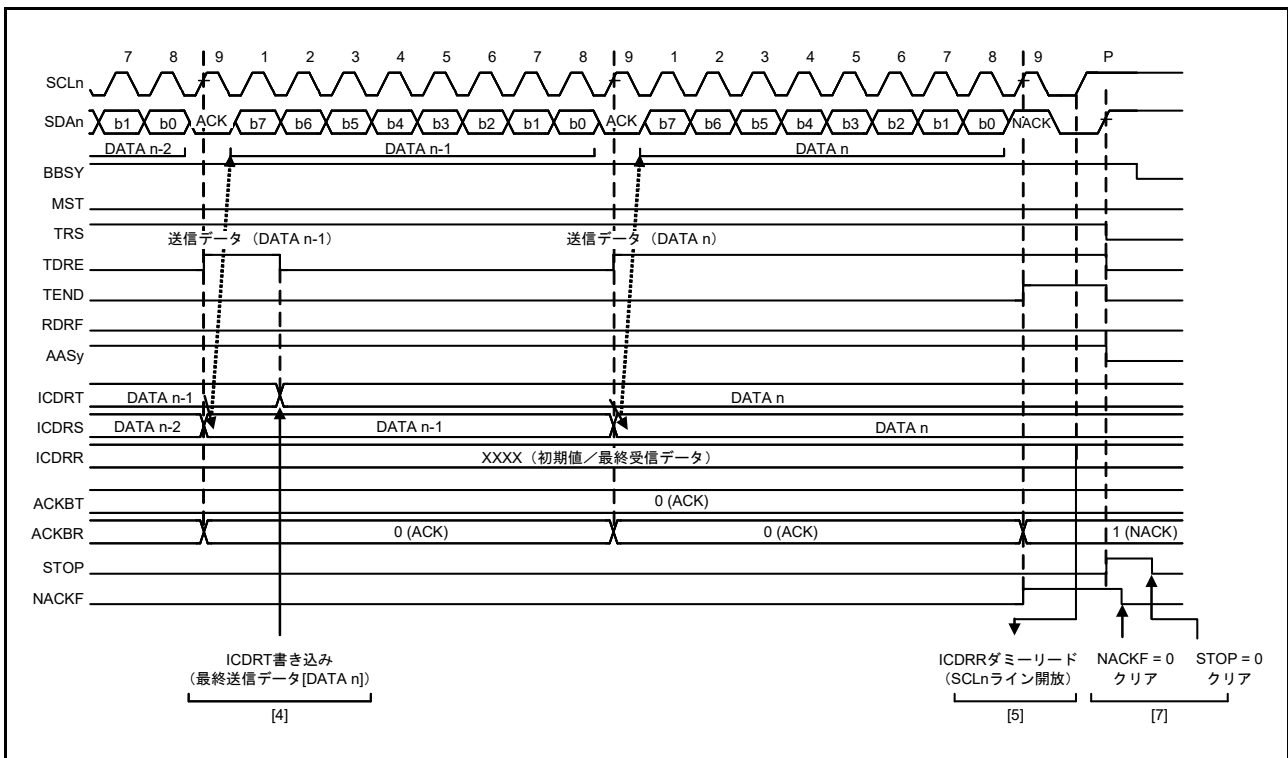


図 29.17 スレーブ送信の動作タイミング (2)

29.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 29.18 にスレーブ受信の例を、図 29.19 ~ 図 29.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. IIC の初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy ビット (y=0~2) のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーリードしてください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 のまま次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを開放します。ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0~2) を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送のために ICSR2.STOP フラグを 0 にしてください。

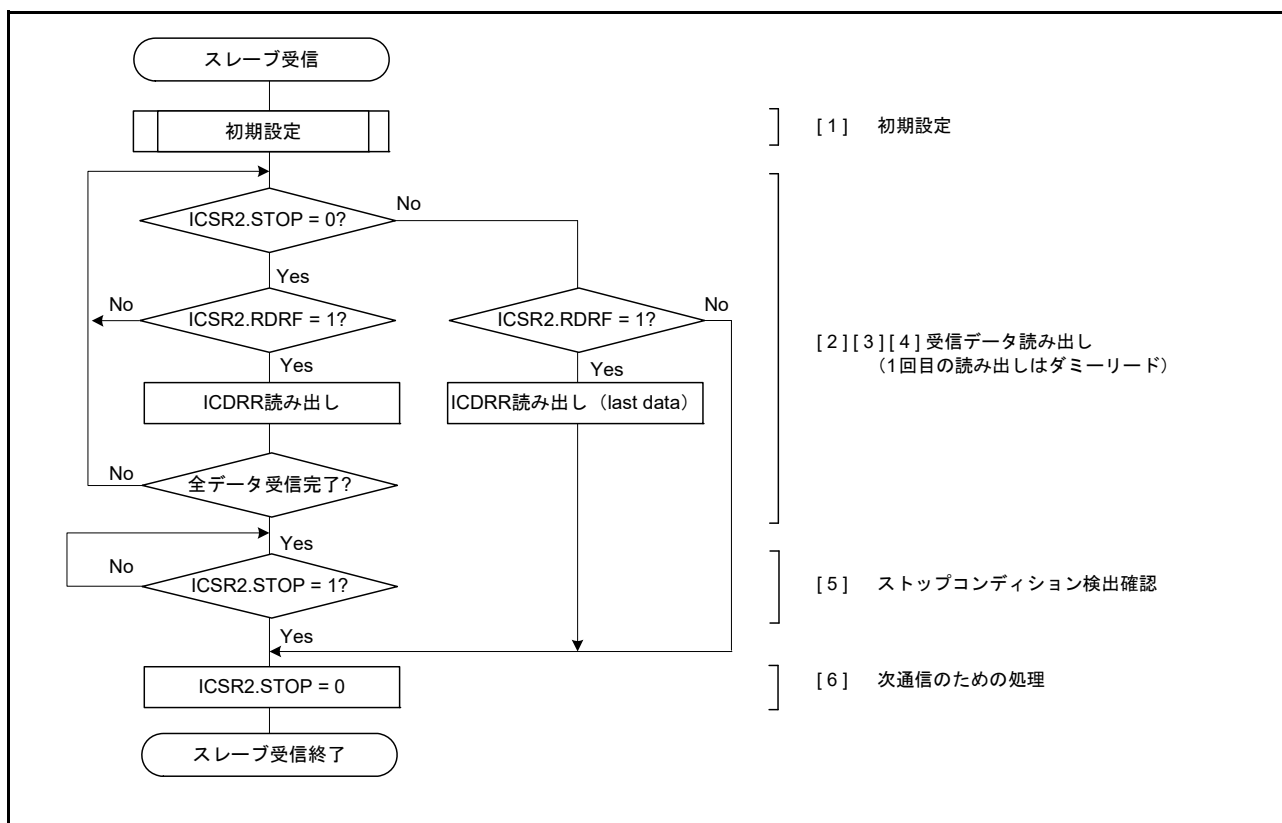


図 29.18 スレーブ受信のフロー例

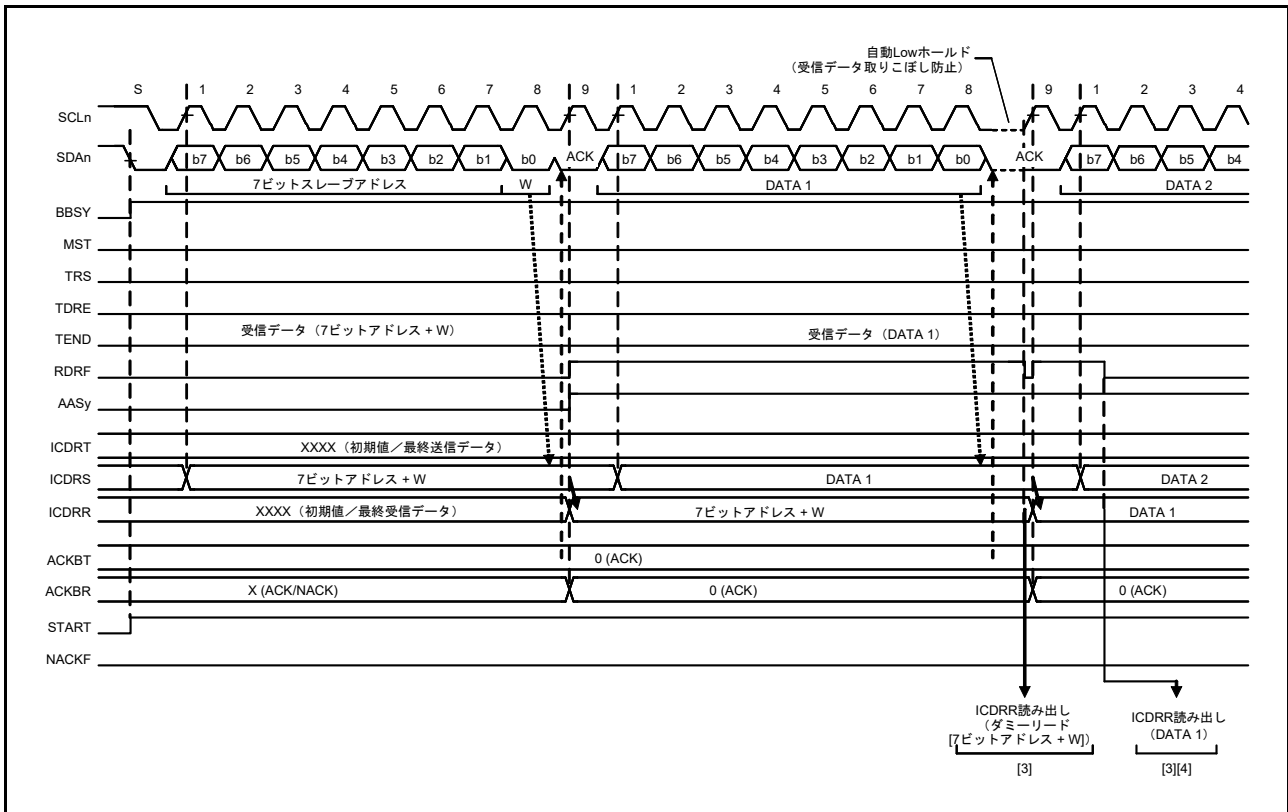


図 29.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマットで RDRFS = 0 の場合)

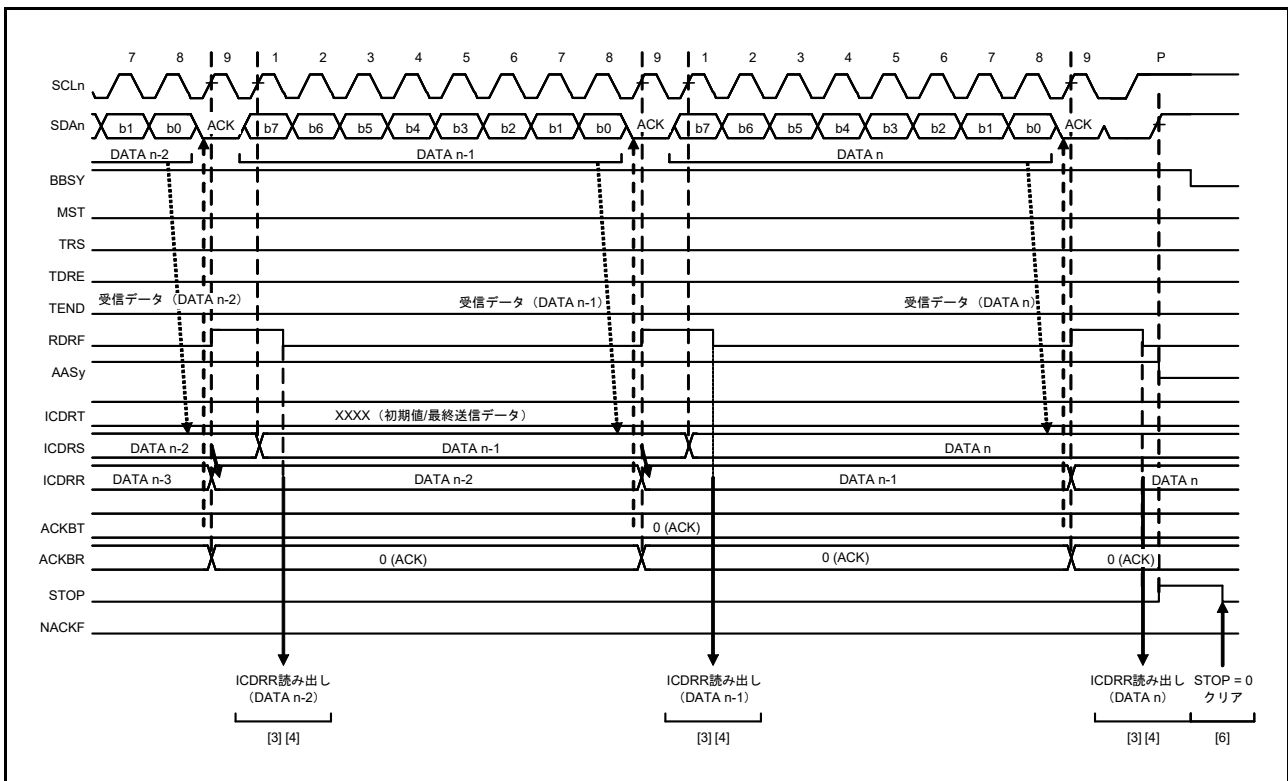


図 29.20 スレーブ受信の動作タイミング (2) (RDRFS = 0 の場合)

29.4 SCL 同期回路

SCL クロックを生成するには、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH.BRH[4:0] で設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL.BRL[4:0] で設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH.BRH[4:0] で設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウント動作を中断し、SCLn ラインを Low にして ICBRL.BRL[4:0] で設定した Low 幅のカウントを開始します。Low 幅のカウントが終了すると、IIC は SCLn ラインを開放します。他のマスタデバイスの SCL クロック信号の Low 幅が IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの開放によって SCL クロックが立ち上がります。IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。なお、この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

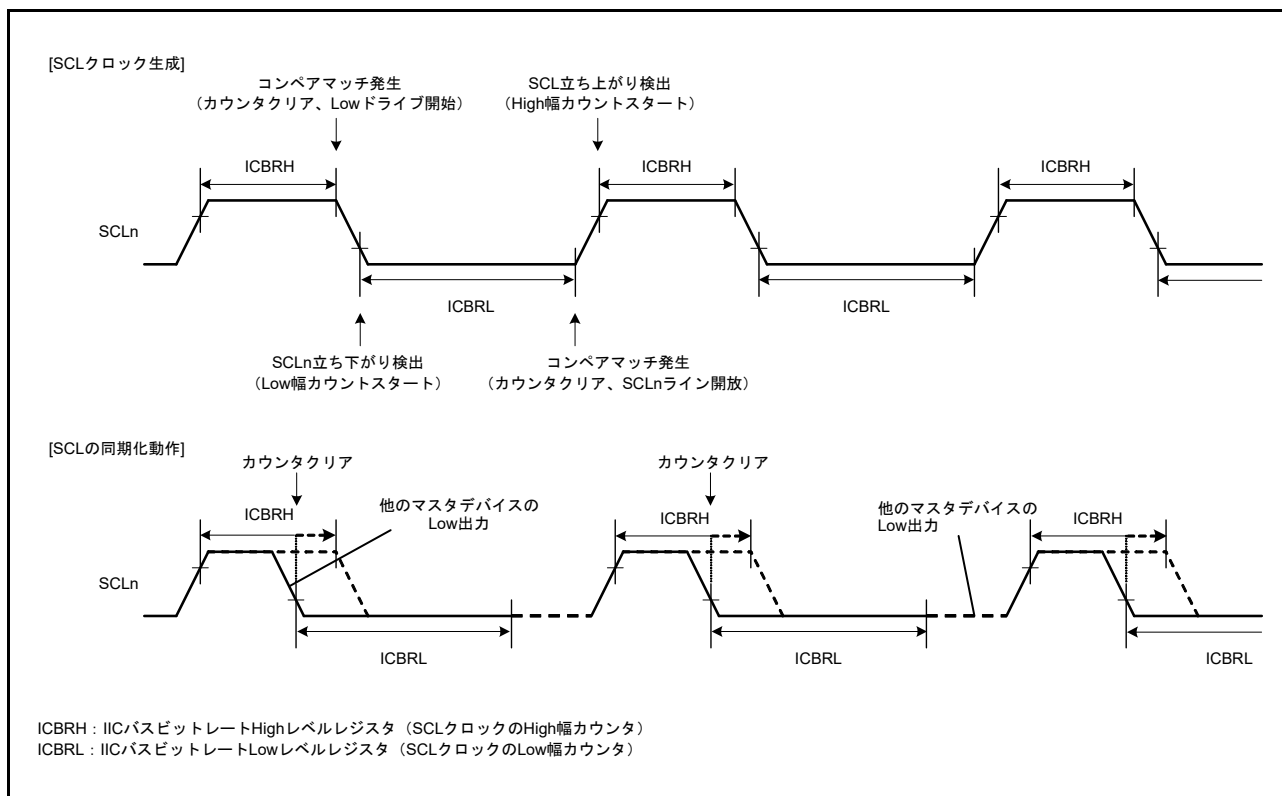


図 29.21 IIC の SCL クロック生成および SCL 同期化動作

29.5 SDA 出力遅延機能

IIC モジュールは SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (スタート/リスタート/ストップコンディションの発行、データ出力、ACK/NACK 出力) を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300ns) 要件を満たし、通信デバイスの誤動作を防止します。この SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効 (ICMR2.SDDL[2:0] ビットが 000b 以外) になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック (IICφ) またはその 2 分周クロック (IICφ/2) として選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC モジュールは SDA ライン上で必要な出力 (スタート/リスタート/ストップコンディション、データ、ACK/NACK 信号) を行います。

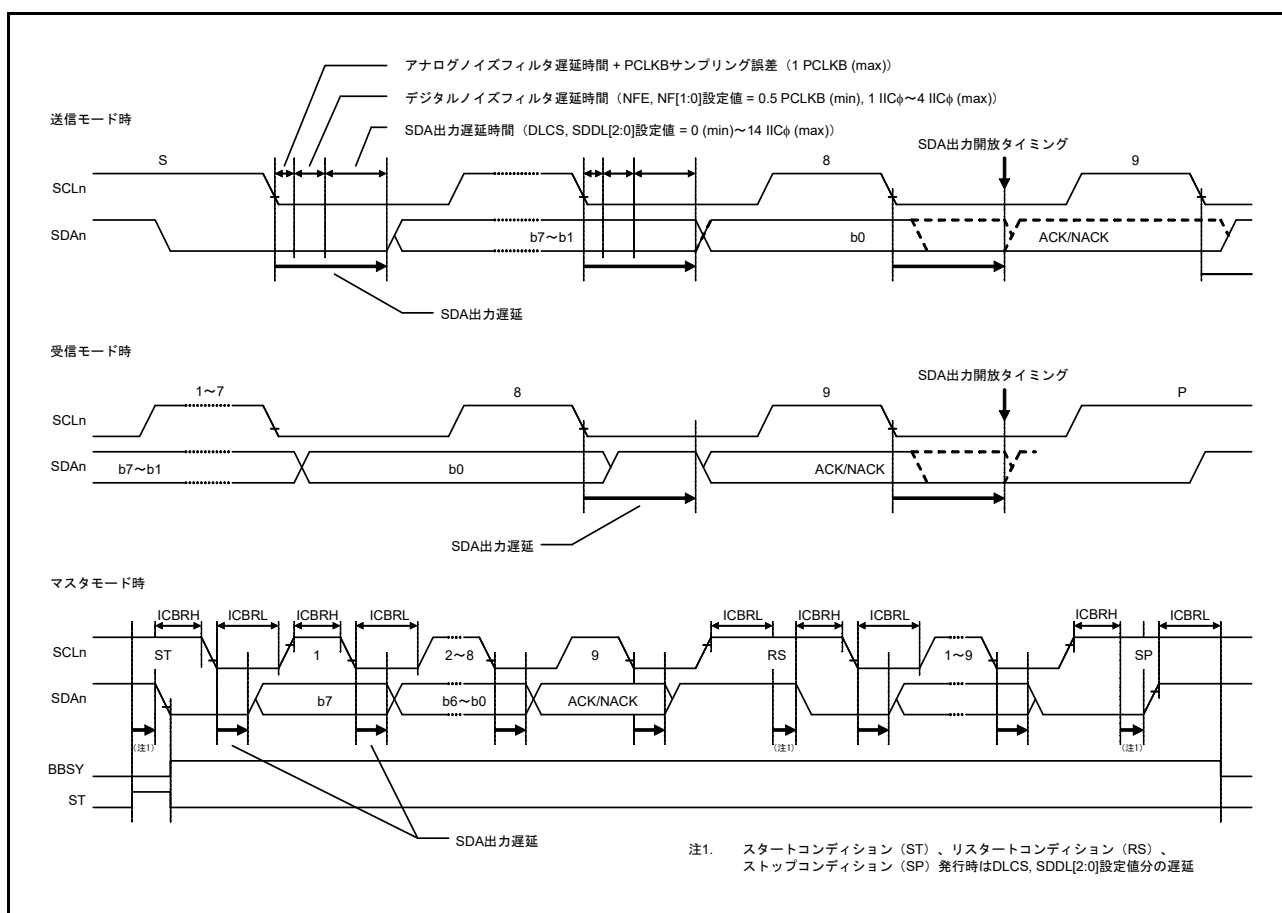


図 29.22 SDA 出力遅延機能

29.6 デジタルノイズフィルタ回路

SCL_n 端子および SDA_n 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 29.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は選択した有効段数に応じて、1IIC_φ ~ 4IIC_φ サイクル分となります。

SCL_n 端子入力信号（または SDA_n 端子入力信号）は IIC_φ の立ち下がりでもサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば PCLKB = 4MHz 時の 400kbps 通信のように、内部動作クロック (PCLKB) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

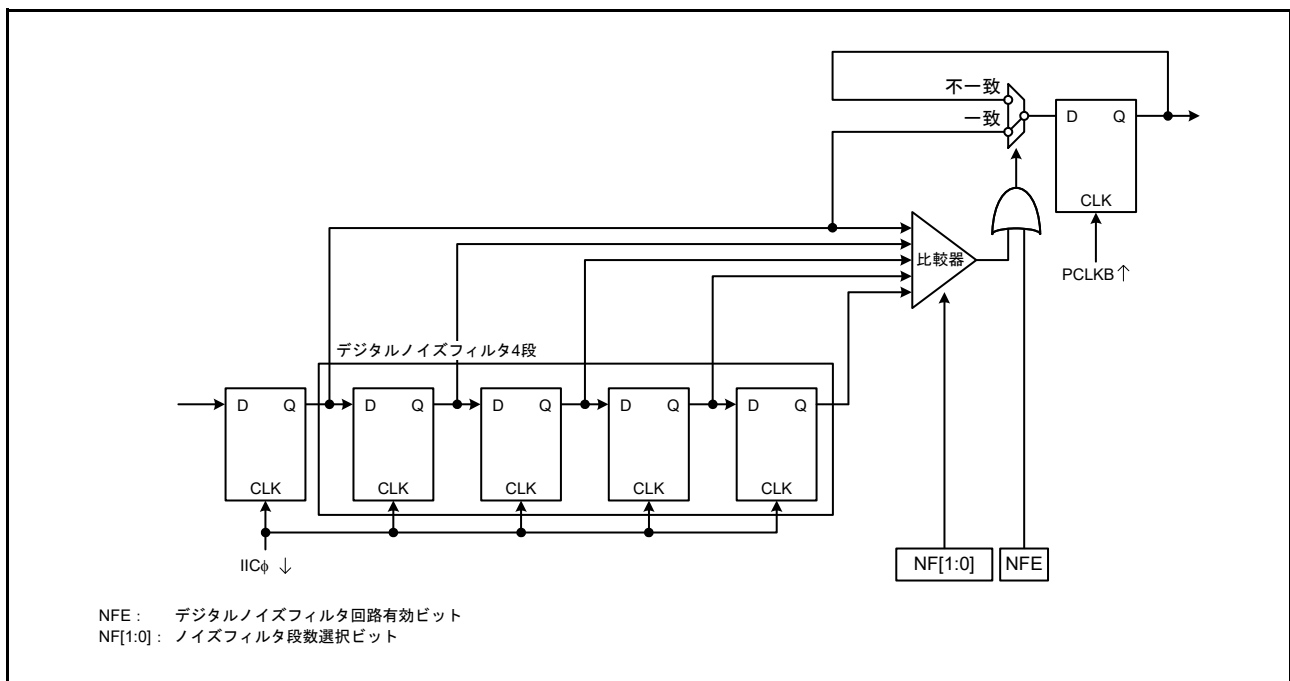


図 29.23 デジタルノイズフィルタ回路のブロック図

29.7 アドレス一致検出機能

IICは、ジェネラルコールアドレス、ホストアドレスの他に3種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7ビットアドレスまたは10ビットアドレスの設定が可能です。

29.7.1 スレーブアドレス一致検出機能

IICは3種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyEビット (y=0~2) が1のとき、SARUyおよびSARLyレジスタ (y=0~2) に設定されたスレーブアドレスを検出できます。

IICが設定されたスレーブアドレス一致を検出すると、対応するICSR1.AASyフラグ (y=0~2) がSCLクロックの9クロック目の立ち上がりで1になり、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグが1になります。これによって、受信データフル割り込み (IICn_RXI) または送信データエンプティ割り込み (IICn_TXI) を発生させることができます。どのスレーブアドレスが指定されたかはAASyフラグで識別できます。

図 29.24 ~ 図 29.26 に AASy フラグが 1 になるタイミングを 3 つのケースで示します。

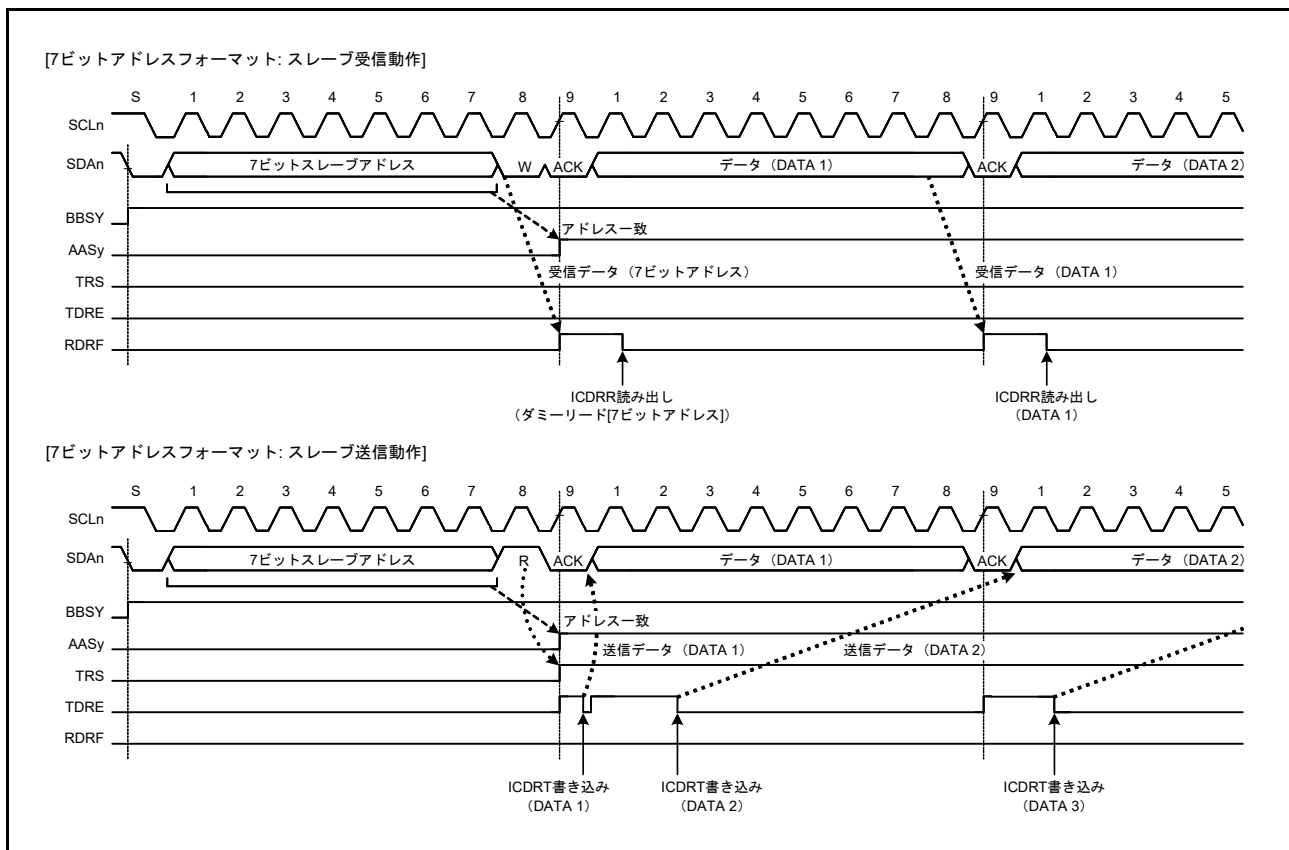


図 29.24 AASy フラグが 1 になるタイミング (7 ビットアドレスフォーマット)

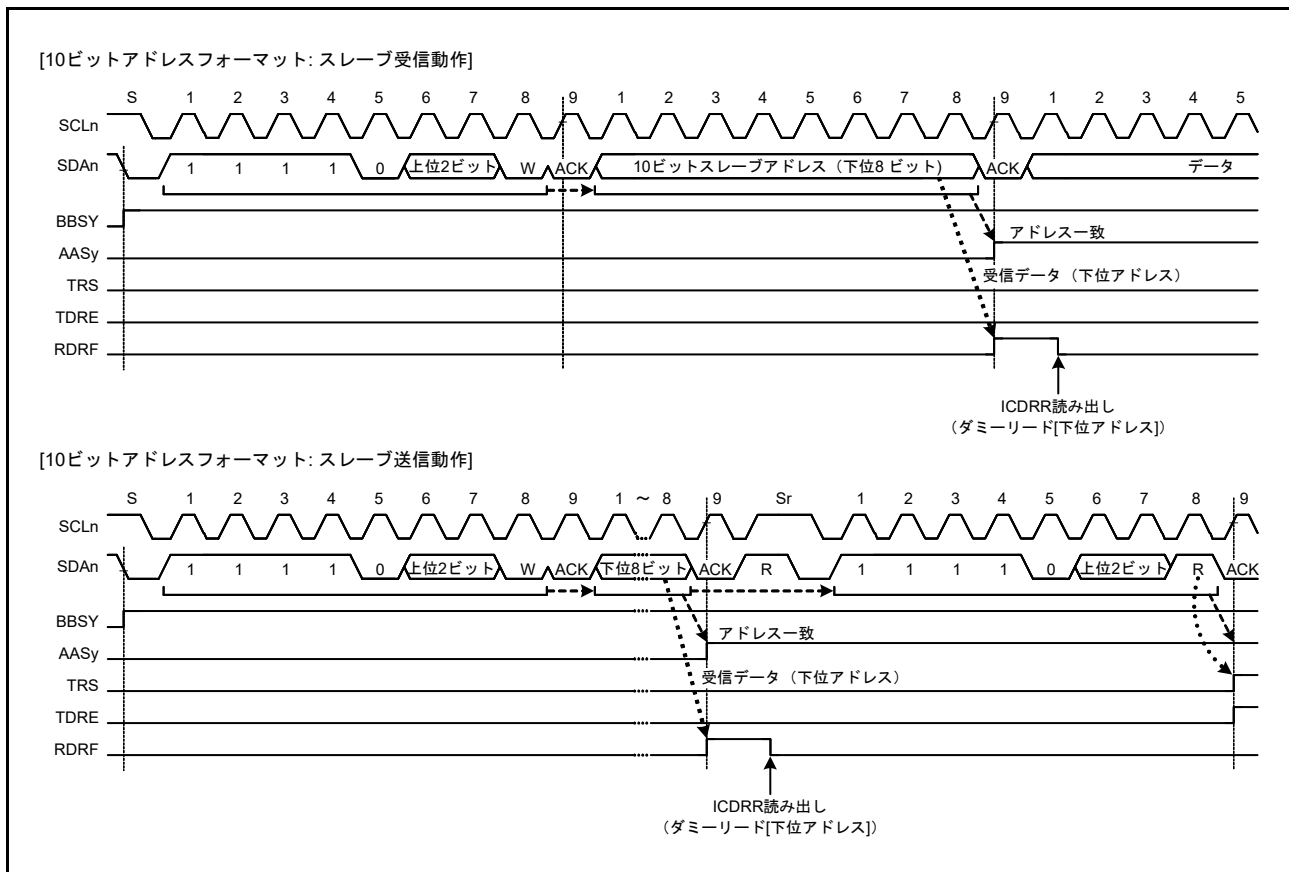


図 29.25 AASy フラグが1になるタイミング (10 ビットアドレスフォーマット)

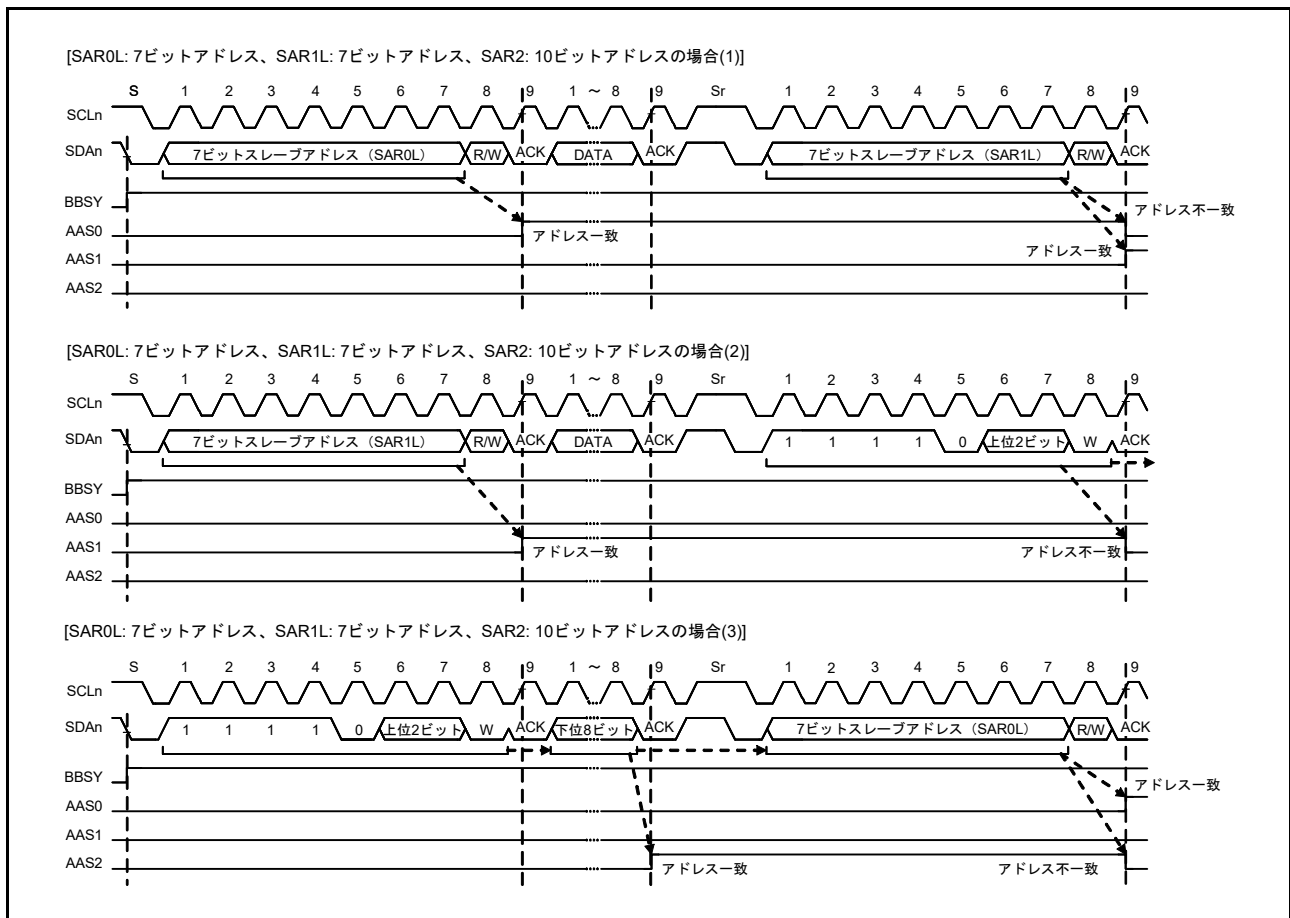


図 29.26 AASy フラグが 1 または 0 になるタイミング (7 ビット / 10 ビットアドレスフォーマット混在)

29.7.2 ジェネラルコールアドレス検出機能

IICは、ジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。この機能は、ICSER.GCAE ビットを1にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b + 1[R] (開始バイト) の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの9クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが1になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

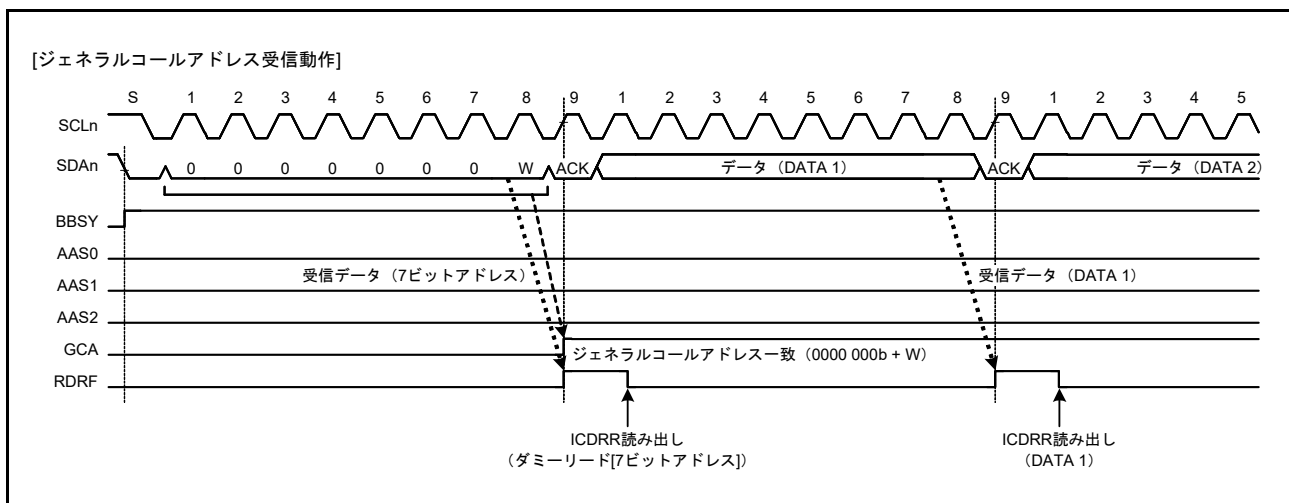


図 29.27 ジェネラルコールアドレス受信時に GCA フラグが1になるタイミング

29.7.3 デバイス ID アドレス検出機能

IIC モジュールは、I²C バス仕様 (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを1にした状態で、スタートコンディションまたはリスタートコンディション発行後の1バイト目に 1111 100b を受信すると、IICはこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが 0 のとき、SCL クロックの8クロック目の立ち上がりで ICSR1.DID フラグを1にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASy フラグ (y = 0 ~ 2) を1にします。

その後、スタートコンディションまたはリスタートコンディション発行後の1バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが1のとき、IIC は続く2バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを1にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスと一致し、リスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを0にします。スタートコンディションまたはリスタートコンディション検出後の1バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが0の場合は、IIC は DID フラグを1にして、続く2バイト目以降を IIC のスレーブアドレスと比較します。R/W# ビットが1の場合、DID フラグは前値の状態を継続し、IIC は2バイト目以降の比較を行いません。したがって、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することが可能です。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイトデータ : メーカー情報 [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

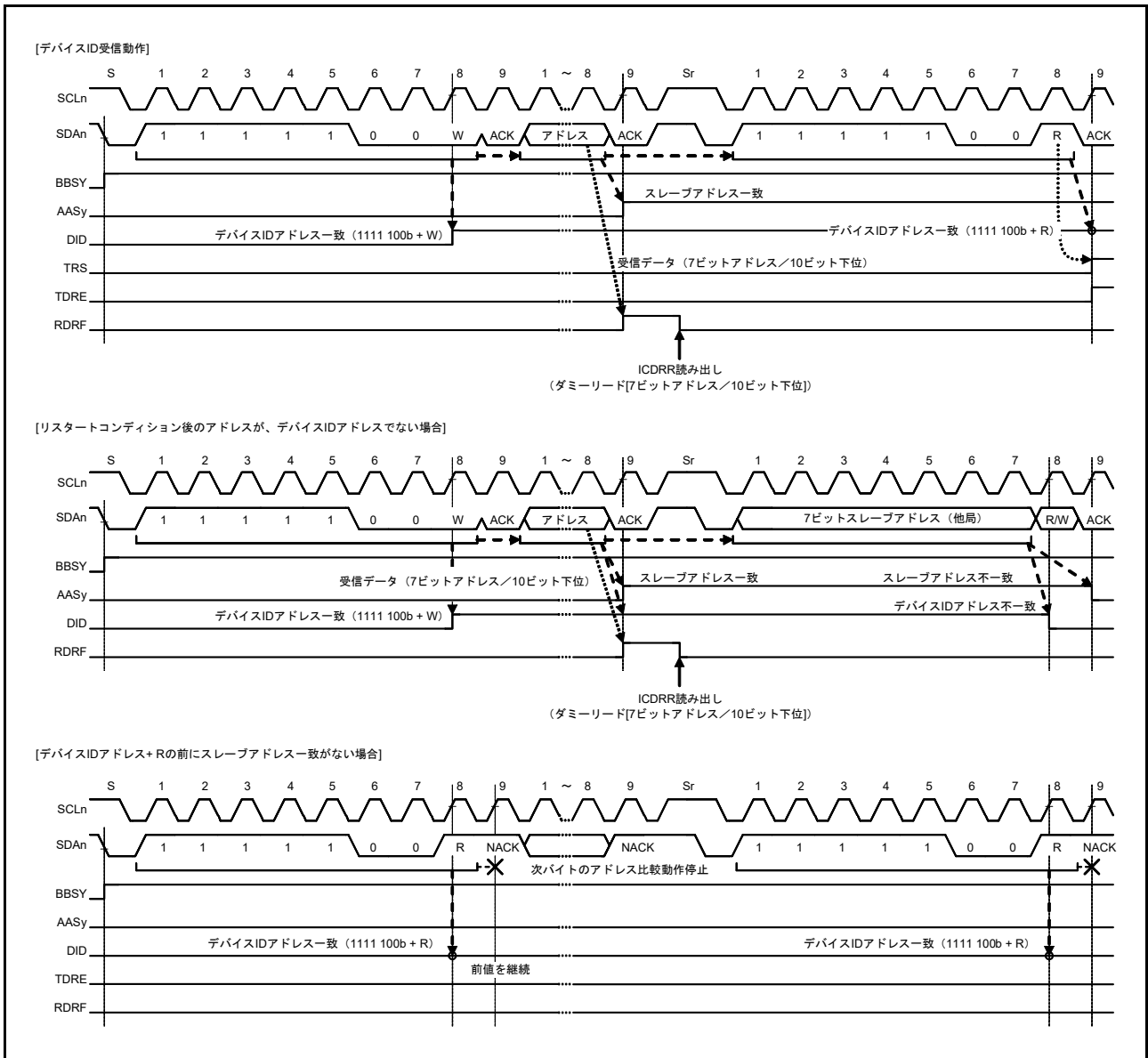


図 29.28 デバイス ID 受信時の AASy および DID フラグのセット/クリアタイミング

29.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき IC SER.HOAE ビットを 1 にすると、スレーブ受信モード (ICCR2.MST、TRS ビット = 00b) 時に、ホストアドレス (0001 000b) の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0 (Wr ビット) のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み (IICn_RXI) が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビット = 1) の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

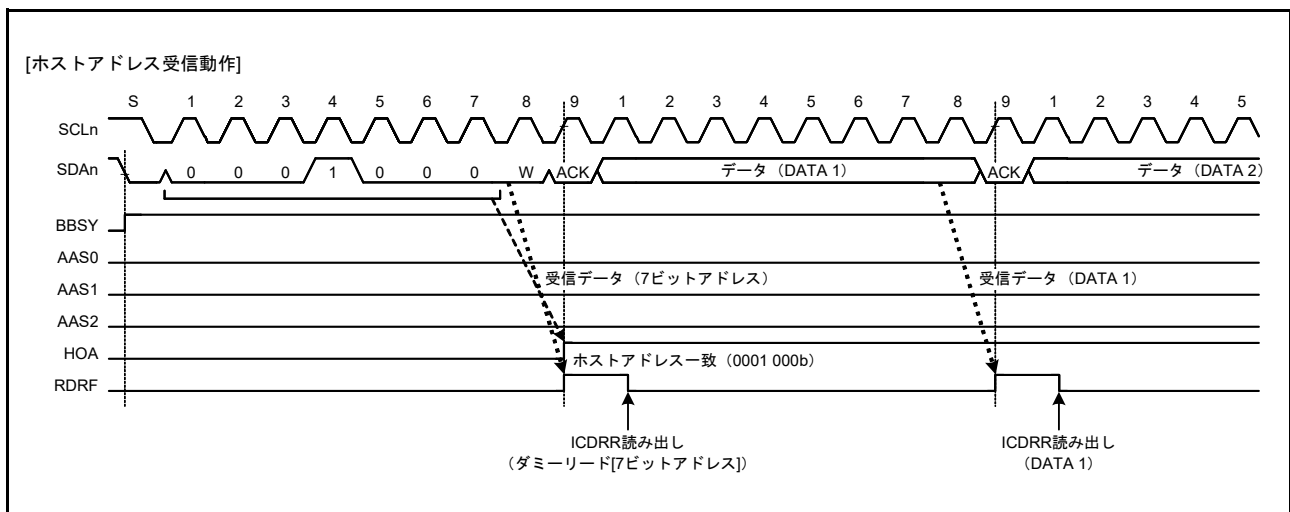


図 29.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

29.8 ウェイクアップ機能

IICは、MCUをソフトウェアスタンバイモードまたはスヌーズモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、ウェイクアップ割り込み要因として設定されたアドレスと受信データが一致する場合、およびPCLKBが停止しているとき（PCLKB非同期動作）にウェイクアップ割り込み信号を発生させるために使用します。このウェイクアップ割り込み信号は、MCUを通常動作に遷移させるトリガになります。ウェイクアップ割り込み発生後、通信を継続できるように、IICをPCLKB同期動作に切り替えてください。

ウェイクアップ機能には、下記の4つの動作モードがあります。

- ノーマルウェイクアップモード1
- ノーマルウェイクアップモード2
- コマンドリカバリモード
- EEP応答モード

表 29.9 に各モードの動作を示します。

表 29.9 ウェイクアップ動作モード

動作モード	ACK応答タイミング	ウェイクアップ前のACK応答	ウェイクアップ時のSCL状態
ノーマルウェイクアップモード1	PCLKB同期動作へのウェイクアップ前 ^(注1)	ACK	Lowに固定
ノーマルウェイクアップモード2	PCLKB同期動作へのウェイクアップ後 ^(注2)	ウェイクアップ前：応答なし (NACKレベル保持) ウェイクアップ後：ACK応答	Lowに固定
コマンドリカバリモード	PCLKB同期動作へのウェイクアップ前 ^(注1)	ACK	解放
EEP応答モード	PCLKB同期動作への復帰前 ^(注1)	NACK	解放

注 1. PCLKB非同期動作からPCLKB同期動作への切り替えタイミングは、SCLの9クロック目の立ち下がりです。

注 2. PCLKB非同期動作からPCLKB同期動作への切り替えタイミングは、SCLの8クロック目の立ち下がりです。

ウェイクアップ割り込み要因として以下が選択できます。

- ホストアドレス検出 (ICSER.HOAE = 1 のときに有効)
- ジェネラルコールアドレス検出 (ICSER.GCAE = 1 のときに有効)
- スレーブアドレス 0^(注 1) 検出 (ICSER.SAR0E = 1 のときに有効)
- スレーブアドレス 1^(注 1) 検出 (ICSER.SAR1E = 1 のときに有効)
- スレーブアドレス 2^(注 1) 検出 (ICSER.SAR2E = 1 のときに有効)

注 1. 7ビットアドレスのみ設定可能。SAR_y (y = 0 ~ 2) のFSビットを0にします。

ウェイクアップ機能使用時の注意事項

- ICWUR2.WUASYF フラグが1のとき (PCLKB非同期動作中)、ICWUR2.WUSEN ビット以外の、IICのレジスタの値は変更しないでください
- PCLKB非同期モードに切り替える前に、ICWUR.WUEとICWUR.WUIEを1に、ICCR2.MSTとICCR2.TRSを0 (スレーブ受信モード) にしてください
- デバイスIDおよび10ビットのスレーブアドレスは、ウェイクアップ割り込み要因には選択できません。ICSER.DIDEビットとSAR_y.FSビット (y = 0 ~ 2) を0にしてください
- 非同期動作への切り替え前に、ICIERレジスタのTIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、およびTMOIEの各ビットを0 (割り込み禁止) にしてください
- ウェイクアップ機能が有効 (ICWUR.WUE = 1) の場合は、タイムアウト機能は使用しないでください

- PCLKB 非同期動作 (ICWUR2.WUASYF = 1) 中にウェイクアップ割り込みが発生しても、PCLKB 同期モード (ICWUR2.WUASYF = 0) でスレーブアドレスが一致した場合は、ウェイクアップ割り込みは発生せず、WUF フラグは設定されない
- ICWUR2.WUSEN ビットに 0 を書き込むタイミングとスタートコンディションを検出するタイミングが競合した場合、IIC は次の受信を PCLKB 同期動作モードで開始する場合があります。この場合、データ通信が終了し、ストップコンディションが検出され、ウェイクアップイベントの検出が開始すると、ICWUR2.WUASYF フラグが 1 (PCLKB 非同期モードに切り替え) になります
- ICWUR2.WUSEN ビットに 0 を書き込んだ後は、(ICWUR2.WUASYF フラグが 1 の状態で) モードが PCLKB 同期動作から PCLKB 非同期動作に切り替わるまで、IIC 動作モード設定に関連するレジスタ (ICMR3、ICSER、および SARLy) を変更しないでください。この期間中に、割り込み処理またはその他の要因でレジスタの値が変更した場合、非同期動作に切り替わる前に IIC が誤動作することがあります

29.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および使用例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップ中：SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

ウェイクアップ後：通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。図 29.32 に詳細なタイミングを示します。使用例については、図 29.30 を参照してください。

注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

2. ウェイクアップ割り込み以外の割り込み (IRQn など) で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUF フラグは 1 になりません。図 29.31 に示す処理に従ってください。

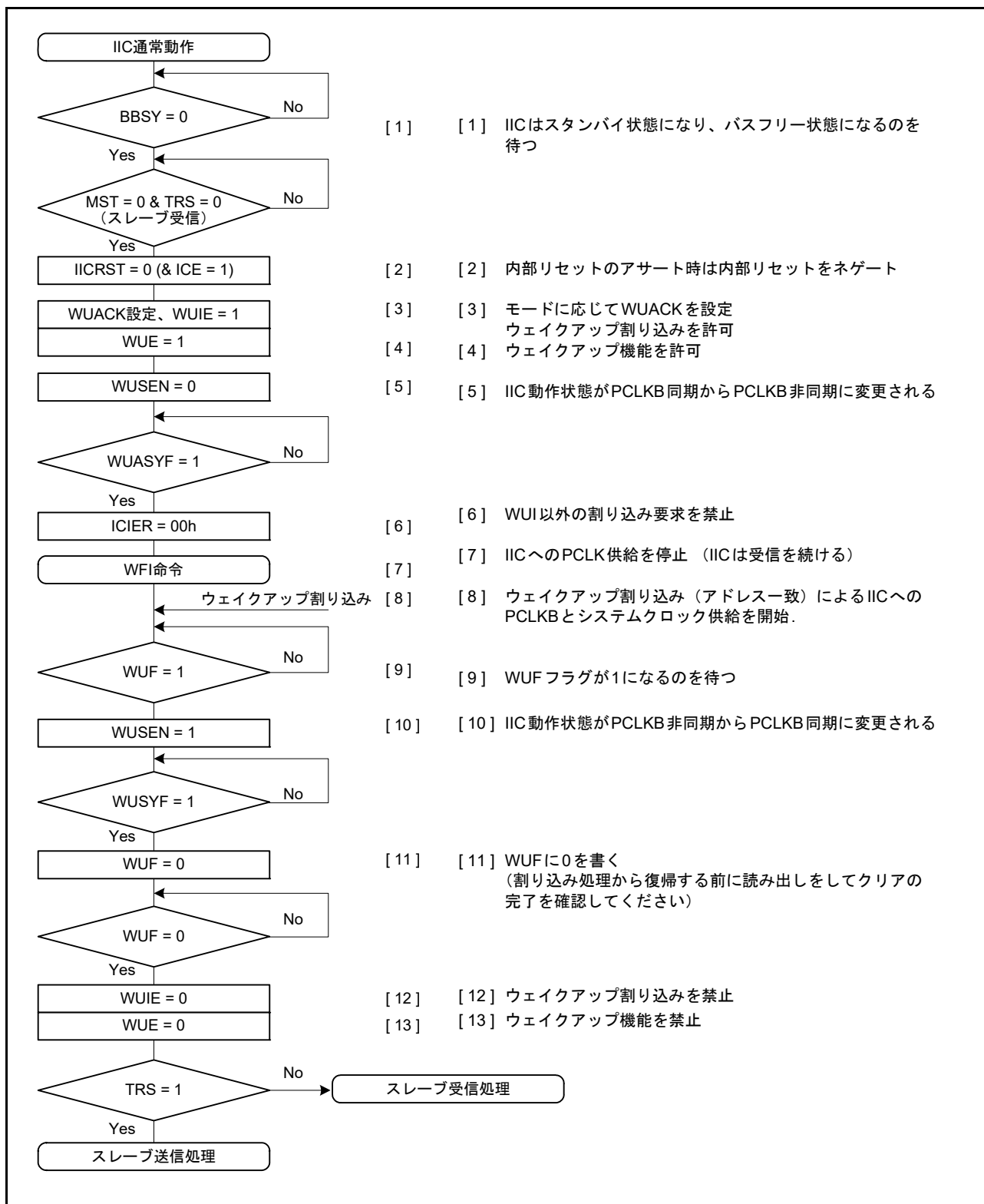


図 29.30 ノーマルウェイクアップモード1の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

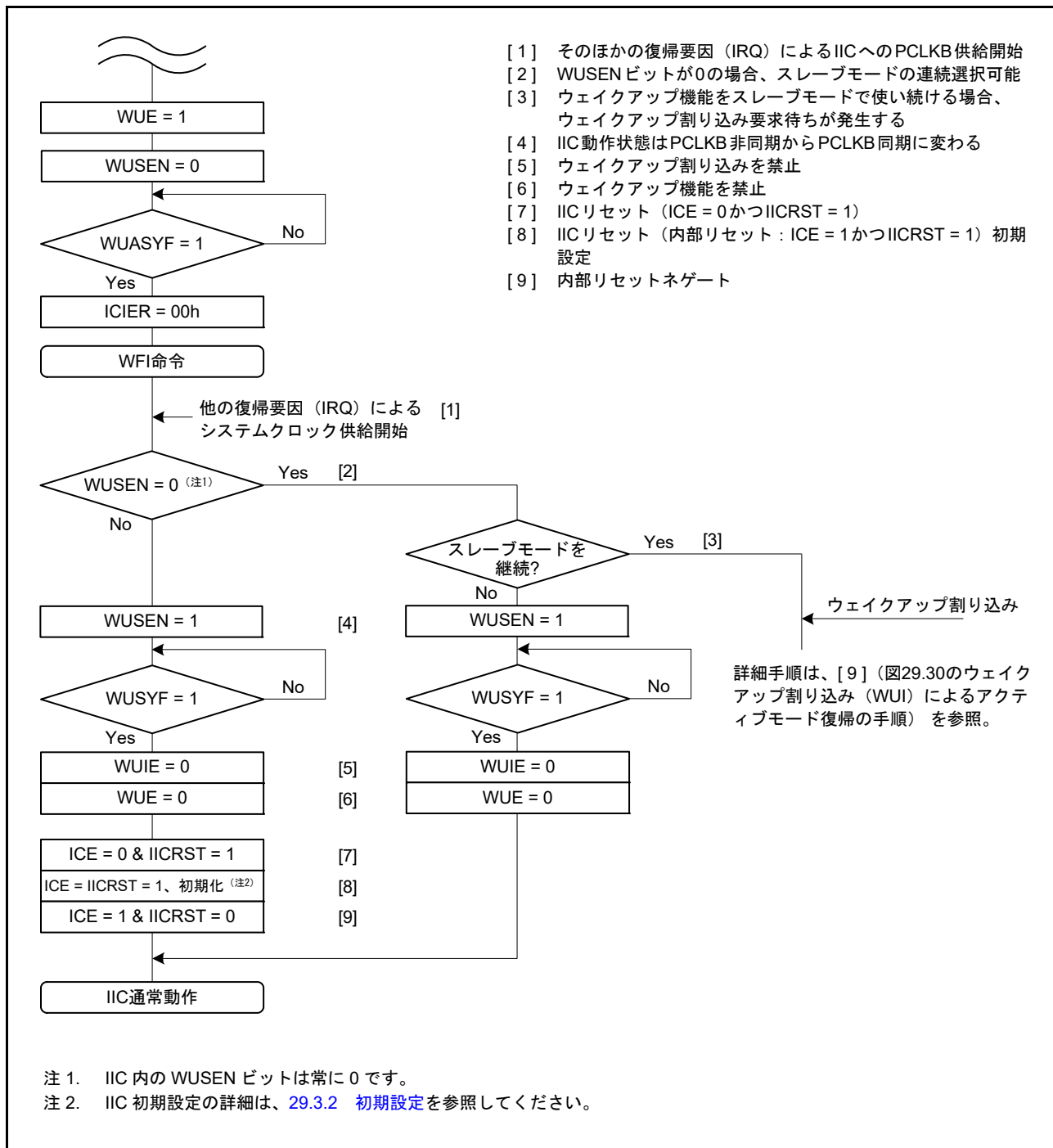


図 29.31 ノーマルウェイクアップモード 1 および 2 の動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

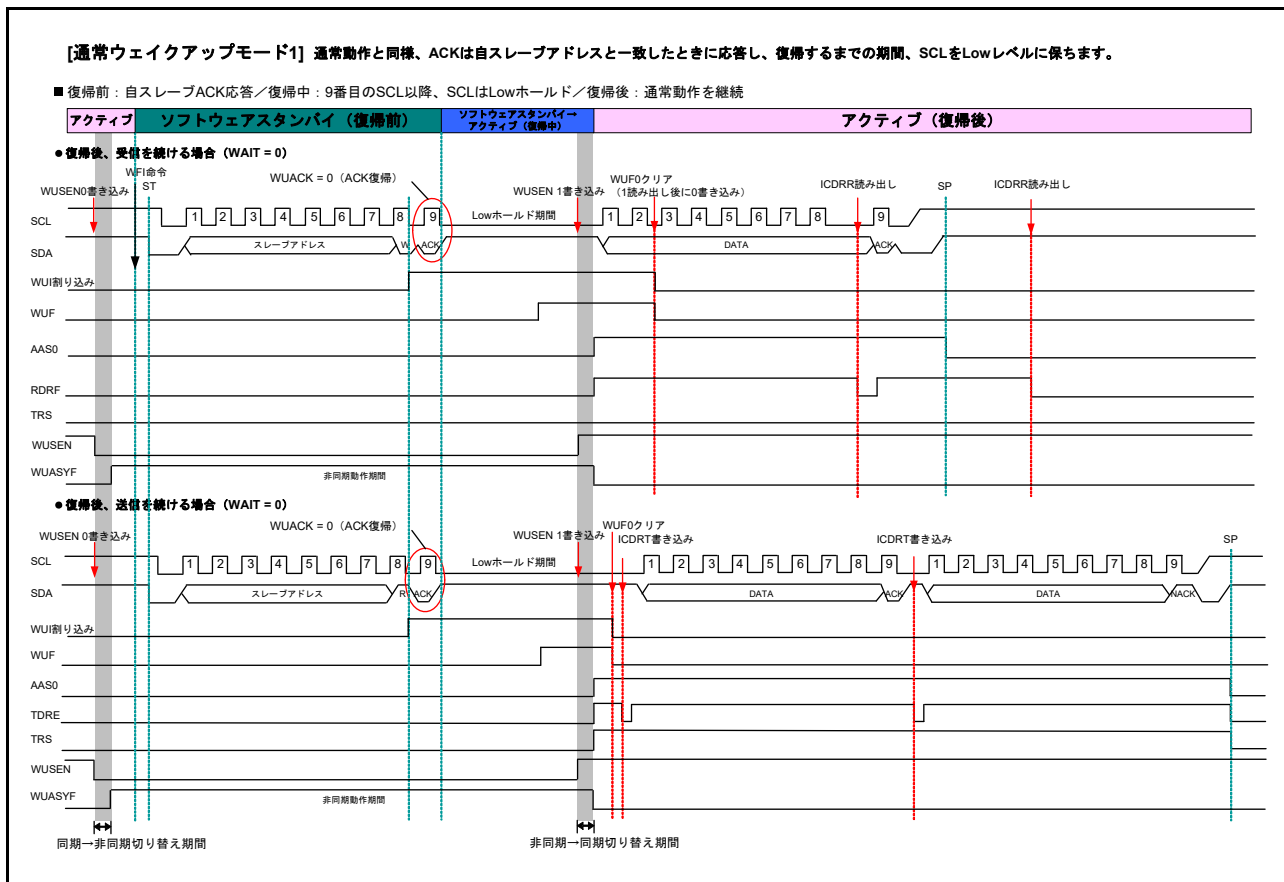


図 29.32 ノーマルウェイクアップモード1のタイミング

29.8.2 ノーマルウェイクアップモード2

以下では、ノーマルウェイクアップモード2の動作、タイミング、および使用例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IICの自スレーブアドレスとともに受信したデータに対してSCLの8クロック目の終わりまで応答しない。

ウェイクアップ中：8クロック目と9クロック目の間でSCLラインのLowホールドを行う。

ウェイクアップ後：SCLの9クロック目でACKを返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCLの8クロック目の立ち下がり後にSCLラインのLowホールドは行われず、スレーブ動作が継続します。図 29.34 に詳細なタイミングを示します。使用例については、図 29.33 を参照してください。

2. ウェイクアップ割り込み以外の割り込み (IRQ など) で、ソフトウェアスタンバイモードまたはスヌーズモードからの遷移がトリガされると、WUFは1になりません。図 29.31 に示す処理に従ってください。

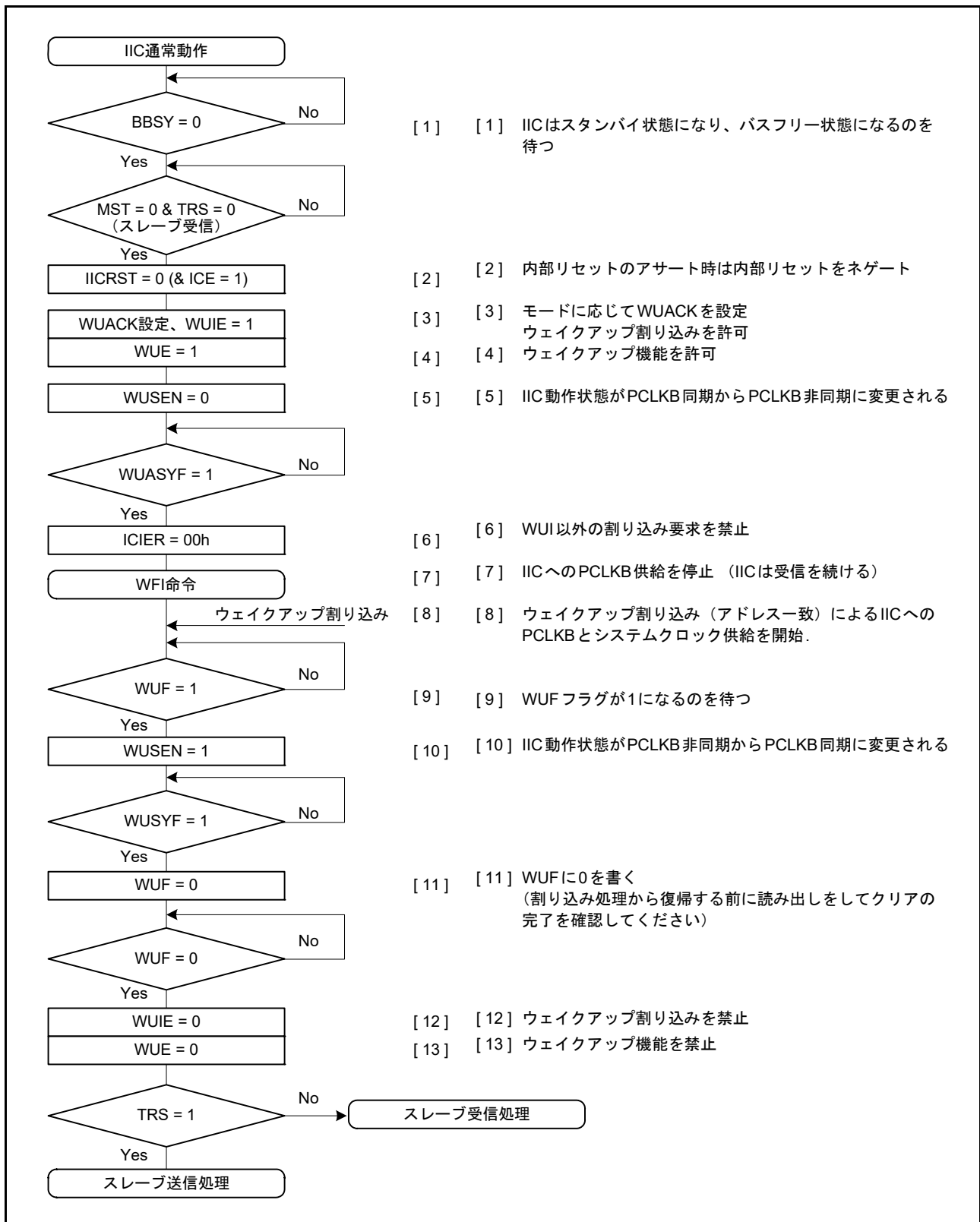


図 29.33 ノーマルウェイクアップモード2の動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

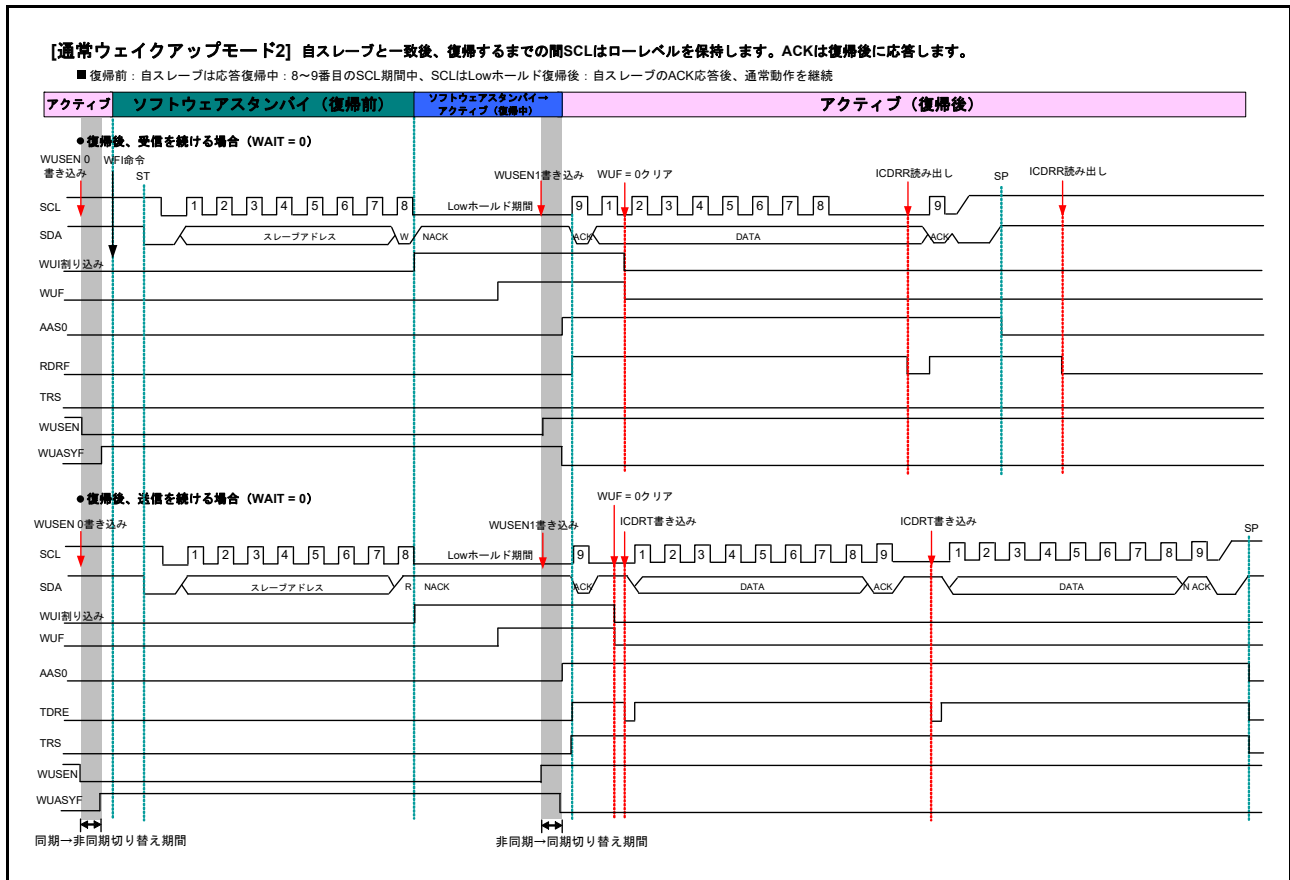


図 29.34 ノーマルウェイクアップモード2のタイミング

29.8.3 コマンドリカバリモードとEEP 応答モード (特殊ウェイクアップモード)

コマンドリカバリモードとEEP 応答モードでは、ウェイクアップ期間中 (SCLの9クロック目の立ち上がり後) にSCLラインのLowホールドは行われないので、他のIICデバイスはこの期間にI²Cバスを利用できます。

以下では、コマンドリカバリモードとEEP 応答モードの動作、タイミング、使用例について説明します。

1. スレープアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のような通常動作への遷移が行われます。

ウェイクアップ前：IICの自スレープアドレスとともに受信したデータに対して、ACK (コマンドリカバリモードの場合) またはNACK (EEP 応答モードの場合) を返す。

ウェイクアップ中：SCLラインのLowホールドを行わない。

ウェイクアップ後：IICの初期設定後、通常動作が継続する。

スレープアドレスが不一致の場合、スレープ動作が継続します。

- 注 1. ウェイクアップ中にSCLラインのLowホールドは行われないので、スレープアドレスの後続データは送受信できません。
- 注 2. コマンドリカバリモードとEEP 応答モードは、内部リセット状態 (ICE = IICRST = 1) です。したがって、スレープアドレスが一致しても、ICSR1レジスタのフラグ (HOA、GCA、AAS0、AAS1、AAS2) は設定されません。

図 29.37 に詳細なタイミングを示します。使用例については、図 29.35 を参照してください。

2. ウェイクアップ割り込み以外の割り込み (たとえばIRQn) で、ソフトウェアスタンバイモードまたは

スヌーズモードからの遷移がトリガされると、この場合 WUF は設定されません。図 29.36 に示す処理に従ってください。

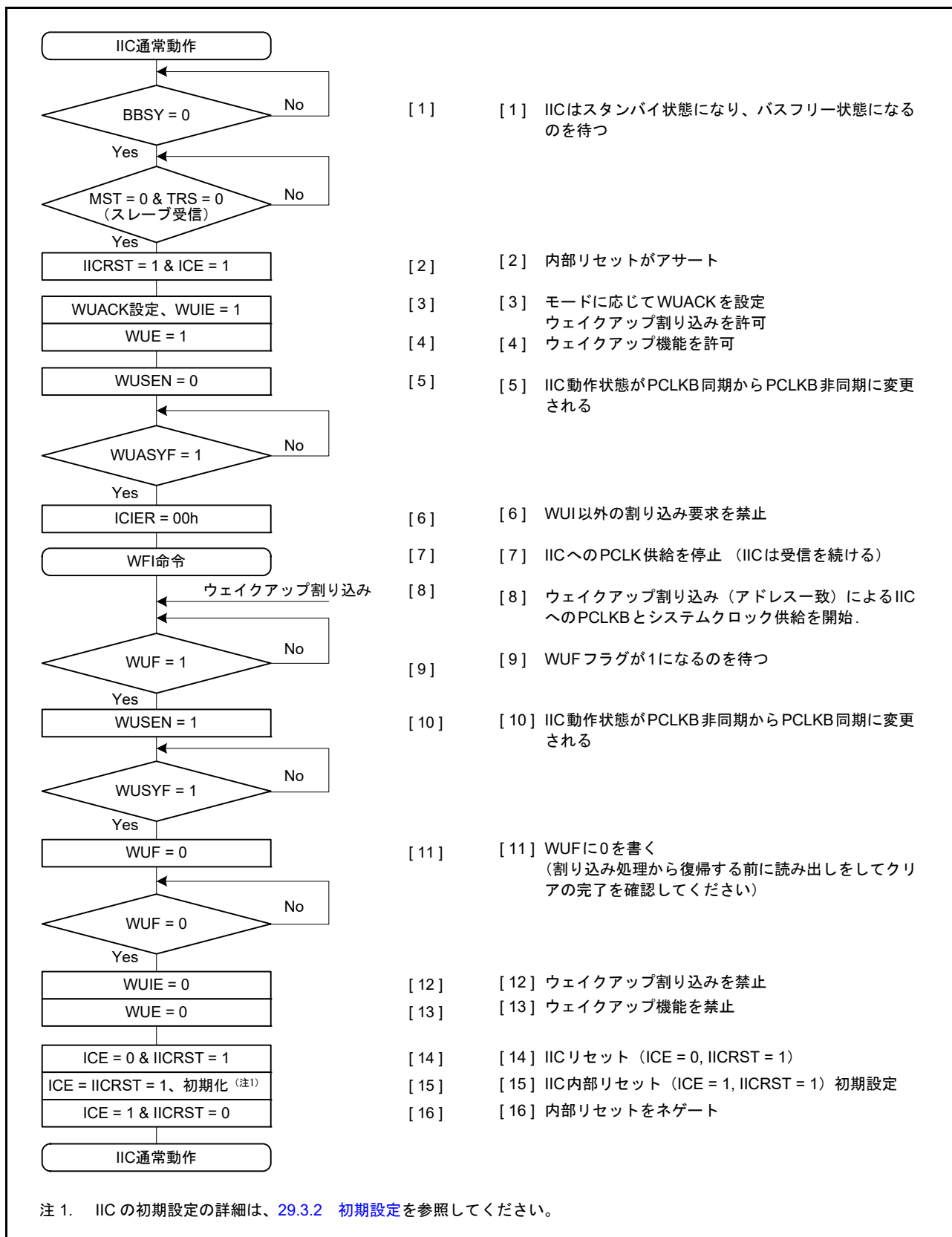


図 29.35 コマンドリカバリモードとEEP 応答モードの動作例 (スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合)

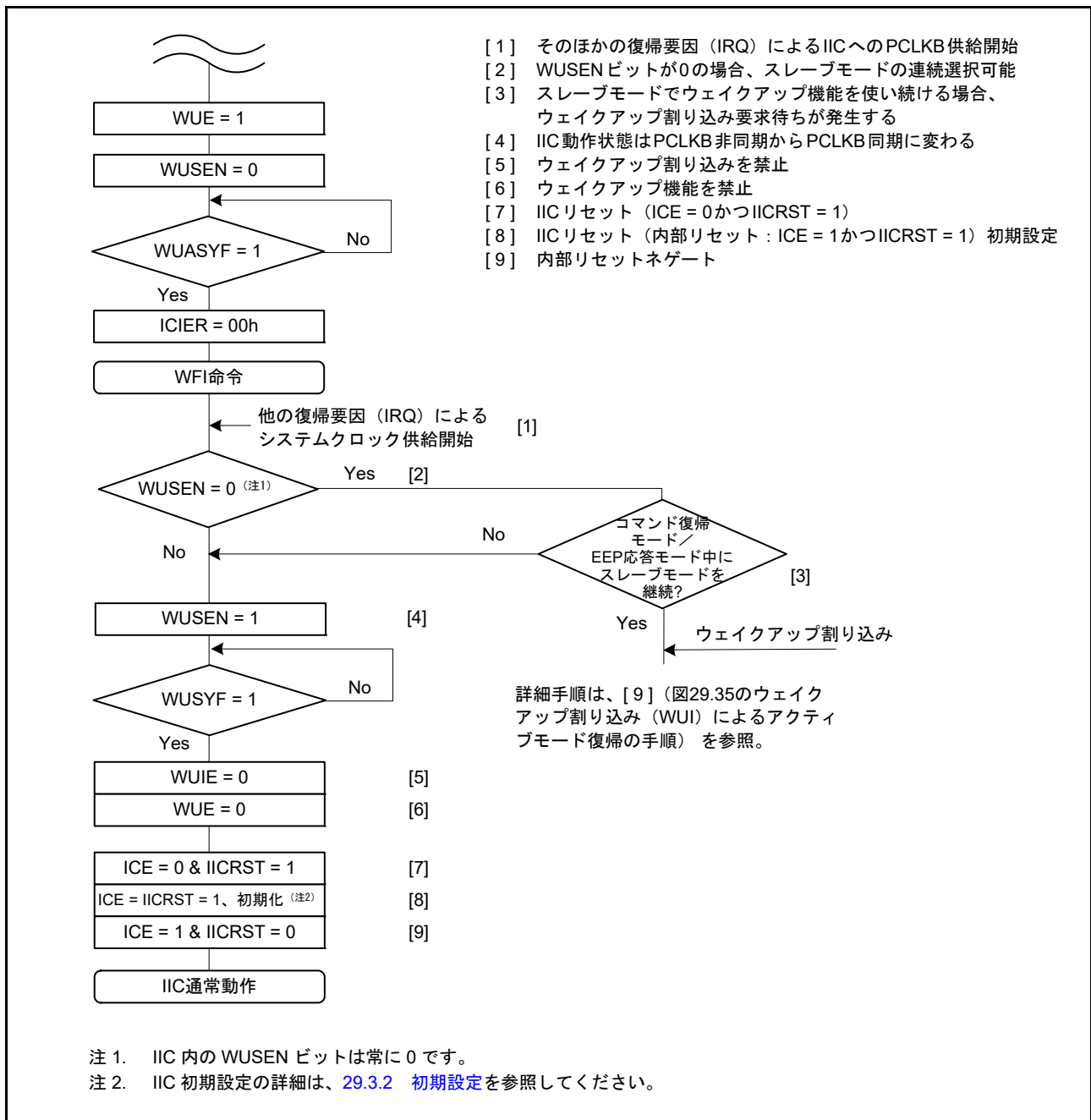


図 29.36 コマンドリカバリモードと EEP 応答モードの動作例 (IIC ウェイクアップ割り込み以外の割り込み (たとえば IRQn) によるウェイクアップの場合)

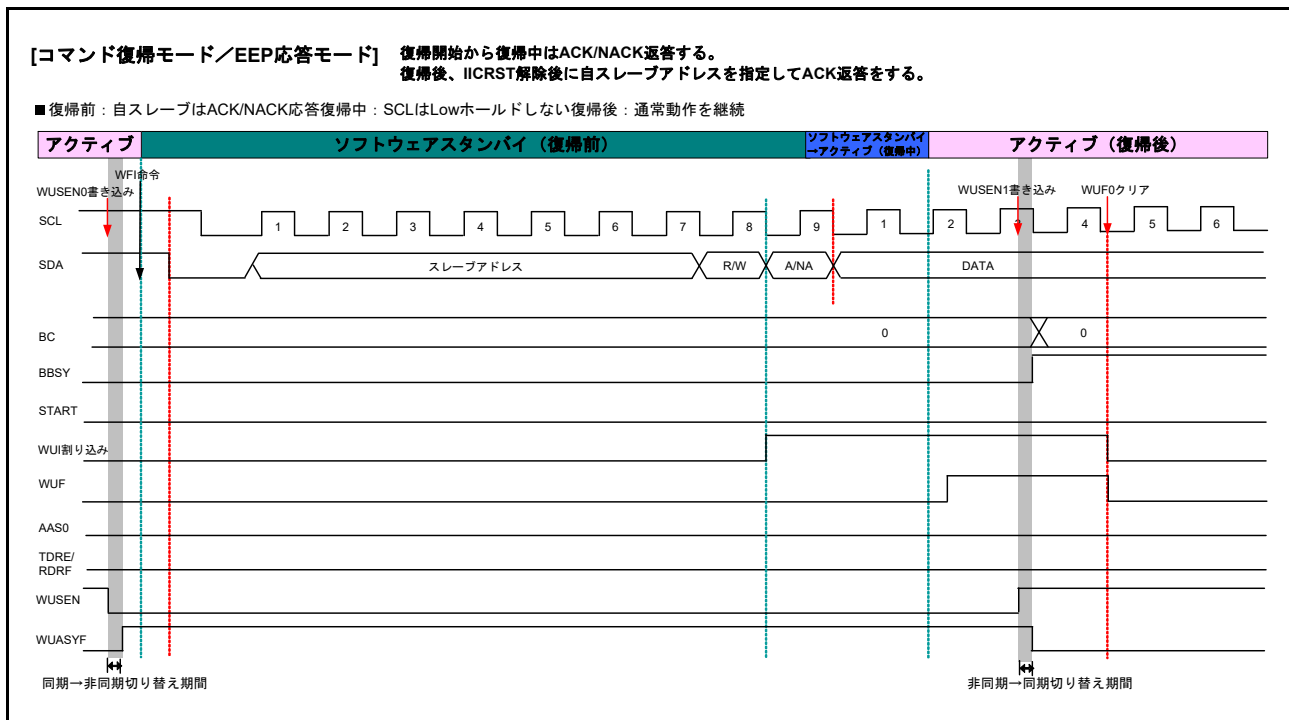


図 29.37 コマンドリカバリモードとEEP 応答モードのタイミング

29.9 SCLの自動Lowホールド機能

29.9.1 送信データ誤送信防止機能

IICが送信モード時 (ICCR2.TRS ビット=1) シフトレジスタ (ICDRS レジスタ) が空の状態かつ IIC バス送信レジスタ (ICDRT レジスタ) にデータが書かれていない場合、以下に示す区間に自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード:

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

スレーブ送信モード:

- 9クロック目と1クロック目の Low 区間

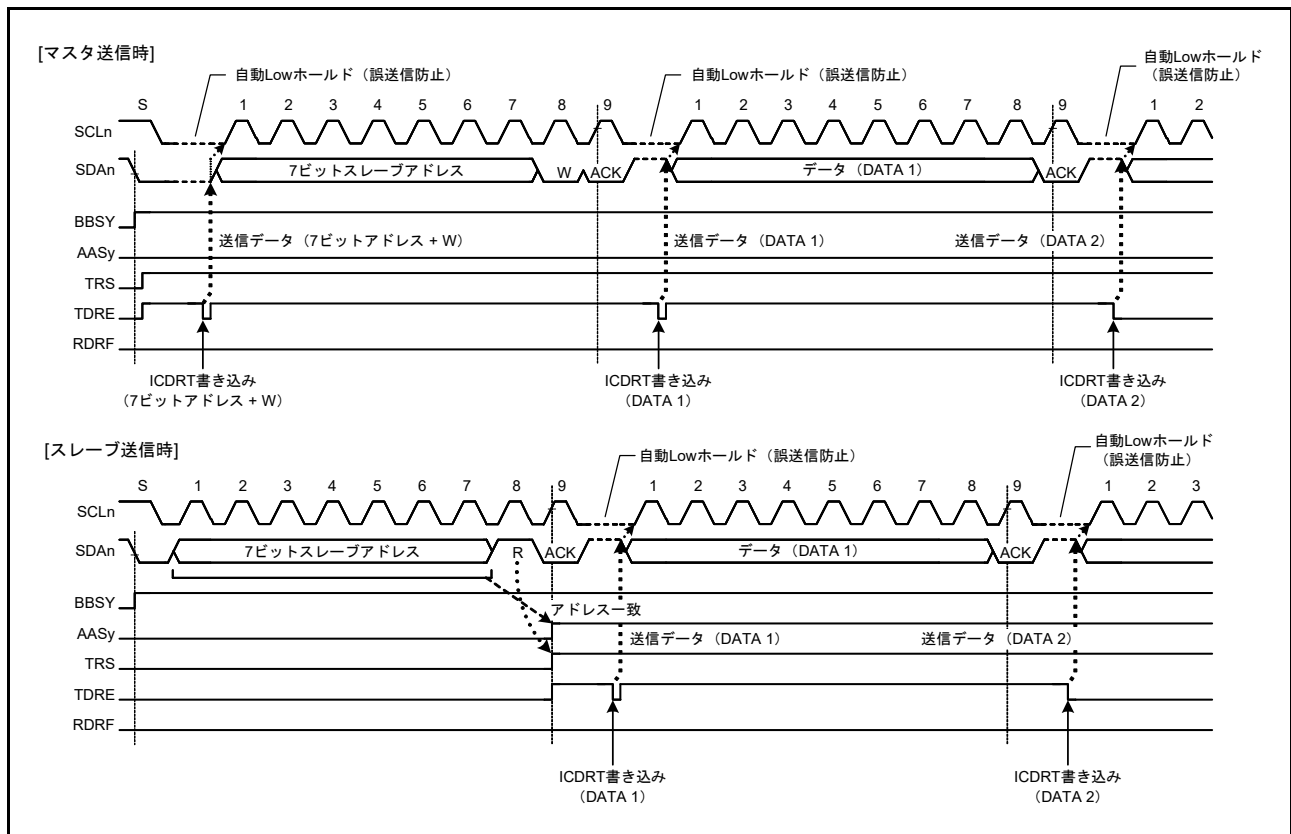


図 29.38 送信モード時の自動 Low ホールド動作

29.9.2 NACK 受信転送中断機能

この機能は、送信モード時 (ICCR2.TRS ビット = 1)、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0)、SCL クロックの 9 クロック目の立ち下がり、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することが可能です。

この機能によって転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送受信動作は行われません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

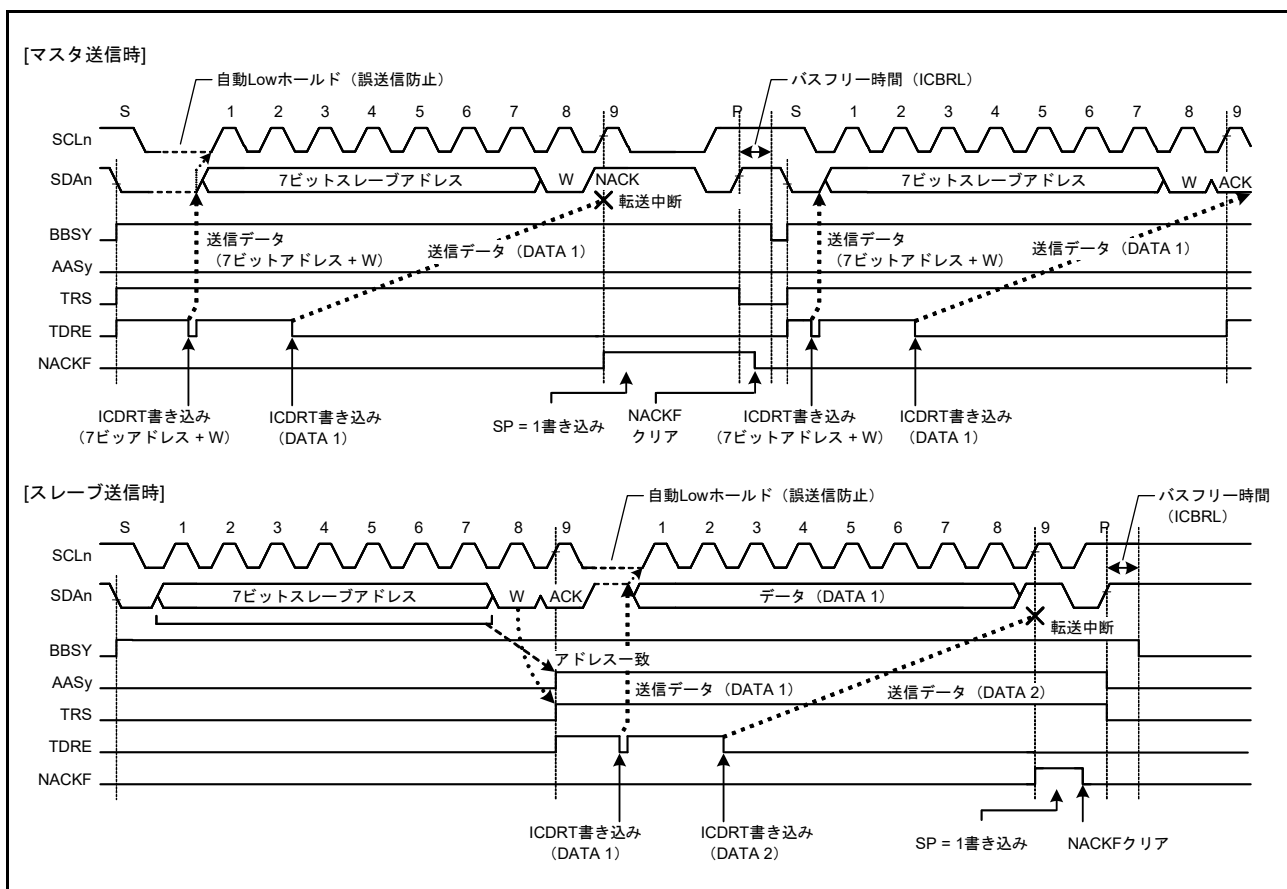


図 29.39 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

29.9.3 受信データ取りこぼし防止機能

受信モード時 (ICCR2.TRS ビット = 0) に、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間、ストップコンディション発行後に IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりですべて自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため 1 バイトごとに受信したデータの内容を基に ACK/NACK の送信を制御することによって受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

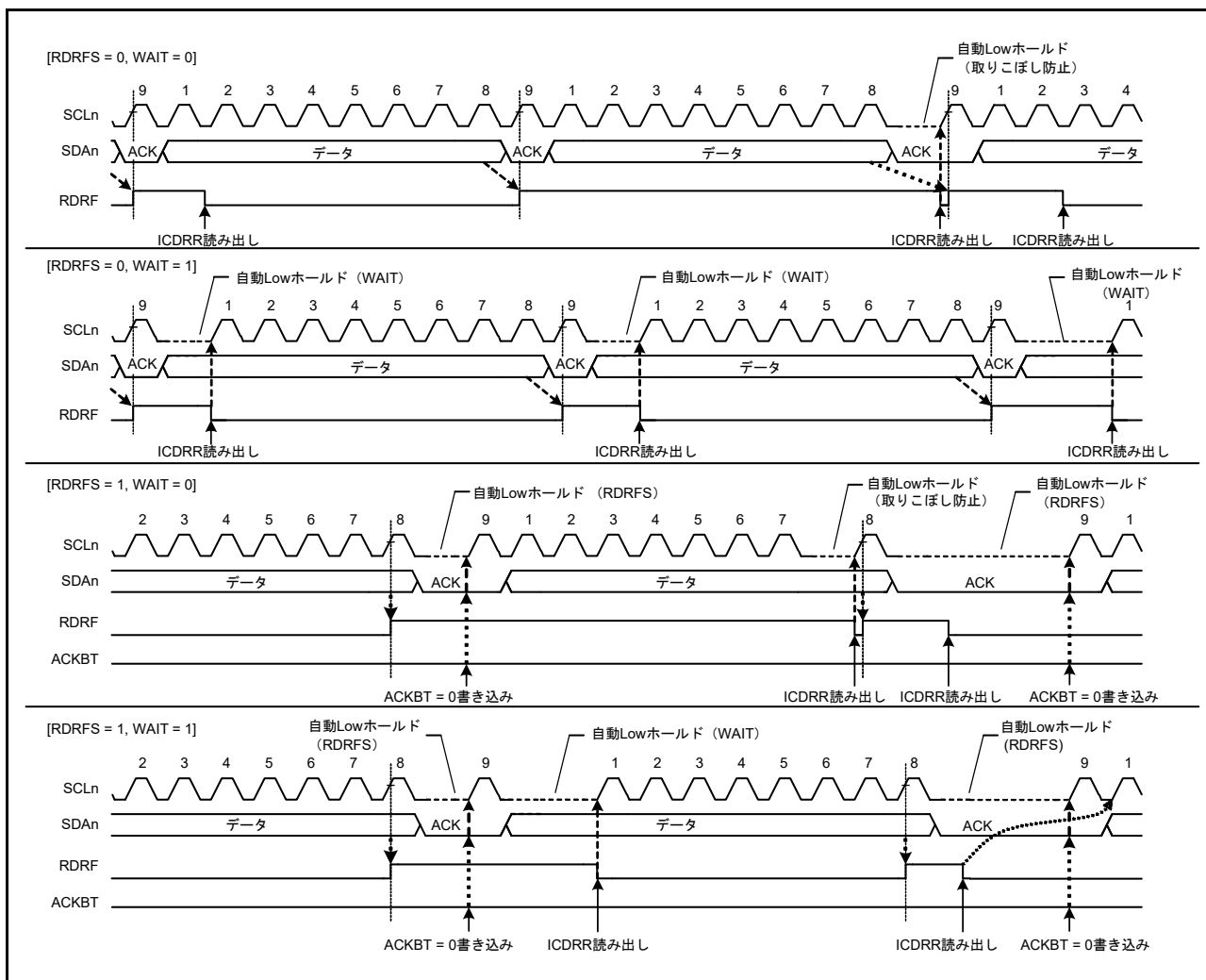


図 29.40 受信モード時の自動 Low ホールド動作 (RDRFS、WAIT ビットを使用)

29.10 アービトレーションロスト検出機能

IICにはI²Cバス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

29.10.1 マスタアービトレーションロスト検出機能 (MALE ビット)

IICはスタートコンディション発行の際、SDAnラインをLowにします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、IICは自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー (ICCR2.BBSY フラグ=1) の状態でICCR2.ST ビットを1にすることでスタートコンディション発行を要求すると、IICはこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致 (内部SDA出力としてHigh出力、すなわちSDAn端子がハイインピーダンス状態) であれば、SDAnラインにLowが検出されたとき、IICはアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IICはただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IICはスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが1 (マスタアービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき検出されます。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが0の状態(ICCR2.STビットを1にしてスタートコンディションを発行した後、SDAの内部出力レベルとSDAnラインのレベルが不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグが1の状態(ICCR2.STビットを1にしたとき (スタートコンディション二重発行エラー))
- マスタ送信モード時 (ICCR2.MST、TRS ビット=11b)、アクリッジを除く送信データ (内部のSDA出力レベル) とSDAnラインのレベルが不一致のとき

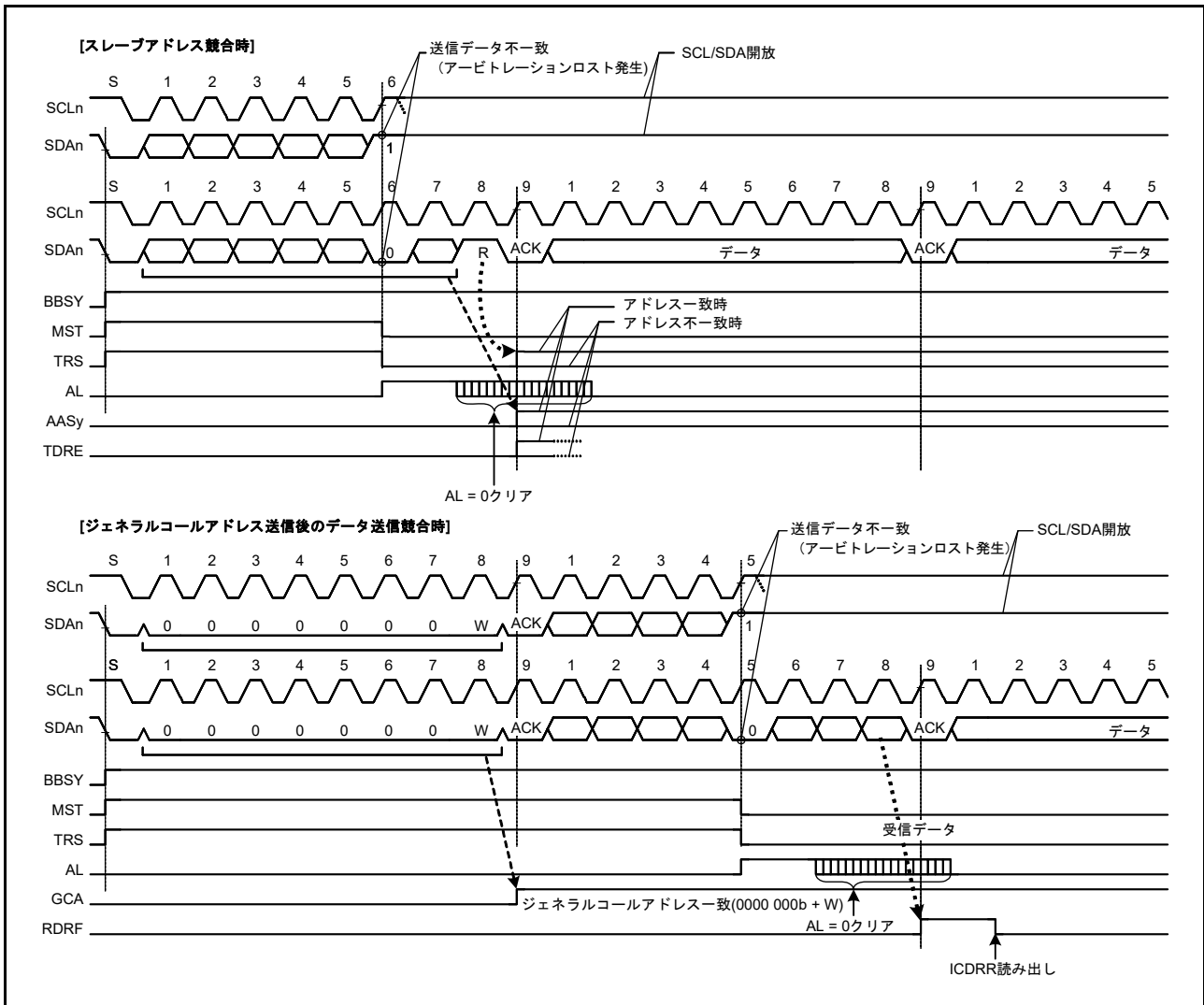


図 29.41 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

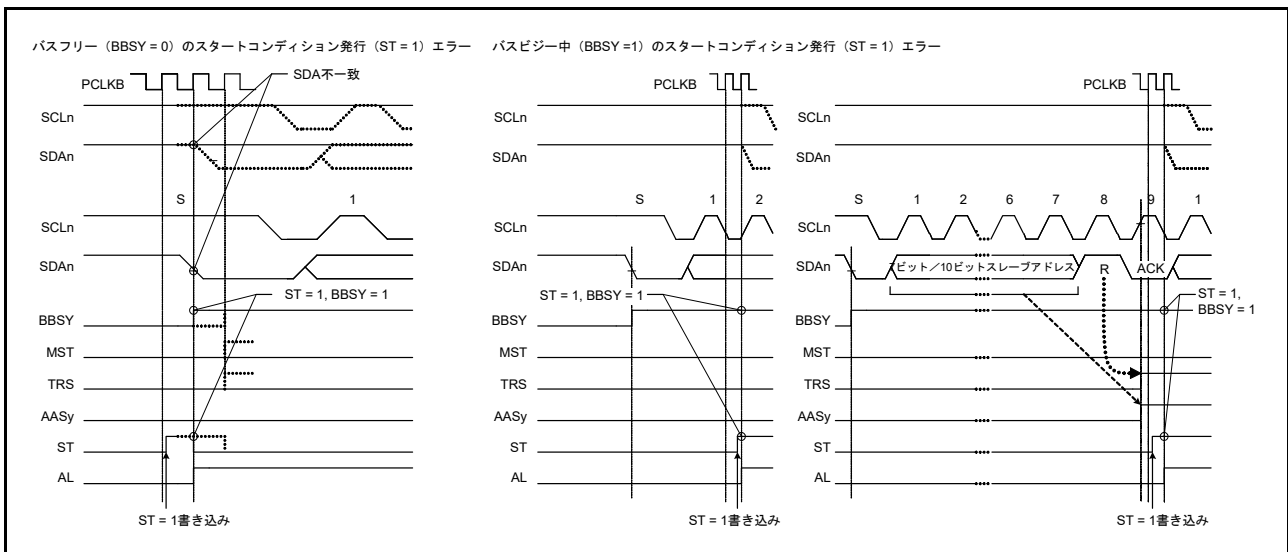


図 29.42 スタートコンディション発行時のアービトレーションロスト (MALE = 1 の場合)

29.10.2 NACK 送信中のアービトレーションロスト検出機能 (NALE ビット)

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDA_n ラインのレベルが不一致 (内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態) であれば、SDA_n ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報をやり取りする際に生じます。図 29.43 に NACK 送信中のアービトレーションロスト検出動作例を示します。

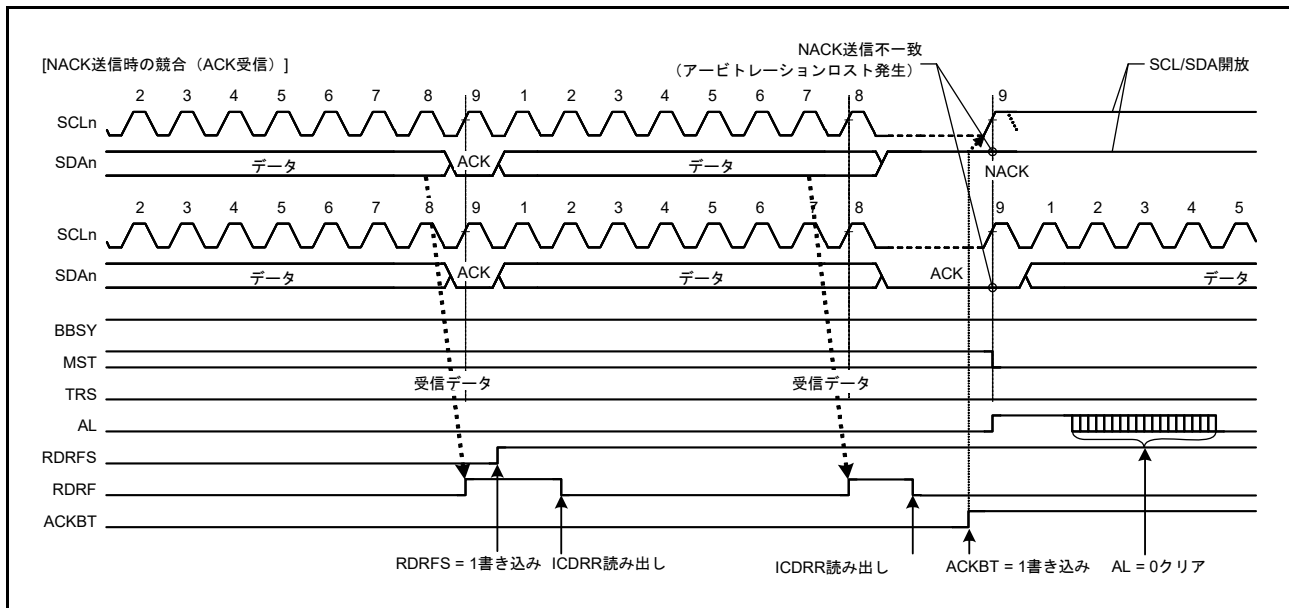


図 29.43 NACK 送信中のアービトレーションロスト検出動作例 (NALE = 1 の場合)

以下の例では、2 つのマスタデバイス (マスタ A、B) と 1 つのスレーブデバイスがバス上に接続されている場合のアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。マスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検出し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID (ユニークデバイス ID) が不一致の場合に、FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット = 1)、内部の SDA 出力レベルと SDA_n ラインの状態 (ACK 受信) が不一致のとき

29.10.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDA_n ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDA_n 端子がハイインピーダンス状態）であれば、SDA_n ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

IIC でスレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な FFh 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST、TRS ビット = 01b)、アクトリッジを除く送信データ（内部 SDA 出力レベル）と SDA_n ラインが不一致のとき

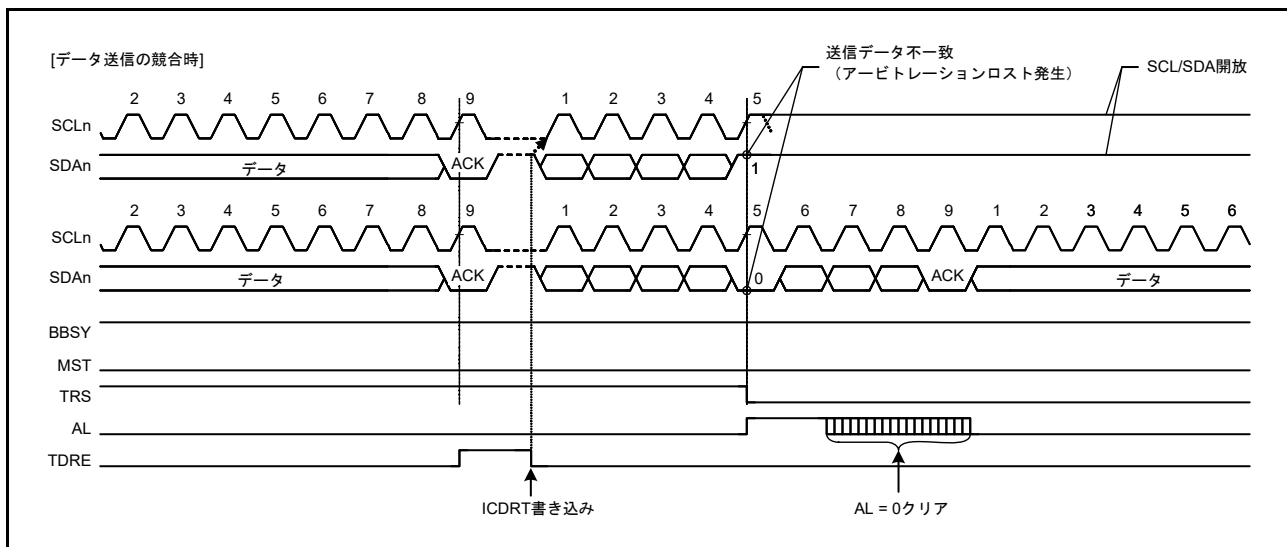


図 29.44 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

29.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

29.11.1 スタートコンディション発行動作

IICは、ICCR2.STビットが1のときにスタートコンディションを発行します。STビットを1にすると、スタートコンディション要求が行われ、ICCR2.BBSYフラグが0（バスフリー状態）の場合、IICはスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IICは自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDA_nラインを立ち下げる（HighからLowに遷移）。
2. CBRH.BRH[4:0]で設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCL_nラインを立ち下げる（HighからLowに遷移）。
4. SCL_nラインのLowを検出後、ICBRL.BRL[4:0]で設定したSCL_nラインのLow幅が経過したことを確認する。

29.11.2 リスタートコンディション発行動作

IICは、ICCR2.RSビットが1のときリスタートコンディションを発行します。RSビットを1にすると、リスタートコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDA_nラインを開放する。
2. ICBRL.BRL[4:0]で設定したSCL_nラインのLow幅が経過したことを確認する。
3. SCL_nラインを開放する（LowからHighに遷移）。
4. SCL_nラインのHighを検出後、ICBRL.BRL[4:0]で設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDA_nラインを立ち下げる（HighからLowに遷移）。
6. ICBRH.BRH[4:0]で設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCL_nラインを立ち下げる（HighからLowに遷移）。
8. SCL_nラインのLowを検出後、ICBRL.BRL[4:0]で設定したSCL_nラインのLow幅が経過したことを確認する。

注． リスタートコンディション要求の発行時、ICCR2.RSが0であることを確認してから、ICDRTレジスタにスレーブアドレスを書いてください。ICCR2.RSが1のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

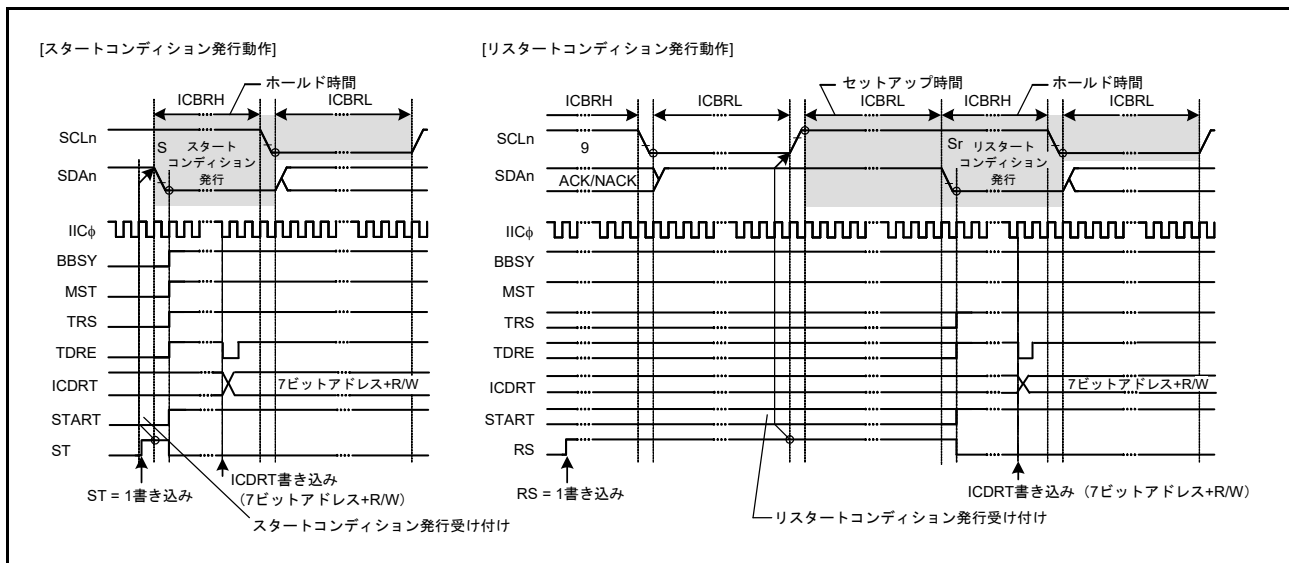


図 29.45 スタートコンディション、リスタートコンディションの発行動作タイミング (ST および RS ビットの使用)

図 29.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後のリスタートコンディション発行動作]

1. 初期設定を行います。詳細は、29.3.2 初期設定を参照してください。
 2. IICR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1 (スタートコンディション要求) にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。ST ビットが 1 の状態でスタートコンディションが検出され、内部の SDA 出力レベルと SDA_n ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICCR2.TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
 3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき NACKF.ICSR2 フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
- なお、データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b (スレーブアドレスの上位 2 ビット) と W を書きます。2 回目のアドレス送信処理では ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCL_n ラインを Low にホールドします。
 5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
 6. ICCR2.RS ビットを 1 (リスタートコンディション要求) にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
 7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。

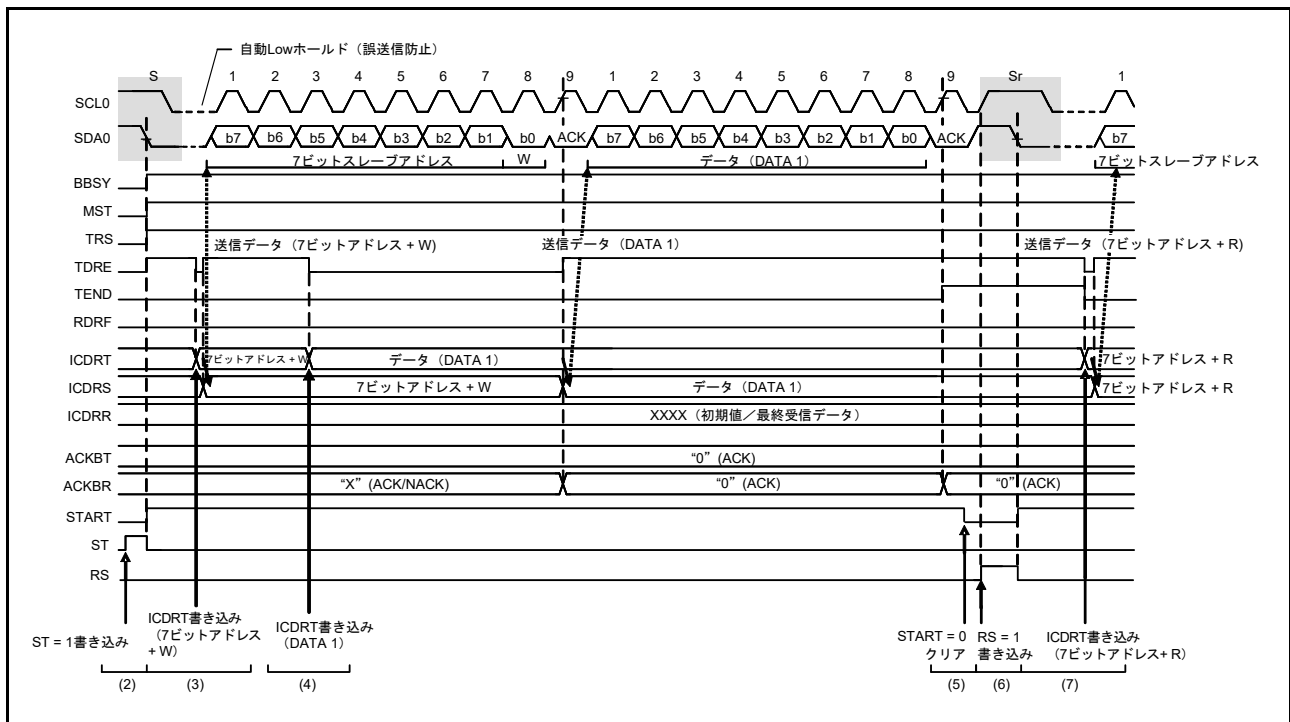


図 29.46 マスタ送信後のリスタートコンディション発行タイミング

29.11.3 ストップコンディション発行動作

IICは、ICCR2.SPビットが1のときストップコンディションを発行します。

SPビットを1にすると、ストップコンディション要求が行われ、ICCR2.BBSYフラグが1（バスビジー状態）で、かつICCR2.MSTビットが1（マスタモード）の場合、IICはストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDA_nラインを立ち下げる（HighからLowに遷移）。
2. ICBRL.BRL[4:0]で設定したSCL_nラインのLow幅が経過したことを確認する。
3. SCL_nラインを開放する（LowからHighに遷移）。
4. SCL_nラインのHigh検出後、ICBRH.BRL[4:0]で設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDA_nラインを開放する（LowからHighに遷移）。
6. ICBRL.BRL[4:0]で設定した時間とバスフリー時間が経過したことを確認する。
7. BBSYフラグをクリアしてバス権を解放する。

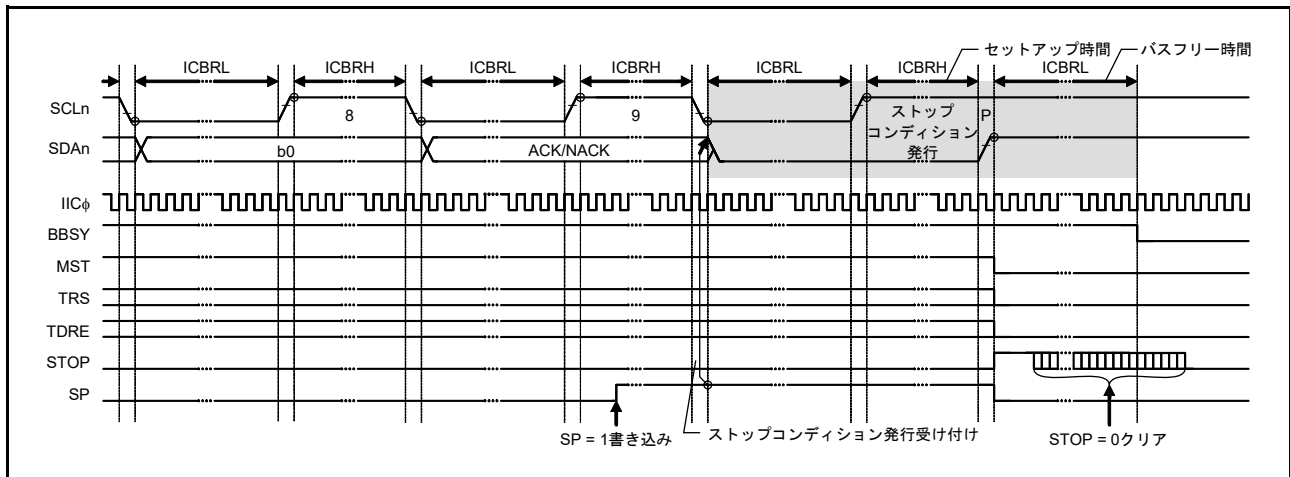


図 29.47 ストップコンディション発行動作タイミング (SPビットの使用)

29.12 バスハングアップ

I²Cバスではノイズ等の影響によりマスタデバイスから出力されたクロック信号とスレーブデバイスから出力されたクロック信号の間で同期ズレが発生すると、SCL_nラインやSDA_nライン上のレベルが固定されたままバスハングアップを起こす場合があります。バスハングアップを管理するため、IICは以下の機能を備えています。

- SCL_nラインを監視してハングアップを検出するためのタイムアウト検出機能
- クロック信号の同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能
- IICリセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAIの各ビットをチェックすることで、IIC自身と通信相手のどちらがSCL_nラインまたはSDA_nラインをLowにしているのか確認することが可能です。

29.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCL_nラインに一定時間以上変化が見られない状態を検出できます。IICは、SCL_nラインがLowまたはHighに固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することが可能です。

タイムアウト検出機能はSCL_nラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL_nラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL_nラインに変化がないために内部カウンタがオーバーフローすると、IICはタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOEビットが1のときのみ有効です。以下の条件でSCL_nラインがLow固定またはHigh固定の場合にバスハングアップを検出します。

- マスタモード (ICCR2.MSTビット=1) で、バスビジー (ICCR2.BBSYフラグ=1)
- スレーブモード (ICCR2.MSTビット=0) で、IICスレーブアドレス検出 (ICSR1レジスタ≠00h) かつバスビジー (ICCR2.BBSYフラグ=1)
- スタートコンディション要求中 (ICCR2.STビット=1) で、バスフリー (ICCR2.BBSYフラグ=0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IIC ϕ) をカウントソースとして使用します。このカウンタは、ロングモード選択時 (ICMR2.TMOSビット=0) は16ビットカウンタ、ショートモード選択時 (TMOSビット=1) は14ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCL_nラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットで選択することが可能です。TMOLビットとTMOHビットの両方を0にした場合、内部カウンタは無効です。

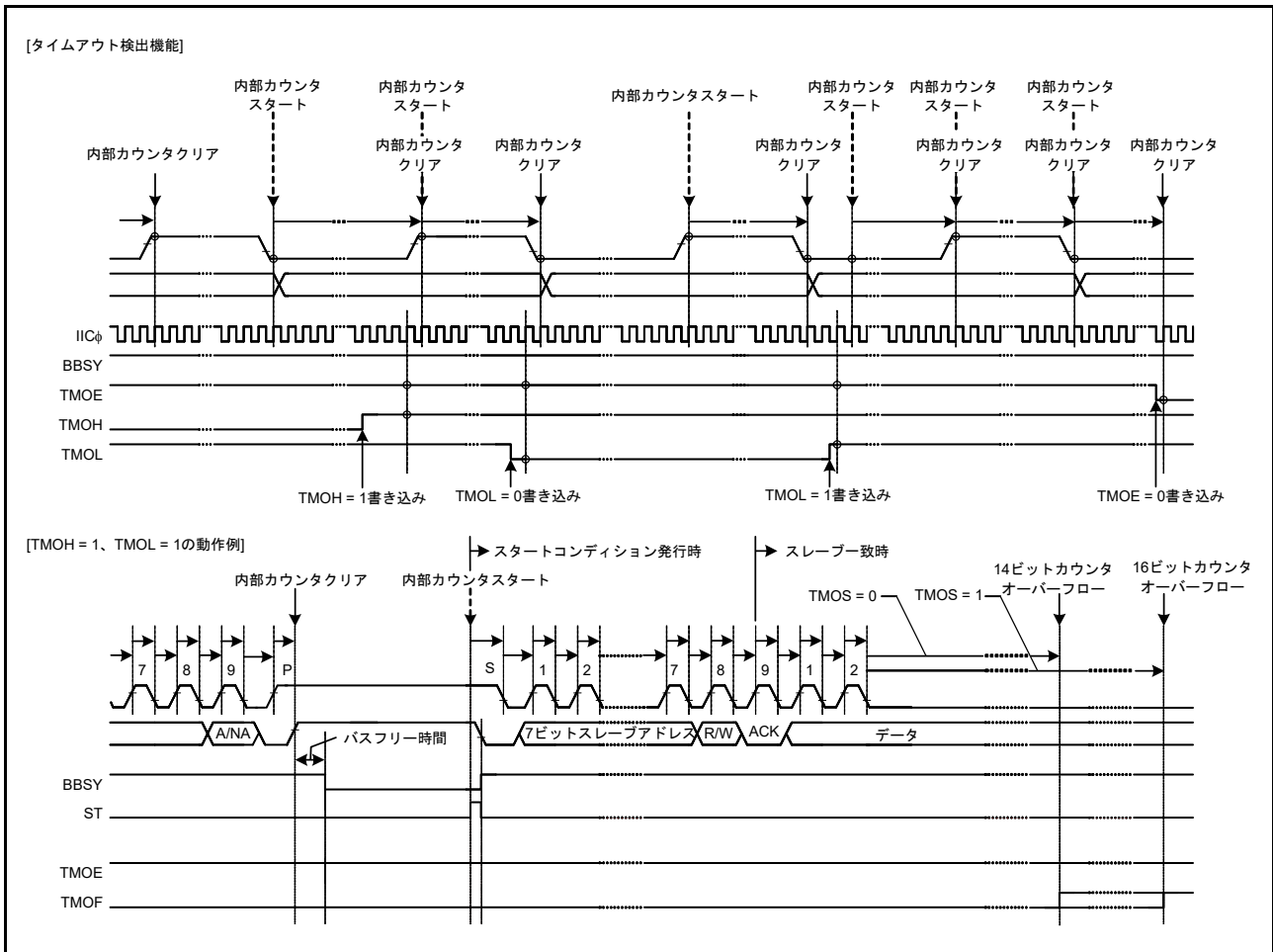


図 29.48 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビットの使用)

29.12.2 SCL クロック追加出力機能

マスタモード時、SCL クロック追加出力機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA_n ライン Low 固定状態を開放します。この機能は SCL クロックを IIC から追加出力する機能で、主にマスタモード時にスレーブデバイスの SDA_n ラインの Low 固定状態を開放するために使用します。この機能は、バスエラーでスレーブデバイスが SDA_n ラインを Low に固定しているために IIC がストップコンディションを発行できない場合、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビット、ICBRH.BRH[4:0] ビット、および ICBRL.BRL[4:0] ビットで設定した転送速度で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると、CLO ビットは自動的に 0 になります。ソフトウェアで CLO ビットが 0 であることを確認後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することが可能です。

IIC モジュールがマスタモードであるとき、ノイズ等によるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA_n ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA_n ラインの Low 固定状態を開放させ、不安定なバス状態を回復できます。スレーブデバイスによる SDA_n ラインの開放は、ICCR1.SDAI ビットを読みだすことで確認できます。スレーブデバイスによる SDA_n ラインの開放を確認した後、再度ストップコンディションを発行して通信を終了させてください。

この機能を使用する場合、ICFER.MALE ビットを 0 (マスタアービトレーションロスト検出無効) にしてください。MALE ビットが 1 (有効) であると、ICCR1.SDAO ビットの値と SDA_n ラインの状態が不一致のときにアービトレーションロストが発生します。

[ICCR1.CLO ビット使用時の出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ = 0) またはマスタモード (ICCR2.MST ビット = 1、BBSY フラグ = 1) のとき
- 通信デバイスが SCL_n ラインを Low ホールドにしていない状態のとき

図 29.49 に SCL クロック追加出力機能 (CLO ビット) の動作タイミングを示します。

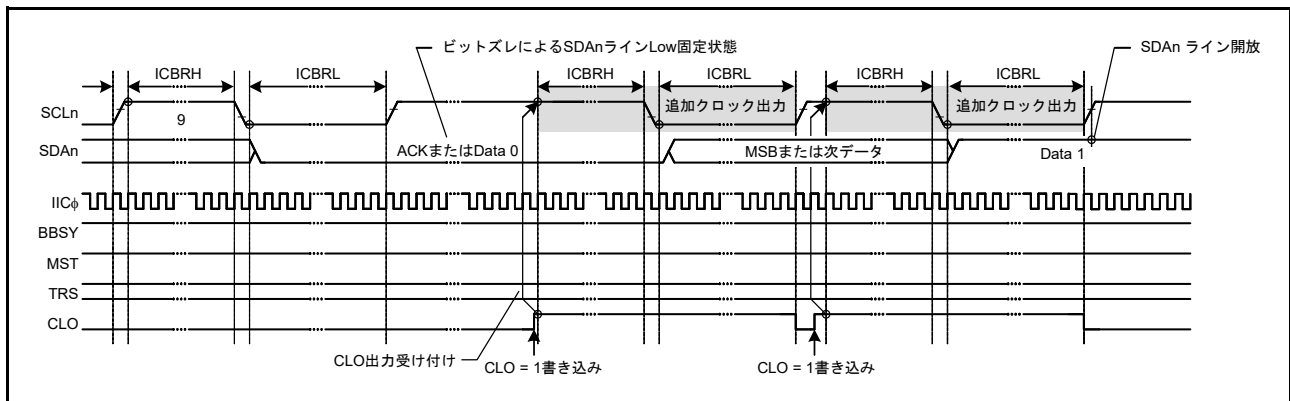


図 29.49 SCL クロック追加出力機能 (CLO ビットの使用)

29.12.3 IIC リセット、内部リセット

IIC モジュールは、自身をリセットする機能を備えています。リセットには2種類あります。

- ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセット
- 各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセット

リセット後は ICCR1.IICRST ビットを 0 にしてください。いずれのリセットも、SCLn 端子 / SDA_n 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態を解除する効果があります。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット (ICCR1.ICE、IICRST ビット = 01b) 中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、[29.15 各コンディション発行時のリセット、レジスタ、機能の状態](#)を参照してください。

29.13 SMBus 動作

IIC は、SMBus 仕様 (Ver.2.0) に準拠した通信動作に対応しています。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ~ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビット、ICBRH.BRH[4:0] ビット、および ICBRL.BRL[4:0] ビットを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL.BRL[4:0] にはデータセットアップ時間 (250ns) 以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、対応する SARUy.FS ビット (y=0 ~ 2) (7 ビットまたは 10 ビットアドレスフォーマット選択ビット) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

29.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn) とストップコンディション検出割り込み (SPIn) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}} : 25\text{ms (max)}$ 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{\text{TIMEOUT}} : 25\text{ms (min)}$ を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込んで IIC の内部リセットを発行し、バスを解放する必要があります。内部リセットを行うと、IIC は SCLn 端子と SDA_n 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにします。これによって、バス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間 (タイムアウト間隔: $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み (STIn)、ストップコンディション検出割り込み (SPIn)、送信終了割り込み (IICn_TEI)、または受信データフル割り込み (IICn_RXI) を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}} : 10\text{ms (max)}$ 以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ の合計が $T_{\text{LOW:SEXT}} : 25\text{ms (max)}$ 以内である必要があります。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス) $T_{\text{LOW:MEXT}} : 10\text{ms (max)}$ を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{\text{TIMEOUT}} : 25\text{ms (min)}$ を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (ICDRT レジスタへの書き込み) を中止してください。

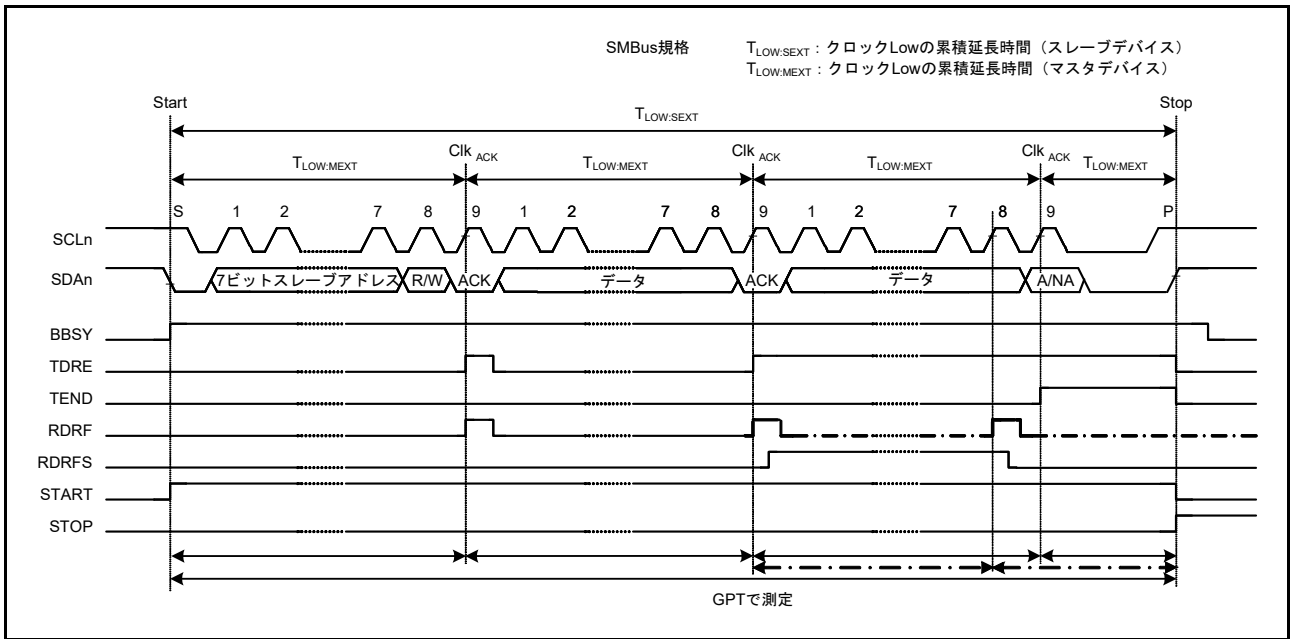


図 29.50 SMBus タイムアウト測定

29.13.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード (PEC) の送信や、IIC の SMBus データ通信時の受信データチェックが可能です。CRC 演算器の生成多項式については、「[32. 巡回冗長検査 \(CRC\) 演算器](#)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果 (一致/不一致) に応じた ACK/NACK 送出手を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

29.13.3 SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホストまたは ARP マスタに対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出するため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

29.14 割り込み要因

IICは次の5種類の割り込み要求を発生させます。

- 通信エラー／イベント発生（アービトレーションロスト、NACK 検出、タイムアウト検出、スタートコンディション検出、およびストップコンディション検出）
- 受信データフル
- 送信データエンプティ
- 送信終了
- ウェイクアップ機能時にスレーブアドレスが一致

表 29.10 に割り込み要求の詳細を示します。受信データフルと送信データエンプティは、どちらも DTC を起動してデータ転送を行うことができます。

表 29.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DTCの起動	割り込み条件
IICn_EEI (注5)	通信エラー／イベント発生	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
IICn_RXI (注2) (注5)	受信データフル	—	可能	RDRF = 1かつRIE = 1
IICn_TXI (注1) (注5)	送信データエンプティ	—	可能	TDRE = 1かつTIE = 1
IICn_TEI (注3) (注5)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1
IIC0_WUI (注4)	ウェイクアップ機能時にスレーブアドレス一致	WUF、WUSYF、WUASYF	不可能	<ul style="list-style-type: none"> • アドレス一致 • WUASYF = 1 • WUIE = 1 もしくは <ul style="list-style-type: none"> • WUF = 1 • WUSYF = 1 • WUIE = 1

注 . CPUによる周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ = 1) で自動的に 0 になります。

注 4. ウェイクアップ機能はチャンネル 0 にしかないので、IIC0_WUI はチャンネル 0 の場合しか使用しません。

注 5. チャンネル番号 (n = 0 または 1)

割り込み処理中に、それぞれのフラグをクリアまたはマスクしてください。

29.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn_TXI 割り込みおよび IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。また、内部的に保存されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでクリアが可能です。

29.15 各コンディション発行時のリセット、レジスタ、機能の状態

IICは、チップリセット、IICリセット、および内部リセットの機能を備えています。表 29.11 に各コンディション発行時のリセット、レジスタ、および機能の状態を示します。

表 29.11 各コンディション発行時のリセット、レジスタ、機能の状態

レジスタ		チップリセット	IICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション またはリスタート コンディション検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	その他			保持		
ICCR2	BBSY	リセット	リセット	保持	セット	保持
	ST			リセット	保持	
	TRS, MST				セットまたは保持	リセット
	その他				リセット	リセットまたは保持
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他				保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3		リセット	リセット	保持	保持	保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット
	START				セット	
	STOP				保持	セット
	その他					保持
ICWUR		リセット	リセット	保持	保持	保持
SARL0, SARL1, SARL2 SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
ICWUR2	WUSEN	リセット	リセット	保持	保持	保持
	その他					設定、リセット、または保持
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

29.16 イベントリンク出力機能

IIC0 および IIC1 モジュールは、イベントリンクコントローラに対して次の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できません。

(2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

29.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み (表 29.10 参照) には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットが設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。割り込み要因については、表 29.10 を参照してください。

29.17 使用上の注意事項

29.17.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、IIC の動作禁止/許可を設定できます。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「10. 低消費電力モード」を参照してください。

29.17.2 転送開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして通信を開始すると、通信開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 対応する割り込み許可ビット (ICIER.TIE など) を 0 にする。
3. 対応する割り込み許可ビット (ICIER.TIE など) を読み出して、0 であることを確認する。
4. IR フラグを 0 にする。

30. CAN (Controller Area Network) モジュール

30.1 概要

CAN モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタの間でデータの送受信を行います。このモジュールは、ISO 11898-1 (CAN 2.0A/CAN 2.0B) 規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準 (11 ビット) と拡張 (29 ビット) の両方のメッセージフォーマットに対応しています。CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 30.1 に CAN モジュールの特徴を、図 30.1 に CAN モジュールのブロック図を示します。

表 30.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送レート	ISO11898-1 準拠の標準フレームと拡張フレーム
ビットレート	最大 1Mbps 以下のデータ転送レートをプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース
メッセージボックス	32 メールボックスに対し、下記の 2 種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> • 通常モード : 32 メールボックスを送信または受信用に個別に設定可能 • FIFO モード : 24 メールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信 (RX) および送信 (TX) の 4 段 FIFO で使用
受信	<ul style="list-style-type: none"> • データフレームとリモートフレームの受信をサポート • 受信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID を選択可能 • ワンショット受信機能をプログラム可能 • オーバーライトモード (未読メッセージ上書き) またはオーバーランモード (未読メッセージ保持) を選択可能 • メールボックスごとに個別に受信完了割り込みを許可または禁止
アクセプタンスフィルタ	<ul style="list-style-type: none"> • 8 つのアクセプタンスマスク (4 メールボックスごとに 1 つ) • メールボックスごとに個別にマスクを許可または禁止
送信	<ul style="list-style-type: none"> • データフレームとリモートフレームの送信をサポート • 送信 ID フォーマットは、標準 ID のみ、拡張 ID のみ、またはミックス ID に選択可能 • ワンショット送信機能を選択可能 • ブロードキャストメッセージ機能 • メッセージ ID またはメールボックス番号に基づく優先モードを選択可能 • 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能 • メールボックスごとに個別に送信完了割り込みを許可または禁止
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能 : <ul style="list-style-type: none"> • ISO11898-1 仕様準拠 • バスオフ開始で自動的に CAN halt モードへ遷移 • バスオフ終了で自動的に CAN halt モードへ遷移 • ソフトウェアにより CAN halt モードへ遷移 • ソフトウェアによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> • CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、15 ビット CRC エラー、ビットエラー、ACK デリミタエラー) の監視 • エラー状態 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) への遷移の検出 • エラーカウンタ読み出しのサポート
タイムスタンプ機能	<ul style="list-style-type: none"> • 16 ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8 ビットタイム期間から選択可能
割り込み機能	<ul style="list-style-type: none"> • 5 種類の割り込み要因をサポート : 受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み
CAN スリープモード 1	CAN クロック停止による消費電力の削減
ソフトウェアサポートユニット	3 つのソフトウェアサポートユニット : <ul style="list-style-type: none"> • アクセプタンスフィルタサポート • メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) • チャネル検索サポート
CAN クロックソース	周辺モジュールクロック、CANMCLK

表 30.1 CANモジュールの仕様 (2/2)

項目	内容
テストモード	評価用に3つのテストモードを用意： <ul style="list-style-type: none"> • リッスンオンリモード • セルフテストモード0 (外部ループバック) • セルフテストモード1 (内部ループバック)
モジュール停止機能	モジュールストップ状態を設定して消費電力を削減可能

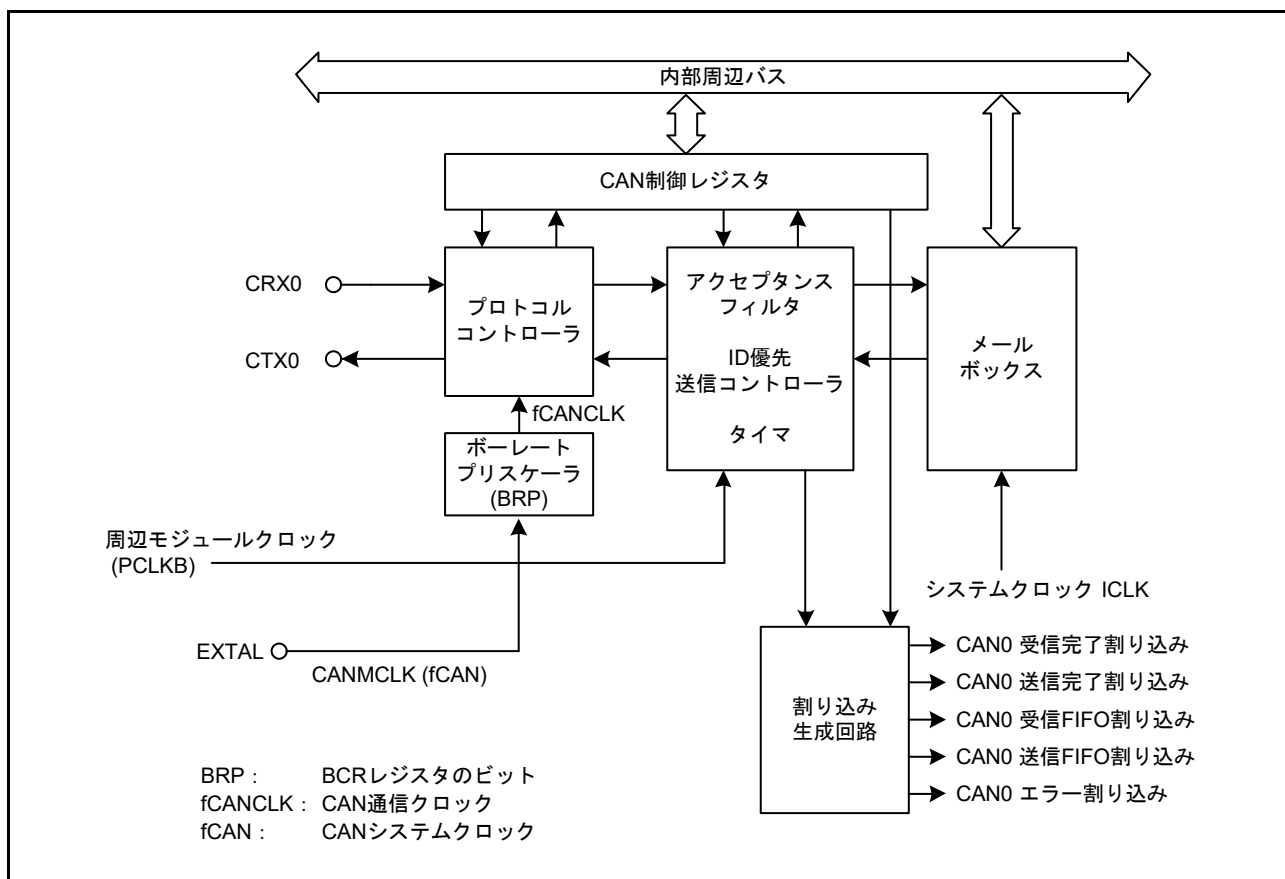


図 30.1 CANモジュールのブロック図

CAN モジュールには、次のブロックが含まれます。

- CAN の入力および出力端子
CRX0 および CTX0
- プロトコルコントローラ
バスアービトラージョン、送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行う
- メールボックス
送信または受信のいずれかに設定可能な 32 個のメールボックスで構成される。各メールボックスは、固有の ID、データ長コード (DLC)、データフィールド (8 バイト)、タイムスタンプを持つ
- アクセプタンスフィルタ
MKRk レジスタの設定値を使用して、受信したメッセージのフィルタ処理を行う
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値が、タイムスタンプとして書き込まれる
- 下記の 5 種類の割り込み発生回路：
 - CAN0 受信完了割り込み
 - CAN0 送信完了割り込み
 - CAN0 受信 FIFO 割り込み
 - CAN0 送信 FIFO 割り込み
 - CAN0 エラー割り込み

CAN モジュールは、表 30.2 に示す端子で通信します。これらは、本 MCU の他の信号との兼用端子です。詳細は、「17. I/O ポート」を参照してください。

表 30.2 **端子構成**

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子

30.2 レジスタの説明

30.2.1 コントロールレジスタ (CTRLR)

アドレス CAN0.CTRLR 4005 0840h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RBOC	BOM[1:0]	SLPM	CANM[1:0]	TSPS[1:0]	TSRC	TPM	MLM	IDFM[1:0]	MBM				
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CAN メールボックスモード選択 (注1)	0: 通常メールボックスモード 1: FIFO メールボックスモード	R/W
b2-b1	IDFM[1:0]	ID フォーマットモード選択 (注1)	b2 b1 0 0: 標準IDモード FIFO メールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1: 拡張IDモード FIFO メールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0: ミックスIDモード FIFO メールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDEビットを使用して標準IDと拡張IDを識別してください。FIFOメールボックスモードでは、対応するIDEビットはメールボックス0~23に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24に対応するIDEビットは送信FIFO用に使用します。 1 1: 設定禁止	R/W
b3	MLM	メッセージロストモード選択 (注1)	0: オーバーライトモード 1: オーバーランモード	R/W
b4	TPM	送信優先順位モード選択 (注1)	0: ID優先送信モード 1: メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド (注4)	0: タイムスタンプカウンタをリセットしない 1: タイムスタンプカウンタをリセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケール選択 (注1)	b7 b6 0 0: 1ビットタイムごと 0 1: 2ビットタイムごと 1 0: 4ビットタイムごと 1 1: 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANモード動作選択 (注5)	b9 b8 0 0: CANオペレーションモード 0 1: CANリセットモード 1 0: CAN haltモード 1 1: CANリセットモード (強制遷移)	R/W
b10	SLPM	CANスリープモード (注5) (注6)	0: スリープモードから復帰 1: CANスリープモードへ遷移	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード (注1)	b12 b11 0 0: 通常モード (ISO11898-1準拠) 0 1: バスオフ状態開始で自動的にCAN haltモードへ遷移 1 0: バスオフ状態終了で自動的にCAN haltモードへ遷移 1 1: ソフトウェア要求によりバスオフ復帰期間中にCAN haltモードへ遷移	R/W
b13	RBOC	バスオフからの強制復帰 (注2)	0: 復帰しない 1: バスオフ状態から強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBM ビットは、CAN リセットモード時に書き込みを行ってください。
注2. RBOC ビットはバスオフ状態で1にしてください。

- 注3. このビットは、1にした後、自動的に0になります。読むと0が読めます。
- 注4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
- 注5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
- 注6. SLPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。SLPM ビットを変更する場合は、SLPM ビットのみで 0 または 1 を書いてください。

MBM ビット (CAN メールボックスモード選択)

MBM ビットが 0 (通常メールボックスモード) の場合、メールボックス 0 ~ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1 (FIFO メールボックスモード) の場合：

- メールボックス 0 ~ 23 は送信または受信メールボックスに設定される
- メールボックス 24 ~ 27 は送信 FIFO に設定される
- メールボックス 28 ~ 31 は受信 FIFO に設定される
- 送信データは、メールボックス 24 (送信 FIFO のウィンドウメールボックス) に書き込まれる
- 受信データは、メールボックス 28 (受信 FIFO のウィンドウメールボックス) から読み出される

表 30.3 にメールボックスの構成を示します。

IDFM[1:0] ビット (ID フォーマットモード選択)

ID フォーマットを指定します。

MLM ビット (メッセージロストモード選択)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。いずれの場合も、選択したモードが受信 FIFO を含めたすべてのメールボックスに適用されます。

MLM が 0 の場合、すべてのメールボックスはオーバーライトモードになります。メールボックスの古いメッセージは、新しいメッセージで上書きされます。

MLM が 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージは、古いメッセージを上書きすることなく、破棄されます。

TPM ビット (送信優先順位モード選択)

メッセージを送信する場合の優先順位を指定します。ID 優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように調停されます。ID 優先送信モードでは、メールボックス 0 ~ 31 (通常メールボックスモード時)、メールボックス 0 ~ 23 (FIFO メールボックスモード時)、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージがアービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (0 ~ 23) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットコマンド)

タイムスタンプカウンタをリセットします。TSRC ビットを 1 にすると、TSR レジスタが 00h になります。TSRC ビットは、自動的に 0 にクリアされます。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択)

タイムスタンプ用のプリスケアラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または8ビットタイム期間から選択できます。

CANM[1:0] ビット (CAN モード動作選択)

下記モードのいずれかを選択します。

- CAN オペレーションモード
- CAN リセットモード
- CAN halt モード

CAN スリープモードは SLPM ビットで設定します。詳細は、[30.3 動作モード](#)を参照してください。CAN モジュールが、BOM[1:0] ビットの設定に基づいて CANhalt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

SLPM ビット (CAN スリープモード)

SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、[30.3 動作モード](#)を参照してください。

BOM[1:0] ビット (バスオフ復帰モード)

CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 仕様に準拠してバスオフから復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信 (エラーアクティブ状態) を復帰させます。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタが 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、11 の連続するレセシブビットを 128 回検出してバスオフ状態から復帰した後、CAN halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。ただし、CANM[1:0] ビットを 10b にする前に、11 の連続するレセシブビットを 128 回検出して CAN モジュールがバスオフから復帰した場合は、割り込みが発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき (BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時)、同時に CPU が CAN リセットモードへの遷移を要求すると、CPU 要求の CAN リセットモードへの遷移が優先されます。

RBOC ビット (バスオフからの強制復帰)

バスオフ状態のとき RBOC ビットを 1 にすると、CAN モジュールは強制的にバスオフを終了させます。RBOC ビットは自動的に 0 になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを 1 にすると、RECR および TECR レジスタが 00h になり、STR.BOST ビットが 0 になって、バスオフ状態ではないことを示します。他のレジスタは RBOC ビットを 1 にしても変化しません。バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b (通常モード) の場合にのみ使用してください。

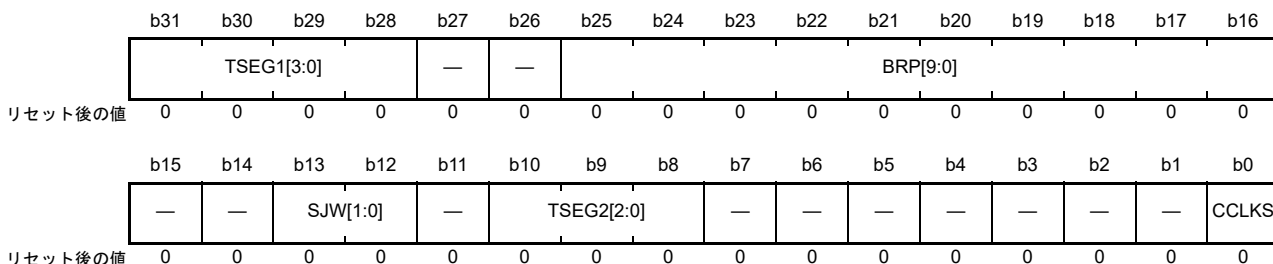
表 30.3 **メールボックスの構成**

メールボックス	MBM ビット = 0 (通常メールボックスモード)	MBM ビット = 1 (FIFO メールボックスモード) (注1) ~ (注5)
メールボックス 0 ~ 23	通常メールボックス	通常メールボックス
メールボックス 24 ~ 27		送信 FIFO
メールボックス 28 ~ 31		受信 FIFO

- 注 1. TFCR レジスタにより送信 FIFO コントロールを無効にし、メールボックス 24 ~ 27 に対応する MCTL_TXj レジスタを無効にします。MCTL_TX24 ~ MCTL_TX27 レジスタは送信 FIFO では使用できません。
- 注 2. RFCR レジスタにより受信 FIFO コントロールを無効にし、メールボックス 28 ~ 31 に対応する MCTL_RXj レジスタを無効にします。MCTL_RX28 ~ MCTL_RX31 レジスタは受信 FIFO では使用できません。
- 注 3. FIFO 割り込みについては、MIER_FIFO レジスタの説明を参照してください。
- 注 4. メールボックス 24 ~ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
- 注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

30.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス CAN0.BCR 4005 0844h



ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0: 設定禁止 1: CANMCLK (メインクロックから生成) CANモジュール使用時は、このビットを1にする必要があります。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0: 設定禁止 0 0 1: 2Tq 0 1 0: 3Tq 0 1 1: 4Tq 1 0 0: 5Tq 1 0 1: 6Tq 1 1 0: 7Tq 1 1 1: 8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0: 1Tq 0 1: 2Tq 1 0: 3Tq 1 1: 4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ポーレートプリスケアラ選択 (注1)	これらのビットはCAN通信クロック (fCANCLK) の周波数を設定します。	R/W
b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0: 設定禁止 0 0 0 1: 設定禁止 0 0 1 0: 設定禁止 0 0 1 1: 4Tq 0 1 0 0: 5Tq 0 1 0 1: 6Tq 0 1 1 0: 7Tq 0 1 1 1: 8Tq 1 0 0 0: 9Tq 1 0 0 1: 10Tq 1 0 1 0: 11Tq 1 0 1 1: 12Tq 1 1 0 0: 13Tq 1 1 0 1: 14Tq 1 1 1 0: 15Tq 1 1 1 1: 16Tq	R/W

Tq : Time Quantum

注 1. SCKSCR.CKSEL[2:0] ビットが 011b (メインクロック発振器選択) の場合、1 未満の値を選択しないでください。

ビットタイミングの設定については、[30.4 データ転送レートの設定](#)を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モードまたは CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モードで書き込みができます。32 ビットでリード/ライトアクセスする場合、ビット 0～7 を変更しないようにする必要があります。

TSEG2[2:0] ビット (タイムセグメント 2 制御)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。2～8 Tq の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

SJW[1:0] ビット (同期ジャンプ幅制御)

同期ジャンプ幅を Tq 値で指定します。1～4 Tq の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

BRP[9:0] ビット (ポーレートプリスケアラ選択)

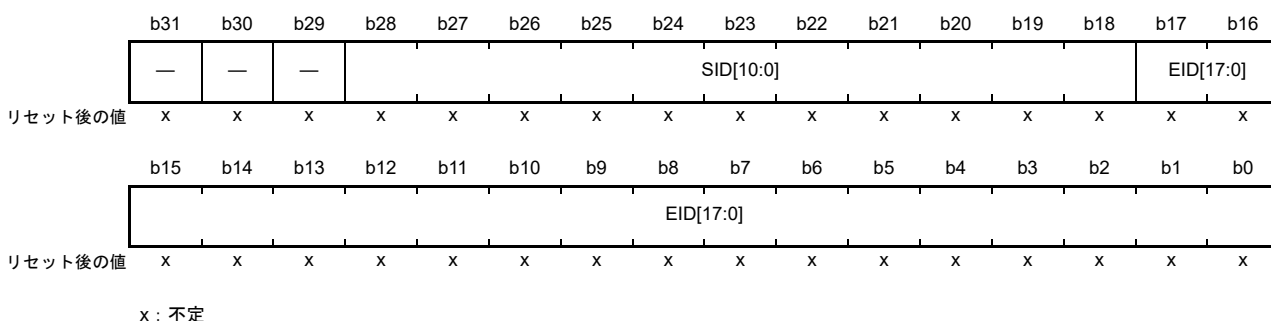
CAN 通信クロック (fCANCLK) の周波数を設定します。fCANCLK の周期が 1 Tq となります。設定値を P (0～1023) とすると、ポーレートプリスケアラは fCAN を P+1 で分周します。

TSEG1[3:0] ビット (タイムセグメント 1 制御)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。4～16 Tq の値が設定可能です。

30.2.3 マスクレジスタ k (MKRk) (k = 0 ~ 7)

アドレス CAN0.MKR[0] 4005 0400h ~ CAN0.MKR[7] 4005 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0 : 対応するEID[17:0]ビットを比較しない 1 : 対応するEID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0 : 対応するSID[10:0]ビットを比較しない 1 : 対応するSID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、[30.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

MKRk レジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。

EID[17:0] ビット (拡張 ID)

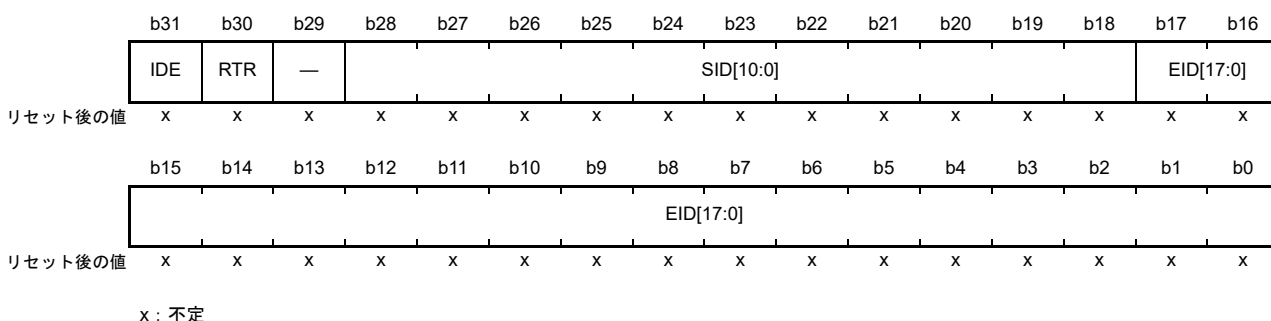
CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信するために使用します。EID[17:0] ビットが 0 の場合、受信した ID は、対応するメールボックスの ID と比較されません。EID[17:0] ビットが 1 の場合、受信した ID は、対応するメールボックスの ID と比較されます。

SID[10:0] ビット (標準 ID)

CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID の両メッセージを受信するために使用します。SID[10:0] ビットが 0 の場合、受信した ID は、対応するメールボックスの ID と比較されません。SID[10:0] ビットが 1 の場合、受信した ID は、対応するメールボックスの ID と比較されます。

30.2.4 FIFO 受信 ID 比較レジスタ 0 および 1 (FIDCR0 および FIDCR1)

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0: 対応するEID[17:0]ビットは0 1: 対応するEID[17:0]ビットは1	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットは0 1: 対応するSID[10:0]ビットは1	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注1)	0: 標準ID 1: 拡張ID	R/W

注1. CTLR.IDFM[1:0] ビットが 10b 以外のときは IDE ビットには 0 を書き込んでください。また、読み出した場合、その値は 0 です。

FIDCR0 および FIDCR1 レジスタは、CTLR.MBM ビットが 1 (FIFO メールボックスモード) の場合に有効です。通常メールボックスモードでは、MB28 ~ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。これらのレジスタは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、[30.6 アクセプタンスフィルタ機能とマスク機能](#)を参照してください。

EID[17:0] ビット (拡張 ID)

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

SID[10:0] ビット (標準 ID)

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

RTR ビット (リモート送信要求)

フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信

IDE ビット (ID 拡張)

ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみ受信

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみ受信
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信

30.2.5 マスク無効レジスタ (MKIVLR)

アドレス CAN0.MKIVLR 4005 0428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	マスク無効	0: マスク有効 1: マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0 (MB0) に対応し、ビット 31 はメールボックス 31 (MB31) に対応しています。

注. FIFO メールボックスモード時は MKIVLR[31:24] を 0 にしてください。

MBn ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。マスク無効ビットを 1 にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ、対応するメールボックスによってメッセージが受信されます。

MKIVLR レジスタは、CAN halt モード時に書き込みを行ってください。

30.2.6 メールボックスレジスタ j (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) (j = 0 ~ 31、m = 0 ~ 7)

表 30.4 に CAN0 メールボックスのメモリ配置を、表 30.5 に CAN データフレームの構成を示します。

CAN メールボックスのリセット後の値は不定です。

MBj_ID、MBj_DL、MBj_Dm、MBj_TS は、対応する MCTL_TXj または MCTL_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスがアボート要求を処理していない場合に限り書き込みを行ってください。

具体的なレジスタアドレスについては表 30.4 を参照してください。

表 30.4 CAN0 メールボックスのメモリ配置

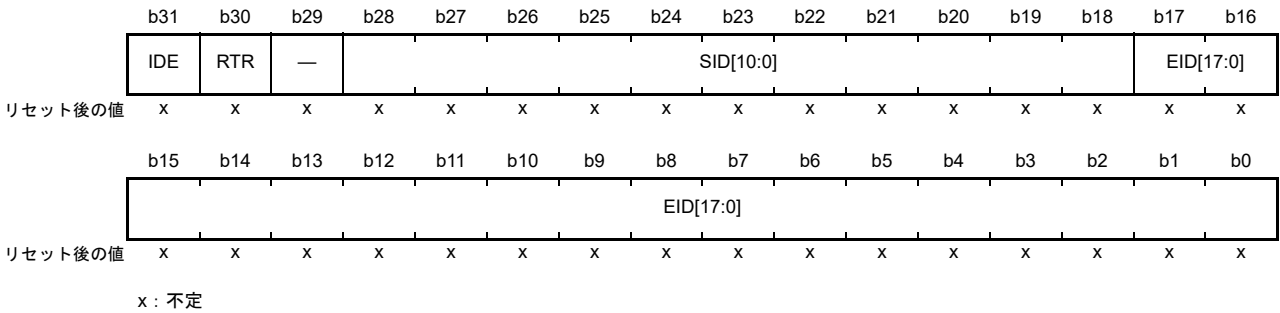
CAN0 アドレス	マッピングされるメッセージ内容
4005 0200h + 16 × j + 0	IDE、RTR、SID10 ~ SID6
4005 0200h + 16 × j + 1	SID5 ~ SID0、EID17、EID16
4005 0200h + 16 × j + 2	EID15 ~ EID8
4005 0200h + 16 × j + 3	EID7 ~ EID0
4005 0200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	データ長コード (DLC[3:0])
4005 0200h + 16 × j + 6	データバイト 0
4005 0200h + 16 × j + 7	データバイト 1
4005 0200h + 16 × j + 8	データバイト 2
4005 0200h + 16 × j + 9	データバイト 3
4005 0200h + 16 × j + 10	データバイト 4
4005 0200h + 16 × j + 11	データバイト 5
4005 0200h + 16 × j + 12	データバイト 6
4005 0200h + 16 × j + 13	データバイト 7
4005 0200h + 16 × j + 14	上位バイトタイムスタンプ
4005 0200h + 16 × j + 15	下位バイトタイムスタンプ

表 30.5 CANデータフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC1	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

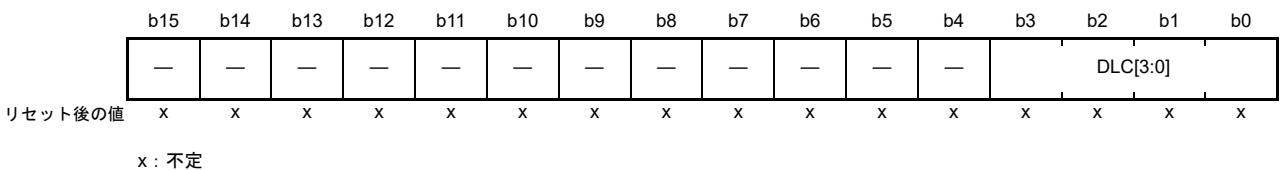
アドレス [CAN0.MB0_ID4005 0200h](#)~[CAN0.MB31_ID 4005 03F0h](#)



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID(注1)	0: 対応するEID[17:0]ビットは0 1: 対応するEID[17:0]ビットは1	R/W
b28-b18	SID[10:0]	標準ID	0: 対応するSID[10:0]ビットは0 1: 対応するSID[10:0]ビットは1	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張(注2)	0: 標準ID 1: 拡張ID	R/W

- 注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。
 注 2. IDE ビットは、CTRL.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、0のみを書き込んでください。読むと 0 が読めます。

アドレス [CAN0.MB0_DL4005 0204h](#)~[CAN0.MB31_DL 4005 03F4h](#)



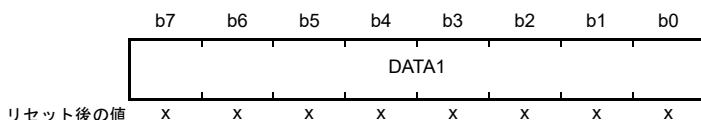
ビット	シンボル	ビット名	機能	R/W																														
b3-b0	DLC[3:0]	データ長コード(注1)	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>0</td> <td>: データ長 = 0 バイト</td> </tr> <tr> <td>0 0 0 1</td> <td>1</td> <td>: データ長 = 1 バイト</td> </tr> <tr> <td>0 0 1 0</td> <td>0</td> <td>: データ長 = 2 バイト</td> </tr> <tr> <td>0 0 1 1</td> <td>1</td> <td>: データ長 = 3 バイト</td> </tr> <tr> <td>0 1 0 0</td> <td>0</td> <td>: データ長 = 4 バイト</td> </tr> <tr> <td>0 1 0 1</td> <td>1</td> <td>: データ長 = 5 バイト</td> </tr> <tr> <td>0 1 1 0</td> <td>0</td> <td>: データ長 = 6 バイト</td> </tr> <tr> <td>0 1 1 1</td> <td>1</td> <td>: データ長 = 7 バイト</td> </tr> <tr> <td>1 x x x</td> <td>x</td> <td>: データ長 = 8 バイト</td> </tr> </table>	b3	b0		0 0 0 0	0	: データ長 = 0 バイト	0 0 0 1	1	: データ長 = 1 バイト	0 0 1 0	0	: データ長 = 2 バイト	0 0 1 1	1	: データ長 = 3 バイト	0 1 0 0	0	: データ長 = 4 バイト	0 1 0 1	1	: データ長 = 5 バイト	0 1 1 0	0	: データ長 = 6 バイト	0 1 1 1	1	: データ長 = 7 バイト	1 x x x	x	: データ長 = 8 バイト	R/W
b3	b0																																	
0 0 0 0	0	: データ長 = 0 バイト																																
0 0 0 1	1	: データ長 = 1 バイト																																
0 0 1 0	0	: データ長 = 2 バイト																																
0 0 1 1	1	: データ長 = 3 バイト																																
0 1 0 0	0	: データ長 = 4 バイト																																
0 1 0 1	1	: データ長 = 5 バイト																																
0 1 1 0	0	: データ長 = 6 バイト																																
0 1 1 1	1	: データ長 = 7 バイト																																
1 x x x	x	: データ長 = 8 バイト																																
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W																														

- x: Don't care
 注 1. メールボックスが、8 バイト未満のデータ長のメッセージを受信すると、そのデータ長値以上のデータバイトは不定になります。

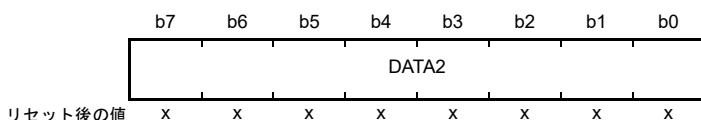
アドレス [CAN0.MB0_D04005 0206h](#)～[CAN0.MB31_D0 4005 03F6h](#)



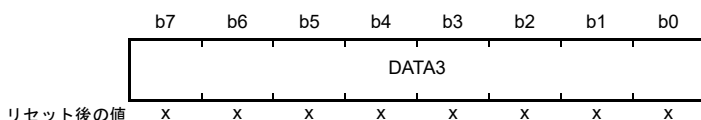
アドレス [CAN0.MB0_D14005 0207h](#)～[CAN0.MB31_D1 4005 03F7h](#)



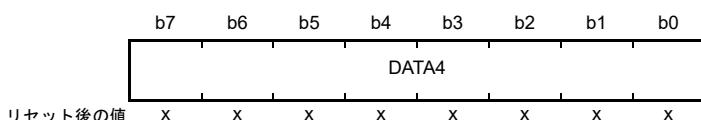
アドレス [CAN0.MB0_D24005 0208h](#)～[CAN0.MB31_D2 4005 03F8h](#)



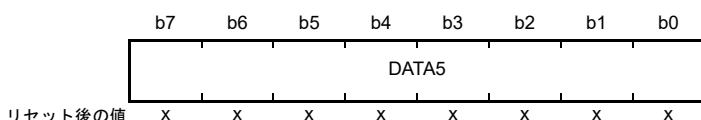
アドレス [CAN0.MB0_D34005 0209h](#)～[CAN0.MB31_D3 4005 03F9h](#)



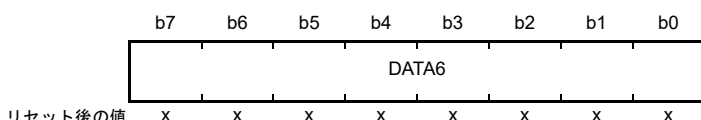
アドレス [CAN0.MB0_D44005 020Ah](#)～[CAN0.MB31_D4 4005 03FAh](#)



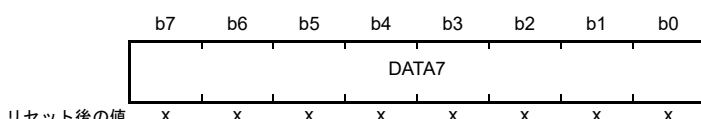
アドレス [CAN0.MB0_D54005 020Bh](#)～[CAN0.MB31_D5 4005 03FBh](#)



アドレス [CAN0.MB0_D64005 020Ch](#)～[CAN0.MB31_D6 4005 03FCh](#)



アドレス [CAN0.MB0_D74005 020Dh](#)～[CAN0.MB31_D7 4005 03FDh](#)

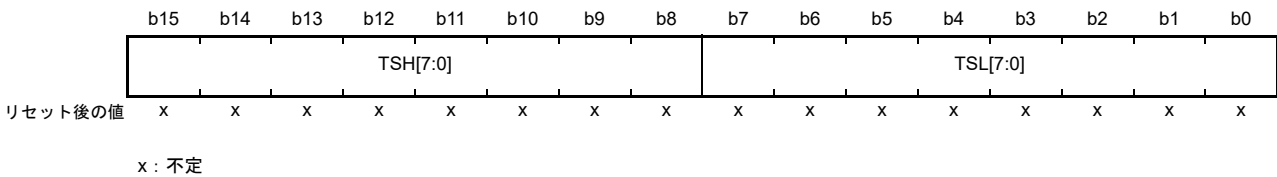


x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ~ DATA7	データバイト0~7 (注1) (注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダーはMSBファーストであり、ビット7から送受信が開始されます。	R/W

- 注1. メールボックスがnバイト (nは8バイト未満) のメッセージを受信した場合、メールボックスのDATA_n ~ DATA7の値は不定です。
- 注2. メールボックスがリモートフレームを受信した場合、そのメールボックスのDATA0 ~ DATA7は以前の値を保持します。

アドレス [CAN0.MB0_TS4005 020Eh](#) ~ [CAN0.MB31_TS 4005 03FEh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウント値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット (拡張 ID)

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

SID[10:0] ビット (標準 ID)

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

RTR ビット (リモート送信要求)

フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフレームフォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張)

ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、対応する送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID でメッセージを送信する

DLC[3:0] ビット (データ長コード)

データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、DLC[3:0] には受信したデータ長が格納されます。リモートフレームを受信した場合、DLC[3:0] ビットは要求したデータ長を格納します。

30.2.7 メールボックス割り込みイネーブルレジスタ (MIER)

アドレス [CAN0.MIER 4005 042Ch](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット31はメールボックス31 (MB31) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER レジスタのビット 31 はメールボックス 31 (MB31) に対応

MIER レジスタは、対応する MCTL_TXj または MCTL_RXj (j=0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。

30.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ (MIER_FIFO)

アドレス [CAN0.MIER_FIFO 4005 042Ch](#)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23 ~ MB0	割り込み許可	0: 割り込み禁止 1: 割り込み許可 ビット23はメールボックス23 (MB23) に、ビット0はメールボックス0 (MB0) に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0: 送信完了ごとに発生 1: 送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御 (注1)	0: 受信完了ごとに発生 1: 受信完了により受信FIFOがバッファワーニング (注2) になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 1. 受信 FIFO がフルのためにバッファワーニングになっても、割り込み要求は発生しません。

注 2. バッファワーニングとは、受信 FIFO に 3 つ目のメッセージが格納された状態です。

MIER_FIFO レジスタは、メールボックスごと、FIFO ごとに個別に割り込みを許可できます。このレジスタは、FIFO メールボックスモードで利用可能です。通常メールボックスモードではアクセスしないでください。

MB0 ~ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER_FIFO レジスタのビット 0 はメールボックス 0 (MB0) に対応
- MIER_FIFO レジスタのビット 23 はメールボックス 23 (MB23) に対応

MB24、MB25、MB28、MB29 の各ビットは、送信/受信 FIFO 割り込みを許可するか、および割り込み要求のタイミングを指定します。

MIER_FIFO レジスタは、対応する MCTL_TXj または MCTL_RXj (j = 0 ~ 31) レジスタが 00h で、かつ対応するメールボックスが送受信アポート要求の処理を行っていないときに限り書き込みを行ってください。また、選択された FIFO の MIER_FIFO レジスタ内のビットは、以下の条件が満たされている場合のみ変更してください。

- TFCR.TFE ビットが 0 で、かつ TFCR.TFEST ビットが 1
- RFCR.RFE ビットが 0 で、かつ RFCR.RFEST ビットが 1

30.2.9 受信用メッセージコントロールレジスタ (MCTL_TXj) (j = 0 ~ 31)

- 送信モード (TRMREQ ビットが1、RECREQ ビットが0の場合)

アドレス CAN0.MCTL_TX[0] 4005 0820h ~ CAN0.MCTL_TX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1) (注2)	0: 送信未完了 1: 送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0: 送信待機中または送信要求なし 1: 送信中	R
b2	TRMABT	送信アボート完了フラグ (注1) (注2)	0: 送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1: 送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット送信禁止 1: ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールアドレス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールアドレス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注 1. 0のみ書けます。1を書いても何の影響もありません。
- 注 2. このレジスタの各ビットに書き込む際は、SENTDATA および TRMABT フラグが書き込み対象でない場合、これらのビットには1を書いてください。
- 注 3. ワンショット送信モードへ遷移するためには、TRMREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに0を書いてください。
- 注 4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注 5. RECREQ ビットを0にするときは、SENTDATA、TRMACTIVE、および TRMABT フラグを同時に0にしてください。

MCTL_TXj レジスタは、メールアドレス j を送信モードまたは受信モードに設定します。送信モードの場合、MCTL_TXj レジスタは送信状態の制御と表示も行います。メールアドレス j が受信モードの場合は、MCTL_TXj レジスタにアクセスしないでください。MCTL_TXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL_TX24 ~ MCTL_TX31 レジスタを使用しないでください。

SENTDATA フラグ (送信完了フラグ)

対応するメールアドレスからのデータ送信が完了すると1になります。SENTDATA フラグは、ソフトウェア書き込みで0になります。SENTDATA フラグを0にする場合、最初に TRMREQ ビットを0にしてください。SENTDATA および TRMREQ ビットを同時に0にすることはできません。対応するメールアドレスから新しいメッセージを送信する場合、SENTDATA フラグを0にしてください。

TRMACTIVE フラグ (送信中ステータスフラグ)

CAN モジュールの対応するメールアドレスがメッセージ送信を開始すると1になります。TRMACTIVE フラグは、CAN モジュールで CAN バスアービトラクションロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると0になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時 (RECREQ ビット=0、TRMREQ ビット=1、ONESHOT ビット=1) に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

本フラグは、データ送信が完了しても 1 にはなりません。ソフトウェア書き込みで SENTDATA フラグは 1 に、TRMABT フラグは 0 になります。

ONESHOT ビット (ワンショット許可)

送信モード (RECREQ ビット=0、TRMREQ ビット=1) で ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。CAN バスエラーまたは CAN バスアービトレーションロストエラーが発生しても、CAN モジュールはメッセージを再送信しません。送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストエラーが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT フラグが 1 になった後に 0 にしてください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります。
 - その他のメールボックスでは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注 . MCTL_TXj.RECREQ は、MCTL_RXj.REQREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注. MCTL_TXj.TRMREQ は、MCTL_RXj.TRMREQ のミラービットです。

30.2.10 受信メッセージコントロールレジスタ (MCTL_RXj) (j = 0 ~ 31)

- 受信モード (TRMREQ ビットが0、RECREQ ビットが1の場合)

アドレス CAN0.MCTL_RX[0] 4005 0820h ~ CAN0.MCTL_RX[31] 4005 083Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1) (注2)	0: 受信データなし、またはビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALIDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージを更新中	R
b2	MSGLOST	メッセージロストフラグ (注1) (注2)	0: メッセージのオーバーライトまたはオーバーランなし 1: メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可 (注2) (注3)	0: ワンショット受信禁止 1: ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 (注2) (注3) (注4) (注5)	0: 受信用に設定しない 1: 受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 (注2) (注4)	0: 送信用に設定しない 1: 送信用に設定する	R/W

- 注 1. 0のみ書けます。1の書き込みは無効になります。
- 注 2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST ビットが書き込み対象でない場合、これらのビットには1を書いてください。
- 注 3. ワンショット受信モードへ遷移するためには、RECREQ ビットを1にすると同時に、ONESHOT ビットに1を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに0を書いた後、RECREQ ビットが0であることを確認してから ONESHOT ビットに0を書いてください。
- 注 4. RECREQ ビットと TRMREQ ビットの両方を1にしないでください。
- 注 5. RECREQ ビットを0にする場合、NEWDATA フラグ、MSGLOST フラグ、および RECREQ ビットを同時に0にしてください。

MCTL_RXj レジスタは、メールボックス j を送信モードまたは受信モードに設定します。受信モードの場合、MCTL_RXj レジスタは受信状態の制御と表示も行います。メールボックス j が送信モードの場合は、MCTL_RXj レジスタにアクセスしないでください。MCTL_RXj は、必ず CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。FIFO メールボックスモードでは、MCTL_RX24 ~ MCTL_RX31 レジスタを使用しないでください。

NEWDATA フラグ (受信完了フラグ)

新しいメッセージをメールボックスに格納中または格納済みのときに1になります。本フラグは常に INVALIDATA フラグと同時に1にしてください。NEWDATA フラグは、ソフトウェア書き込みで0になります。対応する INVALIDATA フラグが1の場合、NEWDATA フラグをソフトウェア書き込みで0にすることはできません。

INVALIDATA フラグ (受信中ステータスフラグ)

メッセージの受信完了後、対応するメールボックスで受信したメッセージが更新中であるとき1になります。INVALIDATA フラグは、メッセージが格納された直後に0になります。INVALIDATA フラグが1のときにメールボックスを読み出すと、そのデータは不定です。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF のビット 6 の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、周辺モジュールクロック (PCLKB) の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

ONESHOT ビット (ワンショット許可)

受信モード (RECREQ=1、TRMREQ=0) 時に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。メールボックスがメッセージを 1 回受信すると、その後、受信メールボックスとして動作しません。NEWDATA フラグと INVALIDDATA フラグの動作は、通常の実受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 にはなりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

RECREQ ビット (受信メールボックス要求)

RECREQ ビットは、表 30.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスがデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
 - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
 - その他のメールボックスでは、アクセプタンスフィルタ処理後
 - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注. MCTL_RXj.RECREQ は、MCTL_TXj.RECREQ のミラービットです。

TRMREQ ビット (送信メールボックス要求)

TRMREQ ビットは、表 30.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

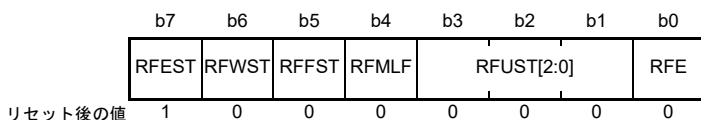
TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA フラグと MSGLOST フラグを 0 にしてから、送信に変更してください。

注. MCTL_RXj.TRMREQ は、MCTL_TXj.TRMREQ のミラービットです。

30.2.11 受信 FIFO コントロールレジスタ (RFCCR)

アドレス CAN0.RFCCR 4005 0848h



ビット	シンボル	ビット名	機能	R/W																											
b0	RFE	受信 FIFO 許可	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W																											
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータス	<table style="font-size: small; border: none;"> <tr> <td>b3</td> <td>b1</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 未読メッセージなし</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 未読メッセージ1件あり</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 未読メッセージ2件あり</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 未読メッセージ3件あり</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 未読メッセージ4件あり</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 予約ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 予約ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 予約ビット</td> </tr> </table>	b3	b1		0	0	0: 未読メッセージなし	0	0	1: 未読メッセージ1件あり	0	1	0: 未読メッセージ2件あり	0	1	1: 未読メッセージ3件あり	1	0	0: 未読メッセージ4件あり	1	0	1: 予約ビット	1	1	0: 予約ビット	1	1	1: 予約ビット	R
b3	b1																														
0	0	0: 未読メッセージなし																													
0	0	1: 未読メッセージ1件あり																													
0	1	0: 未読メッセージ2件あり																													
0	1	1: 未読メッセージ3件あり																													
1	0	0: 未読メッセージ4件あり																													
1	0	1: 予約ビット																													
1	1	0: 予約ビット																													
1	1	1: 予約ビット																													
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト発生なし 1: 受信 FIFO メッセージロスト発生あり	R/W																											
b5	RFFST	受信 FIFO フルステータスフラグ	0: 受信 FIFO はフルでない 1: 受信 FIFO はフル (未読メッセージ4件)	R																											
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングでない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R																											
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R																											

RFCCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

RFE ビット (受信 FIFO 許可)

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビット = 1) になります。RFMLF フラグの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード (CTRL.MBM = 0) では、RFE ビットを 1 にしないでください。

ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始される時 (CRC フィールドの始まり)
- ハードウェアプロテクトが解除される時
- メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまでになります
- メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータス)

受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF フラグは 1 (受信 FIFO メッセージロスト発生) になります。EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります (1 の書き込みは無効です)。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから PCLKB の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0 (受信 FIFO メッセージロスト発生なし) にすることができません。

RFFST フラグ (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージの数が 4 件未満になると、RFFST フラグは 0 (受信 FIFO はフルでない) になります。RFE ビットが 0 の場合、RFFST フラグは 0 になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグが 1 (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、RFWST フラグは 0 (受信 FIFO はバッファワーニングでない) になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1 (受信 FIFO に未読メッセージなし) になります。RFE ビットが 0 の場合、RFEST フラグは 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST フラグは 0 (受信 FIFO に未読メッセージあり) になります。図 30.2 に受信 FIFO メールボックスの動作を示します。

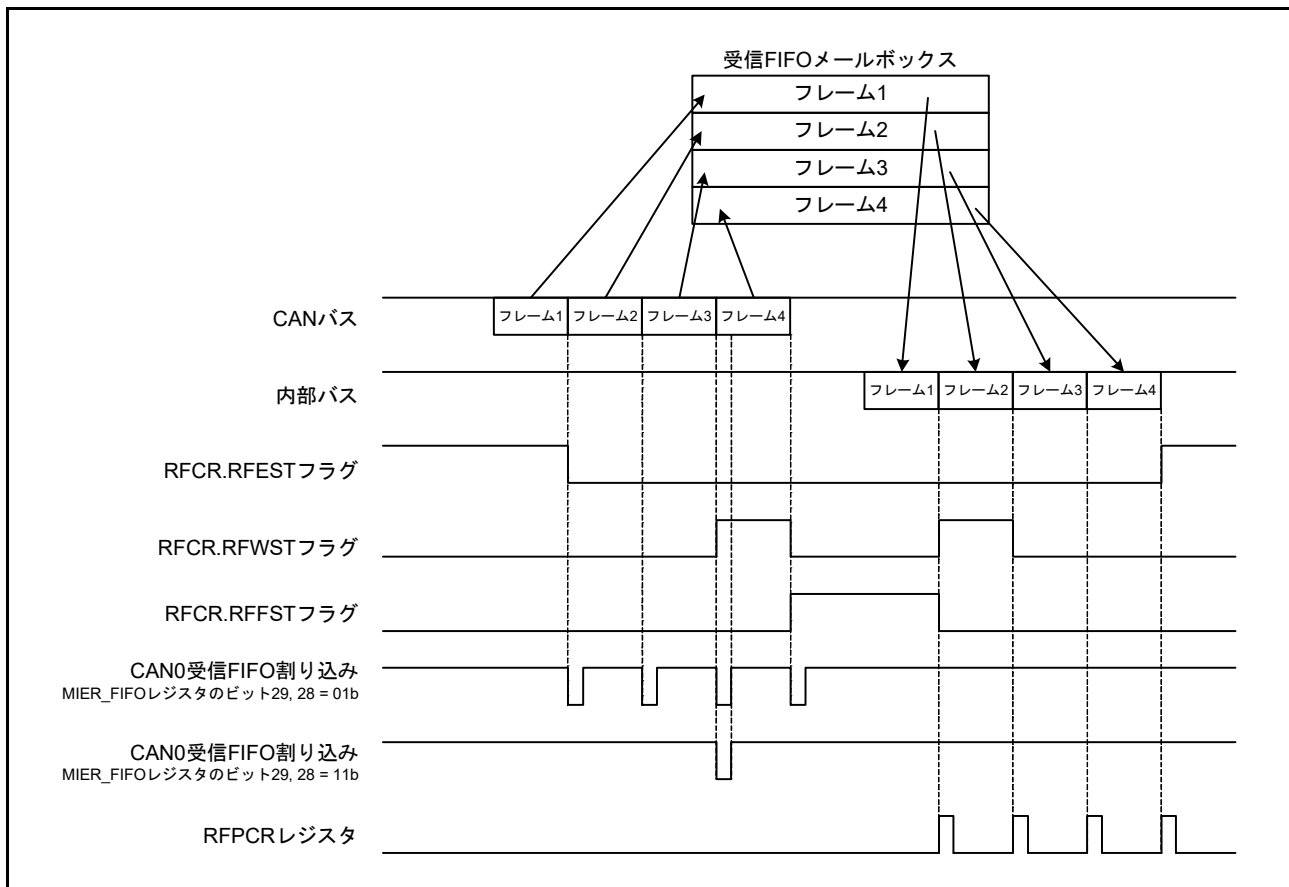
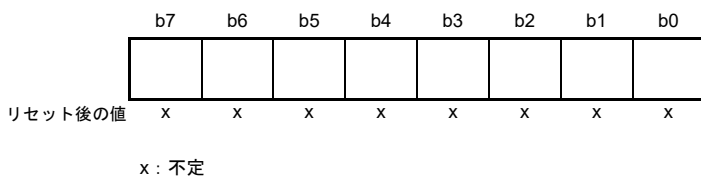


図 30.2 受信 FIFO メールボックスの動作 (MIER_FIFO レジスタのビット 29、28 が 01b または 11b のとき)

30.2.12 受信 FIFO ポインタコントロールレジスタ (RFPCR)

アドレス CAN0.RFPCR 4005 0849h



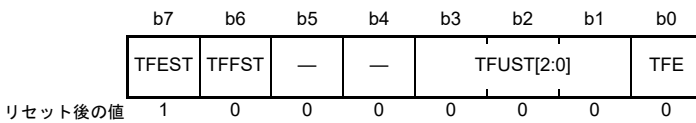
ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPUポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0 (受信 FIFO 禁止) の場合、RFPCR に書き込みを行わないでください。

オーバーライトモードで RFFST ビットが 1 (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF ビットが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

30.2.13 送信 FIFO コントロールレジスタ (TFCR)

アドレス CAN0.TFCR 4005 084Ah



ビット	シンボル	ビット名	機能	R/W																											
b0	TFE	送信 FIFO 許可	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W																											
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータス	<table style="font-size: small; border: none;"> <tr> <td>b3</td> <td>b1</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0 : 未送信メッセージなし</td> </tr> <tr> <td>0</td> <td>0</td> <td>1 : 未送信メッセージ1件あり</td> </tr> <tr> <td>0</td> <td>1</td> <td>0 : 未送信メッセージ2件あり</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 : 未送信メッセージ3件あり</td> </tr> <tr> <td>1</td> <td>0</td> <td>0 : 未送信メッセージ4件あり</td> </tr> <tr> <td>1</td> <td>0</td> <td>1 : 予約ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>0 : 予約ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>1 : 予約ビット</td> </tr> </table>	b3	b1		0	0	0 : 未送信メッセージなし	0	0	1 : 未送信メッセージ1件あり	0	1	0 : 未送信メッセージ2件あり	0	1	1 : 未送信メッセージ3件あり	1	0	0 : 未送信メッセージ4件あり	1	0	1 : 予約ビット	1	1	0 : 予約ビット	1	1	1 : 予約ビット	R
b3	b1																														
0	0	0 : 未送信メッセージなし																													
0	0	1 : 未送信メッセージ1件あり																													
0	1	0 : 未送信メッセージ2件あり																													
0	1	1 : 未送信メッセージ3件あり																													
1	0	0 : 未送信メッセージ4件あり																													
1	0	1 : 予約ビット																													
1	1	0 : 予約ビット																													
1	1	1 : 予約ビット																													
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											
b6	TFFST	送信 FIFO フルスステータス	0 : 送信 FIFO はフルでない 1 : 送信 FIFO はフル (未送信メッセージ4件)	R																											
b7	TFEST	送信 FIFO 空ステータス	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R																											

TFCR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

TFE ビット (送信 FIFO 許可)

TFE ビットを1にすると、送信 FIFO が許可されます。TFE ビットを0にすると、送信 FIFO は空状態 (TFEST ビット=1) になり、下記のように送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO のメッセージの次の送信予定がなく、また送信中でもないときただちに
- 送信 FIFO のメッセージの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトラクションロスト、または CAN halt モードへの遷移の発生時

TFE ビットを再度1にする前に、TFEST ビットが1になっていることを確認してください。TFE ビットを1にした後、送信データを MB24 に書いてください。

通常メールボックスモード (CTRL.MBM ビット=0) では、TFE ビットを1にしないでください。

TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータス)

送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを0にした後、送信アボートまたは送信が完了すると、これらのビットは 000b になります。

TFFST ビット (送信 FIFO フルスステータス)

送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは1 (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4件未満になると、TFFST ビットは0 (送信 FIFO はフルでない) になります。送信 FIFO の送信がアボートされると、TFFST ビットは0になります。

TFEST ビット (送信 FIFO 空ステータス)

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは1 (送信 FIFO にメッセージなし) になります。送信 FIFO の送信がアボートされると、TFEST ビットは1になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは0 (送信 FIFO にメッセージあり) になります。

図 30.3 に送信 FIFO メールボックスの動作を示します。

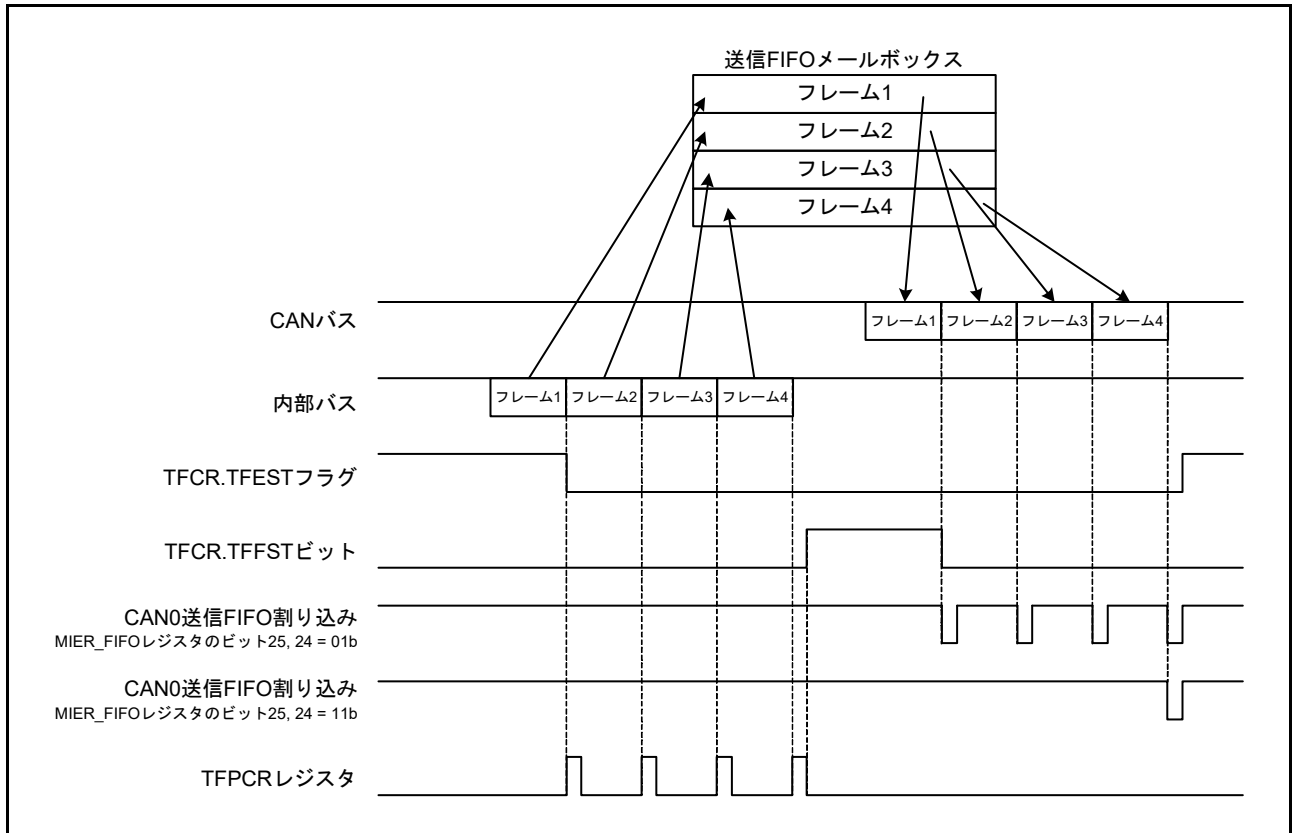
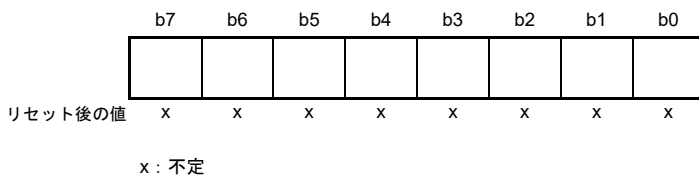


図 30.3 送信 FIFO メールボックスの動作 (MIER_FIFO レジスタのビット 25、24 が 01b または 11b のとき)

30.2.14 送信 FIFO ポインタコントロールレジスタ (TFPCR)

アドレス [CAN0.TFPCR 4005 084Bh](#)



ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信FIFOのCPUポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFPCR.TFE ビットが 0 (送信 FIFO 禁止) の場合、TFPCR レジスタに書き込みを行わないでください。

30.2.15 ステータスレジスタ (STR)

アドレス CAN0.STR 4005 0842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0 : NEWDATA フラグが1のメールボックスなし 1 : NEWDATA フラグが1のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0 : SENTDATA フラグが1のメールボックスなし 1 : SENTDATA フラグが1のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0 : 受信FIFOにメッセージなし 1 : 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0 : 送信FIFOはフル 1 : 送信FIFOはフルでない	R
b4	NMLST	通常メールボックスメッセージロスステータスフラグ	0 : MSGLOST フラグが1のメールボックスなし 1 : MSGLOST フラグが1のメールボックスあり	R
b5	FMLST	FIFOメールボックスメッセージロスステータスフラグ	0 : RFMLF フラグが0 1 : RFMLF フラグが1	R
b6	TABST	送信アボートステータスフラグ	0 : TRMABT フラグが1のメールボックスなし 1 : TRMABT フラグが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0 : エラー発生なし 1 : エラー発生あり	R
b8	RSTST	CANリセットステータスフラグ	0 : CANリセットモードではない 1 : CANリセットモード	R
b9	HLTST	CANhaltステータスフラグ	0 : CANhaltモードではない 1 : CANhaltモード	R
b10	SLPST	CANスリープステータスフラグ	0 : CANスリープモードではない 1 : CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはモジュールがバスオフ状態	R
b14	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b15	—	予約ビット	読むと0が読めます。	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTL_RXj.NEWDATA フラグ (j=0~31) が1つでも1であると、MIER または MIER_FIFO の値にかかわらず、NDST フラグは1になります。NEWDATA フラグがすべて0であると、NDST フラグは0になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTL_TXj.SENTDATA フラグ (j=0~31) が1つでも1であると、MIER または MIER_FIFO の値にかかわらず、SDST フラグは1になります。SENTDATA フラグがすべて0であると、SDST フラグは0になります。

RFST フラグ (受信FIFOステータスフラグ)

受信FIFOが空状態でないとき1になります。受信FIFOが空状態か、または通常メールボックスモードが選択されている場合、RFST フラグは0になります。

TFST フラグ (送信 FIFO ステータスフラグ)

送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、TFST フラグは 0 になります。

NMLST フラグ (通常メールボックスメッセージロストステータスフラグ)

MCTL_RXj.MSGLOST フラグ ($j=0 \sim 31$) が 1 つでも 1 であると、MIER または MIER_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST フラグがすべて 0 であると、NMLST フラグは 0 になります。

FMLST フラグ (FIFO メールボックスメッセージロストステータスフラグ)

RFCR.RFMLF フラグが 1 であると、MIER_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF フラグが 0 の場合、FMLST フラグは 0 になります。

TABST フラグ (送信アポートステータスフラグ)

MCTL_TXj.TRMABT フラグ ($j=0 \sim 31$) が 1 つでも 1 であると、MIER または MIER_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT フラグがすべて 0 であると、TABST フラグは 0 になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタでエラーが検出されないと、EST フラグは 0 になります。

RSTST フラグ (CAN リセットステータスフラグ)

CAN モジュールが CAN リセットモードになると 1 になります。RSTST フラグは、CAN モジュールが CAN リセットモード以外になると 0 になります。CAN モジュールが CAN リセットモードから CAN スリープモードへ遷移しても 1 のままです。

HLTST フラグ (CAN halt ステータスフラグ)

CAN モジュールが CAN halt モードになると 1 になります。HLTST フラグは、CAN モジュールが CAN halt モード以外になると 0 になります。CAN モジュールが CAN halt モードから CAN スリープモードへ遷移しても 1 のままです。

SLPST フラグ (CAN スリープステータスフラグ)

CAN モジュールが CAN スリープモードになると 1 になります。SLPST フラグは、CAN モジュールが CAN スリープモード以外になると 0 になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq TEC < 256$ または $128 \leq REC < 256$) になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると、EPST フラグは 0 になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ($TEC \geq 256$) になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると、BOST フラグは 0 になります。

TRMST フラグ (送信ステータスフラグ)

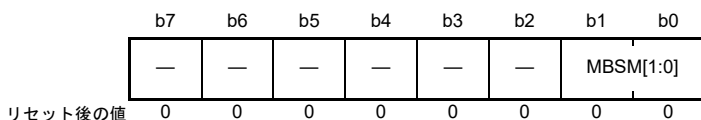
CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。TRMST フラグは、CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

RECST フラグ (受信ステータスフラグ)

CAN モジュールが受信ノードとして動作すると 1 になります。RECST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

30.2.16 メールボックスサーチモードレジスタ (MSMR)

アドレス CAN0.MSMR 4005 0853h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

MBSM[1:0] ビット (メールボックス検索モード選択)

メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL_RXj.NEWDATA (j=0~31) フラグ、受信 FIFO の場合は RFCR.RFEST フラグです。

MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。送信メールボックス検索モードでの検索対象は、MCTL_TXj.SENTDATA フラグです。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスの場合は MCTL_RXj.MSGLOST フラグ、受信 FIFO の場合は RFCR.RFMLF フラグです。

MBSM[1:0] ビットが 11b の場合、チャネル検索モードになります。このモードでの検索対象は、CSSR レジスタです。30.2.18 [チャネルサーチサポートレジスタ \(CSSR\)](#) を参照してください。

30.2.17 メールボックスサーチステータスレジスタ (MSSR)

アドレス CAN0.MSSR 4005 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	MSSRレジスタの各モードで検索された最小メールボックス番号を出力します。	R
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SEST	検索結果ステータス	0: 検索結果あり 1: 検索結果なし	R

MBNST[4:0] ビット (検索結果メールボックス番号ステータス)

すべての MSSR モードで検索された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値 (検索結果出力) が次の条件下で更新されます。

- MBNST で出力されたメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST フラグが 0 の場合
- MBNST で出力されたメールボックスよりも小さな番号のメールボックスについて、それぞれの NEWDATA、SENTDATA、または MSGLOST フラグが 1 の場合

MBSM[1:0] ビットが 00b (受信メールボックス検索モード) または 10b (メッセージロスト検索モード) の場合、受信 FIFO (メールボックス 28) が空状態でなく、すべての通常メールボックス (メールボックス 0 ~ 23) に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b (送信メールボックス検索モード) の場合、送信 FIFO (メールボックス 24) は出力されません。表 30.6 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットは対応するチャンネル番号を出力します。MSSR レジスタがソフトウェアで読み出されると、次のターゲットチャンネル番号が出力されます。

SEST ビット (検索結果ステータス)

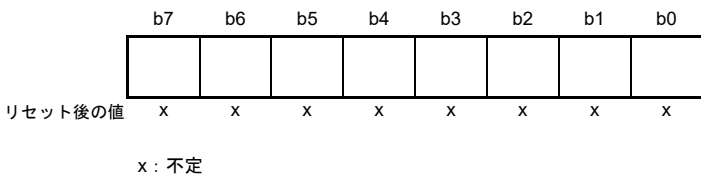
すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1 (検索結果なし) になります。たとえば、送信メールボックス検索モードにおいて、どのメールボックスの SENTDATA ビットも 1 以外であると、SEST ビットは 1 になります。少なくとも 1 つの SENTDATA フラグが 1 のとき、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 30.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24 (送信 FIFO)	メールボックス 28 (受信 FIFO)
00b	メールボックス 24 は出力されない	通常メールボックスのどの MCTL_RXj.NEWDATA フラグも 1 (新しいメッセージがメールボックスに格納中または格納済み) ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が出力される
01b		メールボックス 28 は出力されない
10b	メールボックス 24 は出力されない	通常メールボックスのどの MCTL_RXj.MSGLOST フラグも 1 (メッセージのオーバーライトまたはオーバーランあり) ではなく、かつ受信 FIFO の RFCR.RFMLF ビットが 1 (受信 FIFO メッセージロスト発生) になった場合、メールボックス 28 が出力される
11b		メールボックス 28 は出力されない

30.2.18 チャンネルサーチサポートレジスタ (CSSR)

アドレス CAN0.CSSR 4005 0851h



ビット	機能	R/W
b7-b0	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

CSSR レジスタで 1 になったビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、MSSR レジスタをソフトウェアで読み出すたびに更新された値を出力します。

CSSR レジスタは、MSMR.MBSM[1:0] ビットが 11b (チャンネル検索モード) の場合に限り書き込みを行ってください。CSSR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

図 30.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

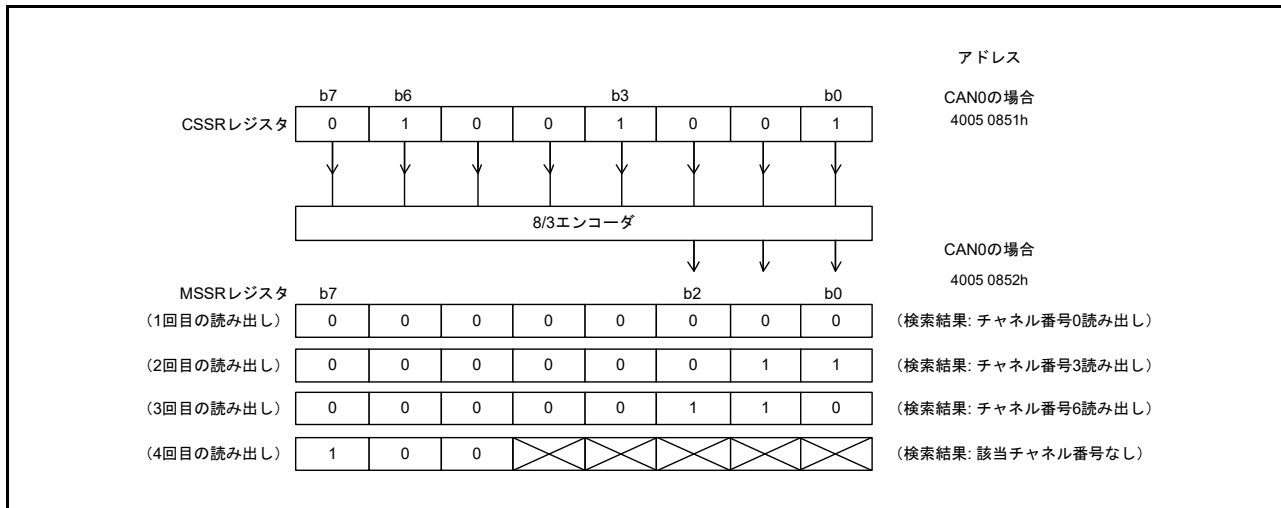
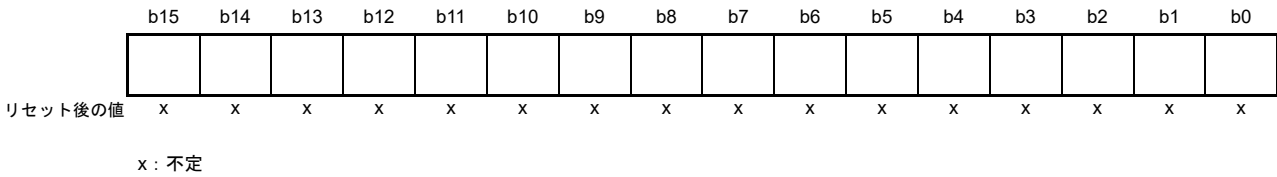


図 30.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も、MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

30.2.19 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス CAN0.AFSR 4005 0856h



ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注. AFSR レジスタは、CAN オペレーションモードまたは CAN halt モード時に書き込みを行ってください。

アクセプタンスフィルタサポートユニット (ASU) が、データテーブル (8 ビット × 256) の検索に使用可能です。このデータテーブルには、作成したすべての標準 ID の有効/無効が 1 ビット単位で設定されます。受信した標準 ID が格納された MB_j_ID.SID[10:0] ビット (j = 0 ~ 31) を含む 16 ビット単位のデータを AFSR に書き込むと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と、列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注. AFSR レジスタは、CAN リセットモードでは設定できません。

図 30.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。

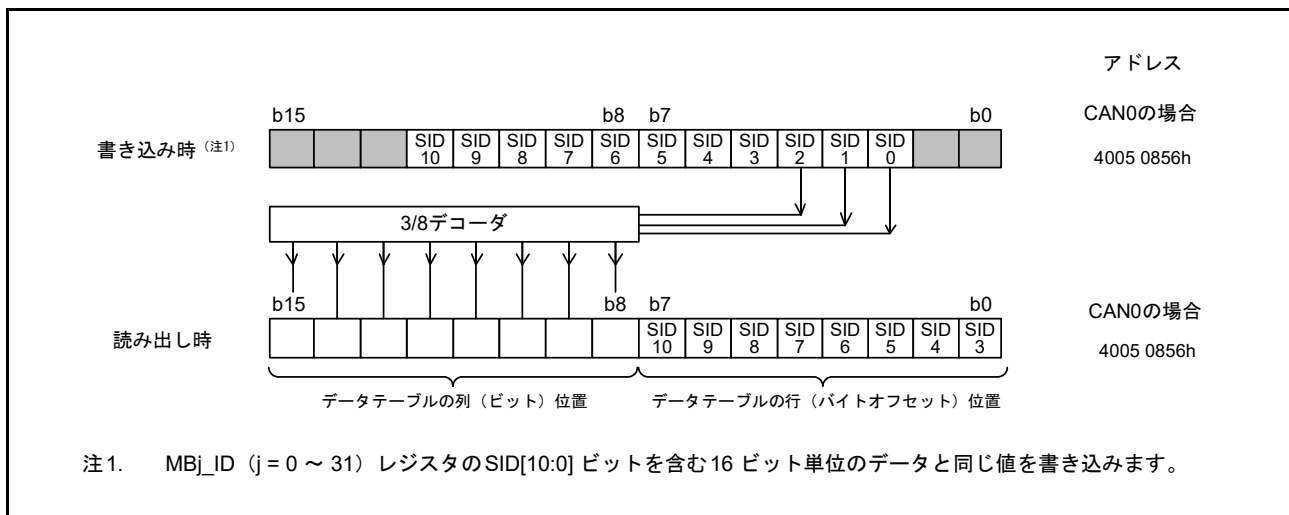


図 30.5 AFSR レジスタに対する書き込みと読み出し

30.2.20 エラー割り込みイネーブルレジスタ (EIER)

アドレス CAN0.EIER 4005 084Ch

b7	b6	b5	b4	b3	b2	b1	b0
BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0: 割り込み禁止 1: 割り込み許可	R/W

EIER レジスタは、EIFR レジスタのエラー割り込み要因ごとに個別に割り込み要求を許可または禁止します。EIER レジスタは、CAN リセットモード時に書き込みを行ってください。

BEIE ビット (バスエラー割り込み許可)

BEIE ビットが 0 の場合、EIFR.BEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、EIFR.BEIF ビットが 1 になると、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可)

EWIE ビットが 0 の場合、EIFR.EWIF ビットが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EIFR.EWIF ビットが 1 になると、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可)

EPIE ビットが 0 の場合、EIFR.EPIF ビットが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EIFR.EPIF ビットが 1 になると、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可)

BOEIE ビットが 0 の場合、EIFR.BOEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、EIFR.BOEIF ビットが 1 になると、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可)

BORIE ビットが 0 の場合、EIFR.BORIF ビットが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、EIFR.BORIF ビットが 1 になると、エラー割り込み要求が発生します。

ORIE ビット (オーバーラン割り込み許可)

ORIE ビットが 0 の場合、EIFR.ORIF ビットが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、EIFR.ORIF ビットが 1 になると、エラー割り込み要求が発生します。

OLIE ビット (オーバーロードフレーム送信割り込み許可)

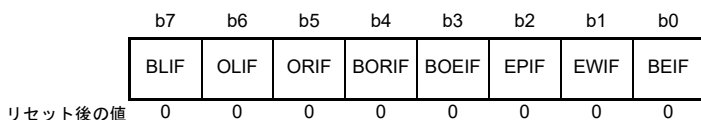
OLIE ビットが 0 の場合、EIFR.OLIF ビットが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、EIFR.OLIF ビットが 1 になると、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可)

BLIE ビットが 0 の場合、EIFR.BLIF ビットが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、EIFR.BLIF ビットが 1 になると、エラー割り込み要求が発生します。

30.2.21 エラー割り込み要因判定レジスタ (EIFR)

アドレス CAN0.EIFR 4005 084Dh



ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0: 受信オーバーラン未検出 1: 受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

これらのビットの1つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず EIFR レジスタの対応するビットが1になります。

これらのビットは、ソフトウェア書き込みで0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。個々のビットをソフトウェアで0にする場合、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。1を書いても、これらのビットの値は影響されません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは1になります。

EWIF フラグ (エラーワーニング検出フラグ)

受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) の値が95を超えると、EWIF フラグは1になります。REC または TEC が最初に95を超えたときのみ1になります。REC または TEC が95を超えたまま、EWIF フラグにソフトウェアで0を書くと、REC または TEC が95未満になった後、再び95を超えるまで、EWIF フラグは1になりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ (REC) または送信エラーカウンタ (TEC) が127を超えると、EPIF フラグは1になります。EPIF フラグは、REC または TEC が最初に127を超えたときのみ1になります。REC または TEC が127を超えたまま、EPIF フラグにソフトウェアで0を書くと、REC または TEC が127未満になった後、再び127を超えるまで、EPIF フラグは1になりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラーの状態がバスオフになったとき、送信エラーカウンタ (TEC) の値が255を超えると、BOEIF フラグは1になります。また、CTRL.BOM[1:0] ビットが01b (バスオフ開始で自動的に CAN halt モードへ遷移) のとき、CAN モジュールがバスオフ状態になった場合も、BOEIF ビットは1になります。

BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰 (11 の連続するビットを 128 回検出) した場合、BORIF フラグは 1 になります。

- CTRL.BOM[1:0] ビットが 00b の場合
- CTRL.BOM[1:0] ビットが 10b の場合
- CTRL.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下で、バスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTRL.CANM[1:0] ビットを 01b または 11b (CAN リセットモード) にした場合
- CTRL.RBOC ビットを 1 (バスオフからの強制復帰) にした場合
- CTRL.BOM[1:0] ビットを 01b にした場合
- CTRL.BOM[1:0] ビットを 11b にして、通常復帰が発生する前に、CTRL.CANM[1:0] ビットを 10b (CAN halt モード) にした場合

表 30.7 に、CTRL.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF ビットの動作を示します。

表 30.7 CTRL.BOM[1:0] の設定値ごとの BOEIF、BORIF フラグの動作

BOM[1:0] ビット	BOEIF フラグ	BORIF フラグ
00b	バスオフ状態への遷移時に 1 になる	バスオフ状態からの復帰時に 1 になる
01b		1 にはならない
10b		バスオフ状態からの復帰時に 1 になる
11b		CANM[1:0] ビットが 10b (CAN halt モード) になる前に、通常のバスオフ復帰が発生した場合に 1 になる

ORIF フラグ (受信オーバーラン検出フラグ)

受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。

オーバーライトモードでは、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF ビットは 1 にはなりません。

通常メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 31 のいずれかでオーバーランが発生すると、ORIF フラグが 1 になります。FIFO メールボックスモードのオーバーランモードでは、メールボックス 0 ~ 23 のいずれかまたは受信 FIFO でオーバーランが発生すると、ORIF フラグが 1 になります。

OLIF フラグ (オーバーロードフレーム送信検出フラグ)

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

BLIF フラグ (バスロック検出フラグ)

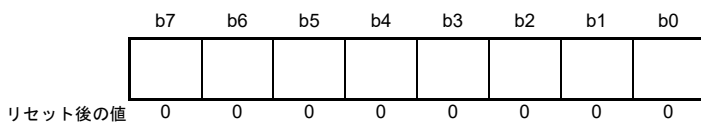
CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF フラグは 1 になります。

BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されません。

- 本フラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- 本フラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

30.2.22 受信エラーカウントレジスタ (RECR)

アドレス [CAN0.RECR 4005 084Eh](#)



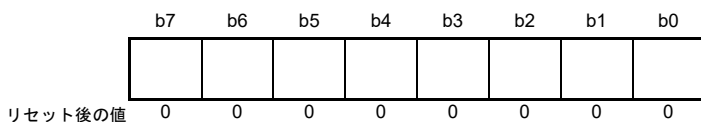
ビット	機能	R/W
b7-b0	受信エラーカウント機能 受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、RECR レジスタの値は不定です。

30.2.23 送信エラーカウントレジスタ (TECR)

アドレス [CAN0.TECR 4005 084Fh](#)



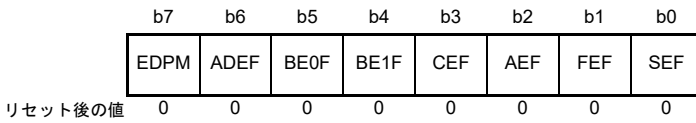
ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

バスオフ状態では、TECR レジスタの値は不定です。

30.2.24 エラーコード格納レジスタ (ECSR)

アドレス CAN0.ECSR 4005 0850h



ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ(注1)(注2)	0: スタッフエラー未検出 1: スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ(注1)(注2)	0: フォームエラー未検出 1: フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ(注1)(注2)	0: ACKエラー未検出 1: ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ(注1)(注2)	0: CRCエラー未検出 1: CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1)(注2)	0: ビットエラー (レセシブ) 未検出 1: ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1)(注2)	0: ビットエラー (ドミナント) 未検出 1: ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ(注1)(注2)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択(注3)(注4)	0: 最初に検出されたエラーコードを出力 1: 蓄積したエラーコードを出力	R/W

- 注1. 1を書いても、これらのビットの値は影響されません。
- 注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに0を書く場合は、転送 (MOV) 命令を使用して、必ず指定されたビットのみを0にし、その他のビットは1にしてください。
- 注3. EDPM ビットは、CAN リセットモードまたは CAN halt モード時に書き込みを行ってください。
- 注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN 仕様 (ISO11898-1) を参照してください。

ソフトウェア書き込みで EDPM ビット以外のビットをすべて0にしてください。ソフトウェアによるクリアと同時にビットが1になると、そのビットは1になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーが検出されると、SEF フラグは1になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーが検出されると、FEF フラグは1になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーが検出されると、AEF フラグは1になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーが検出されると、CEF フラグは1になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーが検出されると、BE1F フラグは1になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーが検出されると、BE0F フラグは1になります。

ADEF フラグ (ACK デリミタエラーフラグ)

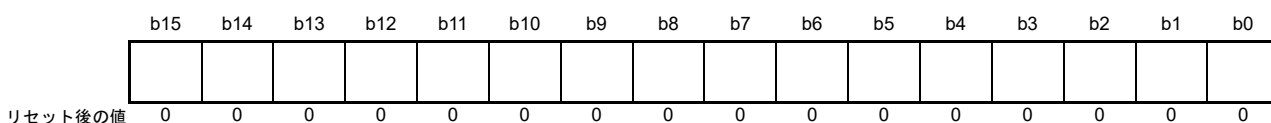
送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは 1 になります。

EDPM ビット (エラー表示モード選択)

ECSR レジスタの出力モードを選択します。EDPM ビットを 0 にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを 1 にすると、ECSR レジスタは蓄積したエラーコードを出力します。

30.2.25 タイムスタンプレジスタ (TSR)

アドレス CAN0.TSR 4005 0854h



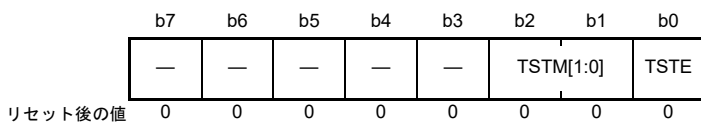
ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注. TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。タイムスタンプカウンタの基準クロックは、CTLR.TSPS[1:0] ビットで設定します。このカウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。本レジスタの値は、受信メッセージが受信メールボックスに格納されるとき、MBj_TS レジスタの TSL[7:0] ビットと TSH[7:0] ビットに格納されます。

30.2.26 テストコントロールレジスタ (TCR)

アドレス CAN0.TCR 4005 0858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードを制御します。TCR レジスタは、CAN halt モードでのみ書き込みを行ってください。

(1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスにはレセシブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。

リッスンオンリモードは、ボーレート検出に使用できます。リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 30.6 にリッスンオンリモード選択時の接続を示します。

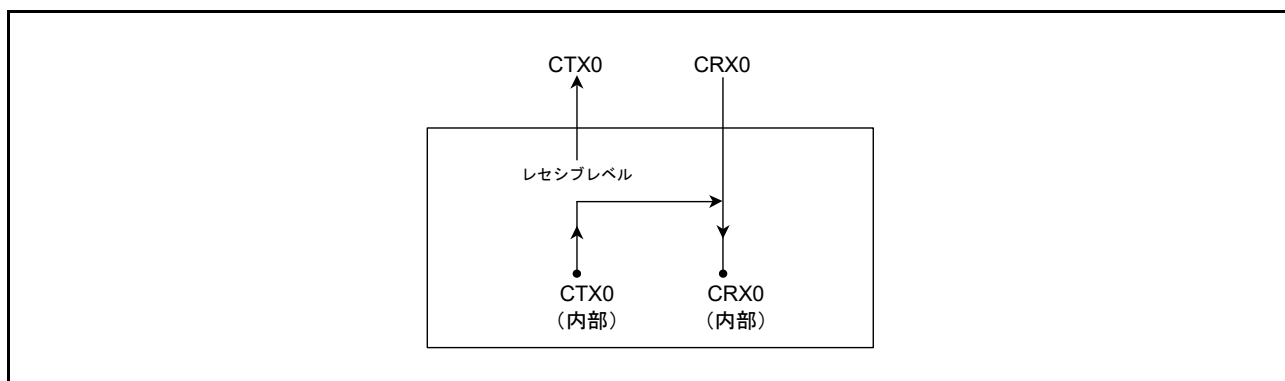


図 30.6 リッスンオンリモード選択時の接続

(2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は、CAN トランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルモジュールは ACK ビットを生成します。

CTX0 および CRX0 端子はトランシーバに接続してください。

図 30.7 にセルフテストモード 0 選択時の接続を示します。

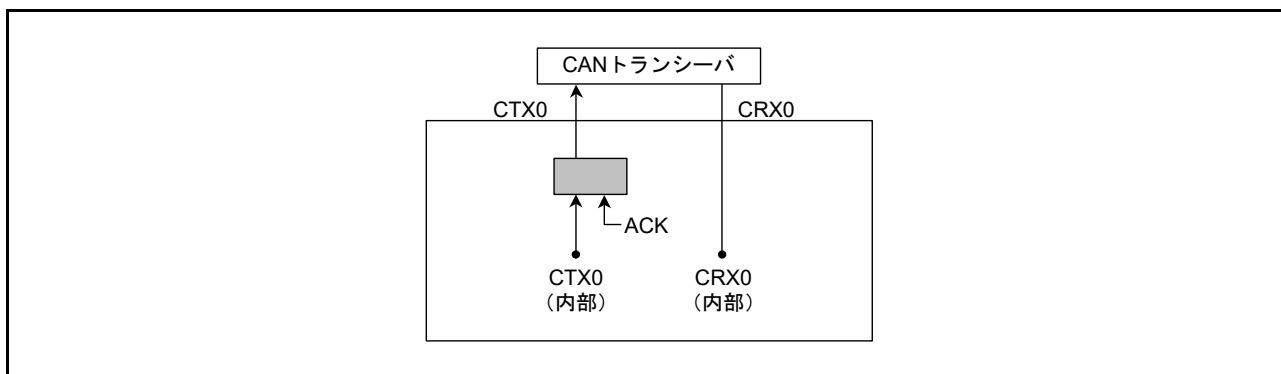


図 30.7 セルフテストモード 0 選択時の接続

(3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、プロトコルコントローラは送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、プロトコルコントローラは内部 CTX0 端子から内部 CRX0 端子への内部ループバックを行います。外部 CRX0 端子の入力値は無視されます。外部 CTX0 端子はレセプビットのみ出力します。CTX0/CRX0 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 30.8 にセルフテストモード 1 選択時の接続を示します。

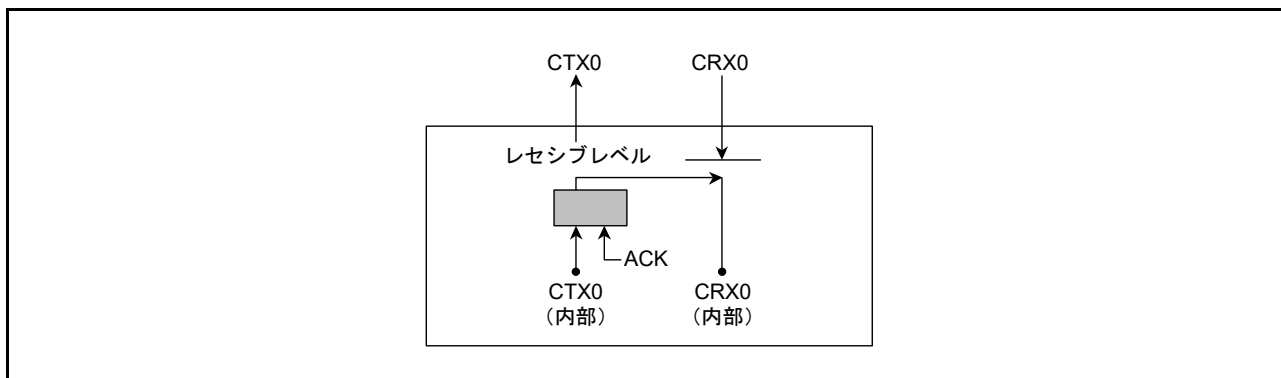


図 30.8 セルフテストモード 1 選択時の接続

30.3 動作モード

CAN モジュールには、以下の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 30.9 に、動作モード間の遷移を示します。

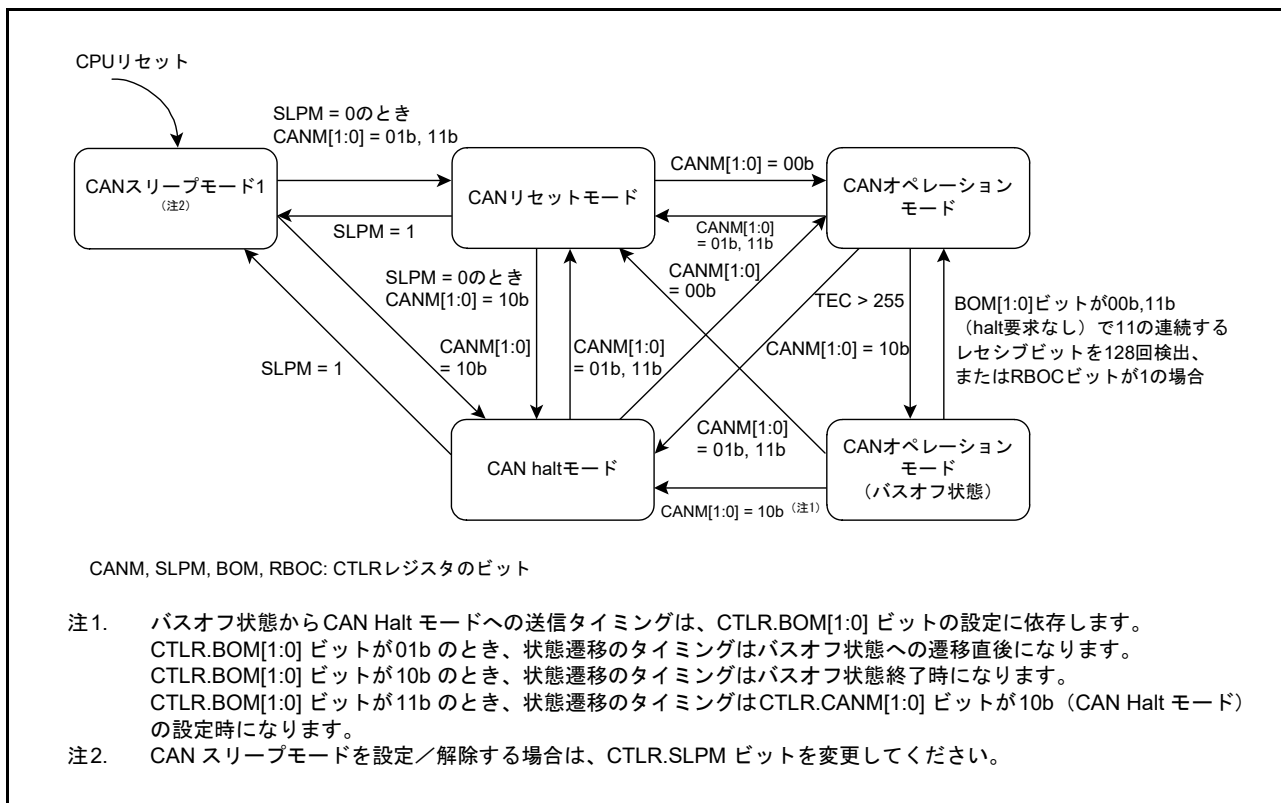


図 30.9 各動作モード間の遷移

30.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTRL.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST フラグが 1 になります。RSTST フラグが 1 になるまで、CTRL.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL_TXj および MCTL_RXj
- STR (SLPST フラグと TFST フラグを除く)
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTRL
- STR (SLPST フラグと TFST フラグのみ)
- MIER および MIER_FIFO
- EIER
- BCR
- CSSR
- ECSR (EDPM ビットのみ)
- MBj_ID、MBj_DL、MBj_Dm、MBj_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

30.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。

CTLR.CANM[1:0] ビットを 10b にすると、CAN halt モードになります。そのとき、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。

送信または受信時の状態遷移条件については、表 30.8 を参照してください。

CAN が CAN halt モードへ遷移しても、STR レジスタの RSTST、HLTST、および SLPST フラグ以外、すべてのレジスタは変化しません。

CAN halt モードでは、CTLR レジスタ (CANM[1:0] ビットと SLPM ビット以外) と、EIER レジスタを変更しないでください。CAN halt モードでは、自動ポーレート検出のためにリッスンオンリモードを選択している場合のみ、BCR レジスタを変更できます。

表 30.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CA79	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 (注1) (注4)	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移 (注2) (注3)	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移 (注1) (注4)	<p>BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける</p> <p>BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移</p> <p>BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移</p> <p>BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移</p>

- 注 1. 複数メッセージの送信要求があると、最初の送信完了後にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。
- 注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF ビットをモニタすることで、プログラムはバスロック状態を検出できます。
- 注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。
- 注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

30.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、電流消費を削減します。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTRL.SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。そのとき、STR.SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN モジュールが CAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM フラグは、CAN リセットモードおよび CAN halt モード時に書き込みを行ってください。CAN スリープモード時には、どのレジスタも変更しないでください (SLPM ビットは除く)。ただし、読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。CAN モジュールが CAN スリープモードから復帰しても、他のレジスタが変化することはありません。

30.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは、CAN 通信を行うためのモードです。

CTRL.CANM[1:0] ビットを 00b にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、STR.RSTST フラグと STR.HLTST フラグが 0 になります。RSTST フラグと HLTST フラグが 0 になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11 の連続するレセシブビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN オペレーションモード時、CAN モジュールは、CAN バスの状態に応じて、次の 3 種類のサブモードの 1 つになります。

- アイドルモード：送受信が発生していない
- 受信モード：他のノードが送信した CAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード 0 (TCR.TSTM[1:0] = 10b) またはセルフテストモード 1 (TCR.TSTM[1:0] = 11b) を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 30.10 に CAN オペレーションモードのサブモードを示します。

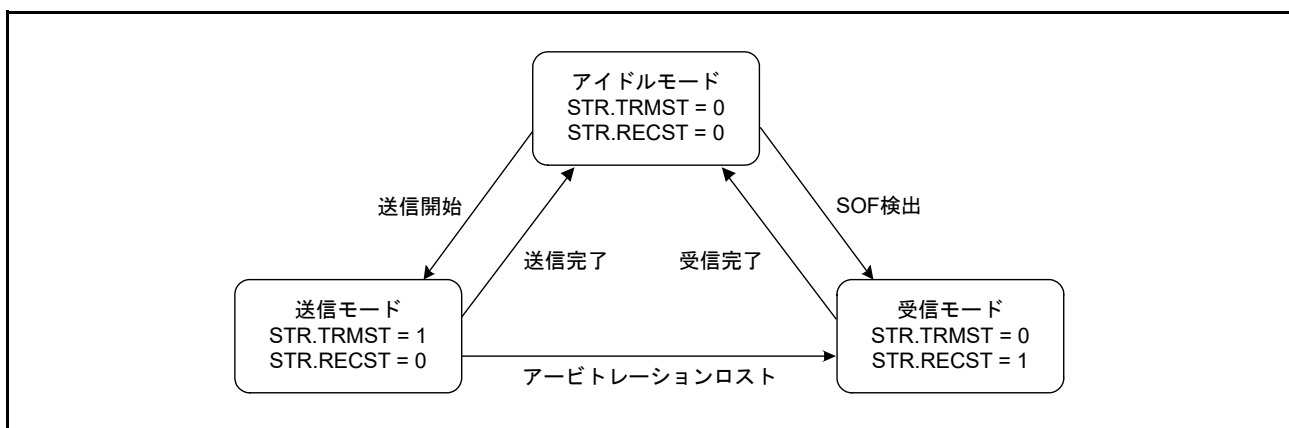


図 30.10 CAN オペレーションモードのサブモード

30.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様に定められている通り、送信および受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR および TSR を除く CAN 関連レジスタの値は変化しません。

(1) CTRL.BOM[1:0] = 00b (通常モード) の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。EIFR.BORIF フラグは 1 (バスオフ復帰検出) になります。

(2) CTRL.RBOC = 1 (バスオフ強制復帰) の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセシブビットを検出した後、再び CAN 通信が可能になります。BORIF フラグは 1 になりません。

(3) CTRL.BOM[1:0] = 01b (バスオフ開始で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードになります。BORIF フラグは 1 になりません。

(4) CTRL.BOM[1:0] = 10b (バスオフ終了で自動的に CAN halt モードへ遷移) の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードになります。BORIF フラグは 1 になります。

(5) バスオフ状態時に CTRL.BOM[1:0] = 11b (ソフトウェアにより自動的に CAN halt モードへ遷移) および CTRL.CANM[1:0] = 10b (CAN halt モード) の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b (CAN halt モード) になっていると、CAN halt モードになります。BORIF フラグは 1 になりません。

バスオフ時に CANM[1:0] ビットが 10b にされていないと、(1) と同じ動作になります。

30.4 データ転送レートの設定

以下では、データ転送レートの設定法について説明します。

30.4.1 クロックの設定

CAN モジュールは、[図 30.11](#) に示すように、CAN クロック発生回路を内蔵しています。BCR.CCLKS ビットおよび BCR.BRP[9:0] ビットでクロックを選択してください。

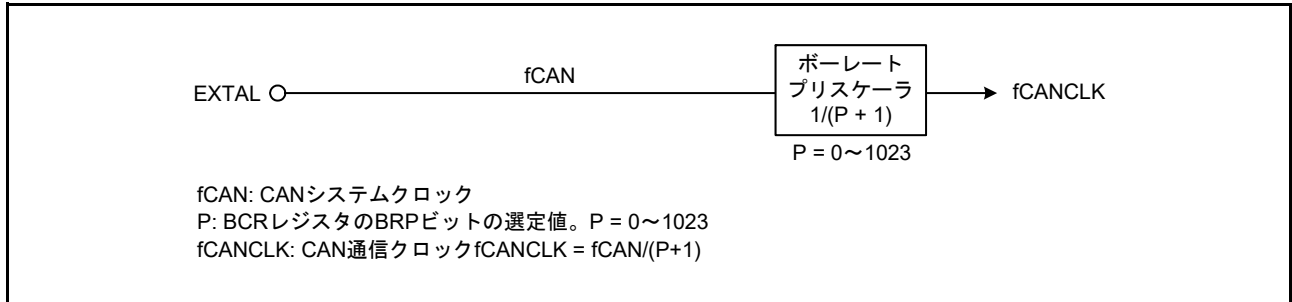


図 30.11 CAN クロック発生回路のブロック図

30.4.2 ビットタイムの設定

ビットタイムは、[図 30.12](#) に示す 3 つのセグメントで構成されます。

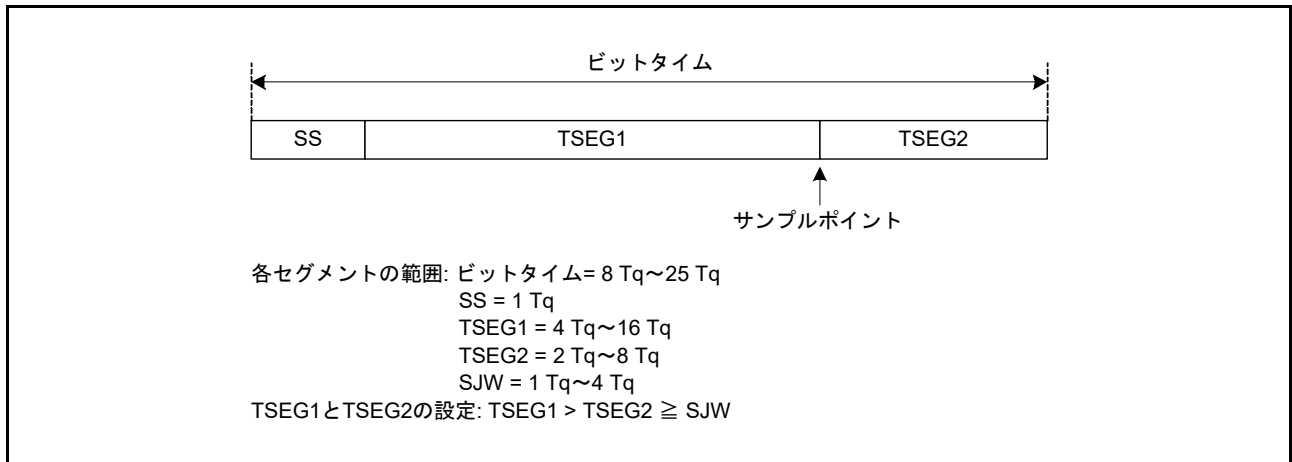


図 30.12 ビットタイミング

30.4.3 データ転送レート

データ転送レートは、fCAN (CAN システムクロック) の分周値、ボーレートプリスケアラ分周値、および1ビットタイムのTq数に依存します。

$$\text{データ転送レート [bps]} = \frac{f\text{CAN}}{\text{ボーレートプリスケアラ分周値 (注1)} \times 1\text{ビットタイムのTq数}} = \frac{f\text{CANCLK}}{1\text{ビットタイムのTq数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)、ここで P は、BCR.BRP[9:0] ビットの設定値

表 30.9 に、データ転送レートの例を示します。

表 30.9 fCAN = 32MHz の場合のデータ転送レート例

データ転送レート	Tq数	P+1
1Mbps	8Tq	4
	16Tq	2
500kbps	8Tq	8
	16Tq	4
250kbps	8Tq	16
	16Tq	8
125kbps	8Tq	32
	16Tq	16
83.3kbps	8Tq	48
	16Tq	24
33.3kbps	8Tq	120
	10Tq	96
	16Tq	60
	20Tq	48

30.5 メールボックスとマスクレジスタの構成

図 30.13 に、32 本のメールボックスレジスタ (MBj_ID、MBj_DL、MBj_Dm、MBj_TS) の構成を示します。

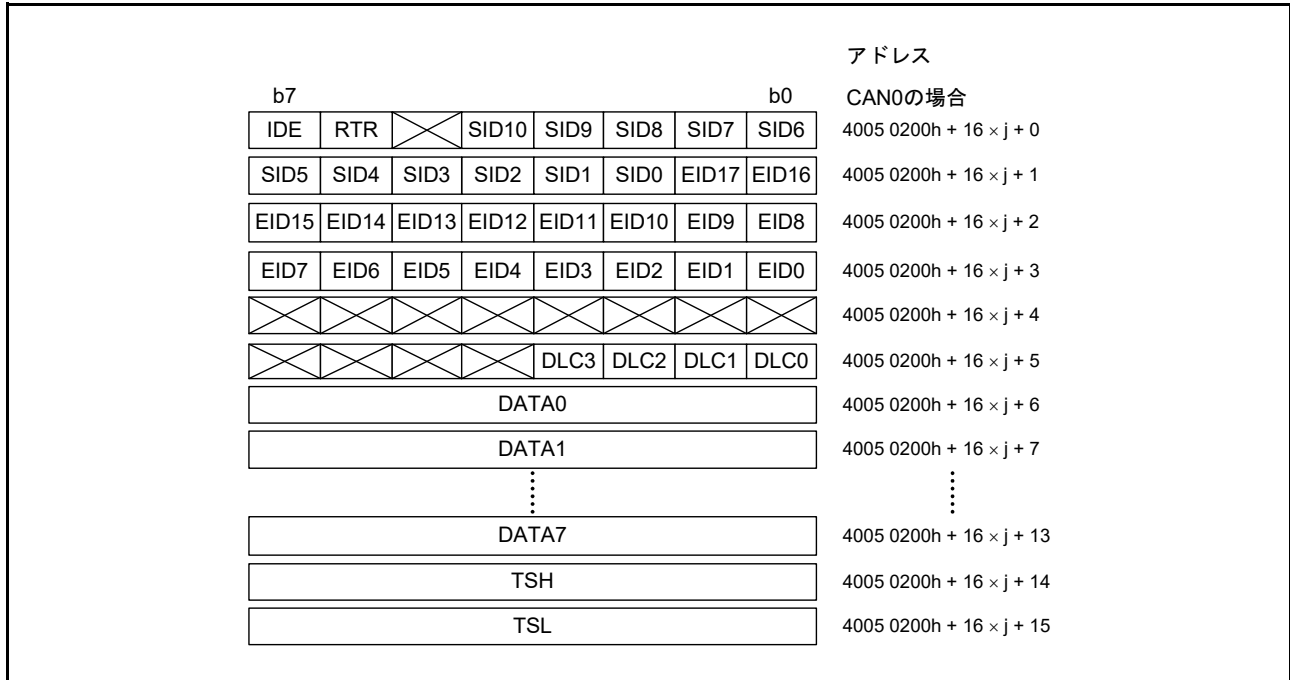


図 30.13 メールボックスレジスタの構成 (j = 0 ~ 31)

図 30.14 に、8 本のマスクレジスタ (MKRk) の構成を示します。

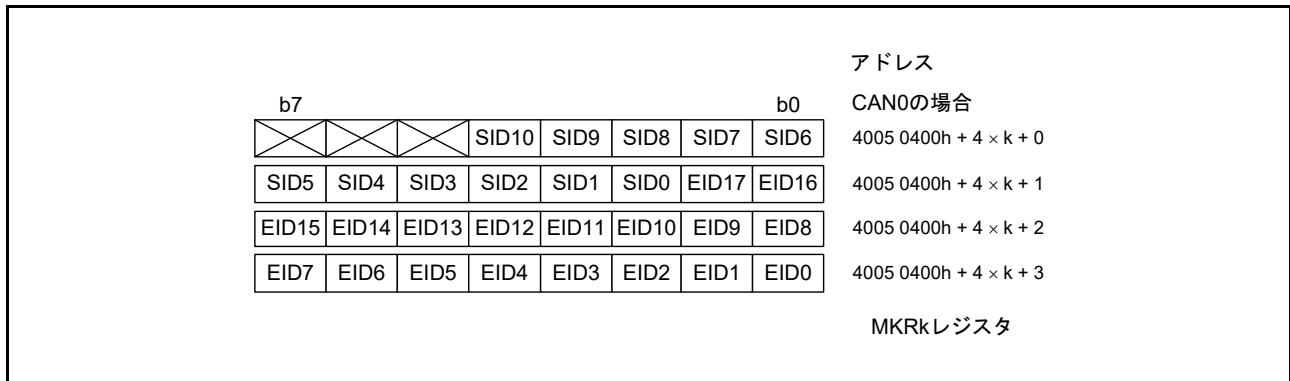


図 30.14 MKRk レジスタの構成 (k = 0 ~ 7)

図 30.15 に、2 本の FIFO 受信 ID 比較レジスタ (FIDCR0 および FIDCR1) の構成を示します。

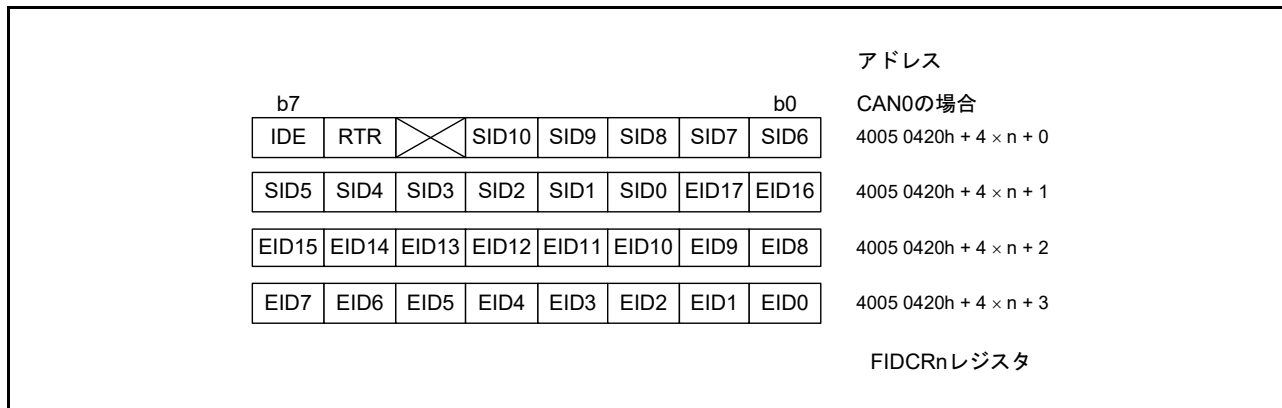


図 30.15 FIDCRn レジスタの構成 (n = 0、1)

30.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能により、指定範囲内にあるメールボックスに対して、複数 ID でメッセージの選択および受信が可能になります。

MKRk レジスタは、以下のとおり 29 ビットの標準 ID と拡張 ID をマスクできます。

- MKR0 は、メールボックス 0 ～ 3 を制御
- MKR1 は、メールボックス 4 ～ 7 を制御
- MKR2 は、メールボックス 8 ～ 11 を制御
- MKR3 は、メールボックス 12 ～ 15 を制御
- MKR4 は、メールボックス 16 ～ 19 を制御
- MKR5 は、メールボックス 20 ～ 23 を制御
- MKR6 は、通常メールボックスモードの場合はメールボックス 24 ～ 27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御
- MKR7 は、通常メールボックスモードの場合はメールボックス 28 ～ 31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CTLR.IDFM[1:0] ビットが 10b (ミックス ID モード) のとき、MBj_ID.IDE ビットが有効です。

MBj_ID.RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス (0 ～ 23) は、アクセプタンスフィルタ処理に MKR0 ～ MKR5 レジスタの中から対応する 1 つのレジスタを使用します。受信 FIFO メールボックス (28 ～ 31) は、アクセプタンスフィルタ処理に MKR6 および MKR7 レジスタの 2 つを使用します。

受信 FIFO はまた、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理積の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することが可能です。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる標準 ID と拡張 ID の値が FIDCR0 および FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

異なるデータフレームとリモートフレームの値が FIDCR0 および FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 30.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 30.17 は、アクセプタンスフィルタ機能を示しています。

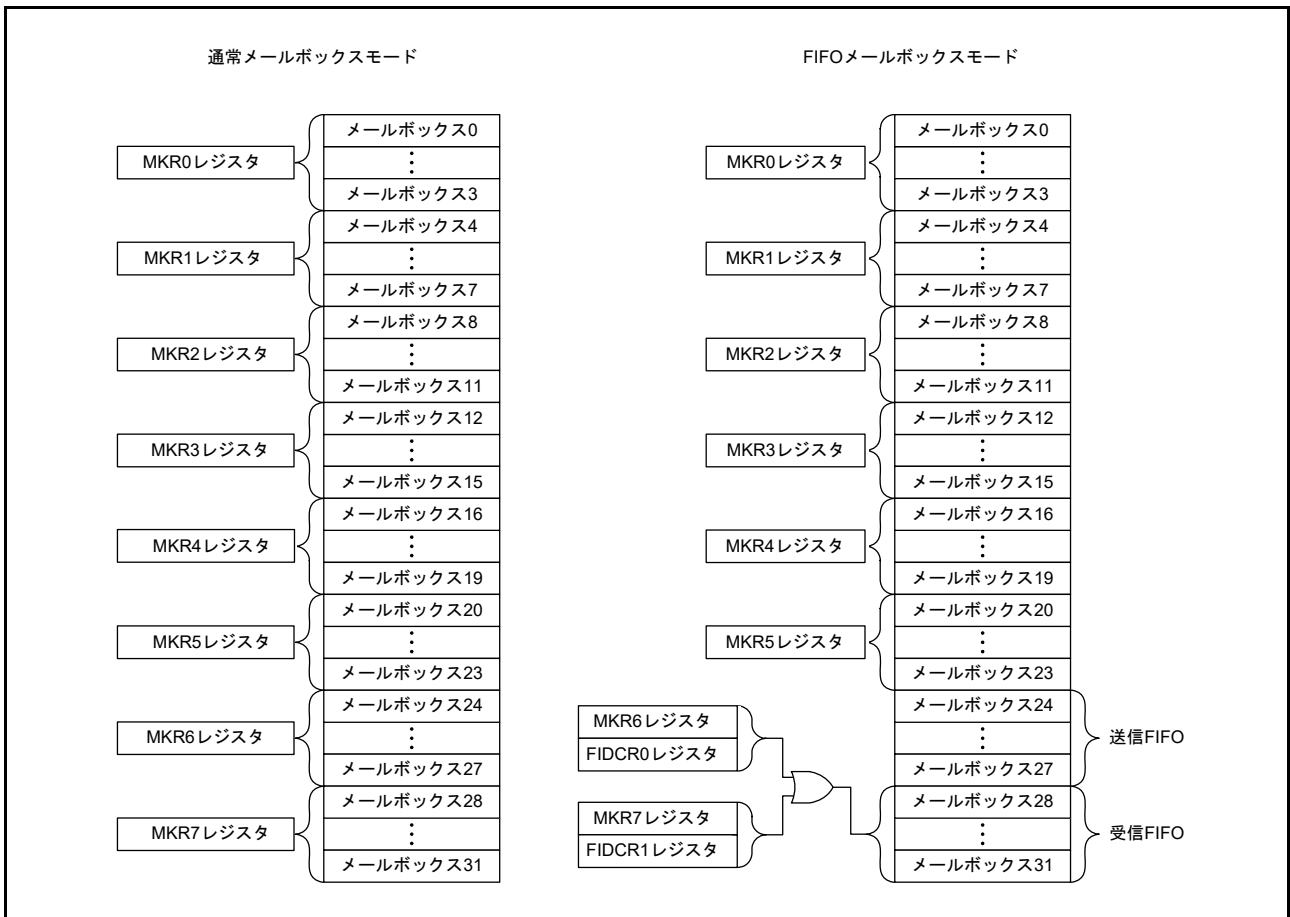


図 30.16 マスクレジスタとメールボックスの対応関係

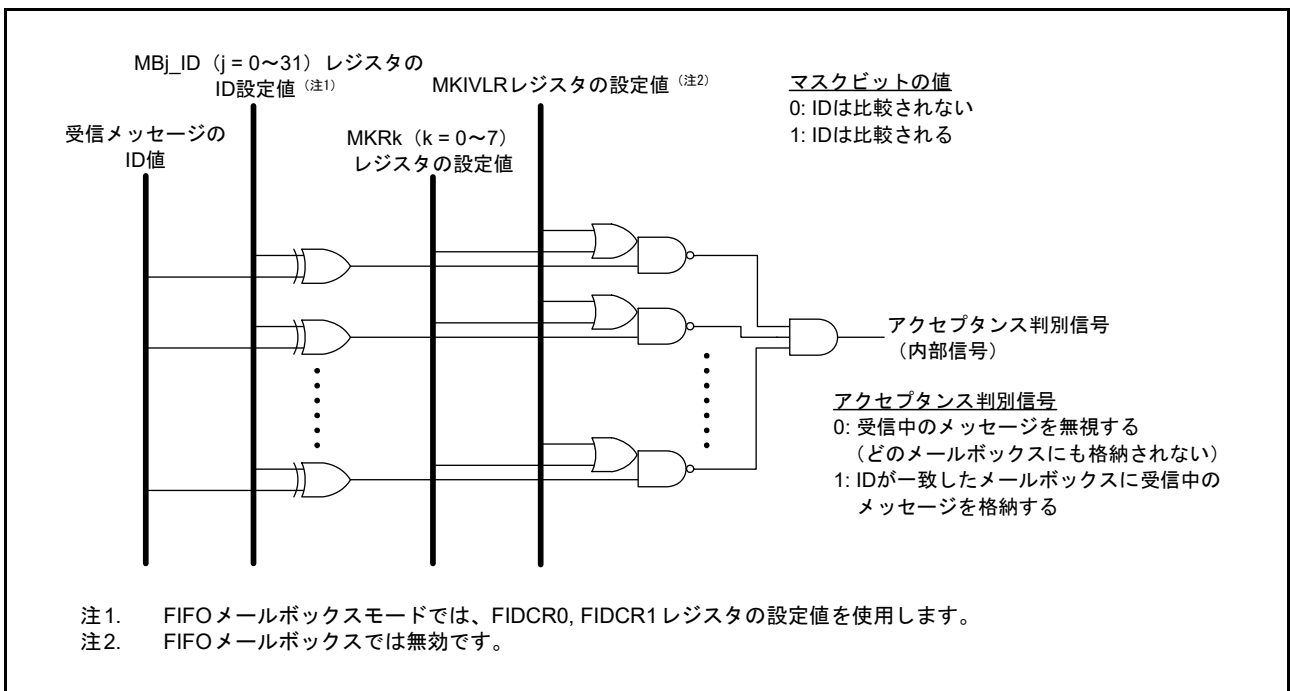


図 30.17 アクセプタンスフィルタ機能

30.7 受信／送信

表 30.10 に、CAN 通信モードの設定方法を示します。

表 30.10 CAN 受信モードと送信モードの設定

MCTL_TXjと MCTL_RXj. TRMREQ	MCTL_TXjと MCTL_RXj. RECREQ	MCTL_TXjと MCTL_RXj. ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アボート
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL_RXj レジスタを 00h にします
- 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、最も番号の小さいメールボックスを優先して受信メッセージが格納されます
- CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを設定する前に、MCTL_TXj レジスタが 00h であることと、アボート処理が待機中でないことを確認してください

30.7.1 受信

図 30.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。この例は、MCTL_RXj レジスタ（j=0~31）の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

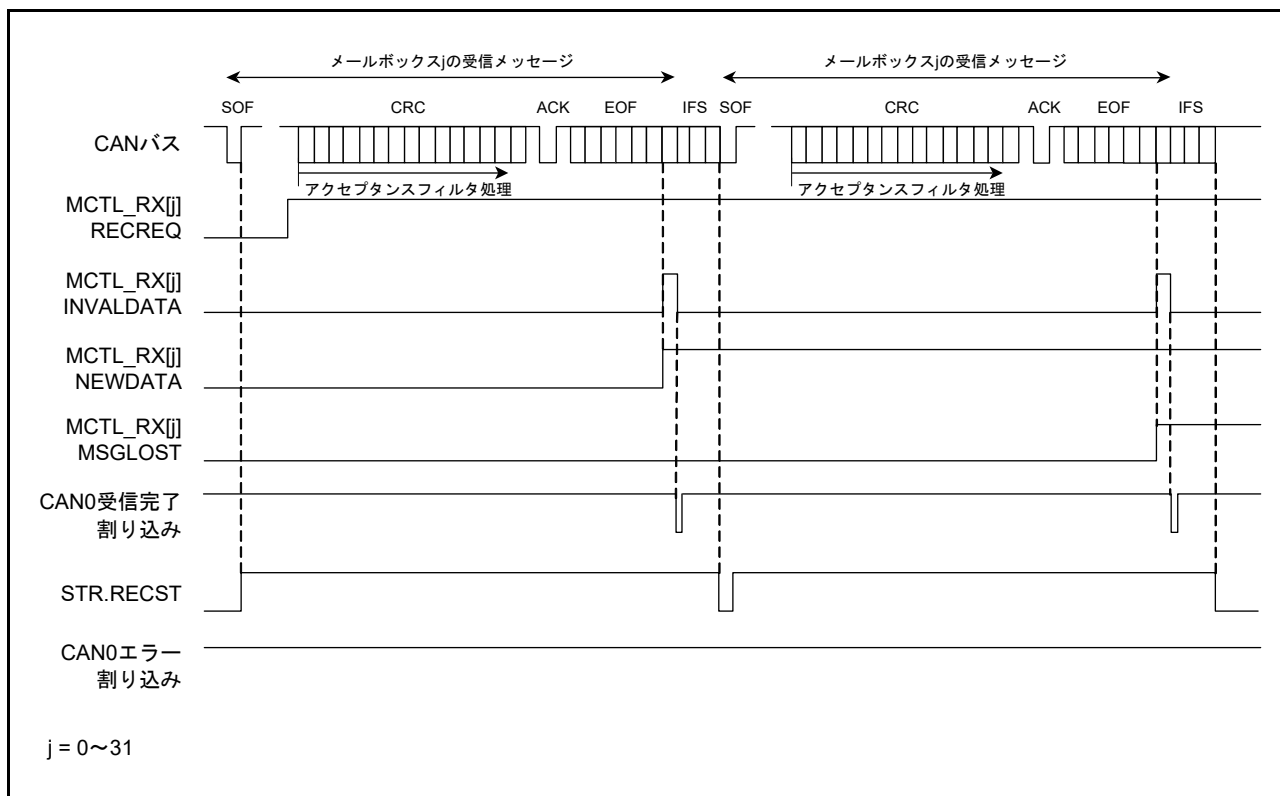


図 30.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL_RXj.NEWDATA フラグが 1（新しいメッセージをメールボックスに格納中または格納済み）になります。同時に MCTL_RXj.INVALIDDATA フラグが 1（メッセージを更新中）になります。そのメールボックスにメッセージ全体が転送された後、INVALIDDATA フラグが再度 0（メッセージは有効）になります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALIDDATA フラグが 0 であれば、CAN0 受信完了割り込み要求が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL_RXj.NEWDATA フラグが 0 になる前に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 30.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL_RXj レジスタ (j=0~31) の受信条件に一致する2つの連続した CAN メッセージを受信したときに、CAN モジュールが2番目のメッセージをオーバーランする場合の動作です。

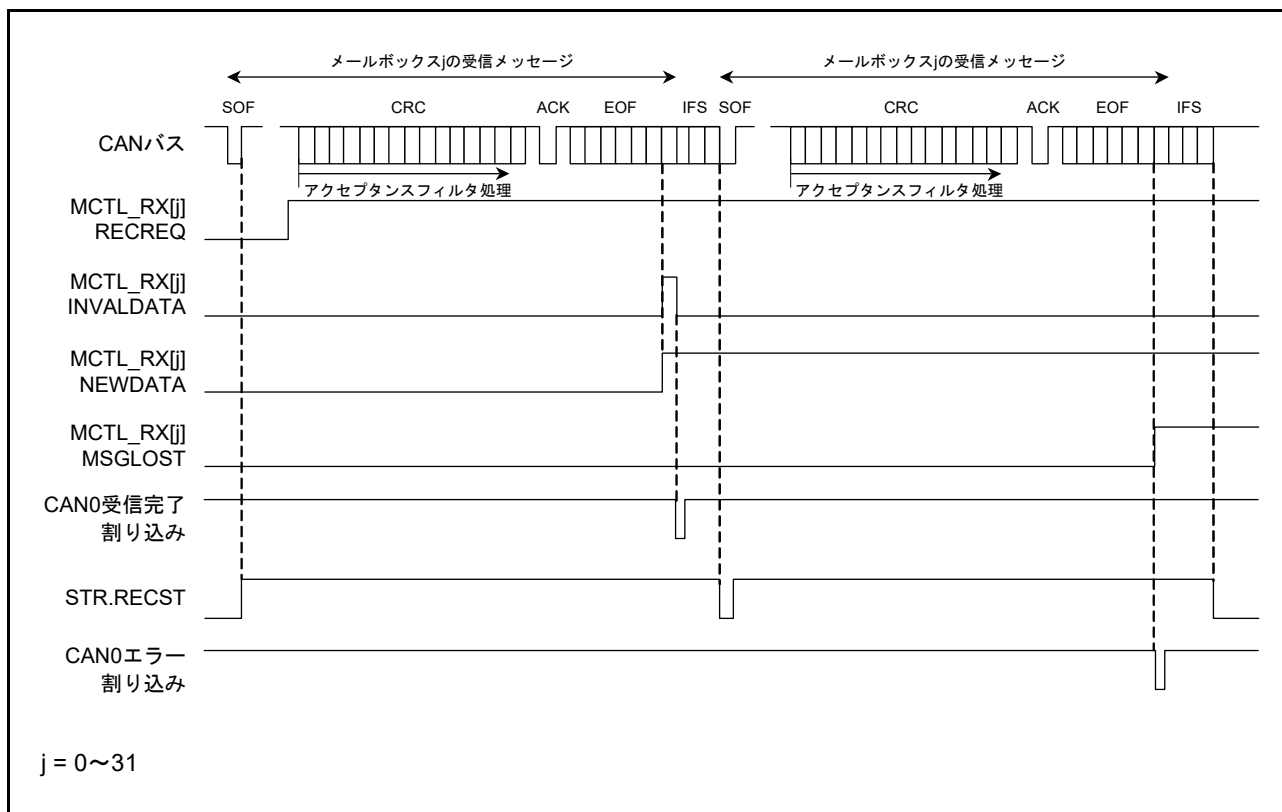


図 30.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ~ 5. はオーバーライトモードと同じです。

6. オーバーランモードでは、MCTL_RXj.NEWDATA フラグが 0 になる前に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST フラグが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

30.7.2 送信

図 30.20 にデータフレーム送信時の動作例を示します。

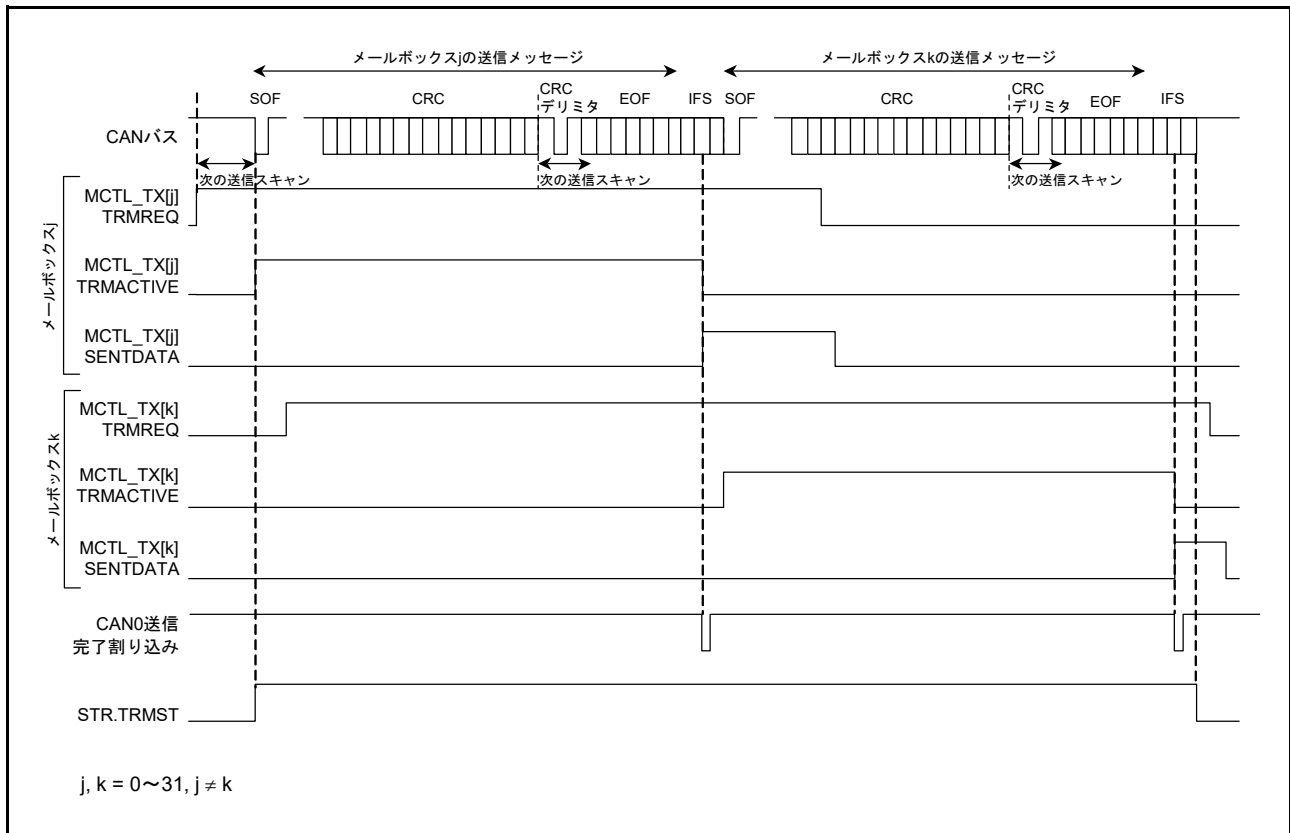


図 30.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTL_TXj.TRMREQ ビット (j = 0 ~ 31) を 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスが、メールボックススキャンにより決定されます。送信メールボックスが決定されると、MCTL_TXj.TRMACTIVE フラグが 1 (送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで) になり、さらに STR.TRMST フラグが 1 (送信中) になって、CAN モジュールは送信を開始します (注 1)。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャンが開始されます。
3. アービトレーションロストが発生せずに送信が完了すると、MCTL_TXj.SENTDATA フラグが 1 (送信完了) になり、TRMACTIVE フラグが 0 (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグおよび TRMREQ ビットを 0 にした後、SENTDATA フラグおよび TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。

30.8 割り込み

CAN モジュールには、チャンネルごとに下記の割り込みがあります。表 30.11 に CAN 割り込みの一覧を示します。

- メールボックス 0～31 の CAN0 受信完了割り込み (CAN0_RXM)
- メールボックス 0～31 の CAN0 送信完了割り込み (CAN0_TXM)
- CAN0 受信 FIFO 割り込み (CAN0_RXF)
- CAN0 送信 FIFO 割り込み (CAN0_TXF)
- CAN0 エラー割り込み (CAN0_ERS)

CAN0 のエラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、以下の要因がトリガされているかを調べてください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 30.11 CAN 割り込み

モジュール	割り込み名称	割り込み要因	要因フラグ
CAN0	CAN0_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CAN0_RXF	受信FIFOメッセージ受信 (MIER_FIFO.MB29 = 0)	RFCR.RFUST[2:0]
		受信FIFOワーニング (MIER_FIFO.MB29 = 1)	
	CAN0_TXF	送信FIFOメッセージ送信完了 (MIER_FIFO.MB25 = 0)	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了 (MIER_FIFO.MB25 = 1)	
	CAN0_RXM	メールボックス0～31メッセージ受信	MCTL_RX[0].NEWDATA～ MCTL_RX[31].NEWDATA
	CAN0_TXM	メールボックス0～31メッセージ送信完了	MCTL_TX[0].SENTDATA～ MCTL_TX[31].SENTDATA

30.9 使用上の注意事項

30.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CAN の動作を許可または禁止することが可能です。CAN モジュールは、リセット後に停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

30.9.2 動作クロックの設定

CAN モジュールでは、以下のクロック制約を満たす必要があります。

- $f_{PCLKB} \geq f_{CANMCLK}$
- CAN モジュールを使用する場合、ICLK と PCLKB のクロック周波数比は 2:1 でなければいけません。これ以外の設定では、動作は保証されません

31. シリアルペリフェラルインタフェース (SPI)

31.1 概要

本 MCU は、独立した 2 チャンネルのシリアルペリフェラルインタフェース (SPI) を内蔵しています。SPI チャンネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 31.1 に SPI の仕様を、表 31.2 に SPI で使用する入出力端子を、図 31.1 にブロック図を示します。

本章では、 n は A または B を指し、 i は 0 または 1 を指します。端子または信号名に付加された小文字の i は 0 ~ 3 の値を表します。

表 31.1 SPIの仕様 (1/2)

項目	内容
チャンネル数	2チャンネル
SPI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI動作 (4線式) またはクロック同期式動作 (3線式) によるシリアル通信が可能 • 送信のみ動作が可能 • 通信モードは、全二重/送信のみから選択可能 • RSPCK極性切り替え • RSPCK位相切り替え
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストを選択可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信/受信バッファは32ビット
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ポーレートジェネレータでPCLKBを分周してRSPCKを生成 (2~4096分周までプログラム可能) • スレーブモード時、PCLKBの最小4分周のクロックをRSPCKとして入力可能 (RSPCKの最大周波数はPCLKBの4分周) High幅: PCLKBの2サイクル、Low幅: PCLKBの2サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは32ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出 (注1) • パリティエラー検出
SSL制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり4本のSSL端子 (SSLn0~SSLn3) • シングルマスタモード時: SSLn0~SSLn3端子は出力用 • マルチマスタモード時: SSLn0端子は出力用、SSLn1~SSLn3端子は出力用または不使用 • スレーブモード時: SSLn0端子は入力用、SSLn1~SSLn3端子は不使用 • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期) • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期) • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK周期 (設定単位: 1RSPCK周期) • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 以下のコマンドをサポート SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、MSB/LSBファースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みによる転送起動 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPIエラー割り込み (モードフォルト、オーバーラン、パリティエラー) • SPIアイドル割り込み (SPIアイドル) • 送信完了割り込み

表 31.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	以下のイベントをイベントリンクコントローラへ出力可能 <ul style="list-style-type: none"> • 受信バッファフル信号 • 送信バッファエンプティ信号 • モードフォルト/アンダーラン/オーバーラン/パリティエラーの信号 • SPIアイドル信号 • 送信完了信号
その他	<ul style="list-style-type: none"> • SPI初期化機能 • ループバックモード
モジュールストップ機能	モジュールストップ状態を設定可能

注 1. マスタ受信かつ RSPCK 自動停止機能有効時には、オーバーランエラーを検出したときに転送クロックが停止するため、オーバーランエラーが発生しません。

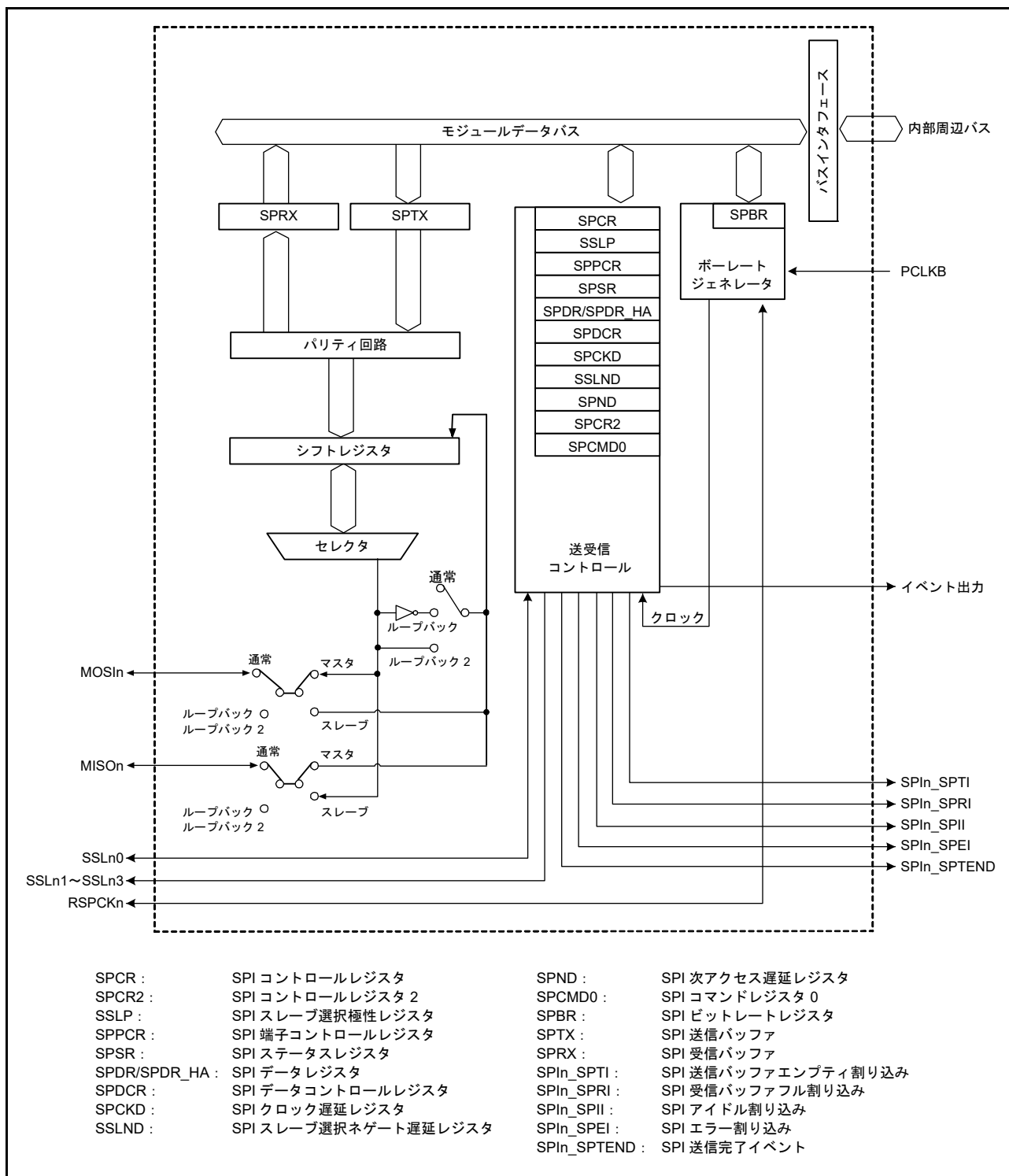


図 31.1 SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力状態、マルチマスタとスレーブの場合は入力状態になります。RSPCKn、MOSIn、MISOIn 端子の入出力方向は、マスタ/スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。

詳細は、31.3.2 SPI 端子の制御を参照してください。

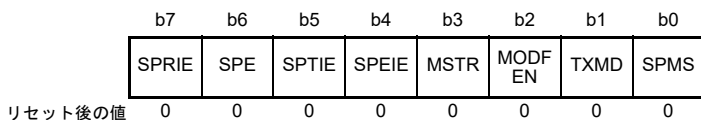
表 31.2 SPIの端子構成

チャンネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

31.2 レジスタの説明

31.2.1 SPI コントロールレジスタ (SPCR)

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h



ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0: SPI動作 (4線式) を選択 1: クロック同期式動作 (3線式) を選択	R/W
b1	TXMD	通信動作モード選択	0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
b2	MODFEN	モードフォルトエラー検出許可	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	SPIマスタ/スレーブモード選択	0: スレーブモードを選択 1: マスタモードを選択	R/W
b4	SPEIE	SPIエラー割り込み許可	0: SPIエラー割り込み要求を禁止 1: SPIエラー割り込み要求を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
b6	SPE	SPI機能有効	0: SPI機能は無効 1: SPI機能は有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0: SPI受信バッファフル割り込み要求を禁止 1: SPI受信バッファフル割り込み要求を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合は、以降の動作を行わないでください。

SPMS ビット (SPI モード選択)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 ~ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO_n 端子の 3 端子を用いて通信を行います。また、マスタモード (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合は、CPHA ビットを 1 にしてください。スレーブモード (SPCR.MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット (通信動作モード選択)

全二重同期式のシリアル通信または送信のみ動作を選択します。

本ビットを 1 にした場合、SPI は送信動作のみを行い、受信動作を行いません (31.3.6 データ転送モードを参照してください)。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可)

モードフォルトエラーの検出を許可または禁止します (31.3.8 エラー検出を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLn0 ~ SSLn3 端子の入出力方向を決定します (31.3.2 SPI 端子の制御を参照)。

MSTR ビット (SPI マスタ/スレーブモード選択)

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO_n、SSLn0 ~ SSLn3 端子の方向を決定します。

SPEIE ビット (SPI エラー割り込み許可)

以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

31.3.8 エラー検出を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可)

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。SPI 機能を無効 (SPE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、割り込みが発生します。

SPE ビット (SPI 機能有効)

SPI 機能を有効または無効にします。

SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にできません。詳細は、31.3.8 エラー検出を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、31.3.9 SPI の初期化を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (SPI 受信バッファフル割り込み許可)

SPI がシリアル転送完了後の受信バッファフルを検出したときの、割り込み要求の発生を許可または禁止します。

31.2.2 SPI スレーブ選択極性レジスタ (SSLP)

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0 信号極性設定	0 : SSL0 信号はアクティブLow 1 : SSL0 信号はアクティブHigh	R/W
b1	SSL1P	SSL1 信号極性設定	0 : SSL1 信号はアクティブLow 1 : SSL1 信号はアクティブHigh	R/W
b2	SSL2P	SSL2 信号極性設定	0 : SSL2 信号はアクティブLow 1 : SSL2 信号はアクティブHigh	R/W
b3	SSL3P	SSL3 信号極性設定	0 : SSL3 信号はアクティブLow 1 : SSL3 信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を書き換えた場合、以降の動作を行わないでください。

31.2.3 SPI 端子コントロールレジスタ (SPPCR)

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0 : 通常モード 1 : ループバックモード (データを反転して送信)	R/W
b1	SPLP2	SPIループバック2	0 : 通常モード 1 : ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0 : MOSIアイドル時のMOSIn端子の出力レベルをLowに設定 1 : MOSIアイドル時のMOSIn端子の出力レベルをHighに設定	R/W
b5	MOIFE	MOSIアイドル値固定許可	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPLP ビット (SPI ループバック)

SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続および反転し、ループバックモードを確立します。

SPLP2 ビット (SPI ループバック 2)

SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続し、ループバックモード 2 を確立します。

MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが 1 の場合、SSL ネゲート期間における MOSIn 端子の出力値を決定します。

MOIFE ビット (MOSI アイドル値固定許可)

SPI がマスタモードかつ SSL ネゲート期間であるとき、MOSIn 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

31.2.4 SPI ステータスレジスタ (SPSR)

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0: オーバーランエラーなし 1: オーバーランエラー発生	R/(W) (注1)
b1	IDLNF	SPIアイドルフラグ	0: SPIがアイドル状態 1: SPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーおよびアンダーランエラーなし 1: モードフォルトエラーまたはアンダーランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダーランエラーフラグ	0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1) 本ビットはMODFが0の場合、無効です。	R/W (注1) (注2)
b5	SPTEF	SPI送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/(W) (注1) (注3)
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0: SPDR/SPDR_HAに有効なデータなし 1: SPDR/SPDR_HAに有効なデータあり	R/(W) (注1) (注3)

- 注1. フラグをクリアするため、1を読んだあとに0を書き込むことのみ可能です。
 注2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。
 注3. 書く場合、1としてください。

OVRF フラグ (オーバーランエラーフラグ)

オーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE = 1) の場合、オーバーランエラーは発生せず、このフラグは1になりません。詳細は、31.3.8.1 オーバーランエラーを参照してください。

[1になる条件]

- SPCR.TXMD ビットが0かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0になる条件]

- このフラグが1の状態、SPSR レジスタを読んだ後、このフラグに0を書いたとき

IDLNF フラグ (SPI アイドルフラグ)

SPI の転送状況を示します。

[1になる条件]

マスタモード:

- このフラグの [0になる条件] に示した、マスタモード時の条件 1. と条件 2. のいずれも満たさないとき

スレーブモード:

- SPCR.SPE ビットが1 (SPI機能が有効) のとき

[0になる条件]

マスタモード:

- 条件 1. を満たすとき、または条件 2. および条件 3. を満たすとき

1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
2. 送信バッファ (SPTX) が空である (次転送データがセットされていない)
3. SPI 内部シーケンサがアイドル状態 (次アクセス遅延までの動作が完了) のとき

スレーブモード:

- 条件 1. を満たすとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーまたはアンダーランエラーの発生を示します。UDRF フラグを使用して、どちらのエラーが発生したかを識別してください。

[1 になる条件]

マルチマスタモード:

- SPCR.MSTR ビットが 1 (マスタモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、SSLni 端子の入力レベルがアクティブレベルに変化し、SPI がモードフォルトエラーを検出したとき

スレーブモード:

- 条件 1. または 2. を満たしているとき
1. SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合
 2. SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

UDRF フラグ (アンダーランエラーフラグ)

アンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、このフラグに 0 を書いたとき

SPTEF フラグ (SPI 送信バッファエンプティフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

[1 になる条件]

- 条件 1. または 2. を満たしているとき
1. SPI 初期化のため、SPCR.SPE ビットが 0 であるとき
 2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR_HA レジスタへデータが書き込まれたとき

SPTEF ビットが 1 の場合のみ、データを SPDR/SPDR_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

SPRF フラグ (SPI 受信バッファフルフラグ)

SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。

[1 になる条件]

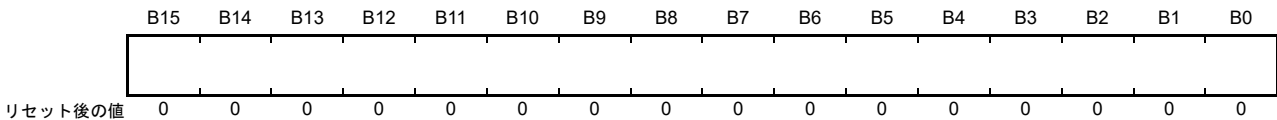
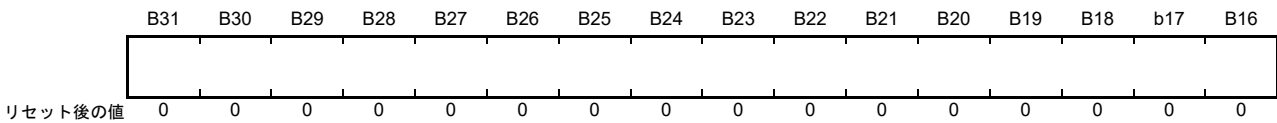
- SPI コントロールレジスタ (SPCR) の通信動作モード選択ビット (TXMD) が 0、かつ SPRF ビットが 0 の状態で、シリアル転送が終了し、SPI がシフトレジスタから SPDR/SPDR_HA へ受信データを転送したとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されない

[0 になる条件]

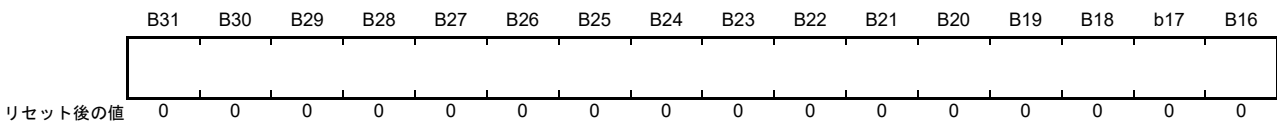
- SPDR/SPDR_HA レジスタから受信データが読み出されたとき

31.2.5 SPI データレジスタ (SPDR/SPDR_HA)

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h



アドレス SPI0.SPDR_HA 4007 2004h, SPI1.SPDR_HA 4007 2104h



SPDR/SPDR_HA レジスタは、SPI 送受信のデータを格納するバッファとのインタフェースです。ワードアクセス (SPLW ビット=1) のときは、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビット=0) のときは、SPDR_HA レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR/SPDR_HA レジスタにマッピングされています。図 31.2 に、SPDR/SPDR_HA レジスタの構成図を示します。

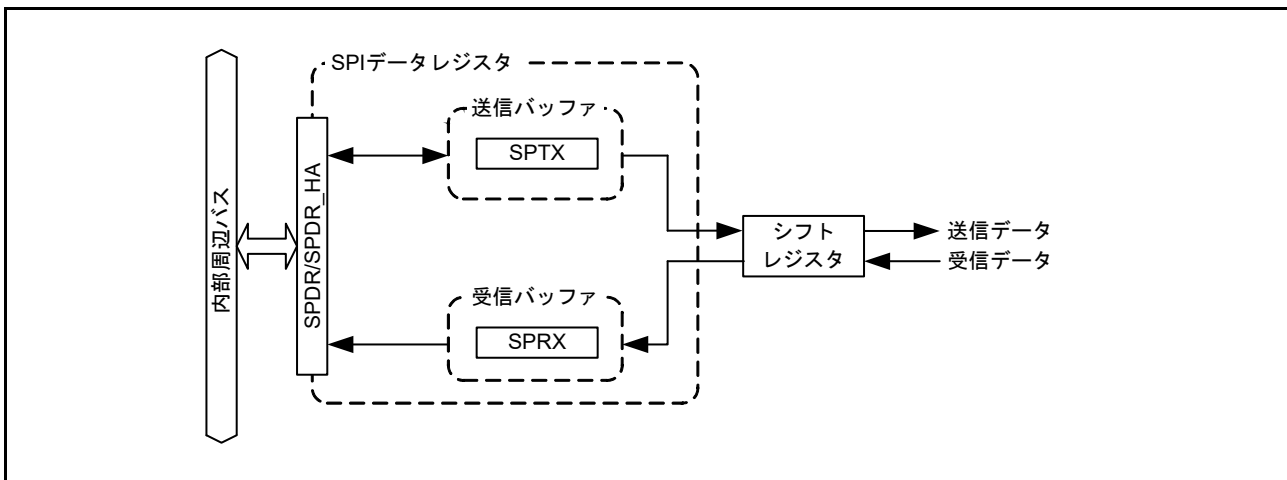


図 31.2 SPDR/SPDR_HA レジスタの構成図

送信バッファと受信バッファは、それぞれ 1 ステージあります。SPDR/SPDR_HA レジスタの 1 アドレスに、この合計 2 バッファステージがすべてマッピングされます。SPDR/SPDR_HA レジスタへ書き込まれたデータは、送信バッファステージ (SPTX) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、SPRX の関連ビットには、SPTX の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRX[8:0] ビットには受信データが格納され、SPTX[31:9] ビットには SPRX[31:9] ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 ステージを持ち、合計 8 バイトになります。これらの 8 バイトを SPDR/SPDR_HA レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

(a) 書き込み

SPDR/SPDR_HA レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR/SPDR_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。

図 31.3 に、SPDR/SPDR_HA レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

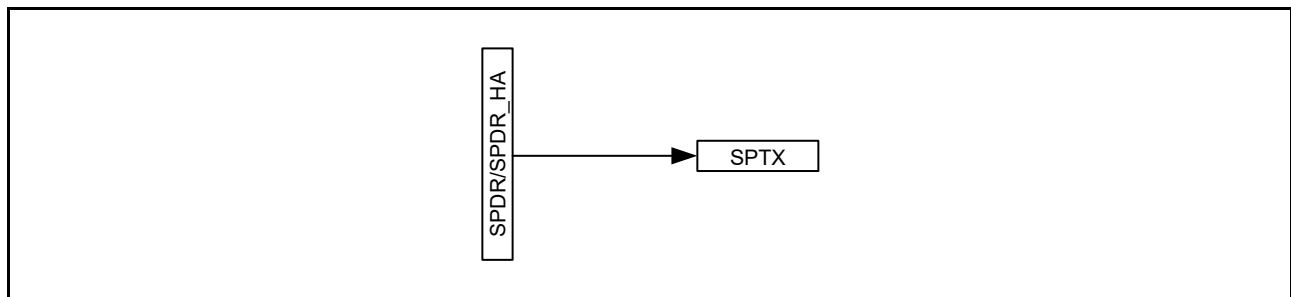


図 31.3 書き込み時の SPDR/SPDR_HA レジスタの構成図

送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき)、SPTX に転送データを書き込んでください。書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファ (SPTX) にデータを書き込んでも、バッファの値は更新されません。

(b) 読み出し

SPDR/SPDR_HA レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すか選択できます。

図 31.4 に、SPDR/SPDR_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

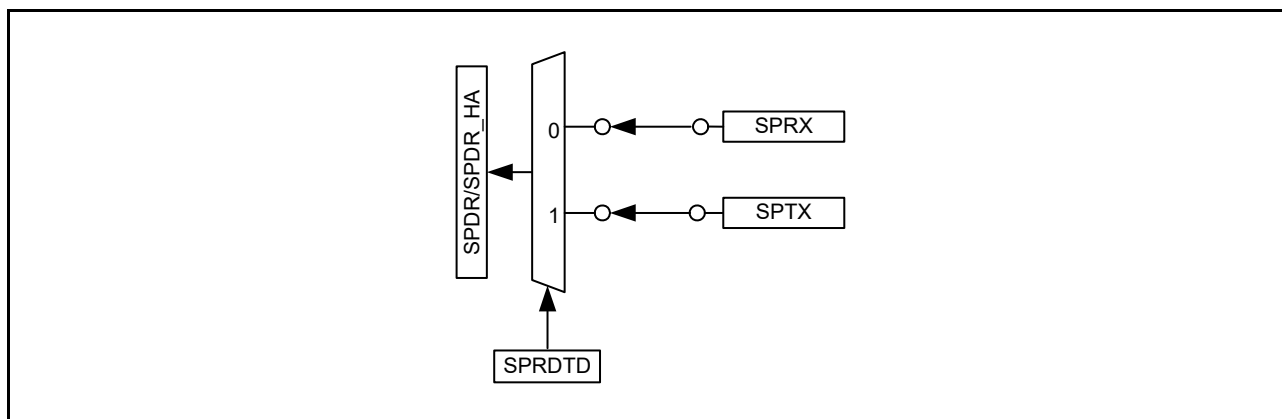


図 31.4 読み出し時の SPDR/SPDR_HA レジスタの構成図

送信バッファエンpty割り込み発生後、データフレームの書き込み完了から次の送信バッファエンpty割り込み発生 (SPSR.SPTEF = 0) までの期間は、送信バッファの読み出し値はすべて 0 となります。

31.2.6 SPI ビットレートレジスタ (SPBR)

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMD0.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを使用してください。

ビットレートは、SPBR レジスタの設定値と SPCMD0.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記の通りです。

$$\text{Bit rate} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

この式で、n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

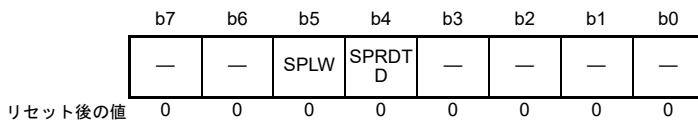
SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 31.3 に示します。

表 31.3 SPBRレジスタ設定値、BRDV[1:0]ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0]ビット (N)	分周比	PCLKB = 32MHzのときのビットレート
0	0	2	16.0Mbps
1	0	4	8.00Mbps
2	0	6	5.33Mbps
3	0	8	4.00Mbps
4	0	10	3.20Mbps
5	0	12	2.67Mbps
5	1	24	1.33Mbps
5	2	48	667kbps
5	3	96	333kbps
255	3	4096	7.81kbps

31.2.7 SPI データコントロールレジスタ (SPDCR)

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信/送信データ選択	0 : SPDR/SPDR_HAの値は受信バッファから読み出す 1 : SPDR/SPDR_HAの値は送信バッファから読み出す (送信バッファが空の場合のみ)	R/W
b5	SPLW	SPIワードアクセス/ハーフワードアクセス設定	0 : SPDR_HAが有効 (ハーフワードアクセス) 1 : SPDRが有効 (ワードアクセス)	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPRDTD ビット (SPI 受信/送信データ選択)

SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ直前に書き込まれた値が読み出されます。送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1 のとき) に、送信バッファを読み出してください。

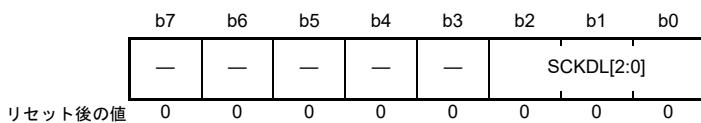
詳細は、31.2.5 SPI データレジスタ (SPDR/SPDR_HA) を参照してください。

SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。また、SPLW ビットが 0 のとき、SPCMD0.SPB[3:0] ビット (SPI データ長設定ビット) の設定は、8 ~ 16 ビットにしてください。20、24、32 ビットに設定した場合の動作はしないでください。

31.2.8 SPI クロック遅延レジスタ (SPCKD)

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SCKDL[2:0]	RSPCK 遅延設定	<table style="font-size: small; border: none;"> <tr> <td style="text-align: right;">b2</td> <td style="text-align: right;">b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 1RSPCK</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 2RSPCK</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 3RSPCK</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 4RSPCK</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 5RSPCK</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 6RSPCK</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 7RSPCK</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 8RSPCK</td> </tr> </table>	b2	b0		0	0	0: 1RSPCK	0	0	1: 2RSPCK	0	1	0: 3RSPCK	0	1	1: 4RSPCK	1	0	0: 5RSPCK	1	0	1: 6RSPCK	1	1	0: 7RSPCK	1	1	1: 8RSPCK	R/W
b2	b0																														
0	0	0: 1RSPCK																													
0	0	1: 2RSPCK																													
0	1	0: 3RSPCK																													
0	1	1: 4RSPCK																													
1	0	0: 5RSPCK																													
1	0	1: 6RSPCK																													
1	1	0: 7RSPCK																													
1	1	1: 8RSPCK																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

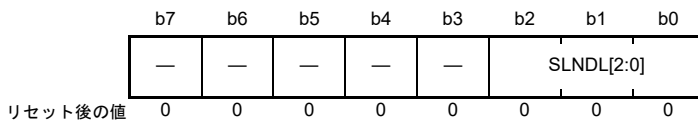
SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPCKD レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SCKDL[2:0] ビット (RSPCK 遅延設定)

SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

31.2.9 SPI スレーブ選択ネゲート遅延レジスタ (SSLND)

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定	<table style="font-size: small; border: none;"> <tr> <td style="padding-right: 5px;">b2</td> <td style="padding-right: 5px;">b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 1RSPCK</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 2RSPCK</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 3RSPCK</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 4RSPCK</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 5RSPCK</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 6RSPCK</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 7RSPCK</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 8RSPCK</td> </tr> </table>	b2	b0		0	0	0: 1RSPCK	0	0	1: 2RSPCK	0	1	0: 3RSPCK	0	1	1: 4RSPCK	1	0	0: 5RSPCK	1	0	1: 6RSPCK	1	1	0: 7RSPCK	1	1	1: 8RSPCK	R/W
b2	b0																														
0	0	0: 1RSPCK																													
0	0	1: 2RSPCK																													
0	1	0: 3RSPCK																													
0	1	1: 4RSPCK																													
1	0	0: 5RSPCK																													
1	0	1: 6RSPCK																													
1	1	0: 7RSPCK																													
1	1	1: 8RSPCK																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

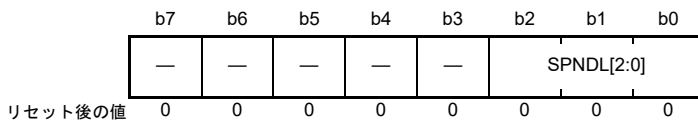
SSLND レジスタは、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SSLND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SLNDL[2:0] ビット (SSL ネゲート遅延設定)

SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0] ビットを 000b にしてください。

31.2.10 SPI 次アクセス遅延レジスタ (SPND)

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh



ビット	シンボル	ビット名	機能	R/W																											
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	<table style="font-size: small; border: none;"> <tr> <td style="padding-right: 10px;">b2</td> <td style="padding-right: 10px;">b0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0: 1RSPCK + 2PCLKB</td> </tr> <tr> <td>0</td> <td>0</td> <td>1: 2RSPCK + 2PCLKB</td> </tr> <tr> <td>0</td> <td>1</td> <td>0: 3RSPCK + 2PCLKB</td> </tr> <tr> <td>0</td> <td>1</td> <td>1: 4RSPCK + 2PCLKB</td> </tr> <tr> <td>1</td> <td>0</td> <td>0: 5RSPCK + 2PCLKB</td> </tr> <tr> <td>1</td> <td>0</td> <td>1: 6RSPCK + 2PCLKB</td> </tr> <tr> <td>1</td> <td>1</td> <td>0: 7RSPCK + 2PCLKB</td> </tr> <tr> <td>1</td> <td>1</td> <td>1: 8RSPCK + 2PCLKB</td> </tr> </table>	b2	b0		0	0	0: 1RSPCK + 2PCLKB	0	0	1: 2RSPCK + 2PCLKB	0	1	0: 3RSPCK + 2PCLKB	0	1	1: 4RSPCK + 2PCLKB	1	0	0: 5RSPCK + 2PCLKB	1	0	1: 6RSPCK + 2PCLKB	1	1	0: 7RSPCK + 2PCLKB	1	1	1: 8RSPCK + 2PCLKB	R/W
b2	b0																														
0	0	0: 1RSPCK + 2PCLKB																													
0	0	1: 2RSPCK + 2PCLKB																													
0	1	0: 3RSPCK + 2PCLKB																													
0	1	1: 4RSPCK + 2PCLKB																													
1	0	0: 5RSPCK + 2PCLKB																													
1	0	1: 6RSPCK + 2PCLKB																													
1	1	0: 7RSPCK + 2PCLKB																													
1	1	1: 8RSPCK + 2PCLKB																													
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																											

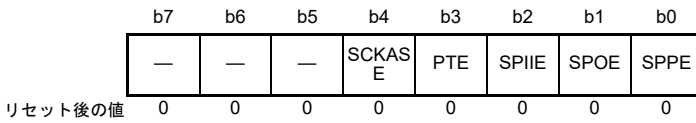
SPND レジスタは、SPCMD0.SPNDEN ビットが1の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに1の状態、SPND レジスタの内容を書き換えた場合、以降の動作は行わないでください。

SPNDL[2:0] ビット (SPI 次アクセス遅延設定)

SPCMD0.SPNDEN ビットが1の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

31.2.11 SPI コントロールレジスタ 2 (SPCR2)

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh



ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可	0 : 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1 : SPCR.TXMD = 0の場合 : 送信データにパリティビットを付加し、受信データのパリティビットをチェックする SPCR.TXMD = 1の場合 : 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0 : 送受信に偶数パリティを選択 1 : 送受信に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0 : アイドル割り込み要求禁止 1 : アイドル割り込み要求許可	R/W
b3	PTE	パリティ自己診断	0 : パリティ回路自己診断機能は無効 1 : パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0 : RSPCK自動停止機能は無効 1 : RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットの設定値を変更した場合、以降の動作は行わないでください。

SPPE ビット (パリティ許可)

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、本ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。SPCR.TXMD ビットが 1 で、本ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット (パリティモード)

偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット (SPI アイドル割り込み許可)

SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット (パリティ自己診断)

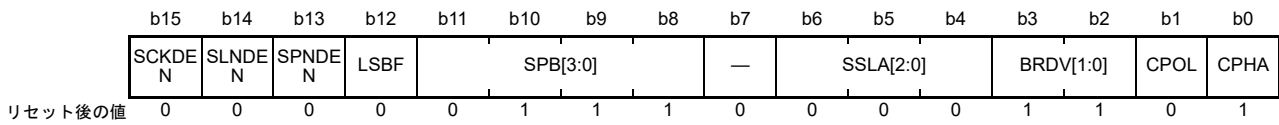
パリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効にします。

SCKASE ビット (RSPCK 自動停止機能有効)

RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、[31.3.8.1 オーバーランエラー](#)を参照してください。

31.2.12 SPI コマンドレジスタ 0 (SPCMD0)

アドレス SPI0.SPCMD0 4007 2010h, SPI1.SPCMD0 4007 2110h



ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0 : 立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1 : 立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0 : アイドル時のRSPCKをLowに設定 1 : アイドル時のRSPCKをHighに設定	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0 : ベースのビットレート 0 1 : ベースのビットレートの2分周 1 0 : ベースのビットレートの4分周 1 1 : ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0 : SSL0 0 0 1 : SSL1 0 1 0 : SSL2 0 1 1 : SSL3 1 x x : 設定禁止 x : Don't care	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	SPI LSB ファースト	0 : MSB ファースト 1 : LSB ファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0 : 次アクセス遅延は1RSPCK + 2PCLKB 1 : 次アクセス遅延はSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0 : SSLネゲート遅延は1RSPCK 1 : SSLネゲート遅延はSPISレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可	0 : RSPCK遅延は1RSPCK 1 : RSPCK遅延はSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMD0 レジスタは、マスタモードの SPI に対して転送フォーマットを設定するレジスタです。

本レジスタは、送信バッファが空 (SPSR.SPTEF = 1)、すなわち次転送のデータがセットされていない状態で、このレジスタを参照したときに送信されるデータの設定前に行ってください。

SPCR.SPE ビットが 1 の状態で、SPCMD0 レジスタの内容を書き換えた場合は、以降の動作は行わないでください。

CPHA ビット (RSPCK 位相設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定)

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定)

SPBR レジスタの設定値との組み合わせでビットレートを決定します (31.2.6 SPI ビットレートレジスタ (SPBR) を参照してください)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。BRDV[1:0] ビットに異なる値に設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定)

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。

SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

SPB[3:0] ビット (SPI データ長設定)

マスタモードまたはスレーブモードの SPI に対して、転送データ長を設定します。

SPLW ビットが 0 の場合、これらのビットは 8 ~ 16 ビットに設定してください。

LSBF ビット (SPI LSB ファースト)

マスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

SPNDEN ビット (SPI 次アクセス遅延許可)

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を $1RSPCK + 2PCLKB$ に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可)

マスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を $1RSPCK$ に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従って SSL ネゲート遅延で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット (RSPCK 遅延設定許可)

マスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を $1RSPCK$ にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従って RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

31.3 動作説明

本項では、「シリアル転送期間」という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間という意味で使用します。

31.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- マルチマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 31.4 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 31.4 SPIのモードと SPCR レジスタ設定値の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 または 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKn 信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力/Hi-Z	入力	出力
MISOIn 信号	出力/Hi-Z	入力	入力	出力	入力
SSLn0 信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLn1 ~ SSLn3 信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL 極性変更機能	あり	あり	あり	—	—
転送速度	~ PCLKB/4	~ PCLKB/2	~ PCLKB/2	~ PCLKB/4	~ PCLKB/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32ビット				
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンブティ割り込み要求で送信バッファ書き込み (SPTEF = 1)	送信バッファエンブティ割り込み要求で送信バッファ書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンブティ割り込み要求で送信バッファ書き込み (SPTEF = 1)
送信バッファエンブティ検出	あり				
受信バッファフル検出	あり (注2)				
オーバーランエラー検出	あり (注2)	あり (注2) (注4)	あり (注2) (注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2) (注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

- 注 1. この機能は本モードでは使用しません。
 注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。
 注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。
 注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

31.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットの設定に基づき、端子状態を切り替えます。端子状態と各ビットの設定値との関係を表 31.5 に示します。入出力ポートの設定も同じになるよう設定してください。

表 31.5 端子状態とビット設定値の関係

モード	端子	端子状態 (注2)
シングルマスタ (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS出力
	SSLn0 ~ SSLn3	CMOS出力
	MOSIn	CMOS出力
	MISOOn	入力
マルチマスタ (SPI 動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn (注3)	CMOS出力 / Hi-Z
	SSLn0	入力
	SSLn1 ~ SSLn3 (注3)	CMOS出力 / Hi-Z
	MOSIn (注3)	CMOS出力 / Hi-Z
スレーブ (SPI 動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力
	SSLn0	入力
	SSLn1 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS出力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	CMOS出力
	MISOOn	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力
	SSLn0 ~ SSLn3 (注5)	Hi-Z (注1)
	MOSIn	入力
	MISOOn	CMOS出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。

注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。

注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の SPI は、SPPCR.MOIFE、MOIFV ビットの設定に従って、SSL ネゲート期間の MOSI 信号値を表 31.6 のように決定します。

表 31.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

31.3.3 SPI システム構成例

31.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 31.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn0 ~ SSLn3 出力は使用されません。SPI スレーブの SSL 入力 は Low に固定され、SPI スレーブの選択状態を維持します。(注 1)

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

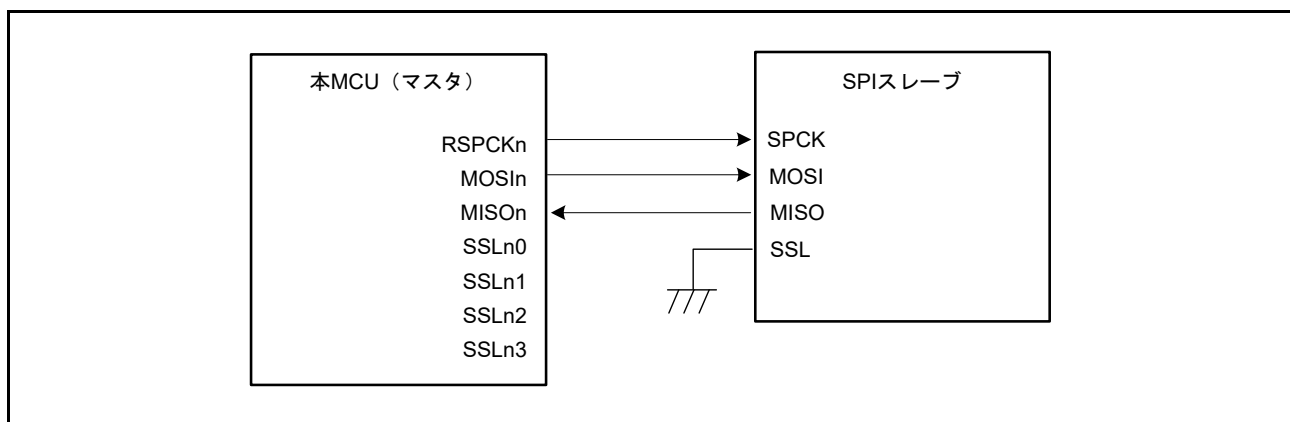


図 31.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)

31.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 31.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO 信号をドライブします。(注 1)

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn0 入力は Low に固定され、MCU (スレーブ) の選択状態を維持します。これにより、シリアル転送を実行することも可能です (図 31.7)。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

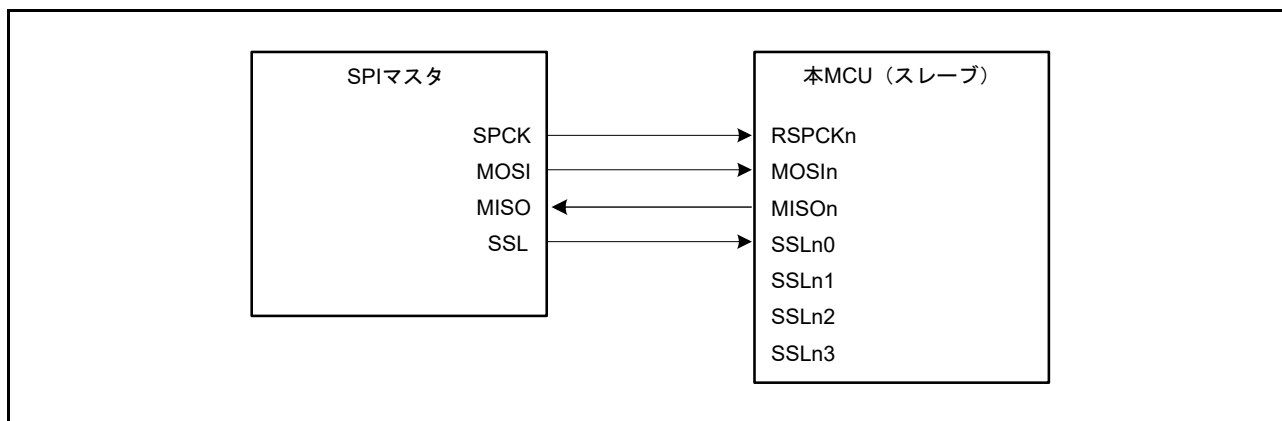


図 31.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 0)

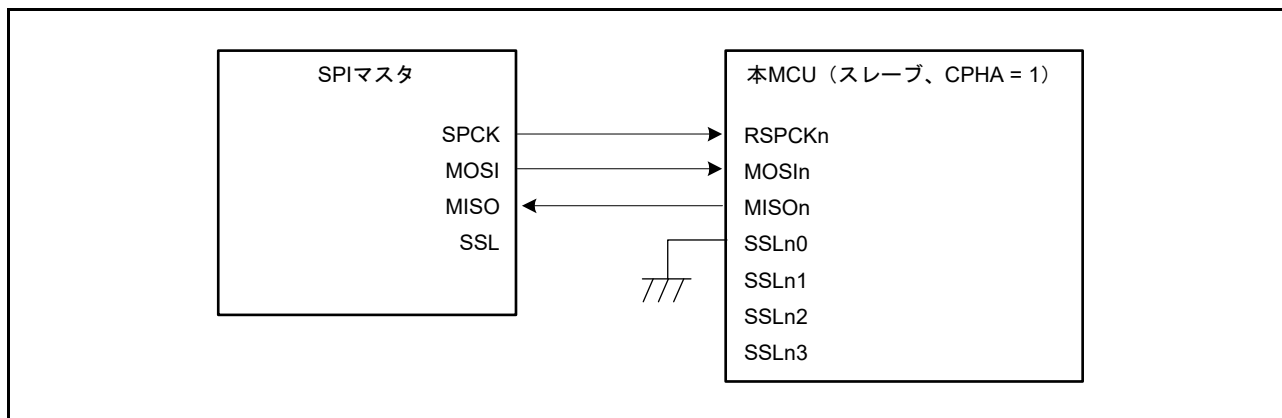


図 31.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、CPHA = 1)

31.3.3.3 シングルマスタとマルチスレーブ (MCU はマスタ)

図 31.8 に、MCU がマスタである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から SPI システムを構成しています。

MCU (マスタ) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて MCU (マスタ) の MISO_n 入力に接続します。MCU (マスタ) の SSLn0 ~ SSLn3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

MCU (マスタ) は、RSPCK、MOSI、SSLn0 ~ SSLn3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

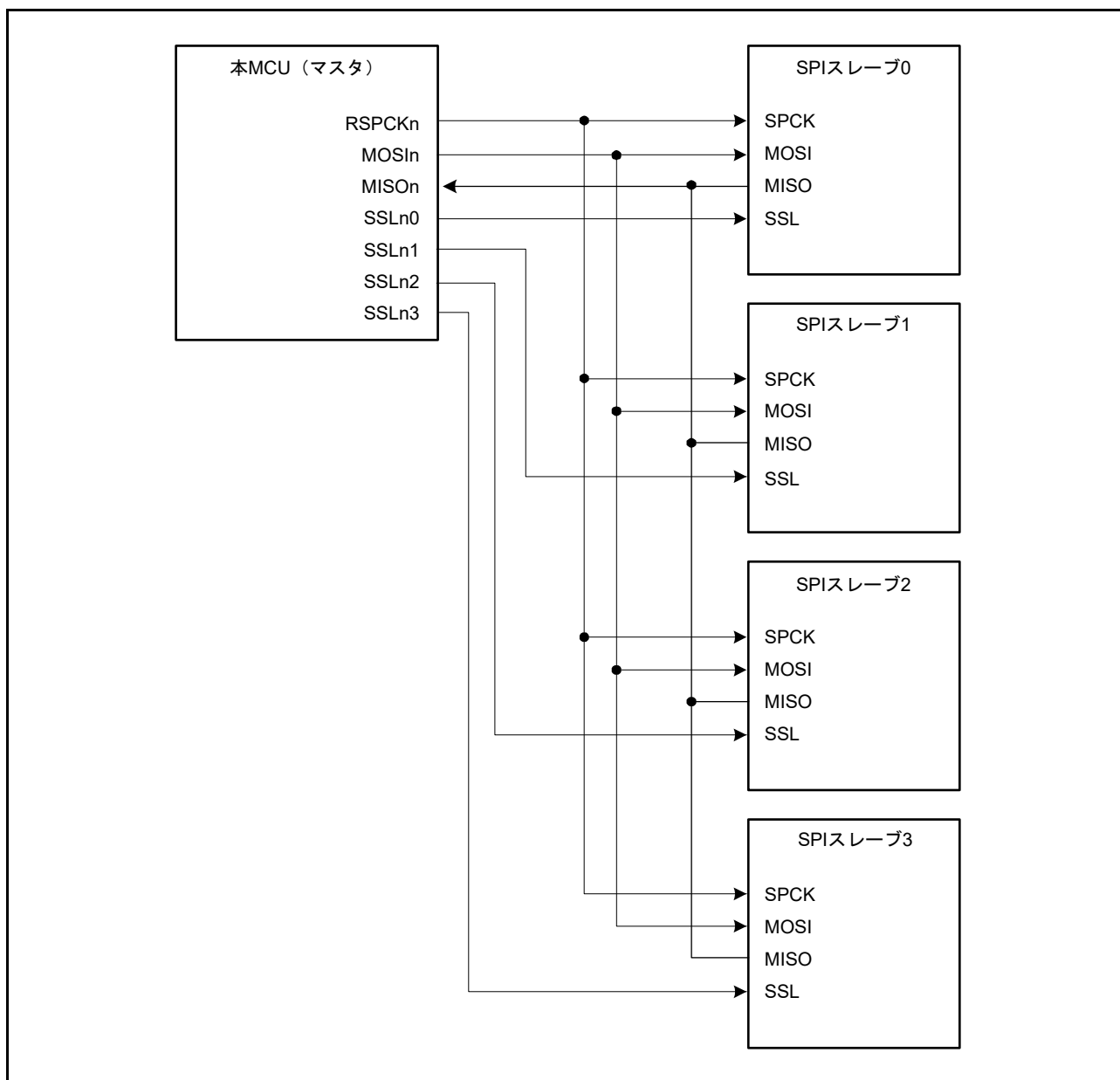


図 31.8 シングルマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.4 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 31.9 に、MCU がスレーブである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入りに接続します。MCU (スレーブ X、スレーブ Y) の MISO_n 出力は、すべて SPI マスタの MISO 入りに接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSLn0 入りに接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU スレーブ (X、Y) のうち、SSLn0 入りに Low を入力されているスレーブが、MISO_n 信号をドライブします。

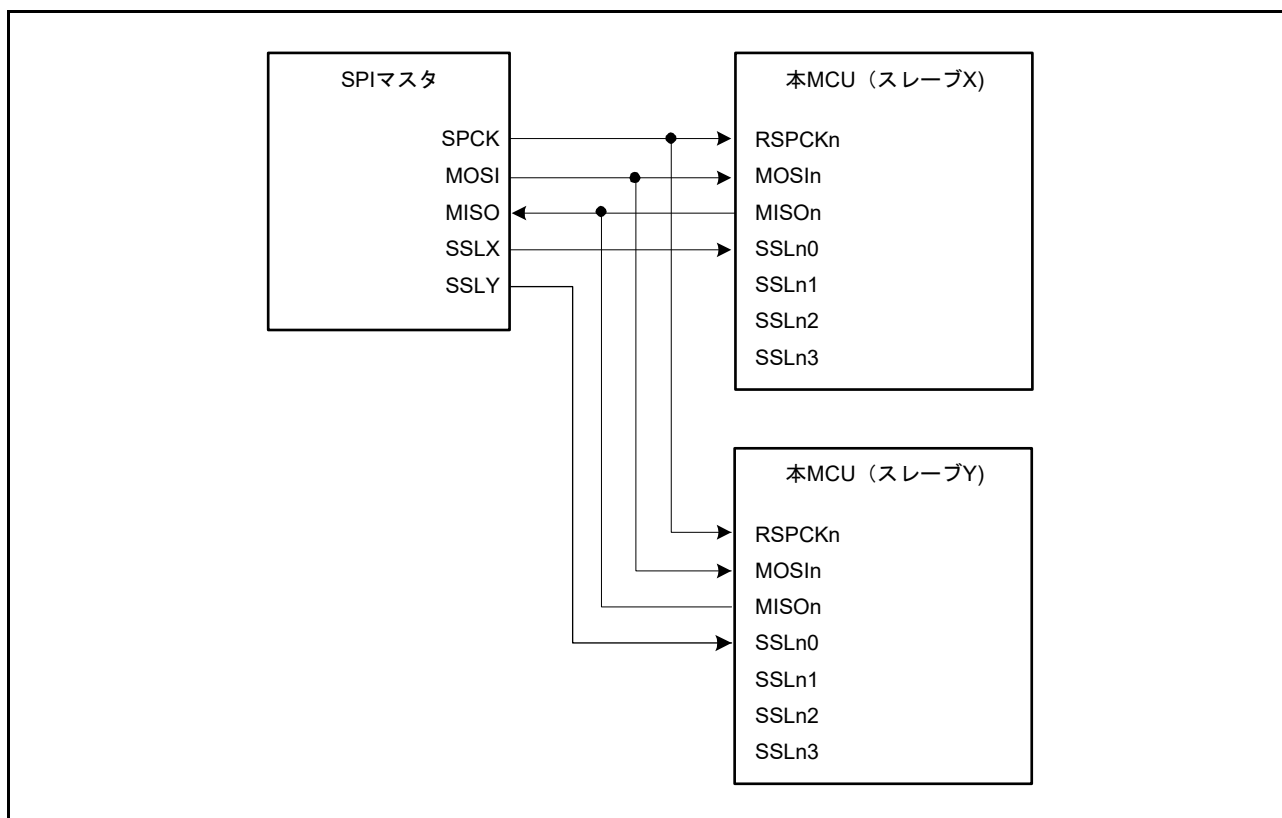


図 31.9 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

31.3.3.5 マルチマスタとマルチスレーブ (MCU はマスタ)

図 31.10 に、MCU がマスタである場合のマルチマスタ/マルチスレーブの SPI システム構成例を示します。この例では、2つの MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から SPI システムを構成しています。

MCU (マスタ X、マスタ Y) の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU (マスタ X、マスタ Y) の MISO_n 入力に接続します。MCU (マスタ X) の任意の汎用ポート Y 出力は、MCU (マスタ Y) の SSL_n0 入力に接続します。MCU (マスタ Y) の任意の汎用ポート X 出力は、MCU (マスタ X) の SSL_n0 入力に接続します。MCU (マスタ X、マスタ Y) の SSL_n1 出力と SSL_n2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成では、SSL_n0 入力、スレーブ接続用の SSL_n1 出力、SSL_n2 出力のみでシステムを構成できるので、MCU の SSL_n3 出力は必要ではありません。

MCU は、SSL_n0 入力レベルが High の場合には、RSPCK_n、MOSIn、SSL_n1、SSL_n2 をドライブします。SSL_n0 入力レベルが Low の場合には、MCU はモードフォルトエラーを検出し、RSPCK_n、MOSIn、SSL_n1、SSL_n2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

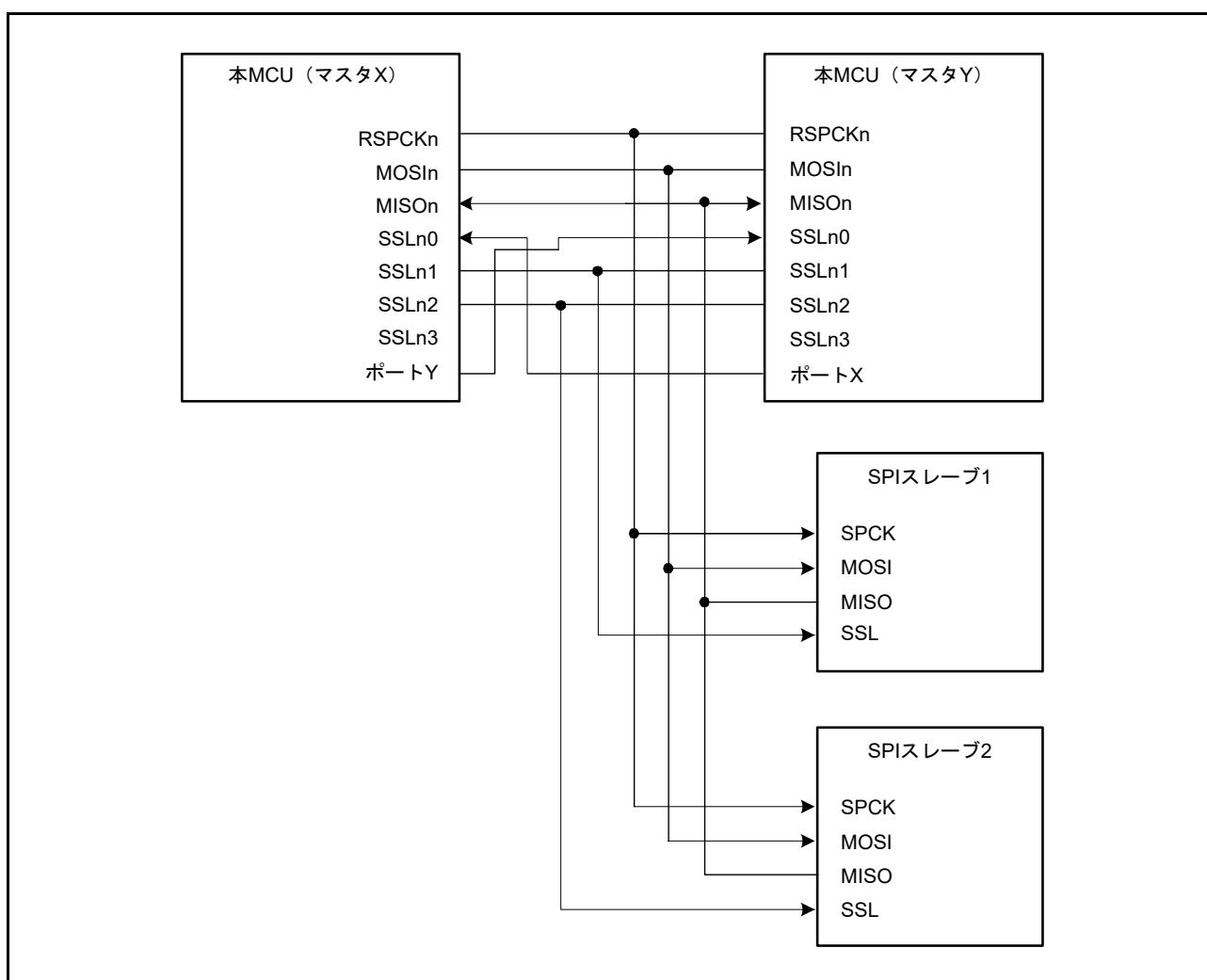


図 31.10 マルチマスタとマルチスレーブの構成例 (MCU はマスタ)

31.3.3.6 クロック同期式モードのマスタとスレーブ (MCU はマスタ)

図 31.11 に、MCU がマスタである場合のクロック同期式モードのマスタとスレーブ構成を示します。クロック同期式モードのマスタとスレーブでは、MCU (マスタ) の SSLn0 ~ SSLn3 は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn をドライブします。SPI スレーブは、MISO をドライブします。

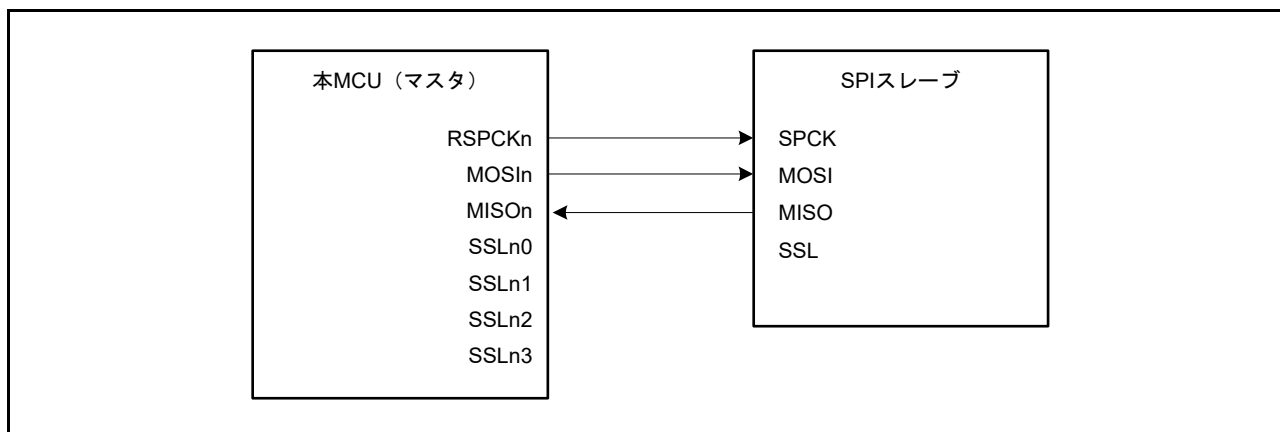


図 31.11 クロック同期式モードのマスタとスレーブの構成例 (MCU はマスタ)

31.3.3.7 クロック同期式モードのマスタとスレーブ (MCU はスレーブ)

図 31.12 に、MCU がスレーブである場合のクロック同期式モードのマスタとスレーブ構成を示します。MCU をクロック同期式モードのスレーブとして使用する場合には、MCU (スレーブ) は MISO n をドライブし、SPI マスタは SPCK と MOSI をドライブします。また、MCU (スレーブ) の SSLn0 ~ SSLn3 は使用しません。

SPCMD0.CPHA が 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できます。

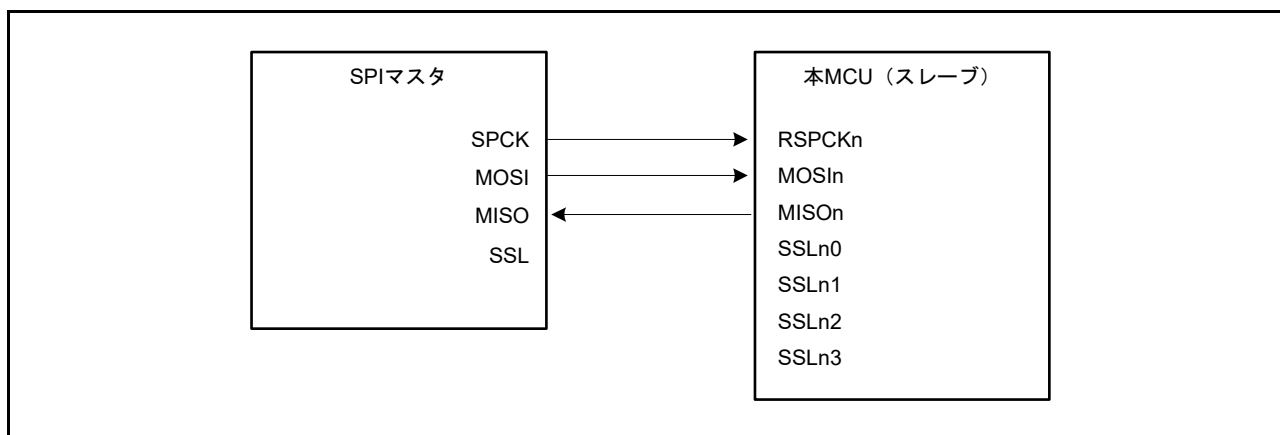


図 31.12 クロック同期式モードのマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

31.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMD0) と、SPI コントロールレジスタ 2 のパリティ有効ビット (SPCR2.SPPE) の設定値で決まります。並び順が MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

(a) パリティ機能無効時のデータフォーマット

パリティ機能が無効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。

(b) パリティ機能有効時のデータフォーマット

パリティ機能が有効の場合、SPI コマンドレジスタ 0 の SPI データ長設定ビット (SPCMD0.SPB[3:0]) で選択したビット長でデータの送受信が行われます。ただし、最終ビットはパリティビットです。

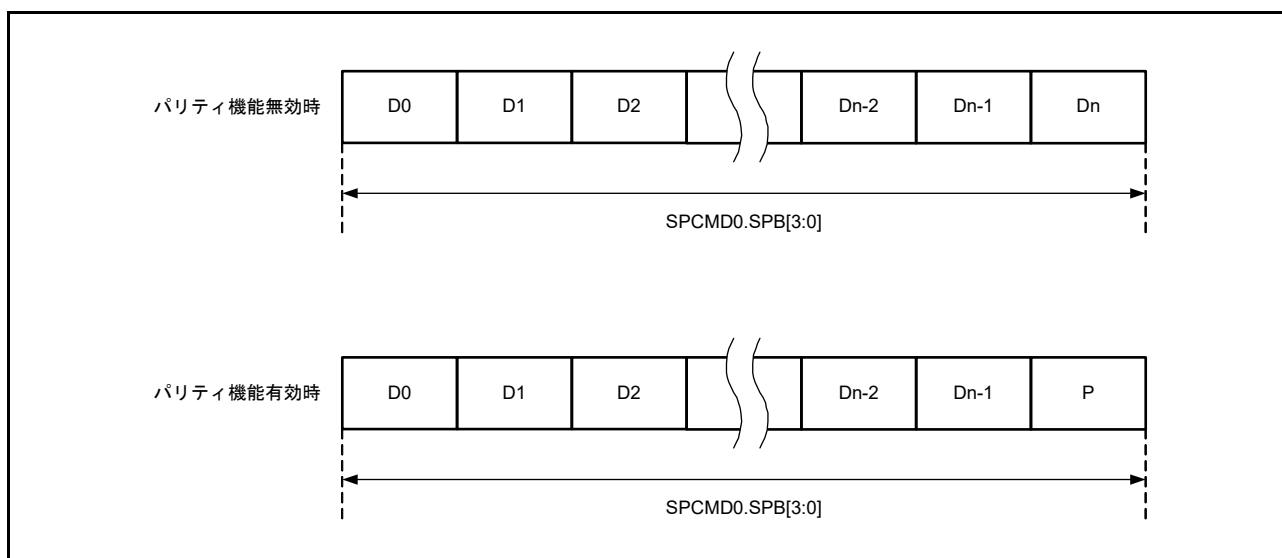


図 31.13 パリティ機能無効時と有効時のデータフォーマット

31.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) の動作

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR_HA) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) 32 ビットデータの MSB ファースト転送

図 31.14 に、パリティ機能無効時に、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

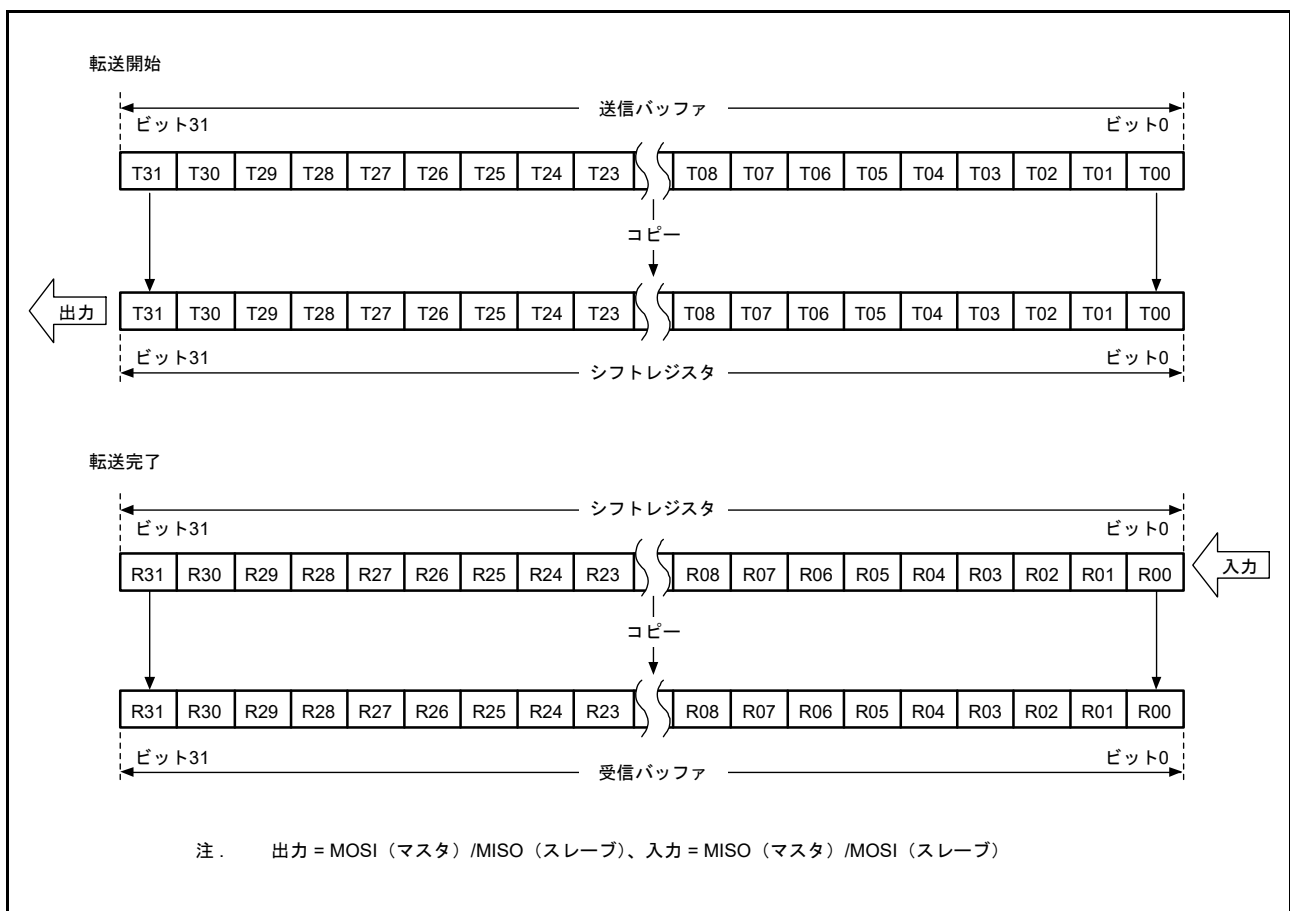


図 31.14 MSB ファースト転送 (32 ビットデータ/パリティ機能無効)

(2) 24 ビットデータの MSB ファースト転送

図 31.15 に、パリティ機能無効時に、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

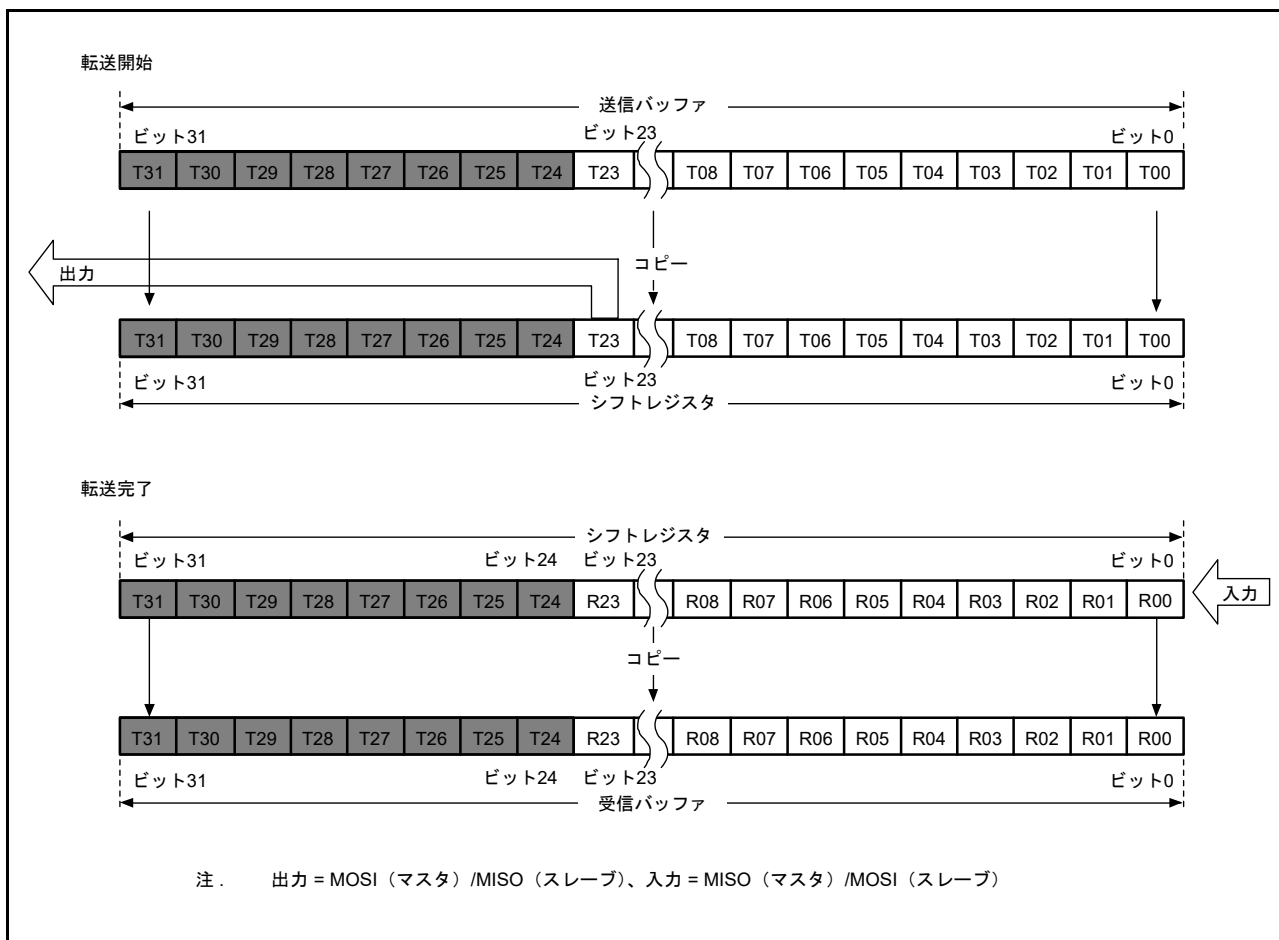


図 31.15 MSB ファースト転送 (24 ビットデータ/パリティ機能無効)

(3) 32 ビットデータの LSB ファースト転送

図 31.16 に、パリティ機能無効時、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ~ T00 をビット単位で、T00 ~ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ R31 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

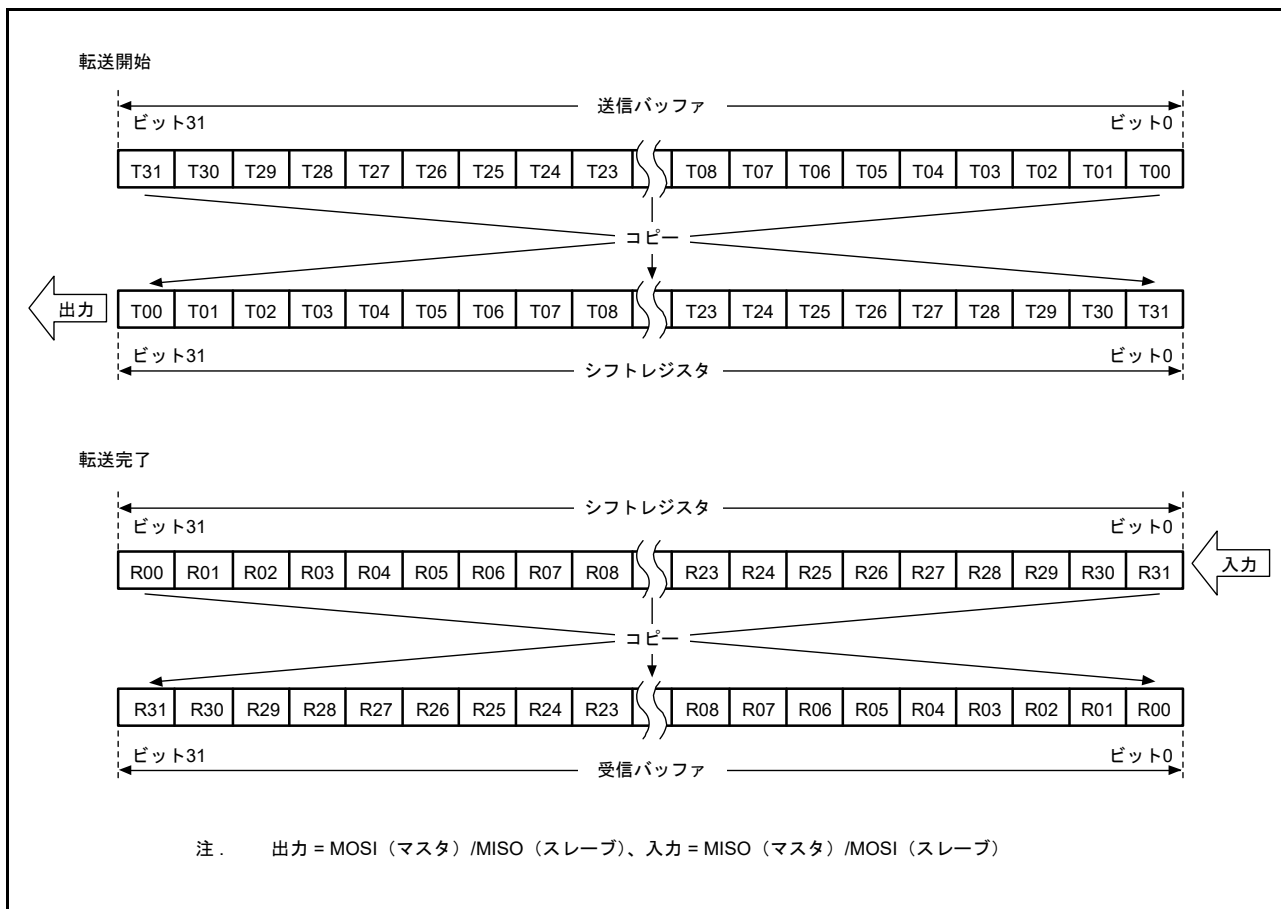


図 31.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) 24 ビットデータの LSB ファースト転送

図 31.17 に、パリティ機能無効時、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23 ~ T00) をビット単位で、T00 ~ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ R23 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

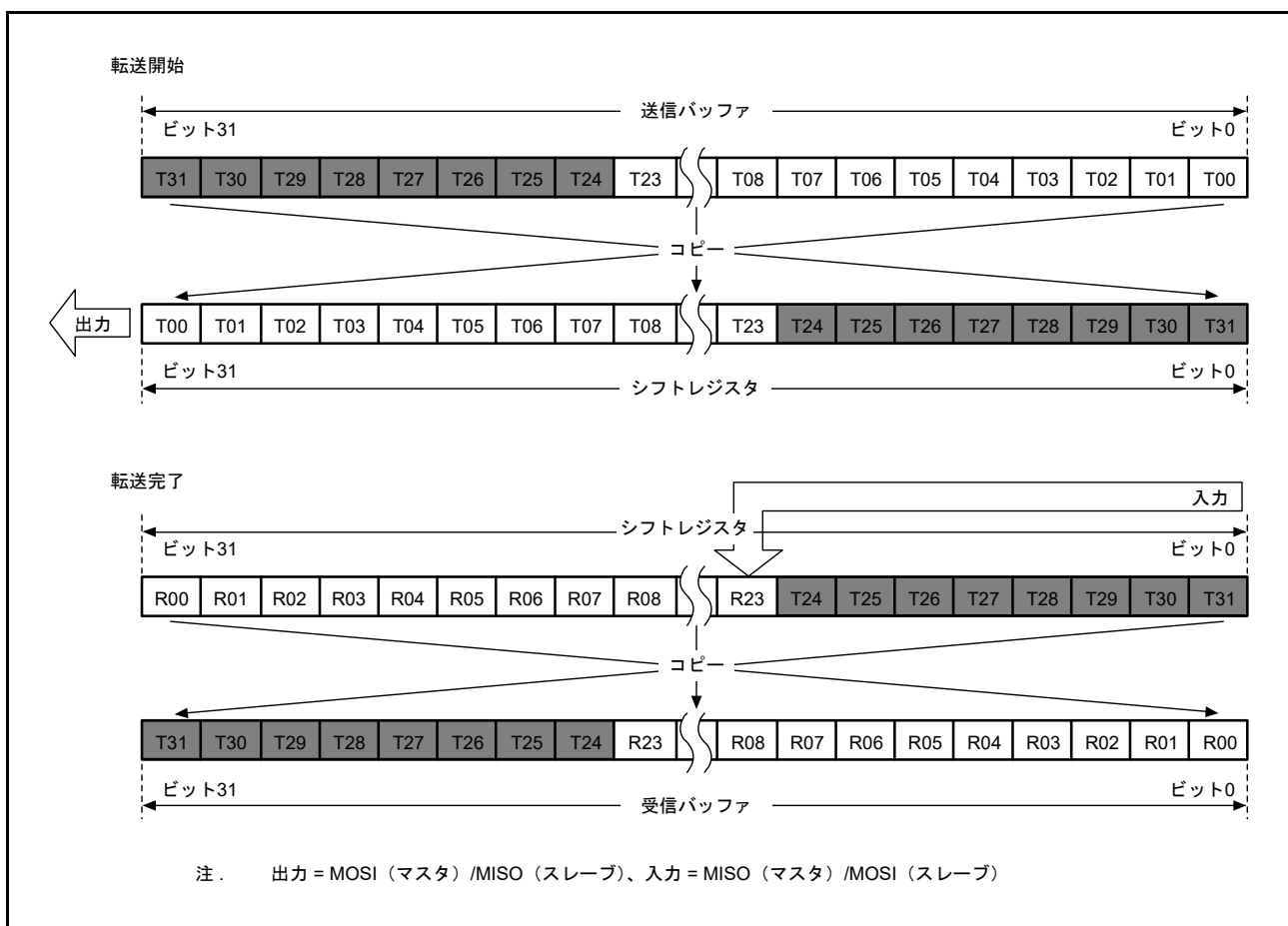


図 31.17 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

31.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアが計算します。

(1) 32 ビットデータの MSB ファースト転送

図 31.18 に、パリティ機能有効時、SPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初にビット T31 ~ T01 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T31 → T30 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R31 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ~ P のデータをチェックします。

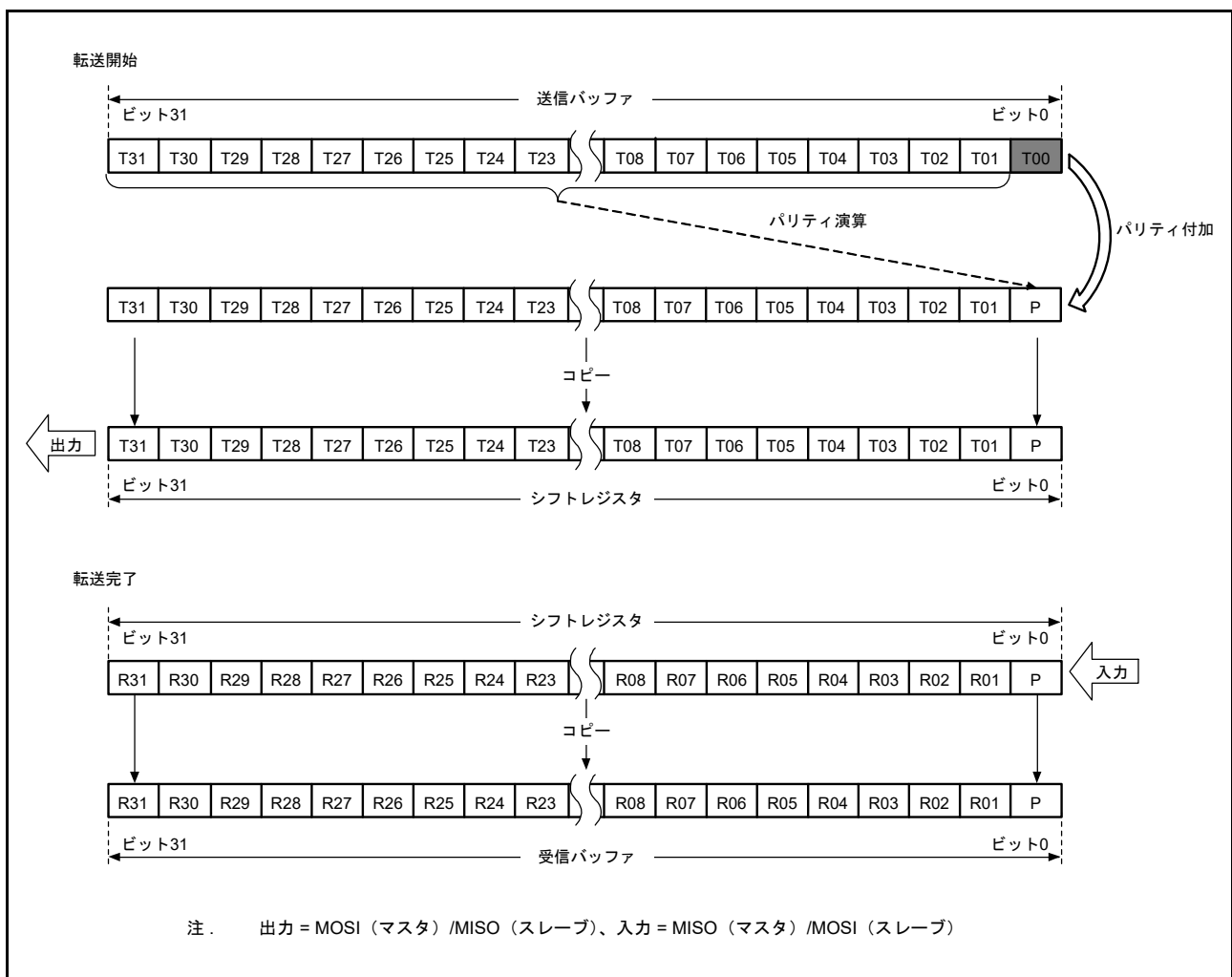


図 31.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) 24 ビットデータの MSB ファースト転送

図 31.19 に、パリティ機能有効時、SPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、ビット T23 ~ T01 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T23 → T22 → … T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R23 ~ P までデータがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

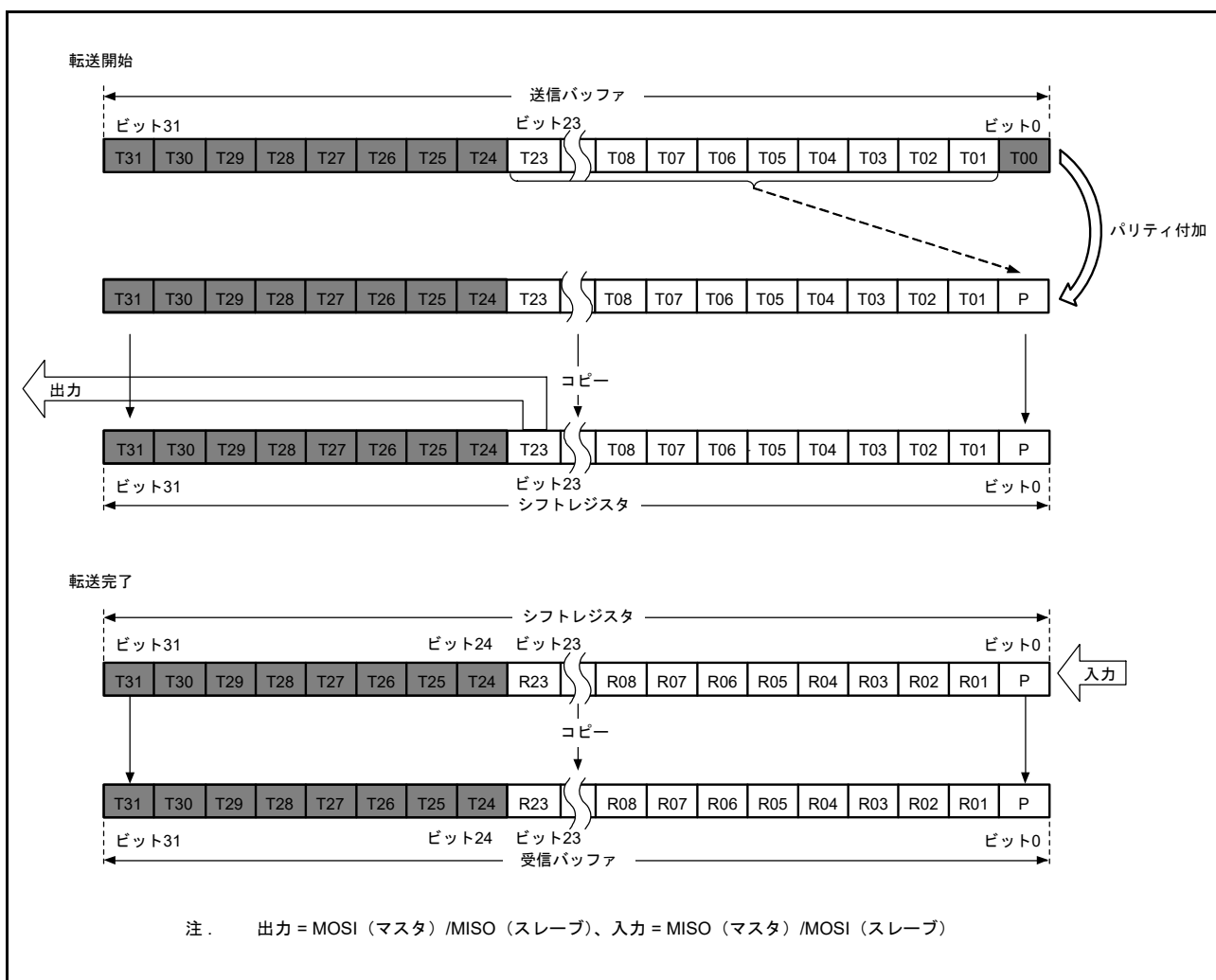


図 31.19 MSB ファースト転送 (24 ビットデータ/パリティ機能有効)

(3) 32 ビットデータの LSB ファースト転送

図 31.20 に、パリティ機能有効時、SPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR_HA) とシフトレジスタの動作内容を示します。

送信時は、ビット T30 ~ T00 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、全体の値をシフトレジスタにコピーします。データは、T00 → T01 → ... → T30 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。

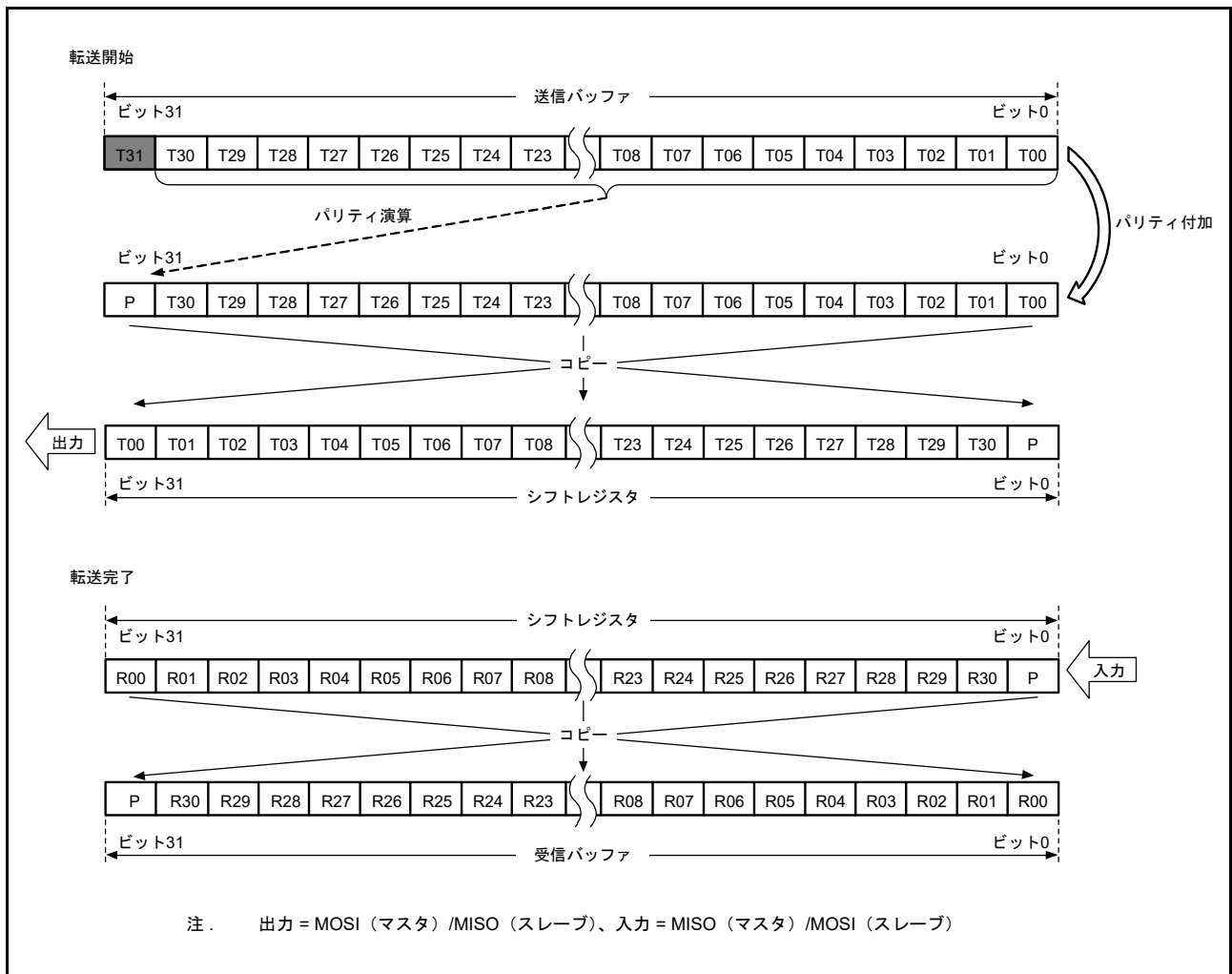


図 31.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) 24 ビットデータの LSB ファースト転送

図 31.21 に、パリティ機能有効時、SPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR_HA) とシフトレジスタの動作内容を示します。

送信時は、ビット T22 ~ T00 のデータ値より、パリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、全体の値をシフトレジスタにコピーします。データは、T00 → T01 → … → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、ビット R00 ~ P までデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ~ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ~ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

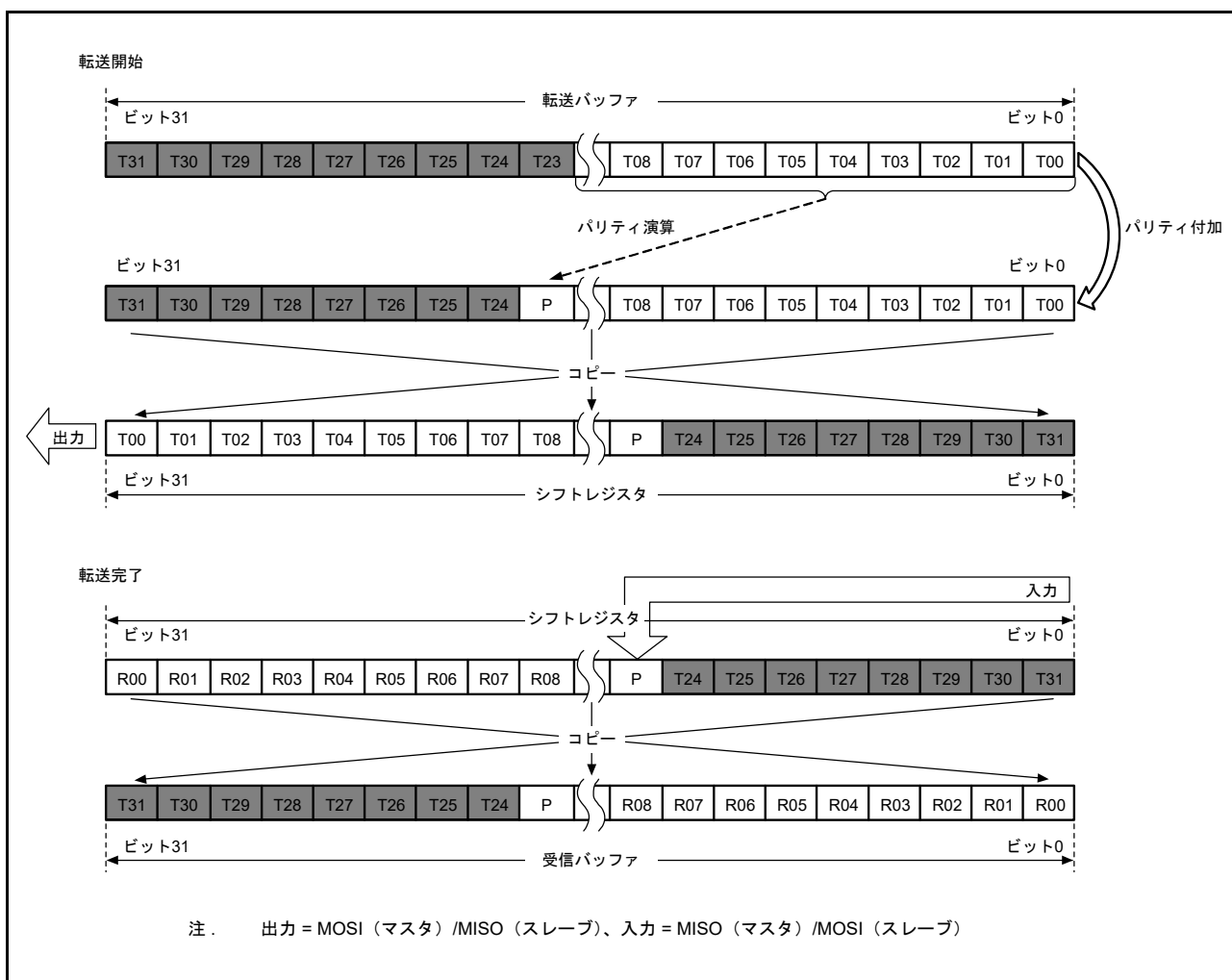


図 31.21 LSB ファースト転送 (24 ビットデータ/パリティ機能有効)

31.3.5 転送フォーマット

31.3.5.1 CPHA ビット = 0 の場合

図 31.22 に、SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR=0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS ビット=1) は行わないでください。この図において、RSPCKn (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間 (SSL ネゲート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

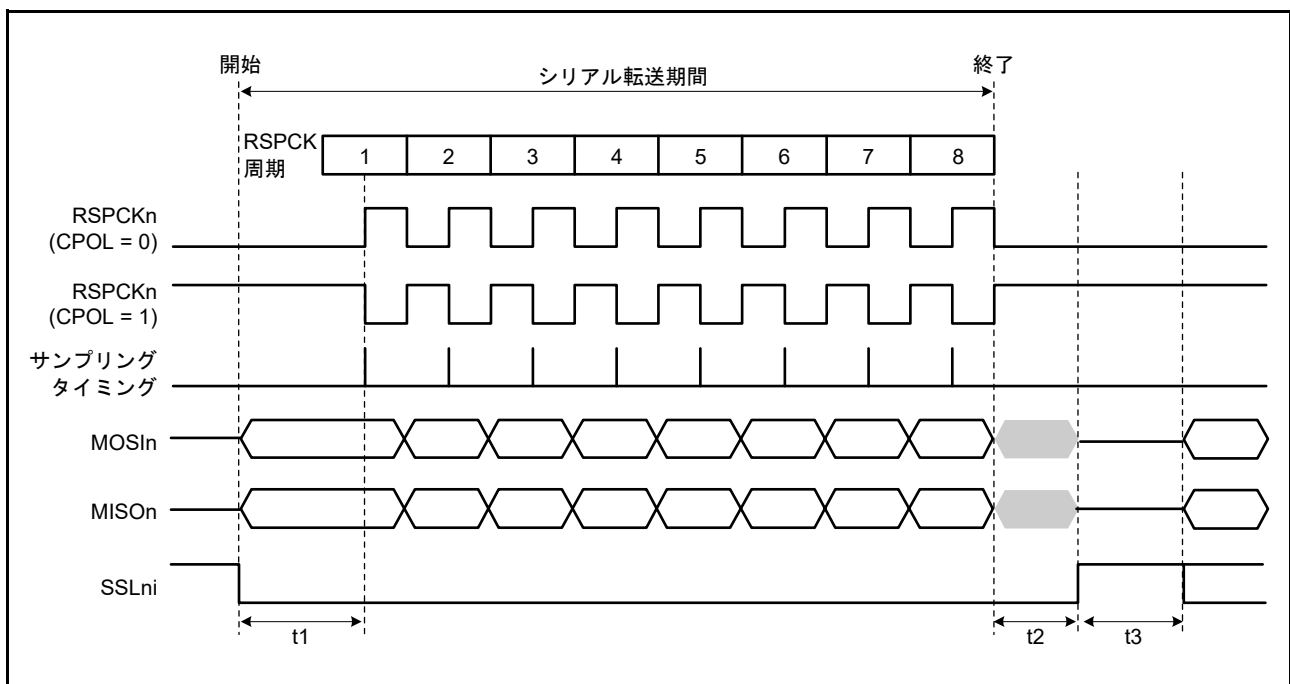


図 31.22 SPI 転送フォーマット (CPHA ビット = 0)

31.3.5.2 CPHA ビット = 1 の場合

図 31.23 に、SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 31.23 において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、SPCMD0.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI のモード (マスタ/スレーブ) に依存します。詳細は、31.3.2 SPI 端子の制御を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、31.3.10.1 マスタモード動作を参照してください。

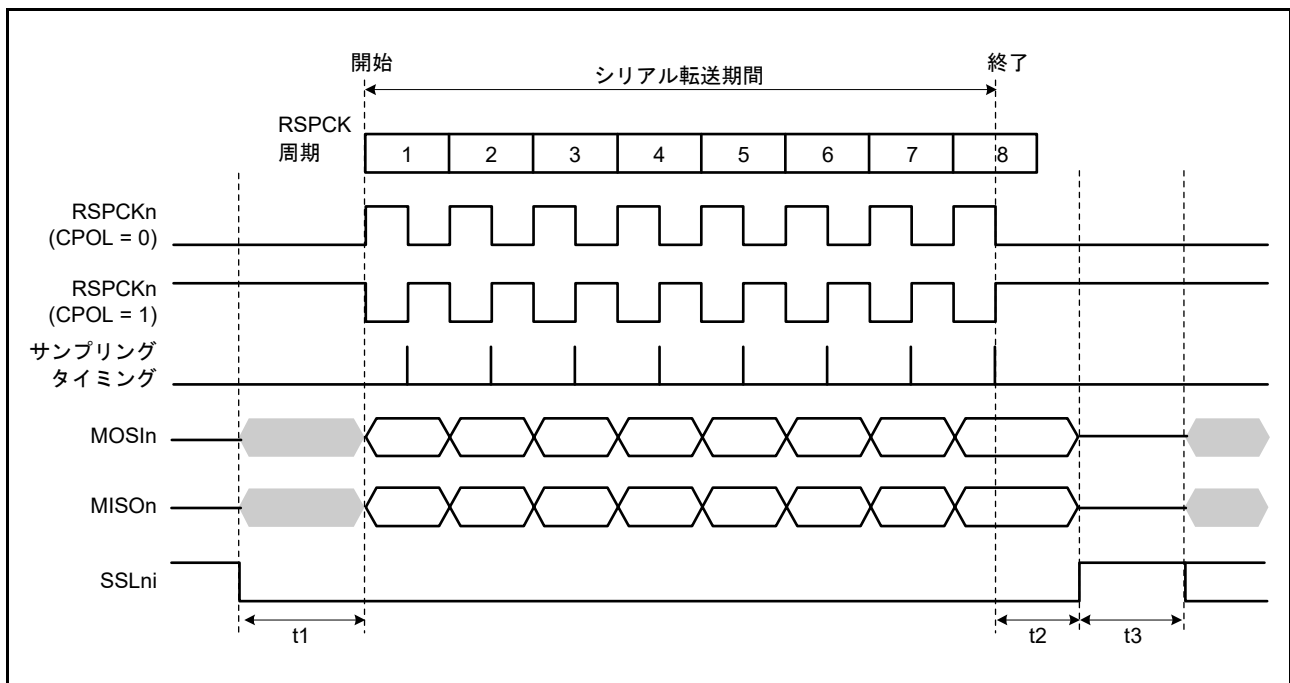


図 31.23 SPI 転送フォーマット (CPHA ビット = 1)

31.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作を選択できます。図 31.24、図 31.25 に記載の SPDR/SPDR_HA アクセスは、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

31.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 31.24 に、SPCR.TXMD ビットを 0 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載された数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

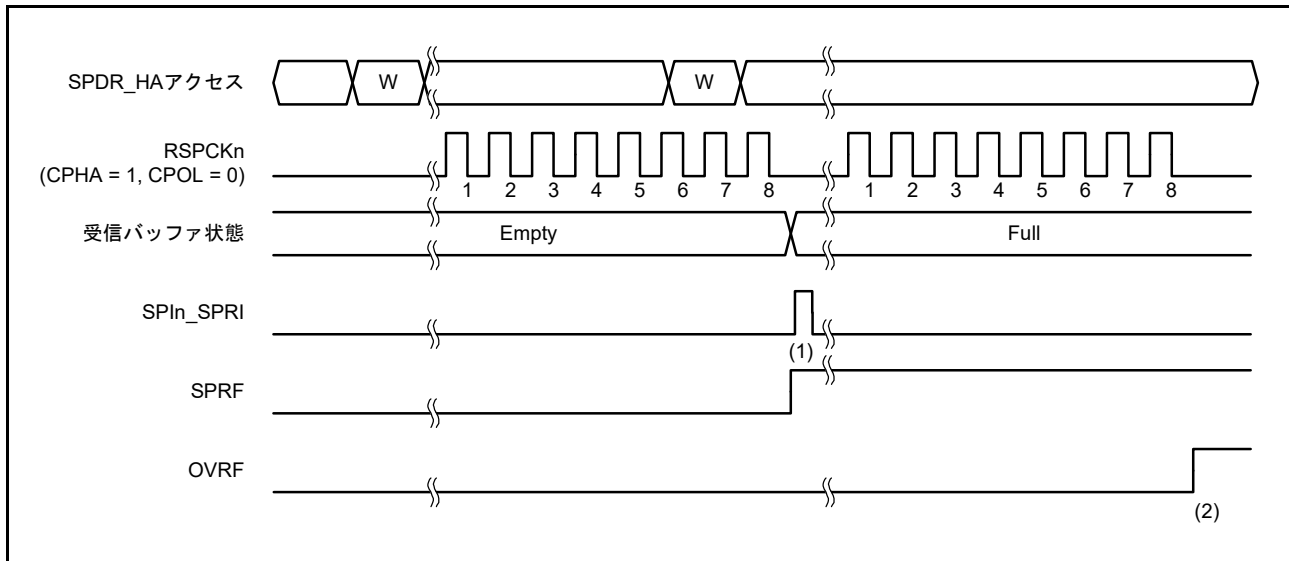


図 31.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) SPDR/SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIn_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR/SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

31.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 31.25 に、SPCR.TXMD ビットを 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

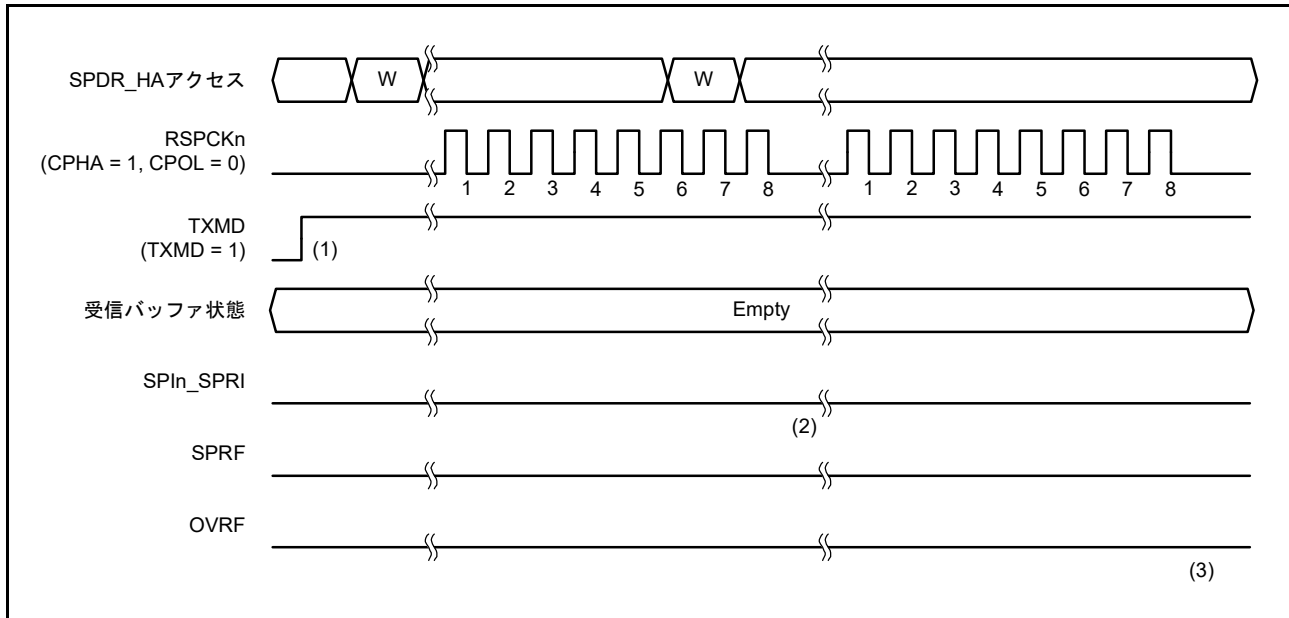


図 31.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

- (1) 送信のみ動作モード (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF フラグ = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
- (2) SPDR/SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみモード (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR/SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1) ~ (3) それぞれのタイミングで 0 を保持します。

31.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 31.26 および図 31.27 に、送信バッファエンプティ割り込み (SPIn_SPTI) と受信バッファフル割り込み (SPIn_SPRI) の動作例を示します。図に記載の SPDR/SPDR_HA アクセスは、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 31.27 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 31.26 の例では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

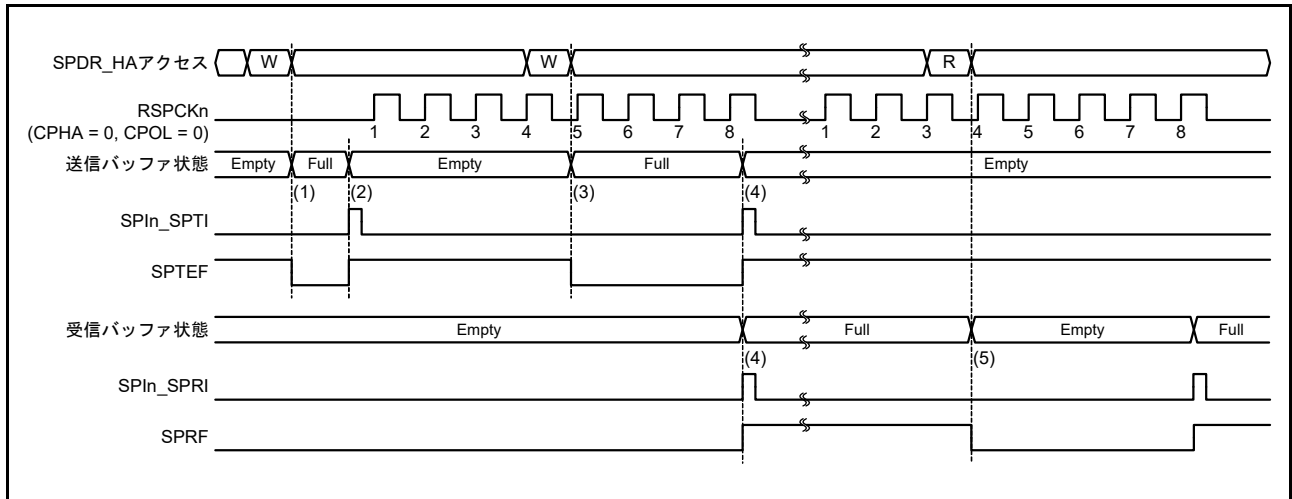


図 31.26 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

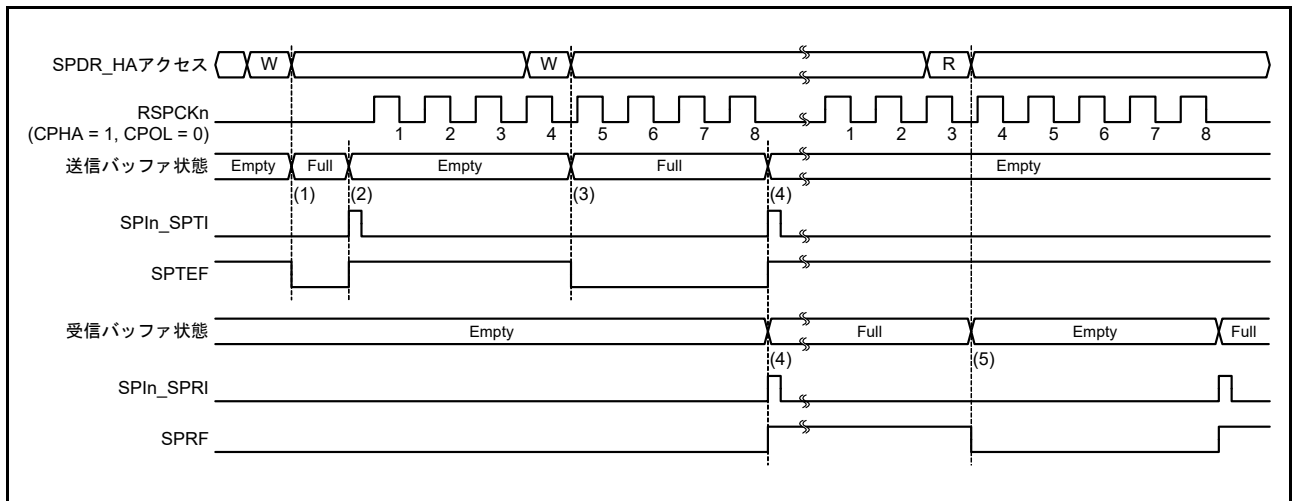


図 31.27 SPIn_SPTI、SPIn_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、図中の (1) ~ (5) での SPI の動作内容を説明します。

- (1) SPDR/SPDR_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR/SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
- (2) シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIIn_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、[31.3.10 SPI 動作](#)および [31.3.11 クロック同期式動作](#)を参照してください。
- (3) 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティの処理で SPDR/SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR/SPDR_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIIn_SPRI) を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (5) 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフルの処理で SPDR/SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPTEF フラグ = 0) で、SPDR/SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR/SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込みの処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE ビットが 0) の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPRF フラグ = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します ([31.3.8 エラー検出](#)を参照)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRm.IR フラグ (m は割り込みベクタ番号) によって確認することが可能です。同様に、SPTEF および SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

31.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 31.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 31.7 通常以外の転送動作と SPI のエラー検出機能の関係

	発生条件	SPI動作	エラー検出
1	送信バッファフルの状態ですDR/SPDR_HAレジスタへ書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですDR/SPDR_HAレジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPIがデータ送信不能のときに、スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISOA出力信号のドライブ停止 SPI機能は無効 	アンダーランエラー
4	受信バッファフルの状態、シリアル転送が終了	<ul style="list-style-type: none"> 受信バッファ内容を保持 受信データ欠落 	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時にSSLn0入力信号アサート	<ul style="list-style-type: none"> RSPCKn、MOSIn、SSLn1～SSLn3出力信号のドライブ停止 SPI機能は無効 	モードフォルトエラー
7	マルチマスタモードでシリアル転送中にSSLn0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKn、MOSIn、SSLn1～SSLn3出力信号のドライブ停止 SPI機能は無効 	モードフォルトエラー
8	スレーブモードでシリアル転送中にSSLn0入力信号ネゲート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 MISO出力信号のドライブ停止 SPI機能は無効 	モードフォルトエラー

表 31.7 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR_HA レジスタへの書き込みを実行してください (SPSR.SPTEF = 1 の場合)。2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF = 1 の場合)。

詳細情報の参照先：

- operation 3 のアンダーランエラーについては、[31.3.8.4 アンダーランエラー](#)を参照してください
- operation 4 のオーバーランエラーについては、[31.3.8.1 オーバーランエラー](#)を参照してください
- operation 5 のパリティエラーについては、[31.3.8.2 パリティエラー](#)を参照してください
- 動作 6～8 のモードフォルトエラーについては、[31.3.8.3 モードフォルトエラー](#)を参照してください
- 送信および受信割り込みについては、[31.3.7 送信バッファエンプティ/受信バッファフル割り込み](#)を参照してください

31.3.8.1 オーバーランエラー

SPDR/SPDR_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、CPU によって OVRF フラグが 1 の SPSR レジスタが読み出された後、OVRF フラグに 0 を書いてください。

図 31.28 に、OVRF フラグと SPRF フラグの動作例を示します。図に記載の SPSR アクセスと SPDR/SPDR_HA アクセスは、それぞれ SPSR、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

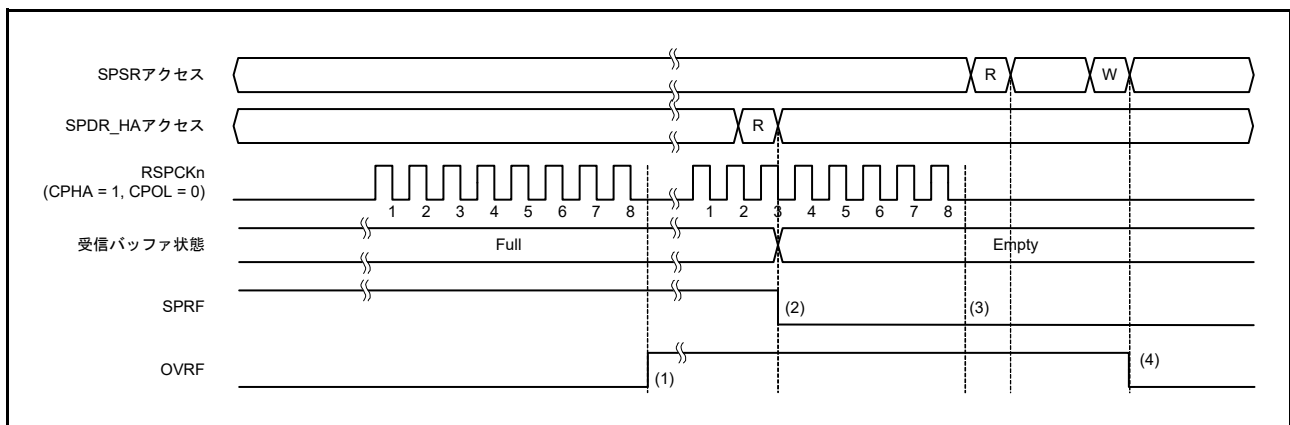


図 31.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグ動作を説明します。

- (1) SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。
- (2) SPDR/SPDR_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
- (3) OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
- (4) OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

アプリケーションは、SPSR レジスタの読み出しあるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、オーバーランの発生を確認できます。シリアル転送を実行する場合には、SPDR/SPDR_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF が 0 にクリアされるまで正常な受信ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 31.29、図 31.30 に、マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

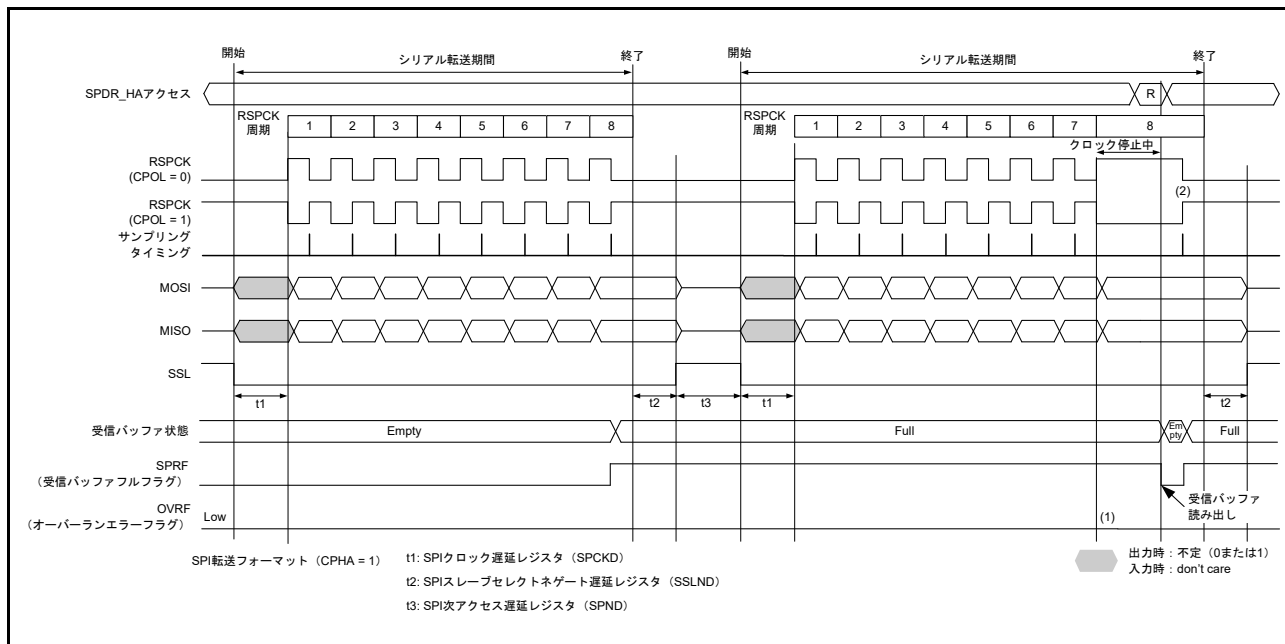


図 31.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

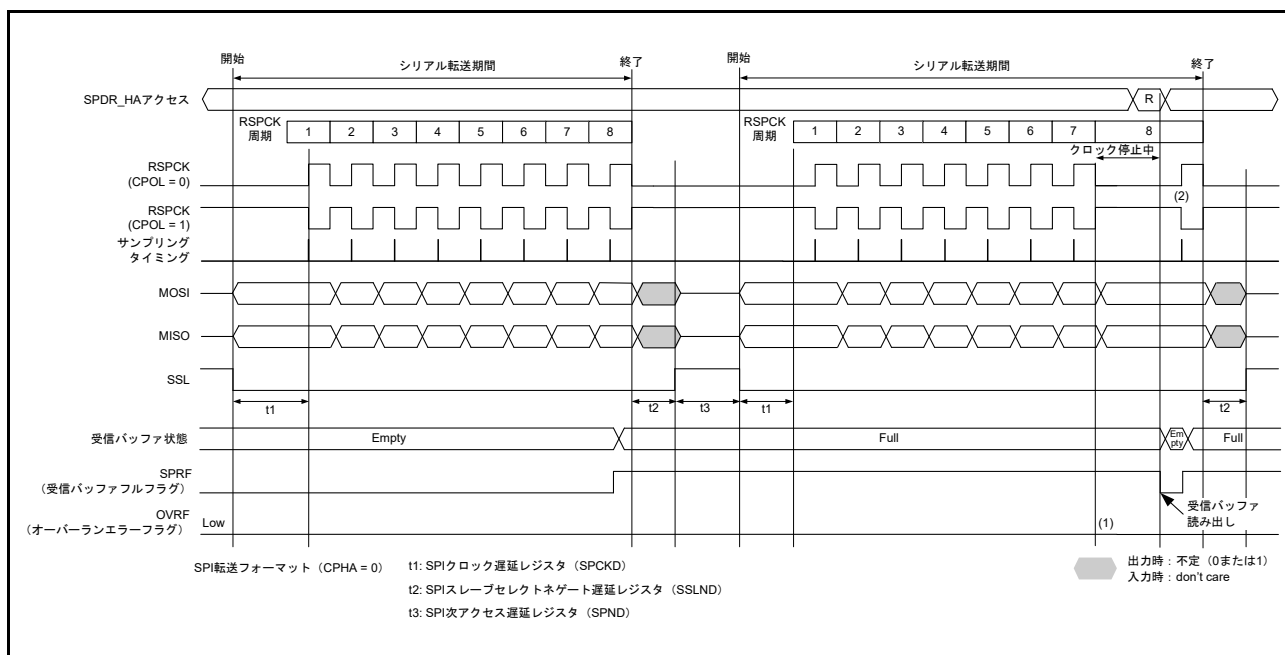


図 31.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
- (2) クロック停止中に SPDR/SPDR_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPSR.SPRF が 0 になった後)、RSPCK クロックが再開します。

31.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書く必要があります。

図 31.31 に、OVRF フラグと PERF フラグの動作例を示します。図 31.31 に記載の“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 31.31 の例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

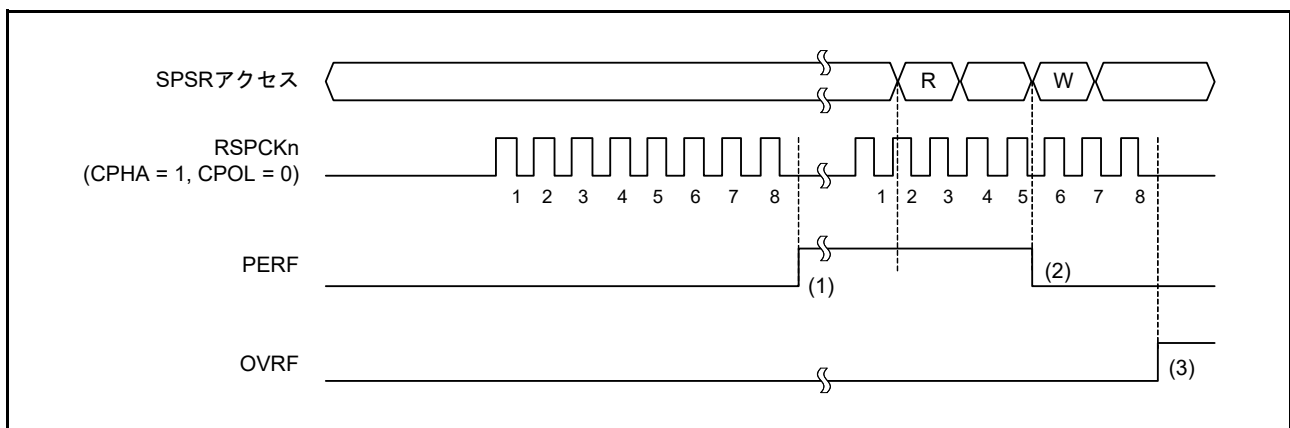


図 31.31 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグ動作を説明します。

- (1) SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
- (2) PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグが 0 になります。
- (3) SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

アプリケーションは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、パリティエラーの発生を確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。

31.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするためには、MODF フラグを 0 にしてください。

31.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（31.3.9 SPI の初期化を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

31.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットを 0 にすることによる初期化と、システムリセットによる初期化について説明します。

31.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステータスの初期化
- SPI 送信バッファの初期化 (SPSR.SPTEF フラグを 1 にする)

SPE ビットを 0 にする初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグは初期化されません。このため、SPI の初期化後も受信バッファのデータを読み出すことで、SPI 転送時のエラー状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になる)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するには、アプリケーションは SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書く必要があります。

31.3.9.2 システムリセットによる初期化

システムリセットでは、[31.3.9.1 SPE ビットのクリアによる初期化](#)に記載の事項に加え、SPI 制御用の全ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

31.3.10 SPI 動作

31.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の使用のみです (31.3.8 エラー検出を参照)。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファが空き (次転送のデータがセットされておらず、SPSR.SPTEF フラグが 0) の状態で、SPI データレジスタ (SPDR/SPDR_HA) ヘデータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合、SPI は送信バッファのデータをシフトレジスタへコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。

SPI の転送フォーマットの詳細については、31.3.5 転送フォーマットを参照してください。

(3) RSPCK 遅延 (t1)

マスタモードでの RSPCK 遅延は、SPCMD0.SCKDEN ビットの設定値と SPCKD レジスタの設定値で決まります。SPI は、SPCMD0.SCKDEN ビットと SPCKD レジスタを使用して、表 31.8 のようにシリアル転送時の RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.8 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(4) SSL ネゲート遅延 (t2)

マスタモードでの SSL ネゲート遅延値は、SPCMD0.SLNDEN ビットの設定と SSLND レジスタの設定で決まります。SPI は、SPCMD0.SLNDEN ビットと SSLND レジスタを使用して、表 31.9 のようにシリアル転送時の SSL ネゲート遅延を決定します。なお、SSL ネゲート遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.9 SLNDEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMD0.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延
0	000b ~ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(5) 次アクセス遅延 (t3)

マスタモードでの次アクセス遅延は、SPCMD0.SPNDEN ビットの設定値と SPND レジスタの設定値で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND レジスタを使用して、表 31.10 のようにシリアル転送時の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、31.3.5 転送フォーマットを参照してください。

表 31.10 SPNDEN ビット、SPND レジスタ、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延
0	000b ~ 111b	1RSPCK + 2PCLKB
1	000b	1RSPCK + 2PCLKB
	001b	2RSPCK + 2PCLKB
	010b	3RSPCK + 2PCLKB
	011b	4RSPCK + 2PCLKB
	100b	5RSPCK + 2PCLKB
	101b	6RSPCK + 2PCLKB
	110b	7RSPCK + 2PCLKB
	111b	8RSPCK + 2PCLKB

(6) 初期化フロー

図 31.32 に、SPI かマスタモードの場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

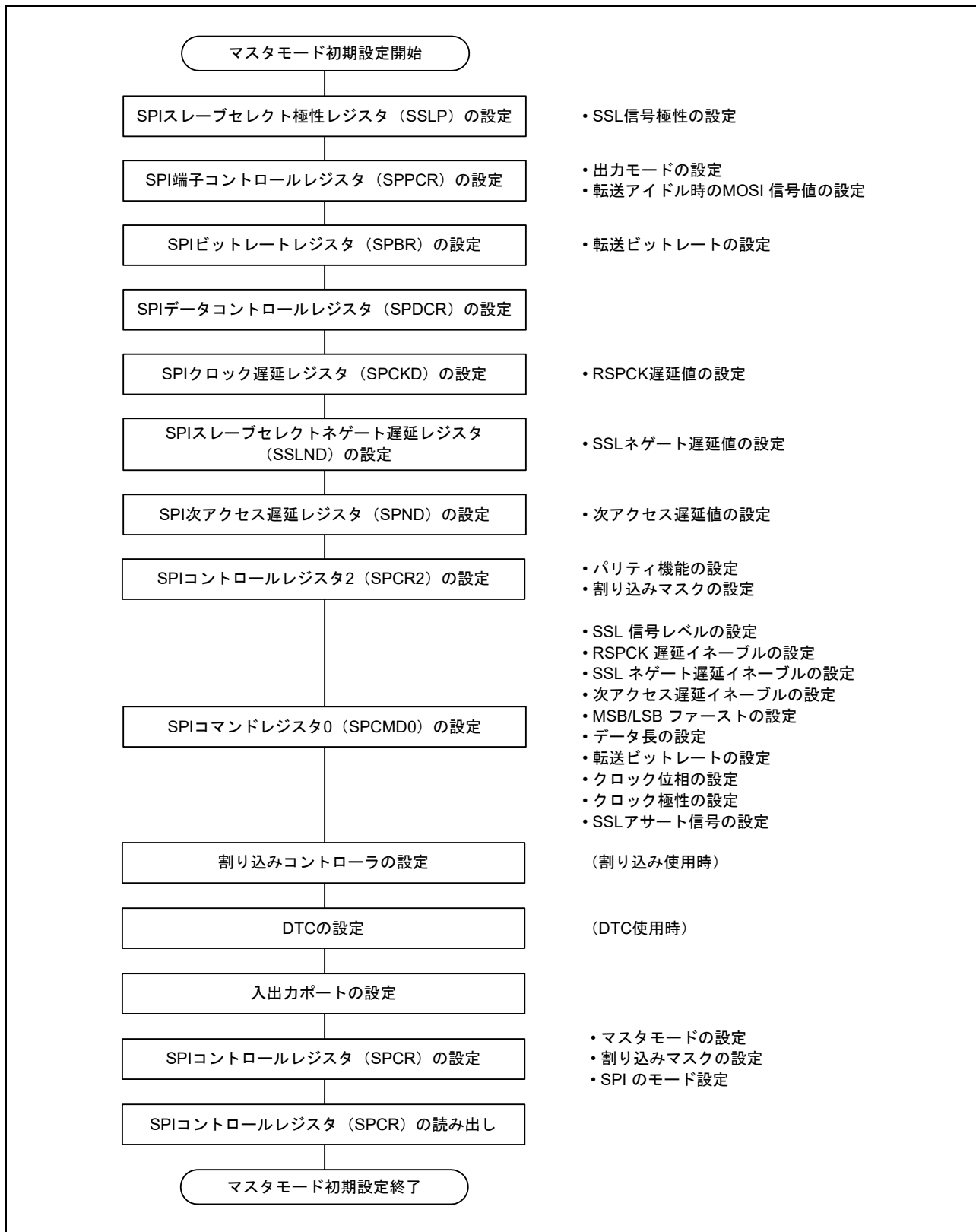


図 31.32 マスタモード時の初期化フロー例 (SPI 動作)

(7) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.33 ~ 図 31.35 に示します。

(a) 送信処理フロー

データ送信を行う場合、アイドル割り込み (SPIIn_SPTI) が有効のときは、送信データの最終データ書き込み後にデータ送信完了を CPU に通知します。

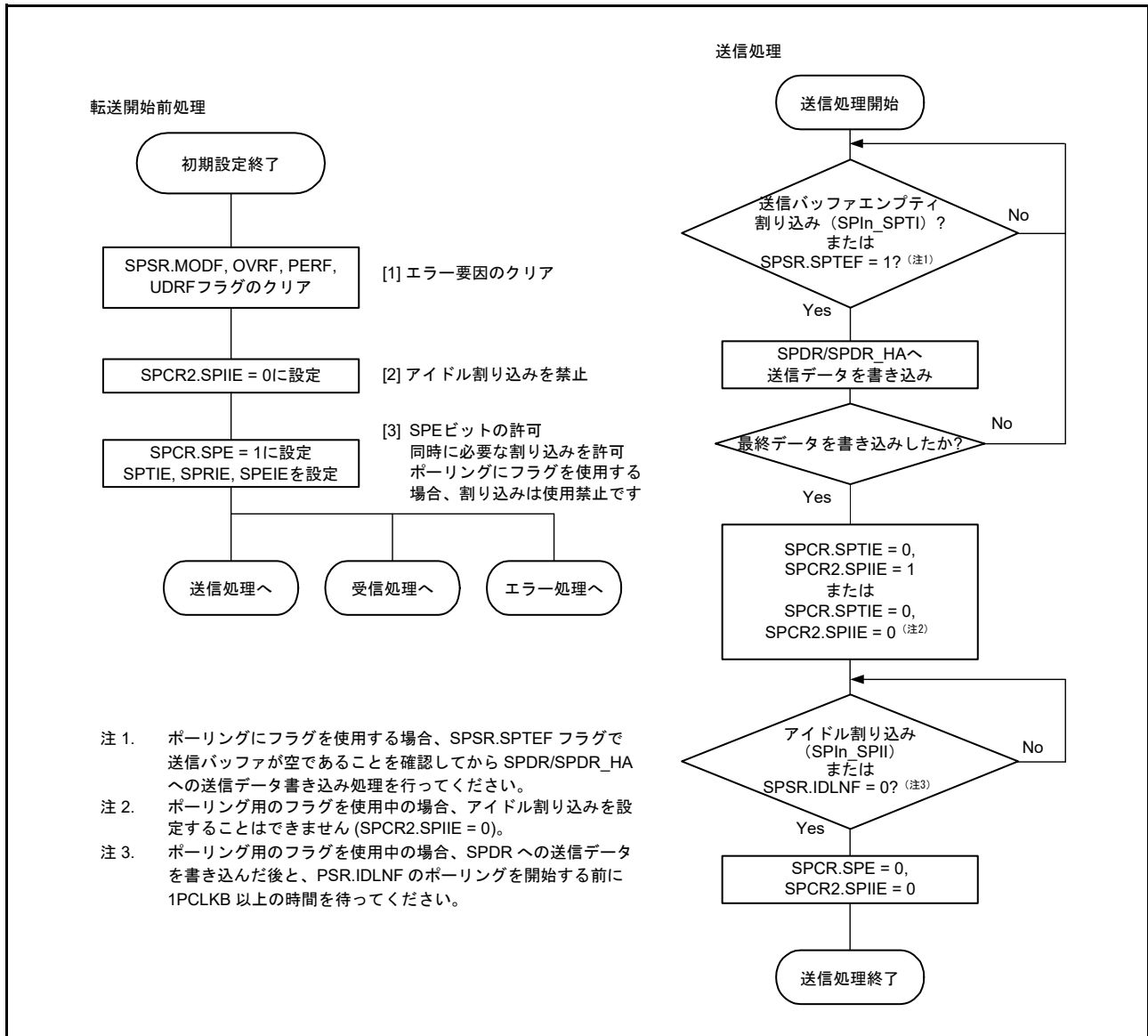


図 31.33 マスタモード時の送信フロー

(b) 受信処理フロー

SPIは受信のみの動作を持たないため、送信を必要とします。

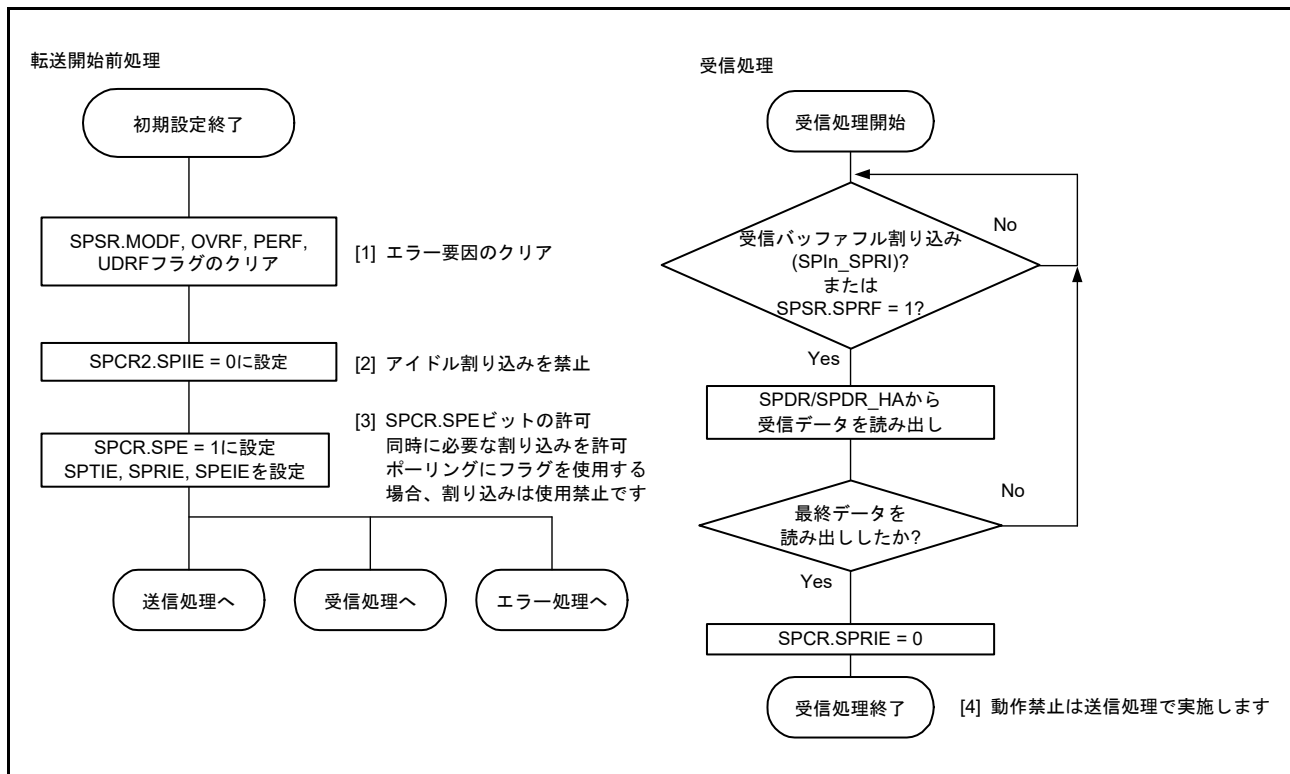


図 31.34 マスタモード時の受信フロー

(c) エラー処理フロー

SPIは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーの検出を行います。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。その他のエラー要因では、SPCR.SPEビットはクリアされず、送信/受信動作は継続します。モードフォルトエラー以外のエラーの場合は、SPCR.SPEビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー検出時は、エラー処理ルーチンにてICU.IELSRm.IRフラグをクリアしてください。クリアしないと、ICU.IELSRm.IRフラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してSPIの内部シーケンサを初期化してください。

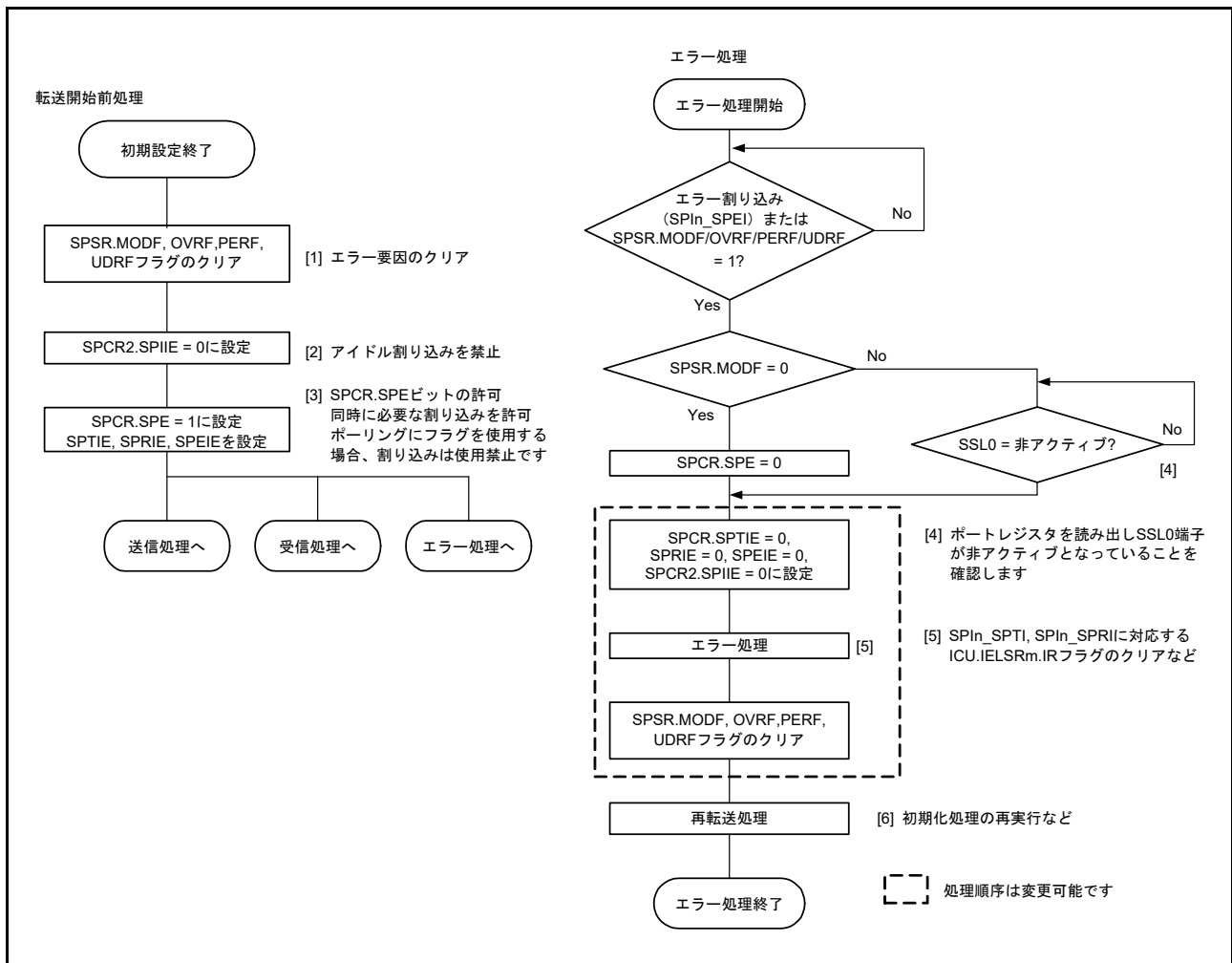


図 31.35 マスタモード時のエラー処理フロー

31.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISO_n 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCK_n エッジを検出すると、MISO_n 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCK_n エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISO_n 出力信号のドライブを開始します。CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ=0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR_{HA} レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了の間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します ([31.3.8 エラー検出](#)を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。SSLn0 入力信号の極性は、SSLP.SSLOP ビットの設定値で決まります。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合には、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。[図 31.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI ではシリアル転送を正しく開始できません。SSLn0 入力信号をアクティブ状態に固定されているときに、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合は、SSLn0 入力信号を固定しないでください。

(4) 初期化フロー

図 31.36 に、SPI をスレーブモードで使用する場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

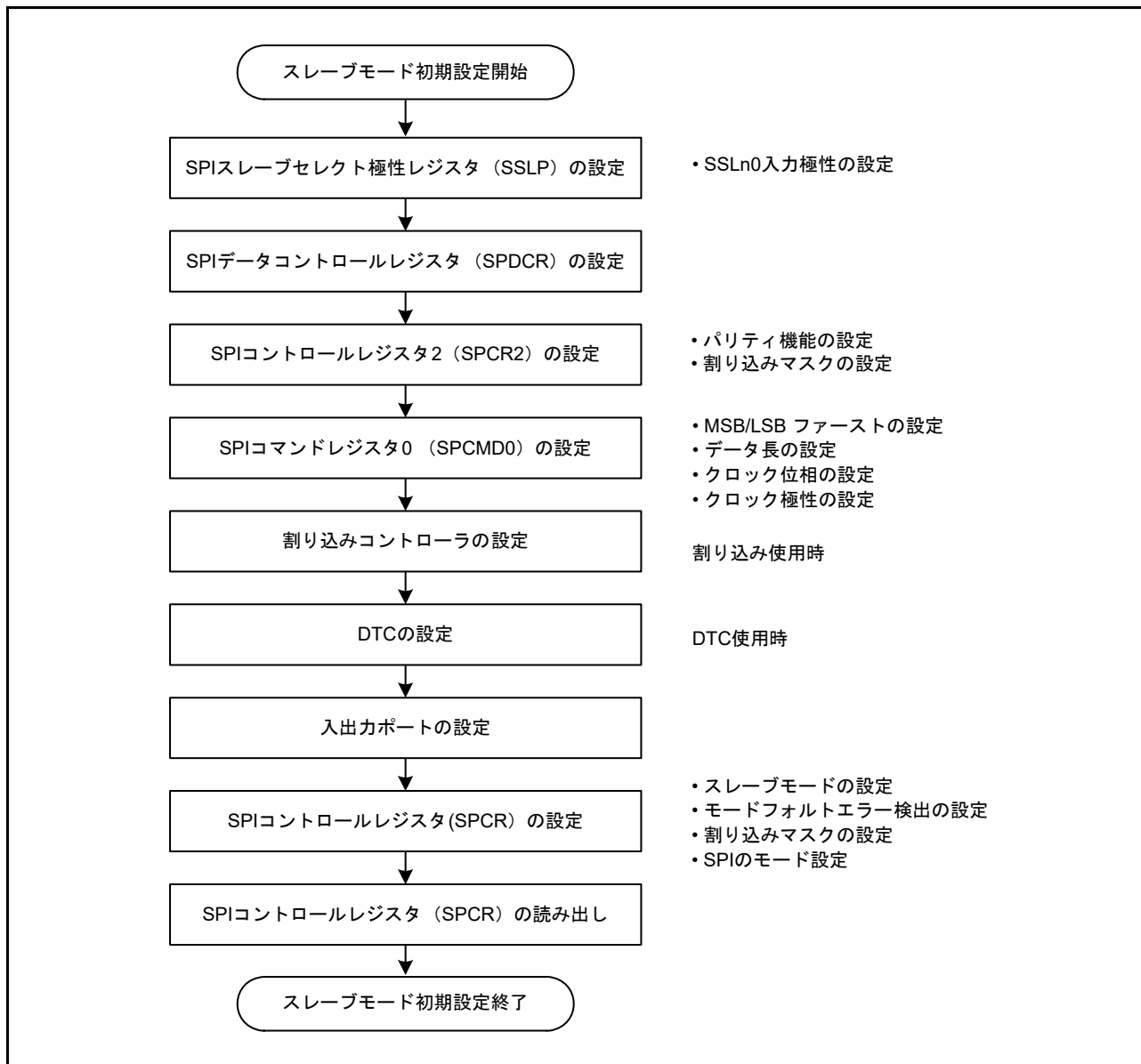


図 31.36 スレーブモード時の SPI 動作の初期化フロー例

(5) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 31.37 ~ 図 31.39 に示します。

(a) 送信処理フロー

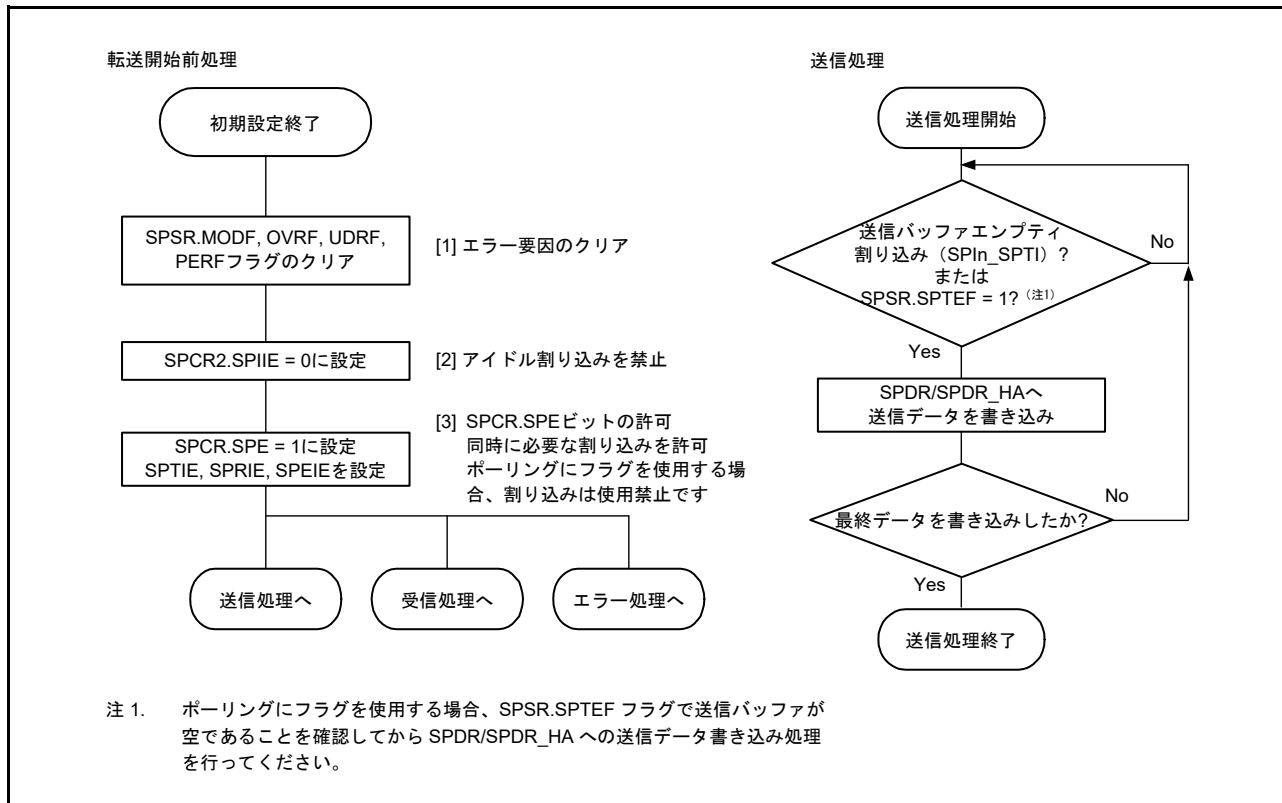


図 31.37 スレープモード時の送信フロー

(b) 受信処理フロー

SPIは受信のみの動作を行わないため、送信を必要とします。

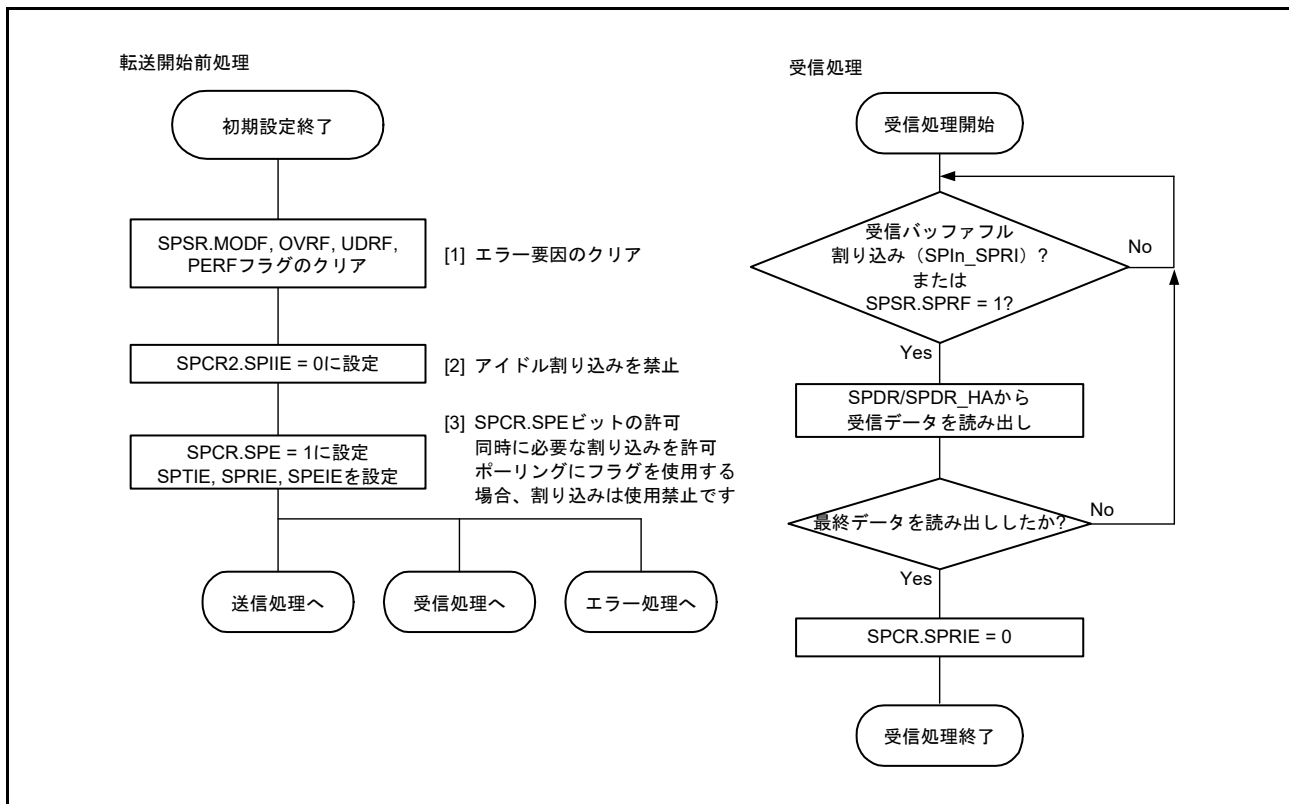


図 31.38 スレーブモード時の受信フロー

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることが可能です。

割り込みによるエラー検出時は、エラー処理にて ICU.IELSRm.IR フラグをクリアしてください。クリアしないと、ICU.IELSRm.IR フラグに送信バッファエンプティ割り込みまたは受信バッファフル割り込み要求が保持されている可能性があります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

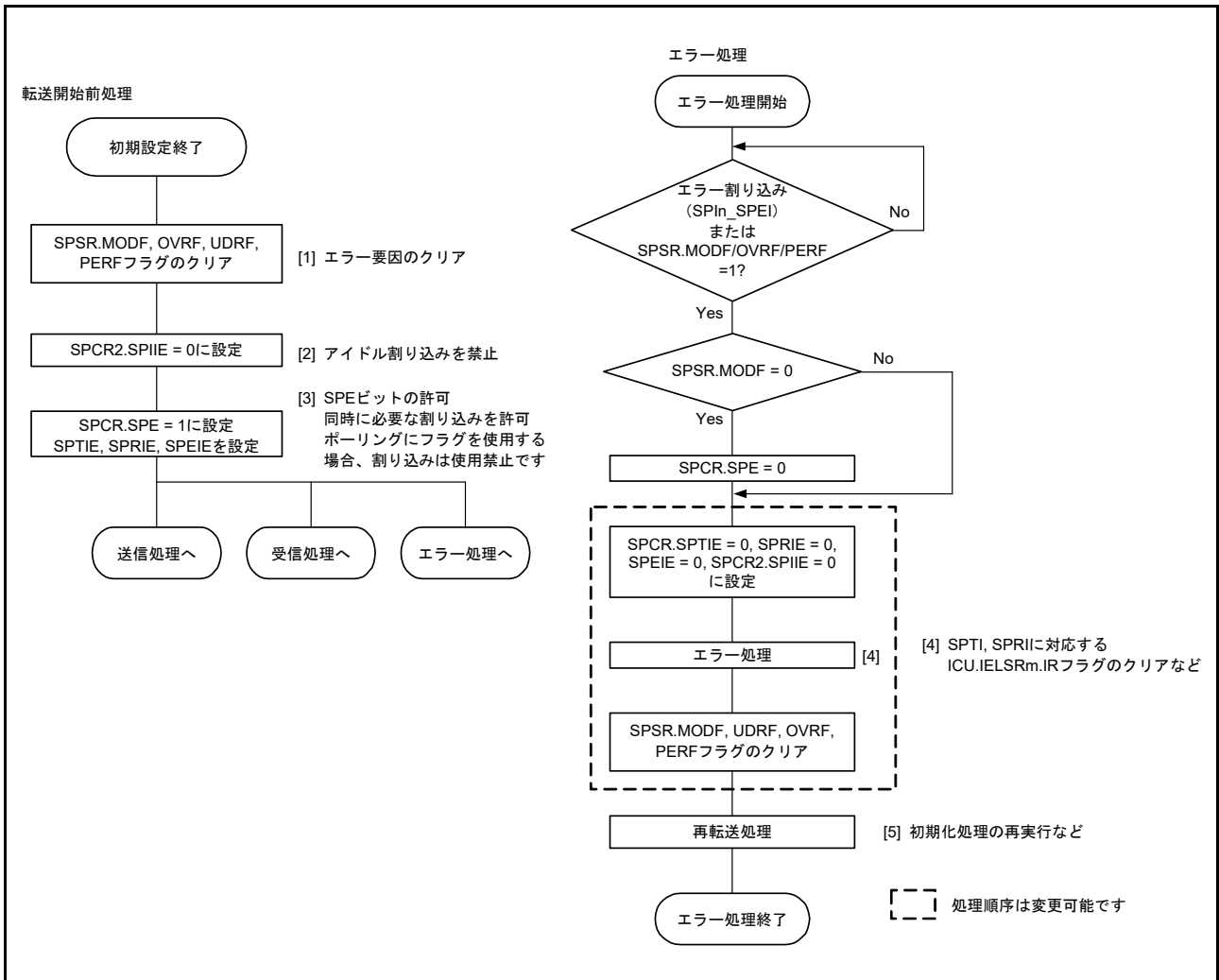


図 31.39 スレーブモード時のエラー処理フロー

31.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLn_i 端子を使用せず、RSPCK_n 端子、MOSIn 端子、MISO_n 端子を用いて通信を行います。すべての SSLn_i 端子は入出力ポートとして使用することが可能です。

クロック同期式動作は、SSLn_i 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。マスタ動作とスレーブ動作のいずれにおいても、SPI 動作時と同様のフローで通信を行うことができます。ただし、SSLn_i 端子を使用しないため、モードフォルトエラーの検出は行われません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に、SPCMD0.CPHA ビットを 0 にした場合の動作を行わないでください。

31.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEF フラグ = 1 の状態で、SPDR/SPDR_{HA} レジスタへデータを書くと、SPI は SPDR/SPDR_{HA} レジスタの送信バッファ (SPTX) のデータを更新します。SPDR/SPDR_{HA} レジスタへデータを書き込み後、シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタへコピーして、シリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCK_n エッジを送出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR/SPDR_{HA}) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。

クロック同期式動作時は、SSLn₀ 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(3) 初期化フロー

図 31.40 に、SPI をマスターモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。



図 31.40 マスターモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、[31.3.10.1 章の \(7\) ソフトウェア処理フロー](#)を参照してください。クロック同期式動作では、モードフォルトエラーは発生しません。

31.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCK_n エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO_n 出力信号をドライブします。クロック同期式動作時は SSL0 入力信号を使用しません。SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCK_n エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグ = 0) の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決定されます。

SPI の転送フォーマットの詳細については、[31.3.5 転送フォーマット](#)を参照してください。

(3) 初期化フロー

図 31.41 に、SPI をスレーブモードで使用する場合のクロック同期式動作時の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

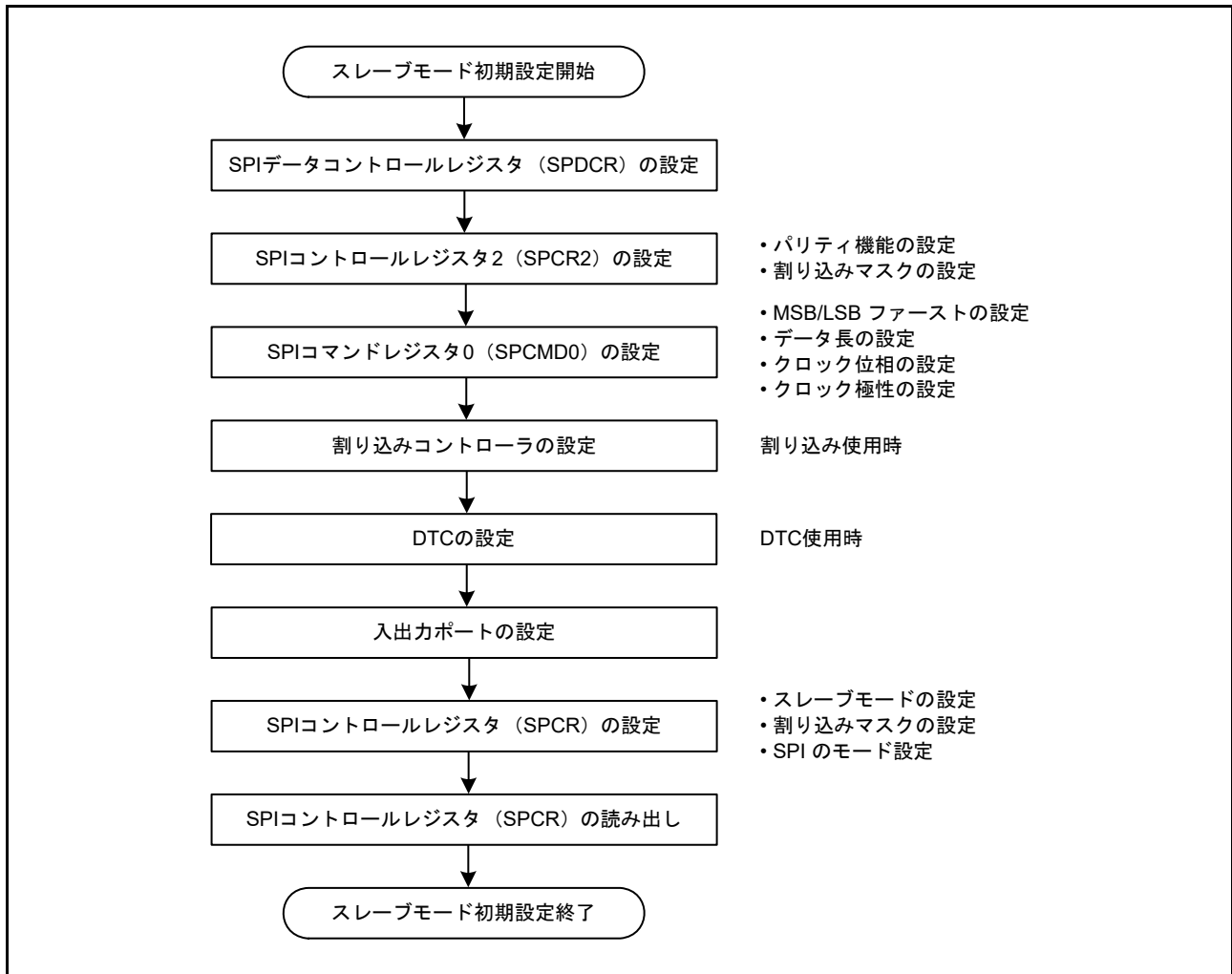


図 31.41 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、31.3.10.2 章の (5) ソフトウェア処理フローを参照してください。クロック同期式モードでは、モードフォルトエラーは発生しません。

31.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI_n 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが 1 であれば、SPI は MOSI_n 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO_n 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 31.11 に SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 31.42 に、マスターモードの SPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 31.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI _n 端子または MISO _n 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

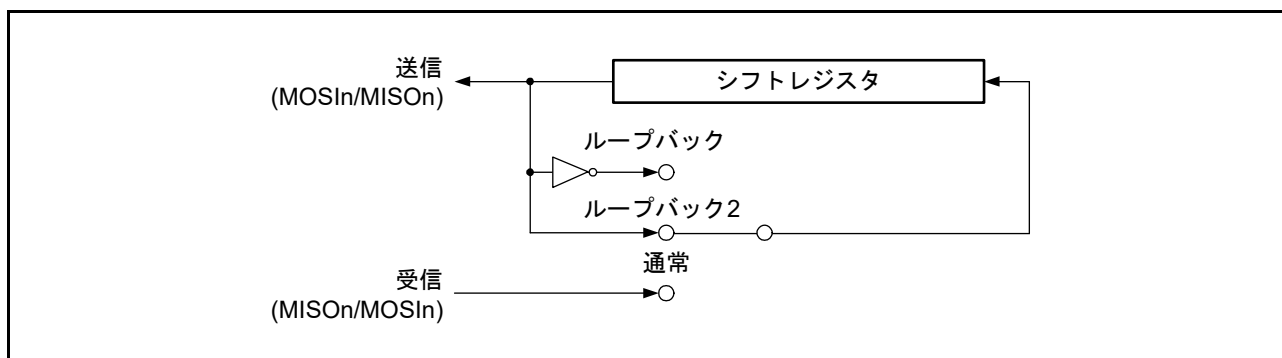


図 31.42 ループバックモード時のシフトレジスタ入出力経路の構成 (マスターモード)

31.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するために、[図 31.43](#) に示すように、パリティ回路は自己診断を行います。

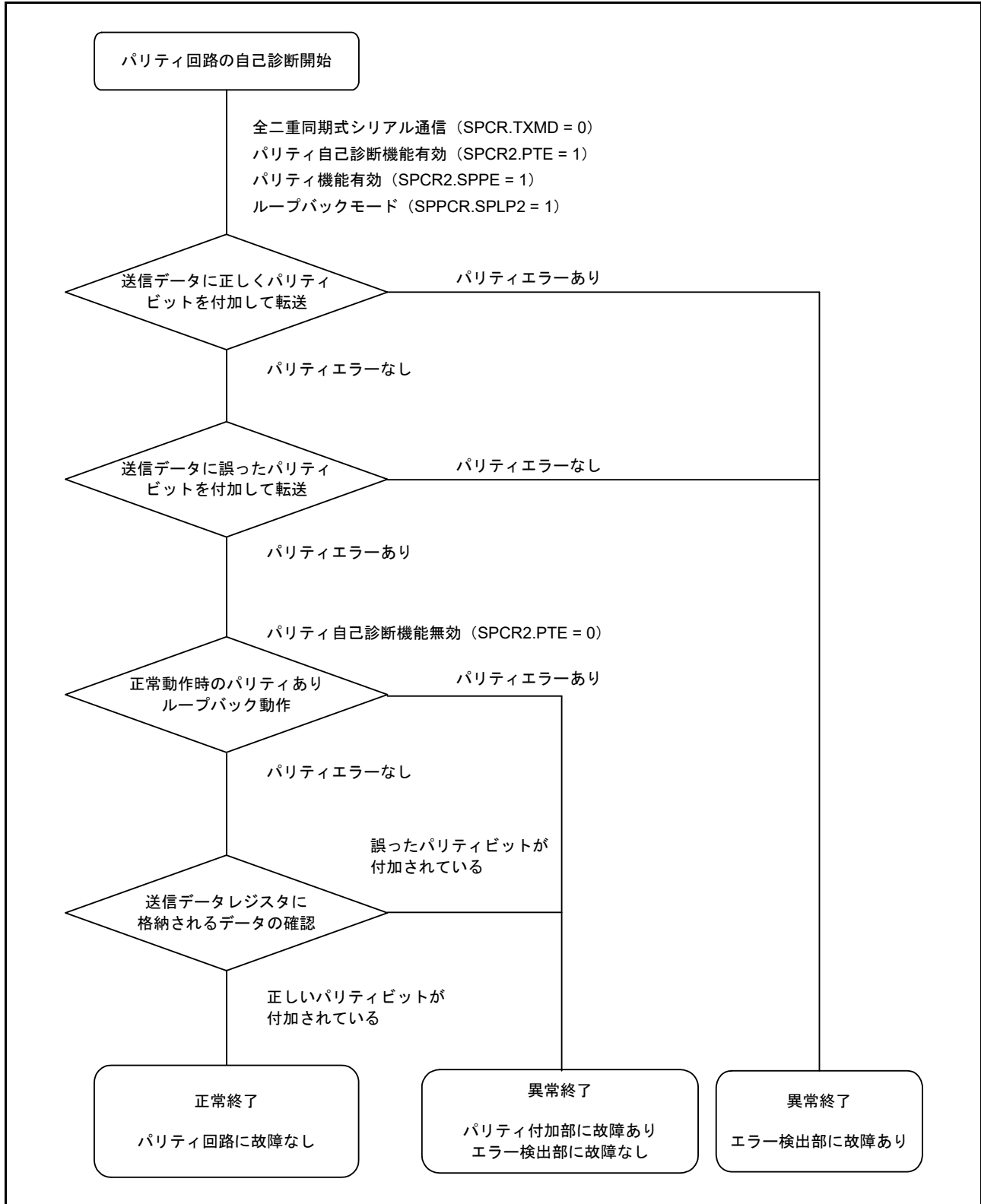


図 31.43 パリティ回路の自己診断フロー

31.3.14 割り込み要因

SPI には、以下の 8 種類の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- 送信終了
- モードフォルト
- アンダーラン
- オーバーラン
- パリティエラー
- SPI アイドル

受信バッファフルまたは送信バッファエンプティ割り込みによって DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 31.12 に SPI の割り込み要因に対応するフラグを示します。表 31.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC を使用してデータの送受信を行う場合、最初に DTC を転送許可状態に設定してから SPI の設定を行ってください。DTC の設定については、「15. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRm.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRm.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にすることでクリアできます。

表 31.12 SPIの割り込み要因

割り込み要因	シンボル	割り込み条件	DTCの起動
受信バッファフル	SPIn_SPRI	SPCR.SPRIE ビットが1の状態を受信バッファフル (SPSR.SPRF フラグ = 1) になったとき	可能
送信バッファエンプティ	SPIn_SPTI	SPCR.SPTIE ビットが1の状態を送信バッファエンプティ (SPSR.SPTEF フラグ = 1) になったとき	可能
SPIエラー (モードフォルト、アンダーラン、オーバーラン、パリティエラー)	SPIn_SPEI	SPCR.SPEIE ビットが1の状態ですべての SPSR.MODF、OVRF、PERF、またはUDRF フラグが1になったとき	不可能
SPI アイドル	SPIn_SPII	SPCR2.SPIIE ビットが1の状態ですべての SPSR.IDLNF フラグが0 になったとき	不可能
送信終了	SPIn_SPTEND	マスターモード時、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になると割り込みが発生 スレーブモード時、表 31.14 に示す条件で割り込みが発生	不可能

31.4 イベントリンク動作

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルト/アンダーラン/オーバーラン/パリティイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

31.4.1 受信バッファフルイベント出力

シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR_HA レジスタへ転送されたときにイベント信号を出力します。

31.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、および SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

31.4.3 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力

このイベント信号は、モードフォルト、アンダーラン、オーバーラン、またはパリティエラーが検出されたとき出力されます。このイベント信号を使用する場合は、[31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約](#)を参照してください。

(1) モードフォルト

表 31.13 にモードフォルトイベントの発生条件を示します。

表 31.13 モードフォルトの発生条件

条件	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPMS = 0) スレーブ (SPCR.MSTR ビット = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2) アンダーラン

アンダーランイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力します。この条件下では、MODF フラグおよび UDRF フラグが 1 となります。

(3) オーバーラン

オーバーランイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読み出しのデータがある状態でシリアル転送が終了したときに出力します。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力します。

31.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモード時に SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

31.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作の両方において、マスタモード時に IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化すると、イベントが出力されます。モードフォルトイベントの発生条件を示します。

表 31.14 送信完了イベントの発生条件 (スレーブ)

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終 RSPCK のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

31.5 使用上の注意事項

31.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI モジュールストップ状態の遷移または解除が可能です。SPI は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタ B の詳細については、「[10. 低消費電力モード](#)」を参照してください。

31.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

31.5.3 転送の開始に関する制約

ICU.IELSRm.IR フラグが 1 の状態で転送を開始すると、割り込み要求が内部で保持されるため、ICU.IELSRm.IR フラグが予期しない挙動となる可能性があります。これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 となっていること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRm.IR フラグを 0 にする。

31.5.4 モードフォルト/アンダーラン/オーバーラン/パリティエラーイベント出力に関する制約

SPI がマルチマスタモード (SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1) の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

31.5.5 SPRF および SPTEF フラグに関する制約

ポーリング用のフラグ (SPRF および SPTEF) を使用している場合、割り込みを使用することはできません。SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください。割り込みまたはフラグのどちらか一方のみ使用可能です。

32. 巡回冗長検査 (CRC) 演算器

32.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、いくつかの CRC 生成多項式が利用可能です。スヌープ機能により、特定のアドレスに対する読み出しおよび書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みおよびシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 32.1 に CRC 演算器の仕様を、図 32.1 にブロック図を示します。

表 32.1 CRC の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC 演算対象データ (注1)	8nビット単位の任意データに対しCRCコードを生成 (n = 自然数)	32nビット単位のデータに対しCRCコードを生成 (n = 自然数)
CRC 演算処理方式	8ビット並列実行	32ビット並列実行
CRC 生成多項式	3つの生成多項式から1つ選択可能 [8ビットCRC] <ul style="list-style-type: none"> • $X^8 + X^2 + X + 1$ (CRC-8) [16ビットCRC] <ul style="list-style-type: none"> • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) 	2つの生成多項式から1つ選択可能 [32ビットCRC] <ul style="list-style-type: none"> • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態の設定が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しおよび書き込みのモニタ	—

注 1. 回路には、CRC 演算で使用するデータを分割する機能がありません。8 ビットまたは 32 ビット単位で書いてください。

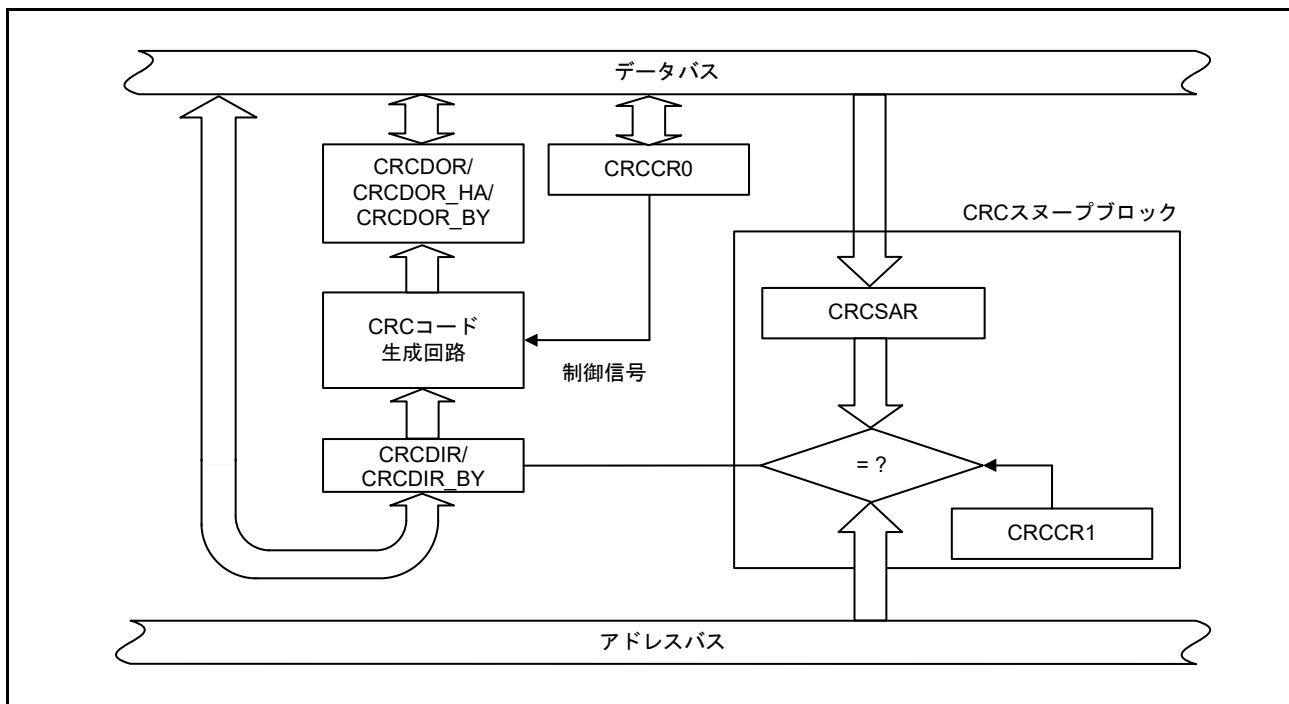
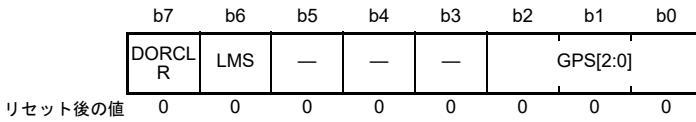


図 32.1 CRC のブロック図

32.2 レジスタの説明

32.2.1 CRC コントロールレジスタ 0 (CRCCR0)

アドレス [CRC.CRCCR0 4007 4000h](#)



ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替え	b2 b0 0 0 0: 算出しない 0 0 1: 8ビットCRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16ビットCRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16ビットCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32ビットCRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32ビットCRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 上記以外: 算出しない	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC演算切り替え	0: LSBファースト通信用にCRCを生成 1: MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタクリア	1: CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W (注1)

注1. このレジスタに書き込みを行うときは、このビットを必ず1にしてください。

[DORCLR](#) ビット (CRCDOR/CRCDOR_HA/CRCDOR_BY)

DORCLR ビットを1にすると、CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタが0000 0000hになります。読むと0が読めます。1のみ書けます。

[LMS](#) ビット (CRC演算切り替え)

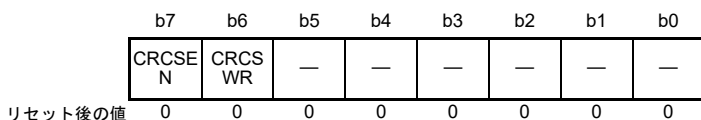
生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。CRCコードの送信および受信については、[32.3 動作説明](#)を参照してください。

[GPS\[2:0\]](#) ビット (CRC生成多項式切り替え)

CRC生成多項式を選択します。

32.2.2 CRC コントロールレジスタ 1 (CRCCR1)

アドレス [CRC.CRCCR1 4007 4001h](#)



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト/リード切り替え	0: スヌープオンリード 1: スヌープオンライト	R/W
b7	CRCSEN	スヌープ許可	0: 禁止 1: 許可	R/W

CRCSWR ビット (スヌープオンライト/リード切り替え)

アドレスモニタ機能でのアクセス方向を選択します。

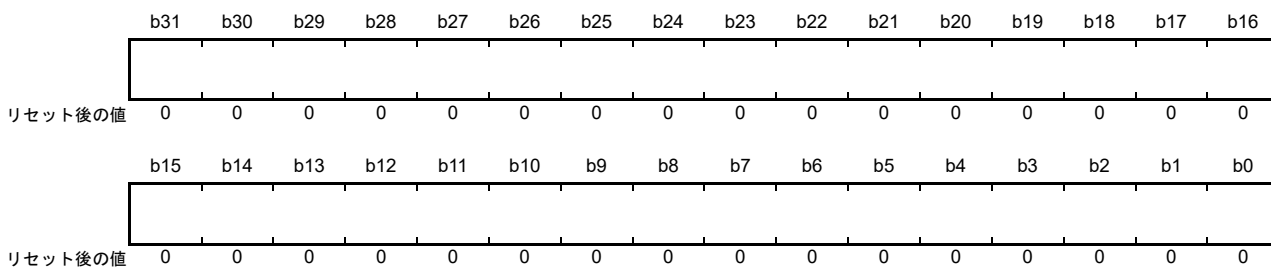
本ビットを0にすると、特定のレジスタアドレスの読み出しに対してCRCスヌープ動作が有効になります。1にすると、特定のレジスタアドレスの書き込みに対してCRCスヌープ動作が有効になります。

CRCSEN ビット (スヌープ許可)

本ビットを1にすると、CRCスヌープ動作が有効になります。0にすると、CRCスヌープ動作が無効になります。

32.2.3 CRC データ入力レジスタ (CRCDIR/CRCDIR_BY)

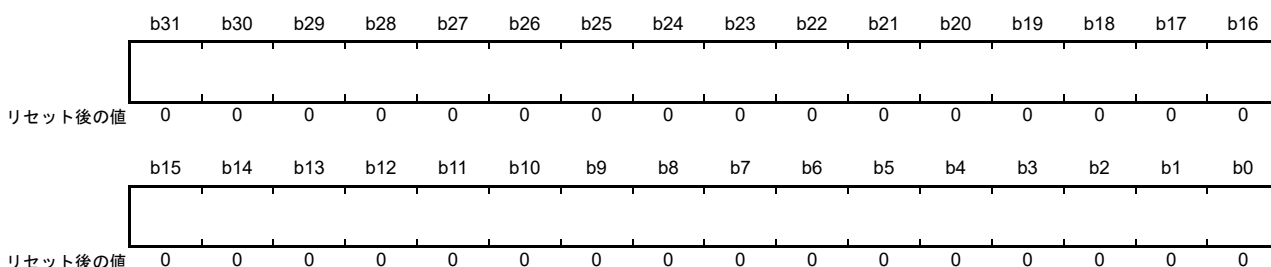
アドレス [CRC.CRCDIR/CRCDIR_BY 4007 4004h](#)



CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込むための 32 ビットのリード/ライトレジスタです。CRCDIR_BY レジスタは、CRC-8 または CRC-16 または CRC-CCITT 演算用データを書き込むための 8 ビットのリード/ライトレジスタです。

32.2.4 CRC データ出力レジスタ (CRCDOR/CRCDOR_HA/CRCDOR_BY)

アドレス [CRC.CRCDOR/CRCDOR_HA/CRCDOR_BY 4007 4008h](#)



CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットのリード/ライトレジスタです。

CRCDOR_HA レジスタは、CRC-16 または CRC-CCITT 用の 16 ビットのリード/ライトレジスタです。

CRCDOR_BY レジスタは、CRC-8 用の 8 ビットのリード/ライトレジスタです。

初期値は 0000 0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。

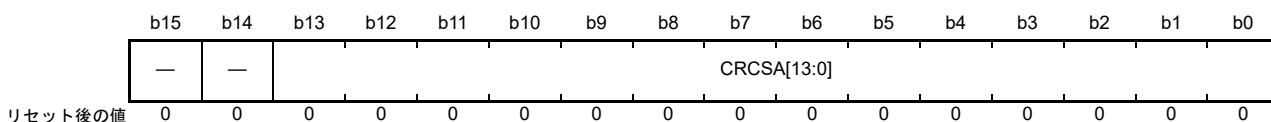
CRCDOR/CRCDOR_BY レジスタに書き込まれたデータは CRC 演算され、結果は CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0000 0000h であると、CRC エラーなしと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合、CRCDOR_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$ 、または $X^{16} + X^{12} + X^5 + 1$ の多項式) を使用した場合、CRCDOR_HA レジスタに有効な CRC コードが得られます。

32.2.5 スヌープアドレスレジスタ (CRCSAR)

アドレス [CRC.CRCSAR 4007 400Ch](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	CRCSA[13:0]	レジスタスヌープアドレス	SCI モジュールの TDR または RDR アドレスをスヌープにします。	R/W
b15-b14	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

CRCSA[13:0] ビット (レジスタスヌープアドレス)

本ビットには、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを設定します。

CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h:SCI0.TDR, 4007 0005h:SCI0.RDR
- 4007 0023h:SCI1.TDR, 4007 0025h:SCI1.RDR
- 4007 0123h:SCI9.TDR, 4007 0125h:SCI9.RDR
- 4007 000Fh:SCI0.FTDRL, 4007 0011h:SCI0.FRDR

32.3 動作説明

32.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (F0h) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用している場合は、CRCDOR_BY レジスタに CRC コードの有効ビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに CRC コードの有効ビットが得られます。

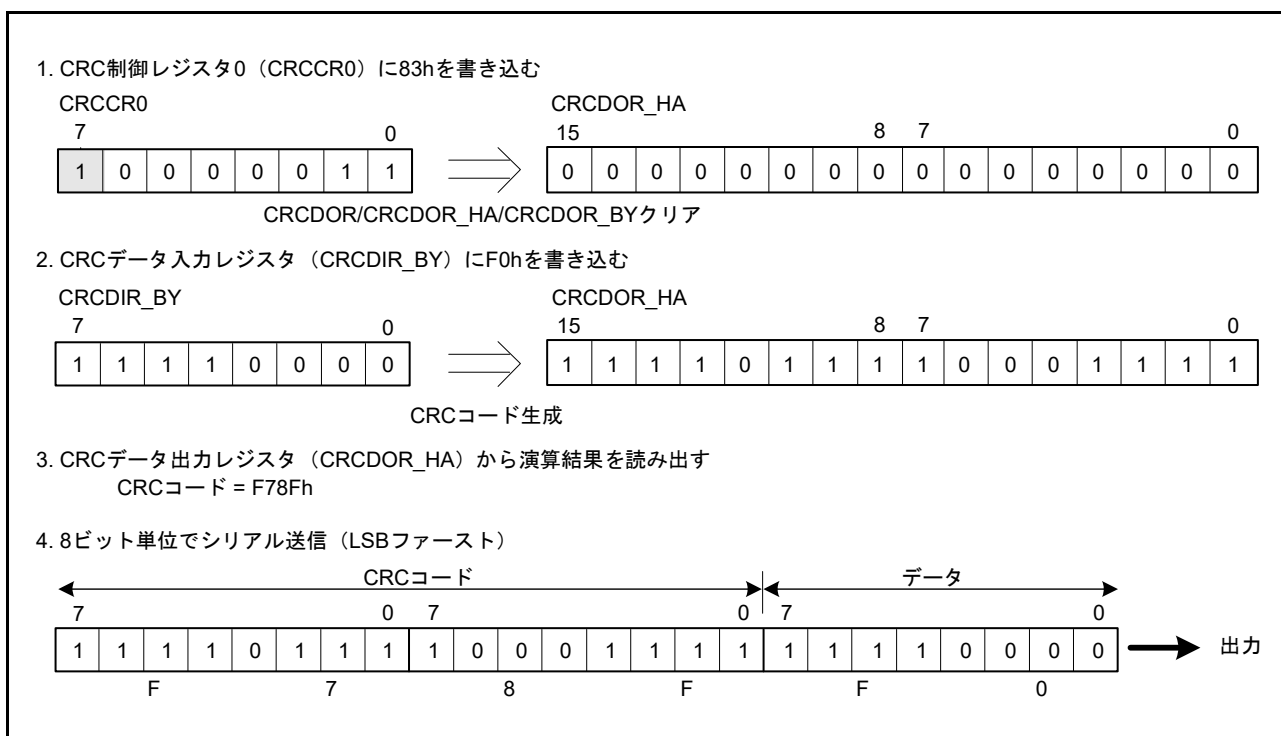


図 32.2 LSB ファーストのデータ送信

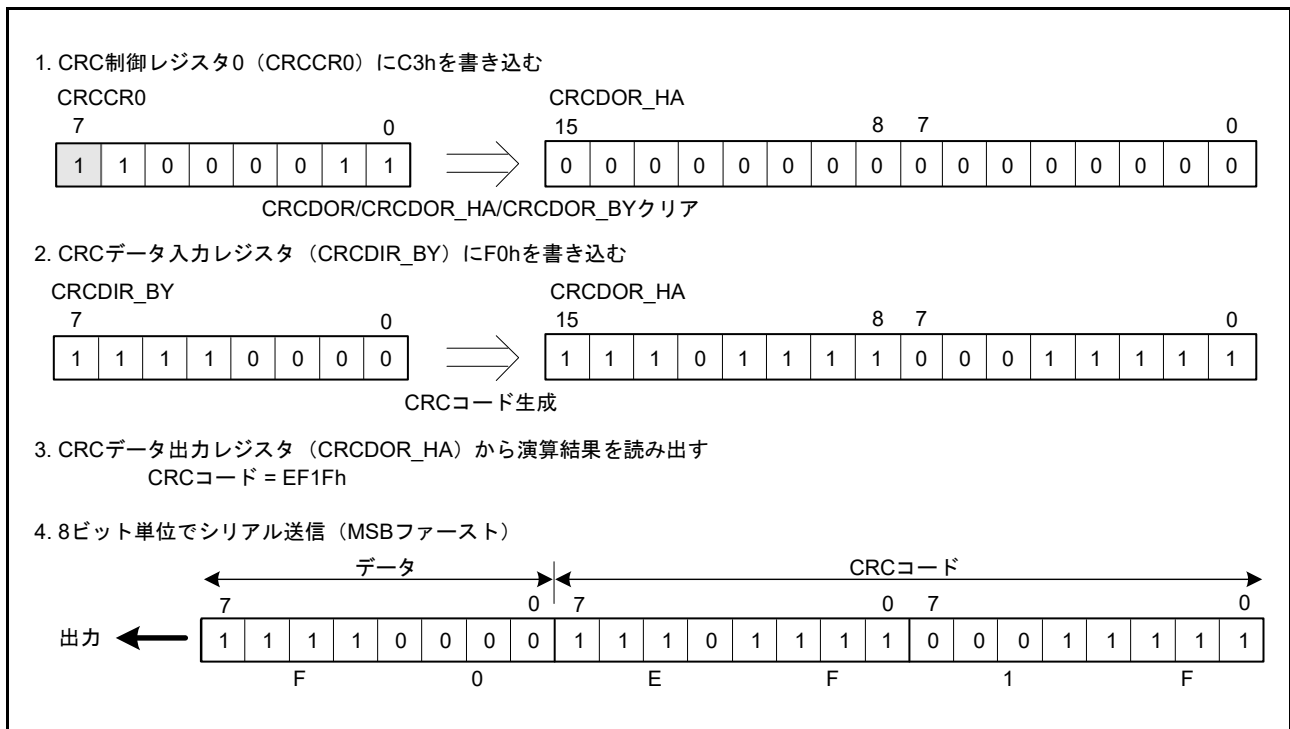


図 32.3 MSBファーストのデータ送信

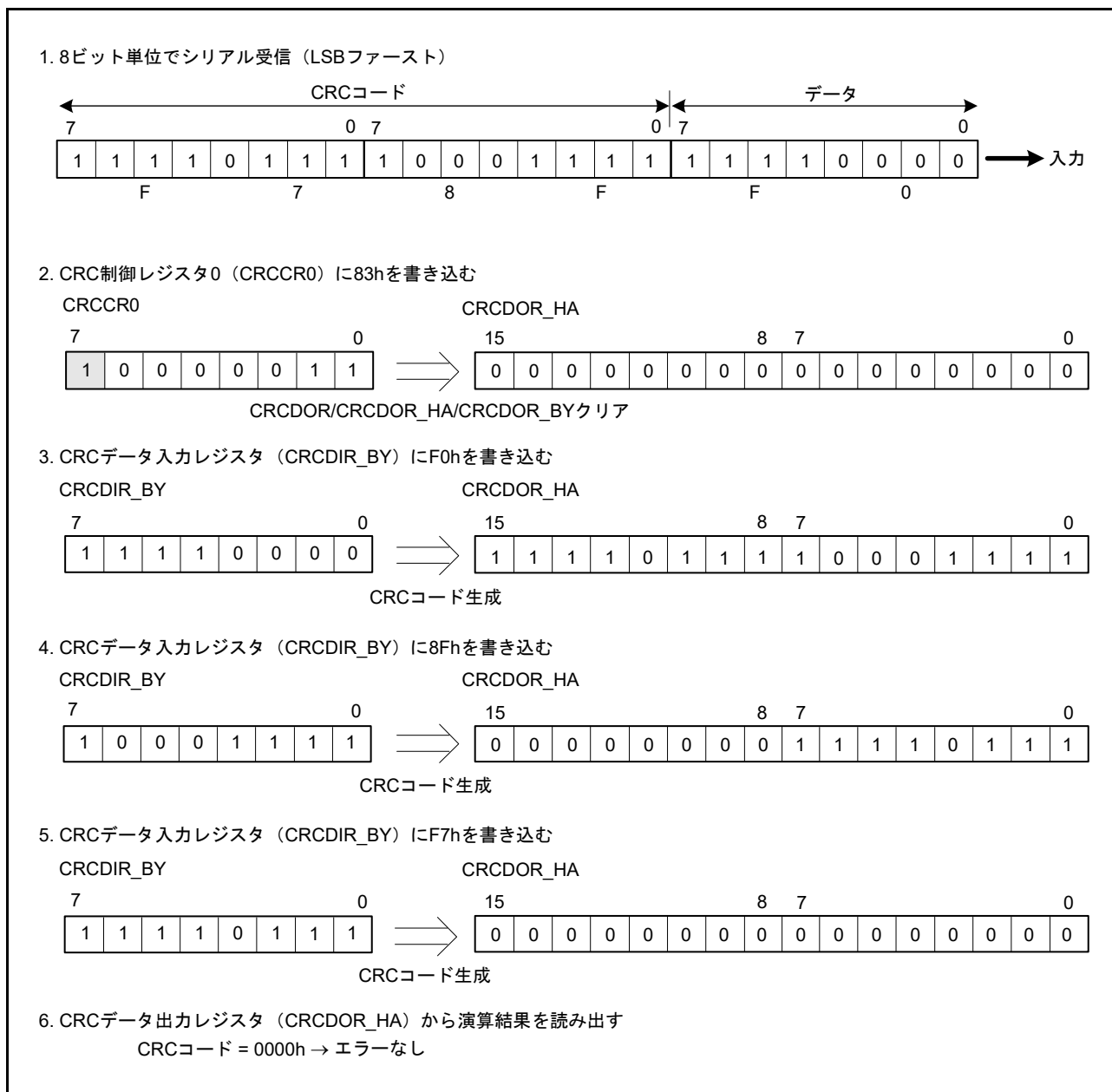


図 32.4 LSB ファーストのデータ受信

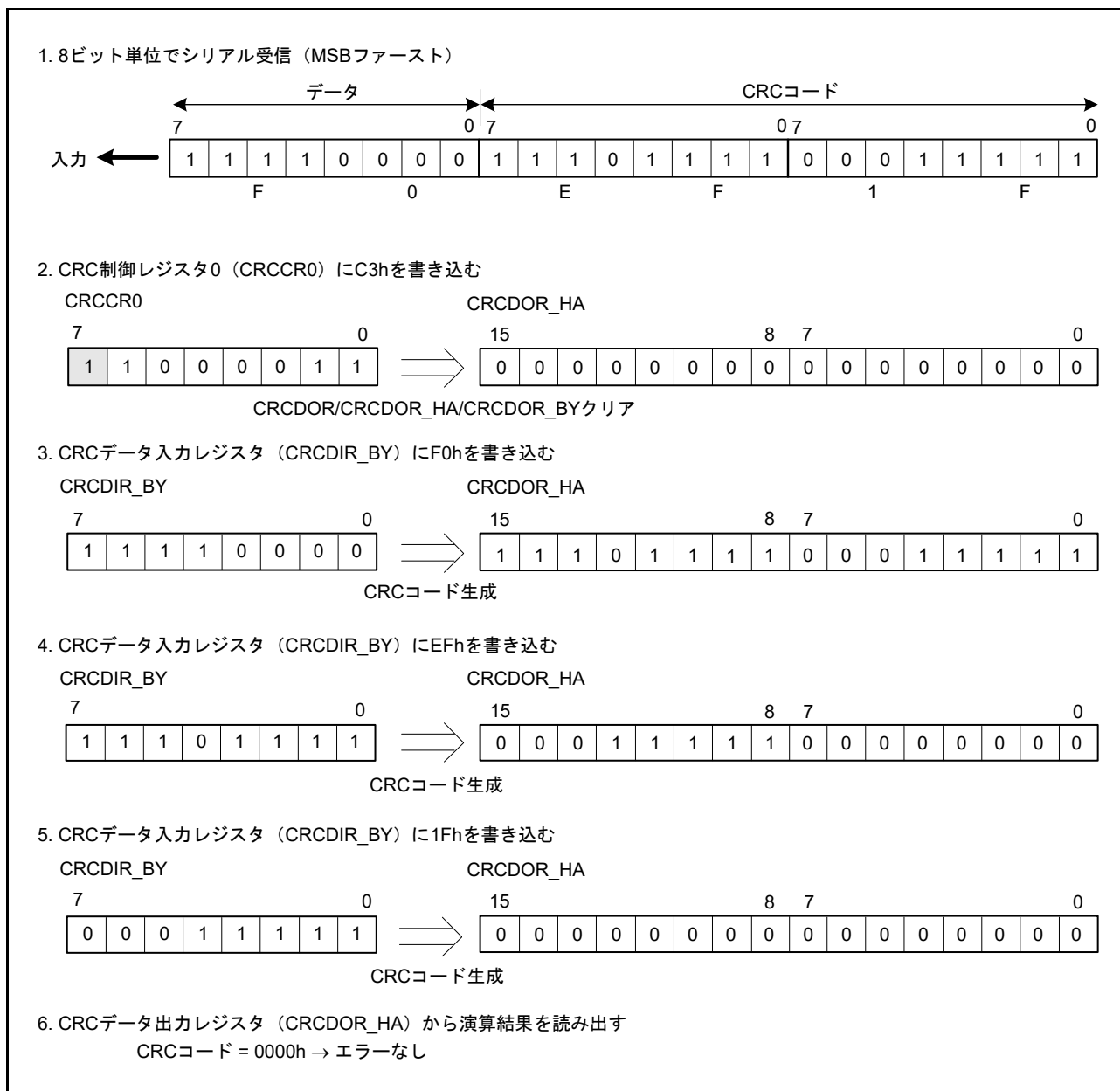


図 32.5 MSB ファーストのデータ受信

32.3.2 CRC スヌープ

CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを監視し、その特定のレジスタアドレスに読み出しおよび書き込みを行ったデータを用いて自動的に CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRC_{DIR_BY} レジスタにデータを書き込む必要がありません。スヌープアドレスレジスタ (CRC_{SAR}) で指定したすべての I/O レジスタアドレスが、CRC スヌープの対象となります。CRC スヌープは、シリアル送信バッファへの書き込みおよびシリアル受信バッファからの読み出しをモニタするのに役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRC_{SAR} レジスタの CRC_{SA13} ~ CRC_{SA0} ビットに書き込み、CRC_{CR1} レジスタの CRC_{SEN} ビットを 1 にします。次に、CRC_{CR1}.CRC_{SWR} ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRC_{CR1}.CRC_{SWR} ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRC_{SEN} ビットを 1、CRC_{SWR} ビットを 1 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器はそのデータを CRC_{DIR_BY} レジスタに格納して、CRC 演算を実行します。同様に、CRC_{SEN} ビットを 1、CRC_{SWR} ビットを 0 にして、バスマスタモジュール (CPU、DTC など) の対象となる I/O レジスタアドレスからデータを読み出すと、CRC 演算器はそのデータを CRC_{DIR_BY} レジスタに格納して、CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード (16 ビット) またはロングワード (32 ビット) でアクセスすると、データの下位バイト (1 バイト) に CRC コードが生成されます。

32.4 使用上の注意事項

32.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作を禁止または許可することが可能です。リセット後、CRC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

32.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。

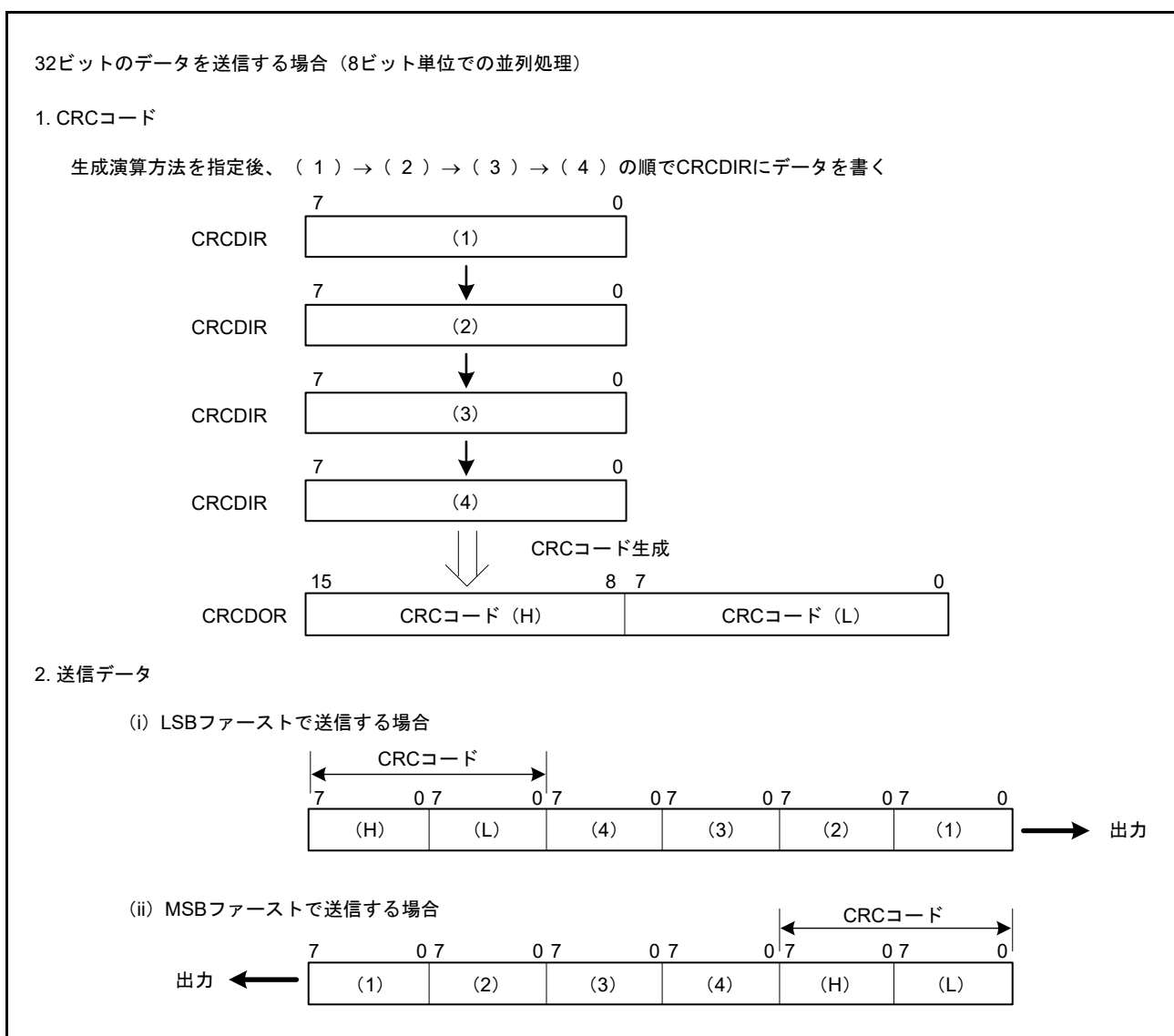


図 32.6 LSB ファーストと MSB ファーストのデータ送信

33. 14ビットA/Dコンバータ (ADC14)

33.1 概要

本MCUは、逐次比較方式の14ビットのA/Dコンバータ(ADC14)を内蔵しています。変換には最大21チャンネルのアナログ入力を選択可能です。変換には温度センサ出力、および内部基準電圧を選択できます。A/D変換精度は14ビット変換と12ビット変換が選択可能であり、デジタル値の生成時に速度と分解能のバランスを最適化することが可能です。

ADC14には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャンネルのアナログ入力を、順次チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に2つのグループ(グループAとグループB)に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することが可能です。さらに、グループAの優先制御動作を設定すると、ADC14はグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断します。このようにして、グループAのA/D変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)します。

自己診断は、スキャンごとの最初に1回実施され、ADC14内部で生成する3つの電圧値のうち1つをA/D変換します。

変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力および内部基準電圧のA/D変換は個別に行われます。

ADC14は比較機能(ウィンドウAおよびウィンドウB)も搭載しています。この比較機能は、ウィンドウAの上側基準値およびウィンドウBの下側基準値を指定し、選択したチャンネルのA/D変換値が比較条件に一致すると割り込みを出力します。

基準電源端子(VREFH0)、アナログ部の電源端子(AVCC0)、または内部基準電圧は、高電位側の基準電圧として選択可能です。基準電源グランド端子(VREFL0)またはアナログ部の電源グランド端子(AVSS0)は、低電位側の基準電圧として選択可能です。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧のA/D変換は実行できません。

表 33.1 に ADC14 の仕様を、表 33.2 に機能を、図 33.1 にブロック図を、表 33.3 に入出力端子を示します。

表 33.1 ADC14の仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	最大21チャンネル (AN000～AN013、AN016～AN022)
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	14ビット (14ビットまたは12ビット変換が選択可能)
変換時間	1チャンネル当たり0.79μs (14ビットA/D変換クロックPCLKD (ADCLK) が64MHzで動作時)
A/D変換クロック	周辺モジュールクロックPCLKB (注1) とA/D変換クロックPCLKD (ADCLK) (注1) を以下の分周比で設定可能 PCLKB : PCLKD (ADCLK) 分周比 = 1:1、1:2、1:4
データレジスタ	<ul style="list-style-type: none"> アナログ入力用21本 ダブルトリガモードでのA/D変換データ2重化用1本 ダブルトリガモード拡張動作時のA/D変換データ2重化用2本 温度センサ出力用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果をA/Dデータレジスタに保持 A/D変換結果の12、14ビット精度出力対応 A/D変換値加算モード (A/D変換結果の加算値を変換精度ビット数+2ビットでA/Dデータレジスタに保持) (注4) ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データを関連するトリガに準備した2重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を1回のみA/D変換 連続スキャンモード 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返しA/D変換 グループスキャンモード 任意に選択したチャンネルのアナログ入力を、グループ単位で1回のみA/D変換 グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能 グループスキャンモード (グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実行 グループAのA/D変換動作終了後にグループBのA/D変換動作の再実行 (再スキャン) の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ イベントリンクコントローラ (ELC) からの同期トリガ 外部トリガADTRG0端子からの非同期トリガ
機能	<ul style="list-style-type: none"> 非内蔵専用サンプル&ホールド機能 サンプリングステート数可変機能 ADC14の自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) ダブルトリガモード (A/D変換データ2重化機能) 12/14ビット変換切り替え機能 (注2) A/Dデータレジスタオートクリア機能 デジタルコンペア機能 (コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較)

表 33.1 ADC14の仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> シングルスキャンモード（ダブルトリガモード非選択）では、1回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求（ADC140_CMPAI/ADC140_CMPBI）を発生 デジタルコンペア機能の比較条件成立で、ウィンドウコンペアELCイベント信号（ADC140_WCMPPM）を発生 デジタルコンペア機能の比較条件不成立で、ウィンドウコンペアELCイベント信号（ADC140_WCMPUM）を発生 シングルスキャンモード（ダブルトリガモード選択）では、2回のスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生 連続スキャンモードでは、選択した全チャンネルのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生 グループスキャンモード（ダブルトリガモード非選択）では、グループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求（ADC140_GBADI）を発生 グループスキャンモード（ダブルトリガモード選択）では、2回のグループAのスキャン終了でA/Dスキャン終了割り込み要求およびELCイベント信号（ADC140_ADI）を発生。グループBのスキャン終了でグループBのA/Dスキャン終了割り込み要求（ADC140_GBADI）を発生 ADC140_ADI、ADC140_GBADI、ADC140_WCMPPM、およびADC140_WCMPUMでデータトランスファコントローラ（DTC）を起動可能
ELCインタフェース	ELCからのトリガでスキャン開始可能
基準電圧	<ul style="list-style-type: none"> VREFH0、AVCC0、または内部基準電圧は、高電位側の基準電圧として選択可能 VREFL0またはAVSS0は、低電位側の基準電圧として選択可能
モジュール停止機能	モジュールストップ状態への設定が可能（注3）

- 注． 温度センサ出力または内部基準電圧を選択する場合、連続スキャンモードまたはグループスキャンモードは使用しないでください。
- 注 1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットに設定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKD[2:0] ビットに設定します。PCLKB の最大周波数は 32MHz で、PCLKD (ADCLK) の最大周波数は 64MHz です。
- 注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、33.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。
- 注 3. 詳細は、「10. 低消費電力モード」を参照してください。
- 注 4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 12 または 14 ビットの場合、2 ビット拡張は最大で変換 4 回（加算 3 回）となります。

表 33.2 ADC14の機能一覧

項目			ADC140
アナログ入力チャンネル			AN000～AN013、AN016～AN022 内部基準電圧 温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	外部トリガ	トリガ入力端子	ADTRG0
	同期トリガ（ELCからのトリガ）	ELCトリガ	ELC_AD00 ELC_AD01
割り込み			ADC140_ADI ADC140_GBADI ADC140_CMPAI ADC140_CMPBI
ELCへの出力			ADC140_ADI ADC140_WCMPPM ADC140_WCMPUM
モジュールストップ機能の設定（注1）（注2）			MSTPCRD.MSTPD16ビット

- 注 1. 詳細は、「10. 低消費電力モード」を参照してください。
- 注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1μs 以上待機します。

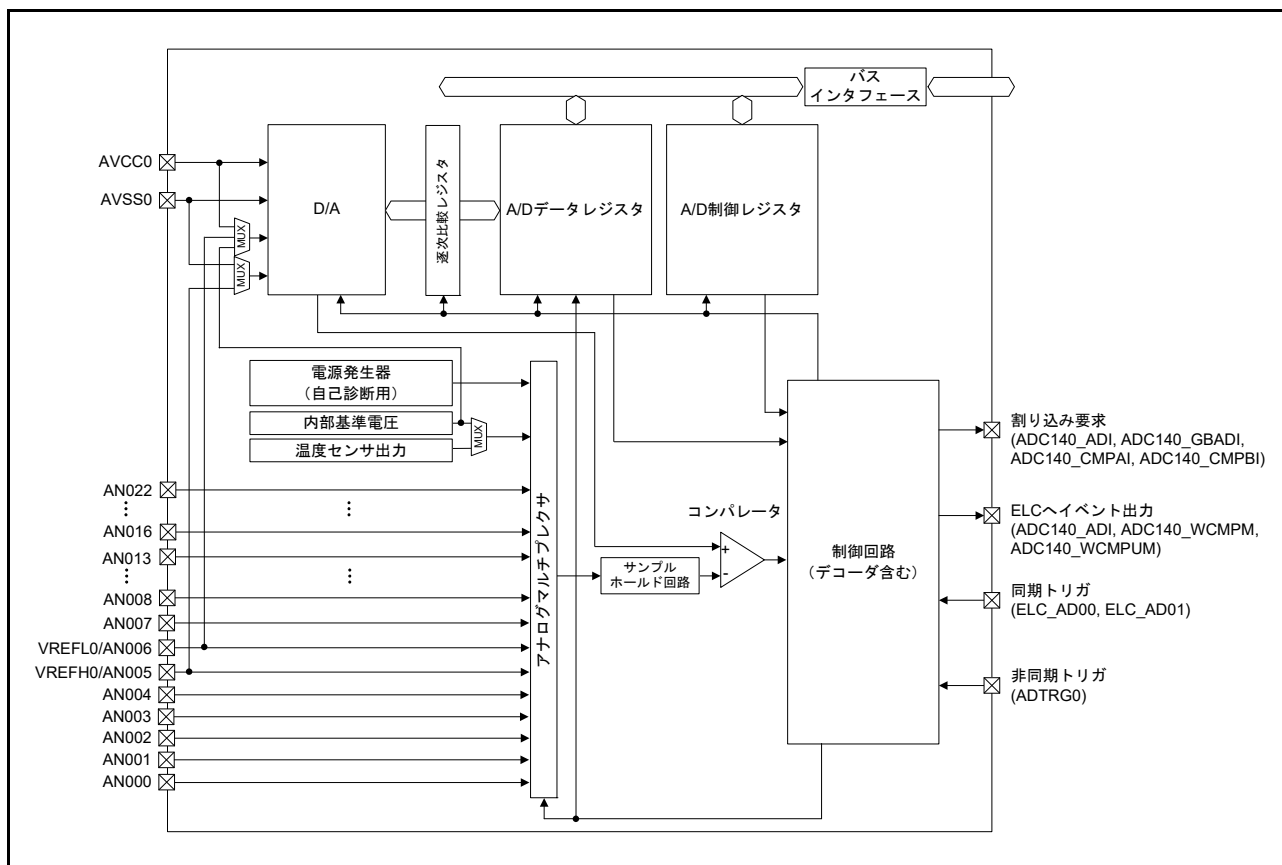


図 33.1 ADC14 のブロック図

表 33.3 ADC14の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部の電源グランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN013、AN016～AN022	入力	アナログ入力端子0～13、16～22
ADTRG0	入力	A/D変換開始のための外部トリガ入力端子

33.2 レジスタの説明

- 33.2.1 A/D データレジスタ y (ADDRy)、
 A/D データ 2 重化レジスタ (ADDBLDR)、
 A/D データ 2 重化レジスタ A (ADDBLDRA)、
 A/D データ 2 重化レジスタ B (ADDBLDRB)、
 A/D 温度センサデータレジスタ (ADTSDR)、
 A/D 内部基準電圧データレジスタ (ADOCDR)

データレジスタには以下の種類があります。

- ADDRy レジスタ (y=0 ~ 13, 16 ~ 22) : A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDR レジスタ: ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDRA/ADDBLDRB レジスタ: ダブルトリガモード選択時、拡張動作中のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR レジスタ: 温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR レジスタ: 内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

これらのレジスタは、下記の条件によりデータフォーマットが異なります。

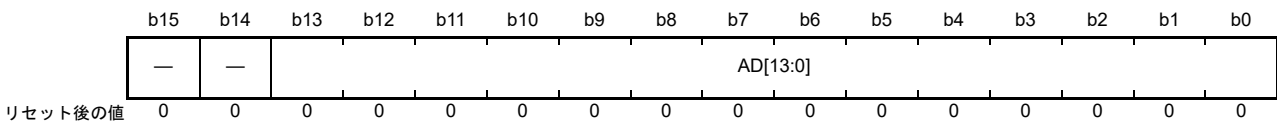
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰め、または右詰め)
- A/D データ変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、4 回、または 16 回)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下では、各モードにおける条件ごとのデータフォーマットについて説明します。

(1) A/D 変換値加算/平均モードを非選択とした場合

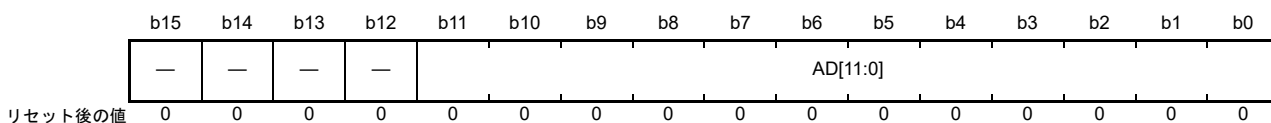
右詰めフォーマット、14 ビット精度に設定した場合

アドレス [ADC140.ADDR0 4005 C020h](#) ~ [ADC140.ADDR13 4005 C03Ah](#),
[ADC140.ADDR16 4005 C040h](#) ~ [ADC140.ADDR22 4005 C04Ch](#),
[ADC140.ADDBLDR 4005 C018h](#), [ADC140.ADDBLDRA 4005 C084h](#), [ADC140.ADDBLDRB 4005 C086h](#),
[ADC140.ADTSDR 4005 C01Ah](#), [ADC140.ADOCDR 4005 C01Ch](#)



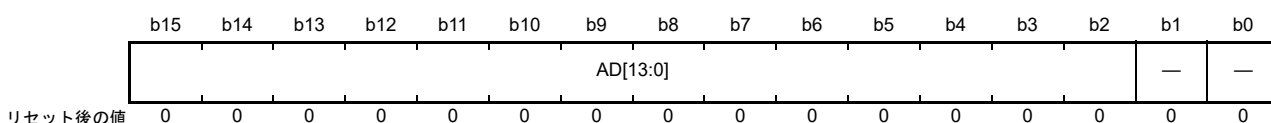
ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13~0	14ビットA/D変換値	R
b15-b14	—	予約ビット	読むと0が読めます。	R

右詰めフォーマット、12ビット精度に設定した場合



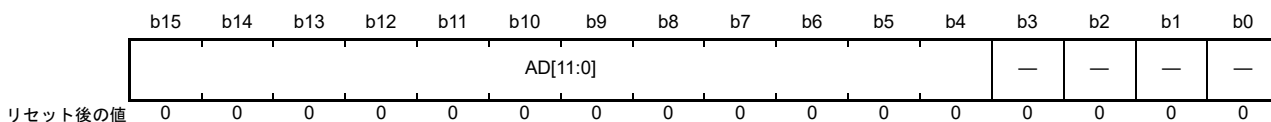
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

左詰めフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

左詰めフォーマット、12ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで2回または4回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルのA/D 変換値を平均した値を示します。通常のA/D 変換と同様にA/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

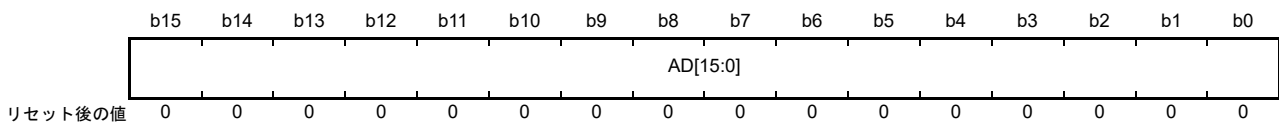
12ビットおよび14ビット精度 (ADPRC ビットの設定値) の場合、A/D 変換値加算モードで1回、2回、3回、または4回を選択できます。A/D 変換結果は、変換精度のビット数に2ビット分拡張したデータとして、A/D データレジスタに格納されます。

12ビット精度を選択した場合、A/D 変換値加算モードで16回変換も選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルのA/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に4ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

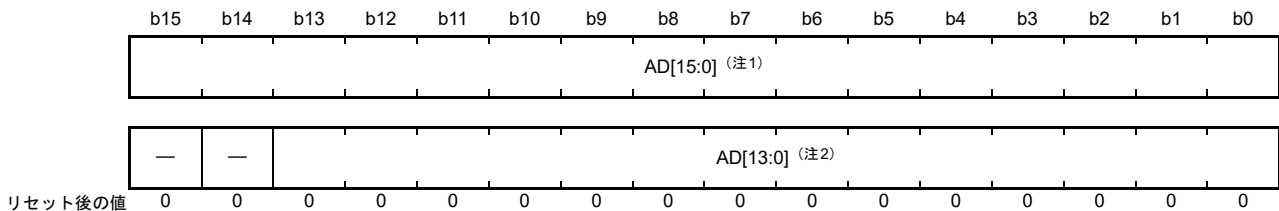
以下では、各条件のデータフォーマットについて説明します。

右詰めフォーマット、14ビット精度に設定した場合 (A/D 変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果 15~0	16ビットA/D変換値加算結果	R

右詰めフォーマット、12ビット精度に設定した場合 (A/D 変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果 15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果 13~0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

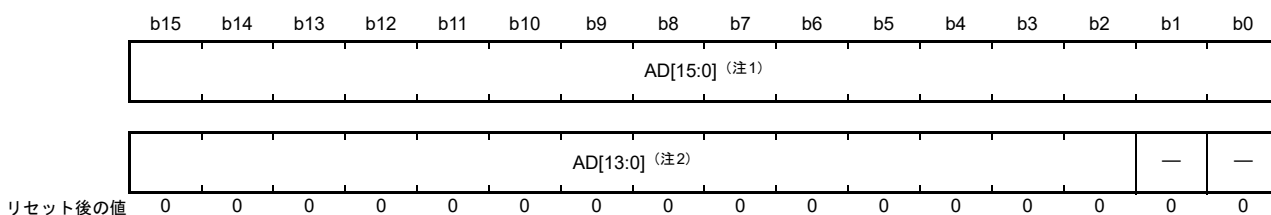
- 注 1. A/D 変換値加算モードで16回変換を選択した場合に使用。
- 注 2. A/D 変換値加算モードで1回、2回、3回、または4回変換を選択した場合に使用。

左詰めフォーマット、14ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0]	加算結果15~0	16ビットA/D変換値加算結果	R

左詰めフォーマット、12ビット精度に設定した場合 (A/D変換値加算モード時)



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15~0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13~0	14ビットA/D変換値加算結果	R

注 1. A/D変換値加算モードで16回変換を選択した場合に使用。
 注 2. A/D変換値加算モードで1回、2回、3回、または4回変換を選択した場合に使用。

33.2.2 A/D 自己診断データレジスタ (ADRD)

ADRD レジスタは、ADC14 の自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[13:0] ビットに加えて、自己診断ステータスビット (DIAGST) が付加されています。

このレジスタは、下記の条件によりデータフォーマットが異なります。

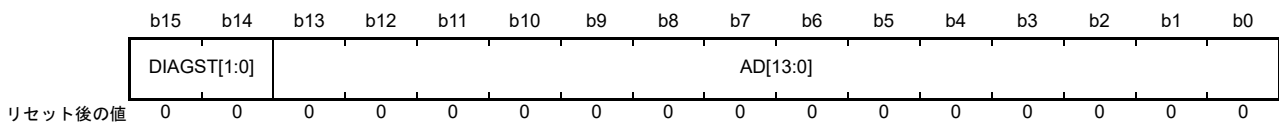
- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰め、または右詰め)
- A/D データ変換精度指定ビット (ADCER.ADPRC[1:0]) の設定値 (12 ビットまたは 14 ビット)

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、[33.2.11 A/D コントロール拡張レジスタ \(ADCER\)](#) を参照してください。

以下では、各条件のデータフォーマットについて説明します。

右詰めのフォーマット、14 ビット精度に設定した場合

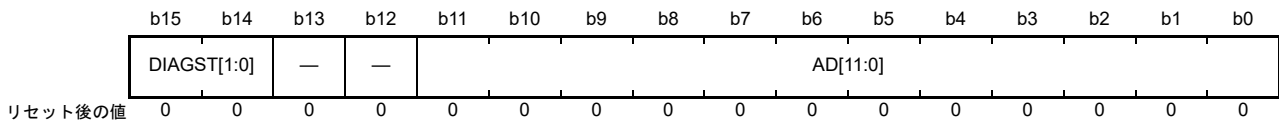
アドレス [ADC140.ADRD 4005 C01Eh](#)



ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0]	変換値 13~0	14ビットA/D変換値	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 33.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

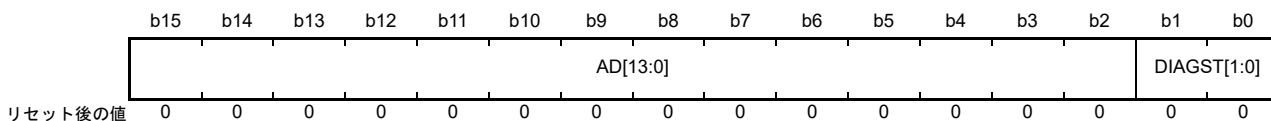
右詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値 11~0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 33.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R

注 1. 基準電圧は VREFH0 を指します。

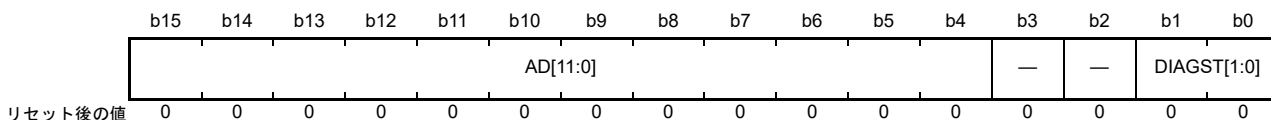
左詰めフォーマット、14ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 33.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b15-b2	AD[13:0]	変換値 13~0	14ビットA/D変換値	R

注 1. 基準電圧は VREFH0 を指します。

左詰めフォーマット、12ビット精度に設定した場合

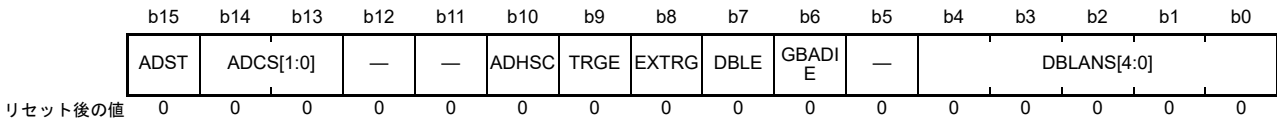


ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0: パワーオンから自己診断を実施していないことを示す 0 1: 0Vの電圧値の自己診断を実施したことを示す 1 0: 基準電源 (注1) ×1/2の電圧値の自己診断を実行したことを示す 1 1: 基準電源 (注1) の電圧値の自己診断を実行したことを示す 自己診断の詳細については、 33.2.11 A/Dコントロール拡張レジスタ (ADCER) を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値 11~0	12ビットA/D変換値	R

注 1. 基準電圧は VREFH0 を指します。

33.2.3 A/D コントロールレジスタ (ADCSR)

アドレス ADC140.ADCSR 4005 C000h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込み許可	0: グループBのスキャン終了後にADC140_GBADI割り込み発生を禁止 1: グループBのスキャン終了後にADC140_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択 (注1)	0: 同期トリガ (ELC) によりA/D変換開始 1: 非同期トリガ (ADTRG0) によりA/D変換開始	R/W
b9	TRGE	トリガ開始許可	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換モード選択	0: 高速A/D変換モード 1: 低消費電力A/D変換モード	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタート	0: A/D変換停止 1: A/D変換開始	R/W

注 1. 外部端子 (非同期トリガ) で A/D 変換を起動する方法 :
外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 信号を Low にします。この設定の場合、ADTRG0 の立ち下がりがエッジを検出すると、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5PCLKB クロック以上必要です。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択)

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 33.4 にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを設定した状態での A/D 変換値加算/平均モードは、ADADS0/1 レジスタの DBLANS[4:0] ビットでチャンネルを選択することで設定可能です。ダブルトリガモードでは、ADANSA0 および ADANSA1 レジスタで選択したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが代わりに A/D 変換対象になります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャンネルアナログ入力を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に実行しないでください。

ダブルトリガモードが選択されている状態で A/D 変換値加算／平均モードに移行するには、DBLANS[4:0] ビットを使用して選択したチャンネルを ADANSA0、ADANSA1 レジスタに設定してください。

表 33.4 DBLANS ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	10000	AN016
00001	AN001	10001	AN017
00010	AN002	10010	AN018
00011	AN003	10011	AN019
00100	AN004	10100	AN020
00101	AN005	10101	AN021
00110	AN006	10110	AN022
00111	AN007	10111	—
01000	AN008	11000	—
01001	AN009	11001	—
01010	AN010	11010	—
01011	AN011	11011	—
01100	AN012	11100	—
01101	AN013	11101	—
01110	—	11110	—
01111	—	11111	—

注． 自己診断機能、温度センサ出力、および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。

GBADIE ビット (グループ B スキャン終了割り込み許可)

グループスキャンモードでのグループ B のスキャン終了割り込み (ADC140_GBADI) の発生を許可／禁止します。

DBLE ビット (ダブルトリガモード選択)

ダブルトリガモードの選択／非選択を指定します。また、ダブルトリガモードは、ADSTRGR.TRSA[5:0] ビットで選択された同期トリガ (ELC) のみで動作できます。ダブルトリガモードの動作について以下に説明します。

- 1 回目の変換終了時は ADC140_ADI 割り込みを出力せず、2 回目の変換終了時に出力します。
- 2 回目のトリガで開始した 2 重化チャンネル (DBLANS[4:0] ビットで選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定されている場合 (ダブルトリガモードを選択)、ADANS0 および ADANS1 レジスタで指定したチャンネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE を再度 1 にすると、ダブルトリガモードの動作は最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、必ず ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

EXTRG ビット (トリガ選択)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可)

同期トリガ、非同期トリガによる A/D 変換の起動を許可／禁止します。グループスキャンモード時はこのビットを 1 にしてください。

ADHSC ビット (A/D 変換モード選択)

A/D 変換を高速モードにするか低電流モードにするか選択します。

本ビットの書き換え方法については、[33.8.8 ADHSC ビット書き換え手順](#)を参照してください。

ADCS[1:0] ビット (スキャンモード選択)

スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0 および ADANSA1 レジスタで選択した最大 21 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力の A/D 変換を若いチャンネル番号順に実施します。選択されたすべてのチャンネルの A/D 変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時：

- グループ A のスキャンは、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSA0、ADANSA1 レジスタで選択した最大チャンネル数までのアナログ入力 (グループ A) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。
- グループ B のスキャンは、ADSTRGR.TRSB[5:0] ビットで選択した同期トリガ (ELC) により開始します。ADANSA0、ADANSA1 レジスタで選択した最大 21 チャンネルのアナログ入力 (グループ B) の A/D 変換を若いチャンネル番号順に実行します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換が重なった場合、これらの変換は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位を A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタを設定してすべてのチャンネルを非選択にしてから、A/D 変換を実施してください。選択した温度センサ出力または内部基準電圧の A/D 変換が終了したら、A/D 変換は停止します。

ADCS[1:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に行わないでください。

表 33.5 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	x	○	○
	DBLE = 1	x	○ (1chのみ)	x	x	x
連続スキャン	DBLE = 0	○	○	x	x	x
	DBLE = 1	x	x	x	x	x
グループスキャン	DBLE = 0	○	○	○	x	x
	DBLE = 1	x	○ (1chのみ)	○	x	x

○：選択可能。x：選択不可能

ADST ビット (A/D 変換スタート)

A/D 変換の開始/停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを 1 にして、グループ B の A/D 変換を開始したとき

[0 になる条件]

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力、または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、グループ B の A/D 変換実行中にグループ A のトリガを検出し、グループ B のスキャンが停止したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADGSPCR.GBRP ビットを 1 にし、グループ B の再起動トリガによるスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADGSPCR.GBRSCN ビットを 1 にし、グループ B のトリガによるスキャンが終了したとき

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを 1 にしないでください。

注. グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADGSPCR.GBRP ビット = 1 の場合、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

33.2.4 A/D チャンネル選択レジスタ A0 (ADANSA0)

アドレス **ADC140.ADANSA0 4005 C004h**

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	ANSA1 3	ANSA1 2	ANSA1 1	ANSA1 0	ANSA0 9	ANSA0 8	ANSA0 7	ANSA0 6	ANSA0 5	ANSA0 4	ANSA0 3	ANSA0 2	ANSA0 1	ANSA0 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	ANSA13 ~ ANSA00	A/D変換チャンネル選択	0 : 関連する入力チャンネルを非選択 1 : 関連する入力チャンネルを選択 ビット13 (ANSA13) はAN013に対応し、ビット0 (ANSA00) はAN000に対応します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSAn ビット (n = 00 ~ 13) (A/D 変換チャンネル選択)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN013 の組み合わせを選択するレジスタです。チャンネルおよびチャンネル数は任意に設定可能です。ANSA00 ビットが AN000 に対応し、ANSA13 ビットが AN013 に対応します。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス `ADC14.ANANSA1 4005 C006h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	ANSA2 2	ANSA2 1	ANSA2 0	ANSA1 9	ANSA1 8	ANSA1 7	ANSA1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSA22 ~ ANSA16	A/D変換チャンネル選択	0: 関連する入力チャンネルを非選択 1: 関連する入力チャンネルを選択 ビット6 (ANSA22) はAN022に対応し、ビット0 (ANSA16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSAn ビット (n = 16 ~ 22) (A/D 変換チャンネル選択)

A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN022 の組み合わせを選択するレジスタです。チャンネルおよびチャンネル数は任意に設定可能です。ANSA16 ビットが AN016 に、ANSA22 ビットが AN022 に対応します。ダブルトリガモード時は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA1[15:7] ビットの設定は無効になります。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス `ADC140.ADANSB0 4005 C014h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	ANSB13	ANSB12	ANSB11	ANSB10	ANSB09	ANSB08	ANSB07	ANSB06	ANSB05	ANSB04	ANSB03	ANSB02	ANSB01	ANSB00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	ANSB13~ANSB00	A/D変換チャネル選択	0: 関連する入力チャネルを非選択 1: 関連する入力チャネルを選択 ビット13 (ANSB13) はAN013に対応し、ビット0 (ANSB00) はAN000に対応します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSBn ビット (n = 00 ~ 13) (A/D 変換チャネル選択)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ~ AN013 の組み合わせを選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャネル) を選択しないでください。

ANSB00 ビットは AN000 に、ANSB07 ビットは AN007 に、ANSB13 ビットは AN013 に対応します。

温度センサ出力または内部基準電圧を選択するときは、本レジスタを 0000h にしてすべてのアナログ入力チャネルを非選択にしてください。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

アドレス `ADC14.ADANSB1 4005 C016h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	ANSB2 2	ANSB2 1	ANSB2 0	ANSB1 9	ANSB1 8	ANSB1 7	ANSB1 6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSB22 ~ ANSB16	A/D変換チャンネル選択	0: 関連する入力チャンネルを非選択 1: 関連する入力チャンネルを選択 ビット6 (ANSB22) はAN022に対応し、ビット0 (ANSB16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSBn ビット (n = 16 ~ 22) (A/D 変換チャンネル選択)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016 ~ AN022 の組み合わせを選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択、およびダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

ANSB16 ビットは AN016 に、ANSB20 ビットは AN020 に、ANSB22 ビットは AN022 に対応します。

温度センサ出力または内部基準電圧を選択するときは、本レジスタを 0000h にしてすべてのアナログ入力チャンネルを非選択にしてください。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.8 A/D 変換値加算／平均チャンネル選択レジスタ 0 (ADADS0)

アドレス `ADC140.ADADS0 4005 C008h`

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	ADS13	ADS12	ADS11	ADS10	ADS09	ADS08	ADS07	ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	ADS13～ADS00	A/D変換値加算／平均チャンネル選択	0：関連する入力チャンネルを非選択 1：関連する入力チャンネルを選択 ビット13 (ADS13) はAN013に対応し、ビット0 (ADS00) はAN000に対応します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS_n ビット (n = 00 ~ 13) (A/D 変換値加算／平均チャンネル選択)

A/D 変換値加算／平均の対象となる A/D 変換チャンネル AN000 ~ AN013 を決定します。選択した A/D 変換チャンネルに対応する本ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1 ~ 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

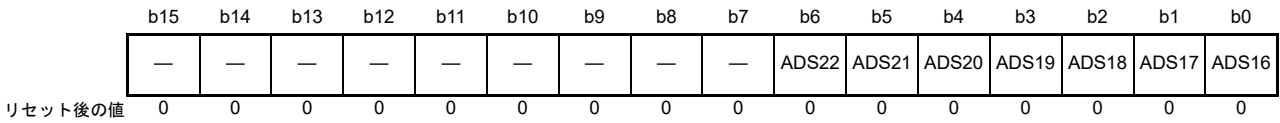
- ADANSA0 レジスタの ANSAn ビット (n = 00 ~ 13)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB0 レジスタの ANSBn ビット (n = 00 ~ 13)

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.9 A/D 変換値加算／平均チャンネル選択レジスタ 1 (ADADS1)

アドレス `ADC140.ADADS1 4005 C00Ah`



ビット	シンボル	ビット名	機能	R/W
b6-b0	ADS22～ADS16	A/D 変換値加算／平均チャンネル選択	0：関連する入力チャンネルを非選択 1：関連する入力チャンネルを選択 ビット6 (ADS22) はAN022に対応し、ビット0 (ADS16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADS_n ビット (n = 16 ~ 22) (A/D 変換値加算／平均チャンネル選択)

A/D 変換値加算／平均の対象となる A/D 変換チャンネル AN016 ~ AN022 を決定します。選択した A/D 変換チャンネルに対応する本ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1 ~ 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビット (n = 16 ~ 22)、または ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB1 レジスタの ANSBn ビット (n = 16 ~ 22)

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 33.2 に ADADS0.ADS02 ビットおよび ADADS0.ADS06 ビットを 1 にしたときのスキャン動作シーケンスを示します。この図では以下のようになります。

- 加算モードを選択 (ADADS.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でチャンネル AN000 ~ AN007 を選択 (ADANSA0.ANSA0[15:0] = 00FFh)

AN000 から変換を開始します。AN002 の変換は 4 回連続実行し、加算値を A/D データレジスタ 2 (ADDR2) に返します。その後、AN003 の変換を開始し、AN006 の変換は 4 回連続実行し、加算値を A/D データレジスタ 6 (ADDR6) に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

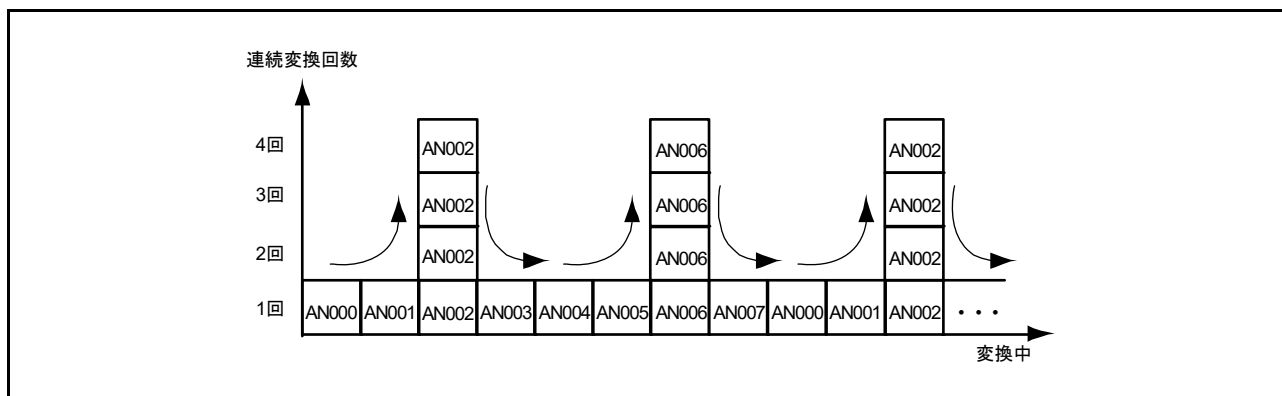
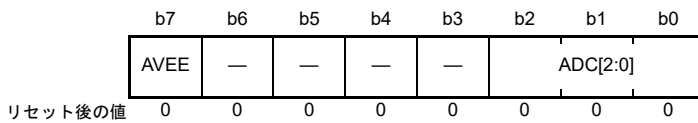


図 33.2 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADADS0.ADS06 = 1 選択時のスキャン変換シーケンス

33.2.10 A/D 変換値加算／平均回数選択レジスタ (ADADC)

アドレス `ADC140.ADADC 4005 C00Ch`



ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 0 1 : 2回変換 (1回加算を行う) 0 1 0 : 3回変換 (2回加算を行う) 0 1 1 : 4回変換 (3回加算を行う) 1 0 1 : 16回変換 (15回加算を行う) 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0 : 平均モードを禁止 (注1) 1 : 平均モードを許可 (注2)	R/W

- 注 1. ADADC.AVEE ビットを 0 にして平均モードを非選択にする場合の加算回数は、12 ビット精度を使用するときは 1、2、3、4、または 16 回変換に設定してください。16 回変換は 12 ビット精度でのみ使用できます。
- 注 2. ADADC.AVEE ビットを 1 にして平均モードを選択する場合の加算回数は、2 回または 4 回変換に設定してください。加算回数は、3 回または 16 回変換 (ADC[2:0] = 010b または 101b) に設定しないでください。

ADC[2:0] ビット (回数選択)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および A/D 変換値の加算／平均モードが選択されたすべてのチャンネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。

ADC[2:0] ビットの設定には以下の制約があります。

- ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換 (ADADC.ADC[2:0] = 010b) に設定しない
- 33.2.1 章で説明しているように、16 回変換 (ADADC.ADC[2:0] = 101b) と 14 ビット変換精度 (ADCER.ADPRC[1:0] = 11b) との同時設定は行わない
- 自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0] を 000b 以外の値にしない
- 変換精度が 14 ビット (ADCER.ADPRC[1:0] = 11b) の場合、ADC[2:0] ビットを 101b にしない

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

AVEE ビット (平均モードイネーブル)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して、加算モードまたは平均モードの選択を行います。

ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回 (ADADC.ADC[2:0] = 010b) に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

33.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス [ADC140.ADCER 4005 C00Eh](#)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D 変換精度指定	b2 b1 0 0: 12ビット精度 0 1: 設定禁止 1 0: 設定禁止 1 1: 14ビット精度	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブル	0: 自動クリアを禁止 1: 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0: 自己診断有効時は設定禁止 0 1: 0V 1 0: 基準電源の電圧値 (注1) ×1/2 1 1: 基準電源の電圧値 (注1)	R/W
b10	DIAGLD	自己診断モード選択	0: 自己診断電圧ローテーションモード 1: 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブル	0: ADC14の自己診断を実行しない 1: ADC14の自己診断を実行する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択	0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は VREFH0 を指します。

[ADPRC\[1:0\]](#) ビット (A/D 変換精度指定)

A/D 変換精度を、12 ビットまたは 14 ビットのいずれかから選択します。A/D 変換精度を変えた場合、結果レジスタに格納する有効なデータのビット幅および A/D 変換時間も変わります。詳細は、[33.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

[ACE](#) ビット (A/D データレジスタ自動クリアイネーブル)

CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRDRA、ADDBLDRB、ADTSR、または ADCOCDR レジスタのいずれかを読み出した後、これらのレジスタの自動クリア (すべて 0) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することが可能です。詳細は、[33.3.7 A/D データレジスタの自動クリア機能の使用例](#)を参照してください。

[DIAGVAL\[1:0\]](#) ビット (自己診断変換電圧選択)

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが 00b のときには、ADCER.DIAGLD ビットを 1 にしての自己診断を実行しないでください。

DIAGLD ビット (自己診断モード選択)

自己診断に使用する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

このビットを0にすると、0V → 基準電源電圧 × 1/2 → 基準電源電圧の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は0Vに戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを1にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

DIAGM ビット (自己診断イネーブル)

自己診断を実施するかしないかを選択します。

自己診断は、ADC14の故障を検出するための機能です。自己診断モードでは、3つの電圧値(0V、基準電源電圧 × 1/2、基準電源電圧)のいずれかを変換します。変換が終了すると、A/D 自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。ソフトウェアでADRDレジスタを読み出し、変換結果が正常範囲内か異常範囲内かを判断します。

自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。ダブルトリガモード (ADCSR.DBLE = 1) の場合、自己診断は非選択 (DIAGM = 0) になります。グループスキャンモードで自己診断を選択した場合は、グループAとグループBでそれぞれ別々に自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

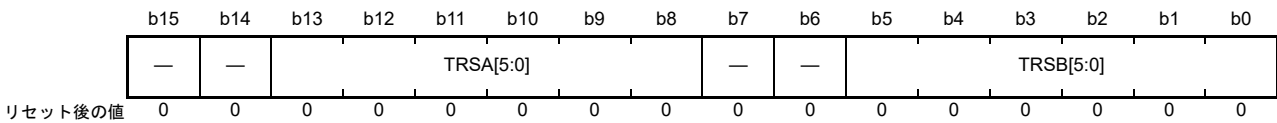
ADRFMT ビット (A/D データレジスタフォーマット選択)

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、またはADRDレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

33.2.12 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス ADC140.ADSTRGR 4005 C010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモードおよび連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガを使用しないでください。グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、33.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 33.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 33.6 TRSB[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

TRSA[5:0] ビット (A/D 変換開始トリガ選択)

シングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガを選択します。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガと非同期トリガは使用しないでください。

- 同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にする
- 非同期トリガ (ADTRG0) を使用する場合は、ソフトウェアトリガまたは非同期トリガは使用しない
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効

変換トリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。詳細は、[33.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

表 33.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 33.7 TRSA[5:0] ビットでの A/D 起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00/ELC_AD01	ELC	0	0	1	0	1	1

33.2.13 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス ADC140.ADEXICR 4005 C012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算／平均モード選択	0：温度センサ出力A/D変換値加算／平均モード非選択 1：温度センサ出力A/D変換値加算／平均モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算／平均モード選択	0：内部基準電圧A/D変換値加算／平均モード非選択 1：内部基準電圧A/D変換値加算／平均モード選択	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TSSA	温度センサ出力A/D変換選択	0：温度センサ出力のA/D変換禁止 1：温度センサ出力のA/D変換許可	R/W
b9	OCSA	内部基準電圧A/D変換選択	0：内部基準電圧のA/D変換禁止 1：内部基準電圧のA/D変換許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TSSAD ビット (温度センサ出力 A/D 変換値加算／平均モード選択)

TSSAD ビットが1の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は、33.2.1 章で示すように変換精度によって異なります。ADADC.AVEE ビットが0の場合は加算した値を、ADADC.AVEE ビットが1の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

OCSAD ビット (内部基準電圧 A/D 変換値加算／平均モード選択)

OCSAD ビットが1の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は、33.2.1 章で示すように変換精度によって異なります。ADADC.AVEE ビットが0の場合は加算した値を、ADADC.AVEE ビットが1の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

TSSA ビット (温度センサ出力 A/D 変換選択)

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合、

- ADANSA0/1 レジスタ、ADANSB0/1 レジスタ、ADCSR.DBLE レジスタ、および OCSA レジスタのすべてのビットを0にします。
- シングルスキャンモードで A/D 変換を実行します。

TSSA ビットの設定は、ADCSR.ADST ビットが0のときのみ行ってください。

温度センサ出力の A/D 変換を実行すると、ADDISCR レジスタは0Fhになり、A/D コンバータはサンプリング前にディスチャージを行います (15ADCLK)。必要なサンプリング時間は5μs以上です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

OCSA ビット (内部基準電圧 A/D 変換選択)

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実行する場合、

- ADANSA0/1 レジスタ、ADANSB0/1 レジスタ、ADCSR.DBLE レジスタ、および TSSA レジスタのすべてのビットを0にします。
- シングルスキャンモードで A/D 変換を実行します。

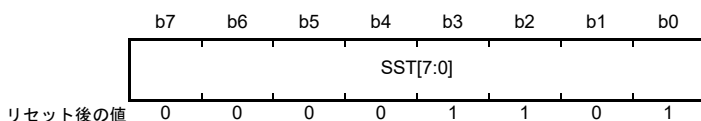
OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

内部基準電圧の A/D 変換を実行すると、ADDISCR レジスタは 0Fh になり、A/D コンバータはサンプリング前にディスチャージを行います (15ADCLK)。必要なサンプリング時間は 5 μ s 以上です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

33.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 00 ~ 13, L, T, O)

アドレス [ADC14.ADSSTR00 4005 C0E0h](#)~[ADC14.ADSSTR13 4005 C0EDh](#),
[ADC14.ADSSTRL 4005 C0DDh](#), [ADC14.ADSSTRT 4005 C0DEh](#), [ADC14.ADSSTRO 4005 C0DFh](#)



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5~255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1A/D 変換クロック幅 (ADCLK) で ADCLK クロックが 64MHz であれば 1 ステート = 15.625ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することが可能です。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKD (ADCLK) の分周比が 1:1 の場合、サンプリング時間は 5 ステートより長く設定
- PCLKB : PCLKD (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定

表 33.8 に A/D サンプリングステートレジスタと関連チャネルの関係を示します。

詳細は、[33.3.6 アナログ入力のサンプリング時間とスキャン変換時間](#)を参照してください。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 33.8 A/Dサンプリングステートレジスタと関連チャネルの関係

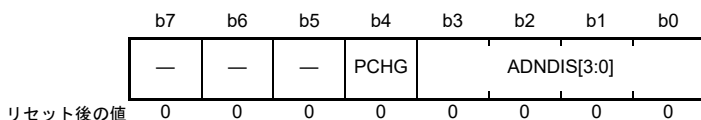
ビット名	関連チャネル
ADSSTR00.SST[7:0]ビット (注1)	AN000
ADSSTR01.SST[7:0]ビット	AN001
ADSSTR02.SST[7:0]ビット	AN002
ADSSTR03.SST[7:0]ビット	AN003
ADSSTR04.SST[7:0]ビット	AN004
ADSSTR05.SST[7:0]ビット	AN005
ADSSTR06.SST[7:0]ビット	AN006
ADSSTR07.SST[7:0]ビット	AN007
ADSSTR08.SST[7:0]ビット	AN008
ADSSTR09.SST[7:0]ビット	AN009
ADSSTR10.SST[7:0]ビット	AN010
ADSSTR11.SST[7:0]ビット	AN011
ADSSTR12.SST[7:0]ビット	AN012
ADSSTR13.SST[7:0]ビット	AN013
ADSSTRL.SST[7:0]ビット	AN016 ~ AN022
ADSSTRT.SST[7:0]ビット	温度センサ出力 (注2)
ADSSTRO.SST[7:0]ビット	内部基準電圧 (注2)

注 1. 自己診断機能を選択したときは、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5μs より長く設定してください。本ビットの最大値は 255 ステートであるため、ADCLK 周波数は、サンプリング時間が 5μs となるよう 64MHz 以下に設定しなければなりません。

33.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス **ADC140.ADDISCR 4005 C07Ah**



ビット	シンボル	ビット名	機能	R/W								
b3-b0	ADNDIS[3:0]	プリチャージ/ディスチャージ期間	<table style="font-size: small; border: none;"> <tr> <td style="text-align: right;">b3</td> <td style="text-align: left;">b0</td> </tr> <tr> <td>0 0 0 0</td> <td>: 断線検出アシスト機能無効</td> </tr> <tr> <td>0 0 0 1</td> <td>: 設定禁止</td> </tr> <tr> <td colspan="2">その他の値は、プリチャージ/ディスチャージ期間のステート数となります。</td> </tr> </table>	b3	b0	0 0 0 0	: 断線検出アシスト機能無効	0 0 0 1	: 設定禁止	その他の値は、プリチャージ/ディスチャージ期間のステート数となります。		R/W
b3	b0											
0 0 0 0	: 断線検出アシスト機能無効											
0 0 0 1	: 設定禁止											
その他の値は、プリチャージ/ディスチャージ期間のステート数となります。												
b4	PCHG	プリチャージ/ディスチャージ選択	0: ディスチャージ 1: プリチャージ	R/W								
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W								

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力または内部基準電圧変換時、A/D コンバータは自動的にディスチャージを行います。この動作は、ADEXICR.OCSA または TSSA ビットが 1 のときに、ADDISCR レジスタを自動で 0Fh (15ADCLK) にすることで可能となります。ディスチャージ実行後、A/D コンバータはサンプリングを行います。必要なサンプリング時間は 5μs 以上です。

以下の機能のいずれかを使用する場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- 自己診断

ADNDIS[3:0] ビット (プリチャージ/ディスチャージ期間)

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット (プリチャージ/ディスチャージ選択)

PCHG ビット = 1 でプリチャージ、PCHG ビット = 0 でディスチャージが選択されます。

33.2.16 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス ADC140.ADGSPCR 4005 C080h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	PGS = 1のときのみ有効。PGS = 0のときは予約ビット 0: グループAの優先制御でグループBを中断した後に再起動しない 1: グループAの優先制御でグループBを中断した後に再起動する	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定 (注2)	PGS = 1のときのみ有効。PGS = 0のときは予約ビット 0: グループBのシングルスキャン連続動作を行わない 1: グループBのシングルスキャン連続動作を行う	R/W

- 注1. ADCSR.ADCS[1:0] ビットは、PGS ビットを1にする前に01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。
- 注2. GBRP ビットを1にした場合は、GBRSCN ビットにかかわらず、グループBのシングルスキャン連続動作を実行します。

PGS ビット (グループA優先制御設定)

グループA優先制御動作を行うときに1を設定してください。

ADCSR.ADCS[1:0] ビットは、PGS ビットを1にする前に01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを0にした場合は、33.8.2 A/D変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを1にした場合は、33.3.4.3 グループA優先制御動作の手順に従い設定を行ってください。

GBRSCN ビット (グループB再起動設定)

グループA優先制御時の、グループBの再スキャン動作を制御します。

GBRSCN ビットを1にすると、グループAのトリガ入力によるグループBのスキャン動作中断後、グループAの変換終了を待ってグループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAの変換終了を待ってグループBの再スキャン動作を行います。

GBRSCN ビットを0にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが1のときに有効となります。

GBRP ビット (グループB用シングルスキャン連続起動設定)

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを1にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的にグループBのシングルスキャンを再開します。グループAの動作によってグループBの変換が中断した場合、グループAの動作が優先され、グループAの変換終了後、自動的にグループBのシングルスキャンを再開します。

GBRP ビットを1にする場合は、事前にグループBのトリガ入力を無効にしてください。GBRP ビットを1にした場合、GBRSCN ビットの設定は無効となります。GBRP ビットの設定は、ADCSR.ADST ビットが0のときに行ってください。

GBRP ビットの設定は、PGS ビットが1のときに有効となります。

33.2.17 A/Dコンペア機能コントロールレジスタ (ADCMPCR)

アドレス ADC140.ADCMPCR 4005 C090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/B複合条件設定	b1 b0 0 0: ウィンドウA比較条件に一致ORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 0 1: ウィンドウA比較条件に一致EXORウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 0: ウィンドウA比較条件に一致ANDウィンドウB比較条件に一致の場合、ADC140_WCMPMを出力。その他の場合はADC140_WCMPUMを出力 1 1: 設定禁止 これらのビットは、ウィンドウAおよびウィンドウBがどちらも有効(CMPAE = 1およびCMPBE = 1)な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	CMPBE	コンペアウィンドウB動作許可	0: コンペアウィンドウB動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウB動作許可	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	CMPAE	コンペアウィンドウA動作許可	0: コンペアウィンドウA動作禁止 ADC140_WCMPMおよびADC140_WCMPUMの出力不可 1: コンペアウィンドウA動作許可	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	CMPBIE	コンペアB割り込み許可	0: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み禁止 1: 比較条件 (ウィンドウB) 一致によるADC140_CMPBI割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定	0: ウィンドウ機能無効 ウィンドウAおよびBはコンパレータとして動作し、下位の1つの値をA/D変換結果と比較 1: ウィンドウ機能有効 ウィンドウAおよびBはコンパレータとして動作し、上位および下位の2つの値をA/D変換結果と比較	R/W
b15	CMPAIE	コンペアA割り込み許可	0: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み禁止 1: 比較条件 (ウィンドウA) 一致によるADC140_CMPAI割り込み許可	R/W

CMPAB[1:0] ビット (ウィンドウ A/B 複合条件設定)

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致 / 不一致イベント出力条件および監視条件を指定します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可)

コンペアウィンドウ B の動作を許可/禁止します。本ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

CMPAE ビット (コンペアウィンドウ A 動作許可)

コンペアウィンドウ A の動作を許可/禁止します。本ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

本ビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0、ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可)

比較条件 (ウィンドウ B) の一致による ADC140_CMPBI 割り込み出力を許可/禁止します。

WCMPE ビット (ウィンドウ機能設定)

ウィンドウ機能の有効/無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット (コンペア A 割り込み許可)

比較条件 (ウィンドウ A) の一致による ADC140_CMPAI 割り込み出力を許可/禁止します。

33.2.18 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0 (ADCMANSR0)

アドレス [ADC14.ADCMANSR0 4005 C094h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CMPC HA13	CMPC HA12	CMPC HA11	CMPC HA10	CMPC HA09	CMPC HA08	CMPC HA07	CMPC HA06	CMPC HA05	CMPC HA04	CMPC HA03	CMPC HA02	CMPC HA01	CMPC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CMPCHA13 ~ CMPCHA00	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ビット13 (CMPCHA13) はAN013 (CMPCHA00) はAN000に対応します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPCHANビット (n = 00 ~ 13) (コンペアウィンドウAチャンネル選択)

ADANSA0.ANSAnビット (n = 00 ~ 13) および ADANSB0.ANSBnビット (n = 00 ~ 13) で選択した A/D 変換チャンネルと同一番号の CMPCHANビットを1にすると、コンペア機能が有効になります。

CMPCHANビットは、ADCSR.ADSTビットが0のときに設定してください。

33.2.19 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1 (ADCMANSR1)

アドレス [ADC14.ADCMANSR1 4005 C096h](#)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPCHA22 ~ CMPCHA16	コンペアウィンドウAチャンネル選択	0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可 ビット6 (CMPCHA22) はAN022に対応し、ビット0 (CMPCHA16) はAN016に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPCHANビット (n = 16 ~ 22) (コンペアウィンドウAチャンネル選択)

ADANSA1.ANSAnビット (n = 16 ~ 22) および ADANSB1.ANSBnビット (n = 16 ~ 22) で選択した A/D 変換チャンネルと同一番号の CMPCHANビットを1にすると、コンペア機能が有効になります。

CMPCHANビットは、ADCSR.ADSTビットが0のときに設定してください。

33.2.20 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス ADC140.ADCMPANSER 4005 C092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0 : 温度センサ出力をコンペアウィンドウA対象から外す 1 : 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0 : 内部基準電圧をコンペアウィンドウA対象から外す 1 : 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPTSA ビット (温度センサ出力コンペア選択)

ADEXICR.TSSA ビットが1のときに CMPTSA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットは、ADSCR.ADST ビットが0のときに設定してください。

CMPOCA ビット (内部基準電圧コンペア選択)

ADEXICR.OCSA ビットが1のときに CMPOCA ビットを1にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットは、ADSCR.ADST ビットが0のときに設定してください。

33.2.21 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)

アドレス ADC140.ADCMPLR0 4005 C098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CMPLC HA13	CMPLC HA12	CMPLC HA11	CMPLC HA10	CMPLC HA09	CMPLC HA08	CMPLC HA07	CMPLC HA06	CMPLC HA05	CMPLC HA04	CMPLC HA03	CMPLC HA02	CMPLC HA01	CMPLC HA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CMPLCHA13 ~ CMPLCHA00	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネルAN000～AN013の比較条件を設定します。比較条件を図33.3に示します。 <ul style="list-style-type: none"> ウィンドウ機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値 または ADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値 	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPLCHAn ビット (n = 00 ~ 13) (コンペアウィンドウ A 比較条件選択)

ウィンドウ A 比較条件を適用するチャンネル AN000 ~ AN013 の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPLCHA00 が AN000 に対応し、CMPLCHA07 が AN007 に対応し、CMPLCHA13 が AN013 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHAn ビットは1になり、コンペア割り込み (ADC140_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件	
CMPLCHAN = 0	CMPLCHAN = 1
ADCMPDR0値 ≤ A/D変換値	ADCMPDR0値 < A/D変換値
不一致	一致
ADCMPDR0値 > A/D変換値	ADCMPDR0値 ≥ A/D変換値
一致	不一致

ウィンドウ機能が有効のときの比較条件	
CMPLCHAN = 0	
ADCMPDR1値 < A/D変換値	一致
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値	不一致
A/D変換値 < ADCMPDR0値	一致
CMPLCHAN = 1	
ADCMPDR1値 ≤ A/D変換値	不一致
ADCMPDR0値 < A/D変換値 < ADCMPDR1値	一致
A/D変換値 ≤ ADCMPDR0値	不一致

図 33.3 コンペア機能ウィンドウ A 比較条件の説明

33.2.22 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPPLR1)

アドレス **ADC14.ADCMPPLR1 4005 C09Ah**

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMPPLC HA22	CMPPLC HA21	CMPPLC HA20	CMPPLC HA19	CMPPLC HA18	CMPPLC HA17	CMPPLC HA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

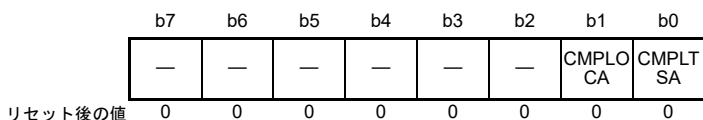
ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPPLCHA22 ~ CMPPLCHA16	コンペアウィンドウA 比較条件選択	ウィンドウA比較条件を適用するチャンネルAN016～AN022の比較条件を設定します。比較条件を 図 33.3 に示します。 <ul style="list-style-type: none"> ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値またはADCMPDR1 値 < A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値 	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPPLCHAN ビット (n = 16 ~ 22) (コンペアウィンドウ A 比較条件選択)

ウィンドウ A 比較条件を適用するチャンネル AN016 ~ AN022 の比較条件を指定します。CMPPLCHAN ビットはコンペア対象のアナログ入力ごとに設定可能です。CMPPLCHA16 が AN016 に、CMPPLCHA22 が AN022 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSTR1.CMPSTCHAN ビットは 1 になり、コンペア割り込み (ADC140_CMPAI) が発生します。

33.2.23 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス [ADC140.ADCMPLER 4005 C093h](#)



ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA温度センサ出力比較条件選択	比較条件を図 33.3 に示します。 • ウィンドウA機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 • ウィンドウA機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値 または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b1	CMPLOCA	コンペアウィンドウA内部基準電圧比較条件選択	比較条件を図 33.3 に示します。 • ウィンドウA機能無効時 (ADCMPCR.WCMPE ビット = 0) 0 : ADCMPDR0 値 > A/D 変換値 1 : ADCMPDR0 値 < A/D 変換値 • ウィンドウA機能有効時 (ADCMPCR.WCMPE ビット = 1) 0 : A/D 変換値 < ADCMPDR0 値 または A/D 変換値 > ADCMPDR1 値 1 : ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)

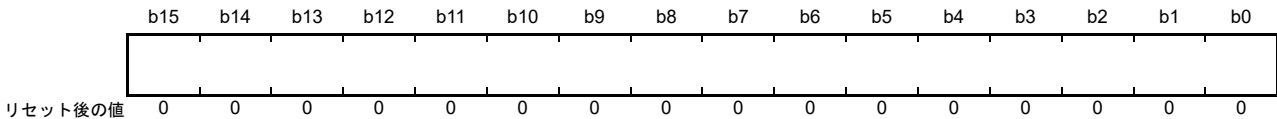
温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA ビットは 1 になり、コンペア割り込み (ADC140_CMPAI) が発生します。

CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)

内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA ビットは 1 になり、コンペア割り込み (ADC140_CMPAI) が発生します。

33.2.24 A/Dコンペア機能ウィンドウA下側レベル設定レジスタ (ADCMPDR0)、 A/Dコンペア機能ウィンドウA上側レベル設定レジスタ (ADCMPDR1)、 A/Dコンペア機能ウィンドウB下側レベル設定レジスタ (ADWINLLB)、 A/Dコンペア機能ウィンドウB上側レベル設定レジスタ (ADWINULB)

アドレス [ADC14.ADCMPDR0 4005 C09Ch](#), [ADC14.ADCMPDR1 4005 C09Eh](#),
[ADC14.ADWINLLB 4005 C0A8h](#), [ADC14.ADWINULB 4005 C0AAh](#)



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADWINULB および ADWINLLB は、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADCMPDRy、ADWINULB、および ADWINLLB は読み出し/書き込みレジスタです。

ADCMPDRy、ADWINULB、および ADWINLLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することが可能です (注 1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0、ADWINULB ≥ ADWINLLB)。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれるときに変更されます。たとえば上側基準値と下側基準値が変更された場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。図 33.4 を参照してください。2つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および該当のコンペアウィンドウ動作許可ビット (ADCMPDR.CMPAE または ADCMPDR.CMPBE) が 0 の時に、それらの基準値を書き換えてください。

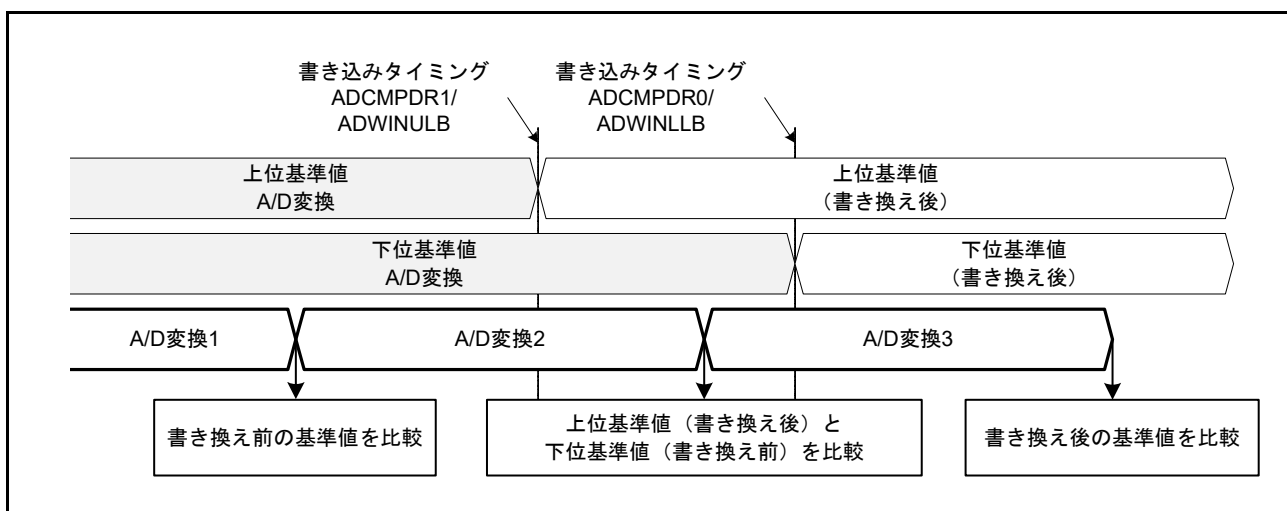


図 33.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPCRy、ADWINLLB、およびADWINULBレジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換精度指定ビットの設定値 (14ビット、12ビット)
- A/D 変換値加算/平均チャンネル選択ビットの設定値 (A/D 変換値加算モード選択、または非選択)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算モードを非選択とした場合

- 14ビット精度の右詰めデータでは、下位14ビット ([13:0]) が有効
- 12ビット精度の右詰めデータでは、下位12ビット ([11:0]) が有効
- 14ビット精度の左詰めデータでは、上位14ビット ([15:2]) が有効
- 12ビット精度の左詰めデータでは、上位12ビット ([15:4]) が有効

(2) A/D 変換値加算モードを選択した場合

- 14ビット精度の右詰めデータでは、全ビット ([15:0]) が有効
- 12ビット精度の右詰めデータでは、下位14ビット ([13:0]) が有効
- 14ビット精度の左詰めデータでは、全ビット ([15:0]) が有効
- 12ビット精度の左詰めデータでは、上位14ビット ([15:2]) が有効

33.2.25 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0 (ADCMPSTR0)

アドレス `ADC14.ADCMPSTR0 4005 C0A0h`

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CMPST CHA13	CMPST CHA12	CMPST CHA11	CMPST CHA10	CMPST CHA09	CMPST CHA08	CMPST CHA07	CMPST CHA06	CMPST CHA05	CMPST CHA04	CMPST CHA03	CMPST CHA02	CMPST CHA01	CMPST CHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CMPSTCHA13 ~ CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1b) な場合、ウィンドウA比較条件を適用するチャンネルAN000 ~ AN013の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTCHAn (n = 00 ~ 13) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャンネルAN000 ~ AN013の比較結果ステータスフラグです。ADCMPPLR0.CMPLCHAnで設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHAnビットが1になります。ADCMPPCR.CMPAIEビットが1の場合、このビットが1になると比較割り込み(ADC14_CMPAI)要求が発生します。CMPSTCHA00がAN000に、CMPSTCHA07がAN007に、CMPSTCHA13がAN013に対応します。

CMPSTCHAnビットに1を書き込むことはできません。

[1になる条件]

- ADCMPPCR.CMPAEが1のときに、ADCMPPLR0.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

33.2.26 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSR1)

アドレス ADC140.ADCMPSR1 4005 C0A2h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMPST CHA22	CMPST CHA21	CMPST CHA20	CMPST CHA19	CMPST CHA18	CMPST CHA17	CMPST CHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPSTCHA22 ~ CMPSTCHA16	コンペアウィンドウAフラグ	ウィンドウA動作が有効 (ADCMPCR.CMPAE = 1) な場合、ウィンドウA比較条件を適用するチャネルAN016 ~ AN022の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTCHAn ビット (n = 16 ~ 22) (コンペアウィンドウAフラグ)

ウィンドウA比較条件を適用するチャネルAN016 ~ AN022の比較結果ステータスフラグです。ADCMPLR1.CMPLCHAnで設定した比較条件がA/D変換終了時に成立すると、関連するCMPSTCHAnビットが1になります。ADCMPCR.CMPAIEビットが1の場合、このビットが1になると比較割り込み(ADC140_CMPAI)要求が発生します。CMPSTCHA16がAN016に、CMPSTCHA22がAN022に対応します。

CMPSTCHAnビットに1を書き込むことはできません。

[1になる条件]

- ADCMPCR.CMPAEが1のときに、ADCMPLR1.CMPLCHAnで設定した条件が成立したとき

[0になる条件]

- 1を読んだ後、0を書いたとき

33.2.27 A/Dコンペア機能ウィンドウA拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス **ADC140.ADCMPSER 4005 C0A4h**

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTTSA ビット (コンペアウィンドウA温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。ADCMPPLER.CMPLTSA ビットで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140_CMPAI) 要求が発生します。

CMPSTTSA ビットに 1 を書き込むことはできません。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA ビット (コンペアウィンドウA内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140_CMPAI) 要求が発生します。

CMPSTOCA ビットに 1 を書き込むことはできません。

[1 になる条件]

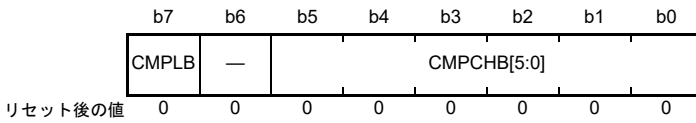
- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

33.2.28 A/D コンペア機能ウィンドウ B チャンル選択レジスタ (ADCMPBNSR)

アドレス ADC140.ADCMPBNSR 4005 C0A6h



ビット	シンボル	ビット名	機能	R/W																																										
b5-b0	CMPCHB[5:0]	コンペアウィンドウBチャンネル選択	<p>コンペアウィンドウB条件と比較するチャンネルを選択します。最大チャンネルはAN022です。</p> <table border="0"> <tr> <td>b5</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0 0</td> <td>0</td> <td>: AN000</td> </tr> <tr> <td>0 0 0 0 0</td> <td>1</td> <td>: AN001</td> </tr> <tr> <td>0 0 0 0 1</td> <td>0</td> <td>: AN002</td> </tr> <tr> <td colspan="3" style="text-align: center;">⋮</td> </tr> <tr> <td>0 0 1 1 0</td> <td>1</td> <td>: AN013</td> </tr> <tr> <td>0 1 0 0 0</td> <td>0</td> <td>: AN016</td> </tr> <tr> <td colspan="3" style="text-align: center;">⋮</td> </tr> <tr> <td>0 1 0 1 0</td> <td>0</td> <td>: AN020</td> </tr> <tr> <td>0 1 0 1 0</td> <td>1</td> <td>: AN021</td> </tr> <tr> <td>0 1 0 1 1</td> <td>0</td> <td>: AN022</td> </tr> <tr> <td>1 0 0 0 0</td> <td>0</td> <td>: 温度センサ</td> </tr> <tr> <td>1 0 0 0 0</td> <td>1</td> <td>: 内部基準電圧</td> </tr> <tr> <td>1 1 1 1 1</td> <td>1</td> <td>: 選択なし</td> </tr> </table> <p>上記以外は設定しないでください。</p>	b5	b0		0 0 0 0 0	0	: AN000	0 0 0 0 0	1	: AN001	0 0 0 0 1	0	: AN002	⋮			0 0 1 1 0	1	: AN013	0 1 0 0 0	0	: AN016	⋮			0 1 0 1 0	0	: AN020	0 1 0 1 0	1	: AN021	0 1 0 1 1	0	: AN022	1 0 0 0 0	0	: 温度センサ	1 0 0 0 0	1	: 内部基準電圧	1 1 1 1 1	1	: 選択なし	R/W
b5	b0																																													
0 0 0 0 0	0	: AN000																																												
0 0 0 0 0	1	: AN001																																												
0 0 0 0 1	0	: AN002																																												
⋮																																														
0 0 1 1 0	1	: AN013																																												
0 1 0 0 0	0	: AN016																																												
⋮																																														
0 1 0 1 0	0	: AN020																																												
0 1 0 1 0	1	: AN021																																												
0 1 0 1 1	0	: AN022																																												
1 0 0 0 0	0	: 温度センサ																																												
1 0 0 0 0	1	: 内部基準電圧																																												
1 1 1 1 1	1	: 選択なし																																												
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																										
b7	CMPLB	コンペアウィンドウB比較条件設定	<p>ウィンドウBのチャンネル比較条件を設定します。比較条件を図33.5に示します。</p> <ul style="list-style-type: none"> ウィンドウ機能無効時 (ADCMPCR.WCMPE ビット = 0) <ul style="list-style-type: none"> 0: ADWINLLB 値 > A/D 変換値 1: ADWINLLB 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE ビット = 1) <ul style="list-style-type: none"> 0: A/D 変換値 < ADWINLLB 値またはADWINULB 値 < A/D 変換値 1: ADWINLLB 値 < A/D 変換値 < ADWINULB 値 	R/W																																										

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンル選択)

AN000 ~ AN013 および AN016 ~ AN022 のコンペアウィンドウ B 条件、温度センサ、および内部基準電圧と比較するチャンネルを選択します。コンペアウィンドウ B 機能は、ADANSA0.ANSAn ビット (n = 0 ~ 13)、ADANSA1.ANSAn ビット (n = 16 ~ 22)、ADANSB0.ANSBn ビット (n = 0 ~ 13)、および ADANSB1.ANSBn ビット (n = 16 ~ 22) で選択した A/D 変換チャンネルの 16 進数を指定することで有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPLB ビット (コンペアウィンドウ B 比較条件設定)

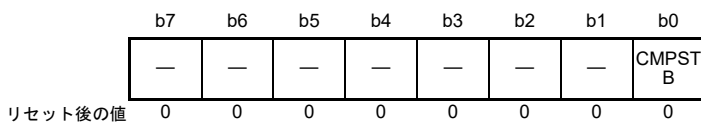
ウィンドウ B のチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB ビットは 1 になり、コンペア割り込み要求 (ADC140_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 ≤ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値		一致	
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値		不一致	
A/D変換値 < ADWINLLB値		一致	
CMPLB = 1			
A/D変換値 ≥ ADWINULB値		不一致	
ADWINLLB値 < A/D変換値 < ADWINULB値		一致	
A/D変換値 ≤ ADWINLLB値		不一致	

図 33.5 コンペア機能ウィンドウ B 比較条件

33.2.29 A/D コンペア機能ウィンドウ B ステータスレジスタ (ADCMPBSR)

アドレス [ADC140.ADCMPBSR 4005 C0ACh](#)



ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効 (ADCMPPCR.CMPBE = 1) な場合、ウィンドウB比較条件を適用するチャンネルAN000～AN013、AN016～AN022、温度センサ出力、および内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTB ビット (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件を適用するチャンネル AN000～AN013、AN016～AN022、温度センサ出力、および内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB ビットで設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPBIE ビットが 1 の場合、このビットが 1 になると比較割り込み (ADC140_CMPBI) 要求が発生します。

CMPSTB ビットに 1 を書き込むことはできません。

[1 になる条件]

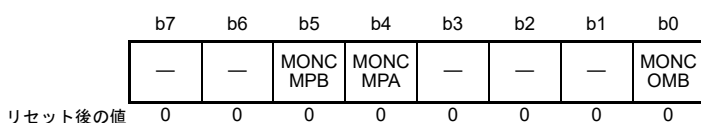
- ADCMPPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

33.2.30 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス **ADC140.ADWINMON 4005 C08Ch**



ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。このビットは、ウィンドウAおよびウィンドウBの動作が有効な場合に有効となります。 0: ウィンドウA/ウィンドウBの複合条件が不成立 1: ウィンドウA/ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0: ウィンドウA比較条件が不成立 1: ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0: ウィンドウB比較条件が不成立 1: ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

MONCOMB ビット (組み合わせ結果監視)

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット (比較結果監視 A)

ウィンドウ A の対象チャンネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAEが1のときに、A/D変換値がADCMPLR0/ADCMPLR1およびADCMPLERレジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAEが1のときに、A/D変換値がADCMPLR0/ADCMPLR1およびADCMPLERレジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

MONCMPB ビット (比較結果監視 B)

ウィンドウ B の対象チャンネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0になる条件]

- ADCMPCR.CMPBEが1のときに、A/D変換値がADCMPBNSR.CMPLBで設定した条件と一致しないとき
- ADCMPCR.CMPBEが0のとき (ADCMPCR.CMPBEの値が1から0に変化すると自動的に0になる)

33.2.31 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス [ADC140.ADHVREFCNT 4005 C08Ah](#)

b7	b6	b5	b4	b3	b2	b1	b0
ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位基準電圧選択	b1 b0 0 0: 高電位基準電圧にAVCC0を選択 0 1: 高電位基準電圧にVREFH0を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 内部ノードディスチャージ (基準電圧端子を選択しない)	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	LVSEL	低電位基準電圧選択	0: 低電位基準電圧にAVSS0を選択 1: 低電位基準電圧にVREFL0を選択	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ADSLP	スリープ	0: 通常動作 1: スタンバイ状態	R/W

[HVSEL\[1:0\]](#) ビット (高電位基準電圧選択)

高電位基準電圧を、AVCC0、VREFH0、または内部基準電圧 (1.45V) から指定します。

内部基準電圧を選択 ([HVSEL\[1:0\]](#) = 10b) する前に、[HVSEL\[1:0\]](#) を 11b にして高電位基準電圧のパスをディスチャージしてください。ディスチャージが完了したら、[HVSEL\[1:0\]](#) を 10b にして A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 ([HVSEL\[1:0\]](#) = 10b)、チャンネル AN000 ~ AN010、AN016 ~ AN022 の A/D 変換を実行できますが、内部基準電圧および温度センサ出力の A/D 変換はできません。

[LVSEL](#) ビット (低電位基準電圧選択)

低電位基準電圧を、AVSS0 または VREFL0 から指定します。

[ADSLP](#) ビット (スリープ)

A/D コンバータをスタンバイ状態に遷移します。ADCSR.ADHSC ビットの変更時にのみ、[ADSLP](#) ビットを 1 にしてください。その他の場合、[ADSLP](#) ビットを 1 にすることはできません。

[ADSLP](#) ビットを 1 にしたら、0 に戻す前に最低 5μs 待ってください。また、[ADSLP](#) ビットを 0 にしたら、最低 1μs 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、[33.8.8 ADHSC ビット書き換え手順](#)を参照してください。

33.3 動作説明

33.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換には、以下の 3 つの動作モードと 2 つの変換モードのいずれかで実行します。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード
- 高速変換モード
- 通常変換モード

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実行して終了するモードです。連続スキャンモードは、指定した 1 チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ (ELC) で開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実行して終了するモードです。

シングルスキャンモードと連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号のチャンネルから順に A/D 変換を行います。グループスキャンモードでは、グループ A は、ADANSA0、ADANSA1 レジスタで選択した AN_n チャンネルの n が小さい番号順に、グループ B は、ADANSB0、ADANSB1 レジスタで選択した AN_n チャンネルの n が小さい番号順に A/D 変換が実行されます。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧を選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可 (ADCSR.DBLE=1) すると、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ (ELC) でのスキャン変換起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガコンビネーションから A/D 変換動作が発生します。通常のダブルトリガモード動作に加え、奇数トリガ (ELC_AD00) による A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数トリガ (ELC_AD01) による A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

他の同期トリガによって開始された A/D 変換中に発生した同期トリガは無視されます。

33.3.2 シングルスキャンモード

33.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にされ、ADC14 は待機状態になります。

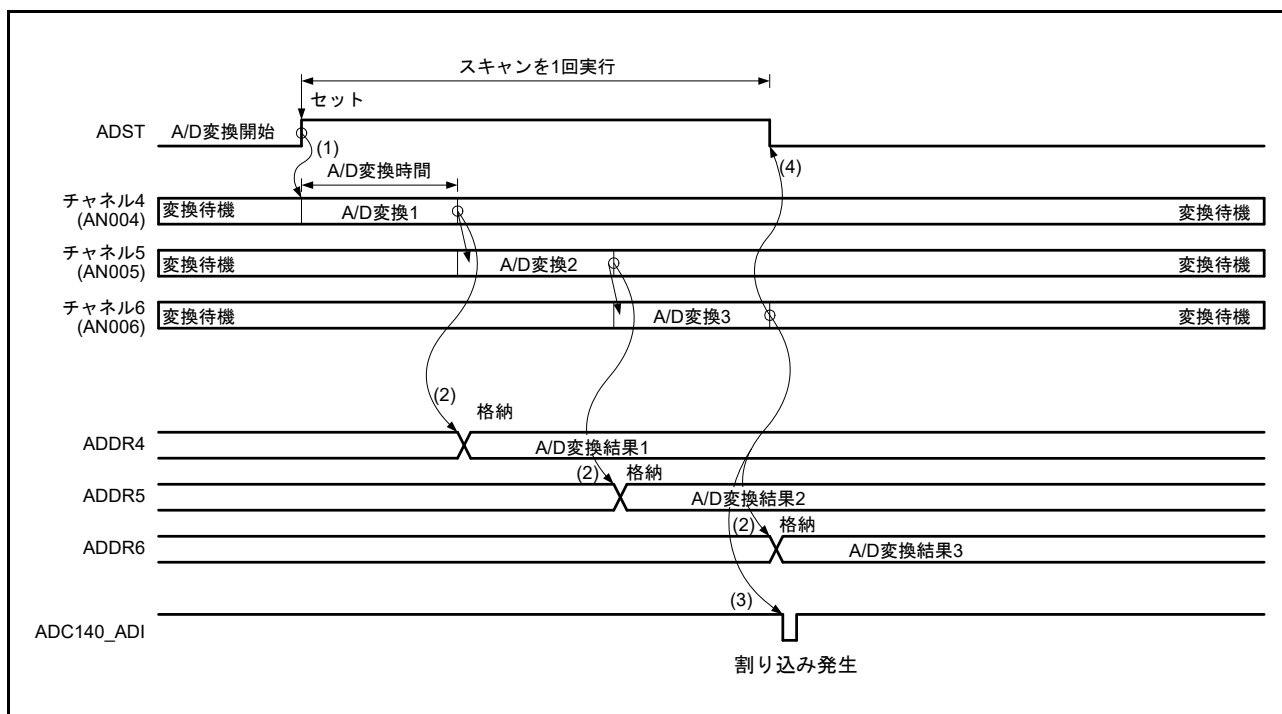


図 33.6 シングルスキャンモードの基本動作例 (AN004 ~ AN006 選択)

33.3.2.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、以下のように、まず A/D コンバータに供給される基準電圧 VREFH0 の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。
5. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にされ、ADC14 は待機状態になります。

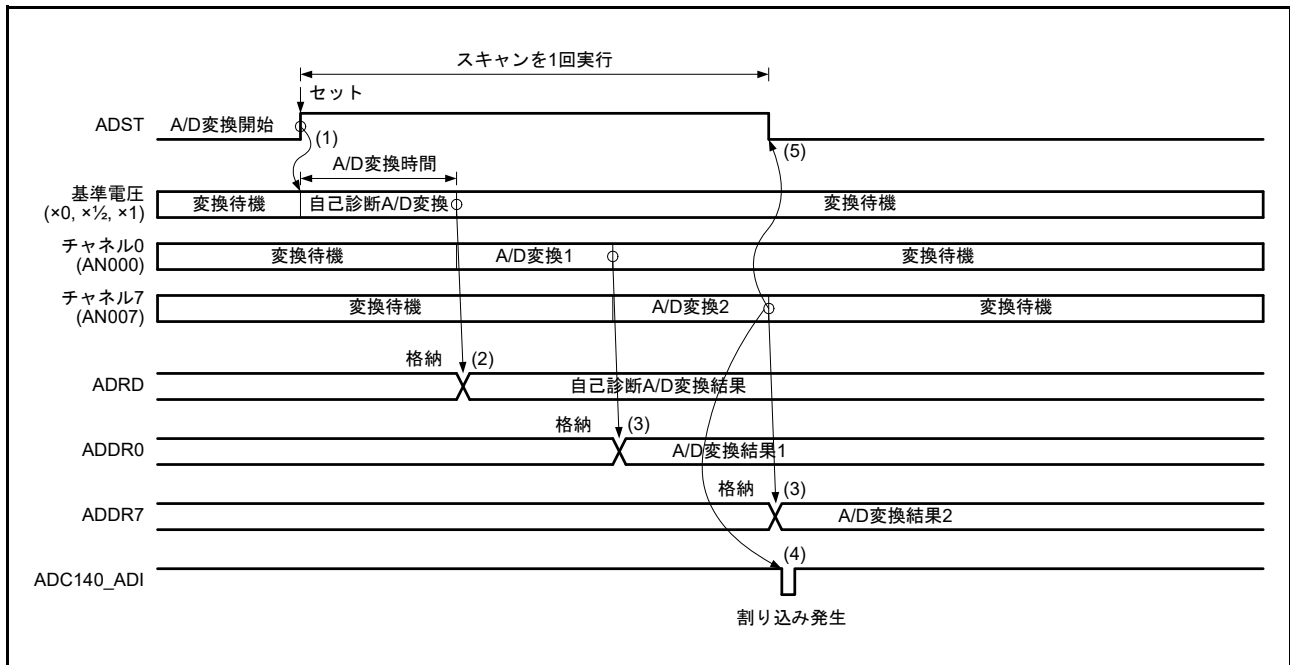


図 33.7 シングルスキャンモードの基本動作例 (AN000、AN007 選択+自己診断)

33.3.2.3 温度センサ出力／内部基準電圧選択時のA/D変換動作

シングルスキャンモードで温度センサ出力または内部基準電圧のA/D変換を行います。

温度センサ出力または内部基準電圧のA/D変換を選択した場合、すべてのアナログ入力チャネルを非選択にしてください (ADANSA0 および ADANSA1 レジスタをすべて0にし、ADCSR.DBLE ビットを0にする)。

温度センサ出力のA/D変換を選択した場合、内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) を0 (非選択) にしてください。内部基準電圧のA/D変換を選択した場合、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) を0 (非選択) にしてください。

動作は以下のとおりです。

1. サンプル時間を $5\mu\text{s}$ 以上に設定します。サンプリングスタートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力のA/D変換に切り替えた後は、ADST ビットを1にして変換を開始してください。
3. A/D変換が終了すると、A/D変換結果は関連する温度センサ出力データレジスタ (ADTSDR) またはA/D内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC140_ADI 割り込み要求が発生します。
4. ADST ビットはA/D変換中は1を保持し、A/D変換が終了すると自動的にクリアされ、ADC14は待機状態になります。

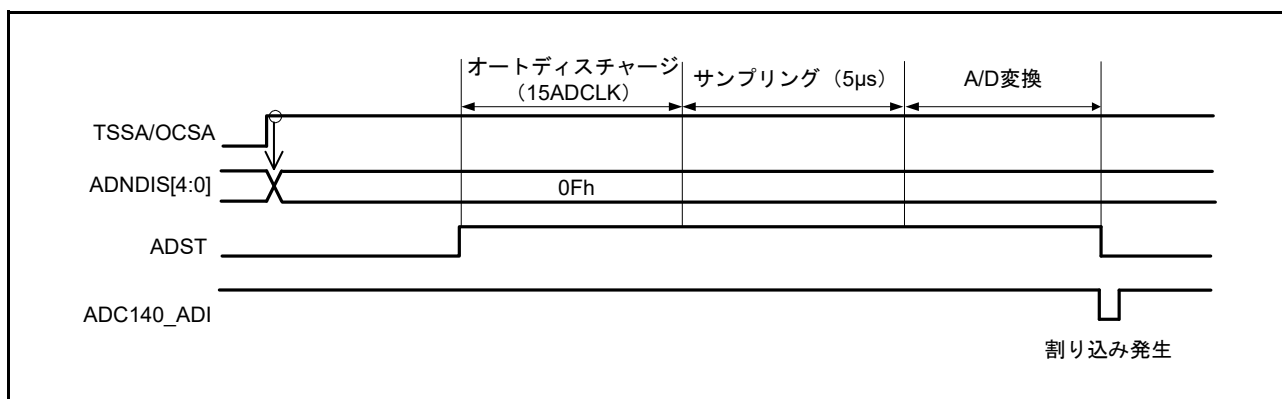


図 33.8 シングルスキャンモードの基本動作例 (温度センサ出力または内部基準電圧選択)

33.3.2.4 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。ADCSR.DBLEビットを1にした場合はADANSA0、ADANSA1レジスタのチャンネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットで同期トリガ (ELC) を選択してください。さらに、ADCSR.EXTRGビットを0に、ADCSR.TRGEビットを1にしてください。ソフトウェアトリガは使用しないでください。

1. 同期トリガ入力 (ELC) によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
2. 1チャンネルのA/D変換が終了するごとに、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
3. ADSTビットは自動的に0になり、ADC14は待機状態になりますが、ADC140_ADI割り込み要求は発生しません。
4. 2回目のトリガ入力によってADCSR.ADSTビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
5. A/D変換が終了すると、A/D変換結果はダブルトリガモード専用のA/Dデータ2重化レジスタ (ADDBLDR) に格納されます。
6. ADC140_ADI割り込み要求が発生します。
7. ADSTビットはA/D変換中は1 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0になり、ADC14は待機状態になります。

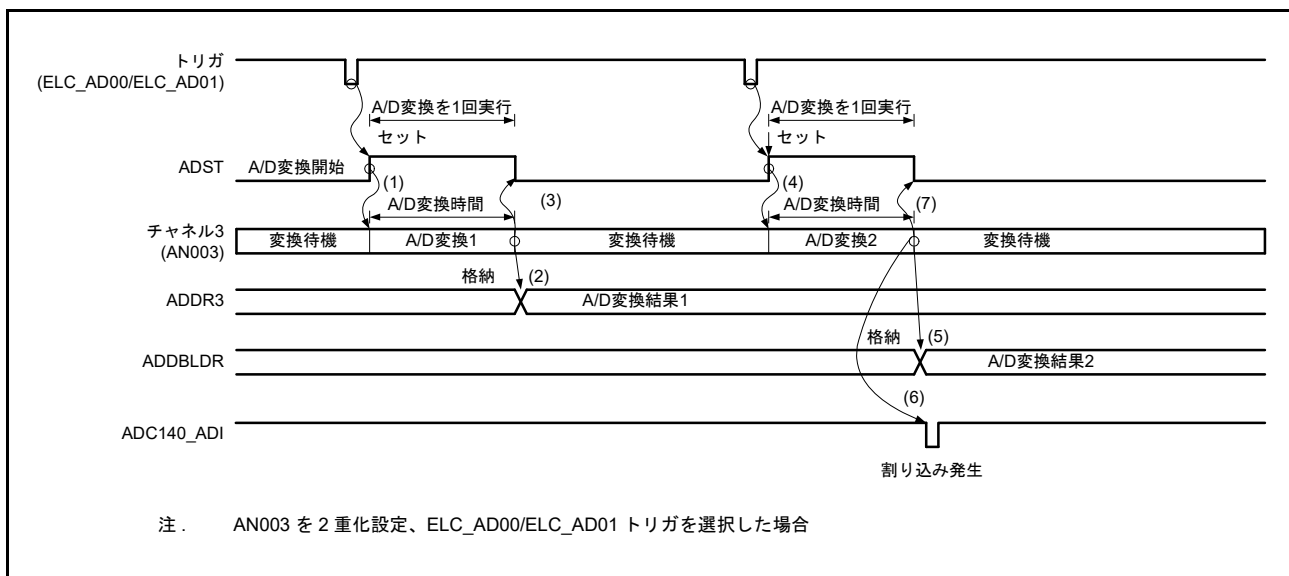


図 33.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003を2重化)

33.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D変換開始トリガとして同期トリガ ELC_AD00/ELC_AD01 を選択した場合、シングルスキャンモードの実行2回分を行います。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに0にしてください。

A/D変換データ2重化は、2重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを1にすると有効となります。ADCSR.DBLE ビットを1にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガ拡張モード時は、ADSTRGR.TRSA[5:0] ビットを0Bhにして同期トリガ ELC_AD00/ELC_AD01 を選択し、ADCSR.EXTRG ビットを0に、ADCSR.TRGE ビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

- 同期トリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
- A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) およびA/Dデータ2重化レジスタA (ADDBLDRA) へ格納されます。また、ELC_ADi0 または ELC_ADi1 のトリガが入力の場合 (i=0,1) は、A/Dデータ2重化レジスタB (ADDBLDRB) へ格納されます。
- ADCSR.ADST ビットは自動的に0になり、ADC14は待機状態になります。ADC140_ADI 割り込みは発生しません。
- 2回目のトリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが1 (A/D変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルのA/D変換を開始します。
- A/D変換が終了すると、A/D変換結果はA/Dデータ2重化レジスタ (ADDBLDR) およびA/Dデータ2重化レジスタA (ADDBLDRA) へ格納されます。また、ELC_ADi0 または ELC_ADi1 のトリガが入力の場合 (i=0,1) は、A/Dデータ2重化レジスタB (ADDBLDRB) へ格納されます。
- ADC140_ADI 割り込み要求が発生します。
- ADCSR.ADST ビットはA/D変換中は1 (A/D変換開始) を保持し、A/D変換が終了すると自動的に0になり、ADC14は待機状態になります。

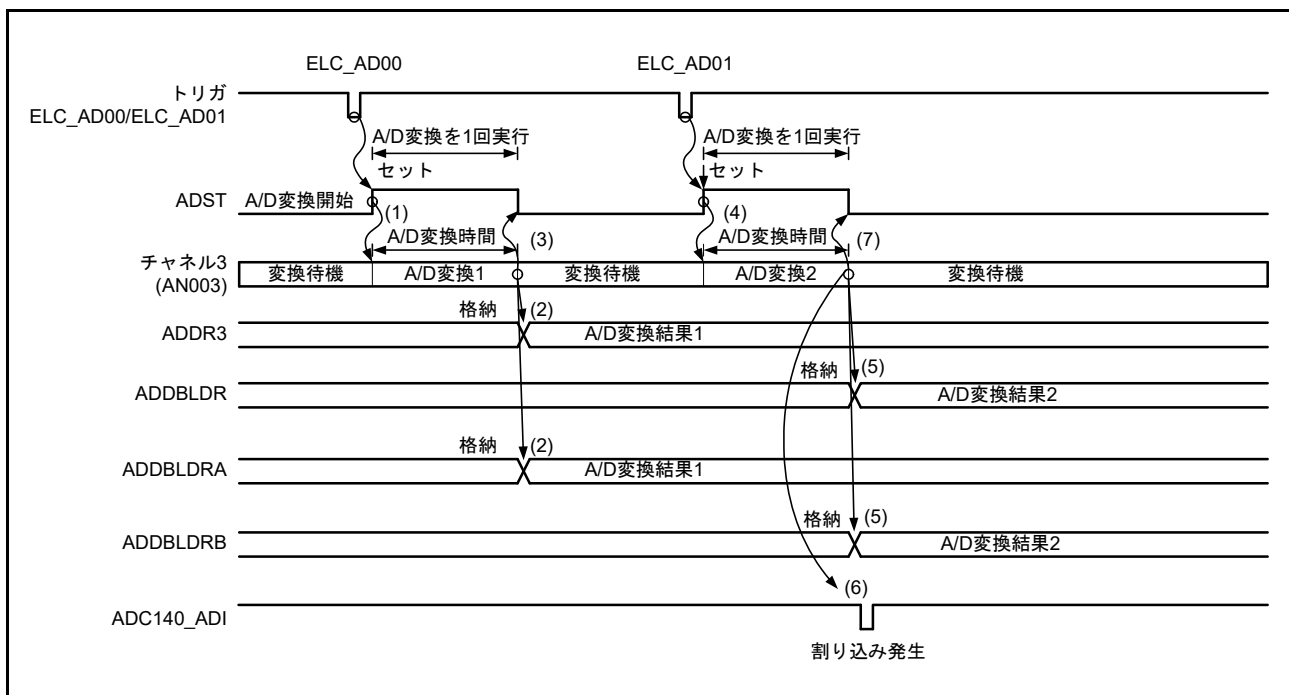


図 33.10 ダブルトリガモードの拡張動作例 (1) (AN003 および ELC_AD00/ELC_AD01 の2重化を選択)

33.3.3 連続スキャンモード

33.3.3.1 基本動作

連続スキャンモードでは、選択されたチャンネルのアナログ入力を繰り返し A/D 変換します。このモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択したすべてのチャンネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。また ADC14 は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) の状態の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC14 は待機状態になります。
5. その後、ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に再び A/D 変換を開始します。

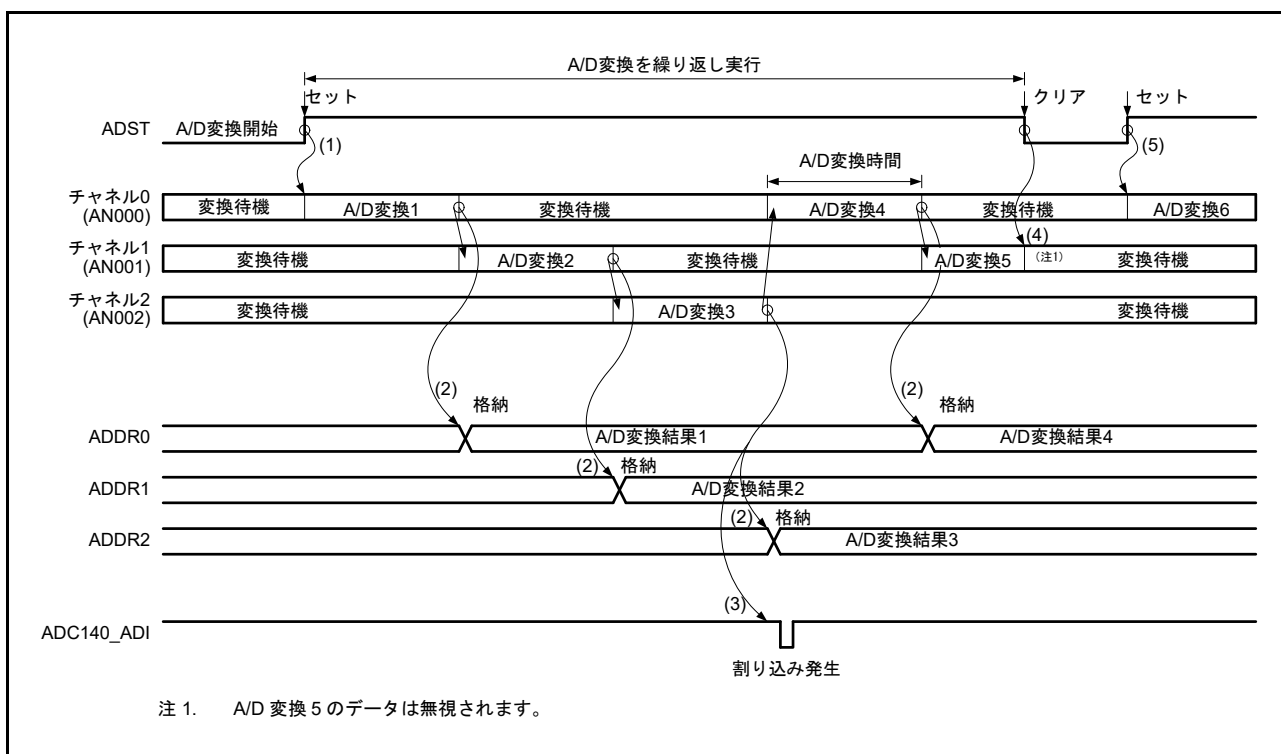


図 33.11 連続スキャンモードの基本動作例 (AN000 ~ AN002 選択)

33.3.3.2 チャネル選択と自己診断

チャネル選択とともに自己診断を選択すると、基準電圧 VREFH0 (×0、×1/2、または×1) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を A/D 変換するという流れを繰り返します。

連続スキャンモードを使用する場合、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャンネルの A/D 変換終了後、ADC140_ADI 割り込み要求を発生します。同時に、ADC14 は自己診断での A/D 変換を開始し、その後 ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
5. ADST ビットは自動的にクリアされず、1 に設定されている間は (2) ~ (4) を繰り返します。ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC14 は待機状態になります。
6. その後、ADST ビットが 1 (A/D 変換開始) に設定されると、再び自己診断での A/D 変換から開始します。

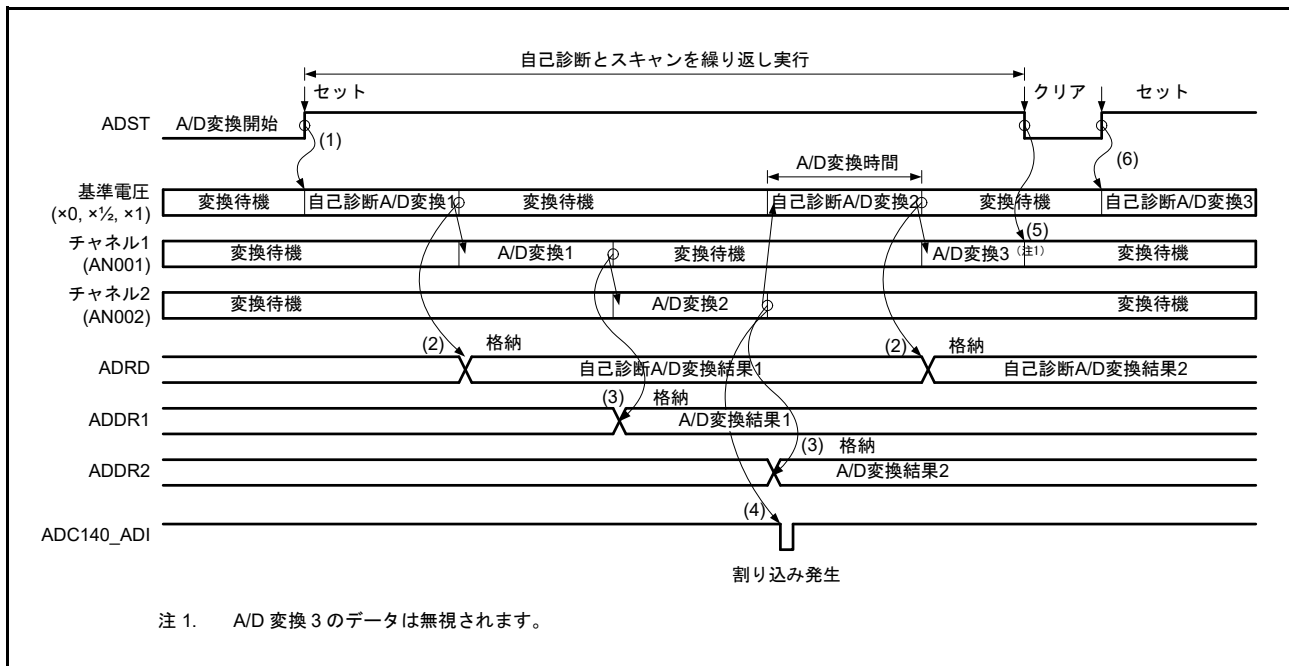


図 33.12 連続スキャンモードの基本動作例 (AN001 および AN002 選択+自己診断)

33.3.4 グループスキャンモード

33.3.4.1 基本動作

グループスキャンモードでは、同期トリガ (ELC) をスキャン開始条件とし、グループ A またはグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループ A とグループ B の同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。以下の例では、ELC からの ELC_AD00 トリガでグループ A の変換が開始され、ELC からの ELC_AD01 トリガでグループ B の変換が開始されています。また、ELC_AD00 および ELC_AD01 は、対応する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC_AD00 トリガでグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC140_ADI 割り込みを発生します。
3. ELC_AD01 トリガでグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) に設定されていると、ADC140_GBADI 割り込みを発生します。

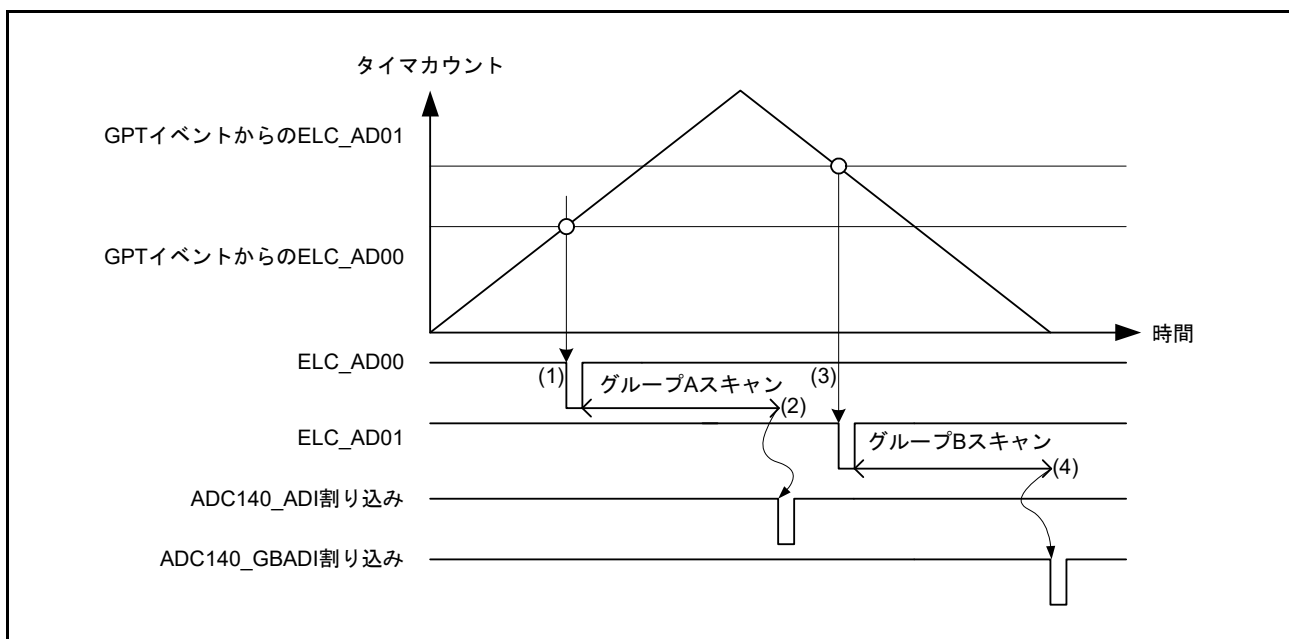


図 33.13 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

33.3.4.2 ダブルトリガモード選択時のA/D変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループAは同期トリガ(ELC)で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。グループBは同期トリガ(ELC)で開始するシングルスキャンモードの動作を1回実行します。

グループスキャンモードでは、グループAとグループBの同期トリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガ、ADSTRGR.TRSB[5:0]ビットでグループBの同期トリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。ソフトウェアトリガ、非同期トリガ(ADTRG0)は使用しないでください。

ADSTRGR.TRSA[5:0]ビットを0BhにすることによってグループAの同期トリガにELC_AD00/ELC_AD01を選択した場合は、ダブルトリガ拡張モードで動作します。

A/D変換対象とするチャンネルは、ADCSR.DBANS[4:0]ビットでグループAのチャンネル、ADANSB0、ADANSB1レジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモードでは、ADEXICR.TSSAビットとADEXICR.OCSAビットをともに0にすることにより、温度センサ出力A/D変換と内部基準電圧A/D変換を非選択にします。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D変換データ2重化は、2重化するチャンネルの番号をADCSR.DBANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。

以下にELCからの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。以下の例では、ELC_AD00トリガでグループAの変換が開始され、ELC_AD01トリガでグループBの変換が開始されています。また、ELC_AD00およびELC_AD01は、対応するELC.ELSRnレジスタでGPTイベントに選択されます。

動作は以下のとおりです。

1. ELCからのELC_AD00トリガでグループBのスキャンを開始します。
2. グループBのスキャン終了時にADCSR.GBADIEビットが1(グループBのスキャン終了割り込み許可)に設定されていると、ADC140_GBADI割り込みを発生します。
3. 1回目のELC_AD01トリガでグループAの1回目のスキャンを開始します。
4. グループAの1回目のスキャンが終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。ADC140_ADI割り込み要求は発生しません。
5. 2回目のELC_AD01トリガでグループAの2回目のスキャンを開始します。
6. グループAの2回目のスキャン終了時、A/D変換結果をADDBLDRに格納します。ADC140_ADI割り込みが発生します。

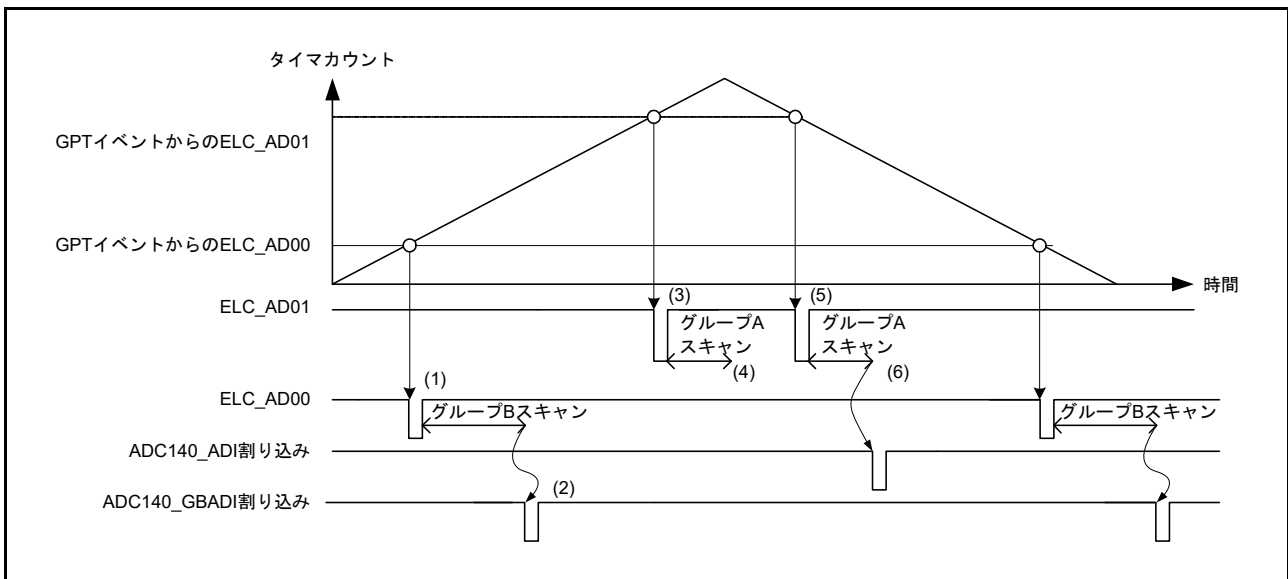


図 33.14 グループスキャンモードかつダブルトリガモード設定時の動作 (ELC からの同期トリガ)

33.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを 1 にすると、グループ A 優先制御動作を行います。ADPGSCR.PGS ビットを 1 にする際は、図 33.15 に記載された手順に従って設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方の A/D 変換のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが 0 のときは、ADC14 はグループ A の A/D 変換動作終了時に待機状態となります。ADGSPCR.GBRSCN ビットが 1 のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から自動で再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 33.9 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループ B のスキャン動作中に ADGSPCR.GBRP ビットを 1 にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットを 1 にする場合は、ADSTRGR.TRSB[5:0] ビットを 3Fh にしてください。

また、A/D 変換対象とするチャンネルは、グループ A については ADANSA0、ADANSA1 レジスタを使用し、グループ B については、ADANSB0、ADANSB1 レジスタでグループ A とは異なるチャンネルを選択してください。

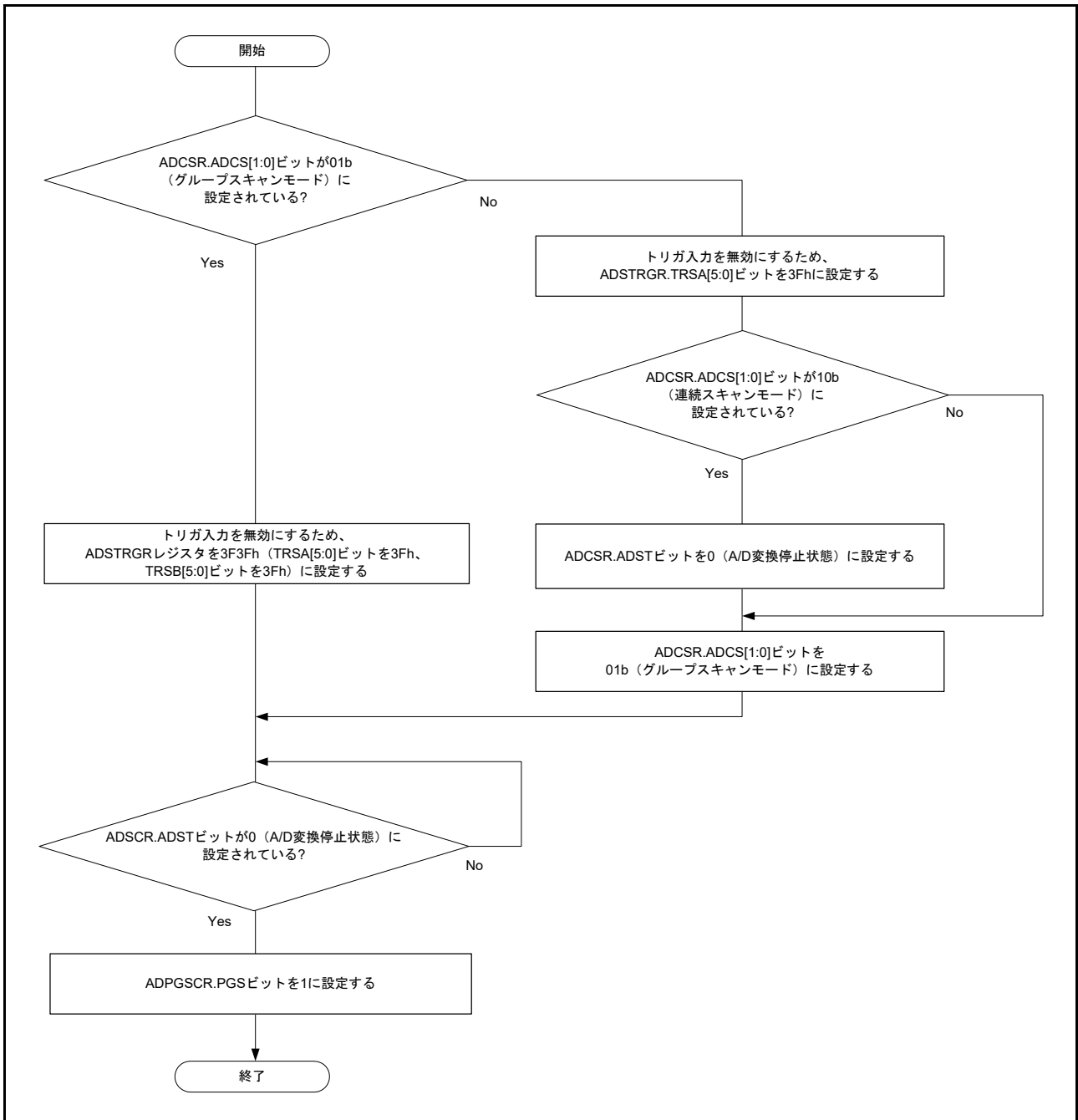


図 33.15 ADPGSCR.PGS ビット設定時のフロー

表 33.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループBのA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換動作開始 グループAのA/D変換終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下に、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ A 優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にクリアし、動作中の A/D 変換を中断します。次に、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル AN_n の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
5. ADC14_ADI 割り込み要求が発生します。
6. ADST ビットが自動的にクリアされた後、再度同ビットが自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル AN_n の n が小さい番号順に、グループ B の A/D 変換を再度開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了割り込み許可) になっていると、ADC14_GBADI 割り込み要求が発生します。
9. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC14 は待機状態になります。

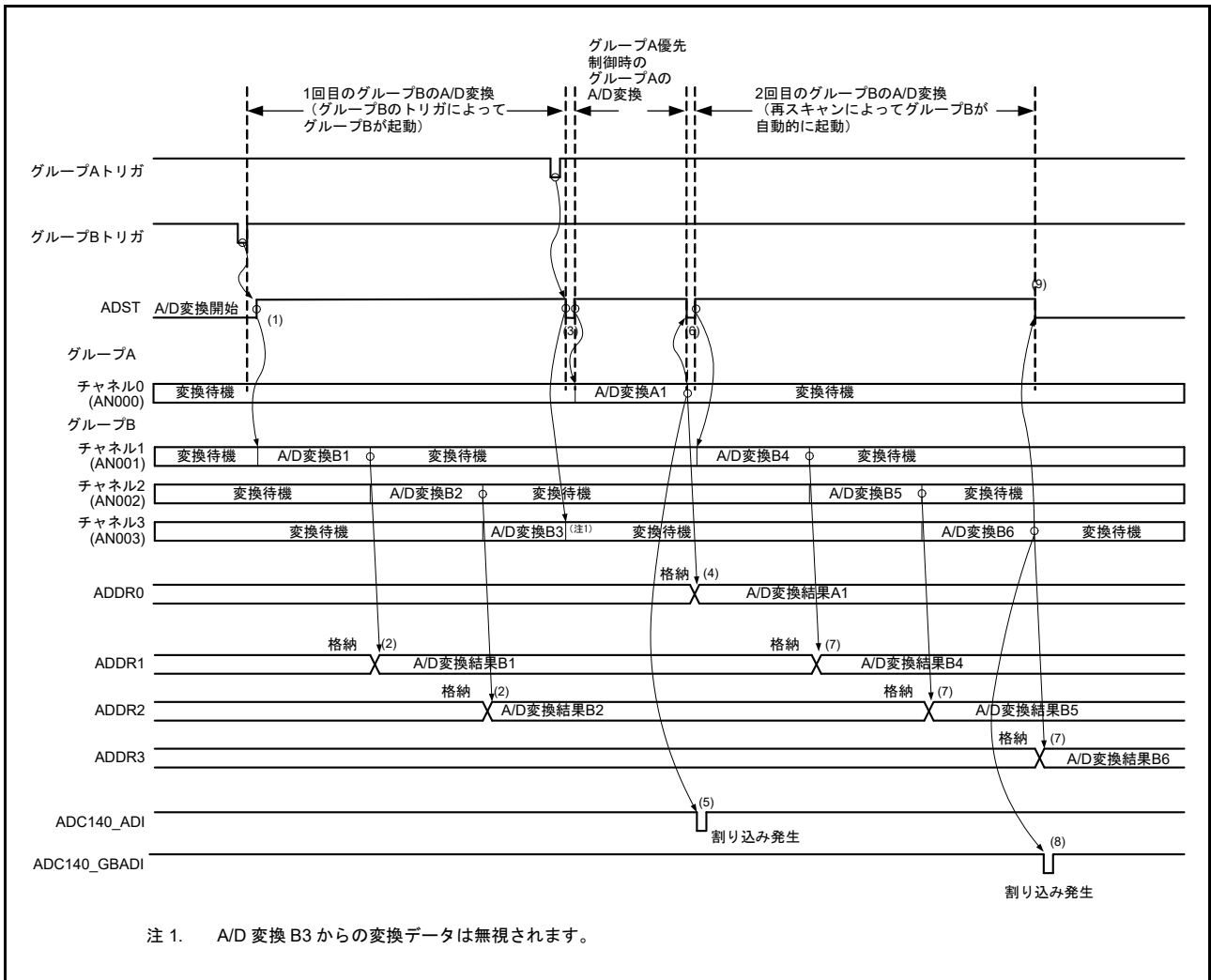


図 33.16 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
4. ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
5. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
6. ADC140_ADI 割り込み要求が発生します。
7. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
9. 再スキャン起動によるグループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットを 0 (A/D 変換停止) にし、動作中のグループ B の A/D 変換を中断します。
10. その後、ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
11. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
12. ADC140_ADI 割り込み要求が発生します。
13. ADGSPCR.GBRSCN ビットが 1 (再スキャン動作有効) の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャン起動によるグループ B の A/D 変換中にグループ A のトリガ入力があると、(9) ~ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC14 は待機状態になります。

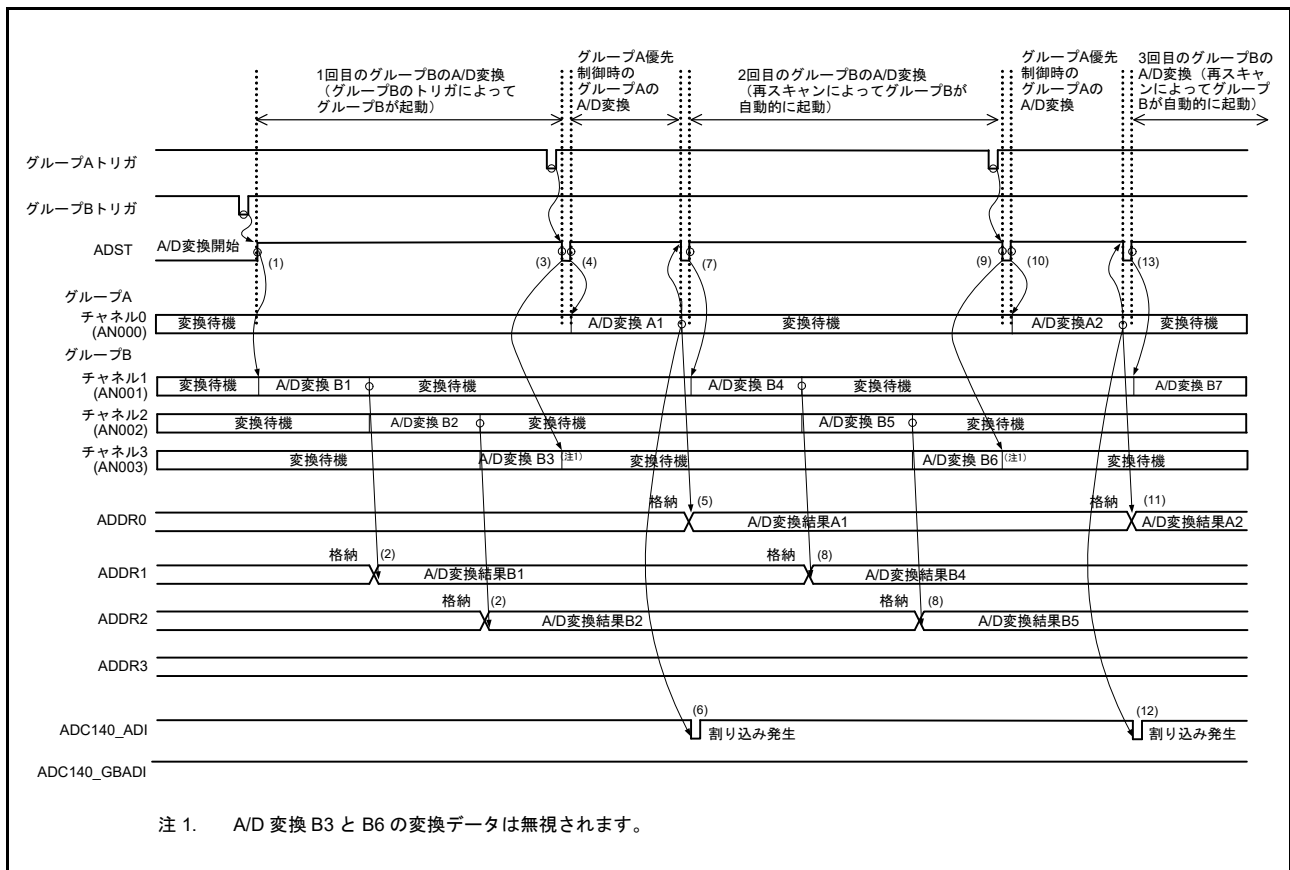


図 33.17 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、チャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に打ち消されて実行されません。
4. グループ A の A/D 変換終了後、レジスタの設定なしで ADC140_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
7. 再スキャン起動によるグループ B のスキャン終了後、ADCSR.GBADIE ビットが 1 (グループ B スキャン終了割り込み許可) になっていると、ADC140_GBADI 割り込み要求が発生します。
8. ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC14 は待機状態になります。

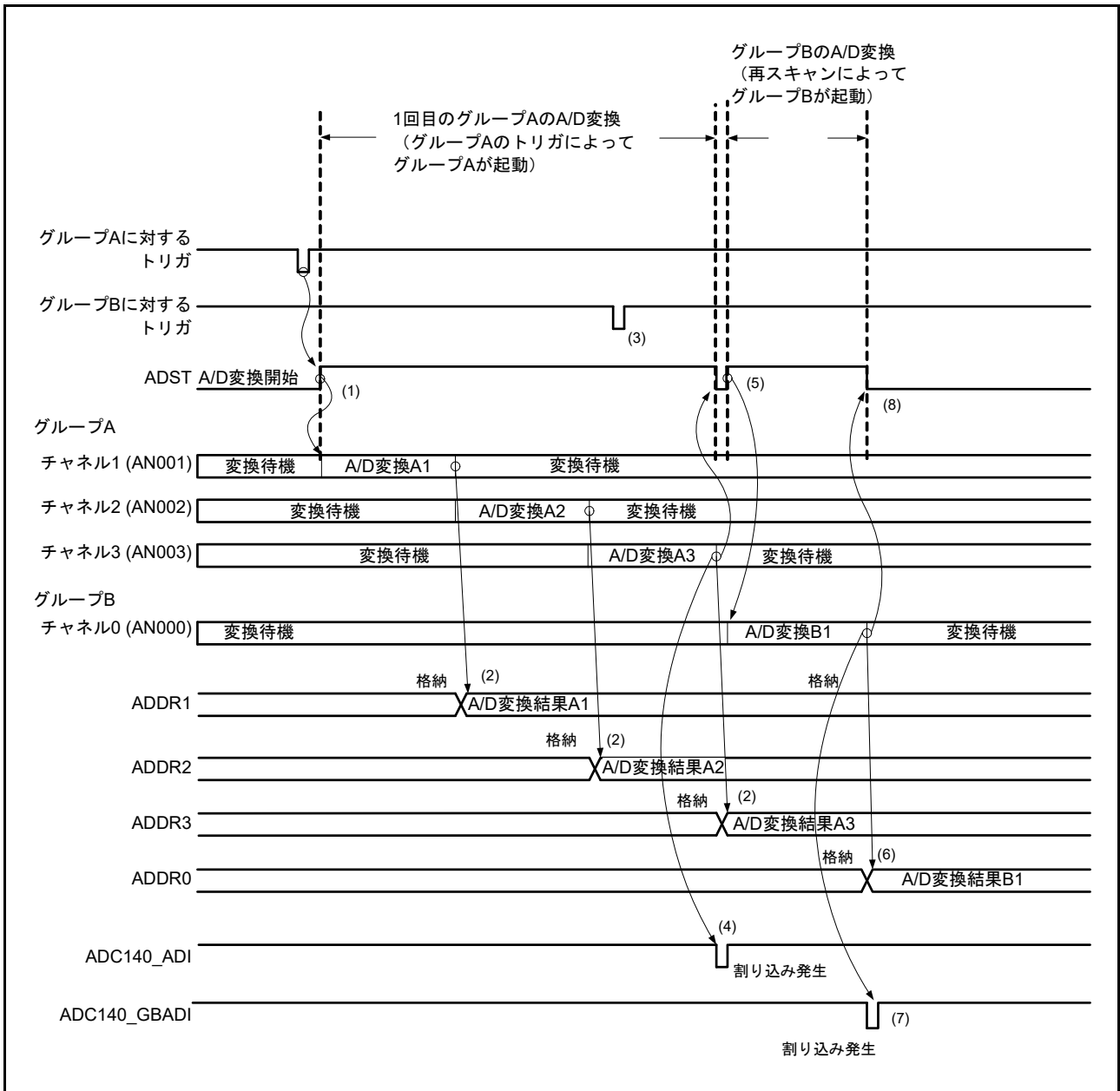


図 33.18 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0) を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中にグループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. ADC14_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC14 は待機状態になります。

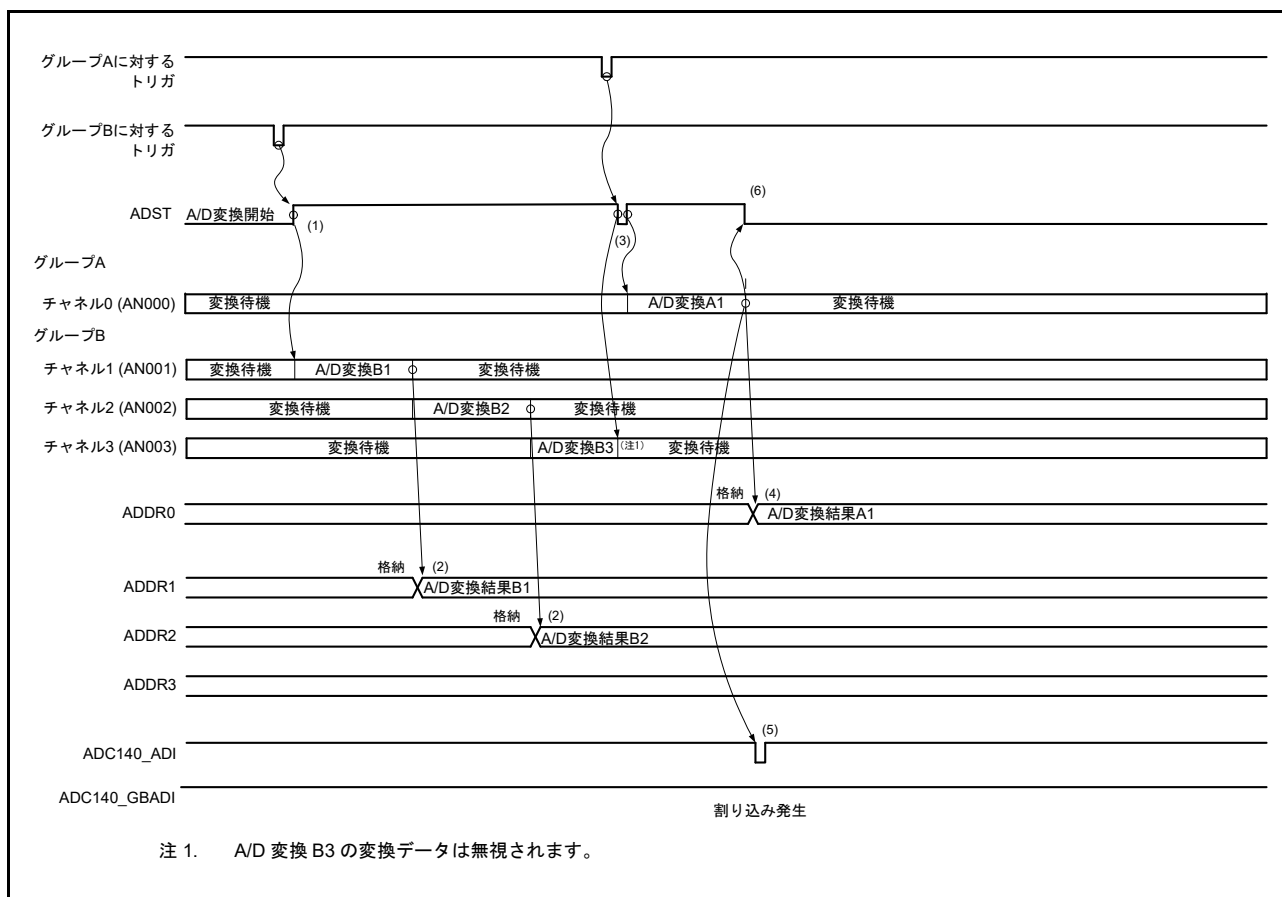


図 33.19 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

1. ADGSPCR.GBRP を 1 にすると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。その後、ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
5. ADC140_ADI 割り込み要求が発生します。
6. ADST ビットを自動的にクリアした後、同ビットが再度自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
7. 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 になっていると、ADC140_GBADI 割り込み要求が発生します。
9. ADST ビットを自動的にクリアした後、同ビットを再度自動的に 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。ADGSPCR.GBRP ビットが 1 の状態の間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが 1 の状態の間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了する方法については、[図 33.31](#) の手順に従ってください。

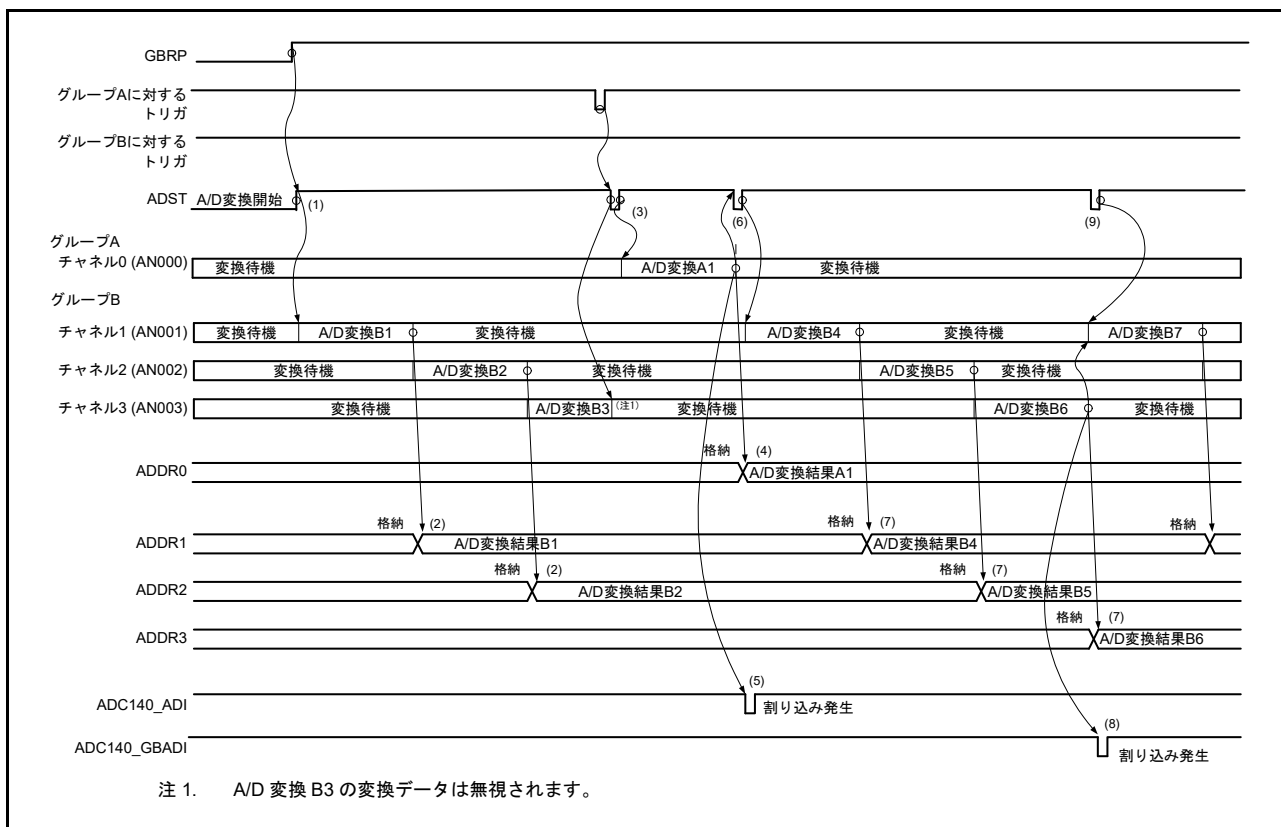


図 33.20 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 の場合)

33.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

33.3.5.1 コンペア機能 (ウィンドウ A、ウィンドウ B)

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することが可能です。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は1つのチャンネルしか選択できないという制限が挙げられます。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ (ELC)、または非同期トリガで ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択したチャンネルの順番で A/D 変換を開始します。温度センサおよび内部基準電圧は同時選択できません。また、内部基準電圧を高電位基準電圧に選択した場合、温度センサまたは内部基準電圧の A/D 変換は実行できません。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy、ADTSR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較した結果、ウィンドウ A が ADCMPLR0/1 または ADCMPLER に設定された条件と一致すると、コンペアウィンドウ A フラグ (ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA) のビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 であれば、ADC140_CMPAI 割り込み要求 (レベル) が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。ADCMPCR.CMPBIE ビットが 1 であれば、ADC140_CMPBI 割り込み要求 (レベル) が発生します。
4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC140_CMPAI および ADC140_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットは 0 (A/D 変換停止) になり、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC140_CMPAI 割り込み要求は取り消されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC140_CMPBI 割り込み要求はリセットされます。再度比較を実行するには、A/D 変換を再開してください。

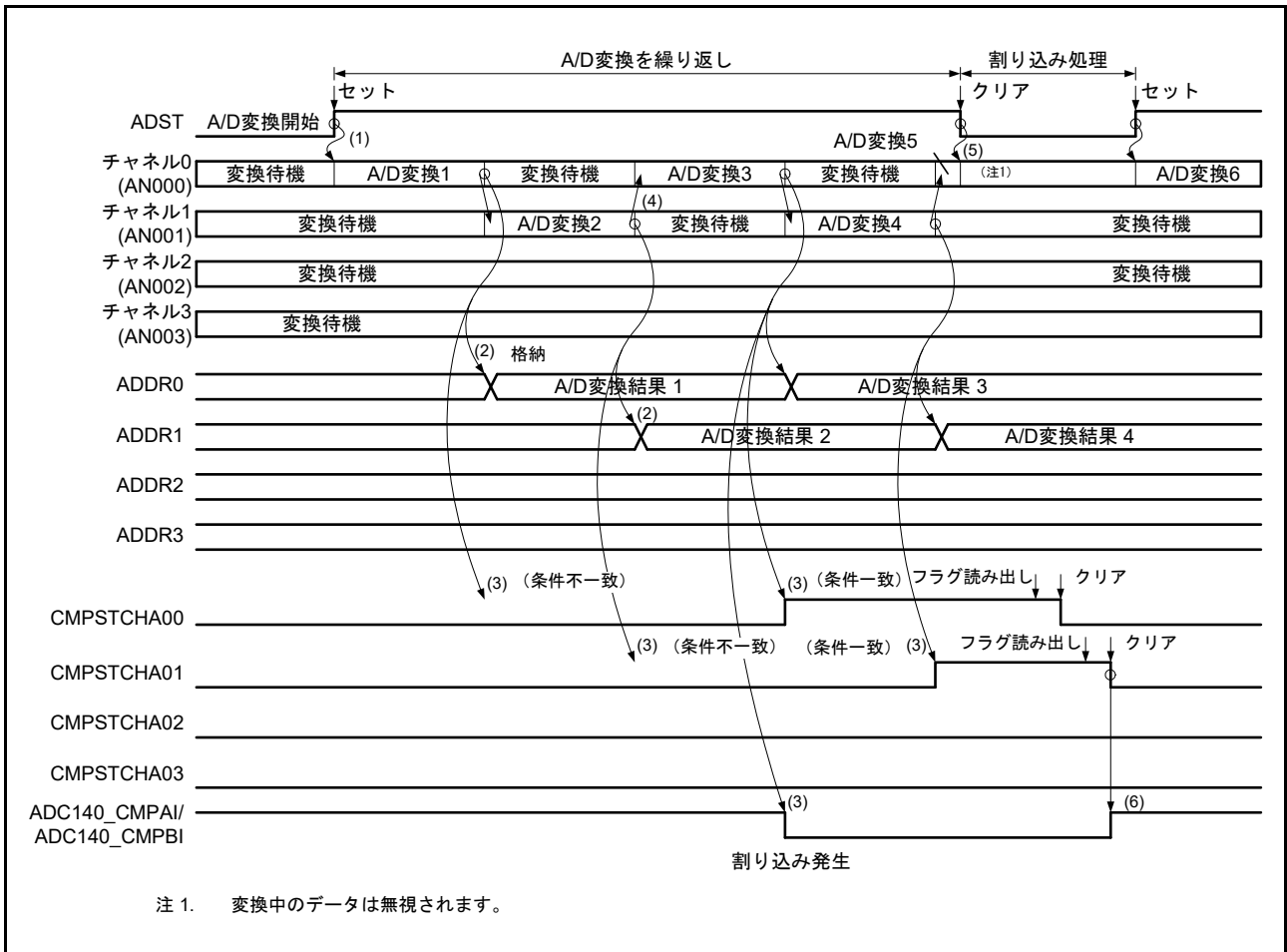


図 33.21 コンペア機能の動作例 (AN000 ~ AN003 を比較)

33.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定します。出力は、選択したチャンネルの A/D 変換値を上側基準電圧値および下側基準電圧値と比較し、イベント条件 (A or B、A and B、A xor B) およびウィンドウ A およびウィンドウ B の比較結果に従って、イベント (ADC14_WCMPPM/ADC14_WCMPUM) を出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、AN000 ~ AN013、AN016 ~ AN022 のチャンネルのどれか、内部基準電圧、温度センサ出力を選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。また、A/D コンバータの高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

ウィンドウ B の場合、AN000 ~ AN013、AN016 ~ AN022 のチャンネルのうち 1 つ、内部基準電圧、温度センサ出力を選択できます。また、高電位基準電圧に内部基準電圧を選択した場合、内部基準電圧および温度センサ出力を A/D 変換することはできません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS[1:0] ビットの値が 00b (シングルスキャンモード) であることを確認してください。
2. ADCMPANSR0/1 および ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。ADCMPPLR0/1 および ADCMPPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

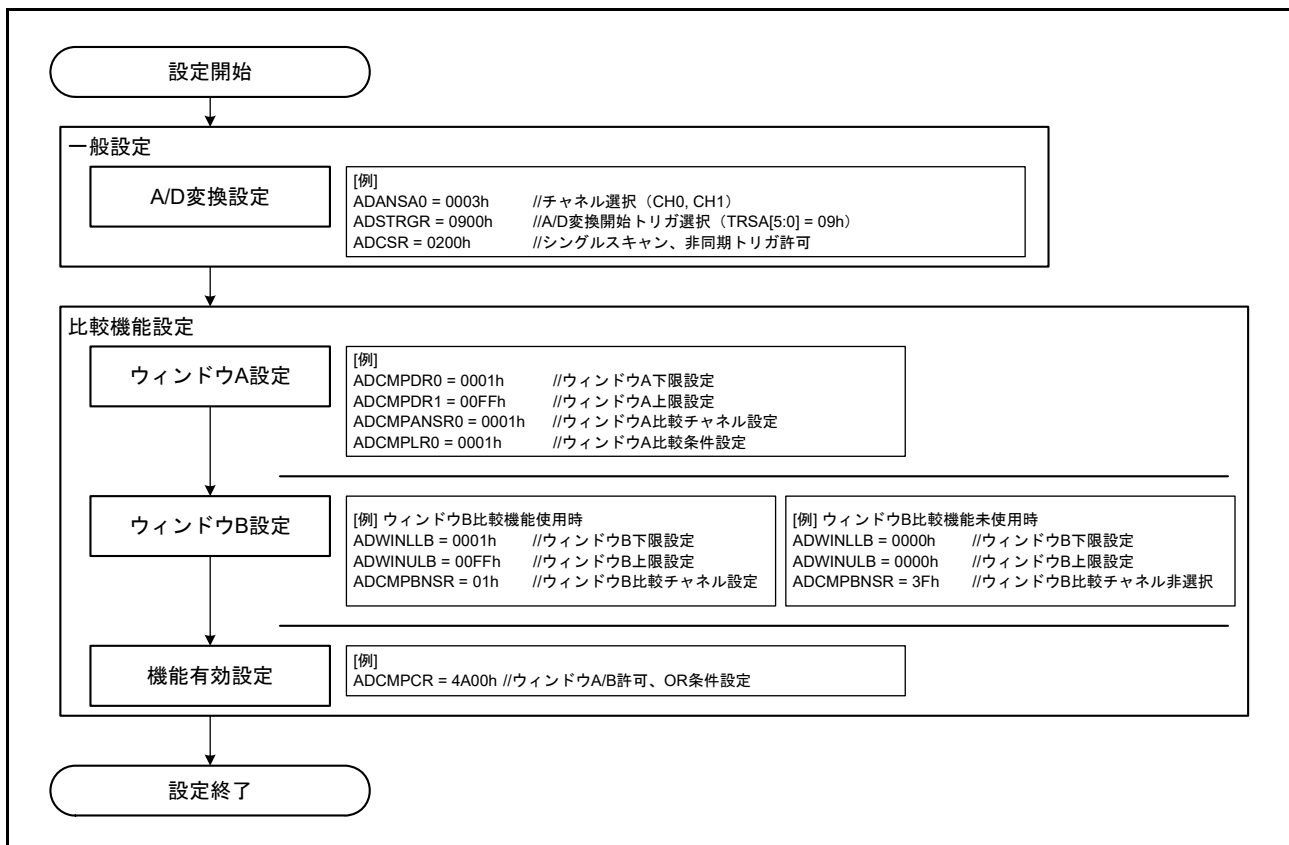


図 33.22 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にすること
- ウィンドウ A および B の複合条件を「OR 条件」にすること (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルを「非選択」にすること (ADCMPBNSR.CMPCHB[5:0] = 111111b)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定すること (ADCMPCR.WCMPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、および ADCMPBNSR.CMPLB = 1)

コンペア機能のイベント出力動作例を図 33.23 に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC140_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0] の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC140_WCMPM/ADC140_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

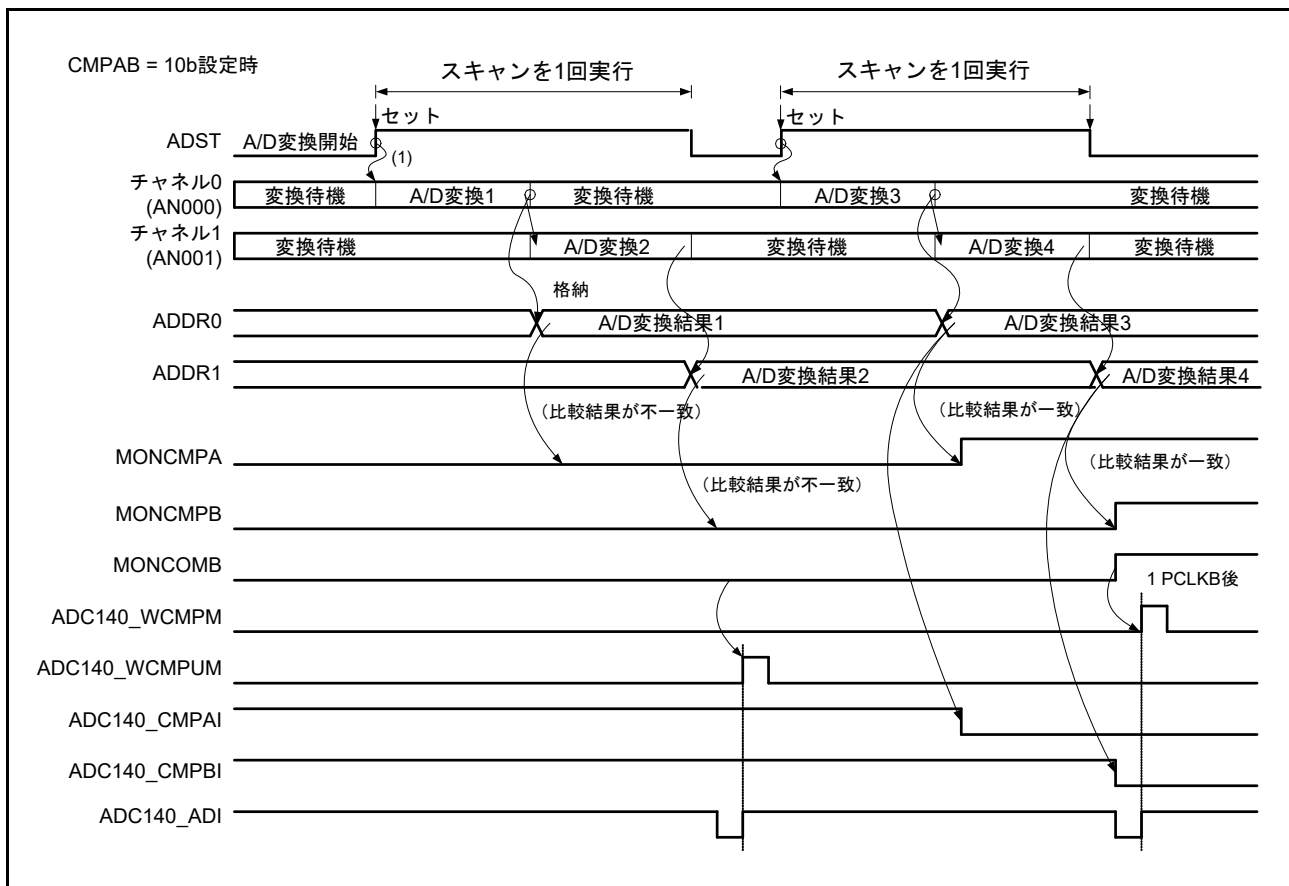


図 33.23 コンペア機能のイベント出力動作例 (AN000 ~ AN001 を比較)

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0] の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

33.3.5.3 コンペア機能の制約

コンペア機能には以下の制約事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できない (ADRD、ADDBLDR、ADDBLDRB、およびADDBLDRDではコンペア機能は使用できない)
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにすること
- ウィンドウ A に温度センサまたは内部基準電圧を選択した場合、ウィンドウ B 動作は無効
- ウィンドウ B に温度センサまたは内部基準電圧を選択した場合、ウィンドウ A 動作は無効
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできない
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上になるようにすること

33.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 33.24 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 33.25 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG} および t_{DSD}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することが可能です。

逐次変換時間 (t_{SAM}) は以下のとおりです。

- 14 ビット精度および高速モード選択時で 37.5 ステート (ADCLK)
- 14 ビット精度および低電流モード選択時で 46.5 ステート (ADCLK)
- 12 ビット精度および高速モード選択時で 31.5 ステート (ADCLK)
- 12 ビット精度および低電流モード選択時で 40.5 ステート (ADCLK)

スキャン変換時間を表 33.10 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \text{ (注 3)} \times n)$ 固定となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15ADCLK ステートの自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 (t_{SPL}) が同じの場合、この要素は $t_{CONV} \times n$ となります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した t_{SPL} と t_{SAM} の和となります。

スキャン変換時間を表 33.10 に示します。

表 33.10 スキャン変換時間 (ADCLKとPCLKBのサイクル数)

項目	シンボル	種別/条件			単位	
		同期トリガ	非同期トリガ	ソフトウェアトリガ		
スキャン開始処理時間 (注1) (注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	3PCLKB + 6ADCLK、 5PCLKB + 3ADCLK (注6)	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)	2PCLKB + 4ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時	2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外		2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
断線検出アシスト処理時間		t _{DIS}	ADNDIS[3:0]設定値 (初期値00h) × ADCLK (注3)			
自己診断変換処理時間 (注1)	サンプリング時間		t _{DIAG}	t _{SPL}	ADSSTRn (n = 0 ~ 13, L, T, O) 設定値 (初期値 : 0Dh) × ADCLK (注4) + 0.5ADCLK (注4)	
	逐次変換時間	12ビット変換精度	t _{SAM}	高速モードで31.5ADCLK 低電流モードで40.5ADCLK		
		14ビット変換精度		高速モードで37.5ADCLK 低電流モードで46.5ADCLK		
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間		t _{DED}	2ADCLK		
連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間		t _{DSD}	2ADCLK			
A/D変換処理時間 (注1)	サンプリング時間		t _{CONV}	t _{SPL}	ADSSTRn (n = 0 ~ 13, L, T, O) 設定値 (初期値 = 0Dh) × ADCLK	
	逐次変換時間	12ビット変換精度		t _{SAM}	高速モードで31.5ADCLK 低電流モードで40.5ADCLK	
		14ビット変換			高速モードで37.5ADCLK 低電流モードで46.5ADCLK	
スキャン終了処理時間 (注1)		t _{ED}	1PCLKB + 3ADCLK、 2PCLKB + 3ADCLK (注6)			

- 注 1. t_D、t_{SPL}、t_{DIAG}、t_{CONV}、t_{ED}の各タイミング例については、図 33.24、図 33.25 を参照してください。
- 注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。
- 注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0Fh (15ADCLK) 固定です。
- 注 4. 必要なサンプリング時間 (ns) は、電圧条件によって指定されます。サンプリング時間は、電気的特性を満たすように設定してください。
- 注 5. タイマ出力からトリガ入力までの経路で使われる時間は含みません。
- 注 6. ADCLK が PCLKB (PCLKB/ADCLK の分周率 = 1 : 2 または 1 : 4) より速い場合。

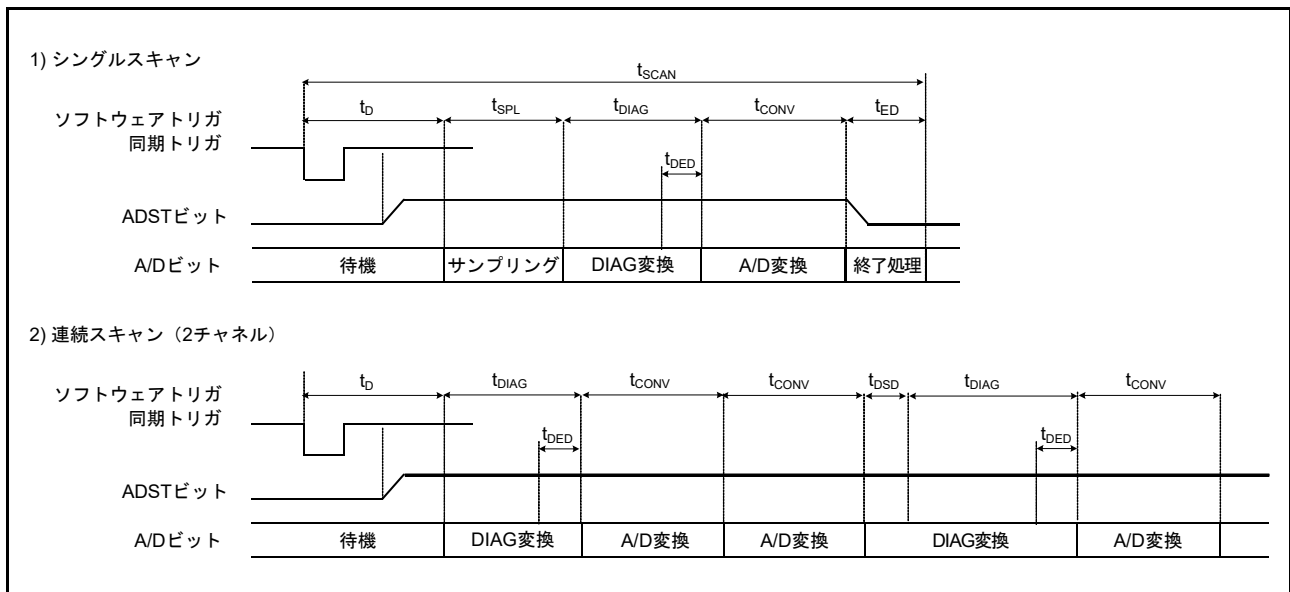


図 33.24 スキャン変換のタイミング (ソフトウェア起動、同期トリガ入力 (ELC) 起動の場合)

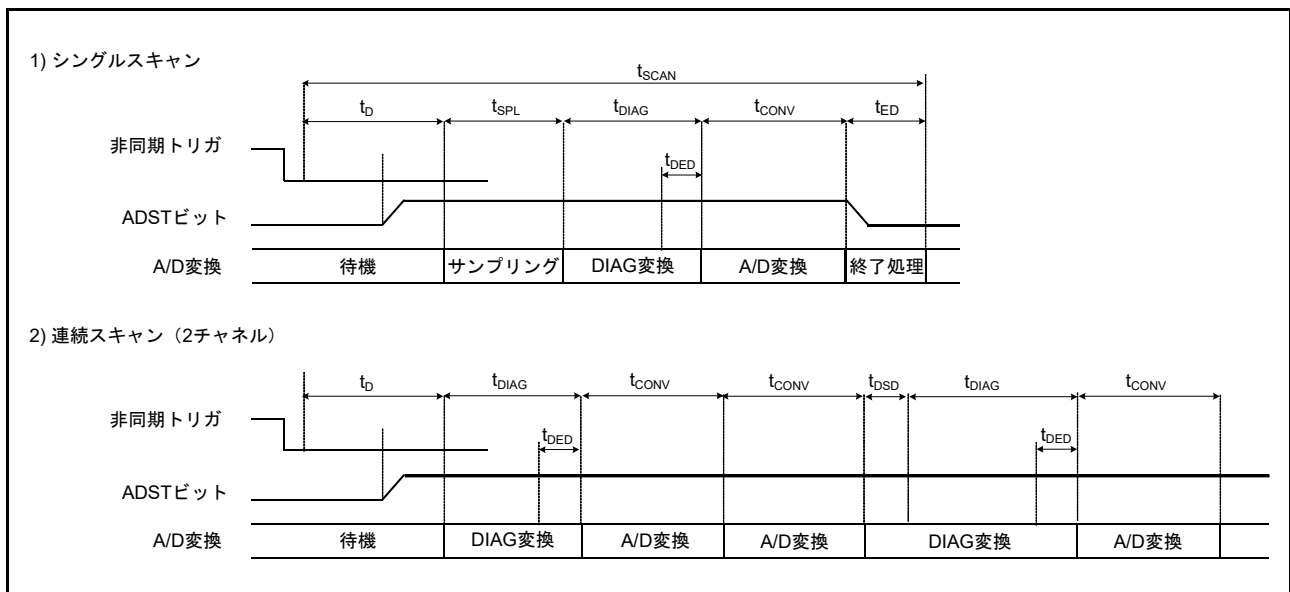


図 33.25 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

33.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを1にすることにより、CPU または DTC によって A/D データレジスタ (ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR) を読み出す際、自動的に ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタの未更新故障を検出することが可能です。以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER.ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0111h) を保持します。さらに、A/D スキャン終了割り込みによってこの ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) を汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDRy = 0111h を CPU または DTC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックすることで、ADDRy レジスタの未更新障害があったことを判断できます。

33.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

A/D 変換値加算モードは、同じチャンネルを 1、2、3、4、または 16 (注 1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均モードは、同じチャンネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が向上します。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。

33.3.9 断線検出アシスト機能

ADC14は、A/D変換開始前に、サンプリング容量の電荷を所定の状態（VREFH0またはVREFL0）に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 33.26 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 33.27 にプリチャージを選択した場合の断線検出例を示します。図 33.28 にディスチャージを選択した場合の断線検出例を示します。

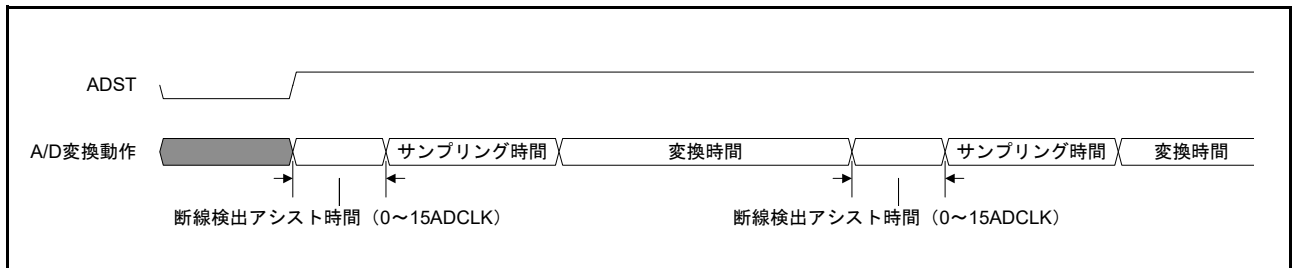


図 33.26 断線検出アシスト機能を使用した場合の A/D 変換動作図

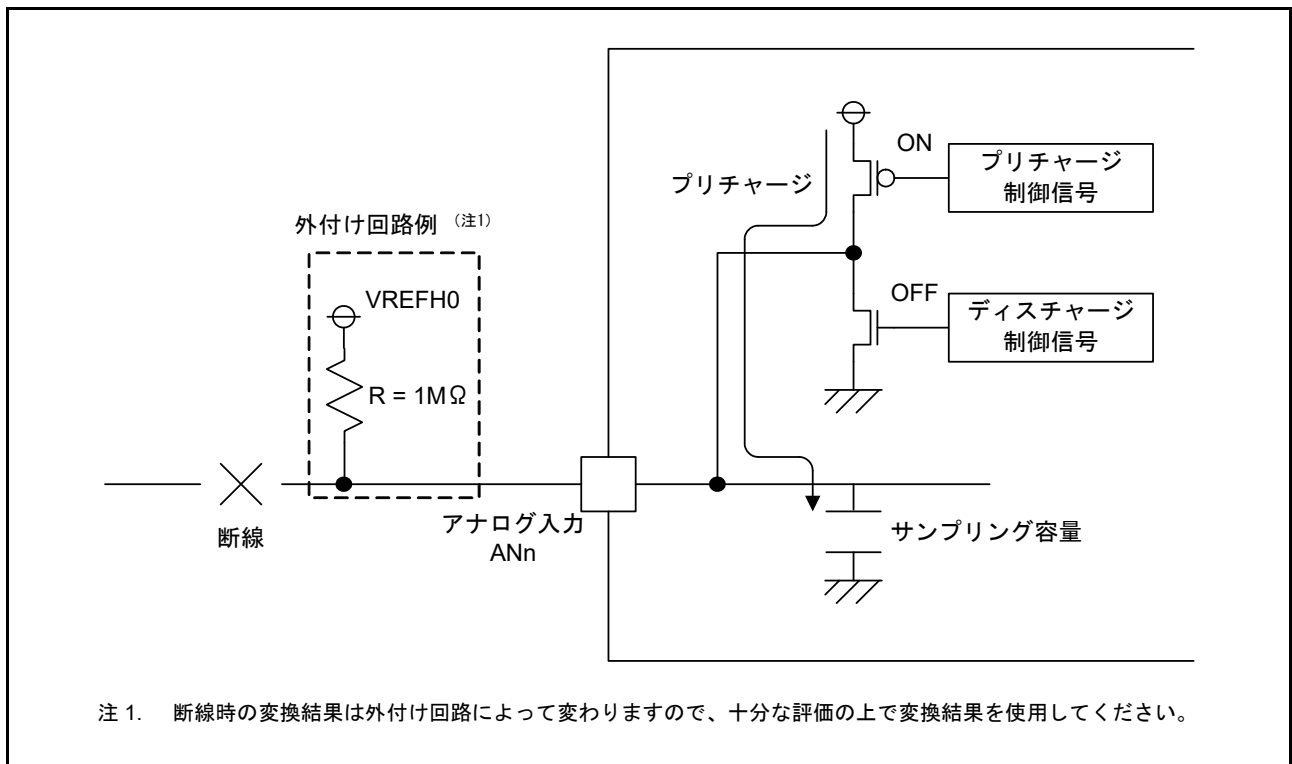


図 33.27 プリチャージを選択した場合の断線検出例

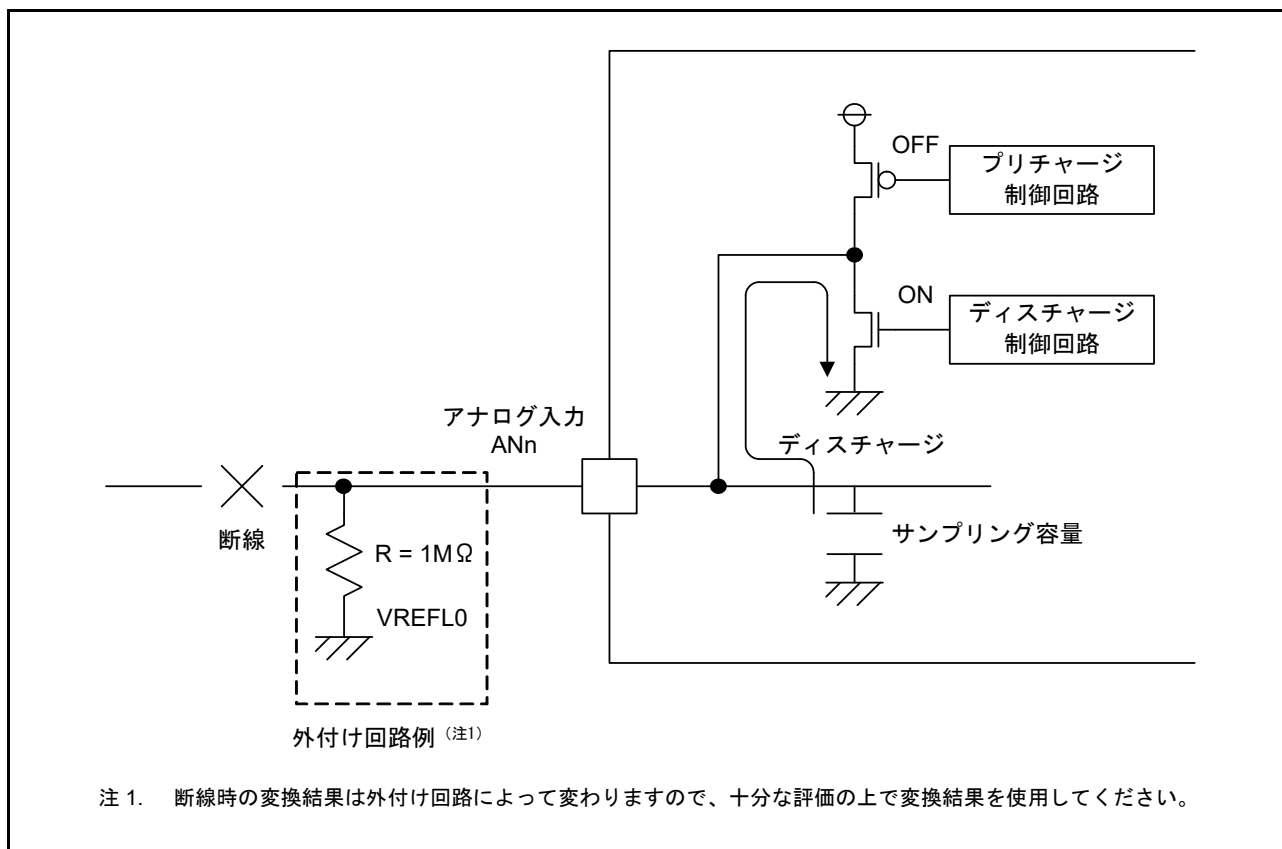


図 33.28 ディスチャージを選択した場合の断線検出例

33.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することが可能です。非同期トリガを使用して A/D 変換を開始する場合は、まず PmnPFS レジスタで端子機能を設定し、次に、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 000000b にしてから、非同期トリガ (ADTRG0 端子) に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 33.29 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[5:0]) では選択できません。端子機能の設定については、「17. I/O ポート」を参照してください。

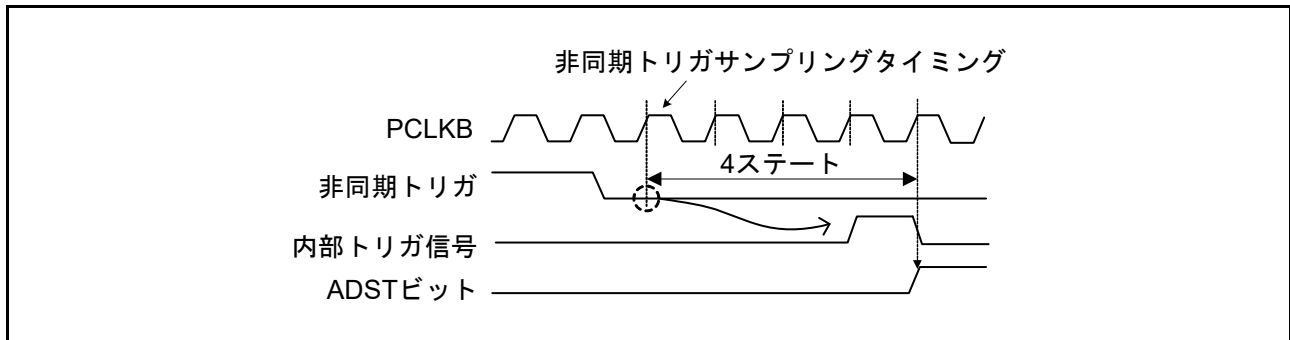


図 33.29 非同期トリガ入力タイミング

33.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

A/D 変換は同期トリガ (ELC) によって開始できます。そのためには、ADCSR.TRGE ビットを 1 にし、ADCSR.EXTRG ビットを 0 にクリアして、ADSTRGR.TRSA[5:0] ビットおよび ADSTRGR.TRSB[5:0] ビットで該当の要因を選択してください。

33.4 割り込み要因と DTC 転送要求

33.4.1 割り込み要求

ADC14 は、スキャン終了割り込み要求である ADC140_ADI、ADC140_GBADI 割り込みを CPU へ送信することが可能です。また、比較条件成立で、CPU への ADC140_CMPAI/ADC140_CMPBI 割り込みを発生させます。

ADC140_ADI 割り込みは常時発生し、ADC140_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC140_CMPAI および ADC140_CMPBI 割り込みはそれぞれ ADCMPCR.CMPAIE ビットおよび ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC140_ADI または ADC140_GBADI 割り込み発生時に DTC を起動できます。ADC140_ADI または ADC140_GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 33.11 割り込み要因およびADC14のELCイベント ○ : 使用可能 x : 使用不可

動作			割り込み要求または ELC イベント	割り込み要求	DTC の起動	ELC イベント	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
		選択	ADC140_ADI	○	○	○	シングルスキャンの最後にADC140_ADI発生
			ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生
			ADC140_WCMPPM	x	○	○	ウィンドウA/Bコンペア機能の条件一致でADC140_WCMPPM発生
	ADC140_WCMPUM	x	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC140_WCMPUM発生		
選択	非選択	ADC140_ADI	○	○	○	偶数回数のスキャン終了時にADC140_ADI発生	
連続スキャンモード	非選択	非選択	ADC140_ADI	○	○	○	選択したすべてのチャンネルのスキャン終了時にADC140_ADI発生
		選択	ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生
グループスキャンモード	非選択	非選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC140_GBADI発生
		選択	ADC140_ADI	○	○	○	グループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC140_GBADI発生
			ADC140_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC140_CMPAI発生
			ADC140_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC140_CMPBI発生
	選択	非選択	ADC140_ADI	○	○	○	偶数回数のグループAのスキャン終了時にADC140_ADI発生
			ADC140_GBADI	○	○	x	偶数回数のグループAのスキャン終了時にグループB用のADC140_GBADI発生

DTC の設定値詳細は、「15. データトランスファコントローラ (DTC)」を参照してください。

33.5 イベントリンク機能

33.5.1 ELC へのイベント出力

ELC は、ADC140_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC140_GBADI 割り込みおよび ADC140_CMPAI/ADC140_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、表 33.11 を参照してください。

33.5.2 ELC からのイベントによる ADC14 の動作

ADC14 は、ELC の ELSRn 設定に応じた事前設定イベント信号 (ELC_AD00 および ELC_AD01) によって A/D 変換を開始できます。

ELC_AD00 は ELC.ELSR8 レジスタで、ELC_AD01 は ELC.ELSR9 レジスタで選択する信号です。

A/D 変換中に ELC_AD00/ELC_AD01 のイベントが発生した場合、そのイベントは無視されます。

33.6 基準電圧の選択

ADC14 は高電位基準電圧に VREFH0、AVCC0、または内部基準電圧を低電位基準電圧に VREFL0 / AVSS0 を選択できます。これらの設定は A/D 変換開始前に行ってください。

33.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、AN000 ~ AN013 および AN016 ~ AN022 のチャンネルに対しての A/D 変換は可能ですが、内部基準電圧および温度センサ出力の A/D 変換は実行できません。

1. ADHVREFCNT.HVSEL[1:0] を 11b にして、ADC14 の高電位基準電圧パスをディスチャージしてください。
2. ソフトウェア内で 1 μ s のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b にして、高電位基準電圧に内部基準電圧を選択してください。

注. ADC14 はプロテクト機能を有しており、VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) や AVCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) 選択からディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) を経ずに内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) を選択することはできません。ディスチャージを経ずに内部基準電圧を設定した場合は、強制的にディスチャージの設定を行います。1 μ s 後、再度、内部基準電圧の選択を行ってください。

4. ソフトウェア内で内部基準電圧が安定するまで待機してから (5 μ s)、A/D 変換を実行してください。

高電位基準電圧に内部基準電圧を選択する手順の波形図を図 33.30 に示します。

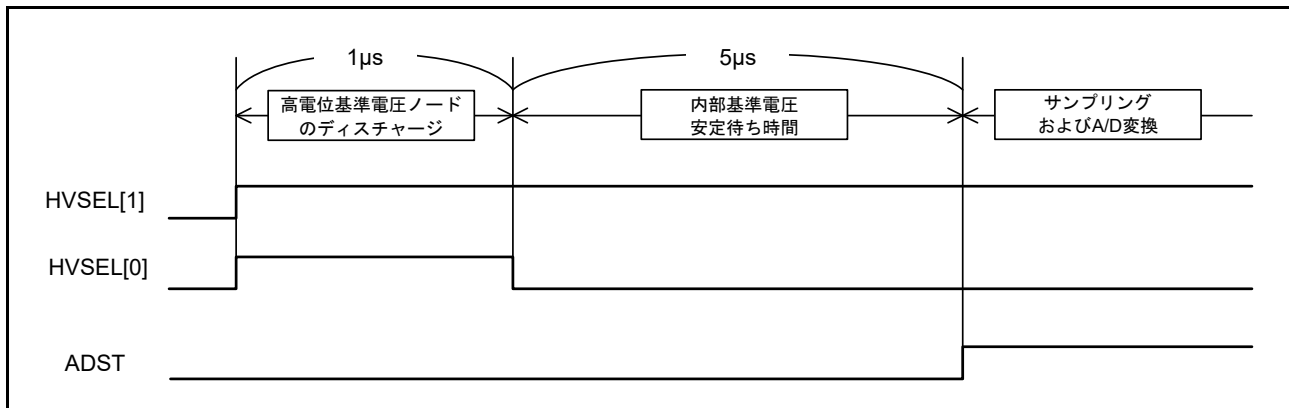


図 33.30 高電位基準電圧に内部基準電圧を選択する手順

33.8 使用上の注意事項

33.8.1 データレジスタの読み出し注意事項

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト / 下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

33.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 33.31 のフローチャートの手順に従ってください。

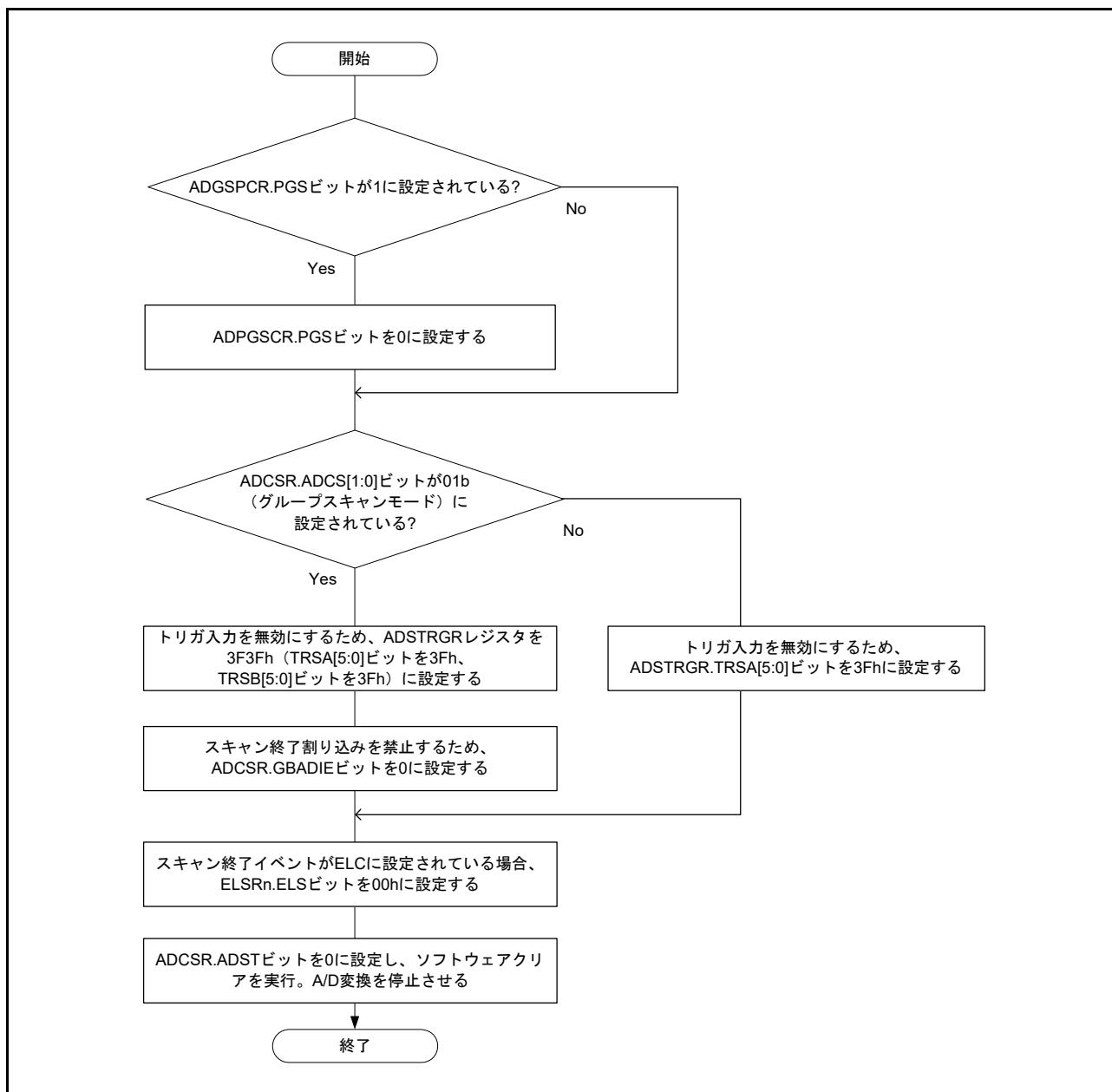


図 33.31 ソフトウェアによる ADCSR.ADST ビットのクリア手順

33.8.3 A/D 変換強制停止と再開時の動作タイミング

ADC14 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC14 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 3 クロックの時間を必要とします。

33.8.4 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

33.8.5 モジュールストップ状態の設定

モジュールストップコントロールレジスタによって、ADC14の動作を禁止/許可することが可能です。ADC14は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s以上待つてからA/D変換を開始してください。詳細は、「10. 低消費電力モード」を参照してください。

33.8.6 低消費電力状態への遷移時の制約

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前にA/D変換を停止させてください。ADCSR.ADSTビットを0にし、ADC14のアナログ部が停止するまでの時間を確保する必要があります。ソフトウェアでADCSR.ADSTビットをクリアするには、[図 33.31](#)に示す手順に従ってください。その後、ADCLKの3クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

33.8.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、A/Dコンバータの絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

断線検出アシスト機能は、十分な評価の上で使用してください。

33.8.8 ADHSC ビット書き換え手順

A/D変換選択ビット (ADCSR.ADHSC) を0から1または1から0に書き換える場合、事前にADC14をスタンバイ状態にしておく必要があります。ADCSR.ADHSCビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSL) を0にしてから1 μ s以上待つてからA/D変換を開始してください。

1. スリープビット (ADHVREFCNT.ADSL) を1にします。
2. 0.2 μ s以上待つてからA/D変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8 μ s以上待つてからスリープビット (ADHVREFCNT.ADSL) を0にしてください。

注1. A/D変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSL) を1にしないでください。

注2. A/D変換選択ビット (ADCSR.ADHSC) が1の場合はスリープビットをリセットしないでください。本ビットを0にした後、または動作モードがモジュールストップモードに遷移した後は、ADCSR.ADHSCビットの書き換え手順に従いスリープビットをリセットしてください。

33.8.9 動作モードおよびステータスビット

自己診断の電圧値、ダブルトリガモードでの1回目または2回目のスキャンの値、データバッファポインタ、コンペア機能のステータスマニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 ADCER.DIAGVAL[1:0] は、ADCER.DIAGLD を 1 に設定してから選択すること
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作する
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化される

33.8.10 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。

また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけしたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子 (AN000 ~ AN013、AN016 ~ AN022)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、およびアナログ電源 (AVCC0) は、アナロググランド (AVSS0) を使用したデジタル回路と距離を離すようにしてください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください (単一グランドプレーン接続)。

33.8.11 ノイズ軽減

過剰電圧などの異常電圧によってアナログ入力端子 (AN000 ~ AN013、AN016 ~ AN022) が破壊されないように、AVCC0 および AVSS0 間、ならびに VREFH0 および VREFL0 間にコンデンサを設置する必要があります。また、アナログ入力端子 (AN000 ~ AN013、AN016 ~ AN022) を保護するために、[図 33.32](#) に示すように保護回路を接続してください。

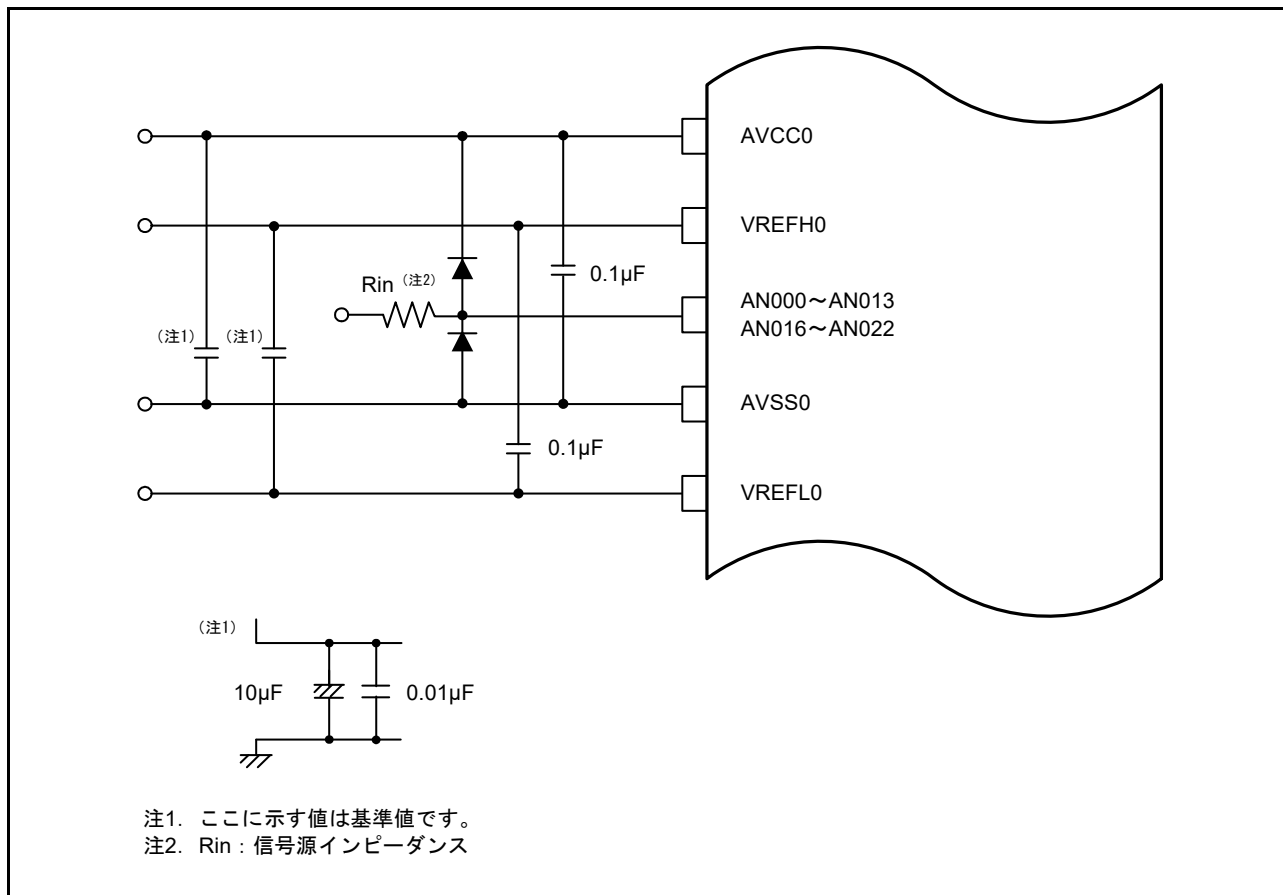


図 33.32 アナログ入力用保護回路例

33.8.12 ADC14 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 と PORT5 をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、A/D アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。A/D アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

33.8.13 A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係

表 33.12 に示す A/D 変換対象は、A/D 変換中の OPAMP、ACMPHS、および ACMPLP 入力に選択できません。

表 33.12 A/D 変換中に選択できない OPAMP、ACMPHS、および ACMPLP 端子

A/D 変換対象	OPAMP	ACMPHS	ACMPLP
AN000	AMP0+	IVCMP2	—
AN001	AMP0-	IVREF2	—
AN007	AMP1-	IVREF0	—
AN008	AMP1+	IVCMP0	—
AN009	AMP2-	IVREF1	—
AN010	AMP2+	IVCMP1	—
AN011	AMP3-	—	—
AN012	AMP3+	—	—
AN019	—	—	CMPREF1
AN020	—	—	CMPIN1
AN021	—	—	CMPREF0
AN022	—	—	CMPIN0

33.8.14 ソフトウェアスタンバイモードの解除についての注意事項

ソフトウェアスタンバイモードから通常モードへの遷移後は、1 μ s 待ってから A/D 変換を開始してください。

34. 8ビットD/Aコンバータ (DAC8)

34.1 概要

表 34.1 に8ビットD/Aコンバータの仕様を、図 34.1 に8ビットD/Aコンバータのブロック図を示します。

表 34.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	3チャンネル
アナログモジュール間の干渉低減	なし
モジュールストップ機能	モジュールストップ状態への設定が可能
イベントリンク機能 (入力)	イベント信号の入力により、D/A変換の開始が可能

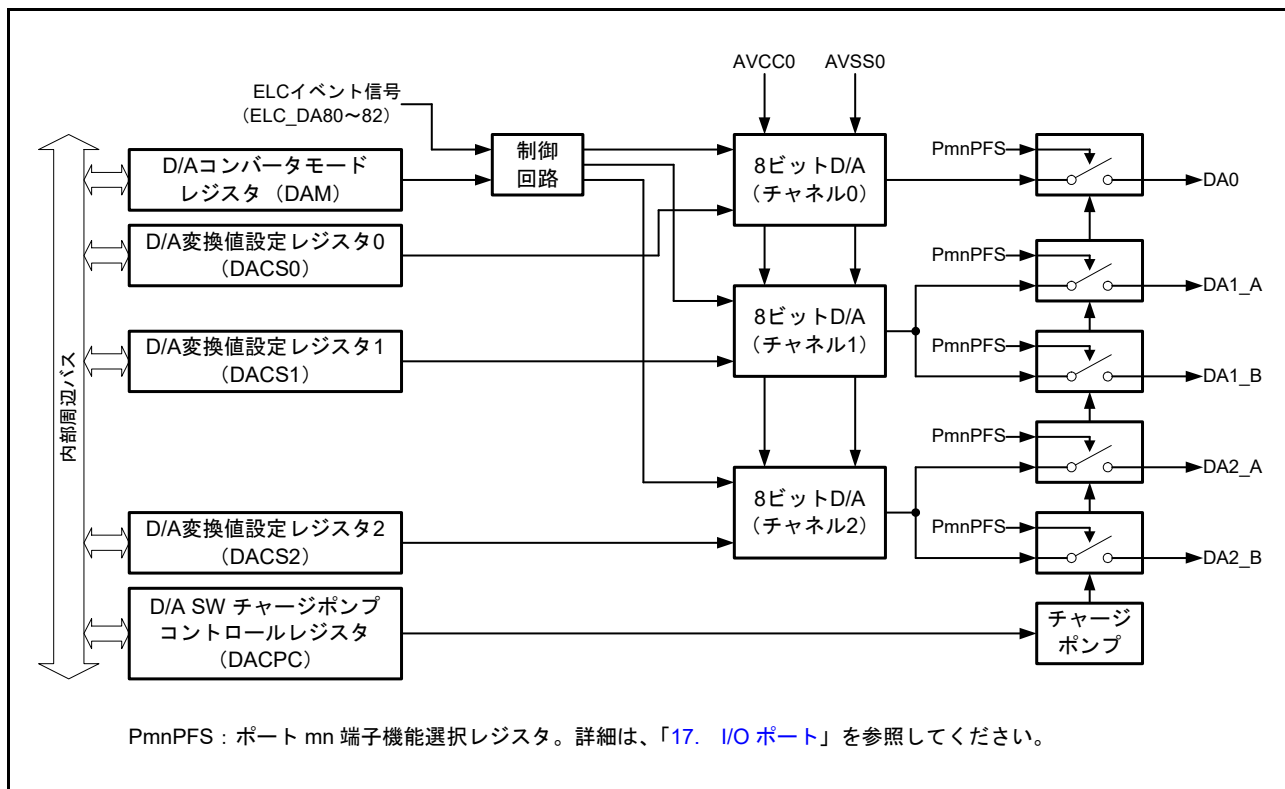


図 34.1 8ビットD/Aコンバータのブロック図

表 34.2 に 8 ビット D/A コンバータで使用する入出力端子を示します。

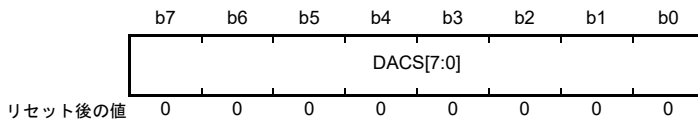
表 34.2 8ビットD/Aコンバータの入出力端子

端子名	入出力	機能
AVCC0	入力	<ul style="list-style-type: none"> • 14ビットA/Dコンバータ、8ビットD/Aコンバータ、オペアンプ、および高速アナログコンパレータ用のアナログ電源およびアナログ基準頂部電圧端子 • これらのモジュールを使用しない場合は、VCCに接続してください
AVSS0	入力	<ul style="list-style-type: none"> • 14ビットA/Dコンバータ、8ビットD/Aコンバータ、オペアンプ、および高速アナログコンパレータ用のアナログ接地およびアナログ基準接地端子 • これらのモジュールを使用しない場合は、VSSに接続してください
DA0	出力	チャンネル0のアナログ出力端子
DA1	出力	チャンネル1のアナログ出力端子
DA2	出力	チャンネル2のアナログ出力端子

34.2 レジスタの説明

34.2.1 D/A 変換値設定レジスタ n (DACS_n) (n = 0 ~ 2)

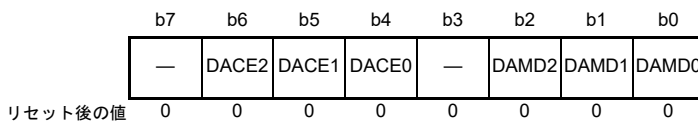
アドレス [DAC8.DACS0 4009 E000h](#), [DAC8.DACS1 4009 E001h](#), [DAC8.DACS2 4009 E002h](#)



DACS_n レジスタは、D/A 変換を行うデータを格納するための8ビットの読み出し/書き込みレジスタです。D/A 変換が許可されている場合、DACS_n レジスタの値が変換され、アナログ出力端子に出力されます。

34.2.2 D/A 変換モードレジスタ (DAM)

アドレス [DAC8.DAM 4009 E003h](#)



ビット	シンボル	ビット名	機能	R/W
b0	DAMD0	D/A 動作モード選択0	0 : チャネル0は通常動作モード 1 : チャネル0はリアルタイム出力モード (イベントリンク)	R/W
b1	DAMD1	D/A 動作モード選択1	0 : チャネル1は通常動作モード 1 : チャネル1はリアルタイム出力モード (イベントリンク)	R/W
b2	DAMD2	D/A 動作モード選択2	0 : チャネル2は通常動作モード 1 : チャネル2はリアルタイム出力モード (イベントリンク)	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DACE0	D/A 動作許可0	0 : チャネル0のD/A変換を禁止 1 : チャネル0のD/A変換を許可	R/W
b5	DACE1	D/A 動作許可1	0 : チャネル1のD/A変換を禁止 1 : チャネル1のD/A変換を許可	R/W
b6	DACE2	D/A 動作許可2	0 : チャネル2のD/A変換を禁止 1 : チャネル2のD/A変換を許可	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DAMD_n ビット (D/A 動作モード選択 n) (n = 0 ~ 2)

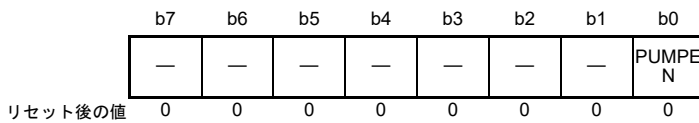
D/A 変換の動作モードを選択します。

DACE_n ビット (D/A 動作許可 n) (n = 0 ~ 2)

D/A 変換を許可または禁止します。

34.2.3 D/A SW チャージポンプコントロールレジスタ (DACPC)

アドレス DAC8.DACPC 4009 E007h



ビット	シンボル	ビット名	機能	R/W
b0	PUMPEN	チャージポンプ有効	0 : チャージポンプ無効 1 : チャージポンプ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PUMPEN ビット (チャージポンプ有効)

チャージポンプの有効または無効を選択するビットです。DAC 出力レベルを端子に出力する場合は、MOCO CR.MCSTP ビットを 0 にしてから DACPC.PUMPEN ビットを 1 にしてください。DAC 出力を ACMPHS/ACMPLP 入力として使用する場合は、DACPC.PUMPEN ビットを 0 にしてください。MOCO CR.MCSTP ビットの設定は任意です。

注 . DACPC レジスタは、周辺選択ビット (PSEL[4:0] ビット) で D/A 出力が選択されていない状態で設定してください。PSEL[4:0] ビットの詳細については、「17. I/O ポート」を参照してください。

34.3 動作説明

34.3.1 通常モード

DACSn (n = 0, 1, 2) レジスタへの書き込みをトリガとして、D/A 変換を行います。

以下にチャンネル0のD/A変換動作例を示します。

1. MOCO.CR.MCSTP ビットを 0 (MOCO 動作中) にします。
2. DACPC.PUMPEN ビットを 1 (チャージポンプ有効) にします。Subosc-speed モードで動作したい場合は、以下を行う必要があります。
 - a. MOCO.CR.MCSTP ビットを 1 にします。
 - b. 電力制御モードを Subosc-speed モードに変更します。
3. チャージポンプ安定時間 (注4) の間、待ちます。
4. D/A 出力端子 (PmnPFS.PMR ビットと PmnPFS.PSEL ビットの設定で制御) を選択します。
5. DAM.DAMD0 ビットを 0 (通常モード) にします。
6. DACS0 レジスタに D/A 変換を行うためのデータを設定します。
7. DAM.DACE0 ビットを 1 (D/A 変換許可) にすると、D/A 変換が開始されます。安定時間経過後、変換結果がアナログ出力端子 DA0 に出力されます。DACS0 が書き換えられるまで、または DAM.DACE0 ビットが 0 (D/A 変換禁止) になるまで、変換結果の出力が続きます。出力値 (参考) は以下の式で計算します。

$$\frac{\text{DACS0 レジスタ}}{256} \times \text{基準電圧}$$

8. 以降の D/A 変換を行うには、次の D/A 変換の値を DACS0 レジスタに書き込んでください。
9. DAM.DACE0 ビットを 0 (D/A 変換禁止) にすると、D/A 変換が停止されます。

- 注 1. DAM.DACE0 ビットを 1、0、1 の順に設定すると、最後の 1 を設定してから安定時間の経過後、アナログ電圧が DA0 端子に出力されます。
- 注 2. 安定時間中に DACS0 レジスタが書き換えられた場合、現在の D/A 変換は中止され、書き換えられた値で変換が再開されます。
- 注 3. 1. ~ 4. は、DAC 出力レベルが端子に出力される場合に実施します。DAC 出力を ACMPHS/ACMPLP 入力として使用する場合は、この手順は実行しないでください。MOCO.CR.MCSTP ビットの設定は任意です。
- 注 4. チャージポンプ安定時間の詳細については、「46. 電気的特性」を参照してください。

34.3.2 リアルタイム出力モード (イベントリンク)

ELC からのイベント信号をトリガとして、各チャンネルで D/A 変換を行います。

以下にチャンネル0のD/A変換動作例を示します。

1. MOCO.CR.MCSTP ビットを 0 (MOCO 動作) にします。
2. DACPC.PUMPEN ビットを 1 (チャージポンプ有効) にします。Subosc-speed モードで動作したい場合は、以下を行う必要があります。
 - a. MOCO.CR.MCSTP ビットを 1 にします。
 - b. 電力制御モードを Subosc-speed モードに変更します。
3. チャージポンプ安定時間 (注4) の間、待ちます。
4. D/A 出力端子 (PmnPFS.PMR ビットと PmnPFS.PSEL ビットの設定で制御) を選択します。
5. DAM.DAMD0 ビットを 0 (通常モード) にします。
6. DACS0 レジスタに D/A 変換を行うためのデータを設定します。

7. DAM.DACE0 ビットを 1 (D/A 変換許可) にすると、D/A 変換が開始されます。安定時間経過後、変換結果がアナログ出力端子 DA0 に出力されます。
8. リアルタイム出力モードのトリガ信号を、ELC の ELSR19 レジスタで指定します。
9. DAM.DAMD0 ビットを 1 (リアルタイム出力モード) にします。
10. イベント要因動作を開始します。

注. 1. ~ 10. は初期設定として実施します。

11. リアルタイム出力モードのトリガ信号が発生すると、D/A 変換が開始し、安定時間経過後に、アナログ電圧が DA0 端子に出力されます。D/A 変換を行うためのデータは、次の D/A 変換が開始する前 (リアルタイム出力モードのトリガ信号の発生前) に DACS0 レジスタに設定する必要があります。
DAM.DACE0 ビットを 0 (D/A 変換禁止) にすると、D/A 変換が停止します。

- 注 1. DAM.DACE0 ビットを 1、0、1 の順に設定すると、最後の 1 を設定してから安定時間の経過後、アナログ電圧が DA0 端子に出力されます。
- 注 2. リアルタイム出力モードのトリガ信号発生間隔を同じチャンネルで設定する場合、安定時間よりも長い値に間隔を設定してください。安定時間中にトリガ信号が発生した場合、現在の D/A 変換が中止されてから、D/A 変換が再開されます。
- 注 3. 1. ~ 4. は、DAC 出力レベルが端子に出力される場合に実施します。DAC 出力を ACPHPS/ACMPLP 入力として使用する場合は、この手順は実行しないでください。MOCOCR.MCSTP ビットの設定は任意です。
- 注 4. チャージポンプ安定時間の詳細については、「46. 電気的特性」を参照してください。

34.3.3 D/A 変換禁止後の MOCO 停止手順

以下に D/A 変換禁止 (DAM.DACE0 = 0) 後の MOCO 停止手順を示します。

1. D/A 出力端子をポート機能またはその他の機能に設定します。Subosc-speed モードで動作している場合は、以下を行う必要があります。
 - a. 電力制御モードを Subosc-speed モードから別モードに変更します。
 - b. MOCOCR.MCSTP ビットを 0 にします。
2. DACPC.PUMPEN ビットを 0 (チャージポンプ無効) にします。
3. MOCOCR.MCSTP ビットを 1 (MOCO 停止) にします。

34.3.4 D/A 変換値の出力開始タイミング

図 34.2 に、D/A 変換値の出力開始タイミングを示します。

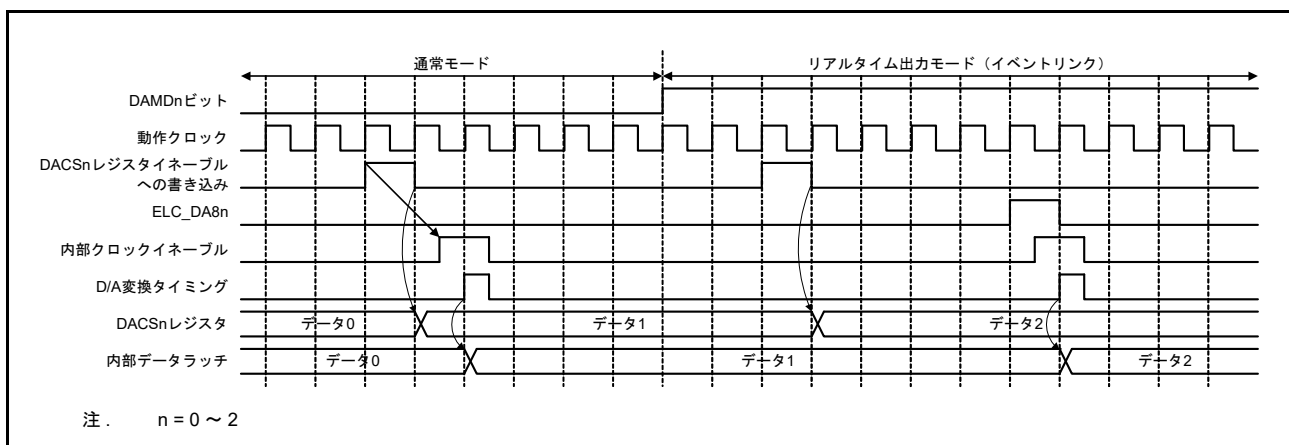


図 34.2 D/A 変換値の出力開始タイミング

通常モード時の出力開始タイミング

- DACSn レジスタが書き込まれてから動作クロック 1 サイクル後に内部データラッチが設定されます。安定時間経過後、アナログ電圧が DAn 端子に出力されます

リアルタイム出力モード時の出力開始タイミング

- ELC からイベント信号 (ELC_DA8n) を受信してから動作クロック 1 サイクル後に内部データラッチが設定されます。安定時間経過後、アナログ電圧が DAn 端子に出力されます

34.4 使用上の注意事項

34.4.1 モジュールストップ状態

モジュールストップコントロールレジスタによって、8ビットD/Aコンバータの動作を許可または禁止することが可能です。8ビットD/Aコンバータは、リセット後は動作が停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

34.4.2 モジュールストップ状態での8ビットDACの動作

D/A変換を許可した状態でMCUがモジュールストップ状態になると、D/A出力が保存されます。アナログ電源電流は、D/A変換中の値と同じです。モジュールストップ状態のときにアナログ電源電流の低減が必要な場合は、DAM.DACEnビットとDACPC.PUMPENビットを0にしてD/A変換を禁止してください。

34.4.3 ソフトウェアスタンバイモード時の8ビットDACの動作

D/A変換を許可した状態でMCUがソフトウェアスタンバイモードになると、D/A出力が保存されます。アナログ電源電流はD/A変換中の値と同じです。ソフトウェアスタンバイモード時にアナログ電源電流の低減が必要な場合は、DAM.DACEnビットとDACPC.PUMPENビットを0にしてD/A変換を禁止してください。

34.4.4 D/Aコンバータのリアルタイム出力

リアルタイム出力モード時

- リアルタイム出力モードのトリガ信号が発生する前に、DACSnレジスタに値を設定してください。トリガ信号の出力中は、DACSnレジスタの設定値は変更しないでください

リアルタイム出力モード時にMCUがソフトウェアスタンバイモードに移行する場合

- ソフトウェアスタンバイモードに移行する前にELC_DA8nを無効にしてください。詳細は、「[16. イベントリンクコントローラ \(ELC\)](#)」を参照してください

34.4.5 D/Aコンバータ出力

D/Aコンバータの出力インピーダンスが高いため、端子DA0、DA1、およびDA2の電流は取得できません。負荷入力インピーダンスが低い場合は、負荷と端子DA0、DA1、およびDA2の間にフォロワーアンプを挿入してください。また、出力インピーダンスが高いため、フォロワーアンプと負荷間の配線はできる限り短くしてください。配線が長くなる場合は、グランドパターンによる配線のシールドを検討してください。

34.4.6 D/Aコンバータを使用しないとき

D/Aコンバータを使用しないときは、DAM.DACEnビットを0（出力禁止）、DACSnレジスタを00h、およびDACPC.PUMPENビットを0にして、電流が流れず電流消費が低減されるようにしてください。

35. 温度センサ (TSN)

35.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することが可能です。センサはチップの温度と正比例する電圧を出力するため、チップ温度と出力電圧はリニアの関係にあります。

出力された電圧はADCで変換されてから、末端の応用機器で使用できます。

表 35.1 に温度センサの仕様を、図 35.1 に温度センサのブロック図をそれぞれ示します。

表 35.1 温度センサの仕様

項目	内容
温度センサ電圧出力	14ビットA/Dコンバータに電圧を出力

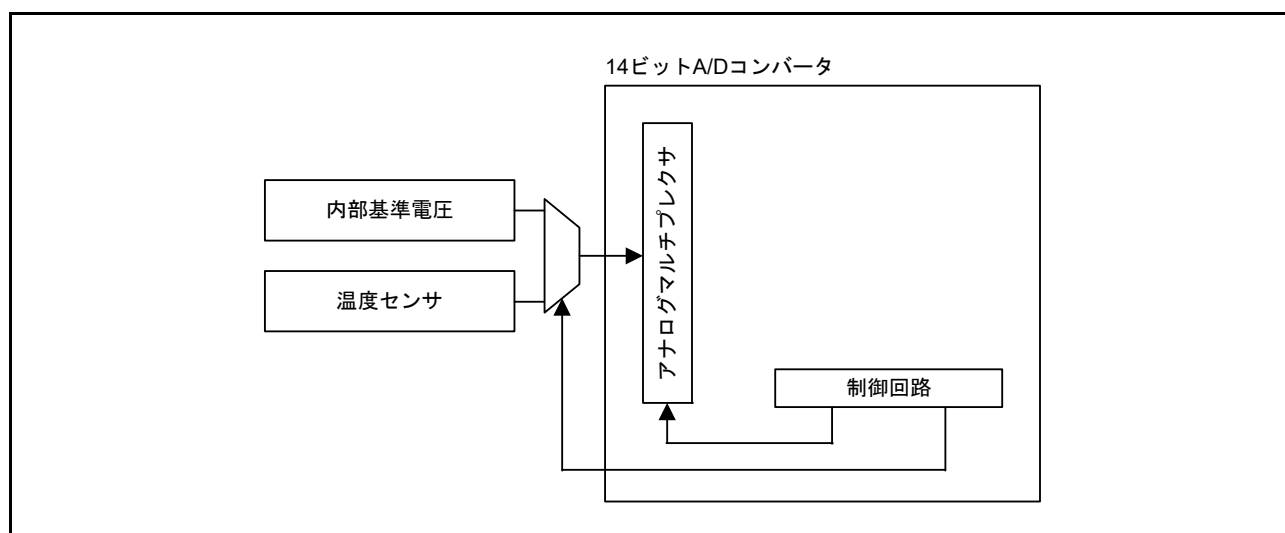
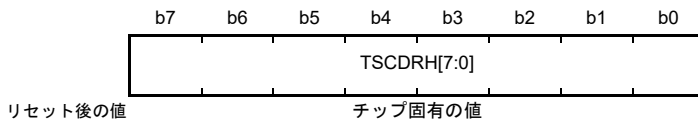


図 35.1 温度センサのブロック図

35.2 レジスタの説明

35.2.1 温度センサ補正データレジスタ H (TSCDRH)

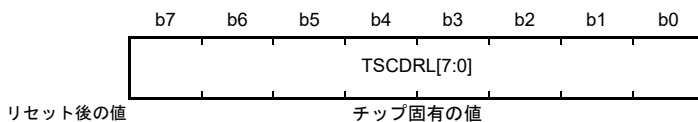
アドレス TSN.TSCDRH 407E C229h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRH[7:0]	温度センサ補正データ	変換後の値の上位4ビットを格納します。	R

35.2.2 温度センサ補正データレジスタ L (TSCDRL)

アドレス TSN.TSCDRL 407E C228h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TSCDRL[7:0]	温度センサ補正データ	変換後の値の下位8ビットを格納します。	R

工場出荷時、TSCDRH レジスタおよび TSCDRL レジスタには、各 MCU 用に測定された温度センサ補正データが格納されています。温度センサ補正データは、温度センサが出力した電圧を、14 ビット A/D コンバータによって $T_a = T_j = 125\text{ }^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件下で変換したデジタル値です。TSCDRH レジスタには変換値の上位 4 ビットが、TSCDRL レジスタには下位 8 ビットがそれぞれ格納されます。

35.3 温度センサの使用法

温度センサが出力する電圧は、温度により変化します。この電圧は 14 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

35.3.1 使用前の準備

温度 (T) はセンサの電圧出力 (Vs) と比例関係にあるため、以下の式で温度を求められます。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

- T : 測定温度 (°C)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- T1 : 1 点目の試行測定時の温度 (°C)
- V1 : T1 測定時の温度センサの出力電圧 (V)
- T2 : 2 点目の試行測定時の温度 (°C)
- V2 : T2 測定時の温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. 14 ビット A/D コンバータを使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. 14 ビット A/D コンバータを再度使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。
3. 両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。
4. この Slope の値を温度特性の式 ($T = (V_s - V_1) / \text{Slope} + T_1$) に代入し、温度を求めます。

「46. 電気的特性」に記載の温度傾斜を用いる場合、温度 T1 のときの温度センサの出力電圧 V1 を 14 ビット A/D コンバータで測定し、以下の式により温度特性を算出します。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

注. この温度測定の精度は 2 点測定方法よりも劣ります。

本 MCU の TSCDRH レジスタおよび TSCDRL レジスタには、 $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ の条件下で測定された温度センサの温度値 (CAL125) が格納されています。この温度値を 1 点目のサンプル測定結果として使用する場合、温度センサ使用前の本準備を省略することが可能です。

本測定値 CAL125 は以下により算出します。

$$\text{CAL125} = \text{TSCDRH レジスタ値} \ll 8 + \text{TSCDRL レジスタ値}$$

V1 を CAL125 から算出する場合、

$$V_1 = 3.3 \times \text{CAL125} / 4096 \text{ [V]}$$

この値を用いて、以下の式により測定温度が算出できます。

$$T = (V_s - V_1) / \text{Slope} + 125 \text{ [}^\circ\text{C]}$$

- T : 測定温度 (°C)
- Vs : 温度測定時の温度センサの出力電圧 (V)
- V1 : $T_a = T_j = 125^\circ\text{C}$ および $AVCC0 = 3.3\text{V}$ のときの温度センサの出力電圧 (V)
- Slope : 温度センサの温度傾斜 $\div 1,000$ (V/°C)

図 35.2 に測定温度の誤差を示します。標準偏差は 3σ です。

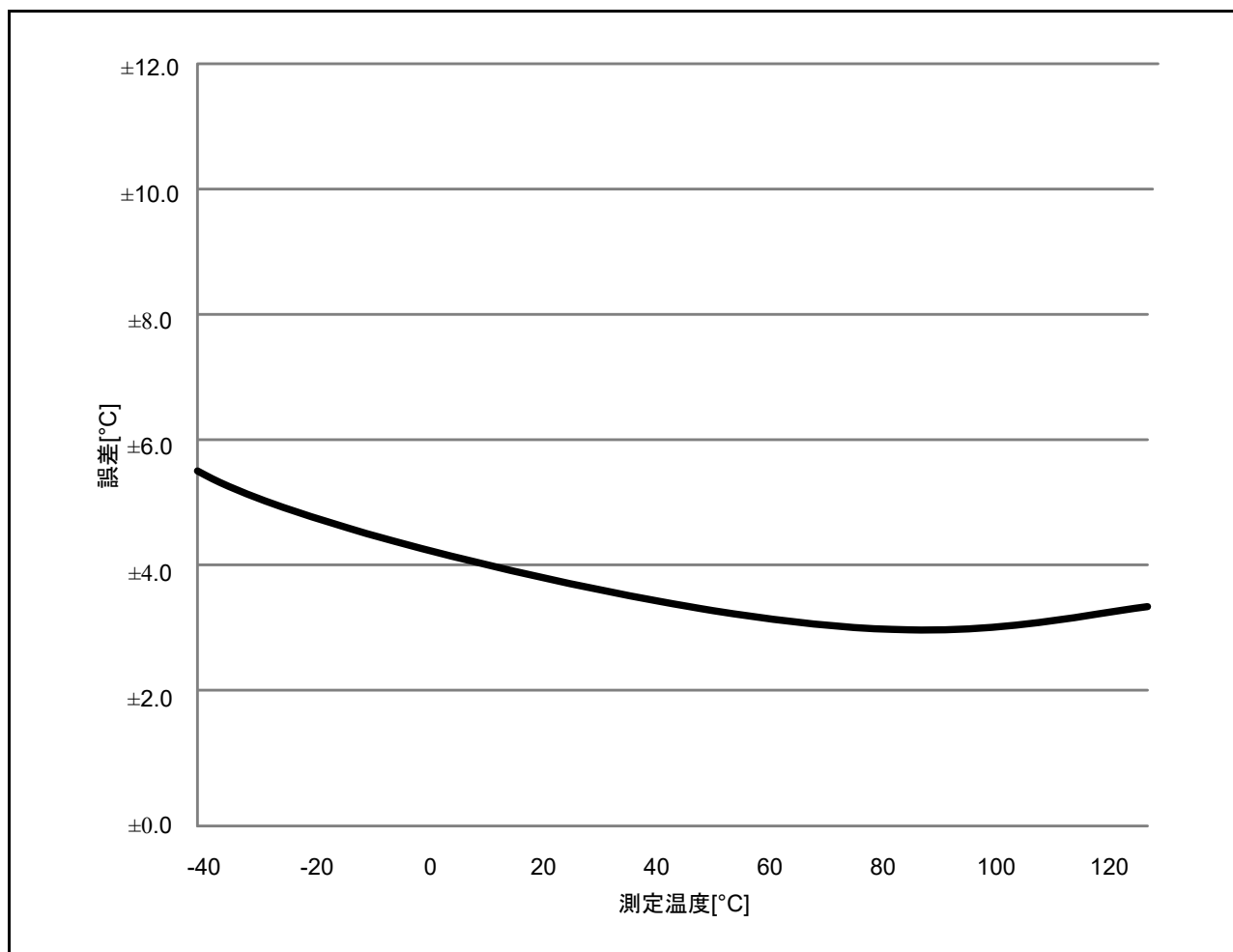


図 35.2 測定温度の誤差 (設計値)

35.3.2 温度センサの使用手順

詳細は、「[33. 14 ビット A/D コンバータ \(ADC14\)](#)」を参照してください。

36. オペアンプ (OPAMP)

オペアンプの入力/出力端子数は製品によって異なります。

単位	入出力端子	入出力	機能
ユニット0 (オペアンプ0)	AMP0+, AMP0-	入力	オペアンプ0 (+, -) の入力端子
	AMP0O	出力	オペアンプ0の出力端子
ユニット1 (オペアンプ1)	AMP1+, AMP1-	入力	オペアンプ1 (+, -) の入力端子
	AMP1O	出力	オペアンプ1の出力端子
ユニット2 (オペアンプ2)	AMP2+, AMP2-	入力	オペアンプ2 (+, -) の入力端子
	AMP2O	出力	オペアンプ2の出力端子
ユニット3 (オペアンプ3)	AMP3+, AMP3-	入力	オペアンプ3 (+, -) の入力端子
	AMP3O	出力	オペアンプ3の出力端子

36.1 概要

オペアンプを使用して、小さいアナログ入力電圧を増幅して出力することが可能です。本MCUでは、入力端子2つと出力端子1つを備えた差動オペアンプユニットを合計で4つ搭載しています。

オペアンプには次の機能があります。

- 4つのユニットのうち2つ（オペアンプ1および2）を使用して、低消費電力アナログコンパレータ（ACMPLP）へ信号を入力可能
- すべてのユニットからの出力信号は、A/Dコンバータへの入力信号に使用可能
- 高速モード（高消費電流）および低消費電力モード（低速応答）をサポートしており、応答速度と電流消費とのバランスに応じてどちらかのモードを選択可能
- 非同期汎用タイマ（AGT）からのトリガ、またはソフトウェアスタンバイモードでの起動トリガイベンツによっても動作を開始可能
- A/D変換終了トリガによって動作を停止可能

図 36.1 にオペアンプのブロック図を示します。

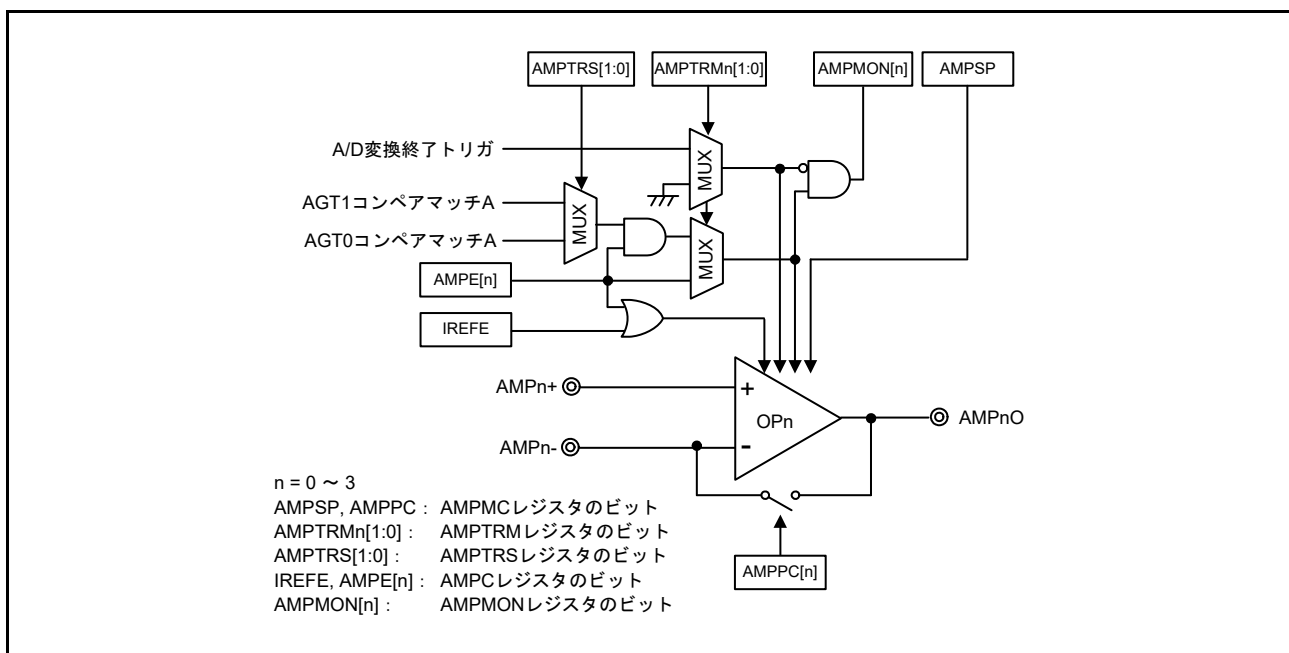
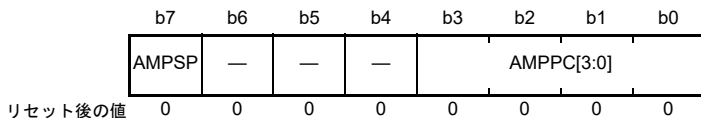


図 36.1 オペアンプのブロック図

36.2 レジスタの説明

36.2.1 オペアンプモードコントロールレジスタ (AMPMP)

アドレス OPAMP.AMPMP 4008 6008h

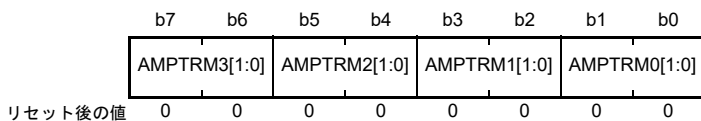


ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPPC[3:0]	オペアンプnのプリチャージ制御状態 (n = 0~3)	0 : オペアンプnのプリチャージ停止中 1 : オペアンプnのプリチャージ許可	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AMPSP	OPAMP動作モード選択	0 : 低消費電力モード (低速) 1 : 高速モード	R/W

注 . AMPC レジスタの値が 00h (オペアンプおよび基準電流生成回路が停止中) の場合は、AMPSP ビットを設定してください。本レジスタで使用しないビットは初期値に設定するようにしてください。

36.2.2 オペアンプトリガモードコントロールレジスタ (AMPTRM)

アドレス OPAMP.AMPTRM 4008 6009h

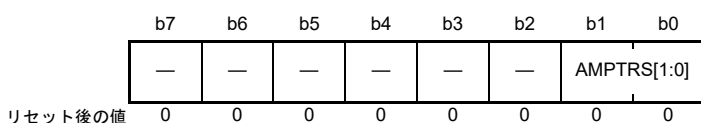


ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRM0[1:0]	OPAMP機能起動/停止トリガ制御n (注2)	AMPTRMn[1] AMPTRMn[0] (n = 0~3) 0 0 : ソフトウェアトリガモード : •AMPC レジスタの設定によるオペアンプの起動/停止が可能 •起動トリガによるオペアンプの起動は不可 •A/D変換終了トリガによるオペアンプの制御は不可 0 1 : 起動トリガモード : •AMPC レジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 •起動トリガによるオペアンプの起動が可能 (注1) •A/D変換終了トリガによるオペアンプの制御は不可 1 0 : 設定禁止 1 1 : 起動およびA/Dトリガモード : •AMPC レジスタの設定により、オペアンプを起動トリガを待つよう設定する、または停止することが可能 •起動トリガによるオペアンプの起動が可能 (注1) •A/D変換終了トリガによるオペアンプの停止が可能。A/D変換終了トリガは常にA/D変換の最後に発生します。	R/W
b3-b2	AMPTRM1[1:0]			
b5-b4	AMPTRM2[1:0]			
b7-b6	AMPTRM3[1:0]			

注 . A/D 変換終了トリガは常に A/D 変換の最後に発生します。
 注 1. 起動トリガによってオペアンプを起動する場合、まず AGT に関連する設定を行い、AMPTRS レジスタを設定した後、AMPMP レジスタによって起動するオペアンプの動作制御ビットを 1 (オペアンプ待機状態が有効) にしてください。
 注 2. AMPTRMn[1:0] の設定値を変更する場合、AMPMP.AMPE[n] ビットを 0 (オペアンプ停止) にしてください。

36.2.3 オペアンプ起動トリガ選択レジスタ (AMPTRS)

アドレス OPAMP.AMPTRS 4008 600Ah



ビット	シンボル	ビット名	機能	R/W
b1-b0	AMPTRS[1:0]	起動トリガ選択 (注1)	b1 b0 0 0: オペアンプn: オペアンプ起動トリガn (n=0~3) 0 1: オペアンプm: オペアンプ起動トリガ0 (m=0, 1) オペアンプn: オペアンプ起動トリガ1 (n=2, 3) 1 0: 設定禁止 1 1: オペアンプn: オペアンプ起動トリガ0 (n=0~3)	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注. 本レジスタで使用しないビットは初期値に設定してください。
 注1. AMPTRM レジスタを設定した後、AMPTRS レジスタの値を書き換えしないでください。

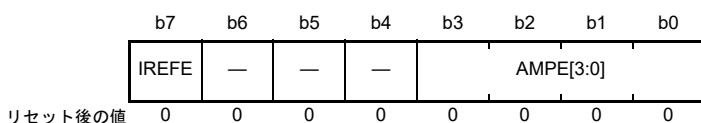
各イベントに関連するオペアンプ起動トリガを表 36.1 に示します。

表 36.1 イベントに関連するオペアンプ起動トリガ

トリガ	イベント
オペアンプ起動トリガ0	AGT1コンペアマッチA
オペアンプ起動トリガ1	AGT0コンペアマッチA
オペアンプ起動トリガ2	AGT1コンペアマッチA
オペアンプ起動トリガ3	AGT0コンペアマッチA

36.2.4 オペアンプコントロールレジスタ (AMPC)

アドレス OPAMP.AMPC 4008 600Bh

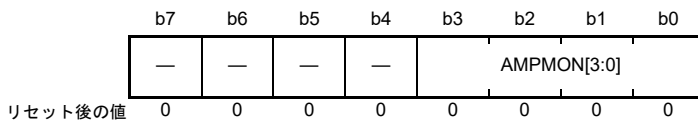


ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPE[3:0]	OPAMP 動作制御	0: オペアンプn停止 1: オペアンプnの動作許可 (注1) 起動トリガモード、または起動およびA/Dトリガモード: AGT待機の許可 (n=0~3)	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IREFE	OPAMP 基準電流回路動作制御	0: オペアンプ基準電流回路停止 1: オペアンプ基準電流回路の動作許可	R/W

- 注. 本レジスタで使用しないビットは初期値に設定してください。
 注1. IREFE ビットの設定にかかわらず、オペアンプ基準電流回路の動作も許可されます。使用しないユニットのビットは0にしてください。

36.2.5 オペアンプモニタレジスタ (AMPMON)

アドレス OPAMP.AMPMON 4008 600Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	AMPMON[3:0]	オペアンプnの状態 (n = 0~3)	0 : オペアンプn停止中 1 : オペアンプn動作中	R
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注. 本レジスタを使用して、各オペアンプが動作中か停止中かを非同期に反映します。オペアンプの状態を判断するには、継続的に本レジスタを読み出し、ビット状態の変化を確認してください。その後、再度本レジスタを読み出し、オペアンプの状態が変更していないか確認してください。起動トリガ、クロックと同期した A/D 変換終了トリガ、または他の割り込みルーチンでのソフトウェアトリガを使用してオペアンプを制御する場合、オペアンプの動作または停止のタイミングは、通常動作を確認するなどの目的のために予測することが可能です。この場合、関連するトリガまたはオペアンプの状態に影響する割り込みが発生したら、CPU / 周辺クロックの 1 サイクル後に本レジスタを読み出してください。本レジスタで使用しないビットは初期値に設定してください。

36.3 動作

36.3.1 状態遷移

オペアンプおよび基準電流回路がオペアンプ制御回路によって起動または停止するときの状態遷移を [図 36.2](#) に示します。

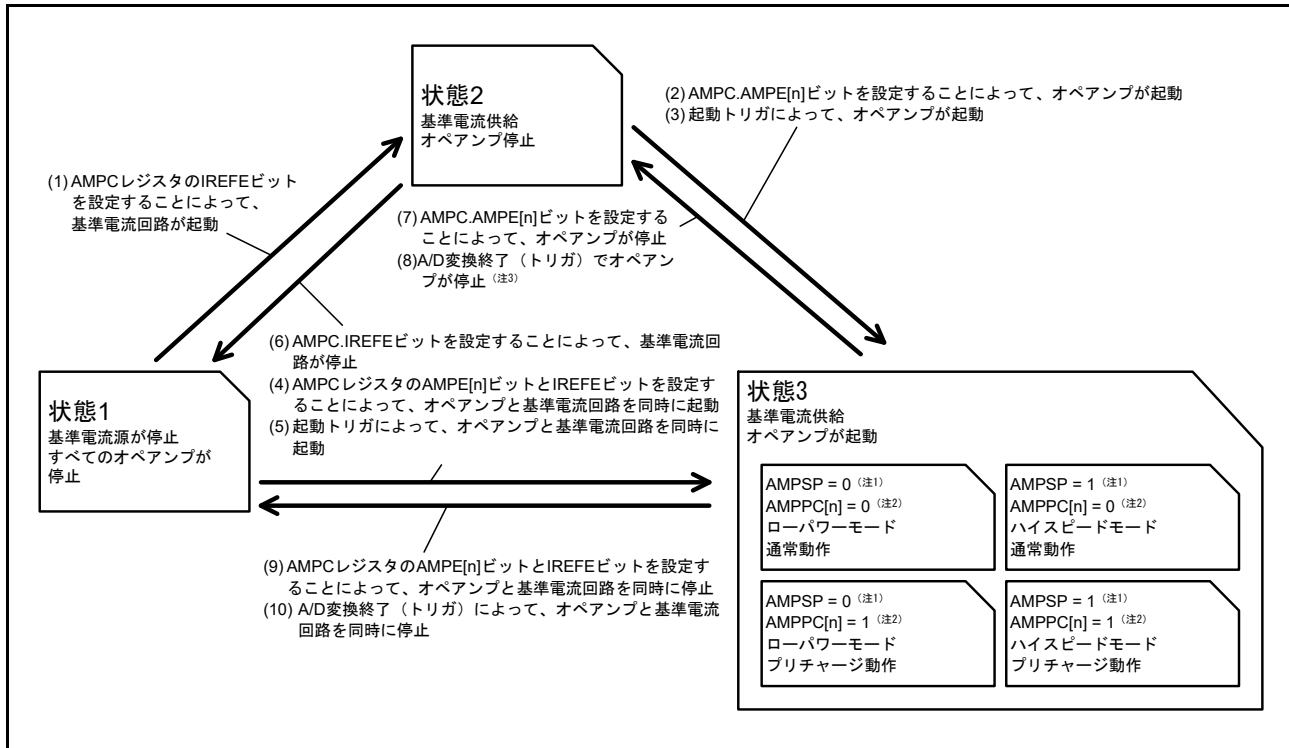


図 36.2 オペアンプの状態遷移

- 注 1. AMPMC.AMPSP ビット、および AMPTRS.AMPTRM レジスタを状態 1 にしてください。
- 注 2. AMPMC.AMPPC[n] ビットを状態 3 にしてください。
- 注 3. A/D 変換の最後にオペアンプだけを停止するには、事前に基準電流回路の動作を有効に設定 (状態 2 でオペアンプを稼働) してください。

基準電流の供給後は安定待機時間が必要となり、オペアンプの動作は各動作が実際に開始する前に設定されます。安定待機時間の詳細は、「[46. 電気的特性](#)」を参照してください。

ステップ (2) → (8)、(2) → (10)、(3) → (10)、(4) → (10) では、オペアンプを継続的に起動/停止することはできません。

起動トリガおよび A/D 変換の終了によって、AMPTRM レジスタで、使用することがあらかじめ設定されたオペアンプのみを起動/停止することが可能です。

36.3.2 オペアンプ制御動作

オペアンプの制御動作を [図 36.3](#) ~ [図 36.6](#) に示します。

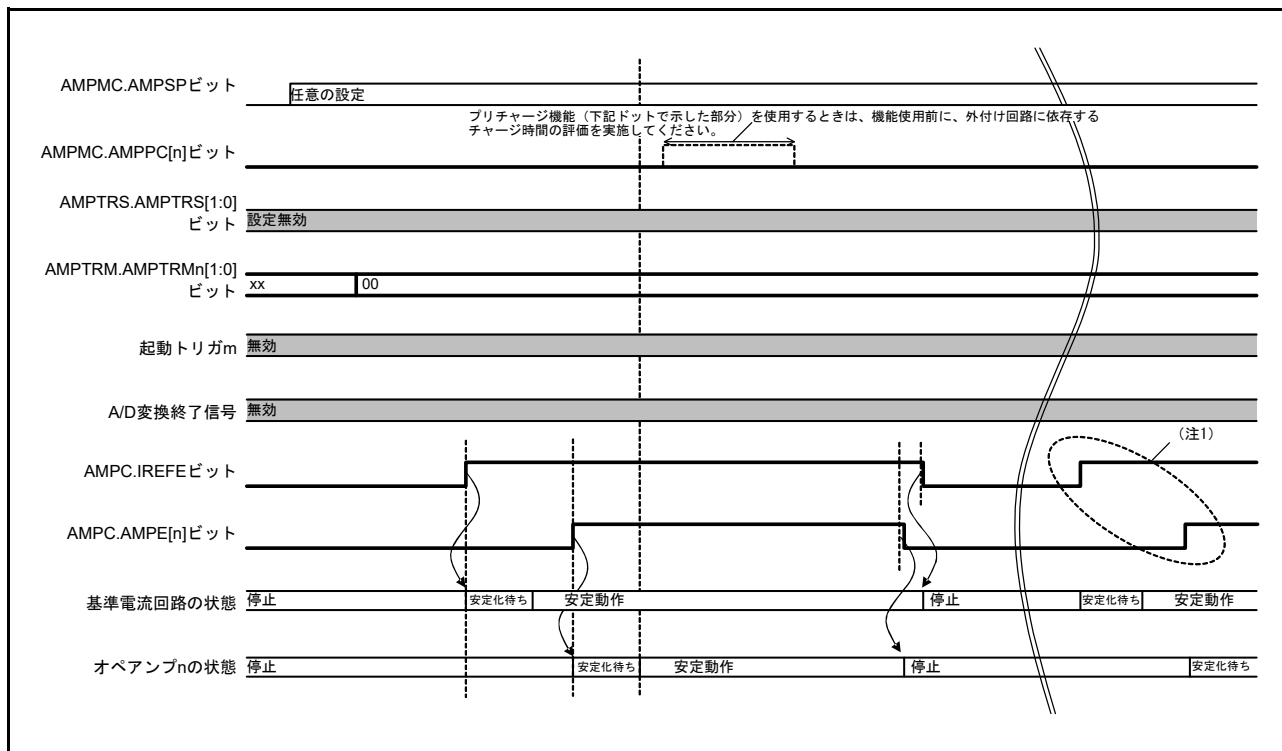


図 36.3 オペアンプの制御動作 (ソフトウェアトリガモードによる制御)
(ソフトウェアトリガモードによって基準電流回路およびオペアンプを起動/停止する場合)

注 1. オペアンプを継続的に稼働/停止する場合、オペアンプの停止後の初期設定のように IREFE および AMPE[n] ビットを再設定してください。

注 . n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ

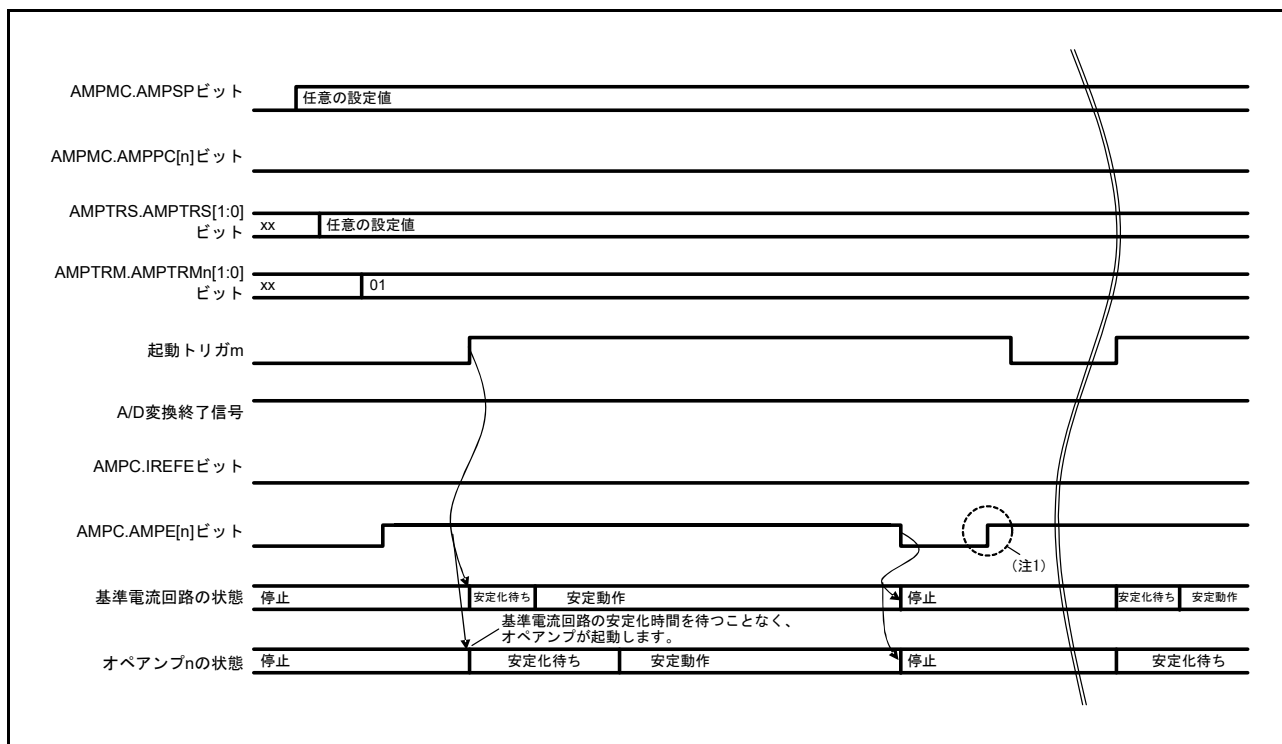


図 36.4 オペアンプの制御動作 (起動トリガモードによる起動)
 (基準電流回路およびオペアンプを起動トリガによって起動し、AMPC レジスタ設定によって停止する場合)

- 注 1. オペアンプを継続的に稼働/停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。
- 注 . n : ユニット番号 (n = 0 ~ 3)
 m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ
 起動イベント生成で使用する機能と、事前にリンクする周辺機能 (ELSRn レジスタ) を設定してください。

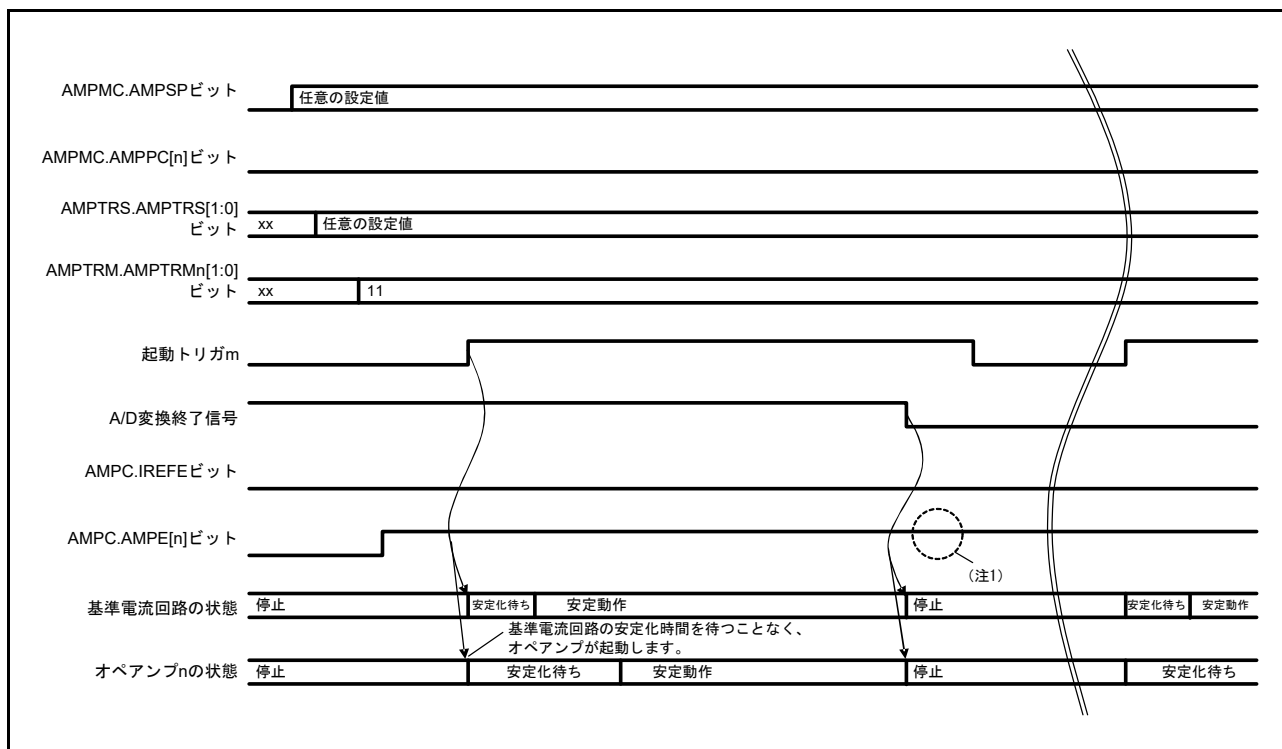


図 36.5 オペアンプの制御動作 (起動および A/D トリガモード (1))
 (基準電流回路およびオペアンプを起動トリガによって起動し、A/D 変換終了 (トリガ) によって停止する場合)

- 注 1. オペアンプを継続的に稼働/停止する場合、オペアンプはオペアンプの停止後の起動トリガを待つため、レジスタを再設定する必要はありません。
- 注 . n : ユニット番号 (n = 0 ~ 3)
 m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ AGT 機能を設定する。

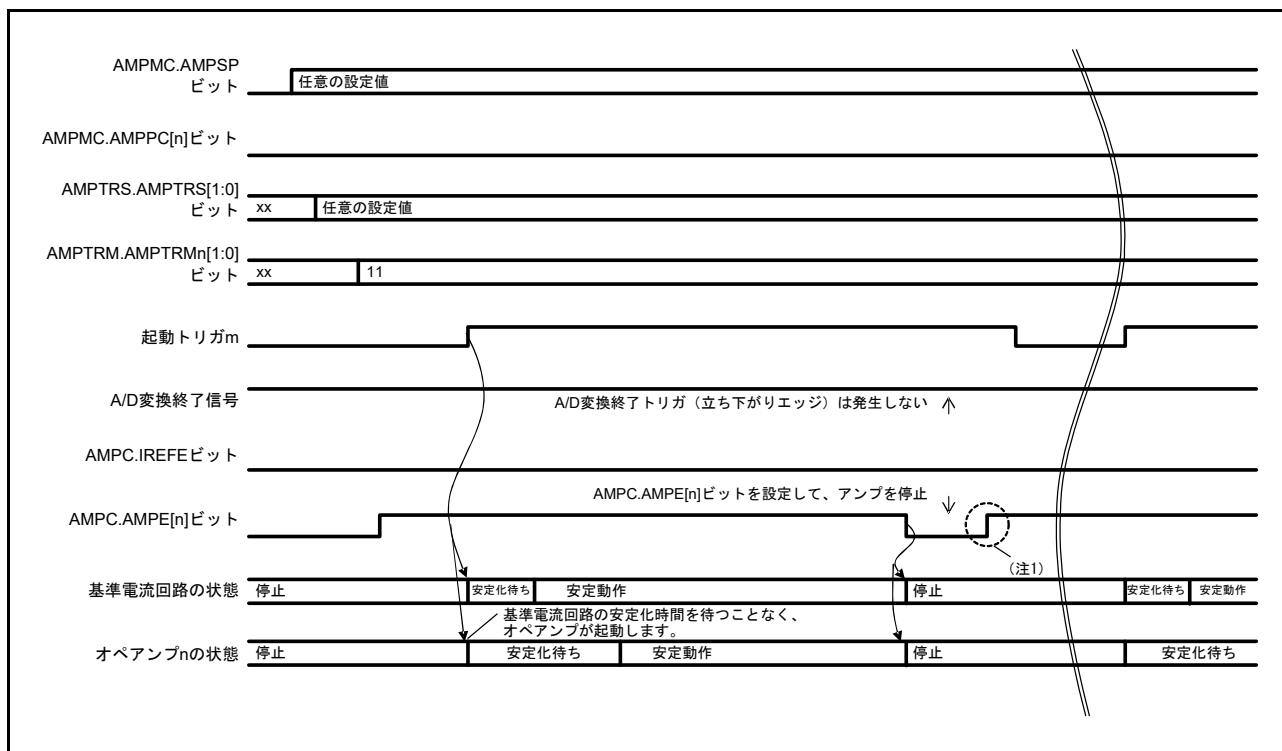


図 36.6 オペアンプの制御動作 (起動および A/D トリガモード (2))
 (基準電流回路とオペアンプを起動トリガで起動し、A/D 変換終了 (トリガ) で停止させる設定のときに、AMPC レジスタの設定によって基準電流回路およびオペアンプ停止する場合)

注 1. オペアンプを継続的に稼働/停止する場合、初期設定のように AMPE[n] ビットを再設定し、停止後に起動トリガを待つようにオペアンプを設定してください。

注 . n : ユニット番号 (n = 0 ~ 3)

m : AMPTRS レジスタで選択したオペアンプユニット n の制御に使用する起動トリガ

AGT 機能を設定する。起動トリガによってオペアンプを起動する手順については、[36.4 ソフトウェアトリガモード](#)を参照してください。

36.4 ソフトウェアトリガモード

ここでは、ソフトウェアトリガによってオペアンプを起動および停止する手順について説明します。図 36.7 に各レジスタの設定例を示します。

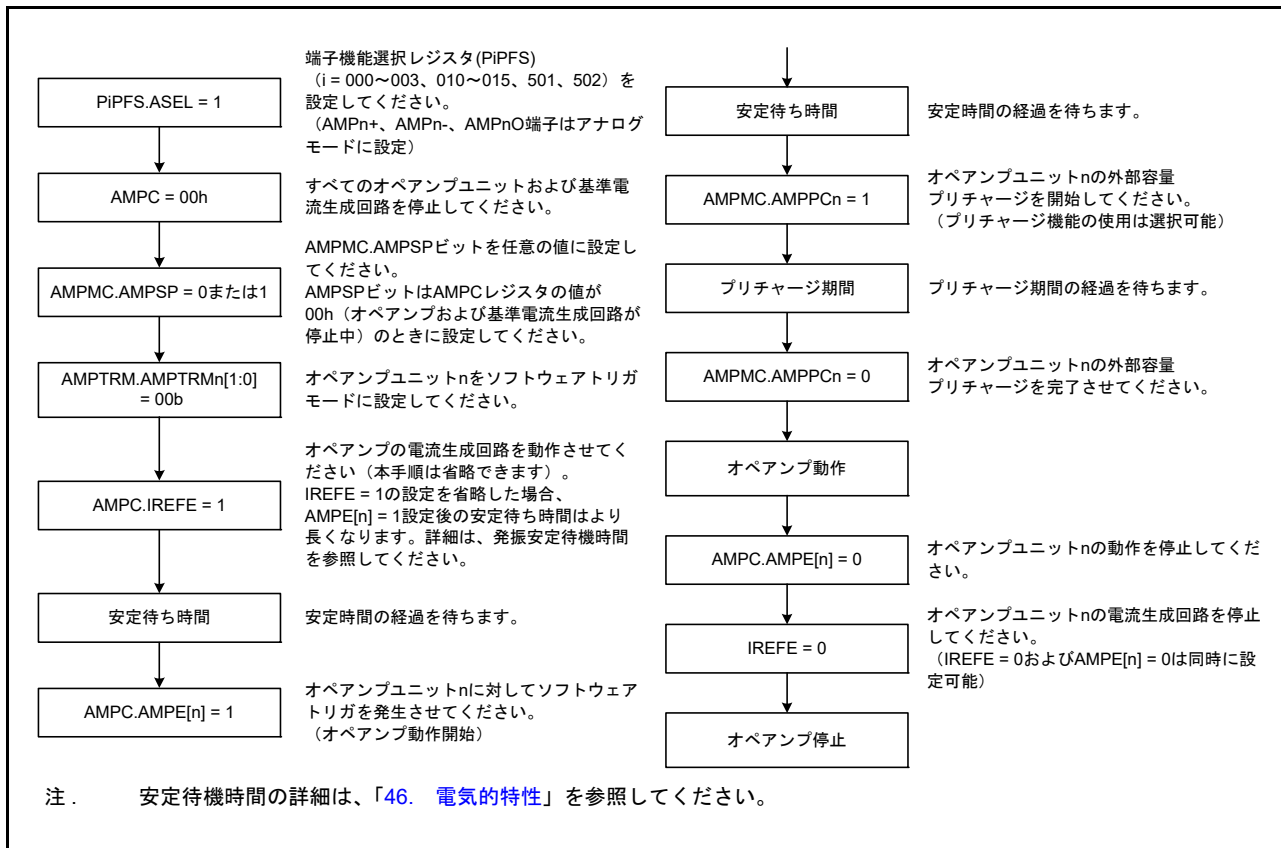


図 36.7 ソフトウェアトリガモードでの OPAMP 起動および停止手順

36.5 起動トリガモード

ここでは、起動トリガによってオペアンプを起動し、ソフトウェアによって停止する手順について説明します。図 36.8 に各レジスタの設定例を示します。

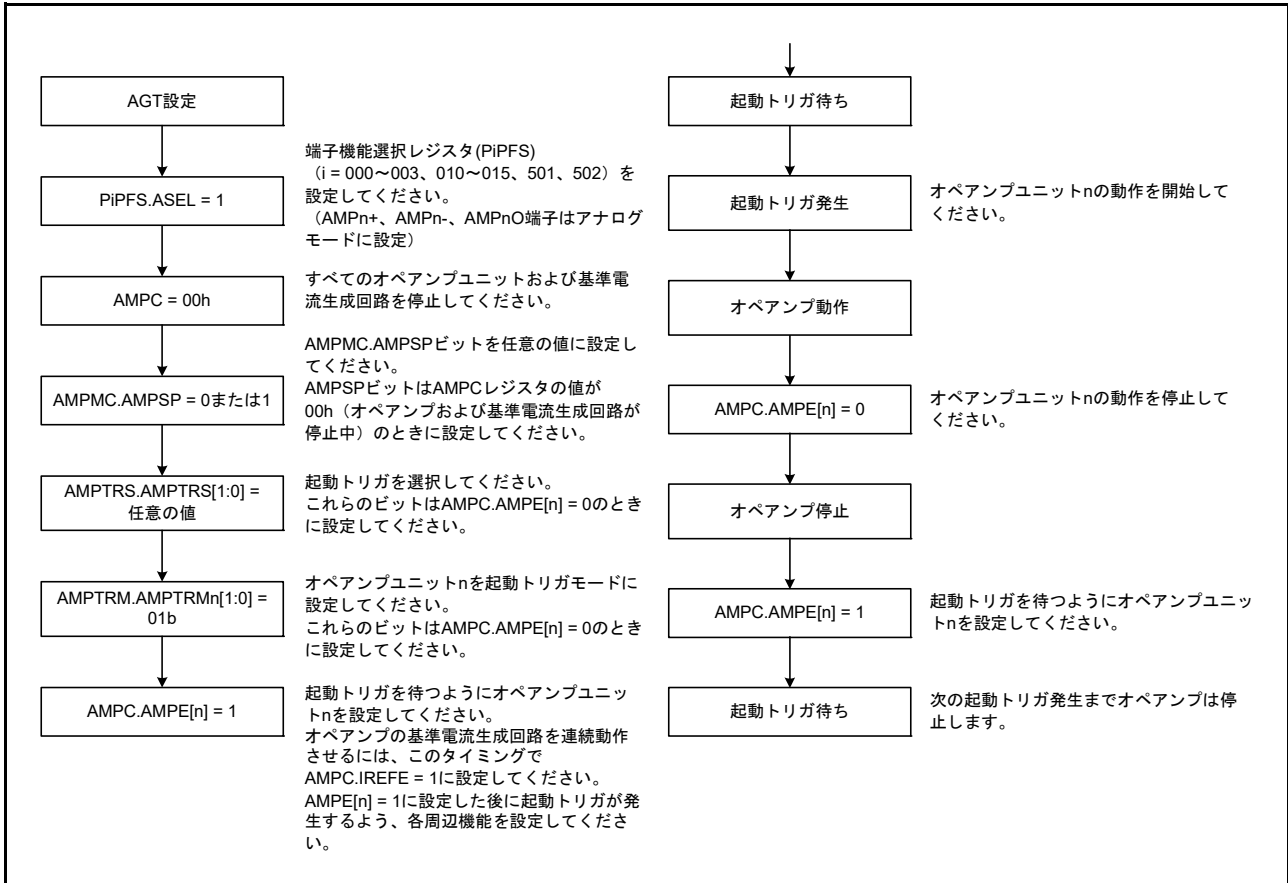


図 36.8 起動トリガモードでの OPAMP 起動および停止手順

36.6 起動および A/D トリガモード

ここでは、起動トリガによってオペアンプを起動し、A/D 変換終了トリガによって停止する手順について説明します。図 36.9 に各レジスタの設定例を示します。

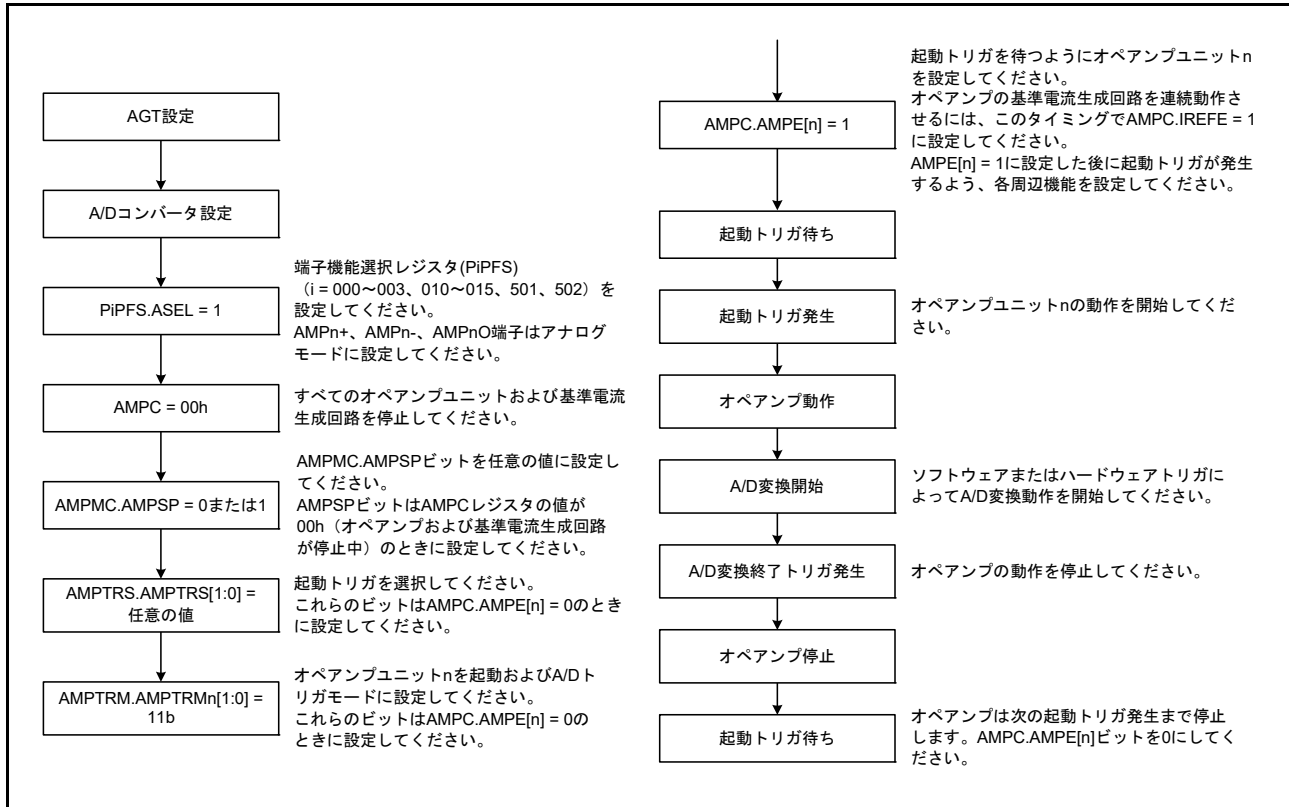


図 36.9 起動トリガによるオペアンプ起動と A/D 変換終了トリガによるオペアンプ停止手順

36.7 使用上の注意事項

AMPC レジスタの設定に加え、オペアンプ機能は起動トリガによって起動でき、A/D 変換終了で停止することが可能です。基準電流回路は A/D 変換終了時に停止できます。回路やプログラムなどのアプリケーション設計は、それぞれの非同期トリガが起動停止の制御の衝突の原因とならないよう、動作フローに従う必要があります。

オペアンプに使用する端子は A/D コンバータのプラスおよびマイナス入力でマルチプレクスされるため、それらの端子で A/D 変換を行わないでください。

37. 高速アナログコンパレータ (ACMPHS)

37.1 概要

高速アナログコンパレータ (ACMPHS) は、テスト電圧と基準電圧を比較し、変換結果に基づいたデジタル出力を行うことが可能です。テスト電圧および基準電圧は、どちらも D/A コンバータ出力および外部電源から ACMPHS に供給することが可能です。こうした柔軟性は、A/D 変換を必要としないアナログ信号に対して実行/中止の比較を行わなければならないアプリケーションに有効です。

表 37.1 に ACMPHS の特長を示します。図 37.1 に ACMPHS のブロック図を示します。表 37.2 に ACMPHS の入力電源構成を示します。

表 37.1 ACMPHS0~5の特長

項目	内容
チャンネル数	3 (ACMPHS0, ACMPHS1, ACMPHS2)
アナログ入力電圧	内部 A/D コンバータ入力端子から入力
基準電圧	<ul style="list-style-type: none"> 内部 D/A コンバータから出力 内部 A/D コンバータ入力端子から入力
ACMPHS 出力	<ul style="list-style-type: none"> 比較結果 ELC イベント出力の発生 レジスタからの出力監視
割り込み要求信号	<ul style="list-style-type: none"> 比較結果からの有効エッジ検出時に割り込み要求発生 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
デジタルフィルタ機能	<ul style="list-style-type: none"> 3つのサンプリング周波数から1つを選択可能 フィルタ機能不使用の選択可能

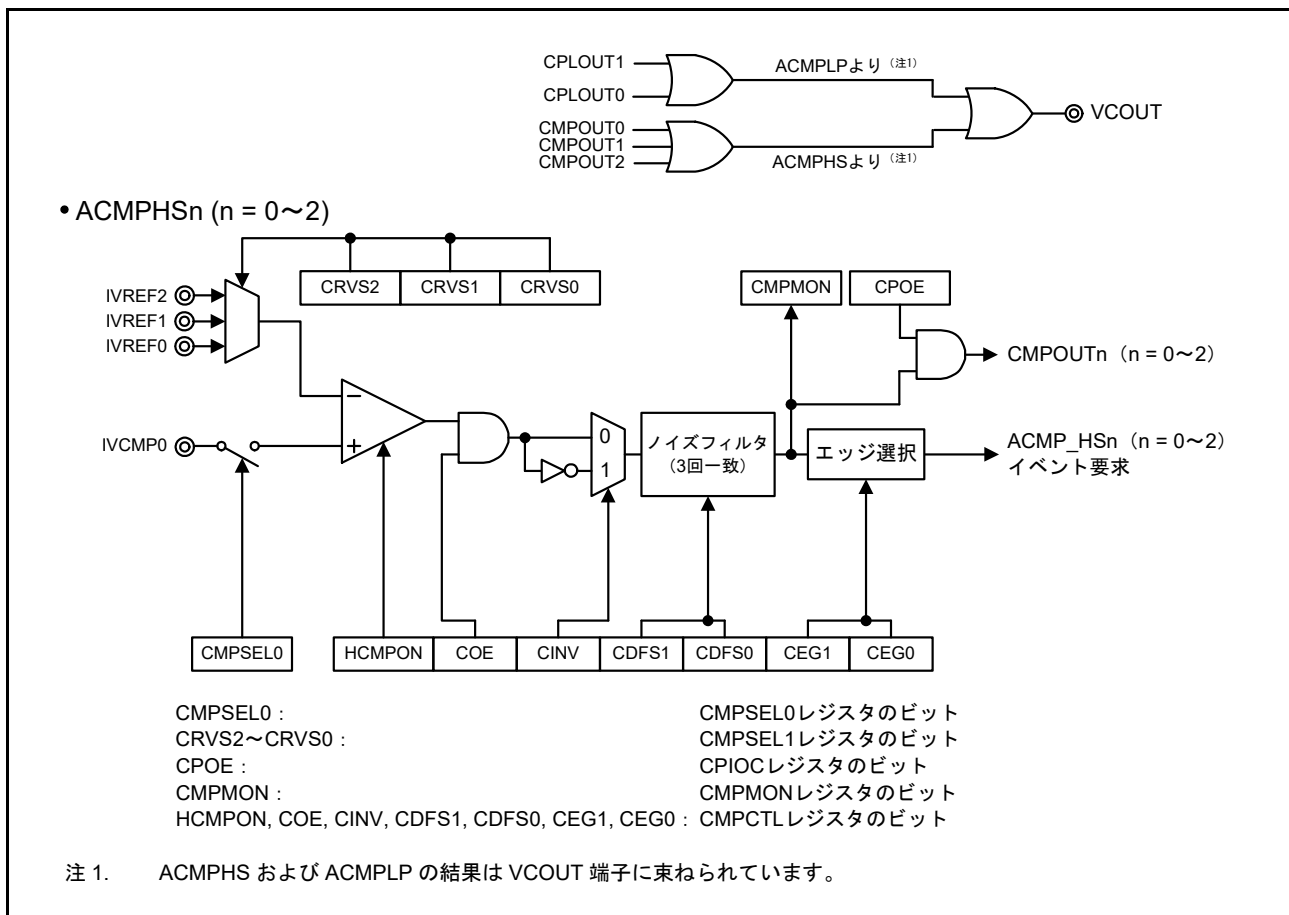


図 37.1 ACMPHS のブロック図

表 37.2 ACMPHSの入力電源構成

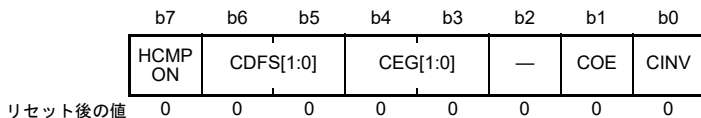
コンパレータ	基準電圧入力電源			アナログ電圧入力電源	出力端子
	IVREF2	IVREF1	IVREF0	IVCMP0	
ACMPHS0	なし	DA0 (注1)	AN007	AN008	VCOUT (注4)
ACMPHS1	DA1 (注2)	DA0 (注1)	AN009	AN010	
ACMPHS2	DA2 (注3)	DA0 (注1)	AN001	AN000	

- 注 1. D/A コンバータ 0 出力 (DA0) を使用しない場合、AN009 アナログ入力として使用できます。
- 注 2. D/A コンバータ 1 出力 (DA1) を使用しない場合、AN010 および AN013 アナログ入力として使用できます。
- 注 3. D/A コンバータ 2 出力 (DA2) を使用しない場合、AN004 および AN006 アナログ入力として使用できます。
- 注 4. ACMPHS0、ACMPHS1、および ACMPHS2 のコンペア出力は VCOUT 端子に束ねられています。

37.2 レジスタの説明

37.2.1 コンパレータコントロールレジスタ (CMPCTL)

アドレス ACMPHS0.CMPCTL 4008 5000h, ACMPHS1.CMPCTL 4008 5100h, ACMPHS2.CMPCTL 4008 5200h



ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性選択 (注1) (注2)	0: コンパレータ出力を反転しない 1: コンパレータ出力を反転する	R/W
b1	COE	コンパレータ出力許可	0: コンパレータ出力禁止 (出力信号はLow) 1: コンパレータ出力許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4-b3	CEG[1:0]	有効エッジ選択 (エッジセクタ)	b4 b3 0 0: エッジ選択なし 0 1: 立ち上がりエッジ選択 1 0: 立ち下がりエッジ選択 1 1: 両エッジ選択	R/W
b6-b5	CDFS[1:0]	ノイズフィルタ選択 (注1) (注2) (注3)	b6 b5 0 0: ノイズフィルタ不使用 0 1: ノイズフィルタサンプリング周波数がPCLKB/2 ³ 1 0: ノイズフィルタサンプリング周波数がPCLKB/2 ⁴ 1 1: ノイズフィルタサンプリング周波数がPCLKB/2 ⁵	R/W
b7	HCMPON	コンパレータ動作制御 (注4)	0: 動作停止 (コンパレータがLowの信号を出力) 1: 動作許可 (コンパレータ端子への入力許可)	R/W

- 注 1. ACMPHS 出力を禁止 (COE = 0) にした後にだけ、CDFS[1:0] および CINV ビットを変更してください。
- 注 2. CDFS[1:0] および CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが発生する可能性があります。これらのビットは、ELSRn レジスタを 0 (ACMPHS 出力がリンクしていない) にした後にだけ変更してください。ビット変更後、IELSRn レジスタの IR フラグビットを 0 (割り込みステータスフラグクリア) に初期化してください。
- 注 3. CDFS[1:0] ビットを 00b (ノイズフィルタ不使用) から 00b 以外の値 (ノイズフィルタ使用) に変更する場合、サンプリングを 4 回行い、フィルタ出力を更新した後、ACMPHS 割り込み要求または ELC イベントを使用してください。
- 注 4. ACMPHS 動作を有効 (HCMPON = 1) にした後は、ACMPHS 動作を許可するために動作安定待機時間が必要です。ACMPHS0 ~ ACMPHS2 の動作安定待機時間は 1μs です。

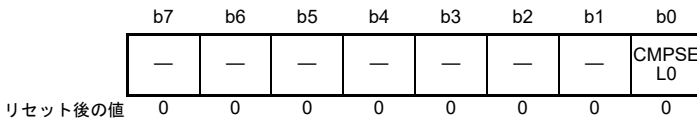
本レジスタは以下の動作を行います。

- ACMPHS 動作の制御
- ACMPHS 出力の許可/禁止
- ノイズフィルタの選択
- 割り込み信号の有効エッジの選択
- 割り込みの選択

リセット信号が発生すると、本レジスタは 00h になります。

37.2.2 コンパレータ入力選択レジスタ (CMPSEL0)

アドレス [ACMPHS0.CMPSEL0 4008 5004h](#), [ACMPHS1.CMPSEL0 4008 5104h](#), [ACMPHS2.CMPSEL0 4008 5204h](#)

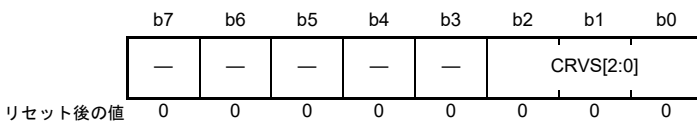


ビット	シンボル	ビット名	機能	R/W
b0	CMPSEL0	コンパレータ入力選択 (注1)	0 : 入力なし 1 : IVCMP0 選択 (注2)	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. **CMPSEL0** ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
1. CMPCTL.COE ビットを 0 にする。
 2. CMPSEL0 レジスタを 0000 0000b にする。
 3. **CMPSEL0** ビットを 1 にする。
 4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
 5. CMPCTL.COE ビットを 1 にする。
 6. IELSRn レジスタの IR フラグをクリアする (割り込みステータスフラグをクリアする)。
- 注 2. 詳細は、[表 37.2 ACMPHS の入力電源構成](#)を参照してください。

37.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス [ACMPHS0.CMPSEL1 4008 5008h](#), [ACMPHS1.CMPSEL1 4008 5108h](#), [ACMPHS2.CMPSEL1 4008 5208h](#)

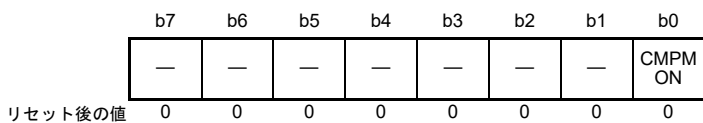


ビット	シンボル	ビット名	機能	R/W
b2-b0	CRVS[2:0]	基準電圧選択 (注1)	b2 b0 0 0 0 : 基準電圧なし 0 0 1 : IVREF0 選択 (注2) 0 1 0 : IVREF1 選択 (注2) 1 0 0 : IVREF2 選択 (注2) (注3) 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

- 注 1. **CRVS[2:0]** ビットは次の手順で変更してください。CMPSEL1 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
1. CMPCTL.COE ビットを 0 にする。
 2. CMPSEL1 レジスタを 0000 0000b にする。
 3. **CRVS[2:0]** ビットに新しい値を設定する (どれか 1 つのビットにのみ 1 を設定)。
 4. 入力切り替え安定待機時間 (200ns) の経過を待つ。
 5. CMPCTL.COE ビットを 1 にする。
 6. IELSRn レジスタの IR フラグビットをクリアする (割り込みステータスフラグクリア)。
- 注 2. 詳細は、[表 37.2 ACMPHS の入力電源構成](#)を参照してください。
- 注 3. ACMPHS0 の場合、本設定はしないでください。

37.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス ACMPHS0.CMPMON 4008 500Ch, ACMPHS1.CMPMON 4008 510Ch, ACMPHS2.CMPMON 4008 520Ch

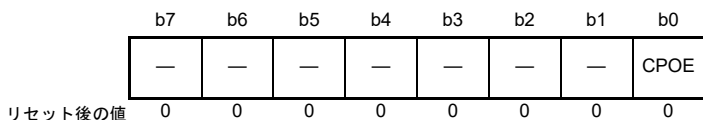


ビット	シンボル	ビット名	機能	R/W
b0	CMPMON	コンパレータ出力監視 (注1)	0 : コンパレータ出力はLow 1 : コンパレータ出力はHigh	R
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. ACMPHS の動作が有効 (HCMPON = COE = 1) であるが、ノイズフィルタを使用していない (CDFS[1:0] = 00b) 場合、必ず CMPMON ビットを 2 度読み出し、2 つの連続した値が一致した後でのみ値を使用してください。

37.2.5 コンパレータ出力コントロールレジスタ (CPIOC)

アドレス ACMPHS0.CPIOC 4008 5010h, ACMPHS1.CPIOC 4008 5110h, ACMPHS2.CPIOC 4008 5210h



ビット	シンボル	ビット名	機能	R/W
b0	CPOE	コンパレータ出力選択	0 : コンパレータのVCOOUT 端子出力を禁止 (出力信号はLow) 1 : コンパレータのVCOOUT 端子出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

37.3 動作説明

高速アナログコンパレータ (ACMPHS) は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 37.3 に ACMPHS に関連するレジスタの設定手順を示します。

表 37.3 ACMPHS 関連レジスタの設定手順

手順番号	レジスタ	ビット	設定
1	関連MSTPCRDLレジスタ	MSTPD26~MSTPD28	0: 入力クロック供給
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREFおよびIVCMP端子の機能を選択
3	関連するD/Aコンバータ		D/Aコンバータを使用する場合、レジスタに設定
4	ACMPHS0.CMPSEL0、 CMPSEL1	CMPSEL0、 CRVS0~CRVS1	ACMPHSn入力を選択。この時、いずれか1つのビットのみを1にします。
	ACMPHS1.CMPSEL0、 CMPSEL1	CMPSEL0、 CRVS0~CRVS2	
	ACMPHS2.CMPSEL0、 CMPSEL1	CMPSEL0、 CRVS0~CRVS2	
5	CMPCTL	CDFS[1:0]、CEG1、CEG0、 CINV	ACMPHSn制御を設定
		HCM PON	1: ACMPHSn動作を許可
6	ACMPHS安定時間 (最小1μs) 待機		
7	CMPCTL	COE	1: ACMPHSn出力を許可
8	CPIOC	CPOE	1: VCOOUT出力を設定
	関連する端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOOUTポート機能を選択
9	IELSRn	IR、IELS[7:0]	割り込みを使用する場合は割り込みステータスフラグおよびICUイベントリンクを選択 (注1)
10	ELSRn	ELS[7:0]	ELCを使用する場合はイベントリンクを選択 (注2)
11	POEGGn	CDRE[2:0]	POEGを使用する場合はACMPHSからの要求を許可
12	動作開始		
13	CMPCTL	COE	0: IVREFまたはIVCMPを変更する場合はACMPHSn出力を禁止
14	ACMPHS0.CMPSEL1	CRVS0~CRVS1	CRVSnビットを以下のように変更してください。 CMPSEL1レジスタを0000 0000bにする。 新しい値をCRVSnビットに設定する。このとき、いずれか1つのビットのみを1にする。
	ACMPHS1.CMPSEL1	CRVS0~CRVS2	
	ACMPHS2.CMPSEL1	CRVS0~CRVS2	
15	ACMPHSn切り替え安定時間 (最小200ns) 待機		
16	CMPCTL	COE	1: ACMPHSn出力を許可
17	動作再開		

注 1. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 2. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ACMPHS の動作例を図 37.2 に示します。アナログ入力電圧が ACMPHS 基準入力電圧より高くなると VCOOUT 出力は 1 になり、低くなると 0 になります。ACMPHS 出力が変わると、割り込み要求および ELC イベントが出力されます。

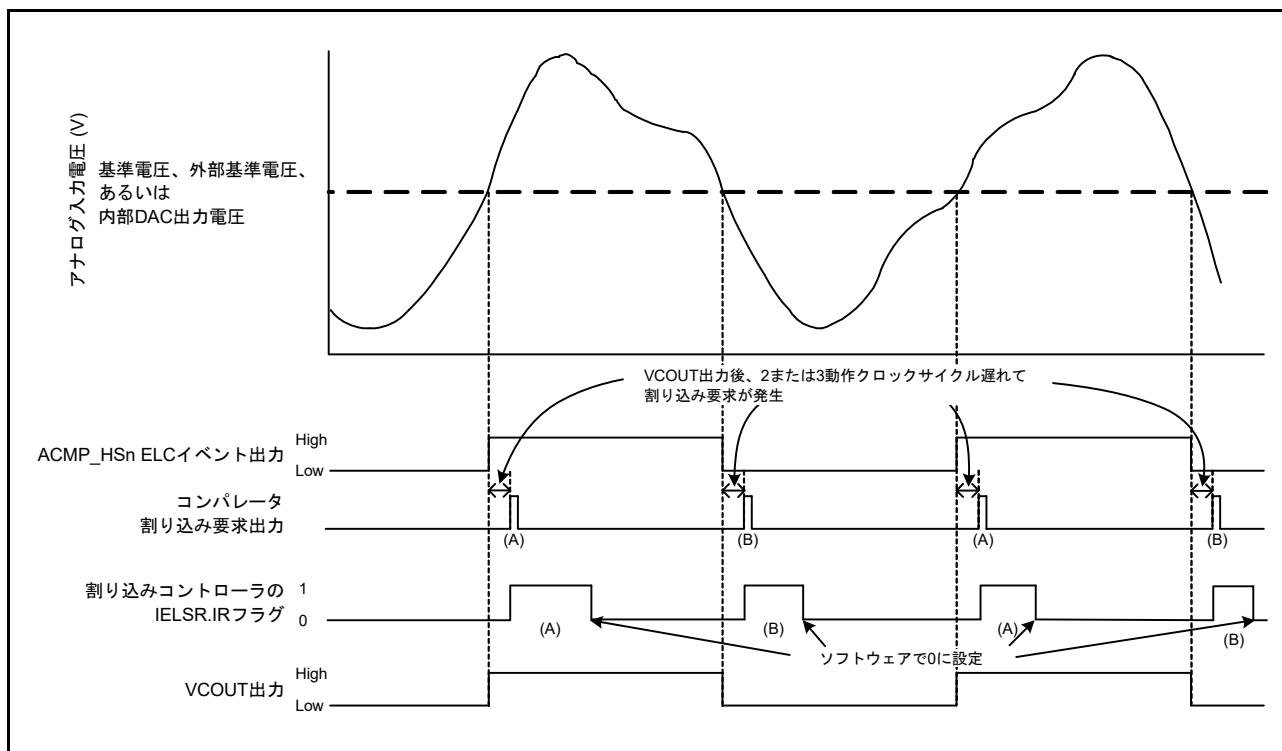


図 37.2 ACMPHS の動作例

図 37.2 は CPOE = 1 (端子出力許可)、CDF5[1:0] = 00b (フィルタ不使用)、CEG1 = CEG0 = 1 (両エッジを選択) の場合に適用されます。CINV = 0、CEG0 = 1、CEG1 = 0 (ACMPHS からの非反転出力信号の立ち上がりエッジを選択) の場合、IELSR.IR フラグは (A) で示されるように変化します。CINV = 0、CEG0 = 0、CEG1 = 1 (ACMPHS からの非反転出力信号の立ち下がりエッジを選択) の場合、IELSR.IR フラグは (B) で示されるように変化します。CPOE = 1 の場合、VCOOUT は ELC イベント出力を直接出力します。

37.4 ノイズフィルタ

ACMPHS はノイズフィルタを搭載しています。CMPCTL.CDFS[1:0] ビットによってサンプリングクロックが選択されます。ACMPHS 信号は、サンプリングクロックごとにサンプリングされます。同じ値が3回サンプリングされた場合、次のサンプリングクロック周期のノイズフィルタ出力が ACMPHS 出力として使用されます。

ノイズフィルタとエッジ検出器の構成を図 37.3 に、ノイズフィルタと割り込み動作の例を図 37.4 に示します。ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、CMPCTL.CDFS[1:0] ビットを 00b (ノイズフィルタ未使用) にします。

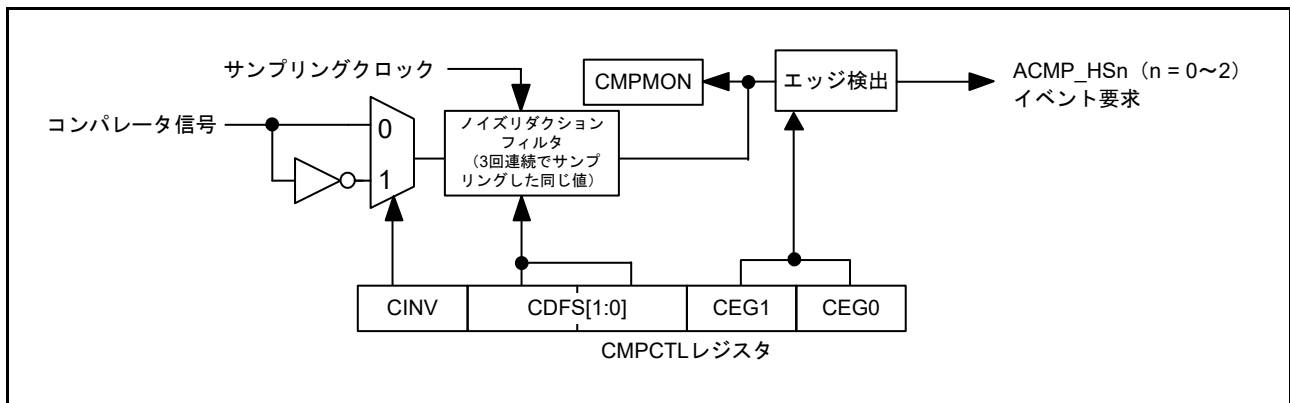


図 37.3 ノイズフィルタおよびエッジ検出の構成

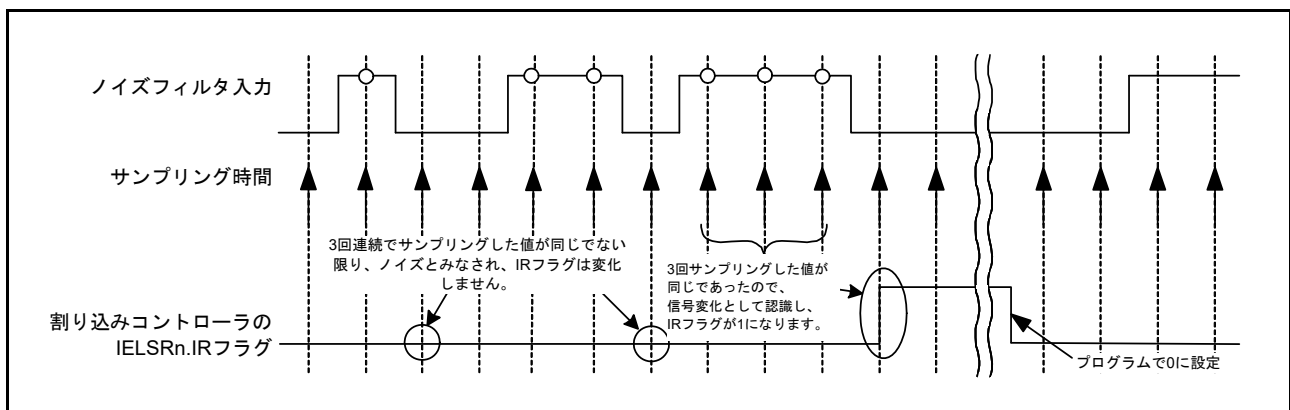


図 37.4 ノイズフィルタおよび割り込み動作例

図 37.4 の動作例は CMPCTL.CDFS[1:0] ビットが 01b、10b、または 11b (ノイズフィルタ使用) の場合に適用されます。

37.5 ACMPHS 割り込み

ACMPHS は、ACMPHS0、ACMPHS1、および ACMPHS2 から 3 つの割り込み要求を生成します。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット (ICU) の IELSR レジスタで選択します。CMPCTL.CEG0 ビットまたは CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (00b (エッジ選択なし) 以外の値) にしてください。

ACMPHS 割り込み要求に関連するレジスタ設定については、[37.2.1 コンパレータコントロールレジスタ \(CMPCTL\)](#) を参照してください。

37.6 イベントリンクコントローラ (ELC) への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS ELC イベントを使用するには、使用するイベントを ELC の ELSR レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CEG0 ビットまたは CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1 (エッジ選択なしの 00b 以外の値) にしてください。

37.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性 (非反転出力または反転出力) および出力許可/禁止を設定することが可能です。ACMPHS 比較結果を VCOUNT 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能コントロールレジスタ (PmnPFS) を設定してください。

37.8 使用上の注意事項

37.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、ACMPHS 動作を禁止/許可できます。ACMPHS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

37.8.2 14 ビット A/D コンバータとの関係

ACMPHS アナログ入力と A/D コンバータアナログ入力を同時に使用する場合の制限については、[33.8.13 A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係](#)を参照してください。

38. 低消費電力アナログコンパレータ (ACMPLP)

低消費電力アナログコンパレータ (ACMPLP) は、基準入力電圧とアナログ入力電圧を比較します。ACMPLP0 と ACMPLP1 は、それぞれ独立しています。

38.1 概要

基準入力電圧およびアナログ入力電圧の比較結果はソフトウェアで読み出すことができます。比較結果は外部に出力することもできます。基準入力電圧は、CMPREFi (i = 0、1) 端子への入力、内部 D/A コンバータからの出力、および MCU の内部に生成された内部基準電圧 (Vref) から選択できます。

ACMPLP の応答速度は、動作開始前に設定可能です。高速モードを設定すると、応答遅延時間が短くなりますが、電流消費は増加します。低速モードを設定すると、応答遅延時間が長くなりますが、電流消費は低減します。

ACMPLP の特長を表 38.1 に、ウィンドウ機能が無効の時の ACMPLP のブロック図を図 38.1 に、ウィンドウ機能が有効の時の ACMPLP のブロック図を図 38.2 に示します。表 38.2 に ACMPLP の入出力端子を示します。

表 38.1 ACMPLP の特長

項目	内容
チャンネル数	2チャンネル (ACMPLP0 と ACMPLP1)
アナログ入力電圧	<ul style="list-style-type: none"> • CMPINi (i = 0、1) 端子からの入力 • 内部オペアンプ (AMP1O、AMP2O) からの出力
基準電圧	<ul style="list-style-type: none"> • 標準モード 以下の1つから選択可能 <ul style="list-style-type: none"> - 内部基準電圧 (Vref) - CMPREFi (i = 0、1) 端子からの入力 - 内部 D/A コンバータからの出力 • ウィンドウモード 以下の1つから選択可能 <ul style="list-style-type: none"> - CMPREFi (i = 0、1) 端子からの入力 (CMPREF0 : 低基準電圧、CMPREF1 : 高基準電圧) - 内部 D/A コンバータからの出力
コンパレータ出力	<ul style="list-style-type: none"> • 比較結果 • ELC イベント出力の発生 • レジスタからの出力監視
割り込み要求信号	<ul style="list-style-type: none"> • 比較結果の有効エッジ検出時に割り込み要求発生 • 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
選択可能な機能	<ul style="list-style-type: none"> • ノイズフィルタ機能 <ul style="list-style-type: none"> - 3つのサンプリング周波数から1つ選択可能 - フィルタ機能不使用を選択可能 • ウィンドウ機能 <ul style="list-style-type: none"> - ウィンドウ機能使用または不使用を選択可能 • 低消費電力アナログコンパレータの応答速度 <ul style="list-style-type: none"> - 高速モードまたは低速モードを選択可能

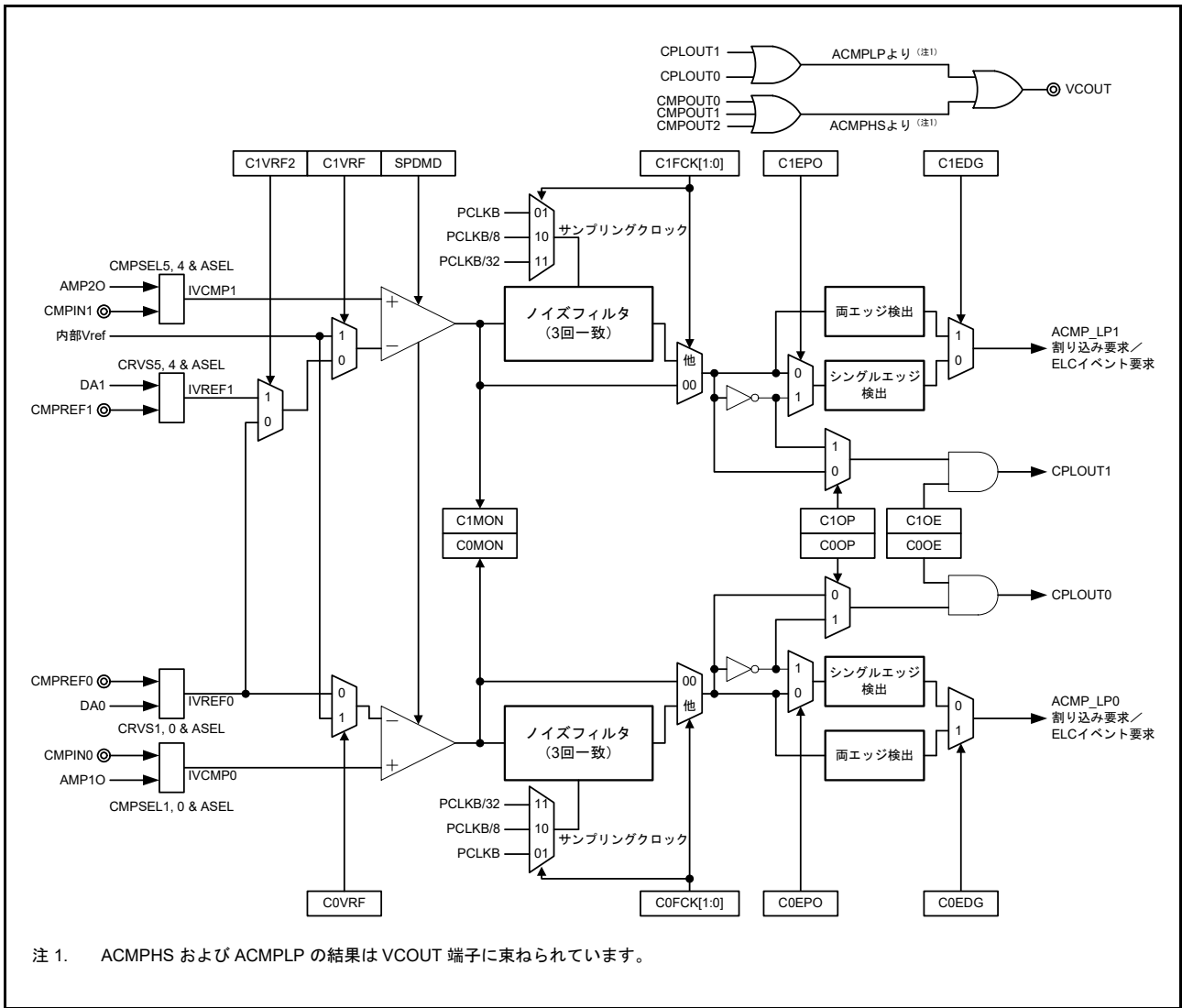


図 38.1 標準モードでウィンドウ機能無効時の ACMPLP ブロック図

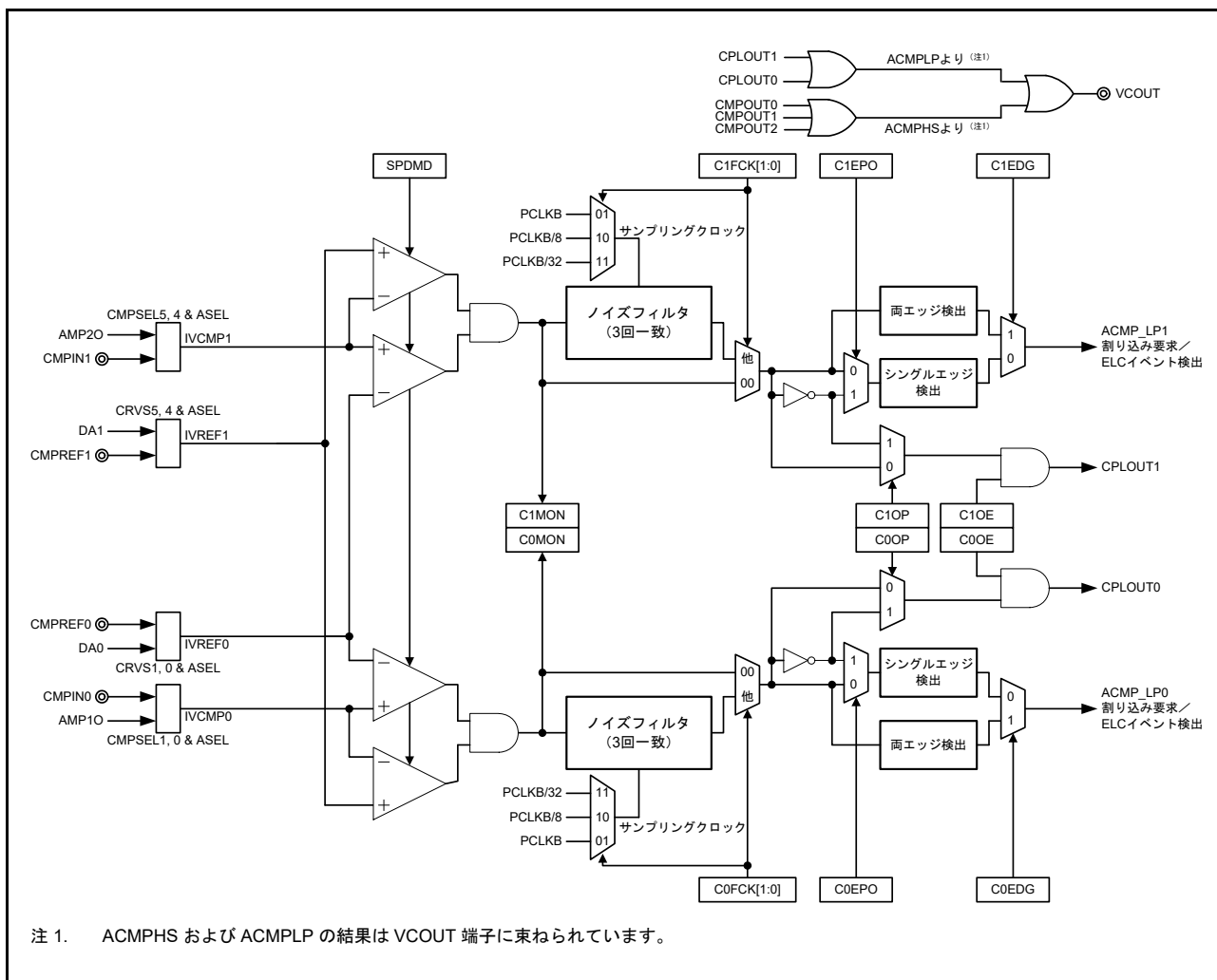


図 38.2 ウィンドウ機能モードでウィンドウ機能有効時の ACMPLP ブロック図

表 38.2 コンパレータ端子の構成

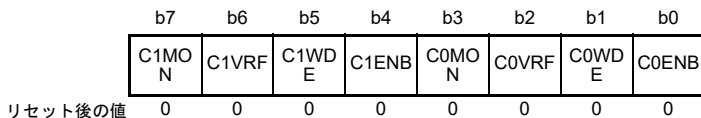
コンパレータ	基準電圧入力端子		アナログ電圧入力端子		出力端子
	標準モード	ウィンドウ機能モード	標準モード	ウィンドウ機能モード	
ACMPLP0	<ul style="list-style-type: none"> IVREF0 (CMPREF0/DA0) 内部 Vref (選択可能) 	低基準電圧 : <ul style="list-style-type: none"> IVREF0 (CMPREF0/DA0) 高基準電圧 : <ul style="list-style-type: none"> IVREF1 (CMPREF1/DA1) 	<ul style="list-style-type: none"> IVCMP0 (CMPIN0/AMP10) 		VCOUT (注1)
ACMPLP1	<ul style="list-style-type: none"> IVREF0 (CMPREF0/DA0) IVREF1 (CMPREF1/DA1) 内部 Vref (選択可能) 		<ul style="list-style-type: none"> IVCMP1 (CMPIN1/AMP20) 		

注 1. ACMPHS_m (m = 0 ~ 2) および ACMPLP_n (n = 0 ~ 1) の結果は VCOUT 端子に束ねられています。

38.2 レジスタの説明

38.2.1 ACMPLP モード設定レジスタ (COMPMDR)

アドレス ACMPLP.COMPMDR 4008 5E00h

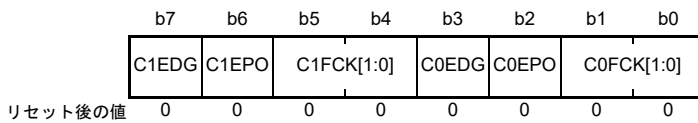


ビット	シンボル	ビット名	機能	R/W
b0	C0ENB	ACMPLP0動作許可	0: コンパレータチャンネルACMPLP0を禁止 1: コンパレータチャンネルACMPLP0を許可	R/W
b1	C0WDE	ACMPLP0ウィンドウ機能モード許可 (注1) (注2)	0: ACMPLP0に対するウィンドウ機能を禁止 1: ACMPLP0に対するウィンドウ機能を許可	R/W
b2	C0VRF	ACMPLP0基準電圧選択	0: IVREF0入力 1: 内部基準電圧 (Vref) (注4)	R/W
b3	C0MON	ACMPLP0モニタフラグ (注3)	ウィンドウ機能無効時 0: IVCMP0 < ACMPLP0基準電圧 1: IVCMP0 > ACMPLP0基準電圧 ウィンドウ機能有効時 0: IVCMP0 < IVREF0またはIVCMP0 > IVREF1 1: IVREF0 < IVCMP0 < IVREF1	R
b4	C1ENB	ACMPLP1動作許可	0: 禁止 1: 許可	R/W
b5	C1WDE	ACMPLP1ウィンドウ機能モード許可 (注1) (注2)	0: ACMPLP1動作を禁止 1: ACMPLP1動作を許可	R/W
b6	C1VRF	ACMPLP1基準電圧選択	0: IVREF0またはIVREF1 1: 内部基準電圧 (Vref) (注4)	R/W
b7	C1MON	ACMPLP1モニタフラグ (注3)	ウィンドウ機能無効時 0: IVCMP1 < ACMPLP1基準電圧 1: IVCMP1 > ACMPLP1基準電圧 ウィンドウ機能有効時 0: IVCMP1 < IVREF0またはIVCMP1 > IVREF1 1: IVREF0 < IVCMP1 < IVREF1	R

- 注 1. 低速モードが選択されている (COMPOCR レジスタの SPDMD ビットが 0) 場合は、ウィンドウ機能モードは設定できません。
- 注 2. ウィンドウ機能モードでは、本ビットの設定にかかわらずコンパレータの基準電圧が選択されます。
- 注 3. リセットが解除された直後は、初期値が 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。
基準レベルが入力レベルに等しいときは、ビットの値は不定です。
- 注 4. 本設定は標準モードでのみ有効です。ウィンドウ機能モードでは、本ビットの設定にかかわらず IVREF0 または IVREF1 が選択されます。

38.2.2 ACMPLP フィルタコントロールレジスタ (COMPFIR)

アドレス ACMPLP.COMPFIR 4008 5E01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	C0FCK[1:0]	ACMPLP0 フィルタ機能選択 (注1)	b1 b0 0 0: サンプリングなし (バイパス) 0 1: PCLKB でサンプリング 1 0: PCLKB/8 でサンプリング 1 1: PCLKB/32 でサンプリング	R/W
b2	C0EPO	ACMPLP0 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよび ELC イベント要求 1: 立ち下がりエッジでの割り込みおよび ELC イベント要求	R/W
b3	C0EDG	ACMPLP0 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよび ELC イベント要求 1: 両エッジ検出による割り込みおよび ELC イベント要求	R/W
b5-b4	C1FCK[1:0]	ACMPLP1 フィルタ機能選択 (注1)	b5 b4 0 0: サンプリングなし (バイパス) 0 1: PCLKB でサンプリング 1 0: PCLKB/8 でサンプリング 1 1: PCLKB/32 でサンプリング	R/W
b6	C1EPO	ACMPLP1 エッジ極性切り替え (注1)	0: 立ち上がりエッジでの割り込みおよび ELC イベント要求 1: 立ち下がりエッジでの割り込みおよび ELC イベント要求	R/W
b7	C1EDG	ACMPLP1 エッジ検出選択 (注1)	0: 片エッジ検出による割り込みおよび ELC イベント要求 1: 両エッジ検出による割り込みおよび ELC イベント要求	R/W

注 1. CiFCK[1:0]、CiEPO、および CiEDG (i = 0, 1) ビットが変更されると、ACMPLP 割り込み要求および ELC イベント要求が発生する可能性があります。これらのビットは、イベントリンクを非選択にした後にのみ変更してください。また、該当する割り込み要求フラグをクリアしてください。

38.2.3 ACMPLP 出カコントロールレジスタ (COMPOCR)

アドレス ACMPLP.COMPOCR 4008 5E02h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPDMD	C1OP	C1OE	—	—	COOP	COOE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b1	C0OE	ACMPLP0 VCOOUT 端子出力許可 (注1)	0: ACMPLP0 VCOOUT 端子出力を禁止 1: ACMPLP0 VCOOUT 端子出力を許可	R/W
b2	C0OP	ACMPLP0 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b5	C1OE	ACMPLP1 VCOOUT 端子出力許可 (注1)	0: ACMPLP1 VCOOUT 端子出力を禁止 1: ACMPLP1 VCOOUT 端子出力を許可	R/W
b6	C1OP	ACMPLP1 VCOOUT 出力極性選択 (注1)	0: 反転なし 1: 反転あり	R/W
b7	SPDMD	ACMPLP0/ACMPLP1 速度選択 (注2)	0: コンパレータ低速モード選択 1: コンパレータ高速モード選択	R/W

- 注1. ACMPLPm (m = 0 ~ 2) および ACMPLPn (n = 0 ~ 1) の結果は VCOOUT 端子に束ねられています。
 注2. SPDMD ビットを書き換える場合は、事前に COMPMDR レジスタの CiENB ビット (i = 0, 1) を 0 にしてください。

38.2.4 コンパレータ入力選択レジスタ (COMPSEL0)

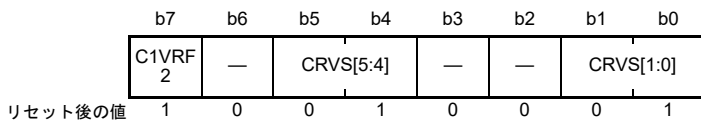
アドレス ACMPLP.COMPSEL0 4008 5E04h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CMPSEL[5:4]	—	—	—	CMPSEL[1:0]	—
リセット後の値	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPSEL[1:0]	ACMPLP0 入力 (IVCMP0) 選択	b1 b0 0 0: 入力なし 0 1: CMPIN0 入力選択 1 0: AMP1O 出力選択 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CMPSEL[5:4]	ACMPLP1 入力 (IVCMP1) 選択	b5 b4 0 0: 入力なし 0 1: CMPIN1 入力選択 1 0: AMP2O 出力選択 上記以外は設定しないでください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

38.2.5 コンパレータ基準電圧選択レジスタ (COMPSEL1)

アドレス ACMPLP.COMPSEL1 4008 5E05h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CRVS[1:0]	ACMPLP0基準電圧 (IVREF0) 選択	b1 b0 0 0 : 基準電圧なし 0 1 : CMPREF0 選択 1 0 : DA0出力選択 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CRVS[5:4]	ACMPLP1基準電圧 (IVREF1) 選択	b5 b4 0 0 : 基準電圧なし 0 1 : CMPREF1 選択 1 0 : DA1出力選択 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	C1VRF2	ACMPLP1基準電圧選択2	0 : IVREF0 選択 1 : IVREF1 選択	R/W

38.3 動作説明

ACMPLP0 および ACMPLP1 は独立していますが、動作は同じです。コンパレータの動作中に関連するレジスタの値を変更した場合、動作は保証されません。表 38.3 に ACMPLP に関連するレジスタの設定手順を示します。

表 38.3 ACMPLP (i = 0, 1) 関連レジスタの設定手順

手順番号	レジスタ	ビット	設定内容	
1	MSTPCRD	MSTPD29	0 : 入力クロック供給	
2	該当の端子機能コントロールレジスタ (PFS)	ASEL	アナログ入力を選択	
	COMPSEL0	CMPSEL[1:0]、 CMPSEL[5:4]		
3	COMPOCR	SPDMD	コンパレータの応答速度の選択 (0 : 低速モード / 1 : 高速モード) (注1)	
4	COMPMDR	CiWDE	0 : ウィンドウ機能モード無効	1 : ウィンドウ機能モード有効 (注2)
		CiVRF	基準電圧の選択	
	COMPSEL1	CRVS[1:0]、 CRVS[5:4]、 C1VRF2	ウィンドウコンパレータ動作 (基準 = IVREF0 および IVREF1) (注3)	
	COMPMDR	CiENB	1 : 動作許可	
5	コンパレータ安定時間 t_{CMP} (最小 100 μ s) 待機			
6	COMPFIR	CiFCK[1:0]	デジタルフィルタを使用するかどうか、およびサンプリングクロックの選択	
		CiEPO、CiEDG	割り込み要求のエッジ検出条件の選択 (立ち上がりエッジ、立ち下がりエッジ、両エッジ)	
7	COMPOCR	CiOP、CiOE	VCOUT 出力の設定 (極性の選択および出力許可 / 禁止の設定)	
	該当の端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOUT ポート機能を選択	
8	IELSRn	IR、IELS[7:0]	割り込み使用時 : 割り込みステータスフラグ、ICU イベントリンクの選択 (注3)	
9	ELSRn	ELS[7:0]	ELC 使用時 : イベントリンクの選択 (注4)	
10	動作開始			

注 1. ACMPLP0 および ACMPLP1 は、個別に設定できません。

注 2. 高速モードで設定できます (SPDMD = 1)。

注 3. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、割り込みフラグを初期化してください。

注 4. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する可能性があるため、イベントリンク選択を初期化してください。

ウィンドウ機能が無効の場合の ACMPLPi (i = 0, 1) の動作例を図 38.3 に示します。

基準入力電圧 (IVREFi) または内部基準電圧 (Vref) とアナログ入力電圧 (IVCMPi) が比較されます。アナログ入力電圧が基準入力電圧より高い場合、COMPMDR.CiMON ビットが 1 になります。

アナログ入力電圧が基準入力電圧より低い場合、CiMON ビットが 0 になります。

ACMPLPi は割り込みを ICU に出力します。割り込みの詳細は、38.5 ACMPLP 割り込みを参照してください。

ACMPLPi は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、38.6 ELC イベント出力を参照してください。

比較中、レジスタの値を変更しないでください。

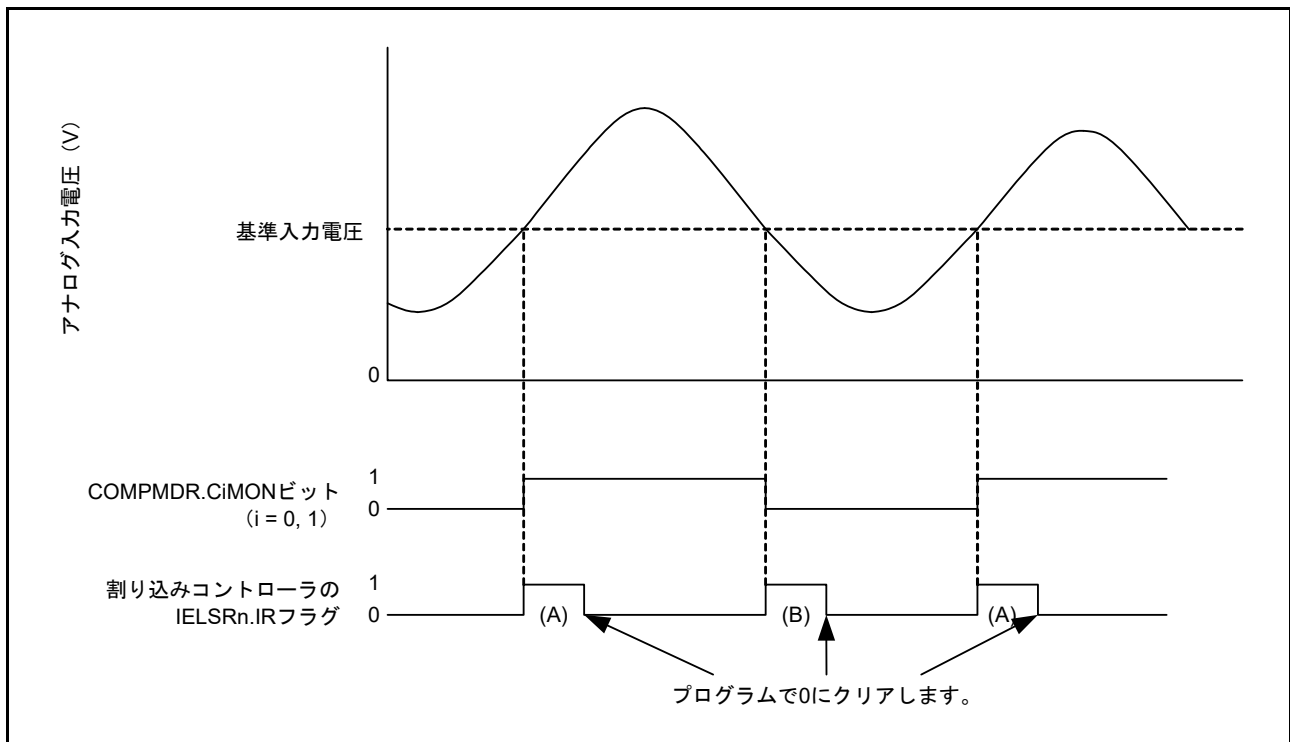


図 38.3 ウィンドウ機能無効時の ACMPLP_i (i = 0、1) の動作例

以下の条件が成立したとき [図 38.3](#) の内容が適用されます。

CiFCK[1:0] = 00b (サンプリングなし) および CiEDG = 1 (両エッジ)

CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR は (A) で示されるように変化します。

CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR は (B) で示されるように変化します。

ウィンドウ機能が有効の場合の ACMPLP_i (i = 0、1) の動作例を [図 38.4](#) に示します。

基準電圧 (IVREF0/IVREF1) およびアナログ入力電圧が比較されます。CiMON ビットは $IVREF0 < \text{アナログ入力電圧} < IVREF1$ の場合 1 に、 $\text{アナログ入力電圧} < IVREF0$ または $IVREF1 < \text{アナログ入力電圧}$ の場合 0 になります。

ACMPLP_i は割り込みを ICU に出力します。割り込みの詳細は、[38.5 ACMPLP 割り込み](#) を参照してください。

ACMPLP_i は、他のモジュールを起動するためのイベント信号を ELC に出力します。ELC の詳細は、[38.6 ELC イベント出力](#) を参照してください。

比較中、レジスタの値を変更しないでください。

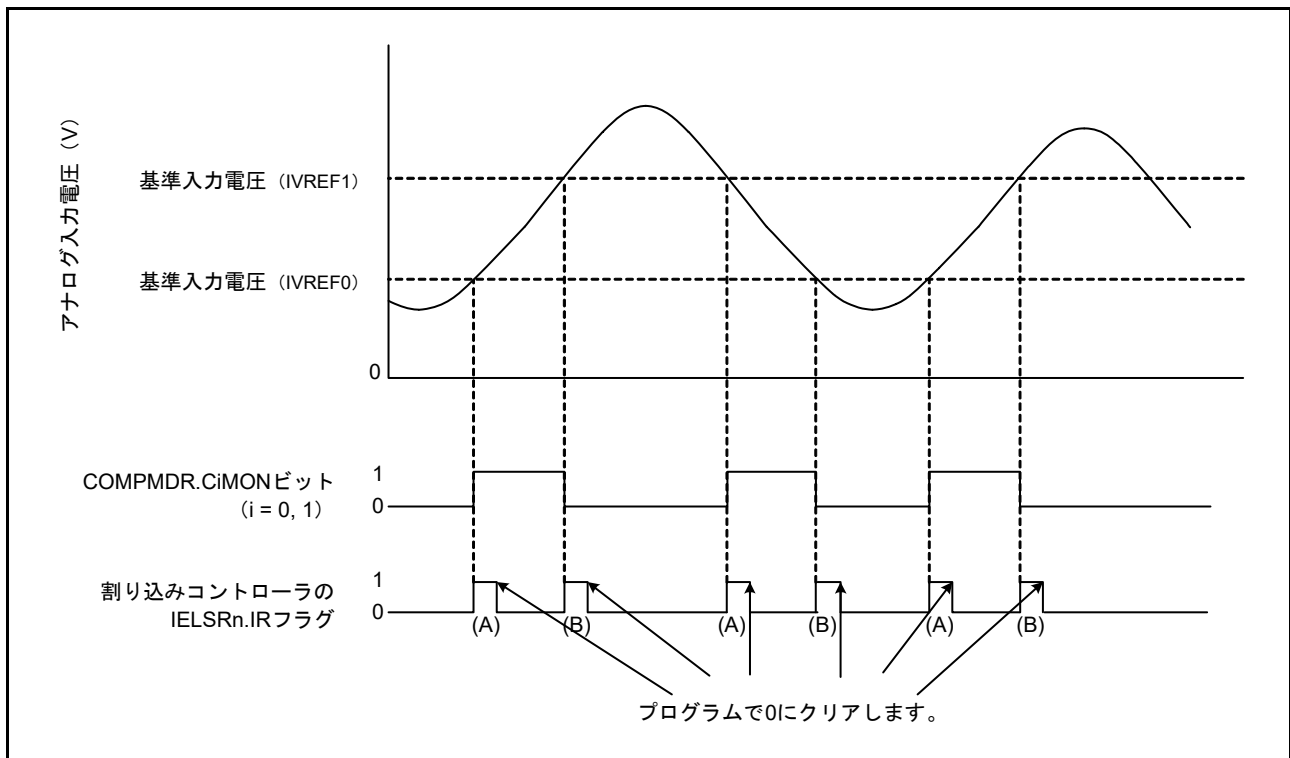


図 38.4 ウィンドウ機能有効時の ACMPLPi (i = 0、1) の動作例

以下の条件が成立したとき 図 38.4 の内容が適用されます。

CiFCK[1:0] = 00b (サンプリングなし) および CiEDG = 1 (両エッジ)

CiEDG = 0、CiEPO = 0 (立ち上がりエッジ) の場合、IELSRn.IR は (A) で示されるように変化します。

CiEDG = 0、CiEPO = 1 (立ち下がりエッジ) の場合、IELSRn.IR は (B) で示されるように変化します。

38.4 ノイズフィルタ

ACMPLPi ノイズフィルタの構成を [図 38.5](#) に、動作例を [図 38.6](#) に示します。

COMPFIR.CiFCK[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPLPi からの ACMPLPi 信号 (内部信号) 出力は、サンプリングクロック周期ごとにサンプリングされます。レベルが 3 回一致すると、該当の IELSRn.IR ビットが 1 (割り込み要求) になり、ELC イベントが出力されます。

ソフトウェアスタンバイモードで割り込みおよび ELC を使用する場合、COMPFIR.CiFCK[1:0] ビットを 00b (バイパス) にします。

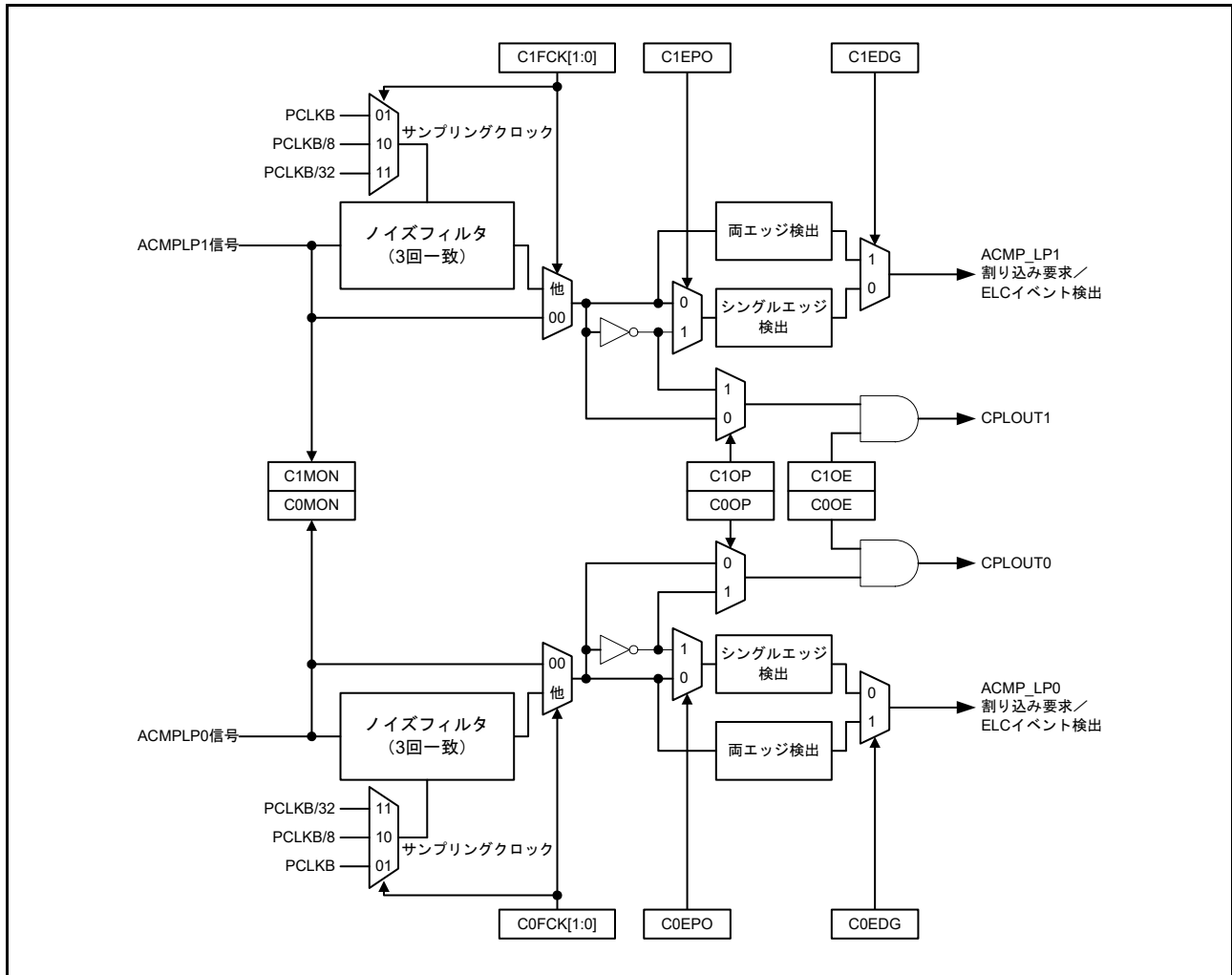


図 38.5 ノイズフィルタおよびエッジ検出の構成

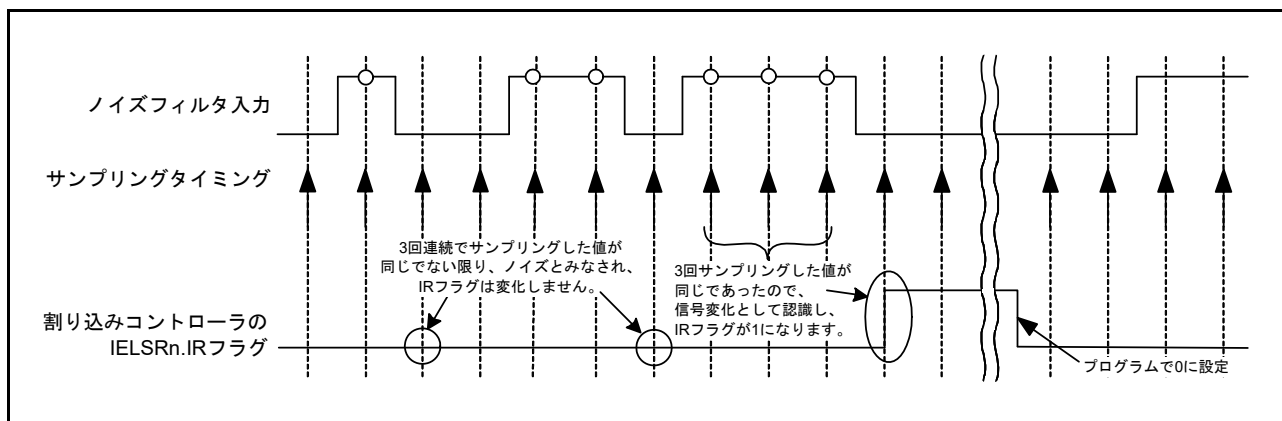


図 38.6 ノイズフィルタおよび割り込み動作例

38.5 ACMPLP 割り込み

ACMPLP は、割り込み要因、ACMPLP0 および ACMPLP1 から 2 つの割り込み要求を生成します。ACMPLPi ($i=0, 1$) 割り込みは、ICU の IELSRn レジスタで該当のビットを選択することで使用できます。

ACMPLPi 割り込みを使用するには、COMPFIR.CiEDG ビットによって片エッジ検出または両エッジ検出のいずれかを選択してください。片エッジ検出を選択するときは、CiEPO ビットによって極性を選択してください。割り込み出力は、4 つの異なるサンプリングクロックのノイズフィルタを通過させることもできます。各サンプリングクロックを選択するには、COMPFIR.CiFCK[1:0] ビットを、01b、10b または 11b にします。ACMPLP0 割り込み要求を使用してソフトウェアスタンバイモードおよびスヌーズモードを解除するには、COMPFIR.CiFCK[1:0] を 00b にし、ACMPLP0 ノイズフィルタをバイパスします。ACMPLP1 割り込み要求は、ソフトウェアスタンバイモードまたはスヌーズモードの解除には使用できません。

38.6 ELC イベント出力

ELC は、ACMPLP 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPLP の ELC イベントは、ELC の ELSR レジスタで選択することにより使用可能です。ELC イベント要求を使用する場合、COMPFIR.CiFCK[1:0] ビットを 01b、10b、または 11b (もしくはサンプリングなし) にします。

38.7 割り込み処理と ELC リンクの関係

ACMPLPi は ELC イベント信号を出力し、あらかじめ設定していたモジュールの動作を開始することが可能です。割り込み要因の場合と同様に、ACMPLPi から ELC へのイベント信号出力発生の条件は、COMPFIR.CiEDG ビットを設定することで片エッジ検出または両エッジ検出として選択できます。片エッジ検出を選択するときは、CiEPO ビットで極性を選択できます。

38.8 コンパレータ端子出力

ACMPLPi からの比較結果は外部端子に出力できます。COMPOCR.CiOP および CiOE ビットによって、出力極性 (非反転出力または反転出力) および出力許可/禁止を設定することが可能です。レジスタ設定および関連するコンパレータ出力については、[38.2.3 ACMPLP 出力コントロールレジスタ \(COMPOCR\)](#) を参照してください。

ACMPLP 比較結果を CPOUTi によって VCOUT 出力端子に出力するには、I/O レジスタの該当の Pmn 端子機能制御レジスタ (PmnPFS) を設定してください。

38.9 使用上の注意事項

38.9.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタにより、ACMPLP の動作禁止/許可を設定できます。リセット後、ACMPLP の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

38.9.2 ADC14 と ACMPLP の関係

ACMPLP アナログ入力と A/D コンバータアナログ入力を同時に使用する場合には制限があります。詳細は、[33.8.13 A/D コンバータ、OPAMP、ACMPHS、ACMPLP の関係](#)を参照してください。

39. 静電容量式タッチセンシングユニット (CTSU)

39.1 概要

静電容量式タッチセンシングユニット (CTSU) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 39.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量が増加します。

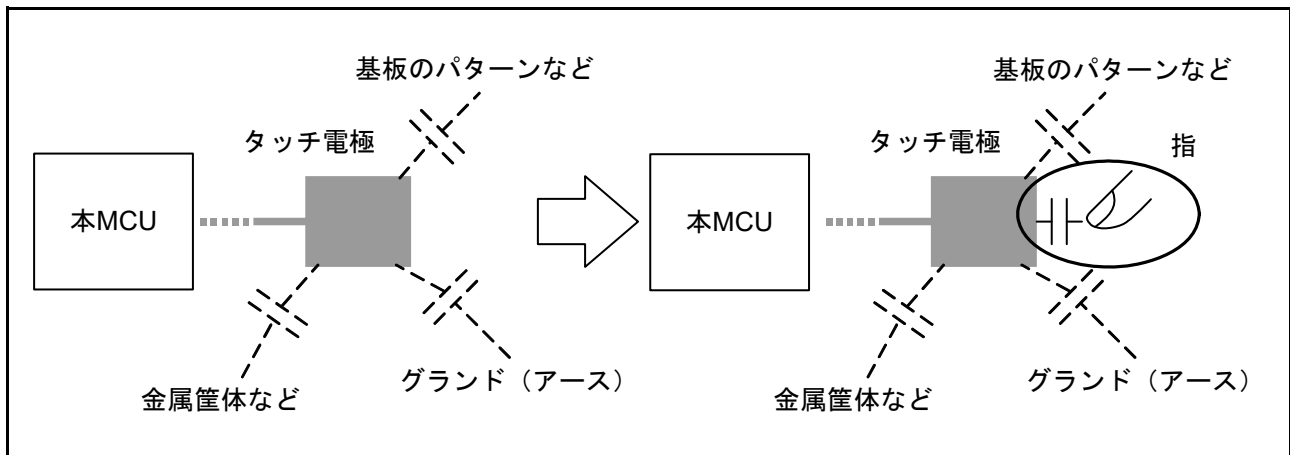


図 39.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と1つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

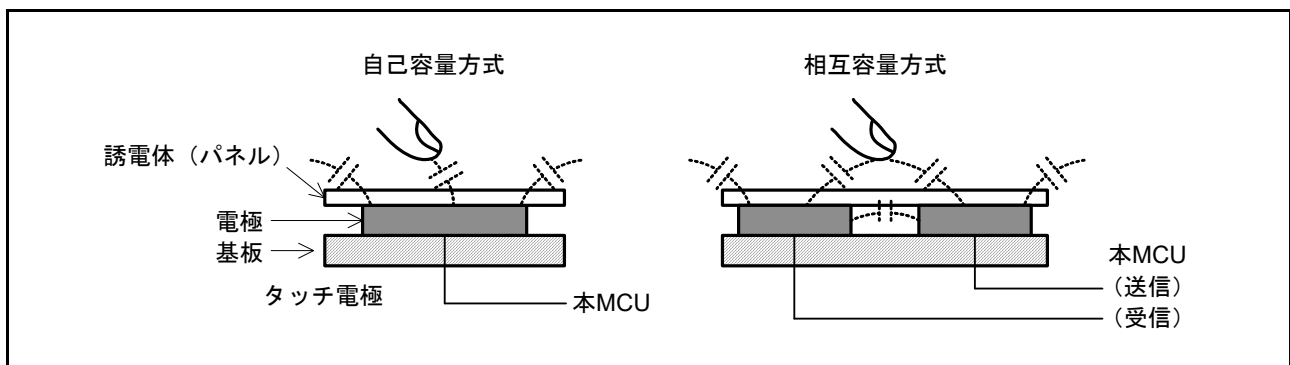


図 39.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。CTSU の計測原理の詳細については、39.3.1 計測動作原理を参照してください。表 39.1 に CTSU の仕様を、図 39.3 にブロック図を示します。

表 39.1 CTSUの仕様

項目		内容
動作クロック		PCLKB、PCLKB/2またはPCLKB/4
端子	静電容量計測	28チャンネル (TS00～TS22、TS25～TS29)
	TSCAP	LPF (Low Pass Filter) 接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャンネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャンネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャンネルの静電容量を連続して計測
ノイズ対策		同期系ノイズ対策、高域ノイズ対策
計測開始条件		<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ (ELCからのELC_CTSU)

図 39.3 に示すように、CTSUSは以下のコンポーネントで構成されます。

- ステータス制御部
- トリガ制御部
- クロック制御部
- チャンネル制御部
- ポート制御部
- センサドライブパルス生成部
- 計測部
- 割り込み部
- I/Oレジスタ

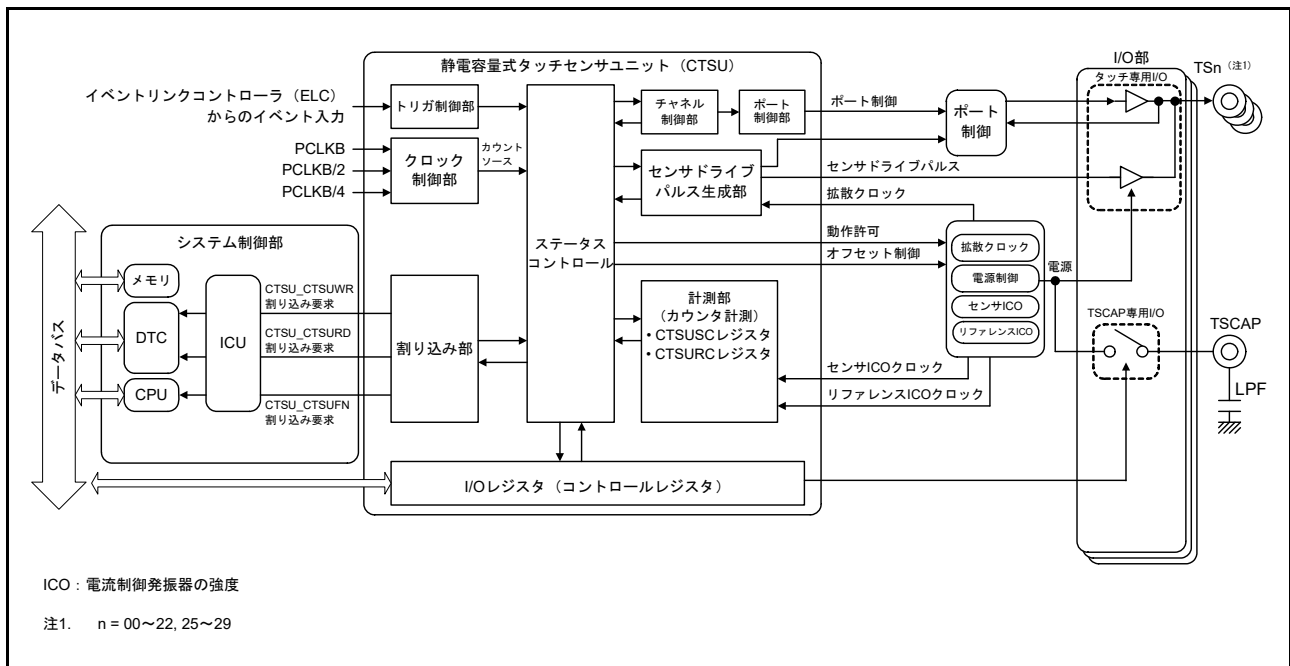


図 39.3 CTSUSのブロック図

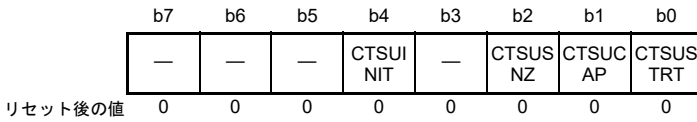
表 39.2 CTSU 端子の構成

端子名	入出力	機能
TS00 ~ TS22、TS25 ~ TS29	入力	静電容量計測端子 (タッチ端子)
TSCAP	—	LPF 接続端子

39.2 レジスタの説明

39.2.1 CTSU コントロールレジスタ 0 (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1000h



ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSUS 計測動作開始	0 : 計測動作停止 (注1) 1 : 計測動作開始	R/W
b1	CTSUCAP	CTSUS 計測動作開始トリガ選択	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	CTSUSNZ	CTSUS 待機時省電力有効	0 : 待機時省電力機能無効 1 : 待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSUS 制御部初期化	1を書くと、CTSUS 制御部と、CTSUSC、CTSUSRC、CTSUSMCH0、CTSUSMCH1、CTSUST の各レジスタが初期化されます。読むと0が読めます。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSUS を使用しない場合、このビットの値は0に固定してください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが0のときのみ行ってください。計測動作開始時に同時に設定可能です。

CTSUSTRT ビット (CTSUS 計測動作開始)

計測動作開始/停止を指定します。

CTSUCAP ビットが0のとき、ソフトウェアで CTSUSTRT ビットに1を書く (ソフトウェアトリガ) と計測が開始し、ハードウェアが CTSUSTRT ビットを0にクリアすると停止します。CTSUCAP ビットが1のとき、CTSUSTRT ビットに1を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSUS の状態を、表 39.3 に示します。

表 39.3 CTSUS の状態

CTSUSTRT ビット	CTSUCAP ビット	CTSUS の状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち (注1)

注 1. CTSUST.CTSUSTC[2:0] フラグで以下のとおり状態を判断できます。

- 計測中 : CTSUST.CTSUSTC[2:0] フラグ ≠ 000b
- 外部トリガ待ち : CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに1になっている場合、ソフトウェアで本ビットを1にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが1のとき、ソフトウェアにより動作を強制的に終了する場合は、CTSUSTRT ビットを0にして、同時に CTSUINIT ビットを1にしてください。

CTSUCAP ビット (CTSUS 計測動作開始トリガ選択)

計測開始条件を指定します。詳細は、CTSUSTRT ビット (CTSUS 計測動作開始) を参照してください。

CTSUSNZ ビット (CTSUS 待機時省電力有効)

待機時省電力動作の有効/無効を選択します。また、本ビットにより CTSUS 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSUS 電源は OFF になりますが外部 TSCAP は引き続き充電されます。

CTSUS 電源状態制御を表 39.4 に示します。

表 39.4 CTSUS 電源の状態制御

CTSUCR1.CTSPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSUS 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注. 上記以外の設定は禁止です。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

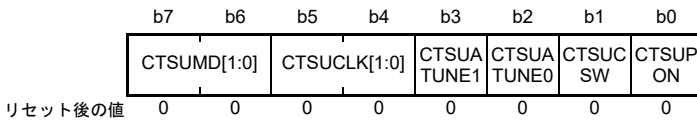
CTSUINIT ビット (CTSUS 制御部初期化)

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、CTSUSTRT ビットを 0 にして、同時に CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

39.2.2 CTSU コントロールレジスタ 1 (CTSUCR1)

アドレス CTSU.CTSUCR1 4008 1001h



ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSU 電源供給許可	0 : CTSU 電源 OFF 1 : CTSU 電源 ON	R/W
b1	CTSUCSW	CTSU LPF 容量充電制御	TSCAP 端子に接続される LPF 容量の充電を制御します。 0 : 容量スイッチ OFF 1 : 容量スイッチ ON	R/W
b2	CTSUA TUNE0	CTSU 電源動作モード設定	VCC ≥ 2.4V 0 : 通常動作モード 1 : 低電圧動作モード VCC < 2.4V 0 : 設定禁止 1 : 低電圧動作モード	R/W
b3	CTSUA TUNE1	CTSU 電源能力調整	0 : 通常出力 1 : 高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSU 動作クロック選択	b5 b4 0 0 : PCLKB 0 1 : PCLKB/2 1 0 : PCLKB/4 1 1 : 設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSU 計測モード選択	b7 b6 0 0 : 自己容量シングルスキャンモード 0 1 : 自己容量マルチスキャンモード 1 0 : 設定禁止 1 1 : 相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUPON ビット (CTSU 電源供給許可)

CTSU の電源制御を行います。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUCSW ビット (CTSU LPF 容量充電制御)

容量スイッチの ON/OFF により、TSCAP 端子に接続される LPF 容量の充電制御を行います。

容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSTRT を 1 にして計測を開始してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUA TUNE0 ビット (CTSU 電源動作モード設定)

CTSU の電源動作モードを設定します。CTSU を動作させる VCC の下限に応じて本ビットを設定してください。たとえば、バッテリー動作に応じて VCC が変動するシステムでタッチ計測を行う場合、初期の VCC 電圧にかかわらず本ビットを 1 にします。VCC 電圧範囲は 2 ~ 3V です。

CTSUA TUNE1 ビット (CTSU 電源能力調整)

CTSU の電源能力を設定します。通常は 0 にすることを推奨しています。

CTSUCLK[1:0] ビット (CTSU 動作クロック選択)

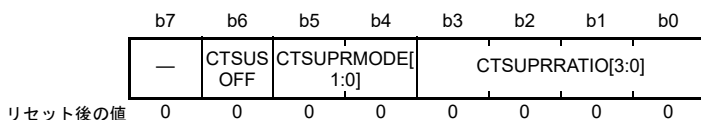
動作クロックを選択します。

CTSUMD[1:0] ビット (CTSU 計測モード選択)

計測モードを設定します。詳細は、39.3.2 計測モードを参照してください。

39.2.3 CTSU 同期ノイズ低減設定レジスタ (CTSUSDPRS)

アドレス CTSU.CTSUSDPRS 4008 1002h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO[3:0]	CTSU 計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定値 : 3 (0011b)	R/W
b5-b4	CTSUPRMODE[1:0]	CTSU 基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0 : 510パルス 0 1 : 126パルス 1 0 : 62パルス (推奨設定) 1 1 : 設定禁止	R/W
b6	CTSUSOFF	CTSU 高域ノイズ低減機能 OFF 設定	高域ノイズを低減するためのスペクトラム拡散機能を制御します。 0 : ONに設定 1 : OFFに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSDPRS レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUPRRATIO[3:0] ビット (CTSU 計測時間、計測パルス数調整)

以下の式を使用して計測時間と計測パルス数を設定し、CTSUPRMODE[1:0] ビットの設定により基本パルス数が決定されます。

$$\text{計測パルス数} = \text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1)$$

$$\text{計測時間} = (\text{基本パルス数} \times (\text{CTSUPRRATIO}[3:0] \text{ ビット} + 1) + \text{基本パルス数} - 2) \times 0.25 \times \text{ベースクロック周期}$$

注 . ベースクロック周期の詳細は、39.2.19 CTSU センサオフセットレジスタ 1 (CTSUSO1) を参照してください。

CTSUPRMODE[1:0] ビット (CTSU 基本周期、基本パルス数設定)

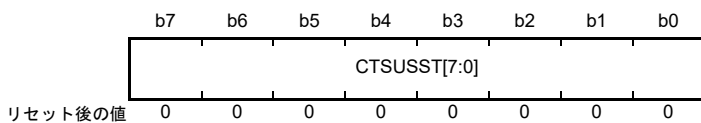
計測で発生する基本パルス数を選択します。

CTSUSOFF ビット (CTSU 高域ノイズ低減機能 OFF 設定)

高域ノイズを低減する機能の ON/OFF を設定します。1 にすると OFF になります。

39.2.4 CTSU センサ安定待ち時間コントロールレジスタ (CTSUSST)

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUSST センサ安定待ち時間制御	固定値 00010000b にしてください。	R/W

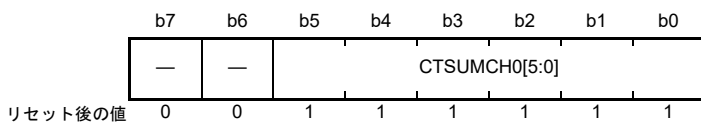
CTSUSST レジスタの設定は、CTSUCR0.CTSUSSTRT ビットが 0 のときのみ行ってください。

CTSUSST[7:0] ビット (CTSUSST センサ安定待ち時間制御)

TSCAP 端子の電圧の安定待ち時間を設定します。常に 00010000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧が不安定となり、CTSUSST は正確なタッチ計測を行えません。

39.2.5 CTSU 計測チャンネルレジスタ 0 (CTSUCR0) (CTSUCR0)

アドレス CTSU.CTSUCR0 4008 1004h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUCR0[5:0]	CTSUCR0計測チャンネル0	<p>自己容量シングルスキャンモードでは、計測するCTSUCR0のチャンネルを設定します。</p> <p>b5 b0</p> <p>0 0 0 0 0 0: TS00 0 0 0 0 0 1: TS01 0 0 0 0 1 0: TS02 0 0 0 0 1 1: TS03 0 0 0 1 0 0: TS04 0 0 0 1 0 1: TS05 0 0 0 1 1 0: TS06 0 0 0 1 1 1: TS07 0 0 1 0 0 0: TS08 0 0 1 0 0 1: TS09 0 0 1 0 1 0: TS10 0 0 1 0 1 1: TS11 0 0 1 1 0 0: TS12 0 0 1 1 0 1: TS13 0 0 1 1 1 0: TS14 0 0 1 1 1 1: TS15 0 1 0 0 0 0: TS16 0 1 0 0 0 1: TS17 0 1 0 0 1 0: TS18 0 1 0 0 1 1: TS19 0 1 0 1 0 0: TS20 0 1 0 1 0 1: TS21 0 1 0 1 1 0: TS22 0 1 1 0 0 1: TS25 0 1 1 0 1 0: TS26 0 1 1 0 1 1: TS27 0 1 1 1 0 0: TS28 0 1 1 1 0 1: TS29</p> <p>特に指定のない限り、上記ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測を開始することは禁止されています。</p>	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b5-b0	CTSUMCH0[5:0]	CTSU計測チャンネル0	他の計測モードでは、現在計測中のチャンネルを示します。 b5 b0 0 0 0 0 0 0: TS00 0 0 0 0 0 1: TS01 0 0 0 0 1 0: TS02 0 0 0 0 1 1: TS03 0 0 0 1 0 0: TS04 0 0 0 1 0 1: TS05 0 0 0 1 1 0: TS06 0 0 0 1 1 1: TS07 0 0 1 0 0 0: TS08 0 0 1 0 0 1: TS09 0 0 1 0 1 0: TS10 0 0 1 0 1 1: TS11 0 0 1 1 0 0: TS12 0 0 1 1 0 1: TS13 0 0 1 1 1 0: TS14 0 0 1 1 1 1: TS15 0 1 0 0 0 0: TS16 0 1 0 0 0 1: TS17 0 1 0 0 1 0: TS18 0 1 0 0 1 1: TS19 0 1 0 1 0 0: TS20 0 1 0 1 0 1: TS21 0 1 0 1 1 0: TS22 0 1 1 0 0 1: TS25 0 1 1 0 1 0: TS26 0 1 1 0 1 1: TS27 0 1 1 1 0 0: TS28 0 1 1 1 0 1: TS29 1 1 1 1 1 1: 計測停止中	R/W (注1)
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. 自己容量シングルスキャンモード (CTSUCR1.CTSUMD[1:0] ビット = 00b) 時のみ、書き込み可能です。

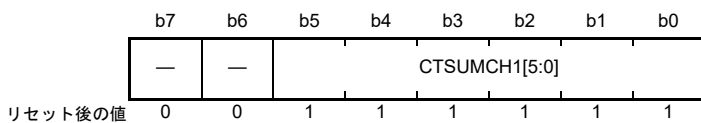
CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUMCH0[5:0] ビット (CTSU 計測チャンネル0)

自己容量シングルスキャンモードでは、計測する CTSU のチャンネルを設定します。このモードでは、有効なチャンネル (000000b ~ 010110b、011001b ~ 011101b) のみ指定します。それ以外のモードでは計測中の受信チャンネルを示し、書き込みは無効になります。

39.2.6 CTSU 計測チャンネルレジスタ 1 (CTSUMCH1)

アドレス CTSU.CTSUMCH1 4008 1005h



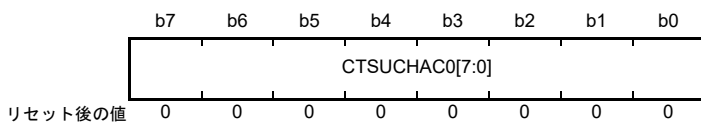
ビット	シンボル	ビット名	機能	R/W																																																																																										
b5-b0	CTSUMCH1[5:0]	CTSU計測チャンネル1	<table border="0" style="font-size: small;"> <tr> <td style="text-align: right;">b5</td> <td style="text-align: left;">b0</td> <td></td> </tr> <tr> <td>0 0 0 0 0</td> <td>0</td> <td>: TS00</td> </tr> <tr> <td>0 0 0 0 0</td> <td>1</td> <td>: TS01</td> </tr> <tr> <td>0 0 0 0 1</td> <td>0</td> <td>: TS02</td> </tr> <tr> <td>0 0 0 0 1</td> <td>1</td> <td>: TS03</td> </tr> <tr> <td>0 0 0 1 0</td> <td>0</td> <td>: TS04</td> </tr> <tr> <td>0 0 0 1 0</td> <td>1</td> <td>: TS05</td> </tr> <tr> <td>0 0 0 1 1</td> <td>0</td> <td>: TS06</td> </tr> <tr> <td>0 0 0 1 1</td> <td>1</td> <td>: TS07</td> </tr> <tr> <td>0 0 1 0 0</td> <td>0</td> <td>: TS08</td> </tr> <tr> <td>0 0 1 0 0</td> <td>1</td> <td>: TS09</td> </tr> <tr> <td>0 0 1 0 1</td> <td>0</td> <td>: TS10</td> </tr> <tr> <td>0 0 1 0 1</td> <td>1</td> <td>: TS11</td> </tr> <tr> <td>0 0 1 1 0</td> <td>0</td> <td>: TS12</td> </tr> <tr> <td>0 0 1 1 0</td> <td>1</td> <td>: TS13</td> </tr> <tr> <td>0 0 1 1 1</td> <td>0</td> <td>: TS14</td> </tr> <tr> <td>0 0 1 1 1</td> <td>1</td> <td>: TS15</td> </tr> <tr> <td>0 1 0 0 0</td> <td>0</td> <td>: TS16</td> </tr> <tr> <td>0 1 0 0 0</td> <td>1</td> <td>: TS17</td> </tr> <tr> <td>0 1 0 0 1</td> <td>0</td> <td>: TS18</td> </tr> <tr> <td>0 1 0 0 1</td> <td>1</td> <td>: TS19</td> </tr> <tr> <td>0 1 0 1 0</td> <td>0</td> <td>: TS20</td> </tr> <tr> <td>0 1 0 1 0</td> <td>1</td> <td>: TS21</td> </tr> <tr> <td>0 1 0 1 1</td> <td>0</td> <td>: TS22</td> </tr> <tr> <td>0 1 1 0 0</td> <td>1</td> <td>: TS25</td> </tr> <tr> <td>0 1 1 0 1</td> <td>0</td> <td>: TS26</td> </tr> <tr> <td>0 1 1 0 1</td> <td>1</td> <td>: TS27</td> </tr> <tr> <td>0 1 1 1 0</td> <td>0</td> <td>: TS28</td> </tr> <tr> <td>0 1 1 1 0</td> <td>1</td> <td>: TS29</td> </tr> <tr> <td>1 1 1 1 1</td> <td>1</td> <td>: 計測停止中</td> </tr> </table>	b5	b0		0 0 0 0 0	0	: TS00	0 0 0 0 0	1	: TS01	0 0 0 0 1	0	: TS02	0 0 0 0 1	1	: TS03	0 0 0 1 0	0	: TS04	0 0 0 1 0	1	: TS05	0 0 0 1 1	0	: TS06	0 0 0 1 1	1	: TS07	0 0 1 0 0	0	: TS08	0 0 1 0 0	1	: TS09	0 0 1 0 1	0	: TS10	0 0 1 0 1	1	: TS11	0 0 1 1 0	0	: TS12	0 0 1 1 0	1	: TS13	0 0 1 1 1	0	: TS14	0 0 1 1 1	1	: TS15	0 1 0 0 0	0	: TS16	0 1 0 0 0	1	: TS17	0 1 0 0 1	0	: TS18	0 1 0 0 1	1	: TS19	0 1 0 1 0	0	: TS20	0 1 0 1 0	1	: TS21	0 1 0 1 1	0	: TS22	0 1 1 0 0	1	: TS25	0 1 1 0 1	0	: TS26	0 1 1 0 1	1	: TS27	0 1 1 1 0	0	: TS28	0 1 1 1 0	1	: TS29	1 1 1 1 1	1	: 計測停止中	R
b5	b0																																																																																													
0 0 0 0 0	0	: TS00																																																																																												
0 0 0 0 0	1	: TS01																																																																																												
0 0 0 0 1	0	: TS02																																																																																												
0 0 0 0 1	1	: TS03																																																																																												
0 0 0 1 0	0	: TS04																																																																																												
0 0 0 1 0	1	: TS05																																																																																												
0 0 0 1 1	0	: TS06																																																																																												
0 0 0 1 1	1	: TS07																																																																																												
0 0 1 0 0	0	: TS08																																																																																												
0 0 1 0 0	1	: TS09																																																																																												
0 0 1 0 1	0	: TS10																																																																																												
0 0 1 0 1	1	: TS11																																																																																												
0 0 1 1 0	0	: TS12																																																																																												
0 0 1 1 0	1	: TS13																																																																																												
0 0 1 1 1	0	: TS14																																																																																												
0 0 1 1 1	1	: TS15																																																																																												
0 1 0 0 0	0	: TS16																																																																																												
0 1 0 0 0	1	: TS17																																																																																												
0 1 0 0 1	0	: TS18																																																																																												
0 1 0 0 1	1	: TS19																																																																																												
0 1 0 1 0	0	: TS20																																																																																												
0 1 0 1 0	1	: TS21																																																																																												
0 1 0 1 1	0	: TS22																																																																																												
0 1 1 0 0	1	: TS25																																																																																												
0 1 1 0 1	0	: TS26																																																																																												
0 1 1 0 1	1	: TS27																																																																																												
0 1 1 1 0	0	: TS28																																																																																												
0 1 1 1 0	1	: TS29																																																																																												
1 1 1 1 1	1	: 計測停止中																																																																																												
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W																																																																																										

CTSUMCH1[5:0] ビット (CTSU 計測チャンネル1)

フルスキャンモード時、計測中の送信チャンネルを示します。計測停止中、または自己容量シングルスキャンモード時およびマルチスキャンモード時は、必ず 111111b になります。

39.2.7 CTSU チャネルイネーブルコントロールレジスタ 0 (CTSUCHAC0)

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0]	CTSU チャネル有効制御 0	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS00～TS07端子の設定を行います。	R/W

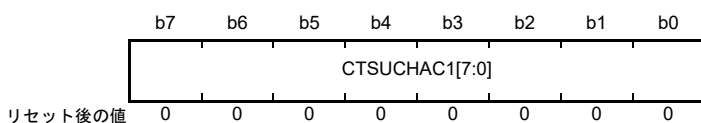
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC0[7:0] ビット (CTSU チャネル有効制御 0)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0] は TS00 に、CTSUCHAC0[7] は TS07 に対応します。

39.2.8 CTSU チャネルイネーブルコントロールレジスタ 1 (CTSUCHAC1)

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0]	CTSU チャネル有効制御 1	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS08～TS15端子の設定を行います。	R/W

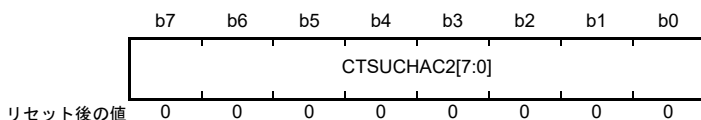
CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC1[7:0] ビット (CTSU チャネル有効制御 1)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0] は TS08 に、CTSUCHAC1[7] は TS15 に対応します。

39.2.9 CTSU チャネルイネーブルコントロールレジスタ 2 (CTSUCHAC2)

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC2[7:0]	CTSUSチャネル有効制御2	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS16～TS22端子の設定を行います。	R/W

注． 本MCUはTS23端子には対応していません。そのため、CTSUCHAC2[7]を読むと0が読めます。書く場合、0としてください。

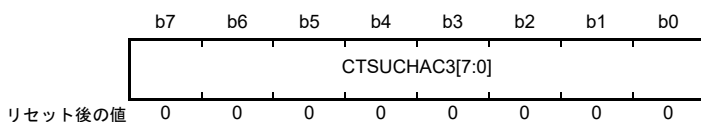
CTSUCHAC2レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHAC2[7:0]ビット (CTSUSチャネル有効制御2)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[0]はTS16に、CTSUCHAC2[6]はTS22に対応します。

39.2.10 CTSU チャネルイネーブルコントロールレジスタ 3 (CTSUCHAC3)

アドレス CTSU.CTSUCHAC3 4008 1009h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC3[7:0]	CTSUSチャネル有効制御3	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS25～TS29端子の設定を行います。	R/W

注． 本MCUはTS24端子、TS30端子、およびTS31端子には対応していません。そのため、CTSUCHAC3[0]、CTSUCHAC3[6]、およびCTSUCHAC3[7]を読むと0が読めます。書く場合、0としてください。

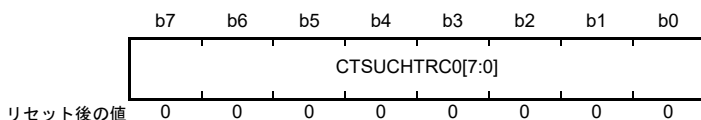
CTSUCHAC3レジスタの設定は、CTSUCR0.CTSUSTRTビットが0のときのみ行ってください。

CTSUCHAC3[7:0]ビット (CTSUSチャネル有効制御3)

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC3[1]はTS25に、CTSUCHAC3[5]はTS29に対応します。

39.2.11 CTSU チャネル送受信コントロールレジスタ 0 (CTSUCHTRC0)

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUチャネル送受信制御0	0: 受信 1: 送信 本ビットはTS00～TS07端子の設定を行います。	R/W

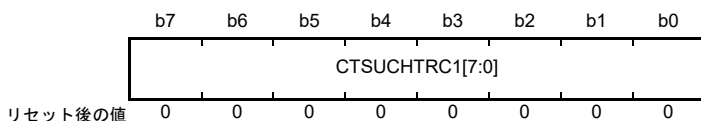
CTSUCHTRC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHTRC0[7:0] ビット (CTSU チャネル送受信制御0)

フルスキャンモード時、関連する TS 端子の受信/送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC0[0] は TS00 に、CTSUCHTRC0[7] は TS07 に対応します。

39.2.12 CTSU チャネル送受信コントロールレジスタ 1 (CTSUCHTRC1)

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUチャネル送受信制御1	0: 受信 1: 送信 本ビットはTS08～TS15端子の設定を行います。	R/W

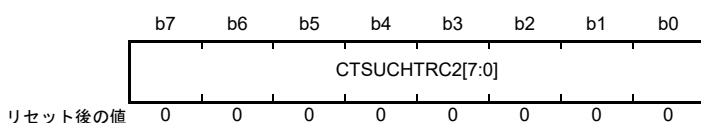
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが0のときのみ行ってください。

CTSUCHTRC1[7:0] ビット (CTSU チャネル送受信制御1)

フルスキャンモード時、関連する TS 端子の受信/送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC1[0] は TS08 に、CTSUCHTRC1[7] は TS15 に対応します。

39.2.13 CTSU チャネル送受信コントロールレジスタ 2 (CTSUCHTRC2)

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC2[7:0]	CTSU チャネル送受信制御2	0 : 受信 1 : 送信 本ビットはTS16～TS22端子の設定を行います。	R/W

注. 本 MCU は TS23 端子には対応していません。そのため、CTSUCHTRC2[7] を読むと 0 が読めます。書く場合、0 としてください。

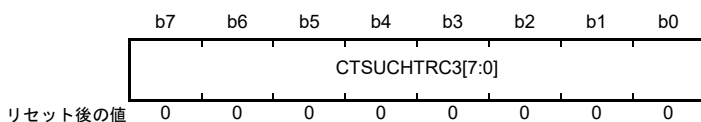
CTSUCHTRC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC2[7:0] ビット (CTSU チャネル送受信制御 2)

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC2[0] は TS16 に、CTSUCHTRC2[6] は TS22 に対応します。

39.2.14 CTSU チャネル送受信コントロールレジスタ 3 (CTSUCHTRC3)

アドレス CTSU.CTSUCHTRC3 4008 100Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC3[7:0]	CTSU チャネル送受信制御3	0 : 受信 1 : 送信 本ビットはTS25～TS29端子の設定を行います。	R/W

注. 本 MCU は TS24 端子、TS30 端子、および TS31 端子には対応していません。そのため、CTSUCHTRC3[0]、CTSUCHTRC3[6]、および CTSUCHTRC3[7] を読むと 0 が読めます。書く場合、0 としてください。

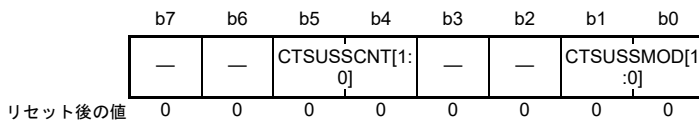
CTSUCHTRC3 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC3[7:0] ビット (CTSU チャネル送受信制御 3)

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC3[1] は TS25 に、CTSUCHTRC3[5] は TS29 に対応します。

39.2.15 CTSU 高域ノイズ低減コントロールレジスタ (CTSUDCLKC)

アドレス CTSU.CTSUDCLKC 4008 1010h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU 拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUSSMOD[1:0] ビット (CTSU 拡散クロックモード選択)

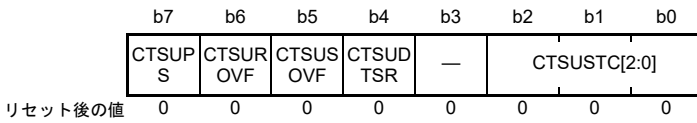
高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSU は効果的に高域ノイズを低減できません。

CTSUSSCNT[1:0] ビット (CTSU 拡散クロックモード制御)

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われな可能性がります。

39.2.16 CTSU ステータスレジスタ (CTSUST)

アドレス CTSU.CTSUST 4008 1011h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0 : Status0 0 0 1 : Status1 0 1 0 : Status2 0 1 1 : Status3 1 0 0 : Status4 1 0 1 : Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSUDTSR	CTSUデータ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0 : 読み出しあり 1 : 読み出しなし	R
b5	CTSUSOVF	CTSUSセンサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生	R/W
b6	CTSUROVF	CTSURリファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0 : オーバーフロー発生なし 1 : オーバーフロー発生	R/W
b7	CTSUPS	CTSUS相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0 : 1回目の計測 1 : 2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

CTSUSTC[2:0] フラグ (CTSUS 計測ステータスカウンタ)

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、39.3.2.2 ステータスカウンタを参照してください。

CTSUDTSR フラグ (CTSUS データ転送ステータスフラグ)

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ (CTSUS センサカウンタオーバーフローフラグ)

センサカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ (CTSU リファレンスカウンタオーバーフローフラグ)

リファレンスカウンタ (CTSUSC) でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャンネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャンネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

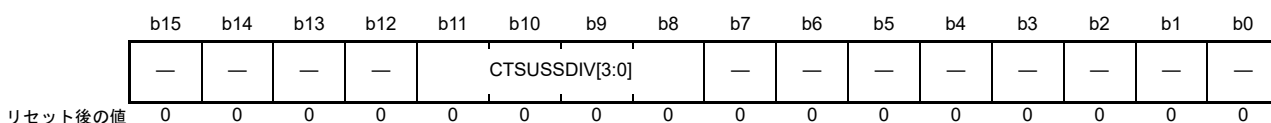
CTSUPS フラグ (CTSU 相互容量計測ステータスフラグ)

相互容量フルスキャンモード (CTSUCR1.CTSUMD[1:0] = 11b) のとき、1 チャンネルあたり 2 回の計測において計測順位が 1 回目なのか 2 回目なのかを示します。

計測停止時、またはその他の計測モードの場合は 0 になります。

39.2.17 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ (CTSUSSC)

アドレス CTSU.CTSUSSC 4008 1012h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSSDIV[3:0] ビット (CTSU スペクトラム拡散分周設定)

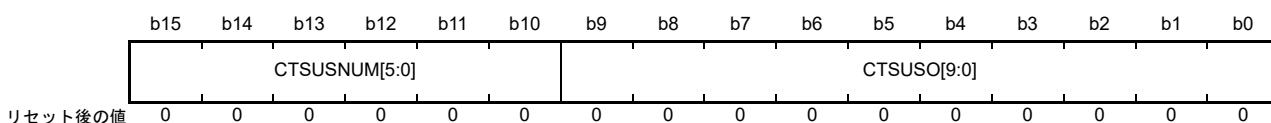
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 39.5 でベースクロック周波数と設定値の関係を参照してください。

表 39.5 ベースクロック周波数とCTSUSSDIV[3:0]ビットの設定値の関係

ベースクロック周波数 fb (MHz)	CTSUSSDIV[3:0] ビットの設定値
$4.00 \leq fb$	0000b
$2.00 \leq fb < 4.00$	0001b
$1.33 \leq fb < 2.00$	0010b
$1.00 \leq fb < 1.33$	0011b
$0.80 \leq fb < 1.00$	0100b
$0.67 \leq fb < 0.80$	0101b
$0.57 \leq fb < 0.67$	0110b
$0.50 \leq fb < 0.57$	0111b
$0.44 \leq fb < 0.50$	1000b
$0.40 \leq fb < 0.44$	1001b
$0.36 \leq fb < 0.40$	1010b
$0.33 \leq fb < 0.36$	1011b
$0.31 \leq fb < 0.33$	1100b
$0.29 \leq fb < 0.31$	1101b
$0.27 \leq fb < 0.29$	1110b
$fb < 0.27$	1111b

39.2.18 CTSU センサオフセットレジスタ 0 (CTSUSO0)

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUSOセンサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9 0 0 0 0 0 0 0 0 0 0 : 電流オフセット量0 0 0 0 0 0 0 0 0 0 1 : 電流オフセット量1 0 0 0 0 0 0 0 0 1 0 : 電流オフセット量2 : 1 1 1 1 1 1 1 1 1 0 : 電流オフセット量1022 1 1 1 1 1 1 1 1 1 1 : 電流オフセット量最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSUSNUM計測回数設定	CTSUSNUMの計測回数を設定します。	R/W

CTSUSO[9:0] ビット (CTSUSO センサオフセット調整)

タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSUSO センサカウンタのオーバーフローを防止します。

次に計測する TS 端子の設定は、CTSUSO_CTSUWR 割り込みの発生後に行ってください。

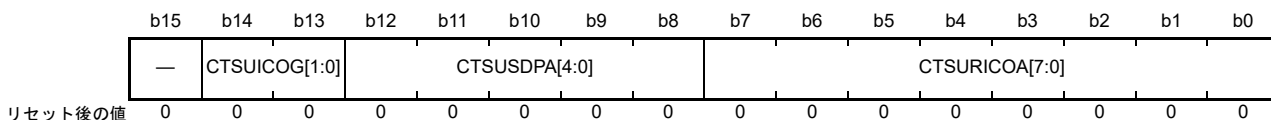
CTSUSNUM[5:0] ビット (CTSUSNUM 計測回数設定)

CTSUSNUM.CTSUSNUMRATIO[3:0] ビットおよび CTSUSNUM.CTSUSNUMMODE[1:0] ビットで指定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は (CTSUSNUM[5:0] ビット + 1) となります。

次に計測する TS 端子の設定は、CTSUSO_CTSUWR 割り込みの発生後に行ってください。

39.2.19 CTSU センサオフセットレジスタ 1 (CTSUSO1)

アドレス CTSU.CTSUSO1 4008 1016h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUS リファレンス ICO 電流調整	リファレンス ICO の入力電流を調整します。 b7 b0 0 0 0 0 0 0 0 0 : 電流オフセット量0 0 0 0 0 0 0 0 1 : 電流オフセット量1 0 0 0 0 0 0 1 0 : 電流オフセット量2 : 1 1 1 1 1 1 1 0 : 電流オフセット量254 1 1 1 1 1 1 1 1 : 電流オフセット量最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUS ベースクロック設定	CTSUS のベースクロックを生成します。 b12 b8 0 0 0 0 0 0 : 動作クロックの2分周 (注1) 0 0 0 0 0 1 : 動作クロックの4分周 0 0 0 0 1 0 : 動作クロックの6分周 0 0 0 0 1 1 : 動作クロックの8分周 0 0 1 0 0 0 : 動作クロックの10分周 0 0 1 0 0 1 : 動作クロックの12分周 0 0 1 1 0 0 : 動作クロックの14分周 0 0 1 1 0 1 : 動作クロックの16分周 0 1 0 0 0 0 : 動作クロックの18分周 0 1 0 0 0 1 : 動作クロックの20分周 0 1 0 1 0 0 : 動作クロックの22分周 0 1 0 1 0 1 : 動作クロックの24分周 0 1 1 0 0 0 : 動作クロックの26分周 0 1 1 0 0 1 : 動作クロックの28分周 0 1 1 1 0 0 : 動作クロックの30分周 0 1 1 1 0 1 : 動作クロックの32分周 1 0 0 0 0 0 : 動作クロックの34分周 1 0 0 0 0 1 : 動作クロックの36分周 1 0 0 1 0 0 : 動作クロックの38分周 1 0 0 1 0 1 : 動作クロックの40分周 1 0 1 0 0 0 : 動作クロックの42分周 1 0 1 0 0 1 : 動作クロックの44分周 1 0 1 1 0 0 : 動作クロックの46分周 1 0 1 1 0 1 : 動作クロックの48分周 1 1 0 0 0 0 : 動作クロックの50分周 1 1 0 0 0 1 : 動作クロックの52分周 1 1 0 1 0 0 : 動作クロックの54分周 1 1 0 1 0 1 : 動作クロックの56分周 1 1 1 0 0 0 : 動作クロックの58分周 1 1 1 0 0 1 : 動作クロックの60分周 1 1 1 1 0 0 : 動作クロックの62分周 1 1 1 1 0 1 : 動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSUS ICO ゲイン調整	センサICO とリファレンスICO の出力周波数ゲインを調整します。 b14 b13 0 0 : ゲイン100% 0 1 : ゲイン66% 1 0 : ゲイン50% 1 1 : ゲイン40%	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 相互容量フルスキャンモード時 (CTSUCR1.CTSMUMD[1:0] = 11b) の高域ノイズ低減機能 OFF 状態 (CTSUSDPRS.CTSSUSOFF = 1) では、CTSUSDPA[4:0] ビットを 00000b にしないでください。

CTSUS_CTSUWR 割り込み発生後に、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します。(表 39.6、表 39.7 を参照してください)。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット (CTSUS リファレンス ICO 電流調整)

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット (CTSUS ベースクロック設定)

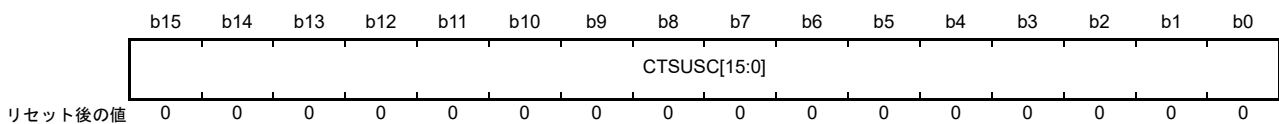
動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、39.3.2.1 初期設定フローを参照してください。

CTSUICOG[1:0] ビット (CTSUS ICO ゲイン調整)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲインの 00b にします。非タッチ時—タッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、本設定で適切なゲインに調整してください。

39.2.20 CTSUS センサカウンタ (CTSUSC)

アドレス CTSUS.CTSUSC 4008 1018h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUS センサカウンタ	センサICOの計測結果を示します。オーバーフロー発生時は FFFFh が読み出されます。	R

CTSUS_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

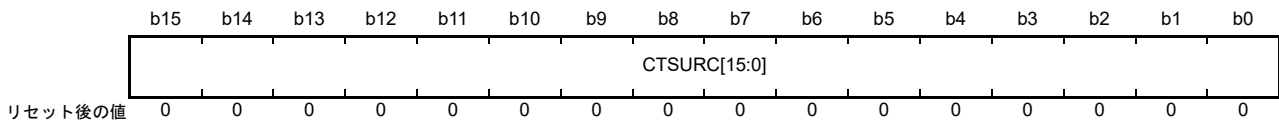
CTSUSC[15:0] ビット (CTSUS センサカウンタ)

センサ ICO 用のインクリメントカウンタです。

CTSUS_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、CTSUS 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

39.2.21 CTSU リファレンスカウンタ (CTSURC)

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUS リファレンスカウンタ	リファレンス ICO の計測結果を示します。オーバーフロー発生時は FFFFh が読み出されます。	R

CTSUS_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

CTSURC[15:0] ビット (CTSUS リファレンスカウンタ)

リファレンス ICO クロック用のインクリメントカウンタです。

リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSUS に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流一周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流一発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得でき、リファレンス ICO 電流調整ビットに値を設定してリファレンス ICO カウンタを計測することで、入力電流に対する ICO 発振周波数 (カウンタ値 / 計測時間) を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSUS_CTSURD 割り込み発生後に読み出してください。本ビットは読み出し後に、CTSUS 計測ステータスカウンタ値が Status4 に遷移 (CTSUST.CTSUSTC[2:0] フラグが 100b に遷移) する直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

39.2.22 CTSU エラーステータスレジスタ (CTSUERRS)

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CTSUI COMP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。	R
b15	CTSUICOMP	TSCAP 電圧異常監視	TSCAP 電圧の異常なステータスを監視します。 0 : TSCAP 電圧正常 1 : TSCAP 電圧異常	R

CTSUICOMP ビット (TSCAP 電圧異常監視)

CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは TSCAP 電圧を監視し、電圧異常となった場合は 1 になります。センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了するので、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット (CTSURICOA[7:0]) を 0 以外の値にしてある場合は、必ずタッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

39.3 動作説明

39.3.1 計測動作原理

図 39.4 に計測部回路を示します。

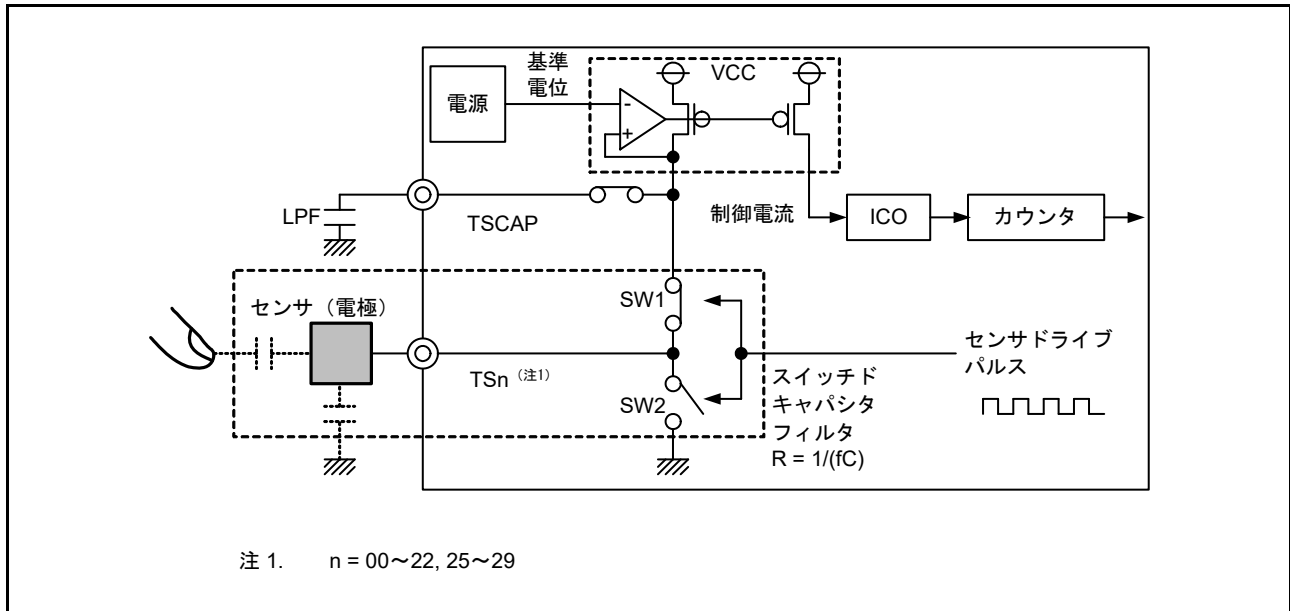


図 39.4 計測部回路

図 39.5 ~ 図 39.7 に CTSU の電流周波数変換の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます。図 39.5 を参照してください。
2. SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます。図 39.6 を参照してください。
3. 手順 1. および 2. に示す電極の充放電の切り替えを繰り返すことにより、スイッチドキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します。図 39.7 を参照してください。

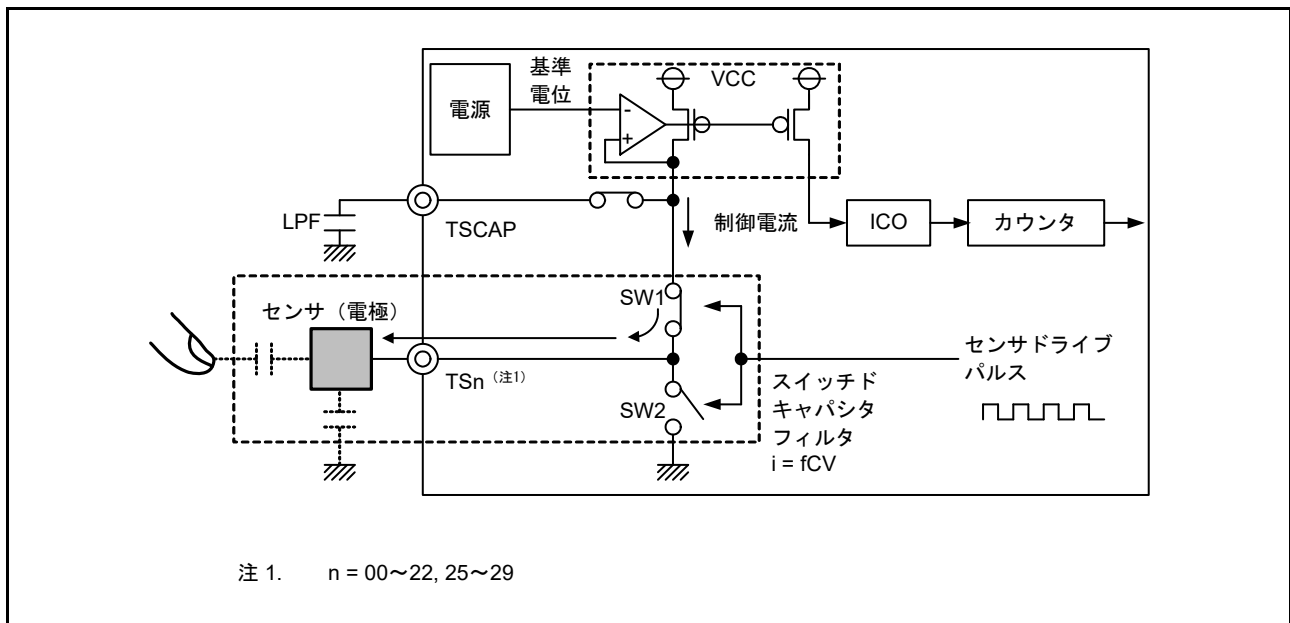


図 39.5 充電動作

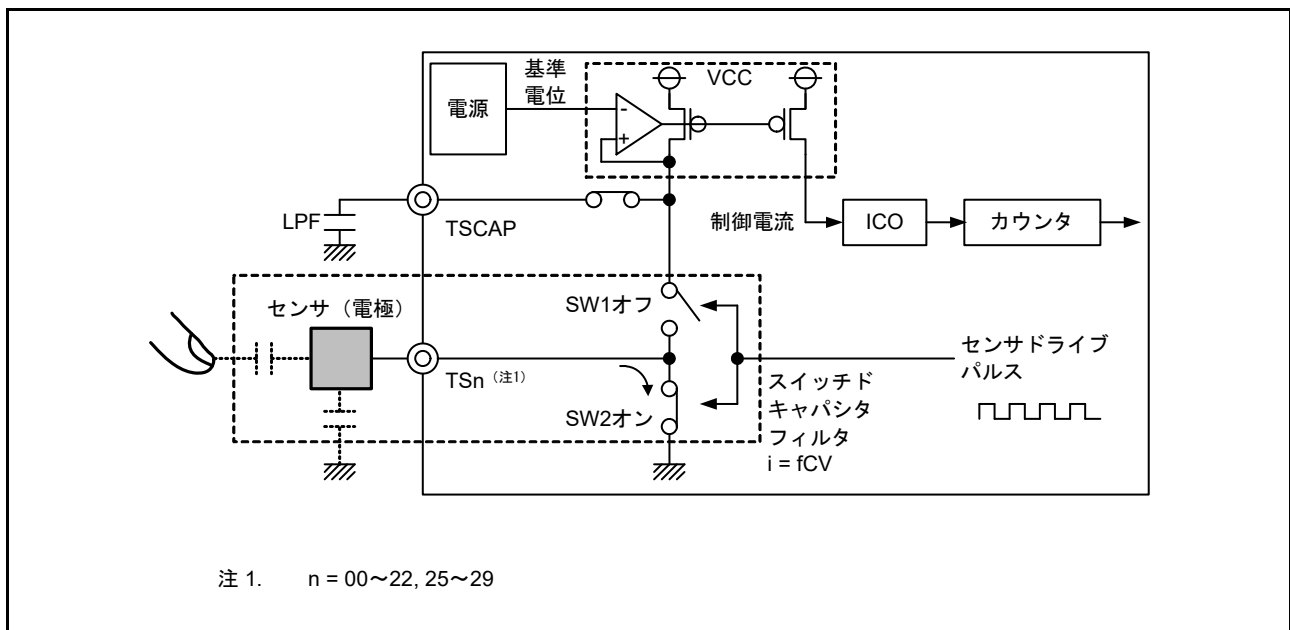


図 39.6 放電動作

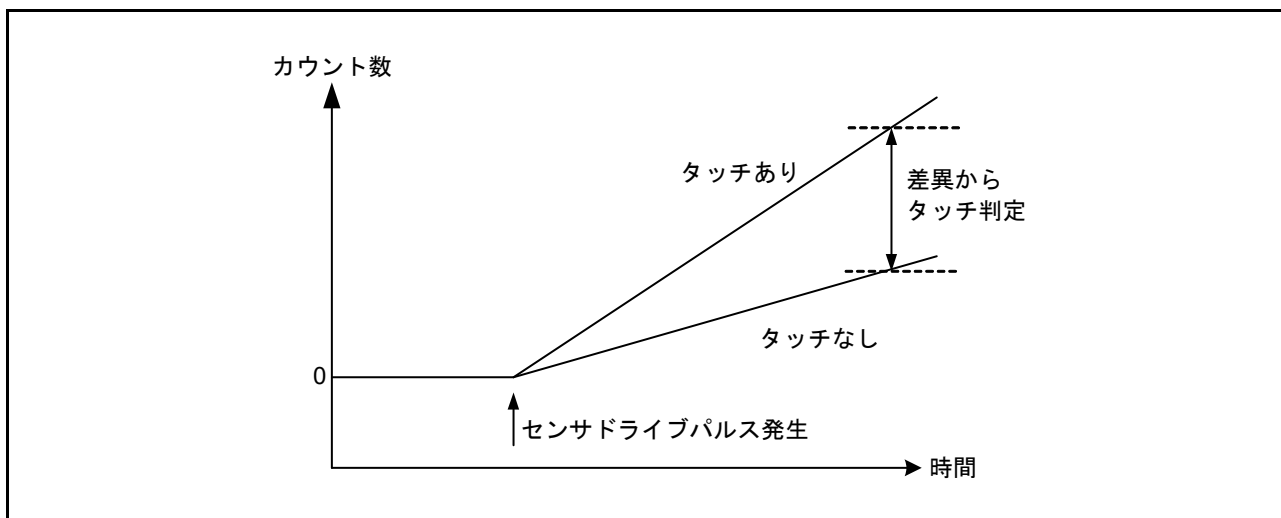


図 39.7 接触／非接触による計測値の変化

39.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 39.8 に自己容量方式と相互容量方式の概要を示します。

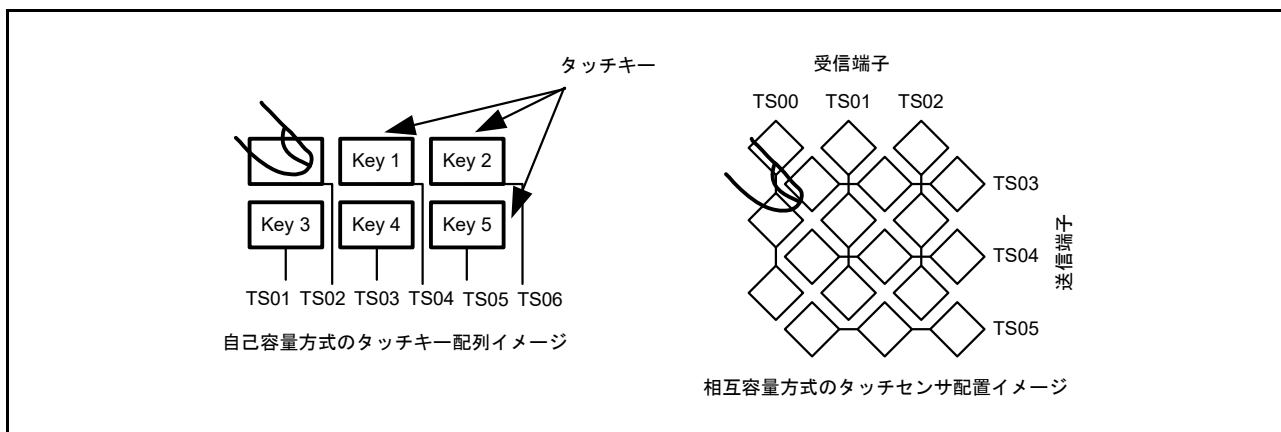


図 39.8 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。

相互容量方式では、対向する2つの電極（送信端子と受信端子）間の容量を計測します。

39.3.2.1 初期設定フロー

図 39.9 に、CTSUS の初期設定フローを示します。

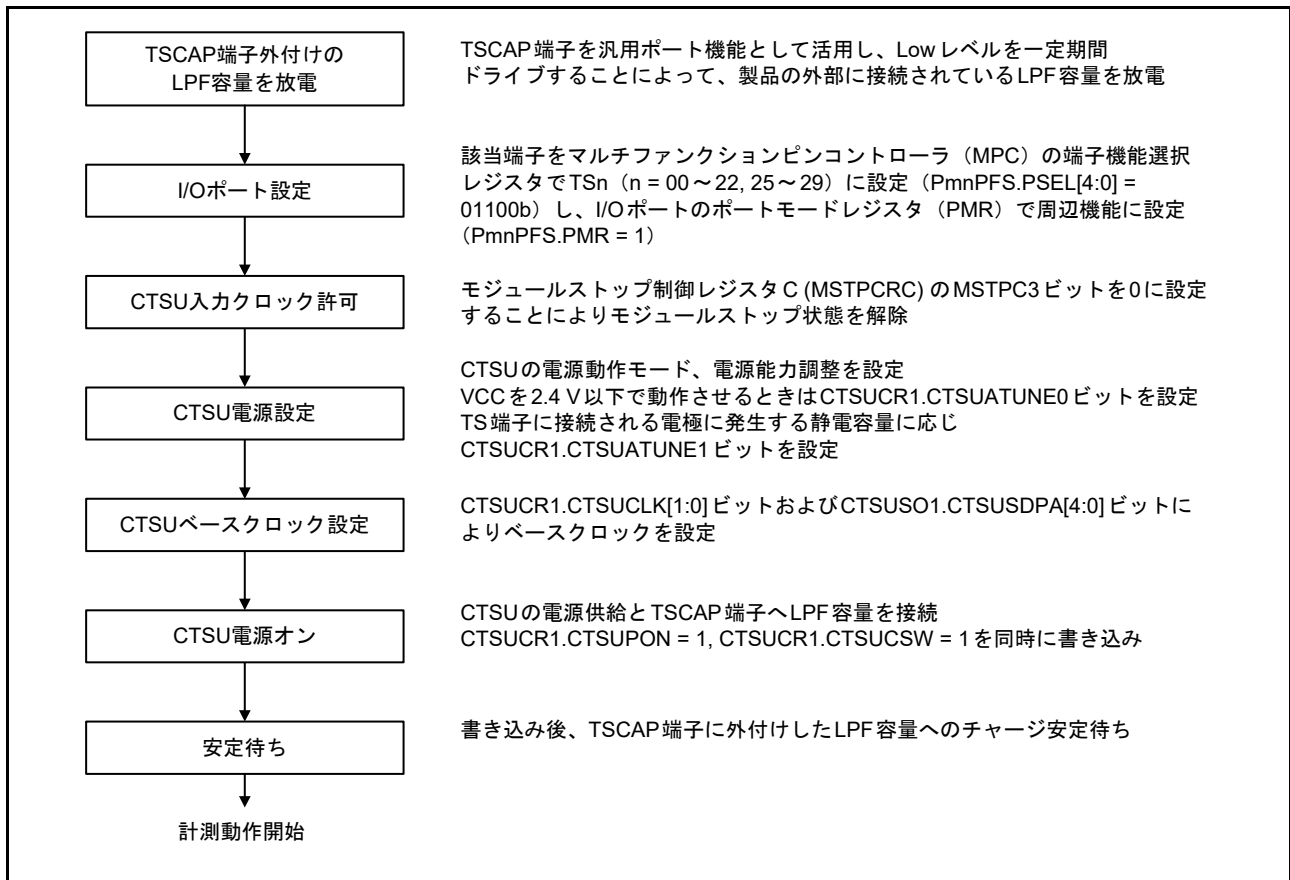


図 39.9 CTSUS 初期設定フロー

図 39.10 に、CTSUS の動作を停止させスタンバイ状態にするフローを示します。

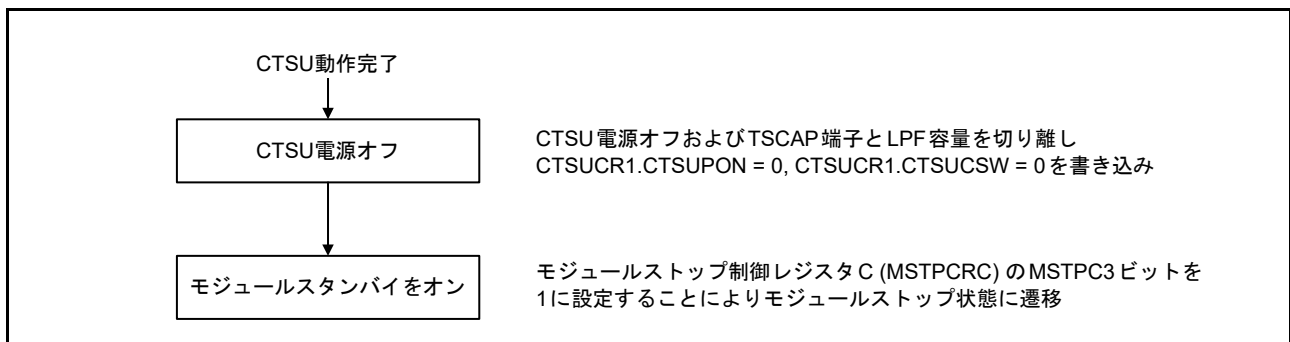


図 39.10 CTSUS 停止フロー

動作を再開する場合は、図 39.9 の初期設定フローに従ってください。

39.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ (CTSUST) は、現在の計測ステータスを示します。計測ステータスは、3つの計測モードに適用できます。図 39.11 にステータス動作遷移図を示します。

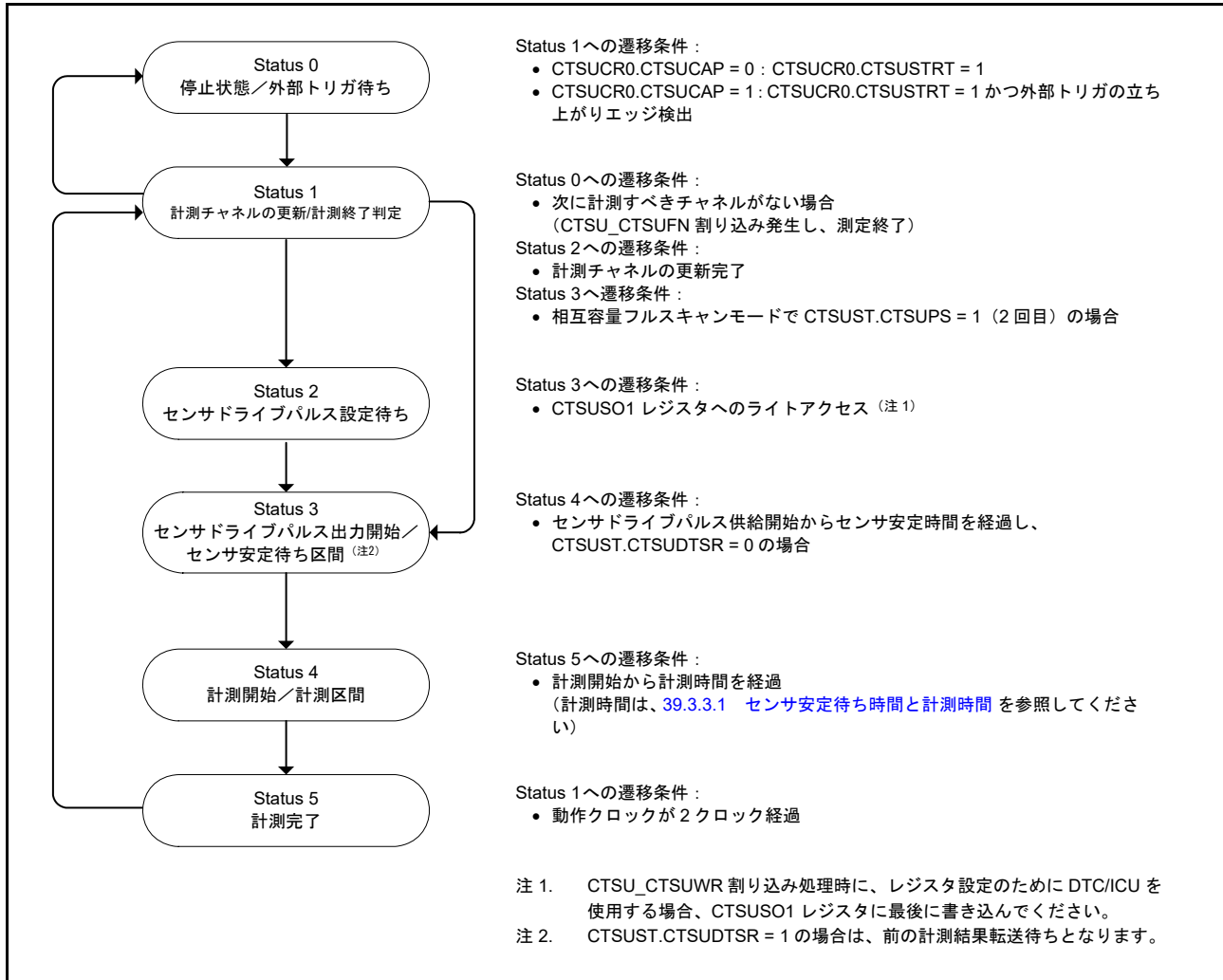


図 39.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャンネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にクリアされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する (CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む) ことにより、Status0 に遷移して計測は停止します。

以下の場合、計測するチャンネルはありません。

- CTSUCHAC0 ~ CTSUCHAC3 レジスタに計測対象チャンネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャンネルが CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0 ~ CTSUCHAC3 レジスタ、CTSUCHTRC0 ~ CTSUCHTRC3 レジスタの組み合わせで計測する送信チャンネルまたは受信チャンネルがない場合

これらの設定に基づき計測するチャンネルがない場合、Status1 への遷移後すぐに CTSU_CTSUFN 割り込みが発生し、カウンタは Status0 になります。

39.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードでは、任意の1チャンネルの静電容量を計測します。図 39.12 にソフトウェアフローと動作例を、図 39.13 にタイミングを示します。

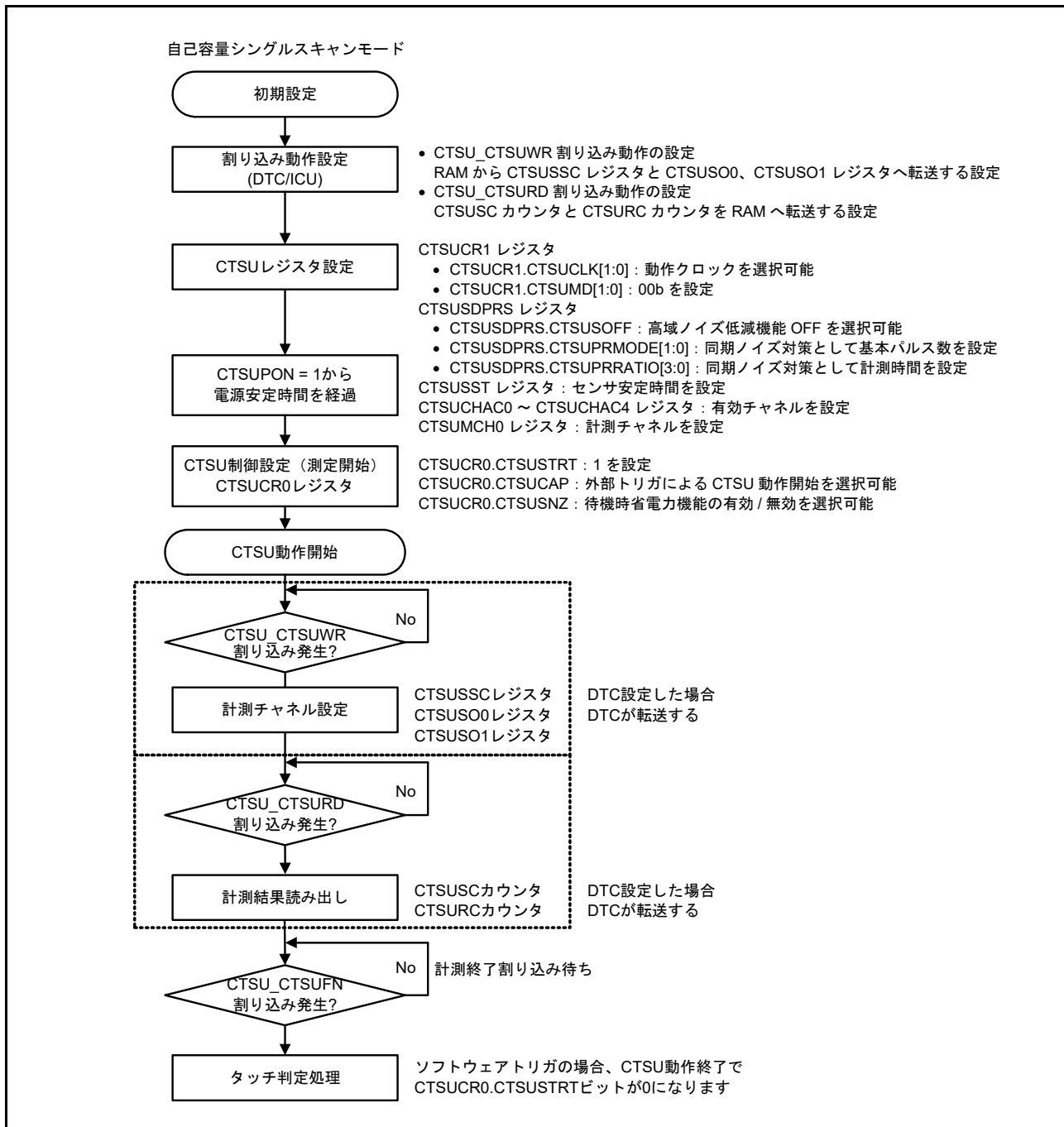


図 39.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

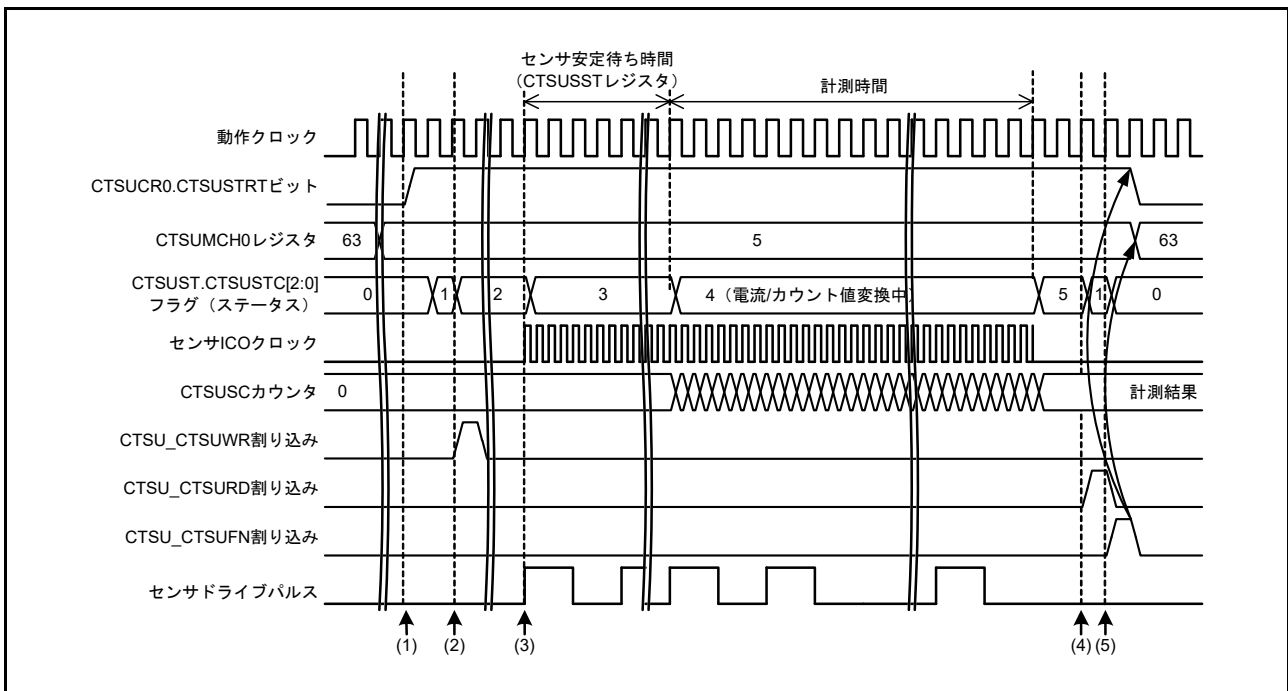


図 39.13 自己容量シングルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 39.13 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、関連するチャンネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 計測終了割り込み (CTSU_CTSUFN) を出力して計測終了 (Status0 へ遷移) します。

表 39.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 39.6 自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

39.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に指定したすべてのチャンネルに対して、静電容量を昇順で順次計測します。図 39.14 にソフトウェアフローと動作例を、図 39.15 にタイミングを示します。

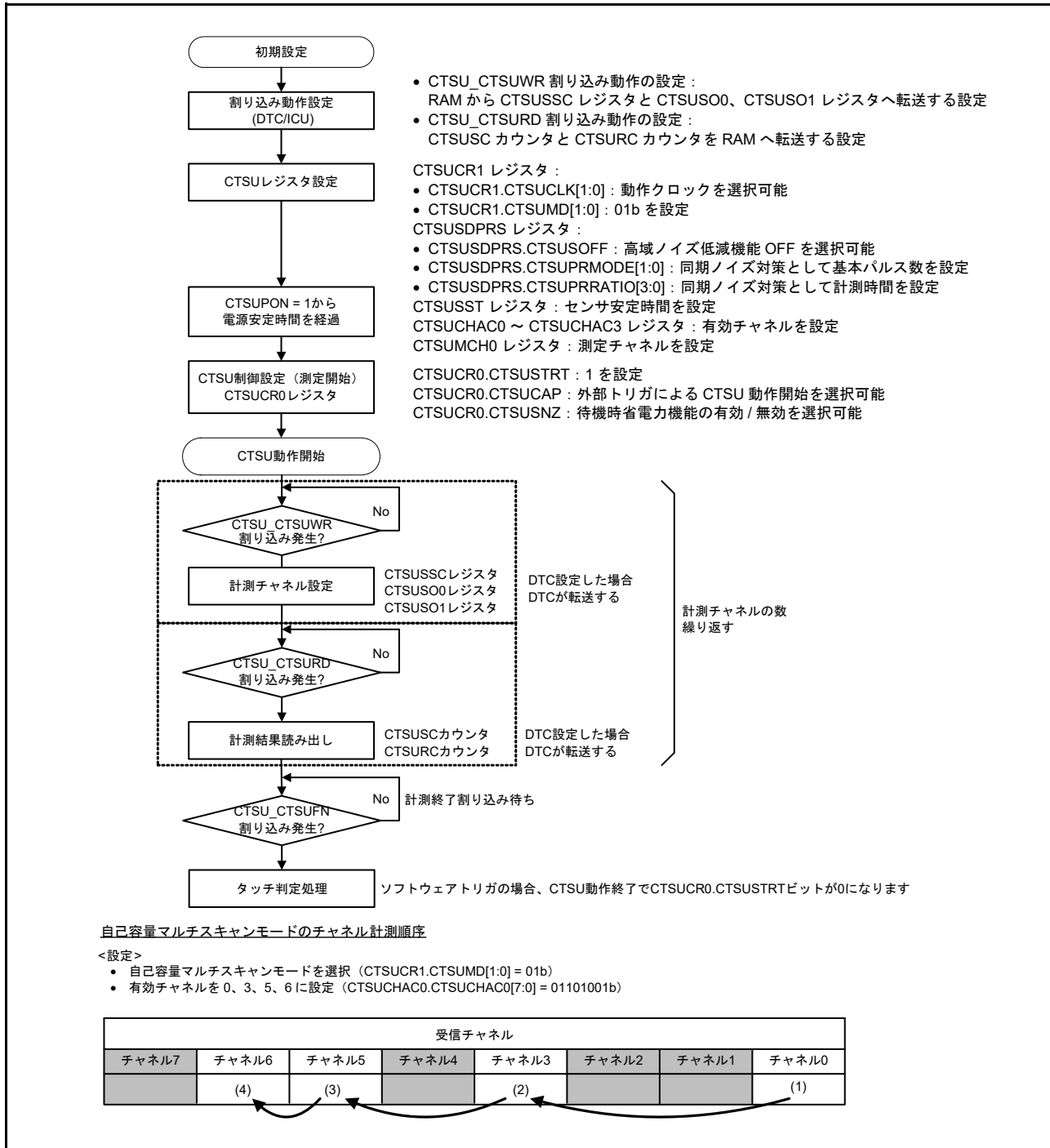


図 39.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

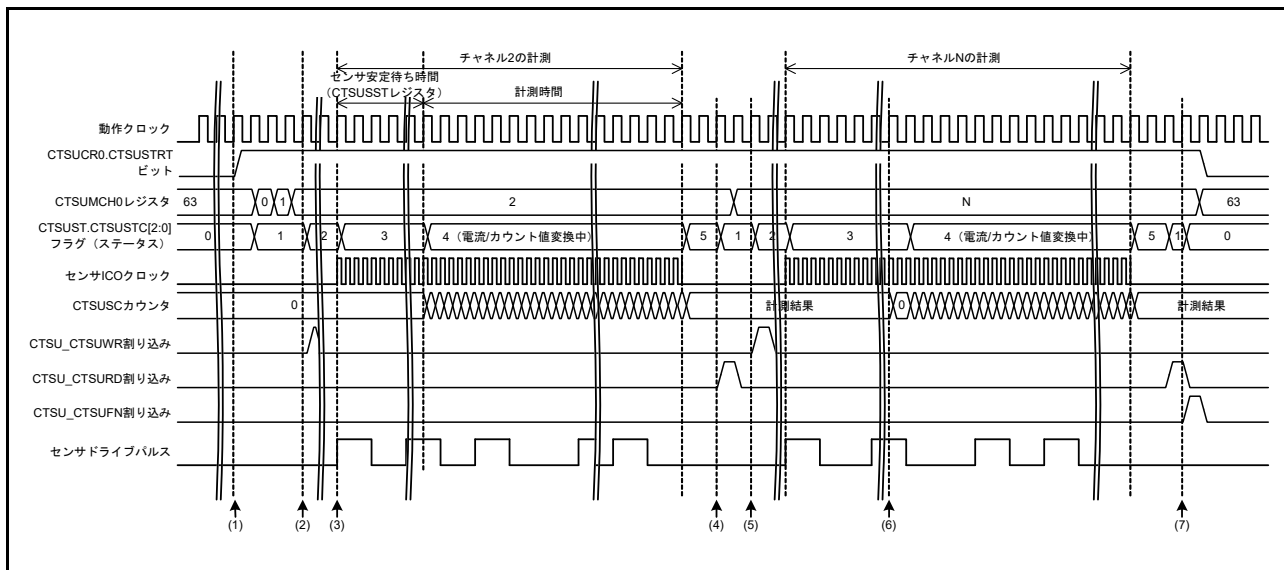


図 39.15 自己容量マルチスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 39.15 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、関連するチャンネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 次に計測するチャンネルが決定した後、関連するチャンネルの設定要求 (CTSU_CTSUWR) を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSU_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

表 39.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

表 39.7 自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャンネル	非計測チャンネル
0	Low	Low
1	Low	Low
2	Low	Low
3	パルス	Low
4	パルス	Low
5	Low	Low

39.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行います。これにより、より高いタッチ感度を実現します。

CTSUCHTRC0 ~ CTSUCHTRC3 レジスタで送信用または受信用に設定され、CTSUCHAC0 ~ CTSUCHAC3 レジスタで計測対象に設定されたチャンネルに対して、静電容量を順次計測します。容量は、これらの信号を組み合わせることで計測されます。図 39.16 にソフトウェアフローと動作例を、図 39.17 にタイミングを示します。

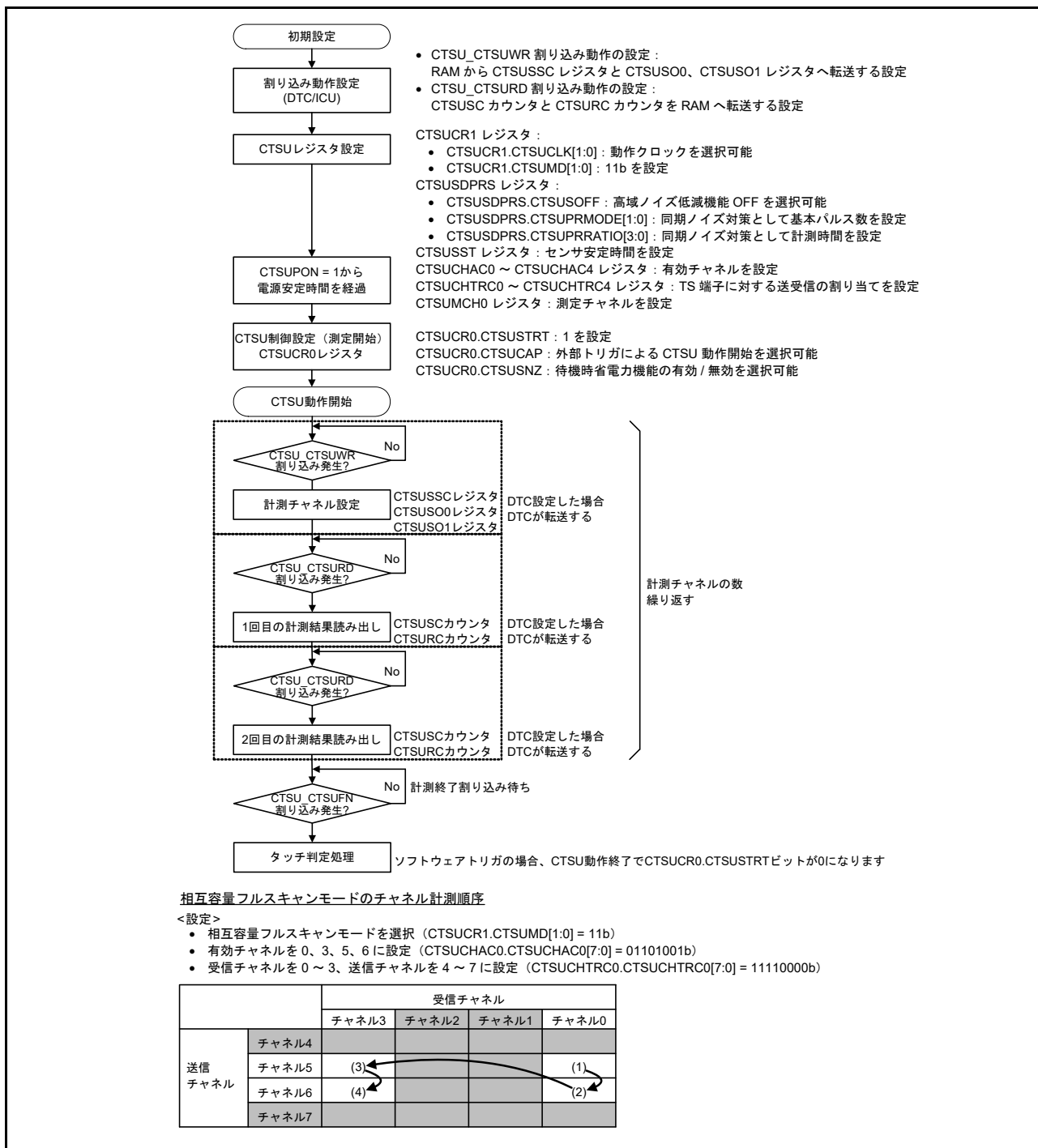


図 39.16 相互容量フルスキャンモードのソフトウェアフローと動作例

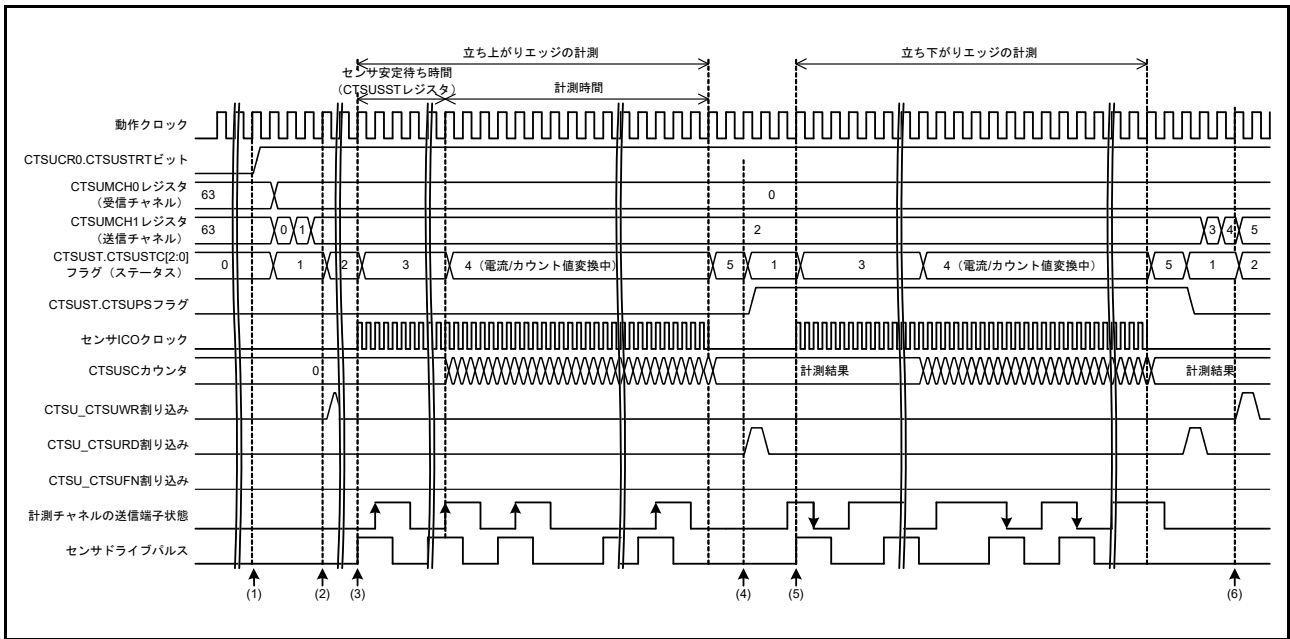


図 39.17 相互容量フルスキャンモードのタイミング (計測開始条件がソフトウェアトリガの場合)

図 39.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従って計測対象チャンネルが決定された後に、関連するチャンネルの設定要求 (CTSU_CTSUWR) を出力します。
3. 計測チャンネルの設定書き込み (CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ) が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。同時に、センサドライブパルスの High 期間に対して、立ち上がりエッジで検出されたパルスを計測チャンネルの送信端子に出力します。
4. センサ安定待ち時間、計測時間を経過して計測が終了した後、計測結果読み出し要求 (CTSU_CTSURD) を出力します。
5. 同一チャンネルに対して、センサドライブパルスの High 期間に、立ち下がりエッジで検出されたパルスを出力して計測を行います。
6. 同一チャンネルに対して 2 回の計測を行った後、次に計測するチャンネルを決定し、同様の計測を行います。
7. すべてのチャンネル計測が完了したら、計測終了割り込み (CTSU_CTSUFN) を出力して計測を終了 (Status0 へ遷移) します。

なお、相互容量計測ステータスフラグ (CTSUST.CTSUPS ビット) は、Status5 から Status1 へ遷移するタイミングで変化します。

表 39.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 39.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャンネルのタッチ端子		送信チャンネルのタッチ端子		備考
	計測チャンネル	非計測チャンネル	計測チャンネル	非計測チャンネル	
0	Low	Low	Low	Low	-
1	Low	Low	Low/high	Low	-
2	Low	Low	Low	Low	-
3	パルス	Low	パルス	Low	送信パルス位相は、1回目の計測では受信チャンネルと同相になり、2回目の計測では逆相になります。
4	パルス	Low	パルス	Low	-
5	Low	Low	Low	Low	-

39.3.3 複数モードに関わる共通機能

39.3.3.1 センサ安定待ち時間と計測時間

図 39.18 にセンサ安定待ちと計測のタイミングを示します。

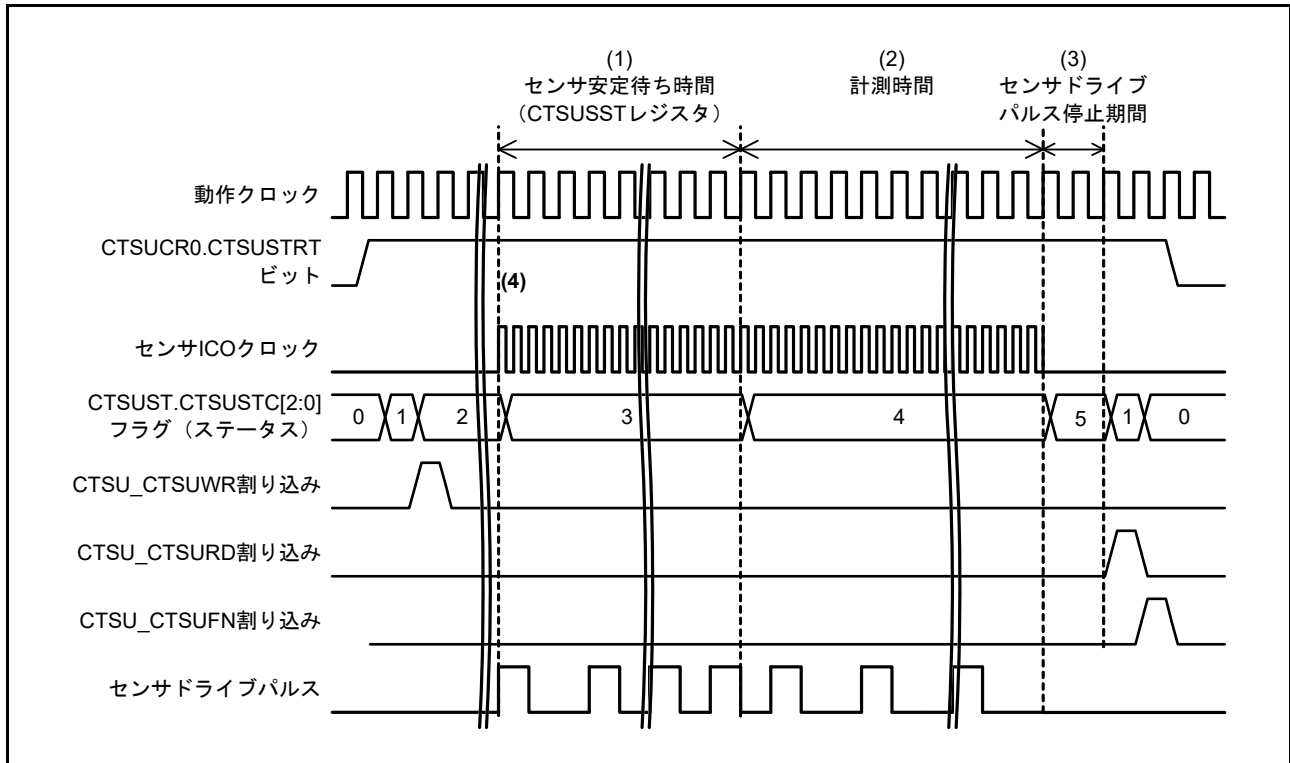


図 39.18 センサ安定待ちと計測のタイミング

図 39.18 に示した動作を以下で説明します。

1. CTSU_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 にクリアされ、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過すると関連するチャンネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSUS_CTSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。このとき、センサドライブパルスは Low 出力になります。設定した全チャンネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 になります。
4. センサ I/O クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b (Status3) または 100b (Status4) の期間に発振します。

39.3.3.2 割り込み

CTSUSは3つの割り込み要因をサポートしています。

- チャンネルごとの設定レジスタ書き込み要求割り込み (CTSUS_CTSUWR)
- 測定データ転送要求割り込み (CTSUS_CTSURD)
- 測定終了割り込み (CTSUS_CTSUFN)

(1) チャンネル毎の設定レジスタ書き込み要求割り込み (CTSUS_CTSUWR)

計測チャンネルごとの設定データをSRAM上に用意しておき、あらかじめCTSUS_CTSUWR割り込みに対応したDTC/ICUの転送設定を行います。CTSUS_CTSUWR割り込みはStatus1からStatus2へ遷移したタイミングで出力します。SRAMから関連するCTSUSSC、CTSUSO0、CTSUSO1レジスタへチャンネル設定を書き込みます(図39.19)。CTSUSO1レジスタへのライトアクセスにより次のStatusへの遷移が制御されるため、CTSUSO1レジスタを必ず最後に設定してください。

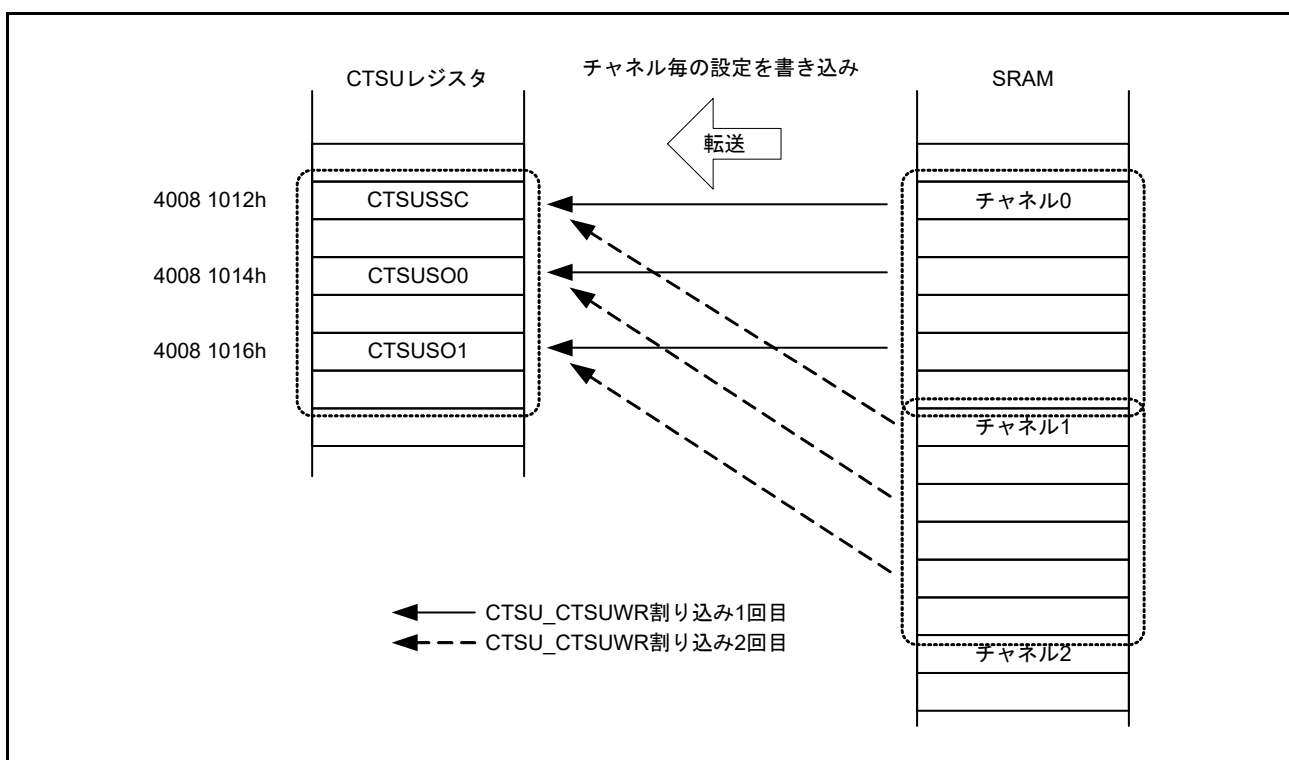


図 39.19 CTSUS_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ (CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ) は、連続したアドレスに配置しています。CTSUS_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス : CTSUSSC レジスタのアドレス
- 転送先アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送。先頭バイトのアドレスは固定
- 転送元アドレス : SRAM上に用意した設定の番号が最小のチャンネルのCTSUSSCレジスタデータ格納アドレス
- 転送元アドレスの処理 : 1回の割り込みで2バイトのデータを3回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 割り込み1回あたりの転送回数 : 計測する回数を指定

(2) 測定データ転送要求割り込み (CTSUS_CTSURD)

あらかじめ、CTSUS_CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSUS_CTSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください (図 39.20)。

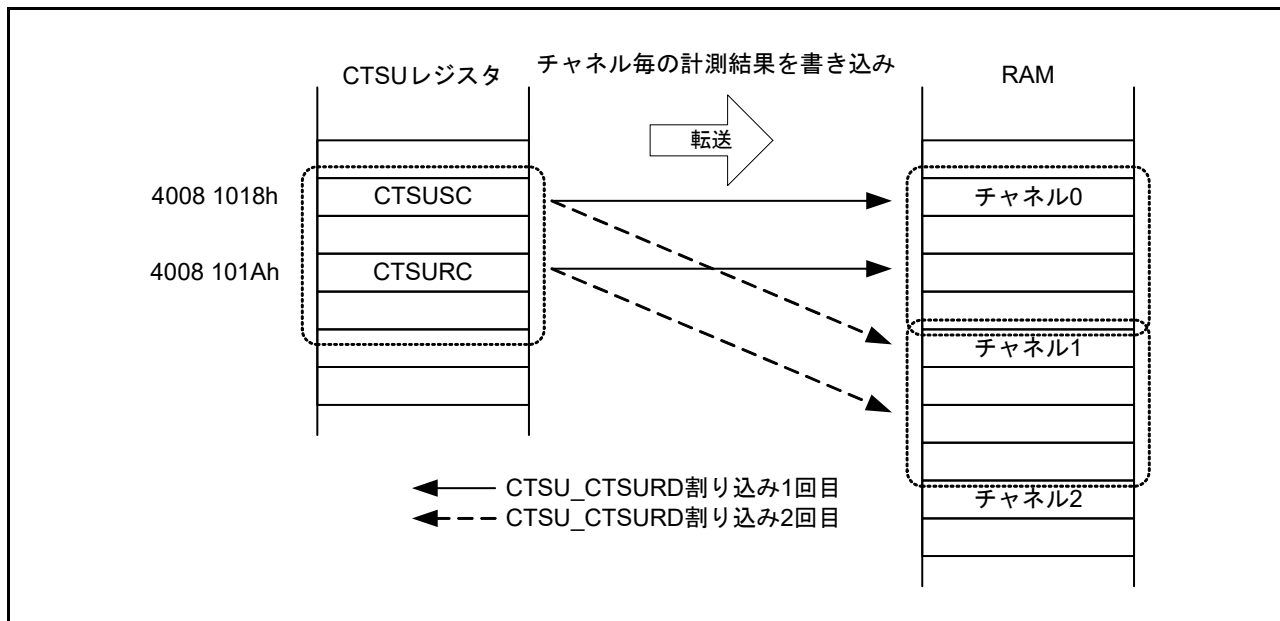


図 39.20 CTSUS_CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ (CTSUSC カウンタと CTSURC カウンタ) は、連続したアドレスに配置してあります。CTSUS_CTSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス : CTSUSC カウンタのアドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス : SRAM 上に用意した設定の番号が最小のチャンネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数 : 計測する回数を指定

(3) 測定終了割り込み (CTSUS_CTSUFN)

すべてのチャンネル計測が終了すると、Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアで、オーバーフローフラグ (CTSUST.CTSUSOVF と CTSUROVF) の確認を行い、計測結果を読み出して電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。

39.4 使用上の注意事項

39.4.1 計測結果データ (CTSUSC カウンタ、CTSURC カウンタ)

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

39.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで 10b (PCLKB/4) を選択した場合、計測完了後に CTSUR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させるときは、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

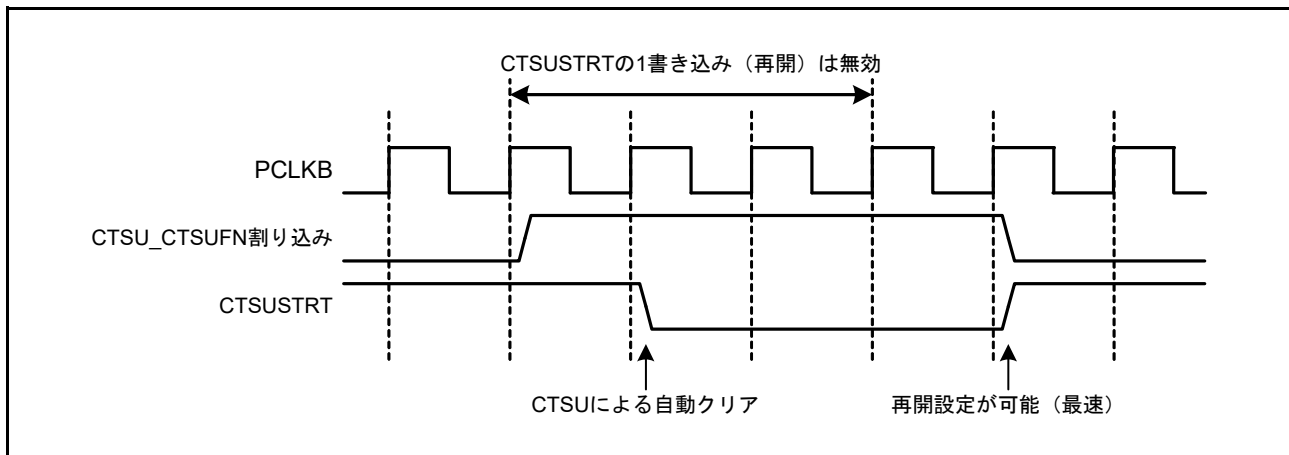


図 39.21 再開時の注意事項

39.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSUS_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み (強制停止) で停止

39.4.4 強制終了に関する注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態に加え、以下のレジスタが初期化されます。

- CTSUSMCH0 レジスタ
- CTSUSMCH1 レジスタ
- CTSUSUST レジスタ
- CTSUSUSC カウンタ
- CTSUSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止/無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSUS に対しても強制終了および初期化処理を行ってください。

39.4.5 TSCAP 端子

TSCAP 端子は、CTSU 内部電圧を一定に保つために、外部デカップリングキャパシタを必要とします。TSCAP 端子と外部デカップリングキャパシタ間、および外部デカップリングキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。

TSCAP 端子に接続されているコンデンサは、接続確立のためスイッチを ON (CTSUCR1.CTSUCSW ビット = 1) にする前に、I/O ポート制御により Low を出力させ、十分放電させてください。

39.4.6 計測動作時 (CTSUCR0.CTSUSTRT ビット = 1) の注意事項

計測中 (CTSUCR0.CTSUSTRT ビット = 1) には、システムの上位レイヤから「周辺クロックの停止」や「タッチ端子 (TSn 端子、TSCAP 端子) に関わるポート設定の変更」を行わないでください。

これらの制限に違反する制御を設定した場合は、動作の強制停止 (CTSUCR0.CTSUSTRT ビット = 0、CTSUCR0.CTSUINIT ビット = 1) 後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTSUSNZ ビットを 0 にしてください。次に、[図 39.9](#) の初期設定フローから再開してください。

40. データ演算回路 (DOC)

40.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に該当する場合、割り込みが発生します。表 40.1 に DOC の仕様を、図 40.1 にブロック図を示します。

表 40.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュール停止機能	モジュール停止状態に設定可能
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込みの発生条件 <ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果がFFFFhより大きくなったとき データ減算の結果が0000hより小さくなったとき

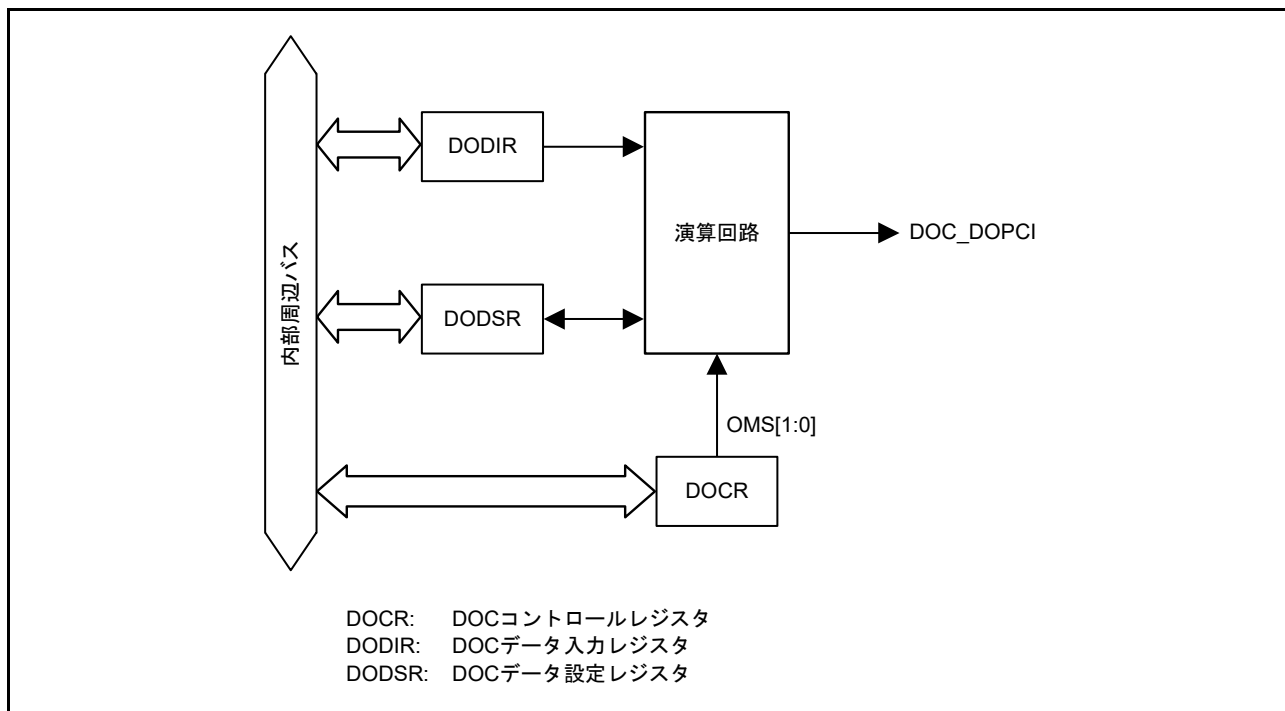
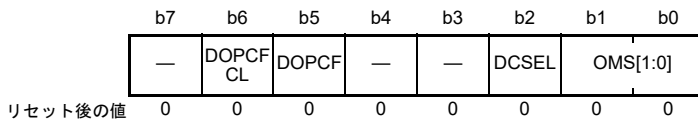


図 40.1 DOC ブロック図

40.2 レジスタの説明

40.2.1 DOC コントロールレジスタ (DOCR)

アドレス **DOC.DOCR 4005 4100h**



ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
b2	DCSEL (注1)	検出条件選択	0: データの不一致検出時にDOPCFを設定 1: データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0: DOPCF フラグ状態を保存 1: DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択)

DOC の動作モードを選択します。

DCSEL ビット (検出条件選択)

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

DOPCF フラグ (データ演算回路フラグ)

[1 になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

[0 になる条件]

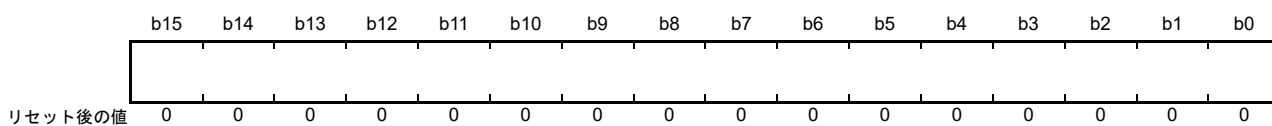
- DOPCFCL ビットに 1 を書き込んだとき

DOPCFCL ビット (DOPCF クリア)

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

40.2.2 DOC データインプットレジスタ (DODIR)

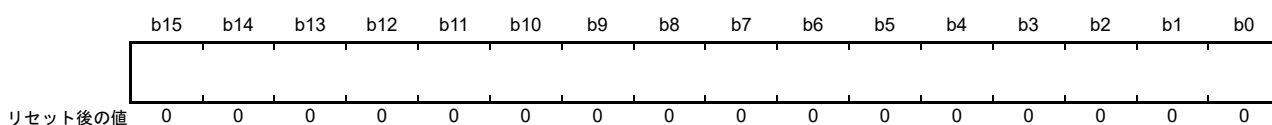
アドレス `DOC.DODIR 4005 4102h`



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。

40.2.3 DOC データ設定レジスタ (DODSR)

アドレス `DOC.DODSR 4005 4104h`



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納しません。

40.3 動作説明

40.3.1 データ比較モード

図 40.2 にデータ比較モードの DOC 動作例を示します。この例では、DCSEL ビットは 0 (データ比較の結果、不一致を検出) です。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

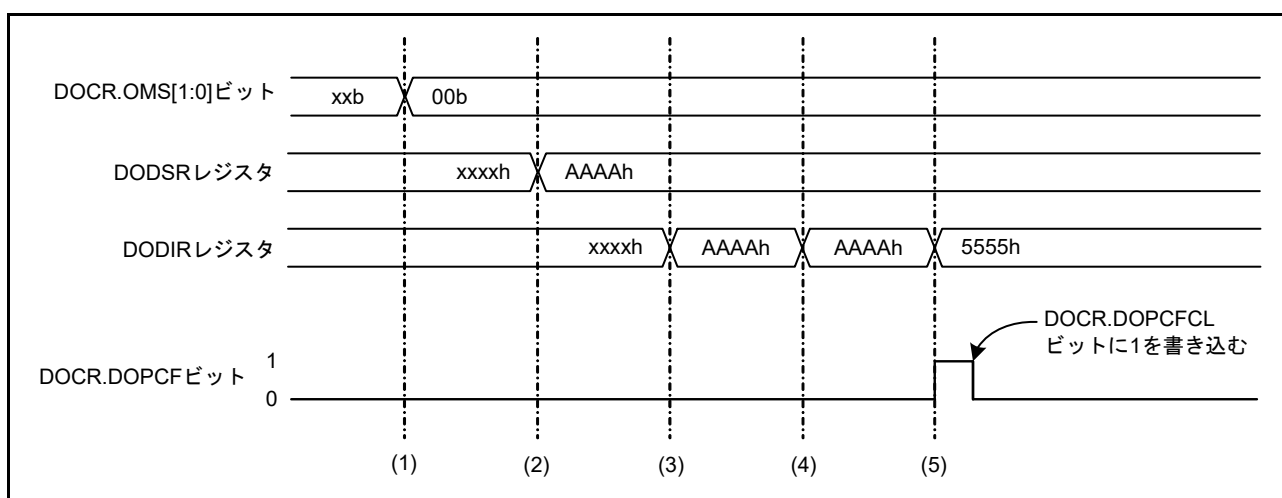


図 40.2 データ比較モードの動作例

40.3.2 データ加算モード

図 40.3 にデータ加算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

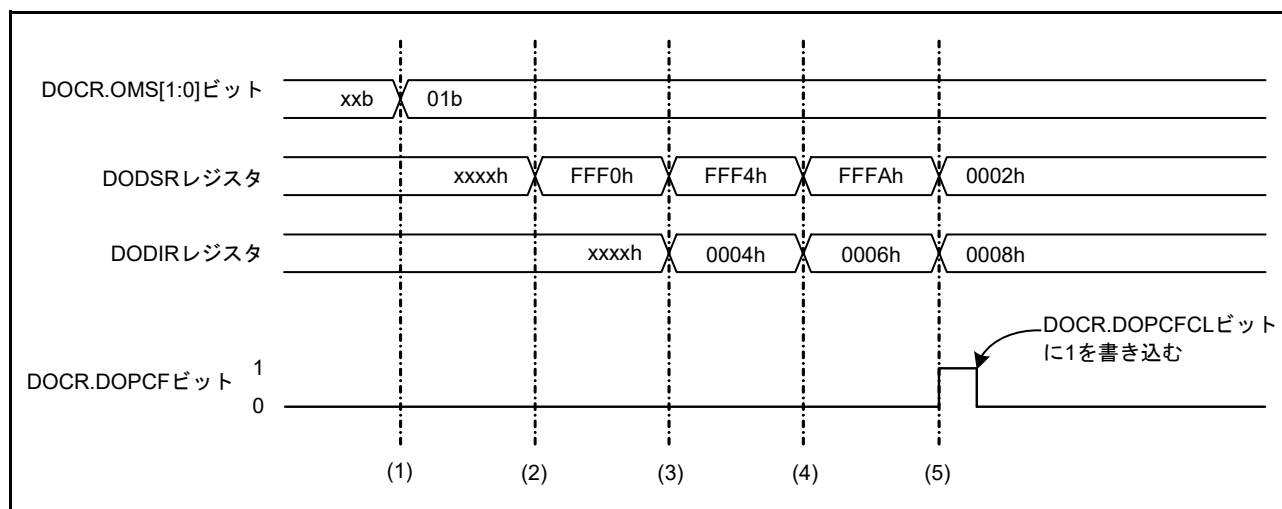


図 40.3 データ加算モードの動作例

40.3.3 データ減算モード

図 40.4 にデータ減算モードの DOC 動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを設定します。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

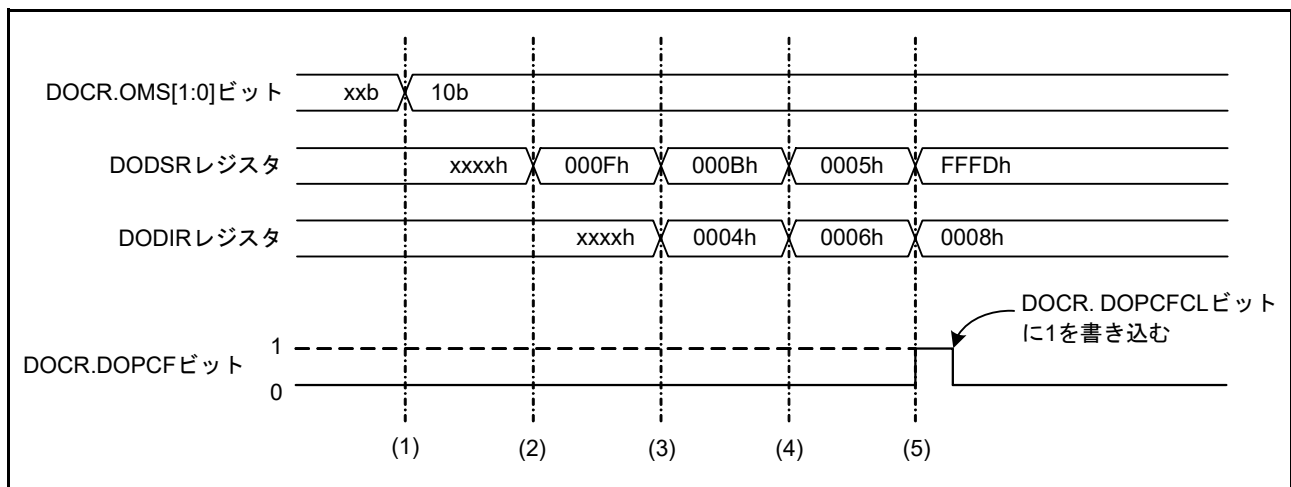


図 40.4 データ減算モードの動作例

40.4 割り込み要求とイベントリンク出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が FFFFh より大きいとき
- データの減算結果が 0000h より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ (DOCR.DOPCF) が 1 になります。

40.5 使用上の注意事項

40.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止/許可を設定できます。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

41. SRAM

本 MCU は、パリティビットまたは誤り訂正コード (ECC) を備えたオンチップ高速 SRAM を搭載しています。SRAM0 の最初の 16KB 領域は ECC です。パリティチェックは、その他の領域に対して行われます。

41.1 概要

SRAM の仕様を表 41.1 に示します。

表 41.1 SRAM の仕様

項目	ECC なし	ECC あり
SRAM 容量	SRAM0 : 8KB	SRAM0 (ECC 領域) : 16KB
SRAM アドレス	SRAM0 : 2000 4000h ~ 2000 5FFFh	SRAM0 (ECC 領域) : 2000 0000h ~ 2000 3FFFh
アクセス (注1)	0 ウェイト	
モジュールストップ機能	なし	
パリティ	8 ビットデータと 1 パリティビットの偶数パリティ	パリティなし
エラーチェック機能	偶数パリティエラーチェック	1 ビットおよび 2 ビット誤り検出、1 ビット誤り訂正

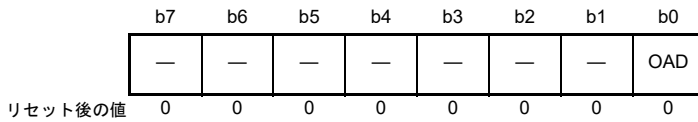
注 . SRAM0 (ECC なし) と Trace_RAM は共有されます。Trace_RAM の仕様については、ARM® CoreSight™ MTB-M0+ *Technical Reference Manual* を参照してください。

注 1. 詳細は、41.3.6 [アクセスサイクル](#) を参照してください。

41.2 レジスタの説明

41.2.1 SRAM パリティエラー検出後動作レジスタ (PARIOAD)

アドレス [SRAM.PARIOAD 4000 2000h](#)



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1: リセット 0: ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

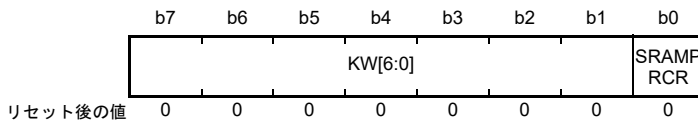
本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、必ず SRAMPRCR の SRAMPRCR ビットを設定してください。SRAM アクセス中は PARIOAD レジスタへの書き込みは行わないでください。

[OAD](#) ビット (検出後の動作)

パリティエラーが検出されると、リセットまたはノンマスカブル割り込みを定義します。SRAM0 (ECC なし) に適用されます。

41.2.2 SRAM プロテクトレジスタ (SRAMPRCR)

アドレス [SRAM.SRAMPRCR 4000 2004h](#)



ビット	シンボル	ビット名	機能	R/W
b0	SRAMPRCR	レジスタ書き込み制御	0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

[SRAMPRCR](#) ビット (レジスタ書き込み制御)

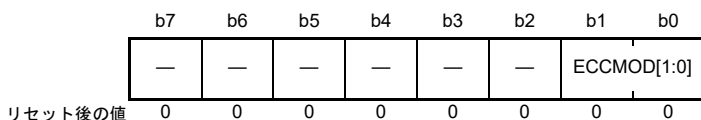
SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] を 78h にしてください。

[KW\[6:0\]](#) ビット (書き込みキーコード)

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットを 78h にしてください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

41.2.3 ECC 動作モードコントロールレジスタ (ECCMODE)

アドレス SRAM.ECCMODE 4000 20C0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	ECCMOD[1:0]	ECC 動作モード選択	b1 b0 0 0: ECC機能は無効 0 1: 設定禁止 1 0: ECC機能は有効/エラーチェックなし 1 1: ECC機能は有効/エラーチェックあり	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

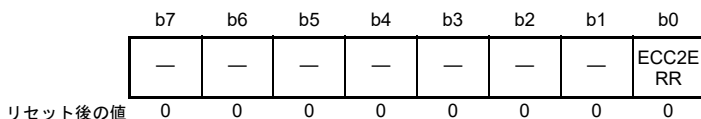
ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。本レジスタへ書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 (ライトプロテクション機能が無効) にしてください。SRAM アクセス中は ECCMODE レジスタへの書き込みは行わないでください。

ECCMOD[1:0] ビット (ECC 動作モード選択)

SRAM0 の ECC 領域へのアクセスモードを設定します。

41.2.4 ECC 2 ビットエラーステータスレジスタ (ECC2STS)

アドレス SRAM.ECC2STS 4000 20C1h



ビット	シンボル	ビット名	機能	R/W
b0	ECC2ERR	ECC 2ビットエラーステータス	0: ECC 2ビットエラー発生なし 1: ECC 2ビットエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

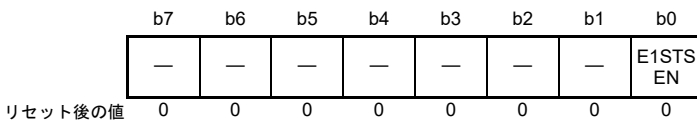
注1. ビットをクリアするための0の書き込みのみ可能です。

ECC2ERR ビット (ECC 2 ビットエラーステータス)

SRAM0 の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。ECC 動作が有効でエラーチェックありの場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことで、ECC 2 ビットエラーをクリアできます。SRAM エラーには、ECCOAD レジスタでノンマスクブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にはアクセスしないでください。

41.2.5 ECC 1 ビットエラー情報更新イネーブルレジスタ (ECC1STSEN)

アドレス SRAM.ECC1STSEN 4000 20C2h



ビット	シンボル	ビット名	機能	R/W
b0	E1STSEN	ECC 1ビットエラー情報更新許可	0: ECC 1ビットエラー情報の更新禁止 1: ECC 1ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECC1STSEN レジスタは、SRAM0 (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。

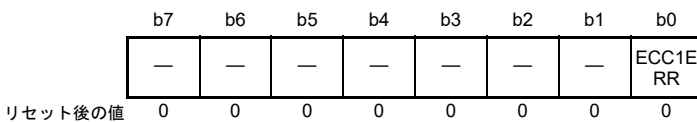
本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。本ビットへ書き込む前に、ECCPRCR レジスタの ECCPRCR ビットを 1 (ライトプロテクション機能が無効) にしてください。

E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

SRAM0 の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。本レジスタは、割り込みまたはリセットマスクとしても機能します。

41.2.6 ECC 1 ビットエラーステータスレジスタ (ECC1STS)

アドレス SRAM.ECC1STS 4000 20C3h



ビット	シンボル	ビット名	機能	R/W
b0	ECC1ERR	ECC 1ビットエラーステータス	0: ECC 1ビットエラー発生なし 1: ECC 1ビットエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注1. ビットをクリアするための0の書き込みのみ可能です。

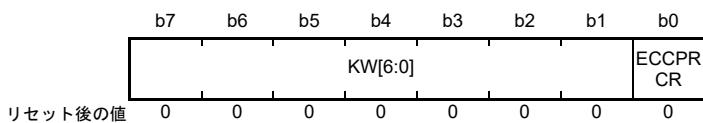
ECC1ERR ビット (ECC 1 ビットエラーステータス)

SRAM0 の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が有効で、誤り訂正が選択されており、1 ビットエラー情報の更新が許可されている場合、1 ビットエラーが検出されると ECC1ERR ビットが 1 になり、SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことで、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にはアクセスしないでください。

41.2.7 ECC プロテクトレジスタ (ECCPRCR)

アドレス SRAM.ECCPRCR 4000 20C4h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	ECCPRCR ビットへの書き込みを許可または禁止します。	R/W

ECCPRCR ビット (レジスタ書き込み制御)

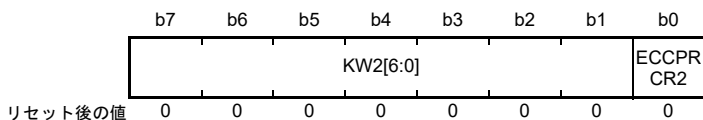
ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタのライトプロテクション機能を制御します。ECCPRCR ビットが 1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットに書き込むとき、同時に KW[6:0] ビットに 78h を書き込んでください。

KW[6:0] ビット (書き込みキーコード)

ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込むとき、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 00h が読み出されます。

41.2.8 ECC プロテクトレジスタ 2 (ECCPRCR2)

アドレス SRAM.ECCPRCR2 4000 20D0h



ビット	シンボル	ビット名	機能	R/W
b0	ECCPRCR2	レジスタ書き込み制御	0 : 保護対象のレジスタへの書き込みを禁止 1 : 保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW2[6:0]	書き込みキーコード	ECCPRCR2 ビットへの書き込みを許可または禁止します。	R/W

ECCPRCR2 ビット (レジスタ書き込み制御)

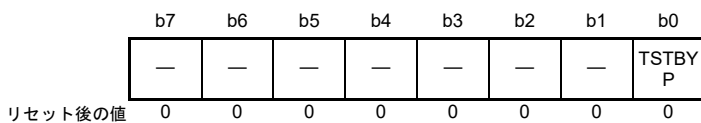
ECCEST レジスタのライトプロテクション機能を制御します。本ビットが 1 のとき、ECCEST レジスタへの書き込みが許可されます。本ビットに書き込むとき、同時に KW2[6:0] ビットに 78h を書き込んでください。

KW2[6:0] ビット (書き込みキーコード)

ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込むとき、同時に KW2[6:0] ビットに 78h を書き込んでください。それ以外の値を KW2[6:0] ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 00h が読み出されます。

41.2.9 ECC テストコントロールレジスタ (ECCTEST)

アドレス SRAM.ECCTEST 4000 20D4h



ビット	シンボル	ビット名	機能	R/W
b0	TSTBYP	ECCバイパス選択	0 : ECCバイパスは無効 1 : ECCバイパスは有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みはECCプロテクトレジスタ2 (ECCPRCR2) によって保護されています。本ビットへ書き込むときは、ECCPRCR2 レジスタのECCPRCR2 ビットを1 (ライトプロテクション機能が無効) にしてください。本レジスタの書き込み中はSRAMにアクセスしないでください。

TSTBYP ビット (ECC バイパス選択)

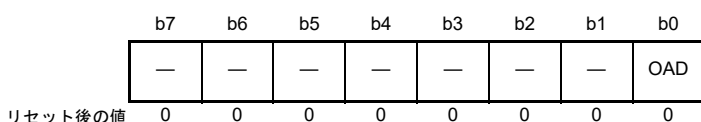
ECC 機能をバイパスして、ECC コードへの直接アクセスを許可します。

ECC バイパス機能を使用するときは、ECCMODE.ECCMOD[1:0] ビットを00bにします。ECCは、32ビットデータと同じアドレスを使用して、32ビット単位でアクセスする必要があります。ECCコードは32ビットデータの下位7ビットに割り当てられています。ECCコードを書き込むときは、上位25ビットは無視されます。ECCコードを読み出すときは、上位25ビットは不定です。

注. ECC テストの詳細については、41.3.3 ECC デコーダのテスト方法を参照してください。

41.2.10 SRAM ECC エラー検出後動作レジスタ (ECCOAD)

アドレス SRAM.ECCOAD 4000 20D8h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1 : リセット 0 : ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

本レジスタへの書き込みはECCプロテクトレジスタ (ECCPRCR) によって保護されています。本ビットへ書き込む前に、ECCPRCR レジスタのECCPRCR ビットを1 (ライトプロテクション機能が無効) にしてください。SRAM アクセス中は本レジスタへの書き込みは行わないでください。

OAD ビット (検出後の動作)

ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM0 (ECC 領域) で使用されます。

41.2.11 トレースコントロール (MTB 用)

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。以下に、ベースアドレスのオフセット順にレジスタを提示します。

MTB_BASE: 4001 9000h

MTB_BASE + 000h: リセット時の POSITION 値 : Bits [31:0] = UNKNOWN

MTB_BASE + 004h: リセット時の MASTER 値 : Bits [31] = 0, Bits [30:10] = UNKNOWN,
Bits [9:8] = 0, Bits [7]=1, Bits [6:5] = 0,
Bits [4:0] = UNKNOWN

MTB_BASE + 008h: リセット後の FLOW 値 : Bits [31:2] = UNKNOWN, Bits[1:0] = 0

MTB_BASE + 00Ch: リセット後の BASE 値 : Bits [31:0] = 2000 4000h

上記レジスタについて、詳しくは、*ARM® CoreSight™ MTB-M0+ Technical Reference Manual* (Revision: r0p1) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

トレース用の MTB は 2000_4000H ~ 2000_5FFFH の範囲に制限されています。

41.2.12 CoreSight™ (MTB 用)

レジスタおよびアクセスタイプについて、詳しくは、*ARM® CoreSight™ Architecture Specification* を参照してください。以下にベースアドレスのオフセット順にレジスタを提示しています。

MTB_BASE: 4001 9000h

MTB_BASE + FF0h ~ FFCh : コンポーネント ID

MTB_BASE + FE0h ~ FDCh : ペリフェラル ID

MTB_BASE + FCCh : デバイス種別 ID

MTB_BASE + FC8h : デバイスコンフィグレーション

MTB_BASE + FBCh : デバイスアーキテクチャ

MTB_BASE + FB8h : 認証ステータス

MTB_BASE + FB4h : ロックステータス

MTB_BASE + FB0h : ロックアクセス

上記レジスタについて、詳しくは、*ARM® CoreSight™ MTB-M0+ Technical Reference Manual* (Revision: r0p1) を参照してください。

注 . 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。予期せぬ動作が発生する可能性があります。

41.3 動作説明

41.3.1 ECC 機能

ECC 機能は、ECCMODE レジスタの設定によって、有効または無効に設定可能です。デフォルトでは、ECC 機能は無効で、ECC チェックのタイプは SEC-DED (Single-Error-Correction/Double-Error-Detection : 単一誤り訂正 / 二重誤り検出) です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時は、SRAM (ECC 領域) から 39 ビットデータ (32 ビットのデータと 7 ビットのチェックビット) が読み出されます。

ECC 機能とエラーチェックの両方が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤りが検出され (誤り訂正なし)、ECC2STS.ECC2ERR ビットが 1 になります。

「ECC 有効 / エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、誤りが検出されますが ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、ECC1ERR ビットまたは ECC2ERR ビットの更新は行われません。

エラーを検出した場所は確認できません。そのため、エラー発生後は SRAM に 32 ビットデータを書き込んで、すべてのデータを更新してください。

電力投入後は SRAM データは不定です。ECC 機能とエラーチェックの両方が有効の場合、SRAM にアクセスを行うと ECC エラーが発生することがあります。この問題を避けるには、ECC 機能を使用する前に、SRAM で使用する領域に 32 ビットデータを書き込んでください。

ライトアクセスの後にリードアクセスが続いて発生すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

41.3.2 ECC エラー発生

SRAM0 (ECC 領域) が「ECC 有効 / エラーチェックあり」のとき、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC 1 ビットエラーをマスクする場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 無効時、または「ECC 有効 / エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでの選択に基づきノンマスクブル割り込みまたはリセットのいずれかを発生させます。ECCOAD.OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD.OAD ビットが 0 のとき、ECC エラーはノンマスクブル割り込みとして ICU に出力されます。

デバッグが接続されている場合、リセットとノンマスクブル割り込みはどちらも発生しません。ただし、ECC 1 ビットエラーは訂正されます。

41.3.3 ECC デコーダのテスト方法

図 41.1 に ECC デコーダのテスト方法を示します。

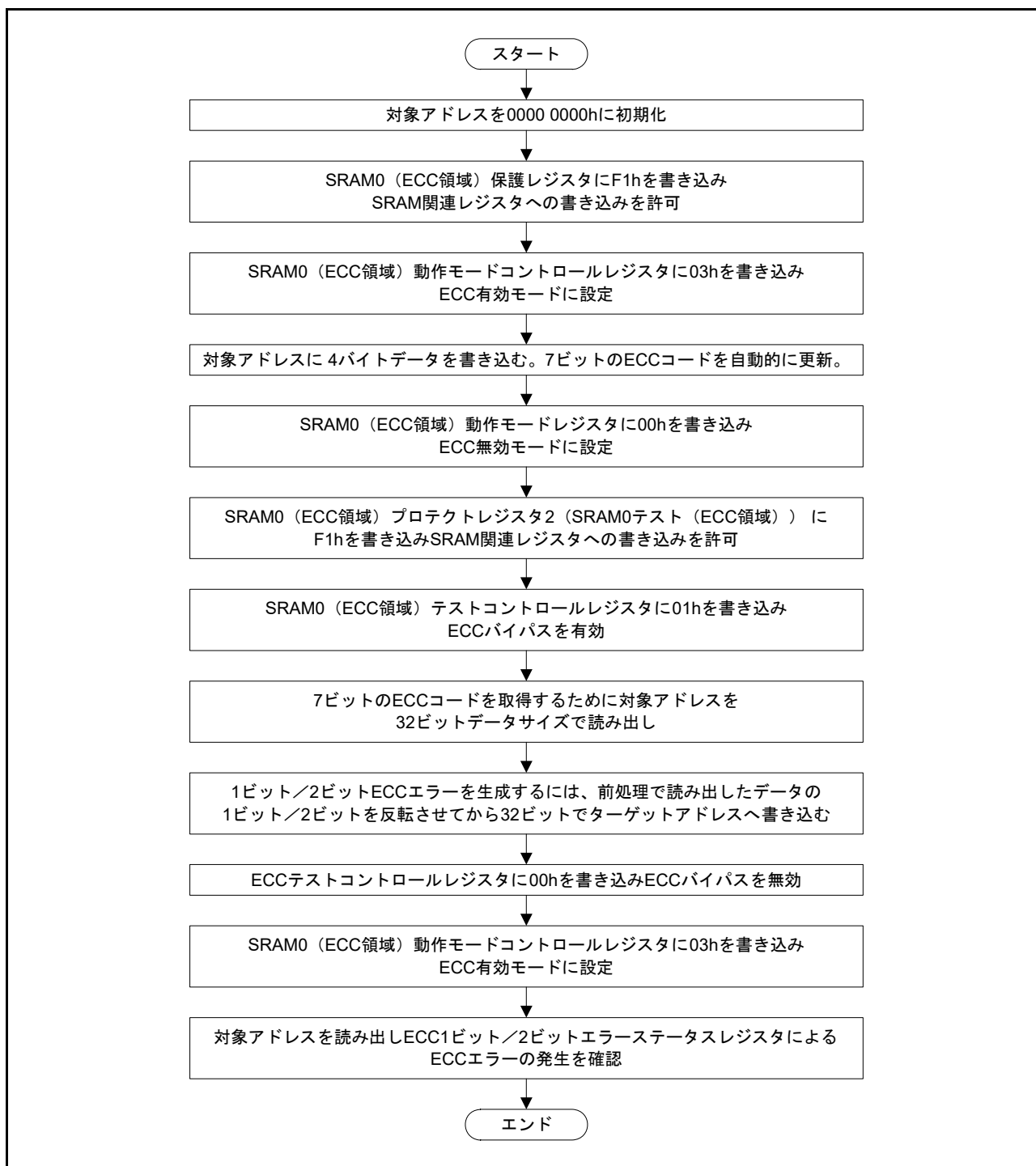


図 41.1 ECC デコーダのテスト方法

41.3.4 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。そのため、32 ビットデータ幅の SRAM に格納されている 8 ビットの各データにはパリティビットが追加されています。データ書き込み時にパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。SRAM0 の仕様は、ECC なしの場合、偶数パリティです。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD が 1 のとき、パリティエラーはリセット機能に出力されます。OAD が 0 のとき、パリティエラーはノンマスブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、[図 41.2](#) および [図 41.3](#) に示されたパリティチェックフローに従ってください。

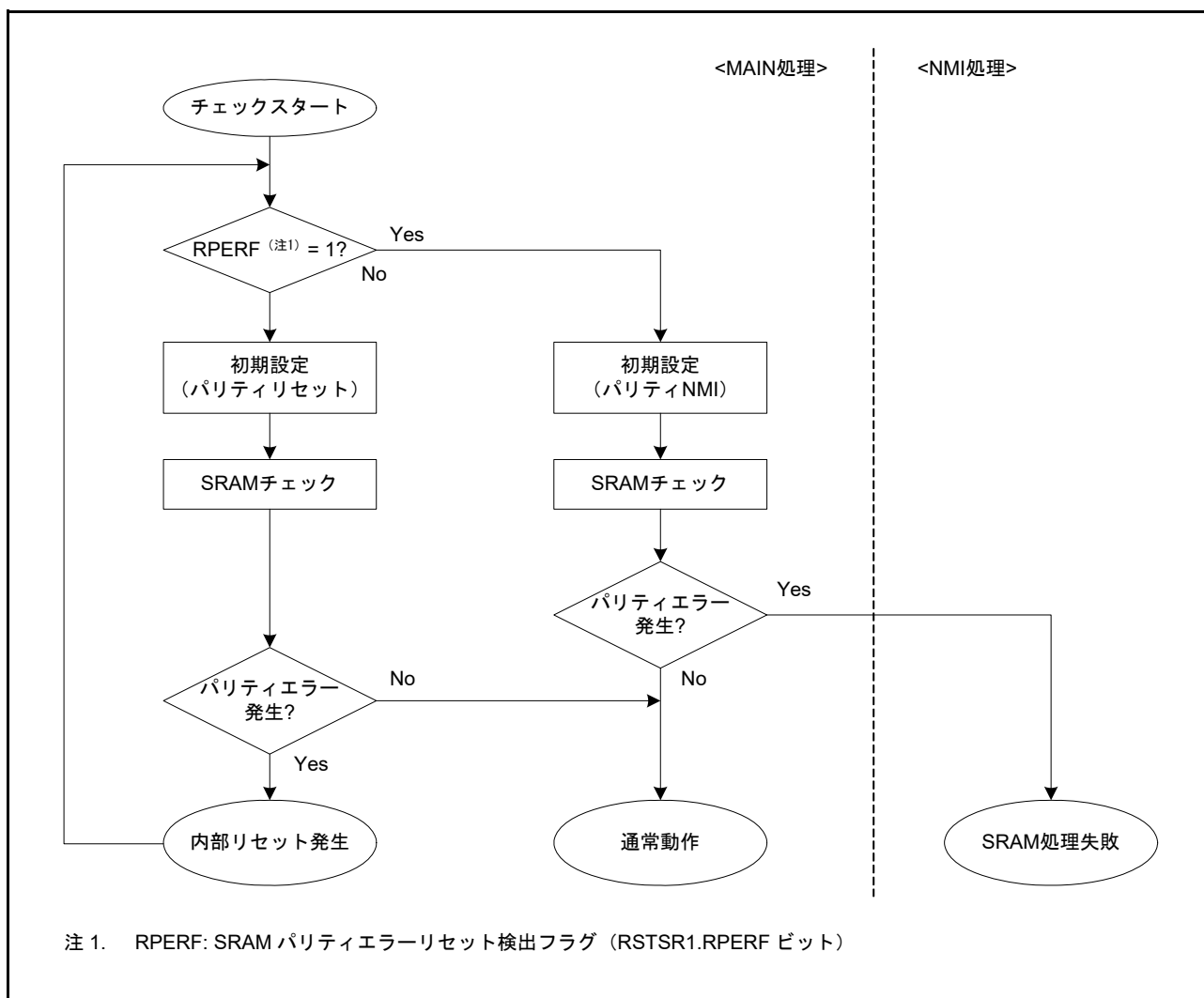


図 41.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

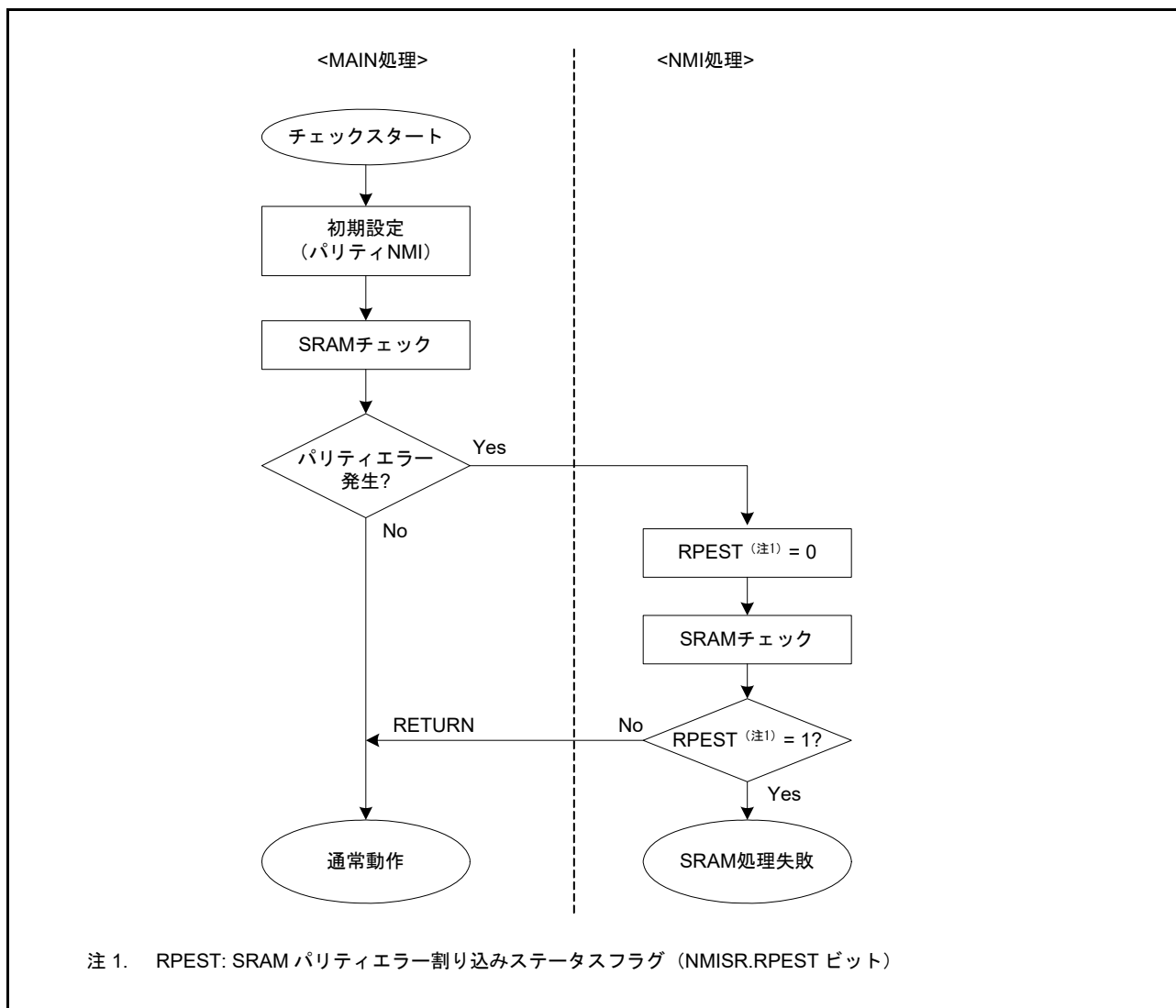


図 41.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

41.3.5 SRAM エラー要因

SRAM エラーの原因は、ECC エラーまたはパリティエラーのいずれかです。ECC エラーまたはパリティエラーは、PARIOAD.OAD ビットの選択に基づき、ノンマスカブル割り込みまたはリセットのいずれかを発生させることが可能です。SRAM パリティエラーでは、TDC の起動はサポートされていません。

表 41.2 SRAM エラー要因

SRAM エラー要因	DTC の起動
ECC エラー (ECC ありの SRAM0 領域)	不可能
パリティエラー (ECC なしの SRAM0 領域)	不可能

41.3.6 アクセスサイクル

表 41.3 SRAM0 (ECC 領域 2000 0000h ~ 2000 3FFFh)

	リード (サイクル)		ライト (サイクル)	
	ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
ECCオフ ECCMOD[1]=0	2		2	
ECCオン ECCMOD[1]=1	2		2	4

表 41.4 SRAM0 (パリティ領域 2000 4000h ~ 2000 5FFFh)

リード (サイクル)		ライト (サイクル)	
ワードアクセス	ハーフワード/ バイトアクセス	ワードアクセス	ハーフワード/ バイトアクセス
2		2	

41.4 使用上の注意事項

41.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、ECC エラーまたはパリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。これらの領域の初期化には、NOP 命令の使用を推奨します。

42. フラッシュメモリ

42.1 概要

本 MCU は、最大 256KB のコードフラッシュメモリと 4KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、プログラムコマンドを制御します。

本製品は、Silicon Storage Technology, Inc. よりライセンス供与された SuperFlash® 技術を使用しています。

表 42.1 に、コードフラッシュメモリとデータフラッシュメモリの仕様を示します。図 42.1 に関連モジュールのブロック図を示します。図 42.2 にコードフラッシュメモリの構成を示します。図 42.3 にデータフラッシュメモリの構成を示します。

表 42.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	<ul style="list-style-type: none"> ユーザ領域：最大 256KB 	データ領域：4KB
リードサイクル	<ul style="list-style-type: none"> ICLK 周波数 ≤ 32MHz キャッシュヒット：1 サイクル 	<ul style="list-style-type: none"> ICLK 周波数 ≤ 32MHz バイトアクセス時にはリードに ICLK 6 サイクルが必要
イレース後の値	FFh	FFh
プログラム/イレース方式	<ul style="list-style-type: none"> レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング) ユーザプログラムによるフラッシュメモリのプログラム (セルフプログラミング) 	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO (バックグラウンドオペレーション) 機能	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	<ul style="list-style-type: none"> ユーザ領域へのプログラム：32 ビット単位 ユーザ領域のイレース：1KB 単位 	<ul style="list-style-type: none"> データ領域へのプログラム：8 ビット単位 データ領域のイレース：1KB 単位
その他の機能	セルフプログラミング中の割り込み受け付け 本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	
オンボードプログラミング	シリアルプログラミングモード (SCI ブートモード) でのプログラム： <ul style="list-style-type: none"> 調歩同期式シリアルインタフェース (SCI9) を使用 自動調整された転送レート オンチップデバッグモード (OCD) でのプログラム： <ul style="list-style-type: none"> SWD インタフェースを使用 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュ/データフラッシュプログラム書き換えルーチンによるプログラム： <ul style="list-style-type: none"> システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラミングが可能 	

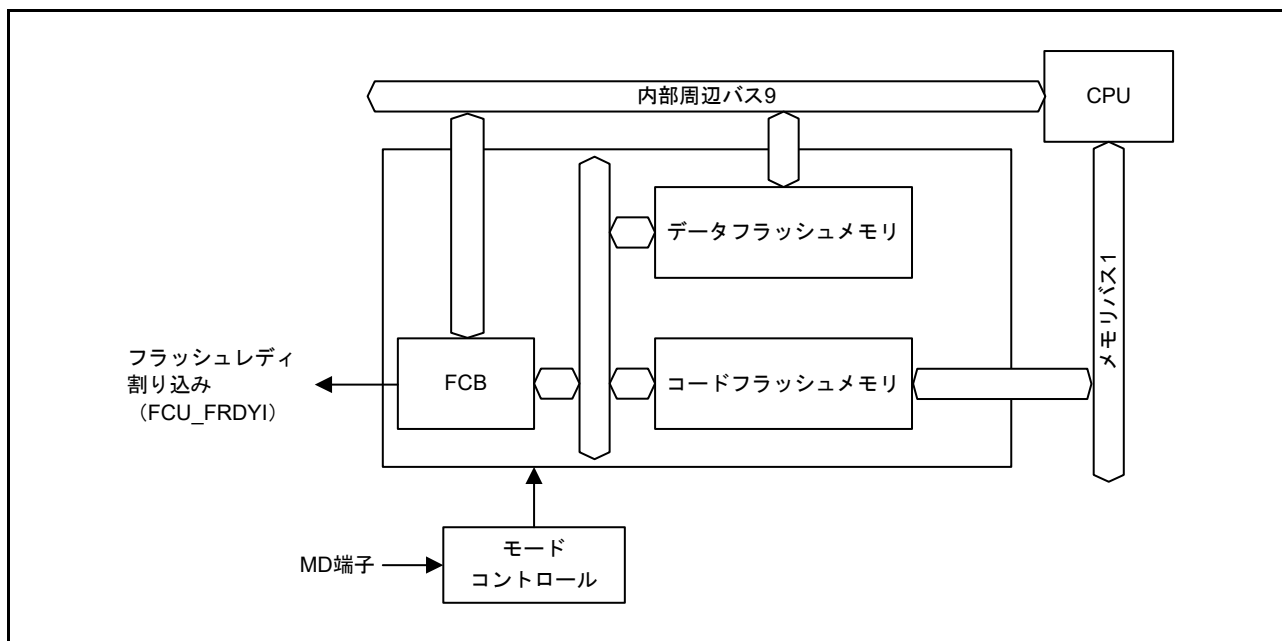


図 42.1 フラッシュメモリ関連モジュールのブロック図

42.2 メモリ構造

図 42.2 にコードフラッシュメモリのマッピングを、表 42.4 にコードフラッシュメモリのサイズ別のリードアドレスとプログラム/イレースアドレスを示します。コードフラッシュメモリのユーザ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

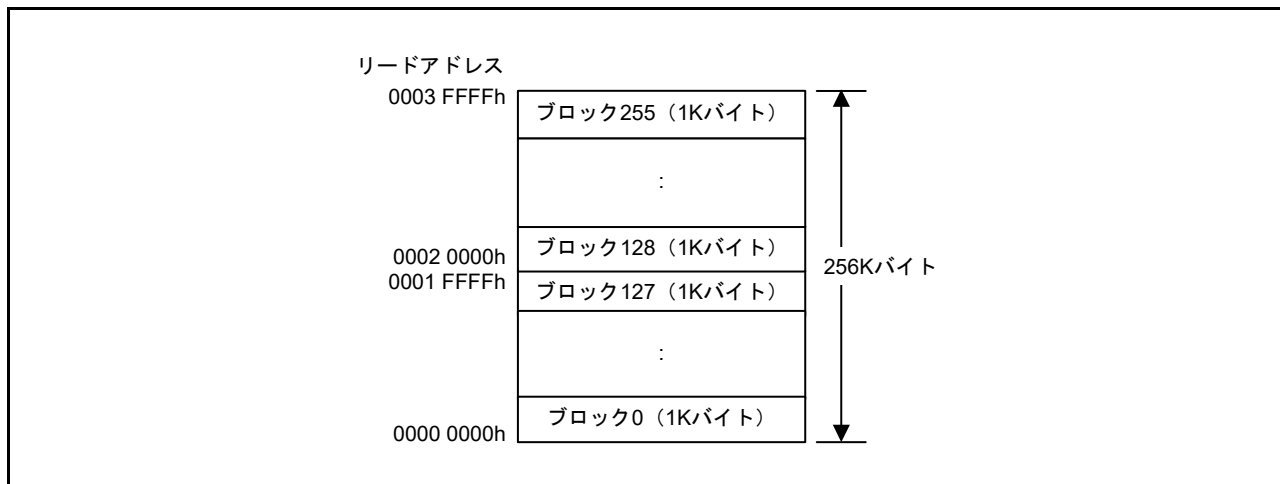


図 42.2 コードフラッシュメモリマッピング

表 42.2 コードフラッシュメモリのサイズ別リード、P/Eアドレス

コードフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
256KB	0000 0000h ~ 0003 FFFFh	0000 0000h ~ 0003 FFFFh	0 ~ 255

データフラッシュメモリのデータ領域は 1KB のブロックに分割されており、各ブロック単位でイレース可能です。図 42.3 にデータフラッシュメモリのマッピングを、表 42.4 にデータフラッシュメモリのサイズ別のリードアドレスとプログラム/イレースアドレスを示します。

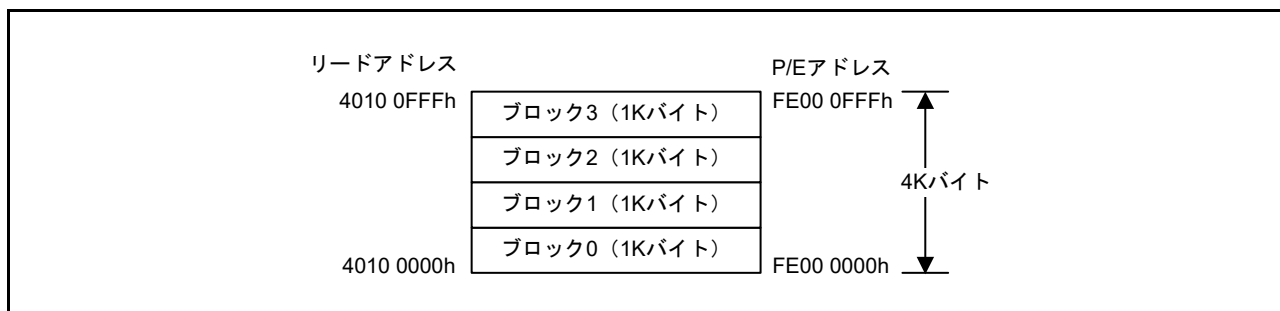


図 42.3 データフラッシュメモリマッピング

表 42.3 データフラッシュメモリのサイズ別リード、P/Eアドレス

データフラッシュメモリのサイズ	リードアドレス	P/Eアドレス	ブロック数
4KB	4010 0000h ~ 4010 0FFFh	FE00 0000h ~ FE00 0FFFh	0 ~ 3

42.3 フラッシュメモリ関連の動作モード

図 42.4 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 動作モード」を参照してください。

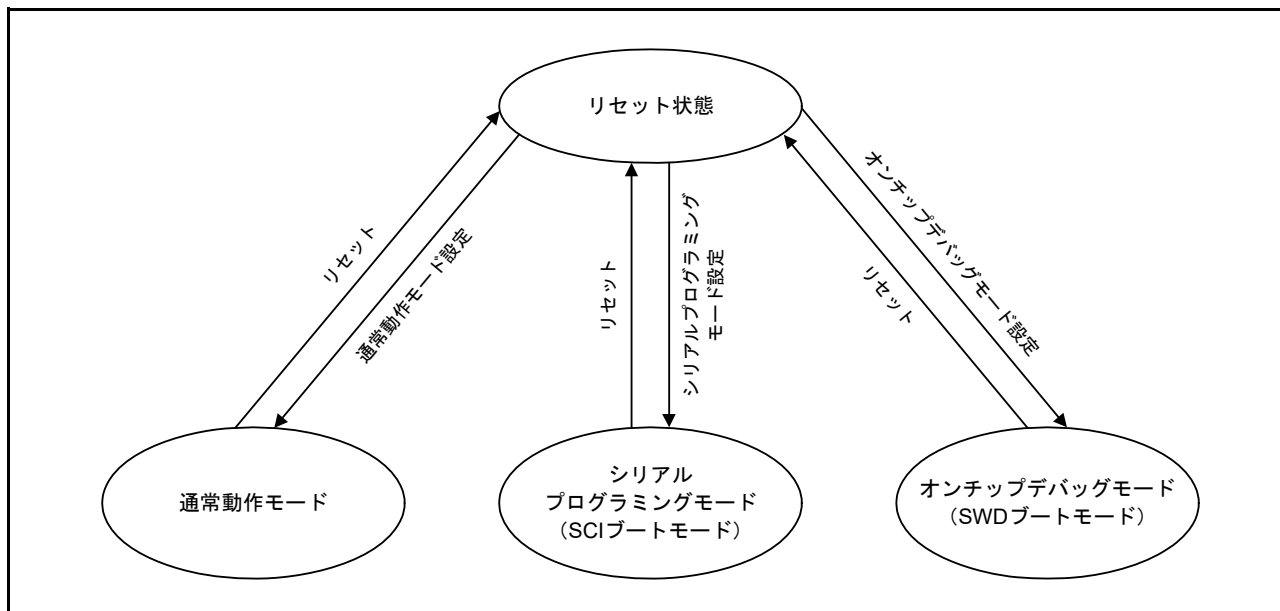


図 42.4 フラッシュメモリに関するモード遷移図

各モードでプログラム/イレースが可能な領域、リセット後の起動プログラム実行領域が異なります。表 42.4 に各モードの相違点を示します。

表 42.4 各モードの相違点

項目	通常動作モード	シリアルプログラムモード (SCIブートモード)	オンチップデバッグモード (SWDブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ 	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ 	<ul style="list-style-type: none"> コードフラッシュメモリ データフラッシュメモリ
ブロック分割イレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

42.3.1 IDコードプロテクト機能

この機能は、プログラミングとオンチップデバッグを禁止します。IDコードプロテクト機能が有効な場合、デバイスはホストが送信したIDコードをフラッシュメモリに格納されているIDコードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この2つが一致する場合に限り許可されます。

フラッシュメモリに格納されているIDコードは、32ビットワード4つで構成されます。IDコードのビット127とビット126は、IDコードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。IDコードがどのように認証方法を決定するかについて、表42.5に示します。

表 42.5 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCIブートモード)	FFh, ..., FFh (全バイトがFFh)	プロテクト無効	IDコードは検証されません。IDコードは常に一致して、プログラマまたはオンチップデバッグへの接続が許可されます。
オンチップデバッグモード (SWDブートモード)	ビット127 = 1、ビット126 = 1、かつ16バイトのうち少なくとも1つがFFh以外	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッグから送られてきたIDコードがASCIIコードのALeRASE (414C_6552_4153_45FF_FFFF_FFFF_FFFF_FF FFh) であると、ユーザフラッシュ領域の内容はすぐに消去されます。ただし、FSPRビットが0であれば、強制消去は実行されません。
	ビット127 = 1、ビット126 = 0	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッグへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移
	ビット127 = 0	プロテクト有効	IDコードは検証されません。IDコードは常に一致せず、プログラマまたはオンチップデバッグへの接続は禁止されます。

42.4 機能概要

シリアルプログラミングモードではシリアルインタフェース経由で、オンチップデバッグモードではSWDインタフェース経由で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前もしくは実装後にかかわらずデバイスのプログラムが可能です。また、ユーザプログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 42.6 は、プログラミング方法と対応する動作モードを示しています。

表 42.6 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCIインタフェース経由で接続されている専用フラッシュメモリプログラムを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCIインタフェース経由で接続されている専用フラッシュメモリプログラムおよび専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングの実行前にメモリに書き込まれたユーザプログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーション機能を使用して、データフラッシュメモリ書き換え中にコードフラッシュメモリを読み出すことも可能です（表 42.11 参照）。 コードフラッシュメモリのセルフプログラミングを実行中、コードフラッシュメモリのバックグラウンドでの命令フェッチまたはデータアクセスは実行できません。そのような場合は、内蔵SRAMまたは外部メモリから書き換え用プログラムをあらかじめ転送して実行する必要があります。	通常動作モード
SWDプログラミング	SWD経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	SWDおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

内蔵フラッシュメモリの機能一覧を表 42.7 に示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 42.7 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	x	○
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	○	○
プログラム	指定したアドレスのプログラムを行います。	○	○
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	○	x (ユーザプログラムによる読み出しは可能)
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較し、これら二つが一致する場合、FCBは待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	○	x (ID認証は行わない)
セキュリティ設定	シリアルプログラミング用のセキュリティ機能を設定します。	△ (有効から無効への設定切り替えのみ許可)	△ (有効から無効への設定切り替えのみ許可)
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリはIDコードセキュリティ機能をサポートしています。ID認証は、シリアルプログラミングとSWDプログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 42.8 に、セキュリティ設定時の動作を表 42.9 に示します。

表 42.8 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 42.9 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合 ● ブロックイレースコマンド : x ● プログラミングコマンド : x ● リードコマンド : x ● セキュリティ設定コマンド : x ● プロテクション設定コマンド : x IDが一致した場合 ● ブロックイレースコマンド : ○ ● プログラミングコマンド : ○ ● リードコマンド : ○ ● セキュリティ設定コマンド : ○ ● プロテクション設定コマンド : ○	ID認証は行わない ● ブランクチェック : ○ ● ブロックイレース : ○ ● プログラミング : ○ ● セキュリティ設定 : ○ ● プロテクション設定 : ○	ID認証は行わない

○ : サポートあり、x : サポートなし

42.4.1 構成領域ビットマップ

図 42.5 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

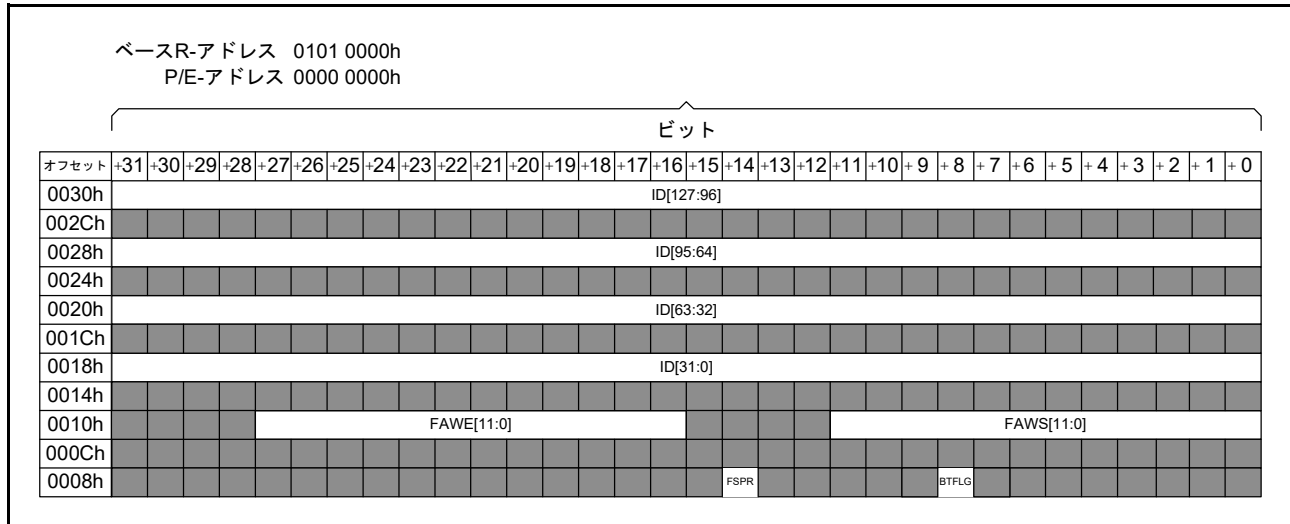


図 42.5 構成領域ビットマップ

42.4.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 8KB で、ユーザ領域に配置されています。FCB は、構成領域または AWSC レジスタに配置されたスタートアップ領域選択フラグ (BTFLG) に基づきアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

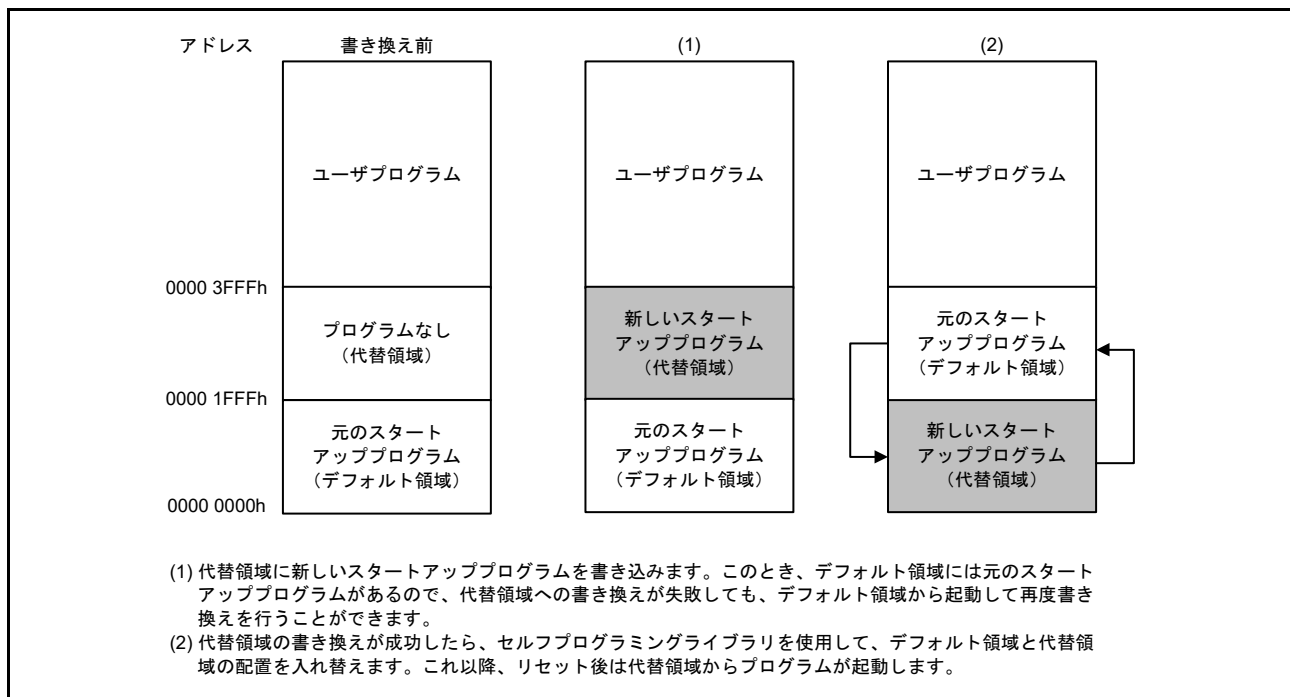


図 42.6 スタートアッププログラムプロテクションの概要

42.4.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。

アクセスウィンドウは、FAWS[11:0] ビットおよびFAWE[11:0] ビットの両方で指定されています。以下に、異なる条件でのFAWS ビットとFAWE[11:0] ビットの設定方法を説明します。

- FAWE[11:0] = FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できる
- FAWE[11:0] > FAWS[11:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE[11:0] ビットで指示されたブロックより1つ下のブロックまでのウィンドウにおいてのみ実行できる
- FAWE[11:0] < FAWS[11:0] : P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できない

図 42.7 に、フラッシュ領域プロテクションの概要を示します。

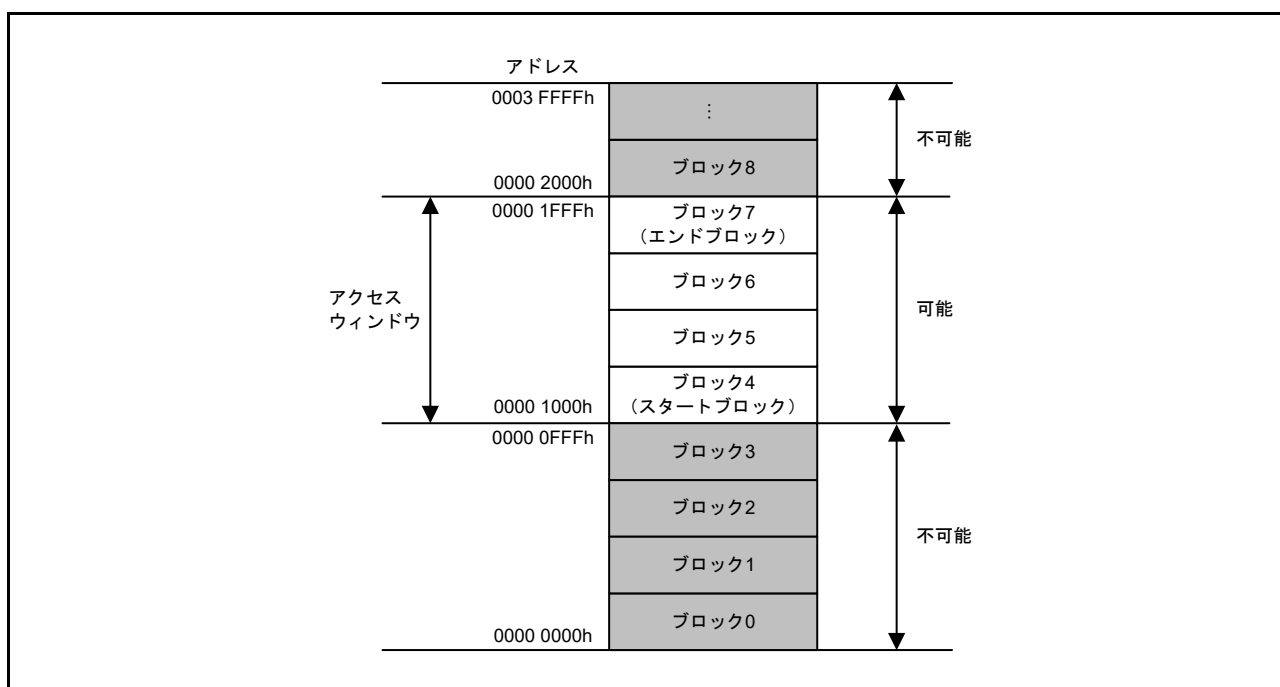


図 42.7 フラッシュ領域プロテクションの概要

42.5 プログラムコマンド

FCB は、プログラムコマンドを制御します。

42.6 サスペンド動作

強制停止コマンドは、ブランクチェックまたはブロックイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

42.7 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

42.8 シリアルプログラミングモード

シリアルプログラミングモードは SCI9 ブートモードを含んでいます。表 42.10 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 42.10 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCIブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCIブートモード	ホスト通信におけるSCIデータ受信用
P109/TXD9	出力		ホスト通信におけるSCIデータ送信用

42.8.1 SCI ブートモード

SCI ブートモードでは、ホストは制御コマンドとプログラミングデータを送信して、コードおよびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本MCU間の通信には、内蔵のSCIを調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本MCUをSCIブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCIのビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。

図 42.8 に、SCI ブートモード時のシステム構成を示します。

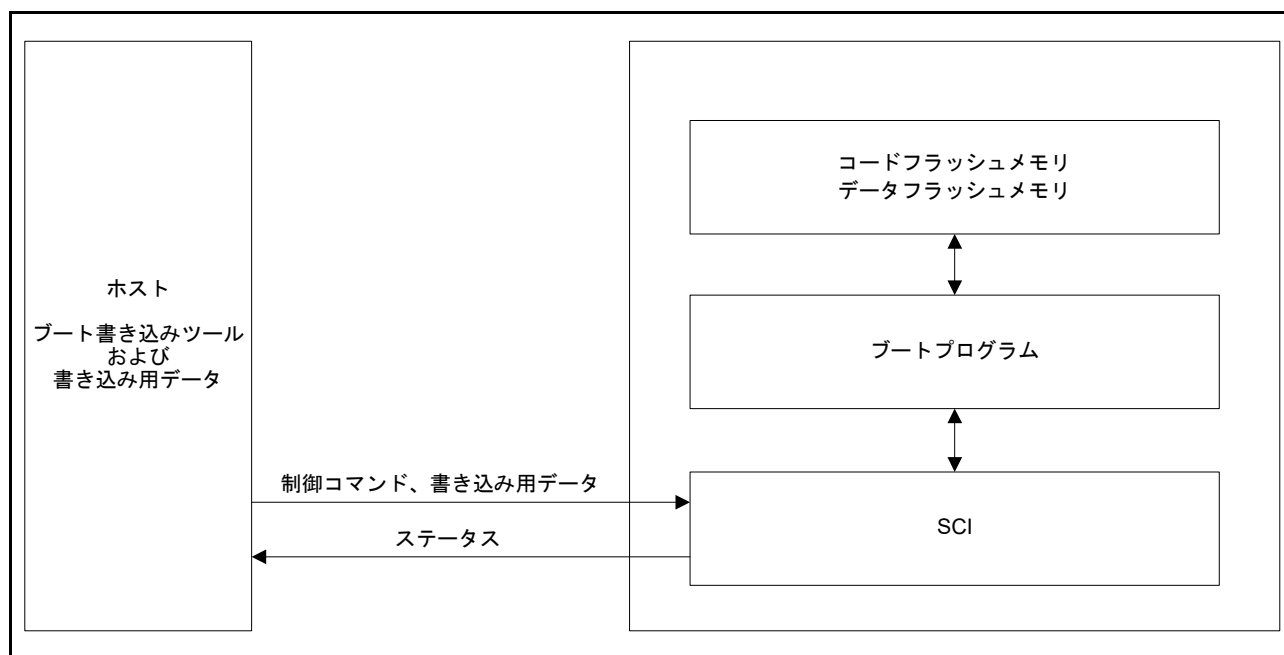


図 42.8 SCI ブートモード時のシステム構成

42.9 シリアルプログラマを使用する場合

シリアルプログラミングモードでフラッシュメモリをプログラムするには、専用のフラッシュメモリプログラマを使用します。本MCUは、シリアルプログラミング用にボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

図 42.9 に、本MCUのフラッシュメモリにデータをプログラミングするための推奨環境を示します。

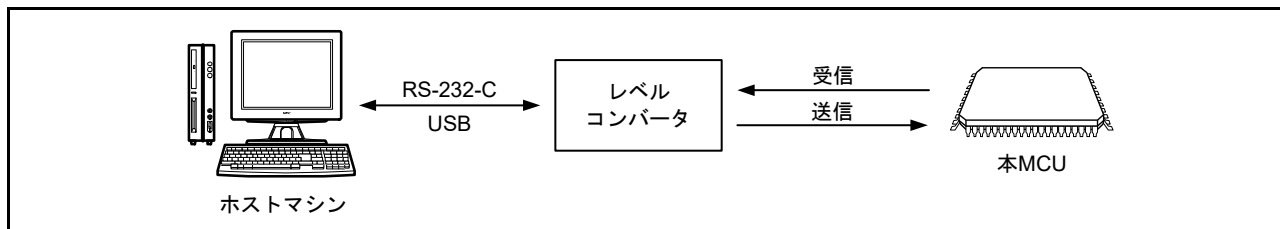


図 42.9 フラッシュメモリにプログラムを書き込むための環境

42.10 セルフプログラミング

42.10.1 概要

本MCUは、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザプログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用して表 42.11 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵SRAMに複製し、そこから実行することも可能です。内蔵SRAMからの実行時、本プログラムはコードフラッシュメモリ領域を書き換えることもできます。

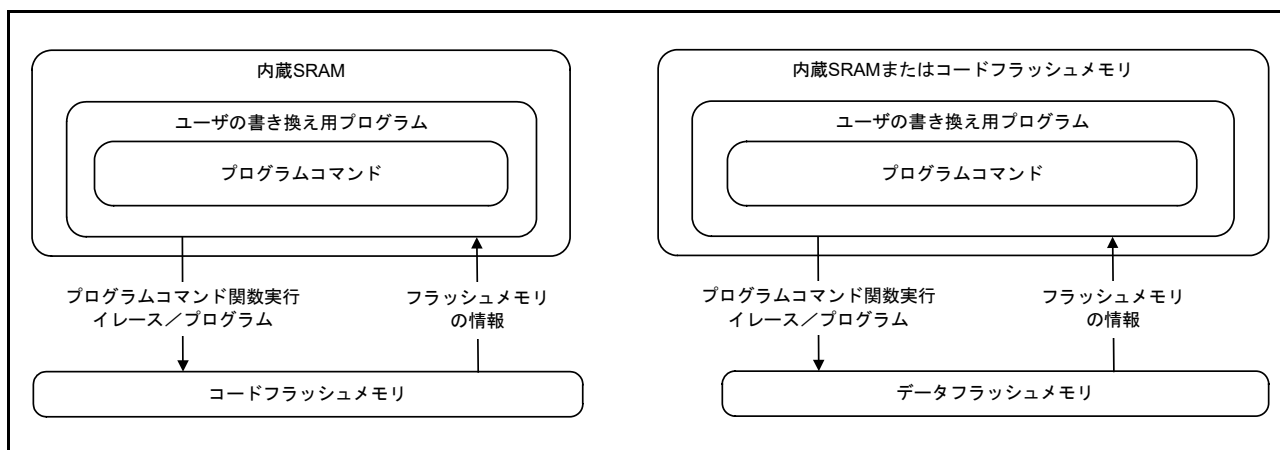


図 42.10 セルフプログラミングの概念

42.10.2 バックグラウンドオペレーション

書き込み対象のフラッシュメモリと読み出し対象のフラッシュメモリが表 42.11 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することが可能です。

表 42.11 バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品共通	データフラッシュメモリ	コードフラッシュメモリ

42.11 フラッシュメモリの読み出し

42.11.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、値はすべて 1 が読み出されません。

42.11.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後にプログラミングしていない（未プログラム状態の）データフラッシュメモリを読み出すと、値はすべて 1 が読み出されます。

42.12 使用上の注意事項

42.12.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

42.12.2 イレースサスペンドコマンドによる中断

イレース動作をイレースサスペンドコマンドで中断した場合、レジュームコマンドで動作を完了してください。

42.12.3 追加の書き込みに関する制約

構成領域を除き、同一領域に 2 回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

42.12.4 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、電気的特性で定義された動作電圧の範囲内で、tRESW 以上（「46. 電気的特性」参照）のリセット入力時間を経過してからリセットを解除してください。

IWDT リセットおよびソフトウェアリセットでは、tRESW 入力時間は必要ありません。

42.12.5 プログラム/イレース中におけるノンマスカブル割り込みの禁止

コードフラッシュメモリでプログラム/イレース中に、ノンマスカブル割り込み（注1）を許可しないでください。プログラム/イレース中にノンマスカブル割り込みが発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。この制約は、コードフラッシュメモリに限り適用されます。

注1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、IWDT アンダーフロー/リフレッシュエラー、電圧監視1 割り込み、または電圧監視2 割り込みです。

42.12.6 プログラム/イレース中における割り込みベクタの配置

プログラム/イレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできません。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域をフェッチ先に設定します。

42.12.7 低速動作モードでのプログラム/イレース

消費電力低減機能のために SOPCCR レジスタで低速動作モードが選択されている場合、フラッシュメモリのプログラム/イレースは実行しないでください。

42.12.8 プログラム/イレース中の異常終了

プログラム/イレース中に電圧が動作電圧範囲を超えた場合、またはリセットや [42.12.9 プログラム/イレース中に禁止されているアクション](#) に記載の禁止動作が原因でプログラム/イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

42.12.9 プログラム/イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム/イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- フラッシュインタフェースクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム/イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリに対するプログラム/イレース中に DFLCTL.DFLEN ビット値を更新しない

43. AES エンジン

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

44. 真性乱数発生器 (TRNG)

本情報を公開するには、守秘義務契約の締結が必要です。詳しくは、弊社営業担当までご連絡ください。

45. 内部電圧レギュレータ

45.1 概要

本 MCU は、入出力、アナログドメイン以外の内部回路およびメモリに電圧を供給するリニアレギュレータ (LDO) を内蔵しています。

45.2 動作説明

表 45.1 に LDO モードの端子設定を、図 45.1 に LDO モードの設定を示します。内部電圧は VCC から生成します。

表 45.1 LDOモードの端子設定

端子	設定内容
全VCC端子	<ul style="list-style-type: none"> システムの電源に接続してください 0.1μFの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは端子近くに配置してください
VCL端子	<ul style="list-style-type: none"> 4.7μFの積層セラミックコンデンサを使用してVSSに接続してください。コンデンサは端子近くに配置してください

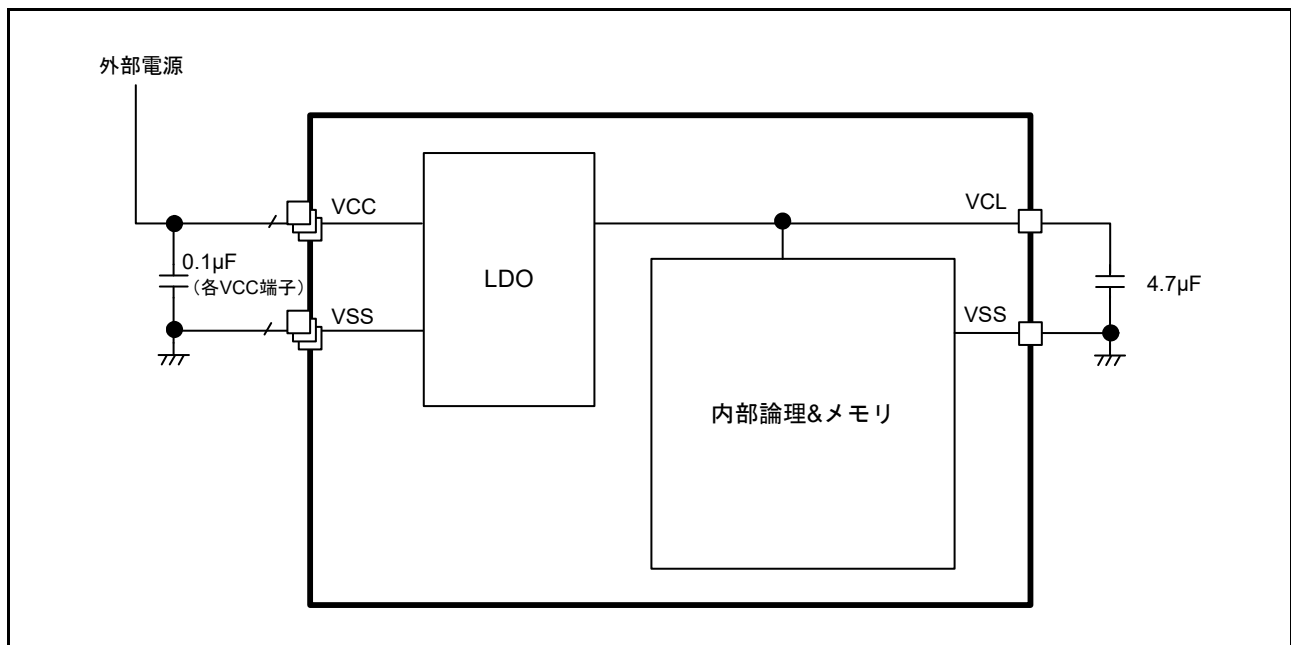


図 45.1 LDOモード設定

46. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC (注1) = $AVCC0$ = VCC_USB (注2) = VCC_USB_LDO (注2) = 1.6 ~ 5.5V、 $VREFH0$ = 1.6 ~ $AVCC0$ 、

VSS = $AVSS0$ = $VREFL0$ = VSS_USB = 0V、 T_a = T_{opr}

注1. 通常は VCC = 3.3V に設定されています。

注2. USBFS 不使用時。

図 46.1 は、タイミング条件を示しています。

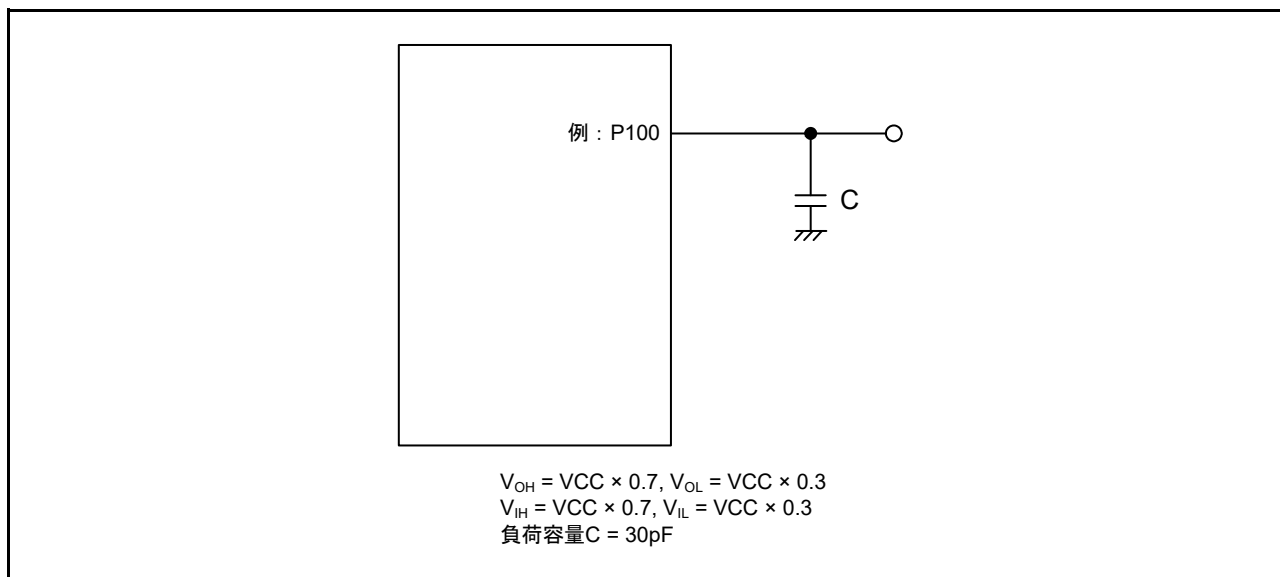


図 46.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子には、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

46.1 絶対最大定格

表 46.1 絶対最大定格

項目		シンボル	値	単位
電源電圧		VCC	-0.5 ~ +6.5	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5	V
	P000 ~ P004 P010 ~ P015 P500 ~ P502	V_{in}	-0.3 ~ AVCC0+0.3	V
	その他	V_{in}	-0.3 ~ VCC+0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0	-0.5 ~ +6.5	V
USB電源電圧		VCC_USB	-0.5 ~ +6.5	V
		VCC_USB_LDO	-0.5 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN013使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN022使用時		-0.3 ~ VCC+0.3	V
動作温度 (注2) (注3)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

注. Ta = +85 ~ +105 °Cの場合のディレーティング動作については、弊社の営業担当までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

注 1. P205、P206、P400、P401、P407 は 5V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O ブルアップ電源を入力しないでください。信号または I/O ブルアップの入力による電流注入は、デバイスの故障や異常電流を引き起こし、内部要素を劣化させる恐れがあります。

注 2. 46.2.1 Tj/Ta の定義を参照してください。

注 3. 動作温度の上限が 85 °C か 105 °C かは製品によって異なります。詳細は 1.3 型名を参照してください。

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

ノイズ干渉が原因の故障を排除するためには、VCC 端子と VSS 端子の間、AVCC0 端子と AVSS0 端子の間、VCC_USB 端子と VSS_USB 端子の間、VREFH0 端子と VREFL0 端子の間に高周波特性コンデンサを挿入します。各電源端子になるべく近い場所に約 0.1µF のコンデンサを配置し、最も短く重いトレースを使用してください。また、コンデンサは安定容量として接続してください。4.7µF コンデンサを介して VCL 端子を VSS 端子に接続してください。コンデンサは必ず端子近くに配置してください。

表 46.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC (注1) (注2)	USBFS不使用時	1.6	-	5.5	V
		USBFS使用時 USBレギュレータ無効	VCC_USB	-	3.6	V
		USBFS使用時 USBレギュレータ有効	VCC_USB _LDO	-	5.5	V
	VSS	-	0	-	V	
USB電源電圧	VCC_USB	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ無効 (入力)	3.0	3.3	3.6	V
	VCC_USB_LDO	USBFS不使用時	-	VCC	-	V
		USBFS使用時 USBレギュレータ有効	3.8	-	5.5	V
	VSS_USB	-	0	-	V	
アナログ電源電圧	AVCC0 (注1) (注2)		1.6	-	5.5	V
	AVSS0		-	0	-	V
	VREFH0	ADC14基準として使用時	1.6	-	AVCC0	V
	VREFL0		-	0	-	V

注 1. 下記の条件で AVCC0 と VCC を使用してください：

VCC \geq 2.0V のとき、AVCC0 と VCC は動作範囲内で個別に設定可能

VCC < 2.0V のとき、AVCC0 = VCC

注 2. VCC 端子および AVCC0 端子に電源を投入する場合、両方同時に電源投入するか、最初に VCC 端子、次に AVCC0 端子の順番で電源投入してください。

46.2 DC 特性

46.2.1 Tj/Ta の定義

表 46.3 DC 特性

条件：動作温度 (T_a) が -40 ~ +105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T _j	-	125	°C	High-speed モード Middle-speed モード Low-speed モード Low-voltage モード Subosc-speed モード

注. $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

46.2.2 I/O V_{IH}, V_{IL}

表 46.4 I/O V_{IH}, V_{IL} (1)

条件：VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 2.7 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件	
シュミットトリガ 入力電圧	IIC (SMBus を除く) (注1)	V _{IH}	VCC × 0.7	-	5.8	V	-
		V _{IL}	-	-	VCC × 0.3		
		ΔV _T	VCC × 0.05	-	-		
	RES, NMI IIC を除くその他の周辺入力 端子	V _{IH}	VCC × 0.8	-	-		
		V _{IL}	-	-	VCC × 0.2		
		ΔV _T	VCC × 0.1	-	-		
入力電圧 (シュ ミットトリガ入力 端子を除く)	IIC (SMBus) (注2)	V _{IH}	2.2	-	-	-	VCC = 3.6 ~ 5.5V
		V _{IH}	2.0	-	-		VCC = 2.7 ~ 3.6V
		V _{IL}	-	-	0.8		
	5Vトレラント対応ポート (注3)	V _{IH}	VCC × 0.8	-	5.8		
		V _{IL}	-	-	VCC × 0.2		
	P000 ~ P004 P010 ~ P015 P500 ~ P502	V _{IH}	AVCC0 × 0.8	-	-		
		V _{IL}	-	-	AVCC0 × 0.2		
	P914, P915	V _{IH}	VCC_USB × 0.8	-	VCC_USB + 0.3		
		V _{IL}	-	-	VCC_USB × 0.2		
	EXTAL 入力ポート端子 (P000 ~ P004, P010 ~ P015, P500 ~ P502, P914 ~ P915 を除 く)	V _{IH}	VCC × 0.8	-	-		
		V _{IL}	-	-	VCC × 0.2		

注 1. SCL0_A, SDA0_A, SDA0_B, SCL1_A, SDA1_A (合計 5 端子)

注 2. SCL0_A, SDA0_A, SCL0_B, SDA0_B, SCL0_C, SCL1_A, SDA1_A, SCL1_B, SDA1_B (合計 9 端子)

注 3. P205, P206, P400, P401, P407 (合計 5 端子)

表 46.5 I/O V_{IH} , V_{IL} (2)

条件 : $VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 \sim 2.7V$

項目		シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ 入力電圧	RES, NMI 周辺入力端子	V_{IH}	$VCC \times 0.8$	-	-3	V	-
		V_{IL}	-	-	$VCC \times 0.2$		
		ΔV_T	$VCC \times 0.01$	-	-		
入力電圧 (シュミットトリガ入力端子を除く)	5Vトレラント対応ポート (注1)	V_{IH}	$VCC \times 0.8$	-	5.8		
		V_{IL}	-	-	$VCC \times 0.2$		
	P000 ~ P004 P010 ~ P015 P500 ~ P502	V_{IH}	$AVCC0 \times 0.8$	-	-		
		V_{IL}	-	-	$AVCC0 \times 0.2$		
	P914, P915	V_{IH}	$VCC_USB \times 0.8$	-	$VCC_USB + 0.3$		
		V_{IL}	-	-	$VCC_USB \times 0.2$		
	EXTAL 入力ポート端子 (P000 ~ P004、 P010 ~ P015、P500 ~ P502、 P914 ~ P915を除く)	V_{IH}	$VCC \times 0.8$	-	-		
		V_{IL}	-	-	$VCC \times 0.2$		

注 1. P205、P206、P400、P401、P407 (合計 5 端子)

46.2.3 I/O I_{OH} , I_{OL}

表 46.6 I/O I_{OH} , I_{OL}

条件 : VCC = AVCC0 = VCC_USB = VCC_USB_LDO = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位
許容出力電流 (端子ごとの平均値)	ポート P000 ~ P004、P010 ~ P015、P212、P213、P500 ~ P502	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポート P408、P409	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2) VCC = 2.7 ~ 3.0V	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	-	-	-20.0	mA
			I_{OL}	-	-	20.0	mA
	ポート P914、P915	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	その他の出力端子 (注3)	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
許容出力電流 (端子ごとの最大値)	ポート P000 ~ P004、P010 ~ P015、P212、P213、P500 ~ P502	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポート P408、P409	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2) VCC = 2.7 ~ 3.0V	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		中駆動 (注2) VCC = 3.0 ~ 5.5V	I_{OH}	-	-	-20.0	mA
			I_{OL}	-	-	20.0	mA
	ポート P914、P915	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	その他の出力端子*3	低駆動 (注1)	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動 (注2)	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
許容出力電流 (全端子の最大値)	ポート P000 ~ P004、P010 ~ P015、P500 ~ P502 の合計	-	$\Sigma I_{OH} (max)$	-	-	-30	mA
			$\Sigma I_{OL} (max)$	-	-	30	mA
	ポート P914 と P915 の合計	-	ΣI_{OH}	-	-	-4.0	mA
			ΣI_{OL}	-	-	4.0	mA
	全出力端子の総和	-	$\Sigma I_{OH} (max)$	-	-	-60	mA
			$\Sigma I_{OL} (max)$	-	-	60	mA

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μ s の間に計測した電流の平均値を意味します。

- 注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。
- 注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。
- 注 3. 入力ポートである P200、P214、P215 を除きます。

46.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性

表 46.7 I/O V_{OH} 、 V_{OL} (1)

条件 : $V_{CC} = AV_{CC0} = V_{CC_USB} = V_{CC_USB_LDO} = 4.0 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1) (注2)	V_{OL}	-	-	0.4	V	$I_{OL} = 3.0mA$	
		V_{OL}	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P408、P409 (注2) (注3)	V_{OH}	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$	
		V_{OL}	-	-	1.0		$I_{OL} = 20mA$	
	ポート P000 ~ P004、 P010 ~ P015、 P500 ~ P502	低駆動	V_{OH}	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	V_{OH}	$AV_{CC0} - 0.8$	-		-	$I_{OH} = -4.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 4.0mA$
	ポート P914、P915	V_{OH}	$V_{CC_USB} - 0.8$	-	-		$I_{OH} = -2.0mA$	
		V_{OL}	-	-	0.8		$I_{OL} = 2.0mA$	
	その他の出力端子 (注4)	低駆動	V_{OH}	$V_{CC} - 0.8$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 2.0mA$
		中駆動	V_{OH}	$V_{CC} - 0.8$	-		-	$I_{OH} = -4.0mA$
			V_{OL}	-	-		0.8	$I_{OL} = 4.0mA$

注 1. SCL0_A、SDA0_A、SCL0_B、SDA0_B、SCL0_C、SCL1_A、SDA1_A、SCL1_B、SDA1_B (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 46.8 I/O V_{OH} 、 V_{OL} (2)

条件 : $V_{CC} = AV_{CC0} = V_{CC_USB} = V_{CC_USB_LDO} = 2.7 \sim 4.0V$

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	IIC (注1) (注2)	V_{OL}	-	-	0.4	V	$I_{OL} = 3.0mA$	
		V_{OL}	-	-	0.6		$I_{OL} = 6.0mA$	
	ポート P408、P409 (注2) (注3)	V_{OH}	$V_{CC} - 1.0$	-	-		$I_{OH} = -20mA$ $V_{CC} = 3.3V$	
		V_{OL}	-	-	1.0		$I_{OL} = 20mA$ $V_{CC} = 3.3V$	
	ポート P000 ~ P004、 P010 ~ P015、 P500 ~ P502	低駆動	V_{OH}	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$AV_{CC0} - 0.5$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 2.0mA$
	ポート P914、P915	V_{OH}	$V_{CC_USB} - 0.5$	-	-		$I_{OH} = -1.0mA$	
		V_{OL}	-	-	0.5		$I_{OL} = 1.0mA$	
	その他の出力端子 (注4)	低駆動	V_{OH}	$V_{CC} - 0.5$	-		-	$I_{OH} = -1.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 1.0mA$
		中駆動	V_{OH}	$V_{CC} - 0.5$	-		-	$I_{OH} = -2.0mA$
			V_{OL}	-	-		0.5	$I_{OL} = 2.0mA$

注 1. SCL0_A、SDA0_A、SCL0_B、SDA0_B、SCL0_C、SCL1_A、SDA1_A、SCL1_B、SDA1_B (合計 9 端子)

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。

注 3. 特性データに基づき、製品試験は行っていません。

注 4. 入力ポートである P200、P214、P215 を除きます。

表 46.9 I/O V_{OH} , V_{OL} (3)

条件 : $VCC = AVCC0 = VCC_{USB} = VCC_{USB_LDO} = 1.6 \sim 2.7V$

項目		シンボル	Min	Typ	Max	単位	測定条件	
出力電圧	ポートP000～P004、 P010～P015、 P500～P502	低駆動	V_{OH}	$AVCC0 - 0.3$	-	-	V	$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$AVCC0 - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$
	ポートP914、P915	V_{OH}	$VCC_{USB} - 0.3$	-	-	$I_{OH} = -0.5mA$		
		V_{OL}	-	-	0.3	$I_{OL} = 0.5mA$		
	その他の出力端子 (注1)	低駆動	V_{OH}	$VCC - 0.3$	-	-		$I_{OH} = -0.5mA$
			V_{OL}	-	-	0.3		$I_{OL} = 0.5mA$
		中駆動	V_{OH}	$VCC - 0.3$	-	-		$I_{OH} = -1.0mA$
			V_{OL}	-	-	0.3		$I_{OL} = 1.0mA$

注 1. 入力ポートである P200、P214、P215 を除きます。

表 46.10 I/O その他の特性

条件 : $VCC = AVCC0 = VCC_{USB} = VCC_{USB_LDO} = 1.6 \sim 5.5V$

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポートP200、P214、 P215	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0V$ $V_{in} = 5.8V$
	その他のポート		-	-	1.0		$V_{in} = 0V$ $V_{in} = VCC$
入力プルアップ抵抗	すべてのポート (P200、P214、P215、P914、 P915を除く)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$
入力容量	USB_DP, USB_DM, P200	C_{in}	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$
	その他の入力端子		-	-	15		

46.2.5 入出力端子出力特性（低駆動能力）

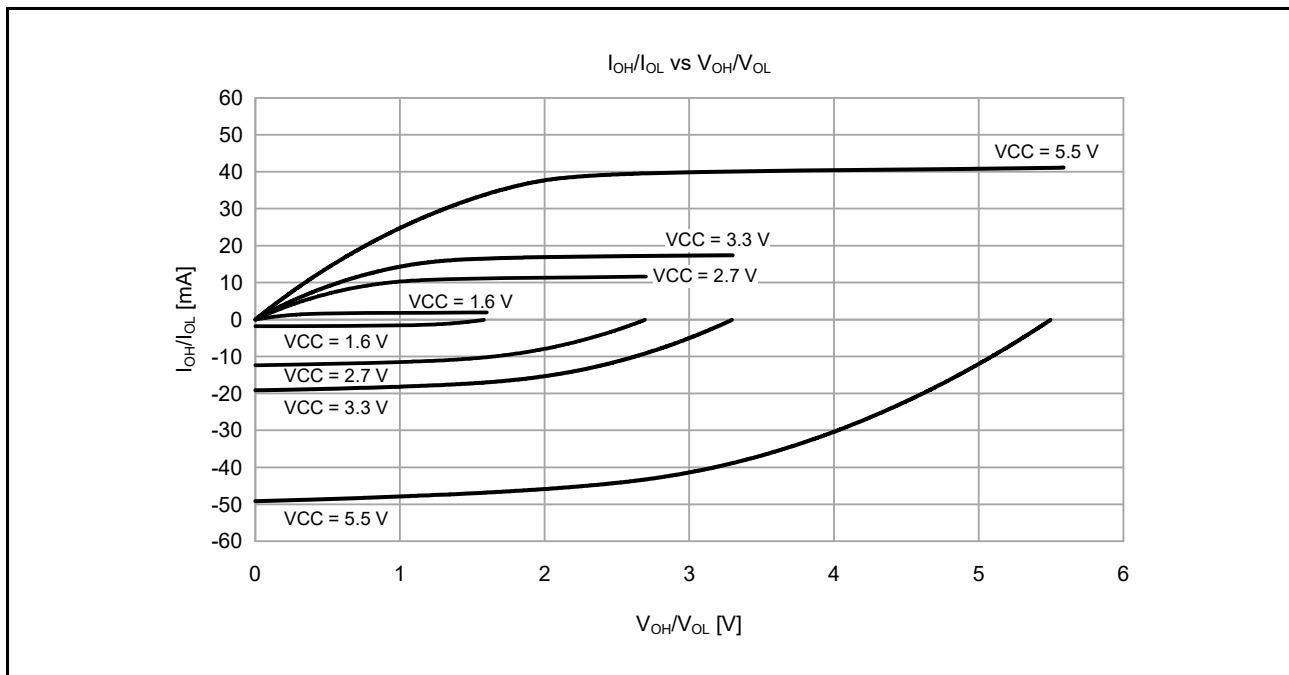


図 46.2 低駆動出力選択時の $T_a = 25^\circ C$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ、P914 および P915 を除く）

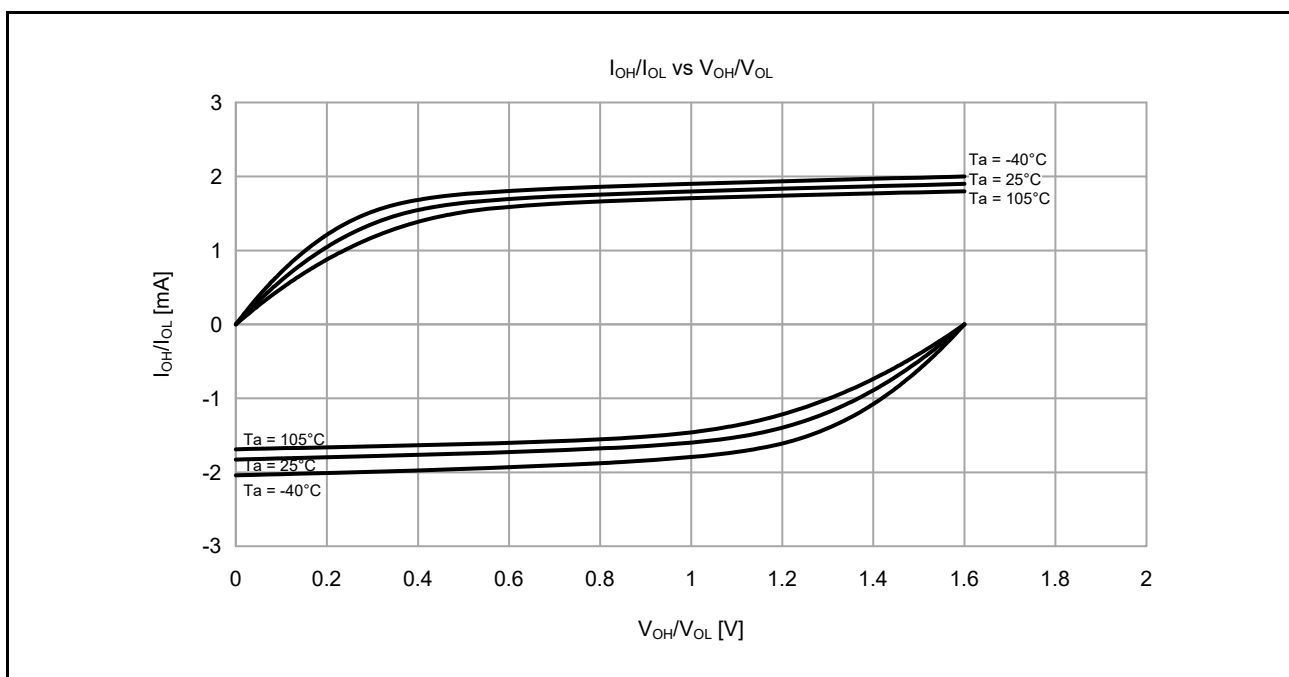


図 46.3 低駆動出力選択時の $V_{CC} = 1.6V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ、P914 および P915 を除く）

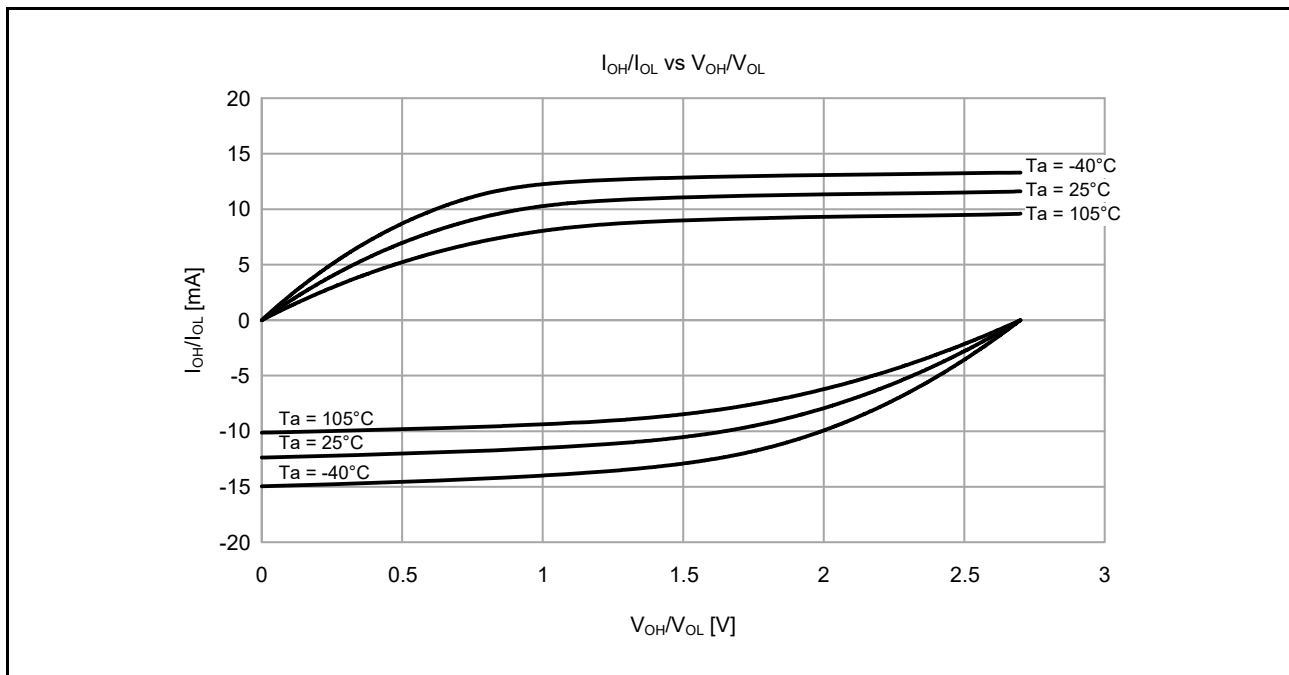


図 46.4 低駆動出力選択時の VCC = 2.7V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

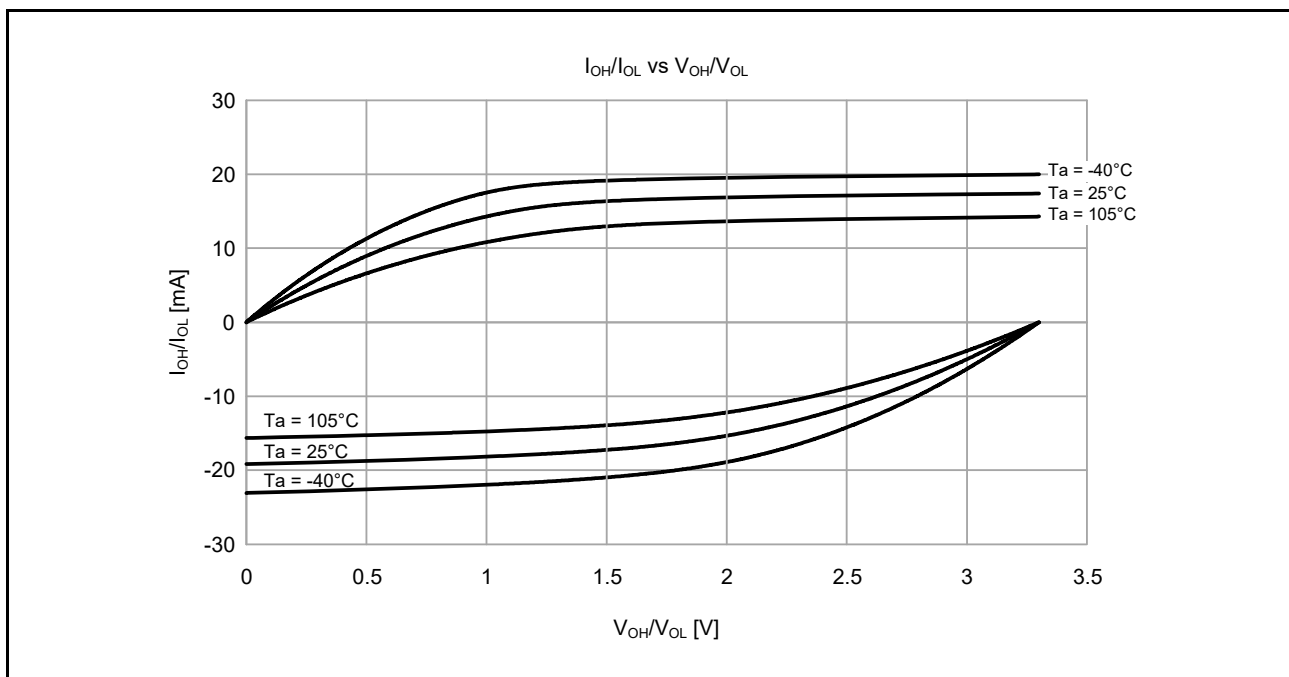


図 46.5 低駆動出力選択時の VCC = 3.3V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

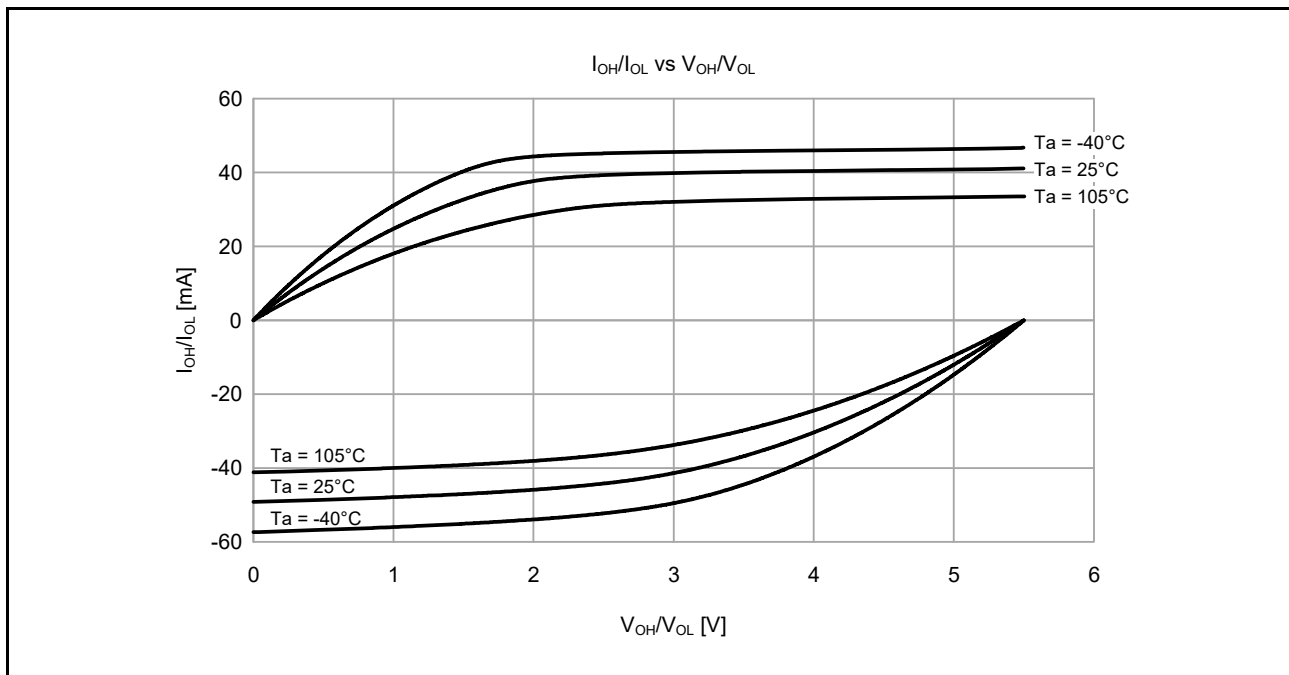


図 46.6 低駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

46.2.6 入出力端子出力特性 (中駆動能力)

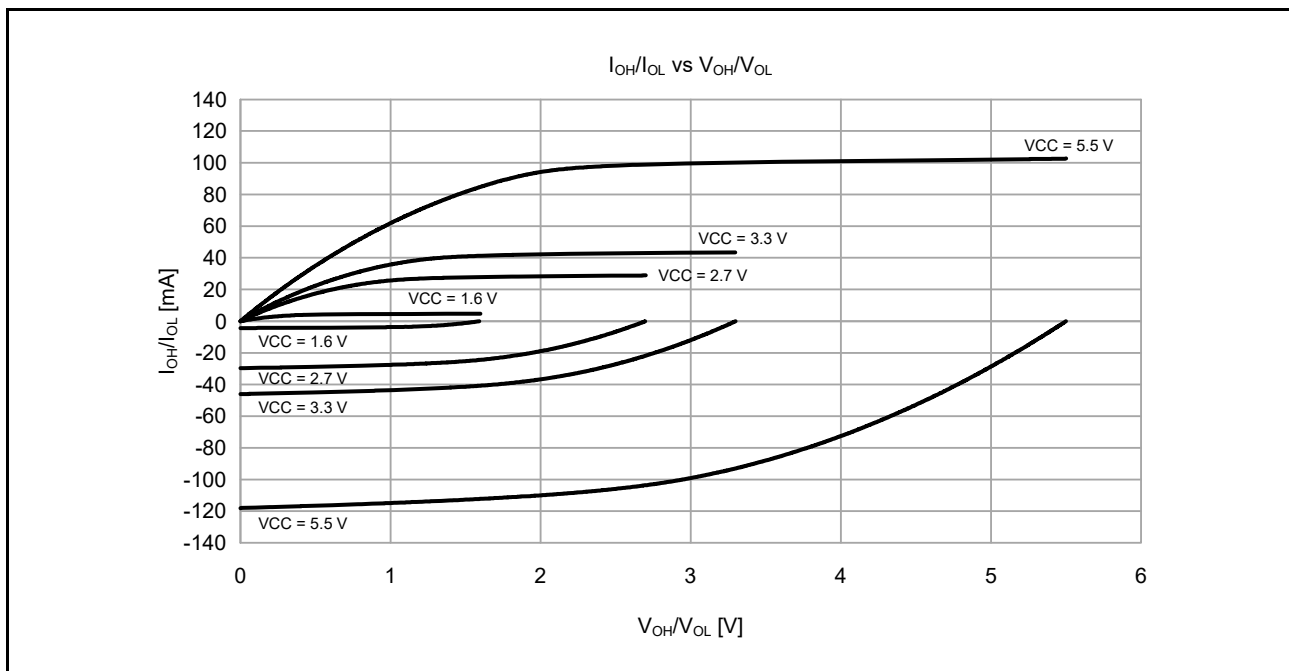


図 46.7 中駆動出力選択時の $T_a = 25^\circ C$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性 (参考データ、P914 および P915 を除く)

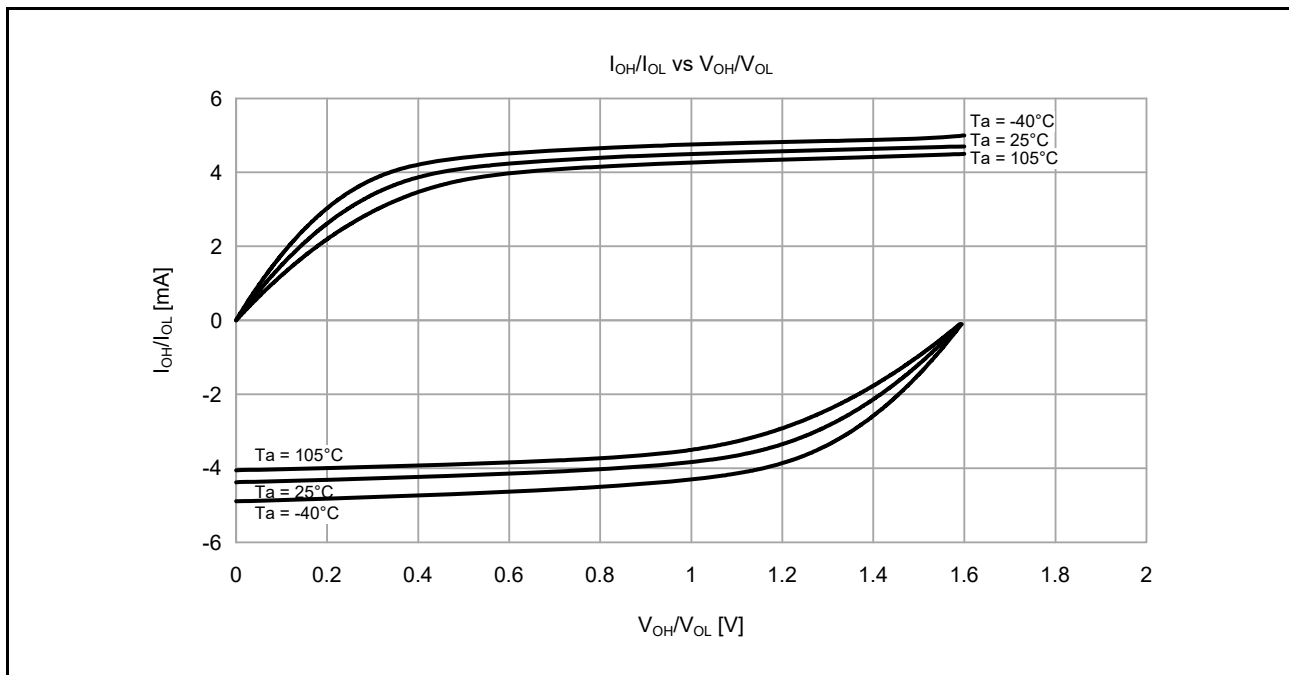


図 46.8 中駆動出力選択時の VCC = 1.6V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

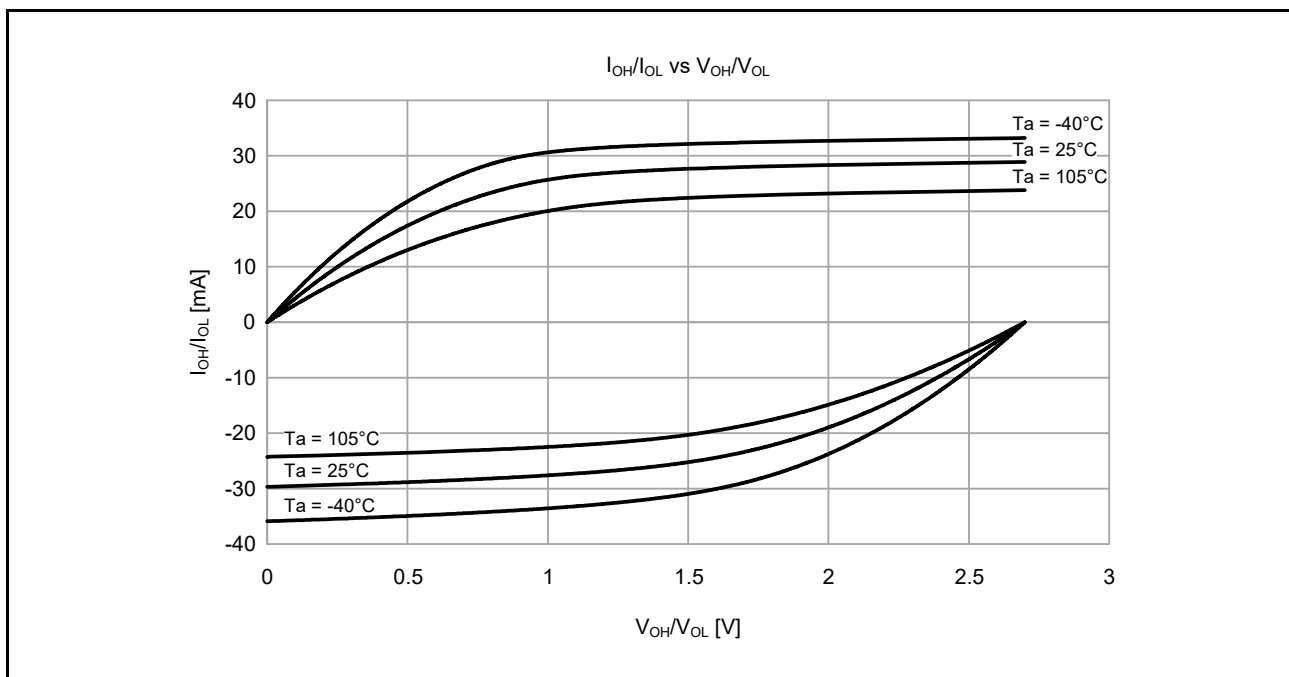


図 46.9 中駆動出力選択時の VCC = 2.7V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

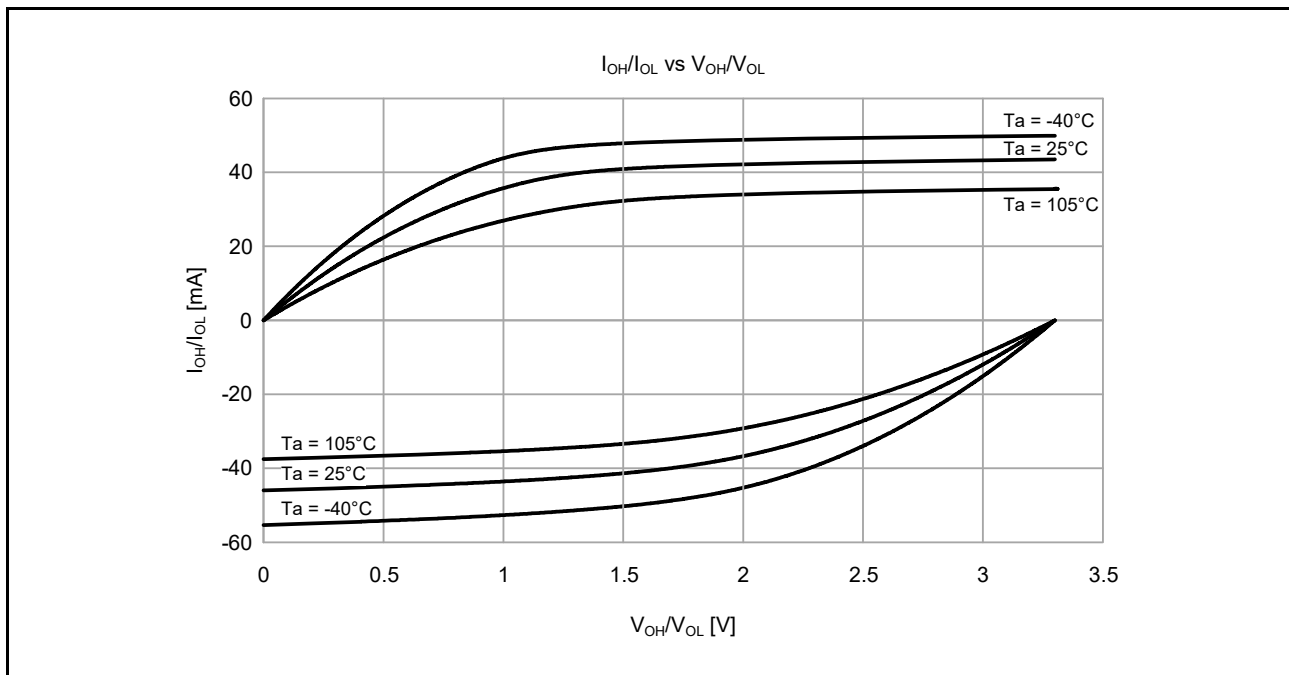


図 46.10 中駆動出力選択時の VCC = 3.3V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

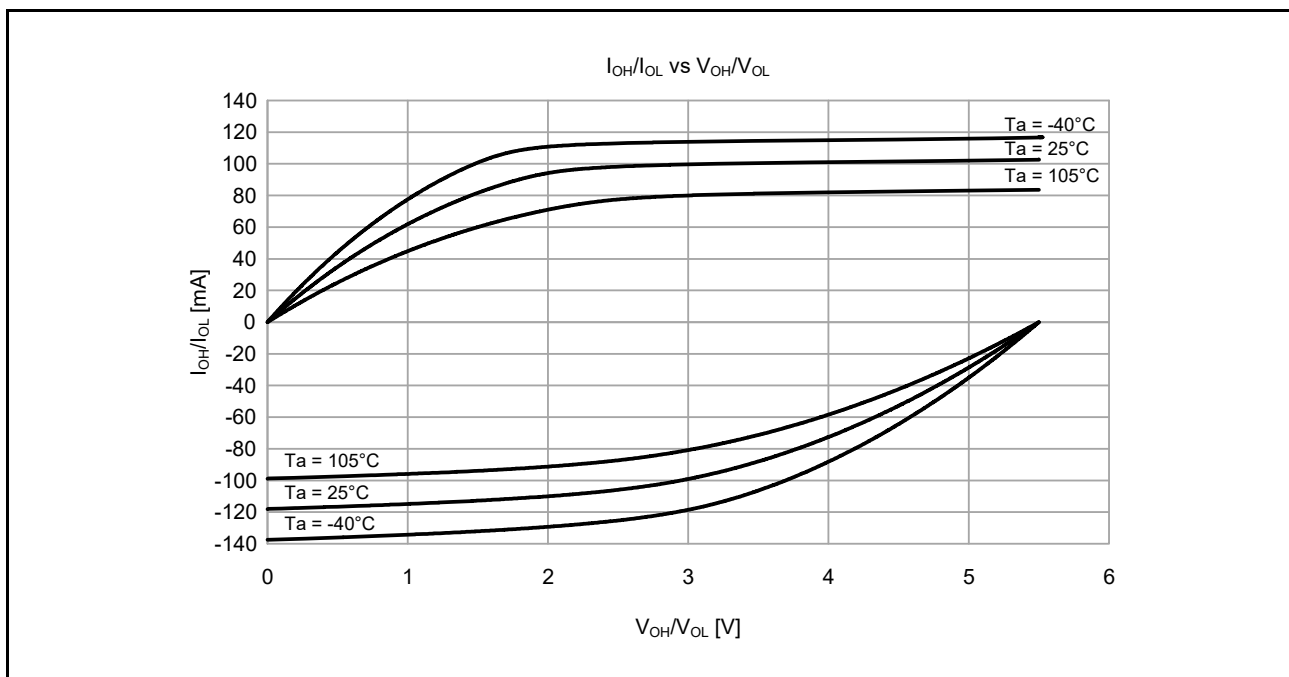


図 46.11 中駆動出力選択時の VCC = 5.5V での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ、P914 および P915 を除く)

46.2.7 P408 および P409 入出力端子の出力特性（中駆動能力）

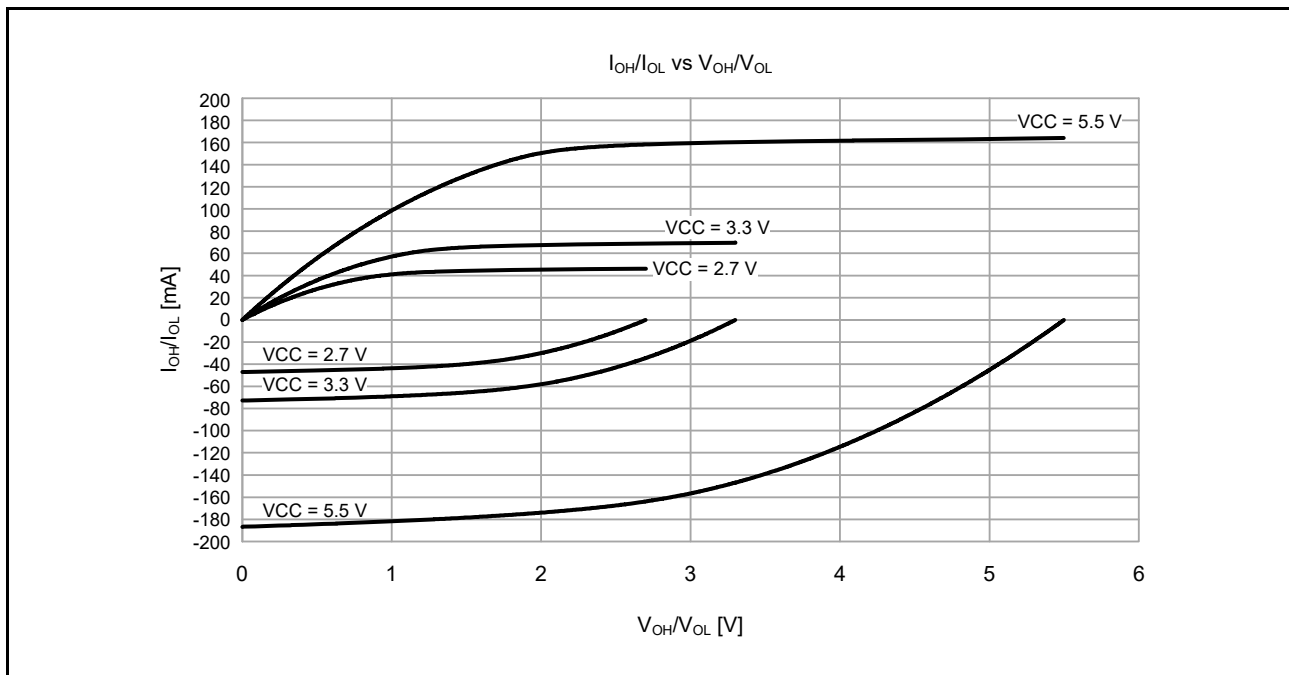


図 46.12 中駆動出力選択時の $T_a = 25^\circ\text{C}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性（参考データ）

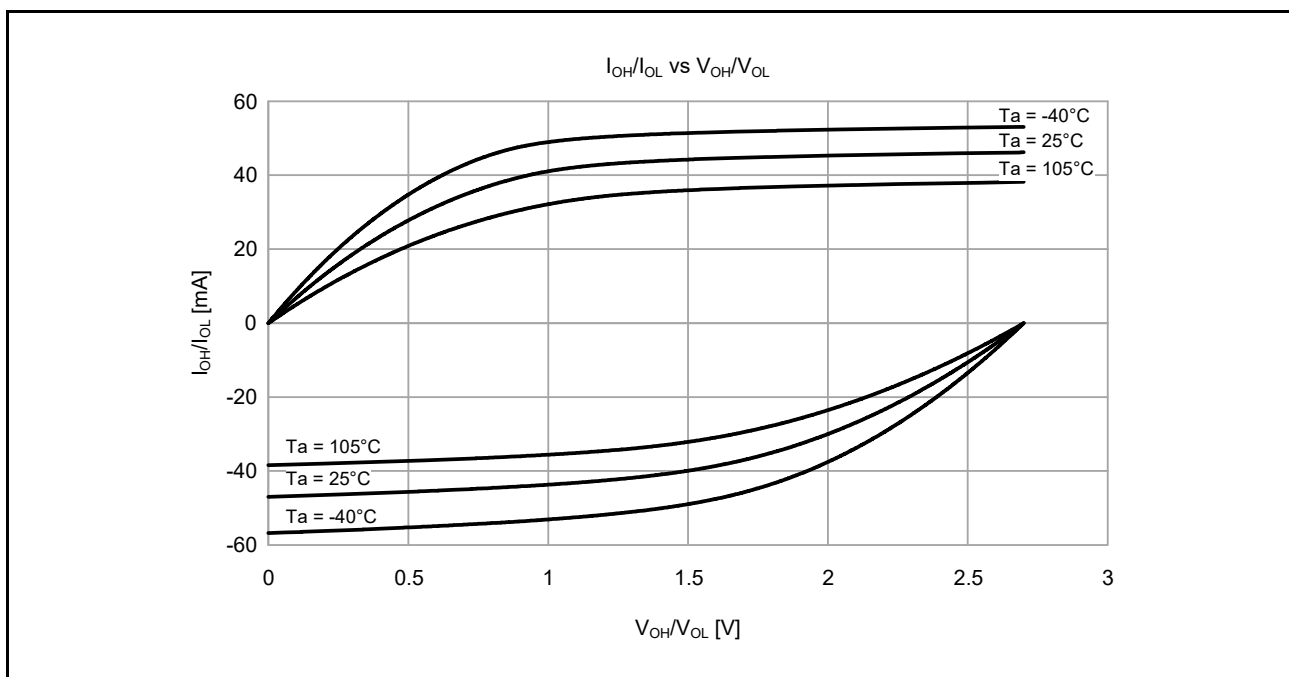


図 46.13 中駆動出力選択時の $V_{CC} = 2.7\text{V}$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性（参考データ）

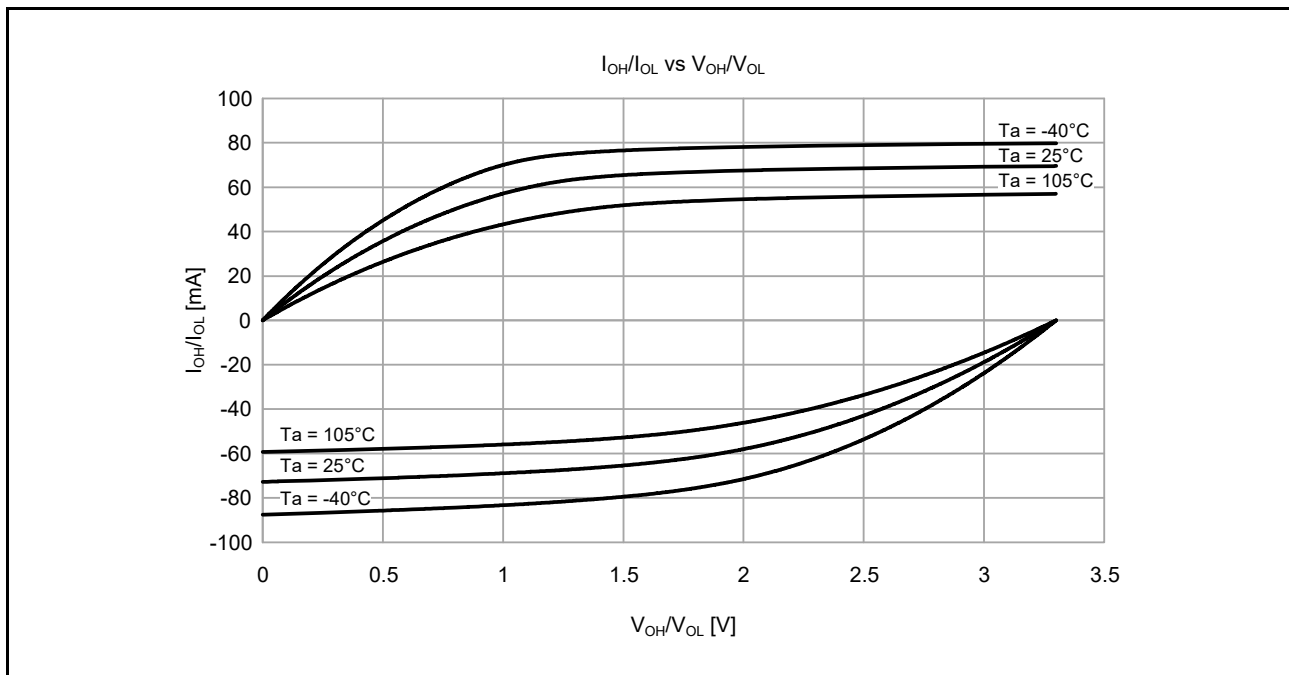


図 46.14 中駆動出力選択時の $V_{CC} = 3.3V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

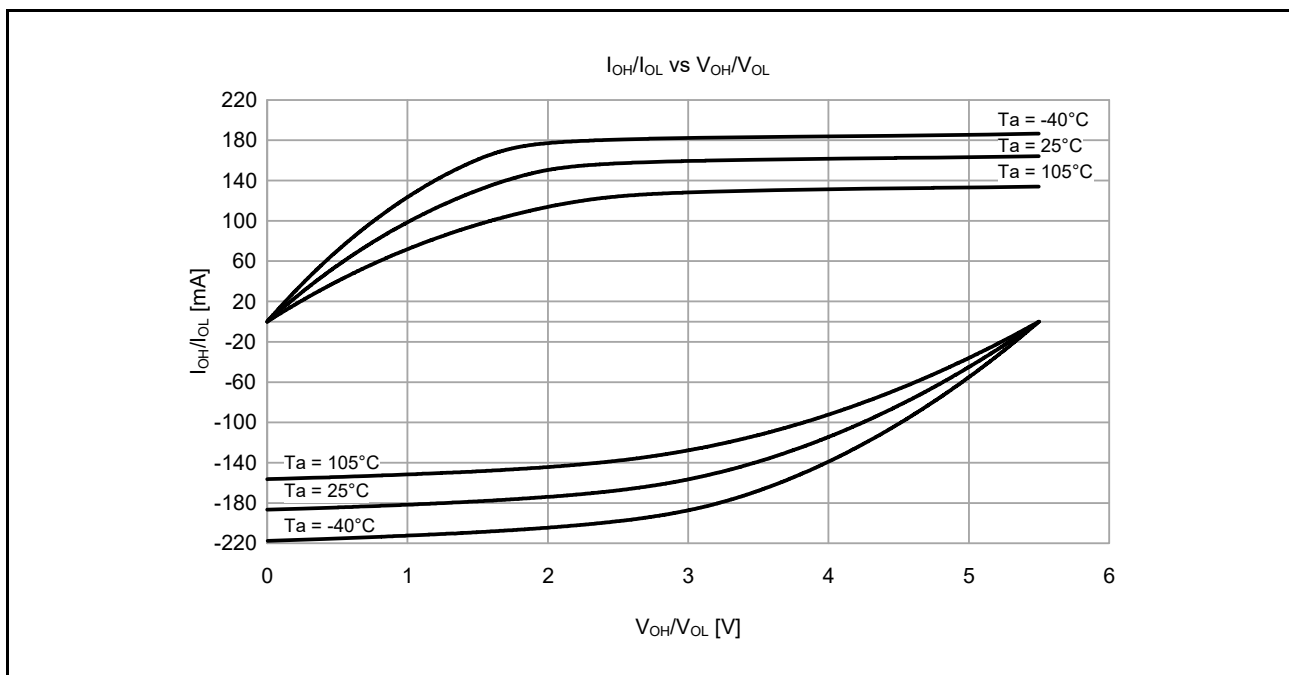


図 46.15 中駆動出力選択時の $V_{CC} = 5.5V$ での V_{OH}/V_{OL} および I_{OH}/I_{OL} 温度特性 (参考データ)

46.2.8 IIC 入出力端子の出力特性

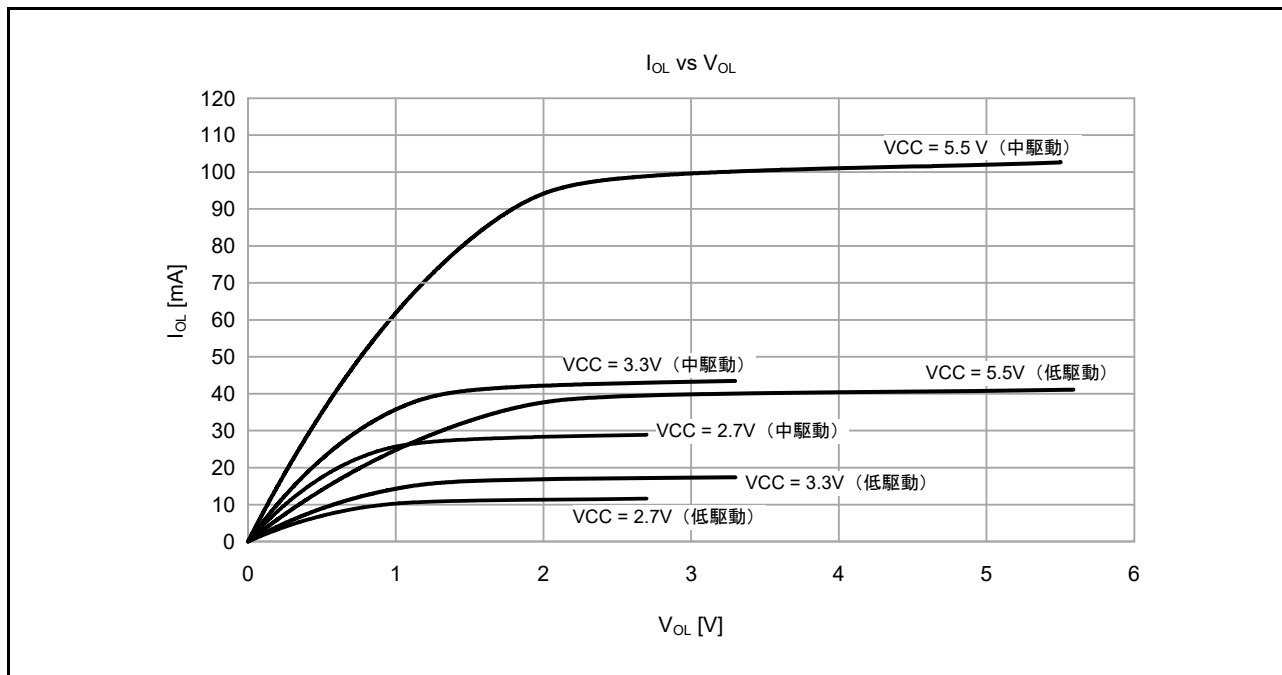


図 46.16 Ta = 25 °Cでの V_{OH}/V_{OL} および I_{OH}/I_{OL} 電圧特性

46.2.9 動作電流とスタンバイ電流

表 46.11 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注9)	Max	単位	測定条件		
消費電流 (注1)	High-speed モード (注2)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 32MHz	I _{CC}	4.2	-	mA	(注7)	
				ICLK = 16MHz		2.6	-			
				ICLK = 8MHz		1.8	-			
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 32MHz		6.2	-			
				ICLK = 16MHz		3.6	-			
				ICLK = 8MHz		2.4	-			
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 32MHz	10.5	-	(注8)			
				ICLK = 16MHz	5.8	-				
				ICLK = 8MHz	3.4	-				
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 32MHz	-	22.1				
				ICLK = 16MHz	-	-				
				ICLK = 8MHz	-	-				
	Middle-speed モード (注2)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 12MHz	I _{CC}	1.9	-	mA	(注7)	
				ICLK = 8MHz		1.6	-			
				ICLK = 8MHz		2.7	-			
			すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 12MHz		2.1	-			
				ICLK = 8MHz		4.3	-			
				ICLK = 8MHz		3.1	-			
	スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 12MHz	-	8.1	(注8)				
			ICLK = 8MHz	0.8	-					
			ICLK = 8MHz	0.8	-					
		すべての周辺クロックが有効 (注5)	ICLK = 12MHz	3.0	-					
			ICLK = 8MHz	2.2	-					
			ICLK = 8MHz	2.5	-					
Low-speed モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 1MHz	I _{CC}	0.3	-	mA	(注7)		
			ICLK = 1MHz		0.4	-				
			ICLK = 1MHz		0.5	-				
			ICLK = 1MHz		-	2.0				
		すべての周辺クロックが無効、CoreMarkコードはフラッシュから実行 (注5)	ICLK = 1MHz		0.2	-				
			ICLK = 1MHz		0.4	-				
			スリープモード		すべての周辺クロックが無効 (注5)	ICLK = 1MHz		0.2	-	(注7)
						ICLK = 1MHz		0.4	-	
	BGO動作中に増加 (注6)					2.5		-	-	

表 46.11 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目				シンボル	Typ (注9)	Max	単位	測定条件	
消費電流 (注1)	Low-voltage モード (注3)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz	I _{CC}	1.5	-	mA	(注7)
			すべての周辺クロックが無効、CoreMark コードはフラッシュから実行 (注5)	ICLK = 4MHz		1.4	-		(注8)
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 4MHz		2.3	-		
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 4MHz		-	4.0		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 4MHz		0.9	-	(注7)	
			すべての周辺クロックが有効 (注5)	ICLK = 4MHz		1.7	-	(注8)	
	Subosc-speed モード (注4)	通常モード	すべての周辺クロックが無効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz	I _{CC}	5.9	-	μA	(注7)
			すべての周辺クロックが有効、(1) コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		13.0	-		(注8)
			すべての周辺クロックが有効、コードはフラッシュから実行 (注5)	ICLK = 32.768kHz		128.3 (17.8) (注10)	163.7		
		スリープモード	すべての周辺クロックが無効 (注5)	ICLK = 32.768kHz		3.2	-	(注7)	
すべての周辺クロックが有効 (注5)	ICLK = 32.768kHz		10.0	-	(注8)				

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部ブルアップ MOS が OFF 状態のとき、この値が適用されます。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースはサブクロック発振器です。
- 注 5. BGO 動作は含まれません。
- 注 6. プログラム実行中に、データ保管のための ROM またはフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. PCLKB と PCLKD は、64 分周に設定されています。
- 注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
- 注 9. VCC = 3.3V
- 注 10. MOCO および DAC は停止しています。

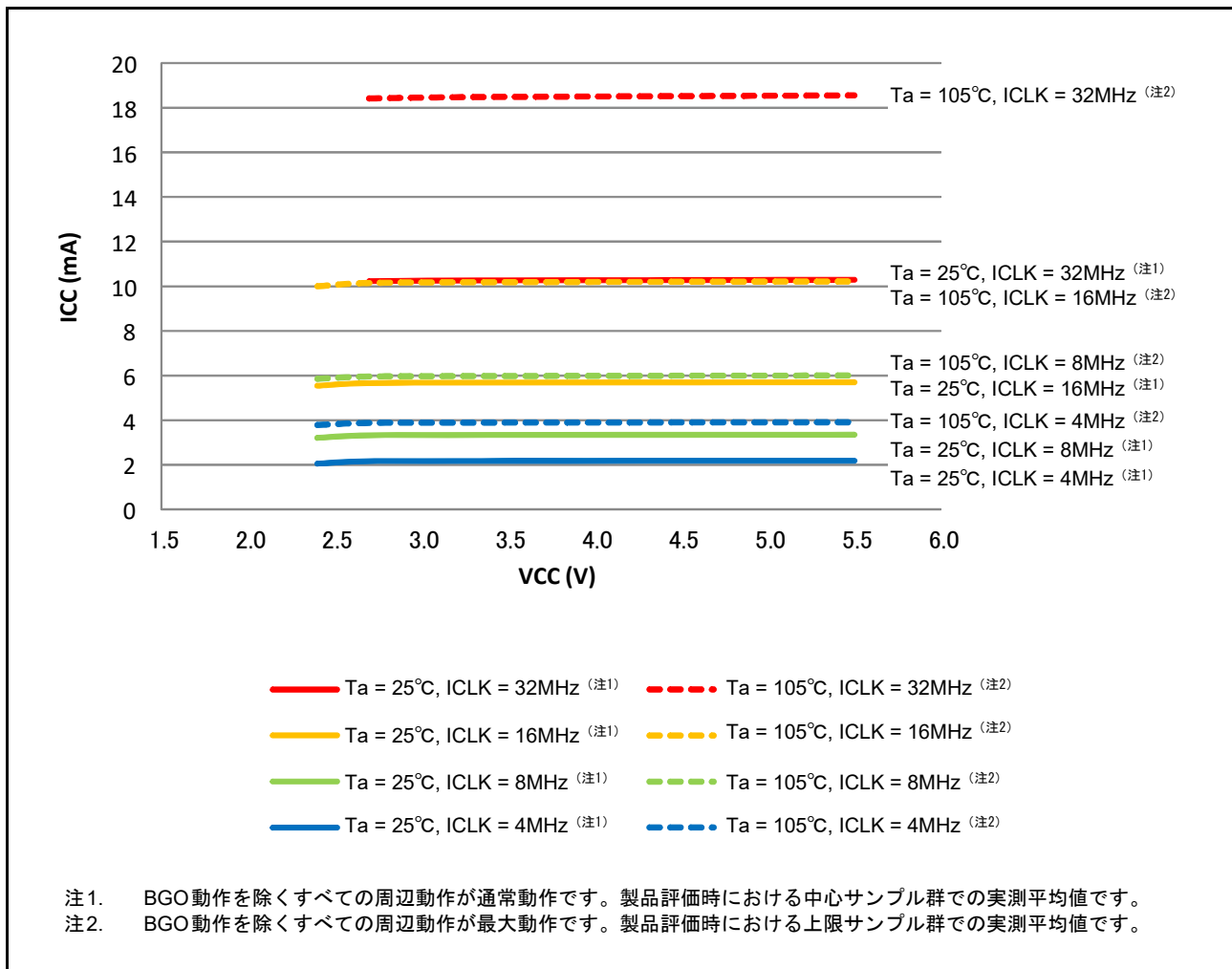


図 46.17 High-speed モードにおける電圧依存性 (参考データ)

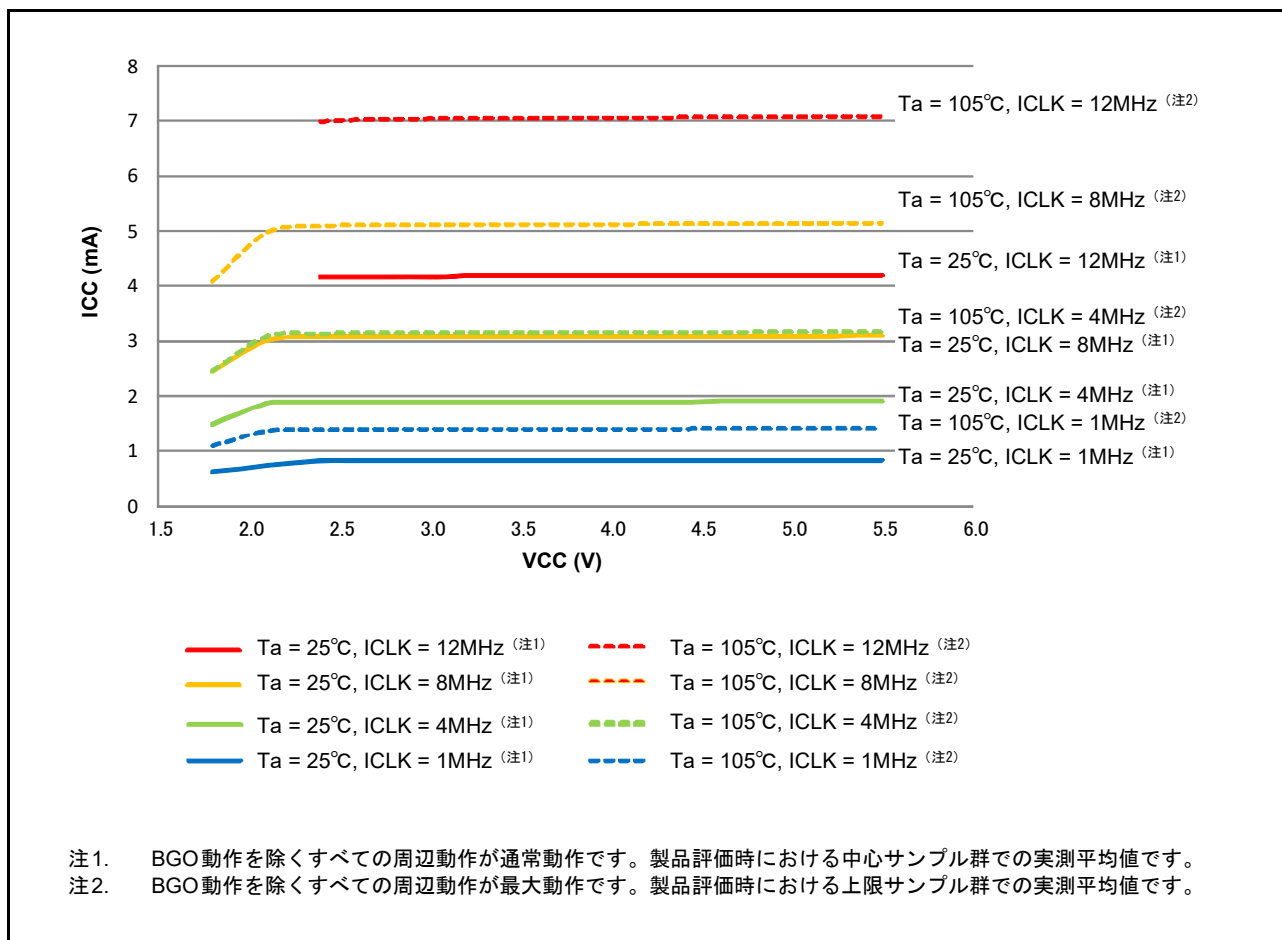


図 46.18 Middle-speed モードにおける電圧依存性 (参考データ)

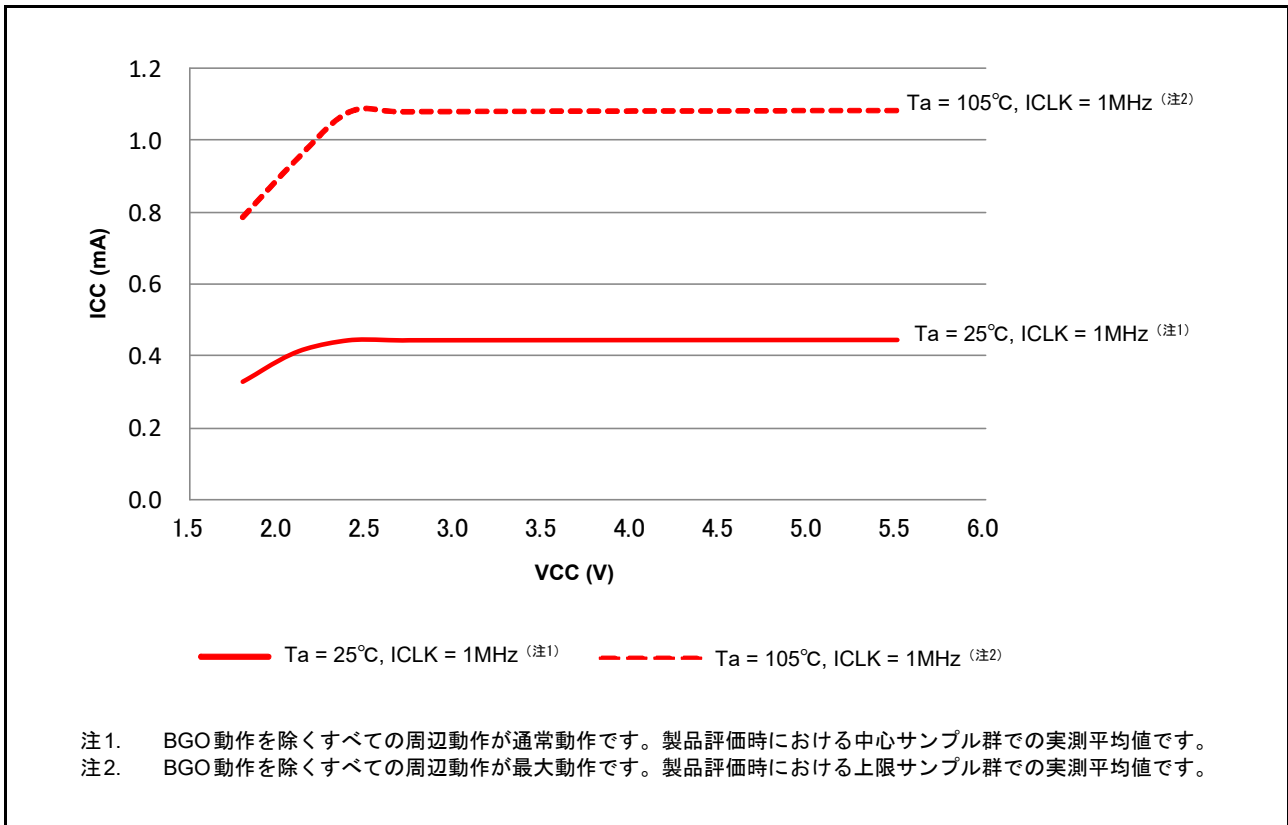


図 46.19 Low-speed モードにおける電圧依存性 (参考データ)

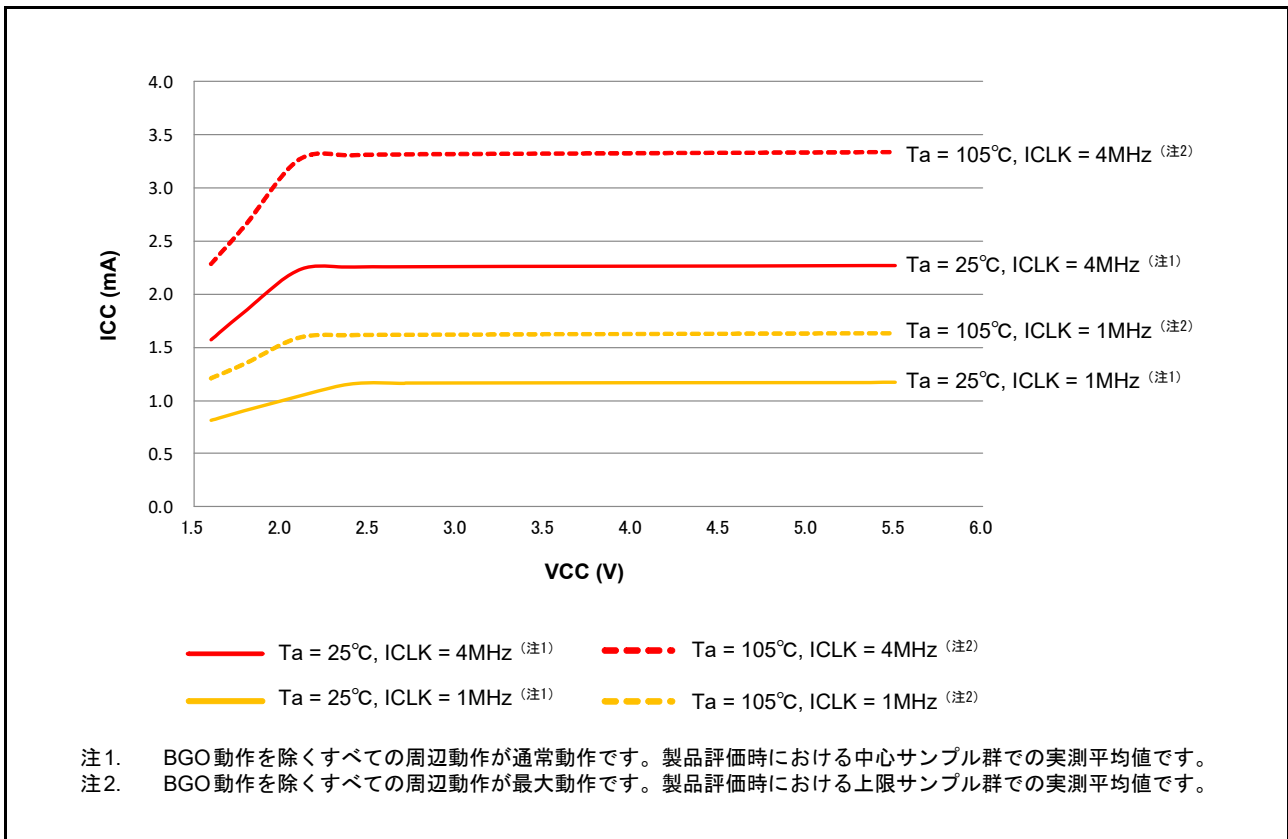


図 46.20 Low-voltage モードにおける電圧依存性 (参考データ)

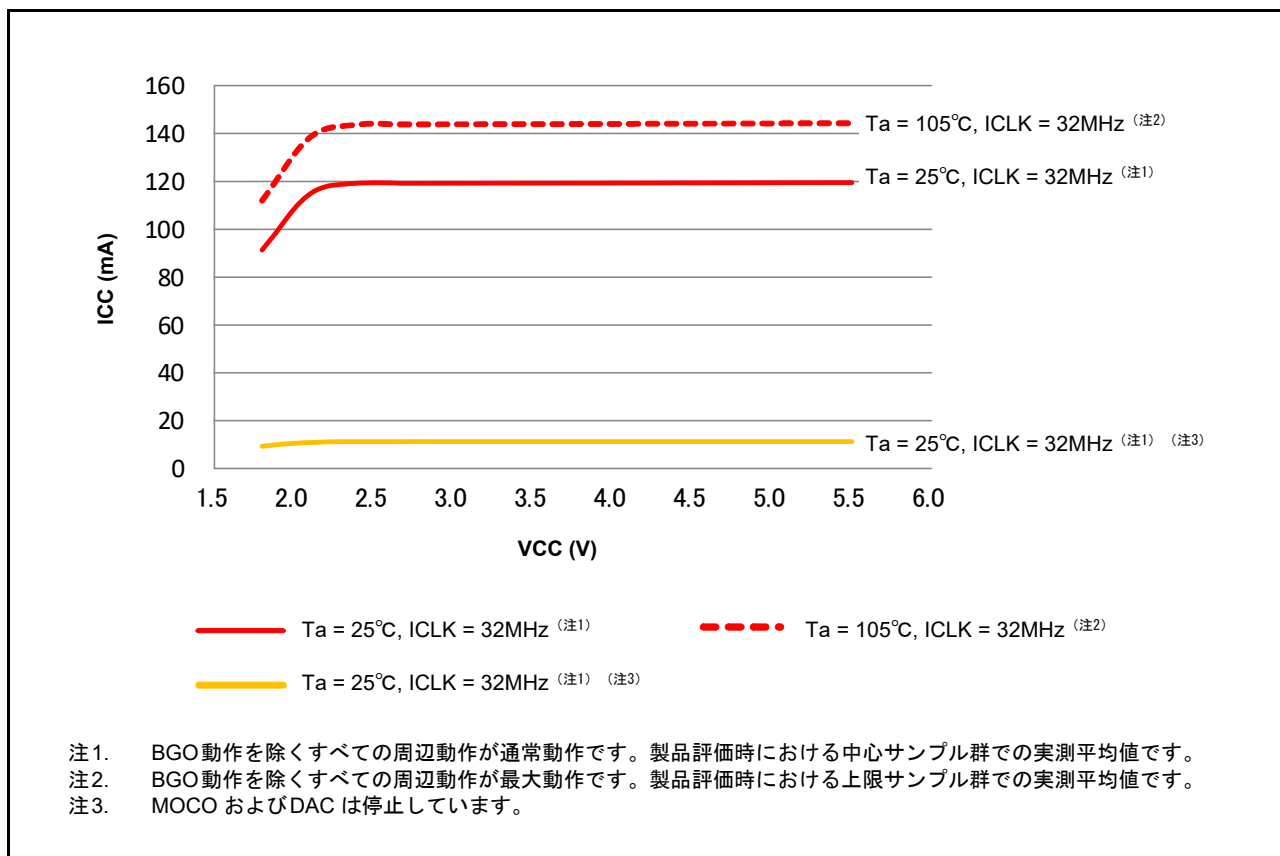


図 46.21 Subosc-speed モードにおける電圧依存性 (参考データ)

表 46.12 動作電流とスタンバイ電流 (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Typ (注3)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェアスタンバイモード (注2)	I _{CC}	T _a = 25°C	0.5	2.0	μA	-
			T _a = 55°C	0.8	7.0		
			T _a = 85°C	2.9	12.0		
			T _a = 105°C	6.3	42.0		
	低速オンチップオシレータでのRTC動作時増加分 (注4)			0.4	-		-
	サブクロックオシレータでのRTC動作時増加分 (注4)			0.5	-		SOMCR.SODRV[1:0] = 11b (低消費電力モード3)
				1.6	-		SOMCR.SODRV[1:0] = 00b (通常モード)

- 注 1. 消費電流値には、全端子からの出力充放電電流は含まれません。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。
- 注 2. IWDТ と LVD は動作していません。
- 注 3. VCC = 3.3V
- 注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

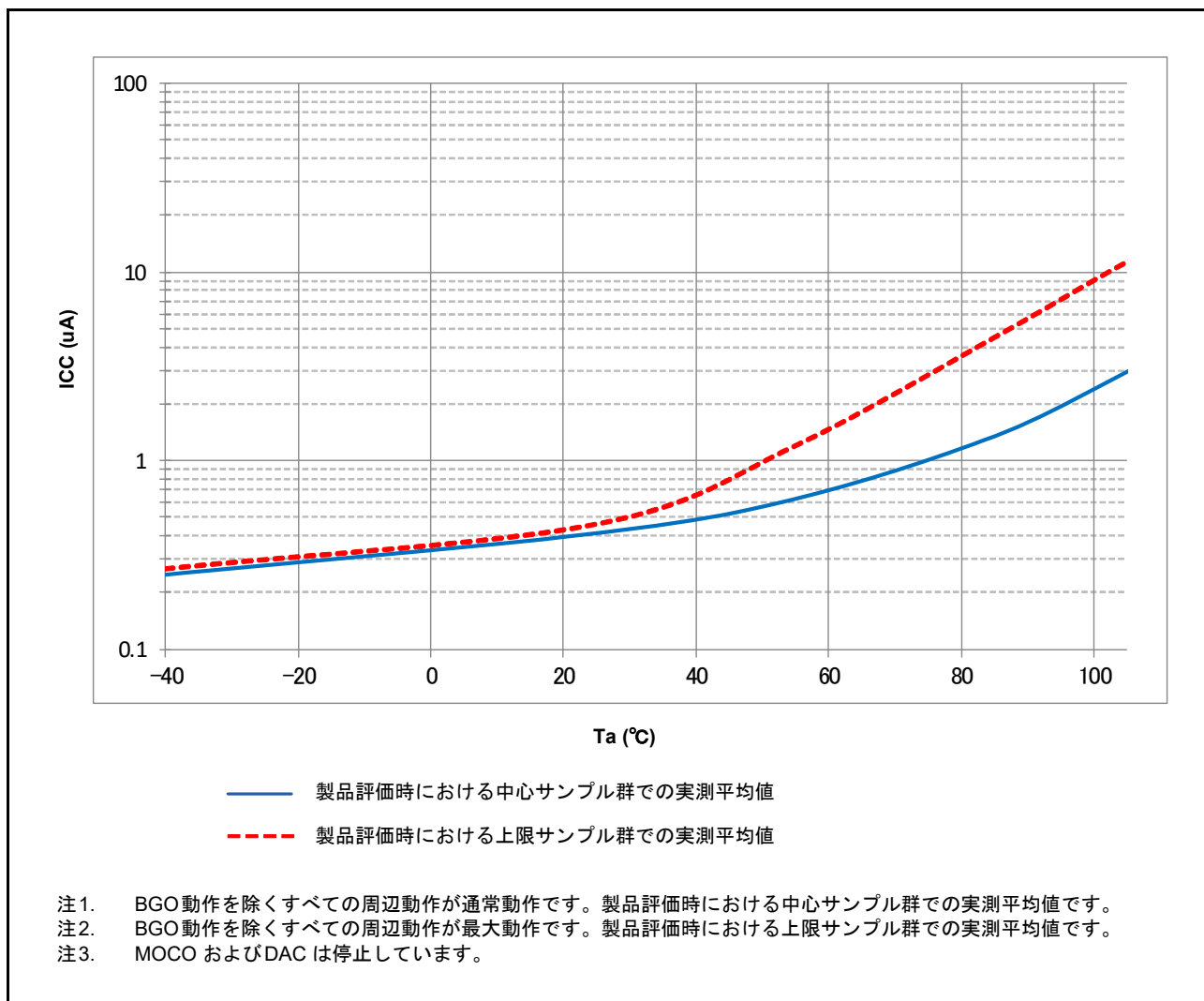


図 46.22 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

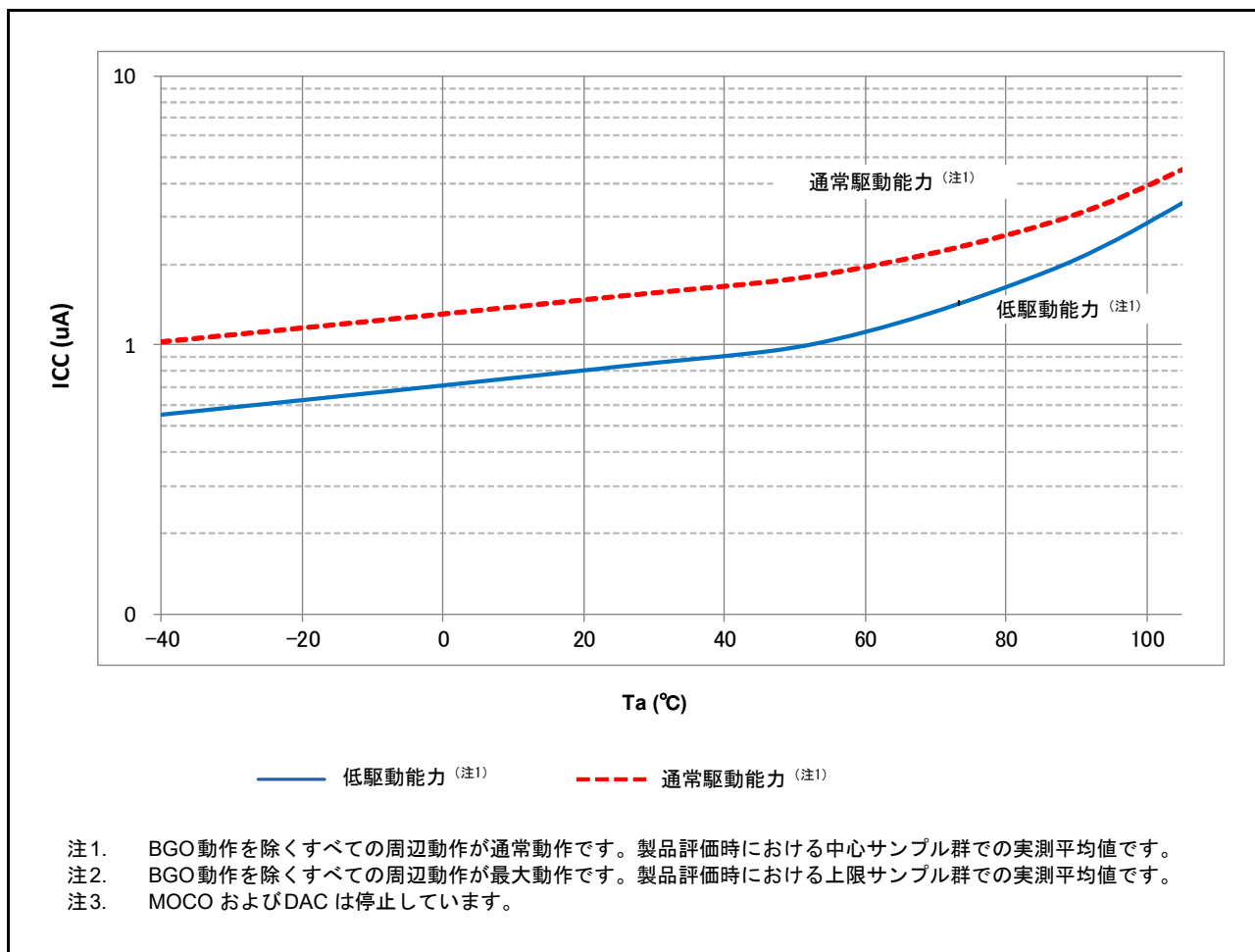


図 46.23 RTC 動作の温度依存性 (参考データ)

表 46.13 動作電流とスタンバイ電流 (3)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	A/D 変換中 (高速変換時)		I _{AVCC}	-	-	3.0	mA	-
	A/D 変換中 (低消費電力変換時)			-	-	1.0	mA	-
	D/A 変換中 (注1) (1チャンネル当り)			-	-	1.6	mA	-
	A/D、D/A 変換待機時 (全ユニット) (注5)			-	-	1.0	μA	-
リファレンス電源電流	A/D 変換中		I _{REFH0}	-	-	150	μA	-
	A/D 変換待機時 (全ユニット)			-	-	60	nA	-
温度センサ			I _{TNS}	-	75	-	μA	-
低電力アナログコンパレータ (ACMPLP) 動作電流	ウィンドウコンパレータ (高速モード)		I _{CMPLP}	-	15	-	μA	-
	ウィンドウコンパレータ (低速モード)			-	3	-	μA	-
	コンパレータ (高速モード)			-	10	-	μA	-
	コンパレータ (低速モード)			-	2	-	μA	-
高速アナログコンパレータ (ACMPHS) の動作電流			I _{CMPHS}	-	70	100	μA	AVCC0 ≥ 2.7V
オペアンプの動作電流	低消費電力モード	1ユニット動作時	I _{AMP}	-	1.0	2.0	μA	-
		2ユニット動作時		-	1.5	3.0	μA	-
		3ユニット動作時		-	2.0	3.5	μA	-
		4ユニット動作時		-	2.5	4.5	μA	-
	高速モード	1ユニット動作時		-	200	280	μA	-
		2ユニット動作時		-	320	450	μA	-
		3ユニット動作時		-	440	620	μA	-
		4ユニット動作時		-	560	790	μA	-
USB動作電流	以下の設定および条件でのUSB通信時： • ファンクションコントローラはフルスピードモード - バルクOUT転送は (64バイト) × 1 - バルクIN転送は (64バイト) × 1 • ホストデバイスはUSBポートから1メートルのUSBケーブルで接続		I _{USBF} (注2)	-	3.6 (VCC) 1.1 (VCC_USB) (注4)	-	mA	-
	以下の設定および条件でのサスペンド状態時： • ファンクションコントローラはフルスピードモード (USB_DP端子はプルアップ) • ソフトウェアスタンバイモード • ホストデバイスはUSBポートから1メートルのUSBケーブルで接続		I _{SUSP} (注3)	-	0.35 (VCC) 170 (VCC_USB) (注4)	-	μA	-
PWM遅延生成回路電流	PCLKD = 64MHz、DLLモード = 5ビットモード		I _{CC}	-	3.3	4.6	mA	-
	PCLKD = 64MHz、DLLモード = 4ビットモード			-	3.0	4.2	mA	-
	PCLKD = 32MHz、DLLモード = 5ビットモード			-	2.0	2.8	mA	-

- 注 1. D/A 変換の電源電流値には、リファレンス電源電流も含まれています。
- 注 2. 電流は、USBFのみ消費します。
- 注 3. サスペンド状態における MCU 消費電流の他に、USB_DP 端子のプルアップ抵抗からホストデバイスのプルダウン抵抗への供給電流が含まれます。
- 注 4. VCC = VCC_USB = 3.3V のとき
- 注 5. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCR.MSTPD16 (ADC140 モジュールストップビット) がモジュールストップ状態の場合

46.2.10 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 46.14 立ち上がり／立ち下がり勾配の特性

条件：VCC = AVCC0 = 0 ~ 5.5V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時のVCC 立ち上がり勾配	起動時電圧モニタ0リセット無効	SrVCC	0.02	-	2	ms/V	-
	起動時電圧モニタ0リセット有効 (注1) (注2)				-		
	SCIブートモード (注2)				2		

注1. OFS1.LVDAS = 0 のとき

注2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ0からのリセットは無効です。

表 46.15 立ち上がり／立ち下がり勾配とリップル周波数特性

条件：VCC = AVCC0 = 1.6 ~ 5.5V

リップル電圧は、VCC上限 (5.5V) と下限 (1.6V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。
VCC変動がVCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	-	-	10	kHz	図 46.24 $V_r(VCC) \leq VCC \times 0.2$
		-	-	1	MHz	図 46.24 $V_r(VCC) \leq VCC \times 0.08$
		-	-	10	MHz	図 46.24 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	-	-	ms/V	VCC変動がVCC±10%を超える場合

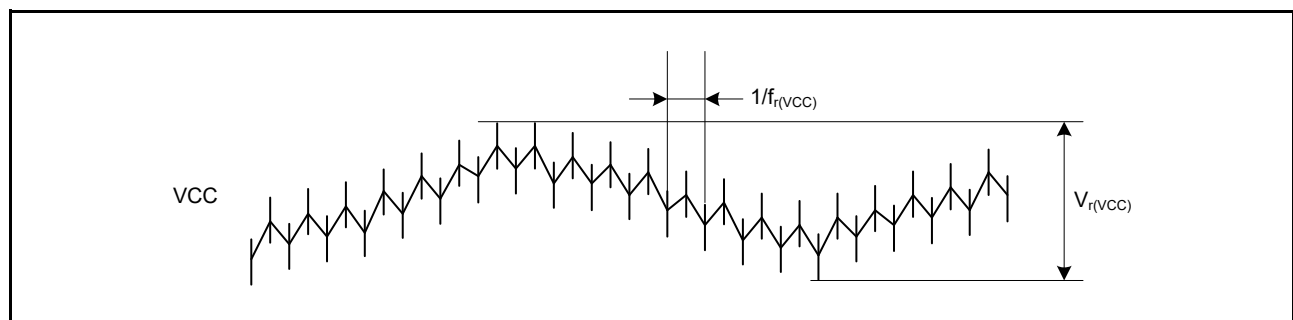


図 46.24 リップル波形

46.3 AC 特性

46.3.1 周波数

表 46.16 High-speedモードでの動作周波数

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目		シンボル	Min	Typ	Max (注5)	単位	
動作周波数	システムクロック (ICLK) (注1) (注2) (注4)	2.7 ~ 5.5V	f	0.032768	-	32	MHz
		2.4 ~ 2.7V		0.032768	-	16	
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V		-	-	32	
		2.4 ~ 2.7V		-	-	16	
	周辺モジュールクロック (PCLKD) (注3) (注4)	2.7 ~ 5.5V		-	-	64	
		2.4 ~ 2.7V		-	-	16	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。
- 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 46.21 クロックタイミングを参照してください。

表 46.17 Middle-speedモードでの動作周波数

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		シンボル	Min	Typ	Max (注5)	単位	
動作周波数	システムクロック (ICLK) (注1) (注2) (注4)	2.7 ~ 5.5V	f	0.032768	-	12	MHz
		2.4 ~ 2.7V		0.032768	-	12	
		1.8 ~ 2.4V		0.032768	-	8	
	周辺モジュールクロック (PCLKB) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	
	周辺モジュールクロック (PCLKD) (注3) (注4)	2.7 ~ 5.5V		-	-	12	
		2.4 ~ 2.7V		-	-	12	
		1.8 ~ 2.4V		-	-	8	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
- 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。
- 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
- 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 46.21 クロックタイミングを参照してください。

表 46.18 Low-speedモードでの動作周波数

条件：VCC = AVCC0 = 1.8～5.5V

項目		シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注1) (注2) (注4)	f	0.032768	-	1	MHz
	周辺モジュールクロック (PCLKB) (注4)		-	-	1	
	周辺モジュールクロック (PCLKD) (注3) (注4)		-	-	1	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。
 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
 注 3. A/D コンバータ使用時の PCLKD の下限周波数は 1MHz です。
 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 46.21 クロックタイミングを参照してください。

表 46.19 Low-voltageモードでの動作周波数

条件：VCC = AVCC0 = 1.6～5.5V

項目		シンボル	Min	Typ	Max (注5)	単位
動作周波数	システムクロック (ICLK) (注1) (注2) (注4)	f	0.032768	-	4	MHz
	周辺モジュールクロック (PCLKB) (注4)		-	-	4	
	周辺モジュールクロック (PCLKD) (注3) (注4)		-	-	4	

- 注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。
 注 3. 14 ビット A/D コンバータを使用している場合、2.4V 以上での PCLKD 下限周波数は 4MHz、2.4V 未満では 1MHz です。
 注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。
 注 5. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 46.21 クロックタイミングを参照してください。

表 46.20 Subosc-speedモードでの動作周波数

条件：VCC = AVCC0 = 1.8～5.5V

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) (注1) (注3)	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB) (注3)		-	-	37.6832	
	周辺モジュールクロック (PCLKD) (注2) (注3)		-	-	37.6832	

- 注 1. フラッシュメモリのプログラムまたはイレースはできません。
 注 2. 14 ビット A/D コンバータは使用できません。
 注 3. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

46.3.2 クロックタイミング

表 46.21 クロックタイミング (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件		
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	-	-	ns	図 46.25		
EXTAL外部クロック入力Highレベルパルス幅	t_{XH}	20	-	-	ns			
EXTAL外部クロック入力Lowレベルパルス幅	t_{XL}	20	-	-	ns			
EXTAL外部クロック立ち上がり時間	t_{Xr}	-	-	5	ns			
EXTAL外部クロック立ち下がり時間	t_{Xf}	-	-	5	ns			
EXTAL外部クロック入力待機時間 (注1)	t_{EXWT}	0.3	-	-	μ s	-		
EXTAL外部クロック入力周波数	f_{EXTAL}	-	-	20	MHz	$2.4 \leq VCC \leq 5.5$		
		-	-	8		$1.8 \leq VCC < 2.4$		
		-	-	1		$1.6 \leq VCC < 1.8$		
メインクロック発振器発振周波数	f_{MAIN}	1	-	20	MHz	$2.4 \leq VCC \leq 5.5$		
		1	-	8		$1.8 \leq VCC < 2.4$		
		1	-	4		$1.6 \leq VCC < 1.8$		
LOCOクロック発振周波数	f_{LOCO}	27.8528	32.768	37.6832	kHz	-		
LOCOクロック発振安定時間	t_{LOCO}	-	-	100	μ s	図 46.26		
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	-		
MOCOクロック発振周波数	f_{MOCO}	6.8	8	9.2	MHz	-		
MOCOクロック発振安定時間	t_{MOCO}	-	-	1	μ s	-		
HOCOクロック発振周波数	f_{HOCO24}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		22.68	24	25.32		$T_a = -40 \sim -85^\circ\text{C}$ $1.6 \leq VCC < 1.8$		
		23.76	24	24.24		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		23.52	24	24.48		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
	f_{HOCO32}	31.52	32	32.48		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		30.24	32	33.76		$T_a = -40 \sim 85^\circ\text{C}$ $1.6 \leq VCC < 1.8$		
		31.68	32	32.32		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		31.36	32	32.64		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
	f_{HOCO48} (注3)	47.28	48	48.72		$T_a = -40 \sim -20^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		47.52	48	48.48		$T_a = -20 \sim 85^\circ\text{C}$ $1.8 \leq VCC \leq 5.5$		
		47.04	48	48.96		$T_a = -40 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
	f_{HOCO64} (注4)	63.04	64	64.96		$T_a = -40 \sim -20^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
		63.36	64	64.64		$T_a = -20 \sim 85^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
		62.72	64	65.28		$T_a = 85 \sim 105^\circ\text{C}$ $2.4 \leq VCC \leq 5.5$		
	HOCOクロック発振安定時間 (注5) (注6)	低電圧モード以外	t_{HOCO24}	-		-	μ s	図 46.27
			t_{HOCO32}	-		-		
t_{HOCO48}			-	-				
低電圧モード		t_{HOCO24}	-	-				
		t_{HOCO32}	-	-				
		t_{HOCO64}	-	-				

表 46.21 クロックタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	-	32.768	-	kHz	-
サブクロック発振安定時間 (注2)	t_{SUBOSC}	-	0.5	-	s	図 46.28

- 注 1. 外部クロックが安定しているとき、メインクロック発振器停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間
- 注 2. SOSCCR.SOSTP ビットを変更してサブクロック発振器の動作が開始したら、サブクロック発振安定待機時間が経過してからサブクロック発振器の使用を開始してください。サブクロック発振安定待機時間は発振器製造者の推奨値以上にしてください。
- 注 3. 48MHz HOCO は、VCC = 1.8 ~ 5.5V の範囲内で使用できます。
- 注 4. 64MHz HOCO は、VCC = 2.4 ~ 5.5V の範囲内で使用できます。
- 注 5. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振時に HOCO.CR.HCSTP ビットを 0 (発振) にすると、この仕様は 1 μ s に短縮されます。
- 注 6. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

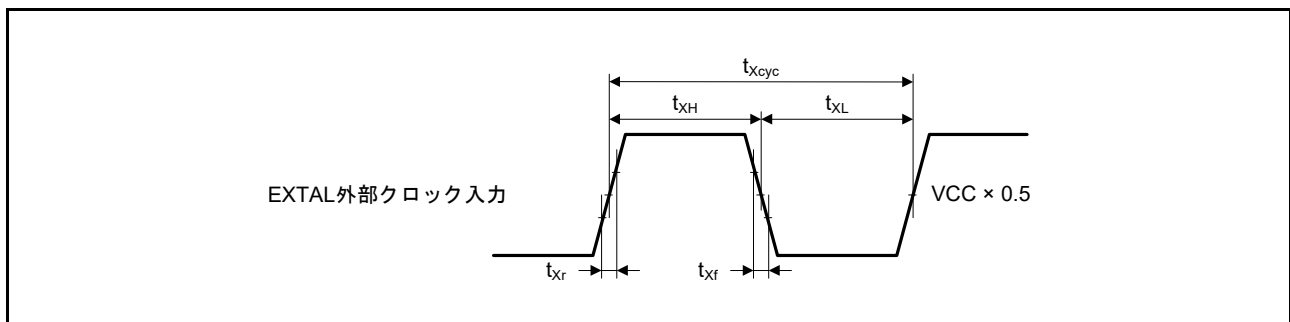


図 46.25 EXTAL 外部クロック入力タイミング

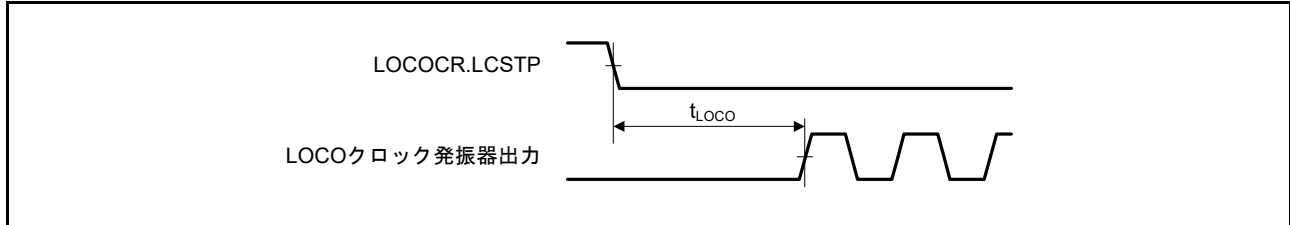


図 46.26 LOCO クロック発振開始タイミング

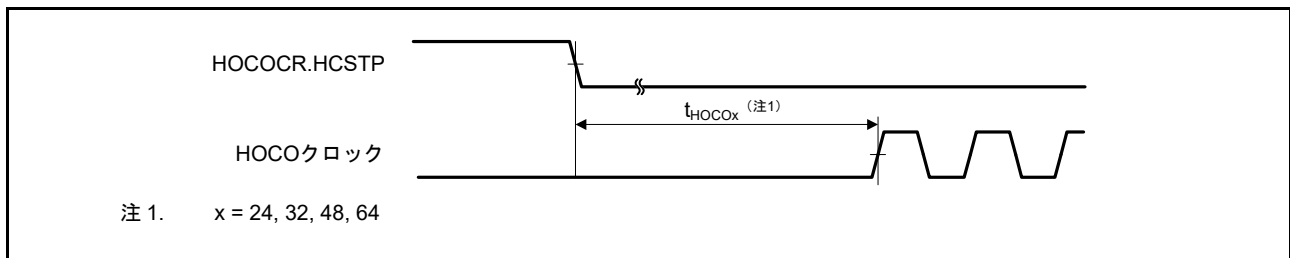


図 46.27 HOCO クロック発振開始タイミング (HOCO.CR.HCSTP ビット設定により開始)

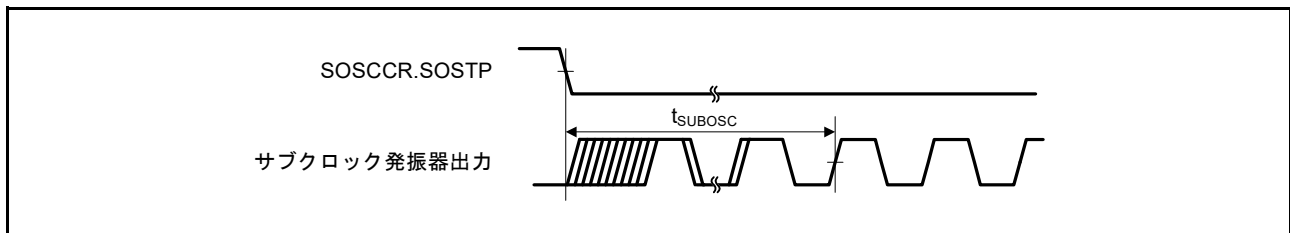


図 46.28 サブクロック発振開始タイミング

46.3.3 リセットタイミング

表 46.22 リセットタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件	
RESパルス幅	電源投入時	t_{RESWP}	3	-	-	ms	図 46.29
	電源投入時以外	t_{RESW}	30	-	-	μ s	図 46.30
RES解除後の待機時間 (電源投入時)	LVD0有効 (注1)	t_{RESWT}	-	0.7	-	ms	図 46.29
	LVD0無効 (注2)		-	0.3	-		
RES解除後の待機時間 (電源投入中)	LVD0有効 (注1)	t_{RESWT2}	-	0.5	-	ms	図 46.30
	LVD0無効 (注2)		-	0.05	-		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、 SRAMパリティエラーリセット、 SRAM ECCエラーリセット、バ スマスタMPUエラーリセット、 バスマスタMPUエラーリセット、 スタックポインタエラーリ セット、ソフトウェアリセット)	LVD0有効 (注1)	t_{RESWT3}	-	0.6	-	ms	
	LVD0無効 (注2)		-	0.15	-		

注 1. OFS1.LVDAS = 0 のとき
注 2. OFS1.LVDAS = 1 のとき

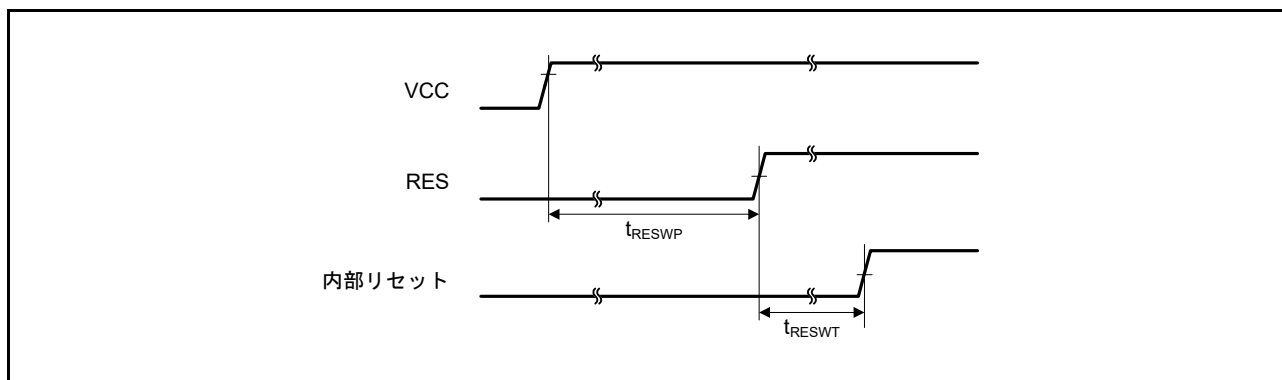


図 46.29 電源投入時リセット入力タイミング

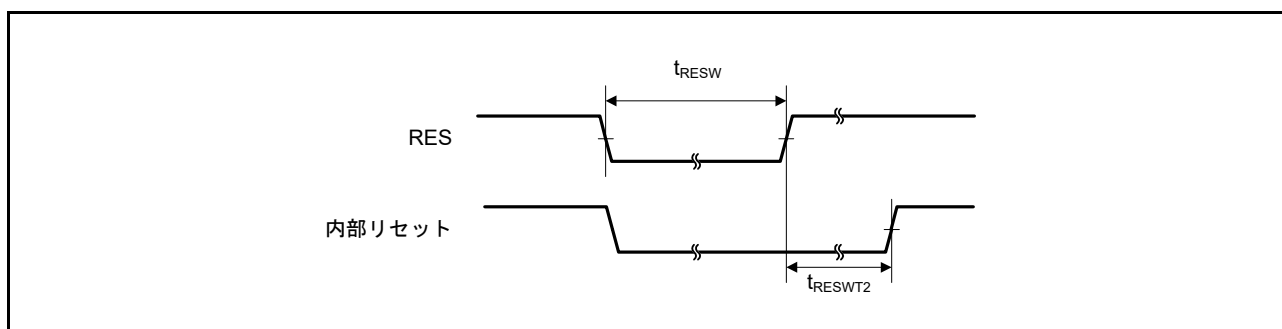


図 46.30 リセット入力タイミング

46.3.4 ウェイクアップ時間

表 46.23 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	High-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (20MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 46.31
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (20MHz) (注3)	t_{SBYEX}	-	14	25	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは32MHz)		t_{SBYHO}	-	43	52	μ s	
		システムクロックソースはHOCO (注4) (HOCOクロックは48MHz)		t_{SBYHO}	-	44	52	μ s	
		システムクロックソースはHOCO (注5) (HOCOクロックは64MHz)		t_{SBYHO}	-	82	110	μ s	
		システムクロックソースはMOCO		t_{SBYMO}	-	16	25	μ s	

- 注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
 注 4. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 05h です。
 注 5. HOCO クロック待機コントロールレジスタ (HOCOWTCR) の設定値は 06h です。

表 46.24 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Middle-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (12MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 46.31
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (12MHz) (注3)	t_{SBYEX}	-	2.9	10	μ s	
		システムクロックソースはHOCO (注4)		t_{SBYHO}	-	38	50	μ s	
		システムクロックソースはMOCO (8MHz)		t_{SBYMO}	-	3.5	5.5	μ s	

- 注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。
 注 4. システムクロックは 12MHz です。

表 46.25 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-speed モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (1MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 46.31
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (1MHz) (注3)	t_{SBYEX}	-	28	50	μ s	
		システムクロックソースはMOCO (1MHz)		t_{SBYMO}	-	25	35	μ s	

- 注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 46.26 低消費電力モードからの復帰タイミング (4)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Low-voltage モード	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器 (4MHz) (注2)	t_{SBYMC}	-	2	3	ms	図 46.31
		メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器 (4MHz) (注3)	t_{SBYEX}	-	108	130	μ s	
		システムクロックソースはHOCO (4MHz)		t_{SBYHO}	-	108	130	μ s	

- 注 1. ICK および PCKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。
 注 2. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 05h です。
 注 3. メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定値は 00h です。

表 46.27 低消費電力モードからの復帰タイミング (5)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 (注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768kHz)	t_{SBYSC}	-	0.85	1	ms	図 46.31
		システムクロックソースはLOCO (32.768kHz)	t_{SBYLO}	-	0.85	1.2	ms	

- 注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

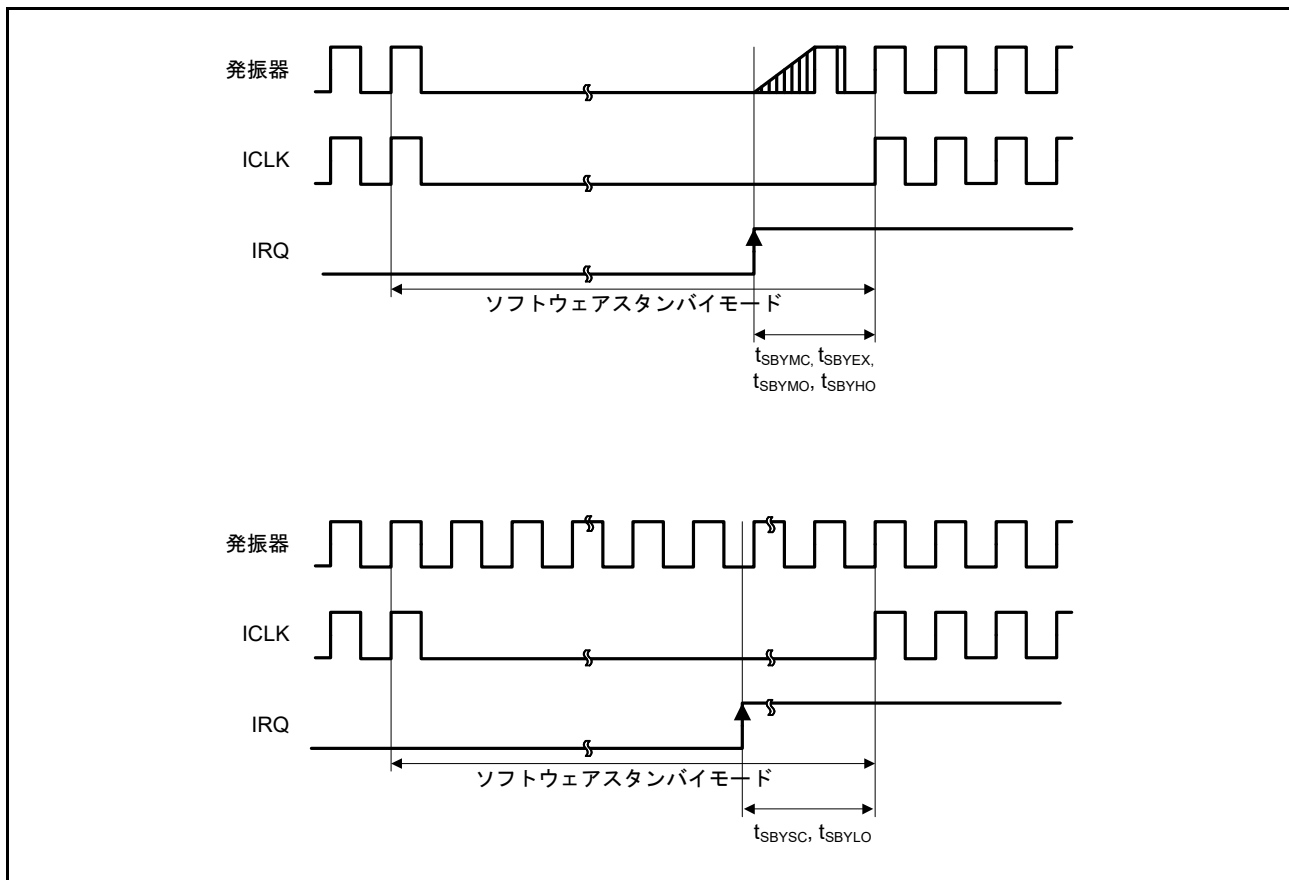


図 46.31 ソフトウェアスタンバイモード解除タイミング

表 46.28 低消費電力モードからの復帰タイミング (6)

項目	シンボル	Min	Typ	Max	単位	測定条件	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	高速モード システムクロックソースはHOCO	t_{SNZ}	-	36	45	μs	図 46.32
	中速モード システムクロックソースはMOCO (8MHz)	t_{SNZ}	-	1.3	3.6	μs	
	低速モード システムクロックソースはMOCO (1MHz)	t_{SNZ}	-	10	13	μs	
	低電圧モード システムクロックソースはHOCO (4MHz)	t_{SNZ}	-	87	110	μs	

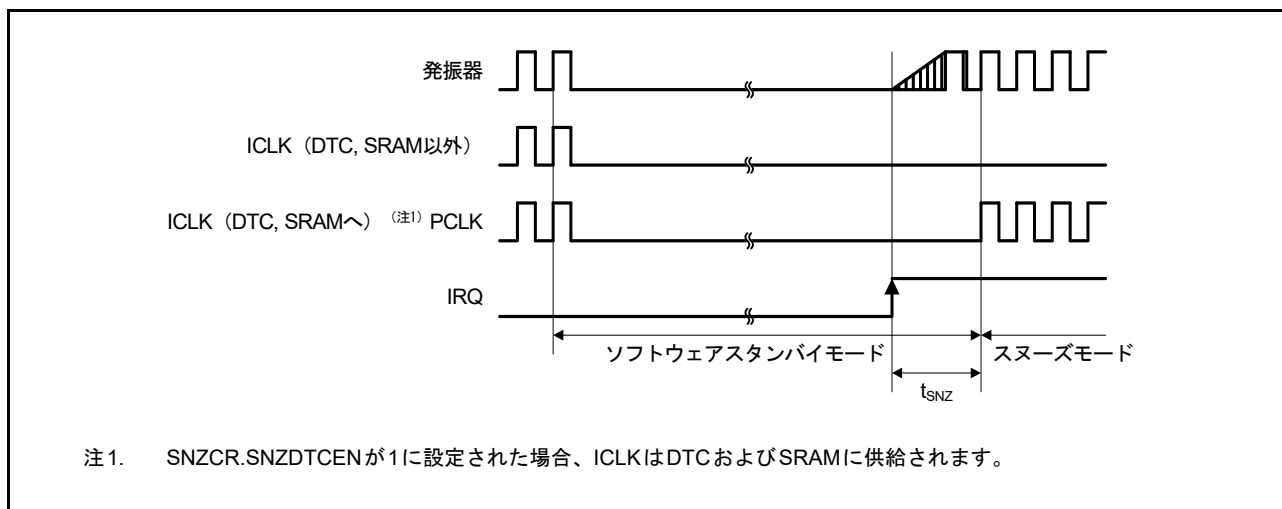


図 46.32 ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

46.3.5 NMI/IRQ ノイズフィルタ

表 46.29 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	-	-	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	-	-			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	-	-	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	-	-			$t_{IRQCK} \times 3 > 200ns$

- 注. ソフトウェアスタンバイモード時は最小 200ns です。
- 注 1. t_{Pcyc} は PCLKB の周期を意味します。
- 注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。
- 注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します (i = 0 ~ 7)。

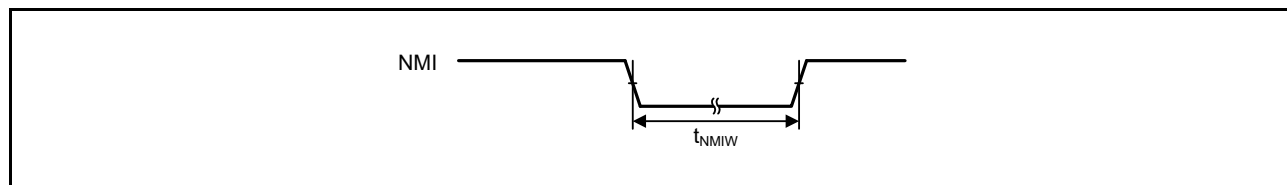


図 46.33 NMI 割り込み入力タイミング

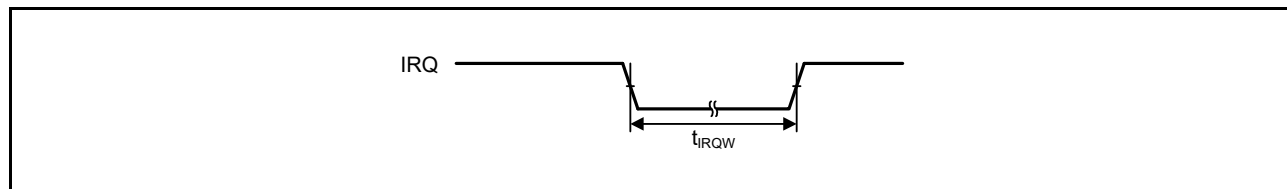


図 46.34 IRQ 割り込み入力タイミング

46.3.6 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

表 46.30 I/Oポート、POEG、GPT、AGT、KINT、ADC14のトリガタイミング

項目		シンボル	Min	Max	単位	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	-	t_{Pcyc}	図 46.35	
	入出力データサイクル (P002、P003、P010、P011)	t_{POcyc}	10	-	μs	-	
POEG	POEG入力トリガパルス幅	t_{POEW}	3	-	t_{Pcyc}	図 46.36	
GPT	インプットキャプチャパルス幅	単エッジ	1.5	-	t_{PDcyc}	図 46.37	
		両エッジ	2.5	-			
AGT	AGTIO、AGTEE入力サイクル	$2.7V \leq VCC \leq 5.5V$	t_{ACYC} (注1)	250	-	ns	図 46.38
		$2.4V \leq VCC < 2.7V$		500	-	ns	
		$1.8V \leq VCC < 2.4V$		1000	-	ns	
		$1.6V \leq VCC < 1.8V$		2000	-	ns	
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅	$2.7V \leq VCC \leq 5.5V$	t_{ACKWH} , t_{ACKWL}	100	-	ns	
		$2.4V \leq VCC < 2.7V$		200	-	ns	
		$1.8V \leq VCC < 2.4V$		400	-	ns	
		$1.6V \leq VCC < 1.8V$		800	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB出力周波数	$2.7V \leq VCC \leq 5.5V$	t_{ACYC2}	62.5	-	ns	
		$2.4V \leq VCC < 2.7V$		125	-	ns	
		$1.8V \leq VCC < 2.4V$		250	-	ns	
		$1.6V \leq VCC < 1.8V$		500	-	ns	
ADC14	14ビットA/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	-	t_{Pcyc}	図 46.39	
KINT	キー割り込み入力Lowレベル幅	t_{KR}	250	-	ns	図 46.40	

注 1. AGTIO 入力の制約: $t_{Pcyc} \times 2$ (t_{Pcyc} : PCLKB の周期) $< t_{ACYC}$

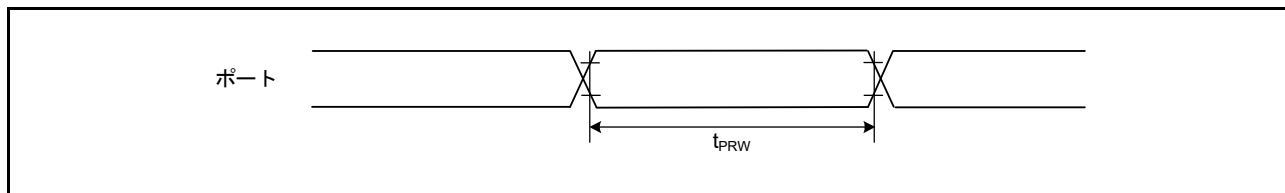


図 46.35 I/Oポート入力タイミング

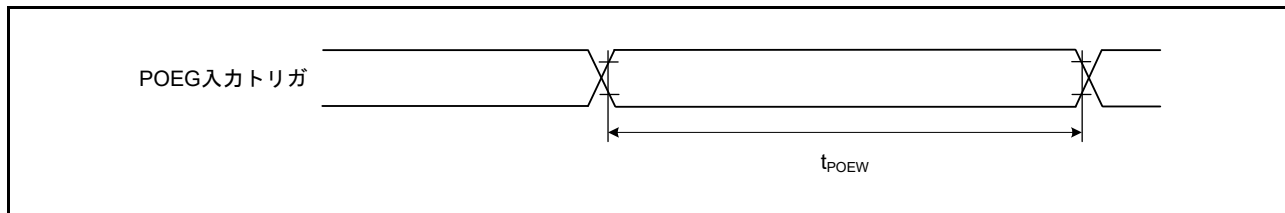


図 46.36 POEG 入力トリガタイミング

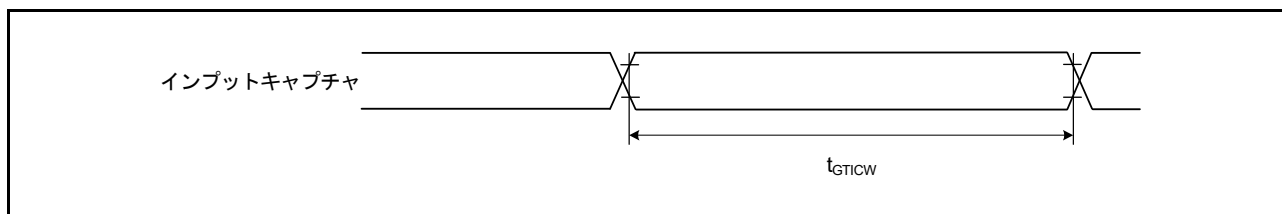


図 46.37 GPT インพุットキャプチャタイミング

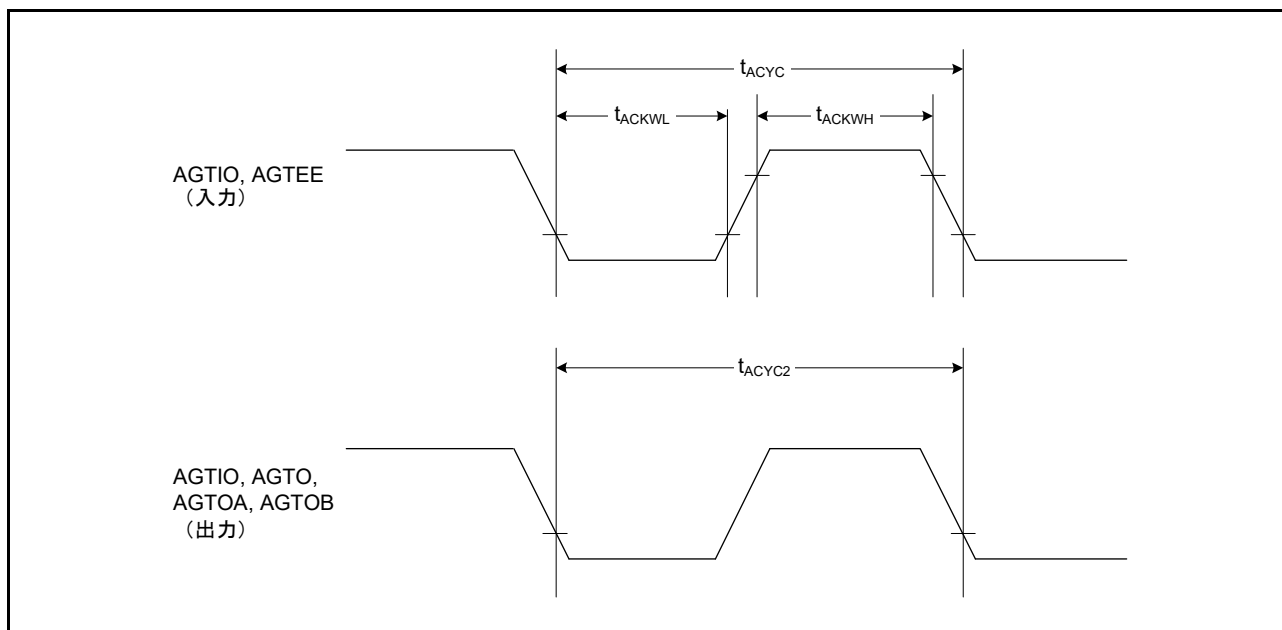


図 46.38 AGT 入出力タイミング

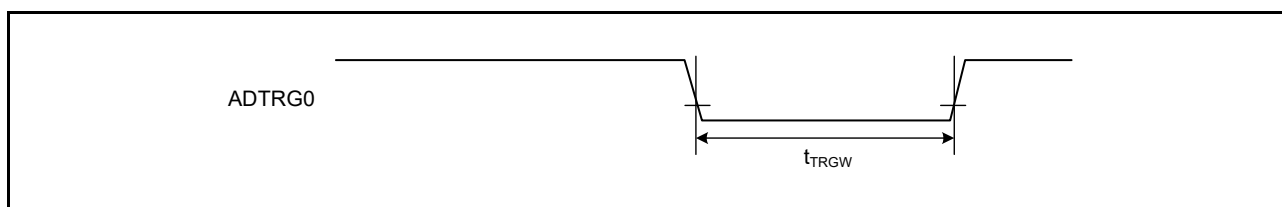


図 46.39 ADC14 トリガ入力タイミング

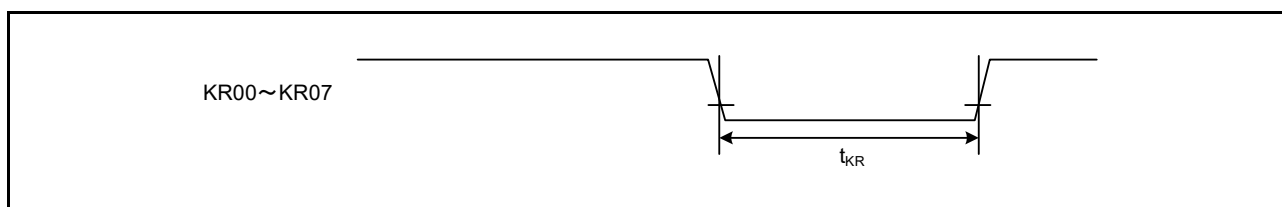


図 46.40 キー割り込み入力タイミング

46.3.7 PWM 遅延生成回路タイミング

表 46.31 PWM 遅延生成回路タイミング
条件 : VCC = AVCC0 = 2.7 ~ 5.5V、32MHz ≤ PCLKD ≤ 64MHz

項目		Min	Typ	Max	単位	測定条件
分解能	PCLKD = 64MHz、DLL モード = 5 ビットモード	-	488	-	ps	-
	PCLKD = 64MHz、DLL モード = 4 ビットモード	-	976	-	ps	-
	PCLKD = 32MHz、DLL モード = 5 ビットモード	-	976	-	ps	-
DNL (注1) (注2)		-	5	-	LSB	-

注 1. 1-LSB 分解能の行間の差異をこの値で正規化します。
注 2. PWM 遅延生成回路の出力ポートの駆動能力は、中駆動です。

46.3.8 CAC タイミング

表 46.32 CAC タイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	t_{CACREF}	$t_{Pcyc}^{(注1)} \leq t_{cac}^{(注2)}$	-	-	ns	-
			$t_{Pcyc}^{(注1)} > t_{cac}^{(注2)}$	$4.5 \times t_{cac} + 3 \times t_{Pcyc}$	-	-	

注 1. t_{Pcyc} : PCLKB の周期
注 2. t_{cac} : CAC カウントクロックソースの周期

46.3.9 SCI タイミング

表 46.33 SCI タイミング (1)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目		シンボル	Min	Max	単位 (注1)	測定条件			
SCI	入カクロックサイクル	調歩同期式	t_{Scyc}	4	-	t_{Pcyc}	図 46.41		
		クロック同期式		6	-				
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}			
	入カクロック立ち上がり時間		t_{SCKr}	-	20	ns			
	入カクロック立ち下がり時間		t_{SCKf}	-	20	ns			
	出カクロックサイクル	調歩同期式	t_{Scyc}	6	-	t_{Pcyc}			
		クロック同期式		4	-				
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}			
	出カクロック立ち上がり時間	1.8V以上	t_{SCKr}	-	20	ns			
				-	30				
	出カクロック立ち下がり時間	1.8V以上	t_{SCKf}	-	20	ns			
				1.6V以上	-			30	
	送信データ遅延時間 (マスタ)	クロック同期式	1.8V以上		t_{TXD}	-		40	ns
				1.6V以上		-		45	
送信データ遅延時間 (スレーブ)	クロック同期式	2.7V以上	-		55	ns			
		2.4V以上	-	60					
		1.8V以上	-	100					
		1.6V以上	-	125					
受信データセットアップ時間 (マスタ)	クロック同期式	2.7V以上	t_{RXS}	45	-	ns			
		2.4V以上		55	-				
		1.8V以上		90	-				
		1.6V以上		110	-				
受信データセットアップ時間 (スレーブ)	クロック同期式	2.7V以上	40	-	ns				
		1.6V以上	45	-					
受信データホールド時間 (マスタ)	クロック同期式	t_{RXH}	5	-	ns				
受信データホールド時間 (スレーブ)	クロック同期式	t_{RXH}	40	-	ns				

注 1. t_{Pcyc} : PCLKB の周期

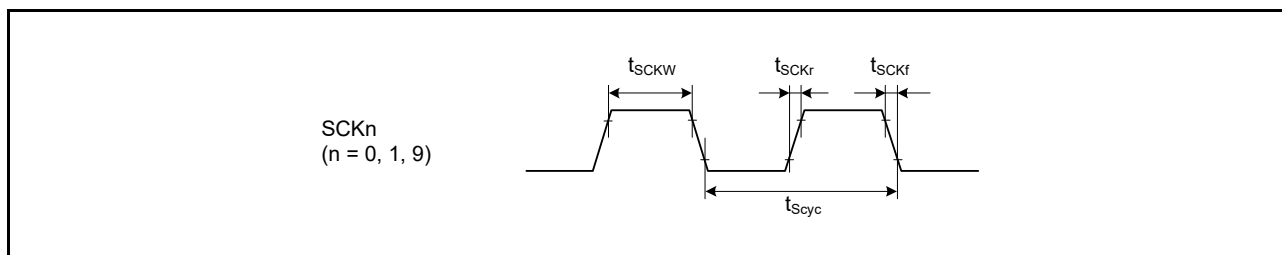


図 46.41 SCK クロック入力タイミング

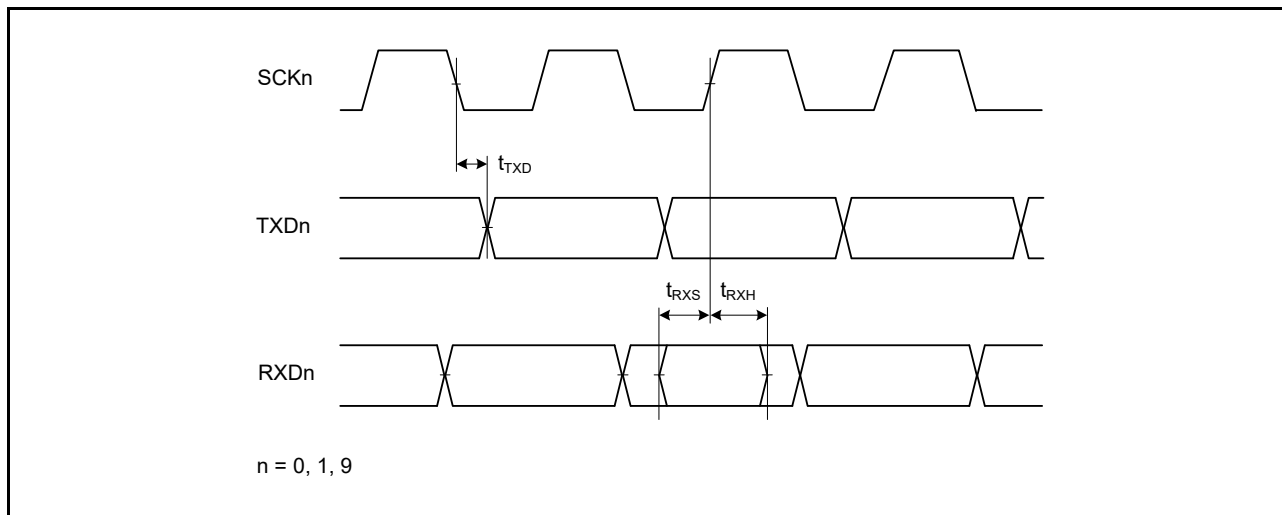


図 46.42 クロック同期式モードにおける SCI 入出力タイミング

表 46.34 SCI タイミング (2)

条件 : VCC = AVCC0 = 1.6 ~ 5.5V

項目			シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	SCK クロックサイクル出力 (マスタ)		t_{SPcyc}	4	65536	t_{Pcyc}	図 46.43	
	SCK クロックサイクル入力 (スレーブ)			6	65536			
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCK クロック立ち上がり/立ち下がり時間		t_{SPCKr} , t_{SPCKf}	1.8V 以上	-	20	ns	
				1.6V 以上	-	30		
	データ入力セットアップ時間	マスタ	2.7V 以上	t_{SU}	45	-	ns	図 46.44 ~ 図 46.47
			2.4V 以上		55	-		
			1.8V 以上		80	-		
			1.6V 以上		110	-		
		スレーブ	2.7V 以上		40	-		
			1.6V 以上		45	-		
	データ入力ホールド時間		t_H	マスタ	33.3	-	ns	
				スレーブ	40	-		
SS 入力セットアップ時間			t_{LEAD}	1	-	t_{SPcyc}		
SS 入力ホールド時間			t_{LAG}	1	-	t_{SPcyc}		
データ出力遅延時間	マスタ	1.8V 以上	t_{OD}	-	40	ns		
		1.6V 以上		-	50			
	スレーブ	2.4V 以上		-	65			
		1.8V 以上		-	100			
		1.6V 以上		-	125			
データ出力ホールド時間	マスタ	2.7V 以上	t_{OH}	-10	-	ns		
		2.4V 以上		-20	-			
		1.8V 以上		-30	-			
		1.6V 以上		-40	-			
	スレーブ			-10	-			
	データ立ち上がり/立ち下がり時間			t_{Dr} , t_{Df}	マスタ		-	20
スレーブ	1.8V 以上	-	20					
	1.6V 以上	-	30					
簡易 SPI	スレーブアクセス時間		t_{SA}	-	6	t_{Pcyc}	図 46.47	
	スレーブ出力解放時間		t_{REL}	-	6	t_{Pcyc}		

注 1. t_{Pcyc} : PCLKB の周期

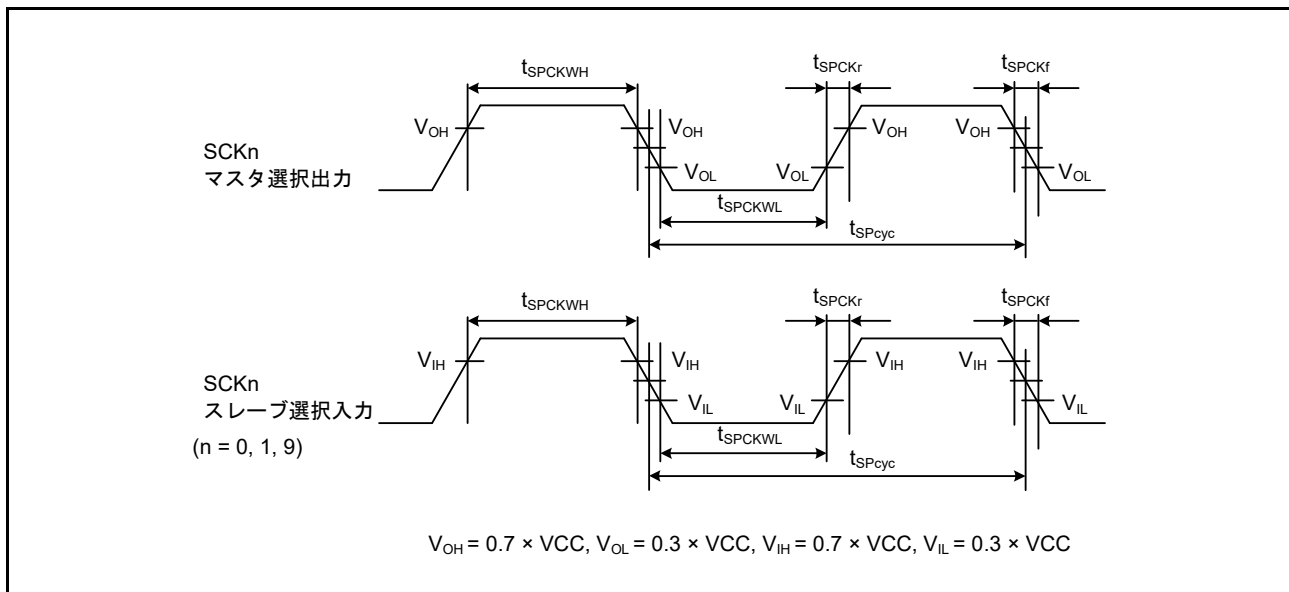


図 46.43 SCI 簡易 SPI モードクロックタイミング

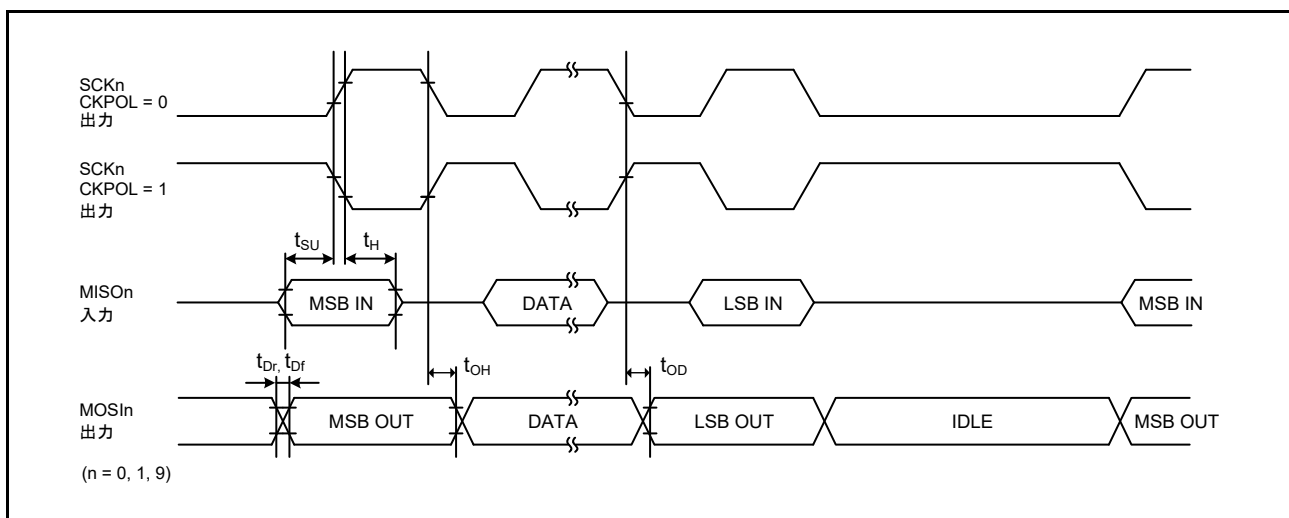


図 46.44 SCI 簡易 SPI モードタイミング (マスター、CKPH = 1)

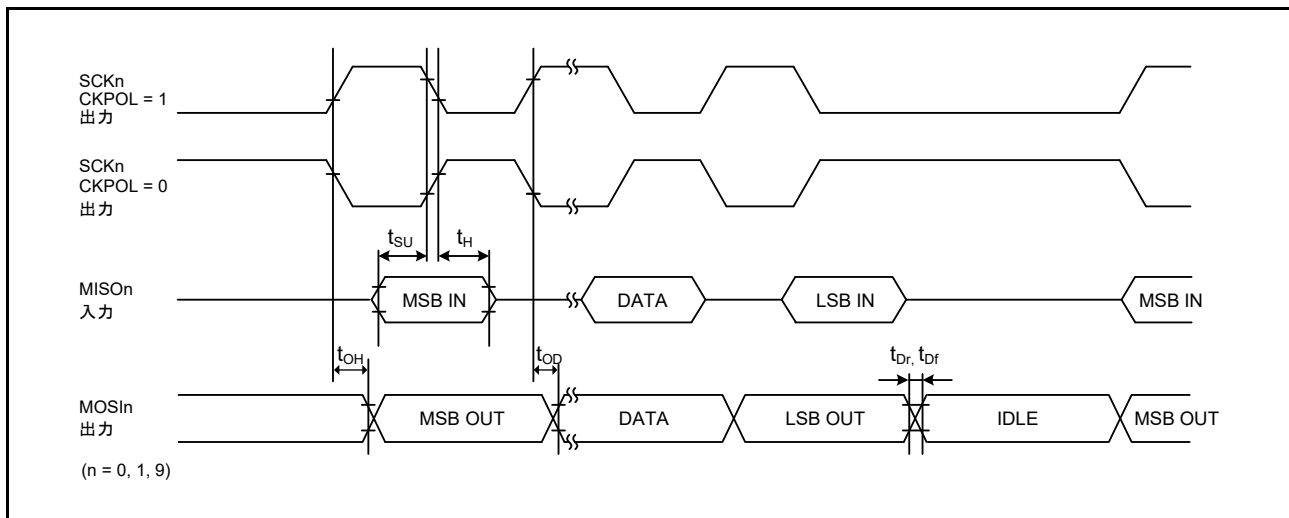


図 46.45 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

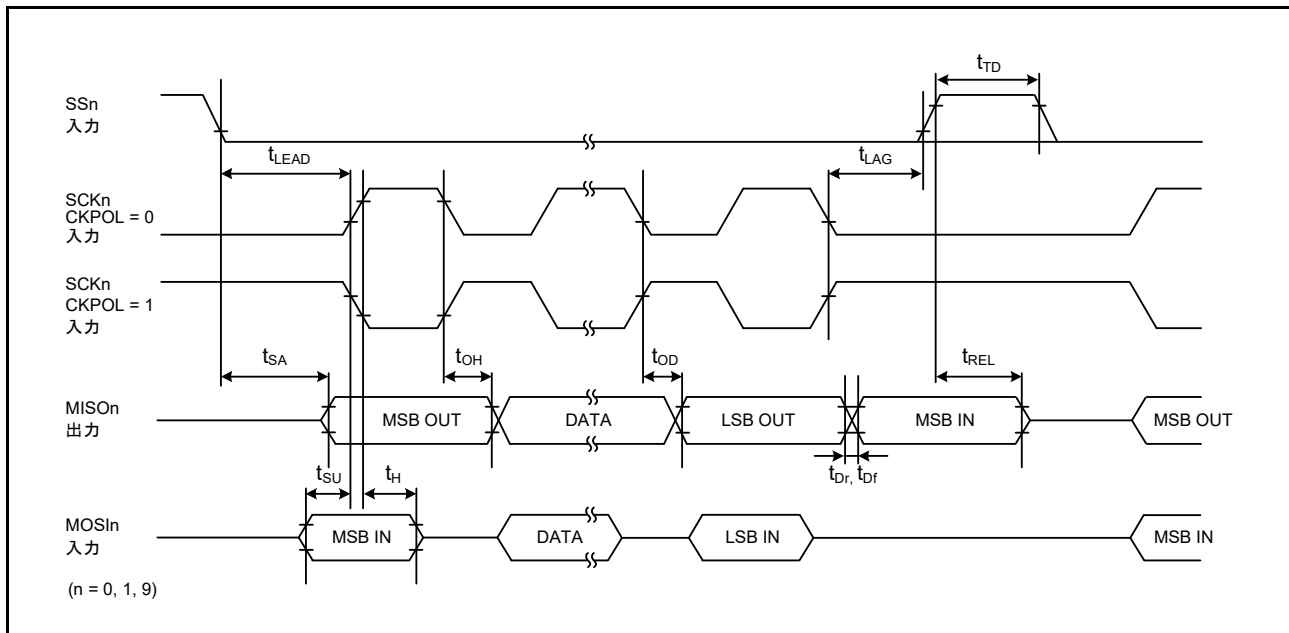


図 46.46 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

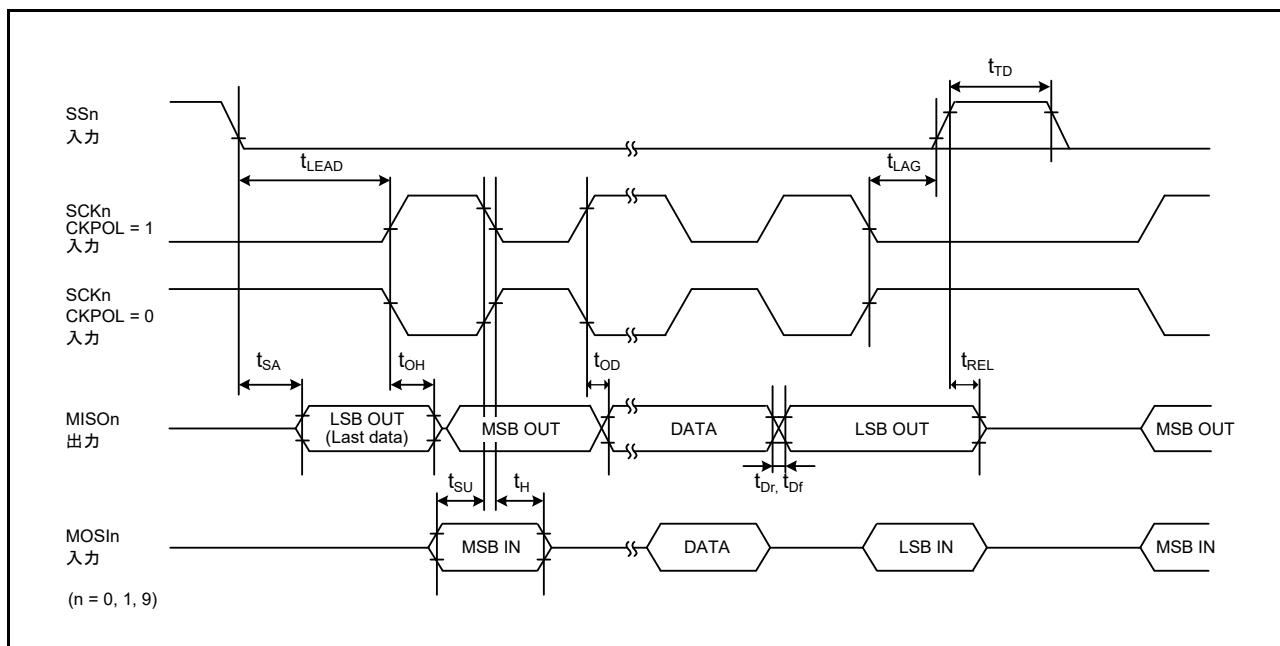


図 46.47 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 46.35 SCI タイミング (3)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	t_{Sr}	-	1000	ns	図 46.48
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	t_{SDAS}	250	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注1)	-	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	-	300	ns	図 46.48
	SDA 入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{IICcyc}$	ns	
	データ入カセットアップ時間	t_{SDAS}	100	-	ns	
	データ入カホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の容量性負荷	C_b (注1)	-	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IIC ϕ) の周期

注 1. C_b はバスラインの容量総計を意味します。

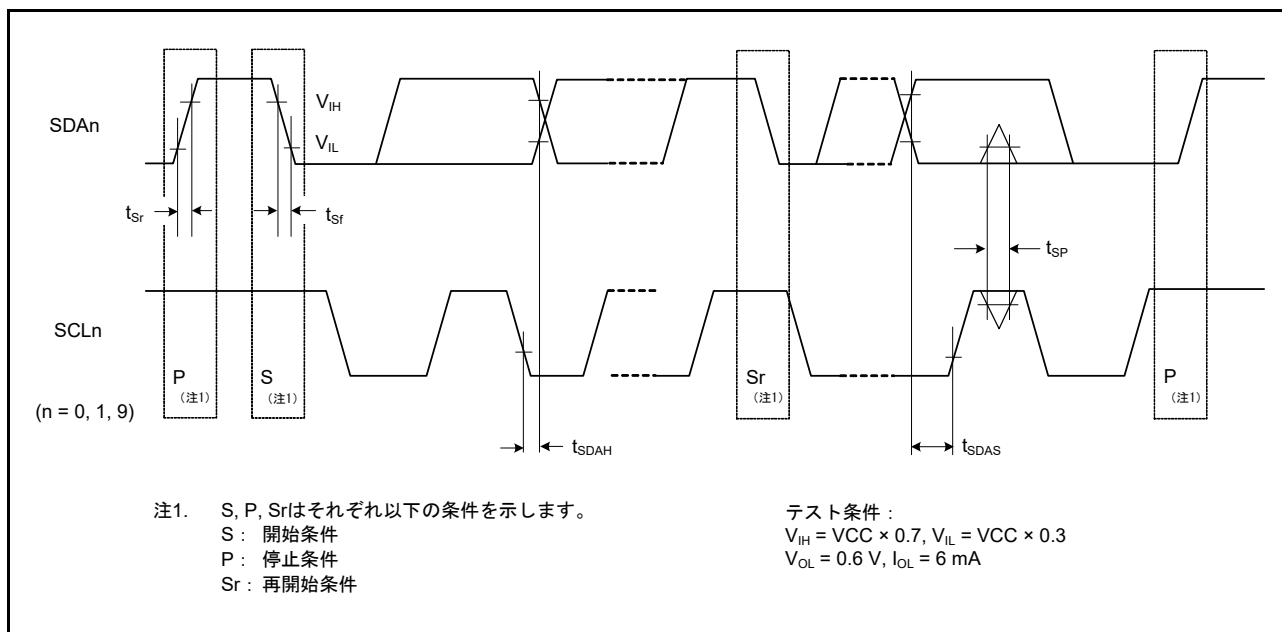


図 46.48 SCI 簡易 IIC モードタイミング

46.3.10 SPI タイミング

表 46.36 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件			
SPI	RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図 46.49 C = 30pF		
		スレーブ		6	4096				
	RSPCKクロック High レベル パルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns			
		スレーブ		$3 \times t_{Pcyc}$	-				
	RSPCKクロック Low レベル パルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	-	ns			
		スレーブ		$3 \times t_{Pcyc}$	-				
	RSPCKクロック立ち上がり ／立ち下がり時間	出力	t_{SPCKr} t_{SPCKf}	2.7V以上	-	10		ns	
				2.4V以上	-	15			
				1.8V以上	-	20			
				1.6V以上	-	30			
		入力		-	1	μs			
	データ入力セットアップ時間	マスタ	t_{SU}	10	-	ns		図 46.50 ~ 図 46.55 C = 30pF	
		スレーブ		2.4V以上	10				-
				1.8V以上	15				-
1.6V以上				20	-				
データ入力ホールド時間	マスタ (RSPCKはPCLKB/2)	t_{HF}	0	-	ns				
	マスタ (RSPCKはPCLKB/2以外)	t_H	t_{Pcyc}	-					
	スレーブ	t_H	20	-					
SSLセットアップ時間	マスタ	t_{LEAD}	$-30 + N \times t_{SpCyc}$ (注2)	-	ns				
	スレーブ		$6 \times t_{Pcyc}$	-	ns				
SSLホールド時間	マスタ	t_{LAG}	$-30 + N \times t_{SpCyc}$ (注3)	-	ns				
	スレーブ		$6 \times t_{Pcyc}$	-	ns				

表 46.36 SPI タイミング (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位 (注1)	測定条件		
SPI	データ出力遅延時間	マスタ	2.7V以上	t_{OD}	-	14	ns	図 46.50 ~ 図 46.55 C = 30pF	
			2.4V以上		-	20			
			1.8V以上		-	25			
			1.6V以上		-	30			
		スレーブ	2.7V以上		-	50			
			2.4V以上		-	60			
			1.8V以上		-	85			
			1.6V以上		-	110			
	データ出力ホールド時間	マスタ	t_{OH}	0	-	ns			
		スレーブ	t_{OH}	0	-	ns			
	連続転送遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns			
		スレーブ		$6 \times t_{Pcyc}$	-	ns			
	MOSI、MISOの立ち上がり ／立ち下がり時間	出力	2.7V以上	t_{Dr}, t_{Df}	-	10			ns
			2.4V以上		-	15			
			1.8V以上		-	20			
			1.6V以上		-	30			
入力		-	1		μ s				
SSL立ち上がり／立ち下がり 時間	出力	2.7V以上	t_{SSLr}, t_{SSLf}	-	10	ns			
		2.4V以上		-	15				
		1.8V以上		-	20				
		1.6V以上		-	30				
	入力	-		1	μ s				
スレーブアクセス時間		2.4V以上	t_{SA}	-	$2 \times t_{Pcyc} + 100$	ns	図 46.54 およ び 図 46.55 C = 30pF		
		1.8V以上		-	$2 \times t_{Pcyc} + 140$				
		1.6V以上		-	$2 \times t_{Pcyc} + 180$				
スレーブ出力解放時間		2.4V以上	t_{REL}	-	$2 \times t_{Pcyc} + 100$			ns	
		1.8V以上		-	$2 \times t_{Pcyc} + 140$				
		1.6V以上		-	$2 \times t_{Pcyc} + 180$				

注 1. t_{Pcyc} : PCLKB の周期

注 2. N は SPCKD レジスタにより、1 ~ 8 の整数に設定されます。

注 3. N は SSLND レジスタにより、1 ~ 8 の整数に設定されます。

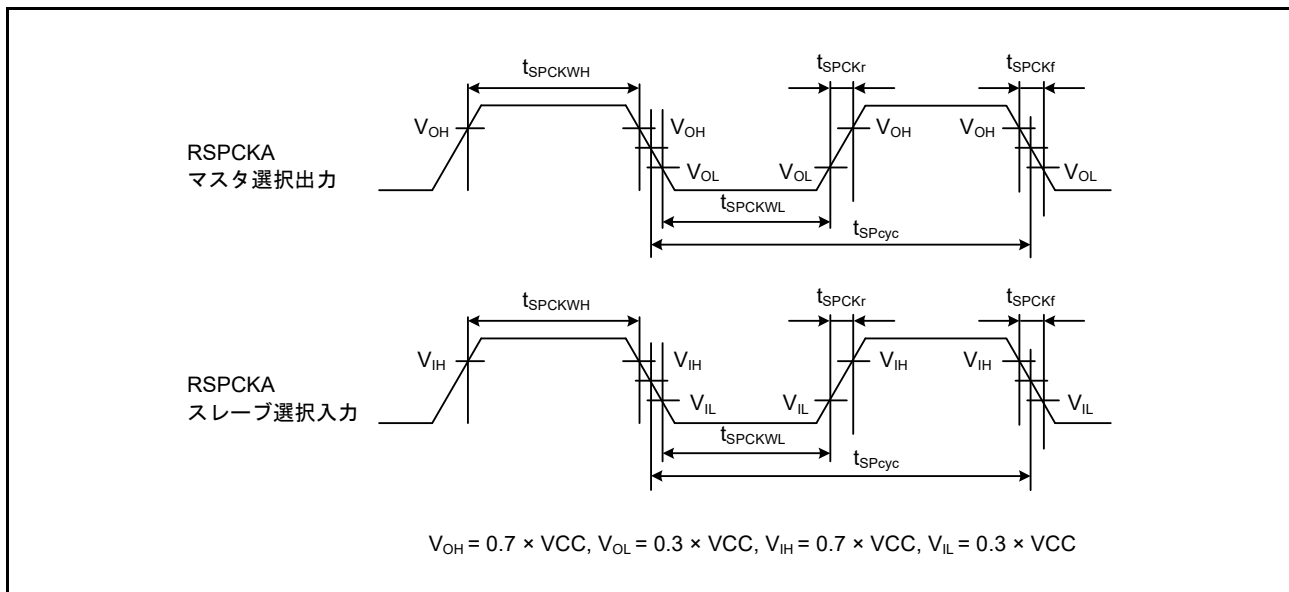


図 46.49 SPI クロックタイミング

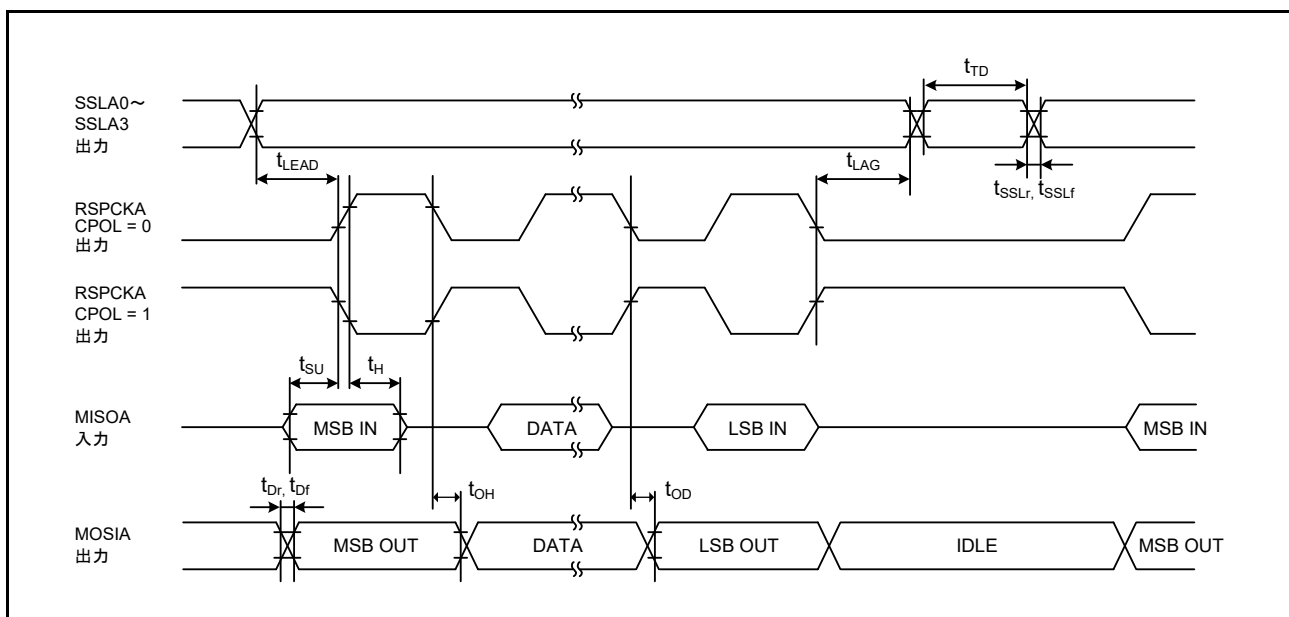


図 46.50 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

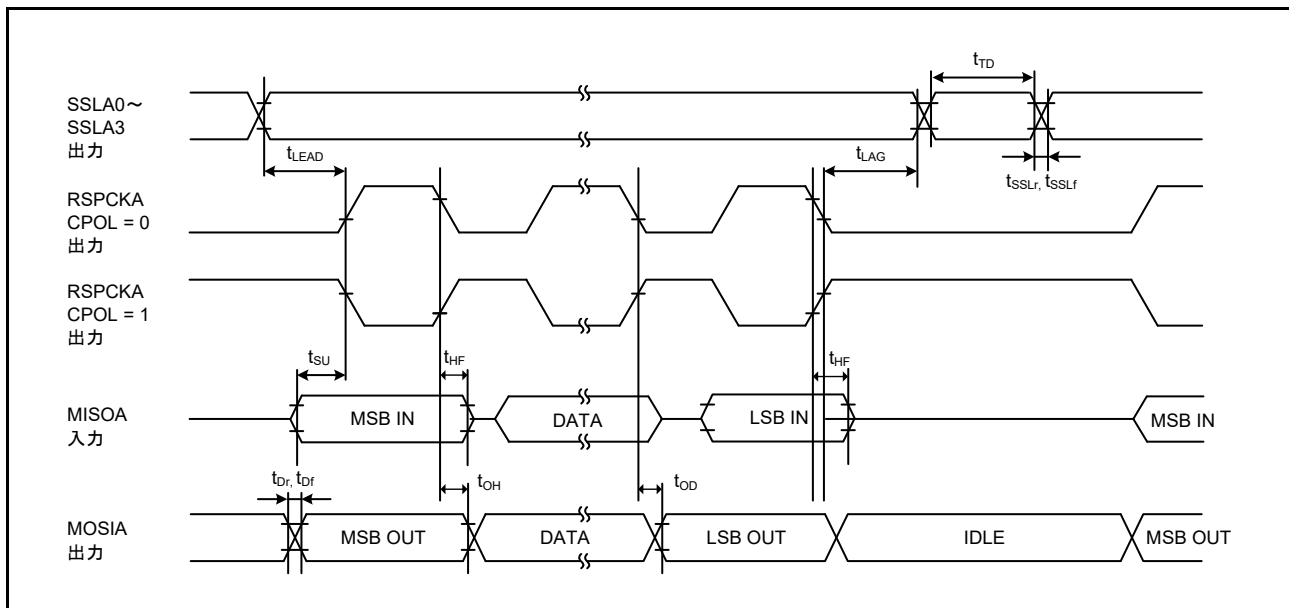


図 46.51 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

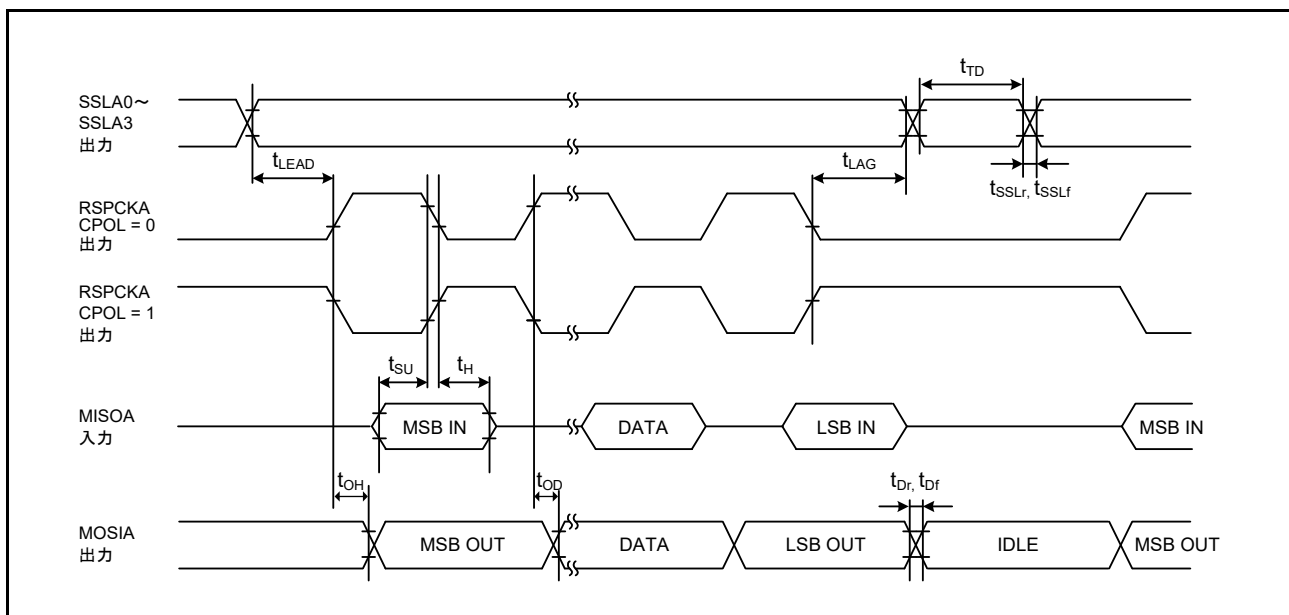


図 46.52 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

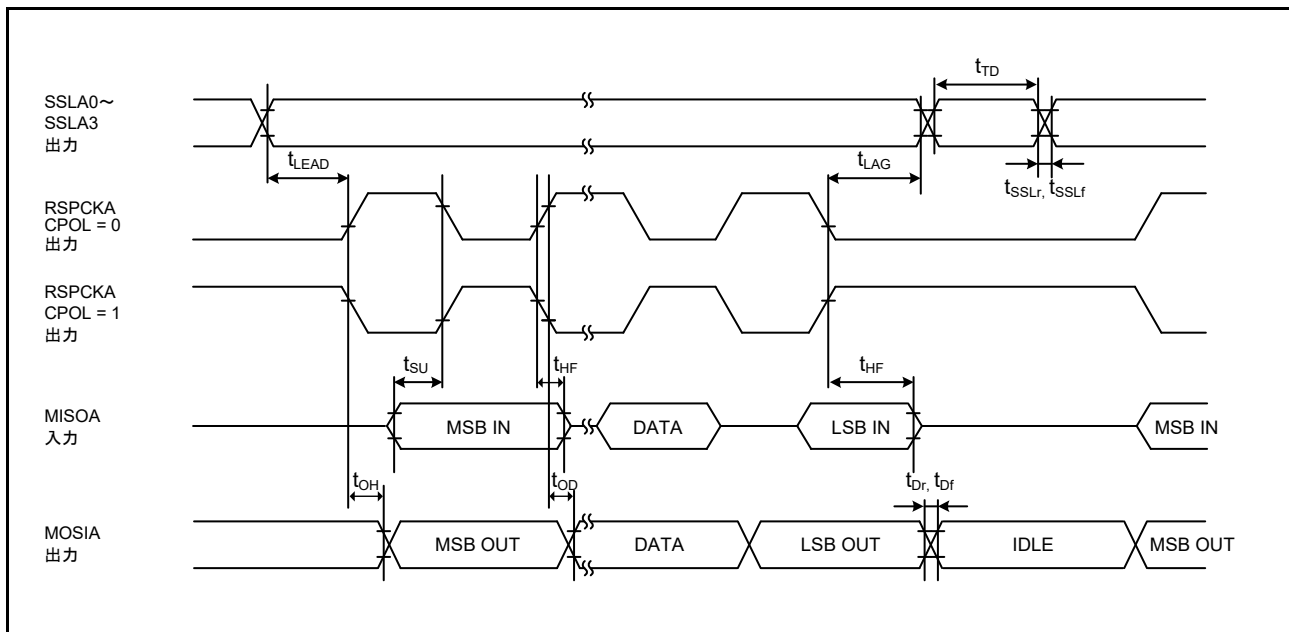


図 46.53 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

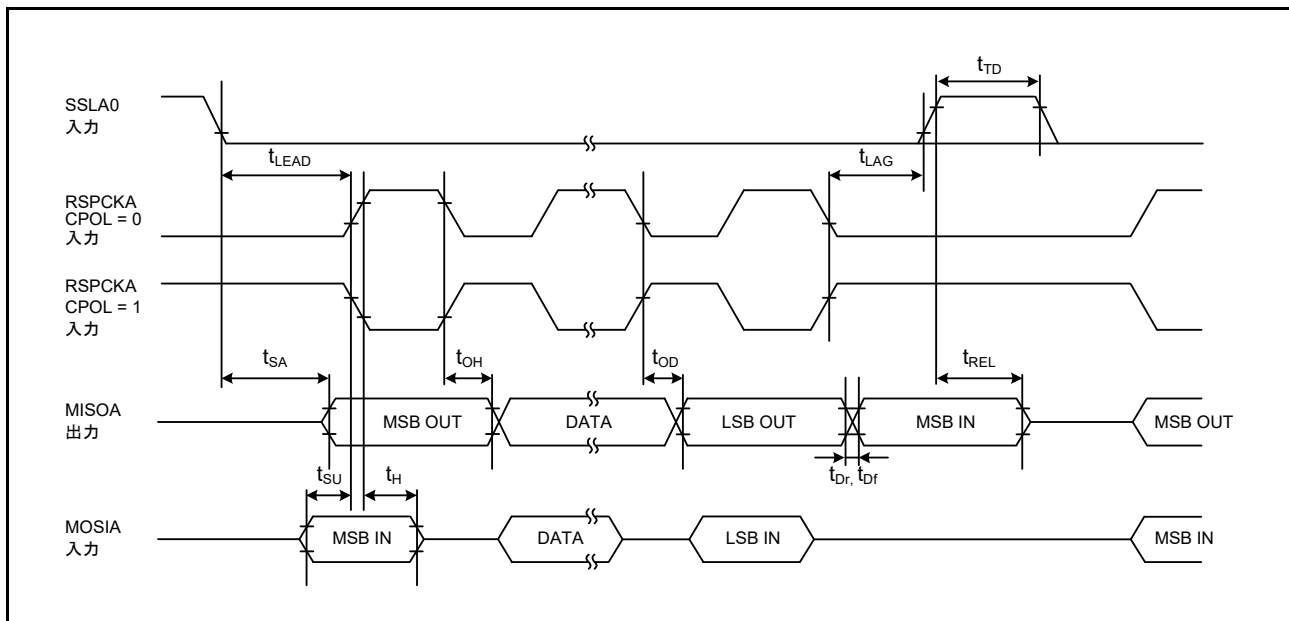


図 46.54 SPI タイミング (スレーブ、CPHA = 0)

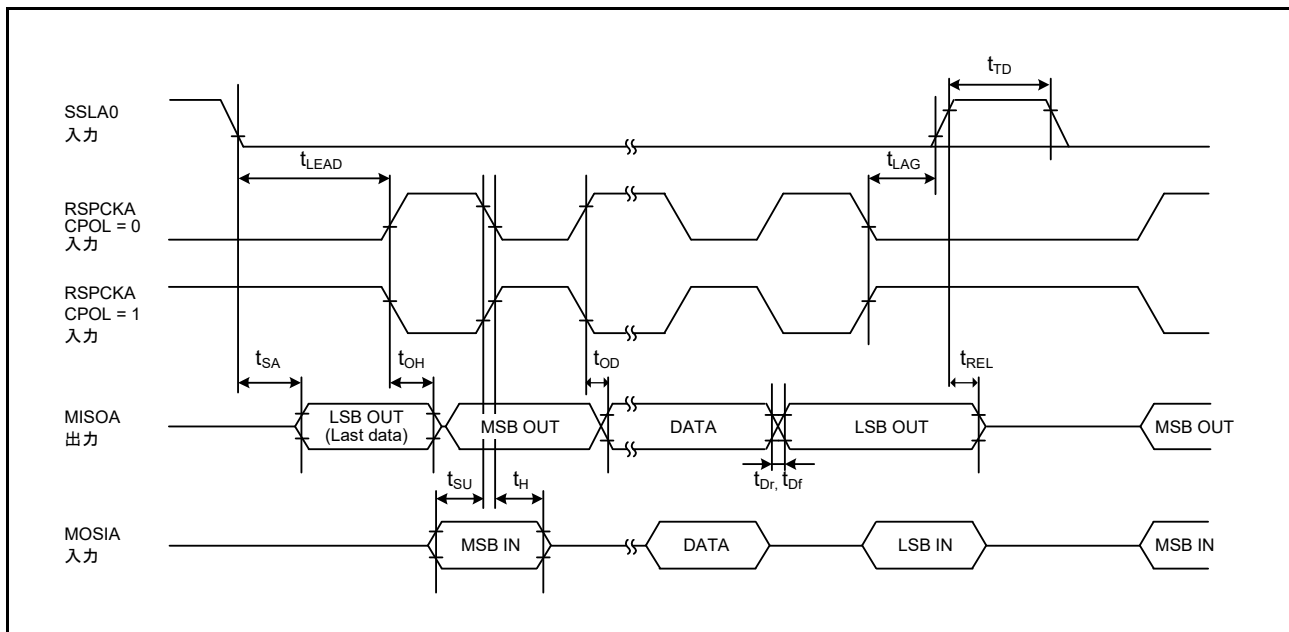


図 46.55 SPI タイミング (スレーブ、CPHA = 1)

46.3.11 IIC タイミング

表 46.37 IIC タイミング
条件 : VCC = AVCC0 = 2.7~5.5V

項目		シンボル	Min (注1)	Max	単位	測定条件
IIC (標準モード、SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	-	ns	図 46.56
	SCL入力Highレベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL入力Lowレベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能無効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
	SDA入カバスフリー時間 (ウェイクアップ機能有効時)	t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能無効時)	t_{STAH}	$t_{IICcyc} + 300$	-	ns	
	START条件入力ホールド時間 (ウェイクアップ機能有効時)	t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1000	-	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	-	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの容量性負荷	C_b	-	400	pF	
	IIC (ファストモード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	-	
SCL入力Highレベルパルス幅		t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL入力Lowレベルパルス幅		t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SCL、SDA入力立ち上がり時間		t_{Sr}	-	300	ns	
SCL、SDA入力立ち下がり時間		t_{Sf}	-	300	ns	
SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
SDA入カバスフリー時間 (ウェイクアップ機能無効時)		t_{BUF}	$3(6) \times t_{IICcyc} + 300$	-	ns	
SDA入カバスフリー時間 (ウェイクアップ機能有効時)		t_{BUF}	$3(6) \times t_{IICcyc} + 4 \times t_{Pcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能無効時)		t_{STAH}	$t_{IICcyc} + 300$	-	ns	
START条件入力ホールド時間 (ウェイクアップ機能有効時)		t_{STAH}	$1(5) \times t_{IICcyc} + t_{Pcyc} + 300$	-	ns	
再送START条件入力セットアップ時間		t_{STAS}	300	-	ns	
STOP条件入力セットアップ時間		t_{STOS}	300	-	ns	
データ入力セットアップ時間		t_{SDAS}	$t_{IICcyc} + 50$	-	ns	
データ入力ホールド時間		t_{SDAH}	0	-	ns	
SCL、SDAの容量性負荷		C_b	-	400	pF	

注 . t_{IICcyc} : IIC 内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKB の周期

注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると () 内の値が適用されます。

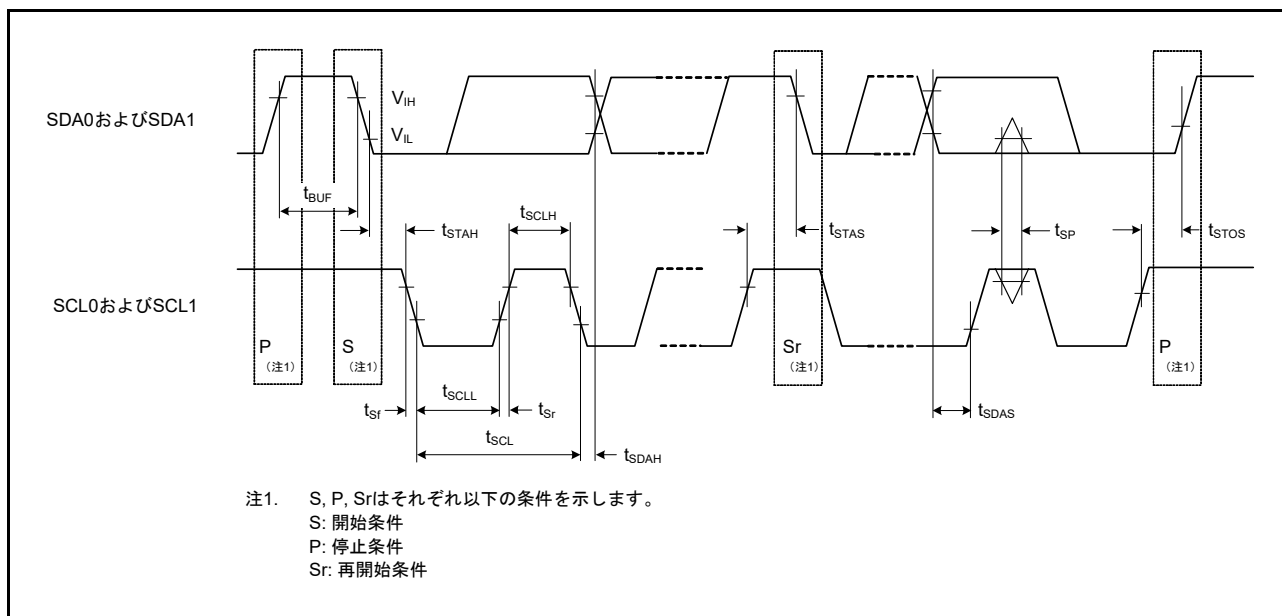


図 46.56 I²C バスインタフェース入出カタイミング

46.3.12 CLKOUT タイミング

表 46.38 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	VCC = 2.7V 以上	t_{Cyc}	62.5	-	ns	図 46.57
		VCC = 1.8V 以上		125	-		
		VCC = 1.6V 以上		250	-		
	CLKOUT 端子 High レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CH}	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子 Low レベルパルス幅 (注2)	VCC = 2.7V 以上	t_{CL}	15	-	ns	
		VCC = 1.8V 以上		30	-		
		VCC = 1.6V 以上		150	-		
	CLKOUT 端子出力立ち上がり時間	VCC = 2.7V 以上	t_{Cr}	-	12	ns	
		VCC = 1.8V 以上		-	25		
		VCC = 1.6V 以上		-	50		
CLKOUT 端子出力立ち下がり時間	VCC = 2.7V 以上	t_{Cf}	-	12	ns		
	VCC = 1.8V 以上		-	25			
	VCC = 1.6V 以上		-	50			

- 注 1. EXTAL 外部クロック入力または発振器の 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45 ~ 55% で表 46.38 の仕様を満たします。
- 注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

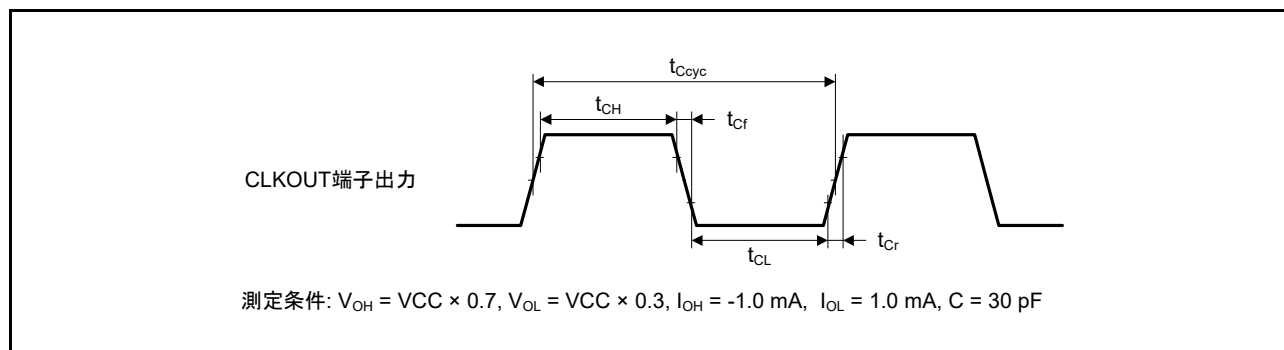


図 46.57 CLKOUT 出力タイミング

46.4 USB 特性

46.4.1 USBFS タイミング

表 46.39 USB 特性

条件 : VCC = AVCC0 = VCC_USB = 3.0 ~ 3.6V, Ta = -20 ~ +85°C

項目	シンボル	Min	Max	単位	測定条件		
入力特性	入力Highレベル電圧	V _{IH}	2.0	-	V	-	
	入力Lowレベル電圧	V _{IL}	-	0.8	V	-	
	差動入力感度	V _{DI}	0.2	-	V	USB_DP - USB_DM	
	差動共通モードレンジ	V _{CM}	0.8	2.5	V	-	
出力特性	出力Highレベル電圧	V _{OH}	2.8	VCC_USB	V	I _{OH} = -200μA	
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図 46.58、 図 46.59、 図 46.60	
	立ち上がり時間	FS	t _r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t _f	4	20		ns
		LS		75	300		
	立ち上がり/立ち下がり時間比	FS	t _r /t _f	90	111.11		%
LS			80	125			
出力抵抗	Z _{DRV}	28	44	Ω	(外部要素の抵抗を調整する必要なし)		
VBUS 特性	VBUS 入力電圧	V _{IH}	VCC × 0.8	-	V	-	
		V _{IL}	-	VCC × 0.2	V	-	
ブルアップ、ブルダウン	ブルダウン抵抗	R _{PD}	14.25	24.80	kΩ	-	
	ブルアップ抵抗	R _{PUI}	0.9	1.575	kΩ	アイドル状態の間	
		R _{PUA}	1.425	3.09	kΩ	受信時	
バッテリーチャージング規格 Ver 1.2	D+シンク電流	I _{DP_SINK}	25	175	μA	-	
	D-シンク電流	I _{DM_SINK}	25	175	μA	-	
	D+ソース電流	I _{DP_SRC}	7	13	μA	-	
	データ検出電圧	V _{DAT_REF}	0.25	0.4	V	-	
	D+ソース電圧	V _{DP_SRC}	0.5	0.7	V	出力電流 = 250μA	
	D-ソース電圧	V _{DM_SRC}	0.5	0.7	V	出力電流 = 250μA	

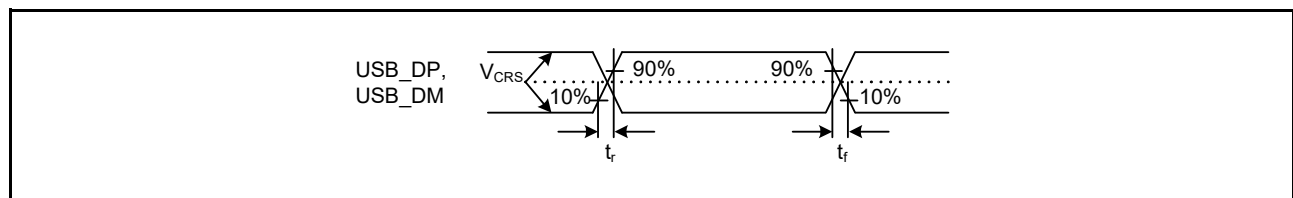


図 46.58 USB_DP および USB_DM 出力タイミング

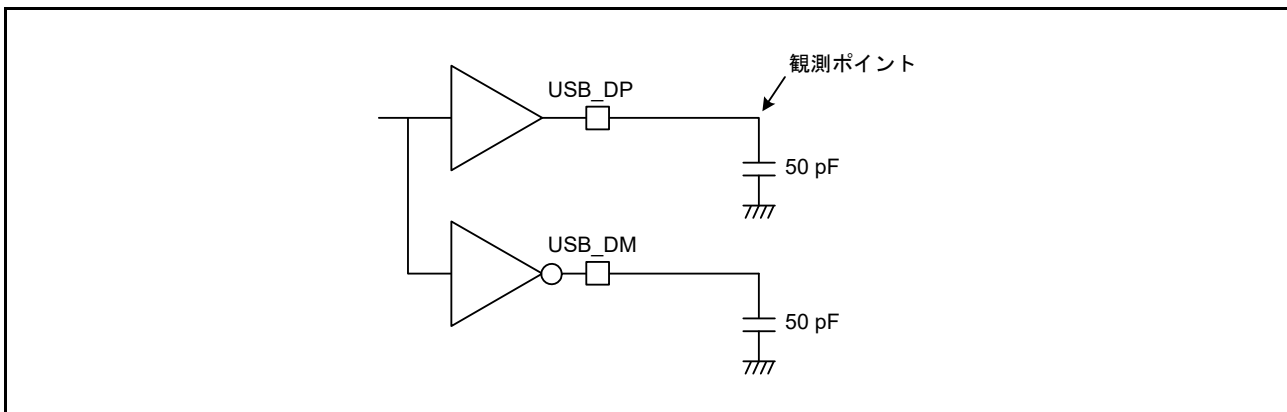


図 46.59 フルスピード (FS) 接続の測定回路

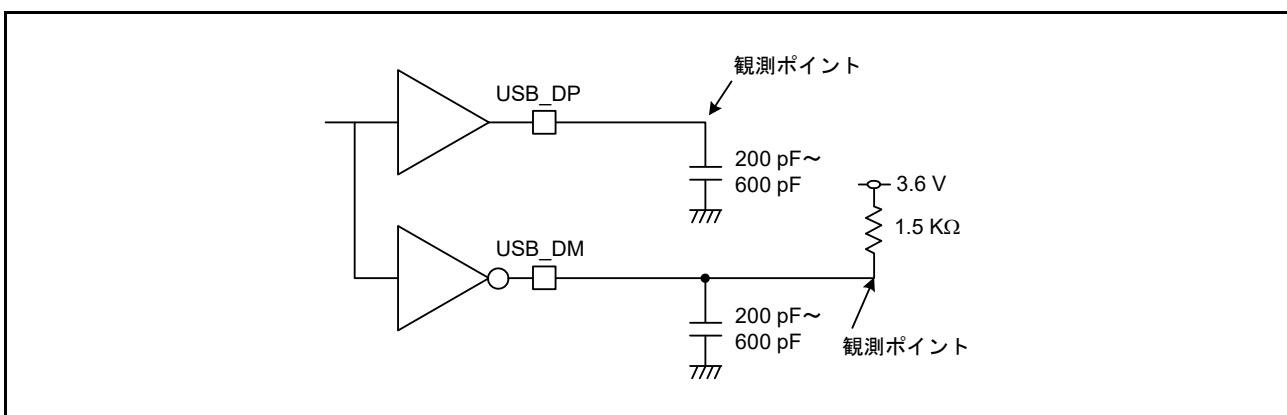


図 46.60 ロースピード (LS) 接続の測定回路

46.4.2 USB 外部供給

表 46.40 USBレギュレータ

項目		Min	Typ	Max	単位	測定条件
VCC_USB 供給電流	VCC_USB_LDO \geq 3.8V	-	-	50	mA	-
	VCC_USB_LDO \geq 4.5V	-	-	100	mA	-
VCC_USB 電源電圧		3.0	-	3.6	V	-

46.5 ADC14 特性

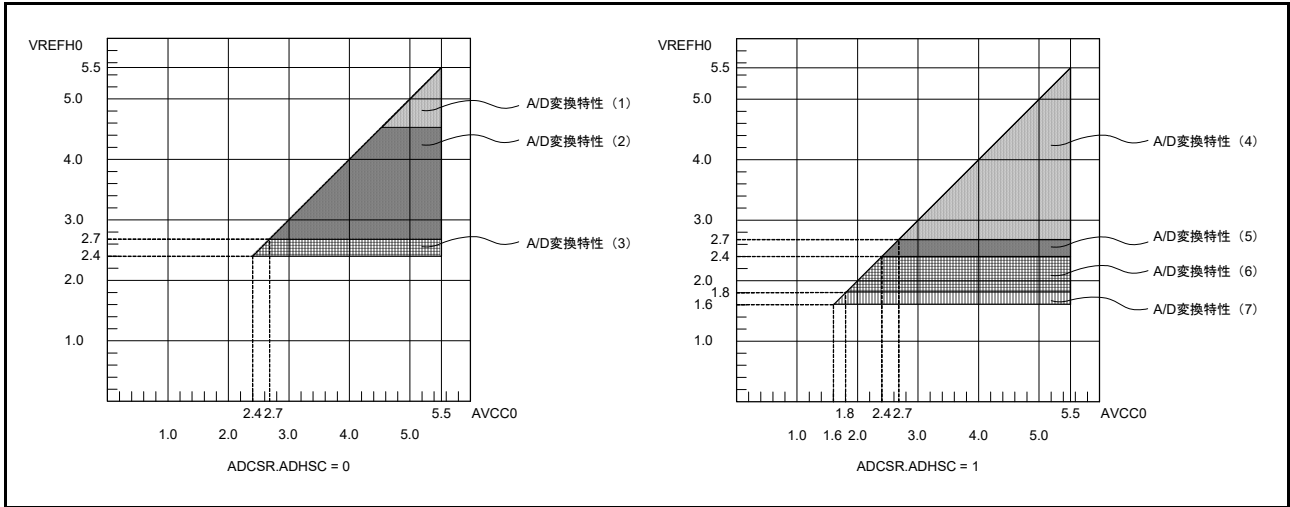


図 46.61 AVCC0 ~ VREFH0 電圧範囲

表 46.41 高速A/D変換モードにおけるA/D変換特性 (1)

条件 : VCC = AVCC0 = 4.5 ~ 5.5V、VREFH0 = 4.5 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	64	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 64MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.70	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.13	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 64MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.80	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.22	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.42 高速A/D変換モードにおけるA/D変換特性 (2)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	48	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 48MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	0.94	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.50	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 48MHzで動作)	許容信号源インピーダンス Max = 0.3kΩ	1.06	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		1.63	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.43 高速A/D変換モードにおけるA/D変換特性 (3)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	32	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 32MHzで動作)	許容信号源インピーダンス Max = 1.3kΩ	1.41	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.25	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 32MHzで動作)	許容信号源インピーダンス Max = 1.3kΩ	1.59	-	-	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0Dh
		2.44	-	-	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.44 低消費電力A/D変換モードにおけるA/D変換特性 (4)

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VREFH0 = 2.7 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V

基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	24	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 24MHzで動作)	許容信号源インピーダンス Max = 1.1kΩ	2.25	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.38	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 24MHzで動作)	許容信号源インピーダンス Max = 1.1kΩ	2.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		3.63	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.45 低消費電力A/D変換モードにおけるA/D変換特性 (5)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V、VREFH0 = 2.4 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	16	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 16MHzで動作)	許容信号源インピーダンス Max = 2.2kΩ	3.38	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.06	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±0.5	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
フルスケール誤差		-	±0.75	±4.5	LSB	高精度チャネル
				±6.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±1.25	±5.0	LSB	高精度チャネル
				±8.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 16MHzで動作)	許容信号源インピーダンス Max = 2.2kΩ	3.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		5.44	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±2.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
フルスケール誤差		-	±3.0	±18	LSB	高精度チャネル
				±24.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±5.0	±20	LSB	高精度チャネル
				±32.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.46 低消費電力A/D変換モードにおけるA/D変換特性 (6)

条件 : VCC = AVCC0 = 1.8 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.8 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	8	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 8MHzで動作)	許容信号源インピーダンス Max = 5kΩ	6.75	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.13	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 8MHzで動作)	許容信号源インピーダンス Max = 5kΩ	7.50	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		10.88	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注 . 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.47 低消費電力A/D変換モードにおけるA/D変換特性 (7)

条件: VCC = AVCC0 = 1.6 ~ 5.5V (VCC < 2.0V のとき AVCC0 = VCC)、VREFH0 = 1.6 ~ 5.5V、VSS = AVSS0 = VREFL0 = 0
 基準電圧範囲をVREFH0およびVREFL0に印加

項目		Min	Typ	Max	単位	測定条件
周波数		1	-	4	MHz	-
アナログ入力容量	Cs	-	-	15	pF	高精度チャネル
		-	-	30	pF	通常精度チャネル
アナログ入力抵抗	Rs	-	-	2.5	kΩ	-
アナログ入力電圧範囲	Ain	0	-	VREFH0	V	-
12ビットモード						
分解能		-	-	12	ビット	-
変換時間 (注1) (PCLKD = 4MHzで動作)	許容信号源インピーダンス Max = 9.9kΩ	13.5	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		20.25	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±1.0	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
フルスケール誤差		-	±1.5	±7.5	LSB	高精度チャネル
				±10.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±3.0	±8.0	LSB	高精度チャネル
				±12.0	LSB	上記以外
DNL 微分非直線性誤差		-	±1.0	-	LSB	-
INL 積分非直線性誤差		-	±1.0	±3.0	LSB	-
14ビットモード						
分解能		-	-	14	ビット	-
変換時間 (注1) (PCLKD = 4MHzで動作)	許容信号源インピーダンス Max = 9.9kΩ	15.0	-	-	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0Dh
		21.75	-	-	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 28h
オフセット誤差		-	±4.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
フルスケール誤差		-	±6.0	±30.0	LSB	高精度チャネル
				±40.0	LSB	上記以外
量子化誤差		-	±0.5	-	LSB	-
絶対精度		-	±12.0	±32.0	LSB	高精度チャネル
				±48.0	LSB	上記以外
DNL 微分非直線性誤差		-	±4.0	-	LSB	-
INL 積分非直線性誤差		-	±4.0	±12.0	LSB	-

注. 14ビットA/Dコンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間はサンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

表 46.48 14ビットA/Dコンバータチャンネル分類

分類	チャンネル	条件	備考
高精度チャンネル	AN000～AN013	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時AN000～AN013端子は、汎用入出力端子、IRQ2入力端子、TS送信端子としては使用できません。
通常精度チャンネル	AN016～AN022		-
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.0～5.5V	-
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 2.0～5.5V	-

表 46.49 A/D内部基準電圧特性

条件：VCC = AVCC0 = VREFH0 = 2.0～5.5V (注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル (注2)	1.36	1.43	1.50	V	-
サンプリング時間	5.0	-	-	μs	-

注1. AVCC0 < 2.0V のとき、入力チャンネルに内部基準電圧は選択できません。

注2. 14ビットA/D内部基準電圧は、内部基準電圧が14ビットA/Dコンバータに入力されたときの電圧を示します。

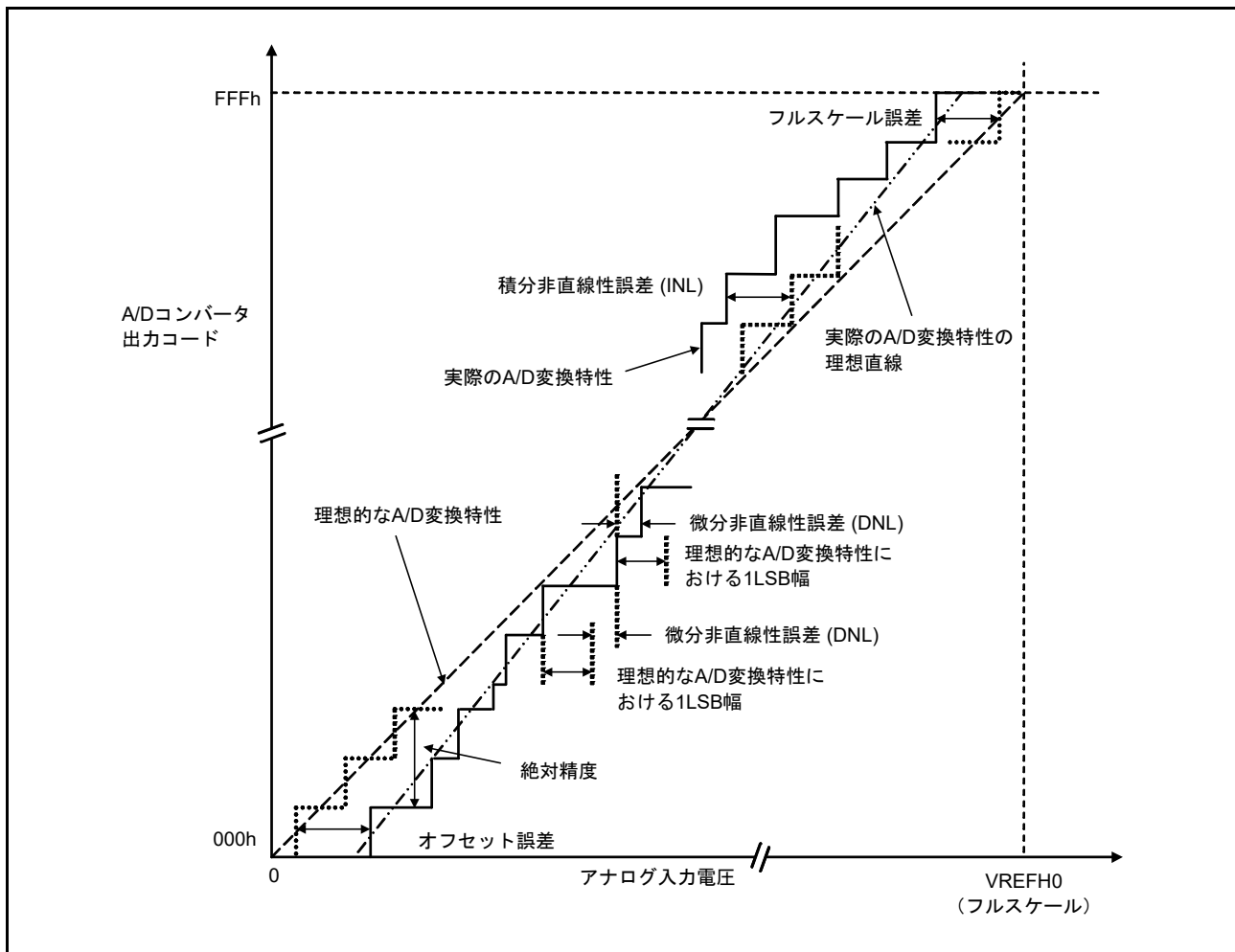


図 46.62 14 ビット A/D コンバータ特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072V の場合、1-LSB 幅は 0.75mV になり、アナログ入力電圧には 0mV、0.75mV、1.5mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6mV の場合、理論的 A/D 変換特性から期待される出力コードが 008h であっても、実際の A/D 変換結果は 003h ~ 00Dh の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初出力コードの変化点と、実際最初出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後出力コードの変化点と、実際最後出力コードとの差です。

46.6 DAC8 特性

表 46.50 D/A 変換特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目		Min	Typ	Max	単位	測定条件
分解能		-	-	8	ビット	-
チャージポンプ安定時間		-	-	100	μs	-
変換時間	VCC = 2.7 ~ 5.5V	-	-	3.0	μs	容量性負荷 35pF
	VCC = 1.8 ~ 2.7V	-	-	6.0	μs	
絶対精度	VCC = 2.4 ~ 5.5V	-	-	±3.0	LSB	負荷抵抗 2MΩ
	VCC = 1.8 ~ 2.4V	-	-	±3.5		
	VCC = 2.4 ~ 5.5V	-	-	±2.0	LSB	負荷抵抗 4MΩ
	VCC = 1.8 ~ 2.4V	-	-	±2.5		
RO出力抵抗		-	6.4	-	kΩ	-

46.7 TSN 特性

表 46.51 TSN 特性

条件 : VCC = AVCC0 = 2.0 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	±1.5	-	°C	2.4V 以上
		-	±2.0	-	°C	2.4V 未満
温度傾斜	-	-	-3.65	-	mV/°C	-
出力電圧 (25°C)	-	-	1.05	-	V	VCC = 3.3V
温度センサ起動時間	t _{START}	-	-	5	μs	-
サンプリング時間	-	5	-	-	μs	-

46.8 OSC 停止検出特性

表 46.52 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t _{dr}	-	-	1	ms	図 46.63

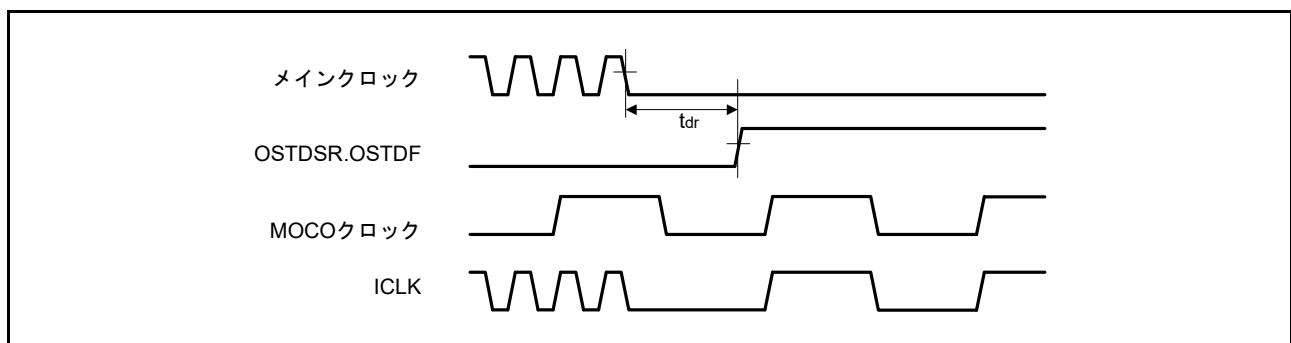


図 46.63 発振停止検出タイミング

46.9 POR/LVD 特性

表 46.53 パワーオンリセット回路、電圧検出回路の特性 (1)

項目	シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	パワーオンリセット (POR)	V_{POR}	1.27	1.42	1.57	V	図 46.64 、 図 46.65
	電圧検出回路 (LVD0) (注2)	V_{det0_0}	3.68	3.85	4.00	V	図 46.66 立ち下がリエッジ VCCにて
		V_{det0_1}	2.68	2.85	2.96		
		V_{det0_2}	2.38	2.53	2.64		
		V_{det0_3}	1.78	1.90	2.02		
		V_{det0_4}	1.60	1.69	1.82		
	電圧検出回路 (LVD1) (注3)	V_{det1_0}	4.13	4.29	4.45	V	図 46.67 立ち下がリエッジ VCCにて
		V_{det1_1}	3.98	4.16	4.30		
		V_{det1_2}	3.86	4.03	4.18		
		V_{det1_3}	3.68	3.86	4.00		
		V_{det1_4}	2.98	3.10	3.22		
		V_{det1_5}	2.89	3.00	3.11		
		V_{det1_6}	2.79	2.90	3.01		
		V_{det1_7}	2.68	2.79	2.90		
		V_{det1_8}	2.58	2.68	2.78		
		V_{det1_9}	2.48	2.58	2.68		
		V_{det1_A}	2.38	2.48	2.58		
		V_{det1_B}	2.10	2.20	2.30		
		V_{det1_C}	1.84	1.96	2.05		
		V_{det1_D}	1.74	1.86	1.95		
V_{det1_E}		1.63	1.75	1.84			
V_{det1_F}	1.60	1.65	1.73				
電圧検出回路 (LVD2) (注4)	V_{det2_0}	4.11	4.31	4.48	V	図 46.68 立ち下がリエッジ VCCにて	
	V_{det2_1}	3.97	4.17	4.34			
	V_{det2_2}	3.83	4.03	4.20			
	V_{det2_3}	3.64	3.84	4.01			

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. $V_{det0_#}$ の # は OFS1.VDSEL1[2:0] ビットの値を示しています。

注 3. $V_{det1_#}$ の # は LVDLVL.R.LVD1LVL[4:0] ビットの値を示しています。

注 4. $V_{det2_#}$ の # は LVDLVL.R.LVD2LVL[2:0] ビットの値を示しています。

表 46.54 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	t_{POR}	-	1.7	-	ms	-
	LVD0 : 無効	t_{POR}	-	1.3	-	ms	-
電圧監視0、1、2リセット解除後の待機時間	LVD0 : 有効 (注1)	$t_{LVD0,1,2}$	-	0.6	-	ms	-
	LVD0 : 無効 (注2)	$t_{LVD1,2}$	-	0.2	-	ms	-
応答遅延時間 (注3)		t_{det}	-	-	350	μ s	図 46.64、図 46.65
最小VCC低下時間		t_{VOFF}	450	-	-	μ s	図 46.64, VCC = 1.0V 以上
パワーオンリセット有効時間		t_W (POR)	1	-	-	ms	図 46.65, VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え後)		T_d (E-A)	-	-	300	μ s	図 46.67, 図 46.68
ヒステリシス幅 (POR)		V_{PORH}	-	110	-	mV	-
ヒステリシス幅 (LVD0、LVD1、LVD2)		V_{LVH}	-	60	-	mV	LVD0 選択時
			-	100	-		$V_{det1_0} \sim V_{det1_2}$ を選択
			-	60	-		$V_{det1_3} \sim V_{det1_9}$ を選択
			-	50	-		$V_{det1_A} \sim V_{det1_B}$ を選択
			-	40	-		$V_{det1_C} \sim V_{det1_F}$ を選択
			-	60	-		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} および V_{det2} の最小値を下回っている時間です。

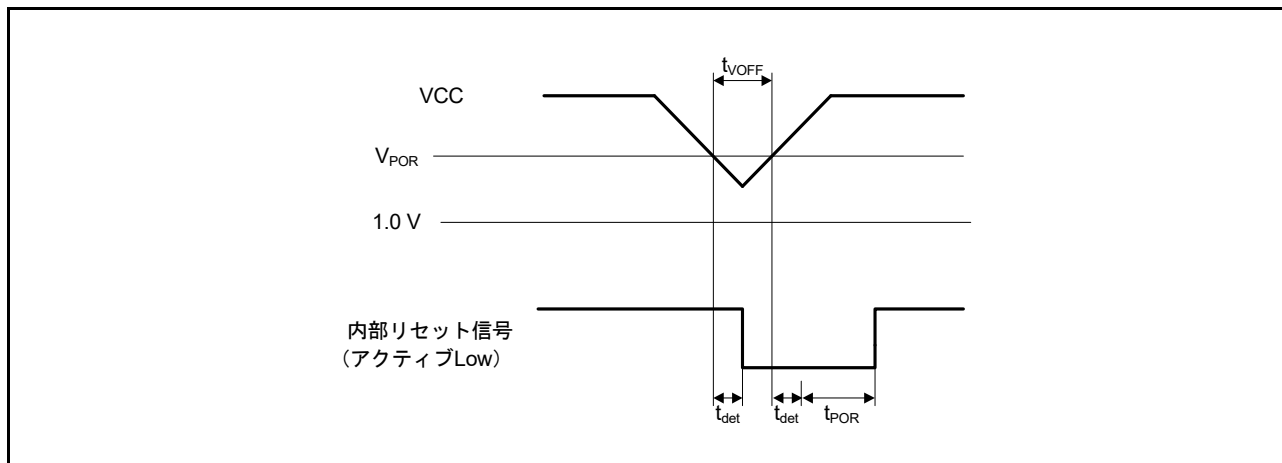


図 46.64 電圧検出リセットタイミング

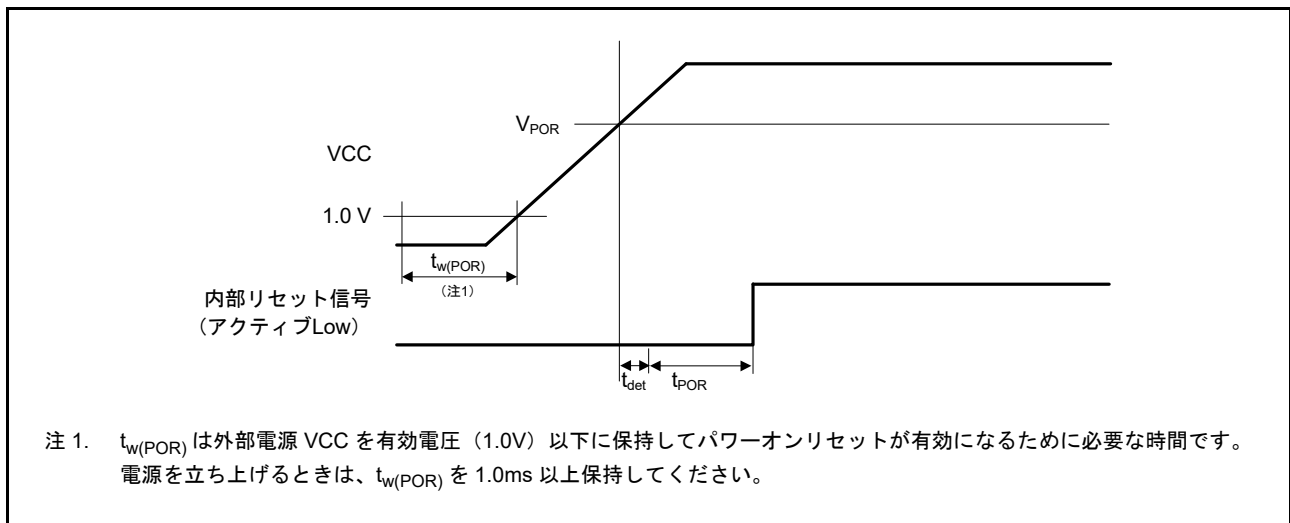


図 46.65 パワーオンリセットタイミング

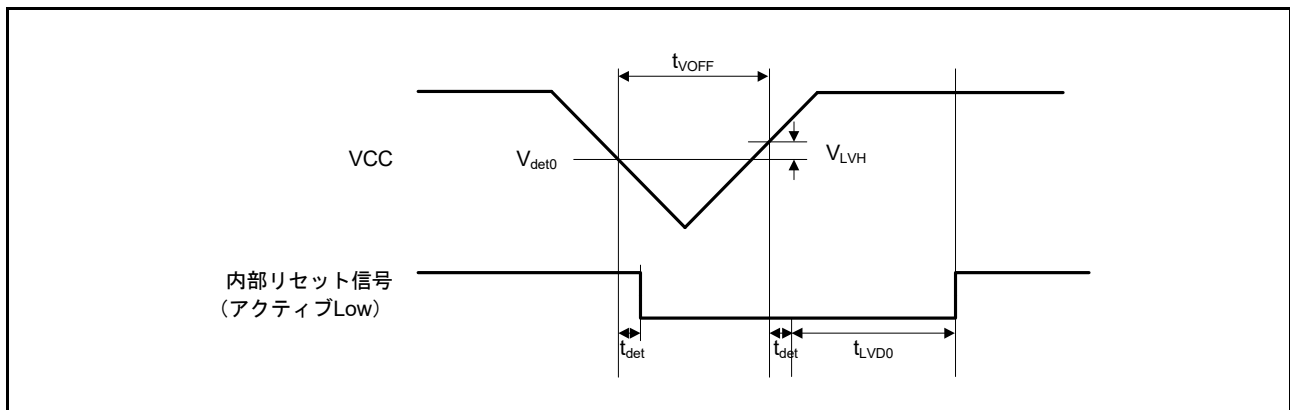


図 46.66 電圧検出回路タイミング (V_{det0})

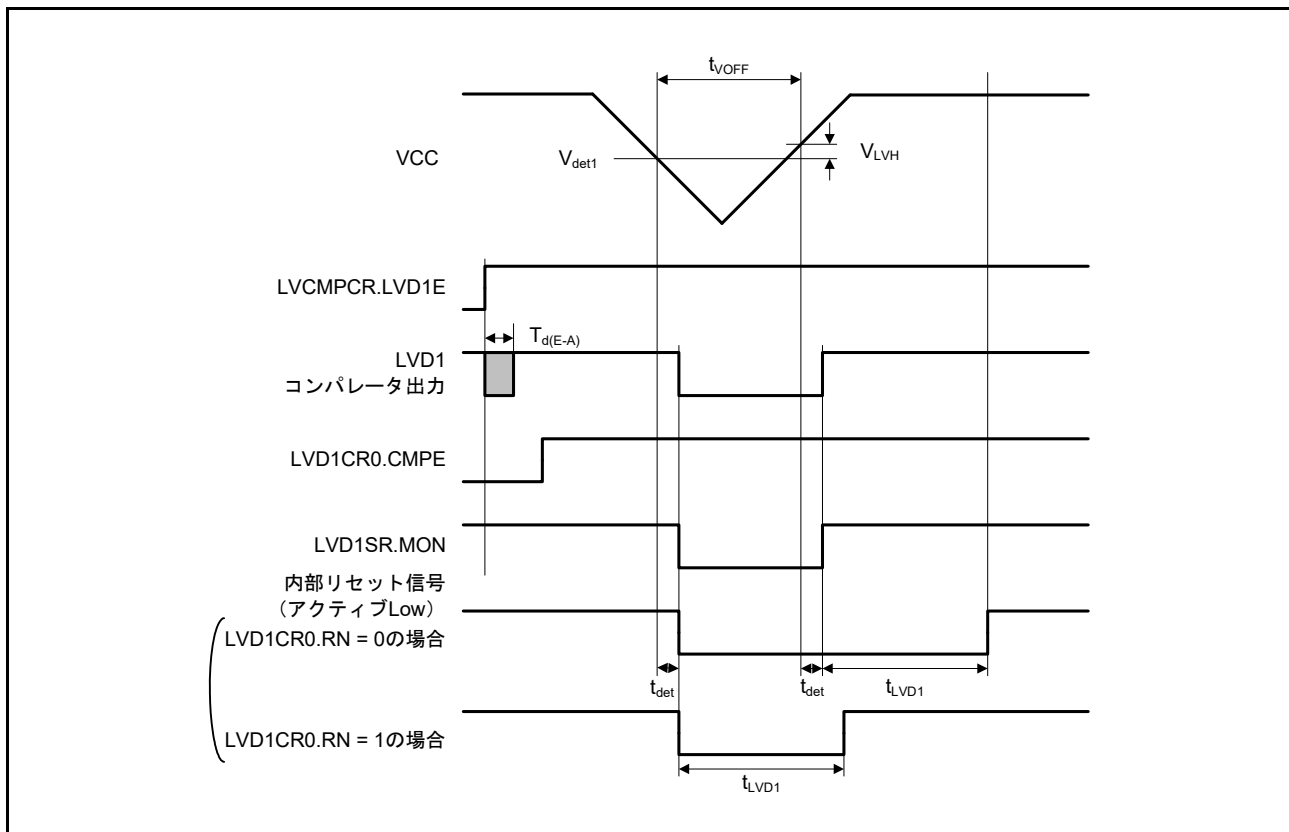


図 46.67 電圧検出回路タイミング (V_{det1})

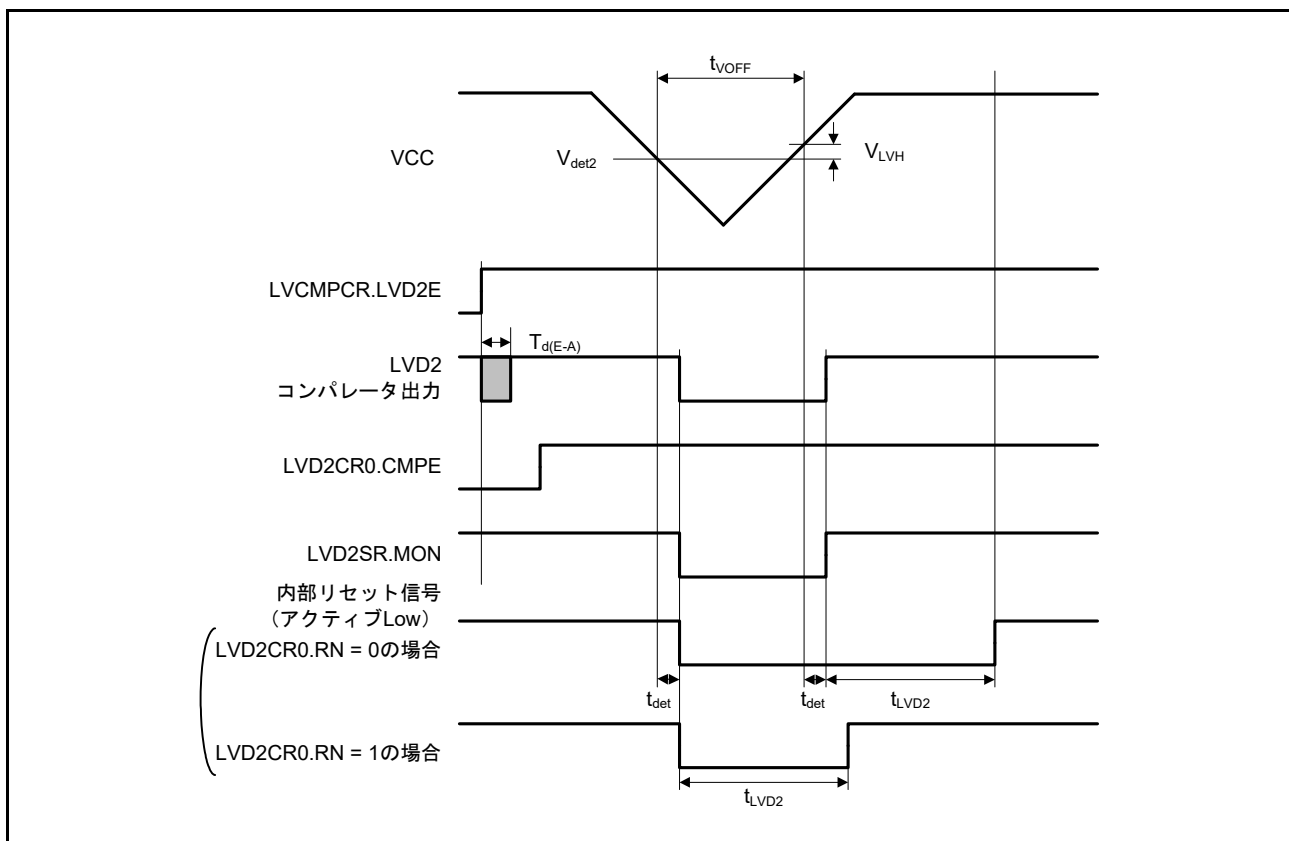


図 46.68 電圧検出回路タイミング (V_{det2})

46.10 CTSU 特性

表 46.55 CTSU 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP 端子に接続された外付け容量	C_{TSCAP}	9	10	11	nF	-
TS 端子の容量性負荷	C_{base}	-	-	50	pF	-
許容大電流出力	ΣI_{OH}	-	-	-24	mA	相互容量方式適用時

46.11 コンパレータ特性

表 46.56 ACMPHS 特性

条件 : VCC = AVCC0 = 2.7 ~ 5.5V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	V_{IOCOMP}	-	± 5	± 40	mV	-
入力電圧範囲	V_{ICPM}	0	-	AVCC0	V	-
出力遅延時間	T_d	-	50	100	ns	入力振幅 ± 100 mV
入力チャンネル切り替え時の安定待機時間 (注1)	T_{WAIT}	300	-	-	ns	入力振幅 ± 100 mV
動作安定待機時間 (注2)	T_{cmp}	1	-	-	μ s	$3.3V \leq AVCC0 \leq 5.5V$
		3	-	-	μ s	$2.7V \leq AVCC0 < 3.3V$

注 1. コンパレータ入力チャンネルの切り替え時から、切り替え結果が出力に反映されるまでの時間です。

注 2. コンパレータ動作を許可 (CPMCTL.HCMPON = 1) してから、コンパレータが DC/AC 特性を満たすまでの時間です。

表 46.57 ACMPLP 特性

条件 : VCC = AVCC0 = 1.8 ~ 5.5V、VSS = AVSS0 = 0V

項目	シンボル	Min	Typ	Max	単位	測定条件	
入力電圧範囲	IVREF0	V_{REF}	0	-	$VCC - 1.4$ (注1)	V	-
	IVREF1 (標準モード)		0	-	$VCC - 1.4$	V	
	IVREF1 (ウィンドウモード)		1.4 (注1)	-	VCC	V	
	IVCMP0、IVCMP1	V_I	0	-	VCC	V	
内部基準電圧	-	1.36	1.44	1.50	V	-	
出力遅延	コンパレータ高速モード (標準モード)	T_d	-	-	1.2	μ s	VCC = 3.0 入力信号のスループレート > 50mV/ μ s
	コンパレータ高速モード (ウィンドウモード)				2.0	μ s	
	コンパレータ低速モード (標準モード)				5.0	μ s	
オフセット電圧	コンパレータ高速モード (標準モード)	-	-	-	50	mV	-
	コンパレータ高速モード (ウィンドウモード)				60	mV	
	コンパレータ低速モード (標準モード)				40	mV	
動作安定待機時間	T_{cmp}	100	-	-	μ s	-	

注 1. ウィンドウモードでは、次の条件を満たす必要があります。Vref1 - Vref0 \geq 0.2V

46.12 OPAMP 特性

表 46.58 OPAMP 特性

条件 : $1.8V \leq AVCC0 = VCC \leq 5.5V$ 、 $VSS = AVSS0 = 0V$

項目	シンボル	条件		Min	Typ	Max	単位
コモンモード入力範囲	V_{icm1}	低消費電力モード		0.1	-	$AVCC0 - 0.5$	V
	V_{icm2}	高速モード		0.2	-	$AVCC0 - 0.6$	
出力電圧範囲	V_{o1}	低消費電力モード		0.1	-	$AVCC0 - 0.1$	V
	V_{o2}	高速モード		0.1	-	$AVCC0 - 0.1$	
入力オフセット電圧	V_{ioff1}	低消費電力モード		-7	-	7	mV
	V_{ioff2}	高速モード		-5	-	5	
オープンゲイン	A_v	-		80	120	-	dB
ゲイン帯域幅 (GB) 製品	GBW1	低消費電力モード		-	0.012	-	MHz
	GBW2	高速モード		-	1.7	-	
位相マージン	PM	CL = 20pF		50	-	-	deg
ゲインマージン	GM	CL = 20pF		10	-	-	dB
入力換算ノイズ	V_{noise1}	f = 10Hz	低消費電力モード	-	700	-	nV/ \sqrt{Hz}
	V_{noise2}	f = 1kHz		-	400	-	
	V_{noise3}	f = 1kHz	高速モード	-	90	-	
	V_{noise4}	f = 100kHz		-	50	-	
電源低減比	PSRR	-		-	90	-	dB
コモンモード信号低減比	CMRR	-		-	90	-	dB
安定待機時間	T_{std1}	CL = 20pF オペアンプのみ起動 (注1)	低消費電力モード VCC < 3.6V	1800	-	-	μs
			低消費電力モード VCC < 5.5V	2500	-	-	
	T_{std2}		高速モード	13	-	-	
			T_{std3}	CL = 20pF オペアンプと基準 電流回路が同時に 起動	低消費電力モード VCC < 3.6V	1800	
	低消費電力モード VCC < 5.5V	2500			-	-	
	T_{std4}	高速モード			13	-	
T_{set1}		CL = 20pF			低消費電力モード VCC < 3.6V	-	-
	低消費電力モード VCC < 5.5V		-	-	2000	μs	
	高速モード		-	-	13	μs	
スルーレート	T_{slew1}	CL = 20pF	低消費電力モード	-	0.005	-	V/ μs
	T_{slew2}		高速モード	-	1.1	-	V/ μs
負荷電流	I_{load1}	低消費電力モード		-100	-	100	μA
	I_{load2}	高速モード		-100	-	100	
負荷容量	CL	-		-	-	20	pF

注 1. オペアンプおよび基準電流回路がすでに起動されている場合。

46.13 フラッシュメモリ特性

46.13.1 コードフラッシュメモリ特性

表 46.59 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル (注1)	N _{PEC}	1000	-	-	回	-
データ保持時間	1000回のN _{PEC} の後	t _{DRP}	20 (注2) (注3)	-	年	T _a = +85°C

- 注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1KB のブロックについて、それぞれ異なる番地に 4 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください。)
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. 信頼性試験から得られた結果です。

表 46.60 コードフラッシュ特性 (2)

High-speed モード
条件 : VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	ICLK = 1MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t _{P4}	-	116	998	-	54	506	μs
イレース時間	1KB	t _{E1K}	-	9.03	287	-	5.67	222	ms
ブランクチェック時間	4バイト	t _{BC4}	-	-	56.8	-	-	16.6	μs
	1KB	t _{BC1K}	-	-	1899	-	-	140	μs
イレースサスペンド時間		t _{SED}	-	-	22.5	-	-	10.7	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	21.9	585	-	12.1	447	ms
アクセスウィンドウ時間		t _{AWS}	-	21.9	585	-	12.1	447	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	-	21.9	585	-	12.1	447	ms
フラッシュメモリモード遷移待機時間1		t _{DIS}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	5	-	-	5	-	-	μs

- 注 1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注 3. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 46.61 コードフラッシュ特性 (3)

Middle-speedモード

条件: VCC = AVCC0 = 1.8~5.5V, Ta = -40~+85°C

項目	シンボル	ICLK = 1MHz			ICLK = 8MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4バイト	t _{P4}	-	157	1411	-	101	966	μs
イレース時間	1KB	t _{E1K}	-	9.10	289	-	6.10	228	ms
ブランクチェック時間	2バイト	t _{BC4}	-	-	87.7	-	-	52.5	μs
	1KB	t _{BC1K}	-	-	1930	-	-	414	μs
イレースサスペンド時間		t _{SED}	-	-	32.7	-	-	21.6	μs
スタートアップ領域切り替え設定時間		t _{SAS}	-	22.8	592	-	14.2	465	ms
アクセスウィンドウ時間		t _{AWS}	-	22.8	592	-	14.2	465	ms
OCD/シリアルプログラマID設定時間		t _{OSIS}	-	22.8	592	-	14.2	465	ms
フラッシュメモリモード遷移待機時間1		t _{Dis}	2	-	-	2	-	-	μs
フラッシュメモリモード遷移待機時間2		t _{MS}	720	-	-	720	-	-	ns

- 注1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
- 注2. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場
合、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
- 注3. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精
度を確認してください。

46.13.2 データフラッシュメモリ特性

表 46.62 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル (注1)	N _{DPEC}	100000	1000000	-	回	-	
データ保持時間	10000回のN _{DPEC} の後	t _{DDRP}	20 (注2) (注3)	-	-	年	Ta = +85°C
	100000回のN _{DPEC} の後		5 (注2) (注3)	-	-	年	
	1000000回のN _{DPEC} の後		-	1 (注2) (注3)	-	年	Ta = +25°C

- 注1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100000) の場合、ブロックごとにそれぞれ n 回ずつ消去することが可能です。たとえば、1バイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1000回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書きはしないでください)
- 注2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注3. 信頼性試験から得られた結果です。

表 46.63 データフラッシュ特性 (2)

High-speedモード
条件: VCC = AVCC0 = 2.7 ~ 5.5V

項目	シンボル	ICLK = 4MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t _{DP1}	-	52.4	463	-	42.1	387	μs
イレース時間	1KB	t _{DE1K}	-	8.98	286	-	6.42	237	ms
ブランクチェック時間	1バイト	t _{DBC1}	-	-	24.3	-	-	16.6	μs
	1KB	t _{DBC1K}	-	-	1872	-	-	512	μs
イレース実行中のサスペンド時間		t _{DSED}	-	-	13.0	-	-	10.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	5	-	-	5	-	-	μs

- 注1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
 注2. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合は、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
 注3. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

表 46.64 データフラッシュ特性 (3)

Middle-speedモード
条件: VCC = AVCC0 = 1.8 ~ 5.5V, Ta = -40 ~ +85°C

項目	シンボル	ICLK = 4MHz			ICLK = 32MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1バイト	t _{DP1}	-	94.7	886	-	89.3	849	μs
イレース時間	1KB	t _{DE1K}	-	9.59	299	-	8.29	273	ms
ブランクチェック時間	1バイト	t _{DBC1}	-	-	56.2	-	-	52.5	μs
	1KB	t _{DBC1K}	-	-	2.17	-	-	1.51	ms
イレース実行中のサスペンド時間		t _{DSED}	-	-	23.0	-	-	21.7	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	720	-	-	720	-	-	ns

- 注1. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。
 注2. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1MHz です。ICLK を 4MHz 未満で使用する場合は、周波数は 1MHz、2MHz、または 3MHz に設定できます。1.5MHz などの非整数周波数は使用できません。
 注3. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は ±3.5% とします。クロックソースの周波数精度を確認してください。

46.13.3 シリアルワイヤデバッグ (SWD)

表 46.65 SWD 特性 (1)

条件 : VCC = AVCC0 = 2.4 ~ 5.5V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{SWCKcyc}$	80	-	-	ns	図 46.69
SWCLKクロック High レベルパルス幅	t_{SWCKH}	35	-	-	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	35	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	16	-	-	ns	図 46.70
SWDIOホールド時間	t_{SWDH}	16	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	70	ns	

表 46.66 SWD 特性 (2)

条件 : VCC = AVCC0 = 1.6 ~ 2.4V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{SWCKcyc}$	250	-	-	ns	図 46.69
SWCLKクロック High レベルパルス幅	t_{SWCKH}	120	-	-	ns	
SWCLKクロック Low レベルパルス幅	t_{SWCKL}	120	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	50	-	-	ns	図 46.70
SWDIOホールド時間	t_{SWDH}	50	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	150	ns	

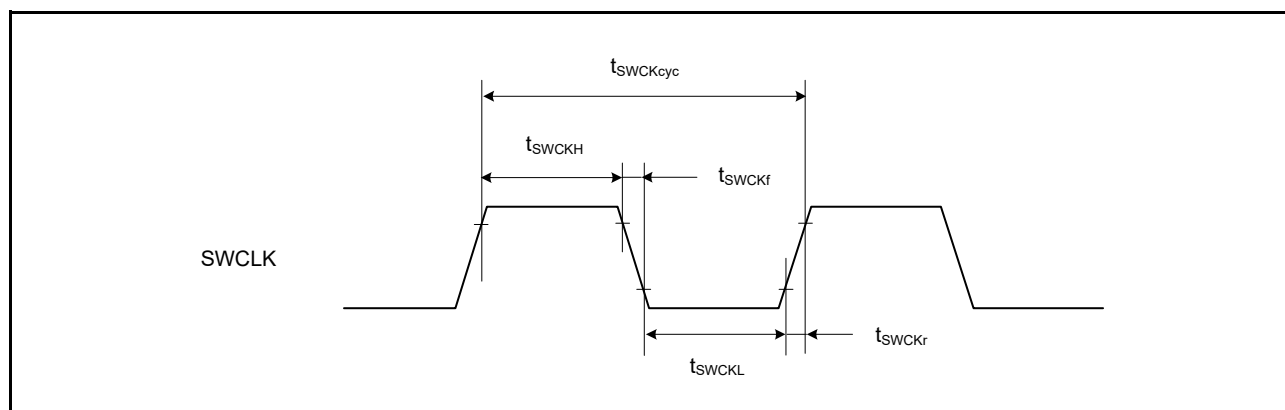


図 46.69 SWD SWCLK タイミング

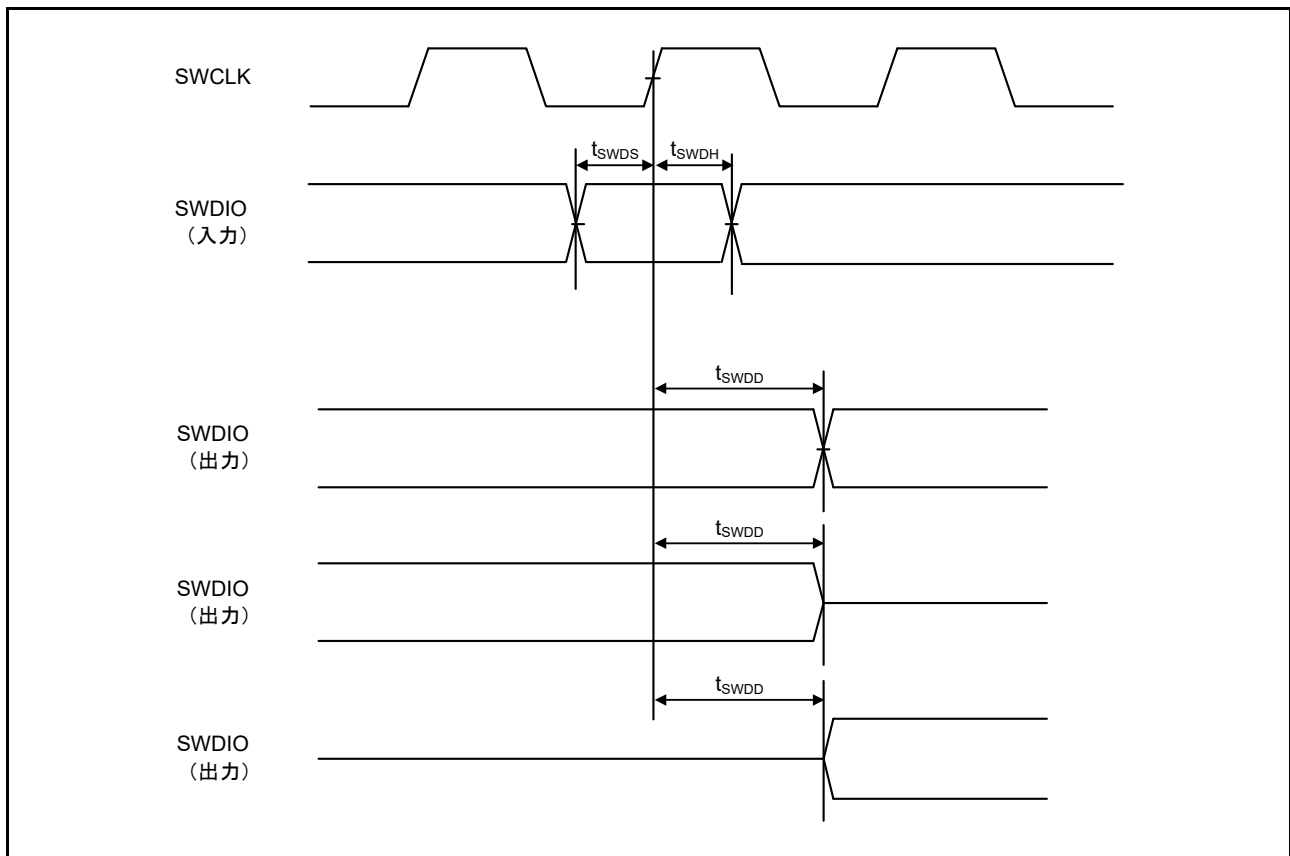


図 46.70 SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセス状態のポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P000/IRQ6, P001/IRQ7, P002/IRQ2	Hi-Z	Keep-O (注1)
P003	Hi-Z	Keep-O
P004/DA2_B/IRQ3	Hi-Z	[DA2出力 (DACE2 = 1)] DA出力保持 [上記以外 (DACE2 = 0)] Keep-O (注1)
P010	Hi-Z	Keep-O
P011/DA2_A	Hi-Z	[DA2出力 (DACE2 = 1)] DA出力保持 [上記以外 (DACE2 = 0)] Keep-O
P012, P013	Hi-Z	Keep-O
P014/DA0	Hi-Z	[DA0出力 (DAOE0 = 1)] DA出力保持 [上記以外 (DAOE0 = 0)] Keep-O
P015/DA1_A/IRQ7	Hi-Z	[DA1出力 (DACE1 = 1)] DA出力保持 [上記以外 (DACE1 = 0)] Keep-O (注1)
P100/KR00/IRQ2/CMPIN0/AGTIO0_A/ RXD0_A/DRX0	Hi-Z	[AGTIO0_A出力選択] AGTIO0_A出力 [上記以外] Keep-O (注1)
P101/KR01/IRQ1/CMPREF0	Hi-Z	Keep-O (注1)
P102/KR02/AGTO0	Hi-Z	[AGTO0選択] AGTO0出力 [上記以外] Keep-O (注1)
P103/KR03, P104/KR04/IRQ1/RXD0_C, P105/KR05/IRQ0, P106/KR06, P107/KR07	Hi-Z	Keep-O (注1)
P108/SWDIO	プルアップ	Keep-O
P109/CLKOUT_B	Hi-Z	[CLKOUT選択] CLKOUT出力 [上記以外] Keep-O
P110/IRQ3/VCOUT	Hi-Z	[ACMPLP選択] VCOUT出力 [上記以外] Keep-O (注1)
P111/IRQ4/AGTOA0	Hi-Z	[AGTOA0選択] AGTOA0出力 [上記以外] Keep-O (注1)
P112/AGTOB0	Hi-Z	[AGTOB0選択] AGTOB0出力 [上記以外] Keep-O
P113	Hi-Z	Keep-O
P200/NMI	Hi-Z	Hi-Z
P201	プルアップ	Keep-O
P204/AGTIO1_A/SCL0_B	Hi-Z	[AGTIO1_A出力選択] AGTIO1_A出力 [上記以外] Keep-O (注1)

表 1.1 各プロセス状態のポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P205/IRQ1/CLKOUT_A/AGTO1	Hi-Z	[AGTO1 選択] AGTO1 出力 [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O (注1)
P206/IRQ0/RXD0_D, P212/IRQ3/EXTAL, P213/IRQ2/XTAL	Hi-Z	Keep-O (注1)
P214/XCOUT, P215/XCIN	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
P300/SWCLK	ブルアップ	Keep-O
P301/IRQ6/AGTIO0_D	Hi-Z	[AGTIO0_D 出力選択] AGTIO0_D 出力 [上記以外] Keep-O (注1)
P302/IRQ5	Hi-Z	Keep-O (注1)
P303, P304	Hi-Z	Keep-O
P400/AGTIO1_D/SCL0_A/IRQ0	Hi-Z	[AGTIO1_D 出力選択] AGTIO1_D 出力 [上記以外] Keep-O (注1)
P401/SDA0_A/IRQ5, P402/IRQ4	Hi-Z	Keep-O (注1)
P403	Hi-Z	Keep-O
P407/SDA0_B/RTCOU/USB_VBUS/ AGTIO0_C	Hi-Z	[AGTIO0_C 出力選択] AGTIO0_C 出力 [RTCOU 選択] RTCOU 出力 [上記以外] Keep-O (注1)
P408/SCL0_C/IRQ7, P409/IRQ6	Hi-Z	Keep-O (注1)
P410/IRQ5/AGTOB1/RXD0_B	Hi-Z	[AGTOB1 選択] AGTOB1 出力 [上記以外] Keep-O (注1)
P411/IRQ4/AGTOA1	Hi-Z	[AGTOA1 選択] AGTOA1 出力 [上記以外] Keep-O (注1)
P500/DA1_B	Hi-Z	[DA1 出力 (DACE1 = 1)] DA 出力保持 [上記以外 (DACE1 = 0)] Keep-O
P501, P502	Hi-Z	Keep-O
P914/USB_DP	Hi-Z	Keep-O
P915/USB_DM	Hi-Z	Keep-O

Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

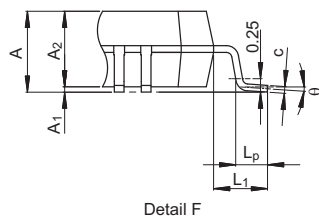
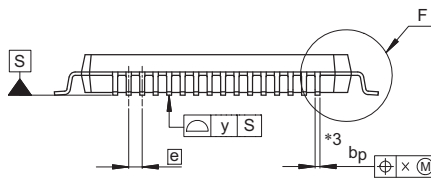
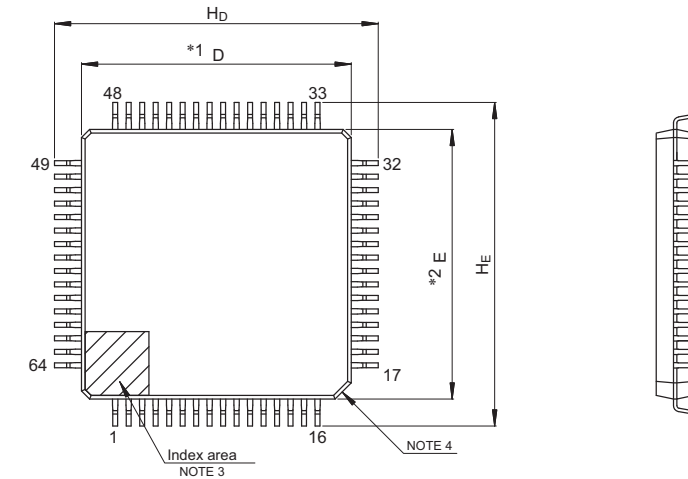
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスのウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

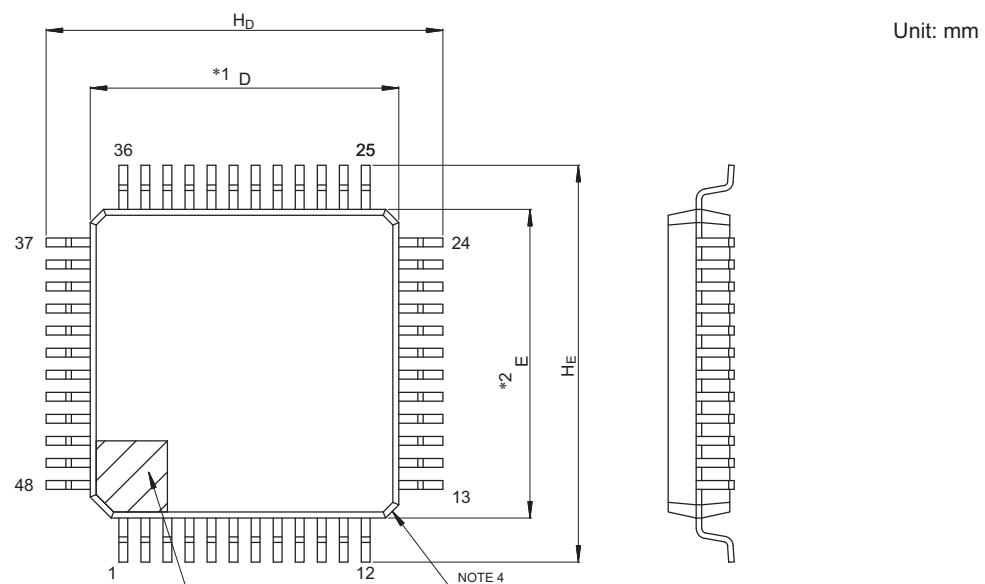
1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

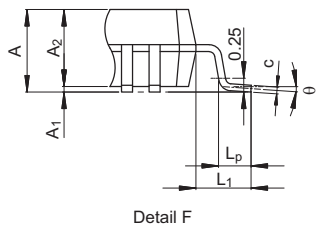
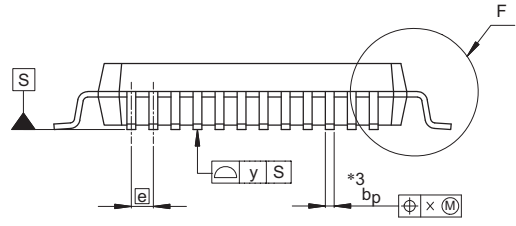
© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.1 LQFP 64 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.2 LQFP 48 ピン

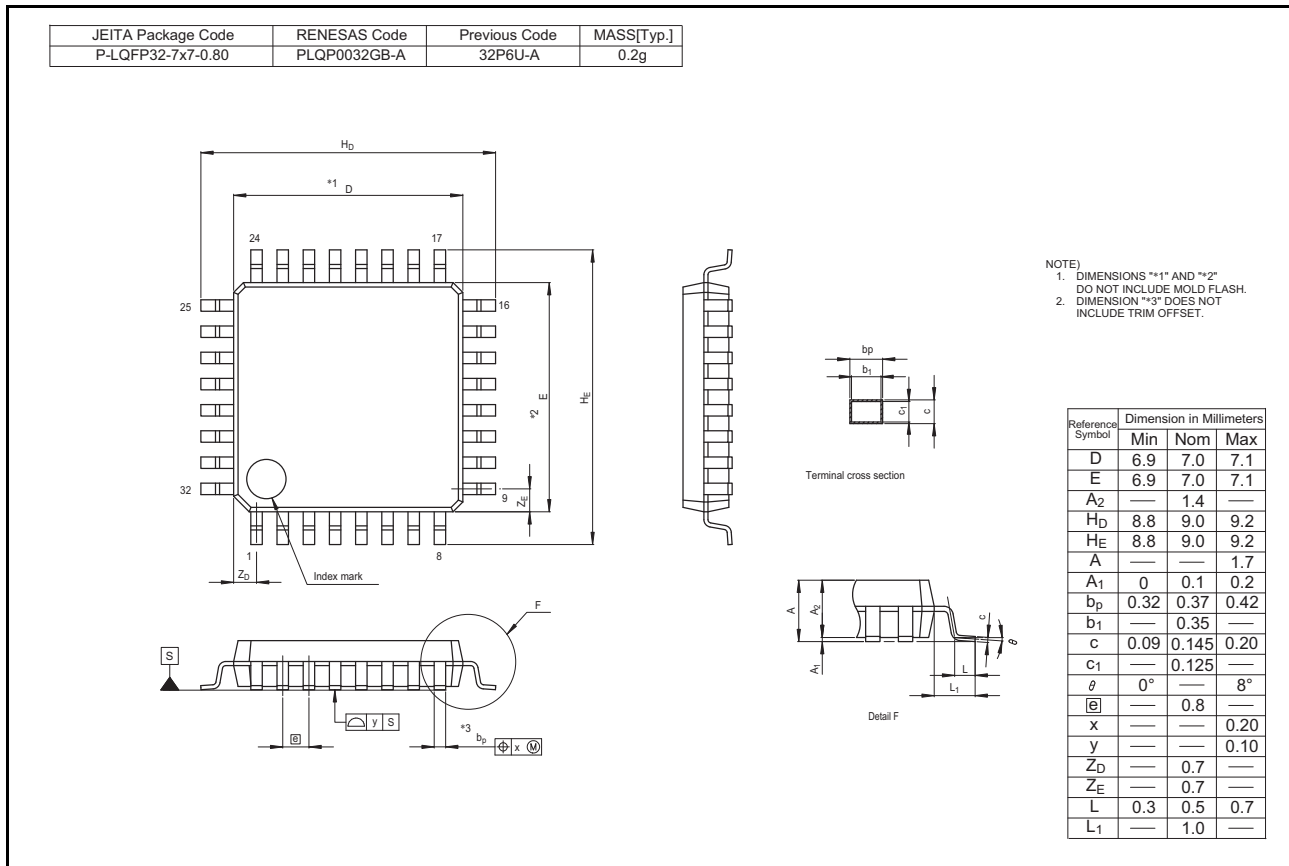
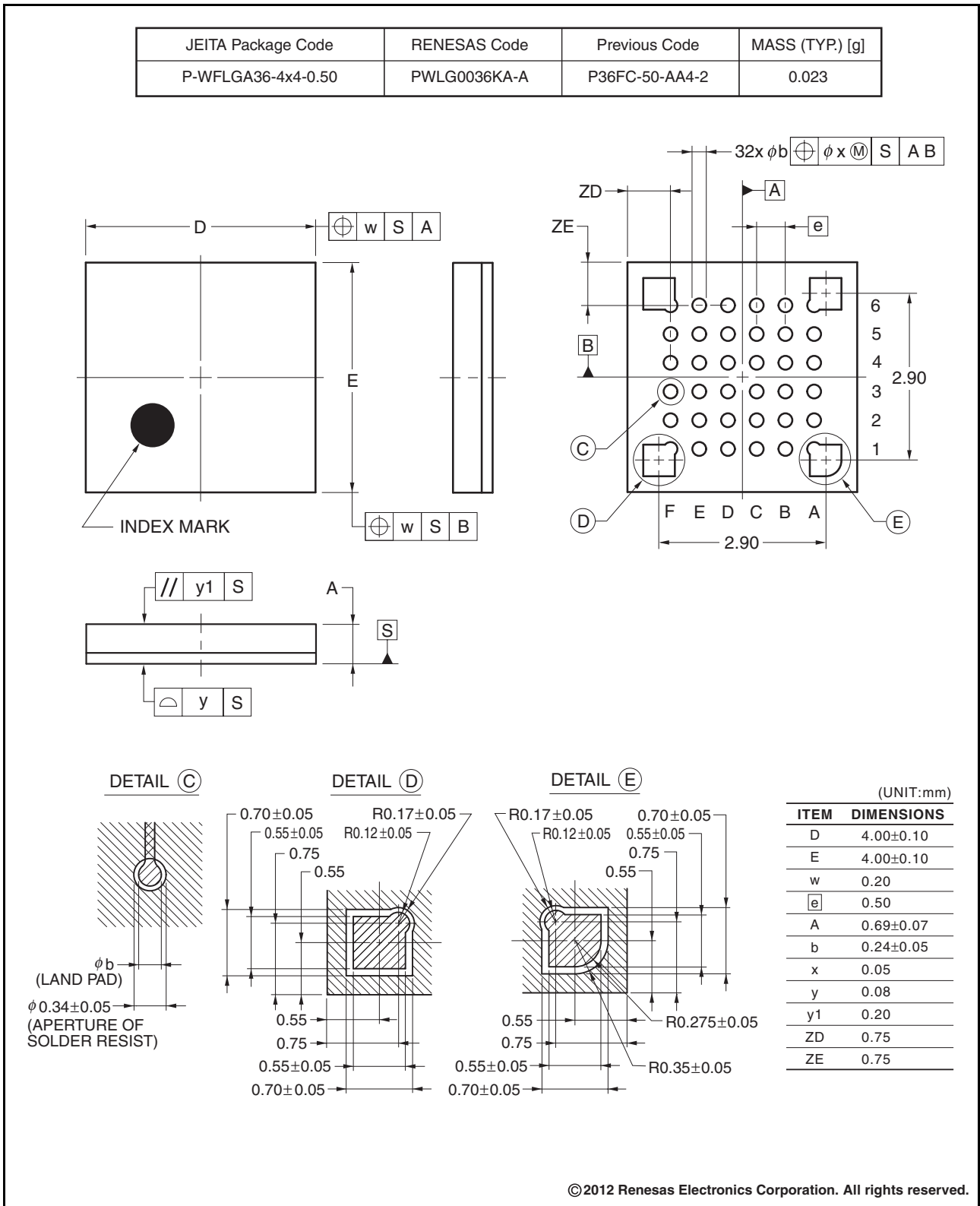


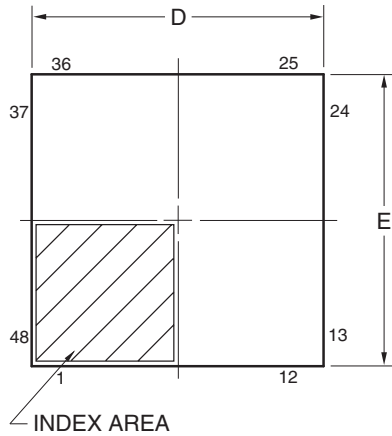
図 2.3 LQFP 32 ピン



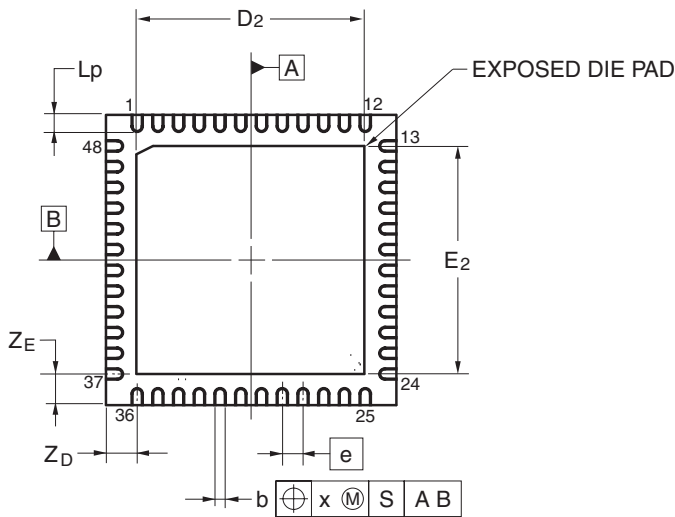
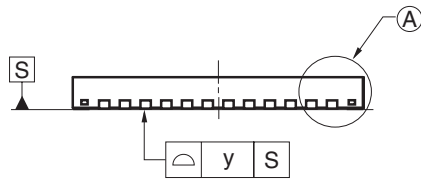
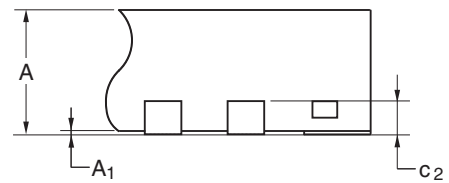
© 2012 Renesas Electronics Corporation. All rights reserved.

図 2.4 LGA 36 ピン

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-6	0.13



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A ₁	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.15	0.20	0.25
D ₂	—	5.50	—
E ₂	—	5.50	—

©2013 Renesas Electronics Corporation. All rights reserved.

図 2.5 QFN 48 ピン

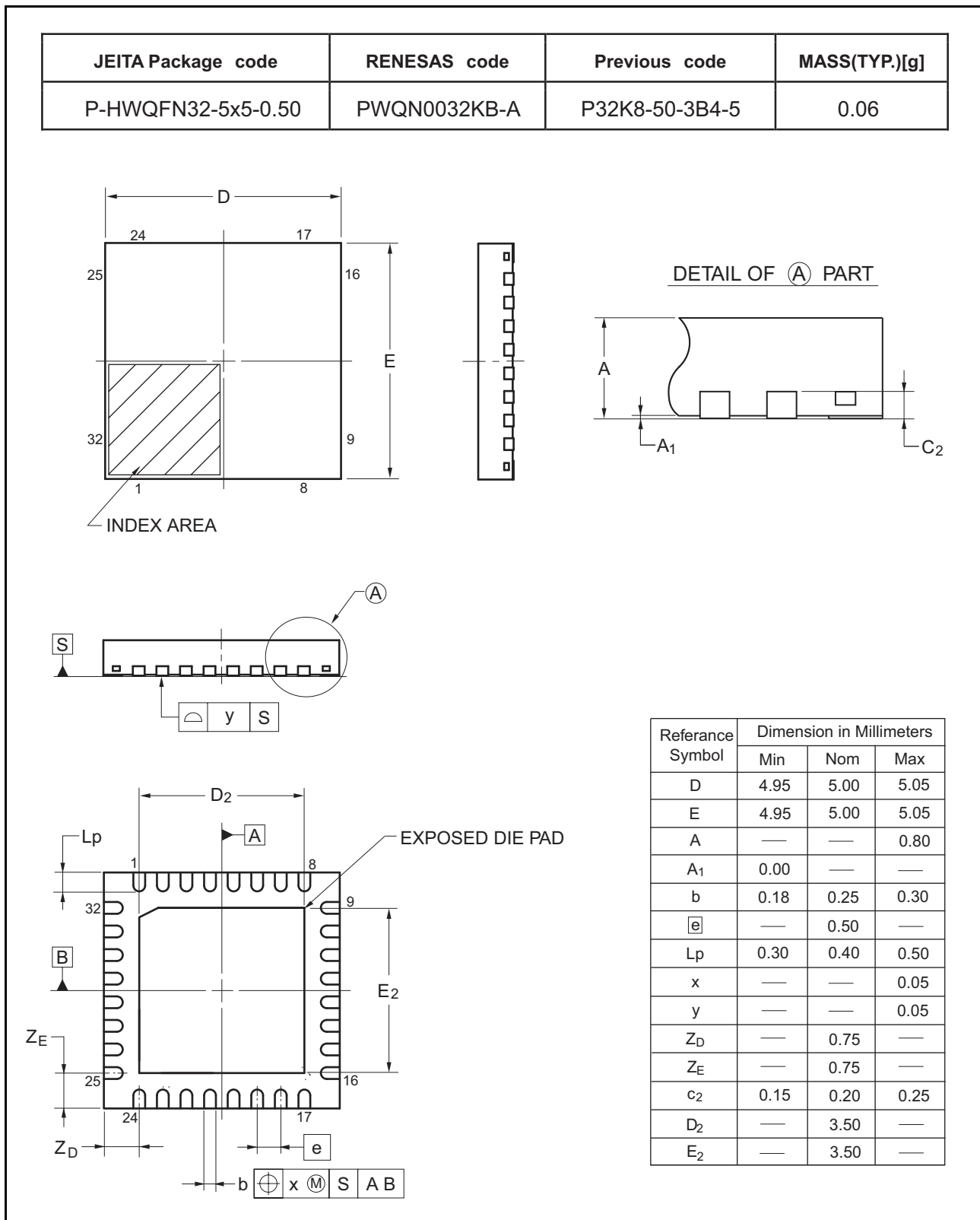


図 2.6 QFN 32 ピン

付録3. I/Oレジスタ

本付録は、I/Oレジスタのアドレス、アクセスサイクル、リセット値を機能ごとに説明します。

3.1 周辺機能のベースアドレス

本節では本マニュアルでとりあげた周辺機能のベースアドレスについて説明します。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	説明	ベースアドレス
MMPU	バスマスタMPU	0x40000000
SMPU	バスマスタMPU	0x40000C00
SPMON	CPUスタックポインタモニタ	0x40000D00
SRAM	SRAMコントロール	0x40002000
BUS	バスコントロール	0x40003000
DTC	データトランスファコントローラ	0x40005400
ICU	割り込みコントローラ	0x40006000
DBG	デバッグ機能	0x4001B000
SYSTEM	システムコントロール	0x4001E000
PORT0	ポート0コントロールレジスタ	0x40040000
PORT1	ポート1コントロールレジスタ	0x40040020
PORT2	ポート2コントロールレジスタ	0x40040040
PORT3	ポート3コントロールレジスタ	0x40040060
PORT4	ポート4コントロールレジスタ	0x40040080
PORT5	ポート5コントロールレジスタ	0x400400A0
PORT9	ポート9コントロールレジスタ	0x40040120
PFS	Pmn端子機能コントロールレジスタ	0x40040800
PMISC	その他のポートコントロールレジスタ	0x40040D00
ELC	イベントリンクコントローラ	0x40041000
POEG	GPT用ポートアウトプットイネーブルモジュール	0x40042000
RTC	リアルタイムクロック	0x40044000
WDT	ウォッチドッグタイマ	0x40044200
IWDT	独立ウォッチドッグタイマ	0x40044400
CAC	クロック周波数精度測定回路	0x40044600
MSTP	モジュールストップコントロールB、C、D	0x40047000
CAN0	CAN0モジュール	0x40050000
IIC0	Inter-Integrated Circuit 0	0x40053000
IIC1	Inter-Integrated Circuit 1	0x40053100
DOC	データ演算回路	0x40054100
ADC140	14ビットA/Dコンバータ	0x4005C000
SCI0	シリアルコミュニケーションインタフェース0	0x40070000
SCI1	シリアルコミュニケーションインタフェース1	0x40070020
SCI9	シリアルコミュニケーションインタフェース9	0x40070120
SPI0	シリアルペリフェラルインタフェース0	0x40072000
SPI1	シリアルペリフェラルインタフェース1	0x40072100
CRC	CRC演算器	0x40074000
GPT320	汎用PWMタイマ0 (32ビット)	0x40078000

表 3.1 周辺機能のベースアドレス (2/2)

名称	説明	ベースアドレス
GPT161	汎用PWMタイマ1 (16ビット)	0x40078100
GPT162	汎用PWMタイマ2 (16ビット)	0x40078200
GPT163	汎用PWMタイマ3 (16ビット)	0x40078300
GPT164	汎用PWMタイマ4 (16ビット)	0x40078400
GPT165	汎用PWMタイマ5 (16ビット)	0x40078500
GPT166	汎用PWMタイマ6 (16ビット)	0x40078600
GPT_OPS	出力相切り替えコントローラ	0x40078FF0
GPT_ODC	PWM遅延生成回路	0x4007B000
KINT	キー割り込み機能	0x40080000
CTSU	静電容量式タッチセンシングユニット	0x40081000
AGT0	非同期汎用タイマ0	0x40084000
AGT1	非同期汎用タイマ1	0x40084100
ACMPHS0	高速アナログコンパレータ0	0x40085000
ACMPHS1	高速アナログコンパレータ1	0x40085100
ACMPHS2	高速アナログコンパレータ2	0x40085200
ACMPLP	低電力アナログコンパレータ	0x40085E00
OPAMP	オペアンプ	0x40086000
DALI	デジタル調光照明インタフェース	0x4008F000
USBFS	USB2.0 フルスピードモジュール	0x40090000
DAC8	8ビットD/Aコンバータ	0x4009E000
TSN	温度センサ	0x407EC000

名称 = 周辺機能名

説明 = 周辺機能内容

ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は表 3.2 および表 3.3 に適用されます。

- レジスタは関連するモジュールごとに分類されます
- アクセスサイクル数は、指定の基準クロックのサイクル数を示しています
- 内部 I/O レジスタ領域では、レジスタに割り当てられていない予約アドレスにはアクセスしないでください。アクセスした場合、動作は保証されません
- I/O レジスタアクセスサイクル数は、内部周辺バスのバスサイクルおよび分周クロック同期化サイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタからのバスアクセスと競合せずに実行された場合サイクル数に適用されます。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK (注1)			
			読み出し	書き込み	読み出し	書き込み		
SRAM, BUS, DTC, ICU, DBG	4000 2000h	4001 BFFFh	2				ICLK	SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU
SYSTEM	4001 E000h	4001 E3FFh	3				ICLK	動作モード、リセット、クロック発生機能、レジスタライトプロテクション機能
SYSTEM	4001 E400h	4001 E6FFh	7		5~7		PCLKB	低消費電力モード、リセット、低電圧検出
PORTn, PFS, PMISC, ELC, POEG, RTC, WDT, IWDT, CAC, MSTP	4004 0000h	4004 7FFFh	3		2~3		PCLKB	I/Oポート、イベントリンクコントローラ、GPT用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
CAN0, IICn, DOC, ADC140	4005 0000h	4005 EFFFh	3		2~3		PCLKB	コントローラエリアネットワークモジュール、I ² Cバスインタフェース、データ演算回路、14ビットA/Dコンバータ
SCIn	4007 0000h	4007 0EFFh	5 (注2)		2~3 (注2)		PCLKB	シリアルコミュニケーションインタフェース
SPIIn	4007 2000h	4007 2FFFh	5 (注3)		2~3 (注3)		PCLKB	シリアルペリフェラルインタフェース
CRC	4007 4000h	4007 4FFFh	3		2~3		PCLKB	CRC演算器
GPT320, GPT16Hm, GPT16n, GPT_OPS, GPT_OCD	4007 8000h	4007 BFFFh	表 3.3 を参照してください。(注4)				PCLKB	汎用PWMタイマ、PWM遅延生成回路
TSN	407E EC00h	407E ECFHh	7		7		ICLK	温度センサ
KINT, CTSU	4008 0000h	4008 1FFFh	2		1~2		PCLKB	キー割り込み機能、静電容量式タッチセンシングユニット
AGTn	4008 4000h	4008 4FFFh	3		2~3		PCLKB	非同期汎用タイマ
ACMPHSn, ACMPPL, OPAMP	4008 5000h	4008 6FFFh	2		1~2		PCLKB	高速アナログコンパレータ、低電力アナログコンパレータ、オペアンプ
USBFS	4009 0000h	4009 03FFh	4		3~4		PCLKB	USB2.0フルスピードモジュール
USBFS	4009 0400h	4009 04FFh	3		2~3		PCLKB	USB2.0フルスピードモジュール
DAC8	4009 E000h	4009 E00Fh	2		1~2		PCLKB	8ビットD/Aコンバータ

- 注1. PCLK サイクル数が整数でない場合（たとえば 1.5）、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。（たとえば、1.5 ～ 2.5 は 1 ～ 3）
- 注2. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、CDR）へのアクセス時、アクセスは表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、FRDRL）へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注3. 32 ビットレジスタ（SPDR）へのアクセス時、表 3.2 に示す値よりも 2 サイクル多くなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA）へのアクセス時、アクセスサイクルは表 3.2 に示すとおりです。
- 注4. アクセスサイクルは、表 3.2 に示すように、ICLK、PCLKB、PCLKD 間の周波数比によって異なります。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPTモジュールのアクセスサイクル

ICLKとPCLK間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5～6	3～4	PCLKB
ICLK > PCLKD > PCLKB	3～4	2～3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2～3	1～2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2～3	1～2	PCLKB

3.3 レジスタの説明

本節では、本マニュアルに記載のレジスタに関する情報を示します。

表 3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.4 レジスタの説明 (1/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
MMPU	-	-	-	MMPUCTLA	Bus Master MPU Control Register	0x000	16	read/write	0x0000	0xFFFF
				MMPUPTA	Group A Protection of Register	0x102	16	read/write	0x0000	0xFFFF
	4	0x010	0-3	MMPUACA%s	Group A Region %s Access Control Register	0x200	16	read/write	0x0000	0xFFFF
	4	0x010	0-3	MMPUSA%s	Group A Region %s Start Address Register	0x204	32	read/write	0x00000000	0x00000003
	4	0x010	0-3	MMPUEA%s	Group A Region %s End Address Register	0x208	32	read/write	0x00000003	0x00000003
SMPU	-	-	-	SMPUCTL	Slave MPU Control Register	0x00	16	read/write	0x0000	0xFFFF
				SMPUMBIU	Access Control Register for MBIU	0x10	16	read/write	0x2000	0xFFFF
				SMPUFBIU	Access Control Register for FBIU	0x14	16	read/write	0x0000	0xFFFF
				SMPUSRAM0	Access Control Register for SRAM	0x18	16	read/write	0x0000	0xFFFF
	3	0x4	0,2,6	SMPUP%sBIU	Access Control Register for P%sBIU	0x20	16	read/write	0x0000	0xFFFF
SPMON	-	-	-	MSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x00	16	read/write	0x0000	0xFFFF
				MSPMPUCTL	Stack Pointer Monitor Access Control Register	0x04	16	read/write	0x0000	0xFEFF
				MSPMPUPT	Stack Pointer Monitor Protection Register	0x06	16	read/write	0x0000	0xFFFF
				MSPMPUSA	Main Stack Pointer Monitor Start Address Register	0x08	32	read/write	0x00000000	0x00000003
				MSPMPUEA	Main Stack Pointer Monitor End Address Register	0x0C	32	read/write	0x00000003	0x00000003
				PSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x10	16	read/write	0x0000	0xFFFF
				PSPMPUCTL	Stack Pointer Monitor Access Control Register	0x14	16	read/write	0x0000	0xFEFF
				PSPMPUPT	Stack Pointer Monitor Protection Register	0x16	16	read/write	0x0000	0xFFFF
				PSPMPUSA	Process Stack Pointer Monitor Start Address Register	0x18	32	read/write	0x00000000	0x00000003
				PSPMPUEA	Process Stack Pointer Monitor End Address Register	0x1C	32	read/write	0x00000003	0x00000003

表 3.4 レジスタの説明 (2/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SRAM	-	-	-	PARIOAD	SRAM Parity Error Operation After Detection Register	0x00	8	read/write	0x00	0xFF
				SRAMPRCR	SRAM Protection Register	0x04	8	read/write	0x00	0xFF
				ECCMODE	ECC Operating Mode Control Register	0xC0	8	read/write	0x00	0xFF
				ECC2STS	ECC 2-Bit Error Status Register	0xC1	8	read/write	0x00	0xFF
				ECC1STSEN	ECC 1-Bit Error Information Update Enable Register	0xC2	8	read/write	0x00	0xFF
				ECC1STS	ECC 1-Bit Error Status Register	0xC3	8	read/write	0x00	0xFF
				ECCPRCR	ECC Protection Register	0xC4	8	read/write	0x00	0xFF
				ECCPRCR2	ECC Protection Register 2	0xD0	8	read/write	0x00	0xFF
				ECCETST	ECC Test Control Register	0xD4	8	read/write	0x00	0xFF
				ECCOAD	SRAM ECC Error Operation After Detection Register	0xD8	8	read/write	0x00	0xFF
BUS	-	-	-	BUSMCNTSYS	Master Bus Control Register SYS	0x1008	16	read/write	0x0000	0xFFFF
				BUSMCNTDMA	Master Bus Control Register DMA	0x100C	16	read/write	0x0000	0xFFFF
				BUSSCNTFLI	Slave Bus Control Register FLI	0x1100	16	read/write	0x0000	0xFFFF
				BUSSCNTRAM0	Slave Bus Control Register RAM0	0x110C	16	read/write	0x0000	0xFFFF
	2	0x4	P0B,P2B	BUSSCNT%s	Slave Bus Control Register %s	0x1114	16	read/write	0x0000	0xFFFF
	-	-	-	BUSSCNTP4B	Slave Bus Control Register P4B	0x1120	16	read/write	0x0000	0xFFFF
	-	-	-	BUSSCNTP6B	Slave Bus Control Register P6B	0x1128	16	read/write	0x0000	0xFFFF
	-	-	-	BUSSCNTFBU	Slave Bus Control Register FBU	0x1130	16	read/write	0x0000	0xFFFF
	2	0x10	3,4	BUS%sERRADD	Bus Error Address Register %s	0x1820	32	read-only	0x00000000	0x00000000
	2	0x10	3,4	BUS%sERRSTAT	Bus Error Status Register %s	0x1824	8	read-only	0x00	0xFE
DTC	-	-	-	DTCCR	DTC Control Register	0x00	8	read/write	0x08	0xFF
				DTCVBR	DTC Vector Base Register	0x04	32	read/write	0x00000000	0xFFFFFFFF
				DTCST	DTC Module Start Register	0x0C	8	read/write	0x00	0xFF
				DTCSTS	DTC Status Register	0x0E	16	read-only	0x0000	0xFFFF
ICU	8	0x1	0-7	IRQCR%s	IRQ Control Register %s	0x000	8	read/write	0x00	0xFF
				NMICR	NMI Pin Interrupt Control Register	0x100	8	read/write	0x00	0xFF
				NMIER	Non-Maskable Interrupt Enable Register	0x120	16	read/write	0x0000	0xFFFF
				NMICLR	Non-Maskable Interrupt Status Clear Register	0x130	16	read/write	0x0000	0xFFFF
				NMISR	Non-Maskable Interrupt Status Register	0x140	16	read-only	0x0000	0xFFFF
				WUPEN	Wake Up Interrupt Enable Register	0x1A0	32	read/write	0x00000000	0xFFFFFFFF
	SELSR0	Snooze Event Link Setting Register	0x200	16	read/write	0x0000	0xFFFF			
32	0x4	0-31	IELSR%s	ICU Event Link Setting Register %s	0x300	32	read/write	0x00000000	0xFFFFFFFF	
DBG	-	-	-	DBGSTR	Debug Status Register	0x00	32	read-only	0x00000000	0xFFFFFFFF
				DBGSTOPCR	Debug Stop Control Register	0x10	32	read/write	0x00000003	0xFFFFFFFF

表 3.4 レジスタの説明 (3/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	-	-	-	SBYCR	Standby Control Register	0x00C	16	read/write	0x0000	0xFFFF
				MSTPCRA	Module Stop Control Register A	0x01C	32	read/write	0xFFBFFFFF	0xFFFFFFFF
				SCKDIVCR	System Clock Division Control Register	0x020	32	read/write	0x04000404	0xFFFFFFFF
				SCKSCR	System Clock Source Control Register	0x026	8	read/write	0x01	0xFF
				MOSCCR	Main Clock Oscillator Control Register	0x032	8	read/write	0x01	0xFF
				HOCOOCR	High-Speed On-Chip Oscillator Control Register	0x036	8	read/write	0x00	0xFE
				MOCOOCR	Middle-Speed On-Chip Oscillator Control Register	0x038	8	read/write	0x00	0xFF
				OCSF	Oscillation Stabilization Flag Register	0x03C	8	read-only	0x00	0xFE
				CKOCR	Clock Out Control Register	0x03E	8	read/write	0x00	0xFF
				OSTDCR	Oscillation Stop Detection Control Register	0x040	8	read/write	0x00	0xFF
				OSTDSR	Oscillation Stop Detection Status Register	0x041	8	read/write	0x00	0xFF
				MOCOUTCR	MOCO User Trimming Control Register	0x061	8	read/write	0x00	0xFF
				HOCOUTCR	HOCO User Trimming Control Register	0x062	8	read/write	0x00	0xFF
				SNZCR	Snooze Control Register	0x092	8	read/write	0x00	0xFF
				SNZEDCR	Snooze End Control Register	0x094	8	read/write	0x00	0xFF
				SNZREQCR	Snooze Request Control Register	0x098	32	read/write	0x00000000	0xFFFFFFFF
				FLSTOP	Flash Operation Control Register	0x09E	8	read/write	0x00	0xFF
				OPCCR	Operating Power Control Register	0x0A0	8	read/write	0x02	0xFF
				MOSCWTCR	Main Clock Oscillator Wait Control Register	0x0A2	8	read/write	0x05	0xFF
				HOCOWTCR	High-Speed On-Chip Oscillator Wait Control Register	0x0A5	8	read/write	0x05	0xFF
				SOPCCR	Sub Operating Power Control Register	0x0AA	8	read/write	0x00	0xFF
				RSTSR1	Reset Status Register 1	0x0C0	16	read/write	0x0000	0xE0F8
				LVD1CR1	Voltage Monitor 1 Circuit Control Register 1	0x0E0	8	read/write	0x01	0xFF
				LVD1SR	Voltage Monitor 1 Circuit Status Register	0x0E1	8	read/write	0x02	0xFF
				LVD2CR1	Voltage Monitor 2 Circuit Control Register 1	0x0E2	8	read/write	0x01	0xFF
				LVD2SR	Voltage Monitor 2 Circuit Status Register	0x0E3	8	read/write	0x02	0xFF
				PRCR	Protect Register	0xFE	16	read/write	0x0000	0xFFFF
				SYOCDRCR	System Control OCD Control Register	0x40E	8	read/write	0x00	0xFF
				RSTSR0	Reset Status Register 0	0x410	8	read/write	0x00	0xF0
				RSTSR2	Reset Status Register 2	0x411	8	read/write	0x00	0xFE
				MOMCR	Main Clock Oscillator Mode Oscillation Control Register	0x413	8	read/write	0x00	0xFF
				LVCMPCR	Voltage Monitor Circuit Control Register	0x417	8	read/write	0x00	0xFF
LVDLVLR	Voltage Detection Level Select Register	0x418	8	read/write	0x07	0xFF				

表 3.4 レジスタの説明 (4/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SYSTEM	-	-	-	LVD1CR0	Voltage Monitor 1 Circuit Control Register 0	0x41A	8	read/write	0x80	0xFF
				LVD2CR0	Voltage Monitor 2 Circuit Control Register 0	0x41B	8	read/write	0x80	0xFF
				SOSCCR	Sub-clock Oscillator Control Register	0x480	8	read/write	0x01	0xFF
				SOMCR	Sub-clock Oscillator Mode Control Register	0x481	8	read/write	0x00	0xFF
				LOCOCR	Low-Speed On-Chip Oscillator Control Register	0x490	8	read/write	0x00	0xFF
				LOCOUTCR	LOCO User Trimming Control Register	0x492	8	read/write	0x00	0xFF
PORT0, 3-5, 9	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read/write	0x00000000	0xFFFFFFFF
				PODR	Output Data Register	0x00	16	read/write	0x0000	0xFFFF
				PDR	Direction Register	0x02	16	read/write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x00000000	0xFFFF0000
				EIDR	Event Input Data Register	0x04	16	read-only	0x0000	0x0000
				PIDR	Input Data Register	0x06	16	read-only	0x0000	0xFFFF
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x00000000	0xFFFFFFFF
				PORR	Output Reset Register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output Set Register	0x0A	16	write-only	0x0000	0xFFFF
PORT1, 2	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read/write	0x00000000	0xFFFFFFFF
PORT1, 2	-	-	-	PODR	Output Data Register	0x00	16	read/write	0x0000	0xFFFF
				PDR	Direction Register	0x02	16	read/write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x00000000	0xFFFF0000
				EIDR	Event Input Data Register	0x04	16	read-only	0x0000	0x0000
				PIDR	Input Data Register	0x06	16	read-only	0x0000	0xFFFF
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x00000000	0xFFFFFFFF
				PORR	Output Reset Register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output Set Register	0x0A	16	write-only	0x0000	0xFFFF
				PCNTR4	Port Control Register 4	0x0C	32	read/write	0x00000000	0xFFFFFFFF
				EORR	Event Output Reset register	0x0C	16	read/write	0x0000	0xFFFF
				EOSR	Event Output Set Register	0x0E	16	read/write	0x0000	0xFFFF
PFS	-	-	-	P000PFS	P000 Pin Function Control Register	0x000	32	read/write	0x00000000	0xFFFFFFFF
				P000PFS_HA	P000 Pin Function Control Register	0x002	16	read/write	0x0000	0xFFFF
				P000PFS_BY	P000 Pin Function Control Register	0x003	8	read/write	0x00	0xFF
	4	0x4	1-4	P00%sPFS	P00%s Pin Function Control Register	0x004	32	read/write	0x00000000	0xFFFFFFFF
	4	0x4	1-4	P00%sPFS_HA	P00%s Pin Function Control Register	0x006	16	read/write	0x0000	0xFFFF
	4	0x4	1-4	P00%sPFS_BY	P00%s Pin Function Control Register	0x007	8	read/write	0x00	0xFF
	6	0x4	10-15	P0%sPFS	P0%s Pin Function Control Register	0x028	32	read/write	0x00000000	0xFFFFFFFF
	6	0x4	10-15	P0%sPFS_HA	P0%s Pin Function Control Register	0x02A	16	read/write	0x0000	0xFFFF
	6	0x4	10-15	P0%sPFS_BY	P0%s Pin Function Control Register	0x02B	8	read/write	0x00	0xFF
	-	-	-	P100PFS	P100 Pin Function Control Register	0x040	32	read/write	0x00000000	0xFFFFFFFF
	-	-	-	P100PFS_HA	P100 Pin Function Control Register	0x042	16	read/write	0x0000	0xFFFF

表 3.4 レジスタの説明 (5/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	-	-	-	P100PFS_BY	P100 Pin Function Control Register	0x043	8	read/write	0x00	0xFF
	7	0x4	1-7	P10% <i>s</i> PFS	P10% <i>s</i> Pin Function Control Register	0x044	32	read/write	0x00000000	0xFFFFFFFF
	7	0x4	1-7	P10% <i>s</i> PFS_HA	P10% <i>s</i> Pin Function Control Register	0x046	16	read/write	0x0000	0xFFFF
	7	0x4	1-7	P10% <i>s</i> PFS_BY	P10% <i>s</i> Pin Function Control Register	0x047	8	read/write	0x00	0xFF
	-	-	-	P108PFS	P108 Pin Function Control Register	0x060	32	read/write	0x00010010	0xFFFFFFFF
	-	-	-	P108PFS_HA	P108 Pin Function Control Register	0x062	16	read/write	0x0010	0xFFFF
	-	-	-	P108PFS_BY	P108 Pin Function Control Register	0x063	8	read/write	0x10	0xFF
	-	-	-	P109PFS	P109 Pin Function Control Register	0x064	32	read/write	0x00000000	0xFFFFFFFF
	-	-	-	P109PFS_HA	P109 Pin Function Control Register	0x066	16	read/write	0x0000	0xFFFF
	-	-	-	P109PFS_BY	P109 Pin Function Control Register	0x067	8	read/write	0x00	0xFF
	4	0x4	10-13	P1% <i>s</i> PFS	P1% <i>s</i> Pin Function Control Register	0x068	32	read/write	0x00000000	0xFFFFFFFF
	4	0x4	10-13	P1% <i>s</i> PFS_HA	P1% <i>s</i> Pin Function Control Register	0x06A	16	read/write	0x0000	0xFFFF
	4	0x4	10-13	P1% <i>s</i> PFS_BY	P1% <i>s</i> Pin Function Control Register	0x06B	8	read/write	0x00	0xFF
	-	-	-	P200PFS	P200 Pin Function Control Register	0x080	32	read/write	0x00000000	0xFFFFFFFF
	-	-	-	P200PFS_HA	P200 Pin Function Control Register	0x082	16	read/write	0x0000	0xFFFF
	-	-	-	P200PFS_BY	P200 Pin Function Control Register	0x083	8	read/write	0x00	0xFF
	-	-	-	P201PFS	P201 Pin Function Control Register	0x084	32	read/write	0x00000010	0xFFFFFFFF
	-	-	-	P201PFS_HA	P201 Pin Function Control Register	0x086	16	read/write	0x0010	0xFFFF
	-	-	-	P201PFS_BY	P201 Pin Function Control Register	0x087	8	read/write	0x10	0xFF
	3	0x4	4-6	P20% <i>s</i> PFS	P20% <i>s</i> Pin Function Control Register	0x090	32	read/write	0x00000000	0xFFFFFFFF
	3	0x4	4-6	P20% <i>s</i> PFS_HA	P20% <i>s</i> Pin Function Control Register	0x092	16	read/write	0x0000	0xFFFF
	3	0x4	4-6	P20% <i>s</i> PFS_BY	P20% <i>s</i> Pin Function Control Register	0x093	8	read/write	0x00	0xFF
	4	0x4	12-15	P2% <i>s</i> PFS	P2% <i>s</i> Pin Function Control Register	0x0B0	32	read/write	0x00000000	0xFFFFFFFF
	4	0x4	12-15	P2% <i>s</i> PFS_HA	P2% <i>s</i> Pin Function Control Register	0x0B2	16	read/write	0x0000	0xFFFF
	4	0x4	12-15	P2% <i>s</i> PFS_BY	P2% <i>s</i> Pin Function Control Register	0x0B3	8	read/write	0x00	0xFF
	-	-	-	P300PFS	P300 Pin Function Control Register	0x0C0	32	read/write	0x00010010	0xFFFFFFFF
	-	-	-	P300PFS_HA	P300 Pin Function Control Register	0x0C2	16	read/write	0x0010	0xFFFF
	-	-	-	P300PFS_BY	P300 Pin Function Control Register	0x0C3	8	read/write	0x10	0xFF
4	0x4	1-4	P30% <i>s</i> PFS	P30% <i>s</i> Pin Function Control Register	0x0C4	32	read/write	0x00000000	0xFFFFFFFF	
4	0x4	1-4	P30% <i>s</i> PFS_HA	P30% <i>s</i> Pin Function Control Register	0x0C6	16	read/write	0x0000	0xFFFF	

表 3.4 レジスタの説明 (6/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
PFS	4	0x4	1-4	P30%sPFS_BY	P30%s Pin Function Control Register	0x0C7	8	read/write	0x00	0xFF
	4	0x4	0-3	P40%sPFS	P40%s Pin Function Control Register	0x100	32	read/write	0x00000000	0xFFFFFFFF
	4	0x4	0-3	P40%sPFS_HA	P40%s Pin Function Control Register	0x102	16	read/write	0x0000	0xFFFF
	4	0x4	0-3	P40%sPFS_BY	P40%s Pin Function Control Register	0x103	8	read/write	0x00	0xFF
	3	0x4	7-9	P40%sPFS	P40%s Pin Function Control Register	0x11C	32	read/write	0x00000000	0xFFFFFFFF
	3	0x4	7-9	P40%sPFS_HA	P40%s Pin Function Control Register	0x11E	16	read/write	0x0000	0xFFFF
	3	0x4	7-9	P40%sPFS_BY	P40%s Pin Function Control Register	0x11F	8	read/write	0x00	0xFF
	2	0x4	10,11	P4%sPFS	P4%s Pin Function Control Register	0x128	32	read/write	0x00000000	0xFFFFFFFF
	2	0x4	10,11	P4%sPFS_HA	P4%s Pin Function Control Register	0x12A	16	read/write	0x0000	0xFFFF
	2	0x4	10,11	P4%sPFS_BY	P4%s Pin Function Control Register	0x12B	8	read/write	0x00	0xFF
	3	0x4	0-2	P50%sPFS	P50%s Pin Function Control Register	0x140	32	read/write	0x00000000	0xFFFFFFFF
	3	0x4	0-2	P50%sPFS_HA	P50%s Pin Function Control Register	0x142	16	read/write	0x0000	0xFFFF
	3	0x4	0-2	P50%sPFS_BY	P50%s Pin Function Control Register	0x143	8	read/write	0x00	0xFF
	-	-	-	P914PFS	P914 Pin Function Control Register	0x178	32	read/write	0x00010000	0xFFFFFFFF
	-	-	-	P914PFS_HA	P914 Pin Function Control Register	0x17A	16	read/write	0x0000	0xFFFF
-	-	-	P914PFS_BY	P914 Pin Function Control Register	0x17B	8	read/write	0x00	0xFF	
-	-	-	P915PFS	P915 Pin Function Control Register	0x17C	32	read/write	0x00010000	0xFFFFFFFF	
-	-	-	P915PFS_HA	P915 Pin Function Control Register	0x17E	16	read/write	0x0000	0xFFFF	
-	-	-	P915PFS_BY	P915 Pin Function Control Register	0x17F	8	read/write	0x00	0xFF	
PMISC	-	-	-	PWPR	Write-Protect Register	0x03	8	read/write	0x80	0xFF
ELC	-	-	-	ELCR	Event Link Controller Register	0x00	8	read/write	0x00	0xFF
	2	0x2	0,1	ELSEGR%s	Event Link Software Event Generation Register %s	0x02	8	read/write	0x80	0xFF
	4	0x4	0-3	ELSR%s	Event Link Setting Register %s	0x10	16	read/write	0x0000	0xFFFF
	2	0x4	8, 9	ELSR%s	Event Link Setting Register %s	0x30	16	read/write	0x0000	0xFFFF
	2	0x4	14, 15	ELSR%s	Event Link Setting Register %s	0x48	16	read/write	0x0000	0xFFFF
	4	0x4	18-21	ELSR%s	Event Link Setting Register %s	0x58	16	read/write	0x0000	0xFFFF
POEG	2	0x100	A, B	POEGG%s	POEG Group %s Setting Register	0x00	32	read/write	0x00000000	0xFFFFFFFF

表 3.4 レジスタの説明 (7/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
RTC	-	-	-	R64CNT	64-Hz Counter	0x00	8	read-only	0x00	0x80
				RSECCNT	Second Counter	0x02	8	read/write	0x00	0x00
				BCNT0	Binary Counter 0	0x02	8	read/write	0x00	0x00
				RMINCNT	Minute Counter	0x04	8	read/write	0x00	0x00
				BCNT1	Binary Counter 1	0x04	8	read/write	0x00	0x00
				RHRCNT	Hour Counter	0x06	8	read/write	0x00	0x00
				BCNT2	Binary Counter 2	0x06	8	read/write	0x00	0x00
				RWKCNT	Day-of-Week Counter	0x08	8	read/write	0x00	0x00
				BCNT3	Binary Counter 3	0x08	8	read/write	0x00	0x00
				RDAYCNT	Day Counter	0x0A	8	read/write	0x00	0xC0
				RMONCNT	Month Counter	0x0C	8	read/write	0x00	0xE0
				RYRCNT	Year Counter	0x0E	16	read/write	0x0000	0xFF00
				RSECAR	Second Alarm Register	0x10	8	read/write	0x00	0x00
				BCNT0AR	Binary Counter 0 Alarm Register	0x10	8	read/write	0x00	0x00
				RMINAR	Minute Alarm Register	0x12	8	read/write	0x00	0x00
				BCNT1AR	Binary Counter 1 Alarm Register	0x12	8	read/write	0x00	0x00
				RHRAR	Hour Alarm Register	0x14	8	read/write	0x00	0x00
				BCNT2AR	Binary Counter 2 Alarm Register	0x14	8	read/write	0x00	0x00
				RWKAR	Day-of-Week Alarm Register	0x16	8	read/write	0x00	0x00
				BCNT3AR	Binary Counter 3 Alarm Register	0x16	8	read/write	0x00	0x00
				RDAYAR	Date Alarm Register	0x18	8	read/write	0x00	0x00
				BCNT0AER	Binary Counter 0 Alarm Enable Register	0x18	8	read/write	0x00	0x00
				RMONAR	Month Alarm Register	0x1A	8	read/write	0x00	0x00
				BCNT1AER	Binary Counter 1 Alarm Enable Register	0x1A	8	read/write	0x00	0x00
				RYRAR	Year Alarm Register	0x1C	16	read/write	0x0000	0xFF00
				BCNT2AER	Binary Counter 2 Alarm Enable Register	0x1C	16	read/write	0x0000	0xFF00
				RYRAREN	Year Alarm Enable Register	0x1E	8	read/write	0x00	0x00
				BCNT3AER	Binary Counter 3 Alarm Enable Register	0x1E	8	read/write	0x00	0x00
				RCR1	RTC Control Register 1	0x22	8	read/write	0x00	0x0A
				RCR2	RTC Control Register 2	0x24	8	read/write	0x00	0x0E
				RCR4	RTC Control Register 4	0x28	8	read/write	0x00	0xFE
				RFRH	Frequency Register H	0x2A	16	read/write	0x0000	0xFFFF
RFRL	Frequency Register L	0x2C	16	read/write	0x0000	0x0000				
RADJ	Time Error Adjustment Register	0x2E	8	read/write	0x00	0x00				
WDT	-	-	-	WDTRR	WDT Refresh Register	0x00	8	read/write	0xFF	0xFF
				WDTCR	WDT Control Register	0x02	16	read/write	0x33F3	0xFFFF
				WDTSR	WDT Status Register	0x04	16	read/write	0x0000	0xFFFF
				WDTRCR	WDT Reset Control Register	0x06	8	read/write	0x80	0xFF
				WDTCSNPR	WDT Count Stop Control Register	0x08	8	read/write	0x80	0xFF
IWDT	-	-	-	IWDTRR	IWDT Refresh Register	0x00	8	read/write	0xFF	0xFF
				IWDTSR	IWDT Status Register	0x04	16	read/write	0x0000	0xFFFF

表 3.4 レジスタの説明 (8/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
CAC	-	-	-	CACR0	CAC Control Register 0	0x00	8	read/write	0x00	0xFF			
				CACR1	CAC Control Register 1	0x01	8	read/write	0x00	0xFF			
				CACR2	CAC Control Register 2	0x02	8	read/write	0x00	0xFF			
				CAICR	CAC Interrupt Control Register	0x03	8	read/write	0x00	0xFF			
				CASTR	CAC Status Register	0x04	8	read-only	0x00	0xFF			
				CAULVR	CAC Upper-Limit Value Setting Register	0x06	16	read/write	0x0000	0xFFFF			
				CALLVR	CAC Lower-Limit Value Setting Register	0x08	16	read/write	0x0000	0xFFFF			
				CACNTBR	CAC Counter Buffer Register	0x0A	16	read-only	0x0000	0xFFFF			
MSTP	-	-	-	MSTPCRB	Module Stop Control Register B	0x00	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF			
MSTP	-	-	-	MSTPCRC	Module Stop Control Register C	0x04	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF			
				MSTPCRD	Module Stop Control Register D	0x08	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF			
CAN0	32	0x10	0-31	MB%s_ID	Mailbox Register	0x200	32	read/write	0x00000000	0x00000000			
				MB%s_DL	Mailbox Register	0x204	16	read/write	0x0000	0x0000			
				MB%s_D0	Mailbox Register	0x206	8	read/write	0x00	0x00			
				MB%s_D1	Mailbox Register	0x207	8	read/write	0x00	0x00			
				MB%s_D2	Mailbox Register	0x208	8	read/write	0x00	0x00			
				MB%s_D3	Mailbox Register	0x209	8	read/write	0x00	0x00			
				MB%s_D4	Mailbox Register	0x20A	8	read/write	0x00	0x00			
				MB%s_D5	Mailbox Register	0x20B	8	read/write	0x00	0x00			
				MB%s_D6	Mailbox Register	0x20C	8	read/write	0x00	0x00			
				MB%s_D7	Mailbox Register	0x20D	8	read/write	0x00	0x00			
				MB%s_TS	Mailbox Register	0x20E	16	read/write	0x0000	0x0000			
				8	0x4	0-7	MKR[%s]	Mask Register	0x400	32	read/write	0x00000000	0x00000000
				2	0x4	0,1	FIDCR%s	FIFO Received ID Compare Registers	0x420	32	read/write	0x00000000	0x00000000
				-	-	-	MKIVLR	Mask Invalid Register	0x428	32	read/write	0x00000000	0x00000000
							MIER	Mailbox Interrupt Enable Register (Normal mailbox mode)	0x42C	32	read/write	0x00000000	0x00000000
							MIER_FIFO	Mailbox Interrupt Enable Register (FIFO mailbox mode)	0x42C	32	read/write	0x00000000	0x00000000
				32	0x1	0-31	MCTL_TX[%s]	Message Control Register (Transmit mode (when the TRMREQ bit is 1 and the RECREQ bit is 0))	0x820	8	read/write	0x00	0xFF
				32	0x1	0-31	MCTL_RX[%s]	Message Control Register (Receive mode (when the TRMREQ bit is 0 and the RECREQ bit is 1))	0x820	8	read/write	0x00	0xFF
				-	-	-	CTLR	Control Register	0x840	16	read/write	0x0500	0xFFFF
							STR	Status Register	0x842	16	read-only	0x0500	0xFFFF
							BCR	Bit Configuration Register	0x844	32	read/write	0x00000000	0xFFFFFFFFF
							RFCR	Receive FIFO Control Register	0x848	8	read/write	0x80	0xFF
							RFPCR	Receive FIFO Pointer Control Register	0x849	8	write-only	0x00	0x00
TFCR	Transmit FIFO Control Register	0x84A	8				read/write	0x80	0xFF				
TFPCR	Transmit FIFO Pointer Control Register	0x84B	8				write-only	0x00	0x00				

表 3.4 レジスタの説明 (9/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CAN0	-	-	-	EIER	Error Interrupt Enable Register	0x84C	8	read/write	0x00	0xFF
				EIFR	Error Interrupt Factor Judge Register	0x84D	8	read/write	0x00	0xFF
				RECR	Receive Error Count Register	0x84E	8	read-only	0x00	0xFF
				TECR	Transmit Error Count Register	0x84F	8	read-only	0x00	0xFF
				ECSR	Error Code Store Register	0x850	8	read/write	0x00	0xFF
				CSSR	Channel Search Support Register	0x851	8	read/write	0x00	0x00
				MSSR	Mailbox Search Status Register	0x852	8	read-only	0x80	0xFF
				MSMR	Mailbox Search Mode Register	0x853	8	read/write	0x00	0xFF
				TSR	Time Stamp Register	0x854	16	read-only	0x0000	0xFFFF
				AFSR	Acceptance Filter Support Register	0x856	16	read/write	0x0000	0x0000
				TCR	Test Control Register	0x858	8	read/write	0x00	0xFF
IIC0	-	-	-	ICCR1	I ² C Bus Control Register 1	0x00	8	read/write	0x1F	0xFF
				ICCR2	I ² C Bus Control Register 2	0x01	8	read/write	0x00	0xFF
				ICMR1	I ² C Bus Mode Register 1	0x02	8	read/write	0x08	0xFF
				ICMR2	I ² C Bus Mode Register 2	0x03	8	read/write	0x06	0xFF
				ICMR3	I ² C Bus Mode Register 3	0x04	8	read/write	0x00	0xFF
				ICFER	I ² C Bus Function Enable Register	0x05	8	read/write	0x72	0xFF
				ICSER	I ² C Bus Status Enable Register	0x06	8	read/write	0x09	0xFF
				ICIER	I ² C Bus Interrupt Enable Register	0x07	8	read/write	0x00	0xFF
				ICSR1	I ² C Bus Status Register 1	0x08	8	read/write	0x00	0xFF
				ICSR2	I ² C Bus Status Register 2	0x09	8	read/write	0x00	0xFF
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read/write	0x00	0xFF
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read/write	0x00	0xFF
	-	-	-	ICBRL	I ² C Bus Bit Rate Low-Level Register	0x10	8	read/write	0xFF	0xFF
				ICBRH	I ² C Bus Bit Rate High-Level Register	0x11	8	read/write	0xFF	0xFF
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read/write	0xFF	0xFF
				ICDRR	I ² C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF
				ICWUR	I ² C Bus Wake Up Unit Register	0x16	8	read/write	0x10	0xFF
				ICWUR2	Reserved	0x17	8	read/write	0xFD	0xFF
				ICCR1	I ² C Bus Control Register 1	0x00	8	read/write	0x1F	0xFF
ICCR2	I ² C Bus Control Register 2	0x01	8	read/write	0x00	0xFF				
ICMR1	I ² C Bus Mode Register 1	0x02	8	read/write	0x08	0xFF				
ICMR2	I ² C Bus Mode Register 2	0x03	8	read/write	0x06	0xFF				
ICMR3	I ² C Bus Mode Register 3	0x04	8	read/write	0x00	0xFF				
ICFER	I ² C Bus Function Enable Register	0x05	8	read/write	0x72	0xFF				
ICSER	I ² C Bus Status Enable Register	0x06	8	read/write	0x09	0xFF				
ICIER	I ² C Bus Interrupt Enable Register	0x07	8	read/write	0x00	0xFF				

表 3.4 レジスタの説明 (10/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
IIC1	-	-	-	ICSR1	I ² C Bus Status Register 1	0x08	8	read/write	0x00	0xFF			
				ICSR2	I ² C Bus Status Register 2	0x09	8	read/write	0x00	0xFF			
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read/write	0x00	0xFF			
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read/write	0x00	0xFF			
	-	-	-	ICBRL	I ² C Bus Bit Rate Low-Level Register	0x10	8	read/write	0xFF	0xFF			
				ICBRH	I ² C Bus Bit Rate High-Level Register	0x11	8	read/write	0xFF	0xFF			
				ICDRT	I ² C Bus Transmit Data Register	0x12	8	read/write	0xFF	0xFF			
				ICDRR	I ² C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF			
DOC	-	-	-	DOCR	DOC Control Register	0x00	8	read/write	0x00	0xFF			
				DODIR	DOC Data Input Register	0x02	16	read/write	0x0000	0xFFFF			
				DODSR	DOC Data Setting Register	0x04	16	read/write	0x0000	0xFFFF			
ADC140	-	-	-	ADCSR	A/D Control Register	0x000	16	read/write	0x0000	0xFFFF			
				ADANSA0	A/D Channel Select Register A0	0x004	16	read/write	0x0000	0xFFFF			
				ADANSA1	A/D Channel Select Register A1	0x006	16	read/write	0x0000	0xFFFF			
				ADADS0	A/D-Converted Value Addition/Average Channel Select Register 0	0x008	16	read/write	0x0000	0xFFFF			
				ADADS1	A/D-Converted Value Addition/Average Channel Select Register 1	0x00A	16	read/write	0x0000	0xFFFF			
				ADADC	A/D-Converted Value Addition/Average Count Select Register	0x00C	8	read/write	0x00	0xFF			
				ADCER	A/D Control Extended Register	0x00E	16	read/write	0x0000	0xFFFF			
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read/write	0x0000	0xFFFF			
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read/write	0x0000	0xFFFF			
				ADANSB0	A/D Channel Select Register B0	0x014	16	read/write	0x0000	0xFFFF			
				ADANSB1	A/D Channel Select Register B1	0x016	16	read/write	0x0000	0xFFFF			
				ADDBLDR	A/D Data Duplication Register	0x018	16	read-only	0x0000	0xFFFF			
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF			
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF			
				ADRD	A/D Self-Diagnosis Data Register	0x01E	16	read-only	0x0000	0xFFFF			
				14	0x2	0-13	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
				7	0x2	16-22	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
				-	-	-	ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read/write	0x00	0xFF
							ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read/write	0x0000	0xFFFF
							ADDBLDRA	A/D Data Duplication Register A	0x084	16	read-only	0x0000	0xFFFF
ADDBLDRB	A/D Data Duplication Register B	0x086	16				read-only	0x0000	0xFFFF				

表 3.4 レジスタの説明 (11/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
ADC140	-	-	-	ADHVREFCNT	A/D High-Potential/Low-Potential Reference Voltage Control Register	0x08A	8	read/write	0x00	0xFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-only	0x00	0xFF
				ADCMPCR	A/D Compare Function Control Register	0x090	16	read/write	0x0000	0xFFFF
				ADCMPANSER	A/D Compare Function Window A Extended Input Select Register	0x092	8	read/write	0x00	0xFF
				ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read/write	0x00	0xFF
				ADCMPANSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read/write	0x0000	0xFFFF
				ADCMPANSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read/write	0x0000	0xFFFF
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read/write	0x0000	0xFFFF
				ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read/write	0x0000	0xFFFF
				ADCMPDR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read/write	0x0000	0xFFFF
				ADCMPDR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read/write	0x0000	0xFFFF
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read/write	0x0000	0xFFFF
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read/write	0x0000	0xFFFF
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read/write	0x00	0xFF
				ADCMPBNSR	A/D Compare Function Window B Channel Selection Register	0x0A6	8	read/write	0x00	0xFF
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read/write	0x0000	0xFFFF
				ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read/write	0x0000	0xFFFF
				ADCMPBSR	A/D Compare Function Window B Status Register	0x0AC	8	read/write	0x00	0xFF
				ADSSTRL	A/D Sampling State Register L	0x0DD	8	read/write	0x0D	0xFF
				ADSSTRT	A/D Sampling State Register T	0x0DE	8	read/write	0x0D	0xFF
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read/write	0x0D	0xFF
	14	0x1	00-13	ADSSTR%s	A/D Sampling State Register %s	0x0E0	8	read/write	0x0D	0xFF

表 3.4 レジスタの説明 (12/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SCI0	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read/write	0x00	0xFF
				SMR_SMCI	Serial Mode Register (SCMR.SMIF = 1)	0x00	8	read/write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read/write	0xFF	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read/write	0x00	0xFF
				SCR_SMCI	Serial Control Register (SCMR.SMIF = 1)	0x02	8	read/write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read/write	0xFF	0xFF
				SSR	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read/write	0x84	0xFF
				SSR_FIFO	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=1)	0x04	8	read/write	0x80	0xFD
				SSR_SMCI	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read/write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read-only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read/write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read/write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read/write	0x00	0xFF
				SIMR1	I ² C Mode Register 1	0x09	8	read/write	0x00	0xFF
				SIMR2	I ² C Mode Register 2	0x0A	8	read/write	0x00	0xFF
				SIMR3	I ² C Mode Register 3	0x0B	8	read/write	0x00	0xFF
				SISR	I ² C Status Register	0x0C	8	read-only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read/write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read/write	0xFFFF	0xFFFF
				FTDRHL	Transmit FIFO Data Register HL	0x0E	16	write-only	0xFFFF	0xFFFF
				FTDRH	Transmit FIFO Data Register H	0x0E	8	write-only	0xFF	0xFF
				FTDRL	Transmit FIFO Data Register L	0x0F	8	write-only	0xFF	0xFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read-only	0x0000	0xFFFF
				FRDRHL	Receive FIFO Data Register HL	0x10	16	read-only	0x0000	0xFFFF
				FRDRH	Receive FIFO Data Register H	0x10	8	read-only	0x00	0xFF
				FRDRL	Receive FIFO Data Register L	0x11	8	read-only	0x00	0xFF
				MDDR	Modulation Duty Register	0x12	8	read/write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read/write	0x40	0xFF
				FCR	FIFO Control Register	0x14	16	read/write	0xF800	0xFFFF
				FDR	FIFO Data Count Register	0x16	16	read-only	0x0000	0xFFFF
				LSR	Line Status Register	0x18	16	read-only	0x0000	0xFFFF
				CDR	Compare Match Data Register	0x1A	16	read/write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read/write	0x03	0xFF

表 3.4 レジスタの説明 (13/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
SCI1, 9	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read/write	0x00	0xFF
				SMR_SMCI	Serial Mode Register (SCMR.SMIF = 1)	0x00	8	read/write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read/write	0xFF	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read/write	0x00	0xFF
				SCR_SMCI	Serial Control Register (SCMR.SMIF = 1)	0x02	8	read/write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read/write	0xFF	0xFF
				SSR	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read/write	0x84	0xFF
				SSR_SMCI	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read/write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read-only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read/write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read/write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read/write	0x00	0xFF
				SIMR1	I ² C Mode Register 1	0x09	8	read/write	0x00	0xFF
				SIMR2	I ² C Mode Register 2	0x0A	8	read/write	0x00	0xFF
				SIMR3	I ² C Mode Register 3	0x0B	8	read/write	0x00	0xFF
				SISR	I ² C Status Register	0x0C	8	read-only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read/write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read/write	0xFFFF	0xFFFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read-only	0x0000	0xFFFF
				MDDR	Modulation Duty Register	0x12	8	read/write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read/write	0x40	0xFF
				CDR	Compare Match Data Register	0x1A	16	read/write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read/write	0x03	0xFF
SPI0, 1	-	-	-	SPCR	SPI Control Register	0x00	8	read/write	0x00	0xFF
				SSLP	SPI Slave Select Polarity Register	0x01	8	read/write	0x00	0xFF
				SPPCR	SPI Pin Control Register	0x02	8	read/write	0x00	0xFF
				SPSR	SPI Status Register	0x03	8	read/write	0x20	0xFF
				SPDR	SPI Data Register	0x04	32	read/write	0x00000000	0xFFFFFFFF
				SPDR_HA	SPI Data Register (halfword access)	0x04	16	read/write	0x0000	0xFFFF
				SPBR	SPI Bit Rate Register	0x0A	8	read/write	0xFF	0xFF
				SPDCR	SPI Data Control Register	0x0B	8	read/write	0x00	0xFF
				SPCKD	SPI Clock Delay Register	0x0C	8	read/write	0x00	0xFF
				SSLND	SPI Slave Select Negation Delay Register	0x0D	8	read/write	0x00	0xFF
				SPND	SPI Next-Access Delay Register	0x0E	8	read/write	0x00	0xFF
				SPCR2	SPI Control Register 2	0x0F	8	read/write	0x00	0xFF
				SPCMD0	SPI Command Register 0	0x10	16	read/write	0x070D	0xFFFF

表 3.4 レジスタの説明 (14/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CRC	-	-	-	CRCCR0	CRC Control Register 0	0x00	8	read/write	0x00	0xFF
				CRCCR1	CRC Control Register 1	0x01	8	read/write	0x00	0xFF
				CRCDIR	CRC Data Input Register	0x04	32	read/write	0x00000000	0xFFFFFFFF
				CRCDIR_BY	CRC Data Input Register (byte access)	0x04	8	read/write	0x00	0xFF
				CRCDOR	CRC Data Output Register	0x08	32	read/write	0x00000000	0xFFFFFFFF
				CRCDOR_HA	CRC Data Output Register (halfword access)	0x08	16	read/write	0x0000	0xFFFF
				CRCDOR_BY	CRC Data Output Register (byte access)	0x08	8	read/write	0x00	0xFF
				CRCSAR	Snoop Address Register	0x0C	16	read/write	0x0000	0xFFFF
GPT320	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read/write	0x00000000	0xFFFFFFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read/write	0x00000000	0xFFFFFFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read/write	0xFFFFFFFF	0xFFFFFFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x00000000	0xFFFFFFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read/write	0x00000000	0xFFFFFFFF
				GTSPSR	General PWM Timer Stop Source Select Register	0x14	32	read/write	0x00000000	0xFFFFFFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read/write	0x00000000	0xFFFFFFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read/write	0x00000000	0xFFFFFFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read/write	0x00000000	0xFFFFFFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read/write	0x00000000	0xFFFFFFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read/write	0x00000000	0xFFFFFFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read/write	0x00000000	0xFFFFFFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read/write	0x00000001	0xFFFFFFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read/write	0x00000000	0xFFFFFFFF
				GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read/write	0x00000000	0xFFFFFFFF
				GTST	General PWM Timer Status Register	0x3C	32	read/write	0x00008000	0xFFFFFFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read/write	0x00000000	0xFFFFFFFF
				GTCNT	General PWM Timer Counter	0x48	32	read/write	0x00000000	0xFFFFFFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read/write	0xFFFFFFFF	0xFFFFFFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read/write	0xFFFFFFFF	0xFFFFFFFF
GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read/write	0xFFFFFFFF	0xFFFFFFFF				
GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read/write	0xFFFFFFFF	0xFFFFFFFF				

表 3.4 レジスタの説明 (15/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
GPT320	-	-	-	GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read/write	0x00000000	0xFFFFFFFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
GPT161-6	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read/write	0x00000000	0xFFFFFFFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read/write	0x00000000	0xFFFFFFFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read/write	0xFFFFFFFFF	0xFFFFFFFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x00000000	0xFFFFFFFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read/write	0x00000000	0xFFFFFFFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read/write	0x00000000	0xFFFFFFFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read/write	0x00000000	0xFFFFFFFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read/write	0x00000000	0xFFFFFFFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read/write	0x00000000	0xFFFFFFFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read/write	0x00000000	0xFFFFFFFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read/write	0x00000000	0xFFFFFFFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read/write	0x00000000	0xFFFFFFFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read/write	0x00000001	0xFFFFFFFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read/write	0x00000000	0xFFFFFFFFF
				GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read/write	0x00000000	0xFFFFFFFFF
				GTST	General PWM Timer Status Register	0x3C	32	read/write	0x00008000	0xFFFFFFFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read/write	0x00000000	0xFFFFFFFFF
				GTCNT	General PWM Timer Counter	0x48	32	read/write	0x00000000	0xFFFFFFFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read/write	0x0000FFFF	0xFFFFFFFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read-write	0x0000FFFF	0xFFFFFFFFF
GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read/write	0x0000FFFF	0xFFFFFFFFF				
GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read/write	0x0000FFFF	0xFFFFFFFFF				

表 3.4 レジスタの説明 (16/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク			
GPT161-6	-	-	-	GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read/write	0x0000FFFF	0xFFFFFFFF			
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read/write	0x0000FFFF	0xFFFFFFFF			
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read/write	0x0000FFFF	0xFFFFFFFF			
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read/write	0x0000FFFF	0xFFFFFFFF			
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read/write	0x00000000	0xFFFFFFFF			
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read/write	0x0000FFFF	0xFFFFFFFF			
GPT_OPS	-	-	-	OPSCR	Output Phase Switching Control Register	0x0	32	read/write	0x00000000	0xFFFFFFFF			
GPT_ODC	-	-	-	GTDLYCR	PWM Output Delay Control Register	0x00	16	read/write	0x0000	0xFFFF			
				GTDLYCR2	PWM Output Delay Control Register 2	0x02	16	read/write	0x0000	0xFFFF			
				3	0x4	1-3	GTDLYR%sA	GTIOC%sA Rising Output Delay Register	0x1C	16	read/write	0x0000	0xFFFF
				3	0x4	1-3	GTDLYR%sB	GTIOC%sB Rising Output Delay Register	0x1E	16	read/write	0x0000	0xFFFF
				3	0x4	1-3	GTDLYF%sA	GTIOC%sA Falling Output Delay Register	0x2C	16	read/write	0x0000	0xFFFF
				3	0x4	1-3	GTDLYF%sB	GTIOC%sB Falling Output Delay Register	0x2E	16	read/write	0x0000	0xFFFF
KINT	-	-	-	KRCTL	KEY Return Control Register	0x00	8	read/write	0x00	0xFF			
				KRF	KEY Return Flag Register	0x04	8	read/write	0x00	0xFF			
				KRM	KEY Return Mode Register	0x08	8	read/write	0x00	0xFF			
CTSU	-	-	-	CTSUCR0	CTSU Control Register 0	0x00	8	read/write	0x00	0xFF			
				CTSUCR1	CTSU Control Register 1	0x01	8	read/write	0x00	0xFF			
				CTSUSDPRS	CTSU Synchronous Noise Reduction Setting Register	0x02	8	read/write	0x00	0xFF			
				CTSUSST	CTSU Sensor Stabilization Wait Control Register	0x03	8	read/write	0x00	0xFF			
				CTSUMCH0	CTSU Measurement Channel Register 0	0x04	8	read/write	0x3F	0xFF			
				CTSUMCH1	CTSU Measurement Channel Register 1	0x05	8	read/write	0x3F	0xFF			
				CTSUCHAC0	CTSU Channel Enable Control Register 0	0x06	8	read/write	0x00	0xFF			
				CTSUCHAC1	CTSU Channel Enable Control Register 1	0x07	8	read/write	0x00	0xFF			
				CTSUCHAC2	CTSU Channel Enable Control Register 2	0x08	8	read/write	0x00	0xFF			
				CTSUCHAC3	CTSU Channel Enable Control Register 3	0x09	8	read/write	0x00	0xFF			
				CTSUCHTRC0	CTSU Channel Transmit/Receive Control Register 0	0x0B	8	read/write	0x00	0xFF			
				CTSUCHTRC1	CTSU Channel Transmit/Receive Control Register 1	0x0C	8	read/write	0x00	0xFF			
				CTSUCHTRC2	CTSU Channel Transmit/Receive Control Register 2	0x0D	8	read/write	0x00	0xFF			
				CTSUCHTRC3	CTSU Channel Transmit/Receive Control Register 3	0x0E	8	read/write	0x00	0xFF			
				CTSUDCLKC	CTSU High-Pass Noise Reduction Control Register	0x10	8	read/write	0x00	0xFF			
				CTSUST	CTSU Status Register	0x11	8	read/write	0x00	0xFF			

表 3.4 レジスタの説明 (17/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
CTSU	-	-	-	CTSUSSC	CTSU High-Pass Noise Reduction Spectrum Diffusion Control Register	0x12	16	read/write	0x0000	0xFFFF
				CTSUSO0	CTSU Sensor Offset Register 0	0x14	16	read/write	0x0000	0xFFFF
				CTSUSO1	CTSU Sensor Offset Register 1	0x16	16	read/write	0x0000	0xFFFF
				CTSUSC	CTSU Sensor Counter	0x18	16	read-only	0x0000	0xFFFF
				CTSURC	CTSU Reference Counter	0x1A	16	read-only	0x0000	0xFFFF
				CTSUERRS	CTSU Error Status Register	0x1C	16	read-only	0x0000	0xFFFF
AGT0, 1	-	-	-	AGT	AGT Counter Register	0x00	16	read/write	0xFFFF	0xFFFF
				AGTCMA	AGT Compare Match A Register	0x02	16	read/write	0xFFFF	0xFFFF
				AGTCMB	AGT Compare Match B Register	0x04	16	read/write	0xFFFF	0xFFFF
				AGTCR	AGT Control Register	0x08	8	read/write	0x00	0xFF
				AGTMR1	AGT Mode Register 1	0x09	8	read/write	0x00	0xFF
				AGTMR2	AGT Mode Register 2	0x0A	8	read/write	0x00	0xFF
				AGTIOC	AGT I/O Control Register	0x0C	8	read/write	0x00	0xFF
				AGTISR	AGT Event Pin Select Register	0x0D	8	read/write	0x00	0xFF
				AGTCMSR	AGT Compare Match Function Select Register	0x0E	8	read/write	0x00	0xFF
				AGTIOSEL	AGT Pin Select Register	0x0F	8	read/write	0x00	0xFF
ACMPHS0 -2	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read/write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read/write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read/write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read-only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read/write	0x00	0xFF
ACMPLP	-	-	-	COMPMDR	ACMPLP Mode Setting Register	0x00	8	read/write	0x00	0xFF
				COMPFIR	ACMPLP Filter Control Register	0x01	8	read/write	0x00	0xFF
				COMPOCR	ACMPLP Output Control Register	0x02	8	read/write	0x00	0xFF
				COMPSEL0	Comparator Input Select Register	0x04	8	read/write	0x11	0xFF
				COMPSEL1	Comparator Reference Voltage Select Register	0x05	8	read/write	0x91	0xFF
OPAMP	-	-	-	AMPMC	Operational Amplifier Mode Control Register	0x08	8	read/write	0x00	0xFF
				AMPTRM	Operational Amplifier Trigger Mode Control Register	0x09	8	read/write	0x00	0xFF
				AMPTRS	Operational Amplifier Activation Trigger Select Register	0x0A	8	read/write	0x00	0xFF
				AMPC	Operational Amplifier Control Register	0x0B	8	read/write	0x00	0xFF
				AMPMON	Operational Amplifier Monitor Register	0x0C	8	read/write	0x00	0xFF
DALI	-	-	-	BTVTHR1	DALI Bit Timing Violation Threshold Register 1	0x000	16	read/write	0x4F00	0xFFFF
				BTVTHR2	DALI Bit Timing Violation Threshold Register 2	0x002	16	read/write	0x654F	0xFFFF

表 3.4 レジスタの説明 (18/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
DALI	-	-	-	BTVTHR3	DALI Bit Timing Violation Threshold Register 3	0x004	16	read/write	0x009D	0xFFFF
				BTVTHR4	DALI Bit Timing Violation Threshold Register 4	0x006	16	read/write	0x00DB	0xFFFF
				COLTHR1	DALI Collision Threshold Register 1	0x008	16	read/write	0x380F	0xFFFF
				COLTHR2	DALI Collision Threshold Register 2	0x00A	16	read/write	0x443C	0xFFFF
				COLTHR3	DALI Collision Threshold Register 3	0x00C	16	read/write	0x7148	0xFFFF
				COLTHR4	DALI Collision Threshold Register 4	0x00E	16	read/write	0x8879	0xFFFF
				COLTHR5	DALI Collision Threshold Register 5	0x010	16	read/write	0x008E	0xFFFF
				CNFR1	DALI Configuration Register 1	0x012	16	read/write	0x00FF	0xFFFF
				CNFR2	DALI Configuration Register 2	0x014	16	read/write	0x0000	0xFFFF
				TXWR1	DALI DTX Width Register 1	0x016	16	read/write	0x003F	0xFFFF
				TDR1H	DALI Transmit Data Register 1H	0x01E	16	read/write	0x0000	0xFFFF
				TDR1L	DALI Transmit Data Register 1L	0x020	16	read/write	0x0000	0xFFFF
				TRSTR1	DALI Transmit Control Register 1	0x022	16	write-only	0x0000	0xFFFF
				CTR1	DALI Control Register 1	0x026	16	read/write	0x0000	0xFFFF
				TXDCTR1	DALI DTX Control Register 1	0x028	16	read/write	0x0000	0xFFFF
				RDR1H	DALI Reception Data Register 1H	0x02E	16	read-only	0x0000	0xFFFF
				RDR1L	DALI Reception Data Register 1L	0x030	16	read-only	0x0000	0xFFFF
				STR1	DALI Status Register 1	0x032	16	read-only	0x0000	0xFFFF
				COLR1	DALI Collision Register 1	0x036	16	read-only	0x0800	0xFFFF
				FEER1	DALI Flag Error Clear Register 1	0x03A	16	write-only	0x0000	0xFFFF
SWRR1	DALI Software Reset Register 1	0x03C	16	write-only	0x0000	0xFFFF				
USBFS	-	-	-	SYSCFG	System Configuration Control Register	0x000	16	read/write	0x0000	0xFFFF
				SYSSTS0	System Configuration Status Register 0	0x004	16	read-only	0x0000	0xFFFF
				DVSTCTR0	Device State Control Register 0	0x008	16	read/write	0x0000	0xFFFF
				CFIFO	CFIFO Port Register	0x014	16	read/write	0x0000	0xFFFF
				CFIFOL	CFIFO Port Register L	0x014	8	read/write	0x00	0xFF
				CFIFOSEL	CFIFO Port Select Register	0x020	16	read/write	0x0000	0xFFFF
				CFIFOCTR	CFIFO Port Control Register	0x022	16	read/write	0x0000	0xFFFF
				INTENB0	Interrupt Enable Register 0	0x030	16	read/write	0x0000	0xFFFF
				BRDYENB	BRDY Interrupt Enable Register	0x036	16	read/write	0x0000	0xFFFF
				NRDYENB	NRDY Interrupt Enable Register	0x038	16	read/write	0x0000	0xFFFF
				BEMPENB	BEMP Interrupt Enable Register	0x03A	16	read/write	0x0000	0xFFFF
				SOFCFG	SOF Output Configuration Register	0x03C	16	read/write	0x0000	0xFFFF
				INTSTS0	Interrupt Status Register 0	0x040	16	read/write	0x0000	0xEF6F

表 3.4 レジスタの説明 (19/19)

周辺機能名	Dim	Dim incr	Dim index	レジスタ名	説明	アドレス オフセット	サイズ	アクセス	リセット値	リセットマスク
USBFS	-	-	-	BRDYSTS	BRDY Interrupt Status Register	0x046	16	read/write	0x0000	0xFFFF
				NRDYSTS	NRDY Interrupt Status Register	0x048	16	read/write	0x0000	0xFFFF
				BEMPSTS	BEMP Interrupt Status Register	0x04A	16	read/write	0x0000	0xFFFF
				FRMNUM	Frame Number Register	0x04C	16	read/write	0x0000	0xFFFF
				USBREQ	USB Request Type Register	0x054	16	read-only	0x0000	0xFFFF
				USBVAL	USB Request Value Register	0x056	16	read-only	0x0000	0xFFFF
				USBINDX	USB Request Index Register	0x058	16	read-only	0x0000	0xFFFF
				USBLENG	USB Request Length Register	0x05A	16	read-only	0x0000	0xFFFF
				DCPCFG	DCP Configuration Register	0x05C	16	read/write	0x0000	0xFFFF
				DCPMAXP	DCP Maximum Packet Size Register	0x05E	16	read/write	0x0040	0xFFFF
				DCPCTR	DCP Control Register	0x060	16	read/write	0x0040	0xFFFF
				PIPESEL	Pipe Window Select Register	0x064	16	read/write	0x0000	0xFFFF
				PIPECFG	Pipe Configuration Register	0x068	16	read/write	0x0000	0xFFFF
				PIPEMAXP	Pipe Maximum Packet Size Register	0x06C	16	read/write	0x0000	0xFFBF
				2	0x002	4, 5	PIPE%sCTR	Pipe %s Control Register	0x076	16
2	0x002	6, 7	PIPE%sCTR	Pipe %s Control Register	0x07A	16	read/write	0x0000	0xFFFF	
2	0x004	4, 5	PIPE%sTRE	Pipe %s Transaction Counter Enable Register	0x09C	16	read/write	0x0000	0xFFFF	
2	0x004	4, 5	PIPE%sTRN	Pipe %s Transaction Counter Register	0x09E	16	read/write	0x0000	0xFFFF	
-	-	-	USBBCCTRL0	BC Control Register 0	0x0B0	16	read/write	0x0000	0xFFFF	
			UCKSEL	USB Clock Selection Register	0x0C4	16	read/write	0x0000	0xFFFF	
			USBMC	USB Module Control Register	0x0CC	16	read/write	0x0002	0xFFFF	
DAC8	3	0x01	0-2	DACS%s	D/A Conversion Value Setting Register %s	0x00	8	read/write	0x00	0xFF
				DAM	D/A Converter Mode Register	0x03	8	read/write	0x00	0xFF
				DACPC	D/A SW Charge Pump Control Register	0x07	8	read/write	0x00	0xFF
TSN	-	-	-	TSCDRH	Temperature Sensor Calibration Data Register H	0x229	8	read-only	0x00	0x00
				TSCDRL	Temperature Sensor Calibration Data Register L	0x228	8	read-only	0x00	0x00

周辺機能名 = 周辺機能の名称

Dim = レジスタ配列の要素数

Dim incr = アドレスマップにおいてアドレス配列の 2 つの隣接するレジスタ間のアドレスインクリメント

Dim index = レジスタ名においてプレースホルダー「%s」を置き換えるサブストリング

レジスタ名 = レジスタの名称

説明 = レジスタの説明

アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスに関連するレジスタアドレス

サイズ = レジスタのビット幅

アクセス = レジスタアクセス権 :

- read-only : 読み出しのみ可能。書き込みを行うと結果は不定です
- write-only : 書き込みのみ可能。読み出しを行うと結果は不定です
- read/write : 読み出し、書き込みとも可能。書き込みを行うとレジスタの状態に影響を与え、読み出しを行うとレジスタに関連する値が返されます

リセット値 = レジスタのデフォルトリセット値

リセットマスク = レジスタのどのビットにリセット値が定義されているのかを特定します

改訂記録	S128 ユーザーズマニュアル：マイクロコントローラ
------	----------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.10.13	—	第1.00版発行 英文版S128 User's Manual: Microcontrollers (資料番号R01UM0005EU0100、リビジョンRev.1.00、発行日2017年3月10日)を翻訳

参考資料

S128 マイクロコントローラ ユーザーズマニュアル (参考資料)

発行年月日 2017年10月13日 Rev.1.00

発行 ルネサスエレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

Renesas Synergy™ プラットフォーム
S128 マイクロコントローラ
(参考資料)