

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH-2 SH7047 グループ

ハードウェアマニュアル

ルネサス32ビットRISC シングルチップマイクロコンピュータ
SuperH™ RISC engine ファミリ / SH7000 シリーズ

SH7047F
SH7049

HD64F7047
HD6437049

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続されていない場合、テスト用端子やノイズ軽減などの目的で使用している場合があります。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

HCAN2 に関する注意事項

HCAN2をご使用になる場合、機能に制約があります。「15.8 使用上の注意事項」をよくお読みになってからご使用ください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. 電気的特性
8. 付録
 - レジスタ一覧、製品型名、外形寸法など
 - 本版で改訂または追加された主な箇所 (改訂版のみ適用)

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

9. 索引

はじめに

SH7047 グループは、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

対象者 このマニュアルは、SH7047 グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7047 グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP プログラミングマニュアル」に記載しておりますので、併せてご覧ください。

読み方

- 対象製品と製品略称の表記について

→ 本書では、下記の製品について説明をします。

製品分類と製品略称			基本製品型名
基本分類	内蔵 ROM 分類		
SH7047 (100 ピン版)	SH7047F	フラッシュメモリ版(ROM 容量 256KB)	HD64F7047
	SH7049	マスク ROM 版 (ROM 容量 128KB)	HD6437049

本書では、製品区分のために製品略称を使用しています。例えば、100 ピン版製品を、基本分類略称の SH7047 で示します。これらは、それぞれ内蔵 ROM によりフラッシュメモリ版とマスク ROM 版があります。フラッシュメモリ版を限定して示す場合、略称の後に F を付け、SH7047F のように表記することがあります。マスク ROM 版を限定して示す場合は、ROM 容量により決まる略称を使います。例えば、マスク ROM 版には SH7049 があります。

- 代表品種

→ 本書では、HD64F7047 を代表品種として説明しています。したがって、本書を HD6437049 のマニュアルとして使用する場合は、相違点の指示がない場合は、そのまま HD6437049 と置き換えてご使用ください。相違点の指示がある場合は、指示の品種に適用される仕様としてご使用ください。

- 機能全体を理解しようとするとき
 - 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき
 - 別冊の「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。
- レジスタ名がわかっていて、詳細機能を知りたいとき
 - 本書の後ろに、「索引」があります。索引からページ番号を検索してください。
「付録A. 内蔵IOレジスタ」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://www.renesas.com/jpn/>)

- SH7047グループに関するユーザーズマニュアル

資料名	資料番号
SH7047 グループ ハードウェアマニュアル	本マニュアル
SH-1/SH-2/SH-DSP プログラミングマニュアル	ADJ-602-085

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	ADJ-702-444A
シミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ-702-266
シミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ-702-277
High-Performance Embedded Workshop ユーザーズマニュアル	ADJ-702-275

- アプリケーションノート

資料名	資料番号
C/C++ コンパイラ編	ADJ-502-046
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-3
1.3 ピン配置図	1-4
1.4 端子機能	1-5
2. CPU	2-1
2.1 特長	2-1
2.2 レジスタの構成	2-1
2.2.1 汎用レジスタ (Rn)	2-3
2.2.2 コントロールレジスタ	2-3
2.2.3 システムレジスタ	2-4
2.2.4 レジスタの初期値	2-5
2.3 データ形式	2-5
2.3.1 レジスタのデータ形式	2-5
2.3.2 メモリ上でのデータ形式	2-5
2.3.3 イミディエイトデータのデータ形式	2-6
2.4 命令の特長	2-6
2.4.1 RISC 方式	2-6
2.4.2 アドレッシングモード	2-10
2.4.3 命令形式	2-13
2.5 命令セット	2-16
2.5.1 分類順命令セット	2-16
2.6 処理状態	2-26
2.6.1 状態遷移	2-26
3. MCU 動作モード	3-1
3.1 動作モードの選択	3-1
3.2 入出力端子	3-2
3.3 各動作モードの説明	3-2
3.3.1 モード 0 (MCU 拡張モード 0)	3-2
3.3.2 モード 1 (MCU 拡張モード 1)	3-2
3.3.3 モード 2 (MCU 拡張モード 2)	3-2
3.3.4 モード 3 (シングルチップモード)	3-2

3.3.5	クロックモード	3-2
3.4	アドレスマップ	3-3
3.5	本LSIの初期状態	3-4
4.	クロック発振器	4-1
4.1	発振器	4-2
4.1.1	水晶発振子を接続する方法	4-2
4.1.2	外部クロックを入力する方法	4-3
4.2	発振停止検出機能	4-3
4.3	使用上の注意事項	4-3
4.3.1	発振子に関する注意事項	4-3
4.3.2	ボード設計上の注意	4-3
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-1
5.1.3	例外処理ベクタテーブル	5-2
5.2	リセット	5-4
5.2.1	リセットの種類	5-4
5.2.2	パワーオンリセット	5-4
5.2.3	マニュアルリセット	5-5
5.3	アドレスエラー	5-6
5.3.1	アドレスエラー発生要因	5-6
5.3.2	アドレスエラー例外処理	5-6
5.4	割り込み	5-7
5.4.1	割り込み要因	5-7
5.4.2	割り込み優先順位	5-7
5.4.3	割り込み例外処理	5-8
5.5	命令による例外	5-8
5.5.1	命令による例外の種類	5-8
5.5.2	トラップ命令	5-9
5.5.3	スロット不当命令	5-9
5.5.4	一般不当命令	5-9
5.6	例外処理が受け付けられない場合	5-10
5.6.1	遅延分岐命令の直後	5-10
5.6.2	割り込み禁止命令の直後	5-10
5.7	例外処理後のスタックの状態	5-11
5.8	使用上の注意	5-12
5.8.1	スタックポインタ (SP) の値	5-12

5.8.2	ベクタベースレジスタ (VBR) の値	5-12
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-12
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	割り込みコントロールレジスタ 1 (ICR1)	6-4
6.3.2	割り込みコントロールレジスタ 2 (ICR2)	6-5
6.3.3	IRQ ステータスレジスタ (ISR)	6-6
6.3.4	インタラプトプライオリティレジスタ A、D~I、K (IPRA、IPRD~IPRI、IPRK)	6-7
6.4	割り込み要因	6-8
6.4.1	外部割り込み要因	6-8
6.4.2	内蔵周辺モジュール割り込み	6-9
6.4.3	ユーザブレイク割り込み	6-9
6.4.4	H-UDI 割り込み	6-9
6.5	割り込み例外処理ベクタテーブル	6-10
6.6	動作説明	6-13
6.6.1	割り込み動作の流れ	6-13
6.6.2	割り込み例外処理終了後のスタックの状態	6-16
6.7	割り込み応答時間	6-17
6.8	割り込み要求信号によるデータ転送	6-19
6.8.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とする場合	6-20
6.8.2	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因としない場合	6-20
6.8.3	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因としない場合	6-20
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	各レジスタの説明	7-3
7.2.1	ユーザブレイクアドレスレジスタ (UBAR)	7-3
7.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	7-3
7.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	7-4
7.2.4	ユーザブレイクコントロールレジスタ (UBCR)	7-5
7.3	動作説明	7-6
7.3.1	ユーザブレイク動作の流れ	7-6
7.3.2	内蔵メモリの命令フェッチサイクルによるブレイク	7-8
7.3.3	退避するプログラムカウンタ (PC) の値	7-8
7.4	ユーザブレイク使用例	7-9
7.5	使用上の注意	7-12
7.5.1	2 命令同時フェッチ	7-12

7.5.2	分岐時の命令フェッチ.....	7-12
7.5.3	ユーザブレークと例外処理の競合.....	7-13
7.5.4	非遅延分岐命令の飛び先でのブレーク.....	7-13
7.5.5	ユーザブレークトリガ出力.....	7-13
7.5.6	モジュールスタンバイモードの設定.....	7-13
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長.....	8-1
8.2	レジスタの説明.....	8-2
8.2.1	DTC モードレジスタ (DTMR)	8-3
8.2.2	DTC ソースアドレスレジスタ (DTSAR)	8-4
8.2.3	DTC デスティネーションアドレスレジスタ (DTDAR)	8-4
8.2.4	DTC 初期アドレスレジスタ (DTIAR)	8-5
8.2.5	DTC 転送カウントレジスタ A (DTCRA)	8-5
8.2.6	DTC 転送カウントレジスタ B (DTCRB)	8-5
8.2.7	DTC イネーブルレジスタ (DTER)	8-5
8.2.8	DTC コントロール/ステータスレジスタ (DTCSR)	8-6
8.2.9	DTC 情報ベースレジスタ (DTBR)	8-7
8.3	動作説明.....	8-8
8.3.1	起動要因.....	8-8
8.3.2	レジスタ情報の配置と DTC ベクタテーブル.....	8-8
8.3.3	DTC の動作.....	8-11
8.3.4	割り込み要因.....	8-17
8.3.5	動作タイミング.....	8-17
8.3.6	DTC 実行ステート数.....	8-17
8.4	DTC使用手順.....	8-19
8.4.1	割り込みによる起動.....	8-19
8.4.2	ソフトウェアによる起動.....	8-19
8.4.3	DTC 使用例.....	8-20
8.5	使用上の注意事項.....	8-20
8.5.1	DTC による DTC レジスタアクセス禁止.....	8-20
8.5.2	モジュールスタンバイモードの設定.....	8-20
8.5.3	内蔵 RAM.....	8-20
9.	バスステートコントローラ (BSC)	9-1
9.1	特長.....	9-1
9.2	入出力端子.....	9-3
9.3	レジスタの構成.....	9-3
9.4	アドレスマップ.....	9-4
9.5	レジスタの説明.....	9-6

9.5.1	バスコントロールレジスタ 1 (BCR1)	9-6
9.5.2	バスコントロールレジスタ 2 (BCR2)	9-7
9.5.3	ウェイトコントロールレジスタ 1 (WCR1)	9-8
9.5.4	RAM エミュレーションレジスタ (RAMER)	9-8
9.6	外部空間アクセス	9-8
9.6.1	基本タイミング	9-8
9.6.2	ウェイトステート制御	9-9
9.6.3	\overline{CS} アサート期間拡張	9-10
9.7	アクセスサイクル間ウェイト	9-11
9.7.1	データバス衝突防止	9-11
9.7.2	バスサイクル開始検出の容易化	9-11
9.8	バスアービトレーション	9-12
9.9	メモリ接続例	9-13
9.10	内蔵周辺I/Oレジスタのアクセス	9-14
9.11	バス権を解放しないサイクルについて	9-14
9.12	外部メモリへプログラムを配置したときのCPU動作	9-14
10.	マルチファンクションタイマパルスユニット (MTU)	10-1
10.1	特長	10-1
10.2	入出力端子	10-5
10.3	レジスタの説明	10-6
10.3.1	タイマコントロールレジスタ (TCR)	10-8
10.3.2	タイマモードレジスタ (TMDR)	10-11
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-12
10.3.4	タイマインタラプトイネーブルレジスタ (TIER)	10-29
10.3.5	タイマステータスレジスタ (TSR)	10-30
10.3.6	タイマカウンタ (TCNT)	10-32
10.3.7	タイマジェネラルレジスタ (TGR)	10-32
10.3.8	タイマスタートレジスタ (TSTR)	10-33
10.3.9	タイマシンクロレジスタ (TSYR)	10-34
10.3.10	タイマアウトプットマスタイネーブルレジスタ (TOER)	10-35
10.3.11	タイマアウトプットコントロールレジスタ (TOCR)	10-36
10.3.12	タイマゲートコントロールレジスタ (TGCR)	10-37
10.3.13	タイマサブカウンタ (TCNTS)	10-38
10.3.14	タイマデッドタイムデータレジスタ (TDDR)	10-39
10.3.15	タイマ周期データレジスタ (TCDR)	10-39
10.3.16	タイマ周期バッファレジスタ (TCBR)	10-39
10.3.17	バスマスタとのインタフェース	10-39
10.4	動作説明	10-40
10.4.1	基本動作	10-40

10.4.2	同期動作	10-45
10.4.3	バッファ動作	10-47
10.4.4	カスケード接続動作	10-50
10.4.5	PWM モード	10-51
10.4.6	位相計数モード	10-55
10.4.7	リセット同期 PWM モード	10-62
10.4.8	相補 PWM モード	10-65
10.5	割り込み要因	10-86
10.5.1	割り込み要因と優先順位	10-86
10.5.2	DTC の起動	10-88
10.5.3	A/D 変換器の起動	10-88
10.6	動作タイミング	10-89
10.6.1	入出力タイミング	10-89
10.6.2	割り込み信号タイミング	10-94
10.7	使用上の注意事項	10-97
10.7.1	モジュールスタンバイモードの設定	10-97
10.7.2	入力クロックの制限事項	10-97
10.7.3	周期設定上の注意事項	10-98
10.7.4	TCNT のライトとクリアの競合	10-98
10.7.5	TCNT のライトとカウントアップの競合	10-98
10.7.6	TGR のライトとコンペアマッチの競合	10-99
10.7.7	バッファレジスタのライトとコンペアマッチの競合	10-100
10.7.8	TGR のリードとインプットキャプチャの競合	10-101
10.7.9	TGR のライトとインプットキャプチャの競合	10-102
10.7.10	バッファレジスタのライトとインプットキャプチャの競合	10-103
10.7.11	カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合	10-103
10.7.12	相補 PWM モード停止時のカウンタ値	10-104
10.7.13	相補 PWM モードでのバッファ動作の設定	10-105
10.7.14	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	10-105
10.7.15	リセット同期 PWM モードのオーバフローフラグ	10-106
10.7.16	オーバフロー／アンダフローとカウンタクリアの競合	10-107
10.7.17	TCNT のライトとオーバフロー／アンダフローの競合	10-107
10.7.18	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項	10-108
10.7.19	PWM モード、リセット同期 PWM モードの出力レベル	10-108
10.7.20	モジュールスタンバイ時の割り込み	10-108
10.7.21	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	10-109
10.8	MTU出力端子の初期化方法	10-109
10.8.1	動作モード	10-109
10.8.2	リセットスタート時の動作	10-109
10.8.3	動作中の異常などによる再設定時の動作	10-109
10.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	10-110

10.9	ポートアウトプットイネーブル (POE)	10-131
10.9.1	特長.....	10-131
10.9.2	端子構成.....	10-133
10.9.3	レジスタの説明.....	10-133
10.9.4	動作説明.....	10-137
10.9.5	使用上の注意事項.....	10-139
11.	ウォッチドッグタイマ (WDT)	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-2
11.3	レジスタの説明.....	11-2
11.3.1	タイマカウンタ (TCNT)	11-3
11.3.2	タイマコントロール/ステータスレジスタ (TCSR)	11-3
11.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-4
11.4	動作説明.....	11-5
11.4.1	ウォッチドッグタイマモード.....	11-5
11.4.2	インターバルタイマモード.....	11-6
11.4.3	ソフトウェアスタンバイモード解除時の動作.....	11-7
11.4.4	オーバフローフラグ (OVF) のセットタイミング.....	11-7
11.4.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング.....	11-7
11.5	割り込み要因.....	11-8
11.6	使用上の注意事項.....	11-8
11.6.1	レジスタアクセス時の注意.....	11-8
11.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合.....	11-10
11.6.3	CKS2~CKS0 ビットの書き換え.....	11-10
11.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	11-10
11.6.5	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット.....	11-10
11.6.6	ウォッチドッグタイマモードでの内部リセット.....	11-11
11.6.7	ウォッチドッグタイマモードでのマニュアルリセット.....	11-11
11.6.8	$\overline{\text{WDTOVF}}$ 端子の使用上の注意事項.....	11-11
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-3
12.3	レジスタの説明.....	12-3
12.3.1	レシーブシフトレジスタ (RSR)	12-4
12.3.2	レシーブデータレジスタ (RDR)	12-4
12.3.3	トランスミットシフトレジスタ (TSR)	12-4
12.3.4	トランスミットデータレジスタ (TDR)	12-4
12.3.5	シリアルモードレジスタ (SMR)	12-5

12.3.6	シリアルコントロールレジスタ (SCR)	12-6
12.3.7	シリアルステータスレジスタ (SSR)	12-7
12.3.8	シリアルディレクションコントロールレジスタ(SDCR).....	12-9
12.3.9	ビットレートレジスタ (BRR)	12-10
12.4	調歩同期式モードの動作.....	12-18
12.4.1	送受信フォーマット	12-18
12.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	12-20
12.4.3	クロック	12-21
12.4.4	SCI の初期化 (調歩同期式)	12-22
12.4.5	データ送信 (調歩同期式)	12-23
12.4.6	シリアルデータ受信 (調歩同期式)	12-25
12.5	マルチプロセッサ通信機能.....	12-28
12.5.1	マルチプロセッサシリアルデータ送信.....	12-29
12.5.2	マルチプロセッサシリアルデータ受信.....	12-30
12.6	クロック同期式モードの動作.....	12-33
12.6.1	クロック	12-33
12.6.2	SCI の初期化 (クロック同期式)	12-34
12.6.3	シリアルデータ送信 (クロック同期式)	12-35
12.6.4	シリアルデータ受信 (クロック同期式)	12-37
12.6.5	シリアルデータ送受信同時動作 (クロック同期式)	12-39
12.7	割り込み要因.....	12-41
12.7.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	12-41
12.8	使用上の注意事項.....	12-42
12.8.1	TDR への書き込みと TDRE フラグの関係について.....	12-42
12.8.2	モジュールスタンバイモードの設定.....	12-42
12.8.3	ブレークの検出と処理について (調歩同期式モードのみ)	12-42
12.8.4	ブレークの送り出し (調歩同期式モードのみ)	12-42
12.8.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	12-42
12.8.6	DTC の使用上の注意事項.....	12-43
12.8.7	クロック同期外部クロックモード時の注意事項.....	12-43
12.8.8	クロック同期内部クロックモード時の注意事項.....	12-43
13.	A/D 変換器.....	13-1
13.1	特長.....	13-1
13.2	入出力端子.....	13-3
13.3	レジスタの説明.....	13-4
13.3.1	A/D データレジスタ 0~15 (ADDR0~ADDR15)	13-5
13.3.2	A/D コントロール/ステータスレジスタ_0, 1 (ADCSR_0, 1)	13-6
13.3.3	A/D コントロールレジスタ_0, 1 (ADCR_0, 1)	13-8
13.3.4	A/D トリガセレクトレジスタ (ADTSR)	13-9

13.4	動作説明	13-10
13.4.1	シングルモード	13-10
13.4.2	連続スキャンモード	13-10
13.4.3	1 サイクルスキャンモード	13-11
13.4.4	入力サンプリングと A/D 変換時間	13-11
13.4.5	MTU、MMT による A/D 変換器の起動	13-13
13.4.6	外部トリガ入力タイミング	13-13
13.5	割り込み要因と DTC 転送要求	13-13
13.6	A/D 変換精度の定義	13-14
13.7	使用上の注意事項	13-16
13.7.1	モジュールスタンバイモードの設定	13-16
13.7.2	許容信号源インピーダンスについて	13-16
13.7.3	絶対精度への影響	13-16
13.7.4	アナログ電源端子などの設定範囲	13-17
13.7.5	ボード設計上の注意	13-17
13.7.6	ノイズ対策上の注意	13-17
14.	コンペアマッチタイマ (CMT)	14-1
14.1	特長	14-1
14.2	レジスタの説明	14-2
14.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	14-2
14.2.2	コンペアマッチタイマコントロール/ステータスレジスタ_0、1 (CMCSR_0、1)	14-3
14.2.3	コンペアマッチタイマカウンタ_0、1 (CMCNT_0、1)	14-3
14.2.4	コンペアマッチタイマコンスタントレジスタ_0、1 (CMCOR_0、1)	14-3
14.3	動作説明	14-4
14.3.1	周期カウント動作	14-4
14.3.2	CMCNT のカウントタイミング	14-4
14.4	割り込み	14-5
14.4.1	割り込み要因	14-5
14.4.2	コンペアマッチフラグのセットタイミング	14-5
14.4.3	コンペアマッチフラグのクリアタイミング	14-5
14.5	使用上の注意	14-6
14.5.1	CMCNT の書き込みとコンペアマッチの競合	14-6
14.5.2	CMCNT のワード書き込みとカウントアップの競合	14-6
14.5.3	CMCNT のバイト書き込みとカウントアップの競合	14-7
15.	コントローラエリアネットワーク 2 (HCAN2)	15-1
15.1	特長	15-1
15.2	入出力端子	15-5
15.3	レジスタの説明	15-6

15.3.1	マスタコントロールレジスタ (MCR)	15-8
15.3.2	ジェネラルステータスレジスタ (GSR)	15-12
15.3.3	ビットタイミングコンフィギュレーションレジスタ 1 (HCAN2_BCR1)	15-13
15.3.4	ビットタイミングコンフィギュレーションレジスタ 0 (HCAN2_BCR0)	15-14
15.3.5	インタラプトリクエストレジスタ (IRR)	15-15
15.3.6	インタラプトマスクレジスタ (IMR)	15-19
15.3.7	エラーカウントレジスタ (TEC/REC)	15-21
15.3.8	送信待ちレジスタ (TXPR1/0)	15-22
15.3.9	送信待ち取り消しレジスタ (TXCR1/0)	15-23
15.3.10	送信アクノレッジレジスタ (TXACK1/0)	15-24
15.3.11	取り消しアクノレッジレジスタ (ABACK1/0)	15-25
15.3.12	受信完了レジスタ (RXPR1/0)	15-26
15.3.13	リモートリクエストレジスタ (RFPR1/0)	15-27
15.3.14	メールボックスインタラプトマスクレジスタ (MBIMR1/0)	15-28
15.3.15	未読メッセージステータスレジスタ (UMSR1/0)	15-29
15.3.16	メールボックス (MB0~MB31)	15-30
15.3.17	タイマカウントレジスタ (TCNTR)	15-36
15.3.18	タイマコントロールレジスタ (TCR)	15-37
15.3.19	タイマステータスレジスタ (TSR)	15-39
15.3.20	ローカルオフセットレジスタ (LOSR)	15-40
15.3.21	インプットキャプチャレジスタ 0, 1 (ICR0, ICR1)	15-40
15.3.22	タイマコンペアマッチレジスタ 0, 1 (TCMR0, TCMR1)	15-41
15.4	動作説明	15-42
15.4.1	ハードウェアリセットとソフトウェアリセット	15-42
15.4.2	ハードウェアリセット後の初期設定	15-42
15.4.3	イベントトリガによるメッセージ送信	15-48
15.4.4	タイムトリガによるメッセージ送信	15-51
15.4.5	イベントトリガとタイムトリガによる複合送信	15-54
15.4.6	メッセージ受信	15-55
15.4.7	メールボックスのリコンフィギュレーション	15-58
15.4.8	HCAN2 スリープモード	15-60
15.4.9	HCAN2 ホールトモード	15-61
15.5	割り込み要因	15-63
15.6	DTCインタフェース	15-64
15.7	CANバスインタフェース	15-65
15.8	使用上の注意事項	15-65
15.8.1	タイムトリガ送信設定/タイマ動作禁止について	15-65
15.8.2	リセット	15-65
15.8.3	HCAN2 スリープモード	15-66
15.8.4	割り込み	15-66
15.8.5	エラーカウンタ	15-66

15.8.6	レジスタアクセス	15-66
15.8.7	スタンバイ時のレジスタ	15-66
15.8.8	バスオフ中のタイムトリガコンペアマッチ	15-66
15.8.9	ピリオディックイベントトリガ送信	15-66
15.8.10	ピリオディックタイムトリガ送信	15-67
15.8.11	SOF/インターミッション中の送信取り消し	15-67
15.8.12	タイマドリフトコレクション	15-67
15.8.13	タイムトリガ/イベントトリガ送信競合	15-67
15.8.14	タイムトリガアービトレーション遅延	15-67
15.8.15	タイムトリガ送信における注意事項	15-67
15.8.16	送信設定レジスタ (TXPR) セットと EOF の競合	15-68
15.8.17	ローカルアクセプタンスフィルタマスク (LAFM) のアクセス制限	15-68
15.8.18	オートアクノリッジモードの使用上の注意	15-68
15.8.19	送信待ち取り消しレジスタ (TXCR) の使用上の注意事項	15-68
15.8.20	バスアイドル中の送信設定および送信取り消し	15-69
15.8.21	HCAN2 リセット解除について	15-69
15.8.22	HCAN2 スリープ中のメールボックスアクセスについて	15-69
16.	モータマネージメントタイマ (MMT)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-3
16.3.1	タイマモードレジスタ (MMT_TMDR)	16-4
16.3.2	タイマコントロールレジスタ (TCNR)	16-5
16.3.3	タイマステータスレジスタ (MMT_TSR)	16-6
16.3.4	タイマカウンタ (MMT_TCNT)	16-6
16.3.5	タイマバッファレジスタ (TBR)	16-6
16.3.6	タイマジェネラルレジスタ (TGR)	16-7
16.3.7	タイマデッドタイムカウンタ (TDCNT)	16-7
16.3.8	タイマデッドタイムデータレジスタ (MMT_TDDR)	16-7
16.3.9	タイマピリオドバッファレジスタ (TPBR)	16-7
16.3.10	タイマピリオドデータレジスタ (TPDR)	16-7
16.4	動作説明	16-8
16.4.1	設定手順例	16-8
16.4.2	出力保護機能	16-15
16.5	割り込み要因	16-16
16.6	動作タイミング	16-16
16.6.1	入出力タイミング	16-16
16.6.2	割り込み信号タイミング	16-19
16.7	使用上の注意事項	16-21

16.7.1	モジュールスタンバイモードの設定	16-21
16.7.2	MMT 動作中の注意	16-21
16.8	ポートアウトプットイネーブル (POE)	16-23
16.8.1	特長	16-23
16.8.2	入出力端子	16-24
16.8.3	レジスタの説明	16-25
16.8.4	動作説明	16-27
16.8.5	使用上の注意事項	16-28
17.	ピンファンクションコントローラ (PFC)	17-1
17.1	レジスタの説明	17-11
17.1.1	ポート A・IO レジスタ L (PAIORL)	17-11
17.1.2	ポート A コントロールレジスタ L3~1 (PACRL3~1)	17-12
17.1.3	ポート B・IO レジスタ (PBIOR)	17-15
17.1.4	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	17-16
17.1.5	ポート D・IO レジスタ L (PDIORL)	17-17
17.1.6	ポート D コントロールレジスタ L1、L2 (PDCRL1、L2)	17-18
17.1.7	ポート E・IO レジスタ L、H (PEIORL、H)	17-19
17.1.8	ポート E コントロールレジスタ L1、L2、H (PECRL1、L2、H)	17-19
17.2	使用上の注意事項	17-22
18.	I/O ポート	18-1
18.1	ポート A	18-1
18.1.1	レジスタの説明	18-2
18.1.2	ポート A データレジスタ L (PADRL)	18-2
18.2	ポート B	18-3
18.2.1	レジスタの説明	18-3
18.2.2	ポート B データレジスタ (PBDR)	18-4
18.3	ポート D	18-5
18.3.1	レジスタの説明	18-5
18.3.2	ポート D データレジスタ L (PDDRL)	18-5
18.4	ポート E	18-7
18.4.1	レジスタの説明	18-7
18.4.2	ポート E データレジスタ H、L (PEDRH、L)	18-8
18.5	ポート F	18-9
18.5.1	レジスタの説明	18-10
18.5.2	ポート F データレジスタ (PFDR)	18-10
19.	フラッシュメモリ (F-ZTAT 版)	19-1
19.1	特長	19-1

19.2	モード遷移図.....	19-3
19.3	ブロック構成.....	19-6
19.4	入出力端子.....	19-7
19.5	レジスタの説明.....	19-7
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	19-8
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	19-9
19.5.3	消去ブロック指定レジスタ 1 (EBR1)	19-9
19.5.4	消去ブロック指定レジスタ 2 (EBR2)	19-10
19.5.5	RAM エミュレーションレジスタ (RAMER)	19-10
19.6	オンボードプログラミング.....	19-11
19.6.1	ブートモード.....	19-12
19.6.2	ユーザプログラムモードでの書き込み/消去.....	19-14
19.7	RAMによるフラッシュメモリのエミュレーション.....	19-15
19.8	書き込み/消去プログラム.....	19-17
19.8.1	プログラム/プログラムベリファイ.....	19-17
19.8.2	イレース/イレースベリファイ.....	19-19
19.8.3	フラッシュメモリの書き込み/消去時の割り込み.....	19-19
19.9	書き込み/消去プロテクト.....	19-21
19.9.1	ハードウェアプロテクト.....	19-21
19.9.2	ソフトウェアプロテクト.....	19-21
19.9.3	エラープロテクト.....	19-22
19.10	ライターモード.....	19-22
19.11	使用上の注意事項.....	19-22
19.12	F-ZTATマイコンのマスクROM化時の注意事項.....	19-22
19.13	フラッシュメモリの書き込み/消去時の注意事項.....	19-23
20.	マスク ROM	20-1
20.1	使用上の注意事項.....	20-1
21.	RAM.....	21-1
21.1	使用上の注意事項.....	21-1
22.	ハイパフォーマンスユーザデバッグインタフェース (H-UDI)	22-1
22.1	特長.....	22-1
22.2	入出力端子.....	22-3
22.3	レジスタの説明.....	22-3
22.3.1	インストラクションレジスタ (SDIR)	22-4
22.3.2	ステータスレジスタ (SDSR)	22-5
22.3.3	データレジスタ (SDDR)	22-5
22.3.4	バイパスレジスタ (SDBPR)	22-5

22.4	動作説明	22-6
22.4.1	H-UDI 割り込み	22-6
22.4.2	BYPASS モード	22-9
22.4.3	H-UDI のリセット	22-9
22.5	使用上の注意事項	22-9
23.	アドバンスユーザーデバッグ (AUD)	23-1
23.1	特長	23-1
23.2	入出力端子	23-2
23.2.1	端子説明	23-2
23.3	ブランチトレースモード	23-4
23.3.1	動作説明	23-4
23.4	RAM モニタモード	23-5
23.4.1	通信プロトコル	23-5
23.4.2	動作説明	23-6
23.5	使用上の注意事項	23-7
23.5.1	初期化	23-7
23.5.2	ソフトウェアスタンバイ時の動作	23-7
23.5.3	PA15/CK/POE6/TRST/BACK 端子の設定	23-7
23.5.4	端子状態	23-8
23.5.5	AUD 起動シーケンス	23-8
24.	低消費電力状態	24-1
24.1	入出力端子	24-3
24.2	レジスタの説明	24-4
24.2.1	スタンバイコントロールレジスタ (SBYCR)	24-4
24.2.2	システムコントロールレジスタ (SYSCR)	24-5
24.2.3	モジュールスタンバイコントロールレジスタ 1、2 (MSTCR1、MSTCR2)	24-6
24.3	動作説明	24-7
24.3.1	スリープモード	24-7
24.3.2	ソフトウェアスタンバイモード	24-7
24.3.3	ハードウェアスタンバイモード	24-10
24.3.4	モジュールスタンバイモード	24-11
24.4	使用上の注意事項	24-11
24.4.1	I/O ポートの状態	24-11
24.4.2	発振安定待機中の消費電流	24-11
24.4.3	内蔵周辺モジュールの割り込み	24-11
24.4.4	MSTCR1、2 のライト	24-11
24.4.5	HSTBY 端子の取り扱い	24-12
24.4.6	HSTBY 端子への外来ノイズについて	24-12

24.4.7	スリープモード中の DTC、AUD 動作	24-12
25.	電気的特性	25-1
25.1	絶対最大定格	25-1
25.2	DC特性	25-2
25.3	AC特性	25-4
25.3.1	AC 特性測定条件	25-4
25.3.2	クロックタイミング	25-5
25.3.3	制御信号タイミング	25-7
25.3.4	バスタイミング	25-10
25.3.5	マルチファンクションタイマパルスユニットタイミング	25-14
25.3.6	I/O ポートタイミング	25-15
25.3.7	ウォッチドッグタイマタイミング	25-16
25.3.8	シリアルコミュニケーションインタフェースタイミング	25-16
25.3.9	モータマネージメントタイマ (MMT) タイミング	25-18
25.3.10	ポートアウトプットイネーブル (POE) タイミング	25-18
25.3.11	HCAN2 タイミング	25-19
25.3.12	A/D 変換器タイミング	25-20
25.3.13	H-UDI タイミング	25-21
25.3.14	AUD タイミング	25-23
25.3.15	UBC トリガタイミング	25-25
25.4	A/D変換器特性	25-25
25.5	フラッシュメモリ特性	25-26
付録	付録-1
A.	内蔵I/Oレジスタ	付録-1
A.1	レジスタアドレス一覧 (アドレス順)	付録-1
A.2	レジスタビット一覧	付録-29
A.3	各動作モードにおけるレジスタの状態	付録-42
B.	端子状態	付録-50
C.	型名一覧	付録-55
D.	外形寸法図	付録-56
本版で修正または追加された箇所	改訂-1
索引	索引-1

図目次

1. 概要	
図1.1 SH7047内部ブロック図	1-3
図1.2 SH7047ピン配置図	1-4
2. CPU	
図2.1 CPU内部レジスタ構成	2-2
図2.2 レジスタのデータ形式	2-5
図2.3 メモリ上でのデータ形式	2-6
図2.4 処理状態の状態遷移図	2-26
3. MCU動作モード	
図3.1 SH7047フラッシュメモリ版の各動作モードのアドレスマップ	3-3
図3.2 SH7049の各動作モードのアドレスマップ	3-4
4. クロック発振器	
図4.1 クロック発振器のブロック図	4-1
図4.2 水晶発振子の接続例	4-2
図4.3 水晶発振子の等価回路	4-2
図4.4 外部クロックの接続例	4-3
図4.5 発振回路部のボード設計に関する注意事項	4-4
図4.6 PLL回路の外付け推奨回路	4-4
6. 割り込みコントローラ (INTC)	
図6.1 INTCのブロック図	6-2
図6.2 IRQ0～IRQ3割り込み制御	6-9
図6.3 割り込み動作フロー	6-15
図6.4 割り込み例外処理終了後のスタック状態	6-16
図6.5 IRQ割り込みを受け付けるときのパイプライン動作例	6-18
図6.6 割り込み制御ブロック図	6-19
7. ユーザブレイクコントローラ (UBC)	
図7.1 UBCのブロック図	7-2
図7.2 ブレイク条件判定方式	7-7
8. データトランスファコントローラ (DTC)	
図8.1 DTCのブロック図	8-2
図8.2 DTC起動要因制御ブロック図	8-8
図8.3 メモリ空間上でのDTCレジスタ情報の配置	8-9
図8.4 DTCベクタアドレスと転送情報との対応	8-9
図8.5 DTC動作フローチャート	8-12
図8.6 ノーマルモードのメモリマップ	8-13
図8.7 リピートモードのメモリマップ	8-14
図8.8 ブロック転送モードのメモリマップ	8-15
図8.9 チェイン転送の動作	8-16
図8.10 DTCの動作タイミング例 (ノーマルモード)	8-17
9. バスステートコントローラ (BSC)	
図9.1 BSCのブロック図	9-2

図9.2	アドレスフォーマット	9-4
図9.3	外部空間アクセスの基本タイミング	9-8
図9.4	外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)	9-9
図9.5	外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイト 2ステート+ $\overline{\text{WAIT}}$ 信号によるウェイトステート)	9-10
図9.6	$\overline{\text{CS}}$ アサート期間拡張機能	9-10
図9.7	同一空間連続アクセス時アイドルサイクル挿入例	9-11
図9.8	バス権解放手順	9-13
図9.9	8ビットデータバス幅ROM接続例	9-13
図9.10	1バスサイクル	9-14
10.	マルチファンクションタイマパルスユニット (MTU)	
図10.1	MTUのブロック図	10-4
図10.2	相補PWMモードの出力レベルの例	10-37
図10.3	カウンタ動作設定手順例	10-40
図10.4	フリーランニングカウンタの動作	10-41
図10.5	周期カウンタの動作	10-42
図10.6	コンペアマッチによる波形出力動作例	10-42
図10.7	0出力/1出力の動作例	10-43
図10.8	トグル出力の動作例	10-43
図10.9	インプットキャプチャ動作の設定例	10-44
図10.10	インプットキャプチャ動作例	10-45
図10.11	同期動作の設定手順例	10-46
図10.12	同期動作の動作例	10-47
図10.13	コンペアマッチバッファ動作	10-48
図10.14	インプットキャプチャバッファ動作	10-48
図10.15	バッファ動作の設定手順例	10-48
図10.16	バッファ動作例 (1)	10-49
図10.17	バッファ動作例 (2)	10-50
図10.18	カスケード接続動作設定手順	10-51
図10.19	カスケード接続動作例	10-51
図10.20	PWMモードの設定手順例	10-53
図10.21	PWMモードの動作例 (1)	10-53
図10.22	PWMモードの動作例 (2)	10-54
図10.23	PWMモードの動作例 (3)	10-55
図10.24	位相計数モードの設定手順例	10-56
図10.25	位相計数モード1の動作例	10-57
図10.26	位相計数モード2の動作例	10-58
図10.27	位相計数モード3の動作例	10-59
図10.28	位相計数モード4の動作例	10-60
図10.29	位相計数モードの応用例	10-61
図10.30	リセット同期PWMモードの設定手順例	10-63
図10.31	リセット同期PWMモードの動作例 (TOCRのOLSN=1、OLSP=1に設定した場合)	10-64
図10.32	相補PWMモード時のチャネル3、4ブロック図	10-67
図10.33	相補PWMモードの設定手順例	10-68
図10.34	相補PWMモードのカウンタ動作	10-69
図10.35	相補PWMモード動作例	10-71

図10.36	PWM周期の変更例	10-73
図10.37	相補PWMモードのデータ更新例	10-74
図10.38	相補PWMモードの初期出力例 (1)	10-75
図10.39	相補PWMモードの初期出力例 (2)	10-76
図10.40	相補PWMモード波形出力例 (1)	10-77
図10.41	相補PWMモード波形出力例 (2)	10-78
図10.42	相補PWMモード波形出力例 (3)	10-78
図10.43	相補PWMモード0%、100%波形出力例 (1)	10-79
図10.44	相補PWMモード0%、100%波形出力例 (2)	10-79
図10.45	相補PWMモード0%、100%波形出力例 (3)	10-80
図10.46	相補PWMモード0%、100%波形出力例 (4)	10-80
図10.47	相補PWMモード0%、100%波形出力例 (5)	10-81
図10.48	PWM出力に同期したトグル出力波形例	10-82
図10.49	他のチャンネルに同期したカウンタクリア	10-82
図10.50	外部入力による出力相の切り替え動作例 (1)	10-83
図10.51	外部入力による出力相の切り替え動作例 (2)	10-84
図10.52	UF、VF、WFビット設定による出力相の切り替え動作例 (3)	10-84
図10.53	UF、VF、WFビット設定による出力相の切り替え動作例 (4)	10-85
図10.54	内部クロック動作時のカウントタイミング	10-89
図10.55	外部クロック動作時のカウントタイミング	10-89
図10.56	外部クロック動作時のカウントタイミング (位相計数モード)	10-90
図10.57	アウトプットコンペア出力タイミング (ノーマルモード、PWMモード)	10-90
図10.58	アウトプットコンペア出力タイミング (相補PWMモード、 リセット同期PWMモード)	10-91
図10.59	インプットキャプチャ入力信号タイミング	10-91
図10.60	カウンタクリアタイミング (コンペアマッチ)	10-92
図10.61	カウンタクリアタイミング (インプットキャプチャ)	10-92
図10.62	バッファ動作タイミング (コンペアマッチ)	10-93
図10.63	バッファ動作タイミング (インプットキャプチャ)	10-93
図10.64	TGI割り込みタイミング (コンペアマッチ)	10-94
図10.65	TGI割り込みタイミング (インプットキャプチャ)	10-95
図10.66	TCIV割り込みのセットタイミング	10-95
図10.67	TCIU割り込みのセットタイミング	10-96
図10.68	CPUによるステータスフラグのクリアタイミング	10-96
図10.69	DTCの起動によるステータスフラグのクリアタイミング	10-97
図10.70	位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-97
図10.71	TCNTのライトとクリアの競合	10-98
図10.72	TCNTのライトとカウントアップの競合	10-99
図10.73	TGRのライトとコンペアマッチの競合	10-99
図10.74	バッファレジスタのライトとコンペアマッチの競合 (チャンネル0)	10-100
図10.75	TGRのライトとコンペアマッチの競合 (チャンネル3、4)	10-101
図10.76	TGRのリードとインプットキャプチャの競合	10-102
図10.77	TGRのライトとインプットキャプチャの競合	10-102
図10.78	バッファレジスタのライトとインプットキャプチャの競合	10-103
図10.79	カスケード接続におけるTCNT_2のライトとオーバフロー/ アンダフローの競合	10-104
図10.80	相補PWMモード停止時のカウンタ値	10-105

図10.81	リセット同期PWMモードのバッファ動作とコンペアマッチフラグ	10-106
図10.82	リセット同期PWMモードのオーバフローフラグ	10-107
図10.83	オーバフローとカウンタクリアの競合	10-107
図10.84	TCNTのライトとオーバフローの競合	10-108
図10.85	ノーマルモードで異常が発生し、ノーマルモードで復帰する場合	10-111
図10.86	ノーマルモードで異常が発生し、PWMモード1で復帰する場合	10-112
図10.87	ノーマルモードで異常が発生し、PWMモード2で復帰する場合	10-112
図10.88	ノーマルモードで異常が発生し、位相計数モードで復帰する場合	10-113
図10.89	ノーマルモードで異常が発生し、相補PWMモードで復帰する場合	10-114
図10.90	ノーマルモードで異常が発生し、リセット同期PWMモードで復帰する場合	10-115
図10.91	PWMモード1で異常が発生し、ノーマルモードで復帰する場合	10-115
図10.92	PWMモード1で異常が発生し、PWMモード1で復帰する場合	10-116
図10.93	PWMモード1で異常が発生し、PWMモード2で復帰する場合	10-117
図10.94	PWMモード1で異常が発生し、位相計数モードで復帰する場合	10-117
図10.95	PWMモード1で異常が発生し、相補PWMモードで復帰する場合	10-118
図10.96	PWMモード1で異常が発生し、リセット同期PWMモードで復帰する場合	10-119
図10.97	PWMモード2で異常が発生し、ノーマルモードで復帰する場合	10-119
図10.98	PWMモード2で異常が発生し、PWMモード1で復帰する場合	10-120
図10.99	PWMモード2で異常が発生し、PWMモード2で復帰する場合	10-121
図10.100	PWMモード2で異常が発生し、位相計数モードで復帰する場合	10-121
図10.101	位相計数モードで異常が発生し、ノーマルモードで復帰する場合	10-122
図10.102	位相計数モードで異常が発生し、PWMモード1で復帰する場合	10-123
図10.103	位相計数モードで異常が発生し、PWMモード2で復帰する場合	10-123
図10.104	位相計数モードで異常が発生し、位相計数モードで復帰する場合	10-124
図10.105	相補PWMモードで異常が発生し、ノーマルモードで復帰する場合	10-124
図10.106	相補PWMモードで異常が発生し、PWMモード1で復帰する場合	10-125
図10.107	相補PWMモードで異常が発生し、相補PWMモードで復帰する場合	10-126
図10.108	相補PWMモードで異常が発生し、相補PWMモードで復帰する場合	10-126
図10.109	相補PWMモードで異常が発生し、リセット同期PWMモードで復帰する場合 ..	10-127
図10.110	リセット同期PWMモードで異常が発生し、ノーマルモードで復帰する場合 ..	10-128
図10.111	リセット同期PWMモードで異常が発生し、PWMモード1で復帰する場合	10-129
図10.112	リセット同期PWMモードで異常が発生し、相補PWMモードで復帰する場合 ..	10-129
図10.113	リセット同期PWMモードで異常が発生し、リセット同期PWMモードで 復帰する場合	10-130
図10.114	POEブロック図	10-132
図10.115	ローレベル検出動作	10-137
図10.116	出力レベル検出動作	10-138
図10.117	立ち下がりエッジ検出動作	10-139
11.	ウォッチドッグタイマ (WDT)	
図11.1	WDTのブロック図	11-2
図11.2	ウォッチドッグタイマモード時の動作	11-6
図11.3	インターバルタイマモード時の動作	11-6
図11.4	オーバフローフラグ (OVF) のセットタイミング	11-7
図11.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	11-8
図11.6	TCNT、TCSRへの書き込み	11-9
図11.7	RSTCSRへの書き込み	11-9
図11.8	TCNTのライトとカウントアップの競合	11-10

	図11.9	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例	11-11
12.		シリアルコミュニケーションインタフェース (SCI)	
	図12.1	SCIのブロック図	12-2
	図12.2	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	12-18
	図12.3	調歩同期式モードの受信データサンプリングタイミング	12-20
	図12.4	出力クロックと送信データの位相関係 (調歩同期式モード)	12-21
	図12.5	SCIの初期化フローチャートの例	12-22
	図12.6	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	12-23
	図12.7	シリアル送信のフローチャートの例	12-24
	図12.8	SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	12-25
	図12.9	シリアル受信データフローチャートの例 (1)	12-26
	図12.9	シリアル受信データフローチャートの例 (2)	12-27
	図12.10	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例)	12-28
	図12.11	マルチプロセッサシリアル送信のフローチャートの例	12-29
	図12.12	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	12-30
	図12.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	12-31
	図12.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	12-32
	図12.14	クロック同期式通信のデータフォーマット (LSBファーストの場合)	12-33
	図12.15	SCIの初期化フローチャートの例	12-34
	図12.16	クロック同期式モードの送信時の動作例	12-35
	図12.17	シリアル送信のフローチャートの例	12-36
	図12.18	SCIの受信時の動作例	12-37
	図12.19	シリアルデータ受信フローチャートの例	12-38
	図12.20	シリアル送受信同時動作のフローチャートの例	12-40
	図12.21	DTCによるクロック同期式送信時の例	12-43
13.		A/D変換器	
	図13.1	A/D変換器のブロック図 (1モジュール当たり)	13-2
	図13.2	A/D変換タイミング	13-12
	図13.3	外部トリガ入力タイミング	13-13
	図13.4	A/D変換精度の定義 (1)	13-15
	図13.5	A/D変換精度の定義 (2)	13-15
	図13.6	アナログ入力回路の例	13-16
	図13.7	アナログ入力保護回路の例	13-18
	図13.8	アナログ入力端子等価回路	13-18
14.		コンペアマッチタイマ (CMT)	
	図14.1	CMTのブロック図	14-1
	図14.2	カウンタの動作	14-4
	図14.3	カウントタイミング	14-4
	図14.4	CMFのセットタイミング	14-5
	図14.5	CPUによるCMFのクリアタイミング	14-6
	図14.6	CMCNTの書き込みとコンペアマッチの競合	14-6
	図14.7	CMCNTのワード書き込みとカウントアップの競合	14-7
	図14.8	CMCNTのバイト書き込みとカウントアップの競合	14-7

15.	コントローラエリアネットワーク2 (HCAN2)	
	図15.1 HCAN2のブロック図.....	15-2
	図15.2 レジスタ構造図.....	15-7
	図15.3 スタンダードフォーマット.....	15-30
	図15.4 エクステンデッドフォーマット.....	15-31
	図15.5 ハードウェアリセット時のフローチャート.....	15-43
	図15.6 ソフトウェアリセット時のフローチャート.....	15-44
	図15.7 1ビットタイムの詳細.....	15-45
	図15.8 イベントトリガによる送信時のフローチャート.....	15-48
	図15.9 送信メッセージの取り消しのフローチャート.....	15-50
	図15.10 メッセージ送信要求.....	15-51
	図15.11 タイムトリガシステム例.....	15-53
	図15.12 受信時のフローチャート.....	15-55
	図15.13 未読メッセージオーバーライトのフローチャート.....	15-57
	図15.14 受信ボックスIDの変更と受信ボックスから受信ボックスへの変更.....	15-59
	図15.15 HCAN2スリープモードのフローチャート.....	15-60
	図15.16 HCAN2ホールドモードのフローチャート.....	15-62
	図15.17 DTCの転送フローチャート.....	15-64
	図15.18 HA13721を用いたハイスピードインタフェース.....	15-65
16.	モータマネージメントタイマ (MMT)	
	図16.1 MMTブロック図.....	16-2
	図16.2 動作モードの設定手順例.....	16-8
	図16.3 TCNTのカウント動作例.....	16-9
	図16.4 カウンタとレジスタの動作例.....	16-11
	図16.5 PWM波形生成例.....	16-13
	図16.6 TCNTカウンタクリアの動作例.....	16-14
	図16.7 PWM周期に同期したトグル出力波形例.....	16-15
	図16.8 カウントタイミング.....	16-16
	図16.9 TCNTカウンタクリアタイミング.....	16-17
	図16.10 TDCNT動作タイミング.....	16-17
	図16.11 バッファ動作タイミング.....	16-18
	図16.12 TGI割り込みタイミング.....	16-19
	図16.13 CPUによるステータスフラグのクリアタイミング.....	16-19
	図16.14 DTCによるステータスフラグのクリアタイミング.....	16-20
	図16.15 バッファレジスタのライトとコンペアマッチの競合.....	16-21
	図16.16 コンペアレジスタのライトとコンペアマッチの競合.....	16-22
	図16.17 タイマジェネラルレジスタへの書き込み (1周期分出力されない例).....	16-23
	図16.18 POEブロック図.....	16-24
	図16.19 ローレベル検出動作.....	16-28
18.	I/Oポート	
	図18.1 ポートA.....	18-1
	図18.2 ポートB.....	18-3
	図18.3 ポートD.....	18-5
	図18.4 ポートE.....	18-7
	図18.5 ポートF.....	18-9
19.	フラッシュメモリ (F-ZTAT版)	
	図19.1 フラッシュメモリのブロック図.....	19-2

図19.2	フラッシュメモリに関する状態遷移	19-3
図19.3	ブートモード	19-4
図19.4	ユーザプログラムモード	19-5
図19.5	フラッシュメモリのブロック構成	19-6
図19.6	ユーザプログラムモードにおける書き込み/消去例	19-14
図19.7	RAMによるエミュレーションフロー	19-15
図19.8	RAMのオーバラップ例 (RAM[2:0]=b'000の場合)	19-16
図19.9	プログラム/プログラムベリファイフロー	19-18
図19.10	イレース/イレースベリファイフロー	19-20
図19.11	電源投入/切断タイミング (ブートモード)	19-25
図19.12	電源投入/切断タイミング (ユーザプログラムモード)	19-26
図19.13	モード遷移タイミング (例: ブートモード→ユーザモード⇔ ユーザプログラムモード)	19-27
20.	マスクROM	
図20.1	マスクROMのブロック図	20-1
22.	ハイパフォーマンスユーザデバッグインタフェース (H-UDI)	
図22.1	H-UDIのブロック図	22-2
図22.2	データ入出力タイミングチャート (1)	22-7
図22.3	データ入出力タイミングチャート (2)	22-8
図22.4	データ入出力タイミングチャート (3)	22-8
図22.5	シリアルデータ入出力	22-10
23.	アドバンストユーザデバッグ (AUD)	
図23.1	AUDブロック図	23-1
図23.2	データ出力例 (32ビット出力)	23-4
図23.3	分岐が連続した場合の出力例	23-5
図23.4	AUDATA入力フォーマット	23-5
図23.5	リード動作例 (バイトリード)	23-6
図23.6	ライト動作例 (ロングワードライト)	23-7
図23.7	エラー発生例 (ロングワードリード)	23-7
24.	低消費電力状態	
図24.1	モード遷移図	24-3
図24.2	ソフトウェアスタンバイモード時のNMIタイミング	24-10
図24.3	ハードウェアスタンバイモードのタイミング	24-11
図24.4	HSTBY端子外付け回路例	24-12
25.	電気的特性	
図25.1	出力負荷回路	25-4
図25.2	システムクロックタイミング	25-6
図25.3	EXTALクロック入力タイミング	25-6
図25.4	発振安定時間	25-6
図25.5	リセット入力タイミング	25-8
図25.6	リセット入力タイミング	25-8
図25.7	割り込み信号入力タイミング	25-9
図25.8	割り込み信号出力タイミング	25-9
図25.9	バス権解放タイミング	25-9
図25.10	基本サイクル (ノーウェイト)	25-11
図25.11	基本サイクル (ソフトウェアウェイト)	25-12
図25.12	基本サイクル (2ソフトウェアウェイト+ $\overline{\text{WAIT}}$ 信号によるウェイト)	25-13

図25.13	MTU入出力タイミング	25-14
図25.14	MTUクロック入力タイミング	25-14
図25.15	I/Oポート入出力タイミング	25-15
図25.16	ウォッチドッグタイマタイミング	25-16
図25.17	入力クロックタイミング	25-17
図25.18	SCI入出力タイミング	25-17
図25.19	MMT入出力タイミング	25-18
図25.20	POE入出力タイミング	25-19
図25.21	HCAN2入出力タイミング	25-19
図25.22	外部トリガ入力タイミング	25-20
図25.23	H-UDIクロックタイミング	25-21
図25.24	H-UDI TRSTタイミング	25-21
図25.25	H-UDI入出力タイミング	25-22
図25.26	AUDリセットタイミング	25-24
図25.27	ブランチトレース時タイミング	25-24
図25.28	RAMモニタ時タイミング	25-24
図25.29	UBCトリガタイミング	25-25

付録

図D.1	FP-100M	付録-56
------	---------------	-------

表目次

2. CPU	
表2.1 レジスタの初期値	2-5
表2.2 ワードデータの符号拡張	2-7
表2.3 遅延分岐命令	2-7
表2.4 Tビット	2-7
表2.5 イミディエイトデータによる参照	2-8
表2.6 絶対アドレスによる参照	2-8
表2.7 ディスプレースメントによる参照	2-9
表2.8 アドレッシングモードと実効アドレス	2-10
表2.9 命令形式	2-13
表2.10 命令の分類	2-16
3. MCU動作モード	
表3.1 動作モードの選択	3-1
表3.2 クロックモードの選択	3-2
表3.3 端子構成	3-2
4. クロック発振器	
表4.1 ダンピング抵抗値	4-2
表4.2 水晶発振子の特性	4-2
5. 例外処理	
表5.1 例外要因の種類と優先順位	5-1
表5.2 例外要因検出と例外処理開始タイミング	5-2
表5.3 例外処理ベクタテーブル	5-3
表5.4 例外処理ベクタテーブルアドレスの算出法	5-4
表5.5 リセット状態	5-4
表5.6 バスサイクルとアドレスエラー	5-6
表5.7 割り込み要因	5-7
表5.8 割り込み優先順位	5-8
表5.9 命令による例外の種類	5-8
表5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生	5-10
表5.11 例外処理終了後のスタックの状態	5-11
6. 割り込みコントローラ (INTC)	
表6.1 端子構成	6-3
表6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	6-11
表6.3 割り込み応答時間	6-17
8. データトランスファコントローラ (DTC)	
表8.1 割り込み要因とDTCベクタアドレスおよび対応するDTE	8-10
表8.2 ノーマルモードのレジスタ機能	8-13
表8.3 リピートモードのレジスタ機能	8-14
表8.4 ブロック転送モードのレジスタ機能	8-15
表8.5 DTCの実行状態	8-17
表8.6 実行状態に必要なステート数	8-18

9.	バスステートコントローラ (BSC)	
表9.1	端子構成.....	9-3
表9.2	アドレスマップ.....	9-5
表9.3	内蔵周辺I/Oレジスタへのアクセス.....	9-14
10.	マルチファンクションタイマパルスユニット (MTU)	
表10.1	MTUの機能一覧.....	10-2
表10.2	端子構成.....	10-5
表10.3	CCLR2~CCLR0 (チャンネル0、3、4)	10-8
表10.4	CCLR2~CCLR0 (チャンネル1、2)	10-9
表10.5	TPSC2~TPSC0 (チャンネル0)	10-9
表10.6	TPSC2~TPSC0 (チャンネル1)	10-9
表10.7	TPSC2~TPSC0 (チャンネル2)	10-10
表10.8	TPSC2~TPSC0 (チャンネル3、4)	10-10
表10.9	MD3~MD0.....	10-12
表10.10	TIORH_0 (チャンネル0)	10-13
表10.11	TIORH_0 (チャンネル0)	10-14
表10.12	TIORL_0 (チャンネル0)	10-15
表10.13	TIORL_0 (チャンネル0)	10-16
表10.14	TIOR_1 (チャンネル1)	10-17
表10.15	TIOR_1 (チャンネル1)	10-18
表10.16	TIOR_2 (チャンネル2)	10-19
表10.17	TIOR_2 (チャンネル2)	10-20
表10.18	TIORH_3 (チャンネル3)	10-21
表10.19	TIORH_3 (チャンネル3)	10-22
表10.20	TIORL_3 (チャンネル3)	10-23
表10.21	TIORL_3 (チャンネル3)	10-24
表10.22	TIORH_4 (チャンネル4)	10-25
表10.23	TIORH_4 (チャンネル4)	10-26
表10.24	TIORL_4 (チャンネル4)	10-27
表10.25	TIORL_4 (チャンネル4)	10-28
表10.26	出力レベルセレクト機能.....	10-36
表10.27	出力レベルセレクト機能.....	10-36
表10.28	出力レベルセレクト機能.....	10-38
表10.29	レジスタの組み合わせ.....	10-47
表10.30	カスケード接続組み合わせ.....	10-50
表10.31	各PWM出力のレジスタと出力端子.....	10-52
表10.32	位相計数モードクロック入力端子.....	10-56
表10.33	位相計数モード1のアップ/ダウンカウント条件.....	10-57
表10.34	位相計数モード2のアップ/ダウンカウント条件.....	10-58
表10.35	位相計数モード3のアップ/ダウンカウント条件.....	10-59
表10.36	位相計数モード4のアップ/ダウンカウント条件.....	10-60
表10.37	リセット同期PWMモード時の出力端子.....	10-62
表10.38	リセット同期PWMモード時のレジスタ設定.....	10-62
表10.39	相補PWMモード時の出力端子.....	10-65
表10.40	相補PWMモード時のレジスタ設定.....	10-65
表10.41	初期設定の必要なレジスタとカウンタ	10-72
表10.42	MTU割り込み一覧.....	10-87

表10.43	モード遷移の組み合わせ	10-110
表10.44	端子構成	10-133
表10.45	端子の組み合わせ	10-133
11.	ウォッチドッグタイマ (WDT)	
表11.1	端子構成	11-2
表11.2	WDT (インターバルタイマモード時) の割り込み要因	11-8
12.	シリアルコミュニケーションインタフェース (SCI)	
表12.1	端子構成	12-3
表12.2	BRRの設定値Nと実効ビットレート B_0 の関係	12-10
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (1)	12-11
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (2)	12-11
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (3)	12-12
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (4)	12-12
表12.4	ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	12-13
表12.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	12-14
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (1)	12-15
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (2)	12-15
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (3)	12-16
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕 (4)	12-16
表12.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	12-17
表12.8	シリアル送信/受信フォーマット (調歩同期式モード)	12-19
表12.9	SSRのステータスフラグの状態と受信データの処理	12-26
表12.10	SCI割り込み要因	12-41
13.	A/D変換器	
表13.1	端子構成	13-3
表13.2	チャンネルセレクト一覧表	13-7
表13.3	A/D変換時間 (シングルモード)	13-12
表13.4	A/D変換時間 (スキャンモード)	13-12
表13.5	A/D変換器の割り込み要因	13-14
表13.6	アナログ端子の規格	13-18
15.	コントローラエリアネットワーク2 (HCAN2)	
表15.1	端子一覧表	15-5
表15.2	メールボックスコンフィグレーションビットの設定	15-36
表15.3	TCTビット設定時のメッセージデータエリアの構成	15-36
表15.4	BCRに設定可能なレジスタ値の範囲	15-45
表15.5	BCRのTSEG1、TSEG2の設定可能な範囲	15-46
表15.6	HCAN2の割り込み要因	15-63
16.	モータマネージメントタイマ (MMT)	
表16.1	端子構成	16-3
表16.2	TBRU~TBRWの初期値と初期出力の関係	16-12
表16.3	A/D変換のスタートタイミングと動作モードの関係	16-15
表16.4	MMTの割り込み要因	16-16
表16.5	端子構成	16-24
17.	ピンファンクションコントローラ (PFC)	
表17.1	マルチプレクス一覧表 (ポートA)	17-1
表17.2	マルチプレクス一覧表 (ポートB)	17-2

表17.3	マルチプレクス一覧表 (ポートD)	17-2
表17.4	マルチプレクス一覧表 (ポートE)	17-3
表17.5	マルチプレクス一覧表 (ポートF)	17-4
表17.6	動作モード別端子機能一覧 (1)	17-5
表17.7	動作モード別端子機能一覧 (2)	17-8
18.	I/Oポート	
表18.1	ポートAデータレジスタL (PADRL) の読み出し/書き込み動作	18-3
表18.2	ポートBデータレジスタ (PBDR) の読み出し/書き込み動作	18-4
表18.3	ポートDデータレジスタL (PDDRL) の読み出し/書き込み動作	18-6
表18.4	ポートEデータレジスタH, L (PEDRH, L) の読み出し/書き込み動作	18-9
表18.5	ポートFデータレジスタ (PFDR) の読み出し/書き込み動作	18-10
19.	フラッシュメモリ (F-ZTAT版)	
表19.1	ブートモードとユーザプログラムモードの相違点	19-3
表19.2	端子構成	19-7
表19.3	プログラミングモード選択方法	19-11
表19.4	ブートモードの動作	19-13
表19.5	ビットレート自動合わせ込みが可能な周辺クロック (Pφ) 周波数	19-13
22.	ハイパフォーマンスユーザデバッグインタフェース (H-UDI)	
表22.1	端子構成	22-3
表22.2	H-UDIレジスタのシリアル転送特性	22-4
23.	アドバンストユーザデバッグ (AUD)	
表23.1	端子構成	23-2
表23.2	Readyフラグフォーマット	23-6
24.	低消費電力状態	
表24.1	各モードでの本LSIの内部状態	24-2
表24.2	端子構成	24-3
25.	電気的特性	
表25.1	絶対最大定格	25-1
表25.2	DC特性	25-2
表25.3	出力許容電流値	25-3
表25.4	クロックタイミング	25-5
表25.5	制御信号タイミング	25-7
表25.6	バスタイミング	25-10
表25.7	マルチファンクションタイマパルスユニットタイミング	25-14
表25.8	I/Oポートタイミング	25-15
表25.9	ウォッチドッグタイマタイミング	25-16
表25.10	シリアルコミュニケーションインタフェースタイミング	25-16
表25.11	モータマネージメントタイマ (MMT) タイミング	25-18
表25.12	ポートアウトプットイネーブル (POE) タイミング	25-18
表25.13	HCAN2タイミング	25-19
表25.14	A/D変換器タイミング	25-20
表25.15	H-UDIタイミング	25-21
表25.16	AUDタイミング	25-23
表25.17	UBCトリガタイミング	25-25
表25.18	A/D変換器特性	25-25
表25.19	フラッシュメモリ特性	25-26

付録

表B.1	端子状態	付録-50
表B.2	端子状態	付録-52
表B.3	端子状態	付録-52
表B.4	端子状態	付録-53
表B.5	端子状態 (1)	付録-53
表B.5	端子状態 (2)	付録-54

1. 概要

SH7047 グループは、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7047 グループの CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート（1 システムクロックサイクル）で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能／高機能なシステムを組むことができるようになります。

さらに SH7047 グループはシステム構成に必要な周辺機能として、大容量 ROM、RAM、タイマ、シリアルコミュニケーションインタフェース（SCI）、コントローラエリアネットワーク 2（HCAN2）、A/D 変換器、割り込みコントローラ（INTC）、I/O ポートなどを内蔵しています。

また、SH7047 では外部メモリアクセスサポート機能により、ROM や SRAM と直接接続が行えます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTAT™（Flexible Zero Turn Around Time）とマスク ROM 版があります。フラッシュメモリは SH7047 グループの書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み／消去することもできます。これにより、ユーザサイトで LSI をボードに組み込んだままの書き換えが可能です。

1.1 特長

- 32ビットRISC（Reduced Instruction Set Computer）タイプCPU
 - 命令長：16ビット固定長による、コード効率の向上
 - ロードストアアーキテクチャ（基本演算はレジスタ間で実行）
 - 汎用レジスタ：32ビット×16本
 - パイプライン：5段パイプライン方式
 - 乗算器内蔵：32×32→64乗算を2～4サイクル実行
 - 基本命令：62種類、C言語指向の命令セット
- 豊富な周辺機能
 - データトランスファコントローラ(DTC)
 - マルチファンクションタイマパルスユニット(MTU)
 - モータマネジメントタイマ(MMT)
 - コンペアマッチタイマ（CMT）
 - ウォッチドッグタイマ(WDT)

1. 概要

調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)

10ビットA/D変換器

クロック発振器

コントローラエリアネットワーク2 (HCAN2)

ユーザブレイクコントローラ (UBC) *

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) *

アドバンストユーザデバッガ (AUD) *

【注】 * フラッシュメモリ版のみ搭載

• 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F7047	256K バイト	12K バイト	
マスク ROM 版	HD6437049	128K バイト	8K バイト	

• 最大動作周波数と動作温度範囲

型名	最大動作周波数 (MHz) (システムクロック(θ), 周辺クロック($P\theta$))	動作温度範囲 (°C)
HD64F7047F50/HD6437049F50	(50、25) または (40、40)	-20~+75
HD64F7047FW40/HD6437049FW40	(40、40)	-40~+85
HD64F7047FJ40/HD6437049FJ40	(40、40)	-40~+85

• 汎用入出力ポート

型名	入出力ポート	入力ポート
HD64F7047/HD6437049	53 本	16 本

• 各種低消費電力モードをサポート

• 小型パッケージ

型名	パッケージ	(コード)	ボディサイズ	ピンピッチ
HD64F7047/HD6437049	QFP-100	FP-100M	14.0×14.0mm	0.5mm

1.2 内部ブロック図

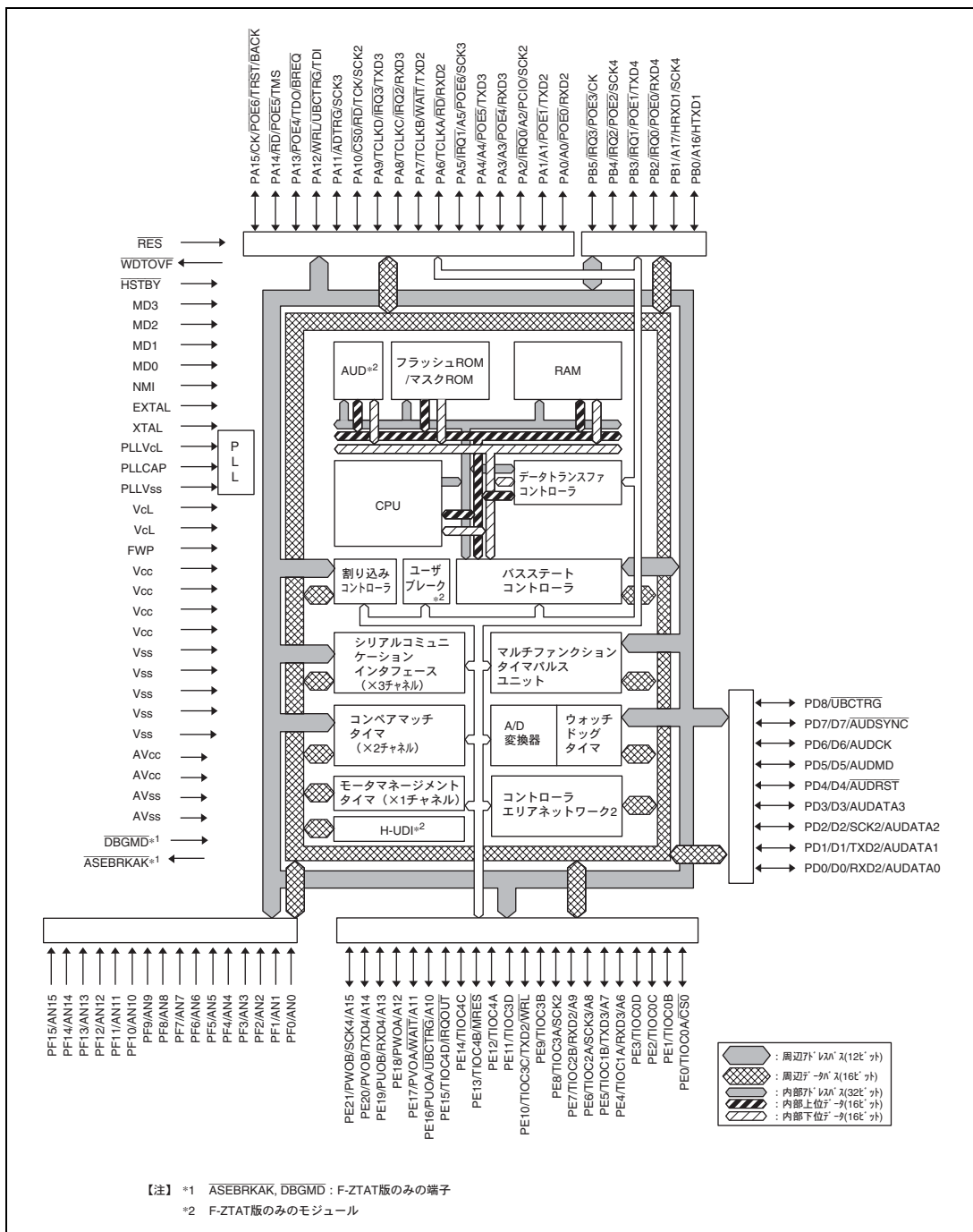


図 1.1 SH7047 内部ブロック図

1. 概要

1.3 ピン配置図

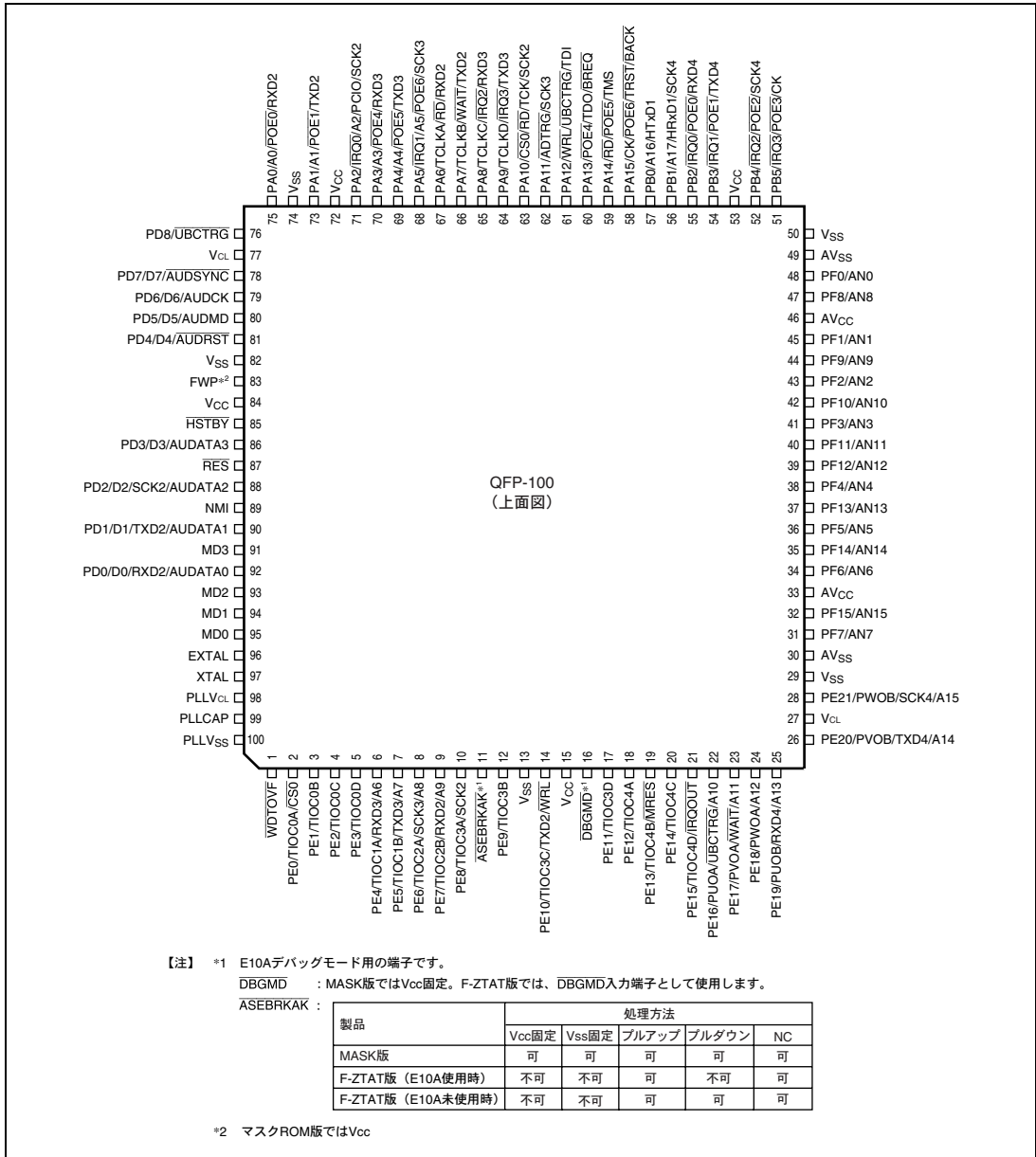


図 1.2 SH7047 ピン配置図

1.4 端子機能

分類	記号	入出力	名称	機能
電源	VCC	入力	電源	電源端子です。すべての VCC 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VSS	入力	グラウンド	グラウンド端子です。すべての VSS 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。
	VCL	出力	内部降圧電源	内部降圧電源用の外付け容量端子です。すべての VCL 端子を 0.47 μ F (-10%/+100%) のコンデンサを介して VSS に接続してください (端子近くに配置)。
クロック	PLLVCL	出力	PLL 用電源	内蔵 PLL 発振器の内部降圧電源用の外付け容量端子です。0.47 μ F (-10%/+100%) のコンデンサを介して PLLVSS に接続してください (端子近くに配置)。
	PLLVSS	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンド端子です。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロック発振器」を参照してください。
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロック発振器」を参照してください。
	CK	出力	システムクロック	外部デバイスにシステムクロックを供給します。
動作モードコントロール	MD3~MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。
	FWP	入力	フラッシュメモリ書き込み阻止	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。フラッシュメモリの書き込み/消去をプロテクトすることができます。マスク ROM 版では Vcc 端子となります。

1. 概要

分類	記号	入出力	名称	機能
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子が Low レベルになると、パワーオンリセット状態になります。
	$\overline{\text{MRES}}$	入力	マニュアルリセット	この端子が Low レベルになると、マニュアルリセット状態になります。
	HSTBY	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{WDTOVF}}$	出力	ウォッチドックタイムオーバーフロー	WDT からのオーバーフロー出力信号です。 ブルダウンが必要な場合は、1M Ω 以上の抵抗を使用してください。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アクリッジ	バス権を外部デバイスに解放したことを示します。 $\overline{\text{BREQ}}$ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$	入力	割り込み要求 3~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	$\overline{\text{IRQOUT}}$	出力	割り込み要求出力	割り込み要因が発生したことを示します。バスリリース中でも割り込み発生を知ることができます。
アドレスバス	A17~A0	出力	アドレスバス	アドレスを出力します。
データバス	D7~D0	入出力	データバス	8 ビットの双方向バスです。
バス制御	$\overline{\text{CS0}}$	出力	チップセレクト 0	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	WRL	出力	下位側書き込み	外部のデータの低位 8 ビット (ビット 7~0) に書き込みすることを示します。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。

分類	記号	入出力	名称	機能
マルチファンクション タイマパルスユニット (MTU)	TCLKA TCLKB TCLKC TCLKD	入力	MTU タイマ クロック入 力	タイマの外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル0)	TGRA_0~TGRD_0のインットキャブチャ入力/アウトット コンペア出力/PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル1)	TGRA_1、TGRB_1のインットキャブチャ入力/アウトット コンペア出力/PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル2)	TGRA_2、TGRB_2のインットキャブチャ入力/アウトット コンペア出力/PWM 出力端子です。
	TIOC3A TIOC3B TIOC3C TIOC3D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル3)	TGRA_3~TGRD_3のインットキャブチャ入力/アウトット コンペア出力/PWM 出力端子です。
	TIOC4A TIOC4B TIOC4C TIOC4D	入出力	MTU イン ットキャ ブチャ/ アウト ットコ ンペア (チャ ネル4)	TGRA_4~TGRB_4のインットキャブチャ入力/アウトット コンペア出力/PWM 出力端子です。
	シリアルコ ミュニケ ーション インタフ ェース (SCI)	TxD2, TxD3, TxD4	出力	送信デー タ
RxD2, RxD3, RxD4		入力	受信デー タ	デー タ入 力端 子で す。
SCK2, SCK3, SCK4		入出力	シリアル クロック	クロ ック 入出 力端 子で す。

1. 概要

分類	記号	入出力	名称	機能
HCAN2	HTxD1	出力	送信データ	CAN バス送信用端子です。
	HRxD1	入力	受信データ	CAN バス受信用端子です。
モータマネ ージメント タイマ (MMT)	PUOA	出力	PWMU 相正 相	6 相ノンオーバーラップ PWM 波形の U 相出力端子です。
	PUOB	出力	PWMU 相逆 相	6 相ノンオーバーラップ PWM 波形の \bar{U} 相出力端子です。
	PVOA	出力	PWMV 相正 相	6 相ノンオーバーラップ PWM 波形の V 相出力端子です。
	PVOB	出力	PWMV 相逆 相	6 相ノンオーバーラップ PWM 波形の \bar{V} 相出力端子です。
	PWOA	出力	PWMW 相正 相	6 相ノンオーバーラップ PWM 波形の W 相出力端子です。
	PWOB	出力	PWMW 相逆 相	6 相ノンオーバーラップ PWM 波形の \bar{W} 相出力端子です。
	PCIO	入出力	PWM 制御	外部入力によるカウンタリセット入力端子、または PWM 周期に同期したトグル出力端子です。
MTU、MMT 出力制御	POE6~POE0	入力	ポート出力 制御	MTU または MMT 波形出力端子をハイインピーダンス状態にする要求信号の入力端子です。
A/D 変換器	AN15~AN0	入力	アナログ 入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換 トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVCC	入力	アナログ 電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源(+5V)に接続してください。 すべての AVCC 端子を電源に接続してください。開放端子があると動作しません。
	AVSS	入力	アナログ グランド	A/D 変換器のグランド端子です。システムの電源(0V)に接続してください。 すべての AVSS 端子をシステムの電源に接続してください。開放端子があると動作しません。
I/O ポート	PA15~PA0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PB5~0	入出力	汎用ポート	6 ビットの汎用入出力ポート端子です。
	PD8~PD0	入出力	汎用ポート	9 ビットの汎用入出力ポート端子です。
	PE21~PE0	入出力	汎用ポート	22 ビットの汎用入出力ポート端子です。
	PF15~0	入力	汎用ポート	16 ビットの汎用入力ポート端子です。

分類	記号	入出力	名称	機能
ユーザブ レーク コン ローラ (UBC) (フラッシュ 版のみ)	UBCTR \bar{G}	出力	ユーザブ レーク トリガ 出力	UBC 条件一致のトリガ出力端子です。
ハイパフ ォー マンス ユーザ デバ グイン タフ ェース (H-UDI) (フラッシュ 版のみ)	TCK	入力	テストク ロック	テストクロック入力端子です。
	TMS	入力	テストモ ードセ レクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデ ータ入 力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデ ータ出 力	インストラクションとデータのシリアル出力端子です。
	\bar{TRST}	入力	テストリ セット	初期化信号入力端子です。
アドバ ンス トユー ザデ バガ (AUD) (フラッシュ 版のみ)	AUDATA3~ AUDATA0	入出力	AUD デー タ	ブランチトレースモード時は分岐先アドレス出力端子、RAM モニタモード時はモニタアドレス入力/データ入出力端子となります。
	\bar{AUDRST}	入力	AUD リセ ット	リセット信号入力端子です。
	AUDMD	入力	AUD モー ド	モード選択信号入力端子です。 ブランチトレースモード時はローレベル、RAM モニタモード時はハイレベルを入力します。
	AUDCK	入出力	AUD クロ ック	ブランチトレースモード時は同期クロック出力端子、RAM モニタモード時は同期クロック入力端子となります。
	$\bar{AUDSYNC}$	入出力	AUD 同期 信号	ブランチトレースモード時はデータ先頭位置認識信号出力端子、RAM モニタモード時はデータ先頭位置認識信号入力端子となります。
E10 イン タフ ェース (フラッシュ 版のみ)	$\bar{ASEBRKAK}$	出力	ブレーク モード アクノ リッジ	E10A エミュレータがブレークモードに入ったことを示します。 E10A との接続については、「SH7047F E10A エミュレータユーザーズマニュアル」を参照してください。
	\bar{DBGMD}	入力	デバグ モー ド	E10A エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイ入力します。デバッグモード時は、ユーザボード上でロー入力します。E10A との接続については、「SH7047F E10A エミュレータユーザーズマニュアル」を参照してください。

1. 概要

2. CPU

2.1 特長

- 汎用レジスタ：32ビット×16本
- 基本命令：62種類
- アドレッシングモード：11種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Rn)
 - ポストインクリメントレジスタ間接 (@Rn+)
 - プリデクリメントレジスタ間接 (@-Rn)
 - ディスプレイースメント付きレジスタ間接 (@disp:4,Rn)
 - インデックス付きレジスタ間接 (@R0,Rn)
 - ディスプレイースメント付きGBR間接 (@disp:8,GBR)
 - インデックス付きGBR間接 (@R0,GBR)
 - ディスプレイースメント付きPC相対 (@disp:8,PC)
 - PC相対 (disp:8/disp:12/Rn)
 - イミディエイト (#imm:8)

2.2 レジスタの構成

レジスタは、汎用レジスタ (32ビット×16本)、コントロールレジスタ (32ビット×3本)、システムレジスタ (32ビット×4本) の3種類があります。

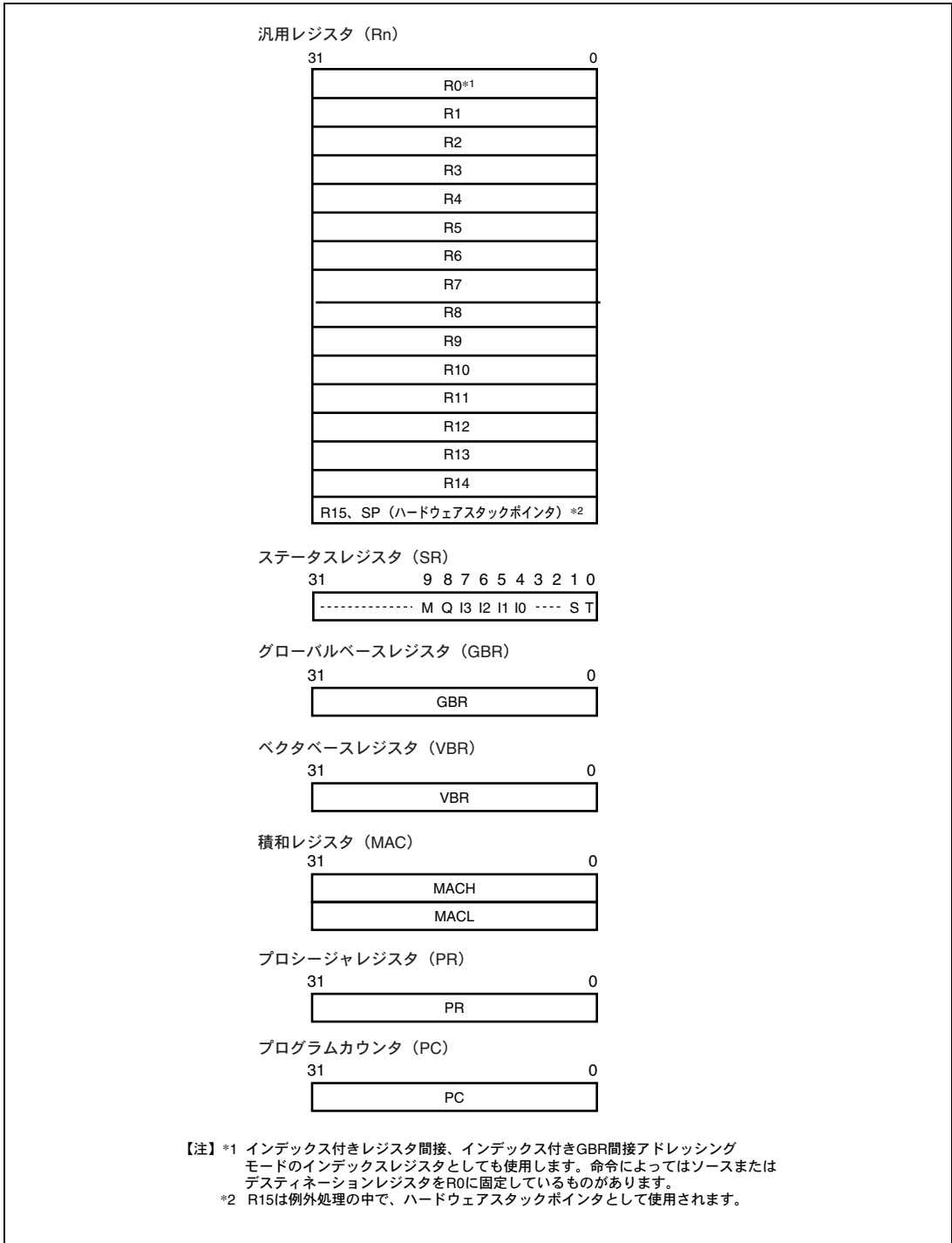


図 2.1 CPU 内部レジスタ構成

2.2.1 汎用レジスタ (Rn)

汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

2.2.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の 3 本があります。SR は処理の状態を表します。GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

(1) ステータスレジスタ (SR)

ビット	ビット名	初期値	R/W	説明
31	—	0	R/W	リザーブビット 0 が読み出されます。書き込みは必ず 0 を書き込んでください。
30	—	0	R/W	
29	—	0	R/W	
28	—	0	R/W	
27	—	0	R/W	
26	—	0	R/W	
25	—	0	R/W	
24	—	0	R/W	
23	—	0	R/W	
22	—	0	R/W	
21	—	0	R/W	
20	—	0	R/W	
19	—	0	R/W	
18	—	0	R/W	
17	—	0	R/W	
16	—	0	R/W	
15	—	0	R/W	
14	—	0	R/W	
13	—	0	R/W	
12	—	0	R/W	
11	—	0	R/W	
10	—	0	R/W	
9	M	不定	R/W	DIV0U、DIV0S、DIV1 命令で使います。
8	Q	不定	R/W	DIV0U、DIV0S、DIV1 命令で使います。

2. CPU

ビット	ビット名	初期値	R/W	説明
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	
5	I1	1	R/W	
4	I0	1	R/W	
3, 2	—	すべて 0	R/W	リザーブビット 0 が読み出されます。書き込みは必ず 0 を書き込んでください。
1	S	不定	R/W	S ビット 積和命令で使います。
0	T	不定	R/W	T ビット 以下の命令では、真(1)、偽(0)を表します。 MOVT、CMP/cond、TAS、TST、BT (BT/S)、BF(BF/S)、SETT、CLRT 以下の命令では、キャリ、ポロー、オーバフロー、アンダフローなどを表します。 ADDV、ADDC、SUBV、SUBC、NEGC、DIV0U、DIV0S、DIV1、SHAR、SHAL、SHLR、SHLL、ROTR、ROTL、ROTCR、ROTCL

(2) グローバルベースレジスタ(GBR)

GBR 間接アドレッシングモードのベースアドレスを示します。GBR 間接アドレッシングモードは、内蔵周辺モジュールのレジスタ領域などのデータ転送と論理演算に使用します。

(3) ベクタベースレジスタ(VBR)

例外処理ベクタ領域のベースアドレスを示します。

2.2.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。

(1) 積和レジスタ(MAC)

乗算、積和演算の結果の格納レジスタです。

(2) プロシージャレジスタ(PR)

サブルーチンプロシージャからの戻り先アドレスの格納レジスタです。

(3) プログラムカウンタ(PC)

PC は現在実行中の命令の 4 バイト (2 命令) 先を示しています。

2.2.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区 分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3~I0 は 1111 (H'F)、予約ビットは 0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH, MACL, PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

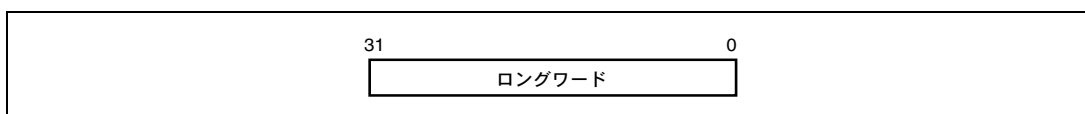


図 2.2 レジスタのデータ形式

2.3.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証されません。特に、ハードウェアスタックポインタ (SP, R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

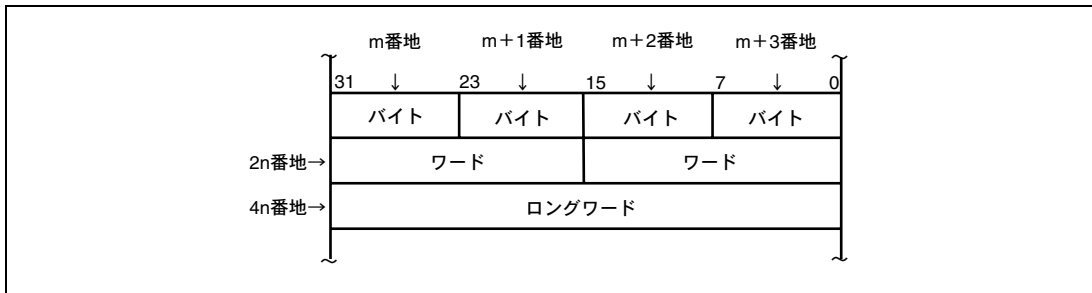


図 2.3 メモリ上でのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令/1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説 明	他の CPU の例
MOV.W @(disp, PC), R1 ADD R1, R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。	ADD.W #H'1234, R0

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET ADD R1, R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0 BRA TRGET

(6) 乗算／積和演算

16×16→32 の乗算を 1~2 ステート、16×16+64→64 の積和演算を 2~3 ステートで実行します。32×32→64 の乗算や、32×32+64→64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0	$R0 \geq R1$ のとき T ビットがセットされます。	CMP.W R1, R0
BT TRGET0	$R0 \geq R1$ のとき TRGET0 へ分岐します。	BGE TRGET0
BF TRGET1	$R0 < R1$ のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1, R0	ADD では T ビットが変化しません。	SUB.W #1, R0
CMP/EQ #0, R0	$R0 = 0$ のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	$R0 = 0$ のとき分岐します。	

2. CPU

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0	MOV.W #H'1234, R0
	.DATA.W H'1234	
32 ビットイミディエイト	MOV.L @(disp, PC), R0	MOV.L #H'12345678, R0
	.DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	.DATA.L H'12345678	

【注】 @(disp, PC)でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照


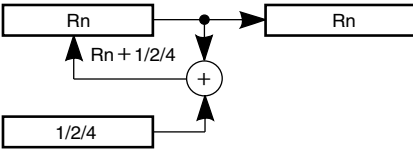
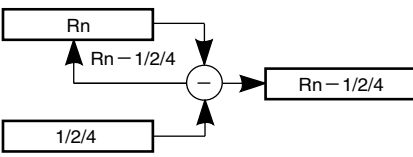
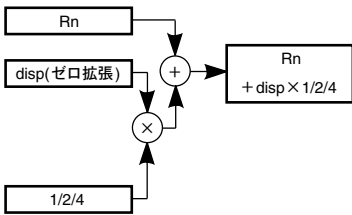
区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @ (disp, PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0, R1), R2	
	
	.DATA.W H'1234	

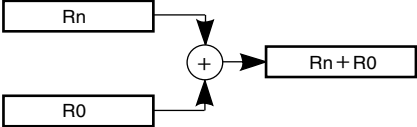
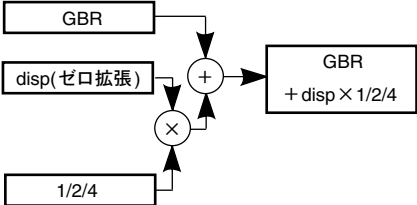
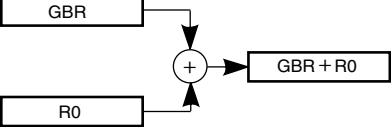
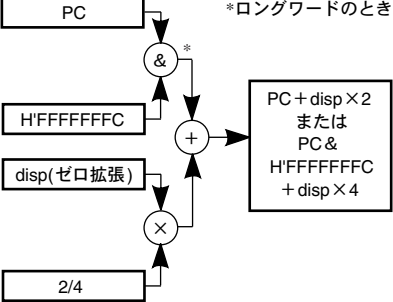
【注】 @ (disp, PC)でイミディエイトデータを参照します。

2.4.2 アドレッシングモード

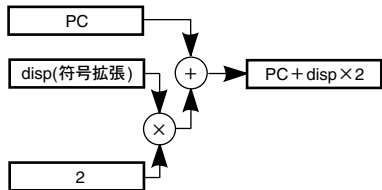
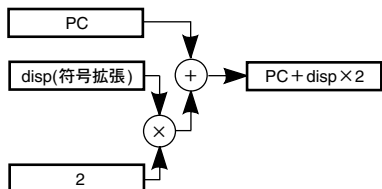
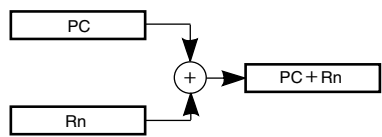
アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 → Rn ワード : Rn + 2 → Rn ロングワード : Rn + 4 → Rn
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 → Rn ワード : Rn - 2 → Rn ロングワード : Rn - 4 → Rn (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@ (disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

アドレッシング モード	命令 フォーマット	実行アドレスの計算方法	計算式
インデックス付き レジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	Rn + R0
ディスプレイースメント 付き GBR 間接	@ (disp: 8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : GBR + disp ワード : GBR + disp × 2 ロングワード : GBR + disp × 4
インデックス付き GBR 間接	@ (R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	GBR + R0
ディスプレイースメント 付き PC 相対	@ (disp: 8, PC)	実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。 	ワード : PC + disp × 2 ロングワード : PC & H'FFFFFFFC + disp × 4

2. CPU

アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + \text{disp} \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + \text{disp} \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		—	—	NOP
n 形式		—	nnnn: レジスタ直接	MOV _T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	ST _S MACH, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメント レジスタ間接	STC.L SR, @-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm, SR
		mmmm: ポストインク リメントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+, SR
		mmmm: レジスタ間接	—	JMP @Rm
		mmmm: Rm を用いた PC 相対	—	BRAF Rm

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	<div style="text-align: center;"> 15 xxxx nnnn mmmm xxxx 0 </div>	mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm, Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm, @Rn
		mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W @Rm+, @Rn+
		mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+, Rn
		mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.L Rm, @-Rn
		mmmm: レジスタ直接	nnnn: インデックス付き レジスタ間接	MOV.L Rm, @(R0, Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd: ディスプレースメント 付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp, Rn),R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd: ディスプレースメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm: レジスタ直接	nnnndddd: ディスプレースメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd: ディスプレースメント付 きレジスタ間接	nnnn: レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd: ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd: ディスプレースメント 付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd: ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		—	dddddddd: PC 相対	BF label
d12 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	—	dddddddddddd: PC 相対	BRA label (label=disp+pc)
nd8 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd: ディスプレースメント 付き PC 相対	nnnn: レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND #imm, R0
		iiiiiii: イミディエイト	—	TRAPA #imm
ni 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD #imm, Rn

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き2進加算	
		ADDV	オーバフロー付き2進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き2進減算	
SUBV	アンドフロー付き2進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	

2. CPU

分 類	命令の種類	オペコード	機 能	命令数
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行 ステート	Tビット
ニーモニックで表示しています。 記号の説明 OP.Sz SRC, DEST OP :オペコード Sz :サイズ SRC :ソース DEST :デスティネーション Rm :ソースレジスタ Rn :デスティネーション レジスタ imm :イミディエイトデータ disp : ディスプレースメント*2	MSB ←→ LSB の順で表示しています。 記号の説明 mmmm :ソース レジスタ nnnn :デスティネーション レジスタ 0000 : R0 0001 : R1 1111 : R15 iiii :イミディエイトデータ dddd :ディスプレースメント	動作の概略を表示しています。 記号の説明 →、← : 転送方向 (xx) :メモリオペランド M/Q/T : SR 内のフラグビット & :ビットごとの論理積 :ビットごとの論理和 ^ :ビットごとの排他的論理和 ~ :ビットごとの論理否定 <<n :左 n ビットシフト >>n :右 n ビットシフト	ノーウェイトのときの値です。 *1	命令実行後の、Tビットの値を表示しています。 記号の説明 - :変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング（×1、×2、×4）されます。

詳細は「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。

2. CPU

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm → 符号拡張 → Rn	1	—
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp×2+PC) → 符号拡張 → Rn	1	—
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp×4+PC) → Rn	1	—
MOV Rm, Rn	0110nnnnmmmm0011	Rm → Rn	1	—
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm → (Rn)	1	—
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm → (Rn)	1	—
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm → (Rn)	1	—
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) → 符号拡張 → Rn	1	—
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) → 符号拡張 → Rn	1	—
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) → Rn	1	—
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn-1 → Rn, Rm → (Rn)	1	—
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn-2 → Rn, Rm → (Rn)	1	—
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn-4 → Rn, Rm → (Rn)	1	—
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) → 符号拡張 → Rn, Rm+1 → Rm	1	—
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) → 符号拡張 → Rn, Rm+2 → Rm	1	—
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) → Rn, Rm+4 → Rm	1	—
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 → (disp+Rn)	1	—
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 → (disp×2+Rn)	1	—
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm → (disp×4+Rn)	1	—
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) → 符号拡張 → R0	1	—
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp×2+Rm) → 符号拡張 → R0	1	—
MOV.L @(disp, Rm), Rn	0101nnnnmmmmdddd	(disp×4+Rm) → Rn	1	—
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm → (R0+Rn)	1	—
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm → (R0+Rn)	1	—
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm → (R0+Rn)	1	—
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) → 符号拡張 → Rn	1	—
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) → 符号拡張 → Rn	1	—
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) → Rn	1	—
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0 → (disp+GBR)	1	—
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0 → (disp×2+GBR)	1	—
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0 → (disp×4+GBR)	1	—

命 令	命令コード	動 作	実行 ステート	Tビット
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) → 符号拡張 → R0	1	—
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) → 符号拡張 → R0	1	—
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) → R0	1	—
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC → R0	1	—
MOVT Rn	0000nnnn00101001	T → Rn	1	—
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm → 下位2バイトの上下バイト 交換 → Rn	1	—
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm → 上下ワード交換 → Rn	1	—
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット → Rn	1	—

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm→ Rn	1	—
ADD #imm, Rn	0111nnnniiiiiiii	Rn+imm→ Rn	1	—
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T→ Rn, キャリ→T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm→ Rn, オーバフロー→T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiiii	R0=imm のとき 1→T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1→T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn ≥ Rm のとき 1→T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn ≥ Rm のとき 1→T	1	比較結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1→T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1→T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1→T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn ≥ 0 のとき 1→T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB→Q, Rm の MSB→M, M^Q→T	1	計算結果
DIV0U	0000000000011001	0→M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn×Rm →MACH,MACL 32×32→64 ビット	2~4* ¹	—

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで $Rn \times Rm$ →MACH,MACL 32×32→64 ビット	2~4* ¹	—
DT Rn	0100nnnn00010000	$Rn-1 \rightarrow Rn$, Rn が 0 のとき 1→T Rn が 0 以外のとき 0→T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張→ Rn	1	—
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→ Rn	1	—
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→ Rn	1	—
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→ Rn	1	—
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで $(Rn) \times (Rm) + MAC$ → MAC 32×32+64→64 ビット	3/(2~4)* ¹	—
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで $(Rn) \times (Rm) + MAC$ → MAC 16×16+64→64 ビット	3/(2)* ¹	—
MULL Rm, Rn	0000nnnnmmmm0111	$Rn \times Rm \rightarrow MACL$ 32×32→32 ビット	2~4* ¹	—
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで $Rn \times Rm \rightarrow MACL$ 16×16→32 ビット	1~3* ¹	—
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで $Rn \times Rm \rightarrow MACL$ 16×16→32 ビット	1~3* ¹	—
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→ Rn	1	—
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→ Rn, ボロー→T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	$Rn-Rm \rightarrow Rn$	1	—
SUBC Rm, Rn	0011nnnnmmmm1010	$Rn-Rm-T \rightarrow Rn$, ボロー→T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	$Rn-Rm \rightarrow Rn$, アンダフロー→T	1	オーバ フロー

【注】*1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	1	—
AND #imm, R0	11001001iiiiiiii	$R0 \& imm \rightarrow R0$	1	—
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	3	—
NOT Rm, Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	1	—
OR Rm, Rn	0010nnnnmmmm1011	$Rn Rm \rightarrow Rn$	1	—

命 令	命令コード	動 作	実行 ステート	Tビット
OR #imm, R0	11001011iiiiiiii	$R0 \mid imm \rightarrow R0$	1	—
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	$(R0+GBR) \mid imm \rightarrow (R0+GBR)$	3	—
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1→T, 1→MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が 0 のとき 1→T	1	テスト 結果
TST #imm, R0	11001000iiiiiiii	$R0 \& imm$, 結果が 0 のとき 1→T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	$(R0+GBR) \& imm$, 結果が 0 のとき 1→T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	1	—
XOR #imm, R0	11001010iiiiiiii	$R0 \wedge imm \rightarrow R0$	1	—
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	3	—

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—

2. CPU

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011 d d d d d d d d	T=0 のとき disp×2+PC→PC, T=1 のとき nop	3/1* ³	—
BF/S label	10001111 d d d d d d d d	遅延分岐、 T=0 のとき disp×2+PC→PC, T=1 のとき nop	3/1* ³	—
BT label	10001001 d d d d d d d d	T=1 のとき disp×2+PC→PC, T=0 のとき nop	3/1* ³	—
BT/S label	10001101 d d d d d d d d	遅延分岐、 T=1 のとき disp×2+PC→PC, T=0 のとき nop	2/1* ³	—
BRA label	1010 d d d d d d d d d d	遅延分岐、 disp×2+PC→PC	2	—
BRAF Rm	0000 m m m m 00100011	遅延分岐、 Rm+PC→PC	2	—
BSR label	1011 d d d d d d d d d d	遅延分岐、 PC→PR, disp×2+PC→PC	2	—
BSRF Rm	0000 m m m m 00000011	遅延分岐、 PC→PR, Rm+PC→PC	2	—
JMP @Rm	0100 m m m m 00101011	遅延分岐、 Rm→PC	2	—
JSR @Rm	0100 m m m m 00001011	遅延分岐、 PC→PR, Rm→PC	2	—
RTS	0000000000001011	遅延分岐、 PR→PC	2	—

【注】*3 分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 → T	1	0
CLRMACH	0000000000101000	0 → MACH, MACL	1	—
LDC Rm, SR	0100 m m m m 00001110	Rm → SR	1	LSB
LDC Rm, GBR	0100 m m m m 00011110	Rm → GBR	1	—
LDC Rm, VBR	0100 m m m m 00101110	Rm → VBR	1	—
LDC.L @Rm+, SR	0100 m m m m 00000111	(Rm) → SR, Rm+4 → Rm	3	LSB
LDC.L @Rm+, GBR	0100 m m m m 00010111	(Rm) → GBR, Rm+4 → Rm	3	—
LDC.L @Rm+, VBR	0100 m m m m 00100111	(Rm) → VBR, Rm+4 → Rm	3	—
LDS Rm, MACH	0100 m m m m 00001010	Rm → MACH	1	—
LDS Rm, MACL	0100 m m m m 00011010	Rm → MACL	1	—
LDS Rm, PR	0100 m m m m 00101010	Rm → PR	1	—

命 令	命令コード	動 作	実行 ステート	Tビット
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) → MACH, Rm+4 → Rm	1	—
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) → MACL, Rm+4 → Rm	1	—
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) → PR, Rm+4 → Rm	1	—
NOP	0000000000001001	無操作	1	—
RTE	0000000000101011	遅延分岐、スタック領域 → PC/SR	4	—
SETT	0000000000011000	1 → T	1	1
SLEEP	0000000000011011	スリープ	3*4	—
STC SR, Rn	0000nnnn00000010	SR → Rn	1	—
STC GBR, Rn	0000nnnn00010010	GBR → Rn	1	—
STC VBR, Rn	0000nnnn00100010	VBR → Rn	1	—
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 → Rn, SR → (Rn)	2	—
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 → Rn, GBR → (Rn)	2	—
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 → Rn, VBR → (Rn)	2	—
STS MACH, Rn	0000nnnn00001010	MACH → Rn	1	—
STS MACL, Rn	0000nnnn00011010	MACL → Rn	1	—
STS PR, Rn	0000nnnn00101010	PR → Rn	1	—
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 → Rn, MACH → (Rn)	1	—
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 → Rn, MACL → (Rn)	1	—
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 → Rn, PR → (Rn)	1	—
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、 (imm×4+VBR)→PC	8	—

【注】*4 スリープ状態に遷移するまでのステート数です。

命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

2.6 処理状態

2.6.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.4に示します。

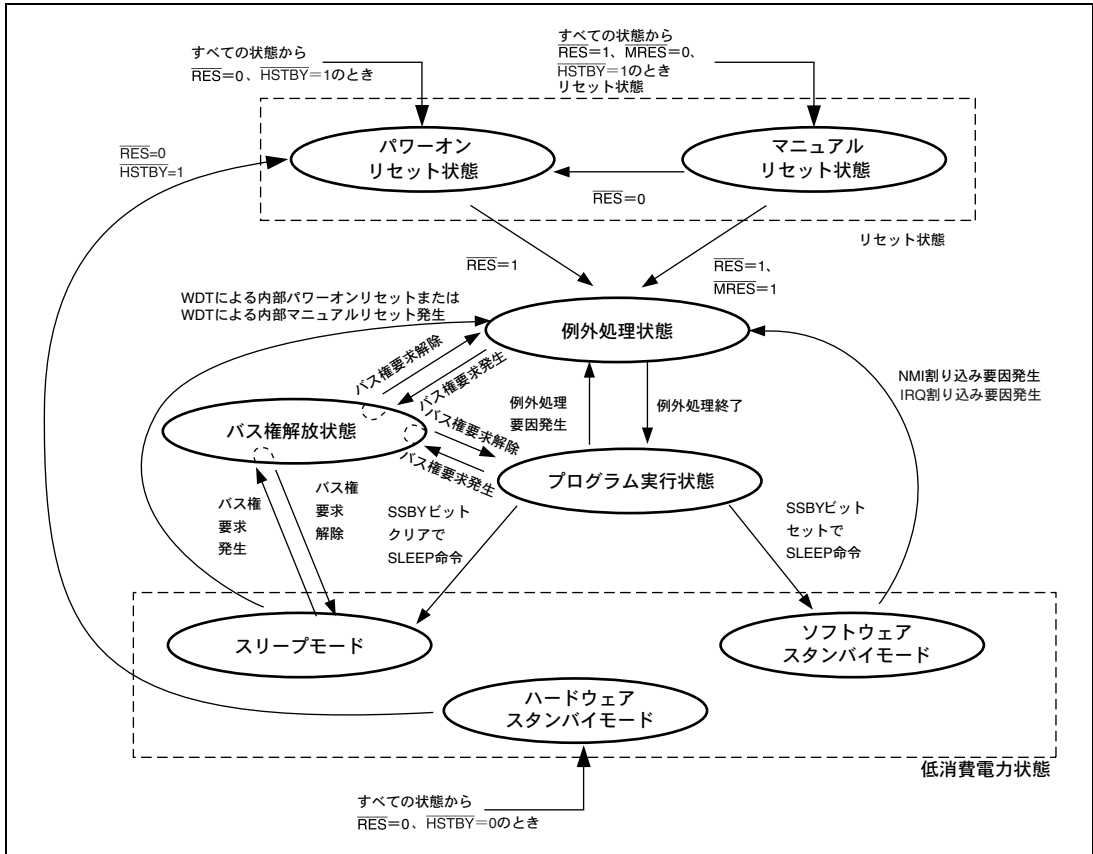


図 2.4 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。 $\overline{\text{RES}}$ 端子がハイレベルで $\overline{\text{MRES}}$ 端子がローレベルのとき、マニュアルリセット状態になります。 $\overline{\text{HSTBY}}$ 端子をハイレベルにして $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。また、 $\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をローレベルにするとハードウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、4 種類の動作モードと 4 種類のクロックモードがあります。

動作モードは、MD3~MD0、FWP 端子で設定します。モード設定端子は、LSI の動作中（電源印加中）には変化させないでください。また、表 3.1 にない組み合わせは設定しないでください。

表 3.1 動作モードの選択

動作モード 番号	端子設定					モード名	内蔵 ROM	CS0 空間のバス幅*1
	FWP	MD3	MD2	MD1	MD0			
モード 0	1	×	×	0	0	MCU 拡張モード 0	無効	8 ビット
モード 1*3	1	×	×	0	1	MCU 拡張モード 1	無効	—
モード 2	1	×	×	1	0	MCU 拡張モード 2	有効	BSC の BCR1 により設定
モード 3	1	×	×	1	1	シングルチップモード	有効	—
*2	0	×	×	0	0	ブートモード *2	有効	BSC の BCR1 により設定
*2	0	×	×	0	1			—
*2	0	×	×	1	0	ユーザプログラムモード *2	有効	BSC の BCR1 により設定
*2	0	×	×	1	1			—

【注】 × : Don't care

- *1 SH7047 はモード 3 と、MCU 拡張モードの 8 ビット空間をサポートします。
- *2 フラッシュメモリのプログラミングモードです。F-ZTAT 版のみ対応します。
- *3 本 LSI では使用できません。

MCU 動作モードとして、MCU 拡張モードとシングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモードとユーザプログラムモードがあります。

3. MCU 動作モード

MD2、MD3 端子入力により、クロックモードを選択します。

表 3.2 クロックモードの選択

端子設定		設定可能な最高動作周波数
MD3	MD2	
0	0	12.5MHz (入力クロック×1 ^{*1} 、入力クロックの最高動作周波数: 12.5MHz)
0	1	25MHz (入力クロック×2 ^{*1} 、入力クロックの最高動作周波数: 12.5MHz)
1	0	40MHz (入力クロック×4 ^{*1} 、入力クロックの最高動作周波数: 10.0MHz)
1	1	50MHz (入力クロック×4 (システムクロック)、入力クロック×2 (周辺クロック)、入力クロックの最高動作周波数: 12.5MHz)

【注】 *1 システムクロックと周辺クロックは同一の周波数です。

3.2 入出力端子

動作モードに関連する端子構成を表 3.3 に示します。

表 3.3 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
MD1	入力	動作モードを指定
MD2	入力	クロックモードを指定
MD3	入力	クロックモードを指定
FWP	入力	内蔵フラッシュメモリの書き込み/消去のハードウェアプロテクト用端子

3.3 各動作モードの説明

3.3.1 モード 0 (MCU 拡張モード 0)

モード 0 では、CS0 空間のバス幅が 8 ビットの外部メモリ空間となります。

3.3.2 モード 1 (MCU 拡張モード 1)

本 LSI では使用できません。

3.3.3 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS0 空間を使用することができます。

3.3.4 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが、外部アドレスは使用できません。

3.3.5 クロックモード

モード 0~3 のとき、入力周波数の 1 倍、2 倍、4 倍の周波数をシステムクロックとして使用できます。

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

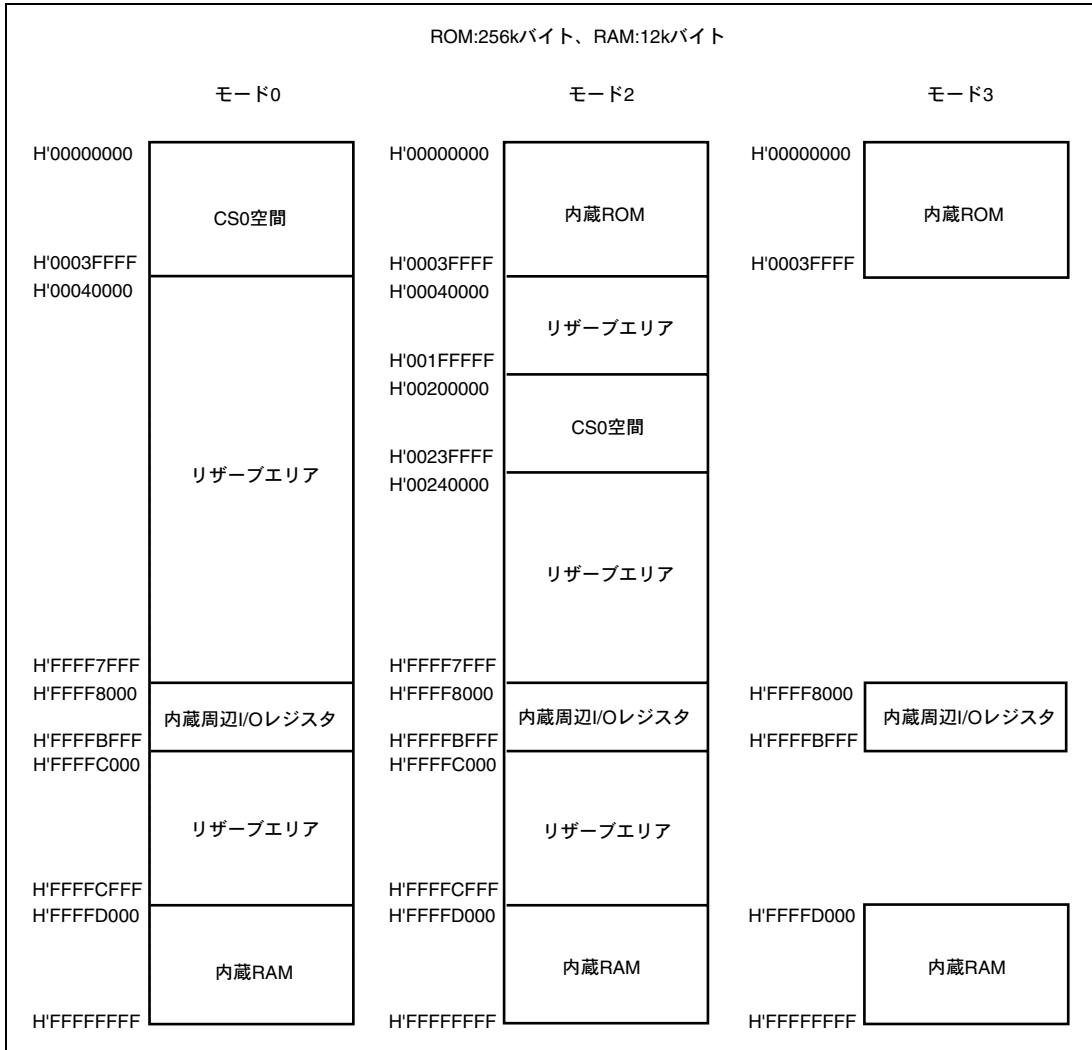


図 3.1 SH7047 フラッシュメモリ版の各動作モードのアドレスマップ

3. MCU 動作モード

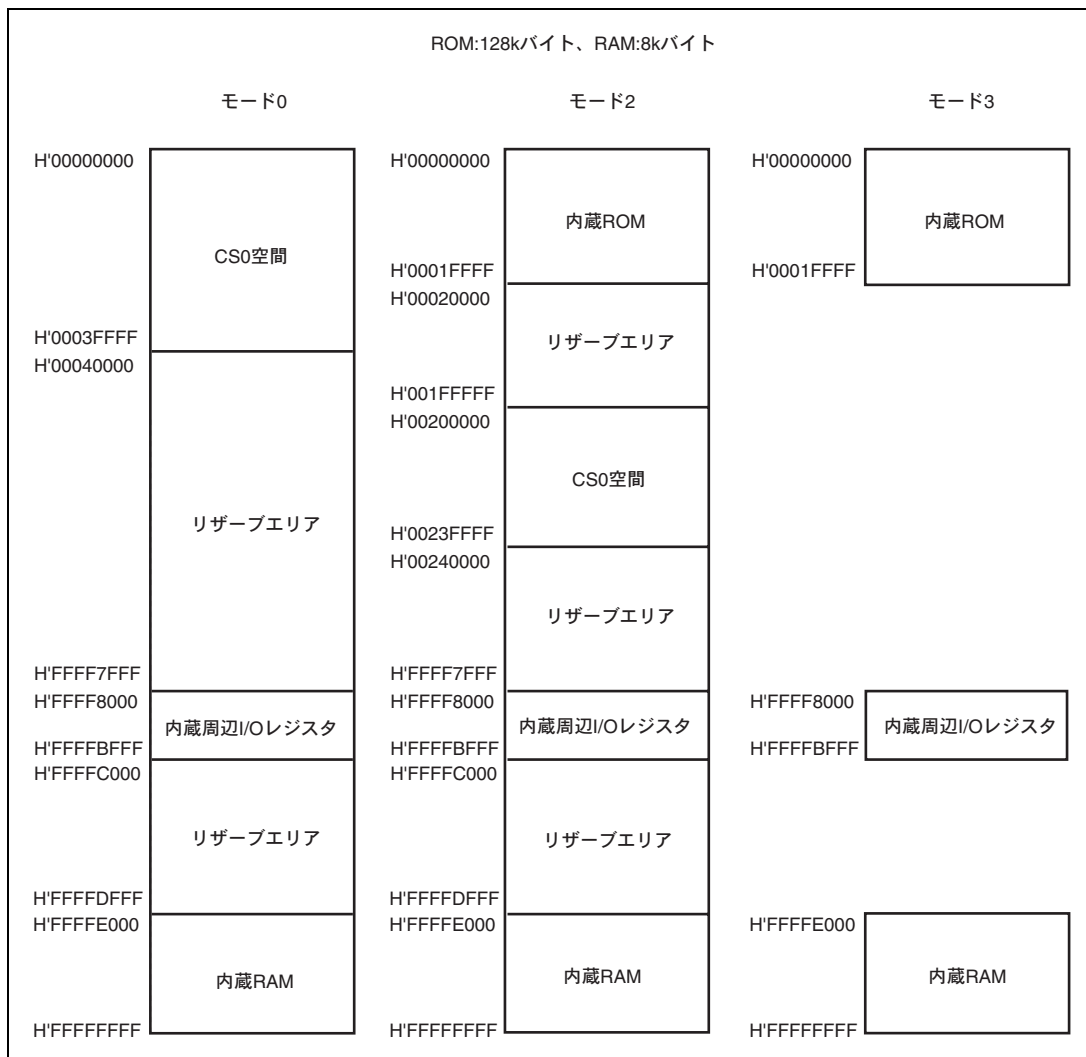


図 3.2 SH7049 の各動作モードのアドレスマップ

3.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。

このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 24 章 低消費電力状態」を参照してください。

4. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、周辺クロック ($P\phi$) を生成し、これらのクロックから内部クロック ($\phi/2 \sim \phi/8192$ 、 $P\phi/2 \sim P\phi/1024$) を生成します。クロック発振器は、発振器、PLL 回路、プリスケアラで構成されます。クロック発振器のブロック図を図 4.1 に示します。

発振器からの周波数は、PLL 回路により変更できます。

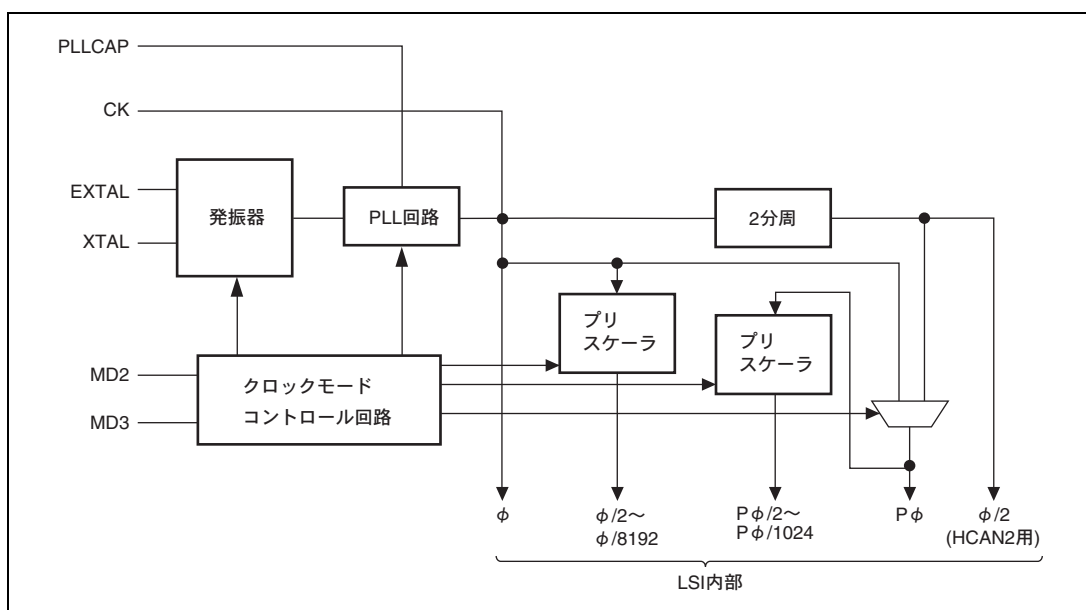


図 4.1 クロック発振器のブロック図

4. クロック発振器

4.1 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

4.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗 R_d は、表 4.1 に示すものを使用してください。また、水晶発振子は、周波数が発振 4~12.5MHz で AT カット並列共振形を使用してください。

なお、水晶と LSI の相性については、水晶メーカーとご相談いただきますようお願い致します。

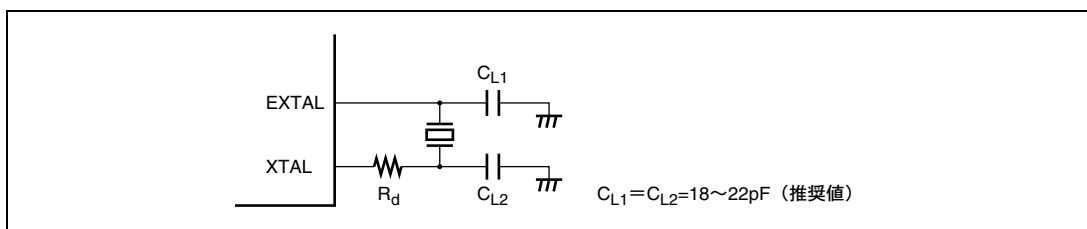


図 4.2 水晶発振子の接続例

表 4.1 ダンピング抵抗値

周波数 (MHz)	4	8	10	12.5
R_d (Ω)	500	200	0	0

水晶発振子の等価回路を図 4.3 に示します。水晶発振子は表 4.2 に示す特性のものを使用してください。

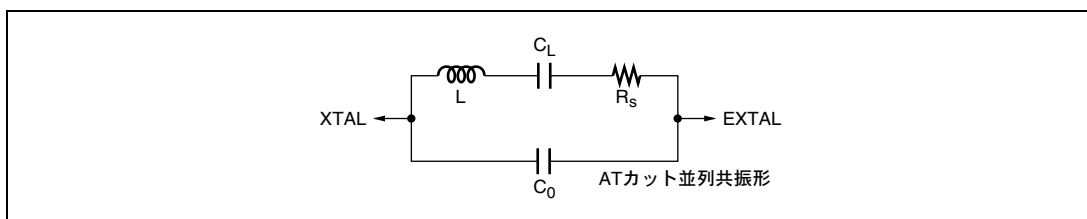


図 4.3 水晶発振子の等価回路

表 4.2 水晶発振子の特性

周波数 (MHz)	4	8	10	12.5
R_s max (Ω)	120	80	60	50
C_0 max (pF)	7			

4.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.4 に示します。図 4.4 のように、スタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 4~12.5MHz にしてください。XTAL 端子の寄生容量は 10pF 以下にしてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

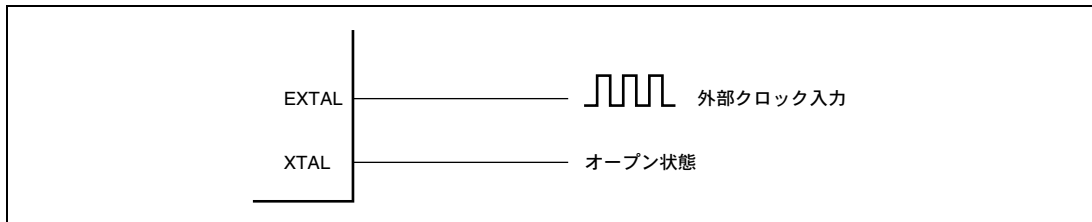


図 4.4 外部クロックの接続例

4.2 発振停止検出機能

本 CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出してタイマ端子を自動的にハイインピーダンス状態にする機能が備わっています。すなわち、EXTAL が変化しなかったことを検出した場合、大電流ポート (PE9/TIOC3B、PE11/TIOC3D、PE12/TIOC4A、PE13/TIOC4B/MRES、PE14/TIOC4C、PE15/TIOC4D/IRQOUT、PE16/PUOA/UBCTRG*/A10、PE17/PVOA/WAIT/A11、PE18/PWOA/A12、PE19/PUOB/RXD4/A13、PE20/PV0B/TXD4/A14、PE21/PW0B/SCK4/A15) の 12 端子を PFC の設定にかかわらずハイインピーダンスにします。

スタンバイ状態でも、上記 12 端子は PFC の設定にかかわらずハイインピーダンスになります。スタンバイ状態解除後は通常動作になります。また、スタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記 12 端子を含めて LSI 動作は不定となります。

【注】 * フラッシュメモリ版のみ

4.3 使用上の注意事項

4.3.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

4.3.2 ボード設計上の注意

本 LSI では輻射ノイズ対策を実施しておりますが、さらなる輻射ノイズ低減が必要な場合は、多層基板にし、

4. クロック発振器

システムグランド専用層を設けることをお奨め致します。

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 4.5 に示すように発振回路の近くには信号線を通させないでください。誘導により正しい発振ができなくなることがあります。

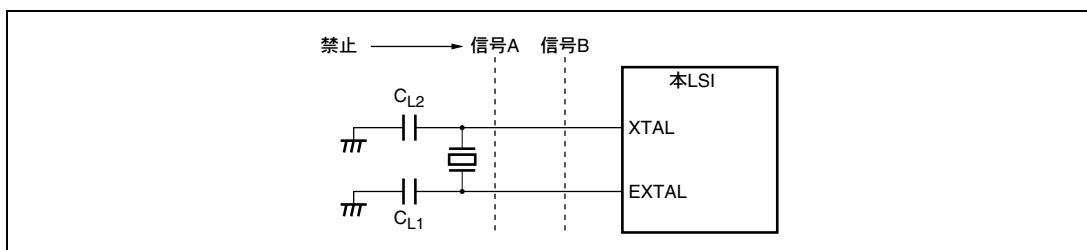
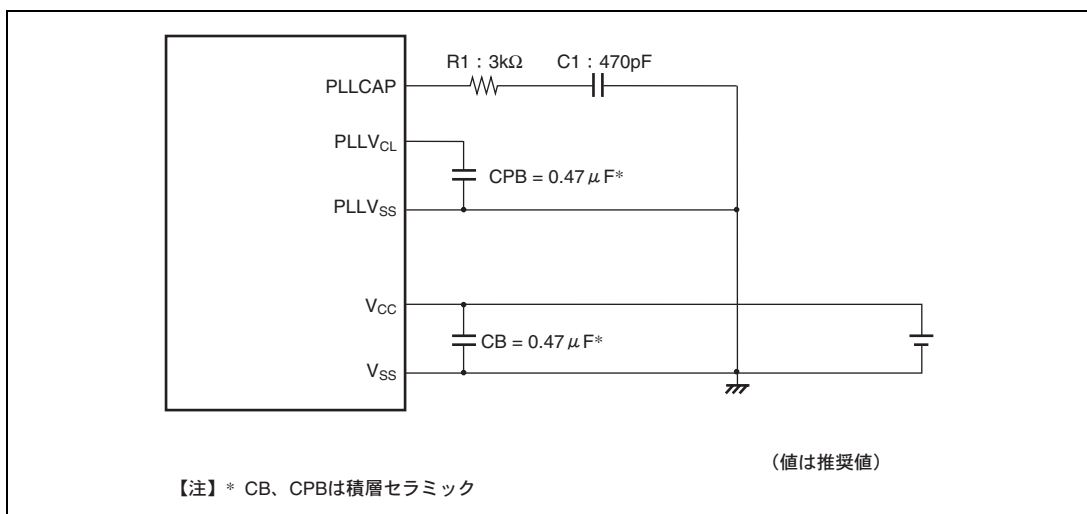


図 4.5 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 4.6 に示します。発振を安定させるための容量 C1 は、PLL CAP 端子の近くに配置してください。また、他の信号線と交差させないでください。PLL V_{CL}、PLL V_{SS} と V_{CC}、V_{SS} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。



【注】* CB、CPBは積層セラミック

(値は推奨値)

図 4.6 PLL 回路の外付け推奨回路

動作中の LSI からは原理的に電磁波が放出されます。本 LSI では、システムクロック (ϕ)、周辺クロック (P ϕ) の低い方 (例えば、 $\phi=40\text{MHz}$ 、P $\phi=40\text{MHz}$ の場合、 40MHz) を基本波として、その高調波帯域に電磁波ピークがあります。FM/VHF 帯受信機など、電磁波障害に敏感な機器に隣接して本 LSI を使用される場合は、基板層数を 4 層以上にし、システムグランド専用層を設けることをお奨め致します。

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理		優先順位	
リセット	パワーオンリセット		高	
	マニュアルリセット			
アドレスエラー	CPU アドレスエラー、および AUD アドレスエラー* ¹		↑	
	DTC アドレスエラー			
割り込み	NMI		↓	
	ユーザブレイク			
	H-UDI* ¹			
	IRQ			
	内蔵周辺モジュール	マルチファンクションタイムユニット (MTU)		
		A/D 変換器 0、1 (A/D0、A/D1)		
		データ転送コントローラ (DTC)		
		コンペアマッチタイマ 0、1 (CMT0、CMT1)		
		ウォッチドッグタイマ (WDT)		
		入出力ポート (I/O) (MTU)		
		シリアルコミュニケーションインタフェース 2、3、4 (SCI2、3、4)		
		モータマネージメントタイマ (MMT)		
		入出力ポート (I/O) (MMT)		
		コントローラエリアネットワーク 2 (HCAN2)		
命令	トラップ命令 (TRAPA 命令)		低	
	一般不当命令 (未定義コード)			
	スロット不当命令 (遅延分岐命令* ² 直後に配置された未定義コードまたは PC を書き換える命令* ³)			

【注】 *1 フラッシュ版のみ

*2 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*3 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

5. 例外処理

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	\overline{RES} 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始される
	マニュアルリセット	\overline{MRES} 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、マニュアルリセット時は H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (B'1111) にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます (リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます)。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー、および AUD アドレスエラー* ¹		9	H'00000024 ~ H'00000027
DTC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
H-UDI* ¹		14	H'00000038 ~ H'0000003B
(システム予約)		15	H'0000003C ~ H'0000003F
		⋮	⋮
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		⋮	⋮
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	システム予約	68	H'00000110 ~ H'00000113
	システム予約	69	H'00000114 ~ H'00000117
	システム予約	70	H'00000118 ~ H'0000011B
	システム予約	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール* ²		72	H'00000120 ~ H'00000123
		⋮	⋮
		255	H'000003FC ~ H'000003FF

【注】 *1 フラッシュ版のみ

*2 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第 6 章 割り込みコントローラ」の「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。

5. 例外処理

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR：ベクタベースレジスタ

ベクタテーブルアドレスオフセット：表 5.3 を参照

ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 5.5 リセット状態

種類	リセット状態への遷移条件			内部状態		
	RES	WDT オーバ フロー	MRES	CPU/INTC	内蔵周辺 モジュール	PFC、IO ポート
パワーオンリセット	ロー	—	—	初期化	初期化	初期化
	ハイ	オーバ フロー	ハイ	初期化	初期化	初期化しない
マニュアルリセット	ハイ	—	ロー	初期化	初期化しない	初期化しない

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時（クロックが停止している場合は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。

- ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (B'1111) にセットします。
- 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の TCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号ではピンファンクションコントローラ (PFC) のレジスタおよび、I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

- プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (B'1111) にセットします。
- 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

5.2.3 マニュアルリセット

$\overline{\text{RES}}$ 端子がハイレベルのとき $\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低、スタンバイ時 (クロックが停止している場合) は WDT で設定している発振安定時間より長く、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。内蔵周辺モジュールの各レジスタは初期化されません。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。ただし、 $\overline{\text{MRES}}$ をいったんローレベルにしたら、バスサイクルが終了し、マニュアルリセット状態に入るまで、ローレベルを保持してください (最長バスサイクル以上の間、ローレベルにしてください)。マニュアルリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

5. 例外処理

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し／書き込み	CPU、DTCまたはAUD	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】* 内蔵周辺モジュール空間については、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子（外部からの入力）	1
ユーザブレイク	ユーザブレイクコントローラ	1
H-UDI	ハイパフォーマンスユーザデバッグインタフェース	1
IRQ	IRQ0～IRQ3 端子（外部からの入力）	4
内蔵周辺モジュール	マルチファンクションタイムユニット	23
	データトランスファコントローラ	1
	コンペアマッチタイマ	2
	A/D 変換器 (A/D0、A/D1)	2
	シリアルコミュニケーションインタフェース	12
	ウォッチドッグタイマ	1
	モータマネージメントタイマ	2
	コントローラエリアネットワーク 2	4
	入出力ポート	2

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC のインタラプトプライオリティレジスタ A、D～I、K (IPRA、IPRD～IPRI、IPRK) で自由に設定することができます (表 5.8)。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPRA、IPRD～IPRI、IPRK については「6.3.4 インタラプトプライオリティレジスタ A、D～I、K (IPRA、IPRD～IPRI、IPRK)」を参照してください。

5. 例外処理

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0~15	インタラプトプライオリティレジスタ A~K (IPRA~IPRK) により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「6.6 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令 : JMP, JSR, BRA, BSR, RTS, RTE, BF/S, BT/S, BSRF, BRAF PC を書き換える命令 : JMP, JSR, BRA, BSR, RTS, RTE, BT, BF, TRAPA, BF/S, BT/S, BSRF, BRAF
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA 命令の次命令の先頭アドレスです。
3. 例外サービスルーチンスタートアドレスを、TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. SRをスタックに退避します。
2. PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
3. 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5. 例外処理

5.6 例外処理が受け付けられない場合

アドレスエラーおよび割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令*1の直後	×	×
割り込み禁止命令*2の直後	○	×

【注】 ○：受け付けられる

×：受け付けられない

*1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 割り込み禁止命令：LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ-4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。

6.1 特長

- 割り込み優先順位を16レベル設定可能
- NMIノイズキャンセラ機能
- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

6. 割り込みコントローラ (INTC)

INTC のブロック図を図 6.1 に示します。

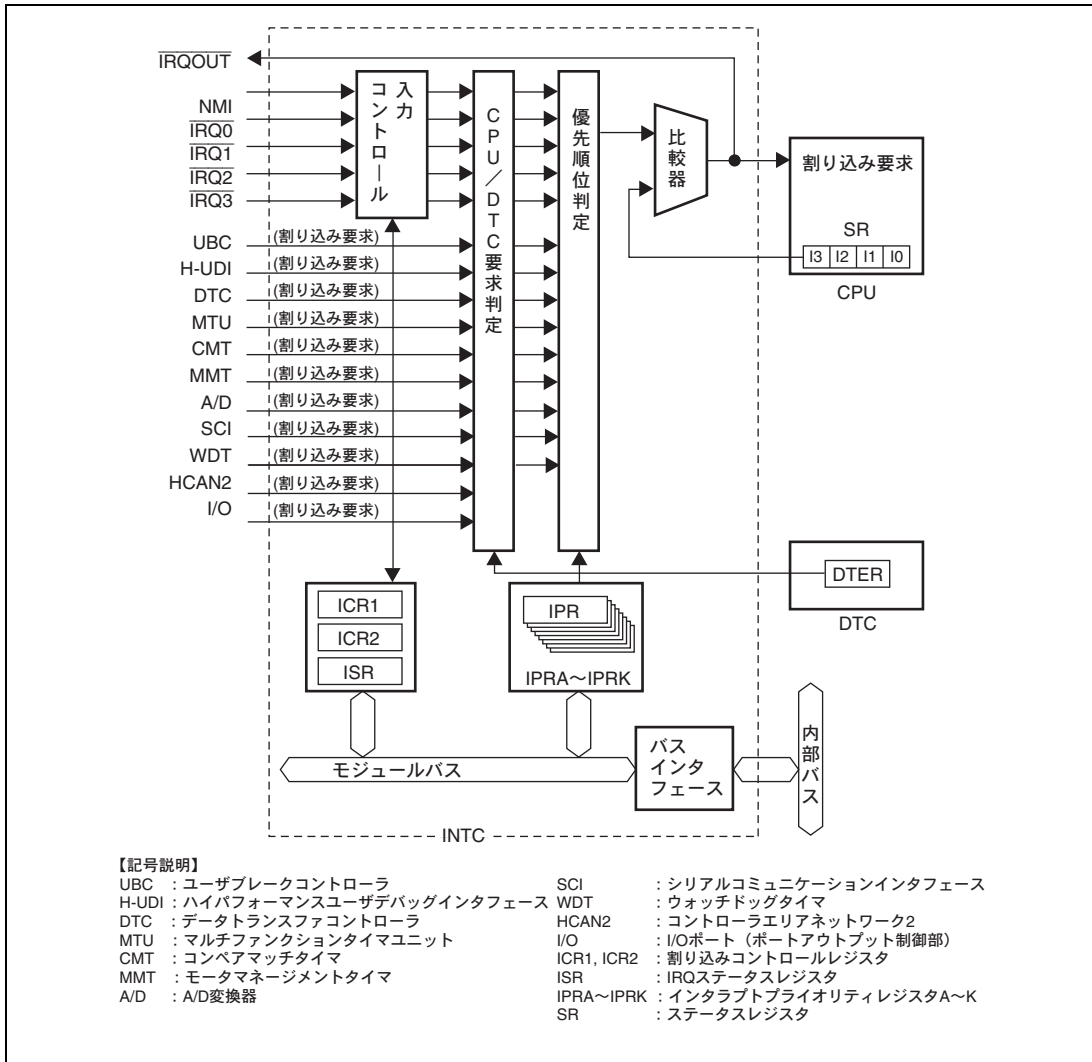


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

6.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A 内蔵 I/O レジスタ」を参照してください。

- 割り込みコントロールレジスタ1 (ICR1)
- 割り込みコントロールレジスタ2 (ICR2)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタK (IPRK)

6. 割り込みコントローラ (INTC)

6.3.1 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

ビット	ビット名	初期値	R/W	説明
15	NMIL	1/0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている 1 : NMI 端子にハイレベルが入力されている
14~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出
7	IRQ0S	0	R/W	IRQ0 センスセレクト IRQ0 割り込み要求の検出モードを設定します。 0 : IRQ0 入力のローレベルで割り込み要求を検出 1 : IRQ0 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
6	IRQ1S	0	R/W	IRQ1 センスセレクト IRQ1 割り込み要求の検出モードを設定します。 0 : IRQ1 入力のローレベルで割り込み要求を検出 1 : IRQ1 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
5	IRQ2S	0	R/W	IRQ2 センスセレクト IRQ2 割り込み要求の検出モードを設定します。 0 : IRQ2 入力のローレベルで割り込み要求を検出 1 : IRQ2 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
4	IRQ3S	0	R/W	IRQ3 センスセレクト IRQ3 割り込み要求の検出モードを設定します。 0 : IRQ3 入力のローレベルで割り込み要求を検出 1 : IRQ3 入力のエッジで割り込み要求を検出 (ICR2 でエッジ方向を選択)
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.2 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ のエッジ検出モードを設定します。ただし、割り込みコントロールレジスタ 1(ICR1)の IRQ0~3 センスセレクトビットで IRQ 検出モードがエッジ検出に設定されていた場合のみ有効です。IRQ 検出モードがローレベル検出に設定されていた場合、ICR2 の設定は無効です。

ビット	ビット名	初期値	R/W	説明
15	IRQ0ES1	0	R/W	IRQ0 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
14	IRQ0ES0	0	R/W	
13	IRQ1ES1	0	R/W	IRQ1 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
12	IRQ1ES0	0	R/W	
11	IRQ2ES1	0	R/W	IRQ2 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
10	IRQ2ES0	0	R/W	
9	IRQ3ES1	0	R/W	IRQ3 割り込み要求のエッジ検出モードを設定します。 00 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を検出 01 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を検出 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がり/立ち下がりの両エッジで割り込み要求を検出 11 : 設定禁止
8	IRQ3ES0	0	R/W	
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6. 割り込みコントローラ (INTC)

6.3.3 IRQ ステータスレジスタ (ISR)

ISR は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ0F	0	R/W	IRQ0~IRQ3 フラグ IRQ0~IRQ3 割り込み要求のステータスを表示します。 [セット条件] ICR1 および ICR2 で選択した割り込み要因が発生したとき [クリア条件] (1) 1 の状態をリードした後、0 をライトしたとき (2) Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき (4) IRQn 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき
6	IRQ1F	0	R/W	
5	IRQ2F	0	R/W	
4	IRQ3F	0	R/W	
3~0	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.4 インタラプトプライオリティレジスタ A、D~I、K (IPRA、IPRD~IPRI、IPRK)

IPR は 16 ビットのリード/ライト可能な 9 本のレジスタで、NMI を除く割り込み要因の優先順位 (レベル 15 ~0) を設定します。各割り込み要因と IPR の対応については「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 から H'F の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。割り付けのないリザーブビットについては、H'0 (B'0000) を設定してください。

ビット	ビット名	初期値	R/W	説 明
15	IPR15	0	R/W	対応する割り込み要因の優先順位を設定します。
14	IPR14	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
13	IPR13	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
12	IPR12	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)
11	IPR11	0	R/W	対応する割り込み要因の優先順位を設定します。
10	IPR10	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
9	IPR9	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
8	IPR8	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)
7	IPR7	0	R/W	対応する割り込み要因の優先順位を設定します。
6	IPR6	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
5	IPR5	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
4	IPR4	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)

6. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説 明
3	IPR3	0	R/W	対応する割り込み要因の優先順位を設定します。
2	IPR2	0	R/W	0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8
1	IPR1	0	R/W	0001 : 優先レベル 1 1001 : 優先レベル 9
0	IPR0	0	R/W	0010 : 優先レベル 2 1010 : 優先レベル 10
				0011 : 優先レベル 3 1011 : 優先レベル 11
				0100 : 優先レベル 4 1100 : 優先レベル 12
				0101 : 優先レベル 5 1101 : 優先レベル 13
				0110 : 優先レベル 6 1110 : 優先レベル 14
				0111 : 優先レベル 7 1111 : 優先レベル 15 (最高)

【注】ビット名は一般名称で表記しています。レジスタ一覧表ではモジュール名で表記しています。

6.4 割り込み要因

6.4.1 外部割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

(1) NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ1 (ICR1) のNMIエッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は15に設定されます。

(2) IRQ3~IRQ0 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ1 (ICR1) のIRQセンスセレクトビット (IRQ0S~IRQ3S) と、割り込みコントロールレジスタ2 (ICR2) のIRQエッジセレクトビット (IRQ0ES[1:0]~IRQ3ES[1:0]) の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出または立ち上がりエッジを選択できます。また、インタラプトプライオリティレジスタA (IPRA) によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間 INTC に割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ ステータスレジスタ (ISR) のIRQフラグ (IRQ0F~IRQ3F) を読み出すことにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ 端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ ステータスレジスタ (ISR) のIRQフラグ (IRQ0F~IRQ3F) を読み出すことにより IRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むこ

とにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ3~IRQ0 割り込みのブロック図を図 6.2 に示します。

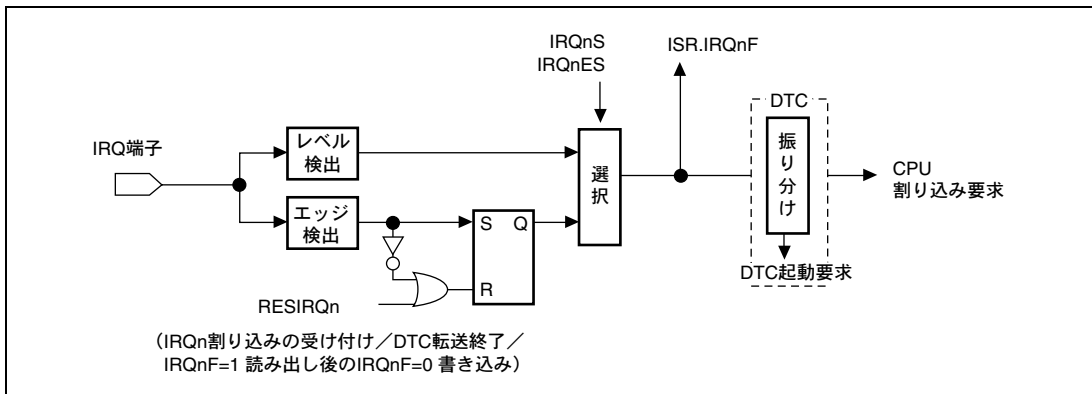


図 6.2 IRQ0~IRQ3 割り込み制御

6.4.2 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、インタラプトプライオリティレジスタ A、D~I、K (IPRA、IPRD~IPRI、IPRK) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.4.3 ユーザブレーク割り込み

ユーザブレーク割り込みは、ユーザブレークコントローラ (UBC) で設定したブレーク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレーク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレーク例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は 15 に設定されます。ユーザブレークの詳細は、「第 7 章 ユーザブレークコントローラ (UBC)」を参照してください。

6.4.4 H-UDI 割り込み

ハイパフォーマンスユーザデバッグインタフェース(H-UDI)割り込みは、優先順位レベル 15 を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込みはエッジで検出され、受け付けられるまで保持されます。H-UDI 例外処理により、SR の I3~I0 は 15 に設定されます。H-UDI 割り込みについては、「第 22 章 ハイパフォーマンスユーザデバッグインタフェース (H-UDI)」を参照してください。

6.5 割り込み例外処理ベクタテーブル


表 6.2 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、インタラプトプライオリティレジスタ A、D～I、K (IPRA、IPRD～IPRI、IPRK) によって、端子またはモジュールごとに、優先レベル 0～15 の範囲で任意に設定できます。ただし、同一の IPR によって指定される複数の割り込み要因の優先順位は、ベクタ番号の小さい要因ほど高い優先に割り付けられており変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.2 に示すデフォルト優先順位に従って処理されます。

6. 割り込みコントローラ (INTC)

表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ番号	ベクタテーブル先頭アドレス	IPR	デフォルト優先順位
外部端子	NMI	11	H'0000002C	—	 <p>高</p> <p>低</p>
ユーザブ레이크		12	H'00000030	—	
H-UDI		14	H'00000038	—	
—	システム予約	15	H'0000003C	—	
割り込み	IRQ0	64	H'00000100	IPRA15~IPRA12	
	IRQ1	65	H'00000104	IPRA11~IPRA8	
	IRQ2	66	H'00000108	IPRA7~IPRA4	
	IRQ3	67	H'0000010C	IPRA3~IPRA0	
	システム予約	68	H'00000110	—	
	システム予約	69	H'00000114	—	
	システム予約	70	H'00000118	—	
	システム予約	71	H'0000011C	—	
—	システム予約	72	H'00000120	—	
	システム予約	76	H'00000130	—	
	システム予約	80	H'00000140	—	
	システム予約	84	H'00000150	—	
MTU チャンネル 0	TGIA_0	88	H'00000160	IPRD15~IPRD12	
	TGIB_0	89	H'00000164		
	TGIC_0	90	H'00000168		
	TGID_0	91	H'0000016C		
	TCIV_0	92	H'00000170	IPRD11~IPRD8	
MTU チャンネル 1	TGIA_1	96	H'00000180	IPRD7~IPRD4	
	TGIB_1	97	H'00000184		
	TCIV_1	100	H'00000190	IPRD3~IPRD0	
	TCIU_1	101	H'00000194		
MTU チャンネル 2	TGIA_2	104	H'000001A0	IPRE15~IPRE12	
	TGIB_2	105	H'000001A4		
	TCIV_2	108	H'000001B0	IPRE11~IPRE8	
	TCIU_2	109	H'000001B4		
MTU チャンネル 3	TGIA_3	112	H'000001C0	IPRE7~IPRE4	
	TGIB_3	113	H'000001C4		
	TGIC_3	114	H'000001C8		
	TGID_3	115	H'000001CC		
	TCIV_3	116	H'000001D0	IPRE3~IPRE0	

割り込み要因発生元	名称	ベクタ番号	ベクタテーブル先頭アドレス	IPR	デフォルト優先順位
I/O (MMT)	MMTPOE	200	H'00000320	IPRK15~IPRK12	
—	システム予約	204	H'00000330	—	
HCAN2	ERS1	208	H'00000340	IPRK7~IPRK4	
	OVR1	209	H'00000344		
	RM1	210	H'00000348		
	SLE1	211	H'0000034C		
—	システム予約	212	H'00000350~ H'000003DC		

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、**図 6.3** に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、インタラプトプライオリティレジスタA、D～I、K (IPRA、IPRD～IPRI、IPRK) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、**表6.2**に示すデフォルト優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (**図6.5**参照)。
6. SRとプログラムカウンタ (PC) がスタックに退避されます。
7. SRのI3～I0ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
8. 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5)でCPUが実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが、受け付け中の割り込みよりレベルの高い他の割り込みを受け付けて

6. 割り込みコントローラ (INTC)

いるときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。

9. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。

また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

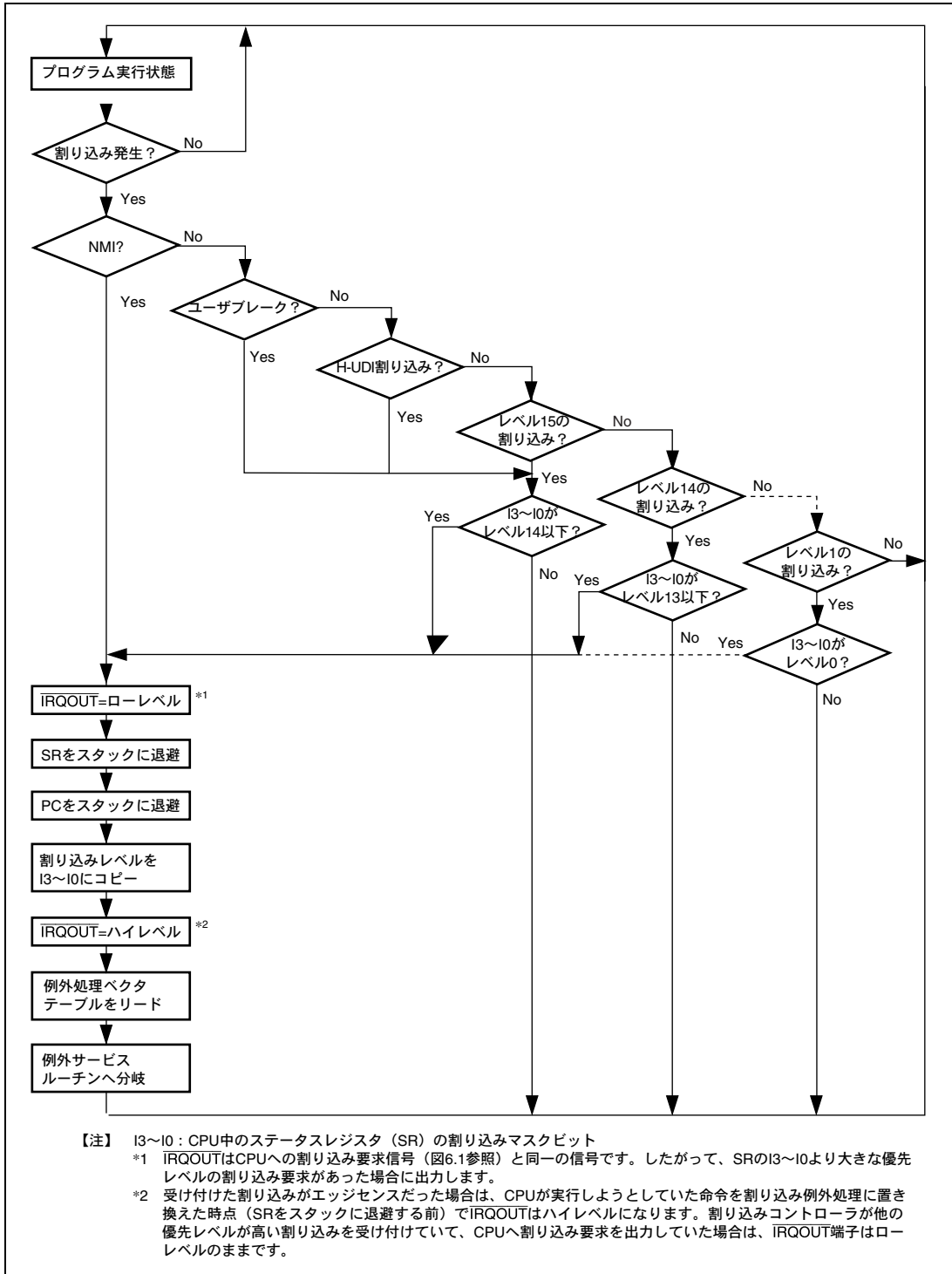


図 6.3 割り込み動作フロー

6. 割り込みコントローラ (INTC)

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

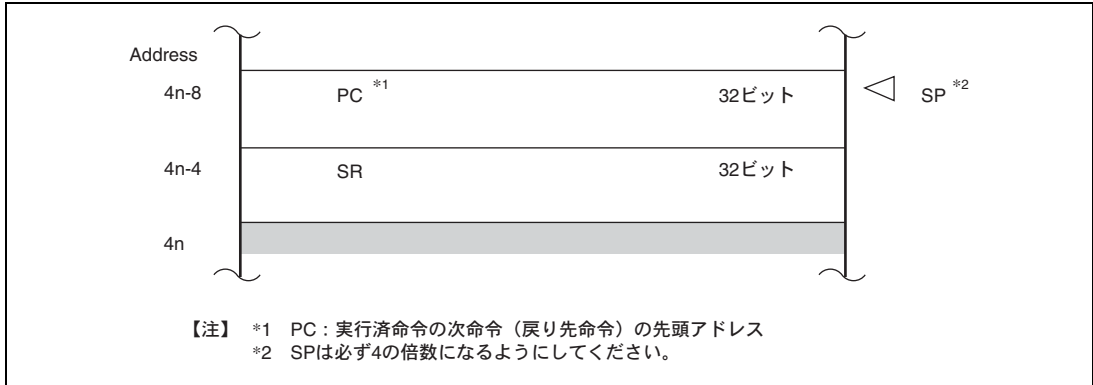


図 6.4 割り込み例外処理終了後のスタック状態

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.3 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.3 割り込み応答時間

項目	ステート数		備考	
	NMI、周辺モジュール	IRQ		
DTC の起動判定	0 または 1	1	DTC 起動が可能な割り込み信号の場合、1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (≥ 0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	(7 または 8) +m1+m2+m3+X	9+m1+m2+m3+X	
	最小時	10	12	40MHz 動作時： 0.25 ~ 0.3 μ s
	最大時	12+2(m1+m2+m3)+m4	13+2(m1+m2+m3)+m4	40MHz 動作時： 0.48 μ s*

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワードライト)

m2 : PC の退避 (ロングワードライト)

m3 : ベクタアドレスリード (ロングワードリード)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

* m1=m2=m3=m4=1 の場合

6. 割り込みコントローラ (INTC)

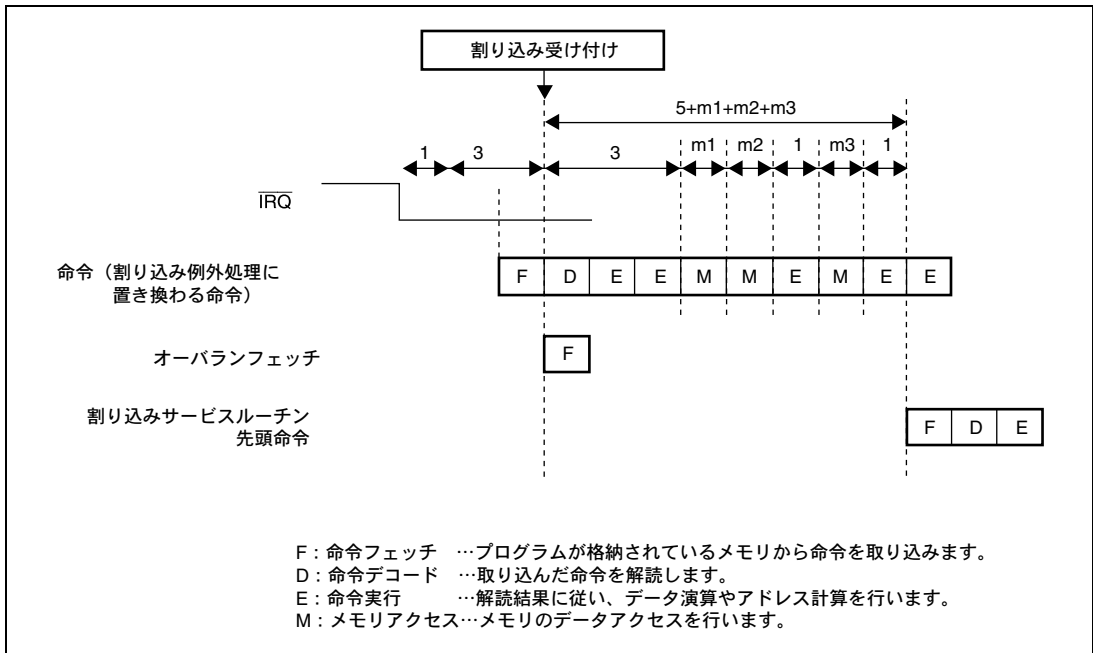


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

6.8 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DTCのみ起動、CPU割り込みはDTCの設定による

INTCは、対応するDTEのビットが1のときはCPU割り込みをマスクします。DTEクリア条件と割り込み要因フラグクリア条件は次のように表されます。

DTEクリア条件 = DTC転送終了・DTECLR

割り込み要因フラグクリア条件 = DTC転送終了・ $\overline{\text{DTECLR}}$

ただし、DTECLR = DIESEL+カウンタ0

制御ブロック図を図 6.6 に示します。

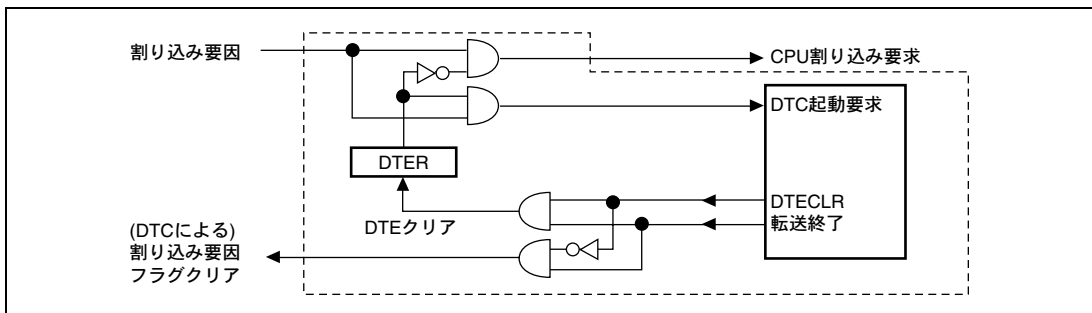


図 6.6 割り込み制御ブロック図

6. 割り込みコントローラ (INTC)

6.8.1 割り込み要求信号を DTC の起動要因、CPU の割り込み要因とする場合

1. DTCは対応するDTEビット、およびDISELビットを1にセットします。
2. 割り込みが発生すると、DTCに起動要因が与えられます。
3. DTCは、データ転送を行うとDTEビットを0にクリアし、CPUに割り込みを要求します。起動要因はクリアしません。
4. CPUは割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値≠0のとき、DTEビットを1にセットして、次のデータ転送を許可します。また、転送カウンタの値=0であれば、割り込み処理ルーチンで所要の終了処理をします。

6.8.2 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因としない場合

1. DTC は対応するDTE ビットを1にセットし、DISELビットを0にクリアします。
2. 割り込みが発生すると、DTCに起動要因が与えられます。
3. DTCは、データ転送を行うと、起動要因をクリアします。DTEビットは1に保持されているため、CPUには割り込みは要求されません。
4. ただし、転送カウンタ=0のとき、DTEビットを0にクリアし、CPU に割り込みを要求します。
5. CPUは割り込み処理ルーチンで、所要の終了処理をします。

6.8.3 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因としない場合

1. DTCは対応するDTEビットを0にクリアします。
2. 割り込みが発生すると、CPUに割り込みを要求します。
3. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7. ユーザブレイクコントローラ（UBC）

ユーザブレイクコントローラ（UBC）は、ユーザのプログラムデバッグを容易にする機能を提供します。UBCにブレイク条件を設定すると、CPU または DTC によるバスサイクルの内容に応じてユーザブレイク割り込みが発生します。この機能により、高機能のセルフモニタデバッガの作成が容易で、大規模なインサーキットエミュレータを使用しなくても、手軽にプログラムをデバッグできます。

7.1 特長

- ブレイク条件：5種類
アドレス
CPUサイクルまたはDTCサイクル
命令フェッチまたはデータアクセス
読み出しまたは書き込み
オペランドサイズ（ロングワード、ワード、バイト）
- ブレイク条件成立により、ユーザブレイク割り込みを発生
- CPUの命令フェッチにブレイクをかけると、その命令の手前でブレイク
- ブレイク条件成立をUBCTRG端子に出力可能
- モジュールスタンバイモード設定可能

7. ユーザブレイクコントローラ (UBC)

UBC のブロック図を図 7.1 に示します。

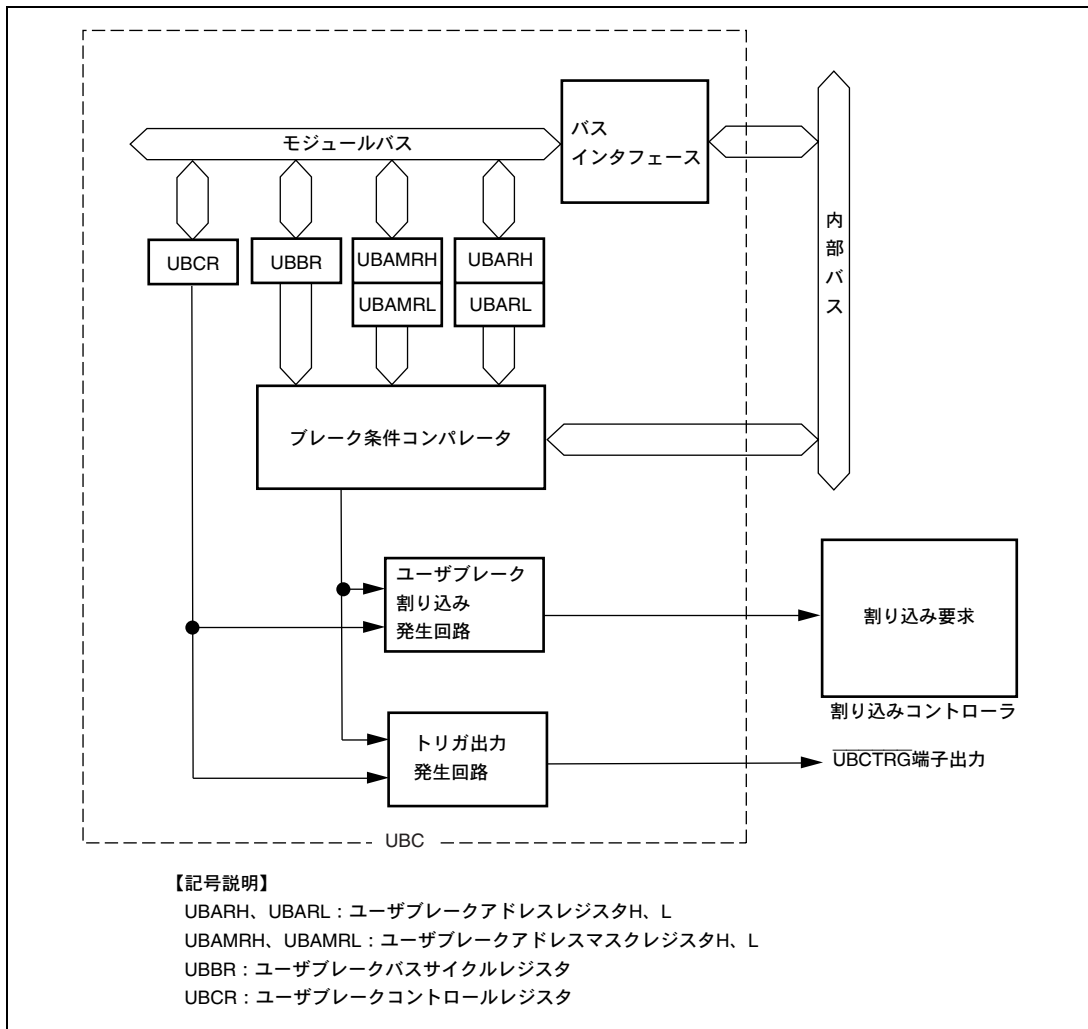


図 7.1 UBC のブロック図

7.2 各レジスタの説明

UBCには以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ユーザブレイクアドレスレジスタH (UBARH)
- ユーザブレイクアドレスレジスタL (UBARL)
- ユーザブレイクアドレスマスクレジスタH (UBAMRH)
- ユーザブレイクアドレスマスクレジスタL (UBAMRL)
- ユーザブレイクバスサイクルレジスタ (UBBR)
- ユーザブレイクコントロールレジスタ (UBCR)

7.2.1 ユーザブレイクアドレスレジスタ (UBAR)

UBAR は、ユーザブレイクアドレスレジスタ H (UBARH) とユーザブレイクアドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、UBARH はブレイク条件とするアドレスの上位側 (ビット 31~16) を指定し、UBARL はアドレスの下位側 (ビット 15~0) を指定します。UBAR の初期値は H'00000000 です。

UBARH ビット15~0 : ユーザブレイクアドレス31~16 (UBA31~UBA16) を指定

UBARL ビット15~0 : ユーザブレイクアドレス15~0 (UBA15~UBA0) を指定

7.2.2 ユーザブレイクアドレスマスクレジスタ (UBAMR)

UBAMR は、ユーザブレイクアドレスマスクレジスタ H (UBAMRH) とユーザブレイクアドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブレイクアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブレイクアドレスのどのビットをマスクするかを指定します。

UBAMRH ビット15~0 : ユーザブレイクアドレスマスク31~16 (UBM31~UBM16) を指定

UBAMRL ビット15~0 : ユーザブレイクアドレスマスク15~0 (UBM15~UBM0) を指定

ビット	ビット名	初期値	R/W	説明
UBAMRH 15~0	UBM31~ UBM16	すべて 0	R/W	ユーザブレイクアドレスマスク 31~16 0 : 対応する UBA ビットをブレイク条件に含む 1 : 対応する UBA ビットをブレイク条件に含まない
UBAMRL 15~0	UBM15~ UBM0	すべて 0	R/W	ユーザブレイクアドレスマスク 15~0 0 : 対応する UBA ビットをブレイク条件に含む 1 : 対応する UBA ビットをブレイク条件に含まない

7. ユーザブレイクコントローラ (UBC)

7.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

UBBR は読み出し/書き込み可能な 16 ビットのレジスタで、4 種類のブレイク条件を設定します。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 6	CP1 CP0	0 0	R/W R/W	CPU サイクル/DTC サイクルセレクト 1、0 CPU サイクルまたは DTC サイクルをブレイク条件に指定します。 00: ユーザブレイク割り込みは発生させない 01: CPU サイクルをブレイク条件とする 10: DTC サイクルをブレイク条件とする 11: CPU サイクルと DTC サイクルのどちらもブレイク条件とする
5 4	ID1 ID0	0 0	R/W R/W	命令フェッチ/データアクセスセレクト 1、0 命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。 00: ユーザブレイク割り込みは発生させない 01: 命令フェッチサイクルをブレイク条件とする 10: データアクセスサイクルをブレイク条件とする 11: 命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする
3 2	RW1 RW0	0 0	R/W R/W	リード/ライトセレクト 1、0 リードサイクルまたはライトサイクルをブレイク条件に指定します。 00: ユーザブレイク割り込みは発生させない 01: リードサイクルをブレイク条件とする 10: ライトサイクルをブレイク条件とする 11: リードサイクルとライトサイクルのどちらもブレイク条件とする
1 0	SZ1 SZ0	0 0	R/W R/W	オペランドサイズセレクト 1、0* ブレイク条件にするオペランドサイズを指定します。 00: ブレイク条件にオペランドサイズを含まない 01: バイトアクセスをブレイク条件とする 10: ワードアクセスをブレイク条件とする 11: ロングワードアクセスをブレイク条件とする

【注】* 命令フェッチでブレイクをかける場合は、SZ0 ビットを 0 にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます（内蔵メモリに命令があって、1 回のバスサイクルで同時に 2 命令フェッチする場合もワードでアクセスされるものとみなされます）。

オペランドサイズは、命令の場合はワード、CPU/DTC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

7.2.4 ユーザブ레이크コントロールレジスタ (UBCR)

UBCR は、読み出し／書き込み可能な 16 ビットのレジスタで (1) ユーザブ레이크割り込みの禁止／許可、
(2) ブ레이크条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 条件一致時に $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。 00 : $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を ϕ にする 01 : $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を $\phi/4$ にする 10 : $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を $\phi/8$ にする 11 : $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅を $\phi/16$ にする 【注】 ϕ : 内部クロック
0	UBID	0	R/W	ユーザブ레이크ディスエーブル ユーザブ레이크条件一致時にユーザブ레이크割り込み要求の禁止／許可を指定します。 0 : ユーザブ레이크割り込み要求を許可する 1 : ユーザブ레이크割り込み要求を禁止する

7.3 動作説明

7.3.1 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크割り込み例外処理までの流れを以下に示します。

1. ブ레이크条件のうち、ユーザブ레이크アドレスをユーザブ레이크アドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブ레이크アドレスマスクレジスタ (UBAMR)、ブ레이크するバスサイクルの種類をユーザブ레이크バスサイクルレジスタ (UBBR) に設定してください。UBBRのCPUサイクル/DTCサイクルセレクトビット (CP1、CP0)、命令フェッチ/データアクセスセレクトビット (ID1、ID0)、リード/ライトセレクトビット (RW1、RW0) のいずれか1組でも00 (ユーザブ레이크割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブ레이크割り込みは発生しません。ユーザブ레이크割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
2. UBCは、設定した条件が成立したかどうかを図7.2に示す方式で判定します。ブ레이크条件が成立すると、UBCは割り込みコントローラ (INTC) に、ユーザブ레이크割り込み要求信号を送ります。同時に条件一致信号をUBCTR \overline{G} 端子にCKS1、0ビットで設定されたパルス幅で出力します。
3. ユーザブ레이크割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブ레이크割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブ레이크割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3~I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブ레이크割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3~I0ビットをレベル14以下に変更すれば、それ以後ユーザブ레이크割り込みが受け付けられるようになります。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. INTCは、ユーザブ레이크割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブ레이크割り込み例外処理を開始します。割り込み例外処理については、「6.6 動作説明」を参照してください。

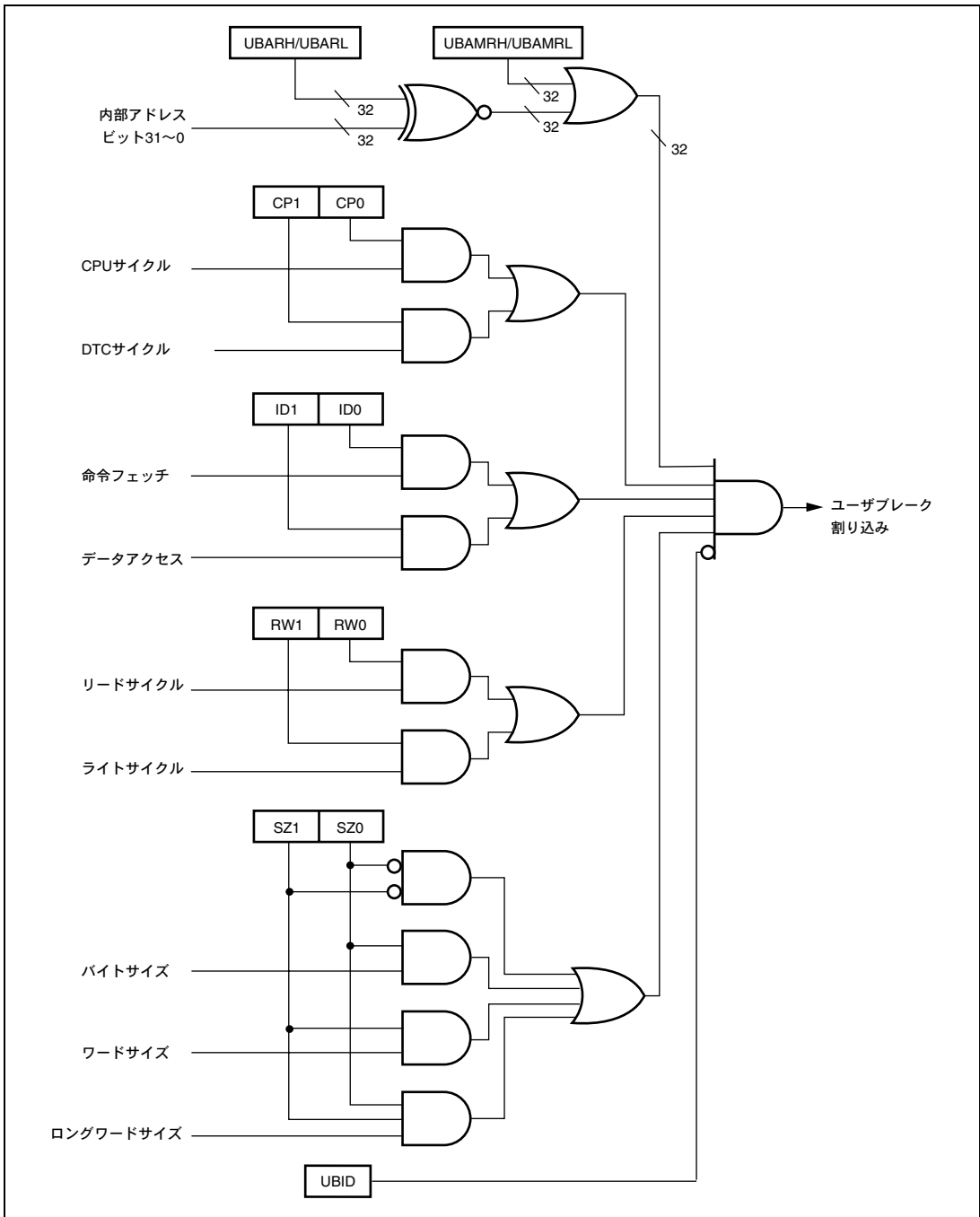


図 7.2 ブレーク条件判定方式

7. ユーザブレイクコントローラ (UBC)

7.3.2 内蔵メモリの命令フェッチサイクルによるブレイク

内蔵メモリ (内蔵 ROM、内蔵 RAM) は、常に 32 ビットを 1 回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1 回のバスサイクルで 2 命令が取り込まれます。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレイクアドレスレジスタ (UBAR) に設定することによって、独立してブレイクをかけることができます。言い換えると、1 回のバスサイクルで取り込まれた 2 命令のうち、後半の命令でブレイクをかけたいとき、UBAR にはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレイクがかかるようになります。

7.3.3 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチをブレイク条件に設定した場合

ユーザブレイク割り込み例外処理で退避されるプログラムカウンタ (PC) の値は、ブレイク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、遅延分岐命令直後 (遅延スロット) に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレイク条件に設定した場合、ユーザブレイク割り込みはすぐには受け付けられず、ブレイク条件を設定した命令は実行されます。このとき、ユーザブレイク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避される PC の値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス (CPU/DTC) をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス (CPU/DTC) をブレイク条件に設定した場合、ブレイクがかかる場所は特定することができません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

7.4 ユーザブレイク使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

1. レジスタの設定 : UBARH=H'0000

UBARL=H'0404

UBBR=H'0054

UBCR=H'0000

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

アドレス H'00000404 にある命令の手前でユーザブレイク割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレイク例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

2. レジスタの設定 : UBARH=H'0015

UBARL=H'389C

UBBR=H'0058

UBCR=H'0000

設定された条件 : アドレス : H'0015389C

バスサイクル : CPU、命令フェッチ、ライト

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチサイクルはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

3. レジスタの設定 : UBARH=H'0003

UBARL=H'0147

UBBR=H'0054

UBCR=H'0000

設定された条件 : アドレス : H'00030147

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユ

7. ユーザブレイクコントローラ (UBC)

ユーザブレイク割り込み例外処理が行われます。

(2) CPU データアクセスサイクルへのブレイク条件設定

1. レジスタの設定 : UBARH=H'0012

UBARL=H'3456

UBBR=H'006A

UBCR=H'0000

設定された条件 : アドレス : H'00123456

バスサイクル : CPU、データアクセス、ライト、ワード

割り込み要求許可

アドレス H'00123456 にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

2. レジスタの設定 : UBARH=H'00A8

UBARL=H'0391

UBBR=H'0066

UBCR=H'0000

設定された条件 : アドレス : H'00A80391

バスサイクル : CPU、データアクセス、リード、ワード

割り込み要求許可

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(3) DTC サイクルへのブレーク条件設定

1. レジスタの設定 : UBARH=H'0076

UBARL=H'BCDC

UBBR=H'00A7

UBCR=H'0000

設定された条件 : アドレス : H'0076BCDC

バスサイクル : DTC、データアクセス、リード、ロングワード

割り込み要求許可

アドレス H'0076BCDC からロングワードデータを読み出すと、ユーザブレーク割り込みが発生します。

2. レジスタの設定 : UBARH=H'0023

UBARL=H'45C8

UBBR=H'0094

UBCR=H'0000

設定された条件 : アドレス : H'002345C8

バスサイクル : DTC、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

DTC サイクルでは命令フェッチは行われないので、ユーザブレーク割り込みは発生しません。

7.5 使用上の注意

7.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。

7.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

1. 条件分岐命令で分岐する場合：BT、BF命令

TRAPA命令で分岐する場合：TRAPA命令

命令フェッチの順序＝当該命令フェッチ→次命令オーバランフェッチ

→次々命令オーバランフェッチ→分岐先命令フェッチ

命令実行の順序＝当該命令実行→分岐先命令実行

2. 遅延付き条件分岐命令で分岐する場合：BT/S、BF/S命令

命令フェッチの順序＝当該命令フェッチ→次命令フェッチ（遅延スロット）

→次々命令オーバランフェッチ→分岐先命令フェッチ

命令実行の順序＝当該命令実行→遅延スロット命令実行→分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。ただし、ブレイクの対象となる命令は、命令がフェッチされ実行されることが確定したときに、はじめてブレイクするので、上記のようにオーバランフェッチされた命令は、ブレイクの対象となりません。

ただし、ブレイク条件として、命令フェッチブレイク以外にデータアクセスブレイクも含めていた場合は、命令のオーバランフェッチでもデータブレイク成立とみなしてブレイクがかかります。

7.5.3 ユーザブレイクと例外処理の競合

ある命令の命令フェッチにユーザブレイクを設定した状態で、その命令（またはその次の命令）のデコードステージにおいてユーザブレイクより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した（RTE で戻った）後にユーザブレイク例外処理が発生しない場合があります。

すなわち、分岐(BRA, BRAF, BT, BF, BT/S, BF/S, BSR, BSRF, JMP, JSR, RTS, RTE, 例外処理)後の分岐先命令の命令フェッチにユーザブレイク条件をかけた状態で、その分岐先命令がユーザブレイク割り込みよりも優先度の高い例外処理を受け付けると、その例外処理サービスルーチンを終了した後のユーザブレイク例外処理は発生しません。

したがって、分岐後の分岐先命令のフェッチには、ユーザブレイク条件を設定しないでください。

7.5.4 非遅延分岐命令の飛び先でのブレイク

遅延スロットを持たない分岐命令（例外処理も含む）が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレイク条件をかけていても、ユーザブレイクは発生しません。

7.5.5 ユーザブレイクトリガ出力

UBC でモニタしている内部バスの条件一致情報を、 \overline{UBCTRG} として出力します。トリガ幅は、ユーザブレイクコントロールレジスタ (UBCR) のクロックセレクト 1,0 (CKS1,0) ビットにより選択できます。

トリガ出力中に、再度条件一致が発生した場合、 \overline{UBCTRG} 端子はローレベルを出力し続け、最後の条件一致のあったサイクルから CKS1, 0 ビットにより設定された長さのパルスを出力します。

トリガ出力条件は、CPU の命令フェッチ条件の一致時には、ユーザブレイク割り込みでのそれと異なります。「7.5.2 分岐時の命令フェッチ」で説明しているオーバランフェッチ命令で条件一致が発生すると、ユーザブレイク割り込みは要求しませんが、 \overline{UBCTRG} 端子からはトリガが出力されます。

その他の CPU のデータアクセス、DTC のバスサイクルはユーザブレイク割り込み条件と同様の条件でパルス出力します。

また、UBCR のユーザブレイクインタラプトディスエーブル (UBID) を 1 セットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力モニタが可能となります。

7.5.6 モジュールスタンバイモードの設定

UBC は、モジュールスタンバイコントロールレジスタ 2 (MSTCR2) により、本モジュールの動作禁止/許可を設定することができます。モジュールスタンバイモードを解除することによりレジスタのアクセスが可能になります。

MSTCR2 の MSTP0 ビットを 1 にセットすると UBC のクロックが停止し、UBC はモジュールスタンバイモードになります。詳細は「第 24 章 低消費電力状態」を参照してください。

7. ユーザブレークコントローラ (UBC)

8. データトランスファコントローラ（DTC）

本 LSI は、データトランスファコントローラ（DTC）を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。

8.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能（チェイン転送）
- アドレス空間：32ビット指定
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワード/ロングワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールスタンバイモードの設定可能

8. データトランスファコントローラ (DTC)

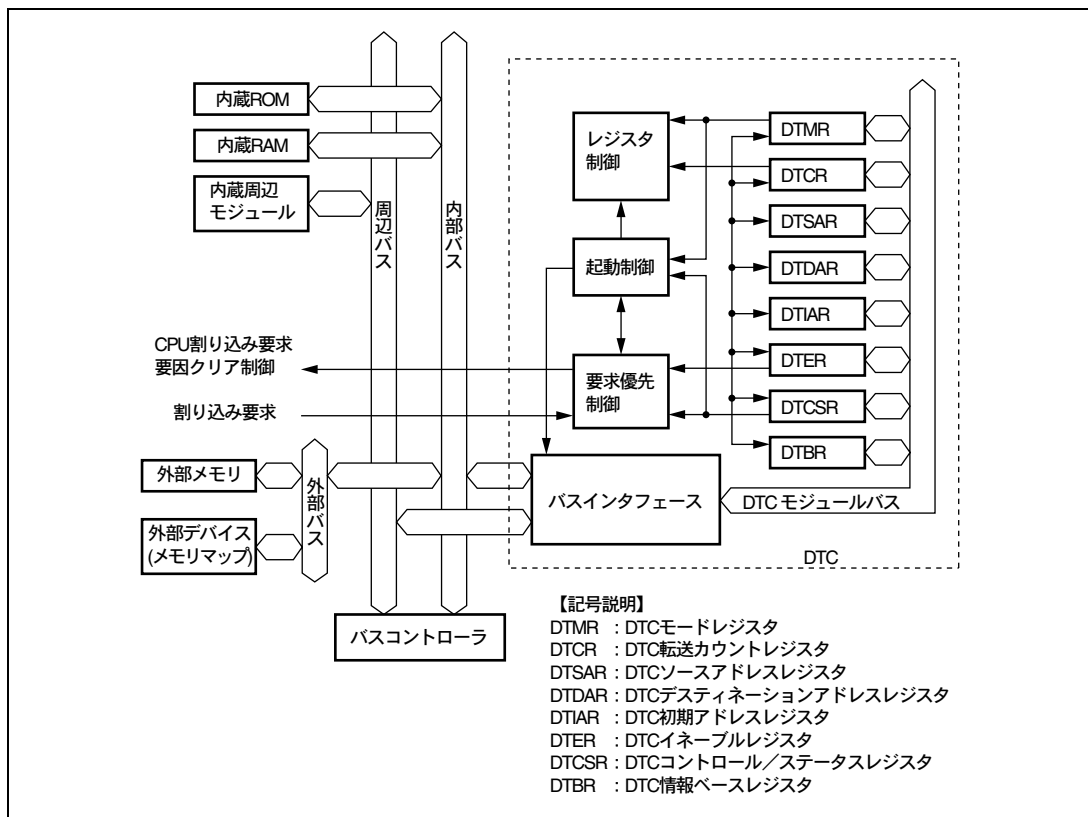


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタ (DTMR)
- DTCソースアドレスレジスタ (DTSAR)
- DTCデスティネーションアドレスレジスタ (DTDAR)
- DTC初期アドレスレジスタ (DTIAR)
- DTC転送カウントレジスタA (DTCRA)
- DTC転送カウントレジスタB (DTCRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送して DTC 転送を行い、転送が終了するとこれらのレジスタの内容が RAM に戻されます。

- DTCイネーブルレジスタA (DTEA)
- DTCイネーブルレジスタB (DTEB)

- DTCイネーブルレジスタC (DTEC)
- DTCイネーブルレジスタD (DTEd)
- DTCイネーブルレジスタE (DTEE)
- DTCイネーブルレジスタF (DTEF)
- DTCコントロール/ステータスレジスタ (DTCSR)
- DTC情報ベースレジスタ (DTBR)

これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

8.2.1 DTC モードレジスタ (DTMR)

DTMR は 16 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット	ビット名	初期値	R/W	説 明
15 14	SM1 SM0	不定 不定	— —	ソースアドレスモード 1、0 データ転送後の DTSAR の動作を指定します。 0X : DTSAR は固定 10 : 転送後 DTSAR をインクリメント (Sz1,0=00 のとき+1、Sz1,0=01 のとき+2、Sz1,0=10 のとき+4) 11 : 転送後 DTSAR をデクリメント (Sz1,0=00 のとき-1、Sz1,0=01 のとき-2、Sz1,0=10 のとき-4)
13 12	DM1 DM0	不定 不定	— —	デスティネーションアドレスモード 1、0 データ転送後の DTDAR の動作を指定します。 0X : DTDAR は固定 10 : 転送後 DTDAR をインクリメント (Sz1,0=00 のとき+1、Sz1,0=01 のとき+2、Sz1,0=10 のとき+4) 11 : 転送後 DTDAR をデクリメント (Sz1,0=00 のとき-1、Sz1,0=01 のとき-2、Sz1,0=10 のとき-4)
11 10	MD1 MD0	不定 不定	— —	DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
9 8	Sz1 Sz0	不定 不定	— —	DTC データトランスファサイズ 1、0 転送データのサイズを指定します。 00 : バイト転送 01 : ワード転送 10 : ロングワード転送 11 : 設定禁止
7	DTS	不定	—	DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
6	CHNE	不定	—	DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。 0 : チェイン転送を解除 1 : チェイン転送に設定 CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTER のクリアは行いません。
5	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
4	NMIM	不定	—	DTC NMI モード DTC 転送中に NMI が入力された場合、転送を中断するかどうかを指定します。 0 : NMI により DTC 転送を中断します 1 : 実行中の転送が終了するまで DTC 転送を続行します
3~0	—	不定	—	リザーブビット DTC の動作に影響を与えません。ライトするときは常に 0 をライトしてください。

【注】 X : Don't care

8.2.2 DTC ソースアドレスレジスタ (DTSAR)

DTSAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。初期値は不定です。

8.2.3 DTC デスティネーションアドレスレジスタ (DTDAR)

DTDAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレス、ロングワードの場合は 4 の倍数アドレスを指定してください。初期値は不定です。

8.2.4 DTC 初期アドレスレジスタ (DTIAR)

DTIAR は 32 ビットのレジスタで、リピートモードのときに転送元/転送先の初期アドレスを指定します。リピートモードにおいて、DTS ビットが 1 のとき、リピートエリアにおける転送元アドレスの初期アドレスを指定してください。DTS ビットが 0 のとき、リピートエリアにおける転送先アドレスの初期アドレスを指定してください。初期値は不定です。

8.2.5 DTC 転送カウントレジスタ A (DTCRA)

DTCRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。初期値は不定です。

ノーマルモードでは、16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。転送回数は設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピートモードでは、上位 8 ビットの DTCRAH は転送回数を保持し、下位 8 ビットの DTCRAL は 8 ビット転送カウンタとして機能します。転送回数は、設定値が DTCRAH=DTCRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、16 ビットの転送カウンタとして機能します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

8.2.6 DTC 転送カウントレジスタ B (DTCRB)

DTCRB は 16 ビットのレジスタで、ブロック転送モードのとき、ブロック長を指定します。ブロック長は、設定値が H'0001 のときは 1、H'FFFF のときは 65535 で、H'0000 のときは 65536 になります。初期値は不定です。

8.2.7 DTC イネーブルレジスタ (DTER)

DTER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTEA~DTEF があります。各割り込み要因と DTE ビットの対応については表 8.1 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	DTE*7	0	R/W	DTC 起動イネーブル 7~0
6	DTE*6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTE*5	0	R/W	[クリア条件]
4	DTE*4	0	R/W	(1) DTMR の DISEL ビットが 1 で 1 回のデータ転送を終了したとき
3	DTE*3	0	R/W	(2) 指定した回数の転送が終了したとき
2	DTE*2	0	R/W	(3) クリアするビットの 1 を読み出してから 0 を書き込み
1	DTE*1	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
0	DTE*0	0	R/W	[セット条件] セットするビットの 0 を読み出してから 1 を書き込み

【注】* DCT イネーブルレジスタ名称の最後の 1 文字が入ります。

例：DTEB では DTEB3 など。

8. データトランスファコントローラ (DTC)

8.2.8 DTC コントロール/ステータスレジスタ (DTCSR)

DTCSR は 16 ビットのレジスタで、ソフトウェアによる DTC 起動の許可/禁止の設定、およびソフトウェア起動による DTC ベクタアドレスを設定します。また、DTC 転送の状態も示します。

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて 0	R	リザーブビット DTC の動作に影響を与えません。ライトするときは常に 0 をライトしてください。
10	NMIF	0	R/(W)* ¹	NMI フラグビット NMI 割り込みが発生したことを示します。 0 : NMI 割り込みなし [クリア条件] NMIF ビットを読み出してから 0 を書き込む 1 : NMI 割り込み発生 NMIF ビットが 1 にセットされていると、DTER のビットに 1 を設定しても、DTC 転送は許可されません。ただし、すでに DTMR レジスタの NMIM ビットが 1 で転送が開始している場合、その転送は終了するまで実行されます。
9	AE	0	R/(W)* ¹	アドレスエラーフラグ DTC によるアドレスエラーが発生したことを示します。 0 : DTC によるアドレスエラーなし [クリア条件] AE ビットを読み出してから 0 を書き込む 1 : DTC によるアドレスエラー発生 AE ビットがセットされていると、DTER のビットに 1 を設定しても DTC 転送は許可されません。
8	SWDTE	0	R/W)* ²	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。 0 : ソフトウェアによる DTC 起動を禁止 1 : ソフトウェアによる DTC 起動を許可

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
7	DTVEC7	0	R/W	DTC ソフトウェア起動ベクタ 7~0
6	DTVEC6	0	R/W	ソフトウェアによる DTC 起動ベクタアドレスの下位 8 ビットを設定します。
5	DTVEC5	0	R/W	ベクタアドレスは、H'0400+DTVEC[7:0]となります。DTVEC0 には必ず 0 を
4	DTVEC4	0	R/W	指定してください。例えば、DTVEC7~DTVEC0=H'10 のとき、ベクタアド
3	DTVEC3	0	R/W	レスは H'0410 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

【注】 *1 1 読み出し後の 0 ライトのみ可能です。

*2 1 書き込みは常時可能ですが、0 書き込みは 1 読み出し後にのみ可能です。

8.2.9 DTC 情報ベースレジスタ (DTBR)

DTBR は、読み出し/書き込み可能な 16 ビットのレジスタで、DTC 転送情報を格納するメモリアドレスの上位 16 ビットを指定します。DTBR のアクセスは、必ずワードまたはロングワード単位で行ってください。バイト単位でアクセスすると、書き込み時はレジスタの内容が不定になり、また読み出し時は不定値が読み出されます。初期値は不定です。

8.3 動作説明

8.3.1 起動要因

DTC は割り込み要求またはソフトウェアによる DTCSR へのライト動作により起動します。起動する割り込み要因は DTER で選択します。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTER の対応するビットをクリアします。例えば RXI_2 の場合、起動要因フラグは、SCI チャンネル 2 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

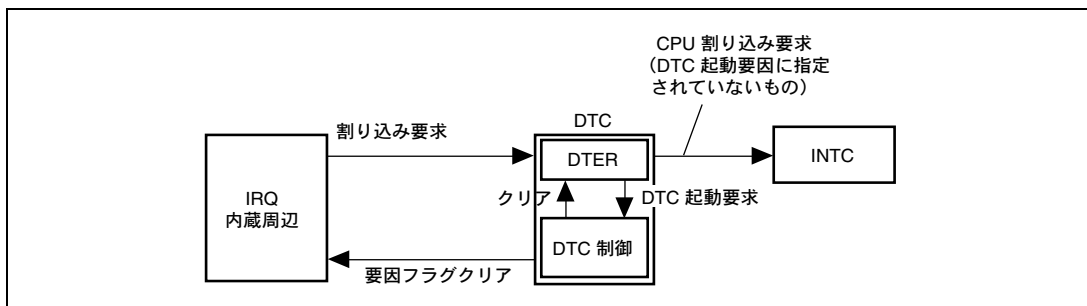


図 8.2 DTC 起動要因制御ブロック図

8.3.2 レジスタ情報の配置と DTC ベクタテーブル

メモリ空間上でのレジスタ情報の配置を図 8.3 に示します。レジスタ情報先頭アドレスは、上位 16 ビットを DTBR で、下位 16 ビットは DTC ベクタテーブルで指定します。

レジスタ情報先頭アドレスから、ノーマルモード時は DTMR、DTCRA、4 バイトの空き（DTC 動作に影響しません）、DTSAR、DTDAR の順に配置します。リピートモード時は、DTMR、DTCRA、DTIAR、DTSAR、DTDAR の順に配置します。ブロック転送モード時は、DTMR、DTCRA、2 バイトの空き（DTC 動作に影響しません）、DTCRB、DTSAR、DTDAR の順に配置します。

レジスタ情報を配置するアドレスは、通常は内蔵 RAM エリアを指定します。

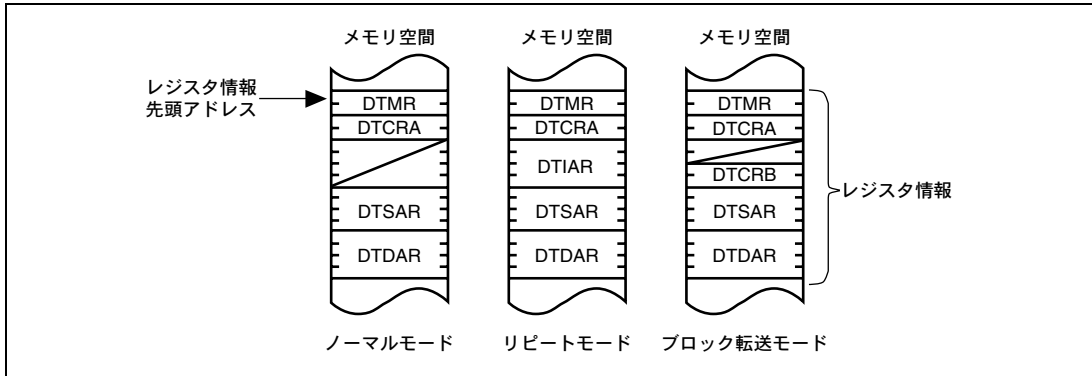


図 8.3 メモリ空間上での DTC レジスタ情報の配置

図 8.4 に、DTC ベクタアドレスとレジスタ情報配置の対応を示します。DTC 起動要因ごとに DTC ベクタテーブルが 2 バイトずつあり、レジスタ情報先頭アドレスを格納します。

表 8.1 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合は、ベクタアドレスは $H'0400 + DTVEC[7:0]$ で計算されます。

DTC 起動により、ベクタテーブルからレジスタ情報先頭アドレスを読み出し、このレジスタ情報先頭アドレスから、メモリ空間に配置されたレジスタ情報を読み出します。レジスタ情報先頭アドレスには必ず 4 の倍数を指定してください。

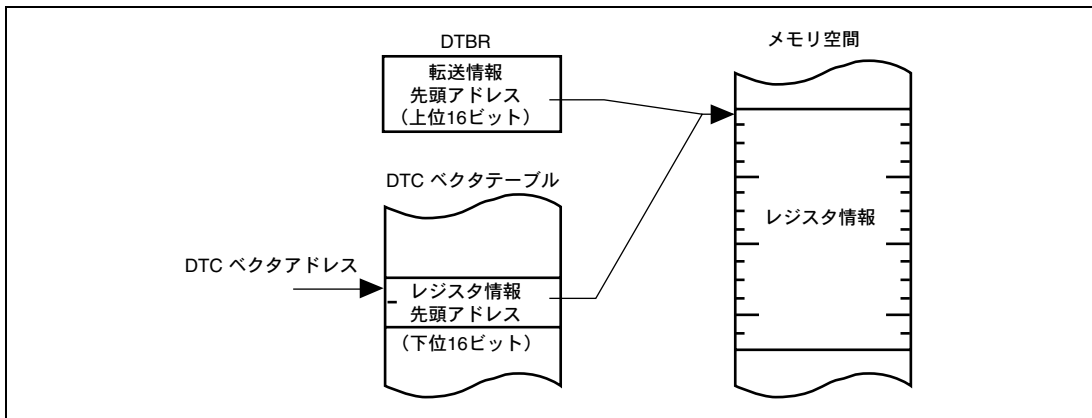


図 8.4 DTC ベクタアドレスと転送情報との対応

8. データトランスファコントローラ (DTC)

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTE

起動要因発生元	起動要因	DTC ベクタアドレス	DTE ビット	転送元	転送先	優先順
MTU (CH4)	TGI4A	H'00000400	DTEA7	任意*	任意*	↑ 高
	TGI4B	H'00000402	DTEA6	任意*	任意*	
	TGI4C	H'00000404	DTEA5	任意*	任意*	
	TGI4D	H'00000406	DTEA4	任意*	任意*	
	TGI4V	H'00000408	DTEA3	任意*	任意*	
MTU (CH3)	TGI3A	H'0000040A	DTEA2	任意*	任意*	↑ ↓ 低
	TGI3B	H'0000040C	DTEA1	任意*	任意*	
	TGI3C	H'0000040E	DTEA0	任意*	任意*	
	TGI3D	H'00000410	DTEB7	任意*	任意*	
MTU (CH2)	TGI2A	H'00000412	DTEB6	任意*	任意*	
	TGI2B	H'00000414	DTEB5	任意*	任意*	
MTU (CH1)	TGI1A	H'00000416	DTEB4	任意*	任意*	
	TGI1B	H'00000418	DTEB3	任意*	任意*	
MTU (CH0)	TGI0A	H'0000041A	DTEB2	任意*	任意*	
	TGI0B	H'0000041C	DTEB1	任意*	任意*	
	TGI0C	H'0000041E	DTEB0	任意*	任意*	
	TGI0D	H'00000420	DTEC7	任意*	任意*	
A/D変換器(CH0)	ADI0	H'00000422	DTEC6	ADDR	任意*	
外部端子	IRQ0	H'00000424	DTEC5	任意*	任意*	
	IRQ1	H'00000426	DTEC4	任意*	任意*	
	IRQ2	H'00000428	DTEC3	任意*	任意*	
	IRQ3	H'0000042A	DTEC2	任意*	任意*	
	(システム予約)	H'0000042C	DTEC1	任意*	任意*	
	(システム予約)	H'0000042E	DTEC0	任意*	任意*	
	(システム予約)	H'00000430	DTED7	任意*	任意*	
	(システム予約)	H'00000432	DTED6	任意*	任意*	
CMT (CH0)	CMI0	H'00000434	DTED5	任意*	任意*	
CMT (CH1)	CMI1	H'00000436	DTED4	任意*	任意*	
リザーブ	—	H'00000438~00000443	—	—	—	
A/D変換器(CH1)	ADI1	H'00000444	DTEE5	ADDR	任意*	
リザーブ	—	H'00000446	—	—	—	
SCI2	RXI_2	H'00000448	DTEE3	RDR_2	任意*	
	TXI_2	H'0000044A	DTEE2	任意*	TDR_2	
SCI3	RXI_3	H'0000044C	DTEE1	RDR_3	任意*	
	TXI_3	H'0000044E	DTEE0	任意*	TDR_3	

8. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	DTC ベクタアドレス	DTE ビット	転送元	転送先	優先順
SCI4	RXL_4	H'00000450	DTEF7	RDR_4	任意*	高   低
	TXI_4	H'00000452	DTEF6	任意*	TDR_4	
MMT	TGN	H'00000454	DTEF5	任意*	任意*	
	TGM	H'00000456	DTEF4	任意*	任意*	
リザーブ	—	H'00000458	—	—	—	
HCAN2	RM1	H'0000045A	DTEF2	任意*	任意*	
リザーブ	—	H'0000045C~ H'0000049F	—	—	—	
ソフトウェア	DTCSR ライト	H'0400+DTVEC[7:0]	—	任意*	任意*	

【注】* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール(DTCを除く)

8.3.3 DTC の動作

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、DTMR の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェイン転送)。

転送元アドレスは 32 ビット長の DTSAR、転送先アドレスは 32 ビット長の DTDAR で指定します。DTSAR、DTDAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

8. データトランスファコントローラ (DTC)

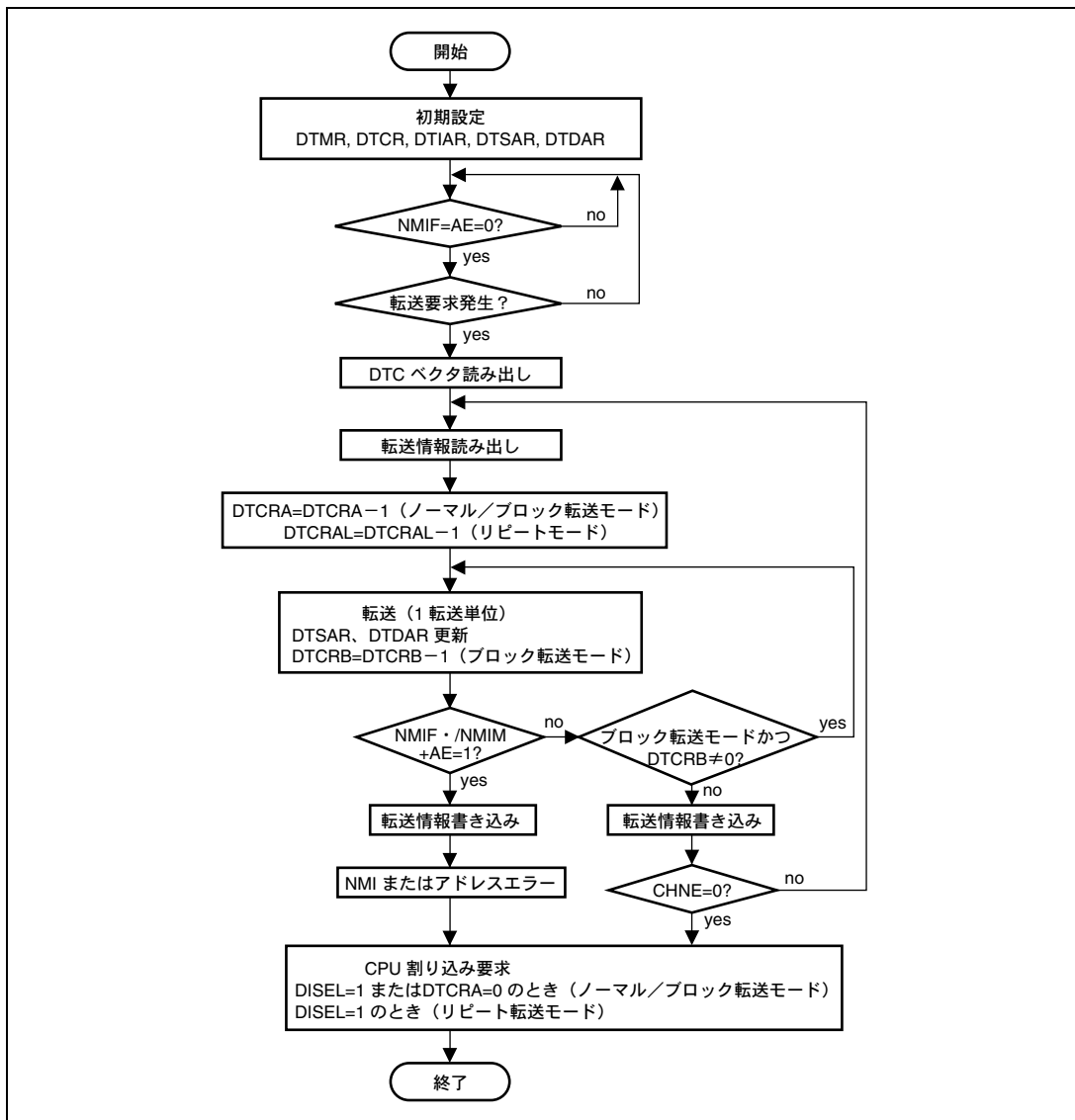


図 8.5 DTC 動作フローチャート

(1) ノーマルモード

1回の動作で、1バイトまたは1ワードまたは1ロングワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 8.2 ノーマルモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRAが1以外のとき	DTCRAが1のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRA	転送カウント	DTCRA-1	DTCRA-1 (=H'0000)
DTSAR	転送元アドレス	増加/減少/固定	増加/減少/固定
DTDAR	転送先アドレス	増加/減少/固定	増加/減少/固定

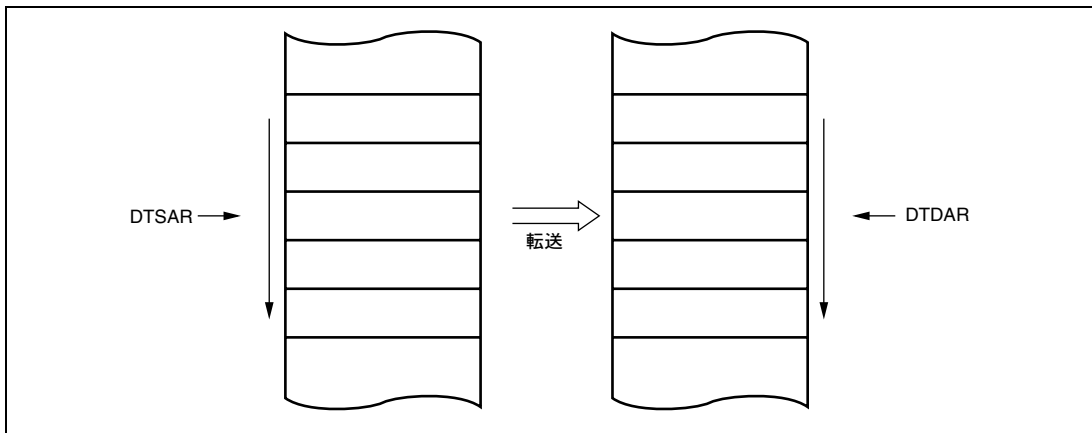


図 8.6 ノーマルモードのメモリマップ

8. データトランスファコントローラ (DTC)

(2) リピートモード

1回の動作で、1バイトまたは1ワードまたは1ロングワードの転送を行います。転送元、転送先のいずれか一方をリピートエリアに指定します。表 8.3 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 8.3 リピートモードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		DTCRA が 1 以外のとき	DTCRA が 1 のとき
DTMR	動作モードの制御	DTMR	DTMR
DTCRAH	転送カウンタ保存	DTCRAH	DTCRAH
DTCRAL	転送カウンタ	DTCRAL-1	DTCRAH
DTIAR	初期アドレス	(書き戻しません)	(書き戻しません)
DTSAR	転送元アドレス	増加/減少/固定	(DTS=0) 増加/減少/固定 (DTS=1) DTIAR
DTDAR	転送先アドレス	増加/減少/固定	(DTS=0) DTIAR (DTS=1) 増加/減少/固定

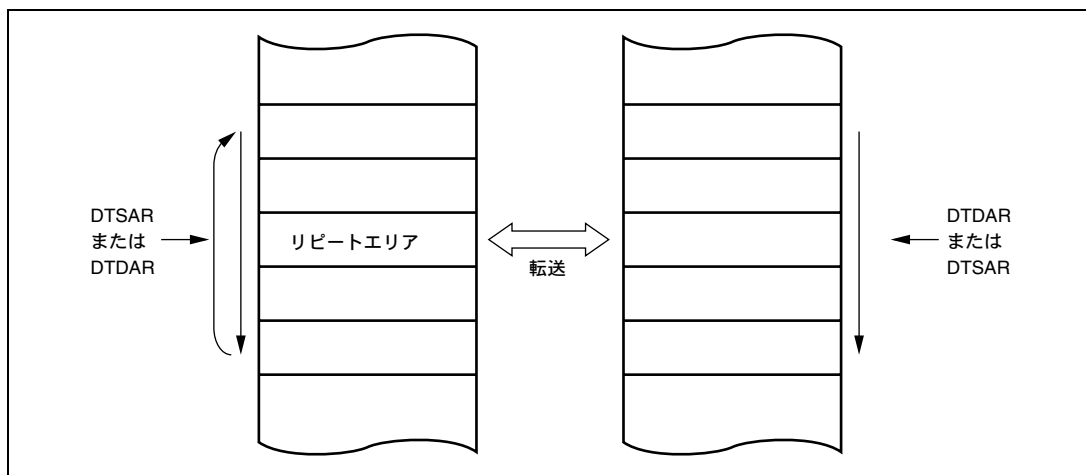


図 8.7 リピートモードのメモリマップ

(3) ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~65536で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 8.4 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
DTMR	動作モードの制御	DTMR
DTCRA	転送カウント	DTCRA-1
DTCRB	ブロック長	(書き戻しません)
DTSAR	転送元アドレス	(DTS=0) 増加/減少/固定 (DTS=1) DTSARの初期値
DTDAR	転送先アドレス	(DTS=0) DTDARの初期値 (DTS=1) 増加/減少/固定

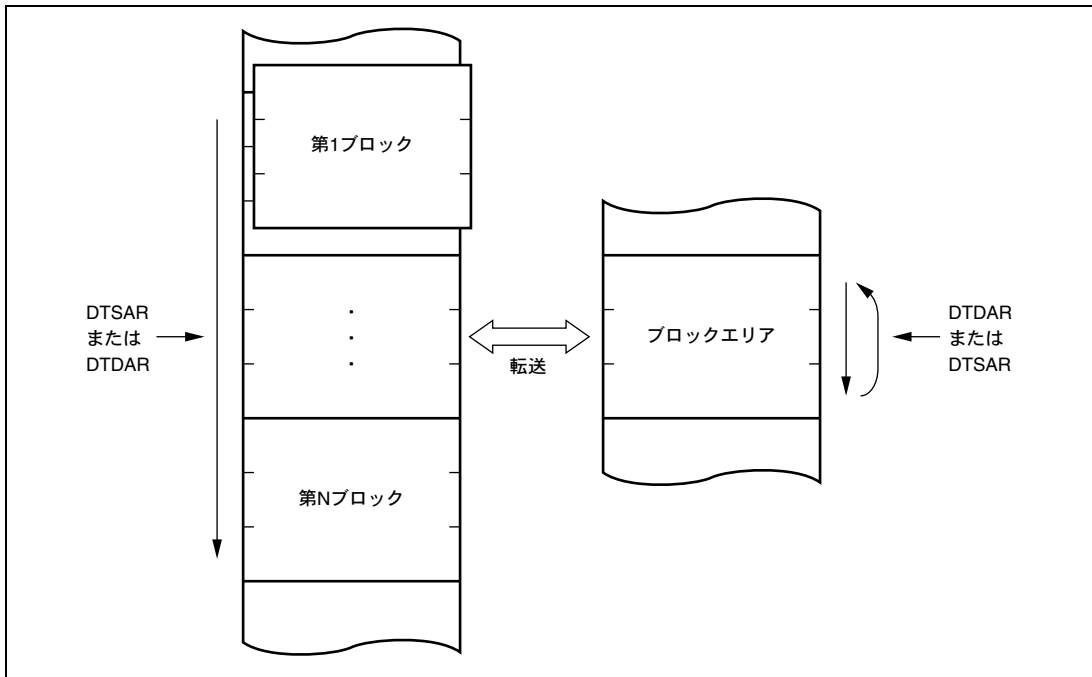


図 8.8 ブロック転送モードのメモリマップ

8. データトランスファコントローラ (DTC)

(4) チェイン転送

DTMR の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。DTSAR、DTDAR、DTMR および DTCRA、DTCRB は各々独立に設定できます。

図 8.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE=1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

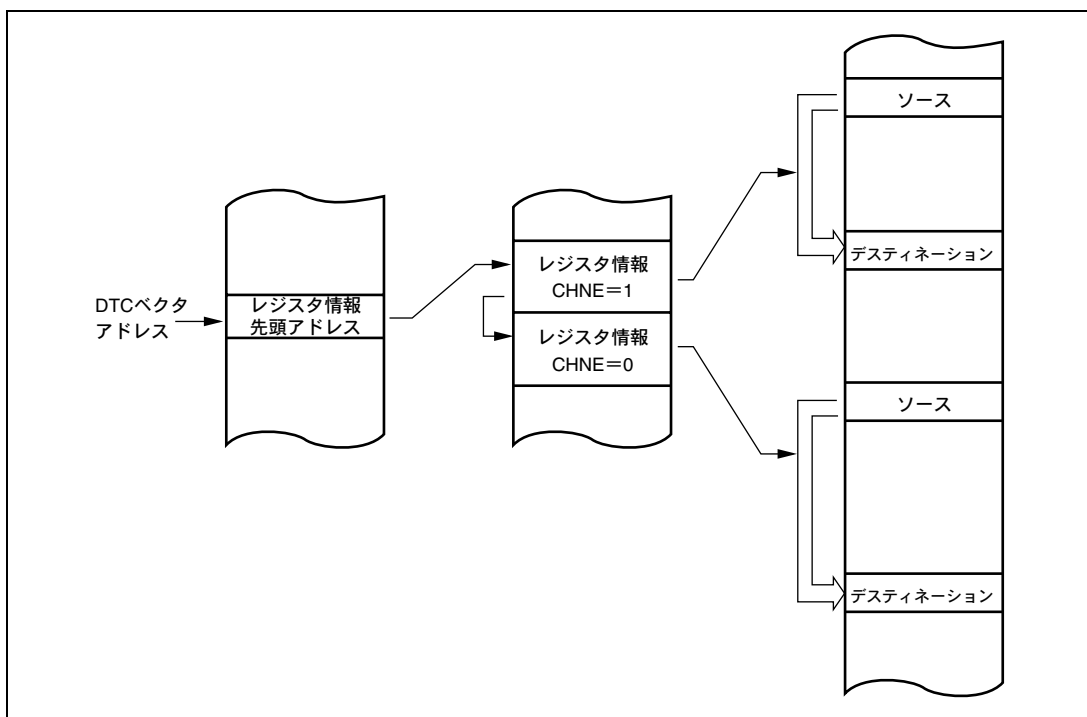


図 8.9 チェイン転送の動作

8.3.4 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

【注】DTCR が 2 以上の場合、SWDTE ビットは自動的にクリアされ、DTCR が 1 になったときに再び SWDTE がセットされます。

8.3.5 動作タイミング

内蔵 RAM 上にレジスタ情報を配置した場合、各モードとも転送情報読み出しに 4 サイクル、書き込みに 3 サイクル必要となります。

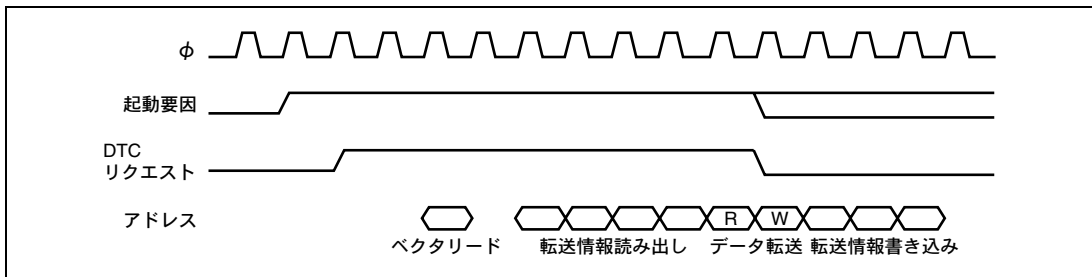


図 8.10 DTC の動作タイミング例 (ノーマルモード)

8.3.6 DTC 実行ステート数

表 8.5 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.6 に、実行状態に必要なステート数を示します。

表 8.5 DTC の実行状態

モード	ベクタリード	レジスタ情報 リード/ライト	データリード	データライト	内部動作
	I	J	K	L	M
ノーマル	1	7	1	1	1
リピート	1	7	1	1	1
ブロック転送	1	7	N	N	1

N : ブロックサイズ (DTCRB の初期設定値)

8. データトランスファコントローラ (DTC)

表 8.6 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス
バス幅		32	32	32		8
アクセスステート		1	1	2 ^{*1}	3 ^{*2}	2
実行状態	ベクタリード S _I	—	1	—	—	4
	レジスタ情報 リード/ライト S _J	1	1	—	—	8
	バイトデータリード S _K	1	1	2	3	2
	ワードデータリード S _K	1	1	2	3	4
	ロングワードデータリード S _K	1	1	4	6	8
	バイトデータライト S _L	1	1	2	3	2
	ワードデータライト S _L	1	1	2	3	4
	ロングワードデータライト S _L	1	1	4	6	8
	内部動作 S _M	1				

【注】 *1 2ステートアクセスモジュール：ポート、INT、CMT、SCI など

*2 3ステートアクセスモジュール：WDT、UBC など

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分（CHNE ビットを 1 にセットした数+1）の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

8.4 DTC 使用手順

8.4.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIARのレジスタ情報をメモリ空間に設定します。
2. レジスタ情報の先頭アドレスを、DTBRレジスタとDTCベクタテーブルに設定します。
3. DTERの対応するビットを1にセットします。
4. 要因となる割り込みが発生すると、DTCが起動されます。
5. CPUに対して割り込みを要求しない場合は、割り込み要因はクリアされ、DTERはクリアされません。割り込みを要求する場合は、割り込み要因はクリアされず、DTERはクリアされます。
6. CPU割り込みルーチン内で割り込み要因をクリアします。引き続きDTC転送によるデータ転送を行う場合には、DTERを読み出して0であることを確認して、DTERを1にセットします。

8.4.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. DTMR、DTCRA、DTSAR、DTDAR、DTCRB、DTIARのレジスタ情報をメモリ空間に設定します。
2. レジスタ情報の先頭アドレスを、DTBRレジスタとDTCベクタテーブルに設定します。
3. SWDTE=0を確認します。
4. SWDTEに1を、DTVECにベクタアドレスをライトします。
5. DTVECにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。
7. CPU割り込みルーチン内でSWDTEビットをクリアします。引き続きDTC転送によるデータ転送を行う場合には、SWDTEビットを読み出して0であることを確認して、SWDTEビットを1にセットします。このときDTVECにも引き続きDTC転送をするベクタアドレスをライトします。

8. データトランスファコントローラ (DTC)

8.4.3 DTC 使用例

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. DTMRはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz1=Sz0=0) を設定します。DTSビットは任意の値とすることができます。起動要因1回につき1回の転送 (CHNE=0)、指定回数のデータ転送後にCPU割り込み要求 (DISEL=0) を設定します。DTSARはSCIのRDRのアドレス、DTDARはデータを格納するRAMの先頭アドレス、DTCRAは128 (H'0080) を設定します。DTCRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTBRとDTCベクタテーブルに設定します。
3. DTERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DTDARのインクリメント、DTCRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、DTCRAが0になると、RDRFフラグは1のまま保持され、DTERビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.5 使用上の注意事項

8.5.1 DTC による DTC レジスタアクセス禁止

DTC を使用して、DTC のレジスタアクセスをしないでください。

8.5.2 モジュールスタンバイモードの設定

DTC は、モジュールスタンバイコントロールレジスタにより、本モジュールの動作禁止/許可を設定することが可能です。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。

MSTCR1 の MSTP25 ビットおよび MSTP24 ビットをともに 1 にセットすると、DTC のクロックが停止し、DTC はモジュールスタンバイモードとなります。ただし、DTC が起動中には MSTP25 ビットまたは MSTP24 ビットに 1 をライトしないでください。

詳細は、「第 24 章 低消費電力状態」を参照してください。

8.5.3 内蔵 RAM

DTMR、DTSAR、DTDAR、DTCRA、DTCRB、DTIAR の各レジスタは、通常は内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

9. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などを本 LSI に直結することができます。

9.1 特長

- アドレス空間を4つに分割して管理

CS0空間は、内蔵ROM有効モード、内蔵ROM無効モードとも最大256Kバイト
バス幅 (8ビット)

ソフトウェアによるウェイトステートを挿入可能

外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
各空間に接続するメモリに対応した制御信号を出力

- 内蔵ROM、RAM インタフェース

内蔵ROM、RAMは32ビットを1ステートでアクセス

BSCのブロック図を図9.1に示します。

9. バスステートコントローラ (BSC)

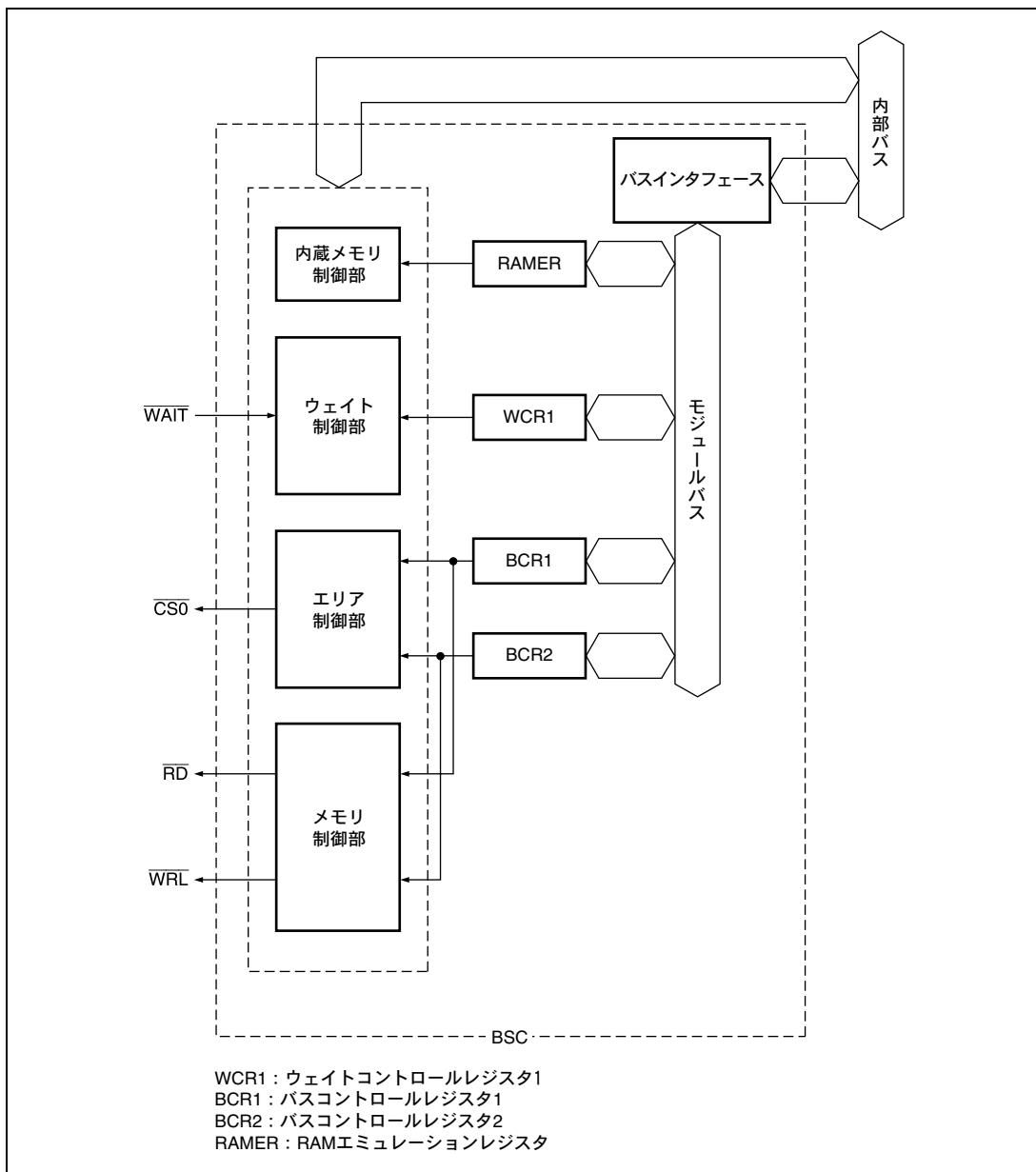


図 9.1 BSC のブロック図

9.2 入出力端子

バスステートコントローラの端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
アドレスバス	A17~A0	出力	アドレス出力
データバス	D7~D0	入出力	8 ビットのデータバス
チップセレクト	$\overline{CS0}$	出力	アクセス中のエリアを示すチップセレクト信号
リード	\overline{RD}	出力	リードサイクルを示すストロープ信号
最下位バイトライト	\overline{WRL}	出力	最下位バイト (D7~D0) への書き込みサイクルを示すストロープ
ウェイト	\overline{WAIT}	入力	ウェイトステート要求信号
バス権要求	\overline{BREQ}	入力	バス解放要求入力
バス権要求アクノリッジ	\overline{BACK}	出力	バス使用許可出力

9.3 レジスタの構成

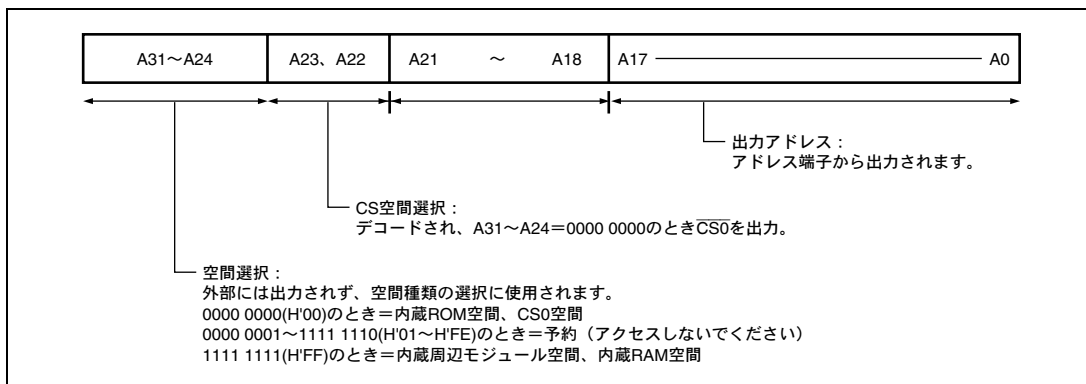
バスステートコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタサイズはすべて 16 ビットです。

- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- ウェイトコントロールレジスタ1 (WCR1)
- RAMエミュレーションレジスタ (RAMER)

9.4 アドレスマップ

図 9.2 に、本 LSI で用いるアドレスのフォーマットを示します。



本 LSI では 32 ビットのアドレスを用います。

A31~A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23, A22 ビットは A31~A24 ビットが 0000 0000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$) となり、出力されます。

A17~A0 は外部に出力されます。A21~A18 は外部に出力されません。

表 9.2 にアドレスマップを示します。

表 9.2 アドレスマップ

- 内蔵ROM有効モード時

アドレス	空間種類	メモリ種類	サイズ		バス幅
			SH7047F	SH7049	
H'0000 0000~H'0000 FFFF	内蔵 ROM	内蔵 ROM	256kB	128k	32
H'0001 0000~H'0001 FFFF				予約	
H'0002 0000~H'0003 FFFF					
H'0004 0000~H'001F FFFF	予約	予約	予約		
H'0020 0000~H'0023 FFFF	CS0 空間	外部空間	256kB	256kB	8
H'0024 0000~H'FFFF 7FFF	予約	予約			
H'FFFF 8000~H'FFFF BFFF	内蔵周辺 モジュール	内蔵周辺 モジュール	16kB	16kB	8/16
H'FFFF C000~H'FFFF CFFF	予約	予約			
H'FFFF D000~H'FFFF DFFF	内蔵 RAM	内蔵 RAM	12kB	予約	32
H'FFFF E000~H'FFFF EFFF				8kB	
H'FFFF F000~H'FFFF FFFF					

- 内蔵ROM無効モード時

アドレス	空間種類	メモリ種類	サイズ		バス幅
			SH7047F	SH7049	
H'0000 0000~H'0003 FFFF	CS0 空間	外部空間	256kB		8
H'0004 0000~H'FFFF 5FFF	予約	予約			
H'FFFF 8000~H'FFFF BFFF	内蔵周辺モジュール	内蔵周辺モジュール	16kB		8/16
H'FFFF C000~H'FFFF CFFF	予約	予約			
H'FFFF D000~H'FFFF DFFF	内蔵 RAM	内蔵 RAM	12kB	予約	32
H'FFFF E000~H'FFFF EFFF				8kB	
H'FFFF F000~H'FFFF FFFF					

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。シングルチップモードのとき、内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。

9.5 レジスタの説明

9.5.1 バスコントロールレジスタ 1 (BCR1)

BCR1 は読み出し／書き込み可能な 16 ビットのレジスタで、MMT および MTU の制御レジスタのアクセス許可指定と CS0 空間のバスサイズを指定します。

BCR1 の A0SZ ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで CS0 空間はアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	MMTRWE	1	R/W	MMT 読み出し／書き込みイネーブル MMT の制御レジスタのアクセスを許可します。詳しくは、「第 16 章 モータ マネージメントタイマ (MMT)」をご参照ください。 0 : MMT の制御レジスタのアクセスを禁止 1 : MMT の制御レジスタのアクセスを許可
13	MTURWE	1	R/W	MTU 読み出し／書き込みイネーブル MTU の制御レジスタのアクセスを許可します。詳しくは、「第 10 章 マルチ ファンクションタイマパルスユニット (MTU)」をご参照ください。 0 : MTU の制御レジスタのアクセスを禁止 1 : MTU の制御レジスタのアクセスを許可
12~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~1	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	A0SZ	1	R/W	内蔵 ROM 有効モード時、CS0 空間アクセス前にバスサイズを 8 ビットに指定 するために 0 を書き込んでください。 【注】内蔵 ROM 無効モード時の CS0 空間のバスサイズは、モード端子により 指定されます。

9.5.2 バスコントロールレジスタ 2 (BCR2)

BCR2 は読み出し／書き込み可能な 16 ビットのレジスタで、CS0 空間のアイドルサイクル数や $\overline{CS0}$ 信号のアサート拡張を指定します。

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9	IW01	1	R/W	CS0 空間サイクル間アイドル指定
8	IW00	1	R/W	リードアクセス後にライトサイクルが続く場合にアイドルサイクルの挿入を行います。 00 : CS0 空間アイドルサイクルなし 01 : CS0 空間 1 アイドルサイクル 10 : CS0 空間 2 アイドルサイクル 11 : CS0 空間 3 アイドルサイクル
7~5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	CW0	1	R/W	CS0 空間連続アクセス時アイドル指定 同一 CS 空間を連続してアクセスする場合、 $\overline{CS0}$ 信号をいったんネゲートすることによりバスの切れ目をわかりやすくするために挿入します。 0 : CS0 空間連続アクセス時アイドルサイクルなし 1 : CS0 空間連続アクセス時 1 アイドルサイクル ただし、リード後にライトが続く場合、挿入されるアイドルサイクルは IW01、IW00 によって指定される値と比較して、大きい方を使用します。
3~1	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	SW0	1	R/W	CS0 空間 \overline{CS} アサート幅拡張指定 \overline{RD} 信号、 \overline{WRL} 信号のアサート期間が CS0 信号のアサート期間を超えることを防止するために挿入します。 0 : CS0 空間 \overline{CS} アサート拡張なし 1 : CS0 空間 \overline{CS} アサート拡張あり (バスサイクルの前後 1 サイクル挿入)

9. バスステートコントローラ (BSC)

9.5.3 ウェイトコントロールレジスタ 1 (WCR1)

WCR1 は読み出し／書き込み可能な 16 ビットのレジスタで、CS0 空間のウェイトサイクルを指定します。

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	W03	1	R/W	CS0 空間ウェイト指定
2	W02	1	R/W	CS0 空間アクセス時のウェイト数を指定します。
1	W01	1	R/W	0000 : ノーウェイト (外部ウェイト入力禁止)
0	W00	1	R/W	0001 : 1 ウェイト (外部ウェイト入力カインェブル) ... 1111 : 15 ウェイト (外部ウェイト入力カインェブル)

9.5.4 RAM エミュレーションレジスタ (RAMER)

RAMER は読み出し／書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。詳細は、「19.5.5 RAM エミュレーションレジスタ (RAMER)」を参照してください。

9.6 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

9.6.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 9.3 に外部空間アクセスの基本タイミングを示します。

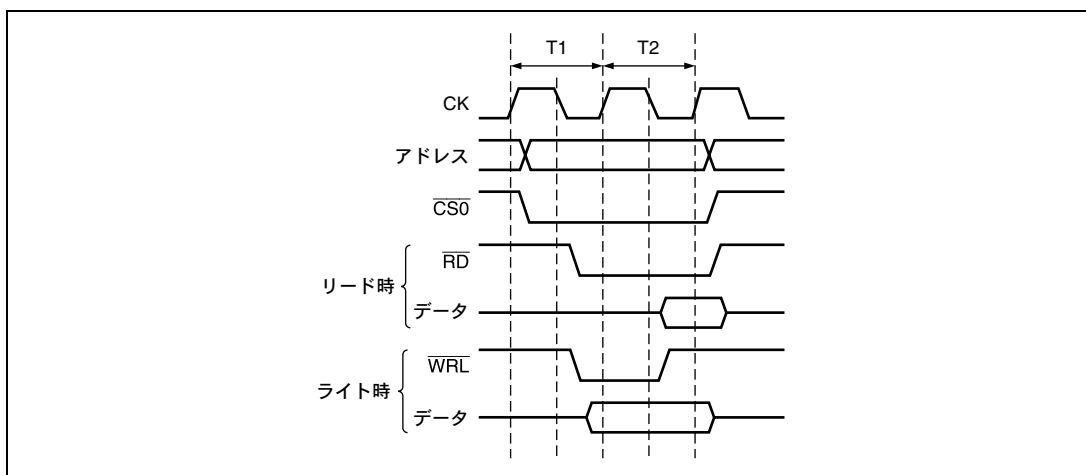


図 9.3 外部空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 \overline{RD} 信号によりアクセスする空間（アドレス）のデータバス幅全ビット（本 LSI では 8 ビット）を LSI に取り込みます。

書き込み時は、書き込むバイト位置を \overline{WRL} （ビット 7~0）信号で示します。

9.6.2 ウェイトステート制御

WCR1 の設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図 9.4 に示すタイミングで、TW のサイクルがソフトウェアサイクルとして指定サイクル数だけ挿入されます。

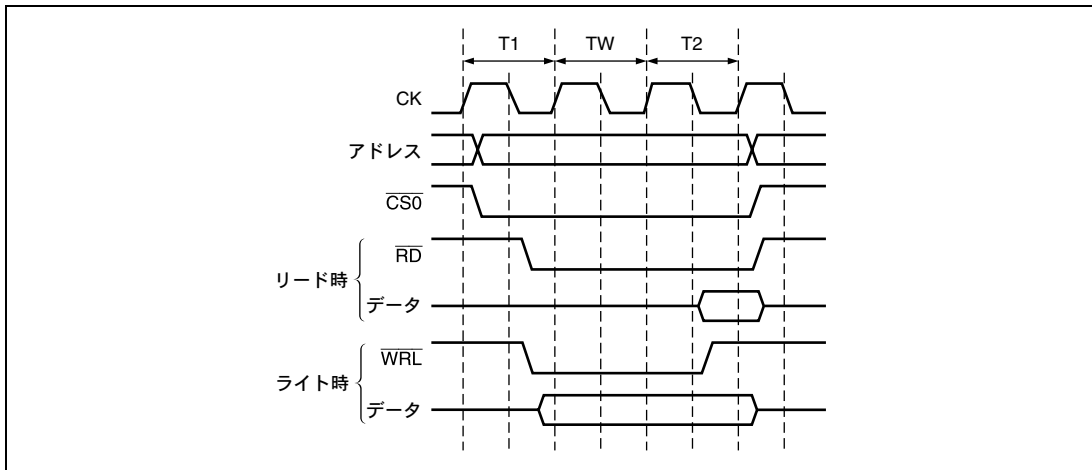


図 9.4 外部空間アクセスのウェイトステートタイミング（ソフトウェアウェイトのみ）

WCR1 によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 \overline{WAIT} 信号もサンプリングされます。 \overline{WAIT} 信号のサンプリングを図 9.5 に示します。 \overline{WAIT} 信号のサンプリングは、TW ステートから T2 ステートに移行する際にクロックの立ち上がりから 1 サイクル前のクロックの立ち上がりで行われます。外部ウェイトを使用する際、CS アサート拡張時にはソフトウェアウェイトを 1 ステート以上、それ以外のときは 2 ステート以上を WCR1 に設定してください。

9. バスステートコントローラ (BSC)

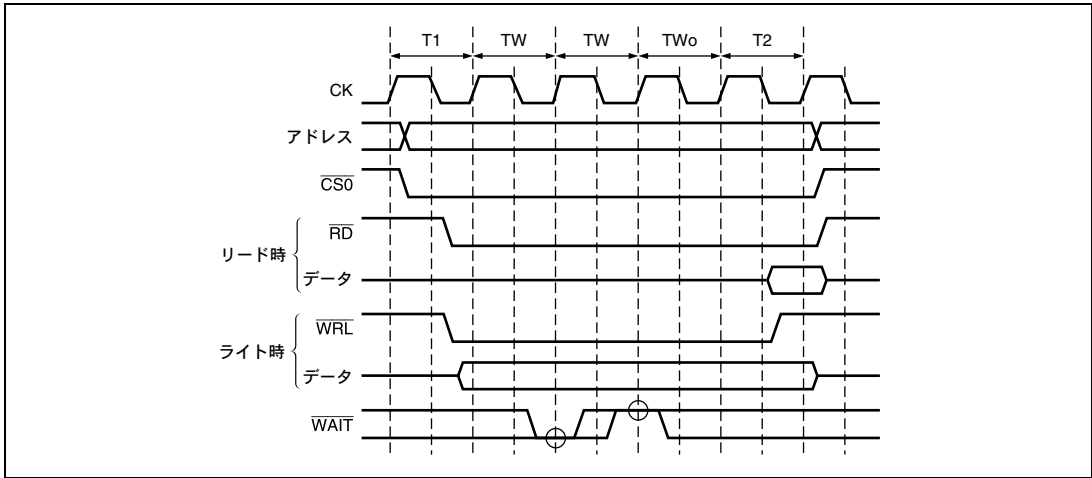


図 9.5 外部空間アクセスのウェイトステートタイミング
(ソフトウェアウェイト 2 ステート + \overline{WAIT} 信号によるウェイトステート)

9.6.3 \overline{CS} アサート期間拡張

BCR2 の SW0 ビットの設定により、 \overline{RD} 、 \overline{WRL} のアクティブとなる期間が $\overline{CS0}$ のアクティブとなる期間を超えないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 9.6 に示します。Th および Tf サイクルが通常サイクルの前後にそれぞれ付加されています。このサイクルでは $\overline{CS0}$ のみアクティブとなり、 \overline{RD} 、 \overline{WRL} はアクティブとなりません。また、ライトデータは Tf サイクルまで延ばされるので、ライト動作の遅いゲートアレイに有効です。

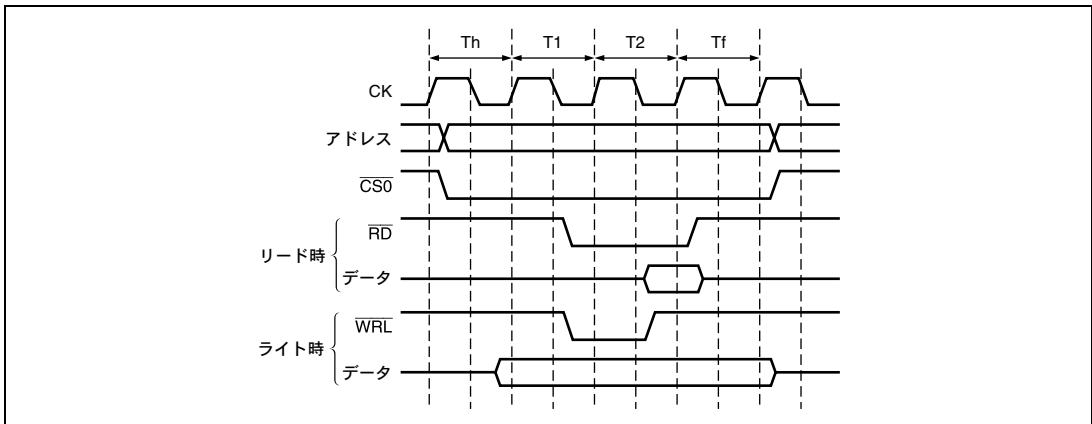


図 9.6 \overline{CS} アサート期間拡張機能

9.7 アクセスサイクル間ウェイト

低速なデバイスをリードしたとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。これを防止するため、メモリアクセスを起動する際に問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、CS0 空間の連続アクセス時にいったん $\overline{CS0}$ 信号をインアクティブとして、バスサイクル開始の検出を容易にするために、アクセスサイクル間にウェイトを挿入することができます。

9.7.1 データバス衝突防止

リードサイクル後のライトサイクル、BCR2 の IW01 および IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

9.7.2 バスサイクル開始検出の容易化

CS0 空間を連続してアクセスする場合、BCR2 の CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、リード後のライトサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで指定されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 9.7 に例を示します。この例では CS0 空間を連続アクセスアイドル指定し、CS0 空間を連続ライトアクセスした場合を示しています。

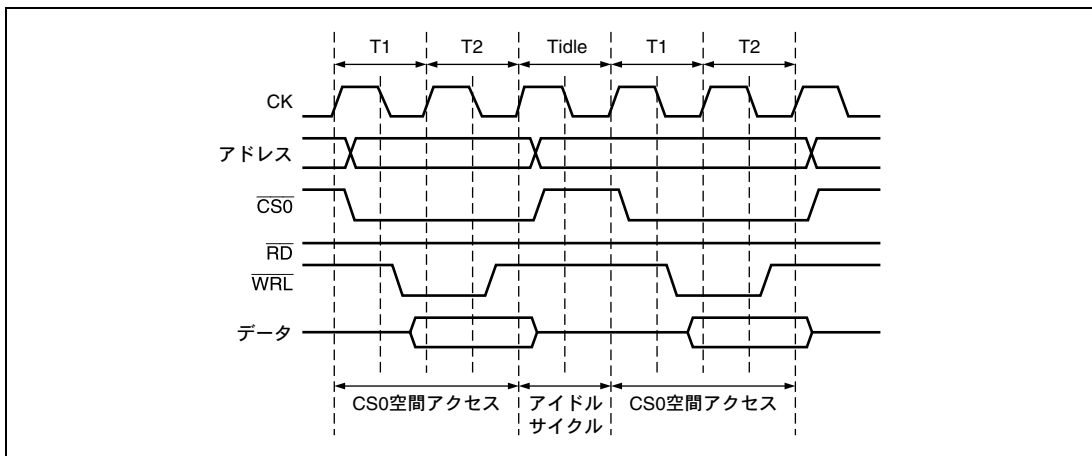


図 9.7 同一空間連続アクセス時アイドルサイクル挿入例

9.8 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU、DTC と AUD (フラッシュ版のみ) という 3 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > AUD > DTC > CPU

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。 $\overline{\text{BREQ}}$ 端子がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行います。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

ただし、TAS 命令実行中のリードサイクルとライトサイクルの間での解放は行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、例えば 8 ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。

本 LSI がバス権を解放中に、バス権を取り戻したいことがあります。割り込み要求が発生してその処理を行わなければならないときです。このため、本 LSI ではバス権要求信号として $\overline{\text{IRQOUT}}$ 端子を用意しています。本 LSI がバス権を取り戻す必要が生じた場合、 $\overline{\text{IRQOUT}}$ 信号をアサートできます。外部のバス解放要求をアサートしているデバイスは、この $\overline{\text{IRQOUT}}$ 信号のアサートを受けて、バス権を解放するために $\overline{\text{BREQ}}$ 信号をネゲートします。これによりバス権が本 LSI に戻り、本 LSI が処理を行います。 $\overline{\text{IRQOUT}}$ 端子のアサート条件は、割り込み要因が発生して、その割り込み要求レベルがステータスレジスタ (SR) の割り込みマスクビット (I3~I0) よりも高い場合です。

図 9.8 に、バス解放手順を示します。

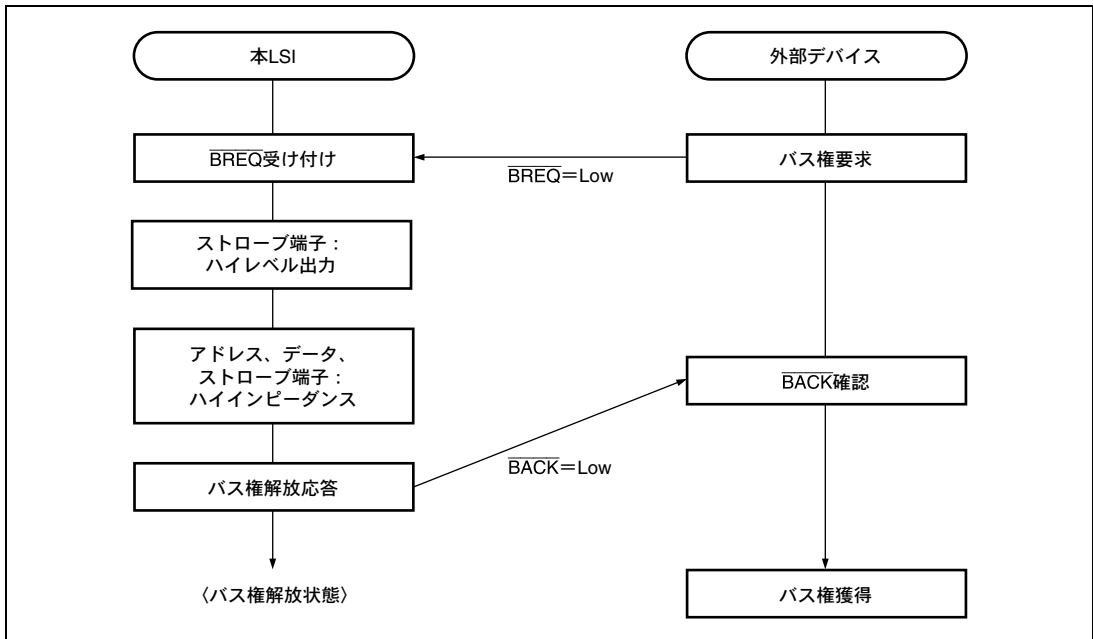


図 9.8 バス権解放手順

9.9 メモリ接続例

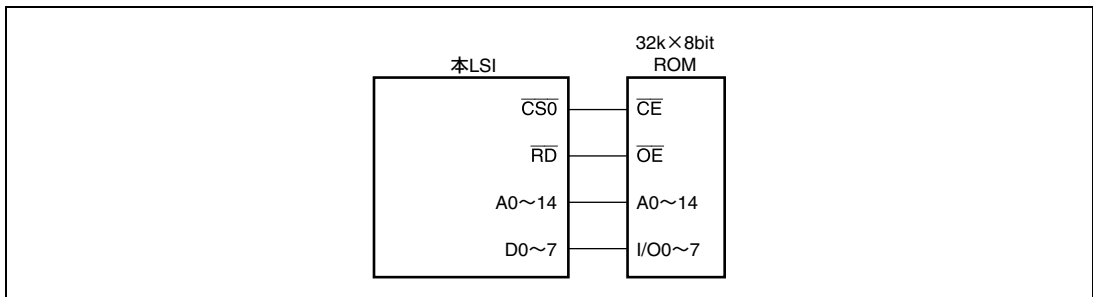


図 9.9 8ビットデータバス幅 ROM 接続例

9. バスステートコントローラ (BSC)

9.10 内蔵周辺 I/O レジスタのアクセス

内蔵周辺 I/O のレジスタは、バスステートコントローラから表 9.3 のようにアクセスされます。

表 9.3 内蔵周辺 I/O レジスタへのアクセス

内蔵周辺 モジュール	SCI	MTU、 POE	INTC	PFC、 PORT	CMT	A/D	UBC	WDT	DTC	MMT	HCAN2	H-UDI
接続バス幅 ビット	8 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット
アクセス サイクル数	2cyc *1	2cyc *1	2cyc *2	2cyc *2	2cyc *1	2cyc *1	3cyc *2	3cyc *2	3cyc *2	2cyc *1	8cyc *2	2cyc *1

【注】 *1 周辺クロック換算

*2 システムクロック換算

9.11 バス権を解放しないサイクルについて

(1) 1 バスサイクル

1 バスサイクル中にバス権を解放することはありません。例えば、8 ビット通常空間へのロングワードでのリード（もしくはライト）の場合、図 9.10 のように、8 ビット通常空間へのメモリアクセス 4 回が一つのバスサイクルとなります。その間に、バス権を解放することはありません。1 回のメモリアクセスが 2 ステートだとすると 8 ステートの間は、バス権を解放しません。

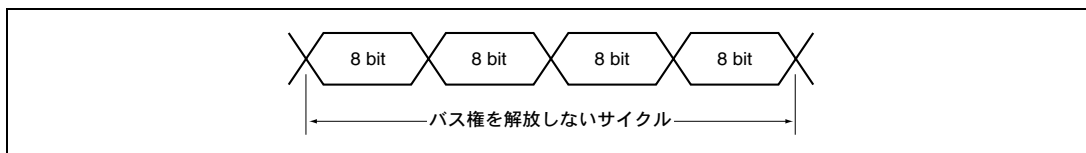


図 9.10 1 バスサイクル

9.12 外部メモリへプログラムを配置したときの CPU 動作

本 LSI は一回の命令フェッチで常に 2 ワード (2 命令分) をフェッチします。これはプログラムが外部メモリに配置されている場合や、その外部メモリのバス幅が 8 ビットまたは 16 ビットのときも同じです。

また、プログラムが分岐した直後のプログラムカウンタ値が奇数ワード ($2n+1$) 番地であるときや、分岐する直前のプログラムカウンタ値が偶数ワード ($2n$) 番地であるときも本 LSI はそれぞれのワード命令を含む 32 ビット (2 命令) 分を常にフェッチします。

10. マルチファンクションタイマパルスユニット (MTU)

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット(MTU) を内蔵しています。ブロック図を図 10.1 に示します。

10.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 23種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で2種（チョッピング、レベル）の波形出力が選択可能

10. マルチファンクションタイマパルスユニット (MTU)

表 10.1 MTUの機能一覧

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力	○	○	○	○
	1 出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○
同期動作	○	○	○	○	○
PWM モード 1	○	○	○	○	○
PWM モード 2	○	○	○	—	—
相補 PWM モード	—	—	—	○	○
リセット PWM モード	—	—	—	○	○
AC 同期モータ駆動モード	○	—	—	○	○
位相計数モード	—	○	○	—	—
バッファ動作	○	—	—	○	○

【記号説明】

○: 可能

—: 不可

10. マルチファンクションタイマパルスユニット (MTU)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT アンダフロー ／オーバーフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプット キャプチャ 0A • コンペアマッチ ／インプット キャプチャ 0B • コンペアマッチ ／インプット キャプチャ 0C • コンペアマッチ ／インプット キャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプット キャプチャ 1A • コンペアマッチ ／インプット キャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプット キャプチャ 2A • コンペアマッチ ／インプット キャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプット キャプチャ 3A • コンペアマッチ ／インプット キャプチャ 3B • コンペアマッチ ／インプット キャプチャ 3C • コンペアマッチ ／インプット キャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプット キャプチャ 4A • コンペアマッチ ／インプット キャプチャ 4B • コンペアマッチ ／インプット キャプチャ 4C • コンペアマッチ ／インプット キャプチャ 4D • アンダフロー ／オーバーフロー

10. マルチファンクションタイマパルスユニット (MTU)

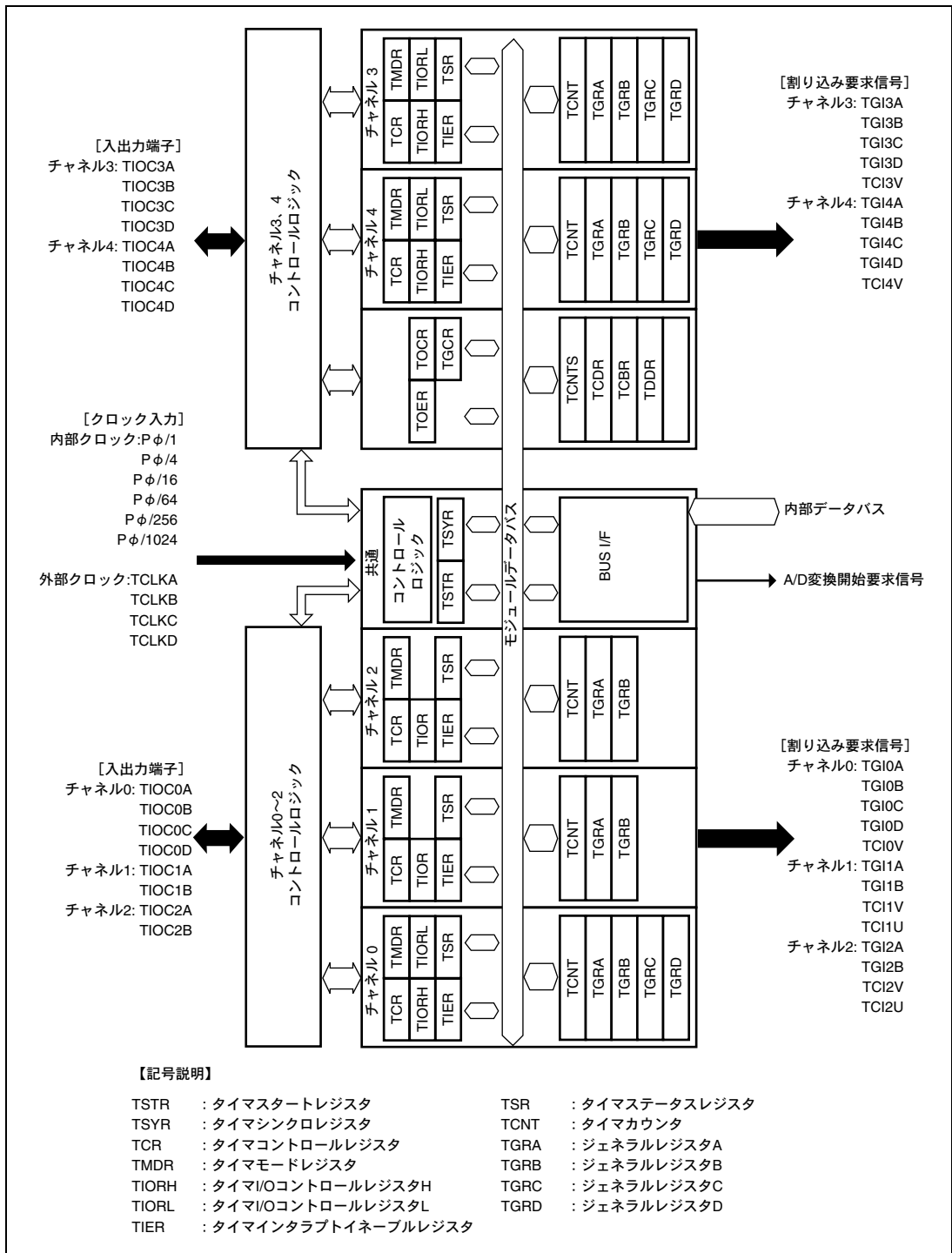


図 10.1 MTU のブロック図

10.2 入出力端子

表 10.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

10.3 レジスタの説明

MTUには各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。各チャンネルのレジスタ名についてはチャンネル0のTCRはTCR_0と表記してあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)

- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/OコントロールレジスタH_4 (TIORH_4)
- タイマI/OコントロールレジスタL_4 (TIORL_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマジェネラルレジスタC_4 (TGRC_4)
- タイマジェネラルレジスタD_4 (TGRD_4)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

タイマ3/4 共通レジスタ

- タイマアウトプットマスタイネーブルレジスタ (TOER)
- タイマアウトプットコントロールレジスタ (TOCR)
- タイマゲートコントロールレジスタ (TGCR)
- タイマ周期データレジスタ (TCDR)
- タイマデッドタイムデータレジスタ (TDDR)
- タイマサブカウンタ (TCNTS)
- タイマ周期バッファレジスタ (TCBR)

10. マルチファンクションタイムパルスユニット (MTU)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0 ~4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：Pφ/4 の両エッジ=Pφ/2 の立ち上がりエッジ）。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが Pφ/4 もしくはそれより遅い場合に有効です。入力クロックに Pφ/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込みますが、動作は初期値となります。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1X：両エッジでカウント 【記号説明】 X：Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイムプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.5~表 10.8 を参照してください。
0	TPSC0	0	R/W	

表 10.3 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.4 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 10.5 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.6 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	TCNT_2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.7 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Pφ/1024 でカウント

【注】チャンネル 2 が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	内部クロック : Pφ/256 でカウント
	1	0	1	内部クロック : Pφ/1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

10.3.2 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。MTUには、各チャンネル1本、計5本のTMDRがあります。TMDRの設定は、TCNTの動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて1	—	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトして下さい。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトして下さい。 0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 詳細は表 10.9 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

10. マルチファンクションタイマパルスユニット (MTU)

表 10.9 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 (*1)
0	1	0	0	位相計数モード 1 (*2)
0	1	0	1	位相計数モード 2 (*2)
0	1	1	0	位相計数モード 3 (*2)
0	1	1	1	位相計数モード 4 (*2)
1	0	0	0	リセット同期 PWM モード (*3)
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1(山で転送) (*3)
1	1	1	0	相補 PWM モード 2(谷で転送) (*3)
1	1	1	1	相補 PWM モード 3(山・谷で転送) (*3)

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないで下さい。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した(TSTR の CST ビットを 0 にクリアした)状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

10. マルチファンクションタイムパルスユニット (MTU)

• TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.10 TIOR_1 : 表 10.14 TIOR_2 : 表 10.16 TIORH_3 : 表 10.18 TIORH_4 : 表 10.22
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.11 TIOR_1 : 表 10.15 TIOR_2 : 表 10.17 TIORH_3 : 表 10.19 TIORH_4 : 表 10.23
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

• TIORL_0、TIORL_3、TIORL_4

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~0 IOD3~IOD0 ビットは TGRD の機能を設定します。 TGRD を TGRB のバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。 下記の表を参照してください。 TIORL_0 : 表 10.12 TIORL_3 : 表 10.20 TIORL_4 : 表 10.24
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~0 IOC3~IOC0 ビットは TGRC の機能を設定します。 TGRC を TGRA のバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。 下記の表を参照してください。 TIORL_0 : 表 10.13 TIORL_3 : 表 10.21 TIORL_4 : 表 10.25
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.10 TIORH_0 (チャンネル 0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイムパルスユニット (MTU)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOC0B 端子の機能
0	1	1	0	アウトプットコンペアレジスタ	初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでインプットキャプチャ*

【記号説明】 x: Don't care

表 10.11 TIORH_0 (チャンネル 0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIORを設定するまでは0が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.12 TIORL_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.13 TIORL_0 (チャンネル 0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.14 TIOR_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.15 TIOR_1 (チャンネル 1)

ビット3	ビット2	ビット1	ビット1	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.16 TIOR_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0 出力 コンペアマッチで0 出力
0	0	1	0		初期出力は0 出力 コンペアマッチで1 出力
0	0	1	1		初期出力は0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1 出力 コンペアマッチで0 出力
0	1	1	0		初期出力は1 出力 コンペアマッチで1 出力
0	1	1	1		初期出力は1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.17 TIOR_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.18 TIORH_3 (チャンネル 3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.19 TIORH_3 (チャンネル 3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.20 TIORL_3 (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.21 TIORL_3 (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3の機能	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *¹ パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*² TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.22 TIORH_4 (チャンネル 4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.23 TIORH_4 (チャンネル 4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.24 TIORL_4 (チャンネル 4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット (MTU)

表 10.25 TIORL_4 (チャンネル 4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 5 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバーフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされません。ライトする値は常に 0 にしてください。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされません。ライトする値は常に 0 にしてください。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

10. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

10.3.5 タイマステータスレジスタ (TSR)

TSR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルのステータスの表示を行います。MTU には、各チャンネル 1 本、計 5 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、3、4 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0 ではリザーブビットです。リードすると常に 1 がリードされます。ライトする値は常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 0、3、4 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 [セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき

10. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
4	TCFV	0	R/(W)	<p>オーバーフローフラグ (TCFV)</p> <p>TCNT のオーバーフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>(1) TCNT の値がオーバーフローしたとき (H'FFFF → H'0000)</p> <p>(2) チャンネル 4 では相補 PWM モードで TCNT_4 がアンダフローしたとき (H'0001 → H'0000)</p> <p>[クリア条件]</p> <p>(1) TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき</p> <p>(2) チャンネル 4 では、TCIV 割り込みにより、DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p>
3	TGFD	0	R/W	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <p>(1) TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</p> <p>(2) TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</p> <p>[クリア条件]</p> <p>(1) TGID 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p> <p>(2) TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</p>
2	TGFC	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <p>(1) TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</p> <p>(2) TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</p> <p>[クリア条件]</p> <p>(1) TGIC 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p> <p>(2) TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</p>

10. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>(1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</p> <p>(2) TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</p> <p>[クリア条件]</p> <p>(1) TGIB 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p> <p>(2) TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</p>
0	TGFA	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>(1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</p> <p>(2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</p> <p>[クリア条件]</p> <p>(1) TGIA 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のとき</p> <p>(2) TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</p>

10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 5 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。TGR の初期値は H'FFFF です。

10.3.8 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7 6	CST4 CST3	0 0	R/W R/W	カウンタスタート 4、3 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1 0	CST2 CST1 CST0	0 0 0	R/W R/W R/W	カウンタスタート 2~0 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

10. マルチファンクションタイマパルスユニット (MTU)

10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SYNC4 SYNC3	0 0	R/W R/W	<p>タイマ同期 4、3</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_4、TCNT_3 は同期動作 (TCNT の同期プリセット/同期クリアが可能)</p>
5~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2 1 0	SYNC2 SYNC1 SYNC0	0 0 0	R/W R/W R/W	<p>タイマ同期 2~0</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_2~TCNT_0 は同期動作 (TCNT の同期プリセット/同期クリアが可能)</p>

10.3.10 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと、正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU 出力を許可／禁止します。 0: MTU 出力禁止 1: MTU 出力許可

10. マルチファンクションタイマパルスユニット (MTU)

10.3.11 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、相補 PWM モード/リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可/禁止、および PWM 出力の出力レベル反転の制御を行います。TOCR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力カインェブル PWM 周期に同期したトグル出力の許可/禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OLSN	0	R/W	出力レベルセレクト N リセット同期 PWM モード/相補 PWM モード時に、逆相の出力レベルを選択します。表 10.26 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P リセット同期 PWM モード/相補 PWM モード時に、正相の出力レベルを選択します。表 10.27 を参照してください。

表 10.26 出力レベルセレクト機能

ビット 1	機能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】* 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.27 出力レベルセレクト機能

ビット 1	機能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 10.2 に示します。

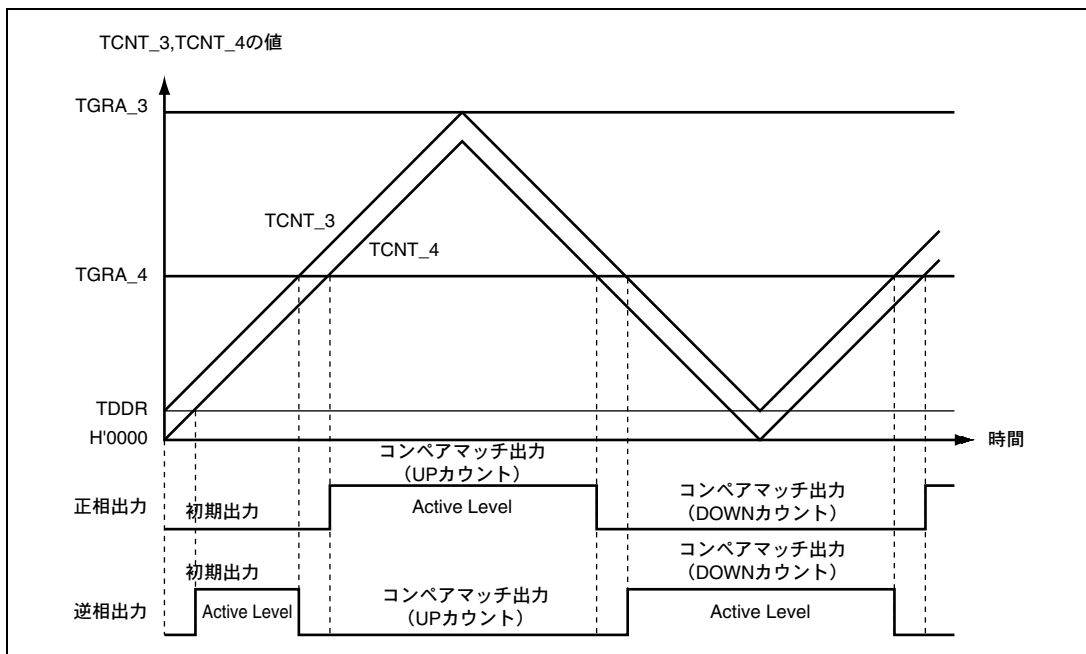


図 10.2 相補 PWM モードの出力レベルの例

10.3.12 タイマゲートコントロールレジスタ (TGCR)

タイマゲートコントロールレジスタ (TGCR) は、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタ (TGCR) の機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を ON 出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM/相補 PWM 出力

10. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
4	P	0	R/W	ビット 4：正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を ON 出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0：レベル出力 1：リセット同期 PWM/相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相/逆相の出力の切り替えを MTU/チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0：出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1：出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0
1	VF	0	R/W	正相/逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代わりになります。表 10.28 を参照してください。
0	UF	0	R/W	

表 10.28 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

10.3.13 タイマサブカウンタ (TCNTS)

タイマサブカウンタ (TCNTS) は相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。初期値は H'0000 です。

【注】 TCNTS の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.14 タイマデッドタイムデータレジスタ (TDDR)

タイマデッドタイムデータレジスタ (TDDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。初期値は H'FFFF です。

【注】 TDDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.15 タイマ周期データレジスタ (TCDR)

タイマ周期データレジスタ (TCDR) は相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。初期値は H'FFFF です。

【注】 TCDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.16 タイマ周期バッファレジスタ (TCBR)

タイマ周期バッファレジスタ (TCBR) は相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。初期値は H'FFFF です。

【注】 TCBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.17 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、およびタイマ周期データレジスタ (TCDR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。また、8 ビット単位での読み出し/書き込みもできます。

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0~CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.3 に示します。

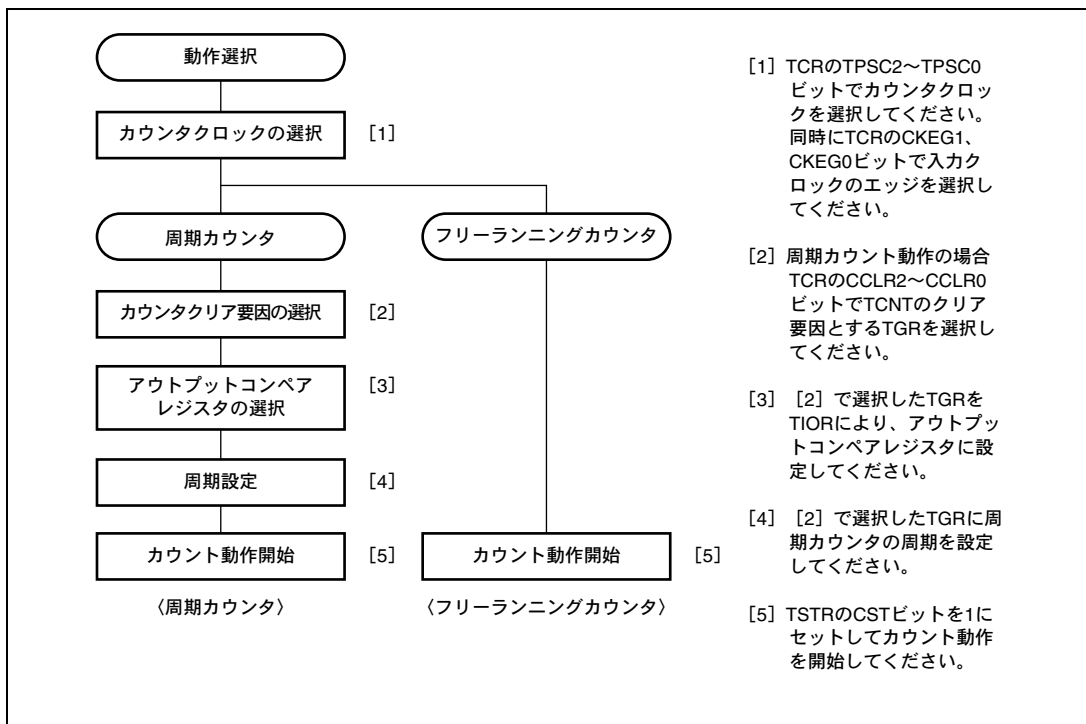


図 10.3 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.4 に示します。

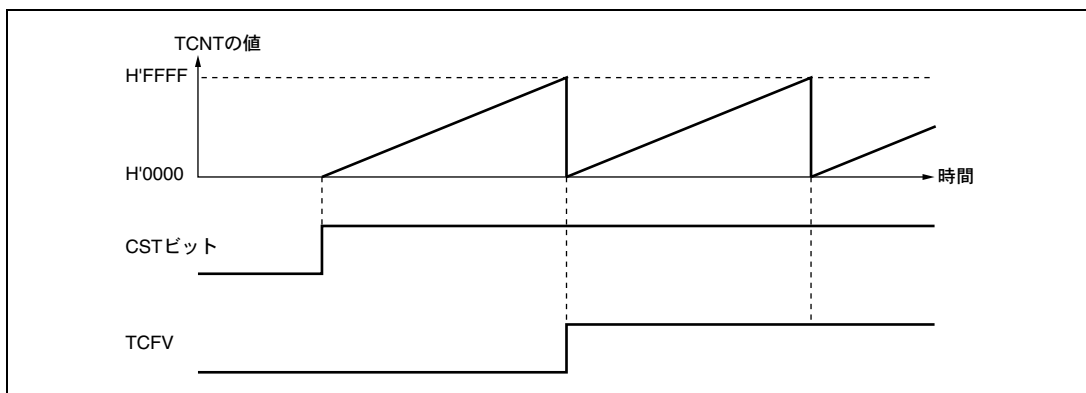


図 10.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 10.5 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

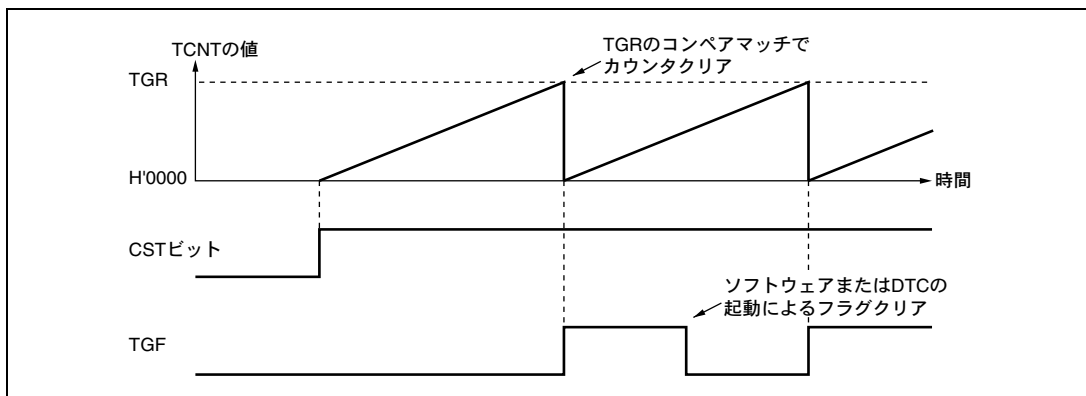


図 10.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.6 に示します。

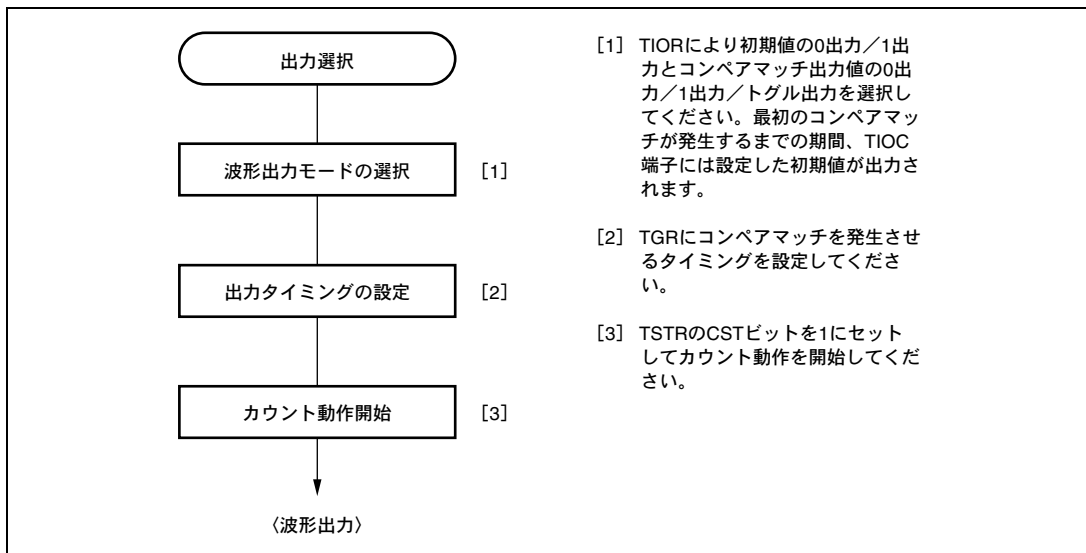


図 10.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.7 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

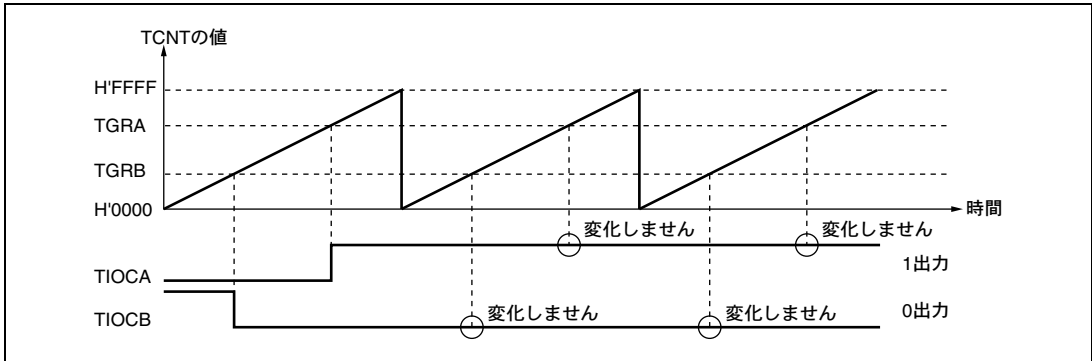


図 10.7 0 出力 / 1 出力の動作例

トグル出力の例を図 10.8 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

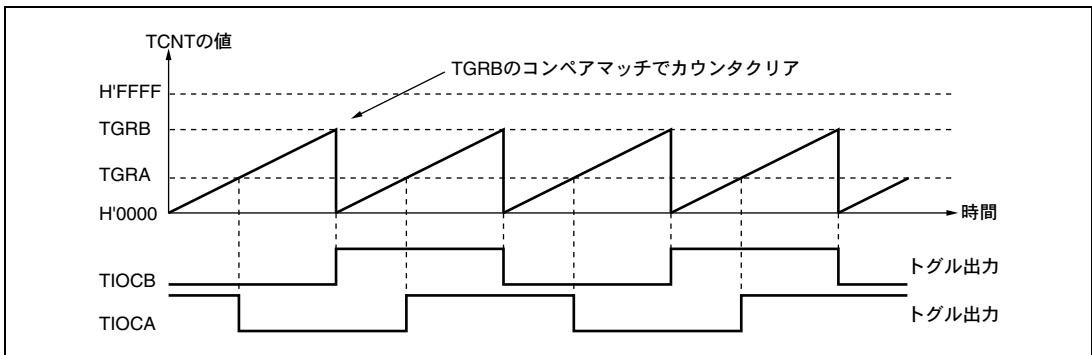


図 10.8 トグル出力の動作例

10. マルチファンクションタイムパルスユニット (MTU)

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.9 に示します。

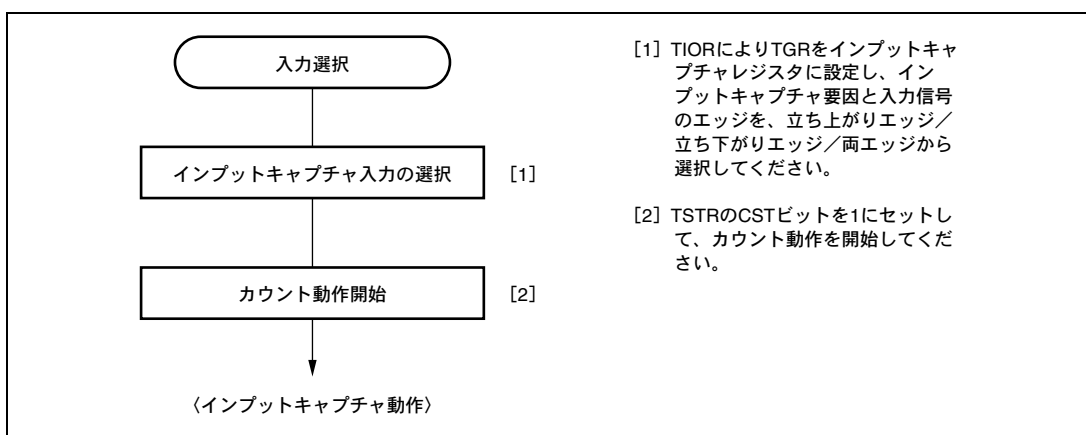


図 10.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.10 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは、立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

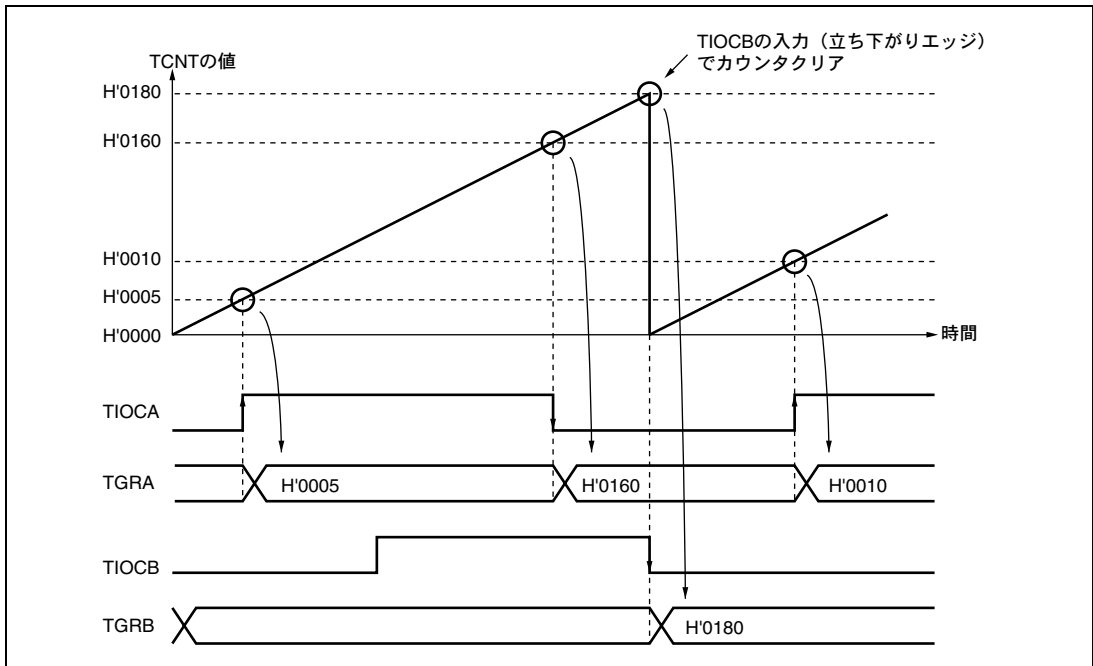


図 10.10 インプットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.11 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

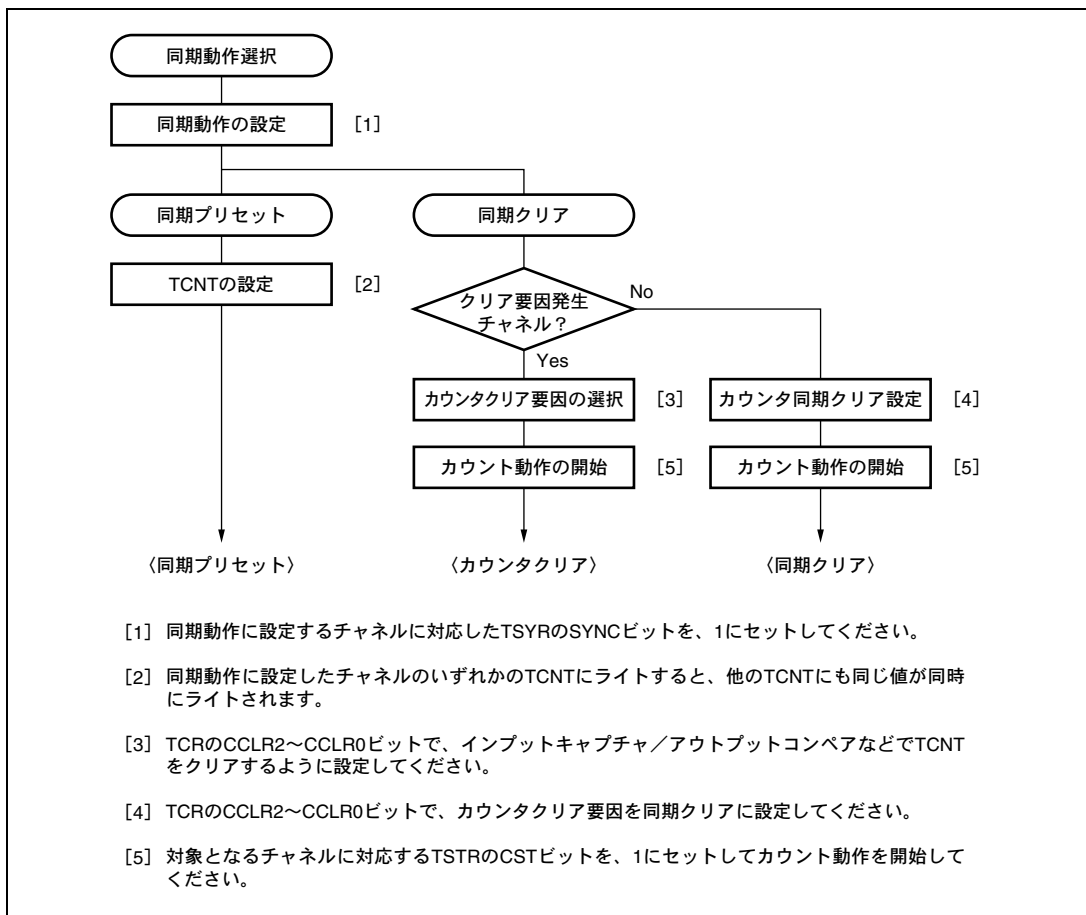


図 10.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.12 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

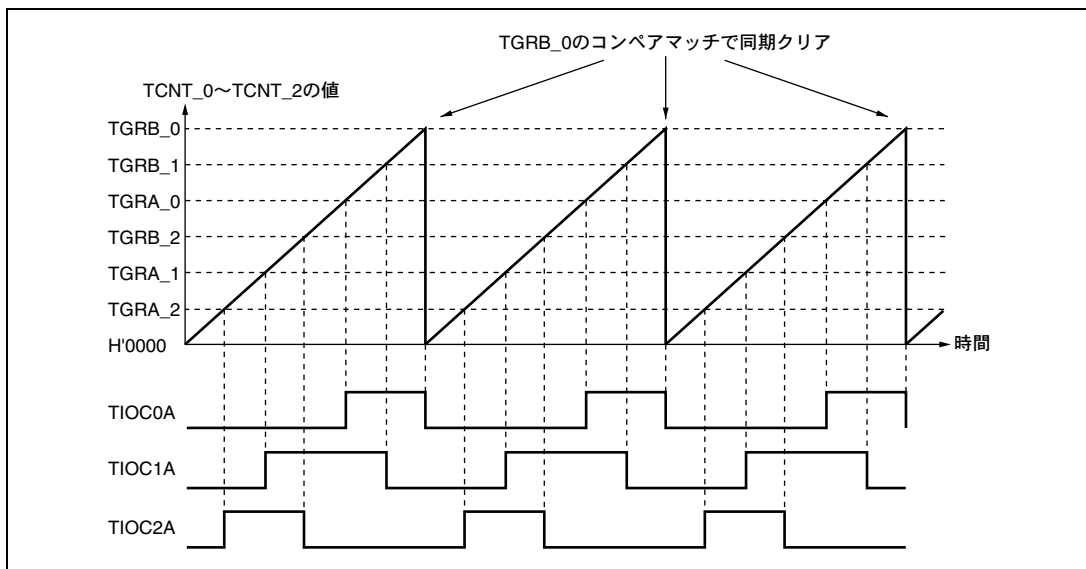


図 10.12 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.29 にバッファ動作時のレジスタの組み合わせを示します。

表 10.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.13 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

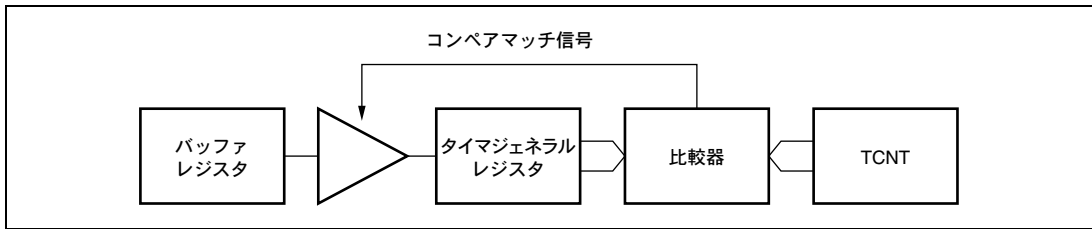


図 10.13 コンペアマッチバッファ動作

• TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.14 に示します。

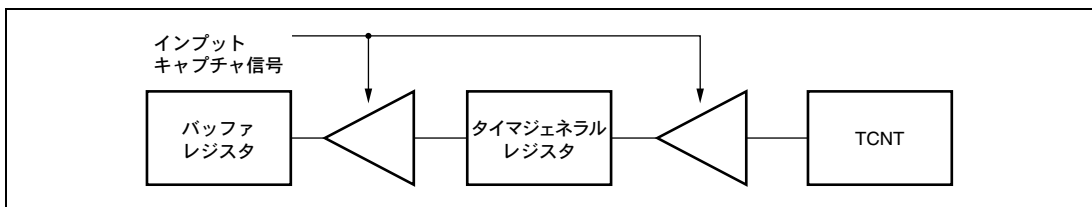


図 10.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.15 に示します。

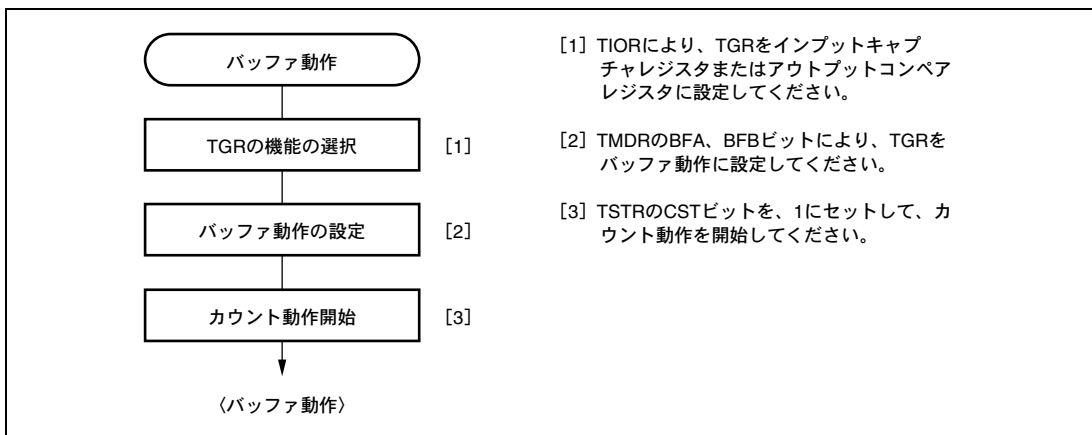


図 10.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.16 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

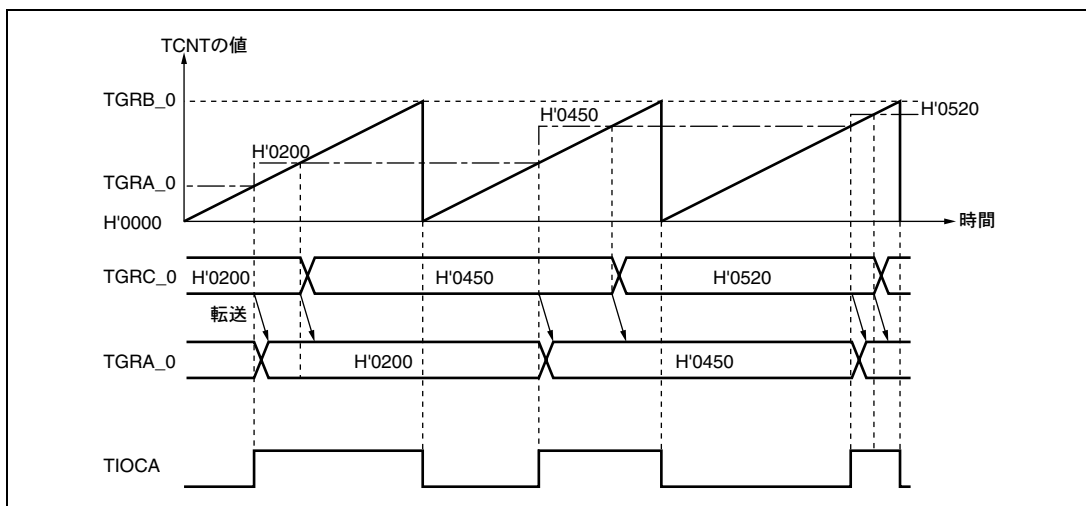


図 10.16 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.17 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

10. マルチファンクションタイマパルスユニット (MTU)

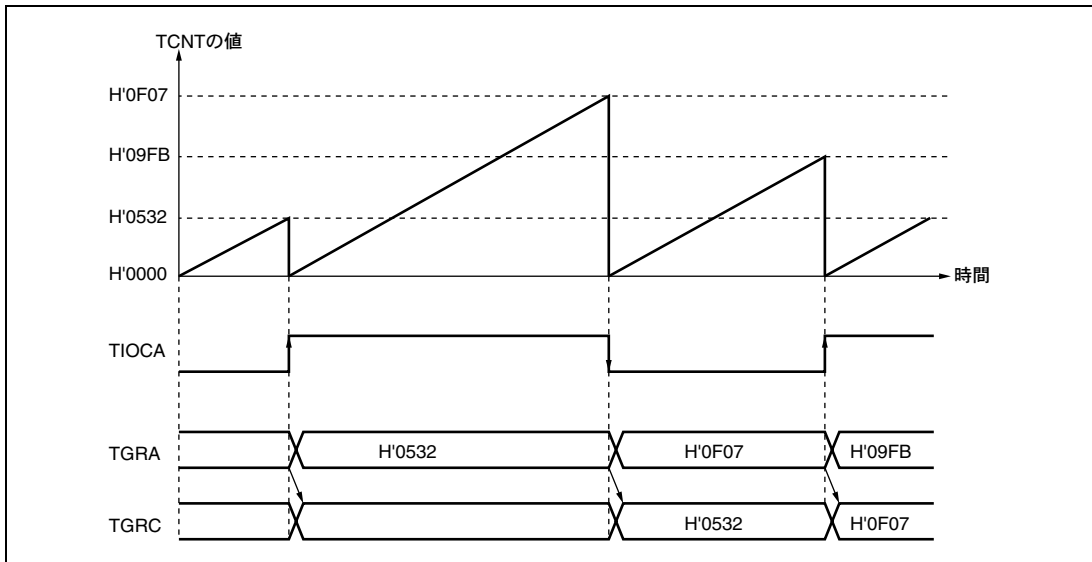


図 10.17 バッファ動作例 (2)

10.4.4 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2~TPSC0 ビットで TCNT_2 のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 10.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.30 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.18 に示します。

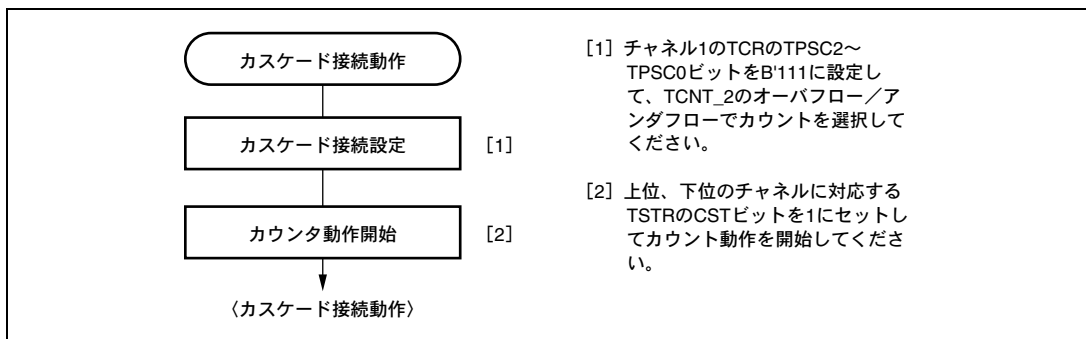


図 10.18 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 10.19 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

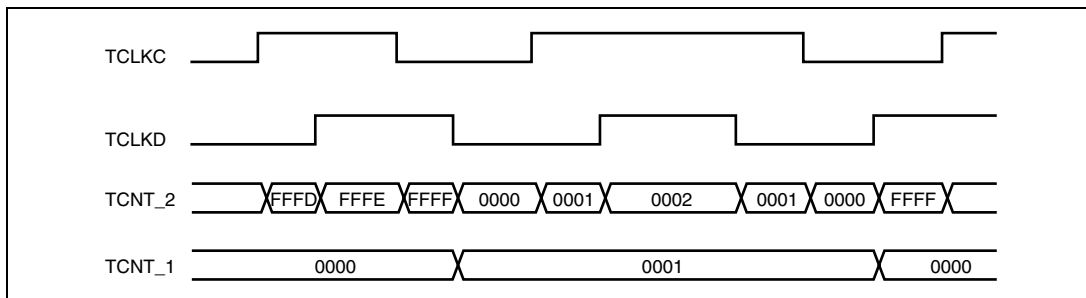


図 10.19 カスケード接続動作例

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

10. マルチファンクションタイマパルスユニット (MTU)

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.31 に示します。

表 10.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

(2) PWM モードの設定手順例

PWM モードの設定手順例を図 10.20 に示します。

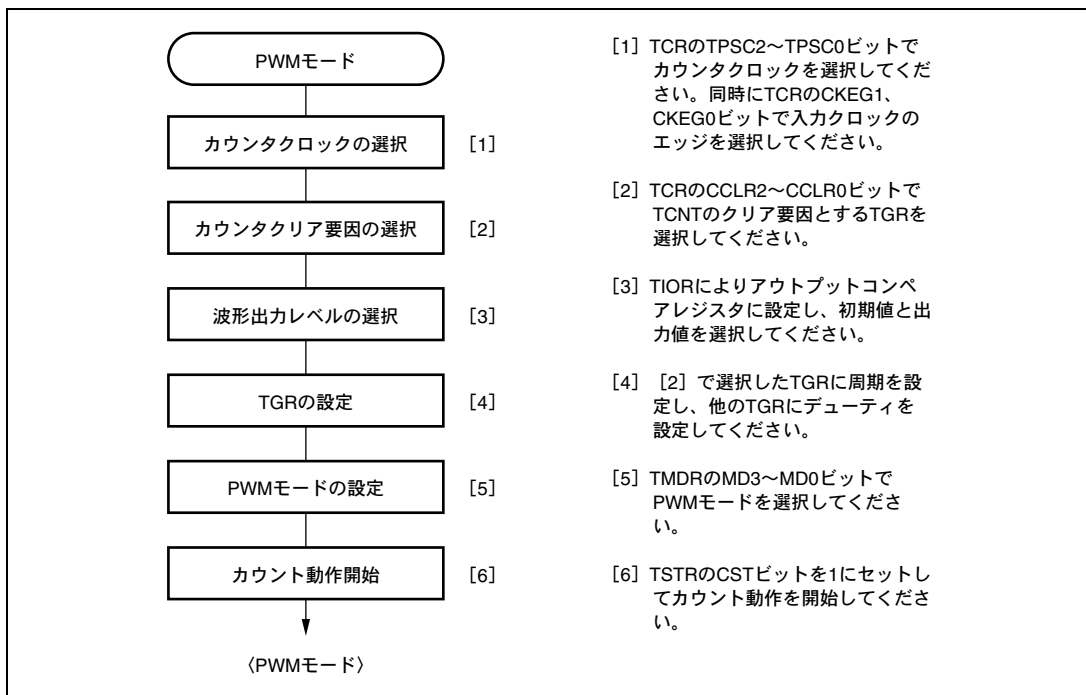


図 10.20 PWM モードの設定手順例

(3) PWM モードの動作例

PWM モード 1 の動作例を図 10.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

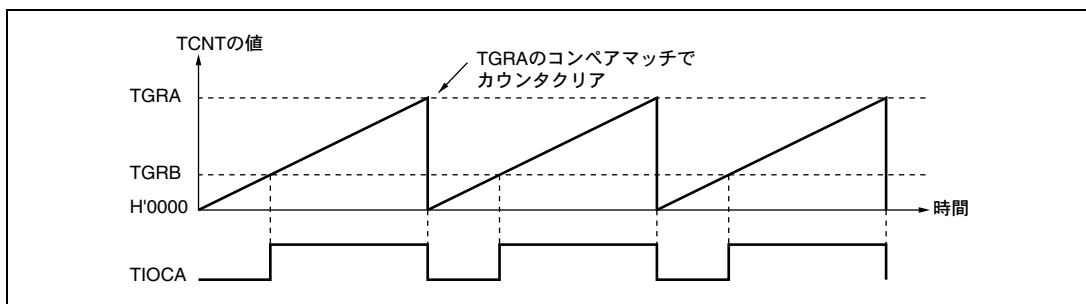


図 10.21 PWM モードの動作例 (1)

10. マルチファンクションタイマパルスユニット (MTU)

PWM モード2の動作例を図 10.22 に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB_1のコンペアマッチとし、他のTGR (TGRA_0~TGRD_0, TGRA_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGR1Bに設定した値が周期となり、他のTGRに設定した値がデューティになります。

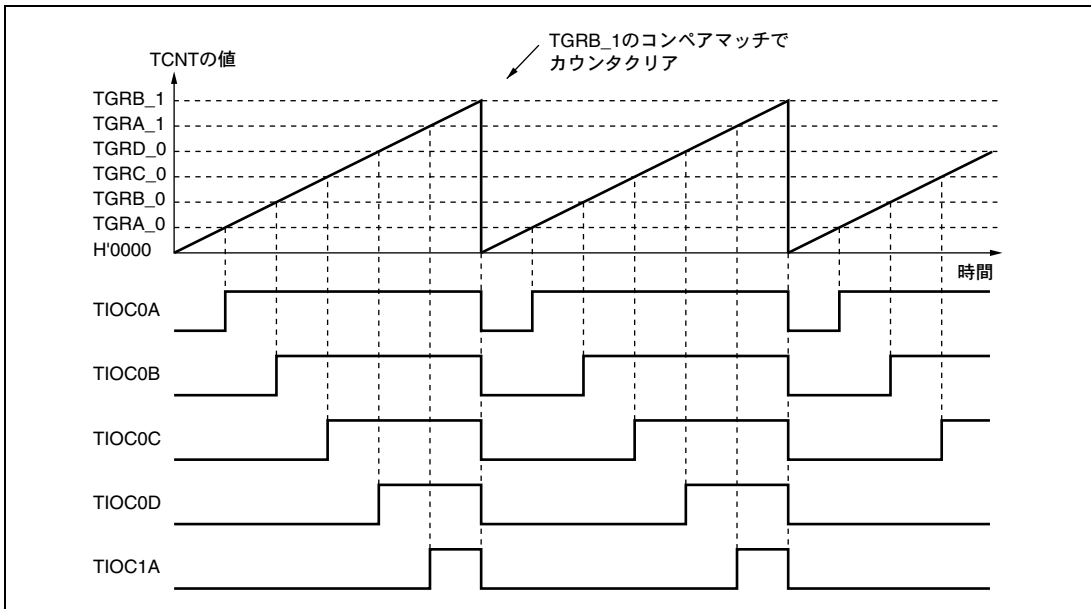
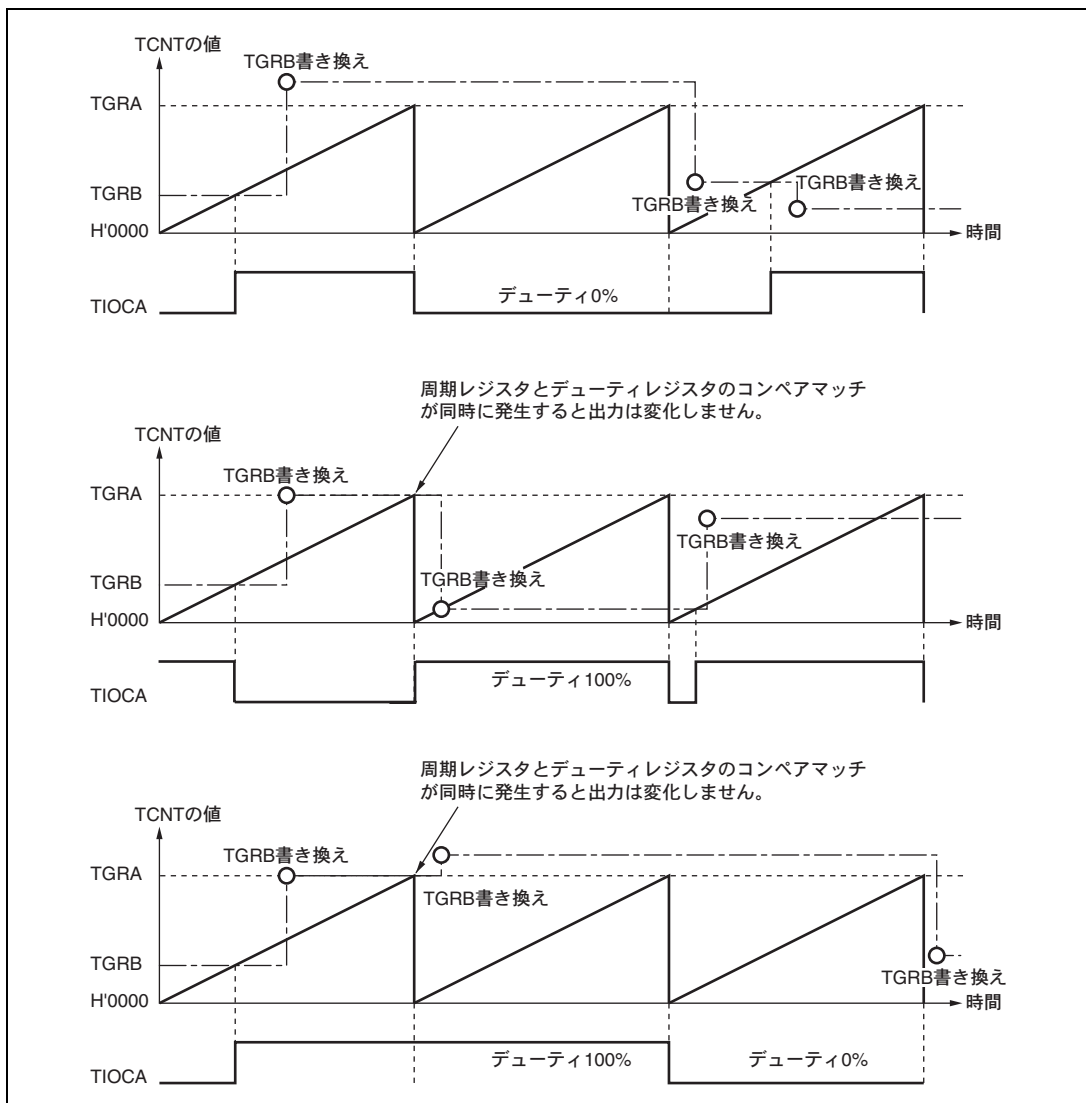


図 10.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.23 に示します。



10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

10. マルチファンクションタイマパルスユニット (MTU)

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 10.32 に外部クロック端子とチャンネルの対応を示します。

表 10.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.24 に示します。

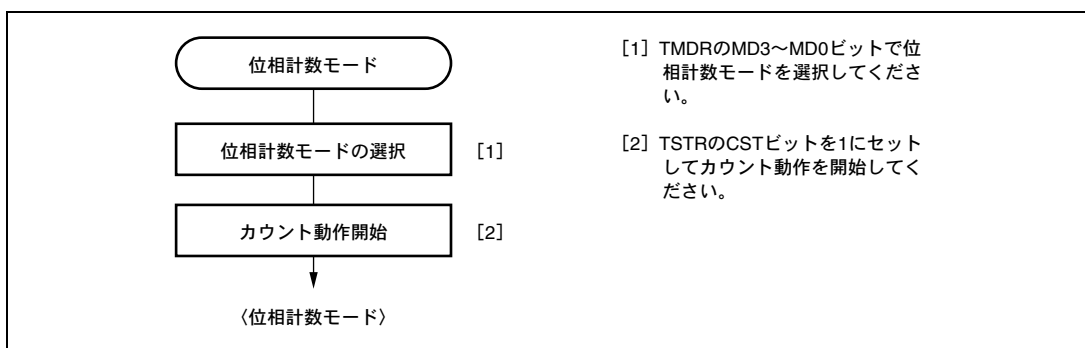


図 10.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図 10.25 に、TCNTのアップ/ダウンカウント条件を表 10.33 に示します。

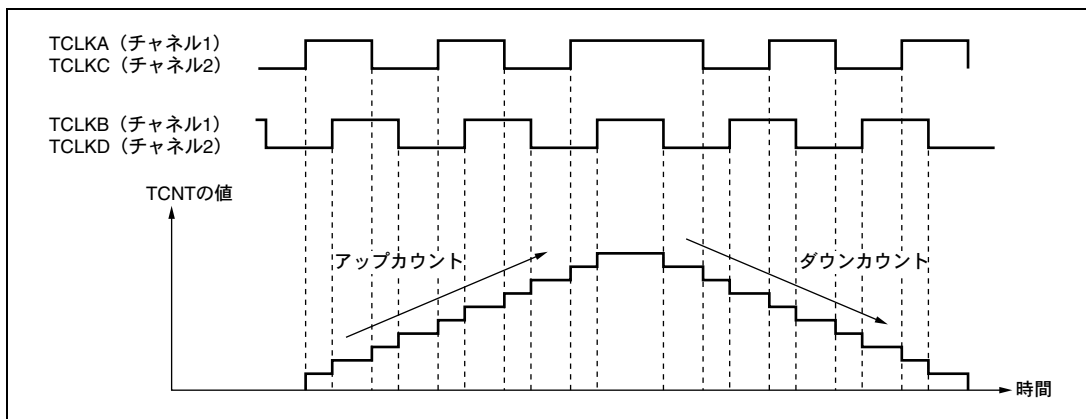


図 10.25 位相計数モード 1 の動作例

表 10.33 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.26 に、TCNT のアップ/ダウンカウント条件を表 10.34 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

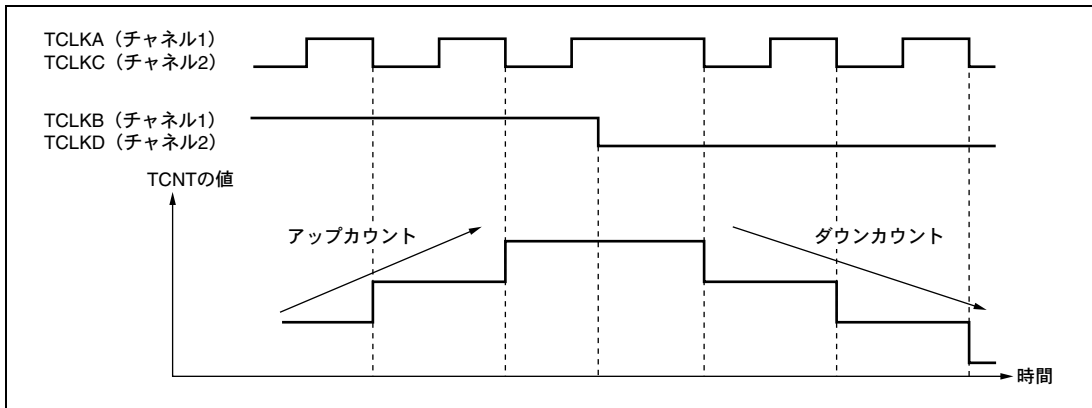


図 10.26 位相計数モード 2 の動作例

表 10.34 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	カウントしない (Don't care)
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.27 に、TCNT のアップ/ダウンカウント条件を表 10.35 に示します。

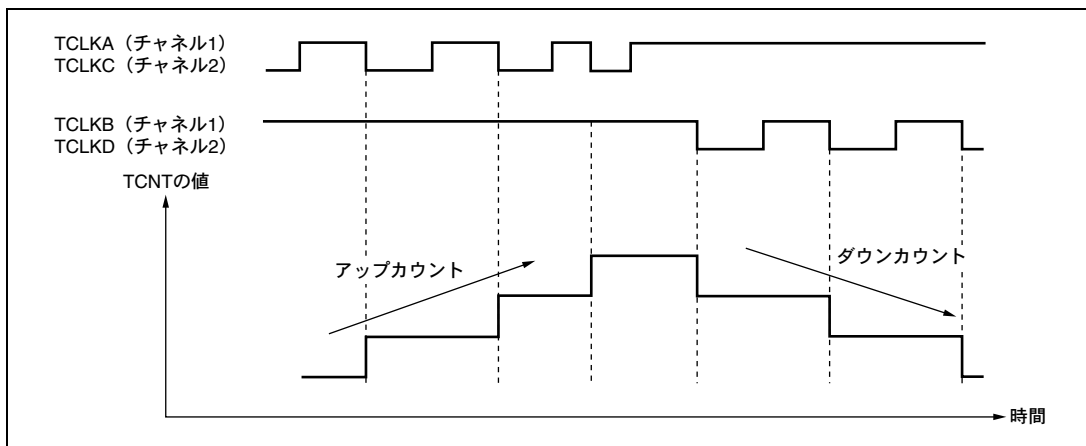


図 10.27 位相計数モード 3 の動作例

表 10.35 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.36 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

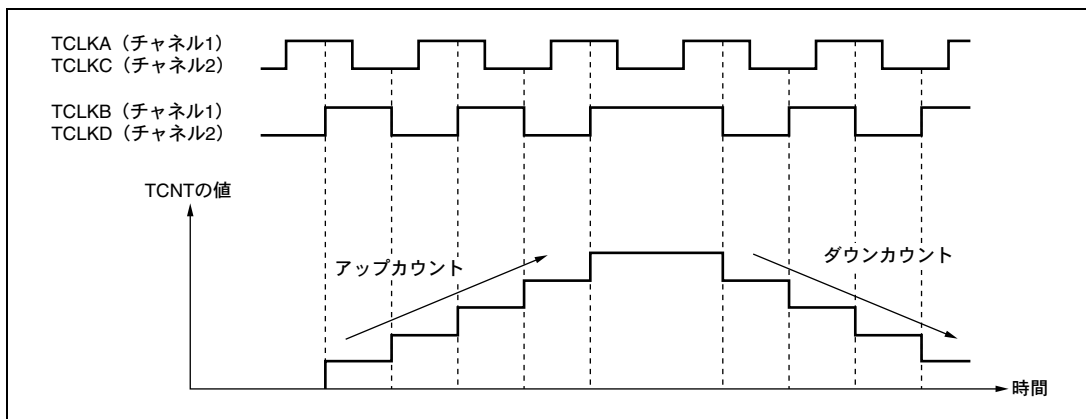


図 10.28 位相計数モード 4 の動作例

表 10.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 10.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 は入力キャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 の入力キャプチャ要因は、チャンネル 1 のカウンタ入カロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

チャンネル 1 の TGRA_1 と TGRB_1 は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル 0 の TGRA_0 と TGRC_0 のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値

を格納します。

これにより、正確な位置／速度検出を行うことができます。

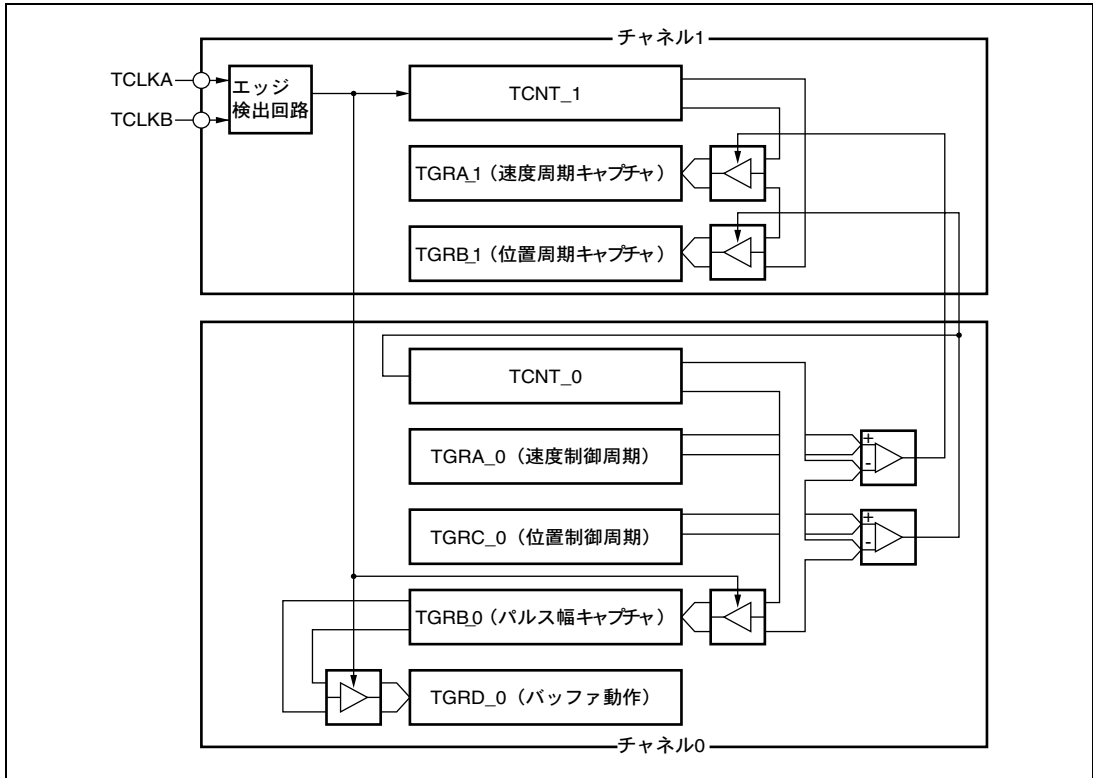


図 10.29 位相計数モードの応用例

10. マルチファンクションタイマパルスユニット (MTU)

10.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 10.37 に、使用するレジスタの設定を表 10.38 に示します。

表 10.37 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 10.38 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 10.30 に示します。

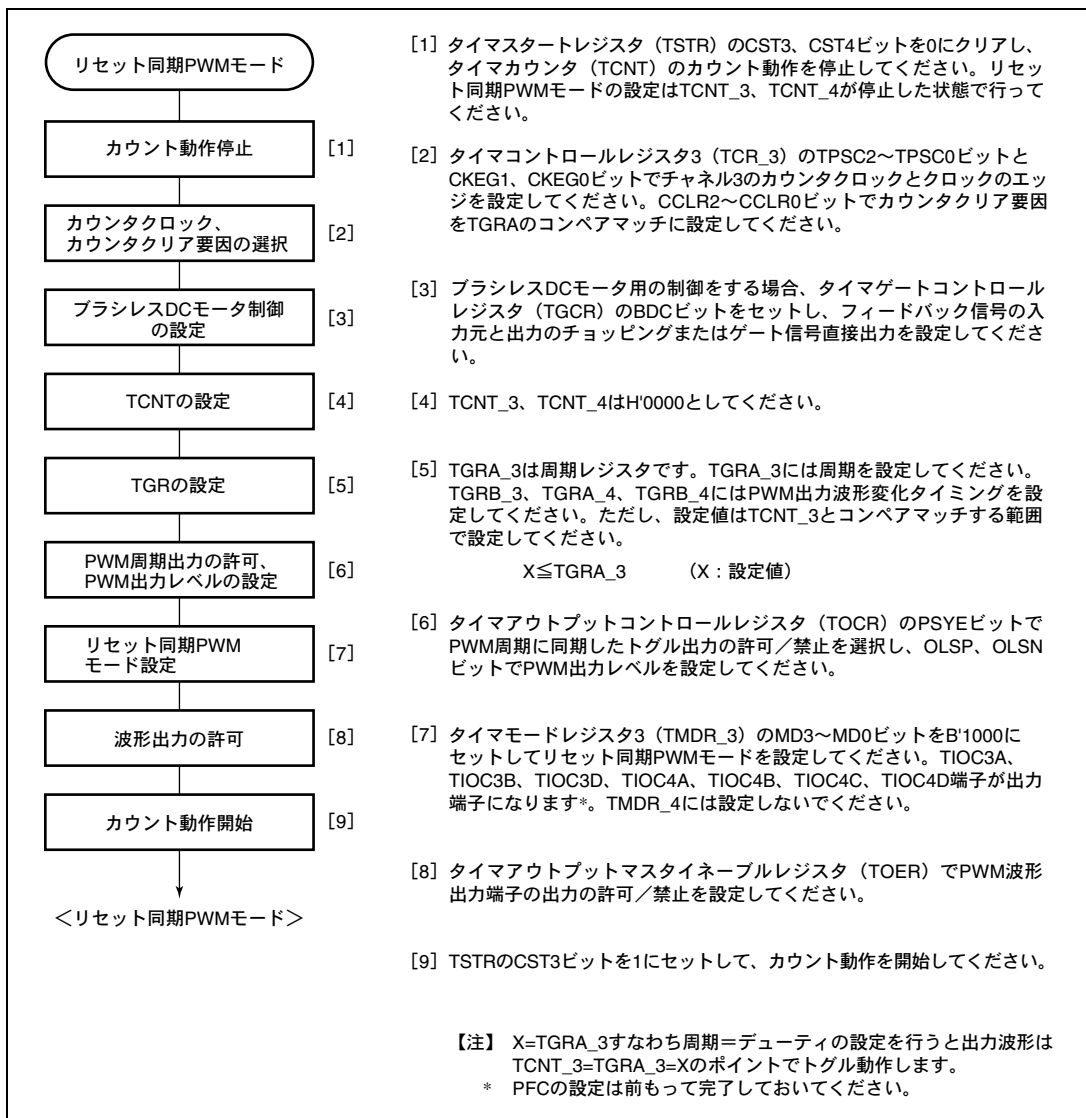


図 10.30 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.31 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

10. マルチファンクションタイマパルスユニット (MTU)

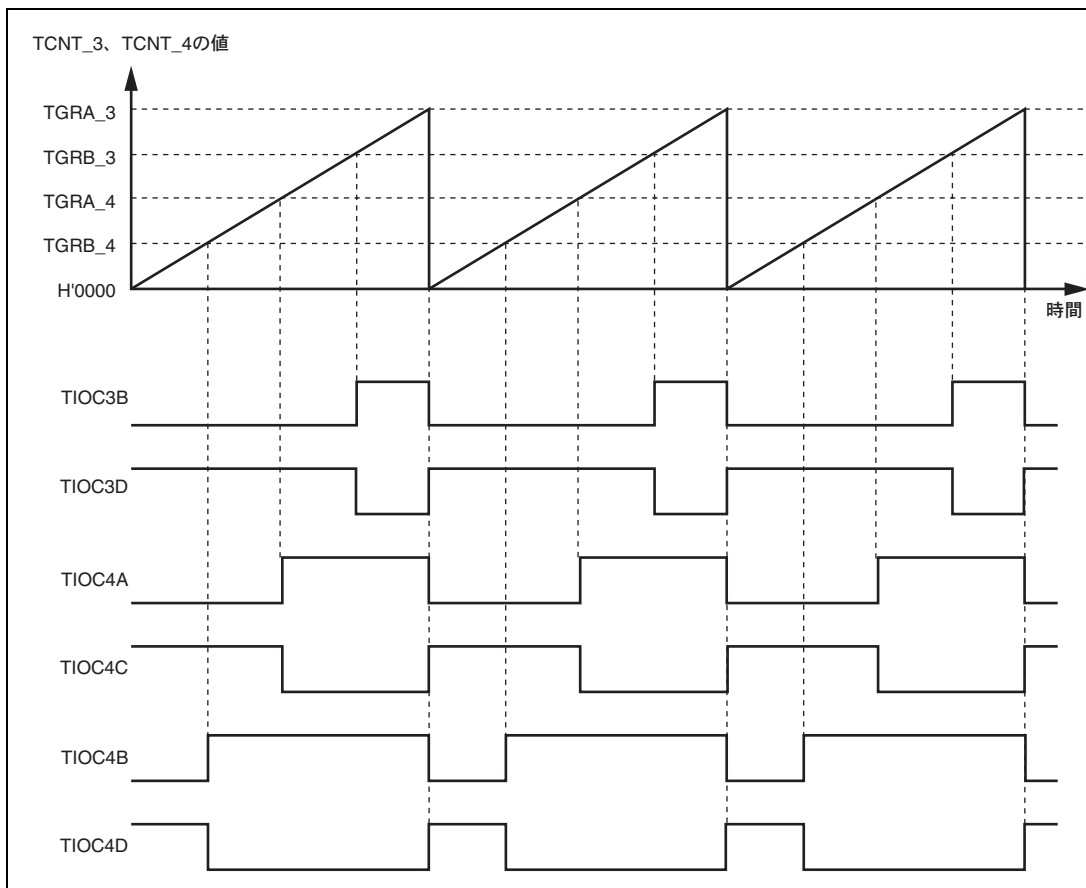


図 10.31 リセット同期 PWM モードの動作例 (TOCR の OLSN=1、OLSP=1 に設定した場合)

10.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.39 に、使用するレジスタの設定を表 10.40 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 10.39 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形)

【注】* TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 10.40 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPU からの 読み出し/書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	BSC/BCR1 の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し/書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	BSC/BCR1 の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	BSC/BCR1 の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し/書き込み可能
タイマデッドタイムデータ レジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	BSC/BCR1 の設定*によりマスク可能	

10. マルチファンクションタイムパルスユニット (MTU)

チャンネル	カウンタ/ レジスタ	説 明	CPU からの 読み出し/書き込み
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	BSC/BCR1 の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し/書き込み可能
	サブカウンタ(TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し/書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し/書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し/書き込み不可

【注】* BSC/BCR1 (バスコントローラ/バスコントロールレジスタ 1 のビット 13 (MTURWE ビット) の設定によりアクセスの許可/禁止が可能です。

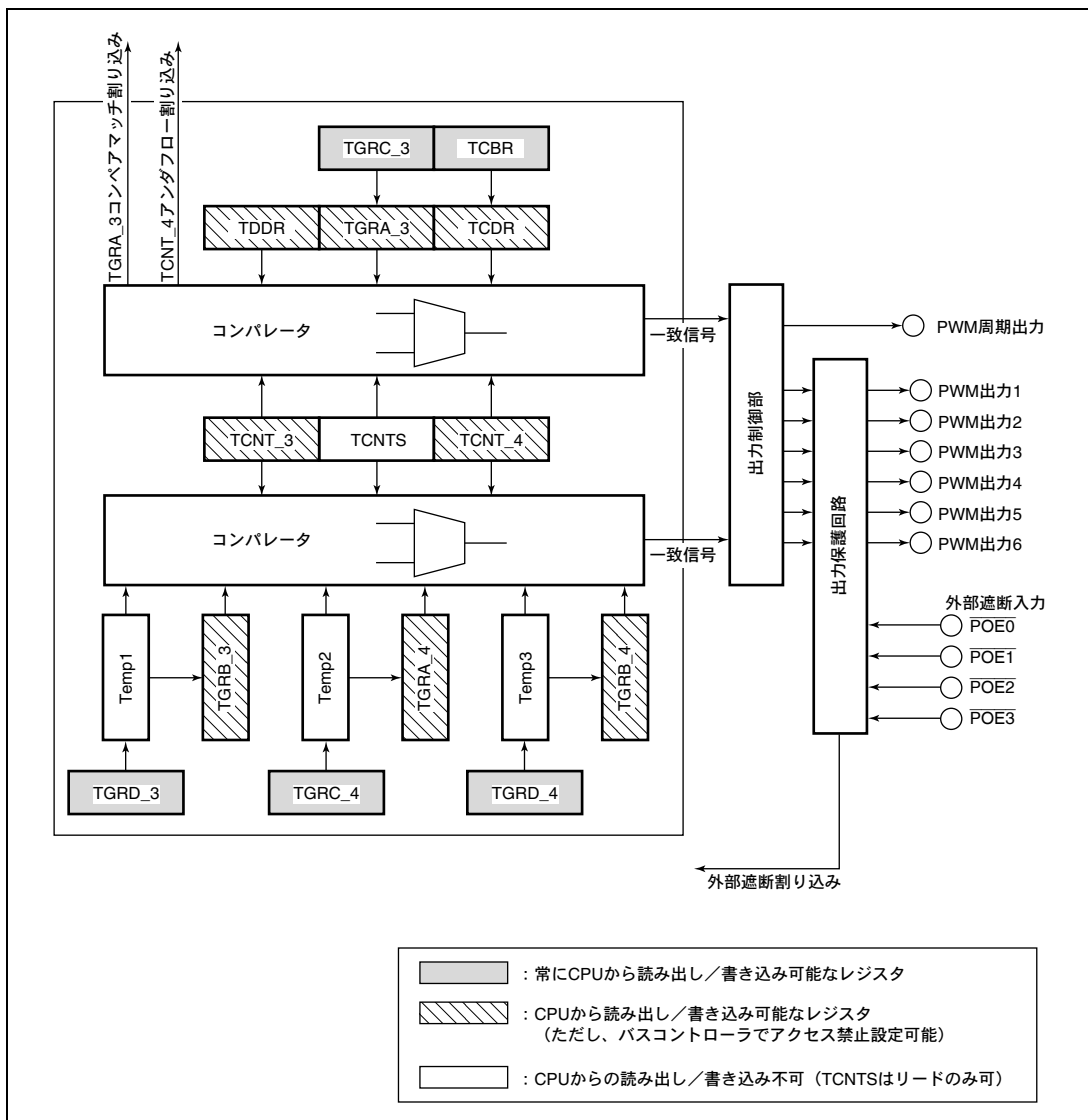


図 10.32 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 10.33 に示します。

10. マルチファンクションタイマパルスユニット (MTU)



図 10.33 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 10.34 に相補 PWM モードのカウンタの動作を示します。図 10.35 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCNT_3 と一致するとダウンカウントに切り換わります。この後、H'0000 と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TDDR と一致するとダウンカウントを開始し、TCNTS が TDDR と一致するとアップカウントに切り換わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り換わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

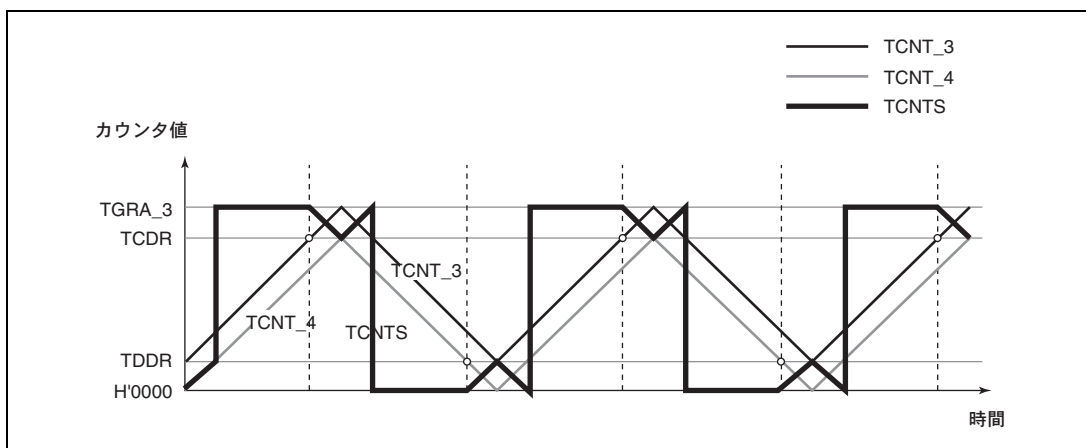


図 10.34 相補 PWM モードのカウンタ動作

10. マルチファンクションタイマパルスユニット (MTU)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 10.35 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3~MD0 ビットで選択できます。図 10.35 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 10.35 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

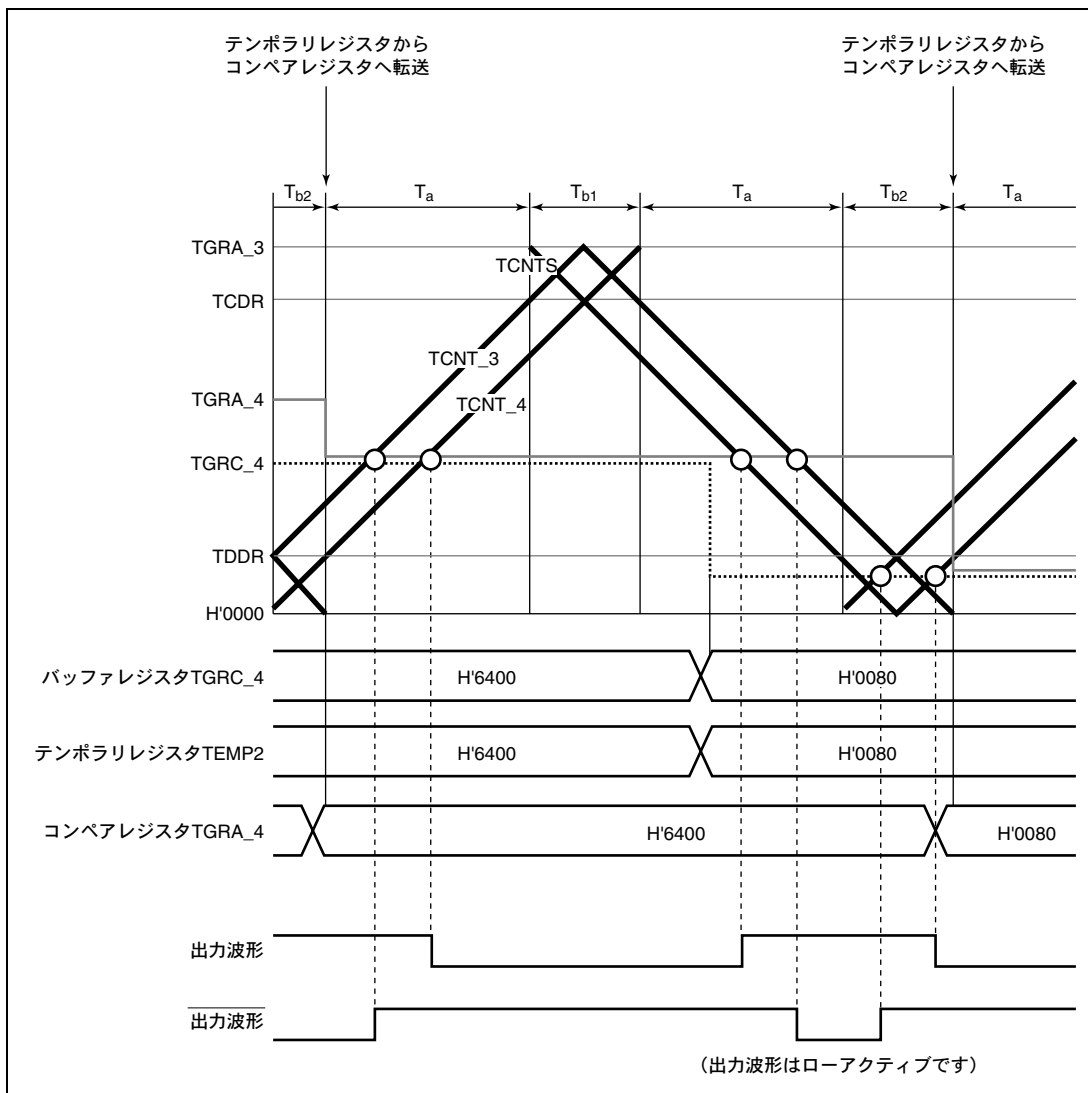


図 10.35 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。

タイマモードレジスタ (TMDR) の MD3~MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

バッファレジスタ TGRD_3, TGRC_4, TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

10. マルチファンクションタイマパルスユニット (MTU)

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時に各々対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 10.41 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の 1/2+デッドタイム Td
TDDR	デッドタイム Td
TCBR	PWM キャリア周期の 1/2
TGRD_3, TGRC_4, TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の 1/2 の値と TDDR に設定するデッドタイム Td の値の和としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイムと呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

$$\text{TGRA}_3 \text{ の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3~MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 10.36 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(g) レジスタデータの更新」の項を参照ください。

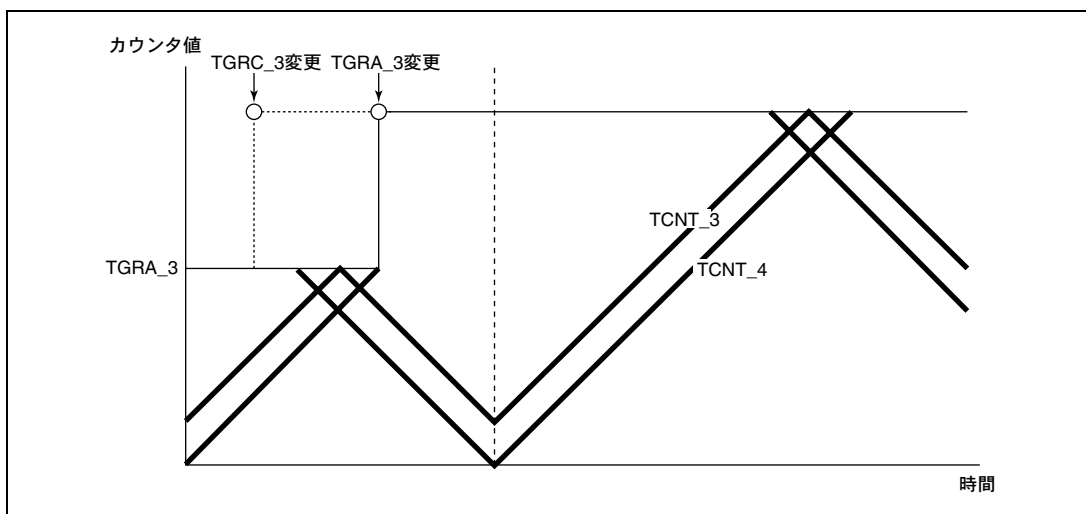


図 10.36 PWM 周期の変更例

(g) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えられます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3~MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 10.37 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

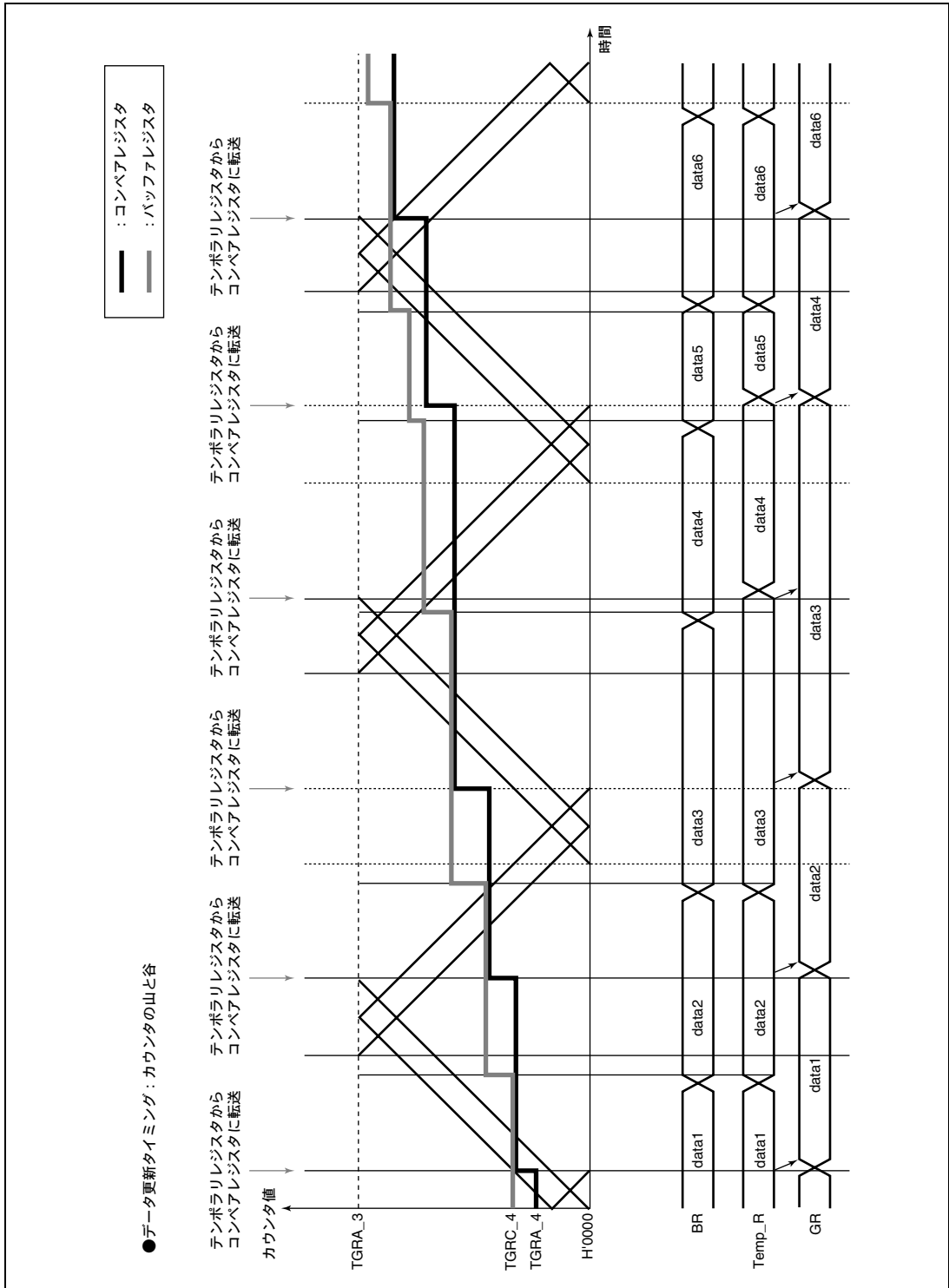


図 10.37 相補 PWM モードのデータ更新例

(h) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 10.38 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 10.39 に示します。

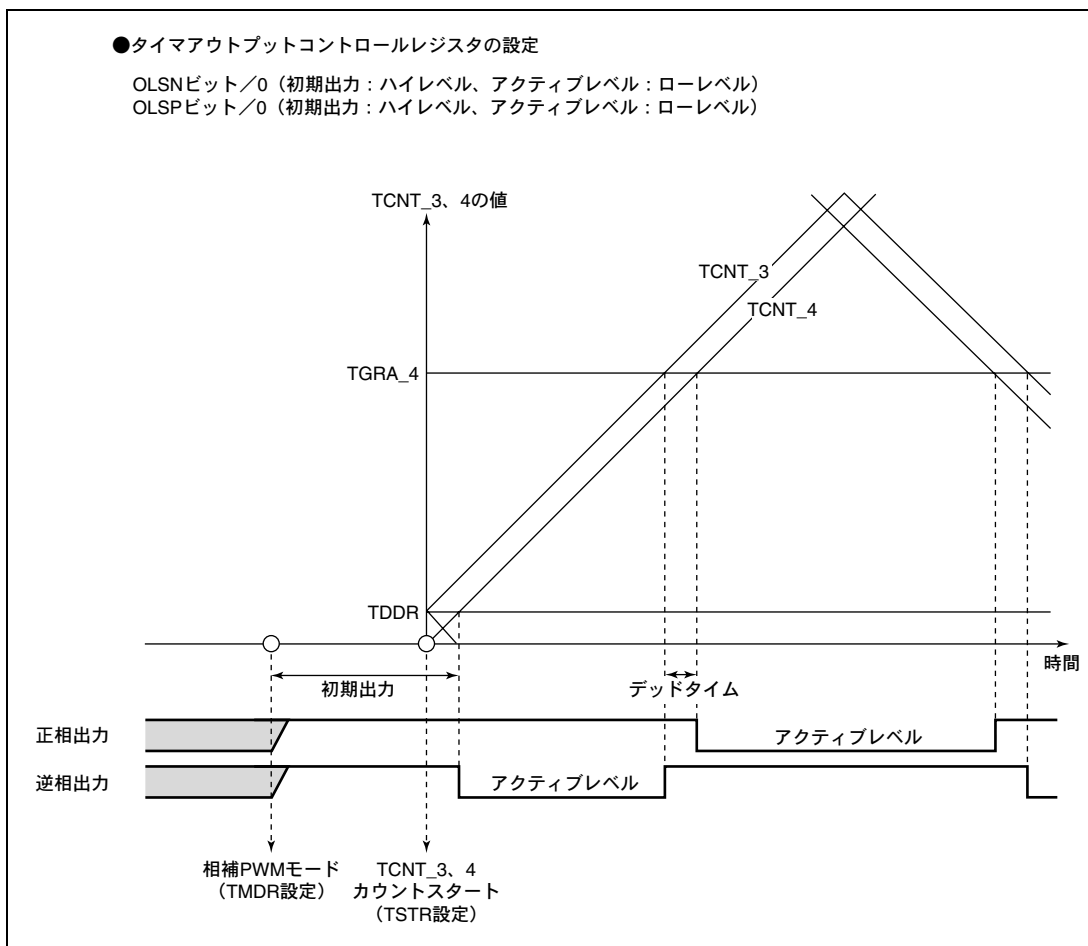


図 10.38 相補 PWM モードの初期出力例 (1)

10. マルチファンクションタイマパルスユニット (MTU)

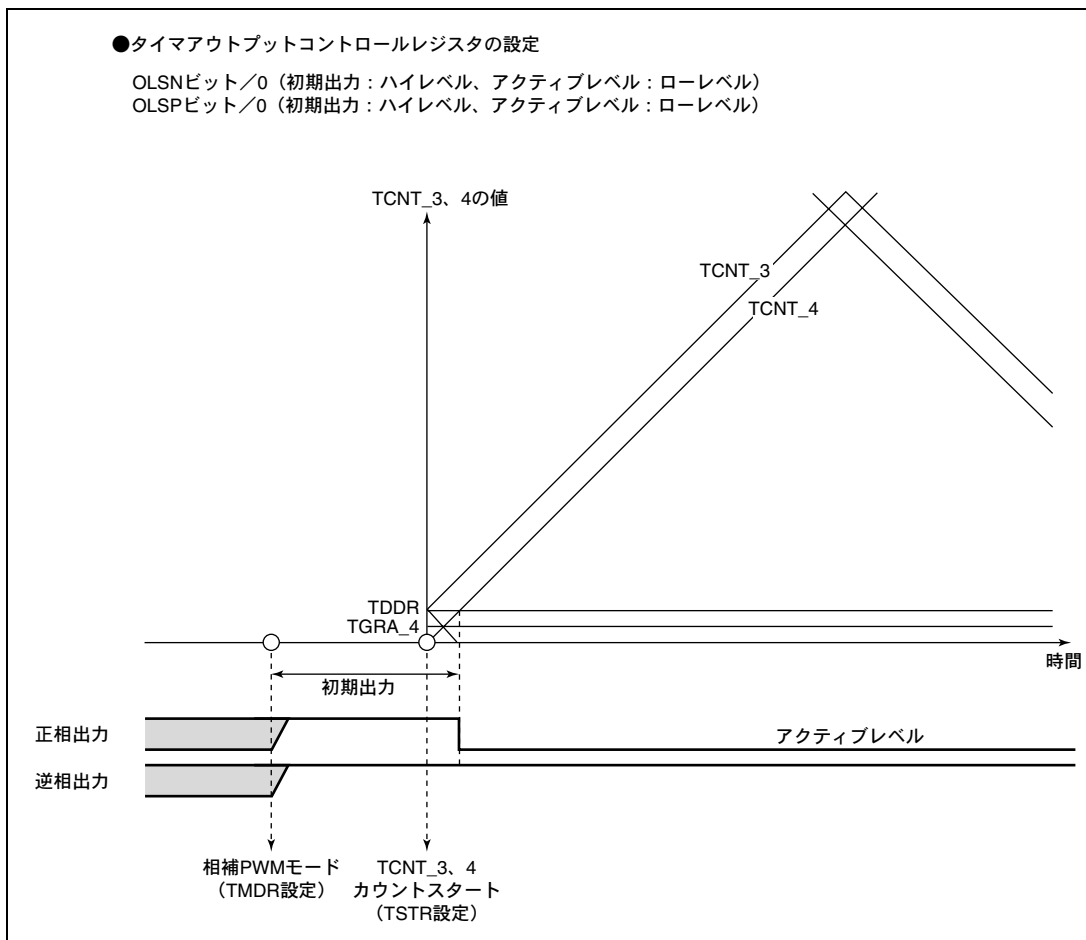


図 10.39 相補 PWM モードの初期出力例 (2)

(i) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。

図 10.40~図 10.42 に相補 PWM モードの波形生成例を示します。

10. マルチファンクションタイマパルスユニット (MTU)

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 10.40 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 10.41 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 10.42 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

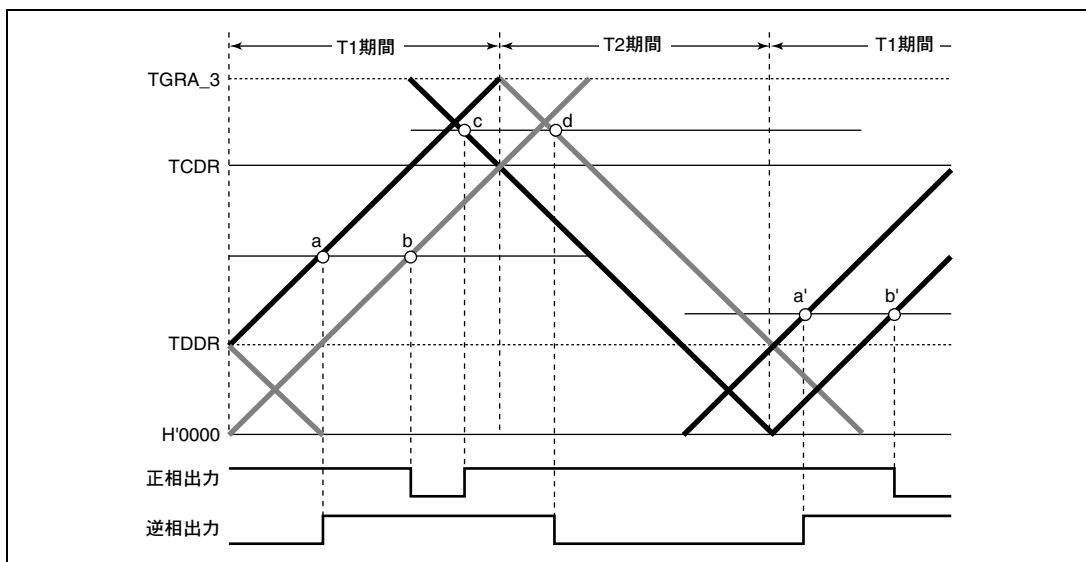


図 10.40 相補 PWM モード波形出力例 (1)

10. マルチファンクションタイマパルスユニット (MTU)

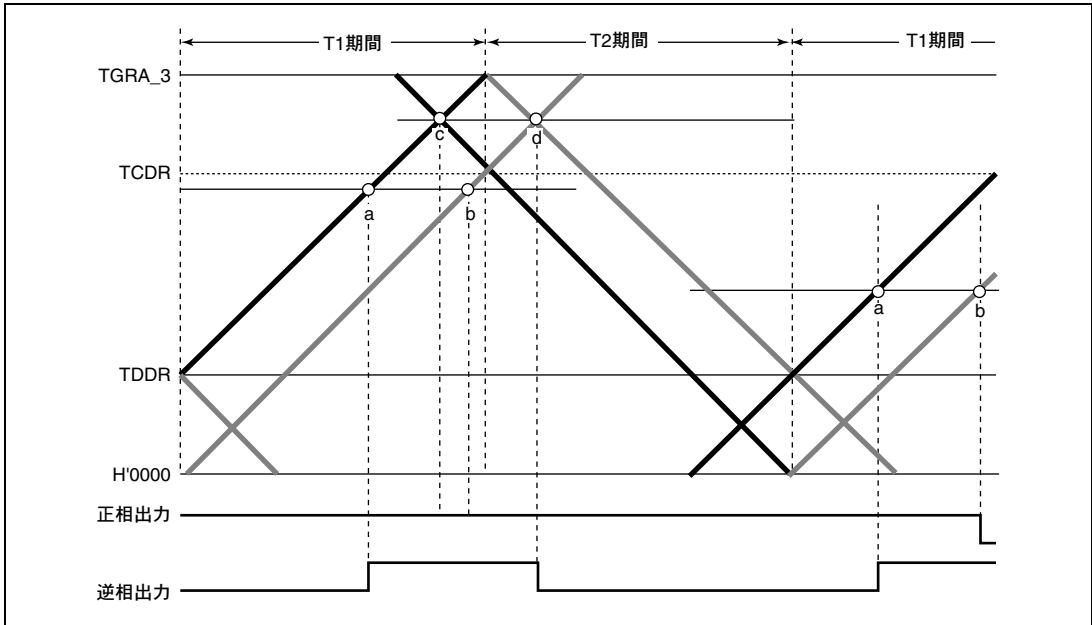


図 10.41 相補 PWM モード波形出力例 (2)

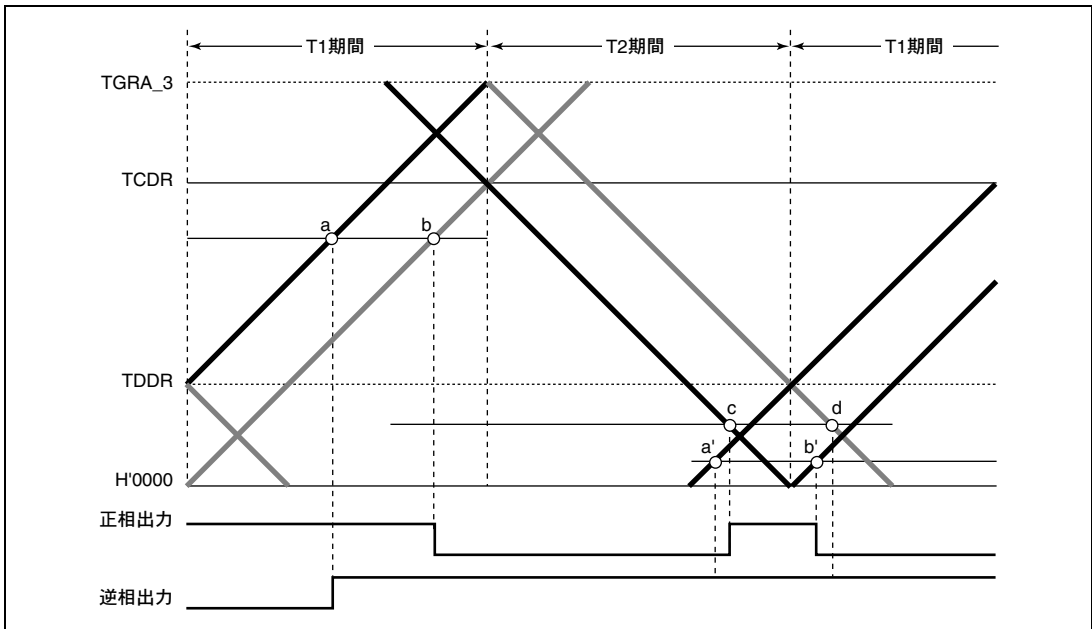


図 10.42 相補 PWM モード波形出力例 (3)

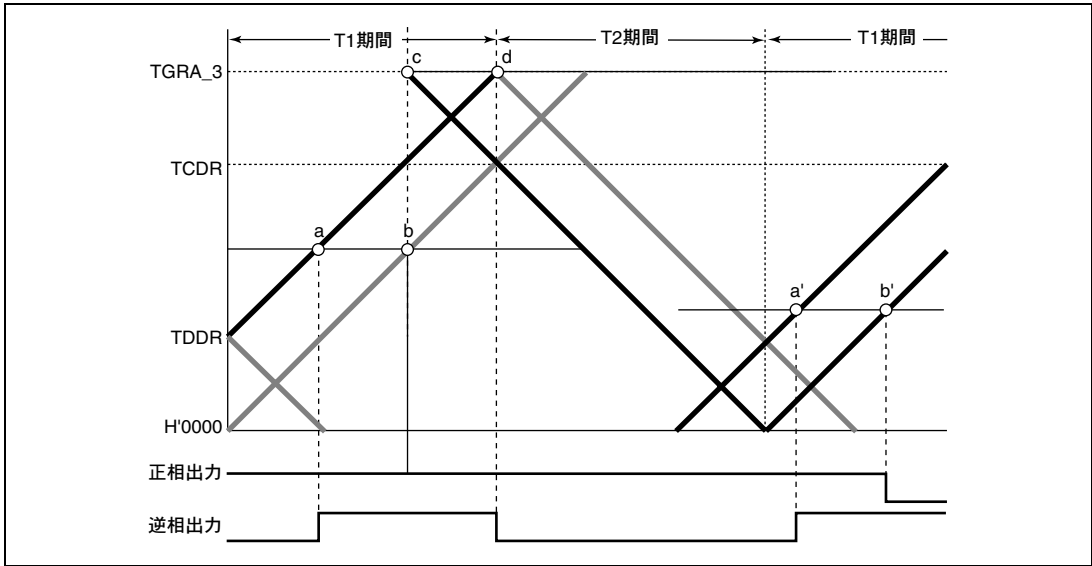


図 10.43 相補 PWM モード 0%、100%波形出力例 (1)

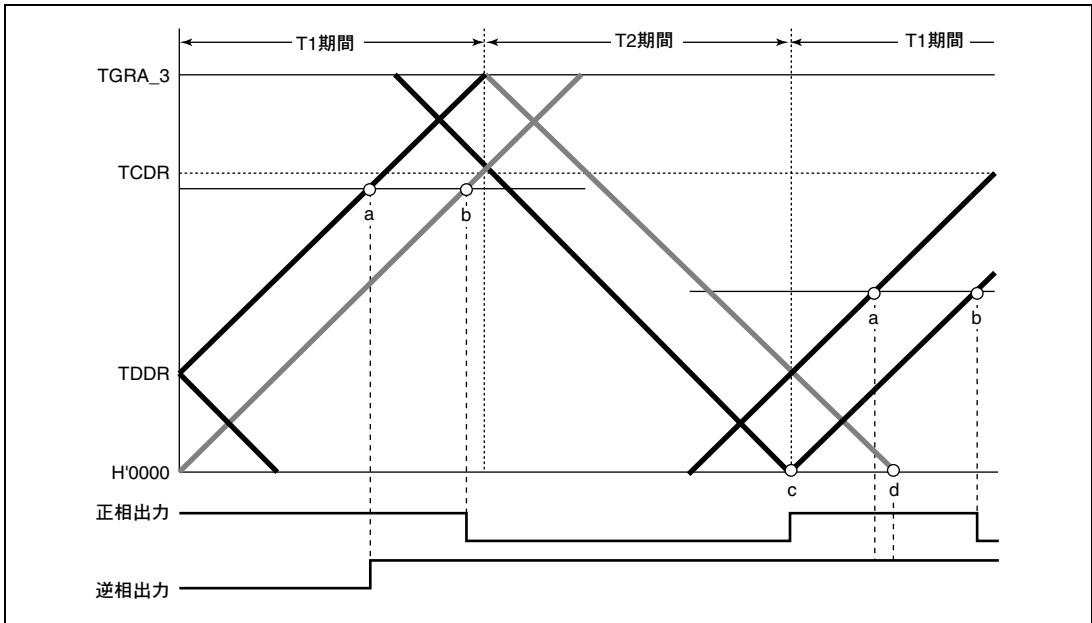


図 10.44 相補 PWM モード 0%、100%波形出力例 (2)

10. マルチファンクションタイマパルスユニット (MTU)

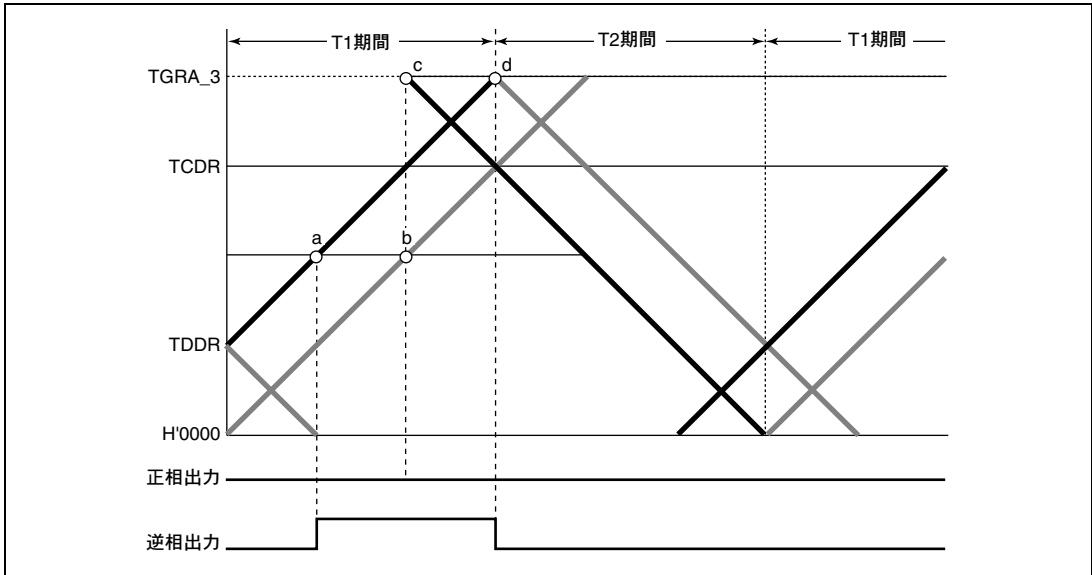


図 10.45 相補 PWM モード 0%、100%波形出力例 (3)

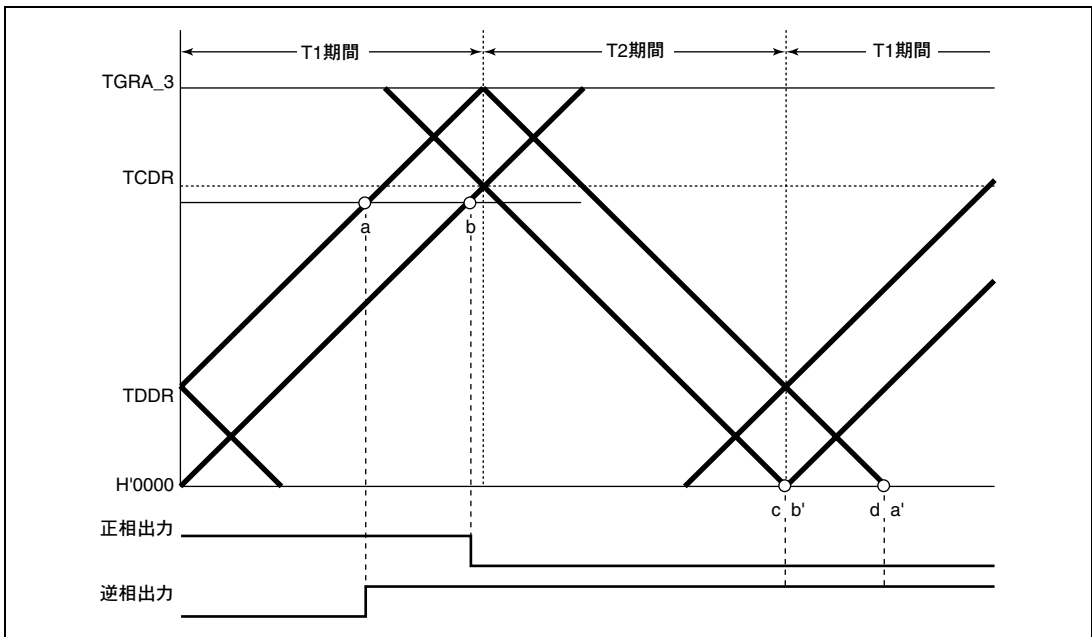


図 10.46 相補 PWM モード 0%、100%波形出力例 (4)

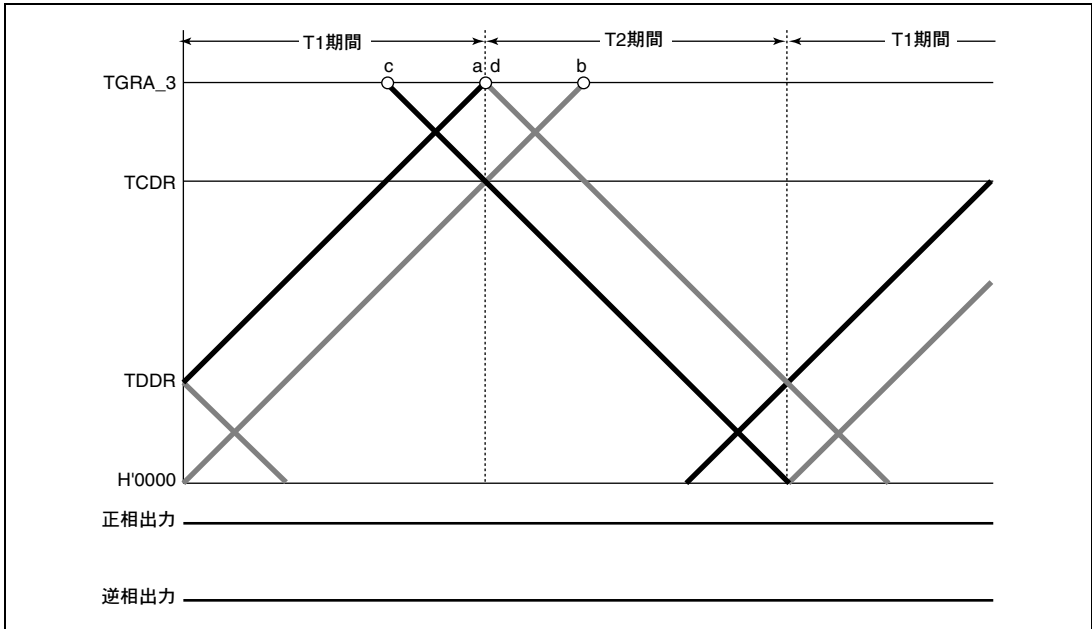


図 10.47 相補 PWM モード 0%、100%波形出力例 (5)

(j) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 10.43～図 10.47 に出力例を示します。

デューティ 100%出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(k) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 10.48 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

10. マルチファンクションタイマパルスユニット (MTU)

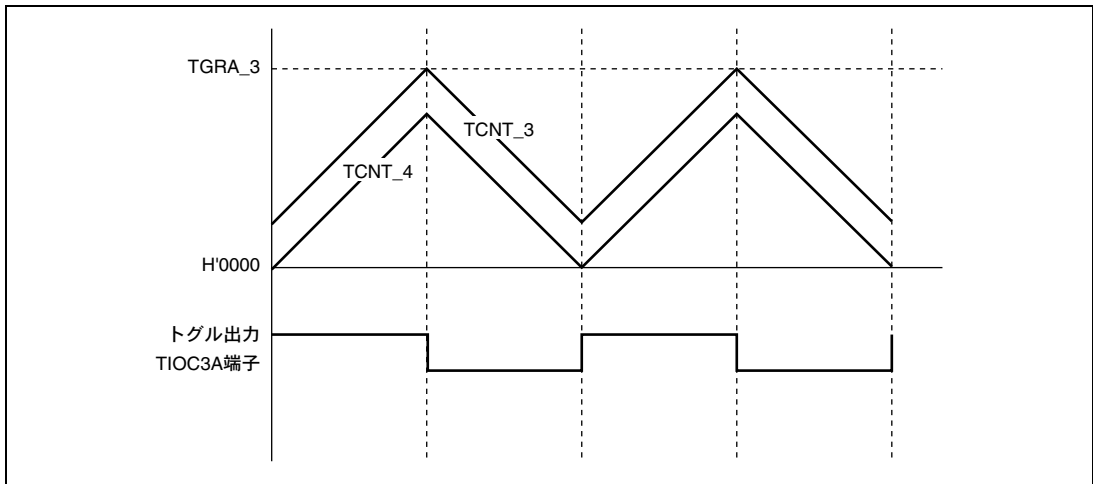


図 10.48 PWM 出力に同期したトグル出力波形例

(i) 他のチャンネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャンネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2~CCLR0 により同期クリアを選択することにより他のチャンネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 10.49 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

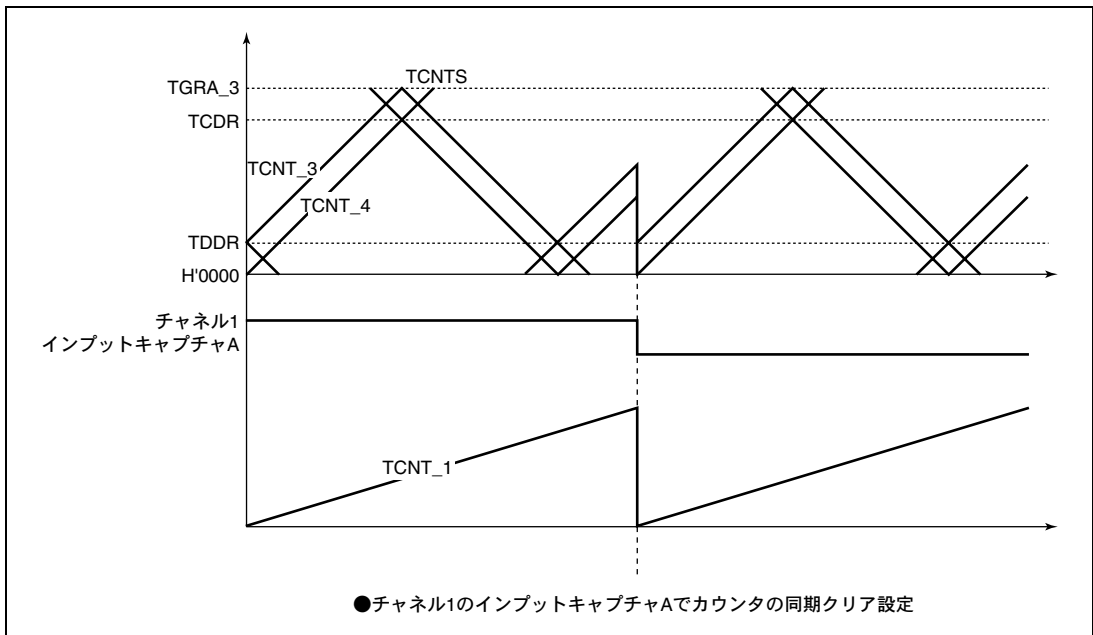


図 10.49 他のチャンネルに同期したカウンタクリア

(m) AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 10.50～図 10.53 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

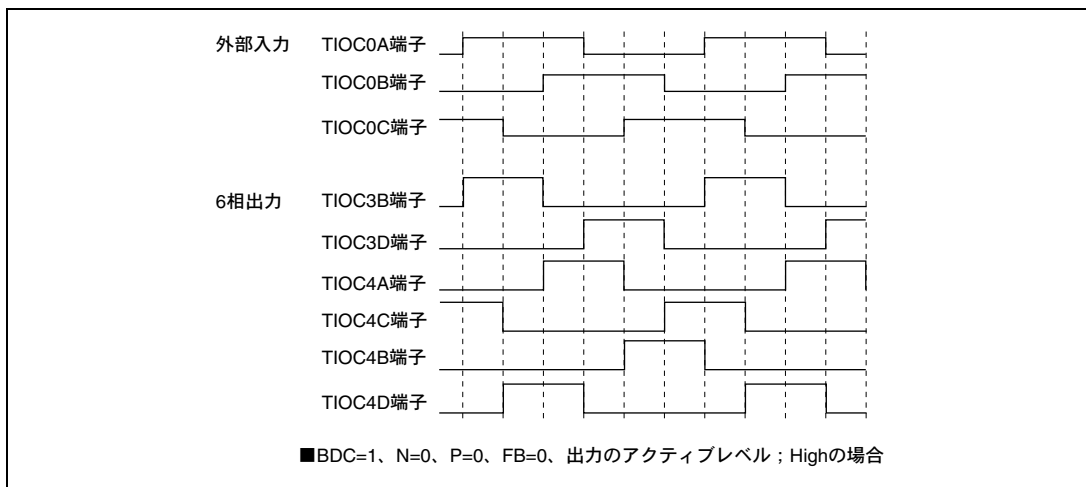


図 10.50 外部入力による出力相の切り替え動作例 (1)

10. マルチファンクションタイマパルスユニット (MTU)

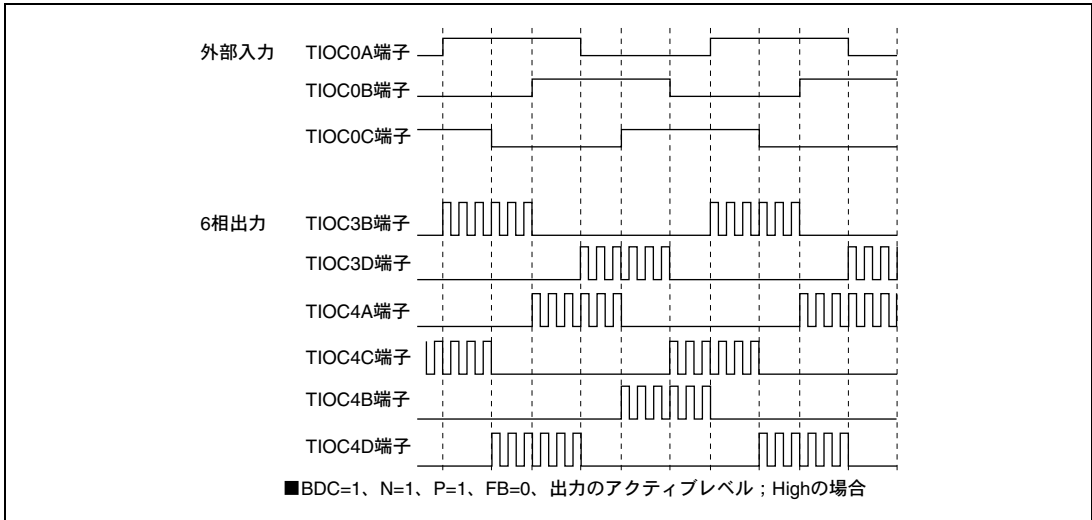


図 10.51 外部入力による出力相の切り替え動作例 (2)

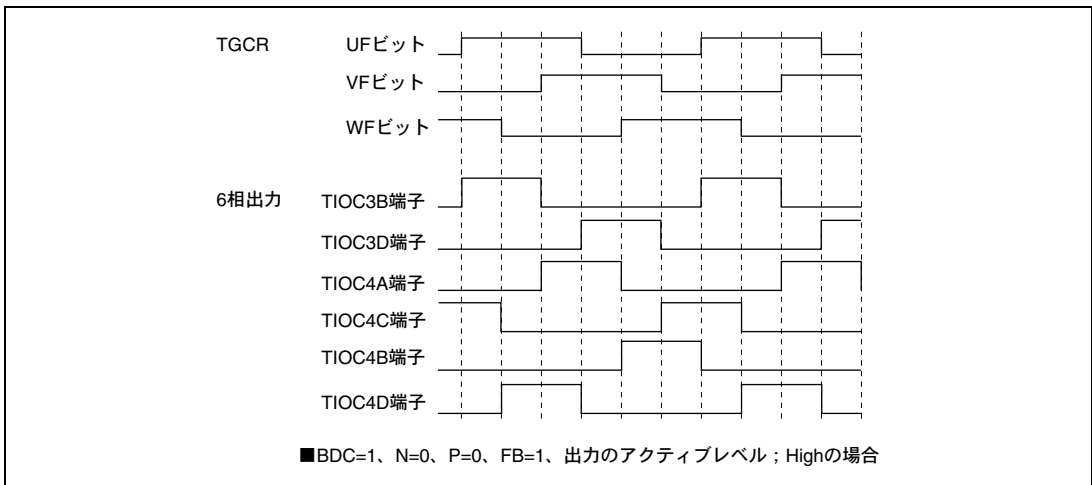


図 10.52 UF、VF、WF ビット設定による出力相の切り替え動作例 (3)

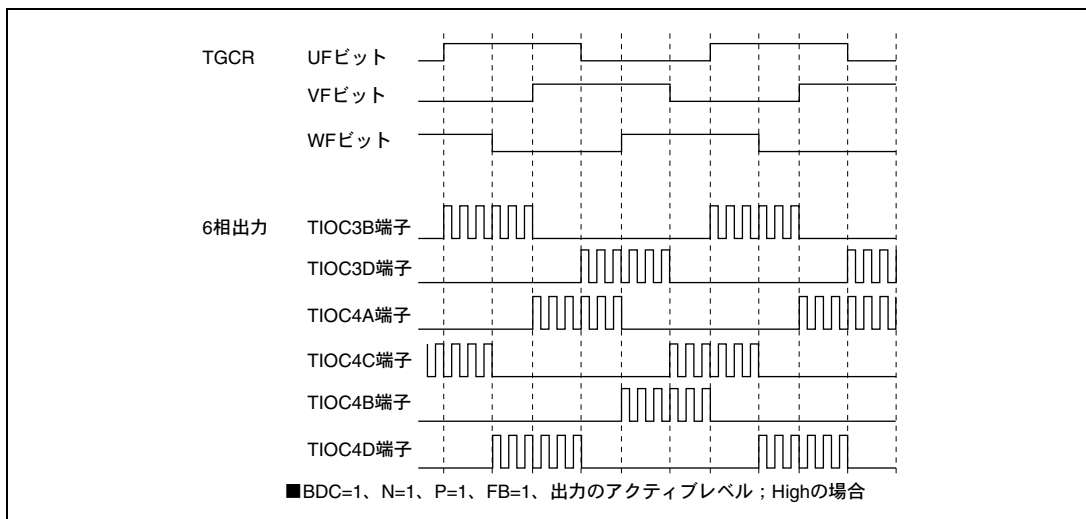


図 10.53 UF、VF、WF ビット設定による出力相の切り替え動作例 (4)

(n) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチか、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、バスコントローラのバスコントロールレジスタ 1 (BCR1) のビット 13 の設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象はチャンネル 3 および 4 のレジスタの一部であり、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態

10. マルチファンクションタイマパルスユニット (MTU)

にすることが可能です。外部信号の入力端子は4本あります。

詳細は、「10.9 ポートアウトプットイネーブル (POE)」を参照してください。

(c) 発振停止時のPWM出力の停止機能

6相PWM出力端子は、本LSIに入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「4.2 発振停止検出機能」を参照してください。

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ (INTC)」を参照してください。

表 10.42 に MTU の割り込み要因の一覧を示します。

10. マルチファンクションタイムパルスユニット (MTU)

解除されます。MTUには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

10.5.2 DTC の起動

各チャンネルのTGRのインプットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第8章 データトランスファコントローラ (DTC)」を参照してください。

MTUでは、チャンネル0、3が各4本、チャンネル1、2が各2本、チャンネル4が各5本、計17本のインプットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

10.5.3 A/D変換器の起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、MTUの変換開始トリガが選択されていれば、A/D変換が開始されます。

MTUでは、各チャンネル1本、計5本のTGRAのインプットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

10.6 動作タイミング

10.6.1 入出カタイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図10.54に示します。また、外部クロック動作（ノーマルモード）の場合のTCNTのカウンタタイミングを図10.55に、外部クロック動作（位相計数モード）の場合のTCNTのカウンタタイミングを図10.56に示します。

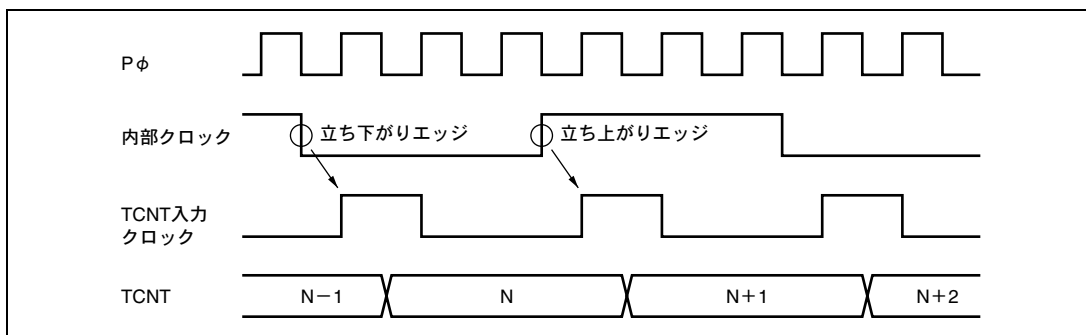


図 10.54 内部クロック動作時のカウンタタイミング

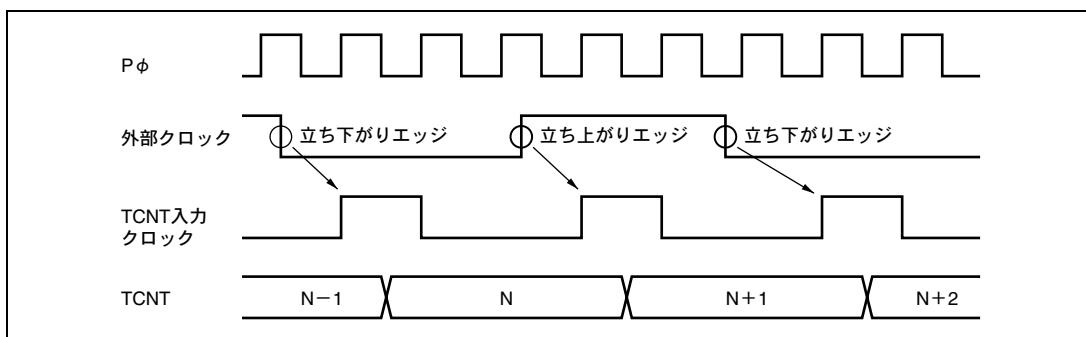


図 10.55 外部クロック動作時のカウンタタイミング

10. マルチファンクションタイマパルスユニット (MTU)

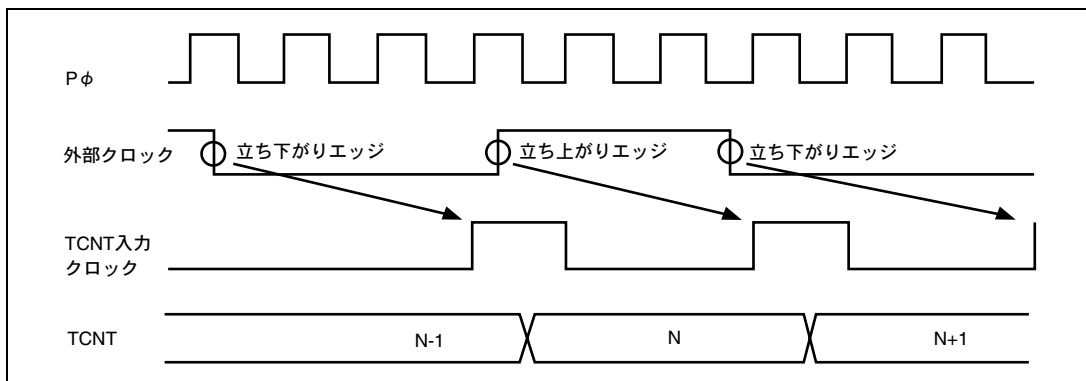


図 10.56 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出カタイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出カされます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出カタイミング (ノーマルモード、PWM モード) を図 10.57 に、アウトプットコンペア出カタイミング (相補 PWM モード、リセット同期 PWM モード) を図 10.58 に示します。

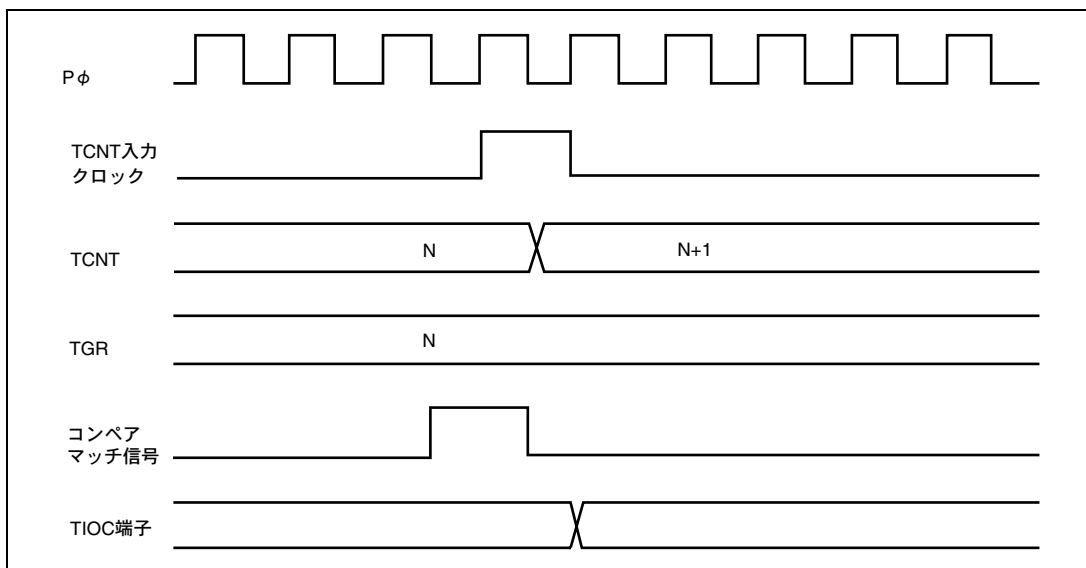


図 10.57 アウトプットコンペア出カタイミング (ノーマルモード、PWM モード)

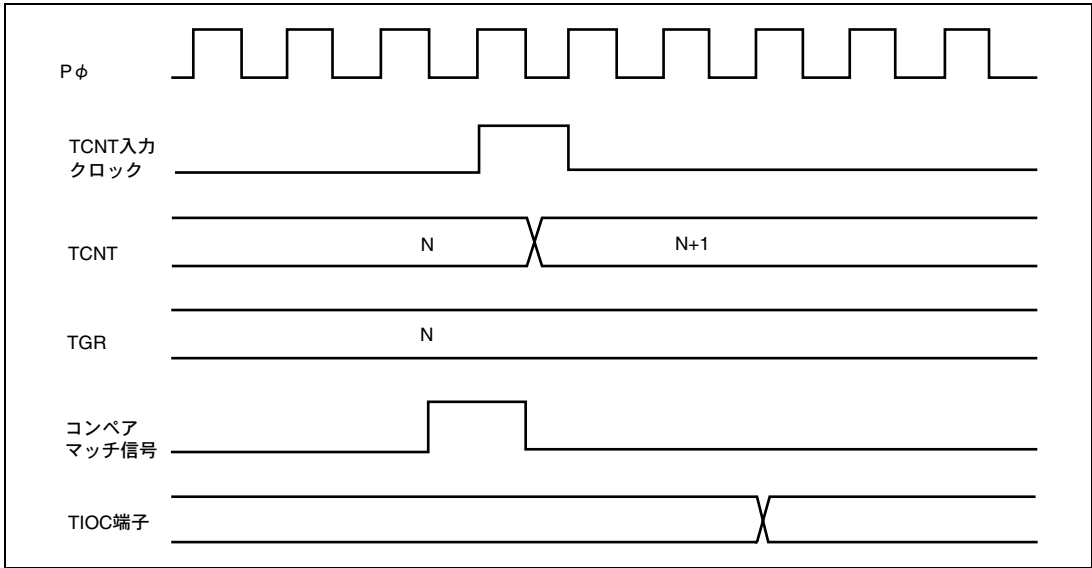


図 10.58 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 10.59 に示します。

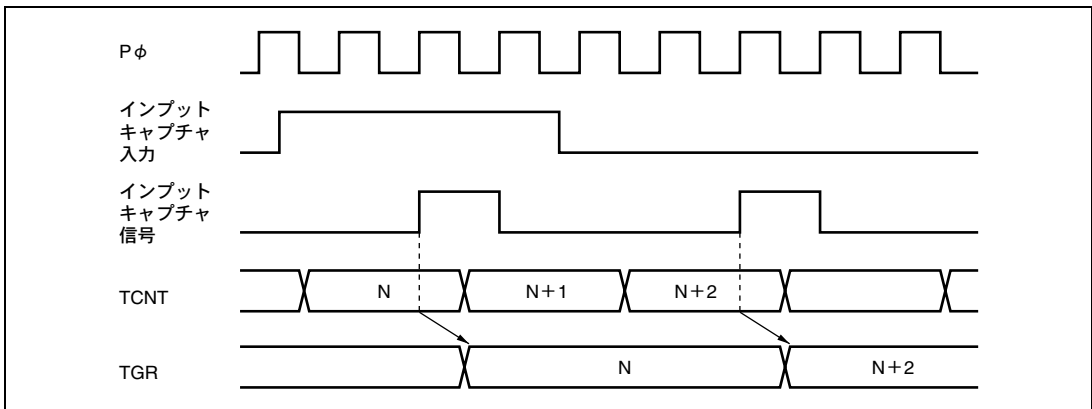


図 10.59 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.60 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.61 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

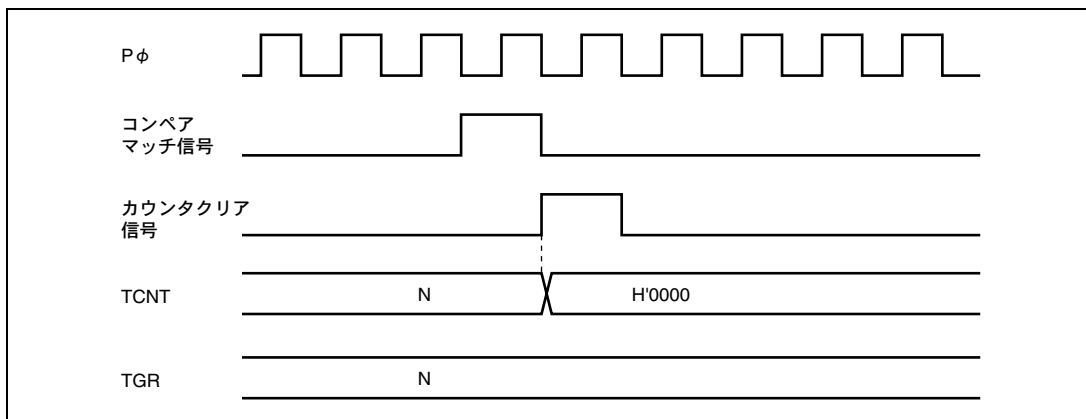


図 10.60 カウンタクリアタイミング (コンペアマッチ)

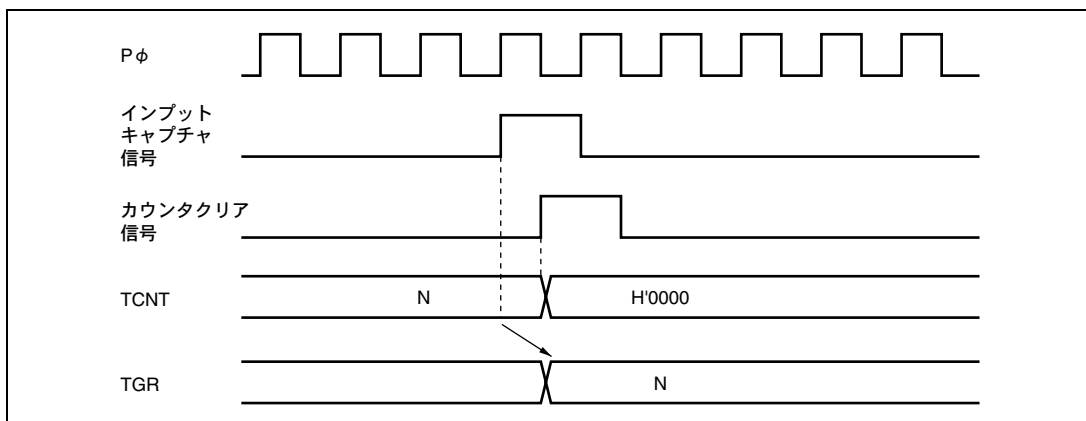


図 10.61 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.62、図 10.63 に示します。

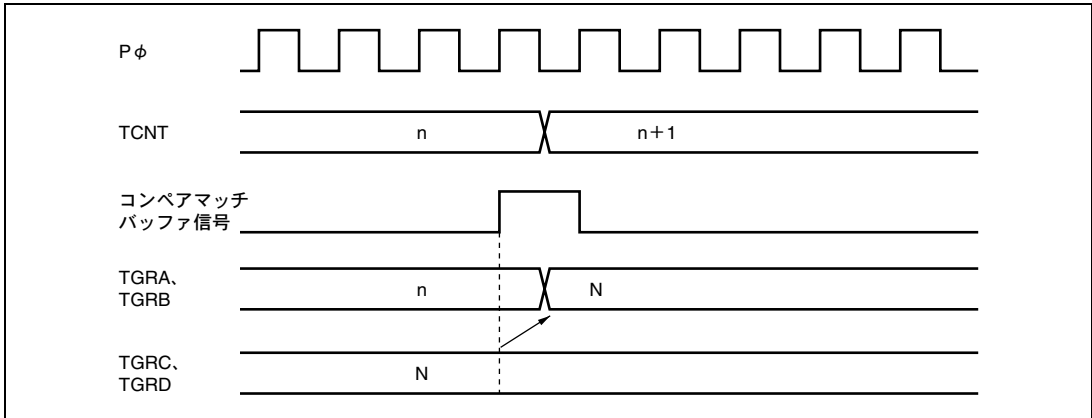


図 10.62 バッファ動作タイミング (コンペアマッチ)

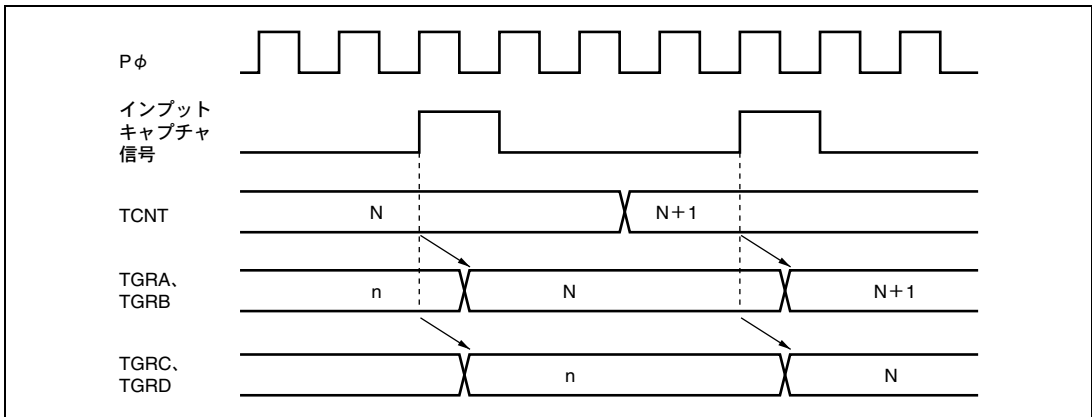


図 10.63 バッファ動作タイミング (インプットキャプチャ)

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.64 に示します。

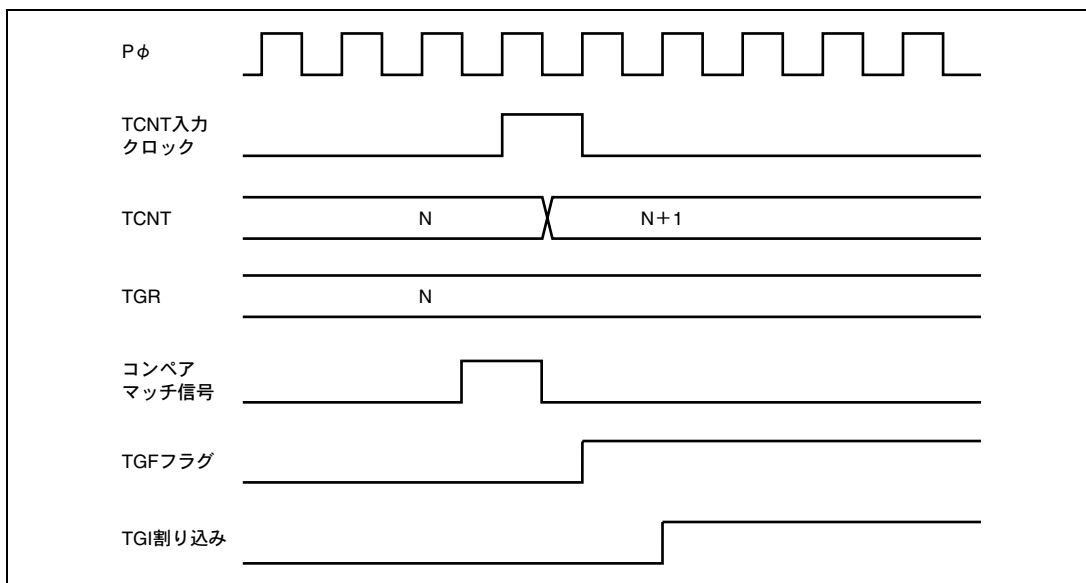


図 10.64 TGI 割り込みタイミング (コンペアマッチ)

(2) インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.65 に示します。

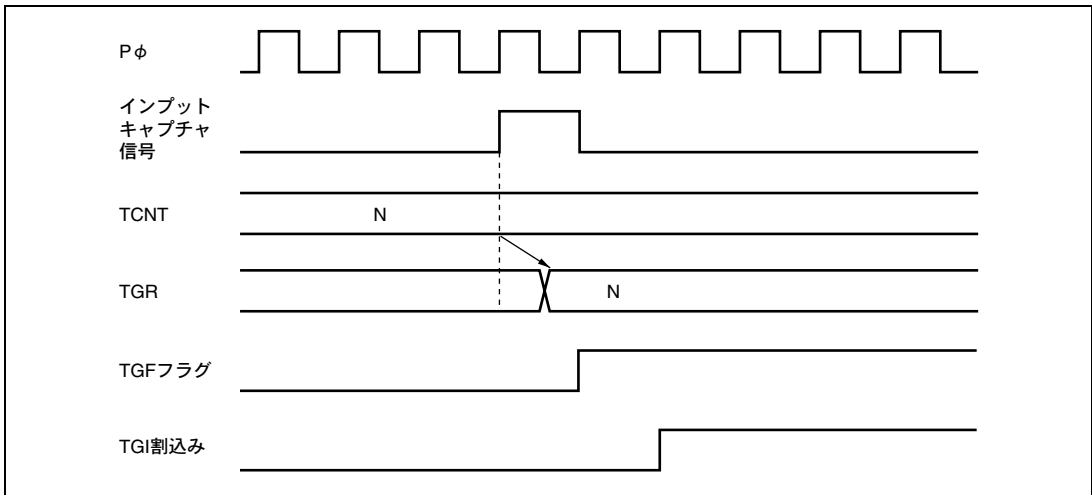


図 10.65 TGI 割り込みタイミング (インプットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.66 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.67 に示します。

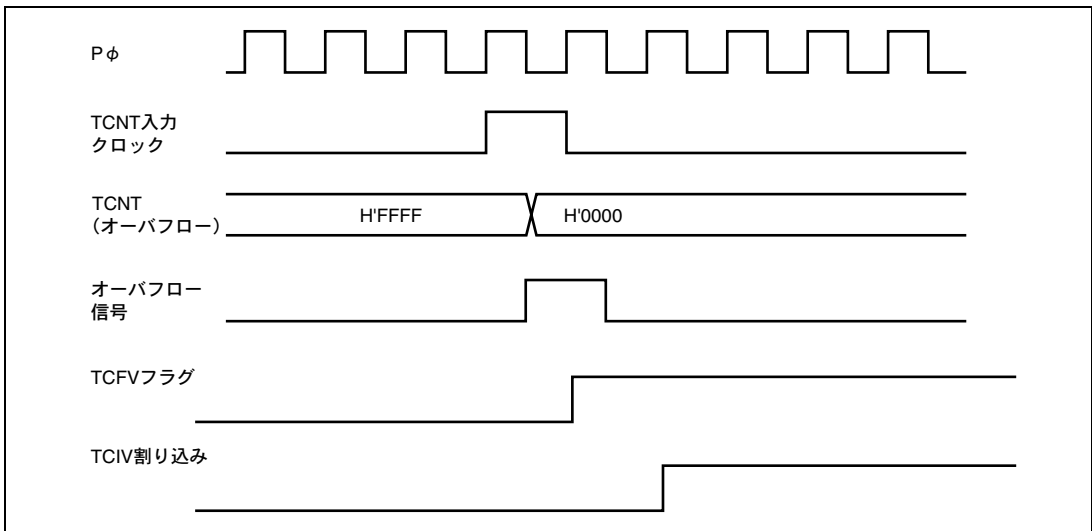


図 10.66 TCIV 割り込みのセットタイミング

10. マルチファンクションタイマパルスユニット (MTU)

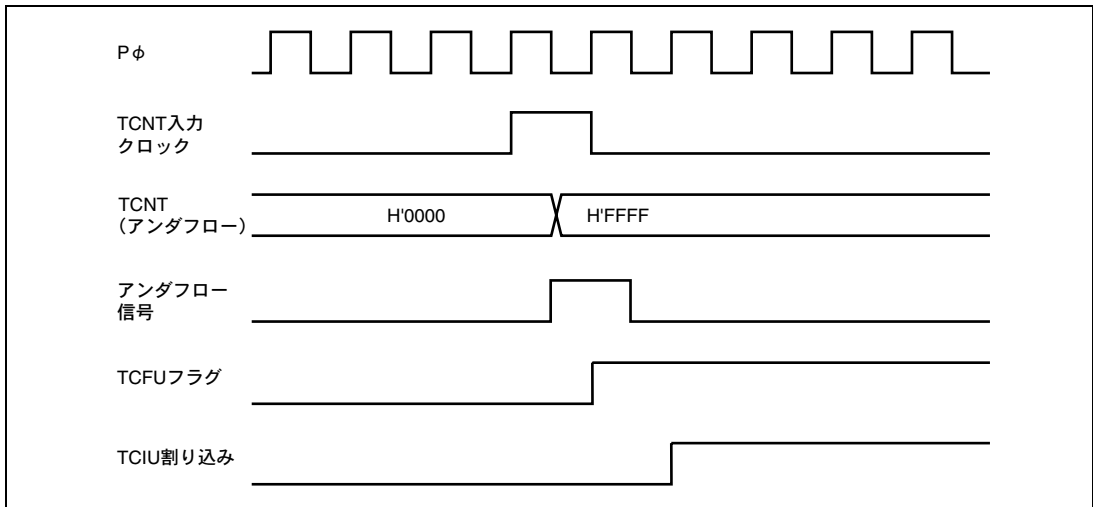


図 10.67 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.68に、DTCによるステータスフラグのクリアのタイミングを図10.69に示します。

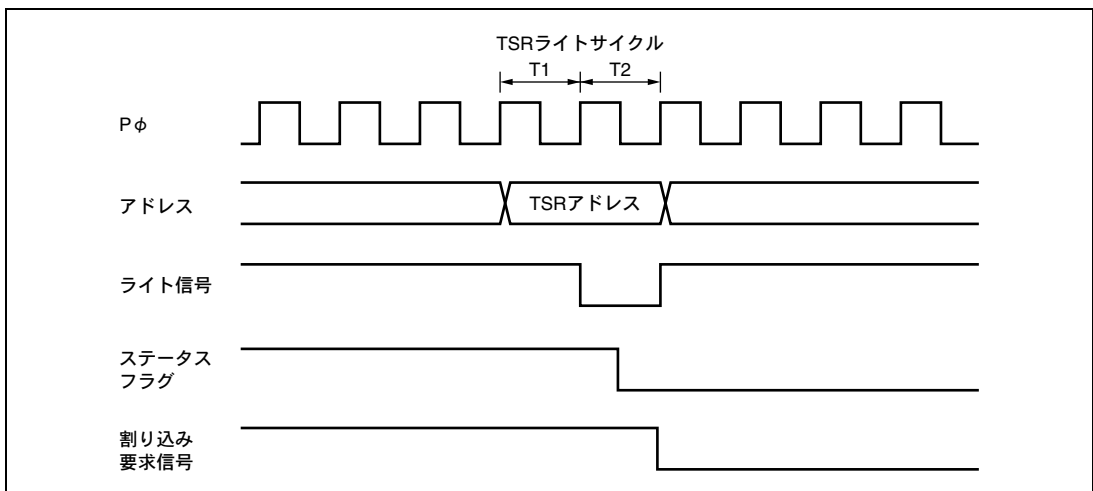


図 10.68 CPU によるステータスフラグのクリアタイミング

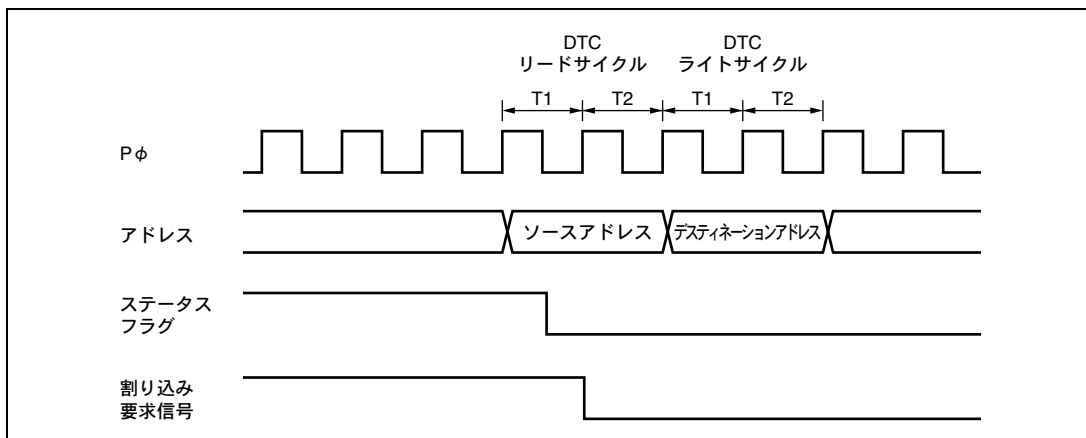


図 10.69 DTC の起動によるステータスフラグのクリアタイミング

10.7 使用上の注意事項

10.7.1 モジュールスタンバイモードの設定

MTU は、モジュールスタンバイレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

10.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.70 に示します。

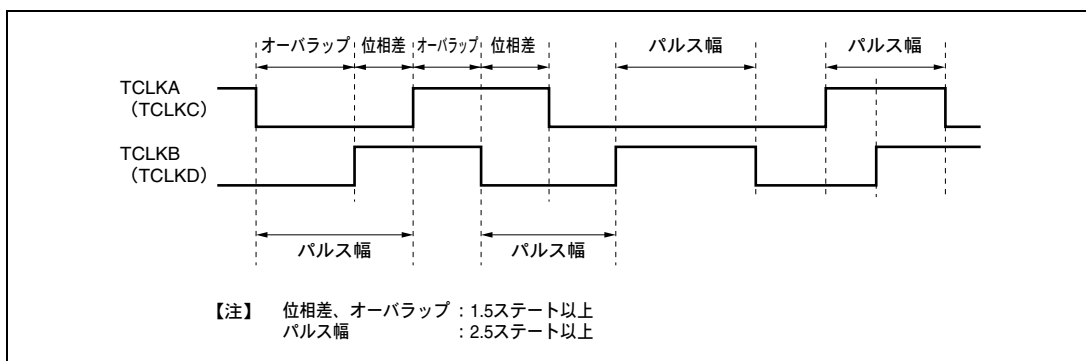


図 10.70 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10. マルチファンクションタイマパルスユニット (MTU)

10.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 周辺クロック動作周波数

N : TGR の設定値

10.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.71 に示します。

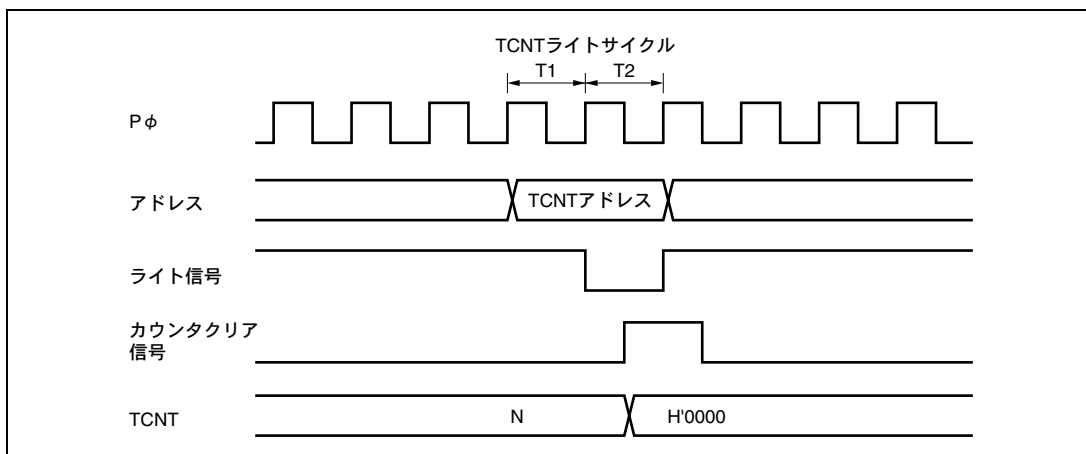


図 10.71 TCNT のライトとクリアの競合

10.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.72 に示します。

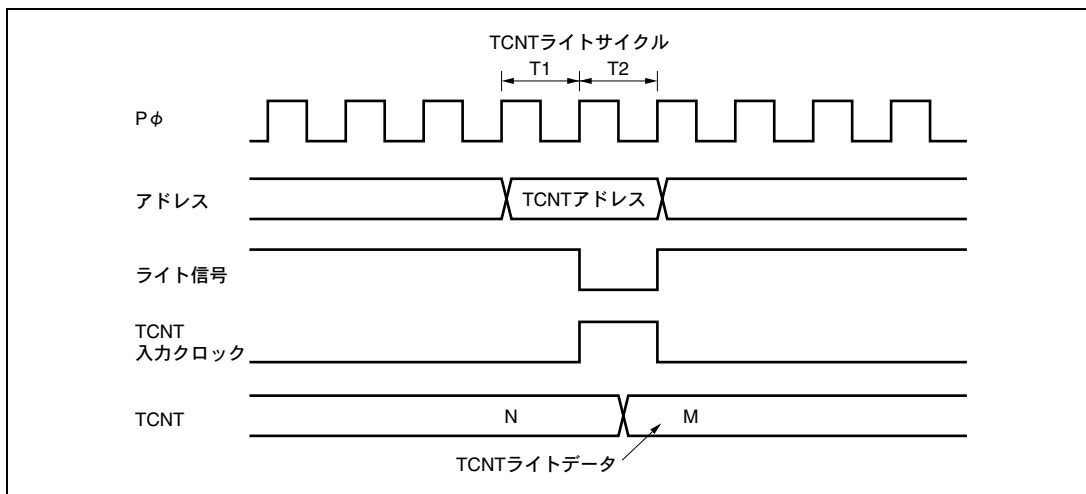


図 10.72 TCNT のライトとカウントアップの競合

10.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 10.73 に示します。

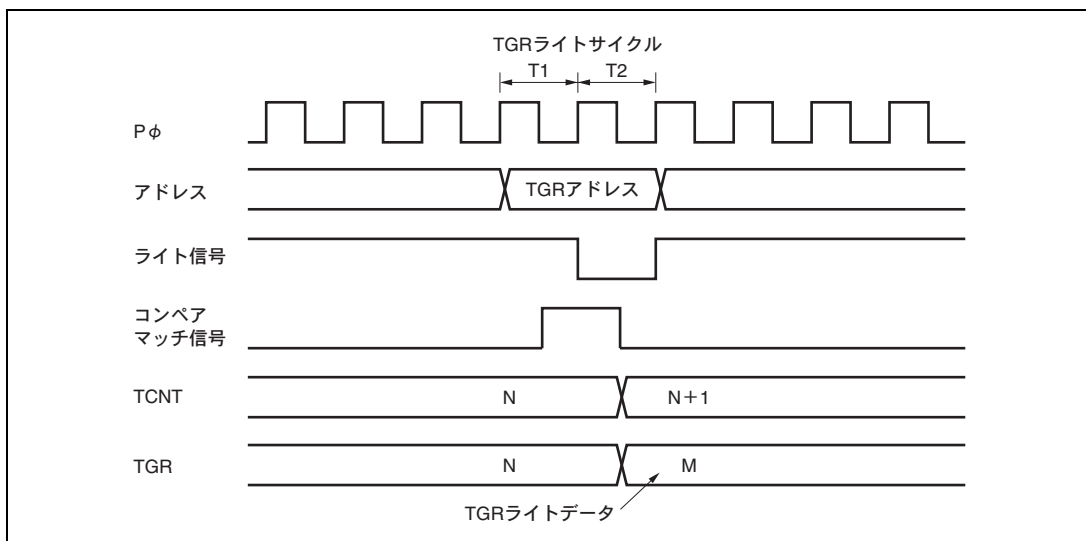


図 10.73 TGR のライトとコンペアマッチの競合

10.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはチャンネル0 とチャンネル3、4 では異なり、チャンネル0 では書き込み後のデータ、チャンネル3、4 では書き込み前のデータです。

このタイミングを図 10.74、図 10.75 に示します。

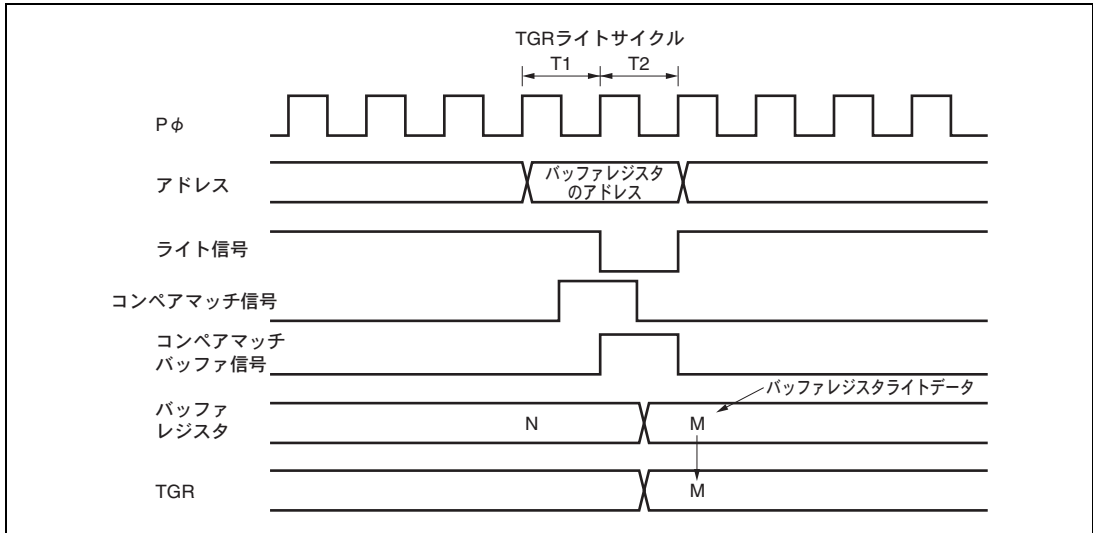


図 10.74 バッファレジスタのライトとコンペアマッチの競合 (チャンネル 0)

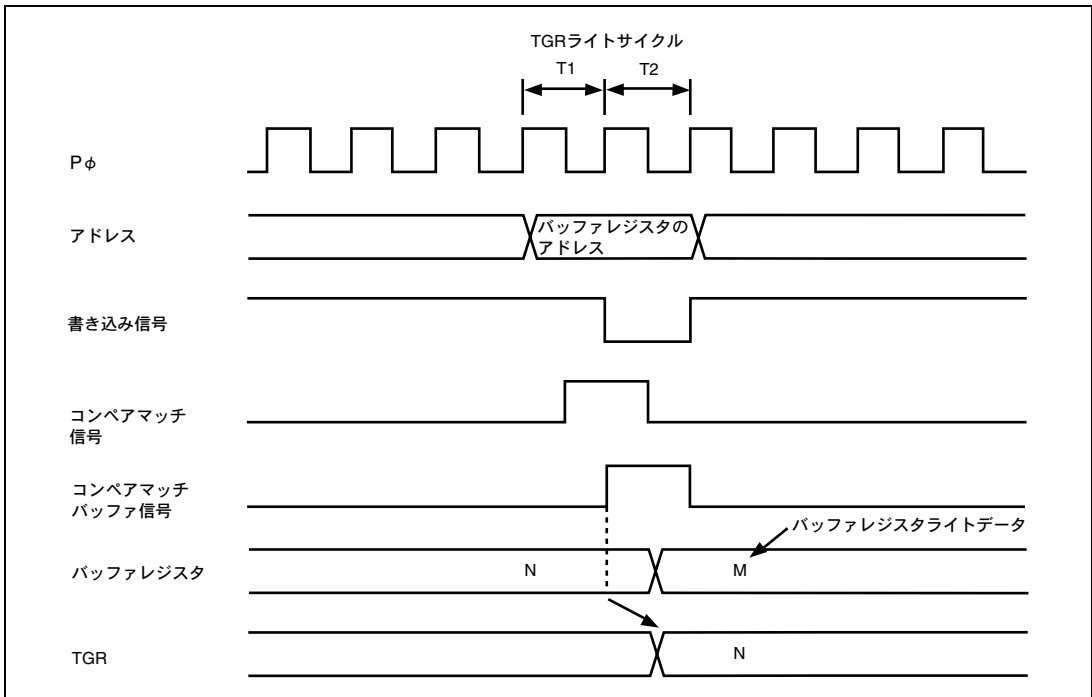


図 10.75 TGR のライトとコンペアマッチの競合 (チャンネル 3、4)

10.7.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.76 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

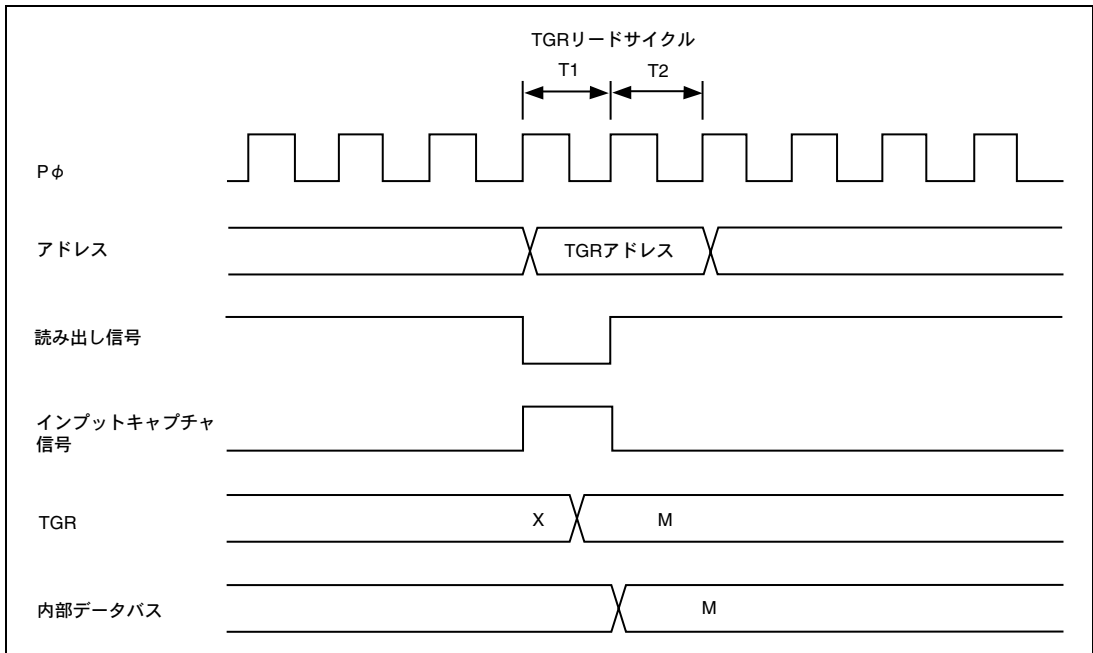


図 10.76 TGR のリードと入力キャプチャの競合

10.7.9 TGR のライトと入力キャプチャの競合

TGR のライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR へのライトは行われず、入力キャプチャが優先されます。

このタイミングを図 10.77 に示します。

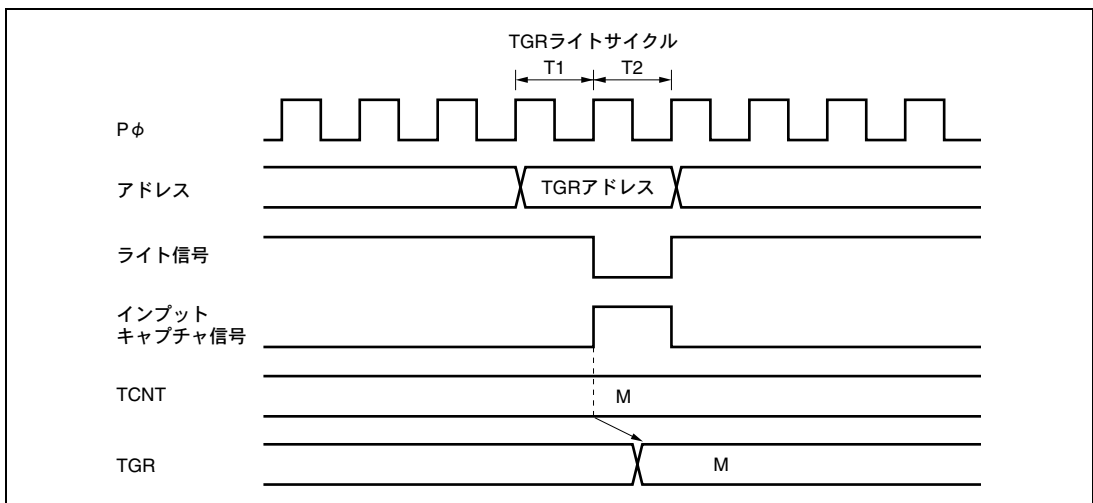


図 10.77 TGR のライトと入力キャプチャの競合

10.7.10 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.78 に示します。

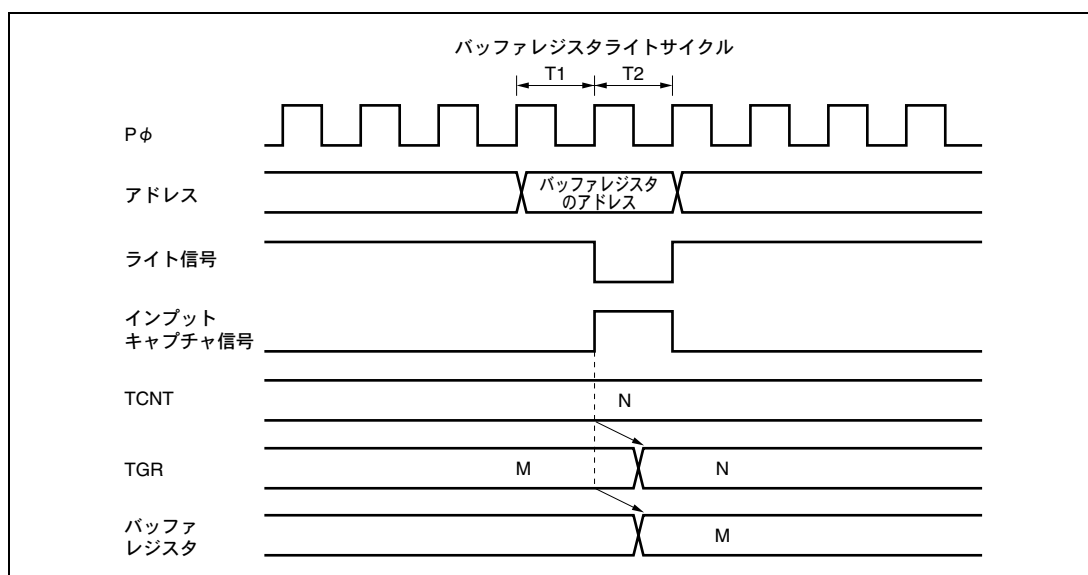


図 10.78 バッファレジスタのライトと入力キャプチャの競合

10.7.11 カスケード接続における TCNT_2 のライトとオーバーフロー／アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバーフロー／アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0～D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ／入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 10.79 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

10. マルチファンクションタイマパルスユニット (MTU)

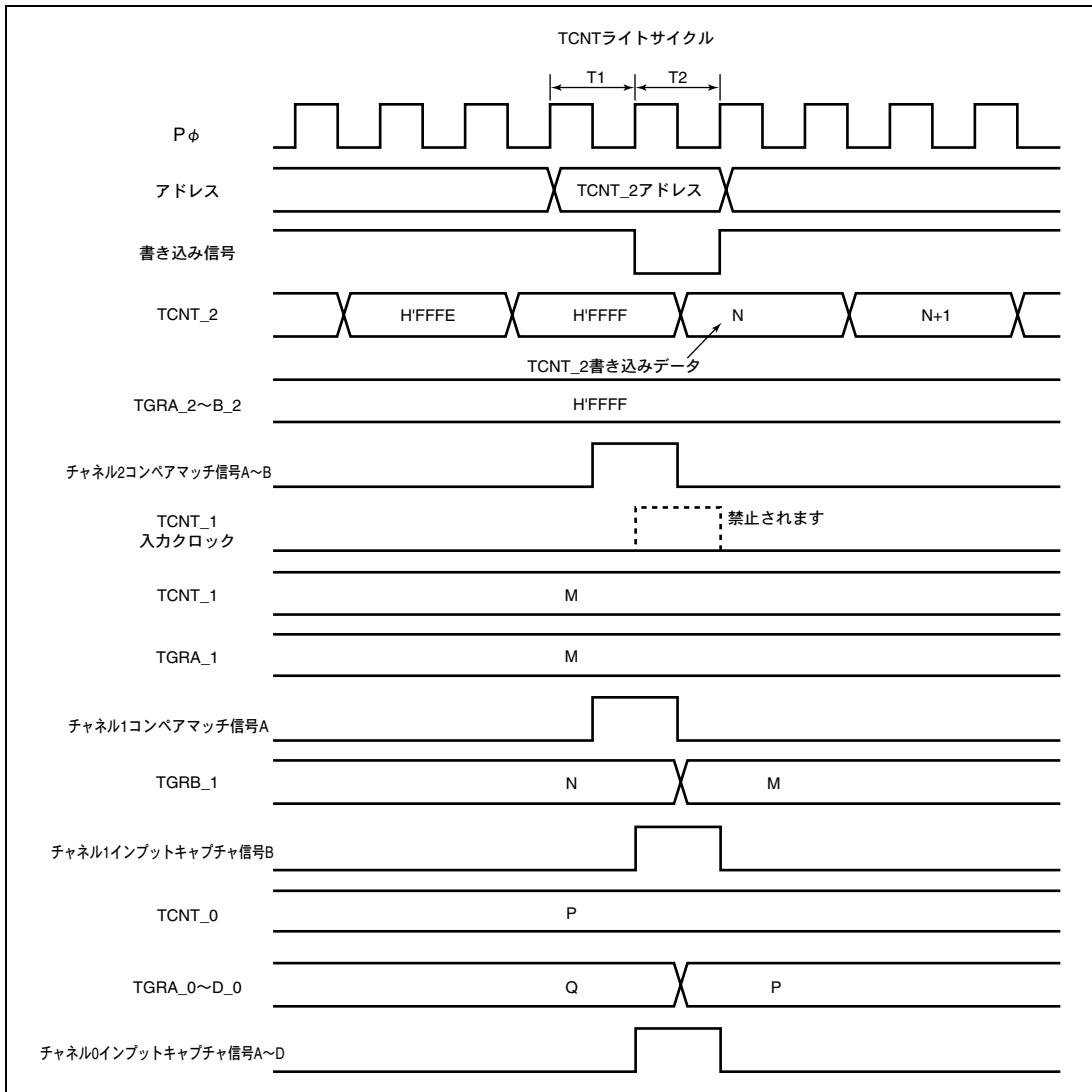


図 10.79 カスケード接続における TCNT_2 のライトとオーバーフロー／アンダフローの競合

10.7.12 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 10.80 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

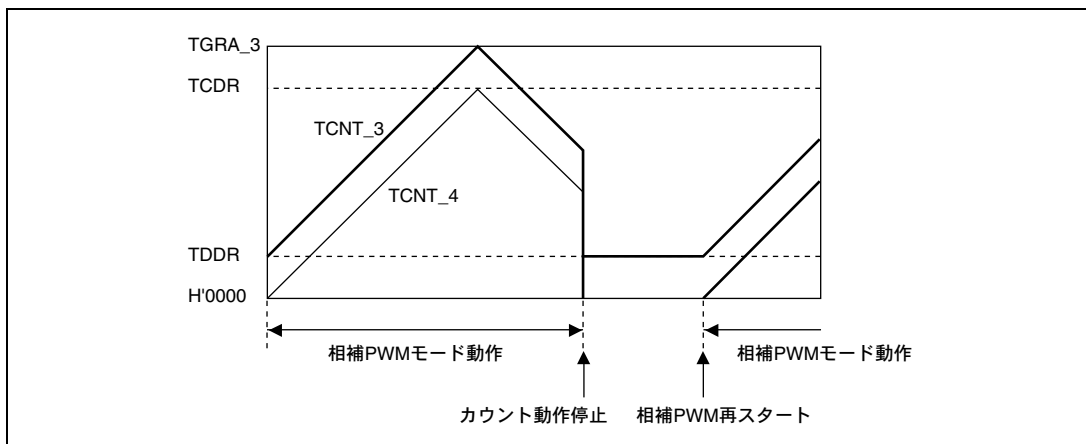


図 10.80 相補 PWM モード停止時のカウンタ値

10.7.13 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

10.7.14 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。例えば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFDF ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 10.81 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

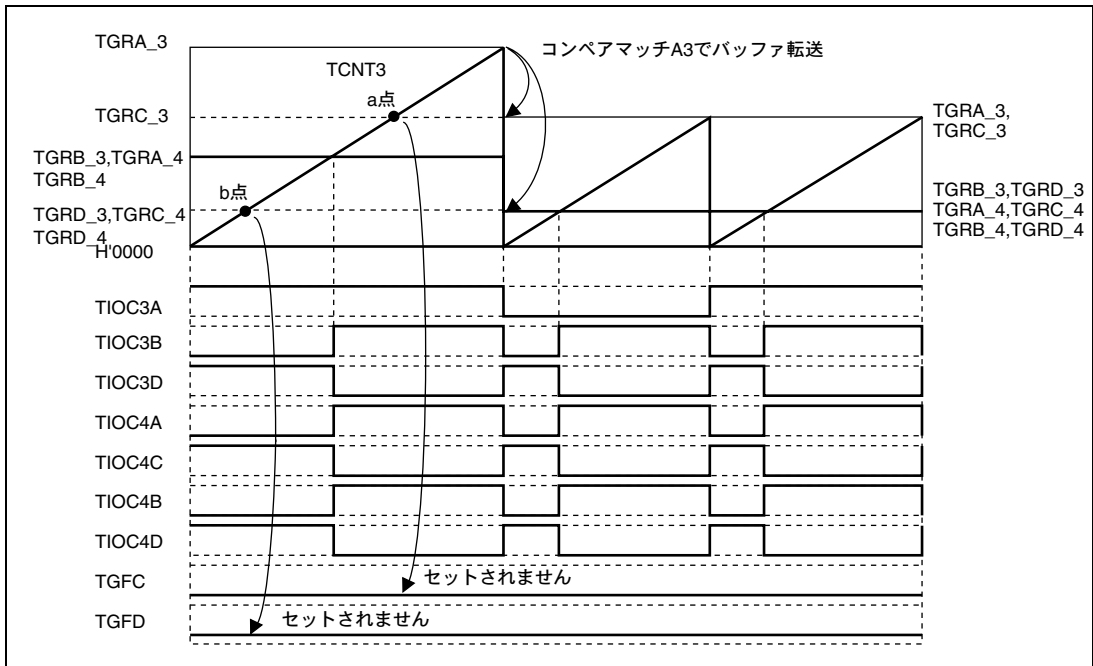


図 10.81 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

10.7.15 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 10.82 に示します。

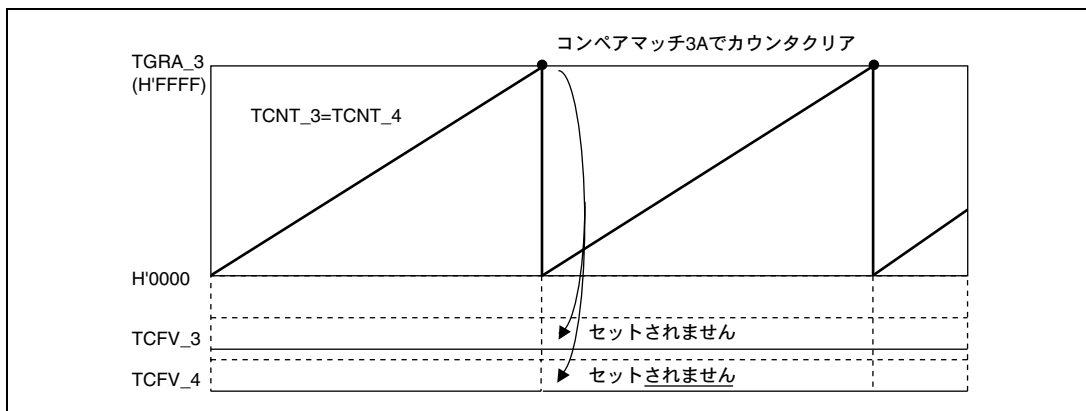


図 10.82 リセット同期 PWM モードのオーバーフローフラグ

10.7.16 オーバフロー／アンダフローとカウンタクリアの競合

オーバーフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.83 に示します。

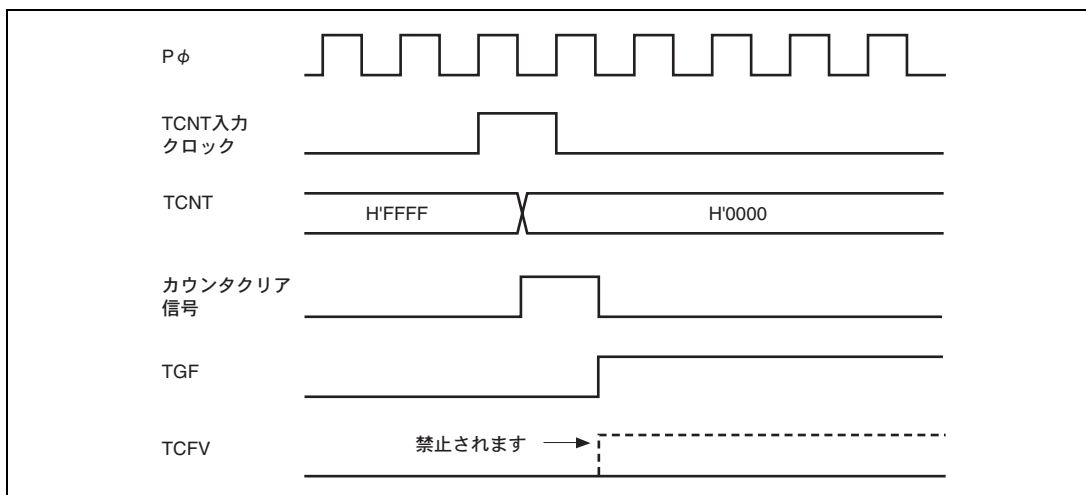


図 10.83 オーバフローとカウンタクリアの競合

10.7.17 TCNT のライトとオーバーフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバーフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 10.84 に示します。

10. マルチファンクションタイマパルスユニット (MTU)

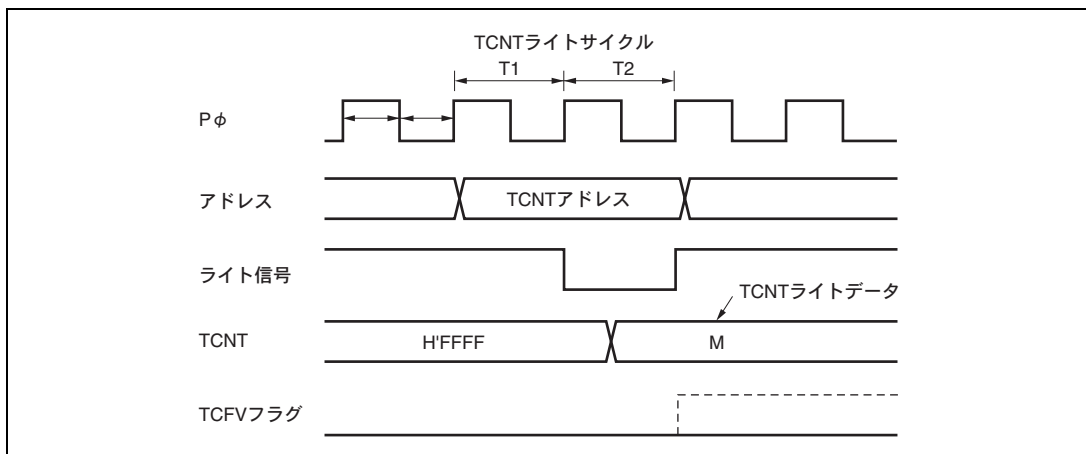


図 10.84 TCNT のライトとオーバーフローの競合

10.7.18 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3,4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

10.7.19 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOHはH'00としてください。

10.7.20 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてから、モジュールスタンバイモードとしてください。

10.7.21 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1 と TCNT_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A と TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1 (上位 16 ビットのカウンタ) が、TCNT_2 (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウントアップ値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGR1A と TGR2A もしくは、TGR1B と TGR2B に転送すべきところを、誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

10.8 MTU 出力端子の初期化方法

10.8.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各々のモードでの MTU 出力端子の初期化方法について示します。

10.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】* にはチャンネル番号+ポート記号が入ります。

10.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順につい

10. マルチファンクションタイマパルスユニット (MTU)

て示します。

MTUには前述のように6つの動作モードがあります。モード遷移の組み合わせは36通りとなりますが、チャンネルとモードの組み合わせ上、存在しない遷移が存在します。この一覧表を表 10.43 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 10.43 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	None
PCM	(17)	(18)	(19)	(20)	none	None
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

10.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合には、ノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合には、バッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移しTIORで初期化、TIORを初期値に戻した後、タイマアウトプットマスタイネーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い、動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 10.43 の組み合わせ番号に従い、端子の初期化手順を示します。なお、アクティブレベルはLとします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.85 に示します。

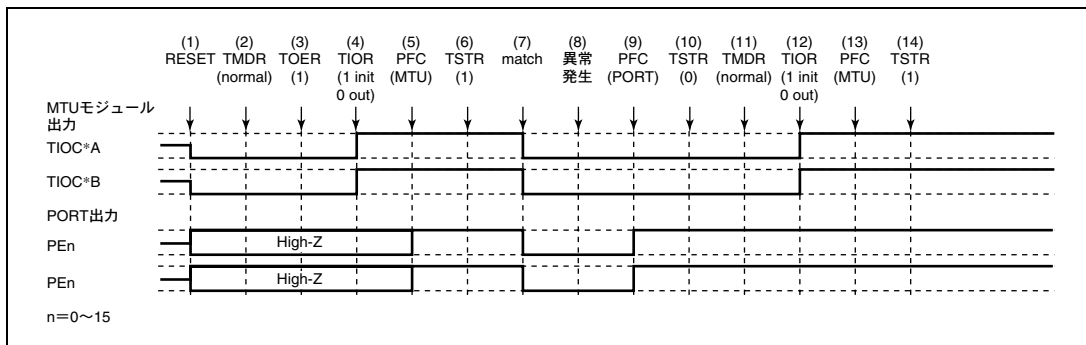


図 10.85 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) RESET により、TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では、TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください（例として、初期出力は High レベル、コンペアマッチで Low レベル出力となります）。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により、Low レベルを出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.86 に示します。

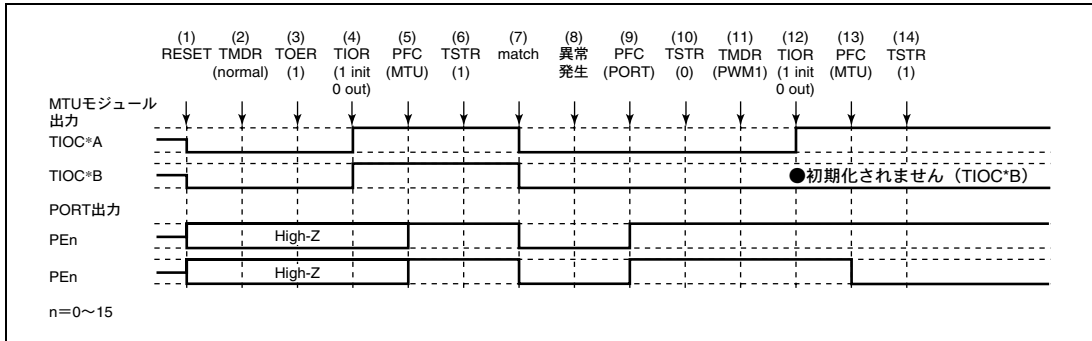


図 10.86 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.85 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.87 に示します。

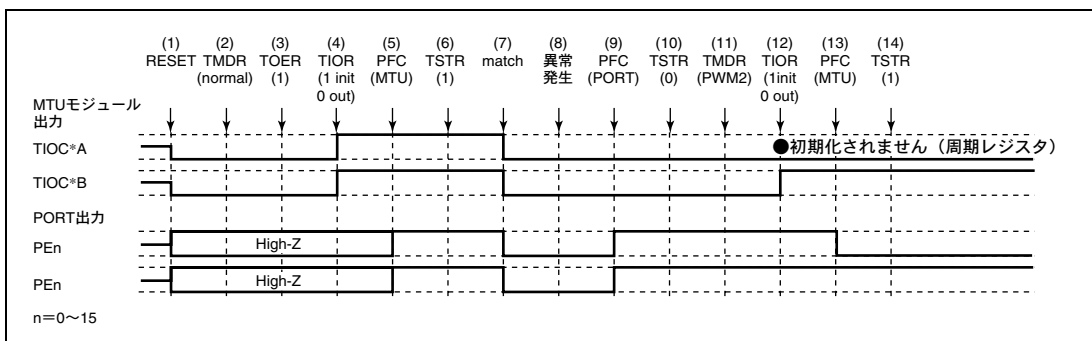


図 10.87 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 10.85 と共通です。
- (11) PWM モード 2 を設定します。
- (12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.88 に示します。

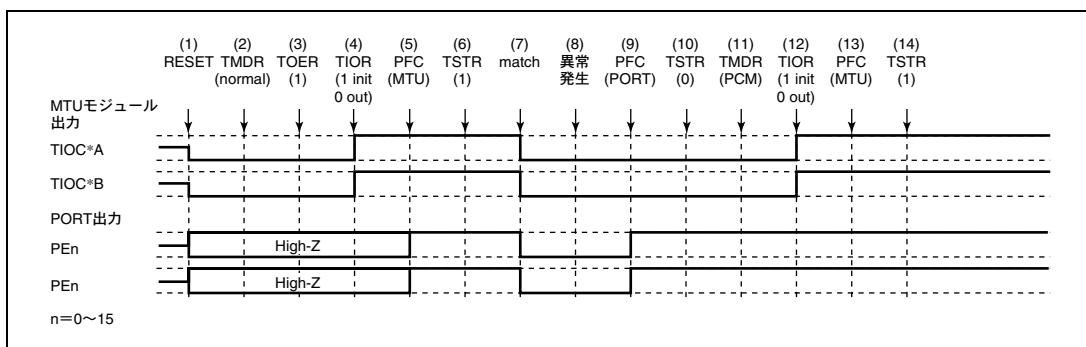


図 10.88 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 10.85 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

10. マルチファンクションタイマパルスユニット (MTU)

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.89 に示します。

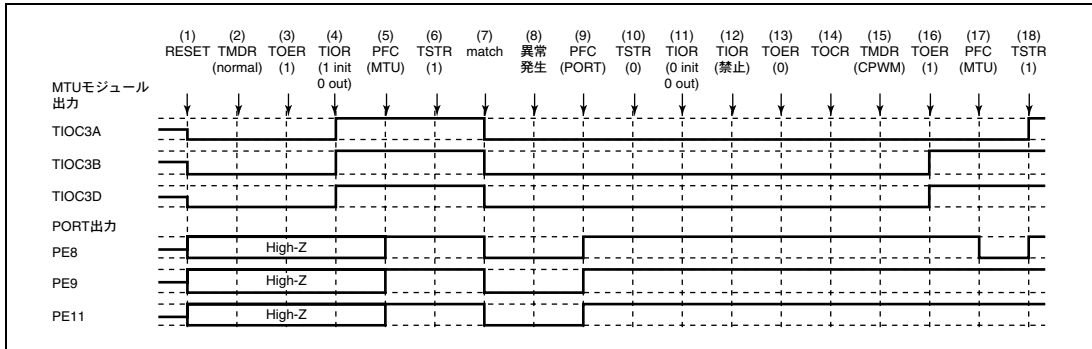


図 10.89 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.85 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU 出力としてください。

(18) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.90 に示します。

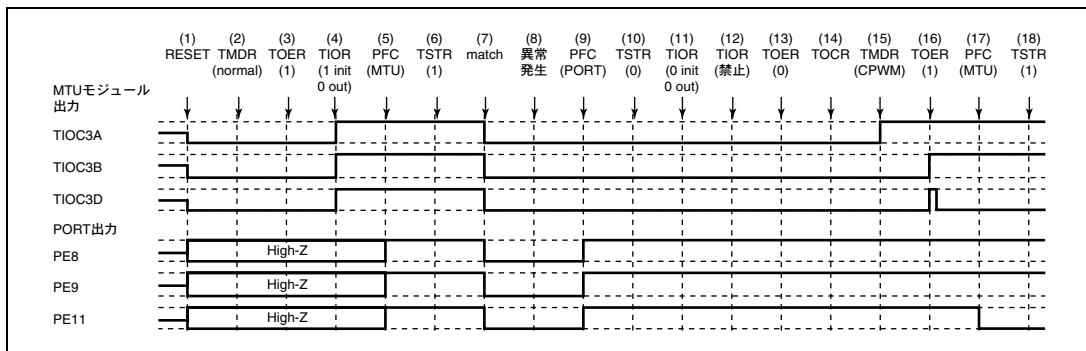


図 10.90 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 10.89 と共通です。

(14) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU 出力としてください。

(18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.91 に示します。

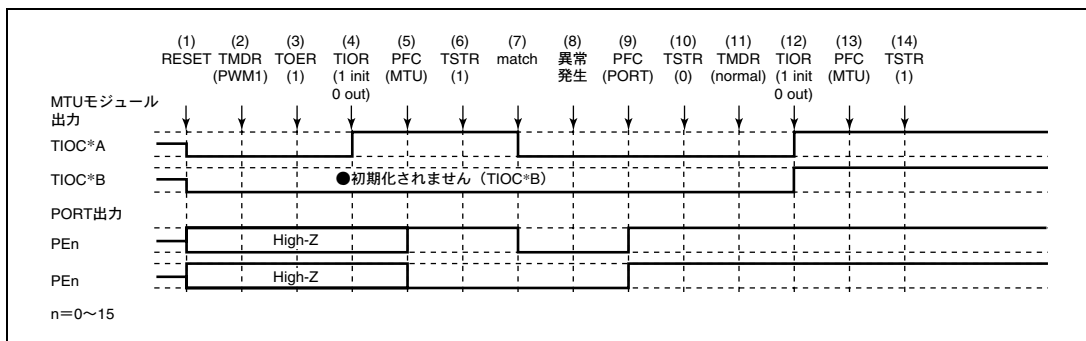


図 10.91 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では、TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください（例として、初期出力は High レベル、コンペアマッチで Low レベル出力となります。PWM モード 1 では TIOC*B 側は初期化されません）。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.92 に示します。

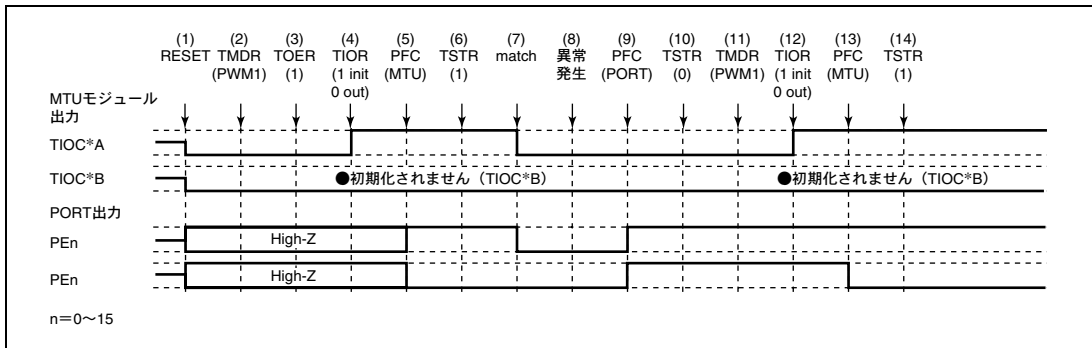


図 10.92 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 10.91 と共通です。
- (11) PWM モード 1 で再スタートする場合には必要ありません。
- (12) TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.93 に示します。

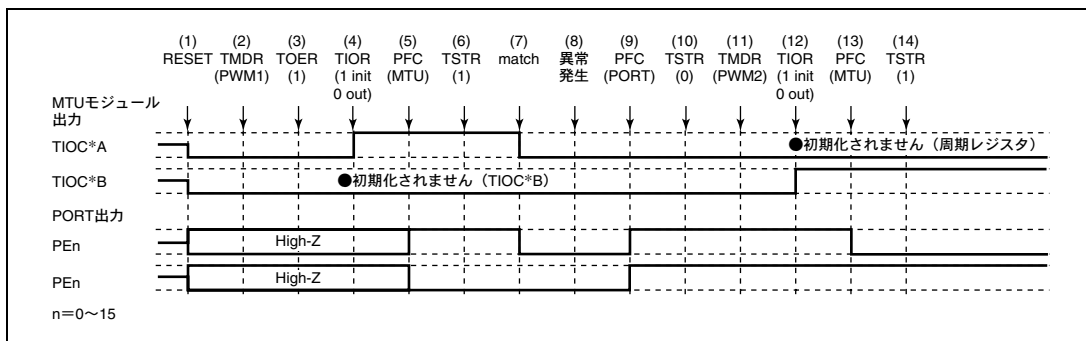


図 10.93 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 10.91 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.94 に示します。

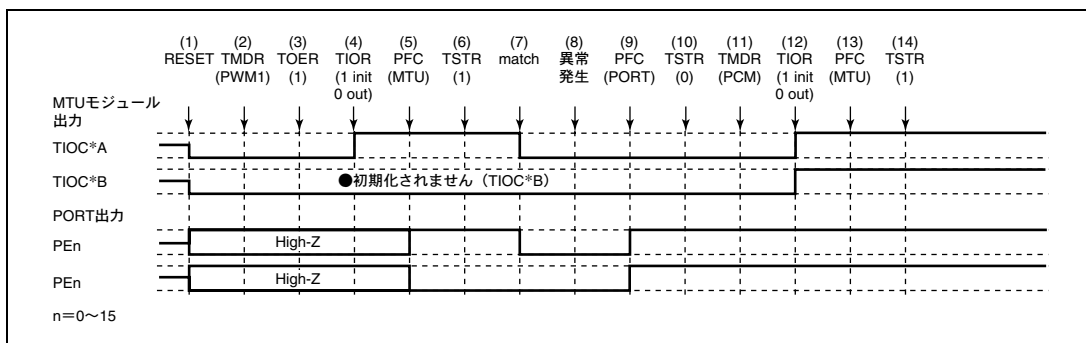


図 10.94 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

10. マルチファンクションタイムパルスユニット (MTU)

- (1) ~ (10) は図 10.91 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.95 に示します。

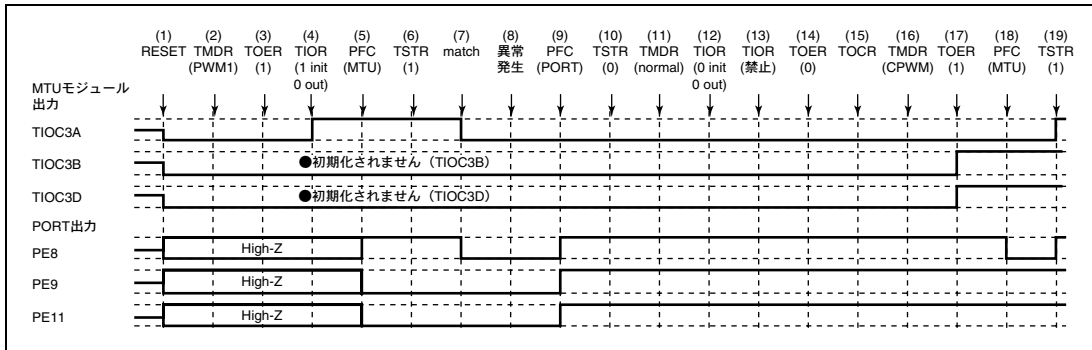


図 10.95 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.91 と共通です。
- (11) 波形生成部の初期化のため、ノーマルモードを設定してください。
- (12) TIOR で PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER でチャンネル 3、4 の出力を禁止してください。
- (15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.96 に示します。

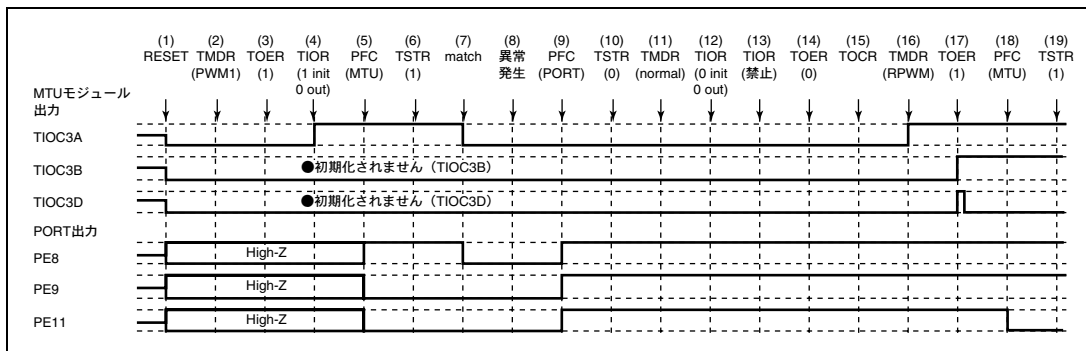


図 10.96 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 10.95 と共通です。

(15) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.97 に示します。

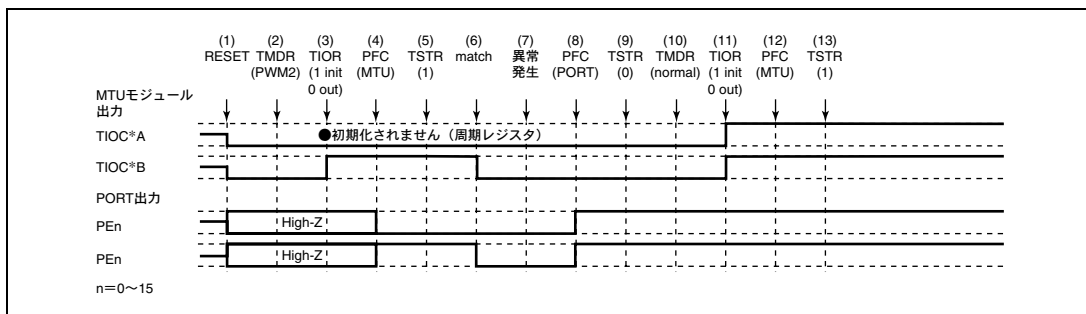


図 10.97 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください（例として、初期出力は High レベル、コンペアマッチで Low レベル出力となります。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です）。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.98 に示します。

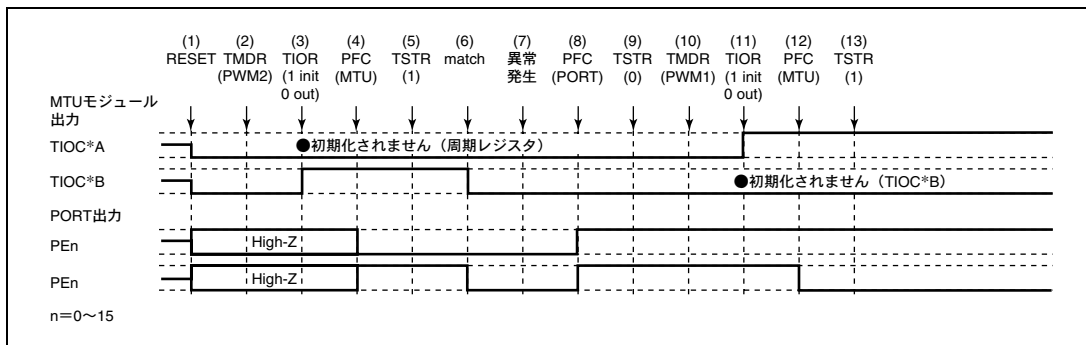


図 10.98 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 10.97 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.99 に示します。

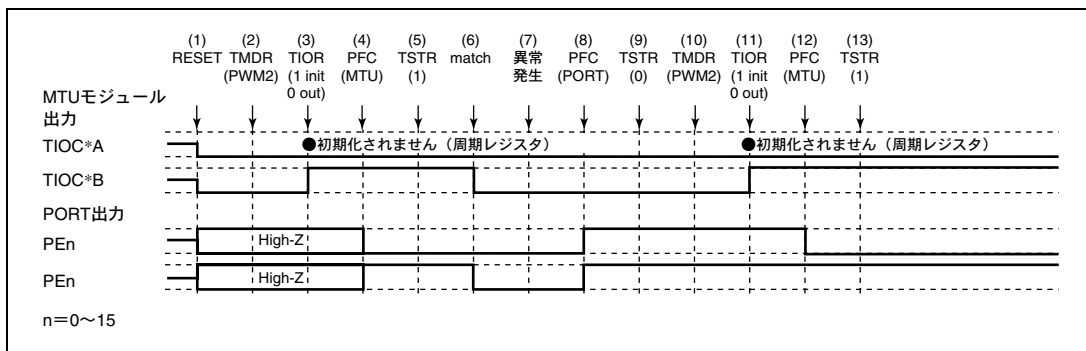


図 10.99 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.97 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.100 に示します。

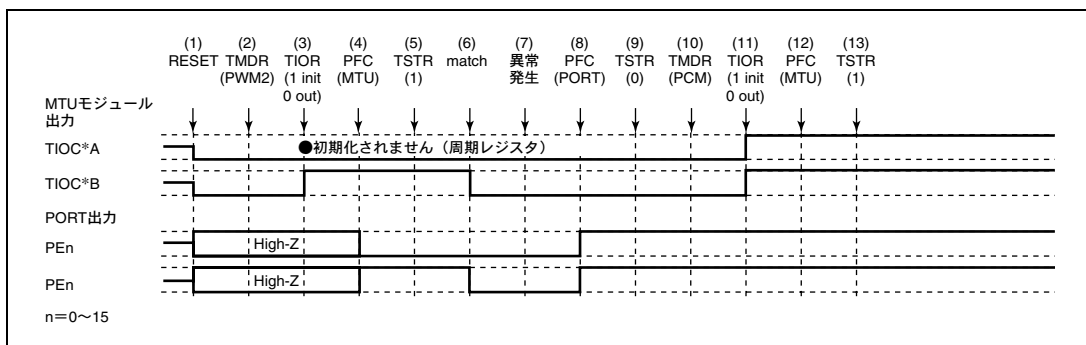


図 10.100 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (9) は図 10.97 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設計後ノーマルモードで再スタートする場合の説明図を図 10.101 に示します。

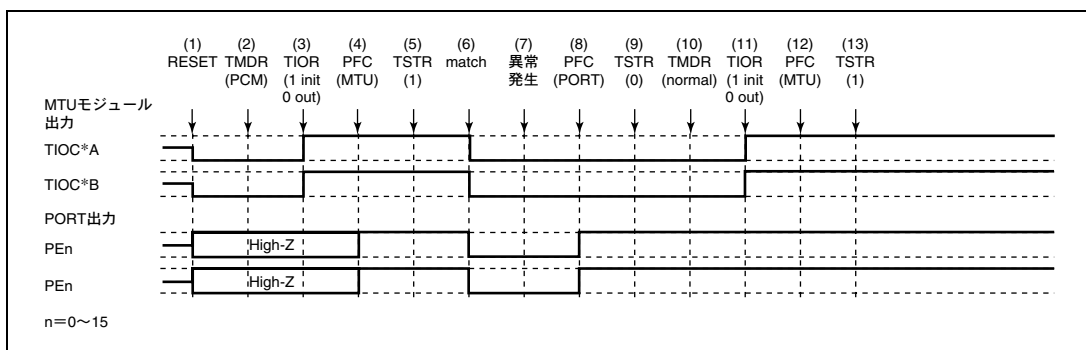


図 10.101 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください（例として、初期出力は High レベル、コンペアマッチで Low レベル出力となります）。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により、Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.102 に示します。

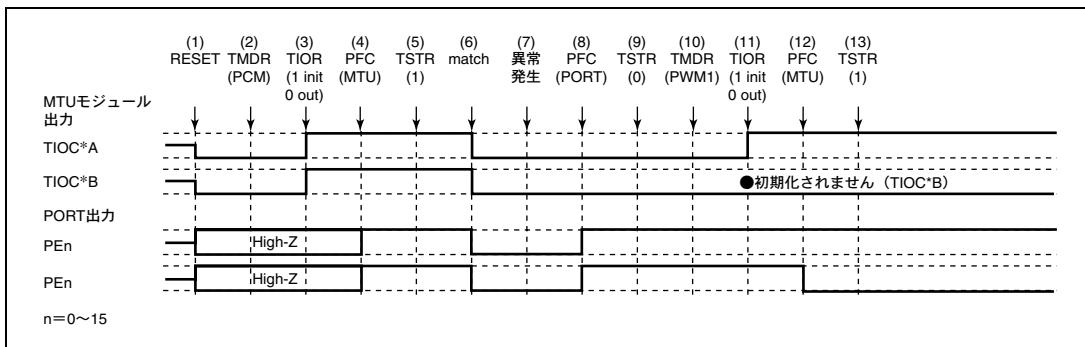


図 10.102 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 10.101 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.103 に示します。

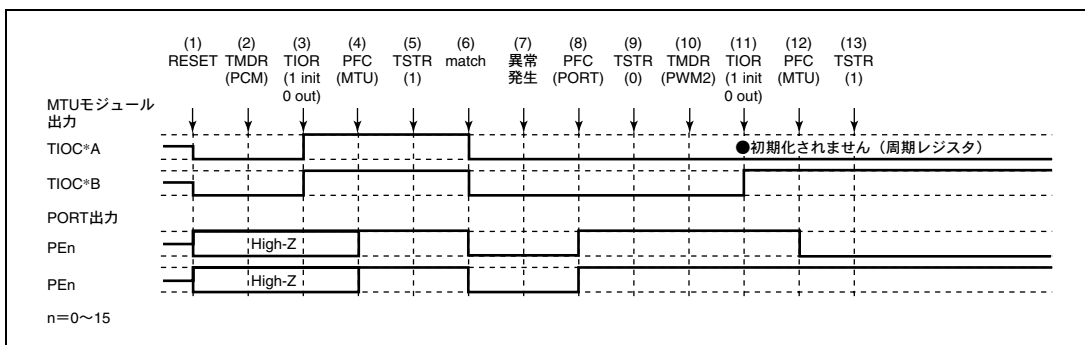


図 10.103 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 10.101 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

10. マルチファンクションタイマパルスユニット (MTU)

- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.104 に示します。

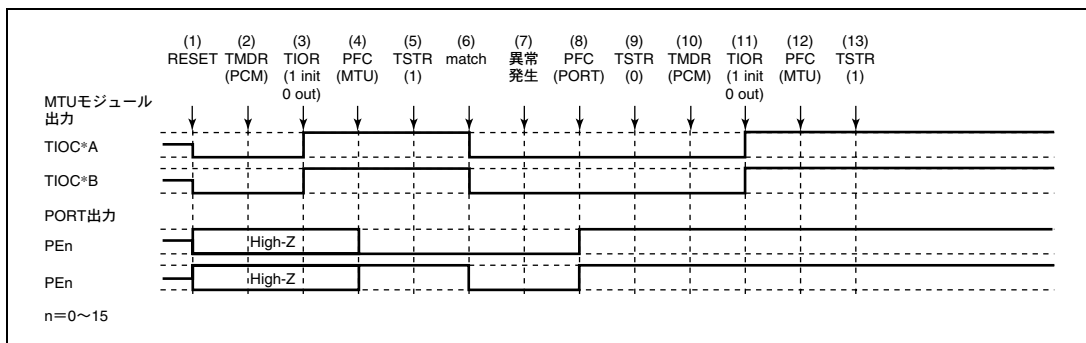


図 10.104 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.101 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.105 に示します。

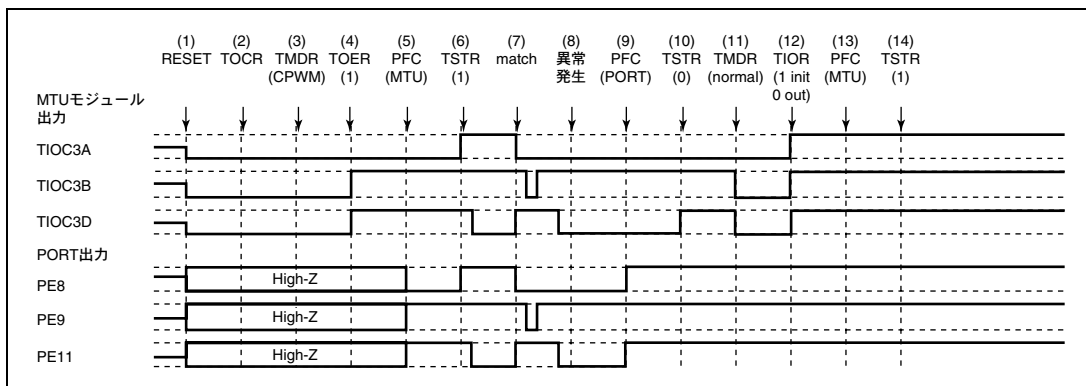


図 10.105 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESETにより、MTU出力はLowレベル、PORTはハイインピーダンスになります。
- (2) TOCRで、相補PWMの出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補PWMを設定します。
- (4) TOERでチャンネル3、4の出力を許可してください。
- (5) PFCでMTU出力としてください。
- (6) TSTRでカウント動作を開始します。
- (7) コンペアマッチの発生により、相補PWM波形を出力します。
- (8) 異常が発生しました。
- (9) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (10) TSTRでカウント動作を停止します (MTU出力は相補PWM出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU出力はLowレベルとなります)。
- (12) TIORで端子を初期化してください。
- (13) PFCでMTU出力としてください。
- (14) TSTRで再スタートします。

(22) 相補PWMモードで動作中に異常が発生し、PWMモード1で再スタートする場合の動作

相補PWMモードで異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図10.106に示します。

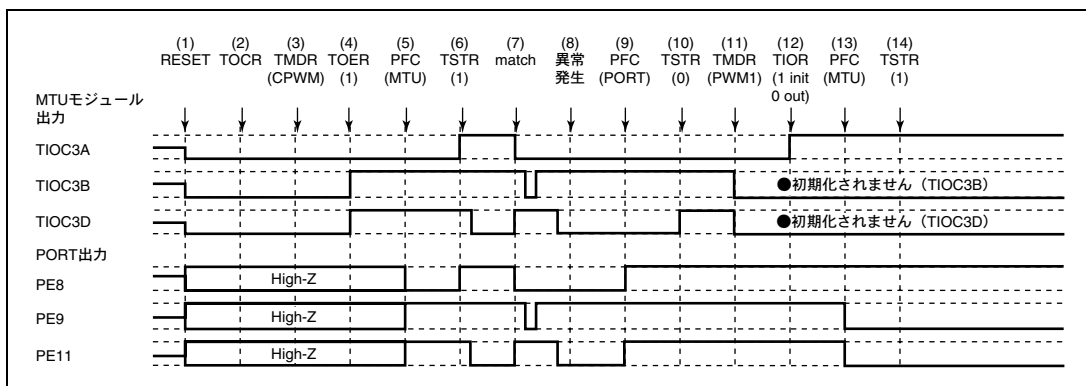


図 10.106 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 10.105 と共通です。
- (11) PWM モード 1 を設定してください (MTU 出力は Low レベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.107 に示します（周期、デューティ設定を、カウンタを止めた時の値から再スタートする場合）。

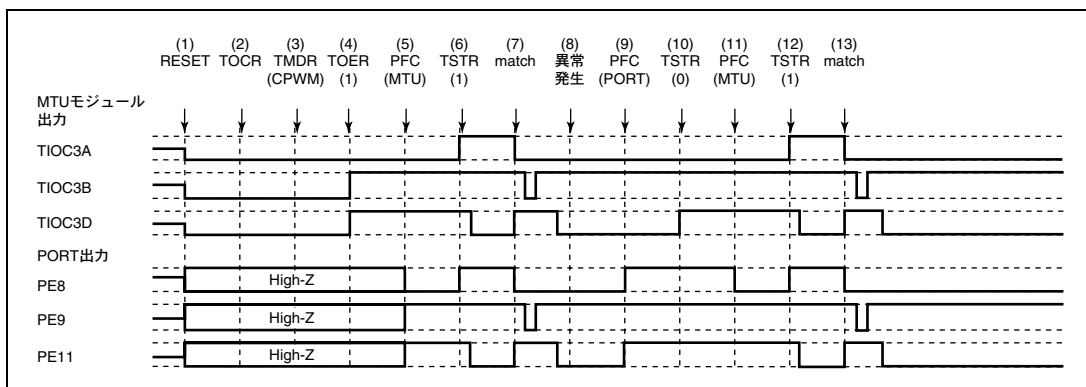


図 10.107 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.105 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.108 に示します（周期、デューティ設定を、全く新しい設定値で再スタートする場合）。

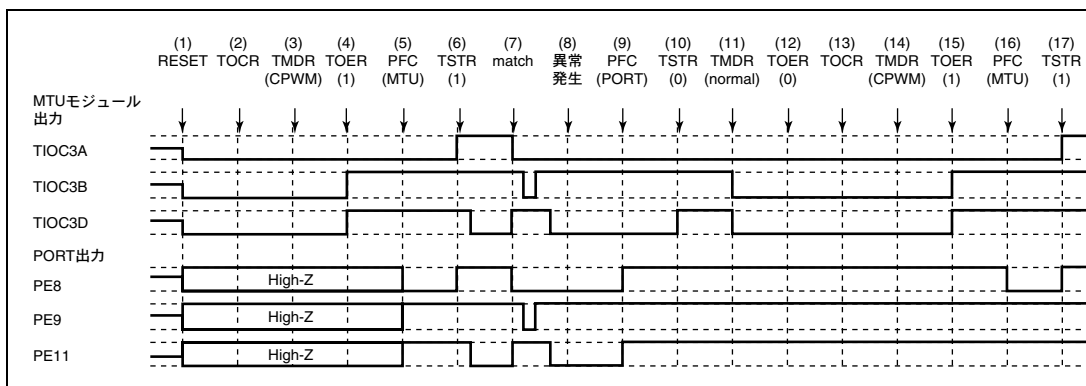


図 10.108 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 10.105 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で、相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.109 に示します。

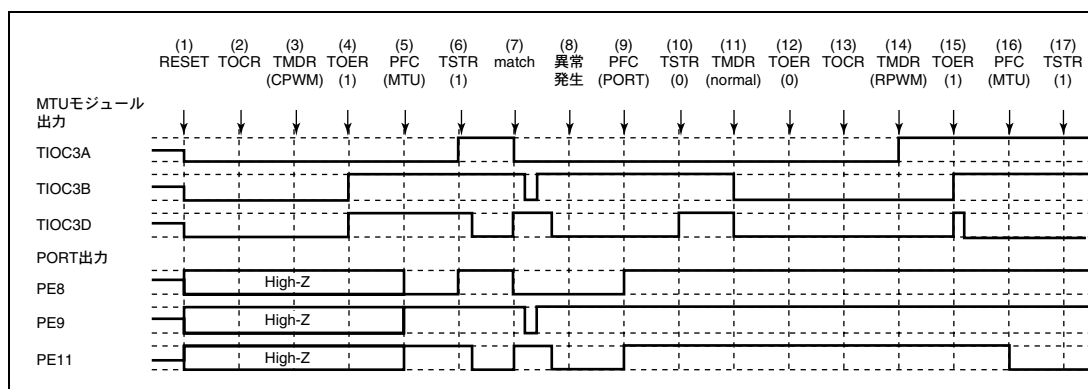


図 10.109 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.105 と共通です。
- (11) ノーマルモードを設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図

10.110 に示します。

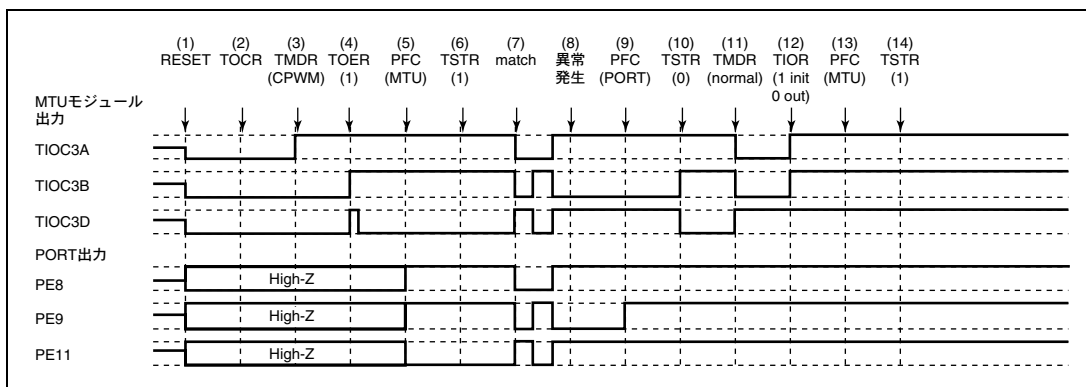


図 10.110 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により、リセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット (MTU)

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.111 に示します。

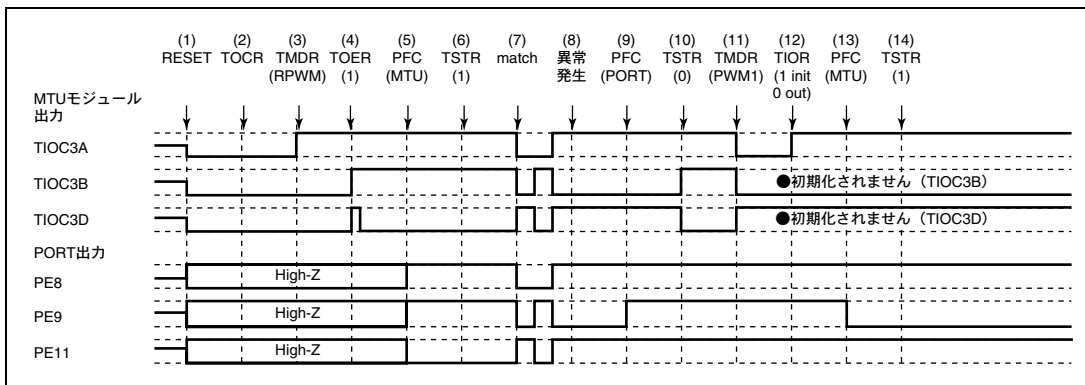


図 10.111 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.110 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.112 に示します。

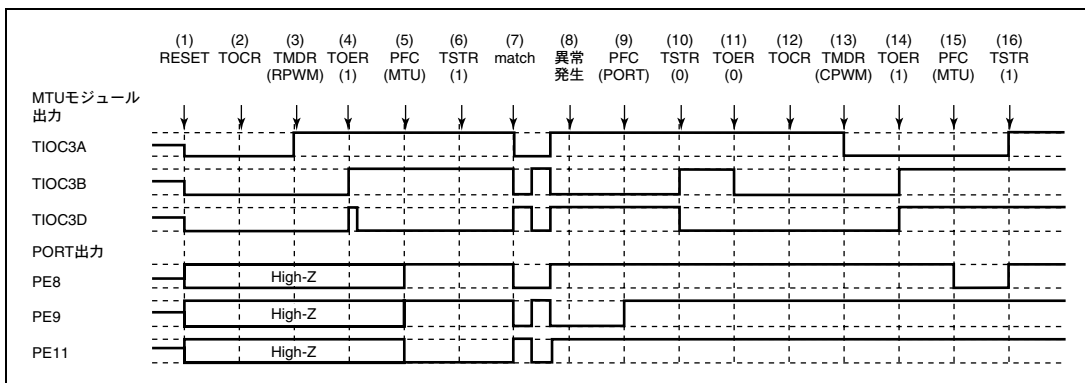


図 10.112 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

10. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 10.110 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で、相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low レベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.113 に示します。

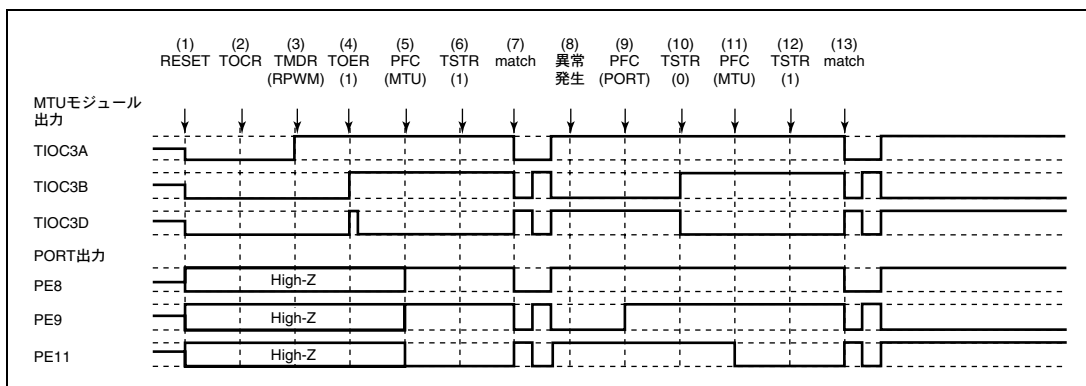


図 10.113 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.110 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により、リセット同期 PWM 波形を出力します。

10.9 ポートアウトプットイネーブル (POE)

ポートアウトプットイネーブル (POE) は、 $\overline{\text{POE0}}\sim\overline{\text{POE3}}$ 端子の入力変化または、大電流端子 (PE9/TIOC3B、PE11/TIOC3D、PE12/TIOC4A、PE13/TIOC4B/ $\overline{\text{MRES}}$ 、PE14/TIOC4C、PE15/TIOC4D/ $\overline{\text{IRQOUT}}$) の出力状態によって、大電流端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

これとは別に、発振器が停止した場合とスタンバイ状態でも、大電流端子はその機能選択状態によらずハイインピーダンス状態になります。

10.9.1 特長

- $\overline{\text{POE0}}\sim\overline{\text{POE3}}$ の各入力端子に、立ち下がりエッジ、Pφ/8×16回、Pφ/16×16回、Pφ/128×16回のローレベルサンプリングの設定が可能
- $\overline{\text{POE0}}\sim\overline{\text{POE3}}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、大電流端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にローレベル出力が1サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリング、および出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE は、図 10.114 のブロック図に示すように、入力レベル検出回路と出力レベル検出回路から構成されます。

10. マルチファンクションタイマパルスユニット (MTU)

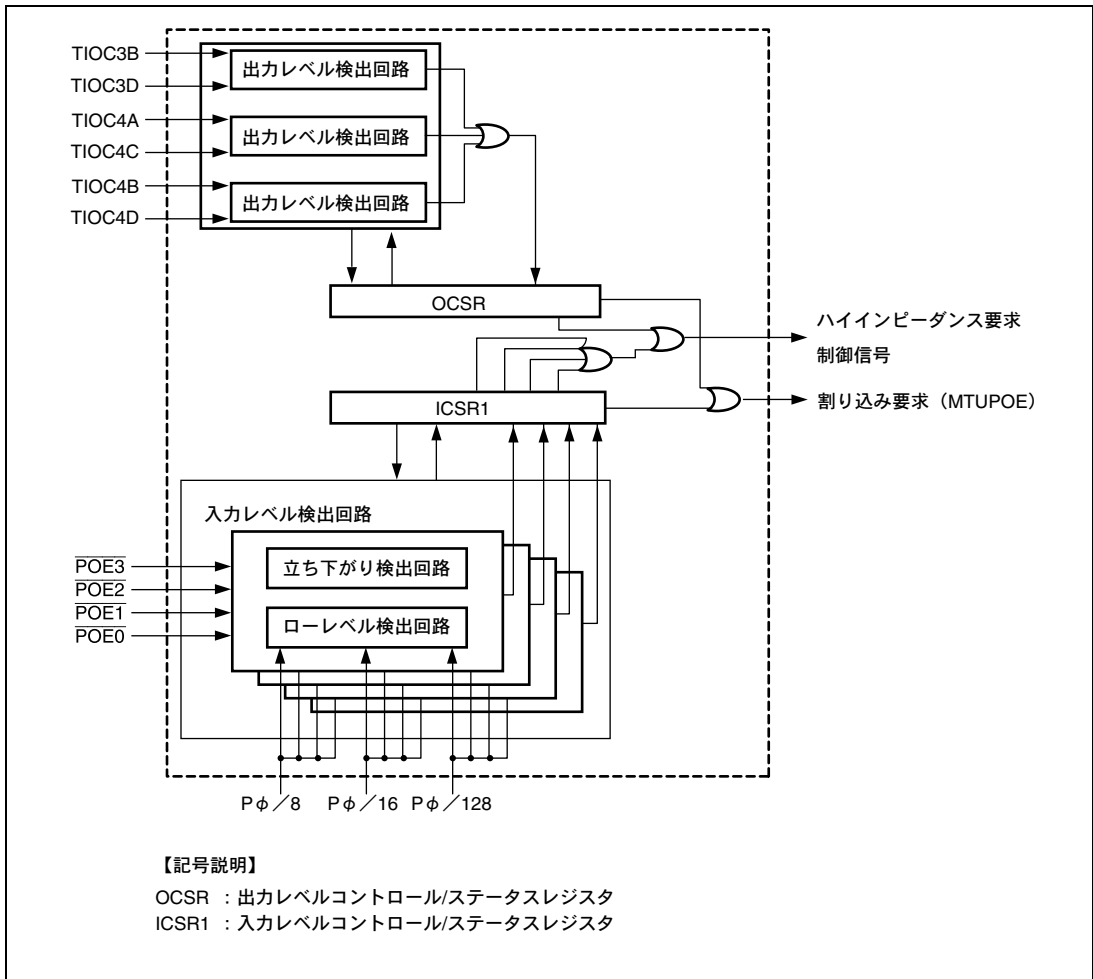


図 10.114 POE ブロック図

10.9.2 端子構成

表 10.44 端子構成

名称	名称	入出力	機能
ポートアウトプット イネーブル入力端子	$\overline{\text{POE0}} \sim$ $\overline{\text{POE3}}$	入力	大電流端子をハイインピーダンス状態にする要求信号を入力

表 10.45 に示す端子の組み合わせで出力レベルの比較を行います。

表 10.45 端子の組み合わせ

端子の組み合わせ	入出力	機能
PE9/TIOC3B と PE11/TIOC3D	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE12/TIOC4A と PE14/TIOC4C	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
PE13/TIOC4B/MRES と PE15/TIOC4D /IRQOUT	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。

10.9.3 レジスタの説明

POE には 2 本のレジスタがあります。入力レベルコントロール/ステータスレジスタ 1 (ICSR1) により、 $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の入力信号の検出の制御、割り込みの制御を行います。また、出力レベルコントロール/ステータスレジスタ (OCSR) により、出力の比較許可/禁止、割り込みの制御を行います。

(1) 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R(W)*	POE3 フラグビット $\overline{\text{POE3}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき [セット条件] POE3 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき
14	POE2F	0	R(W)*	POE2 フラグビット $\overline{\text{POE2}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき [セット条件] POE2 端子に、ICSR1 のビット 5、4 で設定した入力が発生したとき

10. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
13	POE1F	0	R/(W)*	<p>POE1 フラグビット</p> <p>$\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき [セット条件] POE1 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき</p>
12	POE0F	0	R/(W)*	<p>POE0 フラグビット</p> <p>$\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき [セット条件] POE0 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき</p>
11~9	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	PIE	0	R/W	<p>ポートインタラプトイネーブルビット</p> <p>ICSR1 の POE0F~POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求を許可または禁止します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
7 6	POE3M1 POE3M0	0 0	R/W R/W	<p>POE3 モードビット 1、0</p> <p>$\overline{\text{POE3}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE3}}$ 入力の立ち下がりがエッジで要求を受け付け 01 : $\overline{\text{POE3}}$ 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE3}}$ 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE3}}$ 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

10. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
5 4	POE2M1 POE2M0	0 0	R/W R/W	POE2 モードビット 1、0 $\overline{\text{POE2}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE2}}$ 入力の立ち下がリエッジで要求を受け付け 01 : $\overline{\text{POE2}}$ 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE2}}$ 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE2}}$ 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
3 2	POE1M1 POE1M0	0 0	R/W R/W	POE1 モードビット 1、0 $\overline{\text{POE1}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE1}}$ 入力の立ち下がリエッジで要求を受け付け 01 : $\overline{\text{POE1}}$ 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE1}}$ 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE1}}$ 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1 0	POE0M1 POE0M0	0 0	R/W R/W	POE0 モードビット 1、0 $\overline{\text{POE0}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE0}}$ 入力の立ち下がリエッジで要求を受け付け 01 : $\overline{\text{POE0}}$ 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE0}}$ 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE0}}$ 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

【注】 * 0 ライトのみ可

10. マルチファンクションタイムパルスユニット (MTU)

(2) 出力レベルコントロール/ステータスレジスタ (OCSR)

出力レベルコントロール/ステータスレジスタ (OCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

また、OSF に 1 がセットされると、大電流端子はハイインピーダンスになります。

ビット	ビット名	初期値	R/W	説明
15	OSF	0	R/(W)*	出力短絡フラグビット 比較する 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったことを示すフラグです。 [クリア条件] OSF=1 の状態を読み出した後、OSF に 0 を書き込んだとき [セット条件] 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったとき
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE	0	R/W	出力レベル比較許可ビット 出力レベルの比較開始を許可するビットです。このビットに 1 をセットする際は「表 10.43 モード遷移の組み合わせ」で示した出力端子の組み合わせに十分注意してください。同時に 0 出力になっている場合は、このビットをセットすると同時に OSF=1 となり、出力がハイインピーダンス状態になります。したがって、ポート E データレジスタ (PEDR) のビット 15~11、ビット 9 に 1 をセットするか、MTU の出力として比較する場合は PFC で MTU の出力端子に設定してから、このビットに 1 をセットしてください。また、出力として使用する以外、このビットをセットしないでください。 また、OCE ビットに 1 をセットした場合、OSF=1 にセットされても OIE=0 であればハイインピーダンス要求を行いません。したがって、出力レベルの比較結果によりハイインピーダンス要求を発行させる場合は、必ず OIE ビットに 1 をセットしてください。OCE=1 かつ OIE=1 に設定するとハイインピーダンス要求と同時に割り込み要求も発行されますが、割り込みコントローラ (INTC) の設定により、この割り込みをマスクすることが可能です。 0: 出力レベルの比較を禁止 1: 出力レベルの比較を許可し、OSF=1 のとき出力ハイインピーダンス要求を行います。
8	OIE	0	R/W	出力短絡割り込みイネーブルビット OCSR の OSF ビットがセットされたとき、割り込みを要求します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 0 ライトのみ可

10.9.4 動作説明

(1) 入力レベル検出動作

ICSR1 で設定した入力条件が、 $\overline{\text{POE}}$ 端子に 1 端子でも発生した場合、大電流端子をすべてハイインピーダンス状態にします。ただし、大電流端子が汎用入出力機能または MTU 機能が選択されている場合にのみハイインピーダンスになります。

(a) 立ち下がりエッジ検出

$\overline{\text{POE}}$ 端子にハイレベルからローレベルの変化が入力されたとき

(b) ローレベル検出

図10.115にローレベル検出動作を示します。ICSR1で設定したサンプリングクロックで、16回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから大電流端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

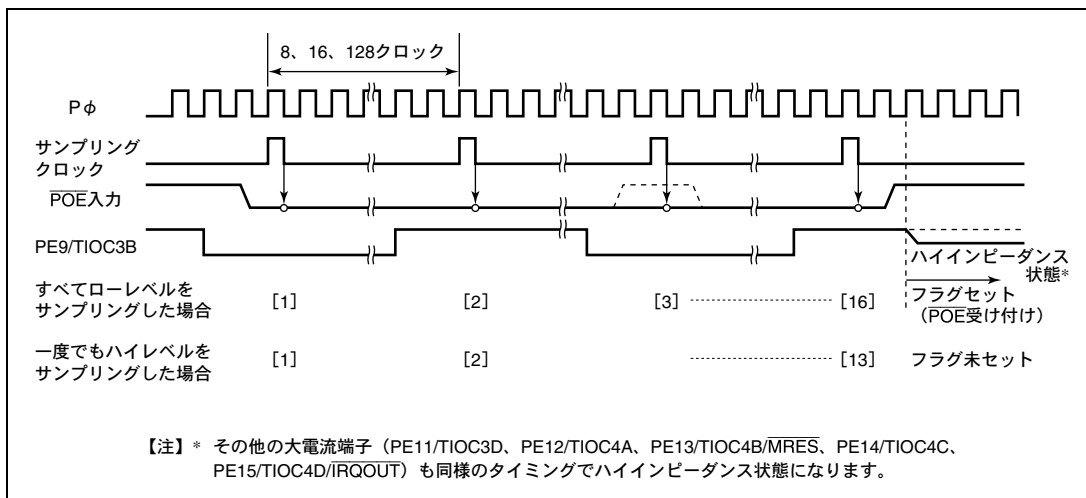


図 10.115 ローレベル検出動作

10. マルチファンクションタイマパルスユニット (MTU)

(2) 出力レベル比較動作

PE9/TIOC3B と PE11/TIOC3D の組み合わせを例に、出力レベル比較動作を図 10.116 に示します。他の端子の組み合わせについても同様です。

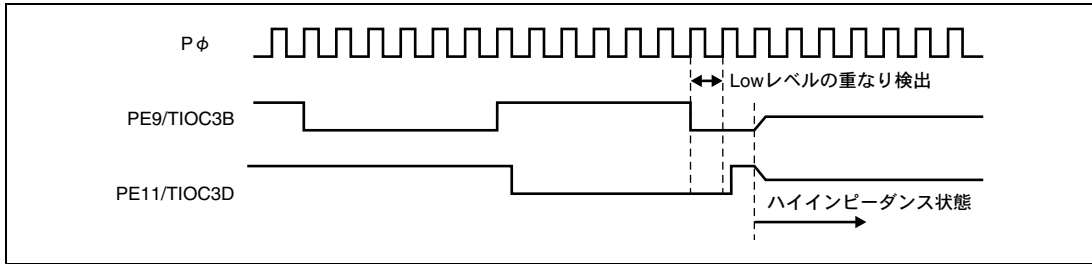


図 10.116 出力レベル検出動作

(3) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1 のビット 12~15 (POE0F~POE3F) のフラグをすべてクリアすることにより解除されます。

また、出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR のビット 9 (OCE) をクリアし、出力レベルの比較を禁止してから、ビット 15 (OSF) のフラグをクリアすることにより解除されます。

ただし、OSF フラグをクリアしてハイインピーダンス状態から復帰する場合は、必ず大電流端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D) から、High レベルを出力するようにした後に行ってください。High レベル出力は MTU 内のレジスタを設定することで行えます。

(4) POE タイミング

$\overline{\text{POE}}$ 入力から端子のハイインピーダンスまでのタイミング例を図 10.117 に示します。

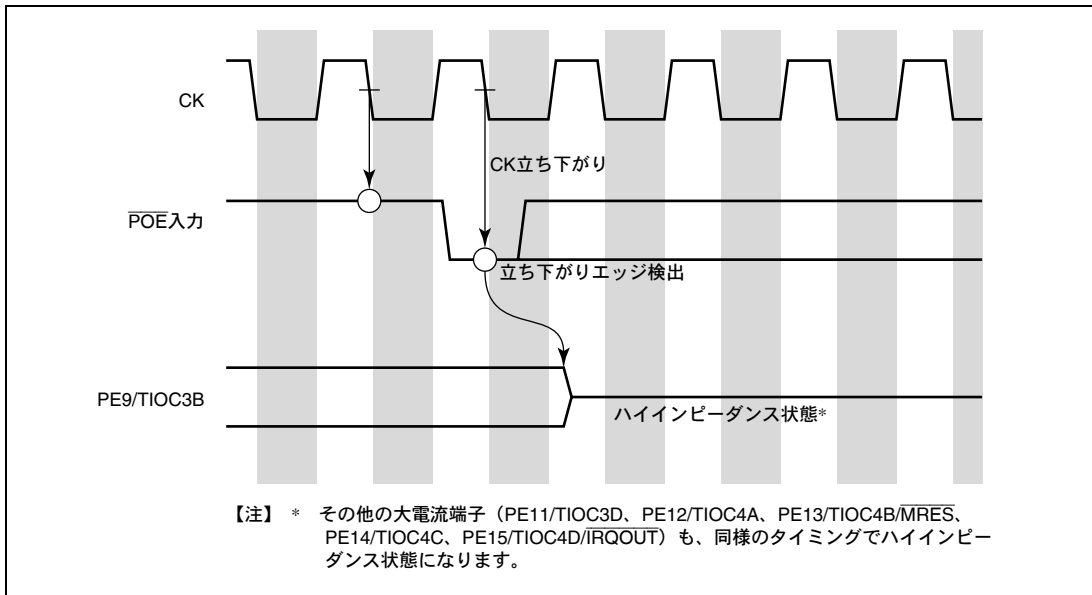


図 10.117 立ち下がりエッジ検出動作

10.9.5 使用上の注意事項

- (1) POE をレベル検出にするときは、最初 POE の入力をハイレベルにしてください。
- (2) POE0F、POE1F、POE2F、POE3F、OSF ビットの 0 クリアの際は、ICSR1、OCSR レジスタの読み出しを行い、読み出した値が 1 であるビットのみを 0 クリアし、それ以外のビットについては 1 を書き込んでください。

10. マルチファンクションタイマパルスユニット (MTU)

11. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビット 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込み (ITI) を発生します。また、WDT はスタンバイモードの解除時にも使用されます。

WDT のブロック図を図 11.1 に示します。

11.1 特長

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたは、マニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込み (ITI) が発生します。
- ソフトウェアスタンバイモードの解除時に使用
- 8種類のカウント入力クロックを選択可能

11. ウォッチドッグタイマ (WDT)

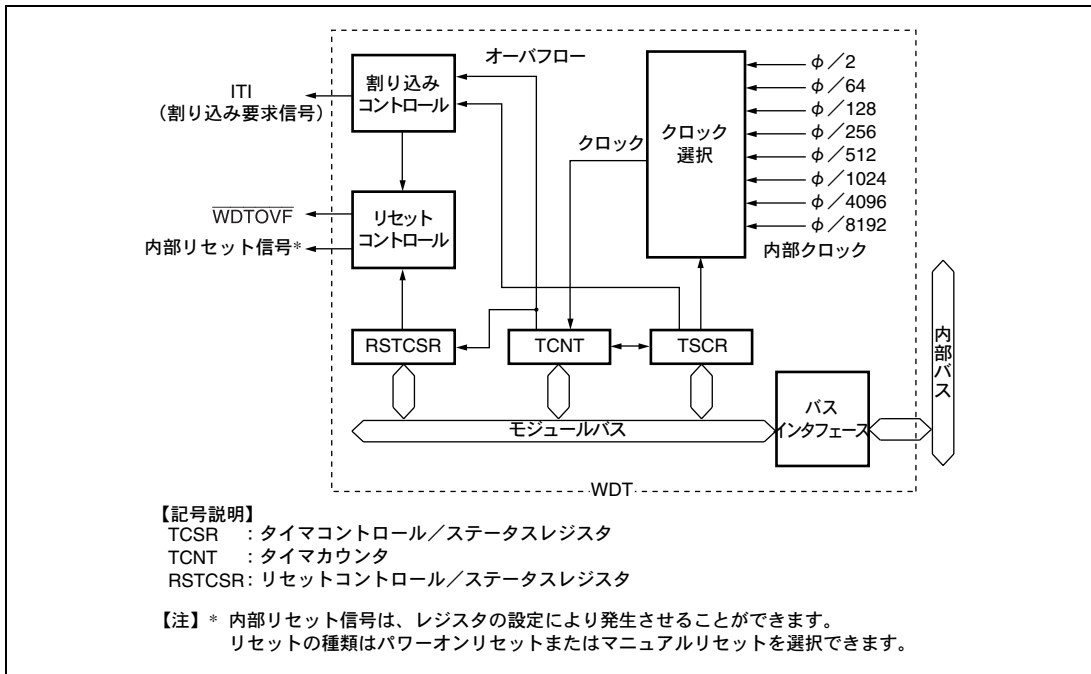


図 11.1 WDTのブロック図

11.2 入出力端子

表 11.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマオーバーフロー	$\overline{\text{WDTOVF}}^*$	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

【注】* $\overline{\text{WDTOVF}}$ 端子はプルダウンしないでください。またプルダウンが必要な場合は、1M Ω 以上の抵抗値でプルダウンしてください。

11.3 レジスタの説明

WDTには、以下のレジスタがあります。アドレスは「付録 A. 内蔵 I/O レジスタ」を参照してください。TCSR、TCNT、RSTCSRは容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「11.6.1 レジスタアクセス時の注意」を参照してください。

- タイマコントロール/ステータスレジスタ (TCSR)
- タイマカウンタ (TCNT)
- リセットコントロール/ステータスレジスタ (RSTCSR)

11.3.1 タイマカウンタ (TCNT)

TCNTは、読み出し／書き込み可能な8ビットのアップカウンタです。タイマコントロール／ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を1にすると、TCSRのCKS2～CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー (H'FF→H'00) すると、TCSRのWT/ITビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (ITI) が発生します。TCNTの初期値はH'00です。

11.3.2 タイマコントロール／ステータスレジスタ (TCSR)

TCSRは、リード／ライト可能な8ビットのレジスタで、TCNTに入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバーフローフラグ</p> <p>インターバルタイマモードでTCNTがオーバーフローしたことを示します。フラグをクリアする0ライトのみ可能です。ウォッチドッグタイマモードではセットされません。</p> <p>[セット条件]</p> <p>インターバルタイマモードでTCNTがオーバーフロー発生</p> <p>[クリア条件]</p> <p>OVFを読み出してから0を書き込む、インターバルタイマモードでTMEビットに0を書き込んだとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバーフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、$\overline{\text{WDTOVF}}$ 信号が発生するかが決まります。</p> <p>0: インターバルタイマモード TCNTがオーバーフローしたとき、CPUへインターバルタイマ割り込み (ITI) を要求</p> <p>1: ウォッチドッグタイマモード TCNTがオーバーフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力*</p> <p>【注】* ウォッチドッグタイマモードのとき、TCNTがオーバーフローした場合についての詳細は、「11.3.3 リセットコントロール／ステータスレジスタ」を参照してください。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。</p> <p>0: タイマディスエーブル TCNTをH'00に初期化し、カウントアップを停止</p> <p>1: タイマイネーブル TCNTはカウントアップを開始。TCNTがオーバーフローすると、$\overline{\text{WDTOVF}}$ 信号または割り込みを発生</p>

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4, 3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	CKS2	0	R/W	クロックセレクト 2～0
1	CKS1	0	R/W	システムクロック (Φ) を分周して得られる 8 種類の内部クロックから、TCNT に入力するクロックを選択します。() 内は Φ=40MHz のときのオーバーフロー周期を表します。*2
0	CKS0	0	R/W	000 : クロック Φ/2 (周期 12.8μs) 001 : クロック Φ/64 (周期 409.6μs) 010 : クロック Φ/128 (周期 0.8ms) 011 : クロック Φ/256 (周期 1.6ms) 100 : クロック Φ/512 (周期 3.3ms) 101 : クロック Φ/1024 (周期 6.6ms) 110 : クロック Φ/4096 (周期 26.2ms) 111 : クロック Φ/8192 (周期 52.4ms)

【注】 *1 OVF ビットは、1 リード後の 0 ライトのみ実行可能です。

*2 オーバーフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

11.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、リード/ライト可能な 8 ビットのレジスタで、TCNT のオーバーフローによる内部リセット信号の発生を制御します。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフローしたとき [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより本 LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。

ビット	ビット名	初期値	R/W	説明
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバフローして発生する、内部リセットの種類を選択します。 0: パワーオンリセット 1: マニュアルリセット
4~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】* フラグをクリアするための 0 ライトのみ可能です。

11.4 動作説明

11.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の $\overline{WT/IT}$ ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、 \overline{WDTOVF} 信号が外部に出力されます。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128φクロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512φクロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) MTU および MMT の POE (ポートアウトプットイネーブル) 機能のレジスタ、(2) ピンファンクションコントローラ (PFC) のレジスタ、(3) I/O ポートのレジスタは、初期化されません (外部からのパワーオンリセットのみで初期化されます)。

11. ウォッチドッグタイマ (WDT)

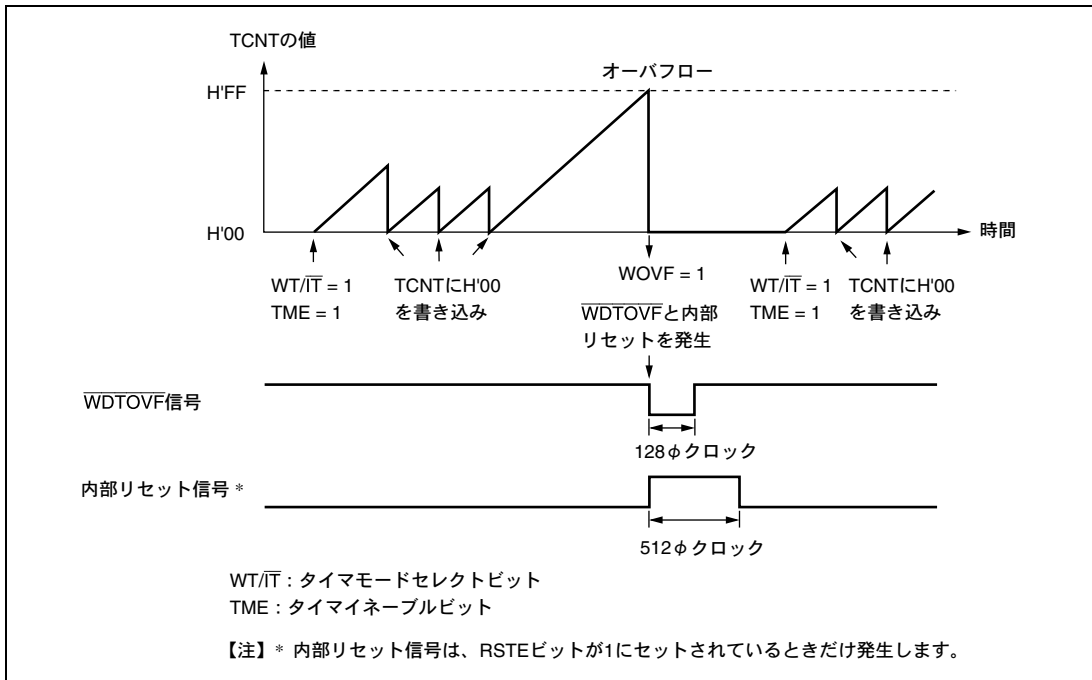


図 11.2 ウォッチドッグタイマモード時の動作

11.4.2 インターバルタイマモード

インターバルタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の WT/ \overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

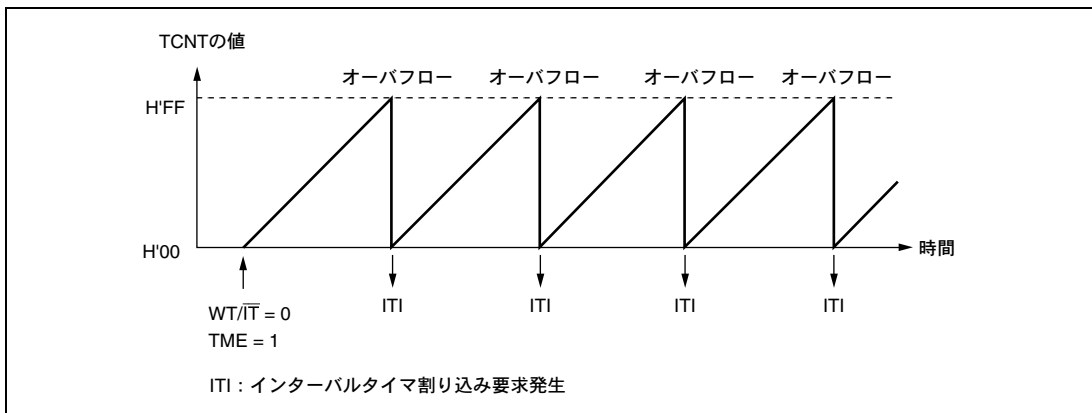


図 11.3 インターバルタイマモード時の動作

11.4.3 ソフトウェアスタンバイモード解除時の動作

WDT は、ソフトウェアスタンバイモードが NMI 割り込みまたは $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ 割り込みで解除されるときに使用されます。ソフトウェアスタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) ソフトウェアスタンバイモード遷移前の設定

ソフトウェアスタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、ソフトウェアスタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバフロー周期が発振安定時間以上になるように、TCSR の CKS2~CKS0 ビットを設定してください。発振安定時間については、「25.3 AC 特性」を参照してください。

(2) ソフトウェアスタンバイモード解除時の動作

ソフトウェアスタンバイモードで NMI 信号または $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ 信号が入力されると、発振器が動作を開始し、TCNT はソフトウェアスタンバイモード遷移前に CKS2~CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバフロー (H'FF→H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードについては、「第 24 章 低消費電力状態」を参照してください。

11.4.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 11.4 に示します。

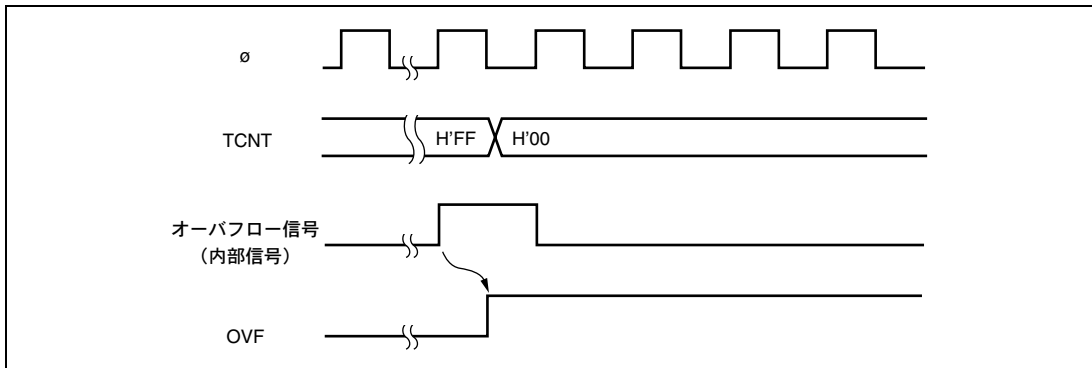


図 11.4 オーバフローフラグ (OVF) のセットタイミング

11.4.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リ

11. ウォッチドッグタイマ (WDT)

セット信号を発生します。これらのタイミングを図 11.5 に示します。

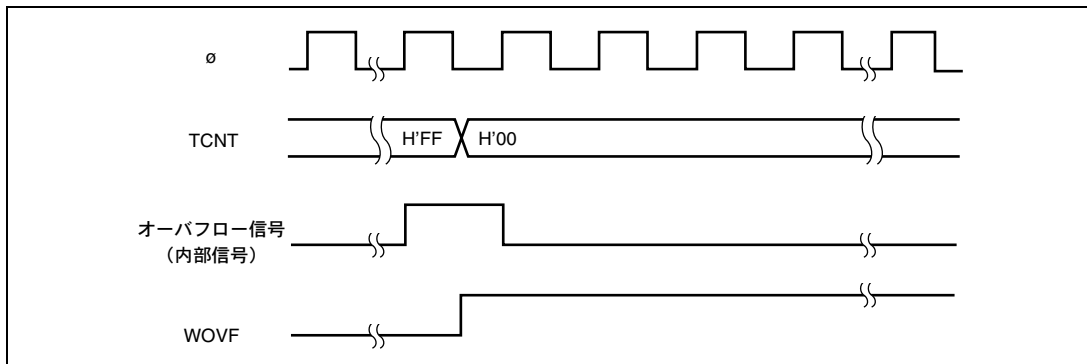


図 11.5 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

11.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (ITI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 11.2 WDT (インターバルタイマモード時) の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ITI	TCNT のオーバーフロー	OVF	不可

11.6 使用上の注意事項

11.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 11.6 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

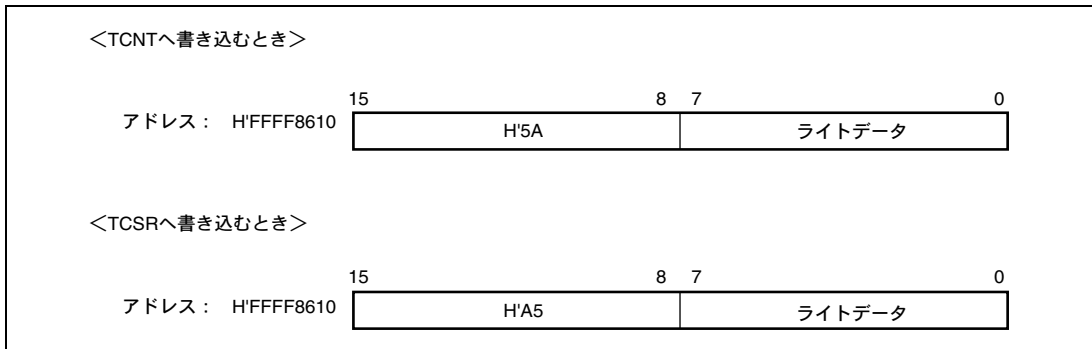


図 11.6 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 11.7 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

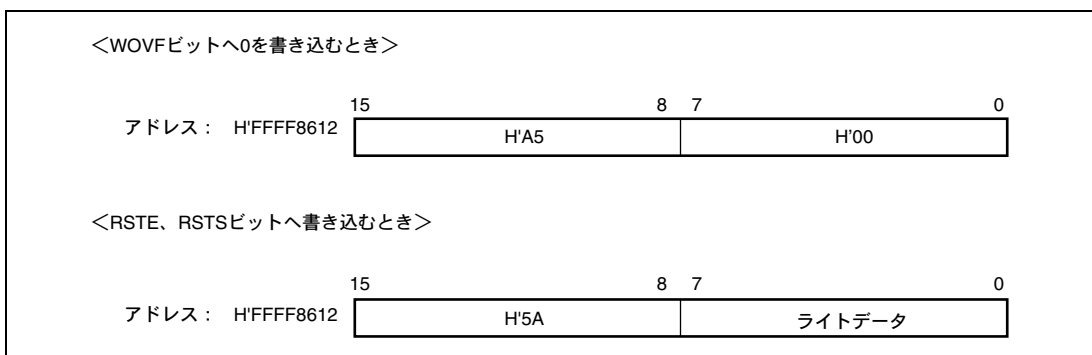


図 11.7 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFF8610 に、TCNT は、アドレス H'FFF8611 に、RSTCSR は、アドレス H'FFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

11. ウォッチドッグタイマ (WDT)

11.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T3 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.8 に示します。

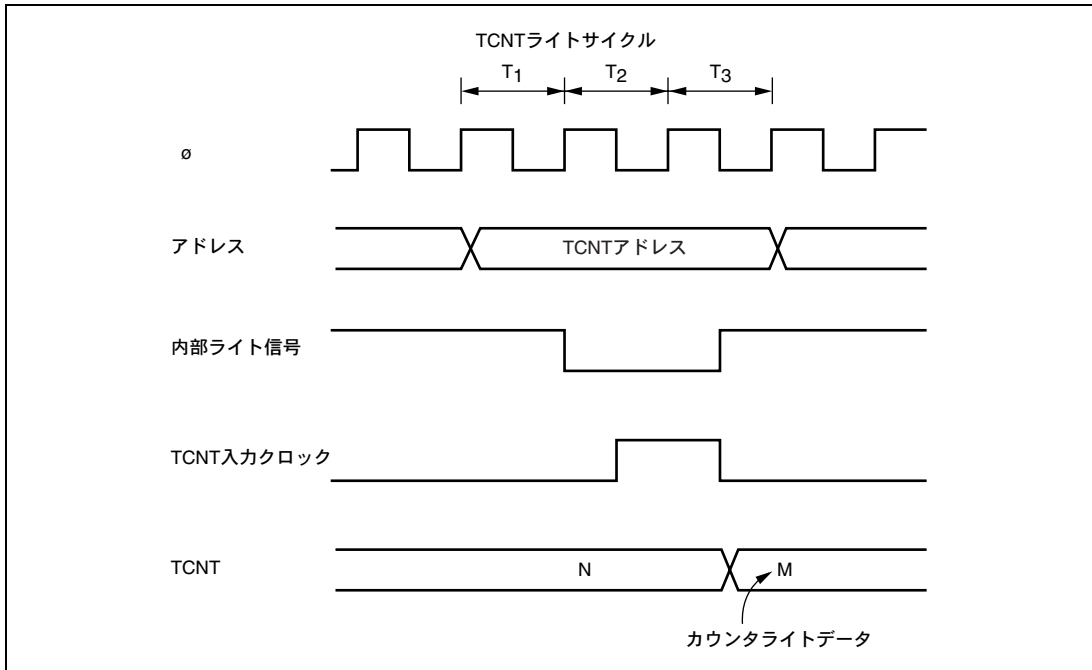


図 11.8 TCNT のライトとカウントアップの競合

11.6.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.6.5 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 11.9 に示すような回路で行ってください。

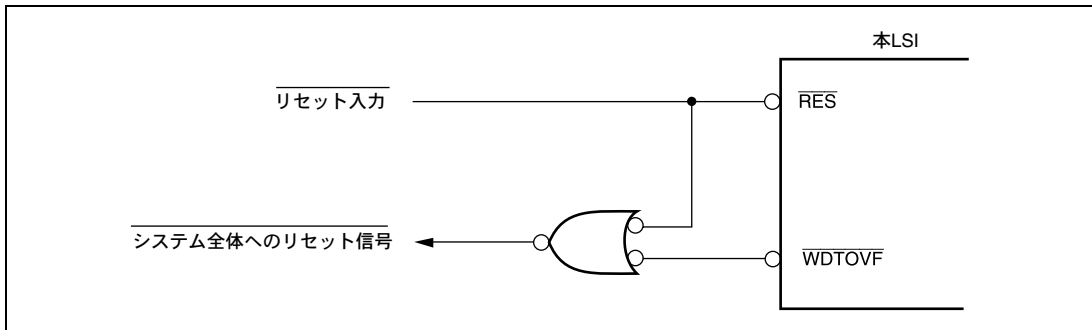


図 11.9 WDTOVF 信号によるシステムリセット回路例

11.6.6 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくこと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

11.6.7 ウォッチドッグタイマモードでのマニュアルリセット

ウォッチドッグタイマモードで TCNT のオーバーフローにより、内部リセットしたとき、マニュアルリセット発生時のバスサイクル終了を待ってから、マニュアルリセット例外処理に移行します。したがって、マニュアルリセットによりバスサイクルは保持されますが、バス権解放中にマニュアルリセットが発生すると CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してから CPU がバス権を獲得するまでの期間が内部マニュアルリセット期間である 512 サイクル以上であると内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

11.6.8 $\overline{\text{WDTOVF}}$ 端子の使用上の注意事項

$\overline{\text{WDTOVF}}$ 端子は、プルダウンしないでください。もし、プルダウンが必要な場合は、1M Ω 以上の抵抗値でプルダウンしてください。

11. ウォッチドッグタイマ (WDT)

12. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 3 チャンネルの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

12.1 特長

- シリアルデータ通信フォーマットを、調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です。
- LSBファースト/MSBファースト選択可能* (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。

- モジュールスタンバイモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- マルチプロセッサビット : 1または0
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能

クロック同期式モード

- データ長 : 8ビット

12. シリアルコミュニケーションインタフェース (SCI)

- 受信エラーの検出：オーバランエラー

【注】* 本章では、LSB ファースト方式の例について説明しています。

図 12.1 に SCI のブロック図を示します。

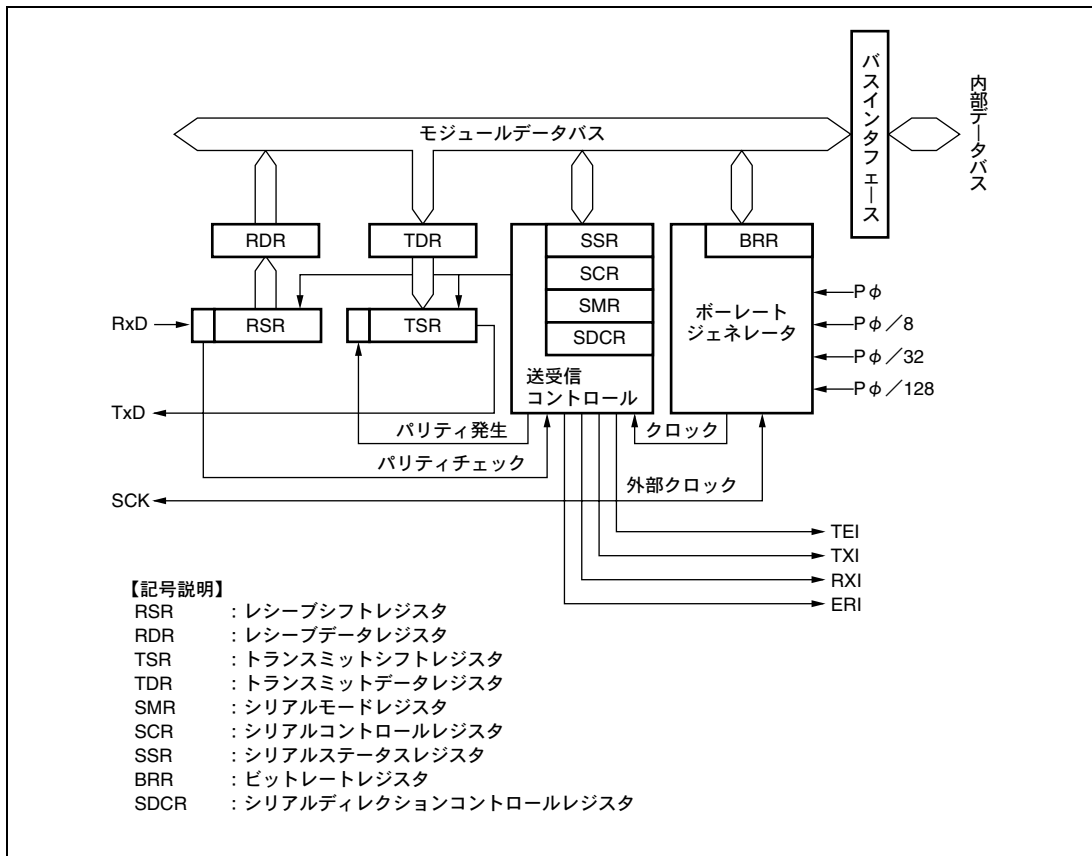


図 12.1 SCI のブロック図

12.2 入出力端子

SCIには、表 12.1 の入出力端子があります。

表 12.1 端子構成

チャンネル	端子名*	入出力	機 能
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

チャンネル 2

- シリアルモードレジスタ₂ (SMR₂)
- ビットレートレジスタ₂ (BRR₂)
- シリアルコントロールレジスタ₂ (SCR₂)
- トランスミットデータレジスタ₂ (TDR₂)
- シリアルステータスレジスタ₂ (SSR₂)
- レシーブデータレジスタ₂ (RDR₂)
- シリアルディレクションコントロールレジスタ₂ (SDCR₂)

チャンネル 3

- シリアルモードレジスタ₃ (SMR₃)
- ビットレートレジスタ₃ (BRR₃)
- シリアルコントロールレジスタ₃ (SCR₃)
- トランスミットデータレジスタ₃ (TDR₃)
- シリアルステータスレジスタ₃ (SSR₃)
- レシーブデータレジスタ₃ (RDR₃)

12. シリアルコミュニケーションインタフェース (SCI)

- シリアルディレクションコントロールレジスタ_3 (SDCR_3)

チャンネル 4

- シリアルモードレジスタ_4 (SMR_4)
- ビットレートレジスタ_4 (BRR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- シリアルディレクションコントロールレジスタ_4 (SDCR_4)

12.3.1 レシーブシフトレジスタ (RSR)

RSR は、RxD 端子から入力されたシリアルデータをパラレル変換するための、受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

12.3.2 レシーブデータレジスタ (RDR)

RDR は、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると、RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため、連続受信動作が可能です。RDR のリードは、SSR の RDRF が 1 にセットされていることを確認して、1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

12.3.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは、TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

12.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると、TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば、TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実に行うため、TDR への送信データのライトは必ず、SSR の TDRE が 1 にセットされていることを確認して、1 回だけ行ってください。TDR の初期値は H'FF です。

12.3.5 シリアルモードレジスタ (SMR)

SMR は、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、このビットの設定にかかわらず、パリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時は、このビットの設定にかかわらず、ストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: P ϕ クロック (n=0) 01: P ϕ /8 クロック (n=1) 10: P ϕ /32 クロック (n=2) 11: P ϕ /128 クロック (n=3) このビットの設定値とボーレートの関係については、「12.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

12. シリアルコミュニケーションインタフェース (SCI)

12.3.6 シリアルコントロールレジスタ (SCR)

SCR は、以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.7 割り込み要因」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「12.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1~0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00: 内部クロック/SCK 端子は入力端子 (入力端子は無視) または出力端子 (出力レベルは不定) 01: 内部クロック/SCK 端子はクロック出力 (ビットレートと同じ周波数のクロックを出力) 10: 外部クロック/SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11: 外部クロック/SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) クロック同期式の場合 00: 内部クロック/SCK 端子は同期クロック出力 01: 内部クロック/SCK 端子は同期クロック出力 10: 外部クロック/SCK 端子は同期クロック入力 11: 外部クロック/SCK 端子は同期クロック入力
0	CKE0	0	R/W	

12.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時</p> <p>(2) SCR の TE が 0 のとき</p> <p>(3) TDR から TSR にデータが転送が行われ TDR にデータの書き込みが可能になったとき</p> <p>[クリア条件]</p> <p>(1) 1 の状態をリードした後、0 をライトしたとき</p> <p>(2) TXI 割り込み要求により DTC で TDR へ送信データを転送したとき</p>
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <p>受信が正常終了し、RSR から RDR へ受信データが転送されたとき</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時</p> <p>(2) 1 の状態をリードした後、0 をライトしたとき</p> <p>(3) RXI 割り込みにより DTC で RDR からデータを転送したとき</p> <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p>
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>[セット条件]</p> <p>RDRF=1 の状態で次のデータを受信したとき</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時</p> <p>(2) 1 の状態をリードした後、0 をライトしたとき</p> <p>SCR の RE をクリアしても ORER は影響を受けず状態を保持します。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <p>ストップビットが0のとき</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時</p> <p>(2) 1の状態をリードした後、0をライトしたとき</p> <p>2ストップのときも1ビット目のストップビットのみチェックします。</p> <p>SCRのREをクリアしてもFERは影響を受けず状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <p>受信中にパリティエラーを検出したとき</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時</p> <p>(2) 1の状態をリードした後、0をライトしたとき</p> <p>SCRのREをクリアしてもPERは影響を受けず状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <p>(1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時</p> <p>(2) SCRのTEが0のとき</p> <p>(3) 送信キャラクタの最後尾ビットの送信時、TDREが1のとき</p> <p>[クリア条件]</p> <p>(1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき</p> <p>(2) TXI割り込み要求によりDTCでTDRへ送信データをライトしたとき</p>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】* フラグをクリアするために0のみ書き込むことができます。

12.3.8 シリアルディレクションコントロールレジスタ(SDCR)

SDCR は、DIR ビットにより、LSB ファースト/MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合 LSB ファースト/MSB ファーストの選択が可能です。7 ビット長の場合 LSB ファーストを選択し、MSB ファーストの選択は行わないでください。本章の説明では、LSB ファーストの場合について説明しています。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット 書き込む値は常に 1 にしてください。0 を書き込んだ場合、動作の保証はできません。
3	DIR	0	R/W	データトランスファディレクション シリアル/パラレル変換フォーマットを選択します。送信/受信フォーマットが 8 ビットの場合に有効です。 0 : TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1 : TDR の内容を MSB ファーストで送信 受信データを MSB ファーストで RDR に格納
2	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。
1	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込みは無効です。
0	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。

12.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、クロック同期式モードにおける BRR の設定値 N と実効ビットレート B_0 の関係を表 12.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 12.2 BRR の設定値 N と実効ビットレート B_0 の関係

モード	ビットレート	誤差
調歩同期式 (n=0)	$B_0 = \frac{P\phi \times 10^6}{32 \times 2^{2n} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$
調歩同期式 (n=1~3)	$B_0 = \frac{P\phi \times 10^6}{32 \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left(\frac{B_0}{B_1} - 1 \right) \times 100$
クロック同期式 (n=0)	$B_0 = \frac{P\phi \times 10^6}{4 \times 2^{2n} \times (N+1)}$	
クロック同期式 (n=1~3)	$B_0 = \frac{P\phi \times 10^6}{4 \times 2^{2n+1} \times (N+1)}$	

【注】 B_0 : 実効ビットレート (bit/s) レジスタ設定により決まる実際の転送速度

B_1 : 論理ビットレート (bit/s) システム目標仕様の転送速度

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

$P\phi$: 周辺クロック動作周波数 (MHz)

n : 下表のとおり、SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

通常の調歩同期式モードにおける BRR の値 N の設定例を表 12.3 に、各動作周波数における設定可能な最大ビットレートを表 12.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 12.6 に示します。詳細は「12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」を参照してください。また、表 12.5、表 12.7 に外部クロック入力時の最大ビットレートを示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (1)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	4			6			8			10			12		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	1	140	0.74	1	212	0.03	2	70	0.03	2	88	-0.25	2	106	-0.44
150	1	103	0.16	1	155	0.16	2	51	0.16	2	64	0.16	2	77	0.16
300	1	51	0.16	1	77	0.16	2	25	0.16	1	129	0.16	2	38	0.16
600	1	25	0.16	1	38	0.16	2	12	0.16	1	64	0.16	1	77	0.16
1200	1	12	0.16	0	155	0.16	1	25	0.16	1	32	-1.36	1	38	0.16
2400	0	51	0.16	0	77	0.16	1	12	0.16	0	129	0.16	0	155	0.16
4800	0	25	0.16	0	38	0.16	0	51	0.16	0	64	0.16	0	77	0.16
9600	0	12	0.16	0	19	-2.34	0	25	0.16	0	32	-1.36	0	38	0.16
14400	0	8	-3.55	0	12	0.16	0	16	2.12	0	21	-1.36	0	25	0.16
19200	0	6	-6.99	0	9	-2.34	0	12	0.16	0	15	1.73	0	19	-2.34
28800	0	3	8.51	0	6	-6.99	0	8	-3.55	0	10	-1.36	0	12	0.16
31250	0	3	0.00	0	5	0.00	0	7	0.00	0	9	0.00	0	11	0.00
38400	0	2	8.51	0	4	-2.34	0	6	-6.99	0	7	1.73	0	9	-2.34

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	14			16			18			20			22		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	123	0.23	2	141	0.03	2	159	-0.12	2	177	-0.25	2	194	0.16
150	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16	2	142	0.16
300	2	45	-0.93	2	51	0.16	2	58	-0.69	2	64	0.16	2	71	-0.54
600	2	22	-0.93	1	103	0.16	1	116	0.16	1	129	0.16	1	142	0.16
1200	1	45	-0.93	1	51	0.16	1	58	-0.69	1	64	0.16	1	71	-0.54
2400	1	22	-0.93	0	207	0.16	0	233	0.16	1	32	-1.36	1	35	-0.54
4800	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16	0	142	0.16
9600	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16	0	71	-0.54
14400	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94	0	47	-0.54
19200	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36	0	35	-0.54
28800	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36	0	23	-0.54
31250	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00	0	21	0.00
38400	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73	0	17	-0.54

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (3)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	24			25			26			28			30		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	2	212	0.03	2	221	-0.02	2	230	-0.08	2	248	-0.17	3	66	-0.62
150	2	155	0.16	2	162	-0.15	2	168	0.16	2	181	0.16	2	194	0.16
300	2	77	0.16	2	80	0.47	2	84	-0.43	2	90	0.16	2	97	-0.35
600	1	155	0.16	1	162	-0.15	1	168	0.16	1	181	0.16	2	48	-0.35
1200	1	77	0.16	1	80	0.47	1	84	-0.43	1	90	0.16	1	97	-0.35
2400	1	38	0.16	1	40	-0.76	1	41	0.76	1	45	-0.93	1	48	-0.35
4800	0	155	0.16	0	162	-0.15	0	168	0.16	0	181	0.16	0	194	0.16
9600	0	77	0.16	0	80	0.47	0	84	-0.43	0	90	0.16	0	97	-0.35
14400	0	51	0.16	0	53	0.47	0	55	0.76	0	60	-0.39	0	64	0.16
19200	0	38	0.16	0	40	-0.76	0	41	0.76	0	45	-0.93	0	48	-0.35
28800	0	25	0.16	0	26	0.47	0	27	0.76	0	29	1.27	0	32	-1.36
31250	0	23	0.00	0	24	0.00	0	25	0.00	0	27	0.00	0	29	0.00
38400	0	19	-2.34	0	19	1.73	0	20	0.76	0	22	-0.93	0	23	1.73

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (4)

論理 ビット レート (bit/s)	動作周波数 P ϕ (MHz)														
	32			34			36			38			40		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	70	0.03	3	74	0.62	3	79	-0.12	3	83	0.40	3	88	-0.25
150	2	207	0.16	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16
300	2	103	0.16	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16
600	2	51	0.16	2	54	0.62	2	58	-0.69	2	61	-0.24	2	64	0.16
1200	1	103	0.16	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16
2400	1	51	0.16	1	51	6.42	1	58	-0.69	1	61	-0.24	1	64	0.16
4800	0	207	0.16	0	220	0.16	0	234	-0.27	0	246	0.16	1	32	-1.36
9600	0	103	0.16	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16
14400	0	68	0.64	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22
19200	0	51	0.16	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16
28800	0	34	-0.79	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94
31250	0	31	0.00	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00
38400	0	25	0.16	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	n	N	最大ビットレート (bit/s)
4	0	0	125000
8	0	0	250000
10	0	0	312500
12	0	0	375000
14	0	0	437500
16	0	0	500000
18	0	0	562500
20	0	0	625000
22	0	0	687500
24	0	0	750000
25	0	0	781250
26	0	0	812500
28	0	0	875000
30	0	0	937500
32	0	0	1000000
34	0	0	1062500
36	0	0	1125000
38	0	0	1187500
40	0	0	1250000

12. シリアルコミュニケーションインタフェース (SCI)

表 12.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
6	1.5000	93750
8	2.0000	125000
10	2.5000	156250
12	3.0000	187500
14	3.5000	218750
16	4.0000	250000
18	4.5000	281250
20	5.0000	312500
22	5.5000	343750
24	6.0000	375000
25	6.2500	390625
26	6.5000	406250
28	7.0000	437500
30	7.5000	468750
32	8.0000	500000
34	8.5000	531250
36	9.0000	562500
38	9.5000	593750
40	10.0000	625000

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕 (1)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	4		6		8		10		12	
	n	N	n	N	n	N	n	N	n	N
250	2	124	2	187	2	249	3	77	3	93
500	1	249	2	93	2	124	2	155	2	187
1000	1	124	1	187	1	249	2	77	2	93
2500	1	49	1	74	1	99	1	124	1	149
5000	1	24	-	-	1	49	1	61	1	74
10000	0	99	0	149	1	24	0	249	-	-
25000	0	39	0	59	1	9	0	99	1	14
50000	0	19	0	29	1	4	0	49	0	59
100000	0	9	0	14	0	19	0	24	0	29
250000	0	3	0	5	0	7	0	9	0	11
500000	0	1	0	2	0	3	0	4	0	5
1000000	0	0*	-	-	0	1	-	-	0	2
2500000	-	-	-	-	-	-	0	0*	-	-
5000000	-	-	-	-	-	-	-	-	-	-

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕 (2)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	14		16		18		20		22	
	n	N	n	N	n	N	n	N	n	N
250	3	108	3	124	3	140	3	155	3	171
500	2	218	2	249	3	69	3	77	3	85
1000	2	108	2	124	2	140	2	155	3	42
2500	1	174	2	49	1	224	1	249	2	68
5000	1	86	2	24	1	112	1	124	1	137
10000	1	43	1	49	1	55	1	62	1	68
25000	0	139	1	19	0	179	1	24	0	219
50000	0	69	1	9	0	89	0	99	0	109
100000	0	34	1	4	0	44	0	49	0	54
250000	0	13	1	1	0	17	0	19	0	21
500000	0	6	1	0	0	8	0	9	0	10
1000000	-	-	0	3	-	-	0	4	-	-
2500000	-	-	-	-	-	-	0	1	-	-
5000000	-	-	-	-	-	-	0	0*	-	-

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕 (3)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	24		25		26		28		30	
	n	N	n	N	n	N	n	N	n	N
250	3	187	3	194	3	202	3	218	3	233
500	3	93	3	97	3	101	3	108	3	116
1000	2	187	2	194	2	202	2	218	2	233
2500	2	74	2	77	2	80	2	86	2	93
5000	1	149	1	155	1	162	1	174	1	187
10000	1	74	1	77	1	80	1	86	1	93
25000	1	29	0	249	-	-	1	34	-	-
50000	1	14	0	124	0	129	0	139	0	149
100000	0	59	0	62	0	64	0	69	0	74
250000	0	23	0	24	0	25	0	27	0	29
500000	0	11	-	-	0	12	0	13	0	14
1000000	0	5	-	-	-	-	0	6	-	-
2500000	-	-	-	-	-	-	-	-	0	2
5000000	-	-	-	-	-	-	-	-	-	-

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕 (4)

論理 ビットレート (bit/s)	動作周波数 P ϕ (MHz)									
	32		34		36		38		40	
	n	N	n	N	n	N	n	N	n	N
250	3	249	-	-	-	-	-	-	-	-
500	3	124	3	132	3	140	3	147	3	155
1000	2	249	3	65	3	69	3	73	3	77
2500	2	99	2	105	2	112	2	118	2	124
5000	2	49	1	212	1	224	1	237	1	249
10000	2	24	1	105	1	112	1	118	1	124
25000	2	9	-	-	1	44	-	-	1	49
50000	2	4	0	169	0	179	0	189	1	24
100000	1	9	0	84	0	89	0	94	0	99
250000	1	3	0	33	0	35	0	37	0	39
500000	1	1	0	16	0	17	0	18	0	19
1000000	1	0	-	-	0	8	-	-	0	9
2500000	-	-	-	-	-	-	-	-	0	3
5000000	-	-	-	-	-	-	-	-	0	1

12. シリアルコミュニケーションインタフェース (SCI)

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
25	4.1667	4166666.7
26	4.3333	4333333.3
28	4.6667	4666666.7
30	5.0000	5000000.0
32	5.3333	5333333.3
34	5.6667	5666666.7
36	6.0000	6000000.0
38	6.3333	6333333.3
40	6.6667	6666666.7

【記号説明】

— : 設定可能ですが誤差がでます。

* : 連続送信/連続受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

12.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり、送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

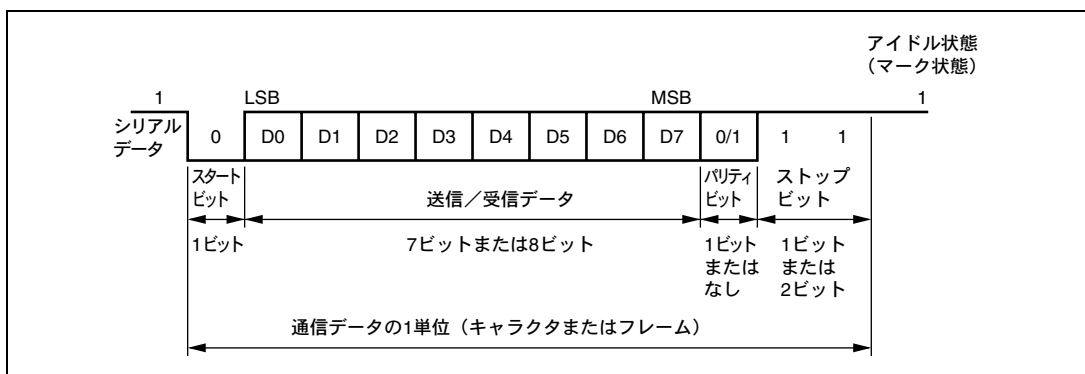


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

12.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.8 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「12.5 マルチプロセッサ通信機能」を参照してください。

表 12.8 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	X	1	0	S	8ビットデータ								MPB	STOP		
0	X	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	X	1	0	S	7ビットデータ							MPB	STOP			
1	X	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット
 X : Don't care

12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図12.3に示すように、受信データを基本クロックの8ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは、式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{(D-0.5)}{N} - (L-0.5)F \right\} \times 100 \quad [\%] \quad \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

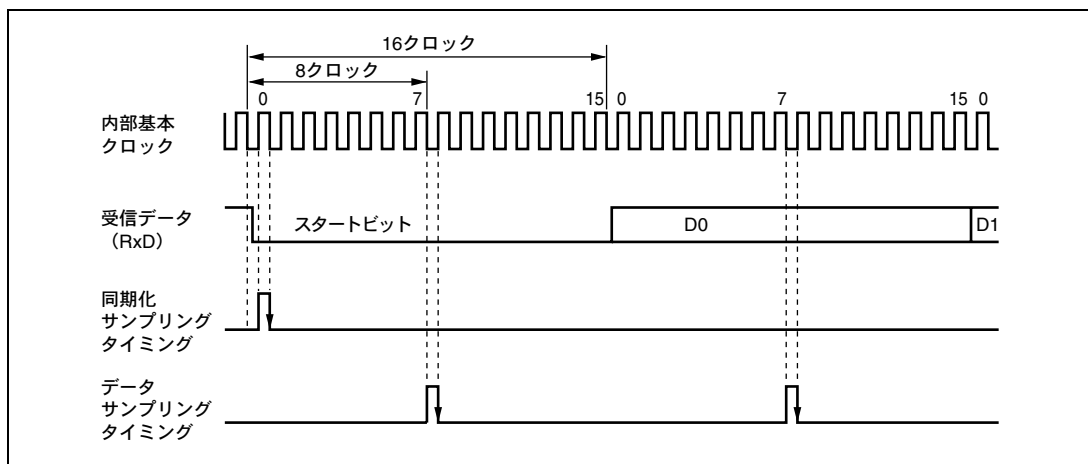


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロック、またはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図12.4に示すように送信データの中央でクロックが立ち上がります。

動作中にクロックは止めないでください。

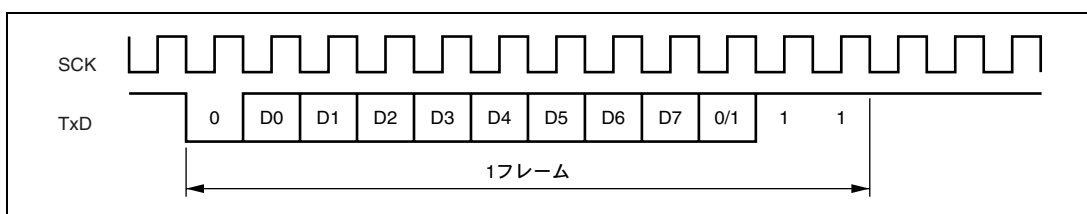


図 12.4 出カクロックと送信データの位相関係（調歩同期式モード）

12.4.4 SCIの初期化（調歩同期式）

データの送受信前に、SCRのTE、REビットをクリアした後、図12.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

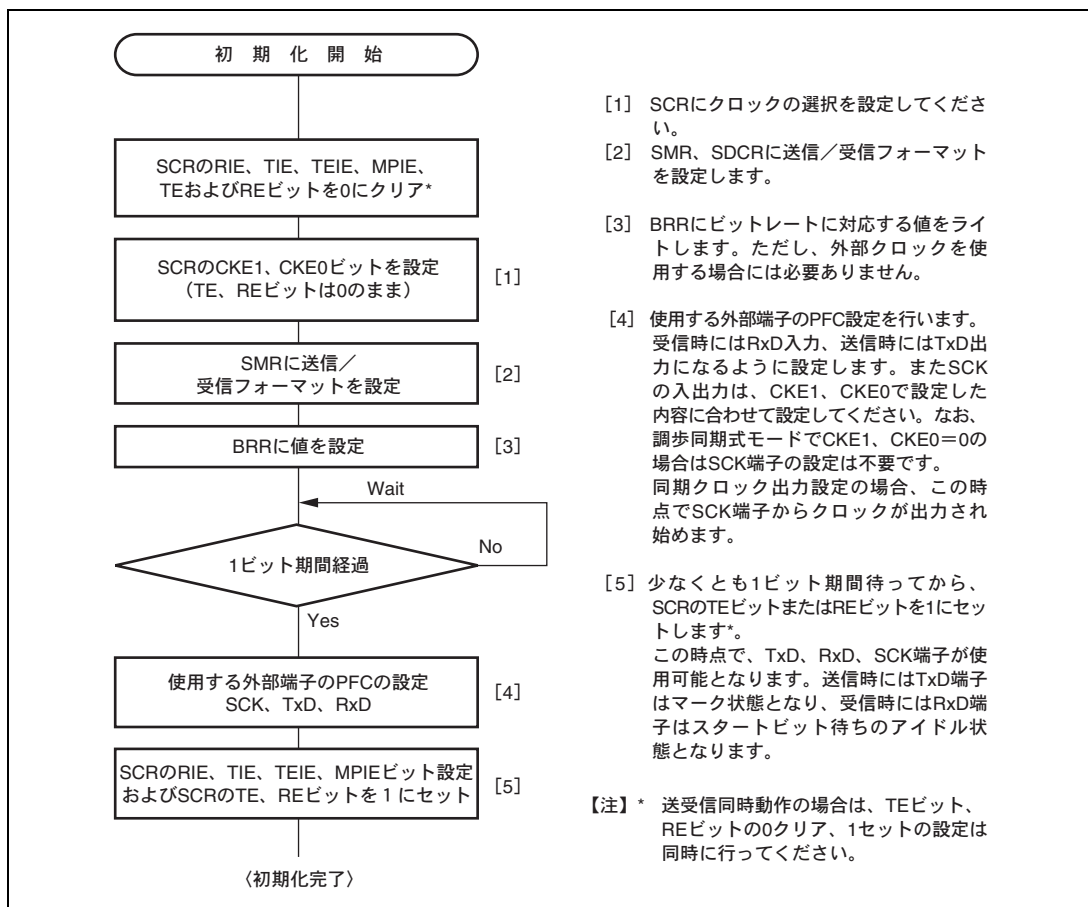


図 12.5 SCIの初期化フローチャートの例

12.4.5 データ送信 (調歩同期式)

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時、SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識して、TDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで、連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 12.7 にデータ送信のフローチャートの例を示します。

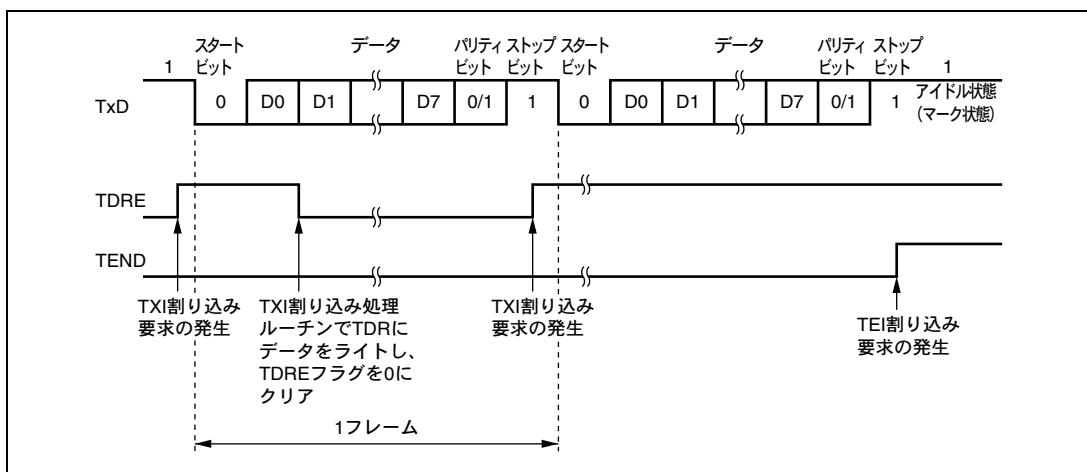


図 12.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

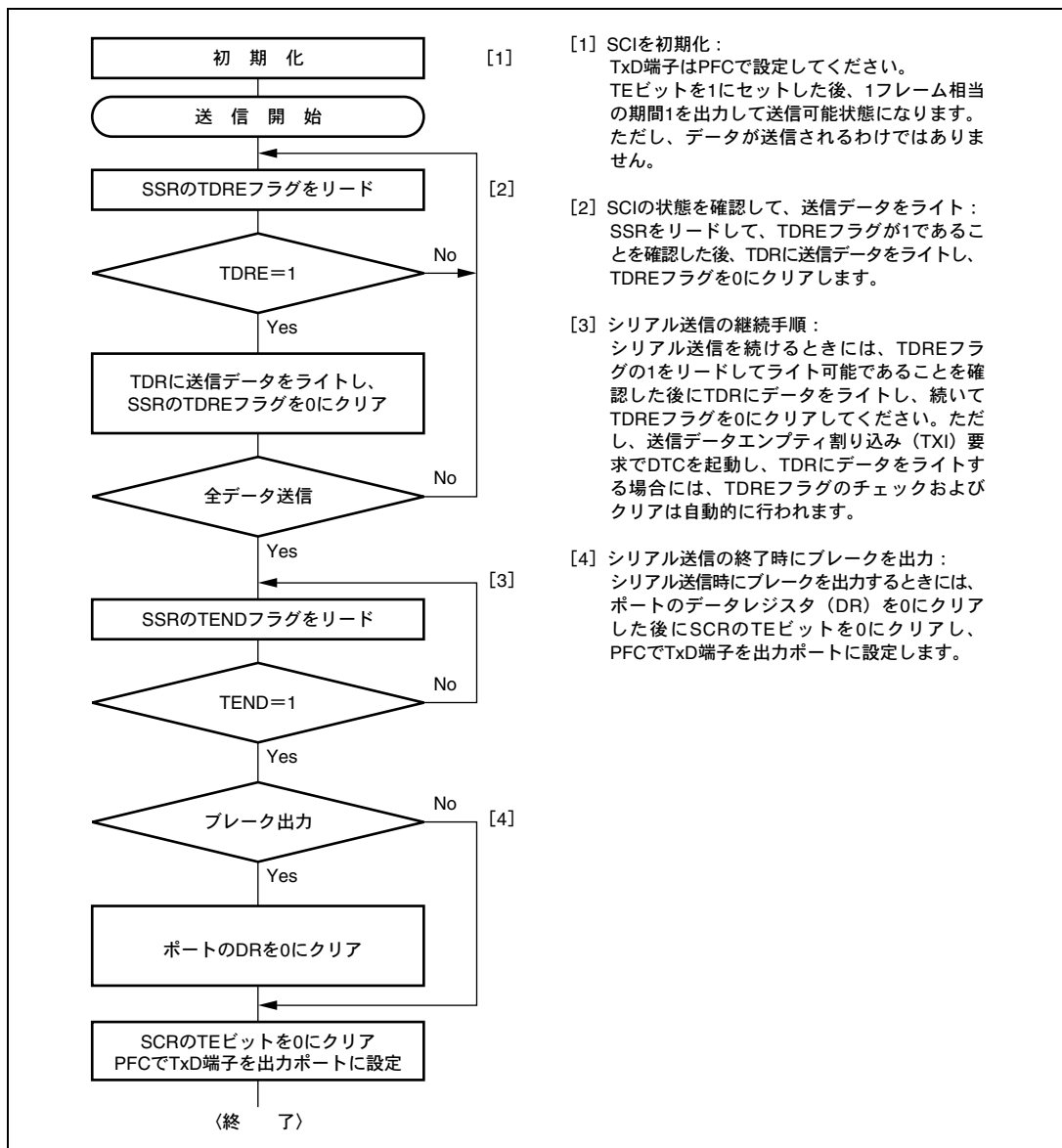


図 12.7 シリアル送信のフローチャートの例

12.4.6 シリアルデータ受信 (調歩同期式)

図 12.8 に調歩同期式モードの受信時の動作例を示します。データ受信時、SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRDRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされていると、ERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされていると、ERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされていると、RXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで、連続受信が可能です。

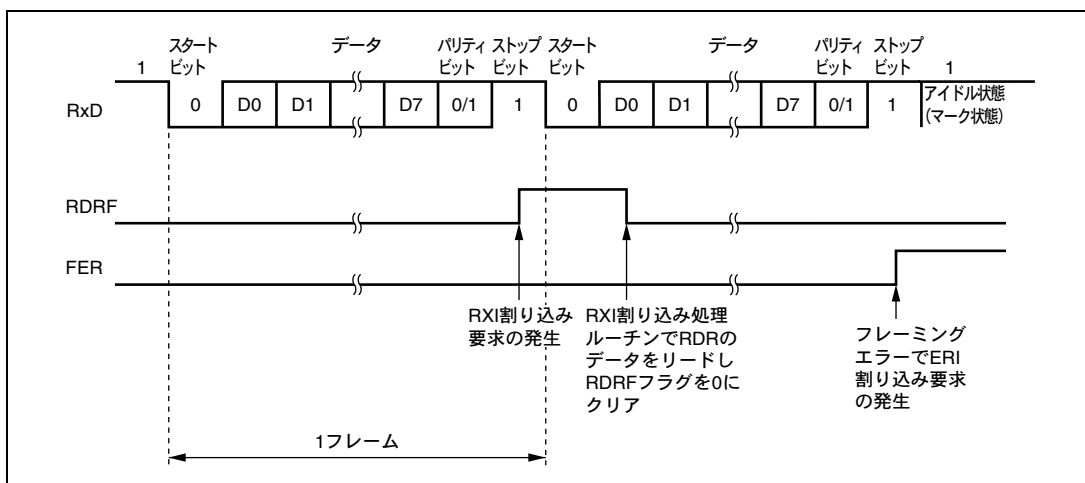


図 12.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の、SSR の各ステータスフラグの状態と受信データの処理を表 12.9 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 12.9 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.9 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】* RDRF は、データ受信前の状態を保持します。

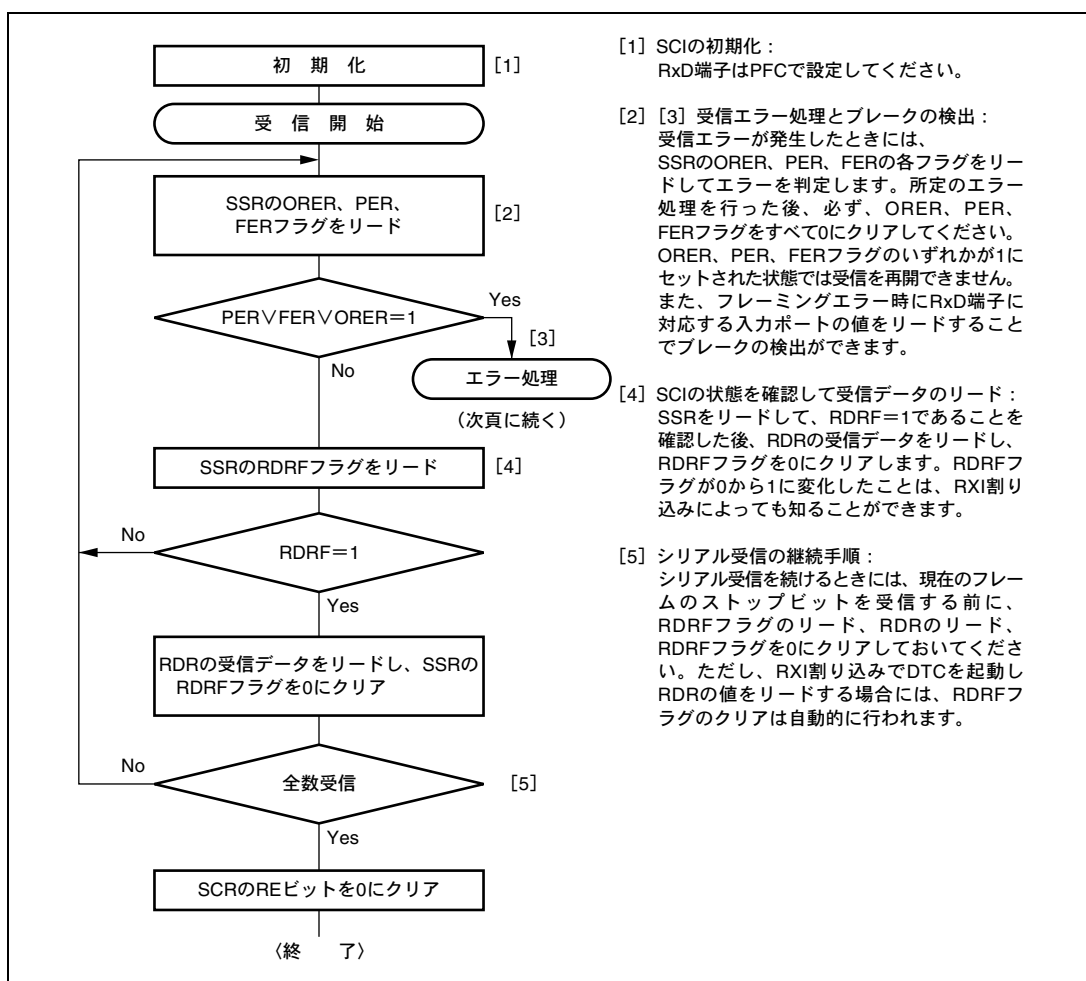


図 12.9 シリアル受信データフローチャートの例 (1)

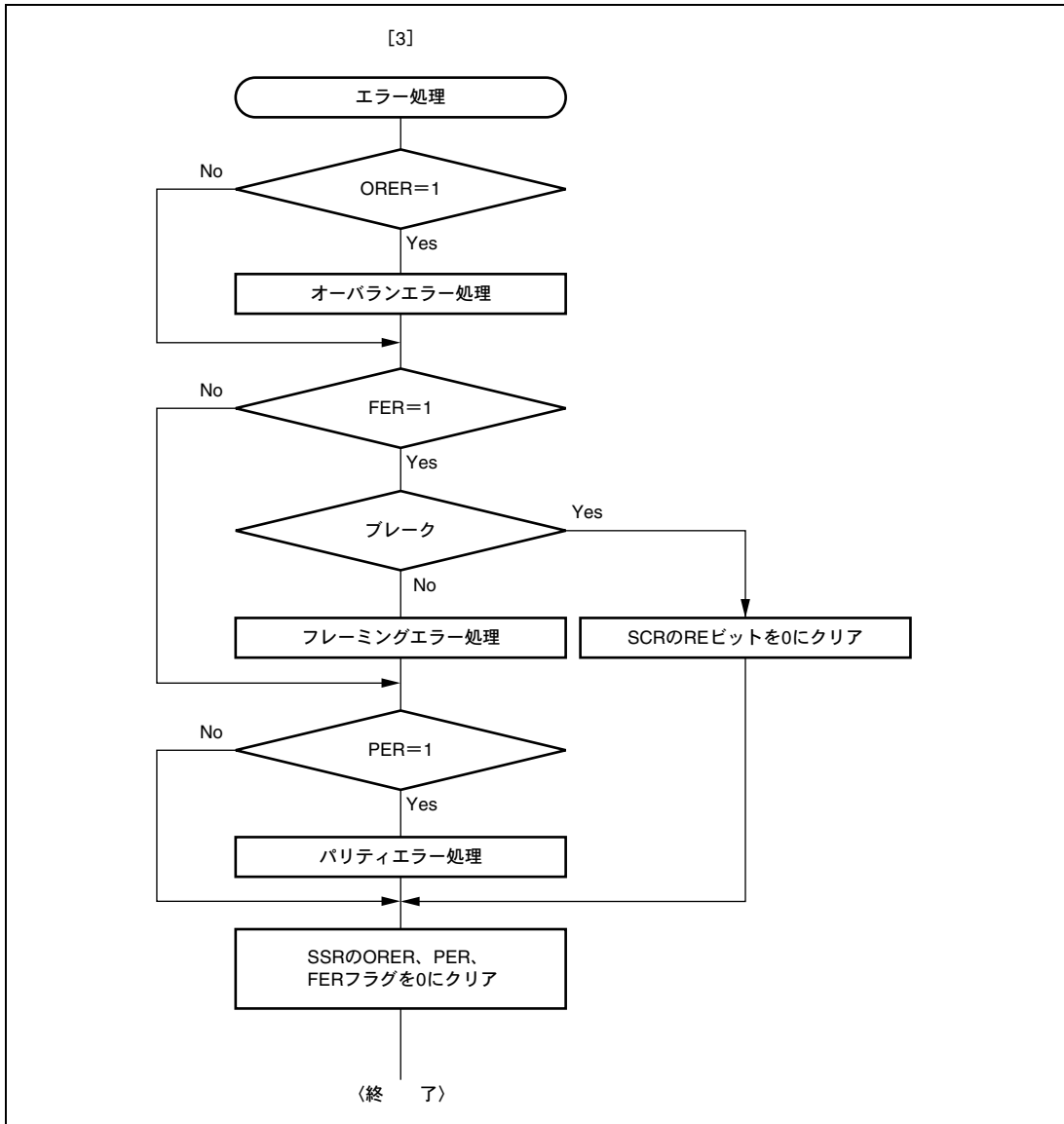


図 12.9 シリアル受信データフローチャートの例 (2)

12.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では、受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで、通信データを読み飛ばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、OERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて、通常の受信動作に戻ります。このときSCRのRIEがセットされていると、RXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードと同一です。

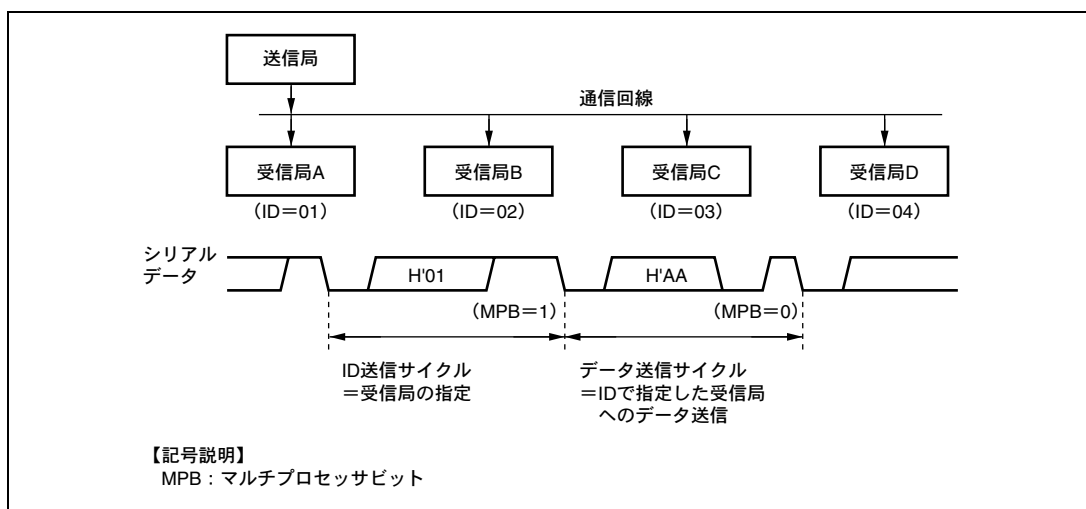


図 12.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

12.5.1 マルチプロセッサシリアルデータ送信

図 12.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは、SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは、SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

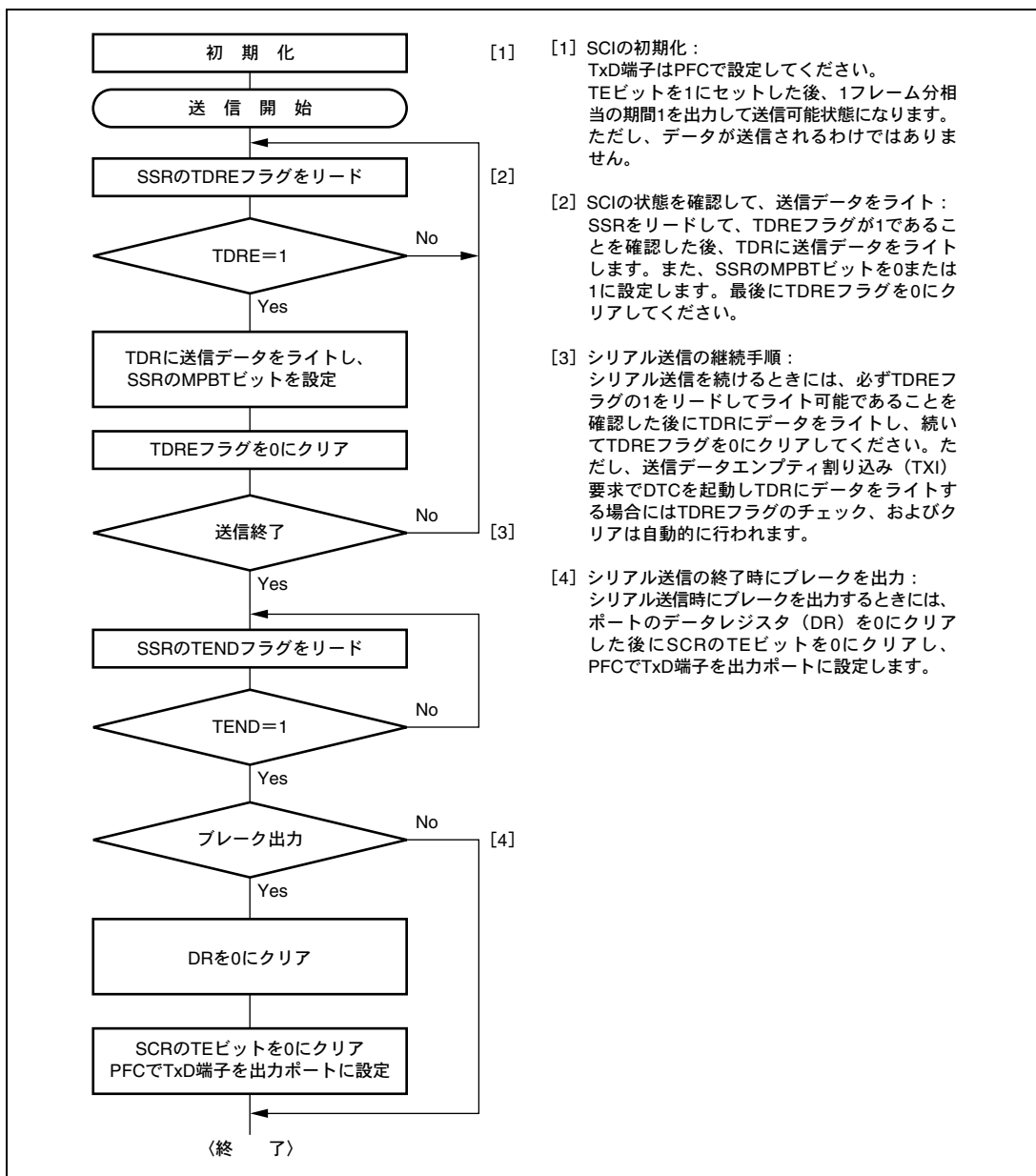


図 12.11 マルチプロセッサシリアル送信のフローチャートの例

12.5.2 マルチプロセッサシリアルデータ受信

図 12.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると、受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 12.12 に受信時の動作例を示します。

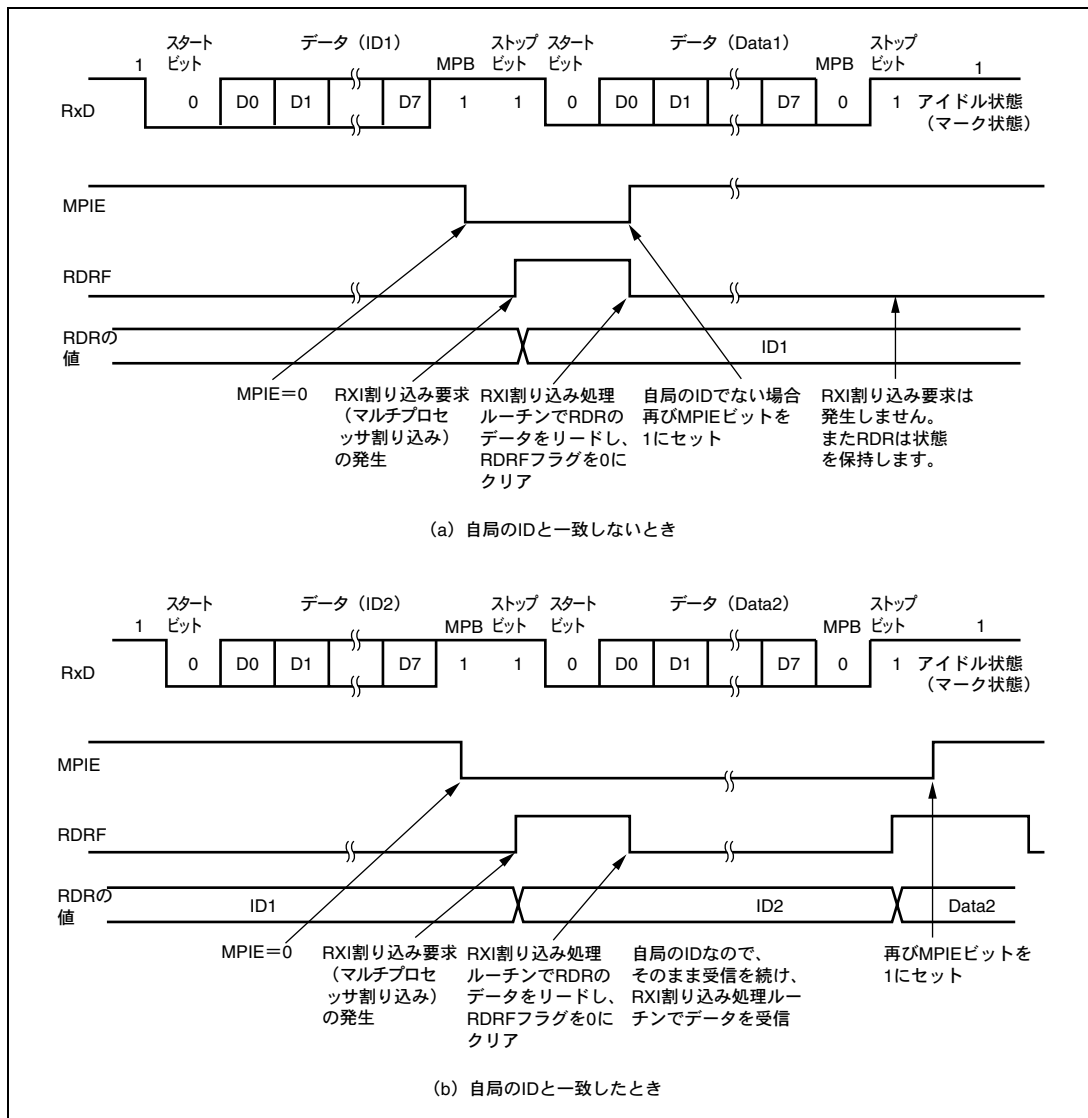


図 12.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

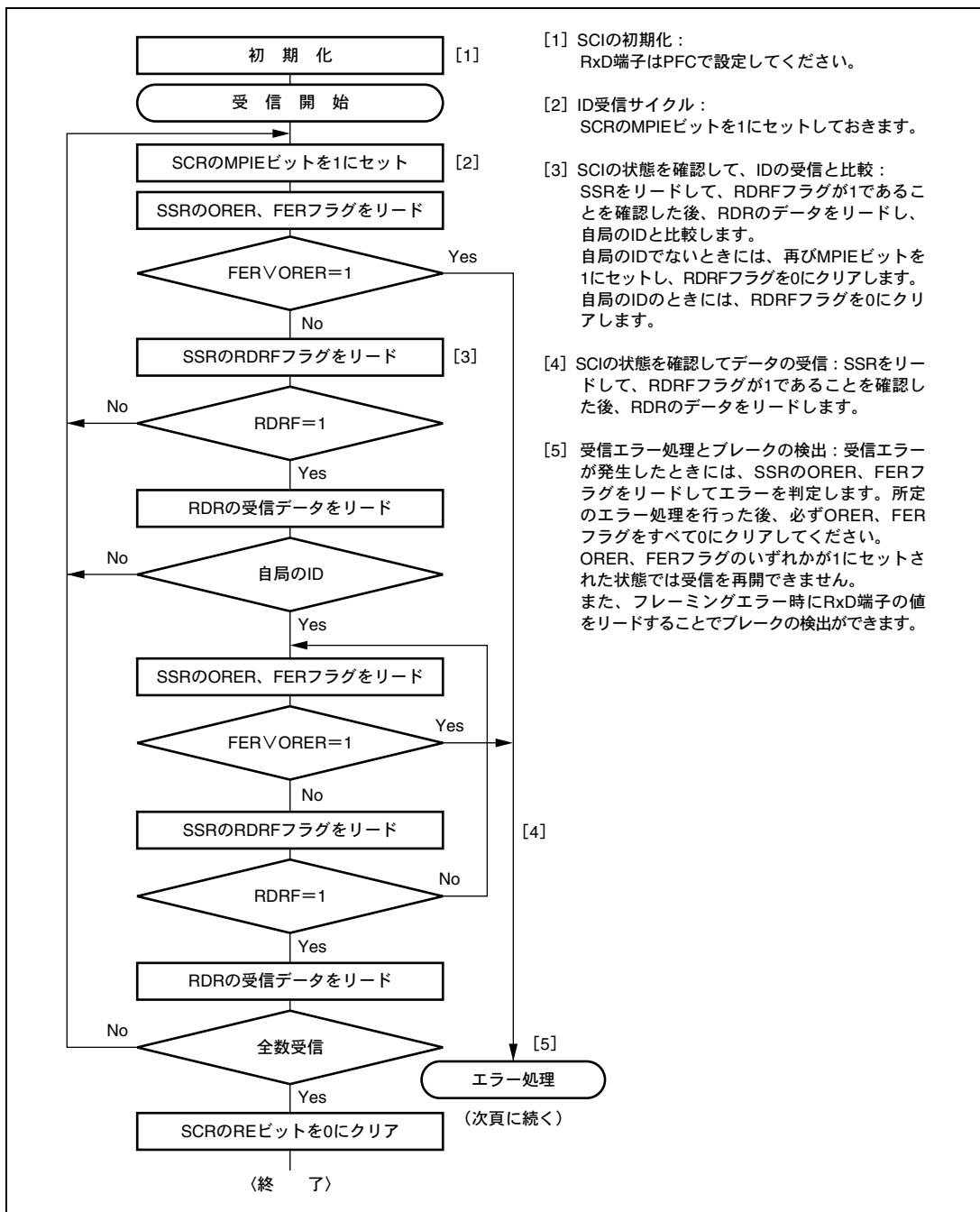


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

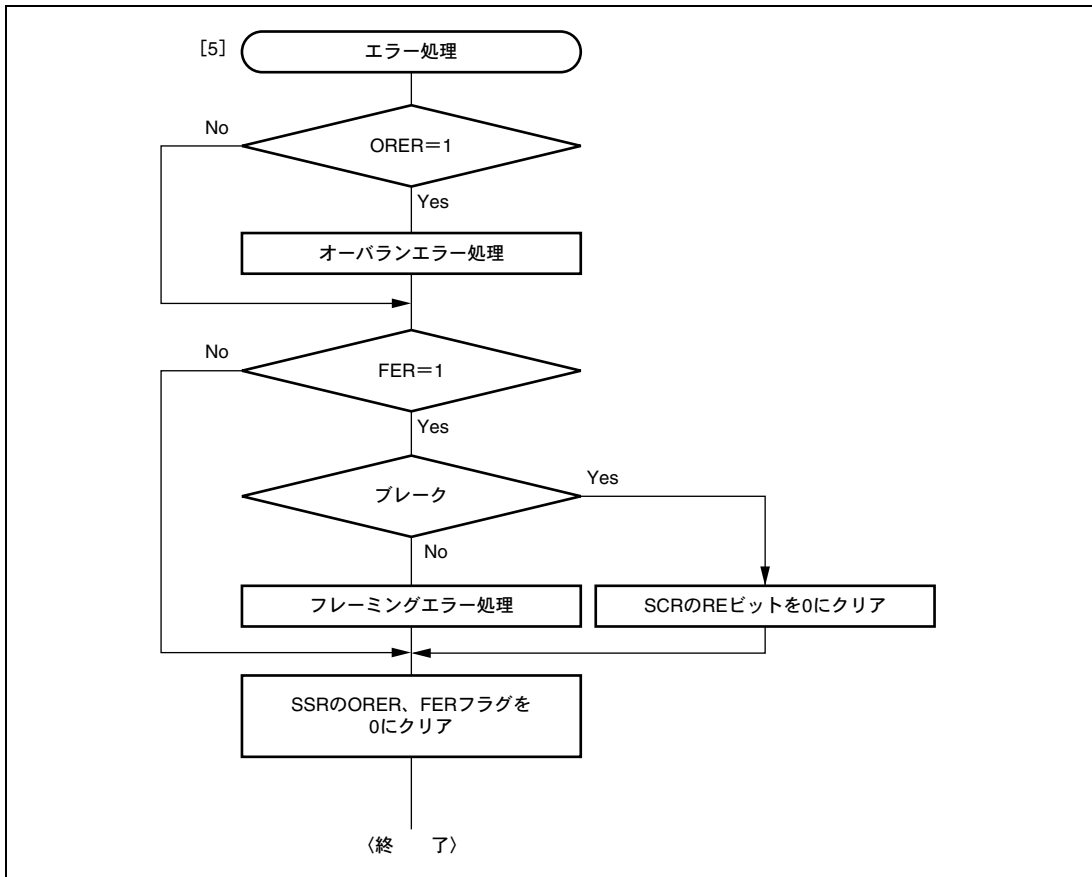


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

12.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.14 に示します。クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、8 ビットデータで構成されます。SCI は、データ送信時、同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は、同期クロックの立ち上がりで同期してデータを取り込みます。8 ビット出力後の通信回線は、最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

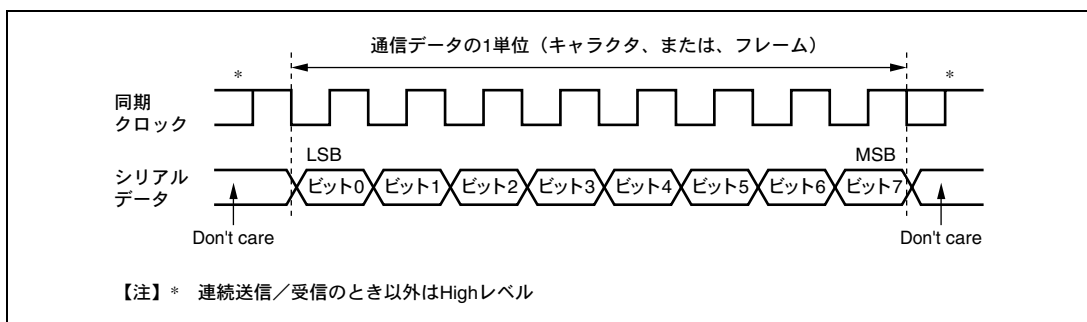


図 12.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロック、または SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

12.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図12.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、OERの各フラグ、およびRDRは初期化されませんので注意してください。

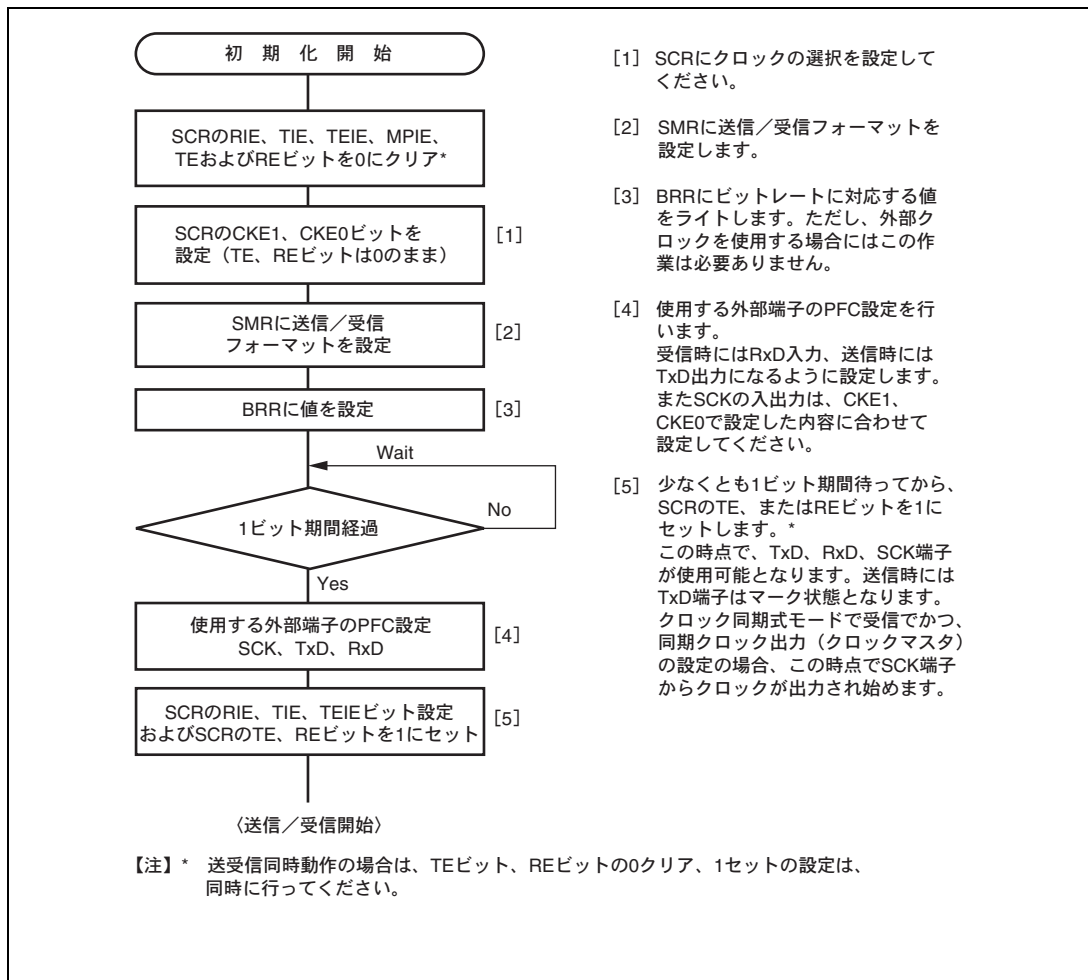


図 12.15 SCIの初期化フローチャートの例

12.6.3 シリアルデータ送信 (クロック同期式)

図 12.16 にクロック同期式モードの送信時の動作例を示します。データ送信時、SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識して、TDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで、連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると、次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であると、SSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 12.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では、TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはRE ビットをクリアしただけではクリアされませんので注意してください。

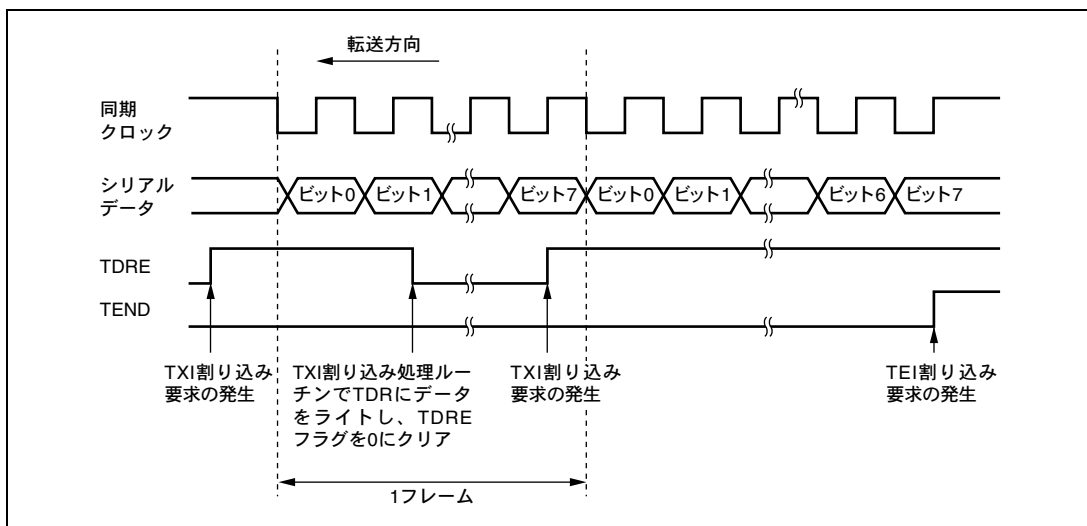


図 12.16 クロック同期式モードの送信時の動作例

12. シリアルコミュニケーションインタフェース (SCI)

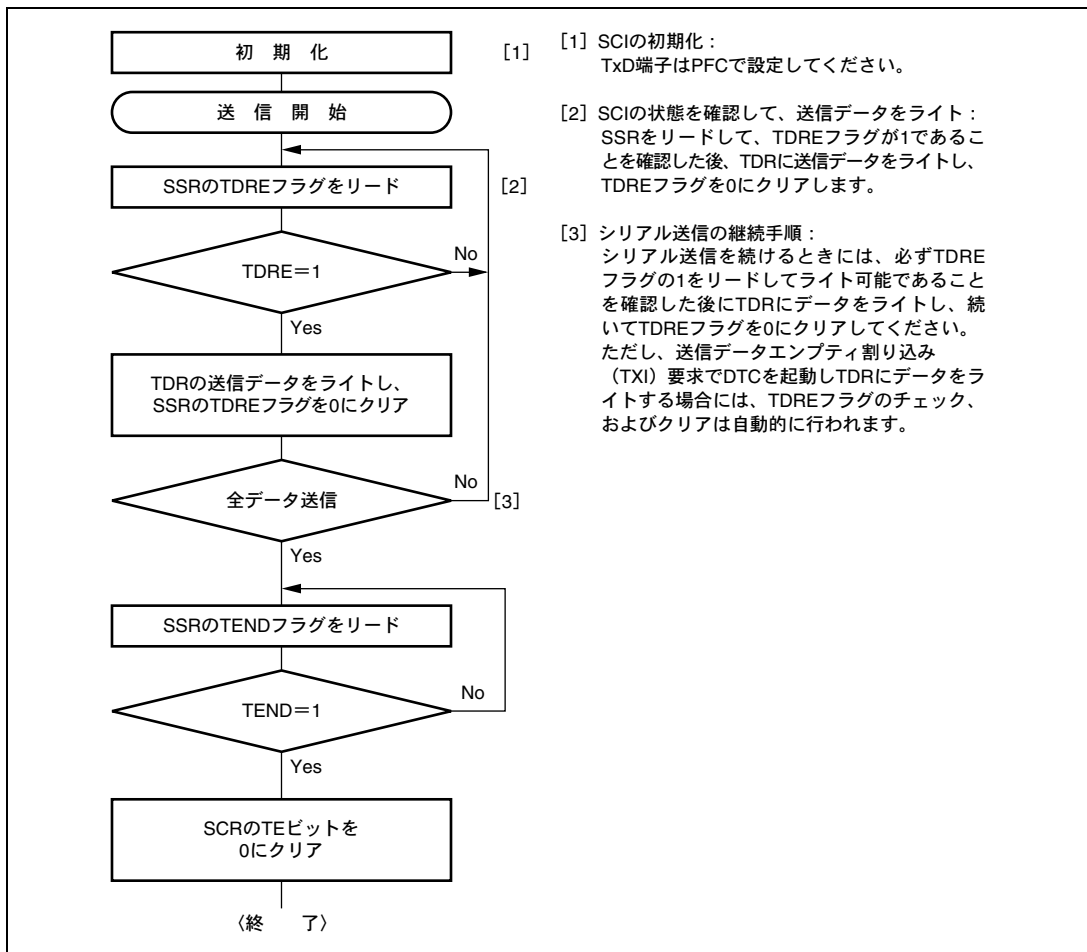


図 12.17 シリアル送信のフローチャートの例

12.6.4 シリアルデータ受信 (クロック同期式)

図 12.18 にクロック同期式モードの受信時の動作例を示します。データ受信時、SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされていると、ERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされていると、RXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで、連続受信が可能です。

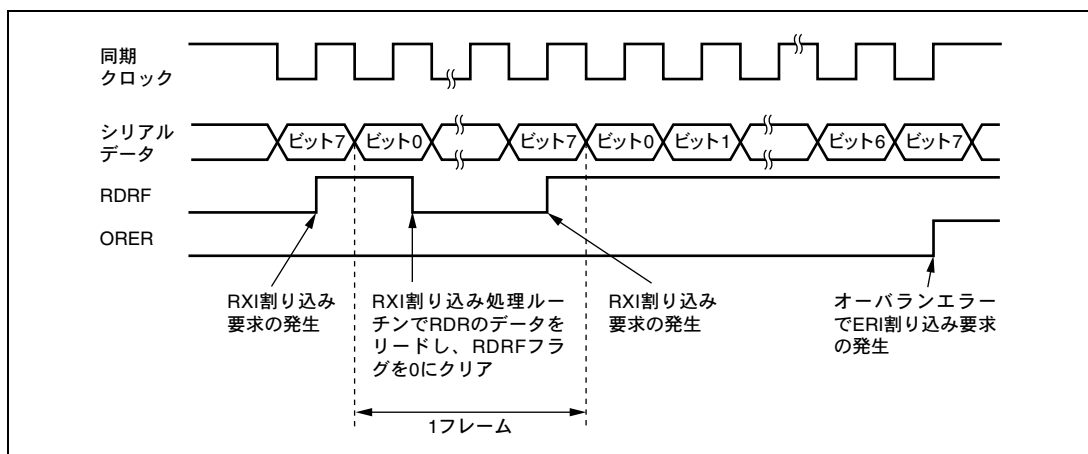


図 12.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では、以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.19 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

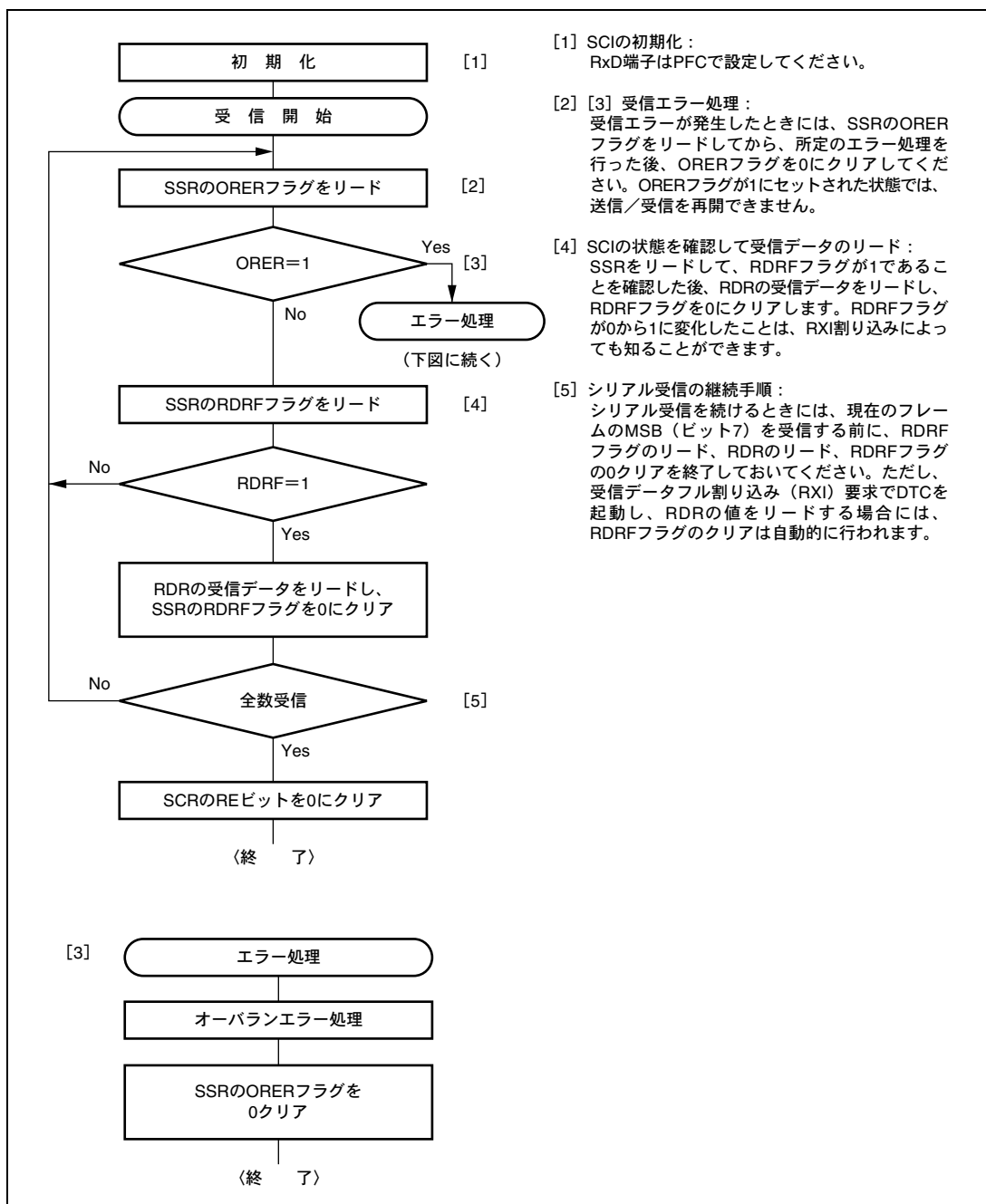


図 12.19 シリアルデータ受信フローチャートの例

12.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

12. シリアルコミュニケーションインタフェース (SCI)

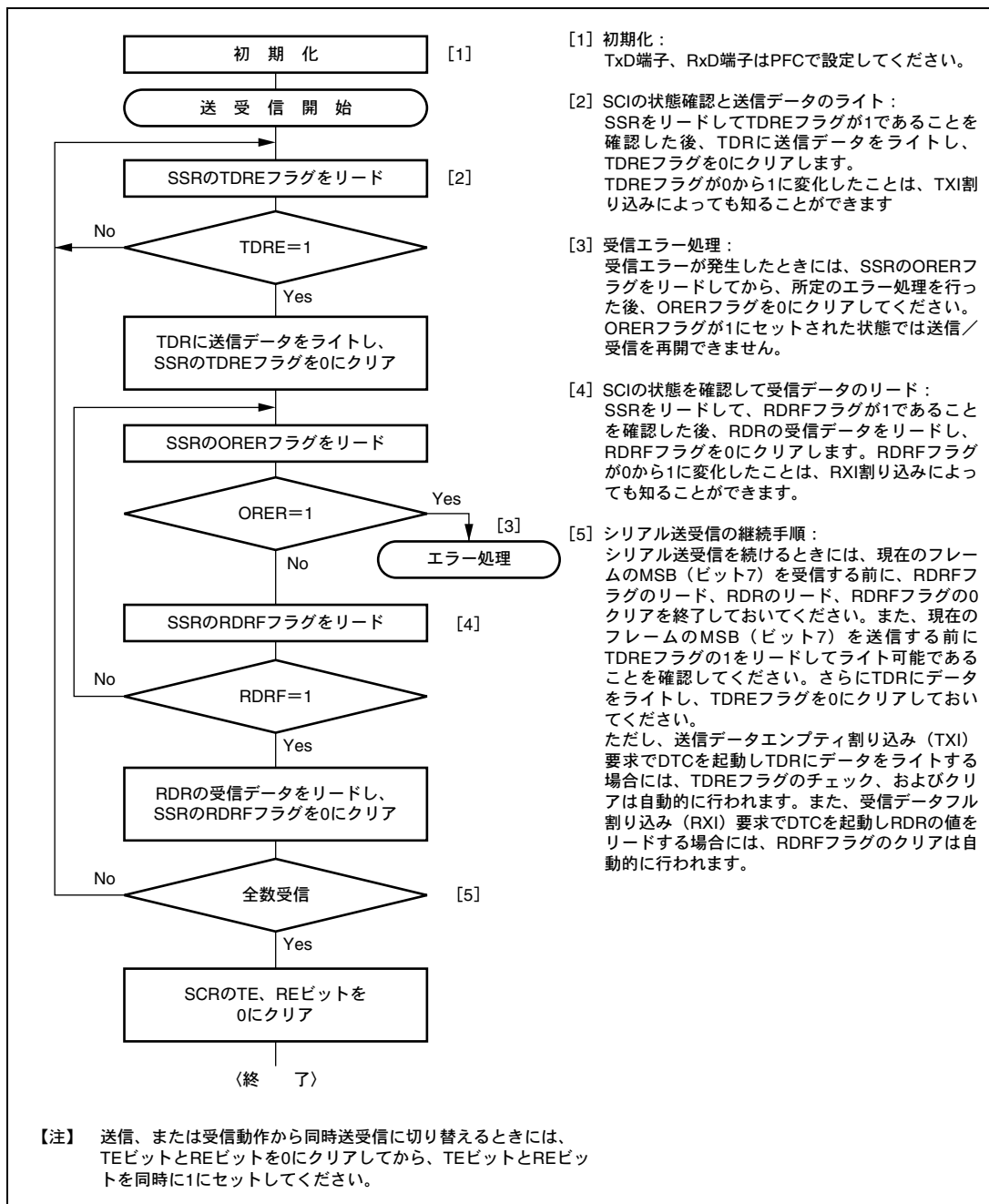


図 12.20 シリアル送受信同時動作のフローチャートの例

12.7 割り込み要因

12.7.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 12.10 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。TDRE フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では、TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は、TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 12.10 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動
2	ERI_2	受信エラー	ORER、FER、PER	不可
	RXI_2	受信データフル	RDRF	可
	TXI_2	送信データエンプティ	TDRE	可
	TEI_2	送信終了	TEND	不可
3	ERI_3	受信エラー	ORER、FER、PER	不可
	RXI_3	受信データフル	RDRF	可
	TXI_3	送信データエンプティ	TDRE	可
	TEI_3	送信終了	TEND	不可
4	ERI_4	受信エラー	ORER、FER、PER	不可
	RXI_4	受信データフル	RDRF	可
	TXI_4	送信データエンプティ	TDRE	可
	TEI_4	送信終了	TEND	不可

12.8 使用上の注意事項

12.8.1 TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットは、トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。

しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため、失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

12.8.2 モジュールスタンバイモードの設定

モジュールスタンバイコントロールレジスタにより、SCI の動作禁止/許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

12.8.3 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても、再び FER が 1 にセットされますので注意してください。

12.8.4 ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のポート IO レジスタ (IOR) により、入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまでは、マーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは、DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると、現在の送信状態とは無関係に送信部は初期化されます。

12.8.5 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.8.6 DTC の使用上の注意事項

1. 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、周辺クロック (Pφ) で5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図12.21)。
2. DTCにより、RDRの読み出しを行うときは、必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

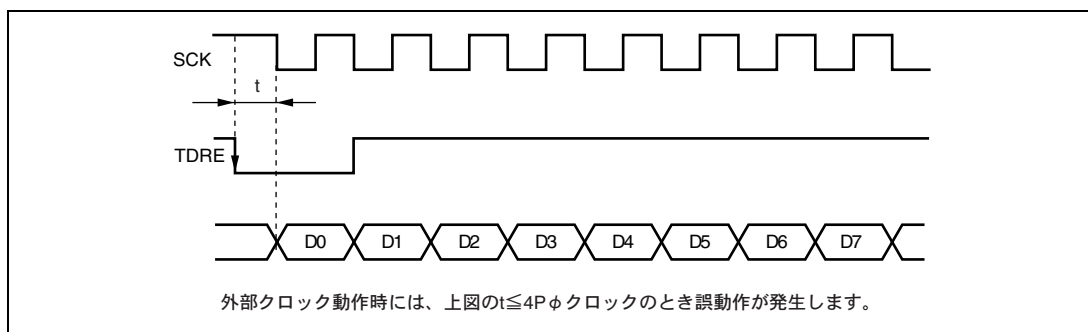


図 12.21 DTC によるクロック同期式送信時の例

12.8.7 クロック同期外部クロックモード時の注意事項

1. TE=RE=1に設定するのは、必ず外部クロックSCKが1のときにしてください。
2. TE=1、RE=1に設定するのは、外部クロックSCKを0→1にしてから4Pφクロック以上経過してからにしてください。
3. 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから2.5~3.5Pφクロック後にRE=0にするとRDRF=1になりますが、RDRへのコピーができませんので注意してください。

12.8.8 クロック同期内部クロックモード時の注意事項

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから1.5Pφクロック後にRE=0にするとRDRF=1になりますが、RDRへのコピーができませんので注意してください。

13. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。
ブロック図を図 13.1 に示します。

13.1 特長

- 分解能：10ビット
- 入力チャンネル：
16チャンネル（2個の独立したA/D変換モジュール内蔵）
- 変換時間：1チャンネル当たり $6.7\mu\text{s}$ （ $P\phi=20\text{MHz}$ 動作時）、 $5.4\mu\text{s}$ （ $P\phi=25\text{MHz}$ 動作時）
- 動作モード：3種類
シングルモード：1チャンネルのA/D変換
連続スキャンモード：1～8チャンネルの繰り返しA/D変換
1サイクルスキャンモード：1～8チャンネルの連続A/D変換
- データレジスタ：A/D変換結果は各入力チャンネルに対応した16ビットデータレジスタに格納
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
ソフトウェア
マルチファンクションタイマパルスユニット（MTU）またはモータマネージメントタイマ(MMT)による
変換開始トリガを選択可能
外部トリガ信号
- 割り込み要因：A/D変換終了割り込み要求（ADI）を発生
- モジュールスタンバイモードの設定可能

13. A/D 変換器

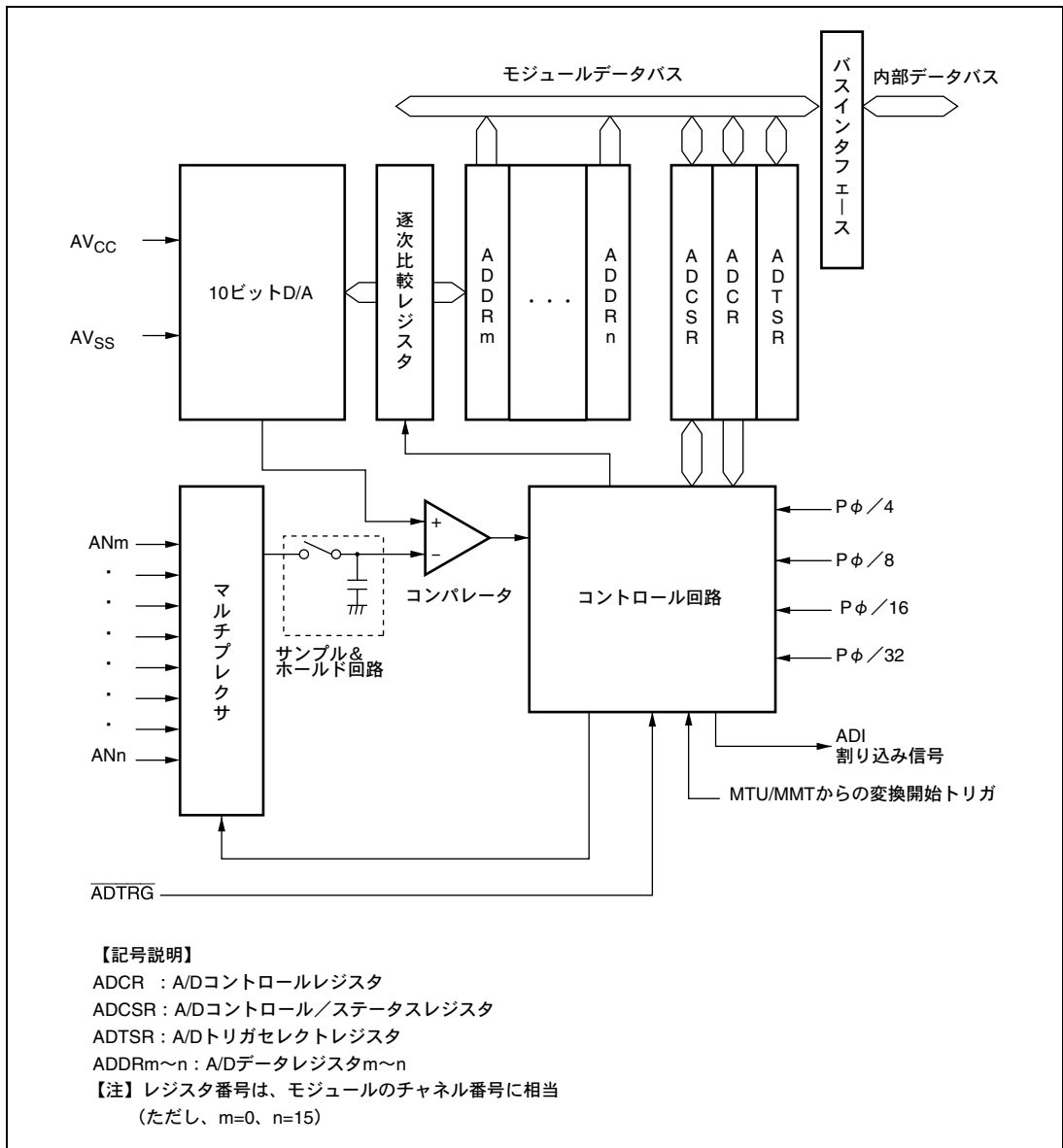


図 13.1 A/D 変換器のブロック図 (1 モジュール当たり)

13.2 入出力端子

A/D 変換器で使用する端子を表 13.1 に示します。本 LSI は 2 個の A/D 変換モジュールで構成され、それぞれのモジュールは独立に動作させることができます。また、入力チャネルは、4 チャネルごとのグループに分割されています。

表 13.1 端子構成

モジュール区分	端子名	入出力	機 能	
共通	AVcc	入力	アナログ部の電源端子および基準電圧	
	AVss	入力	アナログ部のグランドおよび基準電圧	
	ADTRG	入力	A/D 外部トリガ入力端子	
A/D モジュール 0 (A/D0)	AN0	入力	アナログ入力端子 0	グループ 0
	AN1	入力	アナログ入力端子 1	
	AN2	入力	アナログ入力端子 2	
	AN3	入力	アナログ入力端子 3	
	AN8	入力	アナログ入力端子 8	グループ 1
	AN9	入力	アナログ入力端子 9	
	AN10	入力	アナログ入力端子 10	
	AN11	入力	アナログ入力端子 11	
A/D モジュール 1 (A/D1)	AN4	入力	アナログ入力端子 4	グループ 0
	AN5	入力	アナログ入力端子 5	
	AN6	入力	アナログ入力端子 6	
	AN7	入力	アナログ入力端子 7	
	AN12	入力	アナログ入力端子 12	グループ 1
	AN13	入力	アナログ入力端子 13	
	AN14	入力	アナログ入力端子 14	
	AN15	入力	アナログ入力端子 15	

【注】 端子ごとに、接続される A/D モジュールが異なります。モジュールごとに制御レジスタを持つので、それぞれ設定をしてください。

13.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- A/Dデータレジスタ0 (H/L) (ADDR0)
- A/Dデータレジスタ1 (H/L) (ADDR1)
- A/Dデータレジスタ2 (H/L) (ADDR2)
- A/Dデータレジスタ3 (H/L) (ADDR3)
- A/Dデータレジスタ4 (H/L) (ADDR4)
- A/Dデータレジスタ5 (H/L) (ADDR5)
- A/Dデータレジスタ6 (H/L) (ADDR6)
- A/Dデータレジスタ7 (H/L) (ADDR7)
- A/Dデータレジスタ8 (H/L) (ADDR8)
- A/Dデータレジスタ9 (H/L) (ADDR9)
- A/Dデータレジスタ10 (H/L) (ADDR10)
- A/Dデータレジスタ11 (H/L) (ADDR11)
- A/Dデータレジスタ12 (H/L) (ADDR12)
- A/Dデータレジスタ13 (H/L) (ADDR13)
- A/Dデータレジスタ14 (H/L) (ADDR14)
- A/Dデータレジスタ15 (H/L) (ADDR15)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_0 (ADCR_0)
- A/Dコントロールレジスタ_1 (ADCR_1)
- A/Dトリガセレクトレジスタ (ADTSR)

13.3.1 A/D データレジスタ 0～15 (ADDR0～ADDR15)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。各アナログ入力チャネルの変換結果は、対応する番号の ADDR に格納されます。(例えば、AN4 の変換結果は A/D データレジスタ ADDR4 に格納されます。)

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットは、リードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは、上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。ADDR の初期値は H'0000 です。

13. A/D 変換器

13.3.2 A/D コントロール/ステータスレジスタ_0、1 (ADCSR_0、1)

ADCSR はモジュール毎に持ち、A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] (1) シングルモードで A/D 変換が終了したとき (2) スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] (1) 1 の状態をリードした後、0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、DTC の DTMR ビットが 0 のときに ADDR からデータをリードしたとき
6	ADIE	0	R/W	A/D インタラプト(ADI)イネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
5 4	ADM1 ADM0	0 0	R/W R/W	A/D モード 1、0 A/D 変換の動作モードを選択します。 00 : シングルモード 01 : 4 チャンネルスキャンモード 10 : 8 チャンネルスキャンモード 11 : 設定禁止 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
3	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2~0 A/D 変換するアナログ入力チャンネルを選択します (表 13.2 参照)。 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。

【注】* フラグをクリアするための 0 ライトのみ可能です。

表 13.2 チャンネルセレクト一覧表

ビット2 CH2	ビット1 CH1	ビット0 CH0	アナログ入力チャンネル			
			シングルモード		4チャンネルスキャンモード*2	
			A/D0	A/D1	A/D0	A/D1
0	0	0	AN0	AN4	AN0	AN4
		1	AN1	AN5	AN0、1	AN4、5
	1	0	AN2	AN6	AN0~2	AN4~6
		1	AN3	AN7	AN0~3	AN4~7
1	0	0	AN8	AN12	AN8	AN12
		1	AN9	AN13	AN8、9	AN12、13
	1	0	AN10	AN14	AN8~10	AN12~14
		1	AN11	AN15	AN8~11	AN12~15

ビット2 CH2	ビット1 CH1	ビット0 CH0	アナログ入力チャンネル	
			8チャンネルスキャンモード*2	
			A/D0	A/D1
0*1	0	0	AN0、8	AN4、12
		1	AN0、1、8、9	AN4、5、12、13
	1	0	AN0~2、8~10	AN4~6、12~14
		1	AN0~3、AN8~11	AN4~7、AN12~15

【注】 *1 必ず0に設定してください。

*2 ADCSビットにより連続スキャン/1サイクルスキャンを設定することが可能です。

13. A/D 変換器

13.3.3 A/D コントロールレジスタ_0、1 (ADCR_0、1)

ADCR はモジュールごとにあり、外部トリガによる A/D 変換開始制御および動作クロックの選択を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
7	TRGE	0	R/W	トリガイネーブル ADTRG、MTU トリガまたは MMT トリガによる A/D 変換開始を設定します。 0: トリガによる開始は無効 1: トリガによる開始は有効
6 5	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。 00: Pφ/32 01: Pφ/16 10: Pφ/8 11: Pφ/4 A/D 変換時間の切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。 CKS[1,0] = b'11 の設定は Pφ ≤ 25 [MHz] まで可能です。
4	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードおよび 1 サイクルスキャンモードでは、選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、またはモジュールスタンバイモードによって、クリアされるまで選択されたチャンネルを順次連続変換します。
3	ADCS	0	R/W	A/D 連続スキャン スキャンモード時の 1 サイクルスキャン/連続スキャンを選択するビットです。スキャンモード時のみ有効です。 0: 1 サイクルスキャン 1: 連続スキャン 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。
2~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

13.3.4 A/D トリガセレクトレジスタ (ADTSR)

ADTSR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 2	TRG1S1 TRG1S0	0 0	R/W R/W	AD トリガ 1 セレクト 1、0 トリガ信号による A/D1 モジュールの変換開始をイネーブルにします。 00: 外部トリガ端子 (ADTRG) または MTU のトリガを選択 01: 外部トリガ端子 (ADTRG) を選択 10: MTU の変換開始トリガを選択 11: MMT の変換開始トリガを選択 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の TRGE および ADST が 0 の状態で行ってください。
1 0	TRG0S1 TRG0S0	0 0	R/W R/W	AD トリガ 0 セレクト 1、0 トリガ信号による A/D0 モジュールの変換開始をイネーブルにします。 00: 外部トリガ端子 (ADTRG) または MTU のトリガを選択 01: 外部トリガ端子 (ADTRG) を選択 10: MTU の変換開始トリガを選択 11: MMT の変換開始トリガを選択 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の TRGE および ADST が 0 の状態で行ってください。

13.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。スキャンモードには、連続スキャンモードと 1 サイクルスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCR の ADST ビットが 0 の状態で行ってください。動作モードの変更と ADST ビットのセットは同時に行うことができます。

13.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU、MMTまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、選択されたチャネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると、変換を中止してA/D変換器は待機状態になります。

13.4.2 連続スキャンモード

連続スキャンモードは指定されたチャネル（最大 8 チャネル）のアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、MTU、MMTまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、グループのアナログ入力チャネル番号の小さい順（例えば、AN0、AN1...7）にA/D変換を実行します。
2. それぞれのチャネルのA/D変換が終了すると、A/D変換結果は順次そのチャネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は[2]～[3]を繰り返します。ADSTビットを0にクリアすると、A/D変換を中止し、A/D変換器は待機状態になります。

13.4.3 1 サイクルスキャンモード

1 サイクルスキャンモードは、指定されたチャンネル（最大 8 チャンネル）のアナログ入力を、以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU、MMTまたは外部トリガ入力によってADCRのADSTビットが1にセットされると、グループのアナログ入力チャンネル番号の小さい順（例えば、AN0、AN1…7）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットは、変換が終了すると自動的にクリアされて、A/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると、変換を中止して、A/D変換器は待機状態になります。

13.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、モジュールごとにサンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_b)経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 13.2 に示します。また、A/D 変換時間を表 13.3 に示します。

A/D 変換時間(t_{conv})は、図 13.2 に示すように、 t_b と入力サンプリング時間(t_{spr})を含めた時間となります。ここで t_b は、ADCR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 13.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 13.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 13.4 に示す値となります。

13. A/D 変換器

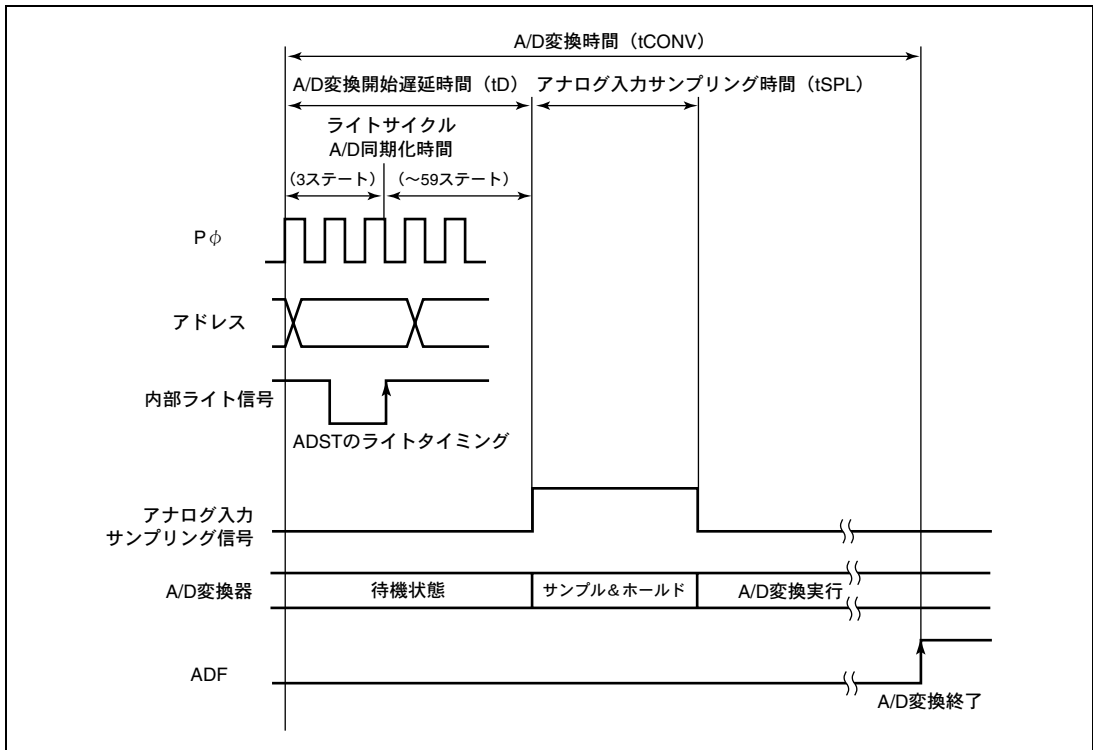


図 13.2 A/D 変換タイミング

表 13.3 A/D 変換時間（シングルモード）

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	31	—	62	15	—	30	7	—	14	3	—	6
入力サンプリング時間	t_{SPL}	—	256	—	—	128	—	—	64	—	—	32	—
A/D 変換時間	t_{CONV}	1024	—	1055	515	—	530	259	—	266	131	—	134

【注】表中の数値の単位は Pφ に対するステートです。

表 13.4 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	1024（固定）
	1	512（固定）
1	0	256（固定）
	1	128（固定）

13.4.5 MTU、MMT による A/D 変換器の起動

MTU、MMT のインターバルタイマの A/D 変換要求によって、A/D 変換器を独立に起動することができます。

MTU、MMT から A/D 変換器を起動するときには、AD トリガセレクトレジスタ (ADTSR) の設定を行います。この状態で MTU、MMT のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

13.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADTSR の TRGS1、TRGS0 ビットが 00 または 01 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 13.3 に示します。

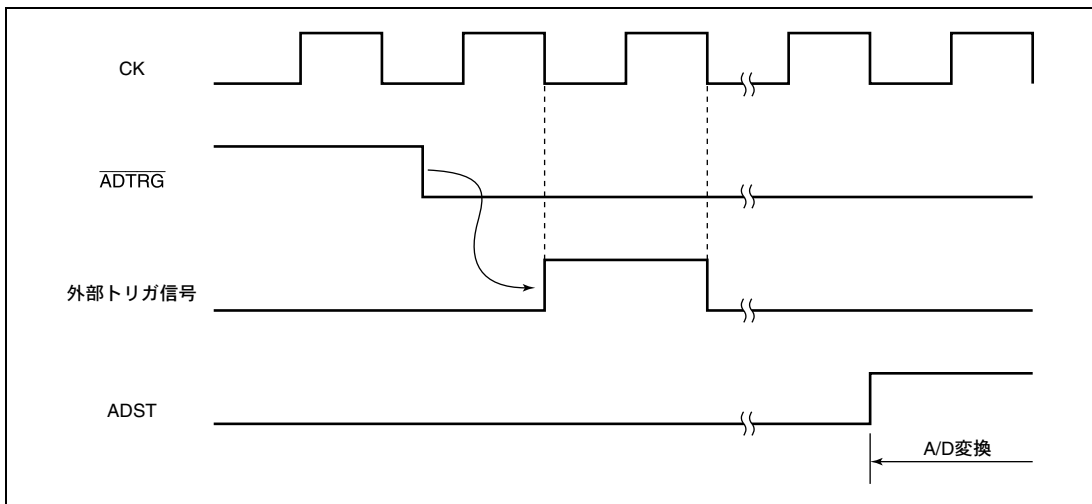


図 13.3 外部トリガ入力タイミング

13.5 割り込み要因と DTC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされると、イネーブルになります。ADI 割り込みでデータ転送コントローラ (DTC) の起動ができます。DTC で、ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器は、A/D 変換終了割り込み要求を発生することができます。A/D コントロールステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。また、ADI 発生時に DTC を起動することができます。このとき、CPU への割り込みは発生しません。

13. A/D 変換器

ADI で DTC を起動する場合、DTC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。

表 13.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了	ADF	可

13.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図13.4）。
- オフセット誤差
デジタル出力が最小電圧値B'0000000000（H'00）からB'0000000001（H'01）に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図13.5）
- フルスケール誤差
デジタル出力がB'1111111110（H'3FE）からB'1111111111（H'3FF）に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図13.5）
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない(図13.5)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

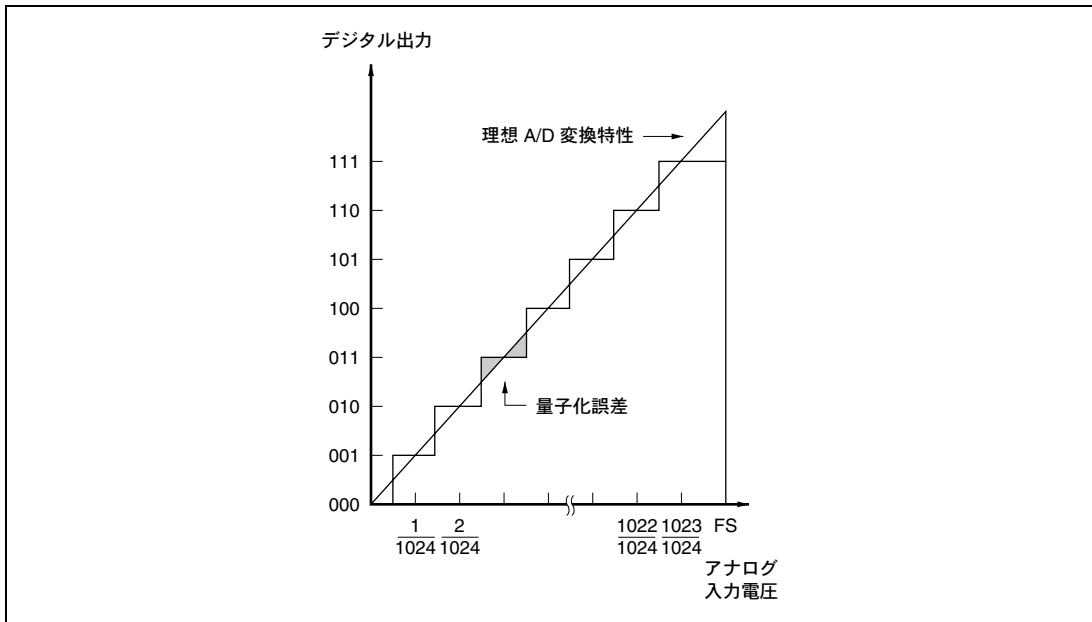


図 13.4 A/D 変換精度の定義 (1)

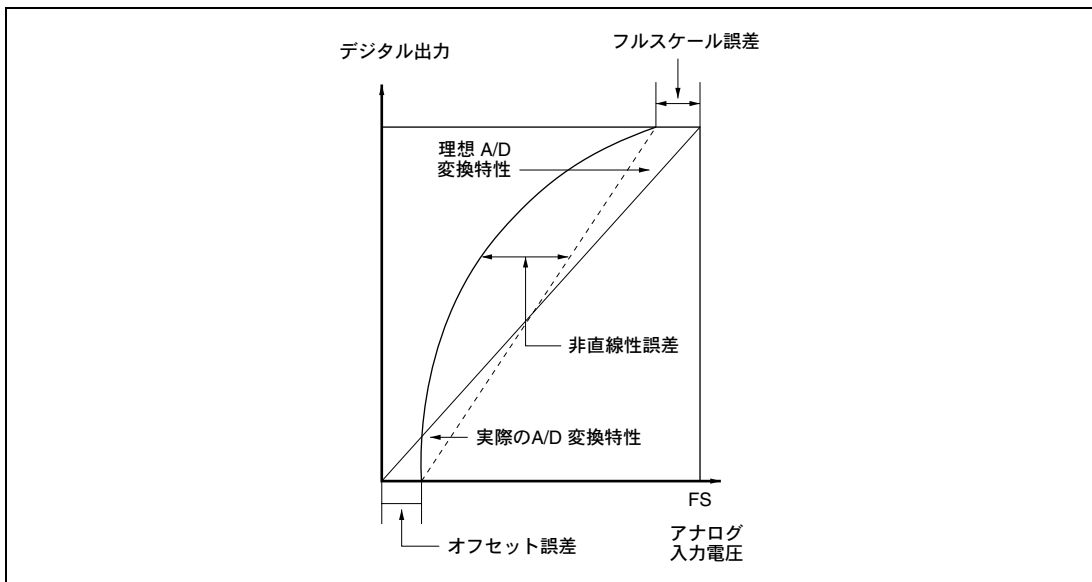


図 13.5 A/D 変換精度の定義 (2)

13.7 使用上の注意事項

13.7.1 モジュールスタンバイモードの設定

A/D 変換器は、モジュールスタンバイコントロールレジスタにより、本モジュールの禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

13.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $1\text{k}\Omega$ または $3\text{k}\Omega$ 以下（詳細は表 13.6）の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出カインピーダンスが $1\text{k}\Omega$ または $3\text{k}\Omega$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります(図 13.6)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

13.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

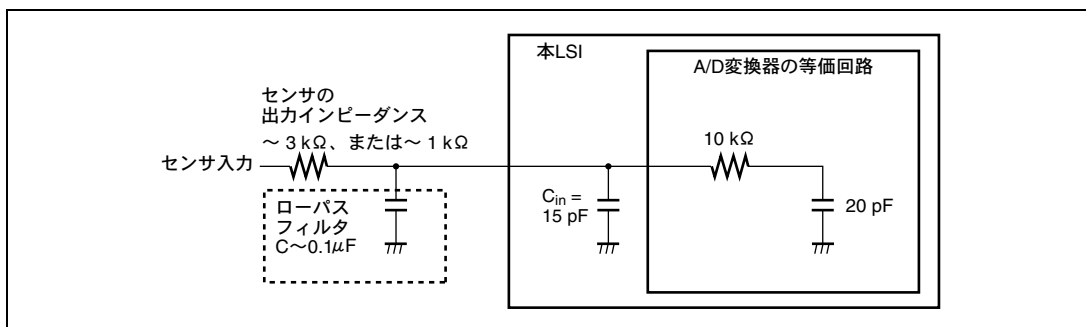


図 13.6 アナログ入力回路の例

13.7.4 アナログ電源端子などの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS} \leq V_{AN} \leq AV_{CC}$ の範囲としてください。

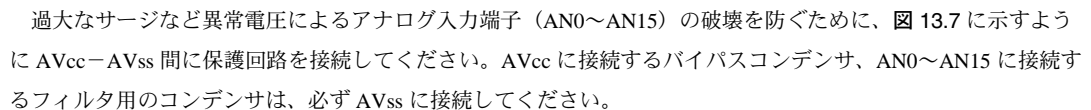
- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

13.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN15）、アナログ電源電圧（ AV_{CC} ）は、アナロググランド（ AV_{SS} ）で、デジタル回路と分離してください。さらに、アナロググランド（ AV_{SS} ）は、ボード上の安定したグランド（ V_{SS} ）に一点接続してください。

13.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN15）の破壊を防ぐために、 13.7 に示すように AV_{CC} - AV_{SS} 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、AN0～AN15 に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が、入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

13. A/D 変換器

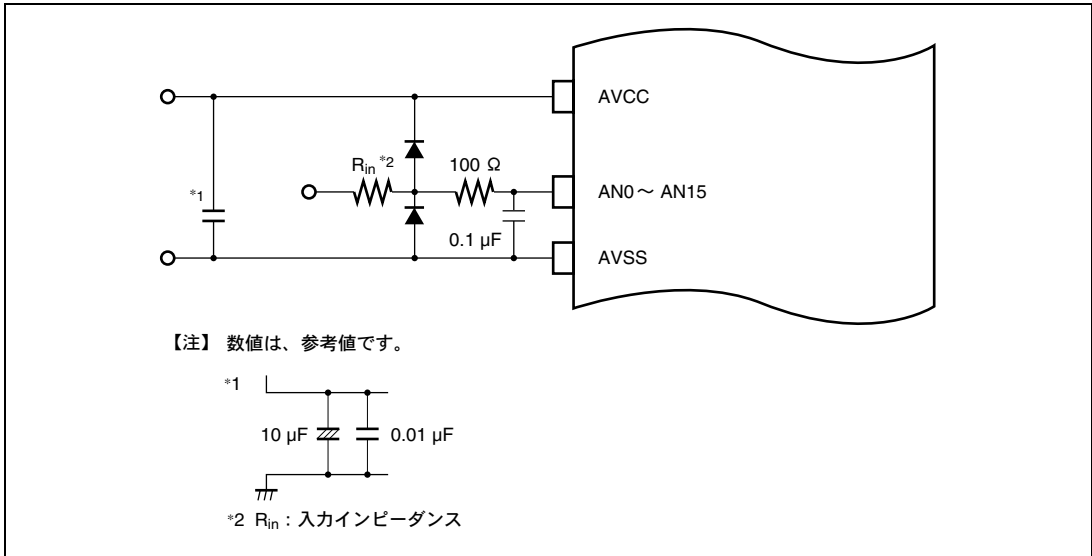


図 13.7 アナログ入力保護回路の例

表 13.6 アナログ端子の規格

項目	min	max	単位	測定条件
アナログ入力容量	—	20	pF	
許容信号源インピーダンス	—	3	kΩ	≤20MHz
	—	1	kΩ	20~25MHz

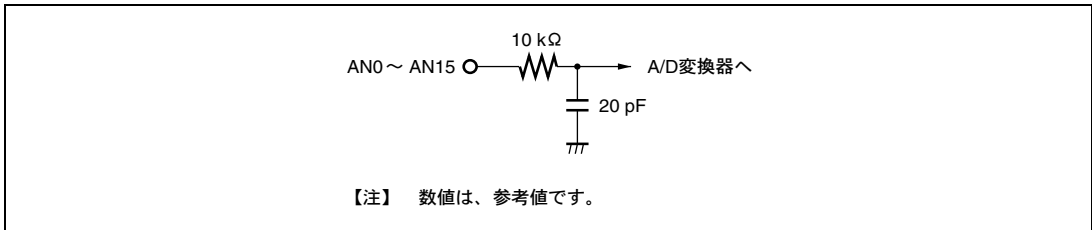


図 13.8 アナログ入力端子等価回路

14. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

14.1 特長

- 4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) の中から各チャンネル独立に選択できます。

- 割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

- モジュールスタンバイモードの設定可能

CMT のブロック図を図 14.1 に示します。

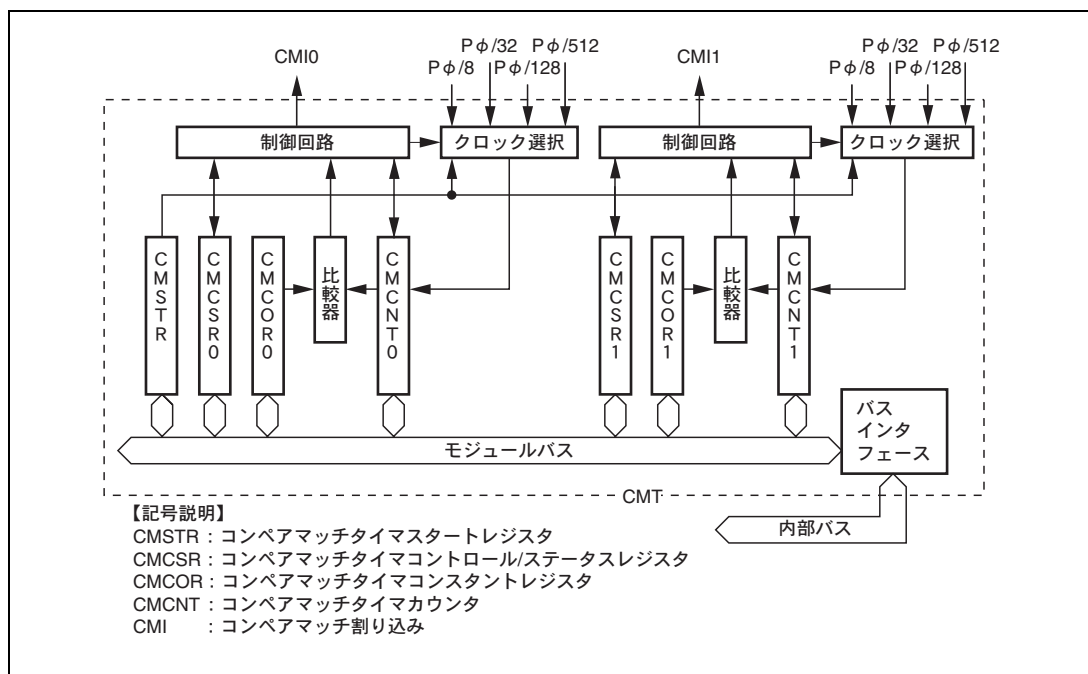


図 14.1 CMT のブロック図

14. コンペアマッチタイマ (CMT)

14.2 レジスタの説明

CMTには以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- コンペアマッチタイマスタートレジスタ (CMSTR)
- コンペアマッチタイマコントロール/ステータスレジスタ_0 (CMCSR_0)
- コンペアマッチタイマカウンタ_0 (CMCNT_0)
- コンペアマッチタイマコンスタントレジスタ_0 (CMCOR_0)
- コンペアマッチタイマコントロール/ステータスレジスタ_1 (CMCSR_1)
- コンペアマッチタイマカウンタ_1 (CMCNT_1)
- コンペアマッチタイマコンスタントレジスタ_1 (CMCOR_1)

14.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTRはチャンネル0、1のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTRレジスタは16ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	STR1	0	R/W	カウントスタート1 コンペアマッチタイマカウンタ_1を動作させるか、停止させるかを選択します。 0: CMCNT_1のカウンタ動作は停止 1: CMCNT_1はカウンタ動作
0	STR0	0	R/W	カウントスタート0 コンペアマッチタイマカウンタ_0を動作させるか、停止させるかを選択します。 0: CMCNT_0のカウンタ動作は停止 1: CMCNT_0はカウンタ動作

14.2.2 コンペアマッチタイマコントロール/ステータスレジスタ_0、1 (CMCSR_0、1)

CMCSR はコンペアマッチ発生の表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは16ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタ ントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。 0: CMCNT と CMCOR の値が一致していない 1: CMCNT と CMCOR の値が一致した [クリア条件] (1) CMF の1を読み出してから0を書き込む (2) CMI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビット が0のときにデータを転送したとき
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	CKS1 CKS0	0 0	R/W R/W	周辺クロック (Pφ) を分周して得られる4種類の内部クロックから、CMCNT に入力するクロックを選択します。CMSTR の STR ビットを1にセットすると、 CKS1、CKS0 で選択されたクロックにより、CMCNT がカウントアップを開始 します。 00: Pφ/8 01: Pφ/32 10: Pφ/128 11: Pφ/512

【注】* フラグをクリアするための0ライトのみ可能です。

14.2.3 コンペアマッチタイマカウンタ_0、1 (CMCNT_0、1)

CMCNT は割り込み要求を発生させるためのアップカウンタとして使用します。
CMCNT レジスタは16ビットのレジスタです。初期値はH'0000です。

14.2.4 コンペアマッチタイマコンスタントレジスタ_0、1 (CMCOR_0、1)

CMCOR は CMCNT とのコンペアマッチ周期を設定します。

14. コンペアマッチタイマ (CMT)

CMCOR レジスタは 16 ビットのレジスタです。初期値は H'FFFF です。

14.3 動作説明

14.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して、CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 14.2 に示します。

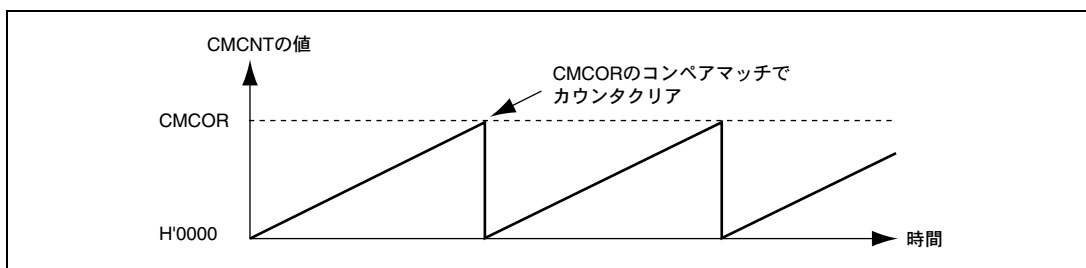


図 14.2 カウンタの動作

14.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、周辺クロック (Pφ) を分周した 4 種類の内部クロック (Pφ/8、Pφ/32、Pφ/128、Pφ/512) が選択できます。このときのタイミングを図 14.3 に示します。

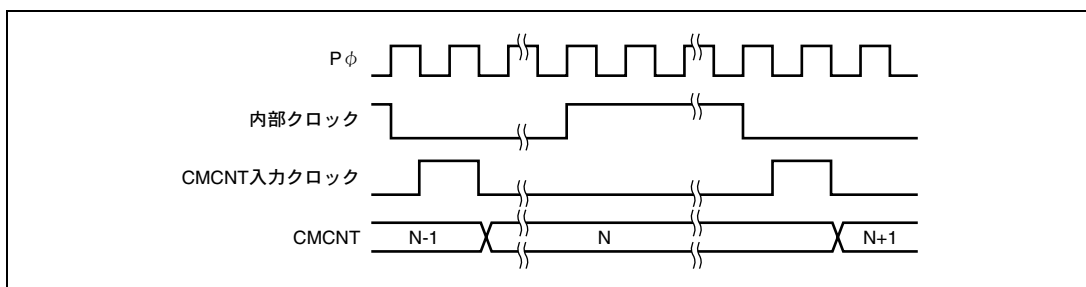


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「第 6 章 割り込みコントローラ (INTC)」を参照してください。

また、割り込み要求をデータトランスファコントローラ (DTC) の起動要因とすることもできます。この場合、チャンネル間の優先順位は固定です。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

14.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により、1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 14.4 に示します。

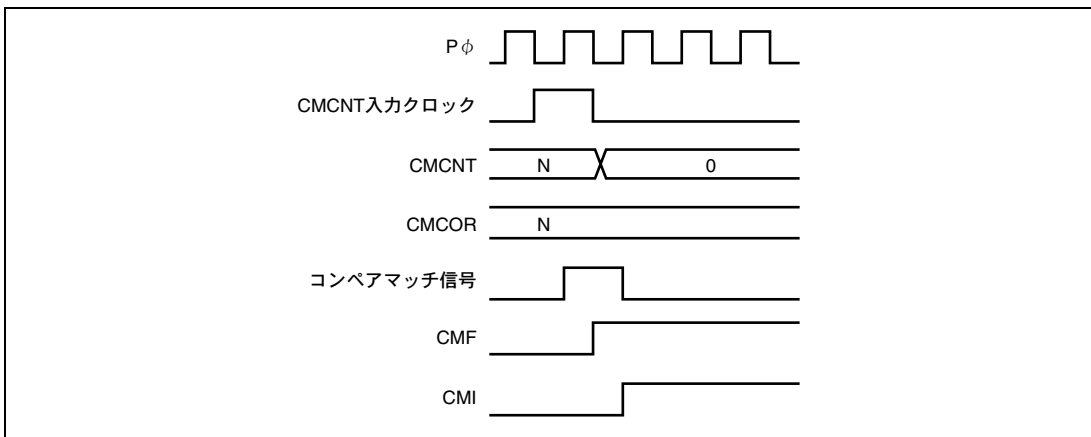


図 14.4 CMF のセットタイミング

14.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出した後に 0 を書き込むか、DTC 転送後のクリア信号によりクリアされます。CPU による CMF ビットのクリアタイミングを図 14.5 に示します。

14. コンペアマッチタイマ (CMT)

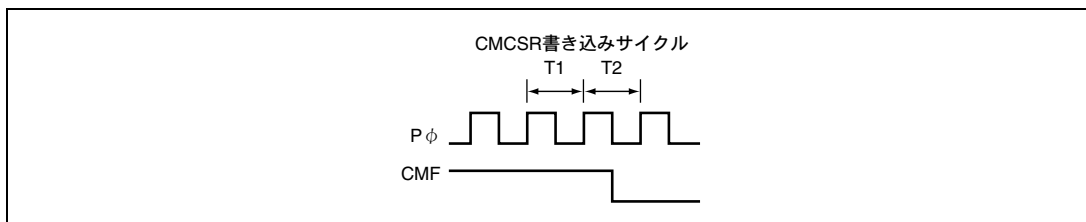


図 14.5 CPU による CMF のクリアタイミング

14.5 使用上の注意

14.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 14.6 に示します。

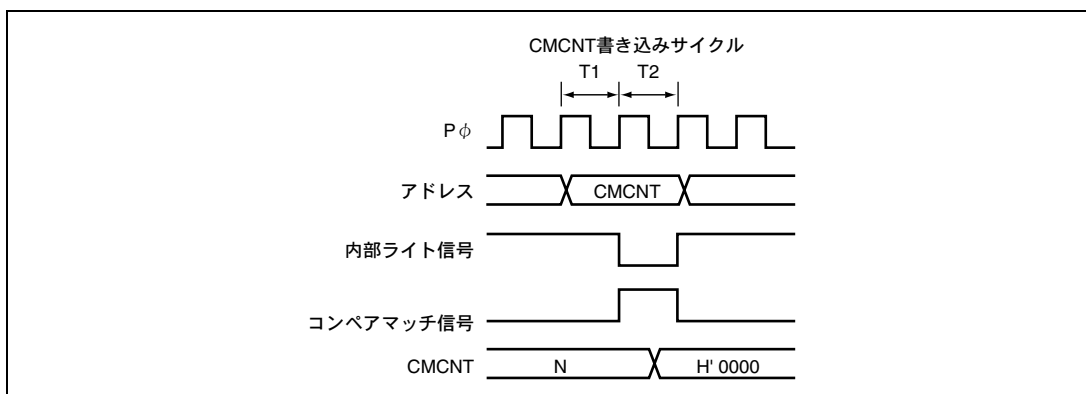


図 14.6 CMCNT の書き込みとコンペアマッチの競合

14.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップせずにカウンタ書き込みが優先されます。このタイミングを図 14.7 に示します。

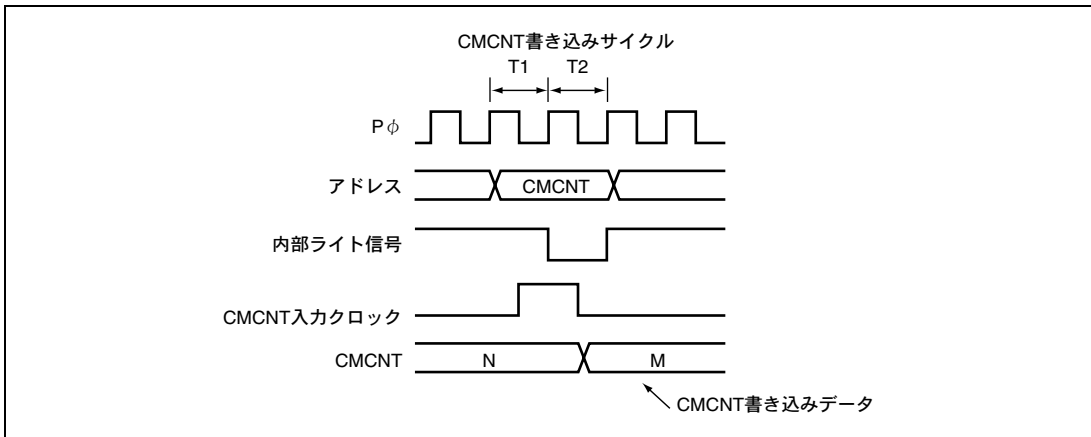


図 14.7 CMCNT のワード書き込みとカウントアップの競合

14.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 14.8 に示します。

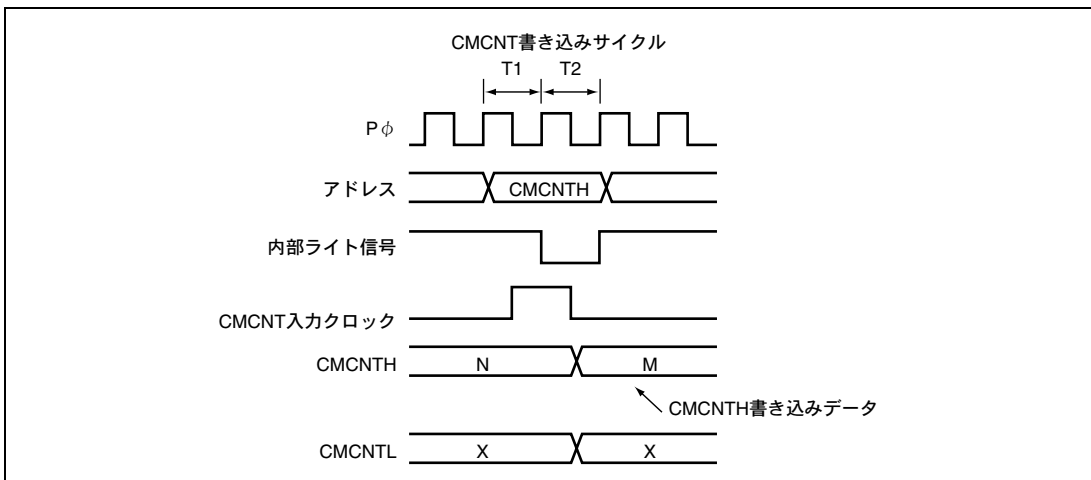


図 14.8 CMCNT のバイト書き込みとカウントアップの競合

14. コンペアマッチタイム (CMT)

15. コントローラエリアネットワーク 2 (HCAN2)

コントローラエリアネットワーク 2 (HCAN2) は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。HCAN2 は、CAN の持つイベントドリブン通信を可能としています。CAN の仕様については「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」を参照してください。HCAN2 のブロック図を図 15.1 に示します。

15.1 特長

- CANバージョン：Bosch 2.0B active対応 (ISO-11898仕様準拠)
通信方式：NRZ (Non-Return to Zero) 方式 (ビットスタッフ機能あり)
ブロードキャスト通信方式
伝送路：双方向2線式シリアル通信
通信速度：最高1Mbps (40MHz動作時)
データ長：0~8バイト
- チャンネル数：1チャンネル
- データバッファ：32本 (受信専用×1バッファ、送信/受信設定可能×31バッファ)
- データ送信方式：2種類から選択可能
メールボックスの番号順 (降順)
メッセージ優先順位 (Identifier) の高い順
- データ受信方式：2種類
メッセージIdentifierの一致 (送信/受信設定バッファ)
メッセージIdentifierマスクして受信 (受信専用)
- 割り込み要因：14要因、4つの独立した割り込みベクタに割り付け
各種エラー割り込み
リセット処理割り込み
メッセージ受信割り込み
メッセージ送信割り込み
- HCAN2動作モード
ハードウェアリセット
ソフトウェアリセット
通常状態 (エラーアクティブ、エラーパッシブ)
バスオフ状態

15. コントローラエリアネットワーク 2 (HCAN2)

HCAN2コンフィギュレーションモード

HCAN2スリープモード

HCAN2ホールドモード

- その他

メッセージ受信メールボックス (HCAN2のメールボックス0のみ) によりDTC起動可能

- モジュールスタンバイモードの設定可能

- 章末の「15.8 使用上の注意事項」を必ずお読みください。

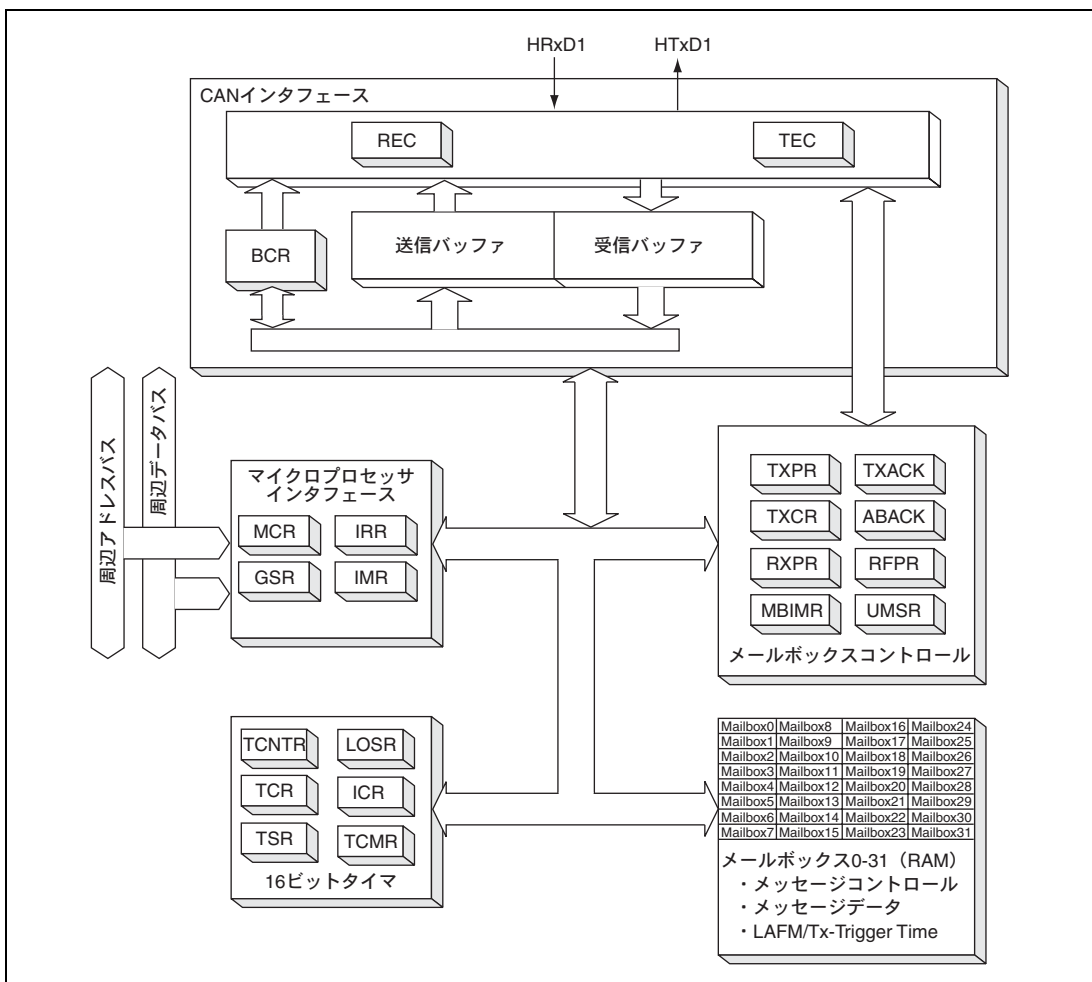


図 15.1 HCAN2 のブロック図

- **マイクロプロセッサインターフェース (MPI : MicroProcessor Interface)**

MPIは、タイマユニットのコントロール、メモリアンタフェースのコントロールを行うために、CPUとHCAN2のレジスタ/メールボックスの通信を可能にします。MPIはさらに、自動的にHCAN2スリープモードを抜け出すためにCANバスの動作を検知し、MPIおよび他のHCAN2機能に知らせるウェークアップコントロールロジックを内蔵しています。

- **メールボックス (MB : MailBox)**

メールボックスはメッセージバッファとしてRAM内に配列されています。

RAM内には32のメールボックスがあり、下記の情報を格納します。

- CANメッセージコントロール
- CANメッセージデータ (CANデータフレーム用)
- タイムスタンプ (受信メッセージと送信メッセージ)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM) 、または送信用のトリガ時間設定
- 3-bit幅のメールボックスコンフィギュレーション、自動再送信ビットの抑制、リモートリクエストビット、ニューメッセージコントロールビット、タイムトリガイネーブルビット、タイムカウント値の送信など

15. コントローラエリアネットワーク 2 (HCAN2)

• メールボックスコントロール

メールボックスコントロールは下記の機能を制御します。

メッセージ受信：

IDをコンペアし、適切なRAMアドレス/データを生成します。そこにCANインタフェース中のメールボックスからのメッセージを保管し、対応するレジスタをセット/クリアします。

メッセージ送信：

イベントトリガおよびタイムトリガにかかわらず、正しい優先順位のメッセージを選択するためにインターナルアービトレーションを実行します。そしてメッセージをメールボックスよりCANインタフェースの送信バッファにロードし、その都度対応するレジスタをセット/クリアします。

ホストCPUとメールボックス間のアクセスをアービトレートします。

TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、UMSRのレジスタを内蔵しています。

• タイマ

タイマは、HCAN2特有のタイムフレームと結果を記録するメッセージを送信、および受信するためのサポート機能として使用します。タイマは、ホストCPUで制御可能な16ビットのフリーランニングアップカウンタです。2個のコンペアマッチレジスタは割り込み信号を生成し、カウンタ値のクリアとローカルオフセットレジスタのセットを行います。また送信待ちメッセージの取り消しを行います。そして2個のインプットキャプチャレジスタは、CANメッセージ上のタイムスタンプを記録し、CANシステム内でグローバルにタイマの値を同期させます。そして、それぞれのメールボックス上のCAN-IDの比較一致機能により、送信を取り消すことができます。タイマのクロック周期は、ソースクロックを分周した広い選択が可能です。

TCNTR、TCR、TSR、LOSR、ICR0、ICR1、TCMR0、TCMR1のレジスタで構成されています。

• CANインタフェース

CANインタフェースは、CANバスデータリンクコントローラに必要な条件に合致したブロックです。OSI7レイヤ参照モデルに分類されたDLC規格の全ての機能を満たしています。

この機能は、CANバスで与えられた規格を満たすために、RECやTECを含むビットコンフィグレーションレジスタ (BCR) および様々な制御モードをレジスタとロジックにより構成しています。このブロックは、またCANデータリンクコントローラとして、データ受信とデータ送信の機能分類の制御を行います。

15.2 入出力端子

HCAN2 の端子構成を表 15.1 に示します。これらの外部端子の機能を使用する際は、HCAN2 の設定に合わせてピンファンクションコントローラ(PFC)も設定してください。

なお、HCAN2 端子を使用する際は、必ず HCAN2 コンフィギュレーションモード期間中に設定してください。

表 15.1 端子一覧表

名 称	略 称	入出力	機 能
HCAN2 トランスミットデータ端子	HTxD1	出力	CAN バス送信用端子
HCAN2 レシーブデータ端子	HRxD1	入力	CAN バス受信用端子

端子と CAN バスの間にはバスドライバが必要になります。ルネサス HA13721 を推奨します。

15.3 レジスタの説明

HCAN2 には以下のレジスタがあります。これらのレジスタのアドレスおよび処理状態によるレジスタの初期化については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- マスタコントロールレジスタ (MCR)
- ジェネラルステータスレジスタ (GSR)
- ビットタイミングコンフィギュレーションレジスタ1 (HCAN2_BCR1*)
- ビットタイミングコンフィギュレーションレジスタ0 (HCAN2_BCR0*)
- インタラプトリクエストレジスタ (IRR)
- インタラプトマスクレジスタ (IMR)
- エラーカウントレジスタ (TEC/REC)
- 送信待ちレジスタ (TXPR1/0)
- 送信待ち取り消しレジスタ (TXCR1/0)
- 送信アクノレッジレジスタ (TXACK1/0)
- 取り消しアクノレッジレジスタ (ABACK1/0)
- 受信完了レジスタ (RXPR1/0)
- リモートリクエストレジスタ (RFPR1/0)
- メールボックスインタラプトマスクレジスタ (MBIMR1/0)
- 未読メッセージステータスレジスタ (UMSR1/0)
- メールボックス (16ビット×10本×32セット) (MB0~MB31)
- タイマカウンタレジスタ (TCNTR)
- タイマコントロールレジスタ (TCR)
- タイマステータスレジスタ (TSR)
- ローカルオフセットレジスタ (LOSR)
- インプットキャプチャレジスタ0 (ICR0)
- インプットキャプチャレジスタ1 (HCAN2_ICR1*)
- タイマコンペアマッチレジスタ0 (TCMR0)
- タイマコンペアマッチレジスタ1 (TCMR1)

【注】* 以下、本章の本文中ではモジュール名を除き、それぞれ BCR1、BCR0、ICR1 と略します。

15. コントローラエリアネットワーク 2 (HCAN2)

ビット15		ビット0	
H'000	マスタコントロールレジスタ (MCR)		
H'002	ジェネラルステータスレジスタ (GSR)		
H'004	ビットタイミングコンフィギュレーションレジスタ1 (BCR1)		
H'006	ビットタイミングコンフィギュレーションレジスタ0 (BCR0)		
H'008	インタラプトレジスタ (IRR)		
H'00A	インタラプトマスクレジスタ (IMR)		
H'00C	送信エラーカウンタ (TEC)	受信エラーカウンタ (REC)	
H'020	送信待ちリクエストレジスタ (TXPR1)		
H'022	送信待ちリクエストレジスタ (TXPR0)		
H'028	送信取り消しレジスタ (TXCR1)		
H'02A	送信取り消しレジスタ (TXCR0)		
H'030	送信アクノリッジレジスタ (TXACK1)		
H'032	送信アクノリッジレジスタ (TXACK0)		
H'038	取り消しアクノリッジレジスタ (ABACK1)		
H'03A	取り消しアクノリッジレジスタ (ABACK0)		
H'040	受信待ちレジスタ (RXPR1)		
H'042	受信待ちレジスタ (RXPR0)		
H'048	リモートリクエストレジスタ (RFPR1)		
H'04A	リモートリクエストレジスタ (RFPR0)		
H'050	メールボックスインタラプトマスクレジスタ (MBIMR1)		
H'052	メールボックスインタラプトマスクレジスタ (MBIMR0)		
H'058	未読メッセージステータスレジスタ (UMSR1)		
H'05A	未読メッセージステータスレジスタ (UMSR0)		
H'080	タイマカウンタレジスタ (TCNTR)		
H'082	タイマコントロールレジスタ (TCR)		
H'084	タイマステータスレジスタ (TSR)		
H'088	ローカルオフセットレジスタ (LOSR)		
H'08C	インプットキャプチャレジスタ0 (ICR0)		
H'08E	インプットキャプチャレジスタ1 (ICR1)		
H'090	タイマコンペアマッチレジスタ0 (TCMR0)		
H'092	タイマコンペアマッチレジスタ1 (TCMR1)		
H'094			
H'100	メールボックス-0 コントロール (BaseID, ExtID, RTR, IDE, DLC, ATX, DART, MBC)		
H'106	メールボックス0 タイムスタンプ		
H'108	0	1	
H'10A	2	3	メールボックス-0 データ (8 bytes)
H'10C	4	5	
H'10E	6	7	
H'110	メールボックス0LAFM/メールボックス0TTT		
H'120	メールボックス1コントロール/タイムスタンプ/データ/LAFM		
H'140	メールボックス2コントロール/タイムスタンプ/データ/LAFM		
H'160	メールボックス3コントロール/タイムスタンプ/データ/LAFM		
H'2E0	メールボックス15コントロール/タイムスタンプ/データ/LAFM		
H'2F3	メールボックス16コントロール/タイムスタンプ/データ/LAFM		
H'300			
H'4A0	メールボックス29コントロール/タイムスタンプ/データ/LAFM		
H'4C0	メールボックス30コントロール/タイムスタンプ/データ/LAFM		
H'4E0	メールボックス31コントロール/タイムスタンプ/データ/LAFM		
H'4F3			

図 15.2 レジスタ構造図

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.1 マスタコントロールレジスタ (MCR)

MCR は 16 ビットのレジスタで、HCAN2 の動作を制御します。

ビット	ビット名	初期値	R/W	説明
15	TST7	0	R/W	<p>テストモード</p> <p>TST[6 : 0]で設定できるテストモードを許可/禁止します。このビットが1のとき、下記の TST[6 : 0]が有効になります。</p> <p>0 : HCAN2 はノーマルモード</p> <p>1 : HCAN2 はテストモード</p>
14	TST6	0	R/W	<p>ライト CAN エラーカウンタ</p> <p>TEC (Transmit Error Counter) と REC (Receive Error Counter) をライト可能に設定できます。TEC と REC には同時に同じ値が書き込まれます。TEC/REC にライトできる最大値は D'255 (H'FF) です。そのため、HCAN2 がバスオフ状態に強制移行させられることはありません。TEC/REC へのライトを始める前に HCAN2 を Halt モードにする必要があります。また、TEC/REC へライトを行うためには、TST7 (MCR15) が1にセットされている必要があります。TEC/REC には同じ値を設定する必要があり、TEC にライトされた値を使って REC へのライトが実行されます。</p> <p>0 : TEC/REC はライト不可、リードのみ可能</p> <p>1 : TEC/REC には同じ値を同時にライト可能</p>
13	TST5	0	R/W	<p>Error Passive 強制移行</p> <p>HCAN2 を Error Passive に強制移行できます。このビットが1のとき、エラーカウンタに関係なく、HCAN2 は Error Passive ノードとして動作します。</p> <p>0 : HCAN2 ステートはエラーカウンタに依存する</p> <p>1 : HCAN2 はエラーカウンタに関係なく Error Passive ノードとして動作する</p>
12	TST4	0	R/W	<p>オートアクノリッジモード</p> <p>HCAN2 がセルフテストを実施できるように HCAN2 独自のビットを作成するのを許可します。送信したメッセージをリードバックするセルフテストモードは、2つの方法で設定できます。1つは、TST0=1、TST1=1、および TST2=1 を設定し、Tx 値を内部で Rx に渡します。もう1つは、TST0=0、TST1=0、および TST2=0 を設定し、Tx と Rx を CAN バスに接続し、CAN バス経由で送信したデータを受信できるようにします。</p> <p>0 : HCAN2 が独自のアクノリッジビットを作成しない</p> <p>1 : HCAN2 が独自のアクノリッジビットを作成する</p>
11	TST3	0	R/W	<p>エラーカウンタディセーブル</p> <p>エラーカウンタ (TEC/REC) 機能を有効/無効にします。このビットが1のとき、エラーカウンタ (TEC/REC) は変更されず、現在の値を保持します。このビットが0のとき、エラーカウンタ (TEC/REC) は CAN 仕様に従って動作します。</p> <p>0 : エラーカウンタ (TEC/REC) は CAN 仕様どおりに動作する</p> <p>1 : エラーカウンタ (TEC/REC) は変更されず、現在の値を保持する</p>

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
10	TST2	0	R/W	<p>Rx インプットディスエーブル</p> <p>CAN インタフェースブロックに入力する Rx を制御します。このビットが 1 のとき、CAN インタフェースブロックに Rx 端子の値が入力されます。このビットが 0 のとき、CAN ブロック用の Rx 値は常にリセッソブのままであるか、TST0 ビットが 1 ならば、Tx 値と内部的に接続されます。</p> <p>0 : CAN インタフェースブロックに外部 Rx 端子の入力</p> <p>1 : [TST0=0] CAN インタフェースブロックの Rx は常にリセッソブ [TST0=1] CAN インタフェースブロックに Tx は内部から入力される</p>
9	TST1	0	R/W	<p>Tx アウトプットディスエーブル</p> <p>送信データやリセッソブビットを出力するために Tx 出力端子を制御します。このビットが 1 のとき、内部送信出力値は Tx 端子に出力されます。このビットが 0 のとき、Tx 出力端子は常にリセッソブになります。</p> <p>0 : CAN インタフェースブロックに外部 Tx 端子の入力</p> <p>1 : [TST0=0] Tx は Tx 端子上で常にリセッソブ [TST0=1] Tx は内部ループにより内部 Rx にフィードバックされる</p>
8	TST0	0	R/W	<p>内部ループイネーブル</p> <p>内部 Tx を内部 Rx にループでフィードバックすることを許可／禁止します。</p> <p>0 : Rx は Rx 端子から供給される</p> <p>1 : Rx は内部 Tx 信号によりフィードバックされる</p>
7	MCR7	0	R/W	<p>HCAN2 スリープモード解除</p> <p>このビットを 1 にセットすると、HCAN2 は CAN バス動作を検出することにより HCAN2 スリープモードを自動的に解除します。</p>
6	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
5	MCR5	0	R/W	<p>HCAN2 スリープモード</p> <p>スリープモードへの遷移を有効/無効にします。本ビットがセットされるとスリープモードが有効になります。HCAN2 はスリープモードになる前に現在のバスアクセスの終了を待ちます。スリープモードが終了するまで HCAN2 は CAN バスの動作を無視します。2つのエラーカウンタ (REC、TEC) はスリープモード中とその後は同じです。スリープモードを解除するには2つの方法があります。</p> <ul style="list-style-type: none"> • このビットに0をライトする。 • MCR7 が有効の場合、CAN バス上のドミナントビットを検出 <p>スリープモードを解除するとき HCAN2 は再起動前に11のリセツピットをチェックすることでCANバスと同期を取ります。これは2番目の方法が使用されているときにHCAN2が最初のメッセージを受信できないことを意味しますが、CAN トランシーバも同じ特長を持ち、ソフトウェアはこの方法で設計される必要があります。</p> <p>【注】このモードはモジュールをホルトモードにしたリクロックを停止するのと同じです。これは、スリープモードに遷移するときに割り込みは IRR0 から生成されることを意味します。スリープモード中は MPI ブロック、すなわち、MCR/GSR/IRR/IMR だけがアクセス可能です。しかし、IRR1 はスリープモード中にクリアすることはできません。なぜならば、IRR1 は RXPR というスリープモード中にクリアすることができない信号と OR をとっているからです。したがって、最初にホルトモードを設定し、IRR を設定する要因レジスタをクリアしてからホルトモードを解除してスリープモードに遷移することを推奨します。</p> <p>0 : HCAN2 スリープモードが解除されている 1 : HCAN2 スリープモードへの遷移が有効である</p> <p>【重要】HCAN2 スリープ中にメールボックスをアクセスしないでください。HCAN2 スリープ中にメールボックスをアクセスすると、CPU が停止する場合があります。</p> <p>HCAN2 スリープ中のメールボックス以外のレジスタアクセスでは CPU は停止しません。</p> <p>また、HCAN2 スリープ以外でメールボックスをアクセスしても、CPU は停止しません。</p>
4、3	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
2	MCR2	0	R/W	<p>メッセージ送信方式</p> <p>0 : メッセージ Identifier の優先順位に従って送信の順番を決定します。 1 : メールボックス番号の優先順位に従って送信の順番を決定します。優先順位は TXPR31 > … > TXPR1 です。</p>

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
1	MCR1	0	R/W	<p>HCAN2 ホールトモード</p> <p>このビットを 1 にセットすると、HCAN2 は現在の動作を終了し CAN バスを切り離します。HCAN2 は、本ビットがクリアされるまでホールトモードのままになります。ホールトモード中、CAN インタフェースは CAN バス動作に関係せず、メッセージの格納や送信も行いません。すべてのレジスタとメールボックスの内容は保持されます。</p> <p>HCAN2 が送信や受信を行っている場合、その動作を終了しホールトモードになります。CAN バスがアイドルまたはインタミッション状態の場合、HCAN2 はただちにホールトモードになります。ホールトモードになると IRR0 と GSR4 によって通知されます。バスオフ中にホールトがリクエストされると HCAN2 は 128×11 のリセッピット後でもバスオフのまま保持します。この状態を解除するにはホールト状態がソフトウェアによって解除される必要があります。</p> <p>ホールトモード中、HCAN2 はバス動作に関係しないため、HCAN2 構成を変更することができます。CAN バス動作に再び参加するには、このビットが 0 にクリアされる必要があります。クリア後、CAN インタフェースは 11 のリセッピットが検出されるまで待ち、CAN バスに参加します。</p> <p>0 : 通常動作モード 1 : ホールトモード遷移リクエスト</p>
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>このビットが 1 にセットされると HCAN2 はリセットモードに遷移します。詳細は「15.4.1 ハードウェアリセットとソフトウェアリセット」を参照してください。</p> <p>[セット条件]</p> <p>(1) パワーオンリセット (2) マニュアルリセット (3) ハードウェアスタンバイ (4) ソフトウェアスタンバイ (5) 1 ライト (ソフトウェアリセット)</p> <p>[クリア条件]</p> <p>GSR の GSR3 が 1 の状態でこのビットに 0 をライトしたとき</p> <p>【重要】 MCR0 に 0 をライトする前に GSR3 が 1 であることを確認してください。</p>

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.2 ジェネラルステータスレジスタ (GSR)

GSR は 16 ビットレジスタで、HCAN2 のステータスを表示します。

ビット	ビット名	初期値	R/W	説明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	GSR5	0	R	エラーパッシブステータスビット HCAN2 がエラーパッシブかどうかを表します。 0 : エラーパッシブではない 1 : エラーパッシブ [セット条件] $TEC \geq 128$ 、または $REC \geq 128$ [クリア条件] HCAN2 はエラーアクティブ状態
4	GSR4	0	R	ホールド/スリープ ステータスビット HCAN2 インタフェースがホールドまたはスリープ状態かどうかを表します。 0 : ホールドまたはスリープ状態ではない 1 : ホールド (MCR1=1) またはスリープ (MCR5=1) 状態 [セット条件] MCR1 または MCR5 がセットされ、CAN バスが休止中もしくはアイドル状態
3	GSR3	1	R	リセットステータスビット HCAN2 モジュールが通常動作状態からリセット状態かを表示します。 [セット条件] HCAN2 内部のリセットが終了し、コンフィギュレーションモードに遷移したとき [クリア条件] MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します。)
2	GSR2	1	R	メッセージ送信ステータスフラグ メッセージ送信期間中であることを示すフラグです。 [セット条件] メッセージ送信要求なし [クリア条件] 送信中
1	GSR1	0	R	送信/受信ワーニングフラグ [クリア条件] (1) $TEC < 96$ かつ $REC < 96$ のとき (2) $TEC \geq 256$ のとき [セット条件] $96 \leq TEC < 256$ または $96 \leq REC < 256$ のとき 【重要】 HCAN2 のステータスがバスオフ中は、GSR1 の値は不定となります。
0	GSR0	0	R	バスオフフラグ ライトは無効です。 [セット条件] $TEC \geq 256$ のとき (バスオフ状態) [クリア条件] バスオフから復帰したとき

15.3.3 ビットタイミングコンフィギュレーションレジスタ 1 (HCAN2_BCR1)

BCR は 32 ビットレジスタで、HCAN2 のビットタイミングやボーレートを設定します。HCAN2_BCR1 と HCAN2_BCR0 のそれぞれ 16 ビットのレジスタで構成されます(本レジスタは本章の本文中で BCR1 と省略します)。

ビット	ビット名	初期値	R/W	説 明
15	TSEG1_3	0	R/W	タイムセグメント 1 (TSEG1)
14	TSEG1_2	0	R/W	TSEG1 (PRSEG+PHSEG1) の幅を 4~16 time quanta の範囲で設定します。
13	TSEG1_1	0	R/W	0000 : 設定禁止
12	TSEG1_0	0	R/W	0001 : 設定禁止 0010 : 設定禁止 0011 : 4 time quanta 0100 : 5 time quanta 0101 : 6 time quanta 0110 : 7 time quanta 0111 : 8 time quanta 1000 : 9 time quanta 1001 : 10 time quanta 1010 : 11 time quanta 1011 : 12 time quanta 1100 : 13 time quanta 1101 : 14 time quanta 1110 : 15 time quanta 1111 : 16 time quanta
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	TSEG2_2	0	R/W	タイムセグメント 2 (TSEG2)
9	TSEG2_1	0	R/W	TSEG2 (PHSEG2) の幅を 2~8 time quanta の範囲で設定します。
8	TSEG2_0	0	R/W	000 : 設定禁止 001 : 2 time quanta 010 : 3 time quanta 011 : 4 time quanta 100 : 5 time quanta 101 : 6 time quanta 110 : 7 time quanta 111 : 8 time quanta
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
5	SJW1	0	R/W	Re-Synchronization Jump Width(SJW)
4	SJW0	0	R/W	最大ビット同期幅を設定します。 00 : 1 time quanta 01 : 2 time quanta 10 : 3 time quanta 11 : 4 time quanta
3~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BSP	0	R/W	ビットサンプルポイント (BSP) データをサンプルリングするポイントを設定します。 0 : ビットサンプリング 1 箇所 (TSEG1 の終わり) 1 : ビットサンプリング 3 箇所 (TSEG1 の終わりと前後 1 time quantum) 【注】本ビットを 1 に設定する場合は、BCR0.BRP[7:0]で設定されるポーレートプリスケール値を 5 システムクロックより小さく設定してください。

15.3.4 ビットタイミングコンフィギュレーションレジスタ 0 (HCAN2_BCR0)

BCR は 32 ビットレジスタで、HCAN2 のビットタイミングやポーレートを設定します。HCAN2_BCR1 と HCAN2_BCR0 のそれぞれ 16 ビットのレジスタで構成されます(本レジスタは本章の本文中で BCR0 と省略します)。

ビット	ビット名	初期値	R/W	説 明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	BRP7	0	R/W	ポーレートプリスケラ (BRP)
6	BRP6	0	R/W	time quanta の長さを設定します。HCAN2 用システムクロック ($\phi/2$) の (BRP 値+1) 倍の長さになります。
5	BRP5	0	R/W	00000000 : 1 システムクロック
4	BRP4	0	R/W	00000001 : 2 システムクロック
3	BRP3	0	R/W	00000010 : 3 システムクロック
2	BRP2	0	R/W	:
1	BRP1	0	R/W	
0	BRP0	0	R/W	11111110 : 255 システムクロック 11111111 : 256 システムクロック

15.3.5 インタラプトリクエストレジスタ (IRR)

IRR は 16 ビットの割り込みフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込みフラグ 1 コンペアマッチが TCMR1 で発生したことを示します。</p> <p>0 : TCMR1 にてコンペアマッチしていない 1 : TCMR1 にてコンペアマッチ発生</p> <p>[クリア条件] 1 ライト [セット条件] TCMR1=TCNTR のとき 【注】 TCMR1=H'0000 のときはセットされません。</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込みフラグ 0 コンペアマッチが TCMR0 で発生したことを示します。</p> <p>0 : TCMR0 にてコンペアマッチしていない 1 : TCMR0 にてコンペアマッチ発生</p> <p>[クリア条件] 1 ライト [セット条件] TCMR0=TCNTR のとき 【注】 TCMR0=H'0000 のときはセットされません。</p>
13	IRR13	0	R/W	<p>タイマオーバフロー割り込みフラグ タイマがオーバフローしたことを示します。</p> <p>0 : タイマオーバフロー発生していない 1 : タイマオーバフロー発生</p> <p>[クリア条件] 1 ライト [セット条件] タイマオーバフローし、TCNTR が H'FFFF → H'0000 【注】 このビットは、TCMR0 のクリアがイネーブルされ、H'FFFF にセットされたときにもセットされます。</p>
12	IRR12	0	R/W	<p>バス動作割り込みフラグ HCAN2 モジュールが HCAN2 スリープモード中にバス動作のドミナントビットの検出を示すステータスフラグです。</p> <p>0 : バスアイドル状態 (HCAN2 スリープモード中) 1 : CAN バス動作 (HCAN2 スリープモード中)</p> <p>[クリア条件] 1 ライト [セット条件] HCAN2 スリープモード中のバス動作 (ドミナントビット) を検出したとき</p>

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	IRR9	0	R	未読メッセージ割り込みフラグ メールボックスに存在しているメッセージが読まれていない状態で、新しいメッセージが受信されたことを示すステータスフラグです (RXPR または RFPR が1にセットしてあるために起こります)。 この状態で受信されたメッセージは NMC (ニューメッセージコントロール) ビットの状態により無視 (オーバーラン) されるか上書き (オーバーライト) されるという処理が行われます。 【注】このビットをクリアするには、対応する UMSR のビットに1を書き込んで、UMSR をビットクリアしてください。 0書き込みは影響を与えません。 0: メッセージオーバーラン/オーバーライトなし 1: 受信メッセージのオーバーラン/オーバーライト [クリア条件] UMSR の全ビットクリア [セット条件] (1) 対応する RXPR/RFPR=1、MBIMR=0 時にメッセージ受信 (2) UMSR がセットされたとき
8	IRR8	0	R	メールボックス空き割り込みフラグ このビットは TXPR が1つでもクリアされるとセットされます。メールボックスに次の送信メッセージが格納可能であることを示すステータスフラグです。このビットは TXACK と ABACK のどちらかがセットされるとセットされるので、すべて TXACK と ABACK がクリアされると自動的にクリアされます。 0: メッセージの送信もしくは送信キャンセルは実行されていない 1: メッセージは送信済みまたはキャンセル済み。新メッセージを格納可 [クリア条件] すべての TXACK と ABACK がクリア [セット条件] TXPR (送信待ちレジスタ) が、送信完了または送信取り消し完了によりクリアされたとき。すなわち、いずれか1つの TXPR が、送信もしくはキャンセルの終了によってクリアされたとき、TXACK または ABACK がセットされているとき (MBIMR=0 の場合) 【注】このビットは、すべての TXPR ビットがリセットされたことを示すものではありません。
7	IRR7	0	R/W	オーバーロードフレーム割り込みフラグ [セット条件] オーバロードフレームを送信したとき [クリア条件] 1 ライト

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
6	IRR6	0	R/W	<p>バスオフ／バスオフからの復帰割り込みフラグ</p> <p>バスオフ状態への遷移、またはバスオフからエラーアクティブに遷移したことを示すフラグです。</p> <p>[セット条件]</p> <p>(1) TEC\geq256 になったとき</p> <p>(2) バスオフ状態で 11 レセッシブビットを 128 回受信したとき (REC\geq128)</p> <p>[クリア条件]</p> <p>1 ライト</p>
5	IRR5	0	R/W	<p>エラーバッシブ割り込みフラグ</p> <p>送信／受信エラーカウンタによるエラーバッシブ状態を示すステータスフラグです。</p> <p>[セット条件] TEC\geq128 または REC\geq128 になったとき</p> <p>[クリア条件] 1 ライト</p>
4	IRR4	0	R/W	<p>受信エラーワーニング割り込みフラグ</p> <p>受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件] REC\geq96 になったとき</p> <p>[クリア条件] 1 ライト</p>
3	IRR3	0	R/W	<p>送信エラーワーニング割り込みフラグ</p> <p>送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件] TEC\geq96 になったとき</p> <p>[クリア条件] 1 ライト</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスにリモートフレームを受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <p>リモートフレームを受信完了し、対応する MBIMR のビットが 0 のとき</p> <p>[クリア条件]</p> <p>RFPR (リモートリクエストレジスタ) の全ビットクリア</p>
1	IRR1	0	R	<p>受信メッセージ割り込みフラグ</p> <p>メールボックスが受信メッセージを正常に受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <p>データフレームを受信完了し、対応する MBIMR のビットが 0 のとき</p> <p>[クリア条件]</p> <p>RXPR (受信完了レジスタ) の全ビットクリア</p>

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
0	IRR0	0	R/W	<p>リセット/ホールド/スリープ割り込みフラグ</p> <p>このビットはHCAN2がリセットもしくはホールドされ、HCAN2がコンフィギュレーションモードになっていることを示すステータスフラグです。MCRのMCR0(ソフトウェアリセット)、またはMCR1(ホールド)、またはMCR5(スリープ)を1にセットしておくことにより、割り込み信号を発生させることができます。このビットがセットされた後、GSRを読み出す必要があります。</p> <p>1: ソフトウェアリセットモード、ホールドモード、スリープモードへの遷移状態</p> <p>[クリア条件] 1 ライト</p> <p>[セット条件] MCR0、MCR1、もしくはMCR5が要求され処理が終了したとき</p>

15.3.6 インタラプトマスクレジスタ (IMR)

IMR は 16 ビットのレジスタで、IRR の割り込みフラグによる割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15	IMR15	1	R/W	タイマコンペアマッチ割り込み 1 マスク このビットをクリアすると IRR15 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
14	IMR14	1	R/W	タイマコンペアマッチ割り込み 0 マスク このビットをクリアすると IRR14 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
13	IMR13	1	R/W	タイマオーバフロー割り込みマスク このビットをクリアすると IRR13 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
12	IMR12	1	R/W	バス動作割り込みマスク このビットをクリアすると IRR12 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
11, 10	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9	IMR9	1	R/W	未読割り込みマスク このビットをクリアすると IRR9 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
8	IMR8	1	R/W	メールボックス空き割り込みマスク このビットをクリアすると IRR8 による割り込み要求 (SLE1) がイネーブルになり、セットするとマスクされます。
7	IMR7	1	R/W	オーバーロードフレーム割り込みマスク このビットをクリアすると IRR7 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。
6	IMR6	1	R/W	バスオフ/バスオフ復帰割り込みマスク このビットをクリアすると IRR6 による割り込み要求 (ERS1) がイネーブルになり、セットするとマスクされます。
5	IMR5	1	R/W	エラーパッシブ割り込みマスク このビットをクリアすると IRR5 による割り込み要求 (ERS1) がイネーブルになり、セットするとマスクされます。
4	IMR4	1	R/W	受信エラーワーニング割り込みマスク このビットをクリアすると IRR4 による割り込み要求 (ERS1) がイネーブルになり、セットするとマスクされます。
3	IMR3	1	R/W	送信エラーワーニングマスク このビットをクリアすると IRR3 による割り込み要求 (ERS1) がイネーブルになり、セットするとマスクされます。

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説 明
2	IMR2	1	R/W	リモートフレームリクエスト割り込みマスク このビットをクリアすると IRR2 による割り込み要求 (RM1) がイネーブルになり、セットするとマスクされます。
1	IMR1	1	R/W	受信メッセージ割り込みマスク このビットをクリアすると IRR1 による割り込み要求 (RM1) がイネーブルになり、セットするとマスクされます。
0	IMR0	1	R/W	リセット/ホールド/スリープ割り込みマスク このビットをクリアすると IRR0 による割り込み要求 (OVR1) がイネーブルになり、セットするとマスクされます。

15.3.7 エラーカウントレジスタ (TEC/REC)

エラーカウントレジスタは、送信エラーカウンタ (TEC) と受信エラーカウンタ (REC) で構成される 16 ビットのリード専用レジスタです。

TEC は 8 ビットのレジスタで、CAN バス上の送信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

REC は 8 ビットのレジスタで、CAN バス上の受信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

【重要】 HCAN2 のステータスがバスオフ中は、TEC、REC の値は不定となります。

ビット	ビット名	初期値	R/W	説 明
15	TEC7	0	R	送信エラーカウンタ このレジスタはリセット要求 (MCR0) またはバス・オフによってクリアされます。
14	TEC6	0	R	
13	TEC5	0	R	
12	TEC4	0	R	
11	TEC3	0	R	
10	TEC2	0	R	
9	TEC1	0	R	
8	TEC0	0	R	
7	REC7	0	R	受信エラーカウンタ このレジスタはリセット要求 (MCR0) またはバス・オフによってクリアされます。
6	REC6	0	R	
5	REC5	0	R	
4	REC4	0	R	
3	REC3	0	R	
2	REC2	0	R	
1	REC1	0	R	
0	REC0	0	R	

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.8 送信待ちレジスタ (TXPR1/0)

TXPR1/0 は 16 ビットのレジスタで、メールボックスに格納した送信メッセージを送信待ち (CAN バスアービトレーション待ち) 状態にします。

• TXPR1

ビット	ビット名	初期値	R/W	説 明
15	TXPR31	0	R/W	メールボックス番号 16 から 31 のメールボックスを送信待ち (CAN バスアービトレーション待ち) 状態にします。TXPRn (n=16~31) を 1 にセットするとメールボックス n のメッセージが送信待ち状態になります。 0 : 対応するメールボックス内の送信メッセージアイドル状態 1 : 対応するメールボックス内の送信メッセージの送信待ち [クリア条件] (1) メッセージの送信が完了したとき (2) 送信取り消しが完了したとき TXPR フラグは、送信が正常に行われなかった場合クリアされません。 【注】メールボックスが送信に設定されているときのみ、1 を書き込むことができます。 【重要】メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。
14	TXPR30	0	R/W	
13	TXPR29	0	R/W	
12	TXPR28	0	R/W	
11	TXPR27	0	R/W	
10	TXPR26	0	R/W	
9	TXPR25	0	R/W	
8	TXPR24	0	R/W	
7	TXPR23	0	R/W	
6	TXPR22	0	R/W	
5	TXPR21	0	R/W	
4	TXPR20	0	R/W	
3	TXPR19	0	R/W	
2	TXPR18	0	R/W	
1	TXPR17	0	R/W	
0	TXPR16	0	R/W	

• TXPR0

ビット	ビット名	初期値	R/W	説 明
15	TXPR15	0	R/W	メールボックス番号 1 から 15 のメールボックスを送信待ち (CAN バスアービトレーション待ち) 状態にします。TXPRn (n=1~15) を 1 にセットするとメールボックス n のメッセージが送信待ち状態になります。 0 : 対応するメールボックス内の送信メッセージアイドル状態 1 : 対応するメールボックス内の送信メッセージの送信待ち [クリア条件] (1) メッセージの送信が完了したとき (2) 送信取り消しが完了したとき ビット 0 はリザーブビットで、リードすると常に 0 がリードされます。 ライトする値も常に 0 としてください。 TXPR フラグは、送信が正常に行われなかった場合クリアされません。 【注】メールボックスが送信に設定されているときのみ、1 を書き込むことができます。
14	TXPR14	0	R/W	
13	TXPR13	0	R/W	
12	TXPR12	0	R/W	
11	TXPR11	0	R/W	
10	TXPR10	0	R/W	
9	TXPR9	0	R/W	
8	TXPR8	0	R/W	
7	TXPR7	0	R/W	
6	TXPR6	0	R/W	
5	TXPR5	0	R/W	
4	TXPR4	0	R/W	
3	TXPR3	0	R/W	
2	TXPR2	0	R/W	
1	TXPR1	0	R/W	
0	—	0	R	

15.3.9 送信待ち取り消しレジスタ (TXCR1/0)

TXCR1/0 は 16 ビットのレジスタで、メールボックス内の送信待ちメッセージの送信を取り消します。

- TXCR1

ビット	ビット名	初期値	R/W	説 明
15	TXCR31	0	R/W	メールボックス番号 16 から 31 のメールボックスの送信待ちメッセージを取り消します。TXCRn (n=16~31) を 1 にセットすると、メールボックス n の送信待ちメッセージが取り消されます。 [クリア条件] 送信メッセージが正常に取り消され、TXPR がクリアされたとき、または、送信メッセージが既に送信中で取り消せずに正常終了した場合 TXCR の対応するビットに 1 を書き込むことにより、対応する TXPR のビットをクリアできます。キャンセルが正常に終了すると、TXPR/TXCR をクリアし、ABACK がセットされます。しかし一度送信が始まると、このビットでキャンセルすることができなくなります。 【注】 メールボックスが送信に設定されているときのみ、1 を書き込むことができます。 【重要】 メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。
14	TXCR30	0	R/W	
13	TXCR29	0	R/W	
12	TXCR28	0	R/W	
11	TXCR27	0	R/W	
10	TXCR26	0	R/W	
9	TXCR25	0	R/W	
8	TXCR24	0	R/W	
7	TXCR23	0	R/W	
6	TXCR22	0	R/W	
5	TXCR21	0	R/W	
4	TXCR20	0	R/W	
3	TXCR19	0	R/W	
2	TXCR18	0	R/W	
1	TXCR17	0	R/W	
0	TXCR16	0	R/W	

- TXCR0

ビット	ビット名	初期値	R/W	説 明
15	TXCR15	0	R/W	メールボックス番号 1 から 15 のメールボックスの送信待ちメッセージを取り消します。TXCRn (n=1~15) を 1 にセットすると、メールボックス n の送信待ちメッセージが取り消されます。 [クリア条件] 送信メッセージが正常に取り消され、TXPR がクリアされたとき、または、送信メッセージが既に送信中で取り消せずに正常終了した場合 ビット 0 はリザーブビットで、リードすると常に 0 がリードされます。 ライトする値も常に 0 としてください。 TXCR の対応するビットに 1 を書き込むことにより、対応する TXPR のビットをクリアできます。キャンセルが正常に終了すると、TXPR/TXCR をクリアし、ABACK がセットされます。しかし一度送信が始まると、このビットでキャンセルすることができなくなります。 【注】 メールボックスが送信に設定されているときのみ、1 を書き込むことができます。
14	TXCR14	0	R/W	
13	TXCR13	0	R/W	
12	TXCR12	0	R/W	
11	TXCR11	0	R/W	
10	TXCR10	0	R/W	
9	TXCR9	0	R/W	
8	TXCR8	0	R/W	
7	TXCR7	0	R/W	
6	TXCR6	0	R/W	
5	TXCR5	0	R/W	
4	TXCR4	0	R/W	
3	TXCR3	0	R/W	
2	TXCR2	0	R/W	
1	TXCR1	0	R/W	
0	—	0	R	

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.10 送信アクノレッジレジスタ (TXACK1/0)

TXACK1/0 は 16 ビットのレジスタで、メールボックスの送信メッセージが正常に送信されたことを示すステータスレジスタです。

• TXACK1

ビット	ビット名	初期値	R/W	説 明
15	TXACK31	0	R/W	メールボックス番号 16 から 31 のメールボックスの送信メッセージが正常に送信されたことを示すステータスフラグです。メールボックス n (n=16~31) のメッセージが正常に送信されたとき、TXACKn が 1 にセットされます。 [セット条件] 対応するメールボックスのメッセージの送信が完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。 【重要】 メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。
14	TXACK30	0	R/W	
13	TXACK29	0	R/W	
12	TXACK28	0	R/W	
11	TXACK27	0	R/W	
10	TXACK26	0	R/W	
9	TXACK25	0	R/W	
8	TXACK24	0	R/W	
7	TXACK23	0	R/W	
6	TXACK22	0	R/W	
5	TXACK21	0	R/W	
4	TXACK20	0	R/W	
3	TXACK19	0	R/W	
2	TXACK18	0	R/W	
1	TXACK17	0	R/W	
0	TXACK16	0	R/W	

• TXACK0

ビット	ビット名	初期値	R/W	説 明
15	TXACK15	0	R/W	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に送信されたことを示すステータスフラグです。メールボックス n (n=1~15) のメッセージが正常に送信されたとき、TXACKn が 1 にセットされます。 [セット条件] 対応するメールボックスのメッセージの送信が完了したとき [クリア条件] 1 ライト ビット 0 はリザーブビットで、リードすると常に 0 がリードされます。 ライトする値も常に 0 としてください。 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	TXACK14	0	R/W	
13	TXACK13	0	R/W	
12	TXACK12	0	R/W	
11	TXACK11	0	R/W	
10	TXACK10	0	R/W	
9	TXACK9	0	R/W	
8	TXACK8	0	R/W	
7	TXACK7	0	R/W	
6	TXACK6	0	R/W	
5	TXACK5	0	R/W	
4	TXACK4	0	R/W	
3	TXACK3	0	R/W	
2	TXACK2	0	R/W	
1	TXACK1	0	R/W	
0	—	0	R	

15.3.11 取り消しアクノレジスタ (ABACK1/0)

ABACK1/0 は 16 ビットのレジスタで、メールボックス内の送信メッセージが正常に取り消されたことを示すステータスレジスタです。

• ABACK1

ビット	ビット名	初期値	R/W	説 明
15	ABACK31	0	R/W	メールボックス番号 16 から 31 のメールボックスの送信メッセージが正常に取り消されたことを示すステータスフラグです。メールボックス n (n=16 ~31) のメッセージが正常に取り消されたとき、ABACK n が 1 にセットされます。 [セット条件] 対応するメールボックスのメッセージの取り消しが完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。 【重要】 メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。
14	ABACK30	0	R/W	
13	ABACK29	0	R/W	
12	ABACK28	0	R/W	
11	ABACK27	0	R/W	
10	ABACK26	0	R/W	
9	ABACK25	0	R/W	
8	ABACK24	0	R/W	
7	ABACK23	0	R/W	
6	ABACK22	0	R/W	
5	ABACK21	0	R/W	
4	ABACK20	0	R/W	
3	ABACK19	0	R/W	
2	ABACK18	0	R/W	
1	ABACK17	0	R/W	
0	ABACK16	0	R/W	

• ABACK0

ビット	ビット名	初期値	R/W	説 明
15	ABACK15	0	R/W	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に取り消されたことを示すステータスフラグです。メールボックス n (n=1~15) のメッセージが正常に取り消されたとき、ABACK n が 1 にセットされます。 [セット条件] 対応するメールボックスのメッセージの取り消しが完了したとき [クリア条件] 1 ライト ビット 0 はリザーブビットで、リードすると常に 0 がリードされます。 ライトする値も常に 0 としてください。 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	ABACK14	0	R/W	
13	ABACK13	0	R/W	
12	ABACK12	0	R/W	
11	ABACK11	0	R/W	
10	ABACK10	0	R/W	
9	ABACK9	0	R/W	
8	ABACK8	0	R/W	
7	ABACK7	0	R/W	
6	ABACK6	0	R/W	
5	ABACK5	0	R/W	
4	ABACK4	0	R/W	
3	ABACK3	0	R/W	
2	ABACK2	0	R/W	
1	ABACK1	0	R/W	
0	—	0	R	

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.12 受信完了レジスタ (RXPR1/0)

RXPR1/0 は 16 ビットのレジスタで、メールボックスがデータフレームを正常に受信したことを示すステータスレジスタです。

• RXPR1

ビット	ビット名	初期値	R/W	説明
15	RXPR31	0	R/W	メールボックス n (n=16~31) がメッセージを正常に受信したとき、RXPRn が 1 にセットされます。 [セット条件] 対応するメールボックスがデータフレームの受信を完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	RXPR30	0	R/W	
13	RXPR29	0	R/W	
12	RXPR28	0	R/W	
11	RXPR27	0	R/W	
10	RXPR26	0	R/W	
9	RXPR25	0	R/W	
8	RXPR24	0	R/W	
7	RXPR23	0	R/W	
6	RXPR22	0	R/W	
5	RXPR21	0	R/W	
4	RXPR20	0	R/W	
3	RXPR19	0	R/W	
2	RXPR18	0	R/W	
1	RXPR17	0	R/W	
0	RXPR16	0	R/W	

• RXPR0

ビット	ビット名	初期値	R/W	説明
15	RXPR15	0	R/W	メールボックス n (n=0~15) がメッセージを正常に受信したとき、RXPRn が 1 にセットされます。 [セット条件] 対応するメールボックスがデータフレームの受信を完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	RXPR14	0	R/W	
13	RXPR13	0	R/W	
12	RXPR12	0	R/W	
11	RXPR11	0	R/W	
10	RXPR10	0	R/W	
9	RXPR9	0	R/W	
8	RXPR8	0	R/W	
7	RXPR7	0	R/W	
6	RXPR6	0	R/W	
5	RXPR5	0	R/W	
4	RXPR4	0	R/W	
3	RXPR3	0	R/W	
2	RXPR2	0	R/W	
1	RXPR1	0	R/W	
0	RXPR0	0	R/W	

15.3.13 リモートリクエストレジスタ (RFPR1/0)

RFPR1/0 は 16 ビットのレジスタで、メールボックスがリモートフレームを受信したことを示すステータスレジスタです。

- RFPR1

ビット	ビット名	初期値	R/W	説 明
15	RFPR31	0	R/W	メールボックス番号 n ($n=16\sim31$) がリモートフレームを正常に受信したとき、RFPR n ($n=16\sim31$) が 1 にセットされます。 [セット条件] 対応するメールボックスがリモートフレームの受信を完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	RFPR30	0	R/W	
13	RFPR29	0	R/W	
12	RFPR28	0	R/W	
11	RFPR27	0	R/W	
10	RFPR26	0	R/W	
9	RFPR25	0	R/W	
8	RFPR24	0	R/W	
7	RFPR23	0	R/W	
6	RFPR22	0	R/W	
5	RFPR21	0	R/W	
4	RFPR20	0	R/W	
3	RFPR19	0	R/W	
2	RFPR18	0	R/W	
1	RFPR17	0	R/W	
0	RFPR16	0	R/W	

- RFPR0

ビット	ビット名	初期値	R/W	説 明
15	RFPR15	0	R/W	メールボックス番号 n ($n=0\sim15$) がリモートフレームを正常に受信したとき、RFPR n ($n=0\sim15$) が 1 にセットされます。 [セット条件] 対応するメールボックスがリモートフレームの受信を完了したとき [クリア条件] 1 ライト 【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
14	RFPR14	0	R/W	
13	RFPR13	0	R/W	
12	RFPR12	0	R/W	
11	RFPR11	0	R/W	
10	RFPR10	0	R/W	
9	RFPR9	0	R/W	
8	RFPR8	0	R/W	
7	RFPR7	0	R/W	
6	RFPR6	0	R/W	
5	RFPR5	0	R/W	
4	RFPR4	0	R/W	
3	RFPR3	0	R/W	
2	RFPR2	0	R/W	
1	RFPR1	0	R/W	
0	RFPR0	0	R/W	

15.3.14 メールボックスインタラプトマスクレジスタ (MBIMR1/0)

MBIMR1/0 は 16 ビットのレジスタで、各メールボックスの割り込み要求をイネーブルにします。

- MBIMR1

ビット	ビット名	初期値	R/W	説明
15	MBIMR31	1	R/W	MBIMR n (n=16~31) をクリアするとメールボックス番号 n のメールボックスの割り込み要求がイネーブルになり、1 にセットすると割り込み要求がマスクされます。 割り込み要因は送信用メールボックスでは送信完了または送信取り消しによる TXPRn (n=16~31) のクリア、受信用メールボックスでは受信完了による RXPRn (n=16~31) のセットです。 0 : 対応するメールボックスの割り込み要求を許可 1 : 対応するメールボックスの割り込み要求を禁止
14	MBIMR30	1	R/W	
13	MBIMR29	1	R/W	
12	MBIMR28	1	R/W	
11	MBIMR27	1	R/W	
10	MBIMR26	1	R/W	
9	MBIMR25	1	R/W	
8	MBIMR24	1	R/W	
7	MBIMR23	1	R/W	
6	MBIMR22	1	R/W	
5	MBIMR21	1	R/W	
4	MBIMR20	1	R/W	
3	MBIMR19	1	R/W	
2	MBIMR18	1	R/W	
1	MBIMR17	1	R/W	
0	MBIMR16	1	R/W	

- MBIMR0

ビット	ビット名	初期値	R/W	説明
15	MBIMR15	1	R/W	MBIMR n (n=0~15) をクリアするとメールボックス番号 n のメールボックスの割り込み要求がイネーブルになり、1 にセットすると割り込み要求がマスクされます。 割り込み要因は送信用メールボックスでは送信完了または送信取り消しによる TXPRn (n=1~15) のクリア、受信用メールボックスでは受信完了による RXPRn (n=0~15) のセットです。 0 : 対応するメールボックスの割り込み要求を許可 1 : 対応するメールボックスの割り込み要求を禁止
14	MBIMR14	1	R/W	
13	MBIMR13	1	R/W	
12	MBIMR12	1	R/W	
11	MBIMR11	1	R/W	
10	MBIMR10	1	R/W	
9	MBIMR9	1	R/W	
8	MBIMR8	1	R/W	
7	MBIMR7	1	R/W	
6	MBIMR6	1	R/W	
5	MBIMR5	1	R/W	
4	MBIMR4	1	R/W	
3	MBIMR3	1	R/W	
2	MBIMR2	1	R/W	
1	MBIMR1	1	R/W	
0	MBIMR0	1	R/W	

15.3.15 未読メッセージステータスレジスタ (UMSR1/0)

UMSR1/0は16ビットのレジスタで、未読メッセージのあるメールボックスに新たなメッセージを受信し、オーバーライトが発生したことを示すステータスフラグです。なお、新規受信メッセージにより上書きされた場合は古いデータは失われます。

- UMSR1

ビット	ビット名	初期値	R/W	説明
15	UMSR31	0	R/W	メッセージを受信後未読のまま新規メッセージをオーバーライト
14	UMSR30	0	R/W	[セット条件]
13	UMSR29	0	R/W	RXPR をクリアする前に新規メッセージを受信したとき
12	UMSR28	0	R/W	[クリア条件]
11	UMSR27	0	R/W	1 ライト
10	UMSR26	0	R/W	【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
9	UMSR25	0	R/W	
8	UMSR24	0	R/W	
7	UMSR23	0	R/W	
6	UMSR22	0	R/W	
5	UMSR21	0	R/W	
4	UMSR20	0	R/W	
3	UMSR19	0	R/W	
2	UMSR18	0	R/W	
1	UMSR17	0	R/W	
0	UMSR16	0	R/W	

- UMSR0

ビット	ビット名	初期値	R/W	説明
15	UMSR15	0	R/W	メッセージを受信後未読のまま新規メッセージをオーバーライト
14	UMSR14	0	R/W	[セット条件]
13	UMSR13	0	R/W	RXPR をクリアする前に新規メッセージを受信したとき
12	UMSR12	0	R/W	[クリア条件]
11	UMSR11	0	R/W	1 ライト
10	UMSR10	0	R/W	【注】 CPU による書き込みの動作は、セットされたステータスのクリア条件 (1 ライト) のみ有効となります。
9	UMSR9	0	R/W	
8	UMSR8	0	R/W	
7	UMSR7	0	R/W	
6	UMSR6	0	R/W	
5	UMSR5	0	R/W	
4	UMSR4	0	R/W	
3	UMSR3	0	R/W	
2	UMSR2	0	R/W	
1	UMSR1	0	R/W	
0	UMSR0	0	R/W	

15. コントローラエリアネットワーク 2 (HCAN2)

15.3.16 メールボックス (MB0~MB31)

メールボックスはCAN フレームの送信/受信を行うバッファの役目を果たします。メールボックスは、4つの格納庫 (メッセージコントロール、メッセージデータ、タイムスタンプ、ローカルアクセプタンスフィルタマスク (LAFM) /送信トリガタイム (TTT)) を持っています。HCAN2 では32 メールボックスが使用可能です。

以下の表はそのアドレスマップを示します。

- **重要:** メールボックスはRAMで構成されているため電源投入後の初期値は不定のため必ずビットの初期化をする必要があります。メールボックスに0または1の値を書き込んでください。
- **重要:** 未使用のメールボックスに関しては、MBCビットをb'111にセットしてアクセスしないことを勧めます。
- **重要:** メッセージコントロール、タイムスタンプ、LAFM/TTTフィールドはワードアクセスのみ可能です。メッセージデータエリアは、ワード/バイトアクセスが可能です。
- **重要:** LAFMを有効としたメールボックスでメッセージを受信した場合、設定したID (EXT-IDが有効な場合は、EXT-IDも含む) は、受信したメッセージのID (EXT-ID) の値に上書きされます。

メールボックス0は受信専用です。その他のメールボックス (1~31) はすべてMBCの設定により受信用/送信用として使用できます。

下記の表にメールボックスのアドレスマップとビット配置を示します。

レジスタ名	Address	Data Bus														Access Size	Field			
		15	14	13	12	11	10	9	8	7	6	5	4	3	2			1	0	
MBx[0]~[1]	H'100+N*32	0	STDID[10:0]										RTR	IDE	EXTID [17:16]	Word (16-bit)	Control			
MBx[2]~[3]	H'102+N*32	EXTID[15:0]																		
MBx[4]~[5]	H'104+N*32	CCM	TTE	NMC	ATX	DART	MBC[2:0]		PTE	TCT	0	0	DLC[3:0]			Byte (8-bit) or Word (16-bit)				
MBx[6]	H'106+N*32	TimeStamp[15:0]														Word (16-bit)	TimeStamp			
MBx[7]~[8]	H'108+N*32	MSG_DATA_0(first Rx/Tx Byte)							MSG_DATA_1							Byte (8-bit) or Word (16-bit) or	Data			
MBx[9]~[10]	H'10A+N*32	MSG_DATA_2							MSG_DATA_3											
MBx[11]~[12]	H'10C+N*32	MSG_DATA_4							MSG_DATA_5											
MBx[13]~[14]	H'10E+N*32	MSG_DATA_6							MSG_DATA_7											
MBx[15]~[16]	H'110+N*32	Local Acceptance Filter Mask 0 (LAFM0) / Tx-Triggered Time (TTT)																Word (16-bit)	LAFM/Tx-Trigger Time	
MBx[17]~[18]	H'112+N*32	Local Acceptance Filter Mask 1 (LAFM1) / Tx-Triggered Time (TTT)																		

【注】 グレー表示のビットはリザーブビットでライトする値は0にしてください。リードした値は保証されません。

Identifier (ID) とレジスタのビット名の対応を図 15.3 (スタンダードフォーマット)、図 15.4 (エクステンデッドフォーマット) に示します。

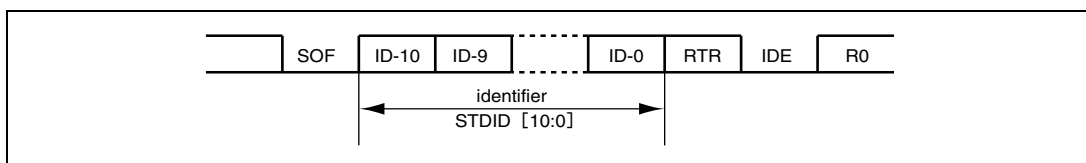


図 15.3 スタンダードフォーマット

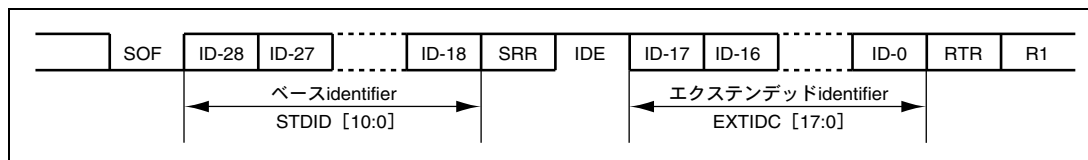


図 15.4 エクステンデッドフォーマット

メールボックスの設定内容を下表に示します。

レジスタ名 MBx の x は、メールボックス番号を表します。

レジスタ名	ビット	ビット名	R/W	説明
MBx[0]~[1]	15	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。
	14~4	STDID[10:0]	R/W	このビットはデータフレームとリモートフレームの Identifier (スタンダード) をセットするために使用します。
	3	RTR	R/W	リモートトランスミッションリクエスト (RTR) データフレームとリモートフレームを識別するためのビットです。 0: データフレーム 1: リモートフレーム ただし、MBx[4].MBC[2:0]=001 で、かつ MBx[4].ATX=1 の場合 (データフレームの自動送信機能を使用する場合)、リモートフレームを受信しても本ビットは 1 に上書きされません。
	2	IDE	R/W	Identifier エクステンション (IDE) スタンダードフォーマットとエクステンデッドフォーマットを識別するビットです。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
	1, 0	EXTID[17:16]	R/W	このビットはデータフレームとリモートフレームの Identifier (拡張)
MBx[2]~[3]	15~0	EXTID[15:0]	R/W	をセットするために使用します。
MBx[4]~[5]	15	CCM	R/W	CAN-ID コンペアマッチ このビットがセットされると、対応するメールボックスの受信は 2 つのトリガを持つことができます。TCR9 が 1 にセットされている場合、メッセージの受信時に TCR14 を自動的にクリアします (この動作により ICR0 レジスタをフリーズさせることができます)。 TCR10 が 1 にセットされている場合、メッセージの受信は自動的に TCNTR をクリアした後、LOSR の値をそこにセットします。 【重要】 本機能は本 LSI でサポートしておりません。したがって、ライトする値は 0 にしてください。リードした値は保証されません。

15. コントローラエリアネットワーク 2 (HCAN2)

レジスタ名	ビット	ビット名	R/W	説明
MBx[4]~[5]	14	TTE	R/W	<p>タイムトリガイネーブル</p> <p>このビットが1にセットされると、TXPR ビットがセットされたメールボックスは、TX トリガタイム (TTT) で指定されたタイミングでメッセージを送信します。</p> <p>【重要】本ビットをセットするとメッセージ送信に不具合が起ります。ライトする値は0にしてください。</p>
	13	NMC	R/W	<p>ニューメッセージコントロール</p> <p>このビットが0にクリアされると、RXPR がすでにセットされたメールボックスは、新しいメッセージは格納せずに古いメッセージを残し、UMSR の対応ビットがセットされます。このビットが1にセットされると、RXPR がすでにセットされたメールボックスは上書きされ、UMSR の対応ビットがセットされます。</p> <p>本ビットの未読メッセージに対する制御は、リモートフレーム受信の場合も対象となります。リモートフレーム受信時は、該当メールボックスに対応する RFPR (リモートフレームリクエストレジスタ) と RXPR (受信完了レジスタ) をセットします。本ビットの設定内容とリモートフレーム受信時の RXPR の状態に従い、未読メッセージに対する制御を実施します。</p>
	12	ATX	R/W	<p>データフレームの自動送信</p> <p>このビットが1にセットされた場合、リモートフレームがメールボックスに受信されると自動的に TXPR がセットされ、現状のメッセージデータをデータフレームとして送信します。</p> <p>送信のスケジュールは CAN Identifier によって決められます。</p> <p>この機能を使用するには、MBC[2:0]を 001 に設定しなければなりません。</p> <p>この機能により送信を行う場合、DLC は受信データを使用します。</p>
	11	DART	R/W	<p>ディスエーブルオートマティックリトランスミッション</p> <p>このビットが1にセットされると、CAN バスエラーのとき、または、CAN バスアービトラージン負けでバス権を獲得できなかったときに、自動再送信機能を無効にします。この機能の使用中の効果として、対応する TXCR ビットは自動的に送信の始まりで設定されます。このビットが0にクリアされると、HCAN2 は TXCR によって止められるか、送信を正しく行うまで何度も繰り返し送信を行います。</p> <p>【重要】本機能は本 LSI でサポートしておりません。したがって、ライトする値は0にしてください。リードした値は保証されません。</p>

15. コントローラエリアネットワーク 2 (HCAN2)

レジスタ名	ビット	ビット名	R/W	説明
MBx[4]~[5]	10~8	MBC[2:0]	R/W	メールボックスコンフィギュレーション 表 15.2 のとおりにメールボックスの設定を行います。
	7	PTE	R/W	<p>ピリオディックトランスミッションイネーブル</p> <p>PTE セット時、タイムトリガによる送信が周期的に実行されます (TCNTR サイクル毎)。この機能を使用する場合、TTE (タイムトリガトランスミッション) は 1 にセットされている必要があり、MBC は 000 にセットされていなければなりません。対応する TXPR が設定されると、TX トリガタイム (TTT) が TCNTR とマッチするたびに、現状のメッセージを送信します。</p> <p>TXPR がソフト上で設定されると、HCAN2 は対応する TXPR ビットをクリアせずに、ピリオディックトランスミッションを実行し続けます。ピリオディックトランスミッションを止めるには、TXPR は TXCR によってクリアされなければなりません。</p> <p>イベントトリガ送信時 (TTE=0) は、PTE=1 に設定しないでください。</p> <p>【重要】 本機能は本 LSI でサポートしていません。したがって、ライトする値は 0 にしてください。リードした値は保証されません。</p>
	6	TCT	R/W	<p>タイマカウンタトランスファ</p> <p>このビットが 1 にセットされメールボックスが送信に設定され、DLC が 2 (TTCAN レベル 1) または 4 以上 (TTCAN レベル 2) に設定されている場合、SOF 時の TCNTR の値はメッセージデータの 2, 3byte に MSG_DATA_2 と 3 の代わりに組み込まれます。そして最初の byte に MSG_DATA_0 の代わりに、サイクルカウンタの値が組み込まれます。この機能は HCAN-2 がタイムマスタとして機能する時に使用します。表 15.3 にメッセージデータエリアへの組み込み内容を示します。</p> <p>【重要】 本機能は本 LSI でサポートしていません。したがって、ライトする値は 0 にしてください。リードした値は保証されません。</p>
	5	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。
	4	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。

15. コントローラエリアネットワーク 2 (HCAN2)

レジスタ名	ビット	ビット名	R/W	説 明
MBx[4]~[5]	3~0	DLC[3:0]	R/W	データフレームのデータ長を、0~8 バイトの範囲で設定します。 0000 : 0 バイト 0001 : 1 バイト 0010 : 2 バイト 0011 : 3 バイト 0100 : 4 バイト 0101 : 5 バイト 0110 : 6 バイト 0111 : 7 バイト 1XXX : 8 バイト 【注】 X : Don't care
MBx[6]	15~0	TMSTP [15:0]	R/W	タイムスタンプ タイムスタンプ機能は、予定どおりにメッセージが適切な順番に送信／受信されたかモニターする時に効果的です。 メッセージ受信〔受信したメッセージに関して〕 : TCR13 の設定値によって決まる SOF/EOF のタイミングで TCNTR の値またはサイクルカウンタ+TCNTR[15:4]の値 (TMR のビット 3 の設定値で選択) を ICR1 にキャプチャします。そして ICR1 の値を対応するメールボックスのタイムスタンプ領域に格納します。 メッセージ送信〔送信したメッセージに関して〕 : TMR のビット 3 の設定値により、TCNTR の値またはサイクルカウンタ+TCNTR[15:4]の値は TCR12 の設定値により、TXPR ビット／TXACK ビットがセットされたときにキャプチャされます。その値は対応するメールボックスのタイムスタンプ領域に格納されます。
MBx[7]~[8] MBx[9]~[10] MBx[11]~[12] MBx[13]~[14]	15~0 15~0 15~0 15~0	MSG_DATA_ 0~7	R/W	メッセージデータ領域 送信／受信された CAN のメッセージデータの格納庫。MBX [7] は送信／受信した最初のバイト (MSG_DATA_0) に対応します。バス上のビット順位は 15 ビットから 0 ビットです。
MBx[15]~[16]*	15	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。
	14~4	STDID_LAFM [10:0]	R/W	スタンダード ID のローカルアクセプタンスフィルタマスク (STDID_LAFM) は、メールボックス (MBx[0]~[1]) のビット 14~4 に格納される受信メッセージの Standard Identifier をフィルタリングするものです。 0 : メールボックスに対応する CANbaseID は有効 (CARE) 1 : メールボックスに対応する CANbaseID は無効 (DON'T CARE)
	3, 2	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。

15. コントローラエリアネットワーク 2 (HCAN2)

レジスタ名	ビット	ビット名	R/W	説明
MBx[15]~[16]*	1, 0	EXTID_LAFM [17:16]	R/W	拡張 ID のローカルアクセプタンスフィルタマスク (EXTID_LAFM) は、メールボックス (MBx[1]~[3]) に格納される受信メッセージの Extended Identifier をフィルタリングするものです。
MBx[17]~[18]*	15~0	EXTID_LAFM [15:0]	R/W	0 : メールボックスに対応する CAN ExtendedID は有効 (CARE) 1 : メールボックスに対応する CAN ExtendedID は無効 (DON'T CARE)

【注】 * MBC=b'001, 010, 100, 101 の時は、ローカルアクセプタンスフィルタマスク (LAFM) フィールドになります。また MBC=b'000 の時は、送信ボックスのための Tx-Trigger Time (TTT) フィールドとして使用します。TTT は下記に示す 2 個の 16 ビットの読み出し/書き込みエリアから成り立ちます。

レジスタ名	ビット	ビット名	R/W	説明
MBx[15]~[16]	15~0	Tx-Trigger Time (Absolute Time)	R/W	メッセージ送信トリガ期間 (Tx-トリガタイム : TTT) 絶対期間 (アブソリュートタイム) 中のメッセージ送信のトリガ時間を設定します。
MBx[17]~[18]	15~12	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。
	11~8	Offset[3:0]	R/W	オフセット 送信開始時 (オフセット) のシステムマトリクスの基本サイクルを設定します。
	7~4	—	R/W	初期値は不定です。必ず 0 をライトして初期化してください。
	3~0	Rep_Count[3:0]	R/W	リピートカウンタ 定期的な送信の周期を設定します。

【注】 TXPR をセットし、Tx-トリガタイム (TTT) が一致した時、リピートカウンタおよびオフセットは内部レジスタにロードされます。TCNTR 値に対する内部 TTT レジスタが一致、および CCR 値に対する内部オフセットが一致した時、対応したメールボックスは自動的に送信を開始します。

この機能を有効にするためには、TTE ビットをイネーブル (1 セット) し、タイマ (TCNTR) は動作中 (TCR15=1) でなければなりません。TTE ビットが '0' にセットされ、対応した TXPR ビットがセットされると直ちに送信待ち状態に入ります。

リピートカウンタが 0 以外になると CCR=オフセットから CCR=CMAX まで常にリピートカウンタの基準サイクルで送信を実行します。このケースは、一度 TXPR がソフトウェアによりセットされると、定期的な送信を継続実行するために、HCAN2 は対応した TXPR ビットをクリアしません。定期的な送信を停止するには、TXPR を TXCR によってクリアするか、またはリピートカウンタをクリアしなければなりません。

15. コントローラエリアネットワーク 2 (HCAN2)

表 15.2 メールボックスコンフィグレーションビットの設定

MBC[2]	MBC[1]	MBC[0]	データ フレーム送信	リモート フレーム送信	データフレーム 受信	リモート フレーム受信	備考	
0	0	0	可	可	不可	不可	メールボックス 0 では使用不可 Time-Trigger 使用可能	
0	0	1	可	可	不可	可	ATX 使用可能 メールボックス 0 では使用不可 LAFM 使用可能	
0	1	0	不可	不可	可	可	メールボックス 0 で使用可能 LAFM 使用可能	
0	1	1	設定禁止					
1	0	0	不可	可	可	可	メールボックス 0 では使用不可 LAFM 使用可能	
1	0	1	不可	可	可	不可	メールボックス 0 では使用不可 LAFM 使用可能	
1	1	0	設定禁止					
1	1	1	メールボックス非活性					

表 15.3 TCT ビット設定時のメッセージデータエリアの構成

Address	Data Bus															Access Size	Field Name
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H'108+N*32	Cycle_Counter (first Rx/Tx Byte)							MSG_DATA_1							Byte or Word	Data	
H'10A+N*32	TCNTR[7:0]							TCNTR[15:8]									
H'10C+N*32	MSG_DATA_4							MSG_DATA_5									
H'10E+N*32	MSG_DATA_6							MSG_DATA_7									

15.3.17 タイマカウントレジスタ (TCNTR)

TCNTR は 16 ビットの読み出し/書き込み可能なレジスタです。CPU からタイマカウント値のモニタとフリーランニングタイマカウンタ値の設定が可能です。TCR11 を 1 にセットすることにより、タイマの値と TCMR0 (タイマコンペアマッチ 0) が一致したとき、タイマは TCMR0 によってクリアされ、LOSR (ローカルオフセットレジスタ) にその値がセットされます。そして、ふたたびカウントを開始します。

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR15 ~ TCNTR0	すべて 0	R/W	タイマカウントレジスタ タイマコントロールレジスタ (TCR) のビット 15 (TCR15) を 1 にセットすることにより、フリーランニングカウンタとして使用できます。コンペアマッチ条件によって、カウンタ値のクリアが可能です。

15.3.18 タイマコントロールレジスタ (TCR)

TCR はタイマの動作をコントロールするための 16 ビットの読み出し／書き込み可能なレジスタです。このレジスタですべての周期的な送信条件や制限を設定します。このレジスタはタイマ動作の開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>イネーブルタイマ タイマの ON/OFF をコントロールできます。</p> <p>0: タイマ停止 1: タイマ開始</p> <p>【注】 ただし、0 を設定してもタイマは直ちに停止せず、オーバフローあるいはコンペアマッチした後、停止します。</p> <p>【重要】 本 LSI においては、タイマ機能に不具合があります。タイマを動作させないよう、必ず 0 をライトしてください。</p>
14	TCR14	0	R/W	<p>ディスエーブル ICR0 インプットキャプチャレジスタ 0 (ICR0_tm) のイネーブル／ディスエーブルを選択します。このビットがイネーブルになると、送信／受信に関係なく、CAN バスに SOF が現われるたびにタイマの値はキャプチャされます。ディスエーブルされると ICR0 の値はラッチされたままになります。</p> <p>0: ICR0 ディスエーブル 1: ICR0 イネーブル。SOF 毎にタイマの値をキャプチャ</p> <p>[クリア条件] 受信メッセージの CAN-ID=CCM セット付きメールボックス時 (TCR9=1 のとき)</p>
13	TCR13	0	R/W	<p>受信用タイムスタンプコントロール タイムスタンプが SOF 時もしくは EOF 時に機能するかを選択します。受信時の動作としてタイムスタンプのトリガとなる ICR1 を選択します。</p> <p>0: タイムスタンプは SOF 毎に機能する 1: タイムスタンプは EOF 毎に機能する</p> <p>【重要】 本 LSI では SOF 受信ごとのタイムスタンプはサポートしておりません。受信タイムスタンプ使用時は本ビットに 1 をライトしてください。</p>
12	TCR12	0	R/W	<p>送信用タイムスタンプコントロール タイムスタンプが対応する TXPR ビットもしくは TXACK ビットで動作するかを選択します。送信時に ICR1 をタイムスタンプ用に使用します。</p> <p>0: TXPR ビットにてタイムスタンプ 1: TXACK ビットにてタイムスタンプ</p>
11	TCR11	0	R/W	<p>TCMR0 によるタイマクリアセットコントロール タイマがクリアされ LOSR にセットされるよう指定します (TCMR0 が CNTR とマッチしたとき)。</p> <p>0: タイマはクリアされません 1: タイマは TCMR0 によってクリアされ LOSR にセットされます</p> <p>【注】 TCMR0 は IRR14 を介してホストプロセッサに対し割り込み信号を生成できます。</p>

15. コントローラエリアネットワーク 2 (HCAN2)

ビット	ビット名	初期値	R/W	説明
10	TCR10	0	R/W	<p>CCMによるタイムクリアセットコントロール</p> <p>受信時にCCMによってタイムクリア後、LOSRにセットされます（このビットとCCMビットがセットされている場合）。</p> <p>【注】CCMは割り込み信号は生成できません。</p> <p>この動作はIRR1もしくはIRR2によって実行できます。</p> <p>0：CCMによるクリア禁止</p> <p>1：CCMによるタイムクリア後にLOSRにセット</p>
9	TCR9	0	R/W	<p>CCMによるICR0自動ディスエーブル</p> <p>受信メールボックスにてCAN-IDコンペアマッチ（CCM）によりICR0をディスエーブルするかを指定します。メールボックスがメッセージを受信し格納するとき、TCR14（ビット14）は自動的にクリアされ、ICR0の値は保持されます（CCMビット+TCR9ビットセット時）。</p> <p>0：TCR14はクリアされません</p> <p>1：TCR14は自動クリア</p>
8~6	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
5	TPSC5	0	R/W	<p>HCAN2 タイムプリスケータ</p> <p>ソースクロック（2*HCAN-2 システムクロック）を分周させる機能です。</p> <p>000000：1×ソースクロック</p> <p>000001：2×ソースクロック</p> <p>000010：4×ソースクロック</p> <p>000011：6×ソースクロック</p> <p>：</p> <p>：</p> <p>111110：124×ソースクロック</p> <p>111111：126×ソースクロック</p>
4	TPSC4	0	R/W	
3	TPSC3	0	R/W	
2	TPSC2	0	R/W	
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

15.3.19 タイマステータスレジスタ (TSR)

TSR は 16 ビットの読み出し専用レジスタです。 タイマコンペアマッチの発生、 タイマオーバフローの発生を示します。

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TSR2	0	R	コンペアマッチフラグ 1 TCMR1 (コンペアマッチレジスタ 1) にてコンペアマッチが発生したことを示します。TCMR1 に設定した値とタイマの値がマッチしたときに、このビットがセットされます。(TCMR1=TCNTR) 【注】TCMR1 の設定値が H'0000 のときは、このビットはセットされません。このビットは読み出し専用です。IRR15(タイマコンペアマッチインタラプト 1) がクリアされたときにクリアされます。 0 : コンペアマッチは発生していません 1 : コンペアマッチの発生 (TCMR1) [クリア条件] IRR15 に 1 書き込み [セット条件] TCMR1=TCNTR
1	TSR1	0	R	コンペアマッチフラグ 0 TCMR0 (コンペアマッチレジスタ 0) にてコンペアマッチが発生したことを示します。TCMR0 に設定した値とタイマの値がマッチしたときにこのビットがセットされます。(TCMR0=TCNTR) 【注】TCMR0 の設定値が H'0000 のときは、このビットはセットされません。このビットは読み出し専用です。IRR14 (タイマコンペアマッチ割り込みフラグ 0) がクリアされたときにクリアされます。 0 : コンペアマッチは発生していません 1 : コンペアマッチの発生 (TCMR0) [クリア条件] IRR14 に 1 書き込み [セット条件] TCMR0=TCNTR
0	TSR0	0	R	タイマオーバフローフラグ タイマがオーバフローを起こし、H'0000 にリセットされたことを示します。 0 : オーバフローは発生していません。 1 : オーバフローの発生 [クリア条件] IRR13 に 1 書き込み [セット条件] タイマの値が H'FFFF から H'0000 に変化したとき

15.3.20 ローカルオフセットレジスタ (LOSR)

16 ビットの読み出し／書き込み可能なレジスタです。タイマ (TCNTR) にローカルオフセットをつけるのが目的です。TCNTR がオーバーフロー、コンペアマッチ、CAN-ID コンペアマッチのいずれかによってクリアされた時、TCNTR はこのレジスタで設定された値からカウントアップを始めます。

ビット	ビット名	初期値	R/W	説明
15~0	LOSR15 ~LOSR0	すべて 0	R/W	ローカルオフセットレジスタ タイマ (TCNTR) がオーバーフロー、コンペアマッチ、CAN-ID コンペアマッチのいずれかによってクリアされたとき、LOSR レジスタの設定値からカウントアップを開始します。

15.3.21 インプットキャプチャレジスタ 0、1 (ICR0、ICR1)

16 ビットの読み出し／書き込み可能なレジスタで初期値は H'0000 です (ワードアクセスのみ有効)。

(本レジスタは、本章の本文中で、ICR0、ICR1 と省略します。)

- ICR0

グローバルシンクロナイゼーションの目的として使用可能です。タイマの値は受信メールボックスの Identifier と受信メッセージがマッチせずとも、TCR のビット 14 でイネーブルされていれば TCR のビット 13 で指定されたポイントでキャプチャされます。TCR のビット 14 でディスエーブルされていると、ICR0 は現在の値を保持します。

- ICR1

ICR1 は送信／受信メッセージのタイムスタンプに使用されます。TCR のビット 13 でタイムスタンプのポイントを指定します。ICR0 との差は、ICR1 は常に正確であるということです。

15.3.22 タイマコンペアマッチレジスタ 0、1 (TCMR0、TCMR1)

16 ビットの読み出し／書き込み可能なレジスタです。割り込み信号生成とタイマ値のクリアが可能 (TCMR0 のみ) です。TCMR0、TCMR1 のレジスタは全く同じ機能を持っています。(タイマのクリア以外)

- 割り込み

TCMR1、TCMR0のそれぞれからの割り込みはIRRのビット15とビット14にその順番通りフラグとして示されます。(コンペアマッチ発生時) これらのフラグはマスクできませんが、IMR15/IMR14の設定によって割り込み信号の生成をマスクすることができます。またTCMRをH'0000に設定するとコンペアマッチは発生しなくなります。コンペアマッチが発生すると、TSR (タイマステータスレジスタ) のビット2 (またはビット1) もセットされます。IRR15 (またはIRR14) がセットされ、IRRビットをクリアすると対応するTSRのビットもクリアされます。

- タイマのクリアとセット

タイマはTCMR0によるクリアとLOSrでセットのみ可能です。TCRのビット11がセットされている時にコンペアマッチが発生するとタイマの値はクリアされます。TCMR1には、この機能は持っていません。

ビット	ビット名	初期値	R/W	説明
15~0	TCMRn[15] ~TCMRn [0] (n=0, 1)	すべて 0	R/W	タイマコンペアマッチレジスタ (TCMRn) TCMR0、TCMR1 レジスタは、タイマ (TCNTR) とのコンペアマッチにより、割り込み信号を生成します。TCMR0 は、割り込みとタイマ値のクリアが可能です。

15.4 動作説明

15.4.1 ハードウェアリセットとソフトウェアリセット

HCAN2 のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- **ハードウェアリセット**

パワーオンリセット、マニュアルリセット、ハードウェアスタンバイ、ソフトウェアスタンバイでは、MCRのリセットリクエストビット (MCR0) とGSRのリセットステートビット (GSR3) が自動的にセットされHCAN2が初期化されます。ハードウェアリセットによって、メールボックス (MB0~MB31) を除く内部レジスタがすべて初期化されます。ハードウェアリセット時のフローチャートを図15.5に示します。

- **ソフトウェアリセット**

通常動作時にはMCRのリセットリクエストビット (MCR0) をセットすることで初期化します (ソフトウェアリセット)。本リセットではCANコントローラが通信動作中 (送信または受信) であった場合、そのメッセージを完全に終了するまで待って初期化状態に遷移します。また、バスオフ状態におけるソフトウェアリセットは、エラーアクティブ状態に遷移してから有効になります。初期化期間中はGSRのリセットステートビット (GSR3) をセットします。本初期化ではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタおよびRAMは初期化されません。

ソフトウェアリセット時のフローチャートを図15.6に示します。

15.4.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は以下の初期設定を行ってください。

- インタラプトリクエストレジスタ (IRR) のIRR0ビットのクリア
- HCAN2端子のポート設定
- ビットレートの設定
- メールボックス (RAM) の初期化
- 各メールボックスの送受信方向の設定
- メッセージ送信方式の選択

初期設定は必ず、HCAN2 がコンフィギュレーションモードの状態で行ってください。コンフィギュレーションモードは、リセットにより GSR.GSR3 がセットされた状態です。MCR.MCR0 をクリアすると、しばらく後に GSR.GSR3 が自動的にクリアされてコンフィギュレーションモードが解除されます (HCAN2 内部がリセットされる時間を必要とするため、MCR0 をクリアしてから GSR3 がクリアされるまで遅延を生じます)。コンフィギュレーションモードが解除されると HCAN2 はパワーアップシーケンスに入り、11 ビット連続レセッシブビットを検出した時点で CAN バスと通信可能になります。

(1) IRR0 のクリア

パワーオンリセット後およびソフトウェアモードからの復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込みをイネーブにする (インタラプトマスクレジスタ IMR0 をクリアにした状態) ことで直ちに HCAN2 割り込み要求が発生しますので、IRR0 をクリアしてください。

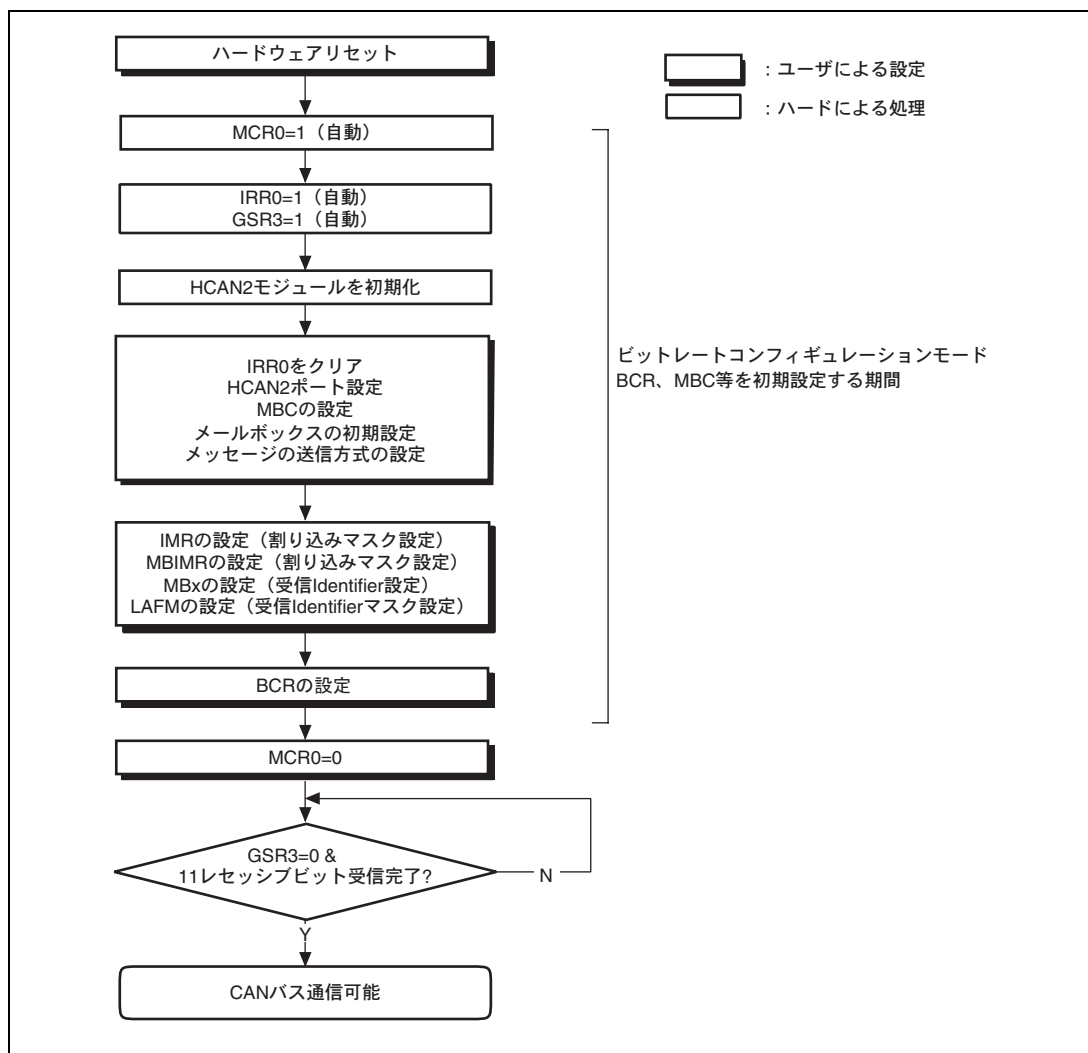


図 15.5 ハードウェアリセット時のフローチャート

15. コントローラエリアネットワーク 2 (HCAN2)

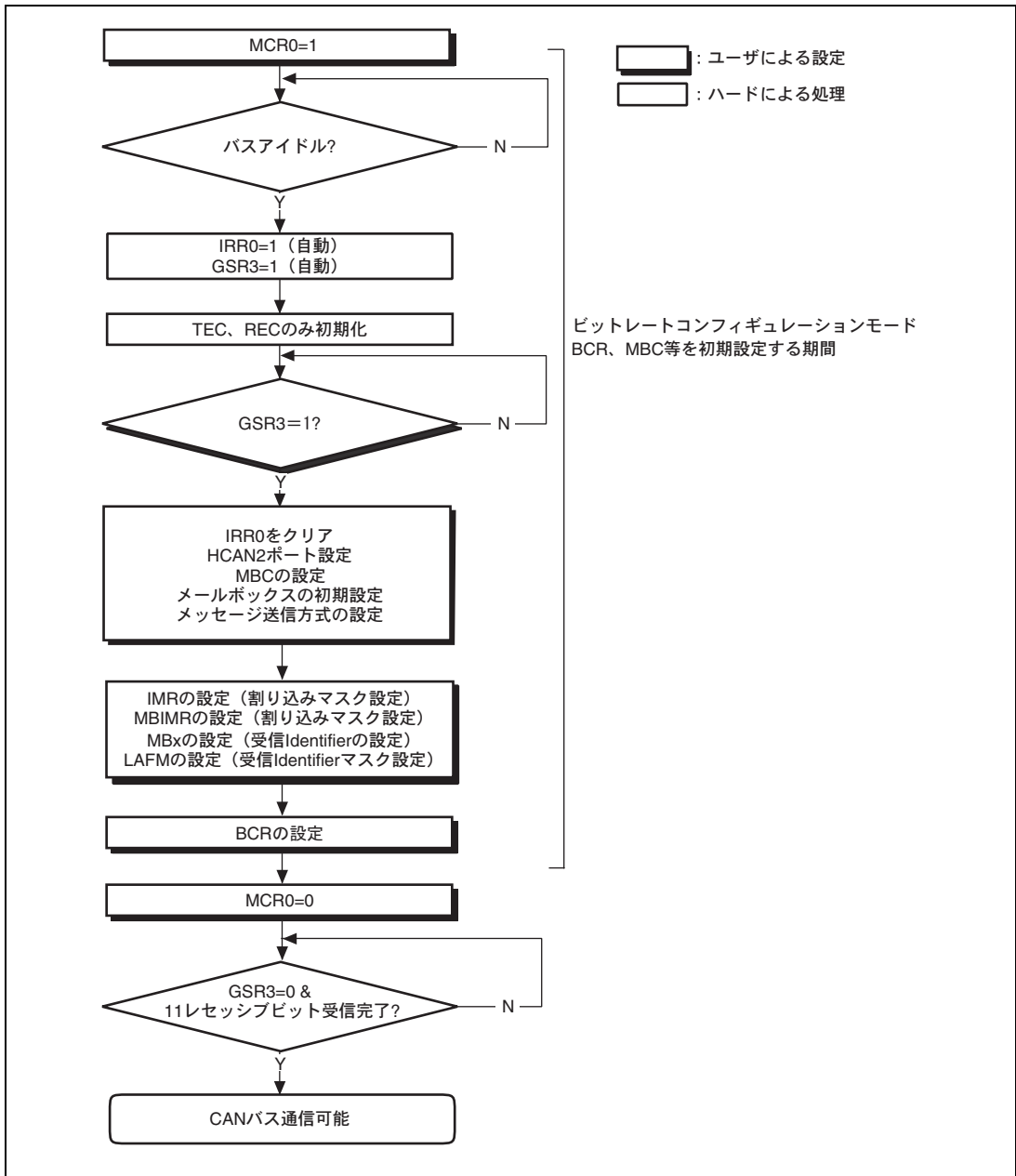


図 15.6 ソフトウェアリセット時のフローチャート

(2) HCAN2 端子ポート設定

HCAN2 ポート設定は必ず、コンフィギュレーションモード中またはそれ以前に行ってください。設定方法の詳細は「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

(3) ビットレートおよびビットタイミングの設定

ビットレートおよびビットタイミングの設定は、ビットコンフィギュレーションレジスタ (BCR) により行います。CAN バスに接続している CAN コントローラは、すべて同一ボーレート、同一ビット幅になるよう設定してください。1 ビットタイムは設定可能な Time Quanta (TQ) の合計で構成されます。1 ビットタイムの詳細を図 15.7 に示します。

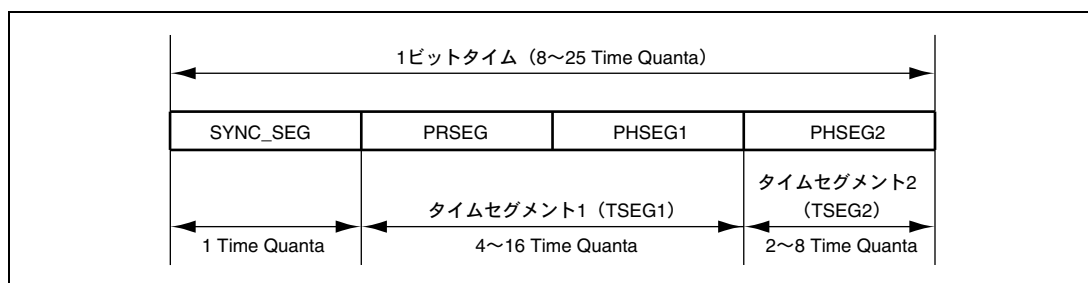


図 15.7 1 ビットタイムの詳細

SYNC_SEG は CAN バス上のノードの同期化をとるためのセグメントです。通常のビットエッジ変化はこの部分で発生します。PRSEG はネットワーク間の物理的なディレイを補正するためのセグメントです。PHSEG1 は位相ずれ (プラス) を補正するためのバッファセグメントです。同期化 (Re-Synchronization) をとる場合は PHSEG1 を延長します。PHSEG2 は位相ずれ (マイナス) を補正するためのバッファセグメントです。同期化 (Re-Synchronization) をとる場合は PHSEG2 を短縮します。BCR に設定可能な値 (TSEG1、TSEG2、BRP、サンプルポイント、SJW) の範囲を表 15.4 に示します。

表 15.4 BCR に設定可能なレジスタ値の範囲

名称	略称	最小値	最大値
タイムセグメント 1	TSEG1	4 ^{*3}	16
タイムセグメント 2	TSEG2	2 ^{*2}	8
ボーレートプリスケアラ	BRP	1	256
ビットサンプルポイント	BSP	1	3
Re-Synchronization Jump Width	SJW ^{*1}	1	4

【注】 *1 SJW は CAN 仕様で $4 \geq \text{SJW} \geq 1$ と規定されています。

*2 TSEG2 の最小値は CAN 仕様で $\text{TSEG2} \geq \text{SJW}$ と規定されています。

*3 TSEG1 の最小値は CAN 仕様で $\text{TSEG1} > \text{TSEG2}$ と規定されています。
 $\text{TSEG1} + \text{TSEG2} + 1 = 8 \sim 25\text{TQ}$ (Time Quanta) と規定されています。

15. コントローラエリアネットワーク 2 (HCAN2)

Time Quanta (TQ) はシステムクロック数の整数倍で、ポーレートプリスケラ (BRP) によって以下のように決まります。f_{CLK}はHCAN2のクロック (φ/2) を表します。

$$TQ = (\text{BRP の設定値} + 1) / f_{\text{CLK}}$$

1 ビットタイムおよびビットレートは下記の式により算出されます。

$$1 \text{ ビットタイム} = TQ \times (1 + \text{TSEG1} + \text{TSEG2})$$

$$\text{ビットレート} = 1 / \text{ビットタイム}$$

$$= f_{\text{CLK}} / \{ (\text{BRP で設定された TQ 数}) \times (1 + \text{TSEG1 で設定された TQ 数} + \text{TSEG2 で設定された TQ 数}) \}$$

【注】 f_{CLK}=φ/2 (システムクロックの2分周)

BRP、TSEG1、TSEG2の計算値はBCRレジスタのTQ値を使用します。

【例】 φ=40MHz、BRP=B'000001 (2TQ)、TSEG1=B'0100 (5TQ)、TSEG2=B'011 (4TQ) の場合

$$\text{ビットレート} = 20 / \{ (2) \times (1 + 5 + 4) \} = 1\text{Mbps}$$

表 15.5 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[10~8])						
		001*	010	011	100	101	110	111
TQ値		2	3	4	5	6	7	8
TSEG1 (BCR[15~12])	0011	×	○	×	×	×	×	×
	0100	○	○	○	×	×	×	×
	0101	○	○	○	○	×	×	×
	0110	○	○	○	○	○	×	×
	0111	○	○	○	○	○	○	×
	1000	○	○	○	○	○	○	○
	1001	○	○	○	○	○	○	○
	1010	○	○	○	○	○	○	○
	1011	○	○	○	○	○	○	○
	1100	○	○	○	○	○	○	○
	1101	○	○	○	○	○	○	○
	1110	○	○	○	○	○	○	○
1111	○	○	○	○	○	○	○	

【重要】* BRP[7:0]=B'00000000設定時、TSEG2[2:0]=B'001設定禁止

(4) メールボックスの初期化

メールボックスは RAM であるため、電源供給後の初期値は不定です。したがって、メールボックス内の値をすべて初期化 (0 または 1 をライト) してください。

(5) メールボックス送受信方向の設定

HCAN2 には 32 本のメールボックスがあります。メールボックス 0 は受信専用です。メールボックス 1~31 は送信用または受信用に設定可能です。

メールボックスを送信および受信用に設定するには、メールボックスの MBC[2:0] ビットを使います。なお、受信用メールボックスは、メッセージの受信効率を向上させるため、優先順位の高いメッセージをメールボックス番号の大きいメールボックスに割り当ててください。

未使用のメールボックスに関しては、MBC[2:0] を b'111 にセットして、アクセスしないでください。

【重要】 メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。

(6) メッセージ送信方式の選択

メッセージの送信には次の 2 通りの方式があります。

- メッセージ Identifier の優先順位にしたがって送信の順番を決定
- メールボックス番号の優先順位にしたがって送信の順番を決定

送信方式は、マスタコントロールレジスタ (MCR) のメッセージ送信方式ビット (MCR2) で選択します。メッセージ Identifier の優先順位に従って送信する設定の場合、複数メッセージが同時に送信待ち状態 (TXPR=1) になると、メッセージ Identifier、IDE、EXT-ID および RTR ビットの設定に従って最も優先度の高いメッセージ (Identifier、IDE、EXT-ID および RTR ビット設定値が小さいメッセージ) が送信バッファに格納されます。バッファに格納されたメッセージは、CAN バスとのアービトレーションによって送信権を獲得すると送信されます。HCAN2 は、TXPR がセットされるたびに優先順位の最も高いメッセージを探して送信バッファに格納します。

メールボックス番号の優先順位にしたがって送信する場合、複数メッセージが同時に送信待ち (TXPR=1) 状態になるとメールボックス番号の最も大きいメッセージが送信バッファに格納されます。バッファに格納されたメッセージは、CAN バスとのアービトレーションによって送信権を獲得すると送信されます。

15.4.3 イベントトリガによるメッセージ送信

メッセージの送信はメールボックス 1~31 を用いて行います。初期設定後の送信は下記の手順で行います。図 15.8 に送信時のフローチャートを示します。

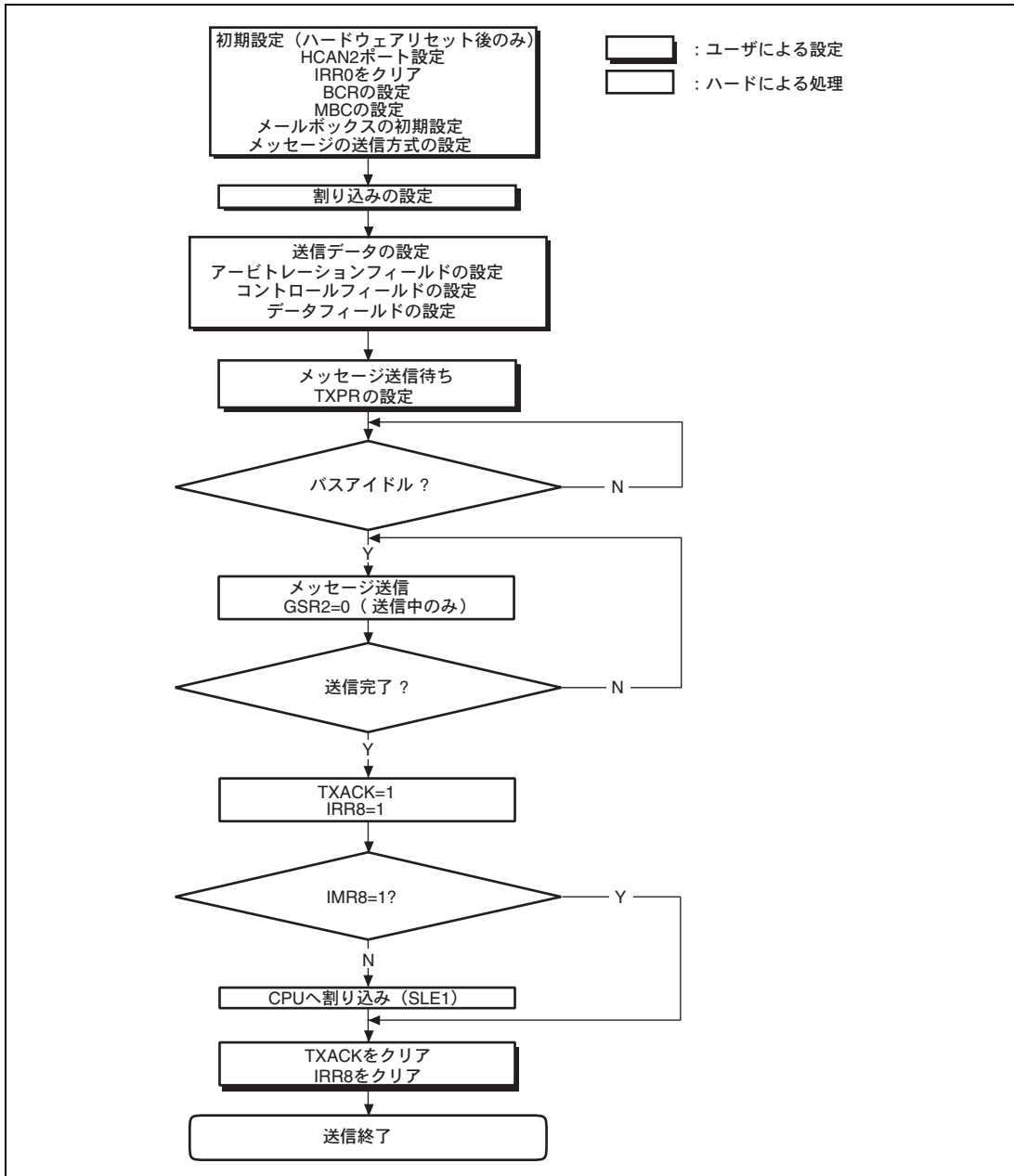


図 15.8 イベントトリガによる送信時のフローチャート

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定は、インタラプトマスクレジスタ (IMR) とメールボックスインタラプトマスクレジスタ (MBIMR) により行います。MBIMR により、送信アクノレッジおよび送信取り消しアクノレッジの割り込み要求を、メールボックスごとに発生させることができます。

(2) アービトレーションフィールドの設定

アービトレーションフィールドの設定は、送信メールボックスのメッセージコントロール MBx[0]~MBx[3] により行います。スタンダードフォーマットの場合は、11 ビットの Identifier (STDID[28]~[18]) と RTR ビットを設定し、IDE ビットをクリアします。エクステンデッドフォーマットでは、29 ビットの Identifier (STDID[28]~[0], EXTID[17]~[0]) と RTR を設定し、IDE ビットを 1 にセットします。

(3) コントロールフィールドの設定

送信メールボックスのメッセージコントロール MBx[4]~MBx[5] の DLC[3:0] ビットに、送信するデータのバイト数を 0~8 バイトの範囲で設定します。

(4) データフィールドの設定

メッセージデータ MSG_DATA_0~7 に送信するデータを、0~8 バイトの範囲で設定します。送信されるデータのバイト数は、コントロールフィールド内のデータ長コード (DLC[3:0]) で決まります。コントロールフィールドに設定している値より多くのデータが設定されても、コントロールフィールドに設定されたバイト数だけ送信されます。

(5) メッセージの送信

メッセージコントロール、メッセージデータ設定後、送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビットを 1 にセットすると送信待ち状態になります。メッセージが正常に送信されると送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビットがセットされ、送信待ちレジスタ (TXPR) の送信待ちビットが自動的にクリアされます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビットとインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IMR8) が割り込み許可に設定されていると、CPU への割り込み (SLE1) を発生させることができます。

また、下記条件でメッセージの送信を中断した場合は、自動的にメッセージを再送信します。

- CANバスアービトレーション負け (バス権獲得に失敗)
- 送信中のエラー (ビットエラー、スタッフエラー、CRCエラー、フレームエラー、ACKエラー)

(6) メッセージの送信取り消し

送信待ち状態のメッセージの送信を取り消すことが可能です。送信待ちメッセージを取り消すには、送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビットを 1 にセットします (送信待ちレジスタ (TXPR) をクリアしても、送信取り消しはできません)。取り消しが実行されると自動的に送信待ちレジスタ (TXPR) がクリアされ、取り消しアクノレッジレジスタ (ABACK) の対応するビットが 1 にセットされます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビットとインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生させることができます。

15. コントローラエリアネットワーク 2 (HCAN2)

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

- 内部アービトラージおよびCANバスアービトラージ期間中
- データフレーム、リモートフレーム送信中

図 15.9 に送信メッセージの取り消しのフローチャートを示します。

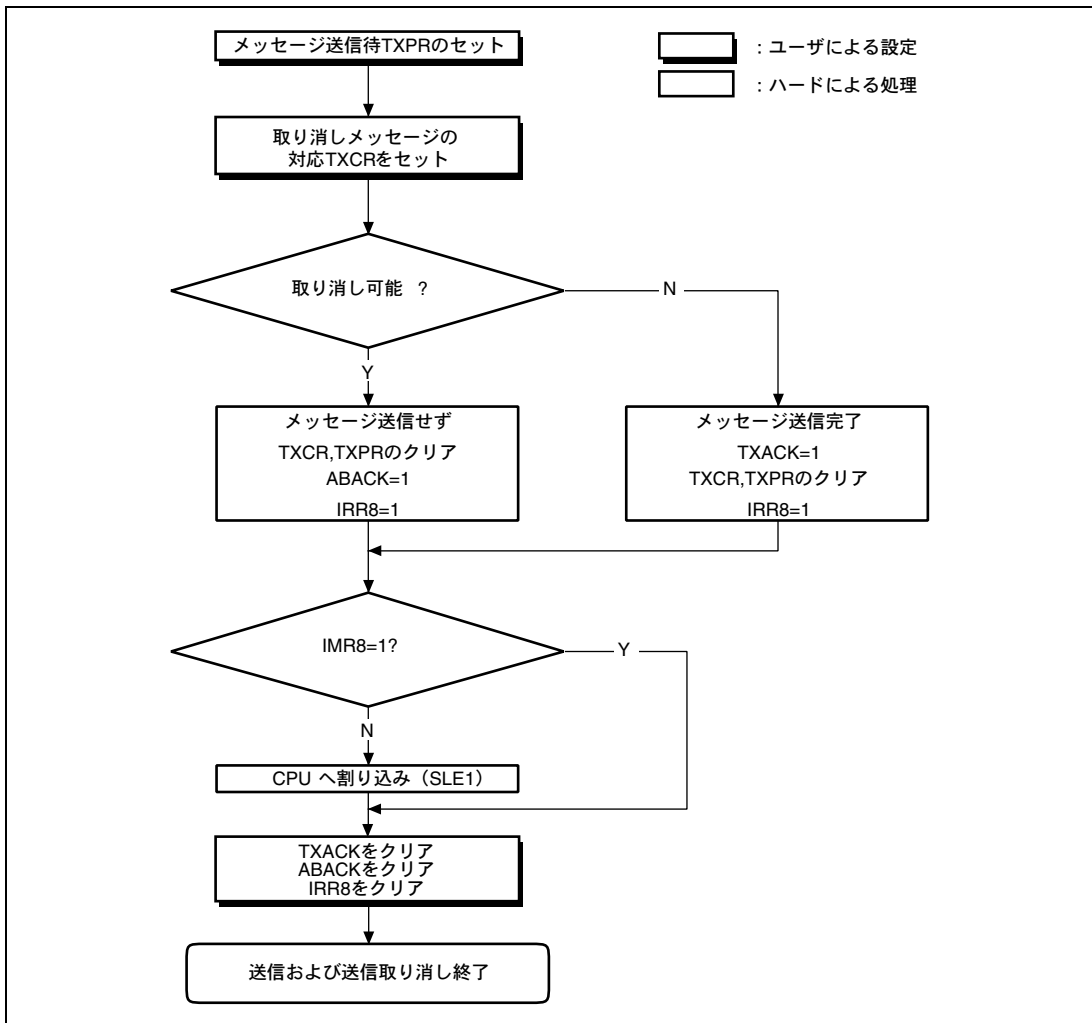


図 15.9 送信メッセージの取り消しのフローチャート

15.4.4 タイムトリガによるメッセージ送信

- メッセージ送信要求

CAN フレームをバスに送信する処理例を以下に示します。

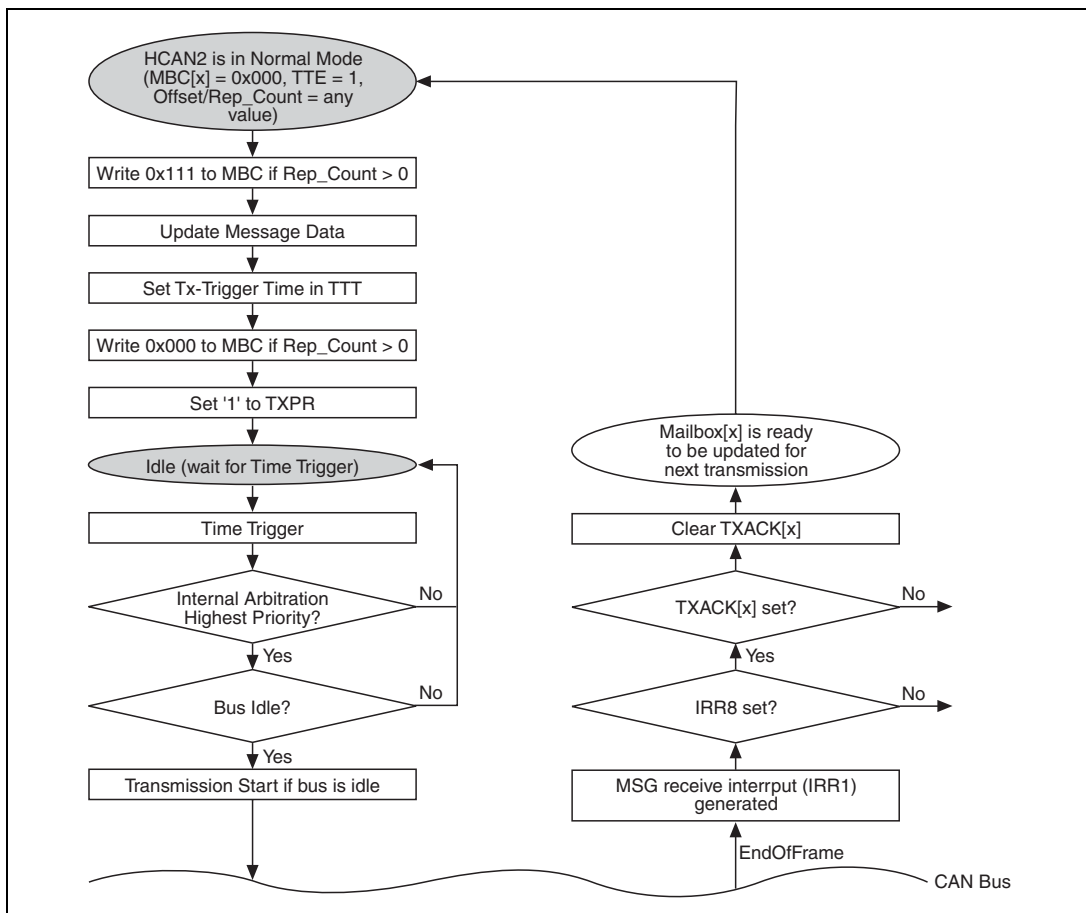


図 15.10 メッセージ送信要求

周期送信が設定されると (Rep_Count>0)、メッセージデータが更新される前に MBC を 0x111 に設定して、メールボックスを無効にする必要があります。これにより、HCAN2 がメッセージデータの更新中にメッセージデータを Tx バッファに送信するのを防ぐことができます。Tx トリガが発生する前に必ずメッセージを更新し終えるようソフトウェアで管理する場合、この処理は必要ありません。

TCNTR がメールボックスの TTT (Tx トリガタイム) になると、HCAN2 はただちにメッセージを Tx バッファに送信します。HCAN2 の送信を可能にするには、この時点でバスがアイドル状態 (または休止中) である必要があります。このタイムスロットを逃した場合、HCAN2 は対応する DART ビットの状態を確認します。DART が 1 にセットされている場合、HCAN2 は次の CAN フレームで送信せず、該当 TXPR ビットを 1 に保持したまま、次

15. コントローラエリアネットワーク 2 (HCAN2)

の Tx トリガを待って、送信を開始します。DART が 0 にクリアされている場合、HCAN2 は次の CAN フレームで送信します。HCAN2 がタイムスロットを逃す要因は次の 3 つです— (1) バスが使われている、(2) タイムトリガメッセージ送信中のバスエラー、(3) タイムトリガメッセージ送信中のバス権の喪失。

TXPR は常時変更できます。HCAN2 は、タイムトリガメッセージが予定通りに送信されるよう管理します。しかしながら、正確な予定を保証するには、以下の重要なルールを守る必要があります。

- いったんTXPRビットがセットされると、TTT (Txトリガタイム) を変更できません。TTTを変更する場合は、
- 対応するTXCRビットを設定することでTXPRをクリアしてください。
- TCMR0を用いてTCNTRをクリア/セットしている場合、TTTは必ずTCNTRの範囲内に設定してください。それ以外の場合、スケジュールに問題が生じる恐れがあります。
- TXPRは周期送信 (Rep_Count>0) でクリアされません。周期送信をキャンセルする時は、該当TXCRビットをセットすることでTXPRビットをクリアしてください。
- タイムトリガメッセージ送信中は、他のメッセージを1つだけトリガできます。もう1つのメッセージとの間には200システムクロックを挿入してください。

• タイムトリガシステム例

以下の図に HCAN2 を用いたタイムトリガシステムの簡単な例を示します。

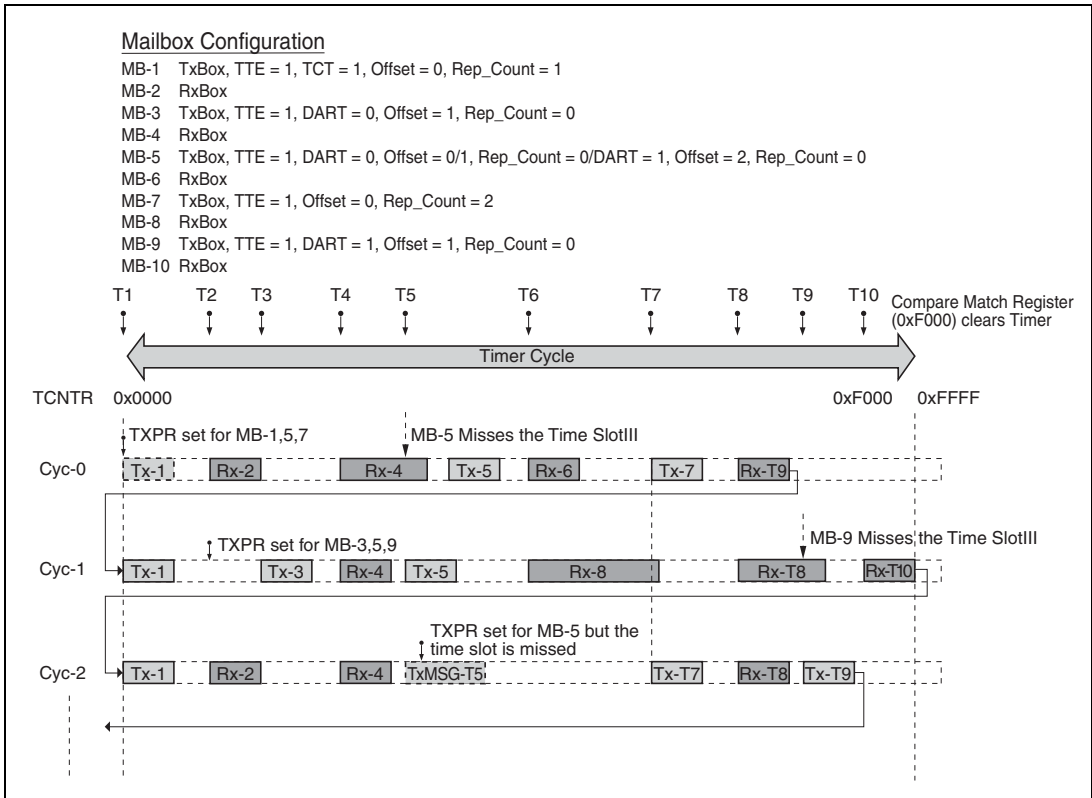


図 15.11 タイムトリガシステム例

メールボックス 1, 3, 5, 7 と 9 が TTE (タイムトリガイネーブル) ビットが 1 にセットされている送信ボックスとして、メールボックス 2, 4, 6, 8 と 10 が受信ボックスとして構成されています。メールボックス 1 と 7 からの送信は周期に基づいており、それぞれ 1 サイクル毎 (Rep_Count=1) と 2 サイクル毎 (Rep_Count=2) に実行されます。

このシステムには T1~T10 (CMAX=10) の 10 個の基本サイクルがあり、TCMR0 が 0xF000 に設定されると TCNTR はクリアされます (LOSR=0x0000)。

• サイクル0

メールボックス 1, 5 と 7 の TXPR は送信用にセットされる。メールボックス 1 は、HCAN2 の内部調停が完了するのに時間がかかるため、メッセージの送信に失敗する。メールボックス 5 は、T4 サイクルで到着したメッセージが T5 サイクルにまで及んだため予定通りにメッセージを送信できないが、DART がセットされていないため、バスが解放され次第送信を行う。メールボックス 7 は予定された時間 (T7 サイクル) にメッセージを送信する。

15. コントローラエリアネットワーク 2 (HCAN2)

● サイクル1

メールボックス1は、ベースサイクル毎に送信が設定されているため、T1サイクルで再びメッセージを送信する。その後、メールボックス3,5と9のTXPRがセットされる。HCAN2はスケジュールに従ってT3とT5の両方のサイクルでメッセージを送信する。T8サイクルでメッセージが到着し、T9サイクルにまで及ぶ。DARTビットがセットされたメールボックス9は、バスが別のCANノードに占領されたため、メッセージを送信できず、タイムスロットを逃す。メールボックス9は次のタイムスロットであるT9サイクルを待つ。

● サイクル2

メールボックス1 (1ベースサイクルの周期) とメールボックス7 (2ベースサイクルの周期) はバスが空いているため、予定通りに送信できる。メールボックス5のTXPRはT5サイクルの開始直後にセットされるが、タイムスロットを逃す。DARTがセットされているため、TXPRは保持され、次のマトリックスサイクルの第2サイクルで送信される。

上記の設定に加え、下記のオプションも便利です。

- メールボックス10のCCMビットをセットし、タイマをクリア/セットする。
- タイムマスター動作時、TCTビットをセットし、TxMSG-T1のSOFでのTCNTRおよびCycle_count値を送信する。
- CCMビットのセットでICR0を無効化し、HCAN2のローカル時間と受信したグローバル時間とを比較する。
- CMR0とCMR1を使って割り込み信号を発生させ、メッセージが予定通りに受信/送信されたかをモニターする。

15.4.5 イベントトリガとタイムトリガによる複合送信

イベントトリガ送信とタイムトリガ送信を混在させても、HCAN2は正しく動作します。メッセージの受信/送信中に別のメッセージのイベントトリガ送信が要求された場合、内部調整器は優先順位の最も高いメッセージを取り込みます。要求されたメッセージの順位が最優先だった場合、現在実行中のCANフレームが終了次第、要求メッセージを送信します。

イベントトリガメッセージの送信要求がメッセージ送信のタイムトリガ発生と同時に起きた場合、これらの全てのメッセージは内部調整器で優先順位をつけられた後、送信キューに並びます。

優先順位をつけるこの手順は重要です。何故なら、例えば、緊急のメッセージをタイムトリガCANシステムで送信しないとけない場合、タイムスケジュールを無視して、それらの緊急メッセージをただちにCANバスに出力することが可能です。

15.4.6 メッセージ受信

初期設定後の受信は下記の手順で行います。図 15.12 に受信時のフローチャートを示します。

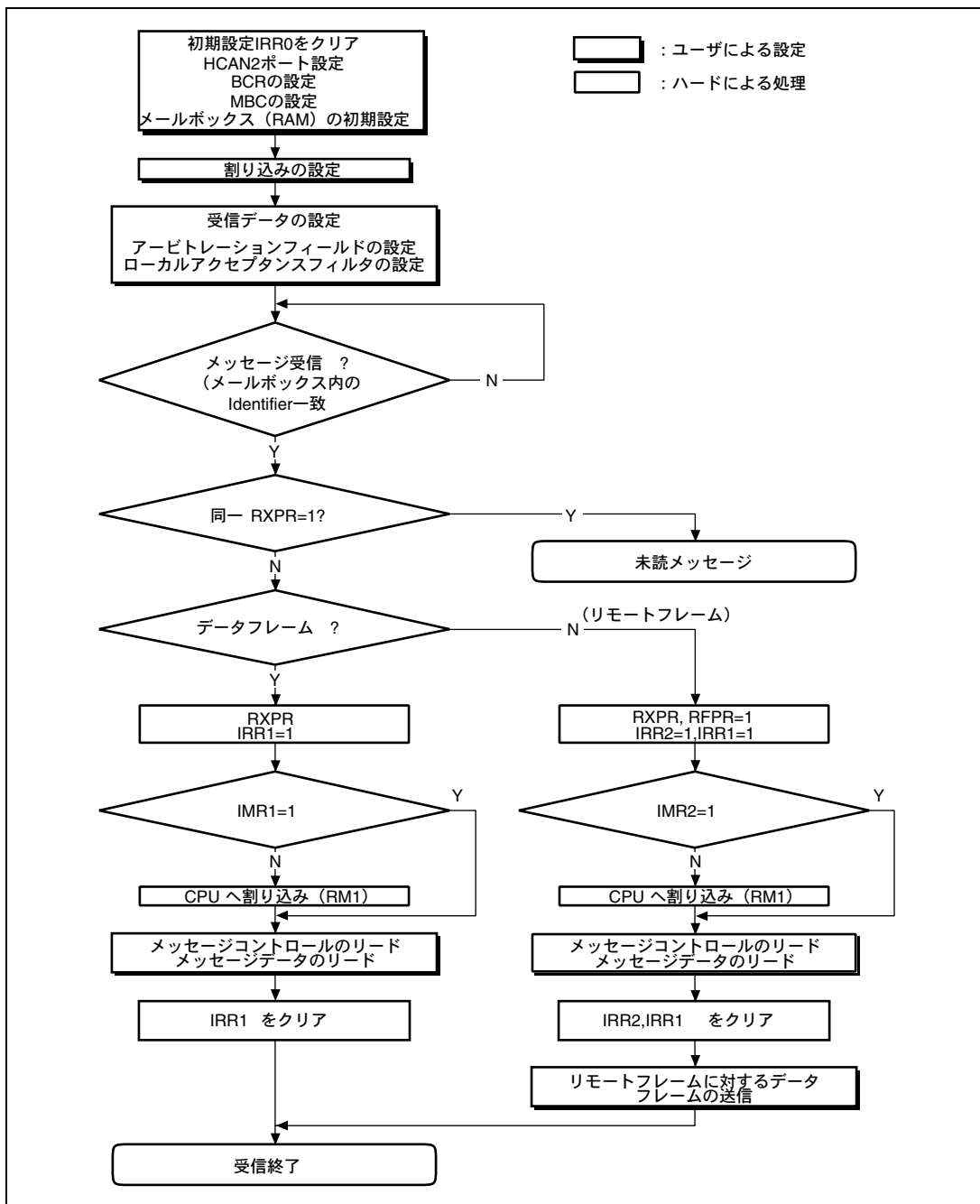


図 15.12 受信時のフローチャート

15. コントローラエリアネットワーク 2 (HCAN2)

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定は、インタラプトマスクレジスタ (IMR) とメールボックスインタラプトレジスタ (MBIMR) により行います。MBIMR により、データフレーム、リモートフレーム受信待ちの割り込み要求をメールボックスごとに発生させることができます。

(2) アービトレーションフィールドの設定

メッセージを受信するためには、あらかじめ受信用メールボックスのメッセージコントロール (MBx[0]~[5]) 内に Identifier を設定する必要があります。メッセージを受信すると、受信メッセージの Identifier とメッセージコントロール内の Identifier の全ビットを比較し、完全に一致したメールボックスにメッセージを格納します。ただし、メールボックスに対して Don't Care を設定できるローカルアクセプタンスマスクフィルタ (LAFM) が設けてあります。LAFM の設定は全てのメールボックスに有効で、受信する Identifier の全ビットに対して Don't Care の指定をすることにより、複数の Identifier のメッセージを受信することが可能です。

[例] :

メールボックス1のIdentifier が010_1010_1010(スタンダードフォーマット)、LAFMの設定値が000_0000_0000 (0 : Care, 1 : Don't care) のとき、メールボックス1が受信可能なメッセージIdentifierは次の1種類のみとなります。

Identifier 1 : 010_1010_1010

メールボックス0のIdentifier が010_1010_1010 (スタンダードフォーマット)、LAFM の設定値が000_0000_0011 (0 : Care, 1 : Don't Care) のとき、メールボックス0が受信可能なメッセージIdentifierは次の4種類となります。

Identifier 1 : 010_1010_1000

Identifier 2 : 010_1010_1001

Identifier 3 : 010_1010_1010

Identifier 4 : 010_1010_1011

(3) メッセージの受信

メッセージを受信すると、自動的に CRC チェックを行います。CRC の結果エラーがなければ、メッセージの受信可否にかかわらず、ACK を ACK フィールドで送信します。

• データフレーム受信

受信したメッセージにCRC等のエラーが検出されなかった場合、受信メッセージのIdentifierと受信用メールボックス内のIdentifier (LAFMを含む) を比較し、完全に一致すると一致したメールボックスにメッセージを格納します。Identifierの比較はメールボックス31から開始し、メールボックス0まで順次行います。完全に一致したメールボックスがあると、その時点で比較を終了してメールボックス内にメッセージを格納し、受信完了レジスタ (RXPR) の対応する受信完了ビット (RXPR0~31) をセットします。メッセージ受信時、複数のメールボックスで (LAFM機能を含む) ID比較が一致した場合は、メールボックス番号の一番大きいメールボックスのみがメッセージ受信可能です。メッセージを受信するとメールボックスインタラプトマスクレジスタ (MBIMR) とインタラプトマスクレジスタ (IMR) の受信メッセージ割り込みマスク (IMR1) の設定に従ってCPUに対して割り込み要求 (RM1) を発生します。

• リモートフレーム受信

メールボックスにはデータフレームとリモートフレームの2種類のメッセージを格納することができます。リモートフレームがデータフレームと異なる点は、メッセージコントロールに格納されるリモートトランSMミッションリクエストビット (RTR) の値と、データフィールドが0バイトであることの2点です。メッセージコントロールのデータ長コード (DLC) には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム (RTR=recessive) を受信すると、リモートリクエスト待ちレジスタ (RFPR) の対応するビットがセットされます。このとき、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビットと、インタラプトマスクレジスタ (IMR) のリモートフレームリクエスト割り込みマスク (IMR2) の設定に従って、CPUに対して割り込み要求 (RM1) を発生します。

(4) 未読メッセージのオーバライト

受信したメッセージはメールボックス内の Identifier と一致すると、未読メッセージの有無にかかわらず、メールボックスに格納されます。未読メッセージのオーバライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビットがセットされます。未読メッセージレジスタ UMSR は、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信したときセットされます。このとき、インタラプトマスクレジスタ (IMR) の未読割り込みマスク (IMR9) 設定により、CPU に対して割り込み要求を発生します。図 15.13 に未読メッセージオーバライトのフローチャートを示します。

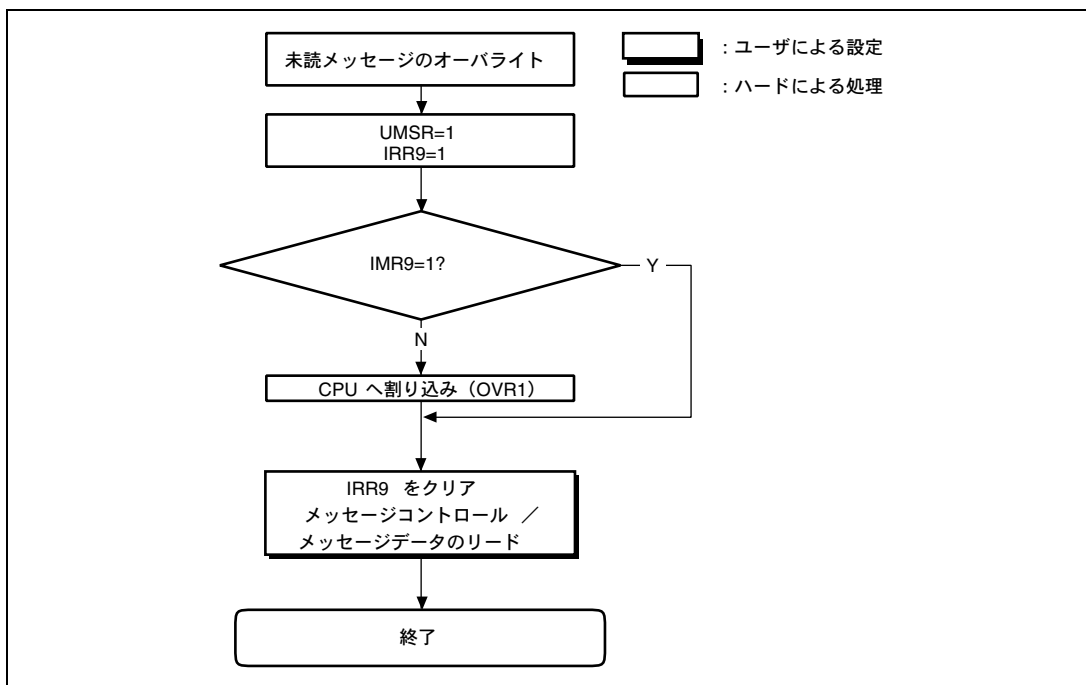


図 15.13 未読メッセージオーバライトのフローチャート

15.4.7 メールボックスのリコンフィギュレーション

メールボックスのリコンフィギュレーションは以下の手順に従って行ってください。

- 送信ボックスのIDを変更するか送信ボックスを受信ボックスに変更する対応するTXPRがセットされていないことを確認してください。識別子や該当MBCビットは常時変更できます。両方を変更する場合は、識別子を変更してから、該当MBCビットを変更してください。
- 受信ボックスのIDを変更するか受信ボックスを送信ボックスに変更する

<方法 1> Halt モードを使用する

この方法の利点は、メッセージがその時点でCANバスにあって、HCAN2が受信器になっている限り、メッセージは紛失されません。受信を終了した後、HCAN2はHaltモードになります。欠点は、HCAN2がメッセージを受信している最中ならばリコンフィギュレーションに時間がかかること（受信が完了するまでHaltモードへの遷移は遅延される）とHaltモード時はメッセージの受信/送信が不可能なことです。

<方法 2> Halt モードを使用しない

この方法の利点は、リコンフィギュレーションがただちに行われ、まるで割込みが存在しなかったくらいにソフトウェアのオーバーヘッドが小さいことです。RXPRをリコンフィギュレーションの前後に読み出す必要があるが、これはこの期間にメッセージの受信があったかどうかを確認するためです。なお、MBIMRはRXPRビットがセットされるのを防ぐのではなく、単に割込み信号の発生を防ぎます。メッセージを受信した場合、その受信メッセージが以前のIDのものか新しいIDのものは不明です。したがって、この期間に受信したメッセージは廃棄するべきであり、そのことがこの方法の欠点です。

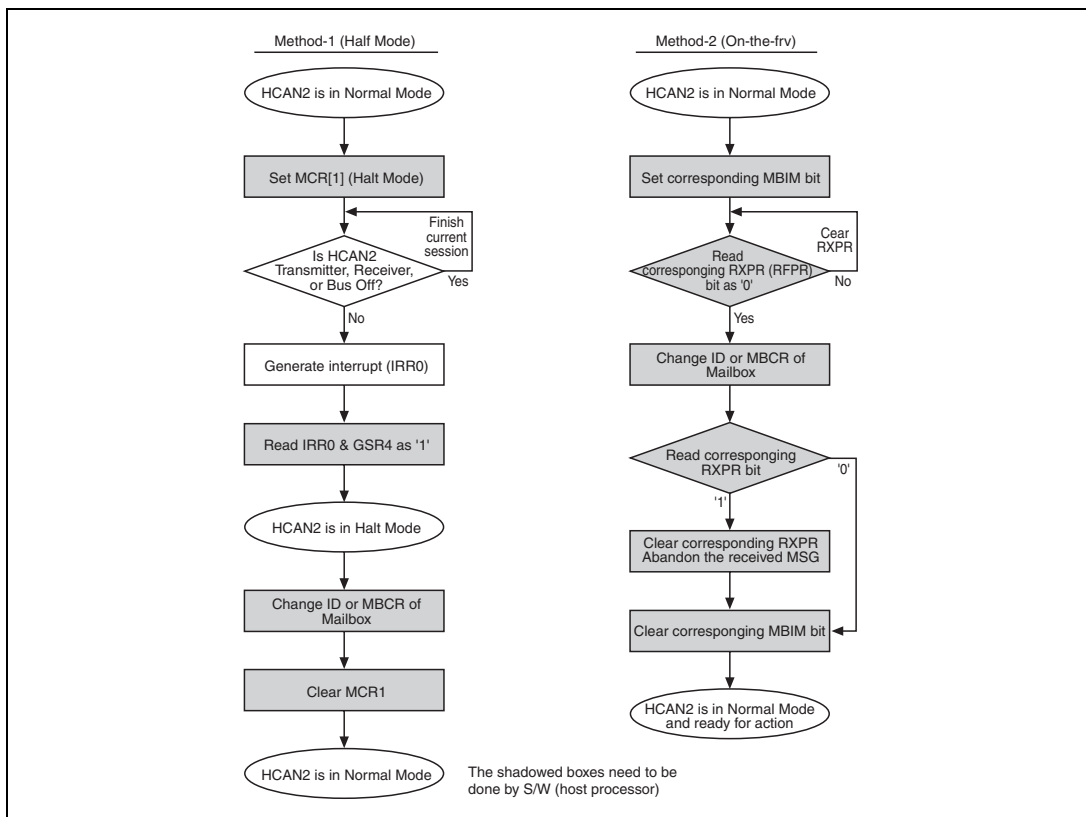


図 15.14 受信ボックス ID の変更と受信ボックスから受信ボックスへの変更

15.4.8 HCAN2 スリープモード

HCAN2には、スリープ状態にして消費電流を低減する HCAN2 スリープモードの機能があります。図 15.15 に HCAN2 スリープモードのフローチャートを示します。

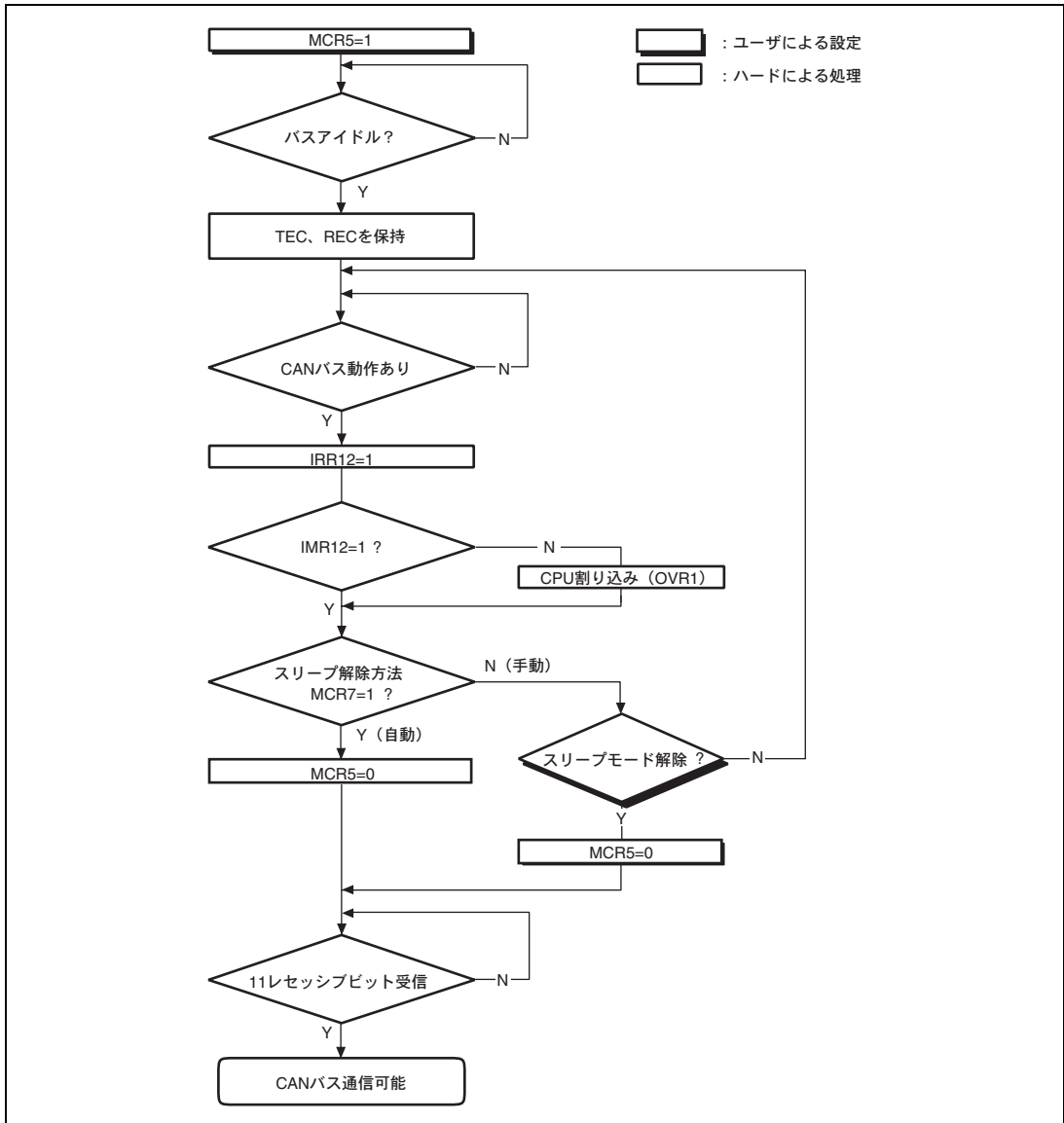


図 15.15 HCAN2 スリープモードのフローチャート

HCAN2 スリープモードへ遷移するには、マスタコントロールレジスタ (MCR) の HCAN2 スリープモードビット (MCR5) を 1 に設定します。HCAN2 は、CAN バスが動作をしているときはバスがアイドル状態になるまで待って、HCAN2 スリープモードに遷移します。

【推奨】 HCAN2 スリープモード設定にあたり、以下のフローを推奨します。

1. ホールトモード設定 (MCR1=1)。
2. CANバスから切り離されたことを確認 (GSR4=1)。
3. IRRを設定する要因レジスタをクリア。
4. ホールトモード解除およびスリープモード設定を同時設定 (MCR1=0&MCR5=1)。

HCAN2 スリープモードは以下の 2 種類の方法で解除されます。

- ソフトウェアによる解除
- CANバス動作による解除

なお、HCAN2 スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセシブビットの受信が必要です。

(1) ソフトウェアによる解除

ソフトウェアによる解除は、CPU により MCR5 へ 0 をライトしてください。

(2) CAN バス動作による解除

解除方法の選択は MCR の MCR7 により設定します。CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的に行います。このとき 1 つ目のメッセージは、メールボックスに受信せず、次のメッセージから正常受信を開始します。CAN バスから HCAN2 スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

15.4.9 HCAN2 ホールトモード

HCAN2 ホールトモードは、HCAN2 のハードウェアリセット、ソフトウェアリセットを行わずにメールボックスの設定を変更するためのモードです。HCAN2 ホールトモードでは、すべてのレジスタが保持されます。図 15.16 に HCAN2 ホールトモードのフローチャートを示します。

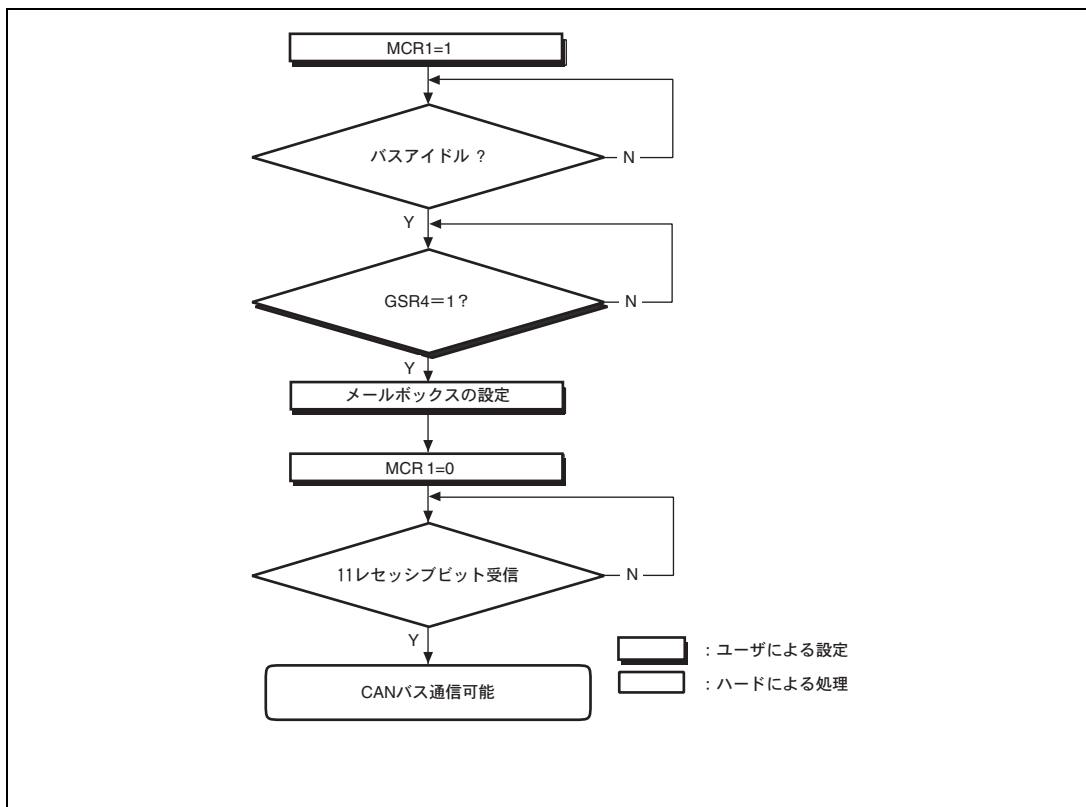


図 15.16 HCAN2 ホールトモードのフローチャート

HCAN2 ホールトモードへはマスタコントロールレジスタ (MCR) のホールトリクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN2 ホールトモードに遷移します。

HCAN2 ホールトモードは、MCR1 をクリアすることで解除されます。

15.5 割り込み要因

HCAN2 には表 15.6 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 15.6 HCAN2 の割り込み要因

名称	説明	割り込みフラグ	DTC の起動
ERS1	エラーバッシュ割り込み (TEC \geq 128 または REC \geq 128)	IRR5	不可
	バスオフ割り込み (TEC \geq 256) / バスオフからの復帰	IRR6	
	エラーワーニング割り込み (TEC \geq 96)	IRR3	
	エラーワーニング割り込み (REC \geq 96)	IRR4	
OVR1	パワーオンリセットによるリセット処理割り込み	IRR0	
	オーバロードフレーム送信	IRR7	
	未読メッセージのオーバライト / オーバラン	IRR9	
	HCAN2 スリープ中 CAN バス動作の検出	IRR12	
	タイマオーバーフロー	IRR13	
	TCMR0 にてコンペアマッチ	IRR14	
	TCMR1 にてコンペアマッチ	IRR15	
RM1	データフレーム受信	IRR1	可
	リモートフレーム受信	IRR2	
SLE1	メールボックスエンプティ	IRR8	不可

15.6 DTC インタフェース

HCAN2 のメールボックス 0 にメッセージを受信すると、DTC を起動することができます。なお、DTC 起動を設定し、DTC による転送が終了すると、自動的に RXPR0 と RFPR0 のフラグはクリアされます。このとき、HCAN2 からの受信割り込みで CPU への割り込みは発生しません。図 15.17 に DTC の転送フローチャートを示します。

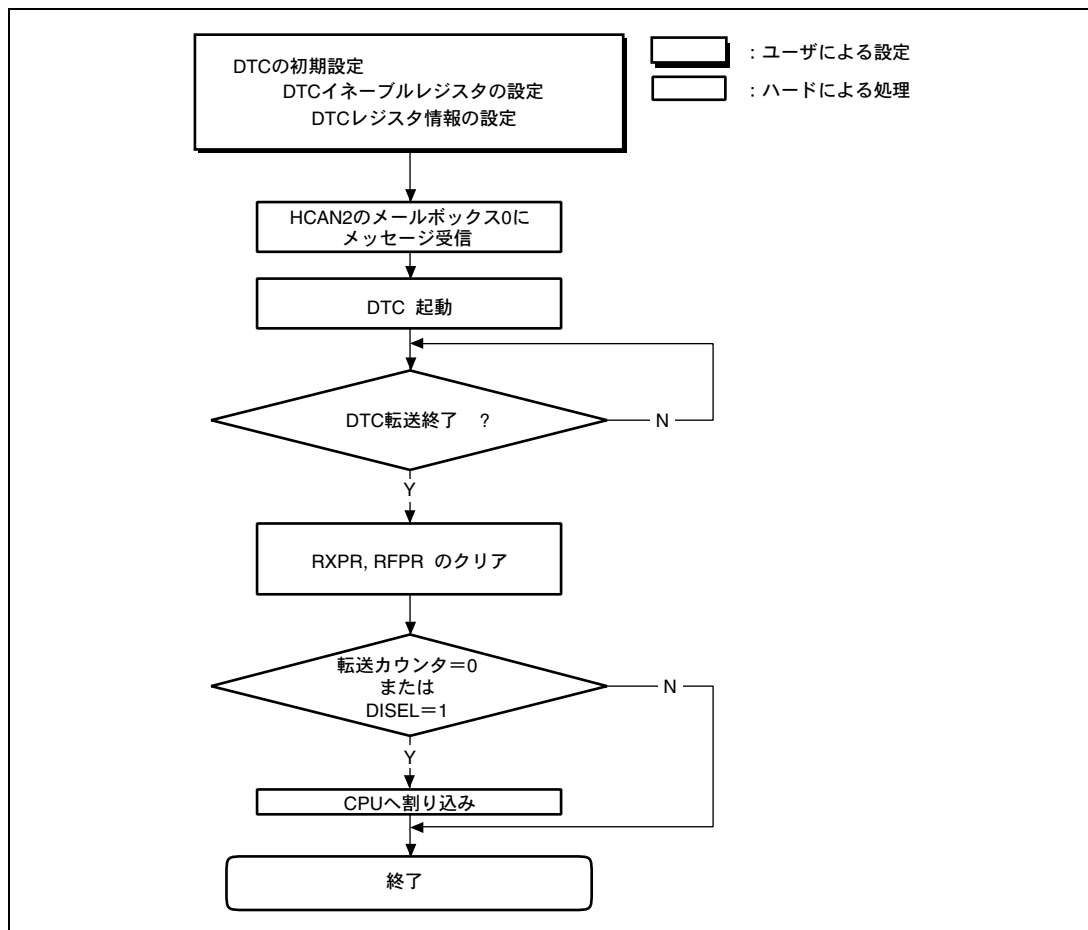


図 15.17 DTC の転送フローチャート

15.7 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 15.18 に接続例を示します。

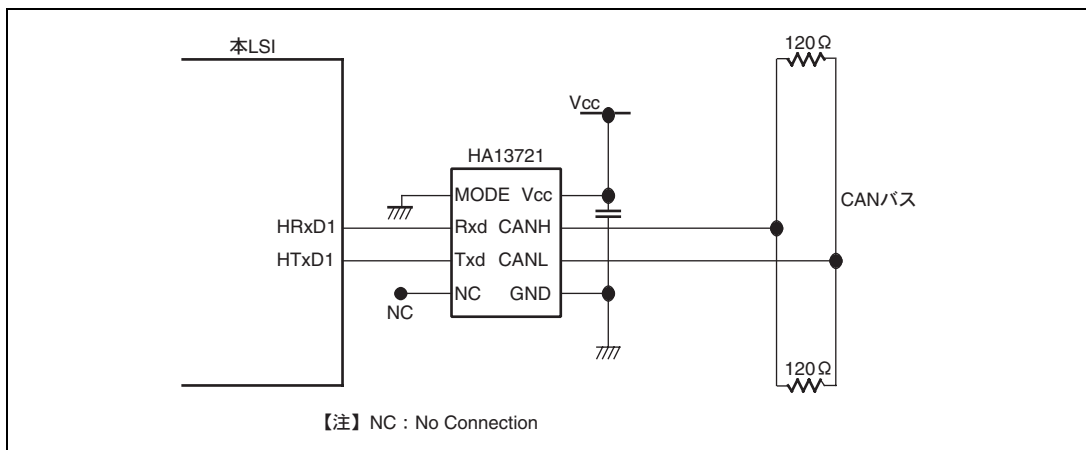


図 15.18 HA13721 を用いた高速インタフェース

15.8 使用上の注意事項

15.8.1 タイムトリガ送信設定/タイマ動作禁止について

- メールボックス設定のTTEビット（タイムトリガ送信設定）は必ず0をライトしてください。イベントトリガ送信に不具合が発生する場合があります。
- イベントトリガ送信時にはタイマを動作させないでください（TCR15ビット=0）。イベントトリガ送信に不具合が発生する場合があります。

15.8.2 リセット

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイにより HCAN2 はリセットされます。このときレジスタはすべて初期化されますが、メールボックス MBx は初期化されません。しかし、電源投入後メールボックス MBx は初期化され不定値になります。したがって、パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイ後は、必ずメールボックスを初期化してください。また、パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN2 の割り込み許可に設定すると、直ちに HCAN2 割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

15.8.3 HCAN2 スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は、HCAN2 スリープモード中の CAN バス動作によってセットされます。したがって、HCAN2 がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN2 スリープモード中もセットされます。

15.8.4 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しで、インタラプトレジスタ (IRR8、2、1) はセットされません。

15.8.5 エラーカウンタ

エラーアクティブ、エラーバシブでは REC、TEC は通常にカウントアップ、カウントダウンします。バスオフ中は 11 レセツピットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされ、REC=128 になると IRR7 がセットされます。

15.8.6 レジスタアクセス

HCAN2 レジスタアクセスは、バイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

15.8.7 スタンバイ時のレジスタ

HCAN2 は、ハードウェアスタンバイおよびソフトウェアスタンバイ時には、メールボックス以外はすべてのレジスタが初期化されます。

15.8.8 バスオフ中のタイムトリガコンペアマッチ

TTE=1、DART=0 (タイムトリガ送信、自動再送信) に設定されたメールボックスのタイムトリガコンペアマッチが、バスオフ中に発生した場合、バスがエラーアクティブ状態に復帰しても、自動再送信が行われません (DART 設定が無視されます)。再度タイムトリガコンペアマッチが発生するまで送信しません。

15.8.9 ピリオディックイベントトリガ送信

TTE=0、PTE=1 (イベントトリガ送信、周期送信) に設定している場合、本来メッセージ送信完了でクリアされるべき TXPR がクリアされません。

【ソフトウェア対策】

TTE=0 とする場合は、PTE=0 としてください。

15.8.10 ピリオディックタイムトリガ送信

TTE=1、DART=0、PTE=1（タイムトリガ送信、自動再送信、周期送信）に設定している場合、スロットミス（バスビジー中のタイムトリガコンペアマッチなど）が発生すると、内部ステートマシンが無限ループに遷移します。

【ソフトウェア対策】

上記ループに遷移した場合は、PTE=0 とすることでループから抜け出せます。

15.8.11 SOF/インターミッション中の送信取り消し

SOF、またはインターミッション中に TXCR をセットすると、自動的に TXCR のクリア、TXPR のクリア、ABACK のセットが行われるにもかかわらず、メッセージが送信され、送信完了時に TXACK がセットされます。その結果、送信取り消し完了割り込み、送信完了割り込みの両方が発生しますが、誤ったデータを送信したりすることはありません。

15.8.12 タイマドリフトコレクション

タイマドリフトコレクション機能を使用しないでください。

15.8.13 タイムトリガ/イベントトリガ送信競合

タイムトリガ送信設定のメールボックスと、イベントトリガ送信設定のメールボックスが混在する場合、次の 2 条件が成立すると、タイムトリガ送信が完了（非周期送信設定で送信完了、もしくは送信取り消し）するまで、イベントトリガ送信が開始されません。

- (a) タイムトリガメールボックス番号 ≤ イベントトリガメールボックス番号
- (b) MCR2=0（メッセージ Identifier の優先順位に従って送信）

【ソフトウェア対策】

タイムトリガメールボックス番号 ≥ イベントトリガメールボックス番号としてください。

15.8.14 タイムトリガアービトレーション遅延

タイムトリガ送信が CAN-ID のコンペアマッチ、または TCMR2 の条件でクリアされた場合、内部タイムトリガアービトレーションが直ちに行われず、次のタイムトリガイイベントまで待たされます。この結果、1 スロット送信をミスしてしまいます。

15.8.15 タイムトリガ送信における注意事項

タイムトリガモードでセットされたメールボックスからのメッセージは下記条件が生じた場合、メッセージの再送信はされません。

- アービトレーションがロストした場合
- 送信の間でエラーフレームが検知された場合
- 送信メッセージのアクノリッジの返信がなかった場合

HCAN2をタイムトリガモードで使用する場合、MB1は送信バッファとして使用しないでください。

15.8.16 送信設定レジスタ (TXPR) セットと EOF の競合

送受信メッセージの EOF と送信設定レジスタ (TXPR) のセットが競合すると、送受信データが正常に送受信できない場合があります。

- メッセージ受信中の EOF と競合した場合、次の SOF 受信で前の受信したデータが格納されず、正常に受信動作しない場合があります。
- メッセージ送信中の EOF と競合した場合、次の送信データの ID が壊れ、正常に送信できない場合があります。すべての送信終了後に一括送信設定した場合は正常に送信されます。

上記の現象は HCAN2 動作クロックと通信速度 (ボーレート)、TXPR に設定されている送信メールボックス数、TXPR 設定後のメールボックスへの CPU アクセス回数に依存します。

【ソフトウェア対策】

TXPR を一括設定し、設定したすべてのメールボックスの送信動作と CAN バスからの受信動作が終了するまで間隔を置き、TXPR が 0 クリア、RXPR が 1 にセットされたことを確認した後、TXPR を再設定するようにしてください。

15.8.17 ローカルアクセプタンスフィルタマスク (LAFM) のアクセス制限

メッセージ送信中に、ローカルアクセプタンスフィルタマスクレジスタ (LAFM) をリードアクセスするとレジスタのデータが壊れる場合があります。

【ソフトウェア対策】

ローカルアクセプタンスフィルタマスクレジスタへのアクセスは、コンフィグレーションモード (MCR0=1 にセット) で行うようにしてください。

15.8.18 オートアクノリッジモードの使用上の注意

マスタコントロールレジスタ (MCR)、TST4=1 (オートアクノリッジモード) でのセルフテストで、送信はできますが、送信したデータを受信することはできません。

15.8.19 送信待ち取り消しレジスタ (TXCR) の使用上の注意事項

1. SOF/インターミッション中の送信要求 (TXPRセット) 直後に、送信待ち取り消しレジスタ (TXCR) により、送信取り消し設定をした場合、送信準備中のメッセージに送信取り消しが間に合わず、送信動作が正常に行われますが、誤って送信待ち取り消しレジスタ (TXCR) クリア、取り消しアクノリッジレジスタ (ABACK) にフラグがセットされる場合があります。
2. また、イベントトリガ送信でメールボックス31は送信取り消しできません。

【制限事項】

メールボックス 31 は受信用メールボックスとしてご使用ください。

15.8.20 バスアイドル中の送信設定および送信取り消し

バスアイドル中の送信要求後 (TXPR セット)、SOF 直前のタイミングで送信要求 (TXPR セット)、または送信キャンセル (TXCR セット) を行うと送信動作が正常に行われない場合があります。

【ソフトウェア対策】

- TXPRを一括設定し、設定したすべてのメールボックス送信動作が終了するまで間隔を置き、TXPRが0クリアされたことを確認した後、TXPRを再設定してください。
- 送信キャンセルを行う場合は、TXPRセット後50 μ s以上間隔を置いてTXCRをセットしてください。
上記に示しましたTXPRセットからTXCRセットまでの設定間隔は目安です。詳細につきましては弊社営業窓口にお問い合わせください。

15.8.21 HCAN2 リセット解除について

HCAN2 のソフトウェアリセットを解除する (MCR0=0) 場合は、リセットステータスビット (GSR3) が1になっていることを確認した後に行ってください。

15.8.22 HCAN2 スリープ中のメールボックスアクセスについて

HCAN2 スリープ中にメールボックスにアクセスしないでください。HCAN2 スリープ中にメールボックスをアクセスすると CPU が停止する場合があります。HCAN2 スリープ中のメールボックス以外のレジスタアクセスでは CPU は停止しません。また、HCAN2 スリープ以外でメールボックスをアクセスしても CPU は停止しません。

16. モータマネージメントタイマ (MMT)

モータマネージメントタイマ (MMT) は、ノンオーバーラップタイムを持った6相PWM波形を出力することができます。MMTのブロック図を図16.1に示します。

16.1 特長

- 三角波比較タイプのノンオーバーラップタイムを持った6相PWM波形を出力可能
- タイマデッドタイムカウンタによりノンオーバーラップタイムを生成
- PWM周期に同期したトグル出力可能
- 外部信号によるカウンタクリアが可能
- DTCの起動によるデータ転送が可能
- A/D変換器の変換スタートトリガを生成可能
- 出力OFF機能
- 外部信号によるPWM出力の停止機能
- 発振停止時のPWM出力の停止機能
- モジュールスタンバイモードの設定可能

16. モータマネジメントタイマ (MMT)

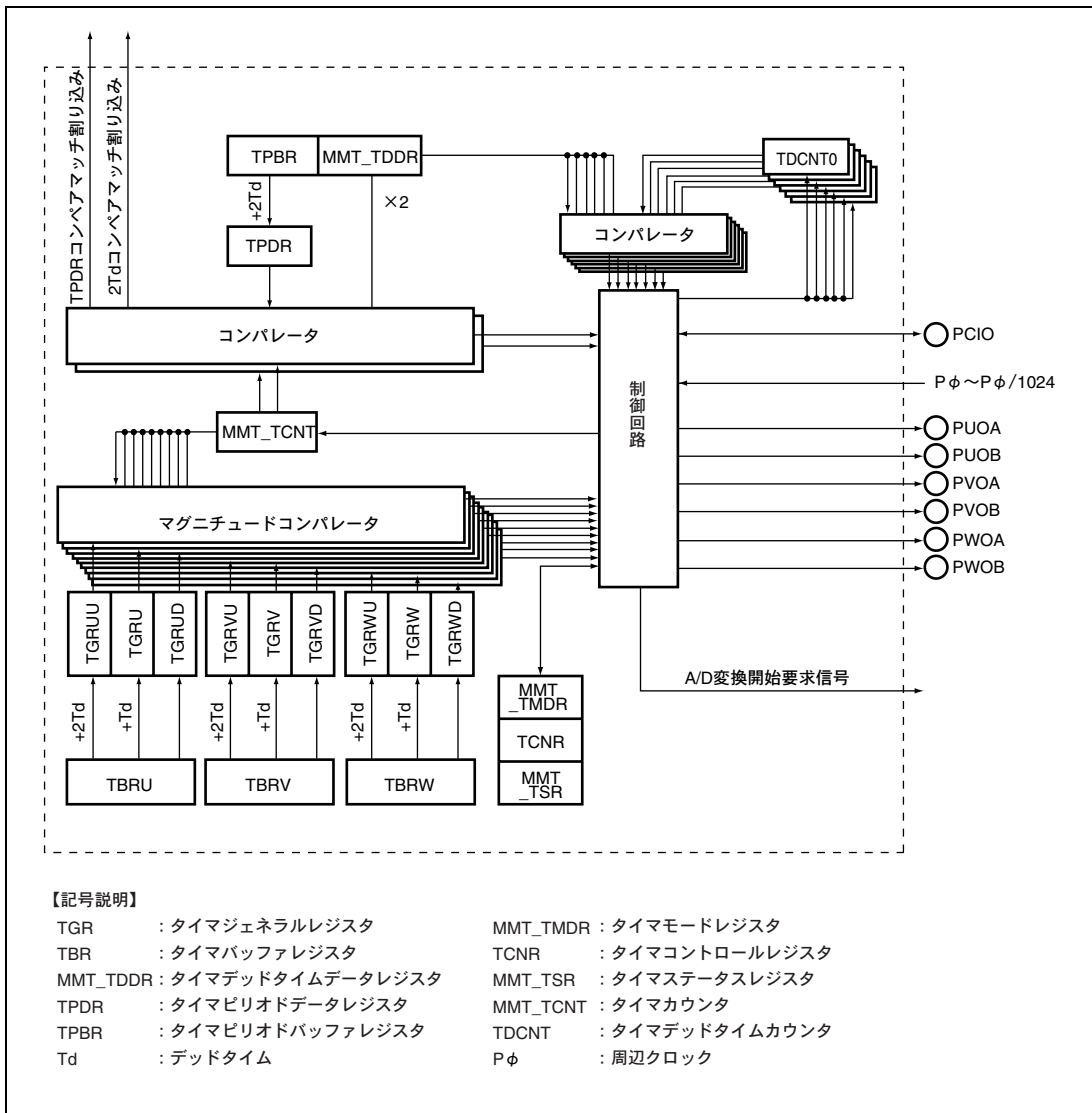


図 16.1 MMT ブロック図

16.2 入出力端子

MMT の端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	入出力	機能
PCIO	入出力	PAIORL レジスタで入力設定すると、カウンタクリア信号入力 PAIORL レジスタで出力設定すると、PWM 周期に同期したトグル出力
PUOA	出力	PWMU 相出力 (正相)
PUOB	出力	PWMU 相出力 (逆相)
PVOA	出力	PWMV 相出力 (正相)
PVOB	出力	PWMV 相出力 (逆相)
PWOA	出力	PWMW 相出力 (正相)
PWOB	出力	PWMW 相出力 (逆相)

16.3 レジスタの説明

MMT には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については、「付録 A. 内蔵 I/O レジスタ」を参照してください。

- タイマモードレジスタ (MMT_TMDR*)
- タイマコントロールレジスタ (TCNR)
- タイマステータスレジスタ (MMT_TSR*)
- タイマカウンタ (MMT_TCNT*)
- タイマバッファレジスタU (TBRU)
- タイマバッファレジスタV (TBRV)
- タイマバッファレジスタW (TBRW)
- タイマジェネラルレジスタUU (TGRUU)
- タイマジェネラルレジスタVU (TGRVU)
- タイマジェネラルレジスタWU (TGRWU)
- タイマジェネラルレジスタU (TGRU)
- タイマジェネラルレジスタV (TGRV)
- タイマジェネラルレジスタW (TGRW)
- タイマジェネラルレジスタUD (TGRUD)
- タイマジェネラルレジスタVD (TGRVD)
- タイマジェネラルレジスタWD (TGRWD)
- タイマデッドタイムカウンタ0 (TDCNT0)
- タイマデッドタイムカウンタ1 (TDCNT1)

16. モータマネージメントタイマ (MMT)

- タイマデッドタイムカウンタ2 (TDCNT2)
- タイマデッドタイムカウンタ3 (TDCNT3)
- タイマデッドタイムカウンタ4 (TDCNT4)
- タイマデッドタイムカウンタ5 (TDCNT5)
- タイマデッドタイムデータレジスタ (MMT_TDDR*)
- タイマピリオドバッファレジスタ (TPBR)
- タイマピリオドデータレジスタ (TPDR)

【注】* 以下、本章の本文中ではモジュール名を省略し、TMDR、TSR、TCNT、TDDR と記述します。

16.3.1 タイマモードレジスタ (MMT_TMDR)

MMT_TMDR は動作モードの設定、およびPWM出力の出力レベルを選択します（本レジスタは、本章の本文中でTMDRと略します）。

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	CKS2	0	R/W	クロックセレクト 2~0 MMT に入力するクロックを指定します。 000 : Pφ 100 : Pφ/256 001 : Pφ/4 101 : Pφ/1024 010 : Pφ/16 11X : 設定禁止 011 : Pφ/64 【注】 X : Don't care
5	CKS1	0	R/W	
4	CKS0	0	R/W	
3	OLSN	0	R/W	出力レベルセレクト N 動作モード時に、逆相の出力レベルを選択します。 0 : ローレベル 1 : ハイレベル
2	OLSP	0	R/W	出力レベルセレクト P 動作モード時に、正相の出力レベルを選択します。 0 : ローレベル 1 : ハイレベル
1	MD1	0	R/W	モード 3~0 タイマの動作モードを設定します。 00 : 停止状態 01 : 動作モード 1 (山で転送) TCNT=TPDR 時に転送 10 : 動作モード 2 (谷で転送) TCNT=TDDR×2 時に転送 11 : 動作モード 3 (山・谷で転送) TCNT=TPDR または TCNT=TDDR ×2 時に転送
0	MD0	0	R/W	

16.3.2 タイマコントロールレジスタ (TCNR)

TCNR は割り込み要求許可/禁止の制御、レジスタのアクセス許可/禁止の選択、カウンタの動作/停止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル タイマステータスレジスタ (TSR) の TGFN ビットまたは TGFM ビットがセットされたとき、A/D 変換開始要求の発生を許可または禁止します。 0: 禁止 1: 許可
6	CST	0	R/W	タイマカウンタスタート タイマカウンタ (TCNT)、タイマデッドタイムカウンタ (TDCNT) の動作/停止を選択します。 0: 停止 1: 動作
5	RPRO	0	R/W	レジスタプロテクト TSR 以外のレジスタのリードと、TBRU~TBRW、TPBR、TSR 以外のレジスタのライトを許可または禁止します。TCNR 自身へのライトも禁止されます。これらのレジスタに再びライトするためには、リセット入力が必要となりますので注意してください。 0: 許可 1: 禁止
4~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGIEN	0	R/W	TGR インタラプトイネーブル N TSR レジスタの TGFN ビットが1にセットされたとき、TGFN による割り込み要求を許可または禁止します。 0: 禁止 1: 許可
0	TGIEM	0	R/W	TGR インタラプトイネーブル M TSR レジスタの TGFM ビットが1にセットされたとき、TGFM による割り込み要求を許可または禁止します。 0: 禁止 1: 許可

16. モータマネージメントタイマ (MMT)

16.3.3 タイマステータスレジスタ (MMT_TSR)

MMT_TSR は、ステータスの表示を行います（本レジスタは、本章の本文中で TSR と省略します）。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ TCNT カウンタのカウント方向を示すステータスフラグです。 0 : ダウンカウント 1 : アップカウント
6~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFN	0	R/(W)*	アウトプットコンペアフラグ N TCNT と 2Td (Td : TDDR の値) のコンペアマッチの発生を示すステータスフラグです。 [セット条件] TCNT=2Td となったとき [クリア条件] TGFN=1 の状態で 1 をリードした後、TGFN に 0 をライトしたとき
0	TGFM	0	R/(W)*	アウトプットコンペアフラグ M TCNT と TPDR レジスタのコンペアマッチの発生を示すステータスフラグです。 [セット条件] TCNT=TPDR となったとき [クリア条件] TGFM=1 の状態で 1 をリードした後、TGFM に 0 をライトしたとき

【注】 * フラグをクリアするために 0 のみライトすることができます。

16.3.4 タイマカウンタ (MMT_TCNT)

MMT_TCNT は 16 ビットのカウンタです。初期値は H'0000 です。8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください（本レジスタは本章の本文中で TCNT と省略します）。

16.3.5 タイマバッファレジスタ (TBR)

TBR は 16 ビットのバッファレジスタとして機能します。MMT には、TBRU~TBRW の 3 本の TBR があります。TBRU~TBRW には、それぞれアドレスが 2 つ（バッファ動作用アドレス（1 段目）とフリー動作用アドレス（2 段目））があります。バッファ動作用アドレスに書き込まれた値は、タイマモードレジスタ (TMDR) の MD1、0 で設定されたタイミングで対応する TGR に転送されます。ただしフリー動作用アドレスに書き込まれた値は、即座に対応する TGR に転送されます。TBR の初期値は H'FFFF です。TBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

16.3.6 タイマジェネラルレジスタ (TGR)

TGRは16ビットのコンペア用レジスタとして機能します。MMTには9本のTGRがあり、動作モード中にTCNTカウンタと大小比較されます。TGRの初期値はH'FFFFです。TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

16.3.7 タイマデッドタイムカウンタ (TDCNT)

TDCNTは、16ビットのリード専用カウンタです。TDCNTの初期値はH'0000です。TDCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

16.3.8 タイマデッドタイムデータレジスタ (MMT_TDDR)

MMT_TDDRは、16ビットのレジスタで、正相と逆相のノンオーバーラップタイム (デッドタイム) を設定します。MMT_TDDRの初期値はH'FFFFです。MMT_TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください (本レジスタは、本章の本文中でTDDRと省略します)。

16.3.9 タイマピリオドバッファレジスタ (TPBR)

TPBRは、16ビットのレジスタで、TPDRレジスタのバッファレジスタとして機能します。TPBRレジスタの値はPWMキャリア周期の1/2の値を設定してください。TMDRレジスタで設定した転送タイミングでTPBRの値がTPDRレジスタに転送されます。TPBRの初期値はH'FFFFです。TPBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

16.3.10 タイマピリオドデータレジスタ (TPDR)

TPDRは16ビットのコンペア用レジスタとして機能します。TPDRレジスタは、動作モード中TCNTカウンタと常に比較され、一致するとTCNTカウンタはアップカウントからダウンカウントにカウント方向を切り替えます。TPDRの初期値はH'FFFFです。TPDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

16.4 動作説明

動作モードを選択すると、正相・逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。

PUOA、PUOB、PVOA、PVOB、PWOA、PWOB 端子は PWM 出力端子、PCIO 端子（出力設定時）は PWM 波形に同期したトグル出力、PCIO 端子（入力設定時）はカウンタクリア信号入力として機能します。TCNT カウンタはアップ/ダウンカウント動作、TDCNT カウンタはアップカウント動作を行います。

16.4.1 設定手順例

動作モードの設定手順例を図 16.2 に示します。

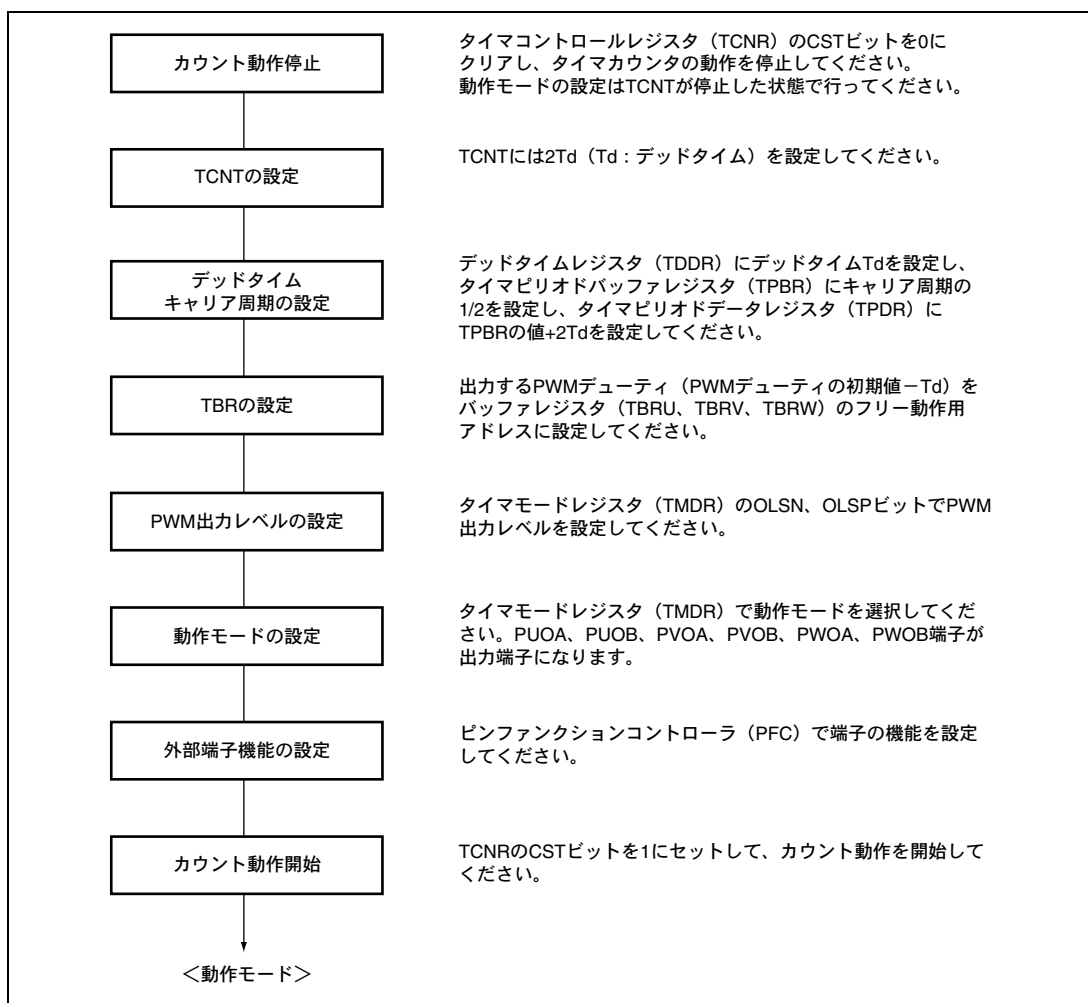


図 16.2 動作モードの設定手順例

(1) カウンタの動作

TCNT カウンタは、TCNR の CST ビットが 0 のとき、 $2T_d$ (T_d : TDDR に設定された値) を初期値として設定してください。

CST ビットが 1 に設定されると、(TPBR に設定された値+ $2T_d$) までアップカウント動作を行い、一致するとダウンカウントに切り替わります。その後、 $2T_d$ と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNT は、TGRU、TGRV、TGRW と常に比較されます。さらに、アップカウント時には TGRUU、TGRVU、TGRWU、TPDR と比較され、ダウンカウント時には TGRUD、TGRVD、TGRWD、 $2T_d$ と比較されます。

TDCNT0~5 は、リードのみ可能なカウンタです。初期値を設定する必要はありません。

TDCNT0、TDCNT2、TDCNT4 は、TCNT がダウンカウント時、正相側コンペア出力の立ち下がりエッジによりアップカウントを開始し、TDDR と一致すると 0 にクリアされ停止します。

TDCNT1、TDCNT3、TDCNT5 は、TCNT がアップカウント時、逆相側コンペア出力の立ち下がりエッジによりアップカウントを開始し、TDDR と一致すると 0 にクリアされ停止します。

TDCNT0~5 は、カウント動作をしている期間だけ TDDR と比較されます。ただし、TDDR の値が 0 の場合には、カウント動作しません。

図 16.3 に TCNT のカウント動作例を示します。

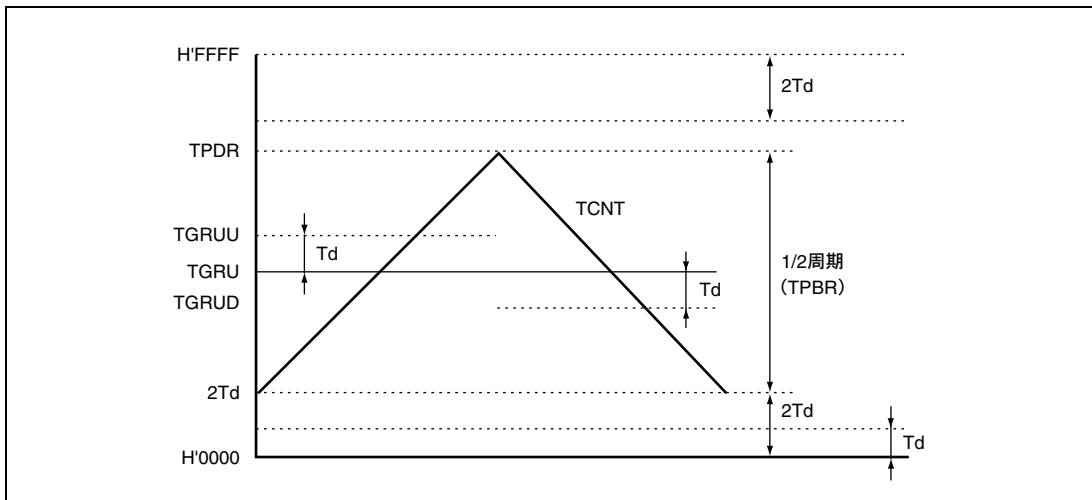


図 16.3 TCNT のカウント動作例

16. モータマネージメントタイマ (MMT)

(2) レジスタの動作

動作モードではバッファレジスタ 4 本、コンペアレジスタ 10 本を使用します。

TCNT カウンタと常に比較されているレジスタが、TGRU、TGRV、TGRW です。TCNT がアップカウント時、TGRUU、TGRVU、TGRWU、TPDR も比較され、ダウンカウント時には TGRUD、TGRVD、TGRWD も比較されます。TPDR のバッファレジスタは TPBR です。TGRUU、TGRU と TGRUD のバッファレジスタは TBRU です。TGRVU、TGRV と TGRVD のバッファレジスタは TBRV です。TGRWU、TGRW と TGRWD のバッファレジスタは TBRW です。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータをライトしてください。バッファレジスタは常にリード/ライトが可能です。TPBR と TBRU～TBRW のバッファ動作用アドレスにライトされたデータは、タイマモードレジスタ (TMDR) の MD1～0 ビットで選択されたタイミングで転送されます。また、TBRU～TBRW のフリー動作用アドレスにライトされたデータは、即座に転送されます。

データ転送終了後、コンペアレジスタとバッファレジスタの関係は次のようになります。

TGRU (TGRV、TGRW) の値 = TBRU (TBRV、TBRW) の値 + Td (Td : TDDR に設定された値)

TGRUU (TGRVU、TGRWU) の値 = TBRU (TBRV、TBRW) の値 + 2Td

TGRUD (TGRVD、TGRWD) の値 = TBRU (TBRV、TBRW) の値

TPDR の値 = TPBR の値 + 2Td

TBRU～TBRW の値は、常に H'0000～H'FFFF-2Td の範囲で設定し、TPBR の値は、常に H'0000～H'FFFF-4Td の範囲で設定してください。

図 16.4 にカウンタとレジスタの動作例を示します。

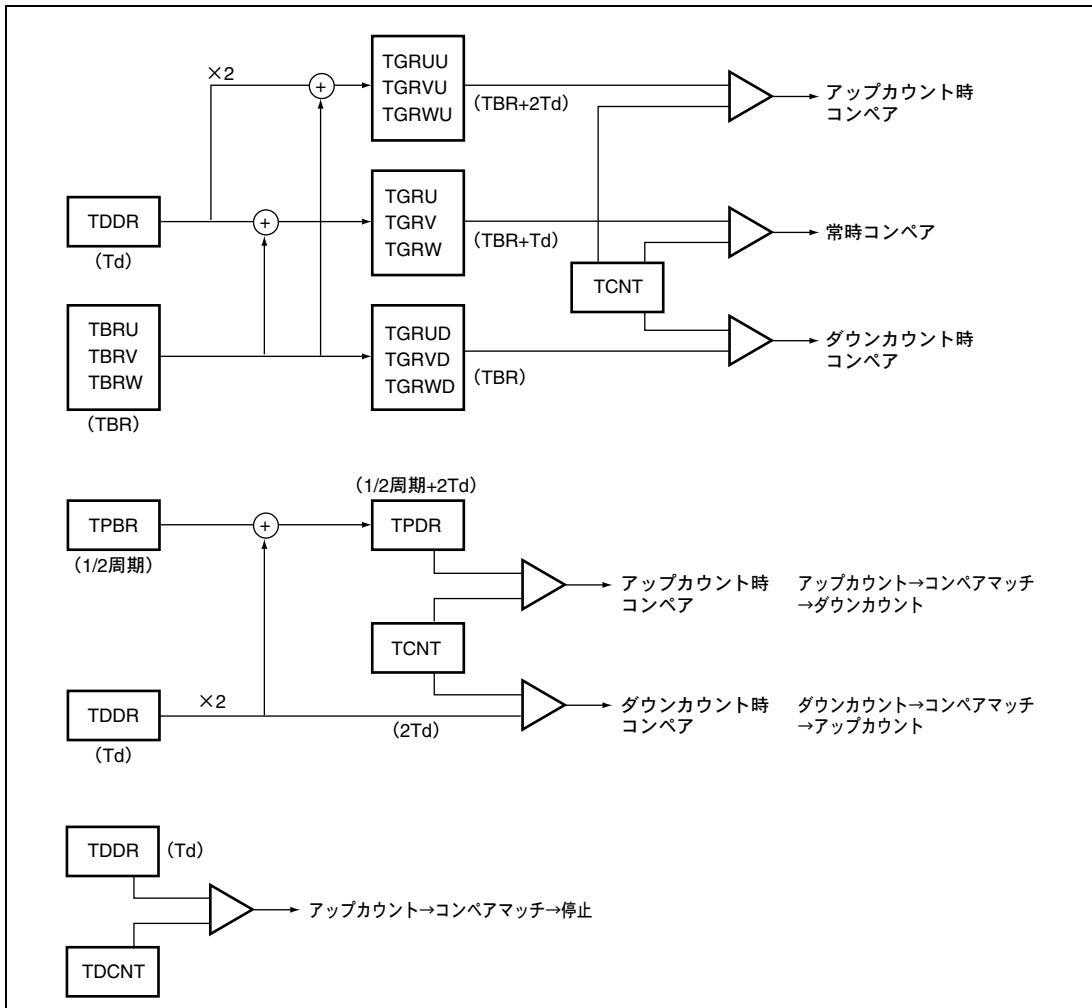


図 16.4 カウンタとレジスタの動作例

(3) 初期設定

動作モードでは、初期設定の必要なレジスタが 5 本あります。

タイマモードレジスタ (TMDR) の MD1~0 ビットで動作モードを設定する前に、次のレジスタの初期値を設定してください。

タイマピリオドバッファレジスタ (TPBR) には、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d (理想波形を出力する場合は、 $T_d=H'0000$) を設定します。TPDR には、 $(TPBR$ の値 $+2T_d)$ を設定します。

TBRU~TBRW のフリーライト動作アドレスには、それぞれ (PWM デューティの初期値 $-T_d$) を設定します。

TBRU~TBRW の値は、常に $H'0000$ ~ $H'FFFF-2T_d$ の範囲で設定し、TPBR の値は、常に $H'0000$ ~ $H'FFFF-4T_d$ の範囲で設定してください。

16. モータマネジメントタイマ (MMT)

(4) PWM 出力のアクティブレベルの設定

動作モードでは、PWM パルスのアクティブレベルをタイマモードレジスタ (TMDR) の OLSN、OLSP ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定可能です。なお、出力レベルの設定/変更は動作モードを解除した状態で行ってください。

(5) デッドタイムの設定

動作モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイムと呼びます。ノンオーバーラップ時間はタイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値と各相のタイムデッドタイムカウンタ (TDCNT) を比較することでデッドタイム生成波形を生成します。TDDR の内容変更は、動作モードを解除した状態で行ってください。

(6) PWM 周期の設定

動作モードでは、PWM パルスの 1/2 周期を TPBR レジスタに設定します。TPBR の値は、常に H'0000~H'FFFF-4Td の範囲で設定してください。TPBR に設定した値は、タイマモードレジスタ (TMDR) の MD1、0 ビットで選択した転送タイミングで TPDR に転送されます。転送後の TPDR の値は、(TPBR の値+2Td) となります。

変更した PWM 周期は、データ更新が TCNT カウンタの山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。

(7) レジスタデータの更新

動作モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常にライトすることができます。バッファレジスタの値はタイマモードレジスタ (TMDR) の MD1、0 ビットで設定したデータ更新タイミングでコンペアレジスタに転送されます。ただし、TBRU~TBRW のフリー動作アドレスにライトした場合は、即座に対応するコンペアレジスタに転送されます。

(8) 動作モードの初期出力

動作モードの初期出力は TBRU~TBRW の初期値により決まります。

表 16.2 に TBRU~TBRW の初期値と初期出力の関係を示します。

表 16.2 TBRU~TBRW の初期値と初期出力の関係

TBRU~TBRW の初期値	初期出力	
	OLSP=1、OLSN=1	OLSP=0、OLSN=0
TBR=H'0000	正相=1、逆相=0	正相：0、逆相=1
H'0000<TBR≤Td	正相=0、逆相=0	正相：1、逆相=1
Td<TBR≤H'FFFF-2Td	正相=0、逆相=1	正相：1、逆相=0

(9) 動作モードの PWM 出力生成法

動作モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、コンペア出力波形とデッドタイム生成波形の論理積により生成された出力生成波形から生成されます。ここでは 1 相 (U 相) 分の波形生成法について示します。V 相、W 相波形も同様に生成されます。

(a) コンペア出力波形

コンペア出力波形は、TCNT カウンタと TGR レジスタの値の大小比較をすることで生成します。

コンペア出力波形 U 相 A (CMOUA) は、T1 期間 (TCNT がアップカウント時) で $TGRU > TCNT$ ならば 0 を、 $TGRU \leq TCNT$ ならば 1 を出力します。また、T2 期間 (TCNT がダウンカウント時) で $TGRU > TCNT$ ならば 0 を、 $TGRU \leq TCNT$ ならば 1 を出力します。

コンペア出力波形 U 相 B (CMOUB) は、T1 期間で $TGRU > TCNT$ ならば 1 を、 $TGRU \leq TCNT$ ならば 0 を出力します。また、T2 期間で $TGRUD > TCNT$ ならば 1 を、 $TGRUD \leq TCNT$ ならば 0 を出力します。

(b) デッドタイム生成波形

デッドタイム生成波形 U 相 A (DTGUA)、B (DTGUB) は初期値として 1 を出力します。

CMOUA の立ち下がりエッジにより TDCNT0 はカウントスタートします。DTGUA は、TDCNT0 がカウント動作中に 0 を出力し、それ以外は 1 を出力します。

CMOUB の立ち下がりエッジにより TDCNT1 はカウントスタートします。DTGUB は、TDCNT1 がカウント動作中に 0 を出力し、それ以外は 1 を出力します。

(c) 出力生成波形

出力生成波形 U 相 A (OGUA) は、CMOUA と DTGUB の論理積により生成し、出力生成波形 U 相 B (OGUB) は、CMOUB と DTGUA の論理積により生成します。

(d) PWM 波形

PWM 波形は、出力生成波形をタイマモードレジスタ (TMDR) の OLSN、OLSP ビットで設定された出力レベルに変換して生成します。

図 16.5 に PWM 波形生成例 (動作モード 3、OLSN=1、OLSP=1 の場合) を示します。

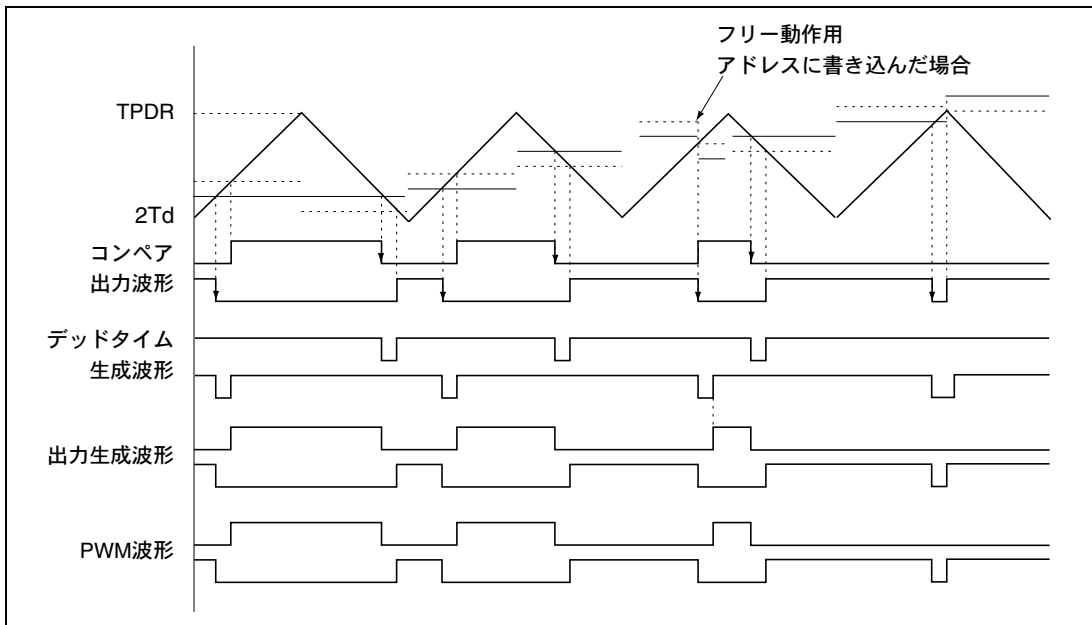


図 16.5 PWM 波形生成例

16. モータマネジメントタイマ (MMT)

(10) デューティ 0~100%出力

動作モードでは、デューティ 0~100%の PWM 波形を任意に出力可能です。出力する PWM デューティはバッファレジスタ (TBRU~TBRW) により設定します。

デューティ 100%出力は、バッファレジスタ (TBRU~TBRW) の値を H'0000 値に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、バッファレジスタ (TBRU~TBRW) の値を TPDR より大きい値に設定されると出力されます。このときは、正相が 100%OFF の状態の波形です。

(11) 外部からのカウンタクリア機能

動作モードでは、外部から TCNT カウンタのクリアが可能です。カウンタクリア機能を使用する場合は、ポート A・IO レジスタ L (PAIORL) で PCIO 端子を入力設定してください。

PCIO 端子 (入力設定時) の立ち下がりエッジにより、TCNT カウンタは 2Td (初期設定値) にクリアされ、TPDR の値までアップカウント動作を行い、一致するとダウンカウントに切り替わります。その後、2Td と一致するとアップカウントに切り替わり、この動作を繰り返します。カウンタクリア動作例を図 16.6 に示します。

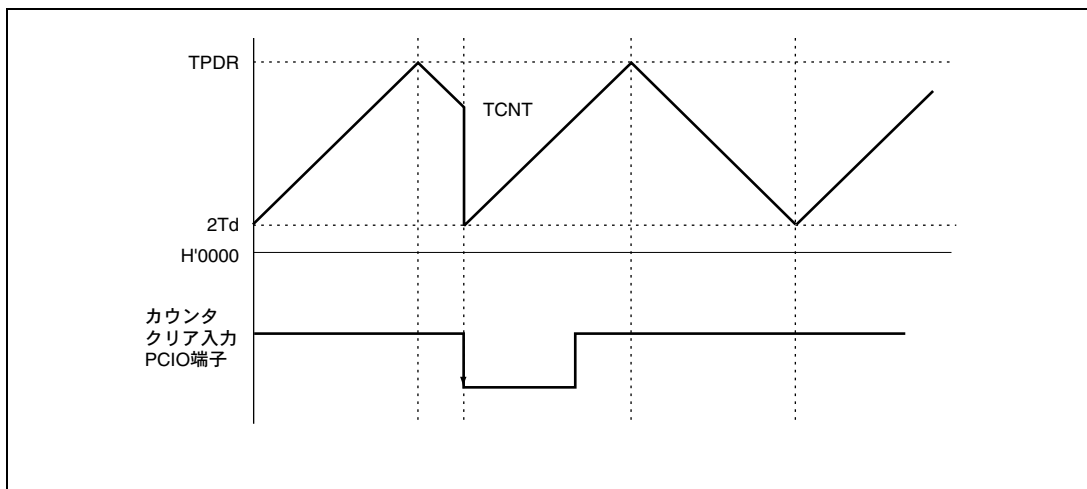


図 16.6 TCNT カウンタクリアの動作例

(12) PWM 周期に同期したトグル出力

動作モードでは、PWM キャリア周期に同期したトグル出力が可能です。PWM 周期を出力する場合は、ピンファンクションコントローラ (PFC) で PCIO 端子 (出力設定時) の出力を有効にしてください。トグル出力の波形例を図 16.7 に示します。

PWM 周期出力は、TCNT のカウント方向でトグルを行います。このトグルの出力端子は、PCIO 端子 (出力設定時) です。また、TCNT がアップカウント時には 1 を出力し、ダウンカウント時には 0 を出力します。

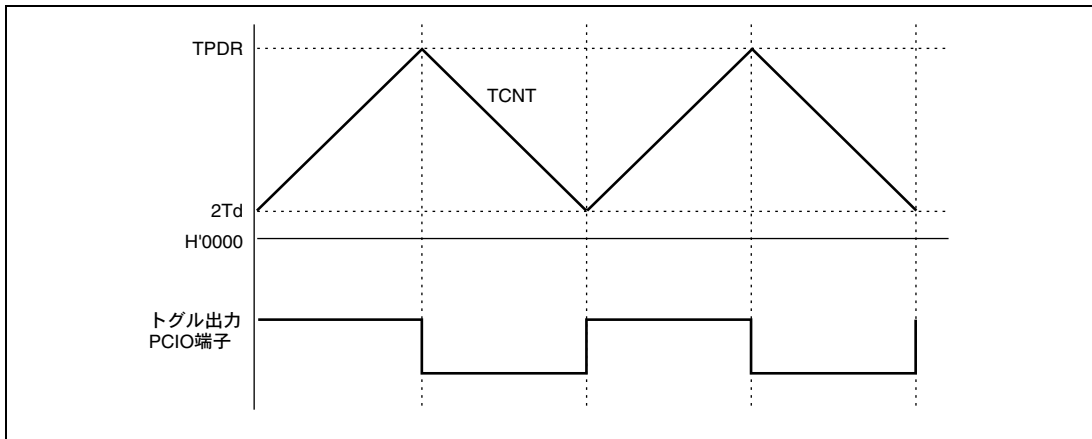


図 16.7 PWM 周期に同期したトグル出力波形例

(13) A/D 変換開始要求の設定

A/D 変換の開始要求は、TCNT と TPDR のコンペアマッチと、TCNT と 2Td のコンペアマッチを使用して行うことが可能です。TCNT と TPDR のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心 (TCNT カウンタの山) で A/D 変換をスタートさせることができます。TCNT と 2Td のコンペアマッチを使用して開始要求を設定すると、PWM パルスの端 (TCNT カウンタの谷) で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマコントロールレジスタ (TCNR) の TTGE ビットを 1 にセットすることで設定できます。

A/D 変換のスタートタイミングと動作モードの関係を表 16.3 に示します。

表 16.3 A/D 変換のスタートタイミングと動作モードの関係

動作モード	A/D 変換スタートタイミング
動作モード 1 (山で転送)	谷で A/D 変換スタート
動作モード 2 (谷で転送)	山で A/D 変換スタート
動作モード 3 (山・谷で転送)	山・谷で A/D 変換スタート

16.4.2 出力保護機能

動作モードの出力は、次の保護機能を備えています。

- 外部信号による MMT 出力の停止機能

6相PWM出力端子は、指定した外部信号が入力されることにより自動的にハイインピーダンス状態にすることが可能です。外部信号の入力端子は3本あります。詳細は、「16.8 ポートアウトブットイネーブル (POE)」を参照してください。

- 発振停止時の MMT 出力の停止機能

6相PWM出力端子は、本LSIに入力されているクロックが停止したことを検出して自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると、端子の状態は保証されません。

16.5 割り込み要因

TCNT と TPDR レジスタ (2Td) のコンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGFM (TGFN) フラグが 1 にセットされたとき、タイマコントロールレジスタ (TCNR) の TGIEM (TGIEN) ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。

表 16.4 MMT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
TGIMN	TCNT と TPDR のコンペアマッチ	TGFM	可
TGINN	TCNT と 2Td のコンペアマッチ	TGFN	可

TCNT と TPDR のコンペアマッチ、TCNT と 2Td のコンペアマッチ割り込みは、内蔵 DTC の起動要因とすることができます。

また、TCNT と TPDR のコンペアマッチ、TCNT と 2Td のコンペアマッチによって、内蔵 A/D 変換器を起動することができます。これらのコンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGF フラグが 1 にセットされたとき、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MMT の変換開始トリガが選択されていれば、A/D 変換が開始されます。

16.6 動作タイミング

16.6.1 入出カタイミング

(1) TCNT と TDCNT のカウントタイミング

TCNT、TDCNT のカウントタイミングを図 16.8 に示します。

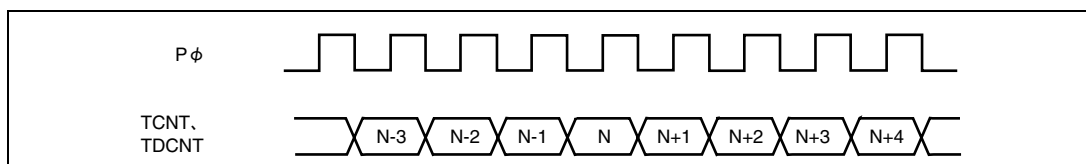


図 16.8 カウントタイミング

(2) TCNT カウンタクリアタイミング

外部信号による TCNT カウンタクリアのタイミングを図 16.9 に示します。

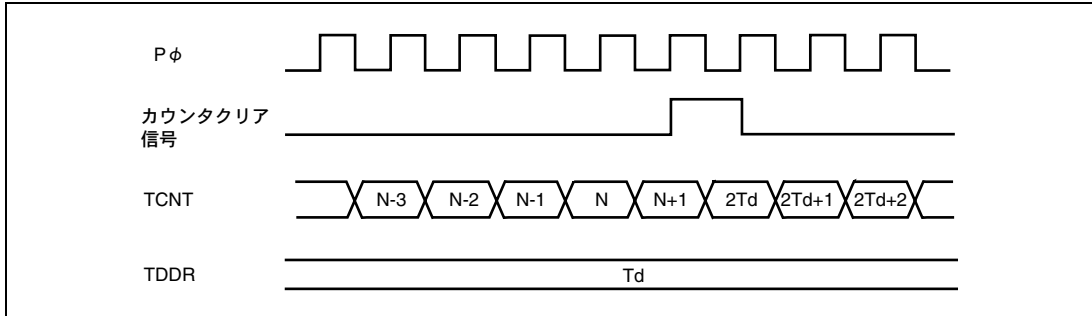


図 16.9 TCNT カウンタクリアタイミング

(3) TDCNT 動作タイミング

TDCNT の動作タイミングを図 16.10 に示します。

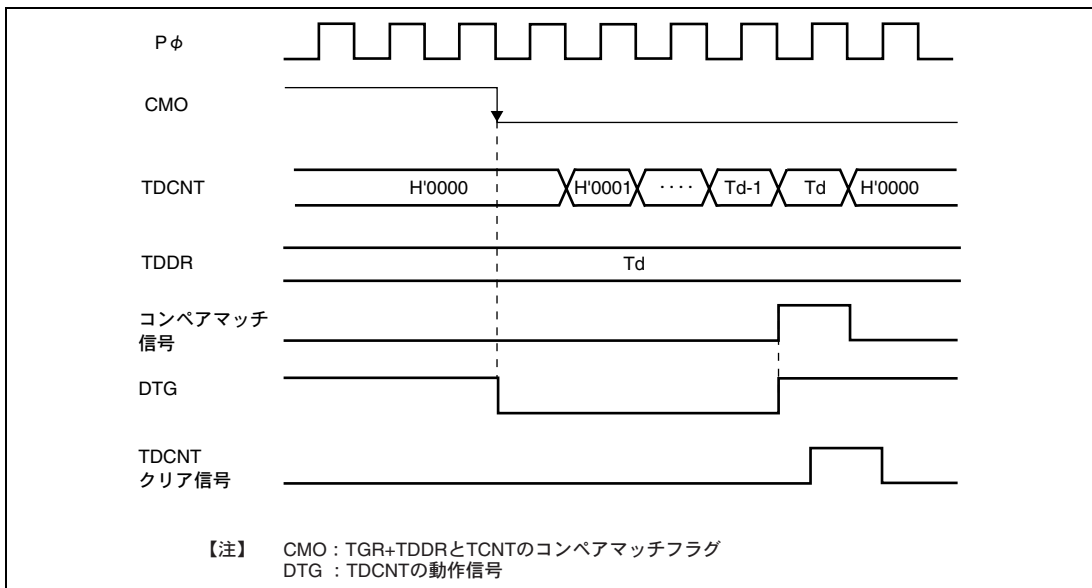


図 16.10 TDCNT 動作タイミング

16. モータマネジメントタイマ (MMT)

(4) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 16.11 に示します。

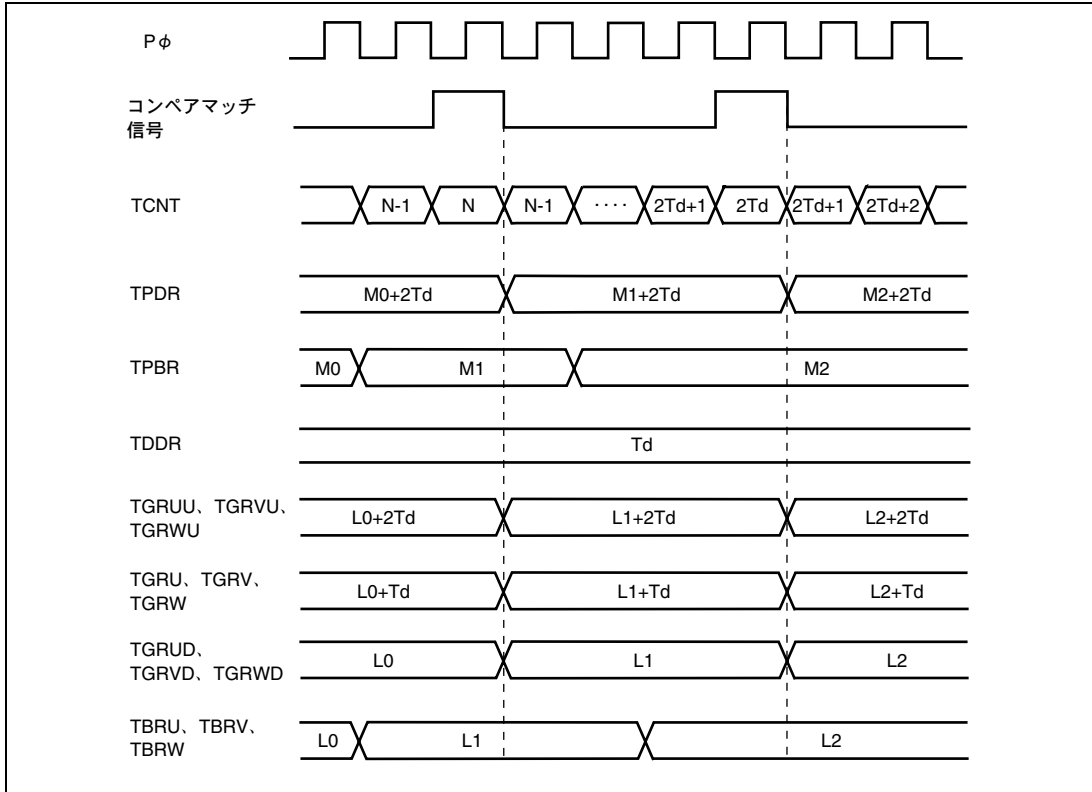


図 16.11 バッファ動作タイミング

16.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

TCNT と TPDR のコンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 16.12 に示します。また、TCNT と 2T_d のコンペアマッチの場合も、同様のタイミングです。

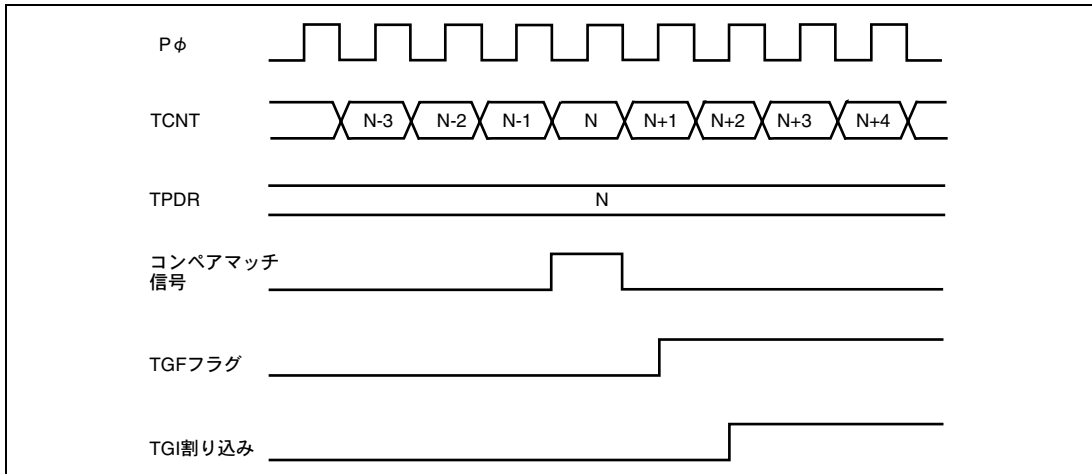


図 16.12 TGI 割り込みタイミング

(2) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。DTC を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 16.13 に、DTC によるステータスフラグのクリアタイミングを図 16.14 に示します。

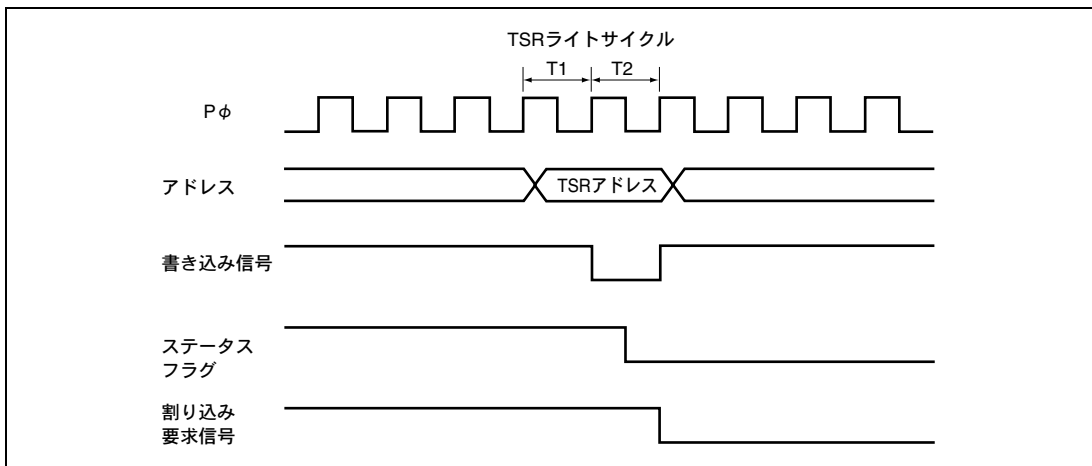


図 16.13 CPU によるステータスフラグのクリアタイミング

16. モータマネジメントタイマ (MMT)

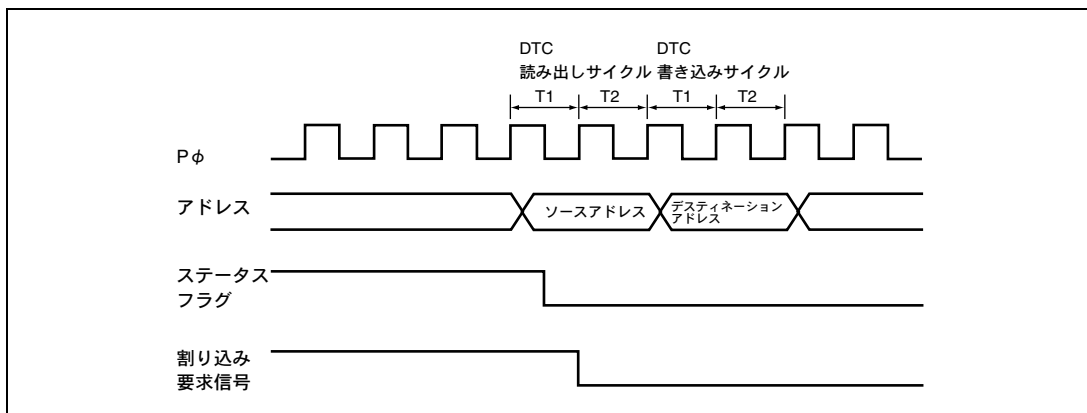


図 16.14 DTC によるステータスフラグのクリアタイミング

16.7 使用上の注意事項

16.7.1 モジュールスタンバイモードの設定

モジュールスタンバイコントロールレジスタにより、MMT の禁止／許可を設定することが可能です。初期値では、MMT の動作は停止しています。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 24 章 低消費電力状態」を参照してください。

16.7.2 MMT 動作中の注意

MMT の動作中、以下に示す動作や競合が起きますので注意してください。

(1) バッファレジスタのライトとコンペアマッチの競合

バッファレジスタ (TBRU~TBRW、TPBR) のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によってバッファレジスタからコンペアレジスタ (TGR、TPDR) にデータが転送されます。転送されるデータは、バッファレジスタライトデータです。

このタイミングを図 16.15 に示します。

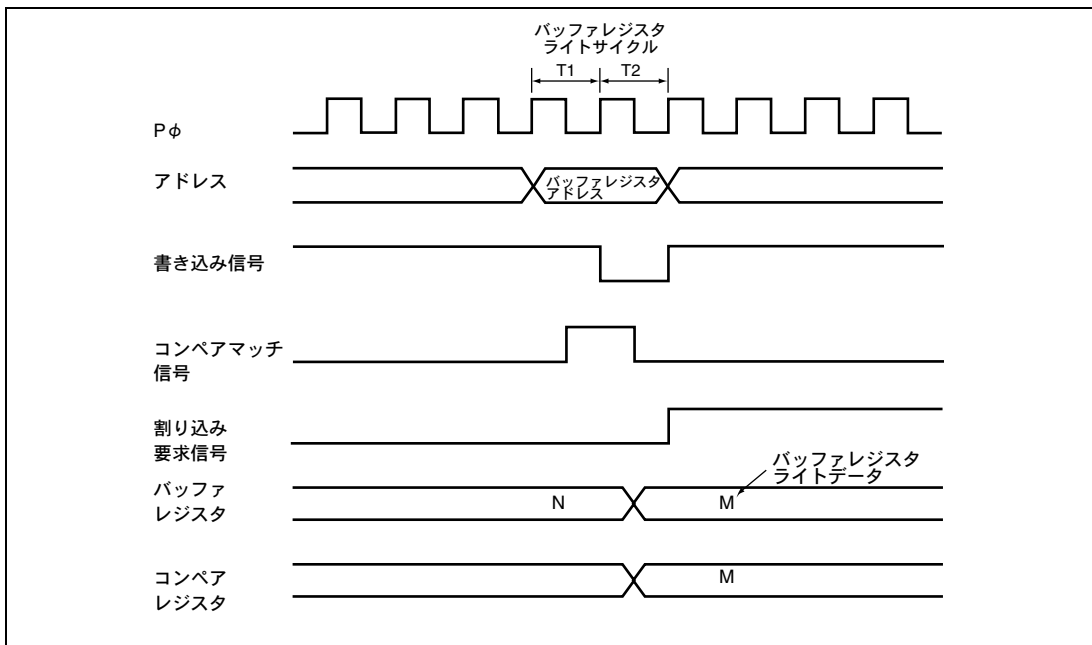


図 16.15 バッファレジスタのライトとコンペアマッチの競合

16. モータマネジメントタイマ (MMT)

(2) コンペアレジスタのライトとコンペアマッチの競合

コンペアレジスタ (TGR、TPDR) のライトサイクル中の T2 ステートでコンペアマッチが発生すると、コンペアレジスタのライトは行われず、バッファ動作によってバッファレジスタ (TBRU、TBRV、TBRW、TPBR) からコンペアレジスタにデータが転送されます。

このタイミングを図 16.16 に示します。

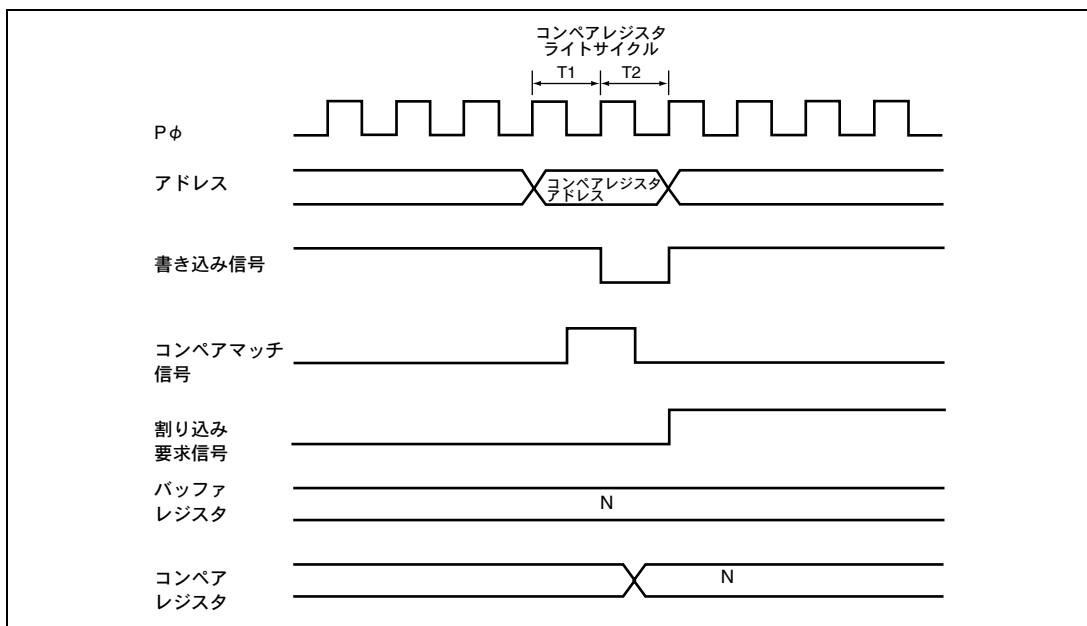


図 16.16 コンペアレジスタのライトとコンペアマッチの競合

(3) タイマジェネラルレジスタ U (TGRU)、タイマジェネラルレジスタ V (TGRV)、タイマジェネラルレジスタ W (TGRW) に値を書き込む時、フリー動作用アドレス(*)に書き込む場合は以下の点についてご注意ください。

- カウントアップ時にTGRUに書き込む値は、「旧TGRUの値+Td」にならないようにしてください。
- カウントダウン時にTGRUに書き込む値は、「旧TGRUの値-Td」にならないようにしてください。

TGRV および TGRW についても同様です。ここで、「旧 TGRU の値+Td」を書き込んだ場合 (カウントダウン時は「旧 TRGU の値-Td」)、U、V、W 相の該当する PVOA/PVOB、PWOA/PWOB 出力が、1 周期分出力されない場合があります。図 16.17 に NG のケースを示します。なお、バッファ動作用アドレスに書き込む場合はこれらは該当しません。

【注】* TBRU、TBRV、TBRW レジスタアドレスとして、それぞれ H' FFFF8A1C、H' FFFF8A2C、H' FFFF8A3C を使用する場合。

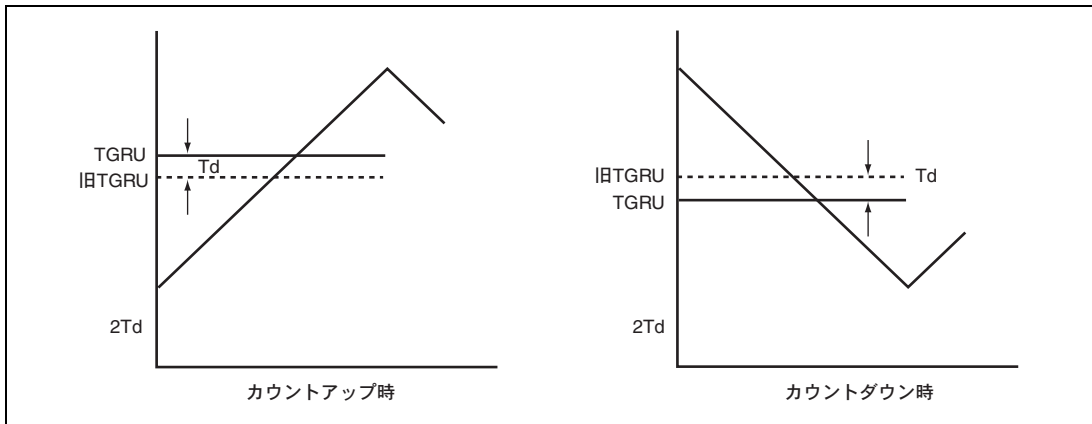


図 16.17 タイマジェネラルレジスタへの書き込み (1 周期分出力されない例)

(4) MMT 動作中のタイマピリオドデータレジスタ (TPDR) とタイマデッドタイムデータレジスタ (TDDR) への書き込みについて

- MMT動作中には、TPDRレジスタを書き換えしないでください。必ずTPBRレジスタを経由してバッファ書き込みを行ってください。
- MMTを一度起動したら、TDDRレジスタを書き換えしないでください。TDDR設定値と比較されるTDCNTレジスタには書き込みませんので、TDDRを書き換えると最大1周期 (TDCNTの16ビットフルカウント時間) 分出力波形が得られない場合があります。

16.8 ポートアウトプットイネーブル (POE)

POE は、 $\overline{\text{POE4}} \sim \overline{\text{POE6}}$ 端子の入力変化によって、MMT 出力端子 (POUA, POUB, POVA, POVB, POWA, POWB) をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。これとは別に、発振器が停止した場合とスタンバイ状態でも、MMT 出力端子はハイインピーダンス状態になります。

16.8.1 特長

POE には次の特長があります。

- $\overline{\text{POE4}} \sim \overline{\text{POE6}}$ の各入力端子に、立ち下がりエッジ、 $P\phi / 8 \times 16$ 回、 $P\phi / 16 \times 16$ 回、 $P\phi / 128 \times 16$ 回のローレベルサンプリングの設定が可能です。
- $\overline{\text{POE4}} \sim \overline{\text{POE6}}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、MMT出力端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングにより、割り込みの発生が可能です。

16. モータマネジメントタイマ (MMT)

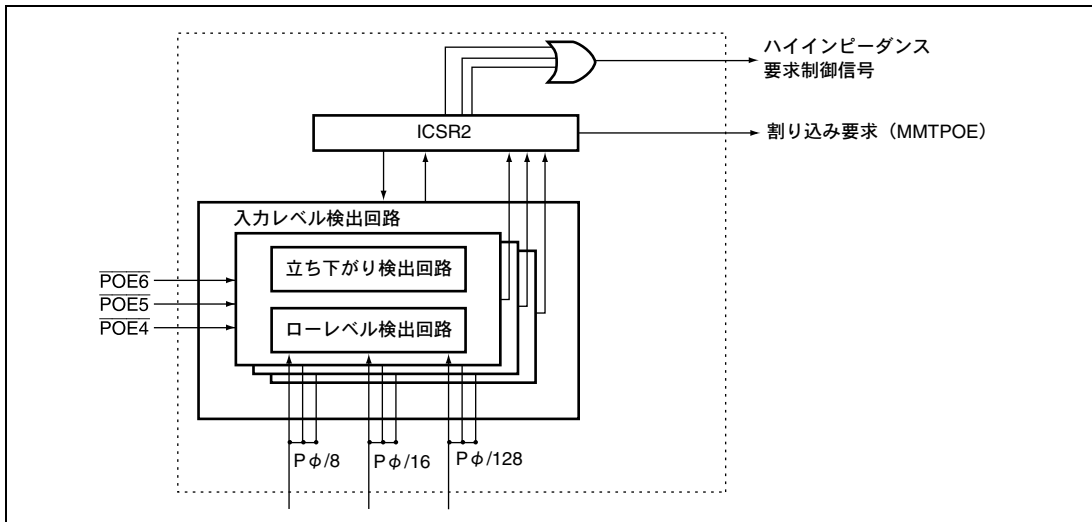


図 16.18 POE ブロック図

16.8.2 入出力端子

POE の端子構成を表 16.5 に示します。

表 16.5 端子構成

名称	略称	入出力	機能
ポートアウトプットイネーブル入力端子	POE4~POE6	入力	MMT 出力端子をハイインピーダンス状態にする要求信号を入力

16.8.3 レジスタの説明

POE には、以下のレジスタがあります。

- 入力レベルコントロール/ステータスレジスタ (ICSR2)

(1) 入力レベルコントロール/ステータスレジスタ (ICSR2)

ICSR2 は、リード/ライト可能な 16 ビットのレジスタで、 $\overline{\text{POE4}}$ ~ $\overline{\text{POE6}}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	POE6F	0	R/(W)*	POE6 フラグビット $\overline{\text{POE6}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] POE6F=1 の状態をリード後、POE6F に 0 をライトしたとき [セット条件] $\overline{\text{POE6}}$ 端子に、ICSR2 のビット 5、4 で設定した入力が発生したとき
13	POE5F	0	R/(W)*	POE5 フラグビット $\overline{\text{POE5}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] POE5F=1 の状態をリード後、POE5F に 0 をライトしたとき [セット条件] $\overline{\text{POE5}}$ 端子に、ICSR2 のビット 3、2 で設定した入力が発生したとき
12	POE4F	0	R/(W)*	POE4 フラグビット $\overline{\text{POE4}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] POE4F=1 の状態をリード後、POE4F に 0 をライトしたとき [セット条件] $\overline{\text{POE4}}$ 端子に、ICSR2 のビット 1、0 で設定した入力が発生したとき

16. モータマネジメントタイマ (MMT)

ビット	ビット名	初期値	R/W	説 明
11~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PIE	0	R/W	ポートインタラプトイネーブルビット ICSR2のPOE4F~POE6Fビットに、1ビットでも1がセットされたとき、割り込み要求を許可または禁止します。 0：禁止 1：許可
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5 4	POE6M1 POE6M0	0 0	R/W R/W	POE6モードビット1、0 POE6端子の入カモードを選択します。 00：POE6入力の立ち下がリエッジで要求を受け付けます。 01：POE6入力のローレベルをPφ/8クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10：POE6入力のローレベルをPφ/16クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11：POE6入力のローレベルをPφ/128クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
3 2	POE5M1 POE5M0	0 0	R/W R/W	POE5モードビット1、0 POE5端子の入カモードを選択します。 00：POE5入力の立ち下がリエッジで要求を受け付けます。 01：POE5入力のローレベルをPφ/8クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10：POE5入力のローレベルをPφ/16クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11：POE5入力のローレベルをPφ/128クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

ビット	ビット名	初期値	R/W	説明
1	POE4M1	0	R/W	POE4 モードビット 1、0 POE4 端子の入力モードを選択します。 00: $\overline{\text{POE4}}$ 入力の立ち下がりエッジで要求を受け付けます。 01: $\overline{\text{POE4}}$ 入力のローレベルを $P\phi/8$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10: $\overline{\text{POE4}}$ 入力のローレベルを $P\phi/16$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11: $\overline{\text{POE4}}$ 入力のローレベルを $P\phi/128$ クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
0	POE4M0	0	R/W	

【注】 * フラグをクリアするために 0 のみライトすることができます。

16.8.4 動作説明

(1) 入力レベル検出動作

ICSR2 で設定した入力条件が、 $\overline{\text{POE}}$ 端子に 1 端子でも発生した場合、MMT 出力端子をハイインピーダンス状態にします。

- ハイインピーダンスになる端子 (MMT 出力端子)

MMT (モータマネージメントタイマ) の PWOB、PWOA、PVOB、PVOA、PUOB、PUOA の 6 端子

【注】 各端子を汎用入出力機能または MMT 出力端子として使用している場合にのみ、ハイインピーダンスとなります。

(a) 立ち下がりエッジ検出

$\overline{\text{POE}}$ 端子にハイレベルからローレベルの変化が入力されたとき

(b) ローレベル検出

図 16.18 にローレベル検出動作を示します。ICSR2 で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。この時、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから MMT 出力端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出ともに同じです。

16. モータマネジメントタイマ (MMT)

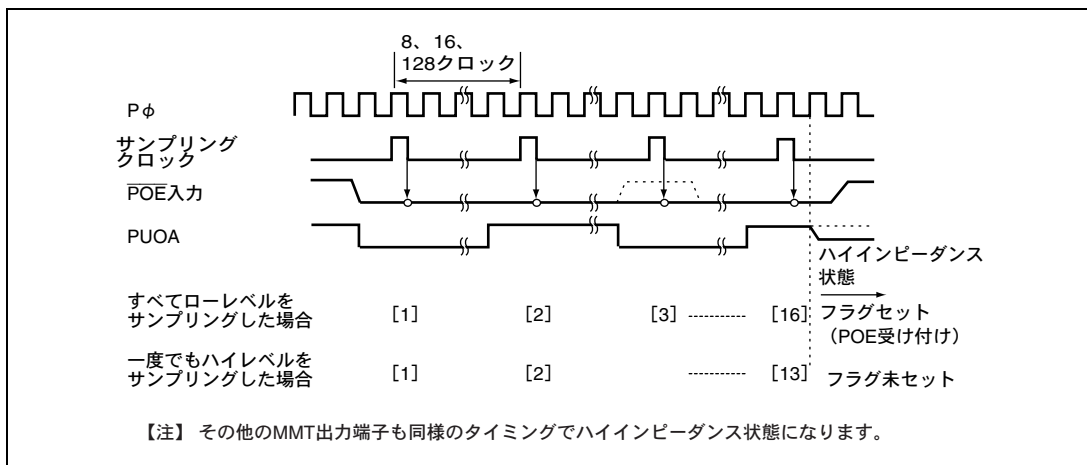


図 16.19 ローレベル検出動作

(2) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった MMT 出力端子は、パワーオンリセットで初期状態に戻すか、ICSR2 のビット 12~14 (POE4F~POE6F) のフラグをすべてクリアすることにより解除されます。

16.8.5 使用上の注意事項

- (1) POEをレベル検出に設定するときは、最初POE入力をハイレベルにしてください。
- (2) POE4F、POE5F、POE6Fビットの0クリアの際は、ICSR2レジスタの読み出しを行い、読み出した値が1であるビットのみを0クリアし、それ以外のビットについては、1を書き込んでください。

17. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 17.1~表 17.5 に本 LSI のマルチプレクス端子を示します。

表 17.6、表 17.7 に動作モード別端子機能一覧を示します。

表 17.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連 モジュール)	機能 2 (関連 モジュール)	機能 3 (関連 モジュール)	機能 4 (関連 モジュール)	機能 5 (関連 モジュール)	機能 6 (関連 モジュール)	機能 7 (関連 モジュール)	機能 8 (関連 モジュール)
A	PA0 入出力 (ポート)	-	-	-	A0 出力 (BSC)	$\overline{POE0}$ 入力 (ポート)	RXD2 入力 (SCI)	-
	PA1 入出力 (ポート)	-	-	-	A1 出力 (BSC)	$\overline{POE1}$ 入力 (ポート)	TXD2 出力 (SCI)	-
	PA2 入出力 (ポート)	-	-	$\overline{IRQ0}$ 入力 (INTC)	A2 出力 (BSC)	PCIO 入出力 (MMT)	SCK2 入出力 (SCI)	-
	PA3 入出力 (ポート)	-	-	-	A3 出力 (BSC)	$\overline{POE4}$ 入力 (ポート)	RXD3 入力 (SCI)	-
	PA4 入出力 (ポート)	-	-	-	A4 出力 (BSC)	$\overline{POE5}$ 入力 (ポート)	TXD3 出力 (SCI)	-
	PA5 入出力 (ポート)	-	-	$\overline{IRQ1}$ 入力 (INTC)	A5 出力 (BSC)	$\overline{POE6}$ 入力 (ポート)	SCK3 入出力 (SCI)	-
	PA6 入出力 (ポート)	TCLKA 入力 (MTU)	-	\overline{RD} 出力 (BSC)	-	RXD2 入力 (SCI)	-	-
	PA7 入出力 (ポート)	TCLKB 入力 (MTU)	-	\overline{WAIT} 入力 (BSC)	-	TXD2 出力 (SCI)	-	-
	PA8 入出力 (ポート)	TCLKC 入力 (MTU)	$\overline{IRQ2}$ 入力 (INTC)	-	-	RXD3 入力 (SCI)	-	-
	PA9 入出力 (ポート)	TCLKD 入力 (MTU)	$\overline{IRQ3}$ 入力 (INTC)	-	-	TXD3 出力 (SCI)	-	-
	PA10 入出力 (ポート)	$\overline{CS0}$ 出力 (BSC)	\overline{RD} 出力 (BSC)	-	TCK 入力 (H-UDI) *	SCK2 入出力 (SCI)	-	-
	PA11 入出力 (ポート)	-	\overline{ADTRG} 入力 (A/D)	-	-	SCK3 入出力 (SCI)	-	-
PA12 入出力 (ポート)	\overline{WRL} 出力 (BSC)	\overline{UBCTRg} 出力 (UBC) *	-	TDI 入力 (H-UDI) *	-	-	-	

17. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連 モジュール)	機能 2 (関連 モジュール)	機能 3 (関連 モジュール)	機能 4 (関連 モジュール)	機能 5 (関連 モジュール)	機能 6 (関連 モジュール)	機能 7 (関連 モジュール)	機能 8 (関連 モジュール)
A	PA13 入出力 (ポート)	—	POE4 入力 (ポート)	—	TDO 出力 (H-UDI) *	BREQ 入力 (BSC)	—	—
	PA14 入出力 (ポート)	RD 出力 (BSC)	POE5 入力 (ポート)	—	TMS 入力 (H-UDI) *	—	—	—
	PA15 入出力 (ポート)	CK 出力 (CPG)	POE6 入力 (ポート)	—	TRST 入力 (H-UDI) *	BACK 出力 (BSC)	—	—

【注】* F-ZTAT 版のみ

表 17.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 (関連 モジュール)	機能 2 (関連 モジュール)	機能 3 (関連 モジュール)	機能 4 (関連 モジュール)	機能 5 (関連 モジュール)	機能 6 (関連 モジュール)	機能 7 (関連 モジュール)	機能 8 (関連 モジュール)
B	PB0 入出力 (ポート)	A16 出力 (BSC)	—	HTxD1 出力 (HCAN2)	—	—	—	—
	PB1 入出力 (ポート)	A17 出力 (BSC)	—	HRxD1 入力 (HCAN2)	—	—	—	SCK4 入出力 (SCI)
	PB2 入出力 (ポート)	IRQ0 入力 (INTC)	POE0 入力 (ポート)	—	—	—	—	RXD4 入力 (SCI)
	PB3 入出力 (ポート)	IRQT 入力 (INTC)	POE1 入力 (ポート)	—	—	—	—	TXD4 出力 (SCI)
	PB4 入出力 (ポート)	IRQ2 入力 (INTC)	POE2 入力 (ポート)	—	—	—	—	SCK4 入出力 (SCI)
	PB5 入出力 (ポート)	IRQ3 入力 (INTC)	POE3 入力 (ポート)	—	—	CK 出力 (CPG)	—	—

表 17.3 マルチプレクス一覧表 (ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD0 入出力 (ポート)	D0 入出力 (BSC)	RXD2 入力 (SCI)	AUDATA0 入出力 (AUD) *
	PD1 入出力 (ポート)	D1 入出力 (BSC)	TXD2 出力 (SCI)	AUDATA1 入出力 (AUD) *
	PD2 入出力 (ポート)	D2 入出力 (BSC)	SCK2 入出力 (SCI)	AUDATA2 入出力 (AUD) *
	PD3 入出力 (ポート)	D3 入出力 (BSC)	—	AUDATA3 入出力 (AUD) *
	PD4 入出力 (ポート)	D4 入出力 (BSC)	—	AUDRST 入力 (AUD) *
	PD5 入出力 (ポート)	D5 入出力 (BSC)	—	AUDMD 入力 (AUD) *
	PD6 入出力 (ポート)	D6 入出力 (BSC)	—	AUDCK 入出力 (AUD) *
	PD7 入出力 (ポート)	D7 入出力 (BSC)	—	AUDSYNC 入出力 (AUD) *
	PD8 入出力 (ポート)	—	—	UBCTRG 出力 (UBC) *

【注】* F-ZTAT 版のみ

表 17.4 マルチプレクス一覧表 (ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	PE0 入出力 (ポート)	TIOC0A 入出力 (MTU)	—	$\overline{CS0}$ 出力 (BSC)
	PE1 入出力 (ポート)	TIOC0B 入出力 (MTU)	—	—
	PE2 入出力 (ポート)	TIOC0C 入出力 (MTU)	—	—
	PE3 入出力 (ポート)	TIOC0D 入出力 (MTU)	—	—
	PE4 入出力 (ポート)	TIOC1A 入出力 (MTU)	RXD3 入力 (SCI)	A6 出力 (BSC)
	PE5 入出力 (ポート)	TIOC1B 入出力 (MTU)	TXD3 出力 (SCI)	A7 出力 (BSC)
	PE6 入出力 (ポート)	TIOC2A 入出力 (MTU)	SCK3 入出力 (SCI)	A8 出力 (BSC)
	PE7 入出力 (ポート)	TIOC2B 入出力 (MTU)	RXD2 入力 (SCI)	A9 出力 (BSC)
	PE8 入出力 (ポート)	TIOC3A 入出力 (MTU)	SCK2 入出力 (SCI)	—
	PE9 入出力 (ポート)	TIOC3B 入出力 (MTU)	—	—
	PE10 入出力 (ポート)	TIOC3C 入出力 (MTU)	TXD2 出力 (SCI)	WRL 出力 (BSC)
	PE11 入出力 (ポート)	TIOC3D 入出力 (MTU)	—	—
	PE12 入出力 (ポート)	TIOC4A 入出力 (MTU)	—	—
	PE13 入出力 (ポート)	TIOC4B 入出力 (MTU)	\overline{MRES} 入力 (INTC)	—
	PE14 入出力 (ポート)	TIOC4C 入出力 (MTU)	—	—
	PE15 入出力 (ポート)	TIOC4D 入出力 (MTU)	—	IRQOUT 出力 (INTC)
	PE16 入出力 (ポート)	PVOA 出力 (MMT)	$\overline{UBCTR\overline{G}}$ 出力 (UBC) *	A10 出力 (BSC)
	PE17 入出力 (ポート)	PVOA 出力 (MMT)	WAIT 入力 (BSC)	A11 出力 (BSC)
	PE18 入出力 (ポート)	PWOA 出力 (MMT)	—	A12 出力 (BSC)
	PE19 入出力 (ポート)	PUOB 出力 (MMT)	RXD4 入力 (SCI)	A13 出力 (BSC)
	PE20 入出力 (ポート)	PVOB 出力 (MMT)	TXD4 出力 (SCI)	A14 出力 (BSC)
PE21 入出力 (ポート)	PWOB 出力 (MMT)	SCK4 入出力 (SCI)	A15 出力 (BSC)	

【注】* F-ZTAT 版のみ

17. ピンファンクションコントローラ (PFC)

表 17.5 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF0 入力 (ポート)	AN0 入力 (A/D-0)	—	—
	PF1 入力 (ポート)	AN1 入力 (A/D-0)	—	—
	PF2 入力 (ポート)	AN2 入力 (A/D-0)	—	—
	PF3 入力 (ポート)	AN3 入力 (A/D-0)	—	—
	PF4 入力 (ポート)	AN4 入力 (A/D-1)	—	—
	PF5 入力 (ポート)	AN5 入力 (A/D-1)	—	—
	PF6 入力 (ポート)	AN6 入力 (A/D-1)	—	—
	PF7 入力 (ポート)	AN7 入力 (A/D-1)	—	—
	PF8 入力 (ポート)	AN8 入力 (A/D-0)	—	—
	PF9 入力 (ポート)	AN9 入力 (A/D-0)	—	—
	PF10 入力 (ポート)	AN10 入力 (A/D-0)	—	—
	PF11 入力 (ポート)	AN11 入力 (A/D-0)	—	—
	PF12 入力 (ポート)	AN12 入力 (A/D-1)	—	—
	PF13 入力 (ポート)	AN13 入力 (A/D-1)	—	—
	PF14 入力 (ポート)	AN14 入力 (A/D-1)	—	—
PF15 入力 (ポート)	AN15 入力 (A/D-1)	—	—	

17. ピンファンクションコントローラ (PFC)

表 17.6 動作モード別端子機能一覧 (1)

ピン番号	端子名			
	内蔵 ROM 無効		内蔵 ROM 有効	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
15,53,72,84	Vcc	Vcc	Vcc	Vcc
13,29,50, 74,82	Vss	Vss	Vss	Vss
27,77	VCL	VCL	VCL	VCL
33,46	AVcc	AVcc	AVcc	AVcc
30,49	AVss	AVss	AVss	AVss
1	WDTOVF	WDTOVF	WDTOVF	WDTOVF
2	$\overline{CS0}$	$\overline{CS0}$	PE0	PE0 / TIOC0A / $\overline{CS0}$
3	PE1	PE1 / TIOC0B	PE1	PE1 / TIOC0B
4	PE2	PE2 / TIOC0C	PE2	PE2 / TIOC0C
5	PE3	PE3 / TIOC0D	PE3	PE3 / TIOC0D
6	A6	A6	PE4	PE4 / TIOC1A / RXD3 / A6
7	A7	A7	PE5	PE5 / TIOC1B / TXD3 / A7
8	A8	A8	PE6	PE6 / TIOC2A / SCK3 / A8
9	A9	A9	PE7	PE7 / TIOC2B / RXD2 / A9
10	PE8	PE8 / TIOC3A / SCK2	PE8	PE8 / TIOC3A / SCK2
11	$\overline{ASEBRKAK}^*$	$\overline{ASEBRKAK}^*$	$\overline{ASEBRKAK}^*$	$\overline{ASEBRKAK}^*$
12	PE9	PE9 / TIOC3B	PE9	PE9 / TIOC3B
14	WRL	WRL	PE10	PE10 / TIOC3C / TXD2 / WRL
16	\overline{DBGMD}^*	\overline{DBGMD}^*	\overline{DBGMD}^*	\overline{DBGMD}^*
17	PE11	PE11 / TIOC3D	PE11	PE11 / TIOC3D
18	PE12	PE12 / TIOC4A	PE12	PE12 / TIOC4A
19	PE13	PE13 / TIOC4B / \overline{MRES}	PE13	PE13 / TIOC4B / \overline{MRES}
20	PE14	PE14 / TIOC4C	PE14	PE14 / TIOC4C
21	PE15	PE15 / TIOC4D / \overline{IRQOUT}	PE15	PE15 / TIOC4D / \overline{IRQOUT}
22	A10	A10	PE16	PE16 / PUOA / $\overline{UBCTR\overline{G}}^*$ / A10
23	A11	A11	PE17	PE17 / PVOA / WAIT / A11
24	A12	A12	PE18	PE18 / PWOA / A12
25	A13	A13	PE19	PE19 / PUOB / RXD4 / A13
26	A14	A14	PE20	PE20 / PVOB / TXD4 / A14
28	A15	A15	PE21	PE21 / PWOB / SCK4 / A15
31	PF7 / AN7	PF7 / AN7	PF7 / AN7	PF7 / AN7
32	PF15 / AN15	PF15 / AN15	PF15 / AN15	PF15 / AN15
34	PF6 / AN6	PF6 / AN6	PF6 / AN6	PF6 / AN6

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効		内蔵 ROM 有効	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
35	PF14 / AN14	PF14 / AN14	PF14 / AN14	PF14 / AN14
36	PF5 / AN5	PF5 / AN5	PF5 / AN5	PF5 / AN5
37	PF13 / AN13	PF13 / AN13	PF13 / AN13	PF13 / AN13
38	PF4 / AN4	PF4 / AN4	PF4 / AN4	PF4 / AN4
39	PF12 / AN12	PF12 / AN12	PF12 / AN12	PF12 / AN12
40	PF11 / AN11	PF11 / AN11	PF11 / AN11	PF11 / AN11
41	PF3 / AN3	PF3 / AN3	PF3 / AN3	PF3 / AN3
42	PF10 / AN10	PF10 / AN10	PF10 / AN10	PF10 / AN10
43	PF2 / AN2	PF2 / AN2	PF2 / AN2	PF2 / AN2
44	PF9 / AN9	PF9 / AN9	PF9 / AN9	PF9 / AN9
45	PF1 / AN1	PF1 / AN1	PF1 / AN1	PF1 / AN1
47	PF8 / AN8	PF8 / AN8	PF8 / AN8	PF8 / AN8
48	PF0 / AN0	PF0 / AN0	PF0 / AN0	PF0 / AN0
51	CK	PB5 / $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ / CK	CK	PB5 / $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ / CK
52	PB4	PB4 / $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ / SCK4	PB4	PB4 / $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ / SCK4
54	PB3	PB3 / $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ / TXD4	PB3	PB3 / $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ / TXD4
55	PB2	PB2 / $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ / RXD4	PB2	PB2 / $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ / RXD4
56	A17	A17	PB1	PB1 / A17 / HRxD1 / SCK4
57	A16	A16	PB0	PB0 / A16 / HTxD1
58	PA15 / $\overline{\text{TRST}}^*$	PA15 / CK / $\overline{\text{POE6}}$ / $\overline{\text{TRST}}^*$ / $\overline{\text{BACK}}$	PA15 / $\overline{\text{TRST}}^*$	PA15 / CK / $\overline{\text{POE6}}$ / $\overline{\text{TRST}}^*$ / $\overline{\text{BACK}}$
59	PA14 / TMS*	PA14 / $\overline{\text{RD}}$ / $\overline{\text{POE5}}$ / TMS*	PA14 / TMS*	PA14 / $\overline{\text{RD}}$ / $\overline{\text{POE5}}$ / TMS*
60	PA13 / TDO*	PA13 / $\overline{\text{POE4}}$ / TDO* / $\overline{\text{BREQ}}$	PA13 / TDO*	PA13 / $\overline{\text{POE4}}$ / TDO* / $\overline{\text{BREQ}}$
61	PA12 / TDI*	PA12 / $\overline{\text{WRL}}$ / $\overline{\text{UBCTR}}\overline{\text{G}}^*$ / TDI*	PA12 / TDI*	PA12 / $\overline{\text{WRL}}$ / $\overline{\text{UBCTR}}\overline{\text{G}}^*$ / TDI*
62	PA11	PA11 / $\overline{\text{ADTR}}\overline{\text{G}}$ / SCK3	PA11	PA11 / $\overline{\text{ADTR}}\overline{\text{G}}$ / SCK3
63	PA10 / TCK*	PA10 / $\overline{\text{CS0}}$ / $\overline{\text{RD}}$ / TCK* / SCK2	PA10 / TCK*	PA10 / $\overline{\text{CS0}}$ / $\overline{\text{RD}}$ / TCK* / SCK2
64	PA9	PA9 / TCLKD / $\overline{\text{IRQ3}}$ / TXD3	PA9	PA9 / TCLKD / $\overline{\text{IRQ3}}$ / TXD3
65	PA8	PA8 / TCLKC / $\overline{\text{IRQ2}}$ / RXD3	PA8	PA8 / TCLKC / $\overline{\text{IRQ2}}$ / RXD3
66	PA7	PA7 / TCLKB / WAIT / TXD2	PA7	PA7 / TCLKB / WAIT / TXD2
67	$\overline{\text{RD}}$	$\overline{\text{RD}}$	PA6	PA6 / TCLKA / $\overline{\text{RD}}$ / RXD2
68	A5	A5	PA5	PA5 / $\overline{\text{IRQ1}}$ / A5 / $\overline{\text{POE6}}$ / SCK3
69	A4	A4	PA4	PA4 / A4 / $\overline{\text{POE5}}$ / TXD3
70	A3	A3	PA3	PA3 / A3 / $\overline{\text{POE4}}$ / RXD3
71	A2	A2	PA2	PA2 / $\overline{\text{IRQ0}}$ / A2 / PCIO / SCK2
73	A1	A1	PA1	PA1 / A1 / $\overline{\text{POE1}}$ / TXD2
75	A0	A0	PA0	PA0 / A0 / $\overline{\text{POE0}}$ / RXD2

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名			
	内蔵 ROM 無効		内蔵 ROM 有効	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
76	PD8	PD8 / UBCTRG*	PD8	PD8 / UBCTRG*
78	D7	D7	PD7 / AUDSYNC*	PD7 / D7 / AUDSYNC*
79	D6	D6	PD6 / AUDCK*	PD6 / D6 / AUDCK*
80	D5	D5	PD5 / AUDMD*	PD5 / D5 / AUDMD*
81	D4	D4	PD4 / AUDRST*	PD4 / D4 / AUDRST*
83	FWP	FWP	FWP	FWP
85	HSTBY	HSTBY	HSTBY	HSTBY
86	D3	D3	PD3 / AUDATA3*	PD3 / D3 / AUDATA3*
87	RES	RES	RES	RES
88	D2	D2	PD2 / AUDATA2*	PD2 / D2 / SCK2 / AUDATA2*
89	NMI	NMI	NMI	NMI
90	D1	D1	PD1 / AUDATA1*	PD1 / D1 / TXD2 / AUDATA1*
91	MD3	MD3	MD3	MD3
92	D0	D0	PD0 / AUDATA0*	PD0 / D0 / RXD2 / AUDATA0*
93	MD2	MD2	MD2	MD2
94	MD1	MD1	MD1	MD1
95	MD0	MD0	MD0	MD0
96	EXTAL	EXTAL	EXTAL	EXTAL
97	XTAL	XTAL	XTAL	XTAL
98	PLLVCL	PLLVCL	PLLVCL	PLLVCL
99	PLLCAP	PLLCAP	PLLCAP	PLLCAP
100	PLLVss	PLLVss	PLLVss	PLLVss

【注】* F-ZTAT 版のみ

内蔵 ROM 無効モード、内蔵 ROM 有効モードでは、本表で示されたそれぞれの PFC で設定可能な機能以外は、選択しないでください。

17. ピンファンクションコントローラ (PFC)

表 17.7 動作モード別端子機能一覧 (2)

ピン番号	端子名	
	シングルチップモード	
	初期機能	PFC で設定可能な機能
15,53,72,84	Vcc	Vcc
13,29,50,74,82	Vss	Vss
27, 77	VCL	VCL
33, 46	Avcc	Avcc
30, 49	AVss	AVss
1	WDTOVF	WDTOVF
2	PE0	PE0 / TI0C0A
3	PE1	PE1 / TI0C0B
4	PE2	PE2 / TI0C0C
5	PE3	PE3 / TI0C0D
6	PE4	PE4 / TI0C1A / RXD3
7	PE5	PE5 / TI0C1B / TXD3
8	PE6	PE6 / TI0C2A / SCK3
9	PE7	PE7 / TI0C2B / RXD2
10	PE8	PE8 / TI0C3A / SCK2
11	ASEBRKAK*	ASEBRKAK*
12	PE9	PE9 / TI0C3B
14	PE10	PE10 / TI0C3C / TXD2
16	DBGMD*	DBGMD*
17	PE11	PE11 / TI0C3D
18	PE12	PE12 / TI0C4A
19	PE13	PE13 / TI0C4B / MRES
20	PE14	PE14 / TI0C4C
21	PE15	PE15 / TI0C4D / IRQOUT
22	PE16	PE16 / PUOA / UBCTRG*
23	PE17	PE17 / PVOA
24	PE18	PE18 / PWOA
25	PE19	PE19 / PUOB / RXD4
26	PE20	PE20 / PVOB / TXD4
28	PE21	PE21 / PWOB / SCK4
31	PF7 / AN7	PF7 / AN7
32	PF15 / AN15	PF15 / AN15
34	PF6 / AN6	PF6 / AN6
35	PF14 / AN14	PF14 / AN14

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名	
	シングルチップモード	
	初期機能	PFC で設定可能な機能
36	PF5 / AN5	PF5 / AN5
37	PF13 / AN13	PF13 / AN13
38	PF4 / AN4	PF4 / AN4
39	PF12 / AN12	PF12 / AN12
40	PF11 / AN11	PF11 / AN11
41	PF3 / AN3	PF3 / AN3
42	PF10 / AN10	PF10 / AN10
43	PF2 / AN2	PF2 / AN2
44	PF9 / AN9	PF9 / AN9
45	PF1 / AN1	PF1 / AN1
47	PF8 / AN8	PF8 / AN8
48	PF0 / AN0	PF0 / AN0
51	PB5	PB5 / $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ / CK
52	PB4	PB4 / $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ / SCK4
54	PB3	PB3 / $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ / TXD4
55	PB2	PB2 / $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ / RXD4
56	PB1	PB1 / HRxD1 / SCK4
57	PB0	PB0 / HTxD1
58	PA15 / $\overline{\text{TRST}}^*$	PA15 / CK / $\overline{\text{POE6}}$ / $\overline{\text{TRST}}^*$
59	PA14 / TMS*	PA14 / $\overline{\text{POE5}}$ / TMS*
60	PA13 / TDO*	PA13 / $\overline{\text{POE4}}$ / TDO*
61	PA12 / TDI*	PA12 / $\overline{\text{UBCTRG}}$ / TDI*
62	PA11	PA11 / $\overline{\text{ADTRG}}$ / SCK3
63	PA10 / TCK*	PA10 / TCK* / SCK2
64	PA9	PA9 / TCLKD / $\overline{\text{IRQ3}}$ / TXD3
65	PA8	PA8 / TCLKC / $\overline{\text{IRQ2}}$ / RXD3
66	PA7	PA7 / TCLKB / TXD2
67	PA6	PA6 / TCLKA / RXD2
68	PA5	PA5 / $\overline{\text{IRQ1}}$ / $\overline{\text{POE6}}$ / SCK3
69	PA4	PA4 / $\overline{\text{POE5}}$ / TXD3
70	PA3	PA3 / $\overline{\text{POE4}}$ / RXD3
71	PA2	PA2 / $\overline{\text{IRQ0}}$ / PCIO / SCK2
73	PA1	PA1 / $\overline{\text{POE1}}$ / TXD2
75	PA0	PA0 / $\overline{\text{POE0}}$ / RXD2
76	PD8	PD8 / $\overline{\text{UBCTRG}}^*$

17. ピンファンクションコントローラ (PFC)

ピン番号	端子名	
	シングルチップモード	
	初期機能	PFC で設定可能な機能
78	PD7 / AUDSYNC*	PD7 / AUDSYNC*
79	PD6 / AUDCK*	PD6 / AUDCK*
80	PD5 / AUDMD*	PD5 / AUDMD*
81	PD4 / AUDRST*	PD4 / AUDRST*
83	FWP	FWP
85	HSTBY	HSTBY
86	PD3 / AUDATA3*	PD3 / AUDATA3*
87	RES	RES
88	PD2 / AUDATA2*	PD2 / SCK2 / AUDATA2*
89	NMI	NMI
90	PD1 / AUDATA1*	PD1 / TXD2 / AUDATA1*
91	MD3	MD3
92	PD0 / AUDATA0*	PD0 / RXD2 / AUDATA0*
93	MD2	MD2
94	MD1	MD1
95	MD0	MD0
96	EXTAL	EXTAL
97	XTAL	XTAL
98	PLLVCL	PLLVCL
99	PLLCAP	PLLCAP
100	PLLVss	PLLVss

【注】* F-ZTAT 版のみ

シングルチップモードでは、本表で示された PFC で設定可能な機能以外は選択しないでください。

17.1 レジスタの説明

PFC には以下のレジスタがあります。レジスタのアドレスおよび各処理におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポートA・IOレジスタL (PAIORL)
- ポートAコントロールレジスタL3 (PACRL3)
- ポートAコントロールレジスタL2 (PACRL2)
- ポートAコントロールレジスタL1 (PACRL1)
- ポートB・IOレジスタ (PBIOR)
- ポートBコントロールレジスタ1 (PBCR1)
- ポートBコントロールレジスタ2 (PBCR2)
- ポートD・IOレジスタL (PDIORL)
- ポートDコントロールレジスタL1 (PDCRL1)
- ポートDコントロールレジスタL2 (PDCRL2)
- ポートE・IOレジスタH (PEIORH)
- ポートE・IOレジスタL (PEIORL)
- ポートEコントロールレジスタH (PECRH)
- ポートEコントロールレジスタL1 (PECRL1)
- ポートEコントロールレジスタL2 (PECRL2)

17.1.1 ポート A・IO レジスタ L (PAIORL)

PAIORL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA15IOR～PA0IOR ビットが、それぞれ、PA15～PA0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。PAIORL はポート A の端子機能が汎用入出力（PA15～PA0）および SCI の SCK2、SCK3 入出力、MMT の PCIO 入出力の場合に有効でそれ以外の場合は無効です。

PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL の初期値は H'0000 です。

17. ピンファンクションコントローラ (PFC)

17.1.2 ポート A コントロールレジスタ L3~1 (PACRL3~1)

PACRL3~1 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

• ポートAコントロールレジスタL3~1 (PACRL3~1)

レジスタ	ビット	ビット名	初期値	R/W	説明	
PACRL3	15	PA15MD2	0* ²	R/W	PA15 モードビット	
PACRL1	15	PA15MD1	0	R/W	PA15/CK/POE6/TRST/BACK 端子の機能を選びます。 000 : PA15 入出力 (ポート) 100 : TRST 入力 (H-UDI) * ¹ 001 : CK 出力 (CPG) 101 : BACK 出力 (BSC) 010 : POE6 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止	
PACRL1	14	PA15MD0	0	R/W		
PACRL3	14	PA14MD2	0* ²	R/W		PA14 モードビット
PACRL1	13	PA14MD1	0	R/W		PA14/RD/POE5/TMS 端子の機能を選びます。 000 : PA14 入出力 (ポート) 100 : TMS 入力 (H-UDI) * ¹ 001 : RD 出力 (BSC) 101 : 設定禁止 010 : POE5 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止
PACRL1	12	PA14MD0	0	R/W		
PACRL3	13	PA13MD2	0* ²	R/W	PA13 モードビット	
PACRL1	11	PA13MD1	0	R/W	PA13/POE4/TDO/BREQ 端子の機能を選びます。 000 : PA13 入出力 (ポート) 100 : TDO 出力 (H-UDI) * ¹ 001 : 設定禁止 101 : BREQ 入力 (BSC) 010 : POE4 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止	
PACRL1	10	PA13MD0	0	R/W		
PACRL3	12	PA12MD2	0* ²	R/W		PA12 モードビット
PACRL1	9	PA12MD1	0	R/W		PA12/WRL/UBCTRG/TDI 端子の機能を選びます。 000 : PA12 入出力 (ポート) 100 : TDI 入力 (H-UDI) * ¹ 001 : WRL 出力 (BSC) 101 : 設定禁止 010 : UBCTRG 出力 (UBC) * ¹ 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止
PACRL1	8	PA12MD0	0	R/W		
PACRL3	11	PA11MD2	0	R/W	PA11 モードビット	
PACRL1	7	PA11MD1	0	R/W	PA11/ADTRG/SCK3 端子の機能を選びます。 000 : PA11 入出力 (ポート) 100 : 設定禁止 001 : 設定禁止 101 : SCK3 入出力 (SCI) 010 : ADTRG 入力 (A/D) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止	
PACRL1	6	PA11MD0	0	R/W		

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL3 PACRL1 PACRL1	10 5 4	PA10MD2 PA10MD1 PA10MD0	0* ² 0 0	R/W R/W R/W	PA10 モードビット PA10/ $\overline{\text{CS0}}$ / $\overline{\text{RD}}$ /TCK/SCK2 端子の機能を選びます。 000 : PA10 入出力 (ポート) 100 : TCK 入力 (H-UDI) * ¹ 001 : $\overline{\text{CS0}}$ 出力 (BSC) 101 : SCK2 入出力 (SCI) 010 : $\overline{\text{RD}}$ 出力 (BSC) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止
PACRL3 PACRL1 PACRL1	9 3 2	PA9MD2 PA9MD1 PA9MD0	0 0 0	R/W R/W R/W	PA9 モードビット PA9/TCLKD/ $\overline{\text{IRQ3}}$ /TXD3 端子の機能を選びます。 000 : PA9 入出力 (ポート) 100 : 設定禁止 001 : TCLKD 入力 (MTU) 101 : TXD3 出力 (SCI) 010 : $\overline{\text{IRQ3}}$ 入力 (INTC) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止
PACRL3 PACRL1 PACRL1	8 1 0	PA8MD2 PA8MD1 PA8MD0	0 0 0	R/W R/W R/W	PA8 モードビット PA8/TCLKC/ $\overline{\text{IRQ2}}$ /RXD3 端子の機能を選びます。 000 : PA8 入出力 (ポート) 100 : 設定禁止 001 : TCLKC 入力 (MTU) 101 : RXD3 入力 (SCI) 010 : $\overline{\text{IRQ2}}$ 入力 (INTC) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止
PACRL3 PACRL2 PACRL2	7 15 14	PA7MD2 PA7MD1 PA7MD0	0 0 0	R/W R/W R/W	PA7 モードビット PA7/TCLKB/ $\overline{\text{WAIT}}$ /TXD2 端子の機能を選びます。 000 : PA7 入出力 (ポート) 100 : 設定禁止 001 : TCLKB 入力 (MTU) 101 : TXD2 出力 (SCI) 010 : 設定禁止 110 : 設定禁止 011 : $\overline{\text{WAIT}}$ 入力 (BSC) 111 : 設定禁止
PACRL3 PACRL2 PACRL2	6 13 12	PA6MD2 PA6MD1 PA6MD0	0 0* ³ 0* ³	R/W R/W R/W	PA6 モードビット PA6/TCLKA/ $\overline{\text{RD}}$ /RXD2 端子の機能を選びます。 000 : PA6 入出力 (ポート) 100 : 設定禁止 001 : TCLKA 入力 (MTU) 101 : RXD2 入力 (SCI) 010 : 設定禁止 110 : 設定禁止 011 : $\overline{\text{RD}}$ 出力 (BSC) 111 : 設定禁止
PACRL3 PACRL2 PACRL2	5 11 10	PA5MD2 PA5MD1 PA5MD0	0* ³ 0 0	R/W R/W R/W	PA5 モードビット PA5/ $\overline{\text{IRQ1}}$ /A5/ $\overline{\text{POE6}}$ /SCK3 端子の機能を選びます。 000 : PA5 入出力 (ポート) 100 : A5 出力 (BSC) 001 : 設定禁止 101 : $\overline{\text{POE6}}$ 入力 (ポート) 010 : 設定禁止 110 : SCK3 入出力 (SCI) 011 : $\overline{\text{IRQ1}}$ 入力 (INTC) 111 : 設定禁止

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PACRL3	4	PA4MD2	0* ³	R/W	PA4 モードビット
PACRL2	9	PA4MD1	0	R/W	PA4/A4/ $\overline{POE5}$ /TXD3 端子の機能を選びます。
PACRL2	8	PA4MD0	0	R/W	000 : PA4 入出力 (ポート) 100 : A4 出力 (BSC) 001 : 設定禁止 101 : $\overline{POE5}$ 入力 (ポート) 010 : 設定禁止 110 : TXD3 出力 (SCI) 011 : 設定禁止 111 : 設定禁止
PACRL3	3	PA3MD2	0* ³	R/W	PA3 モードビット
PACRL2	7	PA3MD1	0	R/W	PA3/A3/ $\overline{POE4}$ /RXD3 端子の機能を選びます。
PACRL2	6	PA3MD0	0	R/W	000 : PA3 入出力 (ポート) 100 : A3 出力 (BSC) 001 : 設定禁止 101 : $\overline{POE4}$ 入力 (ポート) 010 : 設定禁止 110 : RXD3 入力 (SCI) 011 : 設定禁止 111 : 設定禁止
PACRL3	2	PA2MD2	0* ³	R/W	PA2 モードビット
PACRL2	5	PA2MD1	0	R/W	PA2/ $\overline{IRQ0}$ /A2/PCIO/SCK2 端子の機能を選びます。
PACRL2	4	PA2MD0	0	R/W	000 : PA2 入出力 (ポート) 100 : A2 出力 (BSC) 001 : 設定禁止 101 : PCIO 入出力 (MMT) 010 : 設定禁止 110 : SCK2 入出力 (SCI) 011 : $\overline{IRQ0}$ 入力 (INTC) 111 : 設定禁止
PACRL3	1	PA1MD2	0* ³	R/W	PA1 モードビット
PACRL2	3	PA1MD1	0	R/W	PA1/A1/ $\overline{POE1}$ /TXD2 端子の機能を選びます。
PACRL2	2	PA1MD0	0	R/W	000 : PA1 入出力 (ポート) 100 : A1 出力 (BSC) 001 : 設定禁止 101 : $\overline{POE1}$ 入力 (ポート) 010 : 設定禁止 110 : TXD2 出力 (SCI) 011 : 設定禁止 111 : 設定禁止
PACRL3	0	PA0MD2	0* ³	R/W	PA0 モードビット
PACRL2	1	PA0MD1	0	R/W	PA0/A0/ $\overline{POE0}$ /RXD2 端子の機能を選びます。
PACRL2	0	PA0MD0	0	R/W	000 : PA0 入出力 (ポート) 100 : A0 出力 (BSC) 001 : 設定禁止 101 : $\overline{POE0}$ 入力 (ポート) 010 : 設定禁止 110 : RXD2 入力 (SCI) 011 : 設定禁止 111 : 設定禁止

【注】 *1 F-ZTAT 版のみ、マスク版では設定禁止

*2 \overline{DBGMD} 端子=Low で設定する E10A デバッグモード時、初期値は 1 になります。

*3 内蔵 ROM 無効 8 ビット外部拡張モード時、初期値は 1 になります。

17.1.3 ポート B・IO レジスタ (PBIOR)

PBIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB5IOR～PB0IOR ビットが、それぞれ、PB5 端子～PB0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。PBIOR はポート B の端子機能が汎用入出力（PB5～PB0）および SCI の SCK4 入出力の場合に有効で、それ以外の場合は無効です。

PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR のビット 15～6 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PBIOR の初期値は H'0000 です。

17. ピンファンクションコントローラ (PFC)

17.1.4 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

PBCR1、PBCR2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

• ポートBコントロールレジスタ1、2 (PBCR1、2)

レジスタ	ビット	ビット名	初期値	R/W	説明	
PBCR1	15、14	—	すべて 0	R	リザーブビット	
PBCR1	8~0	—	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
PBCR2	15~12	—	すべて 0	R		
PBCR1	13	PB5MD2	0*1	R/W		PB5 モードビット
PBCR2	11	PB5MD1	0	R/W	PB5/ $\overline{\text{IRQ3}}$ / $\overline{\text{POE3}}$ /CK 端子の機能を選びます。 000 : PB5 入出力 (ポート) 100 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 (INTC) 101 : CK 出力 (CPG) 010 : $\overline{\text{POE3}}$ 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : 設定禁止	
PBCR2	10	PB5MD0	0*1	R/W		
PBCR1	12	PB4MD2	0	R/W		PB4 モードビット
PBCR2	9	PB4MD1	0	R/W		PB4/ $\overline{\text{IRQ2}}$ / $\overline{\text{POE2}}$ /SCK4 端子の機能を選びます。 000 : PB4 入出力 (ポート) 100 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 (INTC) 101 : 設定禁止 010 : $\overline{\text{POE2}}$ 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : SCK4 入出力 (SCI)
PBCR2	8	PB4MD0	0	R/W		
PBCR1	11	PB3MD2	0	R/W	PB3 モードビット	
PBCR2	7	PB3MD1	0	R/W	PB3/ $\overline{\text{IRQ1}}$ / $\overline{\text{POE1}}$ /TXD4 端子の機能を選びます。 000 : PB3 入出力 (ポート) 100 : 設定禁止 001 : $\overline{\text{IRQ1}}$ 入力 (INTC) 101 : 設定禁止 010 : $\overline{\text{POE1}}$ 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : TXD4 出力 (SCI)	
PBCR2	6	PB3MD0	0	R/W		
PBCR1	10	PB2MD2	0	R/W		PB2 モードビット
PBCR2	5	PB2MD1	0	R/W		PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{POE0}}$ /RXD4 端子の機能を選びます。 000 : PB2 入出力 (ポート) 100 : 設定禁止 001 : $\overline{\text{IRQ0}}$ 入力 (INTC) 101 : 設定禁止 010 : $\overline{\text{POE0}}$ 入力 (ポート) 110 : 設定禁止 011 : 設定禁止 111 : RXD4 入力 (SCI)
PBCR2	4	PB2MD0	0	R/W		

レジスタ	ビット	ビット名	初期値	R/W	説 明
PBCR1	9	PB1MD2	0	R/W	PB1モードビット PB1/A17/HRxD1/SCK4 端子の機能を選びます。 000 : PB1 入出力 (ポート) 100 : 設定禁止 001 : A17 出力 (BSC) 101 : 設定禁止 010 : 設定禁止 110 : 設定禁止 011 : HRxD1 入力 (HCAN2) 111 : SCK4 入出力 (SCI)
PBCR2	3	PB1MD1	0	R/W	
PBCR2	2	PB1MD0	0* ²	R/W	
PBCR2	1	PB0MD1	0	R/W	PB0モードビット PB0/A16/HTxD1 端子の機能を選びます。 00 : PB0 入出力 (ポート) 10 : 設定禁止 01 : A16 出力 (BSC) 11 : HTxD1 出力 (HCAN2)
PBCR2	0	PB0MD0	0* ²	R/W	

【注】 *1 内蔵 ROM 有効/無効 8 ビット外部拡張モード時、初期値は 1 になります。

*2 内蔵 ROM 無効 8 ビット外部拡張モード時、初期値は 1 になります。

17.1.5 ポート D・IO レジスタ L (PDIORL)

PDIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD8IOR~PD0IOR ビットが、それぞれ、PD8~PD0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD8~PD0) および SCI の SCK2 入出力の場合に有効でそれ以外の場合は無効です。

PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL のビット 15~9 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PDIORL の初期値は H'0000 です。

17. ピンファンクションコントローラ (PFC)

17.1.6 ポート D コントロールレジスタ L1、L2 (PDCRL1、L2)

PDCRL1、PDCRL2 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

(1) ポート D コントロールレジスタ L1、L2 (PDCRL1、L2)

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL2 PDCRL1	15~9	—	すべて 0	R	リザーブビット
PDCRL2 PDCRL1	8	PD8MD1 PD8MD0	0 0	R/W R/W	PD8/UBCTRG 端子の機能を選びます。 00 : PD8 入出力 (ポート) 10 : 設定禁止 01 : 設定禁止 11 : $\overline{\text{UBCTRG}}$ 出力 (UBC) * ¹
PDCRL2 PDCRL1	7	PD7MD1 PD7MD0	0 0* ²	R/W R/W	PD7/D7/AUDSYNC 端子の機能を選びます。 00 : PD7 入出力 (ポート) 10 : 設定禁止 01 : D7 入出力 (BSC) 11 : $\overline{\text{AUDSYNC}}$ 入出力 (AUD) * ¹
PDCRL2 PDCRL1	6	PD6MD1 PD6MD0	0 0* ²	R/W R/W	PD6/D6/AUDCK 端子の機能を選びます。 00 : PD6 入出力 (ポート) 10 : 設定禁止 01 : D6 入出力 (BSC) 11 : AUDCK 入出力 (AUD) * ¹
PDCRL2 PDCRL1	5	PD5MD1 PD5MD0	0 0* ²	R/W R/W	PD5/D5/AUDMD 端子の機能を選びます。 00 : PD5 入出力 (ポート) 10 : 設定禁止 01 : D5 入出力 (BSC) 11 : AUDMD 入力 (AUD) * ¹
PDCRL2 PDCRL1	4	PD4MD1 PD4MD0	0 0* ²	R/W R/W	PD4/D4/AUDRST 端子の機能を選びます。 00 : PD4 入出力 (ポート) 10 : 設定禁止 01 : D4 入出力 (BSC) 11 : $\overline{\text{AUDRST}}$ 入力 (AUD) * ¹
PDCRL2 PDCRL1	3	PD3MD1 PD3MD0	0 0* ²	R/W R/W	PD3/D3/AUDATA3 端子の機能を選びます。 00 : PD3 入出力 (ポート) 10 : 設定禁止 01 : D3 入出力 (BSC) 11 : AUDATA3 入出力 (AUD) * ¹

レジスタ	ビット	ビット名	初期値	R/W	説明
PDCRL2 PDCRL1	2 2	PD2MD1 PD2MD0	0 0* ²	R/W R/W	PD2 モードビット PD2/D2/SCK2/AUDATA2 端子の機能を選びます。 00 : PD2 入出力 (ポート) 10 : SCK2 入出力 (SCI) 01 : D2 入出力 (BSC) 11 : AUDATA2 入出力 (AUD) * ¹
PDCRL2 PDCRL1	1 1	PD1MD1 PD1MD0	0 0* ²	R/W R/W	PD1 モードビット PD1/D1/TXD2/AUDATA1 端子の機能を選びます。 00 : PD1 入出力 (ポート) 10 : TXD2 出力 (SCI) 01 : D1 入出力 (BSC) 11 : AUDATA1 入出力 (AUD) * ¹
PDCRL2 PDCRL1	0 0	PD0MD1 PD0MD0	0 0* ²	R/W R/W	PD0 モードビット PD0/D0/RXD2/AUDATA0 端子の機能を選びます。 00 : PD0 入出力 (ポート) 10 : RXD2 入力 (SCI) 01 : D0 入出力 (BSC) 11 : AUDATA0 入出力 (AUD) * ¹

【注】 *1 F-ZTAT 版のみ、マスク版では設定禁止

*2 内蔵 ROM 無効 8 ビット外部拡張モード時、初期値は 1 になります。

17.1.7 ポート E・IO レジスタ L、H (PEIORL、H)

PEIORL、PEIORH は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE2IIOR~PE0IOR ビットが、それぞれ、PE21 端子~PE0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15~PE0) および MTU の TI0C 入出力、SCI の SCK2、SCK3 入出力の場合に有効で、それ以外の場合は無効です。PEIORH はポート E の端子機能が汎用入出力 (PE21~PE16) および SCI の SCK4 入出力の場合に有効で、それ以外の場合は無効です。

PEIORL および PEIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORH のビット 15~6 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PEIORL および PEIORH の初期値は共に H'0000 です。

17.1.8 ポート E コントロールレジスタ L1、L2、H (PECRL1、L2、H)

PECRL1、PECRL2、PECRH は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

17. ピンファンクションコントローラ (PFC)

● ポートEコントロールレジスタL1、L2、H (PECRL1、L2、H)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRH	15~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
PECRH	11	PE21MD1	0* ²	R/W	PE21 モードビット PE21/PWOB/SCK4/A15 端子の機能を選びます。 00 : PE21 入出力 (ポート) 10 : SCK4 入出力 (SCI) 01 : PWOB 出力 (MMT) 11 : A15 出力 (BSC)
PECRH	10	PE21MD0	0* ²	R/W	
PECRH	9	PE20MD1	0* ²	R/W	PE20 モードビット PE20/PVOB/TXD4/A14 端子の機能を選びます。 00 : PE20 入出力 (ポート) 10 : TXD4 出力 (SCI) 01 : PVOB 出力 (MMT) 11 : A14 出力 (BSC)
PECRH	8	PE20MD0	0* ²	R/W	
PECRH	7	PE19MD1	0* ²	R/W	PE19 モードビット PE19/PUOB/RXD4/A13 端子の機能を選びます。 00 : PE19 入出力 (ポート) 10 : RXD4 入力 (SCI) 01 : PUOB 出力 (MMT) 11 : A13 出力 (BSC)
PECRH	6	PE19MD0	0* ²	R/W	
PECRH	5	PE18MD1	0* ²	R/W	PE18 モードビット PE18/PWOA/A12 端子の機能を選びます。 00 : PE18 入出力 (ポート) 10 : 設定禁止 01 : PWOA 出力 (MMT) 11 : A12 出力 (BSC)
PECRH	4	PE18MD0	0* ²	R/W	
PECRH	3	PE17MD1	0* ²	R/W	PE17 モードビット PE17/PVOA/ <u>WAIT</u> /A11 端子の機能を選びます。 00 : PE17 入出力 (ポート) 10 : <u>WAIT</u> 入力 (BSC) 01 : PVOA 出力 (MMT) 11 : A11 出力 (BSC)
PECRH	2	PE17MD0	0* ²	R/W	
PECRH	1	PE16MD1	0* ²	R/W	PE16 モードビット PE16/PUOA/ <u>UBCTR\overline{G}</u> /A10 端子の機能を選びます。 00 : PE16 入出力 (ポート) 10 : <u>UBCTR\overline{G}</u> 出力 (UBC) * ¹ 01 : PUOA 出力 (MMT) 11 : A10 出力 (BSC)
PECRH	0	PE16MD0	0* ²	R/W	
PECRL1	15	PE15MD1	0	R/W	PE15 モードビット PE15/TIOC4D/ <u>IRQOUT</u> 端子の機能を選びます。 00 : PE15 入出力 (ポート) 10 : 設定禁止 01 : TIOC4D 入出力 (MTU) 11 : <u>IRQOUT</u> 出力 (INTC)
PECRL1	14	PE15MD0	0	R/W	
PECRL1	13	PE14MD1	0	R/W	PE14 モードビット PE14/TIOC4C 端子の機能を選びます。 00 : PE14 入出力 (ポート) 10 : 設定禁止 01 : TIOC4C 入出力 (MTU) 11 : 設定禁止
PECRL1	12	PE14MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL1	11	PE13MD1	0	R/W	PE13 モードビット PE13/TIOC4B/MRES 端子の機能を選びます。 00 : PE13 入出力 (ポート) 10 : $\overline{\text{MRES}}$ 入力 (INTC) 01 : TIOC4B 入出力 (MTU) 11 : 設定禁止
PECRL1	10	PE13MD0	0	R/W	
PECRL1	9	PE12MD1	0	R/W	PE12 モードビット PE12/TIOC4A 端子の機能を選びます。 00 : PE12 入出力 (ポート) 10 : 設定禁止 01 : TIOC4A 入出力 (MTU) 11 : 設定禁止
PECRL1	8	PE12MD0	0	R/W	
PECRL1	7	PE11MD1	0	R/W	PE11 モードビット PE11/TIOC3D 端子の機能を選びます。 00 : PE11 入出力 (ポート) 10 : 設定禁止 01 : TIOC3D 入出力 (MTU) 11 : 設定禁止
PECRL1	6	PE11MD0	0	R/W	
PECRL1	5	PE10MD1	0* ²	R/W	PE10 モードビット PE10/TIOC3C/TXD2/ $\overline{\text{WRL}}$ 端子の機能を選びます。 00 : PE10 入出力 (ポート) 10 : TXD2 出力 (SCI) 01 : TIOC3C 入出力 (MTU) 11 : $\overline{\text{WRL}}$ 出力 (BSC)
PECRL1	4	PE10MD0	0* ²	R/W	
PECRL1	3	PE9MD1	0	R/W	PE9 モードビット PE9/TIOC3B 端子の機能を選びます。 00 : PE9 入出力 (ポート) 10 : 設定禁止 01 : TIOC3B 入出力 (MTU) 11 : 設定禁止
PECRL1	2	PE9MD0	0	R/W	
PECRL1	1	PE8MD1	0	R/W	PE8 モードビット PE8/TIOC3A/SCK2 端子の機能を選びます。 00 : PE8 入出力 (ポート) 10 : SCK2 入出力 (SCI) 01 : TIOC3A 入出力 (MTU) 11 : 設定禁止
PECRL1	0	PE8MD0	0	R/W	
PECRL2	15	PE7MD1	0* ²	R/W	PE7 モードビット PE7/TIOC2B/RXD2/A9 端子の機能を選びます。 00 : PE7 入出力 (ポート) 10 : RXD2 入力 (SCI) 01 : TIOC2B 入出力 (MTU) 11 : A9 出力 (BSC)
PECRL2	14	PE7MD0	0* ²	R/W	
PECRL2	13	PE6MD1	0* ²	R/W	PE6 モードビット PE6/TIOC2A/SCK3/A8 端子の機能を選びます。 00 : PE6 入出力 (ポート) 10 : SCK3 入出力 (SCI) 01 : TIOC2A 入出力 (MTU) 11 : A8 出力 (BSC)
PECRL2	12	PE6MD0	0* ²	R/W	
PECRL2	11	PE5MD1	0* ²	R/W	PE5 モードビット PE5/TIOC1B/TXD3/A7 端子の機能を選びます。 00 : PE5 入出力 (ポート) 10 : TXD3 出力 (SCI) 01 : TIOC1B 入出力 (MTU) 11 : A7 出力 (BSC)
PECRL2	10	PE5MD0	0* ²	R/W	

17. ピンファンクションコントローラ (PFC)

レジスタ	ビット	ビット名	初期値	R/W	説明
PECRL2	9	PE4MD1	0* ²	R/W	PE4 モードビット
PECRL2	8	PE4MD0	0* ²	R/W	PE4/TIOC1A/RXD3/A6 端子の機能を選びます。 00 : PE4 入出力 (ポート) 10 : RXD3 入力 (SCI) 01 : TIOC1A 入出力 (MTU) 11 : A6 出力 (BSC)
PECRL2	7	PE3MD1	0	R/W	PE3 モードビット
PECRL2	6	PE3MD0	0	R/W	PE3/TIOC0D 端子の機能を選びます。 00 : PE3 入出力 (ポート) 10 : 設定禁止 01 : TIOC0D 入出力 (MTU) 11 : 設定禁止
PECRL2	5	PE2MD1	0	R/W	PE2 モードビット
PECRL2	4	PE2MD0	0	R/W	PE2/TIOC0C 端子の機能を選びます。 00 : PE2 入出力 (ポート) 10 : 設定禁止 01 : TIOC0C 入出力 (MTU) 11 : 設定禁止
PECRL2	3	PE1MD1	0	R/W	PE1 モードビット
PECRL2	2	PE1MD0	0	R/W	PE1/TIOC0B 端子の機能を選びます。 00 : PE1 入出力 (ポート) 10 : 設定禁止 01 : TIOC0B 入出力 (MTU) 11 : 設定禁止
PECRL2	1	PE0MD1	0* ²	R/W	PE0 モードビット
PECRL2	0	PE0MD0	0* ²	R/W	PE0/TIOC0A/ $\overline{CS0}$ 端子の機能を選びます。 00 : PE0 入出力 (ポート) 10 : 設定禁止 01 : TIOC0A 入出力 (MTU) 11 : $\overline{CS0}$ 出力 (BSC)

【注】 *1 F-ZTAT 版のみ、マスク版では設定禁止

*2 内蔵 ROM 無効 8 ビット外部拡張モード時、初期値は 1 になります。

17.2 使用上の注意事項

- LSIでは、同一の機能が複数の端子にマルチプレクス機能として割り付けられています。これは、端子機能の選択自由度を向上するとともに、ボード設計を容易にすることを目的としています。
PFCで機能の選択をする場合、1機能につき1端子のみ指定してください。1機能当たり2端子以上で利用した場合、誤動作しますので注意してください。
- 端子機能の選択をする場合は、ポートコントロールレジスタ (PACRL3、PACRL2、PACRL1、PBCR1、PBCR2、PDCRL1、PDCRL2) を設定した後、ポートIOレジスタ (PAIORL、PBIOR、PDIOR) を設定してください。ただし、ポートEとマルチプレクスされている端子機能を選択する場合は、ポートコントロールレジスタ (PECRH、PECRL1、PECRL2) 、ポートIOレジスタ (PEIORH、PEIORL) の設定順を特に気にする必要はありません。
- 外部空間使用時は、バスステートコントローラのバスコントロールレジスタ1 (BCR1) で設定されるCS0空間のバスサイズに応じて、必ず下記のとおり、ピンファンクションコントローラ (PFC) にてデータ入出力端子を設定してください。

- CS空間がバイト（8ビット）サイズるとき、D7～D0まですべてをデータ入出力端子に設定してください。
- (4) 入出力ポートと $\overline{\text{DREQ}}$ または $\overline{\text{IRQ}}$ がマルチプレクスされている端子で、ポート入力がローレベル状態から $\overline{\text{DREQ}}$ または $\overline{\text{IRQ}}$ エッジ検出に切り換えた場合、当該のエッジが検出されます。
 - (5) 端子が汎用出力で1出力に設定（ポートコントロールレジスタが汎用入出力、ポートI/Oレジスタが1、ポートデータレジスタが1）された状態で、 $\overline{\text{RES}}$ 端子によるパワーオンリセットを投入すると、パワーオンリセット突入の瞬間に、端子にローレベルが発生する場合があります。このローレベル発生を抑える場合は、ポートI/Oレジスタを0（汎用入力）に設定してから、パワーオンリセットを投入してください。
なお、WDTのオーバフローによる内部のパワーオンリセットでは、上記ローレベルが発生することはありません。

18. I/O ポート

本 LSI のポートは、A、B、D、E、F の 5 本から構成されています。ポート A は 16 ビット、ポート B は 6 ビット、ポート D は 9 ビット、ポート E は 22 ビットの入出力ポートです。ポート F は 16 ビットの入力専用ポートです。

それぞれのポートの端子は、すべて、そのほかの機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタを持っています。

18.1 ポート A

ポート A は、図 18.1 に示すような、16 本の端子を持つ入出力ポートです。

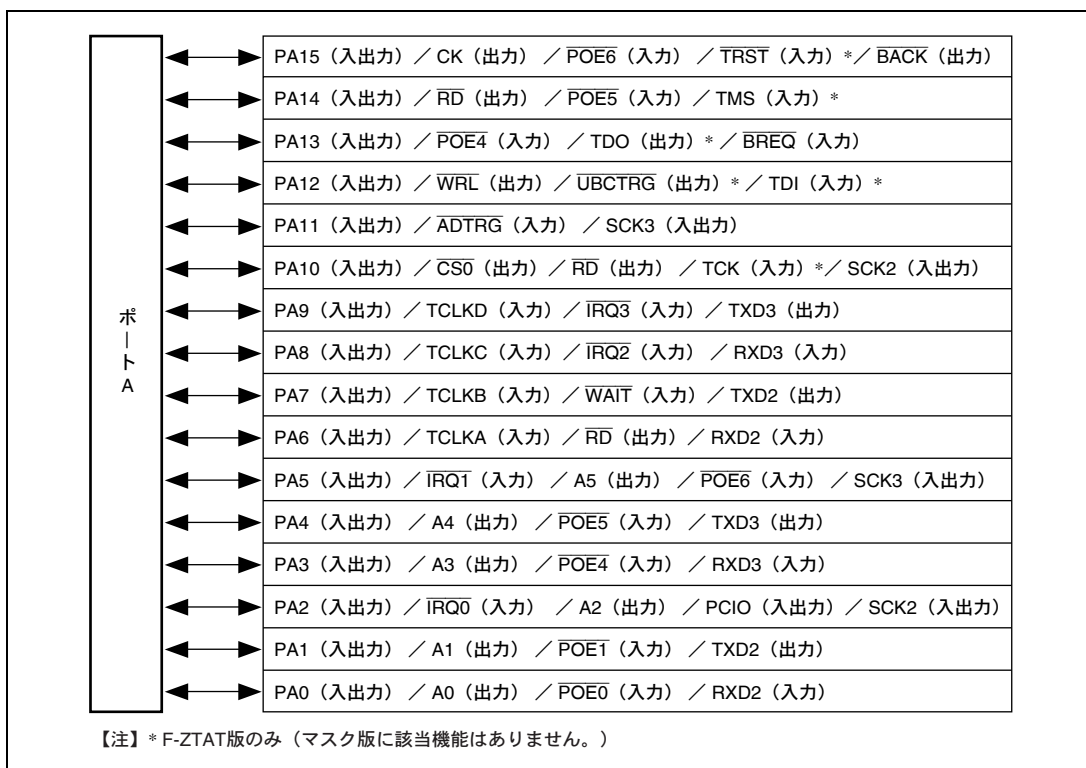


図 18.1 ポート A

18. I/O ポート

18.1.1 レジスタの説明

ポート A は 16 ビットの入出力兼用ポートです。ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポートAデータレジスタL (PADRL)

18.1.2 ポート A データレジスタ L (PADRL)

PADRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR～PA0DR ビットは、それぞれ、PA15～PA0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込みますが、端子の状態には影響しません。表 18.1 にポート A データレジスタ L の読み出し／書き込み動作を示します。

ビット	ビット名	初期値	R/W	説 明
15	PA15DR	0	R/W	表 18.1 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 18.1 ポート A データレジスタ L (PADRL) の読み出し／書き込み動作

- ビット15～0

PAIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRL の値	書き込み値が端子から出力される
	汎用出力以外	PADRL の値	PADRL に書き込めるが、端子の状態に影響しない

18.2 ポート B

ポート B は、図 18.2 に示すような 6 本の端子を持つ入出力ポートです。

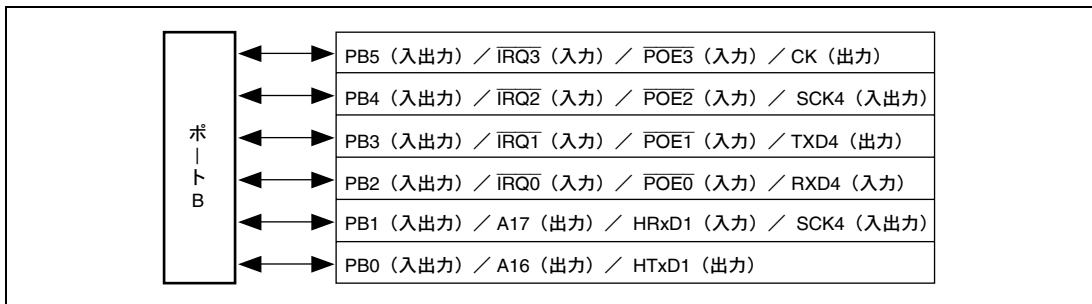


図 18.2 ポート B

18.2.1 レジスタの説明

ポート B は、6 ビットの入出力兼用ポートです。ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポート B データレジスタ (PBDR)

18.2.2 ポート B データレジスタ (PBDR)

PBDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB5DR～PB0DR ビットは、それぞれ、PB5～PB0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 18.2 にポート B データレジスタの読み出し／書き込み動作を示します。

ビット	ビット名	初期値	R/W	説明
15～6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PB5DR	0	R/W	表 18.2 参照
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 18.2 ポート B データレジスタ (PBDR) の読み出し／書き込み動作

ビット 5～0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

18.3 ポート D

ポート D は、図 18.3 に示すような、9 本の端子を持つ入出力ポートです。

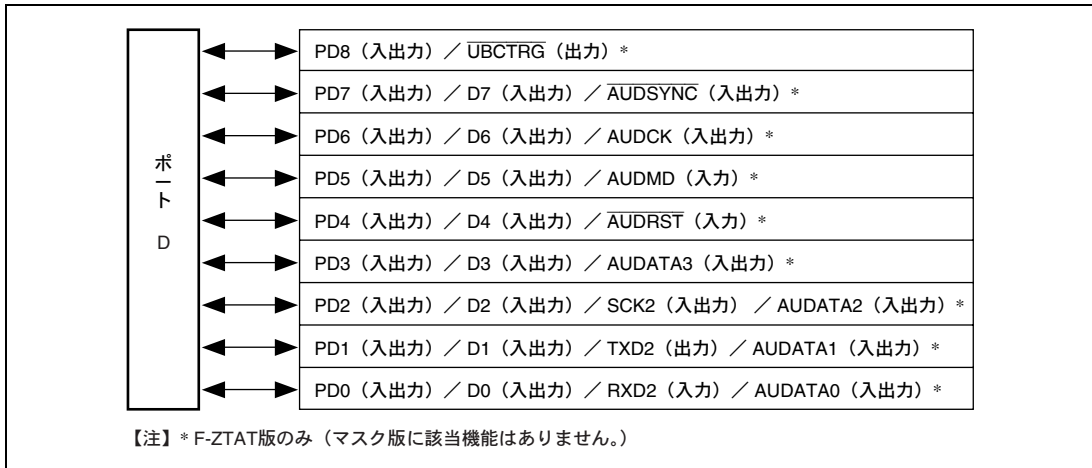


図 18.3 ポート D

18.3.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポート D データレジスタ L (PDDRL)

18.3.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD8DR~PD0DR ビットは、それぞれ、PD8~PD0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込めますが、端子の状態には影響しません。表 18.3 にポート D データレジスタ L の読み出し/書き込み動作を示します。

18. I/O ポート

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PD8DR	0	R/W	表 18.3 参照
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 18.3 ポート D データレジスタ L (PDDRL) の読み出し/書き込み動作

• ビット8~0

PDIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

18.4 ポート E

ポート E は、図 18.4 に示すような、22 本の端子を持つ入出力ポートです。

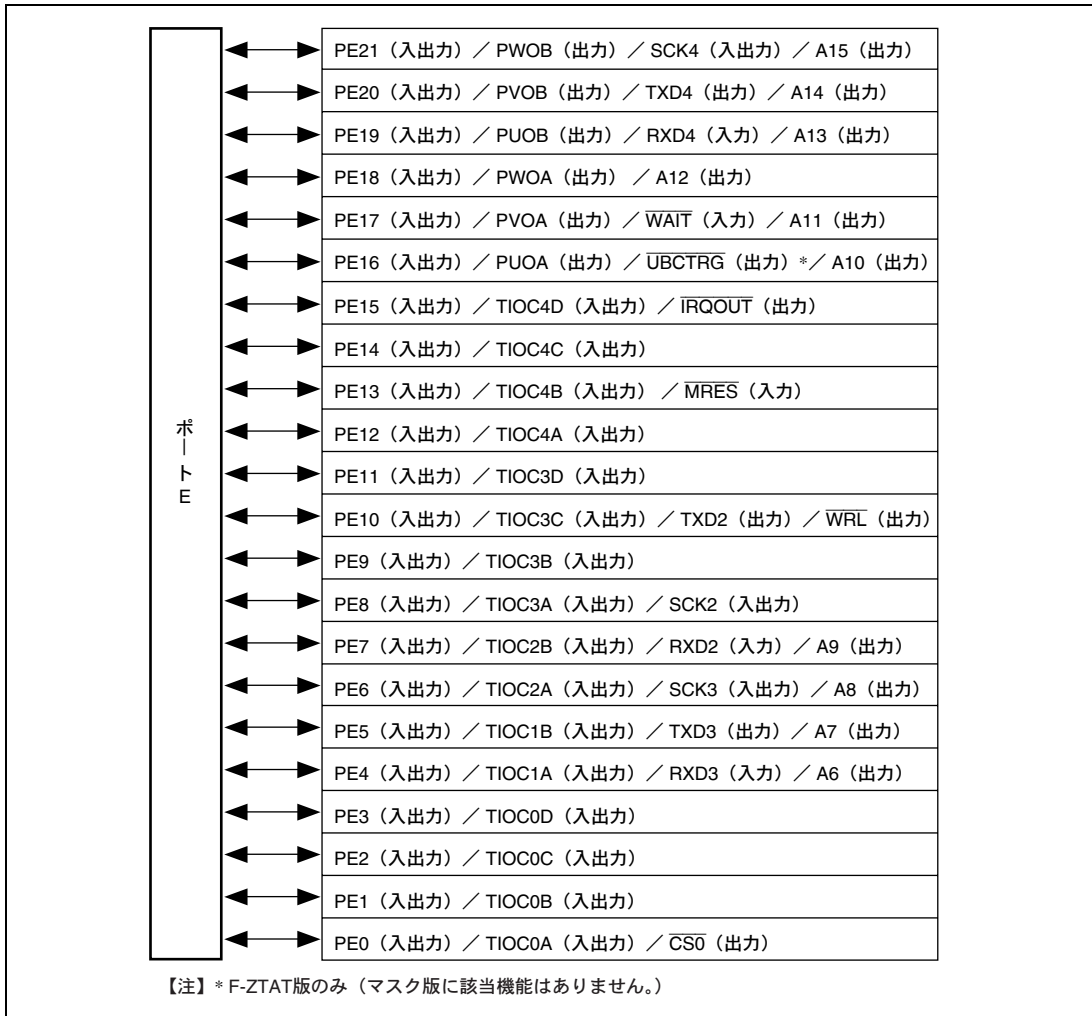


図 18.4 ポート E

18.4.1 レジスタの説明

ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポート E データレジスタ H (PEDRH)
- ポート E データレジスタ L (PEDRL)

18.4.2 ポート E データレジスタ H、L (PEDRH、L)

PEDRH および PEDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE21DR～PE0DR ビットは、それぞれ、PE21～PE0 端子(兼用機能については記述を省略)に対応しています。

端子機能が汎用出力の場合には、PEDRH または PEDRL に値を書き込むと端子からその値が出力され、PEDRH または PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRH または PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRH または PEDRL に値を書き込むと、PEDRH または PEDRL にその値を書き込みますが、端子の状態には影響しません。表 18.4 にポート E データレジスタの読み出し／書き込み動作を示します。

• PEDRH

ビット	ビット名	初期値	R/W	説明
15～6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PE21DR	0	R/W	表 18.4 参照
4	PE20DR	0	R/W	
3	PE19DR	0	R/W	
2	PE18DR	0	R/W	
1	PE17DR	0	R/W	
0	PE16DR	0	R/W	

• PEDRL

ビット	ビット名	初期値	R/W	説明
15	PE15DR	0	R/W	表 18.4 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 18.4 ポート E データレジスタ H、L (PEDRH、L) の読み出し／書き込み動作

- PEDRHのビット5~0およびPEDRLのビット15~0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRH、L の値	書き込み値が端子から出力される (POE 端子=ハイ) *
			PEDRH、L の値にかかわらずハイインピーダンス (POE 端子=ロー) *
	汎用出力以外	PEDRH、L の値	PEDRH、L に書き込めるが、端子の状態に影響しない

【注】* POE 端子による制御は、大電流出力端子のみです (PE9、PE11~21)。

18.5 ポート F

ポート F は、図 18.5 に示すような、16 本の端子を持つ入力専用ポートです。

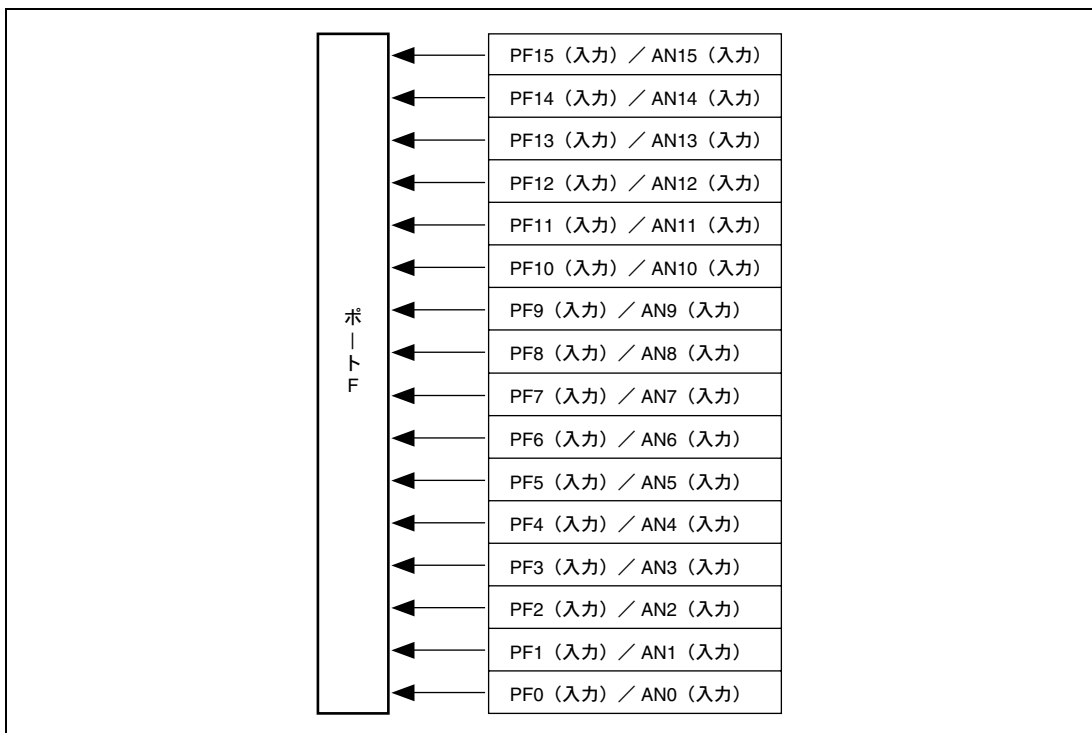


図 18.5 ポート F

18. I/O ポート

18.5.1 レジスタの説明

ポート F は 16 ビットの入力専用ポートです。ポート F には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- ポート F データレジスタ (PFDR)

18.5.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し専用の 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR~PF0DR ビットは、それぞれ、PF15~PF0 端子に対応しています（兼用機能については記述を省略）。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。表 18.5 にポート F データレジスタの読み出し／書き込み動作を示します。

ビット	ビット名	初期値	R/W	説明
15	PF15DR	0/1*1	R	表 18.5 参照
14	PF14DR	0/1*1	R	
13	PF13DR	0/1*1	R	
12	PF12DR	0/1*1	R	
11	PF11DR	0/1*1	R	
10	PF10DR	0/1*1	R	
9	PF9DR	0/1*1	R	
8	PF8DR	0/1*1	R	
7	PF7DR	0/1*1	R	
6	PF6DR	0/1*1	R	
5	PF5DR	0/1*1	R	
4	PF4DR	0/1*1	R	
3	PF3DR	0/1*1	R	
2	PF2DR	0/1*1	R	
1	PF1DR	0/1*1	R	
0	PF0DR	0/1*1	R	

【注】 *1 外部端子の状態に依存します。

表 18.5 ポート F データレジスタ (PFDR) の読み出し／書き込み動作

- ビット15~0

端子機能	読み出し	書き込み
汎用入力	端子の状態が読み出される	無視される（端子の状態に影響しない）
ANn 入力	1 が読み出される	無視される（端子の状態に影響しない）

19. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。

フラッシュメモリのブロック図を図 19.1 に示します。

19.1 特長

- 容量 : 256kバイト

- 書き込み/消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

「第25章 電気的特性」を参照してください。

- オンボードプログラミングモード : 2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。このほか、通常のユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み/消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み/消去プロテクト

フラッシュメモリの書き込み/消去/ベリファイに対するプロテクトを設定できます。

19. フラッシュメモリ (F-ZTAT 版)

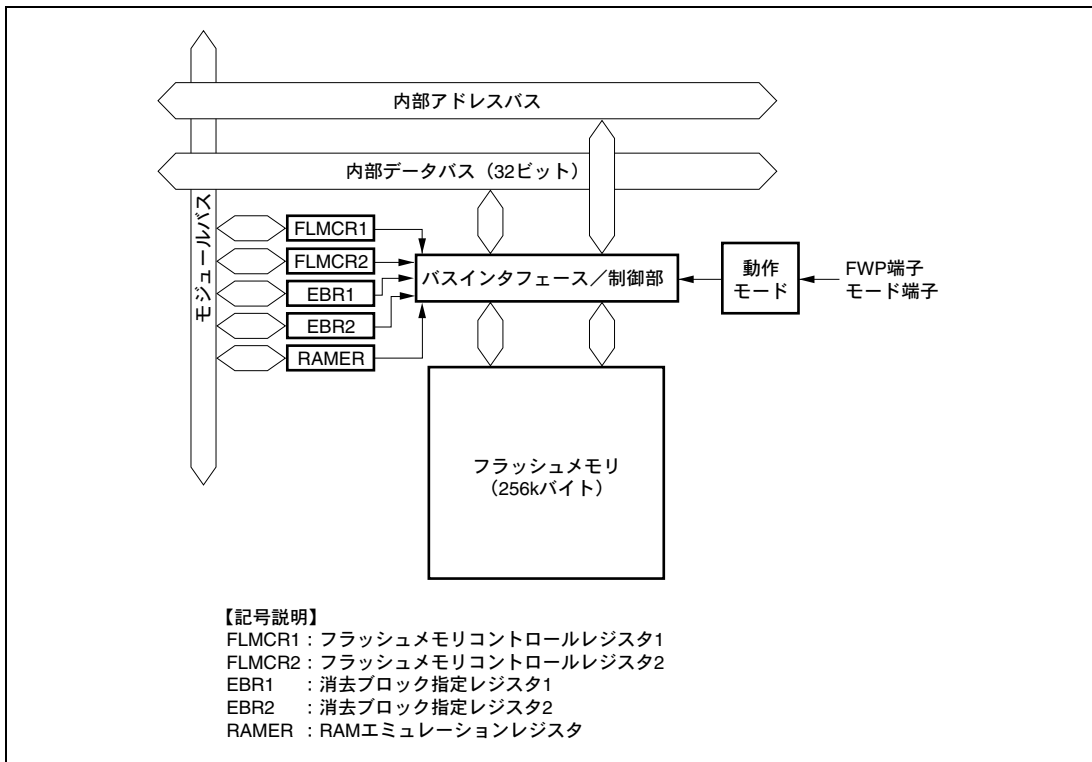


図 19.1 フラッシュメモリのブロック図

19.2 モード遷移図

リセット状態でモード端子とFWP端子を設定しリセットスタートすると、本LSIは図19.2に示すような動作モードへ遷移します。ユーザーモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザープログラムモード、ライタモードがあります。

表19.1にブートモードとユーザープログラムモードの相違点を示します。図19.3にブートモードを、図19.4にユーザープログラムモードを示します。

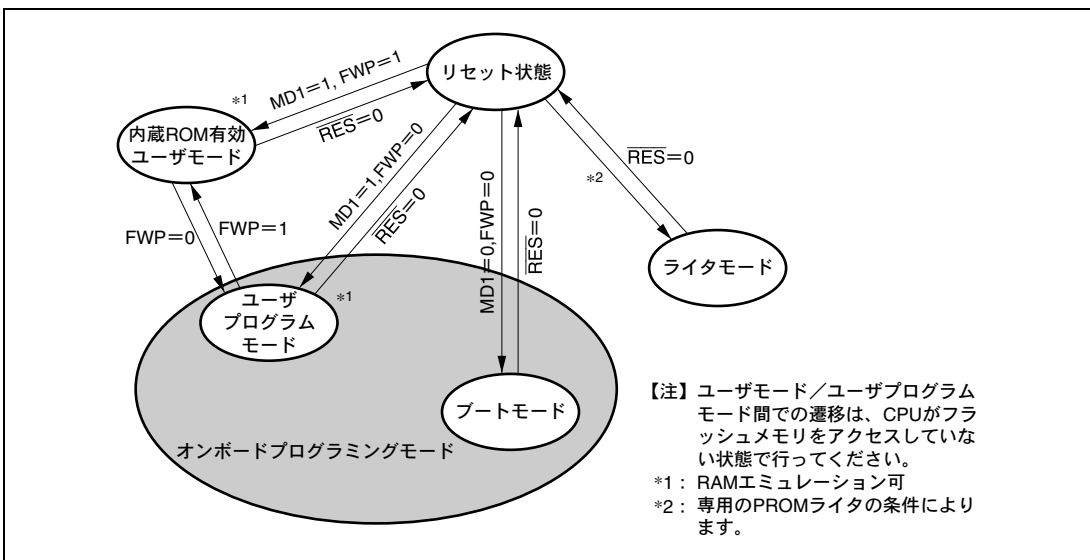
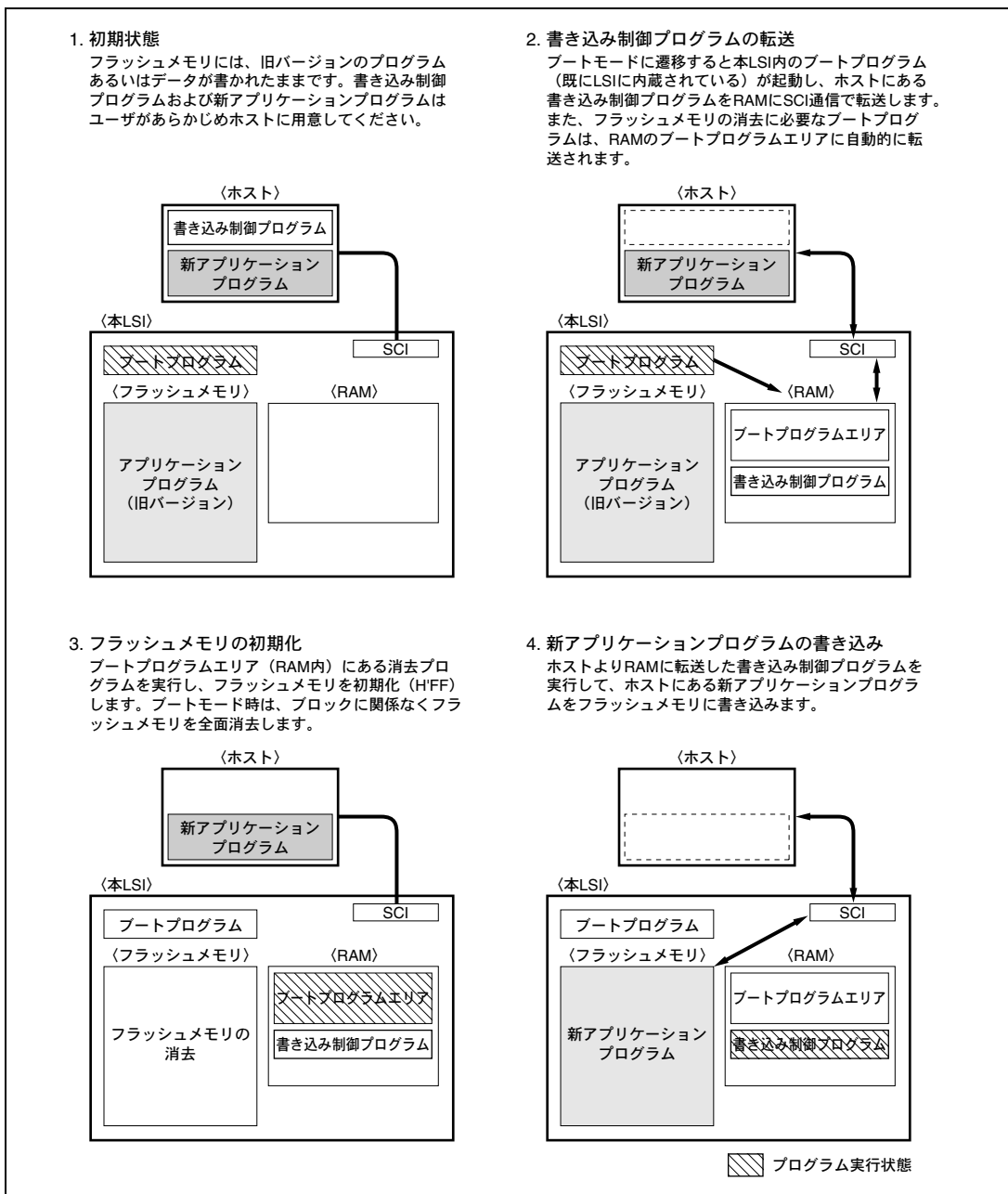


図 19.2 フラッシュメモリに関する状態遷移

表 19.1 ブートモードとユーザープログラムモードの相違点

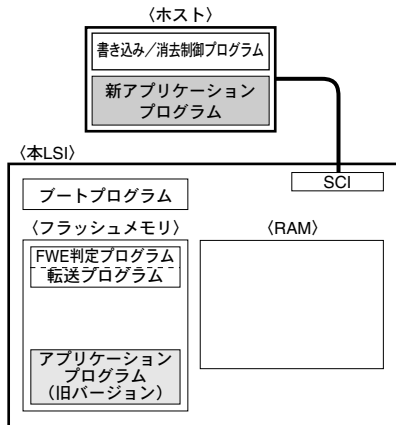
	ブートモード	ユーザープログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザー側で用意してください。



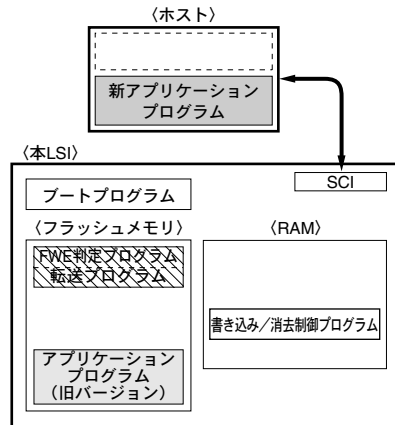
1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



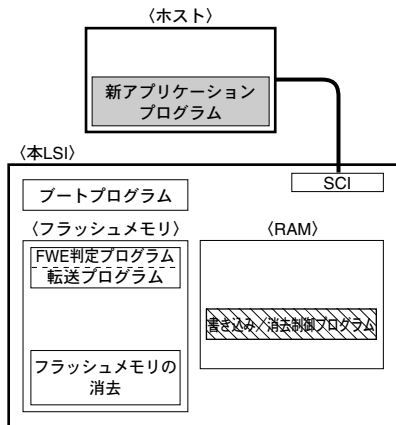
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



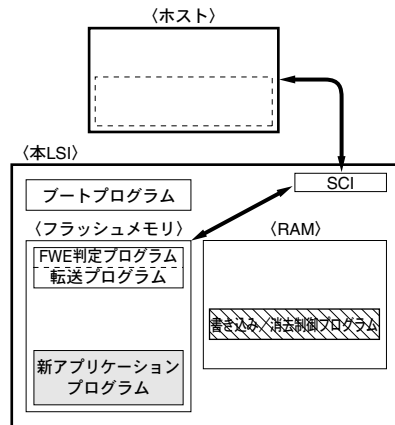
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 19.4 ユーザプログラムモード

19.3 ブロック構成

図 19.5 に 256k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 64k バイト (3 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

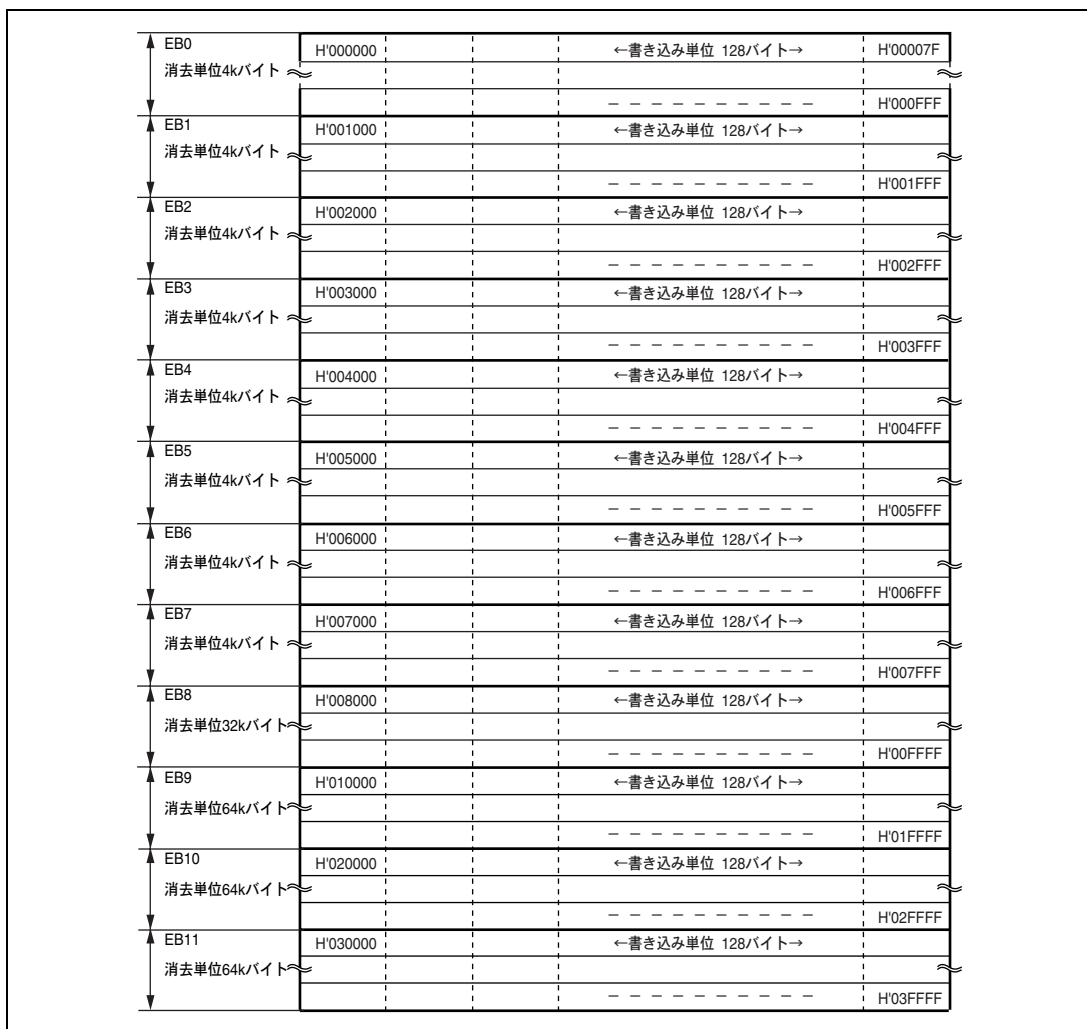


図 19.5 フラッシュメモリのブロック構成

19.4 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機能
RES	入力	リセット
FWP	入力	フラッシュの書き込み/消去をハードウェアプロテクト
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD3 (PA9) *	出力	シリアル送信データ出力
RxD3 (PA8) *	入力	シリアル受信データ入力

【注】* ブートモードでは、SCI の端子は固定されており、PA8 および PA9 の端子が使用されます。

19.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび処理状態によるレジスタの初期化については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)

19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「19.8 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	1/0	R	フラッシュライトイネーブルビット FWP 端子の入カレベルが反映されます。FWP 端子が Low レベルのとき 1、High レベルのとき 0 となります。
6	SWE	0	R/W	ソフトウェアライトイネーブル FWE=1 の状態でこのビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。本ビットが 0 のときこのレジスタの他のビットと EBR1 および EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。
3	EV	0	R/W	イレースベリファイ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ FWE=1、SWE=1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース FWE=1、SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム FWE=1、SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。

ビット	ビット名	初期値	R/W	説明
7	FLEP	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「19.9.3 エラープロテクト」を参照してください。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

19.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。EBR1 は EBR2 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'007000~H'007FFF) の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'006000~H'006FFF) の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'005000~H'005FFF) の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'004000~H'004FFF) の 4k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'003000~H'003FFF) の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'002000~H'002FFF) の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'001000~H'001FFF) の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000~H'000FFF) の 4k バイトが消去対象となります。

19.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE ビットが 0 のときは、EBR2 は H'00 に初期化されます。EBR2 は EBR1 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR2 は EBR1 とともに 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	EB11	0	R/W	このビットが 1 のとき EB11 (H'030000~H'03FFFF) の 64k バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 (H'020000~H'02FFFF) の 64k バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 (H'010000~H'01FFFF) の 64k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 (H'008000~H'00FFFF) の 32k バイトが消去対象となります。

19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが 1 のとき、RAM の一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。 このビットが 0 のとき、RAM エミュレーション機能は無効です。

ビット	ビット名	初期値	R/W	説明
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMS が 1 のとき、RAM と重ね合わせるフラッシュメモリのエリアを選択します。 000 : H'00000000~H'00000FFF (EB0) 001 : H'00001000~H'00001FFF (EB1) 010 : H'00002000~H'00002FFF (EB2) 011 : H'00003000~H'00003FFF (EB3) 100 : H'00004000~H'00004FFF (EB4) 101 : H'00005000~H'00005FFF (EB5) 110 : H'00006000~H'00006FFF (EB6) 111 : H'00007000~H'00007FFF (EB7)
0	RAM0	0	R/W	

19.6 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとして、オンボードで書き込み/消去ができるブートモードと、PROM ライタで書き込み/消去を行うライタモードがあります。このほかユーザモードでも、オンボードで書き込み/消去を行うユーザプログラムモードがあります。リセット状態からリセットスタートすると、本 LSI は MD 端子、FWP 端子によって表 19.3 のように異なるモードへ遷移します。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは、SCL₃ を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去した上で書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザプログラムモードで書き込み/消去ができなくなった場合の強制復帰等に使用できます。ユーザプログラムモードではユーザが用意した書き込み/消去プログラムに分岐することで、任意のブロックを消去し書き換えることができます。

表 19.3 プログラミングモード選択方法

MD1	MD0	FWP	リセット解除後の LSI の状態	
0	0	0	ブートモード	拡張モード
	1			シングルチップモード
1	0		ユーザプログラムモード	拡張モード
	1			シングルチップモード

19.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を、表 19.4 に示します。

1. ブートモードでは、フラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「19.8 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCL_3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCL_3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合は、リセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては、許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表19.5の範囲としてください。
5. ブートモードでは、内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは、H'FFFFD800～H'FFFFFFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまで、ブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するとき、SCL_3は送受信動作を終了(SCRのRE=0、TE=0)しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、MD端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合も、ブートモードは解除されます。
8. ブートモードの途中でMD端子の入カレベルを変化させないでください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 19.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="text-align: center;"> </div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信 ↓ H'AA受信	H'00,H'00・・・H'00 ↓ H'00 ↓ H'55 ↓ H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイトごとに送信(N回繰り返し)	上位バイト、下位バイト ↓ エコーバック ↓ H'XX ↓ エコーバック	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー ↓ H'AA受信	H'FF ↓ H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信(消去できなかった場合はH'FFを送信して、動作を停止)
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 19.5 ビットレート自動合わせ込みが可能な周辺クロック (Pφ) 周波数

ホストのビットレート	本 LSI の周辺クロック周波数範囲
9600bps	4 ~ 40MHz
19200bps	8 ~ 40MHz

19.6.2 ユーザプログラムモードでの書き込み/消去

ユーザプログラムモードではユーザが用意した書き込み/消去プログラムに分岐することで、任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段を、ユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、書き込み/消去プログラムは内蔵RAM、または外部メモリに転送して実行してください。図 19.6 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「19.8 書き込み/消去プログラム」に沿ったものを用意してください。

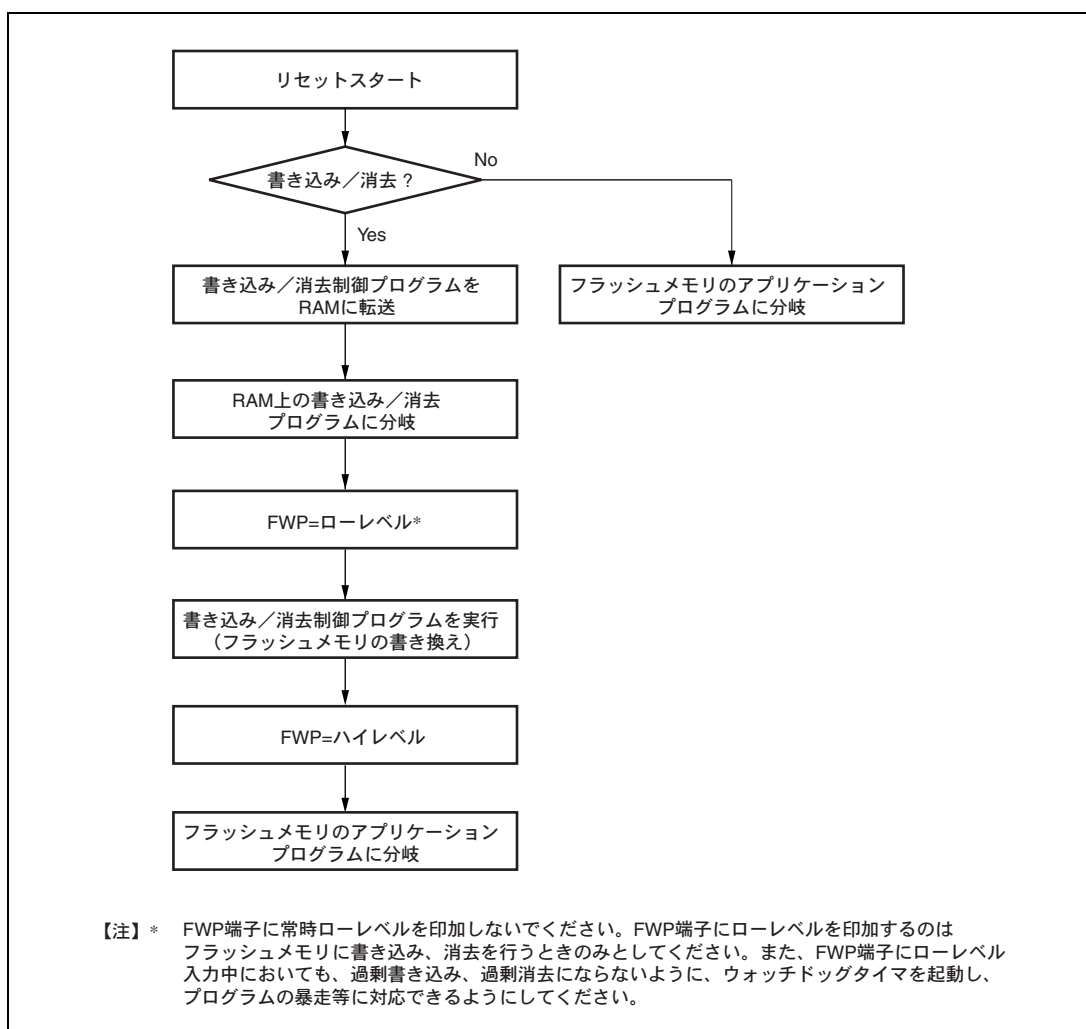


図 19.6 ユーザプログラムモードにおける書き込み/消去例

19.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができるようになっています。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 19.7 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

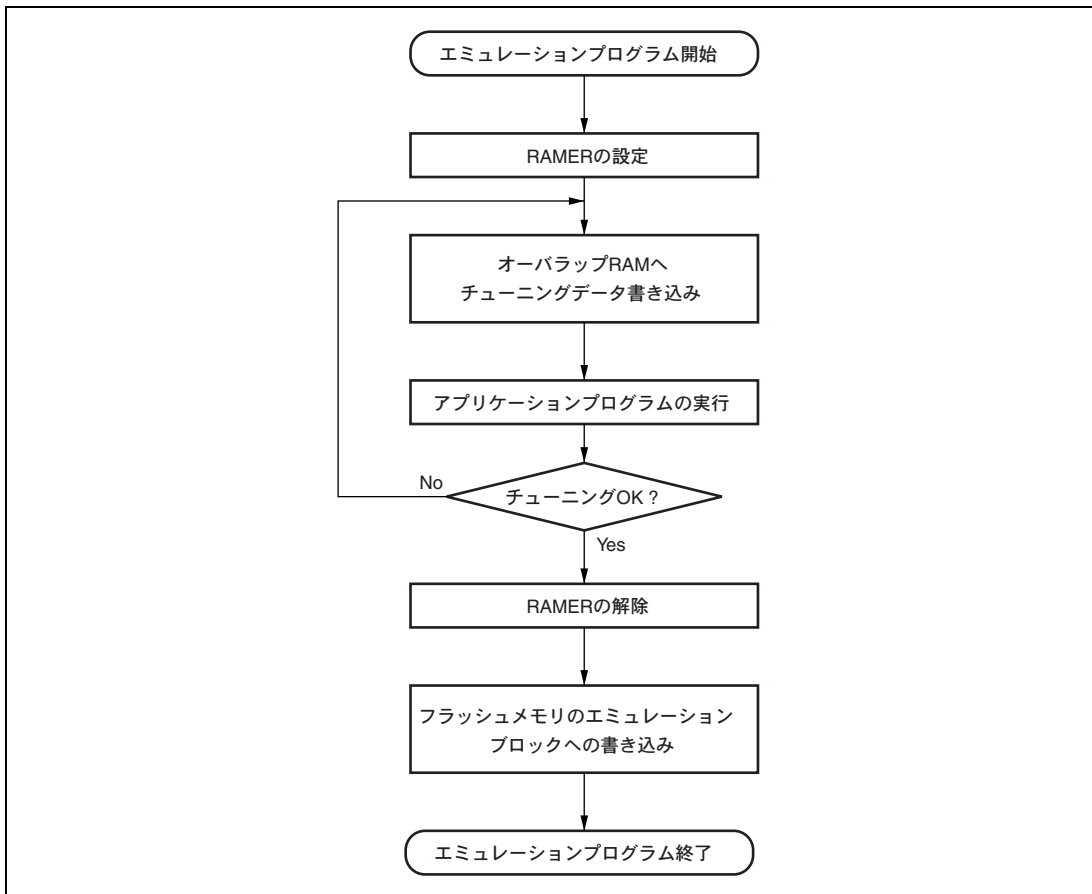


図 19.7 RAM によるエミュレーションフロー

19. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリのブロックをオーバーラップさせる例を図 19.8 に示します。

1. オーバーラップさせるRAMのエリアはH'FFFD000~H'FFFDFFFの4kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4kバイトのEB0~EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり（エミュレーションプロテクト）、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

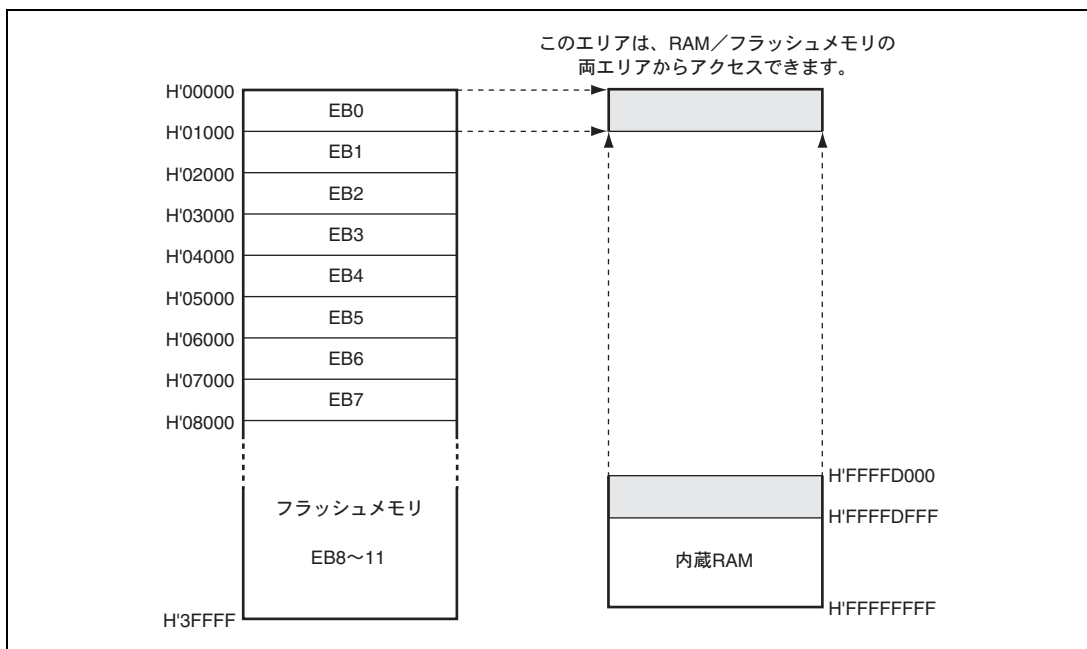


図 19.8 RAM のオーバーラップ例 (RAM[2:0]=b'000 の場合)

19.8 書き込み／消去プログラム

オンボードでのフラッシュメモリの書き込み／消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2 の設定によって、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み／消去プログラムではこれらのモードを組み合わせで書き込み／消去を行います。フラッシュメモリへの書き込みは「19.8.1 プログラム／プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「19.8.2 イレース／イレースベリファイ」に沿って行ってください。

19.8.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、図 19.9 に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んで下さい。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保して下さい。再書き込みデータの演算、追加書き込みデータの演算は図19.9に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへは、バイト単位で128バイト連続転送して下さい。プログラムアドレスと128バイトのデータが、フラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは、下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図19.9に従ってください。
6. ウォッチドックタイマの設定は、プログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、読み出すアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、最大書き込み回数 (N) を超えないようにして下さい。

19. フラッシュメモリ (F-ZTAT 版)

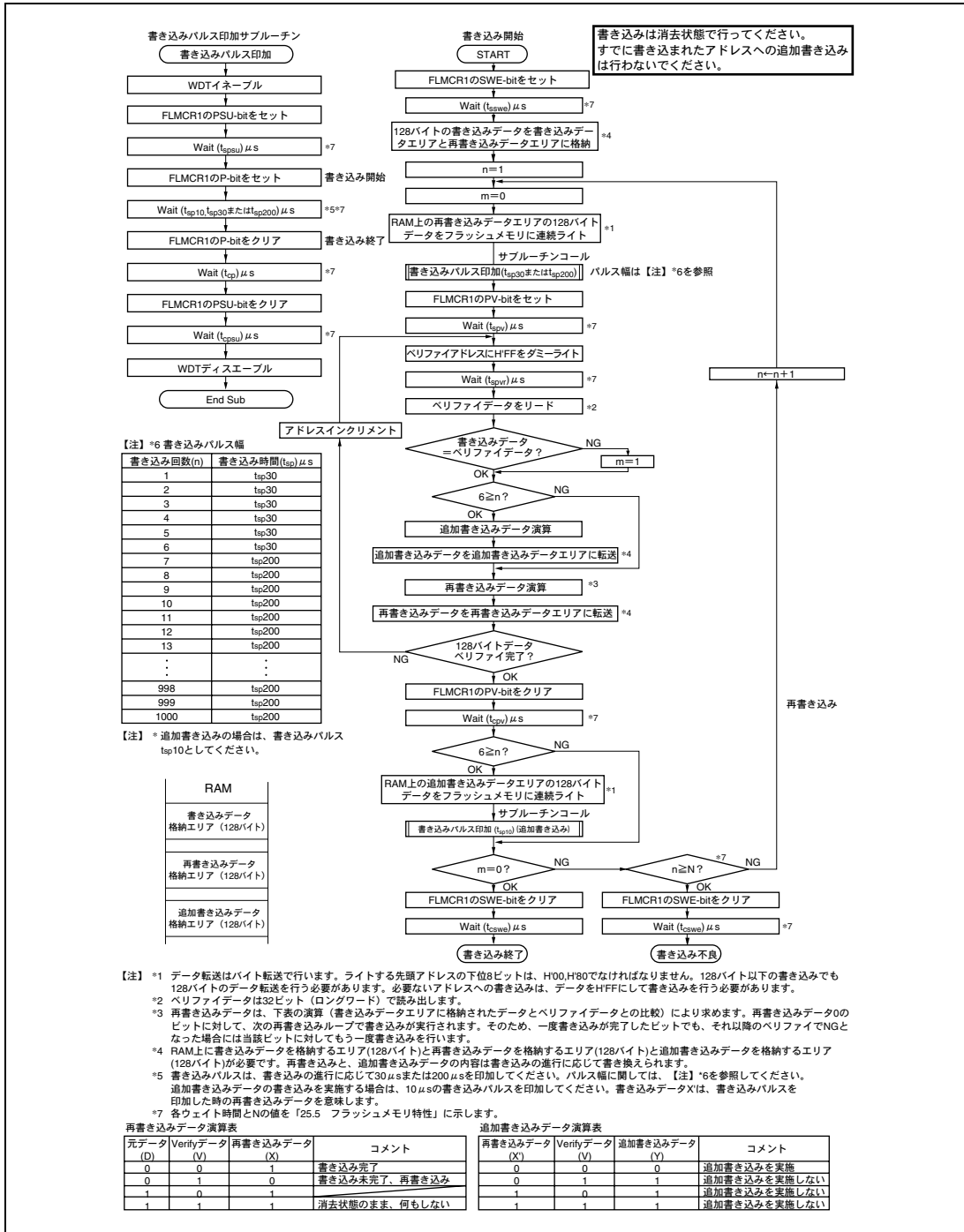


図 19.9 プログラム/プログラムペリファイフロー

19.8.2 イレース／イレースベリファイ

消去は図 19.10 のイレース／イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、消去ブロック指定レジスタ2 (EBR1、EBR2) により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eピットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定は、プログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、読み出したアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が最大消去回数 (N) を超えないようにしてください。

19.8.3 フラッシュメモリの書き込み／消去時の割り込み

フラッシュメモリへの書き込み／消去中またはブートプログラム実行中は、以下の理由から $\overline{\text{NMI}}$ を含むすべての割り込み要求を禁止してください。

1. 書き込み／消去中に割り込みが発生すると、正常な書き込み／消去アルゴリズムに沿った動作が保証できなくなります。
2. ベクタアドレスが書き込まれる前、または書き込み／消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走します。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなります。

19. フラッシュメモリ (F-ZTAT 版)

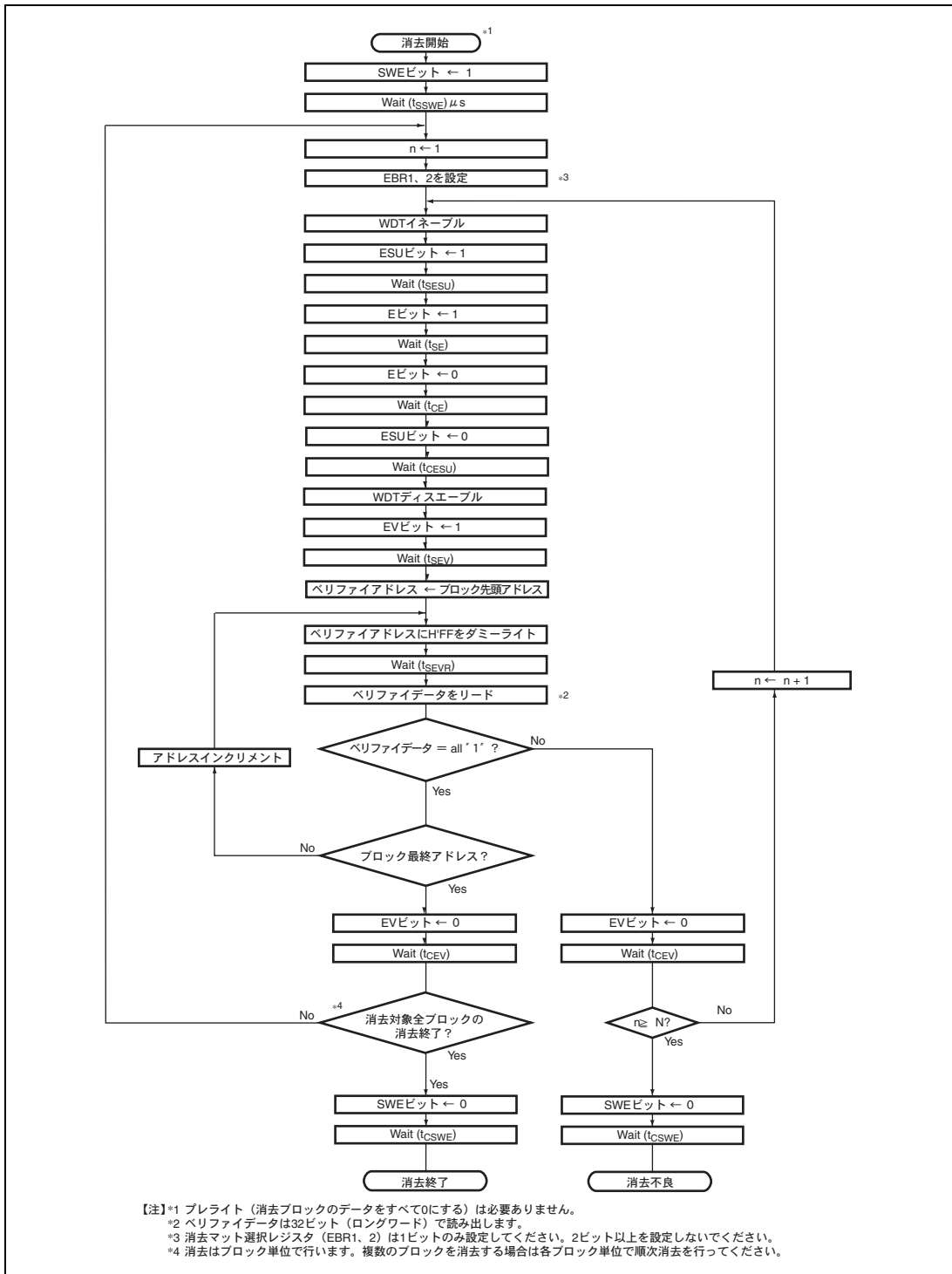


図 19.10 イレース/イレースペリファイフロー

19.9 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

19.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定が初期化されます。

項目	説明	機能	
		書き込み	消去
FWP 端子プロテクト	FWP 端子にハイレベルが入力されているときには、FLMCR1、EBR1、EBR2 は初期化され、書き込み／消去プロテクト状態になります。	○	○
リセット、スタンバイプロテクト	リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、EBR1、EBR2 は初期化され、書き込み／消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間、RES 端子をローレベルに保持してください。	○	○

19.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることにより、全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロックごとに消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	FLMCR1 の SWE ビットを 0 にクリアすることにより、全ブロックの書き込み／消去プロテクト状態になります (内蔵 RAM／外部メモリ上で実行してください)。	○	○
ブロック指定プロテクト	ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。	—	○
エミュレーションプロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み／消去プロテクト状態になります。	○	○

19.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し（バクタリードおよび命令フェッチを含む）
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

19.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に EPROM ライタで書き込み／消去を行うことができます。EPROM ライタは、ルネサステクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしているライタを使用してください。

19.11 使用上の注意事項

- モジュールスタンバイモードの設定

フラッシュメモリは、モジュールスタンバイコントロールレジスタにより、本モジュールの禁止／許可を設定することが可能です。初期値では、フラッシュメモリ動作を許可します。モジュールスタンバイモードを設定することにより、フラッシュメモリのアクセスが禁止されます。詳細は「**第24章 低消費電力状態**」を参照してください。

19.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版では、フラッシュメモリ用レジスタの存在するアドレス（「付録 A.1 レジスタアドレス一覧（アドレス順）」参照）を読むと、値は不定になります。

F-ZTAT 版アプリケーションソフトをマスク ROM 版製品で使用する場合、FWP 端子状態の判定はできません。フラッシュメモリの書き換え（消去／書き込み）部分および RAM エミュレーション部分が起動しないように、

プログラムを変更してください。

また、マスク ROM 版で、ブートモードのモード端子設定は行わないでください。

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

19.13 フラッシュメモリの書き込み／消去時の注意事項

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

EPROM ライタは、ルネサステクノロジ 256k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

(2) 電源投入／切断時の注意 (図 19.11～図 19.13 参照)

FWP 端子への Low レベル印加は Vcc 確定後に行ってください。また、Vcc を切断する前に FWP 端子を High レベルにしてください。Vcc 電源の印加／切断時は FWP 端子を Vcc レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) FWP の印加／解除の注意 (図 19.11～図 19.13 参照)

FWP 端子に Low レベルを印加したまま Vcc 電源の印加／切断を行う時、RESET 端子の電圧が Low レベルから浮き上がると、誤書き込みや誤消去が起こる場合があります。FWP の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWP 端子を Vcc レベルに固定し、プロテクト状態としてください。FWP の印加／解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- Vcc電圧が定格電圧の範囲で安定している状態でFWPを印加してください。
- ブートモードでは、FWPの印加／解除はリセット中に行ってください。
- ブートモードでFWP=Lowレベルの状態電源を印加する場合は、Vccレベルが上昇中もRESET端子のレベルが確実にLowレベルになっていることを確認して行うようにしてください。リセット用ICなどを用いる場合は、Vcc上昇中に一時的にRESET端子のレベルが $1/2V_{cc}$ 以上になる場合があるので注意してください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWP=Highレベル/Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWP入力の切り替えが可能です。
- プログラムが暴走していない状態でFWPを印加してください。
- FWPの解除はFLMCR1のSWE、ESU、PSU、EV、PV、P、Eビットをクリアした状態で行ってください。FWPの印加／解除時に、誤ってSWE、ESU、PSU、EV、PV、P、Eビットをセットしないでください。

19. フラッシュメモリ (F-ZTAT 版)

(4) FWP 端子に常時 Low レベルを印加しないでください。

FWP 端子に Low レベルを印加した状態でプログラムが暴走すると、誤書き込みや誤消去が起こる場合があります。FWP 端子に Low レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWP 端子に常時 Low レベルを印加するようなシステム構成は避けてください。また、Low レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムにしたがって行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後 100 μ s 以上待つから行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えることができますが、ベリファイ (プログラム/イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中に SWE ビットのクリアを行わないでください。FWP 端子に Low レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE ビットのセット/クリアにかかわらずリード/ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWP 印加状態では書き込み/消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは 1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく EPROM ライタに装着されていることを確認してください。

EPROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) マイコン動作中や書き込み中はソケットアダプタや製品に手を触れないでください。

マイコン動作中や書き込み中に書き換え用コネクタに手や物が接触すると、FWP 端子や RESET 端子に一時的なノイズが入ったり、接触不良などにより、誤書き込みや誤消去が起こる場合があります。

(11) 電源投入時は、リセット状態にしてください。

RESET 端子を”H”のまま Vcc 電源を印加すると、モード信号が正しく取り込まれないため、マイコンが暴走し、FWP 端子が”L”の場合は、誤書き込みや誤消去が起こる場合があります。

(12) 動作中にリセットを入れる場合は、SWE の Low 期間で入れてください。

SWE ビットクリア後 100 μ s 以上待ってからリセットを入れてください。

(13) 書き込み器使用時は、メーカー指定の電源投入順序を守ってください。

書き込み器を用いて、オンボード書き込みを行う場合、書き込み器メーカー指定の電源投入順序に従わなかった場合、誤書き込みや誤消去が起こる場合があります。

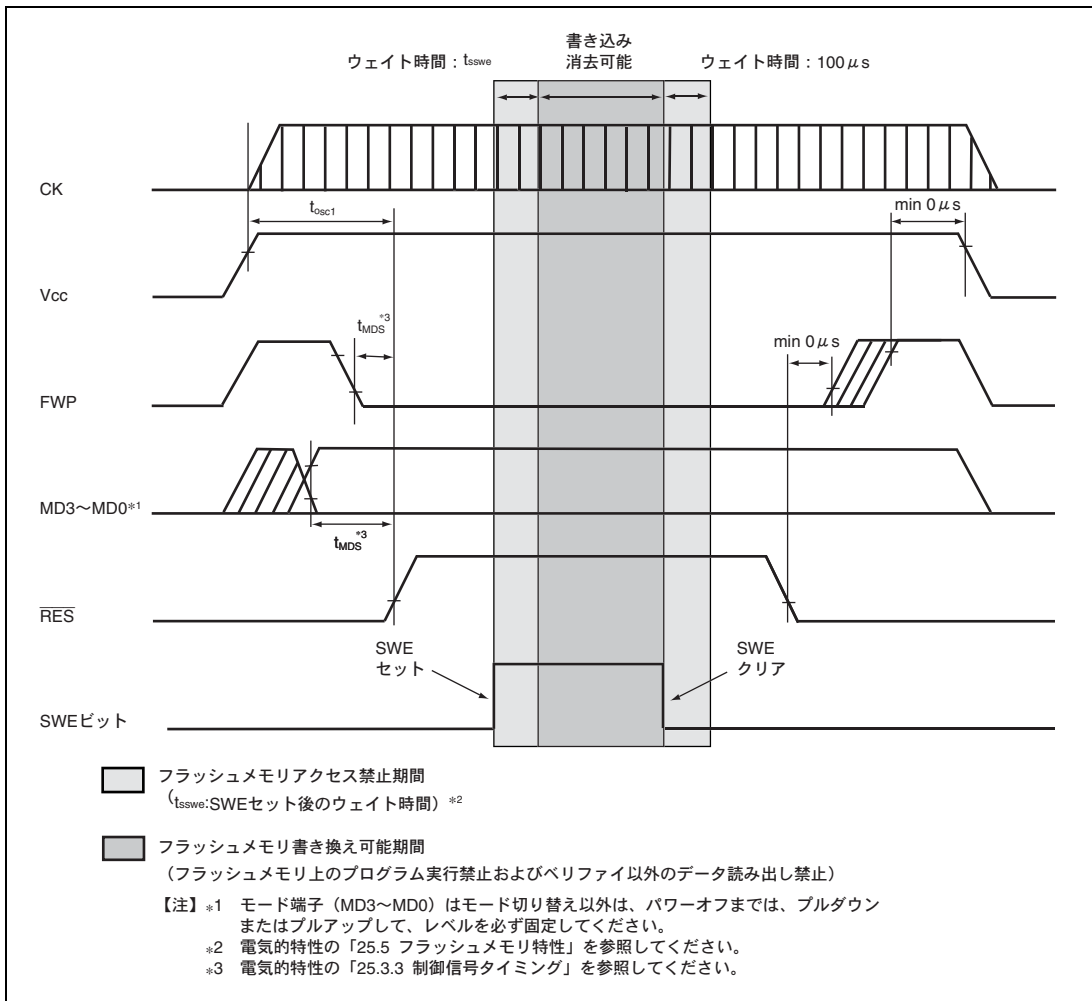


図 19.11 電源投入/切断タイミング (ブートモード)

19. フラッシュメモリ (F-ZTAT 版)

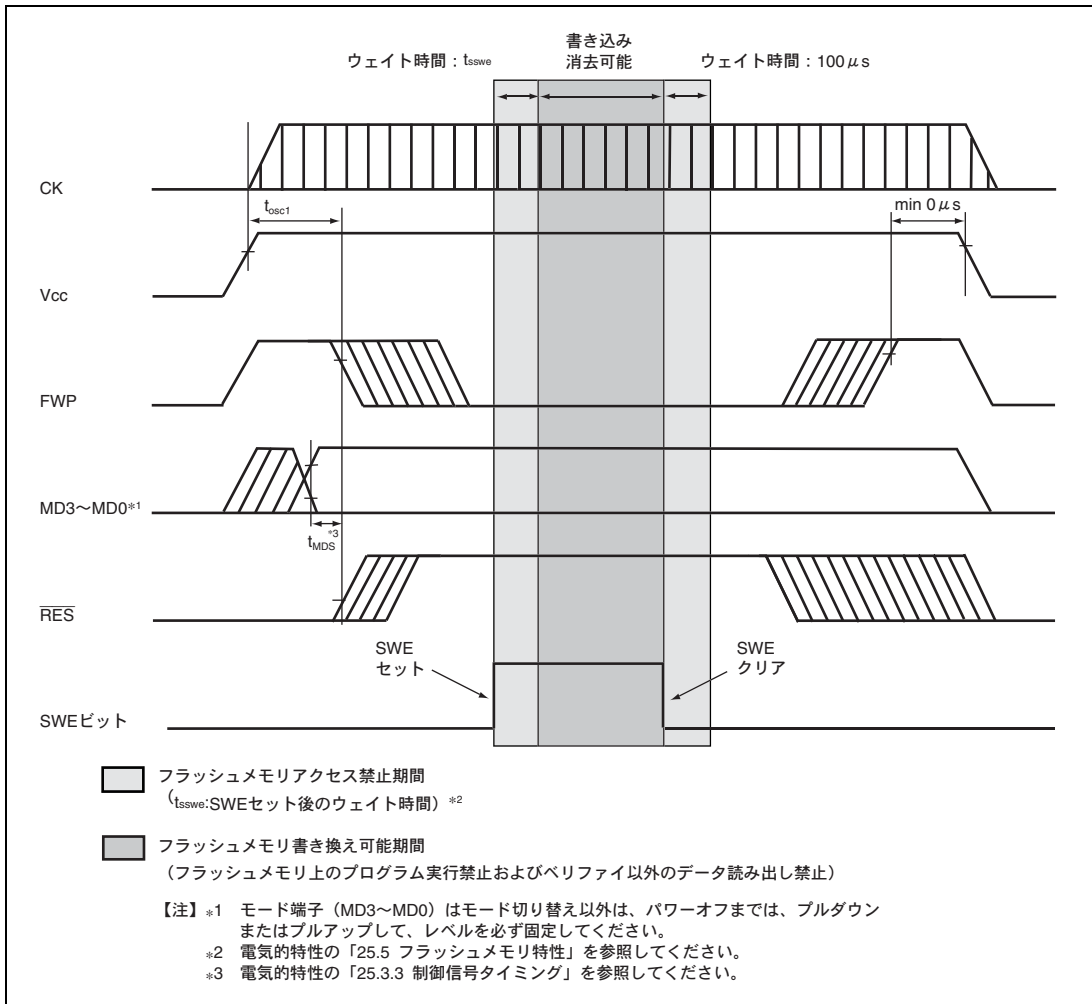


図 19.12 電源投入/切断タイミング (ユーザプログラムモード)

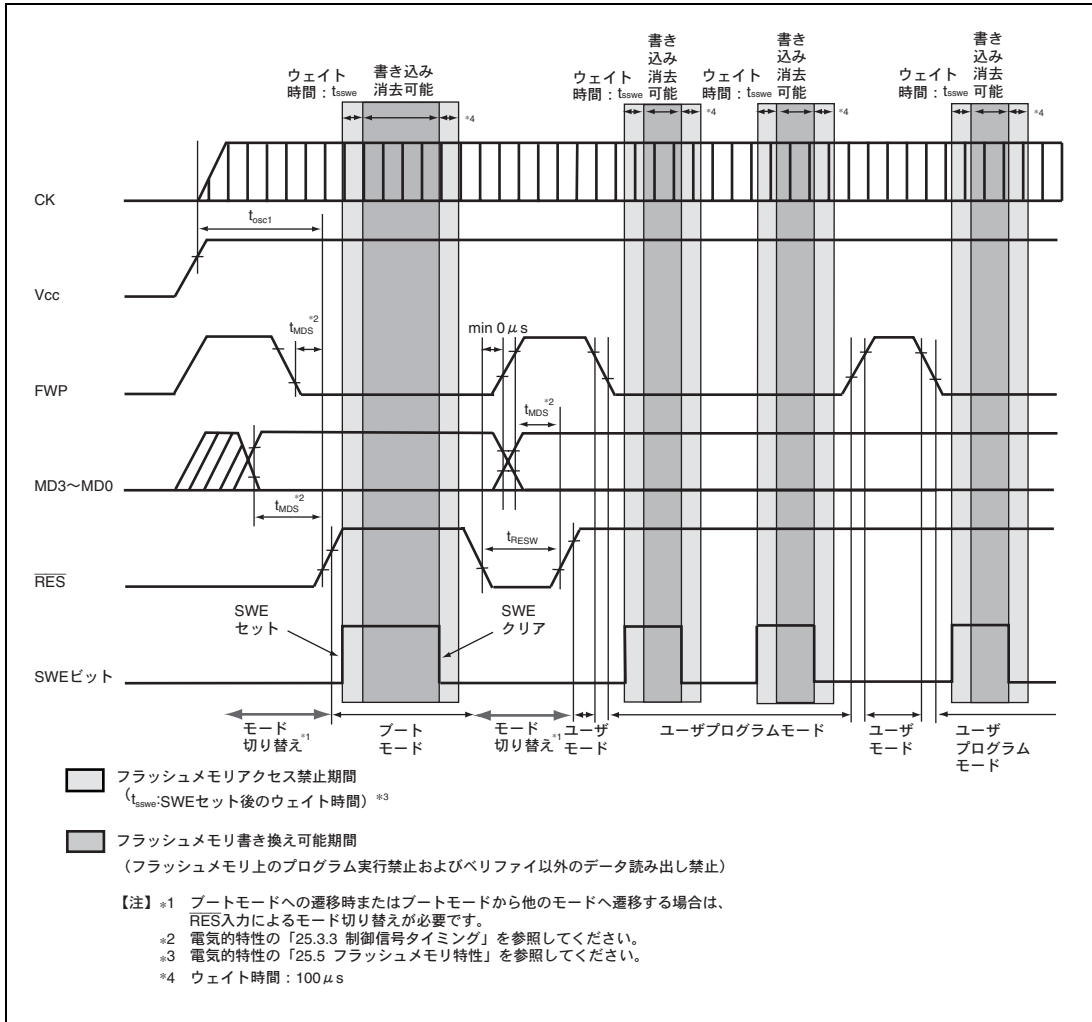


図 19.13 モード遷移タイミング (例：ブートモード→ユーザーモード⇄ユーザープログラムモード)

20. マスク ROM

本 LSI は、128k バイトのマスク ROM を内蔵している製品があります。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とデータトランスファコントローラ (DTC) に接続されています (図 20.1)。CPU、DTC は、8、16 または 32 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

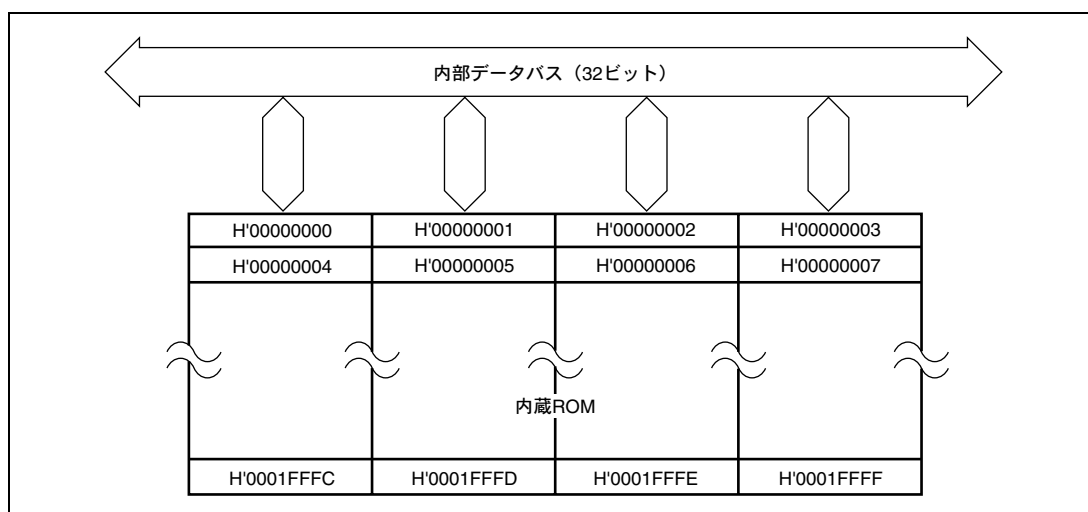


図 20.1 マスク ROM のブロック図

内蔵 ROM は、動作モードによって有効か無効か決まります。動作モードは、表 3.1 のようにモード設定端子 FWP、MD3～MD0 で選びます。内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、アドレス H'00000000～H'0001FFFF に割り付けられています。

20.1 使用上の注意事項

- モジュールスタンバイモードの設定

マスクROMは、モジュールスタンバイコントロールレジスタにより、本モジュールの禁止/許可を設定することが可能です。初期値では、マスクROM動作を許可します。モジュールスタンバイモードを設定することにより、マスクROMのアクセスが禁止されます。詳細は「第24章 低消費電力状態」を参照してください。

21. RAM

本 LSI は高速スタティック RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU、データトランスファコントローラ (DTC) およびアドバンスユーザデバッグ (AUD) に接続されており、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモードおよびスタンバイモードでは保持されません。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「24.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品区分	ROM タイプ	RAM 容量	RAM アドレス
SH7047	フラッシュメモリ版	12k バイト	H'FFFFD000~H'FFFFFFFF
	マスク ROM 版	8k バイト	H'FFFFE000~H'FFFFFFFF

21.1 使用上の注意事項

- モジュールスタンバイモードの設定

RAM は、モジュールスタンバイコントロールレジスタにより、本モジュールの禁止/許可を設定することが可能です。初期値では、RAM 動作を許可します。モジュールスタンバイモードを設定することにより、RAM のアクセスが禁止されます。詳細は「第 24 章 低消費電力状態」を参照してください。

22. ハイパフォーマンスユーザデバッグ インタフェース (H-UDI)

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) は、データ転送と割り込み要求の機能を備えています。H-UDI は、外部信号の制御でシリアル転送を行います。

22.1 特長

- 5本のテスト信号 (TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$)
- TAPコントローラ
- インストラクション : 2種類

BYPASSモード (IEEE 1149.1に対応したテストモード)

H-UDI割り込み (INTCへのH-UDI割り込みを要求)

【注】本 LSI では、BYPASS モード以外のテストモードはサポートしていません。

22. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

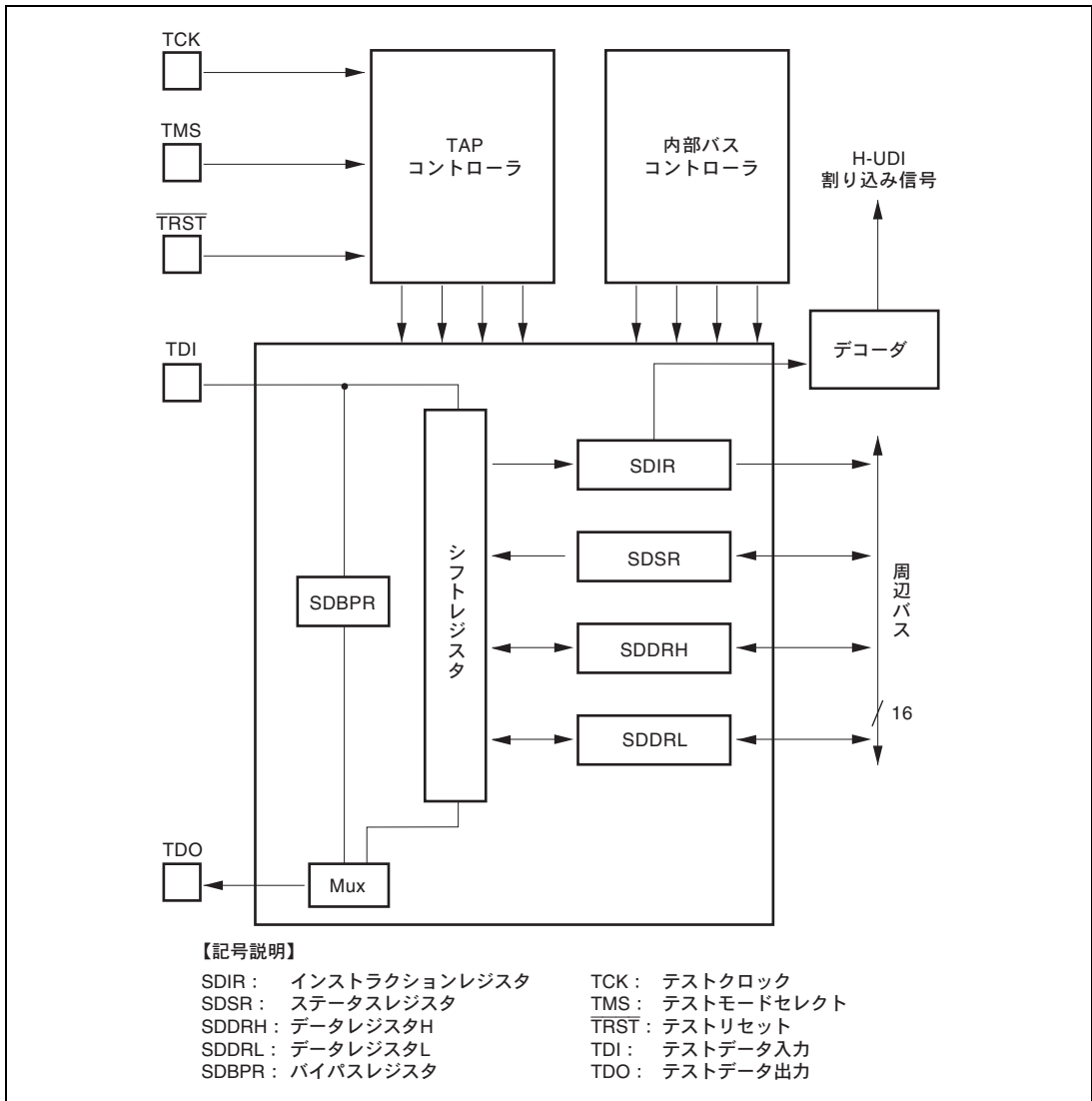


図 22.1 H-UDI のブロック図

22.2 入出力端子

表 22.1 に H-UDI の端子構成を示します。

表 22.1 端子構成

名称	略称	入出力	機能
テストクロック	TCK	入力	テストクロック入力 H-UDI に独立にクロックを供給します。TCK への入力クロックはそのまま H-UDI へ供給しているため、デューティ比 50% に近いクロック波形を入力してください（詳細は「第 25 章 電気的特性」を参照してください）。
テストモード セレクト	TMS	入力	テストモードセレクト入力信号 TCK の立ち上がりでサンプリングされます。TMS は TAP コントローラの内部ステートを制御します。
テストデータ入力	TDI	入力	シリアルデータ入力 H-UDI レジスタに対するインストラクションとデータのシリアル入力を行います。TDI は TCK の立ち上がりでサンプリングされます。
テストデータ出力	TDO	出力	シリアルデータ出力 H-UDI レジスタからのインストラクションとデータのシリアル出力を行います。転送は TCK に同期して行われます。TDO は出力していない場合、ハインピーダンス状態です。
テストリセット	TRST	入力	テストリセット入力信号 H-UDI を非同期に初期化する信号

22.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- インストラクションレジスタ (SDIR)
- ステータスレジスタ (SDSR)
- データレジスタ H (SDDRH)
- データレジスタ L (SDDRL)
- バイパスレジスタ (SDBPR)

インストラクションとデータは、テストデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (SDIR) とデータレジスタ (SDDR) へ入力できます。ステータスレジスタ (SDSR)、SDDR からのデータはテストデータ出力端子 (TDO) を通じて出力できます。バイパスレジスタ (SDBPR) は 1 ビットのレジスタで、BYPASS モード時 TDI と TDO はこのレジスタに接続されます。SDBPR を除くすべてのレジスタは CPU によるアクセスが可能です。表 22.2 に各 H-UDI レジスタの可能なシリアル転送の種類を示します。

22. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

表 22.2 H-UDI レジスタのシリアル転送特性

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可
SDSR	不可	可能
SDDRH	可能	可能
SDDRL	可能	可能
SDBPR	可能	可能

22.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU による読み出し専用の 16 ビットのレジスタです。H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送することができます。SDIR は $\overline{\text{TRST}}$ 信号によって初期化できますが、ソフトウェアスタンバイモードでは初期化されません。

SDIR に転送するインストラクションは、4 ビット長でなければなりません。4 ビットを超えるインストラクションを入力すると SDIR にはシリアルデータの最後の 4 ビットを格納します。

ビット	ビット名	初期値	R/W	説明
15	TS3	1	R	テストセットビット
14	TS2	1	R	0XXX : 設定禁止
13	TS1	1	R	100X : 設定禁止
12	TS0	1	R	1010 : H-UDI 割り込み 1011 : 設定禁止 110X : 設定禁止 1110 : 設定禁止 1111 : BYPASS モード 【注】 X : Don't care
11~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.3.2 ステータスレジスタ (SDSR)

SDSR は、CPU による読み出し/書き込み可能な 16 ビットレジスタです。SDSR は TDO から出力可能ですが、シリアルデータは TDI を通じて SDSR に書き込むことはできません。SDTRF ビットは 1 ビットシフトによって出力されます。2 ビットシフトの場合、SDTRF ビットがまず出力され、続いて予約ビットが出力されます。

SDSR は $\overline{\text{TRST}}$ 信号入力によって初期化されますが、ソフトウェアスタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
10~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SDTRF	1	R/W	シリアルデータ転送制御フラグ H-UDI レジスタに対して CPU からアクセスできるかどうかを示します。 SDTRF ビットは $\overline{\text{TRST}}$ 信号によって初期化されますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。 0: SDDR へのシリアル転送終了。SDDR へのアクセス可能 1: SDDR へのシリアル転送中

22.3.3 データレジスタ (SDDR)

SDDR は、データレジスタ H (SDDRH) とデータレジスタ L (SDDRL) から構成されます。

SDDRH と SDDRL は、CPU による読み出し/書き込み可能な 16 ビットレジスタです。SDDR は外部とのシリアルデータの転送のため TDO および TDI に接続されます。

32 ビットデータはシリアルデータ転送時に入力および出力されます。32 ビットより大きなデータが入力されると SDDR には最後の 32 ビットのみ格納されます。シリアルデータは SDDR の MSB (SDDRH の 15 ビット) から入力され、LSB (SDDRL の 0 ビット) から出力されます。

このレジスタはリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、および $\overline{\text{TRST}}$ 信号によって初期化されません。SDDR の初期値は不定です。

22.3.4 バイパスレジスタ (SDBPR)

SDBPR は 1 ビットシフトレジスタです。バイパスモードでは、SDBPR は TDI と TDO に接続され、ボードテストから本 LSI はバイパスされます。SDBPR は CPU による読み出し/書き込みは行えません。

22.4 動作説明

22.4.1 H-UDI 割り込み

SDIR へ H-UDI 割り込みのインストラクションが、TDI を経由して転送されると割り込みが発生します。H-UDI 割り込みのサービスルーチンにより、データ転送を制御することが可能です。転送は SDDR を介して、行うことができます。

外部と H-UDI 間のデータ入出力制御は、外部と内部で SDSR の SDTRF ビットを観測することで行います。内部での SDTRF ビットの観測は、CPU で SDSR を読み出して行うことになります。

H-UDI 割り込みおよびシリアル転送の手順は次のとおりです。

1. インストラクションがシリアル転送により SDIR へ入力され、H-UDI 割り込み要求が発生します。
2. H-UDI 割り込み要求が発行された後、外部で SDSR の SDTRF ビットを観測します。SDTRF=1 が TDO から出力されたことを観測した後、SDDR にシリアルデータを転送します。
3. SDDR へのシリアル転送が完了すると、SDTRF ビットが 0 にクリアされ、CPU による SDDR へのアクセスが可能となります。SDDR へのアクセス終了後、SDSR の SDTRF ビットを 1 に設定することで、SDDR のシリアル転送が可能となります。
4. 外部と内部で、常に SDSR の SDTRF ビットを観測することにより、外部と H-UDI のシリアルデータ転送が可能となります。

図 22.2、図 22.3、図 22.4 に外部と H-UDI 間のデータ転送のタイミングを示します。

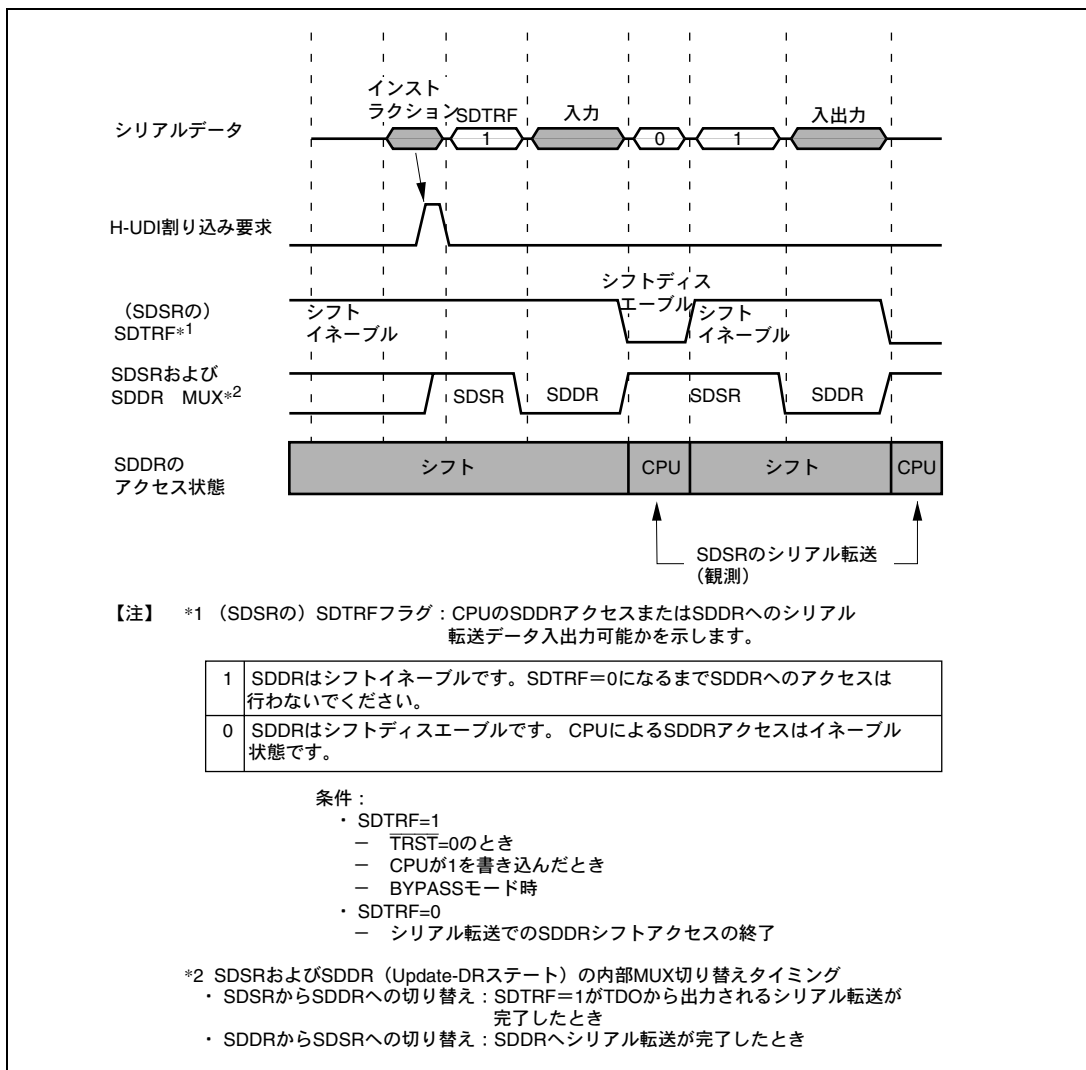


図 22.2 データ入出力タイミングチャート (1)

22. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

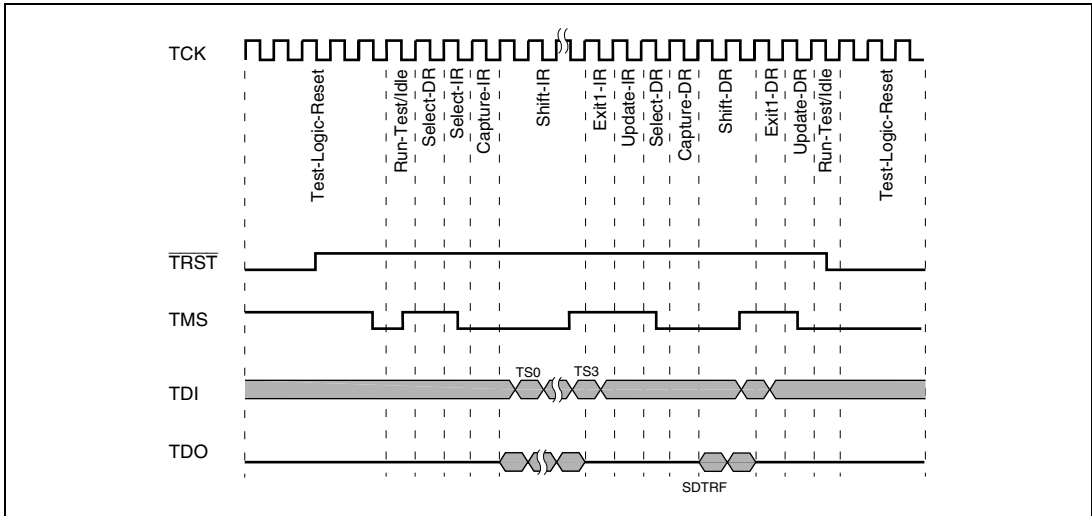


図 22.3 データ入出タイミングチャート (2)

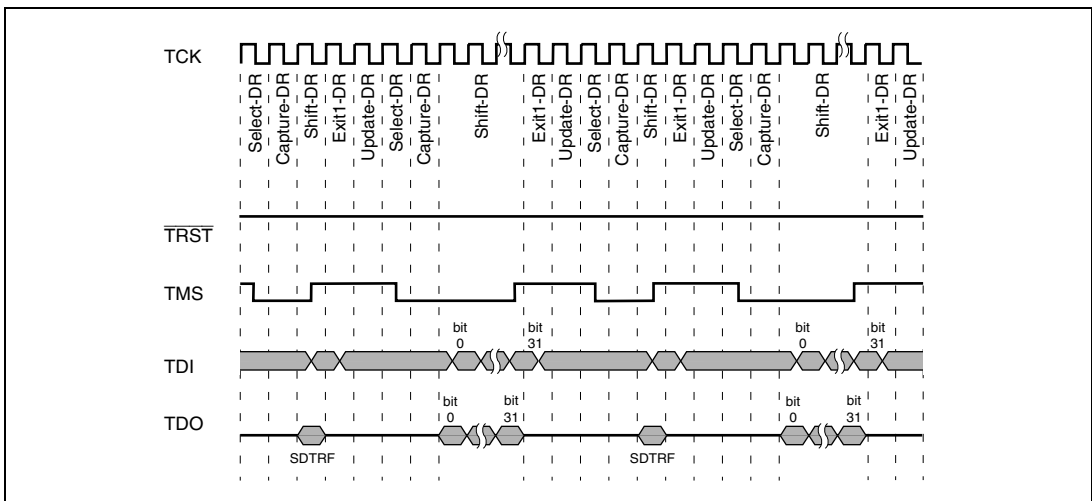


図 22.4 データ入出タイミングチャート (3)

22.4.2 BYPASS モード

BYPASS モードは、バウンダリスキャンテスト時、本 LSI をバイパスするために利用できます。b'1111 を SDIR へ転送することによって BYPASS モードになります。BYPASS モードでは TDI と TDO には SDBPR が接続されません。

22.4.3 H-UDI のリセット

H-UDI は以下のときにリセットされます。

- $\overline{\text{TRST}}$ 信号を 0 に保持する。
- $\overline{\text{TRST}}=1$ のとき、TMS=1 の状態で 5 クロック以上の TCK を入力する。
- ハードウェアスタンバイ時
- PFC (ピンファンクションコントローラ) の設定を H-UDI 以外に変更する。

22.5 使用上の注意事項

- ソフトウェアスタンバイモードではレジスタは初期化されません。ソフトウェアスタンバイモード時に $\overline{\text{TRST}}$ を 0 に設定すると BYPASS モードになります。
- TCK の周波数は周辺モジュールクロック (Pφ) の周波数よりも低くなければなりません。詳しくは「**第25章 電気的特性**」を参照してください。
- シリアル転送時のデータ入出力は LSB から開始します。図 22.5 にシリアルデータ入出力を示します。
- H-UDI シリアル転送シーケンスが崩れた場合、必ず $\overline{\text{TRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
- TDO の出力タイミングは TCK の立ち上がりからになります。
- Shift-IR 時、TDO からの出力データ下位 2 ビット (IR ステータスワード) が 01 にならない場合があります。
- 32 ビット以上シリアル転送した場合、32 ビット分を超えて TDO から出力されるシリアルデータは無視してください。
- TDI 端子がハイインピーダンス状態にならないようにしてください。

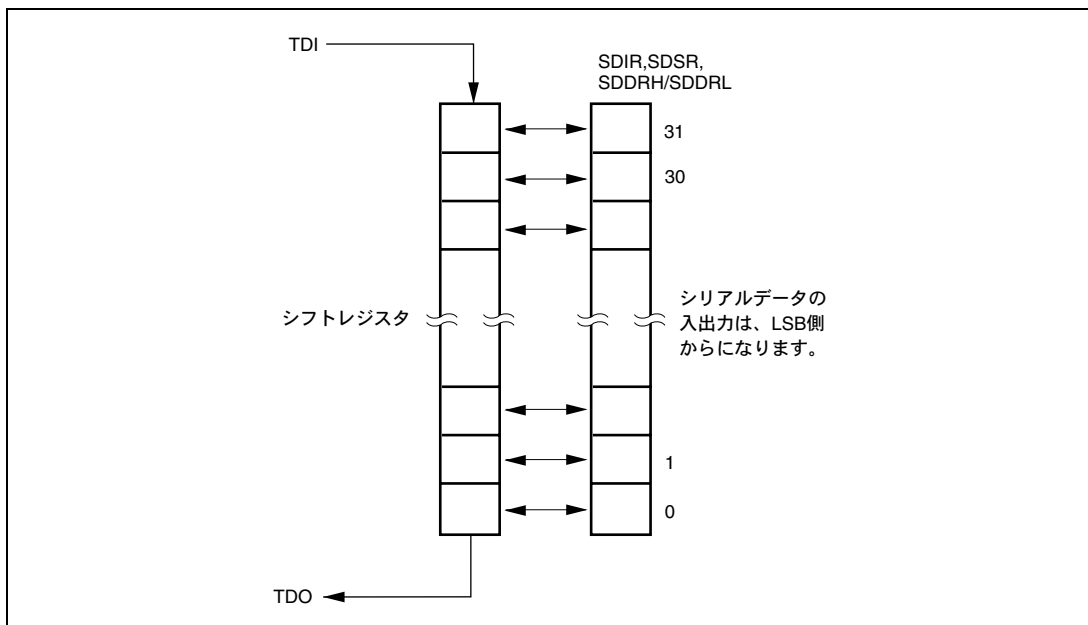


図 22.5 シリアルデータ入出力

23. アドバンストユーザデバッガ (AUD)

本 LSI は、アドバンストユーザデバッガ (AUD) を搭載しています。AUD を用いてトレースデータ取得や内蔵 RAM データのモニタリング/チューニング等簡易エミュレータを構築することが可能です。

23.1 特長

- 8本の入出力端子
データバス (AUDATA3~0)
AUDリセット ($\overline{\text{AUDRST}}$)
AUD同期信号 ($\overline{\text{AUDSYNC}}$)
AUDクロック (AUDCK)
AUDモード (AUDMD)
- 2つのモード
ブランチトレースモード
RAMモニタモード

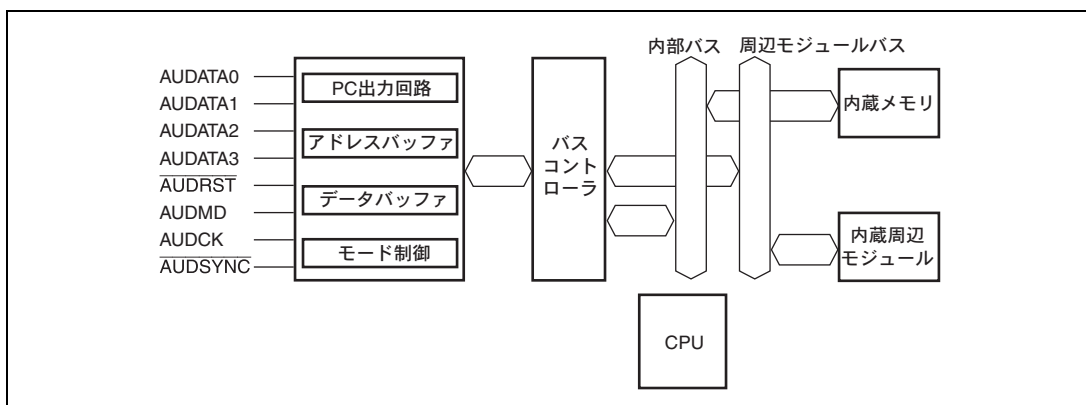


図 23.1 AUD ブロック図

23. アドバンストユーザデバッガ (AUD)

23.2 入出力端子

AUD は、表 23.1 に示す入出力端子を持っています。

表 23.1 端子構成

名称	略称	機能	
		ブランチトレースモード	RAM モニタモード
AUD データ	AUDATA3~0	分岐先アドレス出力	モニタアドレス/データ入出力
AUD リセット	$\overline{\text{AUDRST}}$	AUD リセット入力	AUD リセット入力
AUD モード	AUDMD	モード選択入力 (L)	モード選択入力 (H)
AUD クロック	AUDCK	同期クロック ($\phi/2$) 出力	同期クロック入力
AUD 同期信号	$\overline{\text{AUDSYNC}}$	データ先頭位置認識信号出力	データ先頭位置認識信号入力

23.2.1 端子説明

(1) 共通に使用する端子

端子	説明
AUDMD	本端子への入力レベルを切り替えることにより、モードを選択します。 L : ブランチトレースモード H : RAM モニタモード 本端子の入力切り替えは、 $\overline{\text{AUDRST}}$ が L の状態で実施してください。
AUDRST	本端子に L を入力することで AUD 内のバッファ、ロジックの初期化を行います。 L 入力時は AUD がリセット状態となり、AUD 内のバッファおよびロジックはリセットされます。AUDMD のレベル確定後 H に戻すと、選択されたモードで動作します。

(2) ブランチトレースモードでの端子説明

端子	説明
AUDCK	本端子は動作周波数の 1/2 ($\phi/2$) を出力します。 AUDATA の同期をとるためのクロックです。
$\overline{\text{AUDSYNC}}$	本端子は AUDATA からの出力が有効かそうでないかを示します。 H: 有効なアドレスデータを出力していないとき L: 有効なアドレスを出力しているとき
AUDATA3~ AUDATA0	<ul style="list-style-type: none"> $\overline{\text{AUDSYNC}}=\text{L}$ のとき 内部でプログラム分岐または割り込み分岐が発生すると、AUD は $\overline{\text{AUDSYNC}}$ をアサートし分岐先アドレスを出力します。出力は A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の順です。 $\overline{\text{AUDSYNC}}=\text{H}$ のとき 分岐先アドレス出力待ち状態時は常に 0011 を出力します。 分岐発生時は AUDATA3、2=10 を出力し、AUDATA1、0 には、前回フル出力したアドレスと今回出力するアドレスとの比較により、4/8/16/32 ビットのどれだけのアドレスを出力するかを示します。 【AUDATA1,0 の設定】 00: アドレスの A31~A4 までが一致したことを示し、以下 A3~A0 の 4 ビットのアドレスを出力することを示します。出力回数は 1 回です。 01: アドレスの A31~A8 までが一致したことを示し、以下 A3~A0、A7~4 の 8 ビットのアドレスを出力することを示します。出力回数は 2 回です。 10: アドレスの A31~A16 までが一致したことを示し、以下 A3~A0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。出力回数は 4 回です。 11: 上記のいずれにも該当しなかったことを示し、以下 A3~A0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。出力回数は 8 回です。

(3) RAM モニタモードでの端子説明

端子	説明
AUDCK	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は動作周波数の 1/4 以下です。
$\overline{\text{AUDSYNC}}$	本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳細は後述のプロトコルを参照してください。
AUDATA3~ AUDATA0	外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYNC}}$ がネゲートされてから開始します。詳細は後述のプロトコルを参照してください。

23.3 ブランチトレースモード

本モードは、ユーザプログラムにおいて分岐が発生したときに、分岐先アドレスを出力する機能です。分岐には分岐命令実行と割り込み／例外処理による分岐がありますが、本機能はこれらを区別しません。

23.3.1 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を L に設定し $\overline{\text{AUDRST}}$ をネゲートすると、ブランチトレースモードで動作を開始します。

図 23.2 にデータ出力例を示します。

ユーザプログラムが分岐なしで実行されている場合、 AUDATA は AUDCK に同期して常に 0011 を出力します。

分岐が発生した場合には、PC が分岐先アドレスから実行開始後、前回フル出力（途中で後に発生した分岐によって出力の中断がなかった場合の出力）したアドレスと今回の分岐アドレスの比較によって、 AUDATA から 1000（4 ビット出力時） or 1001（8 ビット出力時） or 1010（16 ビット出力時） or 1011（32 ビット出力時）を 1 クロック分出力してから $\overline{\text{AUDSYNC}}$ をアサートして分岐先アドレスを出力します。なお、比較アドレスの初期値は H'00000000 です。

アドレスを出力するサイクルが終了すると、 $\overline{\text{AUDSYNC}}$ をネゲートし、同時に AUDATA から 0011 を出力します。

分岐先アドレス出力中に次の分岐が発生した場合には、後に発生した分岐を優先して出力します。このとき $\overline{\text{AUDSYNC}}$ をネゲートし AUDATA は再度 10xx を出力してからアドレスを出力します（図 23.3）比較されるアドレスは前回フル出力されたアドレスであり、中断されたアドレスではないので注意してください。これは、中断されたアドレスでは上位アドレスを知ることができないためです。

なお、PC が分岐先アドレスの実行開始の AUDATA が 10xx を出力するまでの期間は、 AUDCK 基準で 1.5 or 2 ブロックです。

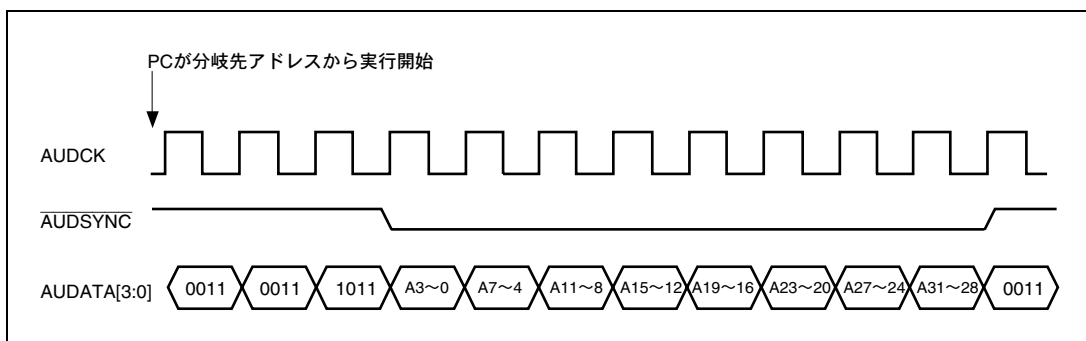


図 23.2 データ出力例（32 ビット出力）

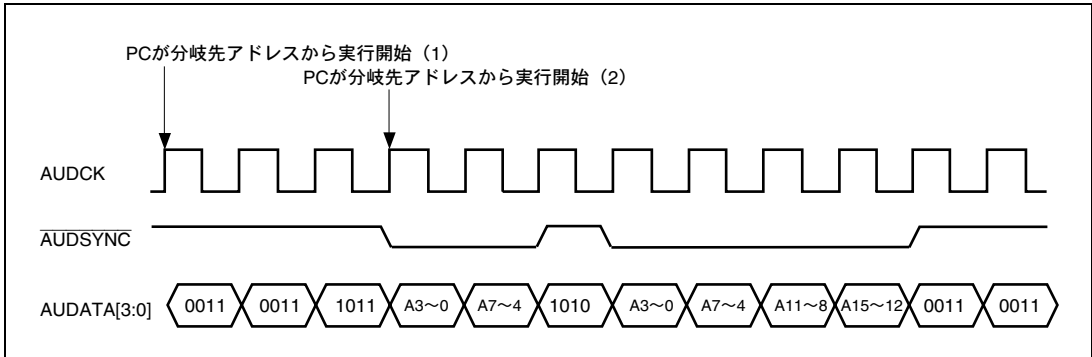


図 23.3 分岐が連続した場合の出力例

23.4 RAM モニタモード

本モードは、内部／外部バスに接続されているすべてのモジュールを読み出し／書き込みする機能です。本機能により RAM モニタ／チューニングができます。

- 外部からAUDATAにアドレスを書き込むと、そのアドレスに対応したデータを出力。
 また、AUDATAにアドレスとデータを書き込むと、そのアドレスにデータが転送されます。

23.4.1 通信プロトコル

AUD は AUDSYNC がアサートされると AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

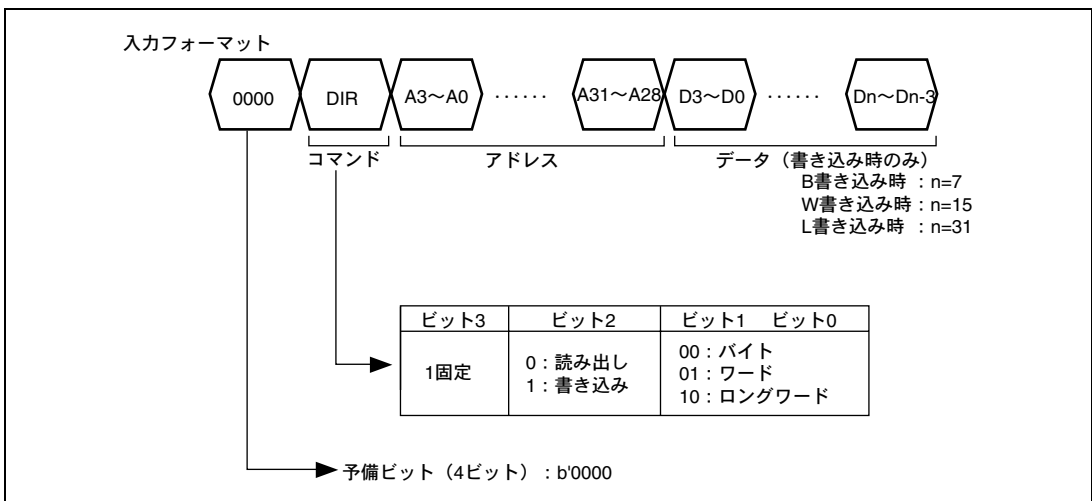


図 23.4 AUDATA 入力フォーマット

23.4.2 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を H に設定し $\overline{\text{AUDRST}}$ をネゲートすると、RAM モニタモードで動作を開始します。

図 23.5 にリード動作の例を、図 23.6 にライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ がアサートされると、 AUDATA から入力を開始します。図 23.4 に示すフォーマットでコマンド、アドレス、データ（書き込み時のみ）が入力されると、指定されたアドレスの読み出し／書き込みを実行を開始します。内部実行中は AUD は Not Ready (0000) を返します。実行が完了すると、Ready フラグ (0001) を返します（図 23.5、図 23.6）。表 23.2 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出力します（図 23.5）。

DIR に上記以外のコマンドが入力された場合、 AUD はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、 DIR 内で指定されたコマンドによる読み出し／書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内ビット 2 を 1 にセットします（図 23.7）。

以下にバスエラー条件を示します。

- $4n+1$ 、 $4n+3$ 番地にワードアクセス
- $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス
- 内蔵I/O 8bit空間をロングワードでアクセス
- HCAN 2空間をロングワードでアクセス
- シングルチップモード時に外部空間をアクセス

表 23.2 Ready フラグフォーマット

ビット 3	ビット 2	ビット 1	ビット 0
0 固定	0 : 正常状態 1 : バスエラー発生	0 : 正常状態 1 : コマンドエラー発生	0 : not Ready 1 : Ready

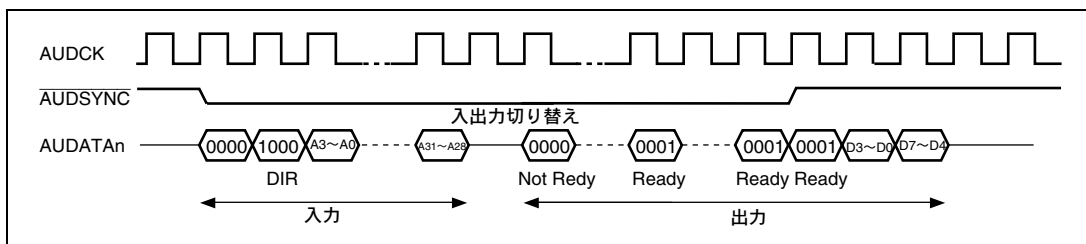


図 23.5 リード動作例 (バイトリード)

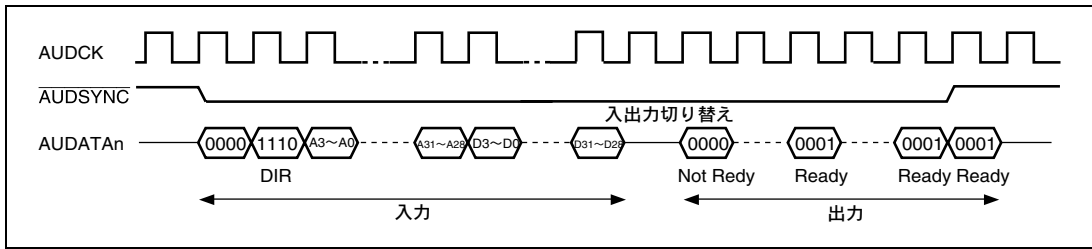


図 23.6 ライト動作例 (ロングワードライト)

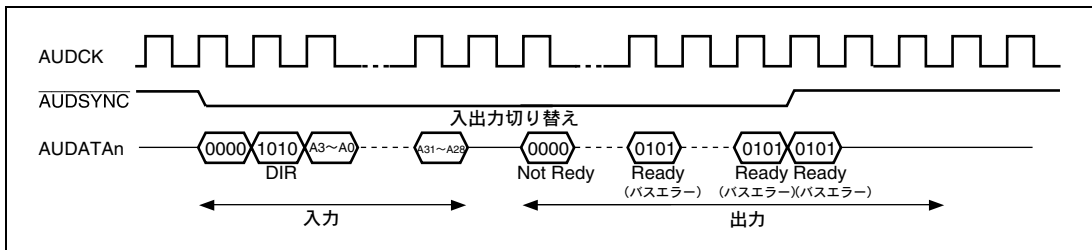


図 23.7 エラー発生例 (ロングワードリード)

23.5 使用上の注意事項

23.5.1 初期化

本デバッガに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- パワーオンリセット
- ハードウェアスタンバイ
- $\overline{\text{AUDRST}}$ 端子にLレベル印加
- SYSCRレジスタのAUDSRSTビットを0にクリアしたとき (24.2.2参照)
- MSTCR2レジスタのMSTP3ビットに1をセットしたとき (24.2.3参照)

23.5.2 ソフトウェアスタンバイ時の動作

本デバッガはソフトウェアスタンバイでは初期化されません。ただし、ソフトウェアスタンバイ時はLSIの内部は止まっているので、

- AUDMD=H (RAMモニタ) 時: Readyが返らない (not Readyを連続して返す)。ただし、外部入力クロックで動作しているので、プロトコルは継続。
- AUDMD=L (ブランチトレース) 時: 停止。ただし、ソフトウェアスタンバイ解除で動作継続。

23.5.3 PA15/CK/POE6/TRST/BACK 端子の設定

接続するデバッグツールによっては、AUDCK 信号を CK 信号から生成する仕様のものがあります。デバッグツールのマニュアルを確認して、ピンファンクションコントローラ (PFC) の設定を決めてください。

23.5.4 端子状態

(1) HSTBY/モジュールスタンバイ

AUDMD Z
AUDCK Z
 $\overline{\text{AUDSYNC}}$ Z
AUDATA Z

(2) $\overline{\text{AUDRST}}=L$ 入力時

AUDMD 入力
AUDCK (1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力
 $\overline{\text{AUDSYNC}}$ (1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力
 $\overline{\text{AUDRST}}$ L 入力
AUDATA (1) AUDMD=H 時: 入力 (2) AUDMD=L 時: H 出力

(3) 通常動作/ソフトウェアスタンバイ

AUDSRST=1
AUDMD 入力
AUDCK (1) AUDMD=H 時: 入力 (2) AUDMD=L 時: 出力
 $\overline{\text{AUDSYNC}}$ (1) AUDMD=H 時: 入力 (2) AUDMD=L 時: 出力
 $\overline{\text{AUDRST}}$ H 入力
AUDATA (1) AUDMD=H 時: 入出力 (2) AUDMD=L 時: 出力

23.5.5 AUD 起動シーケンス

下記シーケンスに従ってください。

- PFCでAUD端子を選択した後、 $\overline{\text{AUDRST}}$ 端子をLowレベルに保ったまま、AUDCK端子へクロック入力（最低3クロック）してください。その後SYSCRのAUDリセットビットAUDSRSTをセットして、AUDリセットを解除してください。なお、 $\overline{\text{AUDRST}}$ 端子へのLowレベル入力、AUDCK端子へのクロック入力は、PFCによるAUD端子選択に先じて開始してもかまいません。

24. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、通常動作モードのほか、

- スリープモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード
- モジュールスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、モジュールスタンバイモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。これらは組み合わせて設定することができます。

リセット後は、通常動作モードになっています。

表 24.1 に、各モードでの内部動作状態を示します。

24. 低消費電力状態

表 24.1 各モードでの本 LSI の内部状態

機能		通常動作	スリープ	モジュールスタンバイ	ソフトウェアスタンバイ	ハードウェアスタンバイ		
システムクロック発振器		動作	動作	動作	停止	停止		
CPU	命令	動作	停止 (保持)	動作	停止 (保持)	停止 (不定)		
	レジスタ							
外部割り込み	NMI	動作	動作	動作	動作	停止		
	IRQ0~3							
周辺機能	UBC	動作	動作	停止 (リセット)	停止 (保持)	停止 (リセット)		
	DTC			停止 (リセット)	停止 (リセット)	停止 (リセット)		
	I/Oポート			動作	保持	ハイインピーダンス		
	WDT			動作	停止 (保持)	停止 (リセット)		
	SCI			動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)
	HCAN2							
	A/D							
	MTU							
	CMT							
	MMT							
	H-UDI			動作	動作	保持	保持	停止 (リセット)
	AUD			動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)
	ROM							
	RAM							

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールスタンバイモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

1. 内蔵周辺モジュールのレジスタの中には、ソフトウェアスタンバイモードおよびモジュールスタンバイモードによって初期化されるものとされないものがあります。「付録 A.3 各動作モードにおけるレジスタの状態」を参照してください。
2. ソフトウェアスタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット（HIZ）で設定します。「24.2.1 スタンバイコントロールレジスタ（SBYCR）」を参照してください。端子状態は、「付録 B. 端子状態」を参照してください。

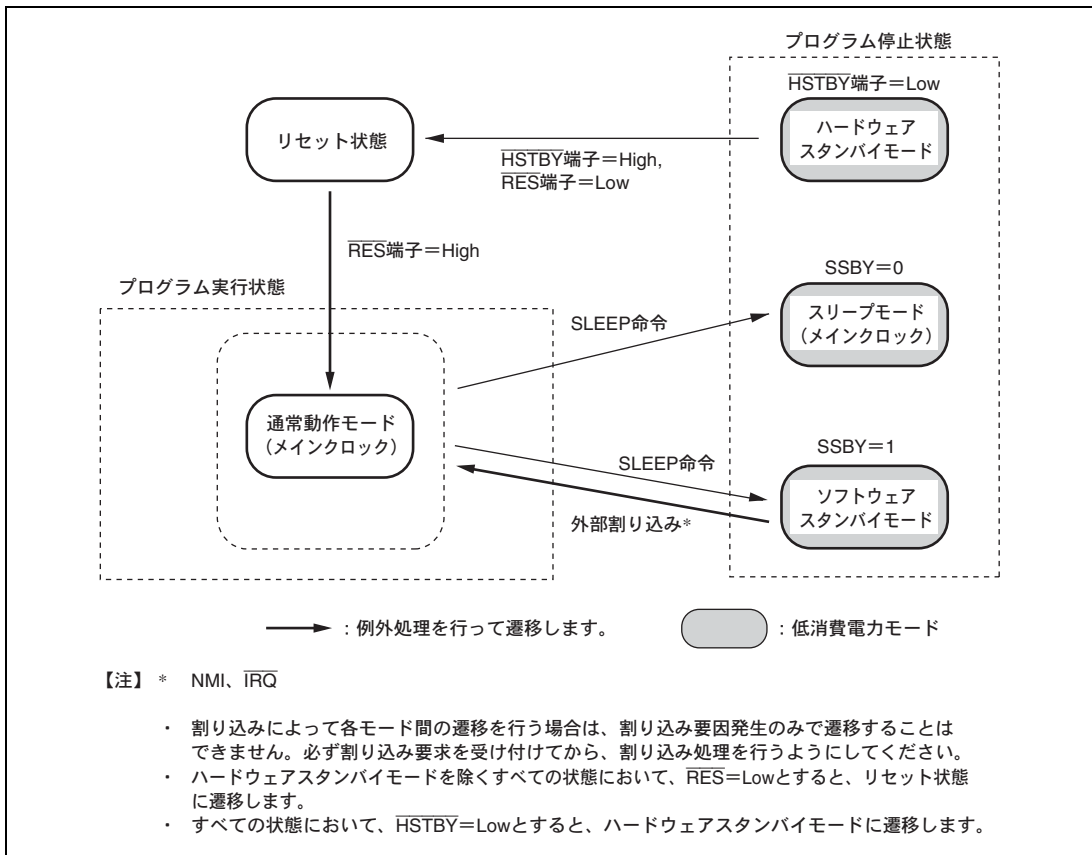


図 24.1 モード遷移図

24.1 入出力端子

低消費電力モードに関連する端子を表 24.2 に示します。

表 24.2 端子構成

端子名	入出力	機能
\overline{HSTBY}	入力	ハードウェアスタンバイ入力端子
RES	入力	パワーオンリセット入力端子
MRES	入力	マニュアルリセット入力端子

24.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「付録 A. 内蔵 I/O レジスタ」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- システムコントロールレジスタ (SYSCR)
- モジュールスタンバイコントロールレジスタ1 (MSTCR1)
- モジュールスタンバイコントロールレジスタ2 (MSTCR2)

24.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール/ステータスレジスタ (TCSR) のタイムイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。
6	HIZ	0	R/W	ポートハインピーダンス ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハインピーダンスにするかを選択します。 0: ソフトウェアスタンバイモード時に、端子状態を保持する 1: ソフトウェアスタンバイモード時に、端子状態をハインピーダンス WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~1	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	IRQEL	1	R/W	IRQ3~0 イネーブル IRQ 割り込みによるソフトウェアスタンバイモードの解除を有効にします。 0: ソフトウェアスタンバイモードの解除を有効にする 1: ソフトウェアスタンバイモードの解除を無効にする

24.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、AUD ソフトウェアリセット制御と、内蔵 RAM へのアクセスの許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	AUDSRST	0	R/W	AUD ソフトウェアリセット AUD のリセットをソフトウェアで制御します。本ビットに 0 をライトすると AUD モジュールはパワーオンリセット状態になります。 0: AUD リセット状態にする 1: AUD のリセットを解除する
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効 本ビットを 0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。 なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、SYSCR へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。 本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR へのライト命令の直後に SYSCR のリード命令を置いてください。もし、SYSCR ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

24. 低消費電力状態

24.2.3 モジュールスタンバイコントロールレジスタ 1、2 (MSTCR1、MSTCR2)

MSTCR は 16 ビットのリード/ライト可能な 2 本のレジスタで、モジュールスタンバイモードの制御を行います。1 のとき対応するモジュールはモジュールスタンバイモードになり、クリアするとモジュールスタンバイモードは解除されます。

• MSTCR1

ビット	ビット名	初期値	R/W	対象モジュール
15~12	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	MSTP27	0	R/W	内蔵 RAM
10	MSTP26	0	R/W	内蔵 ROM
9	MSTP25	0	R/W	データトランスファコントローラ (DTC)
8	MSTP24	0	R/W	MSTP25 および MSTP24 には同じ設定をします。モジュールスタンバイ設定時には、b'11 をライトし、解除時は b'00 をライトします。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	MSTP20	1	R/W	シリアルコミュニケーションインタフェース 4 (SCI_4)
3	MSTP19	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI_3)
2	MSTP18	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI_2)
1、0	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

• MSTCR2

ビット	ビット名	初期値	R/W	対象モジュール
15	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
14	MSTP14	1	R/W	モータマネージメントタイマ (MMT)
13	MSTP13	1	R/W	マルチファンクションタイマパルスユニット (MTU)
12	MSTP12	1	R/W	コンペアマッチタイマ (CMT)
11、10	—	すべて 0	R (ビット 11) R/W (ビット 10)	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MSTP9	0	R/W	コントローラエリアネットワーク 2 (HCAN2)
8	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	対象モジュール
5	MSTP5	1	R/W	A/D 変換器 (A/D1)
4	MSTP4	1	R/W	A/D 変換器 (A/D0)
3	MSTP3	0	R/W	アドバンスユーザデバッグ (AUD) *
2	MSTP2	0	R/W	ハイパフォーマンスユーザデバッグインタフェース (H-UDI) *
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSTP0	0	R/W	ユーザブ레이크コントローラ (UBC)

【注】 * E10A デバッグモード時 ($\overline{\text{DBGMD}}$ =ローレベル入力) は、本ビットの読み書きはできますが、設定値に関係なく AUD、H-UDI は常時動作します。

24.3 動作説明

24.3.1 スリープモード

(1) スリープモードへの遷移

SBYCR の SSBY ビットを0にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

なお、スリープモード中は、DTC、AUD によるデータアクセスを行わないでください。

(2) スリープモードの解除

スリープモードは、以下の条件により解除されます。

- パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

また、WDT による内部パワーオンリセットが発生した場合も、スリープモードは解除されます。

- マニュアルリセットによる解除

$\overline{\text{RES}}$ 端子が High レベルのとき、 $\overline{\text{MRES}}$ 端子を Low レベルにすると本 LSI は、マニュアルリセット状態に遷移し、スリープモードは解除されます。

また、WDT による内部マニュアルリセットが発生した場合も、スリープモードは解除されます。

- $\overline{\text{HSTBY}}$ 端子による解除

$\overline{\text{HSTBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを1にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の

レジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります（「付録 A.3 各動作モードにおけるレジスタの状態」参照）。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット（HIZ）で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「付録 B. 端子状態」を参照してください。本モードでは、発振器が停止するため、消費電力は著しく低減します。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の条件により解除されます。

- NMI 割り込み入力による解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ1（ICR1）のNMIエッジセレクトビット（NMIE）で選択）が検出されると、クロックの発振が開始されます。このクロックはウォッチドッグタイマ（WDT）だけに供給されます。

ソフトウェアスタンバイモードに遷移する前にWDTのタイマコントロールレジスタ/ステータスレジスタ（TCSR）のクロックセレクトビット（CKS2~CKS0）に設定しておいた時間が経過すると、WDTオーバフローが発生します。このオーバフロー発生によって、クロックが安定したと判断され、本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI例外処理が開始されます。

NMI 割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバフロー周期が発振安定時間以上になるように、CKS2~CKS0ビットを設定してください。

なお、立ち下がりエッジに設定したNMI端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）のNMI端子のレベルがHighレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）のNMI端子のレベルがLowレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき（クロック停止時）のNMI端子のレベルがLowレベルに、かつソフトウェアスタンバイ復帰時（発振安定後のクロック起動時）のNMI端子のレベルがHighレベルになるようにしてください。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- IRQ 割り込み入力による解除

スタンバイコントロールレジスタ（SBYCR）のIRQELビットが1に設定されている場合、IRQ端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ1（ICR1）のIRQ3S~IRQ0Sビット、割り込みコントロールレジスタ2（ICR2）のIRQ3ES[1:0]~IRQ0ES[1:0]ビットで選択）が検出されると、クロックの発振が開始されます*。このクロックはウォッチドッグタイマ（WDT）だけに供給されます。ソフトウェアスタンバイモードに遷移する前にCPUのステータスレジスタ（SR）に設定されている割り込みマスクレベルより、IRQ割り込み優先レベルを高く設定する必要があります。

ソフトウェアスタンバイモードに移移する前にWDTのタイマコントロールレジスタ/ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2~CKS0) に設定しておいた時間が経過すると、WDTオーバーフローが発生します。このオーバーフロー発生によって、クロックが安定したと判断され、本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、IRQ例外処理が開始されま

ず。

IRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上になるように、CKS2~CKS0ビットを設定してください。

なお、立ち下がりエッジまたは両エッジに設定した $\overline{\text{IRQ}}$ 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の $\overline{\text{IRQ}}$ 端子のレベルがHighレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) に $\overline{\text{IRQ}}$ 端子のレベルがLowレベルになるようにしてください。また、立ち上がりエッジに設定した $\overline{\text{IRQ}}$ 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の $\overline{\text{IRQ}}$ 端子のレベルがLowレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) に $\overline{\text{IRQ}}$ 端子のレベルがHighレベルになるようにしてください。

【注】 * $\overline{\text{IRQ}}$ 端子が立ち下がりエッジ検出、両エッジ検出に設定されている場合、立ち下がりエッジの検出でクロックの発振が開始されます。

$\overline{\text{IRQ}}$ 端子が立ち上がり検出に設定されている場合、立ち上がりエッジの検出でクロックの発振が開始されます。

$\overline{\text{IRQ}}$ 端子をローレベル検出に設定しないでください。

- $\overline{\text{HSTBY}}$ 端子による解除

$\overline{\text{HSTBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに移移します。

(3) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.2 に示します。

割り込みコントロールレジスタ 1 (ICR1) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子を High レベルから Low レベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに移移します。その後、NMI 端子を Low レベルから High レベルに変化させると、ソフトウェアスタンバイモードが解除されます。

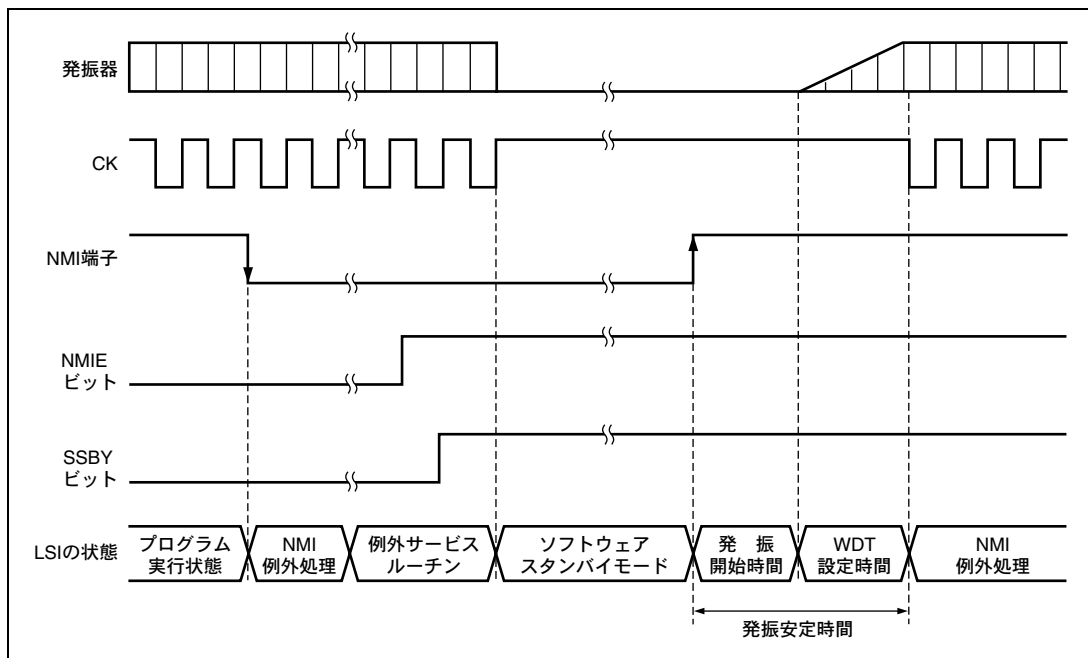


図 24.2 ソフトウェアスタンバイモード時の NMI タイミング

24.3.3 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。

内蔵 RAM のデータを保持するためには、 $\overline{\text{HSTBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD3~MD0) の状態を変化させないでください。

(2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{HSTBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{HSTBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、パワーオンリセット例外処理状態を経てプログラム実行状態へ遷移します。

(3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.3 に示します。

$\overline{\text{HSTBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

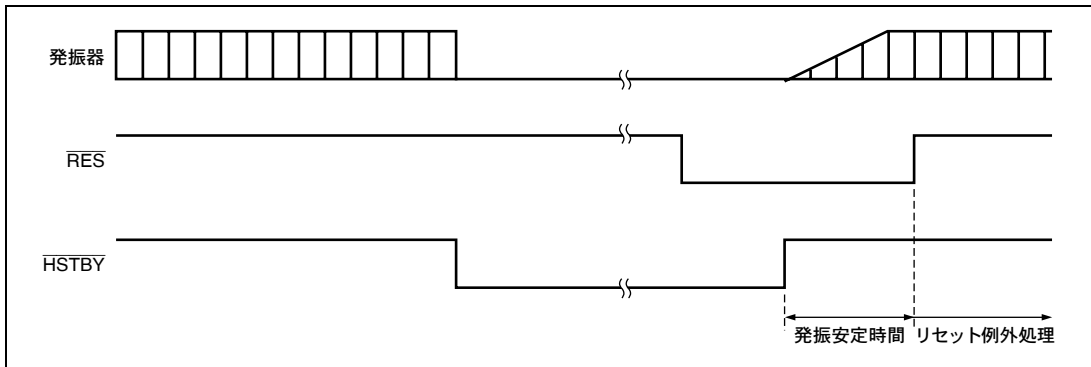


図 24.3 ハードウェアスタンバイモードのタイミング

24.3.4 モジュールスタンバイモード

モジュールスタンバイモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールスタンバイモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールスタンバイモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールスタンバイモードに遷移したモジュールは、内部状態を初期化されます。

リセット解除後は、SCI、MTU、MMT、CMT、A/D 変換器がモジュールスタンバイモードになっています。

モジュールスタンバイモードに設定されたモジュールのレジスタは、リード/ライトできません。

24.4 使用上の注意事項

24.4.1 I/O ポートの状態

SBYCR のポートハイインピーダンスビット (HIZ) を 0 にクリアした状態でソフトウェアスタンバイモードに遷移すると、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

24.4.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

24.4.3 内蔵周辺モジュールの割り込み

モジュールスタンバイモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールスタンバイとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に割り込みを禁止するなど設定してからモジュールスタンバイモードとしてください。

24.4.4 MSTCR1、2 のライト

MSTCR1、2 は CPU のみでライトしてください。

24.4.5 $\overline{\text{HSTBY}}$ 端子の取り扱い

$\overline{\text{HSTBY}}$ 端子を Low レベルにしたままで、電源投入をしないでください。

ハードウェアスタンバイモードに移りたい場合は、電源投入後、発振安定時間が経過してから、 $\overline{\text{HSTBY}}$ 端子を low レベルにしてください。

24.4.6 $\overline{\text{HSTBY}}$ 端子への外来ノイズについて

$\overline{\text{HSTBY}}$ 端子はクロック発振器を含むすべての機能の動作・停止を制御します。したがって、 $\overline{\text{HSTBY}}$ 端子への外来ノイズは LSI の誤動作に直接影響を与えますのでご注意ください。

外来ノイズの多い環境下でハードウェアスタンバイ機能を使用する場合は、 $\overline{\text{HSTBY}}$ 端子に図 24.4 に示す CR 回路等のノイズフィルタの外付けを推奨致します。

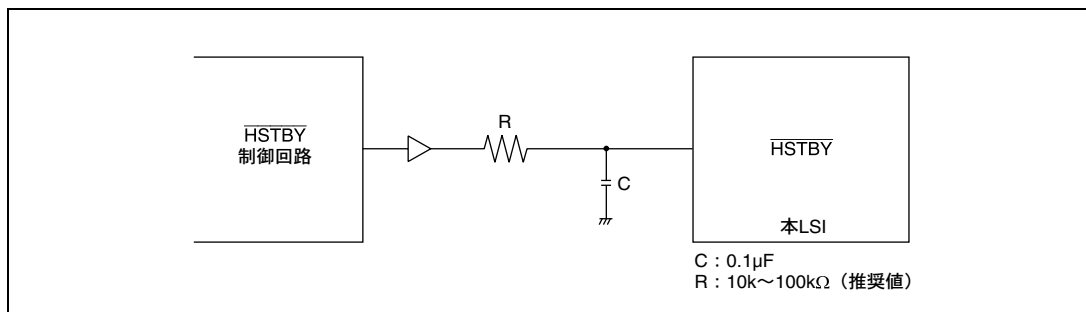


図 24.4 $\overline{\text{HSTBY}}$ 端子外付け回路例

24.4.7 スリープモード中の DTC、AUD 動作

スリープモード中は、DTC、AUD によるデータアクセスを行わないでください。

25. 電気的特性

25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項 目	記号	定格値	単位	
電源電圧	V _{cc}	-0.3~+7.0	V	
入力電圧	EXTAL、H-UDI 端子	V _{in}	-0.3~V _{cc} +0.3	V
	アナログ入力、EXTAL、 H-UDI 端子以外の全端子	V _{in}	-0.3~V _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+7.0	V	
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V	
動作温度 (フラッシュメモリの W/E を除く)	標準品*	Topr	-20~+75	°C
	広温度範囲品*		-40~+85	
動作温度 (フラッシュメモリの W/E)	TWEopr	-20~+75	°C	
保存温度	Tstg	-55~+125	°C	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

25. 電氣的特性

25.2 DC 特性

表 25.2 DC 特性

条件：V_{CC}=4.5V~5.5V、AV_{CC}=4.5V~5.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*1）、

Ta=-40~+85°C（広温度範囲品*1）

項 目		記号	min	typ	max	単位	測定条件
入力ハイレベル電圧（シュミットトリガ入力端子を除く）	RES、MRES、HSTBY、NMI、FWP、MD3~0	V _{IH}	V _{CC} -0.7	—	V _{CC} +0.3	V	
	EXTAL		V _{CC} -0.7	—	V _{CC} +0.3	V	
	DBGMD		V _{CC} -0.5	—	V _{CC} +0.3	V	
	アナログ兼用ポート		2.2	—	AV _{CC} +0.3	V	
	その他の入力端子		2.2	—	V _{CC} +0.3	V	
入力ローレベル電圧（シュミットトリガ入力端子を除く）	RES、MRES、HSTBY、NMI、FWP、MD3~0、EXTAL、DBGMD	V _{IL}	-0.3	—	0.5	V	
	その他の入力端子		-0.3	—	0.8	V	
シュミットトリガ入力電圧	IRQ3~0、POE6~0、TCLKA~D、TIOC0A~D、TIOC1A~B、TIOC2A~B、TIOC3A~D、TIOC4A~D	V _{T+} (V _{IH})	4.0	—	V _{CC} +0.3	V	
		V _{T-} (V _{IL})	-0.3	—	1.0	V	
		V _{T+} - V _{T-}	0.4	—	—	V	
入力リーク電流	RES、MRES、NMI、HSTBY、FWP、MD3~0、DBGMD	I _{in}	—	—	1.0	μA	V _{in} =0.5 ~V _{CC} -0.5V
	ポート F		—	—	1.0	μA	V _{in} =0.5 ~AV _{CC} -0.5V
	その他の入力端子		—	—	1.0	μA	V _{in} =0.5 ~V _{CC} -0.5V
スリーステートリーク電流（オフ状態）	ポート A、B、D、E	I _{tsi}	—	—	1.0	μA	V _{in} =0.5 ~V _{CC} -0.5V
出力ハイレベル電圧	全出力端子	V _{OH}	V _{CC} -0.5	—	—	V	I _{OH} =-200μA
			3.5	—	—	V	I _{OH} =-1mA
出力ローレベル電圧	全出力端子	V _{OL}	—	—	0.4	V	I _{OL} =1.6mA
	PE9、PE11~PE21		—	—	1.5	V	I _{OL} =15mA
入力容量	RES	C _{in}	—	—	80	pF	V _{in} =0V
	NMI		—	—	50	pF	φ=1MHz
	その他の全入力端子		—	—	20	pF	Ta=25°C

項 目			記号	min	typ	max	単位	測定条件	
消費電流* ²	通常動作時	クロック 1 : 1	I _{CC}	—	180	200	mA	φ = 40MHz	
				—	120	140	mA	φ = 25MHz	
		クロック 1 : 1/2		—	220	235	mA	φ = 50MHz	
				—	160	180	mA	φ = 40MHz	
	スリープ時	クロック 1 : 1		—	140	190	mA	φ = 40MHz	
		クロック 1 : 1/2		—	150	200	mA	φ = 50MHz	
	スタンバイ時	スタンバイ時		—	3	100	μA	T _a ≤ 50°C	
				—	—	500	μA	50°C < T _a	
書き込み動作時		クロック 1 : 1	—	180	200	mA	V _{CC} = 5.0V φ = 40MHz		
		クロック 1 : 1/2	—	220	235	mA	V _{CC} = 5.0V φ = 50MHz		
アナログ電源電流	A/D 変換中、A/D 変換待機中		I _{ACC}	—	2	5	mA		
	スタンバイ中			—	—	5	μA		
RAM スタンバイ電圧			V _{RAM}	2.0	—	—	V	V _{CC}	

【使用上の注意】 A/D 変換器を使用しないときに、AV_{CC}、AV_{SS} 端子を開放しないでください。

【注】 *1 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

*2 消費電流は、V_{IHmin} = V_{CC} - 0.5V、V_{IL} = 0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 25.3 出力許容電流値

条件：V_{CC} = 5.0V ± 0.5V、AV_{CC} = 5.0V ± 0.5V、V_{SS} = PLLV_{SS} = AV_{SS} = 0V、T_a = -20 ~ +75°C（標準品*¹）、
T_a = -40 ~ +85°C（広温度範囲品*¹）

項 目	記号	min	typ	max	単位
出力ローレベル許容電流（1 端子当たり）	I _{OL}	—	—	2.0* ²	mA
出力ローレベル許容電流（総和）	Σ I _{OL}	—	—	110	mA
出力ハイレベル許容電流（1 端子当たり）	-I _{OH}	—	—	2.0	mA
出力ハイレベル許容電流（総和）	Σ -I _{OH}	—	—	25	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。

【注】 *1 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

*2 PE9、PE11 ~ PE21 は I_{OL} = 15mA（max）。ただし、これらの端子のうち同時に 2.0mA を超えて I_{OL} を流すものは 6 本以内にしてください。

25.3 AC 特性

25.3.1 AC 特性測定条件

入力参照レベル High レベル : V_{IH} min 値、Low レベル : V_{IL} max 値

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

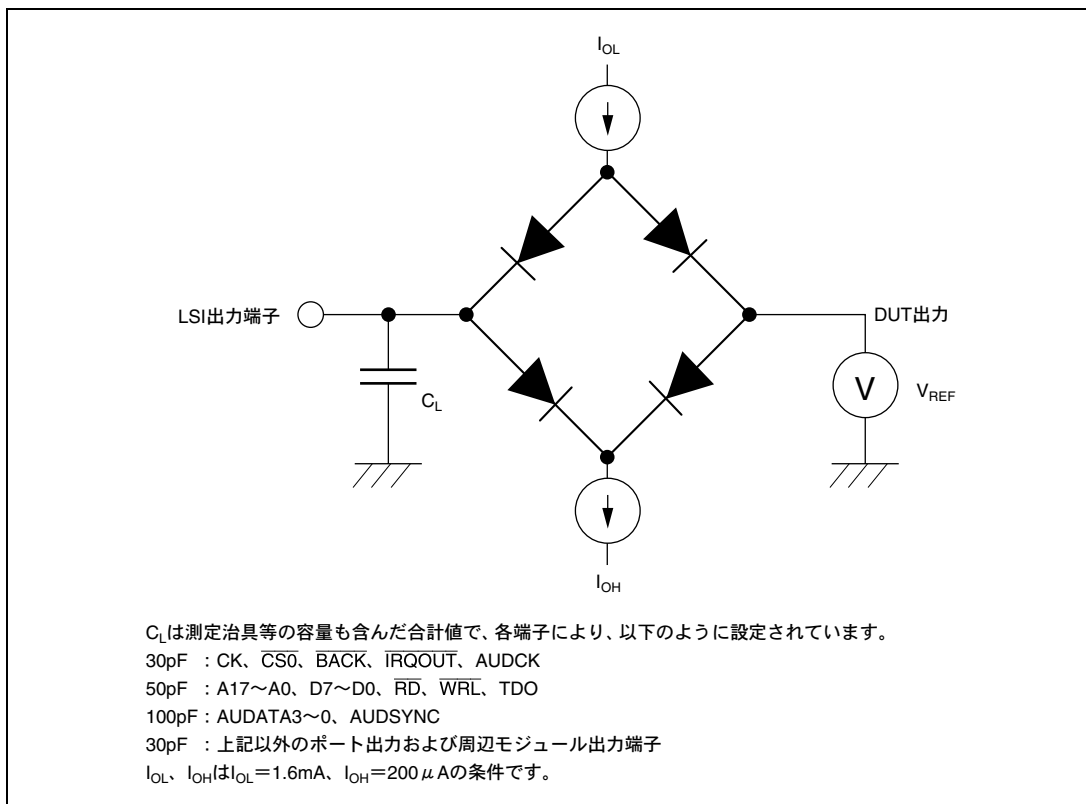


図 25.1 出力負荷回路

25.3.2 クロックタイミング

表 25.4 にクロックタイミングを示します。

表 25.4 クロックタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項 目		記号	min	max	単位	参照図	
動作周波数	50MHz 動作時*	f _{op}	4	50	MHz	図 25.2	
	40MHz 動作時*		4	40			
クロックサイクル時間	50MHz 動作時*	t _{cyc}	20	250	ns		
	40MHz 動作時*		25	250			
クロックローパルス幅		t _{CL}	4	—	ns		
クロックハイパルス幅		t _{CH}	4	—	ns		
クロック立ち上がり時間		t _{CR}	—	5	ns		
クロック立ち下がり時間		t _{CF}	—	5	ns		
EXTAL クロック入力周波数	50MHz 動作時*	f _{EX}	4	12.5	MHz		図 25.3
	40MHz 動作時*		4	10.0			
EXTAL クロック入力サイクル時間	50MHz 動作時*	t _{EXcyc}	80	250	ns		
	40MHz 動作時*		100	250			
EXTAL クロック入力ローレベルパルス幅	50MHz 動作時*	t _{EXL}	35	—	ns		
	40MHz 動作時*		45	—			
EXTAL クロック入力ハイレベルパルス幅	50MHz 動作時*	t _{EXH}	35	—	ns		
	40MHz 動作時*		45	—			
EXTAL クロック入力立ち上がり時間		t _{EXR}	—	5	ns		
EXTAL クロック入力立ち下がり時間		t _{EXF}	—	5	ns		
リセット発振安定時間		t _{OSC1}	10	—	ms	図 25.4	
スタンバイ復帰発振安定時間		t _{OSC2}	10	—	ms		
周辺モジュールクロックサイクル時間		t _{pcyc}	25	500	ns	—	

【注】 * 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

25. 電気的特性

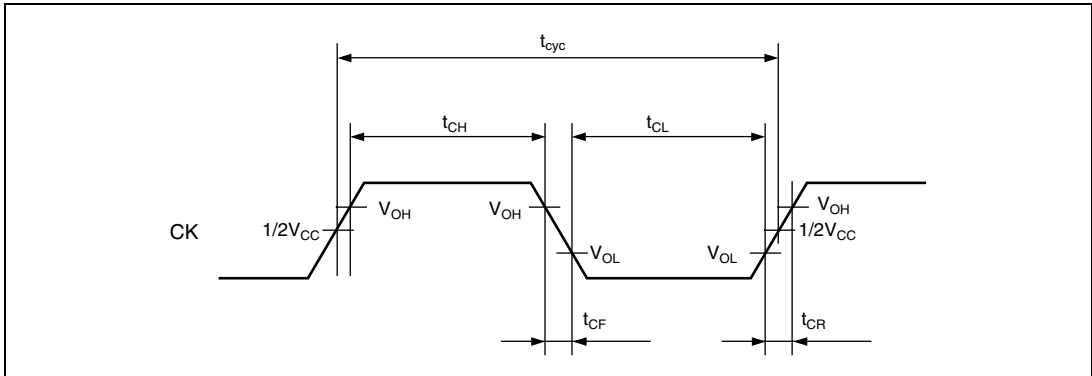


図 25.2 システムクロックタイミング

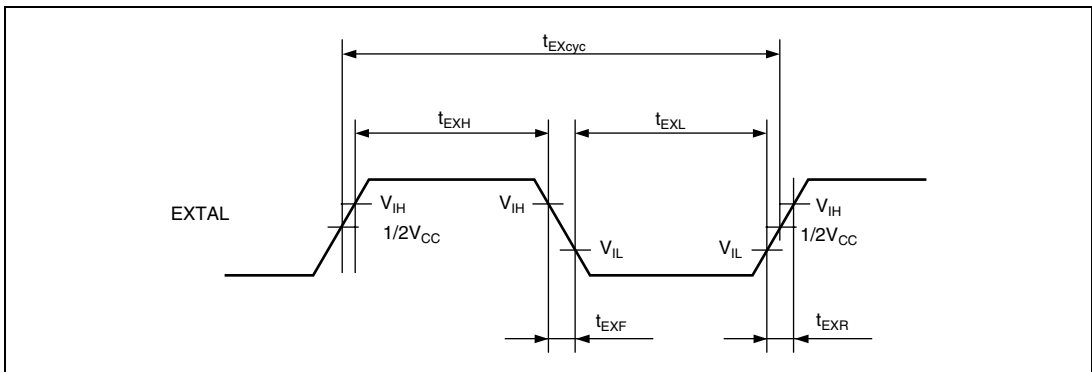


図 25.3 EXTAL クロック入カタイミング

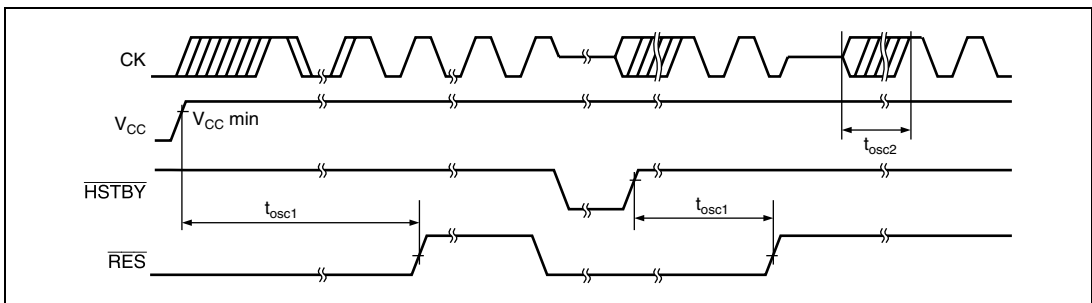


図 25.4 発振安定時間

25.3.3 制御信号タイミング

表 25.5 に制御信号タイミングを示します。

表 25.5 制御信号タイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*1）、
Ta=-40~+85°C（広温度範囲品*1）

項目	記号	min	max	単位	参照図
RES 立ち上がり、立ち下がり時間	tRESr, tRESf	—	200	ns	図 25.5 図 25.6
RES パルス幅	tRESW	25	—	t _{cyc}	
RES セットアップ時間	tRESS	25	—	ns	
MRES パルス幅	tMRESW	20	—	t _{cyc}	
MRES セットアップ時間	tMRESS	19	—	ns	
MD3~MD0 セットアップ時間	tMDS	20	—	t _{cyc}	
NMI 立ち上がり、立ち下がり時間	tNMIr, tNMIf	—	200	ns	図 25.7
NMI セットアップ時間	tNMIS	19	—	ns	
IRQ3~IRQ0 セットアップ時間*2（エッジ検出時）	tIRQES	19	—	ns	
IRQ3~IRQ0 セットアップ時間*2（レベル検出時）	tIRQLS	19	—	ns	
NMI ホールド時間	tNMIH	19	—	ns	
IRQ3~IRQ0 ホールド時間	tIRQEH	19	—	ns	
IRQOUT 出力遅延時間	tIRQOD	—	100	ns	図 25.8
バスリクエストセットアップ時間	tBRQS	19	—	ns	図 25.9
バスアクリッジ遅延時間 1	tBACKD1	—	30	ns	
バスアクリッジ遅延時間 2	tBACKD2	—	30	ns	
バスリーステート遅延時間	tBZD	—	30	ns	

【注】 *1 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

*2 RES、MRES、NMI、BREQ および IRQ3~IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がり（RES、MRES、BREQ の場合）またはクロックの立ち下がり（NMI、IRQ3~IRQ0 の場合）で変化が生じたものとして判定されます。セットアップを守れない場合、次のクロック立ち上がり、または立ち下がりまで認識が遅れることがあります。

25. 電気的特性

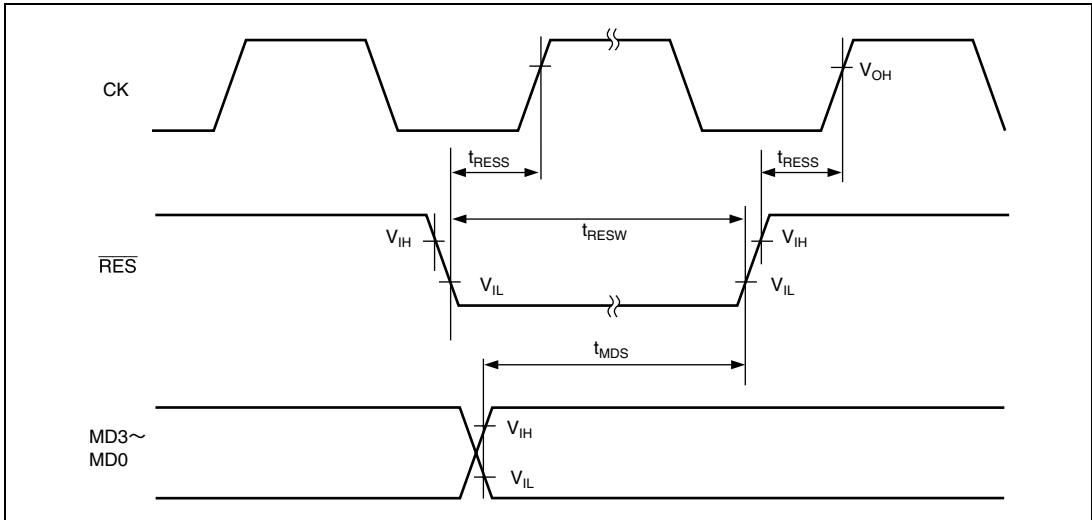


図 25.5 リセット入力タイミング

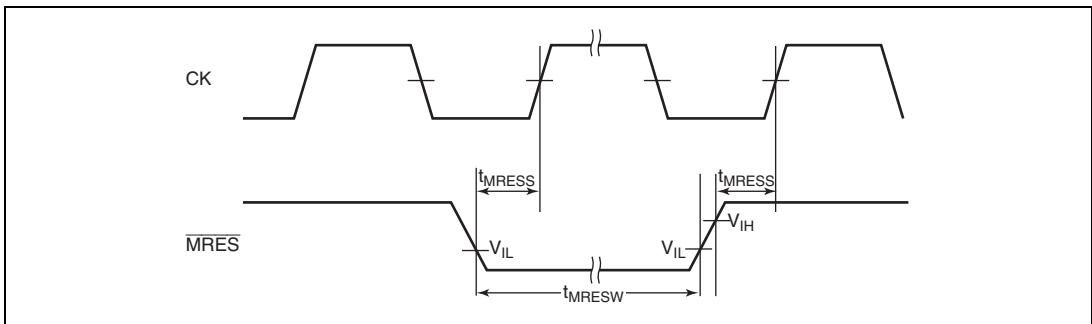


図 25.6 リセット入力タイミング

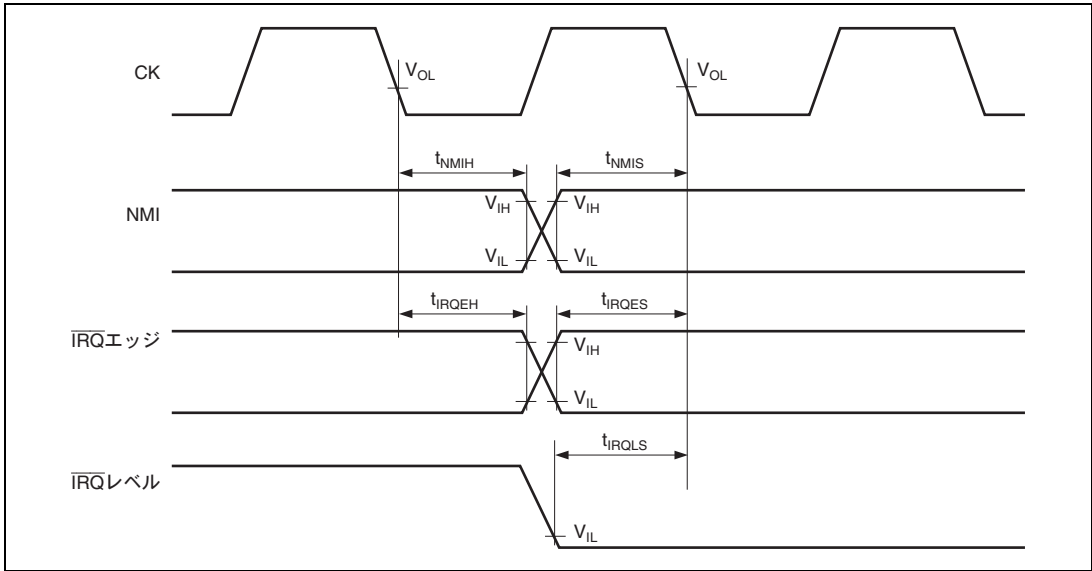


図 25.7 割り込み信号入カタイミング

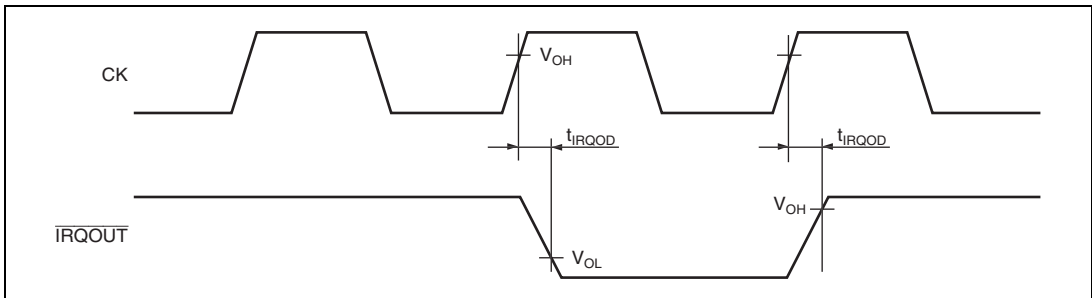


図 25.8 割り込み信号出カタイミング

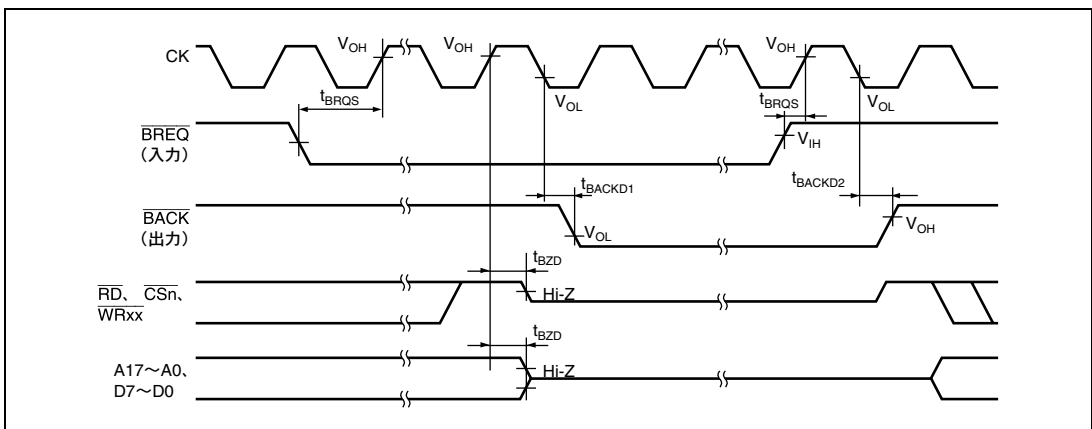


図 25.9 バス権解放タイミング

25. 電気的特性

25.3.4 バスタイミング

表 25.6 にバスタイミングを示します。

表 25.6 バスタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*1）、
Ta=-40~+85°C（広温度範囲品*1）

項目	記号	min	Typ	max	単位	参照図
アドレス遅延時間	tAD	—	22	30	ns	図 25.10、 図 25.11
CS 遅延時間 1	tCSD1	—	22	35	ns	
CS 遅延時間 2	tCSD2	—	15	35	ns	
リードストロブ遅延時間 1	tRSD1	—	20	35	ns	
リードストロブ遅延時間 2	tRSD2	—	15	35	ns	
リードデータセットアップ時間	tRDS	15	—	—	ns	
リードデータホールド時間	tRDH	0	—	—	ns	
ライトストロブ遅延時間 1	tWSD1	—	20	30	ns	
ライトストロブ遅延時間 2	tWSD2	—	15	30	ns	
ライトデータ遅延時間	tWDD	—	—	30	ns	
ライトデータホールド時間	tWDH	0	—	—	ns	
WAIT セットアップ時間	tWTS	15	—	—	ns	図 25.12
WAIT ホールド時間	tWTH	0	—	—	ns	
リードデータアクセス時間	tACC	$t_{CYC} \times (2+n) - 35^{*2}$	—	—	ns	図 25.10、 図 25.11
リードストロブからのアクセス時間	tOE	$t_{CYC} \times (1.5+n) - 33^{*2}$	—	—	ns	
書き込みアドレスセットアップ時間	tAS	0	—	—	ns	
書き込みアドレス保持時間	tWR	5	—	—	ns	
書き込みデータ保持時間	tWRH	0	—	—	ns	

【注】 *1 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

*2 n はウェイト数。

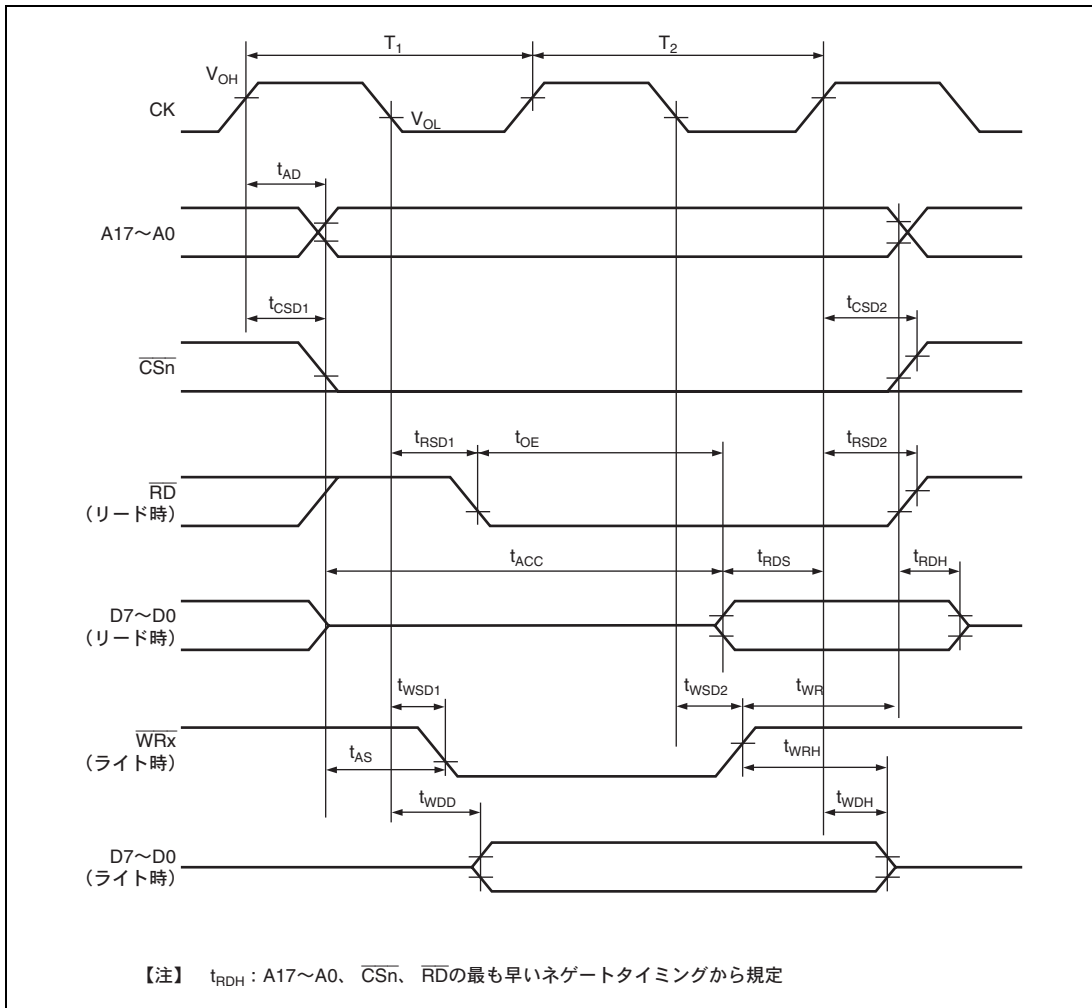


図 25.10 基本サイクル (ノーウェイト)

25. 電気的特性

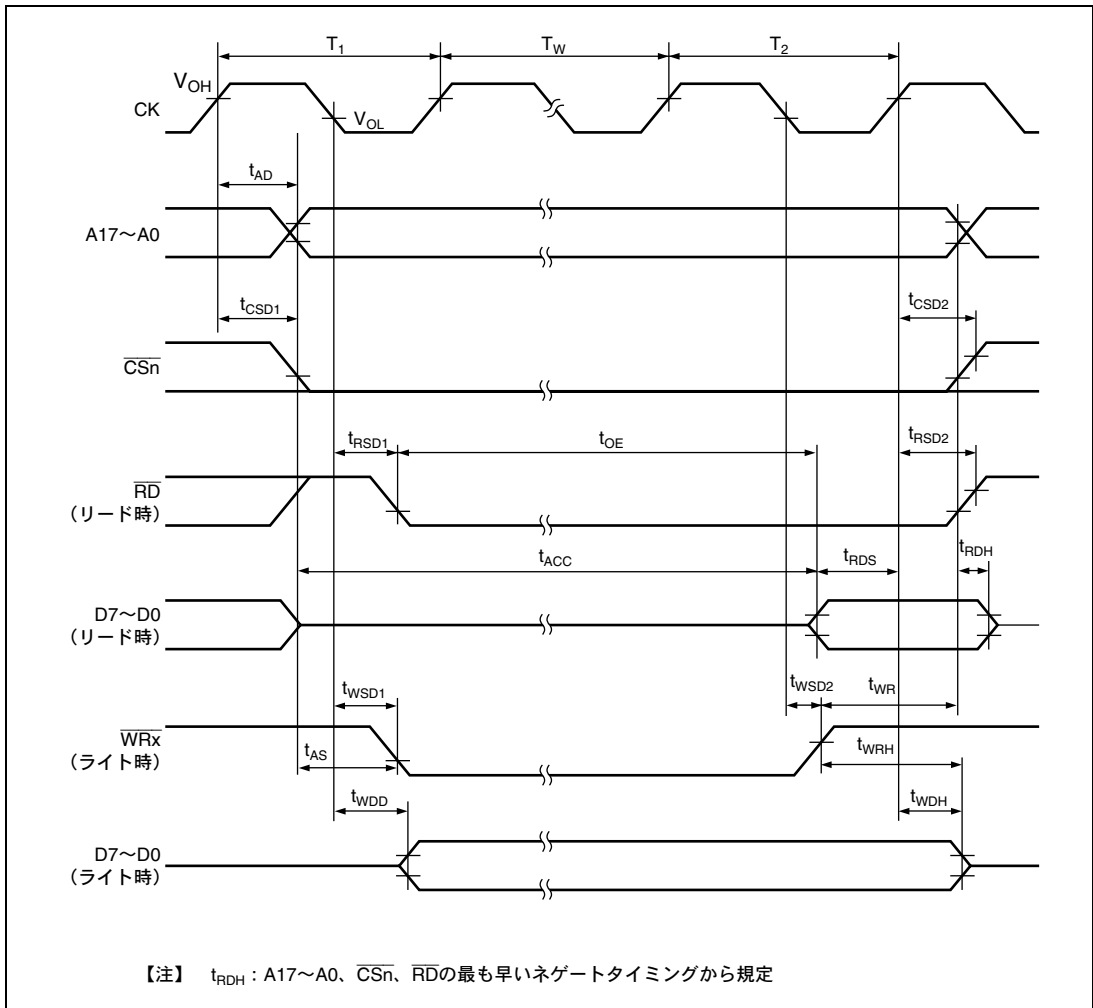
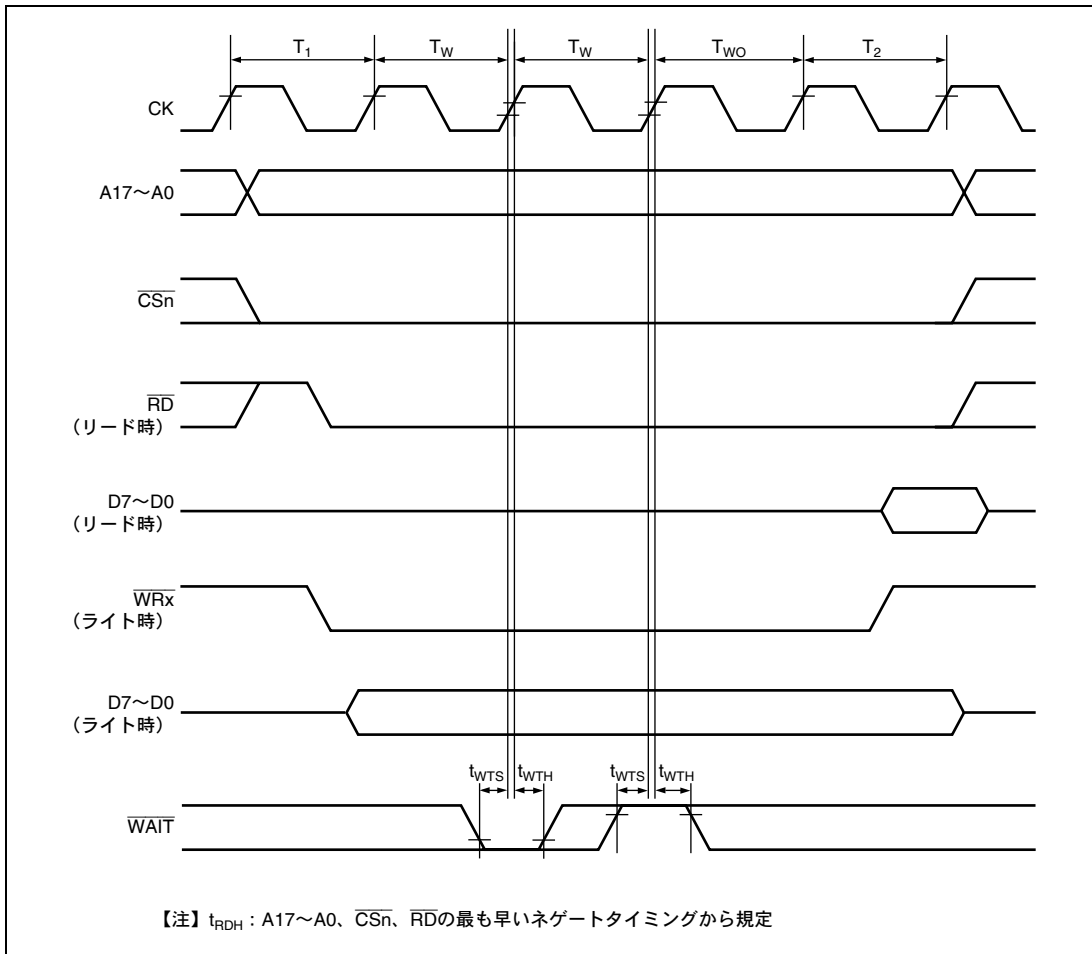


図 25.11 基本サイクル (ソフトウェアウェイト)

図 25.12 基本サイクル (2ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

25. 電気的特性

25.3.5 マルチファンクションタイマパルスユニットタイミング

表 25.7 にマルチファンクションタイマパルスユニットタイミングを示します。

表 25.7 マルチファンクションタイマパルスユニットタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t _{TOCD}	—	100	ns	図 25.13
インプットキャプチャ入力セットアップ時間	t _{TICS}	19	—	ns	
タイマ入力セットアップ時間	t _{TCKS}	35	—	ns	図 25.14
タイマクロックパルス幅（単エッジ指定）	t _{TCKWHL}	1.5	—	t _{psyc}	
タイマクロックパルス幅（両エッジ指定）	t _{TCKWHL}	2.5	—	t _{psyc}	
タイマクロックパルス幅（位相計数モード）	t _{TCKWHL}	2.5	—	t _{psyc}	

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

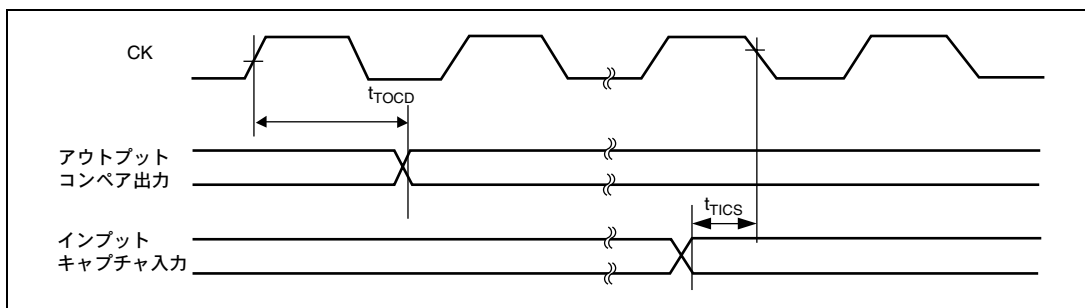


図 25.13 MTU 入出力タイミング

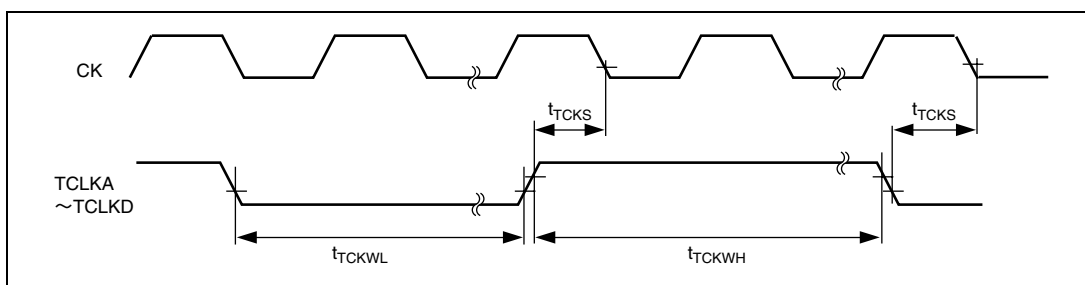


図 25.14 MTU クロック入力タイミング

25.3.6 I/O ポートタイミング

表 25.8 に I/O ポートタイミングを示します。

表 25.8 I/O ポートタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t _{PWD}	—	100	ns	図 25.15
ポート入力ホールド時間	t _{PRH}	19	—	ns	
ポート入力セットアップ時間	t _{PRS}	19	—	ns	

【使用上の注意】 ポート入力信号は非同期入力ですが、図 25.15 に示された 2 ステート間隔の CK クロック立ち下がりで変化が生じたものとして判定されます。図示のセットアップを守れない場合は、それから 2 ステート後のクロックの立ち下がりまで認識が遅れることがあります。

【注】 * 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

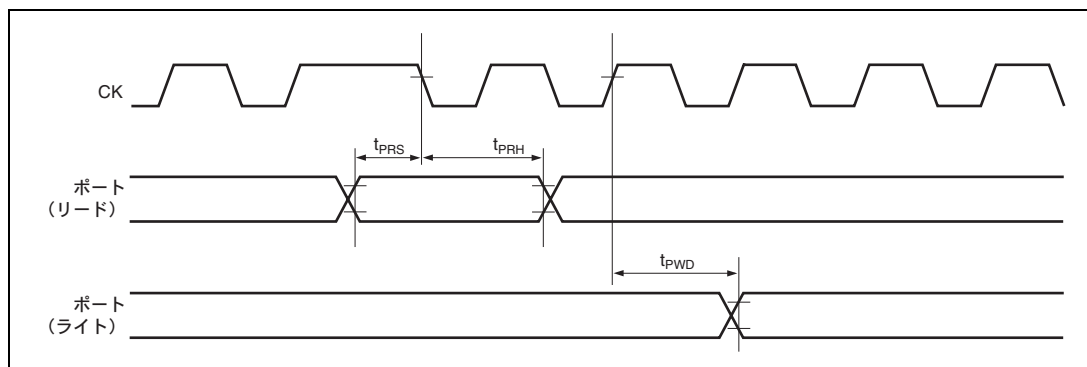


図 25.15 I/O ポート入出力タイミング

25. 電気的特性

25.3.7 ウォッチドッグタイマタイミング

表 25.9 にウォッチドッグタイマタイミングを示します。

表 25.9 ウォッチドッグタイマタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t _{WOVD}	—	100	ns	図 25.16

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

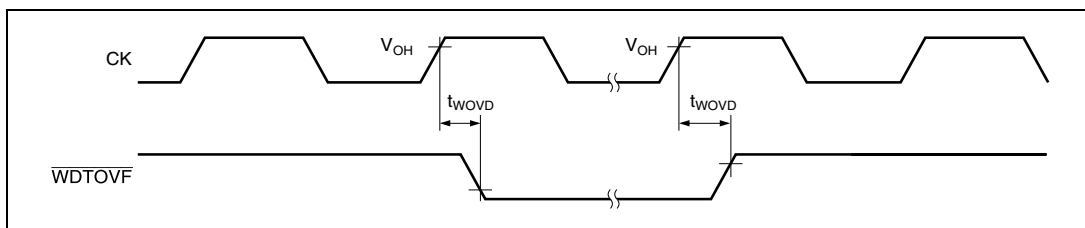


図 25.16 ウォッチドッグタイマタイミング

25.3.8 シリアルコミュニケーションインタフェースタイミング

表 25.10 にシリアルコミュニケーションインタフェースタイミングを示します。

表 25.10 シリアルコミュニケーションインタフェースタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
入力クロックサイクル	t _{scyc}	4	—	t _{psyc}	図 25.17
入力クロックサイクル（クロック同期）	t _{scyc}	6	—	t _{psyc}	
入力クロックパルス幅	t _{sckw}	0.4	0.6	t _{scyc}	
入力クロック立ち上がり時間	t _{sckr}	—	1.5	t _{psyc}	
入力クロック立ち下がり時間	t _{sckf}	—	1.5	t _{psyc}	
送信データ遅延時間	t _{TxD}	—	100	ns	図 25.18
受信データセットアップ時間	t _{RxS}	100	—	ns	
受信データホールド時間	t _{RxH}	100	—	ns	

【使用上の注意】 調歩同期モードでは非同期入出力ですが、図 25.18 に示すように、受信データは CK クロック立ち上がり（2 クロック間隔）で変化が生じたものとして判定され、送信信号は CK クロック立ち上がり（2 クロック間隔）基準に変化します。

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

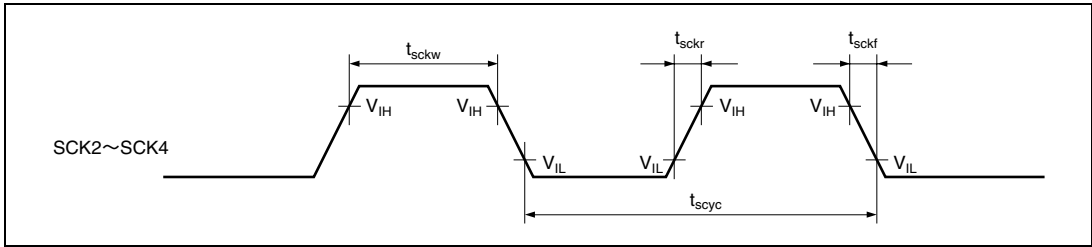


図 25.17 入力クロックタイミング

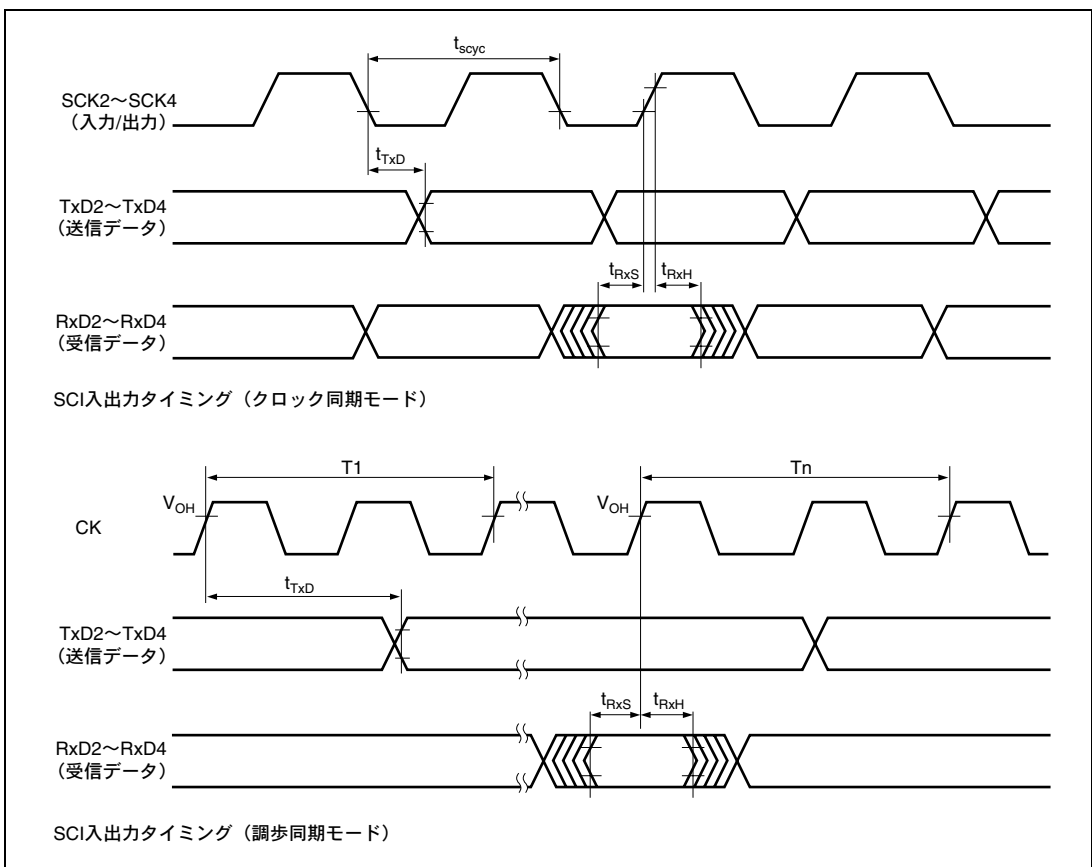


図 25.18 SCI 入出力カタイミング

25. 電気的特性

25.3.9 モータマネージメントタイマ (MMT) タイミング

表 25.11 モータマネージメントタイマ (MMT) タイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
MMT 出力遅延時間	t _{MTOD}	—	100	ns	図 25.19
PCI 入力セットアップ時間	t _{PCIS}	35	—	ns	
PCI 入力パルス時間	t _{PCIW}	1.5	—	t _{pcyc}	

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

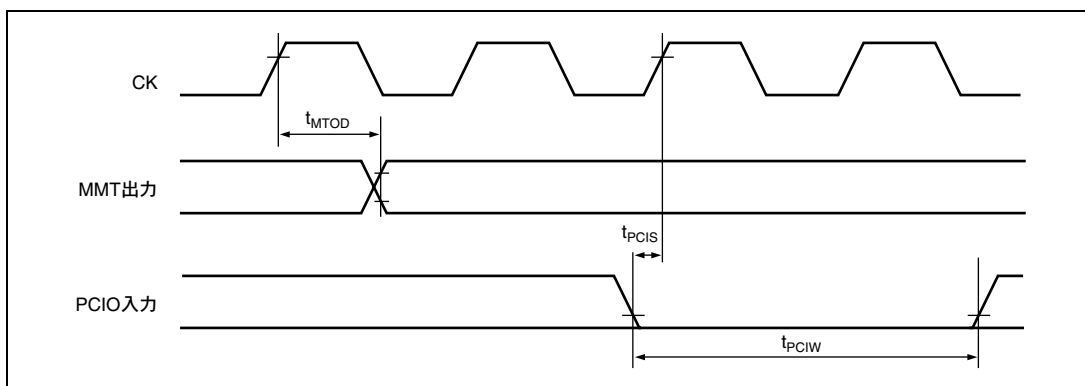


図 25.19 MMT 入出力タイミング

25.3.10 ポートアウトプットイネーブル (POE) タイミング

表 25.12 ポートアウトプットイネーブル (POE) タイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
POE 入力セットアップ時間	t _{POES}	100	—	ns	図 25.20
POE 入力パルス幅	t _{POEW}	1.5	—	t _{pcyc}	

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

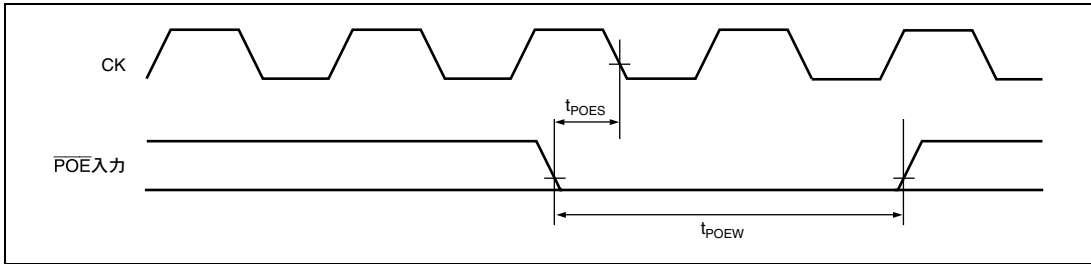


図 25.20 POE 入出力タイミング

25.3.11 HCAN2 タイミング

表 25.13 に HCAN2 タイミングを示します。

表 25.13 HCAN2 タイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	max	単位	参照図
送信データ遅延時間	t _{HTxD}	—	100	ns	図 25.21
受信データセットアップ時間	t _{HRxS}	100	—	ns	
受信データホールド時間	t _{HRxH}	100	—	ns	

【使用上の注意】 HCAN2 入力信号は非同期信号ですが、図 25.21 に示された CK クロック立ち上がり（2 クロック間隔）で変化が生じたものとして判定されます。HCAN2 出力信号は非同期信号ですが、図 25.21 に示された CK クロック立ち上がり（2 クロック間隔）基準に変化します。

【注】 * 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

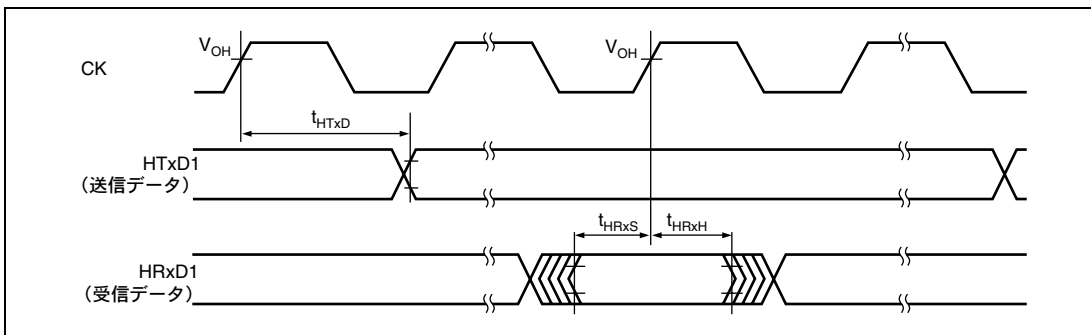


図 25.21 HCAN2 入出力タイミング

25. 電気的特性

25.3.12 A/D 変換器タイミング

表 25.14 に A/D 変換器タイミングを示します。

表 25.14 A/D 変換器タイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項目	記号	min	typ	max	単位	参照図
外部トリガ入力開始遅延時間	t _{TRGS}	50	—	—	ns	図 25.22

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

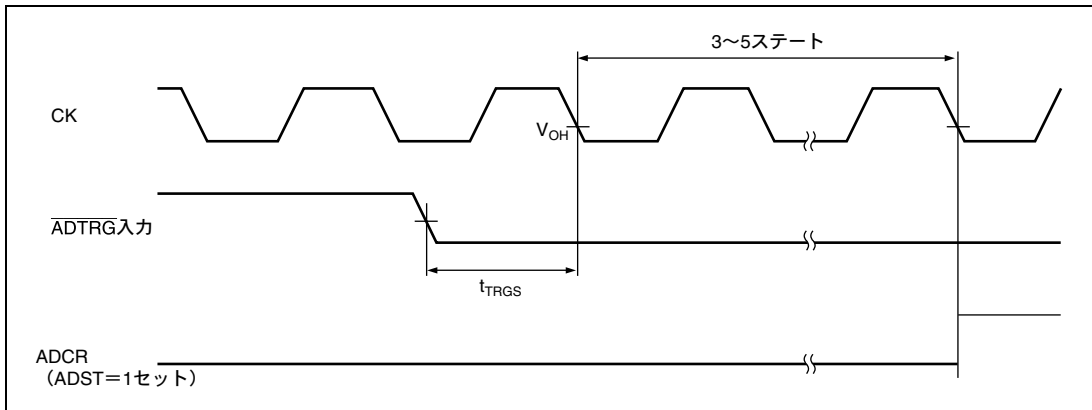


図 25.22 外部トリガ入力タイミング

25.3.13 H-UDI タイミング

表 25.15 に H-UDI タイミングを示します。

表 25.15 H-UDI タイミング

条件： $V_{CC}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、 $T_a=-20\sim+75^{\circ}C$ （標準品*1）、 $T_a=-40\sim+85^{\circ}C$ （広温度範囲品*1）

項目	記号	min	max	単位	参照図
TCK クロックサイクル	t_{CYC}	60*2	—	ns	図 25.23
TCK クロックハイレベル幅	t_{TCKH}	0.4	0.6	t_{CYC}	
TCK クロックローレベル幅	t_{TCKL}	0.4	0.6	t_{CYC}	
TRST パルス幅	t_{TRSW}	20	—	t_{CYC}	図 25.24
TRST セットアップ時間	t_{TRSS}	30	—	ns	
TMS セットアップ時間	t_{TMSS}	15	—	ns	図 25.25
TMS ホールド時間	t_{TMSH}	10	—	ns	
TDI セットアップ時間	t_{TDIS}	15	—	ns	
TDI ホールド時間	t_{TDIH}	10	—	ns	
TDO 遅延時間	t_{TDOD}	—	30	ns	

【注】 *1 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

*2 ただし、2 t_{CYC} を下回らないこと。

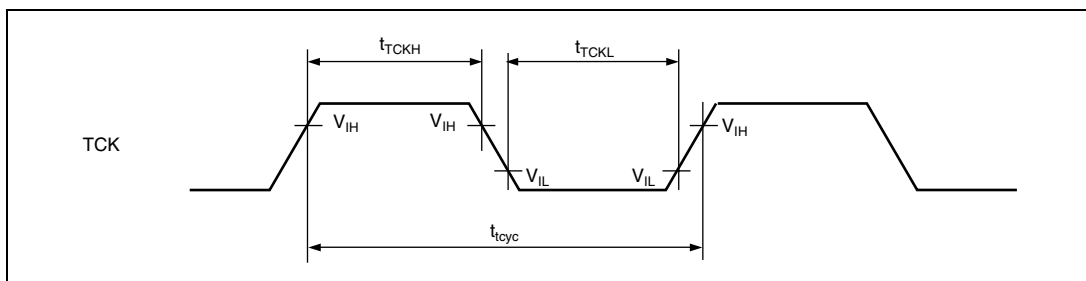


図 25.23 H-UDI クロックタイミング

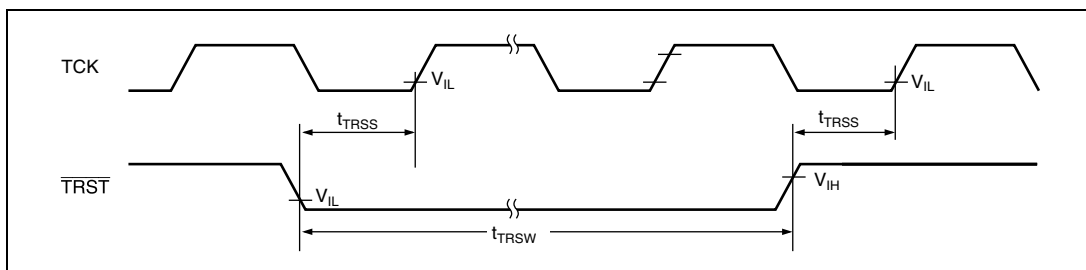


図 25.24 H-UDI TRST タイミング

25. 電気的特性

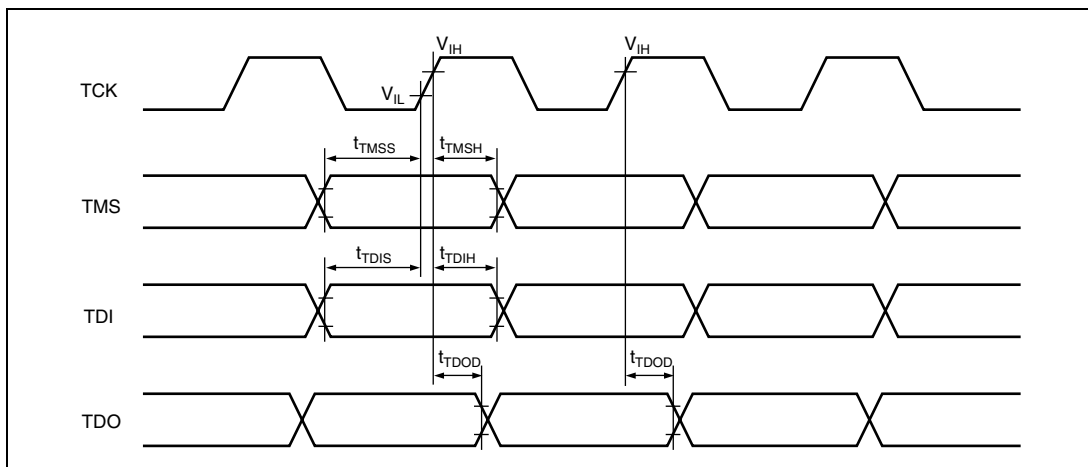


図 25.25 H-UDI 入出タイミング

25.3.14 AUD タイミング

表 25.16 に AUD タイミングを示します。

表 25.16 AUD タイミング

条件：V_{cc}=5.0V±0.5V、AV_{cc}=5.0V±0.5V、V_{ss}=PLL_{Vss}=AV_{ss}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲品*）

項 目	記号	min	max	単位	参照図
AUDRST パルス幅（ブランチトレース時）	tAUDRSTW	20	—	t _{cyc}	図 25.26
AUDRST パルス幅（RAM モニタ時）	tAUDRSTW	5	—	t _{RM CYC}	
AUDMD セットアップ時間（ブランチトレース時）	tAUDMDS	20	—	t _{cyc}	
AUDMD セットアップ時間（RAM モニタ時）	tAUDMDS	5	—	t _{RM CYC}	
ブランチトレースクロックサイクル	tBTCYC	2	2	t _{cyc}	図 25.27
ブランチトレースクロックデューティ	tBTCKW	40	60	%	
ブランチトレースデータ遅延時間	tBTDD	—	30	ns	
ブランチトレースデータホールド時間	tBTDH	0	—	ns	
ブランチトレース SYNC 遅延時間	tBTSD	—	30	ns	
ブランチトレース SYNC ホールド時間	tBTSH	0	—	ns	
RAM モニタクロックサイクル	tRM CYC	80	—	ns	図 25.28
RAM モニタクロック low パルス幅	tRMCKW	35	—	ns	
RAM モニタ出力データ遅延時間	tRMDD	7	t _{RM CYC} -20	ns	
RAM モニタ出力データホールド時間	tRMDHD	5	—	ns	
RAM モニタ入力データセットアップ時間	tRMDS	30	—	ns	
RAM モニタ入力データホールド時間	tRMDH	5	—	ns	
RAM モニタ SYNC セットアップ時間	tRMSS	20	—	ns	
RAM モニタ SYNC ホールド時間	tRM SH	5	—	ns	

負荷条件：AUDCK（出力時）：CL=30pF

AUDSYNC：CL=100pF

AUDATA3~0：CL=100pF

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

25. 電気的特性

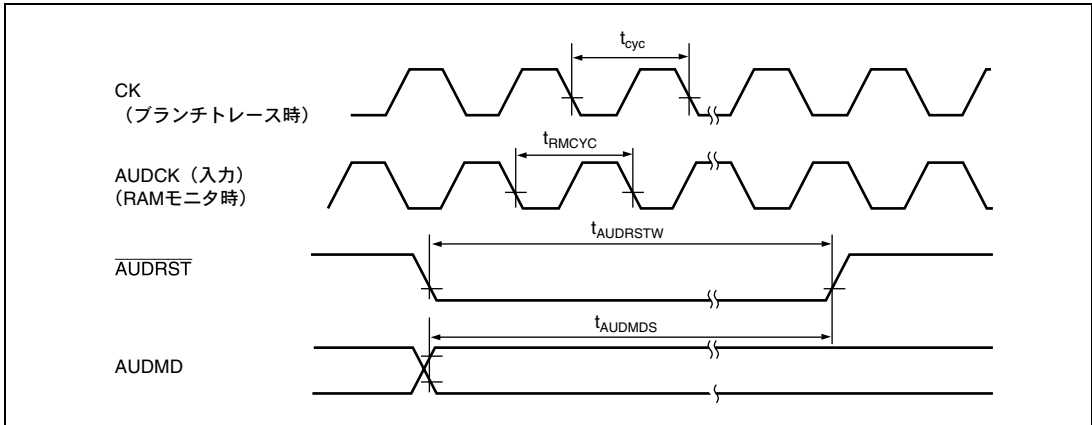


図 25.26 AUD リセットタイミング

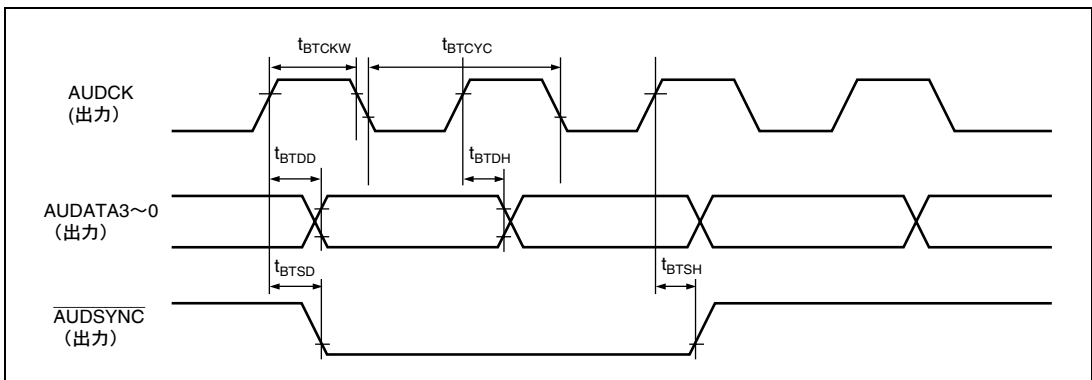


図 25.27 ブランチトレース時タイミング

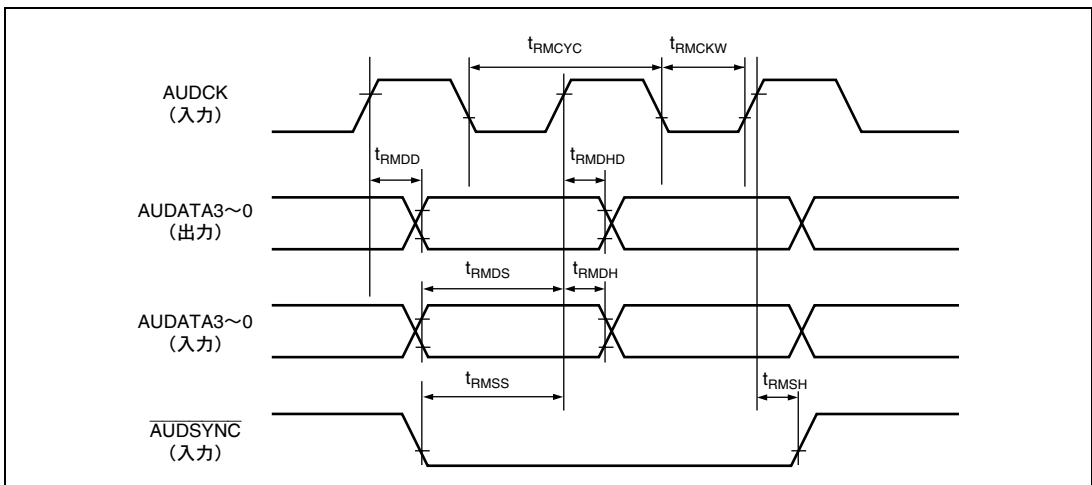


図 25.28 RAM モニタ時タイミング

25.3.15 UBC トリガタイミング

表 25.17 に UBC トリガタイミングを示します。

表 25.17 UBC トリガタイミング

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*）、
Ta=-40~+85°C（広温度範囲仕様品*）

項目	記号	min	max	単位	参照図
UBCTRG 遅延時間	t _{UBCTGD}	—	35	ns	図 25.29

【注】* 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

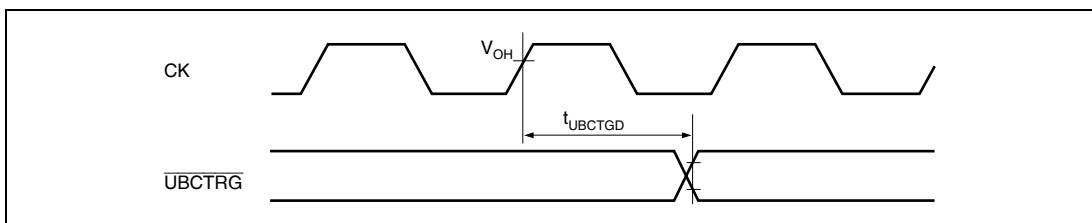


図 25.29 UBC トリガタイミング

25.4 A/D 変換器特性

表 25.18 に A/D 変換器特性を示します。

表 25.18 A/D 変換器特性

条件：V_{CC}=5.0V±0.5V、AV_{CC}=5.0V±0.5V、V_{SS}=PLL_{VSS}=AV_{SS}=0V、Ta=-20~+75°C（標準品*³）、
Ta=-40~+85°C（広温度範囲品*³）

項目	min	typ	max	単位
分解能	10	10	10	ビット
A/D 変換時間	—	—	6.7* ¹ /5.4* ²	μs
アナログ入力容量	—	—	20	pF
許容アナログ信号源インピーダンス	—	—	3* ¹ /1* ²	kΩ
非直線性誤差（参考値）	—	—	±3.0* ¹ /±5.0* ²	LSB
オフセット誤差（参考値）	—	—	±3.0* ¹ /±5.0* ²	LSB
フルスケール誤差（参考値）	—	—	±3.0* ¹ /±5.0* ²	LSB
量子化誤差	—	—	±0.5	LSB
絶対誤差	—	—	±4.0* ¹ /±6.0* ²	LSB

【注】 *¹ (CKS1, 0) = (1, 1)、tp_{cy}=50ns 時の値です。

*² (CKS1, 0) = (1, 1)、tp_{cy}=40ns 時の値です。

*³ 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。

25.5 フラッシュメモリ特性

表 25.19 にフラッシュメモリ特性を示します。

表 25.19 フラッシュメモリ特性

条件：V_{cc}=5.0V±0.5V、AV_{cc}=5.0V±0.5V、V_{ss}=PLL_{ss}=AV_{ss}=0V、Ta=-20~+75°C（標準品*⁶）、
Ta=-40~+85°C（広温度範囲品*⁶）

項 目		記号	min	typ	max	単位	特記
書き込み時間* ¹ * ² * ⁴		t _p	—	10	200	ms/128 バイト	
消去時間* ¹ * ³ * ⁵		t _E	—	100	1200	ms/ブロック	
書き換え回数		N _{WEC}	100* ⁷	10000* ⁸	—	回	標準品
		N _{WEC}	—	—	100	回	広温度範囲品
データ保持時間		t _{DRP}	10* ⁹	—	—	年	
書き込み時	SWE ビットセット後のウェイト時間* ¹	t _{sswe}	1	1	—	μs	
	PSU ビットセット後のウェイト時間* ¹	t _{spsu}	50	50	—	μs	
	P ビットセット後のウェイト時間* ¹ * ⁴	t _{sp30}	28	30	32	μs	書き込み時間 ウェイト
		t _{sp200}	198	200	202	μs	書き込み時間 ウェイト
		t _{sp10}	8	10	12	μs	追加書き込み 時間ウェイト
	P ビットクリア後のウェイト時間* ¹	t _{cp}	5	5	—	μs	
	PSU ビットクリア後のウェイト時間* ¹	t _{cpsu}	5	5	—	μs	
	PV ビットセット後のウェイト時間* ¹	t _{spv}	4	4	—	μs	
	H'FF ダミーライト後のウェイト時間* ¹	t _{spvr}	2	2	—	μs	
	PV ビットクリア後のウェイト時間* ¹	t _{cpv}	2	2	—	μs	
	SWE ビットクリア後のウェイト時間* ¹	t _{cswe}	100	100	—	μs	
	最大書き込み回数* ¹ * ⁴	N	—	—	1000	回	
消去時	SWE ビットセット後のウェイト時間* ¹	t _{sswe}	1	1	—	μs	
	ESU ビットセット後のウェイト時間* ¹	t _{sesu}	100	100	—	μs	
	E ビットセット後のウェイト時間* ¹ * ⁵	t _{se}	10	10	100	ms	消去時間 ウェイト
	E ビットクリア後のウェイト時間* ¹	t _{ce}	10	10	—	μs	
	ESU ビットクリア後のウェイト時間* ¹	t _{cesu}	10	10	—	μs	
	EV ビットセット後のウェイト時間* ¹	t _{sev}	20	20	—	μs	
	H'FF ダミーライト後のウェイト時間* ¹	t _{sevr}	2	2	—	μs	
	EV ビットクリア後のウェイト時間* ¹	t _{cev}	4	4	—	μs	
	SWE ビットクリア後のウェイト時間* ¹	t _{cswe}	100	100	—	μs	
最大消去回数* ¹ * ⁵	N	12	—	120	回		

- 【注】
- *1 各時間の設定は、書き込み/消去のアルゴリズムに従い行ってください。
 - *2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
 - *3 1 ブロックを消去する時間（FLMCR1 の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
 - *4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値 ($t_p(\max)$) を規定するために、最大書き込み回数 (N) の値は max 値 (1000) を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ (n) の回数によって切り替えてください。
書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp30} = 30 \mu s$
書き込み回数カウンタ (n) 7~1000 回の場合 $t_{sp200} = 200 \mu s$
〔追加書き込み時〕
書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp10} = 10 \mu s$
 - *5 消去時間の最大値 ($t_e(\max)$) に対して、E ビットセット後のウェイト時間 (t_{90}) と最大消去回数 (N) は以下の関係にあります。
 $t_e(\max) = E$ ビットセット後のウェイト時間 (t_{90}) \times 最大消去回数 (N)
消去時間の最大値を規定するために、(t_{90}) および (N) の値は上記計算式を満たすように設定してください。
(例) $t_{90} = 100ms$ の場合、N=12 回
(例) $t_{90} = 10ms$ の場合、N=120 回
 - *6 標準品、広温度範囲品と製品型名との対応については、「1. 概要」の P1-2 を参照してください。
 - *7 書き換え後のすべての特性を保証する min 回数です（保証は 1~min 値の範囲です）。
 - *8 25°C のときの参考値（通常この値まで書き換えは機能するという目安です）。
 - *9 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

付録

A. 内蔵 I/O レジスタ

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

ただし、B:8 ビットアクセス時、W:16 ビットアクセス時、L:32 ビットアクセス時の値です。

A.1 レジスタアドレス一覧（アドレス順）

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
—	—	—	H'FFF8000~ H'FFF81BF	—	—	—
シリアルモードレジスタ_2	SMR_2	8	H'FFF81C0	SCI (チャンネル 2)	8、16	Pφ基準 B:2 W:4
ビットレートレジスタ_2	BRR_2	8	H'FFF81C1		8	
シリアルコントロールレジスタ_2	SCR_2	8	H'FFF81C2		8、16	
トランスミットデータレジスタ_2	TDR_2	8	H'FFF81C3		8	
シリアルステータスレジスタ_2	SSR_2	8	H'FFF81C4		8、16	
レシーブデータレジスタ_2	RDR_2	8	H'FFF81C5		8	
シリアルディレクションコントロールレジスタ_2	SDCR_2	8	H'FFF81C6		8	
—	—	—	H'FFF81C7~ H'FFF81CF	—	—	—
シリアルモードレジスタ_3	SMR_3	8	H'FFF81D0	SCI (チャンネル 3)	8、16	
ビットレートレジスタ_3	BRR_3	8	H'FFF81D1		8	
シリアルコントロールレジスタ_3	SCR_3	8	H'FFF81D2		8、16	
トランスミットデータレジスタ_3	TDR_3	8	H'FFF81D3		8	
シリアルステータスレジスタ_3	SSR_3	8	H'FFF81D4		8、16	
レシーブデータレジスタ_3	RDR_3	8	H'FFF81D5		8	
シリアルディレクションコントロールレジスタ_3	SDCR_3	8	H'FFF81D6		8	
—	—	—	H'FFF81D7~ H'FFF81DF	—	—	—
シリアルモードレジスタ_4	SMR_4	8	H'FFF81E0	SCI (チャンネル 4)	8、16	
ビットレートレジスタ_4	BRR_4	8	H'FFF81E1		8	
シリアルコントロールレジスタ_4	SCR_4	8	H'FFF81E2		8、16	
トランスミットデータレジスタ_4	TDR_4	8	H'FFF81E3		8	
シリアルステータスレジスタ_4	SSR_4	8	H'FFF81E4		8、16	
レシーブデータレジスタ_4	RDR_4	8	H'FFF81E5		8	
シリアルディレクションコントロールレジスタ_4	SDCR_4	8	H'FFF81E6		8	
—	—	—	H'FFF81E7~ H'FFF81EF	—	—	—

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
—	—	—	H'FFFF81F0~ H'FFFF81FF	—	—	—
タイマコントロールレジスタ_3	TCR_3	8	H'FFFF8200	MTU (チャネル3,4)	8, 16, 32	Pφ基準 B:2 W:2 L:4
タイマコントロールレジスタ_4	TCR_4	8	H'FFFF8201		8	
タイマモードレジスタ_3	TMDR_3	8	H'FFFF8202		8, 16	
タイマモードレジスタ_4	TMDR_4	8	H'FFFF8203		8	
タイマI/Oコントロールレジスタ H_3	TIORH_3	8	H'FFFF8204		8, 16, 32	
タイマI/Oコントロールレジスタ L_3	TIORL_3	8	H'FFFF8205		8	
タイマI/Oコントロールレジスタ H_4	TIORH_4	8	H'FFFF8206		8, 16	
タイマI/Oコントロールレジスタ L_4	TIORL_4	8	H'FFFF8207		8	
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFF8208		8, 16, 32	
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFF8209		8	
タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFF820A		8, 16	
タイマアウトプットコントロールレジスタ	TOCR	8	H'FFFF820B		8	
—	—	—	H'FFFF820C			
タイマゲートコントロールレジスタ	TGCR	8	H'FFFF820D		8	
—	—	—	H'FFFF820E			
—	—	—	H'FFFF820F			
タイマカウンタ_3	TCNT_3	16	H'FFFF8210		16, 32	
タイマカウンタ_4	TCNT_4	16	H'FFFF8212		16	
タイマ周期データレジスタ	TCDR	16	H'FFFF8214		16, 32	
タイマデッドタイムデータレジスタ	TDDR	16	H'FFFF8216		16	
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFF8218	16, 32		
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFF821A	16		
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFF821C	16, 32		
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFF821E	16		
タイマサブカウンタ	TCNTS	16	H'FFFF8220	16, 32		
タイマ周期バッファレジスタ	TCBR	16	H'FFFF8222	16		
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFF8224	16, 32		
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFF8226	16		
タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFF8228	16, 32		
タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFF822A	16		
タイマステータスレジスタ_3	TSR_3	8	H'FFFF822C	8, 16		
タイマステータスレジスタ_4	TSR_4	8	H'FFFF822D	8		
—	—	—	H'FFFF822E~ H'FFFF823F			

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数	
タイマスタートレジスタ	TSTR	8	H'FFFF8240	MTU (共通)	8, 16	Pφ基準	
タイマシンクロレジスタ	TSYR	8	H'FFFF8241		8	B:2	
—	—	—	H'FFFF8242~ H'FFFF825F			W:2	
タイマコントロールレジスタ_0	TCR_0	8	H'FFFF8260	MTU (チャンネル 0)	8, 16, 32	Pφ基準	
タイマモードレジスタ_0	TMDR_0	8	H'FFFF8261		8		B:2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFF8262		8, 16		W:2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFF8263		8		L:4
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFF8264		8, 16, 32		
タイマステータスレジスタ_0	TSR_0	8	H'FFFF8265		8		
タイマカウンタ_0	TCNT_0	16	H'FFFF8266		16		
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFF8268		16, 32		
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFF826A		16		
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFF826C		16, 32		
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFF826E		16		
—	—	—	H'FFFF8270~ H'FFFF827F	—			
タイマコントロールレジスタ_1	TCR_1	8	H'FFFF8280	MTU (チャンネル 1)	8, 16		
タイマモードレジスタ_1	TMDR_1	8	H'FFFF8281		8		
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFF8282		8		
—	—	—	H'FFFF8283		—		
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFF8284		8, 16, 32		
タイマステータスレジスタ_1	TSR_1	8	H'FFFF8285		8		
タイマカウンタ_1	TCNT_1	16	H'FFFF8286		16		
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFF8288		16, 32		
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFF828A		16		
—	—	—	H'FFFF828C~ H'FFFF829F		—		
タイマコントロールレジスタ_2	TCR_2	8	H'FFFF82A0		MTU (チャンネル 2)		8, 16
タイマモードレジスタ_2	TMDR_2	8	H'FFFF82A1	8			
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFF82A2	8			
—	—	—	H'FFFF82A3	—			
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFF82A4	8, 16, 32			
タイマステータスレジスタ_2	TSR_2	8	H'FFFF82A5	8			
タイマカウンタ_2	TCNT_2	16	H'FFFF82A6	16			
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFF82A8	16, 32			
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFF82AA	16			

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
—	—	—	H'FFFF82AC~ H'FFFF833F		—	
—	—	—	H'FFFF8340~ H'FFFF8347	INTC	—	φ基準 B:2 W:2 L:4
インタラプトプライオリティレジスタ A	IPRA	16	H'FFFF8348		8, 16	
—	—	—	H'FFFF834A~ H'FFFF834D		—	
インタラプトプライオリティレジスタ D	IPRD	16	H'FFFF834E		8, 16	
インタラプトプライオリティレジスタ E	IPRE	16	H'FFFF8350		8, 16, 32	
インタラプトプライオリティレジスタ F	IPRF	16	H'FFFF8352		8, 16	
インタラプトプライオリティレジスタ G	IPRG	16	H'FFFF8354		8, 16, 32	
インタラプトプライオリティレジスタ H	IPRH	16	H'FFFF8356		8, 16	
割り込みコントロールレジスタ 1	ICR1	16	H'FFFF8358		8, 16, 32	
IRQ ステータスレジスタ	ISR	16	H'FFFF835A		8, 16	
インタラプトプライオリティレジスタ I	IPRI	16	H'FFFF835C		8, 16, 32	
—	—	—	H'FFFF835E		—	
インタラプトプライオリティレジスタ K	IPRK	16	H'FFFF8360		8, 16, 32	
—	—	—	H'FFFF8362~ H'FFFF8365		—	
割り込みコントロールレジスタ 2	ICR2	8	H'FFFF8366		8, 16	
—	—	—	H'FFFF8368~ H'FFFF837F	—		
—	—	—	H'FFFF8380~ H'FFFF8381	—	—	
ポート A・データレジスタ L	PADRL	16	H'FFFF8382	I/O	8, 16	φ基準 B:2 W:2 L:4
—	—	—	H'FFFF8384~ H'FFFF8385	—	—	
ポート A・IO レジスタ L	PAIORL	16	H'FFFF8386	PFC	8, 16	
—	—	—	H'FFFF8388~ H'FFFF8389	—	—	
ポート A コントロールレジスタ L3	PACRL3	16	H'FFFF838A	PFC	8, 16	
ポート A コントロールレジスタ L1	PACRL1	16	H'FFFF838C		8, 16, 32	
ポート A コントロールレジスタ L2	PACRL2	16	H'FFFF838E		8, 16	
ポート B・データレジスタ	PBDR	16	H'FFFF8390	I/O	8, 16	
—	—	—	H'FFFF8392~ H'FFFF8393	—	—	
ポート B・IO レジスタ	PBIOR	16	H'FFFF8394	PFC	8, 16, 32	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
—	—	—	H'FFF8396~ H'FFF8397	—	—	φ基準 B:2 W:2 L:4
ポート B コントロールレジスタ 1	PBCR1	16	H'FFF8398	PFC	8, 16, 32	
ポート B コントロールレジスタ 2	PBCR2	16	H'FFF839A		8, 16	
—	—	—	H'FFF839C~ H'FFF83A1	—	—	
ポート D・データレジスタ L	PDDR1	16	H'FFF83A2	I/O	8, 16	
—	—	—	H'FFF83A4~ H'FFF83A5	—	—	
ポート D・IO レジスタ L	PDIORL	16	H'FFF83A6	PFC	8, 16	
—	—	—	H'FFF83A8~ H'FFF83AB	—	—	
ポート D コントロールレジスタ L1	PDCRL1	16	H'FFF83AC	PFC	8, 16, 32	
ポート D コントロールレジスタ L2	PDCRL2	16	H'FFF83AE		8, 16	
ポート E・データレジスタ L	PEDRL	16	H'FFF83B0	I/O	8, 16, 32	
ポート F・データレジスタ	PFDR	16	H'FFF83B2		8, 16	
ポート E・IO レジスタ L	PEIORL	16	H'FFF83B4	PFC	8, 16, 32	
ポート E・IO レジスタ H	PEIORH	16	H'FFF83B6		8, 16	
ポート E コントロールレジスタ L1	PECRL1	16	H'FFF83B8		8, 16, 32	
ポート E コントロールレジスタ L2	PECRL2	16	H'FFF83BA		8, 16	
ポート E コントロールレジスタ H	PECRH	16	H'FFF83BC	8, 16, 32		
ポート E・データレジスタ H	PEDRH	16	H'FFF83BE	I/O	8, 16	
入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	H'FFF83C0	MTU	8, 16, 32	
出力レベルコントロール/ステータスレジスタ	OCSR	16	H'FFF83C2		8, 16	
入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	H'FFF83C4	MMT	8, 16	
—	—	—	H'FFF83C6~ H'FFF83CF	—	—	
コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFF83D0	CMT	8, 16, 32	Pφ基準 B:2 W:2 L:4
コンペアマッチタイマコントロール /ステータスレジスタ_0	CMCSR_0	16	H'FFF83D2		8, 16	

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
コンペアマッチタイマカウンタ_0	CMCNT_0	16	H'FFFF83D4	CMT	8、16、32	Pφ基準 B:2 W:2 L:4
コンペアマッチタイマコンスタントレジスタ_0	CMCOR_0	16	H'FFFF83D6		8、16	
コンペアマッチタイマコントロール /ステータスレジスタ_1	CMCSR_1	16	H'FFFF83D8		8、16、32	
コンペアマッチタイマカウンタ_1	CMCNT_1	16	H'FFFF83DA		8、16	
コンペアマッチタイマコンスタントレジスタ_1	CMCOR_1	16	H'FFFF83DC		8、16	
—	—	—	H'FFFF83DE		—	
—	—	—	H'FFFF83E0~ H'FFFF841F	—	—	—
A/D データレジスタ 0	ADDR0	16	H'FFFF8420	A/D (チャンネル 0)	8、16	Pφ基準 B:3 W:6
A/D データレジスタ 1	ADDR1	16	H'FFFF8422		8、16	
A/D データレジスタ 2	ADDR2	16	H'FFFF8424		8、16	
A/D データレジスタ 3	ADDR3	16	H'FFFF8426		8、16	
A/D データレジスタ 4	ADDR4	16	H'FFFF8428	A/D (チャンネル 1)	8、16	
A/D データレジスタ 5	ADDR5	16	H'FFFF842A		8、16	
A/D データレジスタ 6	ADDR6	16	H'FFFF842C		8、16	
A/D データレジスタ 7	ADDR7	16	H'FFFF842E		8、16	
A/D データレジスタ 8	ADDR8	16	H'FFFF8430	A/D (チャンネル 0)	8、16	
A/D データレジスタ 9	ADDR9	16	H'FFFF8432		8、16	
A/D データレジスタ 10	ADDR10	16	H'FFFF8434		8、16	
A/D データレジスタ 11	ADDR11	16	H'FFFF8436		8、16	
A/D データレジスタ 12	ADDR12	16	H'FFFF8438	A/D (チャンネル 1)	8、16	
A/D データレジスタ 13	ADDR13	16	H'FFFF843A		8、16	
A/D データレジスタ 14	ADDR14	16	H'FFFF843C		8、16	
A/D データレジスタ 15	ADDR15	16	H'FFFF843E		8、16	
—	—	—	H'FFFF8440~ H'FFFF847F	—	—	—
A/D コントロール/ステータスレジスタ_0	ADCSR_0	8	H'FFFF8480	A/D	8、16	
A/D コントロール/ステータスレジスタ_1	ADCSR_1	8	H'FFFF8481		8	
—	—	—	H'FFFF8482~ H'FFFF8487		—	
A/D コントロールレジスタ_0	ADCR_0	8	H'FFFF8488	—	8、16	—
A/D コントロールレジスタ_1	ADCR_1	8	H'FFFF8489	—	8	—

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
—	—	—	H'FFFF848A~ H'FFFF857F		—	
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFFF8580	FLASH (F-ZTAT 版のみ)	8、16	φ基準 B:3 W:6
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFFF8581		8	
消去ブロック指定レジスタ 1	EBR1	8	H'FFFF8582		8、16	
消去ブロック指定レジスタ 2	EBR2	8	H'FFFF8583		8	
—	—	—	H'FFFF8584~ H'FFFF85FF		—	
ユーザブ레이크アドレスレジスタ H	UBARH	16	H'FFFF8600	UBC	8、16、32	φ基準 B:3 W:3 L:6
ユーザブ레이크アドレスレジスタ L	UBARL	16	H'FFFF8602		8、16	
ユーザブ레이크アドレスマスクレジスタ H	UBAMRH	16	H'FFFF8604		8、16、32	
ユーザブ레이크アドレスマスクレジスタ L	UBAMRL	16	H'FFFF8606		8、16	
ユーザブ레이크バスサイクルレジスタ	UBBR	16	H'FFFF8608		8、16、32	
ユーザブ레이크コントロールレジスタ	UBCR	16	H'FFFF860A		8、16	
—	—	—	H'FFFF860C~ H'FFFF860F			
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFF8610	WDT *1:WRITE 時 *2:READ 時	8*2/16*1	φ基準 B:3 W:3
タイマカウンタ	TCNT*1	8	H'FFFF8610		16	
タイマカウンタ	TCNT*2	8	H'FFFF8611		8	
リセットコントロール/ステータスレジスタ	RSTCSR*1	8	H'FFFF8612		16	
リセットコントロール/ステータスレジスタ	RSTCSR*2	8	H'FFFF8613		8	
スタンバイコントロールレジスタ	SBYCR	8	H'FFFF8614	低消費電力状態	8	φ基準 B:3
—	—	—	H'FFFF8615~ H'FFFF8617	—	—	—
システムコントロールレジスタ	SYSCR	8	H'FFFF8618	低消費電力状態	8	Pφ基準 B:3 W:3 L:6
—	—	—	H'FFFF8619~ H'FFFF861B		—	
モジュールスタンバイコントロールレジスタ 1	MSTCR1	16	H'FFFF861C		8、16、32	
モジュールスタンバイコントロールレジスタ 2	MSTCR2	16	H'FFFF861E		8、16	
バスコントロールレジスタ 1	BCR1	16	H'FFFF8620	BSC	8、16、32	φ基準 B:3 W:3 L:6
バスコントロールレジスタ 2	BCR2	16	H'FFFF8622		8、16	
ウェイトコントロールレジスタ 1	WCR1	16	H'FFFF8624		8、16	
—	—	—	H'FFFF8626		—	
RAM エミュレーションレジスタ	RAMER	16	H'FFFF8628	FLASH	8、16	φ基準 B:3 W:3

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
	—	—	H'FFFF862A~ H'FFFF864F	—	—	—
	—	—	H'FFFF8650~ H'FFFF86FF	—	—	—
DTC イネーブルレジスタ A	DTEA	8	H'FFFF8700	DTC	8、16、32	φ基準 B:3 W:3 L:6
DTC イネーブルレジスタ B	DTEB	8	H'FFFF8701		8	
DTC イネーブルレジスタ C	DTEC	8	H'FFFF8702		8、16	
DTC イネーブルレジスタ D	DTED	8	H'FFFF8703		8	
	—	—	H'FFFF8704~ H'FFFF8705		—	
DTC コントロール/ステータスレジスタ	DTC SR	16	H'FFFF8706		8、16	
DTC 情報ベースレジスタ	DTBR	16	H'FFFF8708		8、16	
	—	—	H'FFFF870A~ H'FFFF870F		—	
DTC イネーブルレジスタ E	DTEE	8	H'FFFF8710		8、16	
DTC イネーブルレジスタ F	DTEF	8	H'FFFF8711		8	
	—	—	H'FFFF8712~ H'FFFF87F3	—		
AD トリガセレクトレジスタ	ADTSR	8	H'FFFF87F4	A/D	8	Pφ基準 B:3
	—	—	H'FFFF87F5~ H'FFFF89FF		—	
タイマモードレジスタ	MMT_ TMDR	8	H'FFFF8A00	MMT	8	Pφ基準 B:2 W:2 L:4
	—	—	H'FFFF8A01		—	
タイマコントロールレジスタ	TCNR	8	H'FFFF8A02		8	
	—	—	H'FFFF8A03		—	
タイマステータスレジスタ	MMT_ TSR	8	H'FFFF8A04		8	
	—	—	H'FFFF8A05		—	
タイマカウンタ	MMT_ TCNT	16	H'FFFF8A06		16	
タイマピリオドデータレジスタ	TPDR	16	H'FFFF8A08		16、32	
タイマピリオドバッファレジスタ	TPBR	16	H'FFFF8A0A		16	
タイマデッドタイムデータレジスタ	MMT_ TDDR	16	H'FFFF8A0C		16	
	—	—	H'FFFF8A0E~ H'FFFF8A0F		—	
タイマバッファレジスタ U_B	TBRU_B	16	H'FFFF8A10		16、32	
タイマジェネラルレジスタ UU	TGRUU	16	H'FFFF8A12		16	
タイマジェネラルレジスタ U	TGRU	16	H'FFFF8A14		16、32	
タイマジェネラルレジスタ UD	TGRUD	16	H'FFFF8A16		16	
タイマデッドタイムカウンタ 0	TDCNT0	16	H'FFFF8A18		16、32	

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
タイマデッドタイムカウンタ 1	TDCNT1	16	H'FFFF8A1A	MMT	16	Pφ基準 W:2 L:4
タイマバッファレジスタ U_F	TBRU_F	16	H'FFFF8A1C		16	
	—	—	H'FFFF8A1E~ H'FFFF8A1F		—	
タイマバッファレジスタ V_B	TBRV_B	16	H'FFFF8A20		16、32	
タイマジェネラルレジスタ VU	TGRVU	16	H'FFFF8A22		16	
タイマジェネラルレジスタ V	TGRV	16	H'FFFF8A24		16、32	
タイマジェネラルレジスタ VD	TGRVD	16	H'FFFF8A26		16	
タイマデッドタイムカウンタ 2	TDCNT2	16	H'FFFF8A28		16、32	
タイマデッドタイムカウンタ 3	TDCNT3	16	H'FFFF8A2A		16	
タイマバッファレジスタ V_F	TBRV_F	16	H'FFFF8A2C		16	
	—	—	H'FFFF8A2E~ H'FFFF8A2F		—	
タイマバッファレジスタ W_B	TBRW_B	16	H'FFFF8A30		16、32	
タイマジェネラルレジスタ WU	TGRWU	16	H'FFFF8A32		16	
タイマジェネラルレジスタ W	TGRW	16	H'FFFF8A34		16、32	
タイマジェネラルレジスタ WD	TGRWD	16	H'FFFF8A36		16	
タイマデッドタイムカウンタ 4	TDCNT4	16	H'FFFF8A38		16、32	
タイマデッドタイムカウンタ 5	TDCNT5	16	H'FFFF8A3A		16	
タイマバッファレジスタ W_F	TBRW_F	16	H'FFFF8A3C	16		
	—	—	H'FFFF8A3E~ H'FFFF8A4F	—		
インストラクションレジスタ	SDIR	16	H'FFFF8A50	H-UDI	8、16、32	Pφ基準 B:2 W:2 L:4
ステータスレジスタ	SDSR	16	H'FFFF8A52		8、16	
データレジスタ H	SDDRH	16	H'FFFF8A54		8、16、32	
データレジスタ L	SDDRL	16	H'FFFF8A56		8、16	
	—	—	H'FFFF8A58~ H'FFFF8FFF			
マスタコントロールレジスタ	MCR	16	H'FFFFB000	HCAN2	8、16	φ基準 B:8 W:8
ジェネラルステータスレジスタ	GSR	16	H'FFFFB002		8、16	
ビットタイミングコンフィグレーション レジスタ 1	HCAN2_ BCR1	16	H'FFFFB004		8、16	
ビットタイミングコンフィグレーション レジスタ 0	HCAN2_ BCR0	16	H'FFFFB006		8、16	
インタラプトレジスタ	IRR	16	H'FFFFB008		8、16	
インタラプトマスクレジスタ	IMR	16	H'FFFFB00A		8、16	
送信エラーカウントレジスタ	TEC	8	H'FFFFB00C		8、16	
受信エラーカウントレジスタ	REC	8	H'FFFFB00D		8	

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
送信待ちレジスタ 1	TXPR1	16	H'FFFFB020	HCAN2	8、16	φ基準
送信待ちレジスタ 0	TXPR0	16	H'FFFFB022		8、16	
送信待ち取り消しレジスタ 1	TXCR1	16	H'FFFFB028		8、16	W:8
送信待ち取り消しレジスタ 0	TXCR0	16	H'FFFFB02A		8、16	
送信アノレジスタ 1	TXACK1	16	H'FFFFB030		8、16	
送信アノレジスタ 0	TXACK0	16	H'FFFFB032		8、16	
取り消しアノレジスタ 1	ABACK1	16	H'FFFFB038		8、16	
取り消しアノレジスタ 0	ABACK0	16	H'FFFFB03A		8、16	
受信完了レジスタ 1	RXPR1	16	H'FFFFB040		8、16	
受信完了レジスタ 0	RXPR0	16	H'FFFFB042		8、16	
リモートリクエストレジスタ 1	RFPR1	16	H'FFFFB048		8、16	
リモートリクエストレジスタ 0	RFPR0	16	H'FFFFB04A		8、16	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	16	H'FFFFB050		8、16	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	16	H'FFFFB052		8、16	
—	—	—	H'FFFFB054~57		—	
未読メッセージステータスレジスタ 1	UMSR1	16	H'FFFFB058		8、16	
未読メッセージステータスレジスタ 2	UMSR0	16	H'FFFFB05A		8、16	
—	—	—	H'FFFFB05C~7F		—	
タイマカウンタレジスタ	TCNTR	16	H'FFFFB080		8、16	
タイマコントロールレジスタ	TCR	16	H'FFFFB082		8、16	
タイマステータスレジスタ	TSR	16	H'FFFFB084		8、16	
—	—	—	H'FFFFB086~87		—	
ローヤルオフセットレジスタ	LOSR	16	H'FFFFB088		8、16	
インプットキャプチャレジスタ 0	HCNA2_ICR0	16	H'FFFFB08C		8、16	
インプットキャプチャレジスタ 1	HCAN2_ICR1	16	H'FFFFB08E		8、16	
タイマコンペアマッチレジスタ 0	TCMR0	16	H'FFFFB090		8、16	
タイマコンペアマッチレジスタ 1	TCMR1	16	H'FFFFB092		8、16	
メールボックス 0[0]	MB0[0]	8	H'FFFFB100		8、16	
メールボックス 0[1]	MB0[1]	8	H'FFFFB101		8	
メールボックス 0[2]	MB0[2]	8	H'FFFFB102	8、16		
メールボックス 0[3]	MB0[3]	8	H'FFFFB103	8		
メールボックス 0[4]	MB0[4]	8	H'FFFFB104	8、16		
メールボックス 0[5]	MB0[5]	8	H'FFFFB105	8		
メールボックス 0[6]	MB0[6]	16	H'FFFFB106	8、16		
メールボックス 0[7]	MB0[7]	8	H'FFFFB108	8、16		
メールボックス 0[8]	MB0[8]	8	H'FFFFB109	8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 0[9]	MB0[9]	8	H'FFFFB10A	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 0[10]	MB0[10]	8	H'FFFFB10B		8	
メールボックス 0[11]	MB0[11]	8	H'FFFFB10C		8、16	
メールボックス 0[12]	MB0[12]	8	H'FFFFB10D		8	
メールボックス 0[13]	MB0[13]	8	H'FFFFB10E		8、16	
メールボックス 0[14]	MB0[14]	8	H'FFFFB10F		8	
メールボックス 0[15]	MB0[15]	8	H'FFFFB110		8、16	
メールボックス 0[16]	MB0[16]	8	H'FFFFB111		8	
メールボックス 0[17]	MB0[17]	8	H'FFFFB112		8、16	
メールボックス 0[18]	MB0[18]	8	H'FFFFB113		8	
メールボックス 1[0]	MB1[0]	8	H'FFFFB120		8、16	
メールボックス 1[1]	MB1[1]	8	H'FFFFB121		8	
メールボックス 1[2]	MB1[2]	8	H'FFFFB122		8、16	
メールボックス 1[3]	MB1[3]	8	H'FFFFB123		8	
メールボックス 1[4]	MB1[4]	8	H'FFFFB124		8、16	
メールボックス 1[5]	MB1[5]	8	H'FFFFB125		8	
メールボックス 1[6]	MB1[6]	16	H'FFFFB126		8、16	
メールボックス 1[7]	MB1[7]	8	H'FFFFB128		8、16	
メールボックス 1[8]	MB1[8]	8	H'FFFFB129		8	
メールボックス 1[9]	MB1[9]	8	H'FFFFB12A		8、16	
メールボックス 1[10]	MB1[10]	8	H'FFFFB12B		8	
メールボックス 1[11]	MB1[11]	8	H'FFFFB12C		8、16	
メールボックス 1[12]	MB1[12]	8	H'FFFFB12D		8	
メールボックス 1[13]	MB1[13]	8	H'FFFFB12E		8、16	
メールボックス 1[14]	MB1[14]	8	H'FFFFB12F		8	
メールボックス 1[15]	MB1[15]	8	H'FFFFB130		8、16	
メールボックス 1[16]	MB1[16]	8	H'FFFFB131		8	
メールボックス 1[17]	MB1[17]	8	H'FFFFB132		8、16	
メールボックス 1[18]	MB1[18]	8	H'FFFFB133		8	
メールボックス 2[0]	MB2[0]	8	H'FFFFB140		8、16	
メールボックス 2[1]	MB2[1]	8	H'FFFFB141		8	
メールボックス 2[2]	MB2[2]	8	H'FFFFB142		8、16	
メールボックス 2[3]	MB2[3]	8	H'FFFFB143	8		
メールボックス 2[4]	MB2[4]	8	H'FFFFB144	8、16		
メールボックス 2[5]	MB2[5]	8	H'FFFFB145	8		
メールボックス 2[6]	MB2[6]	16	H'FFFFB146	8、16		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 2[7]	MB2[7]	8	H'FFFFB148	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 2[8]	MB2[8]	8	H'FFFFB149		8	
メールボックス 2[9]	MB2[9]	8	H'FFFFB14A		8、16	
メールボックス 2[10]	MB2[10]	8	H'FFFFB14B		8	
メールボックス 2[11]	MB2[11]	8	H'FFFFB14C		8、16	
メールボックス 2[12]	MB2[12]	8	H'FFFFB14D		8	
メールボックス 2[13]	MB2[13]	8	H'FFFFB14E		8、16	
メールボックス 2[14]	MB2[14]	8	H'FFFFB14F		8	
メールボックス 2[15]	MB2[15]	8	H'FFFFB150		8、16	
メールボックス 2[16]	MB2[16]	8	H'FFFFB151		8	
メールボックス 2[17]	MB2[17]	8	H'FFFFB152		8、16	
メールボックス 2[18]	MB2[18]	8	H'FFFFB153		8	
メールボックス 3[0]	MB3[0]	8	H'FFFFB160		8、16	
メールボックス 3[1]	MB3[1]	8	H'FFFFB161		8	
メールボックス 3[2]	MB3[2]	8	H'FFFFB162		8、16	
メールボックス 3[3]	MB3[3]	8	H'FFFFB163		8	
メールボックス 3[4]	MB3[4]	8	H'FFFFB164		8、16	
メールボックス 3[5]	MB3[5]	8	H'FFFFB165		8	
メールボックス 3[6]	MB3[6]	16	H'FFFFB166		8、16	
メールボックス 3[7]	MB3[7]	8	H'FFFFB168		8、16	
メールボックス 3[8]	MB3[8]	8	H'FFFFB169		8	
メールボックス 3[9]	MB3[9]	8	H'FFFFB16A		8、16	
メールボックス 3[10]	MB3[10]	8	H'FFFFB16B		8	
メールボックス 3[11]	MB3[11]	8	H'FFFFB16C		8、16	
メールボックス 3[12]	MB3[12]	8	H'FFFFB16D		8	
メールボックス 3[13]	MB3[13]	8	H'FFFFB16E		8、16	
メールボックス 3[14]	MB3[14]	8	H'FFFFB16F		8	
メールボックス 3[15]	MB3[15]	8	H'FFFFB170		8、16	
メールボックス 3[16]	MB3[16]	8	H'FFFFB171		8	
メールボックス 3[17]	MB3[17]	8	H'FFFFB172		8、16	
メールボックス 3[18]	MB3[18]	8	H'FFFFB173		8	
メールボックス 4[0]	MB4[0]	8	H'FFFFB180		8、16	
メールボックス 4[1]	MB4[1]	8	H'FFFFB181	8		
メールボックス 4[2]	MB4[2]	8	H'FFFFB182	8、16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 4[3]	MB4[3]	8	H'FFFFB183	HCAN2	8	φ基準 B:8 W:8
メールボックス 4[4]	MB4[4]	8	H'FFFFB184		8、16	
メールボックス 4[5]	MB4[5]	8	H'FFFFB185		8	
メールボックス 4[6]	MB4[6]	16	H'FFFFB186		8、16	
メールボックス 4[7]	MB4[7]	8	H'FFFFB188		8、16	
メールボックス 4[8]	MB4[8]	8	H'FFFFB189		8	
メールボックス 4[9]	MB4[9]	8	H'FFFFB18A		8、16	
メールボックス 4[10]	MB4[10]	8	H'FFFFB18B		8	
メールボックス 4[11]	MB4[11]	8	H'FFFFB18C		8、16	
メールボックス 4[12]	MB4[12]	8	H'FFFFB18D		8	
メールボックス 4[13]	MB4[13]	8	H'FFFFB18E		8、16	
メールボックス 4[14]	MB4[14]	8	H'FFFFB18F		8	
メールボックス 4[15]	MB4[15]	8	H'FFFFB190		8、16	
メールボックス 4[16]	MB4[16]	8	H'FFFFB191		8	
メールボックス 4[17]	MB4[17]	8	H'FFFFB192		8、16	
メールボックス 4[18]	MB4[18]	8	H'FFFFB193		8	
メールボックス 5[0]	MB5[0]	8	H'FFFFB1A0		8、16	
メールボックス 5[1]	MB5[1]	8	H'FFFFB1A1		8	
メールボックス 5[2]	MB5[2]	8	H'FFFFB1A2		8、16	
メールボックス 5[3]	MB5[3]	8	H'FFFFB1A3		8	
メールボックス 5[4]	MB5[4]	8	H'FFFFB1A4		8、16	
メールボックス 5[5]	MB5[5]	8	H'FFFFB1A5		8	
メールボックス 5[6]	MB5[6]	16	H'FFFFB1A6		8、16	
メールボックス 5[7]	MB5[7]	8	H'FFFFB1A8		8、16	
メールボックス 5[8]	MB5[8]	8	H'FFFFB1A9		8	
メールボックス 5[9]	MB5[9]	8	H'FFFFB1AA		8、16	
メールボックス 5[10]	MB5[10]	8	H'FFFFB1AB		8	
メールボックス 5[11]	MB5[11]	8	H'FFFFB1AC		8、16	
メールボックス 5[12]	MB5[12]	8	H'FFFFB1AD		8	
メールボックス 5[13]	MB5[13]	8	H'FFFFB1AE		8、16	
メールボックス 5[14]	MB5[14]	8	H'FFFFB1AF		8	
メールボックス 5[15]	MB5[15]	8	H'FFFFB1B0		8、16	
メールボックス 5[16]	MB5[16]	8	H'FFFFB1B1	8		
メールボックス 5[17]	MB5[17]	8	H'FFFFB1B2	8、16		
メールボックス 5[18]	MB5[18]	8	H'FFFFB1B3	8		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 6[0]	MB6[0]	8	H'FFFFB1C0	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 6[1]	MB6[1]	8	H'FFFFB1C1		8	
メールボックス 6[2]	MB6[2]	8	H'FFFFB1C2		8、16	
メールボックス 6[3]	MB6[3]	8	H'FFFFB1C3		8	
メールボックス 6[4]	MB6[4]	8	H'FFFFB1C4		8、16	
メールボックス 6[5]	MB6[5]	8	H'FFFFB1C5		8	
メールボックス 6[6]	MB6[6]	16	H'FFFFB1C6		8、16	
メールボックス 6[7]	MB6[7]	8	H'FFFFB1C8		8、16	
メールボックス 6[8]	MB6[8]	8	H'FFFFB1C9		8	
メールボックス 6[9]	MB6[9]	8	H'FFFFB1CA		8、16	
メールボックス 6[10]	MB6[10]	8	H'FFFFB1CB		8	
メールボックス 6[11]	MB6[11]	8	H'FFFFB1CC		8、16	
メールボックス 6[12]	MB6[12]	8	H'FFFFB1CD		8	
メールボックス 6[13]	MB6[13]	8	H'FFFFB1CE		8、16	
メールボックス 6[14]	MB6[14]	8	H'FFFFB1CF		8	
メールボックス 6[15]	MB6[15]	8	H'FFFFB1D0		8、16	
メールボックス 6[16]	MB6[16]	8	H'FFFFB1D1		8	
メールボックス 6[17]	MB6[17]	8	H'FFFFB1D2		8、16	
メールボックス 6[18]	MB6[18]	8	H'FFFFB1D3		8	
メールボックス 7[0]	MB7[0]	8	H'FFFFB1E0		8、16	
メールボックス 7[1]	MB7[1]	8	H'FFFFB1E1		8	
メールボックス 7[2]	MB7[2]	8	H'FFFFB1E2		8、16	
メールボックス 7[3]	MB7[3]	8	H'FFFFB1E3		8	
メールボックス 7[4]	MB7[4]	8	H'FFFFB1E4		8、16	
メールボックス 7[5]	MB7[5]	8	H'FFFFB1E5		8	
メールボックス 7[6]	MB7[6]	16	H'FFFFB1E6		8、16	
メールボックス 7[7]	MB7[7]	8	H'FFFFB1E8		8、16	
メールボックス 7[8]	MB7[8]	8	H'FFFFB1E9		8	
メールボックス 7[9]	MB7[9]	8	H'FFFFB1EA		8、16	
メールボックス 7[10]	MB7[10]	8	H'FFFFB1EB		8	
メールボックス 7[11]	MB7[11]	8	H'FFFFB1EC		8、16	
メールボックス 7[12]	MB7[12]	8	H'FFFFB1ED	8		
メールボックス 7[13]	MB7[13]	8	H'FFFFB1EE	8、16		
メールボックス 7[14]	MB7[14]	8	H'FFFFB1EF	8		
メールボックス 7[15]	MB7[15]	8	H'FFFFB1F0	8、16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 7[16]	MB7[16]	8	H'FFFFB1F1	HCAN2	8	φ基準 B:8 W:8
メールボックス 7[17]	MB7[17]	8	H'FFFFB1F2		8, 16	
メールボックス 7[18]	MB7[18]	8	H'FFFFB1F3		8	
メールボックス 8[0]	MB8[0]	8	H'FFFFB200		8, 16	
メールボックス 8[1]	MB8[1]	8	H'FFFFB201		8	
メールボックス 8[2]	MB8[2]	8	H'FFFFB202		8, 16	
メールボックス 8[3]	MB8[3]	8	H'FFFFB203		8	
メールボックス 8[4]	MB8[4]	8	H'FFFFB204		8, 16	
メールボックス 8[5]	MB8[5]	8	H'FFFFB205		8	
メールボックス 8[6]	MB8[6]	16	H'FFFFB206		8, 16	
メールボックス 8[7]	MB8[7]	8	H'FFFFB208		8, 16	
メールボックス 8[8]	MB8[8]	8	H'FFFFB209		8	
メールボックス 8[9]	MB8[9]	8	H'FFFFB20A		8, 16	
メールボックス 8[10]	MB8[10]	8	H'FFFFB20B		8	
メールボックス 8[11]	MB8[11]	8	H'FFFFB20C		8, 16	
メールボックス 8[12]	MB8[12]	8	H'FFFFB20D		8	
メールボックス 8[13]	MB8[13]	8	H'FFFFB20E		8, 16	
メールボックス 8[14]	MB8[14]	8	H'FFFFB20F		8	
メールボックス 8[15]	MB8[15]	8	H'FFFFB210		8, 16	
メールボックス 8[16]	MB8[16]	8	H'FFFFB211		8	
メールボックス 8[17]	MB8[17]	8	H'FFFFB212		8, 16	
メールボックス 8[18]	MB8[18]	8	H'FFFFB213		8	
メールボックス 9[0]	MB9[0]	8	H'FFFFB220		8, 16	
メールボックス 9[1]	MB9[1]	8	H'FFFFB221		8	
メールボックス 9[2]	MB9[2]	8	H'FFFFB222		8, 16	
メールボックス 9[3]	MB9[3]	8	H'FFFFB223		8	
メールボックス 9[4]	MB9[4]	8	H'FFFFB224		8, 16	
メールボックス 9[5]	MB9[5]	8	H'FFFFB225		8	
メールボックス 9[6]	MB9[6]	16	H'FFFFB226		8, 16	
メールボックス 9[7]	MB9[7]	8	H'FFFFB228		8, 16	
メールボックス 9[8]	MB9[8]	8	H'FFFFB229		8	
メールボックス 9[9]	MB9[9]	8	H'FFFFB22A		8, 16	
メールボックス 9[10]	MB9[10]	8	H'FFFFB22B	8		
メールボックス 9[11]	MB9[11]	8	H'FFFFB22C	8, 16		
メールボックス 9[12]	MB9[12]	8	H'FFFFB22D	8		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 9[13]	MB9[13]	8	H'FFFFB22E	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 9[14]	MB9[14]	8	H'FFFFB22F		8	
メールボックス 9[15]	MB9[15]	8	H'FFFFB230		8、16	
メールボックス 9[16]	MB9[16]	8	H'FFFFB231		8	
メールボックス 9[17]	MB9[17]	8	H'FFFFB232		8、16	
メールボックス 9[18]	MB9[18]	8	H'FFFFB233		8	
メールボックス 10[0]	MB10[0]	8	H'FFFFB240		8、16	
メールボックス 10[1]	MB10[1]	8	H'FFFFB241		8	
メールボックス 10[2]	MB10[2]	8	H'FFFFB242		8、16	
メールボックス 10[3]	MB10[3]	8	H'FFFFB243		8	
メールボックス 10[4]	MB10[4]	8	H'FFFFB244		8、16	
メールボックス 10[5]	MB10[5]	8	H'FFFFB245		8	
メールボックス 10[6]	MB10[6]	16	H'FFFFB246		8、16	
メールボックス 10[7]	MB10[7]	8	H'FFFFB248		8、16	
メールボックス 10[8]	MB10[8]	8	H'FFFFB249		8	
メールボックス 10[9]	MB10[9]	8	H'FFFFB24A		8、16	
メールボックス 10[10]	MB10[10]	8	H'FFFFB24B		8	
メールボックス 10[11]	MB10[11]	8	H'FFFFB24C		8、16	
メールボックス 10[12]	MB10[12]	8	H'FFFFB24D		8	
メールボックス 10[13]	MB10[13]	8	H'FFFFB24E		8、16	
メールボックス 10[14]	MB10[14]	8	H'FFFFB24F		8	
メールボックス 10[15]	MB10[15]	8	H'FFFFB250		8、16	
メールボックス 10[16]	MB10[16]	8	H'FFFFB251		8	
メールボックス 10[17]	MB10[17]	8	H'FFFFB252		8、16	
メールボックス 10[18]	MB10[18]	8	H'FFFFB253		8	
メールボックス 11[0]	MB11[0]	8	H'FFFFB260		8、16	
メールボックス 11[1]	MB11[1]	8	H'FFFFB261		8	
メールボックス 11[2]	MB11[2]	8	H'FFFFB262		8、16	
メールボックス 11[3]	MB11[3]	8	H'FFFFB263		8	
メールボックス 11[4]	MB11[4]	8	H'FFFFB264		8、16	
メールボックス 11[5]	MB11[5]	8	H'FFFFB265		8	
メールボックス 11[6]	MB11[6]	16	H'FFFFB266		8、16	
メールボックス 11[7]	MB11[7]	8	H'FFFFB268	8、16		
メールボックス 11[8]	MB11[8]	8	H'FFFFB269	8		

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
メールボックス 11[9]	MB11[9]	8	H'FFFFB26A	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 11[10]	MB11[10]	8	H'FFFFB26B		8	
メールボックス 11[11]	MB11[11]	8	H'FFFFB26C		8、16	
メールボックス 11[12]	MB11[12]	8	H'FFFFB26D		8	
メールボックス 11[13]	MB11[13]	8	H'FFFFB26E		8、16	
メールボックス 11[14]	MB11[14]	8	H'FFFFB26F		8	
メールボックス 11[15]	MB11[15]	8	H'FFFFB270		8、16	
メールボックス 11[16]	MB11[16]	8	H'FFFFB271		8	
メールボックス 11[17]	MB11[17]	8	H'FFFFB272		8、16	
メールボックス 11[18]	MB11[18]	8	H'FFFFB273		8	
メールボックス 12[0]	MB12[0]	8	H'FFFFB280		8、16	
メールボックス 12[1]	MB12[1]	8	H'FFFFB281		8	
メールボックス 12[2]	MB12[2]	8	H'FFFFB282		8、16	
メールボックス 12[3]	MB12[3]	8	H'FFFFB283		8	
メールボックス 12[4]	MB12[4]	8	H'FFFFB284		8、16	
メールボックス 12[5]	MB12[5]	8	H'FFFFB285		8	
メールボックス 12[6]	MB12[6]	16	H'FFFFB286		8、16	
メールボックス 12[7]	MB12[7]	8	H'FFFFB288		8、16	
メールボックス 12[8]	MB12[8]	8	H'FFFFB289		8	
メールボックス 12[9]	MB12[9]	8	H'FFFFB28A		8、16	
メールボックス 12[10]	MB12[10]	8	H'FFFFB28B		8	
メールボックス 12[11]	MB12[11]	8	H'FFFFB28C		8、16	
メールボックス 12[12]	MB12[12]	8	H'FFFFB28D		8	
メールボックス 12[13]	MB12[13]	8	H'FFFFB28E		8、16	
メールボックス 12[14]	MB12[14]	8	H'FFFFB28F		8	
メールボックス 12[15]	MB12[15]	8	H'FFFFB290		8、16	
メールボックス 12[16]	MB12[16]	8	H'FFFFB291		8	
メールボックス 12[17]	MB12[17]	8	H'FFFFB292		8、16	
メールボックス 12[18]	MB12[18]	8	H'FFFFB293		8	
メールボックス 13[0]	MB13[0]	8	H'FFFFB2A0		8、16	
メールボックス 13[1]	MB13[1]	8	H'FFFFB2A1		8	
メールボックス 13[2]	MB13[2]	8	H'FFFFB2A2		8、16	
メールボックス 13[3]	MB13[3]	8	H'FFFFB2A3	8		
メールボックス 13[4]	MB13[4]	8	H'FFFFB2A4	8、16		
メールボックス 13[5]	MB13[5]	8	H'FFFFB2A5	8		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 13[6]	MB13[6]	16	H'FFFFB2A6	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 13[7]	MB13[7]	8	H'FFFFB2A8		8、16	
メールボックス 13[8]	MB13[8]	8	H'FFFFB2A9		8	
メールボックス 13[9]	MB13[9]	8	H'FFFFB2AA		8、16	
メールボックス 13[10]	MB13[10]	8	H'FFFFB2AB		8	
メールボックス 13[11]	MB13[11]	8	H'FFFFB2AC		8、16	
メールボックス 13[12]	MB13[12]	8	H'FFFFB2AD		8	
メールボックス 13[13]	MB13[13]	8	H'FFFFB2AE		8、16	
メールボックス 13[14]	MB13[14]	8	H'FFFFB2AF		8	
メールボックス 13[15]	MB13[15]	8	H'FFFFB2B0		8、16	
メールボックス 13[16]	MB13[16]	8	H'FFFFB2B1		8	
メールボックス 13[17]	MB13[17]	8	H'FFFFB2B2		8、16	
メールボックス 13[18]	MB13[18]	8	H'FFFFB2B3		8	
メールボックス 14[0]	MB14[0]	8	H'FFFFB2C0		8、16	
メールボックス 14[1]	MB14[1]	8	H'FFFFB2C1		8	
メールボックス 14[2]	MB14[2]	8	H'FFFFB2C2		8、16	
メールボックス 14[3]	MB14[3]	8	H'FFFFB2C3		8	
メールボックス 14[4]	MB14[4]	8	H'FFFFB2C4		8、16	
メールボックス 14[5]	MB14[5]	8	H'FFFFB2C5		8	
メールボックス 14[6]	MB14[6]	16	H'FFFFB2C6		8、16	
メールボックス 14[7]	MB14[7]	8	H'FFFFB2C8		8、16	
メールボックス 14[8]	MB14[8]	8	H'FFFFB2C9		8	
メールボックス 14[9]	MB14[9]	8	H'FFFFB2CA		8、16	
メールボックス 14[10]	MB14[10]	8	H'FFFFB2CB		8	
メールボックス 14[11]	MB14[11]	8	H'FFFFB2CC		8、16	
メールボックス 14[12]	MB14[12]	8	H'FFFFB2CD		8	
メールボックス 14[13]	MB14[13]	8	H'FFFFB2CE		8、16	
メールボックス 14[14]	MB14[14]	8	H'FFFFB2CF		8	
メールボックス 14[15]	MB14[15]	8	H'FFFFB2D0		8、16	
メールボックス 14[16]	MB14[16]	8	H'FFFFB2D1		8	
メールボックス 14[17]	MB14[17]	8	H'FFFFB2D2		8、16	
メールボックス 14[18]	MB14[18]	8	H'FFFFB2D3	8		
メールボックス 15[0]	MB15[0]	8	H'FFFFB2E0	8、16		
メールボックス 15[1]	MB15[1]	8	H'FFFFB2E1	8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 15[2]	MB15[2]	8	H'FFFFB2E2	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 15[3]	MB15[3]	8	H'FFFFB2E3		8	
メールボックス 15[4]	MB15[4]	8	H'FFFFB2E4		8、16	
メールボックス 15[5]	MB15[5]	8	H'FFFFB2E5		8	
メールボックス 15[6]	MB15[6]	16	H'FFFFB2E6		8、16	
メールボックス 15[7]	MB15[7]	8	H'FFFFB2E8		8、16	
メールボックス 15[8]	MB15[8]	8	H'FFFFB2E9		8	
メールボックス 15[9]	MB15[9]	8	H'FFFFB2EA		8、16	
メールボックス 15[10]	MB15[10]	8	H'FFFFB2EB		8	
メールボックス 15[11]	MB15[11]	8	H'FFFFB2EC		8、16	
メールボックス 15[12]	MB15[12]	8	H'FFFFB2ED		8	
メールボックス 15[13]	MB15[13]	8	H'FFFFB2EE		8、16	
メールボックス 15[14]	MB15[14]	8	H'FFFFB2EF		8	
メールボックス 15[15]	MB15[15]	8	H'FFFFB2F0		8、16	
メールボックス 15[16]	MB15[16]	8	H'FFFFB2F1		8	
メールボックス 15[17]	MB15[17]	8	H'FFFFB2F2		8、16	
メールボックス 15[18]	MB15[18]	8	H'FFFFB2F3		8	
メールボックス 16[0]	MB16[0]	8	H'FFFFB300		8、16	
メールボックス 16[1]	MB16[1]	8	H'FFFFB301		8	
メールボックス 16[2]	MB16[2]	8	H'FFFFB302		8、16	
メールボックス 16[3]	MB16[3]	8	H'FFFFB303		8	
メールボックス 16[4]	MB16[4]	8	H'FFFFB304		8、16	
メールボックス 16[5]	MB16[5]	8	H'FFFFB305		8	
メールボックス 16[6]	MB16[6]	16	H'FFFFB306		8、16	
メールボックス 16[7]	MB16[7]	8	H'FFFFB308		8、16	
メールボックス 16[8]	MB16[8]	8	H'FFFFB309		8	
メールボックス 16[9]	MB16[9]	8	H'FFFFB30A		8、16	
メールボックス 16[10]	MB16[10]	8	H'FFFFB30B		8	
メールボックス 16[11]	MB16[11]	8	H'FFFFB30C		8、16	
メールボックス 16[12]	MB16[12]	8	H'FFFFB30D		8	
メールボックス 16[13]	MB16[13]	8	H'FFFFB30E		8、16	
メールボックス 16[14]	MB16[14]	8	H'FFFFB30F		8	
メールボックス 16[15]	MB16[15]	8	H'FFFFB310	8、16		
メールボックス 16[16]	MB16[16]	8	H'FFFFB311	8		
メールボックス 16[17]	MB16[17]	8	H'FFFFB312	8、16		
メールボックス 16[18]	MB16[18]	8	H'FFFFB313	8		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 17[0]	MB17[0]	8	H'FFFFB320	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 17[1]	MB17[1]	8	H'FFFFB321		8	
メールボックス 17[2]	MB17[2]	8	H'FFFFB322		8、16	
メールボックス 17[3]	MB17[3]	8	H'FFFFB323		8	
メールボックス 17[4]	MB17[4]	8	H'FFFFB324		8、16	
メールボックス 17[5]	MB17[5]	8	H'FFFFB325		8	
メールボックス 17[6]	MB17[6]	16	H'FFFFB326		8、16	
メールボックス 17[7]	MB17[7]	8	H'FFFFB328		8、16	
メールボックス 17[8]	MB17[8]	8	H'FFFFB329		8	
メールボックス 17[9]	MB17[9]	8	H'FFFFB32A		8、16	
メールボックス 17[10]	MB17[10]	8	H'FFFFB32B		8	
メールボックス 17[11]	MB17[11]	8	H'FFFFB32C		8、16	
メールボックス 17[12]	MB17[12]	8	H'FFFFB32D		8	
メールボックス 17[13]	MB17[13]	8	H'FFFFB32E		8、16	
メールボックス 17[14]	MB17[14]	8	H'FFFFB32F		8	
メールボックス 17[15]	MB17[15]	8	H'FFFFB330		8、16	
メールボックス 17[16]	MB17[16]	8	H'FFFFB331		8	
メールボックス 17[17]	MB17[17]	8	H'FFFFB332		8、16	
メールボックス 17[18]	MB17[18]	8	H'FFFFB333		8	
メールボックス 18[0]	MB18[0]	8	H'FFFFB340		8、16	
メールボックス 18[1]	MB18[1]	8	H'FFFFB341		8	
メールボックス 18[2]	MB18[2]	8	H'FFFFB342		8、16	
メールボックス 18[3]	MB18[3]	8	H'FFFFB343		8	
メールボックス 18[4]	MB18[4]	8	H'FFFFB344		8、16	
メールボックス 18[5]	MB18[5]	8	H'FFFFB345		8	
メールボックス 18[6]	MB18[6]	16	H'FFFFB346		8、16	
メールボックス 18[7]	MB18[7]	8	H'FFFFB348		8、16	
メールボックス 18[8]	MB18[8]	8	H'FFFFB349		8	
メールボックス 18[9]	MB18[9]	8	H'FFFFB34A	8、16		
メールボックス 18[10]	MB18[10]	8	H'FFFFB34B	8		
メールボックス 18[11]	MB18[11]	8	H'FFFFB34C	8、16		
メールボックス 18[12]	MB18[12]	8	H'FFFFB34D	8		
メールボックス 18[13]	MB18[13]	8	H'FFFFB34E	8、16		
メールボックス 18[14]	MB18[14]	8	H'FFFFB34F	8		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 18[15]	MB18[15]	8	H'FFFFB350	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 18[16]	MB18[16]	8	H'FFFFB351		8	
メールボックス 18[17]	MB18[17]	8	H'FFFFB352		8、16	
メールボックス 18[18]	MB18[18]	8	H'FFFFB353		8	
メールボックス 19[0]	MB19[0]	8	H'FFFFB360		8、16	
メールボックス 19[1]	MB19[1]	8	H'FFFFB361		8	
メールボックス 19[2]	MB19[2]	8	H'FFFFB362		8、16	
メールボックス 19[3]	MB19[3]	8	H'FFFFB363		8	
メールボックス 19[4]	MB19[4]	8	H'FFFFB364		8、16	
メールボックス 19[5]	MB19[5]	8	H'FFFFB365		8	
メールボックス 19[6]	MB19[6]	16	H'FFFFB366		8、16	
メールボックス 19[7]	MB19[7]	8	H'FFFFB368		8、16	
メールボックス 19[8]	MB19[8]	8	H'FFFFB369		8	
メールボックス 19[9]	MB19[9]	8	H'FFFFB36A		8、16	
メールボックス 19[10]	MB19[10]	8	H'FFFFB36B		8	
メールボックス 19[11]	MB19[11]	8	H'FFFFB36C		8、16	
メールボックス 19[12]	MB19[12]	8	H'FFFFB36D		8	
メールボックス 19[13]	MB19[13]	8	H'FFFFB36E		8、16	
メールボックス 19[14]	MB19[14]	8	H'FFFFB36F		8	
メールボックス 19[15]	MB19[15]	8	H'FFFFB370		8、16	
メールボックス 19[16]	MB19[16]	8	H'FFFFB371		8	
メールボックス 19[17]	MB19[17]	8	H'FFFFB372		8、16	
メールボックス 19[18]	MB19[18]	8	H'FFFFB373		8	
メールボックス 20[0]	MB20[0]	8	H'FFFFB380		8、16	
メールボックス 20[1]	MB20[1]	8	H'FFFFB381		8	
メールボックス 20[2]	MB20[2]	8	H'FFFFB382		8、16	
メールボックス 20[3]	MB20[3]	8	H'FFFFB383		8	
メールボックス 20[4]	MB20[4]	8	H'FFFFB384		8、16	
メールボックス 20[5]	MB20[5]	8	H'FFFFB385		8	
メールボックス 20[6]	MB20[6]	16	H'FFFFB386		8、16	
メールボックス 20[7]	MB20[7]	8	H'FFFFB388		8、16	
メールボックス 20[8]	MB20[8]	8	H'FFFFB389		8	
メールボックス 20[9]	MB20[9]	8	H'FFFFB38A	8、16		
メールボックス 20[10]	MB20[10]	8	H'FFFFB38B	8		
メールボックス 20[11]	MB20[11]	8	H'FFFFB38C	8、16		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 20[12]	MB20[12]	8	H'FFFFB38D	HCAN2	8	φ基準 B:8 W:8
メールボックス 20[13]	MB20[13]	8	H'FFFFB38E		8、16	
メールボックス 20[14]	MB20[14]	8	H'FFFFB38F		8	
メールボックス 20[15]	MB20[15]	8	H'FFFFB390		8、16	
メールボックス 20[16]	MB20[16]	8	H'FFFFB391		8	
メールボックス 20[17]	MB20[17]	8	H'FFFFB392		8、16	
メールボックス 20[18]	MB20[18]	8	H'FFFFB393		8	
メールボックス 21[0]	MB21[0]	8	H'FFFFB3A0		8、16	
メールボックス 21[1]	MB21[1]	8	H'FFFFB3A1		8	
メールボックス 21[2]	MB21[2]	8	H'FFFFB3A2		8、16	
メールボックス 21[3]	MB21[3]	8	H'FFFFB3A3		8	
メールボックス 21[4]	MB21[4]	8	H'FFFFB3A4		8、16	
メールボックス 21[5]	MB21[5]	8	H'FFFFB3A5		8	
メールボックス 21[6]	MB21[6]	16	H'FFFFB3A6		8、16	
メールボックス 21[7]	MB21[7]	8	H'FFFFB3A8		8、16	
メールボックス 21[8]	MB21[8]	8	H'FFFFB3A9		8	
メールボックス 21[9]	MB21[9]	8	H'FFFFB3AA		8、16	
メールボックス 21[10]	MB21[10]	8	H'FFFFB3AB		8	
メールボックス 21[11]	MB21[11]	8	H'FFFFB3AC		8、16	
メールボックス 21[12]	MB21[12]	8	H'FFFFB3AD		8	
メールボックス 21[13]	MB21[13]	8	H'FFFFB3AE		8、16	
メールボックス 21[14]	MB21[14]	8	H'FFFFB3AF		8	
メールボックス 21[15]	MB21[15]	8	H'FFFFB3B0		8、16	
メールボックス 21[16]	MB21[16]	8	H'FFFFB3B1		8	
メールボックス 21[17]	MB21[17]	8	H'FFFFB3B2		8、16	
メールボックス 21[18]	MB21[18]	8	H'FFFFB3B3		8	
メールボックス 22[0]	MB22[0]	8	H'FFFFB3C0		8、16	
メールボックス 22[1]	MB22[1]	8	H'FFFFB3C1		8	
メールボックス 22[2]	MB22[2]	8	H'FFFFB3C2		8、16	
メールボックス 22[3]	MB22[3]	8	H'FFFFB3C3		8	
メールボックス 22[4]	MB22[4]	8	H'FFFFB3C4		8、16	
メールボックス 22[5]	MB22[5]	8	H'FFFFB3C5		8	
メールボックス 22[6]	MB22[6]	16	H'FFFFB3C6	8、16		
メールボックス 22[7]	MB22[7]	8	H'FFFFB3C8	8、16		

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
メールボックス 22[8]	MB22[8]	8	H'FFFFB3C9	HCAN2	8	φ基準 B:8 W:8
メールボックス 22[9]	MB22[9]	8	H'FFFFB3CA		8, 16	
メールボックス 22[10]	MB22[10]	8	H'FFFFB3CB		8	
メールボックス 22[11]	MB22[11]	8	H'FFFFB3CC		8, 16	
メールボックス 22[12]	MB22[12]	8	H'FFFFB3CD		8	
メールボックス 22[13]	MB22[13]	8	H'FFFFB3CE		8, 16	
メールボックス 22[14]	MB22[14]	8	H'FFFFB3CF		8	
メールボックス 22[15]	MB22[15]	8	H'FFFFB3D0		8, 16	
メールボックス 22[16]	MB22[16]	8	H'FFFFB3D1		8	
メールボックス 22[17]	MB22[17]	8	H'FFFFB3D2		8, 16	
メールボックス 22[18]	MB22[18]	8	H'FFFFB3D3		8	
メールボックス 23[0]	MB23[0]	8	H'FFFFB3E0		8, 16	
メールボックス 23[1]	MB23[1]	8	H'FFFFB3E1		8	
メールボックス 23[2]	MB23[2]	8	H'FFFFB3E2		8, 16	
メールボックス 23[3]	MB23[3]	8	H'FFFFB3E3		8	
メールボックス 23[4]	MB23[4]	8	H'FFFFB3E4		8, 16	
メールボックス 23[5]	MB23[5]	8	H'FFFFB3E5		8	
メールボックス 23[6]	MB23[6]	16	H'FFFFB3E6		8, 16	
メールボックス 23[7]	MB23[7]	8	H'FFFFB3E8		8, 16	
メールボックス 23[8]	MB23[8]	8	H'FFFFB3E9		8	
メールボックス 23[9]	MB23[9]	8	H'FFFFB3EA		8, 16	
メールボックス 23[10]	MB23[10]	8	H'FFFFB3EB		8	
メールボックス 23[11]	MB23[11]	8	H'FFFFB3EC		8, 16	
メールボックス 23[12]	MB23[12]	8	H'FFFFB3ED		8	
メールボックス 23[13]	MB23[13]	8	H'FFFFB3EE		8, 16	
メールボックス 23[14]	MB23[14]	8	H'FFFFB3EF		8	
メールボックス 23[15]	MB23[15]	8	H'FFFFB3F0		8, 16	
メールボックス 23[16]	MB23[16]	8	H'FFFFB3F1		8	
メールボックス 23[17]	MB23[17]	8	H'FFFFB3F2		8, 16	
メールボックス 23[18]	MB23[18]	8	H'FFFFB3F3		8	
メールボックス 24[0]	MB24[0]	8	H'FFFFB400		8, 16	
メールボックス 24[1]	MB24[1]	8	H'FFFFB401		8	
メールボックス 24[2]	MB24[2]	8	H'FFFFB402	8, 16		
メールボックス 24[3]	MB24[3]	8	H'FFFFB403	8		
メールボックス 24[4]	MB24[4]	8	H'FFFFB404	8, 16		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 24[5]	MB24[5]	8	H'FFFFB405	HCAN2	8	φ基準 B:8 W:8
メールボックス 24[6]	MB24[6]	16	H'FFFFB406		8, 16	
メールボックス 24[7]	MB24[7]	8	H'FFFFB408		8, 16	
メールボックス 24[8]	MB24[8]	8	H'FFFFB409		8	
メールボックス 24[9]	MB24[9]	8	H'FFFFB40A		8, 16	
メールボックス 24[10]	MB24[10]	8	H'FFFFB40B		8	
メールボックス 24[11]	MB24[11]	8	H'FFFFB40C		8, 16	
メールボックス 24[12]	MB24[12]	8	H'FFFFB40D		8	
メールボックス 24[13]	MB24[13]	8	H'FFFFB40E		8, 16	
メールボックス 24[14]	MB24[14]	8	H'FFFFB40F		8	
メールボックス 24[15]	MB24[15]	8	H'FFFFB410		8, 16	
メールボックス 24[16]	MB24[16]	8	H'FFFFB411		8	
メールボックス 24[17]	MB24[17]	8	H'FFFFB412		8, 16	
メールボックス 24[18]	MB24[18]	8	H'FFFFB413		8	
メールボックス 25[0]	MB25[0]	8	H'FFFFB420		8, 16	
メールボックス 25[1]	MB25[1]	8	H'FFFFB421		8	
メールボックス 25[2]	MB25[2]	8	H'FFFFB422		8, 16	
メールボックス 25[3]	MB25[3]	8	H'FFFFB423		8	
メールボックス 25[4]	MB25[4]	8	H'FFFFB424		8, 16	
メールボックス 25[5]	MB25[5]	8	H'FFFFB425		8	
メールボックス 25[6]	MB25[6]	16	H'FFFFB426		8, 16	
メールボックス 25[7]	MB25[7]	8	H'FFFFB428		8, 16	
メールボックス 25[8]	MB25[8]	8	H'FFFFB429		8	
メールボックス 25[9]	MB25[9]	8	H'FFFFB42A		8, 16	
メールボックス 25[10]	MB25[10]	8	H'FFFFB42B		8	
メールボックス 25[11]	MB25[11]	8	H'FFFFB42C		8, 16	
メールボックス 25[12]	MB25[12]	8	H'FFFFB42D		8	
メールボックス 25[13]	MB25[13]	8	H'FFFFB42E		8, 16	
メールボックス 25[14]	MB25[14]	8	H'FFFFB42F		8	
メールボックス 25[15]	MB25[15]	8	H'FFFFB430		8, 16	
メールボックス 25[16]	MB25[16]	8	H'FFFFB431		8	
メールボックス 25[17]	MB25[17]	8	H'FFFFB432		8, 16	
メールボックス 25[18]	MB25[18]	8	H'FFFFB433	8		
メールボックス 26[0]	MB26[0]	8	H'FFFFB440	8, 16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 26[1]	MB26[1]	8	H'FFFFB441	HCAN2	8	φ基準 B:8 W:8
メールボックス 26[2]	MB26[2]	8	H'FFFFB442		8, 16	
メールボックス 26[3]	MB26[3]	8	H'FFFFB443		8	
メールボックス 26[4]	MB26[4]	8	H'FFFFB444		8, 16	
メールボックス 26[5]	MB26[5]	8	H'FFFFB445		8	
メールボックス 26[6]	MB26[6]	16	H'FFFFB446		8, 16	
メールボックス 26[7]	MB26[7]	8	H'FFFFB448		8, 16	
メールボックス 26[8]	MB26[8]	8	H'FFFFB449		8	
メールボックス 26[9]	MB26[9]	8	H'FFFFB44A		8, 16	
メールボックス 26[10]	MB26[10]	8	H'FFFFB44B		8	
メールボックス 26[11]	MB26[11]	8	H'FFFFB44C		8, 16	
メールボックス 26[12]	MB26[12]	8	H'FFFFB44D		8	
メールボックス 26[13]	MB26[13]	8	H'FFFFB44E		8, 16	
メールボックス 26[14]	MB26[14]	8	H'FFFFB44F		8	
メールボックス 26[15]	MB26[15]	8	H'FFFFB450		8, 16	
メールボックス 26[16]	MB26[16]	8	H'FFFFB451		8	
メールボックス 26[17]	MB26[17]	8	H'FFFFB452		8, 16	
メールボックス 26[18]	MB26[18]	8	H'FFFFB453		8	
メールボックス 27[0]	MB27[0]	8	H'FFFFB460		8, 16	
メールボックス 27[1]	MB27[1]	8	H'FFFFB461		8	
メールボックス 27[2]	MB27[2]	8	H'FFFFB462		8, 16	
メールボックス 27[3]	MB27[3]	8	H'FFFFB463		8	
メールボックス 27[4]	MB27[4]	8	H'FFFFB464		8, 16	
メールボックス 27[5]	MB27[5]	8	H'FFFFB465		8	
メールボックス 27[6]	MB27[6]	16	H'FFFFB466		8, 16	
メールボックス 27[7]	MB27[7]	8	H'FFFFB468		8, 16	
メールボックス 27[8]	MB27[8]	8	H'FFFFB469		8	
メールボックス 27[9]	MB27[9]	8	H'FFFFB46A		8, 16	
メールボックス 27[10]	MB27[10]	8	H'FFFFB46B		8	
メールボックス 27[11]	MB27[11]	8	H'FFFFB46C		8, 16	
メールボックス 27[12]	MB27[12]	8	H'FFFFB46D		8	
メールボックス 27[13]	MB27[13]	8	H'FFFFB46E		8, 16	
メールボックス 27[14]	MB27[14]	8	H'FFFFB46F	8		
メールボックス 27[15]	MB27[15]	8	H'FFFFB470	8, 16		
メールボックス 27[16]	MB27[16]	8	H'FFFFB471	8		
メールボックス 27[17]	MB27[17]	8	H'FFFFB472	8, 16		

付録

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 27[18]	MB27[18]	8	H'FFFFB473	HCAN2	8	φ基準 B:8 W:8
メールボックス 28[0]	MB28[0]	8	H'FFFFB480		8、16	
メールボックス 28[1]	MB28[1]	8	H'FFFFB481		8	
メールボックス 28[2]	MB28[2]	8	H'FFFFB482		8、16	
メールボックス 28[3]	MB28[3]	8	H'FFFFB483		8	
メールボックス 28[4]	MB28[4]	8	H'FFFFB484		8、16	
メールボックス 28[5]	MB28[5]	8	H'FFFFB485		8	
メールボックス 28[6]	MB28[6]	16	H'FFFFB486		8、16	
メールボックス 28[7]	MB28[7]	8	H'FFFFB488		8、16	
メールボックス 28[8]	MB28[8]	8	H'FFFFB489		8	
メールボックス 28[9]	MB28[9]	8	H'FFFFB48A		8、16	
メールボックス 28[10]	MB28[10]	8	H'FFFFB48B		8	
メールボックス 28[11]	MB28[11]	8	H'FFFFB48C		8、16	
メールボックス 28[12]	MB28[12]	8	H'FFFFB48D		8	
メールボックス 28[13]	MB28[13]	8	H'FFFFB48E		8、16	
メールボックス 28[14]	MB28[14]	8	H'FFFFB48F		8	
メールボックス 28[15]	MB28[15]	8	H'FFFFB490		8、16	
メールボックス 28[16]	MB28[16]	8	H'FFFFB491		8	
メールボックス 28[17]	MB28[17]	8	H'FFFFB492		8、16	
メールボックス 28[18]	MB28[18]	8	H'FFFFB493		8	
メールボックス 29[0]	MB29[0]	8	H'FFFFB4A0		8、16	
メールボックス 29[1]	MB29[1]	8	H'FFFFB4A1		8	
メールボックス 29[2]	MB29[2]	8	H'FFFFB4A2		8、16	
メールボックス 29[3]	MB29[3]	8	H'FFFFB4A3		8	
メールボックス 29[4]	MB29[4]	8	H'FFFFB4A4		8、16	
メールボックス 29[5]	MB29[5]	8	H'FFFFB4A5		8	
メールボックス 29[6]	MB29[6]	16	H'FFFFB4A6		8、16	
メールボックス 29[7]	MB29[7]	8	H'FFFFB4A8		8、16	
メールボックス 29[8]	MB29[8]	8	H'FFFFB4A9		8	
メールボックス 29[9]	MB29[9]	8	H'FFFFB4AA		8、16	
メールボックス 29[10]	MB29[10]	8	H'FFFFB4AB		8	
メールボックス 29[11]	MB29[11]	8	H'FFFFB4AC		8、16	
メールボックス 29[12]	MB29[12]	8	H'FFFFB4AD	8		
メールボックス 29[13]	MB29[13]	8	H'FFFFB4AE	8、16		

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	アクセスステート数
メールボックス 29[14]	MB29[14]	8	H'FFFFB4AF	HCAN2	8	φ基準 B:8 W:8
メールボックス 29[15]	MB29[15]	8	H'FFFFB4B0		8, 16	
メールボックス 29[16]	MB29[16]	8	H'FFFFB4B1		8	
メールボックス 29[17]	MB29[17]	8	H'FFFFB4B2		8, 16	
メールボックス 29[18]	MB29[18]	8	H'FFFFB4B3		8	
メールボックス 30[0]	MB30[0]	8	H'FFFFB4C0		8, 16	
メールボックス 30[1]	MB30[1]	8	H'FFFFB4C1		8	
メールボックス 30[2]	MB30[2]	8	H'FFFFB4C2		8, 16	
メールボックス 30[3]	MB30[3]	8	H'FFFFB4C3		8	
メールボックス 30[4]	MB30[4]	8	H'FFFFB4C4		8, 16	
メールボックス 30[5]	MB30[5]	8	H'FFFFB4C5		8	
メールボックス 30[6]	MB30[6]	16	H'FFFFB4C6		8, 16	
メールボックス 30[7]	MB30[7]	8	H'FFFFB4C8		8, 16	
メールボックス 30[8]	MB30[8]	8	H'FFFFB4C9		8	
メールボックス 30[9]	MB30[9]	8	H'FFFFB4CA		8, 16	
メールボックス 30[10]	MB30[10]	8	H'FFFFB4CB		8	
メールボックス 30[11]	MB30[11]	8	H'FFFFB4CC		8, 16	
メールボックス 30[12]	MB30[12]	8	H'FFFFB4CD		8	
メールボックス 30[13]	MB30[13]	8	H'FFFFB4CE		8, 16	
メールボックス 30[14]	MB30[14]	8	H'FFFFB4CF		8	
メールボックス 30[15]	MB30[15]	8	H'FFFFB4D0		8, 16	
メールボックス 30[16]	MB30[16]	8	H'FFFFB4D1		8	
メールボックス 30[17]	MB30[17]	8	H'FFFFB4D2		8, 16	
メールボックス 30[18]	MB30[18]	8	H'FFFFB4D3		8	
メールボックス 31[0]	MB31[0]	8	H'FFFFB4E0		8, 16	
メールボックス 31[1]	MB31[1]	8	H'FFFFB4E1		8	
メールボックス 31[2]	MB31[2]	8	H'FFFFB4E2		8, 16	
メールボックス 31[3]	MB31[3]	8	H'FFFFB4E3		8	
メールボックス 31[4]	MB31[4]	8	H'FFFFB4E4		8, 16	
メールボックス 31[5]	MB31[5]	8	H'FFFFB4E5		8	
メールボックス 31[6]	MB31[6]	16	H'FFFFB4E6		8, 16	
メールボックス 31[7]	MB31[7]	8	H'FFFFB4E8		8, 16	
メールボックス 31[8]	MB31[8]	8	H'FFFFB4E9	8		
メールボックス 31[9]	MB31[9]	8	H'FFFFB4EA	8, 16		
メールボックス 31[10]	MB31[10]	8	H'FFFFB4EB	8		

付録

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
メールボックス 31[11]	MB31[11]	8	H'FFFFB4EC	HCAN2	8、16	φ基準 B:8 W:8
メールボックス 31[12]	MB31[12]	8	H'FFFFB4ED		8	
メールボックス 31[13]	MB31[13]	8	H'FFFFB4EE		8、16	
メールボックス 31[14]	MB31[14]	8	H'FFFFB4EF		8	
メールボックス 31[15]	MB31[15]	8	H'FFFFB4F0		8、16	
メールボックス 31[16]	MB31[16]	8	H'FFFFB4F1		8	
メールボックス 31[17]	MB31[17]	8	H'FFFFB4F2		8、16	
メールボックス 31[18]	MB31[18]	8	H'FFFFB4F3		8	

A.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル2)
BRR_2									
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2									
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_2									
SDCR_2	—	—	—	—	DIR	—	—	—	
SMR_3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル3)
BRR_3									
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3									
SSR_3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_3									
SDCR_3	—	—	—	—	DIR	—	—	—	
SMR_4	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル4)
BRR_4									
SCR_4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4									
SSR_4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_4									
SDCR_4	—	—	—	—	DIR	—	—	—	
—	—	—	—	—	—	—	—	—	—
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル3, 4)
TCR_4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_3	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TMDR_4	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIORH_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_4	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TIER_4	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TOER	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TOCR	—	PSYE	—	—	—	—	OLSN	OLSP	MTU (チャンネル3、4)	
TGCR	—	BDC	N	P	FB	WF	VF	UF		
TCNT_3										
TCNT_4										
TCDR										
TDDR										
TGRA_3										
TGRB_3										
TGRA_4										
TGRB_4										
TCNTS										
TCBR										
TGRC_3										
TGRD_3										
TGRC_4										
TGRD_4										
TSR_3	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TSR_4	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TSTR	CST4	CST3	—	—	—	CST2	CST1	CST0		
TSYR	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0		
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		MTU
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0		(チャンネル0)

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	MTU (チャンネル0)	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_0										
TGRA_0										
TGRB_0										
TGRC_0										
TGRD_0										
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		MTU (チャンネル1)
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNT_1										
TGRA_1										
TGRB_1										
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	MTU (チャンネル2)	
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNT_2										
TGRA_2										
TGRB_2										
—	—	—	—	—	—	—	—	—		—

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
IPRA	IRQ0	IRQ0	IRQ0	IRQ0	IRQ1	IRQ1	IRQ1	IRQ1	INTC	
	IRQ2	IRQ2	IRQ2	IRQ2	IRQ3	IRQ3	IRQ3	IRQ3		
IPRD	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0	MTU0		
	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1	MTU1		
IPRE	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2	MTU2		
	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3	MTU3		
IPRF	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4	MTU4		
	-	-	-	-	-	-	-	-		
IPRG	A/D0,1	A/D0,1	A/D0,1	A/D0,1	DTC	DTC	DTC	DTC		
	CMT0	CMT0	CMT0	CMT0	CMT1	CMT1	CMT1	CMT1		
IPRH	WDT	WDT	WDT	WDT	I/O(MTU)	I/O(MTU)	I/O(MTU)	I/O(MTU)		
	-	-	-	-	-	-	-	-		
ICR1	NMIL	-	-	-	-	-	-	NMIE		
	IRQ0S	IRQ1S	IRQ2S	IRQ3S	-	-	-	-		
ISR	-	-	-	-	-	-	-	-		
	IRQ0F	IRQ1F	IRQ2F	IRQ3F	-	-	-	-		
IPRI	SCI2	SCI2	SCI2	SCI2	SCI3	SCI3	SCI3	SCI3		
	SCI4	SCI4	SCI4	SCI4	MMT	MMT	MMT	MMT		
IPRK	I/O(MMT)	I/O(MMT)	I/O(MMT)	I/O(MMT)	-	-	-	-		
	HCAN2	HCAN2	HCAN2	HCAN2	-	-	-	-		
ICR2	IRQ0ES1	IRQ0ES0	IRQ1ES1	IRQ1ES0	IRQ2ES1	IRQ2ES0	IRQ3ES1	IRQ3ES0		
	-	-	-	-	-	-	-	-		
-	-	-	-	-	-	-	-	-		
PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	ポート A	
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR		
	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR		
PACRL3	PA15MD2	PA14MD2	PA13MD2	PA12MD2	PA11MD2	PA10MD2	PA9MD2	PA8MD2		
	PA7MD2	PA6MD2	PA5MD2	PA4MD2	PA3MD2	PA2MD2	PA1MD2	PA0MD2		
PACRL1	PA15MD1	PA15MD0	PA14MD1	PA14MD0	PA13MD1	PA13MD0	PA12MD1	PA12MD0		
	PA11MD1	PA11MD0	PA10MD1	PA10MD0	PA9MD1	PA9MD0	PA8MD1	PA8MD0		
PACRL2	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0	PA4MD1	PA4MD0		
	PA3MD1	PA3MD0	PA2MD1	PA2MD0	PA1MD1	PA1MD0	PA0MD1	PA0MD0		
PBDR	-	-	-	-	-	-	-	-		ポート B
	-	-	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PBIOR	—	—	—	—	—	—	—	—	ポート B
	—	—	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	
PBCR1	—	—	PB5MD2	PB4MD2	PB3MD2	PB2MD2	PB1MD2	—	
	—	—	—	—	—	—	—	—	
PBCR2	—	—	—	—	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
	PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0	
PDDR1	—	—	—	—	—	—	—	PD8DR	ポート D
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PDIOR1	—	—	—	—	—	—	—	PD8IOR	
	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
PDCRL1	—	—	—	—	—	—	—	PD8MD0	
	PD7MD0	PD6MD0	PD5MD0	PD4MD0	PD3MD0	PD2MD0	PD1MD0	PD0MD0	
PDCRL2	—	—	—	—	—	—	—	PD8MD1	
	PD7MD1	PD6MD1	PD5MD1	PD4MD1	PD3MD1	PD2MD1	PD1MD1	PD0MD1	
PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	ポート E
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	ポート F
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PEIOR1	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	ポート E
	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
PEIORH	—	—	—	—	—	—	—	—	
	—	—	PE21IOR	PE20IOR	PE19IOR	PE18IOR	PE17IOR	PE16IOR	
PECRL1	PE15MD1	PE15MD0	PE14MD1	PE14MD0	PE13MD1	PE13MD0	PE12MD1	PE12MD0	
	PE11MD1	PE11MD0	PE10MD1	PE10MD0	PE9MD1	PE9MD0	PE8MD1	PE8MD0	
PECRL2	PE7MD1	PE7MD0	PE6MD1	PE6MD0	PE5MD1	PE5MD0	PE4MD1	PE4MD0	
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
PECRH	—	—	—	—	PE21MD1	PE21MD0	PE20MD1	PE20MD0	
	PE19MD1	PE19MD0	PE18MD1	PE18MD0	PE17MD1	PE17MD0	PE16MD1	PE16MD0	
PEDRH	—	—	—	—	—	—	—	—	
	—	—	PE21DR	PE20DR	PE19DR	PE18DR	PE17DR	PE16DR	
—	—	—	—	—	—	—	—	—	
ICSR1	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE	MTU
	POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0	
OCSR	OSF	—	—	—	—	—	OCE	OIE	
	—	—	—	—	—	—	—	—	

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICSR2	—	POE6F	POE5F	POE4F	—	—	—	PIE	MMT
	—	—	POE6M1	POE6M0	POE5M1	POE5M0	POE4M1	POE4M0	
—	—	—	—	—	—	—	—	—	—
CMSTR	—	—	—	—	—	—	—	—	CMT
	—	—	—	—	—	—	STR1	STR0	
CMCSR_0	—	—	—	—	—	—	—	—	CMT
	CMF	CMIE	—	—	—	—	CKS1	CKS0	
CMCNT_0									CMT
CMCOR_0									CMT
CMCSR_1	—	—	—	—	—	—	—	—	CMT
	CMF	CMIE	—	—	—	—	CKS1	CKS0	
CMCNT_1									CMT
CMCOR_1									CMT
—	—	—	—	—	—	—	—	—	—
ADDR0	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR2	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR3	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR4	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR5	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR6	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR7	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	
ADDR8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	—	—	—	—	—	—	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
ADDR9	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
	AD1	AD0	—	—	—	—	—	—		
ADDR10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADDR11	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADDR12	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADDR13	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADDR14	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADDR15	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
	AD1	AD0	—	—	—	—	—	—		
ADCSR_0	ADF	ADIE	ADM1	ADM0	—	CH2	CH1	CH0		
ADCSR_1	ADF	ADIE	ADM1	ADM0	—	CH2	CH1	CH0		
ADCR_0	TRGE	CKS1	CKS0	ADST	ADCS	—	—	—		
ADCR_1	TRGE	CKS1	CKS0	ADST	ADCS	—	—	—		
—	—	—	—	—	—	—	—	—	—	
FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH (F-ZTAT 版のみ)	
FLMCR2	FLER	—	—	—	—	—	—	—		
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
EBR2	—	—	—	—	EB11	EB10	EB9	EB8		
—	—	—	—	—	—	—	—	—	—	
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC	
	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16		
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8		
	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0		
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24		
	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16		
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8		
	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0		
UBBR	—	—	—	—	—	—	—	—		
	CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0		
UBCR	—	—	—	—	—	—	—	—		
	—	—	—	—	—	CKS1	CKS0	UBID		
—	—	—	—	—	—	—	—	—		—

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCSR	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
TCNT									
RSTCSR	WOVF	RSTE	RSTS	—	—	—	—	—	
—	—	—	—	—	—	—	—	—	—
SBYCR	SSBY	HIZ	—	—	—	—	—	IRQEL	低消費電力状態
SYSCR	—	—	—	—	—	—	AUDSRST	RAME	
MSTCR1	—	—	—	—	MSTP27	MSTP26	MSTP25	MSTP24	
	—	—	—	MSTP20	MSTP19	MSTP18	—	—	
MSTCR2	—	MSTP14	MSTP13	MSTP12	—	—	MSTP9	—	
	—	—	MSTP5	MSTP4	MSTP3	MSTP2	—	MSTP0	
—	—	—	—	—	—	—	—	—	—
BCR1	—	MMTRWE	MTURWE	—	—	—	—	—	BSC
	—	—	—	—	—	—	—	A0SZ	
BCR2	—	—	—	—	—	—	IW01	IW00	
	—	—	—	CW0	—	—	—	SW0	
WCR1	—	—	—	—	—	—	—	—	BSC
	—	—	—	—	W03	W02	W01	W00	
—	—	—	—	—	—	—	—	—	—
RAMER	—	—	—	—	—	—	—	—	FLASH
	—	—	—	—	RAMS	RAM2	RAM1	RAM0	
—	—	—	—	—	—	—	—	—	—
DTEA	DTEA7	DTEA6	DTEA5	DTEA4	DTEA3	DTEA2	DTEA1	DTEA0	DTC
DTEB	DTEB7	DTEB6	DTEB5	DTEB4	DTEB3	DTEB2	DTEB1	DTEB0	
DTEC	DTEC7	DTEC6	DTEC5	DTEC4	DTEC3	DTEC2	DTEC1	DTEC0	
DTED	DTED7	DTED6	DTED5	DTED4	DTED3	DTED2	DTED1	DTED0	
DTCSR	—	—	—	—	—	NMIF	AE	SWDTE	
	DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
DTBR									
DTEE	—	—	DTEE5	—	DTEE3	DTEE2	DTEE1	DTEE0	
DTEF	DTEF7	DTEF6	DTEF5	DTEF4	—	DTEF2	—	—	
ADTSR	—	—	—	—	TRG1S1	TRG1S0	TRG0S1	TRG0S0	
—	—	—	—	—	—	—	—	—	—
MMT_TMDR	—	CKS2	CKS1	CKS0	OLSN	OLSP	MD1	MD0	MMT
TCNR	TTGE	CST	RPRO	—	—	—	TGIEN	TGIEM	
MMT_TSR	TCFD	—	—	—	—	—	TGFN	TGFM	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MMT_TCNT									MMT
TPDR									
TPBR									
MMT_TDDR									
TBRU_B									
TGRUU									
TGRU									
TGRUD									
TDCNT0									
TDCNT1									
TBRU_F									
TBRV_B									
TGRVU									
TGRV									
TGRVD									
TDCNT2									
TDCNT3									
TBRV_F									

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TBRW_B									MMT
TGRWU									
TGRW									
TGRWD									
TDCNT4									
TDCNT5									
TBRW_F									
-	-	-	-	-	-	-	-	-	
SDIR	TS3	TS2	TS1	TS0	-	-	-	-	H-UDI
SDSR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	SDTRF	
SDDRH									
SDDRL									
-	-	-	-	-	-	-	-	-	-
MCR	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0	HCAN2
GSR	MCR7	-	MCR5	-	-	MCR2	MCR1	MCR0	
	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
HCAN2_BCR1	TSEG1_3	TSEG1_2	TSEG1_1	TSEG1_0	-	TSEG2_2	TSEG2_1	TSEG2_0	
	-	-	SJW1	SJW0	-	-	-	BSP	
HCAN2_BCR0	-	-	-	-	-	-	-	-	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
IRR	IRR15	IRR14	IRR13	IRR12	-	-	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR	IMR15	IMR14	IMR13	IMR12	-	-	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	HCAN2
TEC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
TXPR1	TXPR31	TXPR30	TXPR29	TXPR28	TXPR27	TXPR26	TXPR25	TXPR24	
	TXPR23	TXPR22	TXPR21	TXPR20	TXPR19	TXPR18	TXPR17	TXPR16	
TXPR0	TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—	
TXCR1	TXCR31	TXCR30	TXCR29	TXCR28	TXCR27	TXCR26	TXCR25	TXCR24	
	TXCR23	TXCR22	TXCR21	TXCR20	TXCR19	TXCR18	TXCR17	TXCR16	
TXCR0	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8	
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—	
TXACK1	TXACK31	TXACK30	TXACK29	TXACK28	TXACK27	TXACK26	TXACK25	TXACK24	
	TXACK23	TXACK22	TXACK21	TXACK20	TXACK19	TXACK18	TXACK17	TXACK16	
TXACK0	TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—	
ABACK1	ABACK31	ABACK30	ABACK29	ABACK28	ABACK27	ABACK26	ABACK25	ABACK24	
	ABACK23	ABACK22	ABACK21	ABACK20	ABACK19	ABACK18	ABACK17	ABACK16	
ABACK0	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—	
RXPR1	RXPR31	RXPR30	RXPR29	RXPR28	RXPR27	RXPR26	RXPR25	RXPR24	
	RXPR23	RXPR22	RXPR21	RXPR20	RXPR19	RXPR18	RXPR17	RXPR16	
RXPR0	RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
RFPR1	RFPR31	RFPR30	RFPR29	RFPR28	RFPR27	RFPR26	RFPR25	RFPR24	
	RFPR23	RFPR22	RFPR21	RFPR20	RFPR19	RFPR18	RFPR17	RFPR16	
RFPR0	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
MBIMR1	MBIMR31	MBIMR30	MBIMR29	MBIMR28	MBIMR27	MBIMR26	MBIMR25	MBIMR24	
	MBIMR23	MBIMR22	MBIMR21	MBIMR20	MBIMR19	MBIMR18	MBIMR17	MBIMR16	
MBIMR0	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
UMSR1	UMSR31	UMSR30	UMSR29	UMSR28	UMSR27	UMSR26	UMSR25	UMSR24	
	UMSR23	UMSR22	UMSR21	UMSR20	UMSR19	UMSR18	UMSR17	UMSR16	
UMSR0	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
TCNTR									

付録

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9	—	HCAN2
	—	—	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
TSR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	TSR2	TSR1	TSR0	
LOSR									
HCAN2_ICR0									
HCAN2_ICR1									
TCMR0									
TCMR1									
MB0[0]	—	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	HCAN2 Mail Box 0
MB0[1]	STDID3	STDID2	STDID1	STDID0	RTR	IDE	EXTID17	EXTID16	
MB0[2]	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	
MB0[3]	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID0	
MB0[4]	CCM	TTE	NMC	ATX	DART	MBC2	MBC1	MBC0	
MB0[5]	PTE	TCT	—	—	DLC3	DLC2	DLC1	DLC0	
MB0[6]	TimeStamp[15:0]								
MB0[7]	MSG_DATA_[0]								
MB0[8]	MSG_DATA_[1]								
MB0[9]	MSG_DATA_[2]								
MB0[10]	MSG_DATA_[3]								
MB0[11]	MSG_DATA_[4]								
MB0[12]	MSG_DATA_[5]								
MB0[13]	MSG_DATA_[6]								
MB0[14]	MSG_DATA_[7]								
MB0[15]	LAFM0/TX-Trigger Time_[0]								
MB0[16]	LAFM0/TX-Trigger Time_[1]								
MB0[17]	LAFM1/TX-Trigger Time_[0]								
MB0[18]	LAFM1/TX-Trigger Time_[1]								
MB1[0]~ MB1[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 1

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
MB2[0]~ MB2[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 2
MB3[0]~ MB3[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 3
↓	↓ (繰り返し)								↓
MB29[0]~ MB29[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 29
MB30[0]~ MB30[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 30
MB31[0]~ MB31[18]	MB0[0]~MB0[18]と同じビット構成								HCAN2 Mail Box 31

A.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SMR_2	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル 2)
BRR_2	初期化	保持	初期化	初期化	初期化	保持	
SCR_2	初期化	保持	初期化	初期化	初期化	保持	
TDR_2	初期化	保持	初期化	初期化	初期化	保持	
SSR_2	初期化	保持	初期化	初期化	初期化	保持	
RDR_2	初期化	保持	初期化	初期化	初期化	保持	
SDCR_2	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル 3)
SMR_3	初期化	保持	初期化	初期化	初期化	保持	
BRR_3	初期化	保持	初期化	初期化	初期化	保持	
SCR_3	初期化	保持	初期化	初期化	初期化	保持	
TDR_3	初期化	保持	初期化	初期化	初期化	保持	
SSR_3	初期化	保持	初期化	初期化	初期化	保持	
RDR_3	初期化	保持	初期化	初期化	初期化	保持	SCI (チャンネル 4)
SDCR_3	初期化	保持	初期化	初期化	初期化	保持	
SMR_4	初期化	保持	初期化	初期化	初期化	保持	
BRR_4	初期化	保持	初期化	初期化	初期化	保持	
SCR_4	初期化	保持	初期化	初期化	初期化	保持	
TDR_4	初期化	保持	初期化	初期化	初期化	保持	
SSR_4	初期化	保持	初期化	初期化	初期化	保持	MTU (チャンネル 3,4)
RDR_4	初期化	保持	初期化	初期化	初期化	保持	
SDCR_4	初期化	保持	初期化	初期化	初期化	保持	
TCR_3	初期化	保持	初期化	初期化	初期化	保持	
TCR_4	初期化	保持	初期化	初期化	初期化	保持	
TMDR_3	初期化	保持	初期化	初期化	初期化	保持	
TMDR_4	初期化	保持	初期化	初期化	初期化	保持	
TIORH_3	初期化	保持	初期化	初期化	初期化	保持	
TIORL_3	初期化	保持	初期化	初期化	初期化	保持	
TIORH_4	初期化	保持	初期化	初期化	初期化	保持	
TIORL_4	初期化	保持	初期化	初期化	初期化	保持	
TIER_3	初期化	保持	初期化	初期化	初期化	保持	
TIER_4	初期化	保持	初期化	初期化	初期化	保持	
TOER	初期化	保持	初期化	初期化	初期化	保持	
TOCR	初期化	保持	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TGCR	初期化	保持	初期化	初期化	初期化	保持	MTU (チャンネル3、4)
TCNT_3	初期化	保持	初期化	初期化	初期化	保持	
TCNT_4	初期化	保持	初期化	初期化	初期化	保持	
TCDR	初期化	保持	初期化	初期化	初期化	保持	
TDDR	初期化	保持	初期化	初期化	初期化	保持	
TGRA_3	初期化	保持	初期化	初期化	初期化	保持	
TGRB_3	初期化	保持	初期化	初期化	初期化	保持	
TGRA_4	初期化	保持	初期化	初期化	初期化	保持	
TGRB_4	初期化	保持	初期化	初期化	初期化	保持	
TCNTS	初期化	保持	初期化	初期化	初期化	保持	
TGBR	初期化	保持	初期化	初期化	初期化	保持	
TGRC_3	初期化	保持	初期化	初期化	初期化	保持	
TGRD_3	初期化	保持	初期化	初期化	初期化	保持	
TGRC_4	初期化	保持	初期化	初期化	初期化	保持	
TGRD_4	初期化	保持	初期化	初期化	初期化	保持	
TSR_3	初期化	保持	初期化	初期化	初期化	保持	
TSR_4	初期化	保持	初期化	初期化	初期化	保持	
TSTR	初期化	保持	初期化	初期化	初期化	保持	
TSYR	初期化	保持	初期化	初期化	初期化	保持	
TCR_0	初期化	保持	初期化	初期化	初期化	保持	MTU (チャンネル0)
TMDR_0	初期化	保持	初期化	初期化	初期化	保持	
TIORH_0	初期化	保持	初期化	初期化	初期化	保持	
TIORL_0	初期化	保持	初期化	初期化	初期化	保持	
TIER_0	初期化	保持	初期化	初期化	初期化	保持	
TSR_0	初期化	保持	初期化	初期化	初期化	保持	
TCNT_0	初期化	保持	初期化	初期化	初期化	保持	
TGRA_0	初期化	保持	初期化	初期化	初期化	保持	
TGRB_0	初期化	保持	初期化	初期化	初期化	保持	
TGRC_0	初期化	保持	初期化	初期化	初期化	保持	
TGRD_0	初期化	保持	初期化	初期化	初期化	保持	
TCR_1	初期化	保持	初期化	初期化	初期化	保持	
TMDR_1	初期化	保持	初期化	初期化	初期化	保持	
TIOR_1	初期化	保持	初期化	初期化	初期化	保持	
TIER_1	初期化	保持	初期化	初期化	初期化	保持	
TSR_1	初期化	保持	初期化	初期化	初期化	保持	
TCNT_1	初期化	保持	初期化	初期化	初期化	保持	

付録

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
TGRA_1	初期化	保持	初期化	初期化	初期化	保持	MTU (チャンネル2)	
TGRB_1	初期化	保持	初期化	初期化	初期化	保持		
TCR_2	初期化	保持	初期化	初期化	初期化	保持		
TMDR_2	初期化	保持	初期化	初期化	初期化	保持		
TIOR_2	初期化	保持	初期化	初期化	初期化	保持		
TIER_2	初期化	保持	初期化	初期化	初期化	保持		
TSR_2	初期化	保持	初期化	初期化	初期化	保持		
TCNT_2	初期化	保持	初期化	初期化	初期化	保持		
TGRA_2	初期化	保持	初期化	初期化	初期化	保持		
TGRB_2	初期化	保持	初期化	初期化	初期化	保持		
IPRA	初期化	初期化	初期化	保持	—	保持	INTC	
IPRD	初期化	初期化	初期化	保持	—	保持		
IPRE	初期化	初期化	初期化	保持	—	保持		
IPRF	初期化	初期化	初期化	保持	—	保持		
IPRG	初期化	初期化	初期化	保持	—	保持		
IPRH	初期化	初期化	初期化	保持	—	保持		
ICR1	初期化	初期化	初期化	保持	—	保持		
ISR	初期化	初期化	初期化	保持	—	保持		
IPRI	初期化	初期化	初期化	保持	—	保持		
IPRJ	初期化	初期化	初期化	保持	—	保持		
IPRK	初期化	初期化	初期化	保持	—	保持		
ICR2	初期化	初期化	初期化	保持	—	保持		
PADRL	初期化	保持	初期化	保持	—	保持		ポート A
PAIORL	初期化	保持	初期化	保持	—	保持		
PACRL3	初期化	保持	初期化	保持	—	保持		
PACRL1	初期化	保持	初期化	保持	—	保持		
PACRL2	初期化	保持	初期化	保持	—	保持	ポート B	
PBDR	初期化	保持	初期化	保持	—	保持		
PBIOR	初期化	保持	初期化	保持	—	保持		
PBCR1	初期化	保持	初期化	保持	—	保持		
PBCR2	初期化	保持	初期化	保持	—	保持		

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PDDRL	初期化	保持	初期化	保持	—	保持	ポート D
PDIORL	初期化	保持	初期化	保持	—	保持	
PDCRL1	初期化	保持	初期化	保持	—	保持	
PDCRL2	初期化	保持	初期化	保持	—	保持	
PEDRL	初期化	保持	初期化	保持	—	保持	ポート E
PFDR	保持	保持	保持	保持	—	保持	ポート F
PEIORL	初期化	保持	初期化	保持	—	保持	ポート E
PEIORH	初期化	保持	初期化	保持	—	保持	
PECRL1	初期化	保持	初期化	保持	—	保持	
PECRL2	初期化	保持	初期化	保持	—	保持	
PECRH	初期化	保持	初期化	保持	—	保持	
PEDRH	初期化	保持	初期化	保持	—	保持	
ICSR1	初期化	保持	初期化	保持	保持	保持	MTU
OCSR	初期化	保持	初期化	保持	保持	保持	
ICSR2	初期化	保持	初期化	保持	保持	保持	MMT
CMSTR	初期化	保持	初期化	初期化	初期化	保持	CMT
CMCSR_0	初期化	保持	初期化	初期化	初期化	保持	
CMCNT_0	初期化	保持	初期化	初期化	初期化	保持	
CMCOR_0	初期化	保持	初期化	初期化	初期化	保持	
CMCSR_1	初期化	保持	初期化	初期化	初期化	保持	
CMCNT_1	初期化	保持	初期化	初期化	初期化	保持	
CMCOR_1	初期化	保持	初期化	初期化	初期化	保持	
ADDR0	初期化	保持	初期化	初期化	初期化	保持	A/D
ADDR1	初期化	保持	初期化	初期化	初期化	保持	
ADDR2	初期化	保持	初期化	初期化	初期化	保持	
ADDR3	初期化	保持	初期化	初期化	初期化	保持	
ADDR4	初期化	保持	初期化	初期化	初期化	保持	
ADDR5	初期化	保持	初期化	初期化	初期化	保持	
ADDR6	初期化	保持	初期化	初期化	初期化	保持	

付録

レジスタ略称	パワーオンリセット	マニュアルリセット	ハードウェアスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	モジュール
ADDR7	初期化	保持	初期化	初期化	初期化	保持	A/D
ADDR8	初期化	保持	初期化	初期化	初期化	保持	
ADDR9	初期化	保持	初期化	初期化	初期化	保持	
ADDR10	初期化	保持	初期化	初期化	初期化	保持	
ADDR11	初期化	保持	初期化	初期化	初期化	保持	
ADDR12	初期化	保持	初期化	初期化	初期化	保持	
ADDR13	初期化	保持	初期化	初期化	初期化	保持	
ADDR14	初期化	保持	初期化	初期化	初期化	保持	
ADDR15	初期化	保持	初期化	初期化	初期化	保持	
ADCSR_0	初期化	保持	初期化	初期化	初期化	保持	
ADCSR_1	初期化	保持	初期化	初期化	初期化	保持	
ADCR_0	初期化	保持	初期化	初期化	初期化	保持	
ADCR_1	初期化	保持	初期化	初期化	初期化	保持	
FLMCR1	初期化	初期化	初期化	初期化	初期化	保持	FLASH
FLMCR2	初期化	初期化	初期化	初期化	初期化	保持	
EBR1	初期化	初期化	初期化	初期化	初期化	保持	
EBR2	初期化	初期化	初期化	初期化	初期化	保持	
UBARH	初期化	保持	初期化	保持	初期化	保持	UBC
UBARL	初期化	保持	初期化	保持	初期化	保持	
UBAMRH	初期化	保持	初期化	保持	初期化	保持	
UBAMRL	初期化	保持	初期化	保持	初期化	保持	
UBBR	初期化	保持	初期化	保持	初期化	保持	
UBCR	初期化	保持	初期化	保持	初期化	保持	
TCSR	初期化	初期化	初期化	初期化/保持*1	—	保持	WDT
TCNT	初期化	初期化	初期化	初期化	—	保持	
RSTCSR	初期化/保持*2	保持	初期化	初期化	—	保持	
SBYCR	初期化	初期化	初期化	保持	—	保持	低消費電力状態
SYSCR	初期化	保持	初期化	保持	—	保持	
MSTCR1	初期化	保持	初期化	保持	—	保持	低消費電力状態
MSTCR2	初期化	保持	初期化	保持	—	保持	
BCR1	初期化	保持	初期化	保持	—	保持	BSC
BCR2	初期化	保持	初期化	保持	—	保持	
WCR1	初期化	保持	初期化	保持	—	保持	
RAMER	初期化	保持	初期化	保持	—	保持	FLASH

【注】 *1 TCSR レジスタのビット 7~5 (OVF、WT/IT、TME) は初期化されます。ビット 2~0 (CKS2、CKS1、CKS0) は、保持されます。

*2 RSTCSR レジスタは、WDT オーバフローによるパワーオンリセットでは保持されます。

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
DTEA	初期化	保持	初期化	初期化	初期化	保持	DTC
DTEB	初期化	保持	初期化	初期化	初期化	保持	
DTEC	初期化	保持	初期化	初期化	初期化	保持	
DTED	初期化	保持	初期化	初期化	初期化	保持	
DTC SR	初期化	保持	初期化	初期化	初期化	保持	
DTBR	不定	保持	保持	保持	保持	保持	
DTEE	初期化	保持	初期化	初期化	初期化	保持	
DTEF	初期化	保持	初期化	初期化	初期化	保持	
ADTSR	初期化	保持	初期化	保持	—	保持	
MMT_TMDR	初期化	保持	初期化	初期化	初期化	保持	MMT
TCNR	初期化	保持	初期化	初期化	初期化	保持	
MMT_TSR	初期化	保持	初期化	初期化	初期化	保持	
MMT_TCNT	初期化	保持	初期化	初期化	初期化	保持	
TPDR	初期化	保持	初期化	初期化	初期化	保持	
TPBR	初期化	保持	初期化	初期化	初期化	保持	
MMT_TDDR	初期化	保持	初期化	初期化	初期化	保持	
TBRU_B	初期化	保持	初期化	初期化	初期化	保持	
TGRUU	初期化	保持	初期化	初期化	初期化	保持	
TGRU	初期化	保持	初期化	初期化	初期化	保持	
TGRUD	初期化	保持	初期化	初期化	初期化	保持	
TDCNT0	初期化	保持	初期化	初期化	初期化	保持	
TDCNT1	初期化	保持	初期化	初期化	初期化	保持	
TBRU_F	初期化	保持	初期化	初期化	初期化	保持	
TBRV_B	初期化	保持	初期化	初期化	初期化	保持	
TGRVU	初期化	保持	初期化	初期化	初期化	保持	
TGRV	初期化	保持	初期化	初期化	初期化	保持	
TGRVD	初期化	保持	初期化	初期化	初期化	保持	
TDCNT2	初期化	保持	初期化	初期化	初期化	保持	
TDCNT3	初期化	保持	初期化	初期化	初期化	保持	
TBRV_F	初期化	保持	初期化	初期化	初期化	保持	
TBRW_B	初期化	保持	初期化	初期化	初期化	保持	MMT
TGRWU	初期化	保持	初期化	初期化	初期化	保持	
TGRW	初期化	保持	初期化	初期化	初期化	保持	
TGRWD	初期化	保持	初期化	初期化	初期化	保持	
TDCNT4	初期化	保持	初期化	初期化	初期化	保持	
TDCNT5	初期化	保持	初期化	初期化	初期化	保持	

付録

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TBRW_F	初期化	保持	初期化	初期化	初期化	保持	MMT
SDIR	初期化	保持	初期化	保持	保持	保持	H-UDI
SDSR	初期化	保持	初期化	保持	保持	保持	
SDDRH	保持	保持	保持	保持	保持	保持	
SDDRL	保持	保持	保持	保持	保持	保持	
MCR	初期化	初期化	初期化	初期化	初期化	保持	HCAN2
GSR	初期化	初期化	初期化	初期化	初期化	保持	
HCAN2_BCR1	初期化	初期化	初期化	初期化	初期化	保持	
HCAN2_BCR0	初期化	初期化	初期化	初期化	初期化	保持	
IRR	初期化	初期化	初期化	初期化	初期化	保持	
IMR	初期化	初期化	初期化	初期化	初期化	保持	
REC	初期化	初期化	初期化	初期化	初期化	保持	
TEC	初期化	初期化	初期化	初期化	初期化	保持	
TXPR1	初期化	初期化	初期化	初期化	初期化	保持	
TXPR0	初期化	初期化	初期化	初期化	初期化	保持	
TXCR1	初期化	初期化	初期化	初期化	初期化	保持	
TXCR0	初期化	初期化	初期化	初期化	初期化	保持	
TXACK1	初期化	初期化	初期化	初期化	初期化	保持	
TXACK0	初期化	初期化	初期化	初期化	初期化	保持	
ABACK1	初期化	初期化	初期化	初期化	初期化	保持	
ABACK0	初期化	初期化	初期化	初期化	初期化	保持	
RXPR1	初期化	初期化	初期化	初期化	初期化	保持	
RXPR0	初期化	初期化	初期化	初期化	初期化	保持	
RFPR1	初期化	初期化	初期化	初期化	初期化	保持	
RFPR0	初期化	初期化	初期化	初期化	初期化	保持	
MBIMR1	初期化	初期化	初期化	初期化	初期化	保持	
MBIMR0	初期化	初期化	初期化	初期化	初期化	保持	
UMSR1	初期化	初期化	初期化	初期化	初期化	保持	
UMSR0	初期化	初期化	初期化	初期化	初期化	保持	
TCNTR	初期化	初期化	初期化	初期化	初期化	保持	
TCR	初期化	初期化	初期化	初期化	初期化	保持	
TSR	初期化	初期化	初期化	初期化	初期化	保持	
LOSR	初期化	初期化	初期化	初期化	初期化	保持	
HCAN2_ICR0	初期化	初期化	初期化	初期化	初期化	保持	
HCAN2_ICR1	初期化	初期化	初期化	初期化	初期化	保持	
TCMR0	初期化	初期化	初期化	初期化	初期化	保持	

レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TCMR1	初期化	初期化	初期化	初期化	初期化	保持	HCAN2
MB0[0]	不定	保持	保持	保持	保持	保持	
MB0[1]	不定	保持	保持	保持	保持	保持	
MB0[2]	不定	保持	保持	保持	保持	保持	
MB0[3]	不定	保持	保持	保持	保持	保持	
MB0[4]	不定	保持	保持	保持	保持	保持	
MB0[5]	不定	保持	保持	保持	保持	保持	
MB0[6]	不定	保持	保持	保持	保持	保持	
MB0[7]	不定	保持	保持	保持	保持	保持	
MB0[8]	不定	保持	保持	保持	保持	保持	
MB0[9]	不定	保持	保持	保持	保持	保持	
MB0[10]	不定	保持	保持	保持	保持	保持	
MB0[11]	不定	保持	保持	保持	保持	保持	
MB0[12]	不定	保持	保持	保持	保持	保持	
MB0[13]	不定	保持	保持	保持	保持	保持	
MB0[14]	不定	保持	保持	保持	保持	保持	
MB0[15]	不定	保持	保持	保持	保持	保持	
MB0[16]	不定	保持	保持	保持	保持	保持	
MB0[17]	不定	保持	保持	保持	保持	保持	
MB0[18]	不定	保持	保持	保持	保持	保持	
↓			↓	(繰り返し)			
MB29[0]~ MB29[18]	不定	保持	保持	保持	保持	保持	
MB30[0]~ MB30[18]	不定	保持	保持	保持	保持	保持	
MB31[0]~ MB31[18]	不定	保持	保持	保持	保持	保持	

B. 端子状態

MCU 動作モードにより、端子の初期値は異なります。詳しくは「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 B.1 端子状態

端子機能		端子状態								
分類	端子名	リセット状態			マニュアル	低消費電力状態			バス権 解放 状態	バス権 解放状態での ソフトウェア スタンバイ
		パワーオン				ハード ウェア スタンバイ	ソフト ウェア スタンバイ	スリープ		
		ROM なし 拡張	ROM あり 拡張	シングル チップ						
クロック	CK	O		Z	O	Z	O	O	O	O
	XTAL	O			O	L	L	O	O	L
	EXTAL	I			I	Z	I	I	I	I
	PLLCAP	I			I	I	I	I	I	I
システム 制御	RES	I			I	I	I	I	I	I
	MRES	Z			I	Z	Z ^{*2}	I	I	Z ^{*2}
	WDTOVF	O ^{*3}			O	O	O	O	O	O
	BREQ	Z			I	Z	Z	I	I	I
	BACK	Z			O	Z	Z	O	O	L
動作モード 制御	MD0~MD3	I			I	I	I	I	I	I
	DBGMD	I			I	I	I	I	I	I
	FWP	I			I	I	I	I	I	I
割り込み	NMI	I			I	Z	I	I	I	I
	IRQ0~IRQ3	Z			I	Z	Z ^{*4}	I	I	Z ^{*4}
	IRQOUT	Z			O	Z	K ^{*1}	O	O	K ^{*1}
アドレスバス	A0~A17	O	Z		O	Z	Z	O	Z	Z
データバス	D0~D7	Z			I/O	Z	Z	I/O	I/O	Z
バス制御	WAIT	Z			I	Z	Z	I	I	Z
	CS0	H	Z		O	Z	O	O	Z	Z
	RD	H	Z		O	Z	O	O	Z	Z
	WRL	H	Z		O	Z	O	O	Z	Z

端子機能		端子状態								
分類	端子名	リセット状態			低消費電力状態			バス権 解放 状態	バス権 解放状態での ソフトウェア スタンバイ	
		パワーオン			マニュアル	ハード ウェア スタンバイ	ソフト ウェア スタンバイ			スリープ
		ROM なし 拡張	ROM あり 拡張	シングル チップ						
HCAN2	HTxD1	Z			O	Z	O* ¹	O	O* ¹	
	HRxD1	Z			I	Z	Z	I	Z	
MTU	TCLKA~TCLKD	Z			I	Z	Z	I	Z	
	TIOC0A~TIOC0D	Z			I/O	Z	K* ¹	I/O	K* ¹	
	TIOC1A,TIOC1B									
	TIOC2A,TIOC2B									
	TIOC3A,TIOC3C									
	TIOC3B,TIOC3D	Z			I/O	Z	Z* ²	I/O	Z* ²	
MMT	PCIO	Z			I/O	Z	K* ¹	I/O	K* ¹	
	PU0A~PU0B									
	PV0A~PV0B	Z			O	Z	Z* ²	O	Z* ²	
	PW0A~PW0B									
ポート制御	POE0~POE6	Z			I	Z	Z	I	Z	
SCI	SCK2~SCK3	Z			I/O	Z	Z	I/O	Z	
	SCK4(PE21)	Z			I/O	Z	Z* ²	I	Z* ²	
	RXD2~RXD3	Z			I	Z	Z	I	Z	
	RXD4(PE19)	Z			I	Z	Z* ²	I	Z* ²	
	TXD2~TXD3	Z			O	Z	O* ¹	O	O* ¹	
	TXD4(PE20)	Z			O	Z	O* ¹	O	O* ¹	
A/D 変換器	AN0~AN15	Z			I	Z	Z	I	Z	
	ADTRG	Z			I	Z	Z	I	Z	
I/O ポート	PA0~PA15	Z			I/O	Z	K* ¹	I/O	K* ¹	
	PB0~PB5									
	PD0~PD8									
	PE0~PE8,PE10									
	PE9,PE11~PE21	Z			I/O	Z	Z* ²	I/O	Z* ²	
	PF0~PF15	Z			I	Z	Z	I	Z	
UBC	UBCTR \bar{G}	Z			O	Z	O* ¹	O	O* ¹	

【記号説明】

I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

K : 入力端子はハイインピーダンス、出力端子は状態保持

表 B.2 端子状態

端子機能		端子状態							
分類	端子名	リセット状態				低消費電力状態			何も接続していない
		パワーオン (DBGMD=H時)	パワーオン (DBGMD=L時)	マニュアル	テスト リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ	
H-UDI	TMS	Z	I	I	I	Z	I	I	禁止
	TRST	Z	I	I	I	Z	I	I	禁止
	TDI	Z	I	I	I	Z	I	I	禁止
	TDO	Z	O/Z	O/Z	Z	Z	O/Z	O/Z	O/Z
	TCK	Z	I	I	I	Z	I	I	禁止

表 B.3 端子状態

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態				何も接続していない
		パワーオン	マニュアル	AUDリセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ	AUD モジュール スタンバイ	
AUD	AUDRST	Z	H入力	L入力	Z	H入力	H入力	Z	禁止
	AUDMD	Z	I	I	Z	I	I	Z	禁止
	AUDATA0~ AUDATA3	Z	AUDMD=H時:I/O AUDMD=L時:O	AUDMD=H時:I AUDMD=L時:H	Z	AUDMD=H時:I/O AUDMD=L時:O	AUDMD=H時:I/O AUDMD=L時:O	Z	禁止
	AUDCK	Z	AUDMD=H時:I AUDMD=L時:O	AUDMD=H時:I AUDMD=L時:H	Z	AUDMD=H時:I AUDMD=L時:O	AUDMD=H時:I AUDMD=L時:O	Z	禁止
	AUDSYNC	Z	AUDMD=H時:I AUDMD=L時:O	AUDMD=H時:I AUDMD=L時:H	Z	AUDMD=H時:I AUDMD=L時:O	AUDMD=H時:I AUDMD=L時:O	Z	禁止

表 B.4 端子状態

端子機能		端子状態			
分類	端子名	リセット状態			低消費電力状態
		パワーオン ($\overline{\text{DBGMD}}=\text{H}$ 時)	パワーオン ($\overline{\text{DBGMD}}=\text{L}$ 時)	マニュアル	ソフトウェア スタンバイ
動作モード制御	ASEBRKAK	Z	O	O	O

【記号説明】

I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

K : 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 SBYCR の HIZ ビットを 1 にすると、出力端子はハイインピーダンスになります。
 *2 大電流端子 (PE9、PE11~PE15) とマルチプレクサされている端子すべてがハイインピーダンスになります。
 *3 パワーオンリセット中は入力になります。誤動作防止のためプルアップしてください。
 *4 SBYCR の IRQEL ビットを 0 にすると、端子は入力になります。

表 B.5 端子状態 (1)

端子名		内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール			
				8 ビット空間	16 ビット空間		
					上位バイト	下位バイト	ワード/ ロングワード
$\overline{\text{CS0}}$		H	H	H	H	H	H
$\overline{\text{RD}}$	R	H	H	H	H	H	H
	W	—	H	H	H	H	H
$\overline{\text{WRL}}$	R	H	H	H	H	H	H
	W	—	H	H	H	H	H
A17~A0		アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7~D0		High-Z	High-Z	High-Z	High-Z	High-Z	High-Z

【記号説明】

R : 読み出し

W : 書き込み

表 B.5 端子状態 (2)

端子名		外部通常空間
		8ビット空間
$\overline{CS0}$		L
\overline{RD}	R	L
	W	H
\overline{WRL}	R	H
	W	L
A17~A0		アドレス
D7~D0		データ

【記号説明】

R : 読み出し

W : 書き込み

C. 型名一覧

製品分類			製品型名	パッケージ (パッケージコード)
SH7047	フラッシュメモリ版	標準品	HD64F7047	QFP-100 (FP-100M)
	マスク ROM 版	標準品	HD6437049	QFP-100 (FP-100M)

D. 外形寸法図

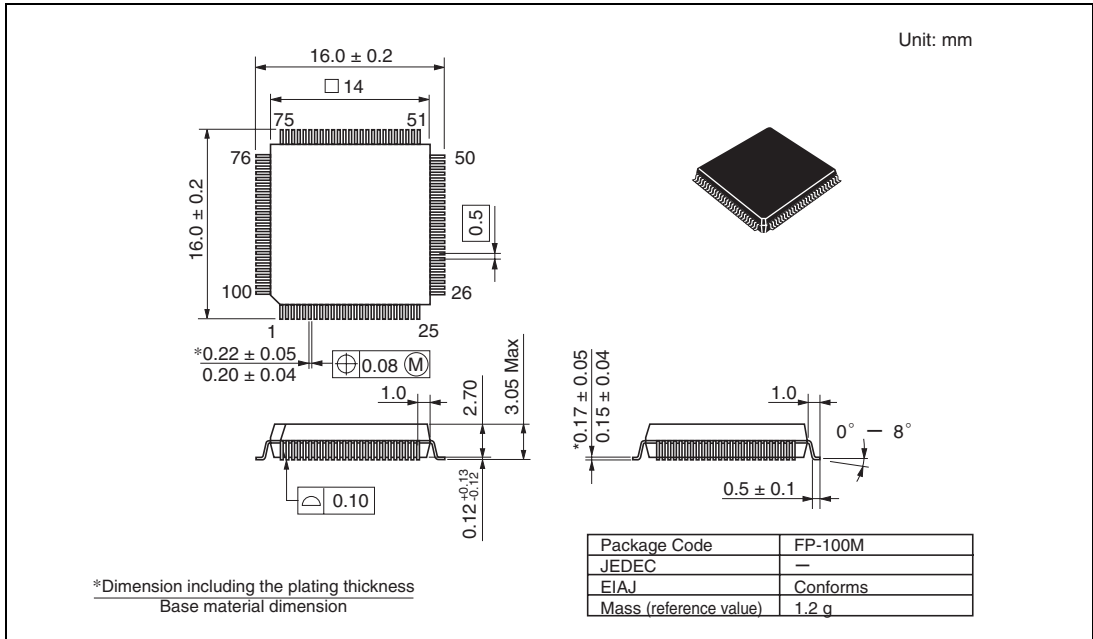


図 D.1 FP-100M

本版で修正または追加された箇所

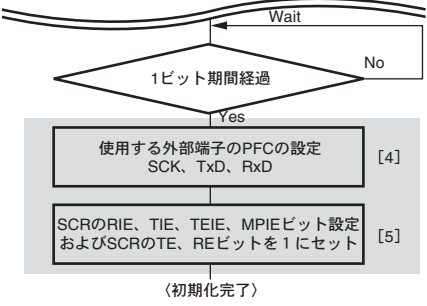
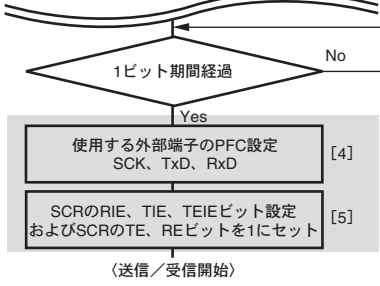
SH-2/SH7047グループ ハードウェアマニュアル第2.0版 (RJJ09B0154-0200Z) におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項目	ページ	修正箇所										
全般		SH7047 シリーズ→SH7047 グループ										
HCAN2 に関する注意事項		コントローラエリアネットワーク 2 (HCAN2) ハイパフォーマンスユーザデバッグインタフェース (H-UDI) に用語合わせ。										
概要	1-1	SH7047 グループは、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。										
1.4 端子機能	1-7	<table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td rowspan="4">マルチファンクションタイマパルスユニット (MTU)</td> <td>TIOC4A</td> <td rowspan="4">TGRA_4~TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。</td> </tr> <tr> <td>TIOC4B</td> </tr> <tr> <td>TIOC4C</td> </tr> <tr> <td>TIOC4D</td> </tr> </tbody> </table>	分類	記号	機能	マルチファンクションタイマパルスユニット (MTU)	TIOC4A	TGRA_4~TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	TIOC4B	TIOC4C	TIOC4D	
	分類	記号	機能									
マルチファンクションタイマパルスユニット (MTU)	TIOC4A	TGRA_4~TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。										
	TIOC4B											
	TIOC4C											
	TIOC4D											
1-9	<table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>ユーザブレイクコントローラ (UBC) (フラッシュ版のみ)</td> <td>UBCTRG</td> <td>UBC 条件一致のトリガ出力端子です。</td> </tr> <tr> <td rowspan="2">E10 インタフェース (フラッシュ版のみ)</td> <td>ASEBRKAK</td> <td>E10A エミュレータがブレイクモードに入ったことを示します。 E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。</td> </tr> <tr> <td>DBGMD</td> <td>E10A エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイ入力します。デバッグモード時は、ユーザボード上でロー入力します。E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。</td> </tr> </tbody> </table>	分類	記号	機能	ユーザブレイクコントローラ (UBC) (フラッシュ版のみ)	UBCTRG	UBC 条件一致のトリガ出力端子です。	E10 インタフェース (フラッシュ版のみ)	ASEBRKAK	E10A エミュレータがブレイクモードに入ったことを示します。 E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。	DBGMD	E10A エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイ入力します。デバッグモード時は、ユーザボード上でロー入力します。E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。
分類	記号	機能										
ユーザブレイクコントローラ (UBC) (フラッシュ版のみ)	UBCTRG	UBC 条件一致のトリガ出力端子です。										
E10 インタフェース (フラッシュ版のみ)	ASEBRKAK	E10A エミュレータがブレイクモードに入ったことを示します。 E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。										
	DBGMD	E10A エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイ入力します。デバッグモード時は、ユーザボード上でロー入力します。E10A との接続については、「SH7047F E10A エミュレータユーザズマニュアル」を参照してください。										
図 3.2 SH7049 の各動作モードのアドレスマップ	3-4	<p>ROM:128kバイト、RAM:8kバイト</p>										

項目	ページ	修正箇所								
4.1 クロック発振器のブロック図	4-1									
4.3.1 発振子に関する注意事項	4-3	発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。								
図 4.6 PLL 回路の外付け推奨回路	4-4									
表 5.3 例外処理ベクタテーブル	5-3	<table border="1"> <thead> <tr> <th>例外要因</th> <th>ベクタ番号</th> <th>ベクタテーブルアドレスオフセット</th> </tr> </thead> <tbody> <tr> <td>内蔵周辺モジュール*2</td> <td>72</td> <td>H'00000120 ~ H'00000123</td> </tr> </tbody> </table>	例外要因	ベクタ番号	ベクタテーブルアドレスオフセット	内蔵周辺モジュール*2	72	H'00000120 ~ H'00000123		
例外要因	ベクタ番号	ベクタテーブルアドレスオフセット								
内蔵周辺モジュール*2	72	H'00000120 ~ H'00000123								
8.4.3 DTC 使用例	8-20	6. 128 回のデータ転送終了後、DTCRA が 0 になると、RDRF フラグは 1 のまま保持され、DTER ビットが 0 にクリアされ、CPU に RXI 割り込みが要求されます。								
表 9.2 アドレスマップ ・内蔵 ROM 有効モード時	9-5	<table border="1"> <thead> <tr> <th rowspan="2">アドレス</th> <th colspan="2">サイズ</th> </tr> <tr> <th>SH7047F</th> <th>SH7049</th> </tr> </thead> <tbody> <tr> <td>H'0020 0000~H'0023 FFFF</td> <td>256kB</td> <td>256kB</td> </tr> </tbody> </table> <p>【注】*部分削除</p>	アドレス	サイズ		SH7047F	SH7049	H'0020 0000~H'0023 FFFF	256kB	256kB
アドレス	サイズ									
	SH7047F	SH7049								
H'0020 0000~H'0023 FFFF	256kB	256kB								
表 10.10 TIORH_0 (チャンネル 0) ~ 表 10.25 TIORL_4 (チャンネル 4)	10-13 ~ 10-28	出力保持*→出力保持								
表 10.16 TIOR_2 (チャンネル 2)	10-19	<table border="1"> <thead> <tr> <th>ビット 7</th> <th colspan="2">説明</th> </tr> </thead> <tbody> <tr> <td>IOB3</td> <td>TGRB_2 の機能</td> <td>TIOC2B 端子の機能</td> </tr> </tbody> </table>	ビット 7	説明		IOB3	TGRB_2 の機能	TIOC2B 端子の機能		
ビット 7	説明									
IOB3	TGRB_2 の機能	TIOC2B 端子の機能								
表 10.24 TIORL_4 (チャンネル 4)	10-27	<table border="1"> <thead> <tr> <th>ビット 7</th> <th colspan="2">説明</th> </tr> </thead> <tbody> <tr> <td>IOD3</td> <td>TGRD_4 の機能</td> <td>TIOC4D 端子の機能</td> </tr> </tbody> </table> <p>【注】*2 TMDR_4 の BFB ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。</p>	ビット 7	説明		IOD3	TGRD_4 の機能	TIOC4D 端子の機能		
ビット 7	説明									
IOD3	TGRD_4 の機能	TIOC4D 端子の機能								

項目	ページ	修正箇所
図 10.23 PWM モードの動作例 (3)	10-55	<p>TCNTの値</p> <p>TGRA</p> <p>TGRB</p> <p>H'0000</p> <p>TIOCA</p> <p>TGRB書き換え</p> <p>デューティ100%</p>
図 10.31 リセット同期 PWM モードの動作例 (TOCR の OLSN=1、OLSP=1 に設定した場合)	10-64	破線上で立ち上がり/立ち下がりになるように修正
図 10.34 相補 PWM モードのカウンタ動作	10-69	<p>カウンタ値</p> <p>TGRA_3</p> <p>TCDR</p> <p>TDDR</p> <p>H'0000</p> <p>TCNT_3</p> <p>TCNT_4</p> <p>TCNTS</p>
図 10.73 TGR のライトとコンペアマッチの競合	10-99	<p>TGRライトサイクル</p> <p>T1</p> <p>T2</p> <p>Pφ</p> <p>アドレス</p> <p>TGRアドレス</p> <p>ライト信号</p> <p>コンペアマッチ信号</p>
図 10.83 オーバフローとカウンタクリアの競合	10-107	<p>Pφ</p> <p>TCNT入力クロック</p> <p>カウンタクリア信号</p> <p>TGF</p> <p>TCFV</p> <p>禁止されます</p>

項目	ページ	修正箇所																							
図 10.84 TCNT のライトとオーバフローの競合	10-108	<p>The diagram shows a clock signal Pφ and a TCNT write cycle. The write cycle consists of two pulses, T1 and T2. A TCFV flag is shown below the clock signal, with a shaded area indicating its state during the write cycle.</p>																							
10.9.5 使用上の注意事項	10-139	<p>(1) POE をレベル検出にするときは、最初 POE の入力をハイレベルにしてください。</p> <p>(2) POE0F、POE1F、POE2F、POE3F、OSF ビットの 0 クリアの際は、ICSR1、OCSR レジスタの読み出しを行い、読み出した値が 1 であるビットのみを 0 クリアし、それ以外のビットについては 1 を書き込んでください。</p>																							
11. ウォッチドッグタイマ (WDT)	11-1	P11-1 の内容を修正																							
11.3.3 リセットコントロール / ステータスレジスタ (RSTCSR)	11-4	RSTCSR は、リード/ライト可能な 8 ビットのレジスタで、TCNT のオーバフローによる内部リセット信号の発生を制御します。																							
11.6.8 WDTOVF 端子の使用上の注意事項	11-11	WDTOVF 端子は、プルダウンしないでください。もし、プルダウンが必要な場合は、1MΩ 以上の抵抗値でプルダウンしてください。																							
12.3.7 シリアルステータスレジスタ (SSR)	12-8	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TEND</td> <td> トランスミットエンド [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE が 0 のとき (3) 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき : (2) TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき </td> </tr> </tbody> </table>	ビット	ビット名	説明	2	TEND	トランスミットエンド [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE が 0 のとき (3) 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき : (2) TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき																	
ビット	ビット名	説明																							
2	TEND	トランスミットエンド [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCR の TE が 0 のとき (3) 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき : (2) TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき																							
表 12.6 ビットレートに対する BRR の設定例 (クロック同期式モード) (1)	12-15	<table border="1"> <thead> <tr> <th rowspan="3">論理 ビットレート (bit/s)</th> <th colspan="4">動作周波数 Pφ (MHz)</th> </tr> <tr> <th colspan="2">4</th> <th colspan="2">10</th> </tr> <tr> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>1000000</td> <td>0</td> <td>0*</td> <td>-</td> <td>-</td> </tr> <tr> <td>2500000</td> <td>-</td> <td>-</td> <td>0</td> <td>0*</td> </tr> </tbody> </table>	論理 ビットレート (bit/s)	動作周波数 Pφ (MHz)				4		10		n	N	n	N	1000000	0	0*	-	-	2500000	-	-	0	0*
論理 ビットレート (bit/s)	動作周波数 Pφ (MHz)																								
	4			10																					
	n	N	n	N																					
1000000	0	0*	-	-																					
2500000	-	-	0	0*																					
表 12.6 ビットレートに対する BRR の設定例 (クロック同期式モード) (2)	12-15	<table border="1"> <thead> <tr> <th rowspan="3">論理 ビットレート (bit/s)</th> <th colspan="4">動作周波数 Pφ (MHz)</th> </tr> <tr> <th colspan="2">20</th> <th colspan="2">22</th> </tr> <tr> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>5000000</td> <td>0</td> <td>0*</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	論理 ビットレート (bit/s)	動作周波数 Pφ (MHz)				20		22		n	N	n	N	5000000	0	0*	-	-					
論理 ビットレート (bit/s)	動作周波数 Pφ (MHz)																								
	20			22																					
	n	N	n	N																					
5000000	0	0*	-	-																					

項 目	ページ	修正箇所												
図 12.5 SCI の初期化フローチャートの例	12-22	 <p>説明文 [4] 削除</p>												
12.6.1 クロック	12-33	<p>ただし、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されません。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。</p>												
図 12.15 SCI の初期化フローチャートの例	12-34	 <p>説明文 [4] 削除</p>												
13.3.2 A/D コントロール/ステータスレジスタ_0, 1 (ADCSR_0, 1)	13-6	<table border="1" data-bbox="559 1087 1241 1435"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ADF</td> <td>A/D エンドフラグ : [クリア条件] (1) 1 の状態をリードした後、0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、DTC の DTMR ビットが 0 のときに ADDR からデータをリードしたとき</td> </tr> <tr> <td>5</td> <td>ADM1</td> <td>A/D モード 1、0</td> </tr> <tr> <td>4</td> <td>ADM0</td> <td>: 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。削除</td> </tr> </tbody> </table>	ビット	ビット名	説 明	7	ADF	A/D エンドフラグ : [クリア条件] (1) 1 の状態をリードした後、0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、DTC の DTMR ビットが 0 のときに ADDR からデータをリードしたとき	5	ADM1	A/D モード 1、0	4	ADM0	: 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。削除
ビット	ビット名	説 明												
7	ADF	A/D エンドフラグ : [クリア条件] (1) 1 の状態をリードした後、0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、DTC の DTMR ビットが 0 のときに ADDR からデータをリードしたとき												
5	ADM1	A/D モード 1、0												
4	ADM0	: 動作モードの切り替えは、A/D コントロールレジスタ (ADCR) の ADST が 0 の状態で行ってください。削除												

項目	ページ	修正箇所						
14.2.2 コンペアマッチタイムコントロー ル/ステータスレジスタ_0、1 (CMCSR_0、1)	14-3	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>CMF</td> <td> コンペアマッチフラグ : 0 : CMCNT と CMCOR の値が一致していない 1 : CMCNT と CMCOR の値が一致した [クリア条件] (1) CMF の 1 を読み出してから 0 を書き込む (2) CMI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときにデータを転送したとき </td> </tr> </tbody> </table>	ビット	ビット名	説明	7	CMF	コンペアマッチフラグ : 0 : CMCNT と CMCOR の値が一致していない 1 : CMCNT と CMCOR の値が一致した [クリア条件] (1) CMF の 1 を読み出してから 0 を書き込む (2) CMI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときにデータを転送したとき
ビット	ビット名	説明						
7	CMF	コンペアマッチフラグ : 0 : CMCNT と CMCOR の値が一致していない 1 : CMCNT と CMCOR の値が一致した [クリア条件] (1) CMF の 1 を読み出してから 0 を書き込む (2) CMI 割り込みにより DTC が起動され、DTC の DTMR の DISEL ビットが 0 のときにデータを転送したとき						
15. コントローラエリアネットワーク 2 (HCAN2)	15-1	HCAN2 は、CAN の持つイベントドリブン通信を可能としています。 IFCAN20A_020020020700 削除						
15.1 特長	15-2	HCAN2 ホールトモード 削除 ・その他 : ・章末の「15.8 使用上の注意事項」を必ずお読みください。						
	15-4	・タイマ タイマは、ホスト CPU で制御可能な 16 ビットのフリーランニングアップカウンタです。2 個のコン ペアマッチレジスタは割り込み信号を生成し、カウンタ値のクリアとローカルオフセットレジスタの セットを行います。 : TCNTR、TCR、TSR、LOSR、ICR0、ICR1、TCMR0、TCMR1 のレジスタで構成されています。						
15.2 入出力端子	15-5	なお、HCAN2 端子を使用する際は、必ず HCAN2 コンフィギュレーションモード期間中に設定してく ださい。						
	15-5	端子と CAN バスの間にはバスタライバが必要になります。ルネサス HA13721 を推奨します。						
15.3 レジスタの説明	15-6	送信待ちレジスタ (TXPR1/0) 送信待ち取り消しレジスタ (TXCR1/0) 送信アクノレッジレジスタ (TXACK1/0) 取り消しアクノレッジレジスタ (ABACK1/0) 受信完了レジスタ (RXPR1/0) リモートリクエストレジスタ (RFPR1/0) メールボックスインタラプトマスクレジスタ (MBIMR1/0) 未読メッセージステータスレジスタ (UMSR1/0) タイマコンペアマッチレジスタ 2 (TCMR2) 削除						
図 15.2 レジスタ構造図	15-7	タイマコンペアマッチレジスタ 2 (TCMR2) 削除						

項 目	ページ	修正箇所									
15.3.1 マスタコントロールレジスタ (MCR)	15-8	HCAN→HCAN2 ビット 11「説明」 エラーカウンタディスエーブル エラーカウンタ (TEC/REC) 機能を有効/無効にします。このビットが 1 のとき、エラーカウンタ (TEC/REC) は変更されず、現在の値を保持します。このビットが 0 のとき、エラーカウンタ (TEC/REC) は CAN 仕様に従って動作します。									
	15-9	ビット 10「説明」 [TST=1]→ [TST0=1]									
		ビット 9「説明」 [TST=1]→ [TST0=1]									
		ビット 8「説明」 内部ループイネーブル 内部 Tx を内部 Rx にループでフィードバックすることを許可/禁止します。 削除									
	15-10	ビット 5「説明」差し替え									
	15-11	ビット 1「説明」差し替え ビット 0【重要】追加									
15.3.2 ジェネラルステータスレジスタ (GSR)	15-12	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>GSR3</td> <td>リセットステータスビット : [クリア条件] MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します。)</td> </tr> <tr> <td>1</td> <td>GSR1</td> <td>送信/受信ワーニングフラグ [クリア条件] (1) TEC < 96 かつ REC < 96 のとき : 【重要】HCAN2 のステータスがバスオフ中は、GSR1 の値は不定となります。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	GSR3	リセットステータスビット : [クリア条件] MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します。)	1	GSR1	送信/受信ワーニングフラグ [クリア条件] (1) TEC < 96 かつ REC < 96 のとき : 【重要】HCAN2 のステータスがバスオフ中は、GSR1 の値は不定となります。
ビット	ビット名	説 明									
3	GSR3	リセットステータスビット : [クリア条件] MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します。)									
1	GSR1	送信/受信ワーニングフラグ [クリア条件] (1) TEC < 96 かつ REC < 96 のとき : 【重要】HCAN2 のステータスがバスオフ中は、GSR1 の値は不定となります。									
15.3.5 インタラプトリクエストレジスタ (IRR)	15-15	ビット 11「ビット名」IRR11→ - 「説明」差し替え ビット 10「ビット名」IRR10→ - 「説明」差し替え									
	15-16	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>8</td> <td>IRR8</td> <td>R</td> </tr> </tbody> </table>	ビット	ビット名	R/W	8	IRR8	R			
ビット	ビット名	R/W									
8	IRR8	R									
51.3.6 インタラプトマスクレジスタ (IMR)	15-19	ビット 11「ビット名」IMR11→ - 「説明」差し替え ビット 10「ビット名」IMR10→ - 「説明」差し替え									
15.3.7 エラーカウントレジスタ (TEC/REC)	15-21	REC は 8 ビットのレジスタで、CAN バス上の受信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。 【重要】HCAN2 のステータスがバスオフ中は、TEC、REC の値は不定となります。									
15.3.8 送信待ちレジスタ (TXPR1/0) ~ 15.3.15 未読メッセージステータスレジスタ (UMSR1/0)	15-22 ~ 15-29	修正									

項目	ページ	修正箇所																																																																						
15.3.16 メールボックス (MB0~MB31)	15-30	<table border="1"> <tr> <td>レジスタ名</td> <td>Address</td> <td colspan="11">Data Bus</td> </tr> <tr> <td></td> <td></td> <td>15</td> <td>14</td> <td>13</td> <td>12</td> <td>11</td> <td>10</td> <td>9</td> <td>8</td> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> </tr> <tr> <td>MBx[0]~[1]</td> <td></td> <td>0</td> <td colspan="11">STID[10:0]</td> </tr> <tr> <td>MBx[2]~[3]</td> <td></td> <td colspan="11">EXTID[15:0]</td> </tr> <tr> <td>MBx[4]~[5]</td> <td></td> <td>CCM</td> <td>TTE</td> <td>NMC</td> <td>ATX</td> <td>DART</td> <td>MBC[2:0]</td> <td>PTE</td> <td>TCT</td> <td>0</td> <td>0</td> <td colspan="3"></td> </tr> </table> <p>【注】 グレー表示のビットはリザーブビットでライトする値は0にしてください。リードした値は保証されません。</p>	レジスタ名	Address	Data Bus													15	14	13	12	11	10	9	8	7	6	5	4	3	MBx[0]~[1]		0	STID[10:0]											MBx[2]~[3]		EXTID[15:0]											MBx[4]~[5]		CCM	TTE	NMC	ATX	DART	MBC[2:0]	PTE	TCT	0	0			
レジスタ名	Address	Data Bus																																																																						
		15	14	13	12	11	10	9	8	7	6	5	4	3																																																										
MBx[0]~[1]		0	STID[10:0]																																																																					
MBx[2]~[3]		EXTID[15:0]																																																																						
MBx[4]~[5]		CCM	TTE	NMC	ATX	DART	MBC[2:0]	PTE	TCT	0	0																																																													
	15-31	レジスタ名 MBx[4]~[5] 修正																																																																						
	15-34	【注】 *MBC=b'001, 010, 100, 101 の時は、ローカルアクセプタンスフィルタマスク (LAFM) フィールドになります。																																																																						
表 15.2 メールボックスコンフィグレーションビットの設定	15-36	<table border="1"> <tr> <td>MBC[2]</td> <td>MBC[1]</td> <td>MBC[0]</td> <td>データ フレーム送信</td> <td>リモート フレーム送信</td> <td>データ フレーム受信</td> <td>リモート フレーム受信</td> <td>備考</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td colspan="4">設定禁止</td> <td></td> </tr> </table>	MBC[2]	MBC[1]	MBC[0]	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	備考	0	1	1	設定禁止																																																										
MBC[2]	MBC[1]	MBC[0]	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	備考																																																																	
0	1	1	設定禁止																																																																					
15.3.18 タイマコントロールレジスタ (TCR)	15-37	ビット 15、13 「説明」 追加																																																																						
15.3.19 タイマステータスレジスタ (TSR)	15-39	ビット 4 「ビット名」 TSR4→ - 「説明」 差し替え ビット 3 「ビット名」 TSR3→ - 「説明」 差し替え																																																																						
15.3.22 タイマコンペアマッチレジスタ 0、1 (TCMR0、TCMR1)	15-41	修正																																																																						
15.4.1 ハードウェアリセットとソフトウェアリセット	15-42	・ソフトウェアリセット 差し替え																																																																						
15.4.2 ハードウェアリセット後の初期設定	15-42	<ul style="list-style-type: none"> ・インタラプトリクエストレジスタ (IRR) の IRR0 ビットのクリア ・HCAN2 端子のポート設定 ・ビットレートの設定 ・メールボックス (RAM) の初期化 ・各メールボックスの送受信方向の設定 ・メッセージ送信方式の選択 <p>初期設定は必ず、HCAN2 がコンフィギュレーションモードの状態で行ってください。</p>																																																																						
図 15.5 ハードウェアリセット時のフローチャート	15-43	差し替え																																																																						
図 15.6 ソフトウェアリセット時のフローチャート	15-44	差し替え																																																																						
表 15.5 BCR の TSEG1、TSEG2 の設定可能な範囲	15-46	【重要】 *BRP[7:0]=B'00000000 設定時、TSEG2[2:0]= B'001 設定禁止																																																																						
15.4.2 ハードウェアリセット後の初期設定	15-47	<p>(5) メールボックス送受信方向の設定</p> <p>:</p> <p>【重要】 メールボックス 31 を送信メールボックスとして使用するとき、使用制限があります。章末の「15.8 使用上の注意事項」を必ずよくお読みください。</p>																																																																						

項目	ページ	修正箇所					
図 15.8 イベントトリガによる送信時のフローチャート	15-48	<pre> graph TD A{IMR8=1?} -- Y --> B[CPUへ割り込み (SLE1)] A -- N --> C[TXACKをクリア IRR8をクリア] B --> D[] C --> D style D width:0px,height:0px </pre>					
15.4.3 イベントトリガによるメッセージ送信	15-49	<p>(5) メッセージの送信</p> <p>：</p> <p>また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビットとインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IMR8) が割り込み許可に設定されていると、CPU への割り込み (SLE1) を発生することができます。</p>					
図 15.10 メッセージ送信要求	15-51	HCAN→HCAN2					
15.4.6 メッセージ受信	15-56 15-57	<p>・データフレーム受信</p> <p>・リモートフレーム受信 (RM0、1) → (RM1)</p>					
15.4.7 メールボックスのリコンフィギュレーション	15-58	MBCR→MBC					
図 15.14 受信ボックス ID の変更と受信ボックスから受信ボックスへの変更	15-59	HCAN→HCAN2					
15.4.8 HCAN2 スリープモード	15-60	<p>【推奨】 HCAN2 スリープモード設定にあたり、以下のフローを推奨します。</p> <ol style="list-style-type: none"> 1. ホールトモード設定 (MCR1=1)。 2. CAN バスから切り離されたことを確認 (GSR4=1)。 3. IRR を設定する要因レジスタをクリア。 4. ホールトモード解除およびスリープモード設定を同時設定 (MCR1=0&MCR5=1)。 					
図 15.16 HCAN2 ホールトモードのフローチャート	15-62	修正					
表 15.6 HCAN2 の割り込み要因	15-63	<table border="1"> <thead> <tr> <th>名称</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">OVR1</td> <td>パワーオンリセットによるリセット処理割り込み</td> </tr> <tr> <td>オーバロードフレーム送信</td> </tr> </tbody> </table>	名称	説明	OVR1	パワーオンリセットによるリセット処理割り込み	オーバロードフレーム送信
名称	説明						
OVR1	パワーオンリセットによるリセット処理割り込み						
	オーバロードフレーム送信						
15.7 CAN バスインタフェース	15-65	Philips 社 PCA82C250 デバイス→ルネサス HA13721 PCA82C250→HA13721					
図 15.18 HA13721 を用いた高速インターフェース	15-65	修正					
15.8 使用上の注意事項	15-65	15.8.16～15.8.22 追加					
15.8.1 イムトリガ送信設定/タイマ動作禁止について	15-65	差し替え					
16.3.2 タイマコントロールレジスタ (TCNR)	16-5	TCNR は割り込み要求許可/禁止の制御、レジスタのアクセス許可/禁止の選択、カウンタの動作/停止の選択を行います。					
16.4.1 設定手順例	16-8	動作モードの設定手順例を図 16.2 に示します。					

項 目	ページ	修正箇所
図 16.5 PWM 波形生成例	16-13	差し替え
16.7.2 MMT 動作中の注意	16-22	(3)、(4) 追加
16.8.5 使用上の注意事項	16-27	(1) POE をレベル検出に設定するときは、最初 POE 入力をハイレベルにしてください。 (2) POE4F、POE5F、POE6F ビットの 0 クリアの際は、ICSR2 レジスタの読み出しを行い、読み出した値が 1 であるビットのみを 0 クリアし、それ以外のビットについては、1 を書き込んでください。
17.1.2 ポート A コントロールレジスタ L3 ~1 (PACRL3~1)	17-13	PA5 モード追加
17.2 使用上の注意事項	17-21	(3) ~ (5) 追加
19.1 特長	19-1	・書き換え回数 「第 25 章 電気的特性」を参照してください。
19.6 オンボードプログラミング	19-11	表注記削除
図 19.10 イレース/イレースベリファイフロー	19-20	<pre> graph TD Start([消去開始]) -- n ← 1 --> SWE[SWEビット ← 1] SWE --> Wait[Wait (tSSWE) μs] Wait --> Loop[n ← 1] Loop --> SWE </pre>
19.13 フラッシュメモリの書き込み/消去時の注意事項	19-23	追加
20. マスク ROM	20-1	内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、アドレス H'00000000~H'0001FFFF に割り付けられています。
図 24.1 モード遷移図	24-3	【注】* NMI、IRQ
24.3.1 スリープモード	24-7	(2) スリープモードの解除 : ・HSTBY 端子による解除 HSTBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。
34.3.2 ソフトウェアスタンバイモード	24-7	(1) ソフトウェアスタンバイモードへの遷移 : ただし、CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられている限り保持されま す。

項目	ページ	修正箇所																											
5.2 DC 特性	25-2	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>シュミットトリガ 入力電圧</td> <td>VT+ (VIH)</td> </tr> <tr> <td></td> <td>VT- (VIL)</td> </tr> <tr> <td></td> <td>VT+- VT-</td> </tr> </tbody> </table>	項目	記号	シュミットトリガ 入力電圧	VT+ (VIH)		VT- (VIL)		VT+- VT-																			
項目	記号																												
シュミットトリガ 入力電圧	VT+ (VIH)																												
	VT- (VIL)																												
	VT+- VT-																												
図 25.10 基本サイクル (ノーウェイト)	25-11																												
図 25.12 基本サイクル (2 ソフトウェアウェイト + WAIT 信号によるウェイト)	25-13	WAIT→WAIT																											
25.3.10 ポートアウトプットイネーブル (POE) タイミング	25-18	表 25.12 ポートアウトプットイネーブル (POE) タイミング																											
表 25.18 A/D 変換器特性	25-25	<table border="1"> <thead> <tr> <th>項目</th> <th>min</th> </tr> </thead> <tbody> <tr> <td>非直線性誤差 (参考値)</td> <td>-</td> </tr> <tr> <td>オフセット誤差 (参考値)</td> <td>-</td> </tr> <tr> <td>フルスケール誤差 (参考値)</td> <td>-</td> </tr> </tbody> </table>	項目	min	非直線性誤差 (参考値)	-	オフセット誤差 (参考値)	-	フルスケール誤差 (参考値)	-																			
項目	min																												
非直線性誤差 (参考値)	-																												
オフセット誤差 (参考値)	-																												
フルスケール誤差 (参考値)	-																												
表 25.19 フラッシュメモリ特性	25-26	<table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>特記</th> </tr> </thead> <tbody> <tr> <td rowspan="2">書き換え回数</td> <td>N_{WEC}</td> <td>100^{*7}</td> <td>10000^{*8}</td> <td>-</td> <td>回</td> <td>標準品</td> </tr> <tr> <td>N_{WEC}</td> <td>-</td> <td>-</td> <td>100</td> <td>回</td> <td>広温度範囲品</td> </tr> <tr> <td>データ保持時間</td> <td>t_{DHP}</td> <td>10^{*9}</td> <td>-</td> <td>-</td> <td>年</td> <td>t_{DHP}</td> </tr> </tbody> </table> <p>【注】 *7~*9 追加</p>	項目	記号	min	typ	max	単位	特記	書き換え回数	N_{WEC}	100^{*7}	10000^{*8}	-	回	標準品	N_{WEC}	-	-	100	回	広温度範囲品	データ保持時間	t_{DHP}	10^{*9}	-	-	年	t_{DHP}
項目	記号	min	typ	max	単位	特記																							
書き換え回数	N_{WEC}	100^{*7}	10000^{*8}	-	回	標準品																							
	N_{WEC}	-	-	100	回	広温度範囲品																							
データ保持時間	t_{DHP}	10^{*9}	-	-	年	t_{DHP}																							
A.1 レジスタアドレス一覧 (アドレス順)	付録-9~ 付録-28	レジスタ名称「マスタコントロールレジスタ」から「メールボックス 31[15]」まで、アクセスサイズ「32」削除、 アクセスステート数「L:16」削除																											

項目	ページ	修正箇所																																																																																																																																																																																																																																										
A.2 レジスタビット一覧	付録-32 ～ 付録-40	<table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td rowspan="2">IPRK</td> <td>I/O(MMT)</td> <td>I/O(MMT)</td> <td>I/O(MMT)</td> <td>I/O(MMT)</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>HCAN2</td> <td>HCAN2</td> <td>HCAN2</td> <td>HCAN2</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>TCSR</td> <td>OVF</td> <td>WTF/IT</td> <td>TME</td> <td>—</td> <td>—</td> <td>CKS2</td> <td>CKS1</td> <td>CKS0</td> </tr> <tr> <td rowspan="2">MSTCR2</td> <td>—</td> <td>MSTP14</td> <td>MSTP13</td> <td>MSTP12</td> <td>—</td> <td>—</td> <td>MSTP9</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>MSTP5</td> <td>MSTP4</td> <td>MSTP3</td> <td>MSTP2</td> <td>—</td> <td>MSTP0</td> </tr> <tr> <td>DTEE</td> <td>—</td> <td>—</td> <td>DTEE5</td> <td>—</td> <td>DTEE3</td> <td>DTEE2</td> <td>DTEE1</td> <td>DTEE0</td> </tr> <tr> <td>ADTSR</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>TRG1S1</td> <td>TRG1S0</td> <td>TRG0S1</td> <td>TRG0S0</td> </tr> <tr> <td>MMT_TMDR</td> <td>—</td> <td>CKS2</td> <td>CKS1</td> <td>CKS0</td> <td>OLSN</td> <td>OLSP</td> <td>MD1</td> <td>MD0</td> </tr> <tr> <td rowspan="2">MCR</td> <td>TST7</td> <td>TST6</td> <td>TST5</td> <td>TST4</td> <td>TST3</td> <td>TST2</td> <td>TST1</td> <td>TST0</td> </tr> <tr> <td>MCR7</td> <td>—</td> <td>MCR5</td> <td>—</td> <td>—</td> <td>MCR2</td> <td>MCR1</td> <td>MCR0</td> </tr> <tr> <td rowspan="2">HCAN2_BCR1</td> <td>TSEG1_3</td> <td>TSEG1_2</td> <td>TSEG1_1</td> <td>TSEG1_0</td> <td>—</td> <td>TSEG2_2</td> <td>TSEG2_1</td> <td>TSEG2_0</td> </tr> <tr> <td>—</td> <td>—</td> <td>SJW1</td> <td>SJW0</td> <td>—</td> <td>—</td> <td>—</td> <td>BSP</td> </tr> <tr> <td rowspan="3">IMR</td> <td>IMR15</td> <td>IMR14</td> <td>IMR13</td> <td>IMR12</td> <td>—</td> <td>—</td> <td>IMR9</td> <td>IMR8</td> </tr> <tr> <td>IMR7</td> <td>IMR6</td> <td>IMR5</td> <td>IMR4</td> <td>IMR3</td> <td>IMR2</td> <td>IMR1</td> <td>IMR0</td> </tr> <tr> <td>REC</td> <td>REC7</td> <td>REC6</td> <td>REC5</td> <td>REC4</td> <td>REC3</td> <td>REC2</td> <td>REC1</td> <td>REC0</td> </tr> <tr> <td>TEC</td> <td>TEC7</td> <td>TEC6</td> <td>TEC5</td> <td>TEC4</td> <td>TEC3</td> <td>TEC2</td> <td>TEC1</td> <td>TEC0</td> </tr> <tr> <td rowspan="2">TXCR1</td> <td>TXCR31</td> <td>TXCR30</td> <td>TXCR29</td> <td>TXCR28</td> <td>TXCR27</td> <td>TXCR26</td> <td>TXCR25</td> <td>TXCR24</td> </tr> <tr> <td>TXCR23</td> <td>TXCR22</td> <td>TXCR21</td> <td>TXCR20</td> <td>TXCR19</td> <td>TXCR18</td> <td>TXCR17</td> <td>TXCR16</td> </tr> <tr> <td rowspan="2">TXCR0</td> <td>TXCR15</td> <td>TXCR14</td> <td>TXCR13</td> <td>TXCR12</td> <td>TXCR11</td> <td>TXCR10</td> <td>TXCR9</td> <td>TXCR8</td> </tr> <tr> <td>TXCR7</td> <td>TXCR6</td> <td>TXCR5</td> <td>TXCR4</td> <td>TXCR3</td> <td>TXCR2</td> <td>TXCR1</td> <td>—</td> </tr> <tr> <td rowspan="2">TCR</td> <td>TCR15</td> <td>TCR14</td> <td>TCR13</td> <td>TCR12</td> <td>TCR11</td> <td>TCR10</td> <td>TCR9</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>TPSC5</td> <td>TPSC4</td> <td>TPSC3</td> <td>TPSC2</td> <td>TPSC1</td> <td>TPSC0</td> </tr> <tr> <td rowspan="2">TSR</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>TSR2</td> <td>TSR1</td> <td>TSR0</td> </tr> <tr> <td>MB0[5]</td> <td>PTE</td> <td>TCT</td> <td>—</td> <td>—</td> <td>DLC3</td> <td>DLC2</td> <td>DLC1</td> <td>DLC0</td> </tr> <tr> <td>MB0[6]</td> <td colspan="8">TimeStamp[15:0]</td> </tr> </tbody> </table>	レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	IPRK	I/O(MMT)	I/O(MMT)	I/O(MMT)	I/O(MMT)	—	—	—	—	HCAN2	HCAN2	HCAN2	HCAN2	—	—	—	—	TCSR	OVF	WTF/IT	TME	—	—	CKS2	CKS1	CKS0	MSTCR2	—	MSTP14	MSTP13	MSTP12	—	—	MSTP9	—	—	—	MSTP5	MSTP4	MSTP3	MSTP2	—	MSTP0	DTEE	—	—	DTEE5	—	DTEE3	DTEE2	DTEE1	DTEE0	ADTSR	—	—	—	—	TRG1S1	TRG1S0	TRG0S1	TRG0S0	MMT_TMDR	—	CKS2	CKS1	CKS0	OLSN	OLSP	MD1	MD0	MCR	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0	MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0	HCAN2_BCR1	TSEG1_3	TSEG1_2	TSEG1_1	TSEG1_0	—	TSEG2_2	TSEG2_1	TSEG2_0	—	—	SJW1	SJW0	—	—	—	BSP	IMR	IMR15	IMR14	IMR13	IMR12	—	—	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	TEC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	TXCR1	TXCR31	TXCR30	TXCR29	TXCR28	TXCR27	TXCR26	TXCR25	TXCR24	TXCR23	TXCR22	TXCR21	TXCR20	TXCR19	TXCR18	TXCR17	TXCR16	TXCR0	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—	TCR	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9	—	—	—	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	TSR	—	—	—	—	—	—	—	—	—	—	—	—	—	TSR2	TSR1	TSR0	MB0[5]	PTE	TCT	—	—	DLC3	DLC2	DLC1	DLC0	MB0[6]	TimeStamp[15:0]							
		レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																																																																																																																																																																																		
		IPRK	I/O(MMT)	I/O(MMT)	I/O(MMT)	I/O(MMT)	—	—	—	—																																																																																																																																																																																																																																		
			HCAN2	HCAN2	HCAN2	HCAN2	—	—	—	—																																																																																																																																																																																																																																		
		TCSR	OVF	WTF/IT	TME	—	—	CKS2	CKS1	CKS0																																																																																																																																																																																																																																		
		MSTCR2	—	MSTP14	MSTP13	MSTP12	—	—	MSTP9	—																																																																																																																																																																																																																																		
			—	—	MSTP5	MSTP4	MSTP3	MSTP2	—	MSTP0																																																																																																																																																																																																																																		
		DTEE	—	—	DTEE5	—	DTEE3	DTEE2	DTEE1	DTEE0																																																																																																																																																																																																																																		
		ADTSR	—	—	—	—	TRG1S1	TRG1S0	TRG0S1	TRG0S0																																																																																																																																																																																																																																		
		MMT_TMDR	—	CKS2	CKS1	CKS0	OLSN	OLSP	MD1	MD0																																																																																																																																																																																																																																		
		MCR	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0																																																																																																																																																																																																																																		
			MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0																																																																																																																																																																																																																																		
		HCAN2_BCR1	TSEG1_3	TSEG1_2	TSEG1_1	TSEG1_0	—	TSEG2_2	TSEG2_1	TSEG2_0																																																																																																																																																																																																																																		
			—	—	SJW1	SJW0	—	—	—	BSP																																																																																																																																																																																																																																		
		IMR	IMR15	IMR14	IMR13	IMR12	—	—	IMR9	IMR8																																																																																																																																																																																																																																		
			IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0																																																																																																																																																																																																																																		
			REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0																																																																																																																																																																																																																																	
		TEC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0																																																																																																																																																																																																																																		
		TXCR1	TXCR31	TXCR30	TXCR29	TXCR28	TXCR27	TXCR26	TXCR25	TXCR24																																																																																																																																																																																																																																		
			TXCR23	TXCR22	TXCR21	TXCR20	TXCR19	TXCR18	TXCR17	TXCR16																																																																																																																																																																																																																																		
		TXCR0	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8																																																																																																																																																																																																																																		
			TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—																																																																																																																																																																																																																																		
		TCR	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9	—																																																																																																																																																																																																																																		
			—	—	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0																																																																																																																																																																																																																																		
		TSR	—	—	—	—	—	—	—	—																																																																																																																																																																																																																																		
			—	—	—	—	—	TSR2	TSR1	TSR0																																																																																																																																																																																																																																		
		MB0[5]	PTE	TCT	—	—	DLC3	DLC2	DLC1	DLC0																																																																																																																																																																																																																																		
		MB0[6]	TimeStamp[15:0]																																																																																																																																																																																																																																									
		A.3 各動作モードにおけるレジスタの状態	付録-46	<table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>パワーオン リセット</th> <th>マニュアル リセット</th> <th>ハードウェア スタンバイ</th> <th>ソフトウェア スタンバイ</th> </tr> </thead> <tbody> <tr> <td>TCSR</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化/保持^{*1}</td> </tr> <tr> <td>TCNT</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> </tr> <tr> <td>RSTCSR</td> <td>初期化/保持^{*2}</td> <td>保持</td> <td>初期化</td> <td>初期化</td> </tr> </tbody> </table> <p>【注】 *1、*2 追加</p>	レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ	TCSR	初期化	初期化	初期化	初期化/保持 ^{*1}	TCNT	初期化	初期化	初期化	初期化	RSTCSR	初期化/保持 ^{*2}	保持	初期化	初期化																																																																																																																																																																																																																				
				レジスタ略称	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ	ソフトウェア スタンバイ																																																																																																																																																																																																																																				
TCSR	初期化			初期化	初期化	初期化/保持 ^{*1}																																																																																																																																																																																																																																						
TCNT	初期化			初期化	初期化	初期化																																																																																																																																																																																																																																						
RSTCSR	初期化/保持 ^{*2}		保持	初期化	初期化																																																																																																																																																																																																																																							
付録-48	レジスタ名称 MCR から TCMR1 「マニュアルリセット」 保持→初期化																																																																																																																																																																																																																																											
	レジスタ名称 MB0[0]修正																																																																																																																																																																																																																																											
付録-49	レジスタ名称 MB0[1]から MB31[18] 「パワーオンリセット」 初期化→不定																																																																																																																																																																																																																																											
	レジスタ名称 MB0[1]から MB31[18] 「ハードウェアスタンバイ」 初期化→保持																																																																																																																																																																																																																																											
	レジスタ名称 MB0[1]から MB31[18] 「ソフトウェアスタンバイ」 初期化→保持																																																																																																																																																																																																																																											
	レジスタ名称 MB0[1]から MB31[18] 「モジュールスタンバイ」 初期化→保持																																																																																																																																																																																																																																											
B. 端子状態	付録 50	端子名 DBGMD のスリープ、バス権解放状態を O→I に修正																																																																																																																																																																																																																																										

索引

A/D 変換器	13-1	コンペアマッチタイマ	14-1
1 サイクルスキャンモード	13-11	システムレジスタ	2-4
A/D 変換時間	13-11	プログラムカウンタ(PC)	2-4
シングルモード	13-10	プロシージャレジスタ(PR)	2-4
連続スキャンモード	13-10	積和レジスタ(MAC)	2-4
CPU の処理状態	2-26	シリアルコミュニケーションインタフェース	12-1
バス権解放状態	2-26	オーバランエラー	12-25
プログラム実行状態	2-26	クロック同期式モード	12-33
リセット状態	2-26	マルチプロセッサ通信機能	12-28
低消費電力状態	2-26	調歩同期式モード	12-18
例外処理状態	2-26	データトランスファコントローラ	8-1
I/O ポート	18-1	DTC のソフトウェア起動	8-19
RAM	21-1	DTC の割り込み起動	8-19
RISC 方式	2-6	DTC ベクタテーブル	8-8
アドバンストユーザデバッグ	23-1	チェイン転送	8-16
RAM モニタモード	23-5	ノーマルモード	8-13
ブランチトレースモード	23-4	ブロック転送モード	8-15
アドレスマップ	3-3	リピートモード	8-14
アドレッシングモード	2-10	データ形式	2-5
ウォッチドッグタイマ	11-1	バイトデータ	2-5
RSTCSR への書き込み	11-9	ロングワードデータ	2-5
TCNT、TCSR、RSTCSR からの読み出し	11-9	ワードデータ	2-5
TCNT、TCSR への書き込み	11-8	バススタートコントローラ	9-1
インターバルタイマモード	11-6	ピンファンクションコントローラ	17-1
ウォッチドッグタイマモード	11-5	マルチプレクス端子の機能	17-1
クロックモード	3-2	動作モード別端子機能一覧	17-1
クロック発振器	4-1	フラッシュメモリ	19-1
外部クロック	4-3	RAM エミュレーション	19-15
水晶発振子	4-2	エラープロテクト	19-22
コントローラエリアネットワーク 2	15-1	ソフトウェアプロテクト	19-21
Re-Synchronization	15-45	ハードウェアプロテクト	19-21
Time Quanta	15-45	ブートモード	19-12
ソフトウェアリセット	15-42	ユーザプログラムモード	19-14
メールボックス	15-47	ライタモード	19-22
コントロールレジスタ	2-3	マスク ROM	20-1
グローバルベースレジスタ(GBR)	2-4	マルチファンクションタイマパルスユニット	10-1
ステータスレジスタ (SR)	2-3	PWM モード	10-51
ベクタベースレジスタ(VBR)	2-4	インプットキャプチャ	10-44

カスケード接続動作.....	10-50	HCAN2_ICR1.....	付録-10, 40, 48
コンペアマッチ.....	10-42	ICR1.....	6-4, 付録-4, 32, 44
ハインピーダンス状態.....	10-131	ICR2.....	6-5, 付録-4, 32, 44
バッファ動作.....	10-47	ICSR1.....	10-133, 付録-5, 33, 45
フリーランニングカウンタ動作.....	10-40	ICSR2.....	16-25, 付録-5, 34, 45
リセット同期 PWM モード.....	10-62	IMR.....	15-19, 付録-9, 38, 48
位相計数モード.....	10-55	IPR.....	6-7, 付録-4, 32, 44
周期カウンタ動作.....	10-40	IRR.....	15-15, 付録-9, 38, 48
同期動作.....	10-45	ISR.....	6-6, 付録-4, 32, 44
モータマネージメントタイマ.....	16-1	LOSR.....	15-40, 付録-10, 40, 48
ハインピーダンス状態.....	16-23	MB.....	15-30, 付録-10, 40, 49
ハイパフォーマンスユーザデバッグインタフェース...22-1		MBIMR.....	15-28, 付録-10, 39, 48
TAP コントローラ.....	22-1	MCR.....	15-8, 付録-9, 38, 48
ユーザブレークコントローラ.....	7-1	MMT_TCNT.....	16-6, 付録-8, 37, 47
レジスタ		MMT_TDDR.....	16-7, 付録-8, 37, 47
ABACK.....	15-25, 付録-10, 39, 48	MMT_TMDR.....	16-4, 付録-8, 36, 47
ADCR.....	13-8, 付録-6, 35, 46	MMT_TSR.....	16-6, 付録-8, 36, 47
ADCSR.....	13-6, 付録-6, 35, 46	MSTCR.....	24-6, 付録-7, 36, 46
ADDR.....	13-5, 付録-6, 34, 45	OCSR.....	10-136, 付録-5, 33, 45
ADTSR.....	13-9, 付録-8, 36, 47	PACRL.....	17-12, 付録-4, 32, 44
BCR1.....	9-6, 付録-7, 36, 46	PADRL.....	18-2, 付録-4, 32, 44
BCR2.....	9-7, 付録-7, 36, 46	PAIORL.....	17-11, 付録-4, 32, 44
BRR.....	12-10, 付録-1, 29, 42	PBCR.....	17-16, 付録-5, 33, 44
CMCNT.....	14-3, 付録-6, 34, 45	PBDR.....	18-4, 付録-4, 32, 44
CMCOR.....	14-3, 付録-6, 34, 45	PBIOR.....	17-15, 付録-4, 33, 44
CMCSR.....	14-3, 付録-5, 34, 45	PDCRL.....	17-18, 付録-5, 33, 45
CMSTR.....	14-2, 付録-5, 34, 45	PDDRL.....	18-5, 付録-5, 33, 45
DTBR.....	8-7, 付録-8, 36, 47	PDIORL.....	17-17, 付録-5, 33, 45
DTCRA.....	8-5	PECRH.....	17-19, 付録-5, 33, 45
DTCRB.....	8-5	PECRL.....	17-19, 付録-5, 33, 45
DTCSR.....	8-6, 付録-8, 36, 47	PEDRH.....	18-8, 付録-5, 33, 45
DTDAR.....	8-4	PEDRL.....	18-8, 付録-5, 33, 45
DTER(DTEA~DTEF).....	8-5, 付録-8, 36, 47	PEIORH.....	17-19, 付録-5, 33, 45
DTIAR.....	8-5	PEIORL.....	17-19, 付録-5, 33, 45
DTMR.....	8-3	PFDR.....	18-10, 付録-5, 33, 45
DTSAR.....	8-4	RAMER.....	9-8, 19-10, 付録-7, 36, 46
EBR1.....	19-9, 付録-7, 35, 46	RDR.....	12-4, 付録-1, 29, 42
EBR2.....	19-10, 付録-7, 35, 46	REC.....	15-21, 付録-9, 39, 48
FLMCR1.....	19-8, 付録-7, 35, 46	RFPR.....	15-27, 付録-10, 39, 48
FLMCR2.....	19-9, 付録-7, 35, 46	RSR.....	12-4
GSR.....	15-12, 付録-9, 38, 48	RSTCSR.....	11-4, 付録-7, 36, 46
HCAN2_BCR0.....	15-14, 付録-9, 38, 48	RXPR.....	15-26, 付録-10, 39, 48
HCAN2_BCR1.....	15-13, 付録-9, 38, 48	SBYCR.....	24-4, 付録-7, 36, 46
HCAN2_ICR0.....	付録-10, 40, 48	SCR.....	12-6, 付録-1, 29, 42

SDBPR	22-5	TXACK	15-24, 付録-10, 39, 48
SDCR	12-9, 付録-1, 29, 42	TXCR	15-23, 付録-10, 39, 48
SDDR	22-5, 付録-9, 38, 48	TXPR	15-22, 付録-10, 39, 48
SDIR	22-4, 付録-9, 38, 48	UBAMR	7-3, 付録-7, 35, 46
SDSR	22-5, 付録-9, 38, 48	UBAR	7-3, 付録-7, 35, 46
SMR	12-5, 付録-1, 29, 42	UBBR	7-4, 付録-7, 35, 46
SSR	12-7, 付録-1, 29, 42	UBCR	7-5, 付録-7, 35, 46
SYSCR	24-5, 付録-7, 36, 46	UMSR	15-29, 付録-10, 39, 48
TBR	16-6, 付録-8, 37, 47	WCR1	9-8, 付録-7, 36, 46
TCBR	10-39, 付録-2, 30, 43	割り込みコントローラ	6-1
TCDR	10-39, 付録-2, 30, 43	IRQ 割り込み	6-8
TCMR0	15-41, 付録-10, 40, 48	NMI 割り込み	6-8
TCMR1	15-41, 付録-10, 40, 49	ベクタテーブル	6-10
TCNR	16-5, 付録-8, 36, 47	ベクタ番号	6-10
TCNT	10-32, 11-3, 付録-3, 7, 31, 36, 43, 46	H-UDI 割り込み	6-9
TCNTR	15-36, 付録-10, 39, 48	ユーザブ레이크割り込み	6-9
TCNTS	10-38, 付録-2, 30, 43	割り込み応答時間	6-17
TCR	10-8, 15-37, 付録-3, 10, 30, 40, 43, 48	内蔵周辺モジュール割り込み	6-9
TCSR	11-3, 付録-7, 36, 46	絶対最大定格	25-1
TDCNT	16-7, 付録-8, 37, 47	遅延分岐命令	2-7
TDCR	付録-10	低消費電力状態	24-1
TDDR	10-39, 付録-2, 30, 43	スリープモード	24-7
TDR	12-4, 付録-1, 29, 42	ソフトウェアスタンバイモード	24-7
TEC	15-21, 付録-9, 39, 48	ハードウェアスタンバイモード	24-10
TGCR	10-37, 付録-2, 30, 43	モジュールスタンバイモード	24-11
TGR	10-32, 16-7, 付録-3, 8, 31, 37, 43, 47	動作モード	3-1
TIER	10-29, 付録-3, 31, 43	汎用レジスタ	2-3
TIOR	10-12, 付録-3, 31, 43	例外処理	5-1
TMDR	10-11, 付録-3, 30, 43	アドレスエラー例外処理	5-6
TOCR	10-36, 付録-2, 30, 42	スロット不当命令例外処理	5-9
TOER	10-35, 付録-2, 29, 42	トラップ命令例外処理	5-9
TPBR	16-7, 付録-8, 37, 47	パワーオンリセット	5-4
TPDR	16-7, 付録-8, 37, 47	マニュアルリセット	5-5
TSR	10-30, 12-4, 15-39, 付録-3, 10, 31, 40, 43, 48	一般不当命令例外処理	5-9
TSTR	10-33, 付録-3, 30, 43	割り込み例外処理	5-8
TSYR	10-34, 付録-3, 30, 43	例外処理ベクタテーブル	5-2

ルネサス32ビットRISCシングルチップマイクロコンピュータ
ハードウェアマニュアル
SH-2 SH7047グループ

発行年月 2002年9月 第1版

2004年3月5日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東 京 支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	幌 支	店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	北 支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ き 支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	城 支	社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟 支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本 支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部 営 業 本	部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	松 支	店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西	部 営 業 本	部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸 支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中	国 支	社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松	山 支	店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥	取 支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州 支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	児 島 支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

SH-2 SH7047 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0154-0200Z