

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# SH7014、SH7016、 SH7017F-ZTAT™

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7010シリーズ

SH7014	HD6417014F28
	HD6417014RF28
SH7016	HD6437016F28
SH7017	HD64F7017F28

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。



---

## はじめに

---

SH7014、SH7016、SH7017 は、ルネサス テクノロジオリジナルの RISC ( Reduced instruction set computer )方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート ( 1 システムクロックサイクル ) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM ( ROM レス版の SH7014 を除く )、RAM、タイマ、シリアルコミュニケーションインタフェース ( SCI )、A/D 変換器、割り込みコントローラ ( INTC )、I/O ポートなどを内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM にはマスク ROM 版、およびフラッシュメモリ版があります。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。

このハードウェアマニュアルでは、本 LSI のハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

### 関連するマニュアル

SH7014、SH7016、SH7017 の実行命令について

「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」

開発環境システムについては、弊社営業所までお問い合わせください。





# 本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）										
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ										
はじめに	-	記述を修正 さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM（ROM レス版の SH7014 を除く）、RAM、タイマ、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器、割り込みコントローラ（INTC）、I/O ポートなどを内蔵しています。										
1.1 SH7014/16/17 の特長 表 1.1 特長	1-3	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;">項 目</th> <th>仕 様</th> </tr> </thead> <tbody> <tr> <td>内蔵メモリ</td> <td>ROM SH7014 : ROM レス SH7016 : 64KB (マスク ROM) SH7017 : 128KB (フラッシュ ROM) RAM SH7014/16 : 3KB (キャッシュ使用時は 1KB) SH7017 : 4KB (キャッシュ使用時は 2KB)</td> </tr> </tbody> </table>	項 目	仕 様	内蔵メモリ	ROM SH7014 : ROM レス SH7016 : 64KB (マスク ROM) SH7017 : 128KB (フラッシュ ROM) RAM SH7014/16 : 3KB (キャッシュ使用時は 1KB) SH7017 : 4KB (キャッシュ使用時は 2KB)						
項 目	仕 様											
内蔵メモリ	ROM SH7014 : ROM レス SH7016 : 64KB (マスク ROM) SH7017 : 128KB (フラッシュ ROM) RAM SH7014/16 : 3KB (キャッシュ使用時は 1KB) SH7017 : 4KB (キャッシュ使用時は 2KB)											
5.1.2 例外処理の動作 表 5.2 例外要因検出と例外処理開始タイミング	5-2	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2" style="text-align: left;">例外処理</th> <th style="text-align: left;">要因検出および処理開始タイミング</th> </tr> </thead> <tbody> <tr> <td rowspan="3" style="vertical-align: middle;">命令</td> <td>トラップ命令</td> <td>TRAPA 命令の実行により開始される</td> </tr> <tr> <td>一般不当命令</td> <td>遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される</td> </tr> <tr> <td>スロット不当命令</td> <td>遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される</td> </tr> </tbody> </table>	例外処理		要因検出および処理開始タイミング	命令	トラップ命令	TRAPA 命令の実行により開始される	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される
例外処理		要因検出および処理開始タイミング										
命令	トラップ命令	TRAPA 命令の実行により開始される										
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される										
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される										
8.3.3 CS アサート期間拡張 図 8.6 CS アサート期間拡張機能	8-22	図を修正 										
9.5 使用上の注意	9-30	記述を修正 （6）DMAC に起動をかける場合は、CHCR、DMAOR の設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。										
10.2.4 タイミントラプトイネーブルレジスタ（TIER）ビット 3：TGR インタラプトイネーブル D（TGIED）	10-22	記述を修正 チャンネル 0 で TSR レジスタの TGFD ビットが 1 にセットされたとき、TGFD による割り込み要求を許可または禁止します。										
12.5 使用上の注意 図 12.22 DMAC によるクロック同期式送信時の例	12-55	注を追加 【注】外部クロック動作時には、上記の $t_{4P\phi}$ クロックのとき誤動作が発生します。										

修正項目	ページ	修正内容（詳細はマニュアル参照）								
13.1.2 ブロック図 図 13.1 高速 A/D 変換器のブロック図	13-2	<p>図を修正</p>								
13.4.8 A/D 変換時間	13-21	<p>記述を修正</p> <p>ADCSR の CKS ビットは動作時間 <math>t_{CONV}</math> が、<math>2\mu\text{s}</math> 以上になるように設定してください。動作周波数と CKS ビットの設定を表 13.7 に示します。</p>								
14.5 割り込み	14-14	<p>説明を修正</p> <p>中速 A/D 変換器の割り込み要因を表 14.5 に示します。</p> <p>ADI 割り込みにより起動された DMAC による A/D のレジスタアクセスすると ADCSR の ADF ビットは自動的に 0 クリアされます。</p>								
16.1 概要 表 16.1 マルチプレクス一覧表	16-1	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ポート</th> <th>機能 1 (関連モジュール)</th> <th>機能 2 (関連モジュール)</th> <th>機能 3 (関連モジュール)</th> </tr> </thead> <tbody> <tr> <td>B</td> <td>PB6 入出力 (ポート)</td> <td></td> <td>A18 出力 (BSC)</td> </tr> </tbody> </table>	ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	B	PB6 入出力 (ポート)		A18 出力 (BSC)
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)							
B	PB6 入出力 (ポート)		A18 出力 (BSC)							
16.3.2 ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2) (1) ポート A コントロールレジスタ L1 (PACRL1) ビット 8 : PA12 モードビット (PA12MD)	16-13	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット 8</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>PA12MD</td> <td></td> </tr> <tr> <td>0</td> <td>汎用入出力 (PA12) (内蔵 ROM 無効モードでは WRL) (初期値)</td> </tr> <tr> <td>1</td> <td>下位側書き込み出力 (WRL) (シングルチップモードでは PA12)</td> </tr> </tbody> </table>	ビット 8	説明	PA12MD		0	汎用入出力 (PA12) (内蔵 ROM 無効モードでは WRL) (初期値)	1	下位側書き込み出力 (WRL) (シングルチップモードでは PA12)
ビット 8	説明									
PA12MD										
0	汎用入出力 (PA12) (内蔵 ROM 無効モードでは WRL) (初期値)									
1	下位側書き込み出力 (WRL) (シングルチップモードでは PA12)									
16.3.10 ポート E コントロールレジスタ 1、2 (PECR1、PECR2)	16-30	<p>記述を修正</p> <p>ポート E コントロールレジスタ 1、2 (PECR1、PECR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。PECR1 は、ポート E の上位 8 ビットの端子の機能を、PECR2 は、ポート E の下位 8 ビットの端子の機能を選びます。</p> <p>...</p> <p>PECR1、PECR2 は、外部からのパワーオンリセットで、それぞれ H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。</p>								
17.3 ポート B 図 17.2 ポート B	17-4	<p>図を修正</p> <p>シングルチップモード*</p> <p>PB9 (入出力) / IRQ7 (入力)</p>								

修正項目	ページ	修正内容（詳細はマニュアル参照）														
18.5.1 フラッシュメモリコントロールレジスタ1 (FLMCR1)	18-9	<p>図を修正</p> <p>ビット：      7      6      5      4      3      2      1      0</p> <table border="1"> <tr> <td>FWE</td> <td>SWE</td> <td>ESU</td> <td>PSU</td> <td>EV</td> <td>PV</td> <td>E</td> <td>P</td> </tr> </table> <p>初期値：    1/0    0    0    0    0    0    0    0</p> <p>R/W   :    R    R/W   R/W   R/W   R/W   R/W   R/W   R/W</p> <p>ビット7を修正</p> <table border="1"> <tr> <th>ビット7</th> <th>説明</th> </tr> <tr> <td>0</td> <td>FWP 端子にローレベルが入力されているとき（ハードウェアプロテクト状態）</td> </tr> <tr> <td>1</td> <td>FWP 端子にハイレベルが入力されているとき</td> </tr> </table>	FWE	SWE	ESU	PSU	EV	PV	E	P	ビット7	説明	0	FWP 端子にローレベルが入力されているとき（ハードウェアプロテクト状態）	1	FWP 端子にハイレベルが入力されているとき
FWE	SWE	ESU	PSU	EV	PV	E	P									
ビット7	説明															
0	FWP 端子にローレベルが入力されているとき（ハードウェアプロテクト状態）															
1	FWP 端子にハイレベルが入力されているとき															
18.6.2 ユーザプログラムモード 図 18.12 ユーザプログラムモードの実手順	18-20	<p>図を修正</p>														
18.7.1 プログラムモード	18-21	<p>記述を修正</p> <p>次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は 300μs 以上にしてください。</p>														
18.8.1 ハードウェアプロテクト 表 18.8 ハードウェアプロテクト	18-34	<p>表を修正</p> <table border="1"> <tr> <th>項目</th> <th>説明</th> </tr> <tr> <td>FWP 端子</td> <td rowspan="2">• FWP 端子にローレベルが入力されているときには、FLMCR1、EBR1 は初期化され、書き込み / 消去プロテクト状態になります。</td> </tr> <tr> <td>プロテクト</td> </tr> </table>	項目	説明	FWP 端子	• FWP 端子にローレベルが入力されているときには、FLMCR1、EBR1 は初期化され、書き込み / 消去プロテクト状態になります。	プロテクト									
項目	説明															
FWP 端子	• FWP 端子にローレベルが入力されているときには、FLMCR1、EBR1 は初期化され、書き込み / 消去プロテクト状態になります。															
プロテクト																
18.11.2 ライタモードの動作 表 18.11 ライタモード時の各動作モードの設定方法	18-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">モード</th> <th>ピン名</th> </tr> <tr> <th>A17 ~ A0</th> </tr> </thead> <tbody> <tr> <td>リード</td> <td>Ain</td> </tr> <tr> <td>出力ディスエーブル</td> <td>X</td> </tr> <tr> <td>コマンド書き込み</td> <td>*Ain</td> </tr> <tr> <td>チップディスエーブル</td> <td>X</td> </tr> </tbody> </table>	モード	ピン名	A17 ~ A0	リード	Ain	出力ディスエーブル	X	コマンド書き込み	*Ain	チップディスエーブル	X			
モード	ピン名															
	A17 ~ A0															
リード	Ain															
出力ディスエーブル	X															
コマンド書き込み	*Ain															
チップディスエーブル	X															
18.11.6 ステータス読み出しモード 表 18.18 ステータス読み出しモード時の AC 特性	18-47	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>コマンド書き込み後読み出し時間</td> <td><math>t_{strd}</math></td> </tr> </tbody> </table>	項目	記号	コマンド書き込み後読み出し時間	$t_{strd}$										
項目	記号															
コマンド書き込み後読み出し時間	$t_{strd}$															
18.11.8 ライタモードへの遷移時間 図 18.27 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス	18-49	<p>注を修正</p> <p>【注】FWE 入力端子のレベルは、自動書き込みモード、自動消去モード以外は、<math>V_{IL}</math> をセットした状態としてください。</p>														

修正項目	ページ	修正内容（詳細はマニュアル参照）																																												
20.1 概要	20-1	<p>記述を修正</p> <p>SH7014/16 は 3K バイト、SH7017 は 4K バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU、ダイレクトメモリアクセスコントローラ（DMAC）に接続されており（図 20.1）、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。DMAC は 8 または 16 ビット幅でアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモード、スタンバイモードでは保持されます。</p>																																												
22.2 DC 特性 表 22.2 DC 特性	22-2	<p>表を修正</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2">項目</th> <th colspan="2">測定条件</th> </tr> </thead> <tbody> <tr> <td>シュミットトリガ入力電圧</td> <td>PA2、PA5、PA6～PA9</td> <td>VT*</td> <td>Vcc - 0.7 (max)</td> </tr> <tr> <td></td> <td>PE0～PE15</td> <td>VT</td> <td>0.5 (min)</td> </tr> </tbody> </table>	項目		測定条件		シュミットトリガ入力電圧	PA2、PA5、PA6～PA9	VT*	Vcc - 0.7 (max)		PE0～PE15	VT	0.5 (min)																																
項目		測定条件																																												
シュミットトリガ入力電圧	PA2、PA5、PA6～PA9	VT*	Vcc - 0.7 (max)																																											
	PE0～PE15	VT	0.5 (min)																																											
22.3.3 パスタイミング 図 22.9 DRAM サイクル( ノーマルモード、ノーウェイト )	22-13	タイトルを修正																																												
A.2 機能一覧 フラッシュメモリコントローラレジスタ 1 (FLMCR1)	付録-87	<p>ビットの表を修正</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="8">ビット</th> </tr> <tr> <th>7</th> <th>6</th> <th>5</th> <th>4</th> <th>3</th> <th>2</th> <th>1</th> <th>0</th> </tr> </thead> <tbody> <tr> <td>ビット名</td> <td>FWE</td> <td>SWE</td> <td>ESU</td> <td>PSU</td> <td>EV</td> <td>PV</td> <td>E</td> <td>P</td> </tr> <tr> <td>初期値</td> <td>1/0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W</td> <td>R</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> </tr> </tbody> </table>	項目	ビット								7	6	5	4	3	2	1	0	ビット名	FWE	SWE	ESU	PSU	EV	PV	E	P	初期値	1/0	0	0	0	0	0	0	0	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	ビット																																													
	7	6	5	4	3	2	1	0																																						
ビット名	FWE	SWE	ESU	PSU	EV	PV	E	P																																						
初期値	1/0	0	0	0	0	0	0	0																																						
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																						
B. I/O ポートブロック図 図 B.17 PCn/An ブロック図	付録-107	タイトルを修正																																												

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

## 第1章 概要

1.1	SH7014/16/17 の特長	1-1
1.2	ブロック図	1-4
1.3	端子説明	1-6
1.3.1	ピン配置図	1-6
1.3.2	端子一覧	1-8
1.3.3	端子機能	1-11

## 第2章 CPU

2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ (Rn)	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタの初期値	2-3
2.2	データ形式	2-4
2.2.1	レジスタのデータ形式	2-4
2.2.2	メモリ上でのデータ形式	2-4
2.2.3	イミディエイトデータのデータ形式	2-4
2.3	命令の特長	2-5
2.3.1	RISC 方式	2-5
2.3.2	アドレッシングモード	2-8
2.3.3	命令形式	2-11
2.4	命令セット	2-13
2.4.1	分類順命令セット	2-13
2.5	処理状態	2-21
2.5.1	状態遷移	2-21
2.5.2	低消費電力状態	2-22

## 第3章 動作モード

3.1	動作モードの種類と選択	3-1
3.2	各動作モードの説明	3-2
3.3	端子構成	3-2

## 第4章 クロック発振器 (CPG)

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.2	発振器	4-2
4.2.1	水晶発振子を接続する方法	4-2
4.2.2	外部クロックを入力する方法	4-4

4.3	プリスケアラ	4-5
<b>第5章 例外処理</b>		
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-2
5.2	リセット	5-4
5.2.1	パワーオンリセット	5-4
5.3	アドレスエラー	5-5
5.3.1	アドレスエラー発生要因	5-5
5.3.2	アドレスエラー例外処理	5-5
5.4	割り込み	5-6
5.4.1	割り込み要因	5-6
5.4.2	割り込み優先順位	5-6
5.4.3	割り込み例外処理	5-7
5.5	命令による例外	5-8
5.5.1	命令による例外の種類	5-8
5.5.2	トラップ命令	5-8
5.5.3	スロット不当命令	5-8
5.5.4	一般不当命令	5-8
5.6	例外処理が受け付けられない場合	5-9
5.6.1	遅延分岐命令の直後	5-9
5.6.2	割り込み禁止命令の直後	5-9
5.7	例外処理後のスタックの状態	5-10
5.8	使用上の注意	5-11
5.8.1	スタックポインタ ( SP ) の値	5-11
5.8.2	ベクタベースレジスタ ( VBR ) の値	5-11
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-11
<b>第6章 割り込みコントローラ ( INTC )</b>		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	割り込み要因	6-4
6.2.1	NMI 割り込み	6-4
6.2.2	IRQ 割り込み	6-4
6.2.3	内蔵周辺モジュール割り込み	6-4
6.2.4	割り込み例外処理ベクタと優先順位	6-5
6.3	レジスタの説明	6-7
6.3.1	割り込み優先レベル設定レジスタ A ~ H ( IPRA ~ IPRH )	6-7
6.3.2	割り込みコントロールレジスタ ( ICR )	6-8
6.3.3	IRQ ステータスレジスタ ( ISR )	6-9

6.4	動作説明	6-11
6.4.1	割り込み動作の流れ	6-11
6.4.2	割り込み例外処理終了後のスタックの状態	6-13
6.5	割り込み応答時間	6-14
6.6	割り込み要求信号によるデータ転送	6-16
6.6.1	割り込み要求信号を DMAC の起動要因とし、 CPU の割り込み要因としない場合	6-16
6.6.2	割り込み要求信号を CPU の割り込み要因とし、 DMAC の起動要因としない場合	6-16
<b>第7章 キャッシュメモリ (CAC)</b>		
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	レジスタ構成	7-3
7.2	レジスタの説明	7-4
7.2.1	キャッシュコントロールレジスタ (CCR)	7-4
7.3	アドレスアレイとデータアレイ	7-6
7.3.1	キャッシュアドレスアレイ読み出し / 書き込み空間	7-6
7.3.2	キャッシュデータアレイ読み出し / 書き込み空間	7-7
7.4	使用上の注意	7-8
7.4.1	キャッシュの初期化	7-8
7.4.2	アドレスアレイ、データアレイへの強制アクセス	7-8
7.4.3	キャッシュミス時のペナルティと、キャッシュフィルのタイミング	7-8
7.4.4	キャッシュミス後のキャッシュヒット	7-10
<b>第8章 バスステートコントローラ (BSC)</b>		
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	端子構成	8-3
8.1.4	レジスタ構成	8-3
8.1.5	アドレスマップ	8-4
8.2	レジスタの説明	8-6
8.2.1	バスコントロールレジスタ 1 (BCR1)	8-6
8.2.2	バスコントロールレジスタ 2 (BCR2)	8-8
8.2.3	ウェイトコントロールレジスタ 1 (WCR1)	8-11
8.2.4	ウェイトコントロールレジスタ 2 (WCR2)	8-12
8.2.5	DRAM エリアコントロールレジスタ (DCR)	8-13
8.2.6	リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)	8-16
8.2.7	リフレッシュタイマカウンタ (RTCNT)	8-18
8.2.8	リフレッシュタイムコンスタントレジスタ (RTCOR)	8-18
8.3	通常空間アクセス	8-19
8.3.1	基本タイミング	8-19
8.3.2	ウェイトステート制御	8-20
8.3.3	$\overline{CS}$ アサート期間拡張	8-22

8.4	DRAM アクセス	8-23
8.4.1	DRAM 直結方式	8-23
8.4.2	基本タイミング	8-24
8.4.3	ウェイトステート制御	8-25
8.4.4	バースト動作	8-29
8.4.5	リフレッシュタイミング	8-31
8.5	アドレス/データマルチプレクス I/O 空間アクセス	8-33
8.5.1	基本タイミング	8-33
8.5.2	ウェイトステート制御	8-34
8.5.3	CS アサート拡張	8-35
8.6	アクセスサイクル間ウェイト	8-36
8.6.1	データバス衝突防止	8-36
8.6.2	バスサイクル開始検出の容易化	8-37
8.7	バスアービトレーション	8-38
8.8	メモリ接続例	8-38
8.9	内蔵周辺 I/O レジスタのアクセス	8-41
8.10	外部メモリへプログラムを配置したときの CPU 動作	8-41
<b>第 9 章 ダイレクトメモリアccessコントローラ (DMAC)</b>		
9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	DMAC ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-3
9.2	各レジスタの説明	9-4
9.2.1	DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1)	9-4
9.2.2	DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1)	9-4
9.2.3	DMA トランスファカウンタレジスタ 0、1 (DMATCR0、DMATCR1)	9-5
9.2.4	DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1)	9-5
9.2.5	DMA オペレーションレジスタ (DMAOR)	9-10
9.3	動作説明	9-12
9.3.1	動作説明	9-12
9.3.2	DMA 転送要求	9-14
9.3.3	チャンネルの優先順位	9-16
9.3.4	DMA 転送の種類	9-16
9.3.5	バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング	9-23
9.3.6	DMA 転送終了	9-27
9.3.7	CPU からの DMAC アクセス	9-28
9.4	使用例	9-29
9.4.1	内蔵 SCI と外部メモリとの DMA 転送例	9-29
9.4.2	外部 RAM と DACK 付き外部デバイスとの DMA 転送例	9-29
9.5	使用上の注意	9-30



## 第 10 章 マルチファンクションタイマパルスユニット (MTU)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-4
10.1.3	端子構成	10-5
10.1.4	レジスタ構成	10-6
10.2	レジスタの説明	10-7
10.2.1	タイマコントロールレジスタ (TCR)	10-7
10.2.2	タイマモードレジスタ (TMDR)	10-10
10.2.3	タイマ I/O コントロールレジスタ (TIOR)	10-12
10.2.4	タイマインタラプトイネーブルレジスタ (TIER)	10-21
10.2.5	タイマステータスレジスタ (TSR)	10-24
10.2.6	タイマカウンタ (TCNT)	10-27
10.2.7	タイマジェネラルレジスタ (TGR)	10-27
10.2.8	タイマスタートレジスタ (TSTR)	10-28
10.2.9	タイマシンクロレジスタ (TSYR)	10-29
10.3	バスマスタとのインタフェース	10-30
10.3.1	16 ビットレジスタ	10-30
10.3.2	8 ビットレジスタ	10-30
10.4	動作説明	10-32
10.4.1	概要	10-32
10.4.2	基本機能	10-33
10.4.3	同期動作	10-39
10.4.4	バッファ動作	10-41
10.4.5	カスケード接続動作	10-45
10.4.6	PWM モード	10-47
10.4.7	位相計数モード	10-53
10.5	割り込み	10-59
10.5.1	割り込み要因と優先順位	10-59
10.5.2	DMA コントローラの起動	10-60
10.5.3	A/D 変換器の起動	10-60
10.6	動作タイミング	10-61
10.6.1	入出力タイミング	10-61
10.6.2	割り込み信号タイミング	10-66
10.7	使用上の注意	10-70
10.8	MTU 出力端子の初期化方法	10-81
10.8.1	動作モード	10-81
10.8.2	リセットスタート時の動作	10-81
10.8.3	動作中の異常などによる再設定時の動作	10-81
10.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	10-82

## 第 11 章 ウォッチドッグタイマ (WDT)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2

11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-3
11.2	レジスタの説明	11-4
11.2.1	タイマカウンタ (TCNT)	11-4
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-4
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-6
11.2.4	レジスタアクセス時の注意	11-8
11.3	動作説明	11-10
11.3.1	ウォッチドッグタイマモード時の動作	11-10
11.3.2	インターバルタイマモード時の動作	11-11
11.3.3	スタンバイモード解除時の動作	11-11
11.3.4	オーバフローフラグ (OVF) のセットタイミング	11-12
11.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	11-12
11.4	使用上の注意	11-13
11.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	11-13
11.4.2	CKS2~CKS0 ビットの書き換え	11-13
11.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	11-13
11.4.4	WDTOVF 信号によるシステムのリセット	11-14
11.4.5	ウォッチドッグタイマモードでの内部リセット	11-14

## 第 12 章 シリアルコミュニケーションインタフェース (SCI)

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	レジスタの説明	12-4
12.2.1	レシーブシフトレジスタ (RSR)	12-4
12.2.2	レシーブデータレジスタ (RDR)	12-4
12.2.3	トランスミットシフトレジスタ (TSR)	12-4
12.2.4	トランスミットデータレジスタ (TDR)	12-5
12.2.5	シリアルモードレジスタ (SMR)	12-5
12.2.6	シリアルコントロールレジスタ (SCR)	12-8
12.2.7	シリアルステータスレジスタ (SSR)	12-11
12.2.8	ビットレートレジスタ (BRR)	12-15
12.3	動作説明	12-25
12.3.1	概要	12-25
12.3.2	調歩同期式モード時の動作	12-27
12.3.3	マルチプロセッサ通信機能	12-37
12.3.4	クロック同期式モード時の動作	12-44
12.4	SCI の割り込み要因と DMAC	12-52
12.5	使用上の注意	12-53

## 第 13 章 高速 A/D 変換器 (SH7014)

13.1	概要	13-1
13.1.1	特長	13-1

13.1.2	ブロック図 .....	13-2
13.1.3	端子構成 .....	13-3
13.1.4	レジスタ構成 .....	13-3
13.2	レジスタの説明 .....	13-4
13.2.1	A/D データレジスタ A~H (ADDRA ~ ADDRH) .....	13-4
13.2.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	13-5
13.2.3	A/D コントロールレジスタ (ADCR) .....	13-7
13.3	バスマスタとのインタフェース .....	13-9
13.4	動作説明 .....	13-11
13.4.1	セレクトシングルモード .....	13-11
13.4.2	セレクトスキャンモード .....	13-12
13.4.3	グループシングルモード .....	13-13
13.4.4	グループスキャンモード .....	13-14
13.4.5	バッファ動作 .....	13-15
13.4.6	同時サンプリング動作 .....	13-17
13.4.7	変換開始モード .....	13-18
13.4.8	A/D 変換時間 .....	13-20
13.5	割り込み .....	13-21
13.6	使用上の注意 .....	13-22
<b>第 14 章 中速 A/D 変換器 (SH7016/17)</b>		
14.1	概要 .....	14-1
14.1.1	特長 .....	14-1
14.1.2	ブロック図 .....	14-2
14.1.3	端子構成 .....	14-3
14.1.4	レジスタ構成 .....	14-3
14.2	レジスタの説明 .....	14-4
14.2.1	A/D データレジスタ A~D (ADDRA ~ ADDR D) .....	14-4
14.2.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	14-5
14.2.3	A/D コントロールレジスタ (ADCR) .....	14-7
14.3	CPU とのインタフェース .....	14-8
14.4	動作説明 .....	14-9
14.4.1	単一モード (SCAN=0) .....	14-9
14.4.2	スキャンモード (SCAN=1) .....	14-11
14.4.3	入力サンプリングと A/D 変換時間 .....	14-13
14.4.4	MTU トリガ入力タイミング .....	14-14
14.5	割り込み .....	14-14
14.6	A/D 変換精度の定義 .....	14-15
14.7	使用上の注意 .....	14-16
14.7.1	アナログ電圧の設定 .....	14-16
14.7.2	アナログ入力端子の取り扱い .....	14-16
<b>第 15 章 コンペアマッチタイマ (CMT)</b>		
15.1	概要 .....	15-1
15.1.1	特長 .....	15-1

15.1.2	ブロック図	15-2
15.1.3	レジスタ構成	15-3
15.2	レジスタの説明	15-4
15.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	15-4
15.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	15-5
15.2.3	コンペアマッチタイマカウンタ (CMCNT)	15-6
15.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	15-6
15.3	動作説明	15-7
15.3.1	周期カウント動作	15-7
15.3.2	CMCNT のカウントタイミング	15-7
15.4	割り込み	15-8
15.4.1	割り込み要因	15-8
15.4.2	コンペアマッチフラグのセットタイミング	15-8
15.4.3	コンペアマッチフラグのクリアタイミング	15-9
15.5	使用上の注意	15-10
<b>第 16 章 ピンファンクションコントローラ (PFC)</b>		
16.1	概要	16-1
16.2	レジスタ構成	16-10
16.3	レジスタの説明	16-11
16.3.1	ポート A・IO レジスタ L (PAIORL)	16-11
16.3.2	ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)	16-11
16.3.3	ポート B・IO レジスタ (PBIOR)	16-17
16.3.4	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	16-18
16.3.5	ポート C・IO レジスタ (PCIOR) - SH7016、SH7017 のみ -	16-21
16.3.6	ポート C コントロールレジスタ (PCCR) - SH7016、SH7017 のみ -	16-22
16.3.7	ポート D・IO レジスタ L (PDIORL) - SH7016、SH7017 のみ -	16-25
16.3.8	ポート D コントロールレジスタ L (PDCRL) - SH7016、SH7017 のみ -	16-26
16.3.9	ポート E・IO レジスタ (PEIOR)	16-30
16.3.10	ポート E コントロールレジスタ 1、2 (PECR1、PECR2)	16-30
<b>第 17 章 I/O ポート (I/O)</b>		
17.1	概要	17-1
17.2	ポート A	17-2
17.2.1	レジスタ構成	17-3
17.2.2	ポート A データレジスタ L (PADRL)	17-3
17.3	ポート B	17-4
17.3.1	レジスタ構成	17-5
17.3.2	ポート B データレジスタ (PBDR)	17-5
17.4	ポート C SH7016、SH7017 のみ	17-6
17.4.1	レジスタ構成	17-6
17.4.2	ポート C データレジスタ (PCDR)	17-7
17.5	ポート D SH7016、SH7017 のみ	17-8
17.5.1	レジスタ構成	17-8
17.5.2	ポート D データレジスタ L (PDDRL)	17-9

17.6	ポート E.....	17-10
17.6.1	レジスタ構成.....	17-10
17.6.2	ポート E データレジスタ ( PEDR ) .....	17-11
17.7	ポート F.....	17-12
17.7.1	レジスタ構成.....	17-12
17.7.2	ポート F データレジスタ ( PFDR ) .....	17-12
<b>第 18 章 128KB フラッシュメモリ ( F-ZTAT )</b>		
18.1	特長.....	18-1
18.2	概要.....	18-2
18.2.1	ブロック図.....	18-2
18.2.2	モード遷移図.....	18-3
18.2.3	オンボードプログラムモード .....	18-4
18.2.4	RAM によるフラッシュメモリのエミュレーション.....	18-6
18.2.5	ブートモードとユーザプログラムモードの相違.....	18-7
18.2.6	ブロック分割法.....	18-7
18.3	端子構成.....	18-8
18.4	レジスタ構成.....	18-8
18.5	レジスタの説明.....	18-9
18.5.1	フラッシュメモリコントロールレジスタ 1 ( FLMCR1 ) .....	18-9
18.5.2	フラッシュメモリコントロールレジスタ 2 ( FLMCR2 ) .....	18-12
18.5.3	ブロック指定レジスタ 1 ( EBR1 ) .....	18-13
18.5.4	RAM エミュレーションレジスタ ( RAMER ) .....	18-13
18.6	オンボードプログラミングモード.....	18-15
18.6.1	ブートモード.....	18-16
18.6.2	ユーザプログラムモード .....	18-20
18.7	フラッシュメモリの書き込み / 消去.....	18-21
18.7.1	プログラムモード.....	18-21
18.7.2	プログラムベリファイモード .....	18-22
18.7.3	イレースモード.....	18-28
18.7.4	イレースベリファイモード .....	18-28
18.8	プロテクト.....	18-34
18.8.1	ハードウェアプロテクト .....	18-34
18.8.2	ソフトウェアプロテクト .....	18-34
18.8.3	エラープロテクト.....	18-35
18.9	RAM によるフラッシュメモリのエミュレーション.....	18-36
18.10	フラッシュメモリの書き込み / 消去時の注意.....	18-38
18.11	フラッシュメモリのライターモード.....	18-38
18.11.1	ソケットアダプタの端子対応図 .....	18-39
18.11.2	ライターモードの動作 .....	18-41
18.11.3	メモリ読み出しモード .....	18-42
18.11.4	自動書き込みモード .....	18-45
18.11.5	自動消去モード.....	18-46
18.11.6	ステータス読み出しモード .....	18-47

18.11.7	ステータスポーリング .....	18-48
18.11.8	ライトモードへの遷移時間 .....	18-49
18.11.9	メモリ書き込み注意事項 .....	18-49
<b>第 19 章</b>	<b>マスク ROM</b>	
19.1	概要 .....	19-1
<b>第 20 章</b>	<b>RAM</b>	
20.1	概要 .....	20-1
<b>第 21 章</b>	<b>低消費電力状態</b>	
21.1	概要 .....	21-1
21.1.1	低消費電力状態の種類 .....	21-1
21.1.2	関連レジスタ .....	21-1
21.2	スタンバイコントロールレジスタ (SBYCR) .....	21-2
21.3	スリープモード .....	21-3
21.3.1	スリープモードへの遷移 .....	21-3
21.3.2	スリープモードの解除 .....	21-3
21.4	スタンバイモード .....	21-4
21.4.1	スタンバイモードへの遷移 .....	21-4
21.4.2	スタンバイモードの解除 .....	21-5
21.4.3	スタンバイモードの応用例 .....	21-6
<b>第 22 章</b>	<b>電気的特性【5V 28.7MHz 版】</b>	
22.1	絶対最大定格 .....	22-1
22.2	DC 特性 .....	22-2
22.3	AC 特性 .....	22-4
22.3.1	クロックタイミング .....	22-4
22.3.2	制御信号タイミング .....	22-6
22.3.3	バスタイミング .....	22-8
22.3.4	ダイレクトメモリアクセスコントローラタイミング .....	22-20
22.3.5	マルチファンクションタイムパルスユニットタイミング .....	22-22
22.3.6	I/O ポートタイミング .....	22-23
22.3.7	ウォッチドッグタイマタイミング .....	22-24
22.3.8	シリアルコミュニケーションインタフェースタイミング .....	22-25
22.3.9	高速 A/D 変換器タイミング (SH7014) .....	22-26
22.3.10	中速 A/D 変換器タイミング (SH7016/17) .....	22-27
22.3.11	AC 特性測定条件 .....	22-28
22.4	A/D 変換器特性 .....	22-29
<b>付録</b>		
A.	内蔵周辺モジュールレジスタ .....	付録-1
A.1	アドレス一覧 .....	付録-1
A.2	機能一覧 .....	付録-9
B.	I/O ポートブロック図 .....	付録-91
C.	端子状態 .....	付録-116
C.1	端子状態 .....	付録-116

C.2	バス関連信号の端子状態 .....	付録-117
D.	ROM 発注手順 .....	付録-121
D.1	ROM 書き換え品開発の流れ（発注手順） .....	付録-121
D.2	ROM 発注時の注意事項 .....	付録-122
D.3	F-ZTAT マイコンのマスク ROM 化時の注意事項 .....	付録-122
E.	型名一覧 .....	付録-123
F.	外形寸法図 .....	付録-124





# 1. 概要

## 1.1 SH7014/16/17 の特長

本 LSI は、ルネサス テクノロジオリジナル・アーキテクチャを採用した高速 CPU を核にして、システム構成に必要な周辺機能を集積した CMOS シングルチップマイコンです。

本 LSI の CPU は、RISC ( Reduced Instruction Set Computer ) タイプの命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。その上、本 LSI には 1KB のキャッシュを搭載しており、外部メモリアクセス時の CPU 性能向上が可能です。

さらに本 LSI は、システム構成に必要な周辺機能として、大容量 ROM ( SH7014 は ROM レス )、RAM、タイマ、シリアルコミュニケーションインタフェース ( SCI )、A/D 変換器、割り込みコントローラ ( INTC )、I/O ポートなどを内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

また、内蔵 ROM にはフラッシュメモリを内蔵した F-ZTAT™\*版とマスク ROM 版があります。F-ZTAT™は専用ライターとアプリケーションシステムのオンボードでプログラムの書き込みや書き換えが可能です。

【注】\* F-ZTAT は、(株)ルネサス テクノロジの商標です。

表 1.1 特長

項目	仕様
CPU	ルネサス テクノロジオリジナルアーキテクチャを採用 内部 32 ビット構成 汎用レジスタマシン 汎用レジスタ 32 ビット×16 本 コントロールレジスタ 32 ビット×3 本 システムレジスタ 32 ビット×4 本 RISC ( Reduced Instruction Set Computer ) タイプの命令セット 命令長：16 ビット固定長による、コード効率の向上 ロードストアアーキテクチャ ( 基本演算はレジスタ間で実行 ) 遅延分岐命令の採用で、分岐時のパイプラインの乱れを軽減 C 言語指向の命令セット 命令実行時間 1 命令 / 1 サイクル ( 28.7MHz 動作時 : 35ns / 命令 ) アドレス空間 アーキテクチャ上は 4GB 乗算器内蔵 乗算器内蔵により、 $32 \times 32 \rightarrow 64$ 乗算を 2~4 サイクル実行 $32 \times 32 + 64 \rightarrow 64$ 積和演算を 2~4 サイクル実行 パイプライン 5 段パイプライン方式
割り込みコントローラ ( INTC )	外部割り込み端子×7 本 ( NMI、 $\overline{IRQ} \times 6$ ) 内部割り込み要因 28 要因 16 レベルの優先順位設定が可能

## 1. 概要

項目	仕様
バスステート コントローラ (BSC)	<p>外部拡張時のメモリアクセスをサポート 外部データバスは 8/16 ビット アドレス空間を 5 エリアに分割 (SRAM 空間 × 4 エリア、DRAM 空間 × 1 エリア) おのおののエリアに以下の特性を設定可能</p> <ul style="list-style-type: none"> <li>ウェイトサイクル数</li> <li>各エリアに対応したチップセレクト信号を出力</li> </ul> <p>DRAM 空間アクセス時</p> <ul style="list-style-type: none"> <li>DRAM 用 <math>\overline{\text{RAS}}</math>、<math>\overline{\text{CAS}}</math> 信号を出力</li> <li>RAS プリチャージタイム確保用 <math>T_p</math> サイクル発生可能</li> </ul> <p>DRAM パーストアクセス機能 DRAM の高速アクセスモードサポート DRAM リフレッシュ機能 プログラマブルなりフレッシュ間隔 CAS ビフォア RAS リフレッシュ / セルフリフレッシュをサポート アドレスデータマルチプレクス I/O デバイスをアクセス可能 外部 WAIT 信号によるウェイトサイクルの挿入可 【注】バス権解放なし</p>
ダイレクトメモリ アクセスコントローラ (DMAC) × 2 チャンネル	<p>サイクルスチール / パースト転送サポート シングルアドレスモード / デュアルアドレスモードサポート 優先順位 : ch0 &gt; ch1 固定 転送カウンタ 16bit 転送要求元は外部 DREQ 入力、オートリクエストおよび内蔵周辺モジュール アドレス空間は 4G バイト 転送データサイズは 8、16、32 ビットから選択可能</p>
マルチファンクション タイマパルスユニット (MTU) × 3 チャンネル	<p>16 ビットタイマ 3ch をベースに最大 8 種類の波形出力または最大 8 種類のパルスの 入出力処理が可能 8 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ 総数 8 本の独立したコンパレータ 8 種類のカウンタ入力クロックを選択可能 インプットキャプチャ機能 パルス出力モード - ワンショット / トグル / PWM 位相計数モード - 2 相エンコード計数処理が可能</p>
コンペアマッチタイマ (CMT) × 2 チャンネル	<p>16 ビットフリーランニングカウンタ 1 つのコンペアレジスタ コンペアマッチで割り込み要求を発生</p>
ウォッチドッグタイマ (WDT) × 1 チャンネル	<p>ウォッチドッグタイマ / インターバルタイマの切り替えが可能 カウントオーバーフロー時、内部リセット、外部信号、または割り込みを発生</p>
シリアル コミュニケーション インタフェース (SCI) × 2 チャンネル	<p>1 チャンネルあたり 調歩同期 / クロック同期式モードの選択が可能 送受信を同時に行うことが可能 (全二重) 専用のボーレートジェネレータ内蔵 マルチプロセッサ間通信機能</p>
I/O ポート	<p>入出力 : 35 本、入力 : 8 本、合計 43 本 (SH7014) 入出力 : 74 本、入力 : 8 本、合計 82 本 (SH7016/17)</p>
A/D 変換器	<p>10 ビット × 8 チャンネル SH7014 は高速 A/D 変換器、SH7016/17 は中速 A/D 変換器内蔵</p>

項目	仕様																																			
内蔵メモリ	ROM SH7014 : ROM レス SH7016 : 64KB (マスク ROM) SH7017 : 128KB (フラッシュ ROM) RAM SH7014/16 : 3KB (キャッシュ使用時は 1KB) SH7017 : 4KB (キャッシュ使用時は 2KB)																																			
動作モード	動作モード 拡張・ROM なしモード (SH7014/16/17) 拡張・ROM ありモード (SH7016/17) シングルチップモード (SH7016/17) 処理状態 プログラム実行状態 例外処理状態 低消費電力モード スリープモード ソフトウェアスタンバイモード																																			
クロック発振器 (CPG)	クロック発振器内蔵 クロック逡倍用 PLL 回路内蔵																																			
キャッシュメモリ	1KB 命令キャッシュ 命令コードおよび PC 相対リード・データをキャッシング ライン長は 4 バイト (1 ロングワード : 2 命令長分) キャッシュタグは 256 エントリ ダイレクトマップ方式 内蔵 RAM、内蔵 I/O エリアはキャッシュ対象外 内蔵 RAM と兼用しており、キャッシュイネーブル時は内蔵 RAM のうち 2KB をアドレスアレイデータアレイとして使用																																			
製品ラインアップ	<table border="1"> <thead> <tr> <th>型名</th> <th>内蔵ROM</th> <th>内蔵RAM</th> <th>A/D精度</th> <th>周波数 / 電圧</th> <th>温度</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td>HD6417014F28</td> <td>ROMなし</td> <td>3KB</td> <td>± 15LSB (高速A/D)</td> <td>28.7MHz/5V</td> <td>-20 ~ +75</td> <td>FP-112</td> </tr> <tr> <td>HD6417014RF28</td> <td>ROMなし</td> <td>3KB</td> <td>± 8LSB (高速A/D)</td> <td>28.7MHz/5V</td> <td>-20 ~ +75</td> <td>FP-112</td> </tr> <tr> <td>HD6437016F28</td> <td>64KB マスクROM</td> <td>3KB</td> <td>± 4LSB (中速A/D)</td> <td>28.7MHz/5V</td> <td>-20 ~ +75</td> <td>FP-112</td> </tr> <tr> <td>HD64F7017F28</td> <td>128KB フラッシュ メモリ</td> <td>4KB</td> <td>± 4LSB (中速A/D)</td> <td>28.7MHz/5V</td> <td>-20 ~ +75</td> <td>FP-112</td> </tr> </tbody> </table>	型名	内蔵ROM	内蔵RAM	A/D精度	周波数 / 電圧	温度	パッケージ	HD6417014F28	ROMなし	3KB	± 15LSB (高速A/D)	28.7MHz/5V	-20 ~ +75	FP-112	HD6417014RF28	ROMなし	3KB	± 8LSB (高速A/D)	28.7MHz/5V	-20 ~ +75	FP-112	HD6437016F28	64KB マスクROM	3KB	± 4LSB (中速A/D)	28.7MHz/5V	-20 ~ +75	FP-112	HD64F7017F28	128KB フラッシュ メモリ	4KB	± 4LSB (中速A/D)	28.7MHz/5V	-20 ~ +75	FP-112
型名	内蔵ROM	内蔵RAM	A/D精度	周波数 / 電圧	温度	パッケージ																														
HD6417014F28	ROMなし	3KB	± 15LSB (高速A/D)	28.7MHz/5V	-20 ~ +75	FP-112																														
HD6417014RF28	ROMなし	3KB	± 8LSB (高速A/D)	28.7MHz/5V	-20 ~ +75	FP-112																														
HD6437016F28	64KB マスクROM	3KB	± 4LSB (中速A/D)	28.7MHz/5V	-20 ~ +75	FP-112																														
HD64F7017F28	128KB フラッシュ メモリ	4KB	± 4LSB (中速A/D)	28.7MHz/5V	-20 ~ +75	FP-112																														

# 1. 概要

## 1.2 ブロック図

SH7014 のブロック図を図 1.1 に示します。SH7016/17 のブロック図を図 1.2 に示します。

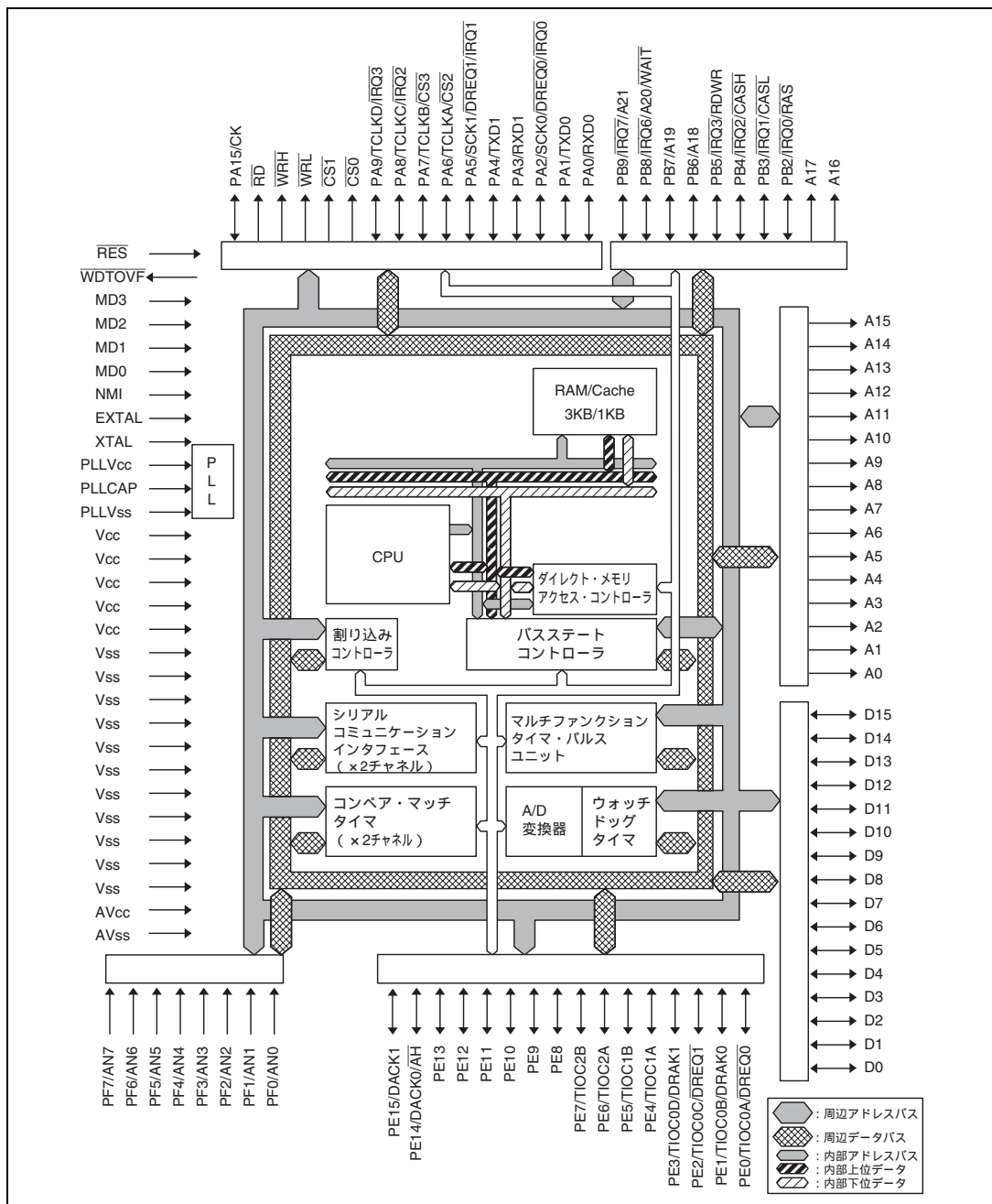


図 1.1 SH7014 内部ブロック図

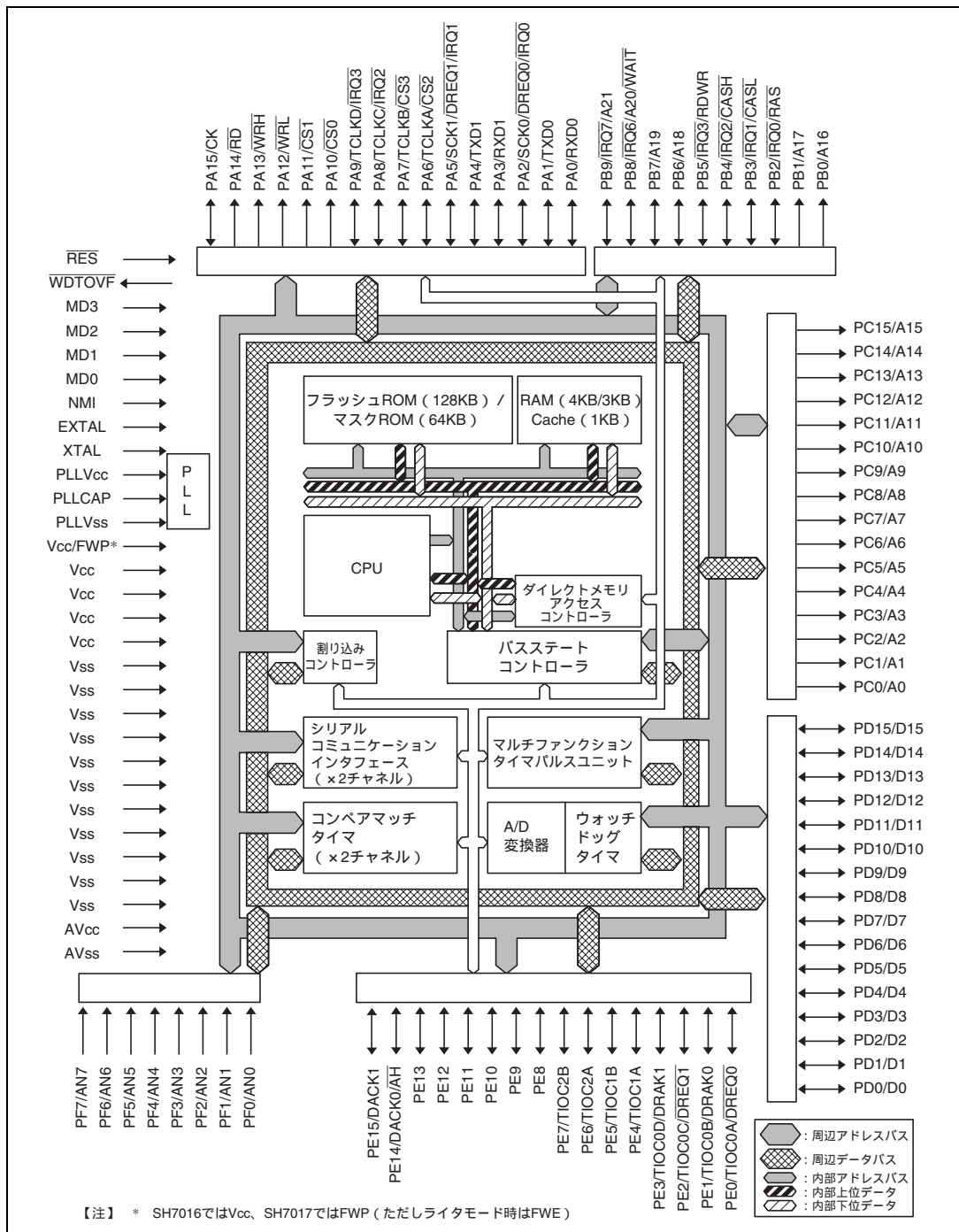


図 1.2 SH7016/17 内部ブロック図

# 1. 概要

## 1.3 端子説明

### 1.3.1 ピン配置図

SH7014 のピン配置図を図 1.3 に示します。

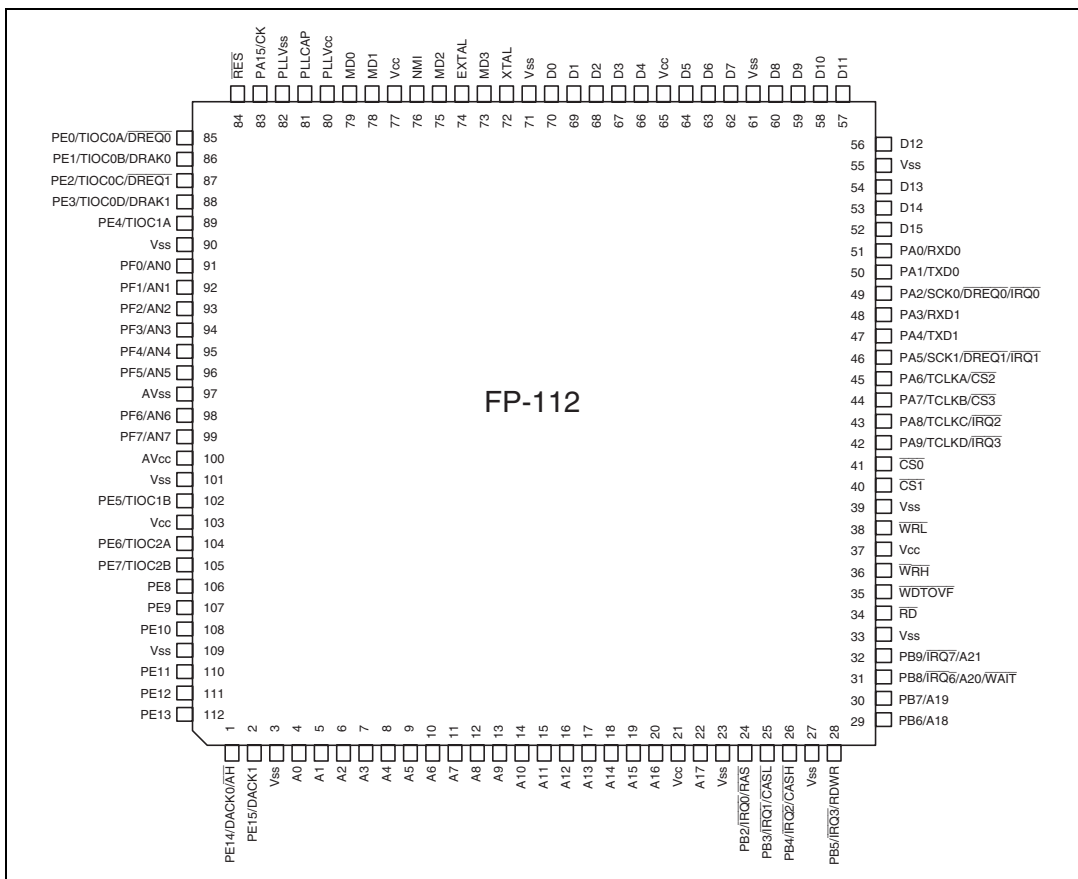


図 1.3 SH7014 ピン配置 (FP-112 : 上面図)

SH7016/17のピン配置図を図1.4に示します。

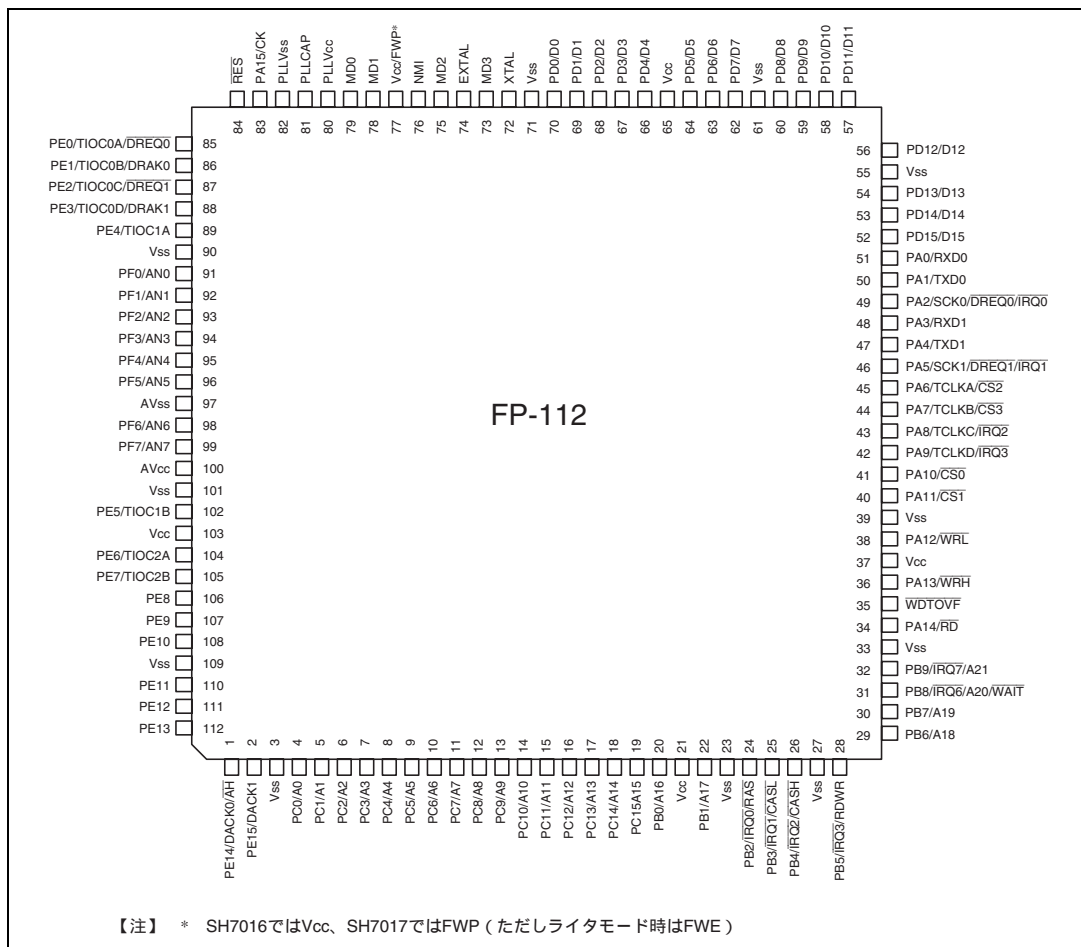


図1.4 SH7016/17 ピン配置 (FP-112 : 上面図)

## 1. 概要

---

### 1.3.2 端子一覧

表 1.2 SH7017F モード別ピン配置

端子番号 (FP-112)	MCU モード	ライトモード
1	PE14/DACK0/AH	NC
2	PE15/DACK1	NC
3	Vss	Vss
4	PC0/A0	A0
5	PC1/A1	A1
6	PC2/A2	A2
7	PC3/A3	A3
8	PC4/A4	A4
9	PC5/A5	A5
10	PC6/A6	A6
11	PC7/A7	A7
12	PC8/A8	A8
13	PC9/A9	A9
14	PC10/A10	A10
15	PC11/A11	A11
16	PC12/A12	A12
17	PC13/A13	A13
18	PC14/A14	A14
19	PC15/A15	A15
20	PB0/A16	A16
21	Vcc	Vcc
22	PB1/A17	NC
23	Vss	Vss
24	PB2/IRQ0/RAS	NC
25	PB3/IRQ1/CASL	NC
26	PB4/IRQ2/CASH	A17
27	Vss	Vss
28	PB5/IRQ3/RDWR	NC
29	PB6/A18	NC
30	PB7/A19	NC
31	PB8/IRQ6/A20/WAIT	NC
32	PB9/IRQ7/A21	NC
33	Vss	Vss
34	PA14/RD	NC
35	WDTOVF	NC
36	PA13/WRH	NC
37	Vcc	Vcc
38	PA12/WRL	NC
39	Vss	Vss



端子番号 (FP-112)	MCU モード	ライタモード
40	PA11/ $\overline{CS1}$	NC
41	PA10/ $\overline{CS0}$	NC
42	PA9/TCLKD/ $\overline{IRQ3}$	$\overline{CE}$
43	PA8/TCLKC/ $\overline{IRQ2}$	$\overline{OE}$
44	PA7/TCLKB/ $\overline{CS3}$	$\overline{WE}$
45	PA6/TCLKA/CS2	NC
46	PA5/SCK1/DREQ1/ $\overline{IRQ1}$	Vcc
47	PA4/TxD1	NC
48	PA3/RxD1	NC
49	PA2/SCK0/DREQ0/ $\overline{IRQ0}$	Vcc
50	PA1/TxD0	Vcc
51	PA0/RxD0	NC
52	PD15/D15	NC
53	PD14/D14	NC
54	PD13/D13	NC
55	Vss	Vss
56	PD12/D12	NC
57	PD11/D11	NC
58	PD10/D10	NC
59	PD9/D9	NC
60	PD8/D8	NC
61	Vss	Vss
62	PD7/D7	D7
63	PD6/D6	D6
64	PD5/D5	D5
65	Vcc	Vcc
66	PD4/D4	D4
67	PD3/D3	D3
68	PD2/D2	D2
69	PD1/D1	D1
70	PD0/D0	D0
71	Vss	Vss
72	XTAL	XTAL
73	MD3	MD3
74	EXTAL	EXTAL
75	MD2	MD2
76	NMI	Vcc
77	Vcc ( FWP )	FWE
78	MD1	MD1
79	MD0	MD0
80	PLLVcc	PLLVcc
81	PLLCAP	PLLCAP

## 1. 概要

---

端子番号 (FP-112)	MCU モード	ライタモード
82	PLL $\overline{V}$ ss	PLL $\overline{V}$ ss
83	PA15/CK	NC
84	$\overline{RES}$	RES
85	RE0/TIOC0A/ $\overline{DREQ0}$	NC
86	PE1/TIOC0B/DRAK0	NC
87	PE2/TIOC0C/ $\overline{DREQ1}$	NC
88	PE3/TIOC0D/DRAK1	NC
89	PE4/TIOC1A	NC
90	Vss	Vss
91	PF0/AN0	Vss
92	PF1/AN1	Vss
93	PF2/AN2	Vss
94	PF3/AN3	Vss
95	PF4/AN4	Vss
96	PF5/AN5	Vss
97	AVss	Vss
98	PF6/AN6	Vss
99	PF7/AN7	Vss
100	AVcc	Vcc
101	Vss	Vss
102	PE5/TIOC1B	NC
103	Vcc	Vcc
104	PE6/TIOC2A	NC
105	PE7/TIOC2B	NC
106	PE8	NC
107	PE9	NC
108	PE10	NC
109	Vss	Vss
110	PE11	NC
111	PE12	NC
112	PE13	NC

### 1.3.3 端子機能

端子の機能について表 1.3 に示します。

表 1.3 端子の機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	電源に接続します。 Vcc 端子は、すべてのシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランドに接続します。 Vss 端子は、すべてのシステムのグランドに接続してください。開放端子があると動作しません。
クロック	PLLVcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLVss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	EXTAL	入力	外部クロック	水晶発振器を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	入力	クリスタル	水晶発振器を接続します。
	CK	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	RES	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマーオーバーフロー	WDT がオーバーフローすると、外部にオーバーフロー信号を出力します。
動作モード制御	MD0 ~ MD3	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。
	FWP	入力	フラッシュメモリ書き込み阻止	フラッシュメモリの書き込み / 消去をプロテクトすることができます。
割り込み	NMI	入力	ノンマスクابل割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択します。
	IRQ0 ~ IRQ3、 IRQ6、IRQ7	入力	割り込み要求 0 ~ 3、 6、7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。
アドレスバス	A0 ~ A21	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D15	入出力	データバス	16 ビットの双方向データバスです。
バス制御	CS0 ~ CS3	出力	チップセレクト 0 ~ 3	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	出力	リード	外部のデバイスから読み出しすることを示します。
	WRH	出力	上位側ライト	外部のデータの上位 8 ビットに書き込みすることを示します。
	WRL	出力	下位側ライト	外部のデータの低位 8 ビットに書き込みすることを示します。

## 1. 概要

分類	記号	入出力	名称	機能
バス制御	RAS	出力	ロウアドレスストロープ	DRAM のロウアドレスストロープのタイミング信号です。
	CASH	出力	上位側カラムアドレスストロープ	DRAM のカラムアドレスストロープのタイミング信号です。 データの上位 8 ビットをアクセスするときに出力されます。
	CASL	出力	下位側カラムアドレスストロープ	DRAM のカラムアドレスストロープのタイミング信号です。 データの低位 8 ビットをアクセスするときに出力されます。
	RDWR	出力	DRAM リード / ライト	DRAM のライトストロープ信号です。
	AH	出力	アドレスホールド	アドレス / データのマルチプレックスバスを使用するデバイスに対するアドレスホールドタイミング信号です。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
マルチファンクションタイムパルスユニット (MTU)	TCLKA TCLKB TCLKC TCLKD	入力	MTU タイマクロック入力	MTU のカウンタへの外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	MTU インพุットキャプチャ / アウトプットコンペア (チャンネル 0)	チャンネル 0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU インพุットキャプチャ / アウトプットコンペア (チャンネル 1)	チャンネル 1 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU インพุットキャプチャ / アウトプットコンペア (チャンネル 2)	チャンネル 2 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0 DREQ1	入力	DMA 転送要求 (チャンネル 0、1)	外部からの DMA 転送要求の入力端子です。
	DRAK0 DRAK1	出力	DREQ 要求受け付け (チャンネル 0、1)	外部からの DMA 転送要求の入力サンプリング受け付けを出力します。
	DACK0 DACK1	出力	DMA 転送ストロープ (チャンネル 0、1)	外部からの DMA 転送要求の外部 I/O へのストロープを出力します。
シリアルコミュニケーションインタフェース (SCI)	TxD0 ~ TxD1	出力	送信データ (チャンネル 0 ~ 1)	SCI0、SCI1 の送信データ出力端子です。
	RxD0 ~ RxD1	入力	受信データ (チャンネル 0 ~ 1)	SCI0、SCI1 の受信データ入力端子です。
	SCK0 ~ SCK1	入出力	シリアルクロック (チャンネル 0 ~ 1)	SCI0、SCI1 のクロック入出力端子です。

分類	記号	入出力	名称	機能
A/D 変換器	AVcc	入力	アナログ電源	アナログ電源で Vcc の電位を接続します。
	AVss	入力	アナロググランド	アナログ電源で Vss の電位を接続します。
	AN0 ~ AN7	入力	アナログ入力	アナログ信号入力端子です。
I/O ポート	PA0 ~ PA9、 PA15( SH7014 ) PA0 ~ PA15 ( SH7016/17 )	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PB2 ~ PB9 ( SH7014 ) PB0 ~ PB9 ( SH7016/17 )	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PC0 ~ PC15 ( SH7016/17 )	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PD0 ~ PD15 ( SH7016/17 )	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PE0 ~ PE15	入出力	汎用ポート	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PF0 ~ PF7	入力	汎用ポート	汎用入力ポート端子です。

## 【使用上の注意】

1. 未使用の入力端子はプルアップまたはプルダウンしてください。
2. F-ZTAT 版では  $\overline{\text{WDTOVF}}$  端子はプルダウンしないでください。また、プルダウンが必要な場合は 100k $\Omega$ 以上の抵抗値でプルダウンしてください。

## 1. 概要

---

---

## 2. CPU

---

### 2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

#### 2.1.1 汎用レジスタ（Rn）

汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

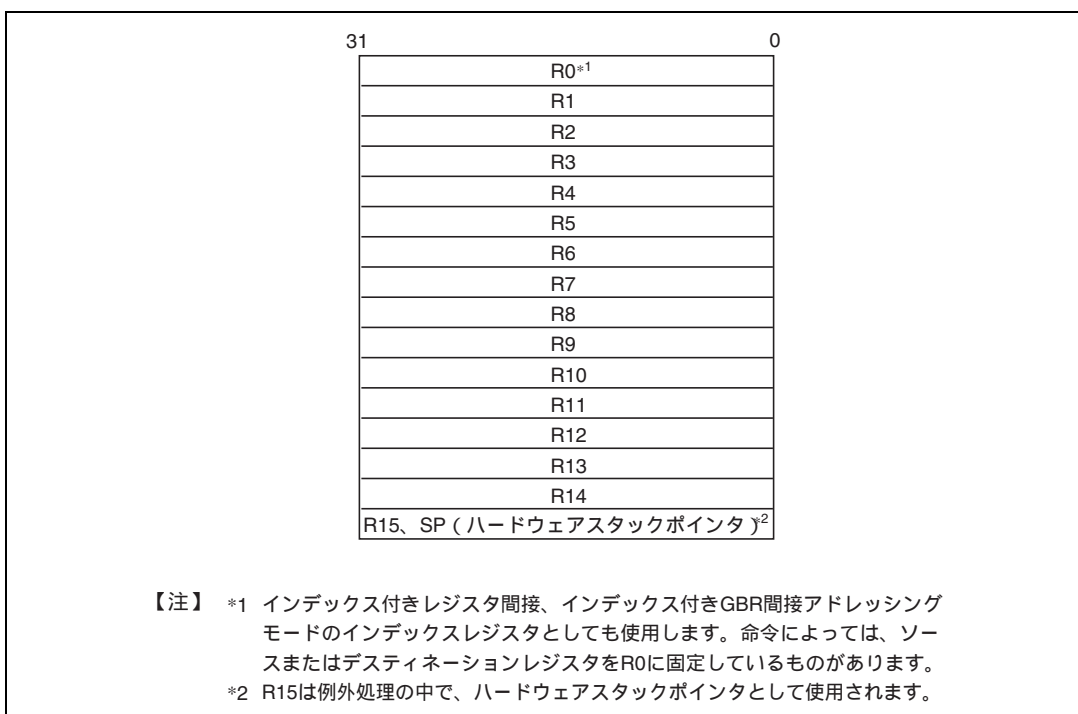


図 2.1 汎用レジスタ

## 2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ(SR)、グローバルベースレジスタ(GBR)、ベクタベースレジスタ(VBR)の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

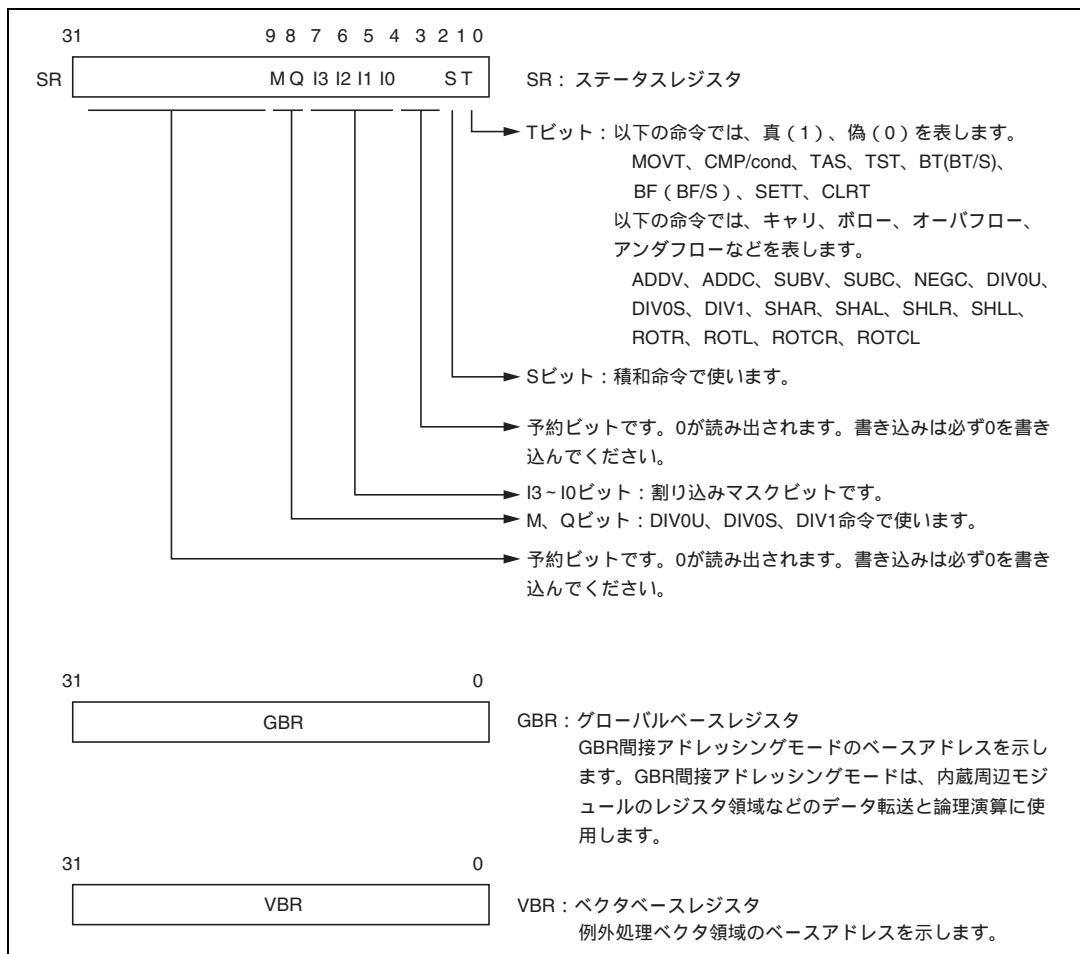


図 2.2 コントロールレジスタ



### 2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACLの2本）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは乗算または積和演算の結果を格納します。PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。

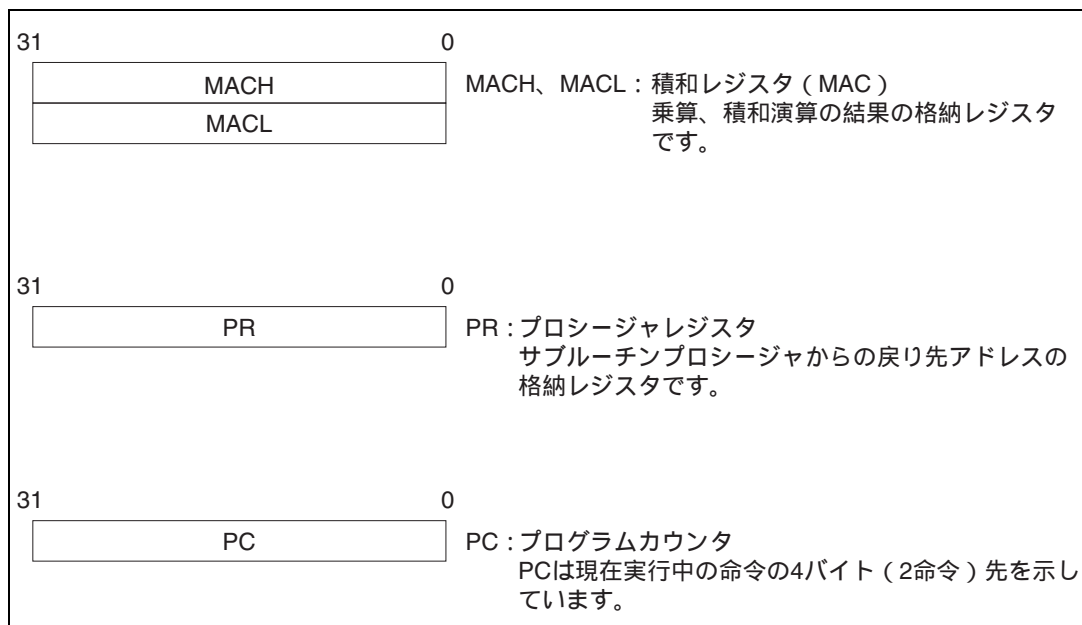


図 2.3 システムレジスタ

### 2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します

表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3~I0 は 1111 (HF)、予約ビットは 0、その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

## 2.2 データ形式

### 2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

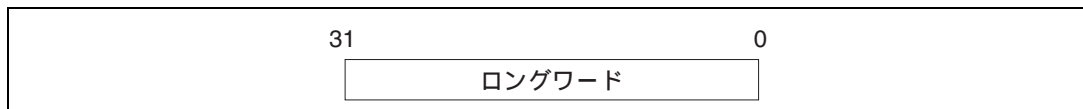


図 2.4 レジスタのデータ形式

### 2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは  $2n$  番地から、ロングワードデータは  $4n$  番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ (SP、R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が  $4n$  になるように設定してください。

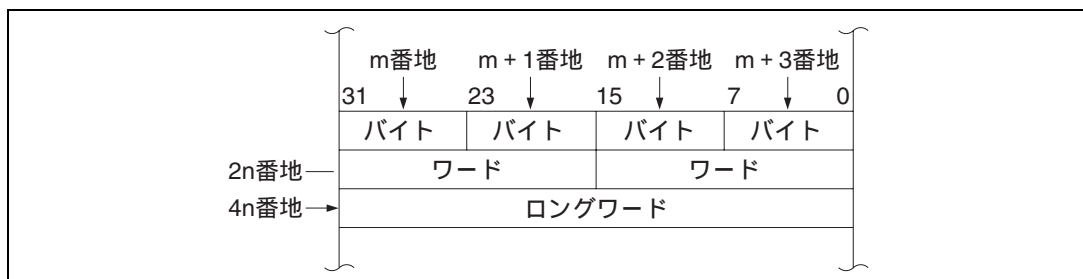


図 2.5 メモリ上でのデータ形式

### 2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

## 2.3 命令の特長

### 2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

#### (1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

#### (2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。28.7MHz 動作時、1 ステートは 35ns になります。

#### (3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

#### (4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

#### (5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU	説明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1, R0
ADD R1, R0		BRA TRGET

## 2. CPU

### (6) 乗算 / 積和演算

16×16→32の乗算を1~2ステート、16×16+64→64の積和演算を2~3ステートで実行します。  
32×32→64の乗算や、32×32+64→64の積和演算を2~4ステートで実行します。

### (7) Tビット

比較結果はSRのTビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみTビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1, R0 BT TRGET0 BF TRGET1	R0 R1 のとき T ビットがセットされます。 R0 R1 のとき TRGET0 へ分岐します。 R0 < R1 のとき TRGET1 へ分岐します。	CMP.W R1, R0 BGE TRGET0 BLT TRGET1
ADD #1, R0 CMP/EQ #0, R0 BT TRGET	ADD では T ビットが変化しません。 R0 = 0 のとき T ビットがセットされます。 R0 = 0 のとき分岐します。	SUB.W #1, R0 BEQ TRGET

### (8) イミディエイトデータ

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令(MOV)で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12, R0	MOV.B #H'12, R0
16 ビットイミディエイト	MOV.W @(disp, PC), R0 ..... .DATA.W H'1234	MOV.W #H'1234, R0
32 ビットイミディエイト	MOV.L @(disp, PC), R0 ..... .DATA.L H'12345678	MOV.L #H'12345678, R0

【注】 @(disp, PC)でイミディエイトデータを参照します。

### (9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp, PC), R1 MOV.B @ R1, R0 ..... .DATA.L H'12345678	MOV.B @ H'12345678, R0

【注】 @(disp, PC)でイミディエイトデータを参照します。

## (10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照


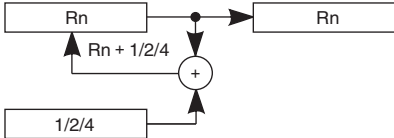
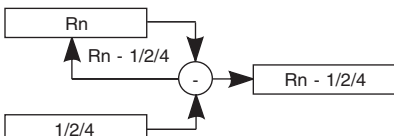
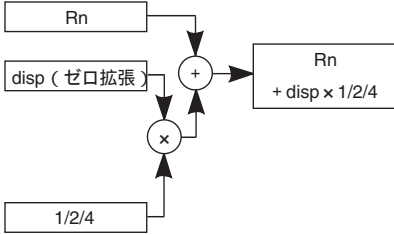
区 分	本 LSI の CPU	他の CPU の例
16ビットディスプレースメント	MOV.W @ (disp, PC), R0 MOV.W @ (R0, R1), R2 ..... .DATA.W H'1234	MOV.W @ (H'1234, R1), R2

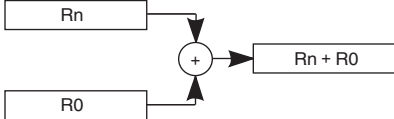
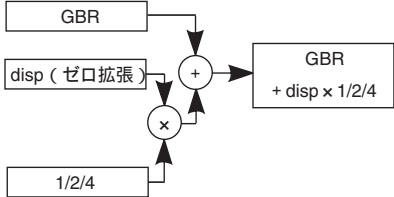
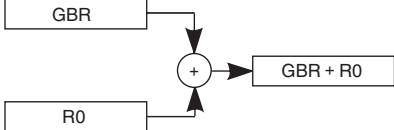
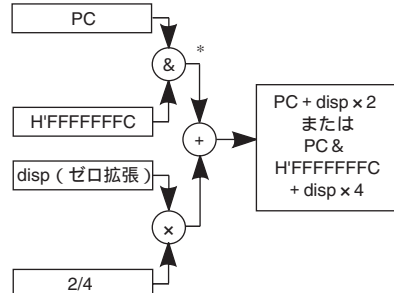
【注】 @ (disp, PC)でイミディエイトデータを参照します。

## 2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。 命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn + 1 \rightarrow Rn$ ワード : $Rn + 2 \rightarrow Rn$ ロングワード : $Rn + 4 \rightarrow Rn$
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn - 1 \rightarrow Rn$ ワード : $Rn - 2 \rightarrow Rn$ ロングワード : $Rn - 4 \rightarrow Rn$ (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレースメント 付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレースメント 付き PC 相対	@(disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>【注】* ロングワードのとき</p>	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

## 2. CPU

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビット ディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビット ディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	



### 2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード  
 mmmm : ソースレジスタ  
 nnnn : デスティネーションレジスタ  
 iiii : イミディエイトデータ  
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーションオペランド	命令の例
0 形式			NOP
n 形式		nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接 STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接 STC.L SR,@-Rn
m 形式		mmmm : レジスタ直接	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	LDC.L @Rm+,SR
		mmmm : レジスタ間接	JMP @Rm
		mmmm : Rm を用いた PC 相対	BRAF Rm
nm 形式		mmmm : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接 MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接 MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接 MOV.L Rm,@(R0,Rn)
md 形式		mmmmdddd : ディスプレースメント付き レジスタ間接	R0 (レジスタ直接) MOV.B @(disp,Rm),R0

## 2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nd4 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx xxxx</span> <span>nnnn dddd</span> </div> </div>	R0 (レジスタ直接)	nnnndddd : ディスプレースメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx nnnn</span> <span>mmmm dddd</span> </div> </div>	mmmm : レジスタ直接	nnnndddd : ディスプレースメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレースメント付 きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx xxxx</span> <span>dddd dddd</span> </div> </div>	dddddddd : ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd : ディスプレースメント 付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd : ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd : PC 相対		BF label
d12 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx dddd dddd dddd</span> </div> </div>	dddddddddddd : PC 相対		BRA label (label=disp+PC)
nd8 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx nnnn</span> <span>dddd dddd</span> </div> </div>	dddddddd : ディスプレースメント付 き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx xxxx</span> <span>iiii iiii</span> </div> </div>	iiiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiiii : イミディエイト		TRAPA #imm
ni 形式	<div style="border: 1px solid black; padding: 2px; width: fit-content;"> <span style="float: left;">15</span> <span style="float: right;">0</span> <div style="display: flex; justify-content: space-between; width: 100%;"> <span>xxxx nnnn</span> <span>iiii iiii</span> </div> </div>	iiiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

【注】 \* 積和命令では nnnn は、ソースレジスタです。

## 2.4 命令セット

### 2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOV T	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
SUBC	ポロー付き 2 減算			
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリエストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	

## 2. CPU

分類	命令の種類	オペコード	機能	命令数
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無条件	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

表 2.11 命令コード、動作、実行ステート表に使用する記号

命令	命令コード	動作の概略	実行ステート	Tビット
二モニクで表示していません。	MSB ↔ LSB の順で表示しています。	動作の概略を表示していません。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
記号の説明 OP、Sz、SRC、DEST OP：オペコード Sz：サイズ SRC：ソース DEST：デスティネーション Rm：ソースレジスタ Rn：デスティネーションレジスタ imm：イミディエイトデータ disp：ディスプレースメント*2	記号の説明 mmmm：ソースレジスタ nnnn：デスティネーションレジスタ 0000：R0 0001：R1 ..... 1111：R15 iiii：イミディエイトデータ dddd：ディスプレースメント	記号の説明 →、←：転送方向 (xx)：メモリオペランド M/Q/T：SR内のフラグビット &：ビットごとの論理積  ：ビットごとの論理和 ^：ビットごとの排他的論理和 ~：ビットごとの論理否定 <<n：左nビットシフト >>n：右nビットシフト		記号の説明 ：変化しない

- 【注】 \*1 命令の実行ステートについて  
表に示した実行ステートは最少値です。実際は、  
(1) 命令フェッチとデータアクセスの競合が起こる場合  
(2) ロード命令(メモリ→レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合  
などの条件により、命令実行ステート数は増加します。
- \*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。  
詳細は「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

## 2. CPU

### (1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm → 符号拡張 → Rn	1	
MOV.W @(disp, PC), Rn	1001nnnndddddd	(disp × 2 + PC) → 符号拡張 → Rn	1	
MOV.L @(disp, PC), Rn	1101nnnndddddd	(disp × 4 + PC) → Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm → Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm → (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm → (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm → (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) → 符号拡張 → Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) → 符号拡張 → Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) → Rn	1	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn - 1 → Rn, Rm → (Rn)	1	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn - 2 → Rn, Rm → (Rn)	1	
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn - 4 → Rn, Rm → (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) → 符号拡張 → Rn, Rm + 1 → Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) → 符号拡張 → Rn, Rm + 2 → Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) → Rn, Rm + 4 → Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 → (disp + Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 → (disp × 2 + Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm → (disp × 4 + Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp + Rm) → 符号拡張 → R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2 + Rm) → 符号拡張 → R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4 + Rm) → Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm → (R0 + Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm → (R0 + Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm → (R0 + Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0 + Rm) → 符号拡張 → Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0 + Rm) → 符号拡張 → Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0 + Rm) → Rn	1	
MOV.B R0, @(disp, GBR)	11000000ddddd	R0 → (disp + GBR)	1	
MOV.W R0, @(disp, GBR)	11000001ddddd	R0 → (disp × 2 + GBR)	1	
MOV.L R0, @(disp, GBR)	11000010ddddd	R0 → (disp × 4 + GBR)	1	
MOV.B @(disp, GBR), R0	11000100ddddd	(disp + GBR) → 符号拡張 → R0	1	
MOV.W @(disp, GBR), R0	11000101ddddd	(disp × 2 + GBR) → 符号拡張 → R0	1	
MOV.L @(disp, GBR), R0	11000110ddddd	(disp × 4 + GBR) → R0	1	
MOVA @(disp, PC), R0	11000111ddddd	disp × 4 + PC → R0	1	
MOVT Rn	0000nnnn00101001	T → Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm → 下位 2 バイトの上下バイト交換 → Rn	1	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm → 上下ワード交換 → Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット → Rn	1	

## (2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn + Rm → Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn + imm → Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn + Rm + T → Rn, キャリ → T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn + Rm → Rn, オーバフロー → T	1	オーバ フロー
CMP/EQ #imm, R0	10001000iiiiiii	R0 = imm のとき 1 → T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn = Rm のとき 1 → T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 → T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 → T	1	比較結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 → T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 → T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 → T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 → T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB → Q, Rm の MSB → M, M <sup>Q</sup> → T	1	計算結果
DIV0U	0000000000011001	0 → M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm → MACH, MACL 32 × 32 → 64 ビット	2 ~ 4*	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm → MACH, MACL 32 × 32 → 64 ビット	2 ~ 4*	
DT Rn	0100nnnn00010000	Rn - 1 → Rn, Rn が 0 のとき 1 → T Rn が 0 以外のとき 0 → T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 → Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 → Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 → Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 → Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 32 × 32 + 64 → 64 ビット	3/(2 ~ 4)*	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 16 × 16 + 64 → 64 ビット	3/(2)*	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm → MACL 32 × 32 → 32 ビット	2 ~ 4*	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm → MAC 16 × 16 → 32 ビット	1 ~ 3*	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm → MAC 16 × 16 → 32 ビット	1 ~ 3*	
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm → Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T → Rn, ボロー → T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm → Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T → Rn, ボロー → T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm → Rn, アンダフロー → T	1	オーバ フロー

【注】 \* 通常実行ステートを示します。( )内の値は、前後の命令との競合関係による実行ステートです。

## 2. CPU

### (3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	1	
AND #imm, R0	11001001iiiiiii	$R0 \& imm \rightarrow R0$	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	$(R0 + GBR) \& imm \rightarrow (R0 + GBR)$	3	
NOT Rm, Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	1	
OR Rm, Rn	0010nnnnmmmm1011	$Rn   Rm \rightarrow Rn$	1	
OR #imm, R0	11001011iiiiiii	$R0   imm \rightarrow R0$	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	$(R0 + GBR)   imm \rightarrow (R0 + GBR)$	3	
TAS.B @Rn*	0100nnnn00011011	(Rn) が 0 のとき 1→T, 1→MSB of (Rn)	4	テスト 結果
TST Rm, Rn	0010nnnnmmmm1000	$Rn \& Rm$ , 結果が 0 のとき 1→T	1	テスト 結果
TST #imm, R0	11001000iiiiiii	$R0 \& imm$ , 結果が 0 のとき 1→T	1	テスト 結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	$(R0 + GBR) \& imm$ , 結果が 0 のとき 1→T	3	テスト 結果
XOR Rm, Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	1	
XOR #imm, R0	11001010iiiiiii	$R0 \wedge imm \rightarrow R0$	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	$(R0 + GBR) \wedge imm \rightarrow (R0 + GBR)$	3	

【注】 \* TAS命令の実行サイクルの読み出しサイクルと書き込みサイクルの間には内蔵DMACのバスサイクルは入りません。

### (4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	



## (5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp × 2 + PC → PC, T=1 のとき NOP	3/1*	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp × 2 + PC → PC, T=1 のとき NOP	3/1*	
BT label	10001001dddddddd	T=1 のとき disp × 2 + PC → PC, T=0 のとき NOP	3/1*	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp × 2 + PC → PC, T=0 のとき NOP	2/1*	
BRA label	1010dddddddddddd	遅延分岐、disp × 2 + PC → PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm + PC → PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC → PR, disp × 2 + PC → PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC → PR, Rm + PC → PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm → PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC → PR, Rm → PC	2	
RTS	0000000000001011	遅延分岐、PR → PC	2	

【注】 \* 分岐しないときは 1 ステートになります。

## (6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 → T	1	0
CLRMACH	0000000000101000	0 → MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm → SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm → GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm → VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) → SR, Rm + 4 → Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) → GBR, Rm + 4 → Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) → VBR, Rm + 4 → Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm → MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm → MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm → PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) → MACH, Rm + 4 → Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) → MACL, Rm + 4 → Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) → PR, Rm + 4 → Rm	1	
NOP	0000000000001001	無操作	1	
RTE	0000000000101011	遅延分岐、スタック領域 → PC/SR	4	
SETT	0000000000011000	1 → T	1	1
SLEEP	0000000000011011	スリープ	3*	
STC SR, Rn	0000nnnn00000010	SR → Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR → Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR → Rn	1	

## 2. CPU

---

命 令	命令コード	動 作	実行 ステート	Tビット
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 → Rn, SR → (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 → Rn, GBR → (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 → Rn, VBR → (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH → Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL → Rn	1	
STS PR, Rn	0000nnnn00101010	PR → Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 → Rn, MACH → (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 → Rn, MACL → (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 → Rn, PR → (Rn)	1	
TRAPA #imm	11000011iiiiiii	PC/SR→スタック領域、(imm)→PC	8	

- 【注】 \* スリープ状態に遷移するまでのステート数です。
- ・命令の実行ステートについて
- 表に示した実行ステートは最少値です。実際は、
- (1) 命令フェッチとデータアクセスの競合が起こる場合
  - (2) ロード命令(メモリ→レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
- などの条件により、命令実行ステート数は増加します。

## 2.5 処理状態

### 2.5.1 状態遷移

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の 4 種類があります。状態間の遷移を図 2.6 に示します。

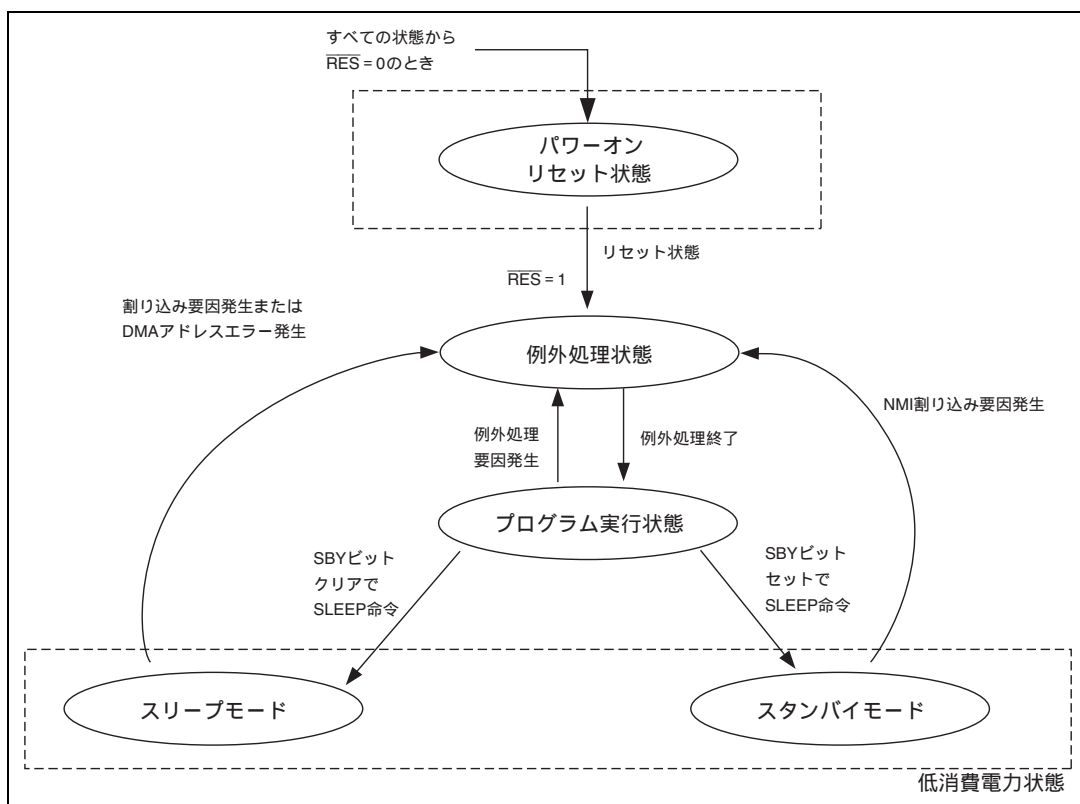


図 2.6 処理状態の状態遷移図

#### (1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$  端子がローレベルになるとパワーオンリセット状態になります。

#### (2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの一時的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避し

## 2. CPU

---

ます。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

### (4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、スタンバイモードの2つのモードがあります。

## 2.5.2 低消費電力状態

CPU の処理状態の一つとして、通常のプログラム実行状態のほかに、CPU の動作を停止し、消費電力を低くする低消費電力状態があります。低消費電力状態には、スリープモード、スタンバイモードの2つのモードがあります。

### (1) スリープモード

スタンバイコントロールレジスタ(SBYCR)のスタンバイビット(SBY)を0にクリアして、SLEEP命令を実行すると、CPU はスリープモードになります。スリープモードでは、CPU の動作は停止しますが、CPU の内部レジスタの内容と内蔵キャッシュ(または内蔵RAM)のデータは保持されます。CPU 以外の内蔵周辺モジュールの機能は停止しません。

スリープモードからの復帰は、パワーオンリセット、すべての割り込み、またはDMA アドレスエラーによって行われ、例外処理状態を経て通常のプログラム実行状態へ移行します。

### (2) スタンバイモード

SBYCR のSBY を1にセットして、SLEEP命令を実行すると、スタンバイモードになります。スタンバイモードでは、CPU、内蔵周辺モジュール、および発振器のすべての機能が停止します。乗算系命令の実行中にスタンバイに入った場合は、MACH、MACL の値は不定になります。

スタンバイモードからの復帰は、パワーオンリセット、NMI 割り込みにより行われます。リセットの場合は、発振安定時間の後、例外処理状態を経て通常のプログラム実行状態へ移行します。NMI 割り込みの場合は、発振安定時間経過後、例外処理状態を経て通常のプログラム実行状態へ移行します。

本モードでは、発振器が停止しますので、消費電力は著しく低減されます。

表 2.12 低消費電力状態

モード	遷移の条件	状態						解除方法
		クロック	CPU	内蔵周辺 モジュール	CPU レジ スタ	内蔵 キャッシュ または内蔵 RAM	I/O ポート 端子	
スリープ モード	SBYCRの SBYをクリア した状態で、 SLEEP命令を 実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) DMA アドレス エラー (3) パワーオン リセット
スタンバイ モード	SBYCRの SBYをセット した状態で、 SLEEP命令を 実行	停止	停止	停止 および 初期化*	保持	保持	保持 または Hi-Z (設定可)	(1) NMI 割り込み (2) パワーオン リセット

【注】 \* それぞれの周辺モジュール、端子によって異なります。

## 2. CPU

---

## 3. 動作モード

### 3.1 動作モードの種類と選択

本 LSI には動作モードとクロックモードがあります。モード端子 (MD3 ~ MD0) の設定により、LSI は決められた動作 / クロックモードで動作します。モード端子は LSI 動作中 (電源印加中) には、変化させないでください。

表 3.1 に動作モードおよびクロックモードの設定方法を示します。

表 3.1 動作モードおよびクロックモードの設定

動作モード 番号	端子設定					モード名	内蔵 ROM	CS0 空間
	FWP	MD3* <sup>1</sup>	MD2* <sup>1</sup>	MD1	MD0			
モード 0	1	x	x	0	0	MCU モード 0	無効	8 ビット空間
モード 1	1	x	x	0	1	MCU モード 1	無効	16 ビット空間
モード 2* <sup>4</sup>	1	x	x	1	0	MCU モード 2	有効	8/16 ビット空間* <sup>2</sup>
モード 3* <sup>4</sup>	1	x	x	1	1	シングルチップモード	有効	-
	0	x	x	0	0	ブートモード* <sup>3</sup>	有効	8/16 ビット空間* <sup>2</sup>
	0	x	x	0	1			-
	0	x	x	1	0	ユーザプログラム モード* <sup>3</sup>	有効	8/16 ビット空間* <sup>2</sup>
	0	x	x	1	1			-
	1	1	1	0	1	ライタモード* <sup>3</sup>	有効	-

MD3	MD2	クロックモード
0	0	入力クロック × 1
0	1	入力クロック × 2
1	0	入力クロック × 4
1	1	予約

【注】 \*1 MD2、MD3 はクロックモードを選択する端子です

\*2 BSC の BCR1 で設定。

\*3 F-ZTAT のみ。

\*4 SH7016/17 のみ。

### 3. 動作モード

---

## 3.2 各動作モードの説明

#### (1) モード0 (MCUモード0)

モード0では、CS0空間のバス幅が8ビットの外部メモリ空間になります。

#### (2) モード1 (MCUモード1)

モード1では、CS0空間のバス幅が16ビットの外部メモリ空間になります。

#### (3) モード2 (MCUモード2)

モード2では、内蔵ROMが有効となります。内蔵ROM空間でのバス幅は32ビットです。

#### (4) モード3 (シングルチップモード)

シングルチップモードでは、どのポートも使用することはできませんが、外部アドレスは使用できません。

#### (5) クロックモード

モード0~3のとき、入力周波数の1倍、2倍、4倍の周波数を内部クロックとして使用できます。

## 3.3 端子構成

動作モードに関係した各端子の機能を表3.2に示します。

表 3.2 端子の機能

機能名	入出力	機能
XTAL	入力	水晶発振子を接続
EXTAL	入力	水晶発振子を接続、または外部クロック入力端子
PLLCAP	入力	PLL回路動作用の容量を接続
MD0	入力	この端子に印加するレベルで動作モードを指定
MD1	入力	この端子に印加するレベルで動作モードを指定
MD2	入力	この端子に印加するレベルでクロックモードを指定
MD3	入力	この端子に印加するレベルでクロックモードを指定



---

## 4. クロック発振器 ( CPG )

---

### 4.1 概要

本 LSI は、クロック発振器 ( CPG : Clock Pulse Generator ) を内蔵しており、システムクロック (  $\phi$  ) 及び内部クロック (  $\phi/2 \sim \phi/8192$  ) を生成します。

クロック発振器は、発振器、PLL、プリスケアラから構成されます。

#### 4.1.1 ブロック図

クロック発振器のブロック図を図 4.1 に示します。

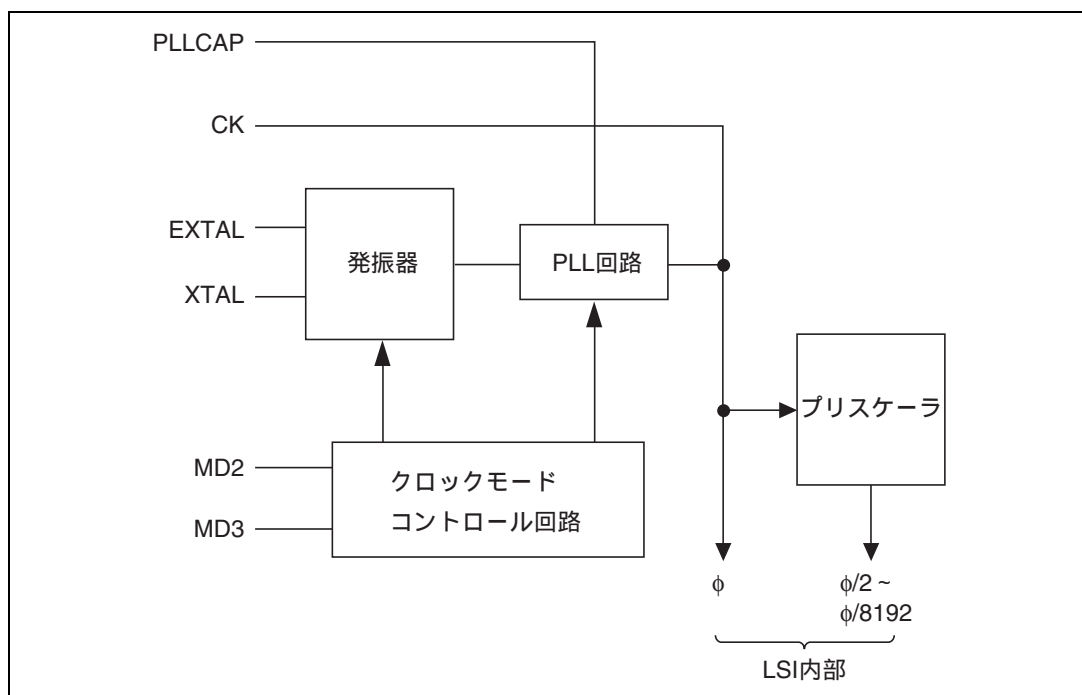


図 4.1 クロック発振器のブロック図

## 4.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

### 4.2.1 水晶発振子を接続する方法

#### (1) 回路構成

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗  $R_d$  は、表 4.1 に示すものを使用してください。水晶は周波数が発振 4 ~ 10MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーとご相談いただきますよう、お願い致します。

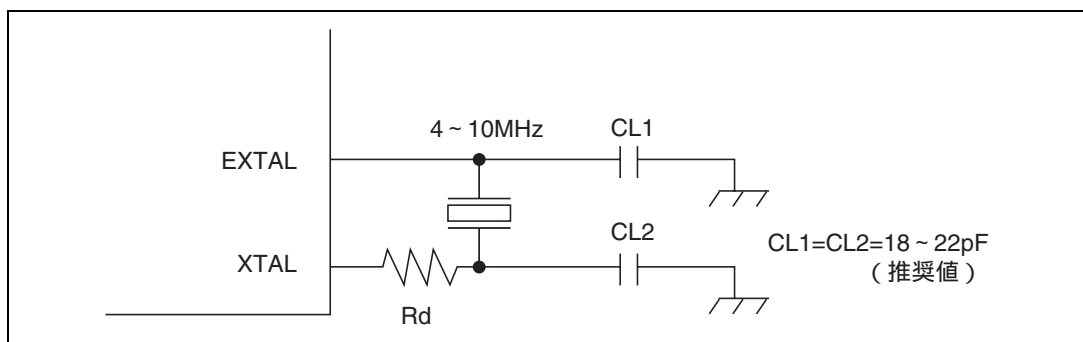


図 4.2 水晶発振子の接続例

表 4.1 ダンピング抵抗値 (推奨値)

周波数 (MHz)	4	8	10
$R_d$ ( $\Omega$ )	500	200	0

#### (2) 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は表 4.2 に示す特性のものを使用してください。

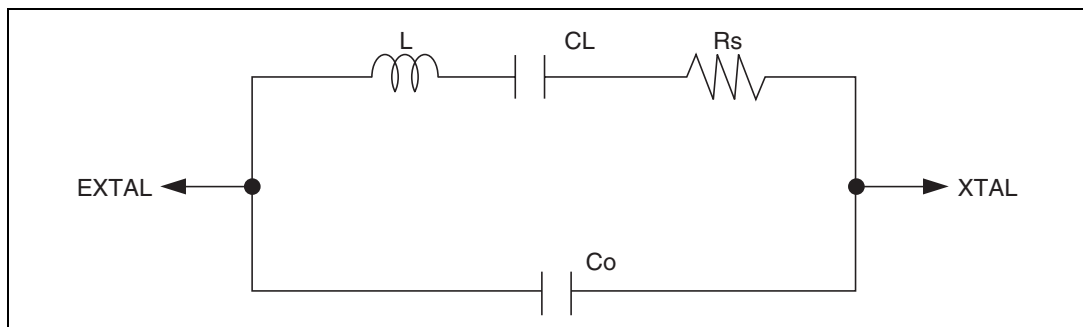


図 4.3 水晶発振子の等価回路

表 4.2 水晶発振子の特性

周波数 (MHz)	4	8	10
Rs max ( $\Omega$ )	120	80	60
Co max (pF)	7		

## (3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子及び負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

発振回路部のボード設計に関する注意を図 4.4、図 4.5 に示します。

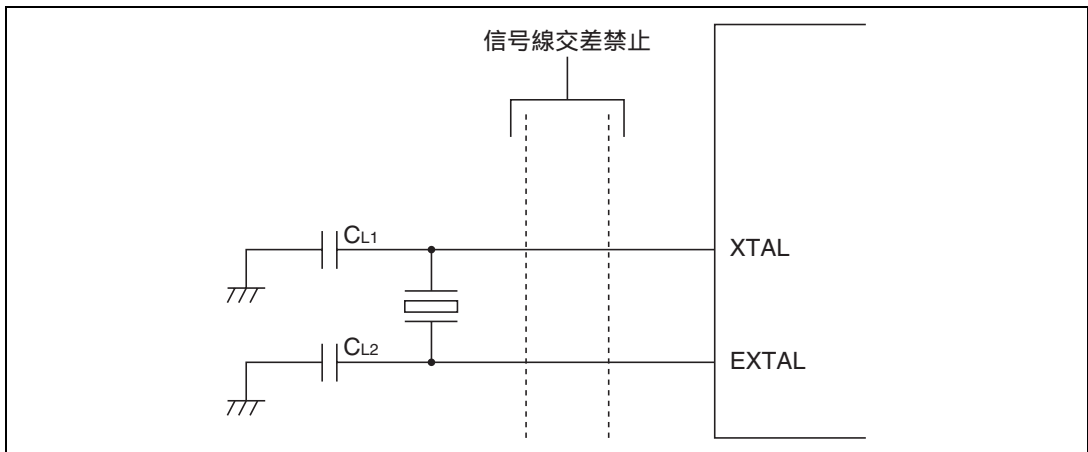


図 4.4 発振回路部のボード設計に関する注意事項

## 4. クロック発振器 (CPG)

PLL 回りの外部回路として、下記のような外部回路を推奨します。

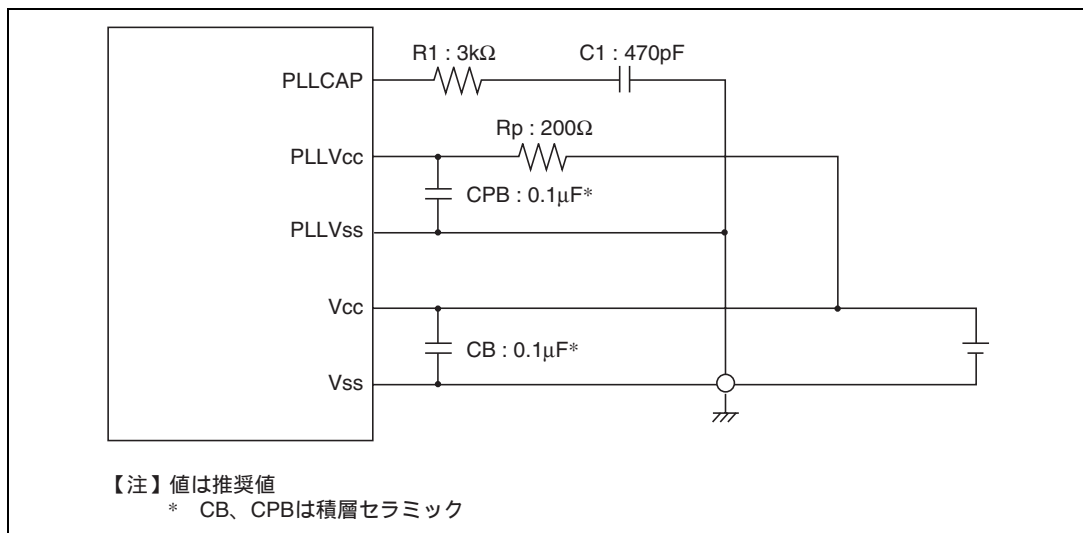


図 4.5 PLL 発振回路使用上の注意

発振安定用の容量 C1 および抵抗 R1 は、PLLICAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは PLLVss から供給してください。

さらに、PLLVcc、PLLVss と、その他の Vcc、Vss とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

### 4.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.6 に示します。図 4.6 の場合、スタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力ロックの周波数は 4~10MHz にしてください。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

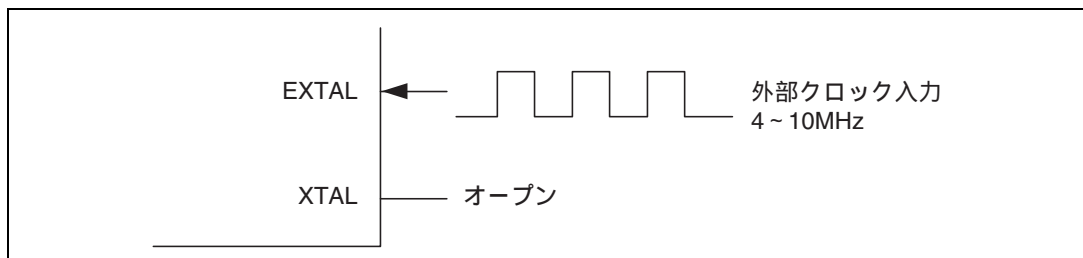


図 4.6 外部クロックの接続例

### 4.3 プリスケーラ

プリスケーラは、システムクロック ( $\phi$ ) を分周して、内部クロック ( $\phi/2 \sim \phi/8192$ ) を生成し、周辺モジュールに供給します。

#### 4. クロック発振器 (CPG)

---

---

## 5. 例外処理

---

### 5.1 概要

#### 5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

	例外処理	優先順位	
リセット	パワーオンリセット	高 ▲ ↑ ↓ ▼ 低	
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
割り込み	NMI		
	ユーザブレイク		
	IRQ		
	内蔵周辺モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			マルチファンクションタイマパルスユニット (MTU)
			シリアルコミュニケーションインタフェース (SCI)
			A/D 変換器 (A/D)
コンペアマッチタイマ (CMT)			
ウォッチドッグタイマ (WDT)			
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令* <sup>1</sup> 直後に配置された未定義コードまたは PC を書き換える命令* <sup>2</sup> )		

【注】 \*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA<sub>F</sub>

\*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA<sub>F</sub>

## 5. 例外処理

### 5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
パワーオンリセット		RES 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

#### (1) リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、H'00000000 番地、H'00000004 番地）から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を 0 に、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

#### (2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット（I3～I0）に書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

### 5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。



表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
(システム予約)		2	H'00000008 ~ H'0000000B
(システム予約)		3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
(システム予約)		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13   31	H'00000034 ~ H'00000037   H'0000007C ~ H'0000007F
トラップ命令(ユーザベクタ)		32   63	H'00000080 ~ H'00000083   H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
(システム予約)		68	H'00000110 ~ H'00000113
(システム予約)		69	H'00000114 ~ H'00000117
割り込み	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72   255	H'00000120 ~ H'00000124   H'000003FC ~ H'000003FF

【注】 \* 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは表 6.3 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR: ベクタベースレジスタ  
ベクタテーブルアドレスオフセット: 表 5.3 を参照  
ベクタ番号: 表 5.3 を参照

## 5.2 リセット

### 5.2.1 パワーオンリセット

$\overline{\text{RES}}$  端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20t<sub>cy</sub> の間  $\overline{\text{RES}}$  端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 C. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$  端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ (PC) と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

## 5.3 アドレスエラー

### 5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.5 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 \* 内蔵周辺モジュール空間については、「第 8 章 バスステートコントローラ (BSC)」を参照してください。

### 5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタをスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

## 5.4 割り込み

### 5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.6 に示すように NMI、IRQ、内蔵周辺モジュールがあります。

表 5.6 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ	IRQ0 ~ IRQ3、IRQ6、IRQ7 端子 (外部からの入力)	6
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	2
	マルチファンクションタイムパルスユニット	13
	シリアルコミュニケーションインタフェース	8
	A/D 変換器	1
	コンペアマッチタイマ	2
	ウォッチドッグタイマ	1
	バスステートコントローラ	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては表 6.3 を参照してください。

### 5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH) で自由に設定することができます (表 5.7)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA ~ IPRH の詳細については「6.3.1 割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)」を参照してください。

表 5.7 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
IRQ	0 ~ 15	割り込み優先レベル設定レジスタ
内蔵周辺モジュール		A ~ H (IPRA ~ IPRH) により設定

### 5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

## 5.5 命令による例外

### 5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.8 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.8 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後(遅延スロット)に配置された未定義コードまたはPCを書き換える命令	遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PCを書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	

### 5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

### 5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ(PC)を書き換える命令のときも、このPCを書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

### 5.5.4 一般不当命令

遅延分岐命令の直後(遅延スロット)以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ(PC)の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

## 5.6 例外処理が受け付けられない場合

アドレスエラーと割り込みは、表 5.9 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.9 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令* <sup>1</sup> の直後	×	×
割り込み禁止命令* <sup>2</sup> の直後		×

### 【記号説明】

○ : 受け付けられる

× : 受け付けられない

【注】 \*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA<sub>F</sub>

\*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

### 5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

### 5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

## 5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.10 に示すようになります。

表 5.10 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令			



## 5.8 使用上の注意

### 5.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

### 5.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外の場合、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

### 5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (書き込み) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされた書き込みデータは不定です。

## 5. 例外处理

---

---

## 6. 割り込みコントローラ (INTC)

---

### 6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

#### 6.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を 16 レベル設定可能  
8本の割り込み優先レベル設定レジスタにより、IRQ割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMI ノイズキャンセラ機能  
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

## 6. 割り込みコントローラ (INTC)

### 6.1.2 ブロック図

INTC のブロック図を図 6.1 に示します。

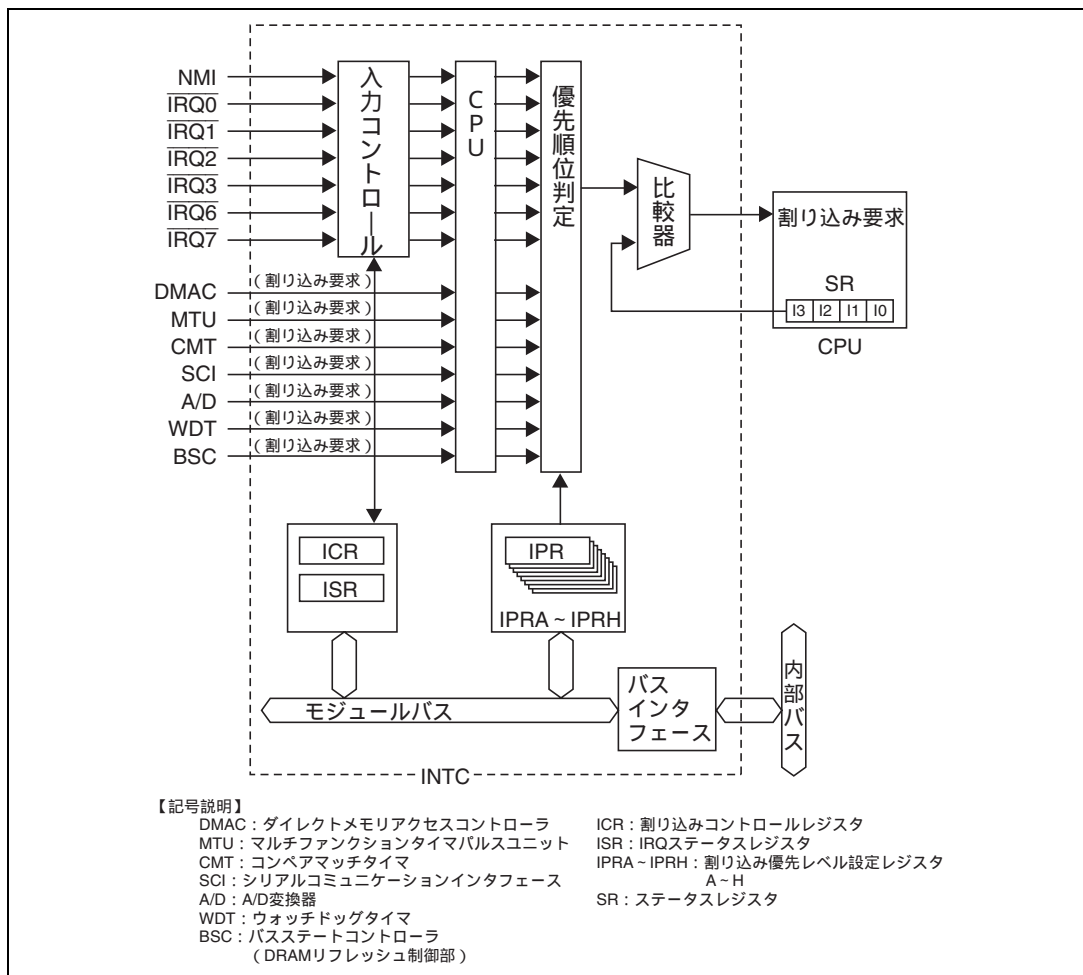


図 6.1 INTC のブロック図

### 6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ0 ~ IRQ3、 IRQ6、IRQ7	入力	マスク可能な割り込み要求信号を入力

### 6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 10 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF8348	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF834A	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF834C	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF834E	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF8350	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF8352	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF8354	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF8356	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF8358	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF835A	8、16、32

【注】 \*1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

\*2 フラグをクリアするための 0 書き込みのみ可能です

### 6.2 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

#### 6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

#### 6.2.2 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ(ICR)のIRQセンスセレクトビット(IRQ0S~IRQ3S、IRQ6S、IRQ7S)の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタA~B(IPRA~IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ3F、IRQ6F、IRQ7F)を読み出すことにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ3F、IRQ6F、IRQ7F)を読み出すことによりIRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むことによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

#### 6.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- マルチファンクションタイムパルスユニット (MTU)
- コンペアマッチタイマ (CMT)
- シリアルコミュニケーションインタフェース (SCI)
- A/D変換器 (A/D)
- ウォッチドッグタイマ (WDT)
- パスステートコントローラ (BSC)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタC~H(IPRC~IPRH)によって、モジュールごとに優先レベル0~15の範囲で設定できます。内蔵周辺モジュール割り込み例外処

理では、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

#### 6.2.4 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、表 5.4 を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH) によって、端子またはモジュールごとに、優先レベル 0 ~ 15 の範囲で任意に設定できます。ただし、IPRC ~ IPRH に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

## 6. 割り込みコントローラ (INTC)

表 6.3 割り込み例外ベクタと優先順位

割り込み要因	割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR設定 範囲内の 優先順位	デフォルト 優先順位				
	ベクタ 番号	ベクタテーブルアドレス オフセット								
NMI	11	H'0000002C ~ H'0000002F	16	-	-	高 ↑ ↓ 低				
IRQ0	64	H'00000100 ~ H'00000103	0~15 (0)	IPRA (15-12)	-					
IRQ1	65	H'00000104 ~ H'00000107	0~15 (0)	IPRA (11-8)	-					
IRQ2	66	H'00000108 ~ H'0000010B	0~15 (0)	IPRA (7-4)	-					
IRQ3	67	H'0000010C ~ H'0000010F	0~15 (0)	IPRA (3-0)	-					
IRQ6	70	H'00000118 ~ H'0000011B	0~15 (0)	IPRB (7-4)	-					
IRQ7	71	H'0000011C ~ H'0000011F	0~15 (0)	IPRB (3-0)	-					
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0~15 (0)	IPRC (15-12)		-			
DMAC1	DEI1	76	H'00000130 ~ H'00000133	0~15 (0)	IPRC (11-8)		-			
MTU0	TGI0A	88	H'00000160 ~ H'00000163	0~15 (0)	IPRD (15-12)		↑ 高 ↓ 低			
	TGI0B	89	H'00000164 ~ H'00000167							
	TGI0C	90	H'00000168 ~ H'0000016B							
	TGI0D	91	H'0000016C ~ H'0000016F							
	TCI0V	92	H'00000170 ~ H'00000173					0~15 (0)	IPRD (11-8)	-
MTU1	TGI1A	96	H'00000180 ~ H'00000183	0~15 (0)	IPRD (7-4)		↑ 高 ↓ 低			
	TGI1B	97	H'00000184 ~ H'00000187							
	TCI1V	100	H'00000190 ~ H'00000193					0~15 (0)	IPRD (3-0)	↑ 高 ↓ 低
	TCI1U	101	H'00000194 ~ H'00000197							
MTU2	TGI2A	104	H'000001A0 ~ H'000001A3	0~15 (0)	IPRE (15-12)		↑ 高 ↓ 低			
	TGI2B	105	H'000001A4 ~ H'000001A7							
	TCI2V	108	H'000001B0 ~ H'000001B3					0~15 (0)	IPRE (11-8)	↑ 高 ↓ 低
	TCI2U	109	H'000001B4 ~ H'000001B7							
SCI0	ERIO	128	H'00000200 ~ H'00000203	0~15 (0)	IPRF (7-4)		↑ 高 ↓ 低			
	RXIO	129	H'00000204 ~ H'00000207							
	TXIO	130	H'00000208 ~ H'0000020B							
	TEIO	131	H'0000020C ~ H'0000020F							
SCI1	ERI1	132	H'00000210 ~ H'00000213	0~15 (0)	IPRF (3-0)		↑ 高 ↓ 低			
	RX11	133	H'00000214 ~ H'00000217							
	TX11	134	H'00000218 ~ H'0000021B							
	TE11	135	H'0000021C ~ H'0000021F							
A/D*	ADI	136	H'00000220 ~ H'00000223	0~15 (0)	IPRG (15-12)		-			
		138	H'00000228 ~ H'0000022B							
CMT0	CMI0	144	H'00000240 ~ H'00000243	0~15 (0)	IPRG (7-4)	-				
CMT1	CMI1	148	H'00000250 ~ H'00000253	0~15 (0)	IPRG (3-0)	-				
WDT	IT1	152	H'00000260 ~ H'00000263	0~15 (0)	IPRH (15-12)	↑ 高 ↓ 低				
BSC	CMI	153	H'00000264 ~ H'00000267							

【注】\* ベクタ番号136 : SH7014のみ、138 : SH7016/17のみ



## 6.3 レジスタの説明

### 6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRH の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA~IPRH

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	予約	予約	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0	DMAC1	予約	予約
割り込み優先レベル設定レジスタ D	MTU0	MTU0	MTU1	MTU1
割り込み優先レベル設定レジスタ E	MTU2	MTU2	予約	予約
割り込み優先レベル設定レジスタ F	予約	予約	SCI0	SCI1
割り込み優先レベル設定レジスタ G	A/D	予約	CMT0	CMT1
割り込み優先レベル設定レジスタ H	WDT、BSC	予約	予約	予約

表 6.4 に示すように、1 本のレジスタに 4 つの  $\overline{\text{IRQ}}$  端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (WDT と BSC)、その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRH は、パワーオンリセットで H'0000 に初期化されます。スタンバイモードでは初期化されません。

## 6. 割り込みコントローラ (INTC)

### 6.3.2 割り込みコントロールレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL							NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S			IRQ6S	IRQ7S
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

【注】 \* NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と  $\overline{IRQ0}$  ~  $\overline{IRQ3}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ7}$  の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はパワーオンリセットで初期化されます。スタンバイモードでは初期化されません。

#### ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

#### ビット 14~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 8 : NMI エッジセレクト (NMIE)

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

#### ビット 7~4、1、0 : IRQ0~IRQ3、IRQ6、IRQ7 センスセレクト (IRQ0S~IRQ3S、IRQ6S、IRQ7S)

IRQ0~IRQ3、IRQ6、IRQ7 割り込み要求の検出モードを設定します。

ビット 7~4、1、0	説明
IRQ0S~IRQ3S、 IRQ6S、IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

## ビット3、2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 6.3.3 IRQ ステータスレジスタ (ISR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									IRQ0F	IRQ1F	IRQ2F	IRQ3F			IRQ6F	IRQ7F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W

IRQ ステータスレジスタ (ISR) は16ビットのレジスタで、外部割り込み入力端子  $\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$  の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$  を読み出した後、 $\text{IRQnF}$  に0を書き込むことにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットで初期化されます。スタンバイモードでは初期化されません。

## ビット15~8、3、2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## ビット7~4、1、0：IRQ0~IRQ3、IRQ6、IRQ7 フラグ (IRQ0F~IRQ3F、IRQ6F、IRQ7F)

IRQ0~IRQ3、IRQ6、IRQ7 割り込み要求のステータスを表示します。

ビット7~4、1、0 IRQ0F~IRQ3F、 IRQ6F、IRQ7F	検出設定	説明
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力が高レベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF}=1$ の状態を読み出した後に0を書き込むとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき

## 6. 割り込みコントローラ (INTC)

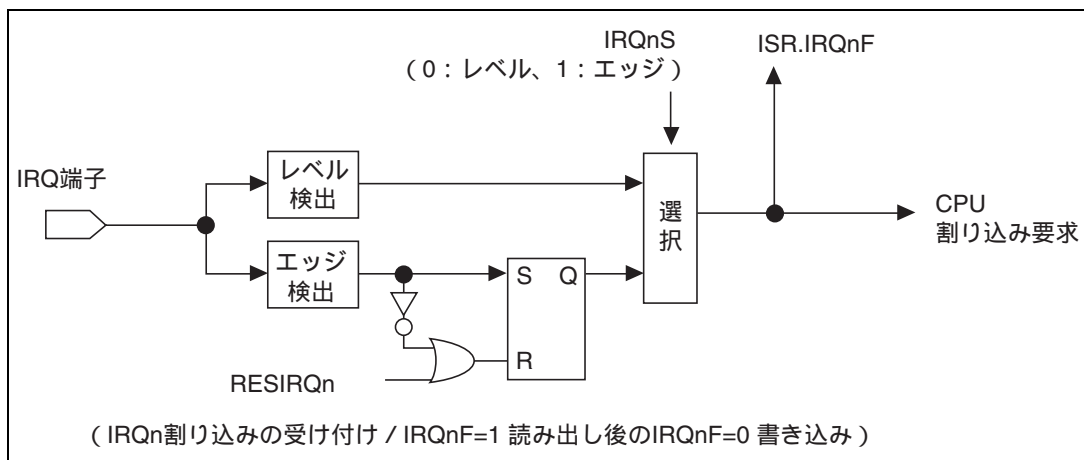


図 6.2 割り込み制御回路

## 6.4 動作説明

### 6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視\*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます(図 6.4 参照)。
- (5) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (6) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (7) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 \* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.2 IRQ 割り込み」を参照してください。  
また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされません。

## 6. 割り込みコントローラ (INTC)

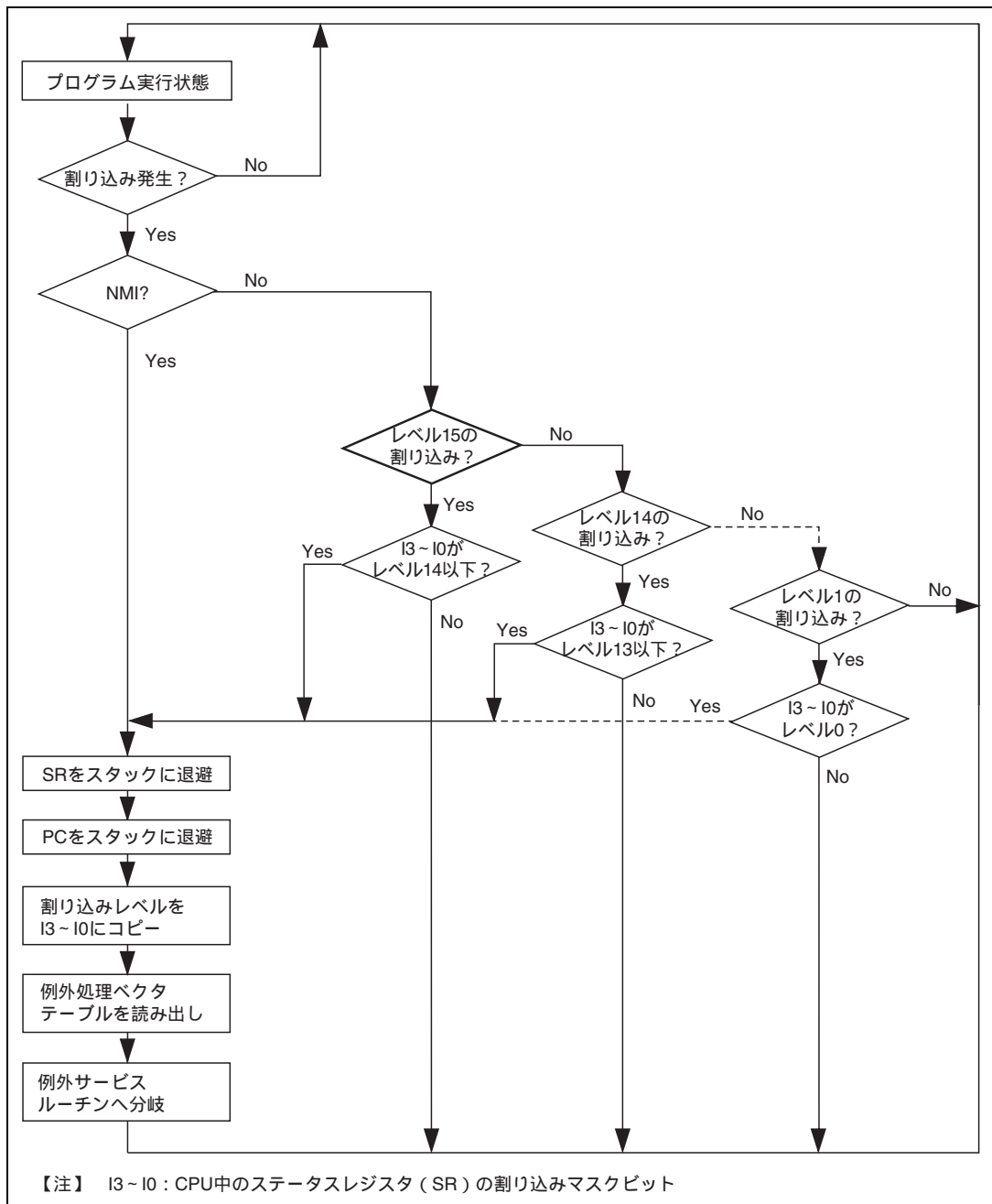


図 6.3 割り込み動作フロー

## 6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

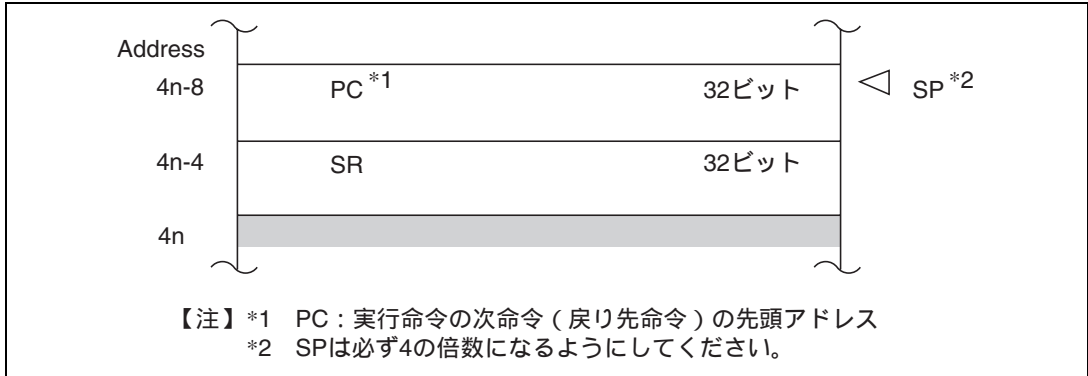


図 6.4 割り込み例外処理終了後のスタック状態

## 6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
DMAC の起動判定	0 または 1	1	DMAC 起動が可能な割り込み信号の場合 1 ステート必要です。	
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X ( 0 )		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	7+m1+m2+m3	9+m1+m2+m3	
	最小時	10	12	28.7MHz 動作時： 0.35 ~ 0.42 $\mu$ s
	最大時	12+2(m1+m2+m3)+m4	13+2(m1+m2+m3)+m4	28.7MHz 動作時： 0.67 ~ 0.70 $\mu$ s*

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワード書き込み)

m2 : PC の退避 (ロングワード書き込み)

m3 : ベクタアドレス読み出し (ロングワード読み出し)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

\* m1=m2=m3=m4=1 の場合



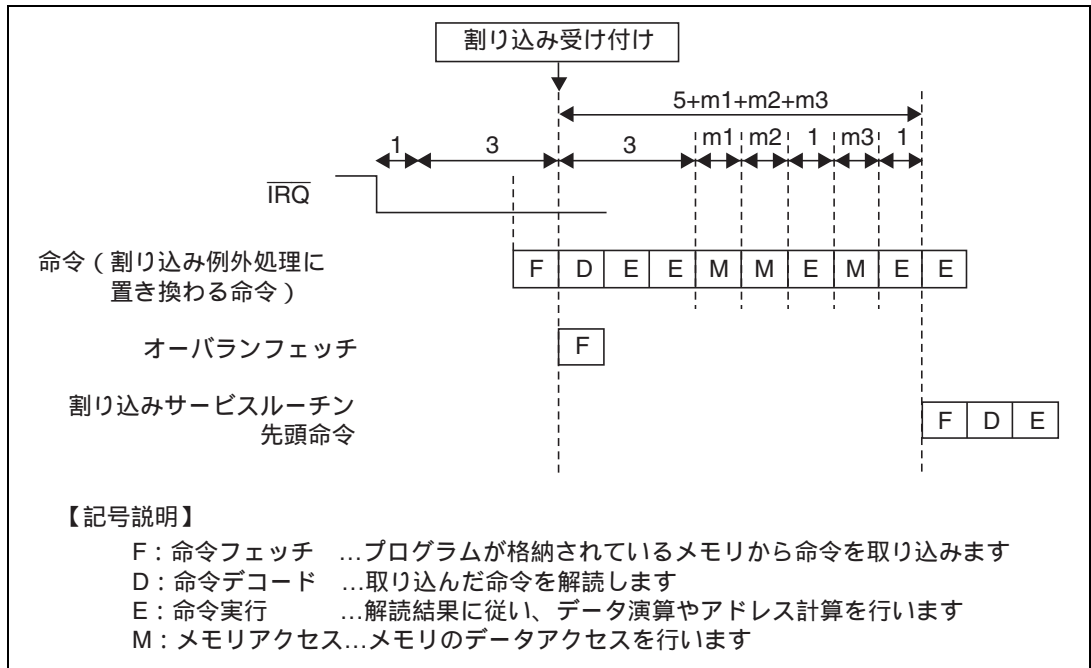


図 6.5 IRQ 割り込みを受け付けるときのパイプライン動作例

## 6.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- ・DMAC のみ起動、CPU 割り込みは発生しない

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

マスク条件 =  $DME \times (DE0 \times \text{要因選択}0 + DE1)$

制御ブロック図を図 6.6 に示します。

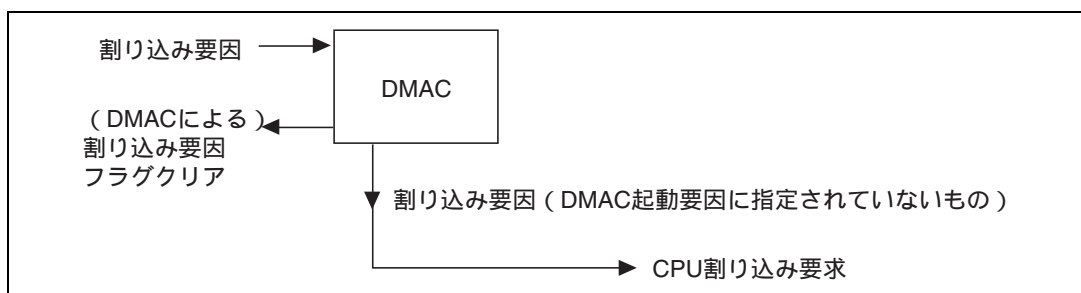


図 6.6 割り込み制御ブロック図

### 6.6.1 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMACで要因を選択し、DME=1にセットします。割り込み優先レベルレジスタの設定によらずCPU割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMACに起動要因が与えられます。
- (3) DMACは、転送時に起動要因をクリアします。

### 6.6.2 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMACで要因を選択しないか、またはDMEビットを0にクリアします。
- (2) 割り込みが発生すると、CPUに割り込みを要求します。
- (3) CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

---

## 7. キャッシュメモリ (CAC)

---

### 7.1 概要

本 LSI は、1K バイトのキャッシュデータと、256 エントリのキャッシュタグを持った、キャッシュメモリ (CAC : CAChe) を内蔵しています。

また、キャッシュデータおよびキャッシュタグの空間は、キャッシュ未使用時は内蔵 RAM 空間として使用できます。

#### 7.1.1 特長

CAC には、次のような特長があります。キャッシュタグとキャッシュデータの構成を図 7.1 に示します。

- 1K バイトの容量
- 外部メモリ (CS 空間、および DRAM 空間) の命令コード、ならびに PC 相対データをキャッシング
- 256 エントリのキャッシュタグ (タグアドレス 15 ビット)
- ライン長 4 バイト
- ダイレクトマップによるリプレースアルゴリズム
- パージのためのバリッドフラグ (1 ビット) 付き

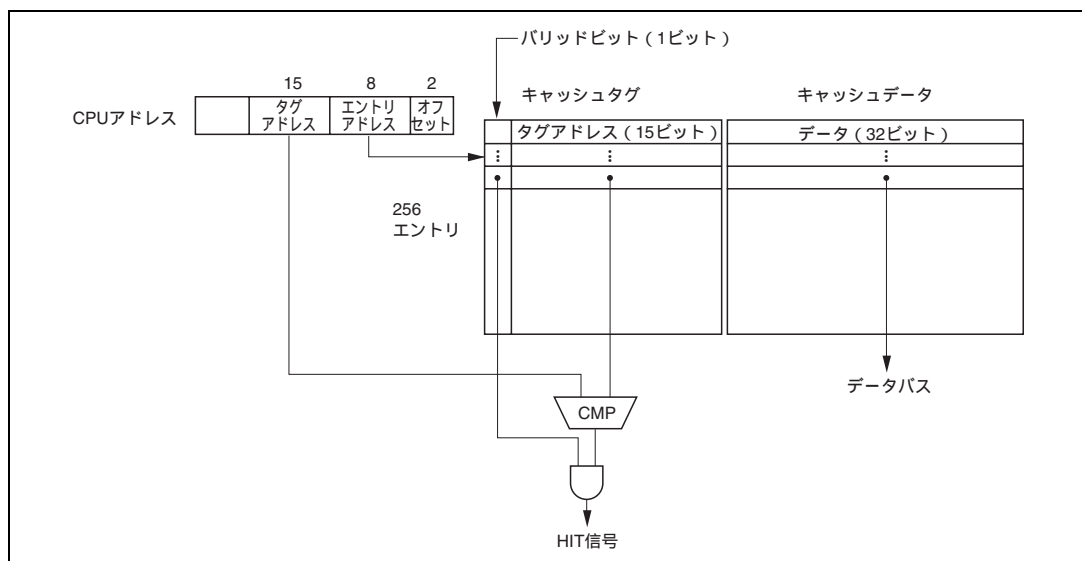


図 7.1 キャッシュタグとキャッシュデータの構成

## 7. キャッシュメモリ (CAC)

### 7.1.2 ブロック図

キャッシュのブロック図を図 7.2 に示します。

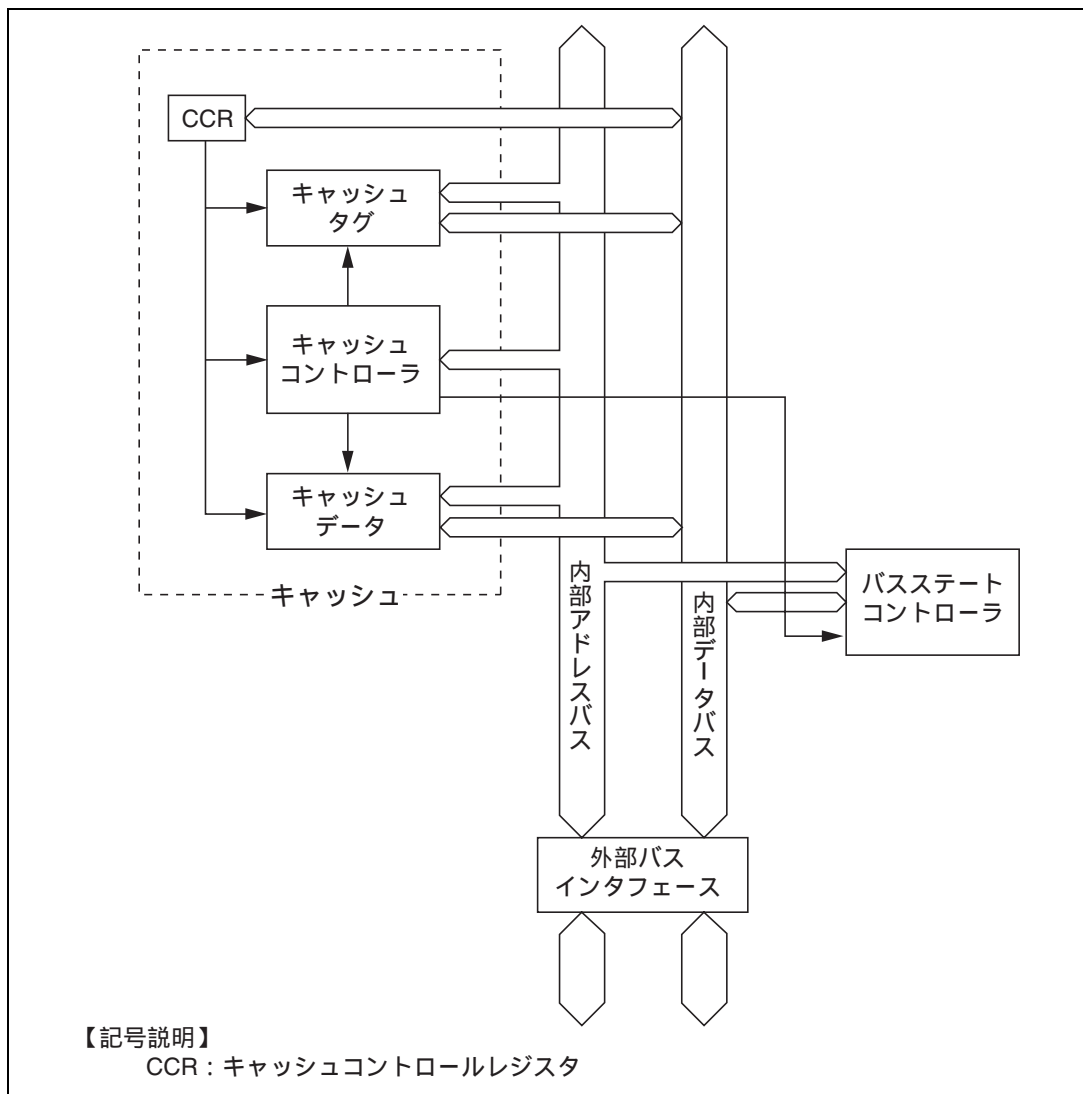


図 7.2 キャッシュのブロック図

### 7.1.3 レジスタ構成

CAC には 1 本のレジスタがあります。このレジスタにより、キャッシュのイネーブル/ディスエーブル制御を、空間ごとに行うことができます。レジスタ構成を表 7.1 に示します。

表 7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
キャッシュコントロールレジスタ	CCR	R/W	H'0000*	H'FFFF8740	8、16、32

【注】 \* ビット 15~5 は不定値

## 7.2 レジスタの説明

### 7.2.1 キャッシュコントロールレジスタ (CCR)

キャッシュコントロールレジスタ (CCR) は、各空間のキャッシュイネーブル/ディスエーブルを選択します。

CCR レジスタは、読み出し/書き込み可能な 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												CE DRAM	CE CS3	CE CS2	CE CS1	CE CS0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

#### ビット 15~5 : 予約ビット

読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。

#### ビット 4 : DRAM 空間キャッシュイネーブル (CEDRAM)

DRAM 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット 4	
CEDRAM	説 明
0	DRAM 空間のキャッシュディスエーブル (初期値)
1	DRAM 空間のキャッシュイネーブル

#### ビット 3 : CS3 空間キャッシュイネーブル (CECS3)

CS3 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット 3	
CECS3	説 明
0	CS3 空間のキャッシュディスエーブル (初期値)
1	CS3 空間のキャッシュイネーブル

#### ビット 2 : CS2 空間キャッシュイネーブル (CECS2)

CS2 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット 2	
CECS2	説 明
0	CS2 空間のキャッシュディスエーブル (初期値)
1	CS2 空間のキャッシュイネーブル

## ビット1：CS1 空間キャッシュイネーブル (CECS1)

CS1 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット1	説 明
CECS1	
0	CS1 空間のキャッシュディスエーブル (初期値)
1	CS1 空間のキャッシュイネーブル

## ビット0：CS0 空間キャッシュイネーブル (CECS0)

CS0 空間をキャッシュ対象 (イネーブル) にするか、対象外 (ディスエーブル) にするかを選択します。0 にするとディスエーブル、1 にするとイネーブルになります。

ビット0	説 明
CECS0	
0	CS0 空間のキャッシュディスエーブル (初期値)
1	CS0 空間のキャッシュイネーブル

### 7.3 アドレスアレイとデータアレイ

キャッシュを制御するためのキャッシュ特殊空間があります。キャッシュ特殊空間は、アドレスアレイとデータアレイに分けられ、それぞれキャッシュ制御のためのアドレス（タグアドレス、バリッドビットを含む）とデータ（ライン長 4 バイト）を記録します。キャッシュ特殊空間を表 7.2 に示します。

この特殊空間は、キャッシュ未使用時は内蔵 RAM 空間として使用できます。

表 7.2 キャッシュ特殊空間

空間種類	アドレス	サイズ	バス幅
アドレスアレイ	H'FFFFFF000 ~ H'FFFFFF3FF	1K バイト	32 ビット
データアレイ	H'FFFFFF400 ~ H'FFFFFF7FF	1K バイト	32 ビット

#### 7.3.1 キャッシュアドレスアレイ読み出し / 書き込み空間

キャッシュアドレスアレイを強制的に読み出し / 書き込みします。

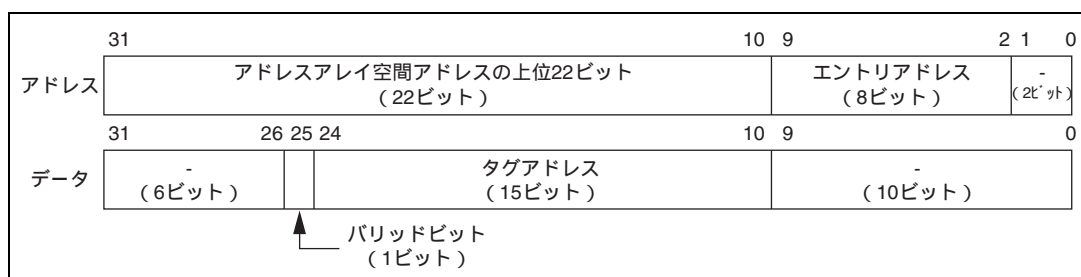


図 7.3 キャッシュアドレスアレイ

#### アドレスアレイ読み出し

エントリーアドレスを指定し、対応するタグアドレス値 / バリッドビット値を読み出します。

#### アドレスアレイ書き込み

エントリーアドレスを指定し、指定したタグアドレス値 / バリッドビット値を書き込みます。



### 7.3.2 キャッシュデータアレイ読み出し / 書き込み空間

キャッシュデータアレイを強制的に読み出し / 書き込みします。

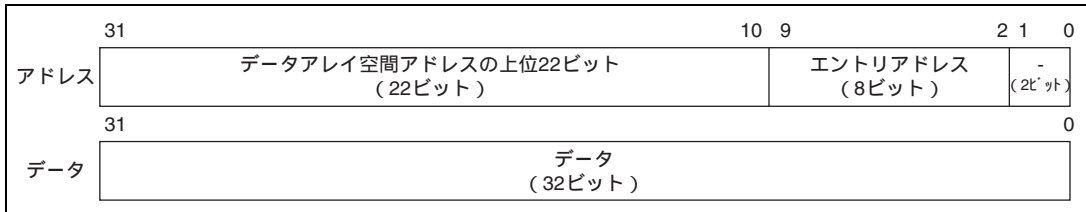


図 7.4 キャッシュデータアレイ

#### データアレイ読み出し

エントリアドレスを指定し、対応するラインのデータを読み出します。

#### データアレイ書き込み

エントリアドレスを指定し、対応するラインに指定したデータを書き込みます。

## 7.4 使用上の注意

### 7.4.1 キャッシュの初期化

キャッシュをイネーブルにする前に、必ずキャッシュの初期化、すなわちアドレスアレイ書き込みによるバリッドビットへの0書き込みを、全エントリについて(256回)行ってください。具体的には、H'FFFFFF000~H'FFFFFF3FFのアドレス範囲をすべて0にクリアしてください。

### 7.4.2 アドレスアレイ、データアレイへの強制アクセス

キャッシュをイネーブルにしている間は、CPU、DMACによるアドレスアレイ、データアレイへの書き込みはできません。また、読み出すと不定値が読み出されます。アドレスアレイ、データアレイへ強制アクセスする場合には、必ずキャッシュをディスエーブルにして行ってください。

### 7.4.3 キャッシュミス時のペナルティと、キャッシュフィルのタイミング

キャッシュミス時は、図 7.5 に示すように、ペナルティとしてキャッシュフィル(キャッシュミス時の外部メモリからのアクセス)の直前に1サイクルのアイドルサイクルが発生します。ただしキャッシュミスが連続する場合には、図 7.6 に示すように、2回目以降のキャッシュミス時はアイドルサイクルは発生しません。

また、通常空間からのキャッシュフィルは、図 7.5、図 7.6 に示すように、バスサイクル終了(8ビット空間に対するワードアクセスのように、バスが2回または4回発生するときは、その最後のバスサイクル)直前のCSアサート期間が1サイクル追加拡張されたタイミングで行います。

同様に、DRAM空間からのキャッシュフィルは、図 7.7 に示すように、バスサイクル終了直前のRASアサート期間が1サイクル拡張されたタイミングで行います。RASダウンモード時は、図 7.8 に示すように、次のバスサイクル開始が1サイクル遅れます。

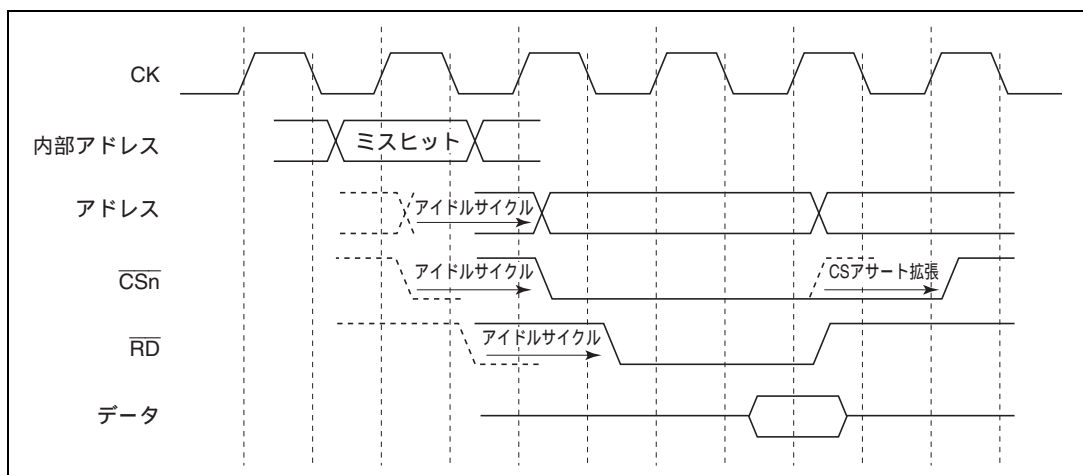


図 7.5 通常空間から連続しないキャッシュミス時のキャッシュフィルタイミング  
(ノーウェイト、CSアサート拡張なし)

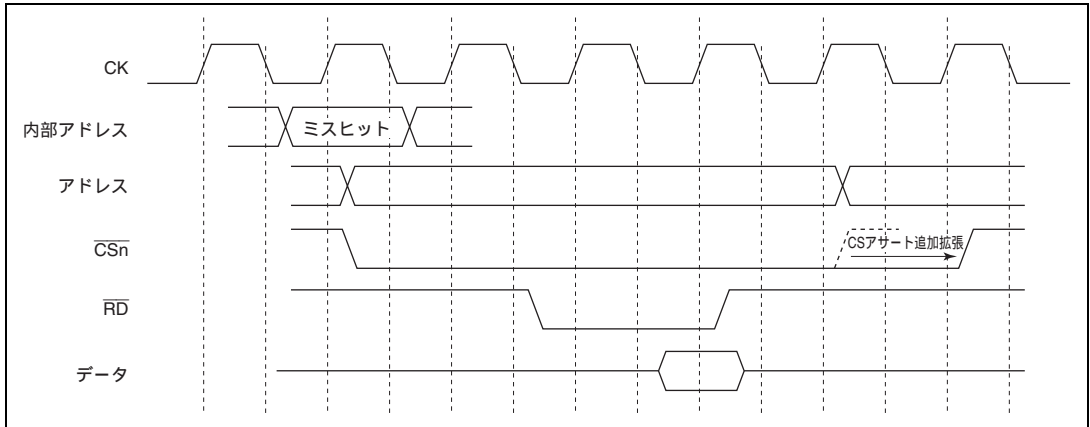


図 7.6 通常空間から連続してキャッシュミス時のキャッシュフィルタイミング  
(ノーウェイト、CS アサート拡張あり)

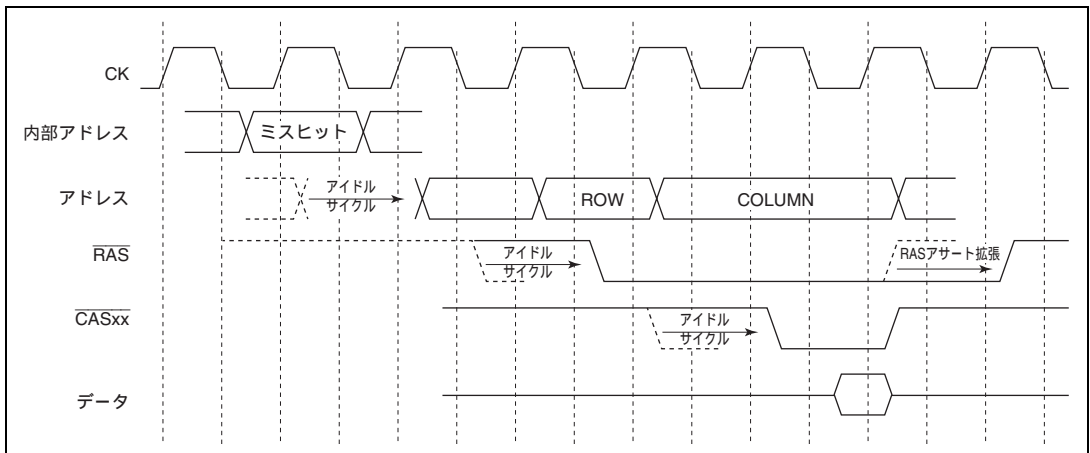


図 7.7 DRAM 空間から連続しないキャッシュミス時のキャッシュフィルタイミング  
(ノーマルモード、TPC=0、RCD=0、ノーウェイト)

## 7. キャッシュメモリ (CAC)

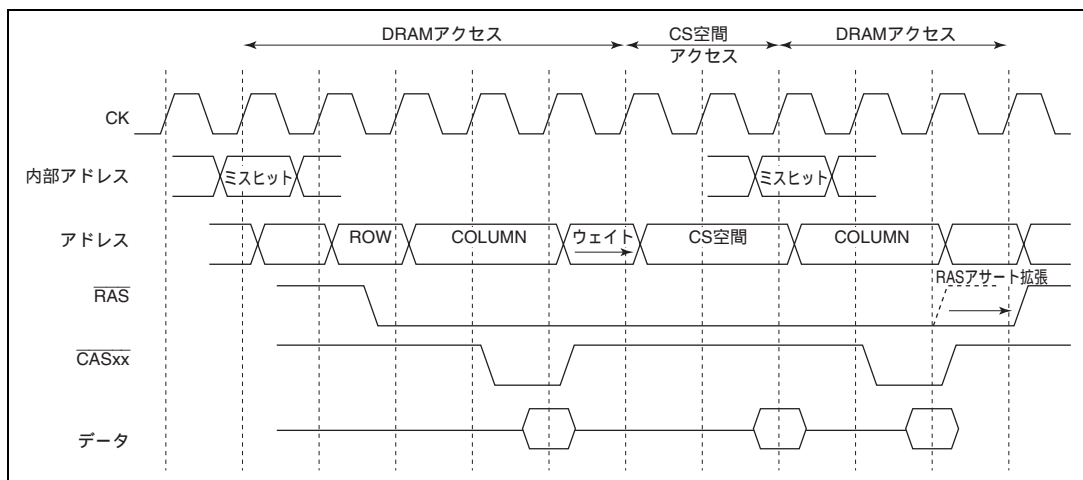


図 7.8 DRAM 空間から連続してキャッシュミス時のキャッシュフィルタイミング  
(RAS ダウンモード、TPC=0、RCD=0、ノーウェイト)

### 7.4.4 キャッシュミス後のキャッシュヒット

キャッシュミス後の最初のキャッシュヒットは、キャッシュミスとみなされ、アイドルサイクルの発生しないキャッシュフィルを行います。その後のヒットは、キャッシュヒットとして動作します。

---

## 8. バスステートコントローラ (BSC)

---

### 8.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに DRAM、SRAM、ROM などを本 LSI に直結することができます。

#### 8.1.1 特長

BSC には、次のような特長があります。

- アドレス空間を 5 つに分割して管理
  - CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大リニア 4M バイト
  - CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
  - DRAM 専用空間は最大リニア 16M バイト
  - 空間ごとに、バス幅 (8 ビットまたは 16 ビット) を選択可能
  - 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
  - 外部メモリ空間アクセス時に WAIT 端子によるウェイトステートを挿入可能
  - 各空間に接続するメモリに対応した制御信号を出力
- 内蔵 ROM / RAM インタフェース
  - 内蔵 RAM は 32 ビットを 1 ステートでアクセス
  - 内蔵 ROM は 32 ビットを 1 ステートでアクセス
- DRAM 直結インタフェース
  - DRAM 容量に応じたロウアドレス / カラムアドレスのマルチプレクス
  - 高速ページモード、RAS ダウンモードをサポート
- 各種メモリ、周辺 LSI に対応したアクセス制御
  - アドレス / データマルチプレクス機能
- リフレッシュ機能
  - CAS ピフォ RAS リフレッシュ (オートリフレッシュ) とセルフリフレッシュをサポート
- リフレッシュ用カウンタをインターバルタイマとして利用可能
  - コンペアマッチで割り込み要求発生 (CMI 割り込み要求信号)

## 8. バスステートコントローラ (BSC)

### 8.1.2 ブロック図

BSCのブロック図を図 8.1 に示します。

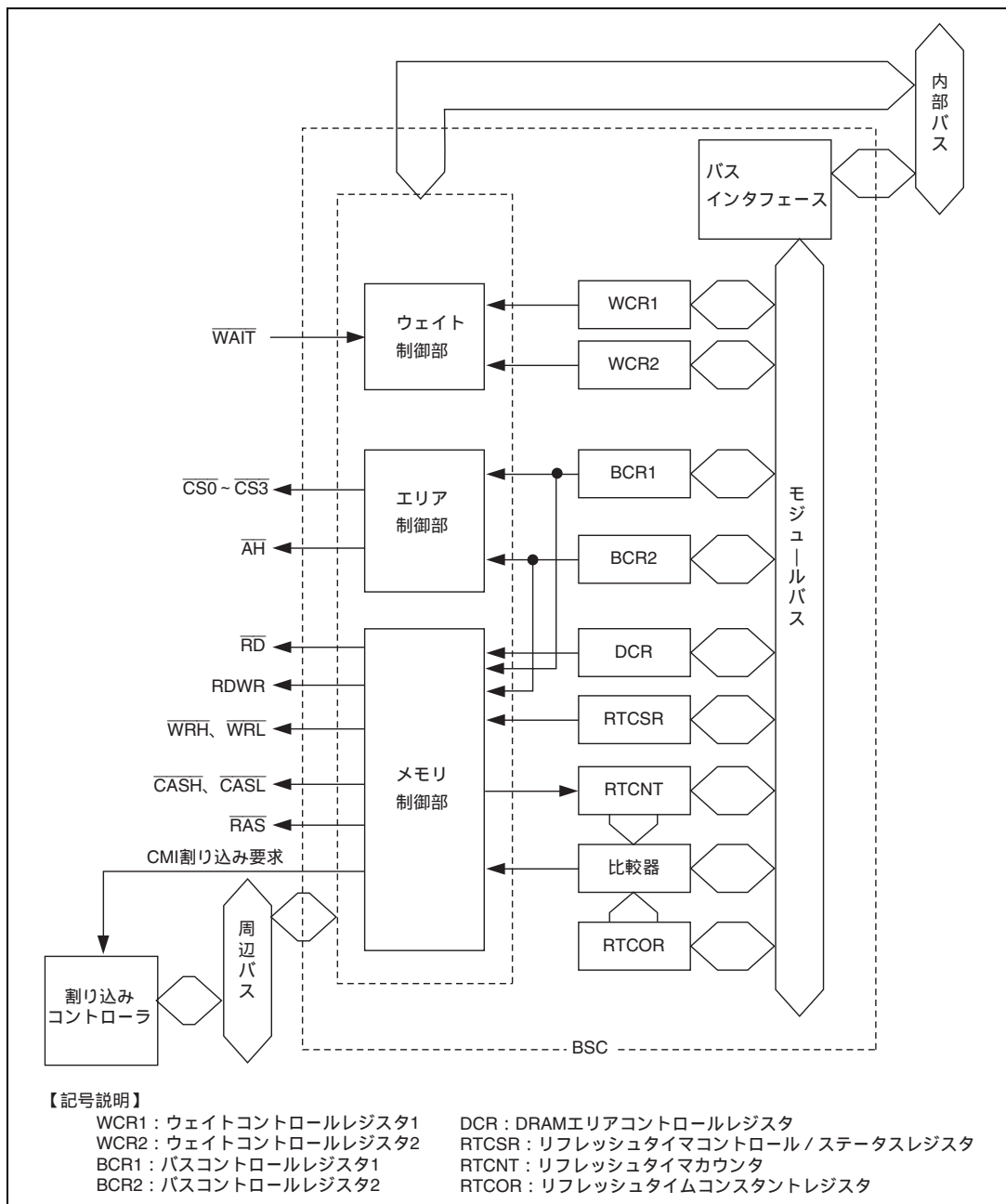


図 8.1 BSC のブロック図

### 8.1.3 端子構成

バスステートコントローラの端子構成を表 8.1 に示します。

表 8.1 端子構成

端子名	入出力	機能
A21 ~ A0	出力	アドレス出力(パワーオンリセットにより A21 ~ A18 は入力ポートになります。)
D15 ~ D0	入出力	16 ビットのデータバス。D15 ~ D0 はアドレス / データマルチプレクス I/O 時 アドレス出力およびデータ入出力
CS0 ~ CS3	出力	チップセレクト
$\overline{RD}$	出力	読み出しサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
WRH	出力	上位バイト (D15 ~ D8) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
WRL	出力	下位バイト (D7 ~ D0) への書き込みサイクルを示すストローブ 通常空間 / マルチプレクス I/O 用、ただし DRAM アクセス時も出力される
RDWR	出力	DRAM への書き込みサイクルを示すストローブ DRAM 空間用
RAS	出力	DRAM の RAS 信号 DRAM 空間用
CASH	出力	DRAM の上位バイト (D15 ~ D8) アクセス時の CAS 信号 DRAM 空間用
CASL	出力	DRAM の下位バイト (D7 ~ D0) アクセス時の CAS 信号 DRAM 空間用
AH	出力	アドレス / データマルチプレクス時のアドレスをホールドするための信号
WAIT	入力	ウェイトステート要求信号

### 8.1.4 レジスタ構成

バスステートコントローラには 8 本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、DRAM、SRAM、ROM などのメモリとのインタフェース、リフレッシュの制御などを行います。レジスタ構成を表 8.2 に示します。

レジスタサイズはすべて 16 ビットです。

メモリとのインタフェースの設定が終了するまでは、DRAM 空間はアクセスしないでください。

バスステートコントローラのレジスタはすべてパワーオンリセットにより初期化されます。また、スタンバイモード時には値は保持されます。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'200F	H'FFFF8620	8、16、32
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF8622	8、16、32
ウェイトコントロールレジスタ 1	WCR1	R/W	H'FFFF	H'FFFF8624	8、16、32
ウェイトコントロールレジスタ 2	WCR2	R/W	H'000F	H'FFFF8626	8、16、32
DRAM エリアコントロールレジスタ	DCR	R/W	H'0000	H'FFFF862A	8、16、32
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	R/W	H'0000	H'FFFF862C	8、16、32
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000	H'FFFF862E	8、16、32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'0000	H'FFFF8630	8、16、32

## 8. バスステートコントローラ (BSC)

### 8.1.5 アドレスマップ

図 8.2 に、本 LSI で用いるアドレスのフォーマットを示します。

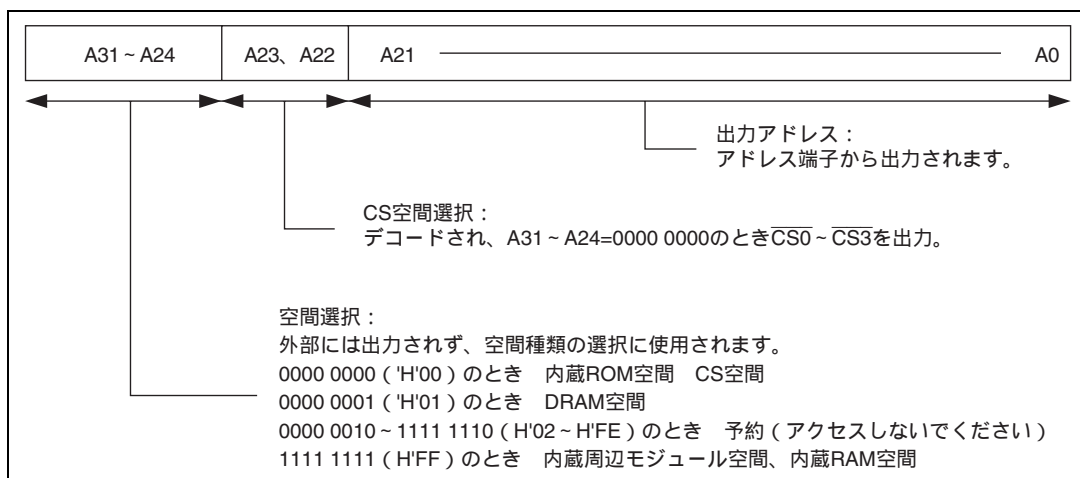


図 8.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31～A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31～A24 ビットが 0000 0000 のときデコードされ、エリアに対応するチップセレクト信号 ( $\overline{CS0}$ ～ $\overline{CS3}$ ) となり、出力されます。

A21～A0 は外部に出力されます。

表 8.3 にアドレスマップを示します。

表 8.3 アドレスマップ

内蔵 ROM 有効モード時<sup>5</sup>

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000～H'0001FFFF <sup>*4</sup>	内蔵 ROM	内蔵 ROM	128KB	32 ビット
H'00020000～H'001FFFFF	予約	予約		
H'00200000～H'003FFFFF	CS0 空間	通常空間	2MB	8/16 ビット <sup>*1</sup>
H'00400000～H'007FFFFF	CS1 空間	通常空間	4MB	8/16 ビット <sup>*1</sup>
H'00800000～H'00BFFFFF	CS2 空間	通常空間	4MB	8/16 ビット <sup>*1</sup>
H'00C00000～H'00FF7FFF	CS3 空間	通常空間 / マルチプレクス I/O 空間	4MB	8/16 ビット <sup>*2</sup>
H'01000000～H'01FFFFFF	DRAM 空間	DRAM	16MB	8/16 ビット <sup>*1</sup>
H'02000000～H'FFFF7FFF	予約	予約		
H'FFFF8000～H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2KB	8/16 ビット
H'FFFF8800～H'FFFFEFFF	予約	予約		
H'FFFFFF000～H'FFFFFFF <sup>*6</sup>	内蔵 RAM	内蔵 RAM	4KB	32 ビット



## 内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'003FFFFFFF	CS0 空間	通常空間	4MB	8/16 ビット* <sup>3</sup>
H'00400000 ~ H'0071FFFFFF	CS1 空間	通常空間	4MB	8/16 ビット* <sup>1</sup>
H'00800000 ~ H'00BFFFFFFF	CS2 空間	通常空間	4MB	8/16 ビット* <sup>1</sup>
H'00C00000 ~ H'00FFFFFFF	CS3 空間	通常空間 / マルチプレクス I/O 空間	4MB	8/16 ビット* <sup>2</sup>
H'01000000 ~ H'01FFFFFFF	DRAM 空間	DRAM	16MB	8/16 ビット* <sup>1</sup>
H'02000000 ~ H'FFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2KB	8/16 ビット
H'FFFF8800 ~ H'FFFFEFFF	予約	予約		
H'FFFFF000 ~ H'FFFFFFF* <sup>6</sup>	内蔵 RAM	内蔵 RAM	4KB	32 ビット

- 【注】
1. 予約空間はアクセスしないでください。アクセスした場合動作の保証はできません。
  2. シングルチップモードのとき、内蔵 ROM、内蔵 RAM、内蔵周辺モジュール以外の空間は使用できません。
- \*1 内蔵レジスタの設定で選択
- \*2 通常空間時：内蔵レジスタの設定で選択  
マルチプレクス I/O 空間時：A14 ビットで 8/16 ビットを選択
- \*3 モード端子で選択 8/16 ビット
- \*4 内蔵 ROM 64KB 版 (SH7016) の場合は、内蔵 ROM のアドレスは H'00000000 ~ H'0000FFFF になり、アドレス H'00010000 ~ H'0001FFFF は予約空間になります。
- \*5 SH7016/17 のみ
- \*6 内蔵 RAM 3KB 版 (SH7014/16) の場合は、内蔵 RAM のアドレスは H'FFFFF000 ~ H'FFFFBFFF になり、アドレス H'FFFFC000 ~ H'FFFFFFF は予約空間になります。

## 8.2 レジスタの説明

### 8.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								IOE					A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】ビット4~7には1を書き込まないでください。1を書き込んだときの動作は保証しません。

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、マルチプレクス I/O の選択および各 CS 空間のバスサイズ指定を行います。

BCR1 のビット 8~0 はパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットで H'200F に初期化されますが、ソフトウェアスタンバイでは初期化されません。

#### ビット 15、14、12~9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 13: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

#### ビット 8: マルチプレクス I/O イネーブル (IOE)

CS3 空間を通常空間とするか、アドレス / データマルチプレクス I/O 空間とするかを選択します。0 にすると通常空間になり、1 にするとアドレス / データマルチプレクス I/O 空間になります。アドレス / データマルチプレクス I/O 空間では、アドレスとデータがマルチプレクスされてデータバスから入出力されます。CS3 空間をマルチプレクス I/O 空間とした場合のバスサイズは A14 ビットで決まります (A14=0: 8 ビット、A14=1: 16 ビット)。

ビット 8	説明
IOE	
0	CS3 空間は通常空間 (初期値)
1	CS3 空間はアドレス / データマルチプレクス I/O 空間

#### ビット 7~4: 予約ビット

リセット後読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書き込んだときの動作は保証しません。

## ビット 3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。ただし、CS3 空間が通常空間時のみ有効です。CS3 空間がアドレス / データマルチプレクス I/O 空間の場合バスサイズは A14 ビットで決まります。

ビット 3	
A3SZ	説 明
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

## ビット 2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。

ビット 2	
A2SZ	説 明
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

## ビット 1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。

ビット 1	
A1SZ	説 明
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

## ビット 0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。

ビット 0	
A0SZ	説 明
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

## 8. バスステートコントローラ (BSC)

### 8.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や CS 信号のアサート期間の拡張を指定します。

BCR2 はパワーオンリセットで H'FFFF に初期化されますが、ソフトウェアスタンバイでは初期化されません。

ビット 15~8 : サイクル間アイドル指定 (IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定は、読み出しアクセス後に異なる CS 空間を続けてアクセスする場合に、アクセス間に挿入するアイドルサイクルの指定を行います。これは読み出しデータのバッファオフの遅い ROM などと、高速なメモリ、I/O インタフェースなどのデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスが読み出しで次のアクセスが書き込みの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「8.6 アクセスサイクル間ウェイト」をご参照ください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説 明
IW31	IW30	
0	0	CS3 空間アクセス後アイドルサイクルなし
	1	CS3 空間アクセス後 1 アイドルサイクル
1	0	CS3 空間アクセス後 2 アイドルサイクル
	1	CS3 空間アクセス後 3 アイドルサイクル (初期値)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アクセス後アイドルサイクルなし
	1	CS2 空間アクセス後 1 アイドルサイクル
1	0	CS2 空間アクセス後 2 アイドルサイクル
	1	CS2 空間アクセス後 3 アイドルサイクル (初期値)

## 8. バスステートコントローラ (BSC)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アクセス後アイドルサイクルなし
	1	CS1 空間アクセス後 1 アイドルサイクル
1	0	CS1 空間アクセス後 2 アイドルサイクル
	1	CS1 空間アクセス後 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アクセス後アイドルサイクルなし
	1	CS0 空間アクセス後 1 アイドルサイクル
1	0	CS0 空間アクセス後 2 アイドルサイクル
	1	CS0 空間アクセス後 3 アイドルサイクル (初期値)

### ビット 7~4 : 連続アクセス時アイドル指定 (CW3~CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、CSn 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳しくは「8.6 アクセスサイクル間ウェイト」をご参照ください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット 7	説 明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 6	説 明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 5	説 明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 4	説 明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

## 8. バスステートコントローラ (BSC)

---

### ビット3~0 : CS アサート拡張指定 (SW3~SW0)

$\overline{CS}$  アサート拡張指定は  $\overline{RD}$  信号、 $\overline{WRx}$  信号のアサート期間が  $\overline{CSn}$  信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に 1 サイクルずつ挿入されます。これにより、外部デバイスとのインタフェースが容易になります。また、書き込みデータホールド期間を延ばす効果もあります。詳しくは、「8.3.3  $\overline{CS}$  アサート期間拡張」をご参照ください。

SW3 が CS3 空間アクセス時の  $\overline{CS}$  アサート拡張指定、SW2 が CS2 空間アクセス時の  $\overline{CS}$  アサート拡張指定、SW1 が CS1 空間アクセス時の  $\overline{CS}$  アサート拡張指定、SW0 が CS0 空間アクセス時の  $\overline{CS}$  アサート拡張指定をそれぞれ行います。

ビット 3	
SW3	説 明
0	CS3 空間 $\overline{CS}$ アサート拡張なし
1	CS3 空間 $\overline{CS}$ アサート拡張あり (初期値)

ビット 2	
SW2	説 明
0	CS2 空間 $\overline{CS}$ アサート拡張なし
1	CS2 空間 $\overline{CS}$ アサート拡張あり (初期値)

ビット 1	
SW1	説 明
0	CS1 空間 $\overline{CS}$ アサート拡張なし
1	CS1 空間 $\overline{CS}$ アサート拡張あり (初期値)

ビット 0	
SW0	説 明
0	CS0 空間 $\overline{CS}$ アサート拡張なし
1	CS0 空間 $\overline{CS}$ アサート拡張あり (初期値)

## 8.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ウェイトコントロールレジスタ 1 (WCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクル数 (0~15) を指定します。

WCR1 はパワーオンリセットで H'FFFF に初期化されますが、ソフトウェアスタンバイでは初期化されません。

## ビット 15~12 : CS3 空間ウェイト指定 (W33~W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 15	ビット 14	ビット 13	ビット 12	説 明
W33	W32	W31	W30	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

## ビット 11~8 : CS2 空間ウェイト指定 (W23~W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
W23	W22	W21	W20	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

## ビット 7~4 : CS1 空間ウェイト指定 (W13~W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット 7	ビット 6	ビット 5	ビット 4	説 明
W13	W12	W11	W10	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

## 8. バスステートコントローラ (BSC)

ビット 3~0 : CS0 空間ウェイト指定 (W03~W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
W03	W02	W01	W00	
0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
			1	1 ウェイト外部ウェイト入力イネーブル
~				
1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

### 8.2.4 ウェイトコントロールレジスタ 2 (WCR2)

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

											DDW1	DDW0	DSW3	DSW2	DSW1	DSW0
--	--	--	--	--	--	--	--	--	--	--	------	------	------	------	------	------

初期値:    0   0   0   0   0   0   0   0   0   0   0   0   0   1   1   1   1

R/W:      R   R   R   R   R   R   R   R   R   R   R/W R/W R/W R/W R/W R/W

ウェイトコントロールレジスタ 2 (WCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、DMA シングルアドレスモード転送時の DRAM 空間と CS 空間のアクセスサイクル数を指定します。

WCR2 を設定するまで、DMA シングルアドレス転送をしないでください。

WCR2 はパワーオンリセットで H'000F に初期化されますが、ソフトウェアスタンバイでは初期化されません。

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5, 4 : DRAM 空間 DMA シングルアドレスモードアクセス時、ウェイト指定 (DDW1、DDW0)

DMA シングルアドレスモードアクセス時、DRAM 空間をアクセスする場合、ウェイト数を指定します。このビットは、DCR の DWW、DWR ビットと独立です。

ビット 5	ビット 4	説 明
DDW1	DDW0	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル



ビット3~0 : CS 空間 DMA シングルアドレスモードアクセス時、ウェイト指定 (DSW3~DSW0)

DMA シングルアドレスモードアクセス時の CS 空間のウェイト (0~15) 指定を行います。このビットは、WCR1 の W ビットと独立です。

ビット3	ビット2	ビット1	ビット0	説明
DSW3	DSW2	DSW1	DSW0	
0	0	0	0	ノーウェイト外部ウェイト入力禁止
			1	1ウェイト外部ウェイト入力カインェブル
~				
1	1	1	1	15ウェイト外部ウェイト入力カインェブル (初期値)

## 8.2.5 DRAM エリアコントロールレジスタ (DCR)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TPC	RCD	TRAS	TRAS	DWW	DWW	DWR	DWR	DIW		BE	RASD		SZO	AMX	AMX
1	0	1	0	1	0	1	0							1	0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R R/W R/W R R/W R/W R/W

DRAM エリアコントロールレジスタ (DCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、DRAM 制御の各ウェイト数、動作モード、アドレスマルチプレクスシフト数などを選択します。

DCR の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以後値を変更しないでください。レジスタの初期設定が終了するまでは DRAM 空間をアクセスしないでください。

DCR はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイでは初期化されません。

ビット 15 : RAS プリチャージサイクル数 (TPC)

$\overline{\text{RAS}}$  ネゲート後、次にアサートするまでの最小サイクル数を指定します。

ビット 15	説明
TPC	
0	1.5 サイクル (初期値)
1	2.5 サイクル

ビット 14 : RAS - CAS 遅延サイクル数 (RCD)

ロウアドレス出力サイクル数を指定します。

ビット 14	説明
RCD	
0	1 サイクル (初期値)
1	2 サイクル

## 8. バスステートコントローラ (BSC)

---

ビット 13、12 : CAS ピフォ RAS リフレッシュ RAS アサートサイクル数 (TRAS1、TRAS0)  
CAS ピフォ RAS リフレッシュ時の RAS アサートサイクル数を指定します。

ビット 13 TRAS1	ビット 12 TRAS0	説 明	
0	0	2.5 サイクル	(初期値)
	1	3.5 サイクル	
1	0	4.5 サイクル	
	1	5.5 サイクル	

ビット 11、10 : DRAM 書き込みサイクル、ウェイト数 (DWW1、DWW0)  
DRAM 書き込みサイクルのカラムアドレス出力サイクル数を指定します。

ビット 11 DWW1	ビット 10 DWW0	説 明	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止	(初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止	
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル	
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル	

ビット 9、8 : DRAM 読み出しサイクル、ウェイト数 (DWR1、DWR0)  
DRAM 読み出しサイクルのカラムアドレス出力サイクル数を指定します。

ビット 9 DWR1	ビット 8 DWR0	説 明	
0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止	(初期値)
	1	3 サイクル (1 ウェイト) 外部ウェイト禁止	
1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル	
	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル	

ビット 7 : DRAM アイドルサイクル数 (DIW)

DRAM 読み出し後の異なる外部空間 (CS 空間) のアクセスおよび DRAM 読み出し後の DRAM 書き込みの際に、アイドルサイクルを入れるかどうか指定します。

ビット 7 DIW	説 明	
0	アイドルサイクルなし	(初期値)
1	1 アイドルサイクル	

ビット 6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット5：バーストイネーブル (BE)

DRAM の動作モードを指定します。

ビット5	説 明	
BE		
0	バースト禁止	(初期値)
1	DRAM 高速ページモードをイネーブルにします。	

## ビット4：RAS ダウンモード (RASD)

DRAM の動作モードを指定します。

ビット4	説 明	
RASD		
0	DRAM を RAS アップモードでアクセスします	(初期値)
1	DRAM を RAS ダウンモードでアクセスします	

## ビット3：予約ビット

リセット後読み出すと0が読み出されます。書き込む値も常に0にしてください。1を書き込んだときの動作は保証しません。

## ビット2：DRAM バス幅指定 (SZ0)

DRAM 空間のバス幅を指定します。

ビット2	説 明	
SZ0		
0	バイト (8 ビット)	(初期値)
1	ワード (16 ビット)	

## ビット1、0：DRAM アドレスマルチプレクス (AMX1、AMX0)

DRAM アドレスマルチプレクス数を指定します。

ビット1	ビット0	説 明	
AMX1	AMX0		
0	0	9 ビット	(初期値)
	1	10 ビット	
1	0	11 ビット	
	1	12 ビット	

## 8. バスステートコントローラ (BSC)

### 8.2.6 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
										CMF	CMIE	CKS2	CKS1	CKS0	RFSH	RMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムコントロール / ステータスレジスタ (RTCSR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、リフレッシュのモードおよびリフレッシュタイムカウンタ (RTCNT) に入力するクロックを選択し、コンペアマッチ割り込み (CMI) を制御します。

RTCSR はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイでは初期化されません。

#### ビット 15~7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 6: コンペアマッチフラグ (CMF)

RTCNT の値と RTCOR の値が一致したことを示すステータスフラグであり、以下の条件でセットおよびクリアされます。

ビット 6	説明
CMF	
0	[クリア条件] CMF=1 の状態で RTCSR を読み出した後、 CMF に '0' を書き込んだとき。 (初期値)
1	[セット条件] RTCNT=RTCOR になったとき。*

【注】 \* RTCNT および RTCOR が初期値のままのとき (初期値から値を書き換えていないときおよび RTCNT がカウントアップにより値を変化させていないとき)、RTCNT および RTCOR はともに H'0000 で一致していますがこのときには CMF はセットされません。

#### ビット 5: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。

ビット 5	説明
CMIE	
0	CMF による割り込み要求を禁止 (初期値)
1	CMF による割り込み要求を許可

## ビット4~2: クロックセレクト (CKS2~CKS0)

システムクロック ( $\phi$ ) を分周して得られる7種類の内部クロックから RTCNT に入力するクロックを選択します。

ビット4	ビット3	ビット2	説 明
CKS2	CKS1	CKS0	
0	0	0	カウントアップ停止 (初期値)
		1	$\phi/2$
	1	0	$\phi/8$
		1	$\phi/32$
1	0	0	$\phi/128$
		1	$\phi/512$
	1	0	$\phi/2048$
		1	$\phi/4096$

## ビット1: リフレッシュ制御 (RFSH)

DRAM のリフレッシュ制御をするかしないかを選択します。

ビット1	説 明
RFSH	
0	DRAM のリフレッシュをしない (初期値)
1	DRAM のリフレッシュをする

## ビット0: リフレッシュモード (RMD)

本ビットは RFSH ビットが1のとき、通常リフレッシュを行うか、セルフリフレッシュを行うかを選択するビットです。RFSH ビットを1、本ビットを1に設定するとその直後にセルフリフレッシュモードに入ります。RFSH ビットを1、本ビットを0に設定するとリフレッシュタイムコンスタントレジスタ (RTCNT) に設定した間隔で CAS ビフォ RAS リフレッシュを行います。

セルフリフレッシュにセットした場合、DRAM アクセス中でなければ直ちにセルフリフレッシュモードに入ります。アクセス中の場合はアクセスが終了してからセルフリフレッシュモードに入ります。なお、セルフリフレッシュモード中のインターバルタイムによるリフレッシュ要求は無視されません。

ビット0	説 明
RMD	
0	CAS ビフォ RAS リフレッシュを行います (初期値)
1	セルフリフレッシュを行います

## 8.2.7 リフレッシュタイムカウンタ (RTCNT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムカウンタ (RTCNT) は読み出し / 書き込み可能な 16 ビットのレジスタで、リフレッシュまたは割り込み要求を発生させるための 8 ビットアップカウンタとして使用します。

RTCNT は RTCSR の CKS2 ~ CKS0 ビットで選択したクロックによりカウントアップされます。RTCNT の値は CPU から常に読み出し / 書き込み可能です。RTCNT がリフレッシュタイムコンスタントレジスタ (RTCOR) と一致すると、RTCNT は H'0000 にクリアされ、RTCSR の CMF フラグが 1 にセットされます。このとき、RTCSR の RFSH ビットが 1 に、RMD ビットが 0 に設定されていると、CAS ビフォア RAS リフレッシュが行われます。また、RTCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15 ~ 8 は予約ビットで、カウンタ動作は行いません。常に '0' が読み出されます。

RTCNT はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイでは初期化されません。

## 8.2.8 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムコンスタントレジスタ (RTCOR) は読み出し / 書き込み可能な 16 ビットのレジスタで、RTCNT とのコンペアマッチ周期を設定します。RTCOR と RTCNT の値は常に比較され、両方の値が一致すると RTCSR の CMF フラグがセットされ、RTCNT は 0 にクリアされます。

RTCSR の RFSH ビットが 1、RMD ビットが 0 に設定されているとき、この一致信号によってリフレッシュ要求信号を発生します。リフレッシュ要求信号は実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は前の要求は無効となります。

RTCSR の CMIE が 1 にセットされていると、この一致信号によって割り込みコントローラに対し割り込み要求を発生させます。割り込み要求は RTCSR の CMF がクリアされるまで続けて出力されます。

ビット 15 ~ 8 は予約ビットで、周期設定には使用できません。常に '0' が読み出されます。

RTCOR はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイでは初期化されません。

## 8.3 通常空間アクセス

通常空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

### 8.3.1 基本タイミング

通常空間アクセスのバスサイクルは、2 ステートで行われます。図 8.3 に通常空間アクセスの基本タイミングを示します。

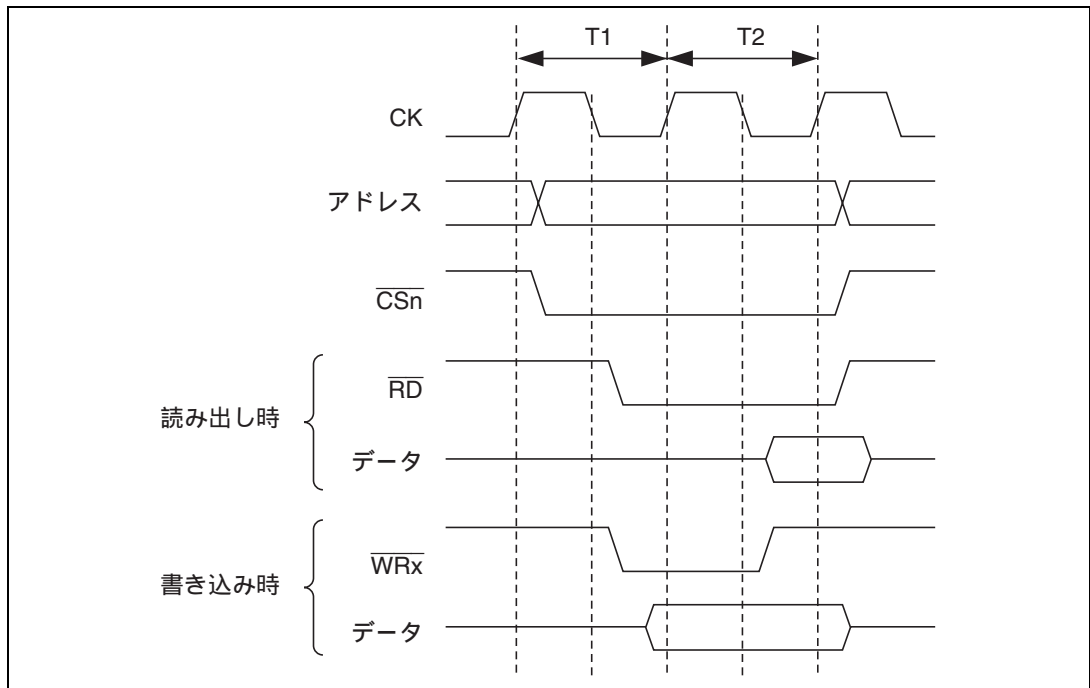


図 8.3 通常空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 $\overline{RD}$  信号によりアクセスする空間 (アドレス) のデータバス幅全ビットを LSI に取り込み、必要なバイト位置を使用します。

書き込み時は、実際に書き込むバイト位置を  $\overline{WRH}$  (ビット 15~8)、 $\overline{WRL}$  (ビット 7~0) の各信号で示します。

### 8.3.2 ウェイトステート制御

WCR の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。図 8.4 に示すタイミングで、 $T_w$  のサイクルがソフトウェアウェイトサイクルとして指定サイクル数だけ挿入されます。

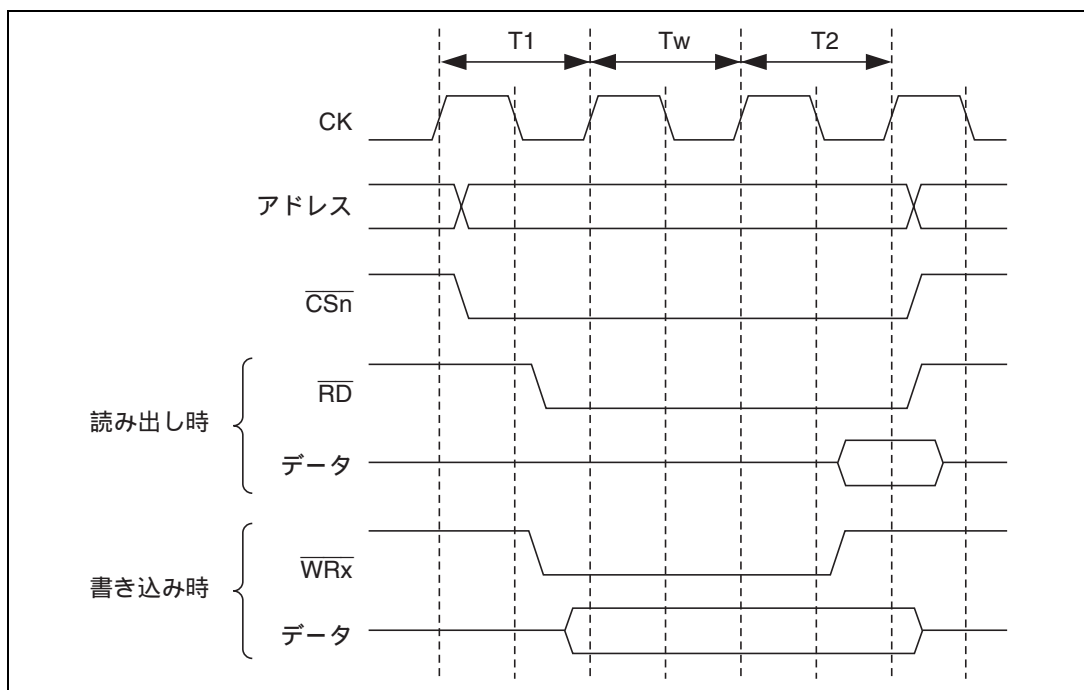


図 8.4 通常空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)



WCR によってソフトウェアによるウェイトを 1 ウェイト以上指定したときには、外部からのウェイト入力  $\overline{\text{WAIT}}$  信号もサンプリングされます。 $\overline{\text{WAIT}}$  信号のサンプリングを図 8.5 に示します。 $\overline{\text{WAIT}}$  信号のサンプリングは、 $T_w$  ステートから  $T_2$  ステートに移行する際にクロックの立ち上がりのちょうど 1 サイクル前のクロックの立ち上がりで行われます。

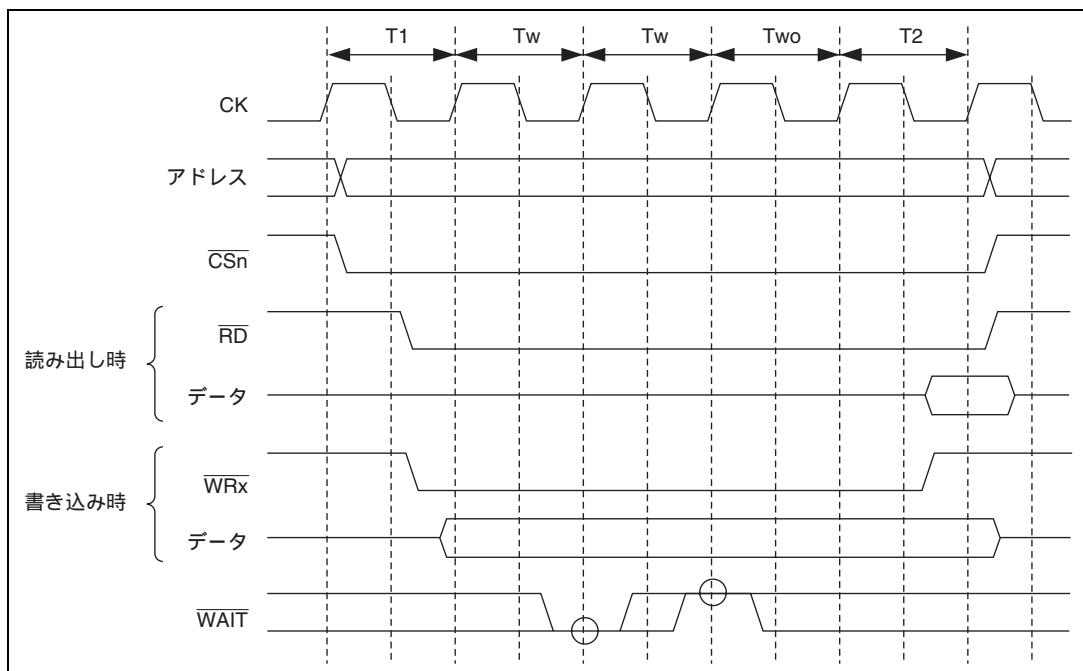
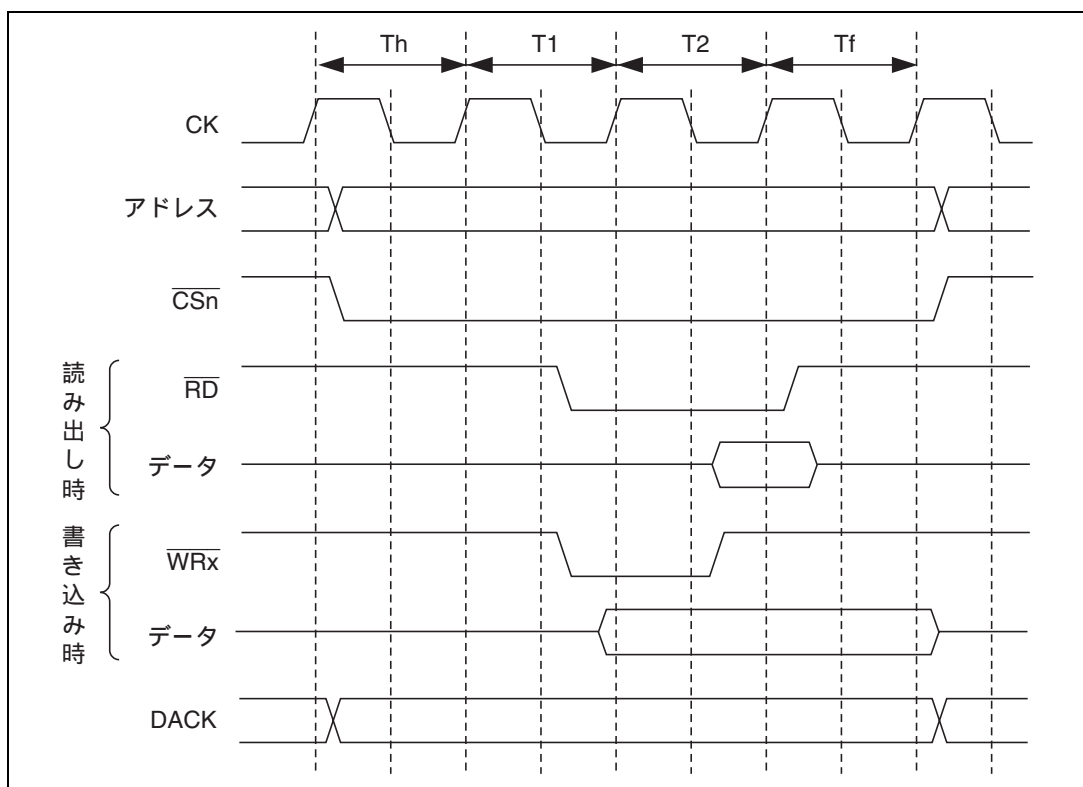


図 8.5 通常空間アクセスのウェイトステートタイミング  
(ソフトウェアウェイト 2 ステート +  $\overline{\text{WAIT}}$  信号によるウェイトステート)

8.3.3  $\overline{CS}$  アサート期間拡張

BCR2 の SW3 ~ SW0 ビットの設定により、 $\overline{RD}$ 、 $\overline{WRx}$  のアサート期間が  $\overline{CSn}$  のアサート期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 8.6 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは  $\overline{CSn}$  のみアサートされ、 $\overline{RD}$ 、 $\overline{WRx}$  はアサートされません。また、データは Tf サイクルまで延ばされるので、書き込み動作の遅いデバイスなどに有効です。

図 8.6  $\overline{CS}$  アサート期間拡張機能

## 8.4 DRAM アクセス

### 8.4.1 DRAM 直結方式

アドレスが A31 ~ A24=H'01 の空間アクセスをした場合、対象空間は 16M バイトの DRAM 空間となり、本 LSI と DRAM を直結させるための DRAM インタフェース機能を使用できます。

DRAM 空間では、常にロウアドレスとカラムアドレスのマルチプレクスが行われます。ロウアドレスのマルチプレクス量は、DCR の AMX1、AMX0 ビットの設定により 9 ビットから 12 ビットまでを選択できます。

表 8.4 AMX1、AMX0 とアドレスマルチプレクスの関係

AMX1	AMX0	シフト量	ロウアドレス		カラムアドレス	
			出力端子	出力されるアドレス	出力されるアドレス	出力端子
0	0	9 ビット	A21 ~ A15	A21 ~ A15	A21 ~ A0	A21 ~ A0
			A14 ~ A0	A23 ~ A9		
	1	10 ビット	A21 ~ A14	A21 ~ A14	A21 ~ A0	A21 ~ A0
			A13 ~ A0	A23 ~ A10		
1	0	11 ビット	A21 ~ A13	A21 ~ A13	A21 ~ A0	A21 ~ A0
			A12 ~ A0	A23 ~ A11		
	1	12 ビット	A21 ~ A12	A21 ~ A12	A21 ~ A0	A21 ~ A0
			A11 ~ A0	A23 ~ A12		

アクセスモードには、通常の読み出し、書き込みに加え、高速ページモードを利用したバーストアクセスをサポートします。

## 8.4.2 基本タイミング

本 LSI でサポートする DRAM アクセスは CAS2 本方式です。DRAM アクセスの基本タイミングはノーマルモードで最小 3 サイクルです。DRAM アクセスの基本タイミングを図 8.7 に示します。DRAM 空間では、 $\overline{\text{RAS}}$ 、 $\overline{\text{CASx}}$ 、RDWR 信号でアクセスが制御されます。アクセスするバイト位置を  $\overline{\text{CASH}}$  (ビット 15~8)、 $\overline{\text{CASL}}$  (ビット 7~0) の各信号で示します。ただし、DMAC のシングル転送用にカラムアドレスサイクル期間に通常空間用の  $\overline{\text{WRx}}$ 、 $\overline{\text{RD}}$  信号も出力されます。Tp はプリチャージサイクル、Tr は RAS アサートサイクル、Tc1 は CAS アサートサイクル、Tc2 は読み出しデータ取り込みサイクルです。

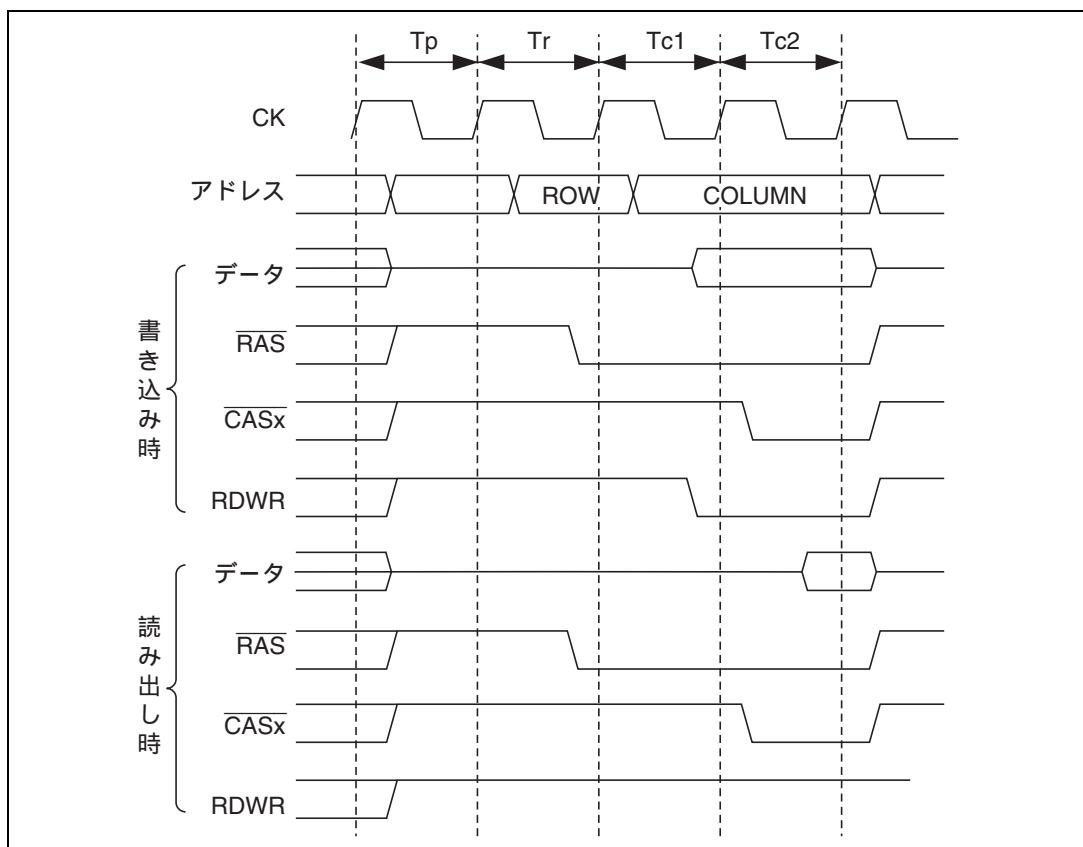


図 8.7 DRAM バスサイクル (ノーマルモード、TPC=0、RCD=0、ノーウェイト)

## 8.4.3 ウェイトステート制御

DCR の TPC、RCD、DWW1、DWW0、DWR1 および DWR0 設定により、DRAM 空間アクセスのウェイトステートの挿入を制御できます。TPC、RCD は読み出し / 書き込み共通です。ウェイトを挿入したタイミングを図 8.8 ~ 図 8.11 に示します。外部ウェイトはソフトウェアウェイト 2、3 のとき挿入可能です。サンプリング位置は通常空間時と同じ Tc2 サイクルのクロックの立ち上がりから 1 サイクル前です。外部ウェイトによってウェイトサイクルが引き延ばされます。

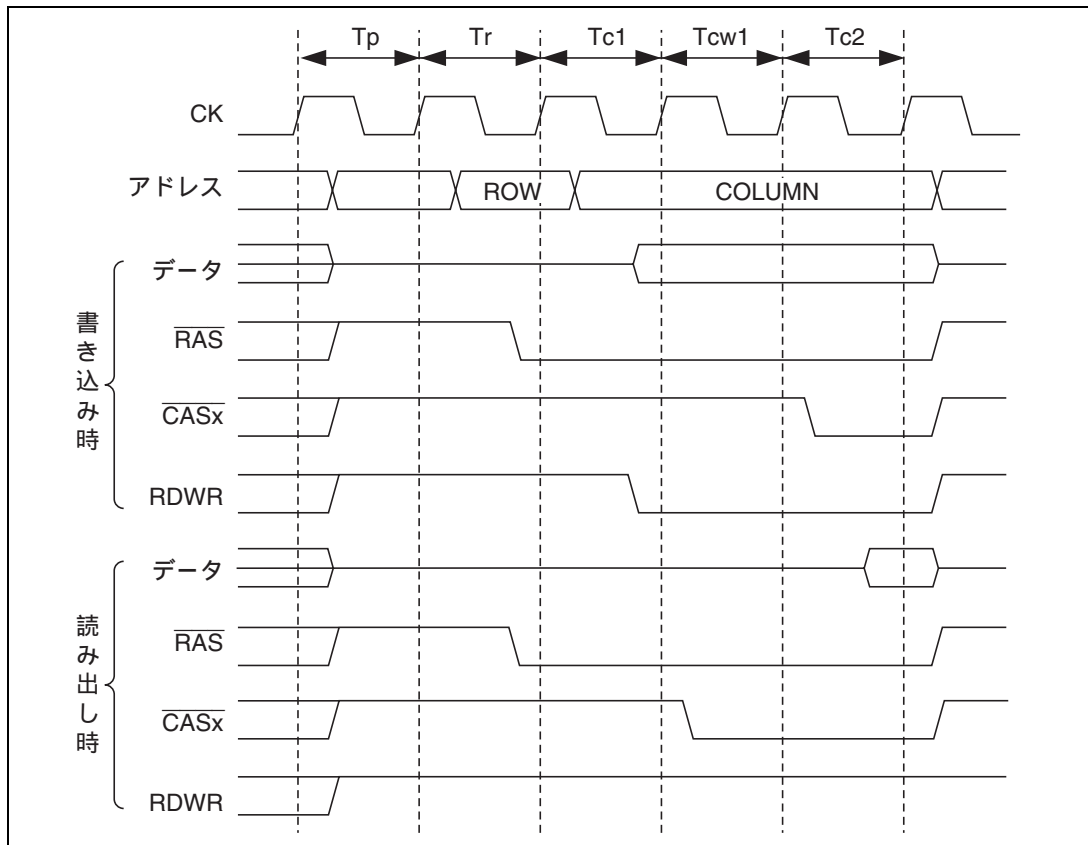


図 8.8 DRAM バスサイクル (ノーマルモード、TPC=0、RCD=0、1 ウェイト)

## 8. バスステートコントローラ (BSC)

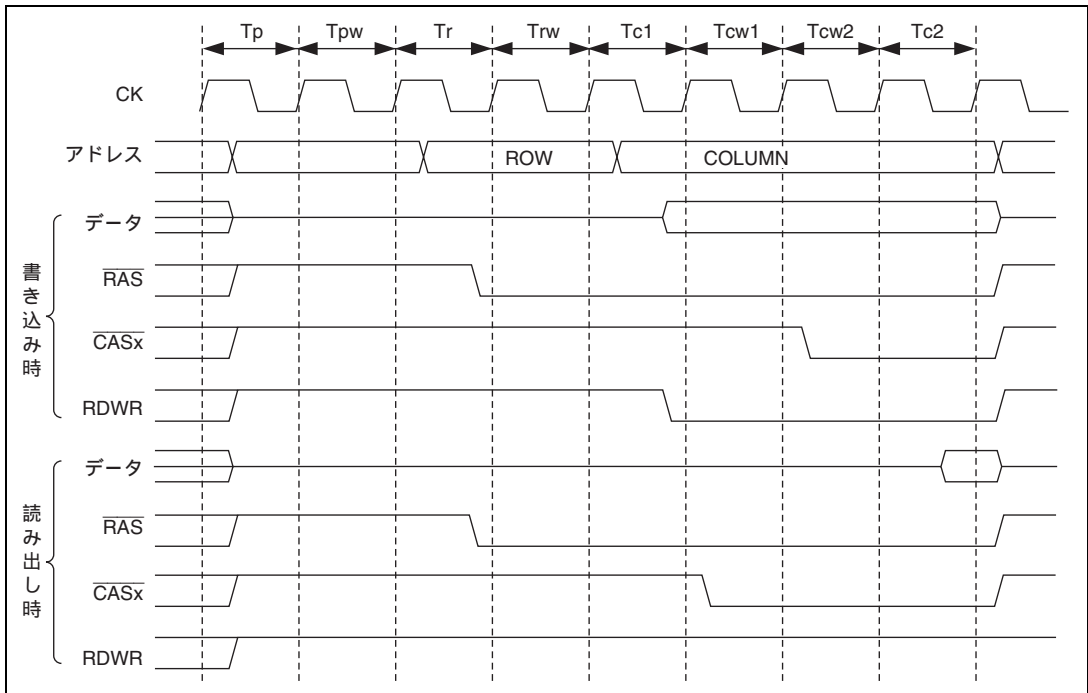


図 8.9 DRAM バスサイクル (ノーマルモード、TPC=1、RCD=1、2 ウェイト)

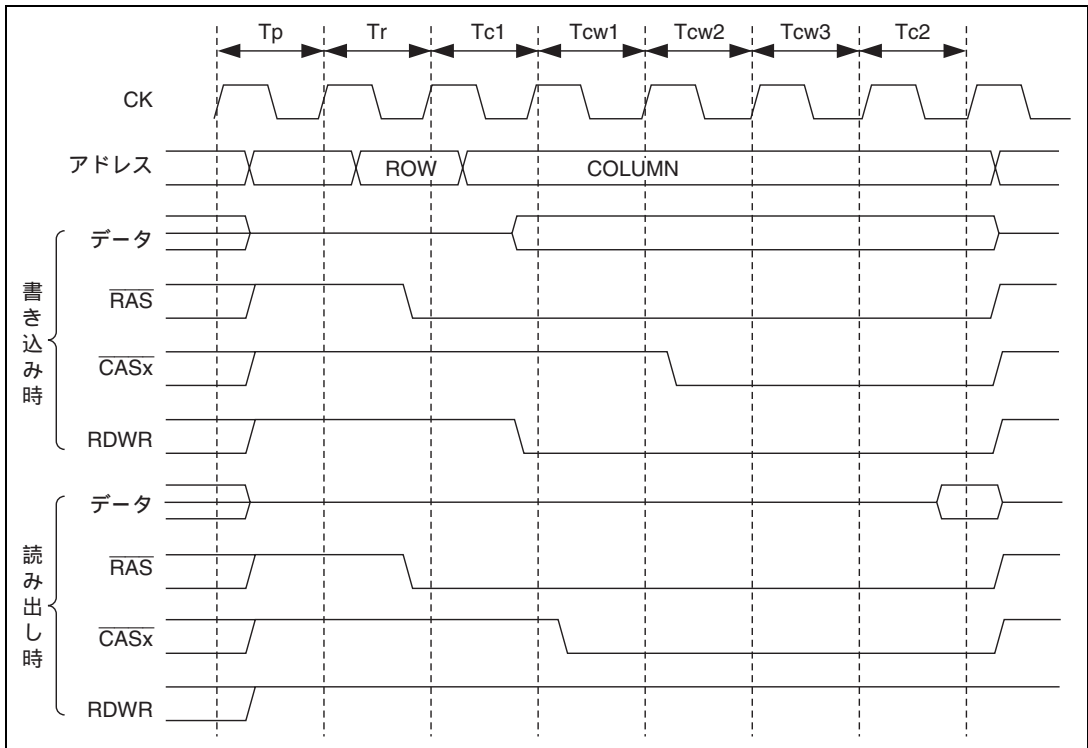


図 8.10 DRAM バスサイクル (ノーマルモード、TPC=0、RCD=0、3 ウェイト)

## 8. バスステートコントローラ (BSC)

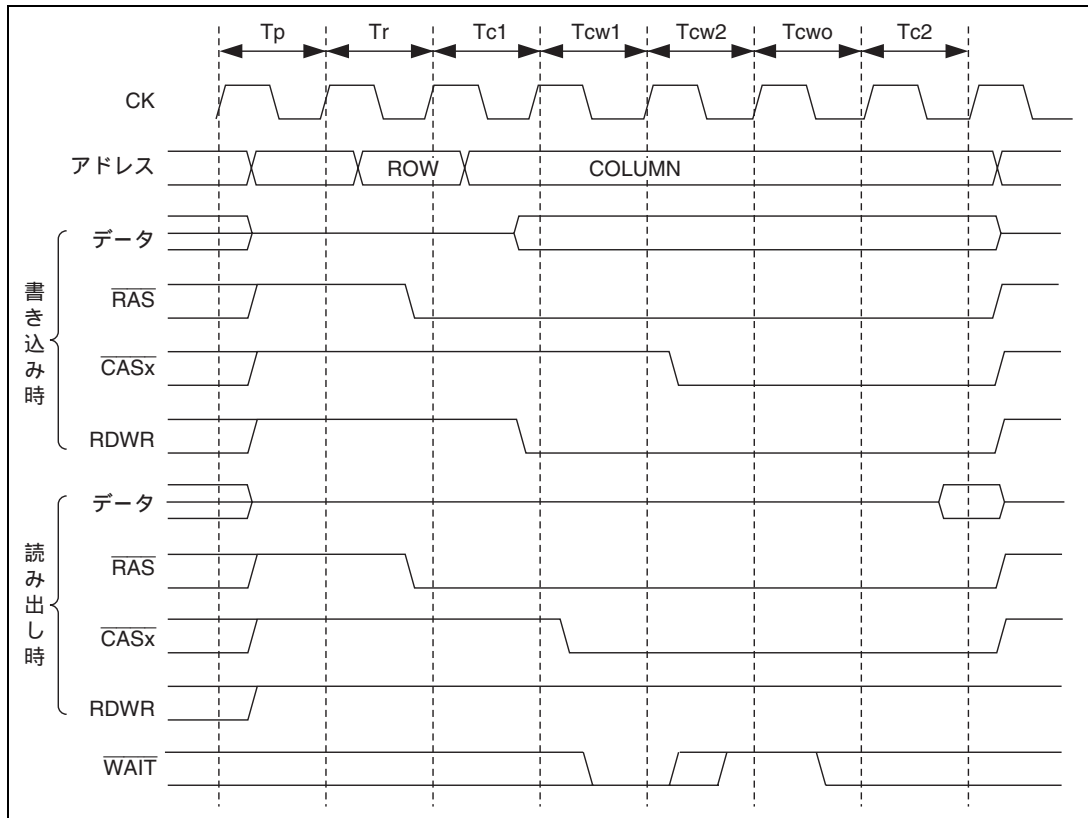


図 8.11 DRAM バスサイクル

( ノーマルモード、TPC=0、RCD=0、2 ウェイト+ WAIT 信号によるウェイト )



## 8.4.4 バースト動作

## (1) 高速ページモード

DCR のバーストイネーブルビット (BE) の設定によって、高速ページモードを利用したバーストアクセスを行うことができます。タイミングを図 8.12 に示します。バーストアクセスを行う場合にも、DCR によるウェイトサイクルの挿入を行うことができます。

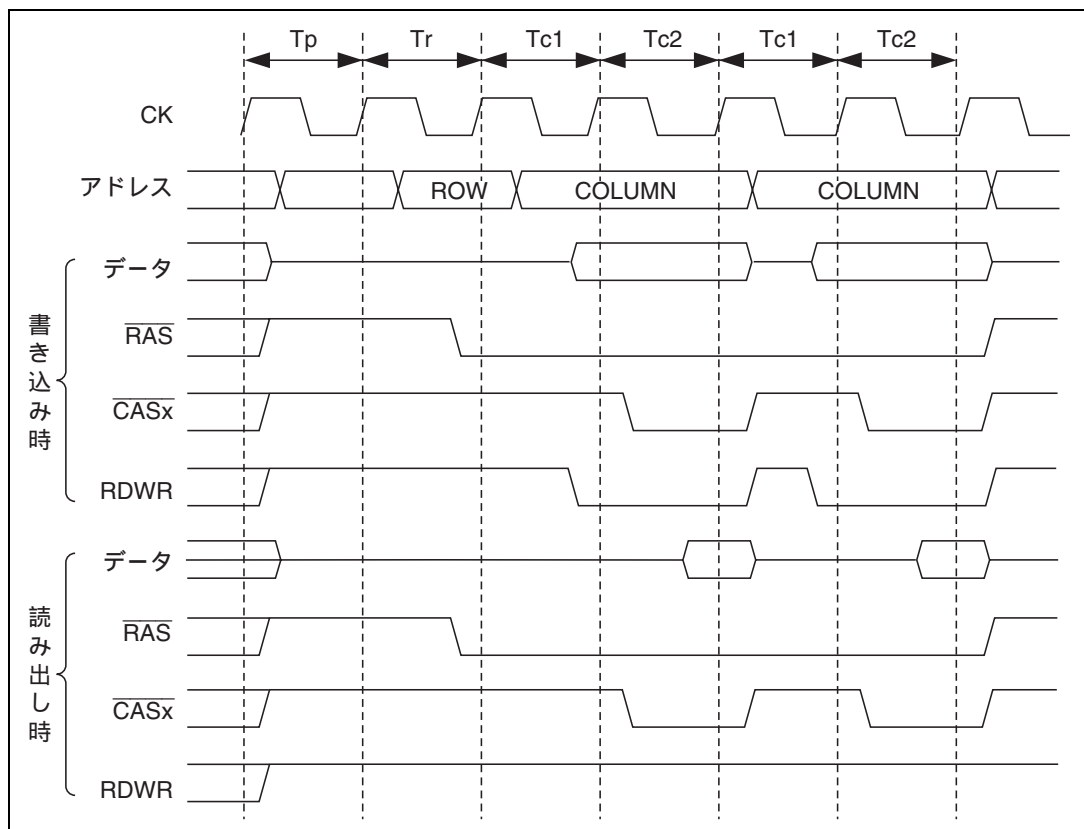


図 8.12 DRAM バスサイクル (高速ページモード)

## 8. バスステートコントローラ (BSC)

### (2) RAS ダウンモード

バースト動作を選択していても、DRAM へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も  $\overline{\text{RAS}}$  信号をローレベルに保持しておくこと、次に DRAM の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。これを RAS ダウンモードと呼びます。

RAS ダウンモードにするときは DCR の BE と RASD をともに 1 に設定してください。図 8.13 と図 8.14 に RAS ダウンモードの動作について示します。

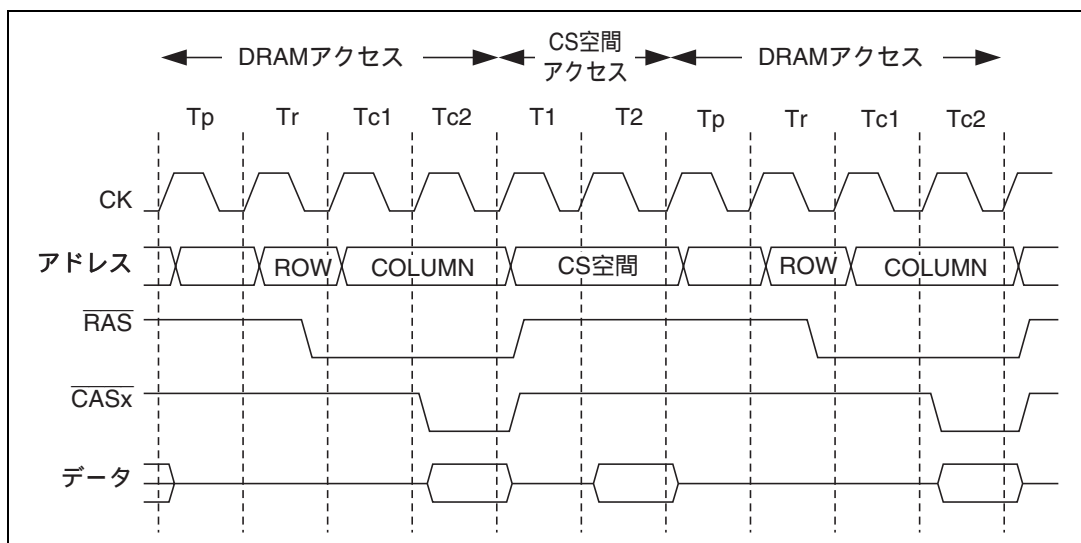


図 8.13 DRAM アクセス通常動作 (RAS アップモード)

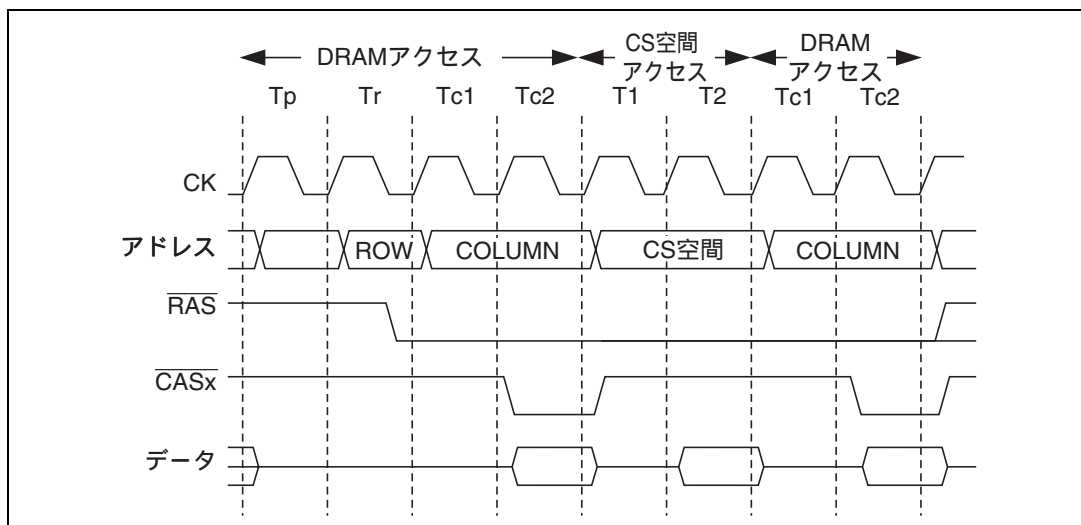


図 8.14 RAS ダウンモード

### 8.4.5 リフレッシュタイミング

BSC は、DRAM のリフレッシュを制御する機能を備えています。リフレッシュの方法は、RTCSR の RMD ビットの設定により CAS ビフォ RAS リフレッシュまたはセルフリフレッシュを選択することができます。

#### (1) CAS ビフォ RAS リフレッシュ

CAS ビフォ RAS リフレッシュを行うには、RTCSR の RMD ビットを 0、RFSH を 1 にセットします。また、使用する DRAM のリフレッシュ間隔規定を満たすように RTCNT と RTCOR に必要な値を書き込みます。最後に RTCSR の CKS2 ~ CKS0 ビットでクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は RTCOR の値と常に比較されており、両方の値が一致すると CAS ビフォ RAS リフレッシュが行われます。同時に RTCNT は 0 にクリアされ、カウントアップが継続されます。図 8.15 に CAS ビフォ RAS リフレッシュの動作を示します。

リフレッシュサイクルでの RAS アサートサイクル数は、DCR の TRAS1、TRAS0 ビットで指定します。

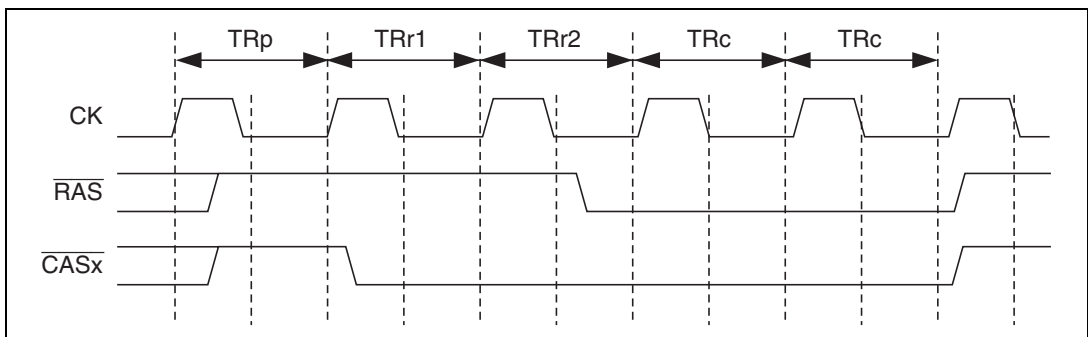


図 8.15 CAS ビフォ RAS リフレッシュタイミング (TRAS1、TRAS0=0、0)

## 8. バスステートコントローラ (BSC)

### (2) セルフリフレッシュ

RTCSR の RMD ビットと RFSH ビットの両方を 1 にセットすると、図 8.16 に示すように  $\overline{\text{CAS}}$  信号と  $\overline{\text{RAS}}$  信号が出力され、DRAM はセルフリフレッシュモードに入ります。DRAM のデータ保護のためセルフリフレッシュ中の DRAM アクセスはしないでください。DRAM アクセスを行う場合は、いったんセルフリフレッシュを解除し、その DRAM に規定されている時間内に全ロウアドレスに対し分散リフレッシュを行った後にしてください。

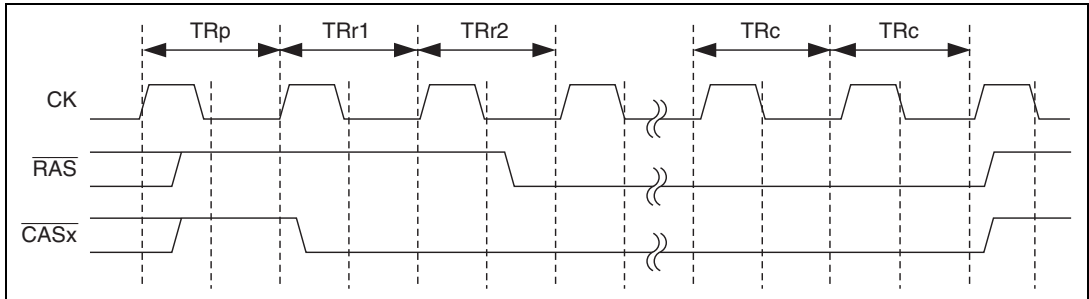


図 8.16 セルフリフレッシュタイミング

## 8.5 アドレス/データマルチプレクス I/O 空間アクセス

BCR1 レジスタの IOE ビットを 1 に設定することにより、CS3 空間で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス/データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

アドレス/データマルチプレクス I/O 空間のバス幅は A14bit で選択され、A14=0 のとき 8bit、A14=1 のとき 16bit となります。

### 8.5.1 基本タイミング

BCR1 の IOE ビットを 1 にすると、CS3 空間はアドレス/データマルチプレクス I/O 空間となり、この空間をアクセスするとアドレスとデータがマルチプレクスされます。アドレスの A14 ビットが 0 の場合、バスサイズが 8 ビットとなり D7 ~ D0 端子からアドレスとデータが入出力されます。アドレスの A14 ビットが 1 の場合、バスサイズが 16 ビットとなり、D15 ~ D0 端子からアドレスの出力とデータの入出力が行われます。アドレス/データマルチプレクス I/O 空間では、 $\overline{AH}$ 、 $\overline{RD}$ 、 $\overline{WRx}$  信号でアクセスが制御されます。

アドレス/データマルチプレクス I/O 空間のアクセスは、アドレス出力が 3 サイクル (固定) 行われた後続けて、通常空間型のアクセスが行われます。

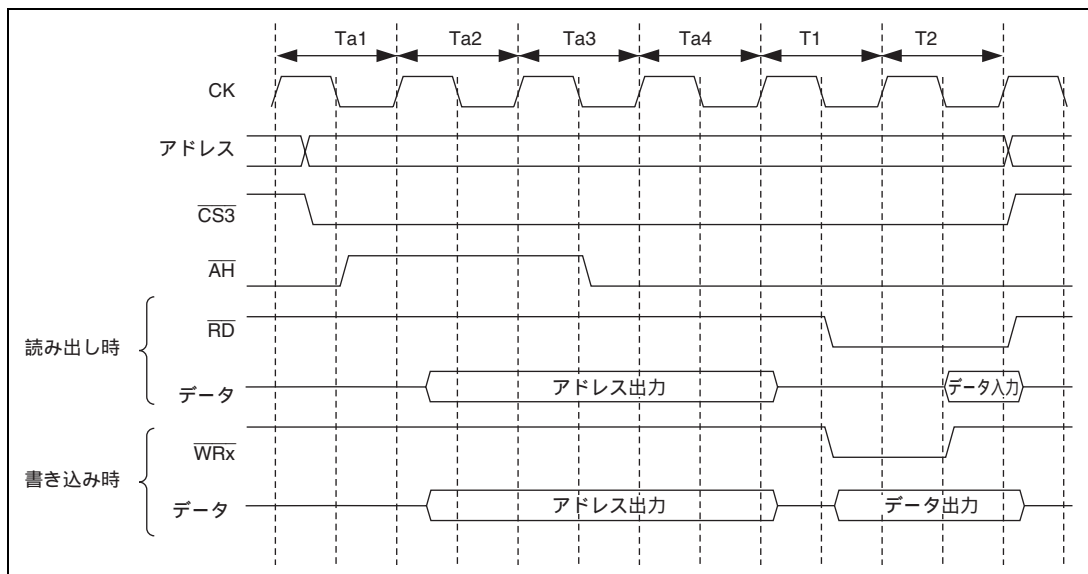


図 8.17 アドレス/データマルチプレクス I/O 空間アクセスタイミング (ノーウェイト)

### 8.5.2 ウェイトステート制御

アドレス/データマルチプレクス I/O 空間のアクセス時のウェイト制御は WCR の設定により行われます。ソフトウェアウェイトおよび外部ウェイトの挿入タイミングは通常空間アクセス時と同じです。図 8.18 に 1 ソフトウェアウェイト+1 外部ウェイト挿入時のタイミングを示します。

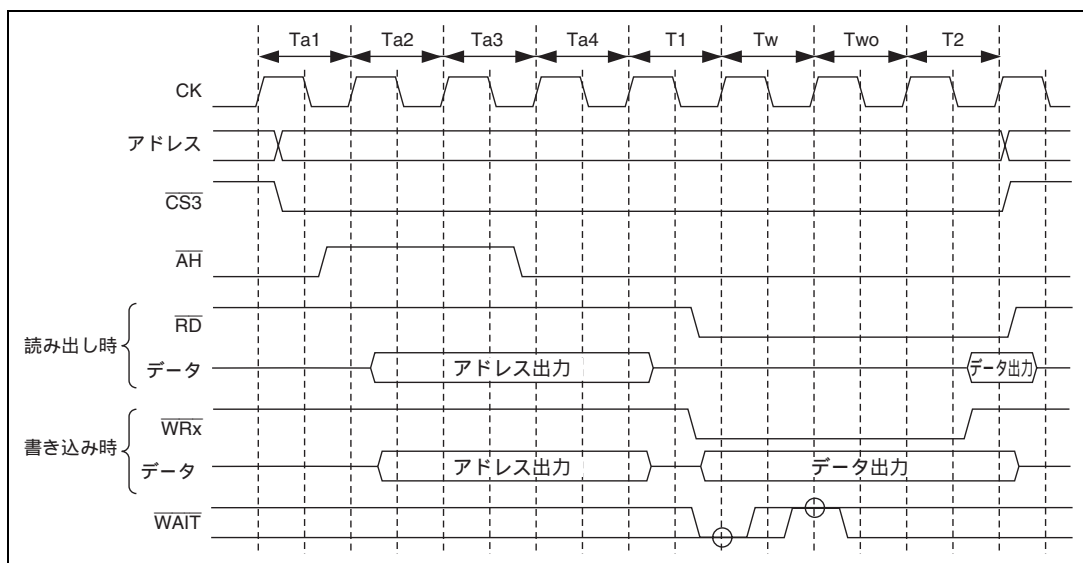


図 8.18 アドレス/データマルチプレクス I/O 空間アクセス時のウェイトステートタイミング (1ソフトウェアウェイト+1外部ウェイト)

### 8.5.3 CS アサート拡張

アドレス/データマルチプレクス I/O 空間アクセス時に CS アサート拡張を設定している場合のタイミング図を図 8.19 に示します。

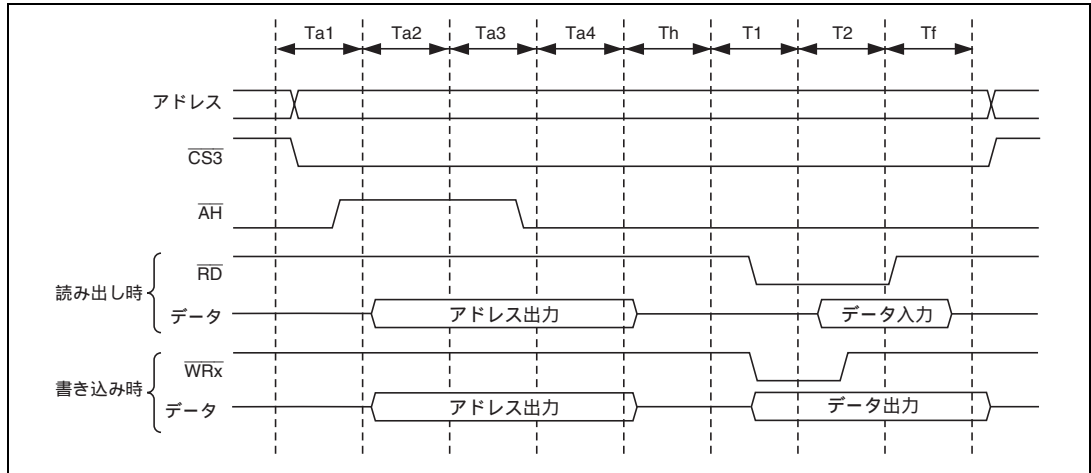


図 8.19 アドレス/データマルチプレクス I/O 空間アクセス時のウェイトステートタイミング (CS アサート拡張設定時)

## 8.6 アクセスサイクル間ウェイト

低速なデバイスを読み出したとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。メモリアクセスを行う際にデータ衝突の問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、バスサイクル開始の検出を容易にするために、同一 CS 空間の連続アクセス時にアクセスサイクル間にウェイトを挿入して、いったん  $\overline{CSn}$  信号をネゲートすることができます。

### 8.6.1 データバス衝突防止

(1) 読み出しサイクル後の書き込みサイクル、(2) 読み出しサイクル後の異なるエリアに対する読み出しサイクル、の 2 つの場合、BCR2 の IW31 ~ IW00 ビットおよび DCR の DIW によって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

図 8.20 にサイクル間アイドルの例を示します。この例では、 $\overline{CSn}$  空間のサイクル間アイドルに 1 を指定した場合に、 $\overline{CSn}$  空間の読み出しサイクルの直後に  $\overline{CSm}$  空間の書き込みを行うとき、1 アイドルサイクルが挿入されることを図示しています。

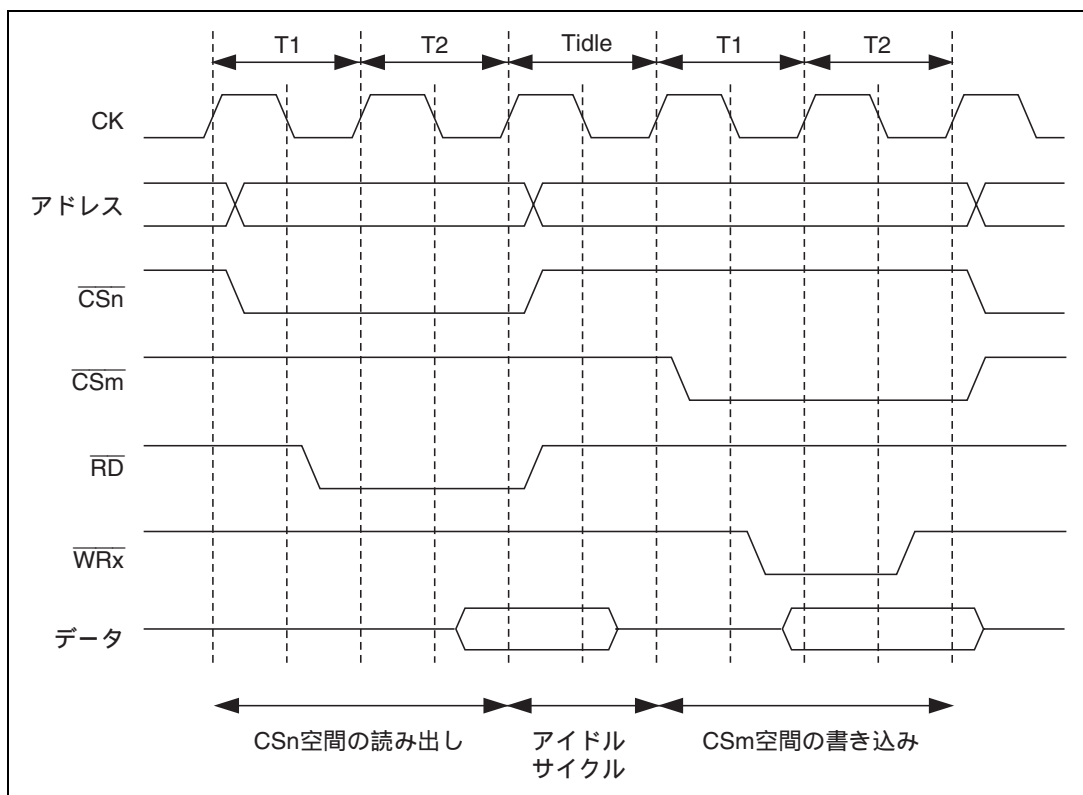


図 8.20 アイドルサイクル挿入例



IW31、IW30 では CS3 空間を読み出した後に、他の外部空間を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間読み出し後の、IW11、IW10 では CS1 空間読み出し後の、IW01、IW00 では CS0 空間読み出し後のアイドルサイクル数を指定します。

DIW では DRAM 空間を読み出した後に、他の外部空間 (CS 空間) を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。

アイドルサイクル数には CS 空間で 0~3 サイクル、DRAM 空間で 0~1 サイクルを指定することができます。

### 8.6.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3~CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、読み出し後の書き込みサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 8.21 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続書き込んだ場合を示しています。

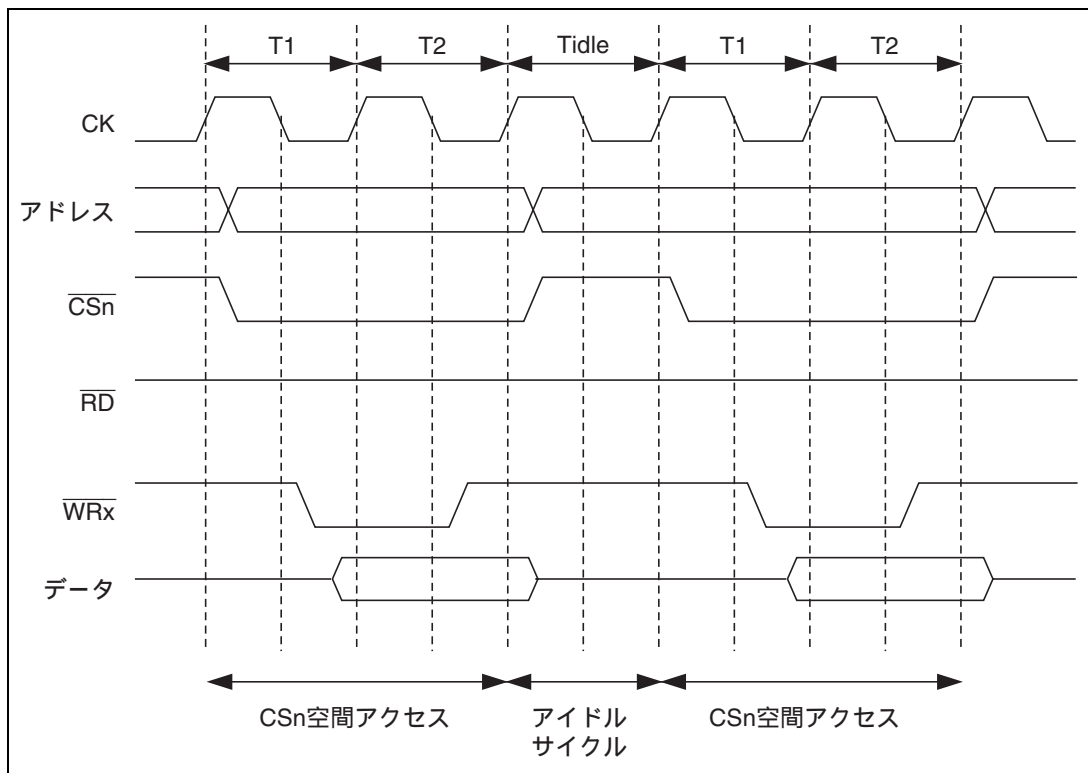


図 8.21 同一空間連続アクセス時アイドルサイクル挿入例

## 8.7 バスアービトレーション

本 LSI 内部には CPU と DMAC というバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

リフレッシュ > DMAC > CPU

## 8.8 メモリ接続例

図 8.22 ~ 図 8.27 にメモリ接続例を示します。

A21 ~ A18 は、パワーオンリセットによって入力ポートになるので、必要であればプルダウンするなどの処理を行ってください。

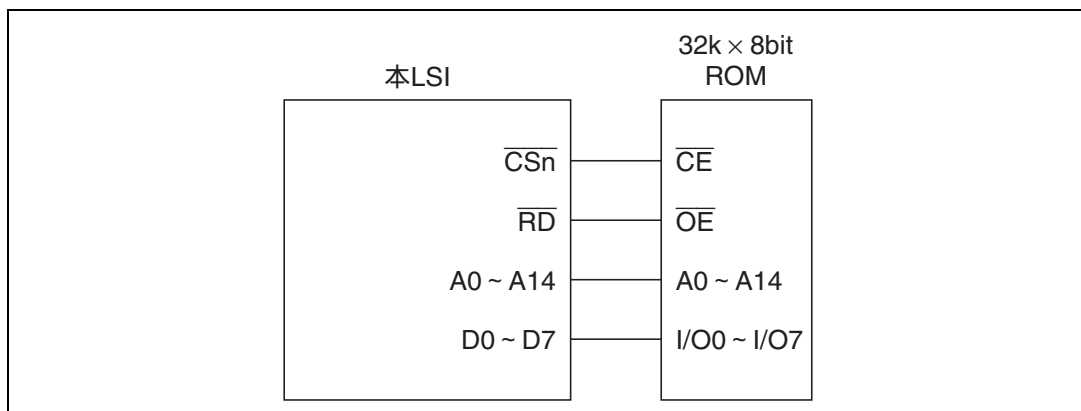


図 8.22 8 ビットデータバス幅 ROM 接続例

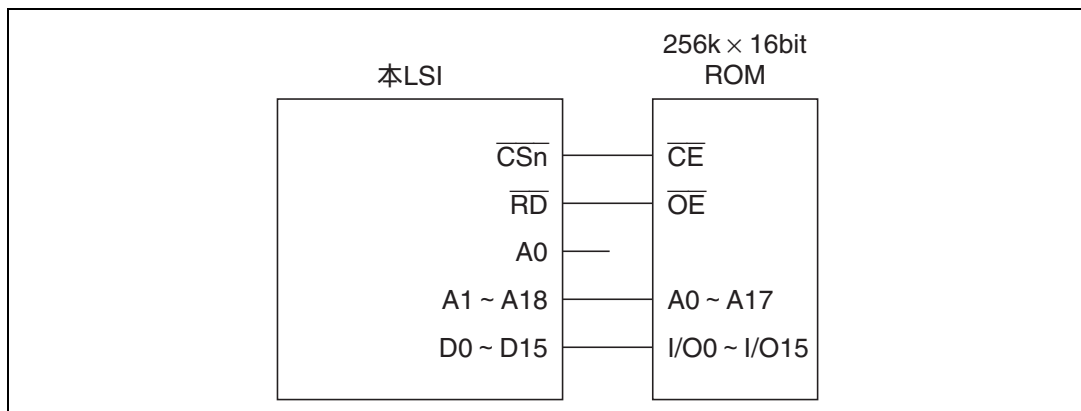


図 8.23 16 ビットデータバス幅 ROM 接続例

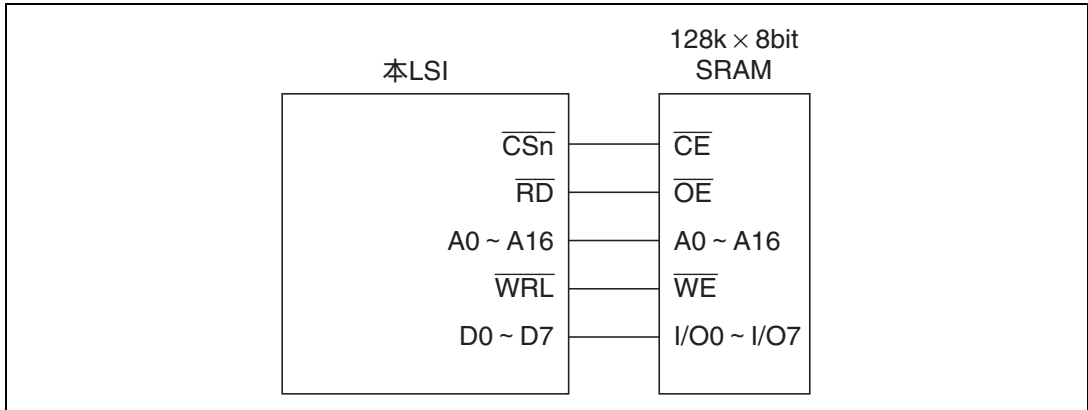


図 8.24 8 ビットデータバス幅 SRAM 接続例

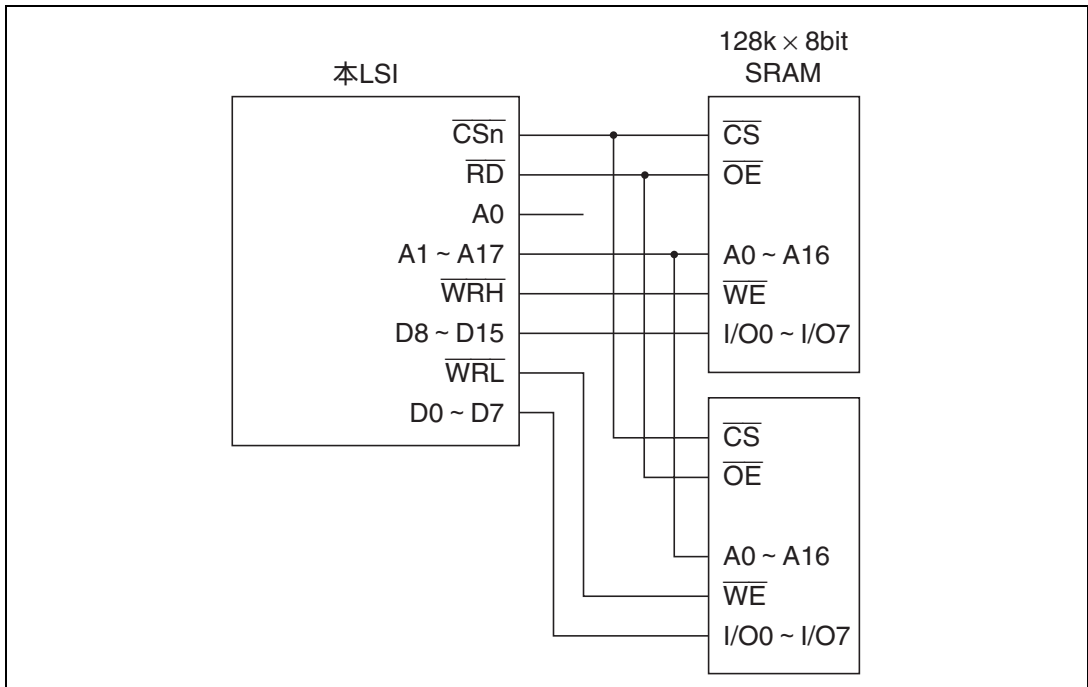


図 8.25 16 ビットデータバス幅 SRAM 接続例

8. バスステートコントローラ (BSC)

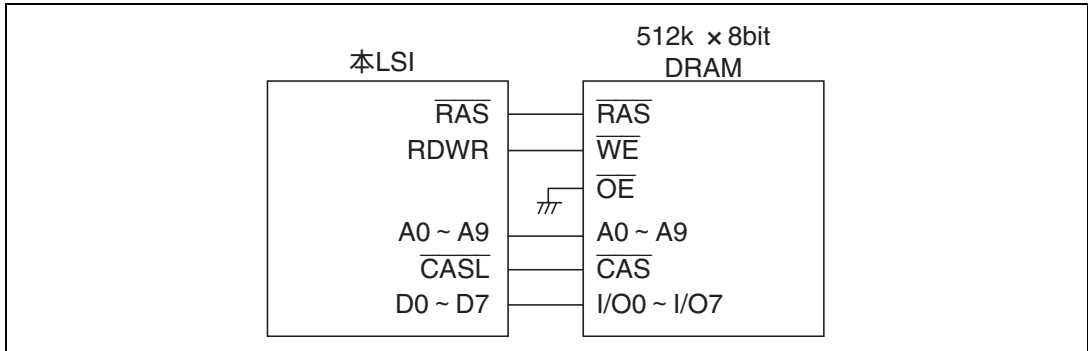


図 8.26 8 ビットデータバス幅 DRAM 接続例

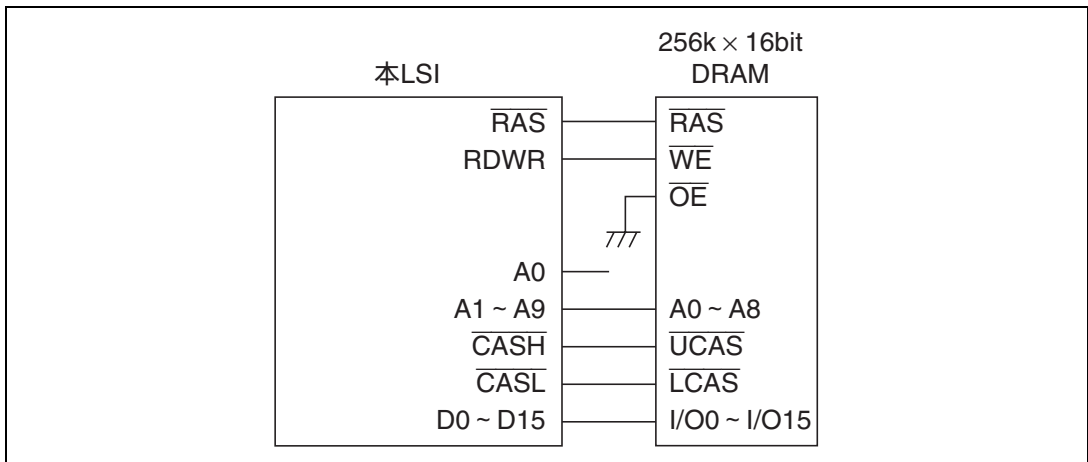


図 8.27 16 ビットデータバス幅 DRAM 接続例

## 8.9 内蔵周辺 I/O レジスタのアクセス

内蔵周辺 I/O のレジスタは、バスステートコントローラから表 8.5 のようにアクセスされます。

表 8.5 内蔵周辺 I/O レジスタへのアクセス

内蔵周辺 モジュール	SCI	MTU	INTC	PFC、 PORT	CMT	A/D*	WDT	DMAC	CACHE
接続バス幅	8 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット	16 ビット
アクセス サイクル数	2cyc	2cyc	2cyc	2cyc	2cyc	2cyc	3cyc	3cyc	3cyc

【注】 \* SH7016/17 の A/D は 8 ビット幅、3cyc でアクセスされます。

## 8.10 外部メモリへプログラムを配置したときの CPU 動作

本 LSI は一回の命令フェッチで常に 2 ワード (2 命令分) をフェッチします。これはプログラムが外部メモリに配置されている場合や、その外部メモリのバス幅が 8 ビットまたは 16 ビットのときも同じです。

また、プログラムが分岐した直後のプログラムカウンタ値が奇数ワード ( $2n+1$ ) 番地であるときや、分岐する直前のプログラムカウンタ値が偶数ワード ( $2n$ ) 番地であるときも本 LSI はそれぞれのワード命令を含む 32 ビット (2 命令) 分を常にフェッチします。

## 8. バスステートコントローラ (BSC)

---

---

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 9.1 概要

本 LSI は 2 チャンネルのダイレクトメモリアクセスコントローラ(DMAC)を内蔵しています。DMAC は、DACK(転送要求受け付け信号)付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール(DMAC、BSCを除く)間のデータ転送を、CPUに代わって高速に行うことができます。DMACを使うとCPUの負担を減らすとともに本LSIの動作効率を上げることができます。

#### 9.1.1 特長

DMACには次のような特長があります。

- チャンネル数：2チャンネル
- アドレス空間：アーキテクチャ上は4GByte
- 転送データ長：8ビット、16ビット、32ビットの中から選択可能
- 最大転送回数：64k(65536)回
- アドレスモード：シングルアドレスモード、デュアルアドレスモードの選択可能
- (1) シングルアドレスモード
  - 転送元か転送先の周辺デバイスをDACK信号でアクセスし、もう一方をアドレスアクセスします。一回のデータ転送が1バスサイクルで終了します。
- (2) デュアルアドレスモード
  - 転送元、転送先双方をアドレスアクセスします。転送元、転送先共、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。一回のデータ転送に2バスサイクルを必要とします。
- チャンネル機能：デュアルアドレスモード、シングルアドレスモード対応
  - 外部リクエスト受け付け可能
- 転送要求：DMACの転送起動要求には以下の種類があります。
  - 外部リクエスト
    - DREQ端子2本。ローレベル検出または立ち下がりエッジ検出の指定が可能です。チャンネル0とチャンネル1のいずれも外部リクエスト要求の受け付けが可能です。
  - 内蔵モジュール
    - SCI、A/Dなど内蔵モジュールの転送要求です。チャンネル0、チャンネル1とも受け付けが可能です。
  - オートリクエスト
    - 転送要求をDMAC内部で自動的に発生します。
- バスモード：バスモードではサイクルスチールモードとバーストモードの選択が可能です。
- 優先順位：DMACのチャンネル優先順位は0>1のみです。

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

### 9.1.2 DMAC ブロック図

図 9.1 に DMAC のブロック図を示します。

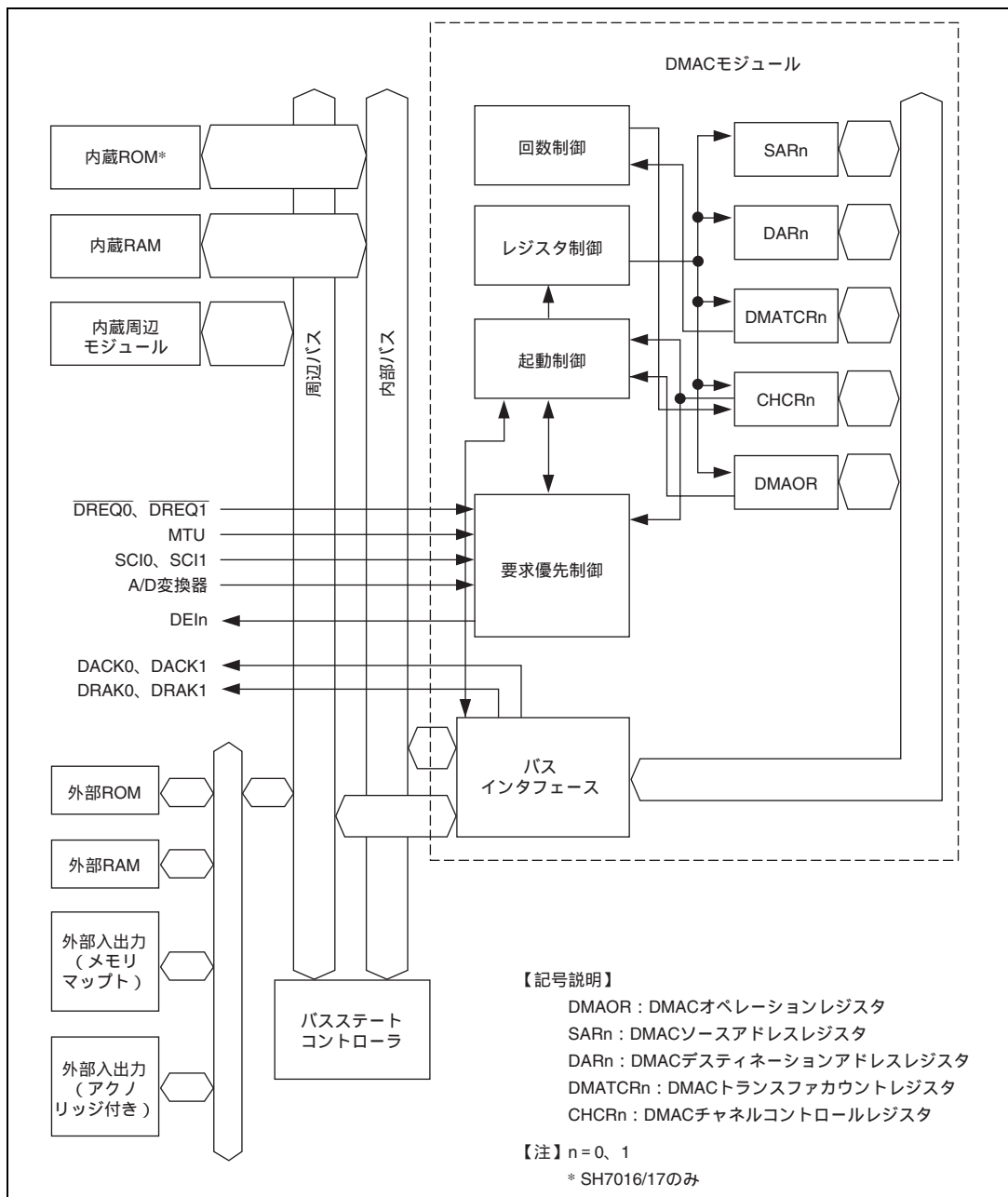


図 9.1 DMAC ブロック図



## 9.1.3 端子構成

DMAC の端子を表 9.1 に示します。

表 9.1 DMAC 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	チャンネル 0 から外部デバイスへの DMA 転送ストローブ出力
	DREQ0 受け付け確認	DRAK0	出力	外部からの DMA 転送要求入力のサンプリング受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	チャンネル 1 から外部デバイスへの DMA 転送ストローブ出力
	DREQ1 受け付け確認	DRAK1	出力	外部からの DMA 転送要求入力のサンプリング受け付け出力

## 9.1.4 レジスタ構成

表 9.2 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられているほか、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 9 本のレジスタがあります。

表 9.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*5	レジスタサイズ	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFF86C0	32bit	16、32*2
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'FFFF86C4	32bit	16、32*2
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFF86C8	32bit	16、32*3
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W*1	H'00000000	H'FFFF86CC	32bit	16、32*2
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFF86D0	32bit	16、32*2
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'FFFF86D4	32bit	16、32*2
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFF86D8	32bit	16、32*3
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W*1	H'00000000	H'FFFF86DC	32bit	16、32*2
共通	DMA オペレーションレジスタ	DMAOR	R/W*1	H'0000	H'FFFF86B0	16bit	16*4

- 【注】 \*1 CHCR0、CHCR1 のビット 1 および DMAOR のビット 1、2 はフラグクリアのために 1 読み出し後の 0 書き込みのみ可能。
- \*2 SAR0、SAR1、DAR0、DAR1、CHCR0、CHCR1 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- \*3 DMATCR は 0~15 ビットまでの 16 ビット構成です。上位側 16~31 ビットまでの 16 ビットへの 1 書き込みは無効となり読み出すと常に 0 が読み出しされます。
- \*4 DMAOR はワード (16 ビット) 単位のみでアクセスしてください。
- \*5 空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証しません。



## 9.2.3 DMA トランスファカウンタレジスタ 0、1 (DMATCR0、DMATCR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA トランスファカウンタレジスタ 0、1 (DMATCR0、DMATCR1) は読み出し、書き込み可能な 16 ビットのレジスタで、そのチャンネルの転送回数 (バイト数、ワード数またはロングワード数) を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、65536 回実行されます。DMAC 動作中は、残りの転送回数を示しています。

DMATCR の上位 16 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、ソフトウェアスタンバイモードでは、値は不定になります。

## 9.2.4 DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RL	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	—	DS	TM	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R(W)*R/W

【注】 \* TEビットは、1読み出し後の0書き込みのみ実行可能です。

DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) は読み出し、書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。このレジスタのビット 31 ~ 19 およびビット 7 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、ソフトウェアスタンバイモードでは、値は 0 に初期化されます。

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

### ビット 18 : リクエストチェックレベルビット (RL)

$\overline{DREQ}$  を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかの選択ビットです。

ビット 18	説明
RL	
0	DRAK をハイアクティブで出力。 (初期値)
1	DRAK をローアクティブで出力。

### ビット 17 : アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

ビット 17	説明
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

### ビット 16 : アクノリッジレベル (AL)

DACK(アクノリッジ)信号をハイアクティブにするかローハイアクティブにするかを指定します。

ビット 16	説明
AL	
0	ハイアクティブで出力 (初期値)
1	ローアクティブで出力

### ビット 15、14 : デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードでアドレス空間から外部デバイスにデータ転送する場合は、このビットの指定は無視されます。

ビット 15	ビット 14	説明
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	(使用禁止)

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 13、12 : ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスからアドレス空間にデータ転送する場合は、このビットの指定は無視されます。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	(使用禁止)

ビット 11~8 : リソースセレクト 3~0 (RS3~RS0)

転送要求元を指定します。

ビット 11	ビット 10	ビット 9	ビット 8	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)
			1	(使用禁止)
		1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間→外部デバイス
			1	外部リクエスト、シングルアドレスモード 外部デバイス→外部アドレス空間
	1	0	0	オートリクエスト
			1	(使用禁止)
		1	0	MTUTGI0A
			1	TGI1A
1	0	0	0	TGI2A
			1	(使用禁止)
		1	0	(使用禁止)
			1	A/DADI
	1	0	0	SCI0TXI0
			1	RXI0
		1	0	SCI1TXI1
			1	RXI1

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

### ビット 6 : $\overline{\text{DREQ}}$ セレクト (DS)

外部リクエストモードで使用する  $\overline{\text{DREQ}}$  端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、このビットの指定は無視され、オートリクエスト以外は立ち下がりエッジ検出に固定されます。

ビット 6	説 明
DS	
0	ローレベル検出 (初期値)
1	立ち下がりエッジ検出

### ビット 5 : トランスミットモード (TM)

転送するときのバスモードを指定するビットです。

ビット 5	説 明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

### ビット 4、3 : トランスミットサイズ 1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット 4	ビット 3	説 明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	(使用禁止)

### ビット 2 : インターラプトイネーブル (IE)

このビットに 1 をセットしておく、DMATCR に指定した回数のデータ転送が終了したとき (TE=1 のとき) 割り込み要求が発生します。

ビット 2	説 明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求が発生しない。 (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求が発生する。

## ビット1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了された場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 [ クリア条件 ] TE=1 の読み出し後 0 書き込み パワーオンリセット、スタンバイ (初期値)
1	DMATCR 指定回数転送終了

## ビット0: DMAC イネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS3 ~ RS0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵モジュールリクエストでは、このビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

### 9.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)	R/(W)	R/W

【注】AE、NMIFビットは、1読み出し後の0書き込みのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC の転送モードを指定します。このレジスタのビット 15~3 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、ソフトウェアスタンバイモード時では 0 に初期化されます。

#### ビット 2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット 2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態。 [クリア条件] AE=1 読み出し後 AE=0 書き込み (初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件] DMAC によるアドレスエラーの発生。

#### ビット 1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 を書き込むことはできません。クリアは、1 読み出し後の 0 書き込みのみ有効です。

ビット 1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態。 [クリア条件] NMIF=1 読み出し後 NMIF=0 書き込み (初期値)
1	NMI 入力あり。DMA 転送禁止状態。 [セット条件] NMI 割り込みの発生。



## ビット0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビット及び各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

### 9.3 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

#### 9.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合は DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 9.2 に上記のフローチャートを示します。

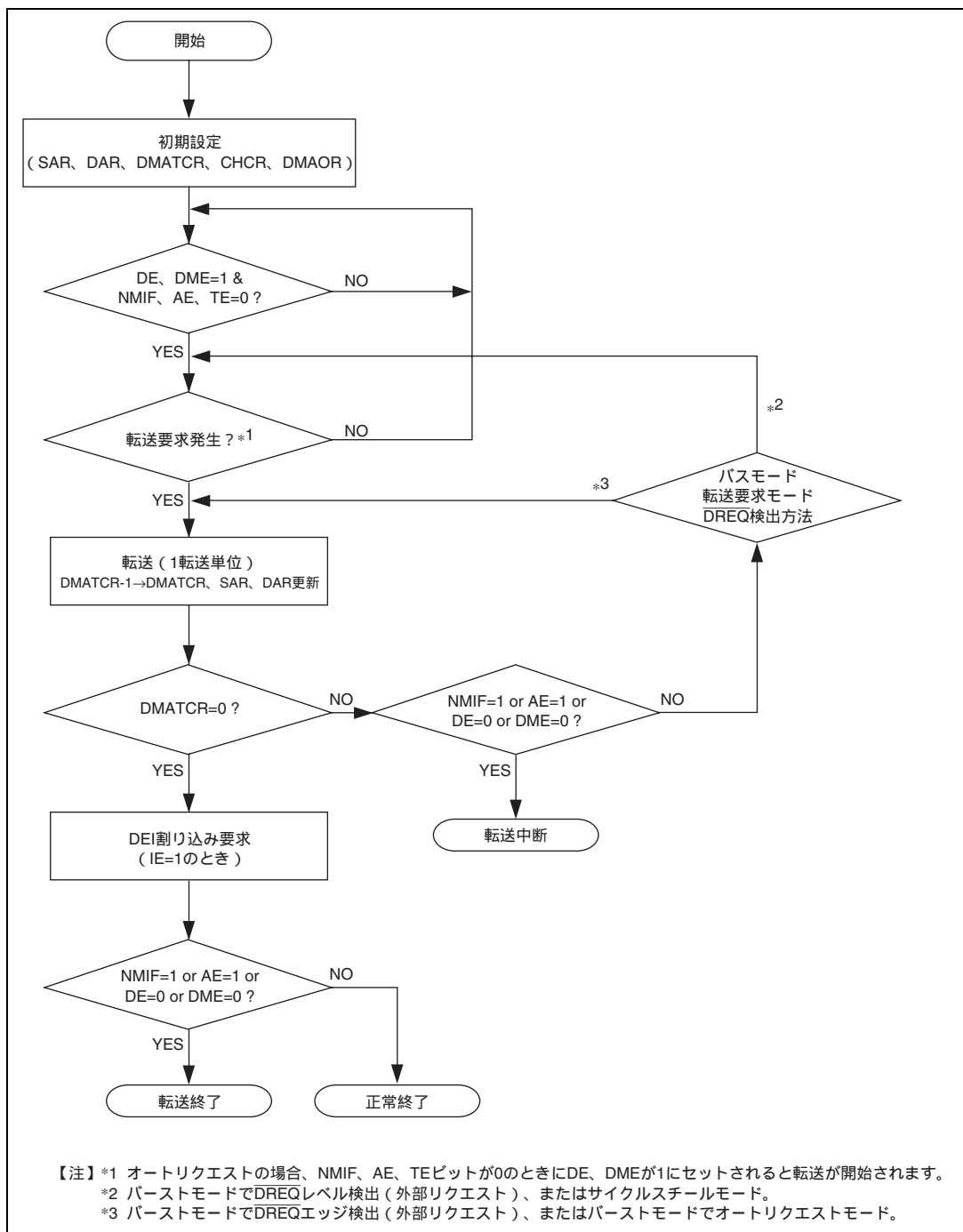


図 9.2 DMAC 転送フローチャート

### 9.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエスト、の3種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) の RS3 ~ RS0 ビットによって行います。

#### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0、CHCR1 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0、CHCR1 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

#### (2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 ( $\overline{DREQ}$ ) によって転送を開始させるモードです。応用システムに応じて、表 9.3 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に  $\overline{DREQ}$  が入力されると DMA 転送が開始されます。 $\overline{DREQ}$  を立ち下がりがりエッジで検出するかローレベルで検出するかは、CHCR0、CHCR1 の DS ビットで選びます (DS=0 はレベル検出、DS=1 はエッジ検出)。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 9.3 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアル アドレスモード	任意*	任意*
		1		シングル アドレスモード	外部メモリまたはメモリマ ップト外部デバイス	DACK 付き外部デバイス
			1	シングル アドレスモード	DACK 付き外部デバイス	外部メモリまたはメモリマ ップト外部デバイス

【注】 \* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール (DMAC、BSC を除く)

## (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 ( 割り込み要求信号 ) によって転送を開始させるモードです。転送要求信号には表 9.4 に示すように、マルチファンクションタイマパルスユニット ( MTU ) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 3 種類、2 つのシリアルコミュニケーションインタフェース ( SCI ) からの、受信データフル割り込み ( RXI )、送信データエンpty割り込み ( TXI )、A/D 変換器の A/D 変換終了割り込み ( ADI ) の計 8 本があります。DMA 転送が許可されているとき ( DE=1、DME=1、TE=0、NMIF=0、AE=0 ) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。ただし転送要求を RXI ( SCI の受信データフルによる転送要求 ) に設定した場合は転送元は SCI のレシーブデータレジスタ ( RDR ) でなければなりません。転送要求を TXI ( SCI の送信データエンptyによる転送要求 ) に設定した場合は、転送先は SCI のトランスミットデータレジスタ ( TDR ) でなければなりません。また、転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

表 9.4 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS3	RS2	RS1	RS0	DMAC 転送 要求元	DMAC 転送 要求信号	転送元	転送先	バスモード
0	1	1	0	MTU	TGI0A	任意*	任意*	バースト/サイクル スチールモード
			1	MTU	TGI1A	任意*	任意*	バースト/サイクル スチールモード
1	0	0	0	MTU	TGI2A	任意*	任意*	バースト/サイクル スチールモード
			1	( 使用禁止 )				
		1	0	( 使用禁止 )				
			1	A/D	ADI	ADDR	任意*	バースト/サイクル スチールモード
	1	0	0	SCI0 送信部	TXI0	任意*	TDR0	バースト/サイクル スチールモード
			1	SCI0 受信部	RXI0	RDR0	任意*	バースト/サイクル スチールモード
		1	0	SCI1 送信部	TXI1	任意*	TDR1	バースト/サイクル スチールモード
			1	SCI1 受信部	RXI1	RDR1	任意*	バースト/サイクル スチールモード

## 【記号説明】

MTU : マルチファンクションタイマパルスユニット

SCI0、SCI1 : シリアルコミュニケーションインタフェースのチャンネル 0~1

ADDR : A/D 変換器の A/D レジスタ

【注】 \* 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵周辺モジュール ( DMAC、BSC を除く )

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する割り込み許可ビットをセットして、割り込み信号を出力させてください。

内蔵周辺モジュールの割り込み要求信号を DMA 転送要求信号として使用した場合、CPU に対する割り込みは発生しません。

表 9.4 の転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

### 9.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定で、以下のとおりです。

CH0 > CH1

### 9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.5 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.5 サポートできる DMA 転送

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	シングル アドレスモード	シングル アドレスモード	不可	不可
外部メモリ	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
メモリマップト 外部デバイス	シングル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵メモリ	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード
内蔵周辺 モジュール	不可	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード	デュアル アドレスモード

## (1) アドレスモード

## (A) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうち的一方をDACK信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードではDMACは、転送要求受け付け信号DACKを、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1つのバスサイクルでDMA転送を行うことができます。たとえば図9.3のような外部メモリとDACK付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

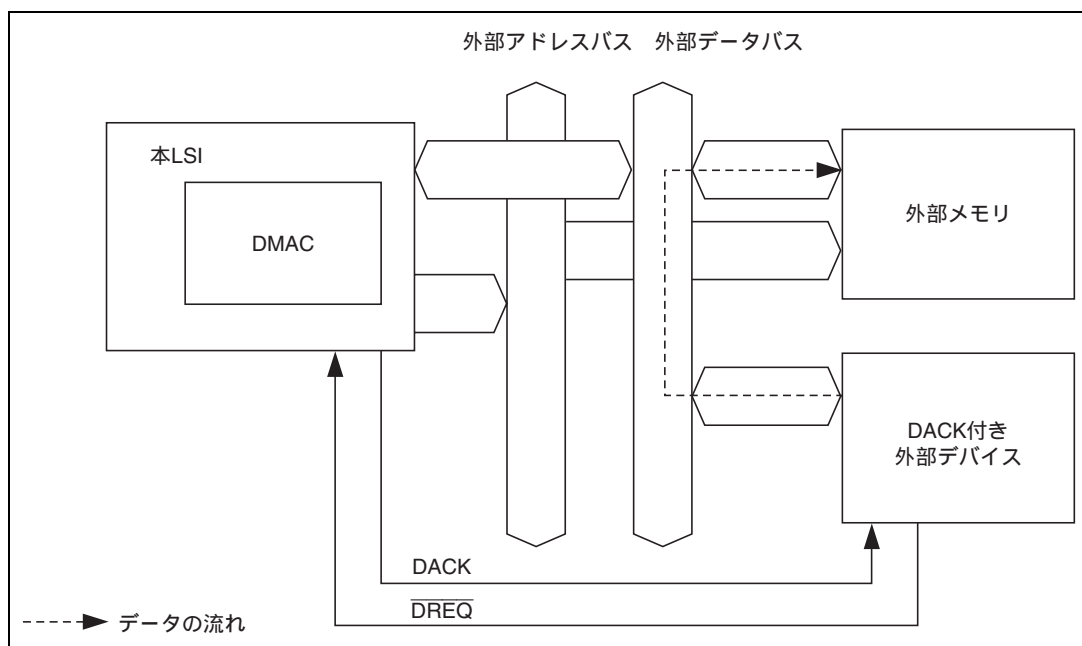


図 9.3 シングルアドレスモードでのデータの流れ

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

シングルアドレスモードで可能な転送は、(1) DACK付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト ( $\overline{\text{DREQ}}$ ) のみです。

図9.4にシングルアドレスモードでのDMA転送タイミングを示します。

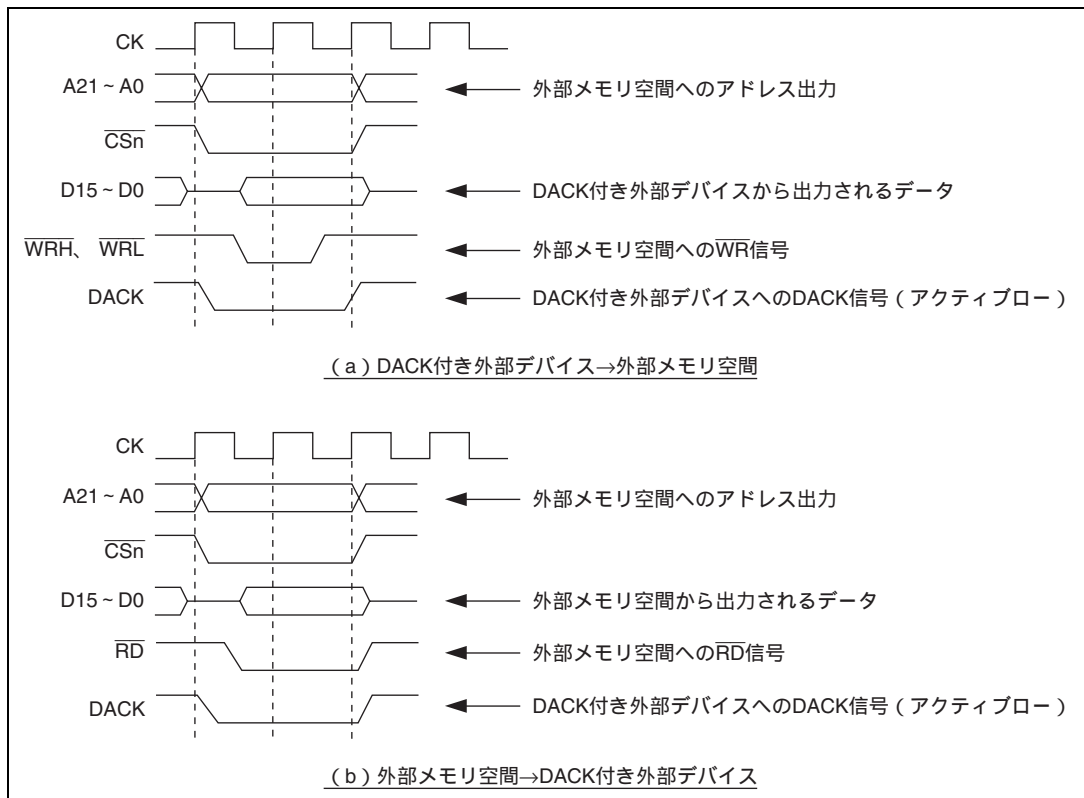


図 9.4 シングルアドレスモードでの DMA 転送タイミング



## (B) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。

- デュアルアドレスモードではデータ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的にDMACに格納されます。図9.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図9.6にこの場合のタイミング例を示します。

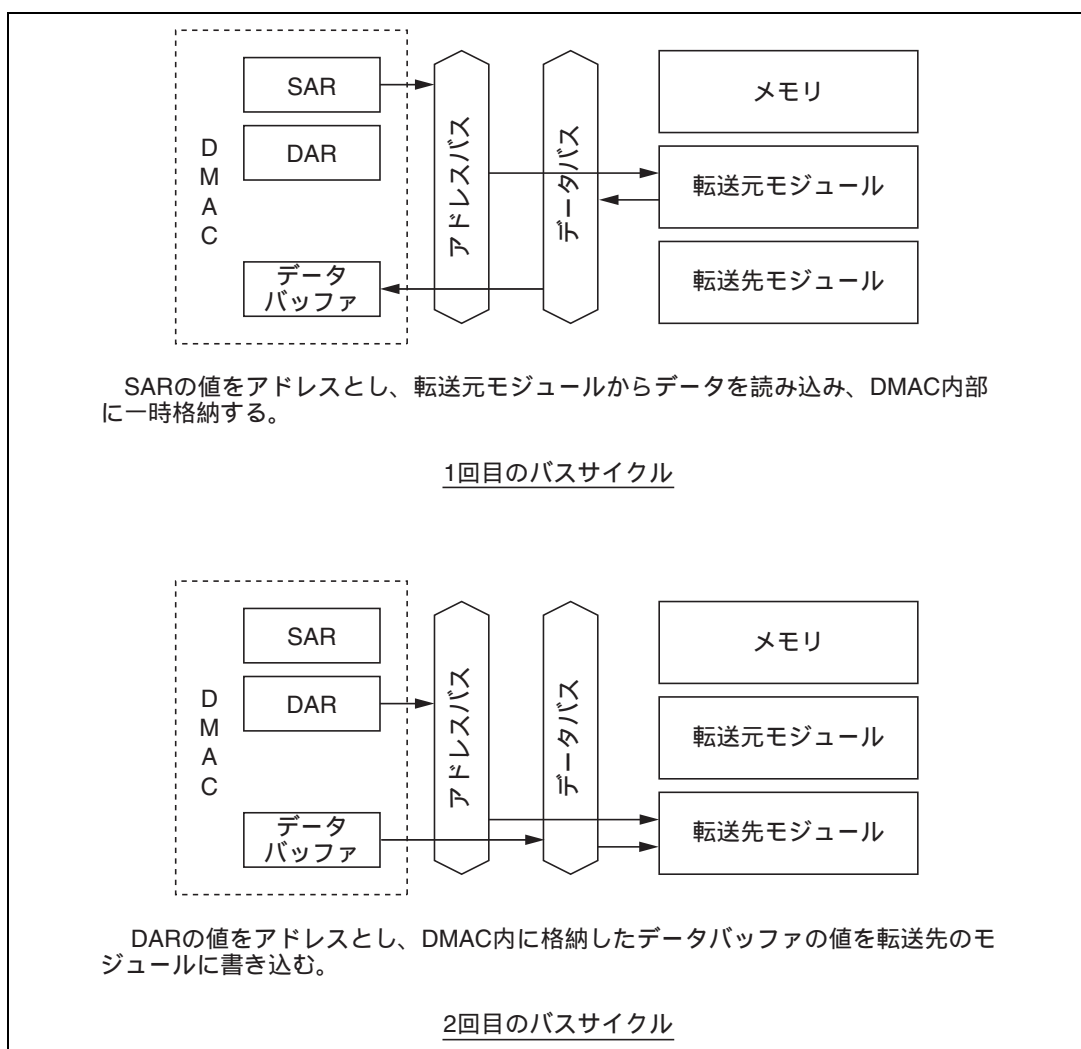


図 9.5 デュアルアドレスモードの動作説明

9. ダイレクトメモリアクセスコントローラ (DMAC)

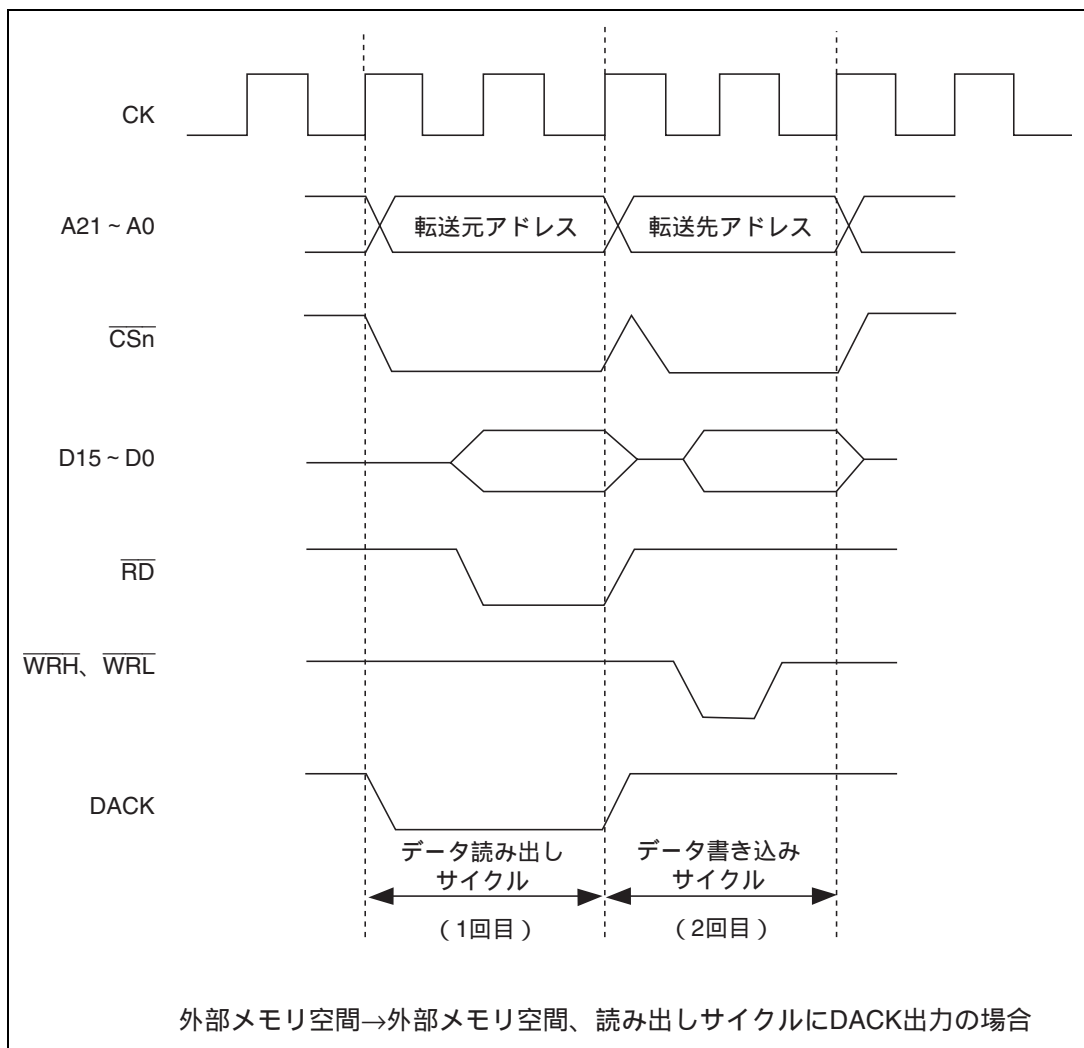


図 9.6 デュアルアドレスモードでのデータの流れ

## (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0、CHCR1 の TM ビットによって行います。

## (A) サイクルスチールモード

サイクルスチールモードでは、DMACは一回の転送単位（8ビット、16ビット、32ビット）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図9.7にサイクルスチールモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- $\overline{\text{DREQ}}$  レベル検出

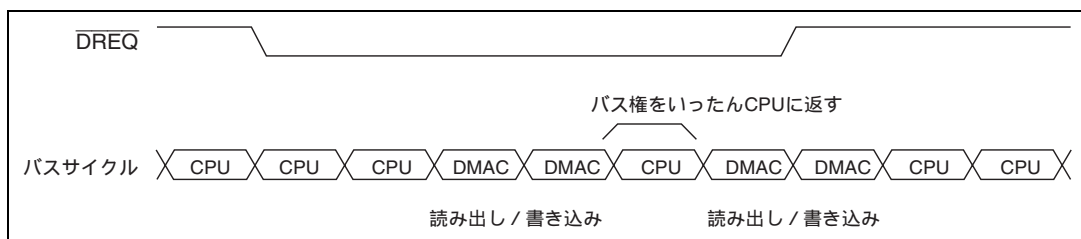


図 9.7 サイクルスチールモードでの DMA 転送例

## (B) バーストモード

バーストモードではDMACは一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、 $\overline{\text{DREQ}}$ をローレベルで検出する場合には、 $\overline{\text{DREQ}}$ がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けたDMAC転送要求を終了後に他のバスマスタにバス権を渡します。

図9.8にバーストモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$  レベル検出

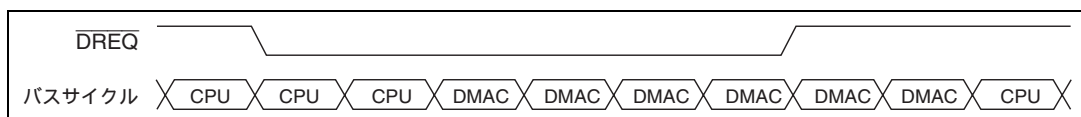


図 9.8 バーストモードでの DMA 転送例

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

### (3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.6 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 9.6 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32	0、1
デュアル	外部メモリと外部メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	外部メモリとメモリマップト外部デバイス	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	外部メモリと内蔵メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	外部メモリと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32 <sup>*4</sup>	0、1
	メモリマップト外部デバイスと内蔵メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32 <sup>*4</sup>	0、1
	内蔵メモリと内蔵メモリ	すべて可 <sup>*1</sup>	B/C	8/16/32	0、1
	内蔵メモリと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32 <sup>*4</sup>	0、1 <sup>*1</sup>
内蔵周辺モジュールと内蔵周辺モジュール	すべて可 <sup>*2</sup>	B/C <sup>*3</sup>	8/16/32 <sup>*4</sup>	0、1	

#### 【記号説明】

B：バースト

C：サイクルスチール

- 【注】 \*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI と A/D 変換器を転送要求元に指定するのは不可。
- \*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元も SCI または A/D 変換器の場合には、転送元または転送先がそれぞれ SCI か A/D 変換器である必要があります。
- \*3 転送要求元が SCI の場合にはサイクルスチールのみ。
- \*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

### (4) バスモードとチャンネルの優先順位

たとえばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 の設定がサイクルスチールでもバーストモードでもチャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。

### 9.3.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリング タイミング

#### (1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 8 章 バスステートコントローラ (BSC)」を参照してください。

#### (2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミングと DRAK 信号

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$  端子は立ち下がりエッジまたはローレベル検出でサンプリングされ、 $\overline{\text{DREQ}}$  入力が発見されると、最も早い場合で 3 ステート後に DMAC のバスサイクルが発生し、DMA 転送が行われます。ただしバーストモードでシングルアドレス動作を指定している場合には、最初にダミーサイクルが 1 バスサイクル分挿入されます。この場合実際のデータ転送は、2 バスサイクル目からになります。2 バスサイクル目以後は連続してデータ転送が行われます。ダミーサイクルは転送回数にはカウントされませんので、DMATCR を設定する際に、ダミーサイクルを意識する必要はありません。

2 回目以後の  $\overline{\text{DREQ}}$  サンプリングは、その 1 回前のサンプリングによって発生する DMAC 転送の、1 バスサイクル前の転送が始まることから開始されます。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$  検出方法によらず、 $\overline{\text{DREQ}}$  1 回のサンプリングにつき 1 回、1 サイクルのみ出力されます。バーストモード、エッジ検出の場合は、 $\overline{\text{DREQ}}$  のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

したがって、DRAK 信号により  $\overline{\text{DREQ}}$  信号のネゲートタイミングを知ることができ、転送要求元と DMAC とのハンドシェイクを容易にとることが可能です。

#### (3) 動作説明

##### (A) サイクルスチールモード

サイクルスチールモードの場合、 $\overline{\text{DREQ}}$  サンプリングタイミングは、デュアルアドレスモードでもシングルアドレスモードでも、また  $\overline{\text{DREQ}}$  検出方法がレベルでもエッジでも同じです。たとえば、図 9.9 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 3 サイクル後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所、すなわち CPU (3) の転送が始まる場所から開始されます。このとき  $\overline{\text{DREQ}}$  が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 9.10 のように、CPU の転送サイクルが何サイクルであっても、DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から次のサンプリングは開始されます。

図 9.9 は DACK を読み出し時に出力、図 9.10 は DACK を書き込み時に出力する例です。

図 9.11、図 9.12 はサイクルスチールモードのシングルアドレスの場合です。この場合も 1 回目の  $\overline{\text{DREQ}}$  サンプリングから、最も早い場合で 3 サイクル後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送の開始される 1 バスサイクル前の転送が始まる場所から開始されます。シングルアドレスモードでは、DACK 信号は DMAC の転送期間中出力されます。

##### (B) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合の  $\overline{\text{DREQ}}$  サンプリングタイミングを図 9.13、図 9.14 に示します。

バーストモード、デュアルアドレス、レベル検出の場合、 $\overline{\text{DREQ}}$  サンプリングタイミングはサイクルスチールモードとほぼ同じです。

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

---

たとえば図9.13の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にDMACの転送が始まります。2回目のサンプリングも、1回目のDMAC転送の開始される1バスサイクル前の転送が始まることから開始されます。バーストモードの場合、転送要求があるかぎりDMAC転送が連続で行われるので、“DMAC転送の開始される1バスサイクル前の転送”がDMACの転送の場合があります。

バーストモードでもDACKの出力期間は、サイクルスチールモードの場合と同じです。

### (C) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の $\overline{\text{DREQ}}$ サンプリングタイミングを図9.15、図9.16に示します。

バーストモード、シングルアドレス、レベル検出の場合、1回目のサンプリングが行われたタイミングから、最も早い場合で3サイクル後にダミーサイクルが1バスサイクル出力されます。この期間のデータは不定であり、DACKも出力されません。また、DMACの転送回数にもカウントされません。ダミーサイクルが1バスサイクル出力された後、実際のDMAC転送が開始されます。

2回目のサンプリングが始まる、“1回目のDMAC転送の開始される1バスサイクル前の転送”にもダミーサイクルはカウントしません。したがって2回目のサンプリングは、ダミーサイクルの始まるバスサイクルから行われるのではなく、CPU (3) のバスサイクルから開始されます。

その後 $\overline{\text{DREQ}}$ が連続でサンプリングされている限り、ダミーサイクルが挿入されることはありません。この間の $\overline{\text{DREQ}}$ サンプリングタイミングは、サイクルスチールモード同様DMAC転送の開始される1バスサイクル前の転送が始まることから開始されます。

図9.15の4回目のサンプリングのように、いったんDMAC転送がとぎれた場合、再びDMAC転送の最初にダミーサイクルが挿入されます。

DACKの出力期間は、サイクルスチールモードの場合と同じです。

### (D) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の1回しか行いません。

たとえば図9.17の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にDMACの転送が始まります。その後DMATCRに設定した回数データ転送が終了するまで、DMAC転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。

したがってDRAKも最初の1回出力されるだけで、以後は出力されません。

NMIやアドレスエラーが発生して停止した後DMAC転送を再開したい場合は、再びエッジ要求を入力してください。DRAKを1回出力した後、残りの転送を再開します。

バーストモードでもDACKの出力期間は、サイクルスチールモードの場合と同じです。

### (E) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$ のサンプリングは最初の1回しか行いません。

たとえば図9.18の場合、1回目のサンプリングが行われたタイミングから最も早い場合で3サイクル後にダミーサイクルが1バスサイクル出力されます。この期間のデータは不定であり、DACKも出力されません。またDMACの転送回数にもカウントされません。ダミーサイクルが1バスサイクル出力された後、実際のDMAC転送が開始されます。その後DMATCRに設定した回数データ転送が終了するまで、DMAC転送が連続で実行されます。この間 $\overline{\text{DREQ}}$ のサンプリングは行われません。したがってDRAKも最初の1回出力されるだけで、以後は出力されません。

NMIやアドレスエラーが発生して停止した後DMAC転送を再開したい場合は、再びエッジ要求を入力してください。DRAKを1回出力し、ダミーサイクルを1バスサイクル出力した後、

残りの転送を再開します。

バーストモードでもDACKの出力期間は、サイクルスチールモードの場合と同じです。

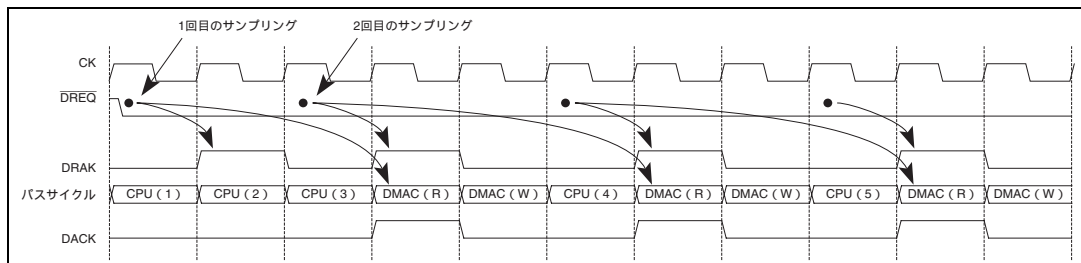


図 9.9 サイクルスチール、デュアル、レベル (最高速動作)

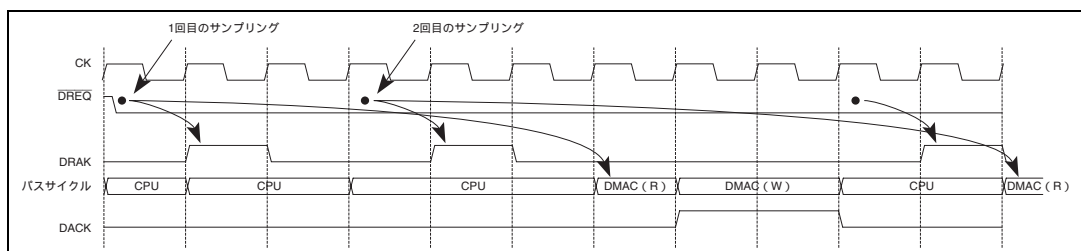


図 9.10 サイクルスチール、デュアル、レベル (通常動作)

【注】 サイクルスチール、デュアル動作では、 $\overline{\text{DREQ}}$  検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

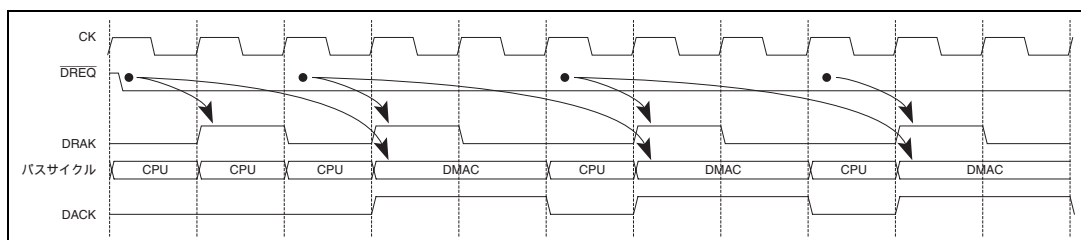


図 9.11 サイクルスチール、シングル、レベル (最高速動作)

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

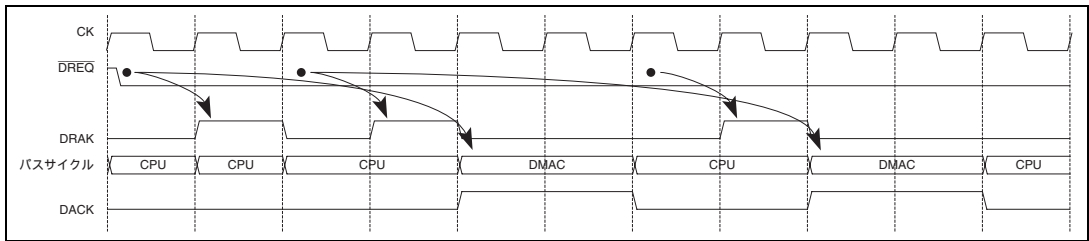


図 9.12 サイクルスチール、シングル、レベル (通常動作)

【注】 サイクルスチール、シングル動作では、 $\overline{\text{DREQ}}$  検出方法がレベルでもエッジでもサンプリングタイミングは同じです。

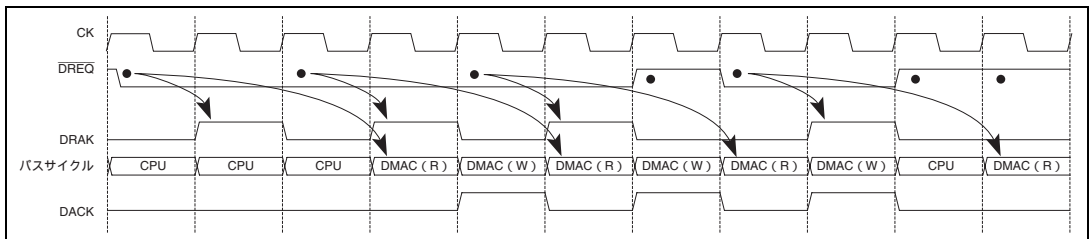


図 9.13 バースト、デュアル、レベル (最高速動作)

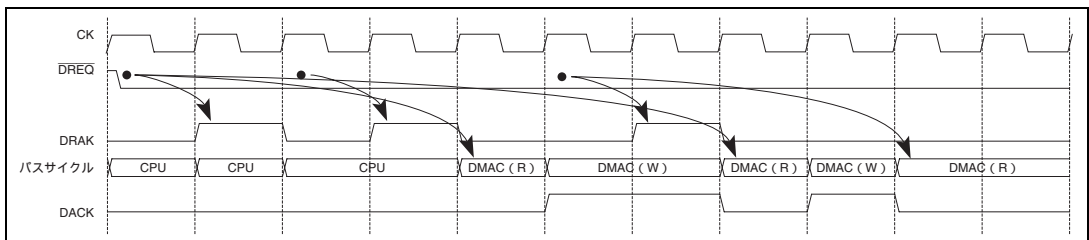


図 9.14 バースト、デュアル、レベル (通常動作)

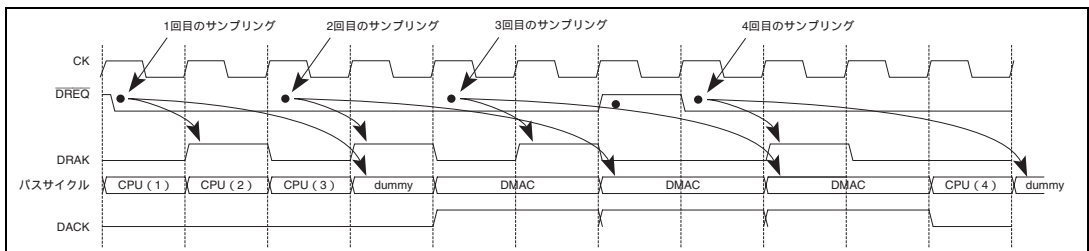


図 9.15 バースト、シングル、レベル (最高速動作)



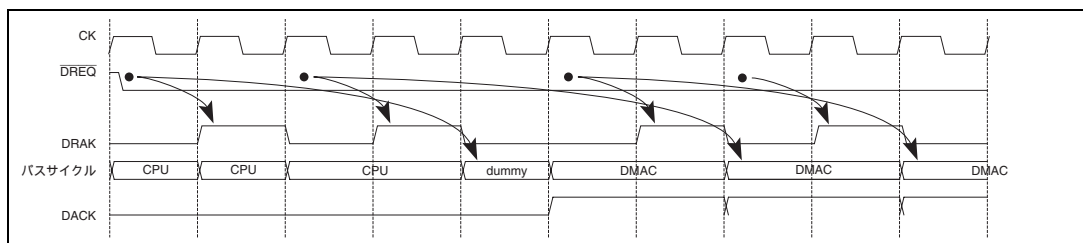


図 9.16 バースト、シングル、レベル (通常動作)

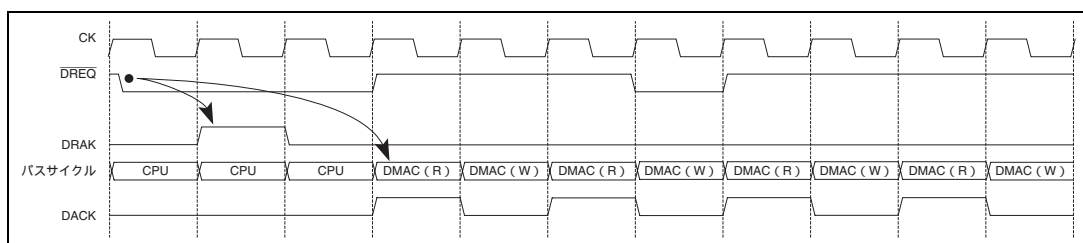


図 9.17 バースト、デュアル、エッジ

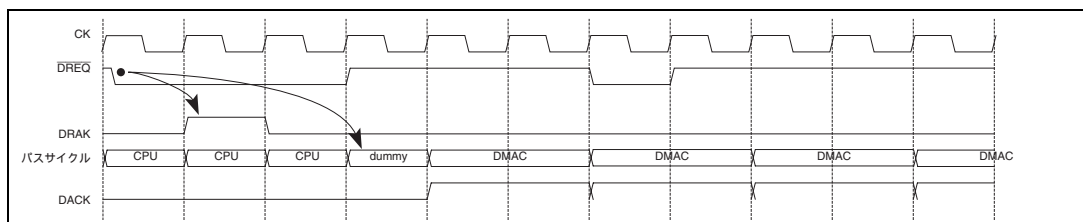


図 9.18 バースト、シングル、エッジ

### 9.3.6 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

#### (1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になる。
- DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。

##### (A) DMATCR=0による転送終了

DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPUにDMAC割り込み (DEI) が要求されます。

##### (B) CHCRのDE=0による転送終了

CHCRのDMAイネーブルビット (DE) をクリアすると、対応するチャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

## 9. ダイレクトメモリアクセスコントローラ (DMAC)

---

### (2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる。
- DMAOR の DMA マスタイネーブルビット (DME) を 0 にクリアする。

#### (A) DMAORのNMIF=1またはAE=1による転送終了

NMI割り込みまたはDMACによるアドレスエラーが発生して、DMAORのNMIFビットまたはAEビットが1になると、すべてのチャンネルのDMA転送が中断されます。DMACがバス権を獲得し、転送を実行している間にこれらのフラグが1にセットされた場合DMACは実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中にNMIFビットまたはAEビットが1になっても、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウンタレジスタ (DMATCR) の値は更新されません。この場合はTEビットはセットされません。NMI割り込み、アドレスエラー処理終了後に転送を再開するためには、NMIFまたはAEフラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応するCHCRのDEビットをクリアしてください。

転送の中断は、1転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、またはNMIフラグがセットされても、続く書き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCRの値更新は行われません。

#### (B) DMAORのDME=0による転送終了

DMAORのDMEビットを0にクリアすると、全チャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

### 9.3.7 CPU からの DMAC アクセス

DMAC がアドレッシングされている空間は 3 サイクル空間です。したがって CPU がバスマスタとなって DMAC をアクセスする場合の 1 バスサイクルは、最低基本クロック (CLK) 3 サイクルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワードサイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル=6 基本クロックを必要とします。なお、この分割された 2 回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これは読み出しアクセスの場合も書き込みアクセスの場合も同じです。

## 9.4 使用例

### 9.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル 0 (SCI0) の受信データを、DMAC のチャンネル 1 を使って外部メモリに転送する例を考えます。

表 9.7 に転送条件と、各レジスタの設定値を示します。

表 9.7 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR1	H'FFFF81A5
転送先：外部メモリ	DAR1	H'00400000
転送回数：64 回	DMATCR1	H'00000040
転送元アドレス：固定	CHCR1	H'00004D05
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
チャンネル優先順位：0 > 1		

### 9.4.2 外部 RAM と DACK 付き外部デバイスとの DMA 転送例

外部リクエスト、シングルアドレスモードで、転送元が外部メモリ、転送先が DACK 付き外部デバイスの場合の転送を、DMAC のチャンネル 1 を使用して実行する例を示します。

表 9.8 に転送条件と、各レジスタの設定値を示します。

表 9.8 外部 RAM と DACK 付き外部デバイス間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部 RAM	SAR1	H'00400000
転送先：DACK 付き外部デバイス	DAR1	(DACK によりアクセス)
転送回数：32 回	DMATCR1	H'00000020
転送元アドレス：減少	CHCR1	H'00002269
転送先アドレス：(設定無効)		
転送要求元：外部端子 (DREQ1) エッジ検出		
バスモード：バースト		
転送単位：ワード		
転送終了時に割り込み要求なし		
チャンネル優先順位：0 > 1		

### 9.5 使用上の注意

- (1) DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0、CHCR1のRS0 ~ RS3ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされません。
- (4) スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうちDMAC、BSCをDMACによりアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCR、DMAORの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウントが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) 外部リクエストを立ち下がりエッジで検出する場合、DMACの設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (9) シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内部アドレスを設定すると、正常に動作しない場合があります。
- (10) DMACで未使用である、H'FFFF86B2 ~ H'FFFF86BFとH'FFFF86E4 ~ H'FFFF86FFの空間はアクセスしないでください。誤動作する場合があります。

---

## 10. マルチファンクションタイマパルスユニット (MTU)

---

### 10.1 概要

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット (MTU) を内蔵しています。

#### 10.1.1 特長

- 最大 8 本のパルス入出力が可能です。
- チャンネル 0 は 4 本、チャンネル 1、2 は各 2 本、合計 8 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタは独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能です。また、チャンネル 0 の TGRC、TGRD レジスタは、バッファレジスタとして使用できます。
- 各チャンネルとも 8 種類のカウント入力クロックが選択可能です。
- 各チャンネルともに次の動作を設定可能です。
  - コンペアマッチによる波形出力：0 出力、1 出力、トグル出力が選択可能
  - インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
  - カウンタクリア動作：コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
  - 同期動作：複数のタイマカウンタ (TCNT) への同時書き込みが可能  
コンペアマッチ/インプットキャプチャによる同時クリアが可能  
カウンタの同期動作による各レジスタの同期入出力が可能
  - PWM モード：任意デューティの PWM 出力が可能  
同期動作と組み合わせることにより、最大 7 相\*の PWM 出力が可能
- チャンネル 0 はバッファ動作を設定可能
  - インプットキャプチャレジスタのダブルバッファ構成が可能
  - アウトプットコンペアレジスタの自動書き換えが可能
- チャンネル 1、2 はおのおの独立に位相計数モードを設定可能
  - 2 相エンコーダパルスのアップダウンカウントが可能
- カスケード接続動作
  - チャンネル 2 の入力クロックを、チャンネル 1 のオーバフロー/アンダフローにすることにより 32 ビットカウンタとして動作

【注】\* チャンネル 0~2 を PWM モード 2、チャンネル 0 の TGR0A を周期レジスタとしてチャンネル 0~2 を同期化した場合 (チャンネル 0~2 はおのおの 3、2、2 相出力)

## 10. マルチファンクションタイムパルスユニット (MTU)

---

- 内部 16 ビットバスによる高速アクセス
  - 16 ビットバスインタフェースによる高速アクセスが可能
- 13 種類の割り込み要因
  - チャンネル 0 はコンペアマッチ/インプットキャプチャ兼用割り込み×4 本、オーバフロー割り込み×1 本が独立に要求可能
  - チャンネル 1、2 はコンペアマッチ/インプットキャプチャ兼用割り込み×2 本、オーバフロー割り込み×1 本、アンダフロー割り込み×1 本が独立に要求可能
- レジスタのデータの自動転送が可能
  - DMAC の起動により、ブロック転送、1 ワードデータ転送および 1 バイトデータ転送が可能
- A/D 変換器の変換スタートトリガを生成可能
  - チャンネル 0~2 のコンペアマッチ/インプットキャプチャ信号を A/D 変換器の変換スタートトリガとして使用可能

10. マルチファンクションタイマパルスユニット (MTU)

MTU の機能一覧を表 10.1 に示します。

表 10.1 MTU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	内部クロック : $\phi/1$ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ 、 $\phi/256$ 、 $\phi/1024$ 外部クロック : TCLKA、TCLKB、TCLKC、TCLKD から各チャンネルごとに 8 種		
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B
ジェネラルレジスタ / バッファレジスタ	TGR0C TGR0D		
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B
カウンタクリア機能	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ	TGR の コンペアマッチまたは インプットキャプチャ
コンペア マッチ 出力	0 出力		
	1 出力		
	トグル出力		
インプットキャプチャ 機能			
同期動作			
バッファ動作			
PWM モード 1			
PWM モード 2			
位相計数モード			
DMAC の起動	TGR0A の コンペアマッチまたは インプットキャプチャ	TGR1A の コンペアマッチまたは インプットキャプチャ	TGR2A の コンペアマッチまたは インプットキャプチャ
A/D 変換開始トリガ	TGR0A の コンペアマッチまたは インプットキャプチャ	TGR1A の コンペアマッチまたは インプットキャプチャ	TGR2A の コンペアマッチまたは インプットキャプチャ
割り込み要因 5 要因	5 要因 コンペアマッチ / インプットキャプチャ 0A コンペアマッチ / インプットキャプチャ 0B コンペアマッチ / インプットキャプチャ 0C コンペアマッチ / インプットキャプチャ 0D オーバーフロー	4 要因 コンペアマッチ / インプットキャプチャ 1A コンペアマッチ / インプットキャプチャ 1B  オーバーフロー / アンダフロー	4 要因 コンペアマッチ / インプットキャプチャ 2A コンペアマッチ / インプットキャプチャ 2B  オーバーフロー / アンダフロー

## 10. マルチファンクションタイマパルスユニット (MTU)

### 10.1.2 ブロック図

MTUのブロック図を図10.1に示します。

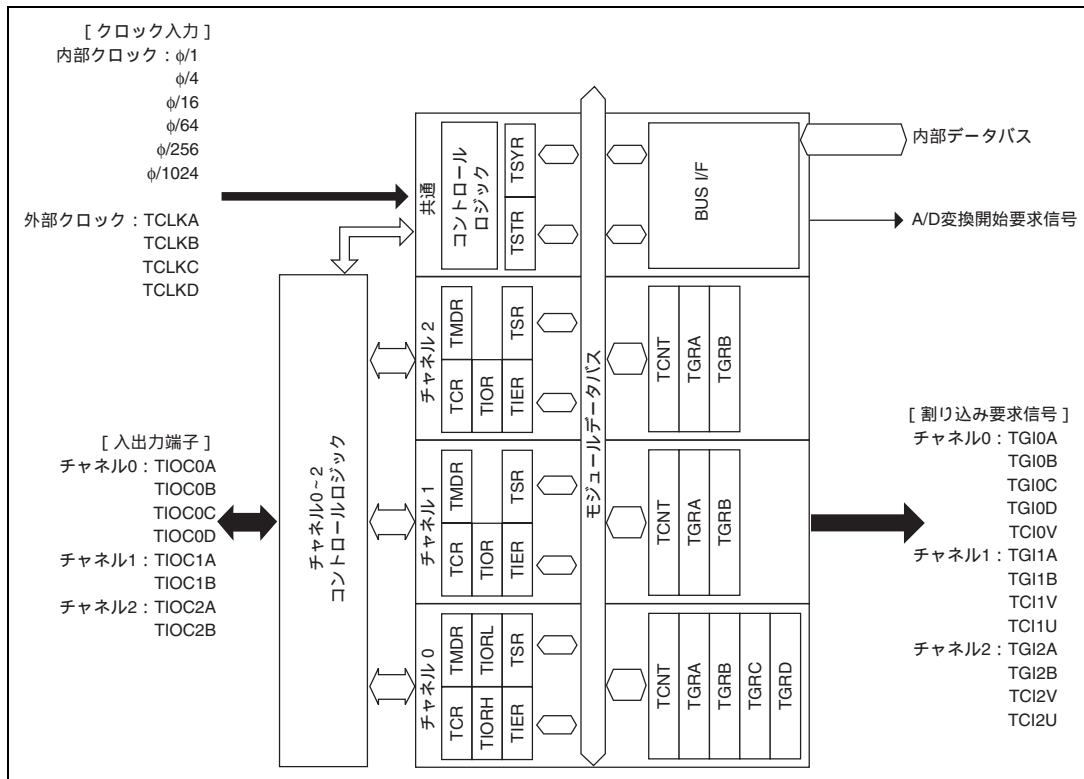


図 10.1 MTUのブロック図



## 10.1.3 端子構成

MTU の端子構成を表 10.2 に示します。

表 10.2 端子構成

チャンネル	名称	信号名	入出力	機能
共通	クロック入力 A	TCLKA	入力	クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	インプットキャプチャ/ アウトコンペアマッチ 0A	TIOC0A	入出力	TGR0A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ 0B	TIOC0B	入出力	TGR0B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ 0C	TIOC0C	入出力	TGR0C のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ 0D	TIOC0D	入出力	TGR0D のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ/ アウトコンペアマッチ 1A	TIOC1A	入出力	TGR1A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ 1B	TIOC1B	入出力	TGR1B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ/ アウトコンペアマッチ 2A	TIOC2A	入出力	TGR2A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ 2B	TIOC2B	入出力	TGR2B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子

【注】 TIOC 端子をインプットキャプチャに設定して、かつピンファンクションコントローラ (PFC) でタイマ出力に設定すると不定値が出力されます。

## 10. マルチファンクションタイマパルスユニット (MTU)

### 10.1.4 レジスタ構成

MTU のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット) <sup>*1</sup>
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFF8240	8、16、32
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFF8241	8、16、32
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFFF8260	8、16、32
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFFF8261	8、16、32
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFFF8262	8、16、32
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFFF8263	8、16、32
	タイマインタラプトイネーブル レジスタ 0	TIER0	R/W	H'40	H'FFFF8264	8、16、32
	タイマステータスレジスタ 0	TSR0	R/(W) <sup>*2</sup>	H'C0	H'FFFF8265	8、16、32
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFFF8266	16、32
	ジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFFF8268	16、32
	ジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFFF826A	16、32
	ジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFFF826C	16、32
	ジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFFF826E	16、32
	1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFFF8280
タイマモードレジスタ 1		TMDR1	R/W	H'C0	H'FFFF8281	8、16、32
タイマ I/O コントロールレジスタ 1		TIOR1	R/W	H'00	H'FFFF8282	8、16、32
タイマインタラプトイネーブル レジスタ 1		TIER1	R/W	H'40	H'FFFF8284	8、16、32
タイマステータスレジスタ 1		TSR1	R/(W) <sup>*2</sup>	H'C0	H'FFFF8285	8、16、32
タイマカウンタ 1		TCNT1	R/W	H'0000	H'FFFF8286	16、32
ジェネラルレジスタ 1A		TGR1A	R/W	H'FFFF	H'FFFF8288	16、32
ジェネラルレジスタ 1B		TGR1B	R/W	H'FFFF	H'FFFF828A	16、32
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFFF82A0	8、16、32
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFFF82A1	8、16、32
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFFF82A2	8、16、32
	タイマインタラプトイネーブル レジスタ 2	TIER2	R/W	H'40	H'FFFF82A4	8、16、32
	タイマステータスレジスタ 2	TSR2	R/(W) <sup>*2</sup>	H'C0	H'FFFF82A5	8、16、32
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFFF82A6	16、32
	ジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFFF82A8	16、32
	ジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFF82AA	16、32

【注】 空きアドレスは、アクセスしないでください。

\*1 16ビットレジスタ (TCNT、TGR) は8ビット単位の R/W はできません。

\*2 フラグをクリアするための 0 書き込みのみ可能です。

## 10.2 レジスタの説明

### 10.2.1 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は各チャンネルの TCNT カウンタを制御するレジスタです。MTU には、チャンネル 0~2 に各 1 本、計 3 本の TCR レジスタがあります。TCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

チャンネル 0 : TCR0

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1, 2 : TCR1, TCR2

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~5 : カウンタクリア 2~0 (CCLR2~CCLR0)

TCNT カウンタのカウンタクリア要因を選択します。

チャンネル 0

ビット 7	ビット 6	ビット 5	説明
CCLR2	CCLR1	CCLR0	
0	0	0	TCNT のクリア禁止 (初期値)
		1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
1	0	0	TCNT のクリア禁止
		1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT をクリア*2
	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT をクリア*2
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

## 10. マルチファンクションタイマパルスユニット (MTU)

### チャンネル 1、2

ビット7 予約*2	ビット6 CCLR1	ビット5 CCLR0	説明
0	0	0	TCNT のクリア禁止 (初期値)
		1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
		1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 チャンネル 1、2 ではビット 7 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット 4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例 : 4/φ の両エッジ = 2/φ の立ち上がりエッジ) チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4 CKEG1	ビット3 CKEG0	説明
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	X	両エッジでカウント

【注】 1. X : 0 または 1、don't care を表します。

2. 内部クロックのエッジ選択は、入力クロックが φ/4 もしくはそれより遅い場合に有効です。入力クロックに φ/1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合は本設定は無視されます。

### ビット 2~0 : タイマプリスケラ 2~0 (TPSC2~TPSC0)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択する事ができます。各チャンネルごとに設定可能なクロックソース一覧を表 10.4 に示します。

表 10.4 MTU のクロックソース一覧

チャンネル	内部クロック						他のチャンネルの オーバフロー / アンダフロー	外部クロック			
	φ/1	φ/4	φ/16	φ/64	φ/256	φ/1024		TCLKA	TCLKB	TCLKC	TCLKD
0											
1											
2											

【記号説明】

: 設定可能

: 設定不可

## 10. マルチファンクションタイマパルスユニット (MTU)

### チャンネル 0

ビット 2	ビット 1	ビット 0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
		1	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
		1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	外部クロック：TCLKC 端子入力でカウント
		1	外部クロック：TCLKD 端子入力でカウント

### チャンネル 1

ビット 2	ビット 1	ビット 0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
		1	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
		1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	内部クロック： $\phi/256$ でカウント
		1	TCNT2 のオーバフロー / アンダフローでカウント

【注】 チャンネル 1 が位相計測モード時、この設定は無効になります。

### チャンネル 2

ビット 2	ビット 1	ビット 0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
		1	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
		1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA 端子入力でカウント
		1	外部クロック：TCLKB 端子入力でカウント
	1	0	外部クロック：TCLKC 端子入力でカウント
		1	内部クロック： $\phi/1024$ でカウント

【注】 チャンネル 2 が位相計測モード時、この設定は無効になります。

## 10.2.2 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は各チャンネルの動作モードの設定を行います。MTU には、各チャンネル 1 本、計 3 本の TMDR レジスタがあります。TMDR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'CO に初期化されます。

チャンネル 0 : TMDR0

ビット:	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TMDR1、TMDR2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット 7、6 : 予約ビット

予約ビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 5 : バッファ動作 B (BFB)

TGRB レジスタを通常動作させるか TGRB レジスタと TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ / アウトプットコンペアは発生しません。

TGRD レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5	説明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

## 10. マルチファンクションタイマパルスユニット (MTU)

### ビット4：バッファ動作 (BFA)

TGRA レジスタを通常動作させるか TGRA レジスタと TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

### ビット3~0：モード3~0 (MD3~MD0)

MD3~0 はタイマの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	予約 (設定しないでください)
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計測モード 1*
			1	位相計測モード 2*
		1	0	位相計測モード 3*
			1	位相計測モード 4*
1	0	0	0	予約 (設定しないでください)
			1	予約 (設定しないでください)
		1	0	予約 (設定しないでください)
			1	予約 (設定しないでください)
	1	0	0	予約 (設定しないでください)
			1	予約 (設定しないでください)
		1	0	予約 (設定しないでください)
			1	予約 (設定しないでください)

【注】 \* チャンネル 0 では、位相計測モードの設定はできません。

### 10.2.3 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は TGR を制御するレジスタです。MTU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR レジスタがあります。TIOR レジスタはパワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

チャンネル 0 : TIOR0H

チャンネル 1、2 : TIOR1、TIOR2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 : I/O コントロール B3~B0 (IOB3~IOB0)

IOB3~IOB0 は TGRB レジスタの機能を設定します。

ビット 3~0 : I/O コントロール A3~A0 (IOA3~IOA0)

IOA3~IOA0 は TGRA レジスタの機能を設定します。

チャンネル 0 : TIOR0L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいは TGRD レジスタをパッファ動作に設定した場合は、本設定は無効となり、パッファレジスタとして動作します。

ビット 7~4 : I/O コントロール D3~D0 (IOD3~IOD0)

IOD3~IOD0 は TGRD レジスタの機能を設定します。

ビット 3~0 : I/O コントロール C3~C0 (IOC3~IOC0)

IOC3~IOC0 は TGRC レジスタの機能を設定します。



10. マルチファンクションタイムパルスユニット (MTU)

チャンネル0 (TIOR0H レジスタ)

ビット7~4 : I/O コントロール B3~B0 (IOB3~IOB0)

IOB3~IOB0 は TGR0B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	説明			
IOB3	IOB2	IOB1	IOB0				
0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力		
	1	0	0		0	出力禁止	
					1	初期出力は 1 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力		
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC0B 端子	立ち上がりエッジでインプット キャプチャ	
			1			立ち下がりエッジでインプット キャプチャ	
		1	0		両エッジでインプットキャプ チャ		
			1				
	1	0	0	0	キャプチャ入力元 はチャンネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
				1			
		1	0				
			1				

## 10. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール A3~A0 (IOA3~IOA0)

IOA3~IOA0 は TGR0A レジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	説 明		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は 0 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は 1 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC0A 端子	立ち上がりエッジでインプット キャプチャ
			1			立ち下がりエッジでインプット キャプチャ
		1	0			両エッジでインプットキャプ チャ
			1			
	1	0	0		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ
			1			
		1	0			
			1			

## 10. マルチファンクションタイマパルスユニット (MTU)

チャンネル0 (TIOR0L レジスタ)

ビット7~4 : I/O コントロール D3~D0 (IOD3~IOD0)

IOD3~IOD0 は TGR0D レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	説明			
IOD3	IOD2	IOD1	IOD0				
0	0	0	0	TGR0D は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力		
	1	0	0		0	出力禁止	
					1	初期出力は 1 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力		
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR0D は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC0D 端子	立ち上がりエッジでインプット キャプチャ	
			1			立ち下がりエッジでインプット キャプチャ	
		1	0		両エッジでインプットキャプ チャ		
			1		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
	1	0	0	0			
				1			
		1	0	0			
				1			

【注】 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

## 10. マルチファンクションタイマパルスユニット (MTU)

ビット 3~0 : I/O コントロール C3~C0 (IOC3~IOC0)

IOC3~IOC0 は TGR0C レジスタの機能を設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明			
IOC3	IOC2	IOC1	IOC0				
0	0	0	0	TGR0C は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1			コンペアマッチでトグル出力	
	1	0	0		TGR0C は インプット キャプチャ レジスタ	出力禁止	
			1			初期出力は 1 出力	コンペアマッチで 0 出力
		1	0				コンペアマッチで 1 出力
			1				コンペアマッチでトグル出力
1	0	0	0	キャプチャ入力元 は TIOC0C 端子		立ち上がりエッジでインプット キャプチャ	
			1				立ち下がりエッジでインプット キャプチャ
		1	0				両エッジでインプットキャプ チャ
			1				
	1	0	0		キャプチャ入力元 はチャンネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
			1				
		1	0				
			1				

【注】 TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

## 10. マルチファンクションタイムパルスユニット (MTU)

チャンネル 1 (TIOR1 レジスタ)

ビット 7~4 : I/O コントロール B3~B0 (IOB3~IOB0)

IOB3~IOB0 は TGR1B レジスタの機能を設定します。

ビット 7	ビット 6	ビット 5	ビット 4	説 明			
IOB3	IOB2	IOB1	IOB0				
0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1			コンペアマッチでトグル出力	
	1	0	0			出力禁止	
			1		初期出力は 1 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1			コンペアマッチでトグル出力	
1	0	0	0	TGR1B は インプット キャプチャ レジスタ		キャプチャ入力元 は TIOC1B 端子	立ち上がりエッジでインプット キャプチャ
			1		立ち下がりエッジでインプット キャプチャ		
		1	0		両エッジでインプットキャプ チャ		
			1				
	1	0	0		キャプチャ入力元 は TGR0C コンペ アマッチ/インプ ットキャプチャ	チャンネル 0/TGR0C のコンペア マッチ/インプットキャプチャ の発生でインプットキャプチャ	
			1				
		1	0				
			1				

## 10. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール A3~A0 (IOA3~IOA0)

IOA3~IOA0 は TGR1A レジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	説 明			
IOA3	IOA2	IOA1	IOA0				
0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1			コンペアマッチでトグル出力	
	1	0	0		0	出力禁止	
					1	初期出力は 1 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力		
			1		コンペアマッチでトグル出力		
1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC1A 端子	立ち上がりエッジでインプット キャプチャ	
			1			立ち下がりエッジでインプット キャプチャ	
		1	0			両エッジでインプットキャプ チャ	
			1				
	1	0	0		0	キャプチャ入力元 は TGR0A コンペ アマッチ/インプ ットキャプチャ	チャンネル 0/TGR0A のコンペア マッチ/インプットキャプチャ の発生でインプットキャプチャ
					1		
		1	0				
			1				

10. マルチファンクションタイムパルスユニット (MTU)

チャンネル2 (TIOR2 レジスタ)

ビット7~4 : I/O コントロール B3~B0 (IOB3~IOB0)

IOB3~IOB0 は TGR2B レジスタの機能を設定します。

ビット7	ビット6	ビット5	ビット4	説明		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は 0 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は 1 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOC2B 端子	立ち上がりエッジでインプット キャプチャ
			1			立ち下がりエッジでインプット キャプチャ
		1	0			両エッジでインプットキャプ チャ
			1			立ち上がりエッジでインプット キャプチャ
	1	0	0			立ち下がりエッジでインプット キャプチャ
			1			両エッジでインプットキャプ チャ
		1	0			
			1			

## 10. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール A3~A0 (IOA3~IOA0)

IOA3~IOA0 は TGR2A レジスタの機能を設定します。

ビット3	ビット2	ビット1	ビット0	説明			
IOA3	IOA2	IOA1	IOA0				
0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
			1		初期出力は 0 出力	コンペアマッチで 0 出力	
		1	0			コンペアマッチで 1 出力	
			1			コンペアマッチでトグル出力	
	1	0	0		TGR2A は インプット キャプチャ レジスタ	出力禁止	
			1			初期出力は 1 出力	コンペアマッチで 0 出力
		1	0				コンペアマッチで 1 出力
			1				コンペアマッチでトグル出力
1	0	0	0	キャプチャ入力元 は TIOC2A 端子		立ち上がりエッジでインプット キャプチャ	
			1				立ち下がりエッジでインプット キャプチャ
		1	0			両エッジでインプットキャプ チャ	
			1				
	1	0	0		キャプチャ入力元 は TIOC2A 端子	立ち上がりエッジでインプット キャプチャ	
			1				立ち下がりエッジでインプット キャプチャ
		1	0			両エッジでインプットキャプ チャ	
			1				



### 10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトイネーブルレジスタ (TIER) は、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 3 本の TIER レジスタがあります。TIER レジスタは、8 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'40 に初期化されます。

チャンネル 0 : TIER0

ビット:	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TIER1、TIER2

ビット:	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R/W	R/W

ビット 7 : A/D 変換開始要求イネーブル (TTGE)

TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D 変換開始要求の発生することを許可または禁止します。

ビット 7	説明
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

ビット 6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

## 10. マルチファンクションタイムパルスユニット (MTU)

---

### ビット 5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2 でタイムステータスレジスタ (TSR) のアンダフローフラグ (TCFU) が 1 にセットされたとき、TCFU による割り込み要求を許可または禁止します。

チャンネル 0 では予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5	説 明
TCIEU	
0	UDF による割り込み要求 (TCFU) を禁止 (初期値)
1	UDF による割り込み要求 (TCFU) を許可

### ビット 4 : オーバフローインタラプトイネーブル (TCIEV)

タイムステータスレジスタ (TSR) のオーバフローフラグ (TCFV) が 1 にセットされたとき、TCFV による割り込み要求を許可または禁止します。

ビット 4	説 明
TCIEV	
0	TCFV による割り込み要求 (TCIV) を禁止 (初期値)
1	TCFV による割り込み要求 (TCIV) を許可

### ビット 3 : TGR インタラプトイネーブル D (TGIED)

チャンネル 0 で TSR レジスタの TGFD ビットが 1 にセットされたとき、TGFD による割り込み要求を許可または禁止します。

チャンネル 1、2 では予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3	説 明
TGIED	
0	TGFD ビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可

### ビット 2 : TGR インタラプトイネーブル C (TGIEC)

チャンネル 0 で TSR レジスタの TGFC ビットが 1 にセットされたとき、TGFC による割り込み要求を許可または禁止します。

チャンネル 1、2 では予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2	説 明
TGIEC	
0	TGFC ビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可

## 10. マルチファンクションタイムパルスユニット (MTU)

---

### ビット1: TGR インタラプトイネーブル B (TGIEB)

TSR レジスタの TGFB ビットが 1 にセットされたとき、TGFB による割り込み要求を許可または禁止します。

ビット1	説明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

### ビット0: TGR インタラプトイネーブル A (TGIEA)

TSR レジスタの TGFA ビットが 1 にセットされたとき、TGFA による割り込み要求を許可または禁止します。

ビット0	説明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

## 10. マルチファンクションタイマパルスユニット (MTU)

### 10.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は各チャンネルのステータスの表示を行います。MTU には、各チャンネル 1 本、計 3 本の TSR レジスタがあります。TSR レジスタは、8 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'CO に初期化されます。

チャンネル 0 : TSR0

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

チャンネル 1、2 : TSR1、TSR2

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

ビット 7 : カウント方向フラグ (TCFD)

チャンネル 1、2 の TCNT カウンタのカウント方向を示すステータスフラグです。

チャンネル 0 では予約ビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 7	説明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

ビット 6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

## 10. マルチファンクションタイムパルスユニット (MTU)

### ビット5：アンダフローフラグ (TCFU)

チャンネル1、2のTCNTカウンタのアンダフローの発生を示すステータスフラグです。

チャンネル0では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5	説明
TCFU	
0	[クリア条件] (初期値) TCFU=1の状態ではTCFUを読み出した後、TCFUに0を書き込んだとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

### ビット4：オーバフローフラグ (TCFV)

TCNTカウンタのオーバフローの発生を示すステータスフラグです。

ビット4	説明
TCFV	
0	[クリア条件] (初期値) TCFV=1の状態ではTCFVを読み出した後、TCFVに0を書き込んだとき
1	[セット条件] TCNTの値がオーバフロー (H'FFFF→H'0000) したとき

### ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0のTGRDレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3	説明
TGFD	
0	[クリア条件] (初期値) TGFD=1の状態ではTGFDを読み出した後、TGFDに0を書き込んだとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

## 10. マルチファンクションタイムパルスユニット (MTU)

### ビット2：インプットキャプチャ/アウトプットコンペアフラグ C (TGFC)

チャンネル0のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) TGFC=1の状態ではTGFCを読み出した後、TGFCに0を書き込んだとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

### ビット1：インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)

TGRBレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
TGFB	
0	[クリア条件] (初期値) TGFB=1の状態ではTGFBを読み出した後、TGFBに0を書き込んだとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

### ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGFAレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFA	
0	[クリア条件] (初期値) TGFA=1の状態ではTGFAを読み出した後、TGFAに0を書き込んだとき*
1	[セット条件] (1) TGFAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGFAになったとき (2) TGFAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGFAに転送されたとき

【注】 \* TGFAによるDMAC転送によってクリアされます。

### 10.2.6 タイマカウンタ (TCNT)

タイマ TCNT カウンタ (TCNT) は 16 ビットのカウンタです。各チャンネルに 1 本、計 3 本の TCNT カウンタがあります。TCNT カウンタは、パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。TCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

チャンネル 0 : TCNT0 (アップカウンタ)

チャンネル 1 : TCNT1 (アップ/ダウンカウンタ\*)

チャンネル 2 : TCNT2 (アップ/ダウンカウンタ\*)

ビット：    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値：    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

R/W：    R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】 \*    位相計数モード、他のチャンネルのオーバフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

### 10.2.7 タイマジェネラルレジスタ (TGR)

タイマジェネラルレジスタ (TGR) は 16 ビットのアウトプットコンペア・インプットキャプチャ兼用のレジスタです。チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA と TGRC、TGRB と TGRD になります。

TGR はパワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット：    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値：    1   1   1   1   1   1   1   1   1   1   1   1   1   1   1   1

R/W：    R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

## 10. マルチファンクションタイマパルスユニット (MTU)

### 10.2.8 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) はチャンネル 0~2 の TCNT カウンタの動作 / 停止を選択します。TSTR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット 2~0 : カウンタスタート 2~0 (CST2~CST0)

タイマカウンタ (TCNT) の動作 / 停止を選択します。ビットとチャンネルの対応は下記のとおりです。

CST2 : チャンネル 2 (TCNT2)

CST1 : チャンネル 1 (TCNT1)

CST0 : チャンネル 0 (TCNT0)

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

【注】 n=2~0

TIOC 端子を出力状態で動作中に、CST ビットに 0 書き込むと、カウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。



### 10.2.9 タイマシンクロレジスタ (TSYR)

タイマシンクロレジスタ (TSYR) はチャンネル 0~2 の TCNT カウンタの独立動作 / 同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。TSYR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットまたはスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

#### ビット 2~0 : タイマ同期 2~0 (SYNC2~SYNC0)

他のチャンネルとの独立動作 / 同期動作を選択します。同期動作を選択すると複数の TCNT の同期プリセットや他チャンネルのカウンタクリアによる同期クリアが可能となります。同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。ビットとチャンネルの対応は下記のとおりです。

SYNC2 : チャンネル 2 (TCNT2)

SYNC1 : チャンネル 1 (TCNT1)

SYNC0 : チャンネル 0 (TCNT0)

ビット n	説明
SYNCn	
0	タイマカウンタ (TCNTn) は独立動作 (TCNTn のプリセット / クリアは他チャンネルと無関係) (初期値)
1	タイマカウンタは同期動作*1 TCNTn の同期プリセット / 同期クリア*2が可能

【注】 n=2~0

\*1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

\*2 同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。

#### ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 10.3 バスマスタとのインタフェース

### 10.3.1 16 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 10.2 に示します。

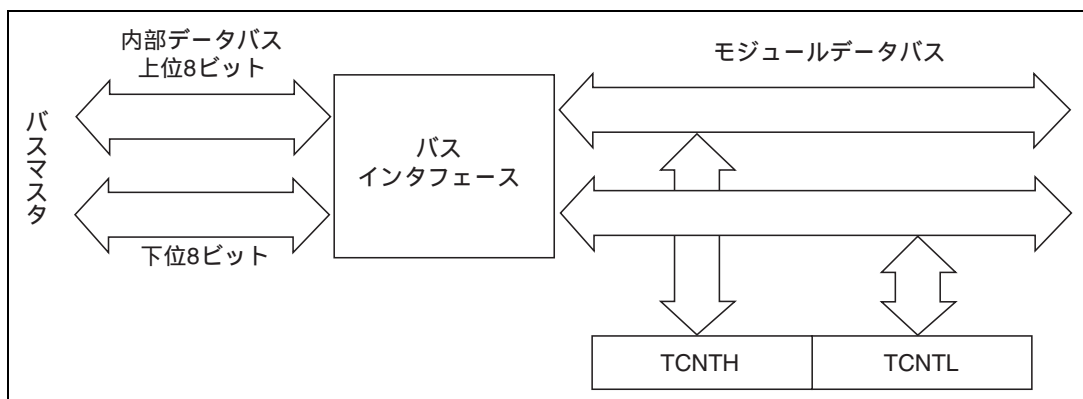


図 10.2 16 ビットレジスタのアクセス動作 [ バスマスタ↔TCNT (16 ビット) ]

### 10.3.2 8 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 10.3 ~ 図 10.5 に示します。

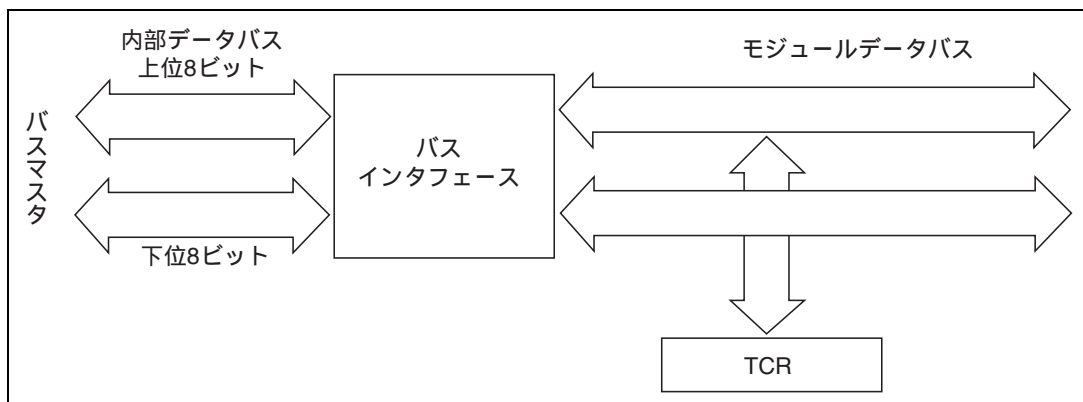


図 10.3 8 ビットレジスタのアクセス動作 [ バスマスタ↔TCR (上位 8 ビット) ]

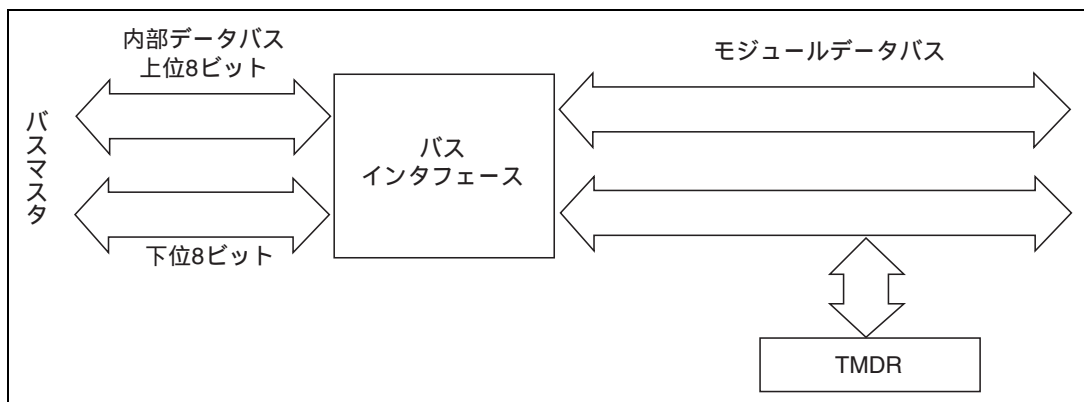


図 10.4 8ビットレジスタのアクセス動作 [バスマスタ↔TMDR (下位8ビット)]

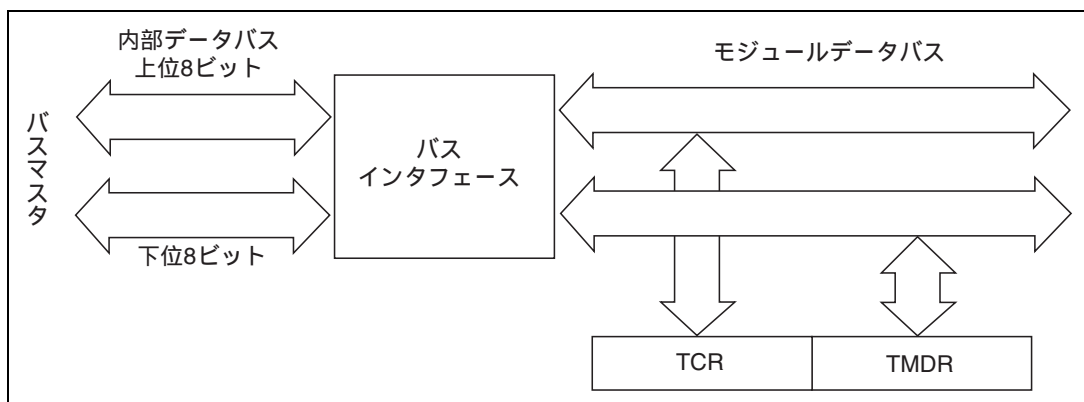


図 10.5 8ビットレジスタのアクセス動作 [バスマスタ↔TCR、TMDR (16ビット)]

## 10.4 動作説明

### 10.4.1 概要

以下に各モードの動作概要を示します。

#### (1) 通常動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (2) 同期動作

同期動作を設定したチャンネルの TCNT カウンタは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT カウンタを書き換えると他のチャンネルの TCNT カウンタも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR レジスタのタイマ同期ビットの設定により、TCNT カウンタの同期クリアが可能です。

#### (3) バッファ動作

- (a) TGR レジスタがアウトプットコンペアレジスタの場合、コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR レジスタに転送されます。
- (b) TGR がインプットキャプチャレジスタの場合、インプットキャプチャが発生すると TCNT カウンタの値が TGR レジスタに転送されると同時に、それまで格納されていた TGR レジスタの値がバッファレジスタに転送されます。

#### (4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) を接続して 32 ビットカウンタとして動作させることができます。

#### (5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR レジスタにより設定できます。各 TGR レジスタの設定により、デューティ 0~100% の PWM 波形が出力できます。

#### (6) 位相計数モード

チャンネル 1、2 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT カウンタをアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT カウンタはアップ/ダウンカウント動作を行います。2 相エンコーダパルスの入力として使用できます。

### 10.4.2 基本機能

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

#### (1) カウンタの動作

タイマスタートレジスタ (TSTR) の CST0~CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

##### (a) カウント動作の設定手順例

カウント動作の設定手順例を図10.6に示します。

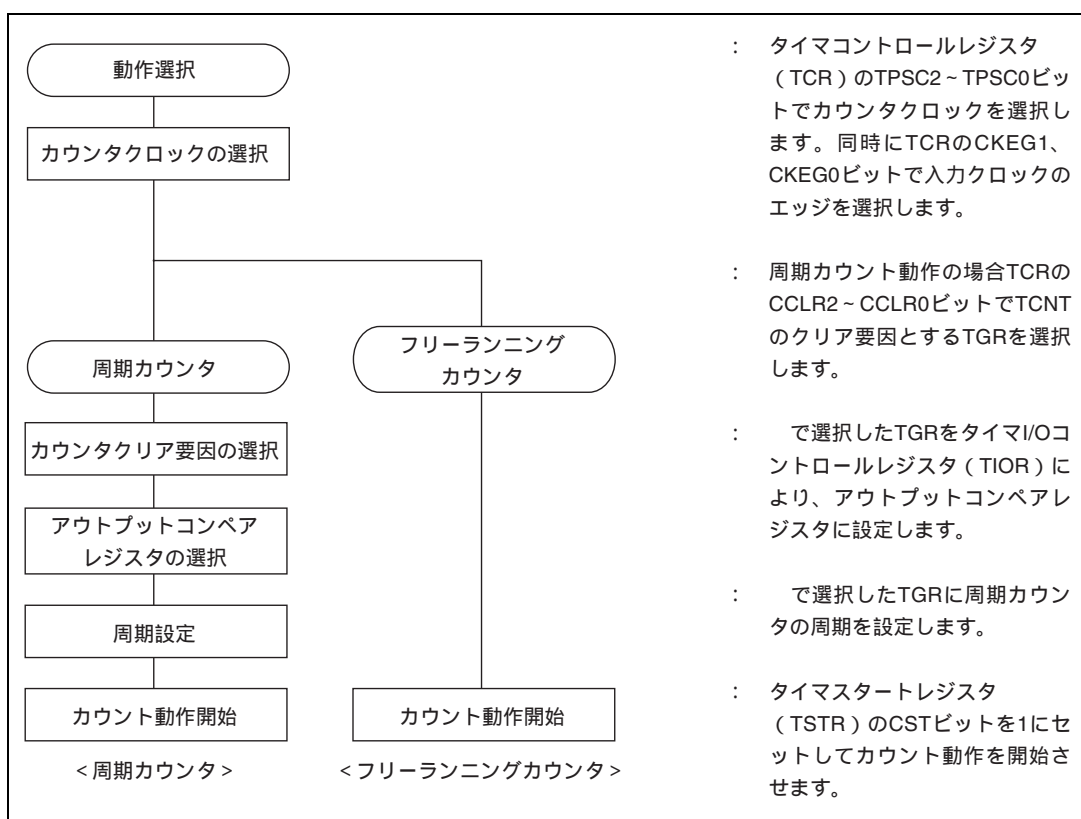


図 10.6 カウンタ動作設定手順例

## 10. マルチファンクションタイマパルスユニット (MTU)

### (b) フリーランニングカウンタ動作例

MTUのタイマカウンタ (TCNT) は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRレジスタの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTカウンタがオーバーフロー (H'FFFF→H'0000) すると、タイマステータスレジスタ (TSR) のTCFVビットが1にセットされます。このとき、対応するタイマインタラプトイネーブルレジスタ (TIER) のTCIEVビットが1ならば、MTUは割り込みコントローラに対して、割り込みを要求します。TCNTカウンタはオーバーフロー後、H'0000からアップカウント動作を続けます。フリーランニングカウンタの動作を図10.7に示します。

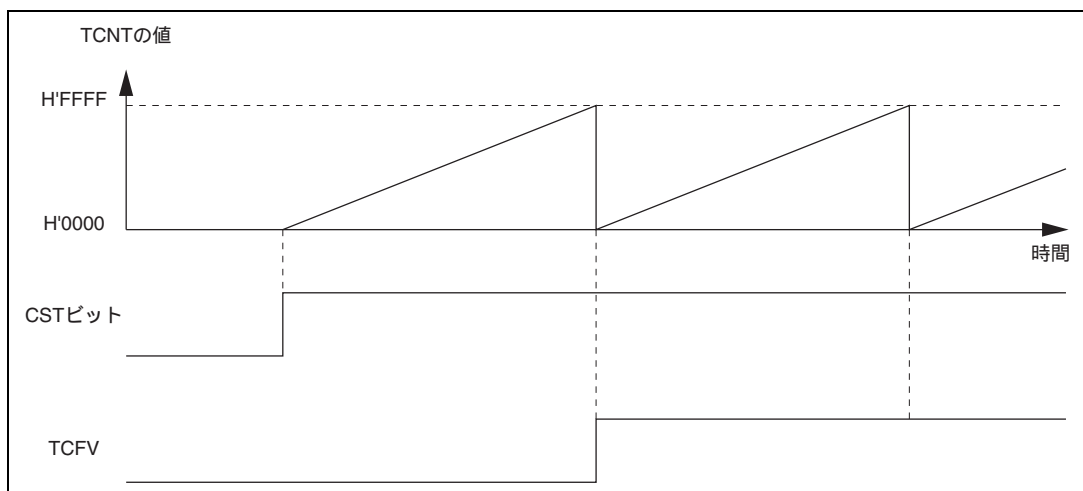


図 10.7 フリーランニングカウンタの動作

## (c) 周期カウント動作例

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウント動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、タイマコントロールレジスタ (TCR) のCCCLR2 ~ CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TSRレジスタのTGFビットが1にセットされ、TCNTカウンタはH'0000にクリアされます。このとき対応するTIERレジスタのTGIEビットが1ならば、MTUは割り込みコントローラに対して、割り込みを要求します。TCNTカウンタはコンペアマッチ後、H'0000からアップカウント動作を継続します。周期カウンタの動作を図10.8に示します。

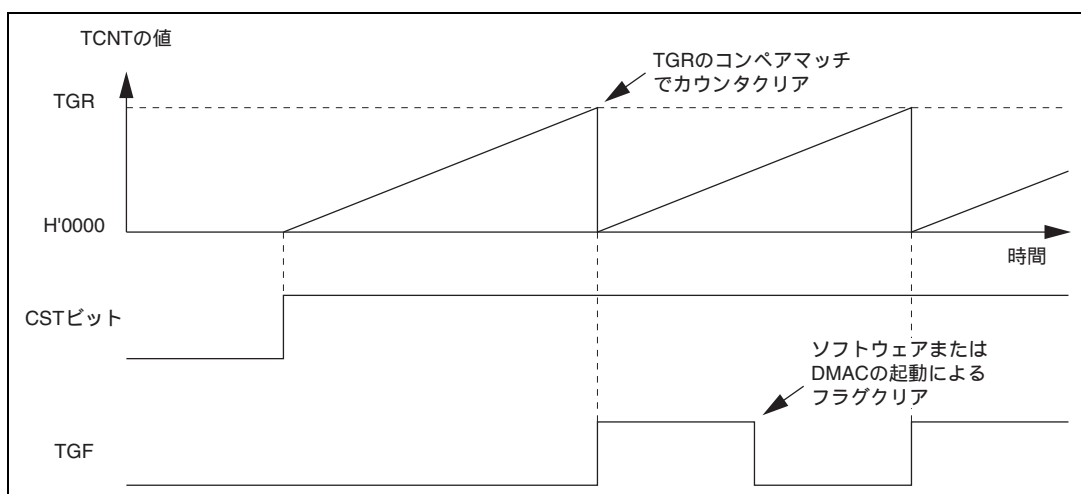


図 10.8 周期カウンタの動作

## 10. マルチファンクションタイマパルスユニット (MTU)

### (2) コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

#### (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図10.9に示します。

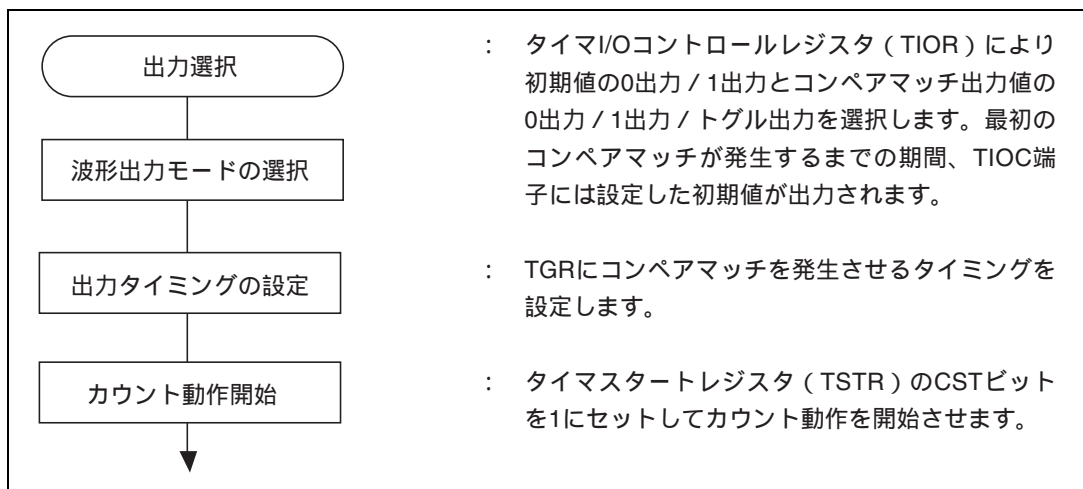


図 10.9 コンペアマッチによる波形出力動作例

#### (b) 波形出力動作例 (0出力 / 1出力)

0出力 / 1出力例を図10.10に示します。

TCNTカウンタをフリーランカウンタ動作、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

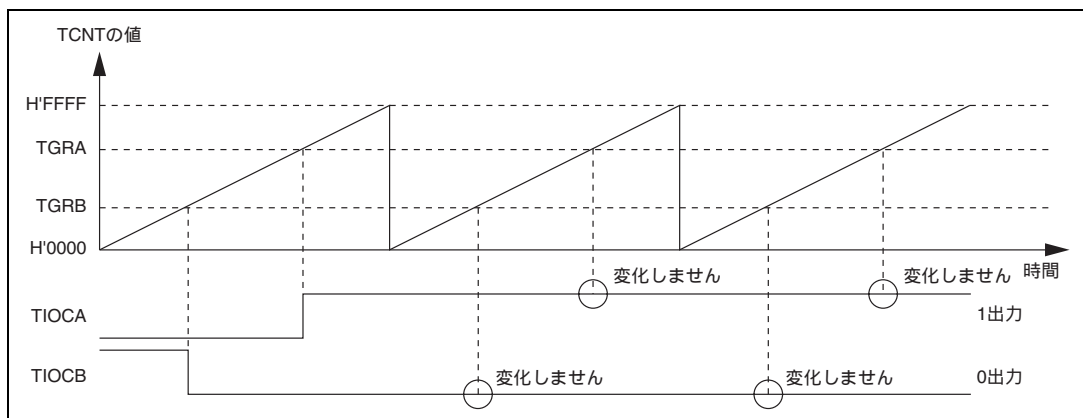


図 10.10 0 出力 / 1 出力の動作例



(c) 波形出力動作例 (トグル出力)

トグル出力の例を図10.11に示します。

TCNTカウンタを周期カウント動作 (コンペアマッチBによりカウンタクリア) に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

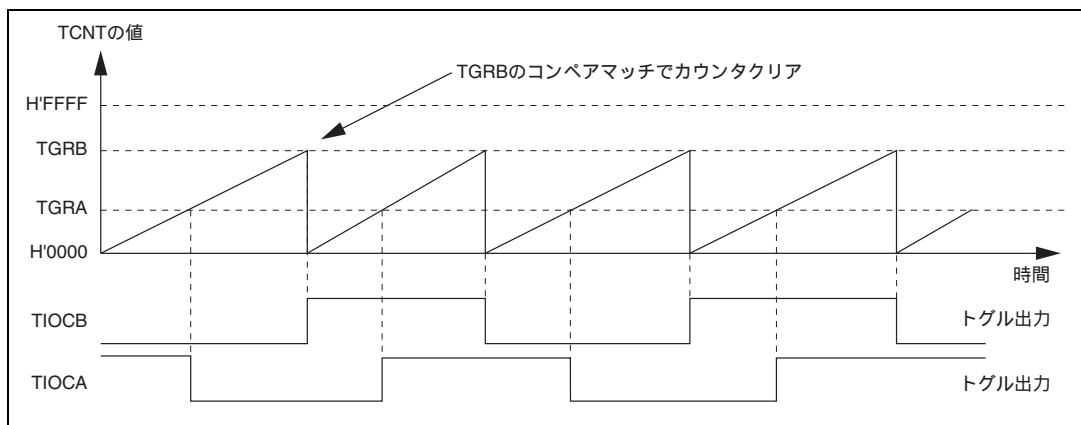


図 10.11 トグル出力の動作例

(3) インพุットキャプチャ機能

インพุットキャプチャ / アウトプットコンペア端子 (TIOC) の入力エッジを検出してタイマカウンタ (TCNT) の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図10.12に示します。

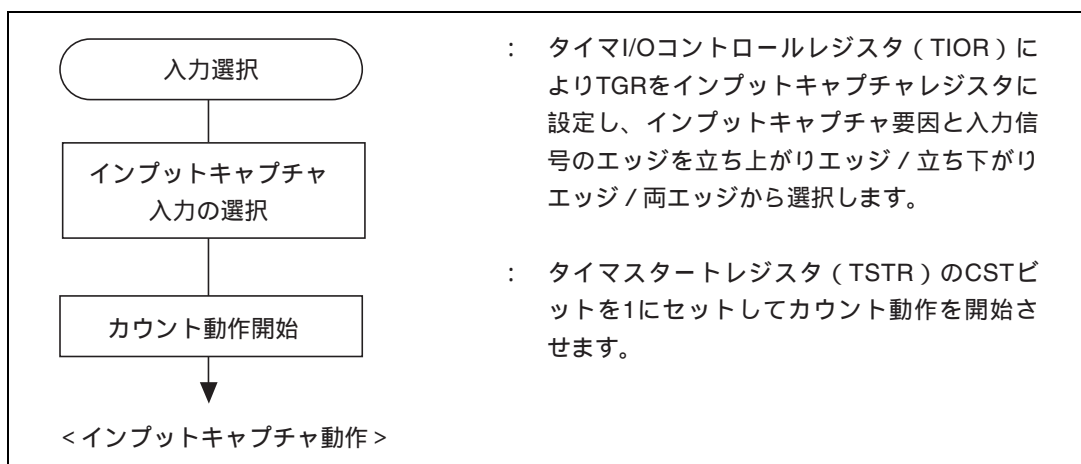


図 10.12 インพุットキャプチャ動作の設定例

## 10. マルチファンクションタイムパルスユニット (MTU)

### (b) インットキャプチャ動作例

インットキャプチャ動作例を図10.13に示します。

TIOCA端子のインットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB端子のインットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNTカウンタはTGRBレジスタのインットキャプチャでカウンタクリアされるように設定した場合の例です。

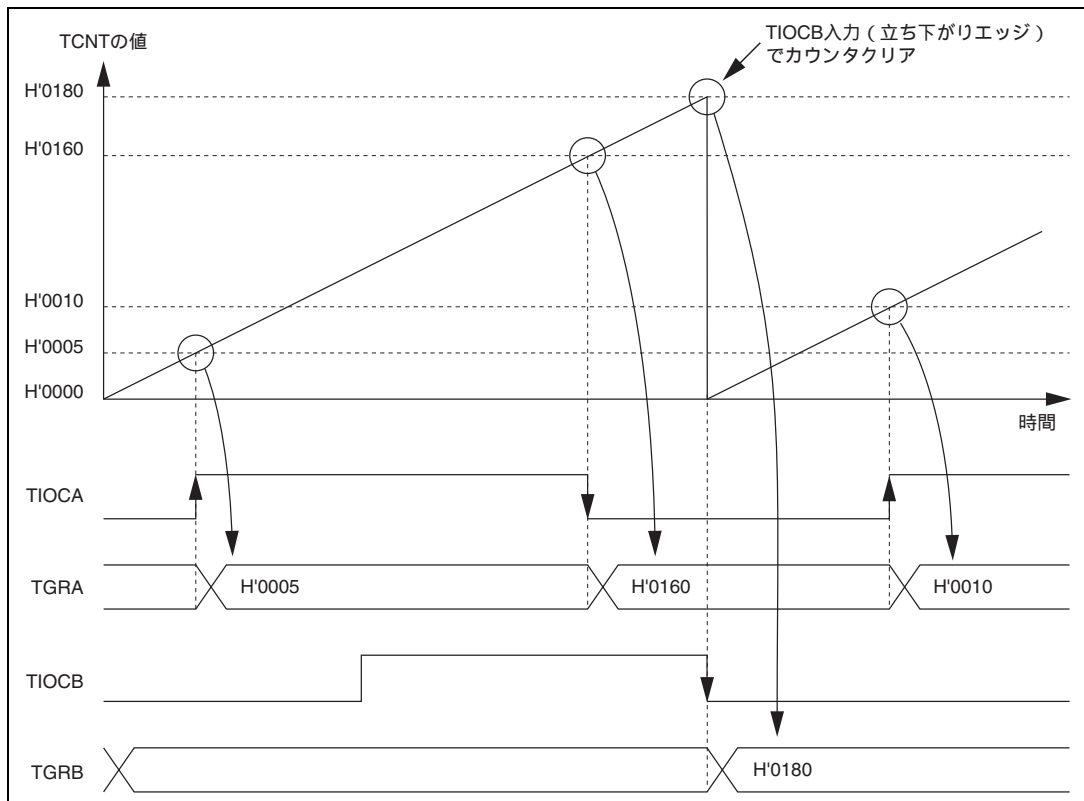


図 10.13 インットキャプチャ動作例

### 10.4.3 同期動作

同期動作には、同期プリセットと同期クリアがあります。同期プリセットは、複数のタイマカウンタ (TCNT) の値を同時に書き換えることができます。同期クリアは、タイマコントロールレジスタ (TCR) の設定により複数の TCNT カウンタを同時にクリアすることができます。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。チャンネル0~2はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

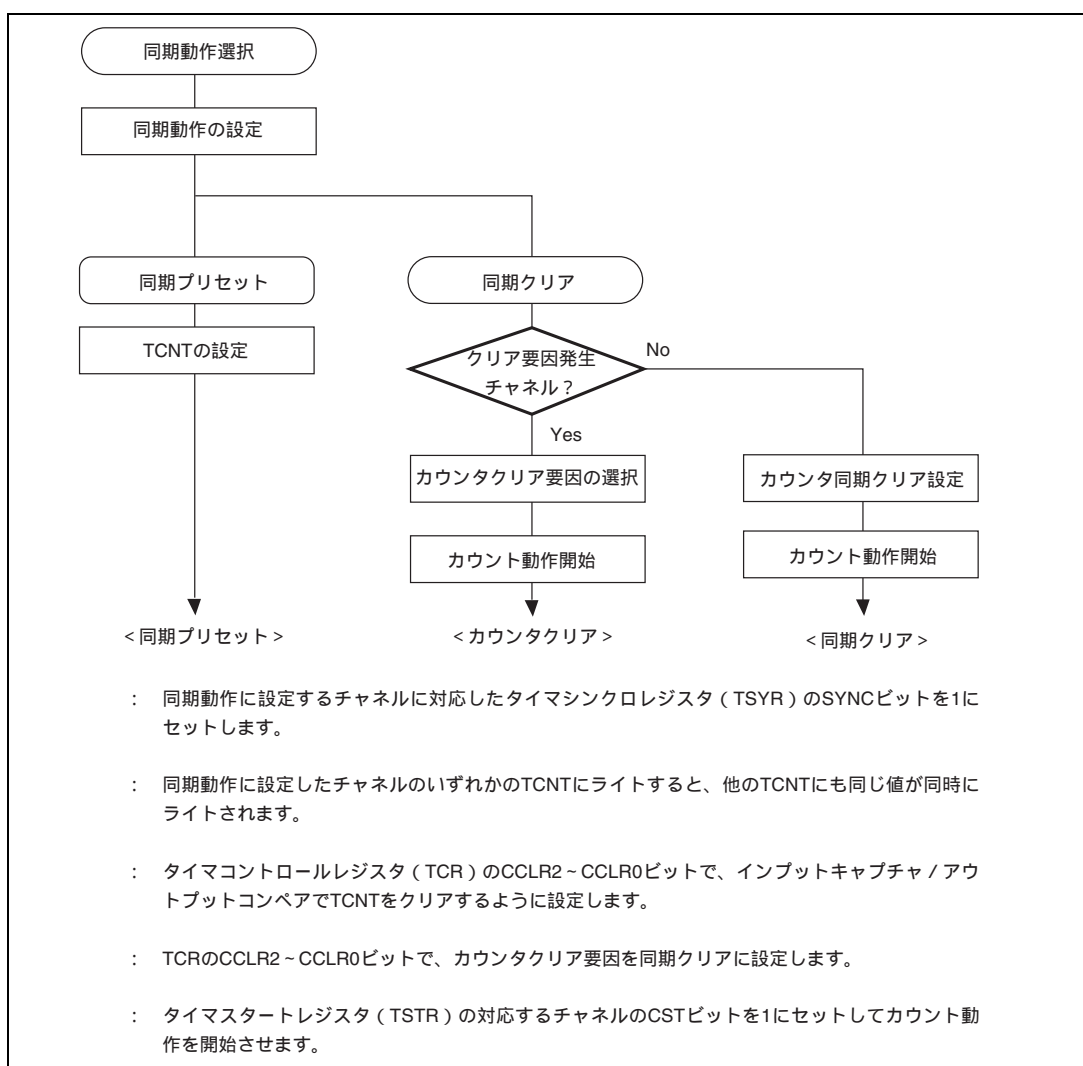


図 10.14 同期動作の設定手順例

## 10. マルチファンクションタイマパルスユニット (MTU)

### (2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウントクリア要因をTGR0Bレジスタのコンペアマッチに設定し、チャンネル1、2のカウントクリア要因を同期クリアに設定した場合の例です。このとき、チャンネル0~2のTCNTカウンタは、同期プリセットとTGR0Bレジスタのコンペアマッチによる同期クリアとが行われ、TGR0Bレジスタに設定したデータをPWM周期とする3相のPWM波形がTIOC0A、TIOC1A、TIOC2A端子から出力されます。

PWMモードについては、「10.4.6 PWMモード」を参照してください。

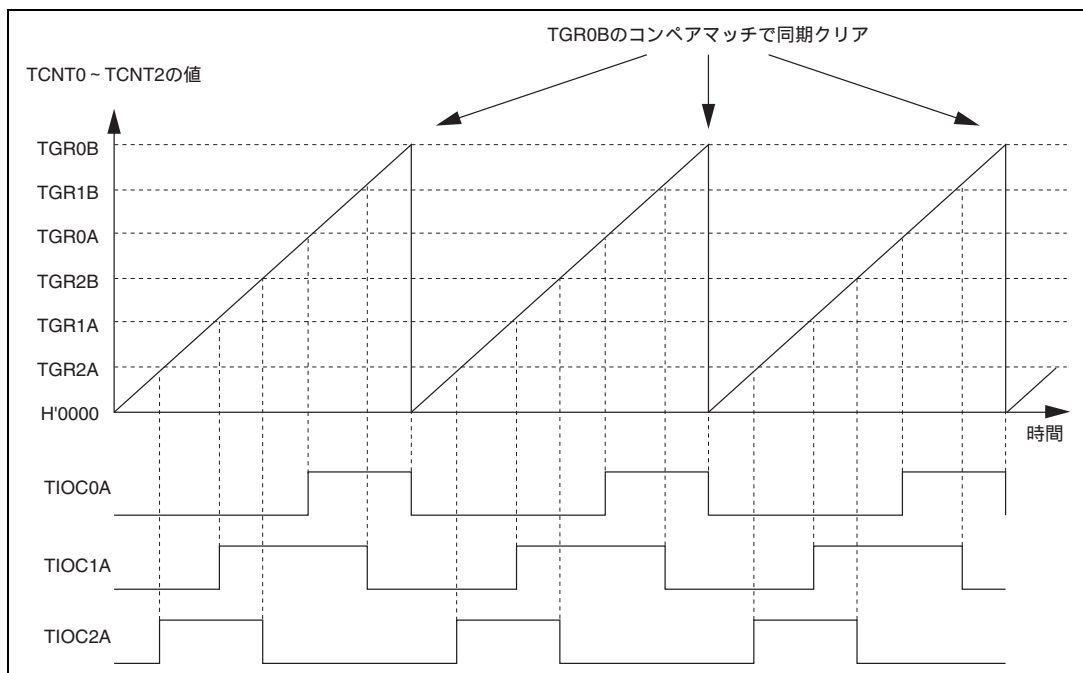


図 10.15 同期動作の動作例

### 10.4.4 バッファ動作

バッファ動作は、チャンネル0が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。バッファ動作時のレジスタの組み合わせを表10.5に示します。

表 10.5 レジスタの組み合わせ

チャンネル	ジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、アウトプットコンペアレジスタに設定した場合でそれぞれで動作内容が異なります。

- (a) TGRレジスタがアウトプットコンペアレジスタの場合  
コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がジェネラルレジスタに転送されます。この動作を図10.16に示します。

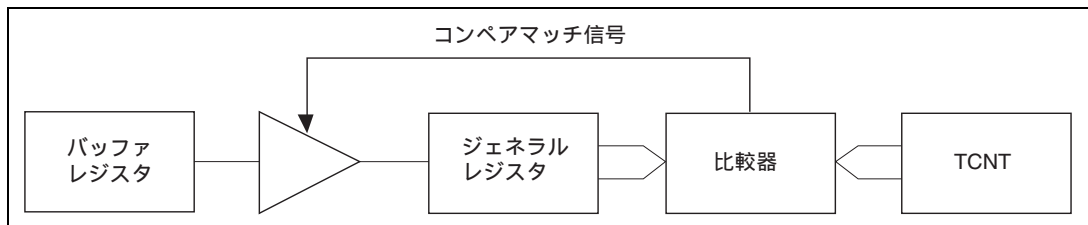


図 10.16 コンペアマッチバッファ動作

- (b) TGRレジスタがインプットキャプチャレジスタの場合  
インプットキャプチャが発生するとタイマカウンタ (TCNT) の値をTGRレジスタに転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図10.17に示します。

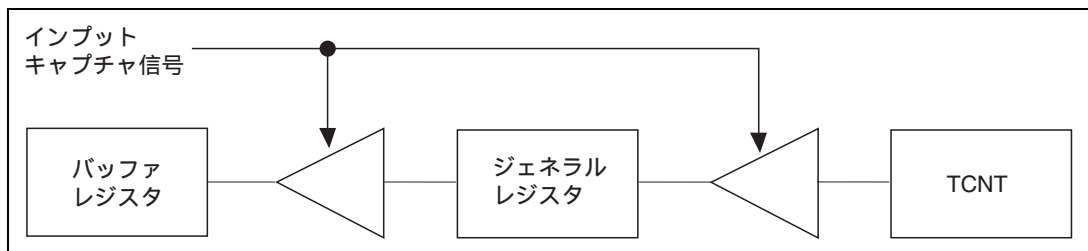


図 10.17 インプットキャプチャバッファ動作

## 10. マルチファンクションタイマパルスユニット (MTU)

---

### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

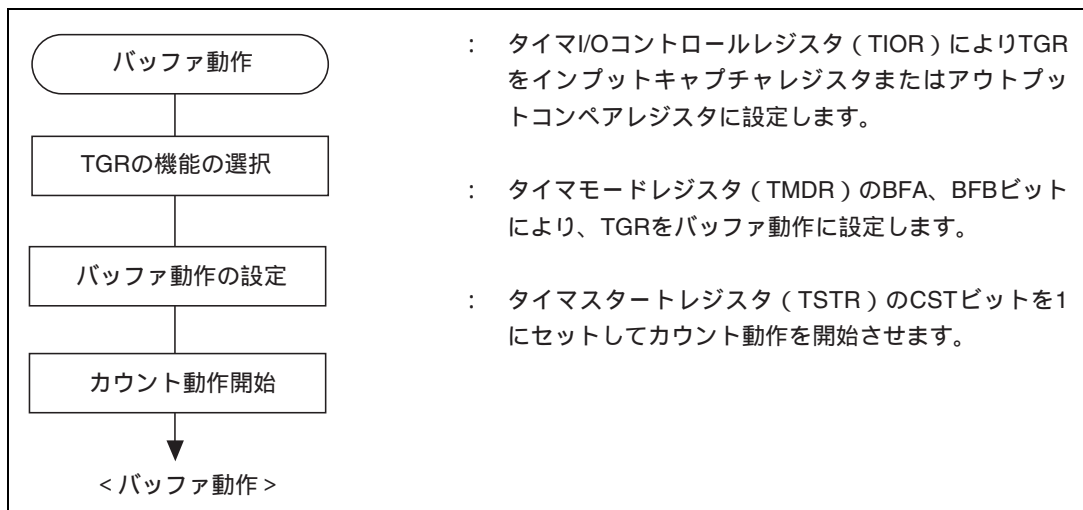


図 10.18 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGRレジスタがアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAレジスタとTGRCレジスタをバッファ動作に設定した場合の動作例を図10.19に示します。

TCNTカウンタはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。PWMモードについては、「10.4.6 PWMモード」を参照してください。

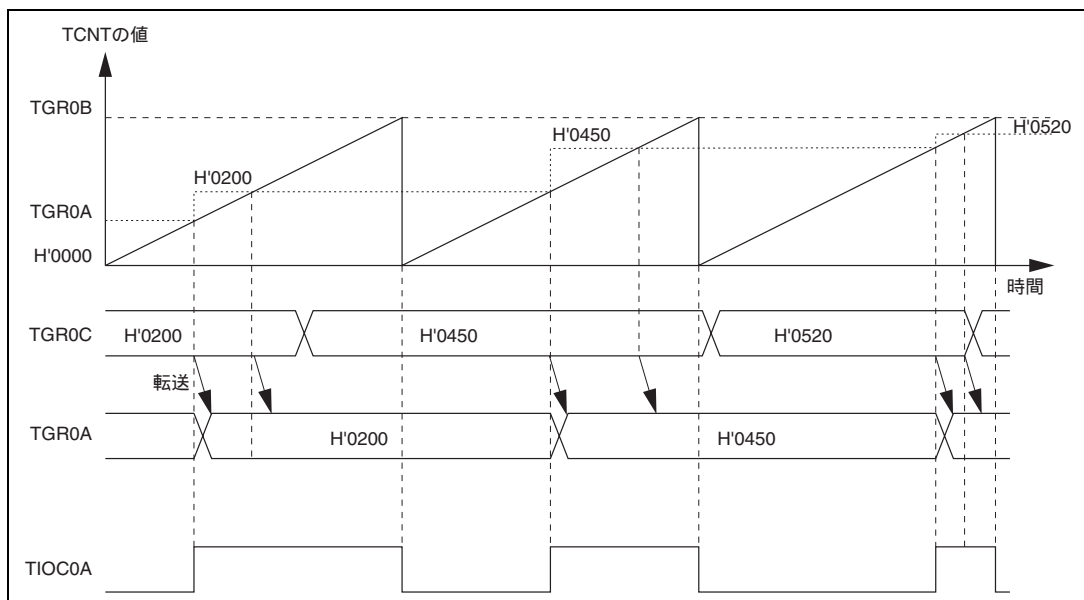


図 10.19 バッファ動作例 (アウトプットコンペアレジスタ)

## 10. マルチファンクションタイマパルスユニット (MTU)

### (b) TGRレジスタがインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAレジスタとTGRCレジスタをバッファ動作に設定したときの動作例を図10.20に示します。

TCNTカウンタはTGRAレジスタのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。バッファ動作が設定されているため、インプットキャプチャAによりTCNTカウンタの値がTGRAレジスタに格納されると同時に、それまでTGRAレジスタに格納されていた値がTGRCレジスタに転送されます。

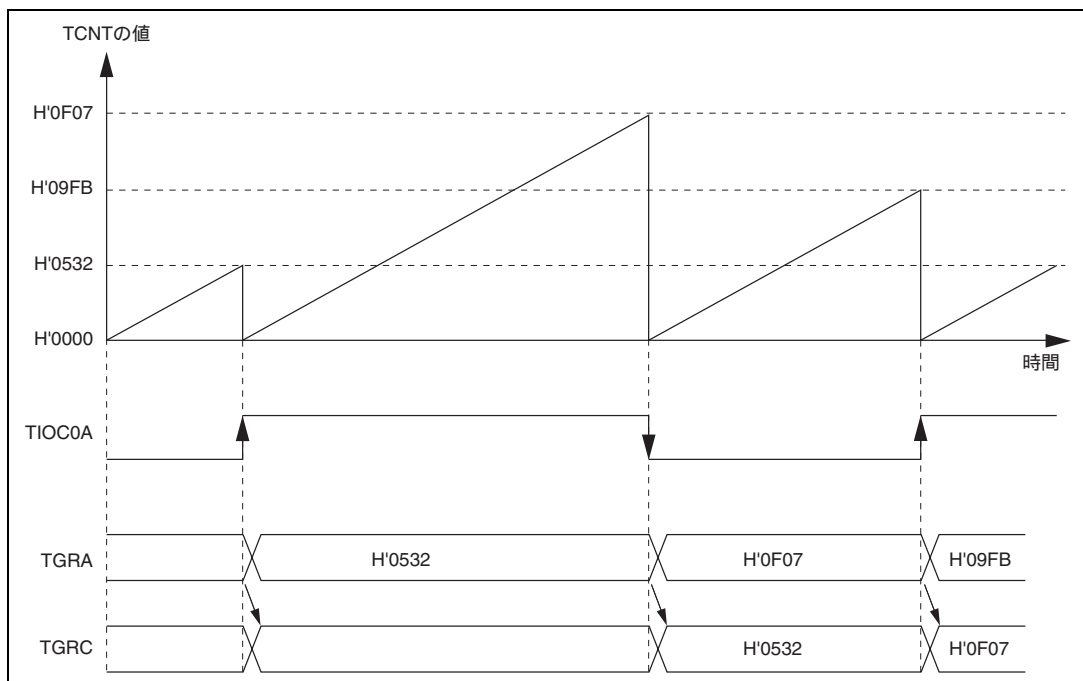


図 10.20 バッファ動作例 (インプットキャプチャレジスタ)



### 10.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRレジスタのTPSC2~TPSC0ビットで「TCNT2カウンタのオーバーフロー/アンダフローでカウント」に設定することにより動作します。

【注】チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となります。カスケード接続の組み合わせを表10.6に示します。

表 10.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1、チャンネル2	TCNT1	TCNT2

#### (1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図10.21に示します。

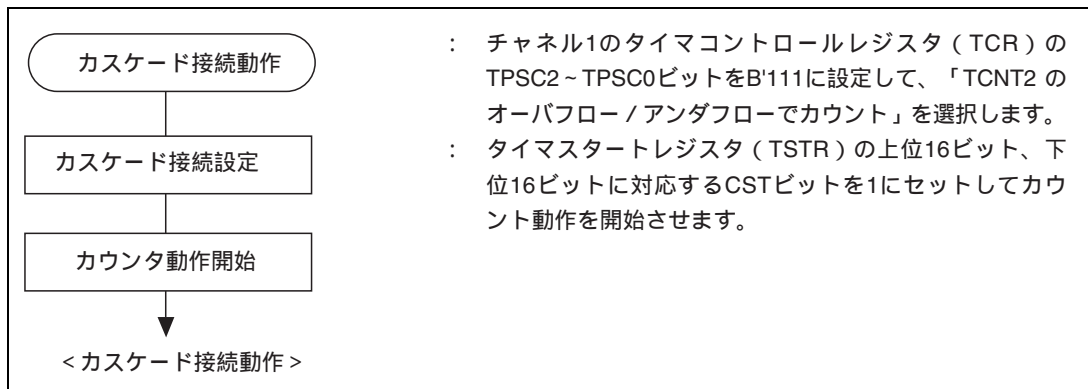


図 10.21 カスケード接続動作設定手順

## 10. マルチファンクションタイマパルスユニット (MTU)

### (2) カスケード接続動作例

#### (a) 位相計数モード

TCNT1カウンタはTCNT2カウンタのオーバーフロー/アンダフローでカウント、チャンネル2を位相計数モードに設定したときの動作を図10.22に示します。

TCNT1カウンタは、TCNT2カウンタのオーバーフローでアップカウント、TCNT2のアンダフローでダウンカウントされます。

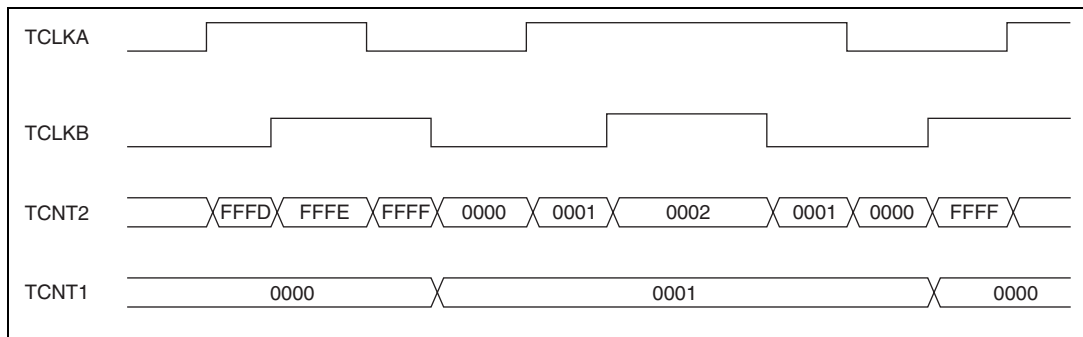


図 10.22 カスケード接続動作例 (位相計数モード)

### 10.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力のなかから選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードには下記に示す 2 種類があります。

PWM 出力端子とレジスタの対応を表 10.7 に示します。

表 10.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0 (ペア AB)	TGR0A	TIOC0A	TIOC0A
	TGR0B		TIOC0B
0 (ペア CD)	TGR0C	TIOC0C	TIOC0C
	TGR0D		TIOC0D
1	TGR1A	TIOC1A	TIOC1A
	TGR1B		TIOC1B
2	TGR2A	TIOC2A	TIOC2A
	TGR2B		TIOC2B

【注】 PWM モード 2 では、周期を設定した TGR の PWM 出力はできません。

(a) PWMモード1

TGRAとTGRBレジスタ、TGRCとTGRDレジスタをそれぞれペアで使用してPWM出力を生成します。初期出力値はTGRA、TGRCレジスタに設定した値になります。ペアで使用するTGRレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大4相のPWM出力が可能です。

(b) PWMモード2

TGRレジスタの1本を周期レジスタ、他をデューティレジスタに使用してPWM出力を生成します。カウンタのクリアによって各端子の出力値はTIOAレジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

## 10. マルチファンクションタイマパルスユニット (MTU)

### (1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.23 に示します。

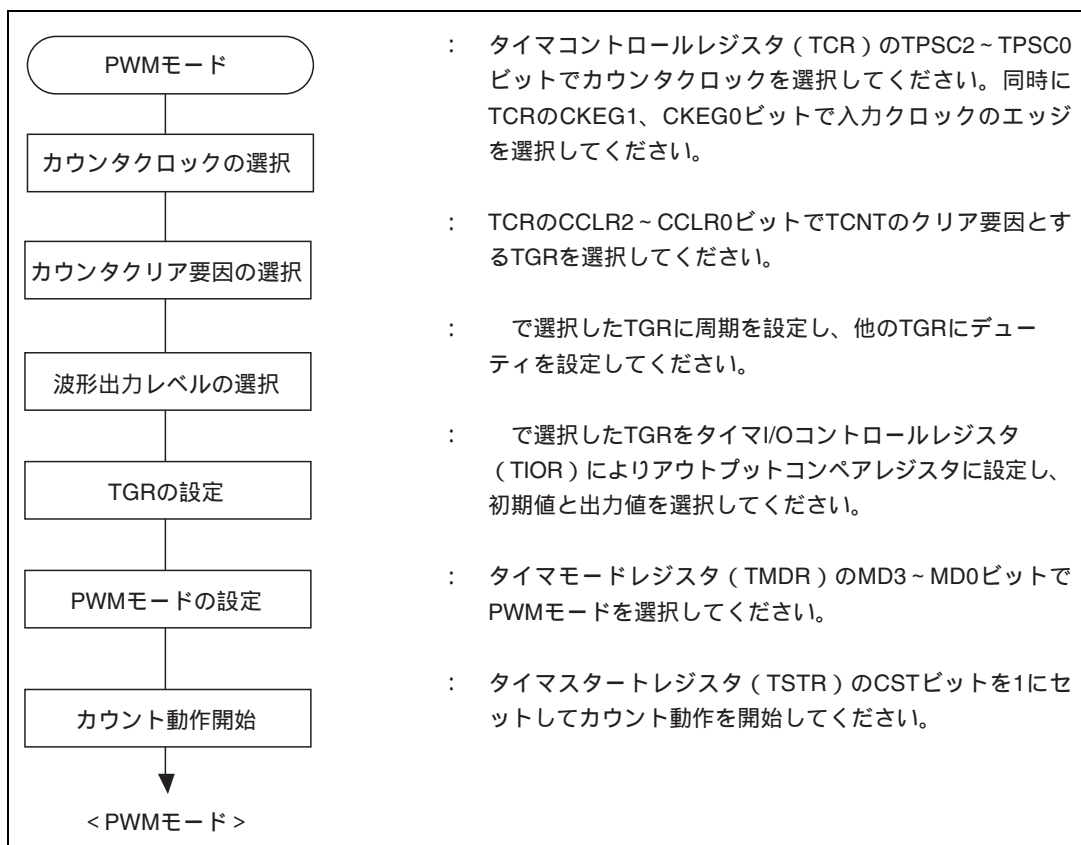


図 10.23 PWM モードの設定手順例

## (2) PWM モードの動作例

## (a) PWMモード1

PWMモード1の動作例を図10.24に示します。

TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値とアウトプットコンペア出力値を0、TGRBレジスタのアウトプットコンペア出力値を1出力に設定した場合の例です。この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティになります。

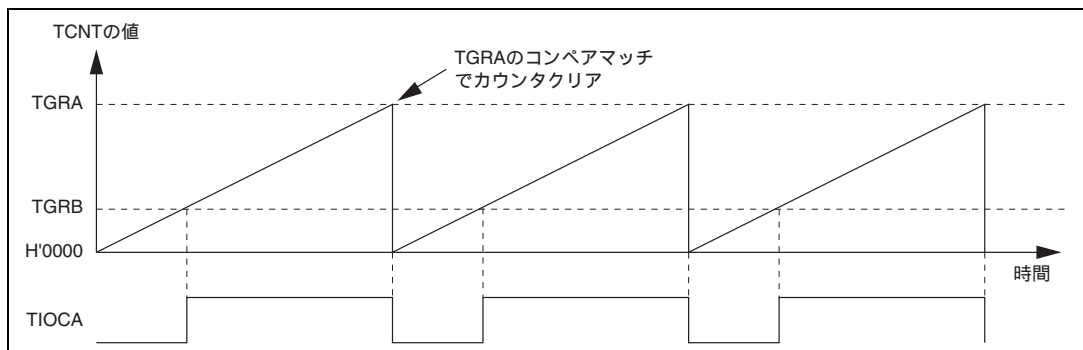


図 10.24 PWM モードの動作例 (モード 1)

## 10. マルチファンクションタイマパルスユニット (MTU)

### (b) PWMモード2

PWMモード2の動作例を図10.25に示します。

チャンネル0と1を同期動作させ、TCNTカウンタのクリア要因をTGR1Bレジスタのコンペアマッチとし、他のTGRレジスタの初期出力値を0、アウトプットコンペア出力値を1に設定して5相のPWM波形を出力させた場合の例です。この場合、TGR1Bレジスタに設定した値が周期となり、他のTGRレジスタに設定した値がデューティになります。

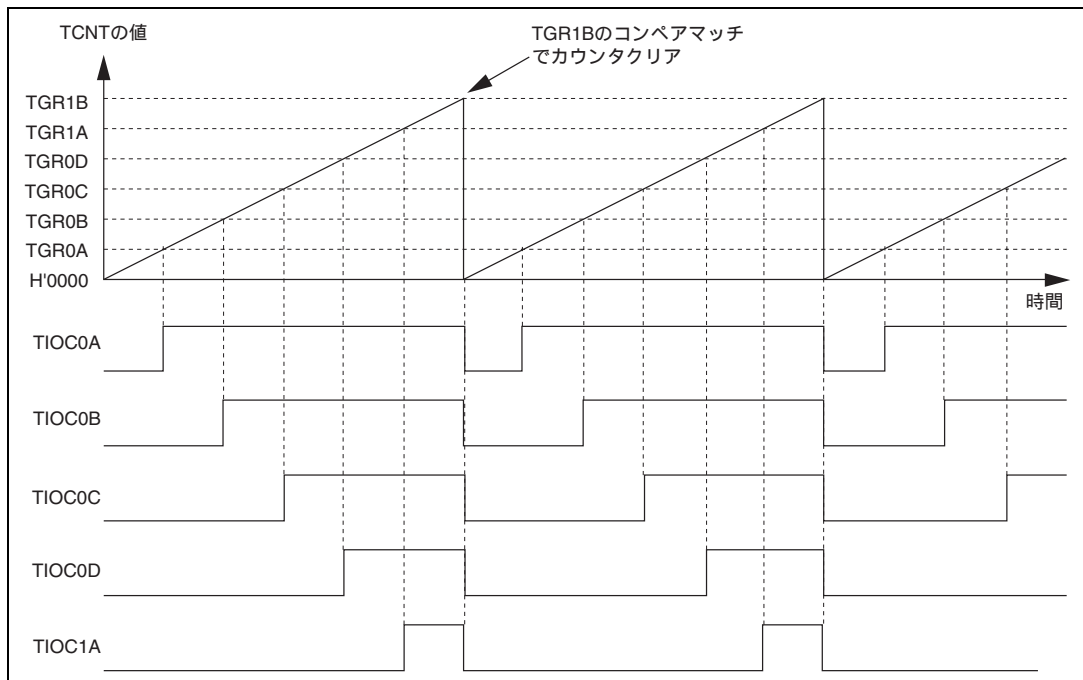


図 10.25 PWM モードの動作例 (モード 2)

(c) デューティ0%

PWMモードで、デューティ0%のPWM波形を出力する例を図10.26に示します。

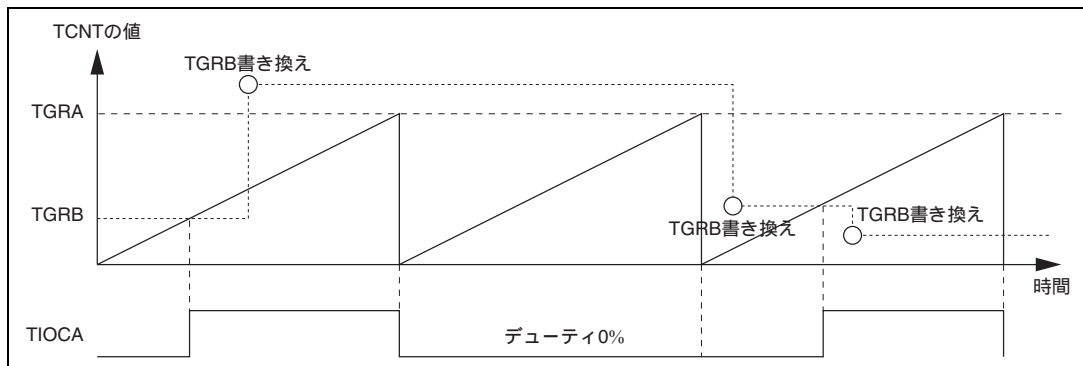


図 10.26 PWM モード動作例 (デューティ 0%)

## 10. マルチファンクションタイマパルスユニット (MTU)

### (d) デューティ100%

PWMモードで、デューティ100%のPWM波形を出力する例を図10.27に示します。PWMモードで周期=デューティの設定を行うと、出力波形は変化しません。また、カウンタクリア直後に1パルス波形が変化することはありません。

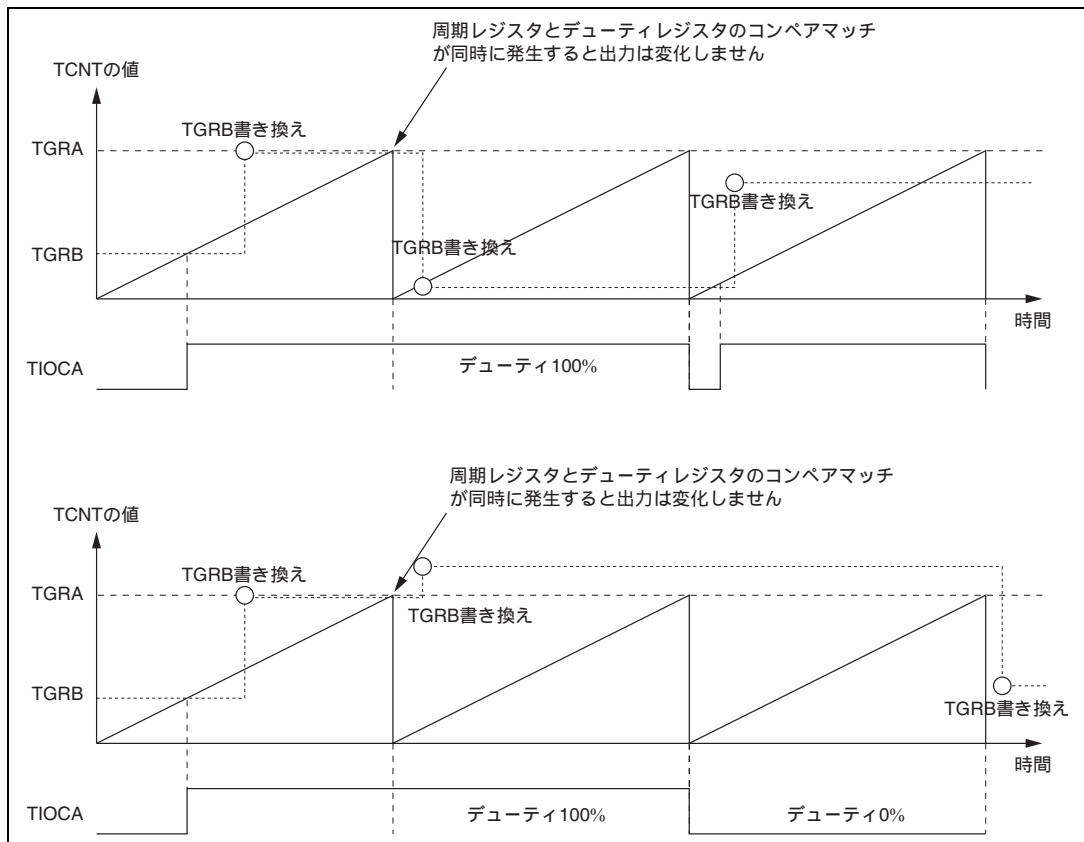


図 10.27 PWM モード動作例 (デューティ 100%)



### 10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTカウンタをアップ/ダウンカウントします。このモードはチャンネル1、2で設定可能です。

位相計数モードに設定すると、タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTカウンタはアップ/ダウンカウンタとして動作します。ただし、TCRレジスタのCCLR1、CCLR0ビット、タイマI/Oコントロールレジスタ(TIOR)、タイマインタラプトイネーブルレジスタ(TIER)、TGRレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTカウンタがアップカウント時、オーバーフローが発生するとするとTSRレジスタのTCFV(オーバーフローフラグ)がセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU(アンダフローフラグ)がセットされます。

TSRレジスタのTCFDビットはカウント方向フラグです。TCFDフラグを読み出すことにより、TCNTカウンタがアップカウントしているかダウンカウントしているかを確認することができます。外部クロック端子とチャンネルの対応を表10.8に示します。

表 10.8 位相計数モードクロック入力端子

チャンネル	A相入力端子	B相入力端子
1	TCLKA	TCLKB
2	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図10.28に示します。

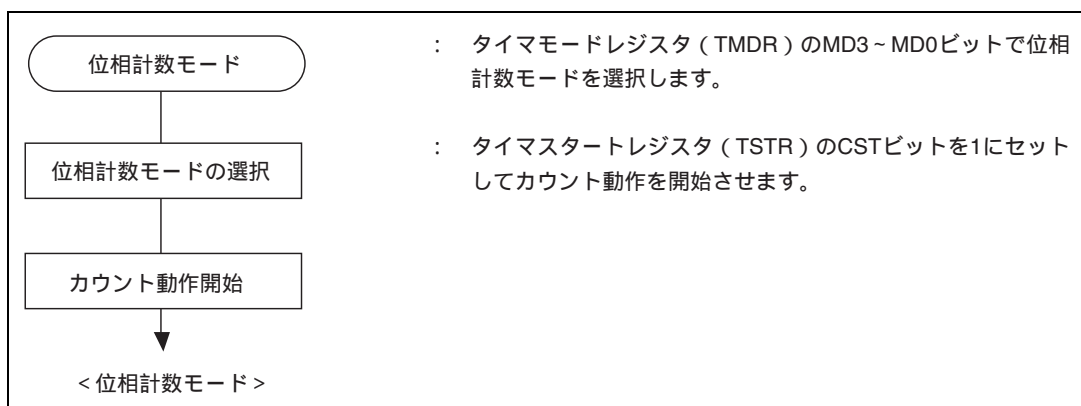


図 10.28 位相計数モードの設定手順例

## 10. マルチファンクションタイマパルスユニット (MTU)

### (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT カウンタがアップ / ダウンカウントします。また、カウント条件により4つのモードがあります。

#### (a) 位相計数モード1

位相計数モード1の動作例を図10.29に、TCNTカウンタのアップ / ダウンカウント条件を表10.9に示します。

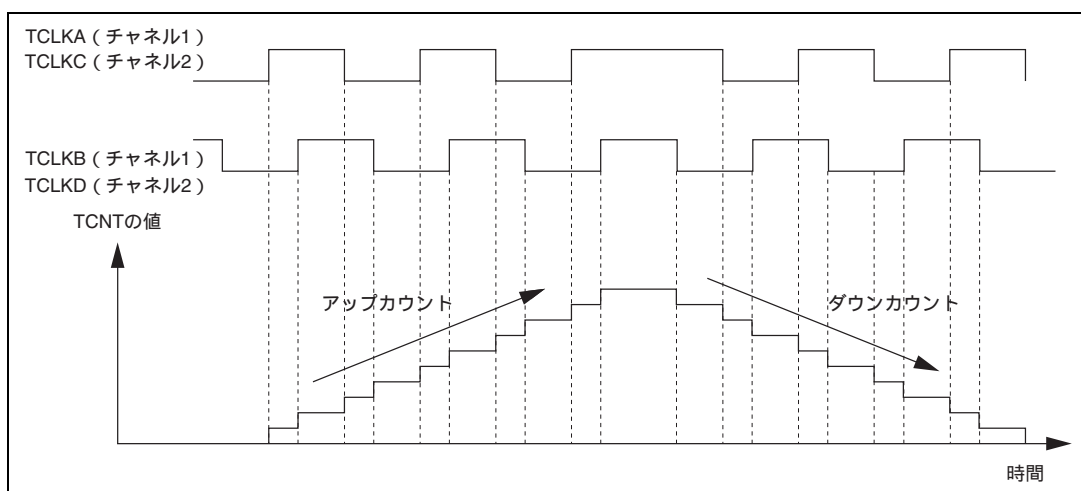


図 10.29 位相計数モード1の動作例

表 10.9 位相計数モード1のアップ / ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	↑ (立ち上がりエッジ)	アップカウント
0 (ローレベル)	↓ (立ち下がりエッジ)	
↑ (立ち上がりエッジ)	0 (ローレベル)	
↓ (立ち下がりエッジ)	1 (ハイレベル)	
1 (ハイレベル)	↓ (立ち下がりエッジ)	ダウンカウント
0 (ローレベル)	↑ (立ち上がりエッジ)	
↑ (立ち上がりエッジ)	1 (ハイレベル)	
↓ (立ち下がりエッジ)	0 (ローレベル)	

(b) 位相計数モード2

位相計数モード2の動作例を図10.30に、TCNTカウンタのアップ/ダウンカウント条件を表10.10に示します。

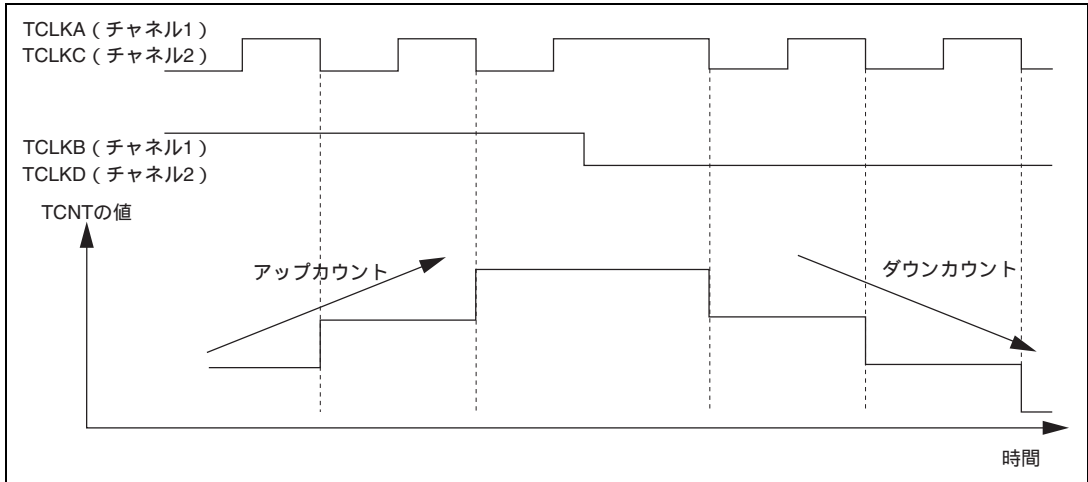


図 10.30 位相計数モード2の動作例

表 10.10 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	↑ (立ち上がりエッジ)	カウントしない (don't care)
0 (ローレベル)	↓ (立ち下がりエッジ)	
↑ (立ち上がりエッジ)	0 (ローレベル)	アップカウント
↓ (立ち下がりエッジ)	1 (ハイレベル)	
1 (ハイレベル)	↓ (立ち下がりエッジ)	カウントしない (don't care)
0 (ローレベル)	↑ (立ち上がりエッジ)	
↑ (立ち上がりエッジ)	1 (ハイレベル)	ダウンカウント
↓ (立ち下がりエッジ)	0 (ローレベル)	

## 10. マルチファンクションタイマパルスユニット (MTU)

### (c) 位相計数モード3

位相計数モード3の動作例を図10.31に、TCNTカウンタのアップ/ダウンカウント条件を表10.11に示します。

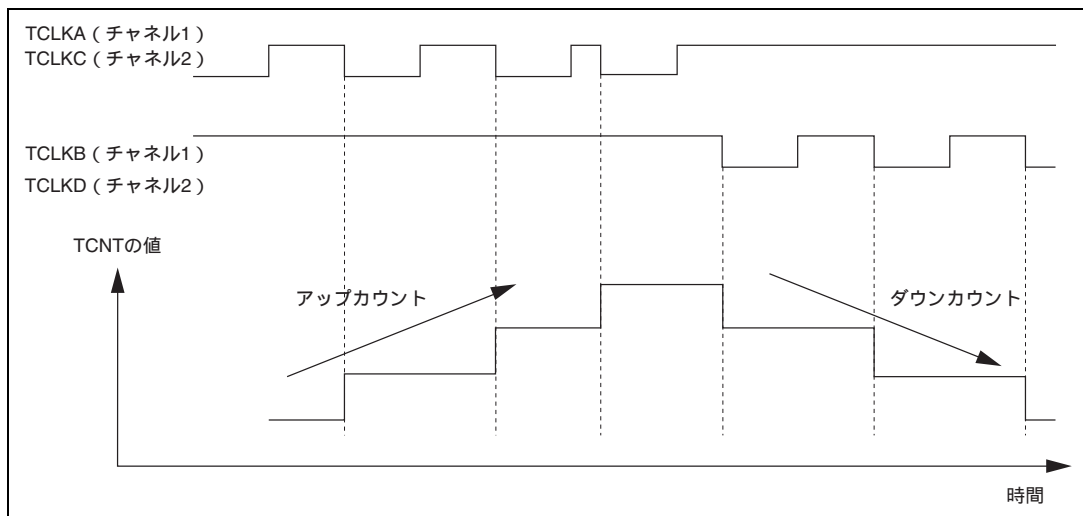


図 10.31 位相計数モード3の動作例

表 10.11 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	↑ (立ち上がりエッジ)	カウントしない (don't care)
0 (ローレベル)	↓ (立ち下がりエッジ)	
↑ (立ち上がりエッジ)	0 (ローレベル)	アップカウント
↓ (立ち下がりエッジ)	1 (ハイレベル)	ダウンカウント
1 (ハイレベル)	↓ (立ち下がりエッジ)	カウントしない (don't care)
0 (ローレベル)	↑ (立ち上がりエッジ)	
↑ (立ち上がりエッジ)	1 (ハイレベル)	
↓ (立ち下がりエッジ)	0 (ローレベル)	

(d) 位相計数モード4

位相計数モード4の動作例を図10.32に、TCNTカウンタのアップ/ダウンカウント条件を表10.12に示します。

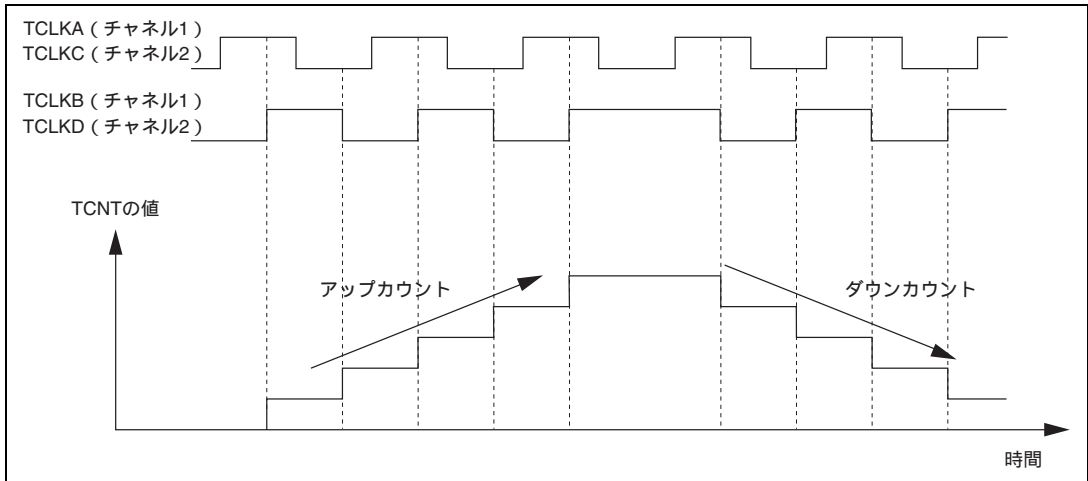


図 10.32 位相計数モード4の動作例

表 10.12 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
1 (ハイレベル)	↑ (立ち上がりエッジ)	アップカウント
0 (ローレベル)	↓ (立ち下がりエッジ)	
↑ (立ち上がりエッジ)	0 (ローレベル)	カウントしない (don't care)
↓ (立ち下がりエッジ)	1 (ハイレベル)	
1 (ハイレベル)	↓ (立ち下がりエッジ)	ダウンカウント
0 (ローレベル)	↑ (立ち上がりエッジ)	
↑ (立ち上がりエッジ)	1 (ハイレベル)	カウントしない (don't care)
↓ (立ち下がりエッジ)	0 (ローレベル)	

## 10. マルチファンクションタイマパルスユニット (MTU)

### (3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置/速度を検出する例を図10.33に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKB端子にエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTカウンタをTGR0Cレジスタのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cレジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bレジスタはインプットキャプチャ機能で使用し、TGR0BとTGR0Dレジスタをバッファ動作させます。TGR0Bレジスタのインプットキャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGR1AとTGR1Bレジスタは、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGR0AとTGR0Cレジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出ができます。

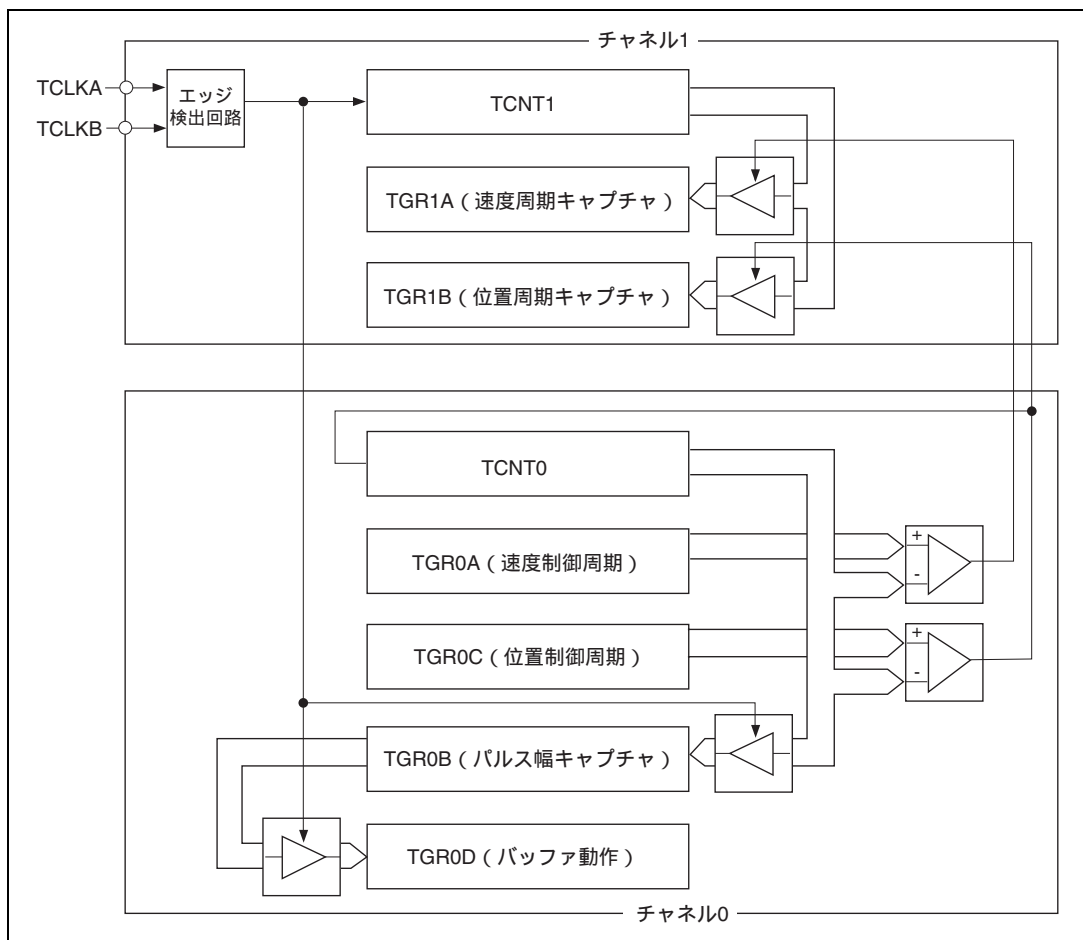


図 10.33 位相計数モードの応用例

## 10.5 割り込み

### 10.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGRレジスタのインプットキャプチャ/コンペアマッチ、TCNTカウンタのオーバフローとアンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込みコントローラへの割り込み要求信号の発生を独立に許可/禁止することができます。

割り込み要因が発生すると、タイムステータスレジスタ (TSR) の対応するステータスフラグが1にセットされます。このときタイムインタラプトイネーブルレジスタ (TIER) の対応する許可/禁止ビットが1にセットされていれば、MTUは割り込みコントローラに対して割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ (INTC)」を参照してください。

MTUの割り込み要因の一覧を表10.13に示します。

#### (1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRレジスタのインプットキャプチャ/コンペアマッチの発生により、タイムステータスレジスタ (TSR) のTGFフラグが1にセットされたとき、タイムインタラプトイネーブルレジスタ (TIER) のTGIEビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャンネル0に4本、チャンネル1、2に各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みがあります。

#### (2) オーバフロー割り込み

各チャンネルのTCNTカウンタのオーバフローの発生により、タイムステータスレジスタ (TSR) のTCFVフラグが1にセットされたとき、タイムインタラプトイネーブルレジスタ (TIER) のTCIEVビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFVフラグを0にクリアする事で割り込み要求は解除されます。MTUには、各チャンネルに1本、計3本のオーバフロー割り込みがあります。

#### (3) アンダフロー割り込み

各チャンネルのTCNTカウンタのアンダフローの発生により、タイムステータスレジスタ (TSR) のTCFUフラグが1にセットされたとき、タイムインタラプトイネーブルレジスタ (TIER) のTCIEUビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFUフラグを0にクリアする事で割り込み要求は解除されます。MTUには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

## 10. マルチファンクションタイマパルスユニット (MTU)

表 10.13 MTU 割り込み一覧

チャンネル	割り込み要因	内容	DMAC の起動	優先順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	可	高 ↑ 低
	TGI0B	TGR0B のインプットキャプチャ / コンペアマッチ	不可	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	不可	
	TGI0D	TGR0D のインプットキャプチャ / コンペアマッチ	不可	
	TCI0V	TCNT0 のオーバフロー	不可	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	可	
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	不可	
	TCI1V	TCN1 のオーバフロー	不可	
	TCI1U	TCNT1 のアンダフロー	不可	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	可	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	不可	
	TCI2V	TCNT2 のオーバフロー	不可	
	TCI2U	TCNT2 のアンダフロー	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

### 10.5.2 DMA コントローラの起動

各チャンネルの TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みは、内蔵 DMA コントローラの起動要因とすることができます。詳細は「第 9 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU では、各チャンネル 1 本、計 3 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを DMA コントローラの起動要因とすることができます。

### 10.5.3 A/D 変換器の起動

各チャンネルの TGRA レジスタのインプットキャプチャ / コンペアマッチによって、内蔵 A/D 変換器を起動することができます。

各チャンネルの TGRA レジスタのインプットキャプチャ / コンペアマッチの発生により、タイマステータスレジスタ (TSR) の TGFA フラグが 1 にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 3 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを A/D 変換器の起動要因とすることができます。



## 10.6 動作タイミング

### 10.6.1 入出力タイミング

#### (1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 10.34 に示します。外部クロック動作 (ノーマルモード) の場合の TCNT のカウントタイミングを図 10.35 に、外部クロック動作 (位相計数モード) の場合の TCNT のカウントタイミングを図 10.36 に示します。

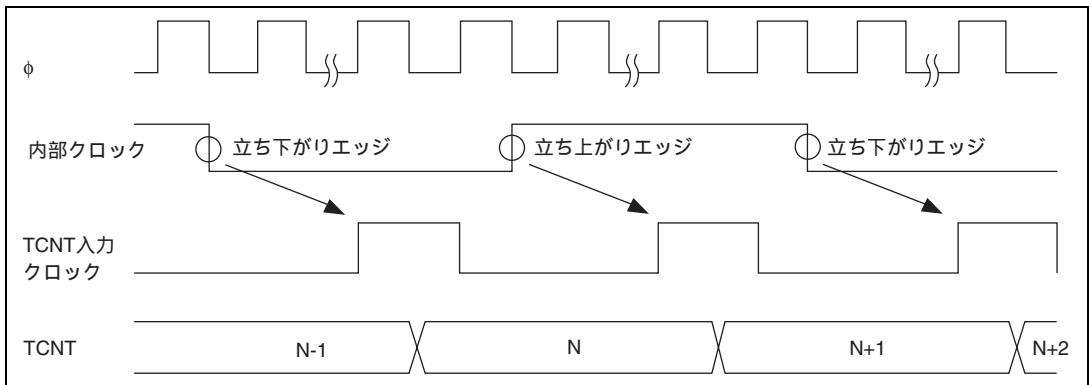


図 10.34 内部クロック動作時のカウントタイミング

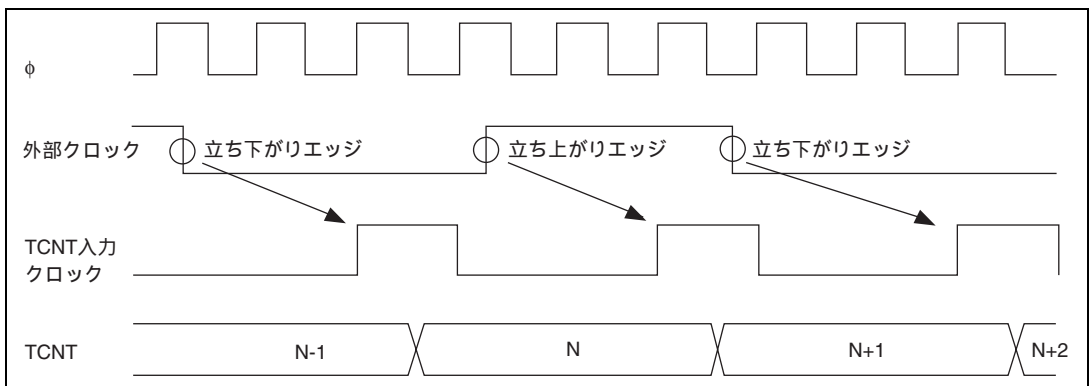


図 10.35 外部クロック動作時のカウントタイミング (ノーマルモード)

## 10. マルチファンクションタイマパルスユニット (MTU)

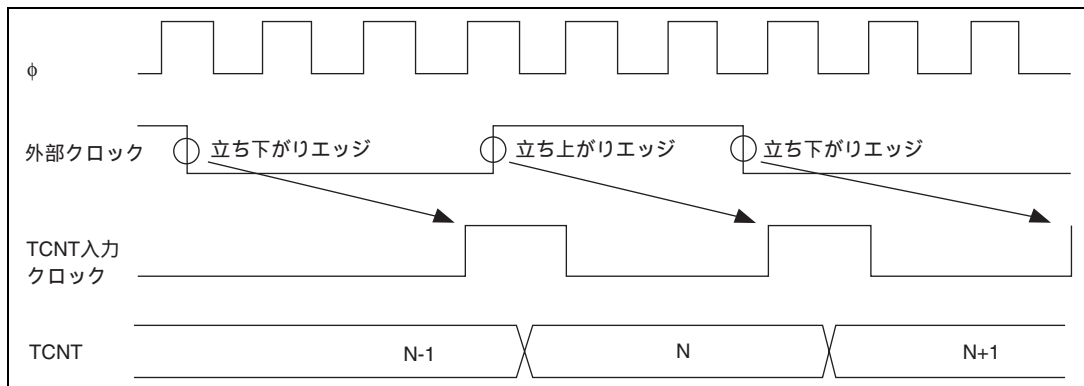


図 10.36 外部クロック動作時のカウントタイミング (位相計数モード)

### (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステートで発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生する直前まで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 10.37 に示します。

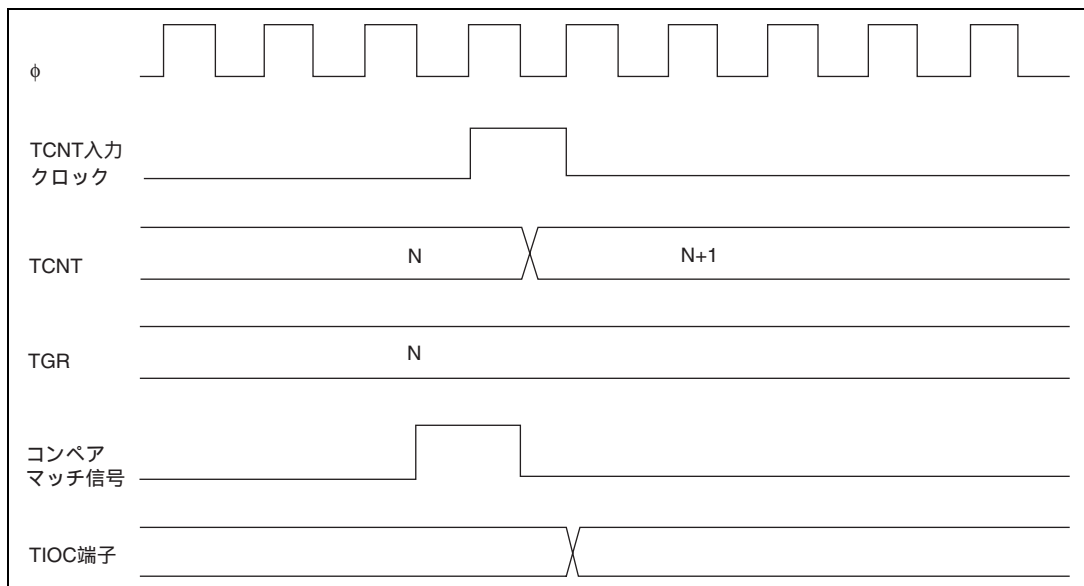


図 10.37 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 10.38 に示します。

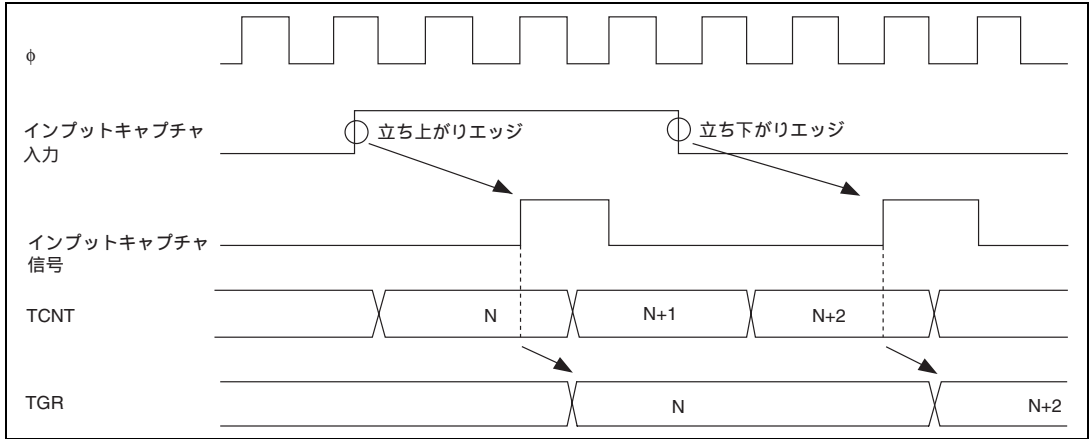


図 10.38 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.39 に示します。  
 インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.40 に示します。

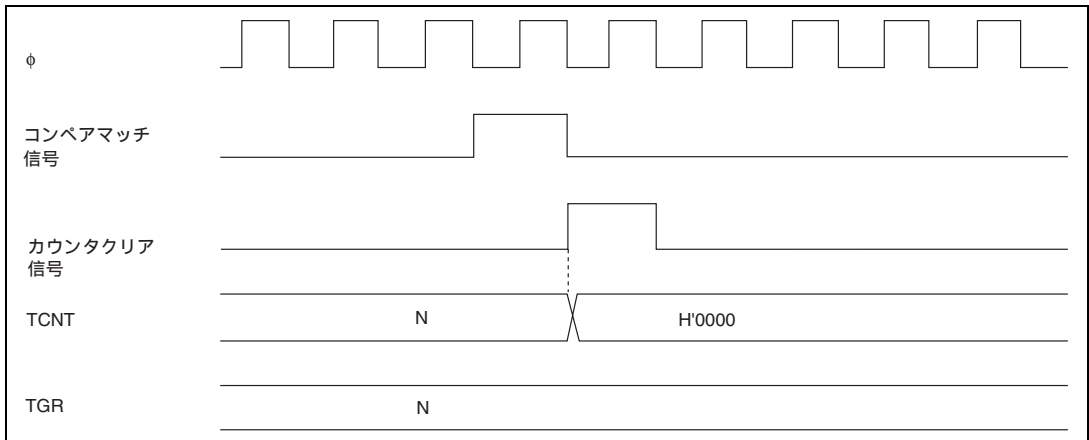


図 10.39 カウンタクリアタイミング (コンペアマッチ)

## 10. マルチファンクションタイマパルスユニット (MTU)

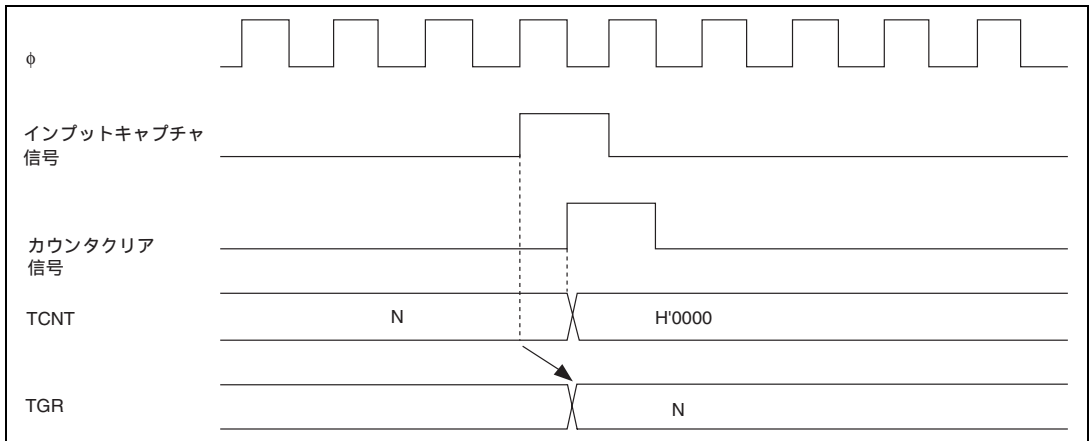


図 10.40 カウンタクリアタイミング (インプットキャプチャ)

### (5) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 10.41 に、インプットキャプチャバッファ動作のタイミングを図 10.42 に示します。

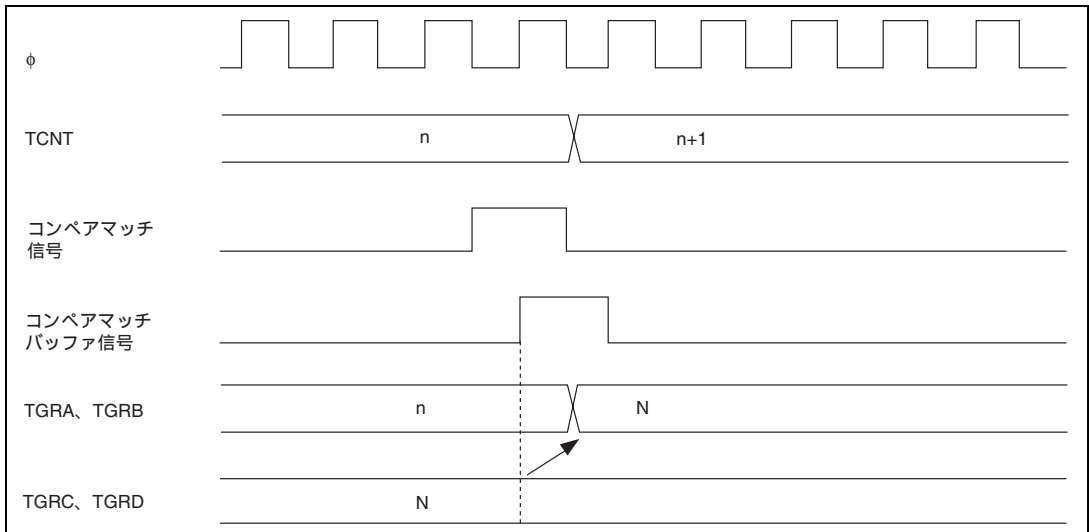


図 10.41 バッファ動作タイミング (コンペアマッチ)

10. マルチファンクションタイマパルスユニット (MTU)

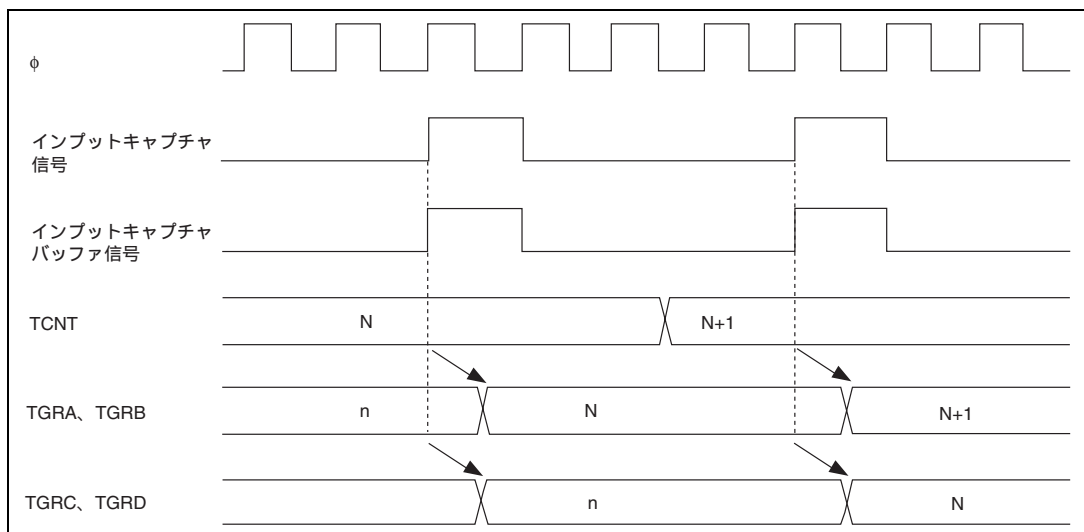


図 10.42 バッファ動作タイミング (インプットキャプチャ)

## 10.6.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるタイムステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.43 に示します。

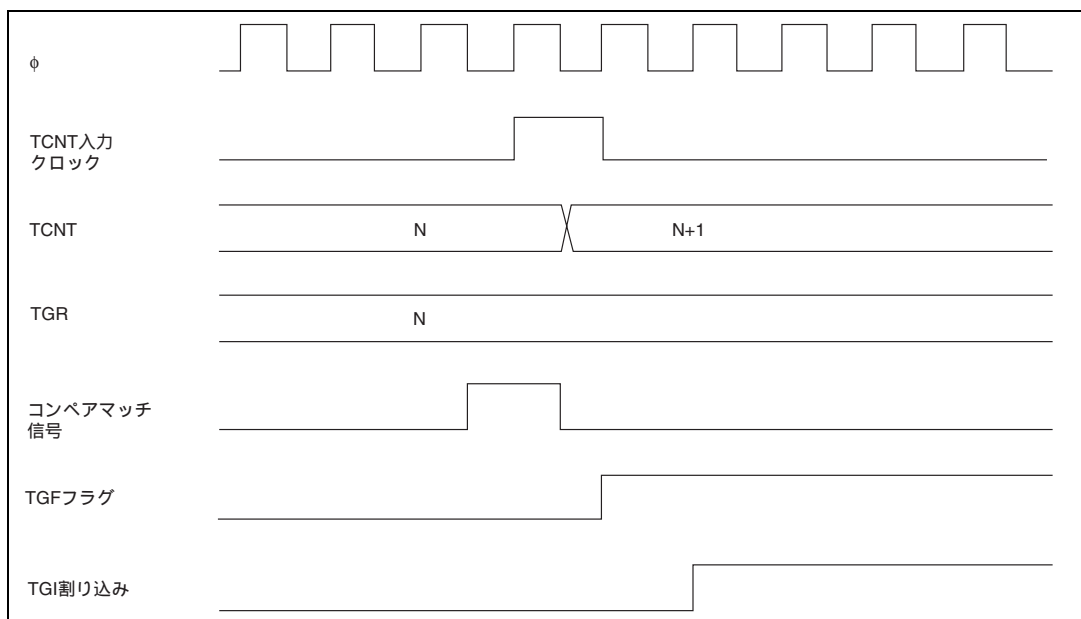


図 10.43 TGI 割り込みタイミング (コンペアマッチ)

## (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生によるタイムステータレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.44 に示します。

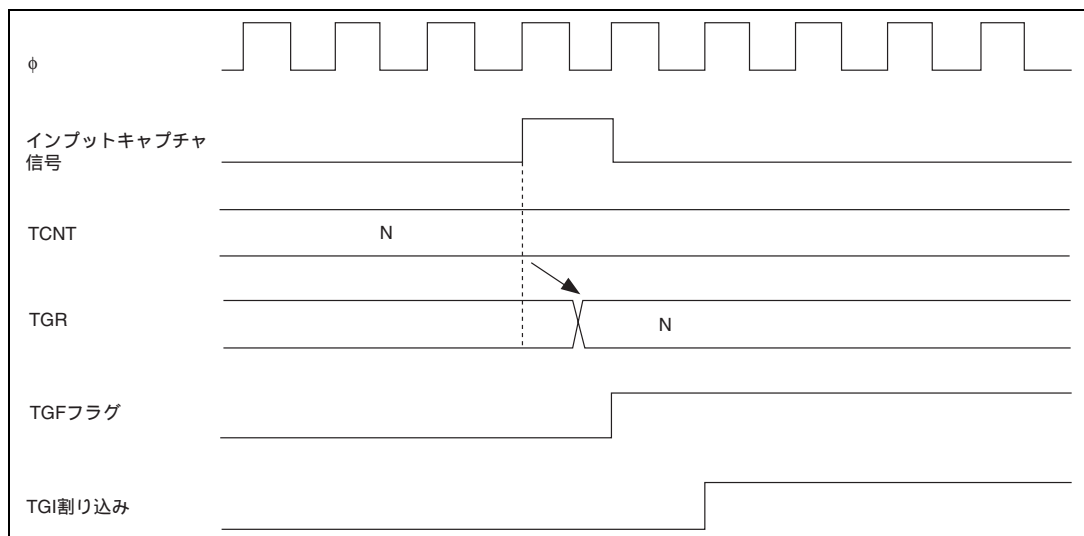


図 10.44 TGI 割り込みタイミング (インพุットキャプチャ)

## 10. マルチファンクションタイマパルスユニット (MTU)

### (3) オーバフローフラグ (TCFV) / アンダフローフラグ (TCFU) のセットタイミング

オーバフローの発生によるタイムステータスレジスタ (TSR) の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.45 に示します。

アンダフローの発生による TSR レジスタの TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.46 に示します。

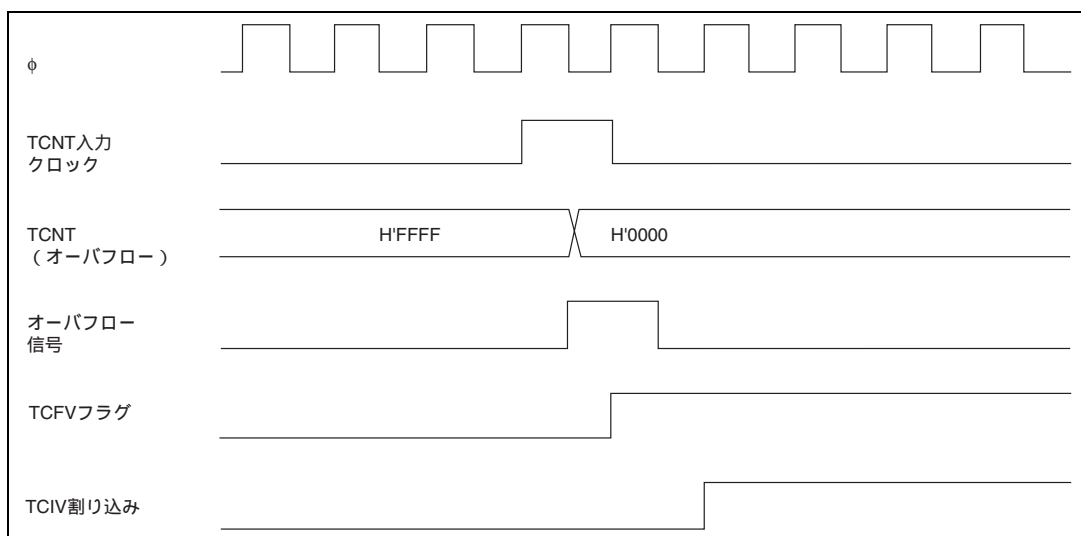


図 10.45 TCIV 割り込みのセットタイミング

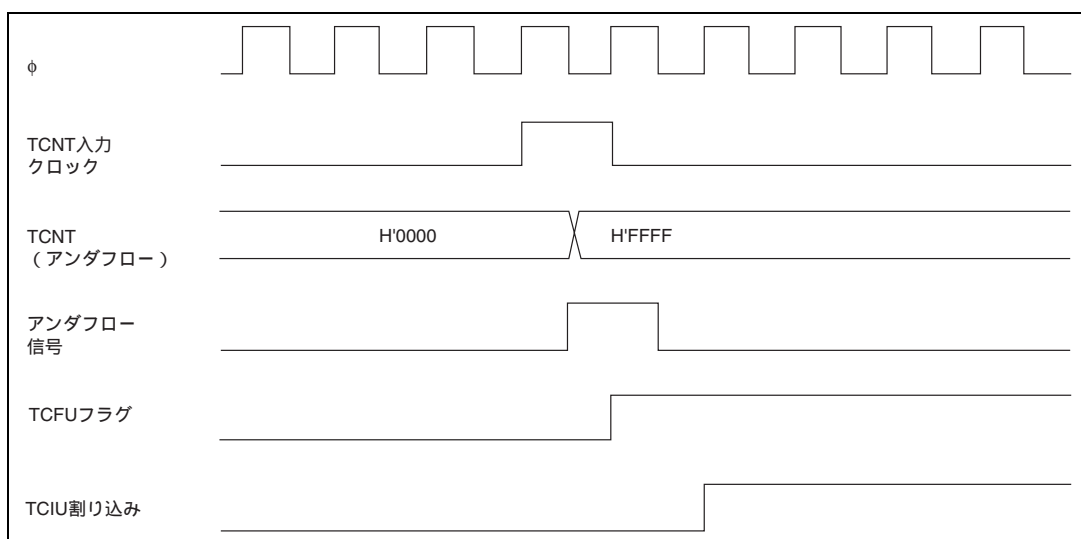


図 10.46 TCIU 割り込みのセットタイミング



(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態を読み出した後、0 を書き込むとクリアされます。DMA コントローラを起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 10.47 に、DMA コントローラによるステータスフラグのクリアのタイミングを図 10.48 に示します。

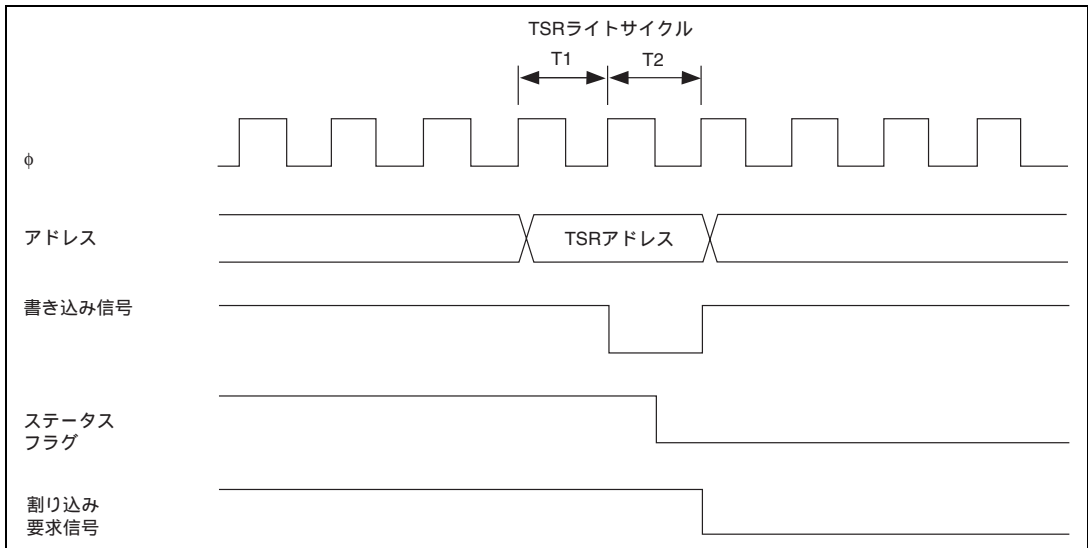


図 10.47 CPU によるステータスフラグのクリアタイミング

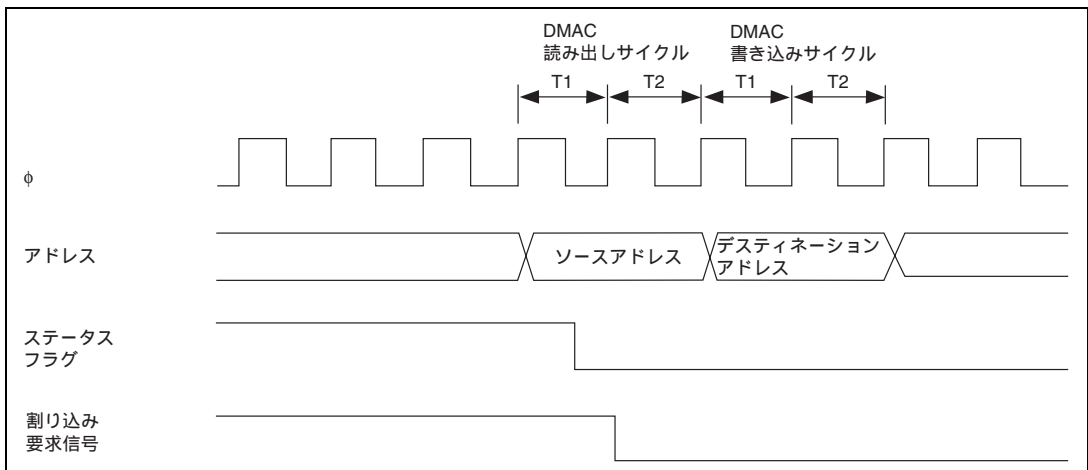


図 10.48 DMAC の起動によるステータスフラグのクリアタイミング

## 10.7 使用上の注意

MTU の動作中、以下に示す動作や競合が起こりますので注意してください。

### (1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 10.49 に示します。

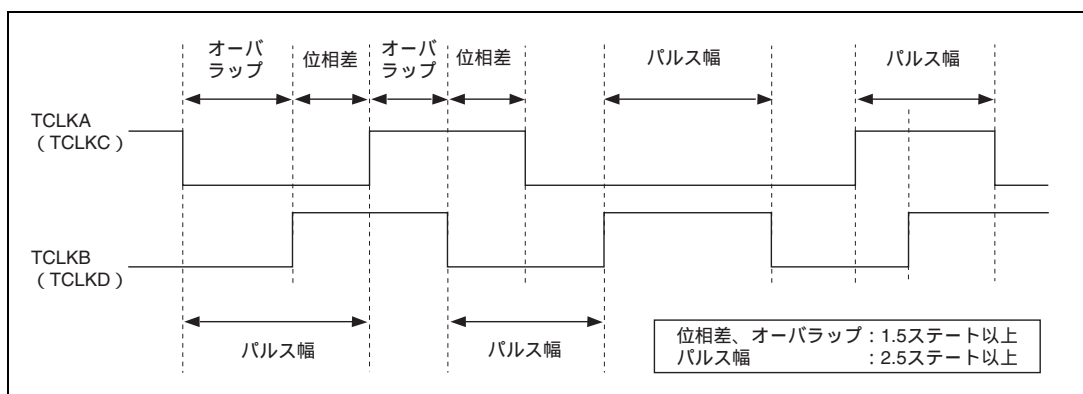


図 10.49 位相計数モード時の位相差、オーバーラップおよびパルス幅

### (2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

$\phi$  : 動作周波数

N : TGR の設定値

## (3) TCNT の書き込みとクリアの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.50 に示します。

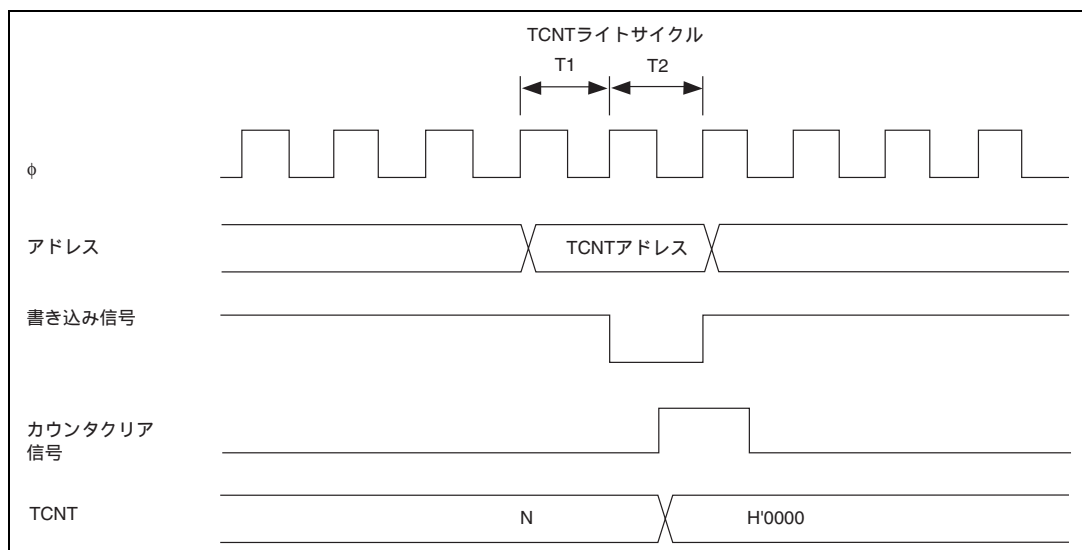


図 10.50 TCNT の書き込みとクリアの競合

## 10. マルチファンクションタイマパルスユニット (MTU)

### (4) TCNT の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 10.51 に示します。

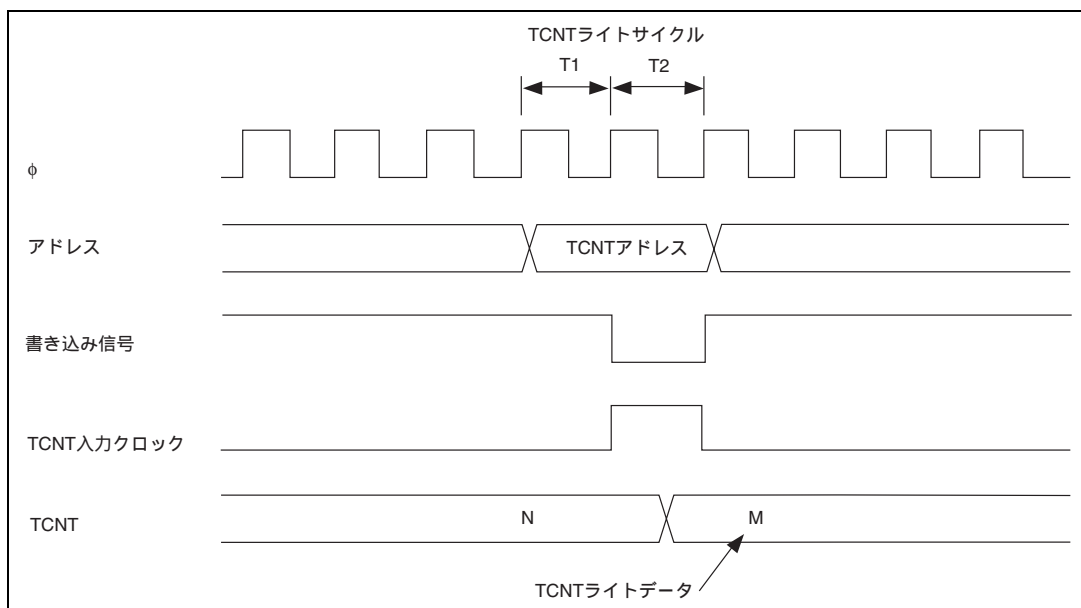


図 10.51 TCNT の書き込みとカウントアップ信号

## (5) バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によってバッファレジスタから TGR にデータが転送されます。転送されるデータはチャンネル 0 では書き込み後のデータです。

このタイミングを図 10.52 に示します。

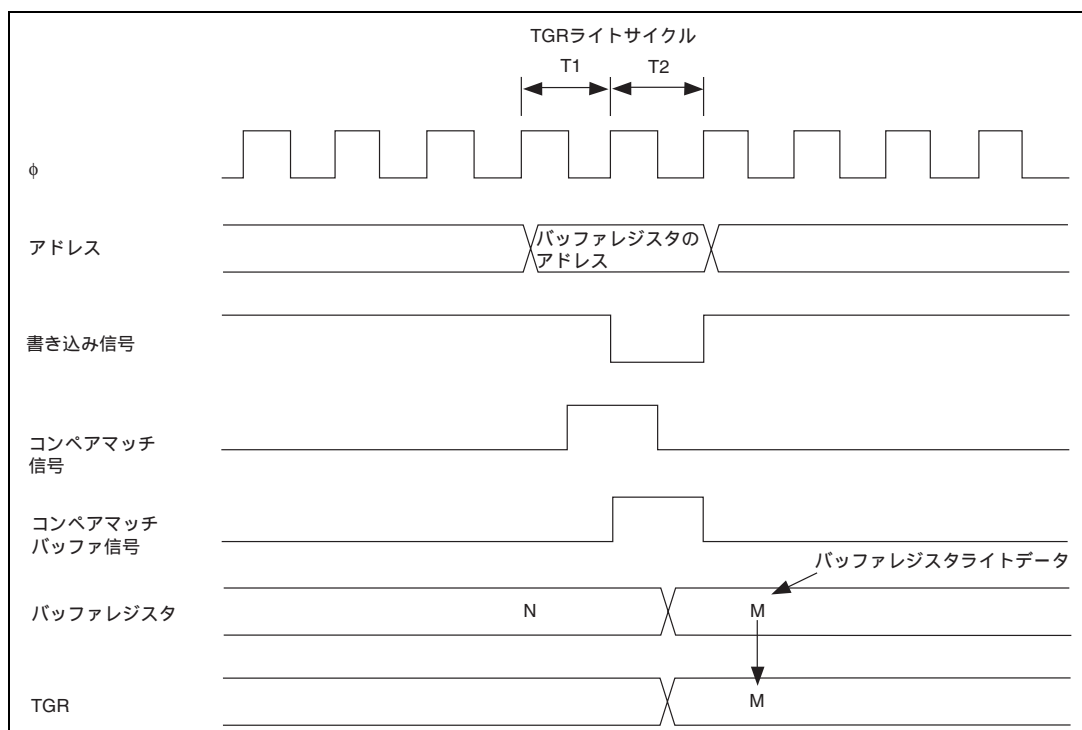


図 10.52 TGR の書き込みとコンペアマッチの競合 (チャンネル 0)

## 10. マルチファンクションタイムパルスユニット (MTU)

### (6) TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出しされるデータはインプットキャプチャ転送後のデータです。

このタイミングを図 10.53 に示します。

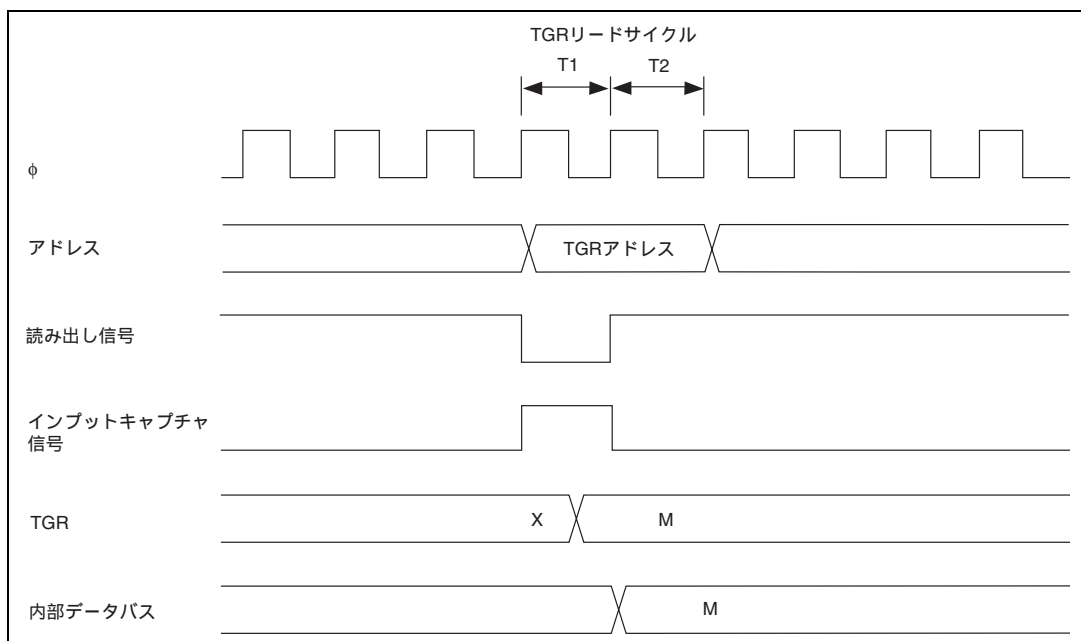


図 10.53 TGR の読み出しとインプットキャプチャの競合

## (7) TGR の書き込みとインプットキャプチャの競合

TGR の書き込みサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR への書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.54 に示します。

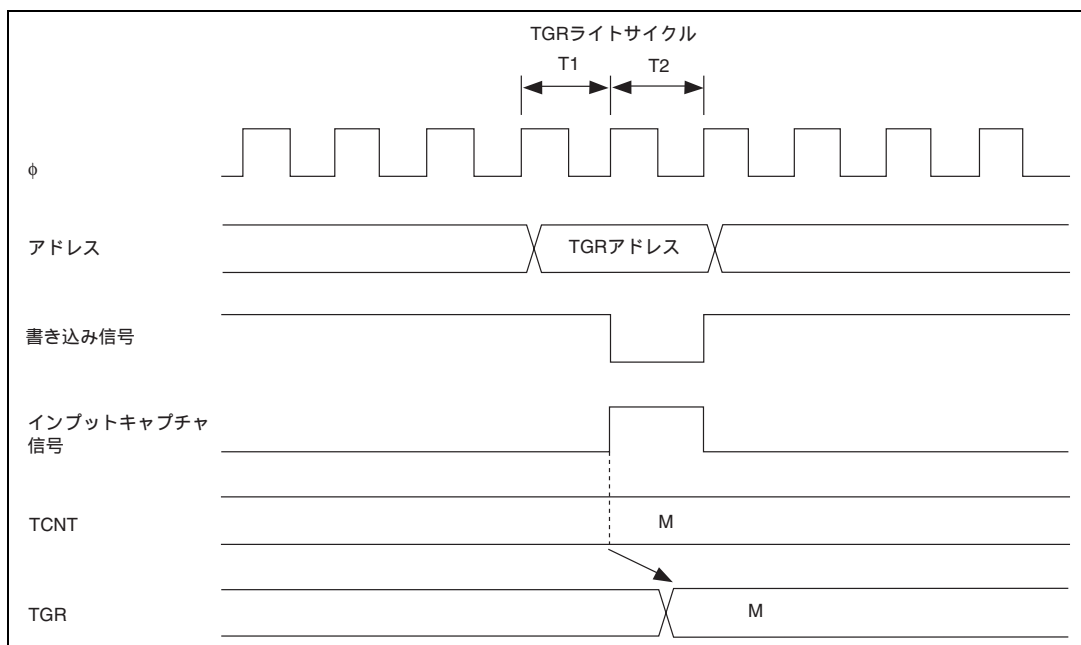


図 10.54 TGR の書き込みとインプットキャプチャの競合

## 10. マルチファンクションタイムパルスユニット (MTU)

### (8) バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 10.55 に示します。

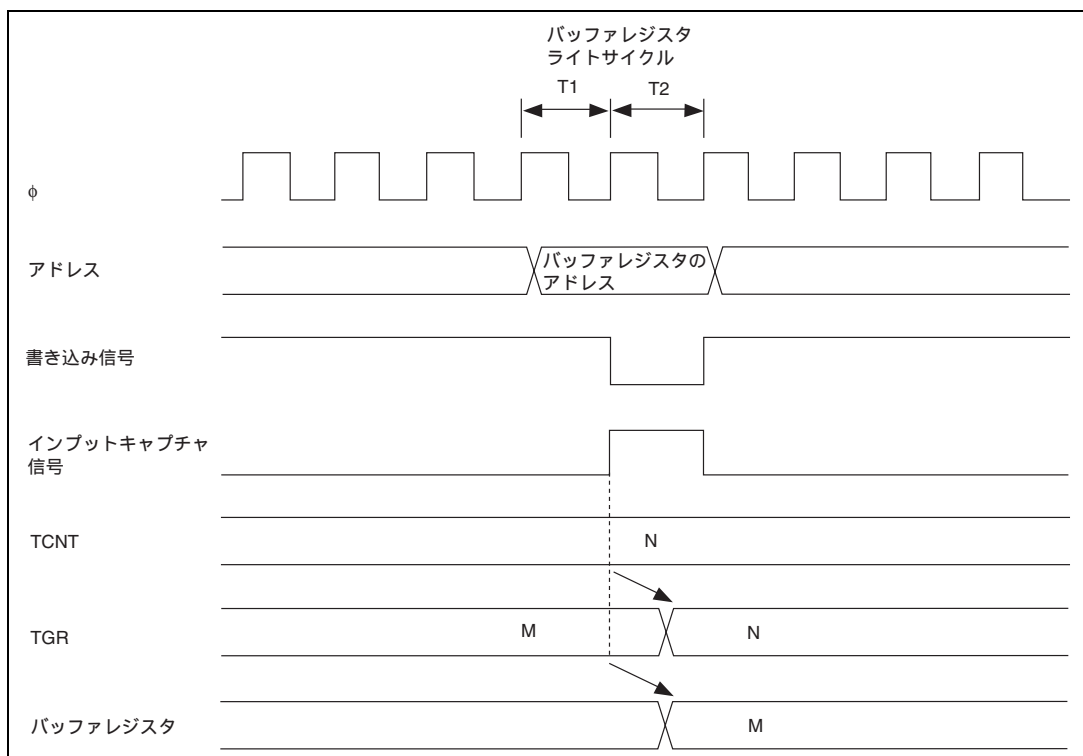


図 10.55 バッファレジスタの書き込みとインプットキャプチャの競合



## (9) TGR の書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR には書き込みデータが書き込まれ、コンペアマッチ信号が発生します。

このタイミングを図 10.56 に示します。

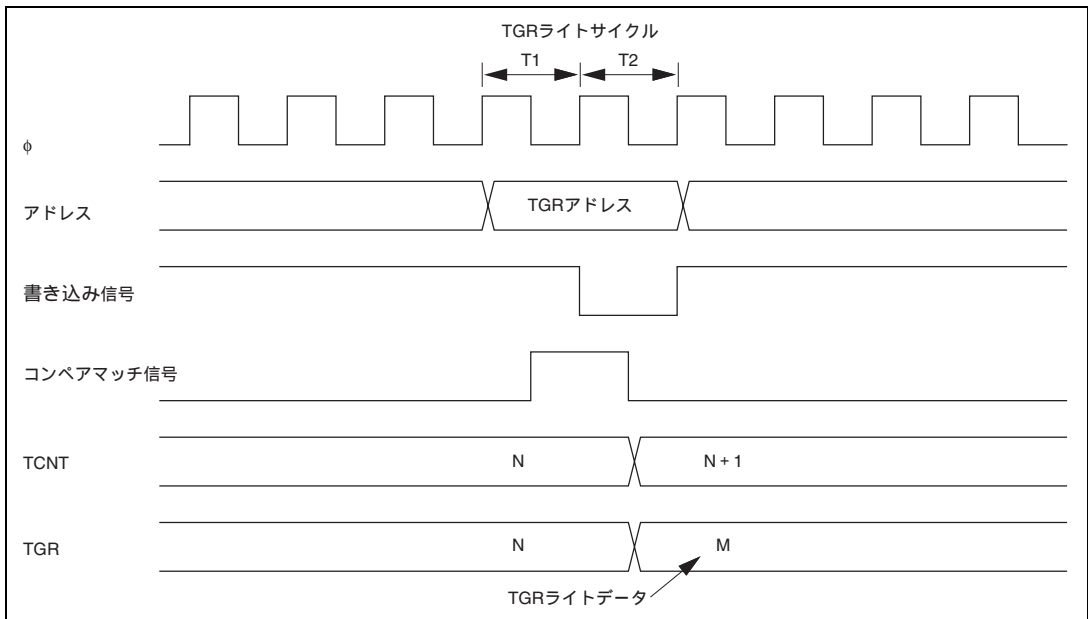


図 10.56 TGR の書き込みとコンペアマッチの競合

## (10) カスケード接続における TCNT2 の書き込みとオーバーフロー / アンダフローの競合

タイマカウンタ (TCNT1 と TCNT2) をカスケード接続し、TCNT1 がカウントする瞬間 (TCNT2 がオーバーフロー / アンダフローする瞬間) と TCNT2 の書き込みサイクル中の T2 ステートが競合すると、TCNT2 への書き込みが行われ、TCNT1 のカウント信号が禁止されます。このとき、TGR1A がコンペアマッチレジスタとして動作し TCNT1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 のインプットキャプチャ要因に TCNT1 カウントクロックを選択した場合には、TGR0A ~ TGR0D はインプットキャプチャ動作します。さらに TGR1B のインプットキャプチャ要因に TGR0C のコンペアマッチ / インプットキャプチャを選択した場合には、TGR1B はインプットキャプチャ動作します。

このタイミングを図 10.57 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

## 10. マルチファンクションタイマパルスユニット (MTU)

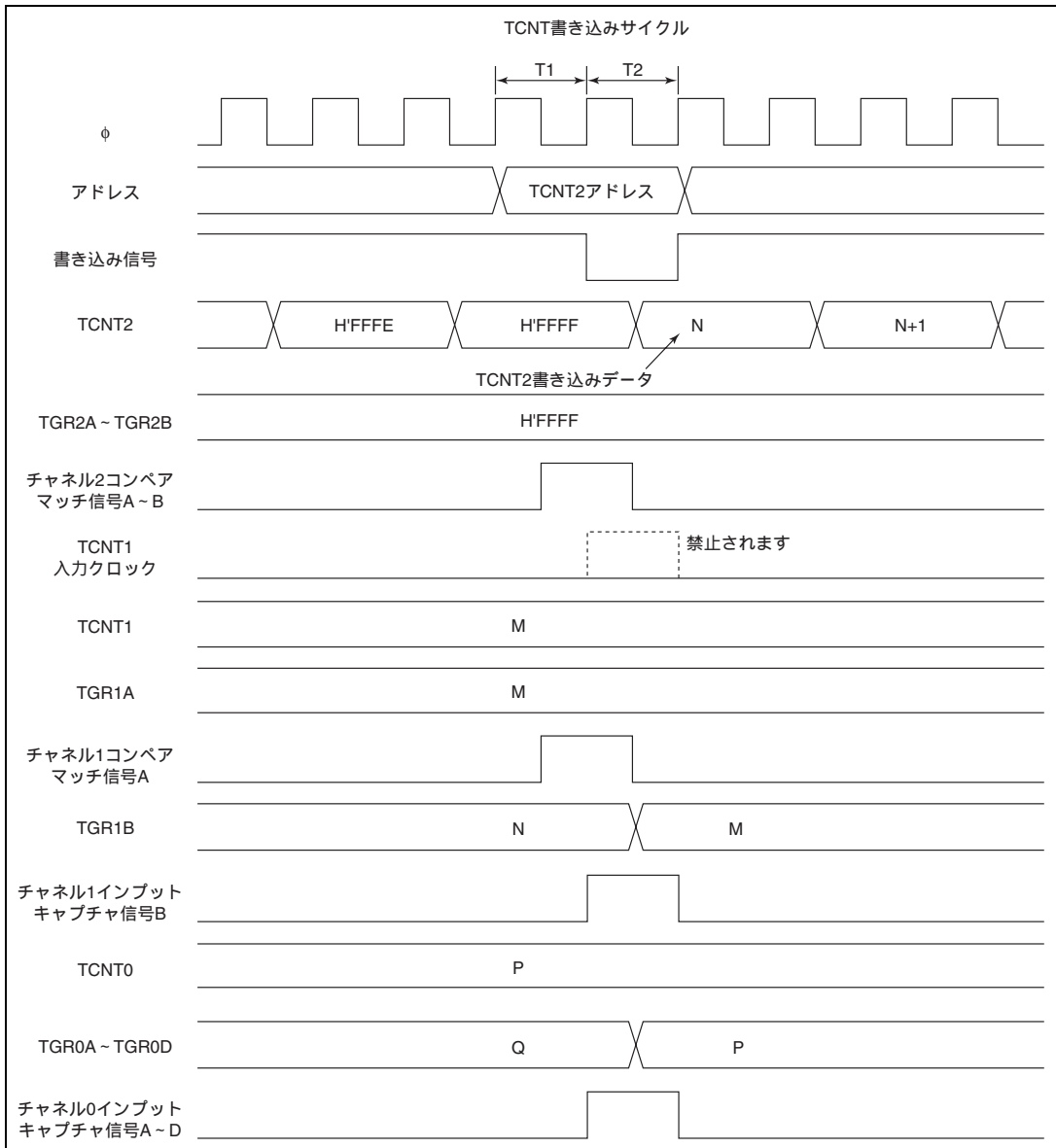


図 10.57 カスケード接続における TCNT2 の書き込みとオーバフロー / アンダフローの競合

## (11) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.58 に示します。

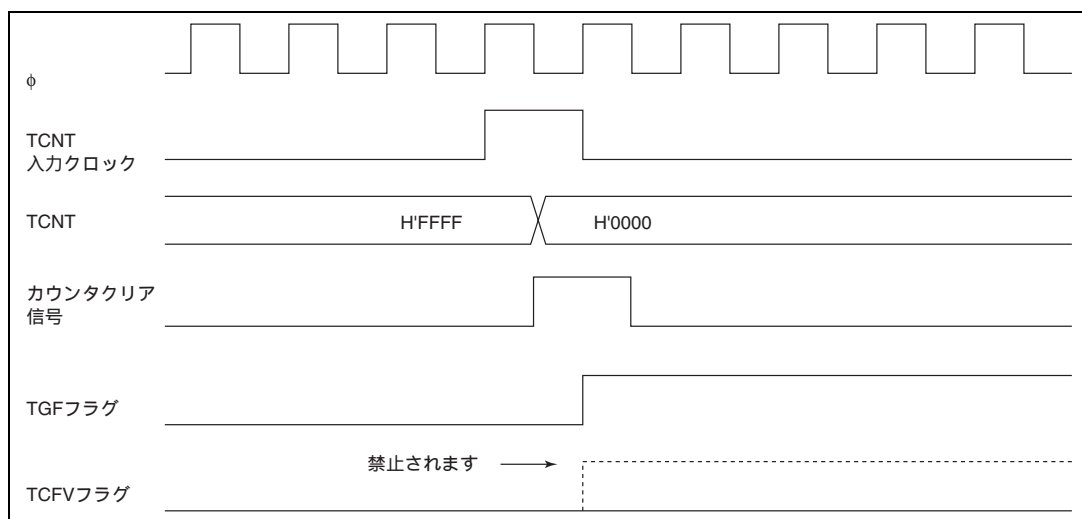


図 10.58 オーバフローとカウンタクリアの競合

## 10. マルチファンクションタイマパルスユニット (MTU)

### (12) TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても TCNT への書き込みが優先され、TSR の TCFV/TCFU フラグはセットされません。

このタイミングを図 10.59 に示します。

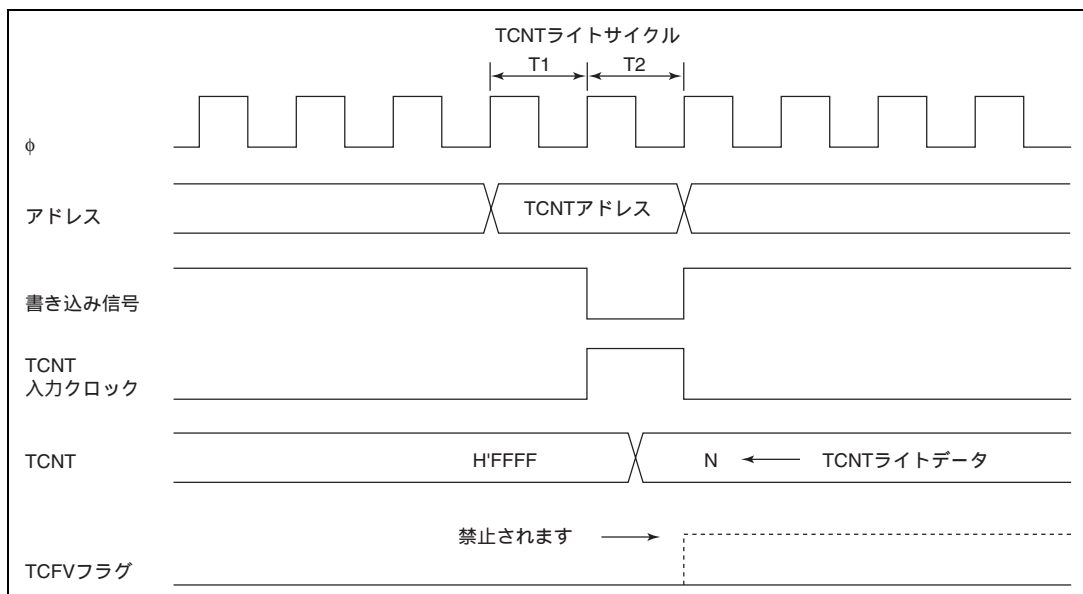


図 10.59 TCNT の書き込みとオーバーフローの競合

### (13) チャンネル 0 を PWM モード 1 でバッファ動作させる場合の注意事項

PWM モード 1 では TGRA と TGRB レジスタをペアで使用し TIOCA 端子に PWM 波形を出力します。同様に、TGRC と TGRD レジスタをペアで使用し TIOCC 端子に PWM 波形を出力します。TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、TIOCC 端子はタイマ I/O コントロールレジスタ (TIOR) による初期出力設定も PWM 波形出力もできません。

チャンネル 0 では、PWM モード 1 で TGRD レジスタのみバッファ動作の設定を行った場合、TIOCC 端子は TIOR による初期出力設定、PWM 出力のいずれも可能となるためご注意ください。

チャンネル 0 を PWM モード 1 で使用し、バッファ動作の設定をする場合、TGRC と TGRD レジスタはいずれもバッファレジスタとしてご使用ください。

## 10.8 MTU 出力端子の初期化方法

### 10.8.1 動作モード

MTU には以下の 4 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル 0~2)
- PWM モード 1 (チャンネル 0~2)
- PWM モード 2 (チャンネル 0~2)
- 位相計数モード 1~4 (チャンネル 1~2)

ここでは、おのおののモードでの MTU 出力端子の初期化方法について示します。

### 10.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC\*) はリセットまたはスタンバイモード時に "L" に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 "L" がそのまま出力されます。アクティブレベルが "L" の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】\* にはチャンネル番号 + ポート記号が入ります。

### 10.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述の様に 4 つの動作モードがあります。モード遷移の組み合わせは 16 通りとなります。この一覧表を表 10.14 に示します。

表 10.14 モード遷移の組み合わせ

前 \ 後	Normal	PWM1	PWM2	PCM
Normal	(1)	(2)	(3)	(4)
PWM1	(5)	(6)	(7)	(8)
PWM2	(9)	(10)	(11)	(12)
PCM	(13)	(14)	(15)	(16)

凡例

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1~4

以後の文章中、上記の凡例を使用する場合があります。

### 10.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では TIOC\*B (TIOC\*D) 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

【注】本項記述中の \* にはチャンネル番号が入ります。

以下、表 10.14 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは "L" とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.60 に示します。

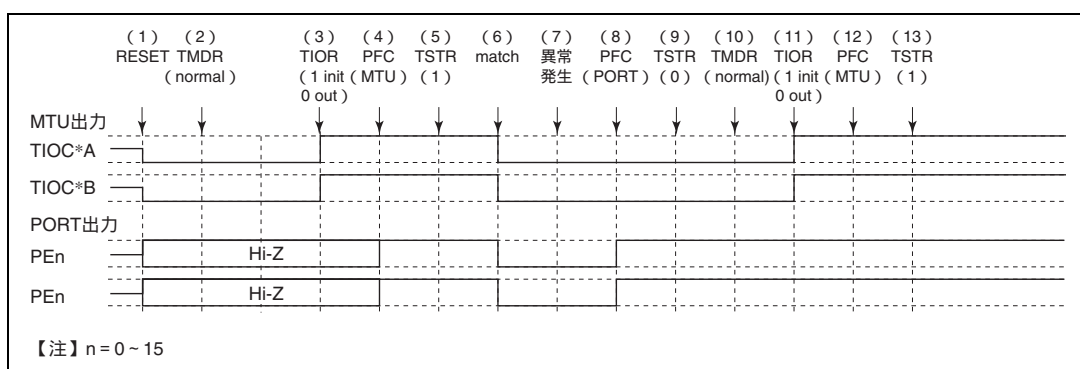


図 10.60 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力はLowレベル、PORTはハイインピーダンスになります。
- (2) RESETによりTMDRはノーマルモード設定になります。
- (3) TIORで端子を初期化してください (例は初期出力はHighレベル、コンペアマッチでLowレベル出力です)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。

- (6) コンペアマッチの発生によりLowレベルを出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードで再スタートする場合は必要ありません。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWMモード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図10.61に示します。

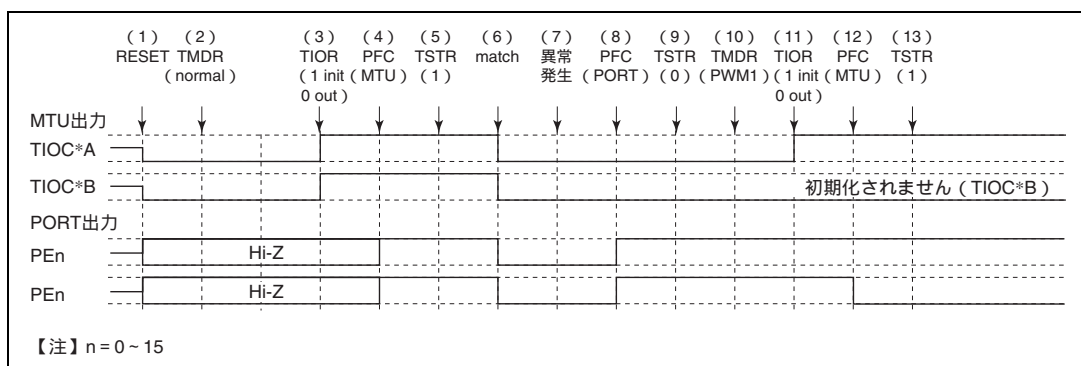


図 10.61 ノーマルモードで異常が発生し、PWMモード1で復帰する場合

- (1) ~ (9) は図 10.60 と共通です。
- (10) PWMモード1を設定します。
- (11) TIORで端子を初期化してください (PWMモード1ではTIOC\*B側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWMモード1に遷移してください)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## 10. マルチファンクションタイマパルスユニット (MTU)

### (3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後PWMモード2で再スタートする場合の説明図を図10.62に示します。

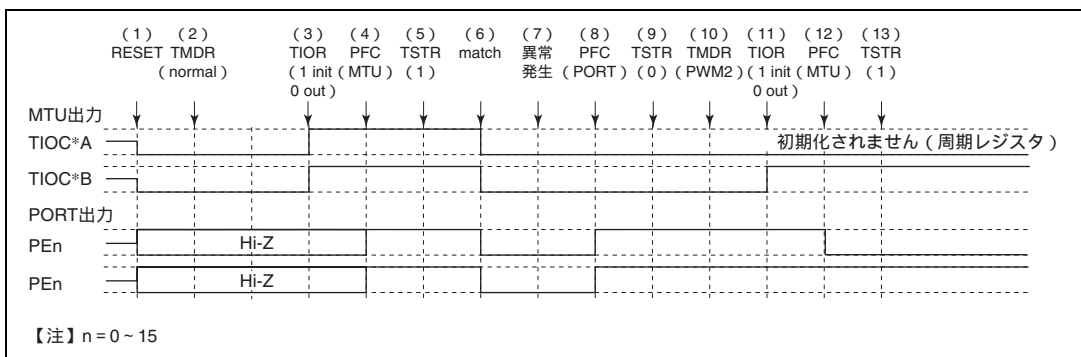


図 10.62 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.60 と共通です。

(10) PWMモード2を設定します。

(11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後PWMモード2に遷移してください)。

(12) PFCでMTU出力としてください。

(13) TSTRで再スタートします。

### (4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタート場合の説明図を図10.63に示します。

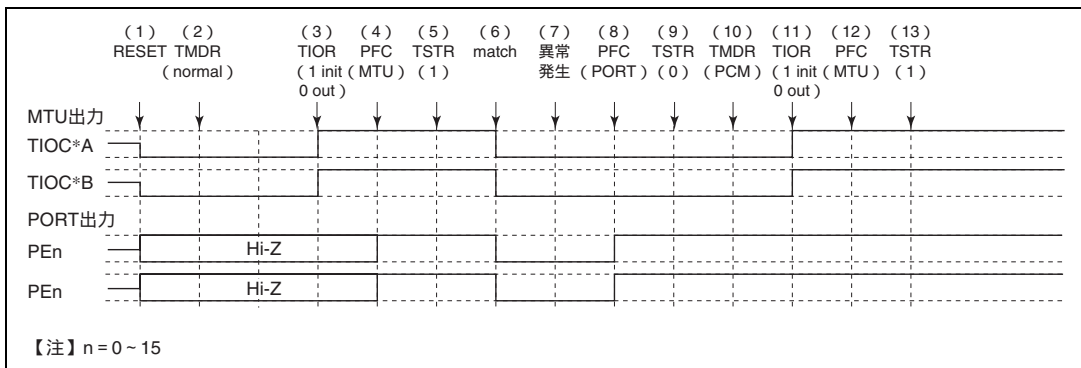


図 10.63 ノーマルモードで異常が発生し、位相計数モードで復帰する場合



- (1) ~ (9) は図 10.60 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(5) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.64 に示します。

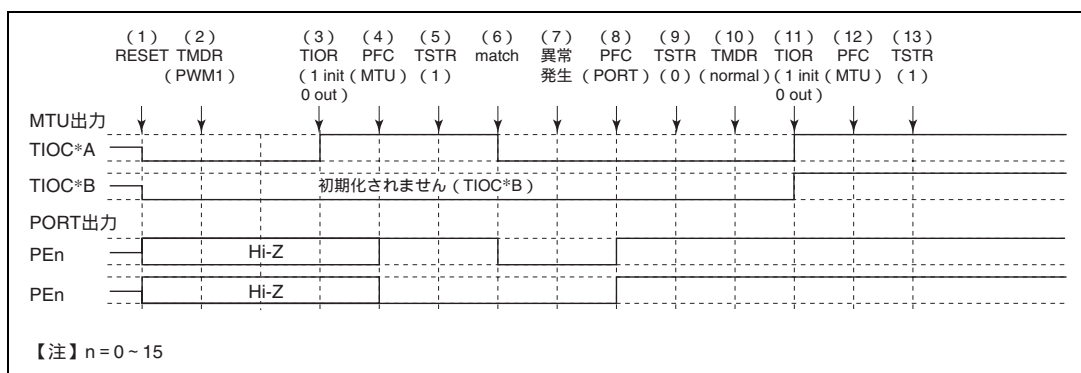


図 10.64 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力はLowレベル、PORTはハイインピーダンスになります。
- (2) PWMモード1を設定してください。
- (3) TIORで端子を初期化してください(例は初期出力はHighレベル、コンペアマッチでLowレベル出力です。PWMモード1ではTIOC\*B側は初期化されません)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。
- (6) コンペアマッチの発生によりLowレベルを出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## 10. マルチファンクションタイマパルスユニット (MTU)

### (6) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.65 に示します。

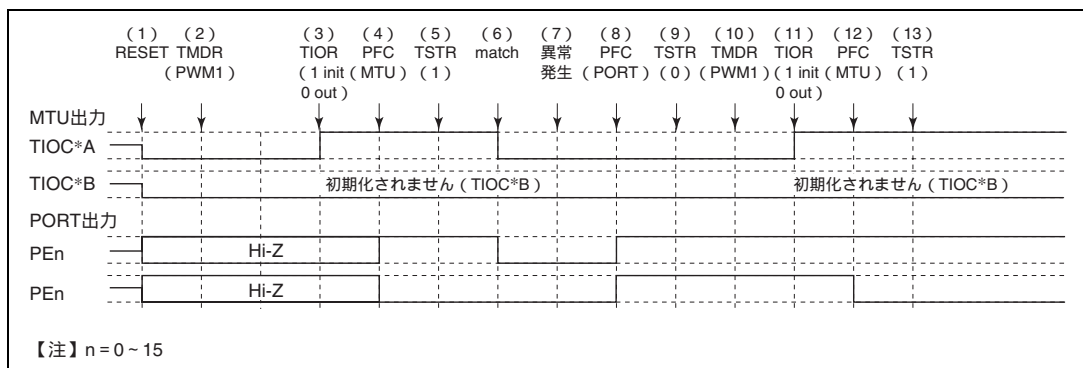


図 10.65 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 10.64 と共通です。
- (10) PWMモード1で再スタートする場合には必要ありません。
- (11) TIORで端子を初期化してください (PWMモード1ではTIOC\*B側は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

### (7) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.66 に示します。

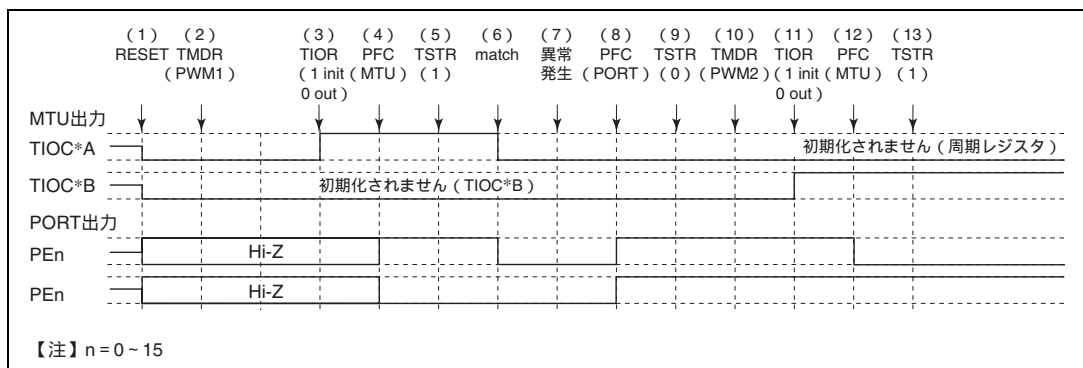


図 10.66 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 10.64 と共通です。
- (10) PWMモード2を設定します。

- (11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(8) PWMモード1で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWMモード1で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図10.67に示します。

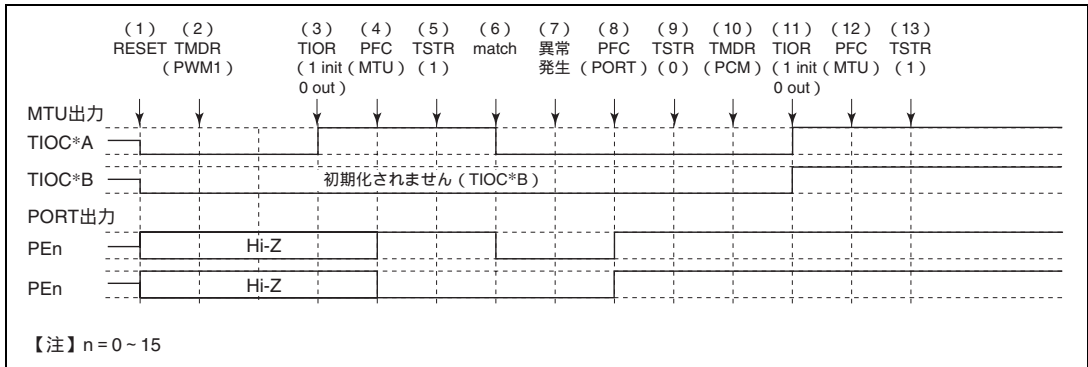


図 10.67 PWMモード1で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.64 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## 10. マルチファンクションタイマパルスユニット (MTU)

### (9) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.68 に示します。

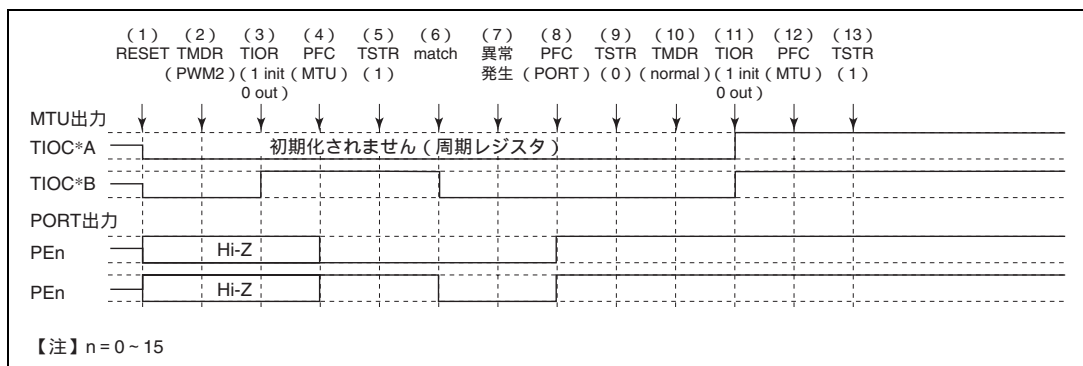


図 10.68 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力はLowレベル、PORTはハイインピーダンスになります。
- (2) PWMモード2を設定してください。
- (3) TIORで端子を初期化してください(例は初期出力はHighレベル、コンペアマッチでLowレベル出力です。PWMモード2では周期レジスタの端子は初期化されません。例はTIOC\*Aが周期レジスタの場合です)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。
- (6) コンペアマッチの発生によりLowレベルを出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(10) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.69 に示します。

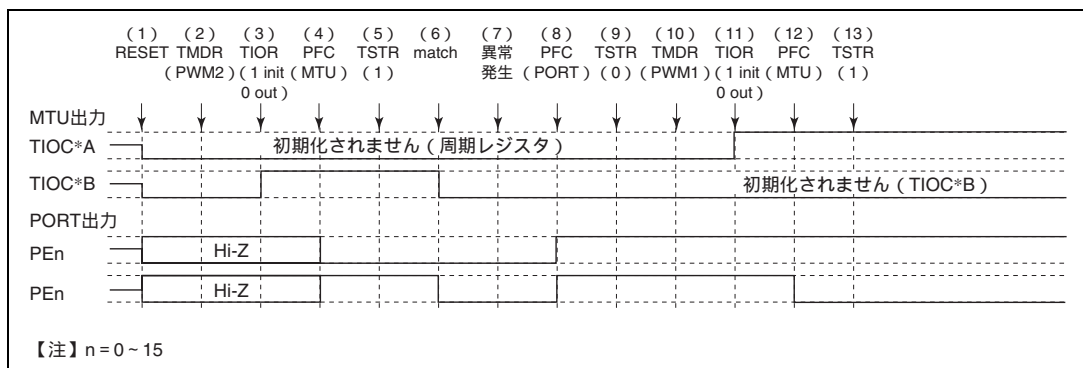


図 10.69 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 10.68 と共通です。
- (10) PWMモード1を設定します。
- (11) TIORで端子を初期化してください (PWMモード1ではTIOC\*B側は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(11) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.70 に示します。

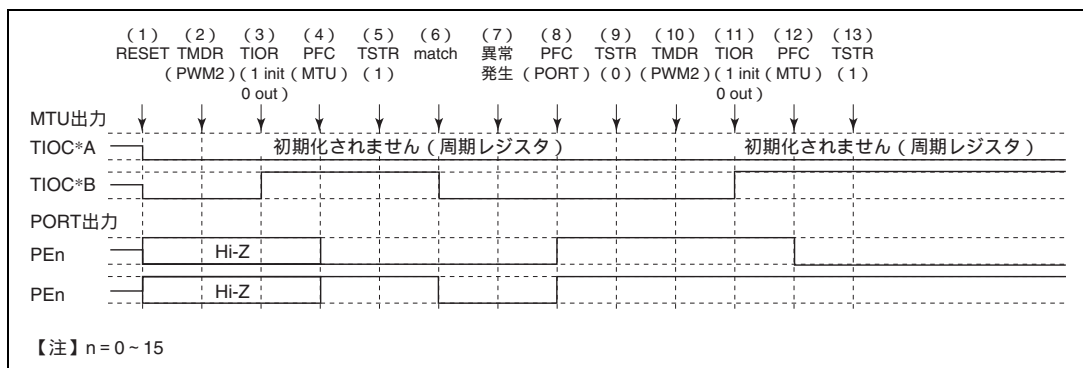


図 10.70 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 10.68 と共通です。
- (10) PWMモード2で再スタートする場合には必要ありません。

## 10. マルチファンクションタイマパルスユニット (MTU)

- (11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

### (12) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.71 に示します。

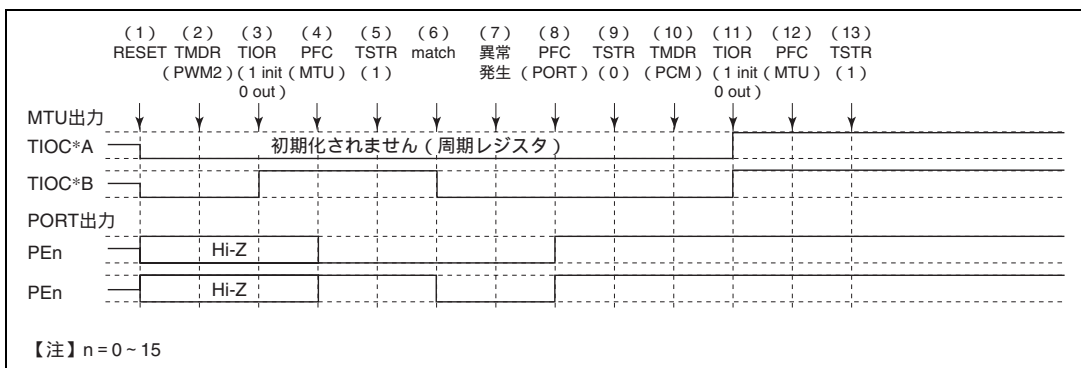


図 10.71 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.68 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## (13) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設計後ノーマルモードで再スタートする場合の説明図を図10.72に示します。

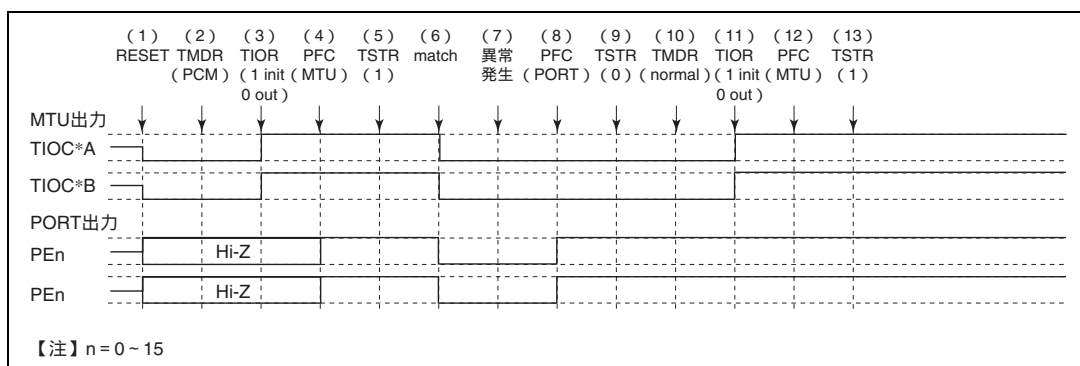


図 10.72 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESETによりMTU出力はLowレベル、PORTはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIORで端子を初期化してください(例は初期出力はHighレベル、コンペアマッチでLowレベル出力です)。
- (4) PFCでMTU出力としてください。
- (5) TSTRでカウント動作を開始します。
- (6) コンペアマッチの発生によりLowレベルを出力します。
- (7) 異常が発生しました。
- (8) PFCでPORT出力とし、アクティブレベルの反転を出力してください。
- (9) TSTRでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## 10. マルチファンクションタイマパルスユニット (MTU)

### (14) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.73 に示します。

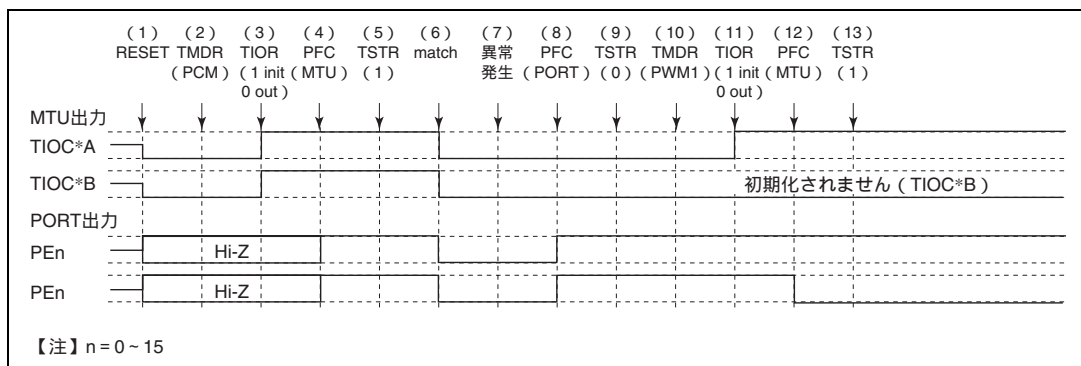


図 10.73 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 10.72 と共通です。
- (10) PWMモード1を設定します。
- (11) TIORで端子を初期化してください (PWMモード1ではTIOC\*B側は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

### (15) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.74 に示します。

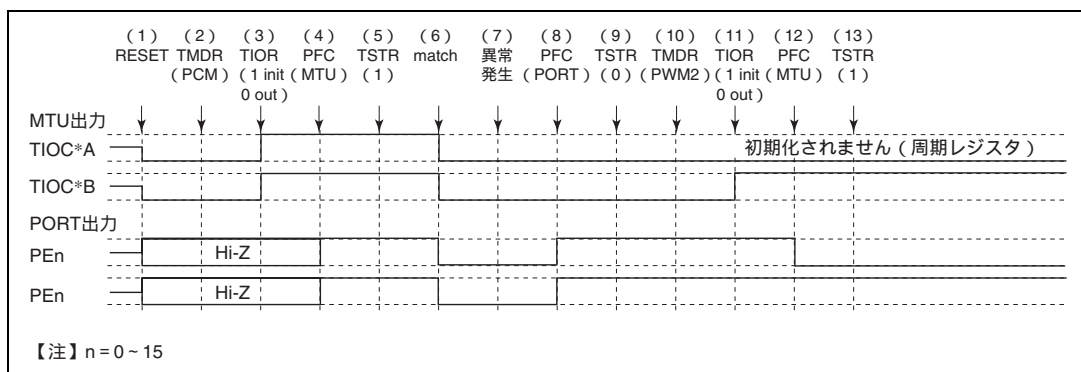


図 10.74 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 10.72 と共通です。
- (10) PWMモード2を設定します。



- (11) TIORで端子を初期化してください(PWMモード2では周期レジスタの端子は初期化されません)。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

(16) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作  
 位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図10.75に示します。

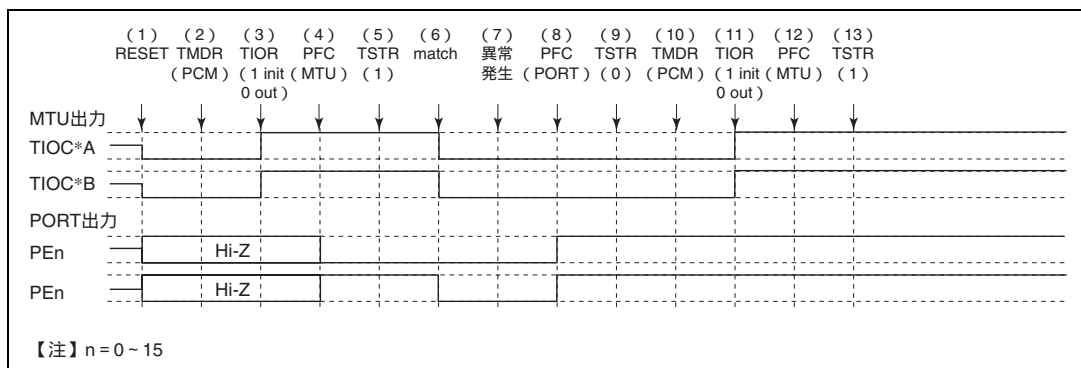


図 10.75 位相計数モードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.72 と共通です。
- (10) 位相計数モードで再スタートする場合には必要ありません。
- (11) TIORで端子を初期化してください。
- (12) PFCでMTU出力としてください。
- (13) TSTRで再スタートします。

## 10. マルチファンクションタイマパルスユニット (MTU)

---

---

## 11. ウォッチドッグタイマ (WDT)

---

### 11.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号( $\overline{\text{WDTOVF}}$ )を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDTはスタンバイモードの解除時にも使用されます。

#### 11.1.1 特長

WDTには次のような特長があります。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力  
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。
- インターバルタイマモード時、割り込みを発生  
カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- スタンバイモードの解除時に使用
- 8種類のカウンタ入力クロックを選択可能

## 11. ウォッチドッグタイマ (WDT)

### 11.1.2 ブロック図

WDTのブロック図を図 11.1 に示します。

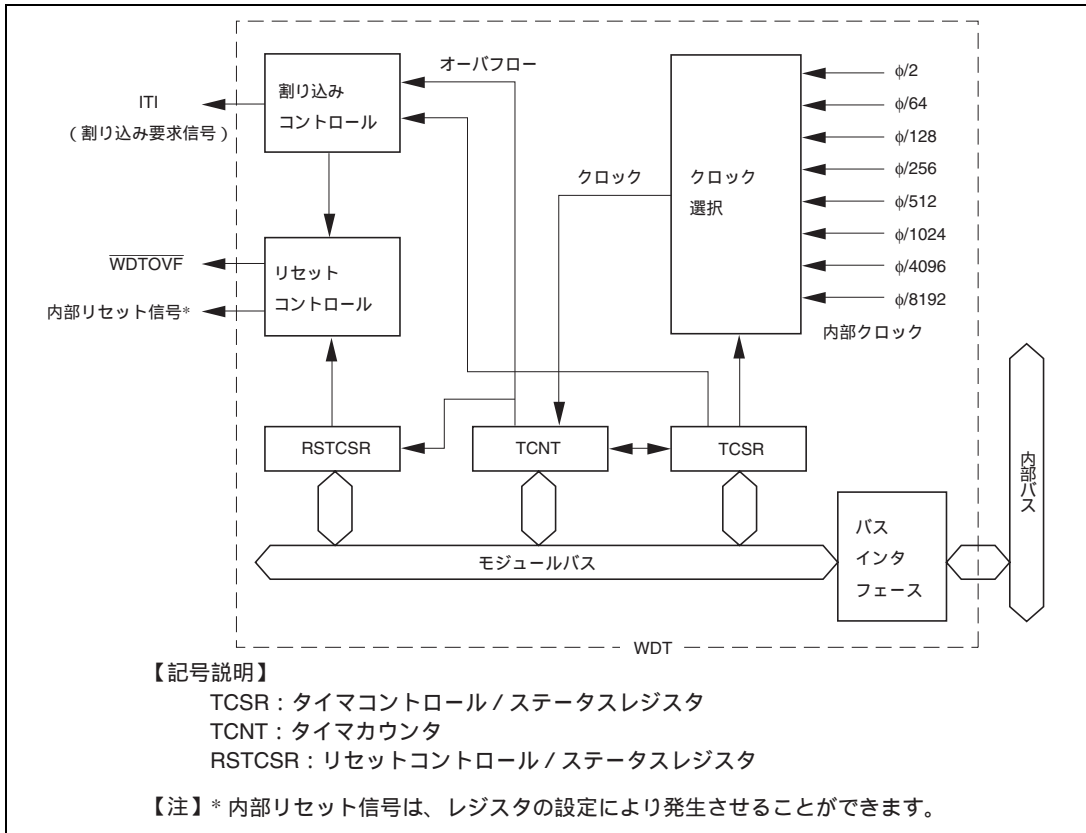


図 11.1 WDTのブロック図

### 11.1.3 端子構成

WDTの端子を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

### 11.1.4 レジスタ構成

WDT には、表 11.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* <sup>1</sup>	読み出し* <sup>2</sup>
タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* <sup>3</sup>	H'18	H'FFFF8610	H'FFFF8610
タイマカウンタ	TCNT	R/W	H'10		H'FFFF8611
リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* <sup>3</sup>	H'1F	H'FFFF8612	H'FFFF8613

- 【注】 \*1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- \*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。
- \*3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

## 11.2 レジスタの説明

### 11.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な\* 8 ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF→H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (WDTOVF) またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセットまたは TME ビットが 0 のとき、H'00 に初期化されます。スタンバイモード時には初期化されません。

【注】\* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

### 11.2.2 タイマコントロール / ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME			CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R(W)*	R/W	R/W	R	R	R/W	R/W	R/W

タイマコントロール / ステータスレジスタ (TCSR) は、読み出し / 書き込み可能な\* 8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット 7~5 は、パワーオンリセットおよびスタンバイモードで 000 に初期化されます。ビット 2~0 は、パワーオンリセットで 000 に初期化されますが、スタンバイモード時には初期化されません。

【注】\* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

## ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

## ビット6: タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 $\overline{\text{WDTOVF}}$  信号が発生するかが決まります。

ビット6	説明
WT/IT	
0	インターバルタイマモード: TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力*

【注】 \* ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

## ビット5: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル: TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル: TCNT はカウントアップを開始。TCNT がオーバフローすると、 $\overline{\text{WDTOVF}}$ 信号または割り込みが発生

## ビット4、3: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

## 11. ウォッチドッグタイマ (WDT)

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック ( $\phi$ ) を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ( $\phi=28.7\text{MHz}$ の場合)
0	0	0	$\phi/2$ (初期値)	17.9 $\mu\text{s}$
		1	$\phi/64$	573.4 $\mu\text{s}$
	1	0	$\phi/128$	1.1ms
		1	$\phi/256$	2.3ms
1	0	0	$\phi/512$	4.6ms
		1	$\phi/1024$	9.2ms
	1	0	$\phi/4096$	36.7ms
		1	$\phi/8192$	73.4ms

【注】 \* オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

### 11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE						
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R	R	R	R	R	R

【注】 \* ビット7には、フラグをクリアするために0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な\*8ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御します。

RSTCSRは、 $\overline{\text{RES}}$  端子からのリセット信号でH'1Fに初期化されますが、WDTのオーバーフローによる内部リセット信号では初期化されません。スタンバイモード時には、H'1Fに初期化されます。

【注】 \* RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。



## ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF→H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードで TCNT のオーバフローなし [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む (初期値)
1	ウォッチドッグタイマモードで TCNT のオーバフロー発生

## ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSET	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき、内部リセットする

【注】 \* 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

## ビット5：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット4～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 11.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

#### (1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 11.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

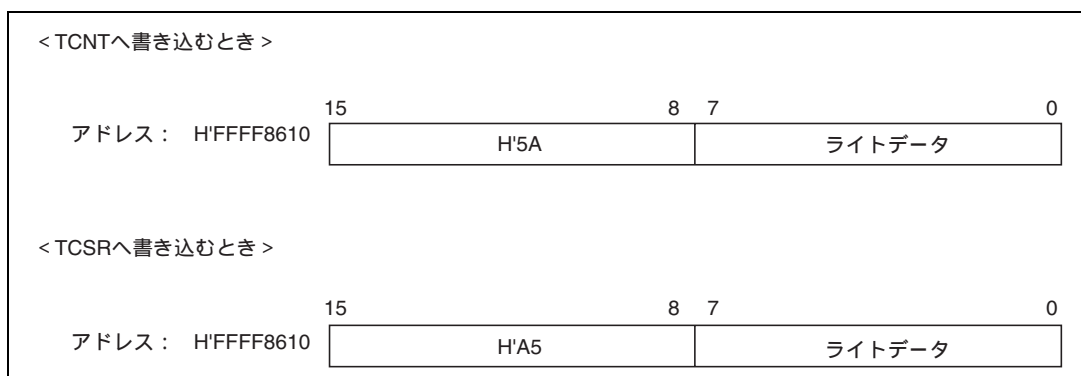


図 11.2 TCNT、TCSR への書き込み

## (2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) に書き込む場合では、図 11.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

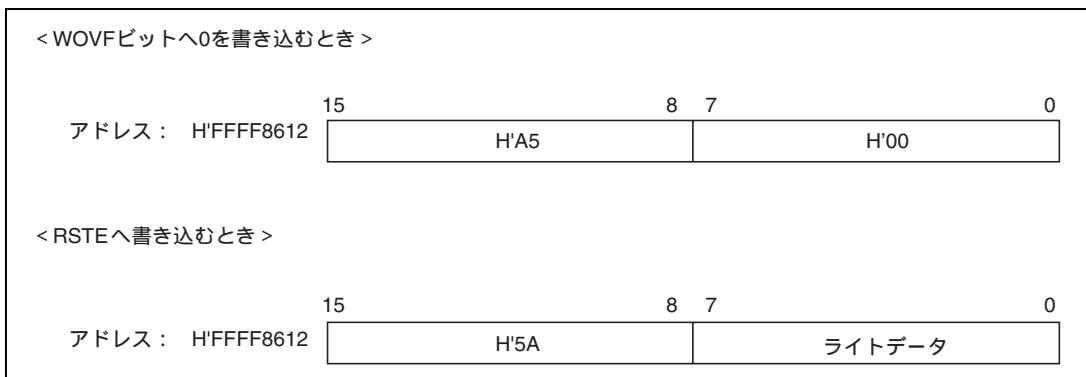


図 11.3 RSTCSR への書き込み

## (3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFF8610 に、TCNT は、アドレス H'FFFF8611 に、RSTCSR は、アドレス H'FFFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

## 11.3 動作説明

### 11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の  $WT/\overline{IT}$  ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 $\overline{WDTOVF}$  信号が外部に出力されます。これを図 11.4 に示します。この  $\overline{WDTOVF}$  信号を用いて、システムをリセットすることができます。 $\overline{WDTOVF}$  信号は、128 $\phi$ クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 $\overline{WDTOVF}$  信号と同時に、本 LSI の内部をリセットする信号が発生します。内部リセット信号は、512 $\phi$ クロックの間出力されます。

RES 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、RES 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

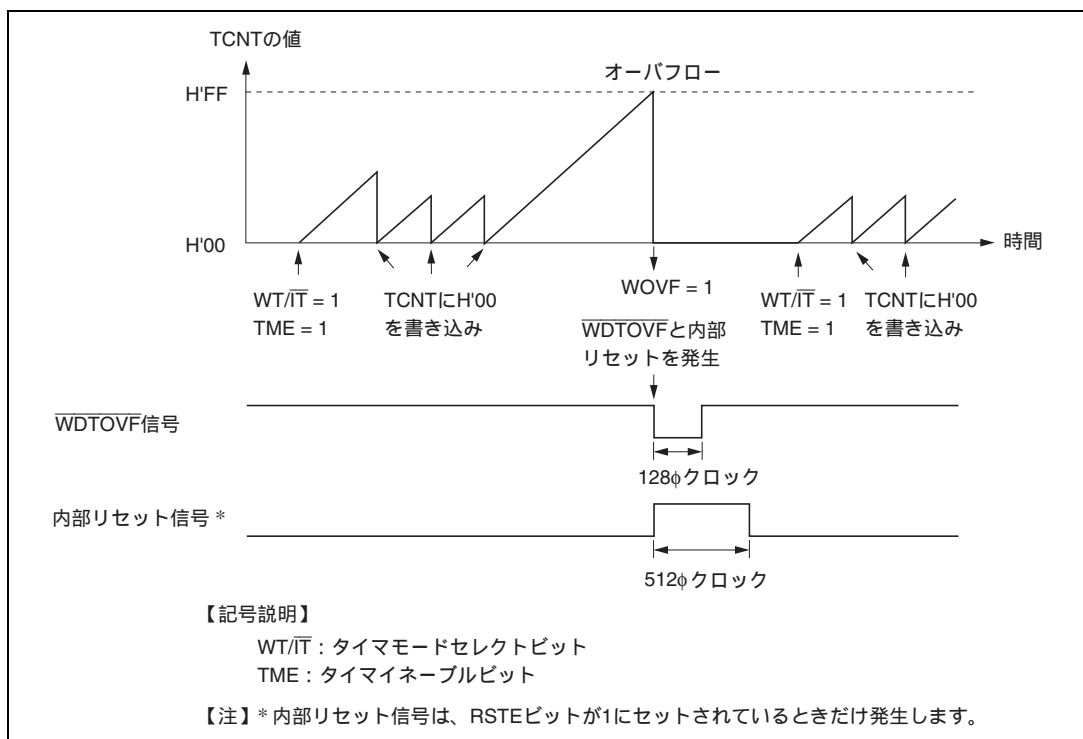


図 11.4 ウォッチドッグタイマモード時の動作

### 11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、タイマコントロール/ステータスレジスタ (TCSR) の  $WT/\overline{IT}$  ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 11.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

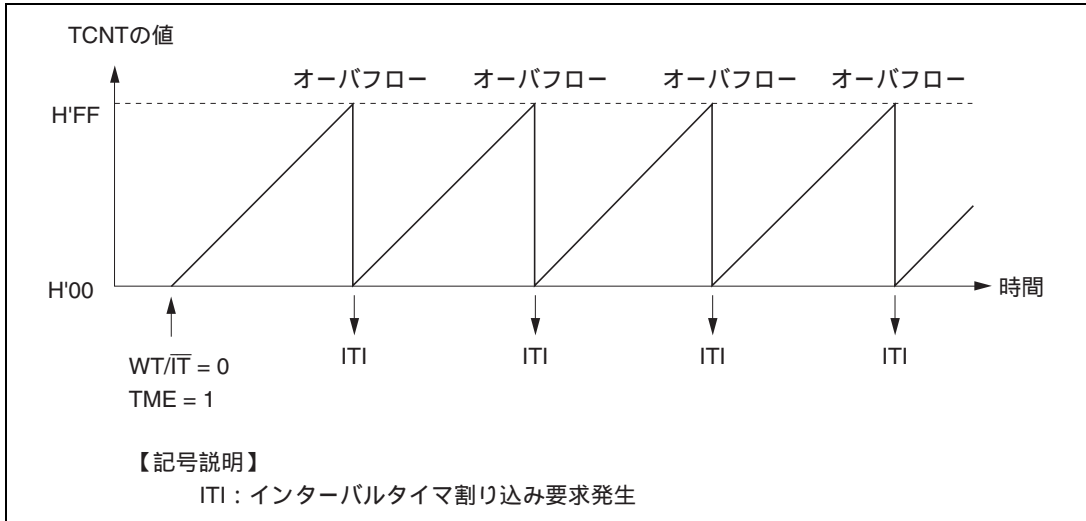


図 11.5 インターバルタイマモード時の動作

### 11.3.3 スタンバイモード解除時の動作

WDT は、スタンバイモードが NMI 割り込みで解除されるときに使用されます。スタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

#### (1) スタンバイモード遷移前の設定

スタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、スタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバーフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「22.3 AC 特性」を参照してください。

#### (2) スタンバイモード解除時の動作

スタンバイモードで NMI 信号が入力されると、発振器が動作を開始し、TCNT はスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバーフロー (H'FF → H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除されます。

スタンバイモードの詳細については、「第 21 章 低消費電力状態」を参照してください。

### 11.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 11.6 に示します。

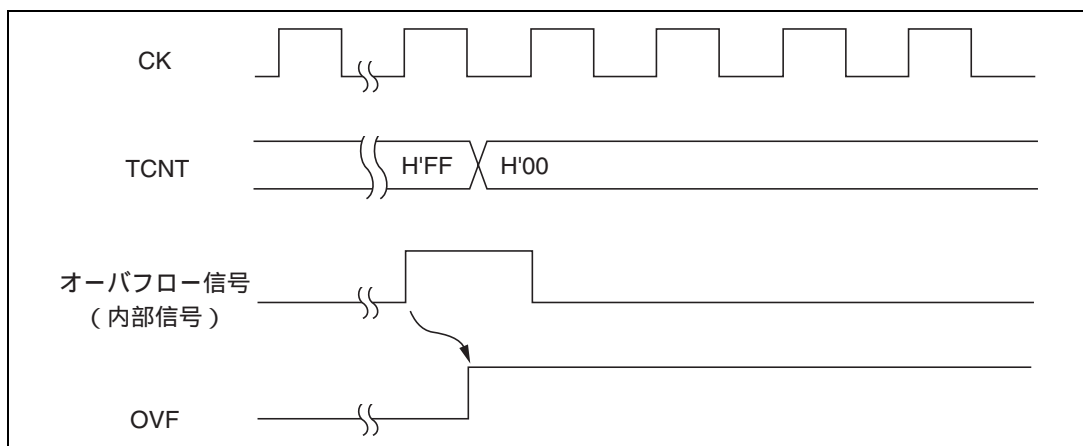


図 11.6 オーバフローフラグ (OVF) のセットタイミング

### 11.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDT0VF}}$  信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 11.7 に示します。

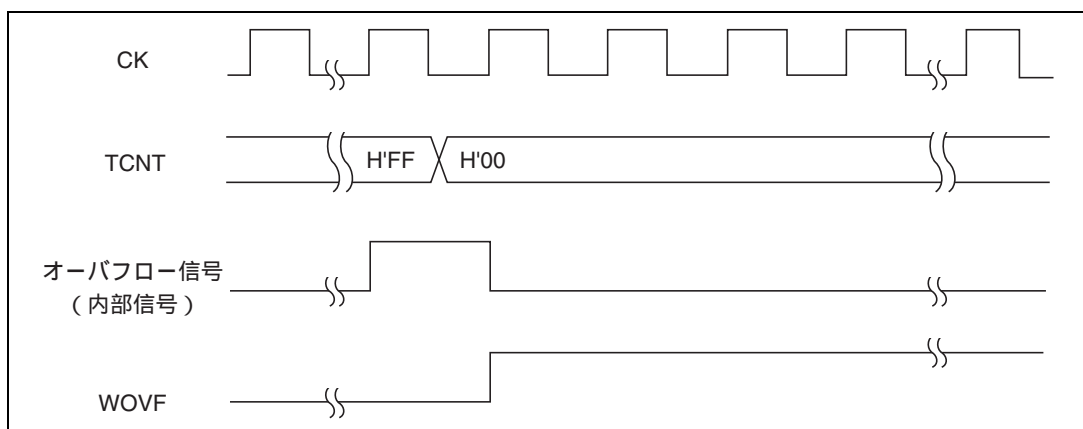


図 11.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

## 11.4 使用上の注意

### 11.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 11.8 に示します。

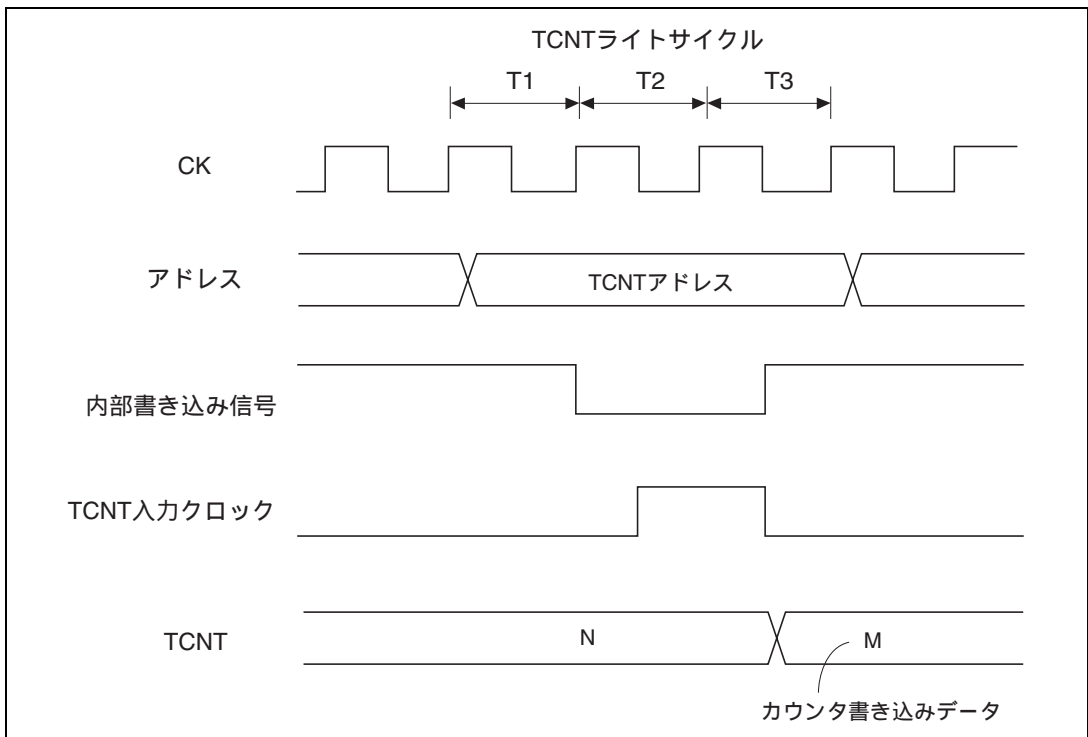


図 11.8 TCNT の書き込みとカウントアップの競合

### 11.4.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中にタイマコントロール/ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 11.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

## 11. ウォッチドッグタイマ (WDT)

### 11.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$  出力信号を本 LSI の  $\overline{\text{RES}}$  端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$  信号は、本 LSI の  $\overline{\text{RES}}$  端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$  信号でシステム全体をリセットするときは、図 11.9 に示すような回路で行ってください。

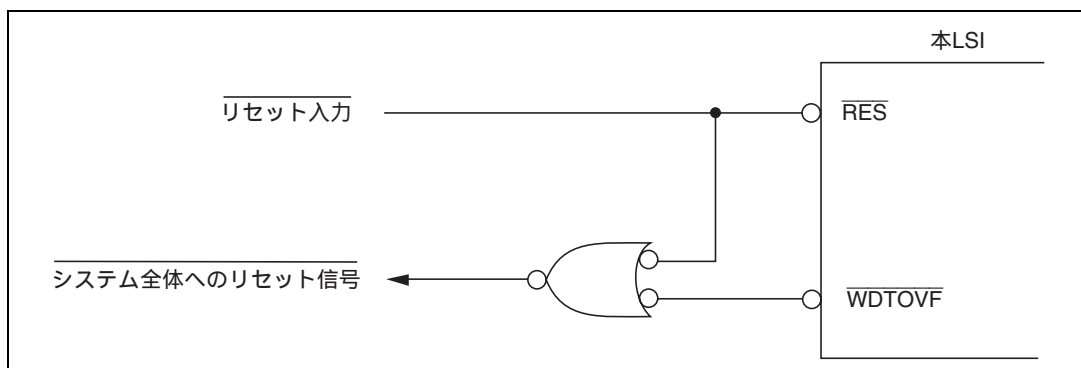


図 11.9  $\overline{\text{WDTOVF}}$  信号によるシステムリセット回路例

### 11.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。



---

## 12. シリアルコミュニケーションインタフェース (SCI)

---

### 12.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。2 チャンネルは、同一の機能を持っています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

#### 12.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
  - － 調歩同期式モード
    - キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。
    - シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
      - データ長：7 ビット、または 8 ビット
      - ストップビット長：1 ビット、または 2 ビット
      - パリティ：偶数パリティ、奇数パリティ、またはパリティなし
      - マルチプロセッサビット：1 または 0
      - 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出
      - ブレークの検出：フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。
  - － クロック同期式モード
    - クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。
    - シリアルデータ通信フォーマットは 1 種類です。
      - データ長：8 ビット
      - 受信エラーの検出：オーバランエラーを検出
- 全二重通信が可能
  - 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。
  - また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

## 12. シリアルコミュニケーションインタフェース (SCI)

- 4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

### 12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

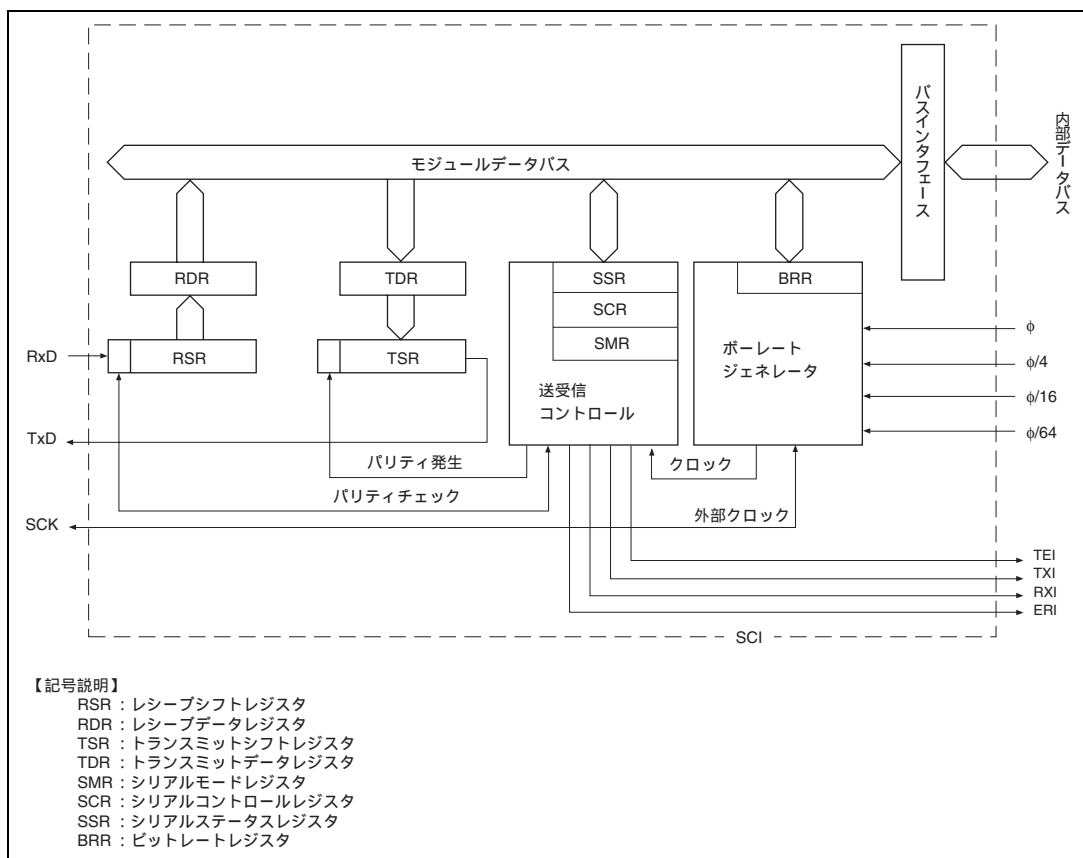


図 12.1 SCI のブロック図

### 12.1.3 端子構成

SCIは、チャンネルごとに表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力

### 12.1.4 レジスタ構成

SCIには、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 12.2 レジスタ構成

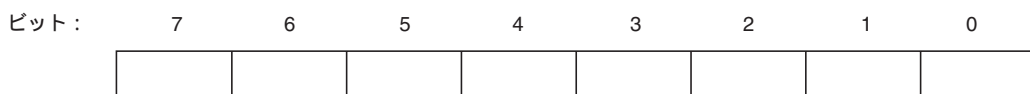
チャンネル	名称	略称	R/W	初期値	アドレス*2	アクセスサイズ
0	シリアルモードレジスタ	SMR0	R/W	H'00	H'FFFF81A0	8、16
	ビットレートレジスタ	BRR0	R/W	H'FF	H'FFFF81A1	8、16
	シリアルコントロールレジスタ	SCR0	R/W	H'00	H'FFFF81A2	8、16
	トランスミットデータレジスタ	TDR0	R/W	H'FF	H'FFFF81A3	8、16
	シリアルステータスレジスタ	SSR0	R/(W)*1	H'84	H'FFFF81A4	8、16
	レシーブデータレジスタ	RDR0	R	H'00	H'FFFF81A5	8、16
1	シリアルモードレジスタ	SMR1	R/W	H'00	H'FFFF81B0	8、16
	ビットレートレジスタ	BRR1	R/W	H'FF	H'FFFF81B1	8、16
	シリアルコントロールレジスタ	SCR1	R/W	H'00	H'FFFF81B2	8、16
	トランスミットデータレジスタ	TDR1	R/W	H'FF	H'FFFF81B3	8、16
	シリアルステータスレジスタ	SSR1	R/(W)*1	H'84	H'FFFF81B4	8、16
	レシーブデータレジスタ	RDR1	R	H'00	H'FFFF81B5	8、16

【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。

\*2 空きアドレスはアクセスしないでください。

## 12.2 レジスタの説明

### 12.2.1 レシーブシフトレジスタ (RSR)



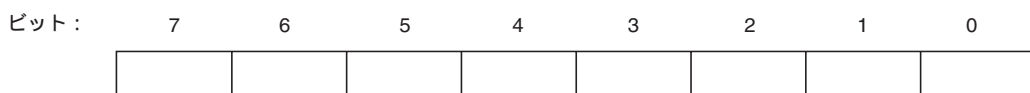
R/W :

レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

### 12.2.2 レシーブデータレジスタ (RDR)



初期値:        0            0            0            0            0            0            0            0

R/W:            R            R            R            R            R            R            R            R

レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。

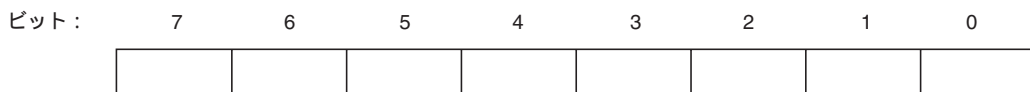
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

### 12.2.3 トランスミットシフトレジスタ (TSR)



R/W :

トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

### 12.2.4 トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、パワーオンリセットまたはスタンバイモードで H'FF に初期化されます。

### 12.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

#### ビット 7: コミュニケーションモード (C/ $\bar{A}$ )

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード

## 12. シリアルコミュニケーションインタフェース (SCI)

### ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。  
クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 \* 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

### ビット 5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PE ビットに 1 をセットすると送信時には、O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

### ビット 4 : パリティモード (O/ $\bar{E}$ )

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/ $\bar{E}$  ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/ $\bar{E}$  ビットの設定は無効です。

ビット 4	説明
O/ $\bar{E}$	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】 \*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明	
STOP		
0	1ストップビット* <sup>1</sup>	(初期値)
1	2ストップビット* <sup>2</sup>	

【注】 \*1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

\*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

## ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および0/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみに有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

## ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定で $\phi$ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	$\phi$ クロック	(初期値)
	1	$\phi/4$ クロック	
1	0	$\phi/16$ クロック	
	1	$\phi/64$ クロック	

## 12.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、パワーオンリセットまたはスタンバイモード時に H'00 に初期化されます。

## ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンpty 割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンpty 割り込み (TXI) 要求を許可

【注】 \* TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

## ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 \* RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。



## ビット 5 : トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット 5	説 明	
TE		
0	送信動作を禁止* <sup>1</sup>	(初期値)
1	送信動作を許可* <sup>2</sup>	

【注】 \*1 SSR の TDRE ビットは 1 に固定されます。

\*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

## ビット 4 : レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット 4	説 明	
RE		
0	受信動作を禁止* <sup>1</sup>	(初期値)
1	受信動作を許可* <sup>2</sup>	

【注】 \*1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

\*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

## ビット 3 : マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3	説 明	
MPIE		
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき	(初期値)
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。	

【注】 \* RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1

## 12. シリアルコミュニケーションインタフェース (SCI)

にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。

### ビット 2 : トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 \* TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

### ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK 端子の機能を選択しておいてください。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、CKE1、CKE0 ビットの設定の前には必ず SMR で SCI の動作モードを決定してください。

SCI のクロックソースの選択についての詳細は表 12.9 を参照してください。

ビット 1	ビット 0	説明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定)*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*2
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 \*1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

\*2 初期値

\*3 ビットレートと同じ周波数のクロックを出力

\*4 ビットレートの 16 倍の周波数のクロックを入力

## 12.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 \* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセットまたはスタンバイモードで H'84 に初期化されます。

## ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR へデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

## 12. シリアルコミュニケーションインタフェース (SCI)

### ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット 6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF ビットが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

### ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* <sup>2</sup> [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 \*<sup>1</sup> SCR の RE ビットを 0 にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。

\*<sup>2</sup> RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

## ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示* <sup>2</sup> [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* <sup>2</sup>

【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。

\*2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。さらに、FER ビットが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

## ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* <sup>2</sup> [セット条件] 受信時の受信データとパリティビットをあわせた 1 の数が、シリアルモードレジスタ (SMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。

\*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。なお、PER ビットが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

## 12. シリアルコミュニケーションインタフェース (SCI)

### ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット3	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、TDRE フラグに0を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCR の TE ビットが0のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

### ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 \* マルチプロセッサフォーマットで RE ビットを0にクリアしたときには、以前の状態を保持します。

### ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

### 12.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、パワーオンリセットまたはスタンバイモードで H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

## 12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 に調歩同期式モードの BRR の設定例を、表 12.4 にクロック同期式モードの BBR の設定例を示します。

表 12.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

φ(MHz) ビット レート(bit/s)	4			4.9152			6			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	106	-0.44	2	130	-0.07
150	1	207	0.16	1	255	0.00	2	77	0.16	2	95	0.00
300	1	103	0.16	1	127	0.00	1	155	0.16	1	191	0.00
600	0	207	0.16	0	255	0.00	1	77	0.16	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	155	0.16	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	77	0.16	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	38	0.16	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	19	-2.34	0	23	0.00
14400	0	8	-3.55	0	10	-3.03	0	12	0.16	0	15	0.00
19200	0	6	-6.99	0	7	0.00	0	9	-2.34	0	11	0.00
28800	0	3	8.51	0	4	6.67	0	6	-6.99	0	7	0.00
31250	0	3	0.00	0	4	-1.70	0	5	0.00	0	6	5.33
38400	0	2	8.51	0	3	0.00	0	4	-2.34	0	5	0.00

φ(MHz) ビット レート(bit/s)	8			9.8304			10			11.0592		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	195	0.19
150	2	103	0.16	2	127	0.00	2	129	0.16	2	143	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	71	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	143	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	71	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	143	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	71	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	35	0.00
14400	0	16	2.12	0	20	1.59	0	21	-1.36	0	23	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	17	0.00
28800	0	8	-3.55	0	10	-3.03	0	10	-1.36	0	11	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	10	0.54
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	8	0.00



## 12. シリアルコミュニケーションインタフェース (SCI)

φ(MHz) ビット レート(bit/s)	12			12.288			14			14.7456		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	0.03	2	217	0.08	2	248	-0.17	3	64	0.70
150	2	155	0.16	2	159	0.00	2	181	0.16	2	191	0.00
300	2	77	0.16	2	79	0.00	2	90	0.16	2	95	0.00
600	1	155	0.16	1	159	0.00	1	181	0.16	1	191	0.00
1200	1	77	0.16	1	79	0.00	1	90	0.16	1	95	0.00
2400	0	155	0.16	0	159	0.00	0	181	0.16	0	191	0.00
4800	0	77	0.16	0	79	0.00	0	90	0.16	0	95	0.00
9600	0	38	0.16	0	39	0.00	0	45	-0.93	0	47	0.00
14400	0	25	0.16	0	26	-1.23	0	29	1.27	0	31	0.00
19200	0	19	-2.34	0	19	0.00	0	22	-0.93	0	23	0.00
28800	0	12	0.16	0	12	2.56	0	14	1.27	0	15	0.00
31250	0	11	0.00	0	11	2.40	0	13	0.00	0	14	-1.70
38400	0	9	-2.34	0	9	0.00	0	10	3.57	0	11	0.00

φ(MHz) ビット レート(bit/s)	16			17.2032			18			18.432		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	70	0.03	3	75	0.48	3	79	-0.12	3	81	-0.22
150	2	207	0.16	2	223	0.00	2	233	0.16	2	239	0.00
300	2	103	0.16	2	111	0.00	2	116	0.16	2	119	0.00
600	1	207	0.16	1	223	0.00	1	233	0.16	1	239	0.00
1200	1	103	0.16	1	111	0.00	1	116	0.16	1	119	0.00
2400	0	207	0.16	0	223	0.00	0	233	0.16	0	239	0.00
4800	0	103	0.16	0	111	0.00	0	116	0.16	0	119	0.00
9600	0	51	0.16	0	55	0.00	0	58	-0.69	0	59	0.00
14400	0	34	-0.79	0	36	0.90	0	38	0.16	0	39	0.00
19200	0	25	0.16	0	27	0.00	0	28	1.02	0	29	0.00
28800	0	16	2.12	0	18	-1.75	0	19	-2.34	0	19	0.00
31250	0	15	0.00	0	16	1.20	0	17	0.00	0	17	2.40
38400	0	12	0.16	0	13	0.00	0	14	-2.34	0	14	0.00

## 12. シリアルコミュニケーションインタフェース (SCI)

ビット レート(bit/s)	19.6608			20			22			22.1184		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	86	0.31	3	88	-0.25	3	97	-0.35	3	97	0.19
150	2	255	0.00	3	64	0.16	3	71	-0.54	3	71	0.00
300	2	127	0.00	2	129	0.16	2	142	0.16	2	143	0.00
600	1	255	0.00	2	64	0.16	2	71	-0.54	2	71	0.00
1200	1	127	0.00	1	129	0.16	1	142	0.16	1	143	0.00
2400	0	255	0.00	1	64	0.16	1	71	-0.54	1	71	0.00
4800	0	127	0.00	0	129	0.16	0	142	0.16	0	143	0.00
9600	0	63	0.00	0	64	0.16	0	71	-0.54	0	71	0.00
14400	0	42	-0.78	0	42	0.94	0	47	-0.54	0	47	0.00
19200	0	31	0.00	0	32	-1.36	0	35	-0.54	0	35	0.00
28800	0	20	1.59	0	21	-1.36	0	23	-0.54	0	23	0.00
31250	0	19	-1.70	0	19	0.00	0	21	0.00	0	21	0.54
38400	0	15	0.00	0	15	1.73	0	17	-0.54	0	17	0.00

ビット レート(bit/s)	24			24.576			25.8048			26		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	114	-0.40	3	114	0.36
150	3	77	0.16	3	79	0.00	3	83	0.00	3	84	-0.43
300	2	155	0.16	2	159	0.00	2	167	0.00	2	168	0.16
600	2	77	0.16	2	79	0.00	2	83	0.00	2	84	-0.43
1200	1	155	0.16	1	159	0.00	1	167	0.00	1	168	0.16
2400	1	77	0.16	1	79	0.00	1	83	0.00	1	84	-0.43
4800	0	155	0.16	0	159	0.00	0	167	0.00	0	168	0.16
9600	0	77	0.16	0	79	0.00	0	83	0.00	0	84	-0.43
14400	0	51	0.16	0	52	0.63	0	55	0.00	0	55	0.76
19200	0	38	0.16	0	39	0.00	0	41	0.00	0	41	0.76
28800	0	25	0.16	0	26	-1.23	0	27	0.00	0	27	0.76
31250	0	23	0.00	0	24	-1.70	0	25	-0.75	0	25	0.00
38400	0	19	-2.34	0	19	0.00	0	20	0.00	0	20	0.76

## 12. シリアルコミュニケーションインタフェース (SCI)

---

φ(MHz) ビット レート(bit/s)	27.0336			28		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	119	0.00	3	123	0.23
150	3	87	0.00	3	90	0.16
300	2	175	0.00	2	181	0.16
600	2	87	0.00	2	90	0.16
1200	1	175	0.00	1	181	0.16
2400	1	87	0.00	1	90	0.16
4800	0	175	0.00	0	181	0.16
9600	0	87	0.00	0	90	0.16
14400	0	58	-0.56	0	60	-0.39
19200	0	43	0.00	0	45	-0.93
28800	0	28	1.15	0	29	1.27
31250	0	26	0.12	0	27	0.00
38400	0	21	0.00	0	22	-0.93

## 12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート(bit/s)	4		8		10		12		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	141										
250	2	249	3	124	3	155	3	187	3	249		
500	2	124	2	249	3	77	3	93	3	124	3	155
1k	1	249	2	124	2	155	2	187	2	249	3	77
2.5k	1	99	1	199	1	249	2	74	2	99	2	124
5k	0	199	1	99	1	124	1	149	1	199	1	249
10k	0	99	0	199	0	249	1	74	1	99	1	124
25k	0	39	0	79	0	99	0	119	0	159	0	199
50k	0	19	0	39	0	49	0	59	0	79	0	99
100k	0	9	0	19	0	24	0	29	0	39	0	49
250k	0	3	0	7	0	9	0	11	0	15	0	19
500k	0	1	0	3	0	4	0	5	0	7	0	9
1M	0	0*	0	1	-	-	0	2	0	3	0	4
2.5M					0	0*	0	0*	-	-	0	1
5M											0	0*

ビット レート(bit/s)	24		28	
	n	N	n	N
110				
250				
500	3	187	3	218
1k	3	93	3	108
2.5k	2	149	2	174
5k	2	74	2	87
10k	1	149	1	174
25k	0	239	1	69
50k	0	119	0	139
100k	0	59	0	69
250k	0	23	0	27
500k	0	11	0	13
1M	0	5	0	6
2.5M	-	-	0	2
3.5M	-	-	0	1
7M	-	-	0	0*

## 【記号説明】

空欄：設定できません。

- ：設定可能ですが誤差がでます。

\* ：連続送信 / 受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0 ~ 3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	φ	0	0
1	φ / 4	0	1
2	φ / 16	1	0
3	φ / 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

## 12. シリアルコミュニケーションインタフェース (SCI)

表 12.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6 と表 12.7 に外部クロック入力時の最大ビットレートを示します。

表 12.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート  
(調歩同期式モード)

φ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
4	125000	0	0
4.9152	153600	0	0
6	187500	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0
22	687500	0	0
22.1184	691200	0	0
24	750000	0	0
24.576	768000	0	0
25.8048	806400	0	0
26	812500	0	0
27.0336	844800	0	0
28	875000	0	0

## 12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
4.9152	1.2288	76800
6	1.5000	93750
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500
22	5.5000	343750
22.1184	5.5296	345600
24	6.0000	375000
24.576	6.1440	384000
25.8048	6.4512	403200
26	6.5000	406250
27.0336	6.7584	422400
28	7.0000	437500

## 12. シリアルコミュニケーションインタフェース (SCI)

---

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
26	4.3333	4333333.3
28	4.6667	4666666.7



## 12.3 動作説明

### 12.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 12.8 に示します。また、SCIのクロックソースは、SMRのC/Aビットおよびシリアルコントロールレジスタ (SCR)のCKE1、CKE0ビットの組み合わせで決まります。これを表 12.9 に示します。

- 調歩同期式モード
  - データ長：7ビット/8ビットから選択可能
  - パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマットおよび、キャラクタ長を決定）
  - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
  - SCIのクロックソース：内部クロック/外部クロックから選択可能
    - 内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
    - 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）
- クロック同期式モード
  - 送信/受信フォーマット：8ビットデータ固定
  - 受信時にオーバランエラーの検出可能
  - SCIのクロックソース：内部クロック/外部クロックから選択可能
    - 内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
    - 外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

## 12. シリアルコミュニケーションインタフェース (SCI)

表 12.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長		
C/ $\bar{A}$	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8 ビットデータ	なし	なし	1 ビット		
				1					2 ビット		
			1	0					1 ビット		
				1					2 ビット		
			1	0					7 ビットデータ	なし	1 ビット
				1					0	あり	1 ビット
	1	0	1	*		0	調歩同期式 モード (マルチ プロセッサ フォーマット)	8 ビットデータ	あり	なし	2 ビット
		1	*	1		0					7 ビットデータ
	1		*	0		*		0	2 ビット		
		1	*	1		*		1	8 ビットデータ	なし	なし

【注】 表中の \* は Don't care であることを示します。

表 12.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック		
	ビット 7	ビット 1		ビット 0	クロック ソース	SCK 端子の機能*
C/ $\bar{A}$	CKE1	CKE0				
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません	
					ビットレートと同じ周波数のクロックを出力	
		1		0	外部	ビットレートの 16 倍の周波数のクロックを入力
						1
1	0	0	クロック 同期式 モード	内部	同期クロックを出力	
					1	
		1		0	外部	同期クロックを入力
						1

【注】 \* ピンファンクションコントローラ (PFC) と合わせ、設定してください。

### 12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (ハイレベル) に保たれています。SCI は通信回線を監視し、スペース (ローレベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (ローレベル) から始まり、データ (LSB フェースト: 最下位ビットから)、パリティビット (ハイ / ローレベル)、最後にストップビット (ハイレベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

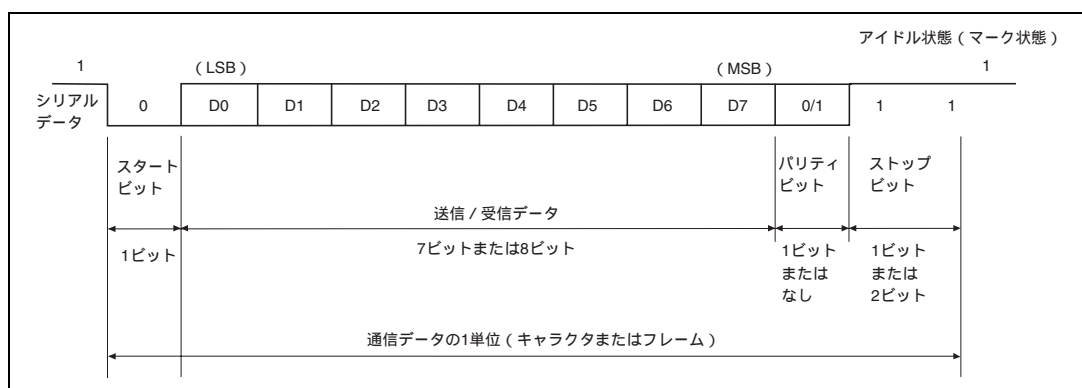


図 12.2 調歩同期式通信のデータフォーマット  
(8ビットデータ / パリティあり / 2ストップビットの例)

## 12. シリアルコミュニケーションインタフェース (SCI)

### (1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

#### 【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

【注】表中の \* はDon't careであることを示します。

## (2) クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとシリアルコントロールレジスタ (SCR)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表12.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.3に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

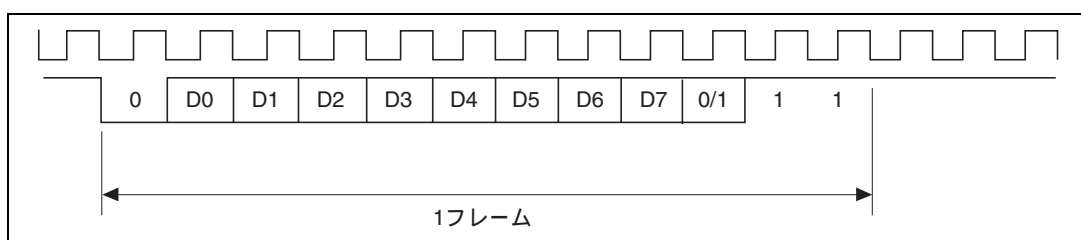


図 12.3 出力クロックと通信データの位相関係 (調歩同期式モード)

## 12. シリアルコミュニケーションインタフェース (SCI)

### (3) データの送信 / 受信動作

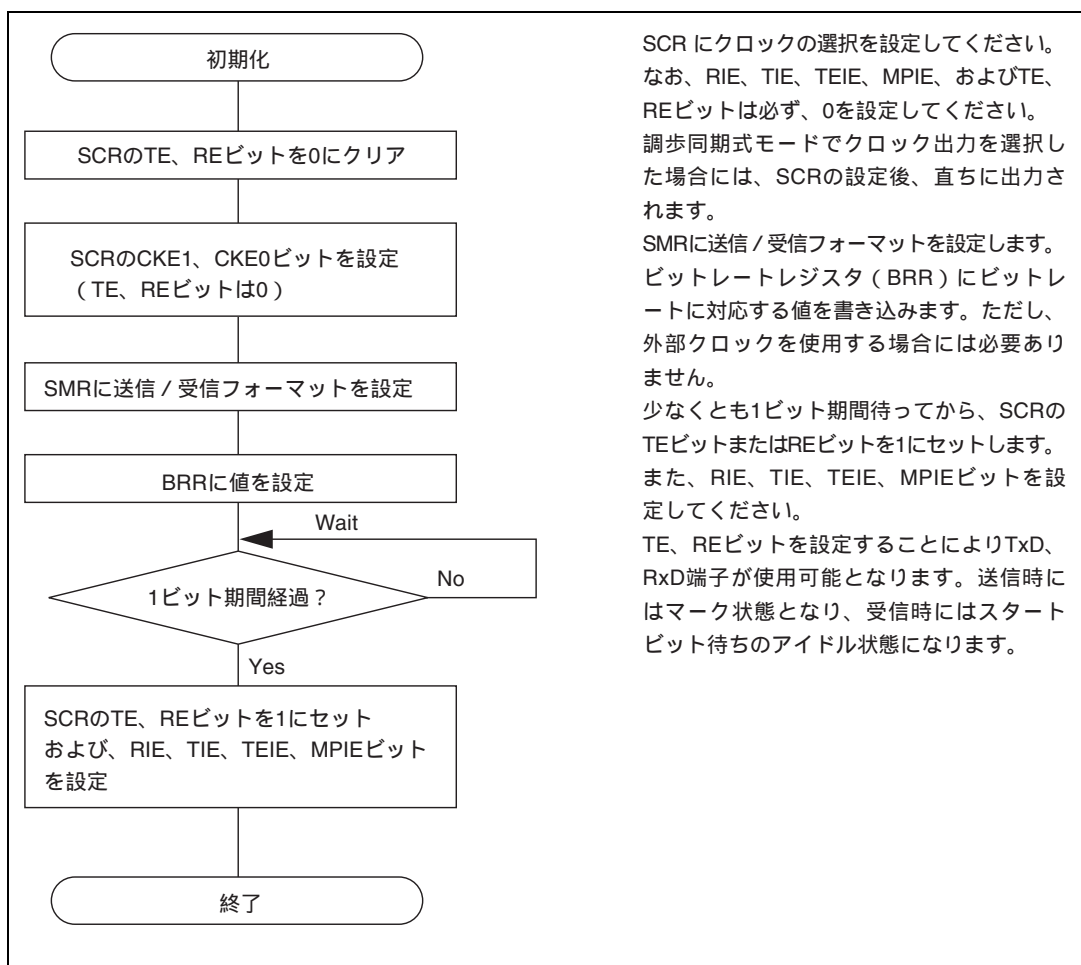
- SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 12.4 に SCI の初期化フローチャートの例を示します。



SCR にクロックの選択を設定してください。なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず、0を設定してください。調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、直ちに出力されます。

SMRに送信 / 受信フォーマットを設定します。ビットレートレジスタ (BRR) にビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合には必要ありません。

少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。

TE、REビットを設定することによりTxD、RxD端子が使用可能となります。送信時にはマーク状態となり、受信時にはスタートビット待ちのアイドル状態になります。

図 12.4 SCI の初期化フローチャートの例

- シリアルデータ送信 (調歩同期式)  
図12.5にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順に従って行ってください。

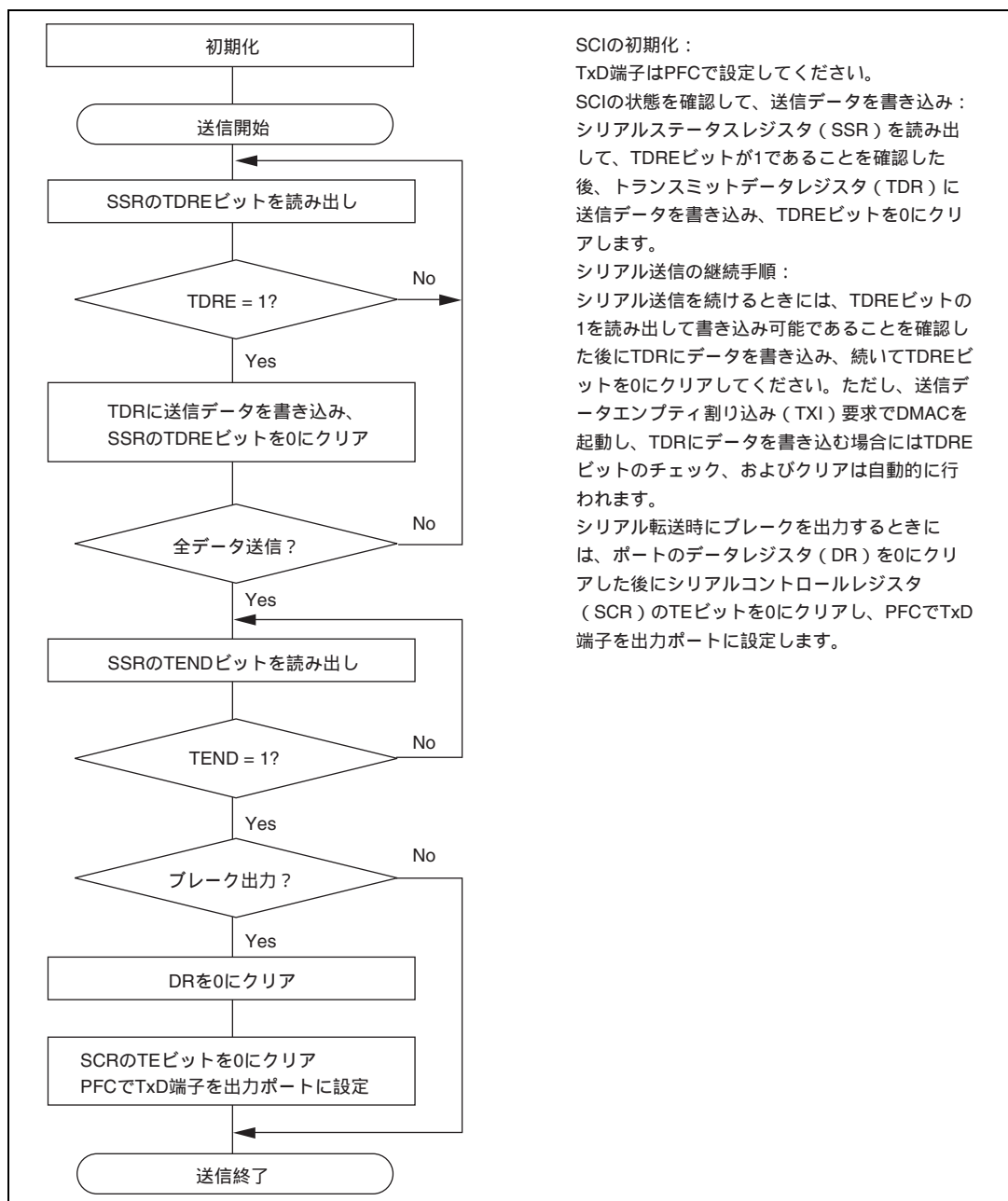


図 12.5 シリアル送信のフローチャートの例

## 12. シリアルコミュニケーションインタフェース (SCI)

---

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。  
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。  
TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。



調歩同期式モードでの送信時の動作例を図 12.6 に示します。

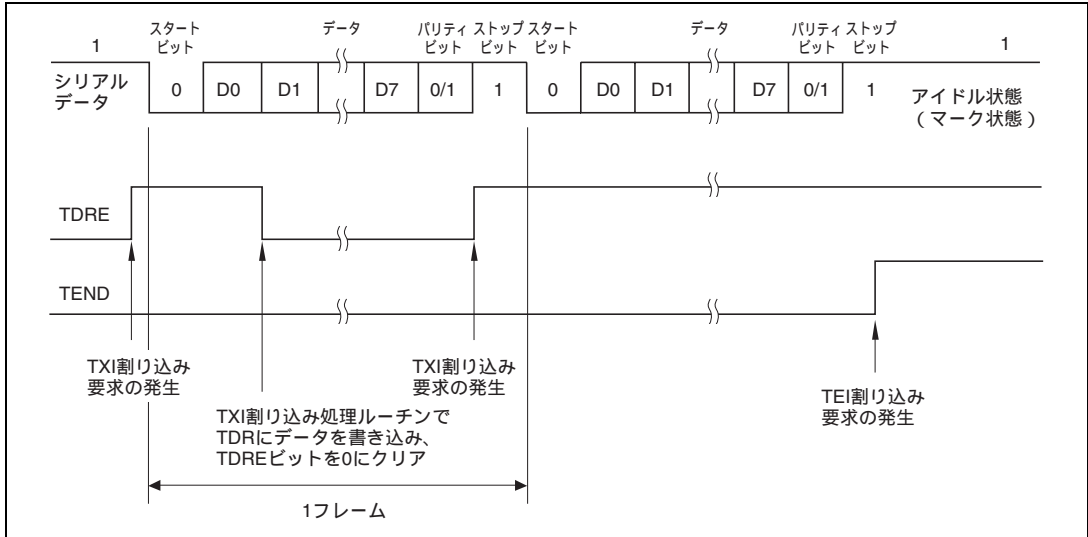


図 12.6 調歩同期式モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

## 12. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ受信 (調歩同期式)

図12.7にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

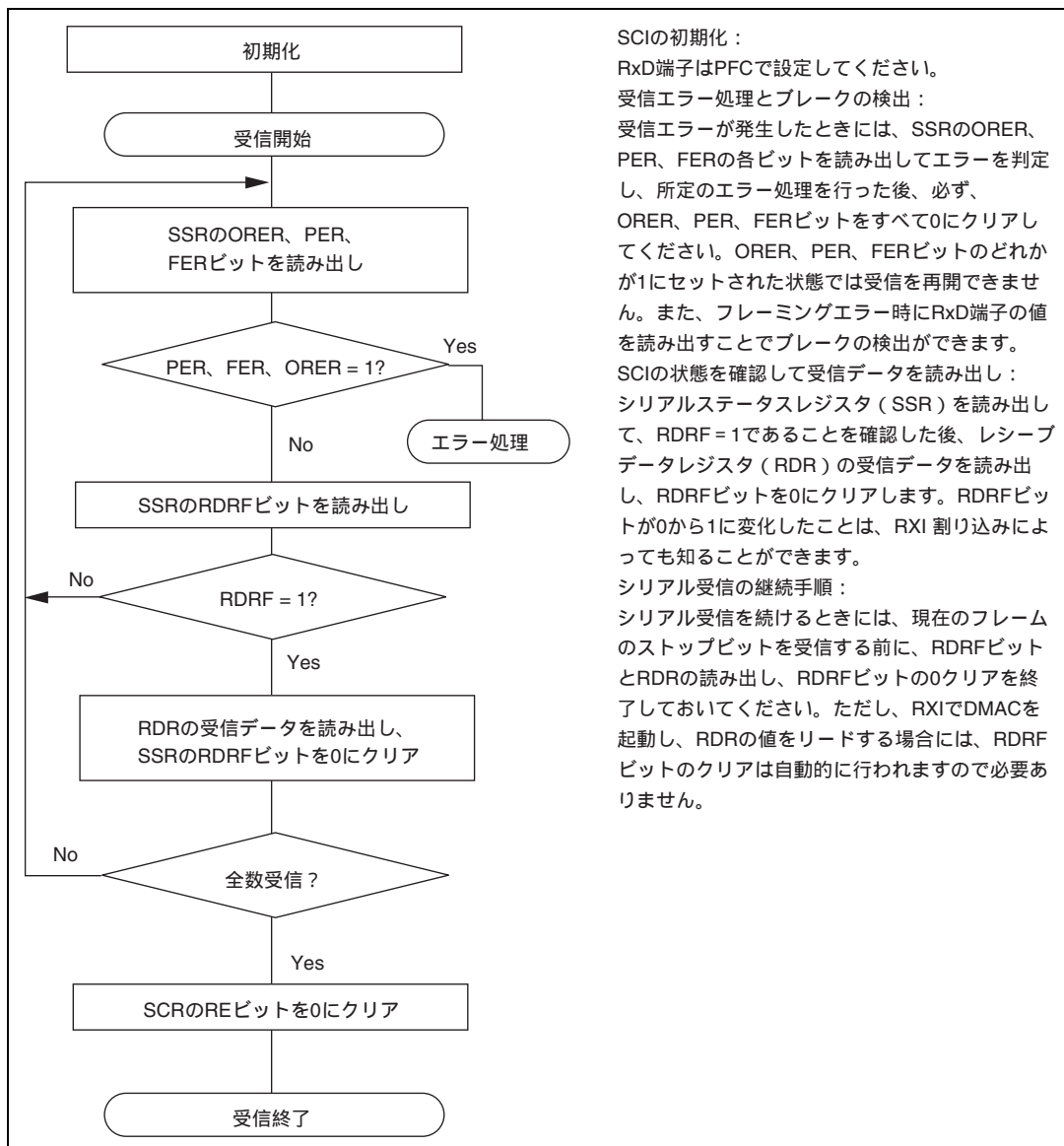


図 12.7 シリアル受信のフローチャートの例 (1)

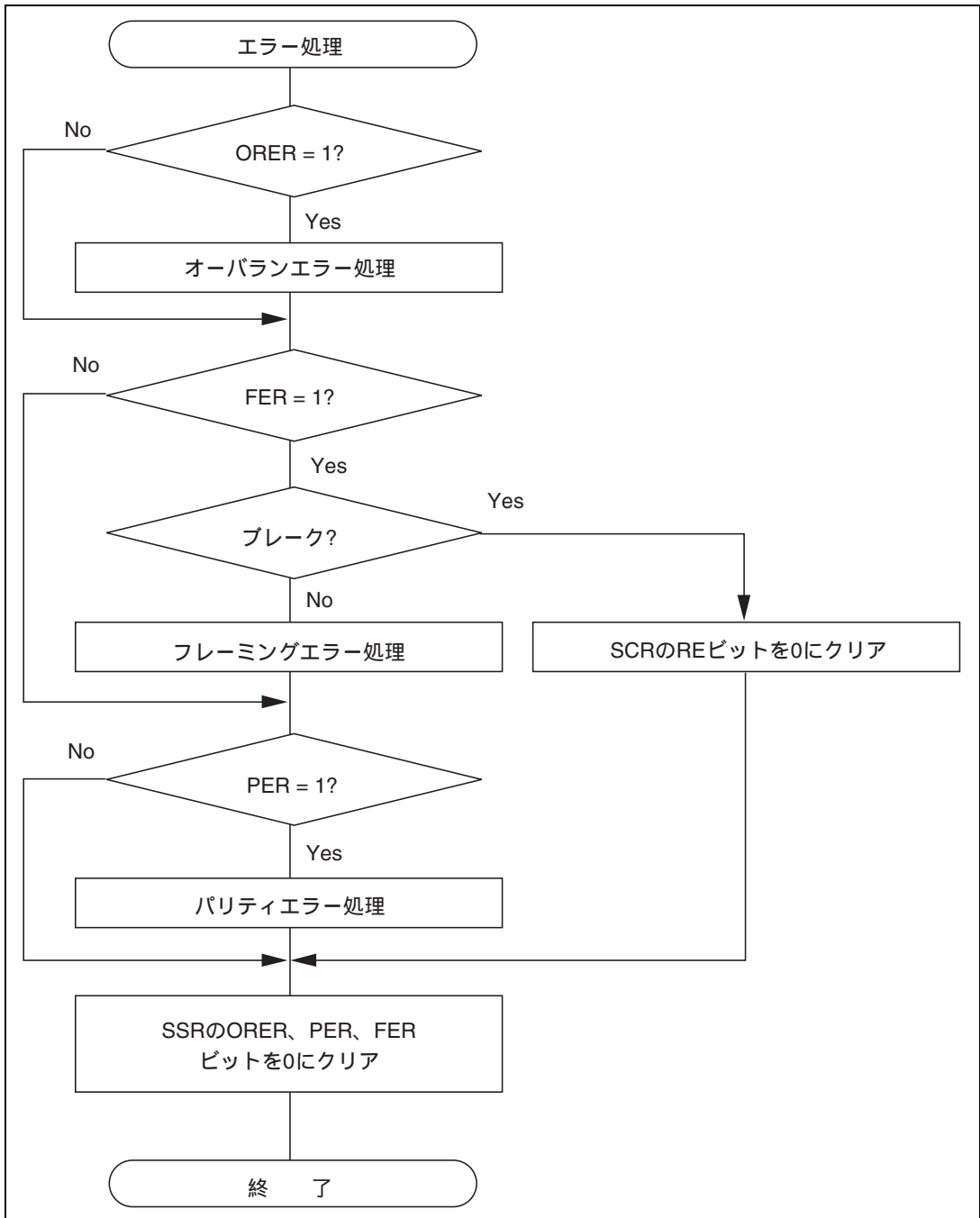


図 12.7 シリアル受信のフローチャートの例 (2)

## 12. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SMR) のO/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFビットが0であり、受信データをレシフシフトレジスタ (RSR) からRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーを発生すると表 12.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。  
また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

調歩同期式モード受信時の動作例を図 12.8 に示します。

表 12.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

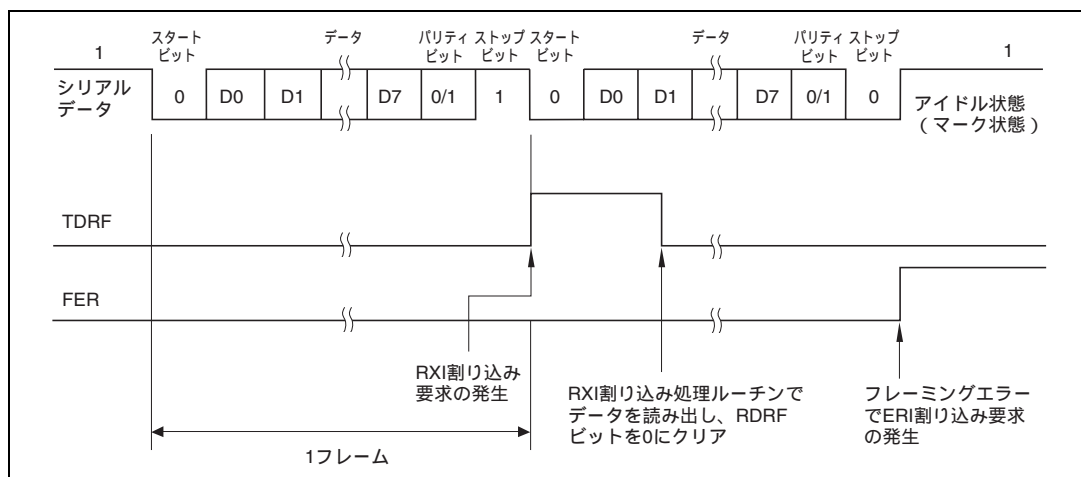


図 12.8 SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

### 12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

#### (1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.8 を参照してください。

#### (2) クロック

調歩同期式モードの項を参照してください。

## 12. シリアルコミュニケーションインタフェース (SCI)

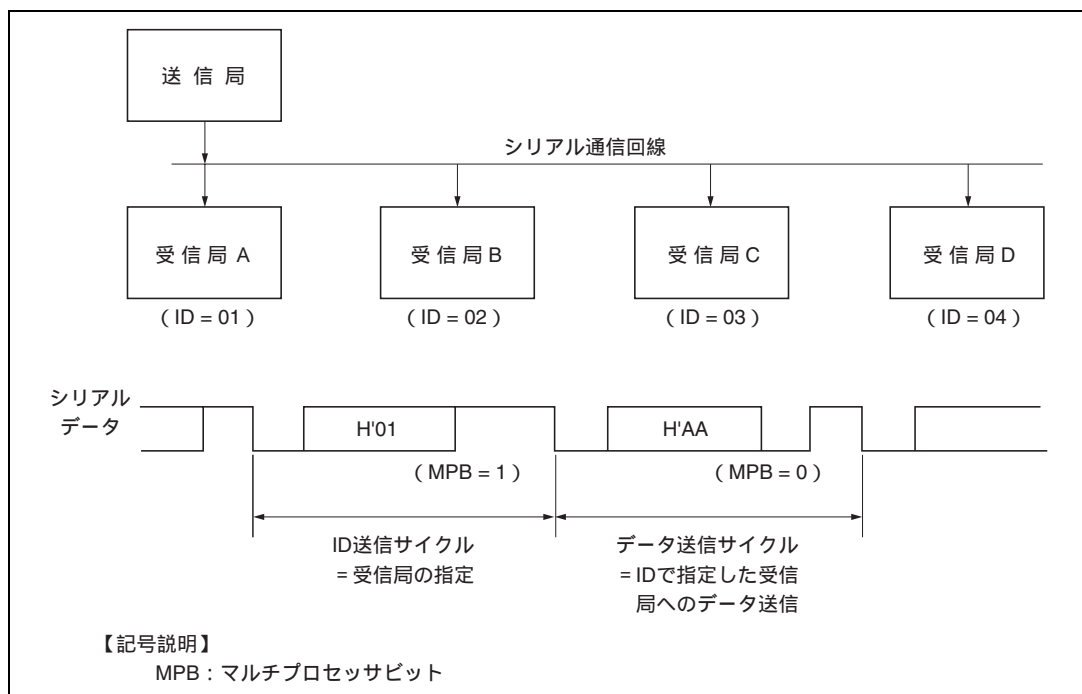


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

### (3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図12.10にマルチプロセッサシリアル送信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

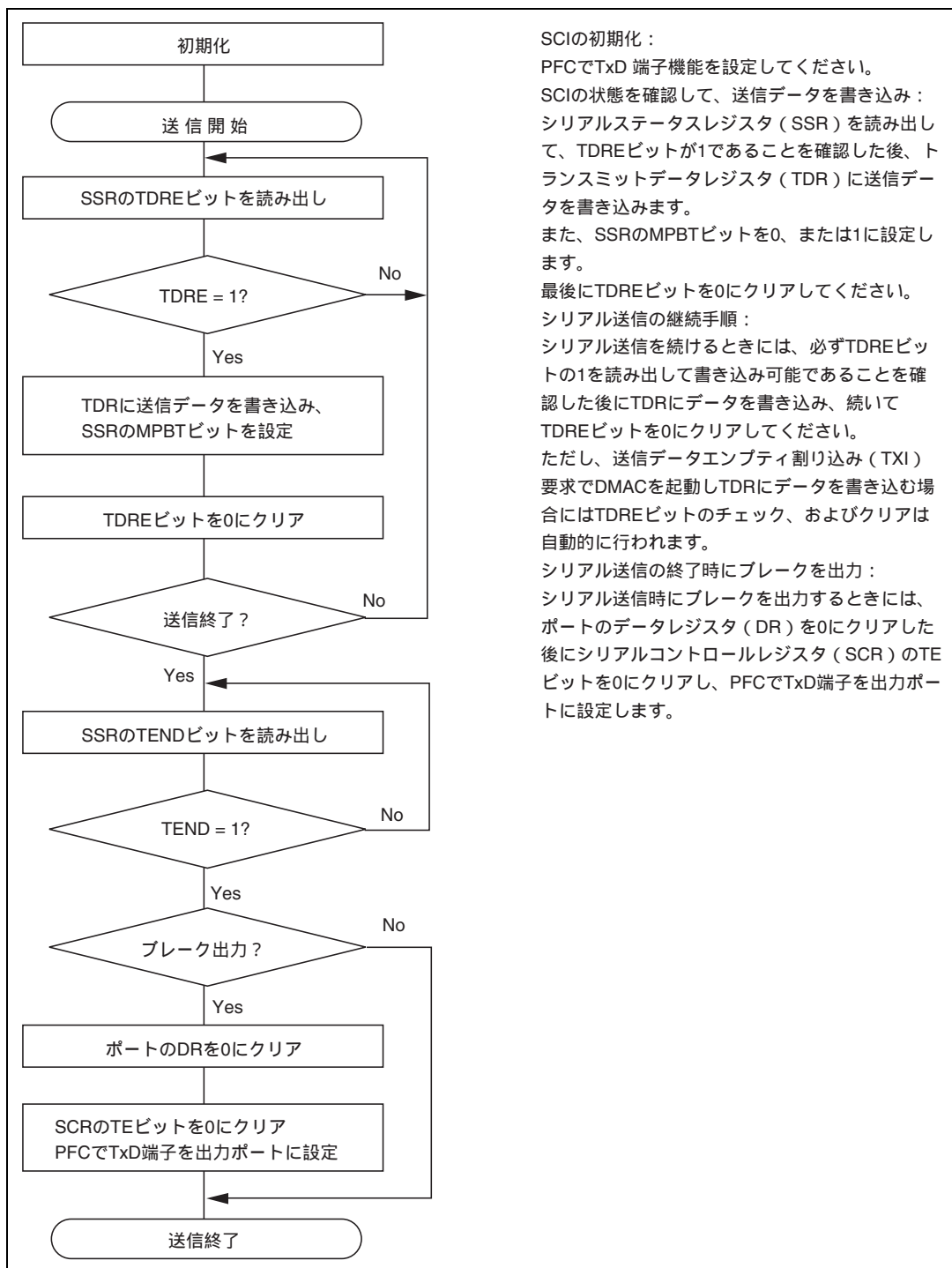


図 12.10 マルチプロセッサシリアル送信のフローチャートの例

## 12. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREビットを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRの送信データエンピ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンピ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
  - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREビットが1であるとSSRのTENDビットを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 12.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

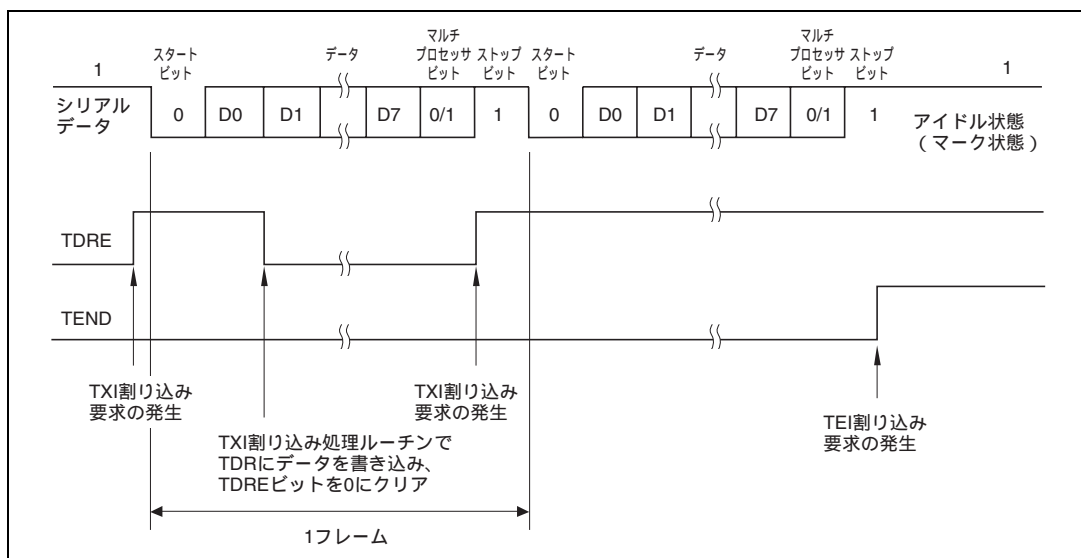


図 12.11 SCI の送信時の動作例  
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)



- マルチプロセッサシリアルデータ受信

図12.12にマルチプロセッサシリアル受信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

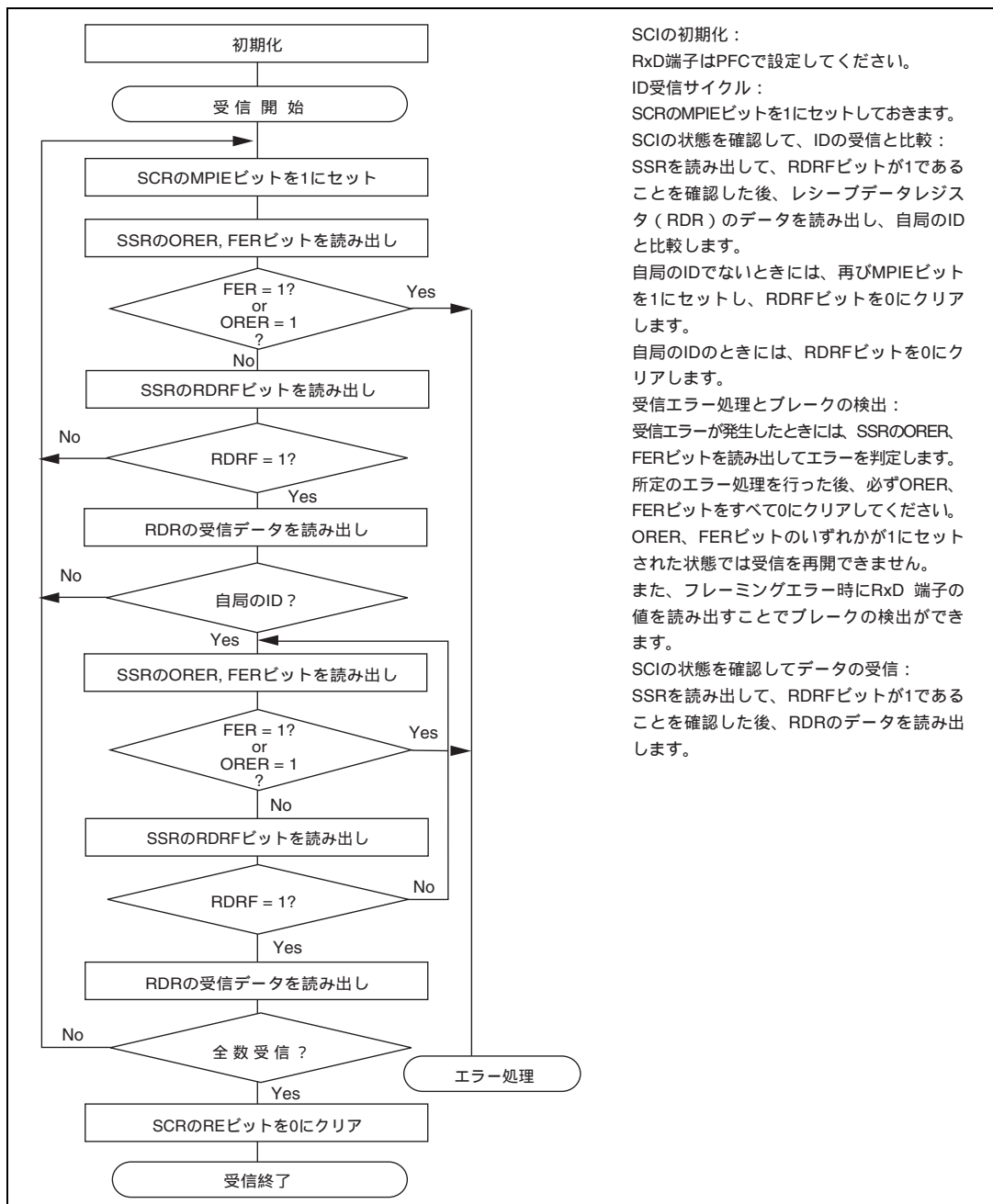


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

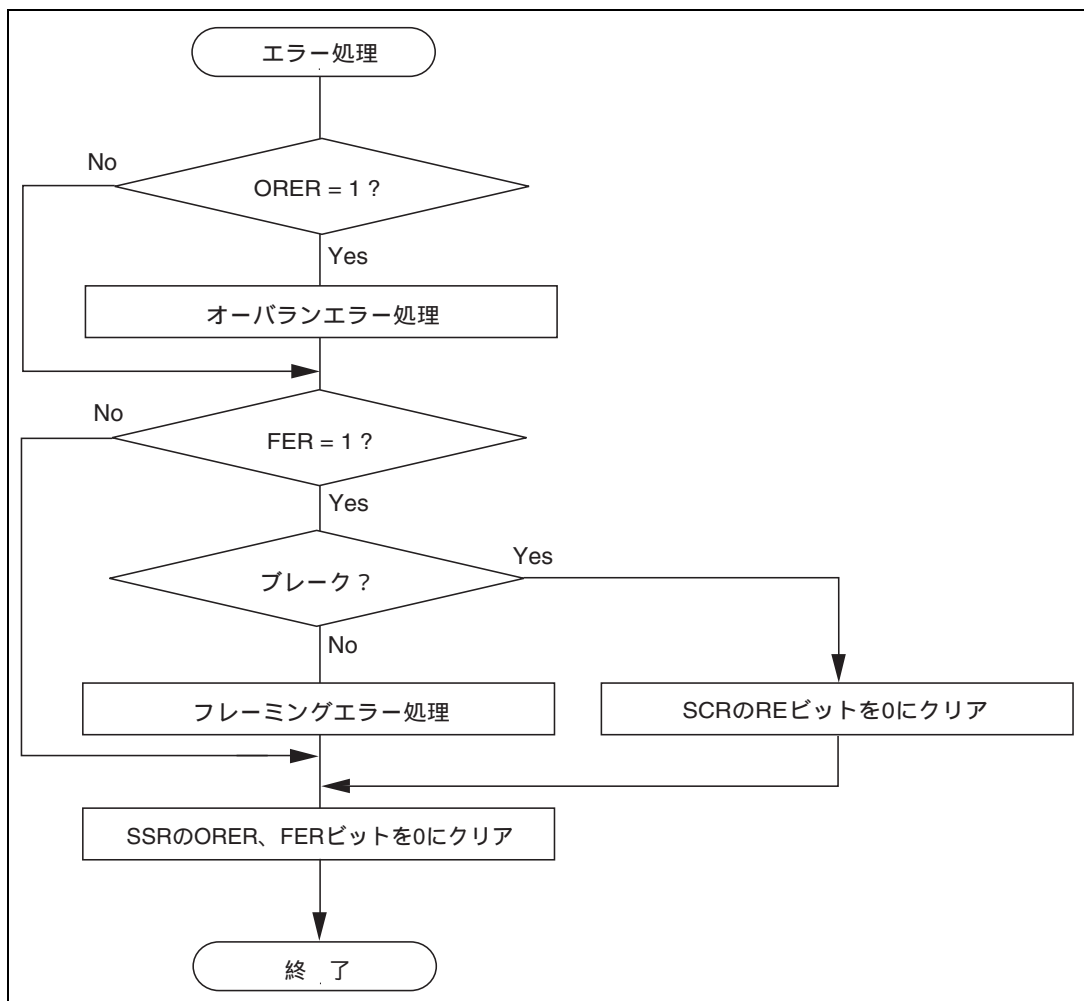


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 12.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

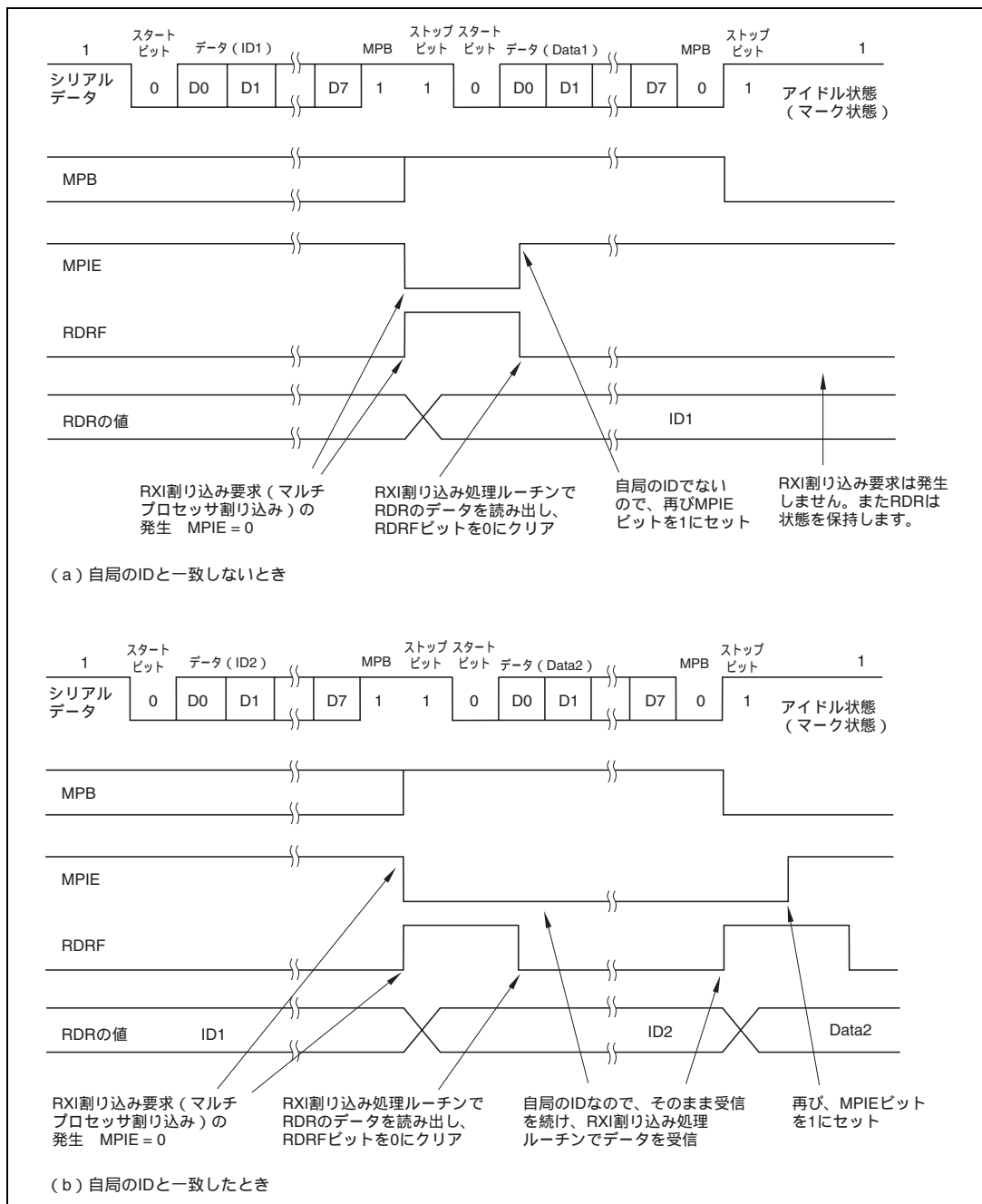


図 12.13 SCI の受信時の動作例  
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

### 12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.14 に示します。

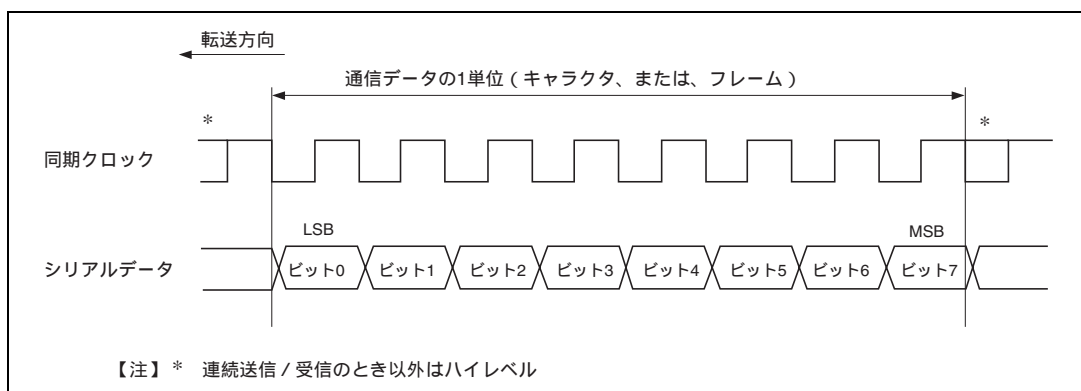


図 12.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

#### (2) クロック

SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 12.9 を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

## (3) データの送信 / 受信動作

## • SCIの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCR) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図12.15にSCIの初期化フローチャートの例を示します。

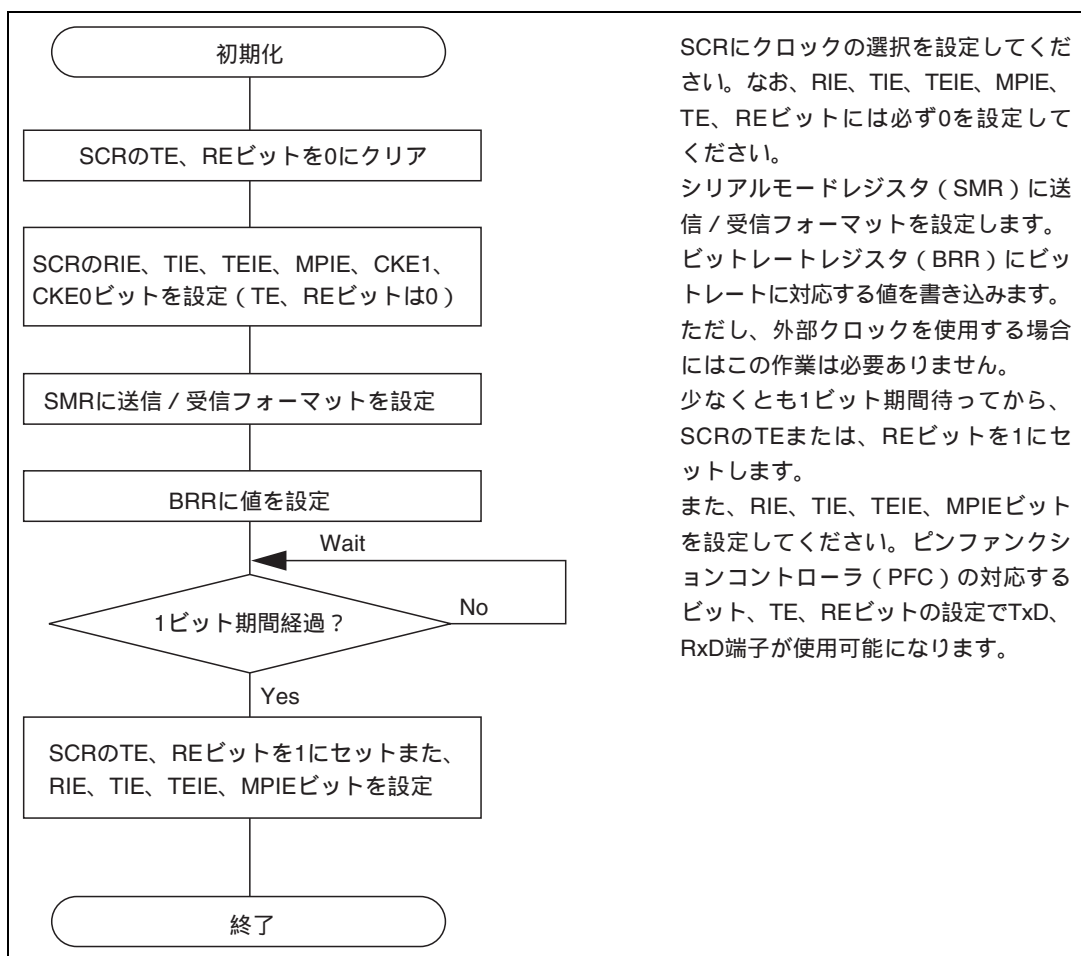


図 12.15 SCIの初期化フローチャートの例

## 12. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ送信 (クロック同期式)  
図12.16にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順で行ってください。

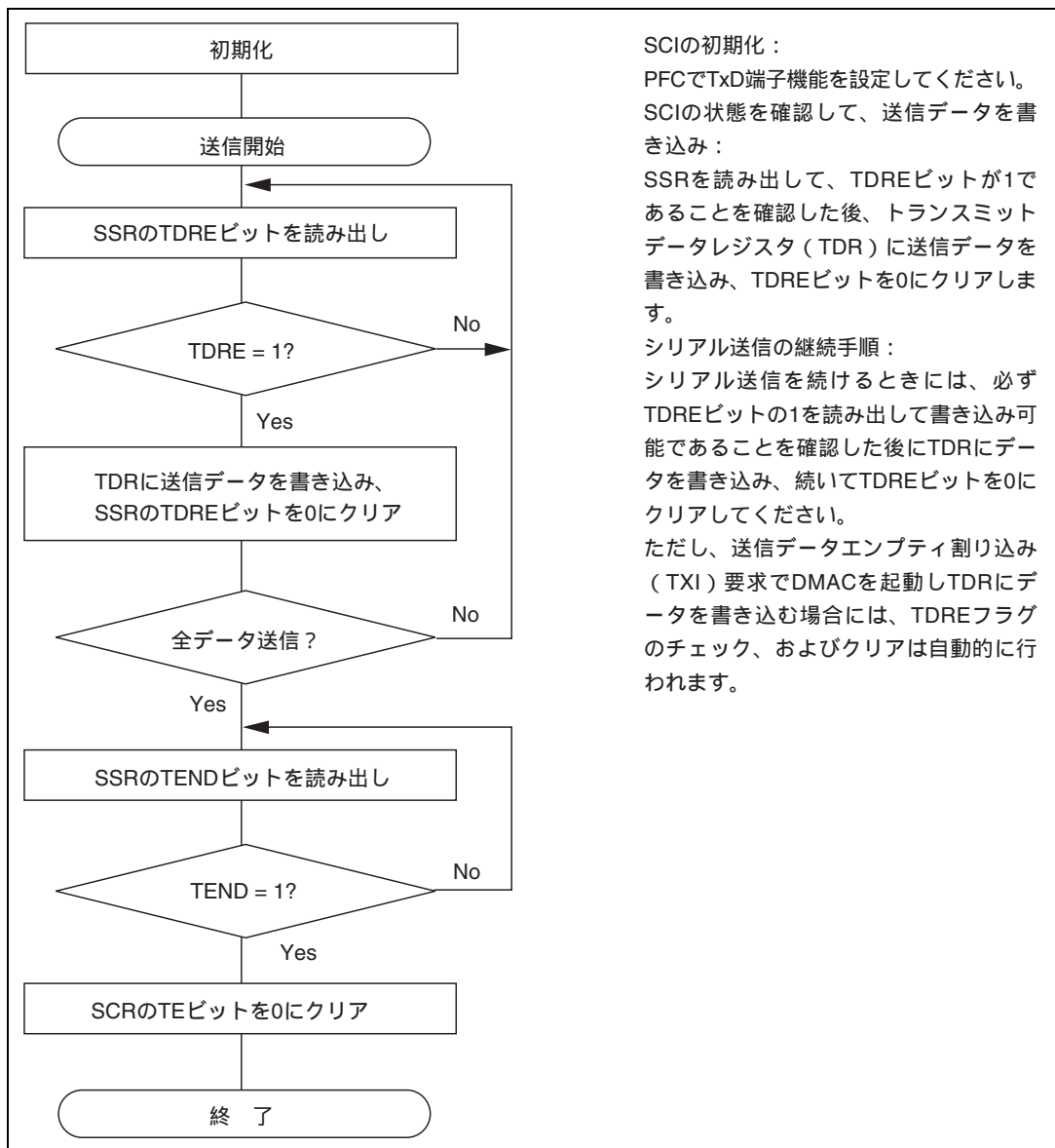


図 12.16 シリアル送信のフローチャートの例

図 12.17 に SCI の送信時の動作例を示します。

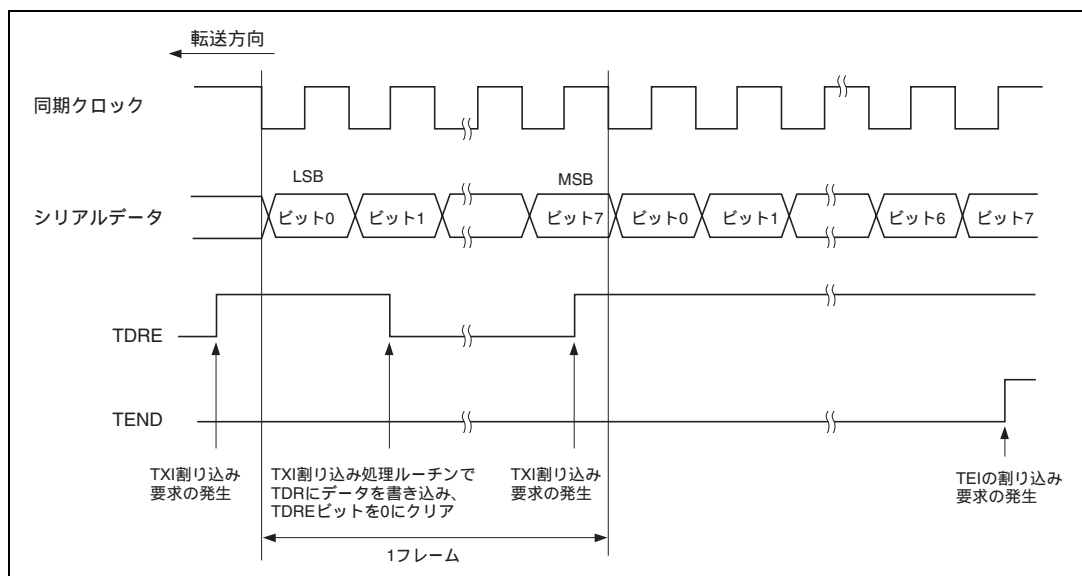


図 12.17 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
 クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。  
 外部クロックに設定したときには、入力クロックに同期してデータを出力します。  
 シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREビットをチェックします。  
 TDREビットが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。  
 TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。  
 このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。
- (4) シリアル送信終了後は、SCK端子はハイレベル固定になります。

## 12. シリアルコミュニケーションインタフェース (SCI)

### • シリアルデータ受信 (クロック同期式)

図12.18にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各ビットが0にクリアされていることを確認してください。

FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信/受信動作が行えません。シリアルデータ受信は以下の手順に従って行ってください。

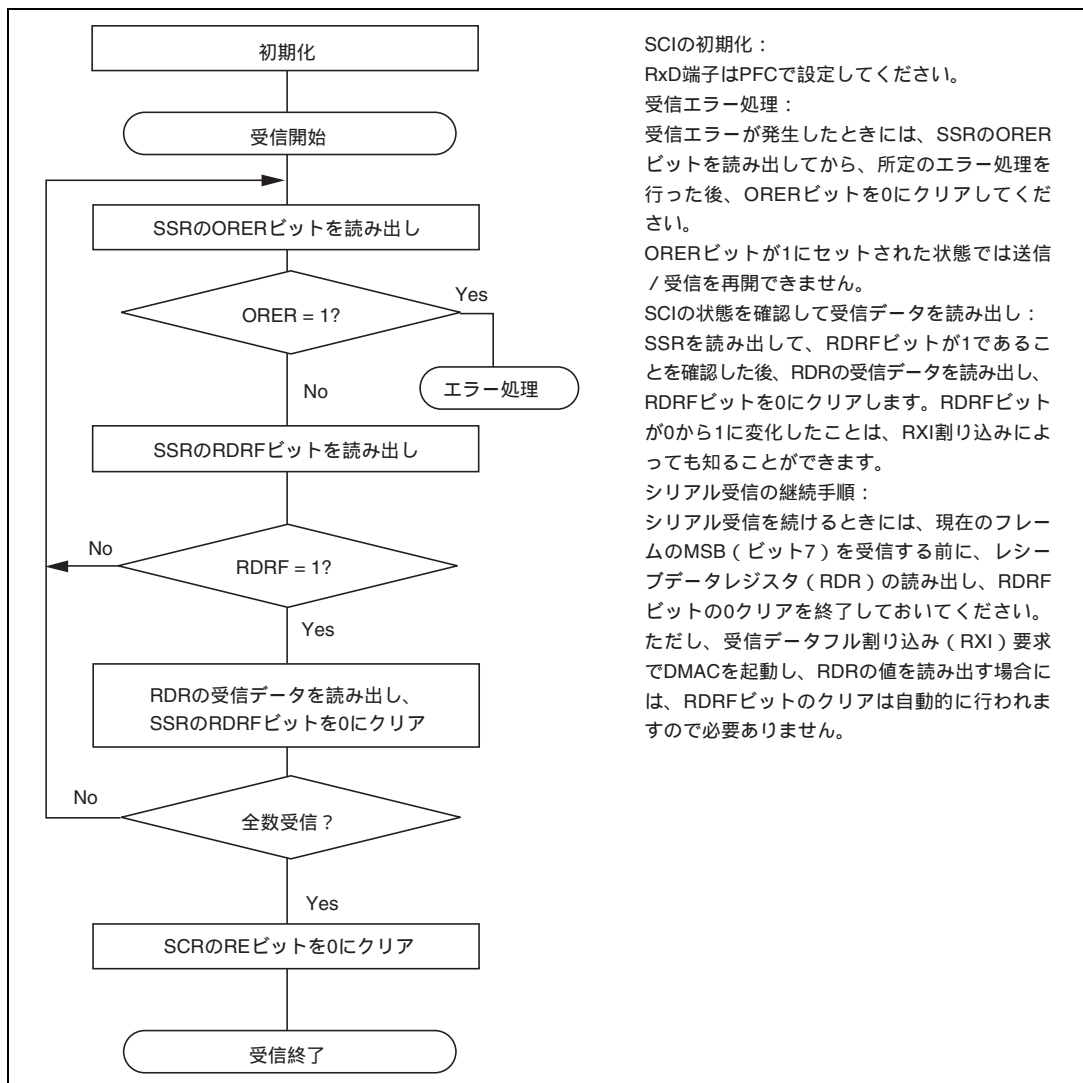


図 12.18 シリアルデータ受信フローチャートの例 (1)



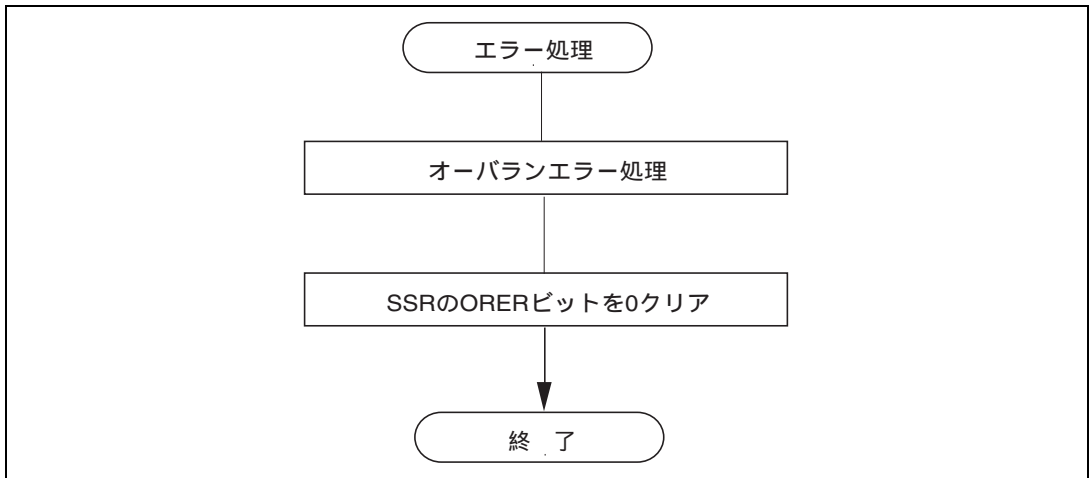


図 12.18 シリアルデータ受信フローチャートの例 (2)

図 12.19 に SCI の受信時の動作例を示します。

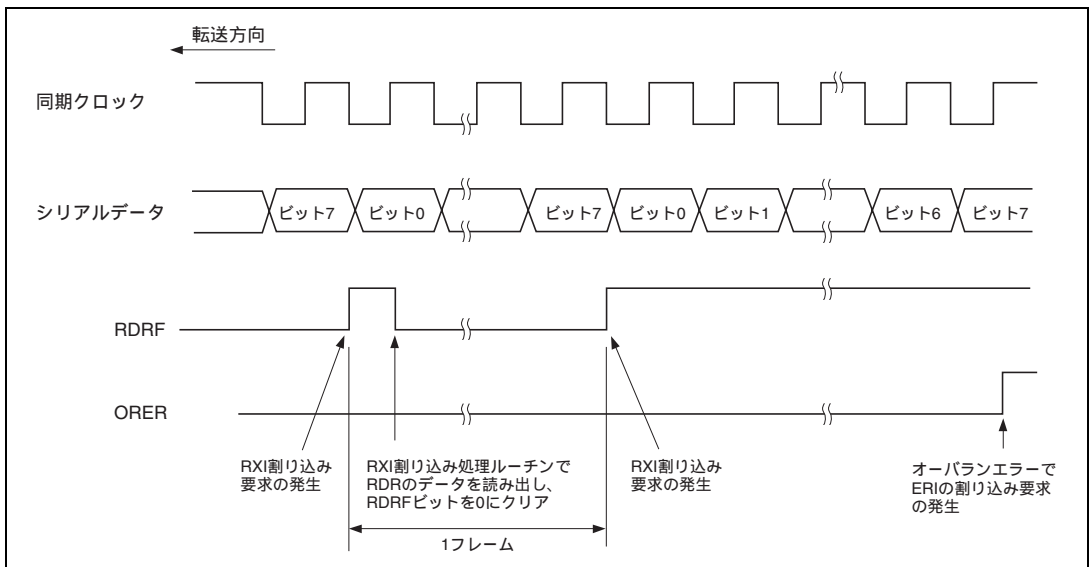


図 12.19 SCI の受信時の動作例

## 12. シリアルコミュニケーションインタフェース (SCI)

---

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (RSR) のLSBからMSBの順に格納します。  
受信後、SCIはRDRFビットが0であり、受信データをRSRからレシーブデータレジスタ (RDR) に転送できる状態であるかをチェックします。  
このチェックがパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。  
エラーチェックで受信エラーが発生すると表12.11のように動作し、この状態では以後の送信、受信動作ができません。  
また、エラーフラグが1にセットされていると、RDRFビットが0にクリアしてあっても、受信時にRDRFビットが1にセットされません。受信を再開する際は必ずエラーフラグを0にクリアしてください。
- (3) RDRFビットが1になったとき、シリアルコントロールレジスタ (SCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。  
また、ORERビットが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

- シリアルデータ送受信同時動作 (クロック同期式)

図12.20にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

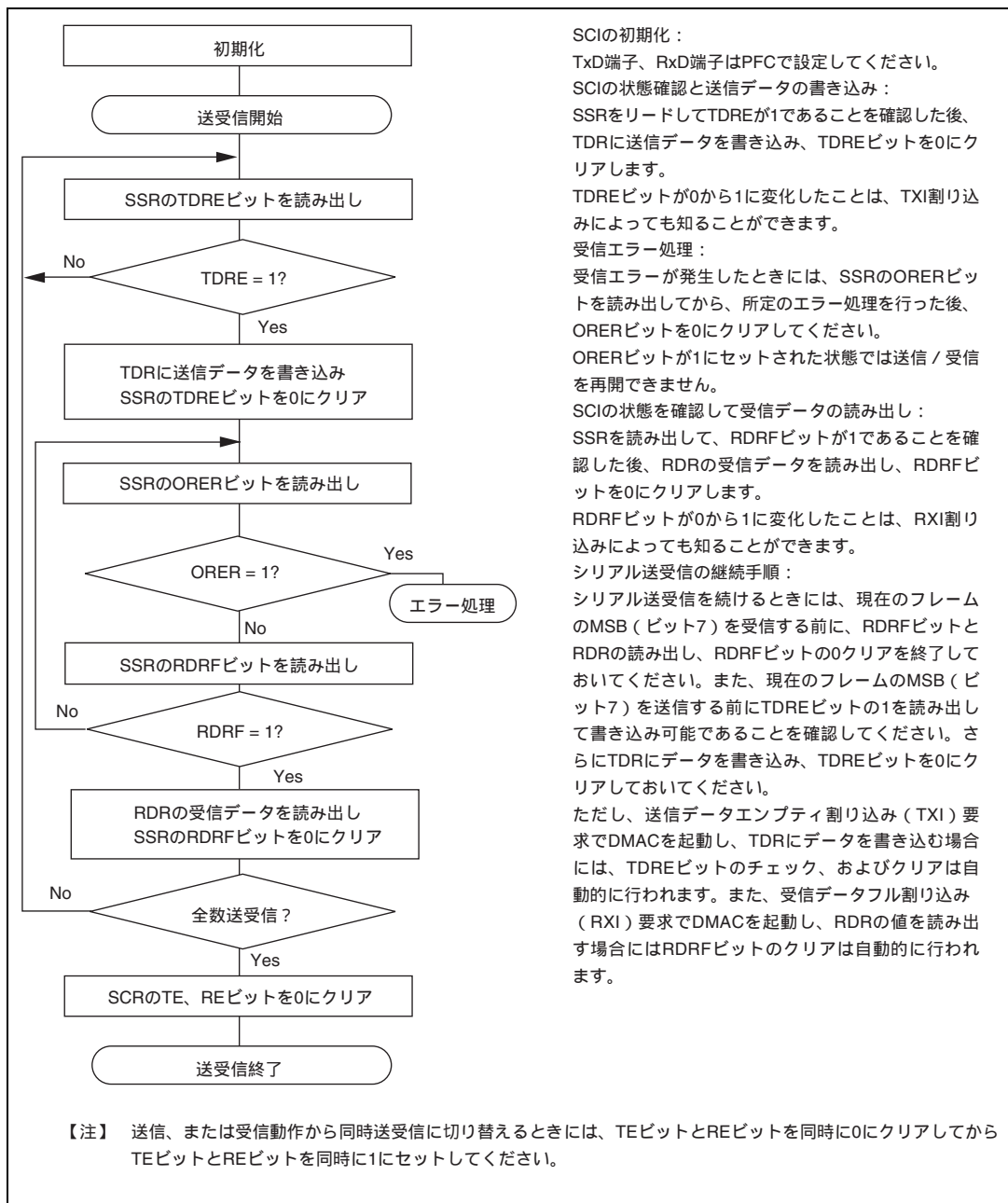


図 12.20 シリアルデータ送受信フローチャートの例

## 12.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 12.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 12.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高
RXI	受信データフル (RDRF) による割り込み	可	↑
TXI	送信データエンプティ (TDRE) による割り込み	可	↓
TEI	送信終了 (TEND) による割り込み	不可	低

## 12.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

### (1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

### (2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 12.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 12.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送 RSR→RDR
	RDRF	ORER	FER	PER	
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバランエラー + フレーミングエラー	1	1	1	0	×
オーバランエラー + パリティエラー	1	1	0	1	×
フレーミングエラー + パリティエラー	0	0	1	1	
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1	×

#### 【記号説明】

： RSR→RDR に受信データを転送します。

×： RSR→RDR に受信データを転送しません。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.21 に示します。

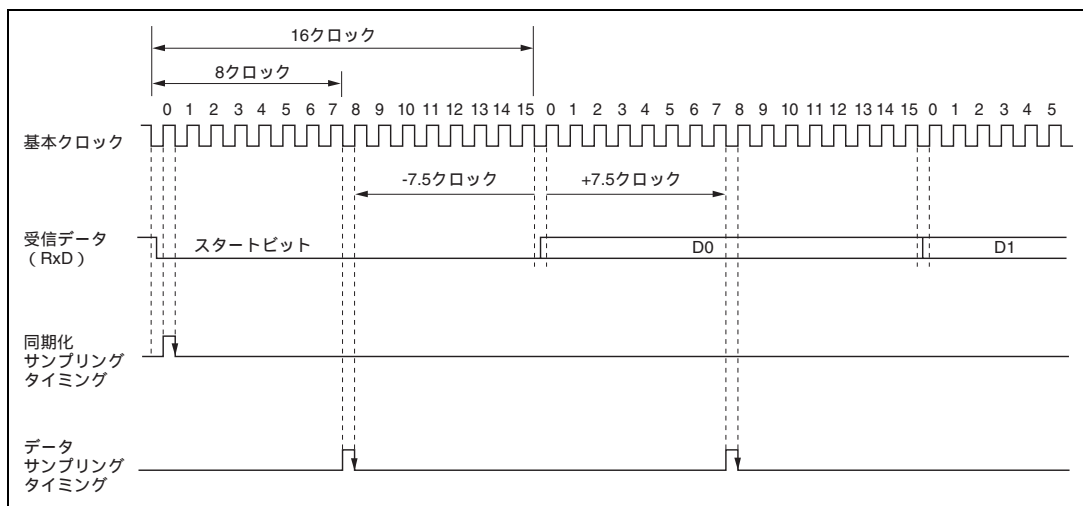


図 12.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

M : 受信マージン (%)  
 N : クロックに対するビットレートの比 (N=16)  
 D : クロックデューティ (D=0~1.0)  
 L : フレーム長 (L=9~12)  
 F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} D &= 0.5, F=0 \text{ のとき} \\ M &= \left( 0.5 - 1 / (2 \times 16) \right) \times 100\% \\ &= 46.875\% \dots\dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

#### (7) DMAC の使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DMAC による TDR の更新後、システムクロック (CK) で 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 ステート以内に送信クロックを入力すると、誤動作することがあります。(図 12.22)

DMAC により、RDR の読み出しを行うときは必ず起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

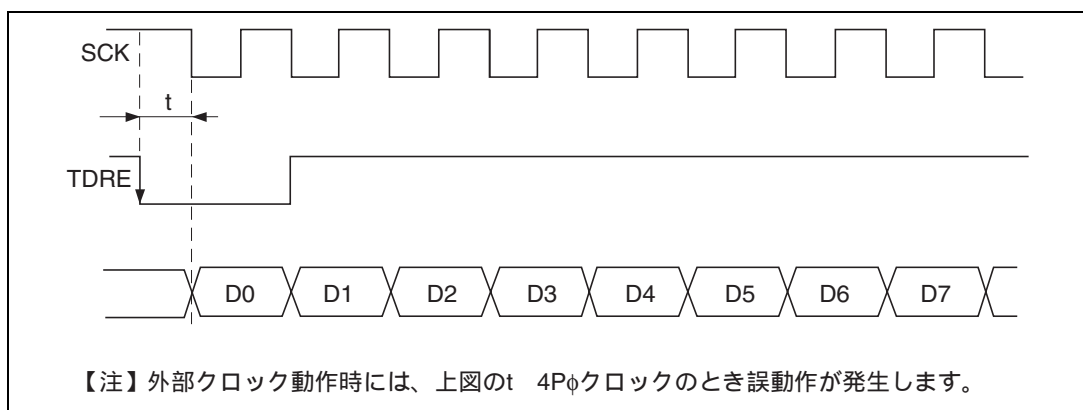


図 12.22 DMAC によるクロック同期式送信時の例

## 12. シリアルコミュニケーションインタフェース (SCI)

---

### (8) クロック同期外部クロックモード時の注意事項

- (a)  $TE = RE = 1$ に設定するのは、必ず外部クロックSCKが1のときにしてください。
- (b)  $TE = 1$ 、 $RE = 1$ に設定するのは、外部クロックSCKを0→1にしてから4クロック以上経過してからにしてください。
- (c) 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから2.5~3.5クロック後に $RE = 0$ にするとRDRF=1になりますが、RDRへのコピーができませんので注意してください。

### (9) クロック同期内部クロックモード時の注意事項

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから1.5クロック後に $RE = 0$ にするとRDRF=1になりますが、RDRへのコピーができませんので注意してください。



---

## 13. 高速 A/D 変換器 (SH7014)

---

### 13.1 概要

本高速 A/D 変換器は 10 ビットの分解能を持ち、最大 8 チャンネルのアナログ入力を選択することができます。

#### 13.1.1 特長

高速 A/D 変換器の特長を以下に示します。

- 10 ビット分解能
- 入力チャンネル：8 チャンネル
- 高速変換
  - 最小変換時間：1 チャンネル当たり 2.9 $\mu$ s (28MHz 動作時)。  
連続変換時 1 チャンネル当たり 1.4 $\mu$ s。
- 豊富な変換モード
  - セレクトモード/グループモードの選択が可能。
  - シングルモード/スキャンモードの選択が可能。
  - バッファ動作が可能。
  - 2 チャンネル同時サンプリングが可能。
- 2 種類の変換開始
  - ソフトウェアまたはタイマの変換開始トリガ (MTU) の選択が可能。
- 8 本のデータレジスタ
  - 変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持。
- サンプル&ホールド機能
- A/D 変換終了割り込み発生
  - A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能。

### 13.1.2 ブロック図

高速 A/D 変換器のブロック図を図 13.1 に示します。

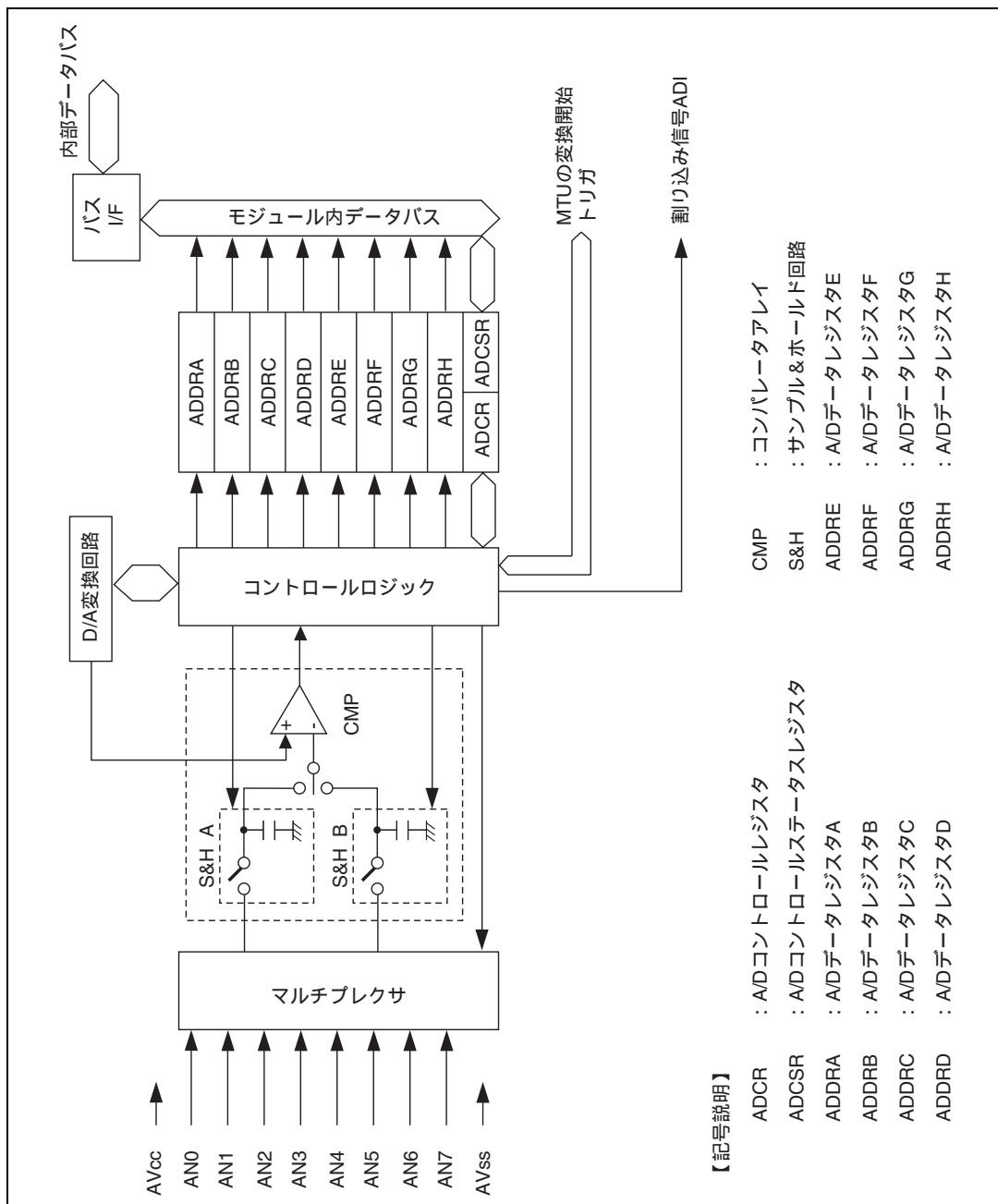


図 13.1 高速 A/D 変換器のブロック図

### 13.1.3 端子構成

高速 A/D 変換器で使用する入力端子を表 13.1 に示します。  
AVcc、AVss 端子は、高速 A/D 変換器内部のアナログ部の電源です。

表 13.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AVcc	入力	アナログ部の電源
アナロググランド	AVss	入力	アナログ部のグランドおよび A/D 変換の基準電圧
アナログ入力 0	AN0	入力	アナログ入力チャンネル 0
アナログ入力 1	AN1	入力	アナログ入力チャンネル 1
アナログ入力 2	AN2	入力	アナログ入力チャンネル 2
アナログ入力 3	AN3	入力	アナログ入力チャンネル 3
アナログ入力 4	AN4	入力	アナログ入力チャンネル 4
アナログ入力 5	AN5	入力	アナログ入力チャンネル 5
アナログ入力 6	AN6	入力	アナログ入力チャンネル 6
アナログ入力 7	AN7	入力	アナログ入力チャンネル 7

### 13.1.4 レジスタ構成

高速 A/D 変換器のレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFF83F0	8、16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFF83F2	8、16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFF83F4	8、16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFF83F6	8、16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFF83F8	8、16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFF83FA	8、16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFF83FC	8、16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFF83FE	8、16
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFFF83E0	8、16
A/D コントロールレジスタ	ADCR	R/W	H'00	H'FFFF83E1	8、16

【注】 \* ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

## 13.2 レジスタの説明

### 13.2.1 A/D データレジスタ A~H (ADDRA ~ ADDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの下位 8 ビットが ADDR の下位バイト (ビット 7~0) に、また上位 2 ビットが上位バイト (ビット 9、8) に転送され、保持されます。ビット 15~10 は読み出すと常に 0 が読み出されます。データ読み出しはバイトまたはワードが選択できます。バイトデータ読み出し時は、変換されたデータの上位 8 ビットが転送されます。また、ADDRA ~ ADDRD を組み合わせてバッファ動作を行うことができます。

アナログ入力チャンネルと ADDR の対応を表 13.3 に示します。

ADDR は、パワーオンリセットおよびスタンバイモードで H'0000 に初期化されます。

表 13.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDRA*
AN1	ADDRB*
AN2	ADDRC*
AN3	ADDRD*
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

【注】 \* バッファ動作時を除く

## 13.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* ビット7は、フラグをクリアするための0書き込みのみ可能です。

ADCSR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、パワーオンリセットおよびスタンバイモードで H'00 に初期化されます。

## ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに0を書き込んだとき (2) ADI 割り込みにより DMAC が起動されたとき
1	[セット条件] シングルモード: 指定したすべてのチャンネルの変換を終了し、A/D 変換が終了したとき* スキャンモード: 指定したすべてのチャンネルを一巡して変換したとき

【注】 \* バッファ動作時は指定したバッファ動作を終了するまでセットされません。

## ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。

ビット6	説明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

### 13. 高速 A/D 変換器 (SH7014)

---

#### ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットはソフトウェア、またはタイマの変換開始トリガによって 1 にセットすることができます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェアにより 0 にクリアされるまで連続変換。

#### ビット 4 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。動作周波数に応じて変換時間が  $2\mu\text{s}$  以上になるように設定してください。

変換時間の切り替えは、変換停止中に行ってください。

ビット 4	説明
CKS	
0	変換時間 = 40 ステート (高速 A/D 変換器の基準クロック = $\phi/2$ ) (初期値)
1	変換時間 = 80 ステート ( $\phi/4$ を選択時)

#### ビット 3 : グループモード (GRP)

A/D 変換チャンネルの選択を、セレクトモードまたはグループモードから選択します。

GRP ビットの設定は、変換停止中に行ってください。

ビット 3	説明
GRP	
0	セレクトモード (初期値)
1	グループモード

ビット2~0: チャンネルセレクト2~0 (CH2~CH0)

GRP ビットとともにアナログ入力チャンネルを選択します。  
入力チャンネルの設定は、変換停止中に行ってください。

ビット2	ビット1	ビット0	説 明	
CH2	CH1	CH0	セレクトモード (GRP=0)	グループモード (GRP=1)
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0 ~ AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN0 ~ AN4
		1	AN5	AN0 ~ AN5
	1	0	AN6	AN0 ~ AN6
		1	AN7	AN0 ~ AN7

### 13.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	—	PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADCR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換の動作制御を行います。  
ADCR は、パワーオンリセットおよびスタンバイモードで H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6: 電源ビット (PWR)

高速 A/D 変換器の変換開始モードを指定します。PWR ビットを1にセットすると高速スタートモードに、また、0にセットすると低消費電力変換モードになります。変換開始動作の詳細については、「13.4.7 変換開始モード」を参照してください。

PWR ビットの設定は、変換停止中に行ってください。

ビット6	説 明	
PWR		
0	低消費電力変換モード	(初期値)
1	高速スタートモード	

### 13. 高速 A/D 変換器 (SH7014)

---

#### ビット 5~4 : タイマトリガセレクト 1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。  
TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット 5	ビット 4	説 明
TRGS1	TRGS0	
0	0	ソフトウェアによる A/D 変換の開始を許可 (初期値)
	1	MTU の変換開始トリガによる A/D 変換の開始を許可
1	0	設定禁止
	1	

#### ビット 3 : スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモードまたはスキャンモードの動作については、「13.4 動作説明」を参照してください。

SCAN ビットの設定は、変換停止中に行ってください。

ビット 3	説 明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

#### ビット 2 : 同時サンプリング (DSMP)

2 チャンネル同時サンプリング動作を許可または禁止します。同時サンプリングの詳細は「13.4.6 同時サンプリング動作」を参照してください。

DSMP ビットの設定は、変換停止中に行ってください。

ビット 2	説 明
DSMP	
0	通常サンプリング動作 (初期値)
1	同時サンプリング動作



ビット 1、0 : バッファイネーブル 1、0 (BUFE1、BUFE0)

ADDRB ~ ADDRD をバッファレジスタとして使用するかしないかを選択します。BUFE1、BUFE0 ビットの設定は変換停止中に行ってください。

ビット 1	ビット 0	説 明
BUFE1	BUFE0	
0	0	通常動作 (初期値)
	1	ADDRA と ADDR B はバッファ動作 : 変換結果 → ADDRA → ADDR B ( ADDR B はバッファレジスタ)
1	0	ADDRA と ADDR C および ADDR B と ADDR D はバッファ動作 : 変換結果 1 → ADDRA → ADDR C、変換結果 2 → ADDR B → ADDR D ( ADDR C、 ADDR D はバッファレジスタ)
	1	ADDRA ~ ADDR D はバッファ動作 : 変換結果 → ADDRA → ADDR B → ADDR C → ADDR D ( ADDR B ~ ADDR D はバッファレジスタ)

### 13.3 バスマスタとのインタフェース

ADDRA ~ ADDR H は 16 ビットレジスタで、バスマスタとの間のデータバスは 16 ビット幅です。バスマスタからの ADDRA ~ ADDR H の読み出しは、ワード単位またはバイト単位のいずれも可能です。

ADDR のワード単位の読み出しは、ADDR の内容が 16 ビット一括してバスマスタへ転送されます。またバイト単位の読み出しでは、変換されたデータ (AD9 ~ AD0) の上位 8 ビット (AD9 ~ AD2) の内容がバスマスタへ転送されます。

図 13.2 に、ADDR の読み出し時の動作を示します。

### 13. 高速 A/D 変換器 (SH7014)

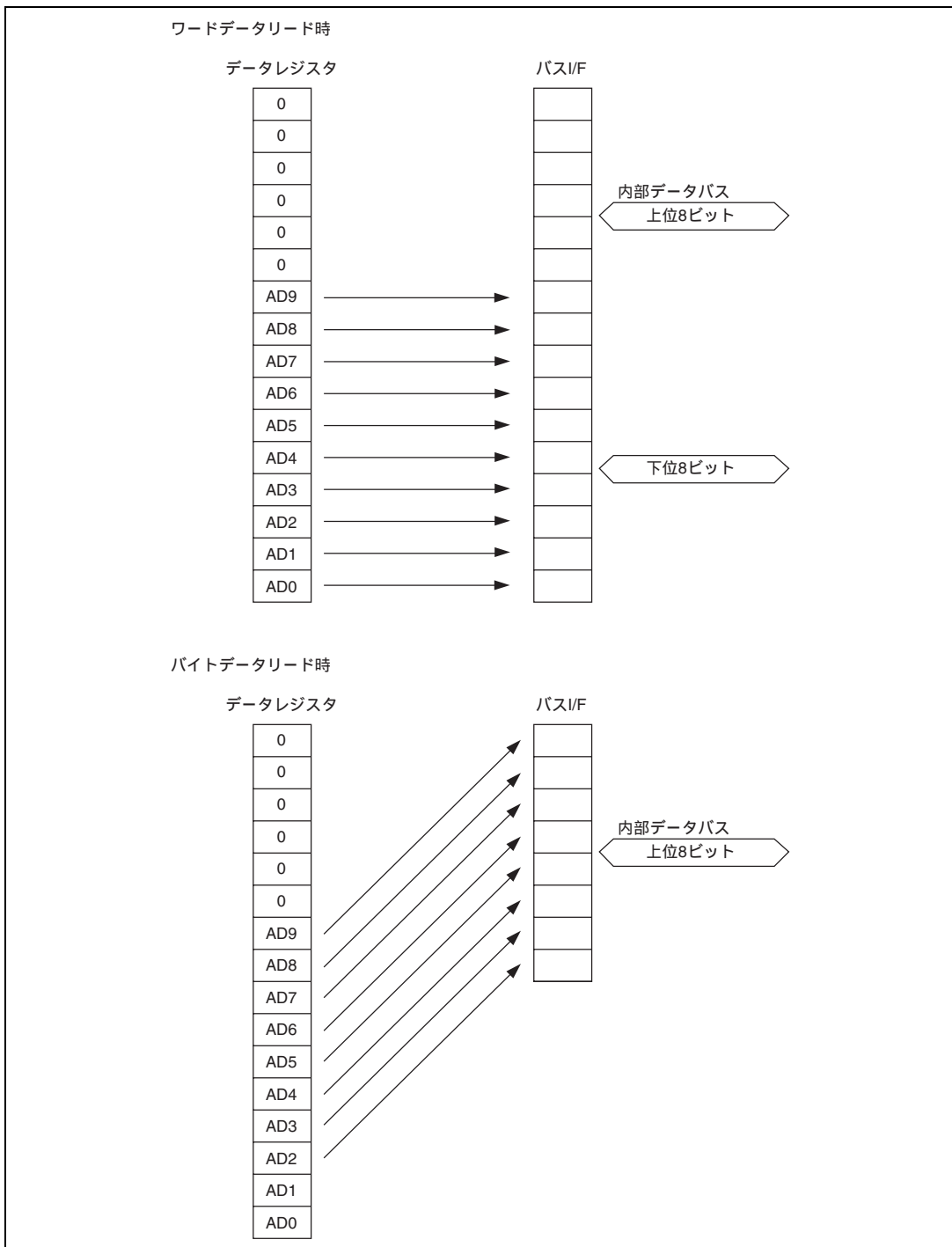


図 13.2 ADDR の読み出し動作

## 13.4 動作説明

高速 A/D 変換器は、10 ビット分解能をもっています。

動作モードとして、セレクトまたはグループおよびシングルまたはスキヤンの 4 つのモードにバッファ動作・同時サンプリング動作を組み合わせることで設定することができます。

セレクトモードは 1 チャンネルを選択し、グループモードは複数チャンネルを選択します。

シングルモードは 1 回の起動で、選択されたすべてのチャンネルの変換を行い、スキヤンモードでは 1 回起動すると、ソフトウェアで停止させるまで、繰り返し変換を行います。

バッファ動作は当該チャンネルの変換終了時に前回の変換結果をバッファレジスタに退避させます。

同時サンプリング動作は 2 チャンネル同時にアナログ入力電圧をサンプリングし、順次変換します。

また、変換開始条件には、ソフトウェアまたはタイマの変換開始トリガ (MTU) が選択できます。

A/D 変換は PWR ビットの設定により、高速スタートモードと低消費電力変換モードの 2 つのモードから選択が可能です。

動作モードや入力チャンネルを切り替える場合には、ADST ビットを 0 にクリアした状態で、ADCSR、ADCR を書き換えてください。ADCSR、ADCR を書き換えた後、ADST ビットを 1 にセットすると、再び A/D 変換を開始します。動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。A/D 変換を途中で停止する場合は、ADST ビットを 0 にクリアしてください。

### 13.4.1 セレクトシングルモード

セレクトシングルモードは 1 チャンネルのみの A/D 変換を行う場合に選択します。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中に 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

セレクトシングルモードで AN1 が選択された場合の動作例を図 13.3 に示します。

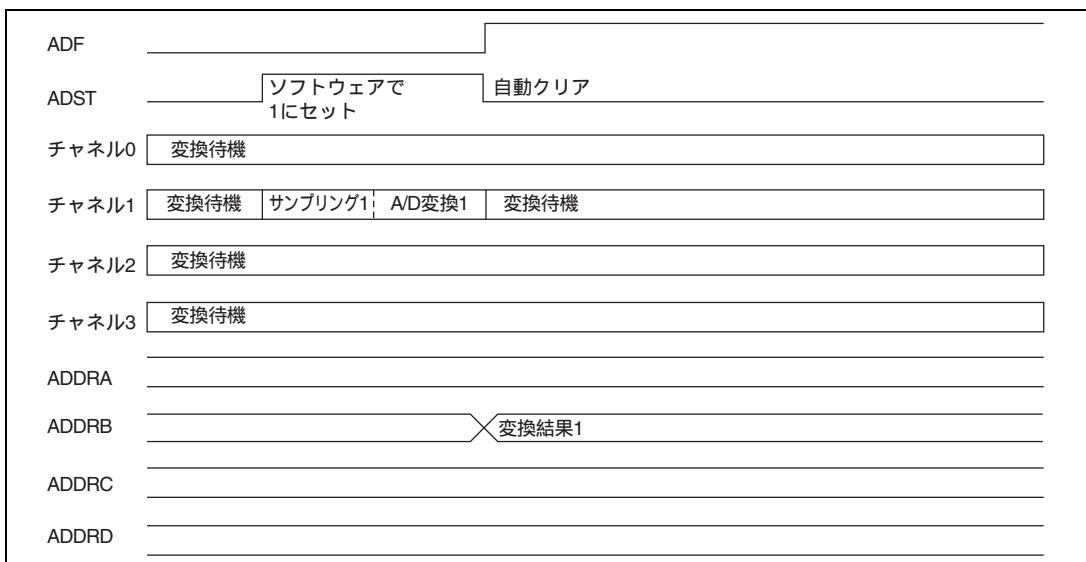


図 13.3 高速 A/D 変換器の動作例 (セレクトシングルモード)

### 13.4.2 セレクトスキャンモード

セレクトスキャンモードは 1 チャンネルの A/D 変換を繰り返し行う場合に選択します。1 チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、ソフトウェアで 0 にクリアするまで、1 を保持しています。この期間、選択された入力チャンネルの A/D 変換を繰り返します。

また、最初の変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生し、A/D 変換が一時停止します。ADI 割り込み要求により変換が停止した状態で ADF フラグが 0 にクリアされると再び変換を開始します。ADF フラグは、ADCSR レジスタを読み出した後、0 を書き込むとクリアされます。

セレクトスキャンモードで AN1 が選択された場合の動作例を図 13.4 に示します。

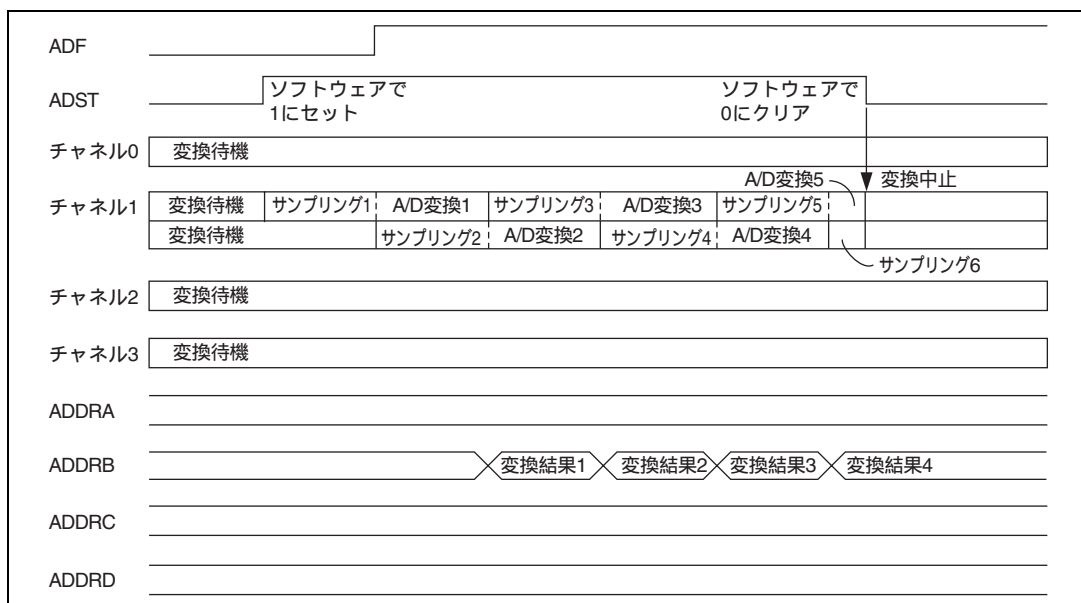


図 13.4 高速 A/D 変換器の動作例 (セレクトスキャンモード)

### 13.4.3 グループシングルモード

グループシングルモードは複数チャンネルの A/D 変換を行う場合に選択します。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中に 1 を保持しており、指定した入力チャンネルのすべての変換が終了すると自動的に 0 にクリアされます。

また、指定した入力チャンネルのすべての変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

グループシングルモードで AN0 ~ AN2 が選択された場合の動作例を図 13.5 に示します。

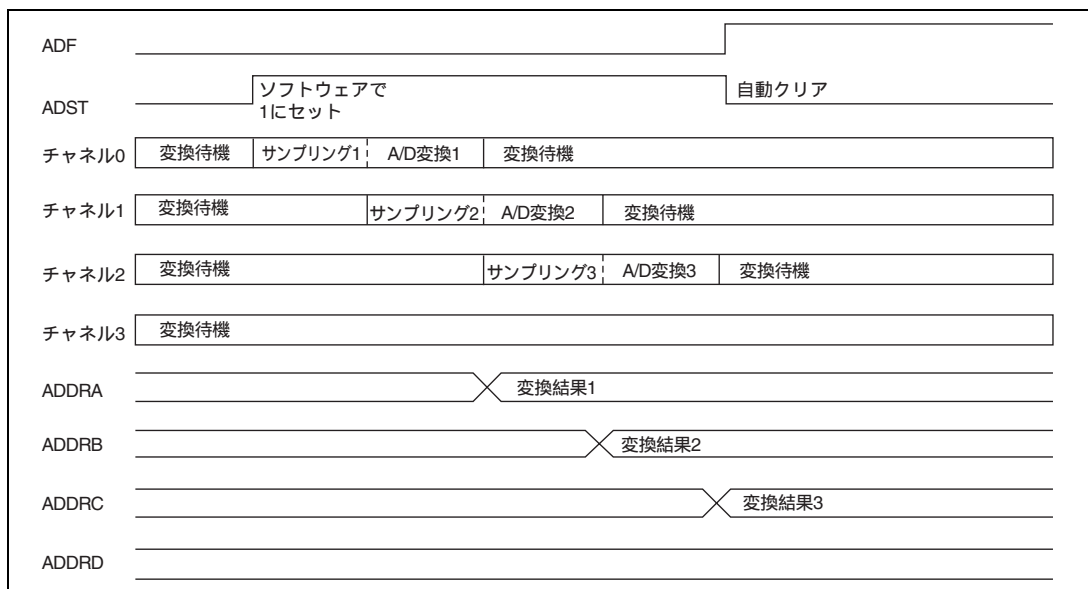


図 13.5 高速 A/D 変換器の動作例 (グループシングルモード)

### 13.4.4 グループスキャンモード

グループスキャンモードは複数チャンネルの A/D 変換を繰り返し行う場合に選択します。複数チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、ソフトウェアで 0 にクリアするまで、1 を保持しています。この期間、選択された入力チャンネルの A/D 変換を繰り返します。

また、指定したすべての入力チャンネルの最初の変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生し A/D 変換が一時的に停止します。ADI 割り込み要求により、変換が停止した状態で ADF フラグが 0 にクリアされると、再び変換を開始します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

グループスキャンモードで AN0 ~ AN2 が選択された場合の動作例を図 13.6 に示します。

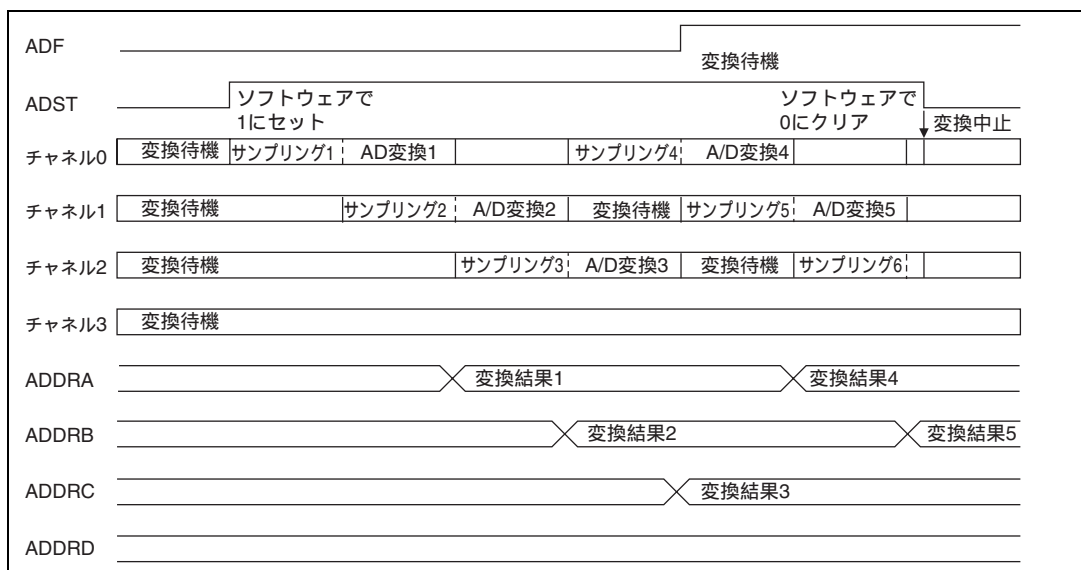


図 13.6 高速 A/D 変換器の動作例 (グループスキャンモード)

### 13.4.5 バッファ動作

バッファ動作では、当該チャンネルの変換が終了すると、変換結果を ADDR に格納すると同時に、それ以前に格納していた変換結果を別の ADDR に転送します。

バッファ動作は AN0→ADDRA→ADDRB の 2 段 1 組の動作と、AN0→ADDRA→ADDRC、AN1→ADDRB→ADDRD の 2 段 2 組の動作と、AN0→ADDRA→ADDRB→ADDRC→ADDRD の 4 段 1 組の動作のなかから選択可能です。

同時サンプリング動作と組み合わせて使用する場合は、GRP=1、BUFE1、BUFE0=B'10、CH2=0 としてください。

バッファ動作のタイミングを図 13.7 に示します。

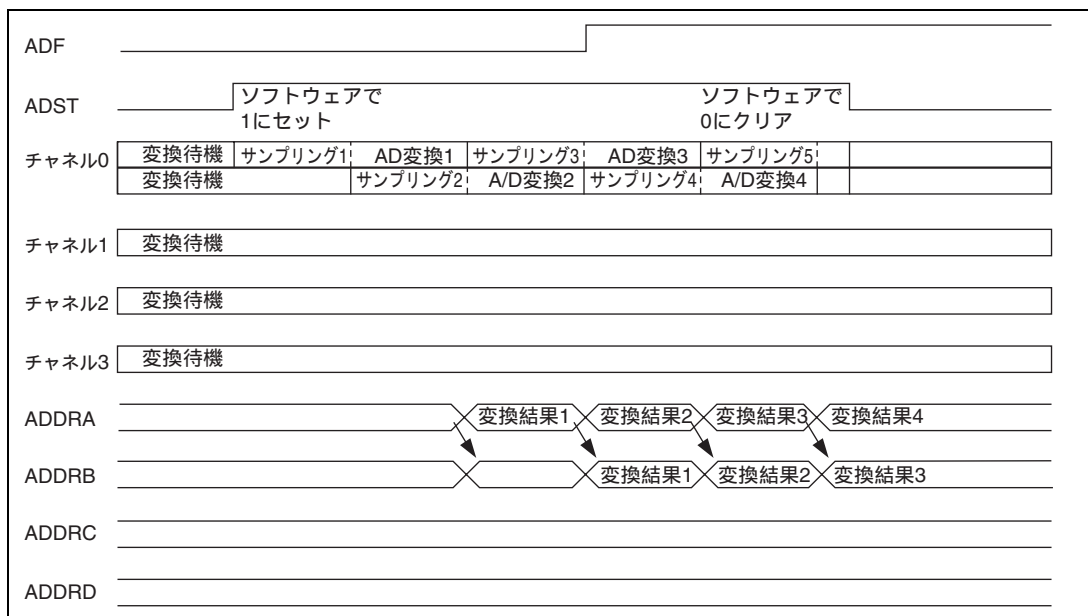


図 13.7 バッファ動作 (セレクトスキャンモード: 2 段 1 組動作、CH2~CH0=B'001 の場合)

#### (1) バッファ動作のみを用いる場合

BUFE1、BUFE0 ビット指定されたアナログ入力チャンネル (AN0、AN1) のみの変換を行う場合、グループモードを選択し、CH2~CH0 ビットの設定により、ADF フラグのセット条件を選択することができます。

表 13.4 (1) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは、変換を継続し、BUFE1、BUFE0 ビットで指定されたバッファレジスタに順次変換データを格納していきます。

ADF フラグが 1 にセットされたとき ADIE ビットが 1 にセットされていると、ADI 割り込みが発生します。ADF フラグは、ADCSR を読み出した後、0 を書き込むとクリアされます。

セレクトシングルモードの場合は、1 回ごとの変換を終了すると、いったん変換待機状態になります。ソフトウェアまたはタイマトリガによって A/D 変換が再開され、表 13.4 (1) に示される回数の変換を終了すると、ADF フラグが 1 にセットされます。

### 13. 高速 A/D 変換器 (SH7014)

表 13.4 (1) バッファ動作時の変換チャンネルと ADF フラグセット/クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH2	CH0	BUFE1、BUFE0 = B'01	BUFE1、BUFE0 = B'10	BUFE1、BUFE0 = B'11
0	0	0	ANO 1 回 (ADDRA)	ANO、AN1 各 1 回 (ADDRB)	ANO 1 回 (ADDRA)
		1	ANO 2 回 (ADDRB)		ANO 2 回 (ADDRB)
	1	0	表 13.4 (2) 参照	ANO、AN1 各 2 回 (ADDRD)	ANO 3 回 (ADDRC)
		1			ANO 4 回 (ADDRD)
1			表 13.4 (2) 参照		

#### (2) グループモードとバッファ動作を組み合わせる場合

CH2 ~ CH0 ビットの設定により、BUFE1、BUFE0 ビットで指定されたアナログ入力チャンネル (ANO、AN1) と、AN4 ~ AN7 を連続して変換することができます。

表 13.4 (2) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。この場合、バッファレジスタに指定した ADDR に対応するアナログ入力は変換されません。例えば、BUFE1、BUFE0=B'11、CH2 ~ CH0=B'110 の場合、ADDRA、ADDRE ~ ADDRГ に変換結果が格納されます。また、ADDRB ~ ADDRД には、変換開始前の ADDRA ~ ADDRС の内容が転送されます。

シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは、変換を継続します。

表 13.4 (2) バッファ動作時の変換チャンネルと ADF フラグセット/クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH1	CH0	BUFE1、BUFE0 = B'01	BUFE1、BUFE0 = B'10	BUFE1、BUFE0 = B'11
0	0		表 13.4 (1) 参照		
	1	0	ANO、AN2 (ADDRС)	表 13.4 (1) 参照	
			ANO、AN2、AN3 (ADDRD)		
1	0	0	ANO、AN2 ~ AN4 (ADDRE)	ANO、AN1、AN4 (ADDRE)	ANO、AN4 (ADDRE)
		1	ANO、AN2 ~ AN5 (ADDRF)	ANO、AN1、AN4、AN5 (ADDRF)	ANO、AN4、AN5 (ADDRF)
	1	0	ANO、AN2 ~ AN6 (ADDRГ)	ANO、AN1、AN4 ~ AN6 (ADDRГ)	ANO、AN4 ~ AN6 (ADDRГ)
		1	ANO、AN2 ~ AN7 (ADDRH)	ANO、AN1、AN4 ~ AN7 (ADDRH)	ANO、AN4 ~ AN7 (ADDRH)

#### (3) ADF フラグのクリア

A/D 変換終了割り込みによって、DMAC を起動した場合、表 13.4 に指定された ADDR を読み出したときに、ADF フラグをクリアします。



## (4) バッファ動作の回数をリセットする場合

変換待機状態、または変換を停止させていったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。バッファ回数が 0 にクリアされます。

## (5) バッファ動作を変更する場合

変換待機状態または変換を停止させて、いったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。その後 BUFE1、BUFE0 を設定し、変換を再開させると表 13.4 に示すバッファ動作を行います。

## 13.4.6 同時サンプリング動作

同時サンプリング動作では、2 チャンネルの入力電圧を同時にサンプリングし、連続変換を行います。同時サンプリング動作はグループモードで有効です。同時サンプリング動作におけるチャンネルは ADCSR の CH2、CH1 ビットで決まります。この組み合わせを表 13.5 に示します。たとえば CH2、CH1 = B'11 のとき GRP=1 ならば AN0、AN1→AN2、AN3→AN4、AN5→AN6、AN7 のペアでこの順に同時サンプリングが行われます。また同時サンプリングのタイミングを図 13.8 に示します。

表 13.5 同時サンプリングチャンネル

チャンネル設定		サンプリングチャンネル
CH2	CH1	GRP= '1'
0	0	AN0、AN1
	1	AN0、AN1→AN2、AN3
1	0	AN0、AN1→AN2、AN3→AN4、AN5
	1	AN0、AN1→AN2、AN3→AN4、AN5→AN6、AN7

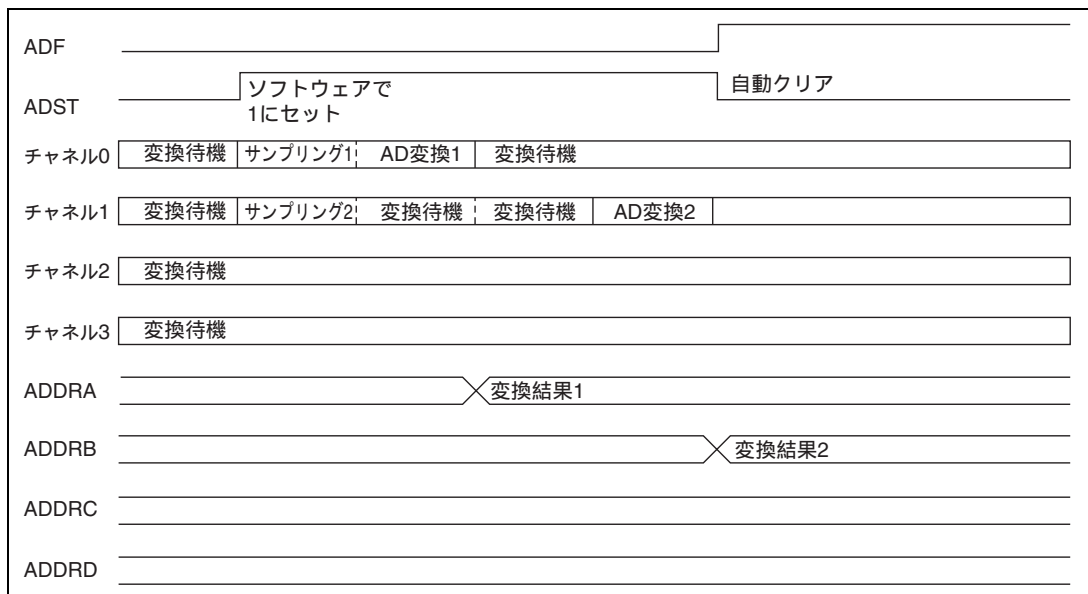


図 13.8 同時サンプリング動作 (グループシングルモード)

## 13.4.7 変換開始モード

ADCSR の PWR ビットで高速 A/D 変換器の変換開始モードを設定します。PWR ビットを 0 にクリアすると低消費電力変換モードに設定され、内部のアナログ回路は非アクティブ状態となります。また、1 にセットすると高速スタートモードに設定され、アナログ回路はアクティブ状態になります。

低消費電力変換モードでは変換開始 (ADST ビットのセット) と同時にアナログ回路の電源を入れて基準クロックの 200 サイクルが経過すると、アナログ回路は変換可能な状態に移行し、1 回目の A/D 変換を開始します。基準クロックは ADCSR の CKS ビットで選択します。連続して変換を行う場合、2 回目以降の A/D 変換は 20 サイクルで行われます。A/D 変換が終了すると、ADST が 0 にクリアされ、自動的にアナログ回路の電源は切れます。このモードでは A/D 変換動作期間のみアナログ回路がアクティブになるため、電流の消費量を小さくすることができます。

高速スタートモードでは、A/D 変換が終了して ADST が 0 にクリアされても、アナログ回路に電源が供給され続けて、変換可能な状態を保持します。再度 ADST を 1 にセットすれば直後に変換が開始されます。ただしアナログ電源投入後の最初の変換のみ、ADST セット後 200 サイクル経過してから変換が開始されます。アナログ回路の電源をオフするためには、PWR ビットを 0 にクリアします。連続して変換を行う場合、2 回目以降の A/D 変換は 20 サイクルで行われます。このモードでは常時アナログ回路がアクティブであるため、高速な A/D 変換動作が実現できます。

なお、高速スタートモードで A/D 変換中 (ADST = 1 の状態時) に、ADST ビットを 0 にクリアすることにより変換を強制終了させた場合、再起動後の 1 回目の変換が正常に行われなことがあるあります。2 回目以降は正常に行われます。

図 13.9 および図 13.10 に変換開始動作のタイミングを示します。

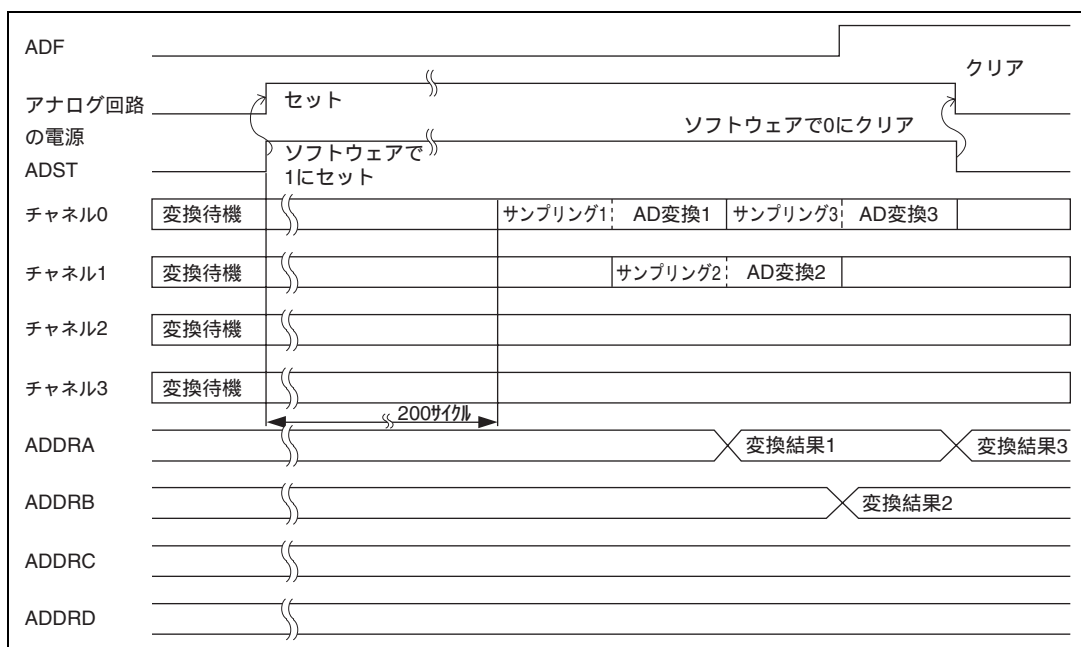


図 13.9 変換開始動作 (低消費電力変換モード)

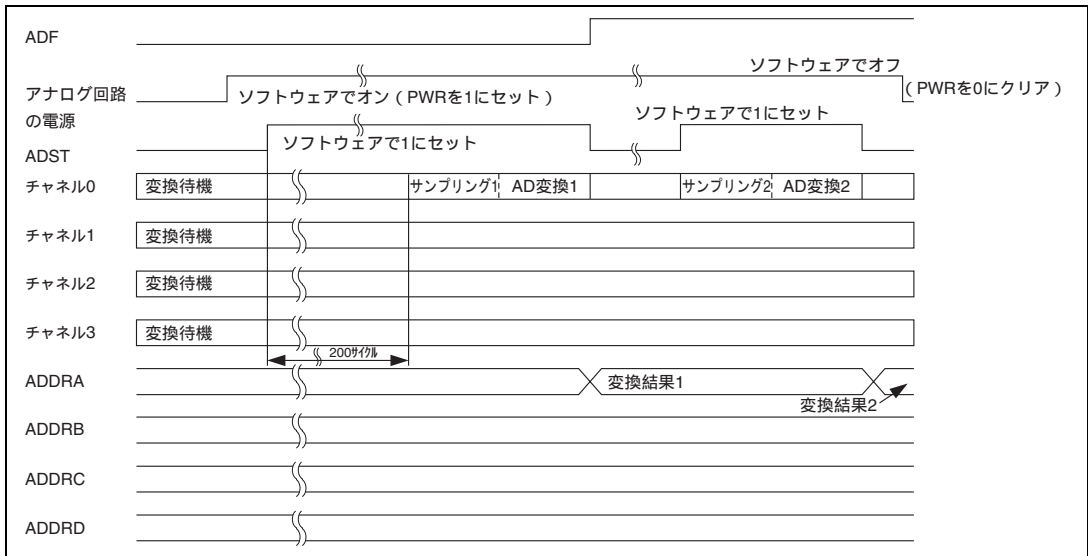


図 13.10 変換開始動作 (高速スタートモード)

## 13.4.8 A/D 変換時間

高速 A/D 変換器には、サンプル&ホールド回路が内蔵されています。高速 A/D 変換器は、ADST ビットが 1 にセットされてから、 $t_D$  時間後に、入力のサンプリングを行い、その後変換を開始します。

A/D 変換時間  $t_{CONV}$  は、変換開始遅延時間  $t_D$  と、入力サンプリング時間  $t_{SPL}$  と、動作時間  $t_{CP}$  の合計になります。この値は、 $t_D$  の ADCSR の書き込みタイミングまたはタイムの変換開始トリガの発生タイミングによって決まり、一定値にはなりません。

A/D 変換のタイミングを図 13.11 に示します。また、A/D 変換時間を表 13.6 に示します。

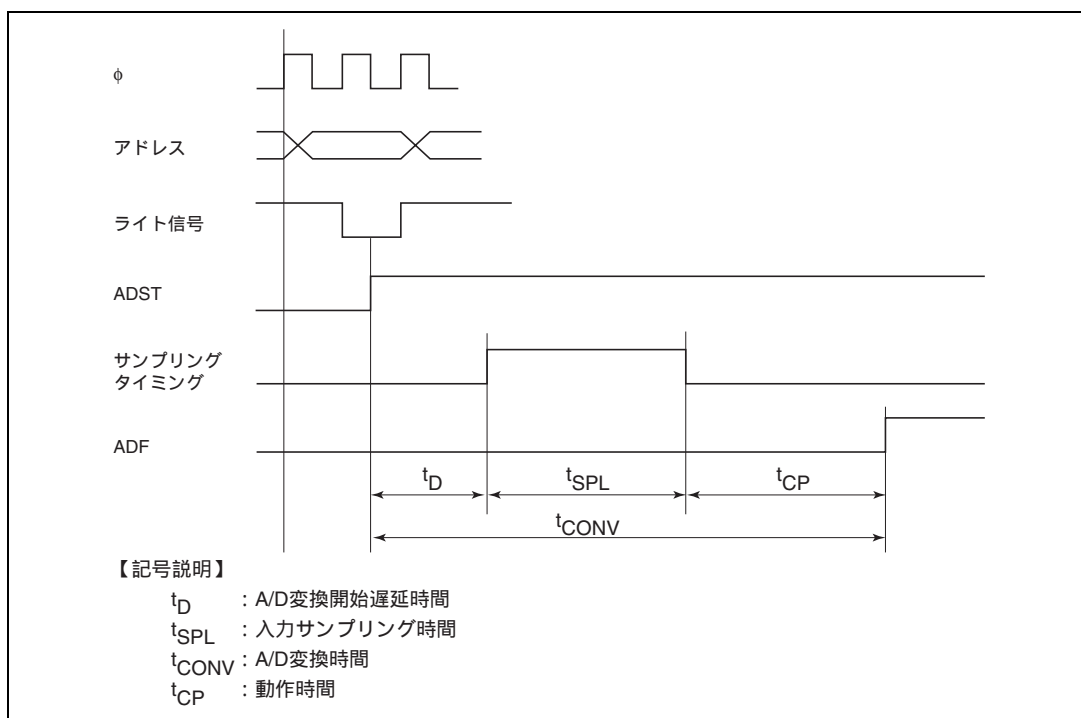


図 13.11 A/D 変換タイミング

表 13.6 A/D 変換時間

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$		1.5			1.5	
入力サンプリング時間	$t_{SPL}$		20			40	
A/D 変換時間	$t_{CONV}$		42.5			82.5	

【注】 単位：ステート

表は PWR=1 のとき。ADST のセットから 200 ステートが経過していない場合は、200 ステートが経過するまで変換が行われません。PWR=0 のときは 1 回目の A/D 変換開始遅延時間に 200 ステートを加算してください。連続して変換を行う場合の 2 回目以降の  $t_{cp}$  は CKS = 0 のとき 20 サイクル、CKS = 1 のとき 40 サイクルになります。

ADCSR の CKS ビットは動作時間  $t_{CONV}$  が、 $2\mu\text{s}$  以上になるように設定してください。動作周波数と CKS ビットの設定を表 13.7 に示します。

表 13.7 動作周波数と CKS ビットの設定

CKS	変換時間 (ステート)	最小変換時間 ( $\mu\text{s}$ )				
		28MHz	20MHz	16MHz	10MHz	8MHz
0	42.5		2.1	2.6	4.3	5.3
1	82.5	2.9	4.2	5.0	8.3	10.3

【注】 : 設定できません。

## 13.5 割り込み

高速 A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DMAC の起動ができます。ADI 割り込みで変換されたデータの読み出しを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

高速 A/D 変換器の割り込み要因を表 13.8 に示します。

スキャンモード時、ADIE ビットを 1 にセットしておく、ADF フラグが 1 にセットされると同時に A/D 変換を一時停止します。ADF フラグを 0 にクリアすると A/D 変換を再開します。

ADI 割り込みにより、DMAC を起動した場合、指定したデータレジスタの最後のレジスタを読み出すと ADF フラグは 0 にクリアされます。

表 13.8 高速 A/D 変換器の割り込み要因

割り込み要因	内容	DMAC の起動
ADI	変換終了による割り込み	可

## 13.6 使用上の注意

高速 A/D 変換器については、以下のことに注意してください。

### (1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN0 ~ AN7 に印加する電圧は、 $AV_{SS}$  ~ AN7  $AV_{CC}$  の範囲にしてください。

### (2) $AV_{CC}$ 、 $AV_{SS}$ 入力電圧

$AV_{CC}$ 、 $AV_{SS}$  入力電圧は、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $AV_{SS}=V_{SS}$  としてください。高速 A/D 変換器を使用しない場合、 $AV_{CC}=V_{CC}$ 、 $AV_{SS}=V_{SS}$  としてください。スタンバイモード時には、 $V_{RAM}$   $AV_{CC}$  5.5V、 $AV_{SS}=V_{SS}$  としてください。なお、 $V_{RAM}$  は、RAM スタンバイ電圧です。

### (3) 入力ポート

入力ポートに接続する回路の時定数は、高速 A/D 変換器のサンプリング時間よりも短く設定してください。回路の時定数が長いと、入力電圧が十分にサンプリングできないことがあります。

### (4) 変換開始モード

PWR ビットの設定によって A/D 変換動作が高速スタートモードのときと低消費電力変換モードのときでは消費電流が異なります。

### (5) A/D 変換の終了 (HD6417014R のみ)

高速スタートモード (PWR=1) で A/D 変換中 (ADST=1 の状態) に ADST ビットを 0 にクリアすることにより変換を終了した場合、再起動後の 1 回目の変換 (通常モードで 1ch、同時サンプリングモードでは 2ch) の誤差が大きくなる場合があります。次回以降の変換は正しく行われます。

A/D 変換を変換途中で終了した場合は、以下のいずれかの対策をとってください。

- (a) 終了後に再起動させた場合、1 回目のデータを無視する。
- (b) 再起動後の 1 回目のデータを使用する場合は、終了後にシングルモードで 1 回ダミー変換を行い、A/D 変換を 1 度終了させた後で再起動する。
- (c) 終了後、再起動前に PWR ビットに 1 度 0 を書き込む (この場合、再起動後 1 回目の変換は、A/D の基準クロックで 200 サイクル経過後に開始)。

### (6) アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 13.12 のような保護回路を接続してください。この回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路あくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 13.13 にアナログ入力端子の等価回路を、表 13.9 にアナログ入力端子の規格を示します。

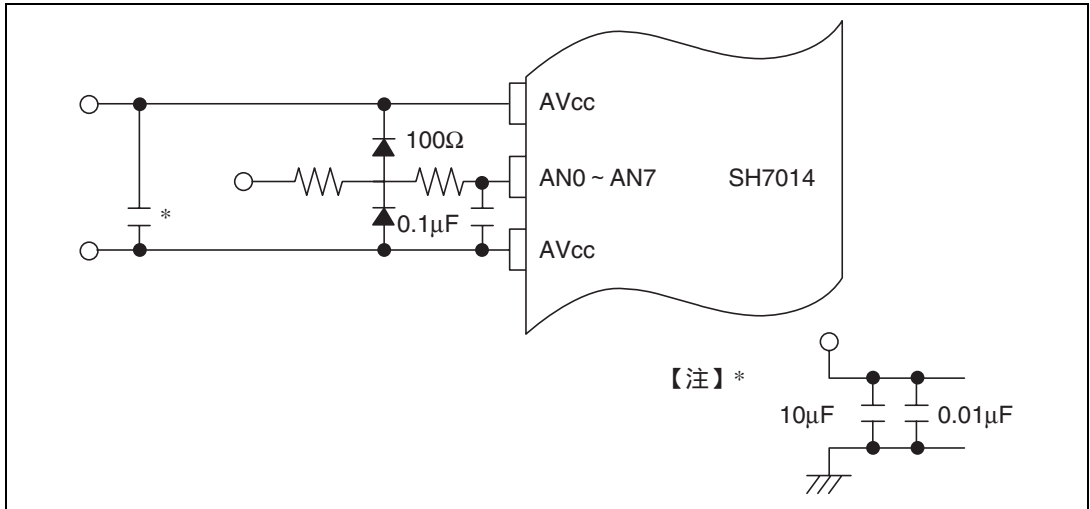


図 13.12 アナログ入力端子の保護回路例

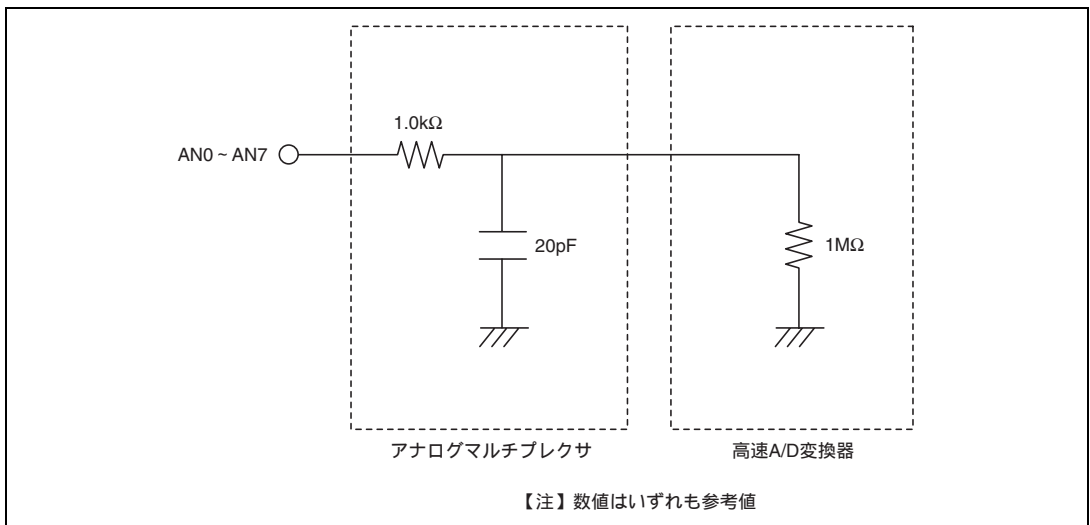


図 13.13 アナログ入力端子の等価回路

表 13.9 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		1	kΩ

### 13. 高速 A/D 变换器 (SH7014)

---



---

## 14. 中速 A/D 変換器 (SH7016/17)

---

### 14.1 概要

本中速 A/D 変換器は、10 ビットの分解能を持っており、最大 8 チャンネルのアナログ入力を選択することができます。

#### 14.1.1 特長

中速 A/D 変換器には、次のような特長があります。

- 10 ビットの分解能
- 入力チャンネル：8 チャンネル
- 変換時間  
1チャンネル当たり最小6.7 $\mu$ s (20MHz動作時)
- 単一モード/スキャンモードの 2 種類の動作モードから選択可能  
単一モード：1チャンネルのA/D変換  
スキャンモード：1~4チャンネルの連続A/D変換
- 4本の16ビットデータレジスタ  
A/D変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。
- サンプル&ホールド機能
- A/D 変換終了割り込み要求を発生  
A/D変換終了時には、CPUに対してA/D変換終了割り込み要求 (ADI) を発生させることができます。
- MTU トリガ入力による A/D 変換の開始が可能

### 14.1.2 ブロック図

中速 A/D 変換器のブロック図を図 14.1 に示します。

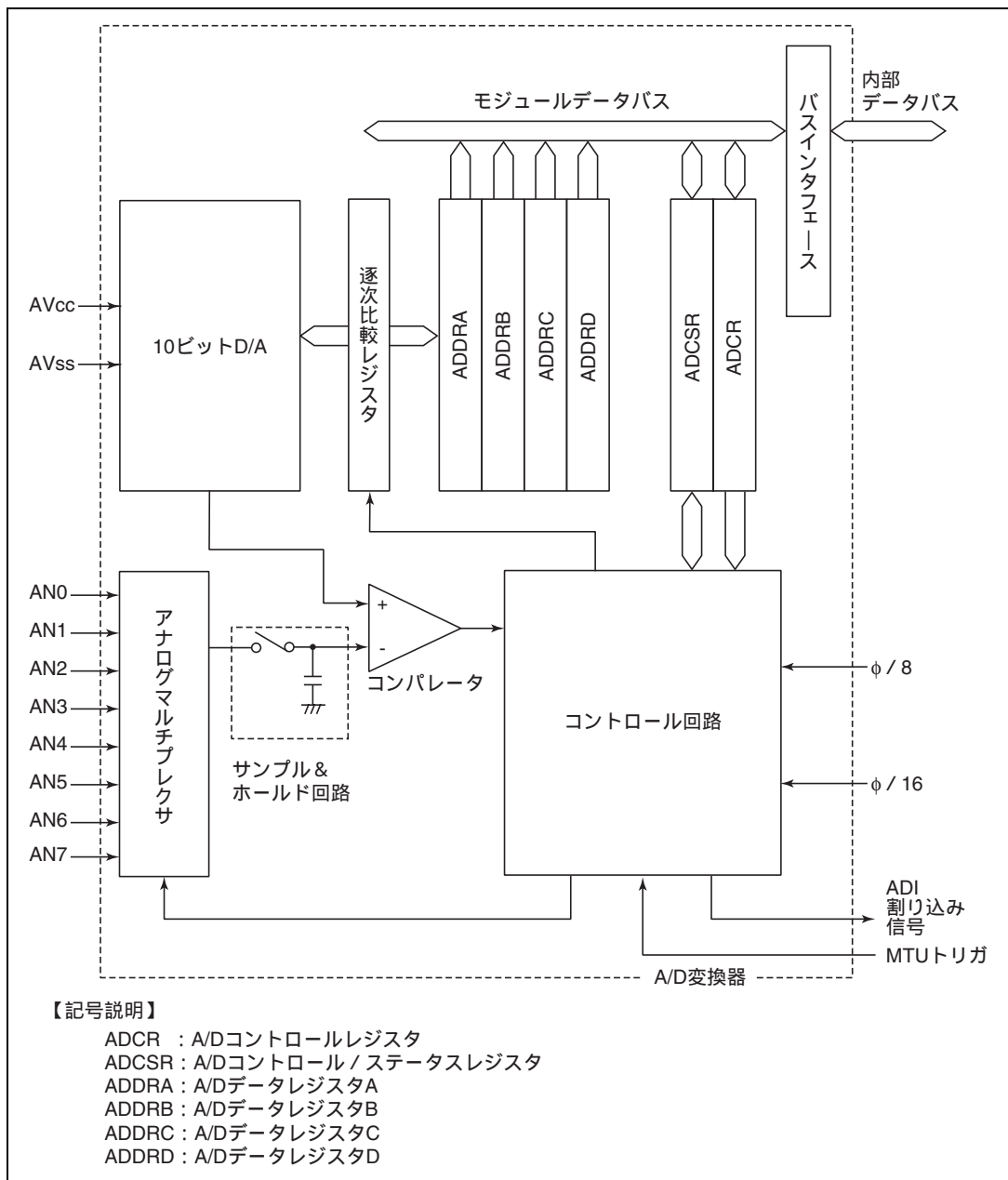


図 14.1 中速 A/D 変換器のブロック図

### 14.1.3 端子構成

中速 A/D 変換器で使用する入力端子を表 14.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1 になっています。

AVcc、AVss 端子は、中速 A/D 変換器内部のアナログ部の電源です。

表 14.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	

### 14.1.4 レジスタ構成

中速 A/D 変換器のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFFF8420	8、16
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFFF8421	16
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFFF8422	8、16
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFFF8423	16
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFFF8424	8、16
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFFF8425	16
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFFF8426	8、16
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFFF8427	16
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFFF8428	8、16
A/D コントロールレジスタ	ADCR	R/W	H'7F	H'FFFF8429	8、16

【注】 \* ビット 7 は、フラグをクリアするために 0 のみ書き込むことができます。

## 14.2 レジスタの説明

### 14.2.1 A/D データレジスタ A~D (ADDRA ~ ADDRD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】n=A~D

A/D データレジスタ (ADDR) は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 は、予約ビットで、読み出すと常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 14.3 に示します。

ADDR は、常に CPU から読み出し可能です。上位バイトは直接読み出せますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「14.3 CPU とのインタフェース」を参照してください。

ADDR は、パワーオンリセット時に、H'0000 に初期化されます。

表 14.3 アナログ入力チャンネルと ADDR A ~ ADDR D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

## 14.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* フラグをクリアするために0のみ書き込むことができます。

A/D コントロール / ステータスレジスタ (ADCSR) は、8 ビットの読み出し / 書き込み可能なレジスタで、モードの選択など中速 A/D 変換器の動作を制御します。

ADCSR は、パワーオンリセット時に、H'00 に初期化されます。

## ビット7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF = 1 の状態で、ADF を読み出した後、ADF に 0 を書き込んだとき (2) ADI 割り込みによって DMAC が起動され、中速 A/D 変換器のレジスタがアクセスされたとき
1	[セット条件] (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

## ビット6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み要求 (ADI) の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み要求 (ADI) を禁止 (初期値)
1	A/D 変換終了による割り込み要求 (ADI) を許可

#### 14. 中速 A/D 変換器 (SH7016/17)

---

##### ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。

A/D 変換中は 1 を保持します。また、MTU トリガ入力により 1 にセットすることもできます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード : A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始し、ソフトウェアにより 0 にクリアされるまで選択されたチャンネルを順次連続変換

##### ビット 4 : スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「14.4 動作説明」を参照してください。モードの切り替えは、ADST = 0 の状態で行ってください。

ビット 4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

##### ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = 0 の状態で行ってください。なお、動作周波数が 20MHz を超える場合は、必ず CKS = 0 の設定にしてください。

ビット	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

ビット 2~0 : チャンネルセレクト 2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。  
チャンネル選択と切り替えは、ADST=0 の状態で行ってください。

グループ選択	チャンネル選択		説 明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN0 (初期値)	AN0 (初期値)
		1	AN1	AN0、AN1
	1	0	AN2	AN0~AN2
		1	AN3	AN0~AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4~AN6
		1	AN7	AN4~AN7

### 14.2.3 A/D コントロールレジスタ (ADCR)

ビット :	7	6	5	4	3	2	1	0
	TRGE							
初期値 :	0	1	1	1	1	1	1	1
R/W :	R/W	R	R	R	R	R	R	R

A/D コントロールレジスタ (ADCR) は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、パワーオンリセット時、H'7F に初期化されます。

ビット 7 : トリガイネーブル (TRGE)

MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ビット 7	説 明
TRGE	
0	MTU トリガ入力による A/D 変換の開始を禁止 (初期値)
1	MTU トリガで A/D 変換を開始

ビット 6~0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 14.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータの読み出しは、次のように行われます。上位バイトの読み出しで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトの読み出しで TEMP の内容が CPU へ転送されます。

ADDR を読み出す場合は、必ず上位バイト、下位バイトの順で行ってください。この動作はワード転送命令 (MOV.W など) で ADDR を上位バイト側のアドレスから読み出すことで行うことができます。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんので注意してください。

図 14.2 に ADDR のアクセス時のデータの流れを示します。

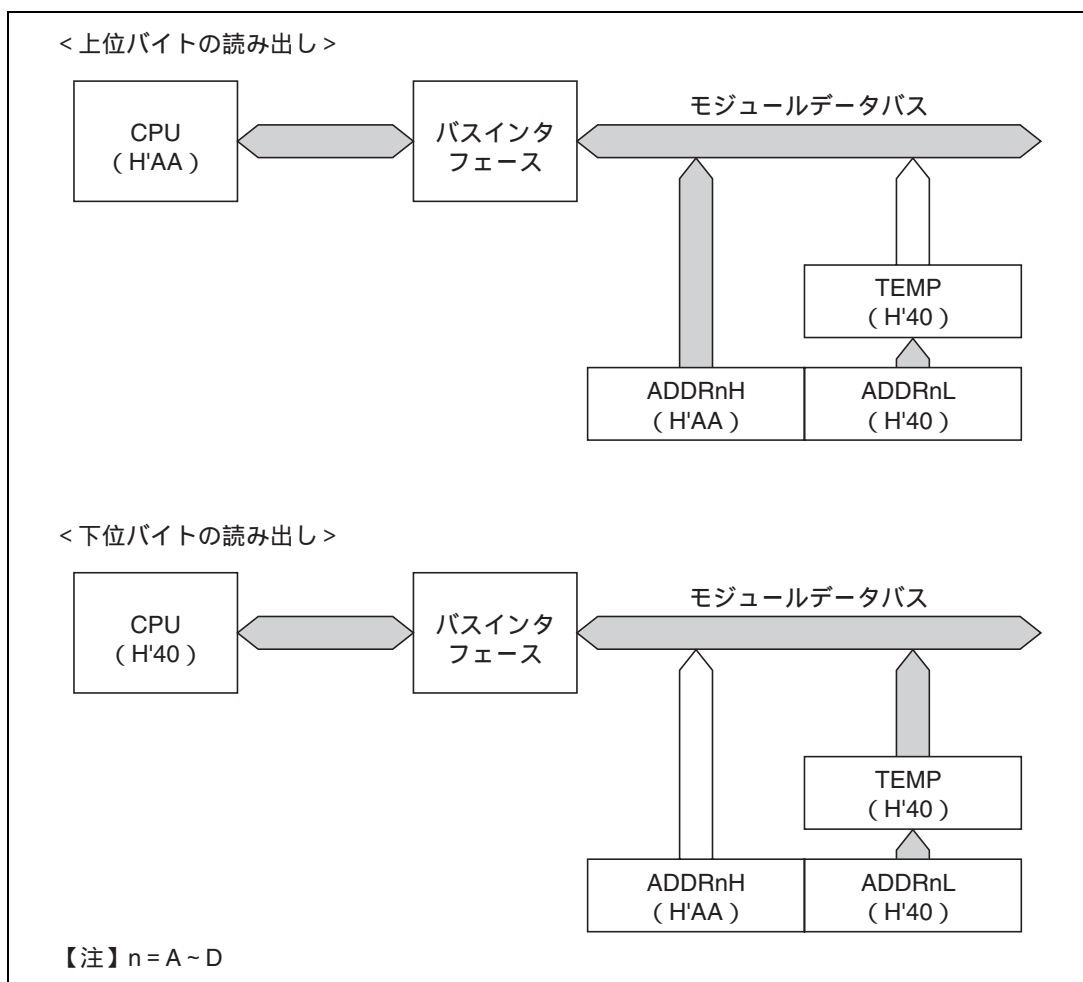


図 14.2 ADDR のアクセス動作 ( ( H'AA40 ) 読み出し時 )



## 14.4 動作説明

中速 A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。単一モードとスキャンモードの各モードの動作についての説明をします。

### 14.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは MTU トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 14.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN1 に (CH2 = CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF = 1、ADST = 0 となり、中速 A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADF = 1 を読み出した後、ADF に 0 を書き込みます。
- (6) A/D 変換結果 (ADDR0) を読み出して、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

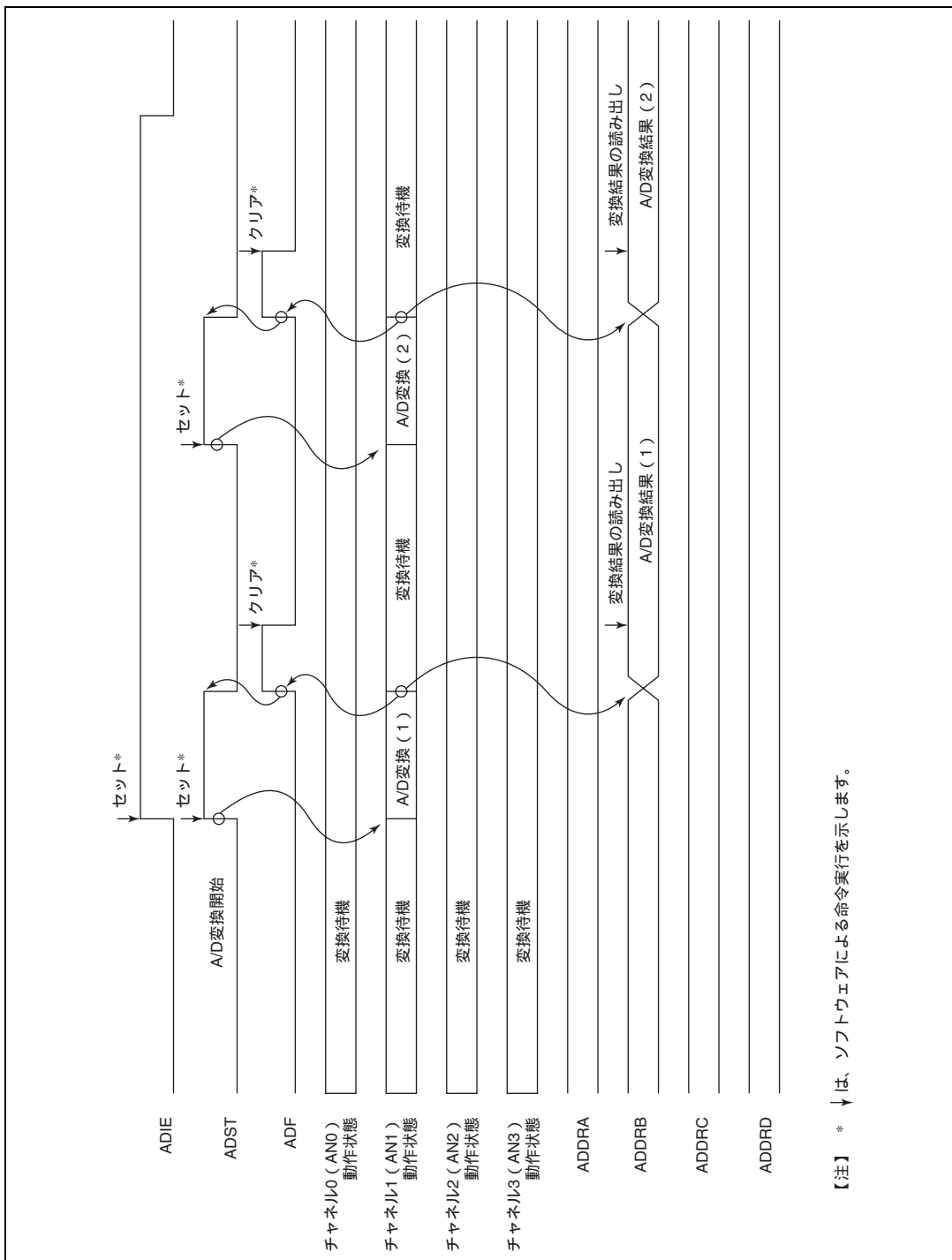


図 14.3 中速 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

### 14.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは MTU トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN0、CH1 = 1 のとき AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 14.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキヤングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR0 に転送します。  
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。  
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。  
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

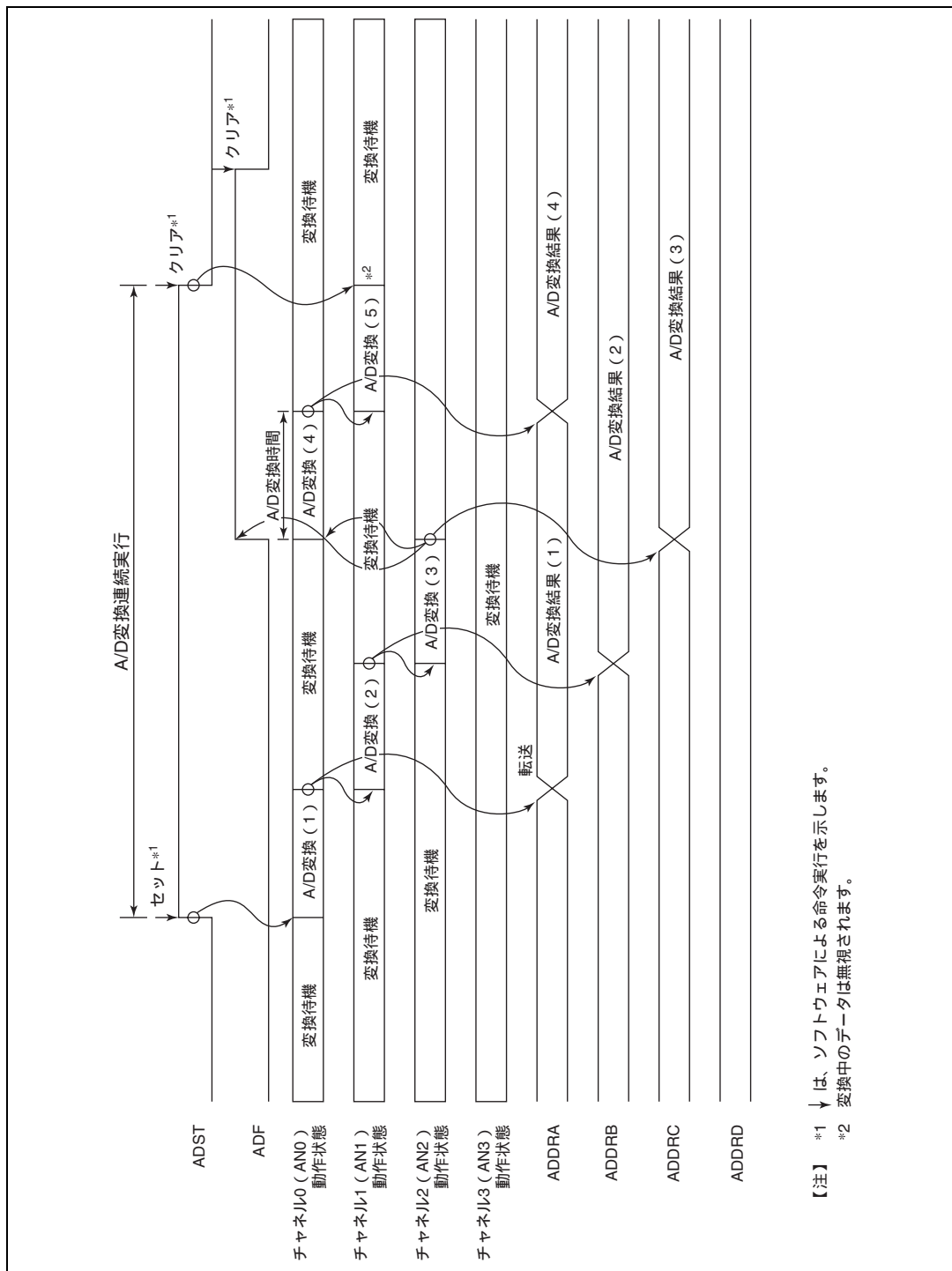


図 14.4 中速 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

### 14.4.3 入力サンプリングと A/D 変換時間

中速 A/D 変換器には、サンプル&ホールド回路が内蔵されています。中速 A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) のアクセスを開始してから  $t_D$  時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.5 に示します。また、A/D 変換時間を表 14.4 に示します。

A/D 変換時間は、図 14.5 に示すように、 $t_D$  と入力サンプリング時間を含めた時間となります。ここで  $t_D$  は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 14.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 256 ステート (固定)、CKS = 1 の場合は 128 ステート (固定) となります。

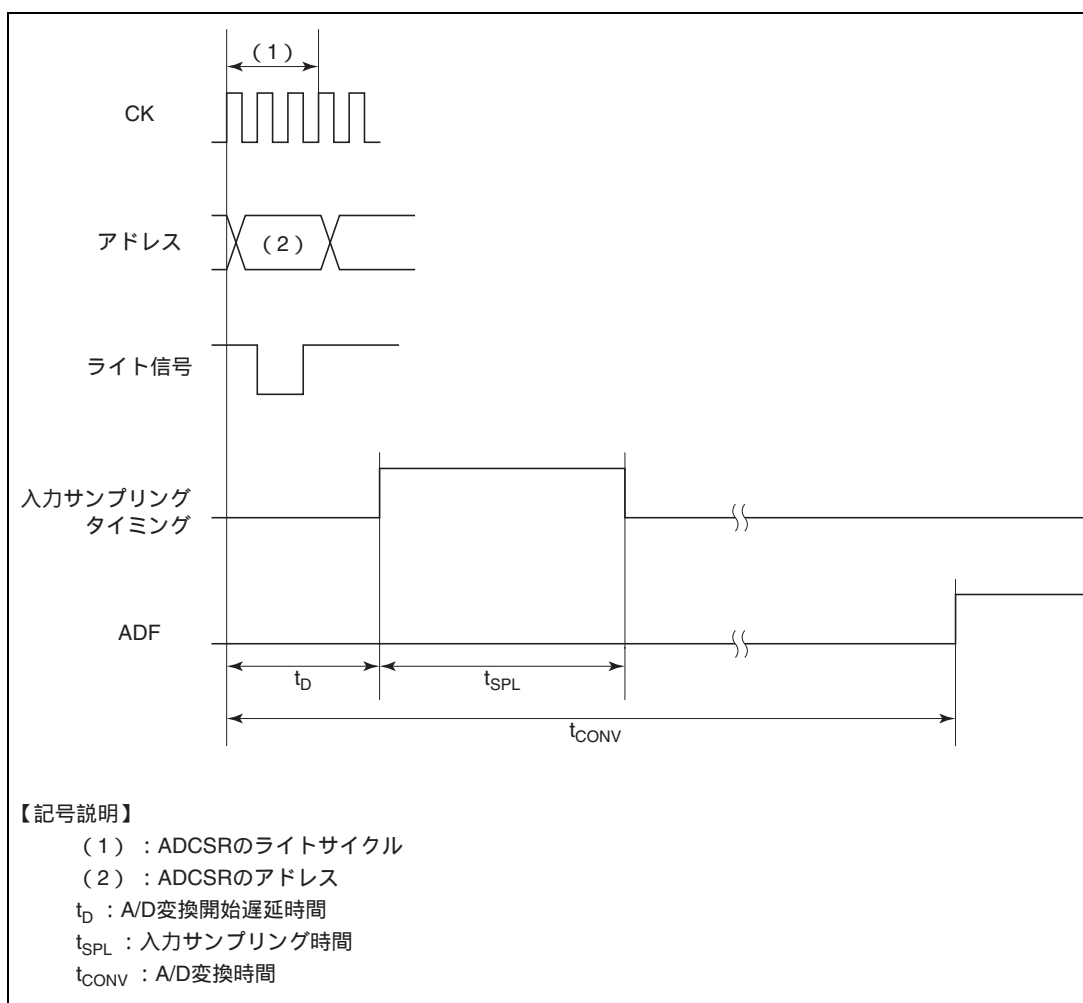


図 14.5 A/D 変換タイミング

## 14. 中速 A/D 変換器 (SH7016/17)

表 14.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	10		17	6		9
入力サンプリング時間	$t_{SPL}$		64			32	
A/D 変換時間	$t_{CONV}$	259		266	131		134

【注】 表中の数値の単位はステート (t<sub>cy</sub>) です。

### 14.4.4 MTU トリガ入力タイミング

A/D 変換は、MTU トリガ入力により開始することも可能です。MTU トリガ入力は、A/D コントロールレジスタ (ADCR) の TRGE ビットが 1 にセットされているとき、入力されます。

MTU トリガで、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 14.6 に示します。

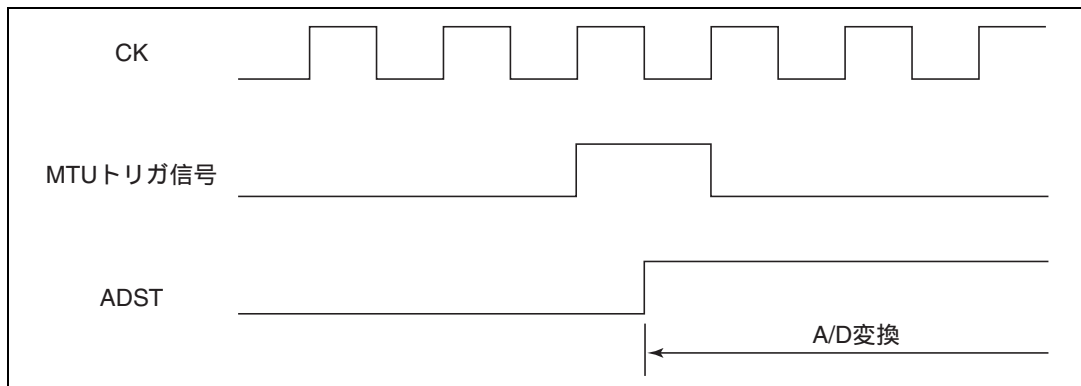


図 14.6 外部トリガ入力タイミング

## 14.5 割り込み

中速 A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DMAC の起動ができます。ADI 割り込みで変換されたデータの読み出しを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

中速 A/D 変換器の割り込み要因を表 14.5 に示します。

ADI 割り込みにより起動された DMAC による A/D のレジスタアクセスすると ADCSR の ADF ビットは自動的に 0 クリアされます。

表 14.5 中速 A/D 変換器の割り込み要因

割り込み要因	内容	DMAC の起動
ADI	変換終了による割り込み	可

## 14.6 A/D 変換精度の定義

中速 A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図 14.7 に沿って、上記 (1) ~ (4) の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 000000000 (図では 000) から 000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 14.7 (1)) です。フルスケール誤差とは、デジタル出力値が 111111110 (図では 110) から最大値 (フルスケール電圧) 111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 14.7 (2)) です。量子化誤差とは、中速 A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 14.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 14.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

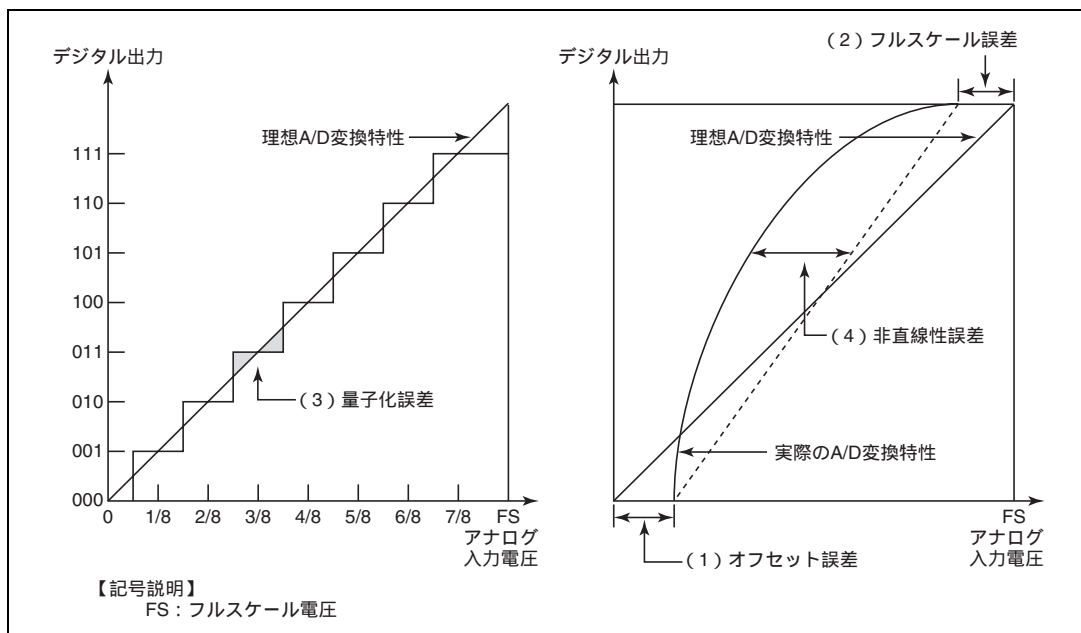


図 14.7 A/D 変換精度の定義

## 14.7 使用上の注意

中速 A/D 変換器を使用する際は、以下のことに注意してください。

### 14.7.1 アナログ電圧の設定

#### (1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN<sub>n</sub>に印加する電圧はAV<sub>ss</sub> AN<sub>n</sub> AV<sub>cc</sub>の範囲としてください。(n=0~7)

#### (2) AV<sub>cc</sub>、AV<sub>ss</sub>入力電圧

AV<sub>cc</sub>、AV<sub>ss</sub>入力電圧は、AV<sub>cc</sub> = V<sub>cc</sub> = 5V ± 10%、AV<sub>ss</sub> = V<sub>ss</sub>としてください。中速A/D変換器を使用しない場合、AV<sub>cc</sub> = V<sub>cc</sub>、AV<sub>ss</sub> = V<sub>ss</sub>としてください。

### 14.7.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 14.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 14.9 にアナログ入力端子の等価回路を、表 14.6 にアナログ入力端子の規格を示します。

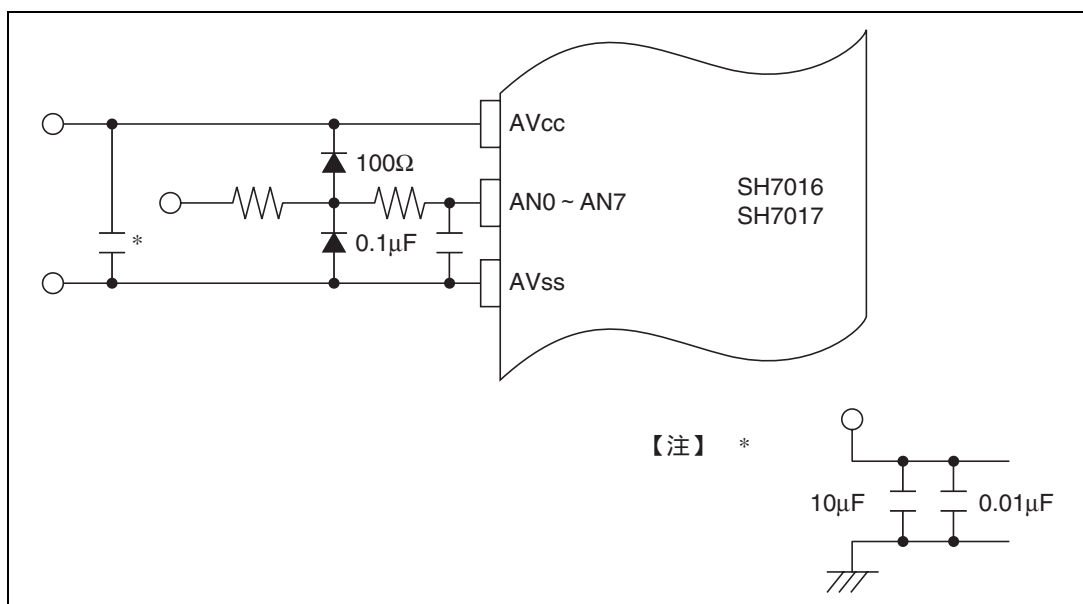


図 14.8 アナログ入力端子の保護回路例



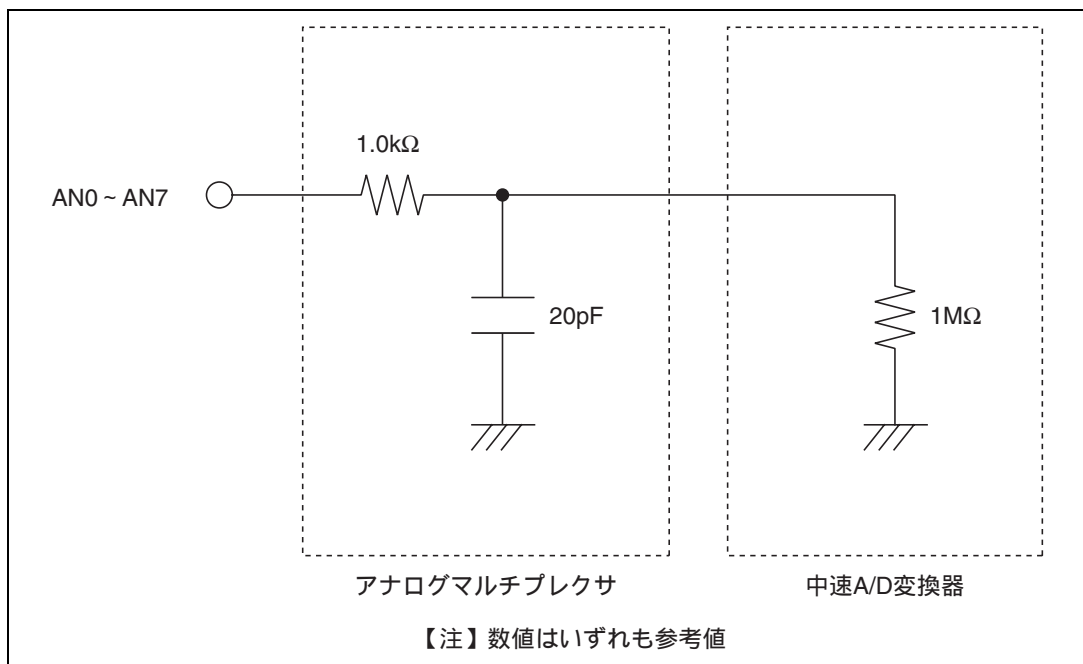


図 14.9 アナログ入力端子の等価回路

表 14.6 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		1	k $\Omega$



---

## 15. コンペアマッチタイマ (CMT)

---

### 15.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT : Compare match timer) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

#### 15.1.1 特長

CMT には、次のような特長があります。

- 4 種類のカウンタ入力クロックを選択可能  
4 種類の内部クロック ( $\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$ ) の中から各チャンネル独立に選択できます。
- 割り込み要因  
コンペアマッチ割り込みを各チャンネル独立に要求することができます。

## 15. コンペアマッチタイム (CMT)

### 15.1.2 ブロック図

CMT のブロック図を図 15.1 に示します。

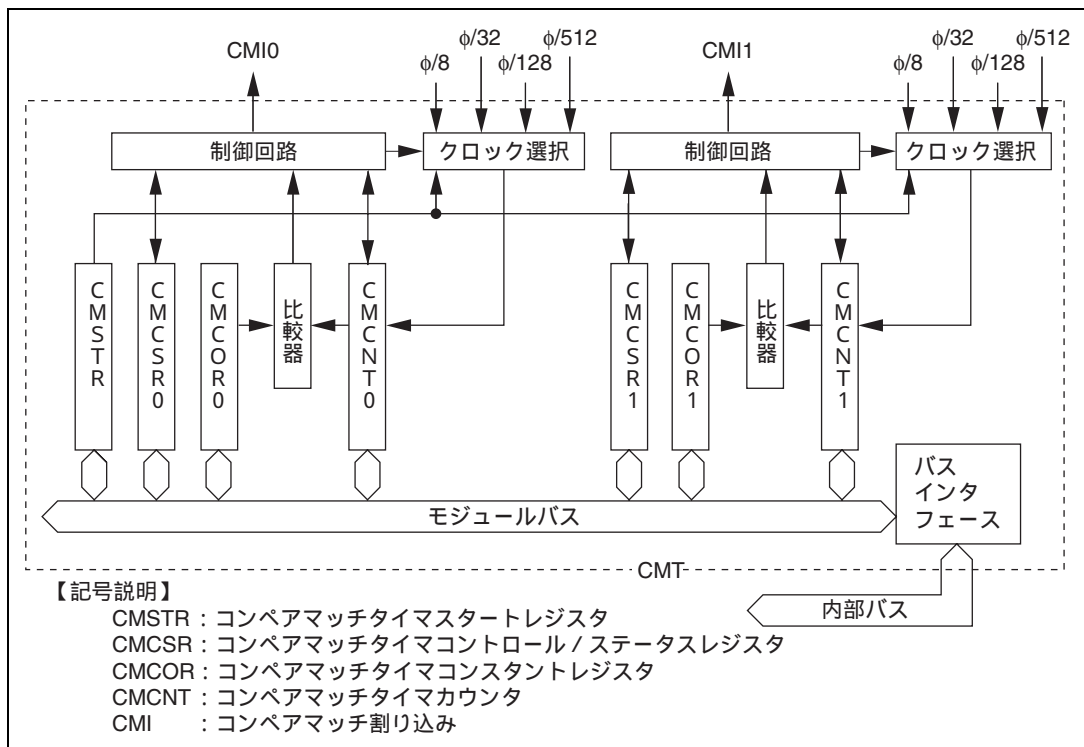


図 15.1 CMT のブロック図

## 15.1.3 レジスタ構成

CMT のレジスタ構成を表 15.1 に示します。

表 15.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセス サイズ (ビット)
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFF83D0	8、16、32
0	コンペアマッチタイマコントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFF83D2	8、16、32
	コンペアマッチタイマカウンタ 0	CMCNT0	R/W	H'0000	H'FFFF83D4	8、16、32
	コンペアマッチタイマコンスタントレジ スタ 0	CMCOR0	R/W	H'FFFF	H'FFFF83D6	8、16、32
1	コンペアマッチタイマコントロール/ ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF83D8	8、16、32
	コンペアマッチタイマカウンタ 1	CMCNT1	R/W	H'0000	H'FFFF83DA	8、16、32
	コンペアマッチタイマコンスタントレジ スタ 1	CMCOR1	R/W	H'FFFF	H'FFFF83DC	8、16、32

【注】 \* CMCSR0、CMCSR1 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です

## 15.2 レジスタの説明

### 15.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1: カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 (CMCNT1) を動作させるか、停止させるかを選択します。

ビット 1	説 明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0: カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 (CMCNT0) を動作させるか、停止させるかを選択します。

ビット 0	説 明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

## 15.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR) はコンペアマッチ発生の表示、割り込みの許可 / 禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R(W)*	R/W	R	R	R	R	R/W	R/W

【注】 \* フラグをクリアするための 0 書き込みのみ可能です。

### ビット 15~8、5~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット 7 : コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット 7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

### ビット 6 : コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット 6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

## 15. コンペアマッチタイマ (CMT)

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

システムクロック ( $\phi$ ) を分周して得られる 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを 1 にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	$\phi / 8$ (初期値)
	1	$\phi / 32$
1	0	$\phi / 128$
	1	$\phi / 512$

### 15.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。

CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'0000 に初期化されます。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

### 15.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモードで H'FFFF に初期化されます。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W



## 15.3 動作説明

### 15.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 15.2 に示します。

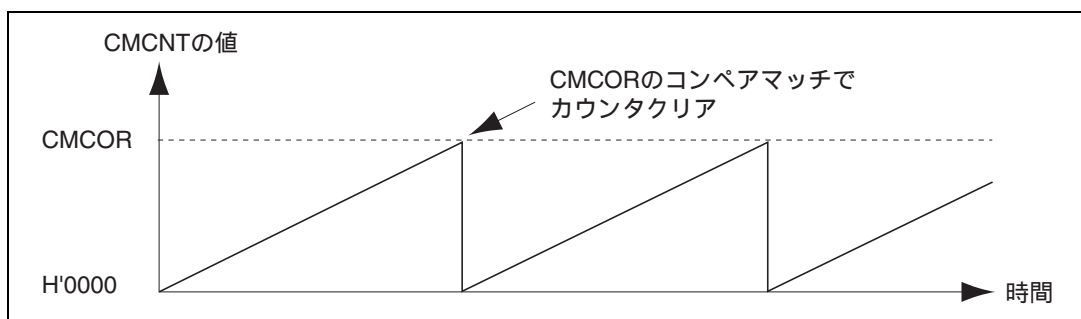


図 15.2 カウンタの動作

### 15.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 4 種類のクロック ( $\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$ ) が選択できます。このときのタイミングを図 15.3 に示します。

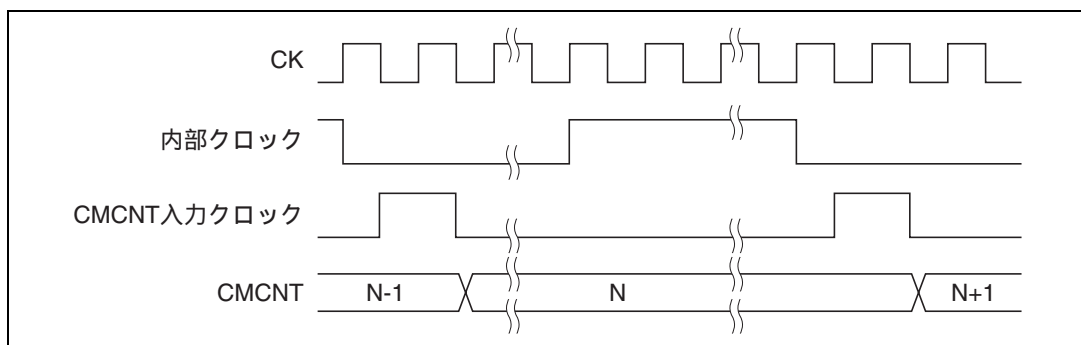


図 15.3 カウントタイミング

## 15.4 割り込み

### 15.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

### 15.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 15.4 に示します。

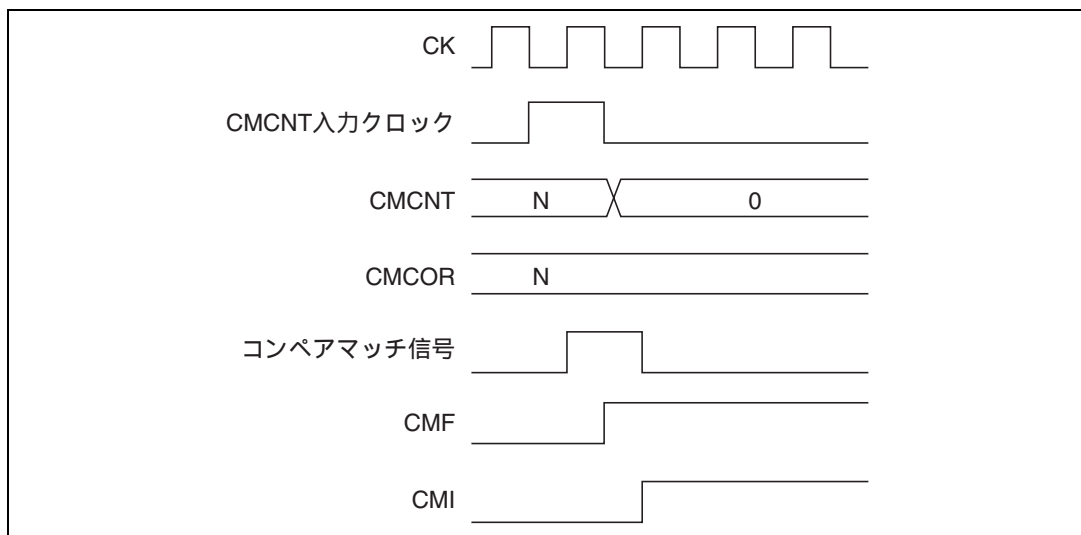


図 15.4 CMF のセットタイミング

### 15.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むことによりクリアされます。CPU による CMF ビットのクリアタイミングを図 15.5 に示します。

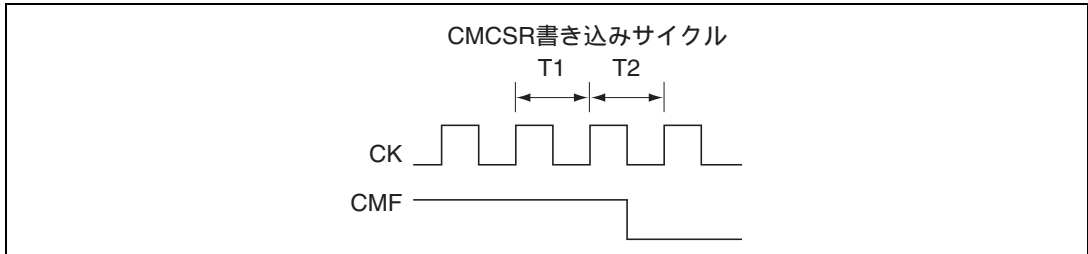


図 15.5 CPU による CMF のクリアタイミング

## 15.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

### (1) CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタの書き込みサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 15.6 に示します。

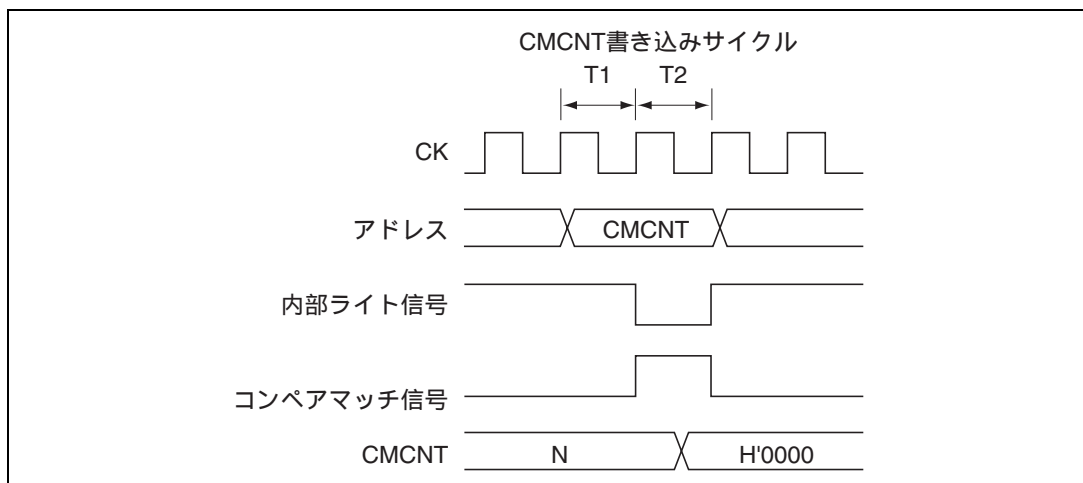


図 15.6 CMCNT の書き込みとコンペアマッチの競合

## (2) CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワード書き込みサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 15.7 に示します。

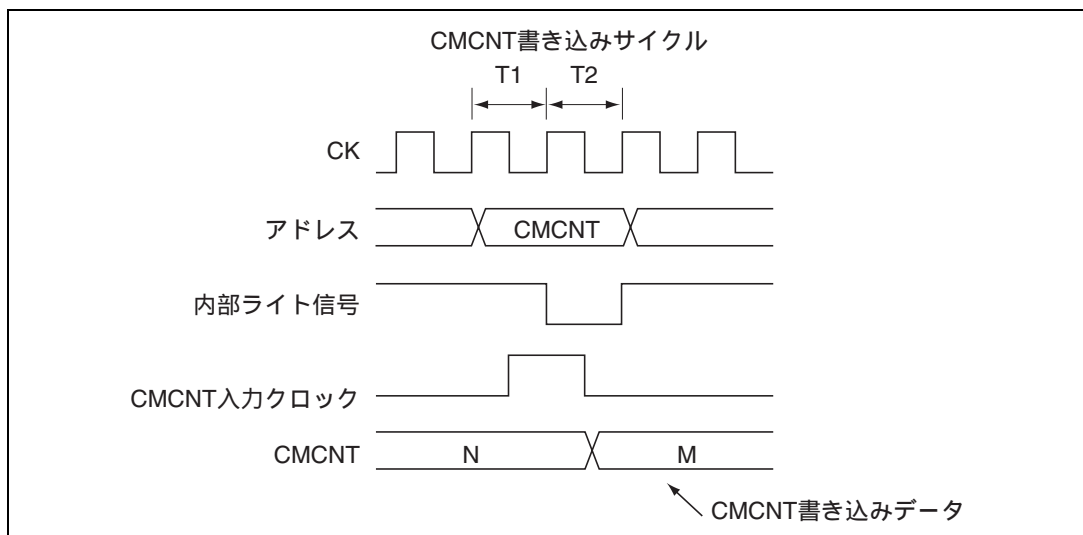


図 15.7 CMCNT のワード書き込みとカウントアップの競合

## 15. コンペアマッチタイム (CMT)

### (3) CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイト書き込みサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側の書き込みデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH 書き込みサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 15.8 に示します。

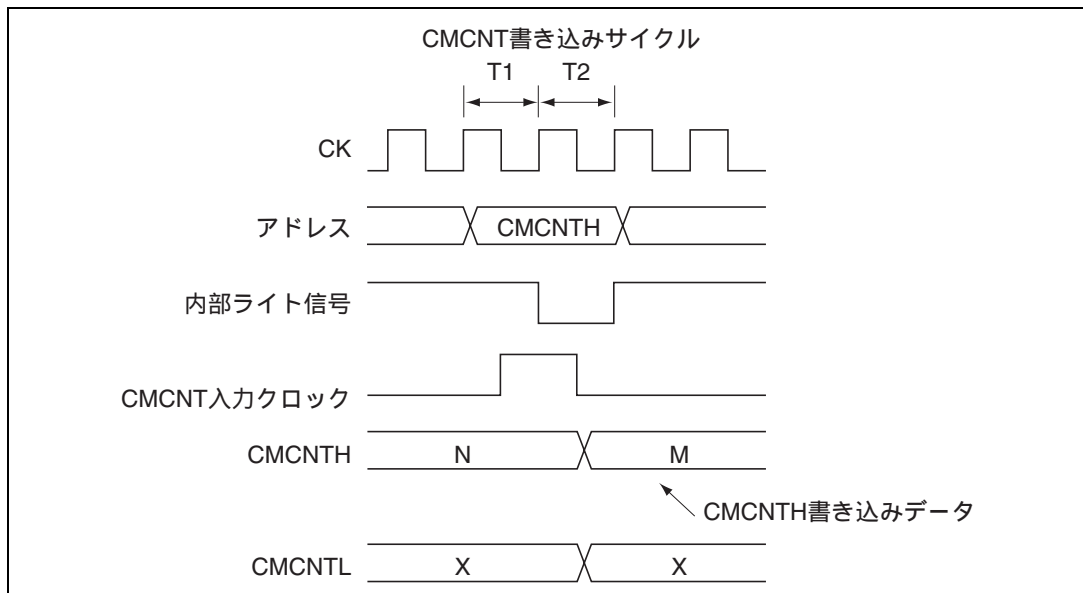


図 15.8 CMCNT のバイト書き込みとカウントアップの競合

## 16. ピンファンクションコントローラ (PFC)

### 16.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 16.1 に、本 LSI のマルチプレクス端子を示します。また、マルチプレクス端子は、動作モードにより機能が限定されます。表 16.2、表 16.3 に各動作モード別に端子機能とその初期値を示します。

表 16.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
A	PA15 入出力 (ポート)	CK 出力 (CPG)			83
A	PA14 入出力 (ポート)*	$\overline{RD}$ 出力 (BSC)			34
A	PA13 入出力 (ポート)*	$\overline{WRH}$ 出力 (BSC)			36
A	PA12 入出力 (ポート)*	$\overline{WRL}$ 出力 (BSC)			38
A	PA11 入出力 (ポート)*	$\overline{CS1}$ 出力 (BSC)			40
A	PA10 入出力 (ポート)*	$\overline{CS0}$ 出力 (BSC)			41
A	PA9 入出力 (ポート)	TCLKD 入力 (MTU)	$\overline{IRQ3}$ (INTC)		42
A	PA8 入出力 (ポート)	TCLKC 入力 (MTU)	$\overline{IRQ2}$ (INTC)		43
A	PA7 入出力 (ポート)	TCLKB 入力 (MTU)	$\overline{CS3}$ 出力 (BSC)		44
A	PA6 入出力 (ポート)	TCLKA 入力 (MTU)	$\overline{CS2}$ 出力 (BSC)		45
A	PA5 入出力 (ポート)	SCK1 入出力 (SCI)	$\overline{DREQ1}$ 入力 (DMAC)	$\overline{IRQ1}$ 入力 (INTC)	46
A	PA4 入出力 (ポート)	TXD1 出力 (SCI)			47
A	PA3 入出力 (ポート)	RXD1 入力 (SCI)			48
A	PA2 入出力 (ポート)	SCK0 入出力 (SCI)	$\overline{DREQ0}$ 入力 (DMAC)	$\overline{IRQ0}$ 入力 (INTC)	49
A	PA1 入出力 (ポート)	TXD0 出力 (SCI)			50
A	PA0 入出力 (ポート)	RXD0 入力 (SCI)			51
B	PB9 入出力 (ポート)	$\overline{IRQ7}$ 入力 (INTC)	A21 出力 (BSC)		32
B	PB8 入出力 (ポート)	$\overline{IRQ6}$ 入力 (INTC)	A20 出力 (BSC)	WAIT 入力 (BSC)	31
B	PB7 入出力 (ポート)		A19 出力 (BSC)		30
B	PB6 入出力 (ポート)		A18 出力 (BSC)		29
B	PB5 入出力 (ポート)	$\overline{IRQ3}$ 入力 (INTC)		RDWR 出力 (BSC)	28
B	PB4 入出力 (ポート)	$\overline{IRQ2}$ 入力 (INTC)		CASH 出力 (BSC)	26
B	PB3 入出力 (ポート)	$\overline{IRQ1}$ 入力 (INTC)		CASL 出力 (BSC)	25
B	PB2 入出力 (ポート)	$\overline{IRQ0}$ 入力 (INTC)		RAS 出力 (BSC)	24
B	PB1 入出力 (ポート)*	A17 出力 (BSC)			22
B	PB0 入出力 (ポート)*	A16 出力 (BSC)			20
C	PC15 入出力 (ポート)*	A15 出力 (BSC)			19
C	PC14 入出力 (ポート)*	A14 出力 (BSC)			18
C	PC13 入出力 (ポート)*	A13 出力 (BSC)			17

## 16. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
C	PC12 入出力 (ポート) *	A12 出力 (BSC)			16
C	PC11 入出力 (ポート) *	A11 出力 (BSC)			15
C	PC10 入出力 (ポート) *	A10 出力 (BSC)			14
C	PC9 入出力 (ポート) *	A9 出力 (BSC)			13
C	PC8 入出力 (ポート) *	A8 出力 (BSC)			12
C	PC7 入出力 (ポート) *	A7 出力 (BSC)			11
C	PC6 入出力 (ポート) *	A6 出力 (BSC)			10
C	PC5 入出力 (ポート) *	A5 出力 (BSC)			9
C	PC4 入出力 (ポート) *	A4 出力 (BSC)			8
C	PC3 入出力 (ポート) *	A3 出力 (BSC)			7
C	PC2 入出力 (ポート) *	A2 出力 (BSC)			6
C	PC1 入出力 (ポート) *	A1 出力 (BSC)			5
C	PC0 入出力 (ポート) *	A0 出力 (BSC)			4
D	PD15 入出力 (ポート) *	D15 入出力 (BSC)			52
D	PD14 入出力 (ポート) *	D14 入出力 (BSC)			53
D	PD13 入出力 (ポート) *	D13 入出力 (BSC)			54
D	PD12 入出力 (ポート) *	D12 入出力 (BSC)			56
D	PD11 入出力 (ポート) *	D11 入出力 (BSC)			57
D	PD10 入出力 (ポート) *	D10 入出力 (BSC)			58
D	PD9 入出力 (ポート) *	D9 入出力 (BSC)			59
D	PD8 入出力 (ポート) *	D8 入出力 (BSC)			60
D	PD7 入出力 (ポート) *	D7 入出力 (BSC)			62
D	PD6 入出力 (ポート) *	D6 入出力 (BSC)			63
D	PD5 入出力 (ポート) *	D5 入出力 (BSC)			64
D	PD4 入出力 (ポート) *	D4 入出力 (BSC)			66
D	PD3 入出力 (ポート) *	D3 入出力 (BSC)			67
D	PD2 入出力 (ポート) *	D2 入出力 (BSC)			68
D	PD1 入出力 (ポート) *	D1 入出力 (BSC)			69
D	PD0 入出力 (ポート) *	D0 入出力 (BSC)			70
E	PE15 入出力 (ポート)		DACK1 出力 (DMAC)		2
E	PE14 入出力 (ポート)		DACK0 出力 (DMAC)	AH 出力 (BSC)	1
E	PE13 入出力 (ポート)				112
E	PE12 入出力 (ポート)				111
E	PE11 入出力 (ポート)				110
E	PE10 入出力 (ポート)				108
E	PE9 入出力 (ポート)				107
E	PE8 入出力 (ポート)				106
E	PE7 入出力 (ポート)	TIOC2B 入出力 (MTU)			105
E	PE6 入出力 (ポート)	TIOC2A 入出力 (MTU)			104
E	PE5 入出力 (ポート)	TIOC1B 入出力 (MTU)			102
E	PE4 入出力 (ポート)	TIOC1A 入出力 (MTU)			89
E	PE3 入出力 (ポート)	TIOC0D 入出力 (MTU)	DRACK1 出力 (DMAC)		88



## 16. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
E	PE2 入出力 (ポート)	TIOC0C 入出力 (MTU)	$\overline{\text{DREQ1}}$ 入力 (DMAC)		87
E	PE1 入出力 (ポート)	TIOC0B 入出力 (MTU)	DRAK0 出力 (DMAC)		86
E	PE0 入出力 (ポート)	TIOC0A 入出力 (MTU)	$\overline{\text{DREQ0}}$ 入力 (DMAC)		85
F	PF7 入力 (ポート)	AN7 入力 (A/D)			99
F	PF6 入力 (ポート)	AN6 入力 (A/D)			98
F	PF5 入力 (ポート)	AN5 入力 (A/D)			96
F	PF4 入力 (ポート)	AN4 入力 (A/D)			95
F	PF3 入力 (ポート)	AN3 入力 (A/D)			94
F	PF2 入力 (ポート)	AN2 入力 (A/D)			93
F	PF1 入力 (ポート)	AN1 入力 (A/D)			92
F	PF0 入力 (ポート)	AN0 入力 (A/D)			91

【注】 \* SH7016、SH7017 のみ

16. ピンファンクションコントローラ (PFC)

表 16.2 動作モード別端子機能一覧 (SH7014)

端子番号	端子名			
	内蔵 ROM 無効			
	MPU モード 0		MPU モード 1	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
21、37、65、103	Vcc	Vcc	Vcc	Vcc
3、23、27、33、 39、55、61、71、 90、101、109	Vss	Vss	Vss	Vss
70	D0	D0	D0	D0
69	D1	D1	D1	D1
68	D2	D2	D2	D2
67	D3	D3	D3	D3
66	D4	D4	D4	D4
64	D5	D5	D5	D5
63	D6	D6	D6	D6
62	D7	D7	D7	D7
60	D8	D8	D8	D8
59	D9	D9	D9	D9
58	D10	D10	D10	D10
57	D11	D11	D11	D11
56	D12	D12	D12	D12
54	D13	D13	D13	D13
53	D14	D14	D14	D14
52	D15	D15	D15	D15
4	A0	A0	A0	A0
5	A1	A1	A1	A1
6	A2	A2	A2	A2
7	A3	A3	A3	A3
8	A4	A4	A4	A4
9	A5	A5	A5	A5
10	A6	A6	A6	A6
11	A7	A7	A7	A7
12	A8	A8	A8	A8
13	A9	A9	A9	A9
14	A10	A10	A10	A10
15	A11	A11	A11	A11
16	A12	A12	A12	A12
17	A13	A13	A13	A13
18	A14	A14	A14	A14
19	A15	A15	A15	A15
20	A16	A16	A16	A16
22	A17	A17	A17	A17
24	PB2	PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{RAS}}$	PB2	PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{RAS}}$

16. ピンファンクションコントローラ (PFC)

端子番号	端子名			
	内蔵 ROM 無効			
	MPU モード 0		MPU モード 1	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
25	PB3	PB3/IRQ1/CASL	PB3	PB3/IRQ1/CASL
26	PB4	PB4/IRQ2/CASH	PB4	PB4/IRQ2/CASH
28	PB5	PB5/IRQ3/RDWR	PB5	PB5/IRQ3/RDWR
29	PB6	PB6/A18	PB6	PB6/A18
30	PB7	PB7/A19	PB7	PB7/A19
31	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT
32	PB9	PB9/IRQ7/A21	PB9	PB9/IRQ7/A21
51	PA0	PA0/RXD0	PA0	PA0/RXD0
50	PA1	PA1/TXD0	PA1	PA1/TXD0
49	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0
48	PA3	PA3/RXD1	PA3	PA3/RXD1
47	PA4	PA4/TXD1	PA4	PA4/TXD1
46	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1
45	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2
44	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3
43	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2
42	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3
41	CS0	CS0	CS0	CS0
40	CS1	CS1	CS1	CS1
38	WRL	WRL	WRL	WRL
36	WRH	WRH	WRH	WRH
34	RD	RD	RD	RD
83	CK	PA15/CK	CK	PA15/CK
80	PLLVCC	PLLVCC	PLLVCC	PLLVCC
82	PLLVSS	PLLVSS	PLLVSS	PLLVSS
74	EXTAL	EXTAL	EXTAL	EXTAL
72	XTAL	XTAL	XTAL	XTAL
81	PLLCAP	PLLCAP	PLLCAP	PLLCAP
76	NMI	NMI	NMI	NMI
84	RES	RES	RES	RES
35	WDTOVF	WDTOVF	WDTOVF	WDTOVF
79	MD0	MD0	MD0	MD0
78	MD1	MD1	MD1	MD1
75	MD2	MD2	MD2	MD2
73	MD3	MD3	MD3	MD3
77	VCC	VCC	VCC	VCC
100	AVCC	AVCC	AVCC	AVCC
97	AVSS	AVSS	AVSS	AVSS
91	PF0/AN0	PF0/AN0	PF0/AN0	PF0/AN0
92	PF1/AN1	PF1/AN1	PF1/AN1	PF1/AN1

## 16. ピンファンクションコントローラ (PFC)

端子番号	端子名			
	内蔵 ROM 無効			
	MPU モード 0		MPU モード 1	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
93	PF2/AN2	PF2/AN2	PF2/AN2	PF2/AN2
94	PF3/AN3	PF3/AN3	PF3/AN3	PF3/AN3
95	PF4/AN4	PF4/AN4	PF4/AN4	PF4/AN4
96	PF5/AN5	PF5/AN5	PF5/AN5	PF5/AN5
98	PF6/AN6	PF6/AN6	PF6/AN6	PF6/AN6
99	PF7/AN7	PF7/AN7	PF7/AN7	PF7/AN7
85	PE0	PE0/TIOC0A/DREQ $\bar{0}$	PE0	PE0/TIOC0A/DREQ $\bar{0}$
86	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0
87	PE2	PE2/TIOC0C/DREQ $\bar{1}$	PE2	PE2/TIOC0C/DREQ $\bar{1}$
88	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1
89	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A
102	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B
104	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A
105	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B
106	PE8	PE8	PE8	PE8
107	PE9	PE9	PE9	PE9
108	PE10	PE10	PE10	PE10
110	PE11	PE11	PE11	PE11
111	PE12	PE12	PE12	PE12
112	PE13	PE13	PE13	PE13
1	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH
2	PE15	PE15/DACK1	PE15	PE15/DACK1

表 16.3 動作モード別端子機能一覧 (SH7016、SH7017)

端子番号	端子名											
	内蔵ROM無効						内蔵ROM有効					
	MPUモード0			MPUモード1			MPUモード2			シングルチップモード		
	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能
FP-112												
21、37、65、103	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
3、23、27、33、39、55、61、71、90、101、109	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
70	D0	D0	D0	D0	D0	D0	D0	PD0/D0	PD0	PD0	PD0	PD0
69	D1	D1	D1	D1	D1	D1	D1	PD1/D1	PD1	PD1	PD1	PD1
68	D2	D2	D2	D2	D2	D2	D2	PD2/D2	PD2	PD2	PD2	PD2
67	D3	D3	D3	D3	D3	D3	D3	PD3/D3	PD3	PD3	PD3	PD3
66	D4	D4	D4	D4	D4	D4	D4	PD4/D4	PD4	PD4	PD4	PD4
64	D5	D5	D5	D5	D5	D5	D5	PD5/D5	PD5	PD5	PD5	PD5
63	D6	D6	D6	D6	D6	D6	D6	PD6/D6	PD6	PD6	PD6	PD6
62	D7	D7	D7	D7	D7	D7	D7	PD7/D7	PD7	PD7	PD7	PD7
60	D8	D8	D8	D8	D8	D8	D8	PD8/D8	PD8	PD8	PD8	PD8
59	D9	D9	D9	D9	D9	D9	D9	PD9/D9	PD9	PD9	PD9	PD9
58	D10	D10	D10	D10	D10	D10	D10	PD10/D10	PD10	PD10	PD10	PD10
57	D11	D11	D11	D11	D11	D11	D11	PD11/D11	PD11	PD11	PD11	PD11
56	D12	D12	D12	D12	D12	D12	D12	PD12/D12	PD12	PD12	PD12	PD12
54	D13	D13	D13	D13	D13	D13	D13	PD13/D13	PD13	PD13	PD13	PD13
53	D14	D14	D14	D14	D14	D14	D14	PD14/D14	PD14	PD14	PD14	PD14
52	D15	D15	D15	D15	D15	D15	D15	PD15/D15	PD15	PD15	PD15	PD15
4	A0	A0	A0	A0	A0	A0	A0	PC0/A0	PC0	PC0	PC0	PC0
5	A1	A1	A1	A1	A1	A1	A1	PC1/A1	PC1	PC1	PC1	PC1
6	A2	A2	A2	A2	A2	A2	A2	PC2/A2	PC2	PC2	PC2	PC2
7	A3	A3	A3	A3	A3	A3	A3	PC3/A3	PC3	PC3	PC3	PC3
8	A4	A4	A4	A4	A4	A4	A4	PC4/A4	PC4	PC4	PC4	PC4
9	A5	A5	A5	A5	A5	A5	A5	PC5/A5	PC5	PC5	PC5	PC5
10	A6	A6	A6	A6	A6	A6	A6	PC6/A6	PC6	PC6	PC6	PC6
11	A7	A7	A7	A7	A7	A7	A7	PC7/A7	PC7	PC7	PC7	PC7
12	A8	A8	A8	A8	A8	A8	A8	PC8/A8	PC8	PC8	PC8	PC8
13	A9	A9	A9	A9	A9	A9	A9	PC9/A9	PC9	PC9	PC9	PC9
14	A10	A10	A10	A10	A10	A10	A10	PC10/A10	PC10	PC10	PC10	PC10
15	A11	A11	A11	A11	A11	A11	A11	PC11/A11	PC11	PC11	PC11	PC11
16	A12	A12	A12	A12	A12	A12	A12	PC12/A12	PC12	PC12	PC12	PC12

16. ピンファンクションコントローラ (PFC)

端子番号	内蔵ROM無効				端子名				シングルチップモード		
	MPUモード0		MPUモード1		MPUモード2		MPUモード2		初期機能	PFCで設定可能な機能	
	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能	初期機能	PFCで設定可能な機能			
FP-112											
17	A13	A13	A13	A13	A13	A13	PC13	PC13	PC13	PC13	PC13
18	A14	A14	A14	A14	A14	A14	PC14	PC14	PC14	PC14	PC14
19	A15	A15	A15	A15	A15	A15	PC15	PC15	PC15	PC15	PC15
20	A16	A16	A16	A16	A16	A16	PB0	PB0	PB0	PB0	PB0
22	A17	A17	A17	A17	A17	A17	PB1	PB1	PB1	PB1	PB1
24	PB2	PB2/IRQ0/RAS	PB2	PB2/IRQ0/RAS	PB2	PB2/IRQ0/RAS	PB2	PB2	PB2	PB2	PB2/IRQ0
25	PB3	PB3/IRQ1/CASL	PB3	PB3/IRQ1/CASL	PB3	PB3/IRQ1/CASL	PB3	PB3	PB3	PB3	PB3/IRQ1
26	PB4	PB4/IRQ2/CASH	PB4	PB4/IRQ2/CASH	PB4	PB4/IRQ2/CASH	PB4	PB4	PB4	PB4	PB4/IRQ2
28	PB5	PB5/IRQ3/RDWR	PB5	PB5/IRQ3/RDWR	PB5	PB5/IRQ3/RDWR	PB5	PB5	PB5	PB5	PB5/IRQ3
29	PB6	PB6/A18	PB6	PB6/A18	PB6	PB6/A18	PB6	PB6	PB6	PB6	PB6
30	PB7	PB7/A19	PB7	PB7/A19	PB7	PB7/A19	PB7	PB7	PB7	PB7	PB7
31	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8/IRQ6/A20/WAIT	PB8	PB8	PB8	PB8	PB8/IRQ6
32	PB9	PB9/IRQ7/A21	PB9	PB9/IRQ7/A21	PB9	PB9/IRQ7/A21	PB9	PB9	PB9	PB9	PB9/IRQ7
51	PA0	PA0/RXD0	PA0	PA0/RXD0	PA0	PA0/RXD0	PA0	PA0	PA0	PA0	PA0/RXD0
50	PA1	PA1/TXD0	PA1	PA1/TXD0	PA1	PA1/TXD0	PA1	PA1	PA1	PA1	PA1/TXD0
49	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2/SCK0/DREQ0/IRQ0	PA2	PA2	PA2	PA2	PA2/SCK0/IRQ0
48	PA3	PA3/RXD1	PA3	PA3/RXD1	PA3	PA3/RXD1	PA3	PA3	PA3	PA3	PA3/RXD1
47	PA4	PA4/TXD1	PA4	PA4/TXD1	PA4	PA4/TXD1	PA4	PA4	PA4	PA4	PA4/TXD1
46	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5/SCK1/DREQ1/IRQ1	PA5	PA5	PA5	PA5	PA5/SCK1/IRQ1
45	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2	PA6	PA6/TCLKA/CS2	PA6	PA6	PA6	PA6	PA6/TCLKA
44	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3	PA7	PA7/TCLKB/CS3	PA7	PA7	PA7	PA7	PA7/TCLKB
43	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2	PA8	PA8/TCLKC/IRQ2	PA8	PA8	PA8	PA8	PA8/TCLKC/IRQ2
42	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3	PA9	PA9/TCLKD/IRQ3	PA9	PA9	PA9	PA9	PA9/TCLKD/IRQ3
41	CS0	CS0	CS0	CS0	CS0	CS0	PA10	PA10	PA10	PA10	PA10
40	CS1	CS1	CS1	CS1	CS1	CS1	PA11	PA11	PA11	PA11	PA11
38	WRL	WRL	WRL	WRL	WRL	WRL	PA12	PA12	PA12	PA12	PA12
36	WRH	WRH	WRH	WRH	WRH	WRH	PA13	PA13	PA13	PA13	PA13
34	RD	RD	RD	RD	RD	RD	PA14	PA14	PA14	PA14	PA14
83	CK	PA15/CK	CK	PA15/CK	CK	PA15/CK	CK	CK	CK	CK	PA15/CK
80	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>	PLL <sub>CC</sub>
82	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>	PLL <sub>SS</sub>
74	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
72	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
81	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP	PLLCAP
76	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI
84	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES	RES
35	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF
79	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0	MD0
78	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1	MD1
75	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2	MD2
73	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3	MD3
77	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
100	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>
97	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>

16. ピンファンクションコントローラ (PFC)

端子番号	端子名														
	内蔵ROM無効							内蔵ROM有効							
	MPUモード0			MPUモード1				MPUモード2			シングルチップモード				
91	初期機能	PF0/AN0	PF0/AN0	初期機能	PF0/AN0	初期機能	PF0/AN0	初期機能	PF0/AN0	初期機能	PF0/AN0	初期機能	PF0/AN0	初期機能	PF0/AN0
92		PF1/AN1	PF1/AN1		PF1/AN1		PF1/AN1		PF1/AN1		PF1/AN1		PF1/AN1		PF1/AN1
93		PF2/AN2	PF2/AN2		PF2/AN2		PF2/AN2		PF2/AN2		PF2/AN2		PF2/AN2		PF2/AN2
94		PF3/AN3	PF3/AN3		PF3/AN3		PF3/AN3		PF3/AN3		PF3/AN3		PF3/AN3		PF3/AN3
95		PF4/AN4	PF4/AN4		PF4/AN4		PF4/AN4		PF4/AN4		PF4/AN4		PF4/AN4		PF4/AN4
96		PF5/AN5	PF5/AN5		PF5/AN5		PF5/AN5		PF5/AN5		PF5/AN5		PF5/AN5		PF5/AN5
98		PF6/AN6	PF6/AN6		PF6/AN6		PF6/AN6		PF6/AN6		PF6/AN6		PF6/AN6		PF6/AN6
99		PF7/AN7	PF7/AN7		PF7/AN7		PF7/AN7		PF7/AN7		PF7/AN7		PF7/AN7		PF7/AN7
85	PE0	PE0/TIOC0A/DREQ0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0	PE0	PE0/TIOC0A/DREQ0
86	PE1	PE1/TIOC0B/DRAK0	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0	PE1	PE1/TIOC0B/DRAK0
87	PE2	PE2/TIOC0C/DREQ1	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1	PE2	PE2/TIOC0C/DREQ1
88	PE3	PE3/TIOC0D/DRAK1	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1	PE3	PE3/TIOC0D/DRAK1
89	PE4	PE4/TIOC1A	PE4/TIOC1A	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A	PE4	PE4/TIOC1A
102	PE5	PE5/TIOC1B	PE5/TIOC1B	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B	PE5	PE5/TIOC1B
104	PE6	PE6/TIOC2A	PE6/TIOC2A	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A	PE6	PE6/TIOC2A
105	PE7	PE7/TIOC2B	PE7/TIOC2B	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B	PE7	PE7/TIOC2B
106	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8	PE8
107	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9	PE9
108	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10	PE10
110	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11	PE11
111	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12	PE12
112	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13	PE13
1	PE14	PE14/DACK0/AH	PE14/DACK0/AH	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH	PE14	PE14/DACK0/AH
2	PE15	PE15/DACK1	PE15/DACK1	PE15	PE15/DACK1	PE15	PE15/DACK1	PE15	PE15/DACK1	PE15	PE15/DACK1	PE15	PE15/DACK1	PE15	PE15/DACK1

## 16. ピンファンクションコントローラ (PFC)

### 16.2 レジスタ構成

PFC のレジスタを表 16.4 に示します。

16.4 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFF8386 H'FFFF8387	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000* <sup>1</sup> H'4000	H'FFFF838C H'FFFF838D	8、16、32
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000	H'FFFF838E H'FFFF838F	8、16、32
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFF8394 H'FFFF8395	8、16、32
ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000	H'FFFF8398 H'FFFF8399	8、16、32
ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000	H'FFFF839A H'FFFF839B	8、16、32
ポート C・IO レジスタ* <sup>2</sup>	PCIOR	R/W	H'0000	H'FFFF8396 H'FFFF8397	8、16、32
ポート C コントロールレジスタ* <sup>2</sup>	PCCR	R/W	H'0000	H'FFFF839C H'FFFF839D	8、16、32
ポート D・IO レジスタ L* <sup>2</sup>	PDIORL	R/W	H'0000	H'FFFF83A6 H'FFFF83A7	8、16、32
ポート D コントロールレジスタ L* <sup>2</sup>	PDCRL	R/W	H'0000	H'FFFF83AC H'FFFF83AD	8、16、32
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFF83B4 H'FFFF83B5	8、16、32
ポート E コントロールレジスタ 1	PECR1	R/W	H'0000	H'FFFF83B8 H'FFFF83B9	8、16、32
ポート E コントロールレジスタ 2	PECR2	R/W	H'0000	H'FFFF83BA H'FFFF83BB	8、16、32

【注】 \*1 ポート A コントロールレジスタ L1 は、動作モードにより初期値が異なります。

\*2 SH7016、SH7017 のみ



## 16.3 レジスタの説明

### 16.3.1 ポート A・IO レジスタ L (PAIORL)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W\* R/W\* R/W\* R/W\* R/W\* R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】\* SH7014はRのみ

ポート A・IO レジスタ L (PAIORL) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本 (SH7014 は 11 本) の端子の入出力方向を選びます。PA15IOR ~ PA0IOR ビットが、それぞれ、PA15/CK ~ PA0/RXD0 端子に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) かシリアルクロック (SCK1、SCK0) の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA15 ~ PA0 が SCK1、SCK0 の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されずに前のデータを保持します。

また、このレジスタのビット 14 ~ 10 の設定は、SH7016、SH7017 のみ機能します。SH7014 の場合、ビット 14 ~ 10 に対応する端子は存在しません。ただし、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 16.3.2 ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)

ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2) は、それぞれ、16 ビットの読み出し/書き込み可能なレジスタで、ポート A にある 16 本 (SH7014 は 11 本) のマルチプレクス端子の機能を選びます。PACRL1 は、ポート A の PA15/CK ~ PA8/TCLKC/IRQ2 端子の機能を、PACRL2 は、ポート A の PA7/TCLKB/CS3 端子 ~ PA0/RXD0 端子の機能を選びます。

ポート A にはバス制御信号 ( $\overline{RD}$ 、 $\overline{WRH}$ 、 $\overline{WRL}$ 、 $\overline{CS0}$  ~  $\overline{CS3}$ 、 $\overline{AH}$ )、DMAC 制御信号 ( $\overline{DREQ0}$  ~  $\overline{DREQ1}$ ) がありますが、SH7016、SH7017 ではこの端子機能の選択に関して、レジスタの設定は動作モードにより無効になることがあります。詳細は、表 16.3 を参照してください。

PACRL1 は拡張モード時には、外部からのパワーオンリセットで H'4000 に、シングルチップモードでは H'0000 に初期化されます。PACRL2 は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、どちらも WDT によるリセット、スタンバイモード、スリープモードでは初期化されず前のデータを保持します。

また、PACRL1 のビット 12、10、8、6、4 の設定は、SH7016、SH7017 のみ機能します。SH7014 の場合、このビットに対応する端子は存在しません。ただし読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 16. ピンファンクションコントローラ (PFC)

### (1) ポート A コントロールレジスタ L1 (PACRL1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	PA15 MD		PA14 MD		PA13 MD		PA12 MD		PA11 MD0		PA10 MD	PA9 MD1	PA8 MD0	PA8 MD1	PA8 MD0
初期値:	0	0(1)*1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W*2	R	R/W*2	R	R/W*2	R	R/W*2	R	R/W*2	R/W	R/W	R/W

【注】\*1 拡張モード時には1に初期化されます。

\*2 SH7014はRのみ。

#### ビット 15: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### ビット 14: PA15 モードビット (PA15MD)

PA15/CK 端子の機能を選びます。

ビット 14	PA15MD	説明
0		汎用入出力 (PA15) (シングルチップモード初期値)
1		クロック出力 (CK) (拡張モード初期値)

#### ビット 13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### ビット 12: PA14 モードビット (PA14MD) - SH7016、SH7017 のみ -

PA14/ $\overline{RD}$  端子の機能を選びます。

ビット 12	PA14MD	説明
0		汎用入出力 (PA14) (内蔵 ROM 無効モードでは $\overline{RD}$ ) (初期値)
1		読み出し出力 ( $\overline{RD}$ ) (シングルチップモードでは PA14)

#### ビット 11: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PA13 モードビット (PA13MD) - SH7016、SH7017 のみ -  
PA13/ $\overline{\text{WRH}}$  端子の機能を選びます。

ビット 10	説 明	
PA13MD		
0	汎用入出力 (PA13) (内蔵 ROM 無効モードでは $\overline{\text{WRH}}$ )	(初期値)
1	上位側書き込み出力 (WRH) (シングルチップモードでは PA13)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD) - SH7016、SH7017 のみ -  
PA12/ $\overline{\text{WRL}}$  端子の機能を選びます。

ビット 8	説 明	
PA12MD		
0	汎用入出力 (PA12) (内蔵 ROM 無効モードでは $\overline{\text{WRL}}$ )	(初期値)
1	下位側書き込み出力 (WRL) (シングルチップモードでは PA12)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA11 モードビット (PA11MD) - SH7016、SH7017 のみ -  
PA11/ $\overline{\text{CS1}}$  端子の機能を選びます。

ビット 6	説 明	
PA11MD		
0	汎用入出力 (PA11) (内蔵 ROM 無効モードでは $\overline{\text{CS1}}$ )	(初期値)
1	チップセレクト出力 ( $\overline{\text{CS1}}$ ) (シングルチップモードでは PA11)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PA10 モードビット (PA10MD) - SH7016、SH7017 のみ -  
PA10/ $\overline{\text{CS0}}$  端子の機能を選びます。

ビット 4	説 明	
PA10MD		
0	汎用入出力 (PA10) (内蔵 ROM 無効モードでは $\overline{\text{CS0}}$ )	(初期値)
1	チップセレクト出力 ( $\overline{\text{CS0}}$ ) (シングルチップモードでは PA10)	

## 16. ピンファンクションコントローラ (PFC)

---

ビット 3、2 : PA9 モードビット 1、0 (PA9MD1、PA9MD0)

PA9/TCLKD/ $\overline{\text{IRQ3}}$  端子の機能を選びます。

ビット 3 PA9MD1	ビット 2 PA9MD0	説 明
0	0	汎用入出力 (PA9) (初期値)
	1	MTU タイマクロック入力 (TCLKD)
1	0	割り込み要求入力 ( $\overline{\text{IRQ3}}$ )
	1	予約

ビット 1、0 : PA8 モードビット 1、0 (PA8MD1、PA8MD0)

PA8/TCLKC/ $\overline{\text{IRQ2}}$  端子の機能を選びます。

ビット 1 PA8MD1	ビット 0 PA8MD0	説 明
0	0	汎用入出力 (PA8) (初期値)
	1	MTU タイマクロック入力 (TCLKC)
1	0	割り込み要求入力 ( $\overline{\text{IRQ2}}$ )
	1	予約

## (2) ポート A コントロールレジスタ L2 (PACRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0		PA4 MD		PA3 MD	PA2 MD1	PA2 MD0		PA1 MD		PA0 MD
------------	------------	------------	------------	------------	------------	--	-----------	--	-----------	------------	------------	--	-----------	--	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R R/W R R/W R/W R/W R R/W R R/W

ビット 15、14 : PA7 モードビット 1、0 (PA7MD1、PA7MD0)

PA7/TCLKB/ $\overline{CS3}$  端子の機能を選びます。

ビット 15	ビット 14	説 明
PA7MD1	PA7MD0	
0	0	汎用入出力 (PA7) (初期値)
	1	MTU タイマクロック入力 (TCLKB)
1	0	チップセレクト出力 ( $\overline{CS3}$ ) (シングルチップモードでは PA7)
	1	予約

ビット 13、12 : PA6 モードビット 1、0 (PA6MD1、PA6MD0)

PA6/TCLKA/ $\overline{CS2}$  端子の機能を選びます。

ビット 13	ビット 12	説 明
PA6MD1	PA6MD0	
0	0	汎用入出力 (PA6) (初期値)
	1	MTU タイマクロック入力 (TCLKA)
1	0	チップセレクト出力 ( $\overline{CS2}$ ) (シングルチップモードでは PA6)
	1	予約

ビット 11、10 : PA5 モードビット 1、0 (PA5MD1、PA5MD0)

PA5/SCK1/ $\overline{DREQ1}$ / $\overline{IRQ1}$  端子の機能を選びます。

ビット 11	ビット 10	説 明
PA5MD1	PA5MD0	
0	0	汎用入出力 (PA5) (初期値)
	1	シリアルクロック入出力 (SCK1)
1	0	DMA 転送要求受け付け入力 ( $\overline{DREQ1}$ ) (シングルチップモードでは PA5)
	1	割り込み要求入力 ( $\overline{IRQ1}$ )

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 16. ピンファンクションコントローラ (PFC)

---

### ビット 8 : PA4 モードビット (PA4MD)

PA4/TXD1 端子の機能を選びます。

ビット 8	PA4MD	説 明
0		
1	送信データ出力 (TXD1)	

### ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット 6 : PA3 モードビット (PA3MD)

PA3/RXD1 端子の機能を選びます。

ビット 6	PA3MD	説 明
0		
1	受信データ入力 (RXD1)	

### ビット 5、4 : PA2 モードビット 1、0 (PA2MD1、PA2MD0)

PA2/SCK0/ $\overline{\text{DREQ0}}$ / $\overline{\text{IRQ0}}$  端子の機能を選びます。

ビット 5	ビット 4	説 明
PA2MD1	PA2MD0	
0	0	汎用入出力 (PA2) (初期値)
	1	シリアルクロック入出力 (SCK0)
1	0	DMA 転送要求受け付け入力 ( $\overline{\text{DREQ0}}$ ) (シングルチップモードでは PA2)
	1	割り込み要求入力 ( $\overline{\text{IRQ0}}$ )

### ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット 2 : PA1 モードビット (PA1MD)

PA1/TXD0 端子の機能を選びます。

ビット 2	PA1MD	説 明
0		
1	送信データ出力 (TXD0)	

## ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット 0 : PA0 モードビット (PA0MD)

PA0/RXD0 端子の機能を選びます。

ビット 0	説 明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	受信データ入力 (RXD0)

## 16.3.3 ポート B・IO レジスタ (PBIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*

【注】 \* SH7014はRのみ

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある 10 本 (SH7014 は 8 本) の端子の入出力方向を選びます。PB9IOR ~ PB0IOR ビットが、それぞれ、PB9/IRQ7/A21 端子 ~ PB0/A16 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB9 ~ PB0) の場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が PB9 ~ PB0 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

また、PBIOR のビット 1、0 の設定は、SH7016、SH7017 のみ機能します。SH7014 の場合、このビットに対応する端子は存在しません。ただし読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 16.3.4 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある 10 本 (SH7014 は 8 本) のマルチプレクス端子の機能を選びます。PBCR1 は、ポート B の上位 2 ビットの端子の機能を、PBCR2 は、ポート B の下位 8 ビット (SH7014 は 6 ビット) の端子の機能を選びます。

ポート B にはバス制御信号 ( $\overline{\text{RDWR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WAIT}}$ )、アドレス出力 (A21 ~ A16) がありますが、SH7016、SH7017 ではこの端子機能の選択に関して、シングルチップモードの場合、このレジスタの設定は無効になることがあります。詳細は、表 16.3 を参照してください。

PBCR1、PBCR2 は、外部からのパワーオンリセットで、それぞれ H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

また、PBCR2 のビット 2、0 の設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このビットに対応する端子は存在しません。ただし読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### (1) ポート B コントロールレジスタ 1 (PBCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

#### ビット 15 ~ 4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 3、2 : PB9 モードビット 1、0 (PB9MD1、PB9MD0)

$\overline{\text{PB9}}/\overline{\text{IRQ7}}/\text{A21}$  端子の機能を選びます。

ビット 3	ビット 2	説明
PB9MD1	PB9MD0	
0	0	汎用入出力 (PB9) (初期値)
	1	割り込み要求入力 (IRQ7)
1	0	アドレス出力 (A21) (シングルチップモードでは PB9)
	1	予約



## 16. ピンファンクションコントローラ (PFC)

ビット 1、0 : PB8 モードビット 1、0 (PB8MD1、PB8MD0)

PB8/IRQ6/A20/WAIT 端子の機能を選びます。

ビット 1	ビット 0	説 明
PB8MD1	PB8MD0	
0	0	汎用入出力 (PB8) (初期値)
	1	割り込み要求入力 (IRQ6)
1	0	アドレス出力 (A20) (シングルチップモードでは PB8)
	1	ウェイトステイト要求入力 (WAIT) (シングルチップモードでは PB8)

(2) ポート B コントロールレジスタ 2 (PBCR2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0		PB1 MD		PB0 MD
---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	--	--------	--	--------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R R/W\* R R/W\*

【注】\* SH7014はRのみ

ビット 15、14 : PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/A19 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7) (初期値)
	1	予約
1	0	アドレス出力 (A19) (シングルチップモードでは PB7)
	1	予約

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/A18 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6) (初期値)
	1	予約
1	0	アドレス出力 (A18) (シングルチップモードでは PB6)
	1	予約

## 16. ピンファンクションコントローラ (PFC)

ビット 11、10 : PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/ $\overline{\text{IRQ3}}$ /RDWR 端子の機能を選びます。

ビット 11	ビット 10	説 明
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5) (初期値)
	1	割り込み要求入力 ( $\overline{\text{IRQ3}}$ )
1	0	予約
	1	読み出し / 書き込み出力 (RDWR) (シングルチップモードでは PB5)

ビット 9、8 : PB4 モードビット 1、0 (PB4MD1、PB4MD0)

PB4/ $\overline{\text{IRQ2}}$ /CASH 端子の機能を選びます。

ビット 9	ビット 8	説 明
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4) (初期値)
	1	割り込み要求入力 ( $\overline{\text{IRQ2}}$ )
1	0	予約
	1	カラムアドレスストロープ (CASH) (シングルチップモードでは PB4)

ビット 7、6 : PB3 モードビット 1、0 (PB3MD1、PB3MD0)

PB3/ $\overline{\text{IRQ1}}$ / $\overline{\text{CASL}}$  端子の機能を選びます。

ビット 7	ビット 6	説 明
PB3MD1	PB3MD0	
0	0	汎用入出力 (PB3) (初期値)
	1	割り込み要求入力 ( $\overline{\text{IRQ1}}$ )
1	0	予約
	1	カラムアドレスストロープ ( $\overline{\text{CASL}}$ ) (シングルチップモードでは PB3)

ビット 5、4 : PB2 モードビット 1、0 (PB2MD1、PB2MD0)

PB2/ $\overline{\text{IRQ0}}$ / $\overline{\text{RAS}}$  端子の機能を選びます。

ビット 5	ビット 4	説 明
PB2MD1	PB2MD0	
0	0	汎用入出力 (PB2) (初期値)
	1	割り込み要求入力 ( $\overline{\text{IRQ0}}$ )
1	0	予約
	1	ロウアドレスストロープ ( $\overline{\text{RAS}}$ ) (シングルチップモードでは PB2)

## ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## ビット2：PB1 モードビット (PB1MD) - SH7016、SH7017 のみ -

PB1/A17 端子の機能を選びます。

ビット2	説 明	
PB1MD		
0	汎用入出力 (PB1) (内蔵 ROM 無効モードでは A17)	(初期値)
1	アドレス出力 (A17) (シングルチップモードでは PB1)	

## ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## ビット0：PB0 モードビット (PB0MD) - SH7016、SH7017 のみ -

PB0/A16 端子の機能を選びます。

ビット0	説 明	
PB0MD		
0	汎用入出力 (PB0) (内蔵 ROM 無効モードでは A16)	(初期値)
1	アドレス出力 (A16) (シングルチップモードでは PB0)	

## 16.3.5 ポート C・IO レジスタ (PCIOR) - SH7016、SH7017 のみ -

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート C・IO レジスタ (PCIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある 16 本の端子の入出力方向を選びます。PC15IOR ~ PC0IOR ビットが、それぞれ、PC15/A15 端子 ~ PC0/A0 端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC15 ~ PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC15 ~ PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

## 16. ピンファンクションコントローラ (PFC)

### 16.3.6 ポート C コントロールレジスタ (PCCR) - SH7016、SH7017 のみ -

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

PC15 MD	PC14 MD	PC13 MD	PC12 MD	PC11 MD	PC10 MD	PC9 MD	PC8 MD	PC7 MD	PC6 MD	PC5 MD	PC4 MD	PC3 MD	PC2 MD	PC1 MD	PC0 MD
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

R/W:       R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。詳細は、表 16.3 を参照してください。

PCCR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

#### ビット 15 : PC15 モードビット (PC15MD)

PC15/A15 端子の機能を選びます。

ビット 15	説 明	
PC15MD		
0	汎用入出力 (PC15) (内蔵 ROM 無効モードでは A15)	(初期値)
1	アドレス出力 (A15) (シングルチップモードでは PC15)	

#### ビット 14 : PC14 モードビット (PC14MD)

PC14/A14 端子の機能を選びます。

ビット 14	説 明	
PC14MD		
0	汎用入出力 (PC14) (内蔵 ROM 無効モードでは A14)	(初期値)
1	アドレス出力 (A14) (シングルチップモードでは PC14)	

#### ビット 13 : PC13 モードビット (PC13MD)

PC13/A13 端子の機能を選びます。

ビット 13	説 明	
PC13MD		
0	汎用入出力 (PC13) (内蔵 ROM 無効モードでは A13)	(初期値)
1	アドレス出力 (A13) (シングルチップモードでは PC13)	

## 16. ピンファンクションコントローラ (PFC)

### ビット 12 : PC12 モードビット (PC12MD)

PC12/A12 端子の機能を選びます。

ビット 12	説 明
PC12MD	
0	汎用入出力 (PC12) (内蔵 ROM 無効モードでは A12) (初期値)
1	アドレス出力 (A12) (シングルチップモードでは PC12)

### ビット 11 : PC11 モードビット (PC11MD)

PC11/A11 端子の機能を選びます。

ビット 11	説 明
PC11MD	
0	汎用入出力 (PC11) (内蔵 ROM 無効モードでは A11) (初期値)
1	アドレス出力 (A11) (シングルチップモードでは PC11)

### ビット 10 : PC10 モードビット (PC10MD)

PC10/A10 端子の機能を選びます。

ビット 10	説 明
PC10MD	
0	汎用入出力 (PC10) (内蔵 ROM 無効モードでは A10) (初期値)
1	アドレス出力 (A10) (シングルチップモードでは PC10)

### ビット 9 : PC9 モードビット (PC9MD)

PC9/A9 端子の機能を選びます。

ビット 9	説 明
PC9MD	
0	汎用入出力 (PC9) (内蔵 ROM 無効モードでは A9) (初期値)
1	アドレス出力 (A9) (シングルチップモードでは PC9)

### ビット 8 : PC8 モードビット (PC8MD)

PC8/A8 端子の機能を選びます。

ビット 8	説 明
PC8MD	
0	汎用入出力 (PC8) (内蔵 ROM 無効モードでは A8) (初期値)
1	アドレス出力 (A8) (シングルチップモードでは PC8)

## 16. ピンファンクションコントローラ (PFC)

---

### ビット 7 : PC7 モードビット (PC7MD)

PC7/A7 端子の機能を選びます。

ビット 7	説 明
PC7MD	
0	汎用入出力 (PC7) (内蔵 ROM 無効モードでは A7) (初期値)
1	アドレス出力 (A7) (シングルチップモードでは PC7)

### ビット 6 : PC6 モードビット (PC6MD)

PC6/A6 端子の機能を選びます。

ビット 6	説 明
PC6MD	
0	汎用入出力 (PC6) (内蔵 ROM 無効モードでは A6) (初期値)
1	アドレス出力 (A6) (シングルチップモードでは PC6)

### ビット 5 : PC5 モードビット (PC5MD)

PC5/A5 端子の機能を選びます。

ビット 5	説 明
PC5MD	
0	汎用入出力 (PC5) (内蔵 ROM 無効モードでは A5) (初期値)
1	アドレス出力 (A5) (シングルチップモードでは PC5)

### ビット 4 : PC4 モードビット (PC4MD)

PC4/A4 端子の機能を選びます。

ビット 4	説 明
PC4MD	
0	汎用入出力 (PC4) (内蔵 ROM 無効モードでは A4) (初期値)
1	アドレス出力 (A4) (シングルチップモードでは PC4)

### ビット 3 : PC3 モードビット (PC3MD)

PC3/A3 端子の機能を選びます。

ビット 3	説 明
PC3MD	
0	汎用入出力 (PC3) (内蔵 ROM 無効モードでは A3) (初期値)
1	アドレス出力 (A3) (シングルチップモードでは PC3)

## ビット 2 : PC2 モードビット (PC2MD)

PC2/A2 端子の機能を選びます。

ビット 2	説 明	
PC2MD		
0	汎用入出力 (PC2) (内蔵 ROM 無効モードでは A2)	(初期値)
1	アドレス出力 (A2) (シングルチップモードでは PC2)	

## ビット 1 : PC1 モードビット (PC1MD)

PC1/A1 端子の機能を選びます。

ビット 1	説 明	
PC1MD		
0	汎用入出力 (PC1) (内蔵 ROM 無効モードでは A1)	(初期値)
1	アドレス出力 (A1) (シングルチップモードでは PC1)	

## ビット 0 : PC0 モードビット (PC0MD)

PC0/A0 端子の機能を選びます。

ビット 0	説 明	
PC0MD		
0	汎用入出力 (PC0) (内蔵 ROM 無効モードでは A0)	(初期値)
1	アドレス出力 (A0) (シングルチップモードでは PC0)	

## 16.3.7 ポート D・IO レジスタ L (PDIORL) - SH7016、SH7017 のみ -

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D・IO レジスタ L (PDIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある 16 本の端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15/D15 端子 ~ PD0/D0 端子に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD15 ~ PD0 の場合、PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持しています。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

## 16. ピンファンクションコントローラ (PFC)

### 16.3.8 ポート D コントロールレジスタ L (PDCRL) - SH7016、SH7017 のみ -

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PD15 MD	PD14 MD	PD13 MD	PD12 MD	PD11 MD	PD10 MD	PD9 MD	PD8 MD	PD7 MD	PD6 MD	PD5 MD	PD4 MD	PD3 MD	PD2 MD	PD1 MD	PD0 MD
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D コントロールレジスタ L (PDCRL) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

#### (a) 内蔵 ROM 無効拡張モード

- モード 0 (バス幅 8 ビット)  
ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。
- モード 1 (バス幅 16 ビット)  
ポート D の端子はデータ入出力端子となり、PDCRL の設定は無効です。

#### (b) 内蔵 ROM 有効拡張モード

ポート D の端子はデータ入出力と汎用入出力の兼用端子となります。PDCRL の設定は有効です。

#### (c) シングルチップモード

ポート D の端子は汎用入出力端子となり、PDCRL の設定は無効です。

PDCRL は、外部からのパワーオンリセットで、H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

#### ビット 15 : PD15 モードビット (PD15MD)

PD15/D15 端子の機能を選びます。

ビット 15	説明
PD15MD	
0	汎用入出力 (PD15) (内蔵 ROM 無効モードでは D15) (初期値)
1	データ入出力 (D15) (シングルチップモードでは PD15)



## 16. ピンファンクションコントローラ (PFC)

### ビット 14 : PD14 モードビット (PD14MD)

PD14/D14 端子の機能を選びます。

ビット 14	説 明
PD14MD	
0	汎用入出力 (PD14) (内蔵 ROM 無効モードでは D14) (初期値)
1	データ入出力 (D14) (シングルチップモードでは PD14)

### ビット 13 : PD13 モードビット (PD13MD)

PD13/D13 端子の機能を選びます。

ビット 13	説 明
PD13MD	
0	汎用入出力 (PD13) (内蔵 ROM 無効モードでは D13) (初期値)
1	データ入出力 (D13) (シングルチップモードでは PD13)

### ビット 12 : PD12 モードビット (PD12MD)

PD12/D12 端子の機能を選びます。

ビット 12	説 明
PD12MD	
0	汎用入出力 (PD12) (内蔵 ROM 無効モードでは D12) (初期値)
1	データ入出力 (D12) (シングルチップモードでは PD12)

### ビット 11 : PD11 モードビット (PD11MD)

PD11/D11 端子の機能を選びます。

ビット 11	説 明
PD11MD	
0	汎用入出力 (PD11) (内蔵 ROM 無効モードでは D11) (初期値)
1	データ入出力 (D11) (シングルチップモードでは PD11)

### ビット 10 : PD10 モードビット (PD10MD)

PD10/D10 端子の機能を選びます。

ビット 10	説 明
PD10MD	
0	汎用入出力 (PD10) (内蔵 ROM 無効モードでは D10) (初期値)
1	データ入出力 (D10) (シングルチップモードでは PD10)

## 16. ピンファンクションコントローラ (PFC)

---

### ビット 9 : PD9 モードビット (PD9MD)

PD9/D9 端子の機能を選びます。

ビット 9	説 明
PD9MD	
0	汎用入出力 (PD9) (内蔵 ROM 無効モードでは D9) (初期値)
1	データ入出力 (D9) (シングルチップモードでは PD9)

### ビット 8 : PD8 モードビット (PD8MD)

PD8/D8 端子の機能を選びます。

ビット 8	説 明
PD8MD	
0	汎用入出力 (PD8) (内蔵 ROM 無効モードでは D8) (初期値)
1	データ入出力 (D8) (シングルチップモードでは PD8)

### ビット 7 : PD7 モードビット (PD7MD)

PD7/D7 端子の機能を選びます。

ビット 7	説 明
PD7MD	
0	汎用入出力 (PD7) (内蔵 ROM 無効モードでは D7) (初期値)
1	データ入出力 (D7) (シングルチップモードでは PD7)

### ビット 6 : PD6 モードビット (PD6MD)

PD6/D6 端子の機能を選びます。

ビット 6	説 明
PD6MD	
0	汎用入出力 (PD6) (内蔵 ROM 無効モードでは D6) (初期値)
1	データ入出力 (D6) (シングルチップモードでは PD6)

### ビット 5 : PD5 モードビット (PD5MD)

PD5/D5 端子の機能を選びます。

ビット 5	説 明
PD5MD	
0	汎用入出力 (PD5) (内蔵 ROM 無効モードでは D5) (初期値)
1	データ入出力 (D5) (シングルチップモードでは PD5)

## 16. ピンファンクションコントローラ (PFC)

### ビット 4 : PD4 モードビット (PD4MD)

PD4/D4 端子の機能を選びます。

ビット 4	説 明
PD4MD	
0	汎用入出力 (PD4) (内蔵 ROM 無効モードでは D4) (初期値)
1	データ入出力 (D4) (シングルチップモードでは PD4)

### ビット 3 : PD3 モードビット (PD3MD)

PD3/D3 端子の機能を選びます。

ビット 3	説 明
PD3MD	
0	汎用入出力 (PD3) (内蔵 ROM 無効モードでは D3) (初期値)
1	データ入出力 (D3) (シングルチップモードでは PD3)

### ビット 2 : PD2 モードビット (PD2MD)

PD2/D2 端子の機能を選びます。

ビット 2	説 明
PD2MD	
0	汎用入出力 (PD2) (内蔵 ROM 無効モードでは D2) (初期値)
1	データ入出力 (D2) (シングルチップモードでは PD2)

### ビット 1 : PD1 モードビット (PD1MD)

PD1/D1 端子の機能を選びます。

ビット 1	説 明
PD1MD	
0	汎用入出力 (PD1) (内蔵 ROM 無効モードでは D1) (初期値)
1	データ入出力 (D1) (シングルチップモードでは PD1)

### ビット 0 : PD0 モードビット (PD0MD)

PD0/D0 端子の機能を選びます。

ビット 0	説 明
PD0MD	
0	汎用入出力 (PD0) (内蔵 ROM 無効モードでは D0) (初期値)
1	データ入出力 (D0) (シングルチップモードでは PD0)

## 16.3.9 ポート E・IO レジスタ (PEIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある 16 本の端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/DACK1 端子 ~ PE0/TIOC0A/DREQ0 端子に対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE15 ~ PE0) か、MTU の TIOC 端子の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE15 ~ PE0 または MTU の TIOC 端子の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

## 16.3.10 ポート E コントロールレジスタ 1、2 (PECR1、PECR2)

ポート E コントロールレジスタ 1、2 (PECR1、PECR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。PECR1 は、ポート E の上位 8 ビットの端子の機能を、PECR2 は、ポート E の下位 8 ビットの端子の機能を選びます。

ポート E にはバス制御信号 ( $\overline{AH}$ )、DMAC 制御信号 (DACK1、DACK0、DRAK1、DRAK0) がありますが、SH7016、SH7017 では、この端子機能の選択に関して、シングルチップモードの場合、このレジスタの設定は無効になることがあります。詳細は表 16.3 を参照してください。

PECR1、PECR2 は、外部からのパワーオンリセットで、それぞれ H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

## (1) ポート E コントロールレジスタ 1 (PECR1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PE15MD1	PE15MD0	PE14MD1	PE14MD0												
---------	---------	---------	---------	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R R R R R R R R R R R R

ビット 15、14 : PE15 モードビット 1、0 (PE15MD1、PE15MD0)

PE15/DACK1 端子の機能を選びます。

ビット 15	ビット 14	説 明	
PE15MD1	PE15MD0		
0	0	汎用入出力 (PE15) (初期値)	
	1	予約	
1	0	DMA 要求受け付け出力 (DACK1) (シングルチップモードでは PE15)	
	1	予約	

ビット 13、12 : PE14 モードビット 1、0 (PE14MD1、PE14MD0)

PE14/DACK0/AH 端子の機能を選びます。

ビット 13	ビット 12	説 明	
PE14MD1	PE14MD0		
0	0	汎用入出力 (PE14) (初期値)	
	1	予約	
1	0	DMA 要求受け付け出力 (DACK0) (シングルチップモードでは PE14)	
	1	アドレスホールド出力 (AH) (シングルチップモードでは PE14)	

ビット 11~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 16. ピンファンクションコントローラ (PFC)

### (2) ポート E コントロールレジスタ 2 (PECR2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	PE7 MD		PE6 MD		PE5 MD		PE4 MD	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 14: PE7 モードビット (PE7MD)

PE7/TIOC2B 端子の機能を選びます。

ビット 14	説 明	
PE7MD		
0	汎用入出力 (PE7)	(初期値)
1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)	

#### ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 12: PE6 モードビット (PE6MD)

PE6/TIOC2A 端子の機能を選びます。

ビット 12	説 明	
PE6MD		
0	汎用入出力 (PE6)	(初期値)
1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)	

#### ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット 10: PE5 モードビット (PE5MD)

PE5/TIOC1B 端子の機能を選びます。

ビット 10	説 明	
PE5MD		
0	汎用入出力 (PE5)	(初期値)
1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)	

## ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット 8 : PE4 モードビット (PE4MD)

PE4/TIOC1A 端子の機能を選びます。

ビット 8	説 明	
PE4MD		
0	汎用入出力 (PE4)	(初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)	

## ビット 7、6 : PE3 モードビット 1、0 (PE3MD1、PE3MD0)

PE3/TIOC0D/DRAK1 端子の機能を選びます。

ビット 7	ビット 6	説 明	
PE3MD1	PE3MD0		
0	0	汎用入出力 (PE3)	(初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0D)	
1	0	DREQ1 要求受け付け出力 (DRAK1) (シングルチップモードでは PE3)	
	1	予約	

## ビット 5、4 : PE2 モードビット 1、0 (PE2MD1、PE2MD0)

PE2/TIOC0C/DREQ1 端子の機能を選びます。

ビット 5	ビット 4	説 明	
PE2MD1	PE2MD0		
0	0	汎用入出力 (PE2)	(初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)	
1	0	DREQ1 要求受け付け入力 (シングルチップモードでは PE2)	
	1	予約	

## ビット 3、2 : PE1 モードビット 1、0 (PE1MD1、PE1MD0)

PE1/TIOC0B/DRAK0 端子の機能を選びます。

ビット 3	ビット 2	説 明	
PE1MD1	PE1MD0		
0	0	汎用入出力 (PE1)	(初期値)
	1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0B)	
1	0	DREQ0 要求受け付け出力 (DRAK0) (シングルチップモードでは PE1)	
	1	予約	

## 16. ピンファンクションコントローラ (PFC)

---

ビット 1、0 : PE0 モードビット 1、0 (PE0MD1、PE0MD0)

PE0/TIOC0A/ $\overline{\text{DREQ0}}$  端子の機能を選びます。

ビット 1 PE0MD1	ビット 0 PE0MD0	説 明
0	0	汎用入出力 (PE0) (初期値)
	1	MTU インพุットキャプチャ入カ/アウトプットコンペア出力 (TIOC0A)
1	0	$\overline{\text{DREQ0}}$ 要求受け付け入カ (シングルチップモードでは PE0)
	1	予約



---

## 17. I/O ポート (I/O)

---

### 17.1 概要

SH7016、SH7017 のポートは、A~F の 6 本から、SH7014 のポートは、A、B、E、F の 4 本から構成されています。

それぞれのポートの端子は、すべて、汎用入出力 (ポート F の端子は汎用入力) とそのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつもっています。

各端子は動作モードにより、パワーオンリセット後の初期状態が異なります。

詳しくは表 16.2、表 16.3 を参照してください。

## 17.2 ポート A

ポート A は、図 17.1 に示すような、16 本 (SH7014 は 11 本) の端子をもつ入出力ポートです。

	ROM無効拡張モード (モード0、1)		ROM有効拡張モード (モード2)*	シングルチップ モード*
ポ ー ト A	↔	PA15 (入出力) / CK (出力)	PA15 (入出力) /CK (出力)	PA15 (入出力) /CK (出力)
	↔	$\overline{RD}$ (出力)	PA14 (入出力) / $\overline{RD}$ (出力)	PA14 (入出力)
	↔	$\overline{WRH}$ (出力)	PA13 (入出力) / $\overline{WRH}$ (出力)	PA13 (入出力)
	↔	$\overline{WRL}$ (出力)	PA12 (入出力) / $\overline{WRL}$ (出力)	PA12 (入出力)
	↔	$\overline{CS1}$ (出力)	PA11 (入出力) / $\overline{CS1}$ (出力)	PA11 (入出力)
	↔	$\overline{CS0}$ (出力)	PA10 (入出力) / $\overline{CS0}$ (出力)	PA10 (入出力)
	↔	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)	PA9 (入出力) /TCLKD (入力) /IRQ3 (入力)
	↔	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)	PA8 (入出力) /TCLKC (入力) /IRQ2 (入力)
	↔	PA7 (入出力) /TCLKB (入力) /CS3 (入力)	PA7 (入出力) /TCLKB (入力) /CS3 (入力)	PA7 (入出力) /TCLKB (入力)
	↔	PA6 (入出力) /TCLKA (入力) /CS2 (入力)	PA6 (入出力) /TCLKA (入力) /CS2 (入力)	PA6 (入出力) /TCLKA (入力)
	↔	PA5 (入出力) /SCK1 (入出力) /DREQ1 (入力) /IRQ1 (入力)	PA5 (入出力) /SCK1 (入出力) /DREQ1 (入力) /IRQ1 (入力)	PA5 (入出力) /SCK1 (入出力) /IRQ1 (入力)
	↔	PA4 (入出力) /TXD1 (出力)	PA4 (入出力) /TXD1 (出力)	PA4 (入出力) /TXD1 (出力)
	↔	PA3 (入出力) /RXD1 (入力)	PA3 (入出力) /RXD1 (入力)	PA3 (入出力) /RXD1 (入力)
	↔	PA2 (入出力) /SCK0 (入出力) /DREQ0 (入力) /IRQ0 (入力)	PA2 (入出力) /SCK0 (入出力) /DREQ0 (入力) /IRQ0 (入力)	PA2 (入出力) /SCK0 (入出力) /IRQ0 (入力)
	↔	PA1 (入出力) /TXD0 (出力)	PA1 (入出力) /TXD0 (出力)	PA1 (入出力) /TXD0 (出力)
	↔	PA0 (入出力) /RXD0 (入力)	PA0 (入出力) /RXD0 (入力)	PA0 (入出力) /RXD0 (入力)

【注】\* SH7016、SH7017のみ

図 17.1 ポート A

## 17.2.1 レジスタ構成

ポート A のレジスタ構成を表 17.1 に示します。

表 17.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFF8382 H'FFFF8383	8、16、32

## 17.2.2 ポート A データレジスタ L (PADRL)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W\* R/W\* R/W\* R/W\* R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】\* SH7014はRのみ

ポート A データレジスタ L (PADRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR ~ PA0DR ビットは、それぞれ、PA15/CK 端子 ~ PA0/RXD0 端子に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込みますが、端子の状態には影響しません。表 17.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

また、このレジスタのビット 14 ~ 10 の設定は SH7016、SH7017 のみ機能します。SH7014 の場合、ビット 14 ~ 10 に対応する端子は存在しません。ただし、読み出すと常に 0 がよみ出されます。書き込む値も常に 0 にしてください。

表 17.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

### 17.3 ポート B

ポート B は、図 17.2 に示すような、10 本 (SH7014 は 8 本) の端子をもつ入出力ポートです。

		ROM無効拡張モード (モード0、1)	ROM有効拡張モード (モード2)*	シングルチップ モード*
ポ ー ト B	↔	PB9 (入出力) / $\overline{\text{IRQ7}}$ (入力) /A21 (出力)	同左	PB9 (入出力) / $\overline{\text{IRQ7}}$ (入力)
	↔	PB8 (入出力) / $\overline{\text{IRQ6}}$ (入力) /A20 (出力) / $\overline{\text{WAIT}}$ (入力)	同左	PB8 (入出力) / $\overline{\text{IRQ6}}$ (入力)
	↔	PB7 (入出力) /A19 (出力)	同左	PB7 (入出力)
	↔	PB6 (入出力) /A18 (出力)	同左	PB6 (入出力)
	↔	PB5 (入出力) / $\overline{\text{IRQ3}}$ (入力) /RDWR (出力)	同左	PB5 (入出力) / $\overline{\text{IRQ3}}$ (入力)
	↔	PB4 (入出力) / $\overline{\text{IRQ2}}$ (入力) /CASH (出力)	同左	PB4 (入出力) / $\overline{\text{IRQ2}}$ (入力)
	↔	PB3 (入出力) / $\overline{\text{IRQ1}}$ (入力) /CASL (出力)	同左	PB3 (入出力) / $\overline{\text{IRQ1}}$ (入力)
	↔	PB2 (入出力) / $\overline{\text{IRQ0}}$ (入力) /RAS (出力)	同左	PB2 (入出力) / $\overline{\text{IRQ0}}$ (入力)
	↔	A17 (出力)	PB1 (入出力) /A17 (出力)	PB1 (入出力)
	↔	A16 (出力)	PB0 (入出力) /A16 (出力)	PB0 (入出力)

【注】\* SH7016、SH7017のみ

図 17.2 ポート B

### 17.3.1 レジスタ構成

ポート B のレジスタ構成を表 17.3 に示します。

表 17.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFF8390 H'FFFF8391	8、16、32

### 17.3.2 ポート B データレジスタ (PBDR)

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

						PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR	

初期値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

R/W:      R   R   R   R   R   R   R/W R/W R/W R/W R/W R/W R/W R/W R/W\* R/W\*

【注】\* SH7014はRのみ

ポート B データレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB9DR ~ PB0DR ビットは、それぞれ、PB9/ $\overline{IRQ7/A21}$  端子 ~ PB0/A16 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 17.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR は、外部からのパワーオンリセットで初期化されません。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

また、このレジスタのビット 1、0 の設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このビットに対応する端子は存在しません。ただし読み出すと常に 0 が読み出されず、書き込む値も常に 0 にしてください。

表 17.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

## 17.4 ポート C SH7016、SH7017 のみ

ポート C は、図 17.3 に示すような、16 本の端子をもつ入出力ポートです。SH7014 にはポート C はありません。

		ROM無効拡張モード (モード0、1)	ROM有効拡張モード (モード2)	シングルチップ モード
ポ ー ト C	↔	A15 (出力)	PC15 (入出力)/A15 (出力)	PC15 (入出力)
	↔	A14 (出力)	PC14 (入出力)/A14 (出力)	PC14 (入出力)
	↔	A13 (出力)	PC13 (入出力)/A13 (出力)	PC13 (入出力)
	↔	A12 (出力)	PC12 (入出力)/A12 (出力)	PC12 (入出力)
	↔	A11 (出力)	PC11 (入出力)/A11 (出力)	PC11 (入出力)
	↔	A10 (出力)	PC10 (入出力)/A10 (出力)	PC10 (入出力)
	↔	A9 (出力)	PC9 (入出力)/A9 (出力)	PC9 (入出力)
	↔	A8 (出力)	PC8 (入出力)/A8 (出力)	PC8 (入出力)
	↔	A7 (出力)	PC7 (入出力)/A7 (出力)	PC7 (入出力)
	↔	A6 (出力)	PC6 (入出力)/A6 (出力)	PC6 (入出力)
	↔	A5 (出力)	PC5 (入出力)/A5 (出力)	PC5 (入出力)
	↔	A4 (出力)	PC4 (入出力)/A4 (出力)	PC4 (入出力)
	↔	A3 (出力)	PC3 (入出力)/A3 (出力)	PC3 (入出力)
	↔	A2 (出力)	PC2 (入出力)/A2 (出力)	PC2 (入出力)
	↔	A1 (出力)	PC1 (入出力)/A1 (出力)	PC1 (入出力)
	↔	A0 (出力)	PC0 (入出力)/A0 (出力)	PC0 (入出力)

図 17.3 ポート C

### 17.4.1 レジスタ構成

ポート C のレジスタ構成を表 17.5 に示します。

表 17.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFF8392 H'FFFF8393	8、16、32

## 17.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR ~ PC0DR ビットは、それぞれ、PC15/A15 端子 ~ PC0/A0 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 17.6 にポート C データレジスタの読み出し / 書き込み動作を示します。

PCDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

表 17.6 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

## 17.5 ポート D SH7016、SH7017 のみ

ポート D は、図 17.4 に示すような、16 本の端子をもつ入出力ポートです。SH7014 にはポート D はありません。

	ROM無効拡張モード		ROM有効拡張モード		
	(モード0)	(モード1)	(モード2)	シングルチップモード	
ポ ー ト D	↔	D15 (入出力)	D15 (入出力)	PD15 (入出力)/D15 (入出力)	PD15 (入出力)
	↔	D14 (入出力)	D14 (入出力)	PD14 (入出力)/D14 (入出力)	PD 14 (入出力)
	↔	D13 (入出力)	D13 (入出力)	PD13 (入出力)/D13 (入出力)	PD 13 (入出力)
	↔	D12 (入出力)	D12 (入出力)	PD12 (入出力)/D12 (入出力)	PD 12 (入出力)
	↔	D11 (入出力)	D11 (入出力)	PD11 (入出力)/D11 (入出力)	PD 11 (入出力)
	↔	D10 (入出力)	D10 (入出力)	PD10 (入出力)/D10 (入出力)	PD 10 (入出力)
	↔	D9 (入出力)	D9 (入出力)	PD9 (入出力)/D9 (入出力)	PD 9 (入出力)
	↔	D8 (入出力)	D8 (入出力)	PD8 (入出力)/D8 (入出力)	PD 8 (入出力)
	↔	D7 (入出力)	D7 (入出力)	PD7 (入出力)/D7 (入出力)	PD 7 (入出力)
	↔	D6 (入出力)	D6 (入出力)	PD6 (入出力)/D6 (入出力)	PD 6 (入出力)
	↔	D5 (入出力)	D5 (入出力)	PD5 (入出力)/D5 (入出力)	PD 5 (入出力)
	↔	D4 (入出力)	D4 (入出力)	PD4 (入出力)/D4 (入出力)	PD 4 (入出力)
	↔	D3 (入出力)	D3 (入出力)	PD3 (入出力)/D3 (入出力)	PD 3 (入出力)
	↔	D2 (入出力)	D2 (入出力)	PD2 (入出力)/D2 (入出力)	PD 2 (入出力)
	↔	D1 (入出力)	D1 (入出力)	PD1 (入出力)/D1 (入出力)	PD 1 (入出力)
	↔	D0 (入出力)	D0 (入出力)	PD0 (入出力)/D0 (入出力)	PD 0 (入出力)

図 17.4 ポート D

### 17.5.1 レジスタ構成

ポート D のレジスタ構成を表 17.7 に示します。

表 17.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFF83A2 H'FFFF83A3	8、16、32



## 17.5.2 ポート D データレジスタ L (PDDRL)

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

R/W:    R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート D データレジスタ L (PDDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ、PD15/D15 端子 ~ PD0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込みますが、端子の状態には影響しません。表 17.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

また、このレジスタの設定は SH7016、SH7017 のみ機能します。SH7014 の場合、このレジスタに対応する端子は存在しません。読み出し / 書き込みはしないでください。

表 17.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

## 17.6 ポート E

ポート E は、図 17.5 に示すような、16 本の端子をもつ入出力ポートです。

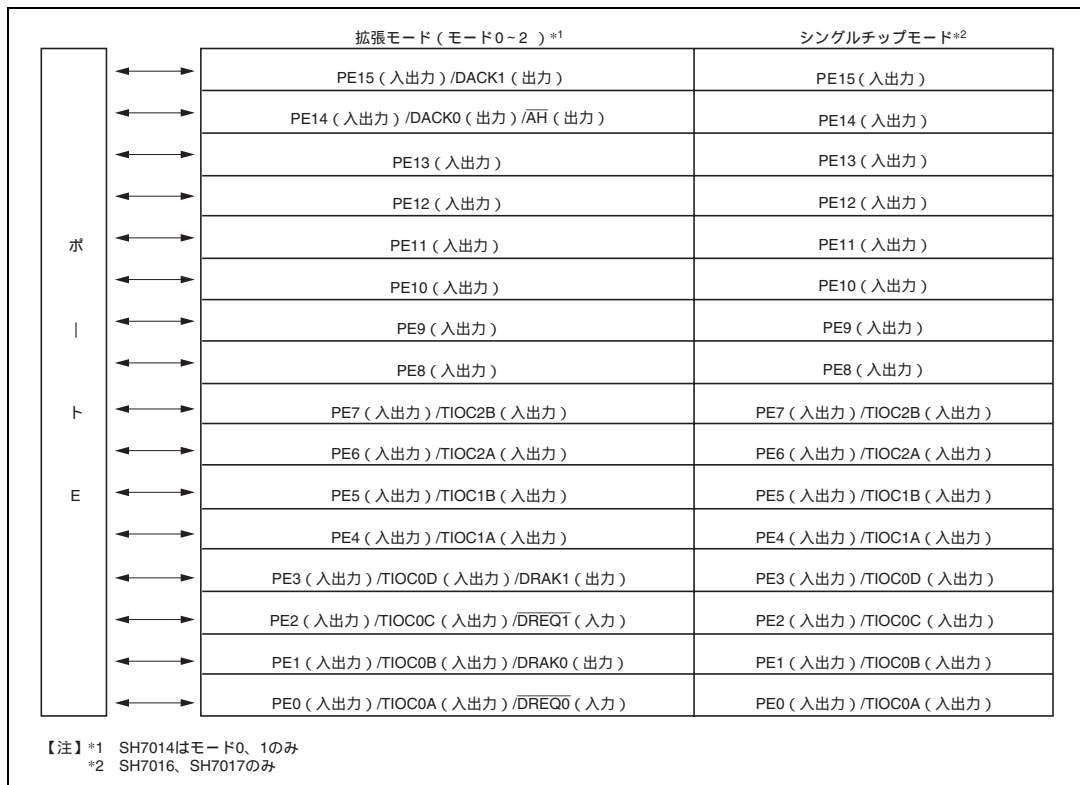


図 17.5 ポート E

### 17.6.1 レジスタ構成

ポート E のレジスタ構成を表 17.9 に示します。

表 17.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFF83B0 H'FFFF83B1	8、16、32

## 17.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE0DR ビットは、それぞれ、PE15/DACK1 端子 ~ PE0/TIOC0A/DREQ0 端子に対応しています。端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 17.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されず、前のデータを保持します。

表 17.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

## 17.7 ポート F

ポート F は、図 17.6 に示すような、8 本の端子をもつ入力ポートです。

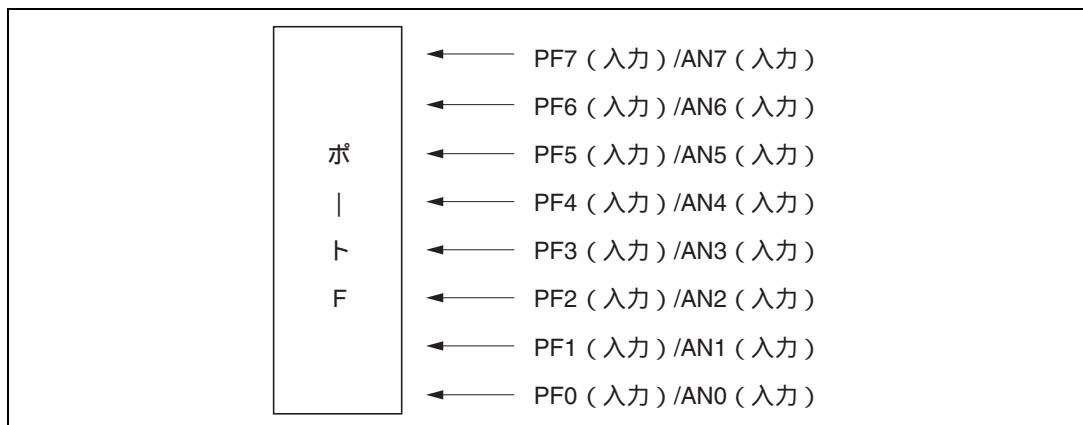


図 17.6 ポート F

### 17.7.1 レジスタ構成

ポート F のレジスタ構成を表 17.11 に示します。

表 17.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	外部端子依存	H'FFFF83B3	8

### 17.7.2 ポート F データレジスタ (PFDR)

ビット:	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR

初期値: \* \* \* \* \*

R/W: R R R R R R R R

【注】 \* 初期値は読み出し時の端子状態に依存します。

ポート F データレジスタ (PFDR) は、読み出し専用の 8 ビットのレジスタで、ポート F のデータを格納します。PF7DR ~ PF0DR ビットは、それぞれ、PF7/AN7 端子 ~ PF0/AN0 端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。表 17.12 にポート F データレジスタの読み出し / 書き込み動作を示します。

PFDR は、パワーオンリセット、スタンバイモード、スリープモードのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

表 17.12 ポートFデータレジスタ (PFDR) の読み出し / 書き込み動作

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1 が読み出される	無視される (端子の状態に影響しない)

## 【記号説明】

ANn : アナログ入力

【注】 n = 7 ~ 0



---

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

### 18.1 特長

SH7017 には 128KB のフラッシュメモリを内蔵している製品があります。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 4 種類の動作モード
  - プログラムモード
  - イレースモード
  - プログラムベリファイモード
  - イレースベリファイモード
- 書き込み / 消去方式  
書き込みは32バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では1KB、28KB、32KBのブロック単位で任意に設定することができます。
- 書き込み / 消去時間  
フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 $\mu$ s (typ.)、消去時間は、1ブロックあたり100ms (typ.) です。
- 書き換え回数  
フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード  
オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。
  - ブートモード
  - ユーザプログラムモード
- ビットレート自動合わせ込み  
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートとを自動で合わせることができます。
- RAM によるフラッシュメモリのエミュレーション機能  
フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード  
ソフトウェアプロテクトモードとハードウェアプロテクトモードの2種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。
- ライタモード  
フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外にPROMライタを用いたライタモードがあります。

## 18.2 概要

### 18.2.1 ブロック図

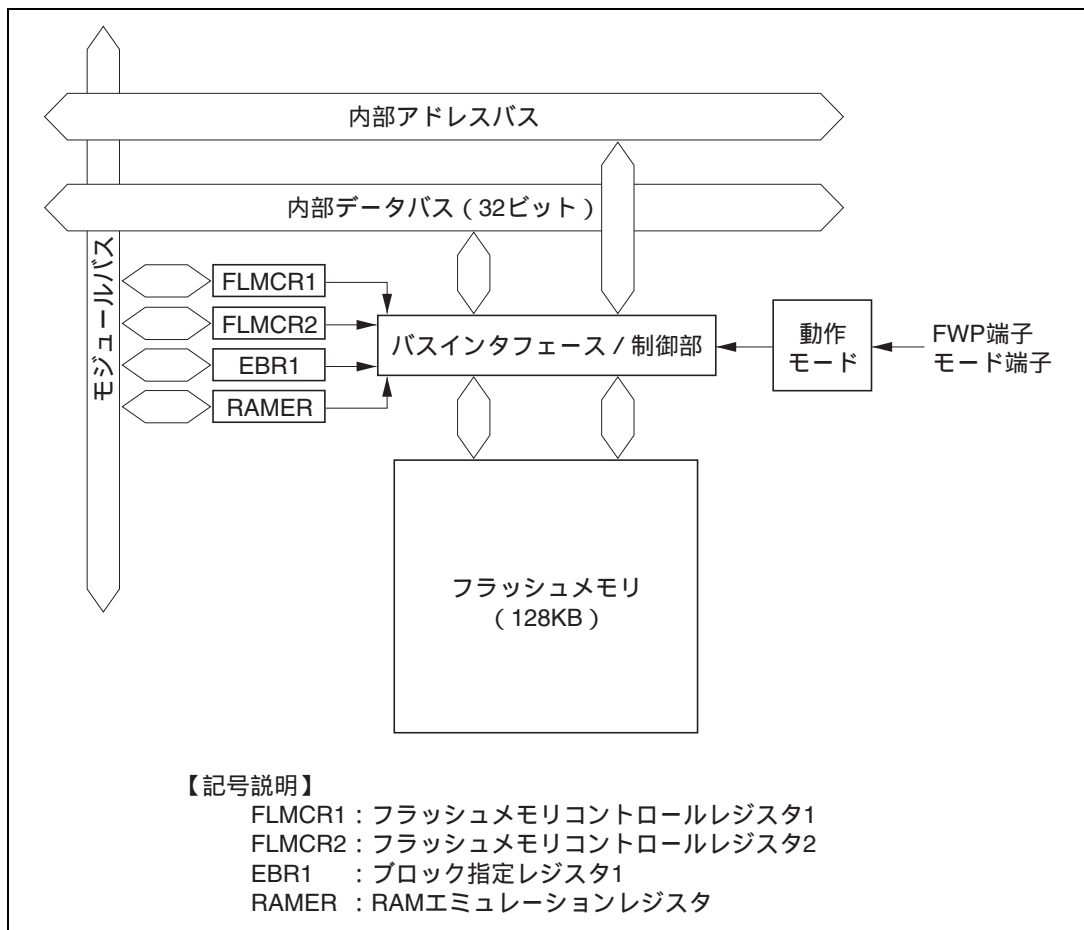


図 18.1 フラッシュメモリのブロック図



## 18.2.2 モード遷移図

リセット状態で各モード端子と FWP 端子を設定し、リセットスタートすると、マイコンは図 18.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

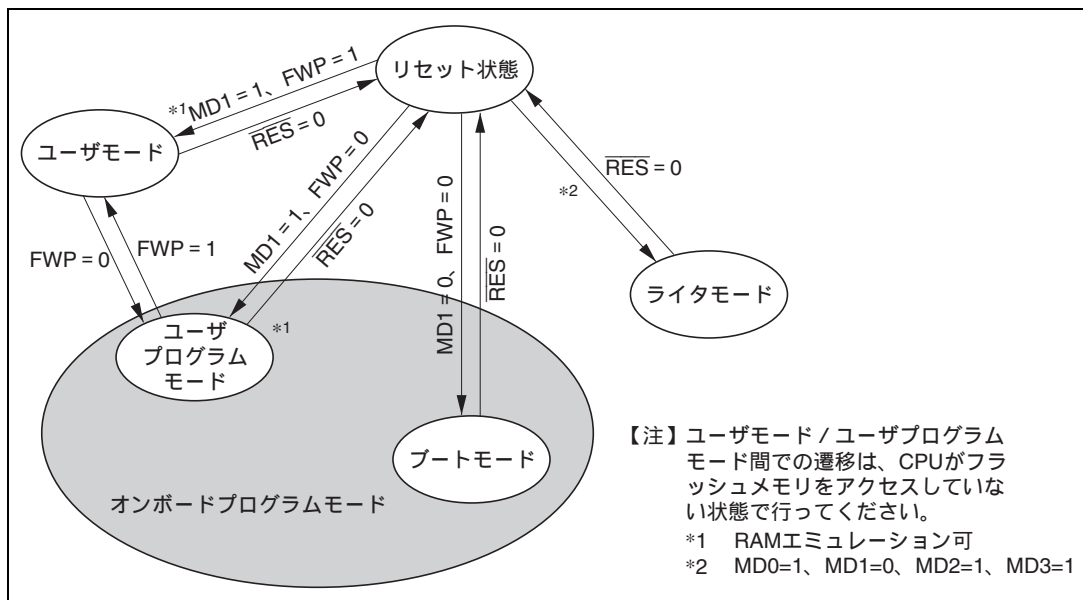


図 18.2 フラッシュメモリに関する状態遷移

## 18.2.3 オンボードプログラムモード

## (1) ブートモード

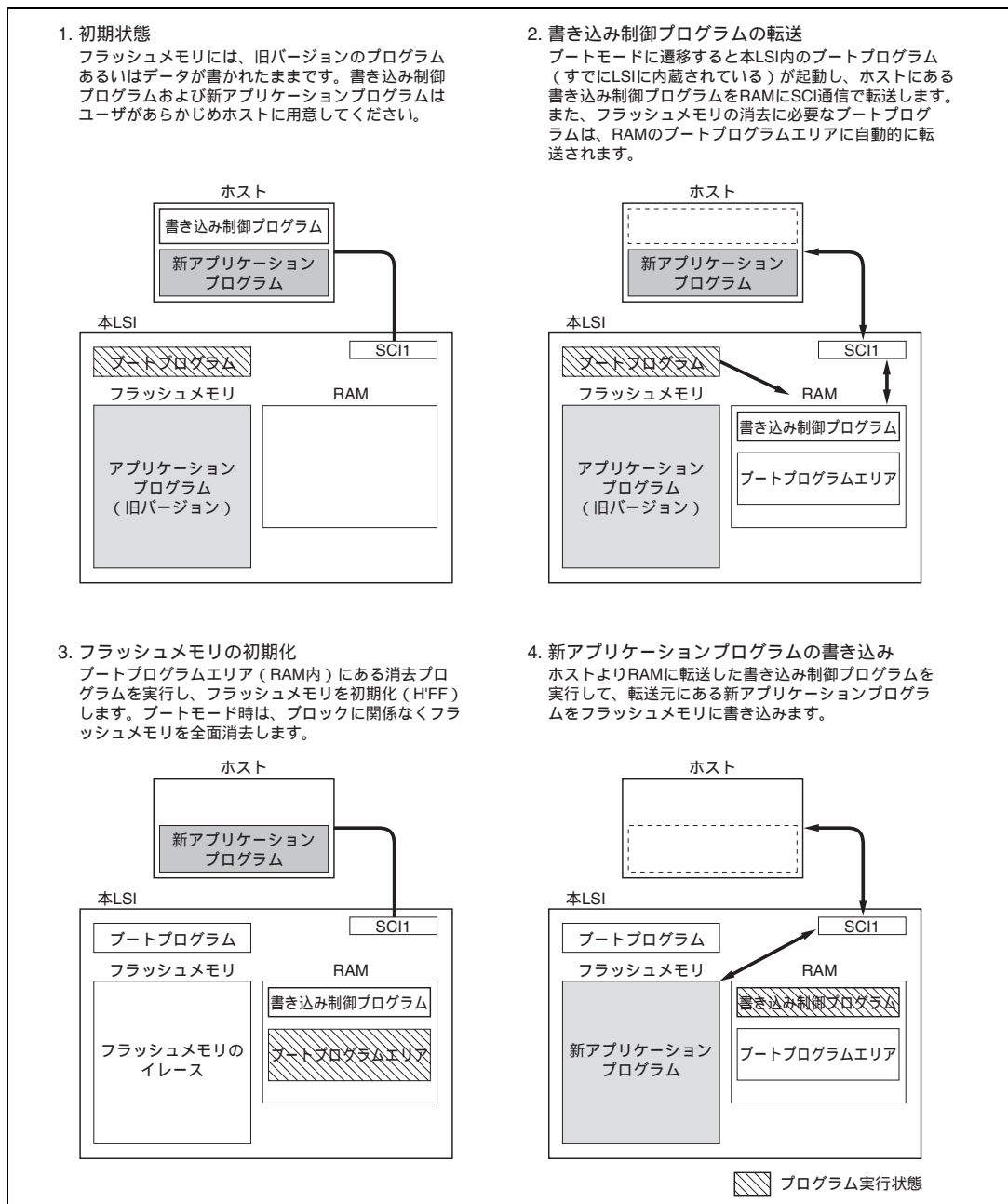


図 18.3 ブートモードによる書き換え動作

## (2) ユーザプログラムモード

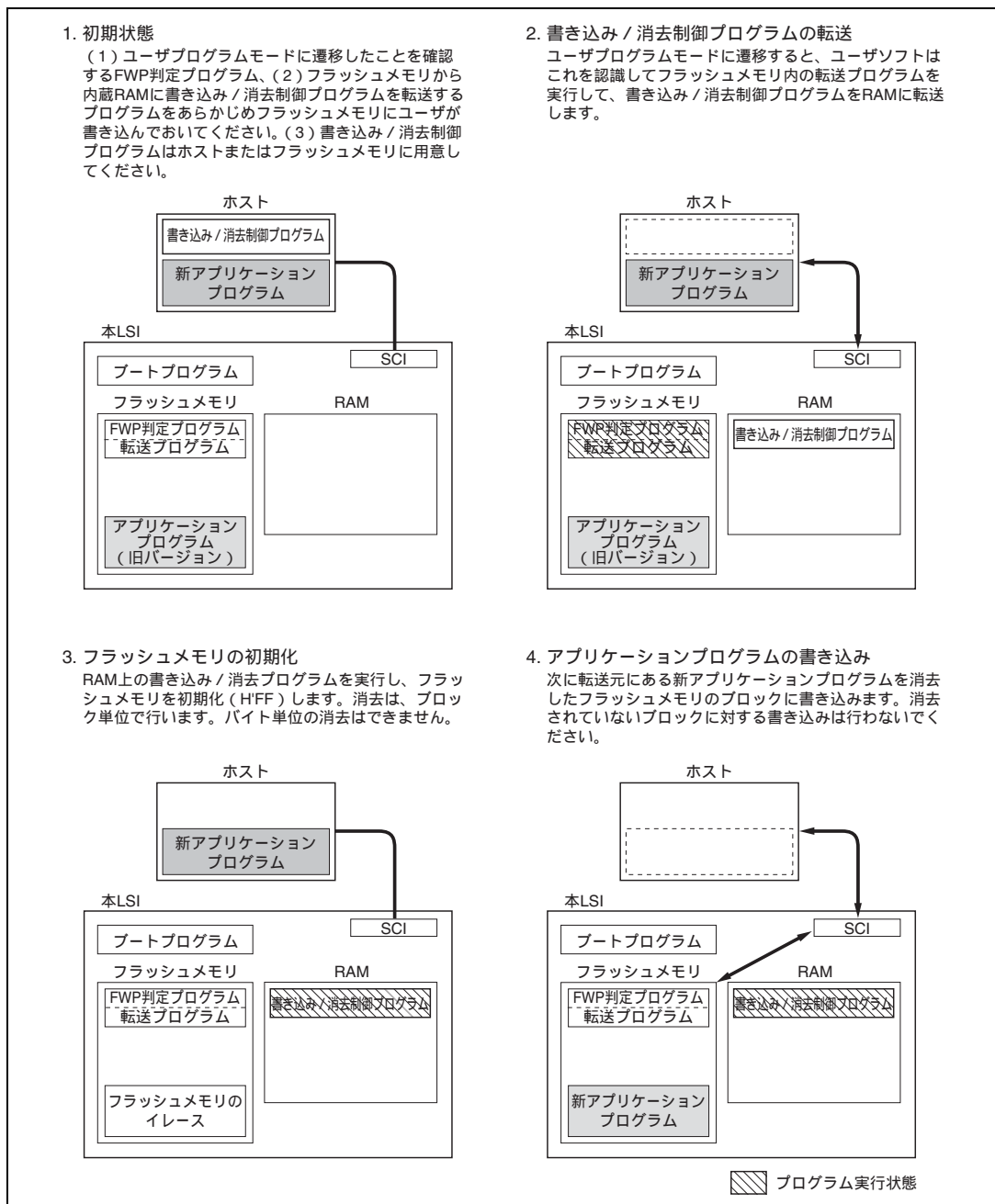


図 18.4 ユーザプログラムモードによる書き換え動作

### 18.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

<ユーザプログラムモード>

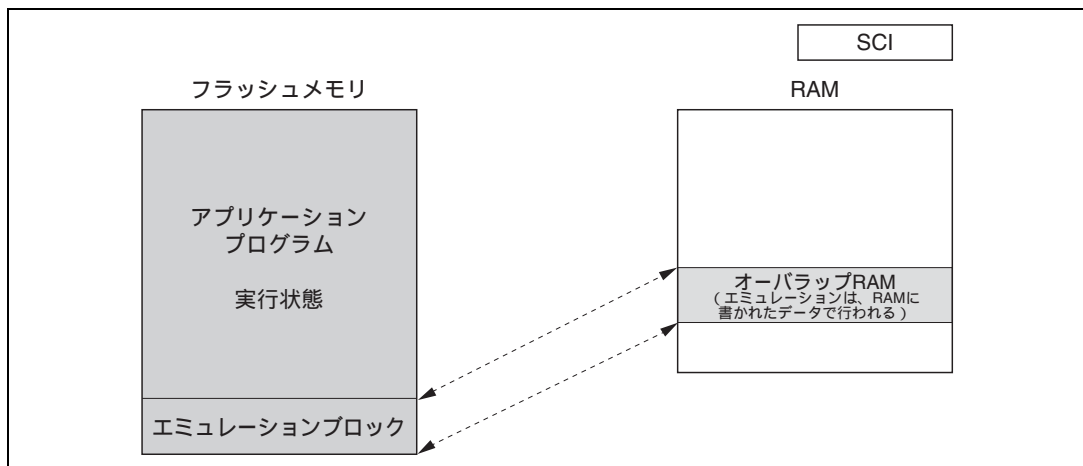


図 18.5 RAM エミュレーション (RAM のオーバーラップ)

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

<ユーザプログラムモード>

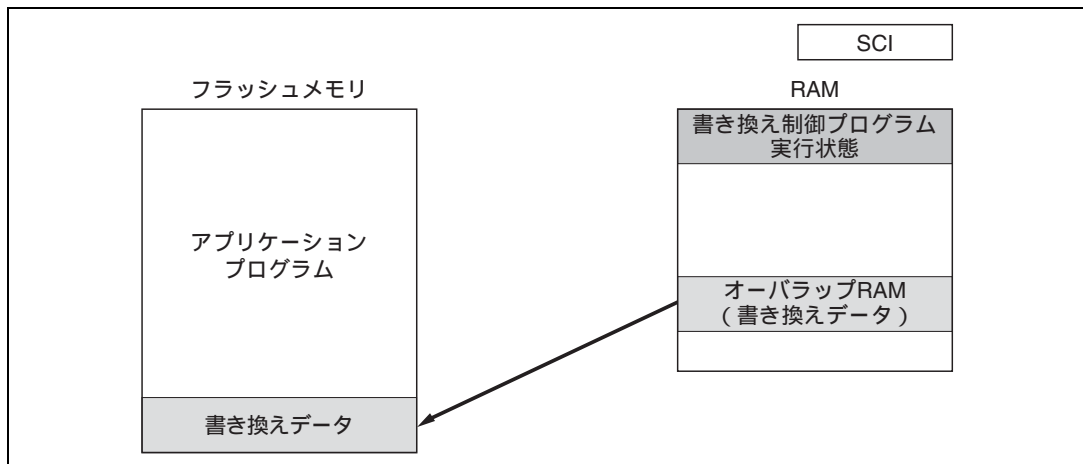


図 18.6 RAM エミュレーション (フラッシュメモリの書き換え)

## 18.2.5 ブートモードとユーザプログラムモードの相違

表 18.1 ブートモードとユーザプログラムモードの相違

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 \* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

## 18.2.6 ブロック分割法

32KB (3 ブロック)、28KB (1 ブロック)、1KB (4 ブロック) に分割されています。

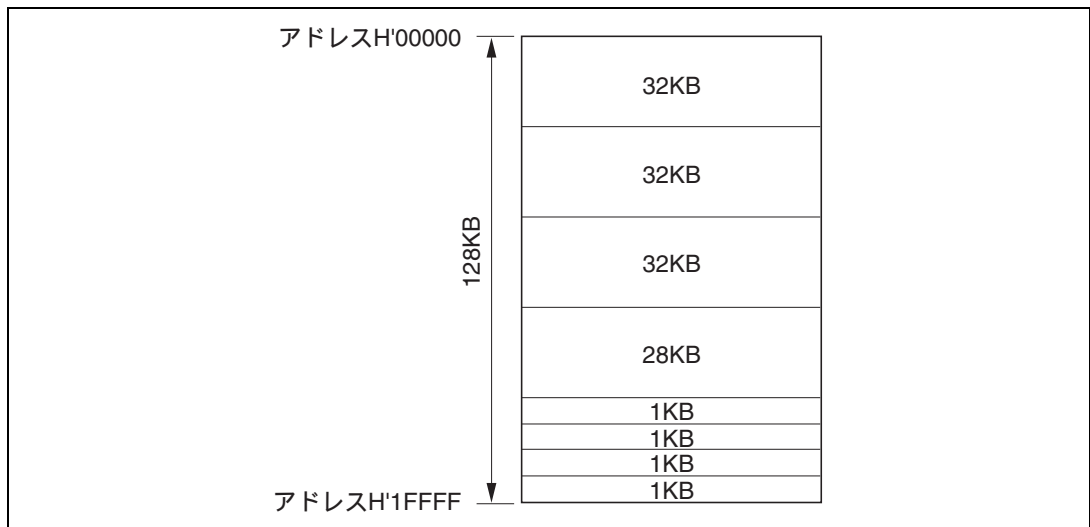


図 18.7 ブロック分割

## 18.3 端子構成

フラッシュメモリは表 18.2 に示す端子により制御されます。

表 18.2 端子構成

端子名	略称	入出力	機能
パワーオンリセット	RES	入力	パワーオンリセット
フラッシュライトプロテクト	FWP	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 3	MD3	入力	本 LSI の動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

## 18.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 18.3 に示します。

表 18.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*3	H'FFFF8580	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W*2	H'00	H'FFFF8581	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*4	H'FFFF8582	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF8628	8、16、32

- 【注】
1. FLMCR1、FLMCR2、EBR1 は 8 ビット、RAMER は 16 ビットのレジスタです。
  2. FLMCR1、FLMCR2、EBR1 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
  3. RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF8630 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。
  - \*1 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。
  - \*2 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出されます。
  - \*3 FWP 端子にローレベルが入力されているときの初期値は H'80 です。
  - \*4 FWP 端子にハイレベルが入力されているとき、あるいはローレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

## 18.5 レジスタの説明

### 18.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FWE=1 のとき、SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード/イレースベリファイモードに遷移します。プログラムモードへ遷移するには、FWE=1 のとき、SWE=1 にし、PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、FWE=1 のとき、SWE=1 にし、ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、パワーオンリセット、スタンバイモードで初期化されます。FWP 端子にローレベルが入力されているときの初期値は H'80 です。ハイレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、SWE、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7: フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトする FWP 端子の状態を表示するビットです。

ビット 7	説明
FWE	
0	FWP 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWP 端子にハイレベルが入力されているとき

#### ビット 6: ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの有効または無効を選択するビットです (ビット 5~0、EBR1 の 7~0 ビットをセットする前にセットしてください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1 のとき

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

### ビット5：イレースセットアップビット (ESU)

イレースモードへの遷移の準備をするビットです (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE=1、SWE=1 のとき

### ビット4：プログラムセットアップビット (PSU)

プログラムモードへの遷移の準備をするビットです (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット4	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE=1、SWE=1 のとき

### ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

### ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき



## ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

## ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

### 18.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無をモニタする 8 ビットのレジスタです。FLMCR2 は、パワーオンリセットで H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

#### ビット 7 : フラッシュメモリエラー (FLER)

フラッシュメモリ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] パワーオンリセットのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「18.8.3 エラープロテクト」参照

#### ビット 6~0 : 予約ビット

読み出すと常に 0 が読み出されます。

### 18.5.3 ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、すべてのビットについて R/W 可能です。EBR1 は、パワーオンリセット、スタンバイモード、FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。2 ビット以上を設定した場合は、ESU、E ビットへの書き込みは無効となります。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 18.4 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (32KB)	H'000000 ~ H'007FFF
EB1 (32KB)	H'008000 ~ H'00FFFF
EB2 (32KB)	H'010000 ~ H'017FFF
EB3 (28KB)	H'018000 ~ H'01EFFF
EB4 (1KB)	H'01F000 ~ H'01F3FF
EB5 (1KB)	H'01F400 ~ H'01F7FF
EB6 (1KB)	H'01F800 ~ H'01FBFF
EB7 (1KB)	H'01FC00 ~ H'01FFFF

### 18.5.4 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセットのときに H'0000 に初期化されます。スタンバイモード時には、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割方法は、表 18.5 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

## 18. 128KB フラッシュメモリ (F-ZTAT)

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	RAMS	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

### ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。

### ビット 2 : RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット 2	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

### ビット 1、0 : フラッシュメモリエリア選択

ビット 2 とともに使用し、RAM と重ね合わせるフラッシュメモリエリアを選択します。(表 18.5 参照)

表 18.5 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM1	RAM0
H'FFF800 ~ H'FFFBFF	RAM エリア 1KB	0	*	*
H'01F000 ~ H'01F3FF	EB4 (1KB)	1	0	0
H'01F400 ~ H'01F7FF	EB5 (1KB)			1
H'01F800 ~ H'01FBFF	EB6 (1KB)		1	0
H'01FC00 ~ H'01FFFF	EB7 (1KB)			1

#### 【記号説明】

\* : Don't care

## 18.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定し、パワーオンリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 18.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 18.2 を参照してください。

表 18.6 オンボードプログラミングモードの設定方法

モード名		PLL 通倍比	FWP	MD3	MD2	MD1	MD0	
ブートモード	拡張モード	×1	0	0	0	0	0	
	シングルチップモード						1	
	拡張モード	×2		1	1		0	
	シングルチップモード				1			
	拡張モード	×4		1	0		0	0
	シングルチップモード						1	
ユーザプログラムモード	拡張モード	×1	0	0		1	0	
	シングルチップモード						1	
	拡張モード	×2		1	1		0	
	シングルチップモード				1			
	拡張モード	×4		1	0		0	0
	シングルチップモード						1	

### 18.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

パワーオンリセット状態で本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意したユーザプログラムを SCI のチャンネル 1 を使って本 LSI へ順次送信します。本 LSI では、SCI のチャンネル 1 で受信したユーザプログラムを内蔵 RAM のユーザプログラムエリアに書き込みます。転送終了後ユーザプログラムエリアの先頭アドレスに分岐し、ユーザプログラム実行状態となります (フラッシュメモリの書き込みを行います)。

したがって、転送するユーザプログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 18.8 にブートモード時のシステム構成図、図 18.9 にブートプログラムモード実行手順を示します。

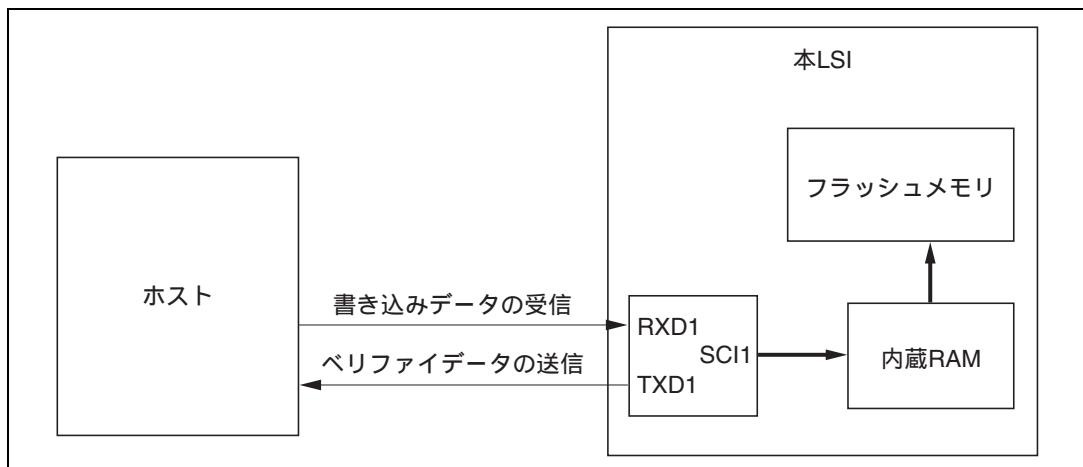


図 18.8 ブートモード時のシステム構成図

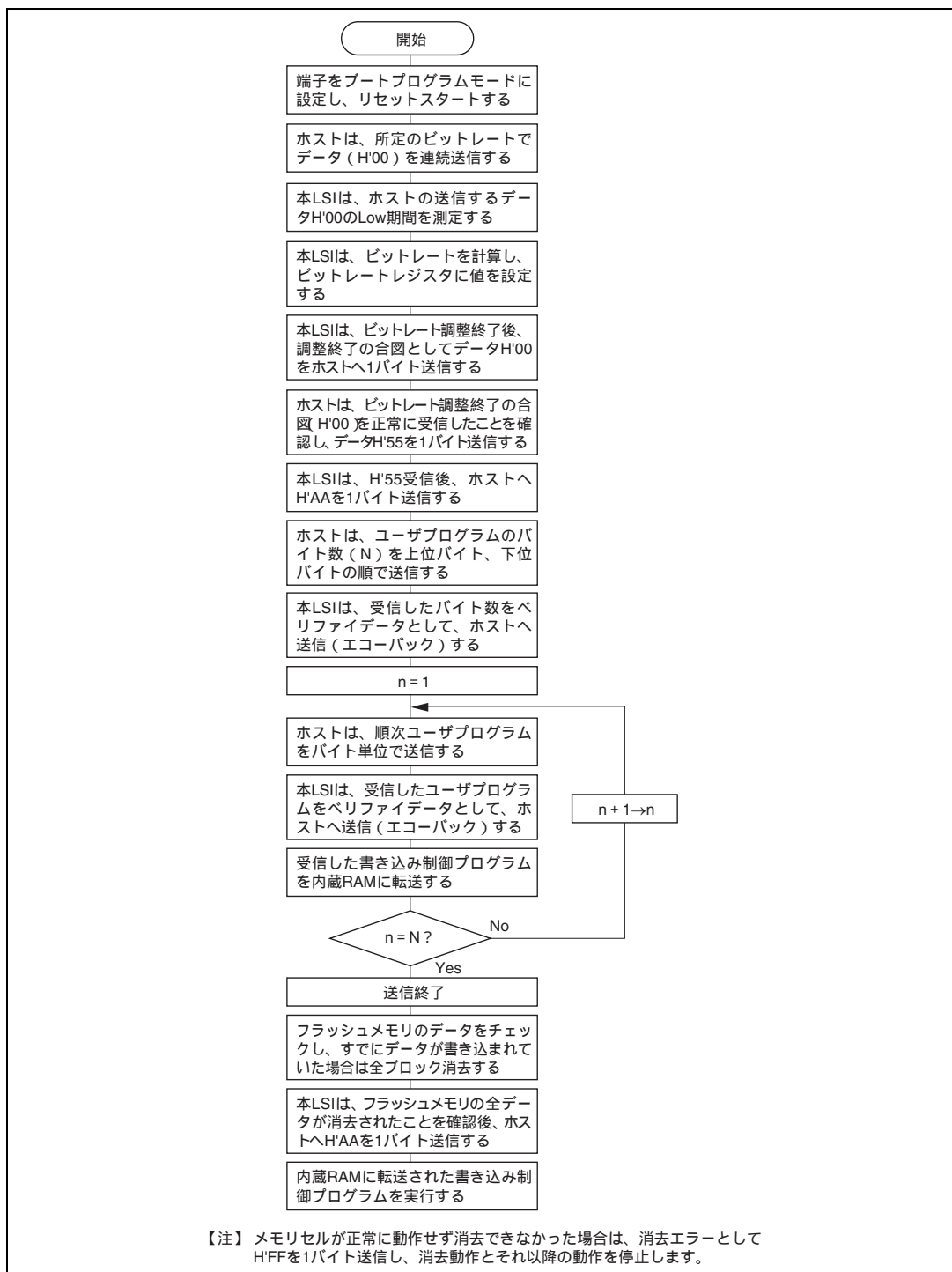


図 18.9 ブートモード実行手順

## SCI ビットレートの自動合わせ込み動作

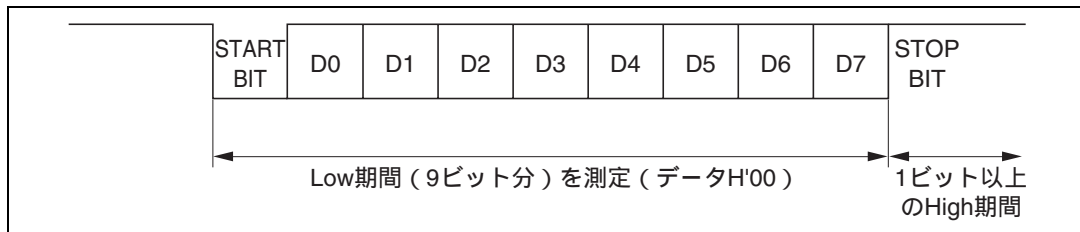


図 18.10 SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (パワーオンリセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 18.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 18.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8M ~ 28.7MHz
4800bps	4M ~ 20MHz



## ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 18.11 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

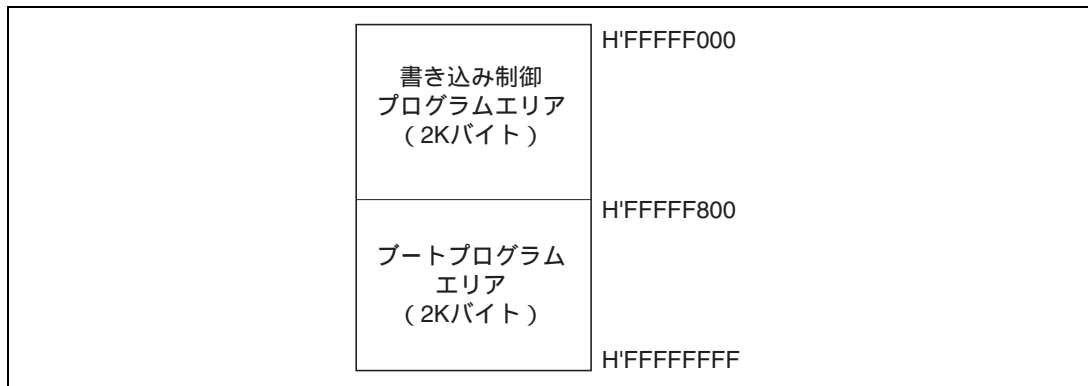


図 18.11 ブートモード時の RAM エリア

**【注】** RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

## 18.6.2 ユーザプログラムモード

FWP 端子を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合) は、以下の手順を実行するようにしてください (図 18.12)。

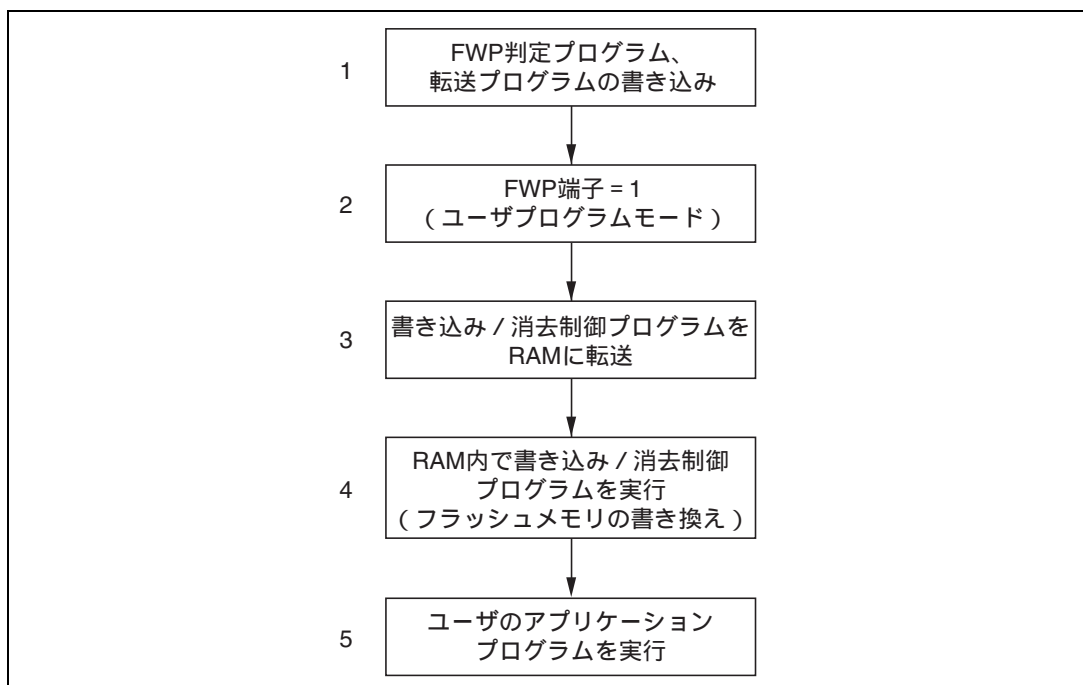


図 18.12 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走などに対応できるようにしてください。プログラム暴走などによって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

## 18.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
  2. 書き込み / 消去する際は、FWP 端子をローレベルにしてください (FWP 端子がハイレベルのときは、書き込み / 消去されません)。
  3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

### 18.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 18.7 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、10 $\mu$ s 以上の時間が経過してから、32 バイト書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません) に RAM 上の書き込みデータエリアの 32 バイトのデータを連続書き込みします (データ転送はバイト単位で 32 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は 300 $\mu$ s 以上にしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備(プログラムセットアップ)を行い、50 $\mu$ s 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。1 回の書き込み時間を 200 $\mu$ s の範囲に納まるようにプログラムで設定してください。

### 18.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、10 $\mu$ s 以上の時間が経過してから PSU ビットを解除) します。ウォッチドッグタイマを 10 $\mu$ s 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 4 $\mu$ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 $\mu$ s 以上おいてから行ってください。次に書き込み元データとベリファイデータを比較し、再書き込みデータを演算 (図 18.13 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、4 $\mu$ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1,000 回を超えないようにしてください。

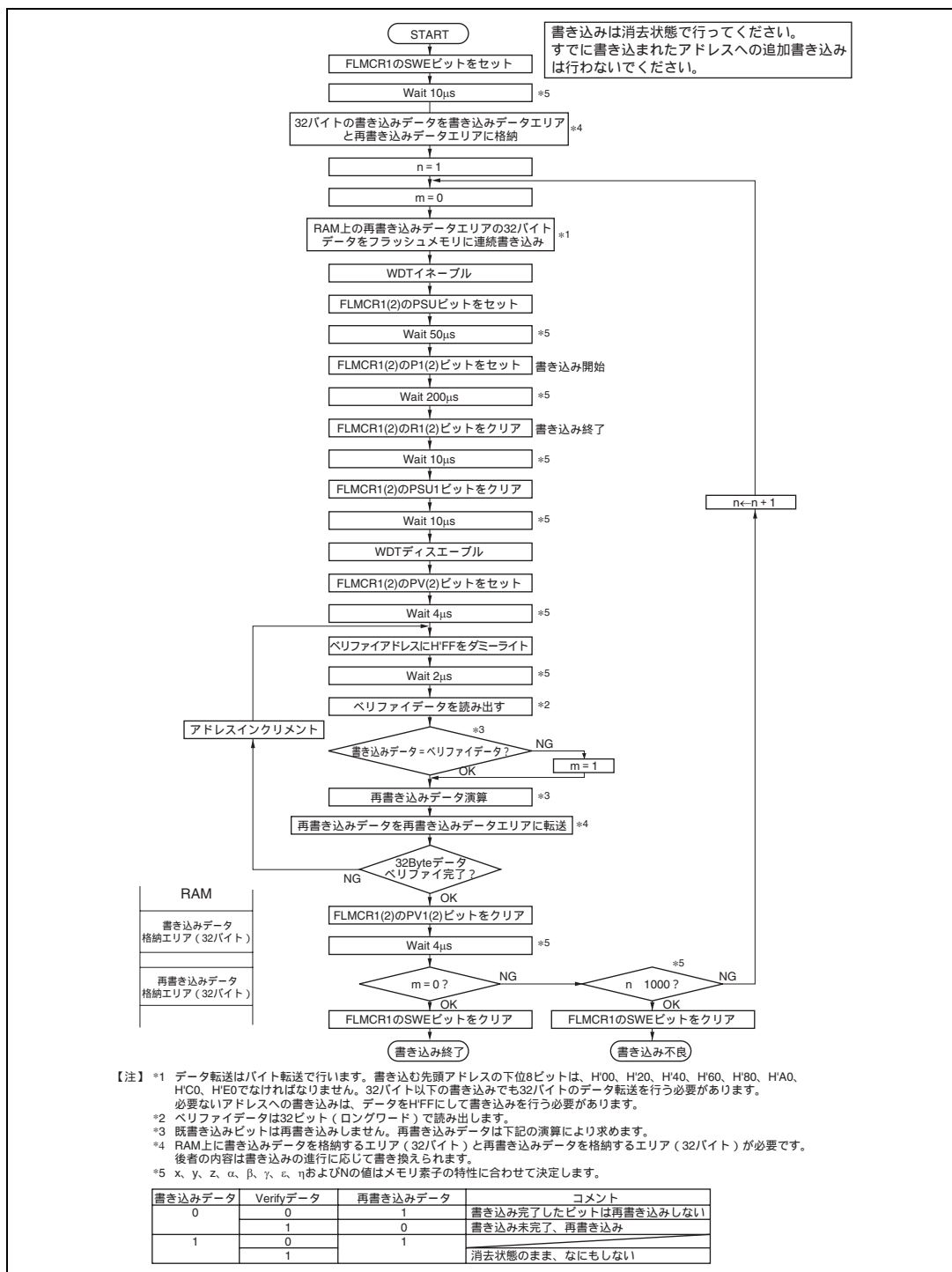


図 18.13 プログラム/プログラムベリファイフロー

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

### 32 バイト書き込みのプログラム例

ウェイト時間の設定値 (ループ回数) は、 $f=28.7\text{MHz}$  時の値です。異なる周波数の場合は、ウェイト時間  $(\mu\text{s}) \times f (\text{MHz}) \div 4$  で求めてください。

#### 使用レジスタと使用方法

- R4 (入力) : 書き込みデータ格納アドレス
- R5 (入力) : 書き込み先アドレス
- R7 (出力) : OK (正常) or NG (異常)
- R0-3, 8-13 : ワーク

```
FLMCR1      .EQU  H'80
FLMCR2      .EQU  H'81
OK          .EQU  H'0
NG          .EQU  H'1
Wait10u     .EQU  72
Wait50u     .EQU  359
Wait4u      .EQU  29
Wait2u      .EQU  14
Wait200u    .EQU  1435
WDT_TCSR    .EQU  H'FFFF8610
WDT_573u    .EQU  H'A579
SWESET      .EQU  B'01000000
PSU1SET     .EQU  B'00010000
P1SET       .EQU  B'00000001
P1CLEAR     .EQU  B'11111110
PSU1CLEAR   .EQU  B'11101111
PVSET       .EQU  B'00000100
PVCLEAR     .EQU  B'11111011
SWECLEAR    .EQU  B'10111111
MAXVerify   .EQU  1000
;
FlashProgram .EQU  $
    MOV     #H'01,R2          ; R2 ワークレジスタ(1)
    MOV.L   #PdataBuff,R0    ; 書き込みデータをワークエリアへ退避
    MOV     R4,R12
    MOV     #8,R13
COPY_LOOP   .EQU  $
    MOV.L   @R12+,R1
    MOV.L   R1,@R0
    ADD.L   #4,R0
    ADD.L   #-1,R13
```

```

    CMP/PL R13
    BT     COPY_LOOP
    MOV.L  #H'FFFF8500,R0      ; GBR を初期化
    LDC   R0,GBR
;
    MOV.L  #Wait10u,R3
    MOV.L  #FLMCR1,R0         ; R0 を FLCMR1 のアドレスに初期化
    OR.B   #SWESET,@(R0,GBR) ; SWE をセット
Wait_1  SUBC  R2,R3           ; 10us ウェイト
    BF     Wait_1
;
    MOV.L  #H'20000,R9
    CMP/GT R5,R9
    BT     Program_Start
    MOV.L  #FLMCR2,R0
Program_Start .EQU  $
    MOV.L  #0,R9              ; n(R9)を 0 で初期化
;
Program_loop .EQU  $
    MOV.L  #0,R10             ; m(R10)を 0 で初期化
    MOV.L  #32,R3             ; 32 バイトデータを連続ライト
    MOV.L  #PdataBuff,R12
    MOV.L  R5,R13
Write_Loop .EQU  $
    MOV.B  @R12+,R1
    MOV.B  R1,@R13
    ADD.L  #1,R13
    ADD.L  #-1,R3
    CMP/PL R3
    BT     Write_Loop
;
    MOV.L  #WDT_TCSR,R1       ; WDT イネーブル
    MOV.W  #WDT_573u,R3       ; 573.4us 周期
    MOV.W  R3,@R1
;
    MOV.L  #Wait50u,R3
    OR.B   #PSU1SET,@(R0,GBR) ; PSU をセット
Wait_2  SUBC  R2,R3           ; 50us ウェイト
    BF     Wait_2

```

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

```
;
    MOV.L #Wait200u,R3
    OR.B #P1SET,@(R0,GBR) ; P をセット
Wait_3 SUBC R2,R3 ; 200us ウェイト
    BF Wait_3
;
    MOV.L #Wait10u,R3
    AND.B #P1CLEAR,@(R0,GBR) ; P をクリア
Wait_4 SUBC R2,R3 ; 10us ウェイト
    BF Wait_4
;
    MOV.L #Wait10u,R3
    AND.B #PSU1CLEAR,@(R0,GBR) ; PSU をクリア
Wait_5 SUBC R2,R3 ; 10us ウェイト
    BF Wait_5
;
    MOV.L #WDT_TCSR,R1 ; WDT デイスエーブル
    MOV.W #H'A55F,R3
    MOV.W R3,@R1
;
    MOV.L #Wait4u,R3
    OR.B #PVSET,@(R0,GBR) ; PV をセット
Wait_6 SUBC R2,R3 ; 4us ウェイト
    BF Wait_6
;
    MOV.L #PdataBuff,R3
    MOV.L R4,R1
    MOV.L R5,R12
    MOV.L #8,R13
    MOV.L #H'FFFFFFFF,R11
;
VerifyLoop .EQU $
    MOV.L R11,@R12 ; ベリファイアドレスに H'FF をライト
    MOV.L R11,@R3 ; 再書き込みデータ RAM(PdataBuff) の初期化
    MOV.L #Wait2u,R7
Wait_7 SUBC R2,R7 ; 2us ウェイト
    BF Wait_7
;
    MOV.L @R12+,R7
```



```

MOV.L  @R1+,R8
CMP/EQ R7,R8          ; ベリファイ
BT     Verify_OK
MOV.L  #1,R10         ; ベリファイ NG m<-1
XOR    R8,R7          ; 書き込みデータ演算
NOT    R7,R7
OR     R7,R8
MOV.L  R8,@R3         ; 再書き込みデータ RAM(PdataBuff)へ格納
Verify_OK .EQU      $
ADD.L  #4,R3
ADD.L  #-1,R13
CMP/PL R13
BT     VerifyLoop
;
MOV.L  #Wait4u,R7
AND.B  #PVCLEAR,@(R0,GBR) ; PVをクリア
Wait_8 SUBC   R2,R7      ; 4us ウェイト
BF     Wait_8
;
CMP/PL R10            ; if m=0 then GOTO Program_OK
BF     Program_OK
ADD    #1,R9
MOV.L  #NG,R7         ; R7<-NG(リターン値)
MOV.L  #MAXVerify,R12 ; if n>=MAXVerify then Program NG
CMP/EQ R9,R12
BT     Program_end
BRA   Program_loop
NOP
Program_OK .EQU      $
MOV.L  #OK,R7         ; R7<-OK(リターン値)
Program_end .EQU     $
MOV.B  #H'00,R0
MOV.B  R0,@(FLMCR1,GBR) ; SWEをクリア
;
RTS
NOP
;
.ALIGN 4
PdataBuff .RES.B 32

```

### 18.7.3 イレースモード

フラッシュメモリの消去は 1 ブロック毎に、図 18.14 に示すイレース/イレースベリファイフロー (単一ブロック消去) チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、10 $\mu$ s 以上の時間が経過してから、ブロック指定レジスタ 1 (EBR1) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は 9.2ms に設定してください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、200 $\mu$ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は 5ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリのデータをすべて 0 にする) を行う必要はありません。

### 18.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを解除後、10 $\mu$ s 以上の時間が経過してから ESU ビットを解除) し、ウォッチドッグタイマを 10 $\mu$ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 20 $\mu$ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 32 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 $\mu$ s 置いてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が 60 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、5 $\mu$ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

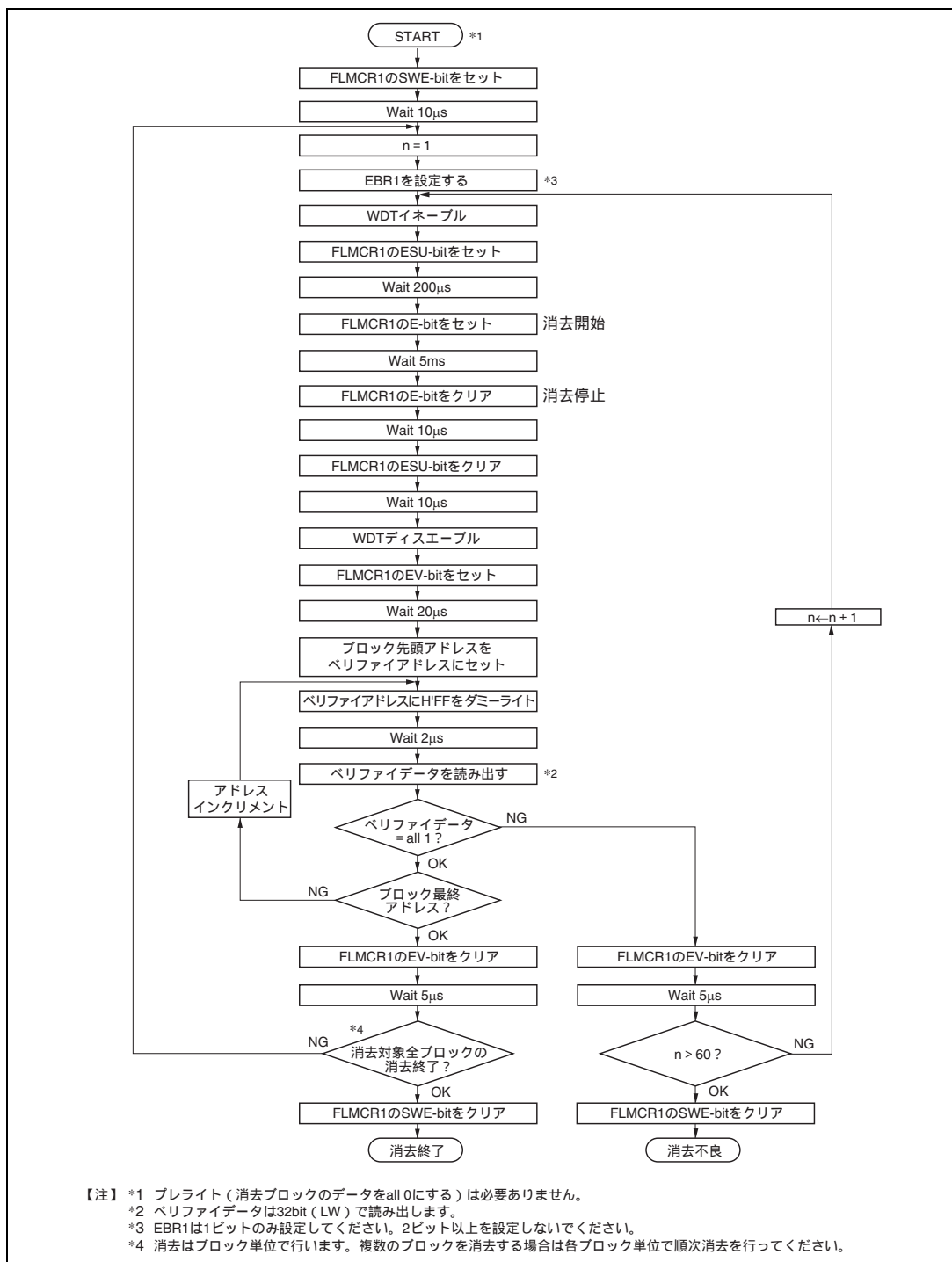


図 18.14 イレース/イレースペリファイフロー（単一ブロック消去）

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

### 1 ブロック消去のプログラム例

ウェイト時間の設定値 (ループ回数) は、 $f=28.7\text{MHz}$  時の値です。異なる周波数の場合は、ウェイト時間 ( $\mu\text{s}$ )  $\times f (\text{MHz}) \div 4$  で求めてください。WDT のオーバフロー周期の設定値は、 $f=28.7\text{MHz}$  時の値です。異なる周波数の場合は、オーバフロー周期が  $5.3\text{ms}$  以上で最小になるようにしてください。

### 使用レジスタと使用方法

R5 (入力)	: メモリブロックテーブルポインタ
R7 (出力)	: OK (正常) or NG (異常)
R0-3, 6, 8-9	: ワーク

```
FLMCR1      .EQU      H'80
FLMCR2      .EQU      H'81
EBR1        .EQU      H'82
EBR2        .EQU      H'83
Wait10u     .EQU      72
Wait2u      .EQU      14
Wait200u    .EQU      1435
Wait5m      .EQU      35875
Wait20u     .EQU      144
Wait5u      .EQU      36
WDT_TCSR    .EQU      H'FFFF8610
WDT_9m      .EQU      H'A57D
SWESET      .EQU      B'01000000
ESUSET      .EQU      B'00100000
ESET        .EQU      B'00000010
ECLEAR      .EQU      B'11111101
ESUCLEAR    .EQU      B'11011111
EVSET       .EQU      B'00001000
EVCLEAR     .EQU      B'11110111
SWECLEAR    .EQU      B'10111111
MAXErase    .EQU      60
;
FlashErase  .EQU      $
    MOV.L   #H'FFFF8500,R0
    LDC     R0,GBR                ; GBR 初期化
    MOV.L   #1,R2
;
    MOV.L   #Wait10u,R3
    MOV.L   #FLMCR1,R0
```

## 18. 128KB フラッシュメモリ (F-ZTAT)

```

        OR.B      #SWESET,@(R0,GBR)          ; SWE のセット
EWait_1 SUBC    R2,R3                        ; 10us ウェイト
        BF      EWait_1
;
        MOV.L    #0,R9                      ; n(R9) を 0 で初期化
;
        MOV.B    @(6,R5),R0
        MOV.B    R0,@(EBR1,GBR)            ; 消去メモリブロック (EBR1) のセット
        MOV.B    @(7,R5),R0
        MOV.B    R0,@(EBR2,GBR)            ; 消去メモリブロック (EBR2) のセット
;
        MOV.L    #FLMCR1,R0
        MOV.L    @R5,R6                    ; 消去メモリブロック先頭アドレス->R6
        MOV.L    #H'020000,R7
        CMP/GT   R6,R7
        BT      EraseLoop
        MOV.L    #FLMCR2,R0
;
EraseLoop .EQU    $
        MOV.L    #WDT_TCSR,R1              ; WDT イネーブル
        MOV.W    #WDT_9m,R3               ; 9.2ms 周期
        MOV.W    R3,@R1
;
        MOV.L    #Wait200u,R3
        OR.B     #ESUSET,@(R0,GBR)        ; ESU のセット
EWait_2 SUBC    R2,R3                        ; 200us ウェイト
        BF      EWait_2
;
        MOV.L    #Wait5m,R3
        OR.B     #ESET,@(R0,GBR)          ; E のセット
EWait_3 SUBC    R2,R3                        ; 5ms ウェイト
        BF      EWait_3
;
        MOV.L    #Wait10u,R3
        AND.B    #ECLER,@(R0,GBR)        ; E のクリア
EWait_4 SUBC    R2,R3                        ; 10us ウェイト
        BF      EWait_4
;
        MOV.L    #Wait10u,R3

```

## 18. 128KB フラッシュメモリ (F-ZTAT)

---

```

        AND.B    #ESUCLEAR,@(R0,GBR)           ; ESU のクリア
EWait_5 SUBC    R2,R3                          ; 10us ウェイト
        BF      EWait_5

;

        MOV.L   #WDT_TCSR,R1                  ; WDT ディスエーブル
        MOV.W   #H'A55F,R3
        MOV.W   R3,@R1

;

        MOV.L   #Wait20u,R3
        OR.B    #EVSET,@(R0,GBR)            ; EV のセット
EWait_6 SUBC    R2,R3                          ; 20us ウェイト
        BF      EWait_6

;

        MOV.L   @R5,R6                        ; 消去メモリブロック先頭アドレス->R6
BlockVerify_1 .EQU    $                       ; 消去ベリファイ
        MOV.L   #H'FFFFFFFF,R8
        MOV.L   R8,@R6                        ; H'FF をダミーライト
        MOV.L   #Wait2u,R3
EWait_7 SUBC    R2,R3
        BF      EWait_7

;

        MOV.L   @R6+,R1                       ; ベリファイデータリード
        CMP/EQ  R8,R1
        BF      BlockVerify_NG
        MOV.L   @(8,R5),R7
        CMP/EQ  R6,R7                          ; メモリブロックの終了アドレスチェック
        BF      BlockVerify_1
        MOV.L   #Wait5u,R3
        AND.B   #EVCLEAR,@(R0,GBR)          ; EV のクリア
EWait_8 SUBC    R2,R3                          ; 5us ウェイト
        BF      EWait_8

;

        MOV.L   #OK,R7                        ; R7<-OK(リターン値)
        BRA     FlashErase_end              ; ベリファイ OK
        NOP

;

BlockVerify_NG .EQU    $
        ADD.L   #1,R9                          ; ベリファイ NG n <- n+1
        MOV.L   #Wait5u,R3

```

```

        AND.B    #EVCLEAR,@(R0,GBR)                ; EV のクリア
EWait_9 SUBC    R2,R3                              ; 5us ウェイト
        BF      EWait_9
        MOV.L   #MAXErase,R7                      ; if n > MAXErase then 消去 NG
        CMP/EQ  R7,R9
        BF      EraseLoop
        MOV.L   #NG,R7                            ; R7<-NG(リターン値)
FlashErase_end .EQU    $
        MOV.L   #FLMCR1,R0
        AND.B   #SWECLEAR,@(R0,GBR)              ; SWE のクリア
;
        RTS
        NOP
;
; メモリブロックテーブル メモリブロック先頭アドレス : EBR 値
        .ALIGN 4
Flash_BlockData .EQU    $
EB0     .DATA.L H'00000000,H'00000100
EB1     .DATA.L H'00008000,H'00000200
EB2     .DATA.L H'00010000,H'00000400
EB3     .DATA.L H'00018000,H'00000800
EB4     .DATA.L H'00020000,H'00000001
EB5     .DATA.L H'00028000,H'00000002
EB6     .DATA.L H'00030000,H'00000004
EB7     .DATA.L H'00038000,H'00000008
EB8     .DATA.L H'0003F000,H'00000010
EB9     .DATA.L H'0003F400,H'00000020
EB10    .DATA.L H'0003F800,H'00000040
EB11    .DATA.L H'0003FC00,H'00000080
Dummy   .DATA.L H'00040000

```

## 18.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

### 18.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1) およびブロック指定レジスタ1 (EBR1) の設定は初期化されます。エラープロテクト状態では、FLMCR1、EBR1 の設定は保持します。(表 18.8 参照)

表 18.8 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWP 端子プロテクト	<ul style="list-style-type: none"> <li>FWP 端子にローレベルが入力されているときには、FLMCR1、EBR1 は初期化され、書き込み/消去プロテクト状態になります。</li> </ul>		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> <li>リセット(WDT のオーバフローリセットも含む)およびスタンバイ時は、FLMCR1、EBR1 は初期化され、書き込み/消去プロテクト状態になります。</li> <li>RES 端子によるパワーオンリセットでは、電源投入後発振が安定するまで RES 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子をローレベルに保持してください。</li> </ul>		

### 18.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ1 (EBR1)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 18.9 参照)

表 18.9 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> <li>FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。)</li> </ul>		
ブロック指定プロテクト	<ul style="list-style-type: none"> <li>ブロック指定レジスタ1 (EBR1) の設定により、ブロック毎に消去プロテクトが可能。</li> <li>EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。</li> </ul>	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> <li>RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。</li> </ul>		



### 18.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、EBR1の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PVビット、EVビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき(ベクトリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中にSLEEP命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、パワーオンリセットのみで行われます。

図18.15にフラッシュメモリの状態遷移図を示します。

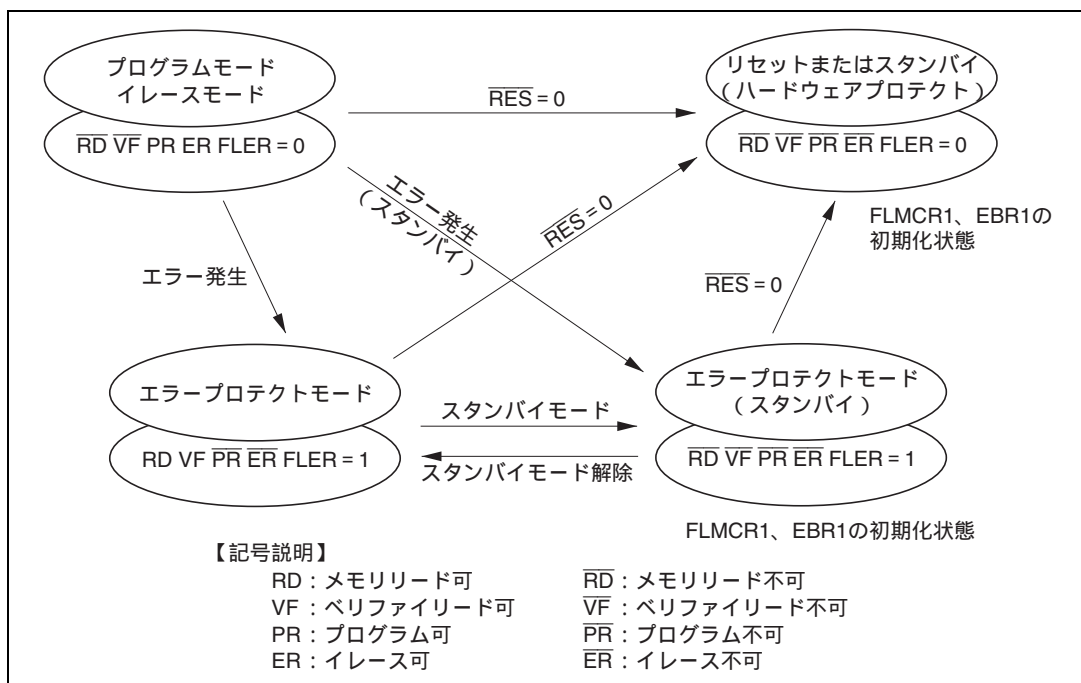


図 18.15 フラッシュメモリの状態遷移図

## 18.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 18.16 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

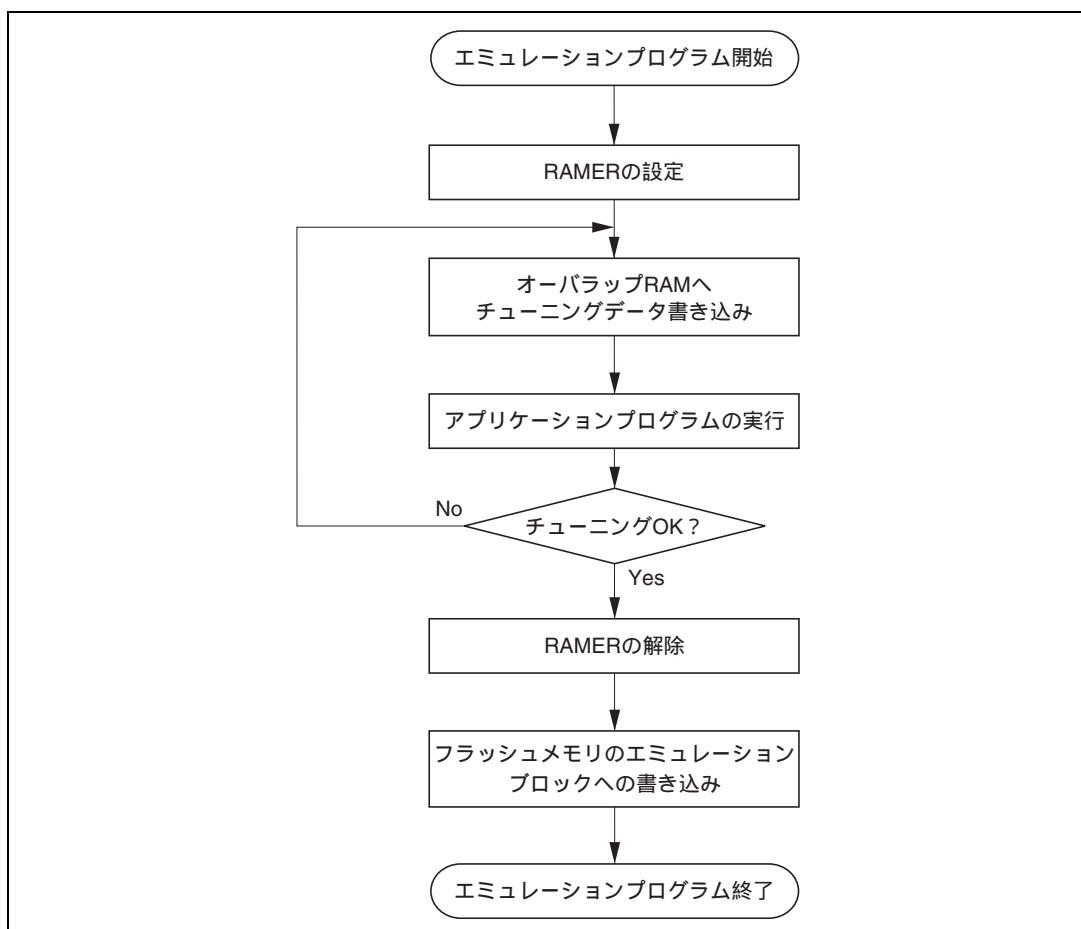


図 18.16 RAM によるエミュレーションフロー

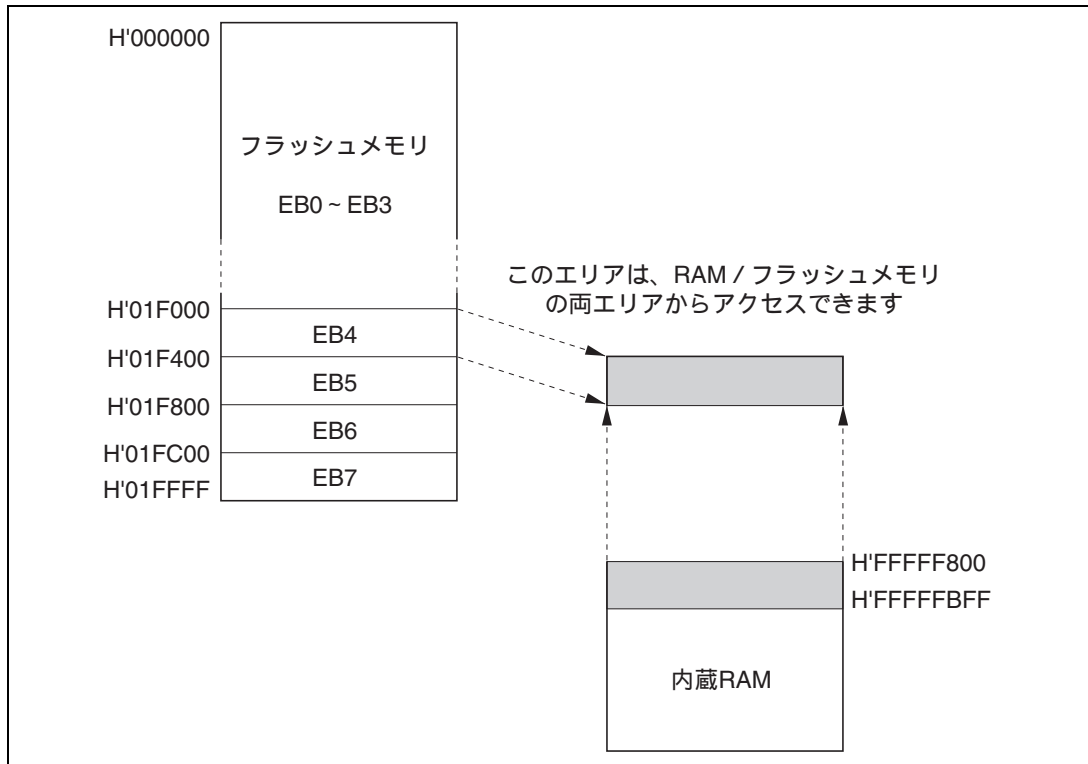


図 18.17 RAM のオーバーラップ動作例

## フラッシュメモリのブロックエリア (EB4) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB4) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM1、RAM0ビットを1、0、0に設定してください。
- リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB4) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM1、RAM0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビット、E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
  - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

## 18.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード (ブートモード、ユーザプログラムモード) 時は、書き込み / 消去動作 (RAM エミュレーションを含む) を最優先とするため、NMI の入力を禁止してください。

## 18.11 フラッシュメモリのライターモード

プログラム / データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子を PLL×2 モード (表 18.10 参照) に設定し、入力クロックとして 6MHz を入力してください。これにより、本 LSI は 12MHz で動作します。

表 18.9 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.2 端子一覧」を参照してください。

表 18.10 ライターモードの端子設定方法

端子名	設定
モード端子 : MD3 ~ MD0	1101 (PLL×2)
FWE 端子	ハイレベルを入力 (自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLL <sub>V<sub>cc</sub></sub> 、PLL <sub>V<sub>ss</sub></sub> 端子	発振回路

【注】 ライターモード時は、FWP 端子は極性反転し、FWE (フラッシュライトイネーブル) 端子になります。

### 18.11.1 ソケットアダプタの端子対応図

図 18.19 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32 ピンにピン変換することができます。内蔵 ROM マップを図 18.18 に、ソケットアダプタの端子対応図を図 18.19 に示します。

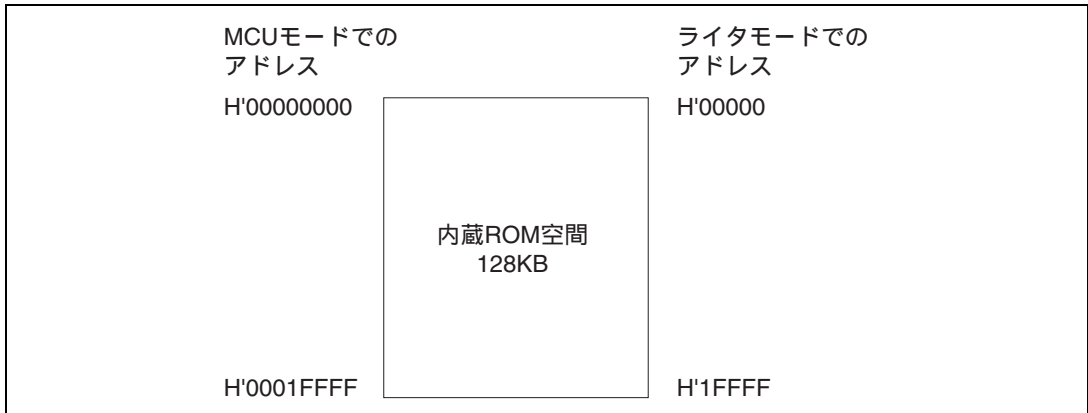


図 18.18 内蔵 ROM マップ

18. 128KB フラッシュメモリ (F-ZTAT)

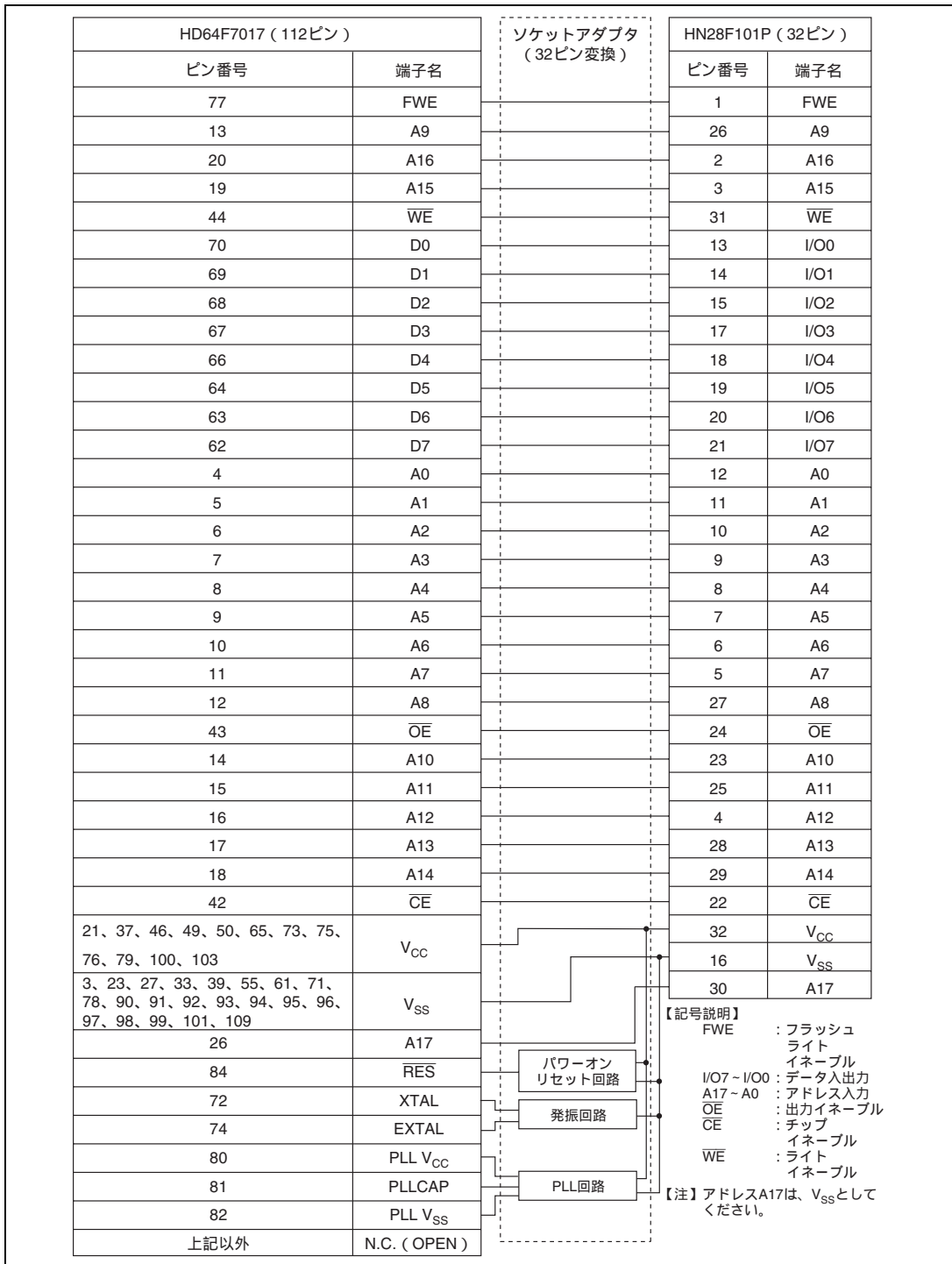


図 18.19 ソケットアダプタの端子対応図 (SH7017 : FP-112)

### 18.11.2 ライタモードの動作

表 18.11 にライタモード時の各動作モードの設定方法、表 18.12 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

#### メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

#### 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

#### 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

#### ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 の信号を読み出すことで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 18.11 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	OE	OE	WE	I/O7 ~ I/O0	A17 ~ A0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-Z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-Z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
  2. \*Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
  3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 18.12 ライタモード時の各コマンド

コマンド名	サイクル	第 1 サイクル			第 2 サイクル		
	数	モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
  2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

## 18.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 18.13 メモリ読み出しモード時の AC 特性

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$ 

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
CE ホールド時間	$t_{ceh}$	0		ns	
CE セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
WE 立ち上がり時間	$t_r$	30		ns	
WE 立ち下がり時間	$t_f$	30		ns	

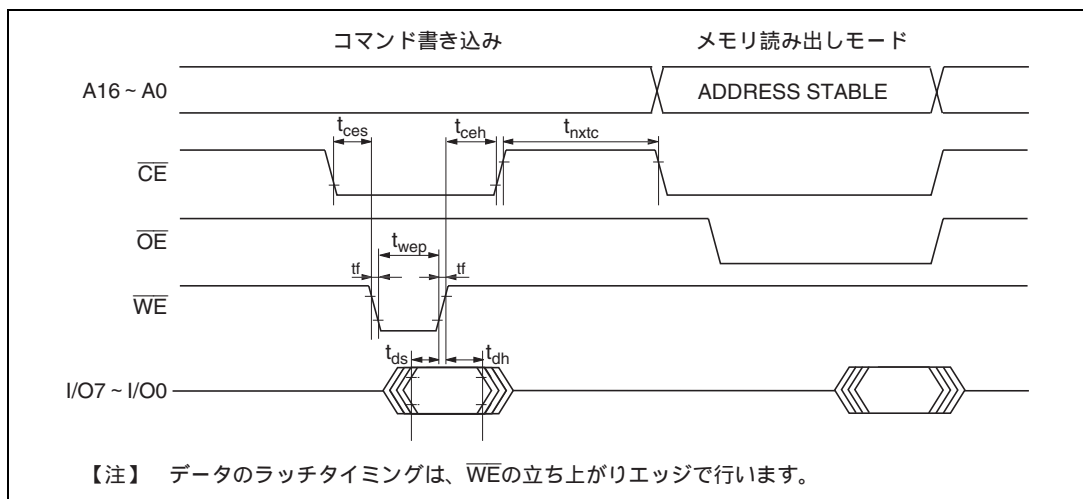


図 18.20 コマンド書き込み後メモリ読み出しタイミング波形



表 18.14 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$ 

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu\text{s}$	
CE ホールド時間	$t_{ceh}$	0		ns	
CE セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
WE 立ち上がり時間	$t_r$		30	ns	
WE 立ち下がり時間	$t_f$		30	ns	

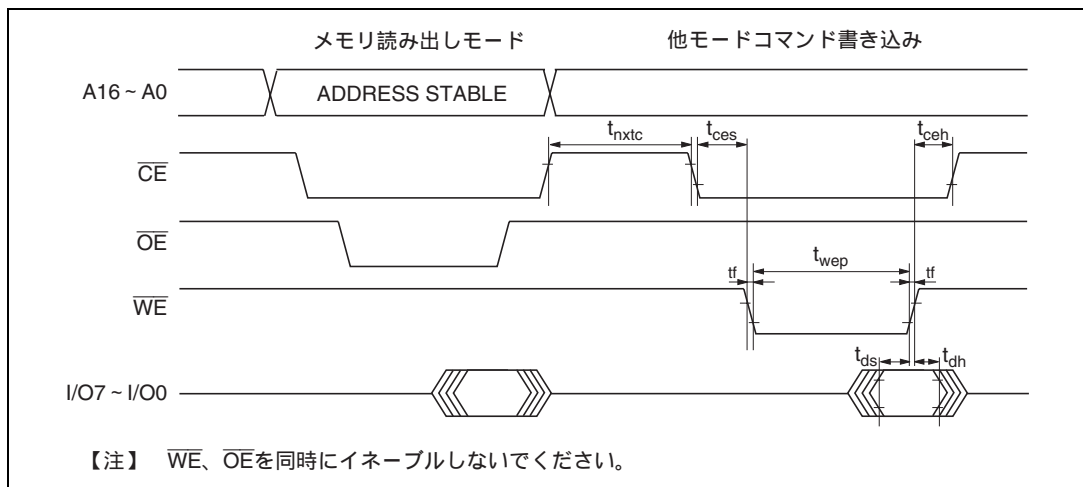


図 18.21 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

18. 128KB フラッシュメモリ (F-ZTAT)

表 18.15 メモリ読み出しモード時の AC 特性

条件 :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	特記
アクセス時間	$t_{acc}$		20	$\mu s$	
$\overline{CE}$ 出力遅延時間	$t_{ce}$		150	ns	
$\overline{OE}$ 出力遅延時間	$t_{oe}$		150	ns	
出力ディスエーブル遅延時間	$t_{df}$		100	ns	
データ出力ホールド時間	$t_{oh}$	5		ns	

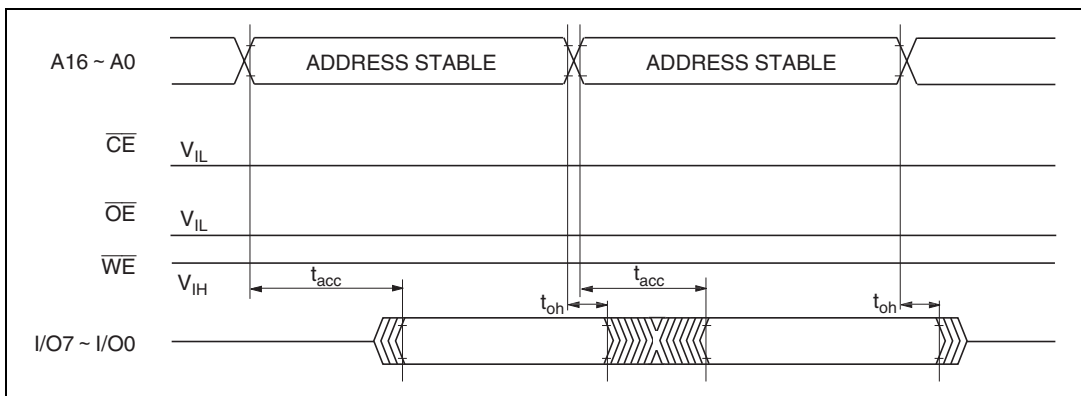


図 18.22  $\overline{CE}$ 、 $\overline{OE}$  イネーブル状態リード時のタイミング波形

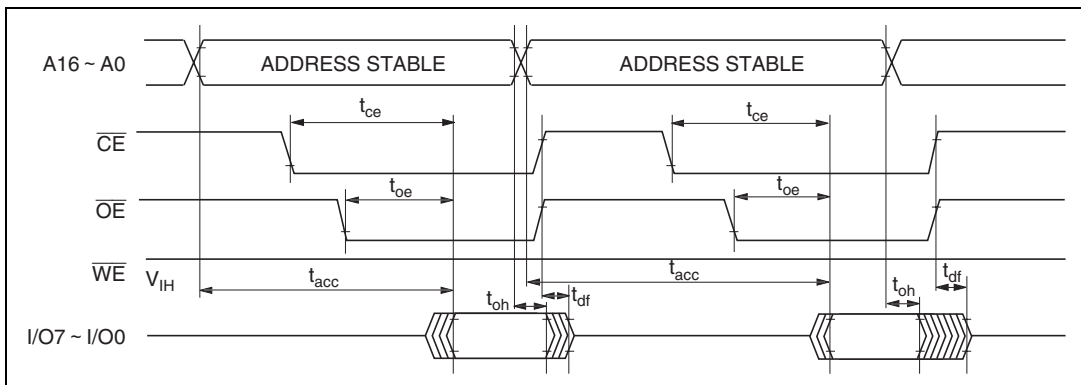


図 18.23  $\overline{CE}$ 、 $\overline{OE}$  クロック方式リード時のタイミング波形

## 18.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位8ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図18.24)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、CE、 $\overline{OE}$ をイネーブルにすることにより読み出し可能となります。

表 18.16 自動書き込みモード時の AC 特性

条件 :  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$ 

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
CE ホールド時間	$t_{ceh}$	0		ns	
CE セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
ステータスポーリング開始時間	$t_{wsta}$	1		ms	
ステータスポーリングアクセス時間	$t_{spa}$		150	ns	
アドレスセットアップ時間	$t_{as}$	0		ns	
アドレスホールド時間	$t_{ah}$	60		ns	
メモリ書き込み時間	$t_{write}$	1	3000	ms	
書き込みセットアップ時間	$t_{pns}$	100		ns	
書き込み終了セットアップ時間	$t_{pinh}$	100		ns	
WE 立ち上がり時間	$t_r$		30	ns	
WE 立ち下がり時間	$t_f$		30	ns	

## 18. 128KB フラッシュメモリ (F-ZTAT)

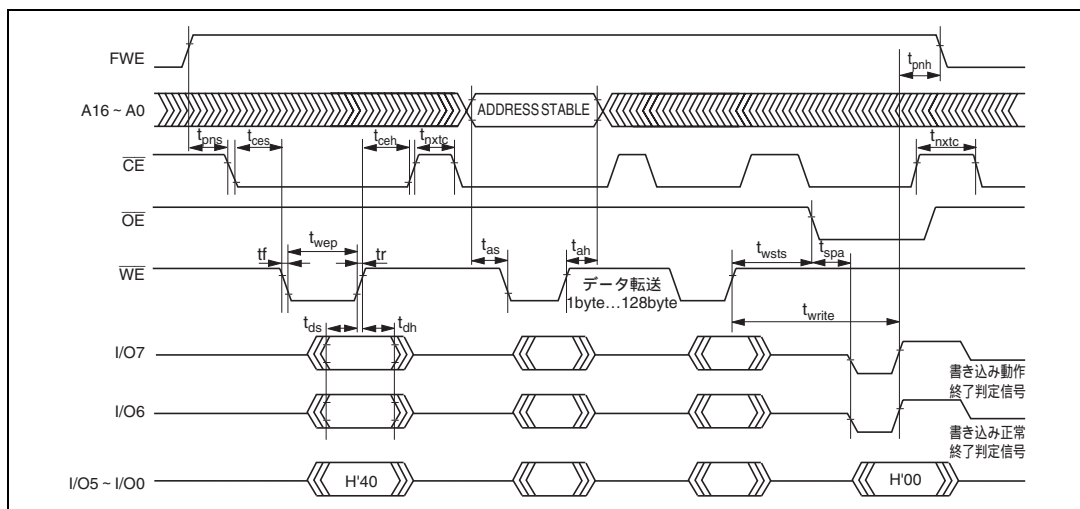


図 18.24 自動書き込みモードのタイミング波形

### 18.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{CE}$ 、 $\overline{OE}$ をイネーブルにすることにより読み出し可能となります。

表 18.17 自動消去モード時の AC 特性

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
ステータスポーリング開始時間	$t_{ests}$	1		ms	
ステータスポーリングアクセス時間	$t_{spa}$		150	ns	
メモリ消去時間	$t_{grase}$	100	40000	ms	
消去セットアップ時間	$t_{ens}$	100		ns	
消去終了セットアップ時間	$t_{enh}$	100		ns	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

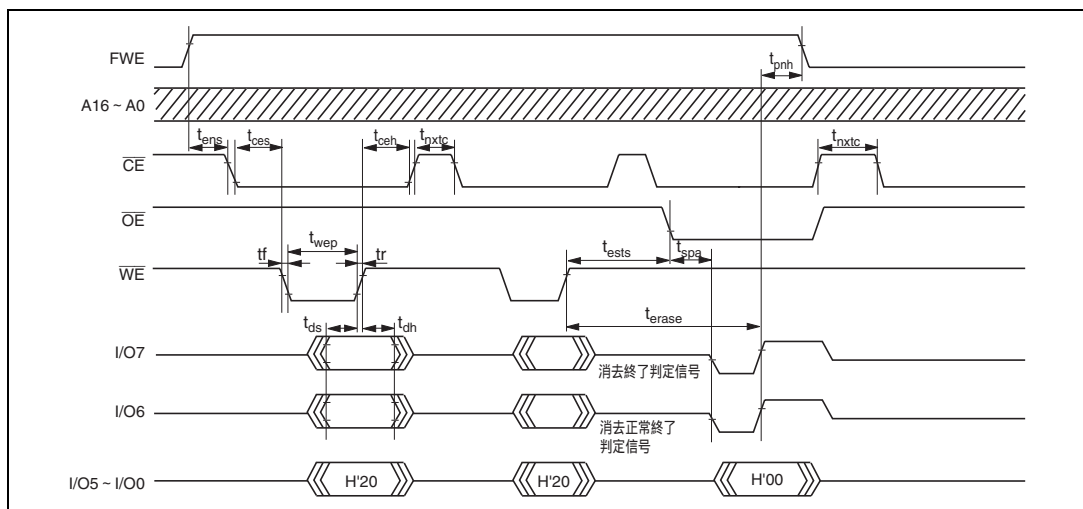


図 18.25 自動消去モードのタイミング波形

### 18.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 18.18 ステータス読み出しモード時の AC 特性

条件:  $V_{cc}=5.0V \pm 10\%$ 、 $V_{ss}=0V$ 、 $T_a=25 \pm 5$ 

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	$t_{strd}$	20		$\mu s$	
CE ホールド時間	$t_{ceh}$	0		ns	
CE セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
OE 出力遅延時間	$t_{oe}$		150	ns	
ディスエーブル遅延時間	$t_{df}$		100	ns	
CE 出力遅延時間	$t_{ce}$		150	ns	
WE 立ち上がり時間	$t_r$		30	ns	
WE 立ち下がり時間	$t_f$		30	ns	



### 18.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 18.21 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除 (発振安定時間)	$t_{osc1}$	10		ms	
ライタモードセットアップ時間	$t_{bmV}$	10		ms	
$V_{CC}$ ホールド時間	$t_{dwn}$	0		ms	

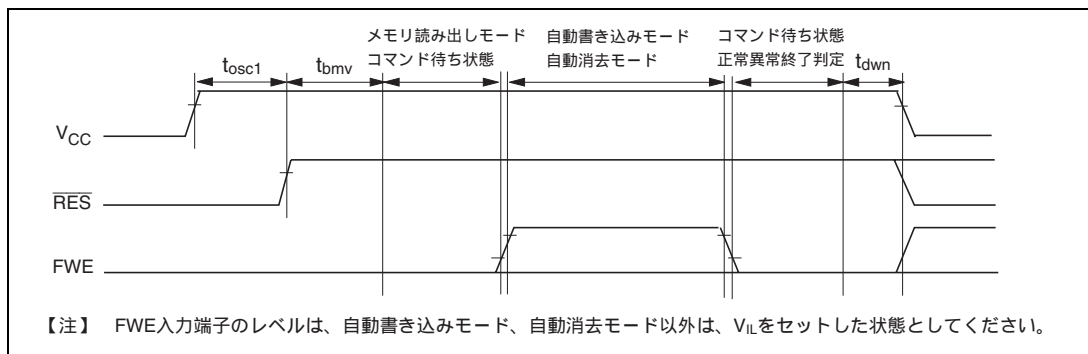


図 18.27 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

### 18.11.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。
  2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。





---

## 19. マスク ROM

---

### 19.1 概要

本 LSI は、64K および、128K バイトのマスク ROM を内蔵しています。内蔵 ROM は、32 ビット幅のデータバスを介して、CPU とダイレクトメモリアクセスコントローラ (DMAC) に接続されています (図 19.1、図 19.2)。CPU、DMAC は 8、16 または 32 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

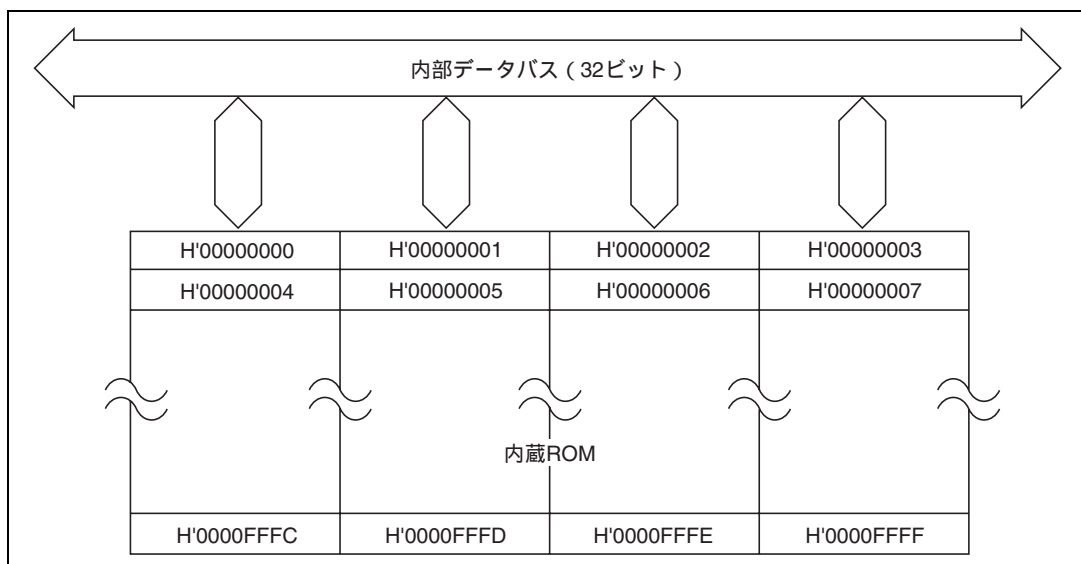


図 19.1 マスク ROM のブロック図 (64K バイト版)

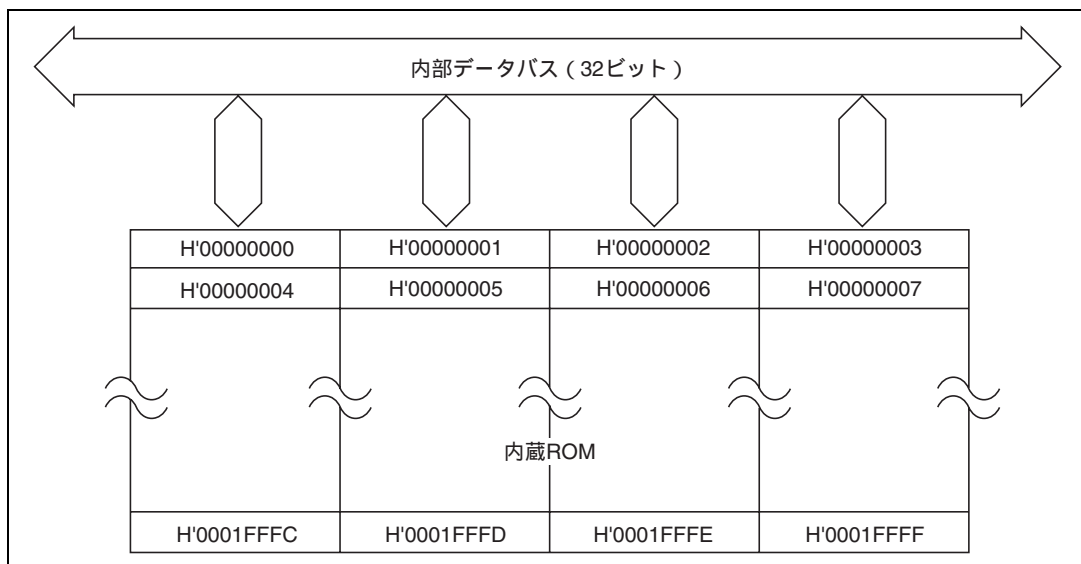


図 19.2 マスク ROM のブロック図 (128K バイト版)

内蔵 ROM は、動作モードによって有効が無効が決まります。動作モードは、表 19.1 のようにモード設定端子 MD3～MD0 で選びます。内蔵 ROM を使う場合にはモード 2 かモード 3 を、使わない場合にはモード 0 かモード 1 を選んでください。内蔵 ROM は、メモリアリア 0 のアドレス H'00000000～H'0000FFFF (64KB 版)、H'00000000～H'0001FFFF (128KB 版) に割り付けられています。

表 19.1 動作モードと ROM

動作モード	モード設定端子				エリア 0
	MD3	MD2	MD1	MD0	
モード 0 (MCU モード 0)	*	*	0	0	内蔵 ROM 無効、外部 8 ビット空間
モード 1 (MCU モード 1)	*	*	0	1	内蔵 ROM 無効、外部 16 ビット空間
モード 2 (MCU モード 2)	*	*	1	0	内蔵 ROM 有効、外部空間あり (バス幅設定はバスステートコントローラで行う)
モード 3 (MCU モード 3)	*	*	1	1	内蔵 ROM 有効 シングルチップモード

## 【記号説明】

- 0 : ローレベル
- 1 : ハイレベル

【注】 \* 「第 3 章 動作モード」を参照してください。

## 20. RAM

### 20.1 概要

SH7014/16 は 3K バイト、SH7017 は 4K バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU、ダイレクトメモリアクセスコントローラ (DMAC) に接続されており (図 20.1)、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。DMAC は 8 または 16 ビット幅でアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモード、スタンバイモードでは保持されます。

内蔵 RAM は、メモリアreaのアドレス H'FFFFFF000 ~ H'FFFFFFBFF (SH7014/16)、H'FFFFFF000 ~ H'FFFFFFFFF (SH7017) に割り付けられています。

内蔵 RAM はキャッシュと兼用しています。キャッシュ使用時は、SH7014/16 の内蔵 RAM 容量は 1K バイト、SH7017 の場合は 2K バイトになります。キャッシュについては「第 7 章 キャッシュメモリ (CAC)」を参照してください。

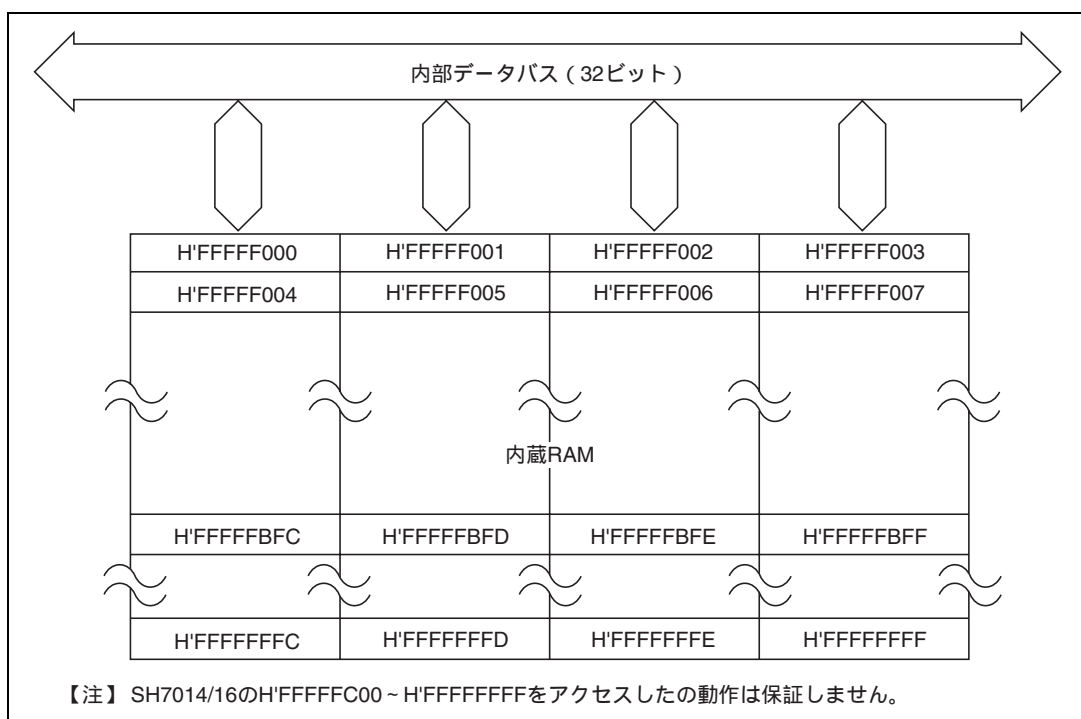


図 20.1 RAM のブロック図



## 21. 低消費電力状態

### 21.1 概要

低消費電力状態では、CPU が機能を停止します。これによって、本 LSI の消費電力を著しく低減させることができます。

#### 21.1.1 低消費電力状態の種類

低消費電力状態には、次の 2 種類のモードがあります。

- (1) スリープモード
- (2) スタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺機能などの状態、各モードの解除方法について、表 21.1 に示します。

表 21.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPU レジスタ	RAM	I/O ポート	
スリープ	SBYCR の SBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	動作	保持	保持	保持	1) 割り込み 2) DMA アドレスエラー 3) パワーオンリセット
スタンバイ	SBYCR の SBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	停止*1	保持	保持	保持 またはハイインピーダンス*2	1) NMI 割り込み 2) パワーオンリセット

#### 【記号説明】

SBYCR : スタンバイコントロールレジスタ

SBY : スタンバイビット

【注】 \*1 内蔵周辺モジュールのレジスタの中には、スタンバイモードによって初期化されるものとされないものがあります。表 21.3 を参照してください。また、各周辺モジュールの「レジスタの説明」の項も参照してください。

\*2 スタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で設定します。「21.2 スタンバイコントロールレジスタ (SBYCR)」を参照してください。I/O ポート以外の端子状態は、「付録 C. 端子状態」を参照してください。

#### 21.1.2 関連レジスタ

低消費電力状態を制御するため、表 21.2 に示すレジスタがあります。

表 21.2 関連レジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF8614	8、16、32

## 21.2 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SBY	HIZ						
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W						

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移とスタンバイモード時のポート状態を設定します。SBYCR は、リセットで H'1F に初期化されます。

### ビット 7: スタンバイ (SBY)

スタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SBY ビットは 1 にセットできません。スタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SBY ビットをセットしてください。

ビット 7	説明
SBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、スタンバイモードへ遷移

### ビット 6: ポートハイインピーダンス (HIZ)

スタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにしたいときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	スタンバイモード時に、端子状態を保持する (初期値)
1	スタンバイモード時に、端子状態をハイインピーダンスにする

### ビット 5~0: 予約ビット

ビット 5 を読み出すと常に 0 が読み出されます。ビット 5 に書き込む値も必ず 0 にしてください。ビット 4~0 への書き込みは 1 にしてください。また、読み出すと常に 1 が読み出されます。

## 21.3 スリープモード

### 21.3.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) が 0 の状態で、SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

### 21.3.2 スリープモードの解除

スリープモードは、割り込み、DMAC アドレスエラー、パワーオンリセットによって解除されません。

#### (1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

#### (2) DMAC アドレスエラーによる解除

DMAC アドレスエラーが発生すると、スリープモードが解除され、DMAC アドレスエラー例外処理が実行されます。

#### (3) パワーオンリセットによる解除

$\overline{\text{RES}}$  端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

## 21.4 スタンバイモード

### 21.4.1 スタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられているかぎり保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 21.3)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については、「付録 C. 端子状態」を参照してください。

表 21.3 スタンバイモードでのレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
割り込みコントローラ (INTC)	-	全レジスタ	-
キャッシュメモリ (CAC)	-	全レジスタ	-
バスステートコントローラ (BSC)	-	全レジスタ	-
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> <li>DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1)</li> <li>DMA オペレーションレジスタ (DMAOR)</li> </ul>	-	<ul style="list-style-type: none"> <li>DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1)</li> <li>DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1)</li> <li>DMA トランスファカウンタレジスタ 0、1 (DMATCR0、DMATCR1)</li> </ul>
マルチファンクションタイマパルスユニット (MTU)	MTU 関連 全レジスタ	-	-
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> <li>タイマコントロール/ステータスレジスタ (TCSR) のビット 7~5 (OVF、WT/IT、TME)</li> <li>リセットコントロール/ステータスレジスタ (RSTCSR)</li> </ul>	<ul style="list-style-type: none"> <li>タイマコントロール/ステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0)</li> <li>タイマカウンタ (TCNT)</li> </ul>	-



モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> <li>レシーブデータレジスタ (RDR)</li> <li>トランスミットデータレジスタ (TDR)</li> <li>シリアルモードレジスタ (SMR)</li> <li>シリアルコントロールレジスタ (SCR)</li> <li>シリアルステータスレジスタ (SSR)</li> <li>ビットレートレジスタ (BRR)</li> </ul>	-	-
A/D 変換器 (A/D)	全レジスタ	-	-
コンペアマッチタイム (CMT)	全レジスタ	-	-
ピンファンクションコントローラ (PFC)	-	全レジスタ	-
I/O ポート (I/O)	-	全レジスタ	-
低消費電力状態関係	-	スタンバイコントロールレジスタ (SBYCR)	-

## 21.4.2 スタンバイモードの解除

スタンバイモードは、NMI 割り込み、パワーオンリセットによって解除されます。

### (1) NMI 割り込み入力による解除

NMI 信号の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックは、ウォッチドッグタイム (WDT) だけに供給されます。スタンバイモードに遷移する前に WDT のタイムコントロール/ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2~CKS0) に設定しておいた時間が経過すると、WDT オーバフローが発生します。このオーバフロー発生によって、クロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS2~CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子で、スタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でスタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

### (2) パワーオンリセットによる解除

$\overline{\text{RES}}$  端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スタンバイモードは解除されます。

### 21.4.3 スタンバイモードの応用例

NMI 信号の立ち下がりでスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 21.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、スタンバイモードが解除されます。

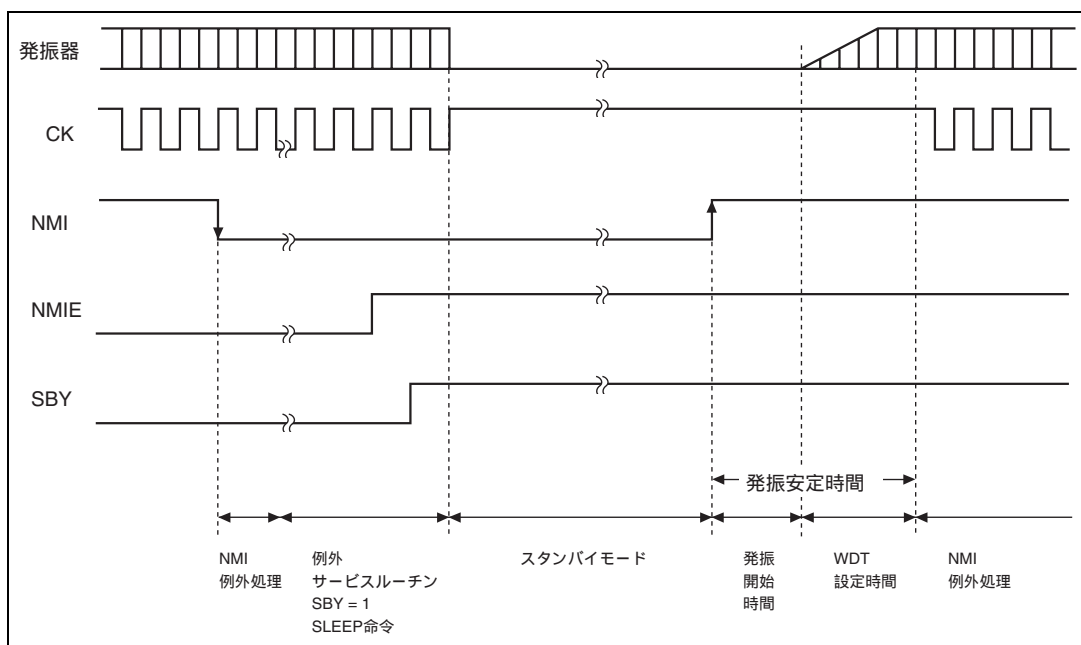


図 21.1 スタンバイモード時の NMI タイミング (応用例)

---

## 22. 電気的特性【5V 28.7MHz 版】

---

### 22.1 絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	-0.3 ~ +7.0	V
入力電圧 (A/D ポート以外)	Vin	-0.3 ~ Vcc+0.3	V
入力電圧 (A/D ポート)	Vin	-0.3 ~ AVcc+0.3	V
アナログ電源電圧	AVcc	-0.3 ~ +7.0	V
アナログ入力電圧	V <sub>AN</sub>	-0.3 ~ AVcc+0.3	V
動作温度	Topr	-20 ~ +75	
書き換え温度 (F-ZTAT 版のみ)	Twe	-20 ~ +75	
保存温度	Tstg	-55 ~ +125	

**【使用上の注意】**

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 22.2 DC 特性

DC 特性を表 22.2 に示します。

表 22.2 DC 特性

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	typ	max	単位	測定条件	
入力ハイ レベル電圧	RES、NMI、 MD3 ~ MD0、 FWP、PA2、 PA5、PA6 ~ PA9、PE0 ~ PE15	VIH	Vcc-0.7	-	Vcc + 0.3	V	
	EXTAL		Vcc × 0.7	-	Vcc + 0.3	V	
	A/D ポート		2.2	-	AVcc + 0.3	V	
	その他の入力端 子		2.2	-	Vcc + 0.3	V	
入力ロー レベル電圧	RES、NMI、 MD3 ~ MD0、 PA2、PA5、 PA6 ~ PA9、 PE0 ~ PE15	VIL	- 0.3	-	0.5	V	
	その他の入力端 子		- 0.3	-	0.8	V	
シュミット トリガ入力 電圧	PA2、PA5、 PA6 ~ PA9	VT+ - VT	0.4	-	-	V	VT+ Vcc - 0.7 ( max )
	PE0 ~ PE15						VT- 0.5 ( min )
入力リーク 電流	RES、NMI、 MD3 ~ MD0、 PA2、PA5、 PA6 ~ PA9、 PE0 ~ PE15	lin	-	-	1.0	μA	Vin = 0.5 ~ Vcc - 0.5V
	A/D ポート						Vin = 0.5 ~ AVcc - 0.5V
	その他の入力端 子						Vin = 0.5 ~ Vcc - 0.5V
スリーステ ートリーク電 流 ( オフ状態 )	A21 ~ A0、 D15 ~ D0、 CS3 ~ CS0、 RDWR、RAS、 CASx、WRx、 RD ポート A、B、 E	ITSI	-	-	1.0	μA	Vin = 0.5 ~ Vcc - 0.5V
出力ハイ レベル電圧	全出力端子	VOH	Vcc - 0.5	-	-	V	IOH = - 200μA
			3.5	-	-	V	IOH = - 1mA
出力ロー レベル電圧	全出力端子	VOL	-	-	0.4	V	IOL = 1.6mA

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	Cin	-	-	80	pF	Vin = 0V、 f = 1 MHz、 Ta = 25
	NMI		-	-	50	pF	
	その他の全入力端子		-	-	20	pF	
消費電流 (SH7014)	通常動作時	Icc	-	130	180	mA	f = 28 MHz
	スリープ時		-	100	150	mA	f = 28 MHz
	スタンバイ時		-	0.01	5	μA	Ta 50
			-	-	20	μA	50 < Ta
消費電流 (SH7016/17)	通常動作時	Icc	-	140	180	mA	f = 28 MHz
	スリープ時		-	110	150	mA	f = 28 MHz
	スタンバイ時		-	0.01	5	μA	Ta 50
アナログ電源電流 (SH7014)		Alcc	-	13	22	mA	50 < Ta
アナログ電源電流 (SH7016/17)		Alcc	-	5	10	mA	
RAM スタンバイ電圧		VRAM	2.0	-	-	V	

## 【使用上の注意】

1. A/D変換器を使用しないとき（スタンバイ時含む）に、AVcc、AVss端子を解放しないでください。AVcc端子はVccに、AVss端子はVssにそれぞれ接続してください。
2. 消費電流値は、VIHmin=Vcc - 0.5V、VILmax=0.5Vの条件で、すべての出力端子を無負荷状態にした場合の値です。
3. F-ZTAT版とマスク版の機能は同じであり、電気的特性はともに規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時およびF-ZTAT版とマスク版の置き換えをする場合は、ご注意ください。

表 22.3 出力許容電流値

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	typ	max	単位
出力ローレベル許容電流（1端子あたり）	IOL	-	-	2.0	mA
出力ローレベル許容電流（総和）	Σ IOL	-	-	80	mA
出力ハイレベル許容電流（1端子あたり）	-IOH	-	-	2.0	mA
出力ハイレベル許容電流（総和）	Σ (-IOH)	-	-	25	mA

【注】 LSIの信頼性を確保するため、出力電流値は表 22.3の値を超えないようにしてください。

## 22.3 AC 特性

### 22.3.1 クロックタイミング

表 22.4 にクロックタイミングを示します。

表 22.4 クロックタイミング

条件 :  $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=V_{CC} \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$

項目	記号	min	max	単位	参照図
動作周波数	fOP	4	28.7	MHz	図 22.1
クロックサイクル時間	t <sub>cyc</sub>	34.8	250	ns	
クロックローレベルパルス幅	t <sub>CL</sub>	10	-	ns	
クロックハイレベルパルス幅	t <sub>CH</sub>	10	-	ns	
クロック立ち上がり時間	t <sub>CR</sub>	-	5	ns	
クロック立ち下がり時間	t <sub>CF</sub>	-	5	ns	
EXTAL クロック入力周波数	fEX	4	10	MHz	図 22.2
EXTAL クロック入力サイクル時間	tEX <sub>cyc</sub>	100	250	ns	
EXTAL クロック入力ローレベルパルス幅	tEX <sub>L</sub>	40	-	ns	
EXTAL クロック入力ハイレベルパルス幅	tEX <sub>H</sub>	40	-	ns	
EXTAL クロック入力立ち上がり時間	tEX <sub>R</sub>	-	5	ns	
EXTAL クロック入力立ち下がり時間	tEX <sub>F</sub>	-	5	ns	図 22.3
リセット発振安定時間	tOSC1	10	-	ms	
スタンバイ復帰発振安定時間	tOSC2	10	-	ms	

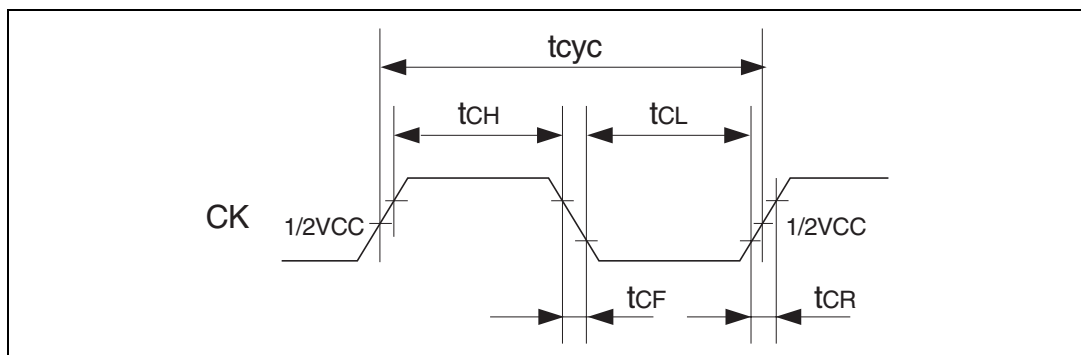


図 22.1 システムクロックタイミング

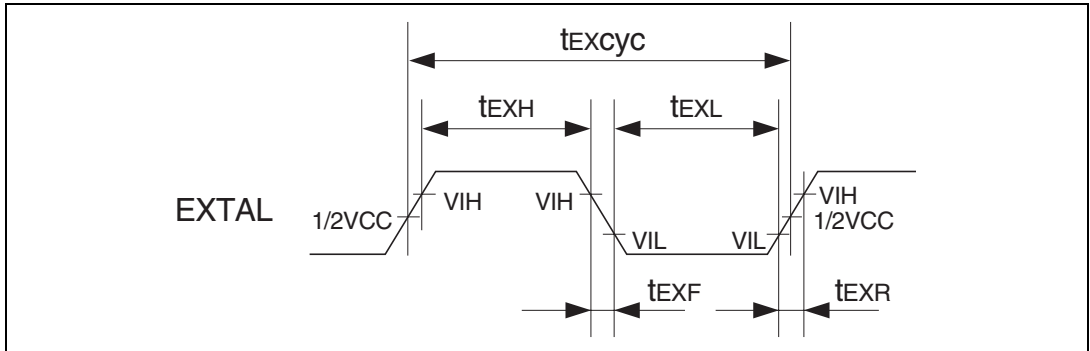


図 22.2 EXTAL クロック入力タイミング

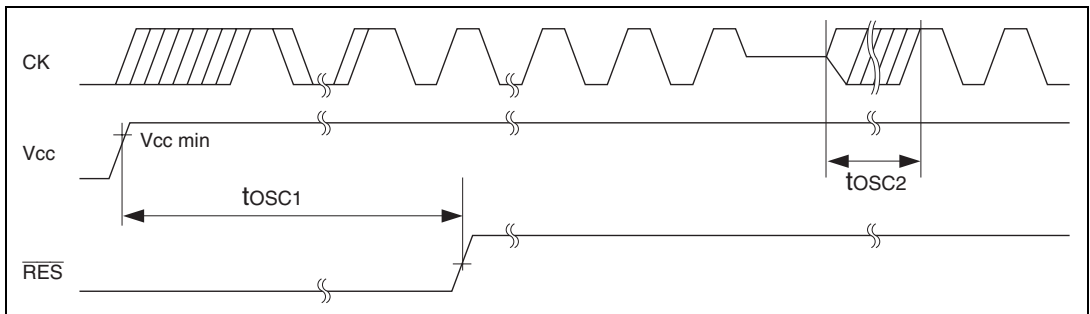


図 22.3 発振安定時間

## 22.3.2 制御信号タイミング

表 22.5 制御信号タイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
RES 立ち上がり、立ち下がり	tRESr、 tRESf	-	200	ns	図 22.4
RES パルス幅	tRESW	20	-	tcyc	
NMI 立ち上がり、立ち下がり	tNMIr、 tNMIf	-	200	ns	
RES セットアップ時間*	tRESS	35	-	ns	図 22.4、 図 22.5
NMI セットアップ時間*	tNMIS	35	-	ns	
IRQ7、IRQ6、IRQ3 ~ IRQ0 セットアップ時間* (エッジ検出時)	tIRQES	35	-	ns	
IRQ7、IRQ6、IRQ3 ~ IRQ0 セットアップ時間* (レベル検出時)	tIRQLS	35	-	ns	
NMI ホールド時間	tNMIH	35	-	ns	図 22.5
IRQ7、IRQ6、IRQ3 ~ IRQ0 ホールド時間	tIRQEH	35	-	ns	

【注】 \* RES、NMI および IRQ7、IRQ6、IRQ3 ~ IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち上がり (RES の場合) もしくは立ち下がり (NMI および IRQ7、IRQ6、IRQ3 ~ IRQ0 の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり・立ち下がりまで認識が遅れることがあります。



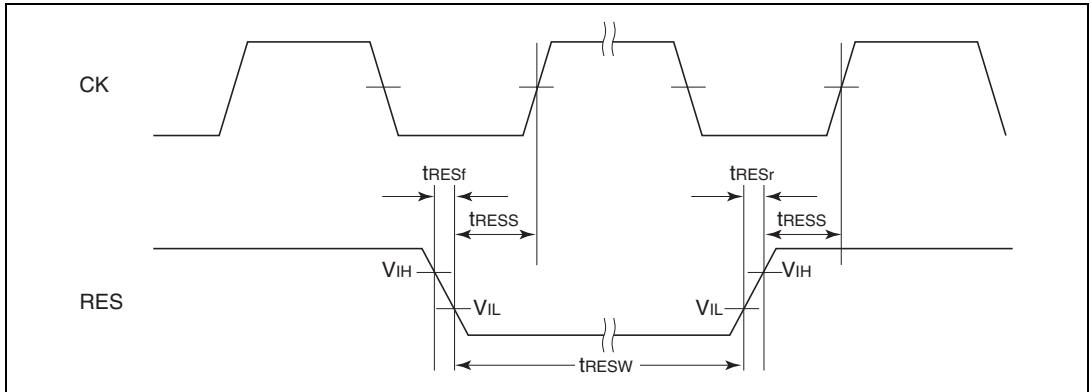


図 22.4 リセット入力タイミング

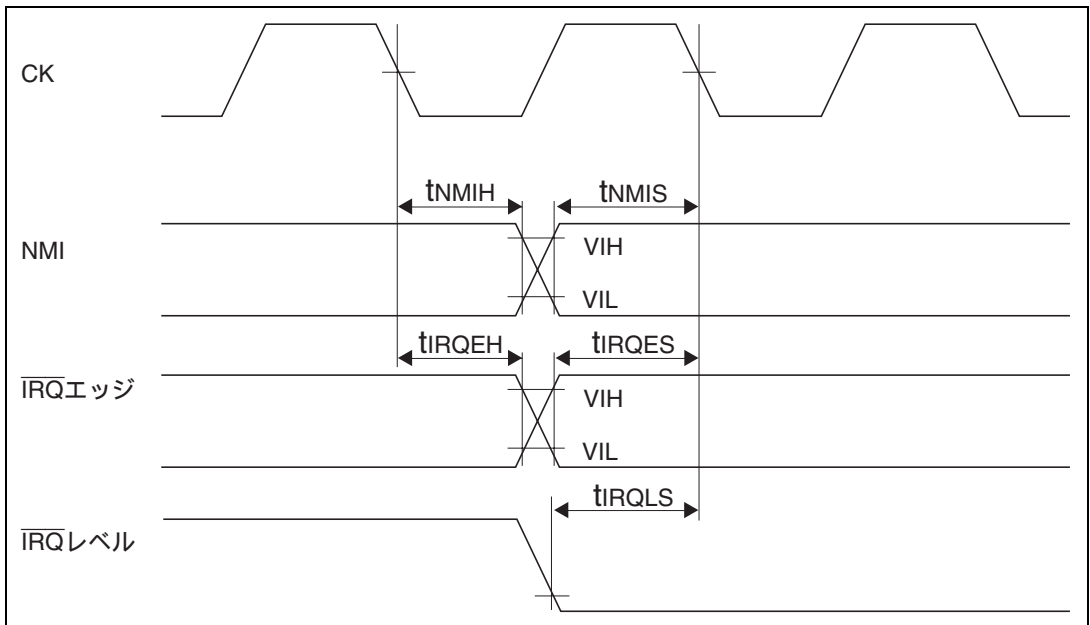


図 22.5 割り込み信号入力タイミング

## 22.3.3 バスタイミング

表 22.6 バスタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
アドレス遅延時間	tAD	2* <sup>3</sup>	18	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
CS 遅延時間 1	tCSD1	2* <sup>3</sup>	21	ns	図 22.6、図 22.7、 図 22.17
CS 遅延時間 2	tCSD2	2* <sup>3</sup>	21	ns	図 22.6、図 22.7、 図 22.17
読み出しストローク遅延時間 1	tRSD1	2* <sup>3</sup>	18	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
読み出しストローク遅延時間 2	tRSD2	2* <sup>3</sup>	18	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
読み出しデータセットアップ時間	tRDS* <sup>4</sup>	15	-	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
読み出しデータホールド時間	tRDH	0	-	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
書き込みストローク遅延時間 1	tWSD1	2* <sup>3</sup>	18	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
書き込みストローク遅延時間 2	tWSD2	2* <sup>3</sup>	18	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
書き込みデータ遅延時間	tWDD	-	35	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
書き込みデータホールド時間	tWDH	0	10* <sup>2</sup>	ns	図 22.6、図 22.7、 図 22.9 ~ 図 22.14、図 22.17
WAIT セットアップ時間	tWTS	15	-	ns	図 22.8、図 22.13、図 22.17
WAIT ホールド時間	tWTH	0	-	ns	図 22.8、図 22.13、図 22.17
RAS 遅延時間 1	tRASD1	2* <sup>3</sup>	18	ns	図 22.9 ~ 図 22.16
RAS 遅延時間 2	tRASD2	2* <sup>3</sup>	18	ns	図 22.9 ~ 図 22.16
CAS 遅延時間 1	tCASD1	2* <sup>3</sup>	18	ns	図 22.9 ~ 図 22.16
CAS 遅延時間 2	tCASD2	2* <sup>3</sup>	18	ns	図 22.9 ~ 図 22.16
読み出しデータアクセス時間	tACC* <sup>1</sup>	tcyc x (n+2)-40	-	ns	図 22.6、図 22.7
読み出しストロークからの アクセス時間	tOE* <sup>1</sup>	tcyc x (n+1.5)-40	-	ns	図 22.6、図 22.7
カラムアドレスからの アクセス時間	tAA* <sup>1</sup>	tcyc x (n+2)-40	-	ns	図 22.9 ~ 図 22.14
RAS からのアクセス時間	tRAC* <sup>1</sup>	tcyc x (n+RCD+2.5)-40	-	ns	図 22.9 ~ 図 22.14
CAS からのアクセス時間	tCAC* <sup>1</sup>	tcyc x (n+1)-40	-	ns	図 22.9 ~ 図 22.14
ロウアドレスホールド時間	tRAH	tcyc x (RCD+0.5)-15	-	ns	図 22.9 ~ 図 22.14
ロウアドレスセットアップ時間	tASR* <sup>5</sup>	tcyc x 0.5-17.5	-	ns	図 22.9 ~ 図 22.14
データ入力セットアップ時間	tDS	tcyc x (m+0.5)-25	-	ns	図 22.9 ~ 図 22.14
データ入力ホールド時間	tDH	20	-	ns	図 22.9 ~ 図 22.14

【注】 n はウェイト数。m は DRAM 書き込みサイクルウェイト数が 0 のとき 0、それ以外は 1。

RCD は DCR の RCD ビットの設定値。

- \*1 アクセス時間が満足されていれば、tRDS は満足されている必要はありません。
- \*2 tWDH (max) は参考値です。
- \*3 遅延時間の min 値は参考値 (typ) です。
- \*4 tRDS は参考値です。
- \*5 28.7MHz 時、tASR = 0ns (min) です。

表 22.7 バスタイミング

条件 : Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
書き込みアドレスセットアップ時間	tAS	0	-	ns	図 22.6、図 22.7
書き込みアドレス保持時間	tWR	5	-	ns	図 22.6、図 22.7
書き込みデータ保持時間	tWRH	0	-	ns	図 22.6、図 22.7
読み出し書き込みストロープ遅延時間 1	tRWD1	2*	18	ns	図 22.9 ~ 図 22.14
読み出し書き込みストロープ遅延時間 2	tRWD2	2*	18	ns	図 22.9 ~ 図 22.14
高速ページモード CAS プリチャージ時間	tCP	tcyc-25	-	ns	図 22.14
RAS プリチャージ時間	tRP	tcyc x (TPC+1.5)-15	-	ns	図 22.9 ~ 図 22.14
CAS セットアップ時間	tCSR	10	-	ns	図 22.15、図 22.16
AH 遅延時間 1	tAHD1	2*	18	ns	図 22.17
AH 遅延時間 2	tAHD2	2*	18	ns	図 22.17
マルチプレクスアドレス遅延時間	tMAD	2*	18	ns	図 22.17
マルチプレクスアドレスホールド時間	tMAH	0	-	ns	図 22.17
DACK 遅延時間 1	tDACKD1	2*	21	ns	図 22.6、図 22.7 図 22.9 ~ 図 22.14、 図 22.17

【注】 TPC は DCR の TPC ビットの設定値。

- \* 遅延時間の min 値は参考値 (typ) です。

22. 電気的特性【5V 28.7MHz 版】

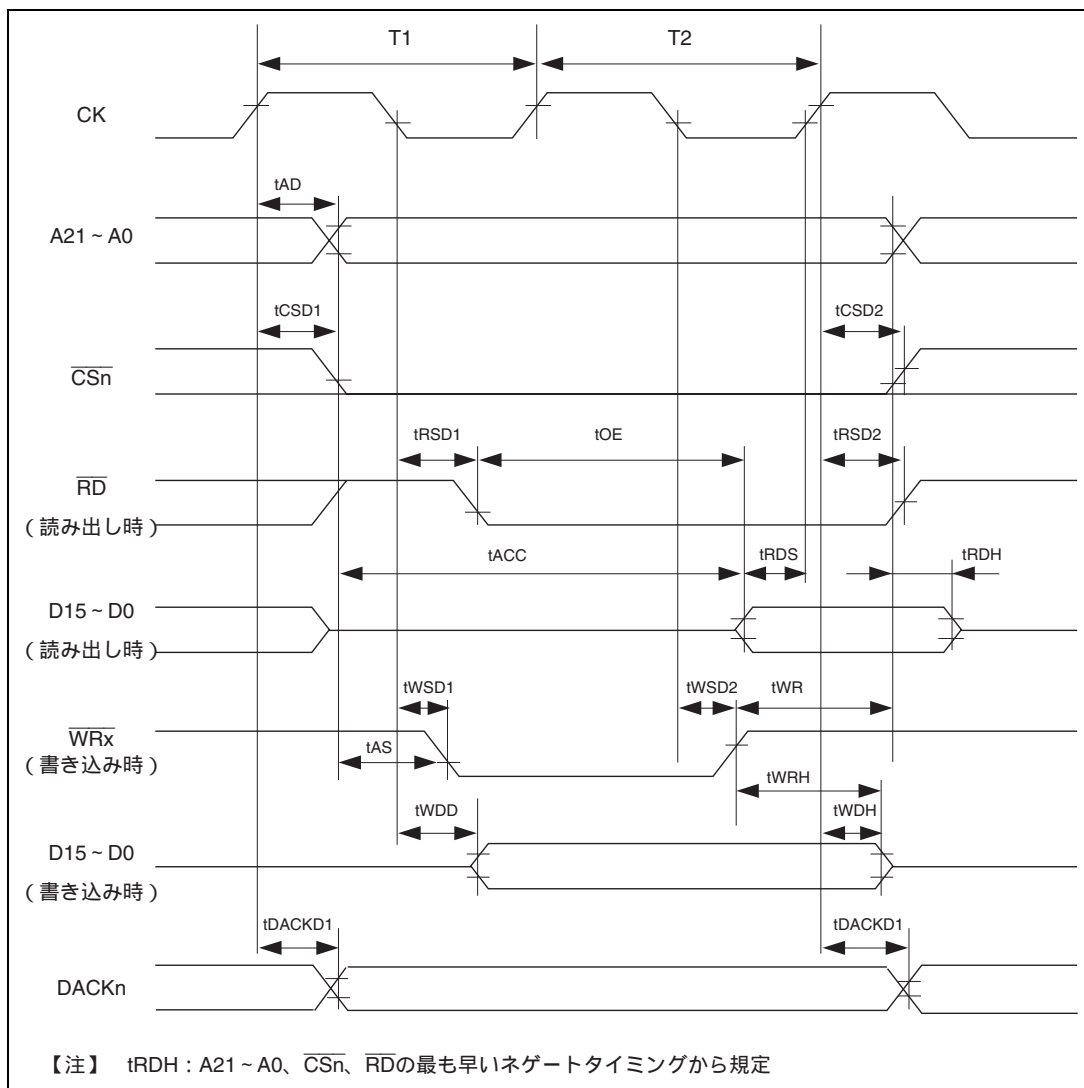


図 22.6 基本サイクル (ノーウェイト)

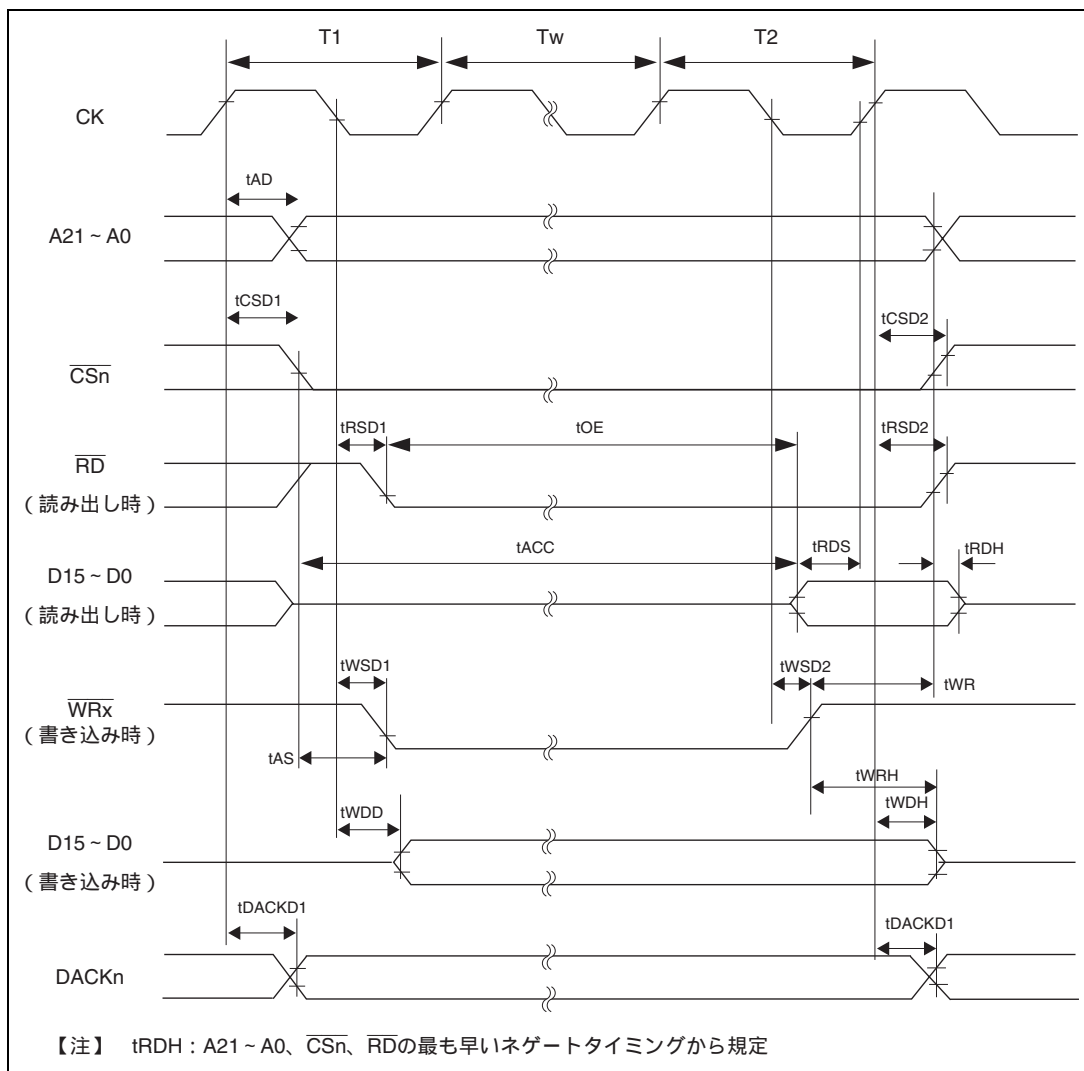


図 22.7 基本サイクル (ソフトウェアウェイト)

22. 電気的特性【5V 28.7MHz 版】

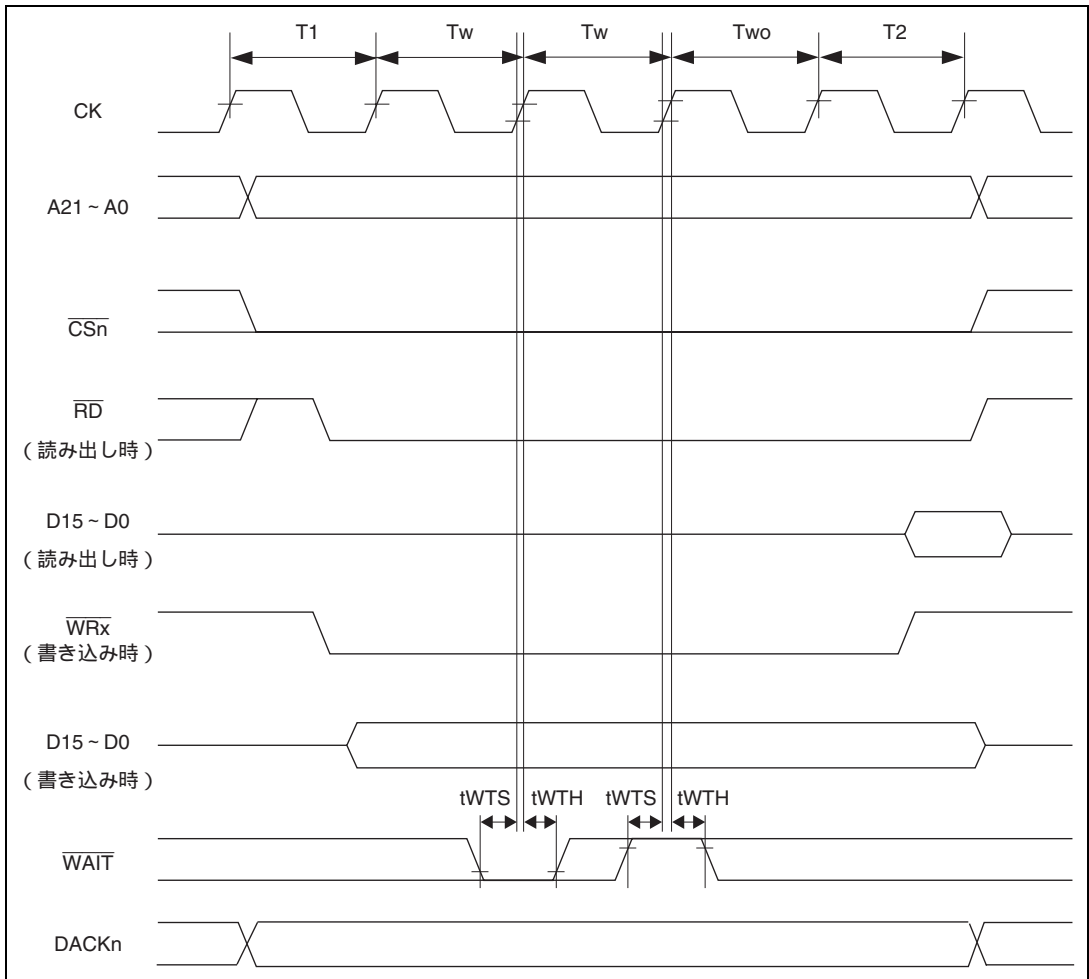


図 22.8 基本サイクル (2ソフトウェアウェイト+ $\overline{WAIT}$  信号によるウェイト)

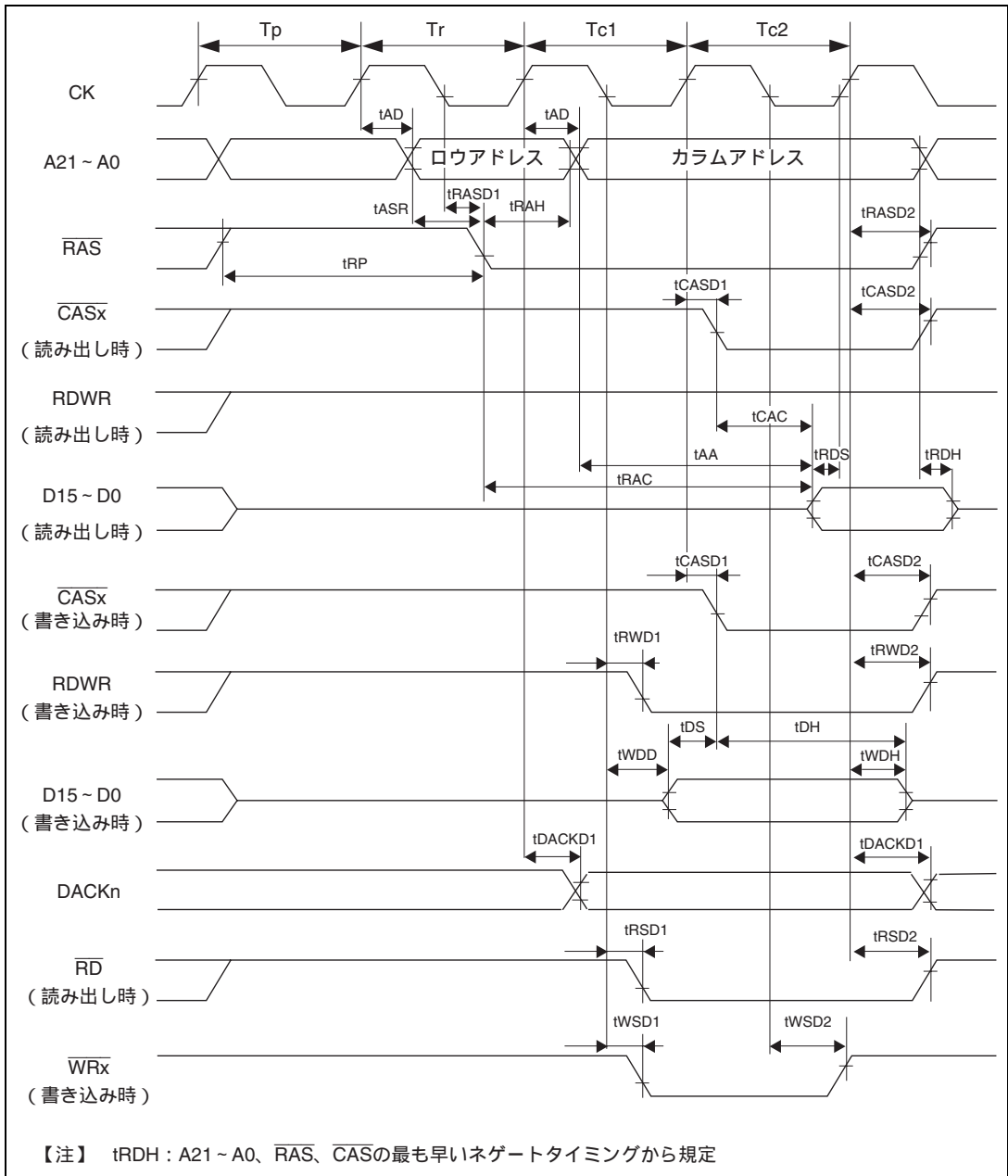


図 22.9 DRAM サイクル ( ノーマルモード、 ノーウェイト )

22. 電気的特性【5V 28.7MHz 版】

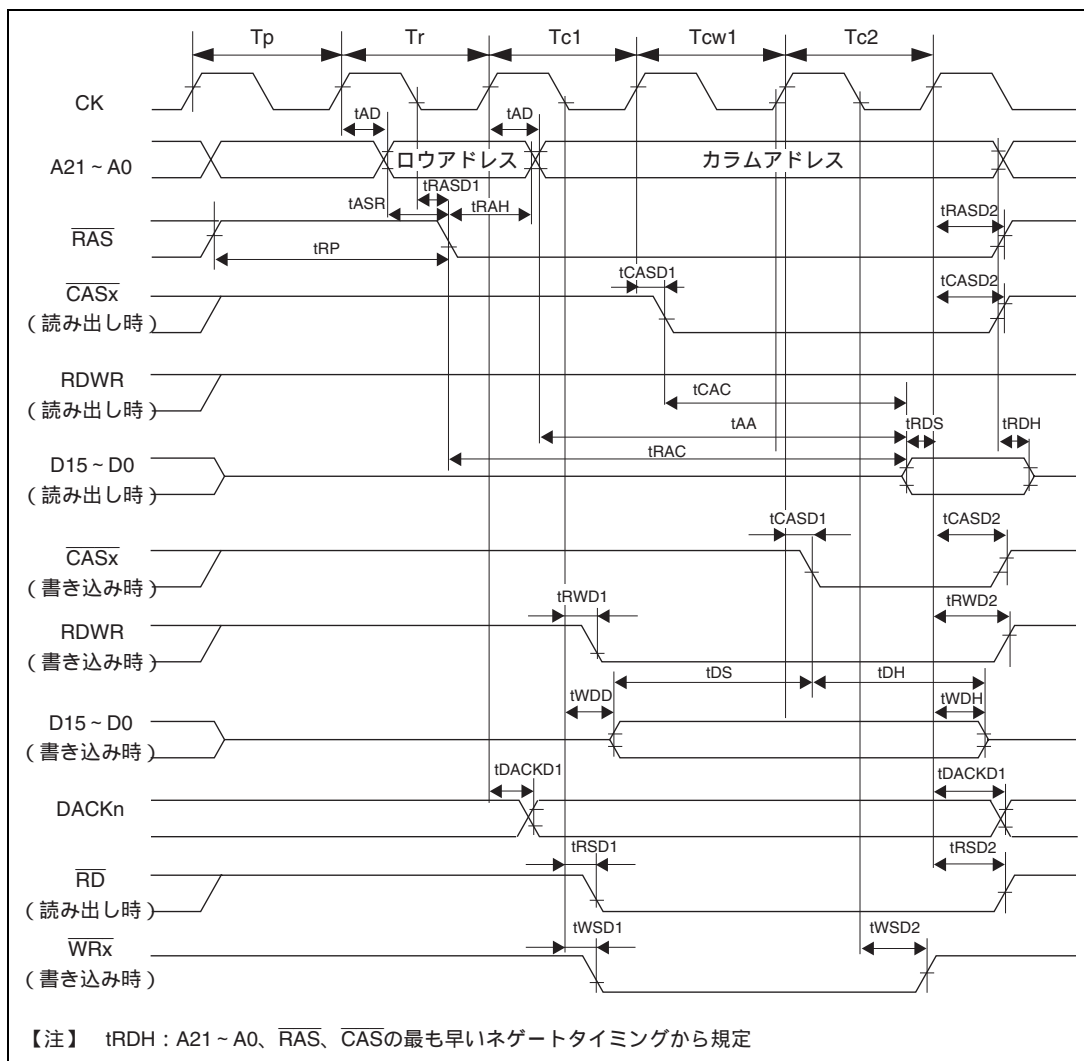


図 22.10 DRAM サイクル (ノーマルモード、1 ウェイト、TPC=0、RCD=0)



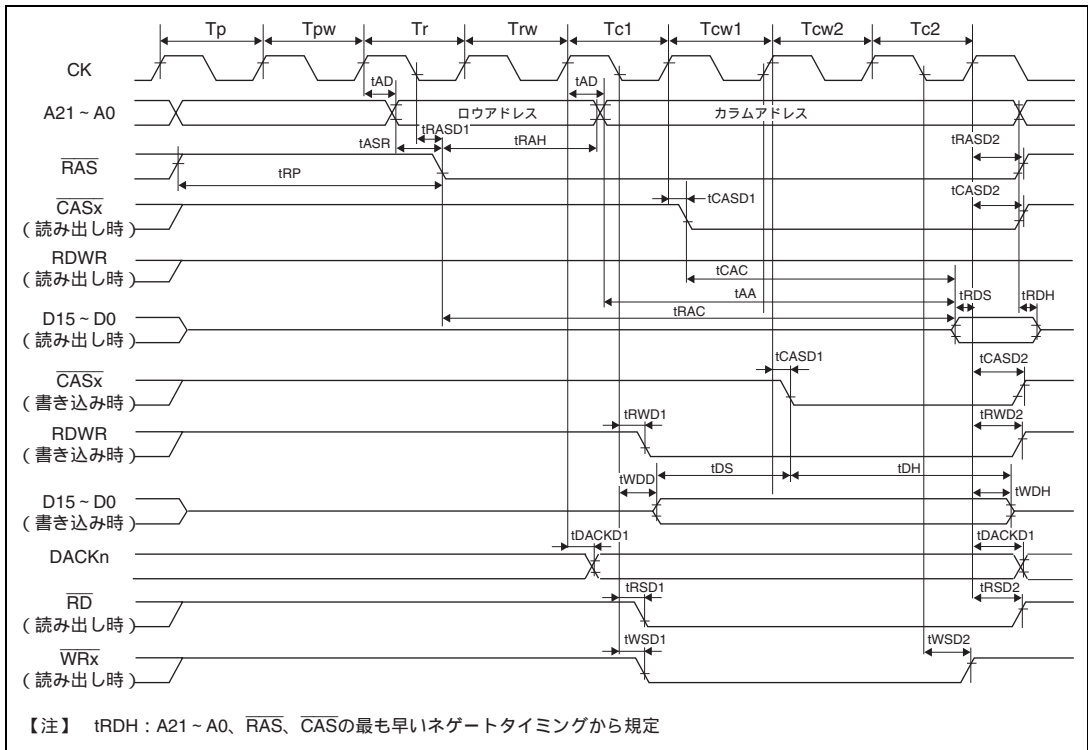


図 22.11 DRAM サイクル (ノーマルモード、2ウェイト、TPC=1、RCD=1)

## 22. 電気的特性【5V 28.7MHz 版】

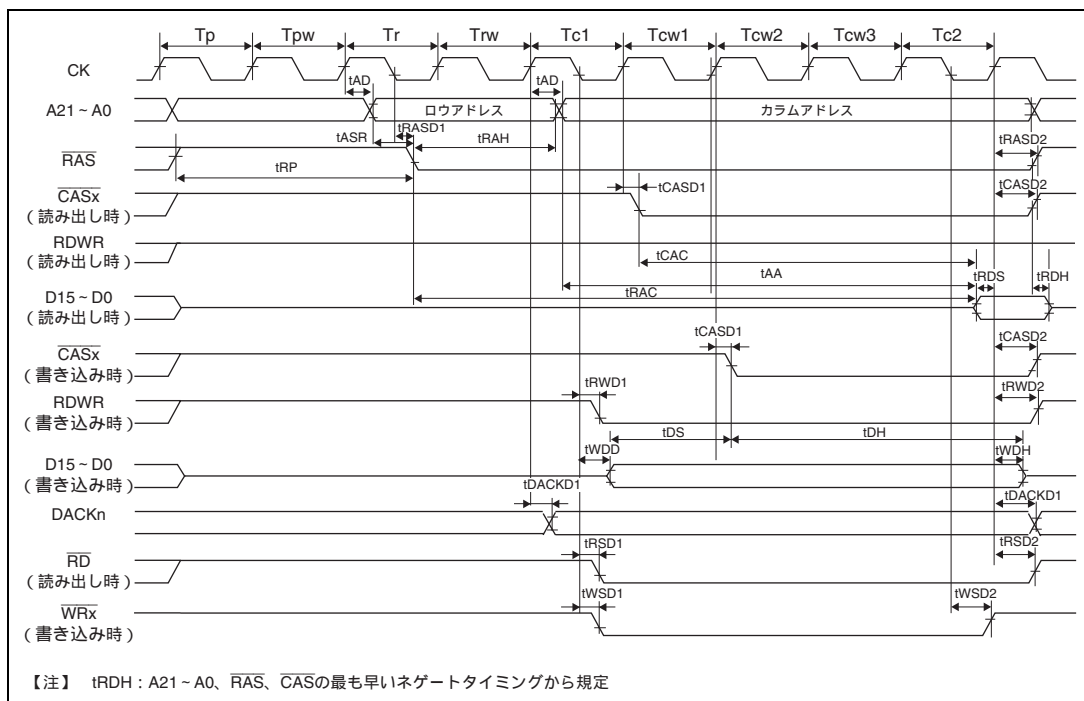


図 22.12 DRAM サイクル (ノーマルモード、3 ウェイト、TPC=1、RCD=1)

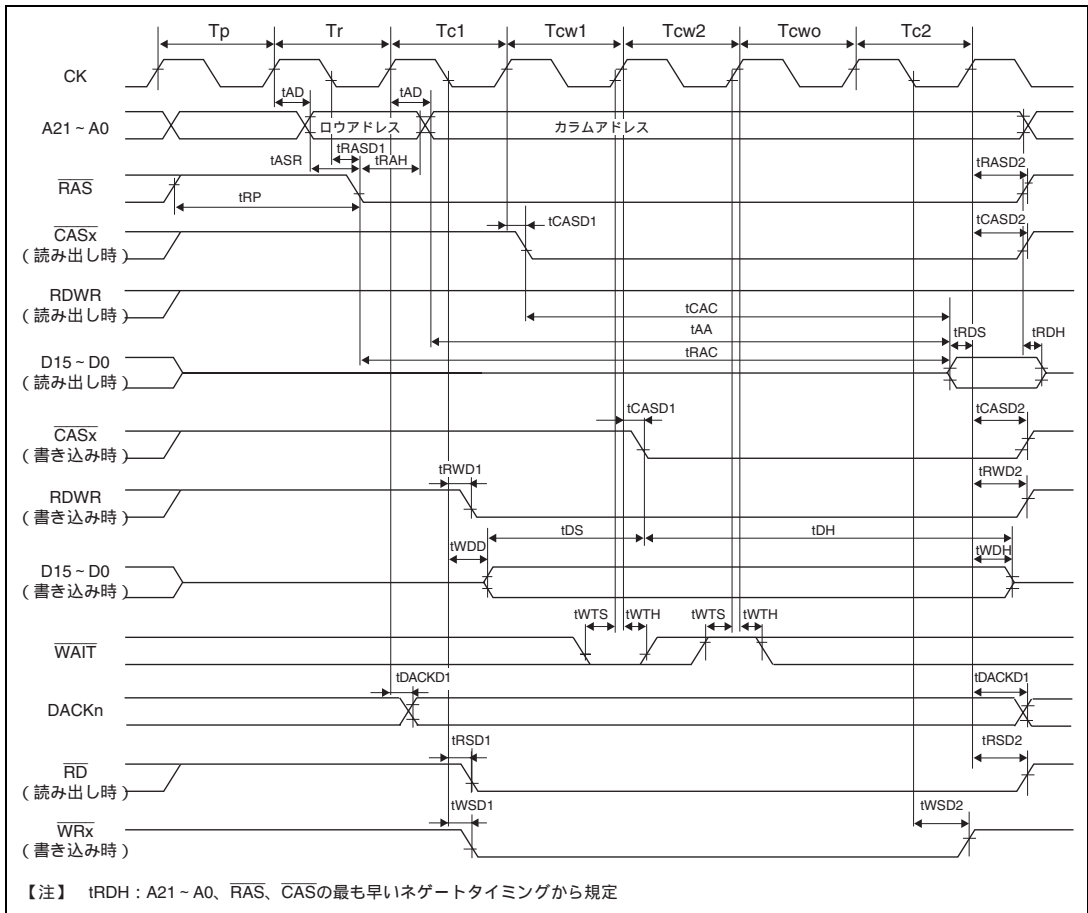


図 22.13 DRAM サイクル (ノーマルモード、2 ウェイト+WAIT 信号によるウェイト)

22. 電気的特性【5V 28.7MHz 版】

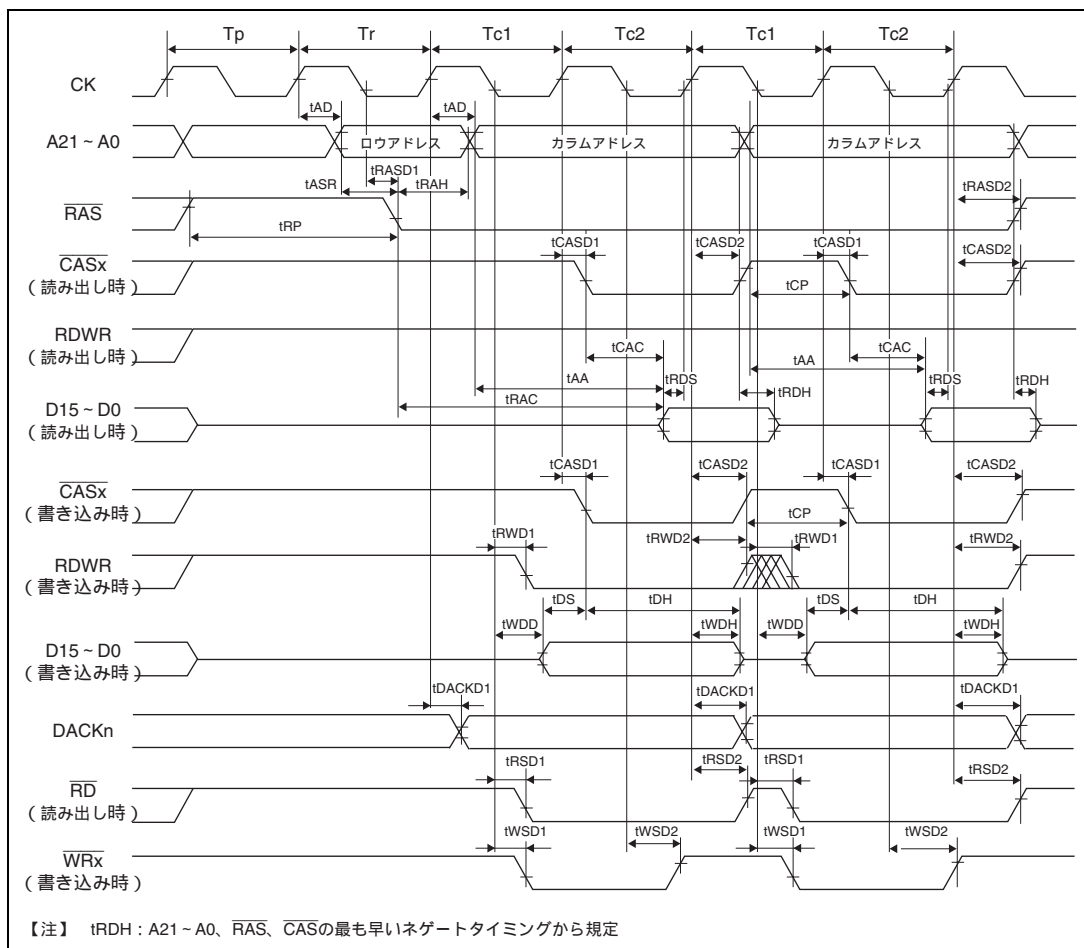


図 22.14 DRAM サイクル (高速ページモード)

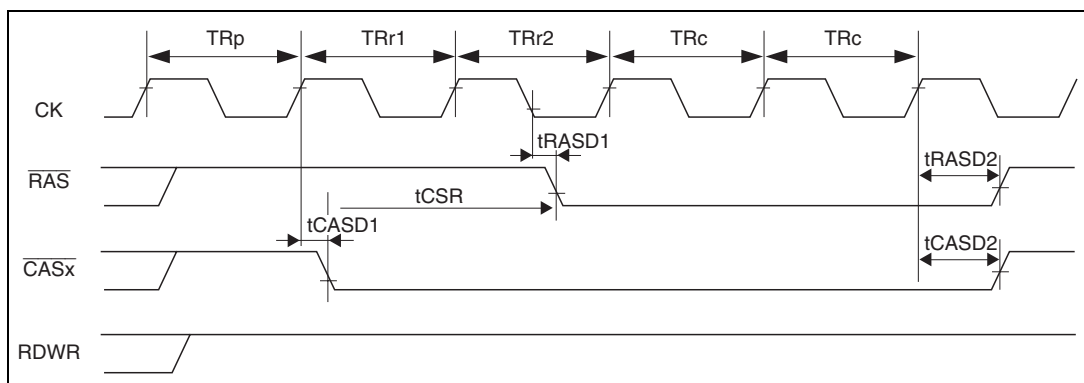


図 22.15 CAS ビフォ RAS リフレッシュ (TRAS1、TRAS0=0、0)

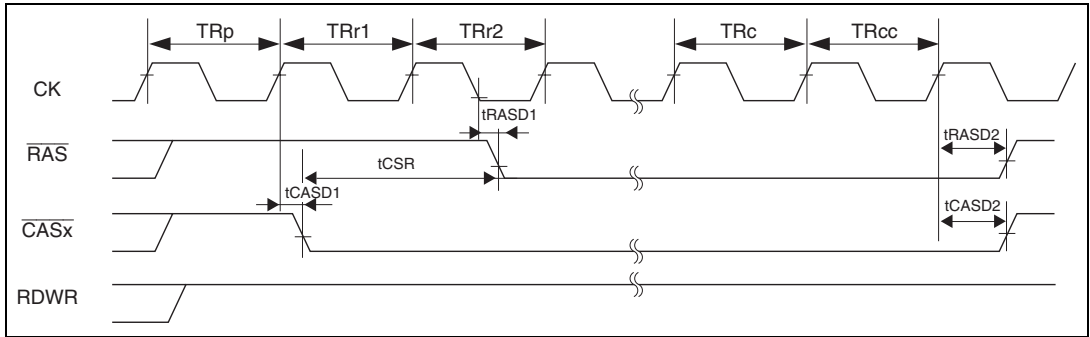
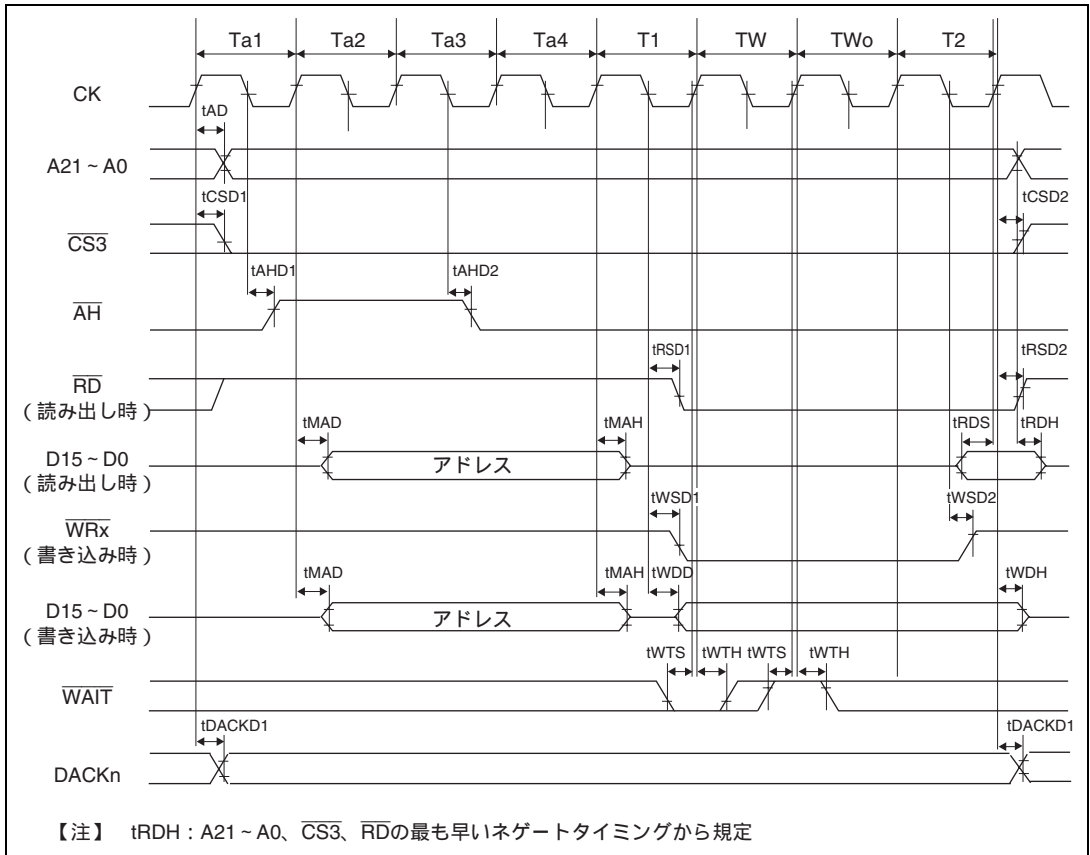


図 22.16 セルフリフレッシュ



【注】 tRDH : A21 ~ A0、CS3、RDの最も早いネゲートタイミングから規定

図 22.17 アドレス/データマルチプレクス I/O 空間サイクル  
(1ソフトウェアウェイト+1外部ウェイト)

### 22.3.4 ダイレクトメモリアクセスコントローラタイミング

表 22.8 にダイレクトメモリアクセスコントローラタイミングを示します。

表 22.8 ダイレクトメモリアクセスコントローラタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
DREQ0、DREQ1 セットアップ時間	tDRQS	18	-	ns	図 22.18
DREQ0、DREQ1 ホールド時間	tDRQH	18	-	ns	
DREQ0、DREQ1 パルス幅	tDRQW	1.5	-	tcyc	図 22.19
DRAK 出力遅延時間	tDRAKD	18	-	ns	図 22.20

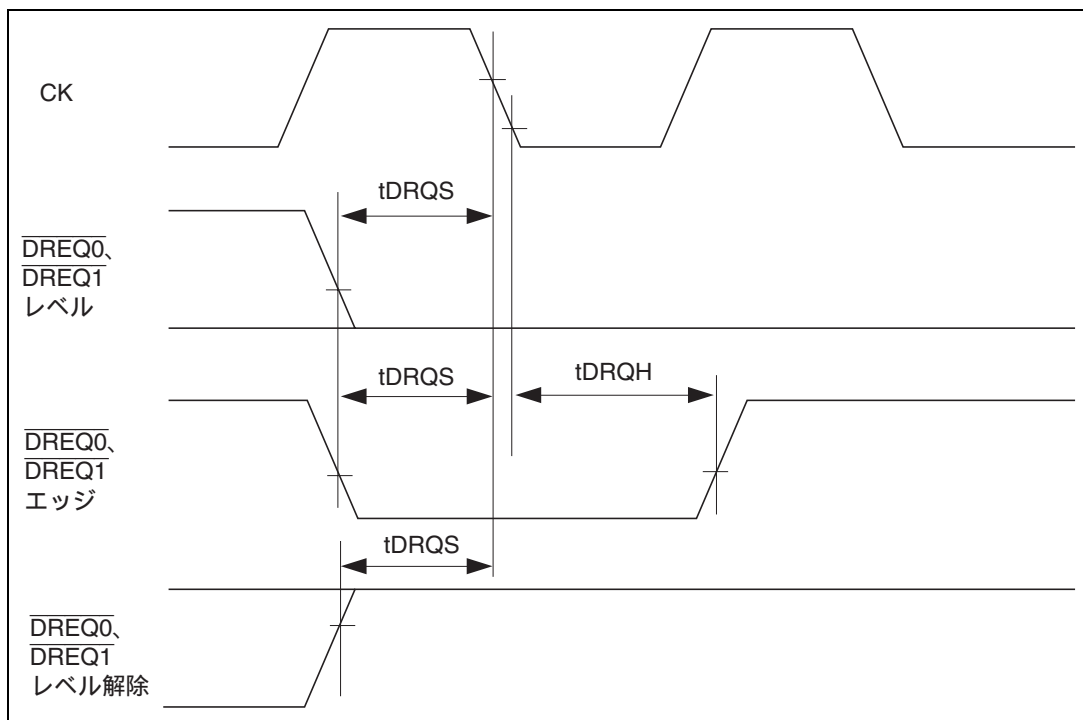


図 22.18 DREQ0、DREQ1 入力タイミング (1)

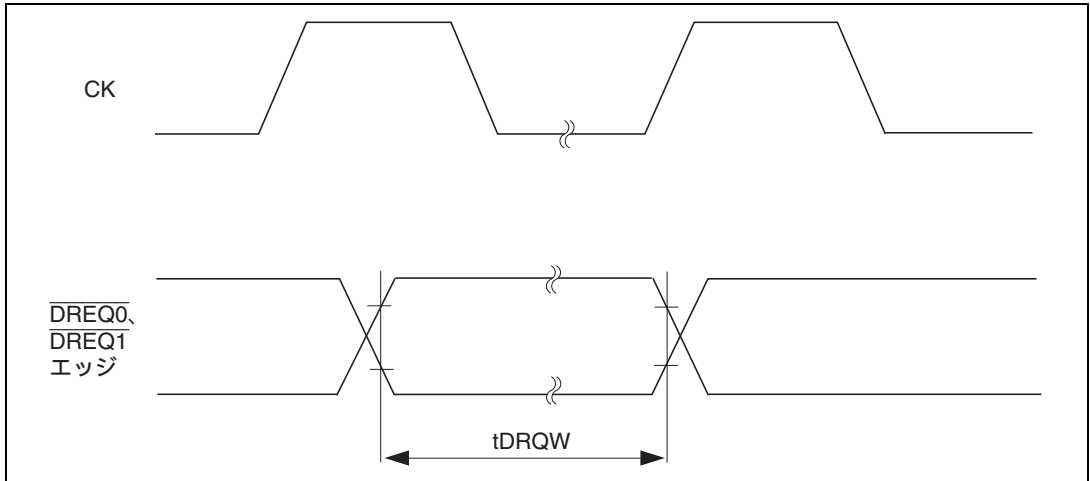


図 22.19 DREQ0、DREQ1 入力タイミング (2)

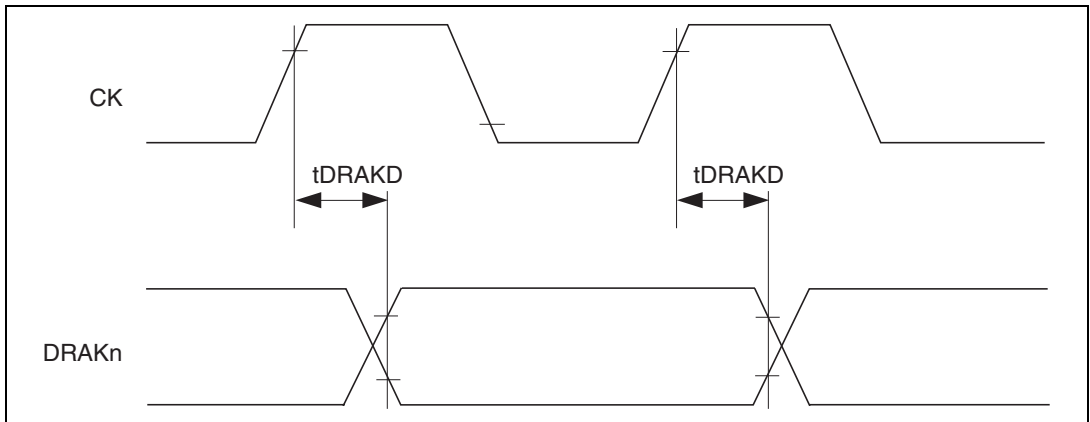


図 22.20 DRAKn 出力遅延時間

### 22.3.5 マルチファンクションタイマパルスユニットタイミング

表 22.9 にマルチファンクションタイマパルスユニットタイミングを示します。

表 22.9 マルチファンクションタイマパルスユニットタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	tTOCD	-	100	ns	図 22.21
インプットキャプチャ入力セットアップ時間	tTICS	30	-	ns	
タイマ入力セットアップ時間	tTCKS	35	-	ns	図 22.22
タイマクロックパルス幅（単エッジ指定）	tTCKWH/tTCKWL	1.5	-	tcyc	
タイマクロックパルス幅（両エッジ指定）	tTCKWH/tTCKWL	2.5	-	tcyc	
タイマクロックパルス幅（位相計数モード）	tTCKWH/tTCKWL	2.5	-	tcyc	

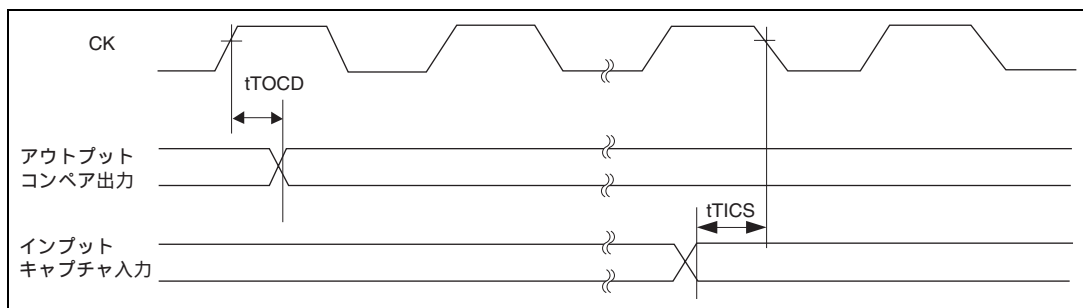


図 22.21 MTU 入出力タイミング

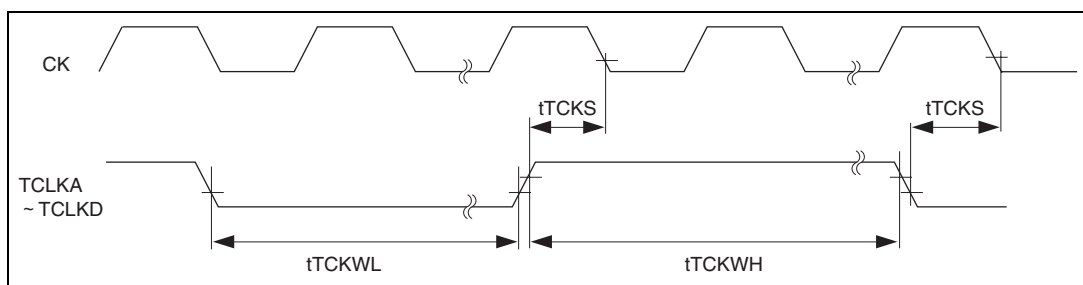


図 22.22 MTU クロック入力タイミング



## 22.3.6 I/O ポートタイミング

表 22.10 に I/O ポートタイミングを示します。

表 22.10 I/O ポートタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	tPWD	-	100	ns	図 22.23
ポート入力ホールド時間	tPRH	35	-	ns	
ポート入力セットアップ時間	tPRS	35	-	ns	

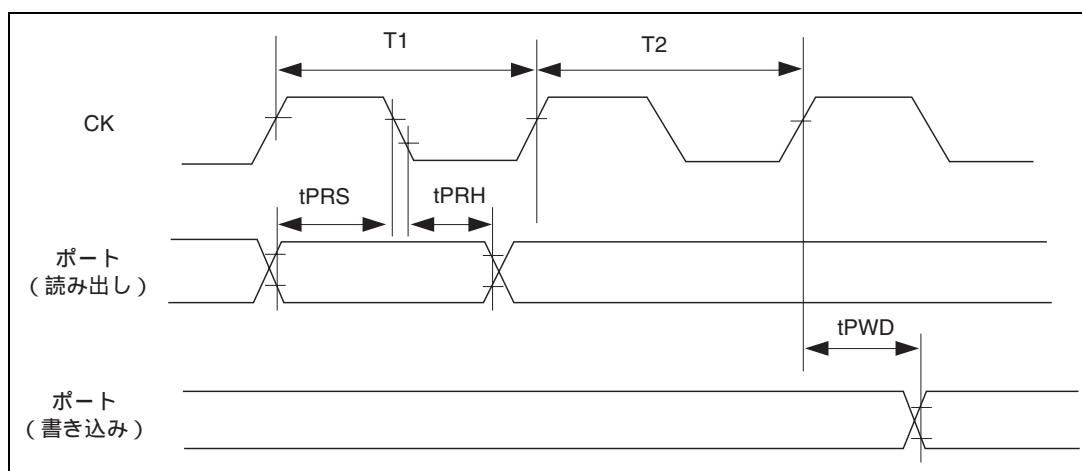


図 22.23 I/O ポート入出力タイミング

### 22.3.7 ウォッチドッグタイマタイミング

表 22.11 にウォッチドッグタイマタイミングを示します。

表 22.11 ウォッチドッグタイマタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	tWOVD	-	100	ns	図 22.24

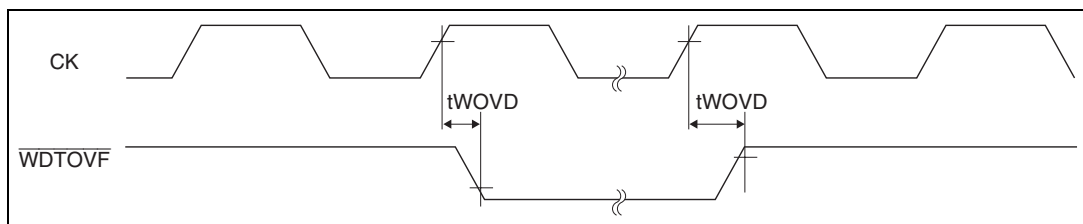


図 22.24 ウォッチドッグタイマタイミング

## 22.3.8 シリアルコミュニケーションインタフェースタイミング

表 22.12 にシリアルコミュニケーションインタフェースタイミングを示します。

表 22.12 シリアルコミュニケーションインタフェースタイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目	記号	min	max	単位	参照図
入力クロックサイクル	tscyc	4	-	tcyc	図 22.25
入力クロックサイクル (クロック同期)	tscyc	6	-	tcyc	
入力クロックパルス幅	tsckw	0.4	0.6	tscyc	
入力クロック立ち上がり時間	tsckr	-	1.5	tcyc	
入力クロック立ち下がり時間	tsckf	-	1.5	tcyc	
送信データ遅延時間 (クロック同期)	tTXD	-	100	ns	図 22.26
受信データセットアップ時間 (クロック同期)	tRXS	100	-	ns	
受信データホールド時間 (クロック同期)	tRXH	100	-	ns	

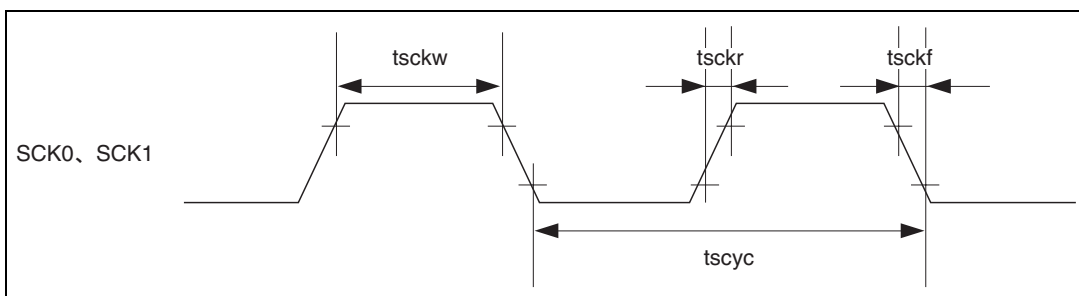


図 22.25 入力クロックタイミング

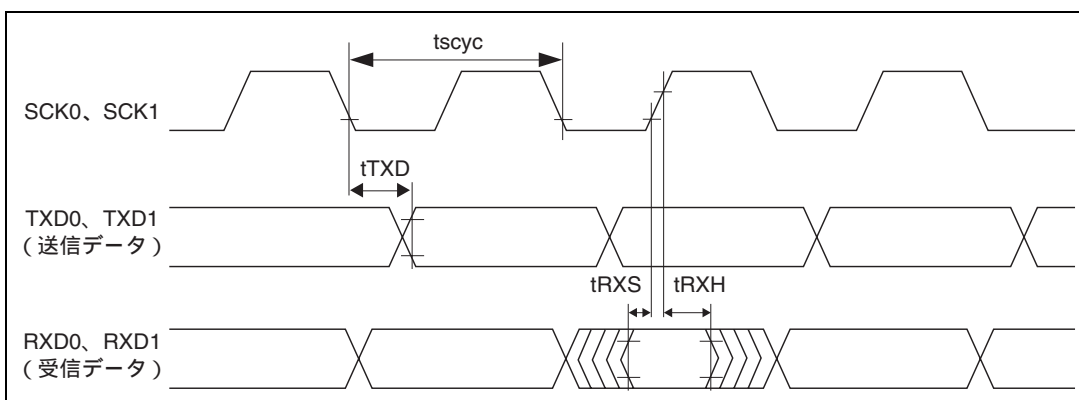


図 22.26 SCI 入出力タイミング (クロック同期式モード)

### 22.3.9 高速 A/D 変換器タイミング (SH7014)

表 22.13 に高速 A/D 変換器タイミングを示します。

表 22.13 高速 A/D 変換器タイミング

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=V_{cc} \pm 10\%$ 、 $V_{ss}=AV_{ss}=0V$ 、 $T_a=-20 \sim +75$

項目		記号	min	typ	max	単位	参照図
A/D 変換開始遅延時間	CKS=0 時	t <sub>D</sub>		1.5		tcyc	図 22.27
	CKS=1 時			1.5			
入力サンプリング時間	CKS=0 時	t <sub>SPL</sub>		20			
	CKS=1 時			40			
A/D 変換時間	CKS=0 時	t <sub>CONV</sub>		42.5			
	CKS=1 時			82.5			

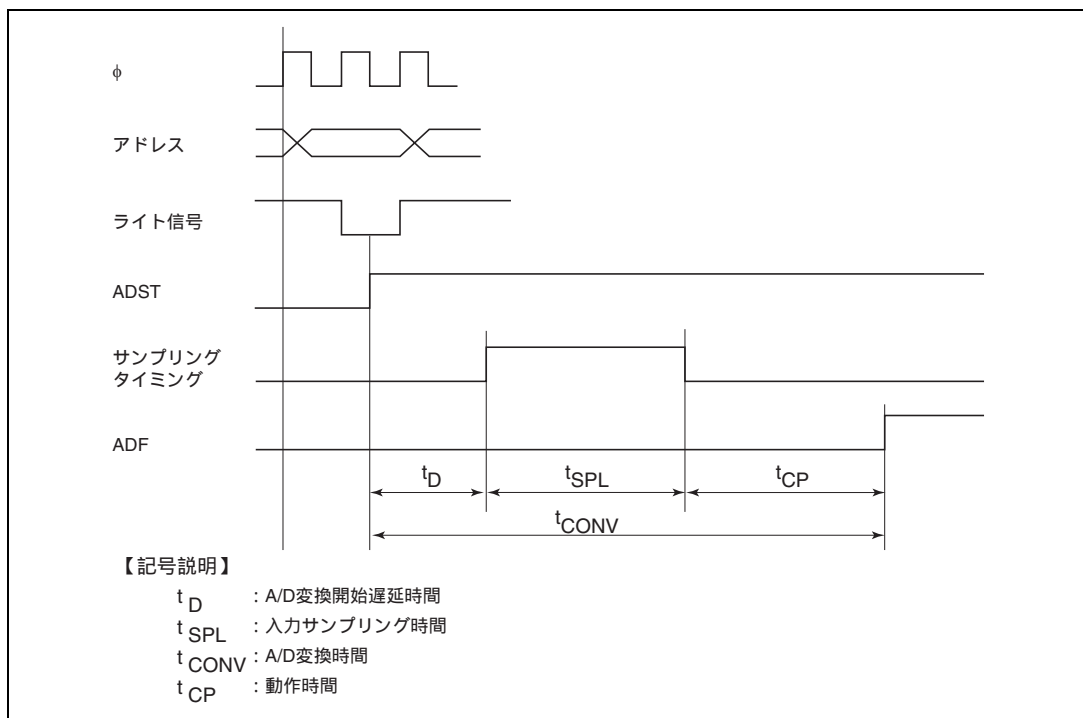


図 22.27 アナログ変換タイミング

## 22.3.10 中速 A/D 変換器タイミング (SH7016/17)

表 22.14 に中速 A/D 変換器タイミングを示します。

表 22.14 中速 A/D 変換器タイミング

条件：Vcc=5.0V ± 10%、AVcc=5.0V ± 10%、AVcc=Vcc ± 10%、Vss=AVss=0V、Ta=-20 ~ +75

項目		記号	min	typ	max	単位	参照図
A/D 変換開始遅延時間	CKS=0 時	tD	10		17	tcyc	図 22.28
	CKS=1 時		6		9		
入力サンプリング時間	CKS=0 時	tSPL		64			
	CKS=1 時			32			
A/D 変換時間	CKS=0 時	tCONV	259		266		
	CKS=1 時		131		134		

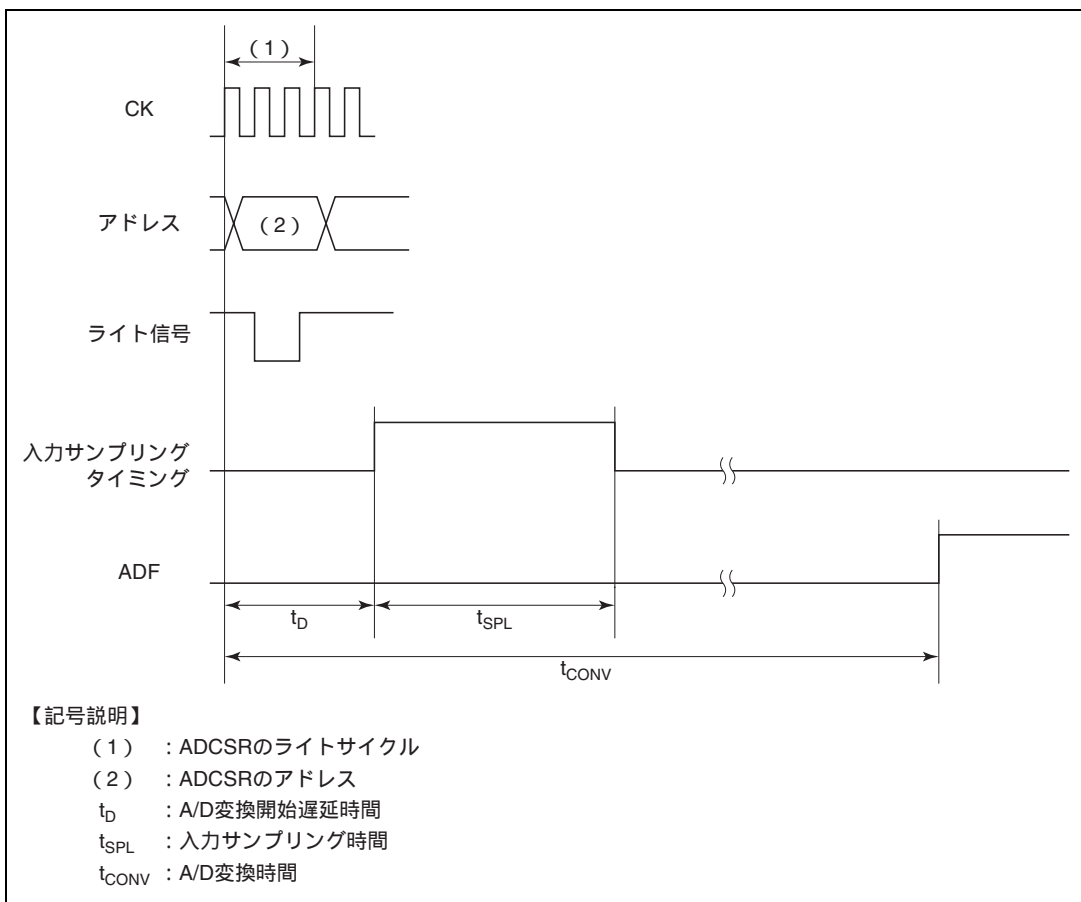


図 22.28 アナログ変換タイミング

### 22.3.11 AC 特性測定条件

入力参照レベル HIGH レベル : 2.2V、LOW レベル : 0.8V

出力参照レベル HIGH レベル : 2.0V、LOW レベル : 0.8V

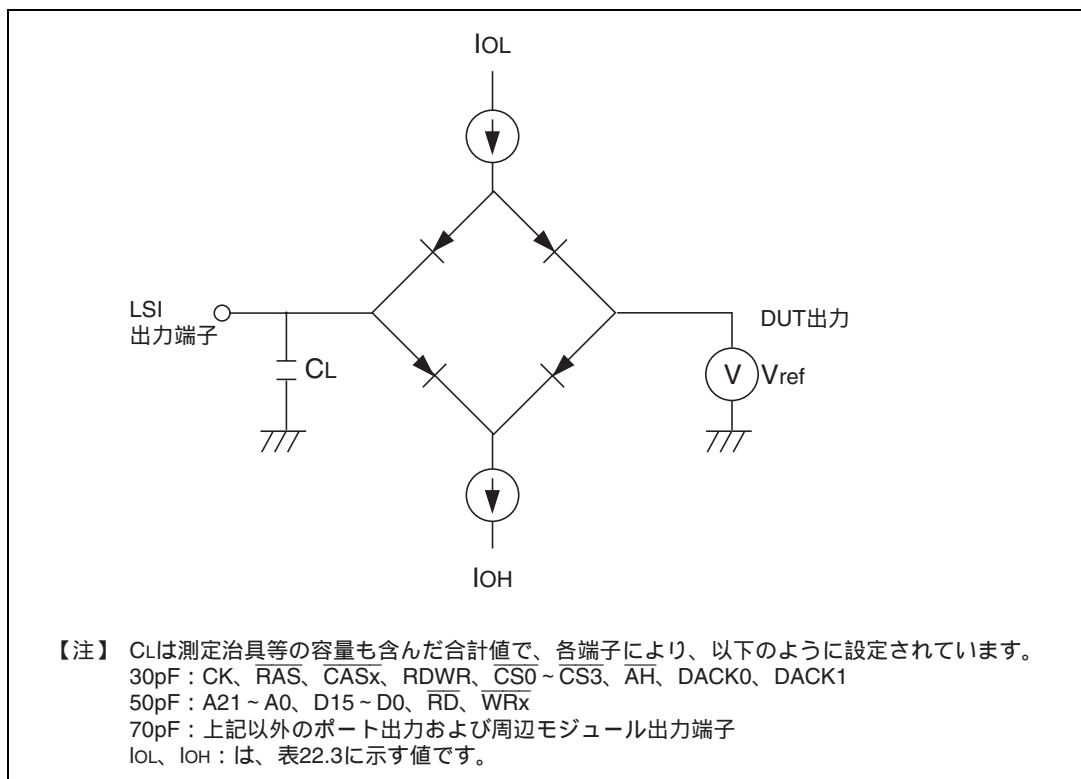


図 22.29 出力付加回路

## 22.4 A/D 変換器特性

表 22.15、表 22.16 に HD6417014 および HD6417014R、表 22.17 に SH7016、SH7017 の A/D 変換器特性を示します。HD6417014R は絶対誤差を  $\pm 8$ LSB 以下に低減した製品です。

表 22.15 A/D 変換器特性 (HD6417014)

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=V_{cc} \pm 10\%$ 、 $V_{ss}=AV_{ss}=0V$ 、 $T_a=-20 \sim +75$

項目	28.7MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間*1	-	-	2.9	$\mu$ s
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k $\Omega$
非直線性誤差*2	-	-	$\pm 8$	LSB
オフセット誤差*2	-	-	$\pm 8$	LSB
フルスケール誤差*2	-	-	$\pm 8$	LSB
量子化誤差*2	-	-	$\pm 0.5$	LSB
絶対誤差*1	-	-	$\pm 15$	LSB

【注】 \*1 CKS=1 の場合

\*2 参考値

表 22.16 A/D 変換器特性 (HD6417014R)

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=V_{cc} \pm 10\%$ 、 $V_{cc}=AV_{cc} = 0V$ 、 $T_a=-20 \sim +75$

項目	28.7MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間*1	-	-	2.9	$\mu$ s
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k $\Omega$
非直線性誤差*2	-	-	$\pm 8$	LSB
オフセット誤差*2	-	-	$\pm 8$	LSB
フルスケール誤差*2	-	-	$\pm 8$	LSB
量子化誤差*2	-	-	$\pm 0.5$	LSB
絶対誤差*1	-	-	$\pm 8$	LSB

【注】 \*1 CKS=1 の場合

\*2 参考値

## 22. 電氣的特性【5V 28.7MHz 版】

表 22.17 A/D 変換器特性 (SH7016/17)

条件 :  $V_{cc}=5.0V \pm 10\%$ 、 $AV_{cc}=5.0V \pm 10\%$ 、 $V_{cc}=AV_{cc} = 0V$ 、 $V_{ss}=AV_{ss}=0V$ 、 $T_a=-20 \sim +75$

項目	28.7MHz			20MHz			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間 (CKS=0 の場合)	-	-	9.3	-	-	13.4* <sup>2</sup>	μs
アナログ入力容量	-	-	20	-	-	20	pF
許可信号源インピーダンス	-	-	1	-	-	1	kΩ
非直線性誤差* <sup>1</sup>	-	-	±3	-	-	±3	LSB
オフセット誤差* <sup>1</sup>	-	-	±3	-	-	±3	LSB
フルスケール誤差* <sup>1</sup>	-	-	±3	-	-	±3	LSB
量子化誤差* <sup>1</sup>	-	-	±0.5	-	-	±0.5	LSB
絶対誤差	-	-	±4	-	-	±4	LSB

【注】 \*1 参考値

\*2 CKS = 1 の場合、6.7μs になります。



# 付録

## A. 内蔵周辺モジュールレジスタ

### A.1 アドレス一覧

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF81A0	SMR0	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI
H'FFFF81A1	BRR0									
H'FFFF81A2	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF81A3	TDR0									
H'FFFF81A4	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF81A5	RDR0									
H'FFFF81A6 ~ H'FFFF81AF										
H'FFFF81B0	SMR1	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	
H'FFFF81B1	BRR1									
H'FFFF81B2	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFF81B3	TDR1									
H'FFFF81B4	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFF81B5	RDR1									
H'FFFF81B6 ~ H'FFFF81FF										
H'FFFF8200 ~ H'FFFF823F										
H'FFFF8240	TSTR						CST2	CST1	CST0	
H'FFFF8241	TSYR						SYNC2	SYNC1	SYNC0	
H'FFFF8242 ~ H'FFFF825F										
H'FFFF8260	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFFF8261	TMDR0			BFB	BFA	MD3	MD2	MD1	MD0	
H'FFFF8262	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFFF8263	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
H'FFFF8264	TIER0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
H'FFFF8265	TSR0				TCFV	TGFD	TGFC	TGFB	TGFA	
H'FFFF8266	TCNT0									
H'FFFF8267										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFF8268	TGR0A									MTU
H'FFF8269										
H'FFF826A	TGR0B									
H'FFF826B										
H'FFF826C	TGR0C									
H'FFF826D										
H'FFF826E	TGR0D									
H'FFF826F										
H'FFF8270 ~ H'FFF827F										
H'FFF8280	TCR1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFF8281	TMDR1					MD3	MD2	MD1	MD0	
H'FFF8282	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFF8283										
H'FFF8284	TIER1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
H'FFF8285	TSR1	TCFD		TCFU	TCFV			TGFB	TGFA	
H'FFF8286	TCNT1									
H'FFF8287										
H'FFF8288	TGR1A									
H'FFF8289										
H'FFF828A	TGR1B									
H'FFF828B										
H'FFF828C ~ H'FFF829F										
H'FFF82A0	TCR2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H'FFF82A1	TMDR2					MD3	MD2	MD1	MD0	
H'FFF82A2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
H'FFF82A3										
H'FFF82A4	TIER2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
H'FFF82A5	TSR2	TCFD		TCFU	TCFV			TGFB	TGFA	
H'FFF82A6	TCNT2									
H'FFF82A7										
H'FFF82A8	TGR2A									
H'FFF82A9										
H'FFF82AA	TGR2B									
H'FFF82AB										
H'FFF82AC ~ H'FFF8347										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8348	IPRA									INTC
H'FFFF8349										
H'FFFF834A	IPRB									
H'FFFF834B										
H'FFFF834C	IPRC									
H'FFFF834D										
H'FFFF834E	IPRD									
H'FFFF834F										
H'FFFF8350	IPRE									
H'FFFF8351										
H'FFFF8352	IPRF									
H'FFFF8353										
H'FFFF8354	IPRG									
H'FFFF8355										
H'FFFF8356	IPRH									
H'FFFF8357										
H'FFFF8358	ICR	NMIL							NMIE	
H'FFFF8359		IRQ0S	IRQ1S	IRQ2S	IRQ3S			IRQ6S	IRQ7S	
H'FFFF835A	ISR									
H'FFFF835B		IRQ0F	IRQ1F	IRQ2F	IRQ3F			IRQ6F	IRQ7F	
H'FFFF835C ~ H'FFFF8381										
H'FFFF8382	PADRL	PA15DR	PA14DR* <sup>1</sup>	PA13DR* <sup>1</sup>	PA12DR* <sup>1</sup>	PA11DR* <sup>1</sup>	PA10DR* <sup>1</sup>	PA9DR	PA8DR	I/O
H'FFFF8383		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
H'FFFF8384										PFC
H'FFFF8385										
H'FFFF8386	PAIORL	PA15IOR	PA14IOR* <sup>1</sup>	PA13IOR* <sup>1</sup>	PA12IOR* <sup>1</sup>	PA11IOR* <sup>1</sup>	PA10IOR* <sup>1</sup>	PA9IOR	PA8IOR	
H'FFFF8387		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
H'FFFF8388										
H'FFFF8389										
H'FFFF838A										
H'FFFF838B										
H'FFFF838C	PACRL1		PA15MD		PA14MD* <sup>1</sup>		PA13MD* <sup>1</sup>		PA12MD* <sup>1</sup>	
H'FFFF838D				PA11MD* <sup>1</sup>		PA10MD* <sup>1</sup>	PA9MD1	PA9MD0	PA8MD1	
H'FFFF838E	PACRL2	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0		PA4MD	
H'FFFF838F				PA3MD	PA2MD1	PA2MD0		PA1MD		PA0MD
H'FFFF8390	PBDR							PB9DR	PB8DR	I/O
H'FFFF8391		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR* <sup>1</sup>	PB0DR* <sup>1</sup>	
H'FFFF8392	PCDR* <sup>2</sup>	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	
H'FFFF8393		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8394	PBIOR							PB9IOR	PB8IOR	PFC
H'FFFF8395		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR* <sup>1</sup>	PB0IOR* <sup>1</sup>	
H'FFFF8396	PCIOR* <sup>2</sup>	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	
H'FFFF8397		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	
H'FFFF8398	PBCR1									
H'FFFF8399						PB9MD1	PB9MD0	PB8MD1	PB8MD0	
H'FFFF839A	PBCR2	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0	
H'FFFF839B		PB3MD1	PB3MD0	PB2MD1	PB2MD0		PB1MD* <sup>1</sup>		PB0MD* <sup>1</sup>	
H'FFFF839C	PCCR* <sup>2</sup>	PC15MD	PC14MD	PC13MD	PC12MD	PC11MD	PC10MD	PC9MD	PC8MD	
H'FFFF839D		PC7MD	PC6MD	PC5MD	PC4MD	PC3MD	PC2MD	PC1MD	PC0MD	
H'FFFF839E										
H'FFFF839F										
H'FFFF83A0										I/O
H'FFFF83A1										
H'FFFF83A2	PDDR1* <sup>2</sup>	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
H'FFFF83A3		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
H'FFFF83A4										PFC
H'FFFF83A5										
H'FFFF83A6	PDIOR1* <sup>2</sup>	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
H'FFFF83A7		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
H'FFFF83A8										
H'FFFF83A9										
H'FFFF83AA										
H'FFFF83AB										
H'FFFF83AC	PDCR1* <sup>2</sup>	PD15MD	PD14MD	PD13MD	PD12MD	PD11MD	PD10MD	PD9MD	PD8MD	
H'FFFF83AD		PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD	
H'FFFF83AE										
H'FFFF83AF										
H'FFFF83B0	PEDR	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	I/O
H'FFFF83B1		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
H'FFFF83B2	PFDR									
H'FFFF83B3		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
H'FFFF83B4	PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	PFC
H'FFFF83B5		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
H'FFFF83B6										
H'FFFF83B7										
H'FFFF83B8	PECR1	PE15MD1	PE15MD0	PE14MD1	PE14MD0					
H'FFFF83B9										
H'FFFF83BA	PECR2		PE7MD		PE6MD		PE5MD		PE4MD	
H'FFFF83BB		PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF83BC ~ H'FFFF83CF										PFC
H'FFFF83D0	CMSTR									CMT
H'FFFF83D1								STR1	STR0	
H'FFFF83D2	CMCSR0									
H'FFFF83D3		CMF	CMIE					CKS1	CKS0	
H'FFFF83D4	CMCNT0									
H'FFFF83D5										
H'FFFF83D6	CMCOR0									
H'FFFF83D7										
H'FFFF83D8	CMCSR1									
H'FFFF83D9		CMF	CMIE					CKS1	CKS0	
H'FFFF83DA	CMCNT1									
H'FFFF83DB										
H'FFFF83DC	CMCOR1									
H'FFFF83DD										
H'FFFF83DE										
H'FFFF83DF										
H'FFFF83E0	ADCSR	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0	A/D (高速) (SH7014)
H'FFFF83E1	ADCR		PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0	
H'FFFF83E2 ~ H'FFFF83EF										
H'FFFF83F0	ADDRA							AD9	AD8	
H'FFFF83F1		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83F2	ADDRB							AD9	AD8	
H'FFFF83F3		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83F4	ADDRC							AD9	AD8	
H'FFFF83F5		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83F6	ADDRD							AD9	AD8	
H'FFFF83F7		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83F8	ADDRE							AD9	AD8	
H'FFFF83F9		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83FA	ADDRF							AD9	AD8	
H'FFFF83FB		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83FC	ADDRG							AD9	AD8	
H'FFFF83FD		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
H'FFFF83FE	ADDRH							AD9	AD8	
H'FFFF83FF		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF8400 ~ H'FFFF841F										A/D (高速) (SH7014)
H'FFFF8420	ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D (中速) (SH7016/ 17)
H'FFFF8421		AD1	AD0							
H'FFFF8422	ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF8423		AD1	AD0							
H'FFFF8424	ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF8425		AD1	AD0							
H'FFFF8426	ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'FFFF8427		AD1	AD0							
H'FFFF8428	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'FFFF8429	ADCR	TGRE								
H'FFFF842A ~ H'FFFF857F										
H'FFFF8580	FLMCR1	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1	FLASH (F-ZTAT 版のみ)
H'FFFF8581	FLMCR2	FLER								
H'FFFF8582	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'FFFF8583 ~ H'FFFF860F										
H'FFFF8610	TCSR	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
H'FFFF8610	TCNT* <sup>3</sup>									
H'FFFF8611	TCNT* <sup>4</sup>									
H'FFFF8612	RSTCSR* <sup>3</sup>	WOVF	RSTE							
H'FFFF8613	RSTCSR* <sup>4</sup>	WOVF	RSTE							
H'FFFF8614	SBYCR	SBY	HIZ							低消費電力 状態
H'FFFF8615 ~ H'FFFF861F										BSC
H'FFFF8620	BCR1								IOE	
H'FFFF8621						A3SZ	A2SZ	A1SZ	A0SZ	
H'FFFF8622	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	
H'FFFF8623		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0	
H'FFFF8624	WCR1	W33	W32	W31	W30	W23	W22	W21	W20	
H'FFFF8625		W13	W12	W11	W10	W03	W02	W01	W00	
H'FFFF8626	WCR2									
H'FFFF8627				DDW1	DDW0	DSW3	DSW2	DSW1	DSW0	
H'FFFF8628	RAMER									
H'FFFF8629							RAMS	RAM1	RAM0	FLASH (F-ZTAT 版のみ)

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF862A	DCR	TPC	RCD	TRAS1	TRAS0	DWW1	DWW0	DWR1	DWR0	BSC
H'FFFF862B		DIW		BE	RASD		SZ0	AMX1	AMX0	
H'FFFF862C	RTCSR									
H'FFFF862D			CMF	CMIE	CKS2	CKS1	CKS0	RFSH	RMD	
H'FFFF862E	RTCNT									
H'FFFF862F										
H'FFFF8630	RTCOR									
H'FFFF8631										
H'FFFF8632 ~ H'FFFF86AF										
H'FFFF86B0	DMAOR									
H'FFFF86B1							AE	NMIF	DME	
H'FFFF86B2 ~ H'FFFF86BF										
H'FFFF86C0	SAR0									
H'FFFF86C1										
H'FFFF86C2										
H'FFFF86C3										
H'FFFF86C4	DAR0									
H'FFFF86C5										
H'FFFF86C6										
H'FFFF86C7										
H'FFFF86C8	DMATCRO									
H'FFFF86C9										
H'FFFF86CA										
H'FFFF86CB										
H'FFFF86CC	CHCRO									
H'FFFF86CD							RL	AM	AL	
H'FFFF86CE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86CF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86D0	SAR1									
H'FFFF86D1										
H'FFFF86D2										
H'FFFF86D3										
H'FFFF86D4	DAR1									
H'FFFF86D5										
H'FFFF86D6										
H'FFFF86D7										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFF86D8	DMATCR1									DMAC
H'FFFF86D9										
H'FFFF86DA										
H'FFFF86DB										
H'FFFF86DC	CHCR1									
H'FFFF86DD							RL	AM	AL	
H'FFFF86DE		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
H'FFFF86DF			DS	TM	TS1	TS0	IE	TE	DE	
H'FFFF86E0 ~ H'FFFF873F										
H'FFFF8740	CCR									CAC
H'FFFF8741					CEDRAM	CECS3	CECS2	CECS1	CECS0	
H'FFFF8742 ~ H'FFFF87FF										

- 【注】 \*1 SH7014 の場合、予約ビットになります。  
 \*2 SH7014 の場合、予約アドレスになります。アクセスしないでください。  
 \*3 書き込み時のアドレスです。  
 \*4 読み出し時のアドレスです。詳しくは「11.2.4 レジスタアクセス時の注意」を参照してください。



## A.2 機能一覧

	レジスタ名称 (略式)	先頭アドレス	アクセスサイズ	モジュール
	シリアルモードレジスタ (SMR)	H'FFFF81A0 (チャンネル0)、 H'FFFF81B0 (チャンネル1)	8/16	SCI

レジスタの概要	項目	ビット							
		7	6	5	4	3	2	1	0
	ビット名	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
	初期値	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビットの機能	ビット	ビット名称	値	説明	
	7	コミュニケーションモード (C/ $\bar{A}$ )	0	調歩同期式モード (初期値)	
			1	クロック同期式モード	
	6	キャラクタレンジス (CHR)	0	8ビットデータ (初期値)	
			1	7ビットデータ (初期値)	
	5	パリティイネーブル (PE)	0	パリティビットの付加、およびチェックを禁止 (初期値)	
			1	パリティビットの付加、およびチェックを許可	
	4	パリティモード (O/ $\bar{E}$ )	0	偶数パリティ (初期値)	
			1	奇数パリティ	
	3	ストップビットレンジス (STOP)	0	1ストップビット (初期値)	
			1	2ストップビット	
	2	マルチプロセッサモード (MP)	0	マルチプロセッサ機能を禁止 (初期値)	
			1	マルチプロセッサフォーマットを選択	
	1、0	クロックセレクト1、0 (CKS1、CKS0)	0	0	$\phi/4$ (初期値)
				1	$\phi/16$
1			0	$\phi/64$	
			1	$\phi/256$	

ビット番号    ビット名称 (略称)    ビットの値  
 (2ビット以上を1組として説明している場合、左側が上位ビット、右側が下位ビットです)    ビットの説明

INTC

割り込み優先レベル設定レジスタ A (IPRA)      H'FFFF8348      8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~12	(IRQ0 優先レベル設定)	IRQ0 の優先レベル値を設定
11~8	(IRQ1 優先レベル設定)	IRQ1 の優先レベル値を設定
7~4	(IRQ2 優先レベル設定)	IRQ2 の優先レベル値を設定
3~0	(IRQ3 優先レベル設定)	IRQ3 の優先レベル値を設定

割り込み優先レベル設定レジスタ B (IPRB)      H'FFFF834A      8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7~4	(IRQ6 優先レベル設定)	IRQ6 の優先レベル値を設定
3~0	(IRQ7 優先レベル設定)	IRQ7 の優先レベル値を設定

INTC

割り込み優先レベル設定レジスタ C ( IPRC )	H'FFFF834C	8/16/32
----------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
15 ~ 12	( DMAC0 優先レベル設定 )	DMAC0 の優先レベル値を設定
11 ~ 8	( DMAC1 優先レベル設定 )	DMAC1 の優先レベル値を設定

割り込み優先レベル設定レジスタ D ( IPRD )	H'FFFF834E	8/16/32
----------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15 ~ 12	( MTU0 優先レベル設定 )	MTU0 の優先レベル値を設定
11 ~ 8	( MTU0 優先レベル設定 )	MTU0 の優先レベル値を設定
7 ~ 4	( MTU1 優先レベル設定 )	MTU1 の優先レベル値を設定
3 ~ 0	( MTU1 優先レベル設定 )	MTU1 の優先レベル値を設定

INTC

割り込み優先レベル設定レジスタ E ( IPRE )	H'FFFF8350	8/16/32
----------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
15 ~ 12	( MTU2 優先レベル設定 )	MTU2 の優先レベル値を設定
11 ~ 8	( MTU2 優先レベル設定 )	MTU2 の優先レベル値を設定

割り込み優先レベル設定レジスタ F ( IPRF )	H'FFFF8352	8/16/32
----------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
7 ~ 4	( SCI0 優先レベル設定 )	SCI0 の優先レベル値を設定
3 ~ 0	( SCI1 優先レベル設定 )	SCI1 の優先レベル値を設定

INTC

割り込み優先レベル設定レジスタ G (IPRG)	H'FFFF8354	8/16/32
--------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	説明
15~12	(A/D 優先レベル設定)	A/D の優先レベル値を設定
7~4	(CMT0 優先レベル設定)	CMT0 の優先レベル値を設定
3~0	(CMT1 優先レベル設定)	CMT1 の優先レベル値を設定

割り込み優先レベル設定レジスタ H (IPRH)	H'FFFF8356	8/16/32
--------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名称	説明
15~12	(WDT、BSC 優先レベル設定)	WDT、BSC の優先レベル値を設定

INTC

割り込みコントロールレジスタ (ICR)	H'FFFF8358	8/16/32
----------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	NMIL							NMIE
初期値	*	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W
項目	7	6	5	4	3	2	1	0
ビット名	IRQ0S	IRQ1S	IRQ2S	IRQ3S			IRQ6S	IRQ7S
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

【注】 \* NMI 端子がハイレベルのとき 1、ローレベルのとき 0

ビット	ビット名称	値	説明
15	NMI 入力レベル (NMIL)	0	NMI 端子にローレベルが入力されている
		1	NMI 端子にハイレベルが入力されている
8	NMI エッジセレクト (NMIE)	0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
		1	NMI 入力の立ち上がりエッジで割り込み要求を検出
7~4、 1、0	IRQ0 ~ IRQ3、IRQ6、IRQ7 センスセレクト (IRQ0S ~ IRQ3S、 IRQ6S、IRQ7S)	0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
		1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

INTC

IRQ ステータスレジスタ (ISR)	H'FFFF835A	8/16/32
---------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名	IRQ0F	IRQ1F	IRQ2F	IRQ3F			IRQ6F	IRQ7F
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名称	値	検出設定	説明
7~4、 1、0	IRQ0 ~ IRQ3、IRQ6、IRQ7 フラグ (IRQ0F ~ IRQ3F、IRQ6F、 IRQ7F)	0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] IRQn 入力が高レベルのとき
			エッジ検出時	IRQn 割り込み要求が検出されていませ ん。 (初期値) [クリア条件] (1) IRQnF=1 の状態をリード後に 0 をラ イトしたとき (2) IRQn 割り込み例外処理を実行したと き
		1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] IRQn 入力がローレベルのとき
			エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] IRQn 入力に立ち下がりエッジが発生した とき

CAC

キャッシュコントロールレジスタ (CCR)

H'FFFF8740

8/16/32

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	*	*	*	*	*	*	*	*
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名				CEDRAM	CECS3	CECS2	CECS1	CECS0
初期値	*	*	*	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

【注】 \* 不定

ビット	ビット名称	値	説明
4	DRAM 空間キャッシュイネーブル (CEDRAM)	0	DRAM 空間のキャッシュディスエーブル (初期値)
		1	DRAM 空間のキャッシュイネーブル
3	CS3 空間キャッシュイネーブル (CECS3)	0	CS3 空間のキャッシュディスエーブル (初期値)
		1	CS3 空間のキャッシュイネーブル
2	CS2 空間キャッシュイネーブル (CECS2)	0	CS2 空間のキャッシュディスエーブル (初期値)
		1	CS2 空間のキャッシュイネーブル
1	CS1 空間キャッシュイネーブル (CECS1)	0	CS1 空間のキャッシュディスエーブル (初期値)
		1	CS1 空間のキャッシュイネーブル
0	CS0 空間キャッシュイネーブル (CECS0)	0	CS0 空間のキャッシュディスエーブル (初期値)
		1	CS0 空間のキャッシュイネーブル



BSC

バスコントロールレジスタ 1 (BCR1)	H'FFFF8620	8/16/32
-----------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								IOE
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W
項目	7	6	5	4	3	2	1	0
ビット名					A3SZ	A2SZ	A1SZ	A0SZ
初期値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
8	マルチプレクス I/O イネーブル (IOE)	0	CS3 空間は通常空間 (初期値)
		1	CS3 空間はアドレス/データマルチプレクス I/O 空間
3	CS3 空間サイズ指定 (A3SZ)	0	バイト (8 ビット) サイズ
		1	ワード (16 ビット) サイズ (初期値)
2	CS2 空間サイズ指定 (A2SZ)	0	バイト (8 ビット) サイズ
		1	ワード (16 ビット) サイズ (初期値)
1	CS1 空間サイズ指定 (A1SZ)	0	バイト (8 ビット) サイズ
		1	ワード (16 ビット) サイズ (初期値)
0	CS0 空間サイズ指定 (A0SZ)	0	バイト (8 ビット) サイズ
		1	ワード (16 ビット) サイズ (初期値)

BSC

バスコントロールレジスタ 2 (BCR2) H'FFFF8622 8/16/32

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15~8	サイクル間アイドル指定 (IW31、IW30、 IW21、IW20、IW11、 IW10、IW01、IW00)	IW31、 IW30	0 0 CS3 空間アクセス後アイドルサイクルなし
			1 CS3 空間アクセス後 1 アイドルサイクル
			1 0 CS3 空間アクセス後 2 アイドルサイクル
			1 CS3 空間アクセス後 3 アイドルサイクル (初期値)
		IW21、 IW20	0 0 CS2 空間アクセス後アイドルサイクルなし
			1 CS2 空間アクセス後 1 アイドルサイクル
			1 0 CS2 空間アクセス後 2 アイドルサイクル
			1 CS2 空間アクセス後 3 アイドルサイクル (初期値)
		IW11、 IW10	0 0 CS1 空間アクセス後アイドルサイクルなし
			1 CS1 空間アクセス後 1 アイドルサイクル
			1 0 CS1 空間アクセス後 2 アイドルサイクル
			1 CS1 空間アクセス後 3 アイドルサイクル (初期値)
		IW01、 IW00	0 0 CS0 空間アクセス後アイドルサイクルなし
			1 CS0 空間アクセス後 1 アイドルサイクル
			1 0 CS0 空間アクセス後 2 アイドルサイクル
			1 CS0 空間アクセス後 3 アイドルサイクル (初期値)
7	連続アクセス時アイドル指定 (CW3)	0 CS3 空間連続アクセス時アイドルサイクルなし	
		1 CS3 空間連続アクセス時 1 アイドルサイクル (初期値)	
6	連続アクセス時アイドル指定 (CW2)	0 CS2 空間連続アクセス時アイドルサイクルなし	
		1 CS2 空間連続アクセス時 1 アイドルサイクル (初期値)	
5	連続アクセス時アイドル指定 (CW1)	0 CS1 空間連続アクセス時アイドルサイクルなし	
		1 CS1 空間連続アクセス時 1 アイドルサイクル (初期値)	
4	連続アクセス時アイドル指定 (CW0)	0 CS0 空間連続アクセス時アイドルサイクルなし	
		1 CS0 空間連続アクセス時 1 アイドルサイクル (初期値)	
3	CS アサート拡張指定 (SW3)	0 CS3 空間 CS アサート拡張なし	
		1 CS3 空間 CS アサート拡張あり (初期値)	

BSC

ビット	ビット名称	値	説明
4	連続アクセス時アイドル指定 (CW0)	0	CS0 空間連続アクセス時アイドルサイクルなし
		1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)
3	CS アサート拡張指定 (SW3)	0	CS3 空間 CS アサート拡張なし
		1	CS3 空間 CS アサート拡張あり (初期値)
2	CS アサート拡張指定 (SW2)	0	CS2 空間 CS アサート拡張なし
		1	CS2 空間 CS アサート拡張あり (初期値)
1	CS アサート拡張指定 (SW1)	0	CS1 空間 CS アサート拡張なし
		1	CS1 空間 CS アサート拡張あり (初期値)
0	CS アサート拡張指定 (SW0)	0	CS0 空間 CS アサート拡張なし
		1	CS0 空間 CS アサート拡張あり (初期値)

BSC

ウェイトコントロールレジスタ 1 (WCR1)      H'FFFF8624      8/16/32

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	W33	W32	W31	W30	W23	W22	W21	W20	W13	W12	W11	W10	W03	W02	W01	W00
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明
15~12	CS3 空間ウェイト指定 (W33~W30)	0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
		0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
		~				
		1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)
11~8	CS2 空間ウェイト指定 (W23~W20)	0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
		0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
		~				
		1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)
7~4	CS1 空間ウェイト指定 (W13~W10)	0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
		0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
		~				
		1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)
3~0	CS0 空間ウェイト指定 (W03~W00)	0	0	0	0	ノーウェイト (外部ウェイト入力禁止)
		0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
		~				
		1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

BSC

ウェイトコントロールレジスタ 2 (WCR2)	H'FFFF8626	8/16/32
-------------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名			DDW1	DDW0	DSW3	DSW2	DSW1	DSW0
初期値	0	0	0	0	1	1	1	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明
5、4	DRAM 空間 DMA シングル アドレスモードアクセス時、 ウェイト指定 (DDW1、DDW0)	0	0	0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
		0	1	0	0	3 サイクル (1 ウェイト) 外部ウェイト禁止
		1	0	0	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
		1	1	0	0	5 サイクル (3 ウェイト) 外部ウェイトイネーブル
3~0	CS 空間 DMA シングル アドレスモードアクセス時、 ウェイト指定 (DSW3~DSW0)	0	0	0	0	ノーウェイト外部ウェイト入力禁止
		0	0	0	1	1 ウェイト外部ウェイト入力イネーブル
		~				
		1	1	1	1	15 ウェイト外部ウェイト入力イネーブル (初期値)

DRAM エリアコントロールレジスタ (DCR)	H'FFFF862A	8/16/32
--------------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	TPC	RCD	TRAS1	TRAS0	DWW1	DWW0	DWR1	DWR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	DIW		BE	RASD		SZ0	AMX1	AMX0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R/W	R/W	R/W

## BSC

ビット	ビット名称	値		説明
15	RAS プリチャージサイクル数 (TPC)	0	1.5 サイクル	(初期値)
		1	2.5 サイクル	
14	RAS CAS 遅延サイクル数 (RCD)	0	1 サイクル	(初期値)
		1	2 サイクル	
13、12	CAS ビフォ RAS リフレッシュ RAS アサートサイクル数 (TRAS1、TRAS0)	0	0	2.5 サイクル (初期値)
		0	1	3.5 サイクル
		1	0	4.5 サイクル
		1	1	5.5 サイクル
11、10	DRAM ライトサイクル、 ウェイト数 (DWW1、DWW0)	0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
		0	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
		1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
		1	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル
9、8	DRAM リードサイクル、 ウェイト数 (DWR1、DWR0)	0	0	2 サイクル (ノーウェイト) 外部ウェイト禁止 (初期値)
		0	1	3 サイクル (1 ウェイト) 外部ウェイト禁止
		1	0	4 サイクル (2 ウェイト) 外部ウェイトイネーブル
		1	1	5 サイクル (3 ウェイト) 外部ウェイトイネーブル
7	DRAM アイドルサイクル数 (DIW)	0	アイドルサイクルなし (初期値)	
		1	1 アイドルサイクル	
5	バーストイネーブル (BE)	0	バースト禁止 (初期値)	
		1	DRAM 高速ページモードをイネーブルにします	
4	RAS ダウンモード (RASD)	0	DRAM を RAS アップモードでアクセスします (初期値)	
		1	DRAM を RAS ダウンモードでアクセスします	
2	DRAM バス幅指定 (SZ0)	0	バイト (8 ビット) (初期値)	
		1	ワード (16 ビット)	
1、0	DRAM アドレスマルチプレク ス (AMX1、AMX0)	0	0	9 ビット (初期値)
		0	1	10 ビット
		1	0	11 ビット
		1	1	12 ビット

【注】 \* 0 または 1

BSC

リフレッシュタイムコントロール/ステータスレジスタ(RTCSCR) | H'FFFF862C | 8/16/32

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名		CMF	CMIE	CKS2	CKS1	CKS0	RFSH	RMD
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明		
6	コンペアマッチフラグ (CMF)	0	CMF=1 の状態で RTCSCR をリードした後、CMF に'0' をライトしたとき (初期値)		
		1	RTCNT=RTCOR になったとき 【注】RTCNT および RTCOR が初期値のままのとき (初期値から値を書き換えていないときおよび RTCNT がカウントアップにより値を変化させていないとき)、RTCNT および RTCOR はともに H'0000 で一致していますがこのときには CMF はセットされません。		
5	コンペアマッチインタラプトイネーブル (CMIE)	0	CMF による割り込み要求を禁止 (初期値)		
		1	CMF による割り込み要求を許可		
4~2	クロックセレクト (CKS2~CKS0)	0	0	0	カウントアップ停止 (初期値)
			1	$\phi/2$	
		1	0	$\phi/8$	
			1	$\phi/32$	
		1	0	$\phi/128$	
			1	$\phi/512$	
1	リフレッシュ制御 (RFSH)	0	DRAM のリフレッシュをしない (初期値)		
		1	DRAM のリフレッシュをする		
0	リフレッシュモード (RMD)	0	CAS ビフォ RAS リフレッシュをする (初期値)		
		1	セルフリフレッシュをする		

BSC
-----

リフレッシュタイムカウンタ (RTCNT)	H'FFFF862E	8/16/32
-----------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュタイムコンスタントレジスタ (RTCOR)	H'FFFF8630	8/16/32
-----------------------------	------------	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W



## DMAC

DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1)	H'FFFF86C0 (チャンネル0) H'FFFF86D0 (チャンネル1)	16/32
---------------------------------	--	-------

項目	ビット										0	
	31	30	29	28	27	26	25	24	23	.....		
ビット名											.....	
初期値											.....	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	.....	R/W

DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1)	H'FFFF86C4 (チャンネル0) H'FFFF86D4 (チャンネル1)	16/32
---------------------------------------	--	-------

項目	ビット										0	
	31	30	29	28	27	26	25	24	23	.....		
ビット名											.....	
初期値											.....	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	.....	R/W

DMA トランスファカウントレジスタ 0、1 (DMATCR0、DMATCR1)	H'FFFF86C8 (チャンネル0) H'FFFF86D8 (チャンネル1)	16/32
--	--	-------

項目	ビット															
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
項目	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMAC

DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1)	H'FFFF86CC (チャンネル0) H'FFFF86DC (チャンネル1)	8/16/32
--	--	---------

項目	ビット							
	31	30	29	28	27	26	25	24
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	23	22	21	20	19	18	17	16
ビット名						RL	AM	AL
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W
項目	15	14	13	12	11	10	9	8
ビット名	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名		DS	TM	TS1	TS0	IE	TE	DE
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/(W)	R/W

ビット	ビット名称	値	説明	
18	リクエストチェックレベルビット (RL)	0	DRAK をハイアクティブで出力 (初期値)	
		1	DRAK をローアクティブで出力	
17	アクノリッジモードビット (AM)	0	読み出しサイクルで DACK を出力 (初期値)	
		1	書き込みサイクルで DACK を出力	
16	アクノリッジレベル (AL)	0	ハイアクティブで出力 (初期値)	
		1	ローアクティブで出力	
15、14	デスティネーションアドレスモード 1、0 (DM1、DM0)	0	0	デスティネーションアドレスは固定 (初期値)
			1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
		1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
			1	(設定禁止)

## DMAC

ビット	ビット名称	値		説明		
13、12	ソースアドレスモード 1、0 (SM1、SM0)	0	0	ソースアドレスは固定 (初期値)		
			1	ソースアドレスは増加(8ビット転送時+1、16ビット転送時+2、32ビット転送時+4)		
		1	0	ソースアドレスは減少(8ビット転送時-1、16ビット転送時-2、32ビット転送時-4)		
			1	(設定禁止)		
11~8	リソースセレクト 3~0 (RS3~RS0)	0	0	0	外部リクエスト、デュアルアドレスモード (初期値)	
				1	(使用禁止)	
			1	0	外部リクエスト、シングルアドレスモード 外部アドレス空間→外部デバイス	
				1	外部リクエスト、シングルアドレスモード 外部デバイス→外部アドレス空間	
		1	0	0	オートリクエスト	
				1	(使用禁止)	
				1	0	MTUTGI0A
		1	0	1	TGI1A	
				1	0	TGI2A
				1	(使用禁止)	
		1	0	1	0	(使用禁止)
					1	A/D ADI
				1	0	SCI0TXI0
					1	RXI0
		1	0	0	SCI1TXI1	
				1	RXI1	
6	DREQ セレクト (DS)	0		ローレベル検出 (初期値)		
		1		立ち下がりエッジ検出		
5	トランスミットモード (TM)	0		サイクルスチールモード (初期値)		
		1		バーストモード		
4、3	トランスミットサイズ 1、0 (TS1、TS0)	0	0	バイトサイズ (8ビット) 指定 (初期値)		
			1	ロングワードサイズ (32ビット) 指定		
		1	0	ワードサイズ (16ビット) 指定		
			1	(使用禁止)		
2	インタラプトイネーブル (IE)	0		DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)		
		1		DMATCR 指定転送回数終了時、割り込み要求を発生する		

## DMAC

ビット	ビット名称	値	説明
1	トランスファエンド (TE)	0	DMATCR 指定転送回数転送未終了 (初期値) [クリア条件] TE=1 のリード後 0 ライト パワーオンリセット スタンバイ
		1	DMATCR 指定転送回数転送終了
0	DMAC イネーブル (DE)	0	対応チャンネルの動作禁止 (初期値)
		1	対応チャンネルの動作許可

DMA オペレーションレジスタ (DMAOR)

H'FFFF86B0

8/16/32

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名						AE	NMIF	DME
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

【注】 AE、NMIF ビットは、1 リード後の 0 ライトのみ実行可能です。

ビット	ビット名称	値	説明
2	アドレスエラーフラグ (AE)	0	アドレスエラーなし。DMA 転送許可状態 (初期値) [クリア条件] AE=1 リード後 AE=0 ライト
		1	アドレスエラーあり。DMA 転送禁止状態 [セット条件] DMAC によるアドレスエラーの発生
1	NMI フラグ (NMIF)	0	NMI 入力なし。DMA 転送許可状態 (初期値) [クリア条件] NMIF =1 リード後 NMIF =0 ライト
		1	NMI 入力あり。DMA 転送禁止状態 [セット条件] NMI 割り込みの発生
0	DMAC マスタイネーブル (DME)	0	全チャンネルの動作禁止 (初期値)
		1	全チャンネルの動作許可

MTU

タイマコントロールレジスタ 0 (TCR0)	H'FFFF8260	8/16/32
------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明	
7~5	カウンタクリア 2~0 (CCLR2~CCLR0)	0	0	0	TCNT のクリア禁止 (初期値)
				1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
			1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
				1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
		1	0	0	TCNT のクリア禁止
				1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT をクリア*2
			1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT をクリア*2
				1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
4, 3	クロックエッジ 1, 0 (CKEG1, CKEG0)*4	0	0	立ち上がりエッジでカウント (初期値)	
			1	立ち下がりエッジでカウント	
		1	X*3	両エッジでカウント	
2~0	タイマプリスケアラ 2, 1, 0 (TPSC2~TPSC0)	0	0	0	内部クロック : $\phi/1$ でカウント (初期値)
				1	内部クロック : $\phi/4$ でカウント
			1	0	内部クロック : $\phi/16$ でカウント
				1	内部クロック : $\phi/64$ でカウント
		1	0	0	外部クロック : TCLKA 端子入力でカウント
				1	外部クロック : TCLKB 端子入力でカウント
			1	0	外部クロック : TCLKC 端子入力でカウント
				1	外部クロック : TCLKD 端子入力でカウント

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

\*3 X : 0 または 1、don't care を表します。

\*4 内部クロックのエッジ選択は、入力クロックが  $\phi/4$  もしくはそれより遅い場合に有効です。入力クロックに  $\phi/1$  を選択した場合は、本設定は無視されます。

MTU

タイマモードレジスタ 0 (TMDR0)	H'FFFF8261	8/16/32
----------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名			BFB	BFA	MD3	MD2	MD1	MD0
初期値	1	1	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明		
5	バッファ動作 B (BFB)	0		TGRB は通常動作 (初期値)		
		1		TGRB と TGRD はバッファ動作		
4	バッファ動作 A (BFA)	0		TGRA は通常動作 (初期値)		
		1		TGRA と TGRC はバッファ動作		
3~0	モード 3~0 (MD3~MD0)	0	0	0	通常動作 (初期値)	
				1	予約 (設定しないでください)	
				1	0	PWM モード 1
					1	PWM モード 2
			1	0	予約 (設定しないでください)	
				1	予約 (設定しないでください)	
				1	0	予約 (設定しないでください)
					1	予約 (設定しないでください)
		1	0	0	予約 (設定しないでください)	
				1	予約 (設定しないでください)	
				1	0	予約 (設定しないでください)
					1	予約 (設定しないでください)
			1	0	0	予約 (設定しないでください)
					1	予約 (設定しないでください)
				1	0	予約 (設定しないでください)
					1	予約 (設定しないでください)

MTU

タイマ I/O コントロールレジスタ 0H (TIOR0H)	H'FFFF8262	8/16/32
--------------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明					
7~4	I/O コントロール B3 ~ B0 (IOB3 ~ IOB0)	0	0	0	0	TGR0B は アウトプ ットコンパ アレジスタ	出力禁止 (初期値)				
							1	0	初期出力は 0 出力	コンペアマッチで 0 出力 コンペアマッチで 1 出力 コンペアマッチでトグル出力	
				1	0		0	出力禁止			
				1	0		1	初期出力は 1 出力	コンペアマッチで 0 出力 コンペアマッチで 1 出力 コンペアマッチでトグル出力		
			1	0	0		0	TGR0B は インプ ットキャ プチャ レジスタ	キャプチャ 入力元は TIOC0B 端 子	立ち上がりエッジでインプ ットキャプチャ	
										1	0
					1		0			0	両エッジでインプットキャ プチャ
					1		0			1	キャプチャ 入力元は チャンネル 1 / カウン トクロック

MTU

ビット	ビット名称	値				説明			
3-0	I/O コントロール A3 ~ A0 (IOA3 ~ IOA0)	0	0	0	0	TGR0A は アウトプ ットコンペア レジスタ	出力禁止 (初期値)		
				1	0		初期出力は 0 出力	コンペアマッチで 0 出力	
				1	1			コンペアマッチで 1 出力	
				1	0		0	出力禁止	
					1		0	初期出力は 1 出力	コンペアマッチで 0 出力
					1		1		コンペアマッチで 1 出力
		1	0	0	0	0	TGR0A は インプ ットキャプチャ レジスタ	キャプチャ 入力元は TIOCOA 端 子	立ち上がりエッジでインプ ットキャプチャ
					1	0			立ち下がりエッジでインプ ットキャプチャ
					1	1			両エッジでインプットキャ プチャ
				1	0	0		キャプチャ 入力元は チャンネル 1 / カウン トク ロック	TCNT1 のカウントアップ / カウントダウンでインプ ット キャプチャ
					1	0			
					1	1			



MTU

タイマ I/O コントロールレジスタ 0L (TIOR0L)

H'FFFF8263

8/16/32

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明				
7~4	I/O コントロール D3 ~ D0 (IOD3 ~ IOD0)	0	0	0	0	TGR0D は アウトプ ットコンパ アレジスタ	出力禁止 (初期値)			
							1	0	初期出力は 0 出力	コンペアマッチで 0 出力
				1	0				コンペアマッチで 1 出力	コンペアマッチでトグル出力
				1	0		0	出力禁止		
			1					0	初期出力は 1 出力	コンペアマッチで 0 出力
			1		0		0	コンペアマッチで 1 出力	コンペアマッチでトグル出力	
								1	0	1
			1	0	0		0	0	TGR0D は インプ ットキャ プチャ レジスタ	キャプチャ 入力元は TIOC0D 端 子
		1				0				
							1	0		
		1				0				
					1		0	0		1
		1				0				0
					1		0	0		
		1				0				0

MTU

ビット	ビット名称	値				説明		
3-0	I/O コントロール C3 ~ C0 (IOC3 ~ IOC0)	0	0	0	TGR0C は アウトプ ットコン ペアレ ジスタ	出力禁止 (初期値)		
				1		初期出力は 0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
				1		コンペアマッチでトグル出力		
				0		出力禁止		
				1		初期出力は 1 出力	コンペアマッチで 0 出力	
		0	コンペアマッチで 1 出力					
		1	コンペアマッチでトグル出力					
		1	0	0	0	TGR0C は インプ ット キャプ チャ レジスタ	キャプチャ 入力元は TIOC0C 端 子	立ち上がりエッジでインプ ットキャプチャ
					1			立ち下がりエッジでインプ ットキャプチャ
					0			両エッジでインプットキャ プチャ
					1		0	0
1								
0								
1	1							

- 【注】 1. TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。
2. TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

MTU

タイミンタラプティネーブルレジスタ 0 ( TIER0 )	H'FFFF8264	8/16/32
-------------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	A/D 変換開始要求イネーブル ( TTGE )	0	A/D 変換開始要求の発生を禁止 ( 初期値 )
		1	A/D 変換開始要求の発生を許可
4	オーバフローインタラプティネーブル ( TCIEV )	0	TCFV による割り込み要求 ( TCIV ) を禁止 ( 初期値 )
		1	TCFV による割り込み要求 ( TCIV ) を許可
3	TGR インタラプティネーブル D ( TGIED )	0	TGFD ビットによる割り込み要求 ( TGID ) を禁止 ( 初期値 )
		1	TGFD ビットによる割り込み要求 ( TGID ) を許可
2	TGR インタラプティネーブル C ( TGIEC )	0	TGFC ビットによる割り込み要求 ( TGIC ) を禁止 ( 初期値 )
		1	TGFC ビットによる割り込み要求 ( TGIC ) を許可
1	TGR インタラプティネーブル B ( TGIEB )	0	TGFB ビットによる割り込み要求 ( TGIB ) を禁止 ( 初期値 )
		1	TGFB ビットによる割り込み要求 ( TGIB ) を許可
0	TGR インタラプティネーブル A ( TGIEA )	0	TGFA ビットによる割り込み要求 ( TGIA ) を禁止 ( 初期値 )
		1	TGFA ビットによる割り込み要求 ( TGIA ) を許可

MTU

タイムステータスレジスタ 0 (TSR0)

H'FFFF8265

8/16/32

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名				TCFV	TGFD	TGFC	TGFB	TGFA
初期値	1	1	0	0	0	0	0	0
R/W	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット	ビット名称	値	説明
4	オーバフローフラグ (TCFV)	0	[クリア条件] (初期値) TCFV=1の状態ではTCFVを読み出した後、TCFVに0を書き込んだとき
		1	[セット条件] TCNTの値がオーバフロー (H'FFFF→H'0000) したとき
3	インプットキャプチャ/アウトプットコンペアフラグ D (TGFD)	0	[クリア条件] (初期値) TGFD=1の状態ではTGFDを読み出した後、TGFDに0を書き込んだとき
		1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき
2	インプットキャプチャ/アウトプットコンペアフラグ C (TGFC)	0	[クリア条件] (初期値) TGFC=1の状態ではTGFCを読み出した後、TGFCに0を書き込んだとき
		1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき
1	インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)	0	[クリア条件] (初期値) TGFB=1の状態ではTGFBを読み出した後、TGFBに0を書き込んだとき
		1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

## MTU

ビット	ビット名称	値	説明
0	インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)	0	[クリア条件] (初期値) TGFA=1 の状態で TGFA を読み出した後、TGFA に 0 を書き込んだとき*
		1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 \* TGFA による DMAC 転送によってクリアされます。

タイマカウンタ 0 (TCNT0)	H'FFFF8266	16/32
-------------------	------------	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマジェネラルレジスタ 0 (TGR0)	H'FFFF8268 (0A) H'FFFF826A (0B) H'FFFF826C (0C) H'FFFF826E (0D)	16/32
-----------------------	--	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MTU

タイマコントロールレジスタ 1 (TCR1)	H'FFFF8280	8/16/32
------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明
7~5	カウンタクリア 2~0 (予約* <sup>2</sup> 、CCLR1、CCLR0)	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
		1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
			1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* <sup>1</sup>
4、3	クロックエッジ 1、0 (CKEG1、CKEG0)* <sup>5</sup>	0	0	立ち上がりエッジでカウント (初期値)
			1	立ち下がりエッジでカウント
		1	X* <sup>3</sup>	両エッジでカウント
2~0* <sup>4</sup>	タイマプリスケラ 2~0 (TPSC2~TPSC0)	0	0	内部クロック : $\phi/1$ でカウント (初期値)
			1	内部クロック : $\phi/4$ でカウント
			1	内部クロック : $\phi/16$ でカウント
			1	内部クロック : $\phi/64$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
			0	内部クロック : $\phi/256$ でカウント
1	1	TCNT2 オーバフロー / アンダフローでカウント		

- 【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。  
\*2 チャンネル 1 ではビット 7 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。  
\*3 X : 0 または 1、don't care を表します。  
\*4 チャンネル 1 が位相計測モード時、この設定は無効になります。  
\*5 内部クロックのエッジ選択は入力クロックが  $\phi/4$  もしくはそれより遅い場合に有効です。入力クロックに  $\phi/1$ 、あるいは TCNT2 のオーバフロー / アンダフローを選択した場合には、無視されます。

MTU

タイマモードレジスタ 1 (TMDR1)	H'FFFF8281	8/16/32
----------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名					MD3	MD2	MD1	MD0
初期値	1	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明	
3~0	モード 3~0 (MD3~MD0)	0	0	0	0	通常動作 (初期値)	
				1	0	予約 (設定しないでください)	
				1	0	0	PWM モード 1
					1	0	PWM モード 2
			1	0	0	0	位相計測モード 1
					1	0	位相計測モード 2
				1	0	0	位相計測モード 3
					1	0	位相計測モード 4
		1	0	0	0	0	予約 (設定しないでください)
					1	0	予約 (設定しないでください)
				1	0	0	予約 (設定しないでください)
					1	0	予約 (設定しないでください)
			1	0	0	0	予約 (設定しないでください)
					1	0	予約 (設定しないでください)
				1	0	0	予約 (設定しないでください)
					1	0	予約 (設定しないでください)

MTU

タイマ I/O コントロールレジスタ 1 (TIOR1)      H'FFFF8282      8/16/32

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明			
7~4	I/O コントロール B3 ~ B0 (IOB3 ~ IOB0)	0	0	0	TGR1B は アウトプ ットコンペア レジスタ	出力禁止 (初期値)			
						0	1	初期出力は 0 出力	コンペアマッチで 0 出力
						0	0		コンペアマッチで 1 出力
			0	1		コンペアマッチでトグル出力			
			1	0		出力禁止	初期出力は 1 出力		
			1				0	コンペアマッチで 0 出力	
		1	1		コンペアマッチで 1 出力				
		1	0	コンペアマッチでトグル出力					
		1	0	0	TGR1B は インプ ットキャプチャ レジスタ		キャプチャ 入力元は TIOC1B 端 子		
							0	1	立ち上がりエッジでインプ ットキャプチャ
						0	0	立ち下がりエッジでインプ ットキャプチャ	
				1		0	両エッジでインプットキャ プチャ		
1	0			キャプチャ 入力元は TGR0C の コンペア マッチ/イン プットキャ プチャ			チャネル 0/TGR0C のコンペア マッチ/インプットキャプ チャの発生でインプットキャ プチャ		
1	1								



MTU

ビット	ビット名称	値				説明			
3-0	I/O コントロール A3 ~ A0 (IOA3 ~ IOA0)	0	0	0	TGR1A は アウトプ ットコンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				0		コンペアマッチで 1 出力			
				1		コンペアマッチでトグル出力			
			1	0	出力禁止				
				1	初期出力は 1 出力	コンペアマッチで 0 出力			
				0	コンペアマッチで 1 出力				
				1	コンペアマッチでトグル出力				
		1	0	0	TGR1A は インプ ットキャプチャ レジスタ	0	キャプチャ 入力元は TIOC1A 端 子	立ち上がりエッジでインプ ットキャプチャ	
								1	立ち下がりエッジでインプ ットキャプチャ
						1		0	両エッジでインプットキャ プチャ
								1	
			1	0	0	キャプチャ 入力元は TGR0A の コンペアマ ッチ/イン プットキャ プチャ	0	チャネル 0/TGR0A のコンペア マッチ/インプットキャプ チャの発生でインプットキャ プチャ	
									1
									0
									1

MTU
-----

タイマインタラプトイネーブルレジスタ 1 (TIER1)	H'FFFF8284	8/16/32
------------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TTGE		TCIEU	TCIEV			TGIEB	TGIEA
初期値	0	1	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名称	値	説明
7	A/D 変換開始要求イネーブル (TTGE)	0	A/D 変換開始要求の発生を禁止 (初期値)
		1	A/D 変換開始要求の発生を許可
5	アンダフローインタラプトイネーブル (TCIEU)	0	UDF による割り込み要求 (TCIU) を禁止 (初期値)
		1	UDF による割り込み要求 (TCIU) を許可
4	オーバフローインタラプトイネーブル (TCIEV)	0	TCFV による割り込み要求 (TCIV) を禁止 (初期値)
		1	TCFV による割り込み要求 (TCIV) を許可
1	TGR インタラプトイネーブル B (TGIEB)	0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
		1	TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGR インタラプトイネーブル A (TGIEA)	0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
		1	TGFA ビットによる割り込み要求 (TGIA) を許可

MTU

タイムステータスレジスタ 1 (TSR1)	H'FFFF8285	8/16/32
-----------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TCFD		TCFU	TCFV			TGFB	TGFA
初期値	1	1	0	0	0	0	0	0
R/W	R/W	R	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名称	値	説明
7	カウント方向フラグ (TCFD)	0	TCNT はダウンカウント
		1	TCNT はアップカウント (初期値)
5	アンダフローフラグ (TCFU)	0	[クリア条件] (初期値) TCFU=1 の状態で TCFU を読み出した後、TCFU に 0 を書き込んだとき
		1	[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき
4	オーバフローフラグ (TCFV)	0	[クリア条件] (初期値) TCFV=1 の状態で TCFV を読み出した後、TCFV に 0 を書き込んだとき
		1	[セット条件] TCNT の値がオーバフロー (H'FFFF→H'0000) したとき
1	インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)	0	[クリア条件] (初期値) TGFB=1 の状態で TGFB を読み出した後、TGFB に 0 を書き込んだとき
		1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき
0	インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)	0	[クリア条件] (初期値) TGFA=1 の状態で TGFA を読み出した後、TGFA に 0 を書き込んだとき*
		1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 \* TGFA による DMAC 転送によってクリアされます。

付録

---

MTU
-----

タイマカウンタ 1 (TCNT1)	H'FFFF8286	16/32
-------------------	------------	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマジェネラルレジスタ 1 (TGR1)	H'FFFF8288 (1A) H'FFFF828A (1B)	16/32
-----------------------	------------------------------------	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MTU

タイマコントロールレジスタ 2 (TCR2)	H'FFFF82A0	8/16/32
------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明
7~5	カウンタクリア 2~0 (予約* <sup>2</sup> 、CCLR1、CCLR0)	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT をクリア
		1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT をクリア
			1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* <sup>1</sup>
4、3	クロックエッジ 1、0 (CKEG1、CKEG0)* <sup>5</sup>	0	0	立ち上がりエッジでカウント (初期値)
			1	立ち下がりエッジでカウント
		1	X* <sup>3</sup>	両エッジでカウント
2~0* <sup>4</sup>	タイマプリスケアラ 2~0 (TPSC2~TPSC0)	0	0	内部クロック : $\phi/1$ でカウント (初期値)
			1	内部クロック : $\phi/4$ でカウント
			1	内部クロック : $\phi/16$ でカウント
			1	内部クロック : $\phi/64$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
			0	外部クロック : TCLKC 端子入力でカウント
		1	内部クロック : $\phi/1024$ でカウント	

- 【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。  
\*2 チャンネル 2 ではビット 7 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。  
\*3 X : 0 または 1、don't care を表します。  
\*4 チャンネル 2 が位相計測モード時、この設定は無効になります。  
\*5 内部クロックのエッジ選択は入力クロックが  $\phi/4$  もしくはそれより遅い場合に有効です。入力クロックに  $\phi/1$  を選択した場合は本設定は無視されます。

MTU

タイマモードレジスタ 2 (TMDR2)	H'FFFF82A1	8/16/32
----------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名					MD3	MD2	MD1	MD0
初期値	1	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明
3~0	モード 3~0 (MD3~MD0)	0	0	0	0	通常動作 (初期値)
				1	1	予約 (設定しないでください)
				0	0	PWM モード 1
				1	1	PWM モード 2
			1	0	0	位相計測モード 1
				1	1	位相計測モード 2
				0	0	位相計測モード 3
				1	1	位相計測モード 4
		1	0	0	0	予約 (設定しないでください)
				1	1	予約 (設定しないでください)
				0	0	予約 (設定しないでください)
				1	1	予約 (設定しないでください)
			1	0	0	予約 (設定しないでください)
				1	1	予約 (設定しないでください)
				0	0	予約 (設定しないでください)
				1	1	予約 (設定しないでください)

MTU

タイマ I/O コントロールレジスタ 2 (TIOR2)	H'FFFF82A2	8/16/32
------------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値				説明					
7~4	I/O コントロール B3 ~ B0 (IOB3 ~ IOB0)	0	0	0	0	TGR2B は アウトプ ットコンパ アレジスタ	出力禁止 (初期値)				
							1	0	初期出力は 0 出力	コンペアマッチで 0 出力	
				1	0		コンペアマッチで 1 出力	コンペアマッチでトグル出力			
				1	0		出力禁止				
			1	0	0		0	TGR2B は インプ ットキャ プチャ レジスタ	初期出力は 1 出力	コンペアマッチで 0 出力	
									1	0	コンペアマッチで 1 出力
				1	0		1		0	キャプチャ 入力元は TIOC2B 端 子	立ち上がりエッジでインプ ットキャプチャ
				1	0		1		0	立ち下がりエッジでインプ ットキャプチャ	
		1	0	0	0	TGR2B は インプ ットキャ プチャ レジスタ	両エッジでインプットキャ プチャ	立ち上がりエッジでインプ ットキャプチャ			
							1	0	立ち下がりエッジでインプ ットキャプチャ		
			1	0	1		0	両エッジでインプットキャ プチャ			
			1	0	1		0				

MTU

ビット	ビット名称	値				説明		
3-0	I/O コントロール A3 ~ A0 (IOA3 ~ IOA0)	0	0	0	TGR2A は アウトプ ットコンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は 0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
				1		コンペアマッチでトグル出力		
			1	0		出力禁止		
				1		初期出力は 1 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
				1		コンペアマッチでトグル出力		
		1	0	0	0	TGR2A は インプ ットキャプチャ レジスタ	キャプチャ 入力元は TIOC2A 端 子	立ち上がりエッジでインプ ットキャプチャ
					1			立ち下がりエッジでインプ ットキャプチャ
					0			両エッジでインプットキャ プチャ
					1			立ち上がりエッジでインプ ットキャプチャ
				1	0			立ち下がりエッジでインプ ットキャプチャ
					1			両エッジでインプットキャ プチャ
					0			
					1			



MTU

タイムインタラプトイネーブルレジスタ 2 ( TIER2 )	H'FFFF82A4	8/16/32
--------------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TTGE		TCIEU	TCIEV			TGIEB	TGIEA
初期値	0	1	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名称	値	説明
7	A/D 変換開始要求イネーブル ( TTGE )	0	A/D 変換開始要求の発生を禁止 ( 初期値 )
		1	A/D 変換開始要求の発生を許可
5	アンダフローインタラプトイネーブル ( TCIEU )	0	UDF による割り込み要求 ( TCIU ) を禁止 ( 初期値 )
		1	UDF による割り込み要求 ( TCIU ) を許可
4	オーバフローインタラプトイネーブル ( TCIEV )	0	TCFV による割り込み要求 ( TCIV ) を禁止 ( 初期値 )
		1	TCFV による割り込み要求 ( TCIV ) を許可
1	TGR インタラプトイネーブル B ( TGIEB )	0	TGFB ビットによる割り込み要求 ( TGIB ) を禁止 ( 初期値 )
		1	TGFB ビットによる割り込み要求 ( TGIB ) を許可
0	TGR インタラプトイネーブル A ( TGIEA )	0	TGFA ビットによる割り込み要求 ( TGIA ) を禁止 ( 初期値 )
		1	TGFA ビットによる割り込み要求 ( TGIA ) を許可

MTU

タイムステータスレジスタ 2 (TSR2)	H'FFFF82A5	8/16/32
-----------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TCFD		TCFU	TCFV			TGFB	TGFA
初期値	1	1	0	0	0	0	0	0
R/W	R	R	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名称	値	説明
7	カウント方向フラグ (TCFD)	0	TCNT はダウンカウント
		1	TCNT はアップカウント (初期値)
5	アンダフローフラグ (TCFU)	0	[クリア条件] (初期値) TCFU=1 の状態で TCFU を読み出した後、TCFU に 0 を読み込んだとき
		1	[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき
4	オーバーフローフラグ (TCFV)	0	[クリア条件] (初期値) TCFV=1 の状態で TCFV を読み出した後、TCFV に 0 を書き込んだとき
		1	[セット条件] TCNT の値がオーバーフロー (H'FFFF→H'0000) したとき
1	インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)	0	[クリア条件] (初期値) TGFB =1 の状態で TGFB を読み出した後、TGFB に 0 を書き込んだとき
		1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき
0	インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)	0	[クリア条件] (初期値) TGFA =1 の状態で TGFA を読み出した後、TGFA に 0 を書き込んだとき*
		1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 \* TGFA による DMAC 転送によってクリアされます。

MTU

タイマカウンタ 2 (TCNT2)	H'FFFF82A6	16/32
-------------------	------------	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマジェネラルレジスタ 2 (TGR2)	H'FFFF82A8 (2A) H'FFFF82AA (2B)	16/32
-----------------------	------------------------------------	-------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ (TSTR)	H'FFFF8240	8/16/32
--------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						CST2	CST1	CST0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2~0	カウンタスタート 2~0 (CST2~CST0)	0	TCNTn のカウント動作は停止 (初期値)
		1	TCNTn はカウント動作

【注】 n=2~0

TIOC 端子を出力状態で動作中に、CST ビットに 0 ライトすると、カウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR レジスタへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

MTU

タイマシンクロレジスタ (TSYR)	H'FFFF8241	8/16/32
--------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名						SYNC2	SYNC1	SYNC0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2~0	タイマ同期 2~0 (SYNC2~SYNC0)	0	タイマカウンタ (TCNTn) は独立動作 (TCNTn のプリセット/クリアは他チャンネルと無関係) (初期値)
		1	タイマカウンタは同期動作*1 TCNTn の同期プリセット/同期クリア*2 が可能

【注】 n=2~0

- \*1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。
- \*2 同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。

WDT

タイマカウンタ (TCNT)	H'FFFF8610 (書き込み)* <sup>1</sup> H'FFFF8611 (読み出し)* <sup>2</sup>	
----------------	--	--

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \*1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

\*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

タイマコントロール/ステータスレジスタ (TCSR)	H'FFFF8610	
----------------------------	------------	--

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	OVF	WT/ $\bar{IT}$	TME			CKS2	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 \* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット	ビット名称	値	説明
7	オーバフローフラグ (OVF)	0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
		1	インターバルタイマモードで TCNT のオーバフロー発生
6	タイマモードセレクト (WT/ $\bar{IT}$ )	0	インターバルタイマモード: TCNT がオーバフローしたとき CPU へインターバルタイマ割り込み (ITI) を要求 (初期値)
		1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき WDTOVF 信号を外部へ出力* <sup>1</sup>
5	タイマイネーブル (TME)	0	タイマディスエーブル: TCNT を H'00 に初期化し、カウントアップを停止 (初期値)
		1	タイマイネーブル: TCNT はカウントアップを開始。TCNT がオーバフローすると、WDTOVF 信号または割り込みを発生

WDT

ビット	ビット名称	値		説明		
				クロック	オーバーフロー周期* <sup>2</sup> ( $\phi=28.7\text{MHz}$ の場合)	
2~0	クロックセレクト2~0 (CKS2~CKS0)	0	0	0	$\phi/2$ (初期値)	17.9 $\mu\text{s}$
				1	$\phi/64$	573.4 $\mu\text{s}$
			1	0	$\phi/128$	1.1ms
				1	$\phi/256$	2.3ms
		1	0	0	$\phi/512$	4.6ms
				1	$\phi/1024$	9.2ms
			1	0	$\phi/4096$	36.7ms
				1	$\phi/8192$	73.4ms

【注】 \*1 ウォッチドッグタイマモードのとき、TCNTがオーバーフローした場合についての詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

\*2 オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

リセットコントロール/ステータスレジスタ (RSTCSR)	H'FFFF8612 (書き込み) H'FFFF8613 (読み出し)	
-------------------------------	--	--

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE						
初期値	0	0	0	1	1	1	1	1
R/W	R/(W)*	R/W	R	R	R	R	R	R

【注】 \* ビット7には、フラグをクリアするために、0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	ウォッチドッグタイマオーバーフローフラグ (WOVF)	0	ウォッチドッグタイマモードでTCNTのオーバーフローなし (初期値) [クリア条件] WOVFを読み出してからWOVFに0を書き込む
		1	ウォッチドッグタイマモードでTCNTのオーバーフロー発生
6	リセットイネーブル (RSTE)	0	TCNTがオーバーフローしたとき、内部リセットしない* (初期値)
		1	TCNTがオーバーフローしたとき、内部リセットする

【注】 \* 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

SCI

レシーブデータレジスタ (RDR)	H'FFFF81A5 (チャンネル0) H'FFFF81B5 (チャンネル1)	8/16
-------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

トランスミットデータレジスタ (TDR)	H'FFFF81A3 (チャンネル0) H'FFFF81B3 (チャンネル1)	8/16
----------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR)	H'FFFF81A0 (チャンネル0) H'FFFF81B0 (チャンネル1)	8/16
-------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCI

ビット	ビット名称	値	説明	
7	コミュニケーションモード (C/A)	0	調歩同期式モード (初期値)	
		1	クロック同期式モード	
6	キャラクタレングス (CHR)	0	8 ビットデータ (初期値)	
		1	7 ビットデータ* <sup>1</sup>	
5	パリティイネーブル (PE)	0	パリティビットの付加、およびチェックを禁止 (初期値)	
		1	パリティビットの付加、およびチェックを許可* <sup>2</sup>	
4	パリティモード (O/E)	0	偶数パリティ* <sup>3</sup> (初期値)	
		1	奇数パリティ* <sup>4</sup>	
3	ストップビットレングス (STOP)	0	1 ストップビット* <sup>5</sup> (初期値)	
		1	2 ストップビット* <sup>6</sup>	
2	マルチプロセッサモード (MP)	0	マルチプロセッサ機能を禁止 (初期値)	
		1	マルチプロセッサフォーマットを選択	
1、0	クロックセレクト 1、0 (CKS1、CKS0)	0	0	φクロック (初期値)
			1	φ/4 クロック
		1	0	φ/16 クロック
			1	φ/64 クロック

【注】 \*1 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

\*2 PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

\*3 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*4 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

\*5 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

\*6 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。



SCI

シリアルコントロールレジスタ (SCR)	H'FFFF81A2 (チャンネル0) H'FFFF81B2 (チャンネル1)	8/16
----------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	トランスミットインタラプトイネーブル (TIE)	0	送信データエンプティ割り込み (TXI) 要求を禁止* <sup>1</sup> (初期値)
		1	送信データエンプティ割り込み (TXI) 要求を許可
6	レシーブインタラプトイネーブル (RIE)	0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* <sup>2</sup> (初期値)
		1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可
5	トランスミットイネーブル (TIE)	0	送信動作を禁止* <sup>3</sup> (初期値)
		1	送信動作を許可* <sup>4</sup>
4	レシーブイネーブル (RIE)	0	受信動作を禁止* <sup>5</sup> (初期値)
		1	受信動作を許可* <sup>6</sup>
3	マルチプロセッサインタラプトイネーブル (MPIE)	0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
		1	マルチプロセッサ割り込み許可状態* <sup>7</sup> マルチプロセッサビットが 1 のデータを受け取るまで 受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止
2	トランスミットエンドインタラプトイネーブル (TEIE)	0	送信終了割り込み (TEI) 要求を禁止* <sup>8</sup> (初期値)
		1	送信終了割り込み (TEI) 要求を許可* <sup>8</sup>

## SCI

ビット	ビット名称	値		説明	
1、0	クロックイネーブル 1、0 (CKE1、CKE0)* <sup>9</sup>	0	0	内部クロック / SCK 端子は 入力端子 (入力信号は無視) または出力端子 (出力レ ベルは不定)* <sup>10</sup>	内部クロック / SCK 端子は 同期クロック出力* <sup>10</sup>
		0	1	内部クロック / SCK 端子は クロック出力* <sup>11</sup>	内部クロック / SCK 端子は 同期クロック出力
		1	0	外部クロック / SCK 端子は クロック入力* <sup>12</sup>	外部クロック / SCK 端子は 同期クロック入力
		1	1	外部クロック / SCK 端子は クロック入力* <sup>12</sup>	外部クロック / SCK 端子は 同期クロック入力

- 【注】 \*1 TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
- \*2 RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。
- \*3 SSR の TDRE ビットは 1 に固定されます。
- \*4 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。
- \*5 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。
- \*6 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。  
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。
- \*7 RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。
- \*8 TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
- \*9 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。
- \*10 初期値
- \*11 ビットレートと同じ周波数のクロックを出力
- \*12 ビットレートの 16 倍の周波数のクロックを入力

SCI

シリアルステータスレジスタ (SSR)	H'FFFF81A4 (チャンネル0) H'FFFF81B4 (チャンネル1)	8/16
---------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 \* フラグをクリアするために0のみ書き込むことができます。

ビット	ビット名称	値	説明
7	トランスミットデータレジスタ エンプティ (TDRE)	0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
		1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、またはスタンバイモード時 (2) SCR の TE ビットが0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき
6	レシーブデータレジスタフル (RDRF)	0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) RDRF=1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
		1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

## SCI

ビット	ビット名称	値	説明
5	オーバランエラー (ORER)	0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) ORER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にオーバランエラーが発生したことを表示* <sup>2</sup> [セット条件] RDRF=1 の状態で次のシリアル受信を完了したとき
4	フレーミングエラー (FER)	0	受信中、または正常に受信を完了したことを表示* <sup>3</sup> (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) FER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1 であるかどうかをチェックし、ストップビットが0 であったとき* <sup>4</sup>
3	パリティエラー (PER)	0	受信中、または正常に受信を完了したことを表示* <sup>5</sup> (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) PER=1 の状態を読み出した後、0 を書き込んだとき
		1	受信時にパリティエラーが発生したことを表示* <sup>6</sup> [セット条件] 受信時の受信データとパリティビットをあわせた1 の数が、シリアルモードレジスタ (SMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

SCI

ビット	ビット名称	値	説明
2	トランスミットエンド (TEND)	0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘータを書き込んだとき
		1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき
1	マルチプロセッサビット (MPB)	0	マルチプロセッサビットが 0 のデータを受信したことを表示*7 (初期値)
		1	マルチプロセッサビットが 1 のデータを受信したことを表示
0	マルチプロセッサビットトランスファ (MPBT)	0	マルチプロセッサビットが 0 のデータを送信 (初期値)
		1	マルチプロセッサビットが 1 のデータを送信

- 【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。
- \*2 RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。
- \*3 SCR の RE ビットを 0 にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。
- \*4 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。さらに、FER ビットが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック周期式モードでは、シリアル送信も続けることができません。
- \*5 SCR の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。
- \*6 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。なお、PER ビットが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。
- \*7 マルチプロセッサフォーマットで RIE ビットを 0 にクリアしたときには、以前の状態を保持します。

SCI
-----

ビットレートレジスタ (BRR)	H'FFFF81A1 (書き込み) H'FFFF81B1 (読み出し)	8/16
------------------	--	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## A/D (SH7014)

A/D データレジスタ A~H (ADDRA~ADDRAH)	H'FFFF83F0 H'FFFF83F2 H'FFFF83F4 H'FFFF83F6 H'FFFF83F8 H'FFFF83FA H'FFFF83FC H'FFFF83FE	8/16
--------------------------------	--	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名							AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/D コントロール/ステータスレジスタ (ADCSR)	H'FFFF83E0	8/16
------------------------------	------------	------

項目	ビット								
	7	6	5	4	3	2	1	0	
ビット名	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0	
初期値	0	0	0	0	0	0	0	0	
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

【注】 \* ビット 7 は、フラグをクリアするための 0 書き込みのみ可能です。

ビット	ビット名称	値	説明
7	A/D エンドフラグ (ADF)	0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DMAC が起動されたとき
		1	[セット条件] (1) シングルモード：指定したすべてのチャンネルの変換を終了し、A/D 変換が終了したとき* (2) スキャンモード：指定したすべてのチャンネルを一巡して変換したとき
6	A/D インタラプトイネーブル (ADIE)	0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
		1	A/D 変換の終了による割り込み (ADI) 要求を許可

## A/D (SH7014)

ビット	ビット名称	値	説明				
5	A/D スタート (ADST)	0	A/D 変換を停止 (初期値)				
		1	(1) シングルモード: A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード: A/D 変換を開始。ソフトウェア、パワーオンリセットにより 0 にクリアされるまで連続変換				
4	クロックセレクト (CKS)	0	変換時間=40 ステート (A/D 変換器の基準クロック= $\phi/2$ ) (初期値)				
		1	変換時間=80 ステート ( $\phi/4$ を選択時)				
3	グループモード (GRP)	0	セレクトモード (初期値)				
		1	グループモード				
2~0	チャンネルセレクト 2~0 (CH2~CH0)	0	0	0	AN0 (初期値)	AN0	
				1	AN1	AN0、AN1	
		1	0	0	AN2	AN0~AN2	
				1	AN3	AN0~AN3	
		1	0	0	AN4	AN0~AN4	
				1	AN5	AN0~AN5	
			1	0	0	AN6	AN0~AN6
					1	AN7	AN0~AN7

【注】 \* パッファ動作時は指定したパッファ動作を終了するまでセットされません。



A/D (SH7014)

A/D コントロールレジスタ (ADCR)	H'FFFF83E1	8/16
-----------------------	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名		PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
6	電源ビット (PWR)	0	低消費電力変換モード (初期値)
		1	高速スタートモード
5、4	タイマトリガセレクト 1、0 (TRGS1、TRGS0)	0	0 ソフトウェアによる A/D 変換の開始を許可 (初期値)
			1 MTU の変換開始トリガによる A/D 変換の開始を許可
		1	0 設定禁止
			1
3	スキャンモード (SCAN)	0	シングルモード (初期値)
		1	スキャンモード
2	同時サンプリング (DSMP)	0	通常サンプリング動作 (初期値)
		1	同時サンプリング動作
1、0	バッファイネーブル 1、0 (BUFE1、BUFE0)	0	0 通常動作 (初期値)
			1 ADDRA と ADDR B はバッファ動作 : 変換結果 → ADDRA → ADDR B
		1	0 ADDRA と ADDR C および ADDR B と ADDR D はバッファ動作 : 変換結果 1 → ADDRA → ADDR C、変換結果 2 → ADDR B → ADDR D (ADDR C、ADDR D はバッファレジスタ)
			1 ADDRA ~ ADDR D はバッファ動作 : 変換結果 → ADDRA → ADDR B → ADDR C → ADDR D (ADDR B ~ ADDR D はバッファレジスタ)

A/D (SH7016、SH7017)

A/D データレジスタ A~H (ADDRA~ADDRD)	H'FFFF8420 H'FFFF8422 H'FFFF8424 H'FFFF8426	8/16
-------------------------------	--	------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/D コントロール/ステータスレジスタ (ADCSR)	H'FFFF8428	8/16
------------------------------	------------	------

項目	ビット								
	7	6	5	4	3	2	1	0	
ビット名	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
初期値	0	0	0	0	0	0	0	0	
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

【注】 \* ビット7は、フラグをクリアするための0書き込みのみ可能です。

ビット	ビット名称	値	説明
7	A/D エンドフラグ (ADF)	0	[クリア条件] (初期値) (1) ADF=1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI 割り込みにより DMAC が起動されたとき
		1	[セット条件] (1) 単一モード：指定したすべてのチャンネルの変換を終了し、A/D 変換が終了したとき* (2) スキャンモード：指定したすべてのチャンネルを一巡して変換したとき
6	A/D インタラプトイネーブル (ADIE)	0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
		1	A/D 変換の終了による割り込み (ADI) 要求を許可

## A/D (SH7016、SH7017)

ビット	ビット名称	値	説明			
5	A/D スタート (ADST)	0	A/D 変換を停止 (初期値)			
		1	(1) 単一モード: A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード: A/D 変換を開始。ソフトウェア、パワーオンリセットにより 0 にクリアされるまで連続変換			
4	スキャンモード (SCAN)	0	単一モード (初期値)			
		1	スキャンモード			
3	クロックセレクト (CKS)	0	変換時間=266 ステート (初期値)			
		1	変換時間=134 ステート			
2~0	チャンネルセレクト 2~0 (CH2~CH0)	単一モード		スキャンモード		
		0	0	0	AN0 (初期値)	AN0
				1	AN1	AN0、AN1
			1	0	AN2	AN0~AN2
				1	AN3	AN0~AN3
		1	0	0	AN4	AN4
				1	AN5	AN4~AN5
			1	0	AN6	AN4~AN6
				1	AN7	AN4~AN7

A/D コントロールレジスタ (ADCR)	H'FFFF8429	8/16
-----------------------	------------	------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	TRGE							
初期値	0	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	トリガイネーブル (TRGE)	0	MTU トリガ入力による A/D 変換の開始を禁止 (初期値)
		1	MTU トリガで A/D 変換を開始

CMT

コンペアマッチタイマスタートレジスタ (CMSTR)	H'FFFF83D0	8/16/32
----------------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名							STR1	STR0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名称	値	説明
1	カウントスタート1 (STR1)	0	CMCNT1 のカウント動作は停止 (初期値)
		1	CMCNT1 はカウント動作
0	カウントスタート0 (STR0)	0	CMCNT0 のカウント動作は停止 (初期値)
		1	CMCNT0 はカウント動作

コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)	H'FFFF83D2 (チャンネル0) H'FFFF83D8 (チャンネル1)	8/16/32
--------------------------------------	--	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名	CMF	CMIE					CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット	ビット名称	値	説明
7	コンペアマッチフラグ (CMF)	0	CMCNT と CMCOR の値が一致していない [ クリア条件 ] CMF の1を読み出してから0を書き込む (初期値)
		1	CMCNT と CMCOR の値が一致した
6	コンペアマッチ割り込みイネーブル (CMIE)	0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
		1	コンペアマッチ割り込み (CMI) を許可

CMT

ビット	ビット名称	値		説明
1、0	クロックセレクト 1、0 (CKS1、CKS0)	0	0	φ/8 (初期値)
			1	φ/32
		1	0	φ/128
			1	φ/512

コンペアマッチカウンタ (CMCNT)	H'FFFF83D4 (チャンネル0) H'FFFF83DA (チャンネル1)	8/16/32
---------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

コンペアマッチコンスタントレジスタ (CMCOR)	H'FFFF83D6 (チャンネル0) H'FFFF83DC (チャンネル1)	8/16/32
------------------------------	--	---------

項目	ビット															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFC

ポート A・IO レジスタ L (PAIORL)	H'FFF8386 H'FFF8387	8/16/32
--------------------------	------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PA15IOR	PA14IOR*	PA13IOR*	PA12IOR*	PA11IOR*	PA10IOR*	PA9IOR	PA8IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* SH7014 の場合は予約ビットになります。

ポート A コントロールレジスタ L1 (PACRL1)	H'FFF838C H'FFF838D	8/16/32
------------------------------	------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名		PA15MD		PA15MD* <sup>2</sup>		PA15MD* <sup>2</sup>		PA15MD* <sup>2</sup>
初期値	0	0(1)* <sup>1</sup>	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R	R/W	R	R/W
項目	7	6	5	4	3	2	1	0
ビット名		PA15MD* <sup>2</sup>		PA15MD* <sup>2</sup>	PA9MD1	PA9MD0	PA8MD1	PA8MD0
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W

【注】 \*1 拡張モード時には 1 に初期化されます。

\*2 SH7014 の場合は予約ビットになります。

PFC

ビット	ビット名称	値	説明	
14	PA15 モードビット(PA15MD)	0	汎用入出力 (PA15) (シングルチップモード初期値)	
		1	クロック出力 (CK) (拡張モード初期値)	
12	PA14 モードビット(PA14MD)	0	汎用入出力 (PA14) (内蔵 ROM 無効モードでは $\overline{RD}$ ) (初期値)	
		1	リード出力 ( $\overline{RD}$ ) (シングルチップモードでは PA14)	
10	PA13 モードビット(PA13MD)	0	汎用入出力 (PA13) (内蔵 ROM 無効モードでは $\overline{WRH}$ ) (初期値)	
		1	上位側ライト出力 ( $\overline{WRH}$ ) (シングルチップモードでは PA13)	
8	PA12 モードビット(PA12MD)	0	汎用入出力 (PA12) (内蔵 ROM 無効モードでは $\overline{WRL}$ ) (初期値)	
		1	下位側ライト出力 ( $\overline{WRL}$ ) (シングルチップモードでは PA12)	
6	PA11 モードビット(PA11MD)	0	汎用入出力 (PA11) (内蔵 ROM 無効モードでは $\overline{CS1}$ ) (初期値)	
		1	チップセレクト出力 ( $\overline{CS1}$ ) (シングルチップモードでは PA11)	
4	PA10 モードビット(PA10MD)	0	汎用入出力 (PA10) (内蔵 ROM 無効モードでは $\overline{CS0}$ ) (初期値)	
		1	チップセレクト出力 ( $\overline{CS0}$ ) (シングルチップモードでは PA10)	
3、2	PA9 モードビット 1、0 (PA9MD1、PA9MD0)	0	0	汎用入出力 (PA9) (初期値)
			1	MTU タイマクロック入力 (TCLKD)
		1	0	割り込み要求入力 ( $\overline{IRQ3}$ )
			1	予約
1、0	PA8 モードビット 1、0 (PA8MD1、PA8MD0)	0	0	汎用入出力 (PA8) (初期値)
			1	MTU タイマクロック入力 (TCLKC)
		1	0	割り込み要求入力 ( $\overline{IRQ2}$ )
			1	予約

PFC

ポート A コントロールレジスタ L2 ( PACRL2 )	H'FFFF838E H'FFFF838F	8/16/32
--------------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PA7MD1	PA7MD0	PA6MD1	PA6MD0	PA5MD1	PA5MD0		PA4MD
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
項目	7	6	5	4	3	2	1	0
ビット名		PA3MD	PA2MD1	PA2MD0		PA1MD		PA0MD
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R	R/W

ビット	ビット名称	値	説明
15、14	PA7 モードビット 1、0 ( PA7MD1、PA7MD0 )	0	0 汎用入出力 ( PA7 ) ( 初期値 )
			1 MTU タイマクロック入力 ( TCLKB )
		1	0 チップセレクト出力 ( $\overline{CS3}$ ) ( シングルチップモードでは PA7 )
			1 予約
13、12	PA6 モードビット 1、0 ( PA6MD1、PA6MD0 )	0	0 汎用入出力 ( PA6 ) ( 初期値 )
			1 MTU タイマクロック入力 ( TCLKA )
		1	0 チップセレクト出力 ( $\overline{CS2}$ ) ( シングルチップモードでは PA6 )
			1 予約
11、10	PA5 モードビット 1、0 ( PA5MD1、PA5MD0 )	0	0 汎用入出力 ( PA5 ) ( 初期値 )
			1 シリアルクロック入出力 ( SCK1 )
		1	0 DMA 転送要求受け付け入力 ( $\overline{DREQ1}$ ) ( シングルチップモードでは PA5 )
			1 割り込み要求入力 ( $\overline{IRQ1}$ )
8	PA4 モードビット ( PA4MD )	0 汎用入出力 ( PA4 ) ( 初期値 )	
		1 送信データ出力 ( TXD1 )	
6	PA3 モードビット ( PA3MD )	0 汎用入出力 ( PA3 ) ( 初期値 )	
		1 受信データ入力 ( RXD1 )	
5、4	PA2 モードビット 1、0 ( PA2MD1、PA2MD0 )	0	0 汎用入出力 ( PA2 ) ( 初期値 )
			1 シリアルクロック入出力 ( SCK0 )
		1	0 DMA 転送要求受け付け入力 ( $\overline{DREQ0}$ ) ( シングルチップモードでは PA2 )
			1 割り込み要求入力 ( $\overline{IRQ0}$ )



PFC

ビット	ビット名称	値	説明
2	PA1 モードビット (PA1MD)	0	汎用入出力 (PA1) (初期値)
		1	送信データ出力 (TXD0)
0	PA0 モードビット (PA0MD)	0	汎用入出力 (PA0) (初期値)
		1	受信データ入力 (RXD0)

ポート B・IO レジスタ (PBIOR)	H'FFFF8394 H'FFFF8395	8/16/32
-----------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名							PB9IOR	PB8IOR
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR*	PB0IOR*
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* SH7014 の場合は予約ビットになります。

PFC

ポート B コントロールレジスタ 1 (PBCR1)	H'FFFF8398 H'FFFF8399	8/16/32
----------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名					PB9MD1	PB9MD0	PB8MD1	PB8MD0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名称	値		説明
3、2	PB9 モードビット 1、0 (PB9MD1、PB9MD0)	0	0	汎用入出力 (PB9) (初期値)
			1	割り込み要求入力 ( $\overline{IRQ7}$ )
		1	0	アドレス出力 (A21) (シングルチップモードでは PB9)
			1	予約
1、0	PB8 モードビット 1、0 (PB8MD1、PB8MD0)	0	0	汎用入出力 (PB8) (初期値)
			1	割り込み要求入力 ( $\overline{IRQ6}$ )
		1	0	アドレス出力 (A20) (シングルチップモードでは PB8)
			1	ウェイトステイト要求入力 ( $\overline{WAIT}$ ) (シングルチップモードでは PB8)

PFC

ポート B コントロールレジスタ 2 (PBCR2)	H'FFFF839A H'FFFF839B	8/16/32
----------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PB3MD1	PB3MD0	PB2MD1	PB2MD0		PB1MD*		PB0MD*
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

【注】 \* SH7014 の場合は予約ビットになります。

ビット	ビット名称	値		説明
15、14	PB7 モードビット 1、0 (PB7MD1、PB7MD0)	0	0	汎用入出力 (PB7) (初期値)
			1	予約
		1	0	アドレス出力 (A19) (シングルチップモードでは PB7)
			1	予約
13、12	PB6 モードビット 1、0 (PB6MD1、PB6MD0)	0	0	汎用入出力 (PB6) (初期値)
			1	予約
		1	0	アドレス出力 (A18) (シングルチップモードでは PB6)
			1	予約
11、10	PB5 モードビット 1、0 (PB5MD1、PB5MD0)	0	0	汎用入出力 (PB5) (初期値)
			1	割り込み要求入力 (IRQ3)
		1	0	予約
			1	リード/ライト出力 (RDWR)
9、8	PB4 モードビット 1、0 (PB4MD1、PB4MD0)	0	0	汎用入出力 (PB4) (初期値)
			1	割り込み要求入力 (IRQ2)
		1	0	予約
			1	カラムアドレスストロープ (CASH) (シングルチップモードでは PB4)
7、6	PB3 モードビット 1、0 (PB3MD1、PB3MD0)	0	0	汎用入出力 (PB3) (初期値)
			1	割り込み要求入力 (IRQ1)
		1	0	予約
			1	カラムアドレスストロープ (CASL) (シングルチップモードでは PB3)

PFC
-----

ビット	ビット名称	値	説明
5、4	PB2 モードビット 1、0 (PB2MD1、PB2MD0)	0	0 汎用入出力 (PB2) (初期値)
			1 割り込み要求入力 (IRQ0)
		1	0 予約
			1 ロウアドレスストロープ (RAS) (シングルチップモードでは PB2)
2	PB1 モードビット (PB1MD)	0 汎用入出力 (PB1) (内蔵 ROM 無効モードでは A17) (初期値)	
		1 アドレス出力 (A17) (シングルチップモードでは PB1)	
0	PB0 モードビット (PB0MD)	0 汎用入出力 (PB0) (内蔵 ROM 無効モードでは A16) (初期値)	
		1 アドレス出力 (A16) (シングルチップモードでは PB0)	

ポート C・IO レジスタ (PCIOR) (SH7016/17 のみ)	H'FFFF8396 H'FFFF8397	8/16/32
--------------------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFC

ポートCコントロールレジスタ (PCCR) (SH7016/17のみ)	H'FFFF839C H'FFFF839D	8/16/32
--	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PC15MD	PC14MD	PC13MD	PC12MD	PC11MD	PC10MD	PC9MD	PC8MD
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PC7MD	PC6MD	PC5MD	PC4MD	PC3MD	PC2MD	PC1MD	PC0MD
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15	PC15 モードビット (PC15MD)	0	汎用入出力 (PC15) (内蔵 ROM 無効モードでは A15) (初期値)
		1	アドレス出力 (A15) (シングルチップモードでは PC15)
14	PC14 モードビット (PC14MD)	0	汎用入出力 (PC14) (内蔵 ROM 無効モードでは A14) (初期値)
		1	アドレス出力 (A14) (シングルチップモードでは PC14)
13	PC13 モードビット (PC13MD)	0	汎用入出力 (PC13) (内蔵 ROM 無効モードでは A13) (初期値)
		1	アドレス出力 (A13) (シングルチップモードでは PC13)
12	PC12 モードビット (PC12MD)	0	汎用入出力 (PC12) (内蔵 ROM 無効モードでは A12) (初期値)
		1	アドレス出力 (A12) (シングルチップモードでは PC12)
11	PC11 モードビット (PC11MD)	0	汎用入出力 (PC11) (内蔵 ROM 無効モードでは A11) (初期値)
		1	アドレス出力 (A11) (シングルチップモードでは PC11)
10	PC10 モードビット (PC10MD)	0	汎用入出力 (PC10) (内蔵 ROM 無効モードでは A10) (初期値)
		1	アドレス出力 (A10) (シングルチップモードでは PC10)
9	PC9 モードビット (PC9MD)	0	汎用入出力 (PC9) (内蔵 ROM 無効モードでは A9) (初期値)
		1	アドレス出力 (A9) (シングルチップモードでは PC9)

PFC

ビット	ビット名称	値	説明
8	PC8 モードビット (PC8MD)	0	汎用入出力 (PC8) (内蔵 ROM 無効モードでは A8) (初期値)
		1	アドレス出力 (A8) (シングルチップモードでは PC8)
7	PA7 モードビット (PC7MD)	0	汎用入出力 (PC7) (内蔵 ROM 無効モードでは A7) (初期値)
		1	アドレス出力 (A7) (シングルチップモードでは PC7)
6	PC6 モードビット (PC6MD)	0	汎用入出力 (PC6) (内蔵 ROM 無効モードでは A6) (初期値)
		1	アドレス出力 (A6) (シングルチップモードでは PC6)
5	PC5 モードビット (PC5MD)	0	汎用入出力 (PC5) (内蔵 ROM 無効モードでは A5) (初期値)
		1	アドレス出力 (A5) (シングルチップモードでは PC5)
4	PA4 モードビット (PC4MD)	0	汎用入出力 (PC4) (内蔵 ROM 無効モードでは A4) (初期値)
		1	アドレス出力 (A4) (シングルチップモードでは PC4)
3	PC3 モードビット (PC3MD)	0	汎用入出力 (PC3) (内蔵 ROM 無効モードでは A3) (初期値)
		1	アドレス出力 (A3) (シングルチップモードでは PC3)
2	PC2 モードビット (PC2MD)	0	汎用入出力 (PC2) (内蔵 ROM 無効モードでは A2) (初期値)
		1	アドレス出力 (A2) (シングルチップモードでは PC2)
1	PC1 モードビット (PC1MD)	0	汎用入出力 (PC1) (内蔵 ROM 無効モードでは A1) (初期値)
		1	アドレス出力 (A1) (シングルチップモードでは PC1)
0	PC0 モードビット (PC0MD)	0	汎用入出力 (PC0) (内蔵 ROM 無効モードでは A0) (初期値)
		1	アドレス出力 (A0) (シングルチップモードでは PC0)

ポート D・IO レジスタ L (PDIORL) (SH7016/17 のみ)	H'FFFF83A6 H'FFFF83A7	8/16/32
--	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFC

ポートDコントロールレジスタL (PDCRL) (SH7016/17のみ)	H'FFFF83AC H'FFFF83AD	8/16/32
--	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PD15MD	PD14MD	PD13MD	PD12MD	PD11MD	PD10MD	PD9MD	PD8MD
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
15	PD15 モードビット (PD15MD)	0	汎用入出力 (PD15) (内蔵 ROM 無効モードでは D15) (初期値)
		1	データ入出力 (D15) (シングルチップモードでは PD15)
14	PD14 モードビット (PD14MD)	0	汎用入出力 (PD14) (内蔵 ROM 無効モードでは D14) (初期値)
		1	データ入出力 (D14) (シングルチップモードでは PD14)
13	PD13 モードビット (PD13MD)	0	汎用入出力 (PD13) (内蔵 ROM 無効モードでは D13) (初期値)
		1	データ入出力 (D13) (シングルチップモードでは PD13)
12	PD12 モードビット (PD12MD)	0	汎用入出力 (PD12) (内蔵 ROM 無効モードでは D12) (初期値)
		1	データ出力 (D12) (シングルチップモードでは PD12)
11	PD11 モードビット (PD11MD)	0	汎用入出力 (PD11) (内蔵 ROM 無効モードでは D11) (初期値)
		1	データ入出力 (D11) (シングルチップモードでは PD11)
10	PD10 モードビット (PD10MD)	0	汎用入出力 (PD10) (内蔵 ROM 無効モードでは D10) (初期値)
		1	データ入出力 (D10) (シングルチップモードでは PD10)
9	PD9 モードビット (PD9MD)	0	汎用入出力 (PD9) (内蔵 ROM 無効モードでは D9) (初期値)
		1	データ入出力 (D9) (シングルチップモードでは PD9)

## PFC

ビット	ビット名称	値	説明
8	PD8 モードビット (PD8MD)	0	汎用入出力 (PD8) (内蔵 ROM 無効モードでは D8) (初期値)
		1	データ入出力 (D8) (シングルチップモードでは PD8)
7	PD7 モードビット (PD7MD)	0	汎用入出力 (PD7) (内蔵 ROM 無効モードでは D7) (初期値)
		1	データ入出力 (D7) (シングルチップモードでは PD7)
6	PD6 モードビット (PD6MD)	0	汎用入出力 (PD6) (内蔵 ROM 無効モードでは D6) (初期値)
		1	データ入出力 (D6) (シングルチップモードでは PD6)
5	PD5 モードビット (PD5MD)	0	汎用入出力 (PD5) (内蔵 ROM 無効モードでは D5) (初期値)
		1	データ入出力 (D5) (シングルチップモードでは PD5)
4	PD4 モードビット (PD4MD)	0	汎用入出力 (PD4) (内蔵 ROM 無効モードでは D4) (初期値)
		1	データ入出力 (D4) (シングルチップモードでは PD4)
3	PD3 モードビット (PD3MD)	0	汎用入出力 (PD3) (内蔵 ROM 無効モードでは D3) (初期値)
		1	データ入出力 (D3) (シングルチップモードでは PD3)
2	PD2 モードビット (PD2MD)	0	汎用入出力 (PD2) (内蔵 ROM 無効モードでは D2) (初期値)
		1	データ入出力 (D2) (シングルチップモードでは PD2)
1	PD1 モードビット (PD1MD)	0	汎用入出力 (PD1) (内蔵 ROM 無効モードでは D1) (初期値)
		1	データ入出力 (D1) (シングルチップモードでは PD1)
0	PD0 モードビット (PD0MD)	0	汎用入出力 (PD0) (内蔵 ROM 無効モードでは D0) (初期値)
		1	データ入出力 (D0) (シングルチップモードでは PD0)



PFC

ポート E・IO レジスタ (PEIOR)	H'FFFF83B4 H'FFFF83B5	8/16/32
-----------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ 1 (PECR1)	H'FFFF83B8 H'FFFF83B9	8/16/32
----------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PE15MD1	PE15MD0	PE14MD1	PE14MD0				
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名								
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
15、14	PE15 モードビット 1、0 (PE15MD1、PE15MD0)	0	0 汎用入出力 (PE15) (初期値)
			1 予約
		1	0 DMA 要求受け付け出力 (DACK1) (シングルチップモードでは PE15)
			1 予約
13、12	PE14 モードビット 1、0 (PE14MD1、PE14MD0)	0	0 汎用入出力 (PE14) (初期値)
			1 予約
		1	0 DMA 要求受け付け出力 (DACK0) (シングルチップモードでは PE14)
			1 アドレスホールド出力 (AH) (シングルチップモードでは PE14)

PFC

ポート E コントロールレジスタ 2 (PECR2)	H'FFF83BA H'FFF83BB	8/16/32
----------------------------	------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名		PE7MD		PE6MD		PE5MD		PE4MD
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R	R/W	R	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明	
14	PE7 モードビット (PE7MD)	0	汎用入出力 (PE7) (初期値)	
		1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)	
12	PE6 モードビット (PE6MD)	0	汎用入出力 (PE6) (初期値)	
		1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)	
10	PE5 モードビット (PE5MD)	0	汎用入出力 (PE5) (初期値)	
		1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)	
8	PE4 モードビット (PE4MD)	0	汎用入出力 (PE4) (初期値)	
		1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)	
7、6	PE3 モードビット 1、0 (PE3MD1、PE3MD0)	0	0	汎用入出力 (PE3) (初期値)
			1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC0D)
		1	0	DREQ1 要求受け付け出力 (DRAK1) (シングルチップモードでは PE3)
			1	予約
5、4	PE2 モードビット 1、0 (PE2MD1、PE2MD0)	0	0	汎用入出力 (PE2) (初期値)
			1	MTU インพุットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)
		1	0	DREQ1 要求受け付け入力 (シングルチップモードでは PE2)
			1	予約

PFC

ビット	ビット名称	値		説明
3、2	PE1 モードビット 1、0 (PE1MD1、PE1MD0)	0	0	汎用入出力 (PE1) (初期値)
			1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0B)
		1	0	$\overline{\text{DREQ0}}$ 要求受け付け出力 (DRAK0) (シングルチップモードでは PE1)
			1	予約
1、0	PE0 モードビット 1、0 (PE0MD1、PE0MD0)	0	0	汎用入出力 (PE0) (初期値)
			1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0A)
		1	0	$\overline{\text{DREQ0}}$ 要求受け付け入力 (シングルチップモードでは PE0)
			1	予約

付録

I/O
-----

ポート A データレジスタ L (PADRL)	H'FFFF8382 H'FFFF8383	8/16/32
-------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PA15DR	PA14DR*	PA13DR*	PA12DR*	PA11DR*	PA10DR*	PA9DR	PA8DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* SH7014 の場合は予約ビットになります。

ポート B データレジスタ (PBDR)	H'FFFF8390 H'FFFF8391	8/16/32
----------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名							PB9DR	PB8DR
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	DB2DR	PB1DR*	PB0DR*
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* SH7014 の場合は予約ビットになります。

I/O

ポートC データレジスタ (PCDR) (SH7016/17のみ)	H'FFFF8392 H'FFFF8393	8/16/32
--------------------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートD データレジスタ (PDDRL) (SH7016/17のみ)	H'FFFF83A2 H'FFFF83A3	8/16/32
---------------------------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートE データレジスタ (PEDR)	H'FFFF83B0 H'FFFF83B1	8/16/32
---------------------	--------------------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
項目	7	6	5	4	3	2	1	0
ビット名	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

付録

---

I/O

ポートFデータレジスタ (PFDR)	H'FFFF83B3	8
--------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値	*	*	*	*	*	*	*	*
R/W	R	R	R	R	R	R	R	R

【注】 \* 初期値は読み出し時の端子状態に依存します。

FLASH

フラッシュメモリコントロールレジスタ 1 (FLMCR1)	H'FFFF8580	8
-------------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値	1/0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7	フラッシュライトイネーブルビット (FWE)	0	FWP 端子にハイレベルが入力されているとき (ハードウェアプロテクト状態)
		1	FWP 端子にローレベルが入力されているとき
6	ソフトウェアライトイネーブルビット (SWE)	0	書き込み無効 (初期値)
		1	書き込み有効 [セット条件] FWE=1のとき
5	イレースセットアップビット (ESU)	0	イレースセットアップ解除 (初期値)
		1	イレースセットアップ [セット条件] FWE=1、SWE=1のとき
4	プログラムセットアップビット (PSU)	0	プログラムセットアップ解除 (初期値)
		1	プログラムセットアップ [セット条件] FWE=1、SWE=1のとき
3	イレースベリファイ (EV)	0	イレースベリファイモードを解除 (初期値)
		1	イレースベリファイモードに遷移
2	プログラムベリファイ (PV)	0	プログラムベリファイモードを解除 (初期値)
		1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1のとき
1	イレース (E)	0	イレースモードを解除 (初期値)
		1	イレースモードを解除に遷移 [セット条件] FWE=1、SWE=1、ESU=1のとき
0	プログラム (P)	0	プログラムモードを解除 (初期値)
		1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、PSU=1のとき

## FLASH

フラッシュメモリコントロールレジスタ 2 (FLMCR2)	H'FFFF8581	8
-------------------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	FLER	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	フラッシュメモリエラー (FLER)	0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] パワーオンリセットのとき (初期値)
		1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「18.8.3 エラープロテクト」参照

ブロック指定レジスタ 1 (EBR1)	H'FFFF8582	8
---------------------	------------	---

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名称	値	説明
7~0	EB7~EB0	0	各ブロックは消去プロテクト状態 (初期値)
		1	各ブロックは消去プロテクト



FLASH

RAM エミュレーションレジスタ 1 (RAMER)	H'FFFF8628	8/16/32
----------------------------	------------	---------

項目	ビット							
	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R
項目	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	RAMS	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名称	値	説明
2	RAM セレクト (RAMS)	0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
		1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット2 RAMS	ビット1 RAM1	ビット0 RAM0	アドレス	ブロック名
0	*	*	H'FFF800 ~ H'FFFBFF	RAM エリア 1KB
1	0	0	H'01F000 ~ H'01F3FF	EB4 (1KB)
1	0	1	H'01F400 ~ H'01F7FF	EB5 (1KB)
1	1	0	H'01F800 ~ H'01FBFF	EB6 (1KB)
1	1	1	H'01FC00 ~ H'01FFFF	EB7 (1KB)

【注】 \* 不定

(低消費電力状態)

スタンバイコントロールレジスタ (SBYCR)	H'FFFF8614	8/16/32
-------------------------	------------	---------

項目	ビット							
	7	6	5	4	3	2	1	0
ビット名	SBY	HIZ						
初期値	0	0	0	1	1	1	1	1
R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名称	値	説明
7	スタンバイ (SBY)	0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
		1	SLEEP 命令の実行により、スタンバイモードへ遷移
6	ポートハイインピーダンス (HIZ)	0	スタンバイモード時に、端子状態を保持する (初期値)
		1	スタンバイモード時に、端子状態をハイインピーダンスにする

## B. I/Oポートブロック図

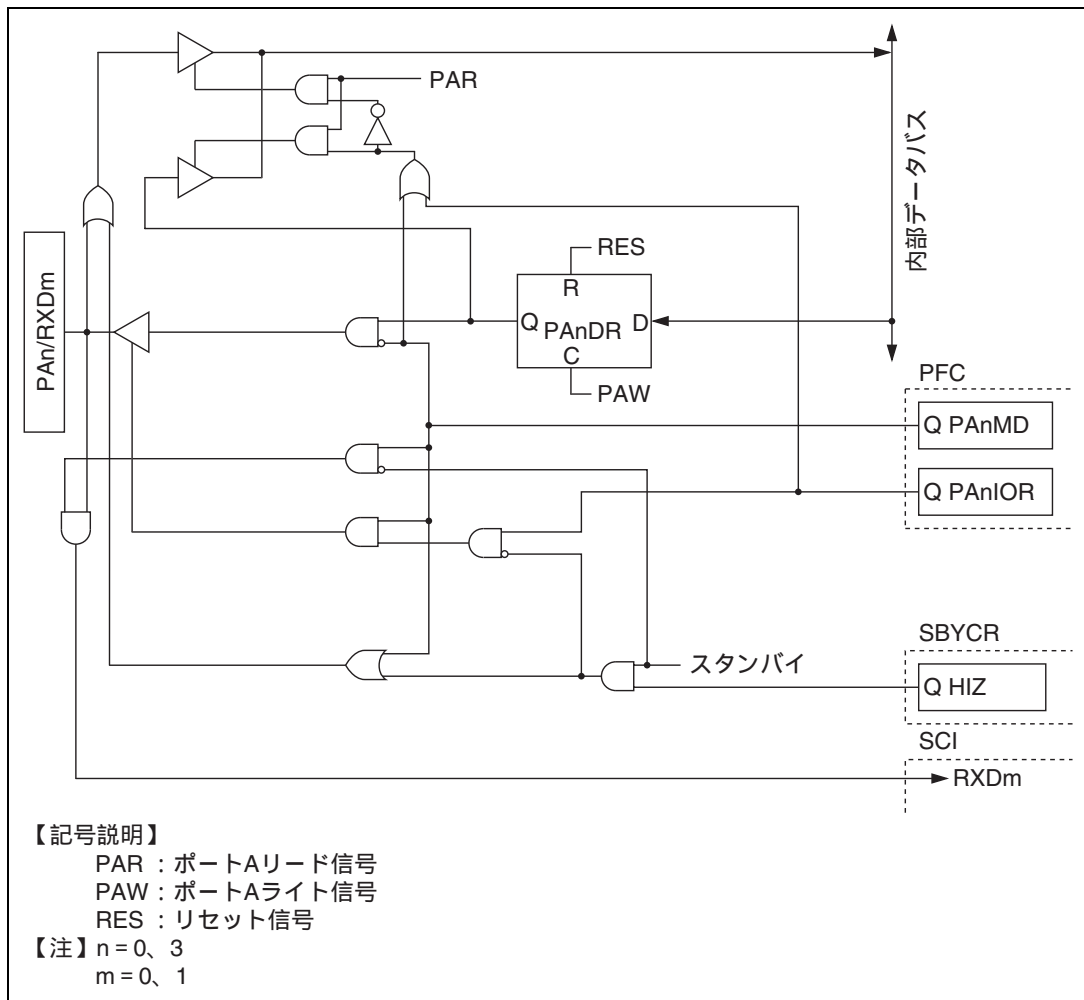


図 B.1 PAn/RXm ブロック図

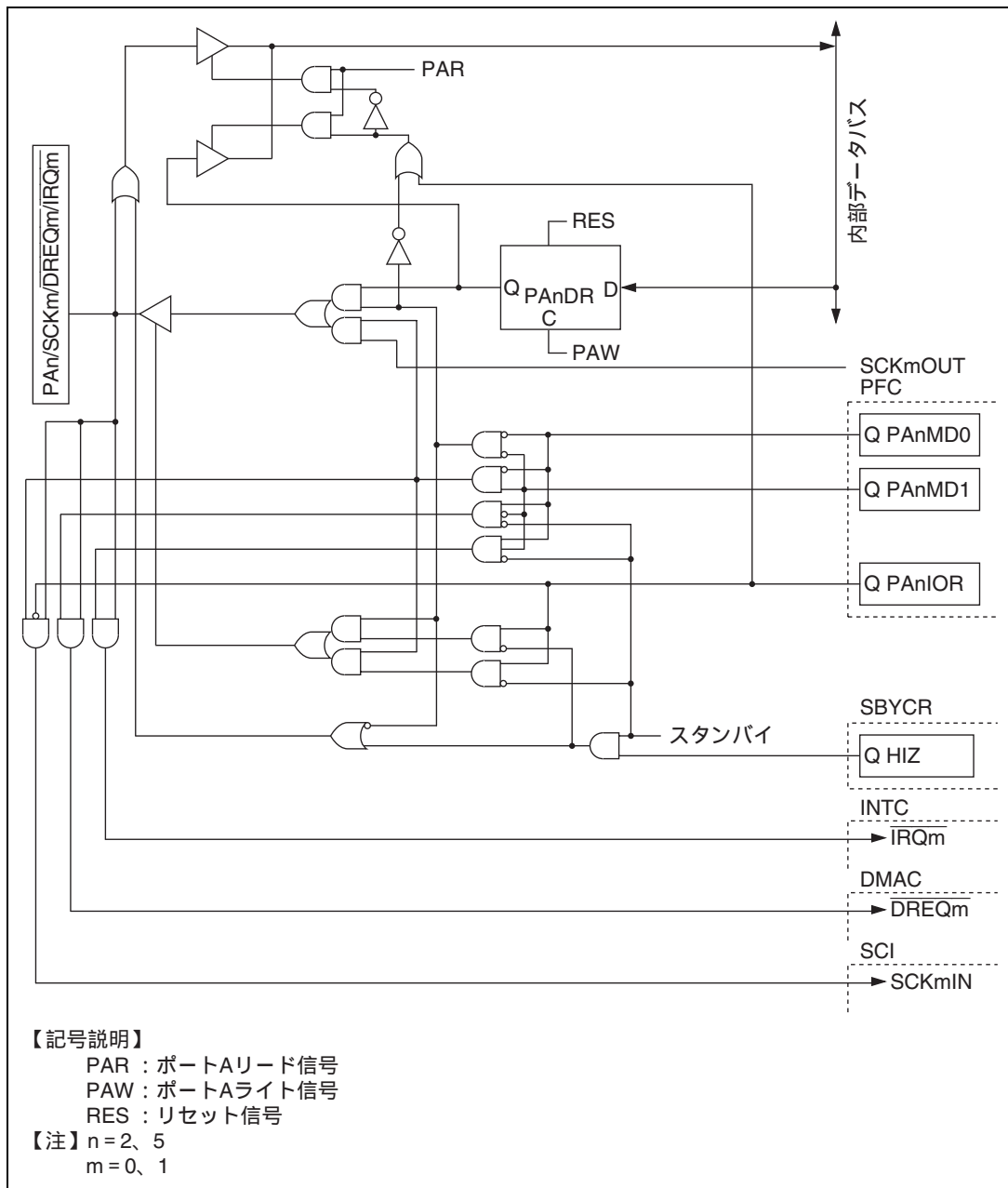


図 B.2 PAn/SCKm/DREQm/IRQm ブロック図

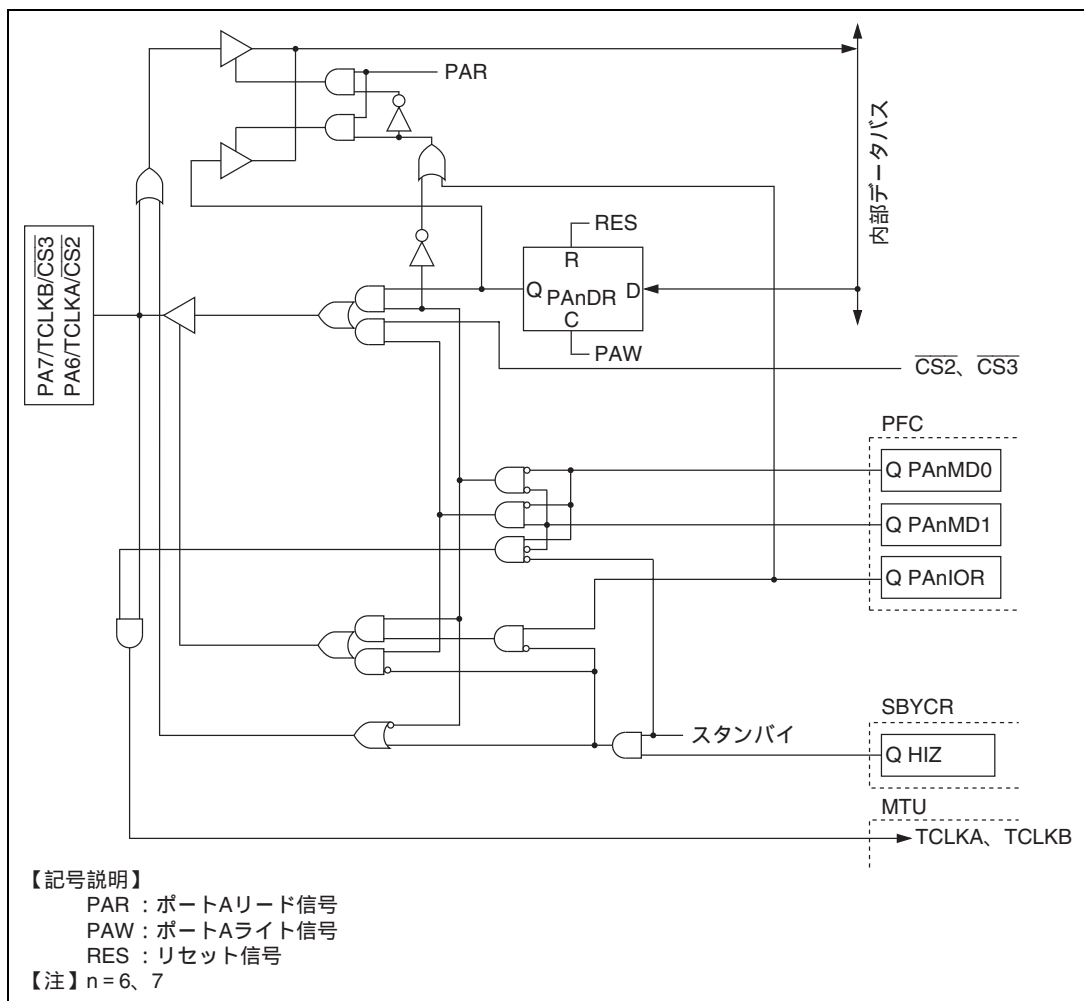


図 B.3 PA6/TCLKA/CS2、PA7/TCLKB/CS3 (SH7014、マスク) ブロック図

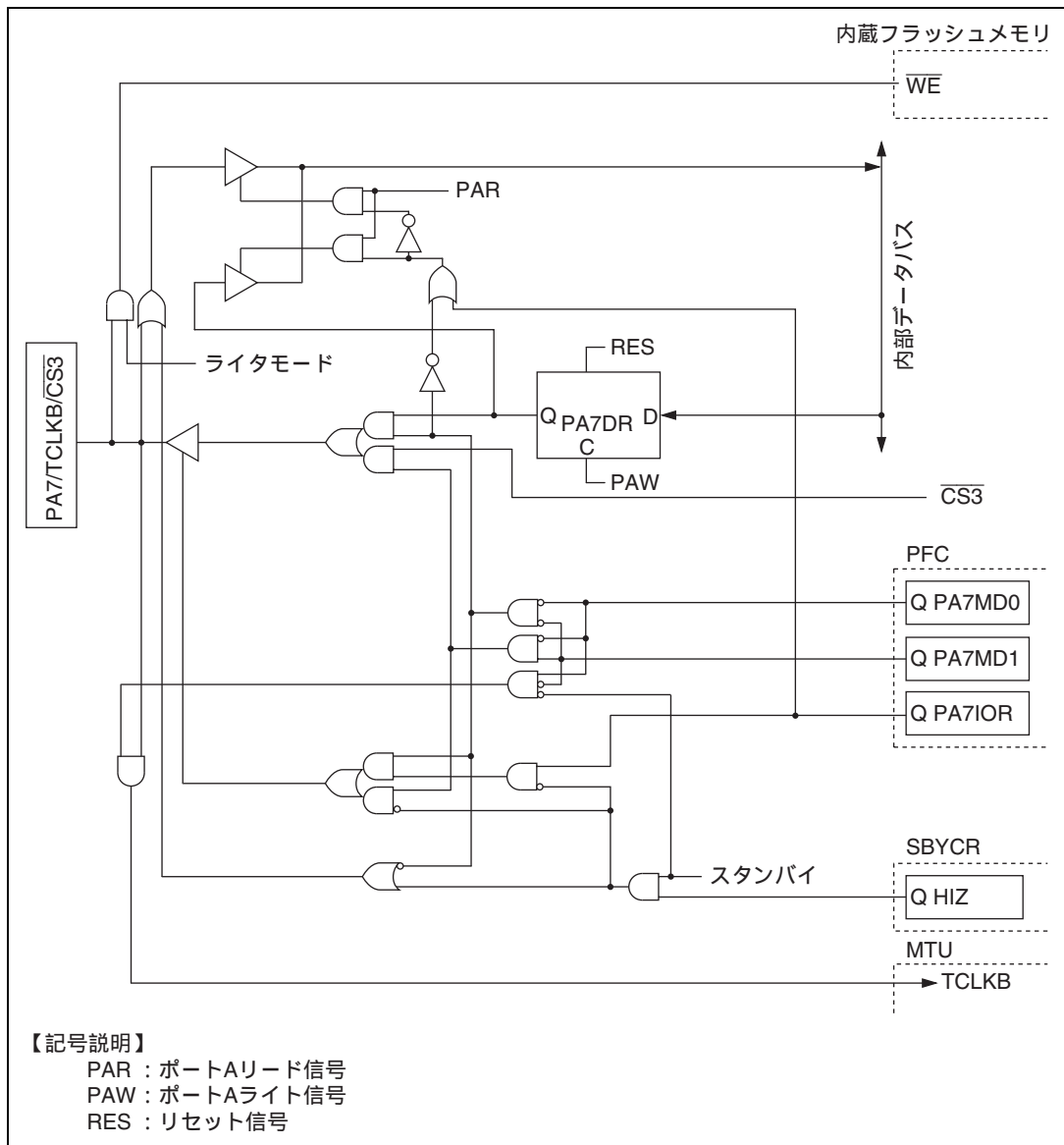


図 B.4 PA7/TCLKB/CS3 ブロック図 (F-ZTAT 版)

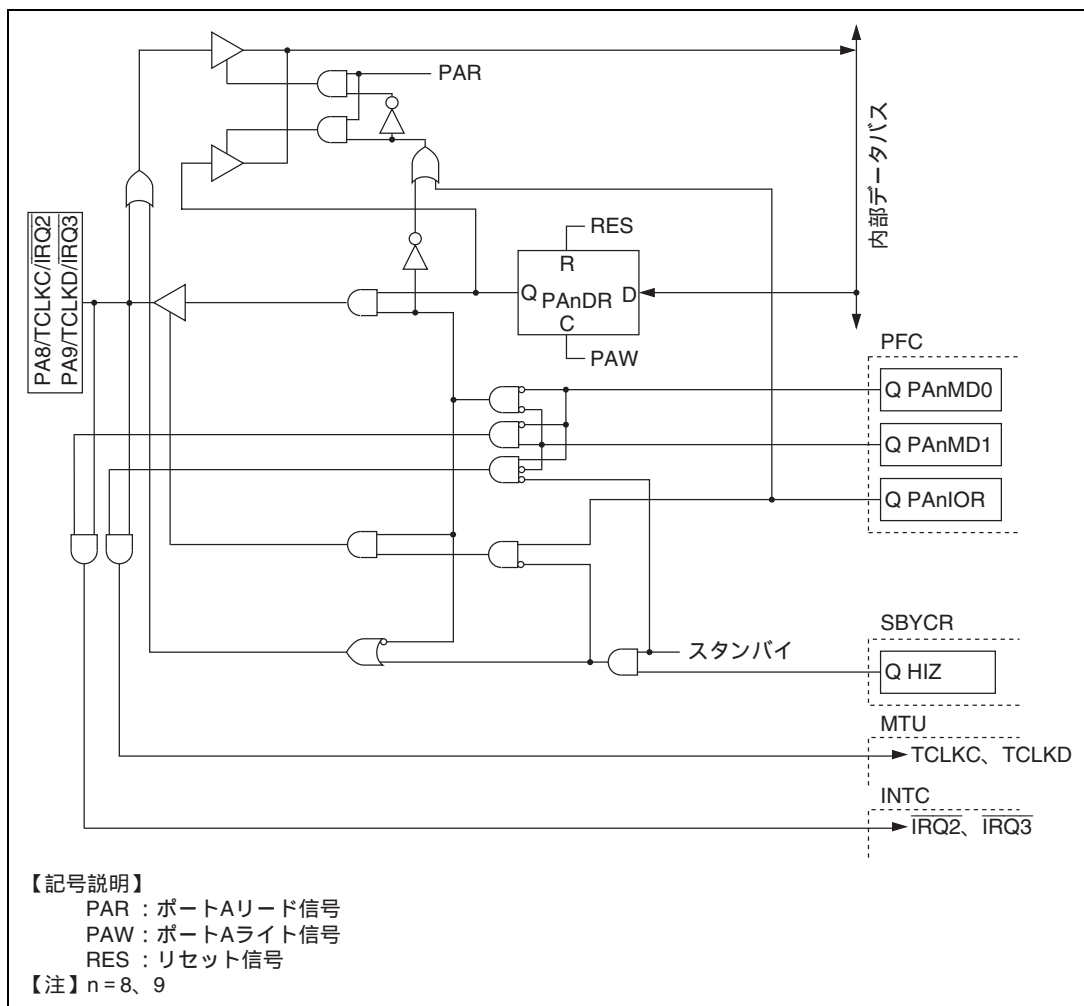


図 B.5 PAn/TCLKm/IRQx ブロック図 (SH7014、マスク)

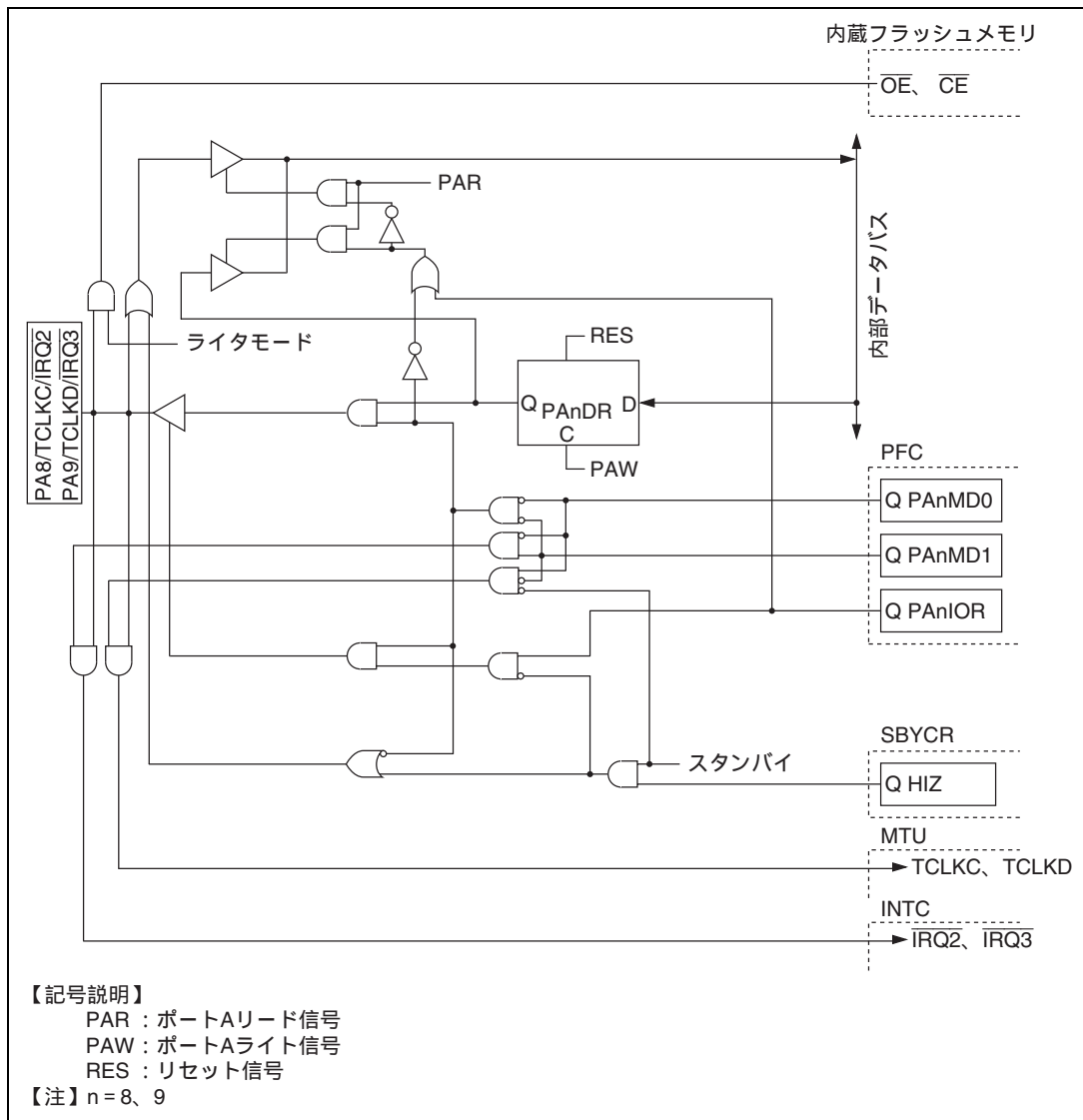


図 B.6 PAn/TCLKm/IRQx ブロック図 (F-ZTAT 版)



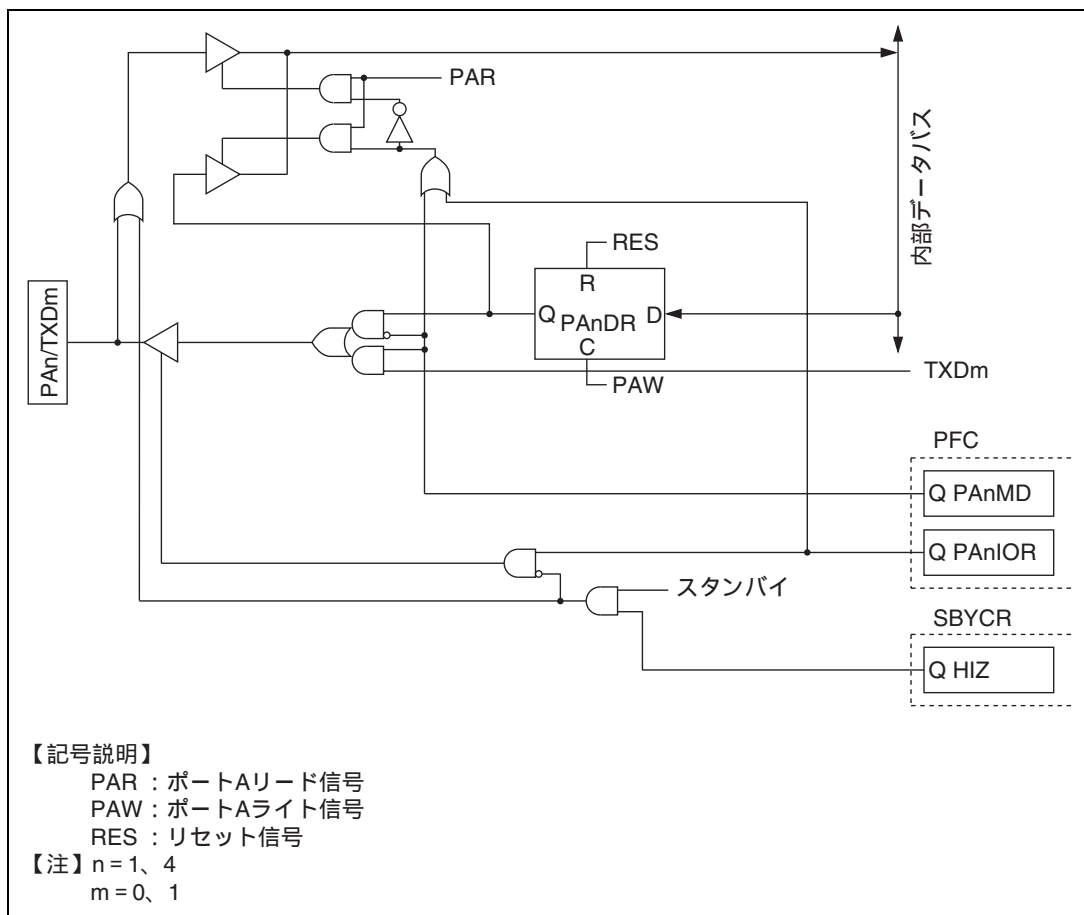


図 B.7 PAn/TXDm ブロック図

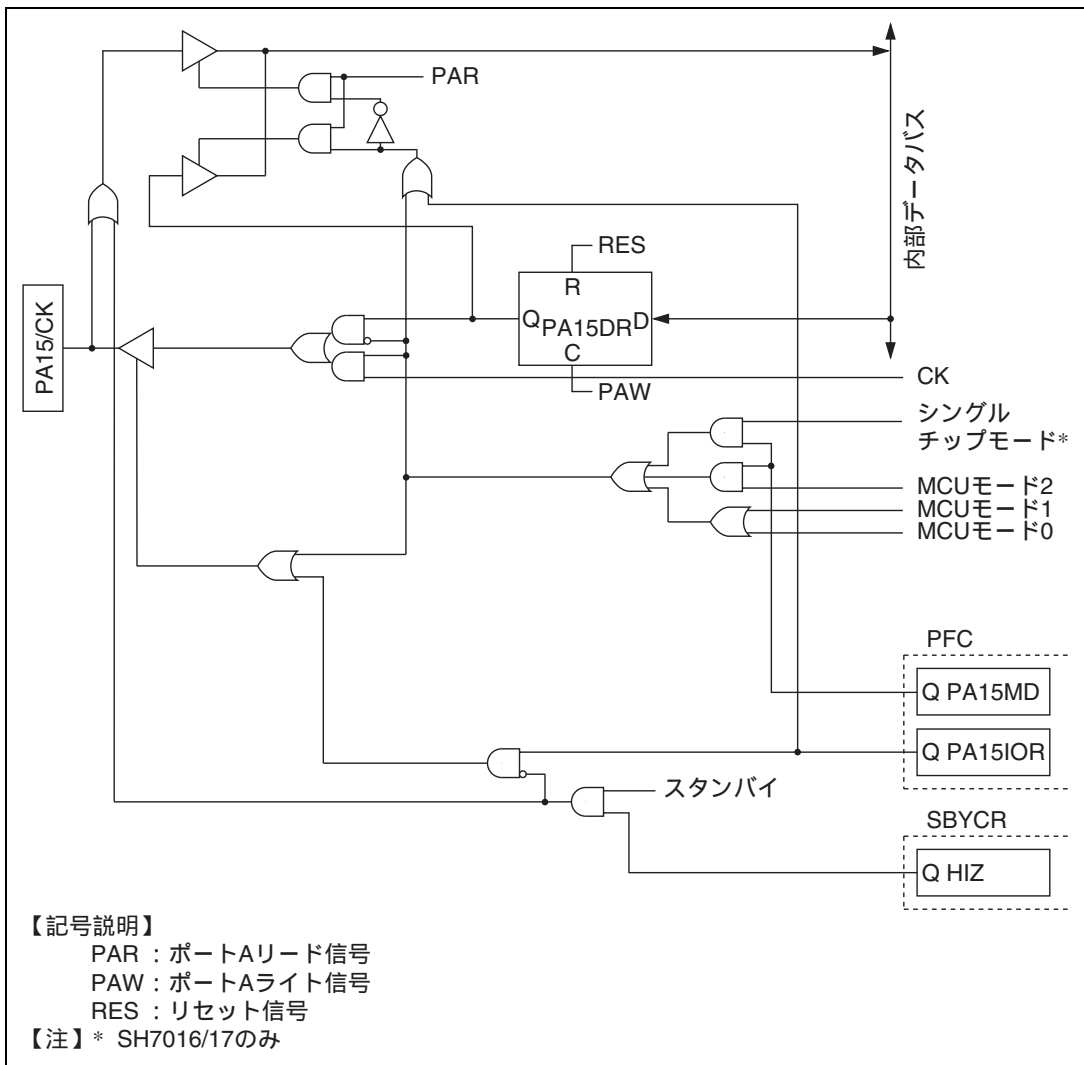


図 B.8 PA15/CK ブロック図

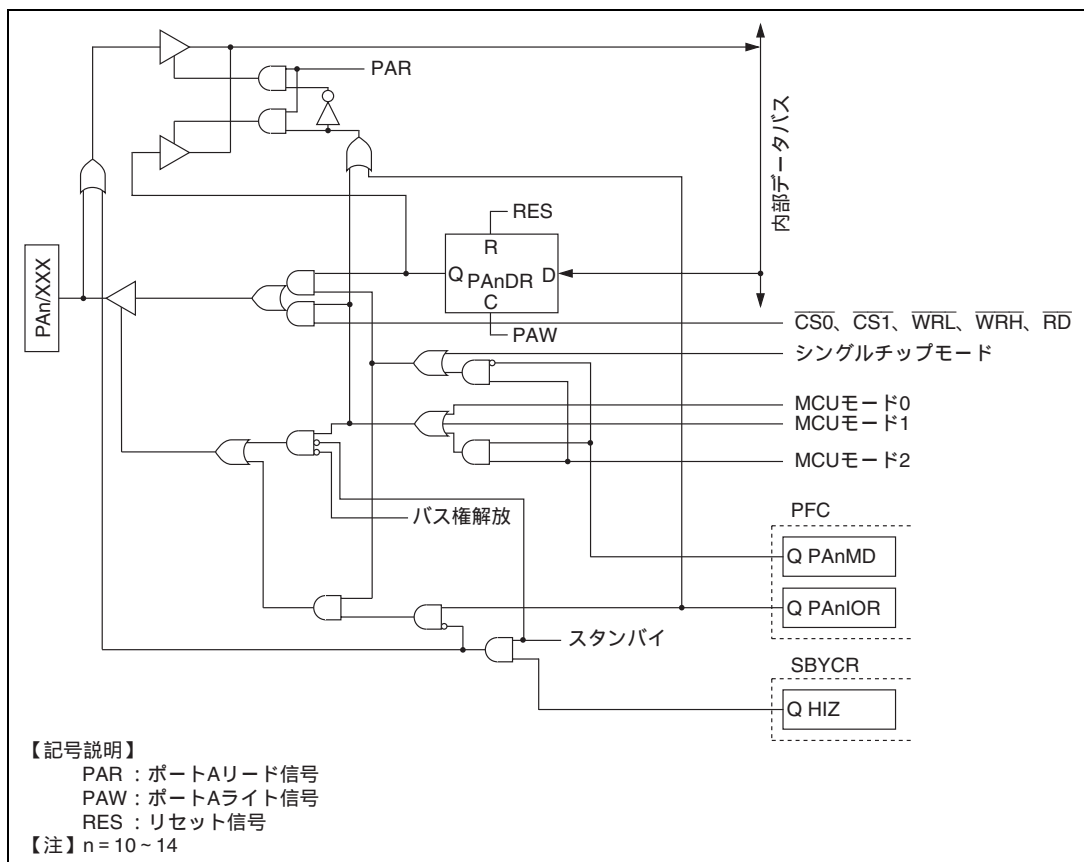


図 B.9 PAn/XXX ブロック図 (SH7016、SH7017)

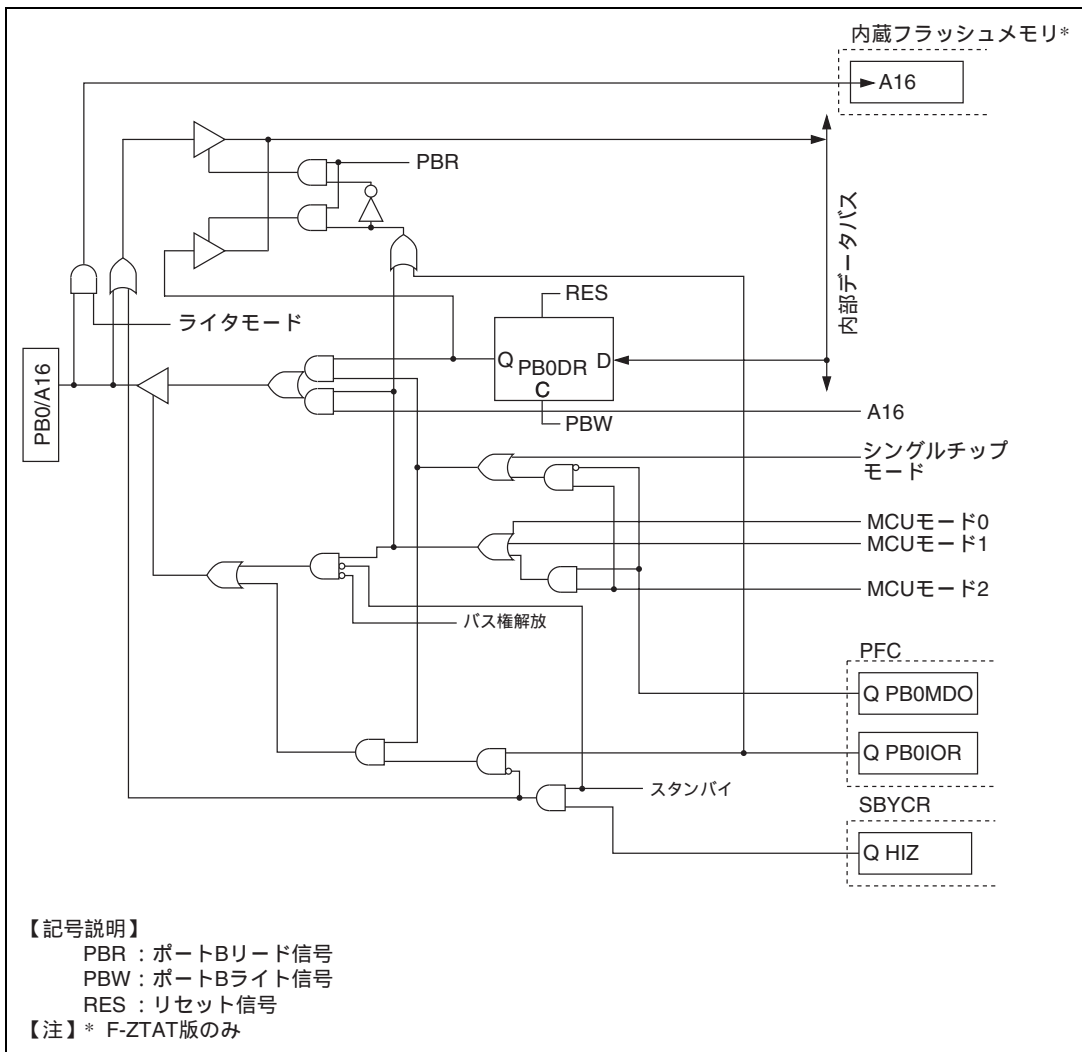


図 B.10 PB0/A16 ブロック図 (SH7016、SH7017)

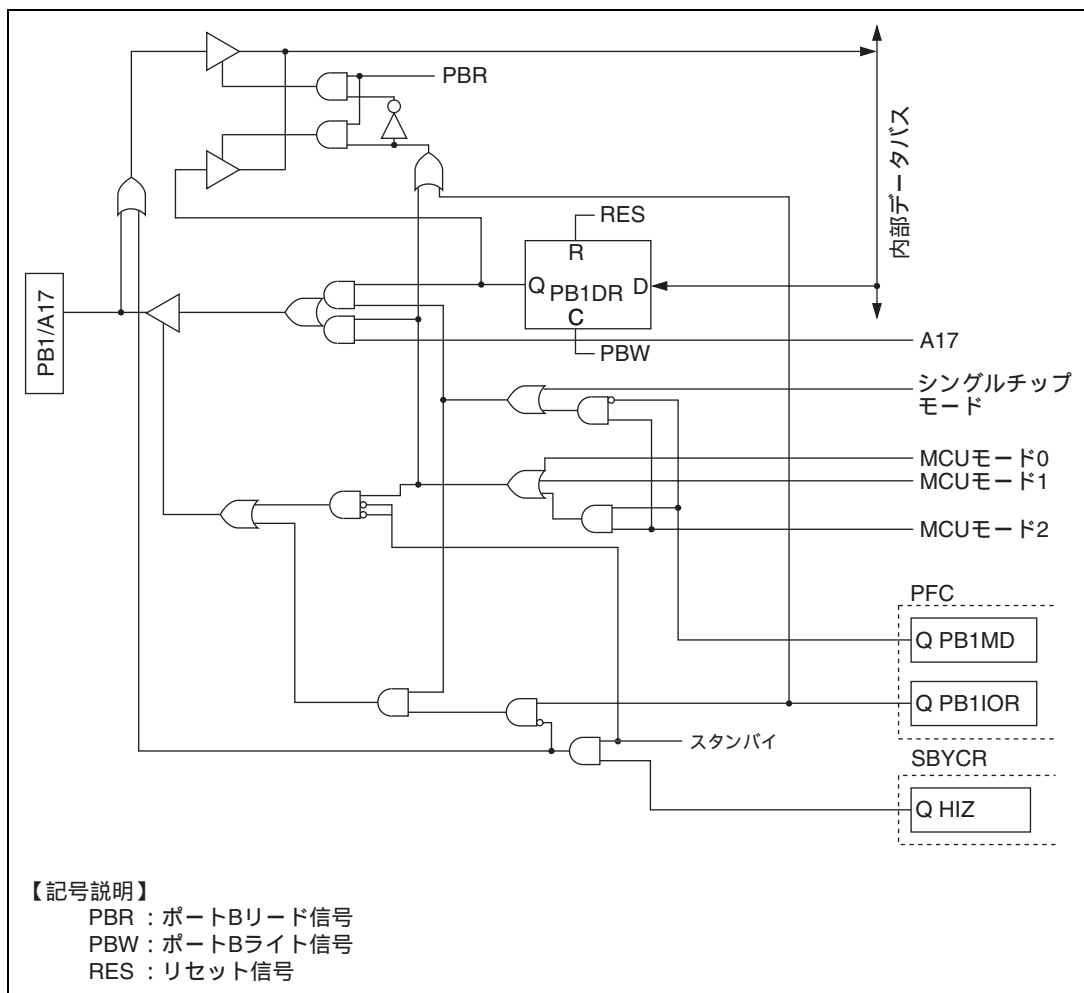


図 B.11 PB1/A17 ブロック図 (SH7016、SH7017)

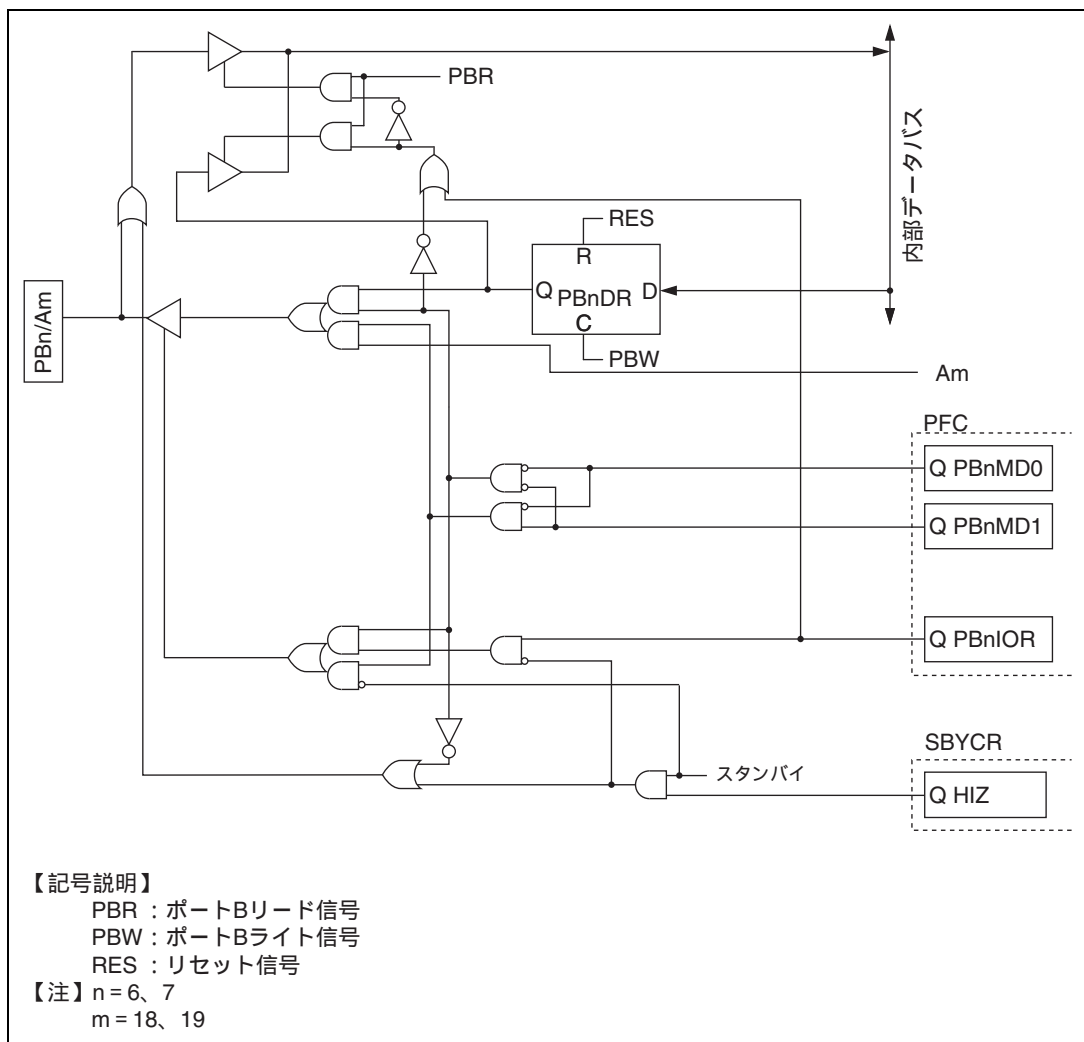


図 B.12 PBn/Am ブロック図

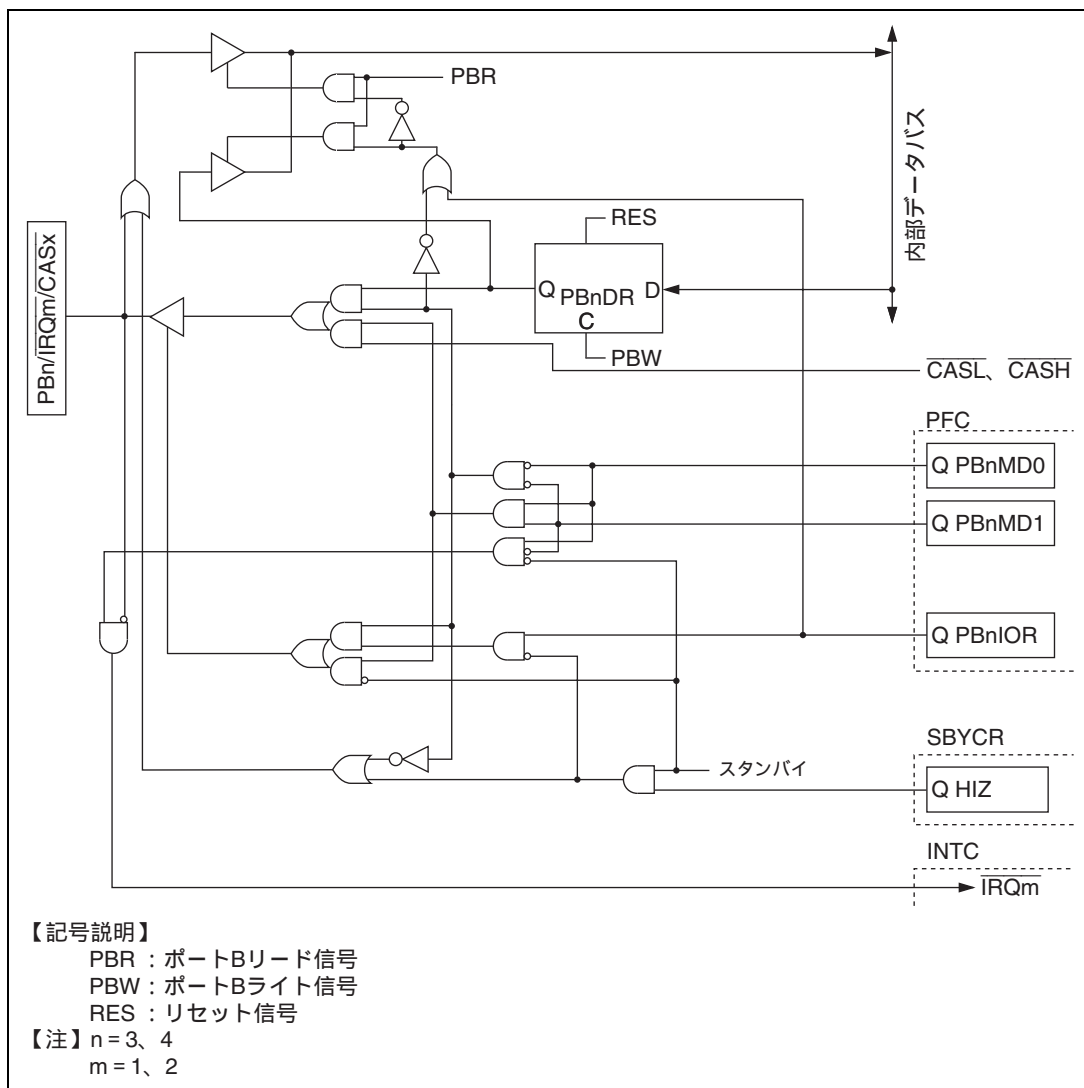


図 B.13 PBn/IRQm/CASx ブロック図

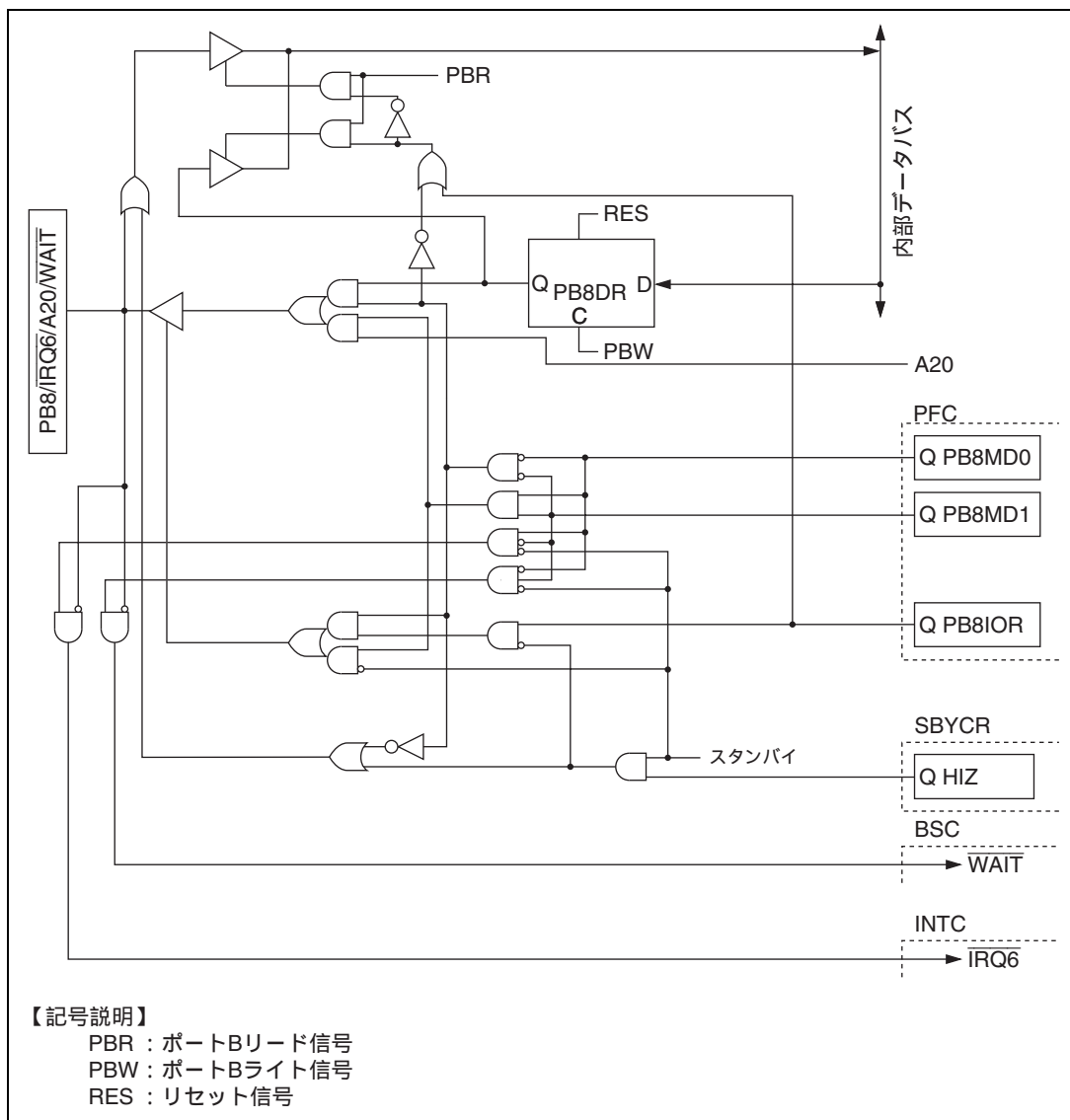


図 B.14 PB8/IRQ6/A20/WAIT ブロック図



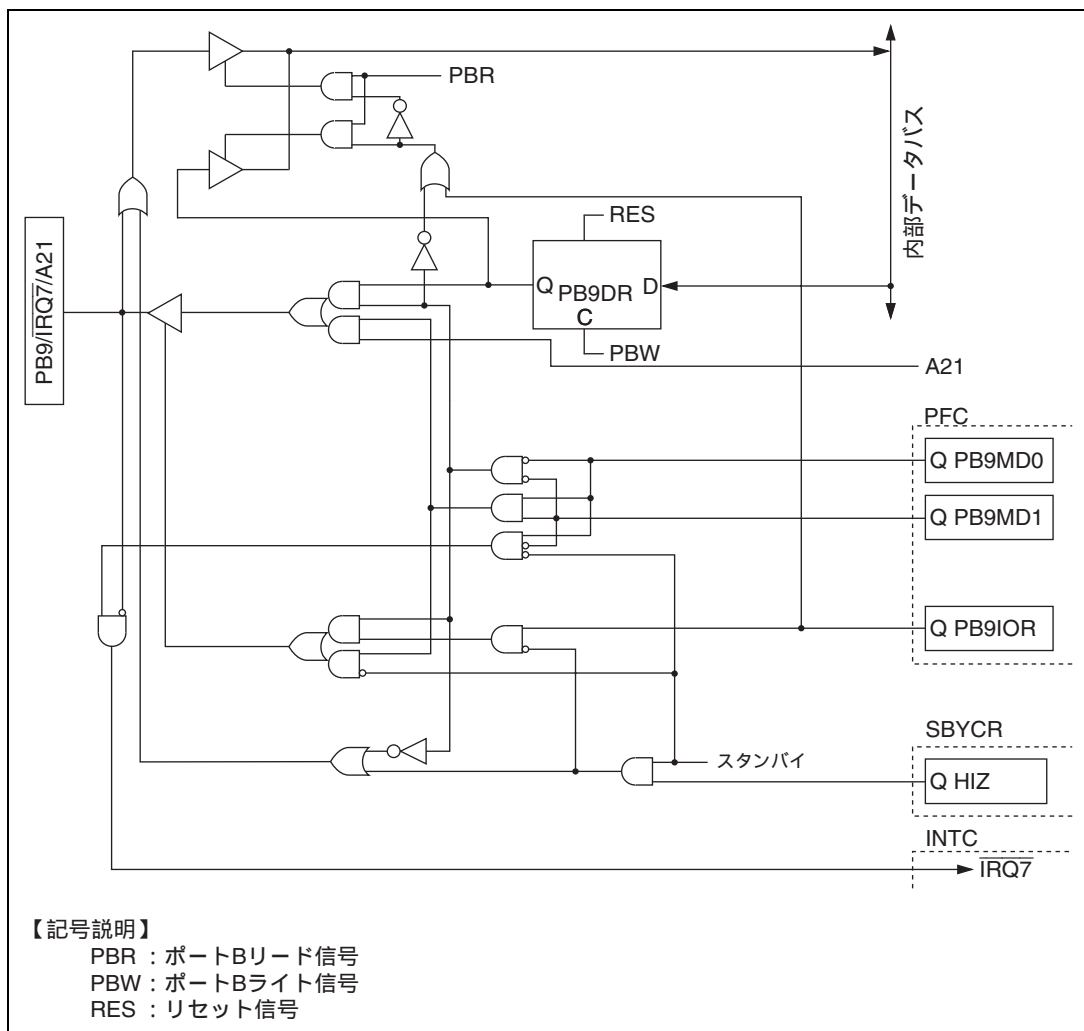


図 B.15 PB9/IRQ7/A21 ブロック図

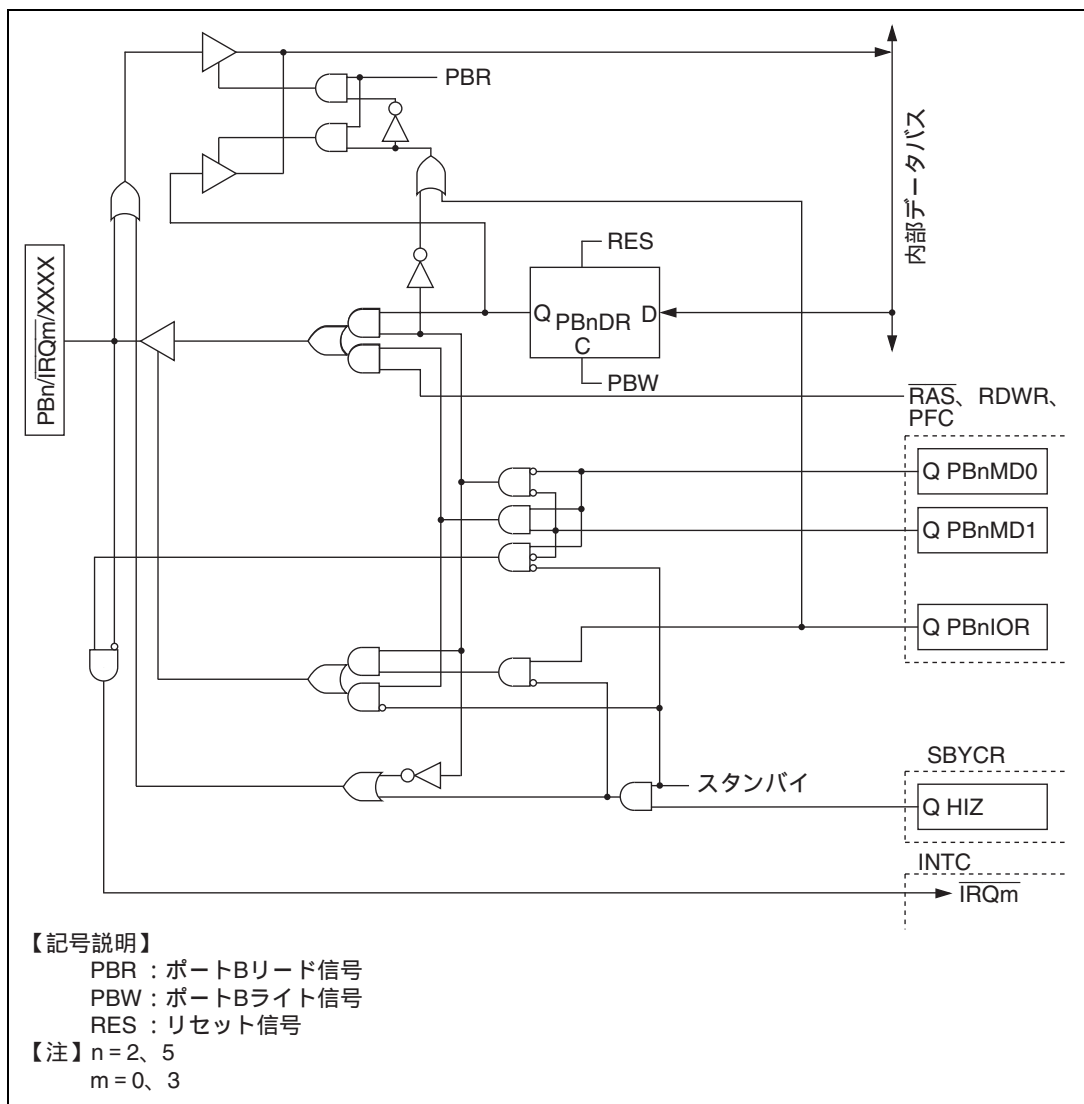


図 B.16 PBn/IRQm/XXXX ブロック図

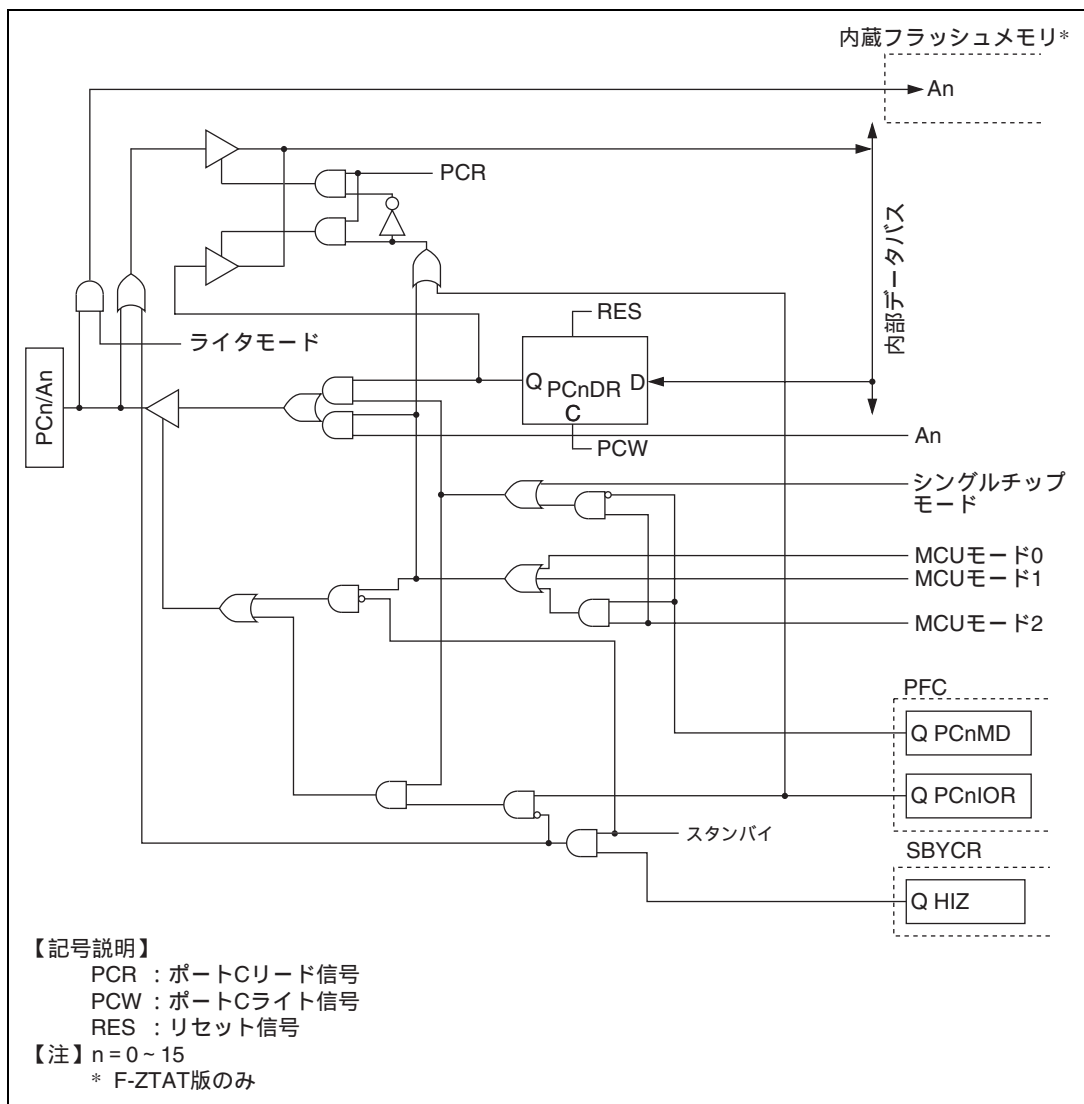


図 B.17 PCn/An ブロック図

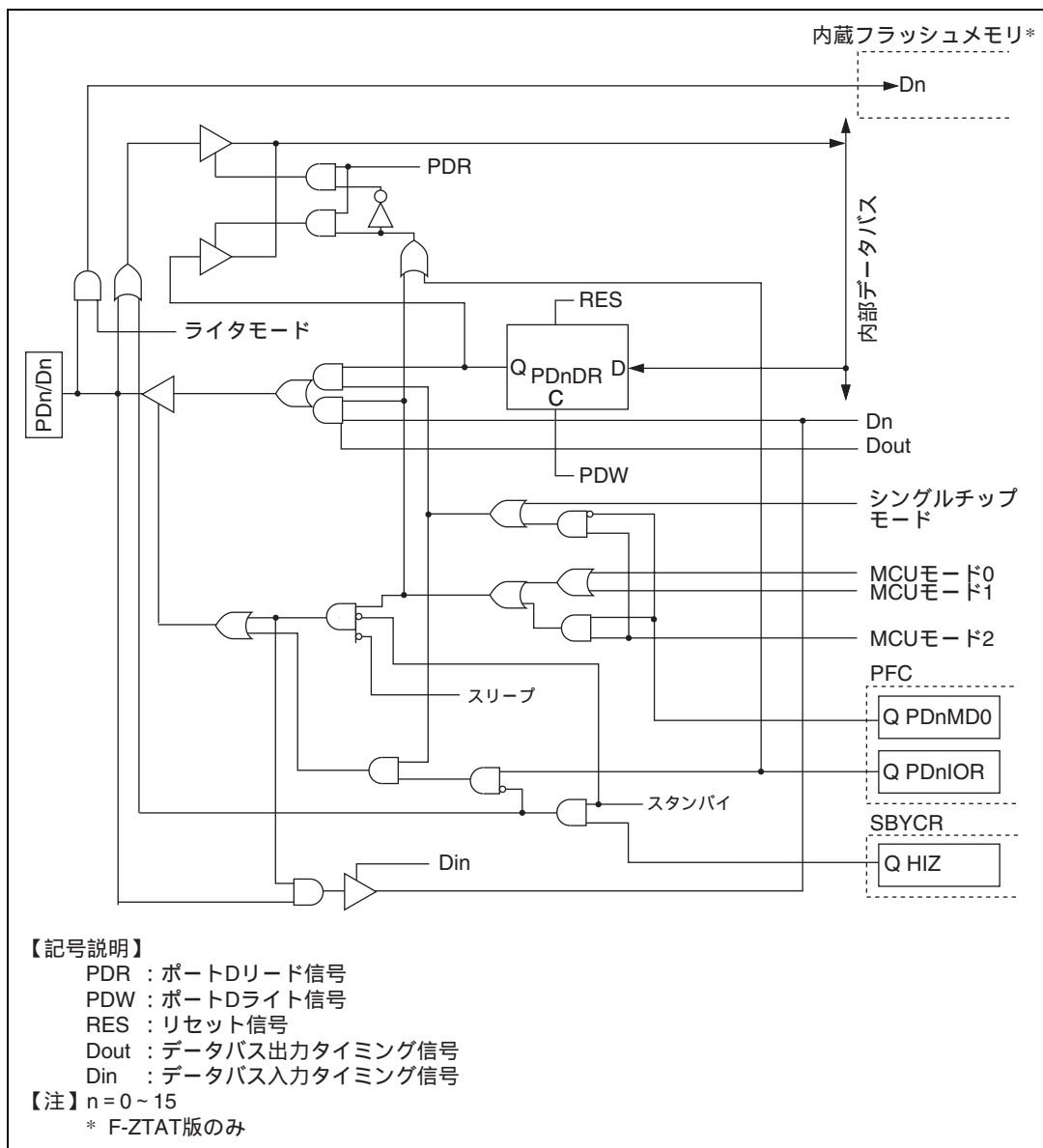


図 B.18 PDn/Dn ブロック図 (SH7016、SH7017)

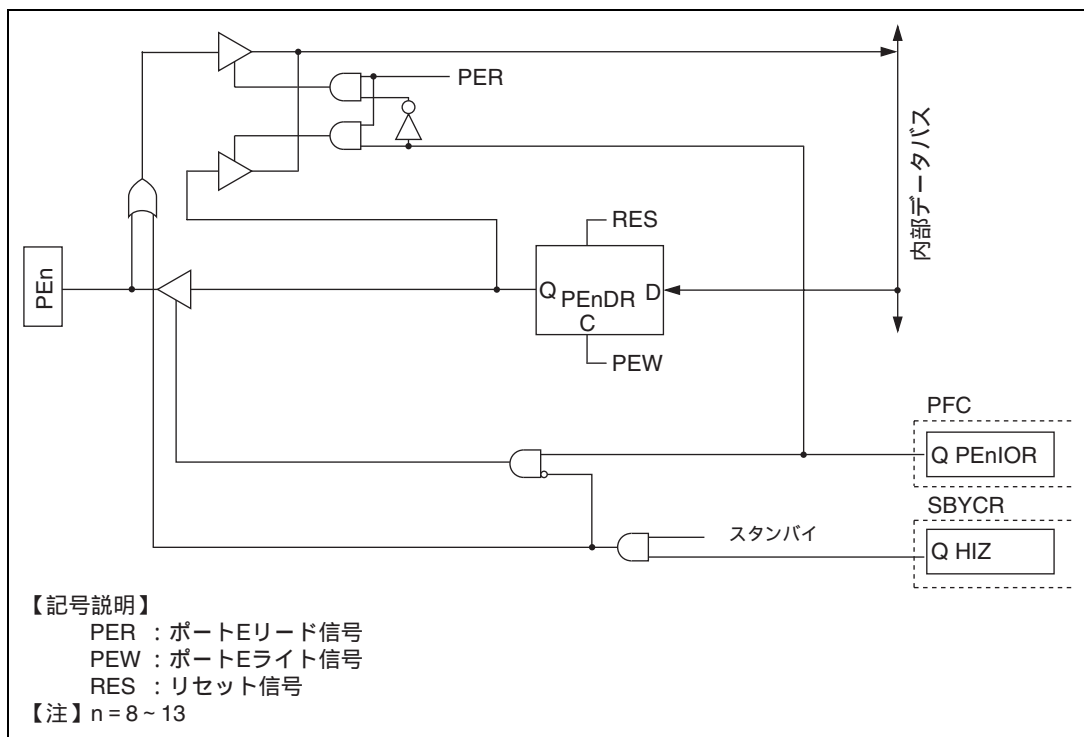


図 B.19 PEn ブロック図

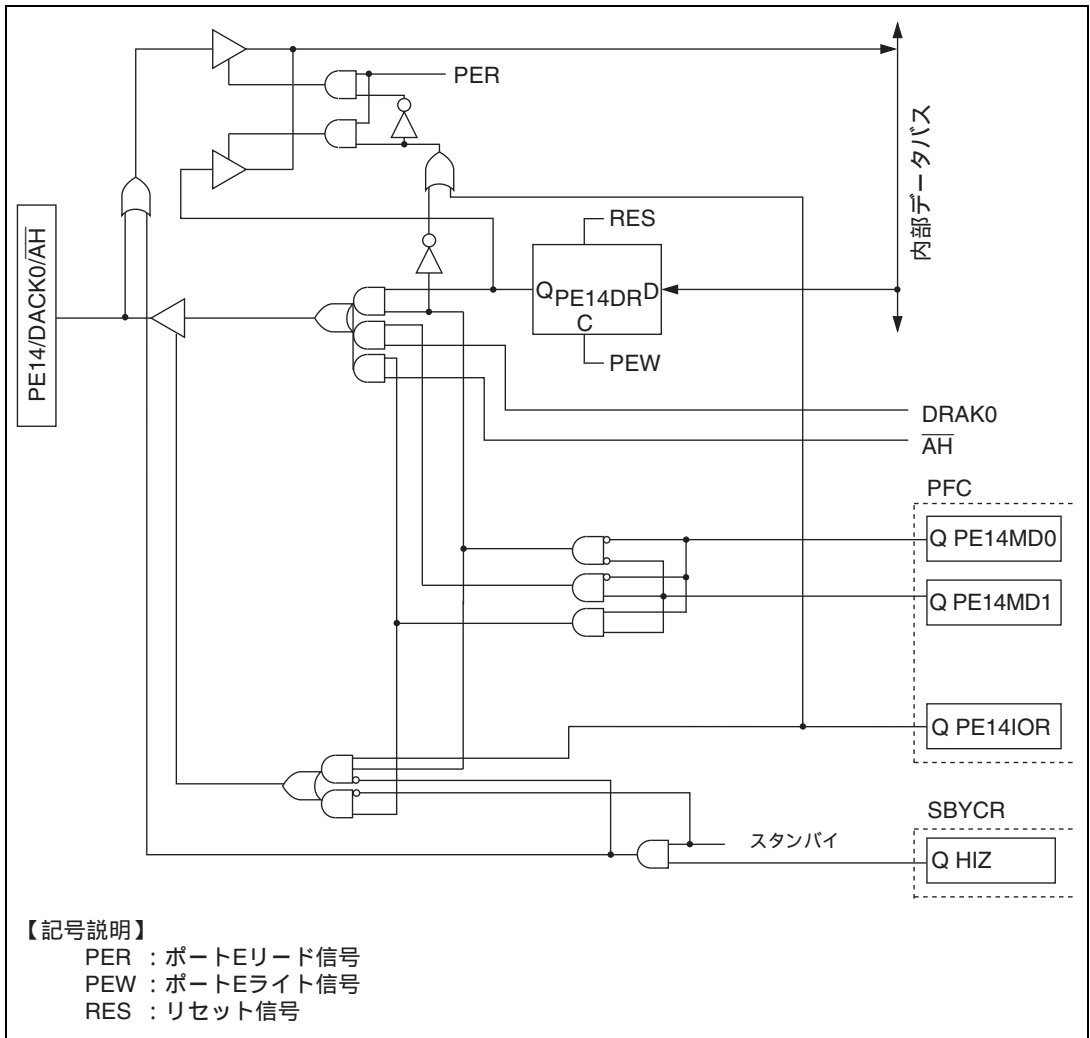


図 B.20 PE14/DACK0/AH ブロック図

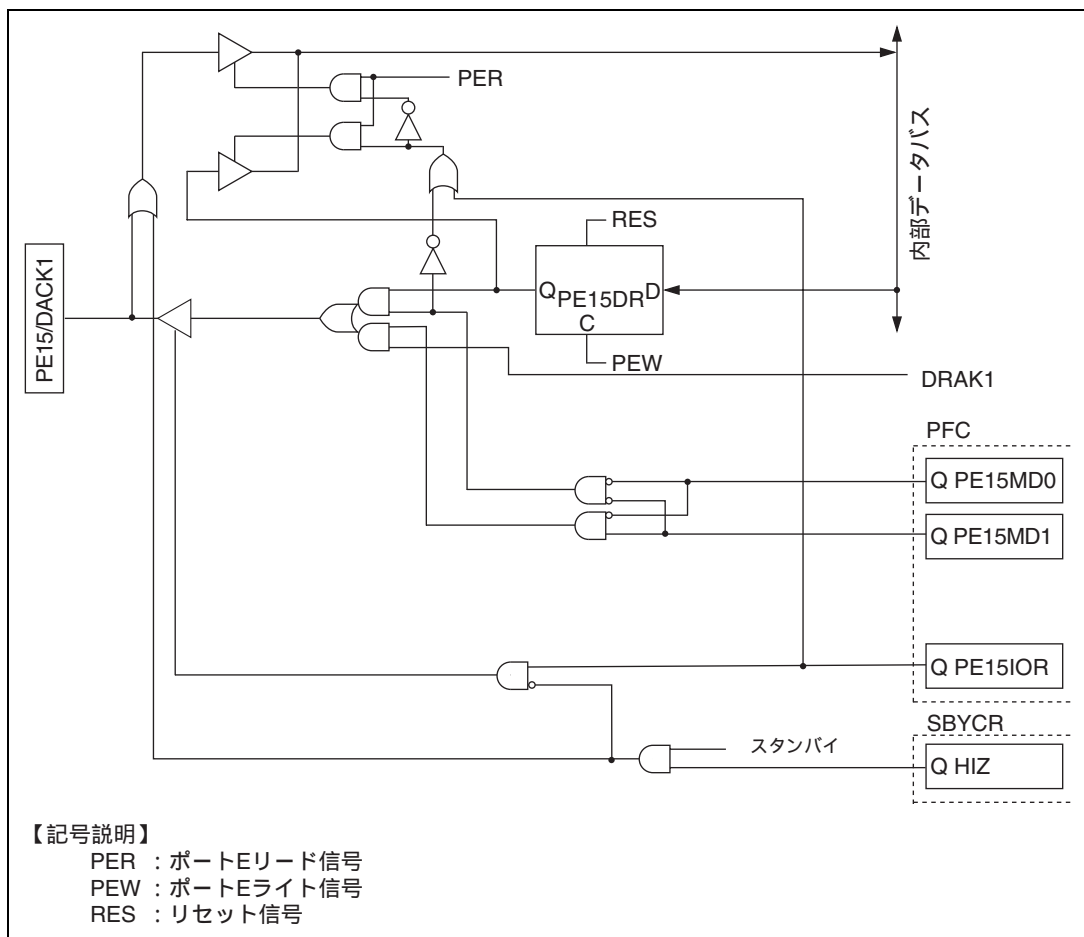


図 B.21 PE15/DACK1 ブロック図

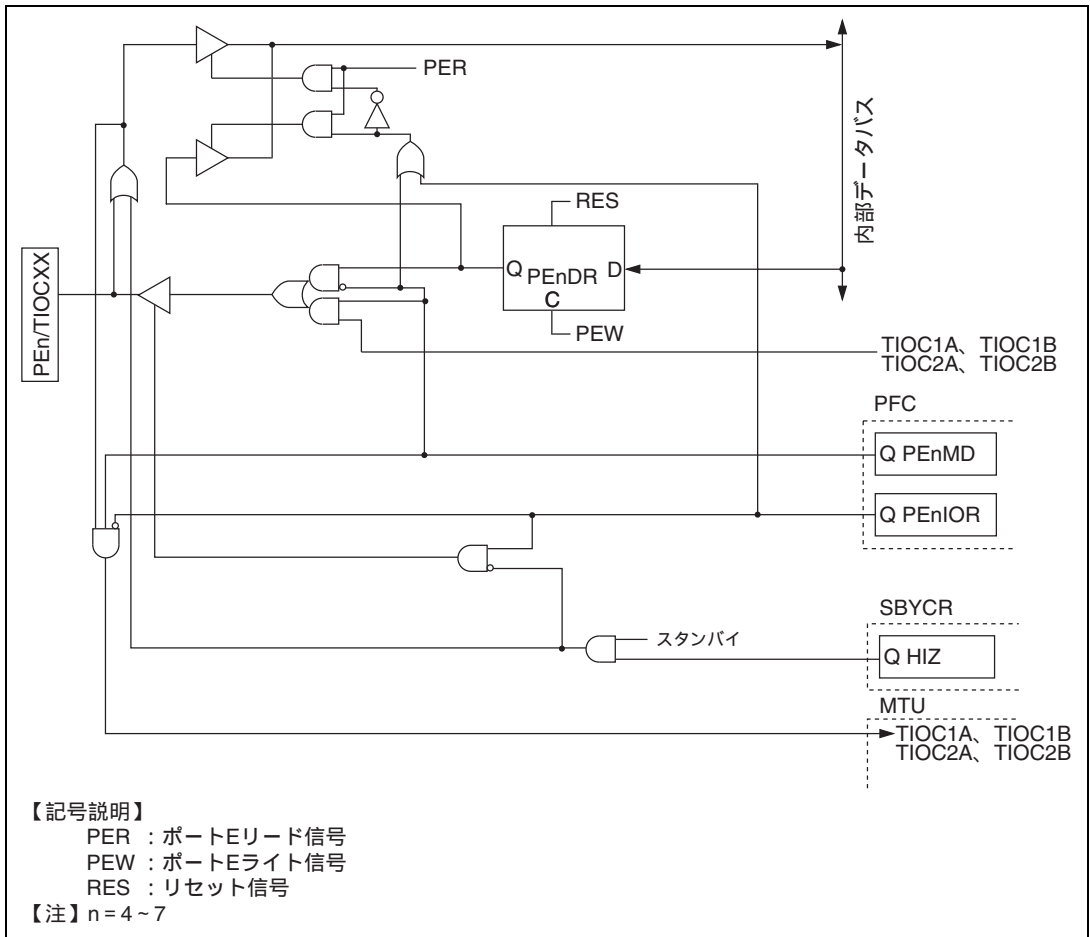


図 B.22 PEn/TIOCXX ブロック図



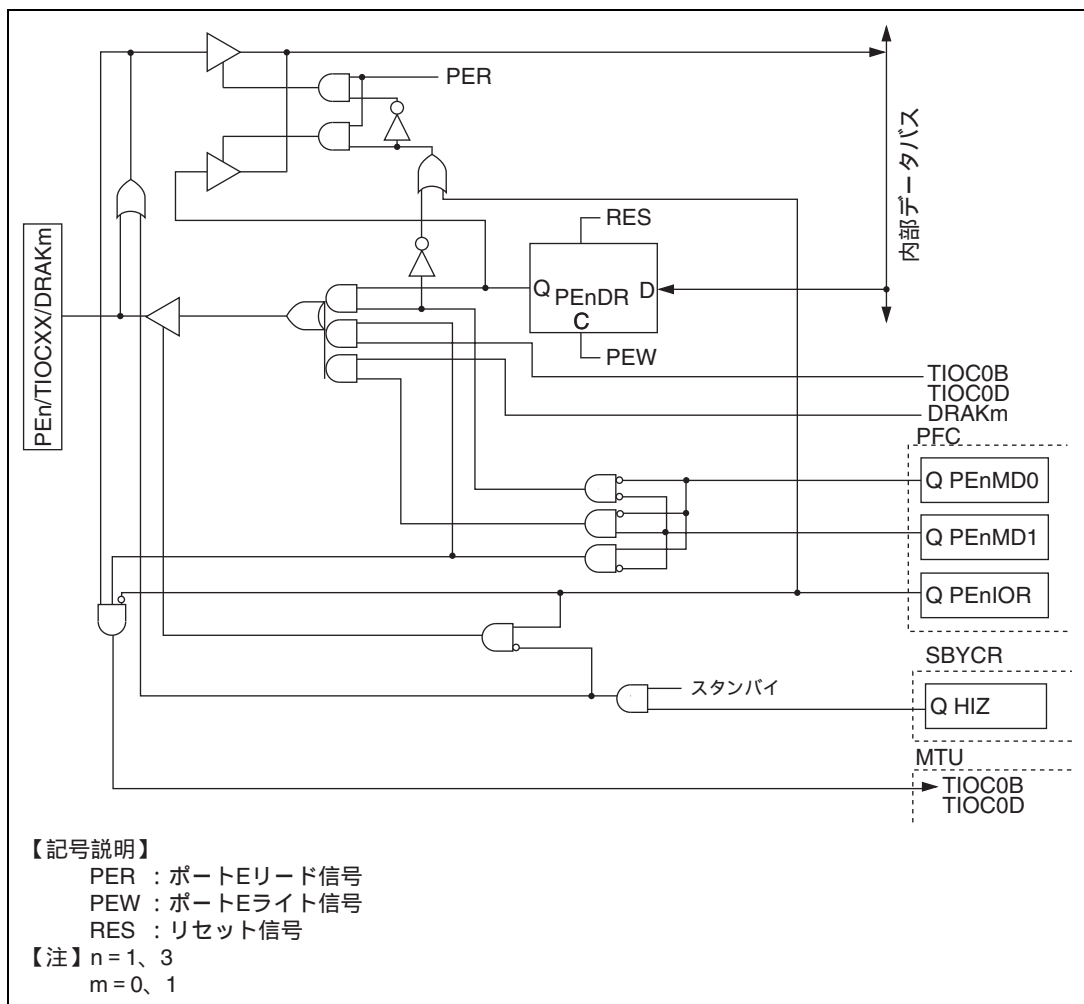


図 B.23 PEn/TIOCXX/DRAKm ブロック図

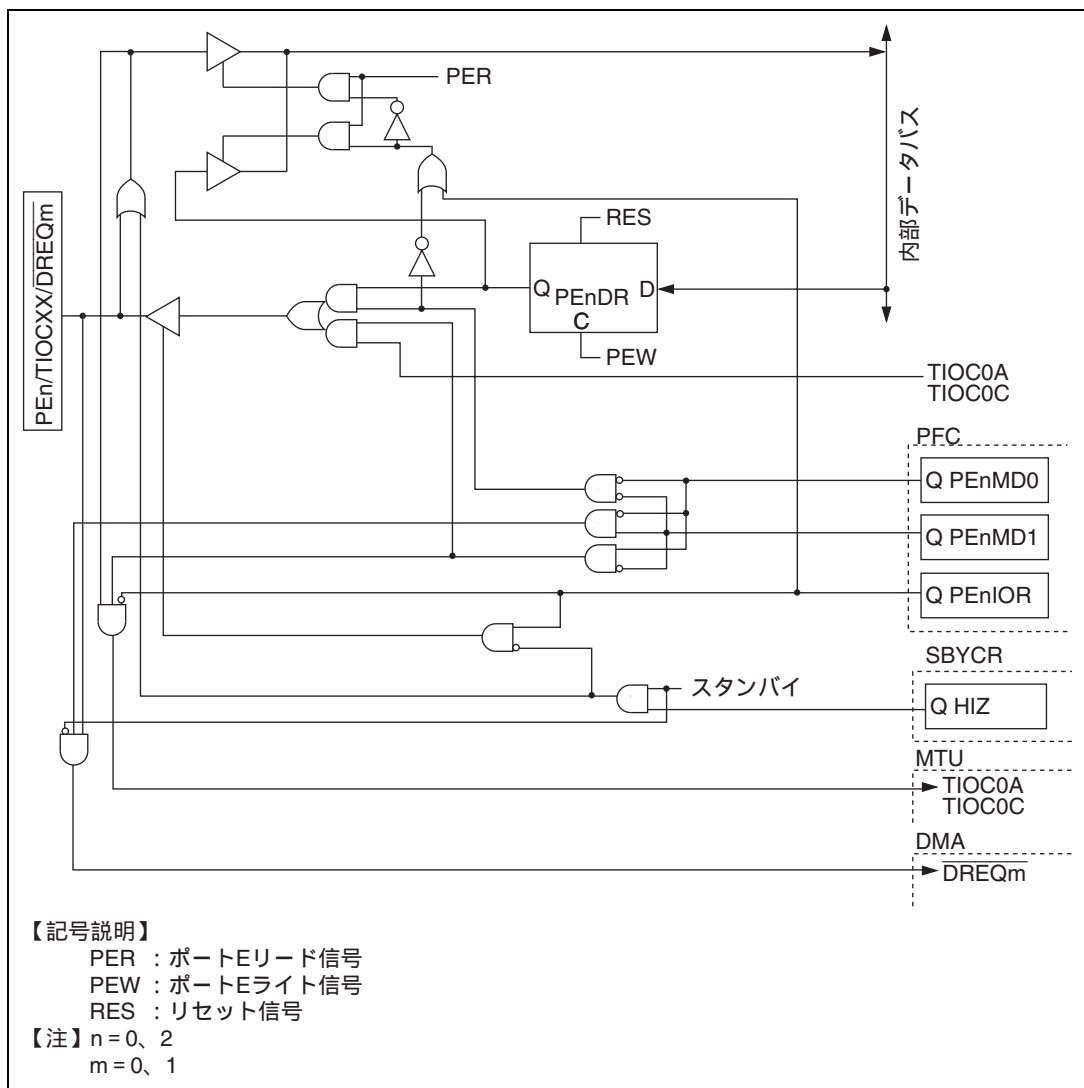


図 B.24 PEn/TIOCXX/DREQm ブロック図

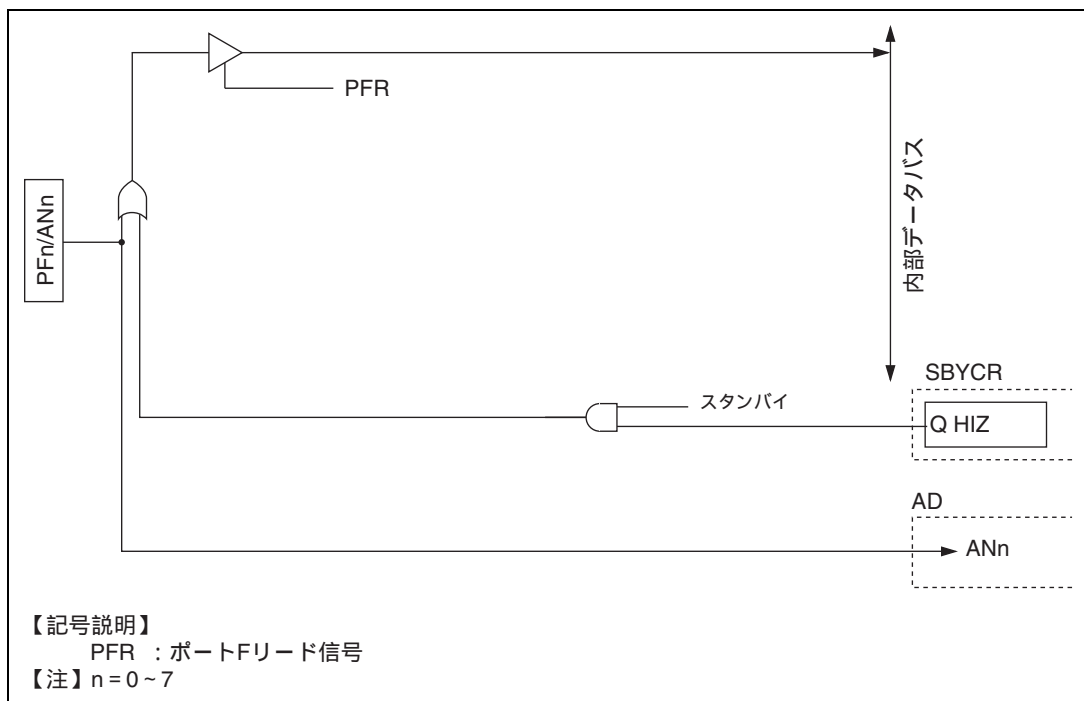


図 B.25 PFn/ANn ブロック図

## C. 端子状態

## C.1 端子状態

表 C.1 リセット、低消費電力状態での端子状態

端子機能		端子状態		
分類	端子名	リセット状態	低消費電力状態	
		パワーオン	スタンバイ	スリープ
クロック	CK	O	H* <sup>1</sup>	O
システム制御	RES	I	I	I
	WDTOVF	O	O	O
割り込み	NMI	I	I	I
	IRQ0 ~ IRQ3、IRQ6、IRQ7	Z	Z	I
アドレスバス	A0 ~ A21	O	Z	O
データバス	D0 ~ D15	Z	Z	I/O
バス制御	WAIT	Z	Z	I
	RDWR、RAS	Z	O	H
	CASH、CASL	Z	O	H
	RD	H	Z	H
	CS0、CS1	H	Z	H
	CS2、CS3	Z	Z	H
	WRH、WRL	H	Z	H
	AH	Z	Z	L
DMAC	DACK0、DACK1	Z	O* <sup>1</sup>	O
	DRAK0、DRAK1	Z	O* <sup>1</sup>	O
	DREQ0、DREQ1	Z	Z	I
MTU	TIOC0A ~ TIOC0D、TIOC1A、 TIOC1B、TIOC2A、TIOC2B	Z	K* <sup>1</sup>	I/O
	TCLKA ~ TCLKD	Z	Z	I
SCI	SCK0、SCK1	Z	Z	I/O
	TXD0、TXD1	Z	O* <sup>1</sup>	O
	RXD0、RXD1	Z	Z	I
A/D 変換器	AN0 ~ AN7	Z	Z	I
I/O ポート	PA0 ~ PA9、PA15	Z	K* <sup>1</sup>	K
	PB0 ~ PB9			
	PC0 ~ PC15			
	PD0 ~ PD15			
	PE0 ~ PE15* <sup>2</sup>			
	PF0 ~ PF7	Z	Z	I

## 【記号説明】

- I : 入力
- O : 出力
- H : ハイレベル出力
- L : ローレベル出力

Z : ハイインピーダンス

K : 入力端子はハイインピーダンス、出力端子は状態保持

【注】\*1 スタンバイコントロールレジスタのポートハイインピーダンスビットを'1'にすると、出力端子はハイインピーダンスになります。

\*2 エミュレータ使用時、PE9、PE11～PE15 は、スタンバイモードでハイインピーダンスになります。

## C.2 バス関連信号の端子状態

表 C.2 内蔵周辺モジュールの端子状態

端子名	内蔵 ROM 空間 (SH7016/17 のみ)	内蔵 RAM 空間	内蔵周辺モジュール			
			8 ビット空間	16 ビット空間		
				上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS3	H	H	H	H	H	H
RAS* <sup>1</sup>	H	H	H	H	H	H
CASH* <sup>2</sup>	H	H	H	H	H	H
CASL* <sup>2</sup>	H	H	H	H	H	H
RDWR	H	H	H	H	H	H
AH	L	L	L	L	L	L
RD	R	H	H	H	H	H
	W		H	H	H	H
WRH	R	H	H	H	H	H
	W		H	H	H	H
WRL	R	H	H	H	H	H
	W		H	H	H	H
A21 ~ A0	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D15 ~ D8	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
D7 ~ D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

【記号説明】

R : 読み出し

W : 書き込み

【注】\*1 RAS ダウン状態もしくはリフレッシュ状態では L にアサートされます。

\*2 リフレッシュ状態では L にアサートされます。

表 C.3 外部通常空間の端子状態

端子名	外部通常空間			
	8ビット空間	16ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS2}$	有効	有効	有効	有効
CS3	H	H	H	H
RAS* <sup>1</sup>	H	H	H	H
CASH* <sup>2</sup>	H	H	H	H
CASL* <sup>2</sup>	H	H	H	H
RDWR	H	H	H	H
AH	L	L	L	L
RD	R	L	L	L
	W	H	H	H
WRH	R	H	H	H
	W	H	L	L
WRL	R	H	H	H
	W	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス
D15 ~ D8	Hi-Z	データ	Hi-Z	データ
D7 ~ D0	データ	Hi-Z	データ	データ

## 【記号説明】

R : 読み出し

W : 書き込み

有効 : アクセスしたエリアに対応するチップセレクト信号=L、それ以外のチップセレクト信号=H

【注】 \*1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

\*2 リフレッシュ状態ではLにアサートされず。

表 C.4 マルチプレクス I/O 空間の端子状態

端子名	マルチプレクス I/O 空間			
	8 ビット空間	16 ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
CS0 ~ CS2	H	H	H	H
CS3	L	L	L	L
RAS*1	H	H	H	H
CASH*2	H	H	H	H
CASL*2	H	H	H	H
RDWR	H	H	H	H
AH	有効	有効	有効	有効
RD	R	L	L	L
	W	H	H	H
WRH	R	H	H	H
	W	H	L	L
WRL	R	H	H	H
	W	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス
D15 ~ D8	Hi-Z	アドレス/データ	アドレス	アドレス/データ
D7 ~ D0	アドレス/データ	アドレス	アドレス/データ	アドレス/データ

## 【記号説明】

R : 読み出し

W : 書き込み

有効 : AH のタイミングに従い H に出力されます。

【注】 \*1 RAS ダウン状態もしくはリフレッシュ状態では L にアサートされます。

\*2 リフレッシュ状態では L にアサートされます。

表 C.5 DRAM 空間の端子状態

端子名	DRAM 空間			
	8 ビット空間	16 ビット空間		
		上位バイト	下位バイト	ワード/ロングワード
$\overline{CS0} \sim \overline{CS3}$	H	H	H	H
$\overline{RAS}^{*1}$	有効	有効	有効	有効
$\overline{CASH}^{*2}$	H	有効	H	有効
$\overline{CASL}^{*2}$	有効	H	有効	有効
RDWR	R	H	H	H
	W	L	L	L
AH	L	L	L	L
RD	R	L	L	L
	W	H	H	H
WRH	R	H	H	H
	W	H	L	L
WRL	R	H	H	H
	W	L	H	L
A21 ~ A0	アドレス	アドレス	アドレス	アドレス
D15 ~ D8	Hi-Z	データ	Hi-Z	データ
D7 ~ D0	データ	Hi-Z	データ	データ

## 【記号説明】

R : 読み出し

W : 書き込み

有効 : DRAM アクセスのストローク波形に従ったタイミングでLにアサートされます。

【注】 \*1 RAS ダウン状態もしくはリフレッシュ状態ではLにアサートされます。

\*2 リフレッシュ状態ではLにアサートされず。



## D. ROM 発注手順

### D.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 D.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 D.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社営業担当へお問い合わせください。

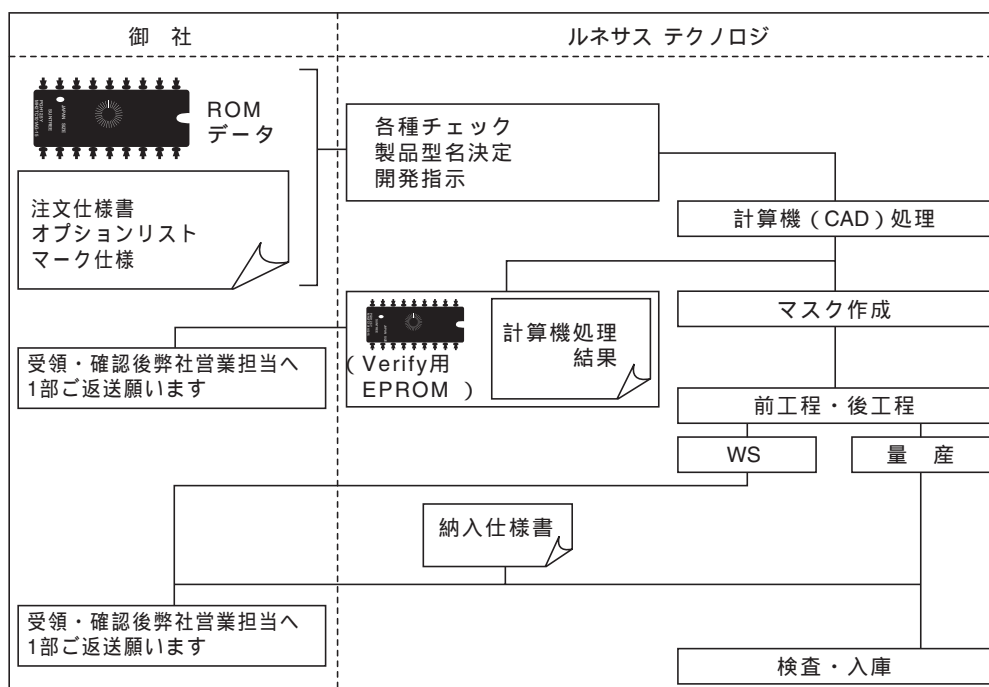


図 D.1 ROM 書き換え品開発の流れ

表 D.1 ROM 発注時に必要な提出物

発注媒体	EPROM、ZTAT <sup>®</sup> 、または F-ZTAT <sup>™</sup>
提出物	ROM データ
	注文仕様書
	オプションリスト <sup>*1</sup>
	マーク仕様例 <sup>*2</sup>

【注】 \*1 製品グループにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## D.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM、ZTAT<sup>®</sup>、または F-ZTAT<sup>™</sup> マイコンで提出してください。なお、EPROM、ZTAT<sup>®</sup>、または F-ZTAT<sup>™</sup> マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず“FF”を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

## D.3 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	MASK 版
FLMCR1	FWE	0：アプリケーション状態	0：（読み出されません）
		1：書き換え状態	1：アプリケーション状態

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

## E. 型名一覧

表 E.1 SH7014、SH7016、SH7017 型名一覧

製品分類	製品型名	マーク型名	パッケージ	
SH7014	HD6417014F28	HD6417014F28	112 ピン QFP (FP-112)	
	HD6417014RF28	HD6417014RF28	112 ピン QFP (FP-112)	
SH7016	マスク ROM 版	HD6437016F28	HD6437016(***)F28	112 ピン QFP (FP-112)
SH7017	F-ZTAT 版	HD64F7017F28	HD64F7017	112 ピン QFP (FP-112)

【注】 (\*\*\*) は ROM コードです。

## F. 外形寸法図

SH7014/16/17 の外形寸法図 (FP-112) を図 F.1 に示します。

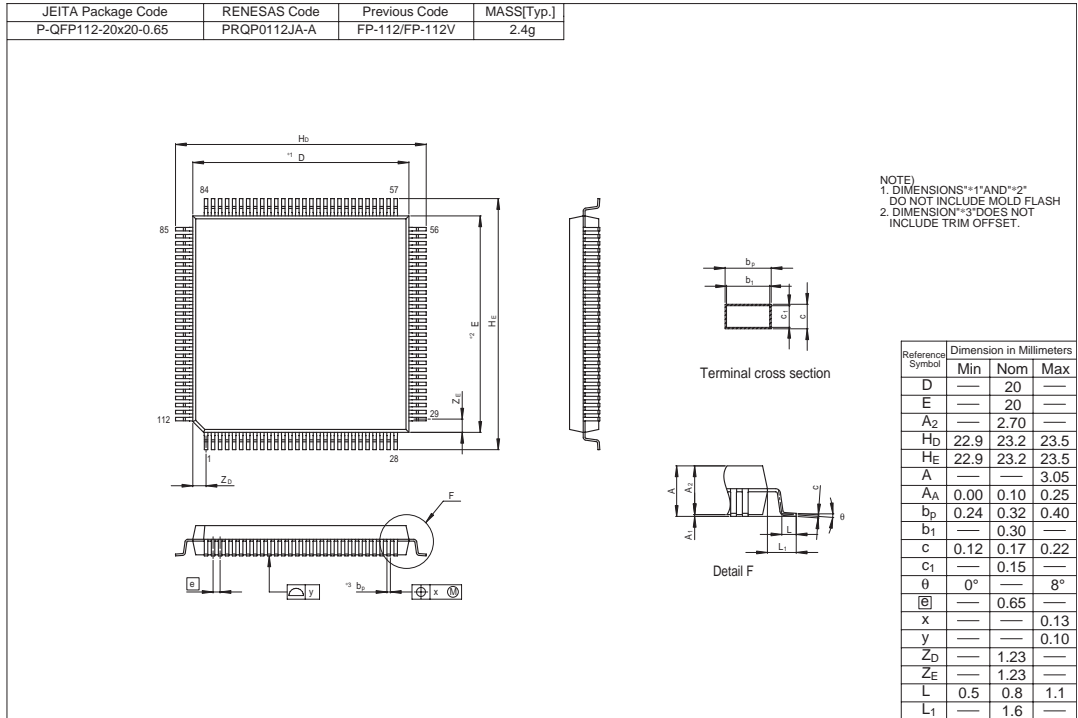


図 F.1 外形寸法図 (FP-112)

---

ルネサス32ビットRISCマイクロコンピュータ  
ハードウェアマニュアル  
SH7014、SH7016、SH7017F-ZTAT™

発行年月日 1997年7月 第1版  
2007年9月20日 Rev.6.00  
発行 株式会社ルネサステクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



SH7014、SH7016、SH7017F-ZTAT™  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0426-0600