

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7211 グループ

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engine ファミリ

SH7211

R5F72115D160FPV
R5F72114D160FPV

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特でない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくこと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - CPUおよびシステム制御系
 - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
 - 製品型名、外形寸法図など
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

本 LSI は、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第26章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に、レジスタ名_チャンネル番号、の表記を使用します。

(例) CMCSR_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

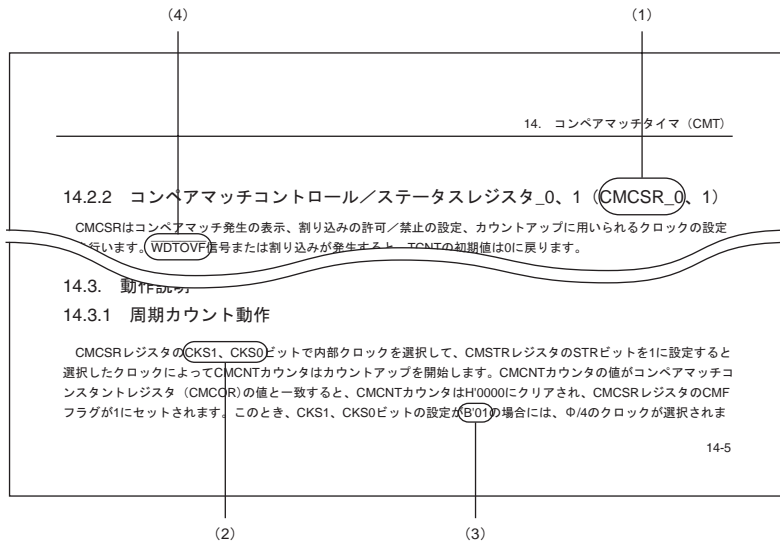
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例) $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

• ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

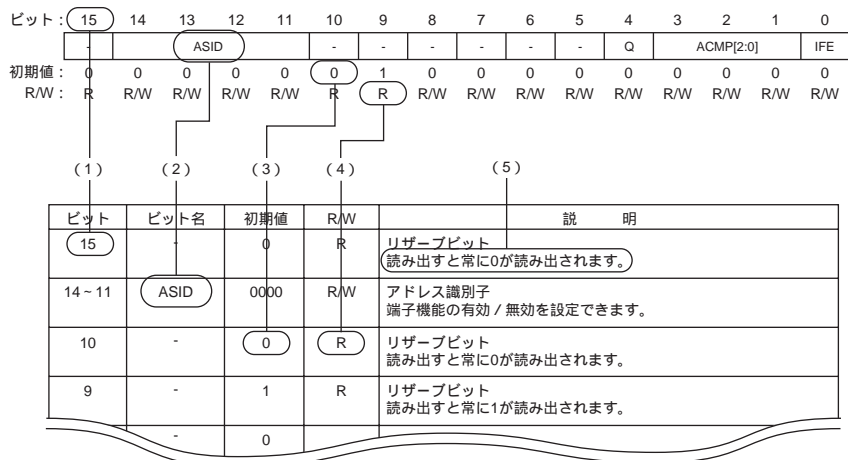
ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH7211の特長	1-1
1.2	ブロック図	1-6
1.3	ピン配置図	1-7
1.4	端子機能	1-8
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-23
2.4.3	算術演算命令	2-26
2.4.4	論理演算命令	2-28
2.4.5	シフト命令	2-29
2.4.6	分岐命令	2-30
2.4.7	システム制御命令	2-31
2.4.8	ビット操作命令	2-33
2.5	処理状態	2-34
3.	MCU動作モード	3-1
3.1	動作モードの選択	3-1

3.2	入出力端子	3-2
3.3	各動作モードの説明	3-2
3.3.1	モード0 (MCU 拡張モード0)	3-2
3.3.2	モード1 (MCU 拡張モード1)	3-2
3.3.3	モード2 (MCU 拡張モード2)	3-2
3.3.4	モード3 (シングルチップモード)	3-2
3.4	アドレスマップ	3-3
3.5	本LSIの初期状態	3-5
3.6	動作モード変更時の注意事項	3-5
4.	クロックパルス発振器 (CPG)	4-1
4.1	特長	4-1
4.2	入出力端子	4-5
4.3	クロック動作モード	4-6
4.4	レジスタの説明	4-8
4.4.1	周波数制御レジスタ (FRQCR)	4-8
4.4.2	MTU2S クロック周波数制御レジスタ (MCLKCR)	4-10
4.4.3	AD クロック周波数制御レジスタ (ACLKCR)	4-11
4.5	周波数変更方法	4-12
4.5.1	逓倍率の変更	4-12
4.5.2	分周率の変更	4-12
4.6	ボード設計上の注意事項	4-13
4.6.1	外部水晶発振子使用時の注意	4-13
4.6.2	バイパスコンデンサについての注意	4-13
4.6.3	PLL 発振回路使用時の注意	4-13
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-4
5.2	リセット	5-6
5.2.1	リセットの種類	5-6
5.2.2	パワーオンリセット	5-7
5.2.3	マニュアルリセット	5-8
5.3	アドレスエラー	5-9
5.3.1	アドレスエラー発生要因	5-9
5.3.2	アドレスエラー例外処理	5-9
5.4	レジスタバンクエラー	5-10
5.4.1	レジスタバンクエラー発生要因	5-10

5.4.2	レジスタバンクエラー例外処理	5-10
5.5	割り込み	5-11
5.5.1	割り込み要因	5-11
5.5.2	割り込み優先順位	5-12
5.5.3	割り込み例外処理	5-13
5.6	命令による例外	5-14
5.6.1	命令による例外の種類	5-14
5.6.2	トラップ命令	5-14
5.6.3	スロット不当命令	5-15
5.6.4	一般不当命令	5-15
5.6.5	整数除算命令	5-15
5.7	例外処理が受け付けられない場合	5-16
5.8	例外処理後のスタックの状態	5-17
5.9	使用上の注意事項	5-18
5.9.1	スタックポインタ (SP) の値	5-18
5.9.2	ベクタベースレジスタ (VBR) の値	5-18
5.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-18
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-4
6.3.1	割り込み優先レベル設定レジスタ 01、02、05 ~ 15 (IPR01、IPR02、IPR05 ~ IPR15)	6-5
6.3.2	割り込みコントロールレジスタ 0 (ICR0)	6-6
6.3.3	割り込みコントロールレジスタ 1 (ICR1)	6-7
6.3.4	IRQ 割り込み要求レジスタ (IRQRR)	6-8
6.3.5	バンクコントロールレジスタ (IBCR)	6-9
6.3.6	バンク番号レジスタ (IBNR)	6-10
6.4	割り込み要因	6-11
6.4.1	NMI 割り込み	6-11
6.4.2	ユーザブレイク割り込み	6-11
6.4.3	H-UDI 割り込み	6-11
6.4.4	IRQ 割り込み	6-12
6.4.5	内蔵周辺モジュール割り込み	6-12
6.5	割り込み例外処理ベクタテーブルと優先順位	6-13
6.6	動作説明	6-17
6.6.1	割り込み動作の流れ	6-17
6.6.2	割り込み例外処理終了後のスタックの状態	6-19
6.7	割り込み応答時間	6-20
6.8	レジスタバンク	6-25

6.8.1	バンクの対象レジスタと入出力方式	6-25
6.8.2	バンク退避、復帰の動作	6-26
6.8.3	すべてのバンクに退避が行われた状態での退避、復帰	6-28
6.8.4	レジスタバンクの例外	6-29
6.8.5	レジスタバンクエラー例外処理	6-29
6.9	割り込み要求信号によるデータ転送	6-30
6.9.1	割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合	6-30
6.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合	6-31
6.10	使用上の注意事項	6-32
6.10.1	割り込み要因クリアのタイミング	6-32
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	ブレイクアドレスレジスタ_0 (BAR_0)	7-4
7.3.2	ブレイクアドレスマスクレジスタ_0 (BAMR_0)	7-5
7.3.3	ブレイクバスサイクルレジスタ_0 (BBR_0)	7-6
7.3.4	ブレイクアドレスレジスタ_1 (BAR_1)	7-8
7.3.5	ブレイクアドレスマスクレジスタ_1 (BAMR_1)	7-9
7.3.6	ブレイクバスサイクルレジスタ_1 (BBR_1)	7-10
7.3.7	ブレイクアドレスレジスタ_2 (BAR_2)	7-12
7.3.8	ブレイクアドレスマスクレジスタ_2 (BAMR_2)	7-13
7.3.9	ブレイクバスサイクルレジスタ_2 (BBR_2)	7-13
7.3.10	ブレイクアドレスレジスタ_3 (BAR_3)	7-15
7.3.11	ブレイクアドレスマスクレジスタ_3 (BAMR_3)	7-16
7.3.12	ブレイクバスサイクルレジスタ_3 (BBR_3)	7-16
7.3.13	ブレイクコントロールレジスタ (BRCR)	7-18
7.4	動作説明	7-21
7.4.1	ユーザブレイク動作の流れ	7-21
7.4.2	命令フェッチサイクルでのブレイク	7-22
7.4.3	データアクセスサイクルでのブレイク	7-23
7.4.4	退避されるプログラムカウンタの値	7-24
7.4.5	使用例	7-24
7.5	使用上の注意事項	7-27
8.	バスステートコントローラ (BSC)	8-1
8.1	特長	8-1
8.2	入出力端子	8-4
8.3	エリアの概要	8-5

8.3.1	アドレスマップ	8-5
8.3.2	動作モードの設定	8-7
8.4	レジスタの説明	8-8
8.4.1	共通コントロールレジスタ (CMNCR)	8-8
8.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7)	8-11
8.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7)	8-15
8.4.4	SDRAM コントロールレジスタ (SDCR)	8-36
8.4.5	リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)	8-39
8.4.6	リフレッシュタイムカウンタ (RTCNT)	8-41
8.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	8-42
8.5	動作説明	8-43
8.5.1	エンディアン/アクセスサイズとデータアライメント	8-43
8.5.2	通常空間インタフェース	8-46
8.5.3	アクセスウェイト制御	8-50
8.5.4	$\overline{\text{CSn}}$ アサート期間拡張	8-52
8.5.5	MPX-I/O インタフェース	8-53
8.5.6	SDRAM インタフェース	8-57
8.5.7	バースト ROM (クロック非同期) インタフェース	8-84
8.5.8	バイト選択付き SRAM インタフェース	8-85
8.5.9	バースト ROM (クロック同期) インタフェース	8-89
8.5.10	アクセスサイクル間アイドル	8-90
8.5.11	バスアービトレーション	8-95
8.5.12	その他	8-97
8.6	使用上の注意事項	8-100
8.6.1	バースト ROM インタフェース	8-100
9.	ダイレクトメモリアクセスコントローラ (DMAC)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	レジスタの説明	9-4
9.3.1	DMA ソースアドレスレジスタ (SAR)	9-7
9.3.2	DMA デスティネーションアドレスレジスタ (DAR)	9-8
9.3.3	DMA トランスファカウントレジスタ (DMATCR)	9-8
9.3.4	DMA チャネルコントロールレジスタ (CHCR)	9-9
9.3.5	DMA リロードソースアドレスレジスタ (RSAR)	9-14
9.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	9-14
9.3.7	DMA リロードトランスファカウントレジスタ (RDMATCR)	9-15
9.3.8	DMA オペレーションレジスタ (DMAOR)	9-15
9.3.9	DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)	9-18
9.4	動作説明	9-20

9.4.1	転送フロー	9-20
9.4.2	DMA 転送要求	9-22
9.4.3	チャンネルの優先順位	9-25
9.4.4	DMA 転送の種類	9-28
9.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	9-37
9.5	使用上の注意事項	9-40
9.5.1	ハーフエンドフラグのセットおよびハーフエンド割り込み	9-40
10.	マルチファンクションタイマパルスユニット 2 (MTU2)	10-1
10.1	特長	10-1
10.2	入出力端子	10-6
10.3	レジスタの説明	10-8
10.3.1	タイマコントロールレジスタ (TCR)	10-12
10.3.2	タイマモードレジスタ (TMDR)	10-16
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-18
10.3.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	10-37
10.3.5	タイマインタラプトイネーブルレジスタ (TIER)	10-38
10.3.6	タイマステータスレジスタ (TSR)	10-42
10.3.7	タイマバッファ動作転送モードレジスタ (TBTM)	10-48
10.3.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	10-49
10.3.9	タイマシンクロクリアレジスタ (TSYCR)	10-50
10.3.10	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	10-51
10.3.11	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	10-53
10.3.12	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	10-53
10.3.13	タイマカウンタ (TCNT)	10-54
10.3.14	タイマジェネラルレジスタ (TGR)	10-54
10.3.15	タイマスタートレジスタ (TSTR)	10-55
10.3.16	タイマシンクロレジスタ (TSYR)	10-57
10.3.17	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	10-58
10.3.18	タイマリードライトイネーブルレジスタ (TRWER)	10-60
10.3.19	タイマアウトプットマスタイネーブルレジスタ (TOER)	10-61
10.3.20	タイマアウトプットコントロールレジスタ 1 (TOCR1)	10-62
10.3.21	タイマアウトプットコントロールレジスタ 2 (TOCR2)	10-64
10.3.22	タイマアウトプットレベルバッファレジスタ (TOLBR)	10-67
10.3.23	タイマゲートコントロールレジスタ (TGCR)	10-68
10.3.24	タイマサブカウンタ (TCNTS)	10-69
10.3.25	タイマデッドタイムデータレジスタ (TDDR)	10-69
10.3.26	タイマ周期データレジスタ (TCDR)	10-70
10.3.27	タイマ周期バッファレジスタ (TCBR)	10-70
10.3.28	タイマ割り込み間引き設定レジスタ (TITCR)	10-71

10.3.29	タイマ割り込み間引き回数カウンタ (TITCNT)	10-72
10.3.30	タイマバッファ転送設定レジスタ (TBTER)	10-73
10.3.31	タイマデッドタイムイネーブルレジスタ (TDER)	10-74
10.3.32	タイマ波形コントロールレジスタ (TWCR)	10-75
10.3.33	バスマスタとのインタフェース	10-76
10.4	動作説明	10-77
10.4.1	基本動作	10-77
10.4.2	同期動作	10-83
10.4.3	バッファ動作	10-85
10.4.4	カスケード接続動作	10-89
10.4.5	PWM モード	10-93
10.4.6	位相計数モード	10-98
10.4.7	リセット同期 PWM モード	10-104
10.4.8	相補 PWM モード	10-107
10.4.9	A/D 変換開始要求ディレイド機能	10-142
10.4.10	MTU2 - MTU2S の同期動作	10-146
10.4.11	外部パルス幅測定機能	10-151
10.4.12	デッドタイム補償用機能	10-152
10.4.13	相補 PWM の「山 / 谷」での TCNT キャプチャ動作	10-154
10.5	割り込み要因	10-155
10.5.1	割り込み要因と優先順位	10-155
10.5.2	DMAC の起動	10-157
10.5.3	A/D 変換器の起動	10-157
10.6	動作タイミング	10-159
10.6.1	入出力タイミング	10-159
10.6.2	割り込み信号タイミング	10-166
10.7	使用上の注意事項	10-171
10.7.1	モジュールスタンバイモードの設定	10-171
10.7.2	入力クロックの制限事項	10-171
10.7.3	周期設定上の注意事項	10-171
10.7.4	TCNT のライトとクリアの競合	10-172
10.7.5	TCNT のライトとカウントアップの競合	10-172
10.7.6	TGR のライトとコンペアマッチの競合	10-173
10.7.7	バッファレジスタのライトとコンペアマッチの競合	10-174
10.7.8	バッファレジスタのライトと TCNT クリアの競合	10-175
10.7.9	TGR のリードとインプットキャプチャの競合	10-176
10.7.10	TGR のライトとインプットキャプチャの競合	10-177
10.7.11	バッファレジスタのライトとインプットキャプチャの競合	10-178
10.7.12	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	10-178
10.7.13	相補 PWM モード停止時のカウンタ値	10-180
10.7.14	相補 PWM モードでのバッファ動作の設定	10-180

10.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....	10-181
10.7.16	リセット同期 PWM モードのオーバフローフラグ.....	10-182
10.7.17	オーバフロー / アンダフローとカウンタクリアの競合.....	10-183
10.7.18	TCNT のライトとオーバフロー / アンダフローの競合.....	10-183
10.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項..	10-184
10.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル.....	10-184
10.7.21	モジュールスタンバイ時の割り込み.....	10-184
10.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ.....	10-184
10.8	MTU2出力端子の初期化方法.....	10-185
10.8.1	動作モード.....	10-185
10.8.2	リセットスタート時の動作.....	10-185
10.8.3	動作中の異常などによる再設定時の動作.....	10-186
10.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要.....	10-186
11.	マルチファンクションタイムパルスユニット 2S (MTU2S).....	11-1
11.1	入出力端子.....	11-3
11.2	レジスタの説明.....	11-4
12.	ポートアウトプットイネーブル 2 (POE2).....	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-3
12.3	レジスタの説明.....	12-4
12.3.1	入力レベルコントロール / ステータスレジスタ 1 (ICSR1).....	12-4
12.3.2	出力レベルコントロール / ステータスレジスタ 1 (OCSR1).....	12-7
12.3.3	入力レベルコントロール / ステータスレジスタ 2 (ICSR2).....	12-8
12.3.4	出力レベルコントロール / ステータスレジスタ 2 (OCSR2).....	12-10
12.3.5	入力レベルコントロール / ステータスレジスタ 3 (ICSR3).....	12-11
12.3.6	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER).....	12-12
12.3.7	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1).....	12-14
12.3.8	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2).....	12-15
12.4	動作説明.....	12-17
12.4.1	入力レベル検出動作.....	12-18
12.4.2	出力レベル比較動作.....	12-19
12.4.3	ハイインピーダンス状態からの解除.....	12-20
12.5	割り込み.....	12-21
12.6	使用上の注意事項.....	12-22
12.6.1	ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態.....	12-22
13.	コンペアマッチタイマ (CMT).....	13-1
13.1	特長.....	13-1

13.2	レジスタの説明	13-2
13.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	13-2
13.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	13-3
13.2.3	コンペアマッチカウンタ (CMCNT)	13-4
13.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	13-4
13.3	動作説明	13-5
13.3.1	期間カウント動作	13-5
13.3.2	CMCNT カウントタイミング	13-5
13.4	割り込み	13-6
13.4.1	割り込み要因と DMA 転送要求	13-6
13.4.2	コンペアマッチフラグのセットタイミング	13-6
13.4.3	コンペアマッチフラグのクリアタイミング	13-7
13.5	使用上の注意事項	13-8
13.5.1	CMCNT の書き込みとコンペアマッチの競合	13-8
13.5.2	CMCNT のワード書き込みとカウントアップの競合	13-8
13.5.3	CMCNT のバイト書き込みとカウントアップの競合	13-9
13.5.4	CMCNT と CMCOR のコンペアマッチ	13-9
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-4
14.3.1	ウォッチドッグタイマカウンタ (WTCNT)	14-4
14.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	14-5
14.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	14-7
14.3.4	レジスタアクセス時の注意	14-8
14.4	WDTの使用方法	14-10
14.4.1	ソフトウェアスタンバイモード解除の手順	14-10
14.4.2	周波数変更の手順	14-10
14.4.3	ウォッチドッグタイマモードの使用法	14-11
14.4.4	インターバルタイマモードの使用法	14-12
14.5	使用上の注意事項	14-13
14.5.1	タイマ誤差	14-13
14.5.2	WTCNT の設定値として H'FF は設定禁止	14-13
14.5.3	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット	14-13
14.5.4	ウォッチドッグタイマモードのマニュアルリセット	14-14
15.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3

15.3	レジスタの説明	15-4
15.3.1	レシーブシフトレジスタ (SCRSR)	15-6
15.3.2	レシーブ FIFO データレジスタ (SCFRDR)	15-6
15.3.3	トランスミットシフトレジスタ (SCTSR)	15-6
15.3.4	トランスミット FIFO データレジスタ (SCFTDR)	15-7
15.3.5	シリアルモードレジスタ (SCSMR)	15-7
15.3.6	シリアルコントロールレジスタ (SCSCR)	15-10
15.3.7	シリアルステータスレジスタ (SCFSR)	15-13
15.3.8	ビットレートレジスタ (SCBRR)	15-18
15.3.9	FIFO コントロールレジスタ (SCFCR)	15-21
15.3.10	FIFO データ数レジスタ (SCFDR)	15-23
15.3.11	シリアルポートレジスタ (SCSPTR)	15-23
15.3.12	ラインステータスレジスタ (SCLSR)	15-25
15.3.13	シリアル拡張モードレジスタ (SCSEMR)	15-26
15.4	動作説明	15-27
15.4.1	概要	15-27
15.4.2	調歩同期モード時の動作	15-29
15.4.3	クロック同期モード時の動作	15-37
15.5	SCIFの割り込み	15-44
15.6	使用上の注意事項	15-45
15.6.1	SCFTDR への書き込みと TDFE フラグ	15-45
15.6.2	SCFRDR の読み出しと RDF フラグ	15-45
15.6.3	DMAC 使用上の制約事項	15-45
15.6.4	ブレークの検出と処理	15-45
15.6.5	ブレークの送り出し	15-46
15.6.6	調歩同期モードの受信データサンプリングタイミングと受信マージン	15-46
15.6.7	シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて	15-47
16.	I ² C バスインタフェース 3 (IIC3)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	16-4
16.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	16-7
16.3.3	I ² C バスモードレジスタ (ICMR)	16-8
16.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	16-10
16.3.5	I ² C バスステータスレジスタ (ICSR)	16-12
16.3.6	スレーブアドレスレジスタ (SAR)	16-14
16.3.7	I ² C バス送信データレジスタ (ICDRT)	16-14
16.3.8	I ² C バス受信データレジスタ (ICDRR)	16-15

16.3.9	I ² C バスシフトレジスタ (ICDRS)	16-15
16.3.10	NF2CYC レジスタ (NF2CYC)	16-15
16.4	動作説明	16-16
16.4.1	I ² C パスフォーマット	16-16
16.4.2	マスタ送信動作	16-17
16.4.3	マスタ受信動作	16-19
16.4.4	スレーブ送信動作	16-21
16.4.5	スレーブ受信動作	16-23
16.4.6	クロック同期式シリアルフォーマット	16-25
16.4.7	ノイズ除去回路	16-28
16.4.8	使用例	16-29
16.5	割り込み要求	16-33
16.6	ビット同期回路	16-33
16.7	使用上の注意事項	16-35
16.7.1	マルチマスタで使用時の注意	16-35
16.7.2	マスタ受信モード時の注意	16-35
16.7.3	マスタ受信モード、ACKBT 設定時の注意	16-35
16.7.4	アービトラクションロスト時の MST と TRS ビットの状態についての注意	16-35
17.	A/D 変換器 (ADC)	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-4
17.3.1	A/D コントロールレジスタ (ADCR)	17-5
17.3.2	A/D ステータスレジスタ (ADSR)	17-7
17.3.3	A/D 開始トリガ選択レジスタ (ADSTRGR)	17-8
17.3.4	A/D アナログ入力チャンネル選択レジスタ (ADANSR)	17-9
17.3.5	A/D データレジスタ 0~7 (ADDR0 ~ ADDR7)	17-10
17.4	動作説明	17-11
17.4.1	1 サイクルスキャンモード	17-11
17.4.2	連続スキャンモード	17-12
17.4.3	入力サンプリングと A/D 変換時間	17-14
17.4.4	MTU2、MTU2S による A/D 変換器の起動	17-16
17.4.5	外部トリガ入力タイミング	17-16
17.4.6	ADDR レジスタのオートクリア機能の使用例	17-17
17.5	割り込み要因とDMAC転送要求	17-19
17.6	A/D変換精度の定義	17-20
17.7	使用上の注意事項	17-21
17.7.1	AVcc、AVss と VccQ、VssQ の関係	17-21
17.7.2	AVREF の設定範囲	17-21

17.7.3	ボード設計上の注意	17-21
17.7.4	ノイズ対策上の注意	17-21
17.7.5	レジスタ設定時の注意	17-22
18.	D/A 変換器 (DAC)	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-3
18.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	18-3
18.3.2	D/A コントロールレジスタ (DACR)	18-3
18.4	動作説明	18-5
18.5	使用上の注意事項	18-6
18.5.1	モジュールスタンバイモードの設定	18-6
18.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	18-6
18.5.3	アナログ電圧の設定	18-6
19.	ピンファンクションコントローラ (PFC)	19-1
19.1	レジスタの説明	19-6
19.1.1	ポート A・IO レジスタ H、L (PAIORH、PAIORL)	19-8
19.1.2	ポート A コントロールレジスタ H1~H3、L1~L4 (PACRH1~PACRH3、PACRL1~PACRL4)	19-9
19.1.3	ポート B・IO レジスタ H、L (PBIORH、PBIORL)	19-21
19.1.4	ポート B コントロールレジスタ H1~H4、L1~L4 (PBCRH1~PBCRH4、PBCRL1~PBCRL4)	19-22
19.1.5	ポート D・IO レジスタ (PDIOR)	19-35
19.1.6	ポート D コントロールレジスタ L1~L4 (PDCRL1~PDCRL4)	19-35
19.1.7	ポート F コントロールレジスタ L1 (PFCRL1)	19-48
19.1.8	IRQOUT 機能コントロールレジスタ (IFCR)	19-49
19.1.9	WAVE 機能コントロールレジスタ 1、2 (WAVECR1、2)	19-50
20.	I/O ポート	20-1
20.1	ポート A	20-1
20.1.1	レジスタの説明	20-2
20.1.2	ポート A データレジスタ H、L (PADRH、PADRL)	20-2
20.1.3	ポート A ポートレジスタ H、L (PAPRH、PAPRL)	20-4
20.2	ポート B	20-6
20.2.1	レジスタの説明	20-6
20.2.2	ポート B データレジスタ H、L (PBDRH、PBDRL)	20-7
20.2.3	ポート B ポートレジスタ H、L (PBPRH、PBPRL)	20-9
20.3	ポート D	20-11

20.3.1	レジスタの説明	20-11
20.3.2	ポート D データレジスタ L (PDDRLL)	20-12
20.3.3	ポート D ポートレジスタ L (PDPRL)	20-13
20.4	ポート F	20-14
20.4.1	レジスタの説明	20-14
20.4.2	ポート F データレジスタ (PFDR)	20-15
20.5	使用上の注意事項	20-16
21.	フラッシュメモリ	21-1
21.1	特長	21-1
21.2	概要	21-3
21.2.1	ブロック図	21-3
21.2.2	動作モード	21-4
21.2.3	モード比較	21-5
21.2.4	フラッシュメモリ構成	21-6
21.2.5	ブロック分割	21-7
21.2.6	書き込み / 消去インタフェース	21-8
21.3	入出力端子	21-10
21.4	レジスタの説明	21-10
21.4.1	レジスタ一覧	21-10
21.4.2	書き込み / 消去インタフェースレジスタ	21-12
21.4.3	書き込み / 消去インタフェースパラメータ	21-19
21.5	オンボードプログラミングモード	21-30
21.5.1	ブートモード	21-30
21.5.2	ユーザプログラムモード	21-34
21.5.3	ユーザブートモード	21-44
21.6	プロテクト	21-49
21.6.1	ハードウェアプロテクト	21-49
21.6.2	ソフトウェアプロテクト	21-50
21.6.3	エラープロテクト	21-50
21.7	使用上の注意事項	21-52
21.7.1	ユーザマットとユーザブートマットの切り替え	21-52
21.7.2	書き込み / 消去手続き実行中の割り込み	21-53
21.7.3	その他のご注意	21-55
21.8	付録	21-57
21.8.1	ブートモードの標準シリアル通信インタフェース仕様	21-57
21.8.2	手順プログラム、または書き込みデータの格納可能領域	21-81
21.9	ライターモード	21-87

22. 内蔵 RAM	22-1
22.1 特長	22-1
22.2 使用上の注意事項	22-2
22.2.1 ページ競合	22-2
22.2.2 RAME ビット、RAMWE ビットについて	22-2
23. 低消費電力モード	23-1
23.1 特長	23-1
23.1.1 低消費電力モードの種類	23-1
23.1.2 リセット	23-2
23.2 入出力端子	23-3
23.3 レジスタの説明	23-4
23.3.1 スタンバイコントロールレジスタ (STBCR)	23-4
23.3.2 スタンバイコントロールレジスタ 2 (STBCR2)	23-5
23.3.3 スタンバイコントロールレジスタ 3 (STBCR3)	23-6
23.3.4 スタンバイコントロールレジスタ 4 (STBCR4)	23-7
23.3.5 システムコントロールレジスタ 1 (SYSCR1)	23-9
23.3.6 システムコントロールレジスタ 2 (SYSCR2)	23-10
23.4 動作説明	23-11
23.4.1 スリープモード	23-11
23.4.2 ソフトウェアスタンバイモード	23-11
23.4.3 ソフトウェアスタンバイモードの応用例	23-14
23.4.4 モジュールスタンバイ機能	23-15
24. ユーザデバッグインタフェース (H-UDI)	24-1
24.1 特長	24-1
24.2 入出力端子	24-2
24.3 レジスタの説明	24-3
24.3.1 バイパスレジスタ (SDBPR)	24-3
24.3.2 インストラクションレジスタ (SDIR)	24-3
24.4 動作説明	24-5
24.4.1 TAP コントローラ	24-5
24.4.2 リセット構成	24-6
24.4.3 TDO 出力タイミング	24-6
24.4.4 H-UDI リセット	24-7
24.4.5 H-UDI 割り込み	24-7
24.5 使用上の注意事項	24-8
25. WAVE インタフェース (WAVEIF)	25-1
25.1 特長	25-1

25.2	入出力端子	25-1
26.	レジスタ一覧	26-1
26.1	レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）	26-2
26.2	レジスタビット一覧	26-15
26.3	各動作モードにおけるレジスタの状態の一覧	26-38
27.	電気的特性	27-1
27.1	絶対最大定格	27-1
27.2	電源投入・切断シーケンス	27-1
27.3	DC特性	27-3
27.4	AC特性	27-6
27.4.1	クロックタイミング	27-6
27.4.2	制御信号タイミング	27-9
27.4.3	バスタイミング	27-12
27.4.4	UBC トリガタイミング	27-41
27.4.5	DMAC モジュールタイミング	27-41
27.4.6	MTU2、MTU2S モジュールタイミング	27-42
27.4.7	POE2 モジュールタイミング	27-43
27.4.8	ウォッチドッグタイマタイミング	27-43
27.4.9	SCIF モジュールタイミング	27-44
27.4.10	IIC3 モジュールタイミング	27-45
27.4.11	A/D トリガ入力タイミング	27-46
27.4.12	I/O ポートタイミング	27-47
27.4.13	H-UDI 関連端子のタイミング	27-47
27.4.14	AC 特性測定条件	27-49
27.5	A/D変換器特性	27-50
27.6	D/A変換器特性	27-51
27.7	フラッシュメモリ特性	27-52
付録	付録-1
A.	端子状態	付録-1
B.	型名一覧	付録-5
C.	外形寸法図	付録-6
本版で改訂された箇所	改訂-1
索引	索引-1

1. 概要

1.1 SH7211 の特長

本 LSI は、ルネサステクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、大容量 ROM、ROM キャッシュ、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、マルチファンクションタイムバルスユニット 2 (MTU2/MTU2S)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、A/D 変換器、D/A 変換器、割り込みコントローラ (INTC)、I/O ポート、I²C バスインタフェース 3 (IIC3) などを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の特長を表 1.1 に示します。

1. 概要

表 1.1 SH7211 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2 とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット基本命令と性能、使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • 2 命令同時実行スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン
動作モード	<ul style="list-style-type: none"> • 動作モード <ul style="list-style-type: none"> 拡張・ROM 有効モード シングルチップモード • 処理状態 <ul style="list-style-type: none"> プログラム実行状態 例外処理状態 バス権解放状態 • 低消費電力状態 <ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード モジュールスタンバイモード
ROM キャッシュ	<ul style="list-style-type: none"> • 命令 / データ分離方式 • 命令プリフェッチキャッシュ：フルセットアソシアティブ • 命令プリフェッチミスキャッシュ：フルセットアソシアティブ • データキャッシュ：フルセットアソシアティブ • ラインサイズ 16 バイト • ハードウェアプリフェッチ機能 (連続・分岐プリフェッチ)

項目	特 長
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 9本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0) • 内蔵周辺割り込み: モジュールごとに優先順位を設定 • 16レベルの優先順位設定が可能 • レジスタバンクにより割り込み処理に伴うレジスタの退避 / 復帰を高速に行うことが可能
バスステートコントローラ (BSC)	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大 64MB の 8 つの領域エリア 0~7 をサポート • 外部バス 8 ビット、16 ビット • 各エリアには独立に次の機能を設定可能: データアクセスのビッグエンディアン/リトルエンディアンをサポート バスサイズ (8、16 ビット)。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数 (リード/ライトで独立ウェイト設定可能のエリアあり) アイドルウェイトサイクル設定 (同一エリア / 別エリア) エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM (クロック同期 / クロック非同期) との直結が可能。また、アドレス / データマルチプレクス I/O (MPX) インタフェースをサポート 該当する領域にチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力 ($\overline{CS}$ アサート / ネゲートタイミングをプログラミングで選択可能) • SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAM バーストアクセス機能
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> • 8 チャンネル。うち 4 チャンネルは外部リクエスト可能 • 内蔵周辺モジュールから起動することが可能 • バーストモードおよびサイクルスチールモード • インタミットモードをサポート (16/64 サイクルサポート) • 転送情報を自動的にリロードすることが可能
クロックパルス発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード: 入力クロックを外部入力 (EXTAL または CK) または水晶発振子から選択可能 • 内蔵 PLL 回路により入力クロックを最大 16 逓倍することが可能 • 5 種類のクロックを生成 CPU クロック: 最大 160MHz バスクロック: 最大 40MHz 周辺クロック: 最大 40MHz タイマクロック: 最大 80MHz AD クロック: 最大 40MHz
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ • カウンタのオーバーフローにより本 LSI にリセットをかけることが可能
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力をさげるために 3 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード モジュールスタンバイモード

1. 概要

項目	特 長
マルチファンクションタイムパルスユニット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルをベースに最大 16 種類のパルス入出力、および 3 本のパルス入力が可能 • 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル / PWM / 相補 PWM / リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0 ~ 100% 任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
マルチファンクションタイムパルスユニット 2S (MTU2S)	<ul style="list-style-type: none"> • MTU2 のチャンネル 3、4、5 のみのサブセット版 • 最大 80MHz で動作可能
ポートアウトプットイネーブル 2 (POE2)	<ul style="list-style-type: none"> • POE 端子に立ち下がりエッジまたはローレベルが入力されると大電流端子を自動的にハイインピーダンスにすることが可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 2 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 (P /8、P /32、P /128、P /512) • コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> • 4 チャンネル • クロック同期式 / 調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のボーレートジェネレータ内蔵 • 送受信 FIFO それぞれ 16 バイト内蔵
I ² C バスインタフェース 3 (IIC3)	<ul style="list-style-type: none"> • 1 チャンネル • マスタモード / スレーブモード内蔵
I/O ポート	<ul style="list-style-type: none"> • 入出力ポートはビットごとに入出力切り替え可能

項目	特 長
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 分解能: 12 ビット • 入力: 8 チャンネル • 3 チャンネル同時サンプリング可能 • 外部トリガ/タイマトリガによる A/D 変換の起動が可能
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 分解能: 8 ビット • 出力 2 チャンネル
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> • ブレイクチャンネル×4 チャンネル • アドレス、アクセス形式、およびデータサイズをブレイク条件として設定可能
ユーザデバッグインタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置 • リアルタイム分岐トレース
アドバンストユーザデバッガ (AUD-)	<ul style="list-style-type: none"> • 6 本の出力ピン • 分岐元/分岐先アドレスをトレース • ウィンドウデータトレース機能 • フルトレース機能 CPU 実行を中断することで全トレースデータを出力可能 • リアルタイムトレース機能 CPU 実行を中断しない範囲でトレースデータを出力可能
WAVE インタフェース (WAVEIF)	<ul style="list-style-type: none"> • マイウェイ技研株式会社殿のリアルタイム CPU スコープ WAVE™ (WAVE1.0 Level C) に対応
内蔵 ROM	<ul style="list-style-type: none"> • 384K バイト / 512K バイト (「付録 B. 型名一覧」を参照)
内蔵 RAM	<ul style="list-style-type: none"> • 3 ページ / 4 ページ • 24K バイト / 32K バイト (「付録 B. 型名一覧」を参照)
電源電圧	<ul style="list-style-type: none"> • Vcc : 1.4 ~ 1.6V、VccQ : 3.0 ~ 3.6V、AVcc : 4.5 ~ 5.5V
パッケージ	<ul style="list-style-type: none"> • LQFP2020-144 (0.5 ピッチ)

1. 概要

1.2 ブロック図

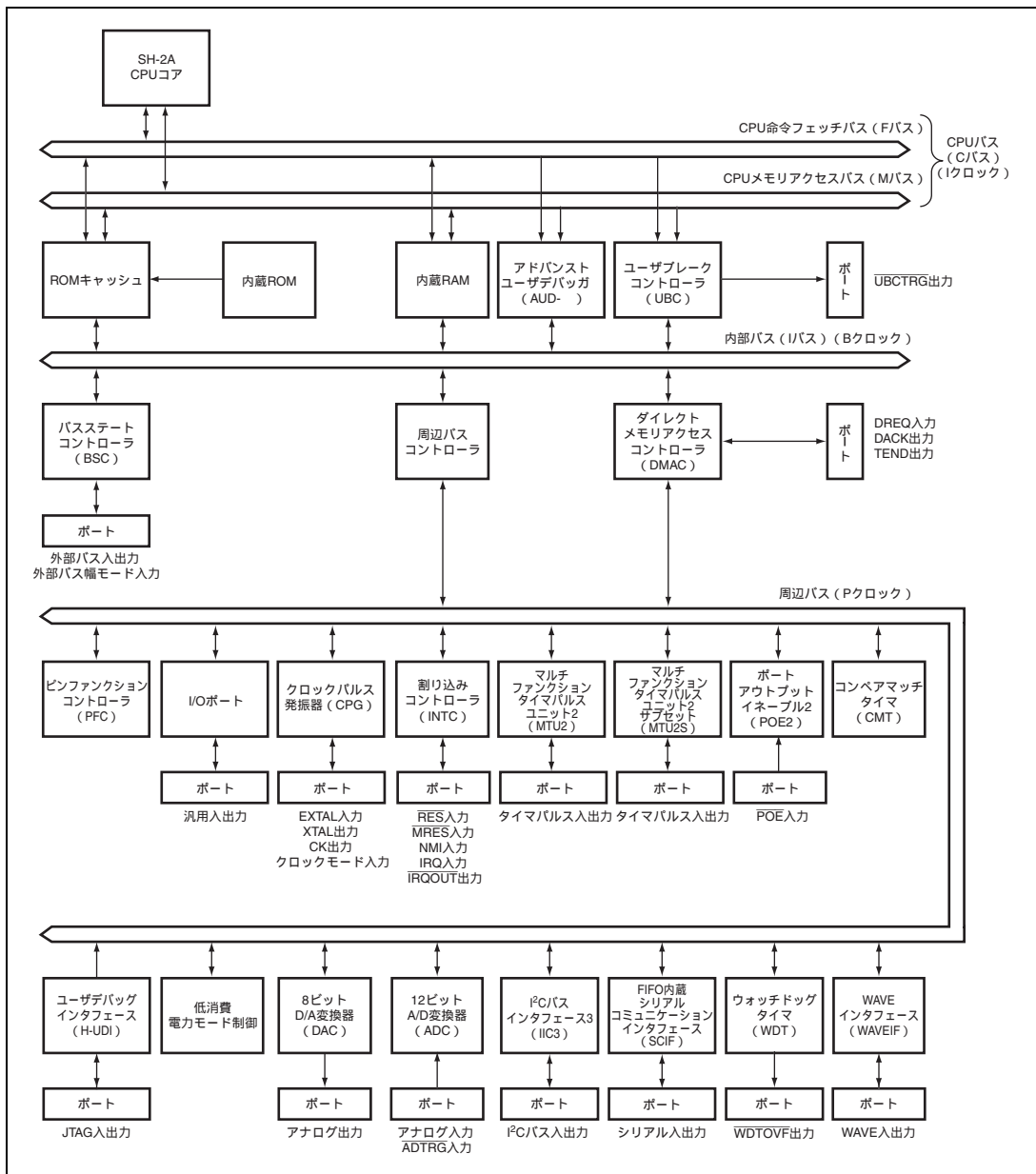


図 1.1 ブロック図

1.3 ピン配置図

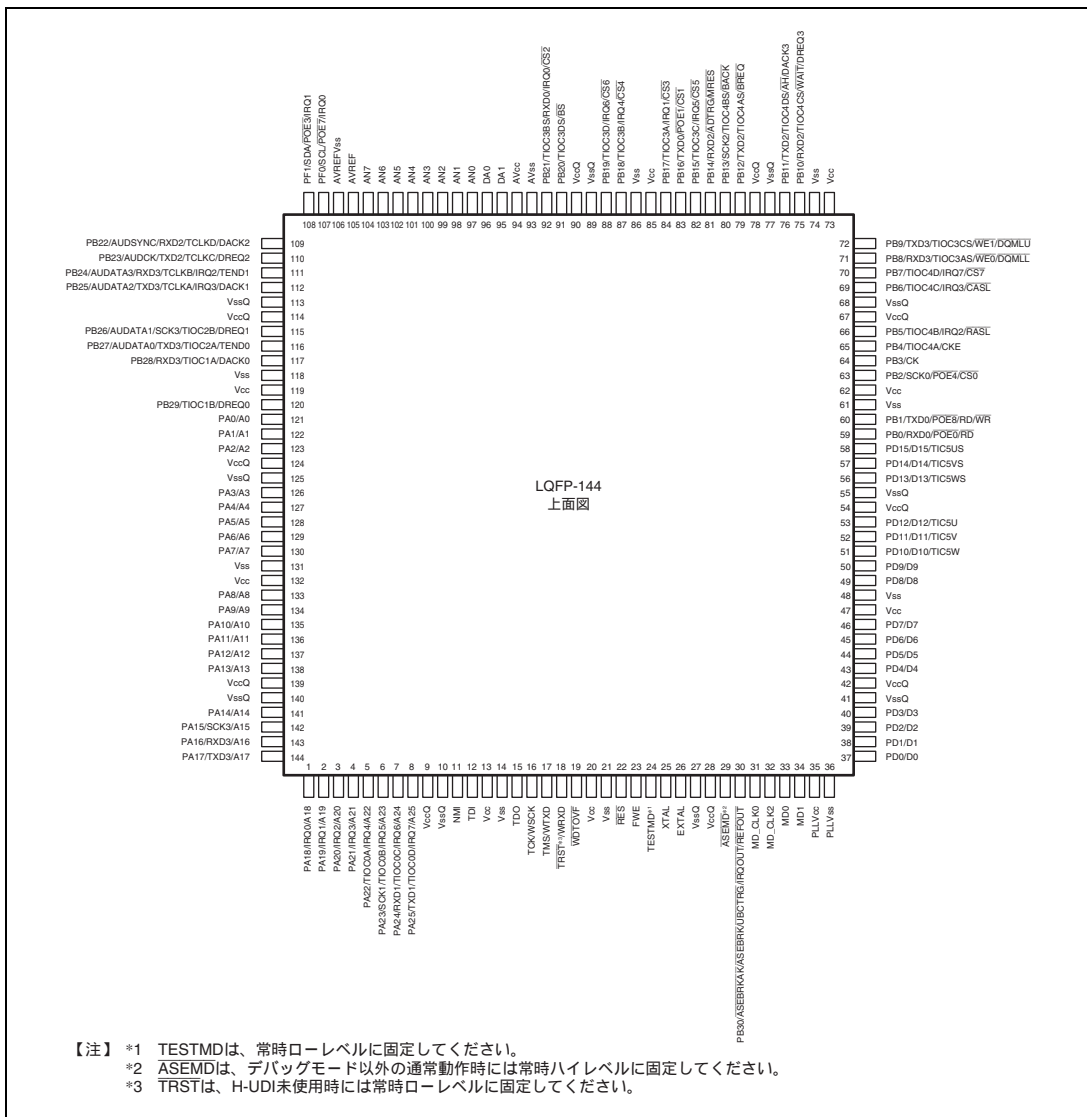


図 1.2 ピン配置図

1. 概要

1.4 端子機能

各端子の機能を表 1.2 に示します。

表 1.2 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	端子電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	端子グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	VccQ	入力	入出力回路用電源	入出力端子用の電源端子です。すべての VccQ 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VssQ	入力	入出力回路用グランド	入出力端子用のグランド端子です。すべての VssQ 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PLLvcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLvss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
動作モードコントロール	MD1、MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD_CLK2、MD_CLK0	入力	クロックモード設定	クロック動作モードを設定します。これらの端子は動作中には変化させないでください。
	FWE	入力	フラッシュメモリ書き込みイネーブル	フラッシュメモリ用の端子です。フラッシュメモリの書き込み / 消去をプロテクトすることができます。
	ASEMD	入力	デバッグモード	E10A-USB エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイレベルを入力します。デバッグモード時はユーザボード上でローレベルを入力します。
	TESTMD	入力	テストモード	常時ローレベル入力に固定して使用してください。 本端子には、ハイレベルを入力しないでください。本端子にハイレベルを入力した場合、動作保証されないばかりかデバイスの永久故障を起こすことがあります。
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アックノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

分類	端子名	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7~ IRQ0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	IRQOUT	出力	割り込み要求出力	割り込み要因が発生したことを示します。バス権解放中にも割り込み発生を知ることができます。
アドレスバス	A25~A0	出力	アドレスバス	アドレスを出力します。
データバス	D15~D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{CS7} \sim \overline{CS0}$	出力	チップセレクト 7~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	\overline{RD}	出力	読み出し	外部のデバイスから読み出すことを示します。
	$\overline{RD}/\overline{WR}$	出力	リード/ライト	リード信号またはライト信号です。
	\overline{BS}	出力	バス開始	バスサイクル開始信号です。
	\overline{AH}	出力	アドレスホールド	アドレスまたはデータマルチプレクス I/O 時のアドレスをホールドするための信号です。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{WE0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
	$\overline{WE1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	\overline{DQMLL}	出力	バイト指定	SDRAM 接続時、D7~D0 を選択します。
	\overline{DQMLU}	出力	バイト指定	SDRAM 接続時、D15~D8 を選択します。
	\overline{RASL}	出力	RAS	SDRAM 接続時に \overline{RAS} 端子に接続します。
	\overline{CASL}	出力	CAS	SDRAM 接続時に \overline{CAS} 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
REFOUT	出力	リフレッシュ要求	リフレッシュ実行要求信号です。	
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0~ DREQ3	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0~ DACK3	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0、 TEND1	出力	DMA 転送終了出力	DMA 転送終了出力信号です。

1. 概要

分類	端子名	入出力	名称	機能
マルチファンクションタイムバ ルスユニット 2 (MTU2)	TCLKA、 TCLKB、 TCLKC、 TCLKD	入力	MTU2 タイマクロ ック入力	タイマの外部クロック入力端子です。
	TIOC0A、 TIOC0B、 TIOC0C、 TIOC0D	入出力	MTU2 インพุット キャプチャ/アウ トプットコンペア (チャンネル 0)	TGRA_0~TGRD_0のインพุットキャプチャ入力/アウトプットコンペア出力 /PWM 出力端子です。
	TIOC1A、 TIOC1B	入出力	MTU2 インพุット キャプチャ/アウ トプットコンペア (チャンネル 1)	TGRA_1、TGRB_1 のインพุットキャプチャ入力/アウトプットコンペア出力 /PWM 出力端子です。
	TIOC2A、 TIOC2B	入出力	MTU2 インพุット キャプチャ/アウ トプットコンペア (チャンネル 2)	TGRA_2、TGRB_2 のインพุットキャプチャ入力/アウトプットコンペア出力 /PWM 出力端子です。
	TIOC3A、 TIOC3B、 TIOC3C、 TIOC3D	入出力	MTU2 インพุット キャプチャ/アウ トプットコンペア (チャンネル 3)	TGRA_3~TGRD_3のインพุットキャプチャ入力/アウトプットコンペア出力 /PWM 出力端子です。
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	入出力	MTU2 インพุット キャプチャ/アウ トプットコンペア (チャンネル 4)	TGRA_4、TGRB_4 のインพุットキャプチャ入力/アウトプットコンペア出力 /PWM 出力端子です。
	TIC5U、 TIC5V、 TIC5W	入力	MTU2 インพุット キャプチャ (チャンネル 5)	TGRU_5、TGRV_5、TGRW_5 のインพุットキャプチャ入力/デットタイム補 償機能の入力端子です
ポートアウトプ ットイネーブル 2 (POE2)	POE8、 POE3、 POE1、 POE0	入力	ポート出力制御	MTU2 の波形出力端子をハイインピーダンス状態にする要求信号の入力端子で す。
	POE7、 POE4	入力	ポート出力制御	MTU2S の波形出力端子をハイインピーダンス状態にする要求信号の入力端子 です。

分類	端子名	入出力	名称	機能
マルチファンクションタイムマルチスロット 2S (MTU2S)	TIOC3AS、 TIOC3BS、 TIOC3CS、 TIOC3DS	入出力	MTU2S インプットキャプチャ/アウトプットコンペア (チャネル 3)	TGRA_3S - TGRD_3S のインプットキャプチャ入力/アウトプットコンペア出力 / PWM 出力端子です。
	TIOC4AS、 TIOC4BS、 TIOC4CS、 TIOC4DS	入出力	MTU2S インプットキャプチャ/アウトプットコンペア (チャネル 4)	TGRA_4S、TGRB_4S のインプットキャプチャ入力/アウトプットコンペア出力 / PWM 出力端子です。
	TIC5US、 TIC5VS、 TIC5WS	入力	MTU2S インプットキャプチャ (チャネル 5)	TGRU_5S、TGRV_5S、TGRW_5S のインプットキャプチャ入力/デッドタイム補償機能の入力端子です
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	TXD3 ~ TXD0	出力	送信データ	データ出力端子です。
	RXD3 ~ RXD0	入力	受信データ	データ入力端子です。
	SCK3 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
I ² C バスインタフェース 3 (IIC3)	SCL	入出力	シリアルクロック端子	シリアルクロック入出力端子です。
	SDA	入出力	シリアルデータ端子	シリアルデータ入出力端子です。
A/D 変換器 (ADC)	AN7 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (VccQ) に接続してください。
	AVREF	入力	アナログリファレンス電源	A/D 変換器のリファレンス電源端子です。A/D 変換器を使用しない場合はシステム電源 (VccQ) に接続してください。
	AVss	入力	アナロググランド	A/D 変換器のグランド端子です。A/D 変換器を使用しない場合はシステム電源 (VssQ) に接続してください。
	AVREFVss	入力	アナログリファレンスグランド	A/D 変換器のリファレンス電源端子のグランド端子です。A/D 変換器を使用しない場合はシステム電源 (VssQ) に接続してください。

1. 概要

分類	端子名	入出力	名称	機能
D/A 変換器 (DAC)	DA1、DA0	出力	アナログ 出力端子	アナログ出力端子です。
I/O ポート	PA25 ~ PA0	入出力	汎用ポート	26 ビットの汎用入出力ポート端子です。
	PB30 ~ PB0	入出力	汎用ポート	31 ビットの汎用入出力ポート端子です。
	PD15 ~ PD0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PF1、PF0	入力	汎用ポート	2 ビットの汎用入力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	入力	テストリセット	初期化信号入力端子です。 H-UDI 未使用時には、ローレベルを入力してください。
アドバンスト ユーザデバッグ (AUD)	AUDATA3 ~ AUDATA0	入出力	AUD データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	入出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	入出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
エミュレータ インタフェース	ASEBRKAK	出力	ブレークモード アクノリッジ	E10A-USB エミュレータがブレークモードに入ったことを示します。
	ASEBRK	入力	ブレーク要求	E10A-USB エミュレータブレーク入力です。
ユーザブレーク コントローラ (UBC)	$\overline{\text{UBCTR}}\overline{\text{G}}$	出力	ユーザブレーク トリガ出力	UBC 条件一致のトリガ出力です。
WAVE インタ フェース (WAVEIF)	WSCK	出力	クロック出力	マイウェイ技研株式会社殿のリアルタイム CPU スコープ WAVE™(WAVE1.0 Level C) に対応するインタフェース機能の端子です。
	WRXD	入力	受信データ	
	WTXD	出力	送信データ	

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×4 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

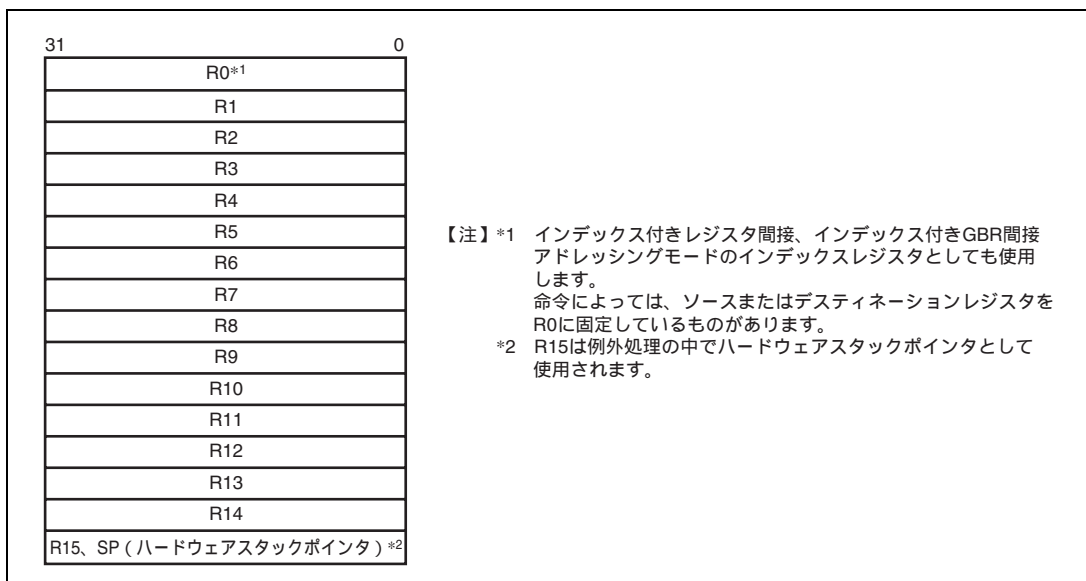


図 2.1 汎用レジスタ

2. CPU

2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

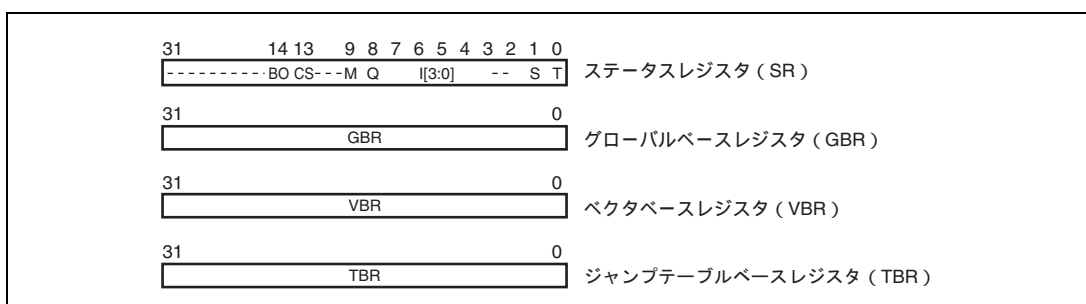


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	Mビット
8	Q	-	R/W	Qビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	S	-	R/W	Sビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	Tビット 真/偽条件またはキャリー/ポロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の4本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。

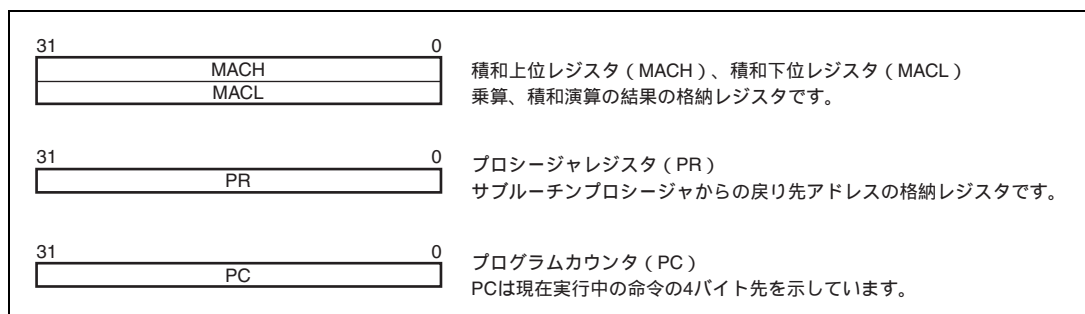


図 2.3 システムレジスタ

2. CPU

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は実行中の命令アドレスを示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]は 1111 (HF)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

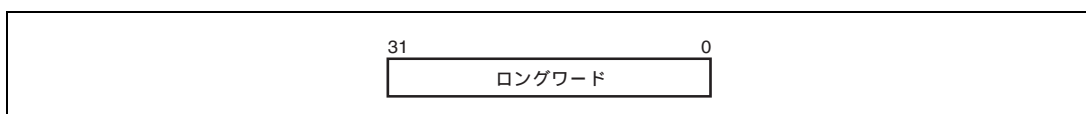


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

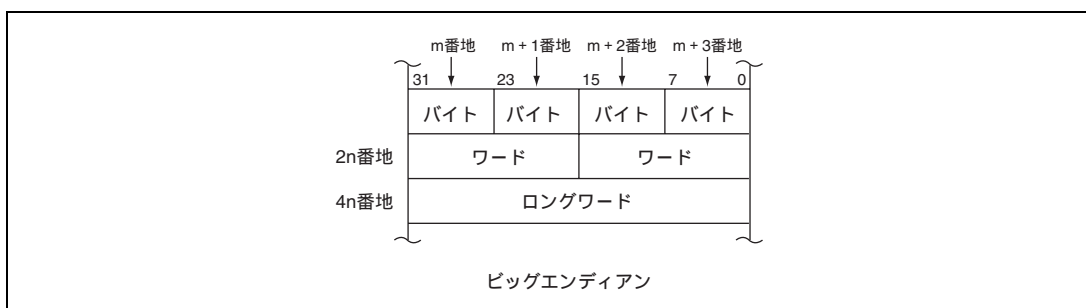


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

2. CPU

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0 = 0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV120 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOV120 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOV120S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

2. CPU

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21～28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット / 32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。


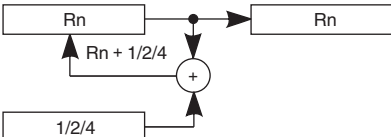
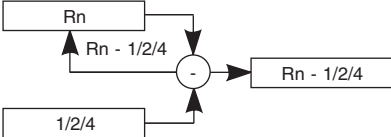
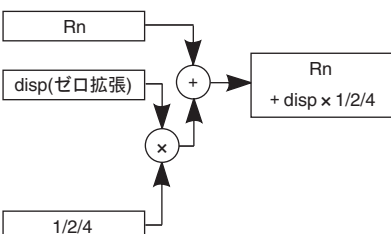
表 2.7 ディスプレースメントによる参照

区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

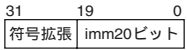
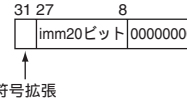
アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p>	<p>バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$</p>
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>	<p>バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$</p>
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@(disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p>	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

- xxxx : 命令コード
- mmmm : ソースレジスタ
- nnnn : デスティネーションレジスタ
- iiii : イミディエイトデータ
- dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	-	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	-	BRAF Rm

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{ c c c c } \hline & 32 & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		ddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	ddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	ddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	-	JSR/N @@(disp8,TBR)
		ddddddd : PC 相対	-	BF label
d12 形式		ddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		ddddddd : ディスプレイメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接	-	BLD #imm3,Rn
		iii : イミディエイト	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式	 	iiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 2px 5px;">nnnn</div> <div style="border-right: 1px solid black; padding: 2px 5px;">xiii</div> <div style="padding: 2px 5px;">xxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="padding: 2px 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3,@ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分 類	命令の種類	オペコード	機 能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMU	Rn ~ R14, PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOVT	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

2. CPU

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ－付き符号反転	
		SUB	2 進減算	
		SUBC	ポロ－付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 91			197

2. CPU

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSBの順で表示しています。	動作の概略を表示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
【記号説明】 OP.Sz SRC, DEST OP : オペコード Sz : サイズ SRC : ソース DEST : デスティネーション Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント*2	【記号説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	【記号説明】 , : 転送方向 (xx) : メモリオペランド M/Q/T : SR内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト		【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング(×1、×2、×4)されます。

詳しくは、「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-			

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) 符号拡張 R0	1	-			
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp×2+Rn)	1	-			
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp×4+Rn)	1	-			
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm) 符号拡張 Rn	1	-			
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm) Rn	1	-			
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100mmmm11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn00111001	~T Rn	1	-			
MOV T Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp × 2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	~T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オペランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バ イト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

2. CPU

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) Rn, 1 CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) Rn, 1 CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn ÷ Rm)	1	計算結果			
DIVOS Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビッ ト	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32 ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ボロー T	1	ボロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	-			
OR #imm, R0	11001011iiiiiiii	R0 imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR) imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, それ以外のとき0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1 T, その他0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1 T その他0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が0のとき1 T その他0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010ddddddddddd	遅延分岐、 disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、 Rm+PC PC	2	-			
BSR label	1011ddddddddddd	遅延分岐、 PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、 PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、 Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、 PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011ddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、 PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 * 分岐しないときは 1 ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMACH	0000000000101000	0 MACH,MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm01010101	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	0000000001011011	バンク R0~R14, GBR, MACH, MACL, PR	9*	-			
RTE	0000000001010111	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	5	-			

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバーフロー時は、ステート数が19です。

2.4.8 ビット操作命令

表 2.17 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnn1iii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

2.5 処理状態

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

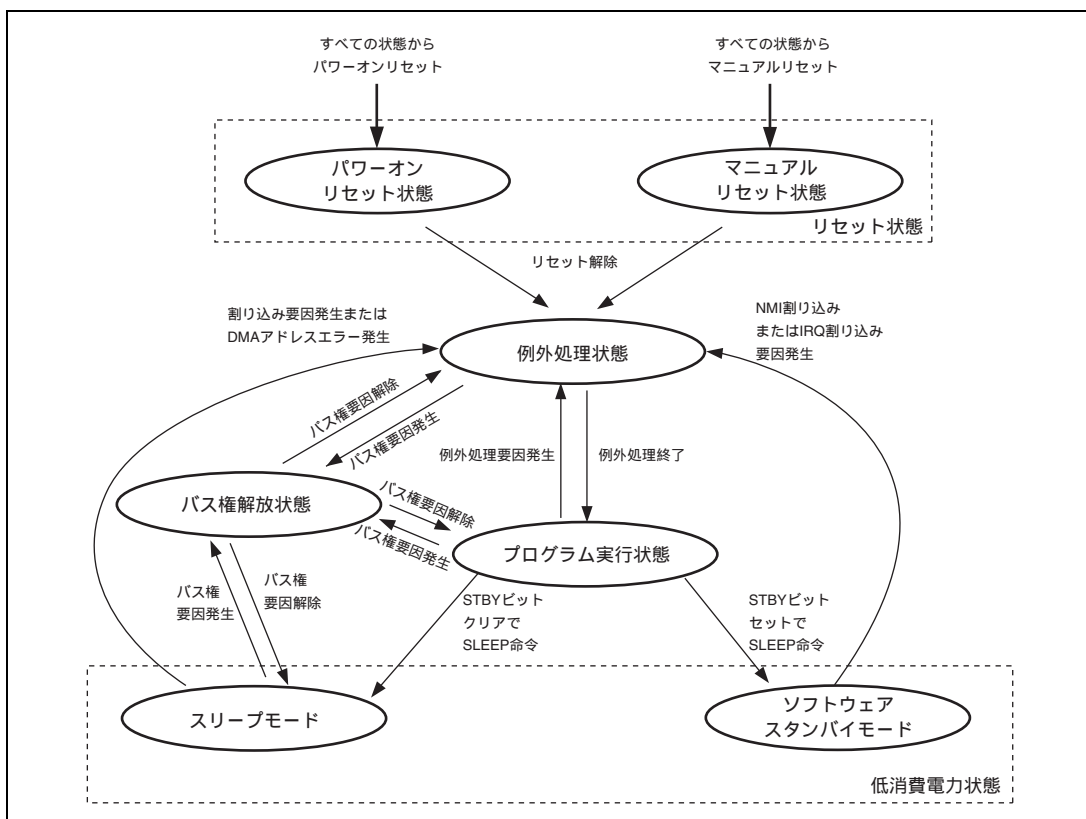


図2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には 4 種類の MCU 動作モードと、3 種類の内蔵フラッシュメモリ書き込み用のモードがあります。

動作モードは、FWE 端子、MD1 端子、MD0 端子の組み合わせで設定します。

本 LSI にて設定可能な動作モードの組み合わせを表 3.1 に示します。この表以外の組み合わせは設定しないでください。

なお、システムの電源投入時は、パワーオンリセット処理を必ず行うようにしてください。

MCU 動作モードとしては、MCU 拡張モード 0~2 とシングルチップモードがあります。

内蔵フラッシュメモリ書き込み用のモードには、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

表 3.1 動作モードの選択

MCU 動作モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD1	MD0			SH7211F
モード 0	0	0	0	MCU 拡張モード 0	無効	16
モード 1	0	0	1	MCU 拡張モード 1	無効	8
モード 2	0	1	0	MCU 拡張モード 2	有効	BSC の CS0BCR により設定
モード 3	0	1	1	シングルチップモード	有効	-
モード 4*	1	0	0	ブートモード	有効	BSC の CS0BCR により設定
モード 5*	1	0	1	ユーザブートモード	有効	BSC の CS0BCR により設定
モード 6*	1	1	0	ユーザプログラムモード	有効	BSC の CS0BCR により設定

【注】 * フラッシュメモリのプログラミングモードです。

3. MCU 動作モード

3.2 入出力端子

動作モードに関連する端子構成を表 3.2 に示します。

表 3.2 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
MD1	入力	動作モードを指定
FWE	入力	内蔵フラッシュメモリの書き込み / 消去のハードウェアイネーブル用端子

3.3 各動作モードの説明

3.3.1 モード 0 (MCU 拡張モード 0)

モード 0 では、CS0 空間のバス幅が、16 ビットの外部メモリ空間となります。

3.3.2 モード 1 (MCU 拡張モード 1)

モード 1 では、CS0 空間のバス幅が、8 ビットの外部メモリ空間となります。

3.3.3 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS0 空間を使用することができます。

3.3.4 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが、外部アドレスは使用できません。

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

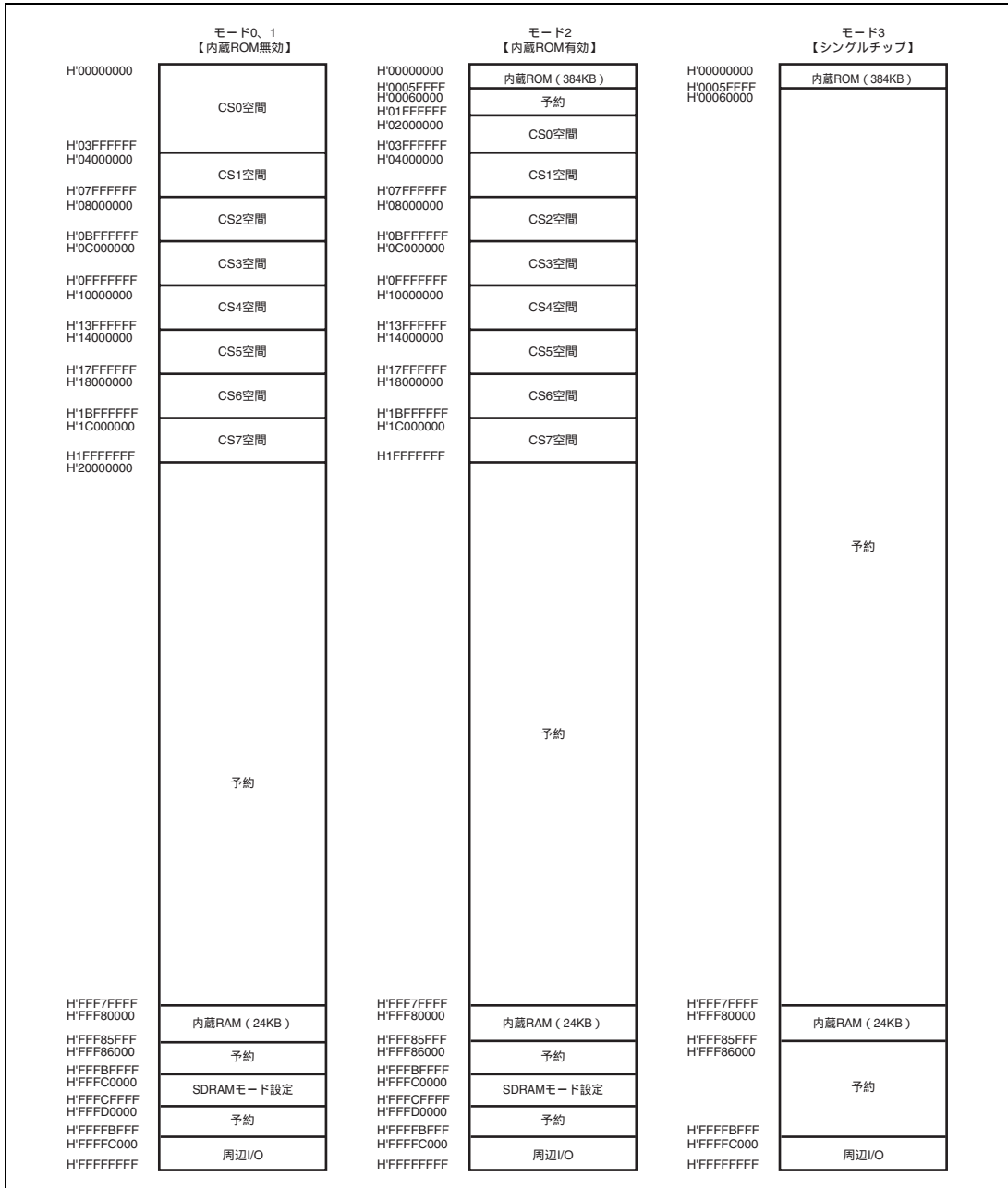


図 3.1 内蔵 ROM384KB 版の各動作モードのアドレスマップ

3. MCU 動作モード

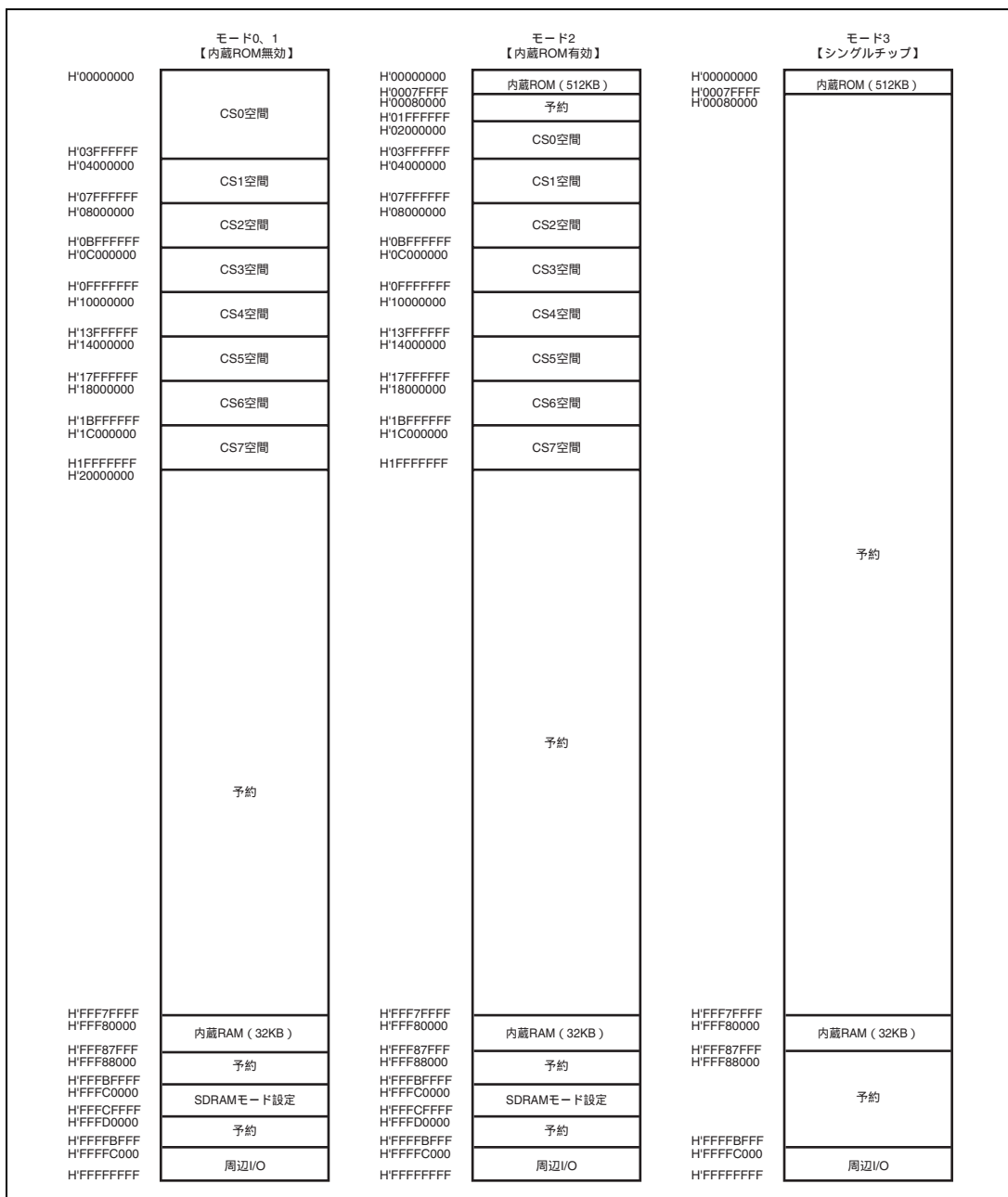


図 3.2 内蔵 ROM512KB 版の各動作モードのアドレスマップ

3.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 23 章 低消費電力モード」を参照してください。

3.6 動作モード変更時の注意事項

本 LSI へ電源印加中に動作モードを変更する場合は、必ずパワーオンリセット状態 ($\overline{\text{RES}}$ 端子にローレベルを印加) で行ってください。

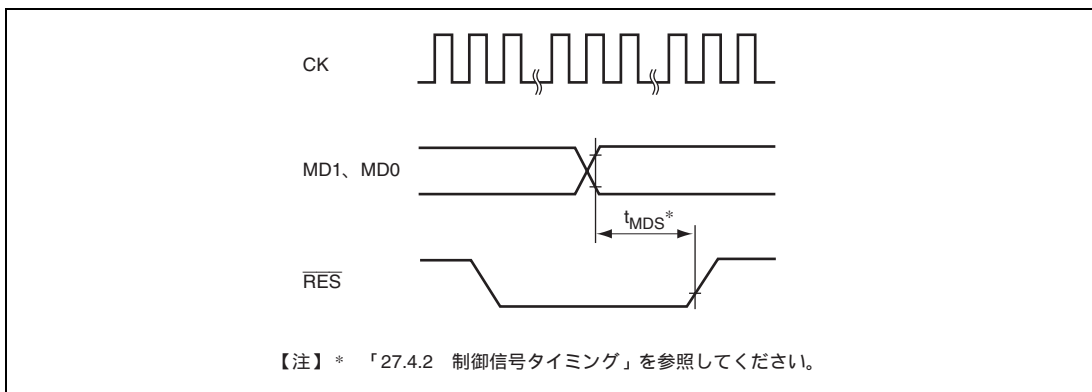


図 3.3 動作モード変更時のリセット入力タイミング

3. MCU 動作モード

4. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、内部クロック (I)、周辺クロック (P)、バスクロック (B)、MTU2S クロック (M)、および AD クロック (A) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

4.1 特長

- クロック動作モード

水晶発振子直付けか外部クロック入力かを選択できます。

- 5種類のクロック

CPUで使用する内部クロック (I)、周辺モジュールで使用する周辺クロック (P)、外部バスインタフェースで使用するバスクロック (B =CK)、MTU2Sモジュールで使用するMTU2Sクロック (M)、さらにADCモジュールで使用するADクロック (A) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第23章 低消費電力モード」を参照してください。

4. クロックパルス発振器 (CPG)

図 4.1 にクロックパルス発振器のブロック図を示します。

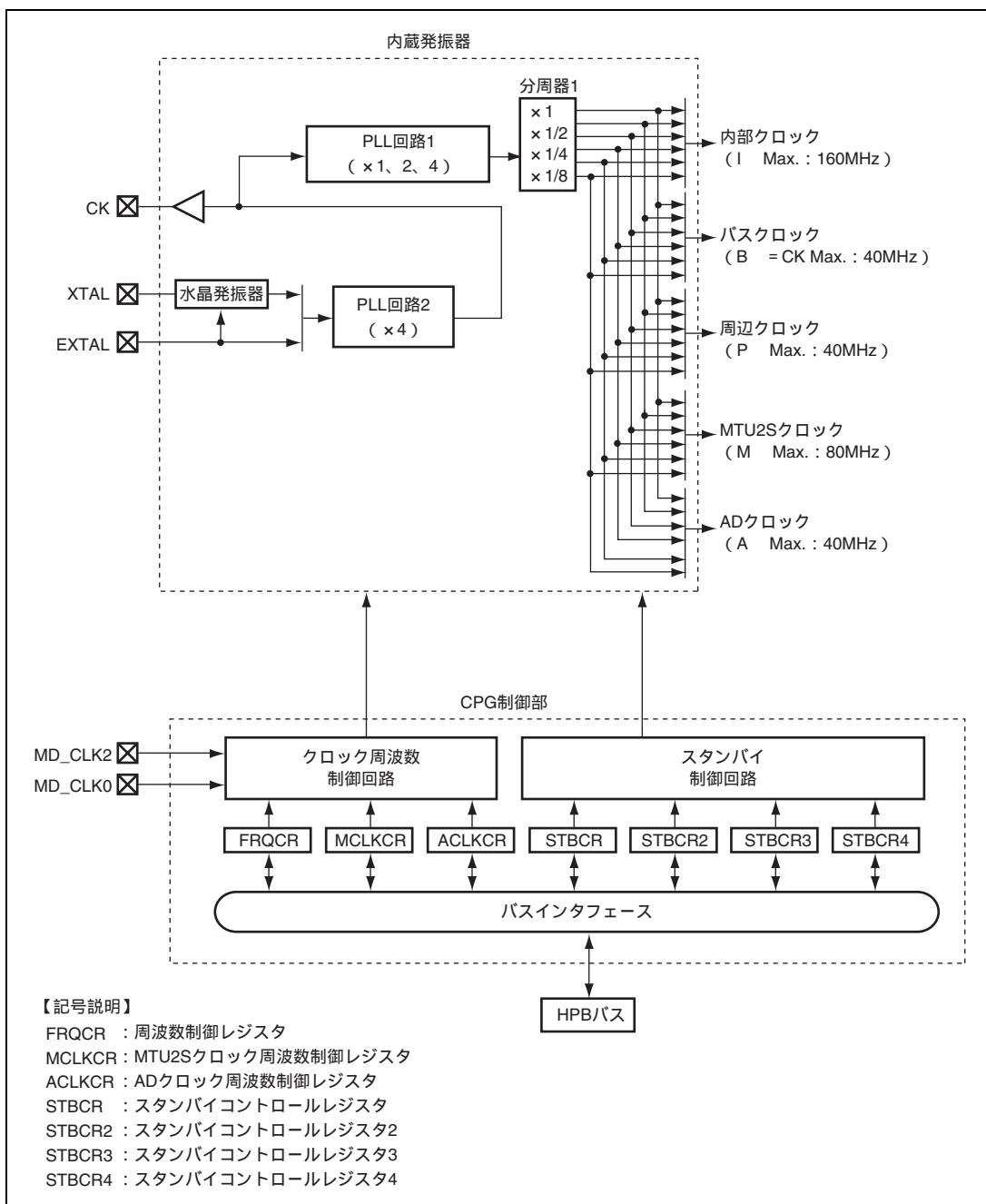


図 4.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、CK 端子からのクロック周波数を 1 倍、2 倍、または 4 倍に通倍する機能を持ちます。通倍率は、周波数制御レジスタで設定します。このとき、内部クロック (I) の立ち上がりエッジの位相は CK 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器または EXTAL 端子からの入力クロック周波数を 4 倍に通倍する機能を持ちます。通倍率は、クロック動作モードにより固定されます。クロック動作モードは、MD_CLK0、MD_CLK2 端子で設定します。クロック動作モードについては、表 4.2 を参照してください。

(3) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(4) 分周器 1

分周器 1 は、内部クロック (I)、バスクロック (B)、周辺クロック (P)、MTU2S クロック (M)、および AD クロック (A) で使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL 回路 1 の出力周波数に対して、1 倍、1/2 倍、1/4 倍、または 1/8 倍の選択が可能です。ただし、内部クロック (I) は CK 端子のクロック周波数以上の範囲、周辺クロック (P) は CK 端子のクロック周波数以下の範囲で設定してください。分周率は、周波数制御レジスタで設定します。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD_CLK0、MD_CLK2 端子、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CK 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック (I)、および周辺クロック (P) の周波数分周率の各制御ビットが割り当てられています。

(8) MTU2S クロック周波数制御レジスタ (MCLKCR)

MTU2S クロック周波数制御レジスタ (MCLKCR) には、MTU2S クロック (M) 出力の有無、および分周率の各制御ビットが割り当てられています。

4. クロックパルス発振器 (CPG)

(9) AD クロック周波数制御レジスタ (ACLKCR)

AD クロック周波数制御レジスタ (ACLKCR) には、AD クロック (A) 出力の有無、および分周率の各制御ビットが割り当てられています。

(10) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 23 章 低消費電力モード」を参照してください。

4.2 入出力端子

クロックパルス発振器の端子構成と機能を表 4.1 に示します。

表 4.1 発振回路の端子構成と機能

名称	端子名	入出力	機能 (クロック動作モード 6)
モード制御端子	MD_CLK0	入力	クロック動作モードを設定します。
	MD_CLK2	入力	クロック動作モードを設定します。
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)
	EXTAL	入力	水晶発振子を接続または外部クロック入力端子として使用します。
クロック出力端子	CK	出力	クロック出力端子になります。ハイインピーダンスにすることもできます。

4. クロックパルス発振器 (CPG)

4.3 クロック動作モード

モード制御端子 (MD_CLK2、MD_CLK0) の組み合わせとクロック動作モードの関係を表 4.2 に示します。
クロック動作モードの使用可能周波数範囲を表 4.3 に示します。

表 4.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		PLL 回路 2	PLL 回路 1	CK の周波数
	MD_ CLK2	MD_ CLK0	供給源	出力			
6	1	0	EXTAL / 水晶発振器	CK	ON (X4)	ON (X1、2、4)	(EXTAL / 水晶) × 4

- モード6

EXTAL端子または水晶発振器からクロックを入力し、発振周波数をPLL回路2で4倍に通倍して本LSI内部に供給するので、使用する水晶の周波数が低くて済みます。EXTAL端子入力および水晶発振器ともに発振周波数が8MHzから10MHzのものを使用できますが、CK出力使用時の周波数レンジは32MHzから40MHzとなります。なお、EXTAL端子入力で使用する場合には、XTAL端子は開放としてください。

表 4.3 クロック動作モードと設定可能な周波数範囲

クロック 動作 モード	FRQCR レジスタ 設定値	PLL 通倍率		内部 クロック比 (I : B : P) *1	設定可能な周波数範囲 (MHz)				
		PLL 回路 1	PLL 回路 2		入力クロック *2	出力クロック (CK 端子)	内部クロック (I)	バスクロック (B)	周辺クロック (P)
6	H'1000	ON(×1)	ON(×4)	4 : 4 : 4	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	32 ~ 40
	H'1001	ON(×1)	ON(×4)	4 : 4 : 2	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	16 ~ 20
	H'1003	ON(×1)	ON(×4)	4 : 4 : 1	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	8 ~ 10
	H'1005	ON(×1)	ON(×4)	4 : 4 : 1/2	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	4 ~ 5
	H'1101	ON(×2)	ON(×4)	8 : 4 : 4	8 ~ 10	32 ~ 40	64 ~ 80	32 ~ 40	32 ~ 40
	H'1103	ON(×2)	ON(×4)	8 : 4 : 2	8 ~ 10	32 ~ 40	64 ~ 80	32 ~ 40	16 ~ 20
	H'1105	ON(×2)	ON(×4)	8 : 4 : 1	8 ~ 10	32 ~ 40	64 ~ 80	32 ~ 40	8 ~ 10
	H'1111	ON(×2)	ON(×4)	4 : 4 : 4	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	32 ~ 40
	H'1113	ON(×2)	ON(×4)	4 : 4 : 2	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	16 ~ 20
	H'1115	ON(×2)	ON(×4)	4 : 4 : 1	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	8 ~ 10
	H'1303	ON(×4)	ON(×4)	16 : 4 : 4	8 ~ 10	32 ~ 40	128 ~ 160	32 ~ 40	32 ~ 40
	H'1305	ON(×4)	ON(×4)	16 : 4 : 2	8 ~ 10	32 ~ 40	128 ~ 160	32 ~ 40	16 ~ 20
	H'1313	ON(×4)	ON(×4)	8 : 4 : 4	8 ~ 10	32 ~ 40	64 ~ 80	32 ~ 40	32 ~ 40
	H'1315	ON(×4)	ON(×4)	8 : 4 : 2	8 ~ 10	32 ~ 40	64 ~ 80	32 ~ 40	16 ~ 20
	H'1333	ON(×4)	ON(×4)	4 : 4 : 4	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	32 ~ 40
H'1335	ON(×4)	ON(×4)	4 : 4 : 2	8 ~ 10	32 ~ 40	32 ~ 40	32 ~ 40	16 ~ 20	

【注】 *1 入力クロック周波数を 1 としたときのクロック比です。

*2 EXTAL 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】

- 内部クロック (I) の周波数は、CK 端子の周波数に PLL 回路 1 の周波数通倍率と分周器の分周率を掛けた周波数になります。
内部クロック周波数は、160MHz 以下に設定してください。また、CK 端子の周波数より低く設定しないでください。
- 周辺クロック (P) の周波数は、CK 端子の周波数に PLL 回路 1 の周波数通倍率と分周器の分周率を掛けた周波数になります。
周辺クロック周波数は、40MHz 以下に設定してください。また、CK 端子の周波数より高く設定しないでください。
- PLL 回路 1 の通倍率には、×1、×2、または×4 が選択できます。分周器の分周率には、×1、×1/2、×1/4、または×1/8 が選択できます。これらは、それぞれ周波数制御レジスタ (FRQCR) で設定します。
- PLL 回路 1 の出力周波数は、CK 端子の周波数に PLL 回路 1 の通倍率を掛けた周波数になります。この周波数は、160MHz 以下で使用してください。

4. クロックパルス発振器 (CPG)

4.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 4.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'1003	H'FFFE0010	16
MTU2S クロック周波数制御レジスタ	MCLKCR	R/W	H'43	H'FFFE0410	8
AD クロック周波数制御レジスタ	ACLKCR	R/W	H'43	H'FFFE0414	8

4.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ソフトウェアスタンバイモード時の CK 端子からクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック (I)、および周辺クロック (P) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

FRQCR は、パワーオンリセット時のみ H'1003 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	CKOEN	-	-	STC[1:0]	-		IFC[2:0]		RNGS		PFC[2:0]		
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	CKOEN	1	R/W	クロック出力イネーブル CKOEN は、ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に CK 端子からクロックを出力するか、CK 端子をレベル固定するかを指定します。 0 を設定した場合は、ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に、CK 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイモード解除時の不安定な CK クロックによって外部回路が誤動作することを防ぐことができます。 0: ソフトウェアスタンバイモード時およびソフトウェアスタンバイモード解除時に CK 端子をローレベルに固定する。 1: CK 端子からクロックを出力する (ソフトウェアスタンバイモード中は、ハイインピーダンス)。

4. クロックパルス発振器 (CPG)

ビット	ビット名	初期値	R/W	説 明
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	STC[1:0]	00	R/W	PLL 回路 1 の周波数逡倍率 00 : ×1 倍 01 : ×2 倍 10 : 設定禁止 11 : ×4 倍
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	IFC[2:0]	000	R/W	内部クロック (I) 周波数の分周率 PLL 回路 1 の出力周波数に対しての内部クロック周波数の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。 000 : ×1 倍 001 : ×1/2 倍 011 : ×1/4 倍 上記以外 : 設定禁止
3	RNGS	0	R/W	PLL 回路 1 の出力周波数に応じて設定します。 0 : 高周波数モード 1 : 低周波数モード 本 LSI では、常に高周波数モードに設定してください。 低周波数モードには、設定しないでください。
2~0	PFC[2:0]	011	R/W	周辺クロック (P) 周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。設定禁止の値を設定した場合、以後の動作は保証しません。 000 : ×1 倍 001 : ×1/2 倍 011 : ×1/4 倍 101 : ×1/8 倍 上記以外 : 設定禁止

4. クロックパルス発振器 (CPG)

4.4.2 MTU2S クロック周波数制御レジスタ (MCLKCR)

MCLKCR は、読み出し/書き込み可能な 8 ビットのレジスタです。MCLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'43 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	MSSCS[1:0]	-	-	-	-	-	MSDIVS[1:0]	
初期値:	0	1	0	0	0	0	1	1
R/W:	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	MSSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00 : クロック停止 01 : PLL1 出力クロック 10 : 予約 (設定不可) 11 : 予約 (設定不可)
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	MSDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、80MHz 以下で周辺クロック周波数 (P) の整数倍になるように設定してください。 00 : ×1 倍 01 : ×1/2 倍 10 : 設定禁止 11 : ×1/4 倍

4.4.3 AD クロック周波数制御レジスタ (ACLKCR)

ACLKCR は、読み出し / 書き込み可能な 8 ビットのレジスタです。ACLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'43 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	ASSCS[1:0]	-	-	-	-	-	ASDIVS[1:0]	
初期値:	0	1	0	0	0	0	1	1
R/W:	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	ASSCS[1:0]	01	R/W	ソースクロックセレクト 源クロックの選択を行います。 00 : クロック停止 01 : PLL1 出力クロック 10 : 予約 (設定不可) 11 : 予約 (設定不可)
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	ASDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。出力クロックは、40MHz 以下で周辺クロック周波数 (P) の整数倍になるように設定してください。 00 : ×1 倍 01 : ×1/2 倍 10 : 設定禁止 11 : ×1/4 倍

4.5 周波数変更方法

内部クロック (I) および周辺クロック (P) の周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

4.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合は、PLL 安定時間が必要になります。PLL 回路 1 の低倍率を変更すると本 LSI は自動的に一時停止し、内蔵 WDT により安定時間のカウントを行います。内蔵 WDT がカウントオーバーフローすると、設定されたクロックの周波数で動作を再開します。この設定手順を以下に示します。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTCSR.TME = 0 : WDTの停止
WTCSR.CKS[2:0] : WDTカウントクロックの分周率
WTCNT : カウンタの初期値
カウンタの設定は、周辺クロック (P) 設定変更後の周波数でオーバーフロー周期を決めてください。
3. STC[1:0]を目的とする値に設定します。同時にIFC[2:0]、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は、一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CK端子にはクロックが出力され続けます。
本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われず。詳細は「第23章 低消費電力モード」の表23.4を参照してください。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、カウントを停止します。

4.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合は、WDT によるカウントは行いません。

1. 初期状態では、IFC[2:0] = B'000、PFC[2:0] = B'011になっています。
2. IFC[2:0]、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC[2:0]、PFC[2:0]) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。

4.6 ボード設計上の注意事項

4.6.1 外部水晶発振子使用時の注意

水晶発振子と容量 CL1、CL2 は、できるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

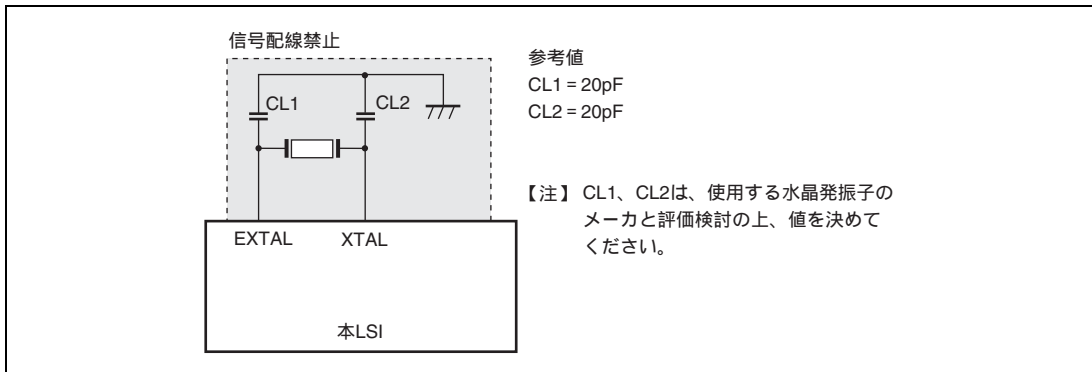


図 4.2 水晶発振子使用時の注意

4.6.2 バイパスコンデンサについての注意

できるかぎり V_{SS} と V_{CC} のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサは、できるかぎり LSI の電源端子の近くに実装してください。容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

4.6.3 PLL 発振回路使用時の注意

PLL 用 PLL_{VCC} と PLL_{VSS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と V_{CC} 、 V_{CCQ} のデジタル電源系は、極力基板上で同一ソースを供給しないでください。

4. クロックパルス発振器 (CPG)

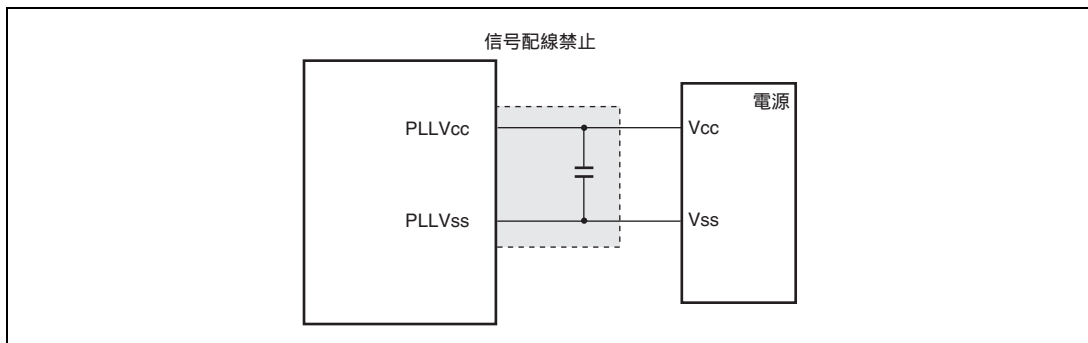


図 4.3 PLL 発振回路使用時の注意



5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

種類	例外処理	優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
命令	整数除算例外 (0 除算)		
	整数除算例外 (オーバーフロー)		
レジスタバンクエラー	バンクアンダフロー		
	バンクオーバーフロー		
割り込み	NMI		
	ユーザブレイク		
	H-UDI		
	IRQ		
	内蔵周辺 モジュール		A/D 変換器 (ADC)
			ダイレクトメモリアクセスコントローラ (DMAC)
			コンペアマッチタイマ (CMT)
			バスステートコントローラ (BSC)
		ウォッチドッグタイマ (WDT)	
		マルチファンクションタイマパルスユニット 2 (MTU2)	
		ポートアウトプットイネーブル 2 (POE2) OE1、2 割り込み	
		マルチファンクションタイマパルスユニット 2S (MTU2S)	
		ポートアウトプットイネーブル 2 (POE2) OE13 割り込み	
		I ² C バスインタフェース 3 (IIC3)	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)			

5. 例外処理

種類	例外処理	優先順位
命令	トラップ命令 (TRAPA 命令)	高 ↑ ↓ 低
	一般不当命令 (未定義コード)	
	スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コード、PC を書き換える命令* ² 、32 ビット命令* ³ 、RESBANK 命令、DIVS 命令または DIVU 命令)	

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA F

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA F、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	MRRES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとする開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コードがデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算命令	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバフロー例外が検出されると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (INTC) の IBNR の BN ビットを 0 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI および UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタ番号を、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5. 例外処理

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表5.3に、ベクタテーブルアドレスの算出法を表5.4に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
(システム予約)		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
バンクオーバフロー		15	H'0000003C ~ H'0000003F
バンクアンダフロー		16	H'00000040 ~ H'00000043
整数除算例外 (0 除算)		17	H'00000044 ~ H'00000047
整数除算例外 (オーバフロー)		18	H'00000048 ~ H'0000004B
(システム予約)		19	H'0000004C ~ H'0000004F
		:	:
		31	H'0000007C ~ H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)	32	H'00000080 ~ H'00000083
	:	:
	63	H'000000FC ~ H'000000FF
外部割り込み (IRQ)、内蔵周辺モジュール*	64	H'00000100 ~ H'00000103
	:	:
	511	H'000007FC ~ H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第6章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 5.3 を参照
2. ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、内蔵周辺モジュールのレジスタは、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 5.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件			内部状態		
	RES または MRES	H-UDI コマンド	WDT オーバフロー	CPU	内蔵周辺 モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	ロー	-	-	初期化	初期化	初期化
	ハイ	H-UDI リセットア サートコマンドの セット	-	初期化	初期化	初期化
	ハイ	H-UDI リセットア サート以外のコマ ンドをセット	パワーオン	初期化	初期化	初期化しない
マニュアル リセット	ロー	-	-	初期化	初期化しない*	初期化しない
	ハイ	-	マニュアル	初期化	初期化しない*	初期化しない

【注】 * ただし、INTC の IBNR の BN ビットは初期化されます。

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合は発振安定時間の間、クロックが動作している場合は最低 20pcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

5.2.3 マニュアルリセット

(1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 μsec の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

(2) WDT によるマニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の WTCNT がオーバーフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC バースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の一定サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF 以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 8 章 バススタートコントローラ (BSC)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
- ステータスレジスタ (SR) をスタックに退避します。
- プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このと

5. 例外処理

きのジャンプは遅延分岐ではありません。

【注】 * データ読み出し / 書き込みによるアドレスエラー時。命令フェッチによるアドレスエラーは、上記動作 3 終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

5.4 レジスタバンクエラー

5.4.1 レジスタバンクエラー発生要因

(1) バンクオーバフロー

割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

5.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、バンクオーバフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行した RESBANK 命令の先頭アドレスです。

バンクオーバフロー時は多重割り込みを防止するために、バンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。

4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5 割り込み

5.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0 - IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	A/D 変換器 (ADC)	1
	ダイレクトメモリアクセスコントローラ (DMAC)	16
	コンペアマッチタイマ (CMT)	2
	バスステートコントローラ (BSC)	1
	ウォッチドッグタイマ (WDT)	1
	マルチファンクションタイマパルスユニット 2 (MTU2)	26
	マルチファンクションタイマパルスユニット 2S (MTU2S)	13
	ポートアウトプットイネーブル 2 (POE2)	3
	I ² C バスインタフェース 3 (IIC3)	5
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

5. 例外処理

5.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、およびH-UDIの優先レベルは15です。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタ01、02、05～15（IPR01、IPR02、IPR05～IPR15）で自由に設定することができます（表5.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPR01、IPR02、IPR05～IPR15については「6.3.1 割り込み優先レベル設定レジスタ01、02、05～15（IPR01、IPR02、IPR05～IPR15）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ01、02、05～15（IPR01、IPR02、IPR05～IPR15）により設定
内蔵周辺モジュール		

5.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタ番号をレジスタバンクに退避します。アドレスエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「6.6 動作説明」を参照してください。

5. 例外処理

5.6 命令による例外

5.6.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後(遅延スロット)に配置された未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令またはDIVU命令	遅延分岐命令: JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PCを書き換える命令: JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32ビット命令: BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS

5.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPUは次のように動作します。

1. 例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPUはスロット不当命令例外処理と同じ手順で動作します。ただし、退避するPCの値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6.5 整数除算命令

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令はDIVUとDIVSです。オーバーフロー例外の要因となる命令はDIVSのみで、負の最大値を-1で除算する場合にのみ発生します。整数除算例外が発生するとCPUは次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.7 例外処理が受け付けられない場合

アドレスエラー、レジスタバンクエラー（オーバフロー）および割り込みは、表 5.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因		
	アドレスエラー	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×

【記号説明】 × : 受け付けられない

【注】 * 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

5.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
レジスタ バンク エラー (オーバ フロー)		レジスタ バンク エラー (アンダ フロー)	
トラップ 命令		スロット 不当命令	
一般不当 命令		整数除算 命令	

5.9 使用上の注意事項

5.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能

13本の割り込み優先レベル設定レジスタにより、IRQ割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

たとえば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

- レジスタバンク

本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

6. 割り込みコントローラ (INTC)

図 6.1 に INTC のブロック図を示します。

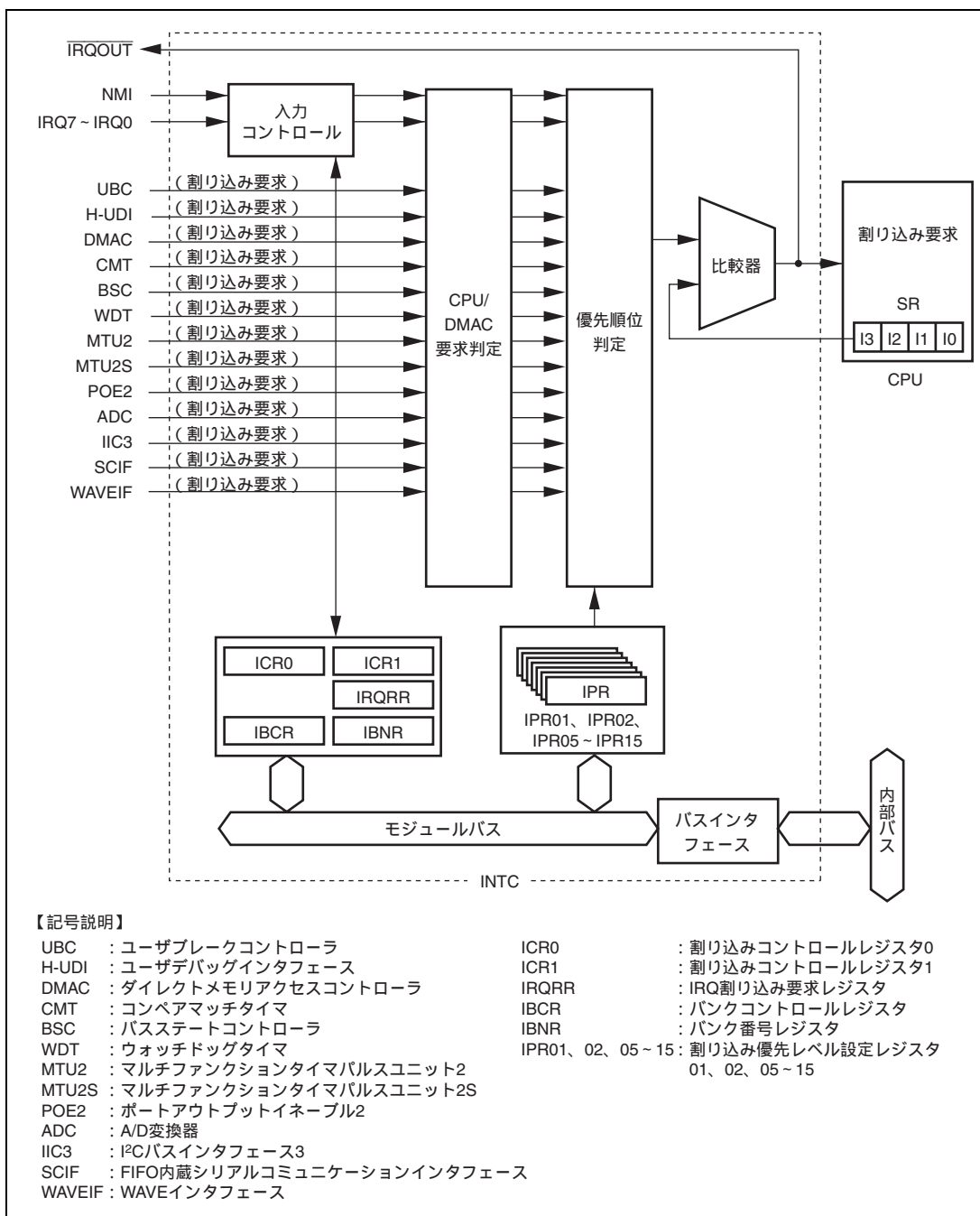


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

6. 割り込みコントローラ (INTC)

6.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0820	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16、32

【注】 アクセスサイクルはワードアクセス時には2サイクル、ロングワードアクセス時には4サイクルになります。

*1 NMI 端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000 です。

*2 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

6.3.1 割り込み優先レベル設定レジスタ 01、02、05～15 (IPR01、IPR02、IPR05～IPR15)

IPR01、IPR02、IPR05～IPR15は、それぞれ読み出し/書き込み可能な16ビットのレジスタで、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位(レベル0～15)を設定します。割り込み要求元とIPR01、IPR02、IPR05～IPR15の各ビットの対応を表6.3に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.3 割り込み要求元と IPR01、IPR02、IPR05～IPR15

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	予約	予約	ADI	予約
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	CMT0	CMT1	BSC	WDT
割り込み優先レベル設定レジスタ 09	MTU0 (TGI0A～TGI0D)	MTU0 (TCI0V、TGI0E、 TGI0F)	MTU1 (TGI1A、TGI1B)	MTU1 (TCI1V、TCI1U)
割り込み優先レベル設定レジスタ 10	MTU2 (TGI2A、TGI2B)	MTU2 (TCI2V、TCI2U)	MTU3 (TGI3A～TGI3D)	MTU3 (TCI3V)
割り込み優先レベル設定レジスタ 11	MTU4 (TGI4A～TGI4D)	MTU4 (TCI4V)	MTU5 (TGI5U、TGI5V、 TGI5W)	POE2 (OE11、OE12)
割り込み優先レベル設定レジスタ 12	MTU3S (TGI3A～TGI3D)	MTU3S (TCI3V)	MTU4S (TGI4A～TGI4D)	MTU4S (TCI4V)
割り込み優先レベル設定レジスタ 13	MTU5S (TGI5U、TGI5V、 TGI5W)	POE2 (OE13)	IIC3	予約
割り込み優先レベル設定レジスタ 14	SCIF0	SCIF1	SCIF2	SCIF3
割り込み優先レベル設定レジスタ 15	WAVEIF	予約	予約	予約

表 6.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0 (0000) から HF (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、HF をセットすると優先レベル 15 (最高) になります。

IPR01、IPR02、IPR05～IPR15 は、パワーオンリセットで H'0000 に初期化されます。

6. 割り込みコントローラ (INTC)

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている。 1: NMI 端子にハイレベルが入力されている。
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出。 1: NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7 ~ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7 ~ IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00: 割り込み要求を IRQn 入力のローレベルで検出する。 01: 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10: 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11: 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7 ~ 0

6. 割り込みコントローラ (INTC)

6.3.4 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ~ IRQ0F = 1 をリード後、IRQ7F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0: IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1: IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0: IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に0をライトしたとき • IRQn 割り込み例外処理を実行したとき 1: IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n = 7 ~ 0

6.3.5 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可 / 禁止を設定することができます。IBCR はパワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15～1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0 : レジスタバンクの使用を禁止します。 1 : レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6. 割り込みコントローラ (INTC)

6.3.6 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバフロー例外の許可 / 禁止を設定します。また、BN3 ~ BN0 により次に退避されるバンク番号を示します。

IBNR はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00: すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01: NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10: 予約 (設定禁止) 11: レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可 / 禁止を設定します。 0: レジスタバンクオーバフロー例外の発生を禁止します。 1: レジスタバンクオーバフロー例外の発生を許可します。
12 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 ~ 0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3 ~ BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

6.4 割り込み要因

割り込み要因は、NMI、ユーザブ레이크、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0 (ICR0) のNMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) は15に設定されます。

6.4.2 ユーザブ레이크割り込み

ユーザブ레이크割り込みは、ユーザブ레이크コントローラ (UBC) で設定したブ레이크条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブ레이크割り込み例外処理によって、SR のI3~I0ビットは15に設定されます。ユーザブ레이크については、「第7章 ユーザブ레이크コントローラ (UBC)」を参照してください。

6.4.3 H-UDI 割り込み

ユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 割り込み例外処理により、SR のI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第24章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

6. 割り込みコントローラ (INTC)

6.4.4 IRQ 割り込み

IRQ 割り込みは IRQ7 ~ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1 (ICR1) の IRQ センスセレクトビット (IRQ7IS ~ IRQ0IS, IRQ70S ~ IRQ00S) の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01、02 (IPR01, IPR02) によって、端子ごとに優先レベルを 0 ~ 15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7 ~ IRQ0 端子がローレベルの期間、INTC に割り込み要求信号が送られます。IRQ7 ~ IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ 割り込み要求レジスタ (IRQRR) の IRQ 割り込み要求ビット (IRQ7F ~ IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ~ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ7F ~ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

6.4.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- A/D変換器 (ADC)
- ダイレクトメモリアクセスコントローラ (DMAC)
- コンペアマッチタイマ (CMT)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- マルチファンクションタイマパルスユニット2 (MTU2)
- マルチファンクションタイマパルスユニット2S (MTU2S)
- ポートアウトプットイネーブル2 (POE2)
- I²Cバスインタフェース3 (IIC3)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- WAVEインタフェース (WAVEIF)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05 ~ 15 (IPR05 ~ IPR15) によって、モジュールごとに優先レベル 0 ~ 15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.5 割り込み例外処理ベクタテーブルと優先順位


表 6.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の表 5.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。


IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05 ~ 15 (IPR01、IPR02、IPR05 ~ IPR15) によって、端子またはモジュールごとに優先レベル 0 ~ 15 の範囲で任意に設定できます。ただし、IPR05 ~ IPR15 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 6.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

6. 割り込みコントローラ (INTC)


表 6.4 割り込み例外ベクタと優先順位

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
NMI		11	H'0000002C ~ H'0000002F	16	-	-	 高	
UBC		12	H'00000030 ~ H'00000033	15	-	-		
H-UDI		14	H'00000038 ~ H'0000003B	15	-	-		
IRQ	IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15(0)	IPR01(15 ~ 12)	-		
	IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15(0)	IPR01(11 ~ 8)	-		
	IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15(0)	IPR01(7 ~ 4)	-		
	IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15(0)	IPR01(3 ~ 0)	-		
	IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15(0)	IPR02(15 ~ 12)	-		
	IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15(0)	IPR02(11 ~ 8)	-		
	IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15(0)	IPR02(7 ~ 4)	-		
	IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15(0)	IPR02(3 ~ 0)	-		
ADC	ADI	92	H'00000170 ~ H'00000173	0 ~ 15(0)	IPR05(7 ~ 4)	-		
DMAC	DMAC0	DEI0	108	H'000001B0 ~ H'000001B3	0 ~ 15(0)	IPR06(15 ~ 12)		1
		HEI0	109	H'000001B4 ~ H'000001B7				2
	DMAC1	DEI1	112	H'000001C0 ~ H'000001C3	0 ~ 15(0)	IPR06(11 ~ 8)	1	
		HEI1	113	H'000001C4 ~ H'000001C7			2	
	DMAC2	DEI2	116	H'000001D0 ~ H'000001D3	0 ~ 15(0)	IPR06(7 ~ 4)	1	
		HEI2	117	H'000001D4 ~ H'000001D7			2	
	DMAC3	DEI3	120	H'000001E0 ~ H'000001E3	0 ~ 15(0)	IPR06(3 ~ 0)	1	
		HEI3	121	H'000001E4 ~ H'000001E7			2	
	DMAC4	DEI4	124	H'000001F0 ~ H'000001F3	0 ~ 15(0)	IPR07(15 ~ 12)	1	
		HEI4	125	H'000001F4 ~ H'000001F7			2	
	DMAC5	DEI5	128	H'00000200 ~ H'00000203	0 ~ 15(0)	IPR07(11 ~ 8)	1	
		HEI5	129	H'00000204 ~ H'00000207			2	
	DMAC6	DEI6	132	H'00000210 ~ H'00000213	0 ~ 15(0)	IPR07(7 ~ 4)	1	
		HEI6	133	H'00000214 ~ H'00000217			2	
DMAC7	DEI7	136	H'00000220 ~ H'00000223	0 ~ 15(0)	IPR07(3 ~ 0)	1		
	HEI7	137	H'00000224 ~ H'00000227			2		
CMT	CMI0		140	H'00000230 ~ H'00000233	0 ~ 15(0)	IPR08(15 ~ 12)	-	
	CMI1		144	H'00000240 ~ H'00000243	0 ~ 15(0)	IPR08(11 ~ 8)	-	
BSC	CMI		148	H'00000250 ~ H'00000253	0 ~ 15(0)	IPR08(7 ~ 4)	-	
WDT	ITI		152	H'00000260 ~ H'00000263	0 ~ 15(0)	IPR08(3 ~ 0)	-	

6. 割り込みコントローラ (INTC)

割り込み要因番号		割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位			
		ベクタ	ベクタテーブル アドレスオフセット							
MTU2	MTU0	TGI0A	156	H'00000270 ~ H'00000273	0 - 15(0)	IPR09(15 ~ 12)	1			
		TGI0B	157	H'00000274 ~ H'00000277			2			
		TGI0C	158	H'00000278 ~ H'0000027B			3			
		TGI0D	159	H'0000027C ~ H'0000027F			4			
		TCI0V	160	H'00000280 ~ H'00000283			0 - 15(0)		IPR09(11 ~ 8)	1
		TGI0E	161	H'00000284 ~ H'00000287						2
		TGI0F	162	H'00000288 ~ H'0000028B						3
	MTU1	TGI1A	164	H'00000290 ~ H'00000293	0 - 15(0)	IPR09(7 ~ 4)	1			
		TGI1B	165	H'00000294 ~ H'00000297			2			
		TCI1V	168	H'000002A0 ~ H'000002A3	0 - 15(0)	IPR09(3 ~ 0)	1			
		TCI1U	169	H'000002A4 ~ H'000002A7			2			
	MTU2	TGI2A	172	H'000002B0 ~ H'000002B3	0 - 15(0)	IPR10(15 ~ 12)	1			
		TGI2B	173	H'000002B4 ~ H'000002B7			2			
		TCI2V	176	H'000002C0 ~ H'000002C3	0 - 15(0)	IPR10(11 ~ 8)	1			
		TCI2U	177	H'000002C4 ~ H'000002C7			2			
	MTU3	TGI3A	180	H'000002D0 ~ H'000002D3	0 - 15(0)	IPR10(7 ~ 4)	1			
		TGI3B	181	H'000002D4 ~ H'000002D7			2			
		TGI3C	182	H'000002D8 ~ H'000002DB			3			
		TGI3D	183	H'000002DC ~ H'000002DF			4			
		TCI3V	184	H'000002E0 ~ H'000002E3	0 - 15(0)	IPR10(3 ~ 0)	-			
	MTU4	TGI4A	188	H'000002F0 ~ H'000002F3	0 - 15(0)	IPR11(15 ~ 12)	1			
		TGI4B	189	H'000002F4 ~ H'000002F7			2			
		TGI4C	190	H'000002F8 ~ H'000002FB			3			
		TGI4D	191	H'000002FC ~ H'000002FF			4			
		TCI4V	192	H'00000300 ~ H'00000303	0 - 15(0)	IPR11(11 ~ 8)	-			
	MTU5	TGI5U	196	H'00000310 ~ H'00000313	0 - 15(0)	IPR11(7 ~ 4)	1			
		TGI5V	197	H'00000314 ~ H'00000317			2			
		TGI5W	198	H'00000318 ~ H'0000031B			3			
POE2	OEI1		200	H'00000320 ~ H'00000323	0 - 15(0)	IPR11(3 ~ 0)	1			
	OEI2		201	H'00000324 ~ H'00000327			2			
MTU2S	MTU3S	TGI3A	204	H'00000330 ~ H'00000333	0 - 15(0)	IPR12(15 ~ 12)	1			
		TGI3B	205	H'00000334 ~ H'00000337			2			
		TGI3C	206	H'00000338 ~ H'0000033B			3			
		TGI3D	207	H'0000033C ~ H'0000033F			4			
		TCI3V	208	H'00000340 ~ H'00000343			0 - 15(0)	IPR12(11 ~ 8)	-	

6. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
MTU2S	MTU4S	TGI4A	212	H'00000350 - H'00000353	0 - 15(0)	IPR12(7~4)	1	 ↑ ↓ 低
		TGI4B	213	H'00000354 - H'00000357			2	
		TGI4C	214	H'00000358 - H'0000035B			3	
		TGI4D	215	H'0000035C - H'0000035F			4	
		TCI4V	216	H'00000360 - H'00000363			0 - 15(0)	
	MTU5S	TGI5U	220	H'00000370 - H'00000373	0 - 15(0)	IPR13(15~12)	1	
		TGI5V	221	H'00000374 - H'00000377			2	
		TGI5W	222	H'00000378 - H'0000037B			3	
POE2	OEI3	224	H'00000380 - H'00000383	0 - 15(0)	IPR13(11~8)	-		
IIC3	STPI	228	H'00000390 - H'00000393	0 - 15(0)	IPR13(7~4)	1		
	NAKI	229	H'00000394 - H'00000397			2		
	RXI	230	H'00000398 - H'0000039B			3		
	TXI	231	H'0000039C - H'0000039F			4		
	TEI	232	H'000003A0 - H'000003A3			5		
SCIF	SCIF0	BRI0	240	H'000003C0 - H'000003C3	0 - 15(0)	IPR14(15~12)	1	
		ERI0	241	H'000003C4 - H'000003C7			2	
		RXI0	242	H'000003C8 - H'000003CB			3	
		TXI0	243	H'000003CC - H'000003CF			4	
	SCIF1	BRI1	244	H'000003D0 - H'000003D3	0 - 15(0)	IPR14(11~8)	1	
		ERI1	245	H'000003D4 - H'000003D7			2	
		RXI1	246	H'000003D8 - H'000003DB			3	
		TXI1	247	H'000003DC - H'000003DF			4	
	SCIF2	BRI2	248	H'000003E0 - H'000003E3	0 - 15(0)	IPR14(7~4)	1	
		ERI2	249	H'000003E4 - H'000003E7			2	
		RXI2	250	H'000003E8 - H'000003EB			3	
		TXI2	251	H'000003EC - H'000003EF			4	
	SCIF3	BRI3	252	H'000003F0 - H'000003F3	0 - 15(0)	IPR14(3~0)	1	
		ERI3	253	H'000003F4 - H'000003F7			2	
		RXI3	254	H'000003F8 - H'000003FB			3	
		TXI3	255	H'000003FC - H'000003FF			4	
	WAVEIF	ERR	256	H'00000400 - H'00000403	0 - 15(0)	IPR15(15~12)	1	
WRXI		257	H'00000404 - H'00000407	2				
WTXI		258	H'00000408 - H'0000040B	3				

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05 ~ 15 (IPR01、IPR02、IPR05 ~ IPR15) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表6.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) とが比較されます。I3 ~ I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図6.4参照)。
6. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
7. ステータスレジスタ (SR) がスタックに退避され、SRのI3 ~ I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
8. プログラムカウンタ (PC) がスタックに退避されます。
9. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。
10. $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「6.4.4 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

6. 割り込みコントローラ (INTC)

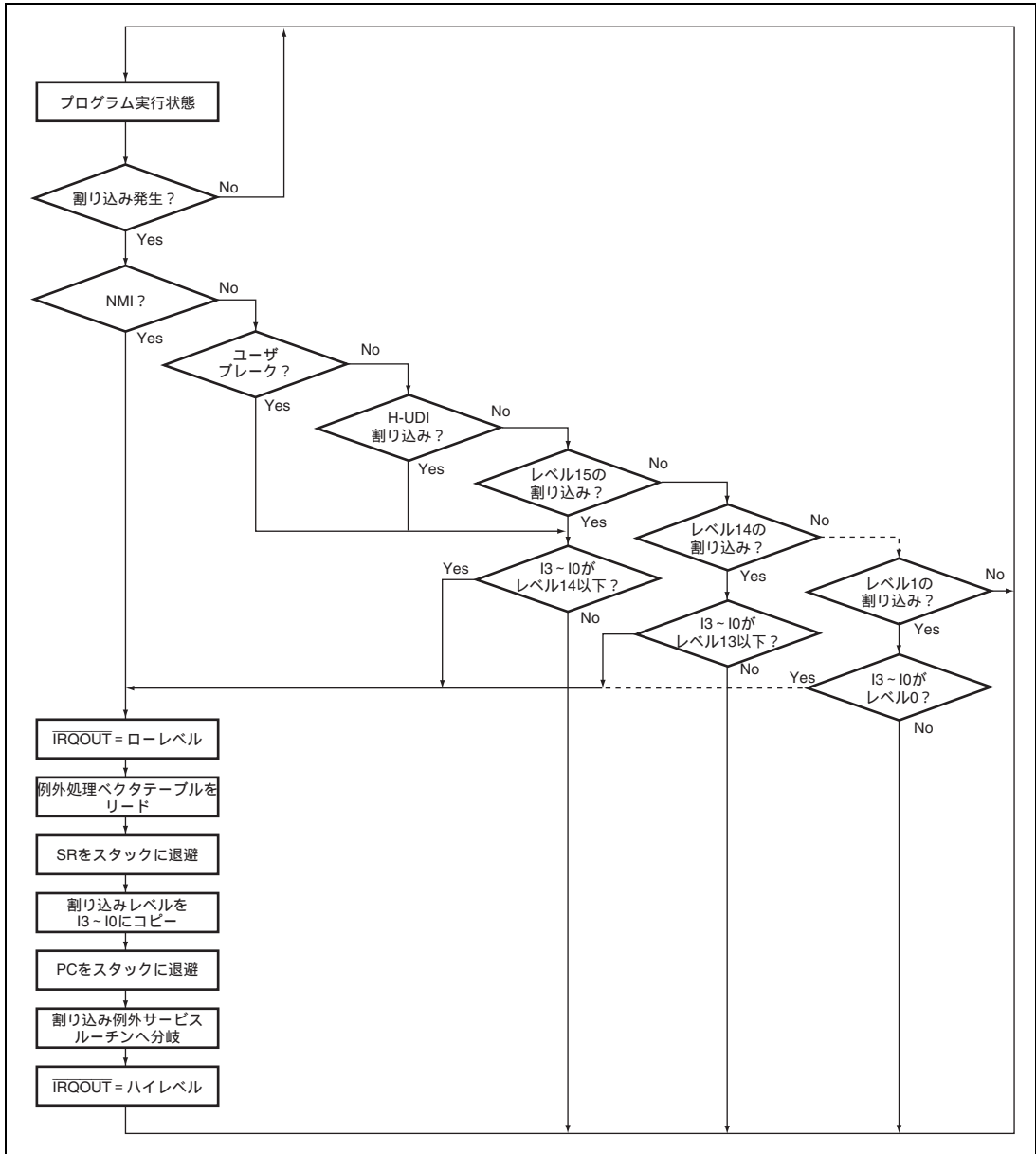


図 6.2 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

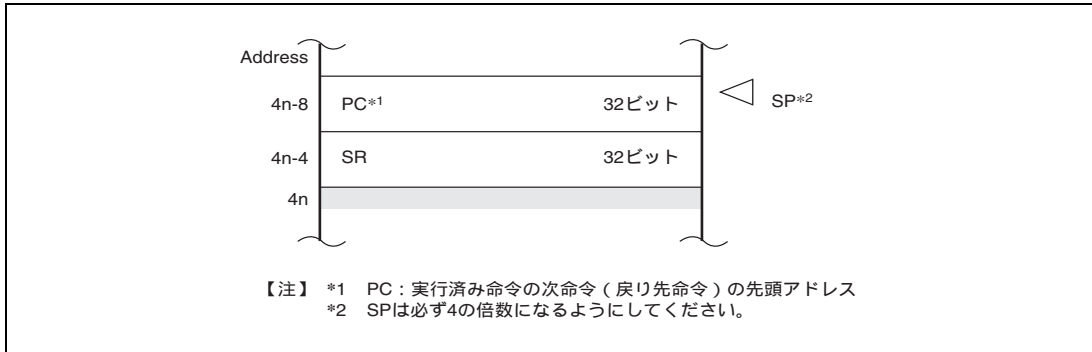


図 6.3 割り込み例外処理終了後のスタック状態

6. 割り込みコントローラ (INTC)

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 6.4、図 6.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 6.6、図 6.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 6.8、図 6.9 に示します。

表 6.5 割り込み応答時間

項 目			ステート数					備考
			NMI	ユーザ ブレイク	H-UDI	IRQ	周辺 モジュール	
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間			2lcyc+ 2Bcyc+ 1Pcyc	3lcyc	2lcyc+ 1Pcyc	2lcyc+ 3Bcyc+ 1Pcyc	2lcyc+ 1Bcyc+ 1Pcyc	
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。
		最大値	4lcyc+2(m1+m2)+m3					
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	-	12lcyc+m1+m2				
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	-	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	-	3lcyc+m1+m2+19(m4)				

6. 割り込みコントローラ (INTC)

項 目			ステート数					備考
			NMI	ユーザ ブレイク	H-UDI	IRQ	周辺 モジュール	
応答時間	レジスタバンク なし。	最小値	$5\text{lcyc}+2\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$6\text{lcyc}+m1+$ $m2$	$5\text{lcyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{lcyc}+1\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	160MHz 動作時 *1,*2 : 0.050 ~ 0.106 μs
		最大値	$6\text{lcyc}+2\text{Bcyc}+$ $1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$7\text{lcyc}+$ $2(m1+m2)+$ $m3$	$6\text{lcyc}+1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$6\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$6\text{lcyc}+1\text{Bcyc}+$ $1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	160MHz 動作時 *1,*2 : 0.075 ~ 0.131 μs
	レジスタバンク あり。 レジスタバンク オーバーフローなし。	最小値	-	-	$5\text{lcyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{lcyc}+1\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	160MHz 動作時 *1,*2 : 0.050 ~ 0.106 μs
		最大値	-	-	$14\text{lcyc}+1\text{Pcyc}+$ $+m1+m2$	$14\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+m2$	$14\text{lcyc}+1\text{Bcyc}+$ $+1\text{Pcyc}+m1+$ $m2$	160MHz 動作時 *1,*2 : 0.106 ~ 0.163 μs
	レジスタバンク あり。 レジスタバンク オーバーフローあり。	最小値	-	-	$5\text{lcyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{lcyc}+1\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	160MHz 動作時 *1,*2 : 0.050 ~ 0.106 μs
		最大値	-	-	$5\text{lcyc}+1\text{Pcyc}+$ $m1+m2+$ $19(m4)$	$5\text{lcyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2+19(m4)$	$5\text{lcyc}+1\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2+19(m4)$	160MHz 動作時 *1,*2 : 0.169 ~ 0.225 μs

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR) のスタックからの復帰

*1 : m1=m2=m3=m4=1lcyc の場合

*2 : l :B :P =160MHz : 40MHz : 40MHz の場合

6. 割り込みコントローラ (INTC)

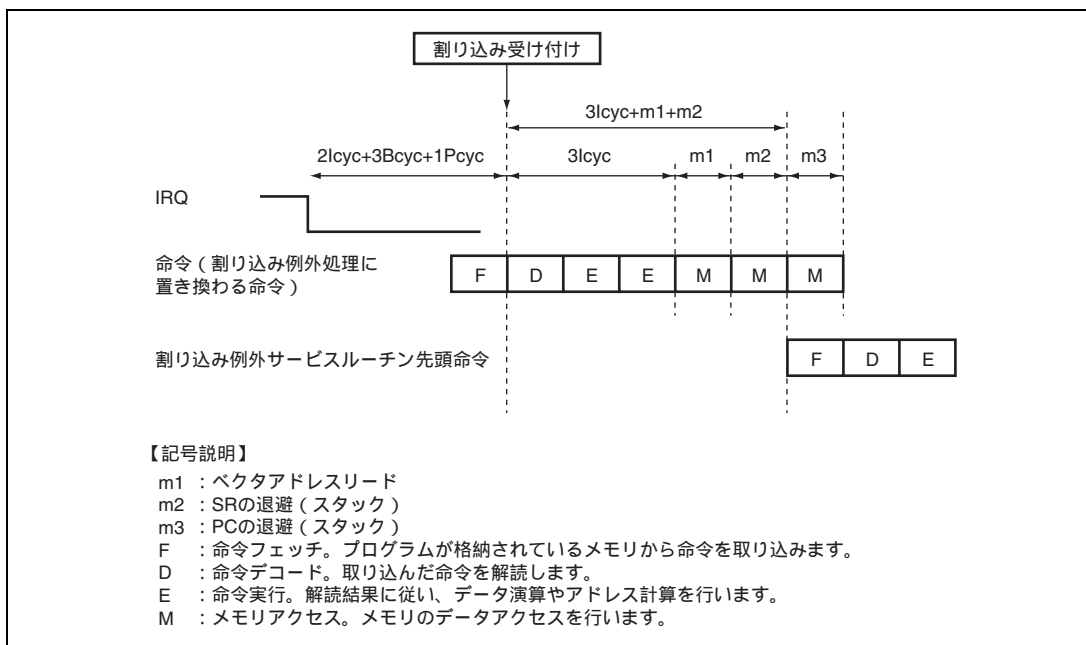


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

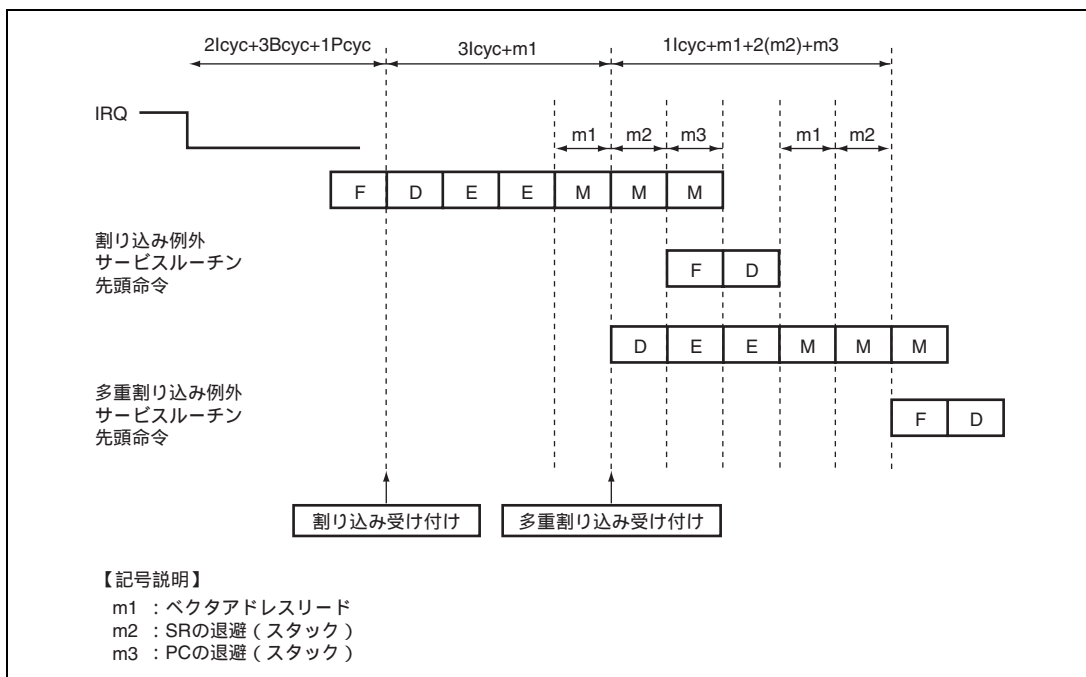


図 6.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

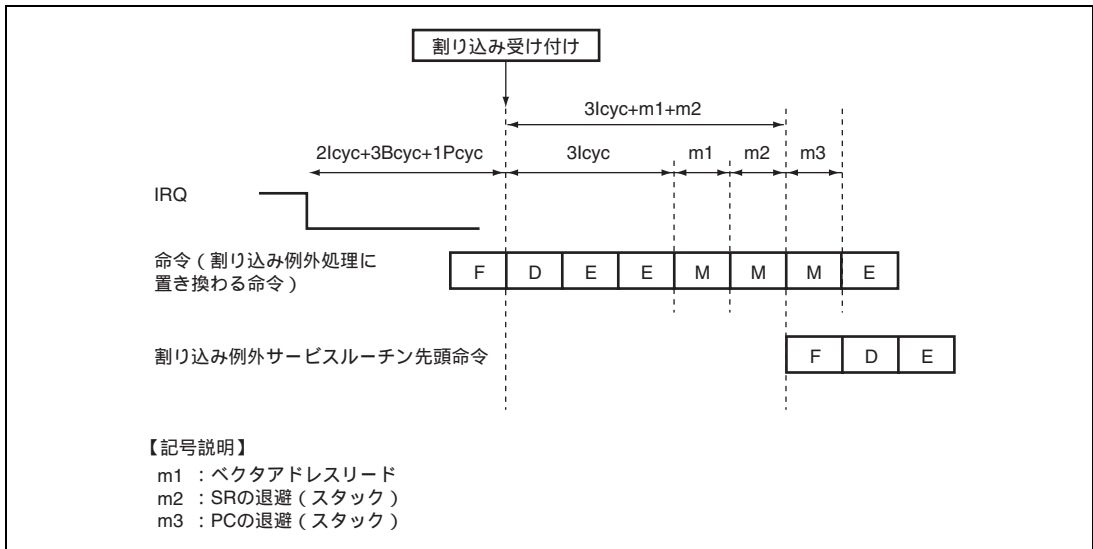


図 6.6 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

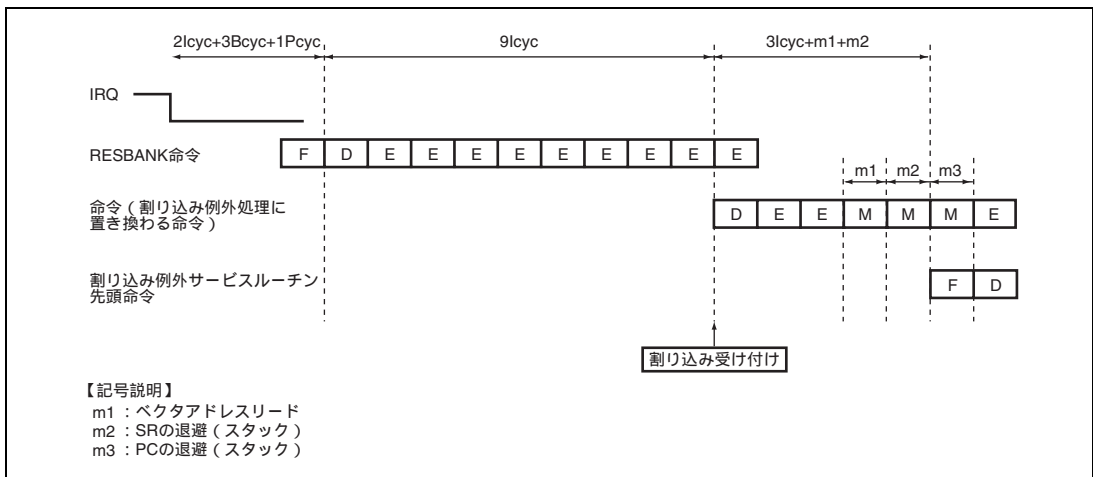


図 6.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

6. 割り込みコントローラ (INTC)

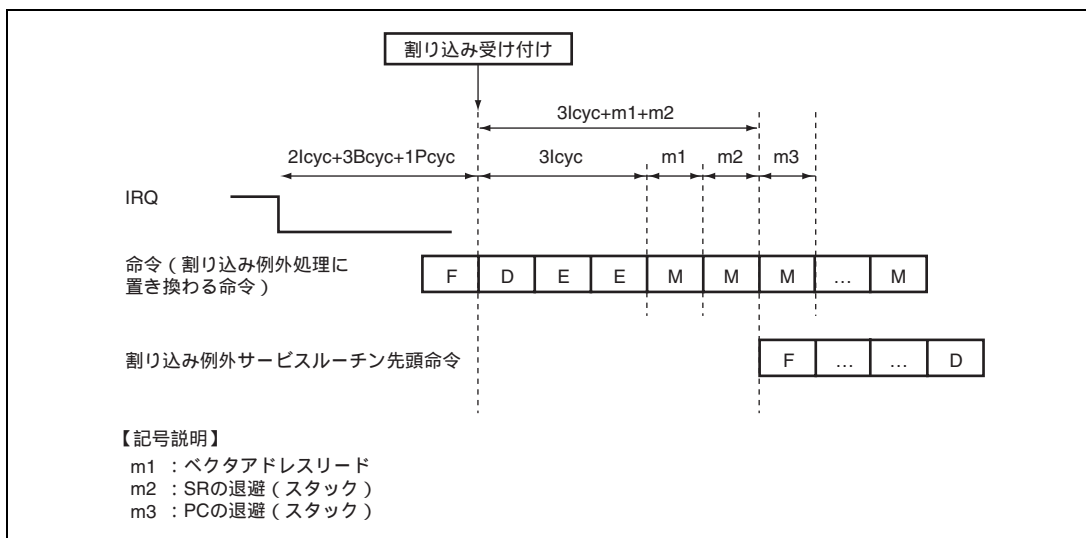


図 6.8 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

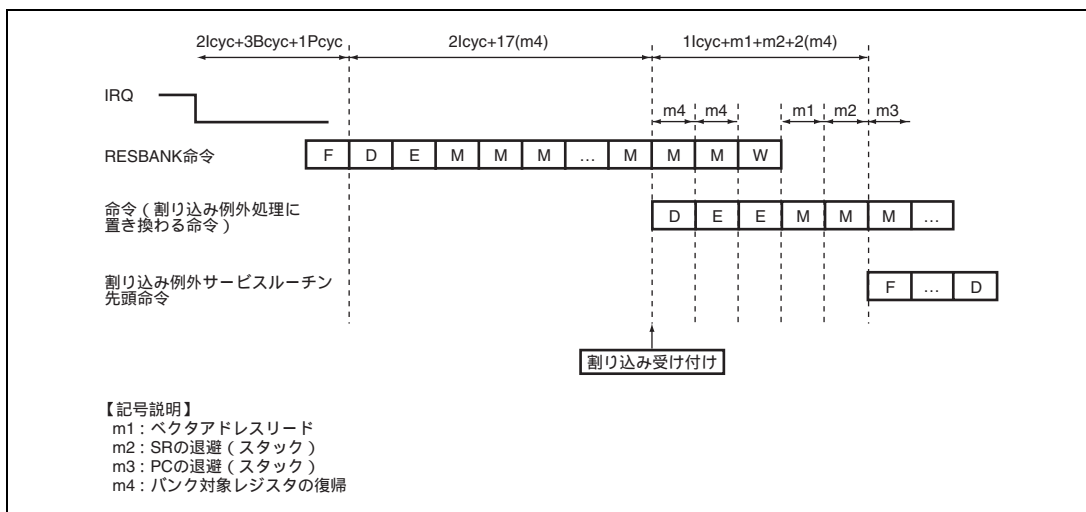


図 6.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

6.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 6.10 に示します。

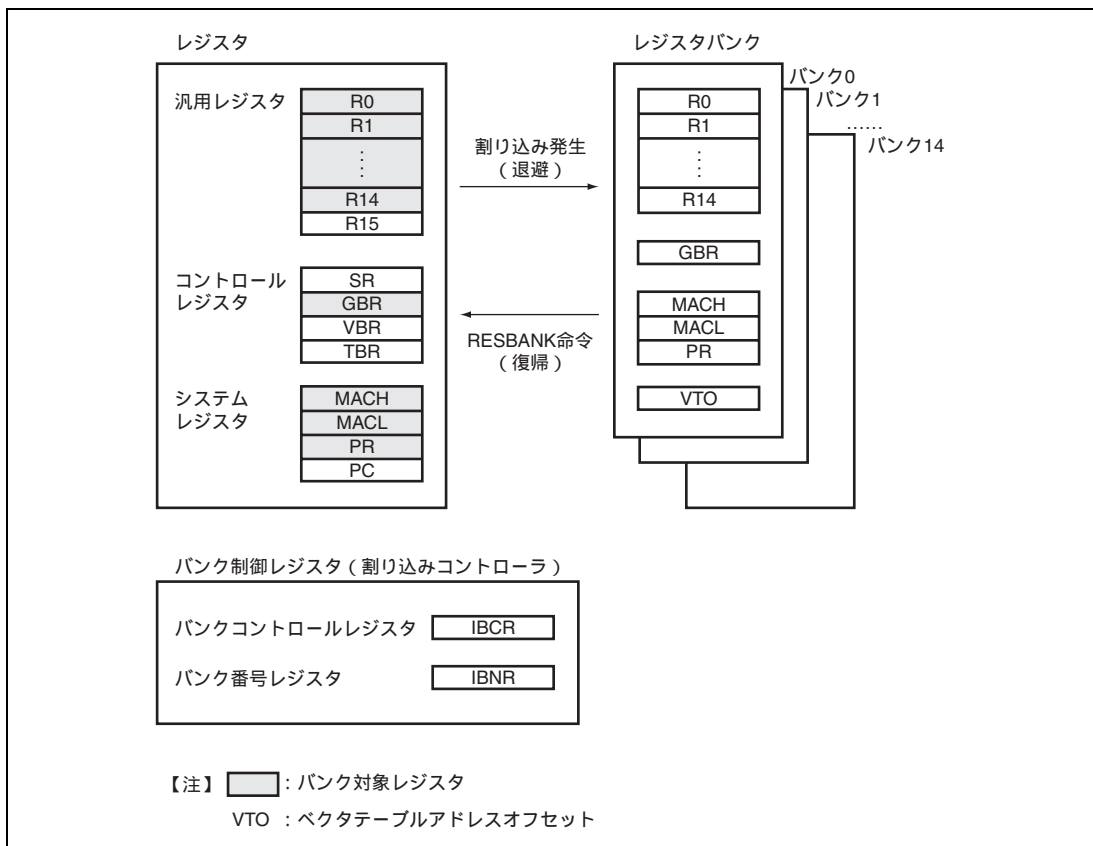


図 6.10 レジスタバンクの構成の概要

6.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) レジスタバンク

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

6. 割り込みコントローラ (INTC)

6.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 6.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

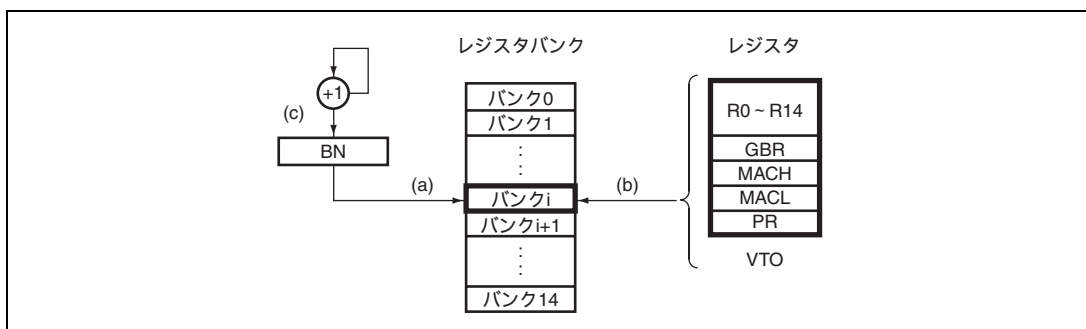


図 6.11 バンク退避の動作

図 6.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

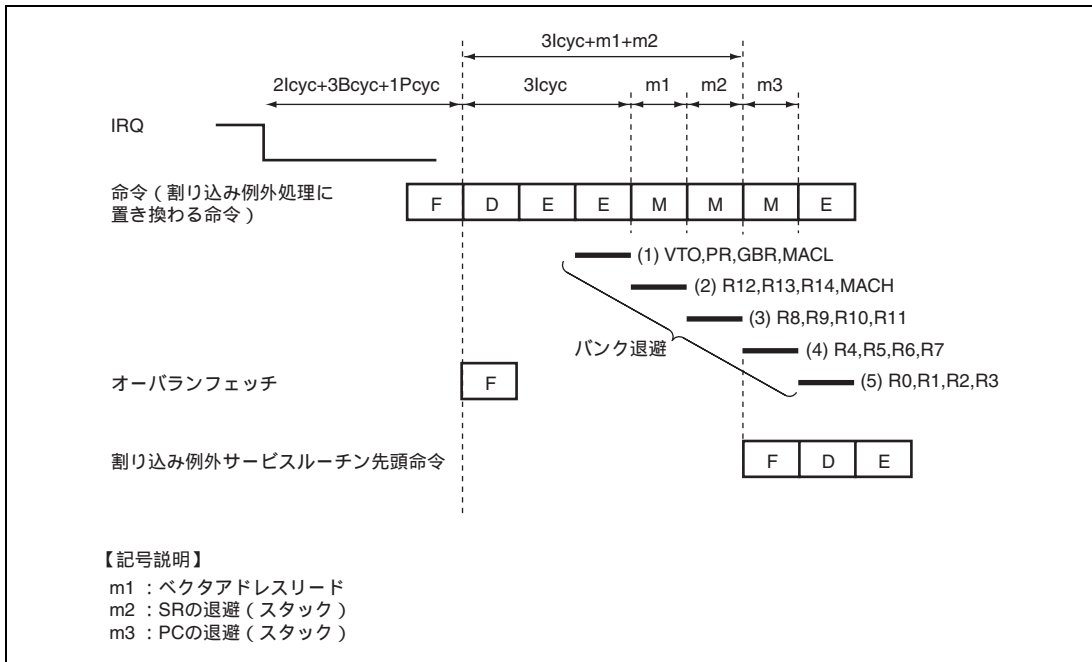


図 6.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

6.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0 ~ R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0 ~ R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

6.8.4 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0 ~ R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は 0 のまま変化しません。

6.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバフロー時の退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避する PC の値は、当該の RESBANK 命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外サービスルーチン開始アドレスからプログラムを実行します。

6.9 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。

割り込み要因の中で DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択 0} + \text{DE1} \cdot \text{要因選択 1} + \text{DE2} \cdot \text{要因選択 2} + \text{DE3} \cdot \text{要因選択 3} + \text{DE4} \cdot \text{要因選択 4} + \text{DE5} \cdot \text{要因選択 5} + \text{DE6} \cdot \text{要因選択 6} + \text{DE7} \cdot \text{要因選択 7})$$

割り込み制御ブロック図を図 6.13 に示します。

ここで DME は DMAC の DMAOR のビット 0、DE_n (n=0~7) は DMAC の CHCR0~CHCR7 のビット 0 です。詳細は「第 9 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

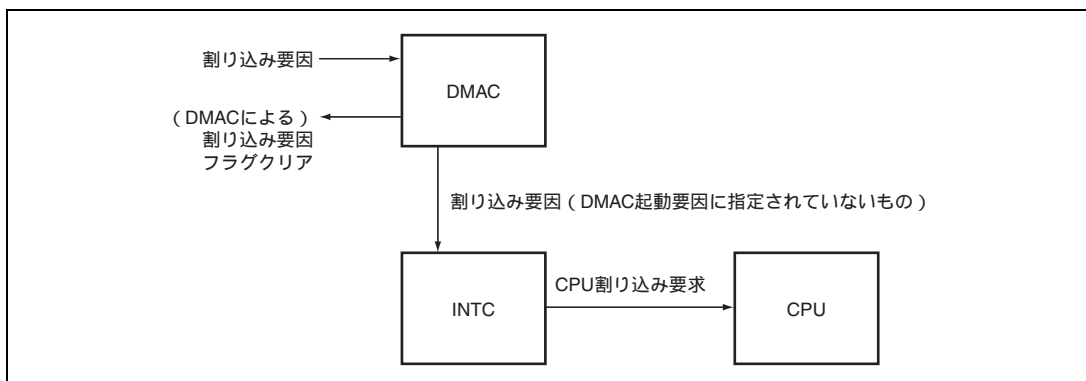


図 6.13 割り込み制御ブロック図

6.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMAC で要因を選択しないか、または DME ビットを 0 にクリアします。また、DMAC で要因を選択している場合には、DMAC の当該チャンネルの DE ビットを 0 にクリアします。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

6.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMACで要因を選択し、DE = 1、DME = 1にセットします。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

6.10 使用上の注意事項

6.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

7. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件として、命令フェッチまたはデータの読み出し / 書き込み (データの読み出し / 書き込みの場合はバスマスタ (CPU、DMAC))、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

7.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数 : 4チャンネル (チャンネル0~3)

ユーザブ레이크は、チャンネル0、1、2、3独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

3種類のアドレスバス (Fバスアドレス (FAB)、Mバスアドレス (MAB)、Iバスアドレス (IAB)) を選択できます。

- Iバス選択時のバスマスタ

CPUサイクル、DMACサイクル

- バスサイクル

命令フェッチ (Cバス選択時のみ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件成立を $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子に出力できます。

7. ユーザブレイクコントローラ (UBC)

図 7.1 に UBC のブロック図を示します。

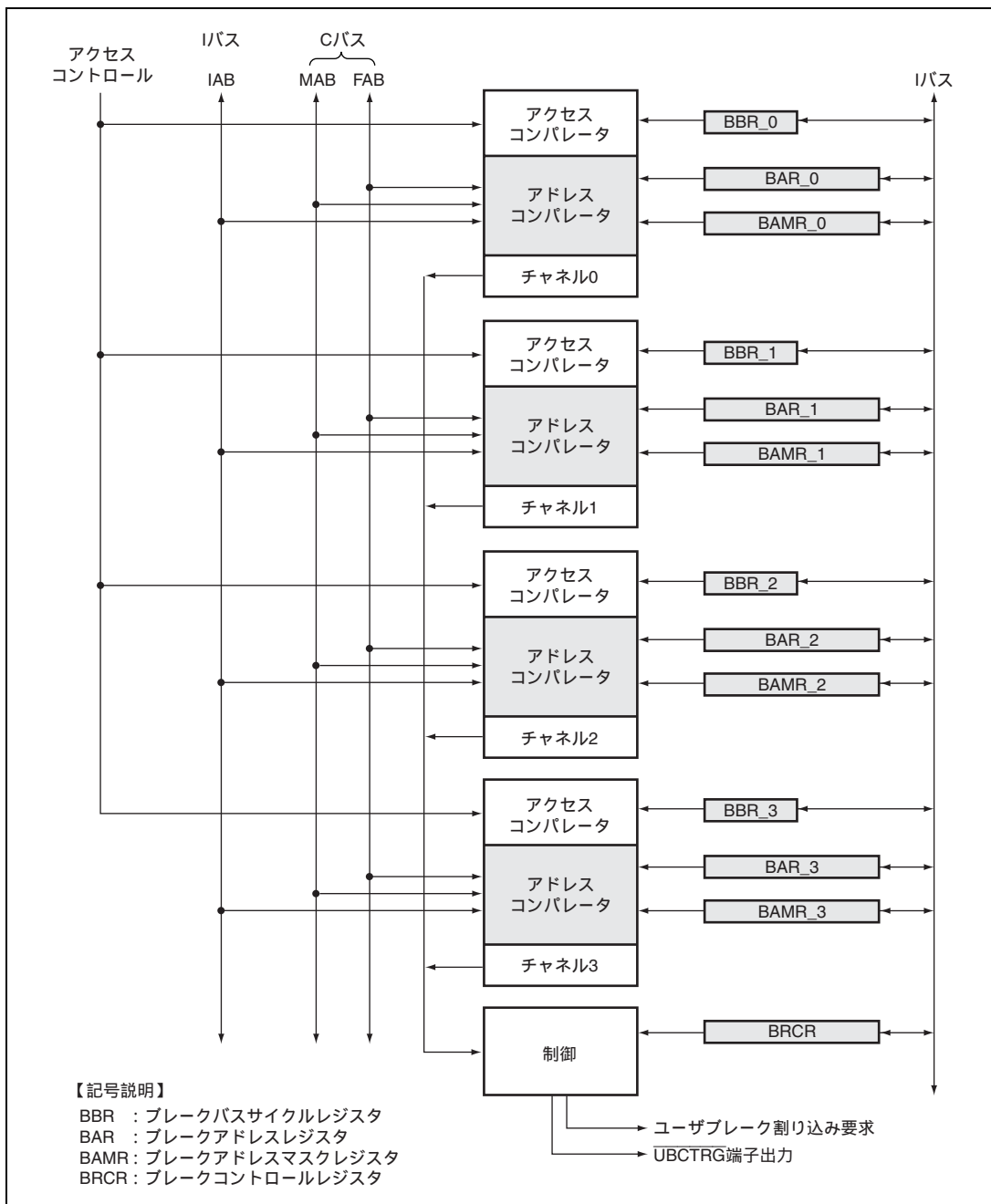


図 7.1 UBC のブロック図

7.2 入出力端子

UBC の端子構成を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
UBC トリガ	UBCTRG	出力	UBC のチャンネル 0、1、2、3 のいずれかで設定条件が成立したことを示します

7. ユーザブ레이크コントローラ (UBC)

7.3 レジスタの説明

UBC には以下のレジスタがあります。

表 7.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	ブ레이크アドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
1	ブ레이크アドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
2	ブ레이크アドレスレジスタ_2	BAR_2	R/W	H'00000000	H'FFFC0420	32
	ブ레이크アドレスマスクレジスタ_2	BAMR_2	R/W	H'00000000	H'FFFC0424	32
	ブ레이크バスサイクルレジスタ_2	BBR_2	R/W	H'0000	H'FFFC04A4	16
3	ブ레이크アドレスレジスタ_3	BAR_3	R/W	H'00000000	H'FFFC0430	32
	ブ레이크アドレスマスクレジスタ_3	BAMR_3	R/W	H'00000000	H'FFFC0434	32
	ブ레이크バスサイクルレジスタ_3	BBR_3	R/W	H'0000	H'FFFC04B4	16
共通	ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

7.3.1 ブ레이크アドレスレジスタ_0 (BAR_0)

BAR_0 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_0 は、チャンネル0 のブ레이크条件とするアドレスを指定します。チャンネル0 ブ레이크条件の対象とするアドレスバスは3種類あり、ブ레이크バスサイクルレジスタ_0 (BBR_0) の制御ビットの CD0_1、CD0_0 により選択します。BAR_0 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24	BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
31~0	BA0_31 ~ BA0_0	すべて 0	R/W	ブ레이크アドレス 0 チャンネル 0 のブ레이크条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR_0 により C バスかつ命令フェッチサイクルを選択した場合は、BA0_31 ~ BA0_0 に FAB のアドレスを指定します。 BBR_0 により C バスかつデータアクセスサイクルを選択した場合は、BA0_31 ~ BA0_0 に MAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR_0 の LSB を 0 にクリアしてください。

7.3.2 ブ레이크アドレスマスクレジスタ_0 (BAMR_0)

BAMR_0 は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR_0 は、BAR_0 で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。BAMR_0 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM0_31 ~ BAM0_0	すべて 0	R/W	ブ레이크アドレスマスク 0 BAR_0 (BA0_31 ~ BA0_0) によって指定されるチャンネル 0 のブ레이크アドレスビットのうち、マスクするビットを指定します。 0: ブ레이크アドレスビット BA0_n は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BA0_n はマスクされ、ブ레이크条件に含まれない

【注】 n=31~0

7. ユーザブレイクコントローラ (UBC)

7.3.3 ブレークパスサイクルレジスタ_0 (BBR_0)

BBR_0は、チャンネル0のブレーク条件として(1)ユーザブレイク割り込みの禁止/許可、(2)データバスの値を含める/含めない、(3)Iバスのバスマスタ、(4)CバスサイクルまたはIバスサイクル、(5)命令フェッチまたはデータアクセス、(6)読み出しまたは書き込み、および(7)オペランドサイズを指定する16ビットの読み出しまたは書き込み可能なレジスタです。BBR_0はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID0	-	-	-	CP0[1:0]		CD0[1:0]		ID0[1:0]		RW0[1:0]		SZ0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	UBID0	0	R/W	ユーザブレイク割り込みディスエーブル0 チャンネル0の条件一致時にユーザブレイク割り込み要求の禁止/許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	CP0[1:0]	00	R/W	Iバスのバスマスタセレクト0 チャンネル0ブレーク条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効(CPUサイクルのみ)となります。 x1: ブレーク条件は、CPUサイクルを含みます 1x: ブレーク条件は、DMACサイクルを含みます
7、6	CD0[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト0 チャンネル0ブレーク条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Cバス(Fバス、Mバス)サイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Cバス(Fバス、Mバス)サイクル

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説 明
5、4	ID0[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト 0</p> <p>チャンネル 0 ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、命令フェッチサイクル</p> <p>10 : ブ레이크条件は、データアクセスサイクル</p> <p>11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW0[1:0]	00	R/W	<p>読み出し / 書き込みセレクト 0</p> <p>チャンネル 0 ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、読み出しサイクル</p> <p>10 : ブ레이크条件は、書き込みサイクル</p> <p>11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ0[1:0]	00	R/W	<p>オペランドサイズセレクト 0</p> <p>チャンネル 0 ブ레이크条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブ레이크条件には、オペランドサイズを含まない</p> <p>01 : ブ레이크条件は、バイトアクセス</p> <p>10 : ブ레이크条件は、ワードアクセス</p> <p>11 : ブ레이크条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

7. ユーザブレイクコントローラ (UBC)

7.3.4 ブレイクアドレスレジスタ_1 (BAR_1)

BAR_1 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_1 は、チャンネル1のブレイク条件とするアドレスを指定します。チャンネル1ブレイク条件の対象とするアドレスバスは3種類あり、ブレイクバスサイクルレジスタ_1 (BBR_1) の制御ビット CD1_1、CD1_0 により選択します。BAR_1 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24	BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8	BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA1_31 ~ BA1_0	すべて0	R/W	ブレイクアドレス 1 チャンネル1のブレイク条件を指定する CPU アドレスバス(FAB または MAB) または IAB のアドレスを格納します。 BBR_1 により C バスかつ命令フェッチサイクルを選択した場合は、BA1_31 ~ BA1_0 に FAB のアドレスを指定します。 BBR_1 により C バスかつデータアクセスサイクルを選択した場合は、 BA1_31 ~ BA1_0 に MAB のアドレスを指定します。

【注】 ブレイク条件として命令フェッチサイクルを設定する場合は、BAR_1 の LSB を 0 にクリアしてください。

7.3.5 ブ레이크アドレスマスクレジスタ₁ (BAMR₁)

BAMR₁ は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR₁ は、BAR₁ で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。BAMR₁ はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24	BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8	BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM1_31 ~ BAM1_0	すべて 0	R/W	ブ레이크アドレスマスク 1 BAR ₁ (BA1_31~BA1_0) によって指定されるチャンネル 1 のブ레이크アドレスビットのうち、マスクするビットを指定します。 0 : ブ레이크アドレスビット BA1_n は、ブ레이크条件に含まれる 1 : ブ레이크アドレスビット BA1_n はマスクされ、ブ레이크条件に含まれない

【注】 n = 31 ~ 0

7. ユーザブ레이크コントローラ (UBC)

7.3.6 ブレークパスサイクルレジスタ_1 (BBR_1)

BBR_1 は、チャンネル1のブ레이크条件として(1)ユーザブ레이크割り込みの禁止/許可、(2)データバスの値を含める/含めない、(3)Iバスのバスマスタ、(4)CバスサイクルまたはIバスサイクル、(5)命令フェッチまたはデータアクセス、(6)読み出しまたは書き込み、および(7)オペランドサイズを指定する16ビットの読み出しまたは書き込み可能なレジスタです。BBR_1はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID1	-	-	-	CP1[1:0]		CD1[1:0]		ID1[1:0]		RW1[1:0]		SZ1[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	UBID1	0	R/W	ユーザブ레이크割り込みディスエーブル1 チャンネル1の条件一致時にユーザブ레이크割り込み要求の禁止/許可を指定します。 0: ユーザブ레이크割り込み要求を許可する 1: ユーザブ레이크割り込み要求を禁止する
12~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	CP1[1:0]	00	R/W	Iバスのバスマスタセレクト1 チャンネル1ブ레이크条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効(CPUサイクルのみ)となります。 x1: ブ레이크条件は、CPUサイクルを含みませ 1x: ブ레이크条件は、DMACサイクルを含みませ
7、6	CD1[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト1 チャンネル1ブ레이크条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は、Cバスサイクル 10: ブ레이크条件は、Iバスサイクル 11: ブ레이크条件は、Cバスサイクル

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
5、4	ID1[1:0]	00	R/W	<p>命令フェッチ/データアクセスセレクト1</p> <p>チャンネル1ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合はCバスサイクルを選択してください。</p> <p>00：条件比較を行わない</p> <p>01：ブ레이크条件は、命令フェッチサイクル</p> <p>10：ブ레이크条件は、データアクセスサイクル</p> <p>11：ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW1[1:0]	00	R/W	<p>読み出し/書き込みセレクト1</p> <p>チャンネル1ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00：条件比較を行わない</p> <p>01：ブ레이크条件は、読み出しサイクル</p> <p>10：ブ레이크条件は、書き込みサイクル</p> <p>11：ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ1[1:0]	00	R/W	<p>オペランドサイズセレクト1</p> <p>チャンネル1ブ레이크条件のバスサイクルのオペランドサイズを選択します。</p> <p>00：ブ레이크条件は、オペランドサイズを含まない</p> <p>01：ブ레이크条件は、バイトアクセス</p> <p>10：ブ레이크条件は、ワードアクセス</p> <p>11：ブ레이크条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

7. ユーザブ레이크コントローラ (UBC)

7.3.7 ブ레이크アドレスレジスタ_2 (BAR_2)

BAR_2 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_2 は、チャンネル2 のブ레이크条件とするアドレスを指定します。チャンネル2 ブ레이크条件の対象とするアドレスバスは3 種類あり、ブ레이크バスサイクルレジスタ_2 (BBR_2) の制御ビット CD2_1、CD2_0 により選択します。BAR_2 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24	BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8	BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA2_31 ~ BA2_0	すべて0	R/W	ブ레이크アドレス 2 チャンネル2 のブ레이크条件を指定する CPU アドレスバス(FAB または MAB) または IAB のアドレスを格納します。 BBR_2 により C バスかつ命令フェッチサイクルを選択した場合は、BA2_31 ~ BA2_0 に FAB のアドレスを指定します。 BBR_2 により C バスかつデータアクセスサイクルを選択した場合は、 BA2_31 ~ BA2_0 に MAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR_2 の LSB を 0 にクリアしてください。

7.3.8 ブ레이크アドレスマスクレジスタ_2 (BAMR_2)

BAMR_2 は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR_2 は、BAR_2 で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。BAMR_2 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24	BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8	BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM2_31 ~ BAM2_0	すべて 0	R/W	ブ레이크アドレスマスク 2 BAR_2 (BA2_31~BA2_0) によって指定されるチャンネル 2 のブ레이크アドレスビットのうち、マスクするビットを指定します。 0: ブ레이크アドレスビット BA2_n は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BA2_n はマスクされ、ブ레이크条件に含まれない

【注】n=31~0

7.3.9 ブ레이크バスサイクルレジスタ_2 (BBR_2)

BBR_2 は、チャンネル 2 のブ레이크条件として (1) ユーザブ레이크割り込みの禁止 / 許可、(2) データバスの値を含める / 含めない、(3) Iバスのバスマスタ、(4) Cバスサイクルまたは Iバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しまたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_2 はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID2	-	-	-	CP2[1:0]	CD2[1:0]	ID2[1:0]	RW2[1:0]	SZ2[1:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
13	UBID2	0	R/W	<p>ユーザブレイク割り込みディスエーブル 2</p> <p>チャンネル 2 の条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。</p> <p>0 : ユーザブレイク割り込み要求を許可する 1 : ユーザブレイク割り込み要求を禁止する</p>
12 ~ 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9、8	CP2[1:0]	00	R/W	<p>I バスのバスマスタセレクト 2</p> <p>チャンネル 2 ブ레이크条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。</p> <p>x1 : ブ레이크条件は、CPU サイクルを含みます 1x : ブ레이크条件は、DMAC サイクルを含みます</p>
7、6	CD2[1:0]	00	R/W	<p>C バスサイクル / I バスサイクルセレクト 2</p> <p>チャンネル 2 ブ레이크条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブ레이크条件は、C バス (F バス、M バス) サイクル 10 : ブ레이크条件は、I バスサイクル 11 : ブ레이크条件は、C バス (F バス、M バス) サイクル</p>
5、4	ID2[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト 2</p> <p>チャンネル 2 ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない 01 : ブ레이크条件は、命令フェッチサイクル 10 : ブ레이크条件は、データアクセスサイクル 11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW2[1:0]	00	R/W	<p>読み出し / 書き込みセレクト 2</p> <p>チャンネル 2 ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブ레이크条件は、読み出しサイクル 10 : ブ레이크条件は、書き込みサイクル 11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
1, 0	SZ2[1:0]	00	R/W	オペランドサイズセレクト 2 チャンネル 2 ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00: ブ레이크条件には、オペランドサイズを含まない 01: ブ레이크条件は、バイトアクセス 10: ブ레이크条件は、ワードアクセス 11: ブ레이크条件は、ロングワードアクセス

【記号説明】 x : Don't care

7.3.10 ブ레이크アドレスレジスタ_3 (BAR_3)

BAR_3 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_3 は、チャンネル 3 のブ레이크条件とするアドレスを指定します。チャンネル 3 ブ레이크条件の対象とするアドレスバスは 3 種類あり、ブ레이크バスサイクルレジスタ_3 (BBR_3) の制御ビット CD3_1、CD3_0 により選択します。BAR_3 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24	BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8	BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA3_31 ~ BA3_0	すべて 0	R/W	ブ레이크アドレス 3 チャンネル 3 のブ레이크条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR_3 により C バスかつ命令フェッチサイクルを選択した場合は、BA3_31 ~ BA3_0 に FAB のアドレスを指定します。 BBR_3 により C バスかつデータアクセスサイクルを選択した場合は、BA3_31 ~ BA3_0 に MAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR_3 の LSB を 0 にクリアしてください。

7. ユーザブ레이크コントローラ (UBC)

7.3.11 ブ레이크アドレスマスクレジスタ₃ (BAMR₃)

BAMR₃ は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR₃ は、BAR₃ で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。BAMR₃ はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24	BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8	BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM3_31 ~ BAM3_0	すべて 0	R/W	ブ레이크アドレスマスク 3 BAR ₃ (BA3_31~BA3_0) によって指定されるチャンネル 3 のブ레이크アドレスビットのうち、マスクするビットを指定します。 0: ブ레이크アドレスビット BA3_n は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BA3_n はマスクされ、ブ레이크条件に含まれない

【注】 n = 31 ~ 0

7.3.12 ブ레이크バスサイクルレジスタ₃ (BBR₃)

BBR₃ は、チャンネル 3 のブ레이크条件として (1) ユーザブ레이크割り込みの禁止 / 許可、(2) データバスの値を含める / 含めない、(3) Iバスのバスマスタ、(4) Cバスサイクルまたは Iバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しまたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR₃ はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID3	-	-	-	CP3[1:0]	CD3[1:0]	ID3[1:0]	RW3[1:0]	SZ3[1:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
13	UBID3	0	R/W	<p>ユーザブレイク割り込みディスエーブル 3</p> <p>チャンネル3の条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。</p> <p>0 : ユーザブレイク割り込み要求を許可する 1 : ユーザブレイク割り込み要求を禁止する</p>
12~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9、8	CP3[1:0]	00	R/W	<p>Iバスのバスマスタセレクト 3</p> <p>チャンネル3 ブレイク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。</p> <p>x1 : ブレイク条件は、CPU サイクルを含みます 1x : ブレイク条件は、DMAC サイクルを含みます</p>
7、6	CD3[1:0]	00	R/W	<p>C バスサイクル / I バスサイクルセレクト 3</p> <p>チャンネル3 ブレイク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、C バス (F バス、M バス) サイクル 10 : ブレイク条件は、I バスサイクル 11 : ブレイク条件は、C バス (F バス、M バス) サイクル</p>
5、4	ID3[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト 3</p> <p>チャンネル3 ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、命令フェッチサイクル 10 : ブレイク条件は、データアクセスサイクル 11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW3[1:0]	00	R/W	<p>読み出し / 書き込みセレクト 3</p> <p>チャンネル3 ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、読み出しサイクル 10 : ブレイク条件は、書き込みサイクル 11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>

7. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
1, 0	SZ3[1:0]	00	R/W	オペランドサイズセレクト 3 チャンネル 3 ブレイク条件のバスサイクルのオペランドサイズを選択します。 00: ブレイク条件には、オペランドサイズを含まない 01: ブレイク条件は、バイトアクセス 10: ブレイク条件は、ワードアクセス 11: ブレイク条件は、ロングワードアクセス

【記号説明】 x : Don't care

7.3.13 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. ブレイクを命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 15~12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC ₀	SCMFC ₁	SCMFC ₂	SCMFC ₃	SCMFD ₀	SCMFD ₁	SCMFD ₂	SCMFD ₃	PCB3	PCB2	PCB1	PCB0	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。 00: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 1 周期分にする 01: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 2 周期分にする 10: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 4 周期分にする 11: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 8 周期分にする

7. ユーザブレークコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
15	SCMFC0	0	R/W	<p>C バスサイクル条件一致フラグ 0</p> <p>チャンネル 0 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 0 に対する C バスサイクル条件不一致 1 : チャンネル 0 に対する C バスサイクル条件一致</p>
14	SCMFC1	0	R/W	<p>C バスサイクル条件一致フラグ 1</p> <p>チャンネル 1 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致</p>
13	SCMFC2	0	R/W	<p>C バスサイクル条件一致フラグ 2</p> <p>チャンネル 2 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 2 に対する C バスサイクル条件不一致 1 : チャンネル 2 に対する C バスサイクル条件一致</p>
12	SCMFC3	0	R/W	<p>C バスサイクル条件一致フラグ 3</p> <p>チャンネル 3 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 3 に対する C バスサイクル条件不一致 1 : チャンネル 3 に対する C バスサイクル条件一致</p>
11	SCMFD0	0	R/W	<p>I バスサイクル条件一致フラグ 0</p> <p>チャンネル 0 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致</p>
10	SCMFD1	0	R/W	<p>I バスサイクル条件一致フラグ 1</p> <p>チャンネル 1 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致</p>

7. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
9	SCMFD2	0	R/W	Iバスサイクル条件一致フラグ2 チャンネル2にセットしたブ레이크条件のIバスサイクル条件を満足すると、このフラグは1にセットされます。このフラグをクリアするには、このビットに0を書き込みます。 0: チャンネル2に対するIバスサイクル条件不一致 1: チャンネル2に対するIバスサイクル条件一致
8	SCMFD3	0	R/W	Iバスサイクル条件一致フラグ3 チャンネル3にセットしたブ레이크条件のIバスサイクル条件を満足すると、このフラグは1にセットされます。このフラグをクリアするには、このビットに0を書き込みます。 0: チャンネル3に対するIバスサイクル条件不一致 1: チャンネル3に対するIバスサイクル条件一致
7	PCB3	0	R/W	PCブ레이크セレクト3 チャンネル3に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル3のPCブ레이크を命令実行前に設定 1: チャンネル3のPCブ레이크を命令実行後に設定
6	PCB2	0	R/W	PCブ레이크セレクト2 チャンネル2に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル2のPCブ레이크を命令実行前に設定 1: チャンネル2のPCブ레이크を命令実行後に設定
5	PCB1	0	R/W	PCブ레이크セレクト1 チャンネル1に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル1のPCブ레이크を命令実行前に設定 1: チャンネル1のPCブ레이크を命令実行後に設定
4	PCB0	0	R/W	PCブ레이크セレクト0 チャンネル0に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0: チャンネル0のPCブ레이크を命令実行前に設定 1: チャンネル0のPCブ레이크を命令実行後に設定
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.4 動作説明

7.4.1 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크割り込み例外処理までの動作の流れは、次のとおりです。

- ブ레이크アドレスは、ブ레이크アドレスレジスタ (BAR) に指定します。マスクするアドレスをブ레이크アドレスマスクレジスタ (BAMR) に指定します。バスブ레이크条件をブ레이크バスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブ레이크は発生しません。ブ레이크制御は、BRCCRのビットにセットします。すべてのブ레이크関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
- ブ레이크条件を満足すると、UBCはユーザブ레이크要求をCPUに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、UBCTR \overline{G} 端子にCKS1、CKS0ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブ레이크割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
- ユーザブ레이크割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブ레이크割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブ레이크割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
- 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。
- チャンネル0、チャンネル1、チャンネル2、チャンネル3で設定したブ레이크がほぼ同時に発生する場合があります。CPUに対するブ레이크割り込み要求は1つだけであっても、これらの4つのブ레이크チャンネル一致フラグは4つともセットされる場合があります。
- ブ레이크条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはBBRで指定したバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - CPUのCバス上での命令フェッチに起因したIバスサイクル (リードフィルサイクルを含む) をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブ레이크条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブ레이크を受け付けるかを一意に決定することはできません。

7. ユーザブレイクコントローラ (UBC)

7.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までブレイクは発生しません。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までブレイクは発生しません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

7.4.3 データアクセスサイクルでのブ레이크

1. データアクセスブ레이크において、ブ레이크条件としてCバスを指定した場合は、実行された命令によりアクセスされた論理アドレスに対して条件比較を行いブ레이크が発生します。ブ레이크条件としてIバスを指定した場合は、Iバスのバスマスタセレクトで指定したバスマスタが発行するデータアクセスサイクルの物理アドレスに対して条件比較を行いブ레이크が発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「7.4.1 ユーザブ레이크動作の流れ」の6.の項を参照してください。
2. 表7.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブ레이크アドレスレジスタのビット 31～2 とアドレスバスのビット 31～2 を比較
ワード	ブ레이크アドレスレジスタのビット 31～1 とアドレスバスのビット 31～1 を比較
バイト	ブ레이크アドレスレジスタのビット 31～0 とアドレスバスのビット 31～0 を比較

これは、たとえばブ레이크アドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブ레이크条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. データアクセスサイクルを選択している場合は、ブ레이크の発生する命令を特定することはできません。

7. ユーザブレイクコントローラ (UBC)

7.4.4 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてCバス (FAB) / 命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス / データアクセスサイクル、またはIバス / データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス (FAB) / 命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

2. Cバス (FAB) / 命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. Cバス / データアクセスサイクルまたはIバス / データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

7.4.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

• レジスタ指定

BAR_0 = H'00000404, BAMR_0 = H'00000000, BBR_0 = H'0054,

BAR_1 = H'00008010, BAMR_1 = H'00000006, BBR_1 = H'0054, BRCCR = H'00000020

<チャンネル0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0 = H'00027128、BAMR_0 = H'00000000、BBR_0 = H'005A、

BAR_1 = H'00031415、BAMR_1 = H'00000000、BBR_1 = H'0054、BRCCR = H'00000000

<チャンネル0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス : H'00031415、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BBR_0 = H'0054、BAR_0 = H'00008404、BAMR_0 = H'00000FFF、

BBR_1 = H'0054、BAR_1 = H'00008010、BAMR_1 = H'00000006、BRCCR = H'00000020

<チャンネル0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

7. ユーザブレイクコントローラ (UBC)

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

- レジスタ指定

BBR_0 = H'0064、BAR_0 = H'00123456、BAMR_0 = H'00000000、

BBR_1 = H'006A、BAR_1 = H'000ABCDE、BAMR_1 = H'000000FF、BRCR = H'00000000

<チャンネル0>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

バスサイクル : Cバス / データアクセス / 書き込み / ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00 ~ H'000ABCFEにワードを書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

- レジスタ指定 :

BBR_0 = H'0094、BAR_0 = H'00314156、BAMR_0 = H'00000000、

BBR_1 = H'12A9、BAR_1 = H'00055555、BAMR_1 = H'00000000、BRCR = H'00000000

<チャンネル0>

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00055555、アドレスマスク : H'00000000

バスサイクル : Iバス / データアクセス / 書き込み / バイト

チャンネル0では、Iバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクはIバス上でDMACがバイトデータをアドレスH'00055555に書き込むときに生じます (CPUの場合は生じません)。

7.5 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブ레이크が発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブ레이크割り込み要求と他の例外要因が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外要因が発生した場合は、ユーザブ레이크割り込み要求は受け付けられません。
4. 遅延スロットでブ레이크が発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブ레이크を設定した場合は、その分岐先の実行前までユーザブ레이크割り込み要求は受け付けられません。
5. UBCモジュールスタンバイ時は、ユーザブ레이크機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブ레이크割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブ레이크アドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブ레이크を設定しないでください。
8. 32ビット命令にブ레이크アドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブ레이크アドレスを設定した場合、ブ레이크条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブ레이크を設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブ레이크を設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブ레이크が発生します。
10. 同一アドレスに命令実行前ブ레이크と命令実行後ブ레이크を同時に設定しないでください。たとえば、同一アドレスに対して、同時にチャンネル0命令実行前 / チャンネル1命令実行後ブ레이크を設定した場合、チャンネル0で命令実行前にブ레이크が発生してもチャンネル1の命令実行後の条件一致フラグが成立します。

7. ユーザブレークコントローラ (UBC)

8. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

8.1 特長

BSC には、次の特長があります。

1. 外部アドレス空間

- CS0 ~ CS7 の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック同期または非同期)、MPX-I/O、SDRAMのメモリ種類を指定可能
- 空間ごとに、データバス幅 (8ビットまたは16ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

4. MPX-I/Oインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能

8. バスステートコントローラ (BSC)

5. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- 低周波数モード、パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

6. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

7. バーストROM (クロック同期) インタフェース

- クロック同期タイプのバーストROMを直結可能

8. バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

9. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

10. リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 8.1 に BSC のブロック図を示します。

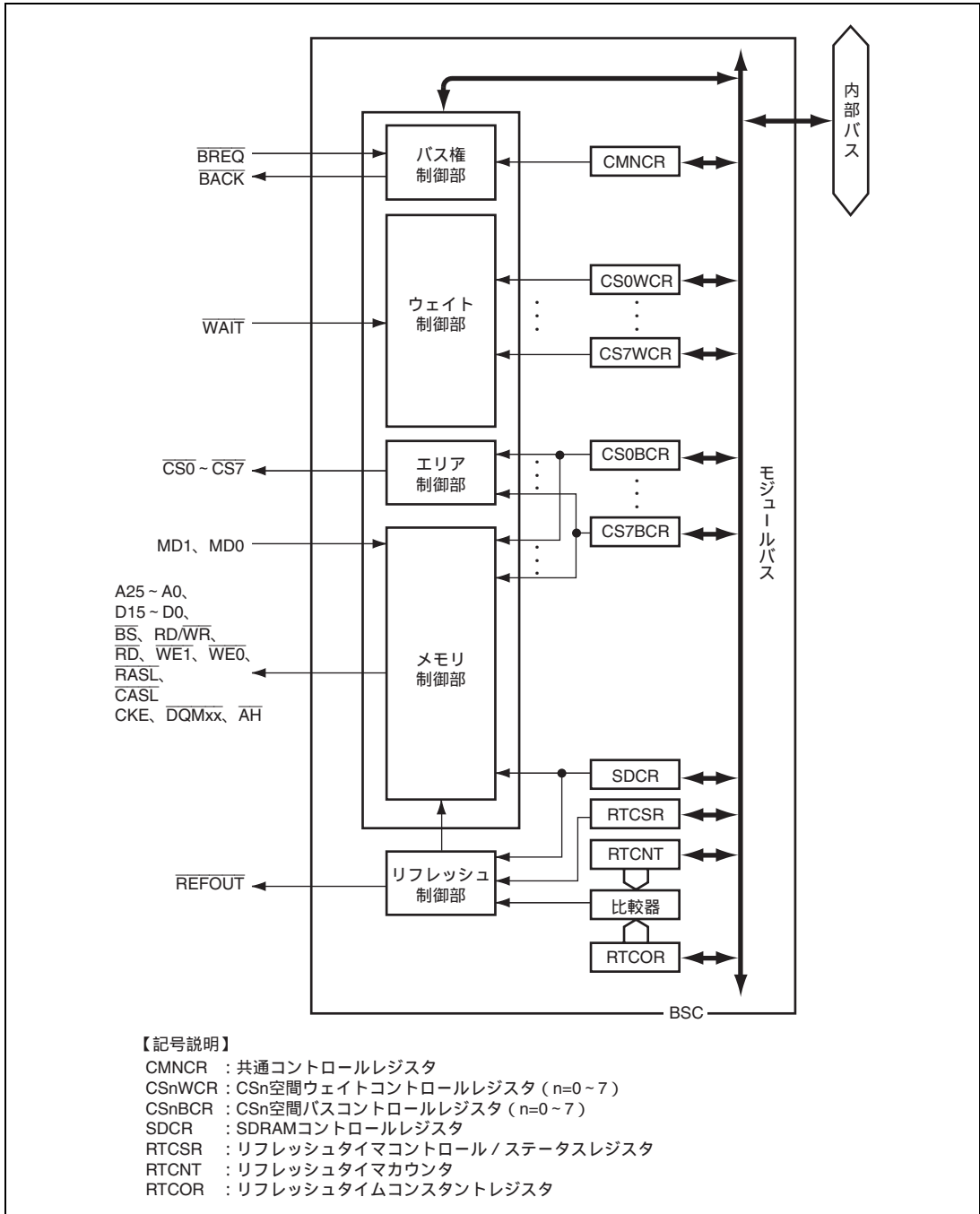


図 8.1 BSC のブロック図

8. バスステートコントローラ (BSC)

8.2 入出力端子

BSC の端子構成を表 8.1 に示します。

表 8.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D15 ~ D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号
CS0 ~ CS7	出力	チップセレクト
RD/WR	出力	リードまたはライト信号 SDRAM およびバイト選択付き SRAM 接続時は、WE 端子に接続
RD	出力	リードパルス信号 (リードデータ出力許可信号)
AH	出力	MPX-I/O 使用時は、アドレスをホールドするための信号
WE1/DQMLU	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号
WE0/DQMLL	出力	D7 ~ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ~ D0 対応の選択信号
RASL	出力	SDRAM 接続時は、RAS 端子に接続
CASL	出力	SDRAM 接続時は、CAS 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
WAIT	入力	外部ウェイト入力
BREQ	入力	バス権要求入力
BACK	出力	バス使用許可出力
REFOUT	出力	バス解放時リフレッシュ実行要求出力
MD1、MD0	入力	エリア 0 のバス幅 (8 / 16 ビット) 選択、 内蔵 ROM 有効 / 無効選択などのモード選択

8.3 エリアの概要

8.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、外部アドレス空間、内蔵空間（内蔵 ROM、内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 8.2 内蔵 ROM 有効モード時のアドレスマップ

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'0007 FFFF	内蔵 ROM	内蔵 ROM	512K バイト
H'0008 0000 ~ H'01FF FFFF	その他	予約エリア	-
H'0200 0000 ~ H'03FF FFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM (非同期、同期)	32M バイト
H'0400 0000 ~ H'07FF FFFF	CS1	通常空間、バイト選択付き SRAM	64M バイト
H'0800 0000 ~ H'0BFF FFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'1000 0000 ~ H'13FF FFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM(非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O	64M バイト
H'1800 0000 ~ H'1BFF FFFF	CS6	通常空間、バイト選択付き SRAM	64M バイト
H'1C00 0000 ~ H'1FFF FFFF	CS7	通常空間、バイト選択付き SRAM	64M バイト
H'2000 0000 ~ H'FFF7 FFFF	その他	予約エリア	-
H'FFF8 0000 ~ H'FFFB FFFF	その他	内蔵 RAM、予約エリア*	-
H'FFFC 0000 ~ H'FFFF FFFF	その他	内蔵周辺モジュール、予約エリア*	-

【注】 * 内蔵 RAM 空間は「第 22 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 26 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

8. バスステートコントローラ (BSC)

表 8.3 内蔵 ROM 無効モード時のアドレスマップ

アドレス	空間	メモリ種類	サイズ
H'0000 0000 ~ H'03FF FFFF	CS0	通常空間、バイト選択付き SRAM、 バースト ROM (非同期、同期)	64M バイト
H'0400 0000 ~ H'07FF FFFF	CS1	通常空間、バイト選択付き SRAM	64M バイト
H'0800 0000 ~ H'0BFF FFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'0C00 0000 ~ H'0FFF FFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	64M バイト
H'1000 0000 ~ H'13FF FFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM(非同期)	64M バイト
H'1400 0000 ~ H'17FF FFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O	64M バイト
H'1800 0000 ~ H'1BFF FFFF	CS6	通常空間、バイト選択付き SRAM	64M バイト
H'1C00 0000 ~ H'1FFF FFFF	CS7	通常空間、バイト選択付き SRAM	64M バイト
H'2000 0000 ~ H'FFF7 FFFF	その他	予約エリア	-
H'FFF8 0000 ~ H'FFFB FFFF	その他	内蔵 RAM、予約エリア*	-
H'FFFC 0000 ~ H'FFFF FFFF	その他	内蔵周辺モジュール、予約エリア*	-

【注】 * 内蔵 RAM 空間は「第 22 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵 I/O レジスタ空間のアクセスは「第 26 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

8.3.2 動作モードの設定

本 LSI は、パワーオンリセット時に外部端子を用いて、以下に示す動作モードの設定を行うことができます。

- シングルチップモード

シングルチップモードでは、外部バスのアクセスは行われず、パワーオンリセットから内蔵ROMプログラムで起動します。BSCモジュールはモジュールスタンバイ状態に遷移し、消費電力を抑えます。

- 内蔵ROM有効モード / 内蔵ROM無効モード

内蔵ROM有効モードでは、エリア0の前半が内蔵ROMに割り当てられるため、パワーオンリセットから内蔵ROMプログラムで起動できます。エリア0の後半は外部メモリ空間になります。

内蔵ROM無効モードでは、エリア0に割り当てられた外部メモリに格納されているプログラムで起動します。この場合、エリア0の外部メモリはROMを想定していますので、アドレスバス、データバス、CS0、RDなどの最低限の端子機能となっています。本章に記載しているアクセス波形例では、BS、RDWR、WEnなどの端子も示していますが、これらはピンファンクションコントローラで端子設定した場合の例です。詳細は、「第19章 ピンファンクションコントローラ (PFC)」を参照してください。プログラムによる端子設定が完了するまでは、エリア0のリードアクセス以外は行わないでください。

- エリア0～7のデータバス幅の初期状態設定

エリア0～7のデータバス幅の初期状態設定を一括で8ビット、16ビットから選択できます。

内蔵ROM無効モードでは、エリア0のバス幅はパワーオンリセット後、初期状態から変更できません。エリア1～7のデータバス幅は、プログラム内でレジスタ設定することにより変更が可能です。内蔵ROM有効モードでは、エリア0～7のすべてのデータバス幅をプログラム内でレジスタ設定することにより変更が可能です。利用されるメモリタイプによっては、データバス幅が制限されるものもありますのでご注意ください。

- ビッグエンディアン / リトルエンディアンの初期状態設定

エリア0～7のバイトデータの並び方の初期状態設定をビッグエンディアン、リトルエンディアンから選択できます。内蔵ROM無効モードでは、エリア0のエンディアンはパワーオンリセット後、初期状態から変更できません。エリア1～7のエンディアンは、プログラム内でレジスタ設定することにより変更が可能です。内蔵ROM有効モードでは、エリア0～7のすべてのエンディアンをプログラム内でレジスタ設定することにより変更が可能です。エリア0をリトルエンディアンにすることはできません。また、命令フェッチは32ビットアクセスと16ビットアクセスが混在し、リトルエンディアン領域への配置は困難ですので、命令実行はビッグエンディアン領域から行ってください。

モード設定の方法については、「第3章 MCU 動作モード」を参照してください。

8. バスステートコントローラ (BSC)

8.4 レジスタの説明

BSC には、以下のレジスタがあります。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 8.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'0000 1010	H'FFFC 0000	32
CSn 空間バスコントロールレジスタ	CSnBCR	R/W	H'36DB 0400 (16 ビットバス幅起動時)	H'FFFC 0004 ~ H'FFFC 0020	32
CSn 空間ウェイトコントロールレジスタ	CSnWCR	R/W	H'0000 0500	H'FFFC 0028 ~ H'FFFC 0044	32
SDRAM コントロールレジスタ	SDCR	R/W	H'0000 0000	H'FFFC 004C	32
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'0000 0000	H'FFFC 0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'0000 0000	H'FFFC 0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'0000 0000	H'FFFC 0058	32

8.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。パワーオンリセット時に H'0000 1010 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BLOCK	DPRTY[1:0]	DMAIW[2:0]		DMA IWA	-	-	HIZ CKIO	HIZ MEM	HIZ CNT		
初期値 :	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11	BLOCK	0	R/W	<p>バスロックビット</p> <p>$\overline{\text{BREQ}}$を受け付けるかどうかを指定します。</p> <p>0: $\overline{\text{BREQ}}$を受け付けます。</p> <p>1: $\overline{\text{BREQ}}$を受け付けません。</p>
10、9	DPRTY[1:0]	00	R/W	<p>DMA バースト転送優先順位</p> <p>本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。</p> <p>00: DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。</p> <p>01: DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。</p> <p>10: DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。</p> <p>11: 予約 (設定禁止)</p>
8~6	DMAIW[2:0]	000	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000: アイドルサイクルなし</p> <p>001: 1 アイドルサイクル挿入</p> <p>010: 2 アイドルサイクル挿入</p> <p>011: 4 アイドルサイクル挿入</p> <p>100: 6 アイドルサイクル挿入</p> <p>101: 8 アイドルサイクル挿入</p> <p>110: 10 アイドルサイクル挿入</p> <p>111: 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0: DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入</p> <p>1: DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に1が読み出されます。書き込み時も常に1にしてください。</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
2	HIZCKIO	0	R/W	High-Z CK コントロール 本ビットは、CK スタンバイモード時およびバス権解放時の状態を指定します。 0: CK は、スタンバイモード時およびバス権解放時にハイインピーダンス 1: CK は、スタンバイモード時およびバス権解放時にドライブ
1	HIZMEM	0	R/W	High-Z メモリコントロール 本ビットは、A25~A0、 \overline{BS} 、 \overline{CSn} 、 $\overline{RD}/\overline{WR}$ 、 $\overline{WEn}/\overline{DQMxx}$ 、 \overline{AH} 、 \overline{RD} のスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。 0: スタンバイモード時にハイインピーダンス 1: スタンバイモード時にドライブ
0	HIZCNT	0	R/W	High-Z コントロール 本ビットは、 \overline{CKE} 、 \overline{RASL} 、 \overline{CASL} のスタンバイモード時およびバス権解放時の状態を指定します。 0: \overline{CKE} 、 \overline{RASL} 、 \overline{CASL} は、スタンバイモード時およびバス権解放時にハイインピーダンス 1: \overline{CKE} 、 \overline{RASL} 、 \overline{CASL} は、スタンバイモード時およびバス権解放時にドライブ

8.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、エンディアン、およびアクセスサイクル間ウェイト数を設定します。パワーオンリセット時は、H'36DB 0x00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「8.5.10 アクセスサイクル間アイドル」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]		IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]		IWRRS[2:0]				
初期値 :	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]		ENDIAN	BSZ[1:0]		-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】* データバス幅を指定する外部端子 (MD1、MD0) の値をパワーオンリセット時にサンプリングします。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30~28	IWW[2:0]	011	R/W	ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
27~25	IWRWD[2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS[2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
21~19	IWRRD[2:0]	011	R/W	<p>別空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
18~16	IWRRS[2:0]	011	R/W	<p>同一空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
14~12	TYPE[2:0]	000	R/W	<p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>000 : 通常空間 001 : バースト ROM (クロック非同期) 010 : MPX-I/O 011 : バイト選択付き SRAM 100 : SDRAM 101 : 予約 (設定禁止) 110 : 予約 (設定禁止) 111 : バースト ROM (クロック同期)</p> <p>エリアごとのメモリタイプは表 8.2、表 8.3 を参照してください。</p>
11	ENDIAN	0	R/W	<p>エンディアン指定</p> <p>本ビットは、空間のデータ並びを指定します。</p> <p>0 : ビッグエンディアンとして動作 1 : リトルエンディアンとして動作</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10、9	BSZ[1:0]	11*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00：予約（設定禁止）</p> <p>01：8ビット</p> <p>10：16ビット</p> <p>11：予約（設定禁止）</p> <p>MPX-I/O時は、アドレスによるバス幅選択</p> <p>【注】 1. エリア5をMPX-I/Oに設定した場合は、本ビットの設定を11に設定すると、バス幅はCS5WCRのSZSELに従ったアドレスによりバス幅（8ビットまたは16ビット）が選択されます。また、固定バス幅では8または16ビットバス幅が設定可能です。</p> <p>2. エリア0～7の初期状態のデータバス幅は、外部端子で設定します。内蔵ROM無効モード時は、CS0BCRのBSZ[1:0]ビットへの書き込みは無視されますが、CS1BCR～CS7BCRのバス幅変更は可能です。内蔵ROM有効モードでは、CS0BCR～CS7BCRのバス幅変更は可能です。</p> <p>3. エリア2またはエリア3をSDRAM空間に設定した場合は、バス幅は16ビットのみ設定が可能です。</p> <p>4. エリア0またはエリア4をクロック同期バーストROM空間に設定した場合は、バス幅は16ビットのみ設定が可能です。</p>
8～0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>

【注】 * データバス幅を指定する外部端子（MD1、MD0）の値をパワーオンリセット時にサンプリングします。

8.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR レジスタは、CSnBCR レジスタを設定後に設定してください。

CSnWCR は、パワーオンリセット時は H'0000 0500 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず内容が保持されます。

(1) 通常空間、バイト選択付き SRAM、MPX-I/O

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]				WR[3:0]			WM	-	-	-	-	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	- *	すべて 0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は 0 にしてください。
20	BAS*	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE_n}$ は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~13	- *	すべて 0	R/W	リザーブビット 通常空間、バイト選択付き SRAM インタフェース時は 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS_0}$ アサート \overline{RD} 、 $\overline{WE_n}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_0}$ アサートから \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE\bar{n} ネゲート アドレス、CS$\bar{0}$ ネゲート遅延サイクル数</p> <p>本ビットは、RD、WE\bar{n} ネゲートから、アドレス、CS$\bar{0}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

【注】 * ROM 無効モードで、CS $\bar{0}$ 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0]を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

8. バスステートコントローラ (BSC)

• CS1WCR、CS7WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数)と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}n$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}n$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、$\overline{WE_n}$ ネゲート アドレス、$\overline{CS_n}$ ネゲート 遅延サイクル数</p> <p>本ビットは、\overline{RD}、$\overline{WE_n}$ ネゲート から、アドレス、$\overline{CS_n}$ ネゲート までの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

8. バスステートコントローラ (BSC)

• CS2WCR、CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]			WM	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CS4}$ アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS4}$ アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE} ネゲート アドレス、$\overline{CS4}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE} ネゲートから、アドレス、$\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS5WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW/ BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																				
31~22	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>																				
21	SZSEL	0	R/W	<p>MPX-I/O インタフェースバス幅指定ビット</p> <p>本ビットは、CS5BCR の BSZ[1:0] を 11 に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。</p> <p>0 : アドレス A14 によりバス幅選択 1 : アドレス A21 によりバス幅選択</p> <p>SZSEL ビットと A14、A21 によるバス幅選択の関係について示します。</p> <table border="1" data-bbox="581 1317 1185 1514"> <thead> <tr> <th>SZSEL</th> <th>A14</th> <th>A21</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>影響なし</td> <td>8 ビットバス幅</td> </tr> <tr> <td>0</td> <td>1</td> <td>影響なし</td> <td>16 ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>0</td> <td>8 ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>1</td> <td>16 ビットバス幅</td> </tr> </tbody> </table>	SZSEL	A14	A21	説明	0	0	影響なし	8 ビットバス幅	0	1	影響なし	16 ビットバス幅	1	影響なし	0	8 ビットバス幅	1	影響なし	1	16 ビットバス幅
SZSEL	A14	A21	説明																					
0	0	影響なし	8 ビットバス幅																					
0	1	影響なし	16 ビットバス幅																					
1	影響なし	0	8 ビットバス幅																					
1	影響なし	1	16 ビットバス幅																					

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
20	MPXW	0	R/W	MPX-I/O インタフェースアドレスウェイト 本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。本ビットは、MPX-I/O インタフェースのアドレスサイクル挿入ウェイトを設定します。 0: ウェイトなし 1: 1 サイクルウェイト挿入
	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本設定は、エリア 5 をバイト選択付き SRAM に設定したときのみ有効です。本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数)と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}5$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}5$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>RD、WE\bar{n} ネゲート アドレス、CS$\bar{5}$ ネゲート 遅延サイクル数</p> <p>本ビットは、RD、WE\bar{n} ネゲート から、アドレス、CS$\bar{5}$ ネゲート までの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

8. バスステートコントローラ (BSC)

• CS6WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]				WR[3:0]		WM	-	-	-	-	HW[1:0]	
初期値 :	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS6}$ アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 このビットは、アドレス、 $\overline{CS6}$ アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE\bar{n} ネゲート アドレス、CS$\bar{6}$ ネゲート遅延サイクル数</p> <p>本ビットは、RD、WE\bar{n} ネゲートから、アドレス、CS$\bar{6}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

(2) パーストROM (クロック非同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明															
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
21, 20	BST[1:0]	00	R/W	パースト数指定 本ビットは、16バイトアクセス発生時のパースト数を指定します。 BST[1:0]のB'11設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>パースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8ビット</td> <td>00</td> <td>16パースト×1回</td> </tr> <tr> <td>01</td> <td>4パースト×4回</td> </tr> <tr> <td rowspan="3">16ビット</td> <td>00</td> <td>8パースト×1回</td> </tr> <tr> <td>01</td> <td>2パースト×4回</td> </tr> <tr> <td>10</td> <td>4-4または2-4-2パースト</td> </tr> </tbody> </table>	バス幅	BST[1:0]	パースト数	8ビット	00	16パースト×1回	01	4パースト×4回	16ビット	00	8パースト×1回	01	2パースト×4回	10	4-4または2-4-2パースト
バス幅	BST[1:0]	パースト数																	
8ビット	00	16パースト×1回																	
	01	4パースト×4回																	
16ビット	00	8パースト×1回																	
	01	2パースト×4回																	
	10	4-4または2-4-2パースト																	
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1サイクル 10: 2サイクル 11: 3サイクル															
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

8. バスステートコントローラ (BSC)

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]		-	-	BW[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		W[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
21, 20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。 BST[1:0]の B'11 設定は予約ですので設定しないでください。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>バース幅</th> <th>BST[1:0]</th> <th>バースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビット</td> <td>00</td> <td>16 バースト×1 回</td> </tr> <tr> <td>01</td> <td>4 バースト×4 回</td> </tr> <tr> <td rowspan="3">16 ビット</td> <td>00</td> <td>8 バースト×1 回</td> </tr> <tr> <td>01</td> <td>2 バースト×4 回</td> </tr> <tr> <td>10</td> <td>4 - 4 または 2 - 4 - 2 バースト</td> </tr> </tbody> </table>	バース幅	BST[1:0]	バースト数	8 ビット	00	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4 - 4 または 2 - 4 - 2 バースト
バース幅	BST[1:0]	バースト数																	
8 ビット	00	16 バースト×1 回																	
	01	4 バースト×4 回																	
16 ビット	00	8 バースト×1 回																	
	01	2 バースト×4 回																	
	10	4 - 4 または 2 - 4 - 2 バースト																	
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															
17, 16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル															
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。															

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
12, 11	SW[1:0]	00	R/W	<p>アドレス、$\overline{CS4}$ アサート \overline{RD}、\overline{WEn} アサート遅延サイクル数</p> <p>本ビットは、アドレス、$\overline{CS4}$ アサートから、\overline{RD}、\overline{WEn} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート アドレス、$\overline{CS4}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲートから、アドレス、$\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

8. バスステートコントローラ (BSC)

(3) SDRAM*

- CS2WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]		-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8, 7	A2CL[1:0]	10	R/W	エリア2 CAS レイテンシ 本ビットは、エリア2のCASレイテンシを指定します。 00: 1サイクル 01: 2サイクル 10: 3サイクル 11: 4サイクル
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

【注】 * 1 エリアのみ SDRAM を接続する場合は、エリア3をSDRAM設定としてください。このときエリア2は、通常空間設定またはバイト選択付きSRAM設定としてください。

8. バスステートコントローラ (BSC)

• CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*	-	WTRCD[1:0]*	-	A3CL[1:0]	-	-	-	TRWL[1:0]*	-	WTRC[1:0]*	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

【注】 * エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説明
31 ~ 15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14, 13	WTRP[1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 <ul style="list-style-type: none"> • オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで • PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで • パワーダウンモード / ディープパワーダウンモード遷移まで • オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで • セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで エリア 2 とエリア 3 の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11, 10	WTRCD[1:0]	01	R/W	ACTV コマンド READ (A) / WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) / WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8、7	A3CL[1:0]	10	R/W	<p>エリア3 CAS レイテンシ</p> <p>本ビットは、エリア3のCASレイテンシを指定します。</p> <p>00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル</p>
6、5	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
4、3	TRWL[1:0]*	00	R/W	<p>プリチャージ起動待ちサイクル数</p> <p>以下のプリチャージ起動待ちの最小サイクル数を指定します。</p> <ul style="list-style-type: none"> 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのサイクル数 WRITEAコマンド発行後、同一バンクに対するACTVコマンド発行までのサイクル数です。なお、SDRAM内でWRITAコマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各SDRAMのデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 本LSIがWRITコマンドを発行してからPREコマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 <p>エリア2とエリア3の設定は共通となります。</p> <p>00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1、0	WTRC[1:0]*	00	R/W	REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 <ul style="list-style-type: none"> REF コマンド発行後から ACTV/REF/MRS コマンド発行まで セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで エリア 2 とエリア 3 の設定は、共通となります。 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル

【注】 * エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) パースト ROM (クロック同期)

• CS0WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17、16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

8. バスステートコントローラ (BSC)

8.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

SDCR レジスタはパワーオンリセット時に H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]	-	-	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20, 19	A2ROW[1:0]	00	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定禁止)
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	A2COL[1:0]	00	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定禁止)
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	DEEP	0	R/W	ディーブパワーダウンモード ローパワー-SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディーブパワーダウンエントリコマンドを発行してローパワー-SDRAM はディーブパワーダウンモードに遷移します。 0: セルフリフレッシュモード 1: ディーブパワーダウンモード

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>本ビットは、SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミング、およびリードデータを取り込むタイミングを指定します。本ビットを 1 に設定すると、SDRAM に対するコマンド、アドレス、およびライトデータを通常より半サイクル遅い CK の立ち下がりに同期して出力します。また、SDRAM からのリードデータを通常より半サイクル早い CK の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、およびリードデータのホールド時間を延長することができます。このモードは、SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、およびライトデータを CK の立ち上がりに同期して出力する。SDRAM からのリードデータを CK の立ち上がりに同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、およびライトデータを CK の立ち下がりに同期して出力する。SDRAM からのリードデータを CK の立ち下がりに同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	PDOWN	0	R	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0: アクセス終了後、SDRAM をパワーダウンモードにしない</p> <p>1: アクセス終了後、SDRAM をパワーダウンモードにする</p>

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0: オートプリチャージモード (READA および WRITA コマンドを使用)</p> <p>1: バンクアクティブモード (READ および WRIT コマンドを使用)</p> <p>【注】 バンクアクティブモードは、エリア3でのみ設定可能です。このときバス幅は、16ビットのみ設定可能です。エリア2およびエリア3ともにSDRAMに設定する場合は、オートプリチャージモードに設定してください。</p>
7~5	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
4、3	A3ROW[1:0]	00	R/W	<p>エリア3ロウアドレスビット数</p> <p>本ビットは、エリア3のロウアドレスのビット数を指定します。</p> <p>00: 11ビット</p> <p>01: 12ビット</p> <p>10: 13ビット</p> <p>11: 予約 (設定禁止)</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	A3COL[1:0]	00	R/W	<p>エリア3コラムアドレスビット数</p> <p>本ビットは、エリア3のコラムアドレスのビット数を指定します。</p> <p>00: 8ビット</p> <p>01: 9ビット</p> <p>10: 10ビット</p> <p>11: 予約 (設定禁止)</p>

8.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの時間には誤差を含みますのでご注意ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット / クリアされます。 0: クリア条件: CMF=1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT=RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可

8. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
5~3	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>本ビットは、リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。</p> <p>000 : カウントアップ停止</p> <p>001 : B /4</p> <p>010 : B /16</p> <p>011 : B /64</p> <p>100 : B /256</p> <p>101 : B /1024</p> <p>110 : B /2048</p> <p>111 : B /4096</p>
2~0	RRC[2:0]	000	R/W	<p>リフレッシュ回数</p> <p>本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。</p> <p>000 : 1回</p> <p>001 : 2回</p> <p>010 : 4回</p> <p>011 : 6回</p> <p>100 : 8回</p> <p>101 : 予約 (設定禁止)</p> <p>110 : 予約 (設定禁止)</p> <p>111 : 予約 (設定禁止)</p>

8.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのカウンタ

8. バスステートコントローラ (BSC)

8.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

バス開放中にリフレッシュ要求が発生した場合に、 $\overline{\text{REFOUT}}$ 信号をアサートすることができます。詳細については「8.5.6 (9) リフレッシュ要求とバスサイクルの関係」または「8.5.11 バスアービトラージョン」を参照してください。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイム割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。パワーオンリセット時には H'0000 0000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのレジスタ

8.5 動作説明

8.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。エリア 1~7 空間では、対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの設定ができます。エリア 0 空間は、内蔵 ROM 無効モードの場合には、CSnBCR レジスタの設定は無効になります。内蔵 ROM 有効モードでは、他のエリアと同様に CSnBCR レジスタで設定できます。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット幅の 2 種類から選べ、SDRAM は 16 ビット幅のみ選べます。MPX-I/O では、8 ビットあるいは 16 ビット幅固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 8.5~表 8.8 に示します。16 ビットバス幅の場合のストローブ信号の番地対応がビッグエンディアンとリトルエンディアンで異なることにご注意ください。ビッグエンディアン時には、 $\overline{WE1}$ が 0 番地側を示し、リトルエンディアン時には、 $\overline{WE0}$ が 0 番地側を示します。

表 8.5 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス		ストローブ信号		
	D15~D8	D7~D0	$\overline{WE1}$ 、DQMLU	$\overline{WE0}$ 、DQMLL	
0 番地バイトアクセス	データ 7~0	-	アサート	-	
1 番地バイトアクセス	-	データ 7~0	-	アサート	
2 番地バイトアクセス	データ 7~0	-	アサート	-	
3 番地バイトアクセス	-	データ 7~0	-	アサート	
0 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
2 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 31~24	データ 23~16	アサート	アサート
	2 回目 (2 番地)	データ 15~8	データ 7~0	アサート	アサート

8. バスステートコントローラ (BSC)

表 8.6 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15 ~ D8	D7 ~ D0	WE1、DQMLU	WE0、DQMLL
0 番地バイトアクセス		-	データ 7~0	-	アサート
1 番地バイトアクセス		-	データ 7~0	-	アサート
2 番地バイトアクセス		-	データ 7~0	-	アサート
3 番地バイトアクセス		-	データ 7~0	-	アサート
0 番地ワード アクセス	1 回目 (0 番地)	-	データ 15~8	-	アサート
	2 回目 (1 番地)	-	データ 7~0	-	アサート
2 番地ワード アクセス	1 回目 (2 番地)	-	データ 15~8	-	アサート
	2 回目 (3 番地)	-	データ 7~0	-	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	-	データ 31~24	-	アサート
	2 回目 (1 番地)	-	データ 23~16	-	アサート
	3 回目 (2 番地)	-	データ 15~8	-	アサート
	4 回目 (3 番地)	-	データ 7~0	-	アサート

表 8.7 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15 ~ D8	D7 ~ D0	WE1、DQMLU	WE0、DQMLL
0 番地バイトアクセス		-	データ 7~0	-	アサート
1 番地バイトアクセス		データ 7~0	-	アサート	-
2 番地バイトアクセス		-	データ 7~0	-	アサート
3 番地バイトアクセス		データ 7~0	-	アサート	-
0 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
2 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 15~8	データ 7~0	アサート	アサート
	2 回目 (2 番地)	データ 31~24	データ 23~16	アサート	アサート

表 8.8 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15 ~ D8	D7 ~ D0	WE1、DQMLU	WE0、DQMLL
0 番地バイトアクセス		-	データ 7 ~ 0	-	アサート
1 番地バイトアクセス		-	データ 7 ~ 0	-	アサート
2 番地バイトアクセス		-	データ 7 ~ 0	-	アサート
3 番地バイトアクセス		-	データ 7 ~ 0	-	アサート
0 番地ワード アクセス	1 回目 (0 番地)	-	データ 7 ~ 0	-	アサート
	2 回目 (1 番地)	-	データ 15 ~ 8	-	アサート
2 番地ワード アクセス	1 回目 (2 番地)	-	データ 7 ~ 0	-	アサート
	2 回目 (3 番地)	-	データ 15 ~ 8	-	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	-	データ 7 ~ 0	-	アサート
	2 回目 (1 番地)	-	データ 15 ~ 8	-	アサート
	3 回目 (2 番地)	-	データ 23 ~ 16	-	アサート
	4 回目 (3 番地)	-	データ 31 ~ 24	-	アサート

8.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストロープ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「8.5.8 バイト選択付き SRAM インタフェース」を参照ください。図 8.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

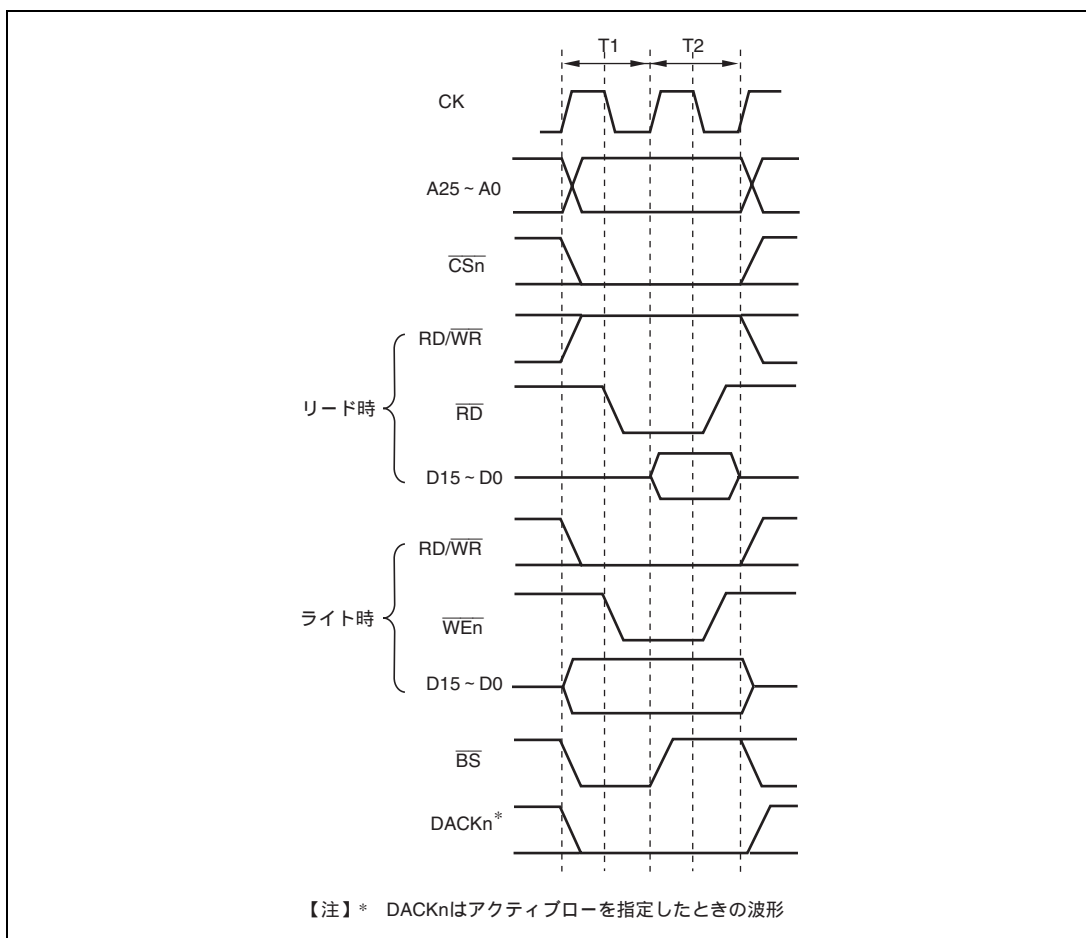


図 8.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 $\overline{RD/WR}$ 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 8.3、図 8.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 8.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑制することができます (図 8.4)。

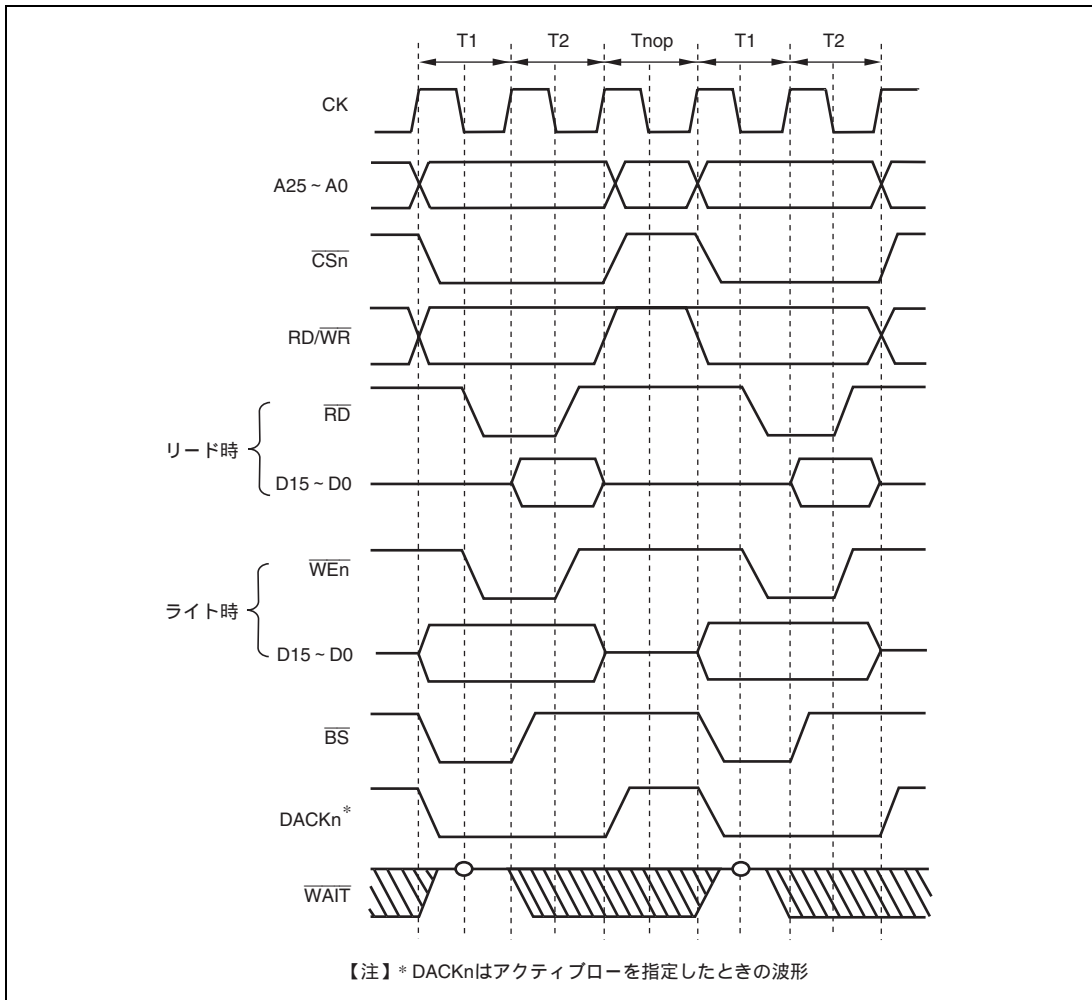


図 8.3 通常空間連続アクセス例 1
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
 (アクセスウェイト 0、サイクル間ウェイト 0)

8. バスステートコントローラ (BSC)

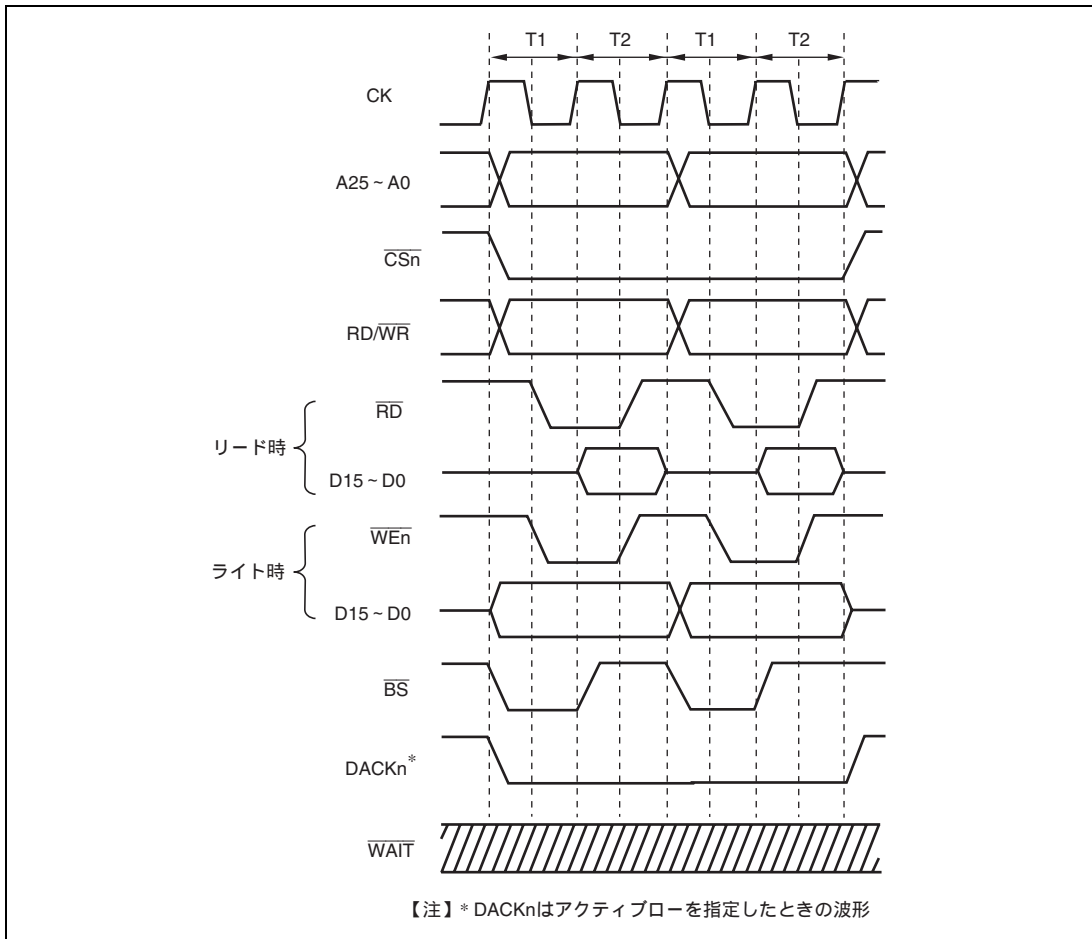


図 8.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、 $\overline{CSnWCR.WM}$ ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

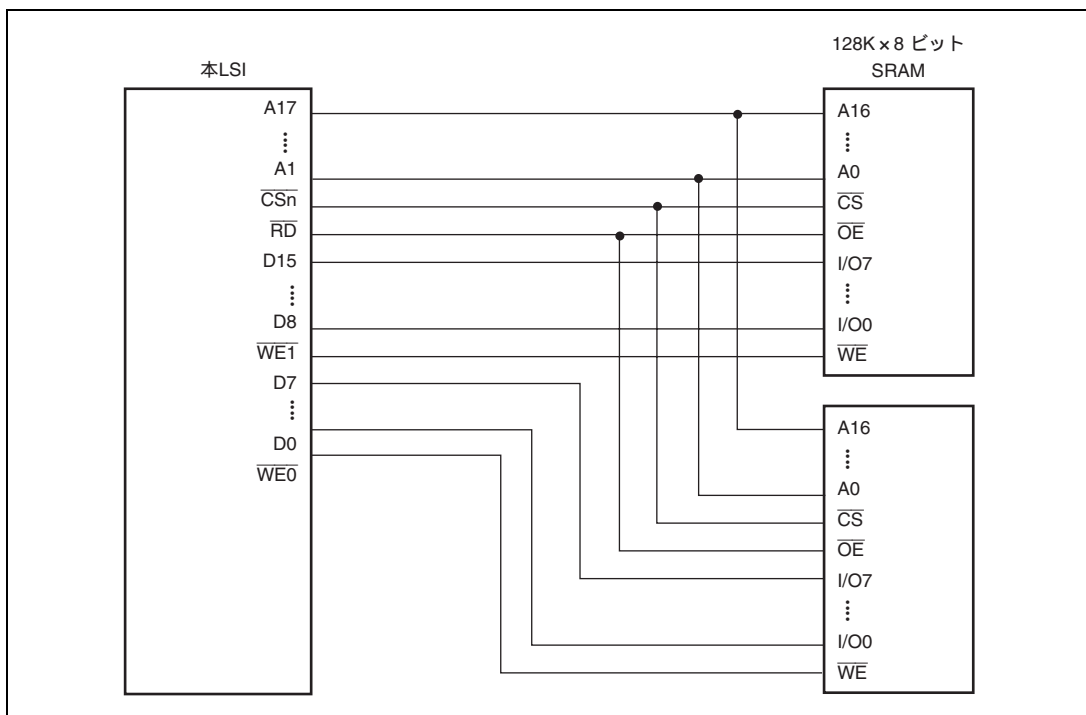


図 8.5 16 ビットデータ幅 SRAM 接続例

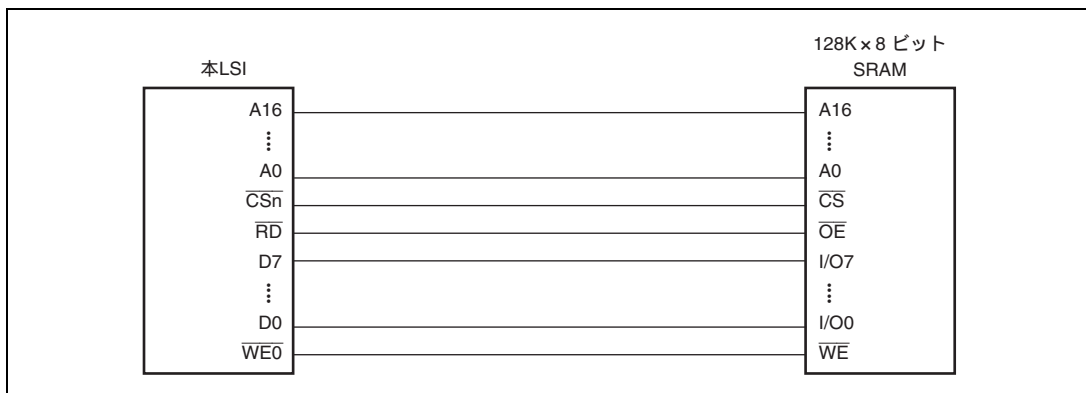


図 8.6 8 ビットデータ幅 SRAM 接続例

8.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4、5、およびエリア 7 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2、3、およびエリア 6 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 8.7 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

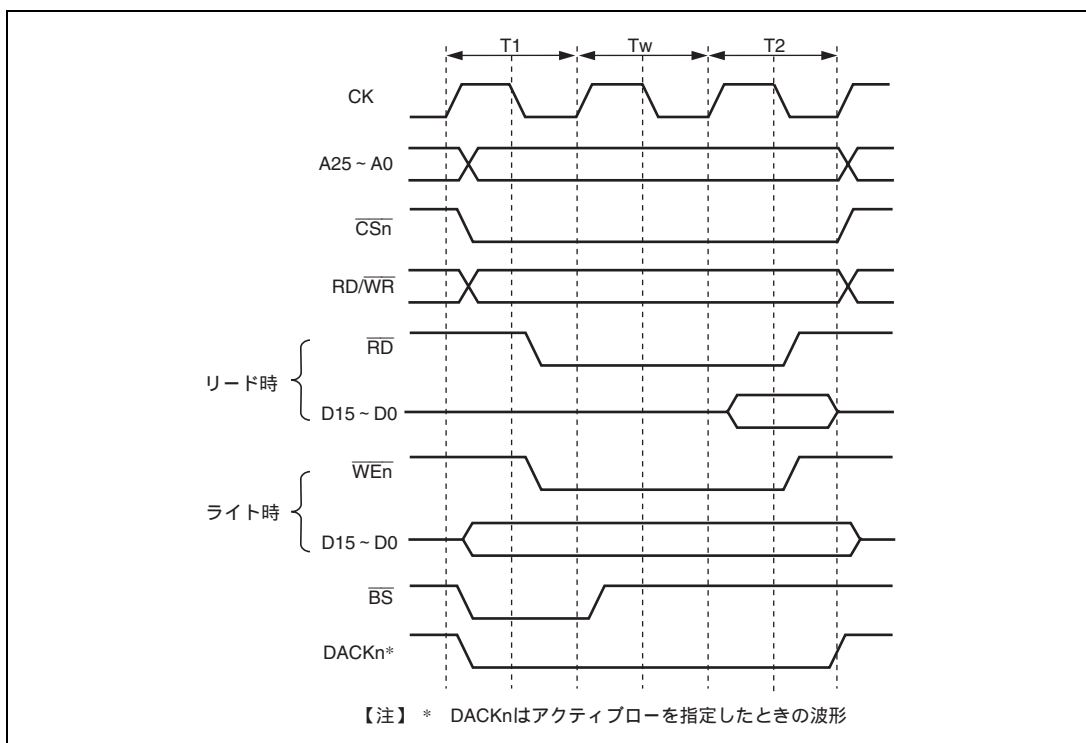


図 8.7 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 8.8 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CK の立ち下がりでサンプリングされます。

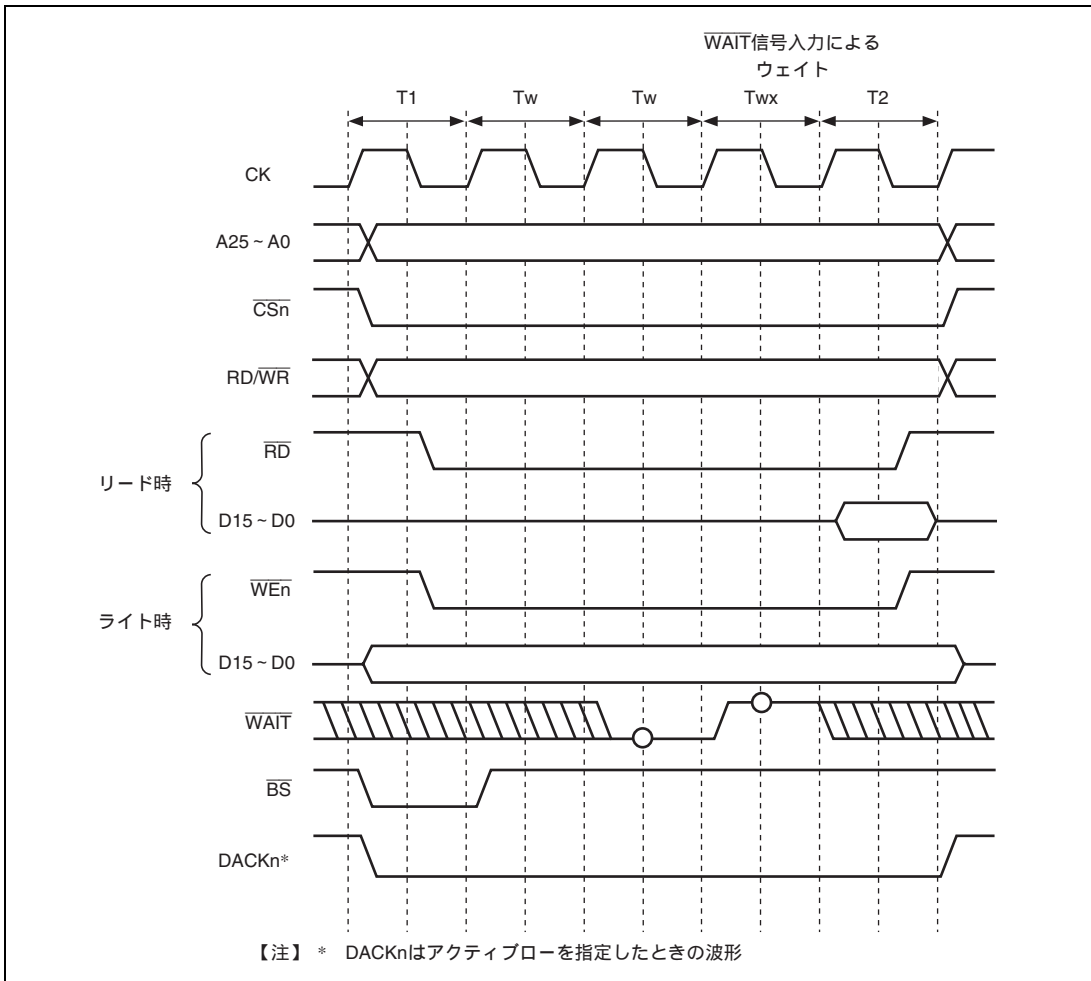
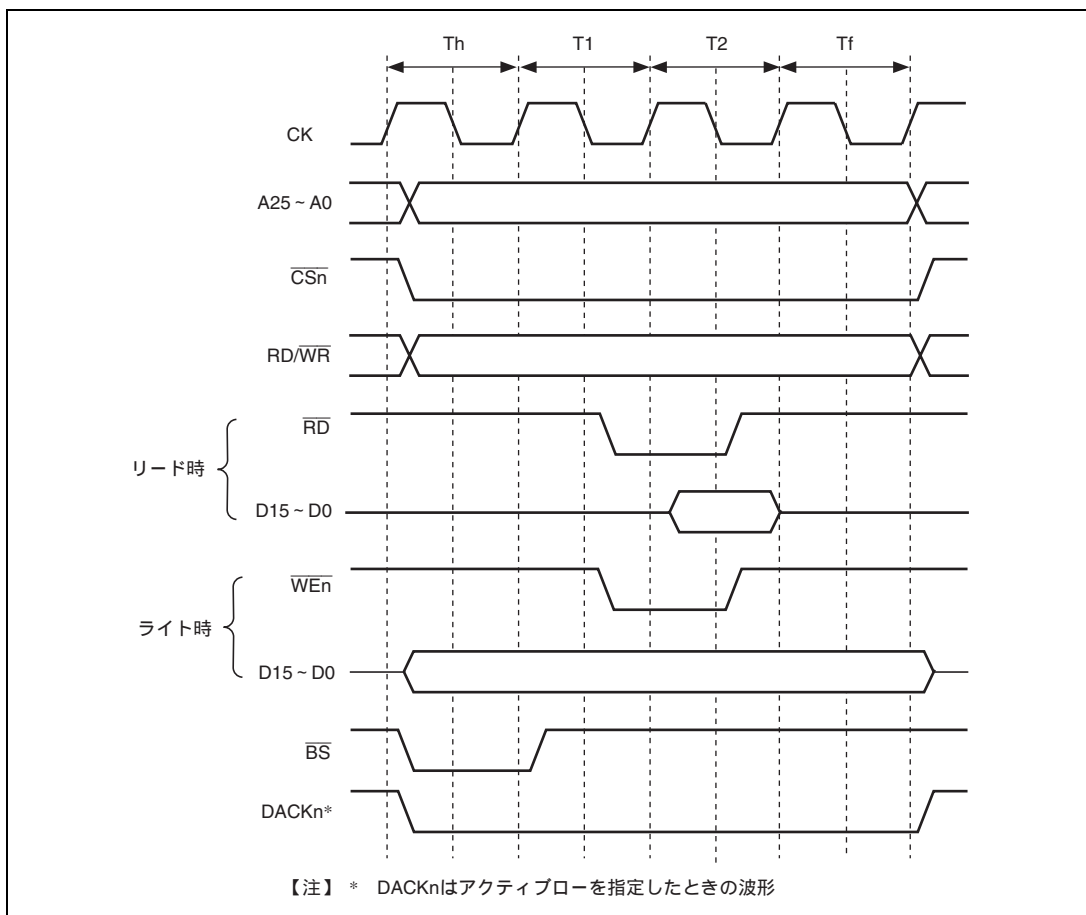


図 8.8 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

8.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WEn} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 8.9 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} 以外はアサートされますが、 \overline{RD} と \overline{WEn} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

図 8.9 \overline{CSn} アサート期間拡張

8.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5}$ 、 \overline{AH} 、 \overline{RD} 、および $\overline{WE_n}$ 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15 ~ D0 または D7 ~ D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/ \overline{WR} 信号は $\overline{CS5}$ 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

タイミングチャートを図 8.10 ~ 図 8.12 に示します。

8. バスステートコントローラ (BSC)

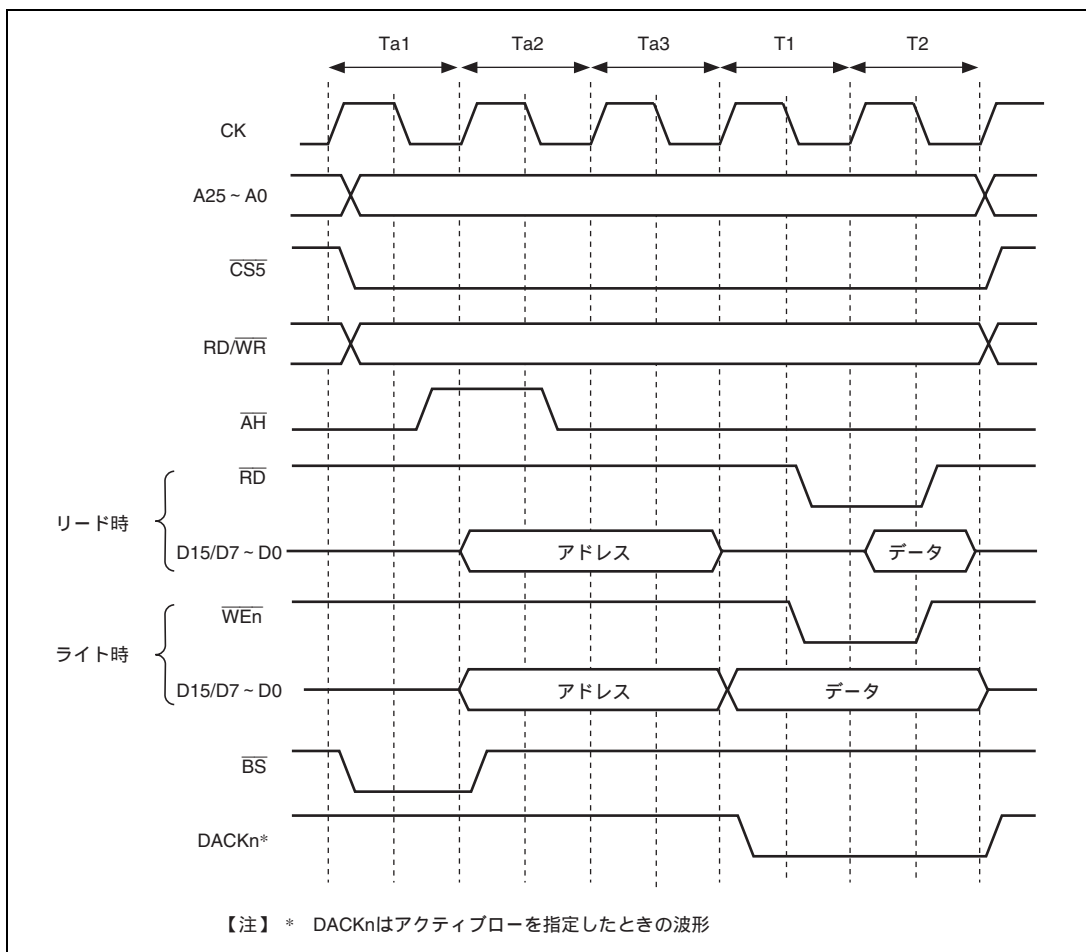


図 8.10 MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

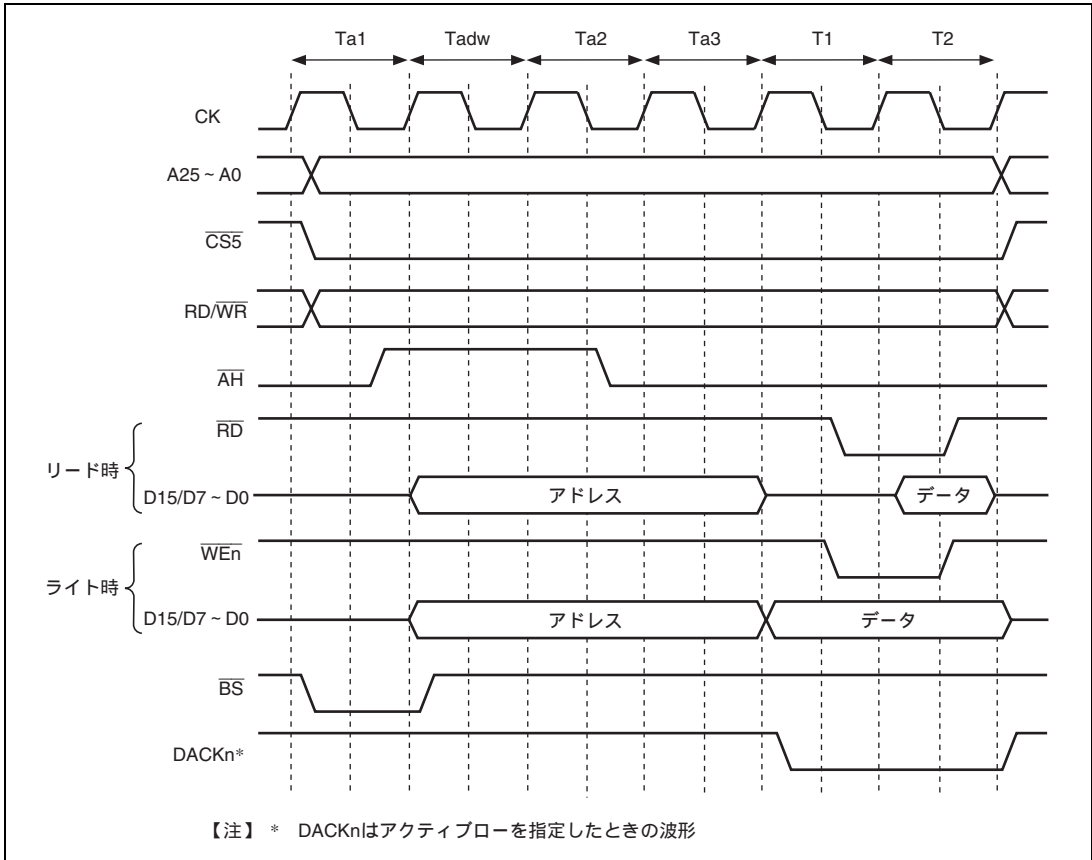


図 8.11 MPX 空間アクセスタイミング
(アドレスサイクルウェイト 1、データサイクルノーウェイト)

8. バスステートコントローラ (BSC)

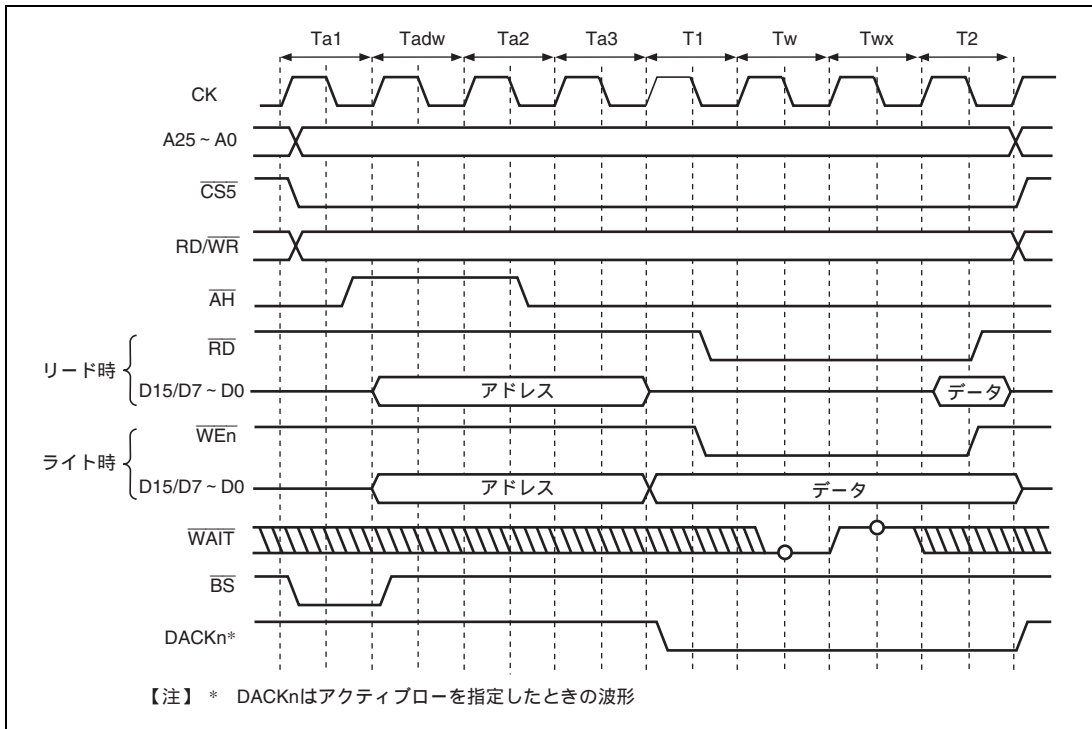


図 8.12 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1)

8.5.6 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 / 12 / 13 ビット、カラムアドレスが 8 / 9 / 10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{DQMLU}}$ 、 $\overline{\text{DQMLL}}$ 、CKE、および $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ です。 $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ を除く信号は各空間に共通であり、CKE を除く信号は $\overline{\text{CS2}}$ と $\overline{\text{CS3}}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、16 ビットのみ設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、 $\overline{\text{DQMLU}}$ 、および $\overline{\text{DQMLL}}$ によって行われます。該当する $\overline{\text{DQMxx}}$ がローレベルのバイトに対してリード/ライトが行われます。 $\overline{\text{DQMxx}}$ とアクセスするバイトの関係は、「8.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。図 8.13 に本 LSI と SDRAM との接続例を示します。

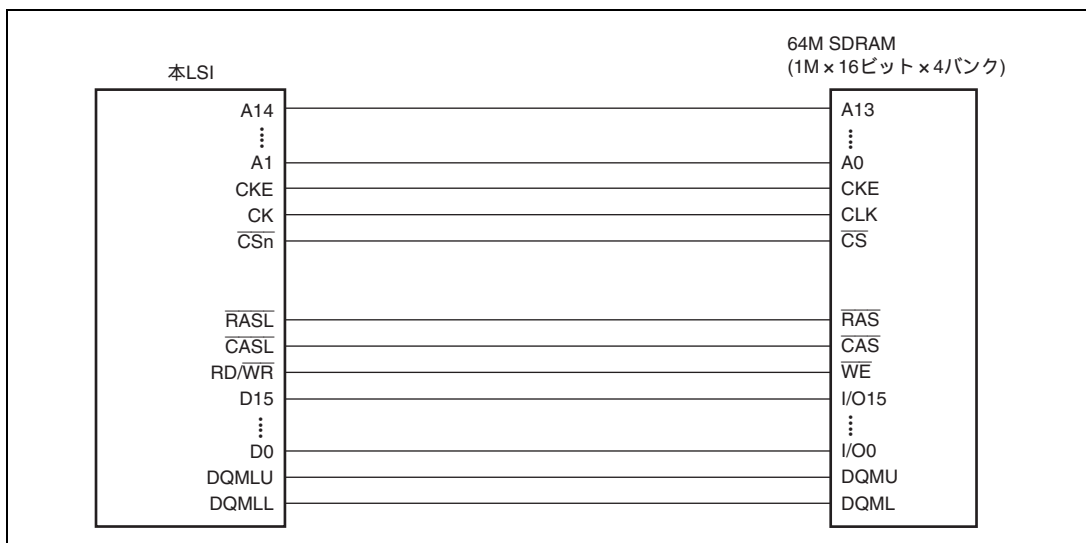


図 8.13 16 ビットデータ幅 SDRAM 接続例

8. パスステートコントローラ (BSC)

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 8.9 ~ 表 8.11 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]、および A3COL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないください。この表以外の設定を行った場合の動作は、保証されません。A29 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。

表 8.9 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21* ²	A21* ²	A12(BA1)	バンク指定
A12	A20* ²	A20* ²	A11(BA0)	
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 1 個				

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22* ²	A22* ²	A13(BA1)	バンク指定
A13	A21* ²	A21* ²	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

8. バスステートコントローラ (BSC)

表 8.10 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (2)

設 定					設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		機能	BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		機能
10 (16bit)	01 (12bit)	01 (9bit)			10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24	A15			A15	A25	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定	A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)		A12(BA0)	A23*2	A23*2	A12(BA0)	
A12	A21	A12	A11	アドレス	A12	A22	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス	A10	A20	A10	A9	アドレス
A9	A18	A9	A8		A9	A19	A9	A8	
A8	A17	A8	A7		A8	A18	A8	A7	
A7	A16	A7	A6		A7	A17	A7	A6	
A6	A15	A6	A5		A6	A16	A6	A5	
A5	A14	A5	A4		A5	A15	A5	A4	
A4	A13	A4	A3		A4	A14	A4	A3	
A3	A12	A3	A2		A3	A13	A3	A2	
A2	A11	A2	A1		A2	A12	A2	A1	
A1	A10	A1	A0		A1	A11	A1	A0	
A0	A9	A0		未使用	A0	A10	A0		未使用
接続メモリ例					接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個					256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

8. バスステートコントローラ (BSC)

表 8.11 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2	A25*2	A14(BA1)	バンク指定
A14	A24*2	A24*2	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 8 回連続して行います。このときのアクセスをバースト数 8 のパーストリードと呼びます。表 8.12 にアクセスサイズとバースト数の関係を示します。

表 8.12 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8

パーストリード時のタイミングチャートを図 8.14 と図 8.15 に示します。パーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CK) の立ち上がりでリードデータを受け取ります。 T_{ap} サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の $WTRP[1:0]$ の指定によって T_{ap} のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 8.15 となります。ACTV コマンド出力サイクル T_r から READ コマンド出力サイクル T_{c1} までのサイクル数は、CS3WCR の $WTRCD[1:0]$ ビットによって指定することができます。 $WTRCD[1:0]$ の設定が 1 サイクル以上の場合、 T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READ コマンド出力サイクル T_{c1} からリードデータ取りこみサイクル T_{d1} までのサイクル数は、CS2WCR の $A2CL[1:0]$ ビットおよび CS3WCR の $A3CL[1:0]$ ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

T_{de} サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、パーストリード、シングルリード時に必ず 1 サイクル発生します。

8. バスステートコントローラ (BSC)

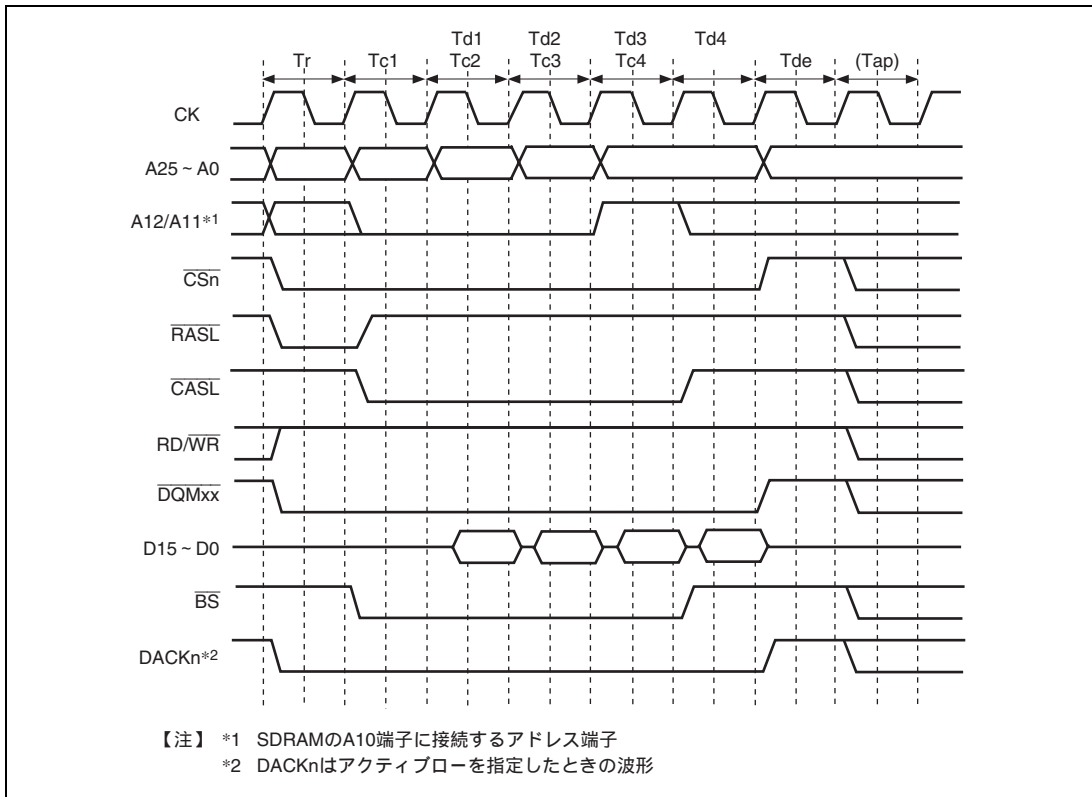


図 8.14 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

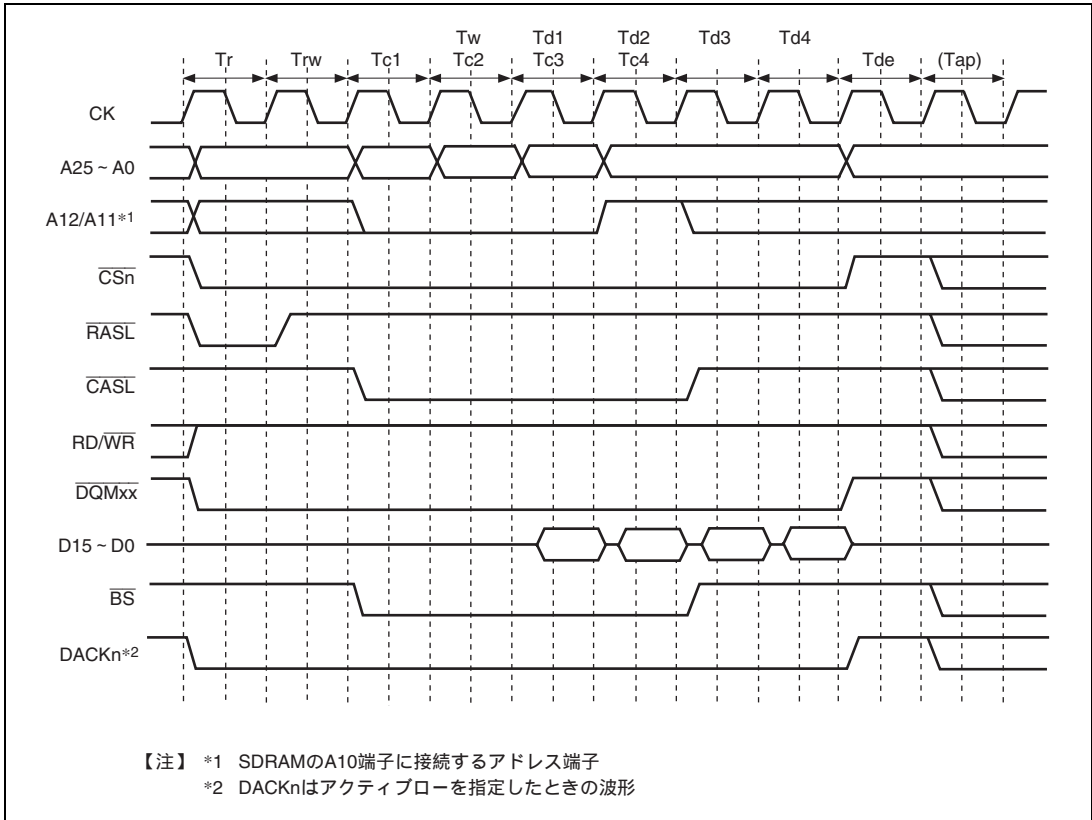


図 8.15 バーストリードウェイト指定タイミング
 (CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

8. バスステートコントローラ (BSC)

(4) シングルリード

データバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードと呼びます。SDRAMは、バースト長1のバーストリードに設定しているので必要なデータのみ出力します。1回で完了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図8.16に示します。

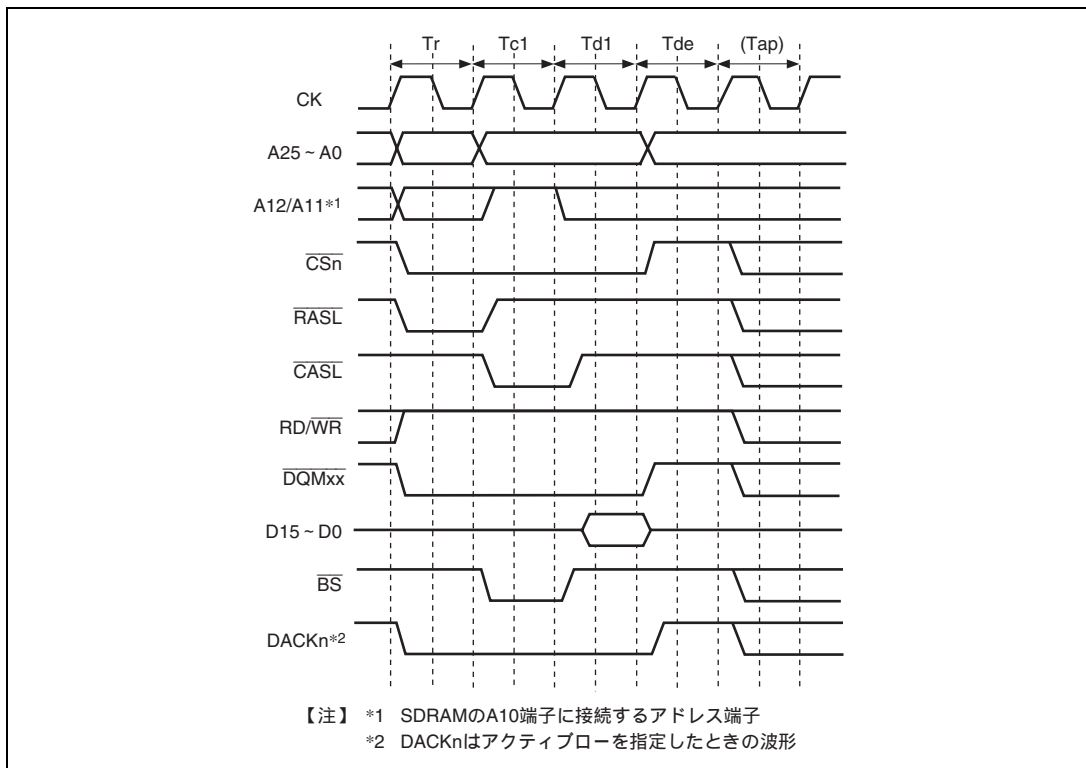


図 8.16 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、パースト長 1 のライトを 8 回連続して行います。このときのアクセスをパースト数 8 のパーストライトと呼びます。アクセスサイズとパースト数の関係は、表 8.12 に従います。図 8.17 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う T_r サイクルに続いて WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ T_{rw1} サイクル、そしてオートプリチャージの完了を待つ T_{ap} サイクルが続きます。 T_{ap} サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。 T_{rw1} サイクルおよび T_{ap} サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 T_{rw1} サイクルは CS3WCR の TRWL[1:0]ビットおよび T_{ap} サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

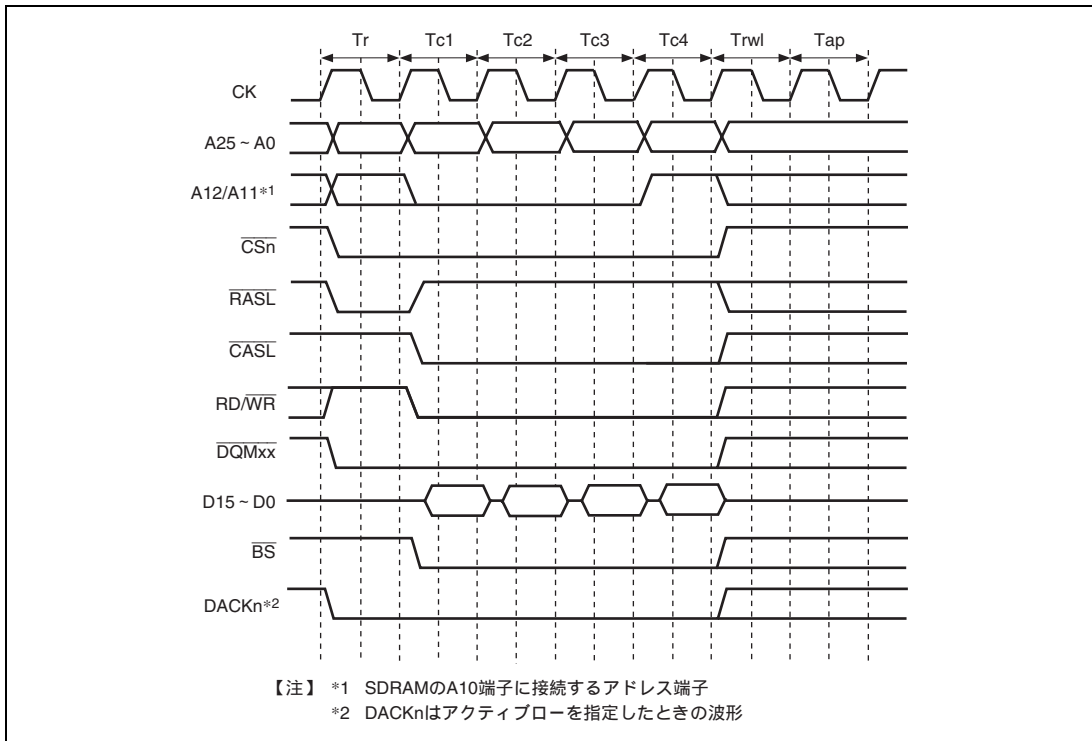


図 8.17 パーストライト基本タイミング (オートプリチャージ)

8. バスステートコントローラ (BSC)

(6) シングルライト

データバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAMは、シングルライトまたはバースト長1のバーストライトに設定しているため、必要なデータのみライトされます。1回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図8.18に示します。

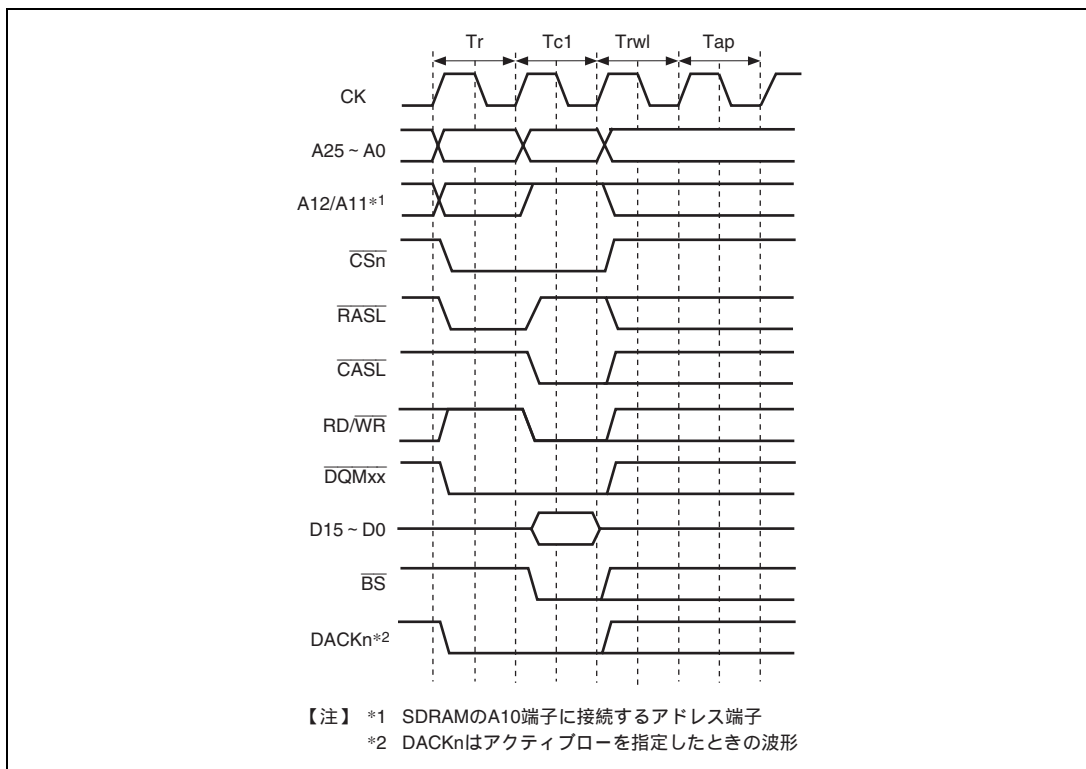


図 8.18 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間、同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 8.19 にオートプリチャージのないバーストリードサイクルを、図 8.20 には同一のロウアドレスに対するバーストリードサイクルを、図 8.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 8.22 にオートプリチャージのないシングルライトサイクルを、図 8.23 に同一のロウアドレスに対するシングルライトサイクルを、図 8.24 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 8.20 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う $\overline{\text{DQM}}_{\text{xx}}$ 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に $\overline{\text{DQM}}_{\text{xx}}$ 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 8.19 または図 8.22 で始まり、図 8.20 または図 8.23 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 8.20 または図 8.23 の代わりに図 8.21 または図 8.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

8. バスステートコントローラ (BSC)

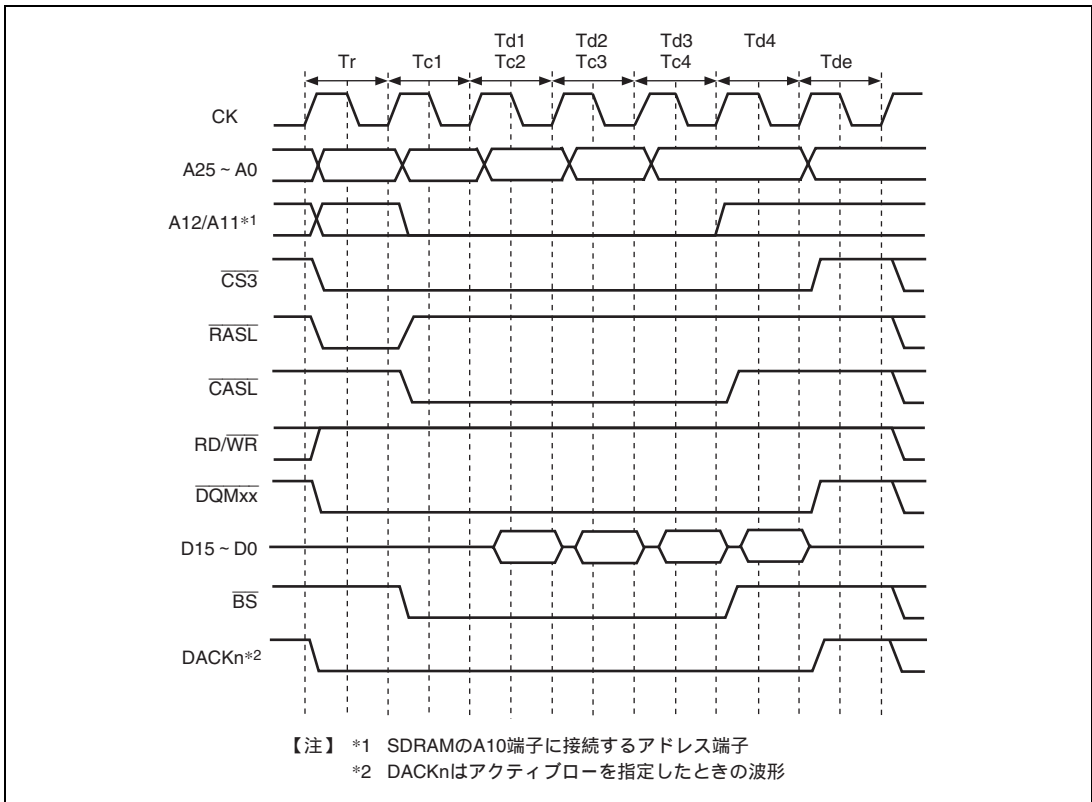


図 8.19 バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)

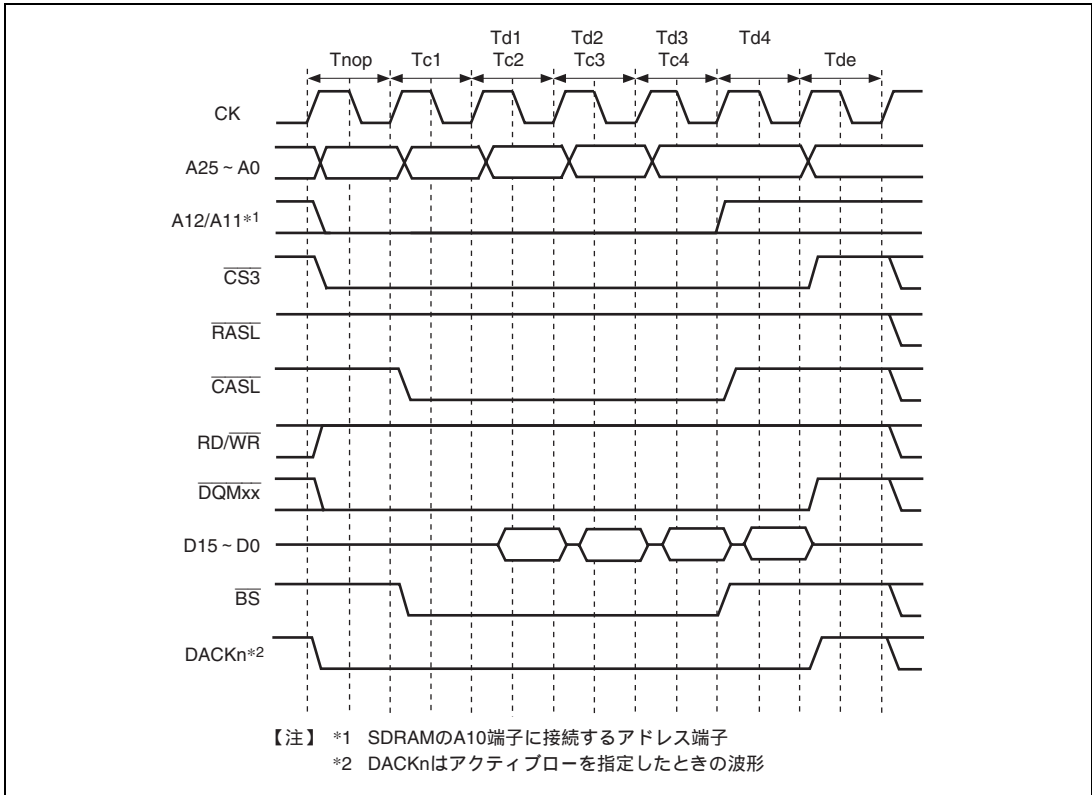


図 8.20 バーストリードタイミング (バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

8. バスステートコントローラ (BSC)

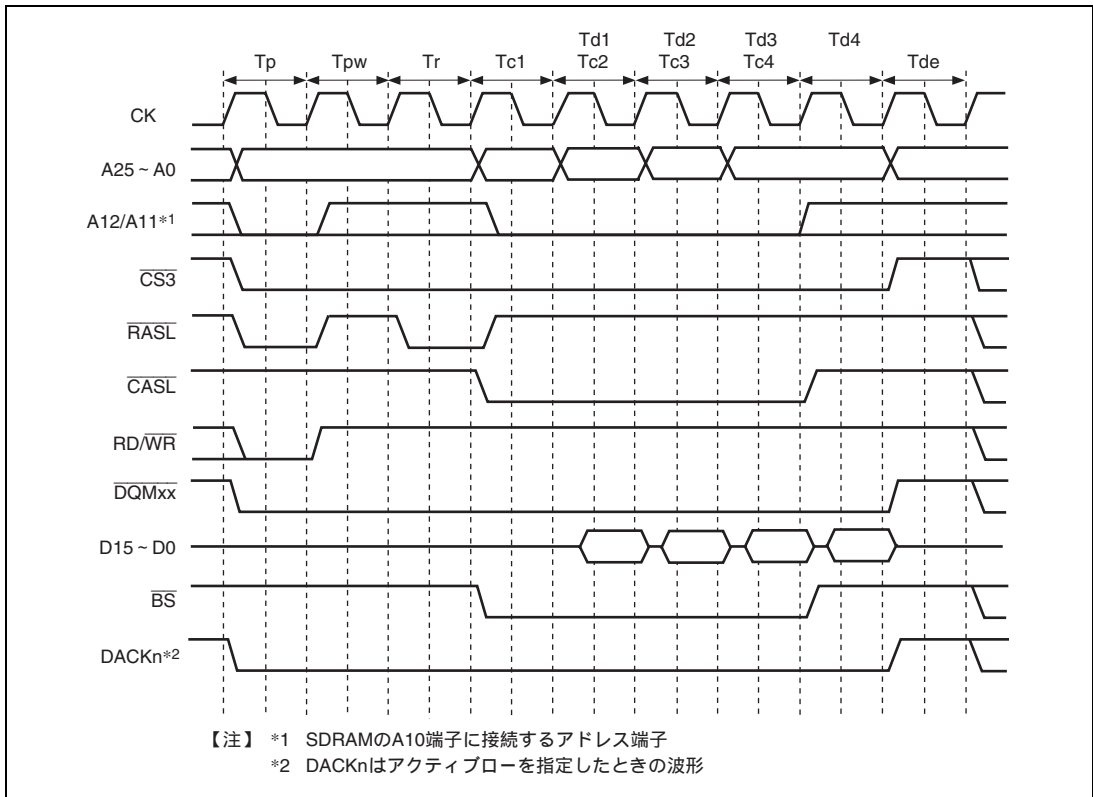


図 8.21 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

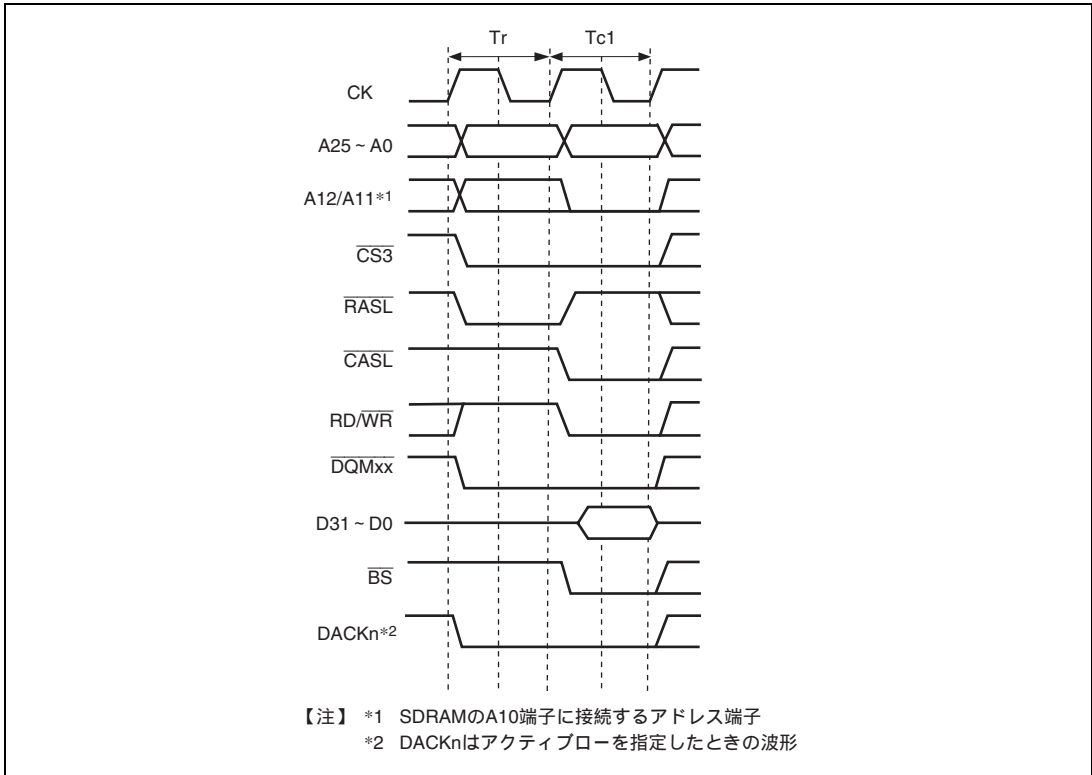


図 8.22 シングルライトタイミング (バンクアクティブ、異なるバンク)

8. バスステートコントローラ (BSC)

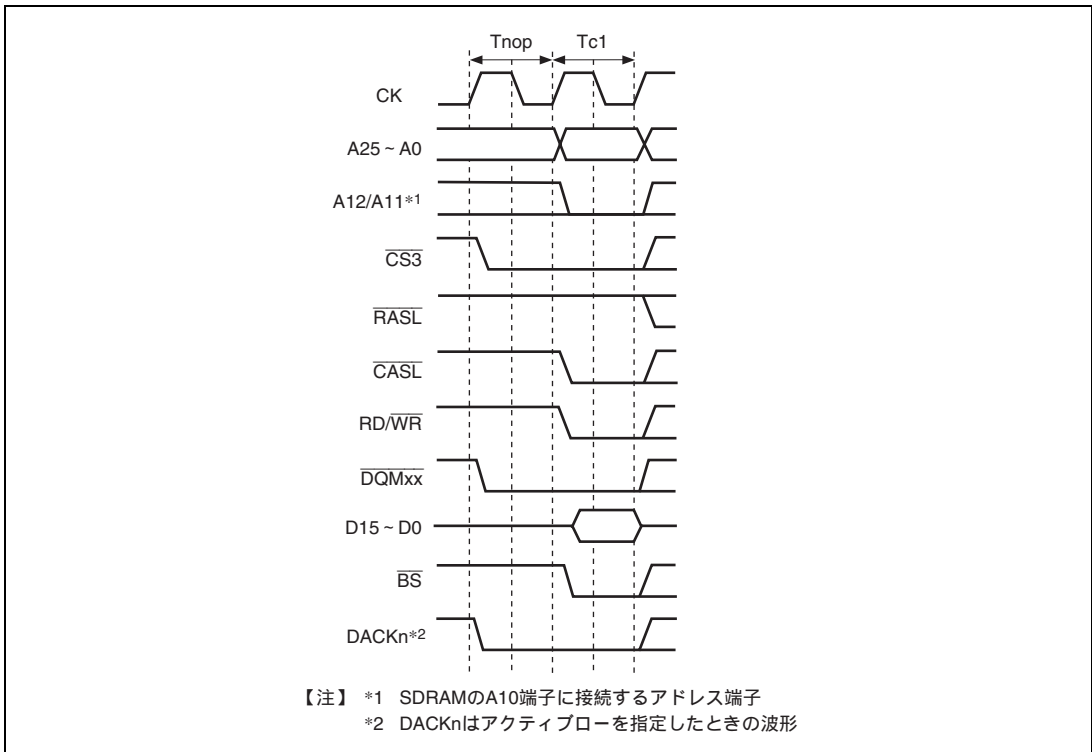


図 8.23 シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)

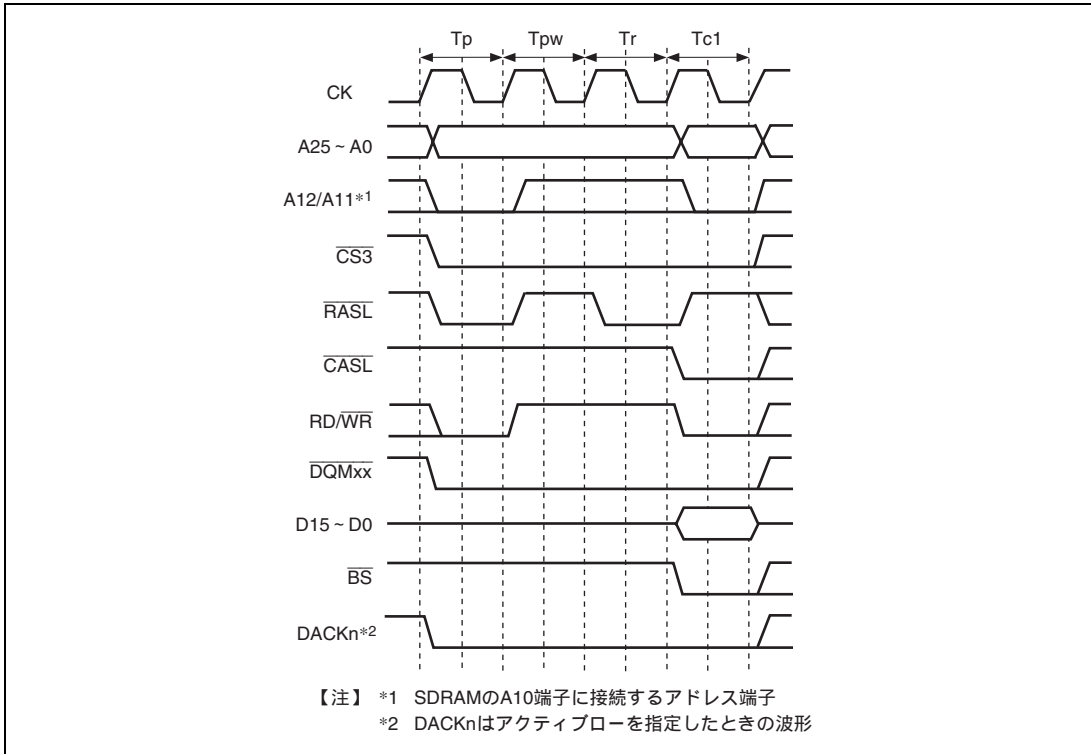


図 8.24 シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)

8. バスステートコントローラ (BSC)

(8) リフレッシュ

BSC は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] によって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されません。

図 8.25 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{tr} サイクルに発行します。 T_{tr} サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{tr} サイクルの間にアイドルサイクルが挿入されます。

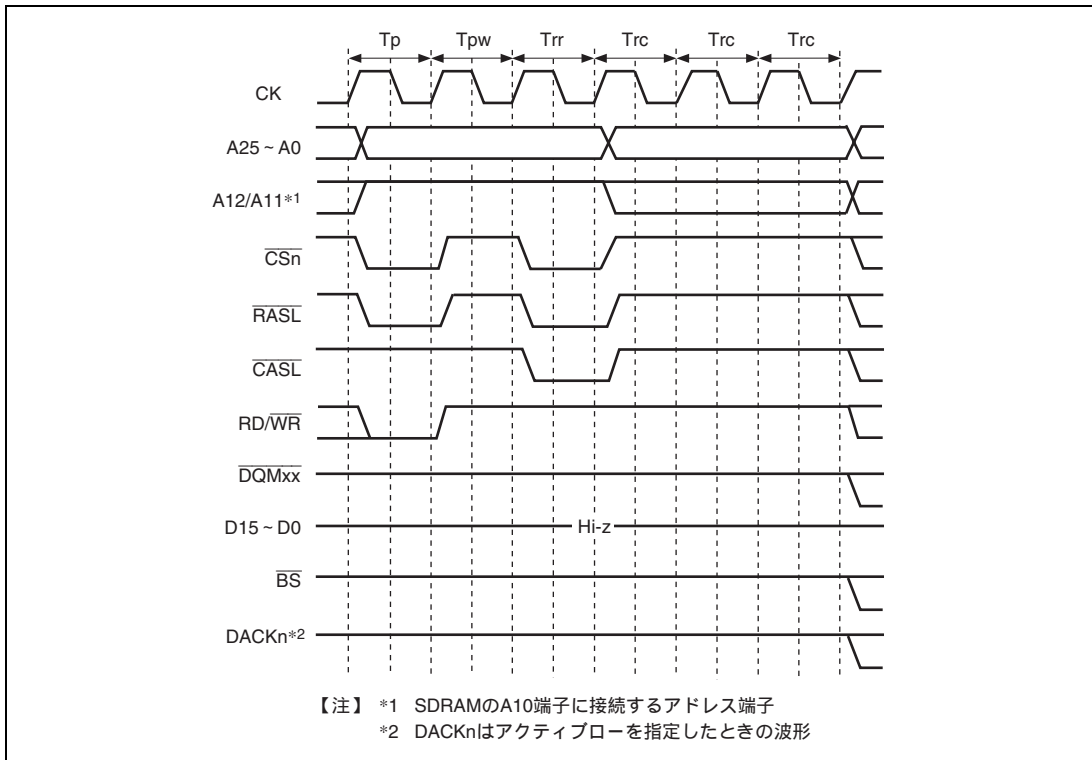


図 8.25 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 8.26 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

8. バスステートコントローラ (BSC)

パワーオンリセットの場合には、BSCのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

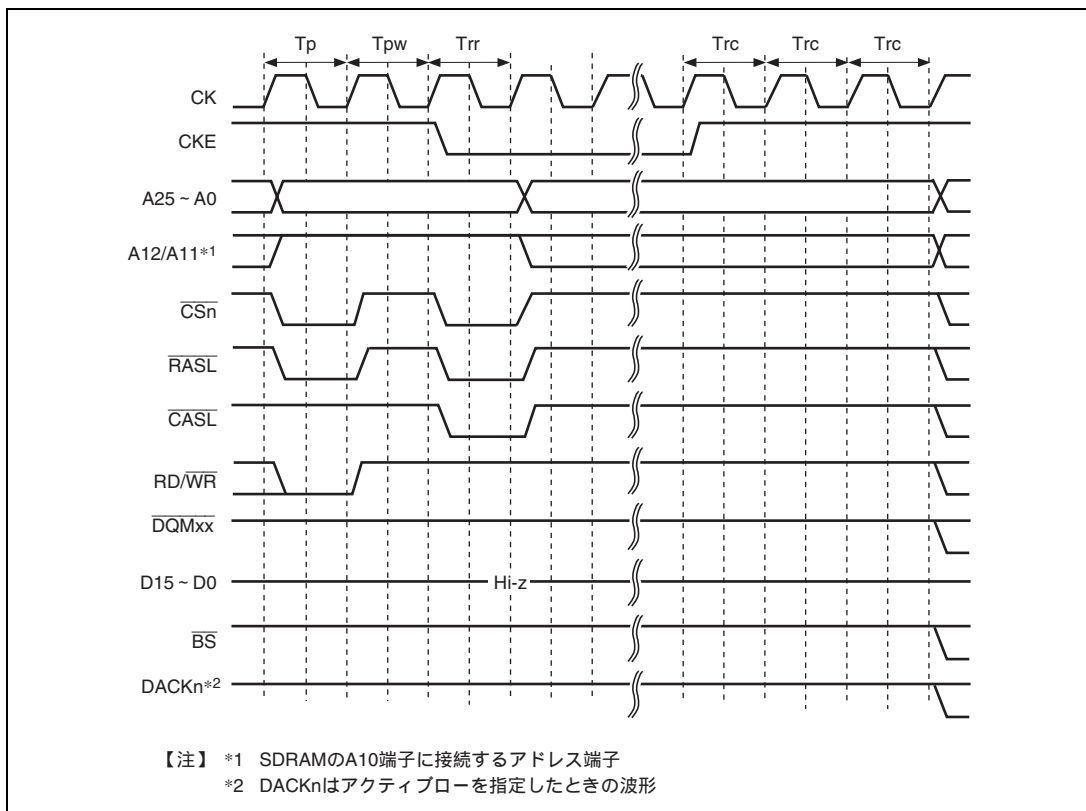


図 8.26 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間に、バス権を要求する信号として $\overline{\text{REFOUT}}$ 端子を設けています。 $\overline{\text{REFOUT}}$ 端子の選択については「第 19 章 ピンファンクションコントローラ (PFC)」を参照してください。バス権を獲得するまで $\overline{\text{REFOUT}}$ をローレベルにアサートし続けます。

外部デバイスは $\overline{\text{REFOUT}}$ アサートにより、 $\overline{\text{BREQ}}$ をネゲートしバス権を返してください。外部デバイスがリフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ動作ができず SDRAM の内容は保証できなくなりますので注意してください。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起こらないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

(10) 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力、およびリードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 8.27 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CK の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CK の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

8. バスステートコントローラ (BSC)

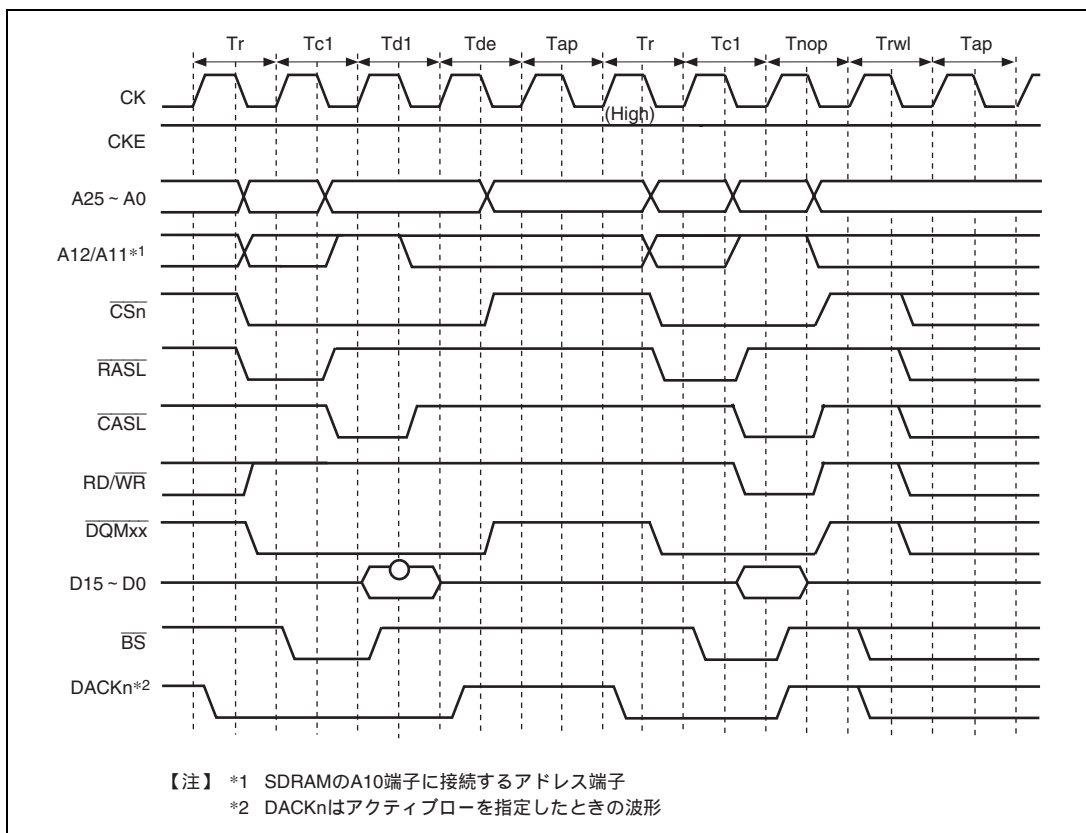


図 8.27 低周波数モードでのアクセスタイミング

(11) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE をローレベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 8.28 にパワーダウンモードでのアクセスタイミングを示します。

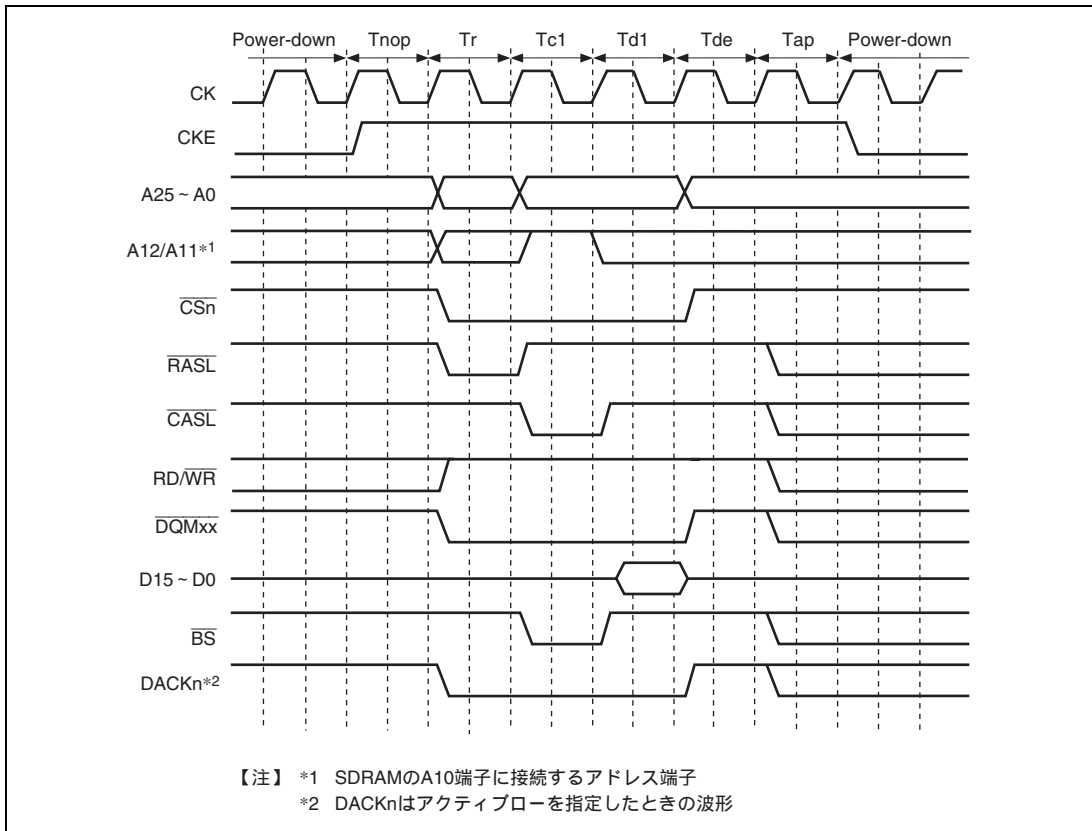


図 8.28 パワーダウンモードでのアクセスタイミング

(12) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、 $100\ \mu\text{s}$ 以上の間隔を置いた後に、SDRAM に対してモード設定を行う必要があります。 $100\ \mu\text{s}$ 以上の間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は $\overline{\text{CSn}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、および $\text{RD}/\overline{\text{WR}}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると $X + (\text{エリア } 2: \text{H'FFFC } 4000, \text{エリア } 3: \text{H'FFFC } 5000 \text{ 番地})$ にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 8.13 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

8. バスステートコントローラ (BSC)

表 8.13 SDRAM モードレジスタライト時のアクセスアドレス

- エリア2設定

バーストリード/シングルライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H' FFFC 4440	H'0000440
	3	H' FFFC 4460	H'0000460

バーストリード/バーストライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H' FFFC 4040	H'0000040
	3	H' FFFC 4060	H'0000060

- エリア3設定

バーストリード/シングルライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H' FFFC 5440	H'0000440
	3	H' FFFC 5460	H'0000460

バーストリード/バーストライト (バースト長1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H' FFFC 5040	H'0000040
	3	H' FFFC 5060	H'0000060

モードレジスタ設定タイミングを図 8.29 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

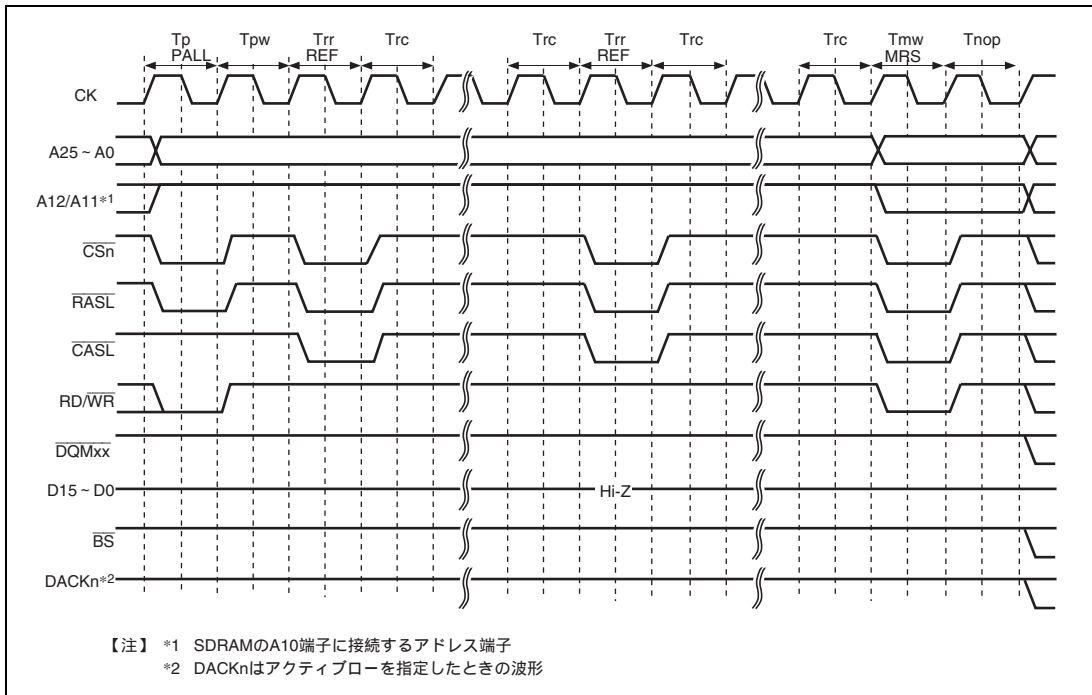


図 8.29 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(13) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'FFFC 5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'FFFC 5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

8. バスステートコントローラ (BSC)

表 8.14 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセス アドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'FFFC 4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'FFFC 5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS + EMRS (リフレッシュあり)	H'FFFC 4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC 5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'FFFC 4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC 5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY

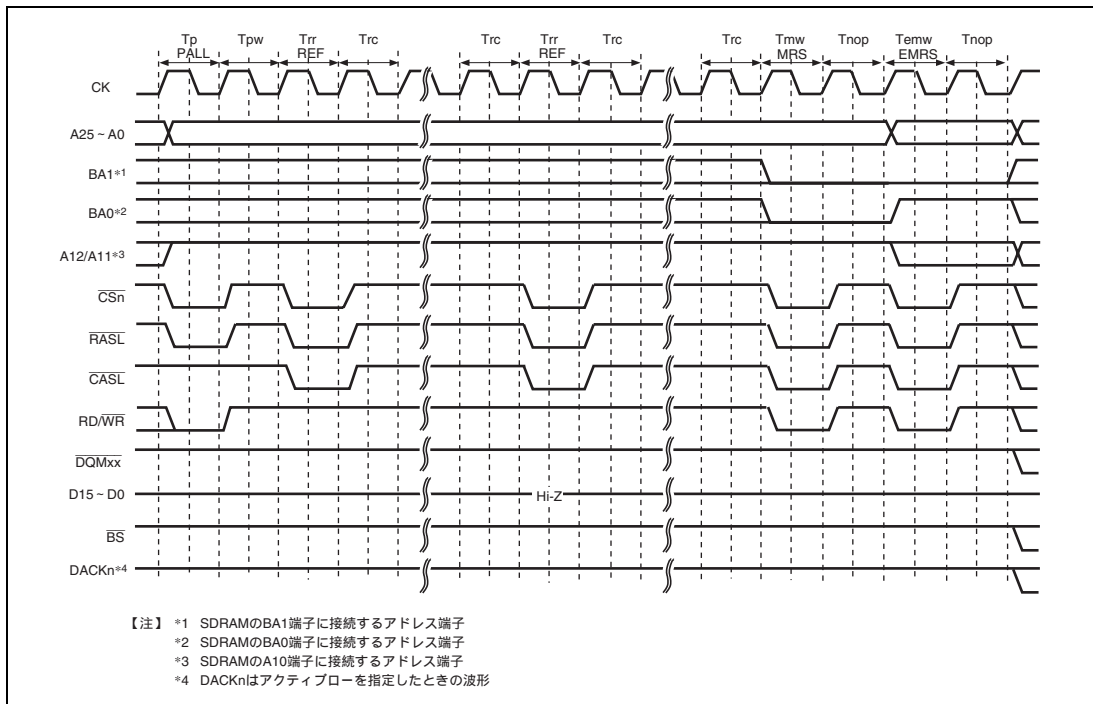


図 8.30 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAM には、ディープパワーダウンモードという低消費電力モードもあります。

パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込むと CKE がハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウンモード解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

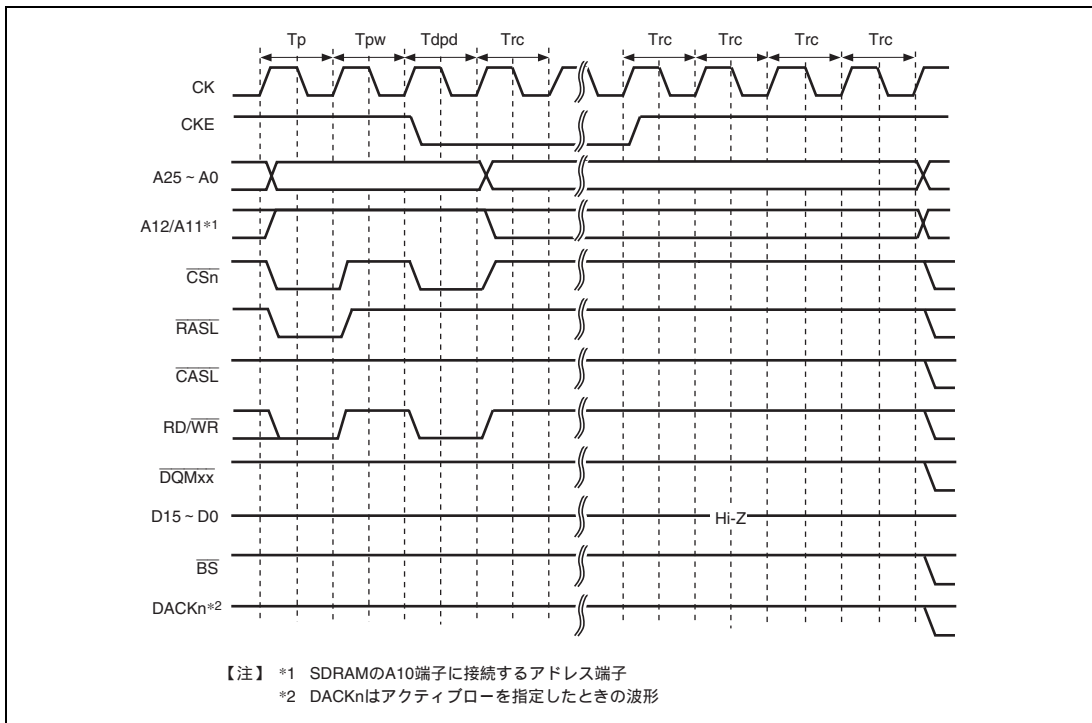


図 8.31 ディープパワーダウンモード遷移タイミング

8. バスステートコントローラ (BSC)

8.5.7 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CK の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。また、16 バイトのライトアクセスに関して制限事項があります。詳細は、「8.6 使用上の注意事項」を参照してください。

表 8.15 にバス幅およびアクセスサイズとバースト数の関係を、図 8.32 にタイムチャートを示します。

表 8.15 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0] ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
01		4	4	
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10*	4	2
2、4、2			3	

【注】 * バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0] が 10 の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

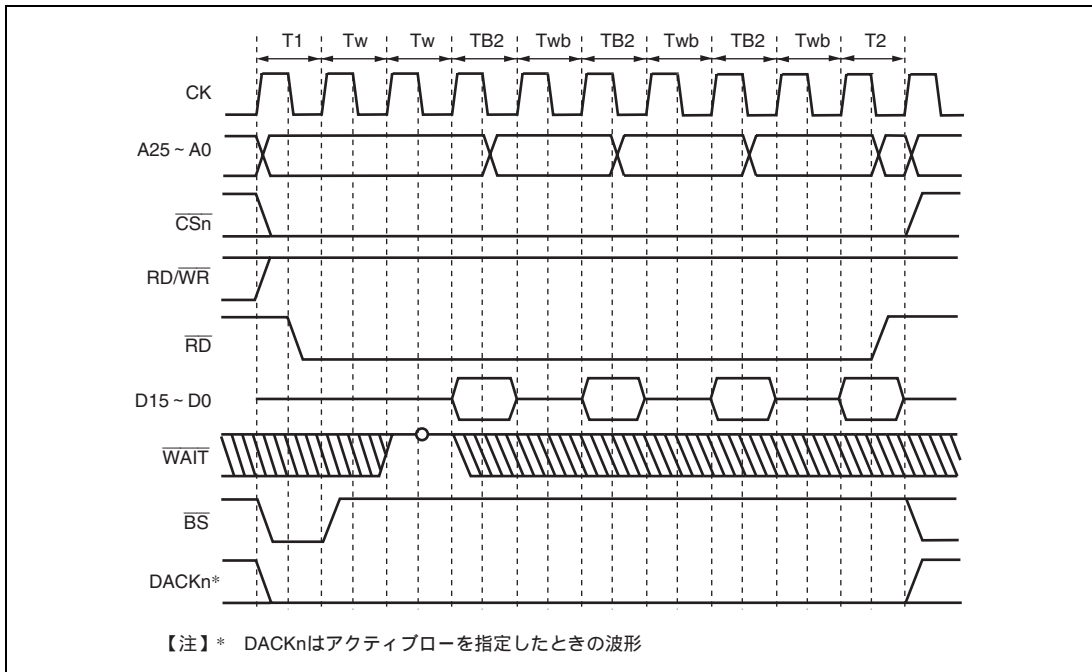


図 8.32 バースト ROM (クロック非同期) アクセス
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

8.5.8 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 (\overline{WEn}) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

$CSnWCR$ の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 \overline{WEn} 端子のタイミングが通常空間インタフェースと異なり、 \overline{WEn} 端子からバイト選択信号を出力します。図 8.33 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 (\overline{WEn}) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

$CSnWCR$ の BAS ビットが 1 のとき、 \overline{WEn} 端子と RD/\overline{WR} 端子のタイミングが変化します。図 8.34 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/\overline{WR}) のタイミングでメモリに書き込まれます。 RD/\overline{WR} のネグートタイミングからのライトデータのホールドタイミングは、 $CSnWCR$ の HW[1:0] ビットを設定することにより確保してください。図 8.35 にソフトウェア設定時のアクセスタイミングを示します。

8. バスステートコントローラ (BSC)

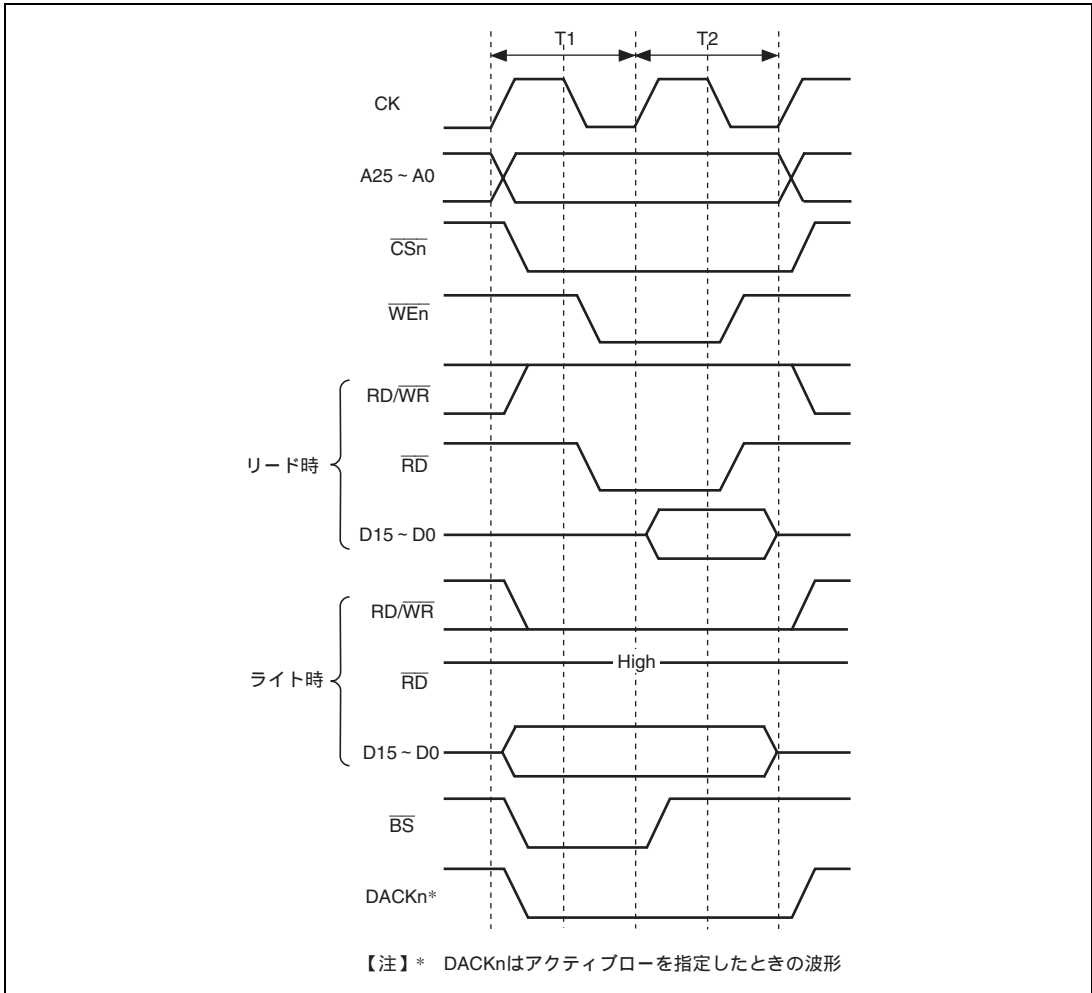


図 8.33 BAS=0 バイト選択付き SRAM 基本アクセスタイミング

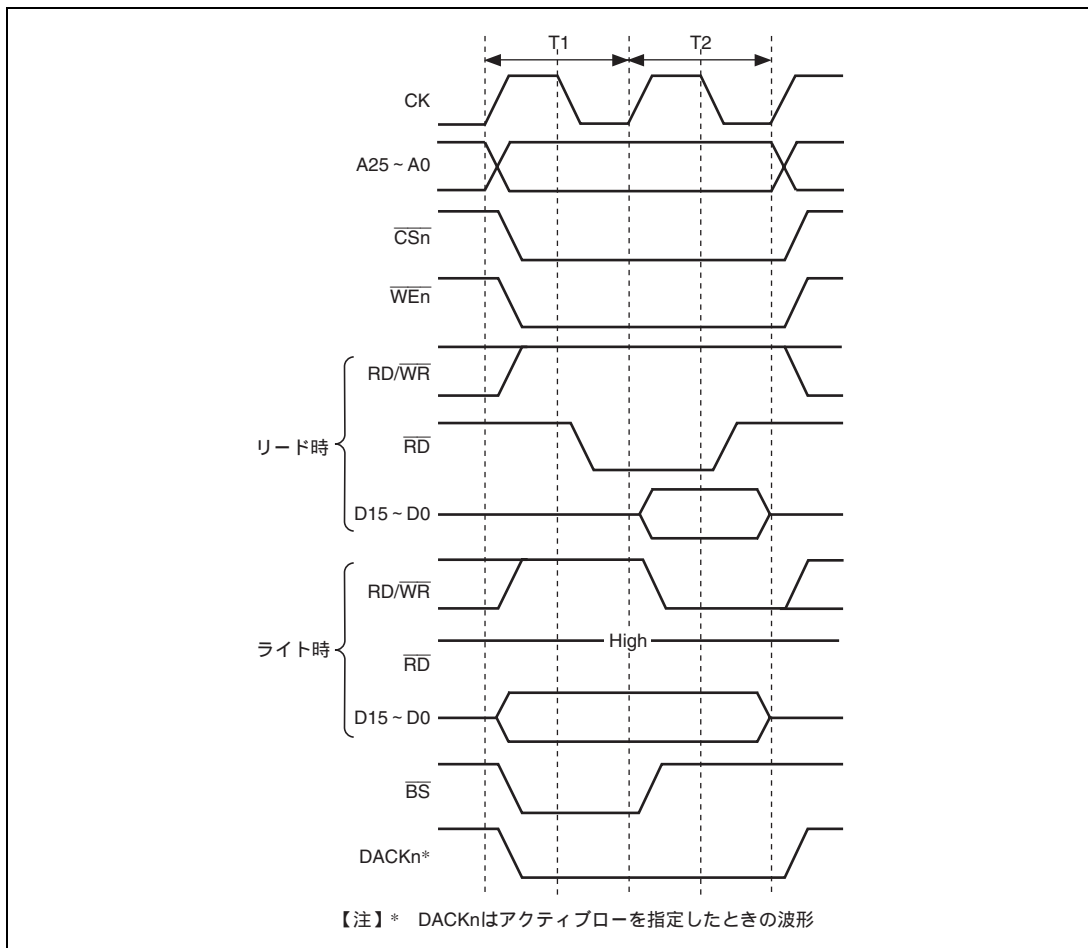


図 8.34 BAS=1 バイト選択付き SRAM 基本アクセスタイミング

8. バスステートコントローラ (BSC)

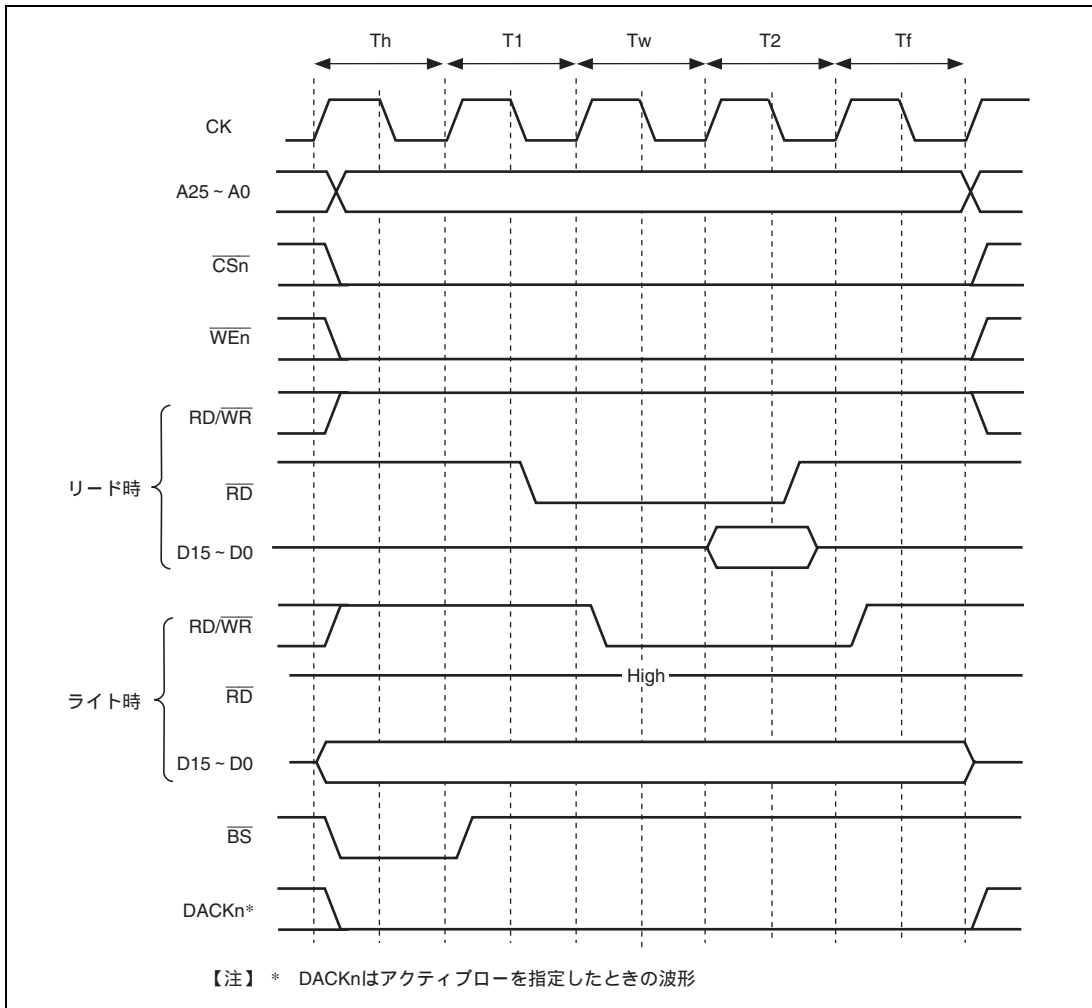


図 8.35 BAS=1 バイト選択付き SRAM ウェイトタイミング
(SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

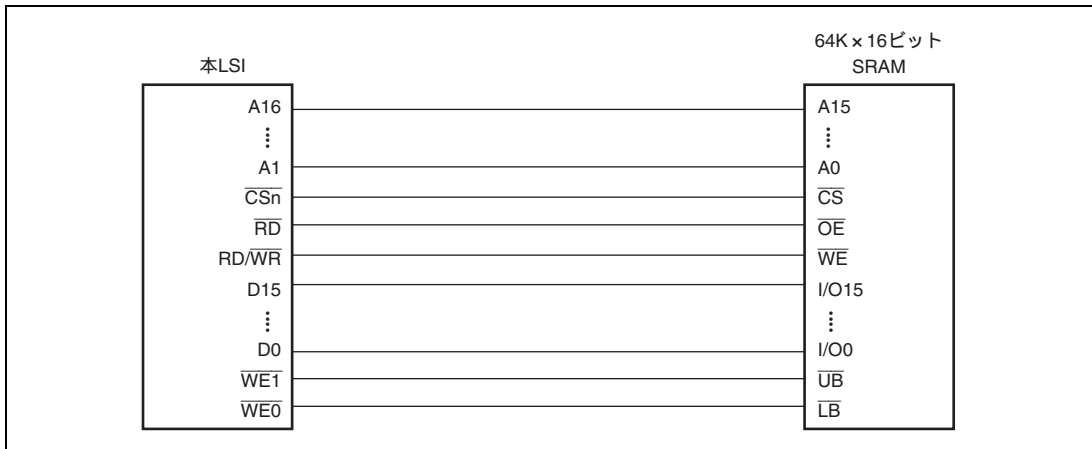


図 8.36 16 ビットデータ幅バイト選択付き SRAM 接続例

8.5.9 バースト ROM (クロック同期) インタフェース

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 のみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時には、バースト長は 8 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

8. バスステートコントローラ (BSC)

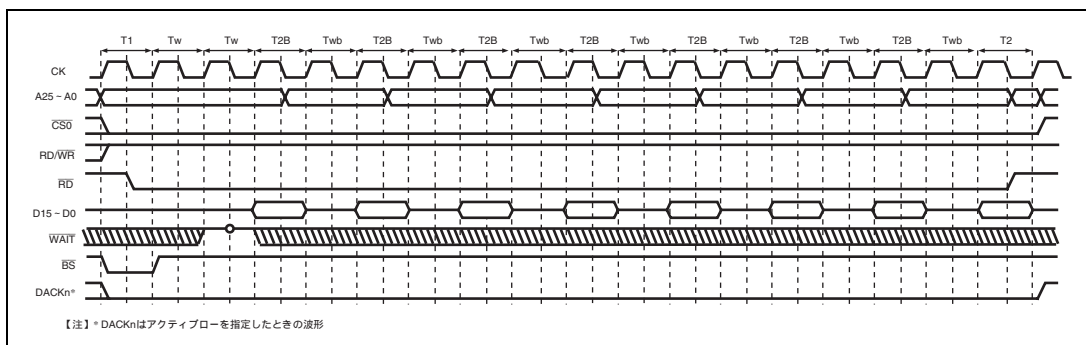


図 8.37 バーストROM (クロック同期) アクセス
(バースト長8、初回アクセスウェイト2、2回目以降アクセスウェイト1)

8.5.10 アクセスサイクル間アイドル

LSIの動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル(ウェイト)を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCRのWMビットおよびCSnBCRのIWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0]の各ビット、およびCMNCRのDMAIW[2:0]、DMAIWAビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後の本LSIを含む別デバイスによるデータ出力の場合 (DMAIWA=0)
7. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA=1)

上記のアクセスサイクル間アイドルサイクル数の指定につきましては、各レジスタの説明をご覧ください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 (\overline{WE}_n) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

\overline{CS}_n ネゲートから \overline{CS}_n または \overline{CS}_m アサートまでの外部バスアイドルサイクル数について説明します。外部バスのアイドルサイクル数を定める項目としては、表 8.16 の 8 項目あります。これらの関係を図 8.38 に示します。

表 8.16 アイドルサイクル数を決める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0 ~ 12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります、DACK 付きデバイスの認識するサイクル数と DMAC 転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外のときのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0 ~ 12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了 / 起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0 ~ 3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット 設定	SDRAM 以外のメモリでは、外部 WAIT 端子入力を有効 / 無効にする設定ができます。0 (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0 ~ 1	
(5)	リードデータ転送 サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HM[1:0] が B'00 以外の場合にも発生しません。	0 ~ 1	SDRAM のリードサイクルでは必ず 1 サイクルのアイドルが発生します。
(6)	内部バスアイドル他	CPU、DMAC などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、BSC で分割アクセスを行います。分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0 ~	I : B のクロック比によっては内部バスアイドル数が 0 にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 8.17、表 8.18 に示します。

8. バスステートコントローラ (BSC)

項番	内容	説明	範囲	注意事項
(7)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません (ライトバッファ効果)。	0~1	ライト ライトおよびライトリードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2.5	メモリ種ごとに決まっています。表 8.19 を参照してください。

(1)/(2) 項 (どちらか一方が有効になります)、(3)/(4) 項 (どちらか一方が有効になります)、(5)+(6)+(7) 項 (順番に発生するので加算されます)、および (8) 項の 4 項目が平行して発生しましたので、これらのうちの最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2) 項のレジスタ設定を行ってください。

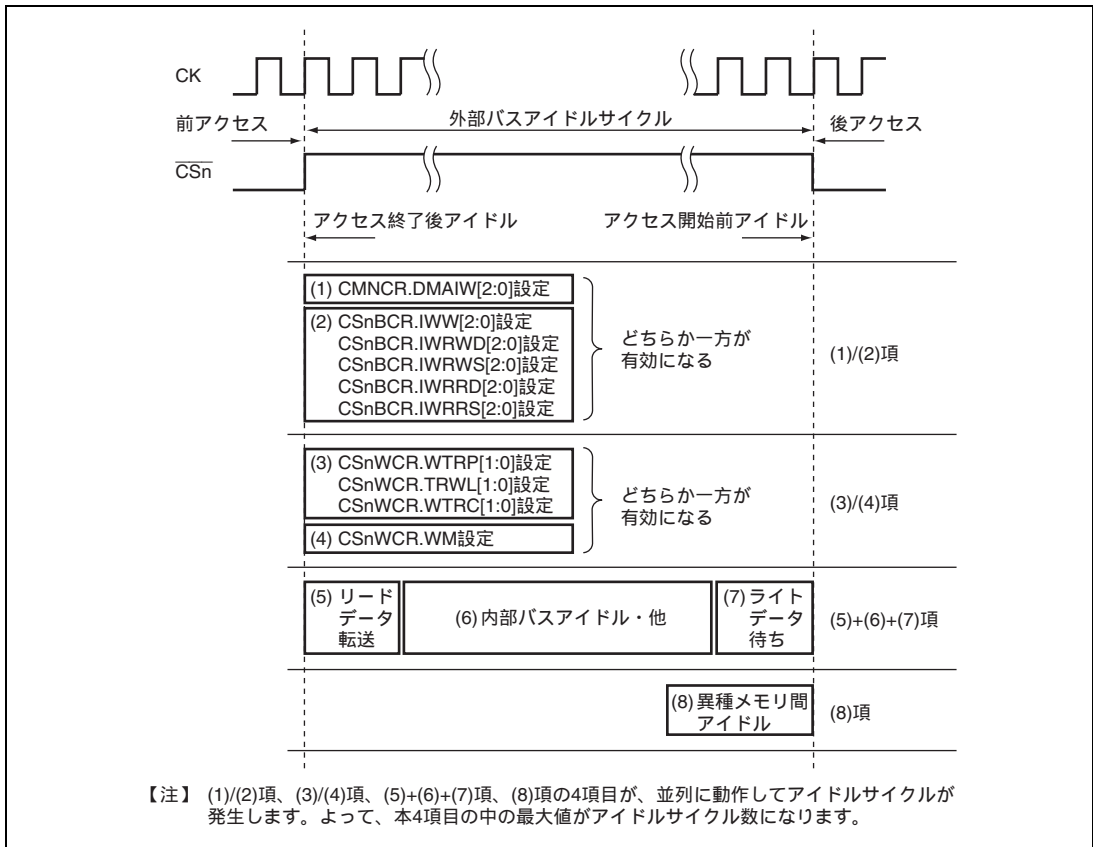


図 8.38 アイドルサイクルの構成

表 8.17 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (I : B)		
	4:1	2:1	1:1
ライト ライト	2	2	3
ライト リード	0	0	1
リード ライト	2	2	3
リード リード	0	0	1

8. バスステートコントローラ (BSC)

表 8.18 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト ライト	0	2
ライト リード	0 または 2	0
リード ライト	0	0
リード リード	0	2

- 【注】
1. デュアルアドレス転送のライト ライト、リード リード動作は分割されたサイクルの実行中です。
 2. デュアルアドレス転送のライト リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。
 3. シングルアドレスのライト リード、リード ライトは異なるチャンネルを連続起動した場合です。
「ライト」は DACK 付きデバイス 外部メモリ、「リード」は外部メモリ DACK 付きデバイスへの転送です。

表 8.19 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル							
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	バースト ROM (同期)
前 サイ クル	SRAM	0	0	1	0	1	1	1.5	0
	バースト ROM (非同期)	0	0	1	0	1	1	1.5	0
	MPX-I/O	1	1	0	1	1	1	1.5	1
	バイト SRAM (BAS=0)	0	0	1	0	1	1	1.5	0
	バイト SRAM (BAS=1)	1	1	2	1	0	0	1.5	1
	SDRAM	1	1	2	1	0	0	-	1
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5
	バースト ROM (同期)	0	0	1	0	1	1	1.5	0

サイクル間アイドルの最低数を試算する例を図 8.39 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード CS1リード CS2ライト CS2ライト CS1リード ...を繰り返すものとします。

• 条件

CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。

CS1WCRおよびCS2WCRのWMビットは1 (外部WAIT端子無効)、HW[1:0]は00 (CSネゲート延長しない)。

I:B は4:1とし、転送の間は他の処理を行わない。

CS1およびCS2ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。

アイドル数を定める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R R	R W	W W	W R	備考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表8.17のI:B = 4:1の部分参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	0	4	2	0	
(8)	0	0	0	0	SRAM SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W Rで不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 8.39 アイドルサイクル数の試算例と実際の比較

8.5.11 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていない場合は、ただちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、CSn 信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. TAS命令のリードサイクルとライトサイクル間、またはFMOV命令の64ビット転送サイクル
2. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
3. DMACでの16バイト転送時
4. CMNCRのBLOCKビットを1に設定時

8. バスステートコントローラ (BSC)

また、CMNCR の DPRTY[1:0]ビットによって、DMAC パースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求 $\overline{\text{BREQ}}$ のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 $\overline{\text{BACK}}$ をアサート(ローレベル)します。外部デバイスがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート(ハイレベル)を受けて $\overline{\text{BACK}}$ をネゲート(ハイレベル)し、バスの使用を再開します。

SDRAM インタフェース使用時は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、CK の立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CK の立ち下がりに同期してアサートします。これに続く CK の立ち上がりで、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{CKE}}$ 、 $\overline{\text{DQMxx}}$ 、 $\overline{\text{WE}}_n$ 、 $\overline{\text{RD}}$ 、および $\overline{\text{RD}}/\overline{\text{WR}}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CK の立ち上がりで行います。なお、 $\overline{\text{CKE}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASL}}$ は CMNCR の HIZCNT ビットの設定により、バス解放中でも直前の値でドライブし続けることができます。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CK の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち上がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CK の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトレーションタイミングを図 8.40 に示します。

バス権解放中に SDRAM のリフレッシュが必要になった場合、バス権を返してもらう必要があり、その要求信号として $\overline{\text{REFOUT}}$ を設けています。 $\overline{\text{REFOUT}}$ 端子の選択については「第 19 章 ピンファンクションコントローラ (PFC)」を参照してください。 $\overline{\text{REFOUT}}$ はバス権を獲得できるまでローレベルにアサートし続けられます。外部デバイスは $\overline{\text{REFOUT}}$ アサートにより $\overline{\text{BREQ}}$ をネゲートし、バス権を返してください。リフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ実行ができないため SDRAM の内容の保証はできなくなりますのでご注意ください。

バス権解放中の SLEEP 命令の実行(スリープモードまたはスタンバイモードへの遷移)は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

スタンバイモードのとき、 $\overline{\text{BREQ}}$ 入力は無視され、 $\overline{\text{BACK}}$ 出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$ 端子をプルダウンしておくことにより、スタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求 ($\overline{\text{BREQ}}$ のローレベルアサート)後のバス権解放 ($\overline{\text{BREQ}}$ のハイレベルネゲート)は、バス使用許可 ($\overline{\text{BACK}}$ のローレベルアサート)後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BREQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

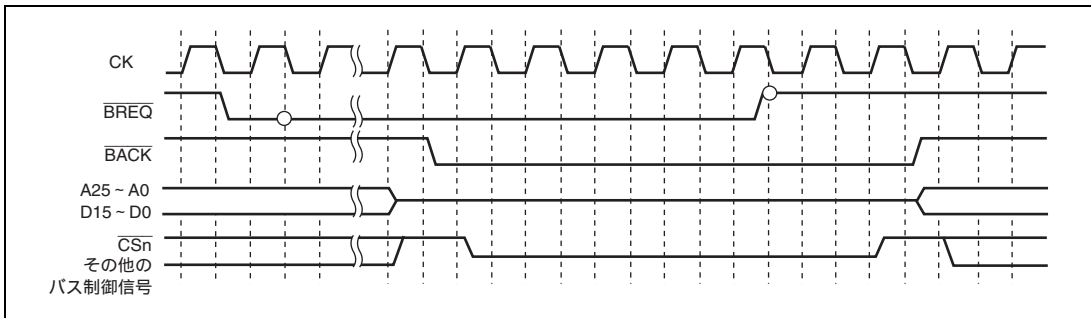


図 8.40 バスアービトレーション (クロックモード 7 または CMNCR.HIZCNT = 1)

8.5.12 その他

(1) リセット

バスステートコントローラ (BSC) は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行されます。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

(2) LSI 内部バスマスタからみたアクセス

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC などの別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に BSC レジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に BSC レジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC レジスタを変更してください。

8. バスステートコントローラ (BSC)

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行の前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に、同じレジスタのダミーリードを実施し、その後の目的の後続命令を実行してください。

表 8.20 に CPU から内蔵周辺モジュールレジスタへアクセスする場合のアクセスサイクル数を示します。

表 8.20 内蔵周辺モジュールレジスタへのアクセスサイクル数

	アクセスサイクル数
ライト	$(2+n) \times I + (1+m) \times B + 2 \times P$
リード	$(2+n) \times I + (1+m) \times B + 2 \times P + (2+I) \times I$

【注】命令が内蔵 ROM 実行もしくは内蔵 RAM 実行時のサイクル数になります。

I :B = 1:1 のとき n=0、I=0

I :B = 2:1 のとき n=1~0、I=1

I :B = 4:1 のとき n=3~0、I=2

I :B = 8:1 のとき n=7~0、I=2

B :P = 1:1 のとき m=0

B :P = 2:1 のとき m=1~0

B :P = 4:1 のとき m=3~0

n、m は内部の実行状態に依存します。

本製品は同期式論理を採用しており、バス構成は階層バス構造を持っています。各バスへのデータ入出力は、C バスは I、I バスは B、周辺バスは P クロックへの立ち上がりに同期して行います。

図 8.41 に I :B :P = 4:4:1 の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている C バスでは I に同期してデータ出力します。I :B = 1:1 の場合は C バスから I バスへのデータ転送は $2I + B$ 期間必要になります。I バスから周辺バスへの転送は、B :P = 4:1 の場合は、P \times I クロックの間に 4 つのクロックがありますので、データが周辺バスに乗るタイミングは、P \times I に対して 4 つのタイミングがあり、I バスから周辺バスへ転送するタイミングである P の立ち上がりエッジに対して、最大 $4 \times B$ の期間が必要となります (図 8.41 の例では $4 \times B$)。そのため、B :P = 4:1 のときは、 $(1+m) \times B$ 、m=0~3 の期間で I バスから周辺バスへ転送されます。データが I バスに乗るタイミングと P の立ち上がりエッジのタイミングの関係はプログラムの実行状態に依存します。図 8.41 では、n=0、m=3 であるため、アクセス期間は $2 \times I + 4 \times B + 2 \times P$ となります。

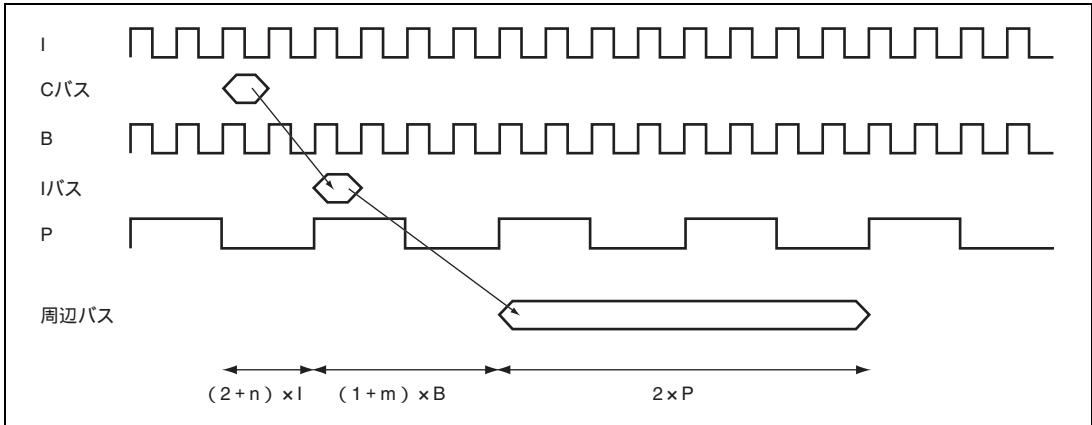


図 8.41 I :B :P =4:4:1 の場合の内蔵周辺 I/O レジスタへのライトアクセスタイミング

図 8.42 に I :B :P =4:2:1 の場合の周辺バスへのリードアクセスタイミングの一例を示します。C バスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値を CPU まで転送する必要があります。周辺バスから I バス、I バスから C バスへの転送も各バスクロックの立ち上がり同期して行われますが、I B P のため、実際には $(2+1) \times I$ 期間を必要とします。図 8.42 の例では、 $n=1$ 、 $m=1$ 、 $l=1$ であるため、アクセス期間は $3 \times I + 2 \times B + 2 \times P + 3 \times I$ 、となります。

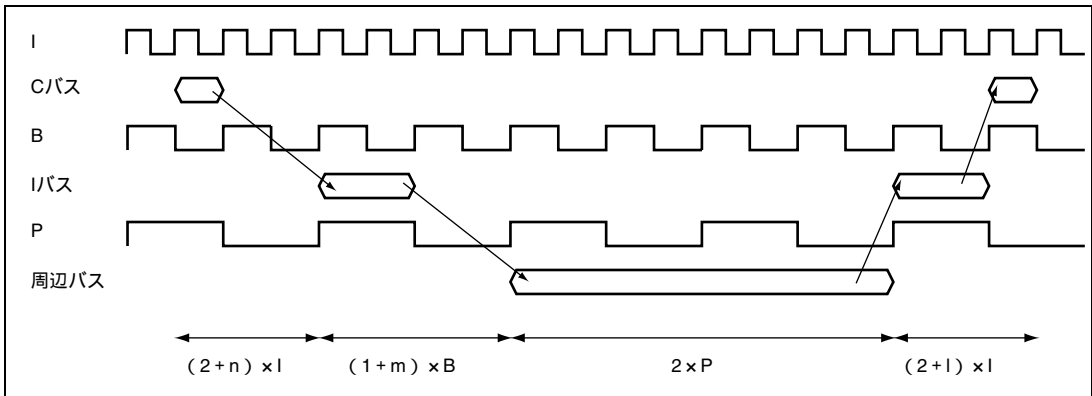


図 8.42 I :B :P =4:2:1 の場合の内蔵周辺 I/O レジスタへのリードアクセスタイミング

8.6 使用上の注意事項

8.6.1 バースト ROM インタフェース

クロック非同期のバーストROM インタフェースを使用する場合で、以下の3条件をすべて満たす場合に、ライトアクセス直後の外部バス空間からのリード/ライトアクセスが正常に実行されない場合があります。

1. クロック非同期のバーストROMインタフェースを16ビットバス幅で使用 (CSnBCR.TYPE[2:0]設定がB'001、かつCSnWCR.BSZ[1:0]設定がB'10)
2. バースト数を4に設定 (CSnWCR.BST[1:0]設定がB'10)
3. 上記設定のバーストROMインタフェースに対して、DMACによる16バイト転送のライトアクセスが発生

9. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

9.1 特長

- チャンネル数：CH0～CH7の8チャンネル
 - CH0～CH3の4チャンネルのみ、外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
 - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
 - 内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
SCIF：8要因、IIC3：2要因、A/D変換器：1要因、MTU2：5要因、CMT：2要因
- バスモード：サイクルスチールモード (通常モードとインターミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCRのHEビット、HIEビットにより、DMAC転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDIはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次のDMA転送を異なる設定で実行することができます。
このリロード機能は、チャンネルごとにON/OFFの設定が可能です。

9. ダイレクトメモリアクセスコントローラ (DMAC)

図 9.1 に DMAC のブロック図を示します。

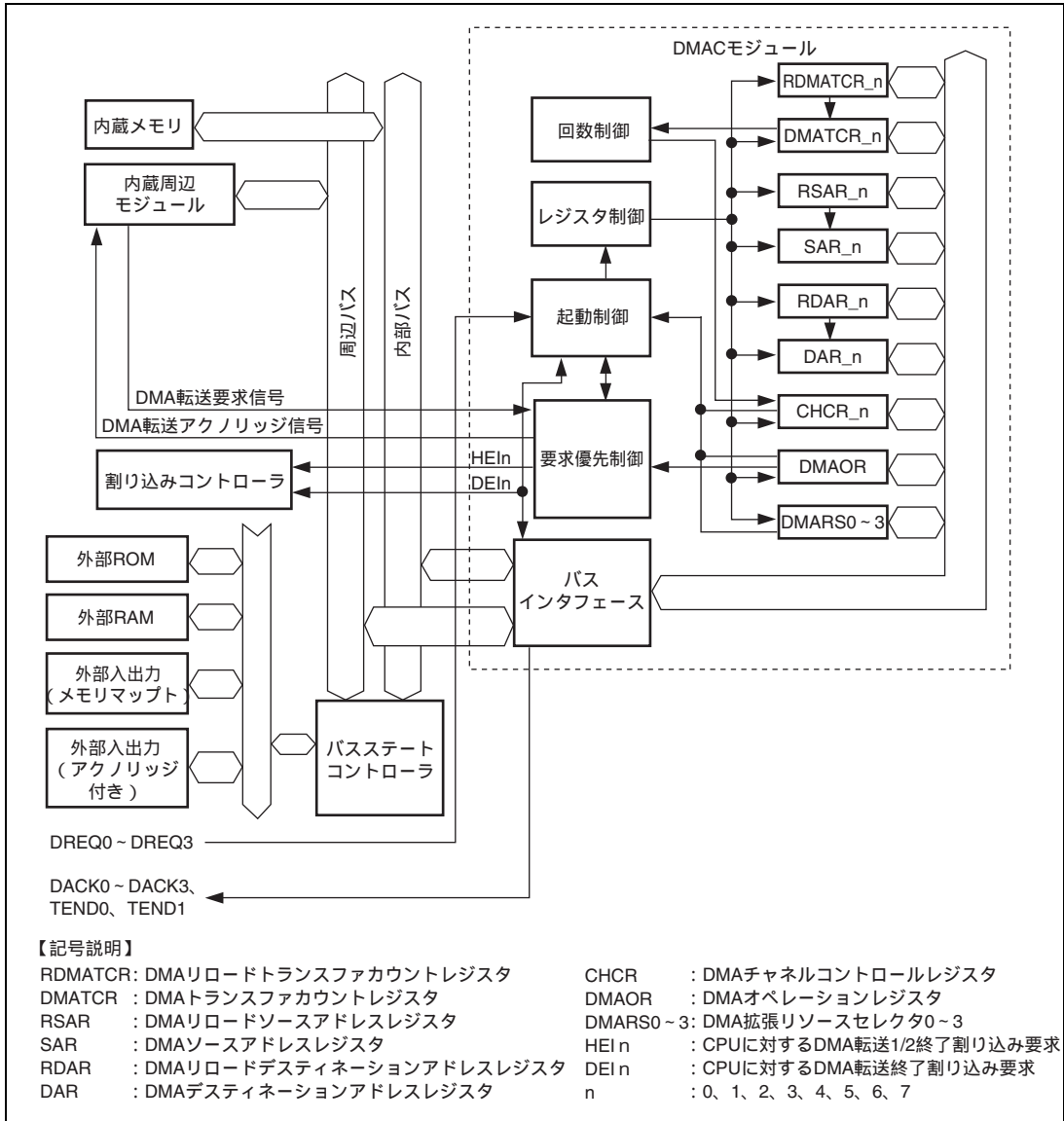


図 9.1 DMAC のブロック図

9.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 9.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子 (CH0 ~ CH3) を持っています。

表 9.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
2	DMA 転送要求	DREQ2	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK2	出力	DMAC チャンネル 2 から外部デバイスへの DMA 転送要求受け付け出力
3	DMA 転送要求	DREQ3	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK3	出力	DMAC チャンネル 3 から外部デバイスへの DMA 転送要求受け付け出力
0	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.3 レジスタの説明

DMAC には以下のレジスタがあります。各チャンネルごとに 4 本の制御レジスタと 3 本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。さらに、2 チャンネルごとに 1 本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

表 9.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W*1	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウントレジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W*1	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーションアドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウントレジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

9. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、 32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、 32
	DMA トランスファカウントレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W* ¹	H'00000000	H'FFFE102C	8、 16、 32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、 32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、 32
	DMA リロードトランスファカウント レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、 32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、 32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、 32
	DMA トランスファカウントレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W* ¹	H'00000000	H'FFFE103C	8、 16、 32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、 32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、 32
	DMA リロードトランスファカウント レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、 32
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'00000000	H'FFFE1040	16、 32
	DMA デスティネーションアドレス レジスタ_4	DAR_4	R/W	H'00000000	H'FFFE1044	16、 32
	DMA トランスファカウントレジスタ_4	DMATCR_4	R/W	H'00000000	H'FFFE1048	16、 32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W* ¹	H'00000000	H'FFFE104C	8、 16、 32
	DMA リロードソースアドレス レジスタ_4	RSAR_4	R/W	H'00000000	H'FFFE1140	16、 32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	R/W	H'00000000	H'FFFE1144	16、 32
	DMA リロードトランスファカウント レジスタ_4	RDMATCR_4	R/W	H'00000000	H'FFFE1148	16、 32

9. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'00000000	H'FFFE1050	16、 32
	DMA デスティネーションアドレス レジスタ_5	DAR_5	R/W	H'00000000	H'FFFE1054	16、 32
	DMA トランスファカウントレジスタ_5	DMATCR_5	R/W	H'00000000	H'FFFE1058	16、 32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W* ¹	H'00000000	H'FFFE105C	8、 16、 32
	DMA リロードソースアドレス レジスタ_5	RSAR_5	R/W	H'00000000	H'FFFE1150	16、 32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	R/W	H'00000000	H'FFFE1154	16、 32
	DMA リロードトランスファカウント レジスタ_5	RDMATCR_5	R/W	H'00000000	H'FFFE1158	16、 32
6	DMA ソースアドレスレジスタ_6	SAR_6	R/W	H'00000000	H'FFFE1060	16、 32
	DMA デスティネーションアドレス レジスタ_6	DAR_6	R/W	H'00000000	H'FFFE1064	16、 32
	DMA トランスファカウントレジスタ_6	DMATCR_6	R/W	H'00000000	H'FFFE1068	16、 32
	DMA チャンネルコントロールレジスタ_6	CHCR_6	R/W* ¹	H'00000000	H'FFFE106C	8、 16、 32
	DMA リロードソースアドレス レジスタ_6	RSAR_6	R/W	H'00000000	H'FFFE1160	16、 32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	R/W	H'00000000	H'FFFE1164	16、 32
	DMA リロードトランスファカウント レジスタ_6	RDMATCR_6	R/W	H'00000000	H'FFFE1168	16、 32
7	DMA ソースアドレスレジスタ_7	SAR_7	R/W	H'00000000	H'FFFE1070	16、 32
	DMA デスティネーションアドレス レジスタ_7	DAR_7	R/W	H'00000000	H'FFFE1074	16、 32
	DMA トランスファカウントレジスタ_7	DMATCR_7	R/W	H'00000000	H'FFFE1078	16、 32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	R/W* ¹	H'00000000	H'FFFE107C	8、 16、 32
	DMA リロードソースアドレス レジスタ_7	RSAR_7	R/W	H'00000000	H'FFFE1170	16、 32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	R/W	H'00000000	H'FFFE1174	16、 32
	DMA リロードトランスファカウント レジスタ_7	RDMATCR_7	R/W	H'00000000	H'FFFE1178	16、 32

9. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16

【注】 *1 CHCRn の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

9.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元アドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK の仕様を決めるビット (DO、AM、AL、DL、DS) については、チャンネル 0~3 で読み書き可能となっていますが、チャンネル 4~7 では対応するビットはリザーブビットとなっています。

さらに外部端子 TEND の仕様を決めるビット (TL) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	-	RLD	-	-	-	-	DO	TL	-	-	HE	HIE	AM	AL
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/(W)*	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	トランスファカウントモード 1回の転送要求で1回転送するか、DMATCRの設定回数転送するかを設定します。ただし、TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をSCIF、IIC3に設定した場合には、TC=1に設定しないでください。 0:1回の転送要求で1回転送 1:1回の転送要求でDMATCRの設定回数転送
30, 29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	RLD	0	R/W	リロード機能 ON/OFF リロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。 0:リロード機能は無効(OFF) 1:リロード機能は有効(ON)
27~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	DO	0	R/W	DMA オーバラン DREQをオーバラン0で検出するか、オーバラン1で検出するかを選択します。本ビットはCHCR_0~3でのみ有効です。CHCR_4~7ではリザーブビットで読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0:DREQをオーバラン0で検出 1:DREQをオーバラン1で検出

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
22	TL	0	R/W	<p>トランスファエンドレベル</p> <p>TEND 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力</p>
21、20	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
19	HE	0	R/(W)*	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。</p> <p>0 : DMA 転送中または DMA 転送中断で、 DMATCR > (転送前にセットした DMATCR) / 2</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> HE ビットの 1 を読み出してから 0 を書き込む <p>1 : DMATCR (転送前にセットした DMATCR) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を禁止 1 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。</p> <p>本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止) 01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : 設定禁止</p>
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます)。</p> <p>00 : ソースアドレスは固定 (16 バイト単位転送時は設定禁止) 01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : 設定禁止</p>

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : 設定禁止</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : 設定禁止</p> <p>0110 : 設定禁止</p> <p>0111 : 設定禁止</p> <p>1000 : DMA 拡張リソースセクタ</p> <p>1001 : 設定禁止</p> <p>1010 : 設定禁止</p> <p>1011 : 設定禁止</p> <p>1100 : 設定禁止</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】外部リクエストの指定は CHCR_0~3 のみ有効です。 CHCR_4~7 では外部リクエストの指定をしても、何も実行されません。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル</p> <p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは CHCR_0~3 のみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がりエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバースモード</p> <p>DMA 転送のバースモードを選択します。ただし、TC = 0 に設定した場合には、バースモードに設定しないでください。</p> <p>0 : サイクルスチールモード</p> <p>1 : バースモード</p>

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
4, 3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断 [クリア条件] • TE ビットの 1 を読み出してから 0 を書き込む 1 : (DMATCR=0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	AE	NMIF	DME	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするためにはレジスタを読み出し、1が読み出せたビットにのみ0を書き込むようにしてください。読み出した値が0のビットには、1を書き込むようにしてください。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13、12	CMS[1:0]	00	R/W	<p>サイクルスチールモードセレクト</p> <p>サイクルスチールモード時に通常モードとインターミitttentモードを選択します。</p> <p>インターミitttentモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。</p> <p>00：通常モード</p> <p>01：設定禁止</p> <p>10：インターミitttentモード 16 B クロックで 16 クロックに 1 回 DMA 転送を実行</p> <p>11：インターミitttentモード 64 B クロックで 64 クロックに 1 回 DMA 転送を実行</p>
11、10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9、8	PR[1:0]	00	R/W	<p>プライオリティモード</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00：固定モード 1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7</p> <p>01：固定モード 2：CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7</p> <p>10：設定禁止</p> <p>11：ラウンドロビンモード (CH0～CH3のみラウンド対象)</p>
7～3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>0：DMAC によるアドレスエラーなし</p> <p>1：DMAC によるアドレスエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> AE ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするためにはレジスタを読み出し、1 が読み出せたビットにのみ 0 を書き込むようにしてください。読み出した値が 0 のビットには、1 を書き込むようにしてください。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 となり、固定モード 1 で再設定した場合は優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャンネルはリセットされます。

表 9.3 に、プライオリティモードビットの各モード (モード 0~2) の優先順位の遷移を示します。各モードは転送終了したチャンネルによって、次にリクエストを受けるチャンネルの優先順位が最大 3 通りに変化します。

たとえば、転送終了したチャンネルが CH1 のとき、次にリクエストを受け付けるチャンネルの優先順位は、CH2>CH3>CH0>CH1>CH4>CH5>CH6>CH7 となります。また、転送終了したチャンネルが CH4、CH5、CH6、CH7 の場合にはラウンドロビンの対象外となるため、チャンネル 4、チャンネル 5、チャンネル 6、またはチャンネル 7 が転送終了しても優先順位は変化しません。

また、アドレスエラー発生時の DMAC の内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合：リード (転送元 DMAC内部) ライト (DMAC内部 転送先)
- アドレスエラーがソースアドレスで発生：Nop Nop
- アドレスエラーがデスティネーションアドレスで発生：リード Nop

9. ダイレクトメモリアクセスコントローラ (DMAC)

表 9.3 プライオリティモードビットの組み合わせ

モード	転送終了	プライオリティモードビット		転送終了後の優先順位：高 低							
	CH No.	PR[1]	PR[0]	優先順位 0	優先順位 1	優先順位 2	優先順位 3	優先順位 4	優先順位 5	優先順位 6	優先順位 7
モード 0 (固定モード 1)	任意	0	0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
モード 1 (固定モード 2)	任意	0	1	CH0	CH4	CH1	CH5	CH2	CH6	CH3	CH7
モード 2 (ラウンドロビンモード)	CH0	1	1	CH1	CH2	CH3	CH0	CH4	CH5	CH6	CH7
	CH1	1	1	CH2	CH3	CH0	CH1	CH4	CH5	CH6	CH7
	CH2	1	1	CH3	CH0	CH1	CH2	CH4	CH5	CH6	CH7
	CH3	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH4	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH5	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH6	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH7	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7

9.3.9 DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)

DMARS は、読み出し/書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5、DMARS3 はチャンネル 6 および 7 を設定します。設定可能な組み合わせを表 9.4 に示します。

SCIF からの 8 要因、IIC3 からの 2 要因、A/D 変換器からの 1 要因、MTU2 からの 5 要因、CMT からの 2 要因に対して転送要求を受け付けることができるように設定できます。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

• DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]					CH1 RID[1:0]		CH0 MID[5:0]					CH0 RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]					CH3 RID[1:0]		CH2 MID[5:0]					CH2 RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]						CH7 RID[1:0]		CH6 MID[5:0]						CH6 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下のMID、RIDを設定します。

表 9.4 DMARS の設定

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
SCIF_0 送信	H'81	B'100000	B'01	送信
SCIF_0 受信	H'82		B'10	受信
SCIF_1 送信	H'85	B'100001	B'01	送信
SCIF_1 受信	H'86		B'10	受信
SCIF_2 送信	H'89	B'100010	B'01	送信
SCIF_2 受信	H'8A		B'10	受信
SCIF_3 送信	H'8D	B'100011	B'01	送信
SCIF_3 受信	H'8E		B'10	受信
IIC3 送信	H'A1	B'101000	B'01	送信
IIC3 受信	H'A2		B'10	受信
A/D 変換器	H'B3	B'101100	B'11	-
MTU2_0	H'E3	B'111000	B'11	-
MTU2_1	H'E7	B'111001	B'11	-
MTU2_2	H'EB	B'111010	B'11	-
MTU2_3	H'EF	B'111011	B'11	-
MTU2_4	H'F3	B'111100	B'11	-
CMT_0	H'FB	B'111110	B'11	-
CMT_1	H'FF	B'111111	B'11	-

表 9.4 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0~7 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合、DMARS を設定しても転送要求元として受け付けられません。

9.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

9.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1 ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。
5. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 9.2 に上記のフローチャートを示します。

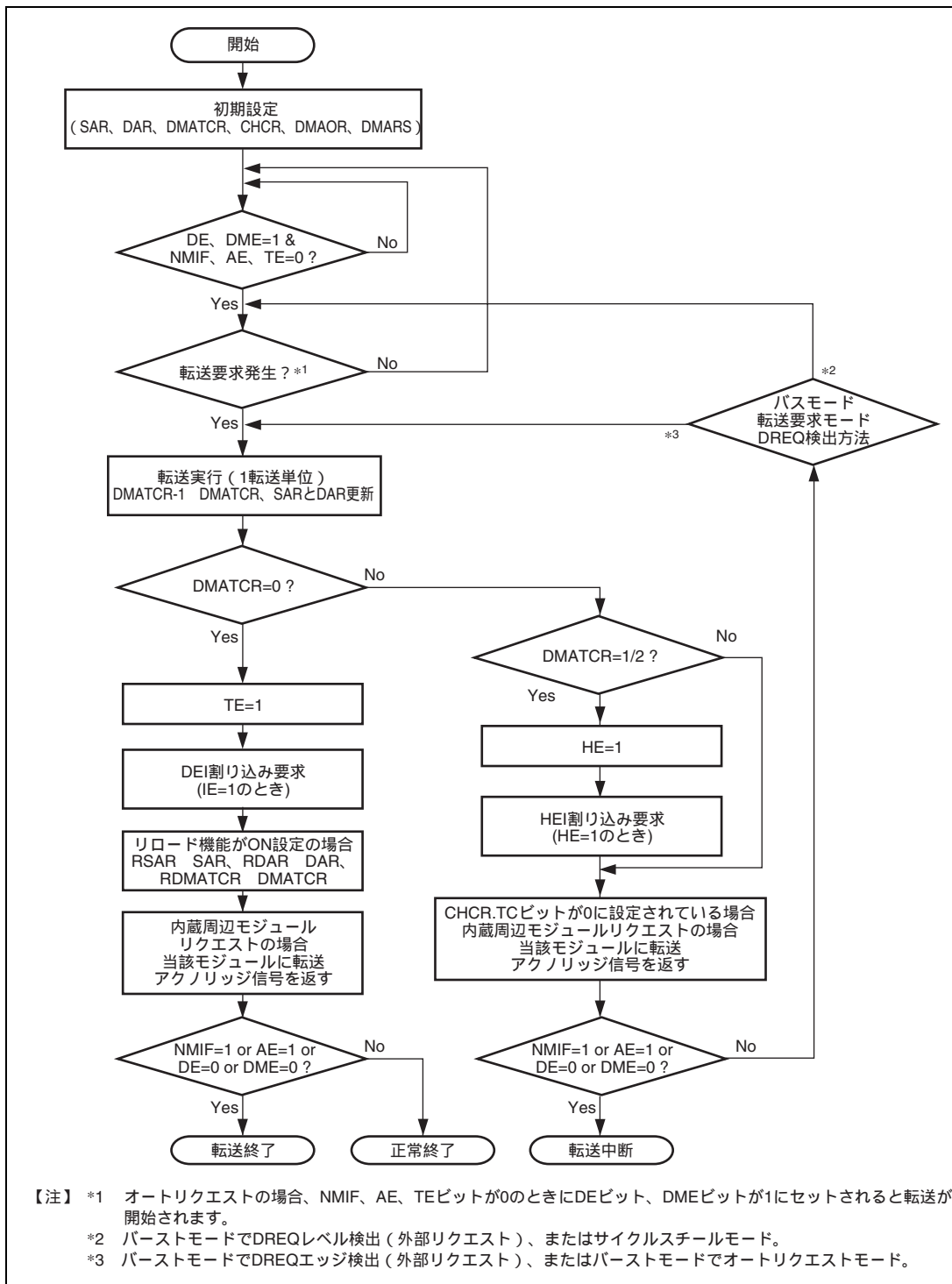


図 9.2 DMA 転送フローチャート

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は CHCR_0 ~ CHCR_7 の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2、DMARS3 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0 ~ CHCR_7 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0 ~ CHCR_7 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0 ~ DREQ3) によって転送を開始させるモードです。システムに応じて表 9.5 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 9.5 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 9.6 に示す CHCR_0 ~ CHCR_3 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 9.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

9. ダイレクトメモリアクセスコントローラ (DMAC)

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態 (不感帯) となります。受け付けた DREQ に対するアクリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 9.7 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバーラン 0
1	オーバーラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号としては、SCIF からの送信データエンブティ転送要求と受信データフル転送要求、A/D 変換器からの A/D 変換転送終了要求、CMT からのコンペアマッチ転送要求、IIC3、MTU2 からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) ならば、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンブティ転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。転送要求が A/D 変換器からの場合、転送元を A/D データレジスタ (ADDR) とする必要があります。転送要求を IIC3 送信に設定した場合には転送先を ICDRT に、転送要求を IIC3 受信に設定した場合には転送元を ICDRR にする必要があります。転送要求が CMT、MTU2 からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

9. ダイレクトメモリアクセスコントローラ (DMAC)

表 9.8 RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	100000	01	SCIF_0 送信	TXI0 (送信 FIFO データエンプティ)	任意	SCFTDR_0	サイクル スチール
		10	SCIF_0 受信	RXI0 (受信 FIFO データフル)	SCFRDR_0	任意	
	100001	01	SCIF_1 送信	TXI1 (送信 FIFO データエンプティ)	任意	SCFTDR_1	
		10	SCIF_1 受信	RXI1 (受信 FIFO データフル)	SCFRDR_1	任意	
	100010	01	SCIF_2 送信	TXI2 (送信 FIFO データエンプティ)	任意	SCFTDR_2	
		10	SCIF_2 受信	RXI2 (受信 FIFO データフル)	SCFRDR_2	任意	
	100011	01	SCIF_3 送信	TXI3 (送信 FIFO データエンプティ)	任意	SCFTDR_3	
		10	SCIF_3 受信	RXI3 (受信 FIFO データフル)	SCFRDR_3	任意	
	101000	01	IIC3 送信	TXI (送信データエンプティ)	任意	ICDRT	サイクル スチール
		10	IIC3 受信	RXI (受信データフル)	ICDRR	任意	
	101100	11	A/D 変換器	ADI (A/D 変換終了転送)	ADDR	任意	サイクル スチール
	111000	11	MTU2_0	TGI0A	任意	任意	サイクル スチール/ バースト
	111001	11	MTU2_1	TGI1A	任意	任意	
	111010	11	MTU2_2	TGI2A	任意	任意	
111011	11	MTU2_3	TGI3A	任意	任意		
111100	11	MTU2_4	TGI4A	任意	任意		
111110	11	CMT_0	コンペアマッチ転送要求 0	任意	任意	サイクル スチール/ バースト	
111111	11	CMT_1	コンペアマッチ転送要求 1	任意	任意		

9.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7
- 固定モード 2 : CH0 > CH4 > CH1 > CH5 > CH2 > CH6 > CH3 > CH7

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位がラウンドロビン対象チャンネル内で一番低くなるように優先順位を変更します。なお、ラウンドロビンの対象となるチャンネルは CH0 ~ CH3 の 4 チャンネルのみです。これ以外のチャンネルはラウンドロビンモードでも優先順位は変更されません。この動作を図 9.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

9. ダイレクトメモリアクセスコントローラ (DMAC)

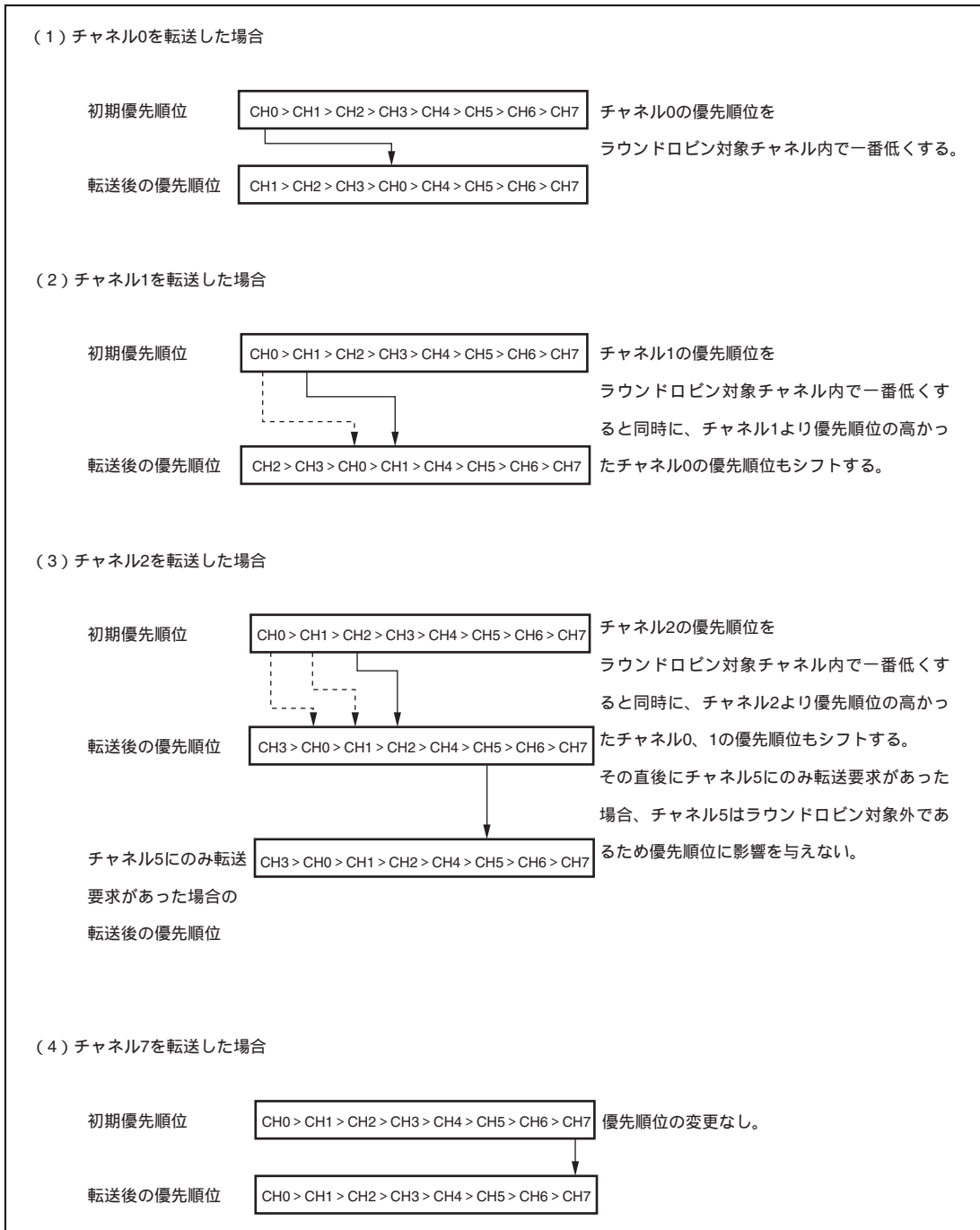


図 9.3 ラウンドロビンモード

9. ダイレクトメモリアクセスコントローラ (DMAC)

図 9.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位をラウンドロビン対象チャンネル内で一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位をラウンドロビン対象チャンネル内で一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位がラウンドロビン対象チャンネル内で一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

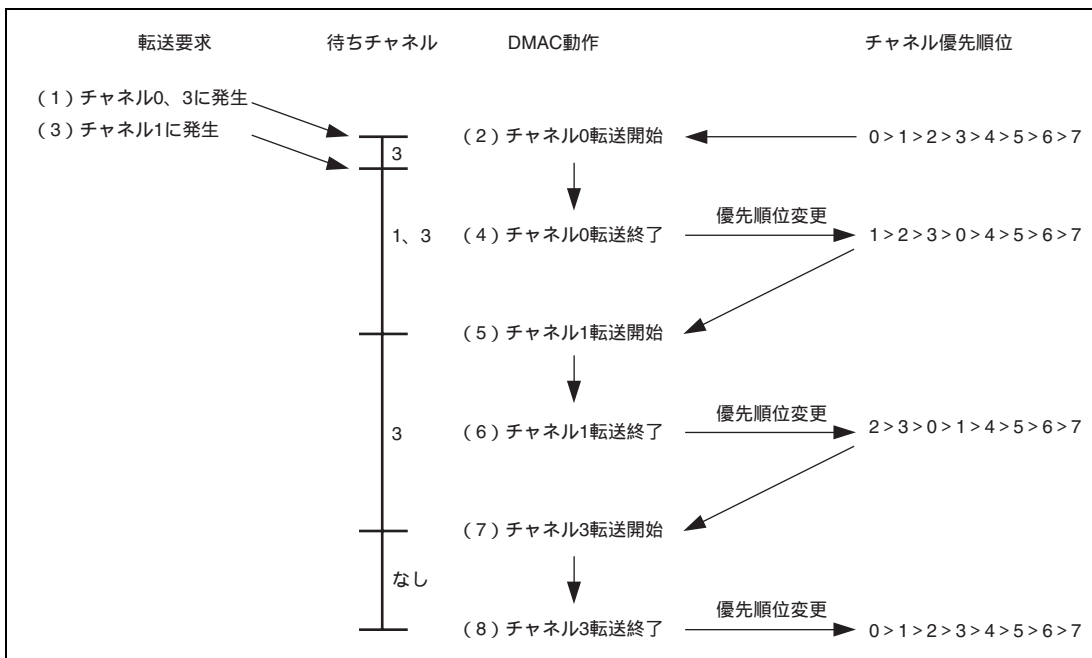


図 9.4 ラウンドロビンモードでのチャンネル優先順位

9. ダイレクトメモリアクセスコントローラ (DMAC)

9.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 9.9 に DMAC がサポートできる転送を示します。

表 9.9 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、シングル	デュアル、シングル	不可	不可
外部メモリ	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス (選択) する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図9.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

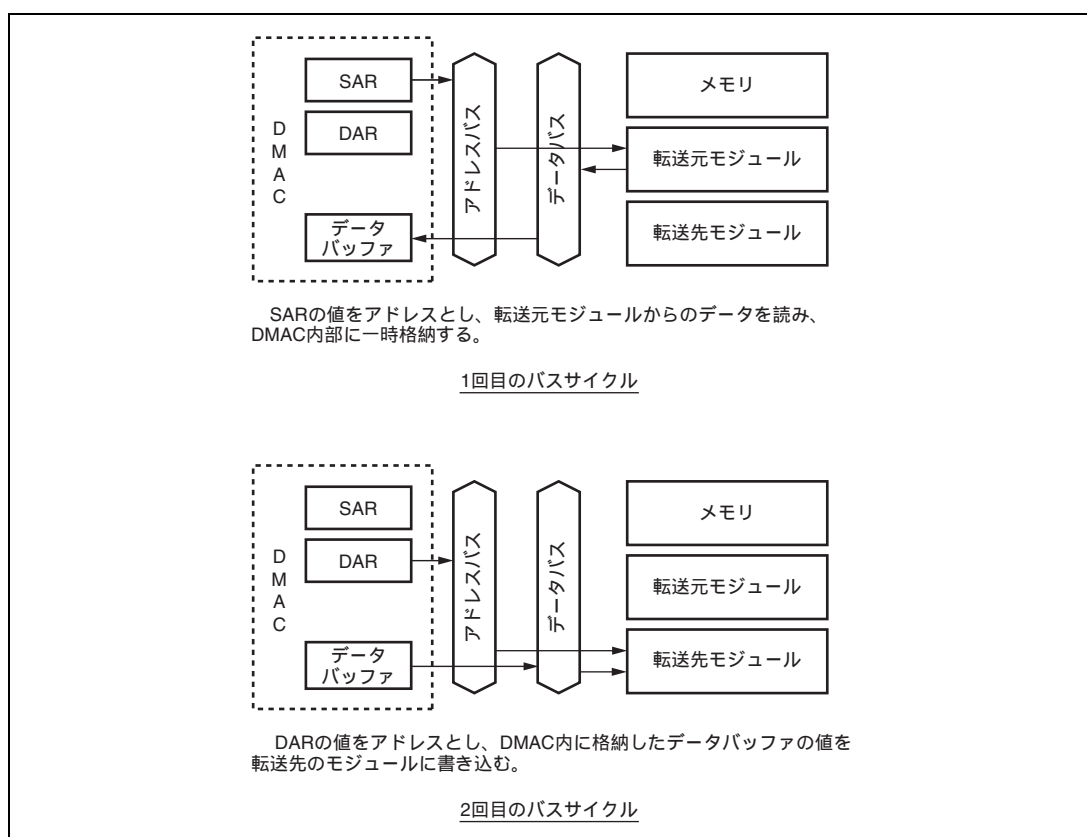


図 9.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCRのAMビットによって設定可能です。

図 9.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

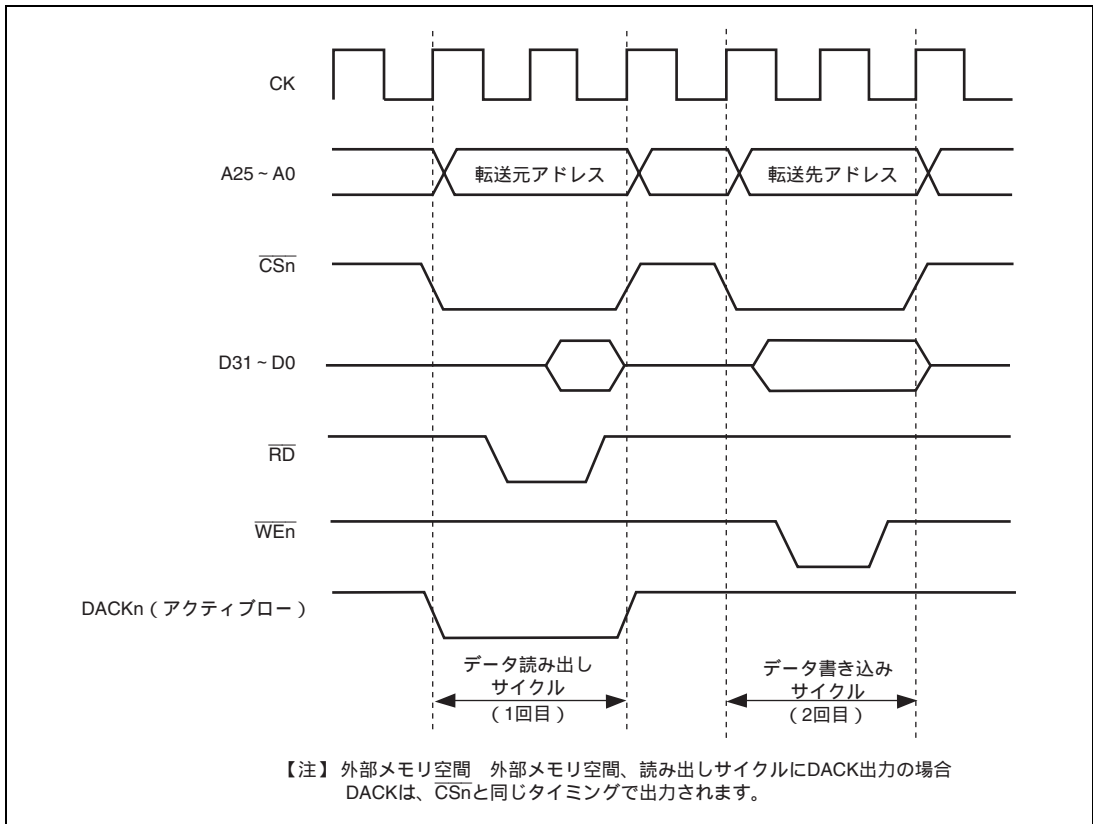


図 9.6 デュアルアドレスモードの DMA 転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。たとえば、図 9.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

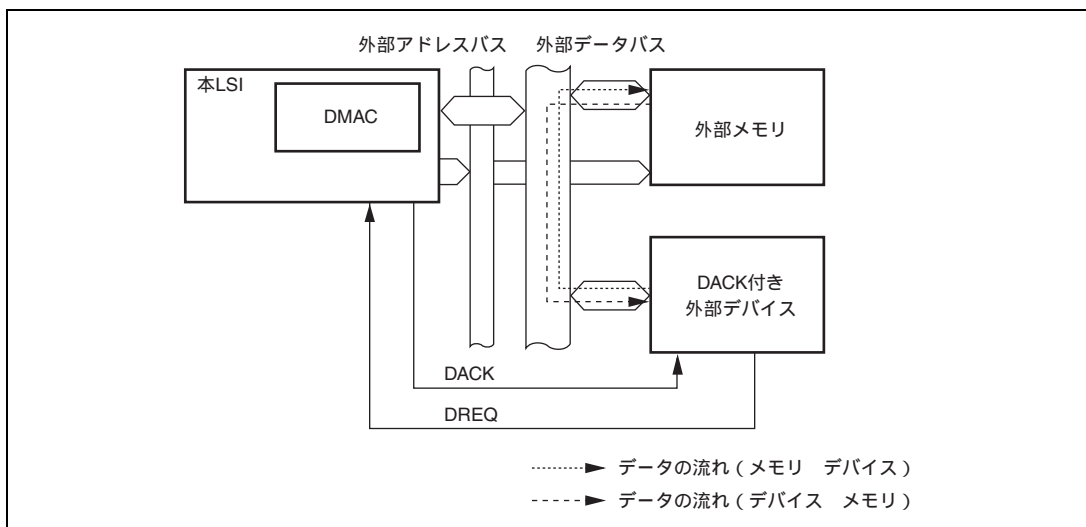


図 9.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 9.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

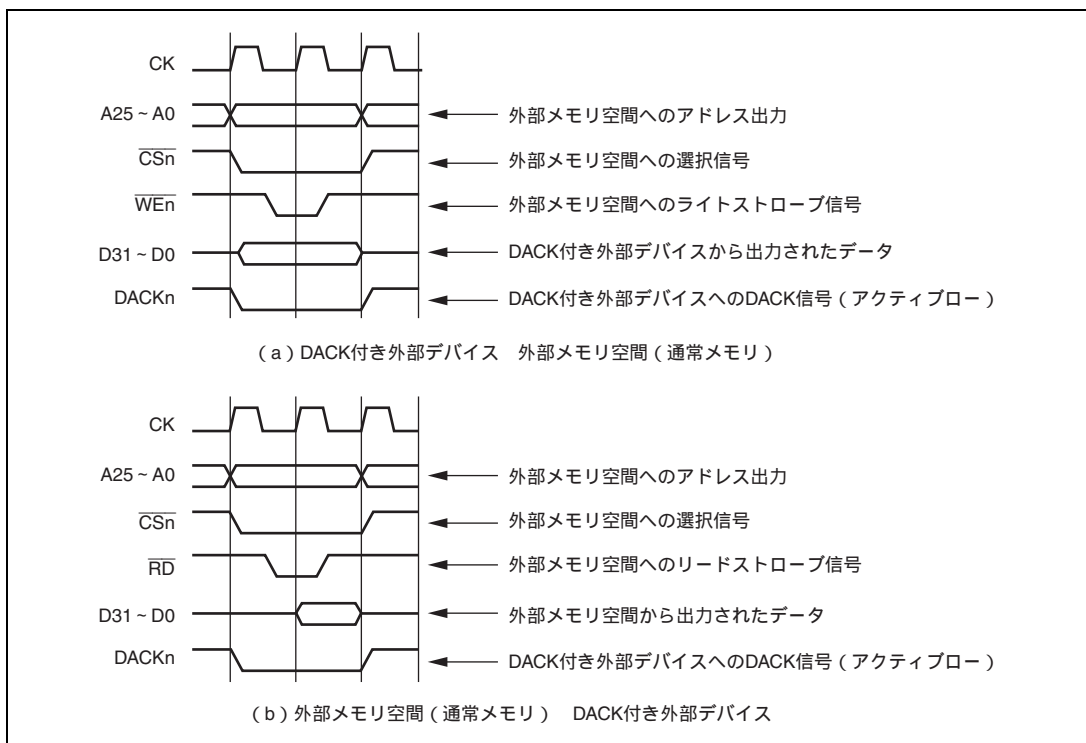


図 9.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図9.9にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

9. ダイレクトメモリアクセスコントローラ (DMAC)

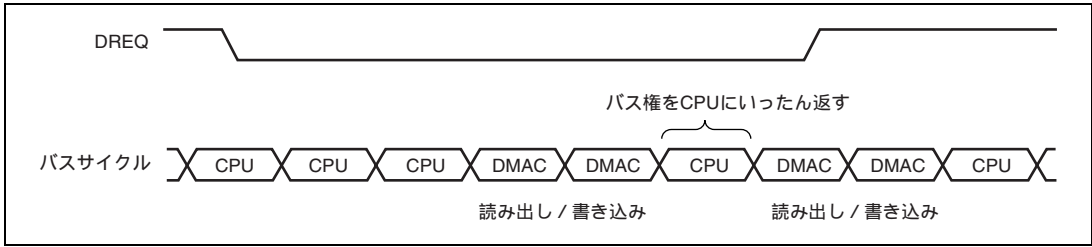


図 9.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットモード16、インターミットモード64

サイクルスチールのインターミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B クロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

インターミットモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図9.10にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

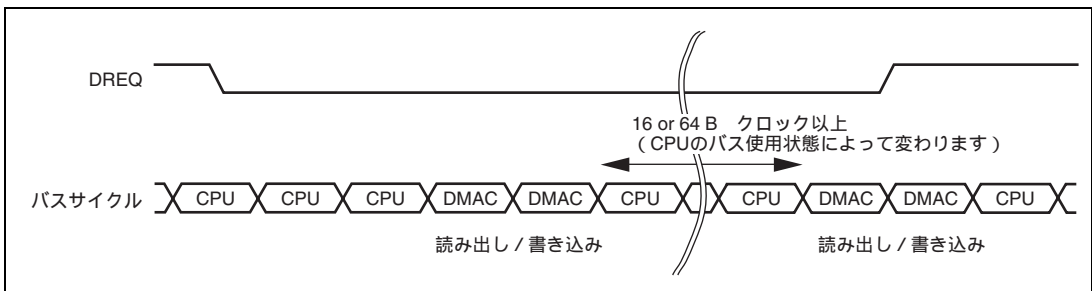


図 9.10 サイクルスチールインターミットモードの DMA 転送例
(デュアルアドレス、DREQ ローレベル検出)

9. ダイレクトメモリアクセスコントローラ (DMAC)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 9.11 にバーストモードでの DMA 転送タイミングを示します。

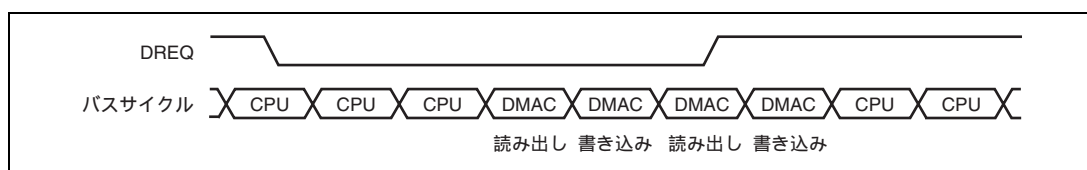


図 9.11 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

9. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 9.10 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 9.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3
	外部メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵メモリと内蔵メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、転送要求元が CMT、MTU2 の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャンネル 0~3 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、MTU2、CMT の場合のみ可能です。
- *5 転送要求元が MTU2、CMT の場合を除いてサイクルスチールのみ。

9. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、ただちにチャンネル0の転送を開始します。

このとき、チャンネル0もバーストモードの場合は優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1が転送を継続します。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図9.12に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

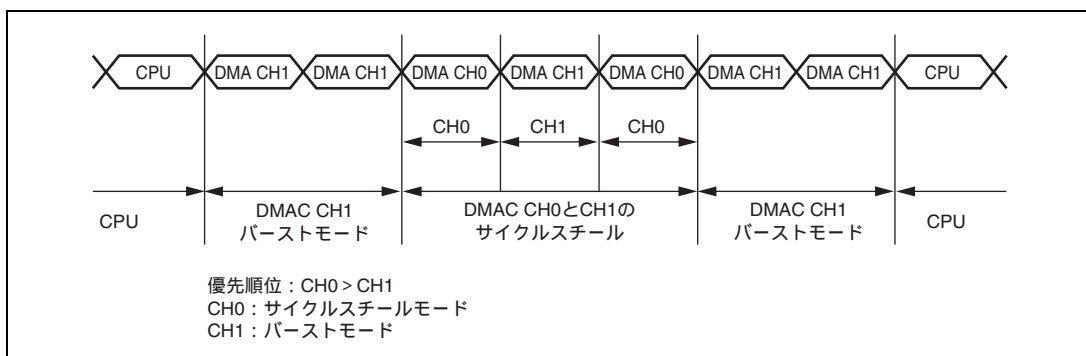


図 9.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 9.3 に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。

9.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳細は、「第 8 章 バスステートコントローラ (BSC)」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 9.13 ~ 図 9.16 に示します。

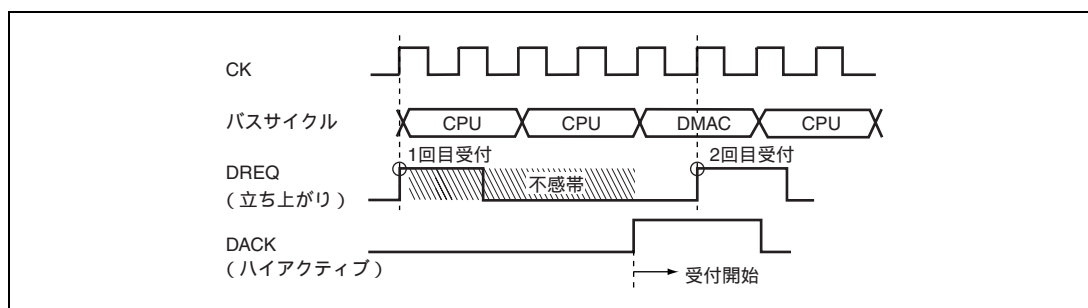


図 9.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

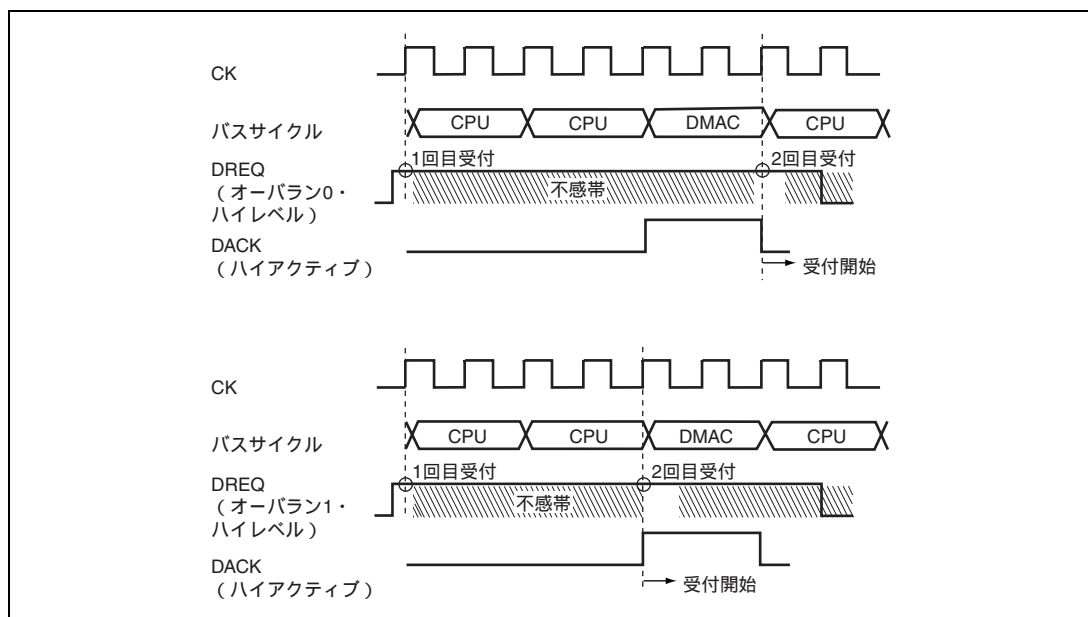


図 9.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

9. ダイレクトメモリアクセスコントローラ (DMAC)

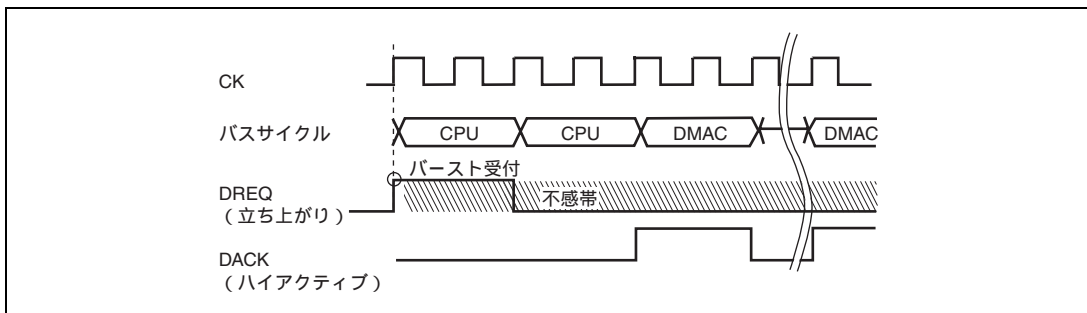


図 9.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング

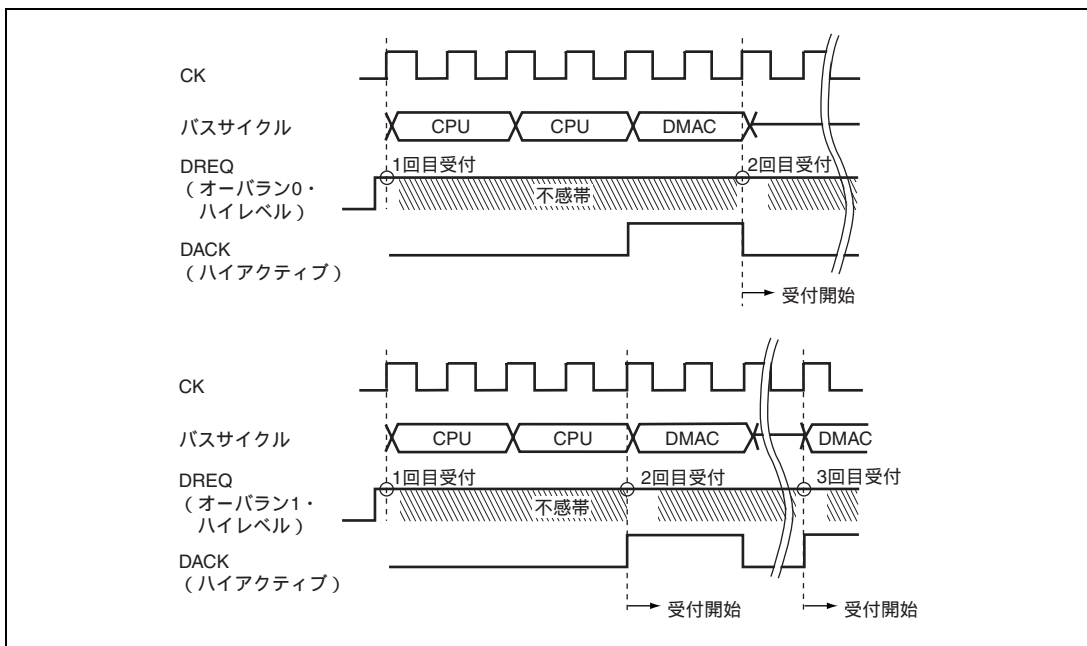


図 9.16 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 9.17 に TEND 出力のタイミングを示します。

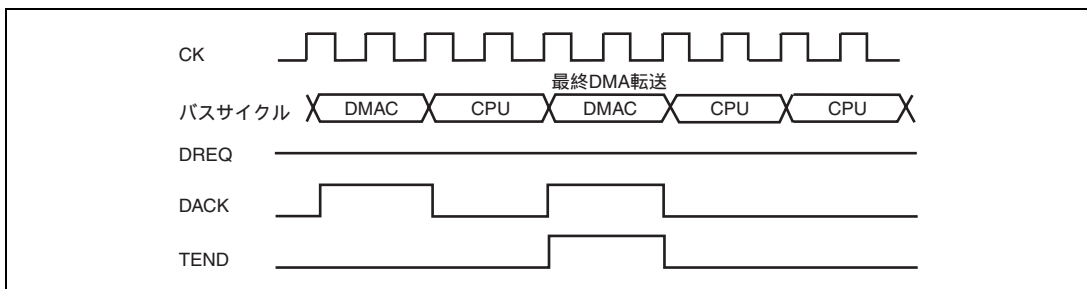


図 9.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

9. ダイレクトメモリアクセスコントローラ (DMAC)

8 ビット、16 ビット外部デバイスに 16 バイト転送を行ったり、8 ビット、16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合は、DMA 転送単位が複数のバスサイクルに分割されます。

DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で \overline{CS} がネゲートする設定の場合、データをアライメントするために \overline{CS} と同様に DACK 出力および TEND 出力が分割されるので注意してください。

また分割された DACK では DREQ をレベル検出モード (CHCR レジスタの DS ビットを 0) に設定すると、DREQ のサンプリングを正しく検出できず最大 1 回のオーバーランが余計に発生する可能性があります。

DACK が分割されない設定を用いるか、DACK が分割される場合は、外部デバイスのバス幅以下の転送サイズを指定するようにしてください。この例を図 9.18 に示します。

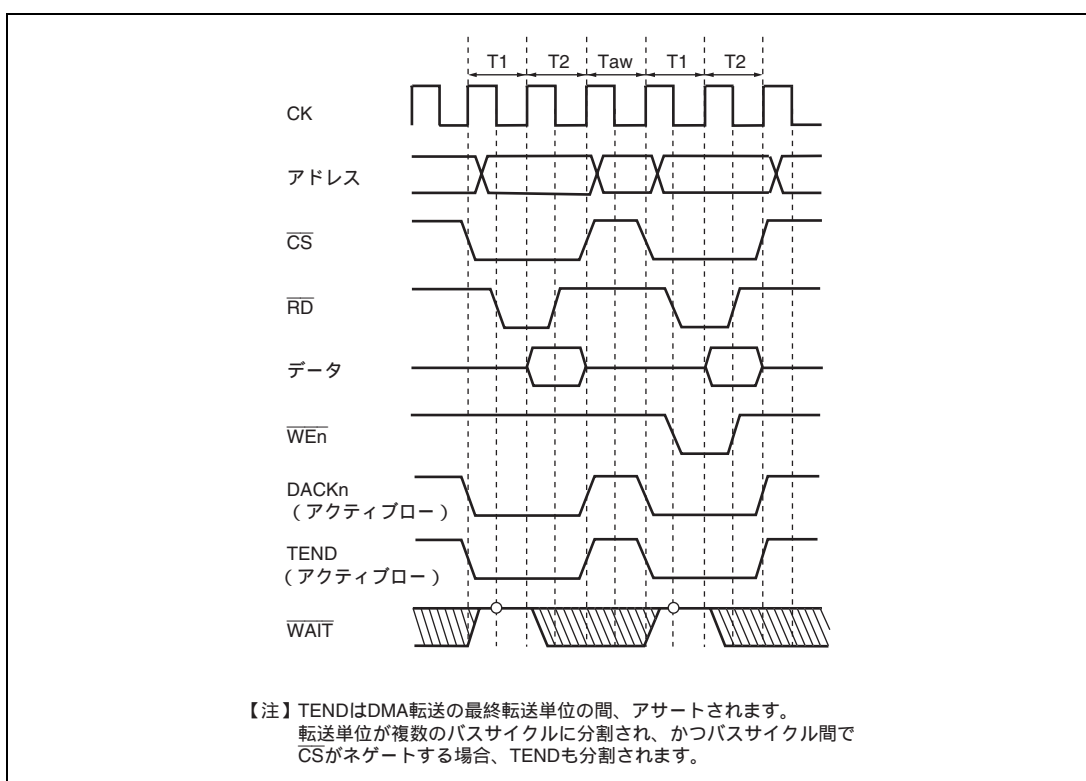


図 9.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル 1、16 ビットデバイスへのロングワードアクセス)

9.5 使用上の注意事項

9.5.1 ハーフエンドフラグのセットおよびハーフエンド割り込み

CHCR レジスタのハーフエンドフラグの状態を参照する場合およびハーフエンド割り込みを使用する場合で、かつリロード機能を合わせて使用する場合には、以下の注意事項がありますのでご注意ください。

リロードする転送回数(RDMATCR に設定する値)を、常に最初に設定した転送回数(DMATCR に設定した値)と同じ転送回数にしてください。

最初の DMATCR 設定値と 2 回目以降の転送で使用される RDMATCR の設定値が異なる場合、ハーフエンドフラグのセットされるタイミングが転送回数の半分よりも早くなったり、ハーフエンドフラグがセットされない場合があります。ハーフエンド割り込みも同様です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

10.1 特長

- 最大16本のパルス入出力、3本のパルス入力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 (チャンネル5は4種類)
- チャンネル0~4は次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
ただし、チャンネル5はコンペアマッチによる波形出力は不可
- チャンネル0、3、4はパツファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- CH5により、デッドタイム補償用カウンタ機能が可能
- 相補PWMモード時、カウンタの山 / 谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	P /1 P /4 P /16 P /64 TCLKA TCLKB TCLKC TCLKD	P /1 P /4 P /16 P /64 P /256 TCLKA TCLKB	P /1 P /4 P /16 P /64 P /1024 TCLKA TCLKB TCLKC	P /1 P /4 P /16 P /64 P /256 P /1024 TCLKA TCLKB	P /1 P /4 P /16 P /64 P /256 P /1024 TCLKA TCLKB	P /1 P /4 P /16 P /64
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRU_5 TGRV_5 TGRW_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4	-
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力					-
	1 出力					-
	トグル出力					-
インプットキャプチャ機能						
同期動作						-
PWM モード 1						-
PWM モード 2				-	-	-
相補 PWM モード	-	-	-			-
リセット PWM モード	-	-	-			-
AC 同期モータ駆動モード		-	-			-
位相計数モード	-			-	-	-
バッファ動作		-	-			-
デッドタイム補償用 カウンタ機能	-	-	-	-	-	

10. マルチファンクションタイムパルスユニット 2 (MTU2)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	TGR の コンペアマッチ または インプット キャブチャ	-
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャブチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャブチャ	TGRA_2 の コンペアマッチ または インプット キャブチャ	TGRA_3 の コンペアマッチ または インプット キャブチャ	TGRA_4 の コンペアマッチ または インプット キャブチャ 相補 PWM モード時 TCNT_4 の アンドフロー (谷)	-
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 0A • コンペアマッチ / インプットキャブチャ 0B • コンペアマッチ / インプットキャブチャ 0C • コンペアマッチ / インプットキャブチャ 0D • コンペアマッチ 0E • コンペアマッチ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 1A • コンペアマッチ / インプットキャブチャ 1B • オーバフロー • アンドフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 2A • コンペアマッチ / インプットキャブチャ 2B • オーバフロー • アンドフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 3A • コンペアマッチ / インプットキャブチャ 3B • コンペアマッチ / インプットキャブチャ 3C • コンペアマッチ / インプットキャブチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 4A • コンペアマッチ / インプットキャブチャ 4B • コンペアマッチ / インプットキャブチャ 4C • コンペアマッチ / インプットキャブチャ 4D • オーバフロー / アンドフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャブチャ 5U • コンペアマッチ / インプットキャブチャ 5V • コンペアマッチ / インプットキャブチャ 5W

10. マルチファンクションタイマパルスユニット 2 (MTU2)

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の一致で、A/D 変換開始要求 • TADCORB_4 と TCNT_4 の一致で、A/D 変換開始要求 	-
割り込み間引き機能	-	-	-	<ul style="list-style-type: none"> • TGRA_3 のコンペアマッチ割り込みを間引き 	<ul style="list-style-type: none"> • TCIV_4 割り込みを間引き 	-

【記号説明】

: 可能

- : 不可

10. マルチファンクションタイマパルスユニット 2 (MTU2)

図 10.1 に MTU2 のブロック図を示します。

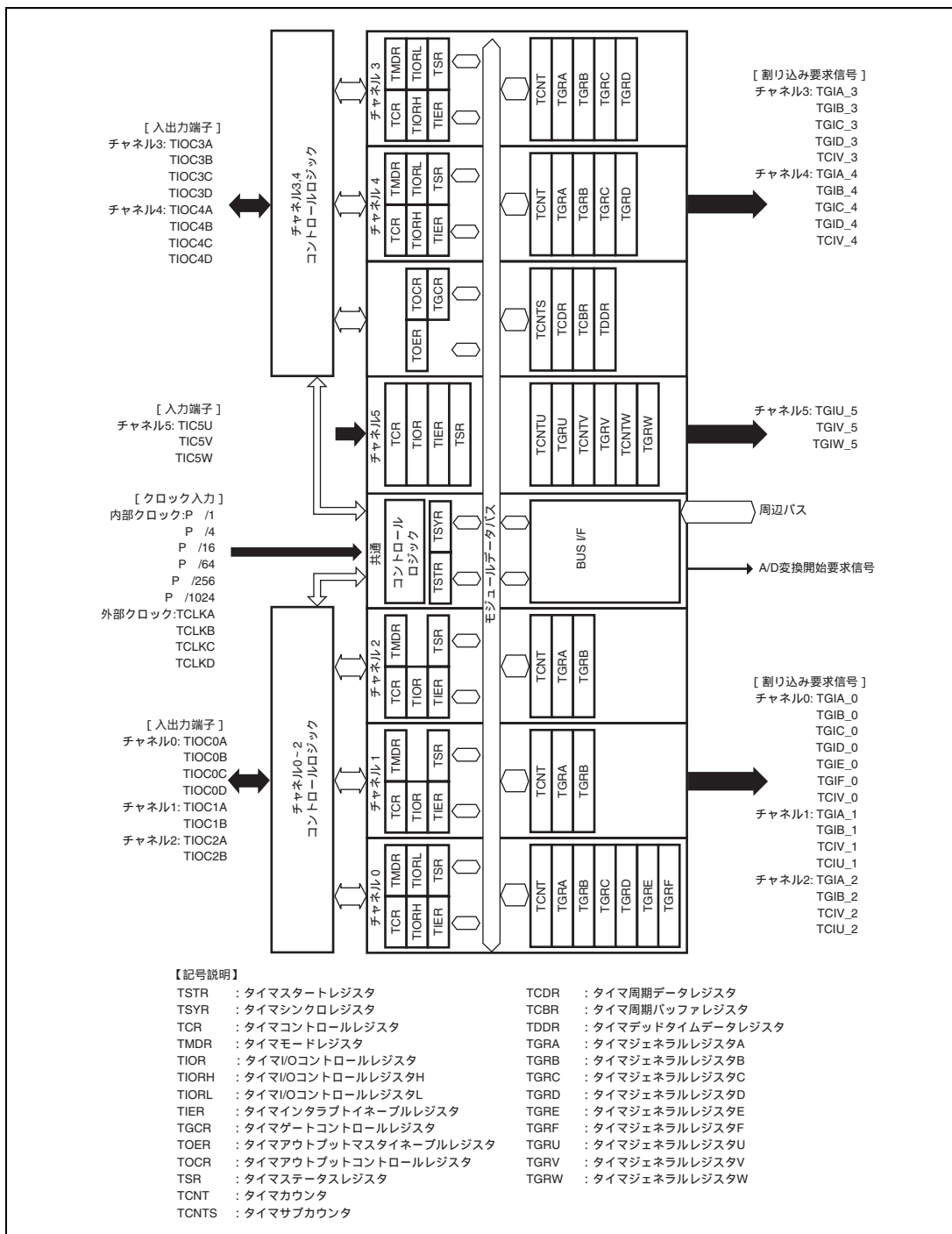


図 10.1 MTU2 のブロック図

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.2 入出力端子

表 10.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャンネル	端子名	入出力	機能
5	TIC5U	入力	TGRU_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5V	入力	TGRV_5 のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5W	入力	TGRW_5 のインプットキャプチャ入力 / 外部パルス入力端子

【注】 相補 PWM モードの端子構成は、「10.4.8 相補 PWM モード」の表 10.54 を参照してください。

10.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 26 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 10.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
	タイマバッファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFE4390	8

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'00	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'00	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
	タイマパルファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'00	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
	タイマパルファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
5	タイマコントロールレジスタ U_5	TCRU_5	R/W	H'00	H'FFFE4084	8
	タイマコントロールレジスタ V_5	TCRV_5	R/W	H'00	H'FFFE4094	8
	タイマコントロールレジスタ W_5	TCRW_5	R/W	H'00	H'FFFE40A4	8
	タイマ I/O コントロールレジスタ U_5	TIORU_5	R/W	H'00	H'FFFE4086	8
	タイマ I/O コントロールレジスタ V_5	TIORV_5	R/W	H'00	H'FFFE4096	8
	タイマ I/O コントロールレジスタ W_5	TIORW_5	R/W	H'00	H'FFFE40A6	8
	タイマインタラプトイネーブル レジスタ_5	TIER_5	R/W	H'00	H'FFFE40B2	8
	タイマステータスレジスタ_5	TSR_5	R/W	H'00	H'FFFE40B0	8
	タイマスタートレジスタ_5	TSTR_5	R/W	H'00	H'FFFE40B4	8
	タイマカウンタ U_5	TCNTU_5	R/W	H'0000	H'FFFE4080	16
	タイマカウンタ V_5	TCNTV_5	R/W	H'0000	H'FFFE4090	16
	タイマカウンタ W_5	TCNTW_5	R/W	H'0000	H'FFFE40A0	16
	タイマジェネラルレジスタ U_5	TGRU_5	R/W	H'FFFF	H'FFFE4082	16
	タイマジェネラルレジスタ V_5	TGRV_5	R/W	H'FFFF	H'FFFE4092	16
	タイマジェネラルレジスタ W_5	TGRW_5	R/W	H'FFFF	H'FFFE40A2	16
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	R/W	H'00	H'FFFE40B6	8
	共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280
タイマシンクロレジスタ		TSYR	R/W	H'00	H'FFFE4281	8
タイマカウンタシンクロスタート レジスタ		TCSYSTR	R/W	H'00	H'FFFE4282	8
タイマリードライトイネーブル レジスタ		TRWER	R/W	H'01	H'FFFE4284	8

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'00	H'FFFE420A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H80	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFE4234	8
	タイマシンクロクリアレジスタ	TSYCR	R/W	H'00	H'FFFE4250	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE4236	8

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、チャンネル 5 には TCRU/V/W_5 の 3 本、計 8 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 10.4、表 10.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P /4 の両エッジ = P /2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P /4 もしくはそれより遅い場合に有効です。入力クロックに P /1、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合、値は書き込みますが、動作は初期値となります。 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント 1x : 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.6 ~ 表 10.10 を参照してください。

【記号説明】 x : Don't care

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 10.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	内部クロック : P /256 でカウント
	1	0	1	内部クロック : P /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

表 10.10 TPSC1、TPSC0 (チャンネル 5)

チャンネル	ビット 1	ビット 0	説 明
	TPSC1	TPSC0	
5	0	0	内部クロック : P /1 でカウント
	0	1	内部クロック : P /4 でカウント
	1	0	内部クロック : P /16 でカウント
	1	1	内部クロック : P /64 でカウント

【注】 チャンネル 5 では、ビット 7~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されず。書き込む値も常に 0 にしてください。 0: TGRE_0 と TGRF_0 は通常動作 1: TGRE_0 と TGRF_0 はバッファ動作
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGF D がセットされますので、タイムインタラプトイネーブルレジスタ_3/4 (TIER_3/4) の TGIED ビットは 0 にしてください。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0: TGRB と TGRD は通常動作 1: TGRB と TGRD はバッファ動作

10. マルチファンクションタイムパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3~MD0 はタイマの動作モードを設定します。 詳細は表 10.11 を参照してください。</p>

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.11 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* ¹
0	1	0	0	位相計数モード 1* ²
0	1	0	1	位相計数モード 2* ²
0	1	1	0	位相計数モード 3* ²
0	1	1	1	位相計数モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* ³
1	1	1	0	相補 PWM モード 2 (谷で転送)* ³
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、チャンネル 5 には TIORU/V/W_5 の 3 本、計 11 本の TIOR があります。

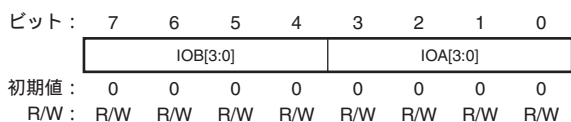
TIOR は TMDR の設定が、通常動作、PWM モード、位相計数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

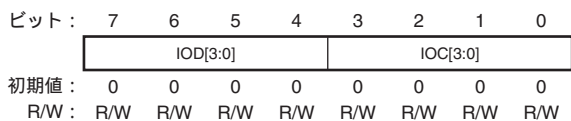
10. マルチファンクションタイムパルスユニット 2 (MTU2)

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4



ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3 ~ B0 IOB3 ~ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.12 TIOR_1 : 表 10.14 TIOR_2 : 表 10.15 TIORH_3 : 表 10.16 TIORH_4 : 表 10.18
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3 ~ A0 IOA3 ~ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 10.20 TIOR_1 : 表 10.22 TIOR_2 : 表 10.23 TIORH_3 : 表 10.24 TIORH_4 : 表 10.26

- TIORL_0、TIORL_3、TIORL_4



ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3 ~ D0 IOD3 ~ IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 10.13 TIORL_3 : 表 10.17 TIORL_4 : 表 10.19
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3 ~ C0 IOC3 ~ IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 10.21 TIORL_3 : 表 10.25 TIORL_4 : 表 10.27

10. マルチファンクションタイマパルスユニット 2 (MTU2)

- TIORU_5、TIO RV_5、TIO RW_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	IOC[4:0]				
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	IOC[4:0]	00000	R/W	I/O コントロール C4~C0 IOC4~IOC0 ビットは TGRU/W_5 の機能を設定します。 詳細については表 10.28 を参照してください。

表 10.12 TIO RH_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIO R を設定するまでは0が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.13 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.14 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.17 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.18 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.19 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* ²
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.20 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.21 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.25 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ*2
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.26 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.27 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

表 10.28 TIORU_5、TIORV_5、TIORW_5 (チャンネル 5)

ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	TGRU_5、TGRV_5、 TGRW_5 の機能	TIC5U、TIC5V、TIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	0	1	0		外部入力信号の Low パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	0	1	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の High パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	1	1	0		外部入力信号の High パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	1	1	1		外部入力信号の High パルス幅測定用 相補 PWM モードの山と谷でキャプチャ

【記号説明】 x : Don't care

10.3.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

TCNTCMPCLR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNTU_5、TCNTV_5、TCNTW_5 のクリア要求を設定することができます。MTU2 には、チャンネル 5 に 1 本の TCNTCMPCLR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMP CLR5U	CMP CLR5V	CMP CLR5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMPCLR5U	0	R/W	TCNT コンペアクリア 5U TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 クリア要求を許可または禁止します。 0: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを禁止 1: TCNTU_5 と TGRU_5 のコンペアマッチ / インพุットキャプチャによる、TCNTU_5 の H'0000 クリアを許可
1	CMPCLR5V	0	R/W	TCNT コンペアクリア 5V TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 クリア要求を許可または禁止します。 0: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを禁止 1: TCNTV_5 と TGRV_5 のコンペアマッチ / インพุットキャプチャによる、TCNTV_5 の H'0000 クリアを許可
0	CMPCLR5W	0	R/W	TCNT コンペアクリア 5W TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 クリア要求を許可または禁止します。 0: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを禁止 1: TCNTW_5 と TGRW_5 のコンペアマッチ / インพุットキャプチャによる、TCNTW_5 の H'0000 クリアを許可

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.5 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

10. マルチファンクションタイムパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

10. マルチファンクションタイマパルスユニット 2 (MTU2)

- TIER2_0

ビット: 7 6 5 4 3 2 1 0

TTGE2	-	-	-	-	-	TGIEF	TGIEE
-------	---	---	---	---	---	-------	-------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R R R R R R/W R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

10. マルチファンクションタイマパルスユニット 2 (MTU2)

• TIER_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに 1 がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに 1 がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIV_5) を許可または禁止します。 0 : TGIV_5 割り込み要求を禁止 1 : TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに 1 がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.6 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インพุットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRD に転送されたとき
2	TGFC	0	R/(W)* ¹	<p>インพุットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRC に転送されたとき
1	TGFB	0	R/(W)* ¹	<p>インพุットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRB に転送されたとき

10. マルチファンクションタイムパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動されたとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 タイマステータスレジスタ (TSR) へのライトは、1 リード後にクリアしたいビットのみ 0 ライト、その他のビットは 1 ライトを行ってください。1 ライトに関しては、実際には行われず、前値を保持します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

• TSR2_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF = 1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE = 1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRE_0 になったとき

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 タイマステータスレジスタ (TSR) へのライトは、1リード後にクリアしたいビットのみ0ライト、その他のビットは1ライトを行ってください。1ライトに関しては、実際には行われず、前値を保持します。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

• TSR_5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMFU5	CMFV5	CMFW5
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/(W)*1	R/(W)*1	R/(W)*1

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMFU5	0	R/(W)*1	コンペアマッチ / インพุットキャプチャフラグ U5 TGRU_5 のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] <ul style="list-style-type: none"> • CMFU5 = 1 の状態で CMFU5 をリード後、CMFU5 に 0 をライトしたとき [セット条件] <ul style="list-style-type: none"> • TGRU_5 がコンペアマッチレジスタとして機能している場合、TCNTU_5 = TGRU_5 になったとき • TGRU_5 がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNTU_5 の値が TGRU_5 に転送されたとき • TGRU_5 が外部入力信号のパルス幅測定として機能している場合、TCNTU_5 の値が TGRU_5 に転送されたとき*2
1	CMFV5	0	R/(W)*1	コンペアマッチ / インพุットキャプチャフラグ V5 TGRV_5 のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] <ul style="list-style-type: none"> • CMFV5 = 1 の状態で CMFV5 をリード後、CMFV5 に 0 をライトしたとき [セット条件] <ul style="list-style-type: none"> • TGRV_5 がコンペアマッチレジスタとして機能している場合、TCNTV_5 = TGRV_5 になったとき • TGRV_5 がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNTV_5 の値が TGRV_5 に転送されたとき • TGRV_5 が外部入力信号のパルス幅測定として機能している場合、TCNTV_5 の値が TGRV_5 に転送されたとき*2

10. マルチファンクションタイマパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
0	CMFW5	0	R/(W)*1	<p>コンペアマッチ/インプットキャプチャフラグ W5</p> <p>TGRW_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • CMFW5 = 1 の状態で CMFW5 をリード後、CMFW5 に 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRW_5 がコンペアマッチレジスタとして機能している場合、TCNTW_5 = TGRW_5 になったとき • TGRW_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTW_5 の値が TGRW_5 に転送されたとき • TGRW_5 が外部入力信号のパルス幅測定として機能している場合、TCNTW_5 の値が TGRW_5 に転送されたとき*2

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 転送するタイミングは、タイマ I/O コントロールレジスタ U_5/V_5/W_5 (TIORU_5/V_5/W_5) の IOC ビットで設定します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.7 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し/書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

10.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.9 タイマシンクロクリアレジスタ (TSYCR)

TSYCR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル 3 に 1 本の TSYCR があります。ただし MTU2 には TSYCR はありません。

ビット:	7	6	5	4	3	2	1	0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CE0A	0	R/W	クリアイネーブル 0A MTU2 の TSR_0 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFA フラグセットでのクリア禁止 1: TSR_0 の TGFA フラグセットでのクリア許可
6	CE0B	0	R/W	クリアイネーブル 0B MTU2 の TSR_0 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFB フラグセットでのクリア禁止 1: TSR_0 の TGFB フラグセットでのクリア許可
5	CE0C	0	R/W	クリアイネーブル 0C MTU2 の TSR_0 の TGFC フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFC フラグセットでのクリア禁止 1: TSR_0 の TGFC フラグセットでのクリア許可
4	CE0D	0	R/W	クリアイネーブル 0D MTU2 の TSR_0 の TGFD フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_0 の TGFD フラグセットでのクリア禁止 1: TSR_0 の TGFD フラグセットでのクリア許可
3	CE1A	0	R/W	クリアイネーブル 1A MTU2 の TSR_1 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_1 の TGFA フラグセットでのクリア禁止 1: TSR_1 の TGFA フラグセットでのクリア許可
2	CE1B	0	R/W	クリアイネーブル 1B MTU2 の TSR_1 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_1 の TGFB フラグセットでのクリア禁止 1: TSR_1 の TGFB フラグセットでのクリア許可
1	CE2A	0	R/W	クリアイネーブル 2A MTU2 の TSR_2 の TGFA フラグセットでのクリア禁止 / 許可を設定します。 0: TSR_2 の TGFA フラグセットでのクリア禁止 1: TSR_2 の TGFA フラグセットでのクリア許可

10. マルチファンクションタイムパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
0	CE2B	0	R/W	クリアイネーブル 2B MTU2 の TSR_2 の TGFB フラグセットでのクリア禁止 / 許可を設定します。 0 : TSR_2 の TGFB フラグセットでのクリア禁止 1 : TSR_2 の TGFB フラグセットでのクリア許可

10.3.10 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 10.29 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可

10. マルチファンクションタイマパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 10.29 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する* ¹
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

10.3.11 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.12 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

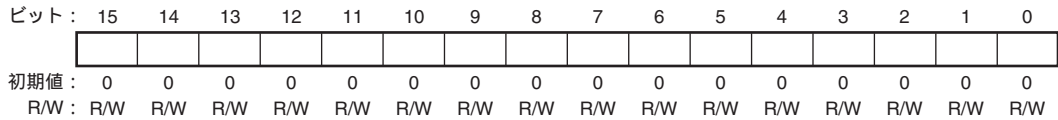
【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.13 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、チャンネル 5 に TCNTU/V/W_5 の 3 本、計 8 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。



【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

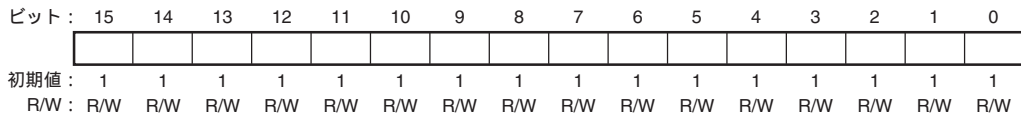
10.3.14 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャブチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。

TGRU_5、TGRV_5、TGRW_5 はコンペアマッチ / インプットキャブチャ / 外部パルス幅測定兼用のレジスタです。



【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

10.3.15 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TSTR_5 は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 5 の TCNTU/V/W_5 の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTR

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

10. マルチファンクションタイマパルスユニット 2 (MTU2)

• TSTR_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSTU5	CSTV5	CSTW5
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CSTU5	0	R/W	カウンタスタート U5 TCNTU_5 の動作または停止を選択します。 0 : TCNTU_5 のカウンタ動作は停止 1 : TCNTU_5 のカウンタ動作
1	CSTV5	0	R/W	カウンタスタート V5 TCNTV_5 の動作または停止を選択します。 0 : TCNTV_5 のカウンタ動作は停止 1 : TCNTV_5 のカウンタ動作
0	CSTW5	0	R/W	カウンタスタート W5 TCNTW_5 の動作または停止を選択します。 0 : TCNTW_5 のカウンタ動作は停止 1 : TCNTW_5 のカウンタ動作

10.3.16 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.17 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

TCSYSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU2 と MTU2S のカウンタの同期スタートを行います。ただし MTU2S には TCSYSTR はありません。

ビット:	7	6	5	4	3	2	1	0
	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*

【注】* レジスタをセットするために1を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SCH0	0	R/(W)*	シンクロスタート MTU2 の TCNT_0 のシンクロスタートを制御します。 0 : MTU2 の TCNT_0 をシンクロスタートしない 1 : MTU2 の TCNT_0 をシンクロスタートする [クリア条件] • SCH0 = 1 の状態で、MTU2 の TSTR の CST0 ビットに 1 をセットしたとき
6	SCH1	0	R/(W)*	シンクロスタート MTU2 の TCNT_1 のシンクロスタートを制御します。 0 : MTU2 の TCNT_1 をシンクロスタートしない 1 : MTU2 の TCNT_1 をシンクロスタートする [クリア条件] • SCH1 = 1 の状態で、MTU2 の TSTR の CST1 ビットに 1 をセットしたとき
5	SCH2	0	R/(W)*	シンクロスタート MTU2 の TCNT_2 のシンクロスタートを制御します。 0 : MTU2 の TCNT_2 をシンクロスタートしない 1 : MTU2 の TCNT_2 をシンクロスタートする [クリア条件] • SCH2 = 1 の状態で、MTU2 の TSTR の CST2 ビットに 1 をセットしたとき
4	SCH3	0	R/(W)*	シンクロスタート MTU2 の TCNT_3 のシンクロスタートを制御します。 0 : MTU2 の TCNT_3 をシンクロスタートしない 1 : MTU2 の TCNT_3 をシンクロスタートする [クリア条件] • SCH3 = 1 の状態で、MTU2 の TSTR の CST3 ビットに 1 をセットしたとき

10. マルチファンクションタイマパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説 明
3	SCH4	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2 の TCNT_4 のシンクロスタートを制御します。</p> <p>0 : MTU2 の TCNT_4 をシンクロスタートしない</p> <p>1 : MTU2 の TCNT_4 をシンクロスタートする</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCH4=1 の状態で、MTU2 の TSTR の CST4 ビットに 1 をセットしたとき
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SCH3S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_3S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_3S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_3S をシンクロスタートする</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCH3S=1 の状態で、MTU2S の TSTRS の CST3 ビットに 1 をセットしたとき
0	SCH4S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_4S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_4S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_4S をシンクロスタートする</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCH4S=1 の状態で、MTU2S の TSTRS の CST4 ビットに 1 をセットしたとき

【注】 * レジスタをセットするために 1 を書き込むことのみ可能です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.18 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

10.3.19 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル)* 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「10.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「10.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

10.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0：トグル出力を禁止 1：トグル出力を許可
5、4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)*	TOC レジスタ書き込み禁止ビット* ¹ TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0：TOCR1 の設定を有効にする 1：TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* ² リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 10.30 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* ² リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 10.31 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.30 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.31 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 10.2 に示します。

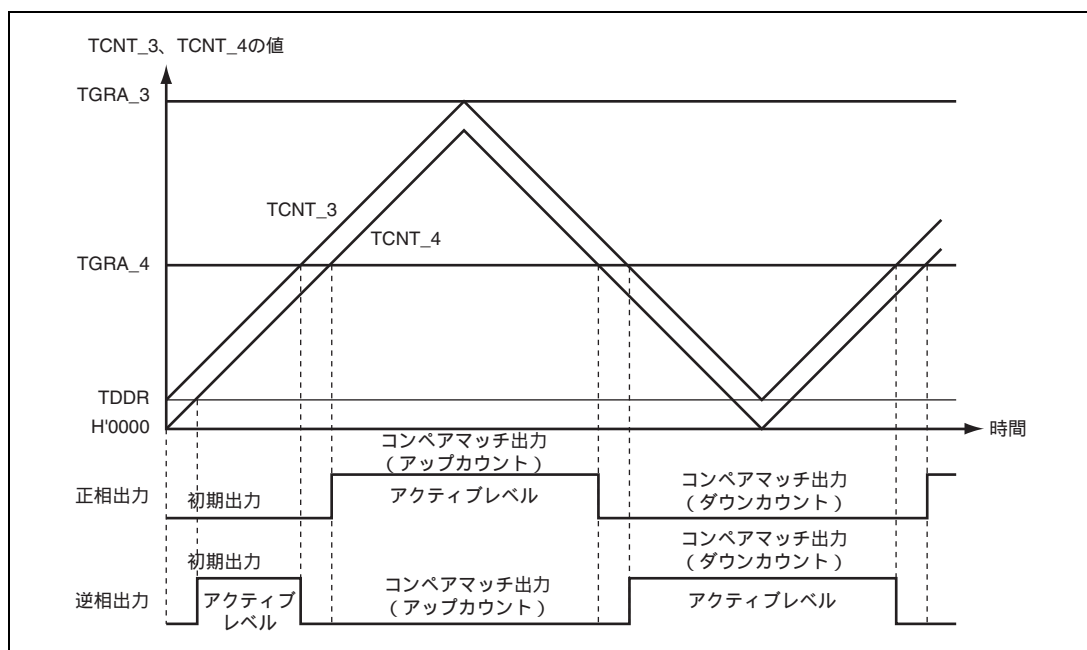


図 10.2 相補 PWM モードの出力レベルの例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 10.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 10.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 10.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 10.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 10.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 10.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 10.38 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.32 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
		相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 10.33 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.34 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 10.35 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.36 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 10.37 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.38 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

10.3.22 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 10.3 に示します。

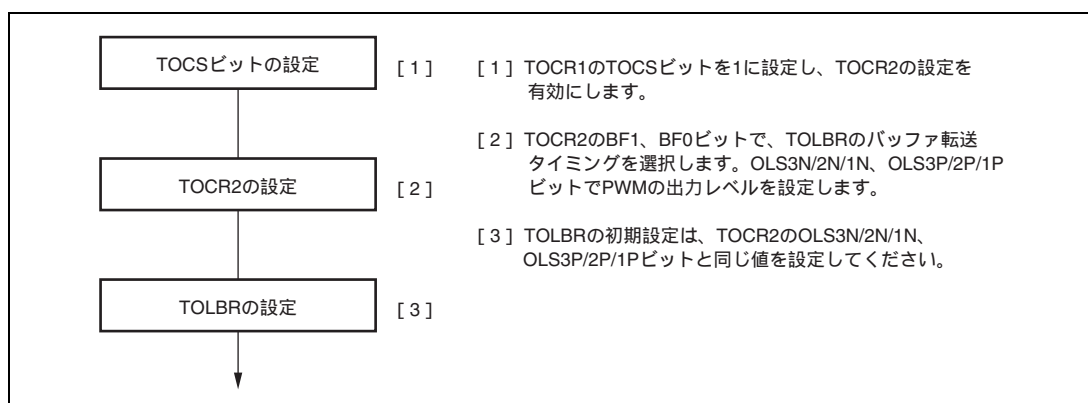


図 10.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.23 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB*	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 10.39 を参照してください。
0	UF	0	R/W	

【注】 * MTU2S で BDC ビットに 1 を設定した場合、FB ビットには 0 を設定しないでください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.39 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

10.3.24 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.25 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.3.26 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.27 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.28 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 10.40 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 10.41 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 10.40 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.41 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

10.3.29 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット：	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

10.3.30 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 10.42 を参照してください。

【注】 * 対象バッファレジスタ

TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.42 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「10.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定) にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

10.3.31 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0 : デッドタイムを生成しない 1 : デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR 1 に設定してください。

10.3.32 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	SCC	WRE
初期値 :	0*	0	0	0	0	0	0	0
R/W :	R/(W)	R	R	R	R	R	R/(W)	R/(W)

【注】 * 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。 0 : TGRA_3 のコンペアマッチによるカウンタクリアをしない 1 : TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SCC	0	R/(W)	同期クリアコントロール 相補 PWM モードで MTU2 - MTU2S カウンタ同期クリアが発生したときに、MTU2S の TCNT_3、TCNT_4 をクリアする / しないを設定します。 本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。 また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。 SCC ビットの設定により MTU2 からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。TCNT_3、TCNT_4 スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU2S の TCNT_3、TCNT_4 がクリアされます。 相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。 MTU2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア有効 1 : MTU2 - MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア無効 [セット条件] • SCC = 0 の状態で SCC をリード後、SCC に 1 をライトしたとき

10. マルチファンクションタイマパルスユニット 2 (MTU2)

ビット	ビット名	初期値	R/W	説明
0	WRE	0	R/(W)	<p>波形保持イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって波形が保持されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 10.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 同期クリア直前の波形を保持する</p> <p>[セット条件]</p> <ul style="list-style-type: none">• WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

10.3.33 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビット、TSTR_5 の CSTU5、CSTV5、CSTW5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.4 に示します。

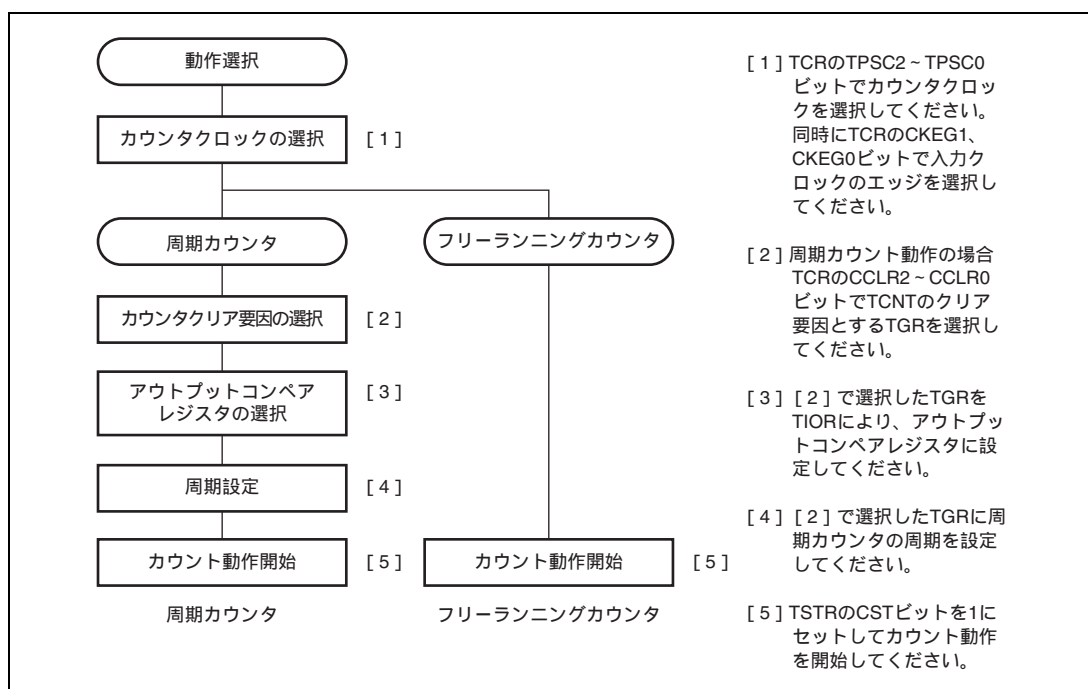


図 10.4 カウンタ動作設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 10.5 に示します。

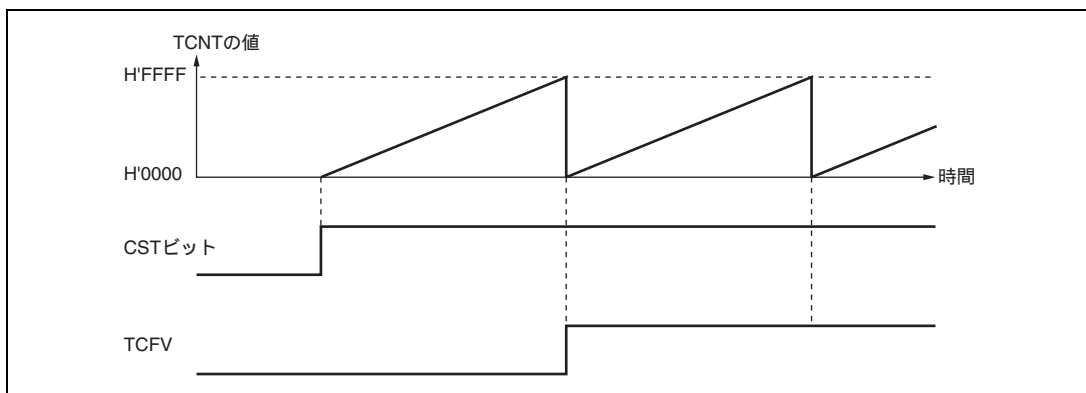


図 10.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

周期カウンタの動作を図 10.6 に示します。

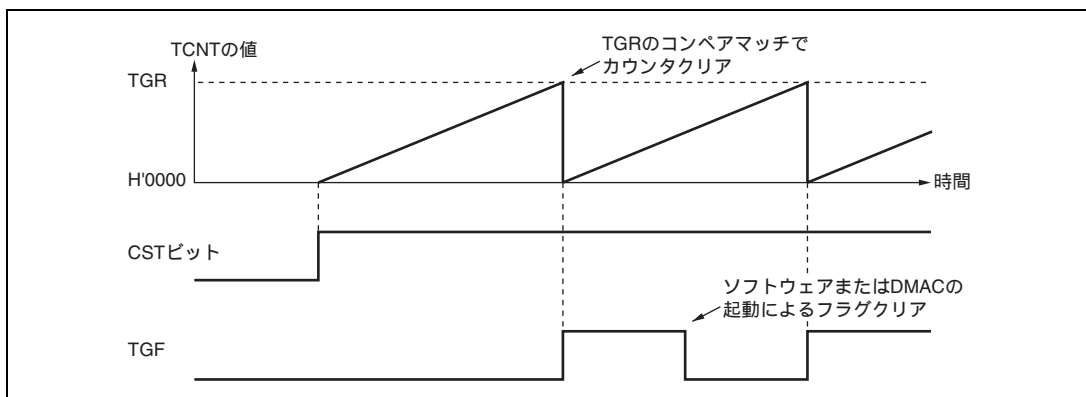


図 10.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.7 に示します。

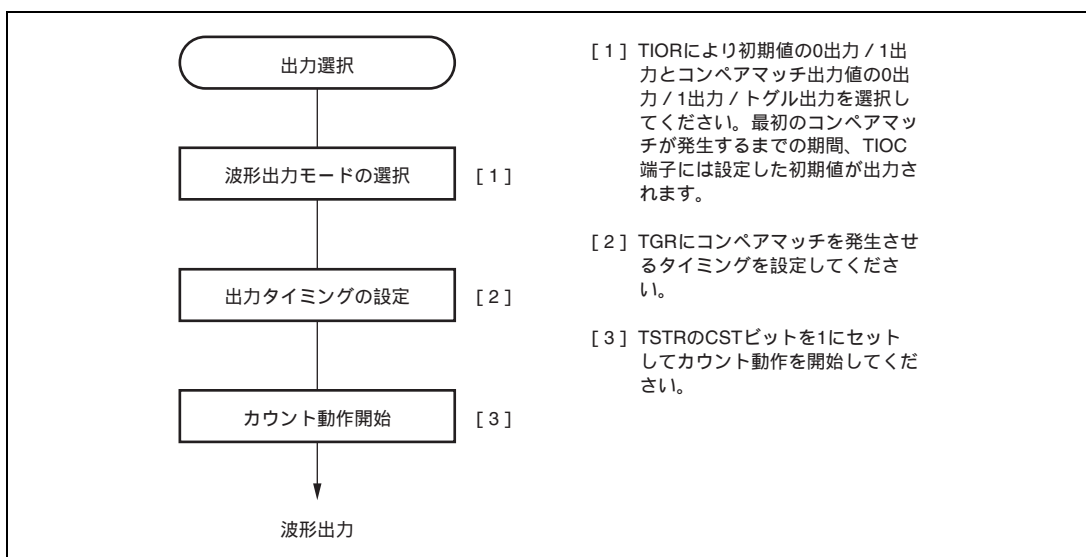


図 10.7 コンペアマッチによる波形出力動作例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

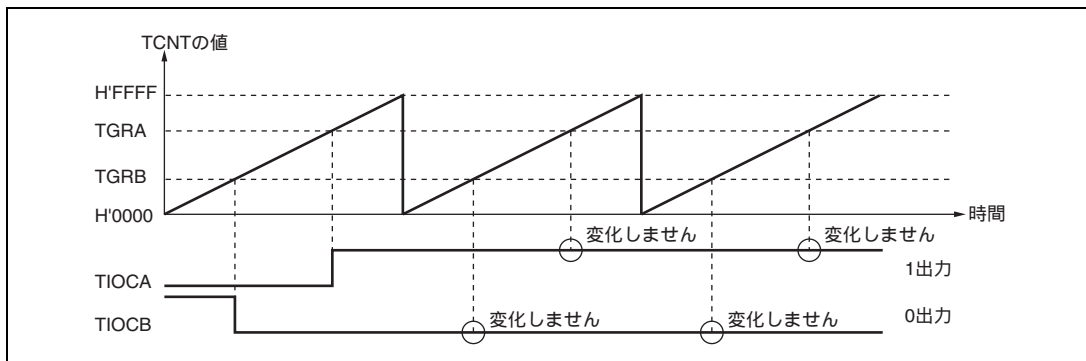


図 10.8 0 出力 / 1 出力の動作例

トグル出力の例を図 10.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

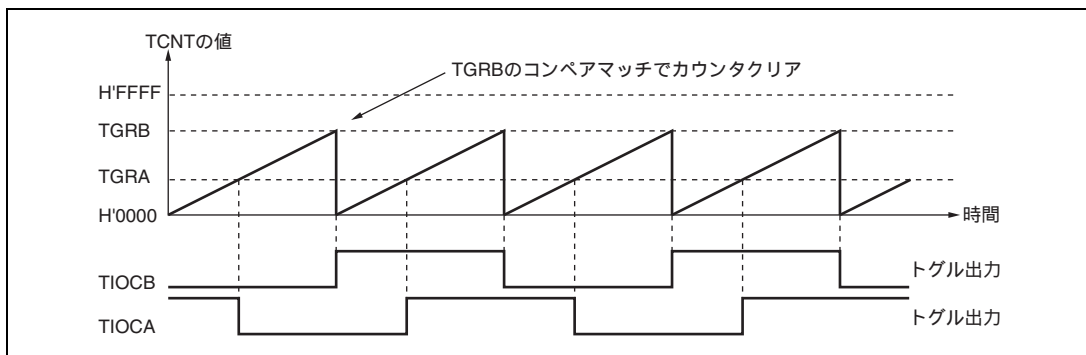


図 10.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに P /1 を選択しないでください。P /1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.10 に示します。

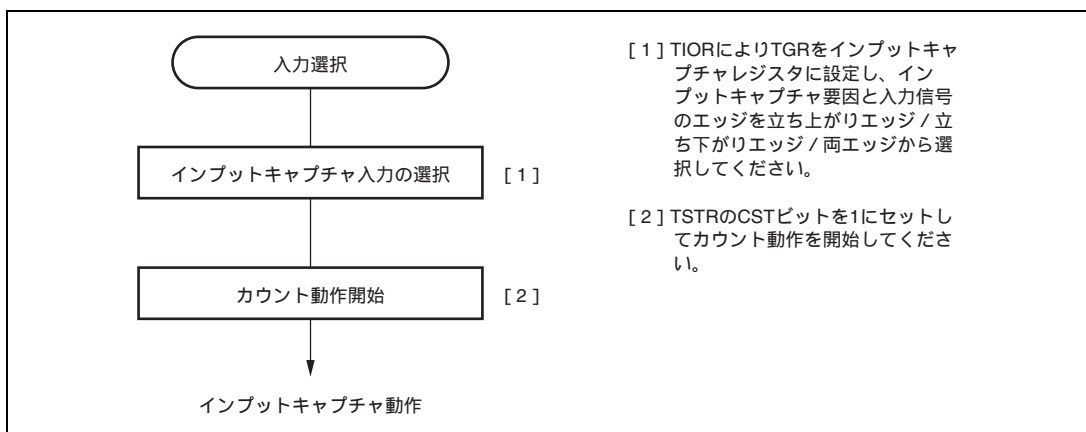


図 10.10 インพุットキャプチャ動作の設定例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

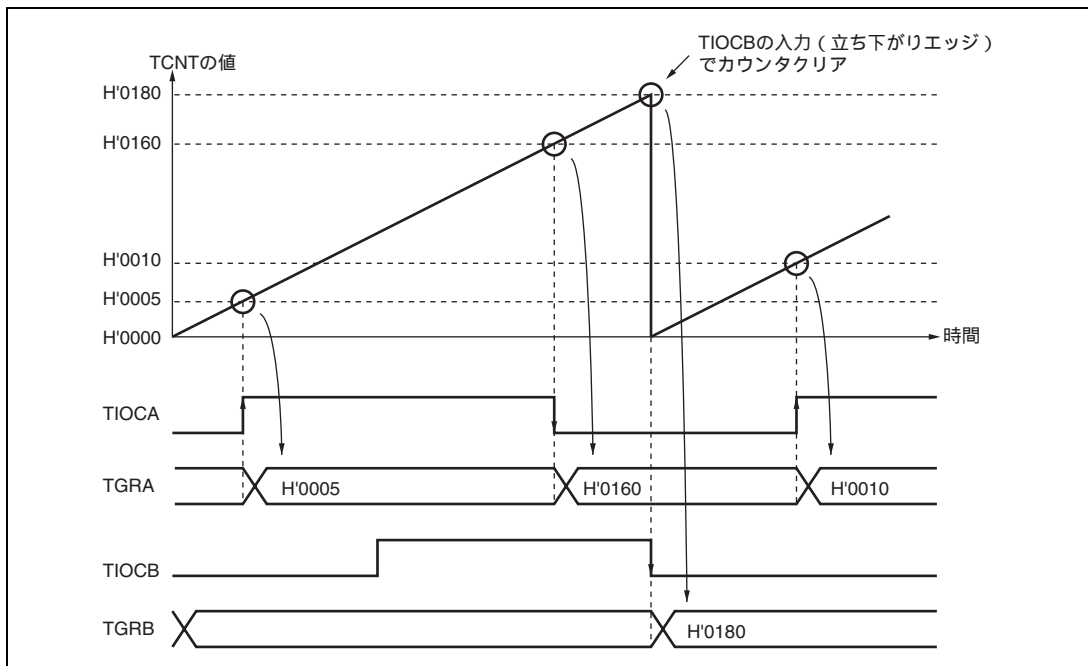


図 10.11 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.12 に示します。

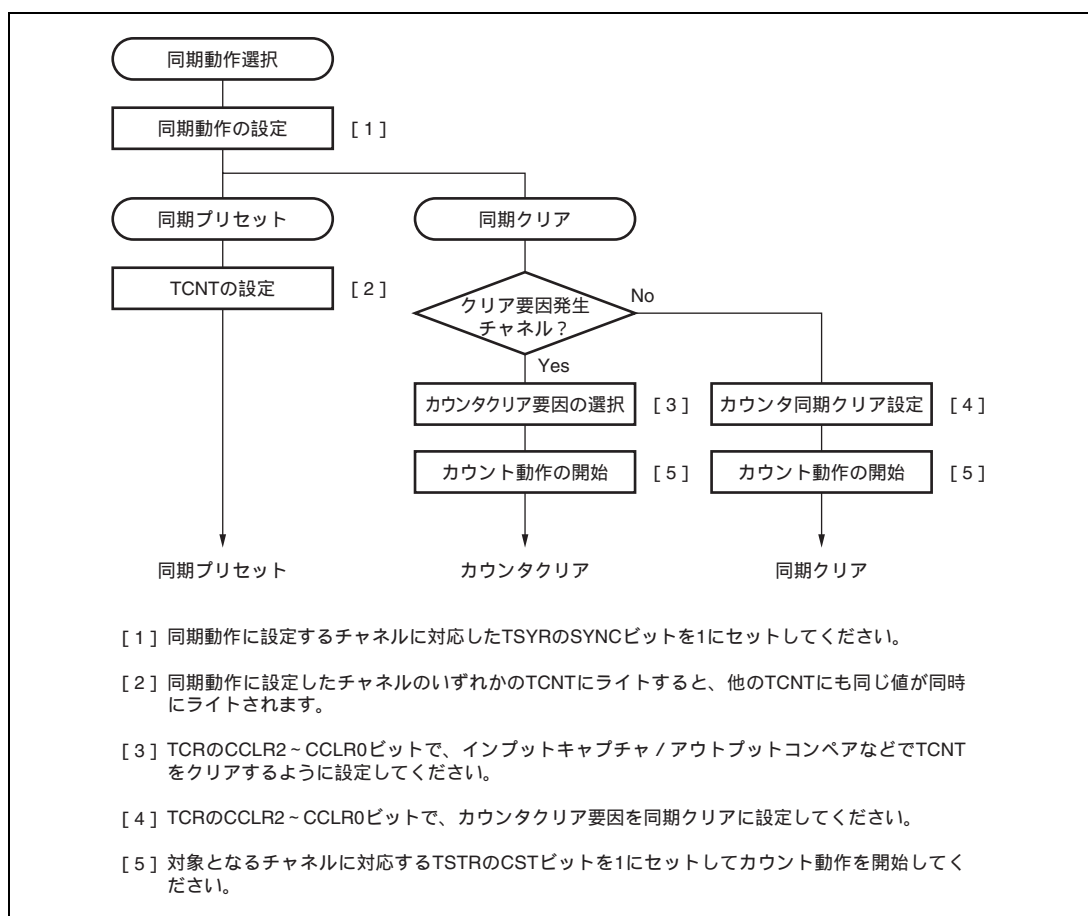


図 10.12 同期動作の設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(2) 同期動作の例

同期動作の例を図 10.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

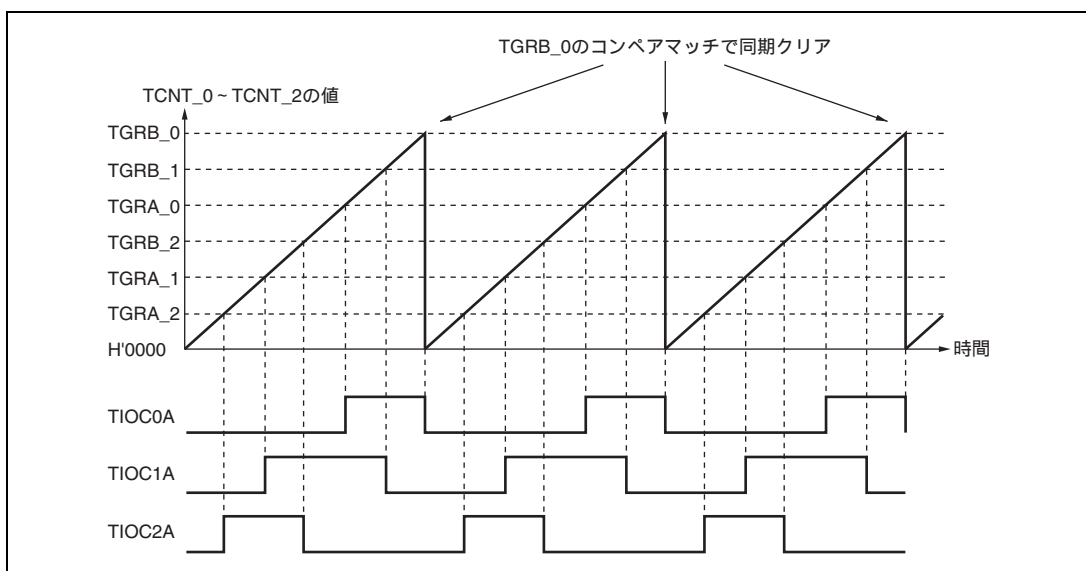


図 10.13 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル0はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 10.43 にバッファ動作時のレジスタの組み合わせを示します。

表 10.43 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 10.14 に示します。

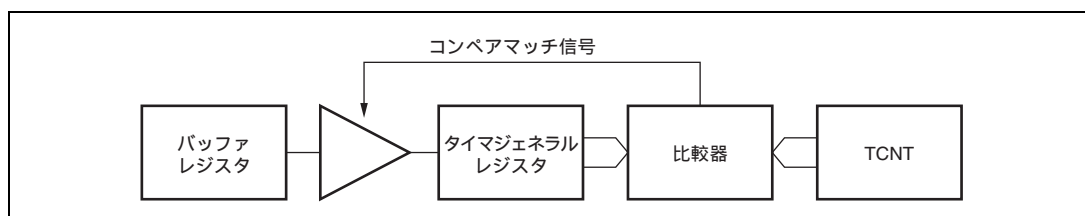


図 10.14 コンペアマッチバッファ動作

10. マルチファンクションタイマパルスユニット 2 (MTU2)

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.15 に示します。

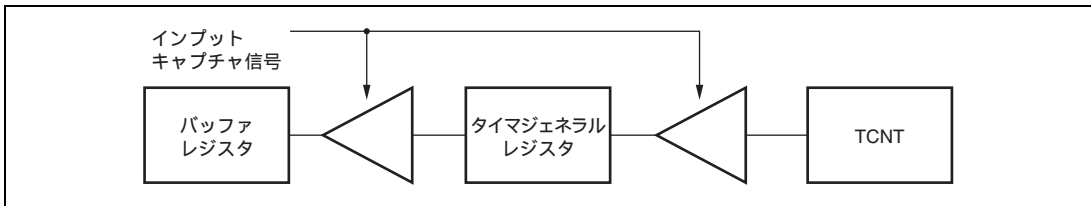


図 10.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.16 に示します。

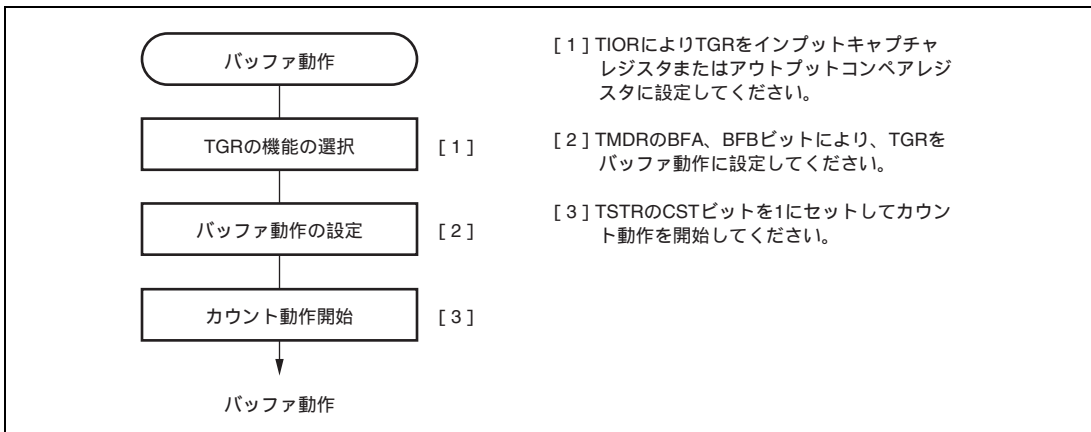


図 10.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

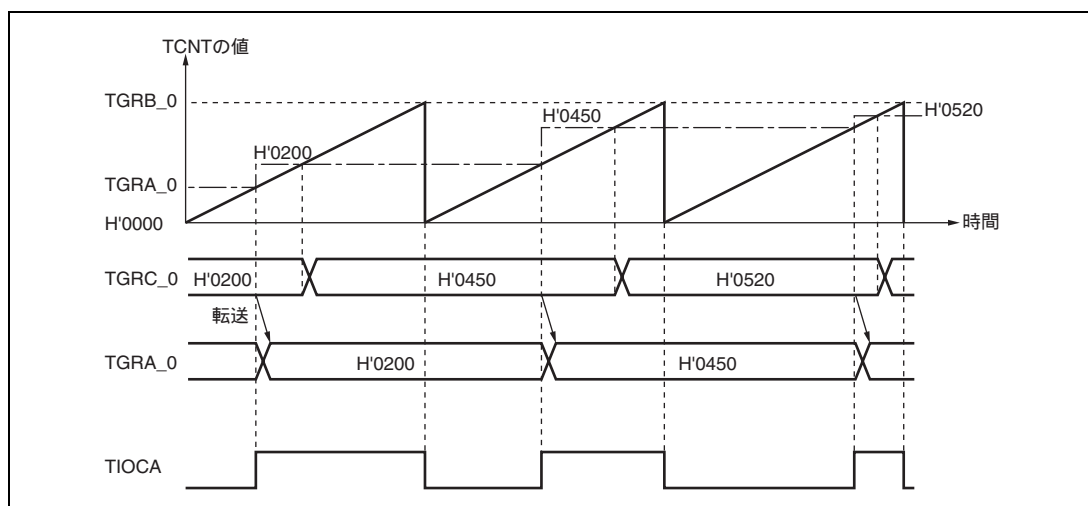


図 10.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

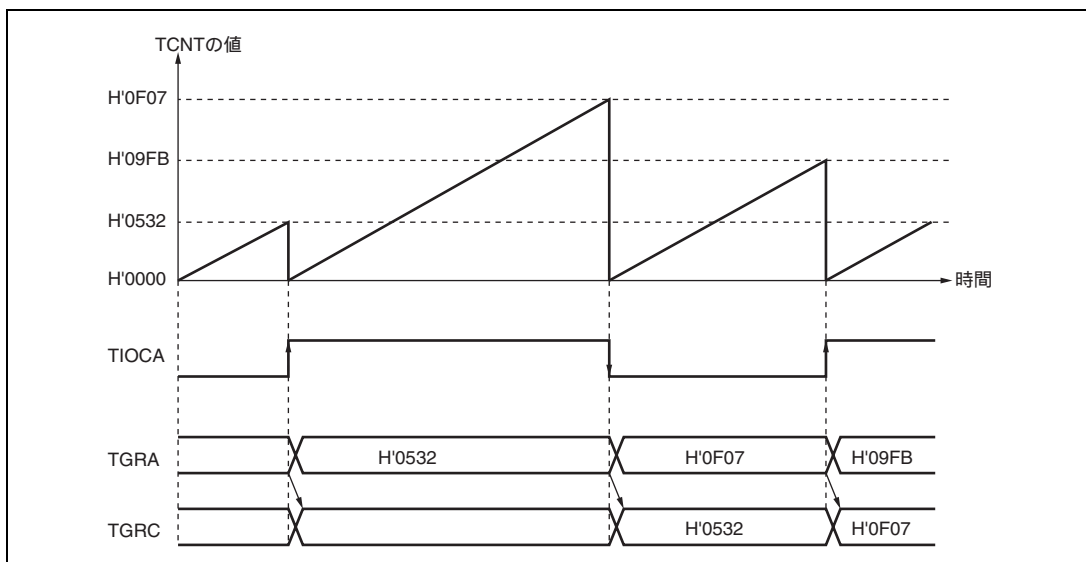


図 10.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNT に H'0000 がライトされたとき
- TCR の CCLR2 ~ CCLR0 ビットで設定したクリア要因で、TCNT が H'0000 になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

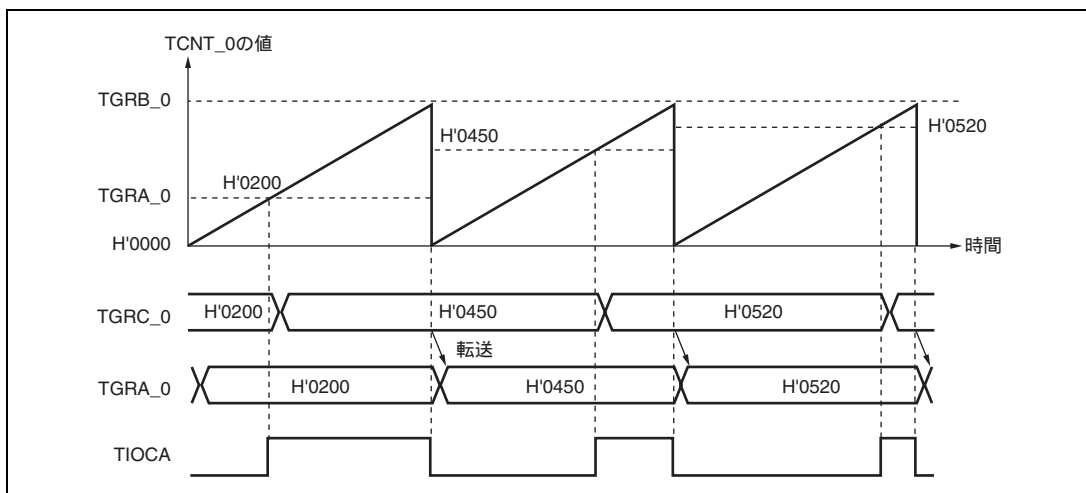


図 10.19 TGRB_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

10.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 10.44 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。カスケード接続時のインプットキャプチャについては「10.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 10.45 に示します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

表 10.45 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.20 に示します。

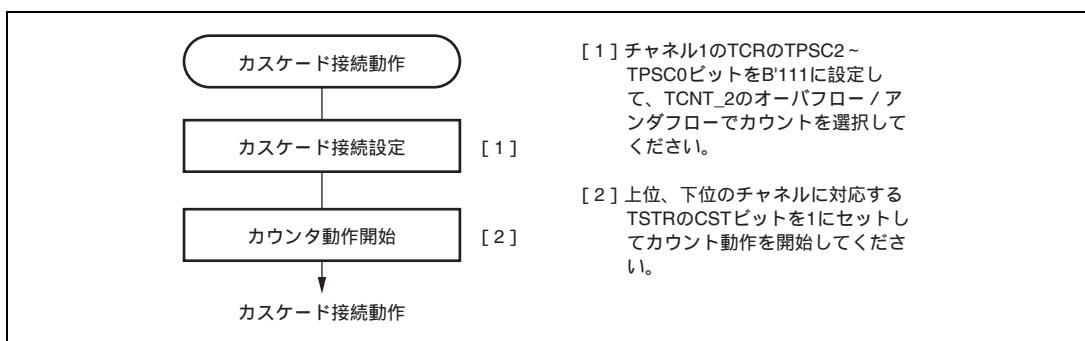


図 10.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 10.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

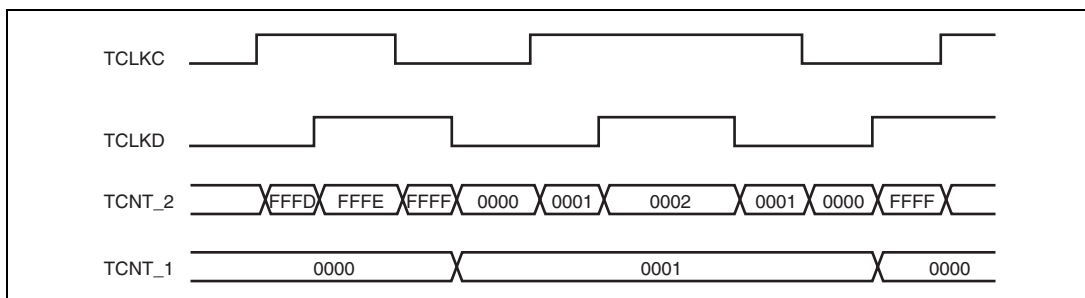


図 10.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 10.22 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

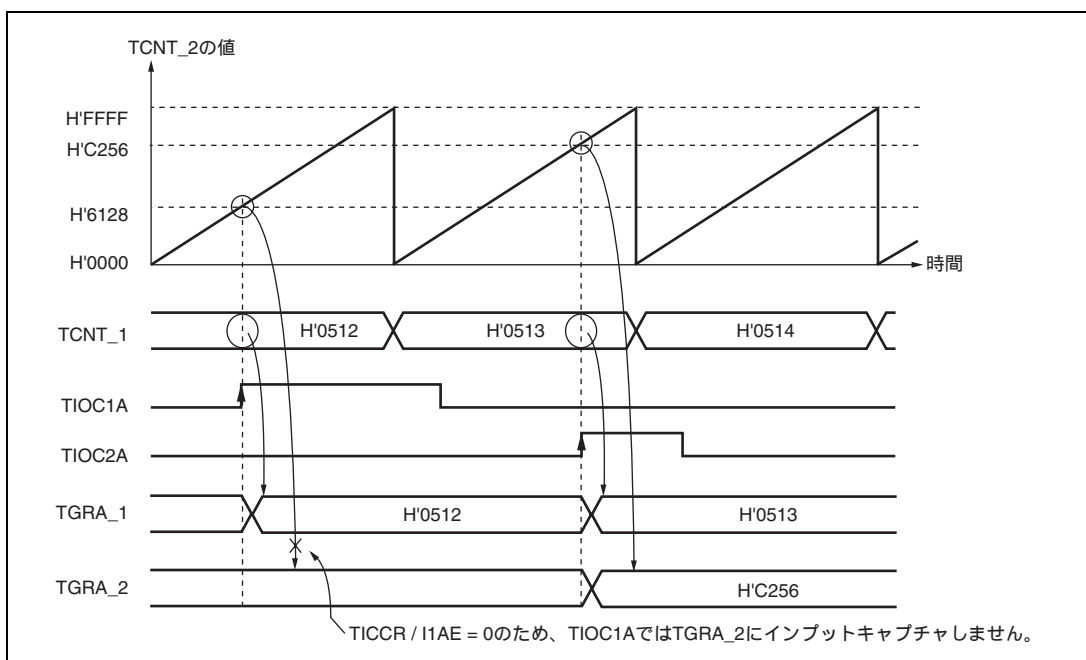


図 10.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 10.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

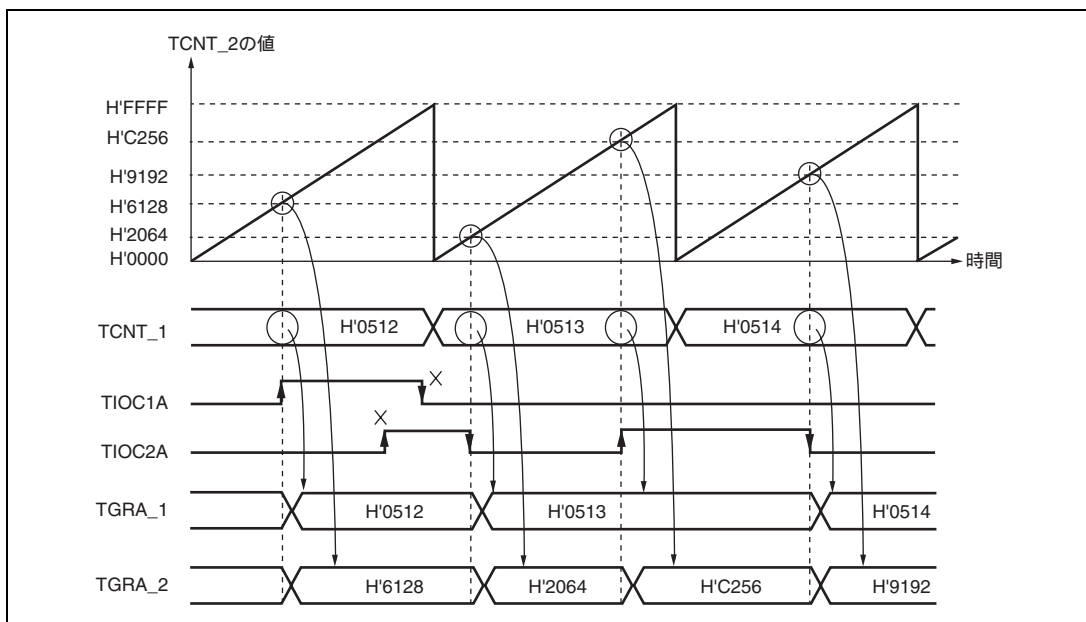


図 10.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 10.24 に示します。この例では TIOR_1 の IOA0 ~ IOA3 の設定は、TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャに設定しています。また、TIOR_2 の IOA0 ~ IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ / 入力キャプチャの発生で入力キャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 の入力キャプチャ条件になることはありません。

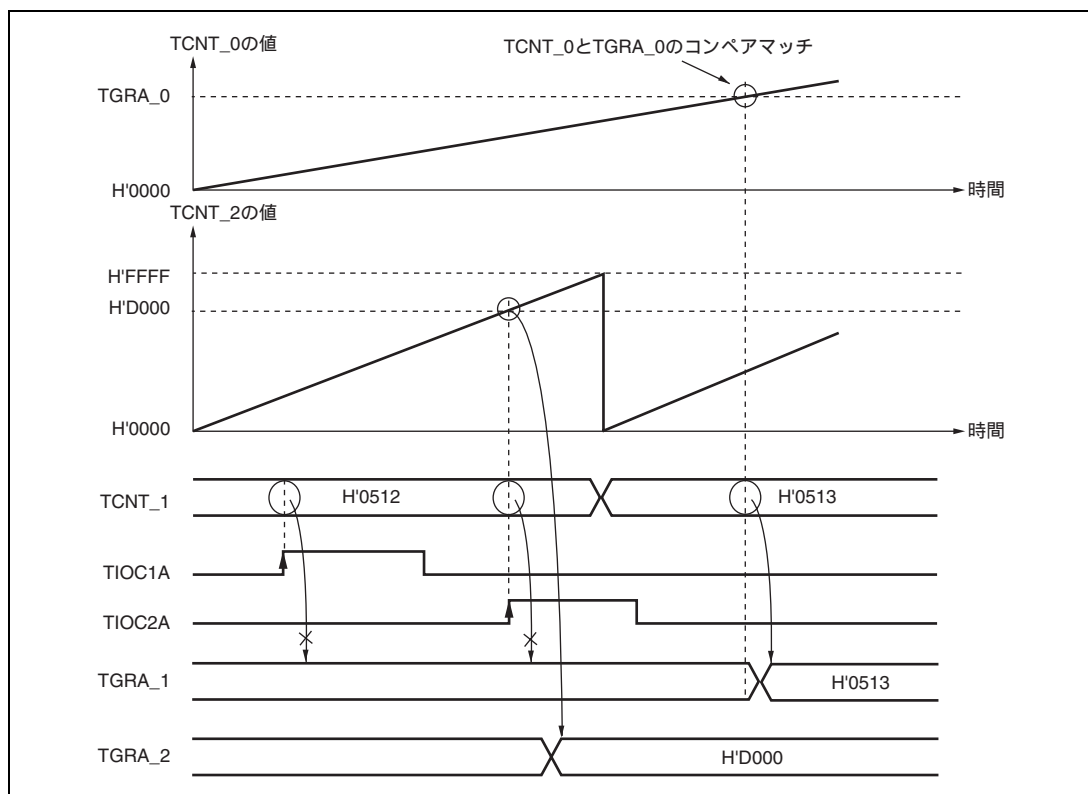


図 10.24 カスケード接続動作例 (d)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWMモード1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

10. マルチファンクションタイムパルスユニット 2 (MTU2)

- PWMモード2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.46 に示します。

表 10.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.25 に示します。

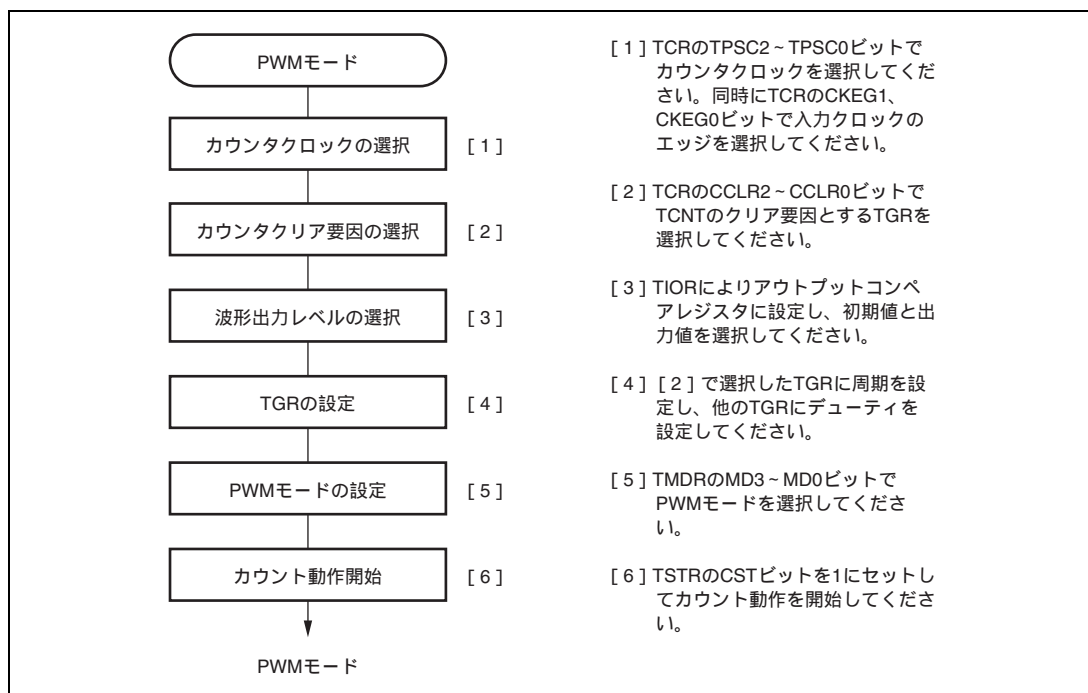


図 10.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 10.26 に示します。

この図は、TCNTのクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

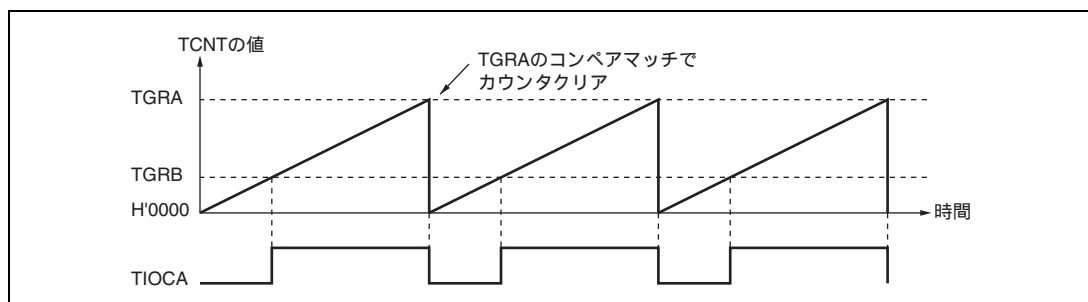


図 10.26 PWM モードの動作例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

PWM モード 2 の動作例を図 10.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

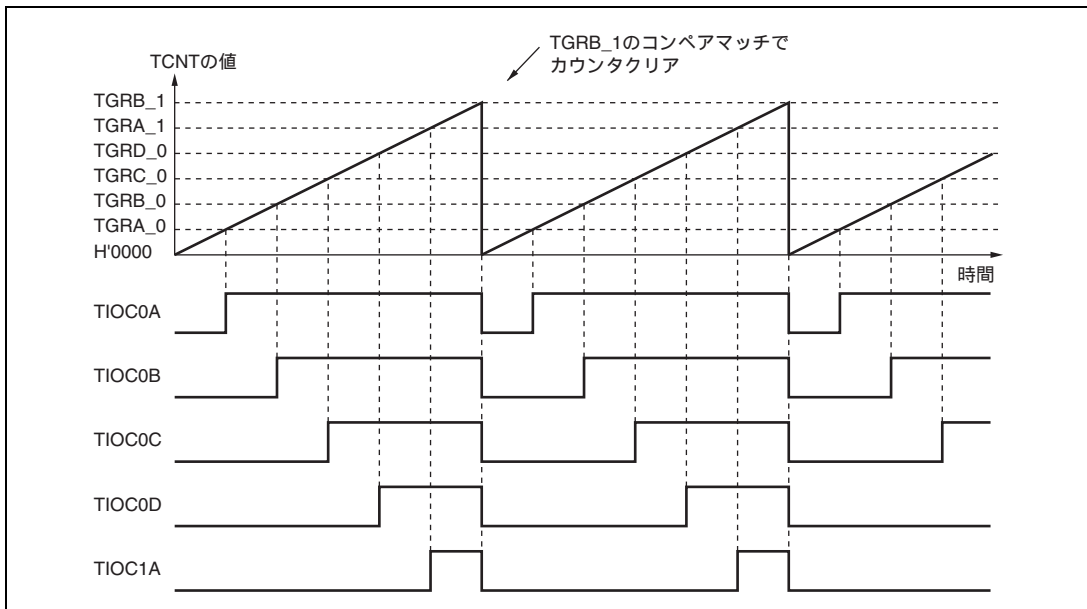


図 10.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.28 に示します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

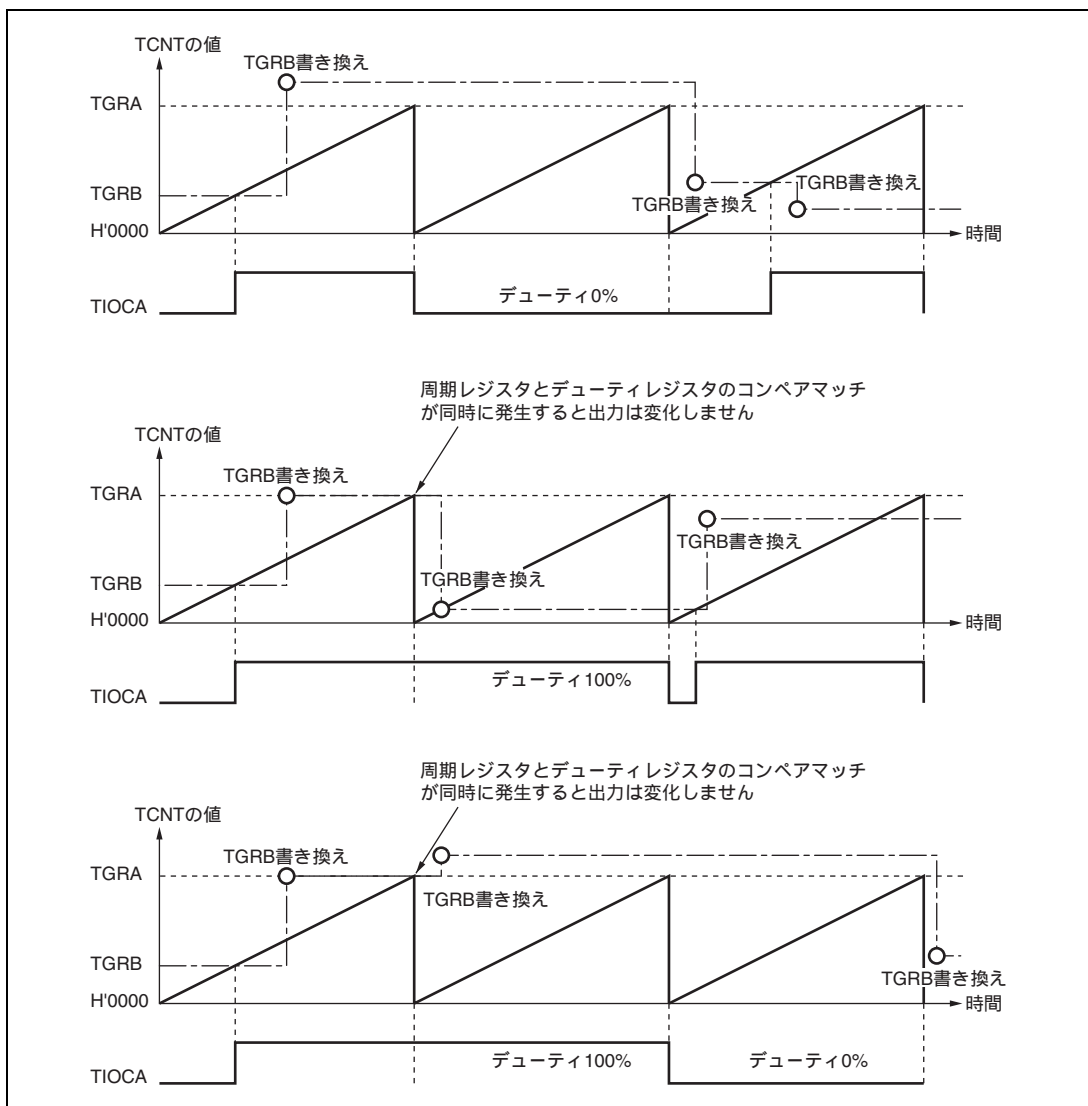


図 10.28 PWM モード動作例

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.47 に外部クロック端子とチャンネルの対応を示します。

表 10.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.29 に示します。

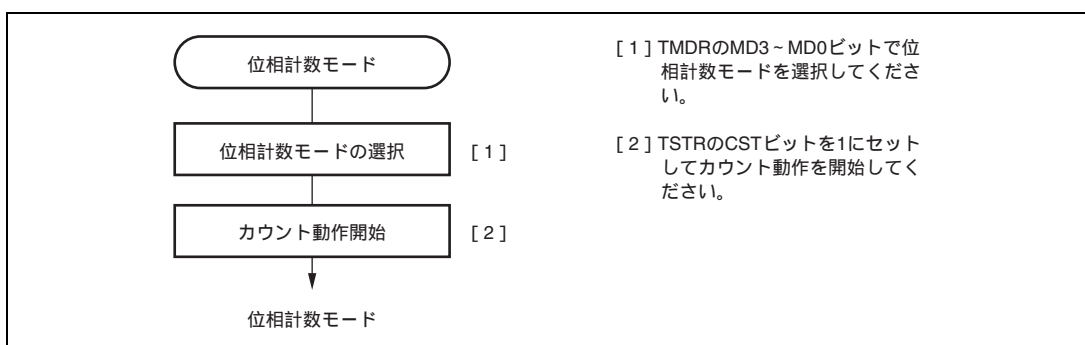


図 10.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 10.30 に、TCNT のアップ/ダウンカウント条件を表 10.48 に示します。

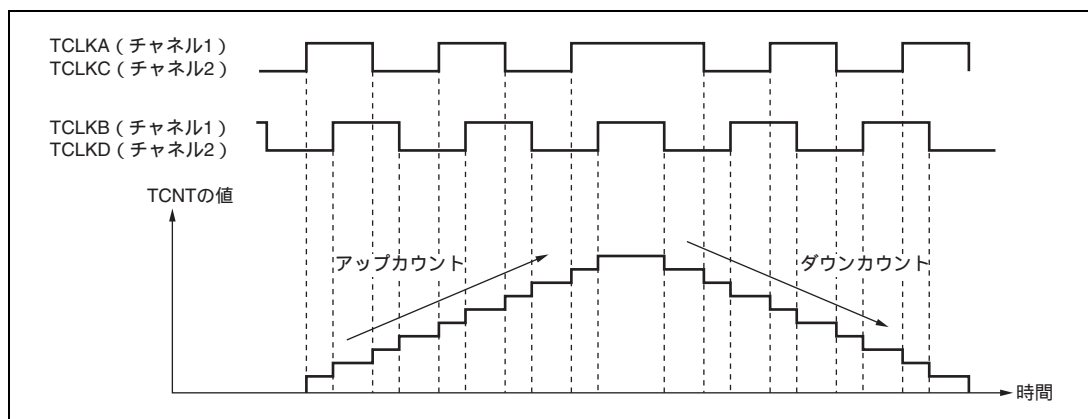


図 10.30 位相計数モード 1 の動作例

表 10.48 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.31 に、TCNT のアップ/ダウンカウント条件を表 10.49 に示します。

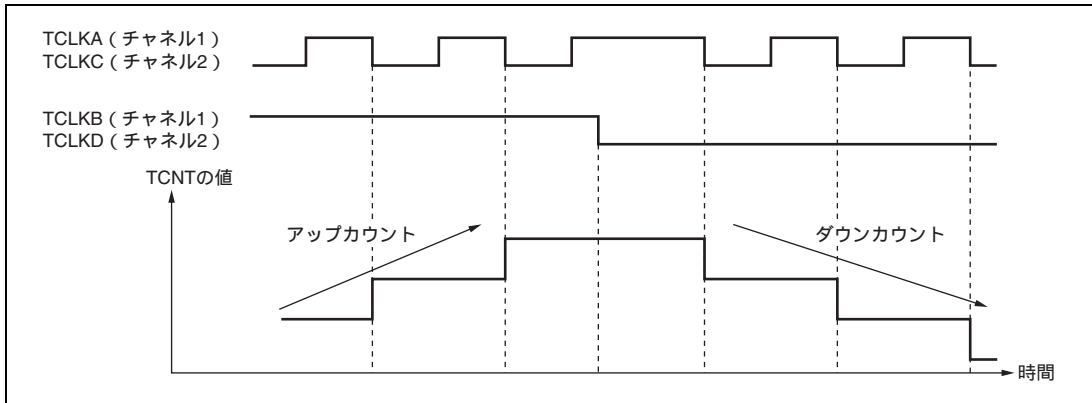


図 10.31 位相計数モード 2 の動作例

表 10.49 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.32 に、TCNT のアップ/ダウンカウント条件を表 10.50 に示します。

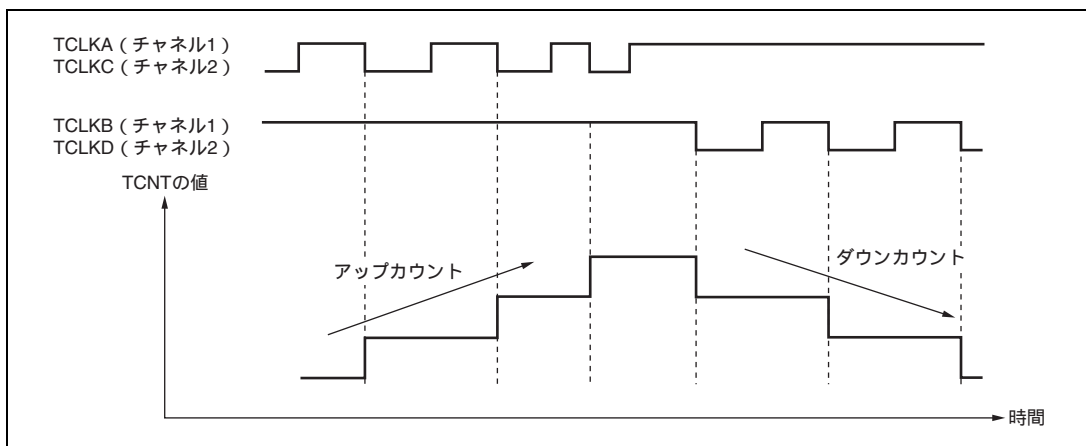


図 10.32 位相計数モード 3 の動作例

表 10.50 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.33 に、TCNT のアップ/ダウンカウント条件を表 10.51 に示します。

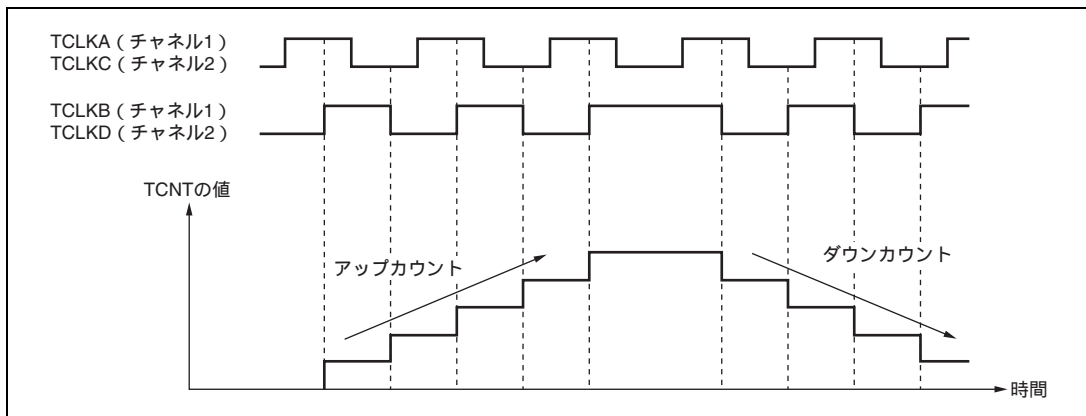


図 10.33 位相計数モード 4 の動作例

表 10.51 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

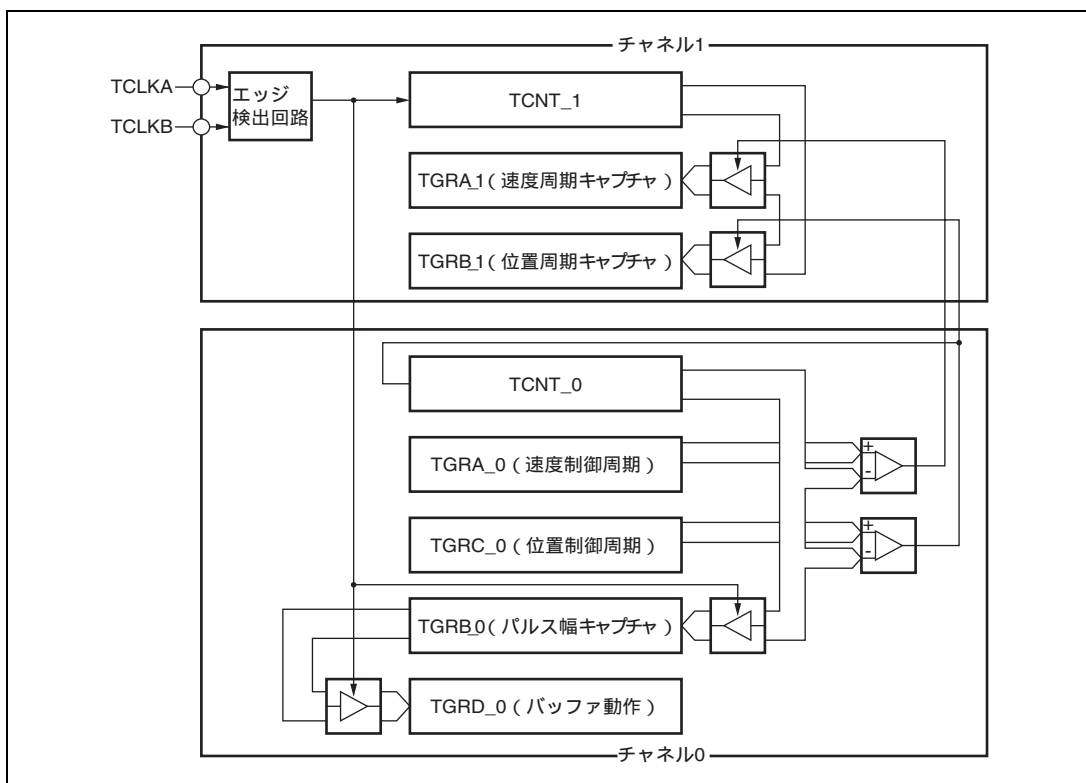


図 10.34 位相計数モードの応用例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 10.52 に、使用するレジスタの設定を表 10.53 に示します。

表 10.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 10.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 10.35 に示します。

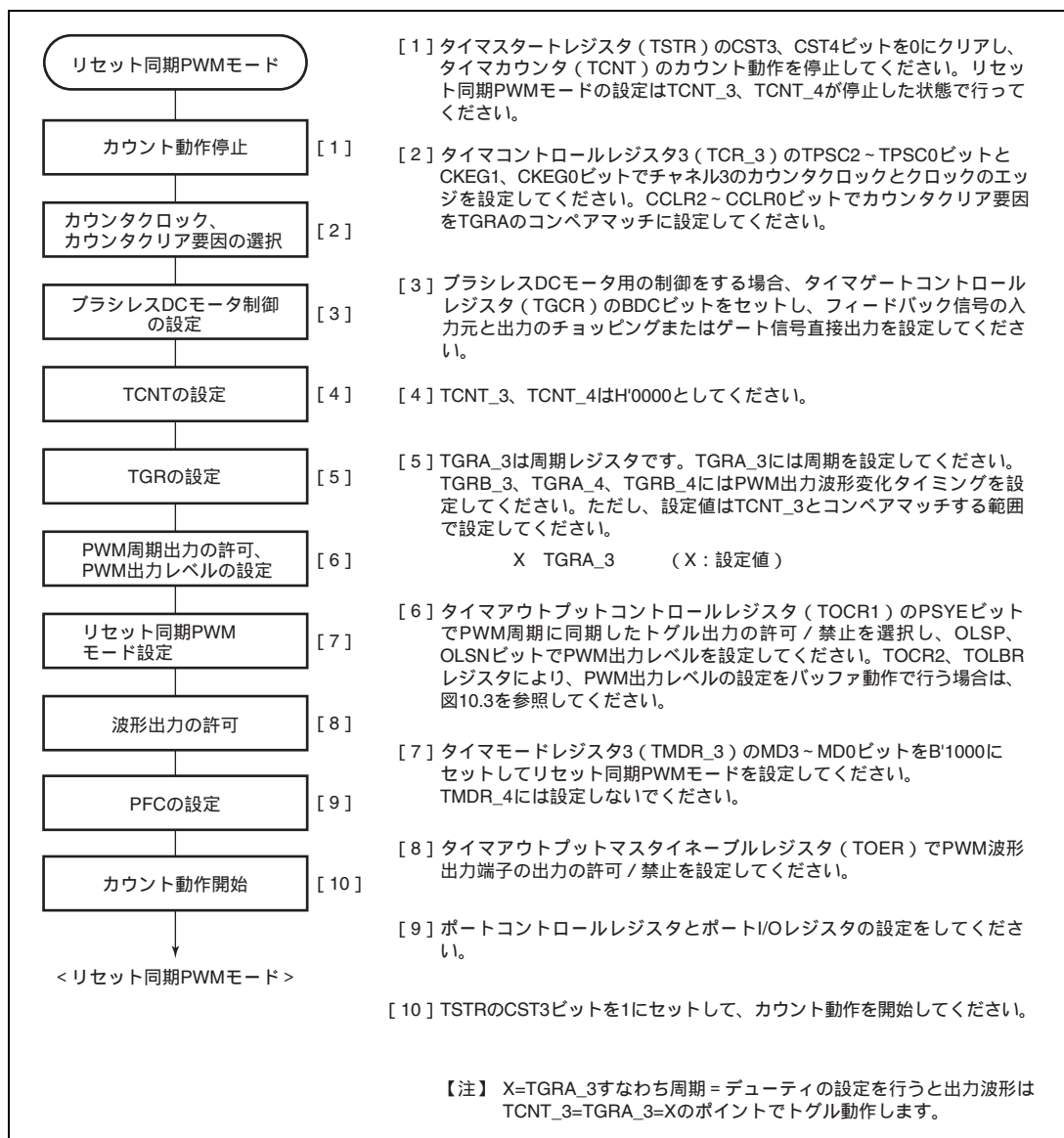


図 10.35 リセット同期 PWM モードの設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

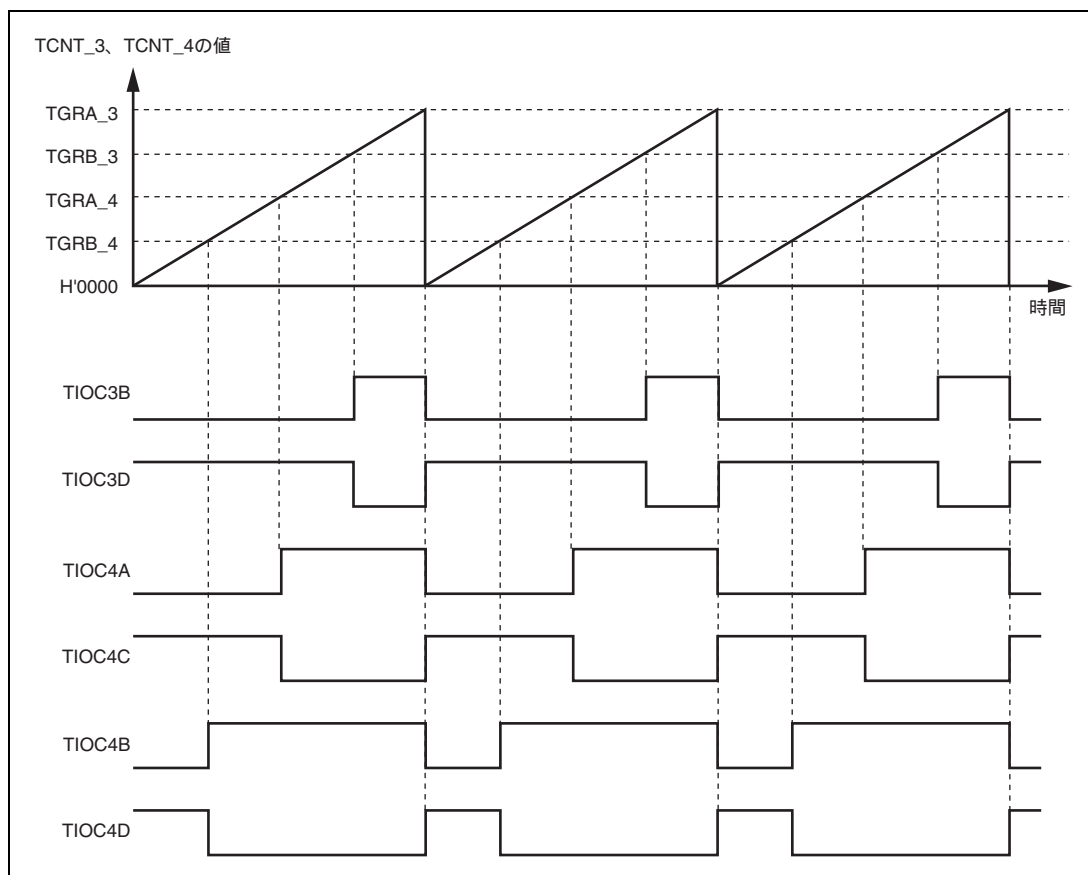


図 10.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

10.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 10.54 に、使用するレジスタの設定を表 10.55 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 10.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 10.55 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
タイマデッドタイムデータレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定		TRWER の設定*によりマスク可能
タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)		TRWER の設定*によりマスク可能
タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ		常に読み出し / 書き込み可能
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ		読み出しのみ可能
テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ		読み出し / 書き込み不可
テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ		読み出し / 書き込み不可
テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ		読み出し / 書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

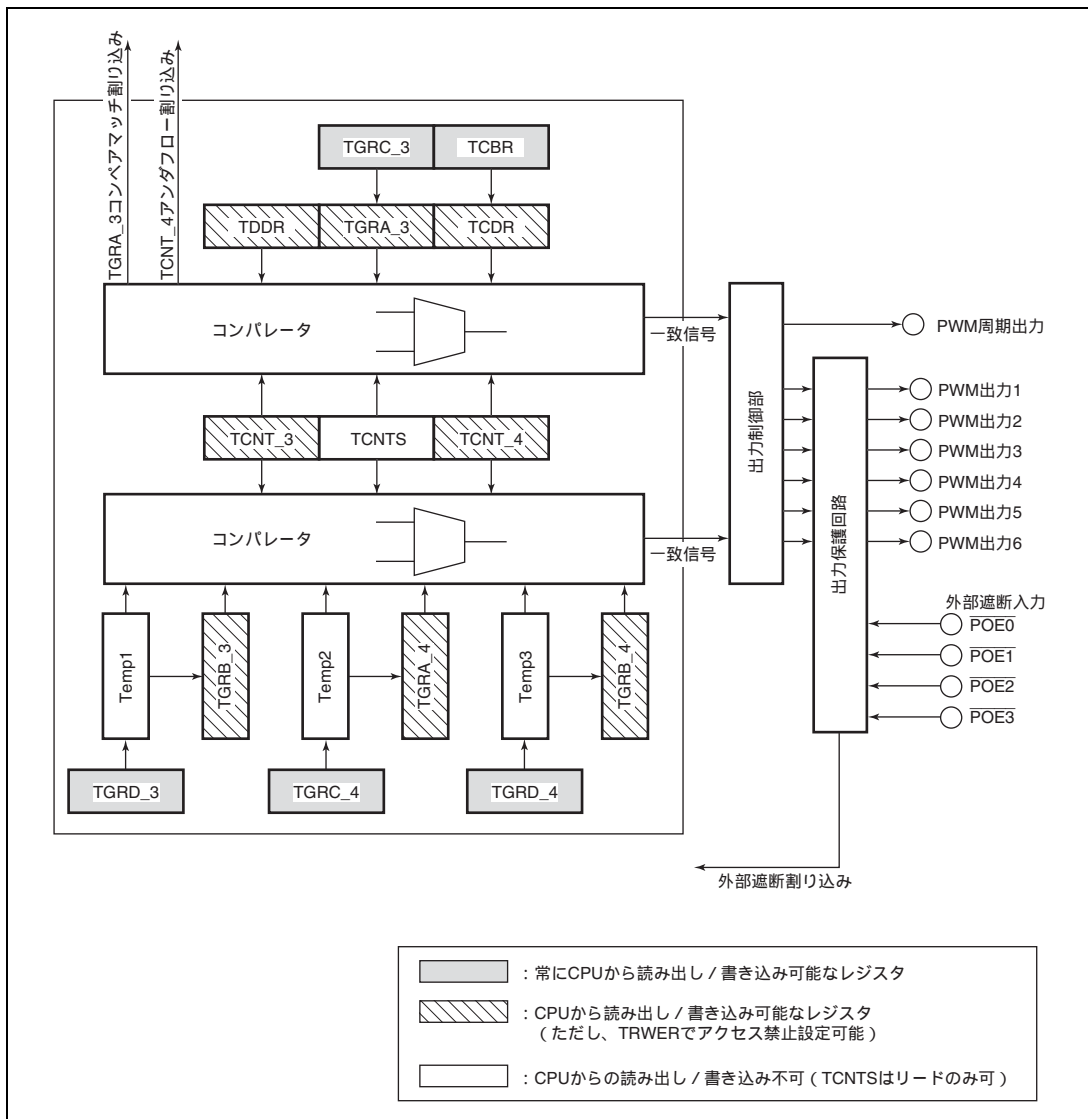


図 10.37 相補 PWM モード時のチャンネル 3、4 ブロック図

10. マルチファンクションタイムパルスユニット 2 (MTU2)

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 10.38 に示します。

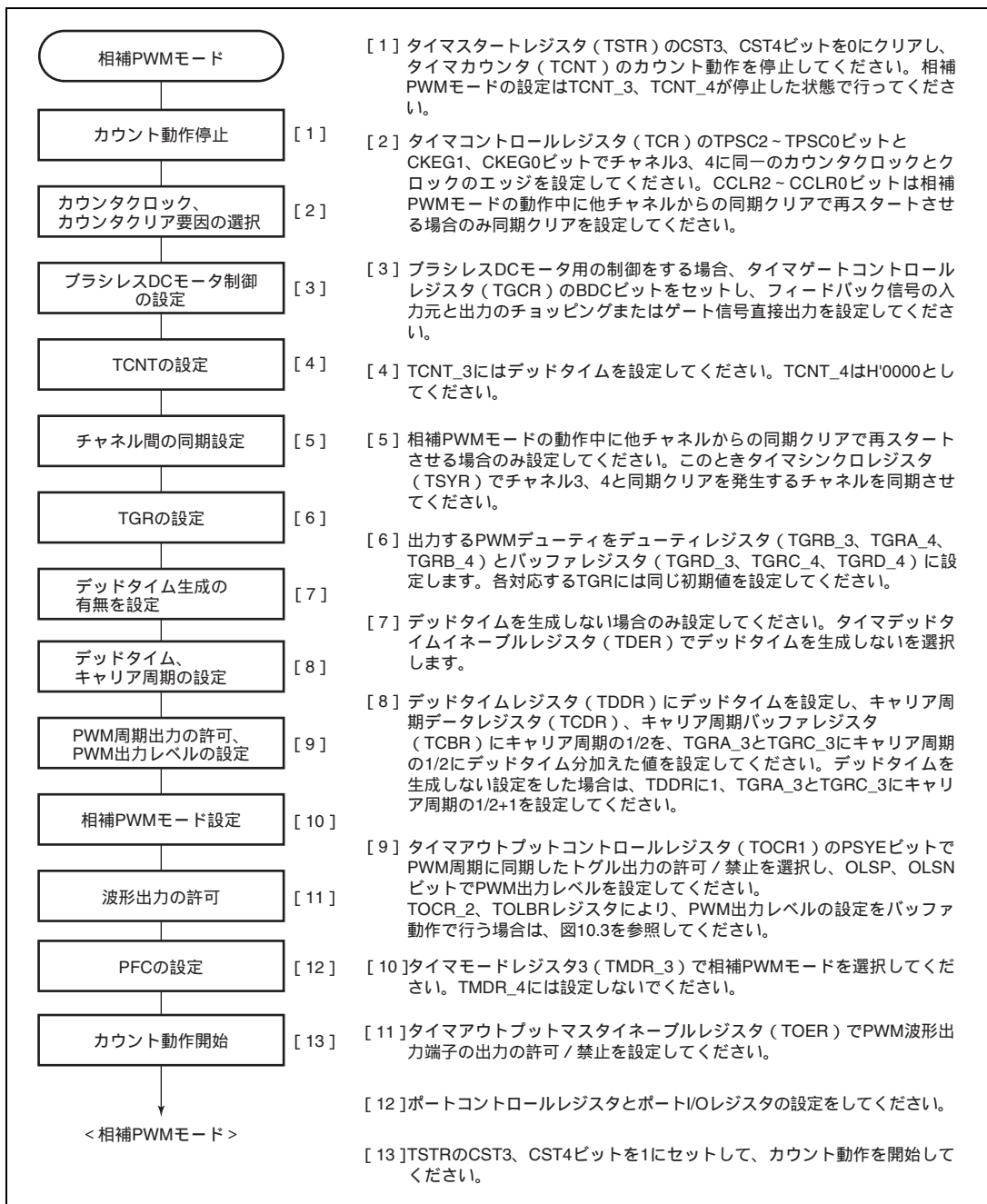


図 10.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 10.39 に相補 PWM モードのカウンタの動作を示します。図 10.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNTS と一致するとダウンカウントを開始し、TCNTS が TCNTS と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

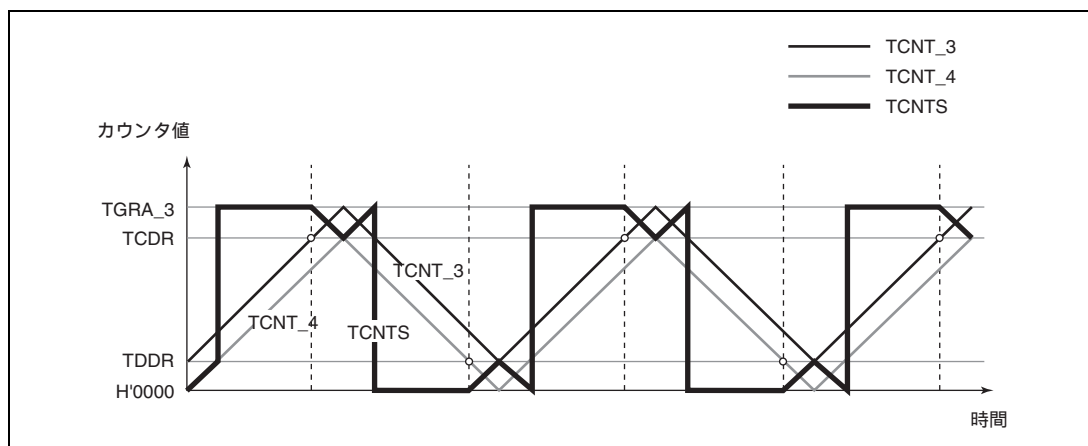


図 10.39 相補 PWM モードのカウンタ動作

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 10.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 10.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 10.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

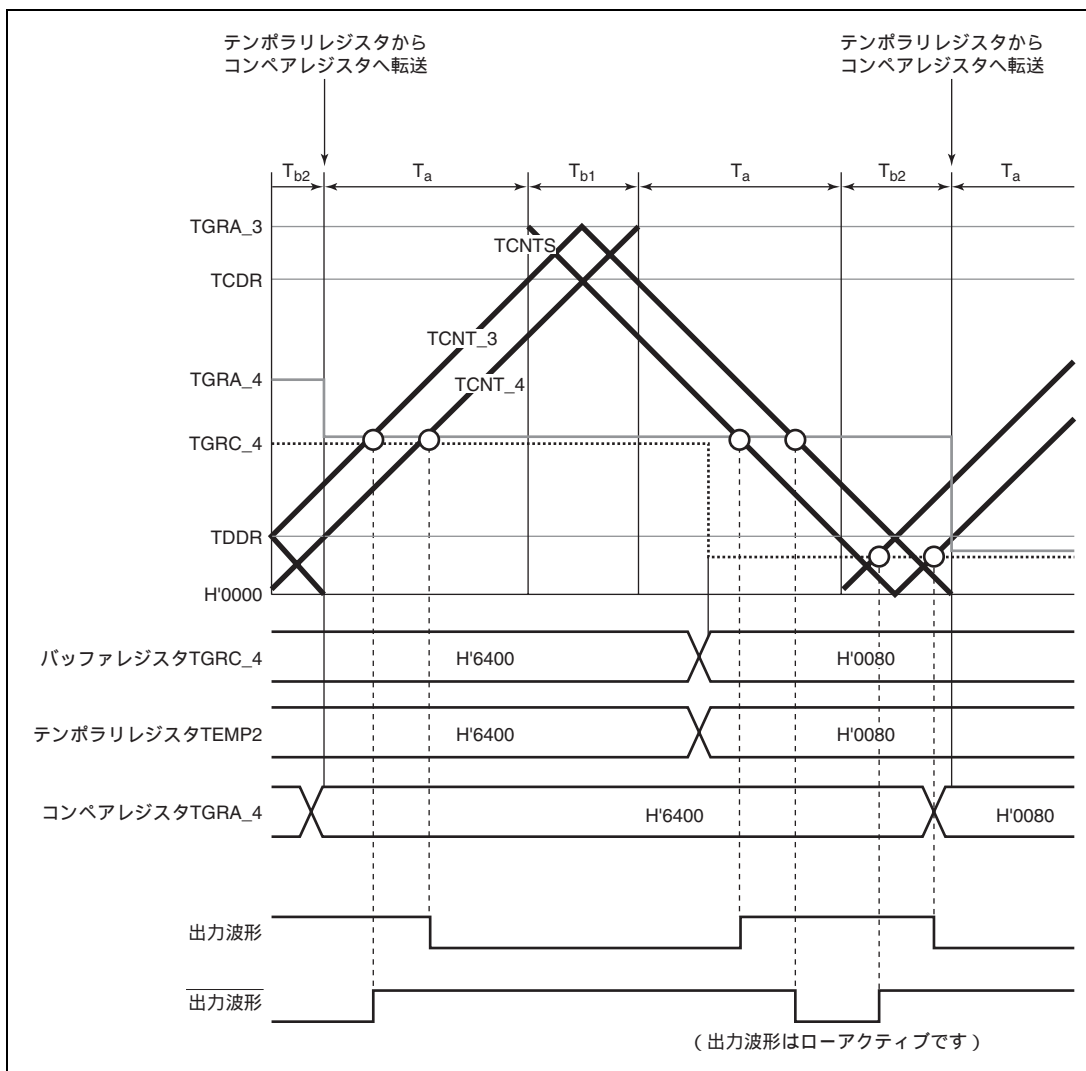


図 10.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRC_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 10.56 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム Td}$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 10.41 にデッドタイムを生成しない場合の動作例を示します。

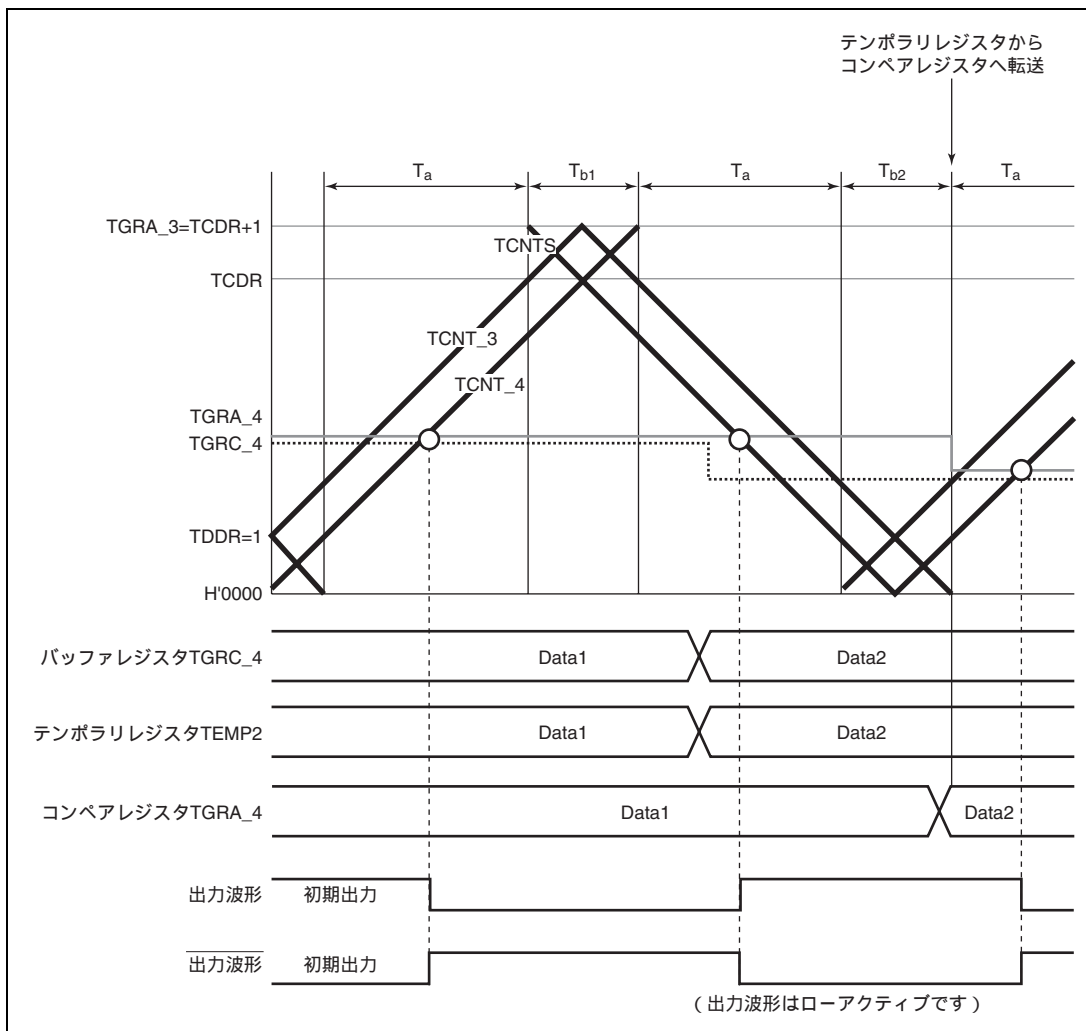


図 10.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 10.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

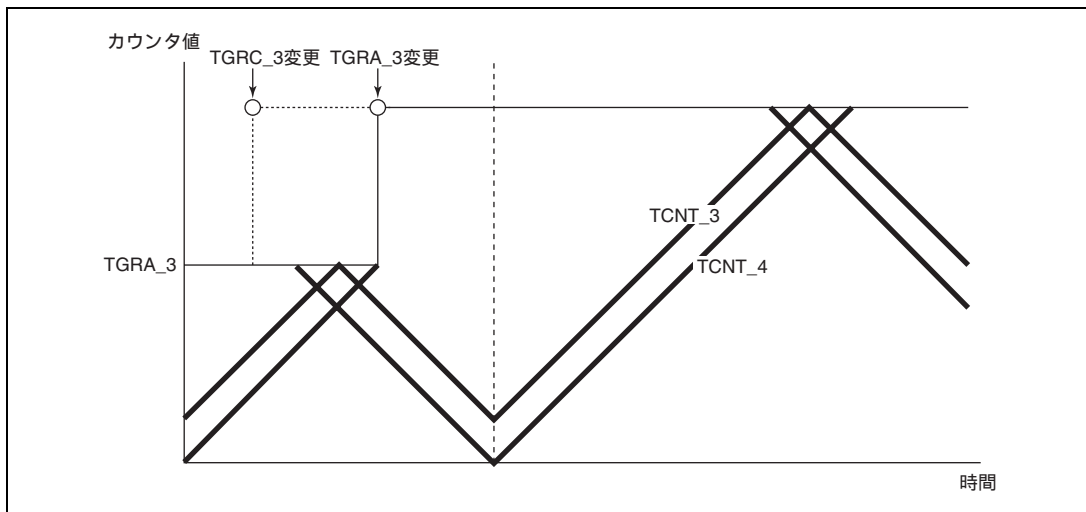


図 10.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 10.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

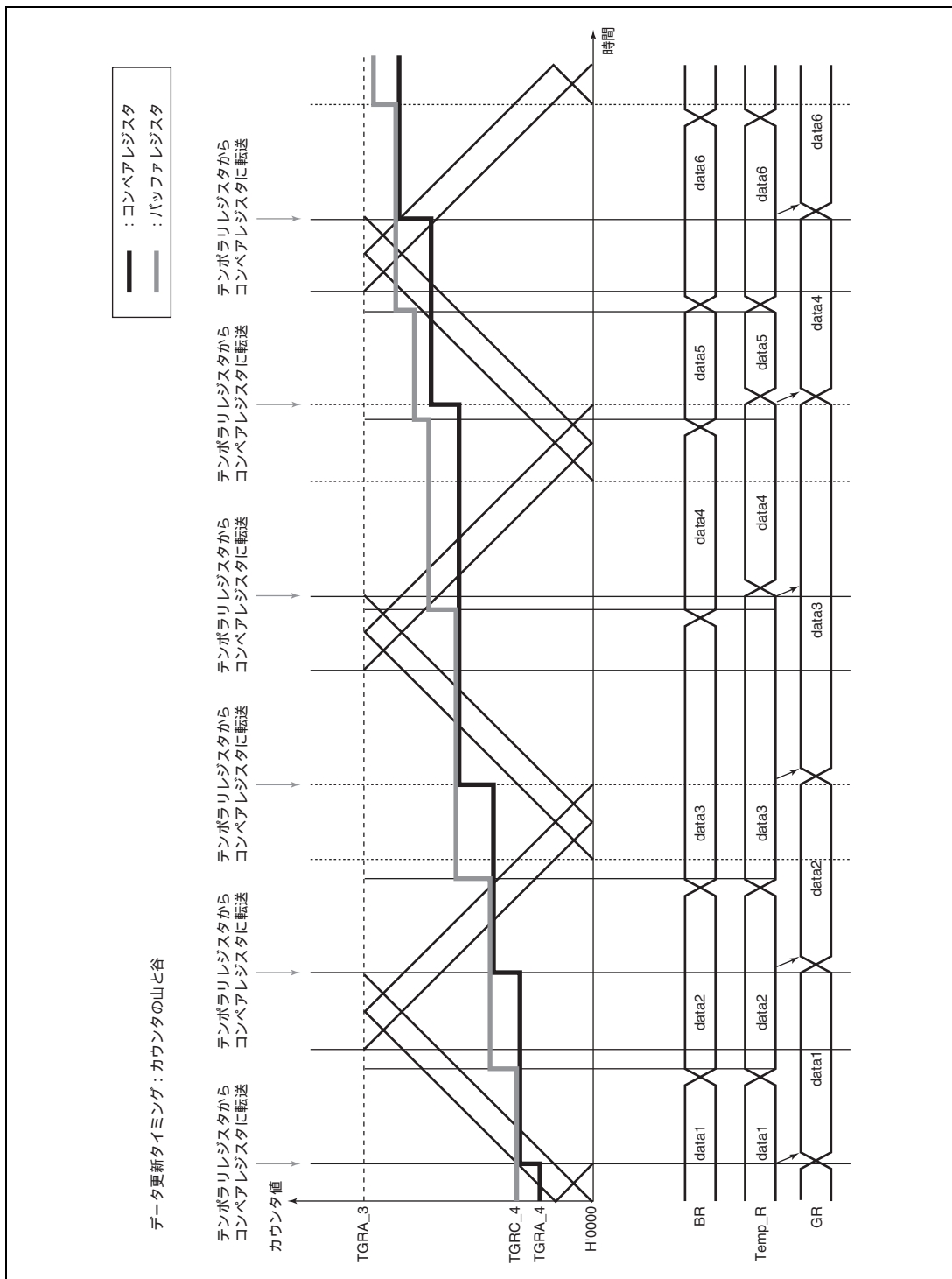


図 10.43 相補 PWM モードのデータ更新例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 10.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 10.45 に示します。

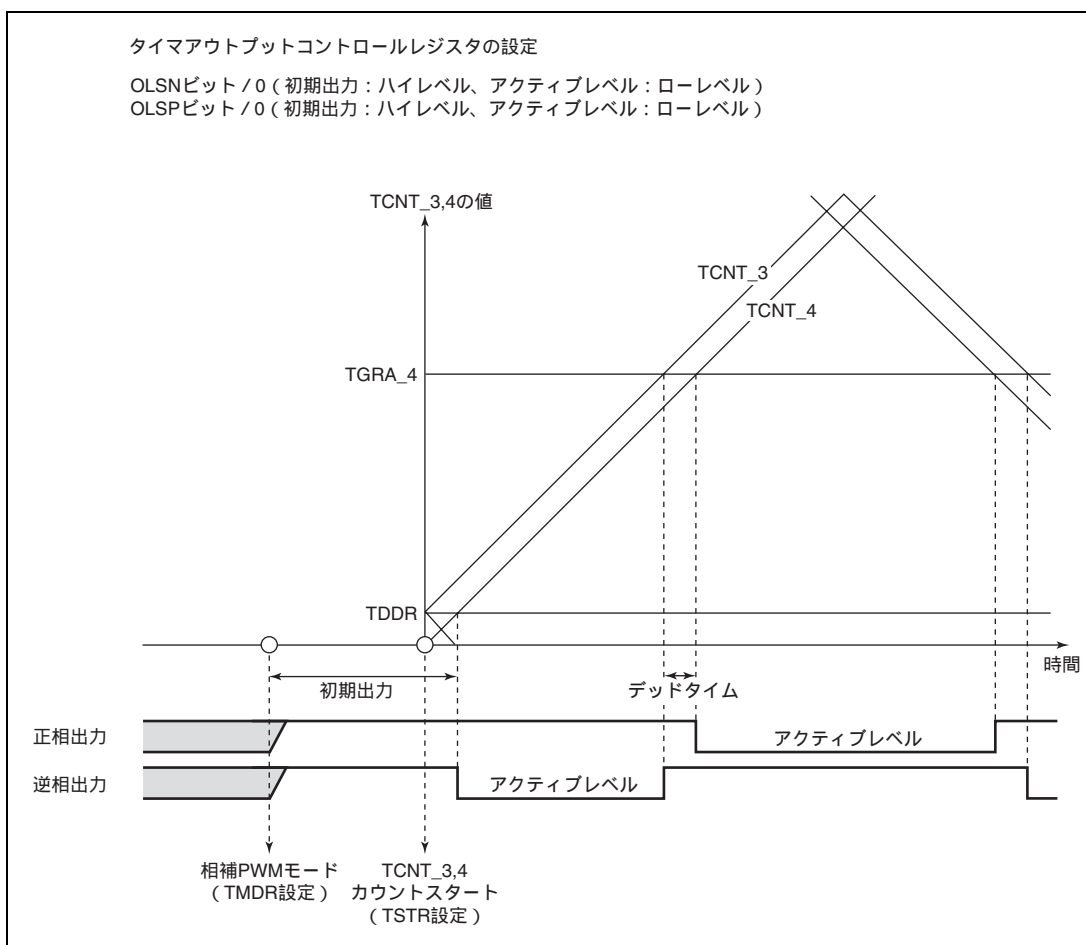


図 10.44 相補 PWM モードの初期出力例 (1)

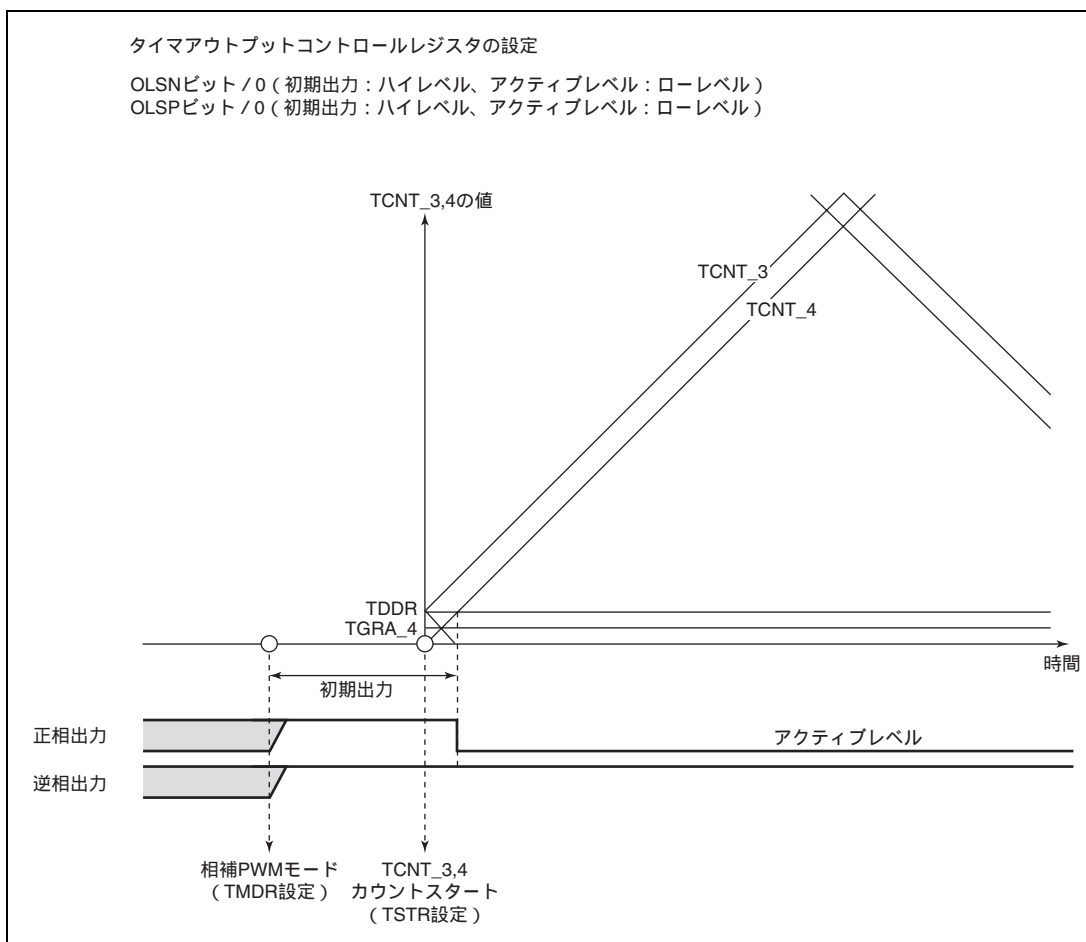


図 10.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。

図 10.46 ~ 図 10.48 に相補 PWM モードの波形生成例を示します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 10.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 10.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 10.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

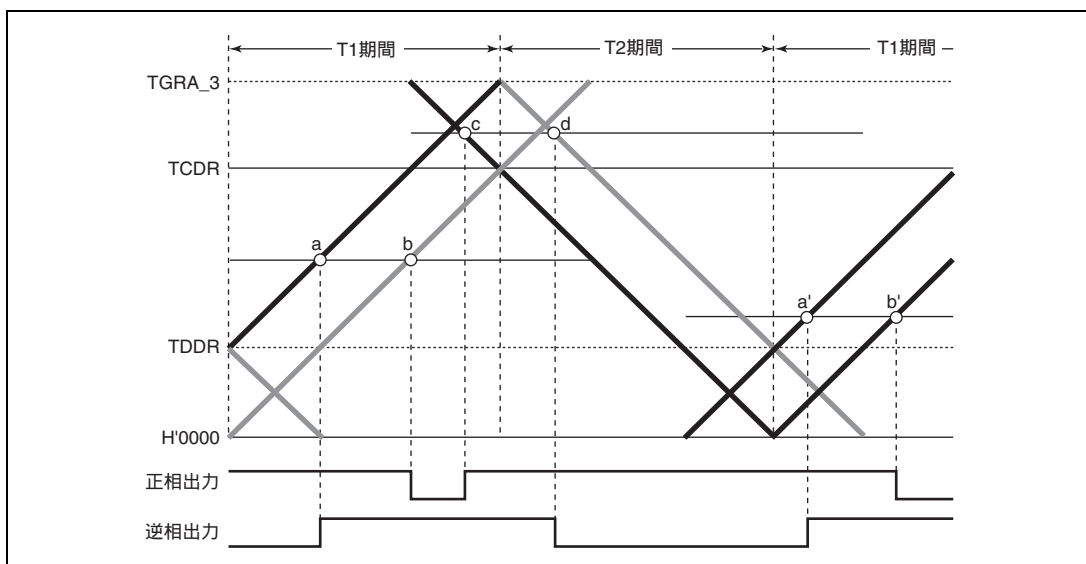


図 10.46 相補 PWM モード波形出力例 (1)

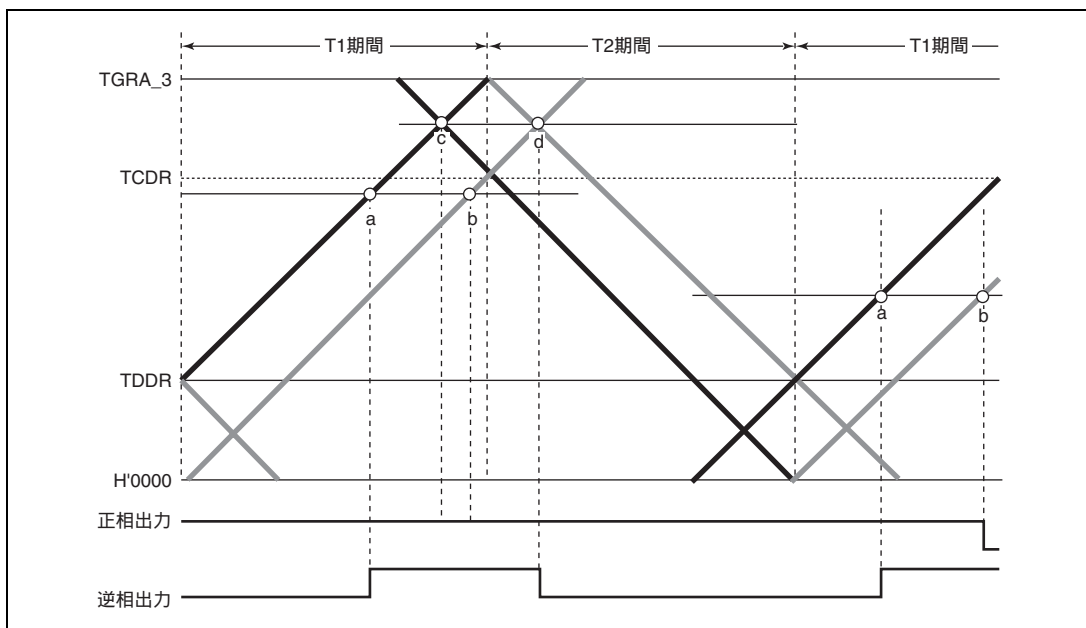


図 10.47 相補 PWM モード波形出力例 (2)

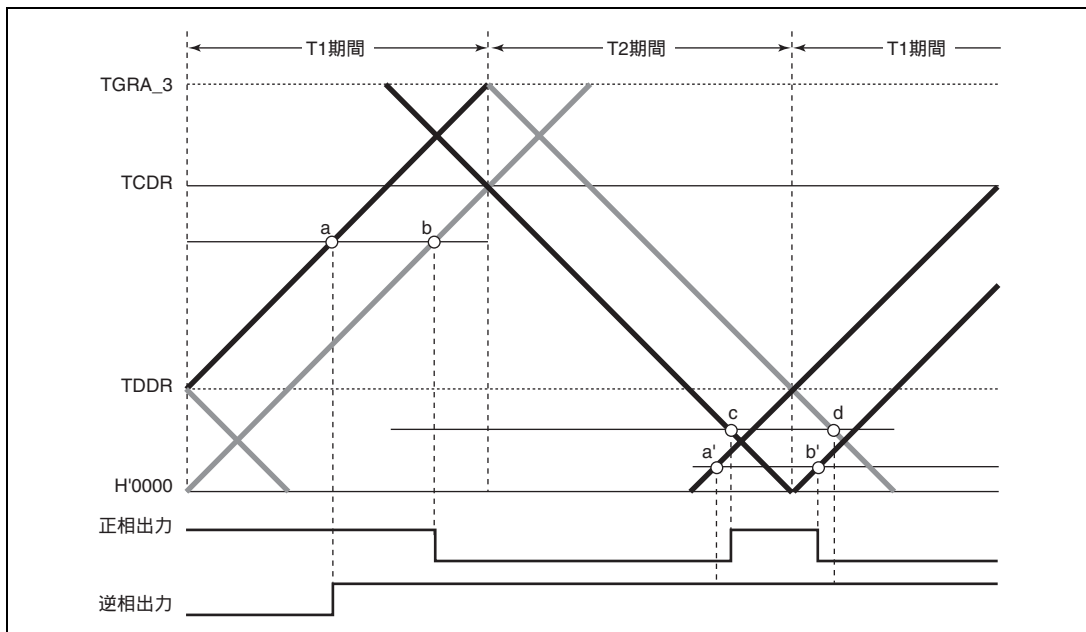


図 10.48 相補 PWM モード波形出力例 (3)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

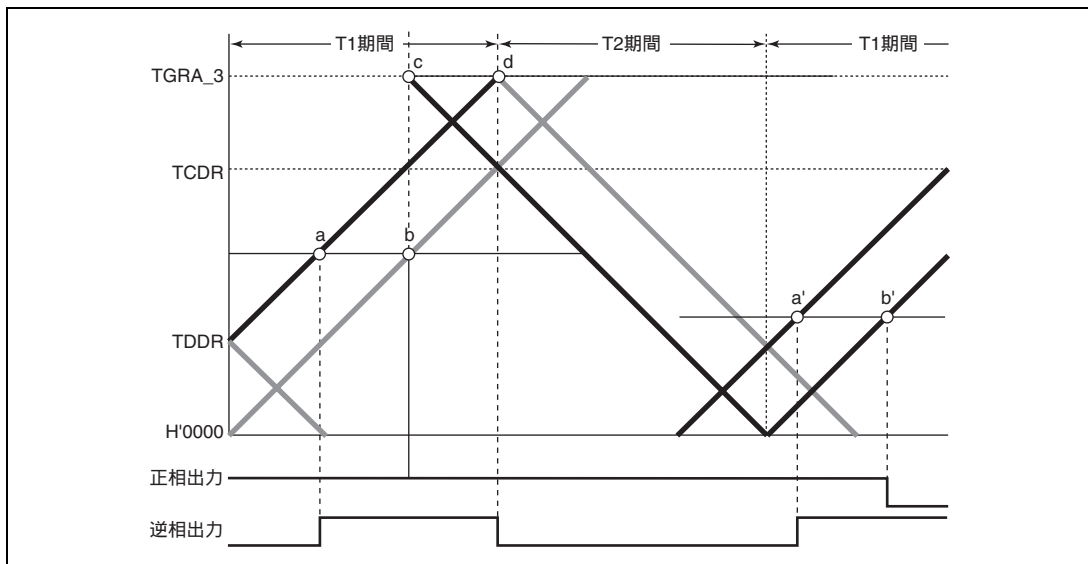


図 10.49 相補 PWM モード 0%、100%波形出力例 (1)

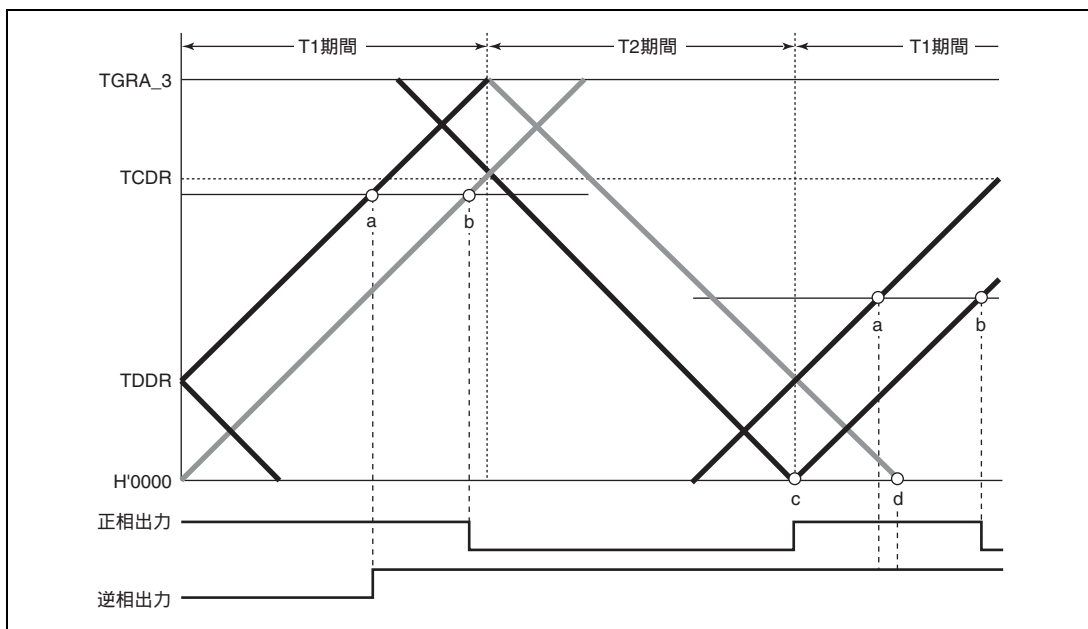


図 10.50 相補 PWM モード 0%、100%波形出力例 (2)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

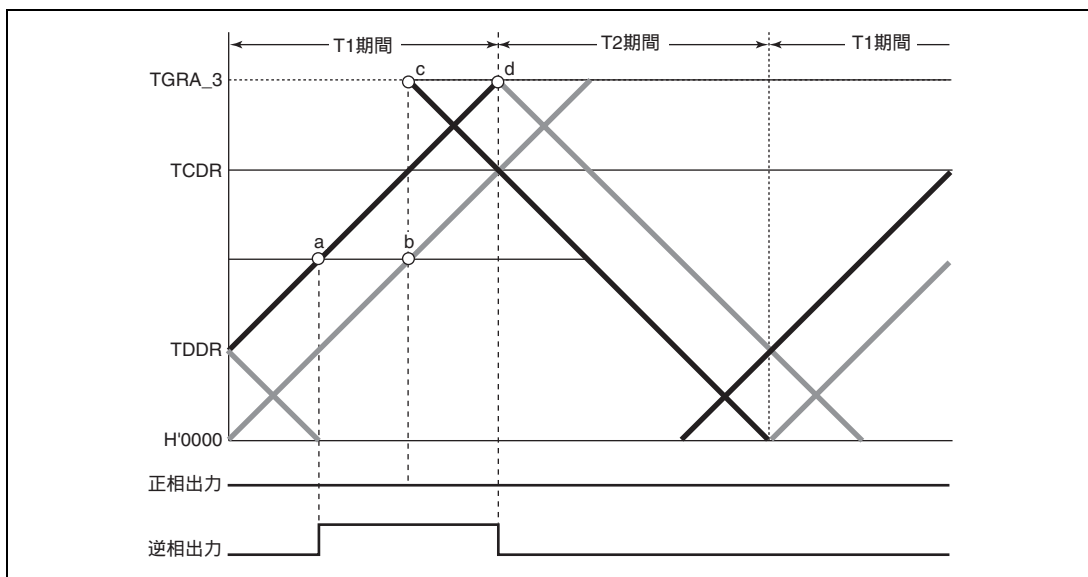


図 10.51 相補 PWM モード 0%、100%波形出力例 (3)

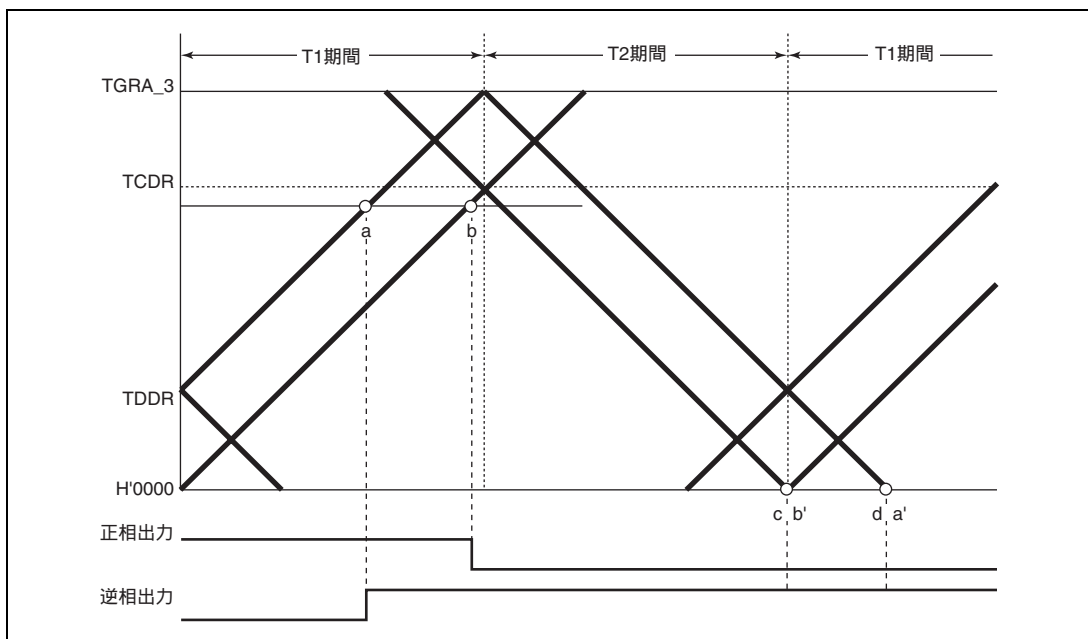


図 10.52 相補 PWM モード 0%、100%波形出力例 (4)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

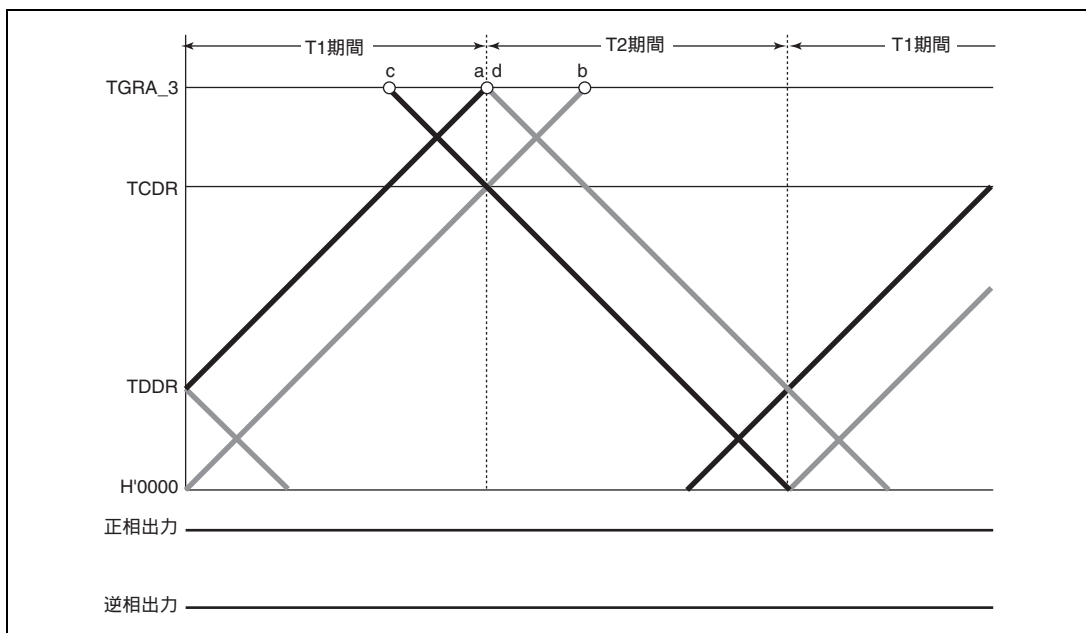


図 10.53 相補 PWM モード 0%、100% 波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 10.49 ~ 図 10.53 に出力例を示します。

デューティ 100% 出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100% ON 状態の波形です。また、デューティ 0% 出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100% OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 10.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

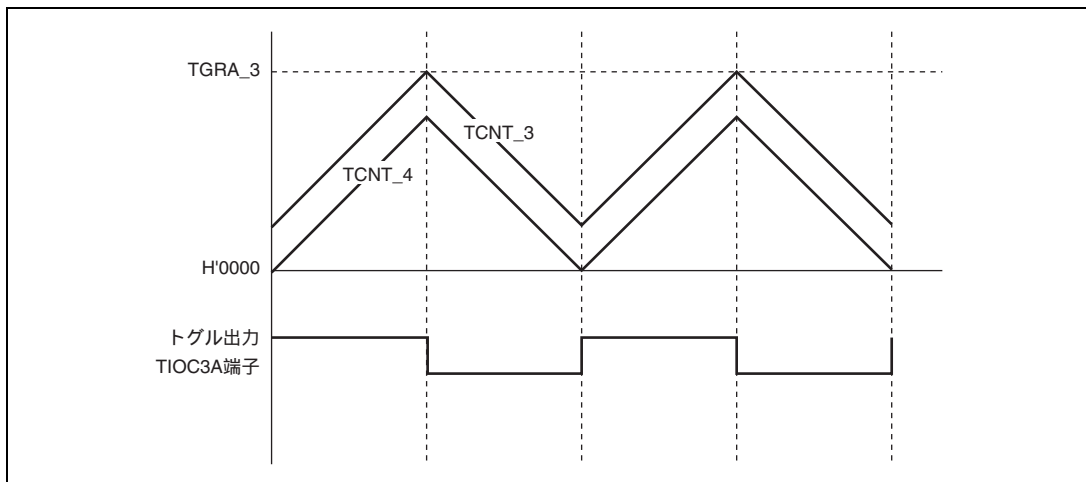


図 10.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 10.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

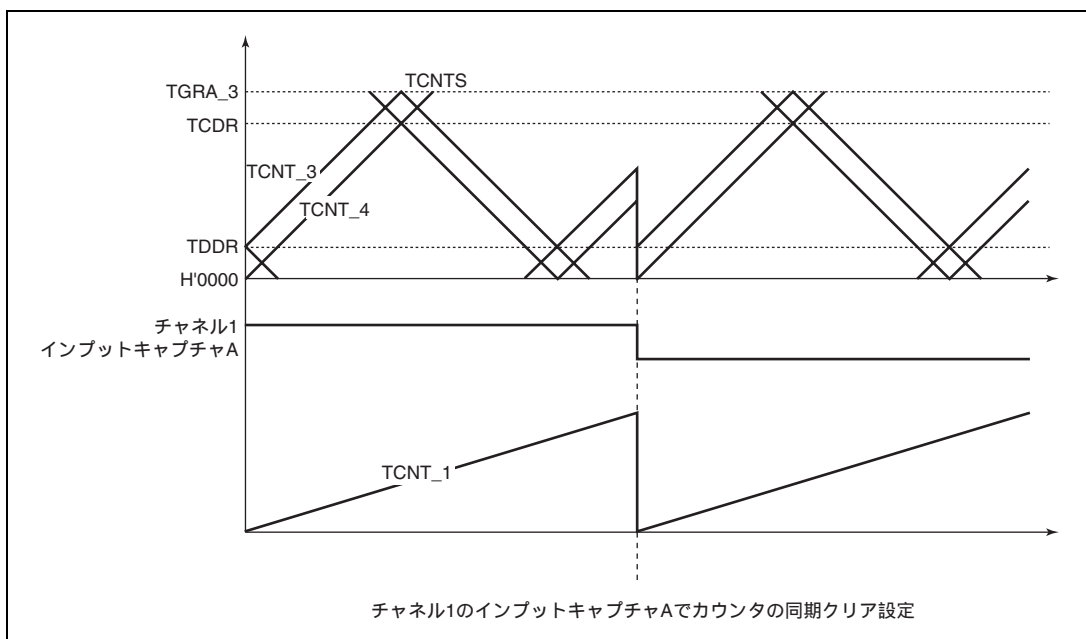


図 10.55 他のチャネルに同期したカウンタクリア

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 10.56 の、のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 10.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU2、MTU2S のどちらでも使用することができます。MTU2、MTU2S のカウンタクリア要因はそれぞれ、MTU2 では MTU2 のチャンネル 0~2 からの同期クリア、MTU2S では MTU2 のチャンネル 0~2 のフラグセット（コンペアマッチ/インプットキャプチャ）です。

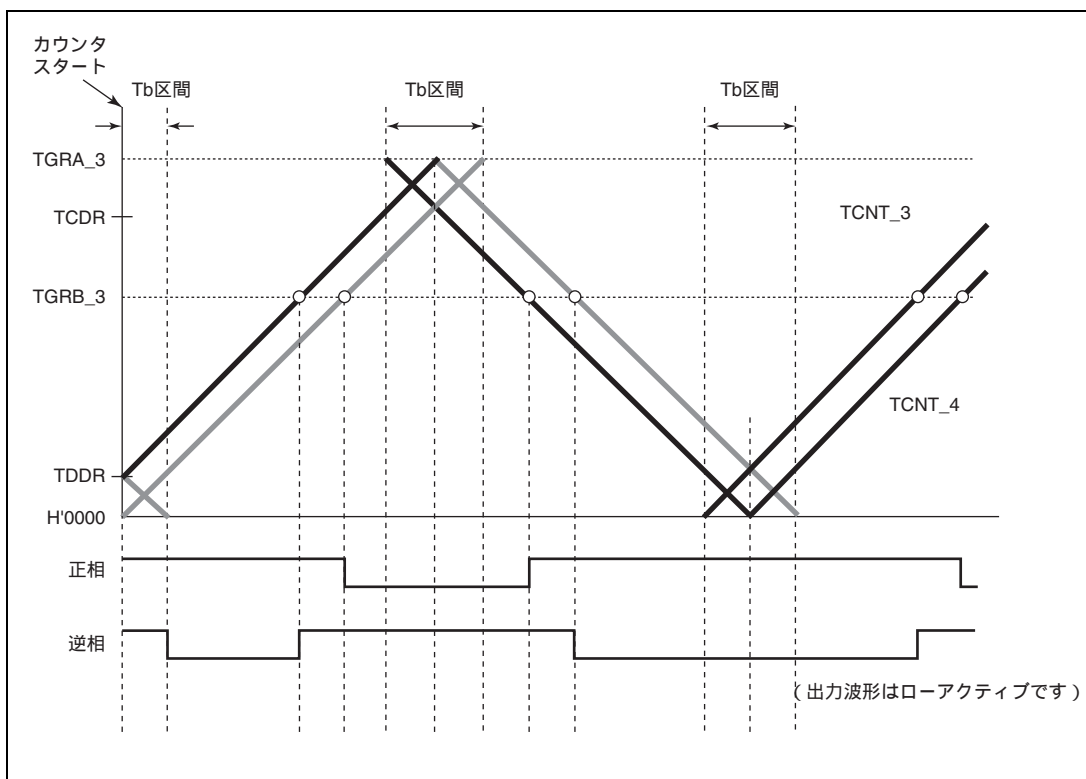


図 10.56 同期カウンタクリアタイミング

● 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 10.57 に示します。

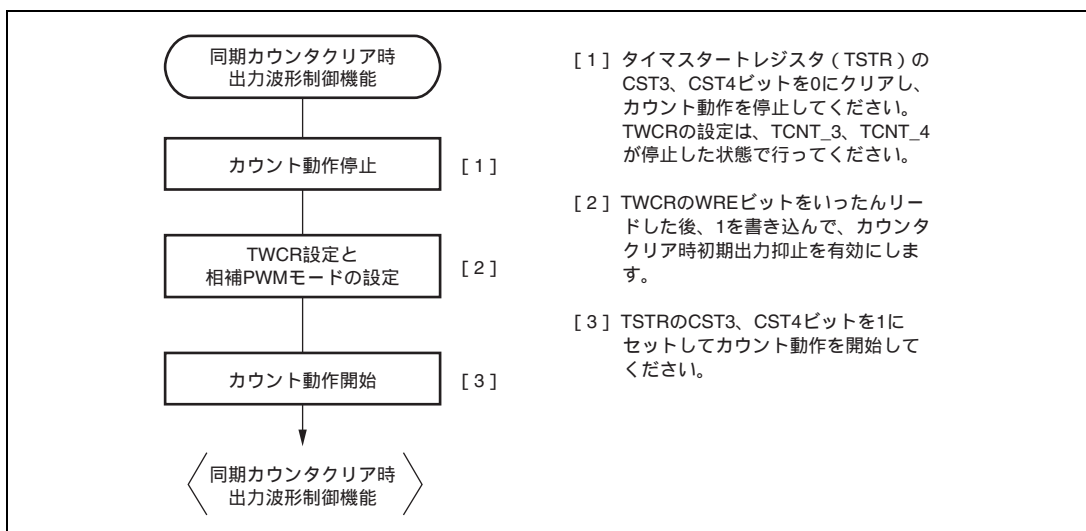


図 10.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

● 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 10.58 ~ 図 10.61 に、TWCR の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 10.58 ~ 図 10.61 の同期カウンタクリアのタイミングは、それぞれ図 10.56 の 、 、 、 で示したタイミングです。

この例は、MTU2S では TWCR の SCC ビットを 0、WRE ビットを 1 に設定した状態で MTU2S を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

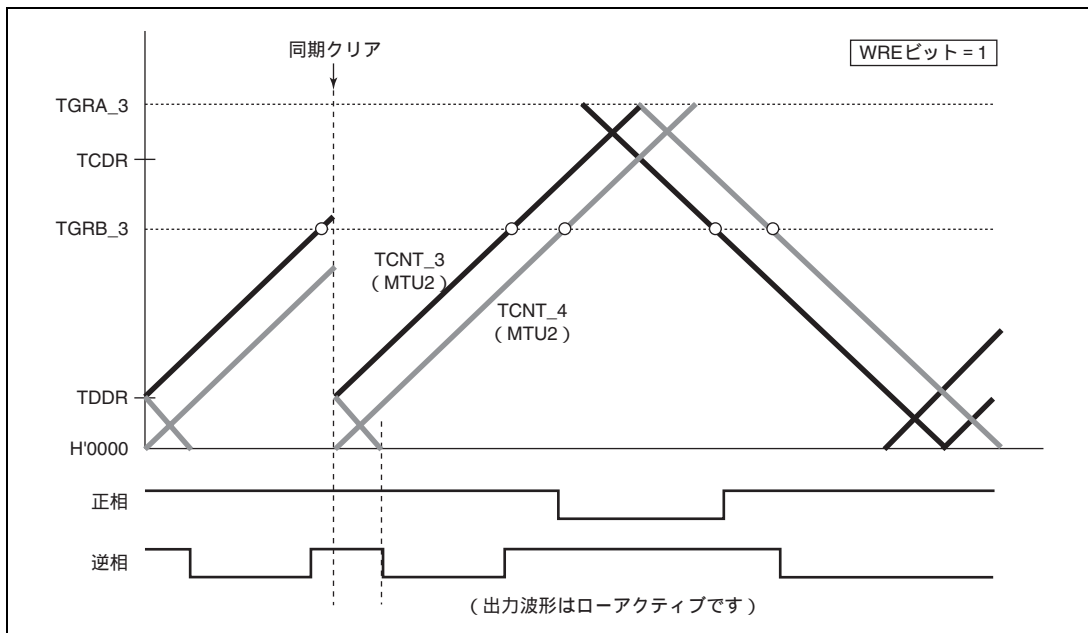


図 10.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

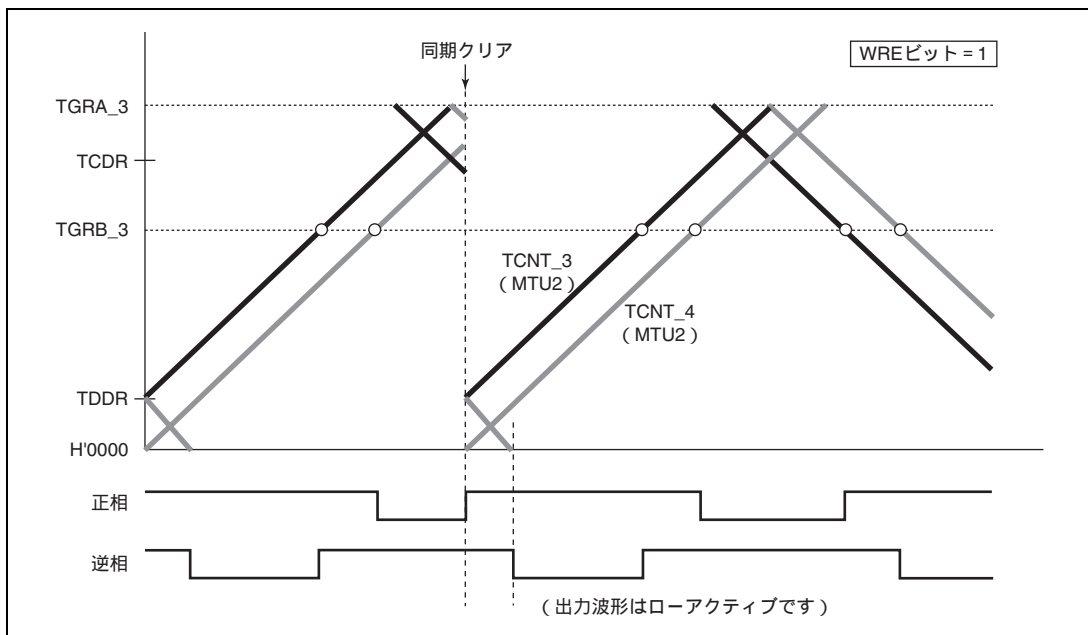


図 10.59 山の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

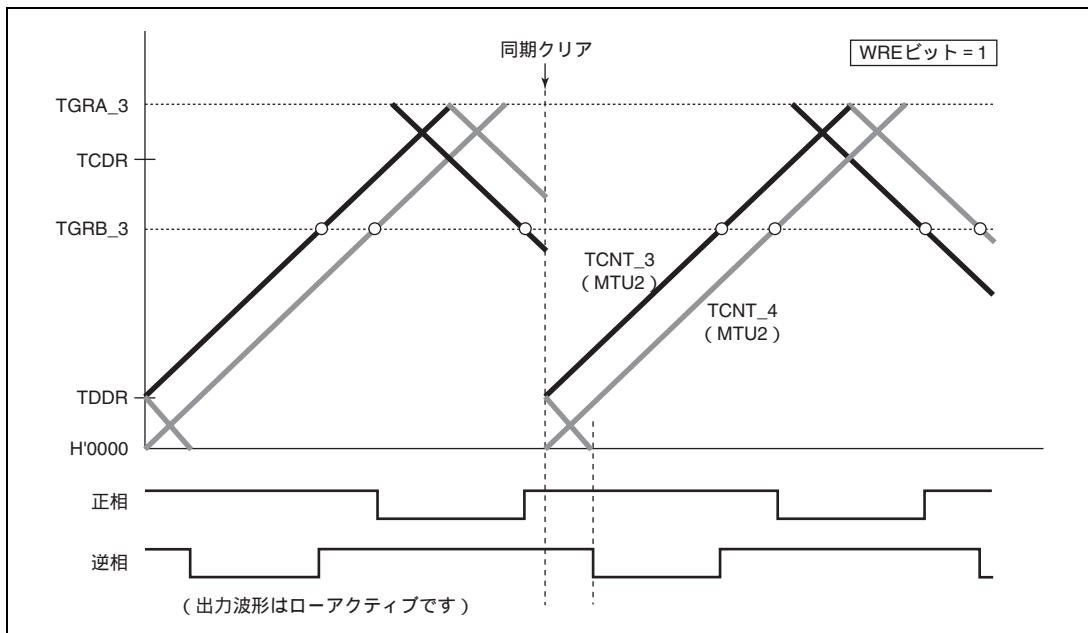


図 10.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、TWCR レジスタの WRE ビット = 1)

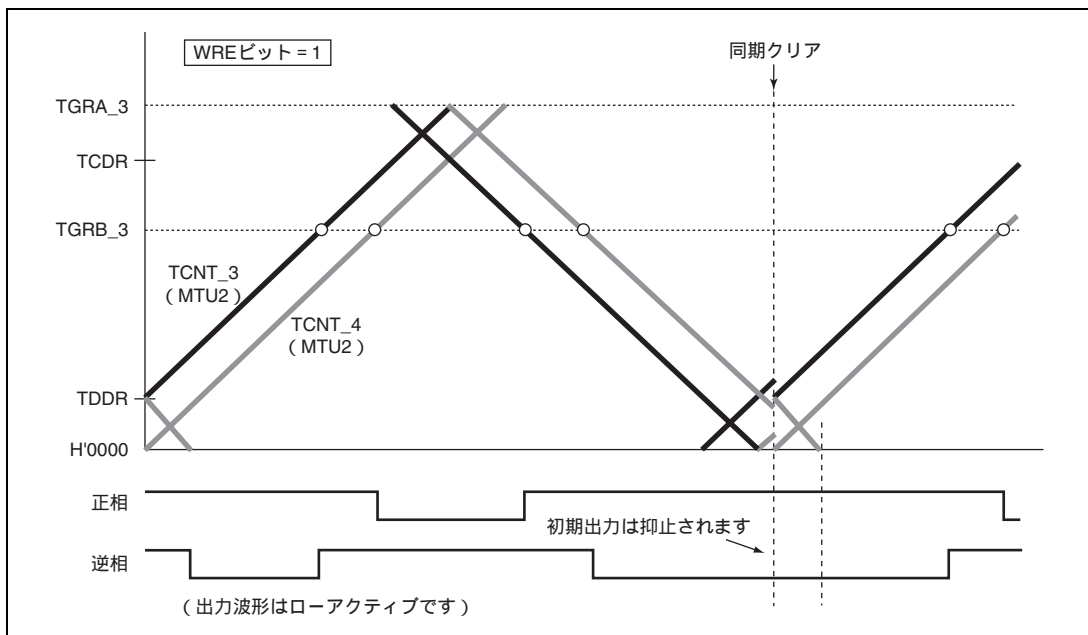


図 10.61 谷の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、TWCR レジスタの WRE ビット = 1)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(o) MTU2 - MTU2S カウンタ同期クリアの抑止機能

MTU2S では、TWCR レジスタの SCC ビットを 1 に設定することにより、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU2 からの同期クリアが抑止できるのは、図 10.62 で示す区間です。

また、本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。

MTU2 からの同期クリアについての詳細は、「10.4.10 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)」を参照してください。

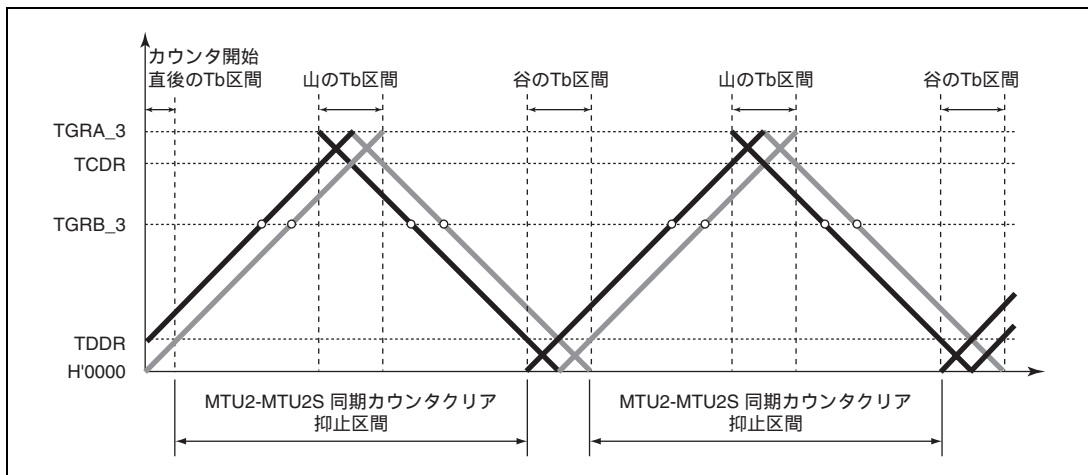


図 10.62 TWCR の SCC ビットセットによる、MTU2 - MTU2S 同期クリア抑止区間

10. マルチファンクションタイマパルスユニット 2 (MTU2)

• MTU2 - MTU2S同期カウンタクリア抑止機能の設定手順例

MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例を図 10.63 に示します。

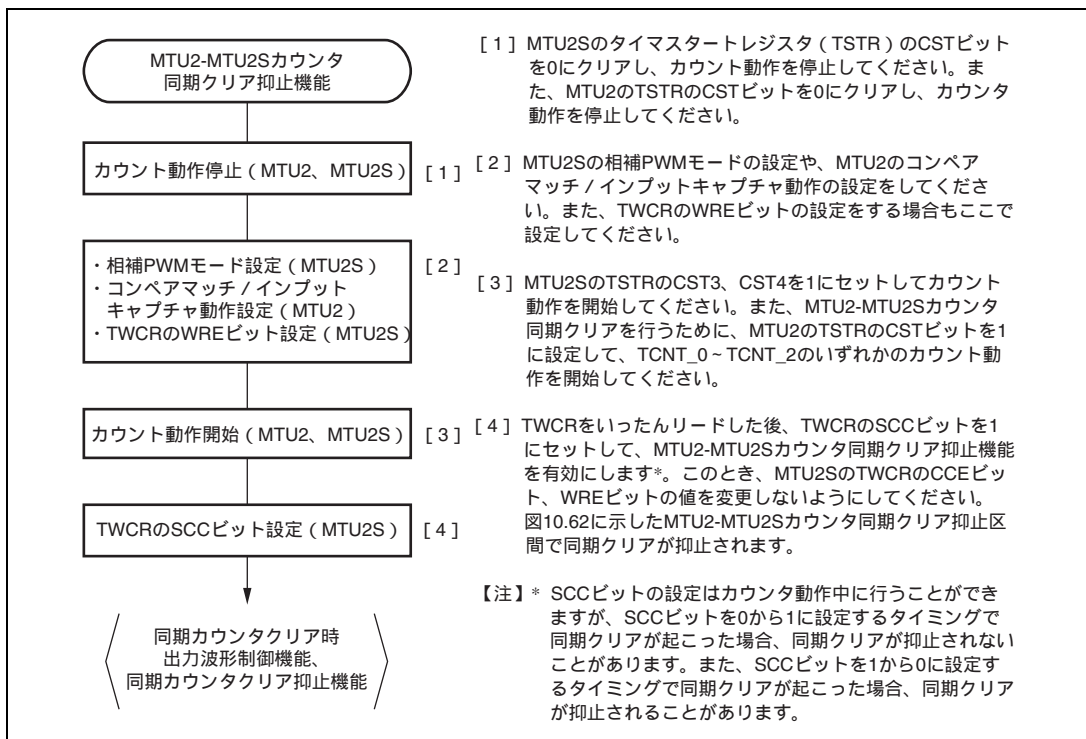


図 10.63 MTU2 - MTU2S 同期カウンタクリア抑止機能の設定手順例

• MTU2 - MTU2S同期カウンタクリア抑止機能の動作例

図 10.64 ~ 図 10.67 に、MTU2S の TWCR の SCC ビットを 1 に設定して MTU2S を相補 PWM 動作をさせ、MTU2 - MTU2S カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 10.64 ~ 図 10.67 の同期カウンタクリアのタイミングは、それぞれ図 10.56 の 、 、 、 で示したタイミングです。また、この例では MTU2S の TWCR の WRE ビットは 1 に設定しています。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

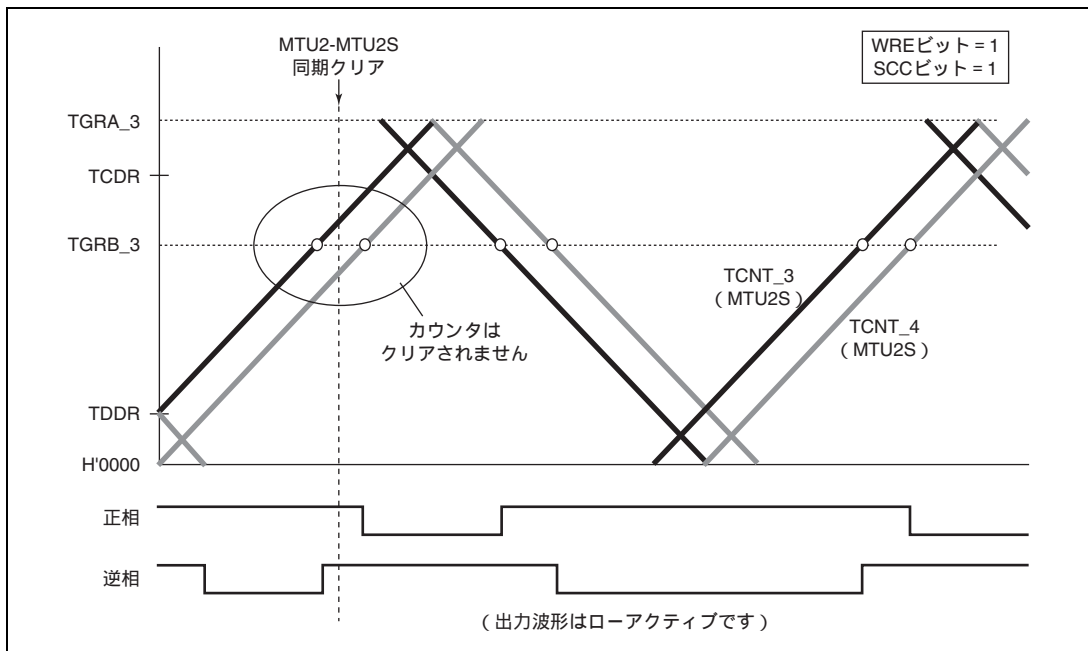


図 10.64 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

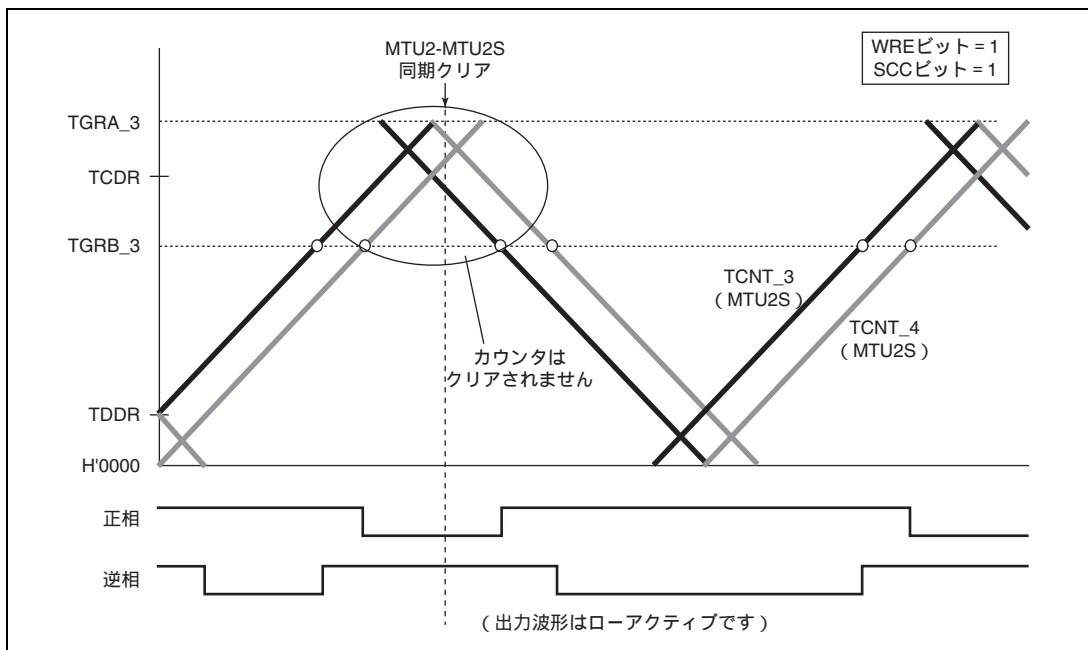


図 10.65 山の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

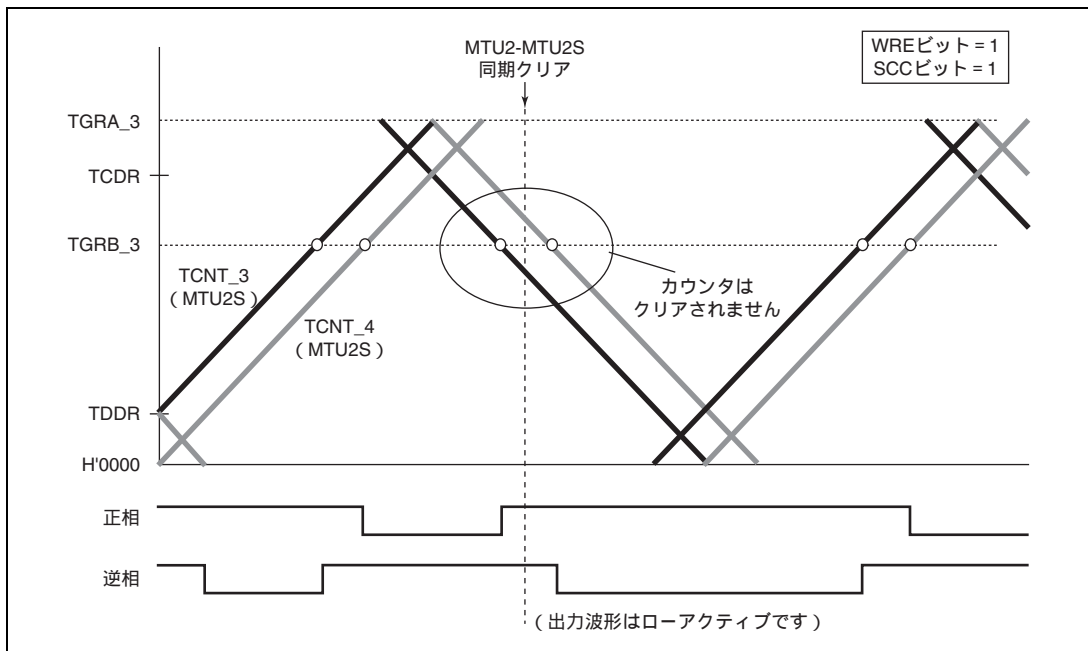


図 10.66 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

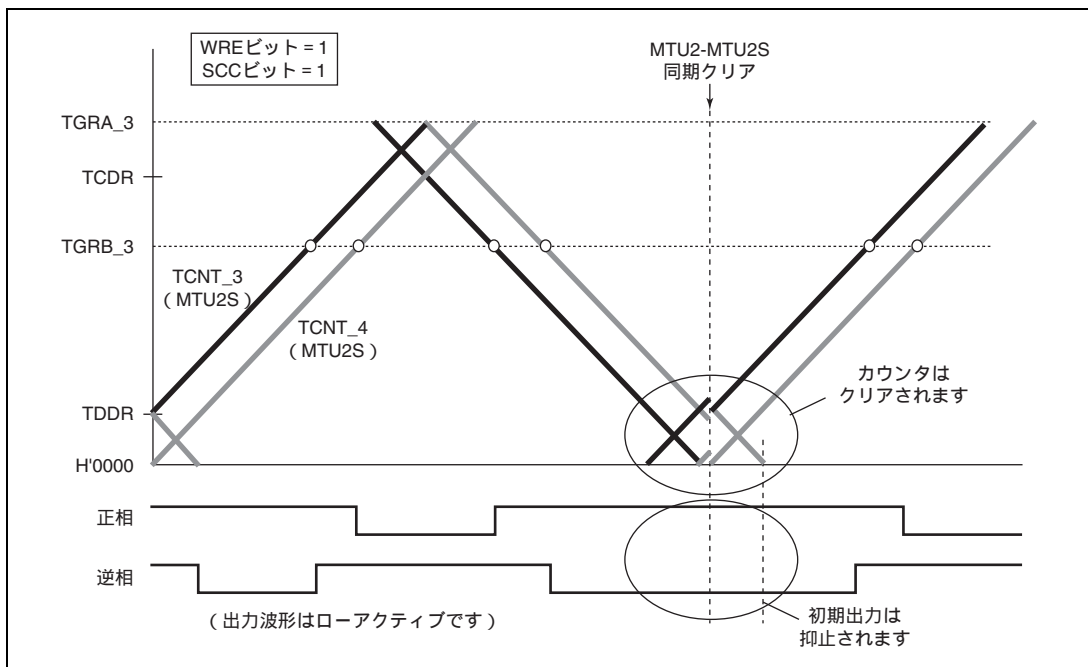


図 10.67 谷の Tb 区間で同期クリアが発生した場合
(図 10.56 のタイミング、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(p) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 10.68 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを 1、タイマシンクロクリアレジスタ (TSYCR) の CE0A/B/C/D、CE1A/B/C/D ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

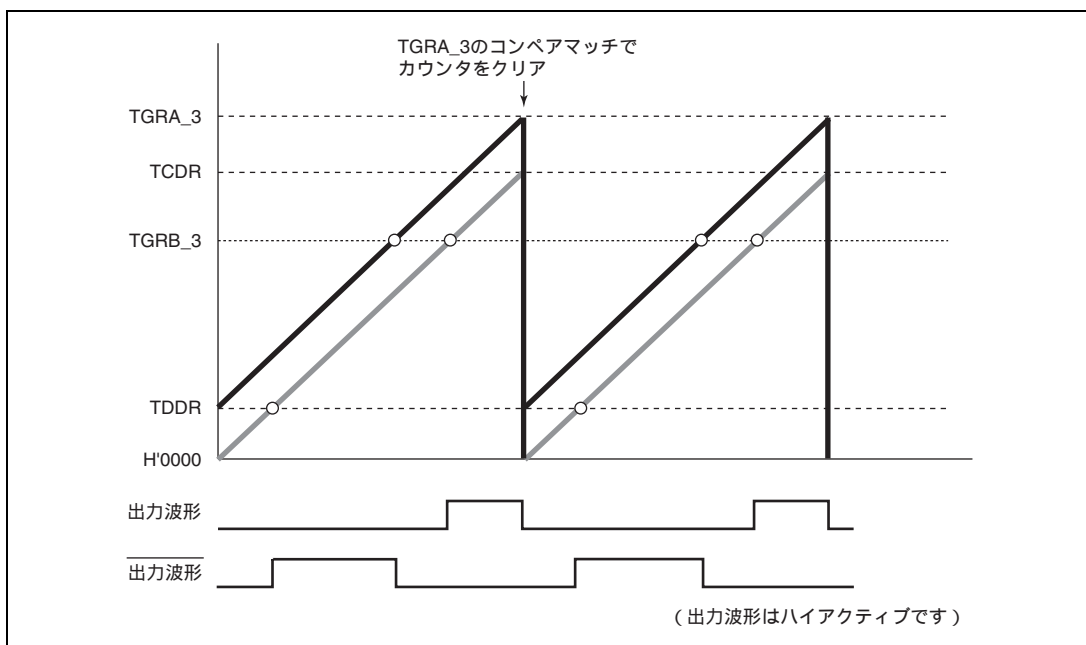


図 10.68 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(q) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 10.69 ~ 図 10.72 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

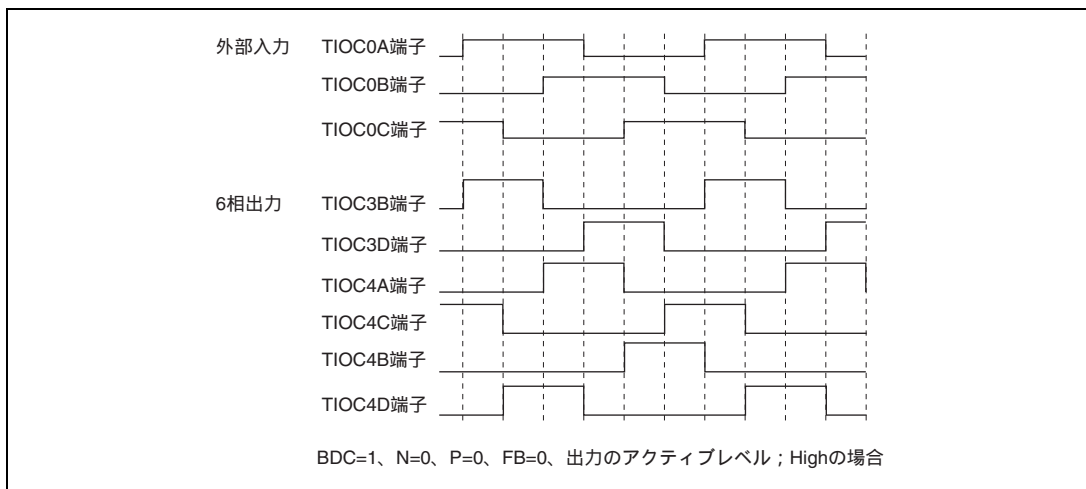


図 10.69 外部入力による出力相の切り替え動作例 (1)

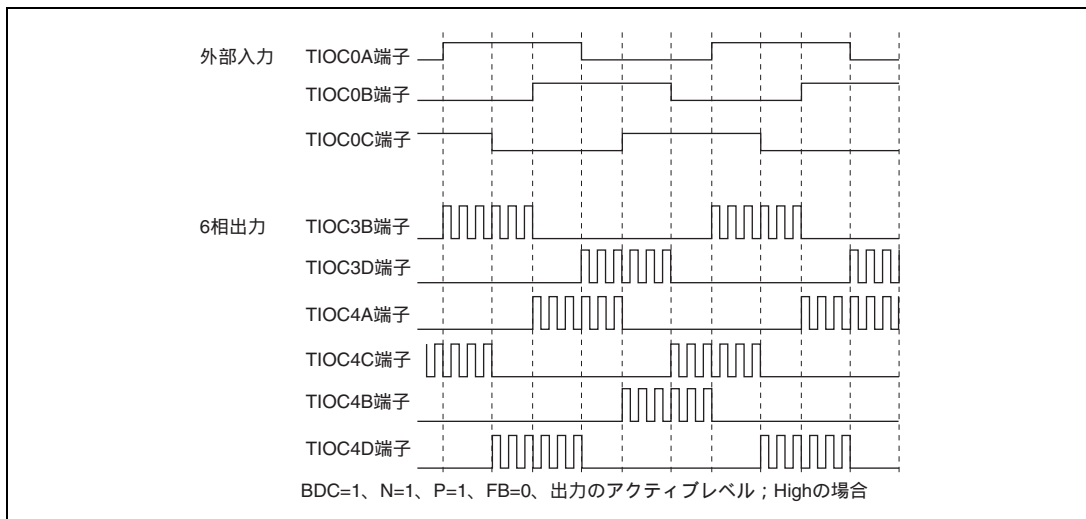


図 10.70 外部入力による出力相の切り替え動作例 (2)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

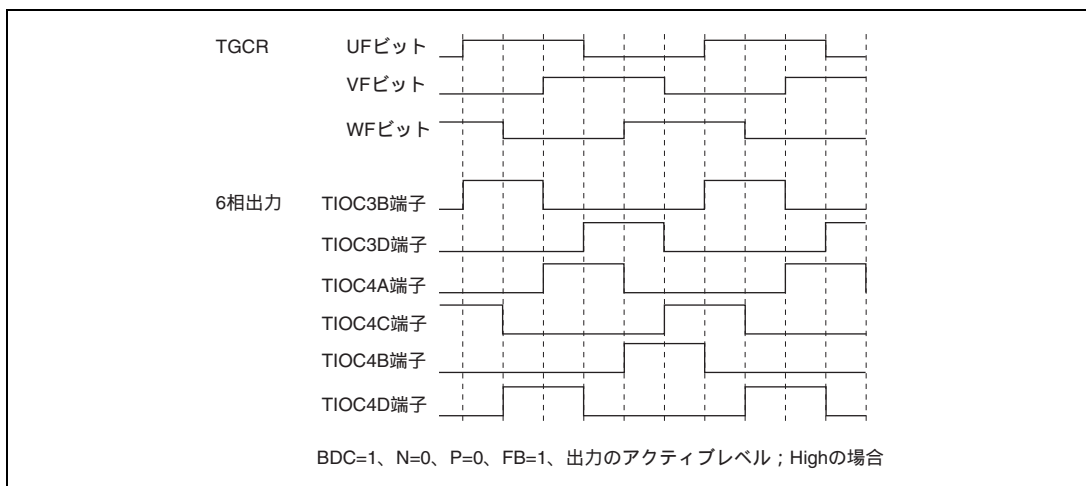


図 10.71 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

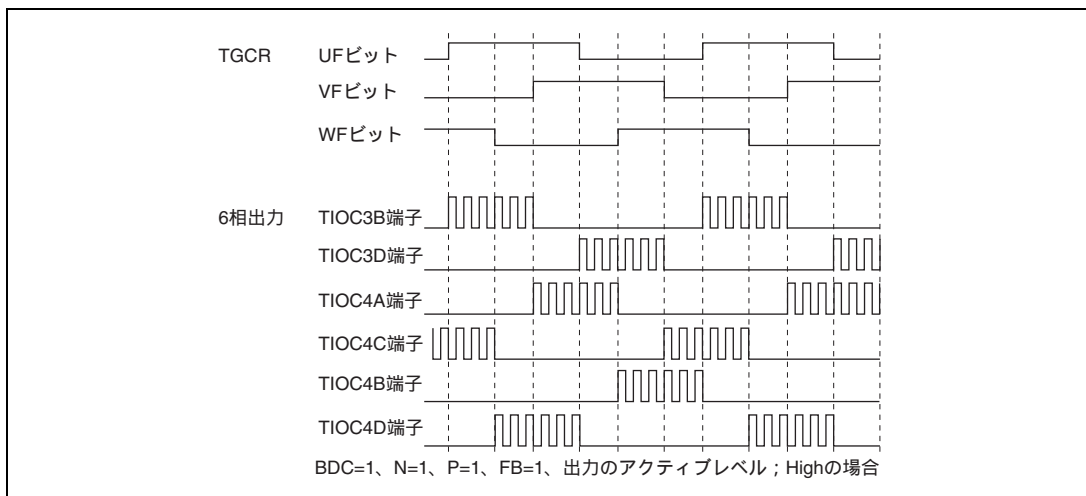


図 10.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「10.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 10.73 に示します。また、割り込み間引き回数の変更可能期間を図 10.74 に示します。

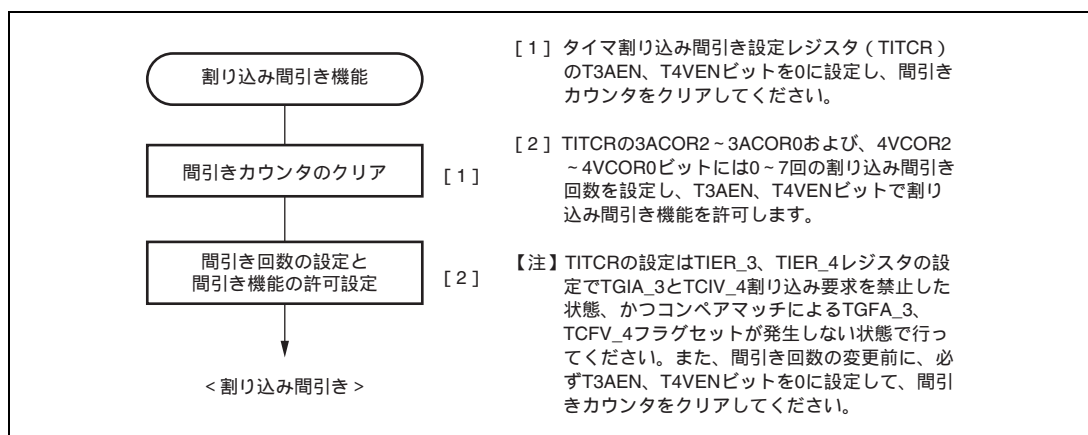


図 10.73 割り込み間引き機能の設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

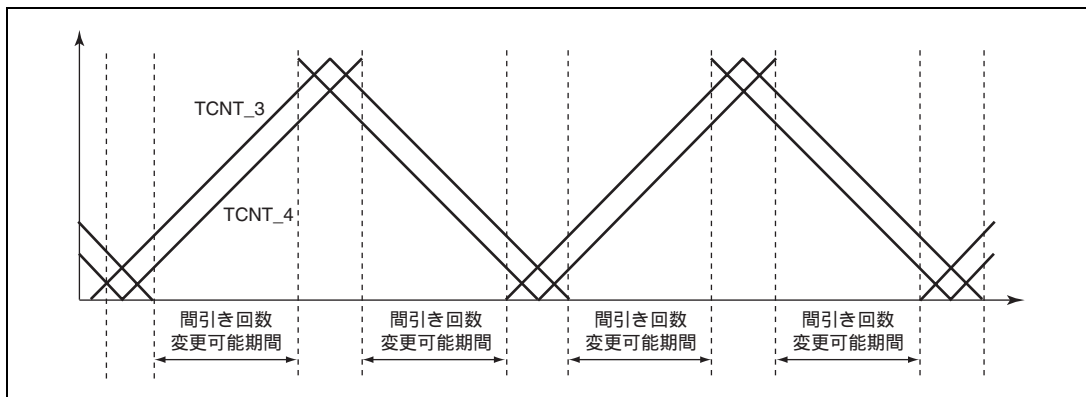


図 10.74 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 10.75 に示します。

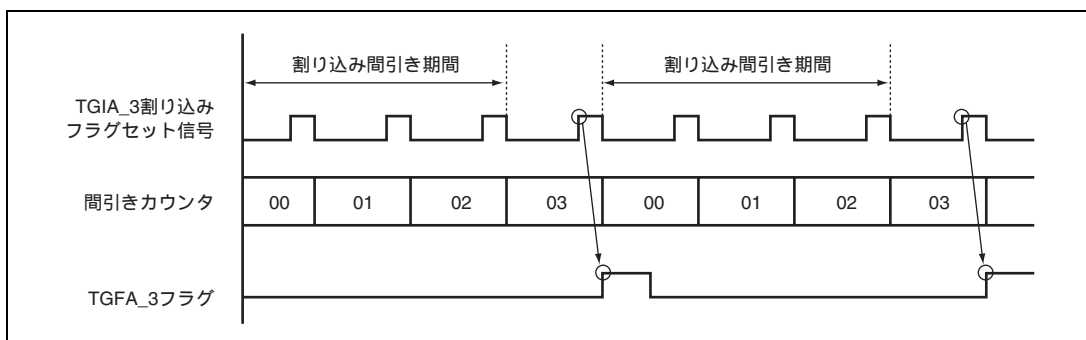


図 10.75 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 10.76 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 10.77 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタ、ジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。

TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 10.78 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ (TBTER) の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

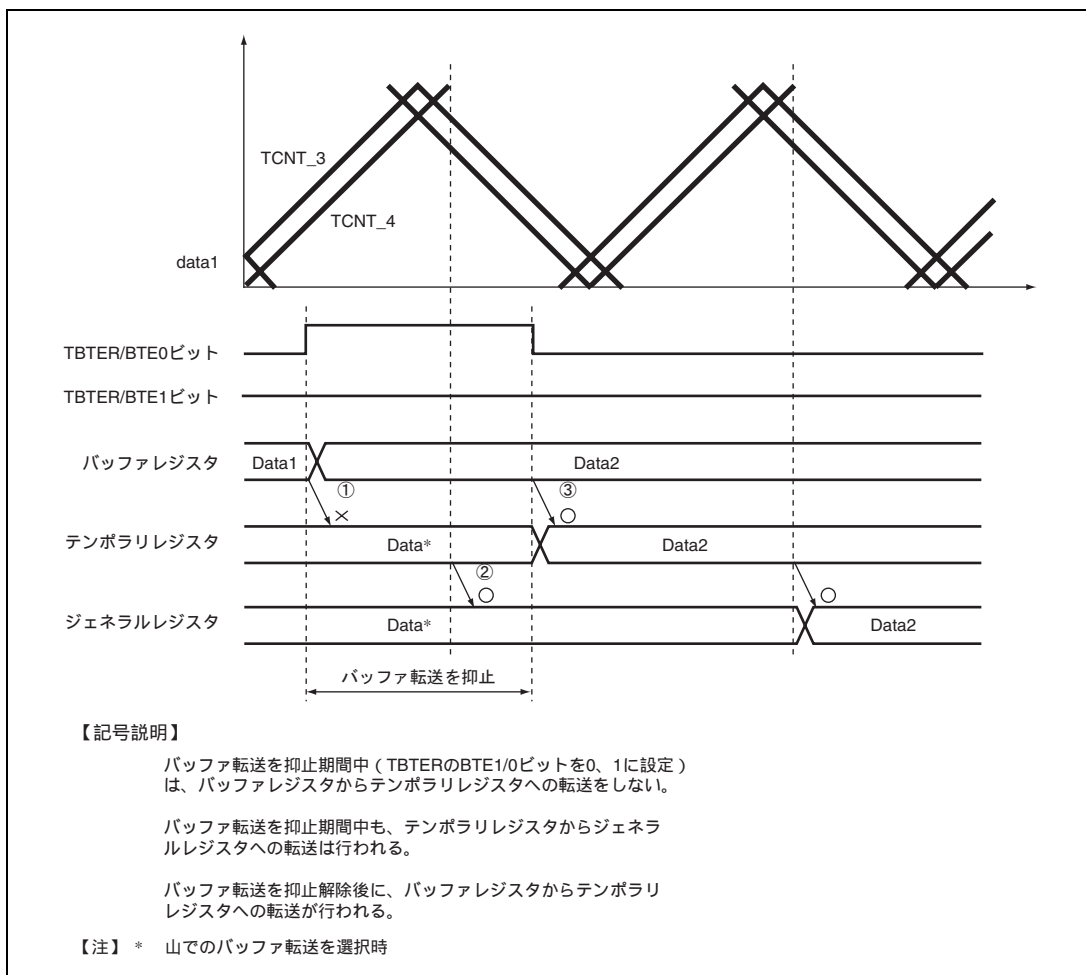


図 10.76 バッファ転送を抑制する設定（BTE1 = 0、BTE0 = 1）にした場合の動作例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

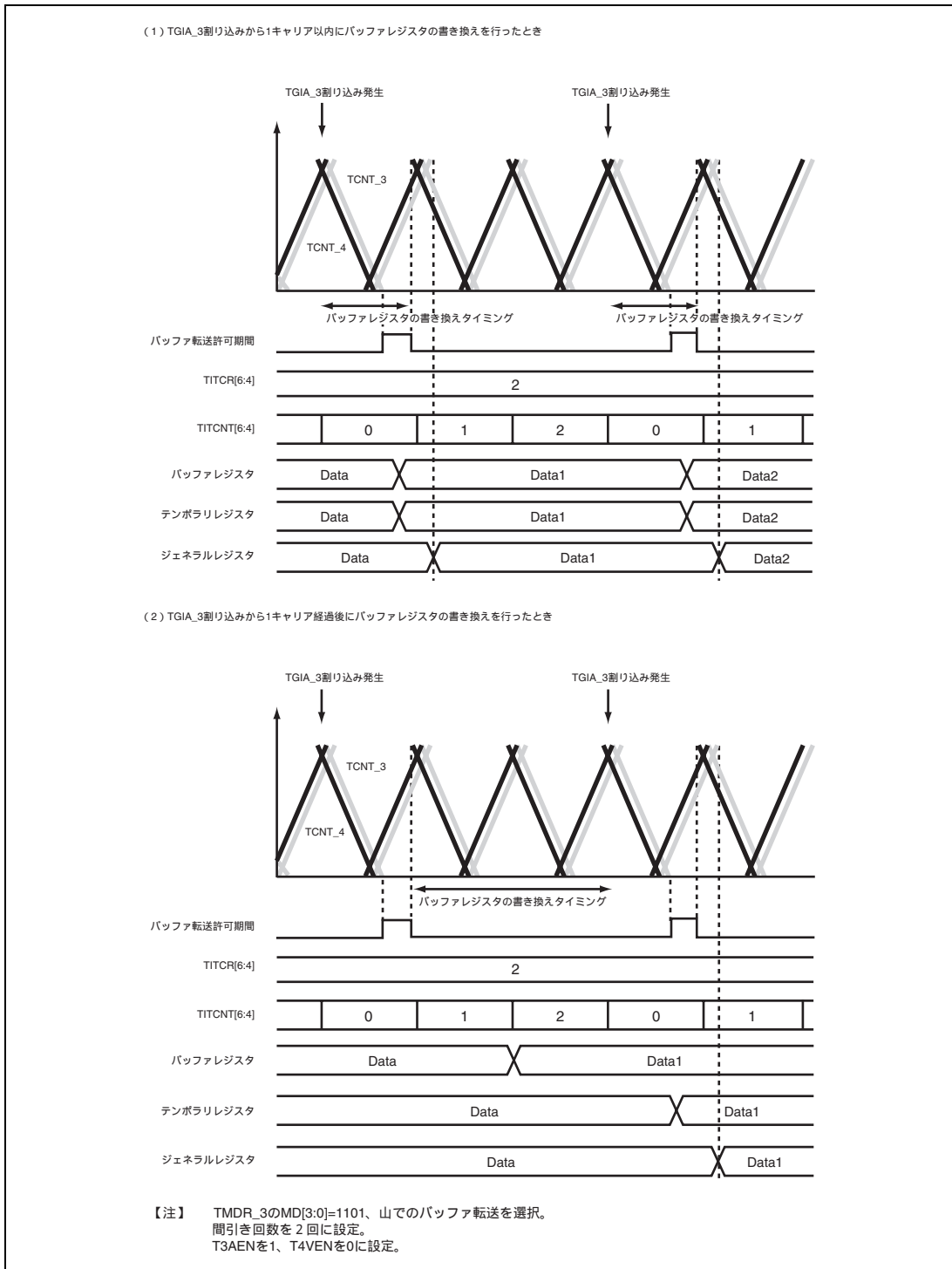


図 10.77 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

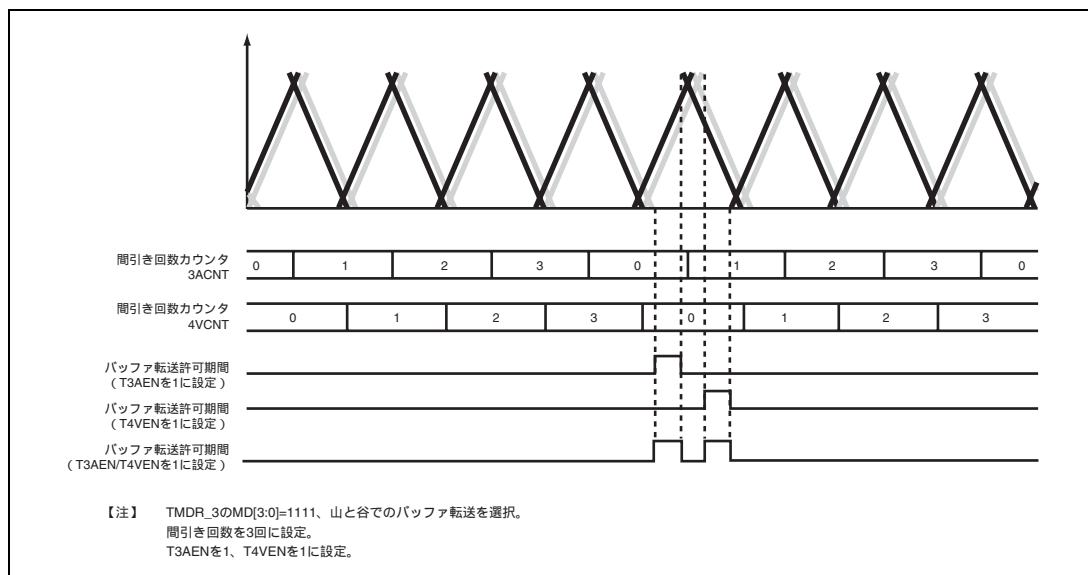


図 10.78 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「第 12 章 ポートアウトブットイネーブル 2 (POE2)」を参照してください。

10.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 10.79 に示します。

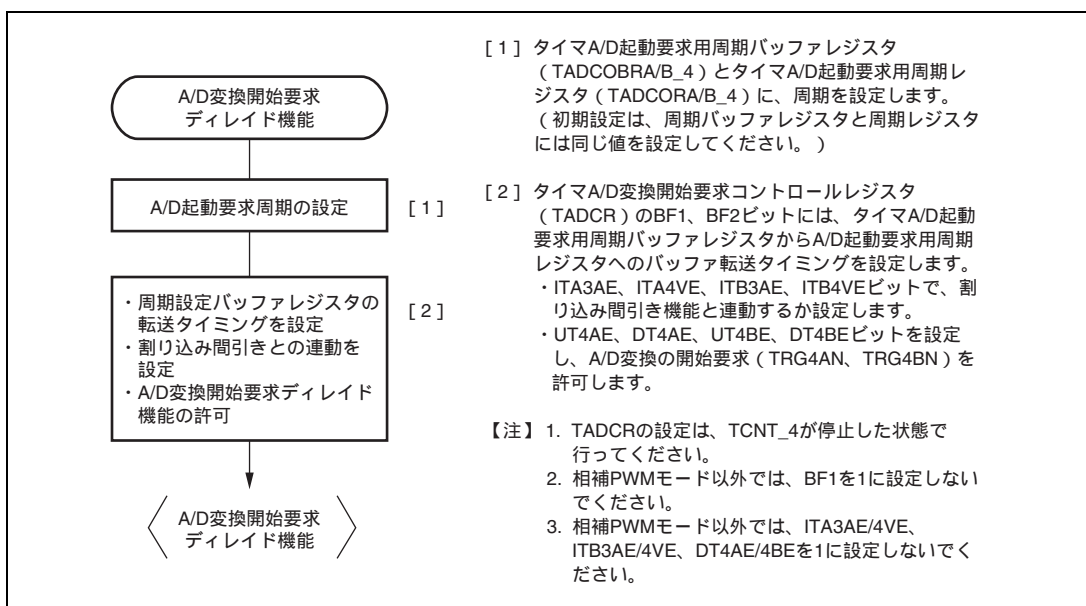


図 10.79 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 10.80 に示します。

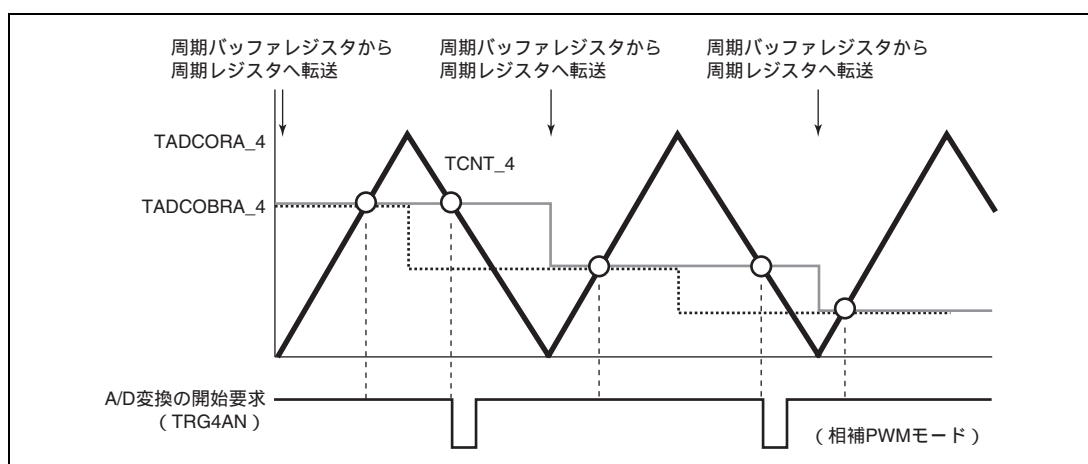


図 10.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

- バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR_4) の BF1、BF0 ビットを設定することにより選択することができます。

- 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 10.81 に示します。

また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 10.82 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

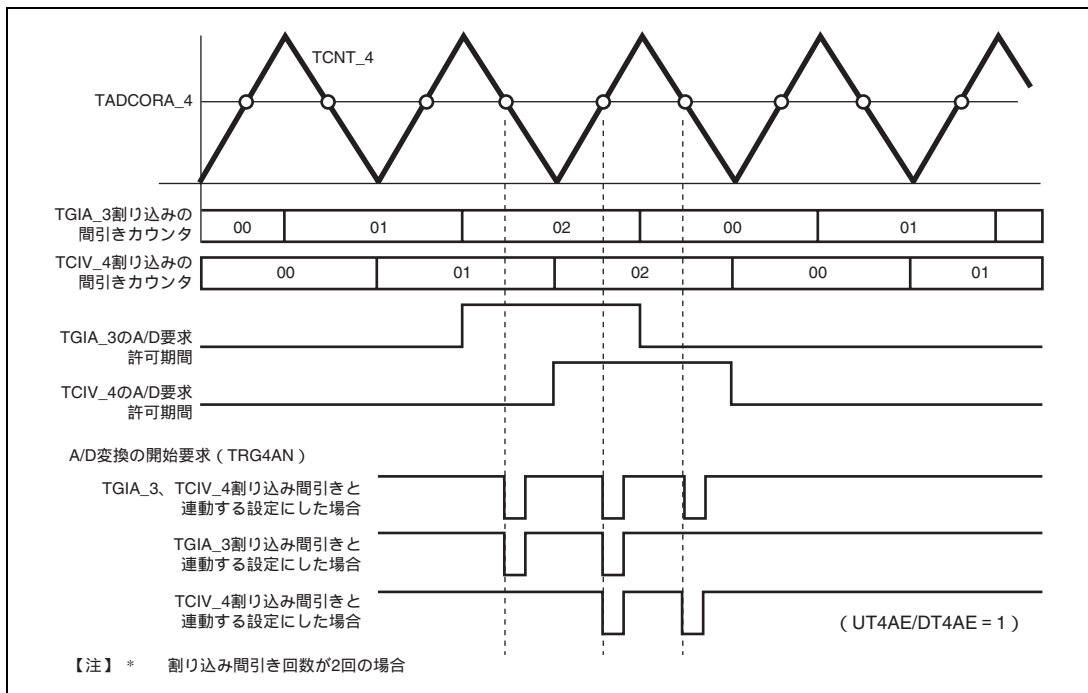


図 10.81 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

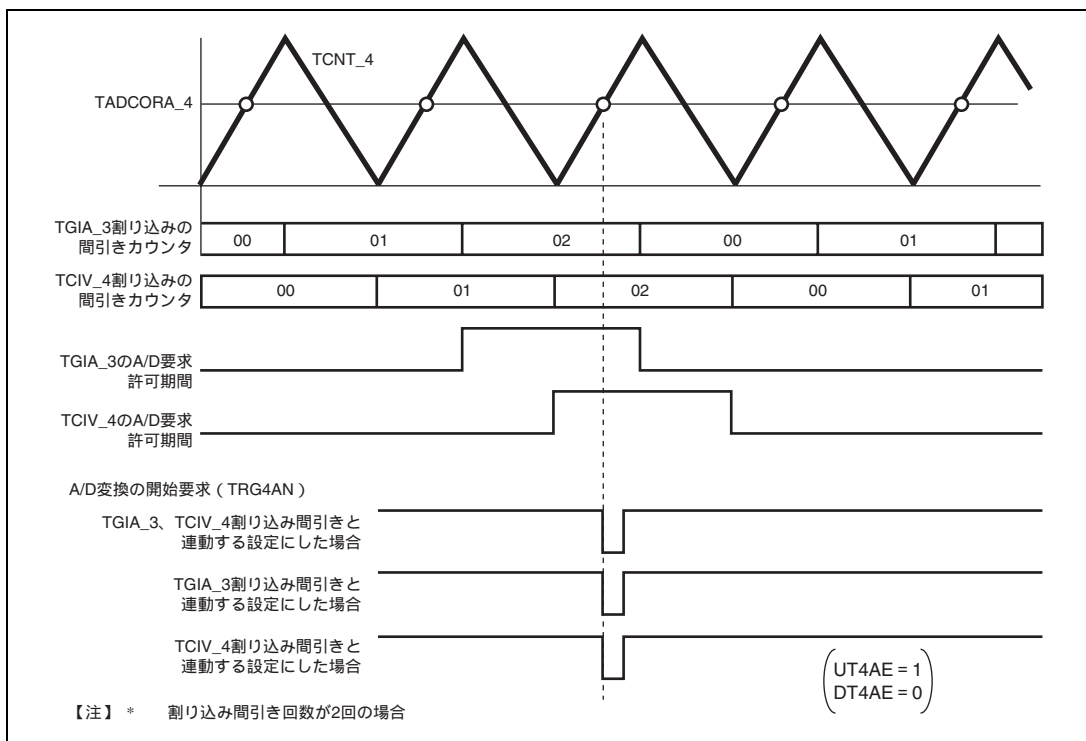


図 10.82 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

10.4.10 MTU2 - MTU2S の同期動作

(1) MTU2 - MTU2S カウンタ同期スタート

MTU2 の TCSYSTR レジスタを設定することにより、異なるクロック系で動作する MTU2 と MTU2S のカウンタを同期スタートすることができます。

(a) MTU2 - MTU2S カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 10.83 に示します。

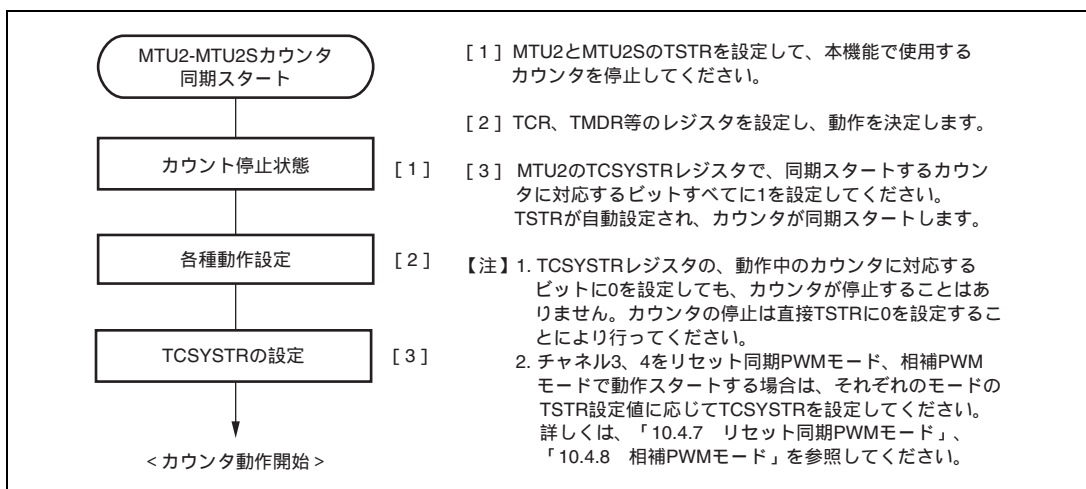


図 10.83 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 10.84 (1) ~ 図 10.84 (4) に、それぞれ MTU2 と MTU2S のクロック周波数比が 1:1、1:2、1:3、1:4 の場合のカウンタ同期スタート動作例を示します。

これらの例では、カウントクロックを P /1 に設定しています。

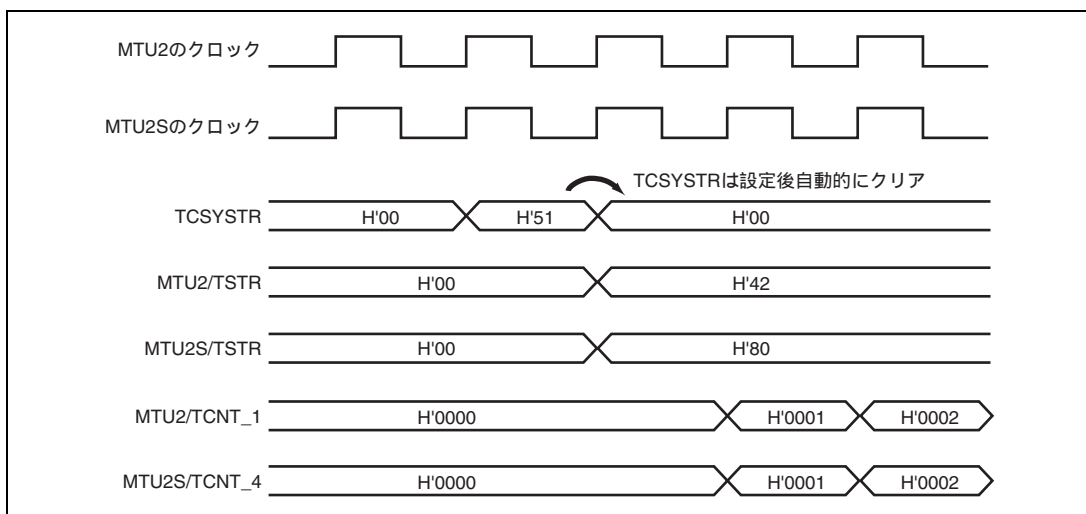


図 10.84 (1) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:1)

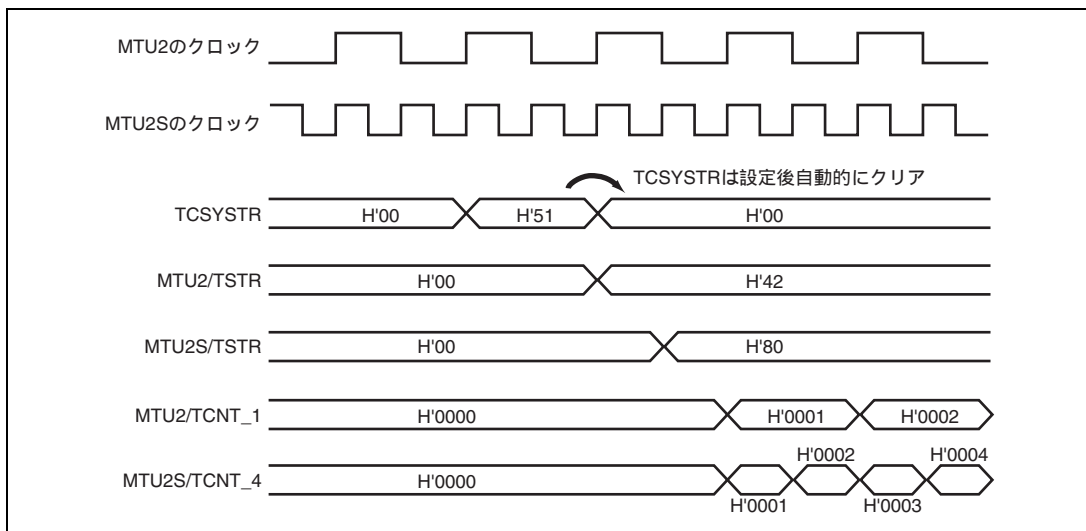


図 10.84 (2) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:2)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

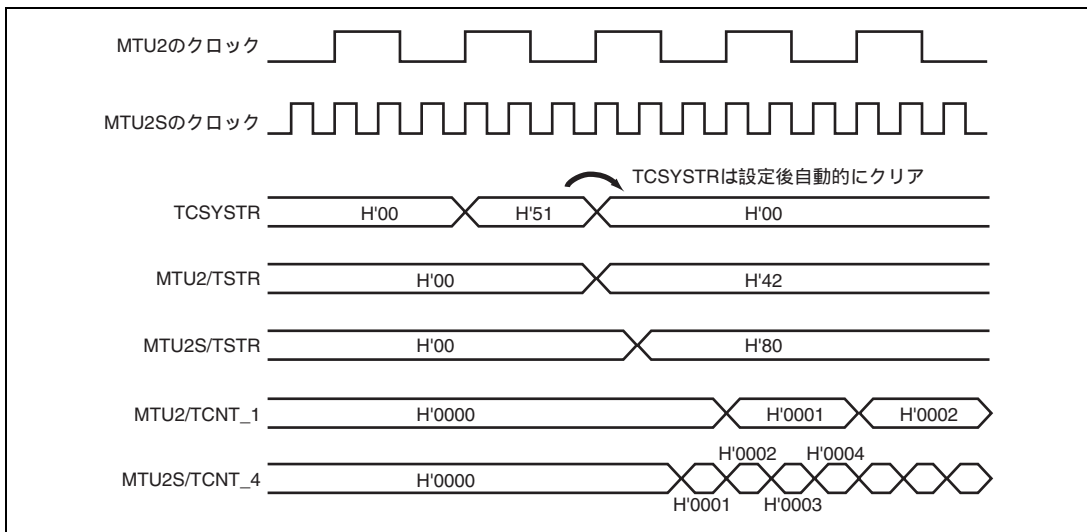


図 10.84 (3) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:3)

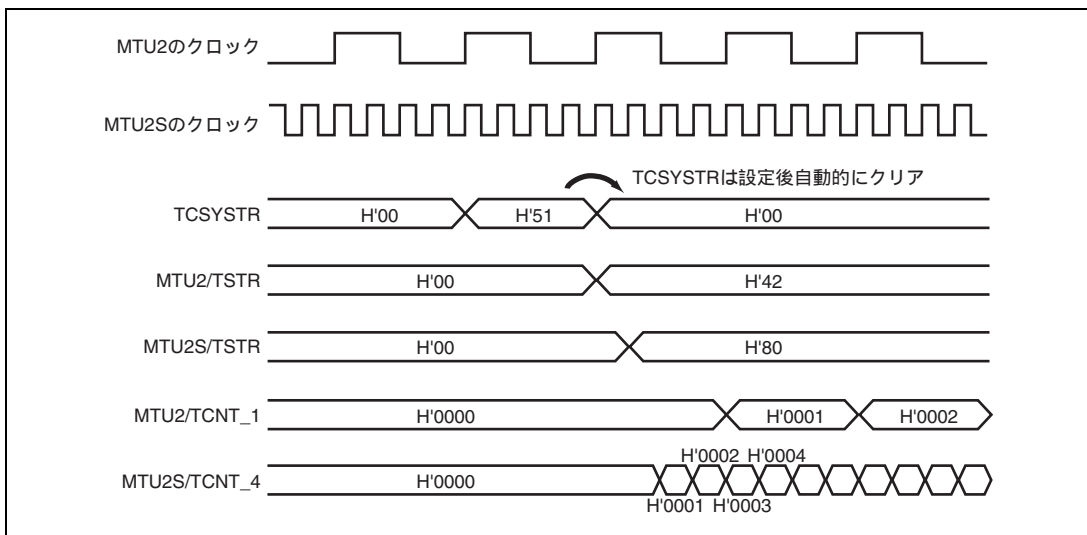


図 10.84 (4) カウンタ同期スタート動作例 (MTU2 と MTU2S のクロック周波数比 1:4)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2 - MTU2S カウンタ同期クリア)

MTU2SはTSYCR_3レジスタを設定することにより、MTU2のTSR_0～TSR_2のフラグセット要因を利用して、カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 10.85 に示します。

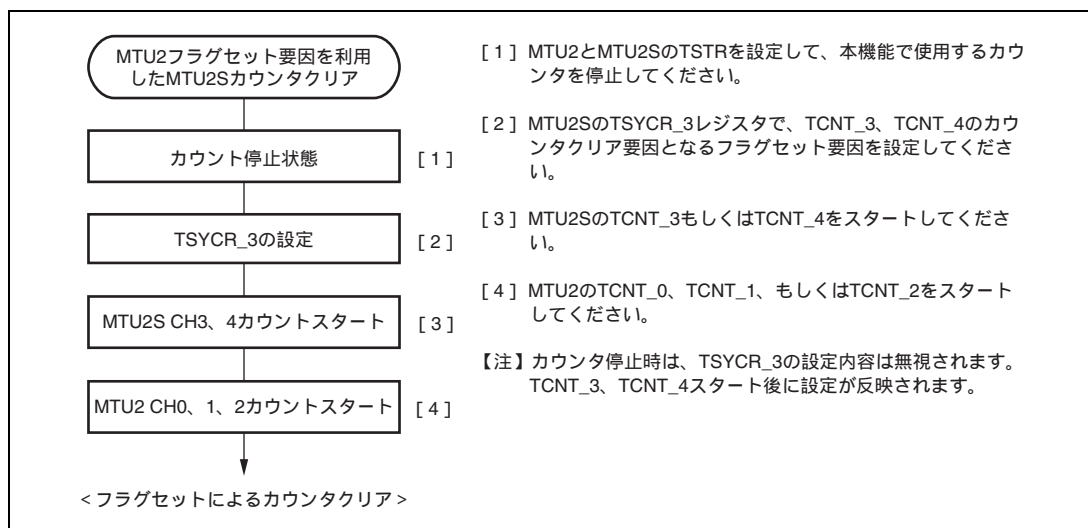


図 10.85 MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(b) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例を図 10.86 (1)、図 10.86 (2) に示します。

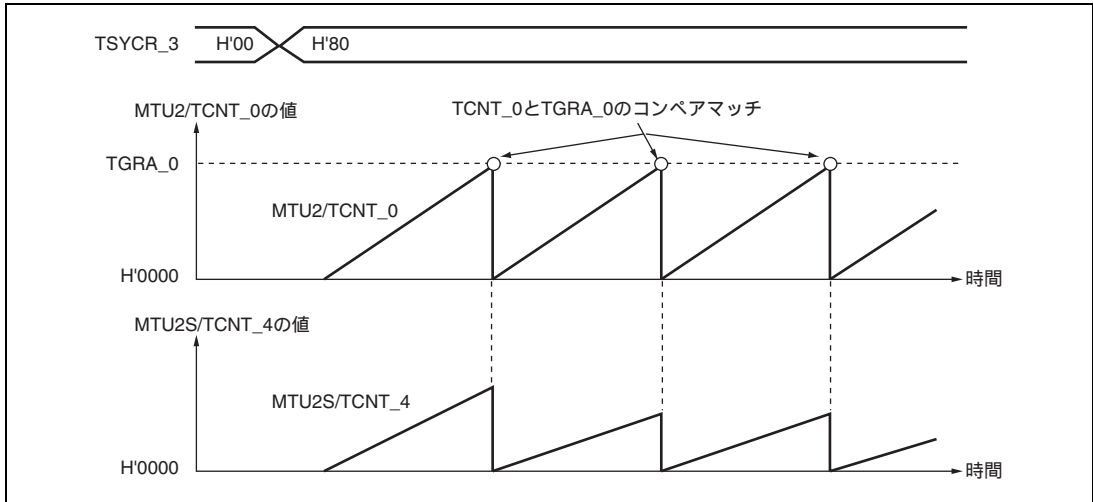


図 10.86 (1) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (1)

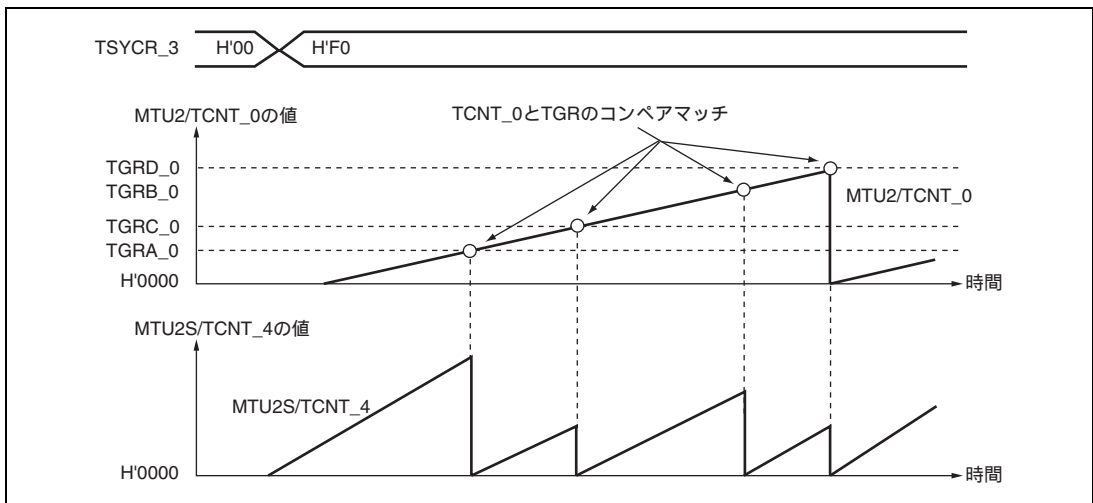


図 10.86 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (2)

10.4.11 外部パルス幅測定機能

チャンネル 5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

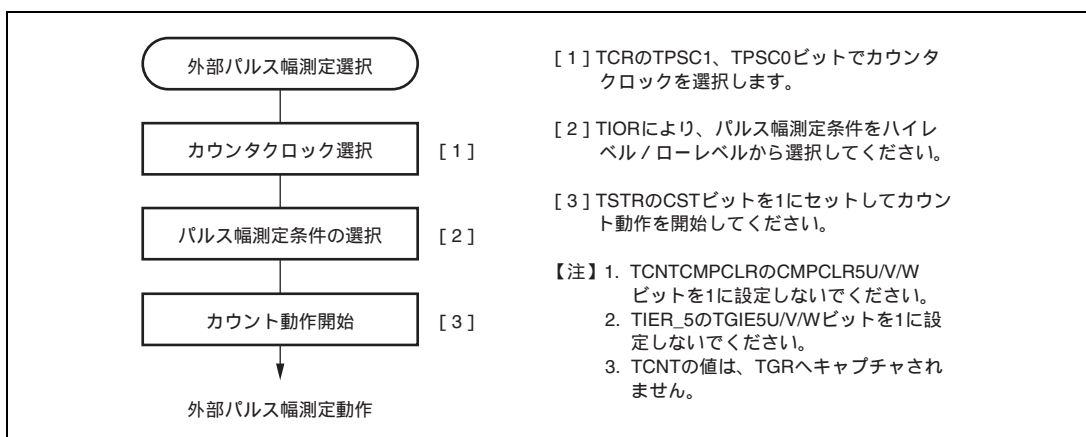


図 10.87 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

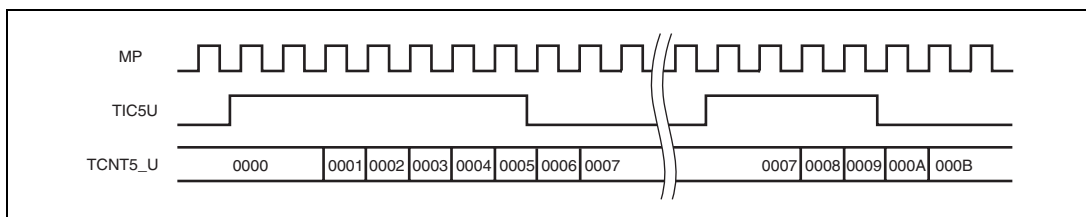


図 10.88 外部パルス幅測定動作例 (ハイパルス幅測定)

10.4.12 デッドタイム補償機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

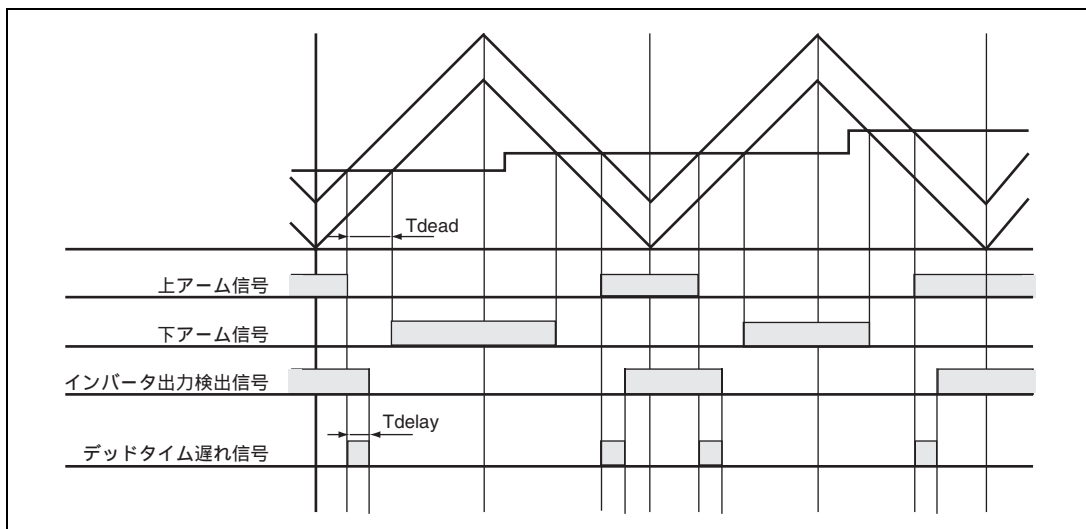


図 10.89 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

チャンネル 5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 10.90 に示します。

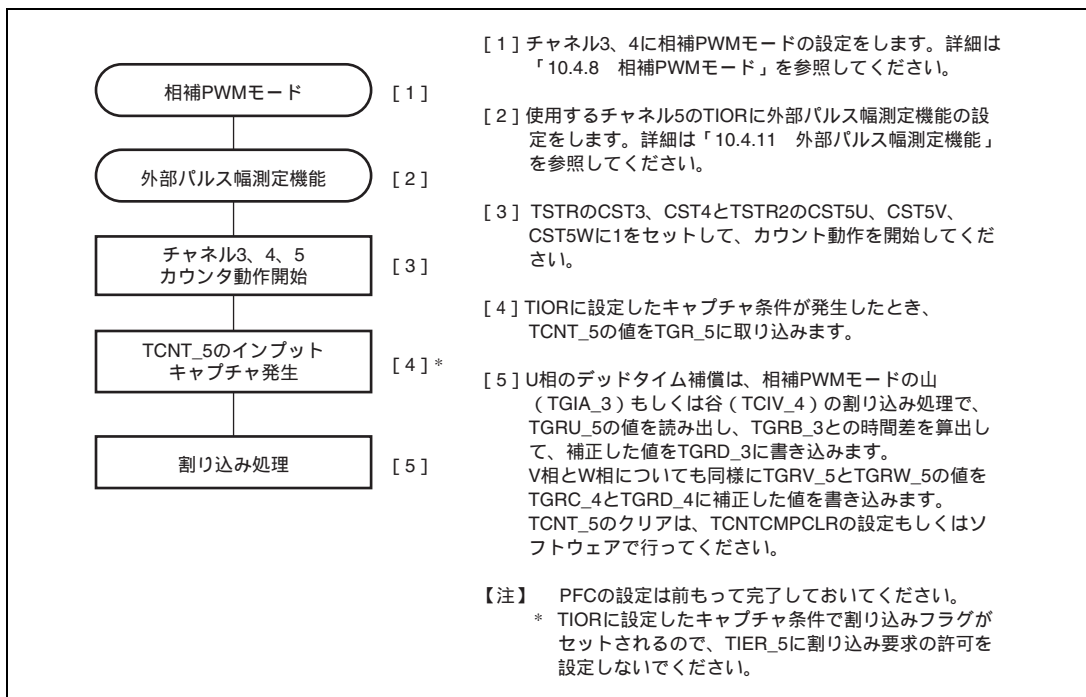


図 10.90 デッドタイム補償機能の設定手順例

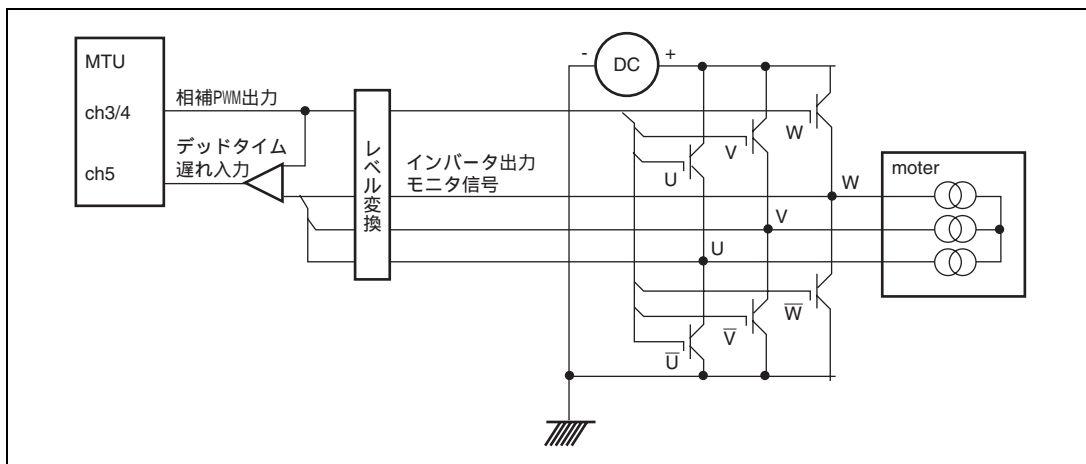


図 10.91 モータ制御回路構成例

10.4.13 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 10.92 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

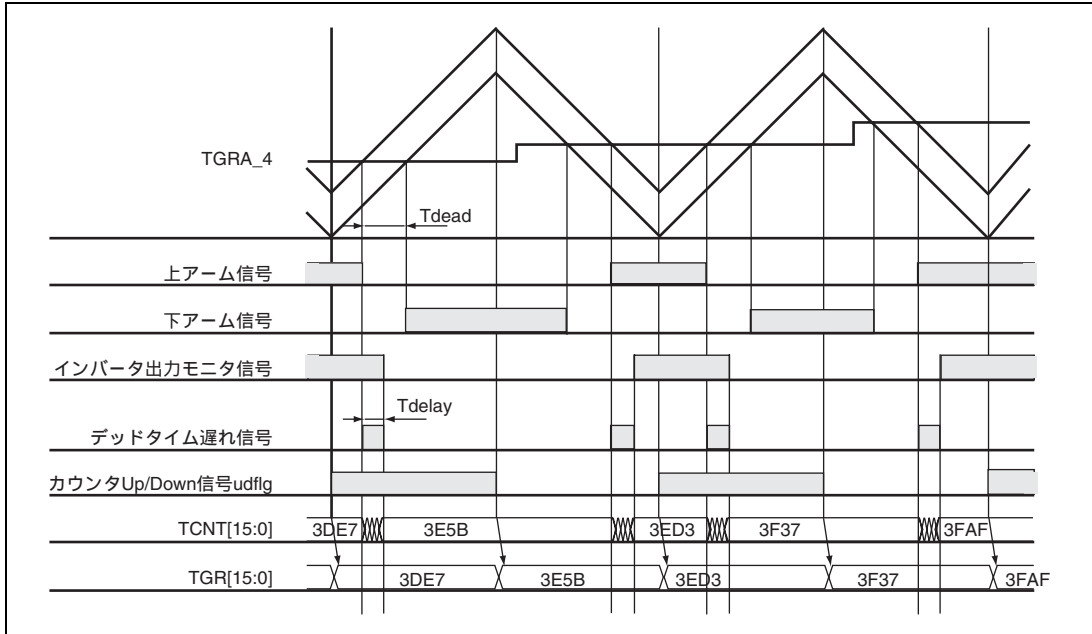


図 10.92 相補 PWM の「山/谷」での TCNT キャプチャ動作

10. マルチファンクションタイマパルスユニット 2 (MTU2)

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	優先 順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバーフロー / アンダフロー	TCFV_4	不可	
5	TGIU_5	TGRU_5 のインプットキャプチャ / コンペアマッチ	TGFU_5	不可	低
	TGIV_5	TGRV_5 のインプットキャプチャ / コンペアマッチ	TGFV_5	不可	
	TGIW_5	TGRW_5 のインプットキャプチャ / コンペアマッチ	TGFW_5	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 21 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバーフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバーフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

10.5.2 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 9 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

10.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 10.58 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動
各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR_0 の TGFE フラグが 1 にセットされたとき、TIER_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の TAD4AE、TAD4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「10.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

10. マルチファンクションタイマパルスユニット2 (MTU2)

表 10.58 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ / コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

10.6 動作タイミング

10.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.93、図 10.94 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 10.95 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 10.96 に示します。

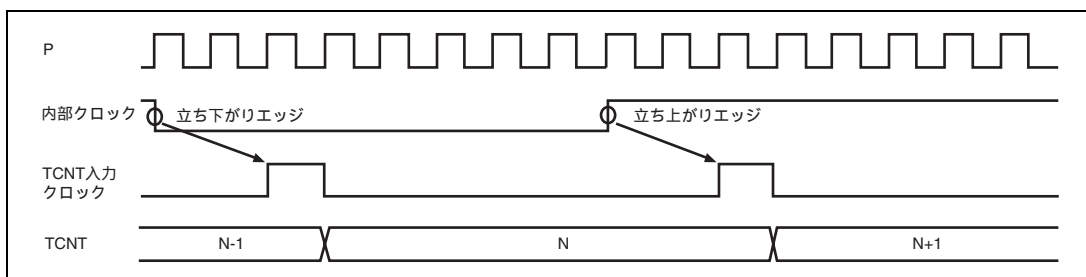


図 10.93 内部クロック動作時のカウントタイミング (チャンネル 0~4)

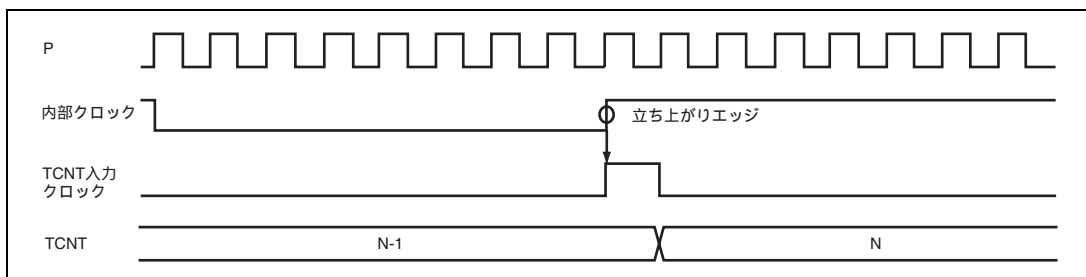


図 10.94 内部クロック動作時のカウントタイミング (チャンネル 5)

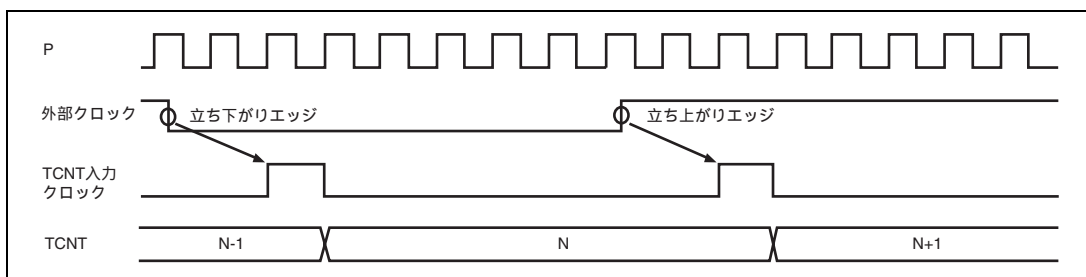


図 10.95 外部クロック動作時のカウントタイミング (チャンネル 0~4)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

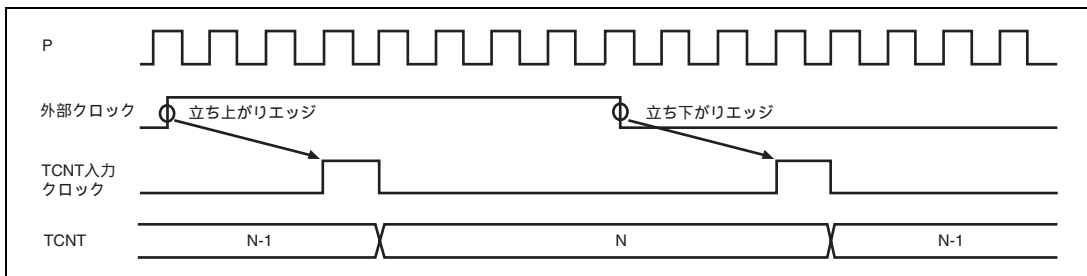


図 10.96 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 10.97 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 10.98 に示します。

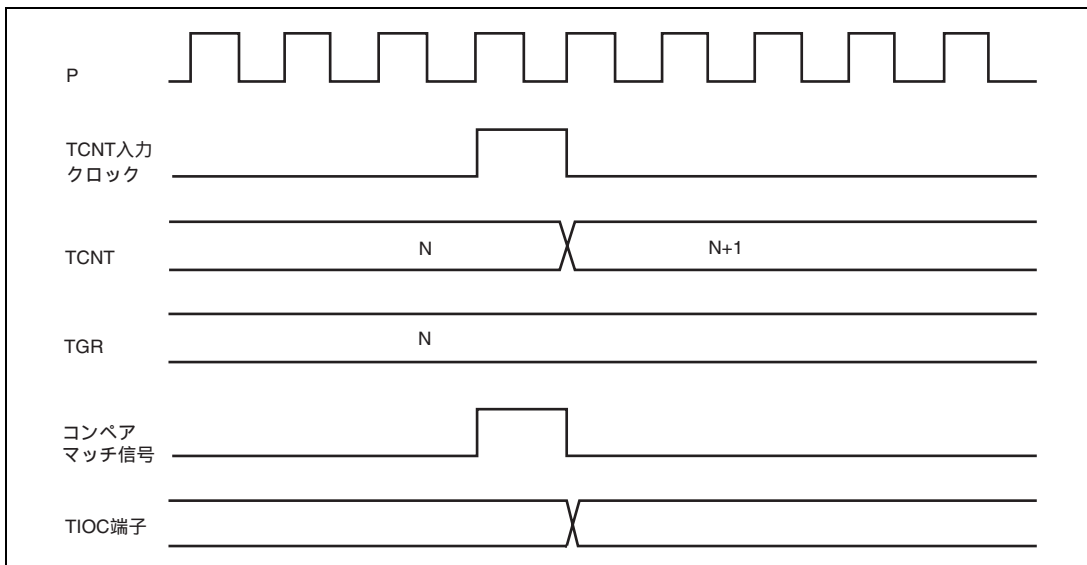


図 10.97 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

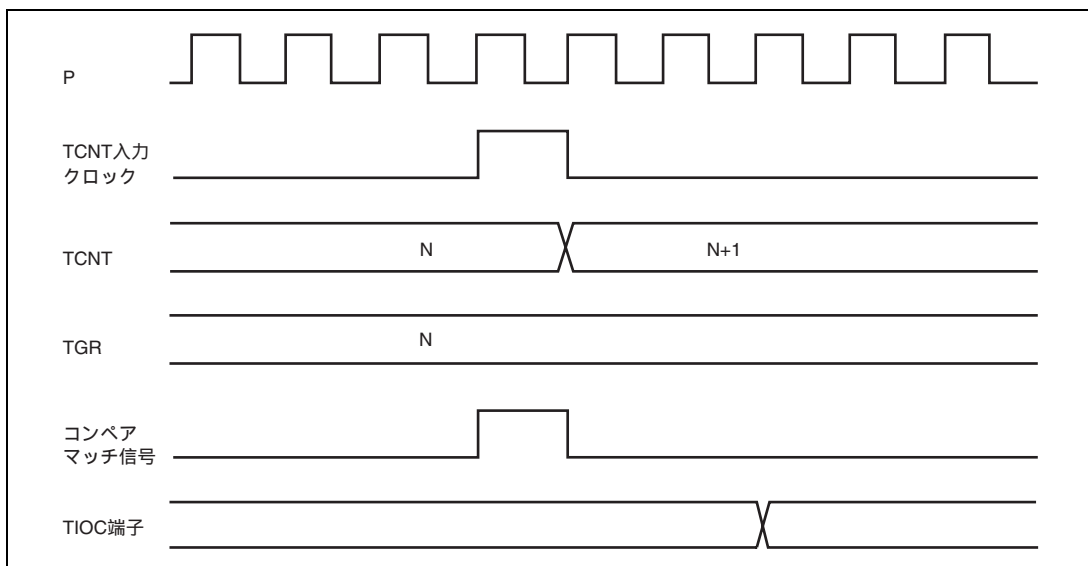


図 10.98 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 10.99 に示します。

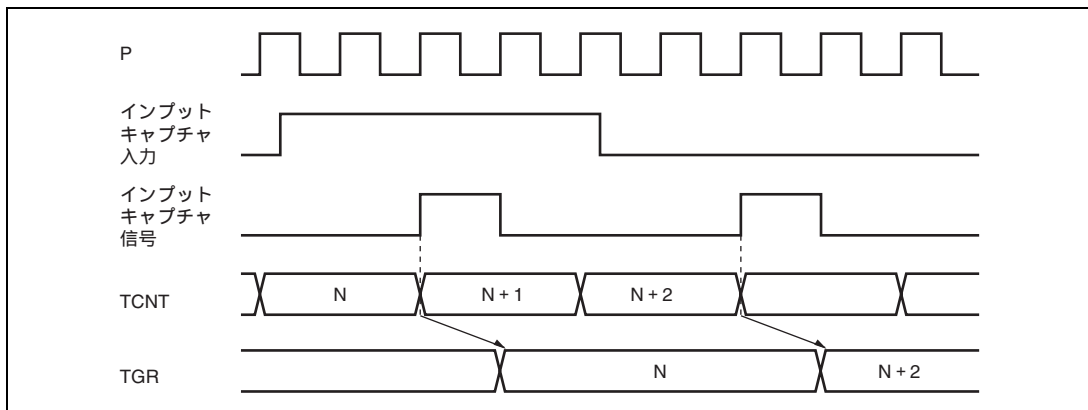


図 10.99 インพุットキャプチャ入力信号タイミング

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.100、図 10.101 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.102 に示します。

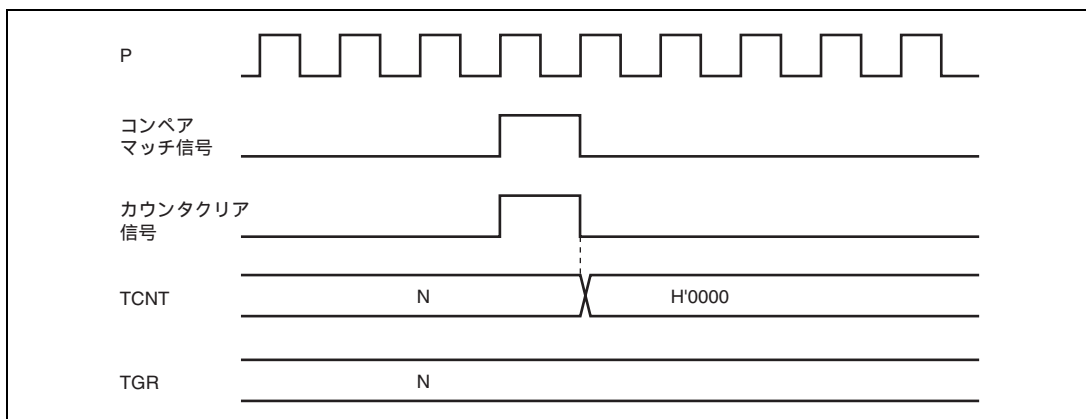


図 10.100 カウンタクリアタイミング (コンペアマッチ) (チャンネル 0~4)

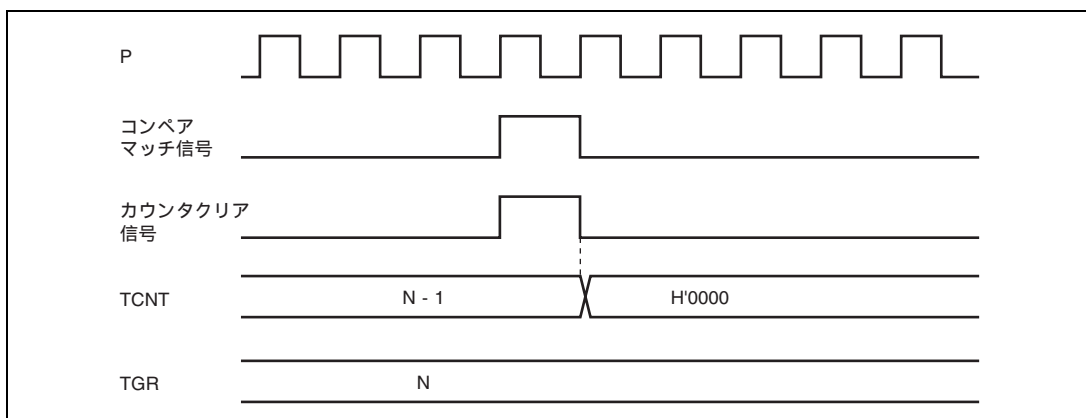


図 10.101 カウンタクリアタイミング (コンペアマッチ) (チャンネル 5)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

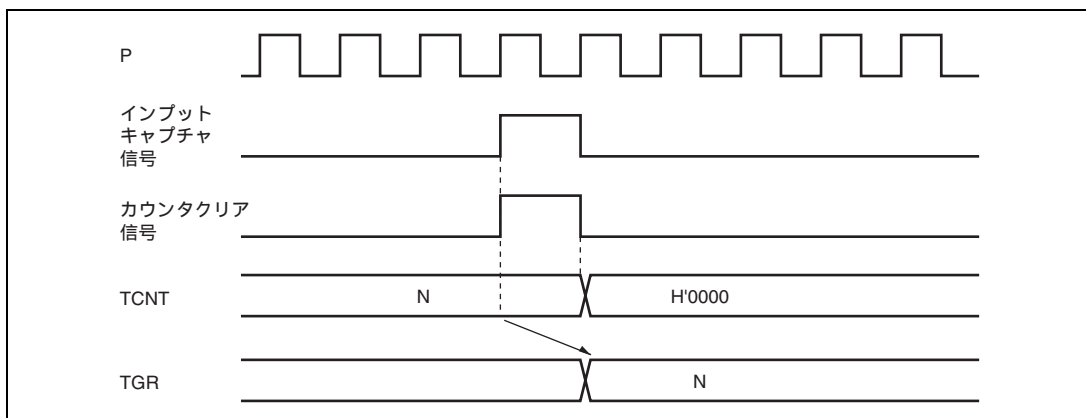


図 10.102 カウンタクリアタイミング (インプットキャプチャ) (チャンネル 0~5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.103~図 10.105 に示します。

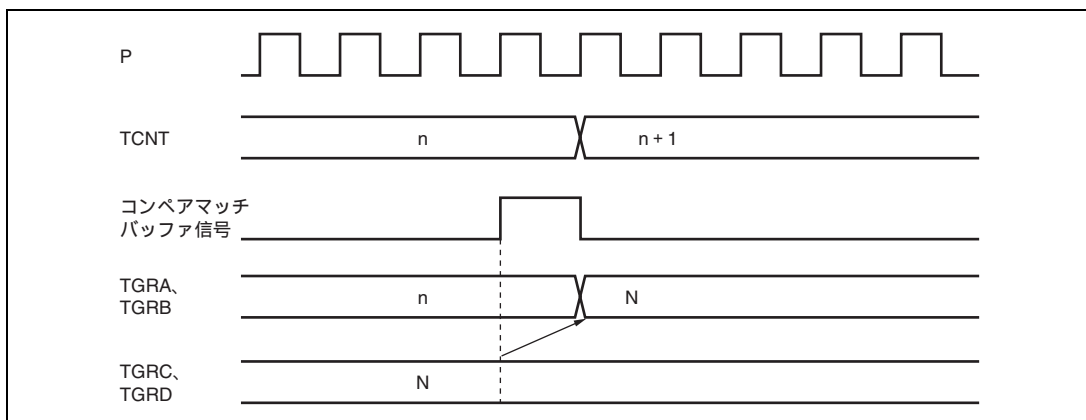


図 10.103 バッファ動作タイミング (コンペアマッチ)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

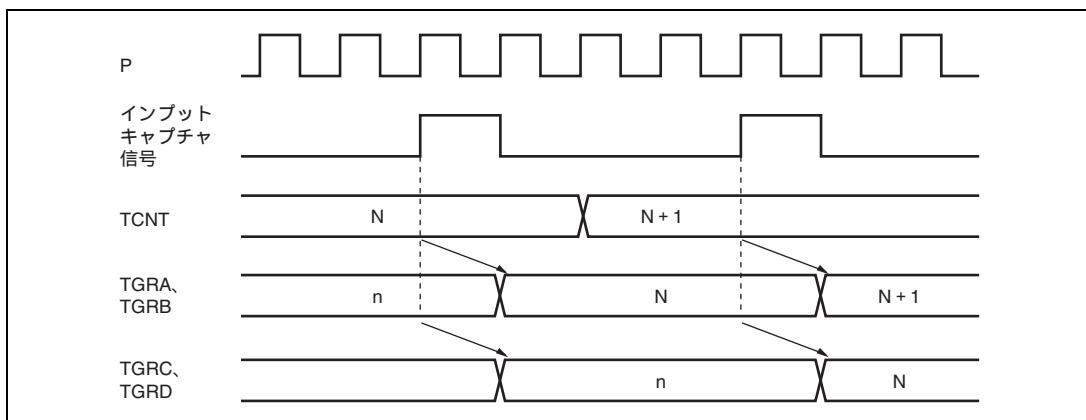


図 10.104 バッファ動作タイミング (インプットキャプチャ)

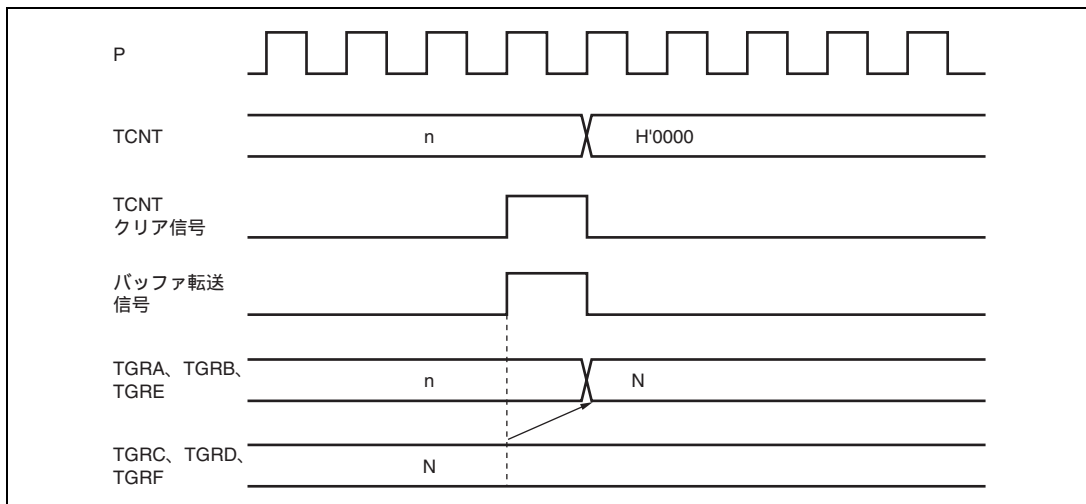


図 10.105 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 10.106 ~ 図 10.108 に示します。

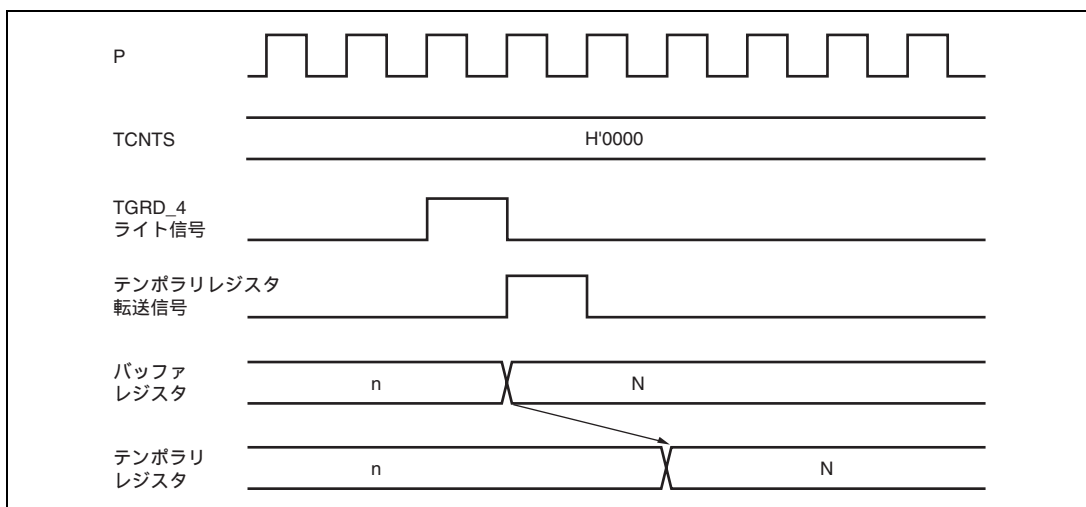


図 10.106 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

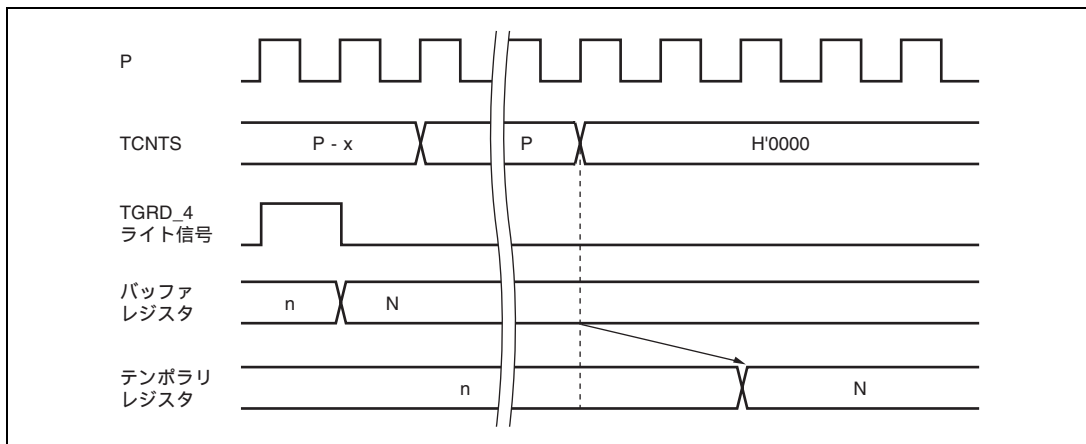


図 10.107 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

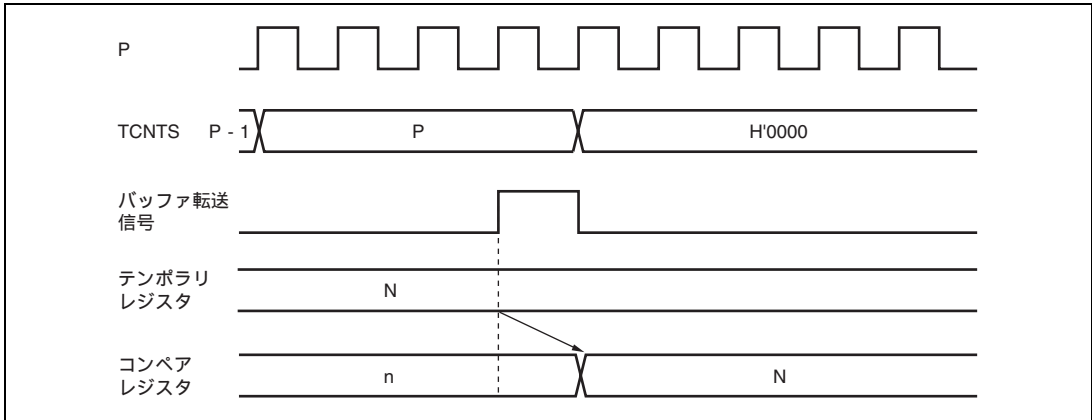


図 10.108 テンポラリレジスタからコンペアレジスタへの転送タイミング

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.109、図 10.110 に示します。

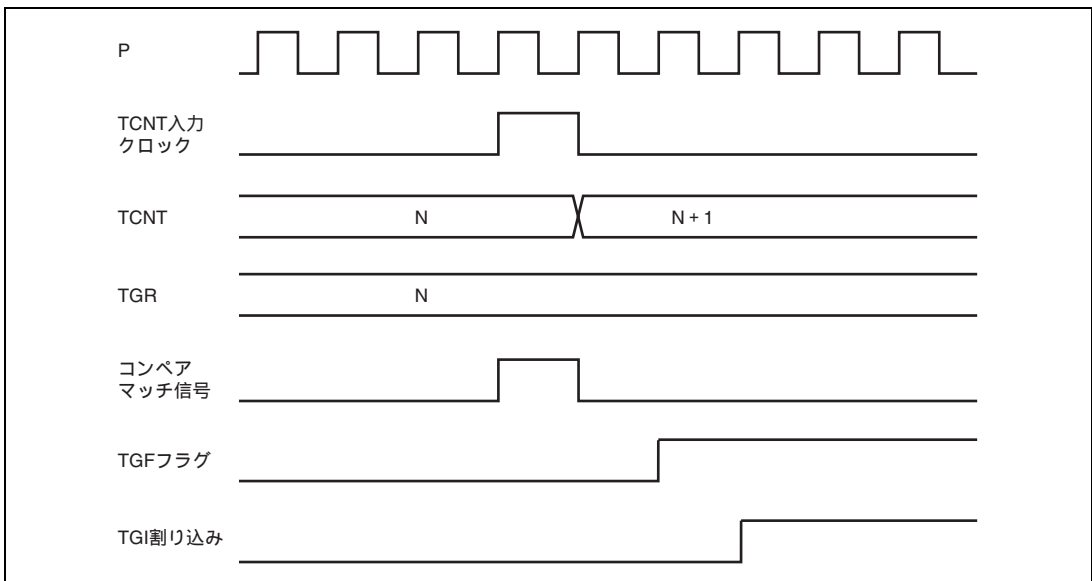


図 10.109 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 0~4)

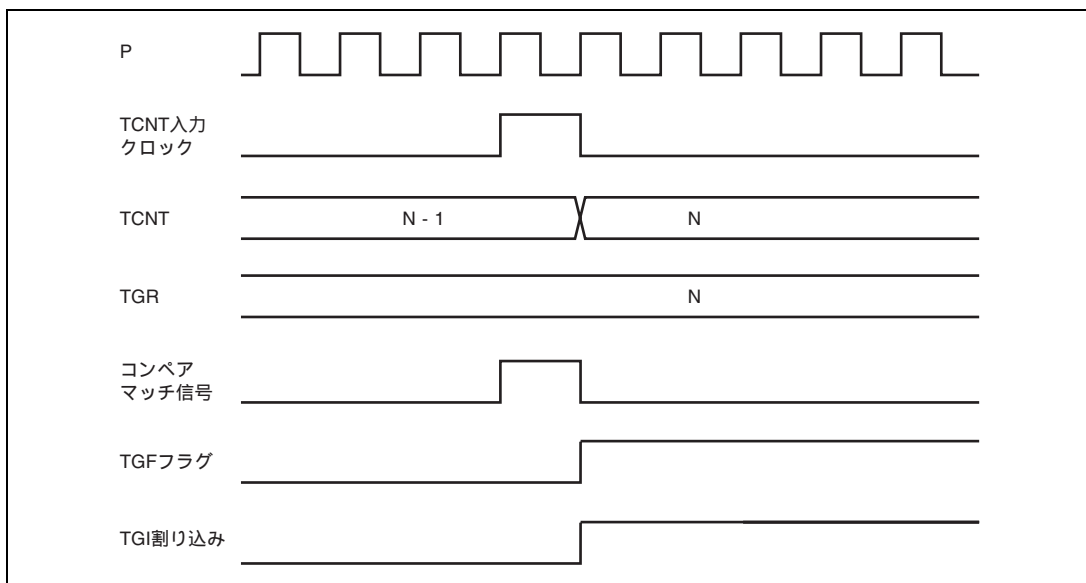


図 10.110 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.111、図 10.112 に示します。

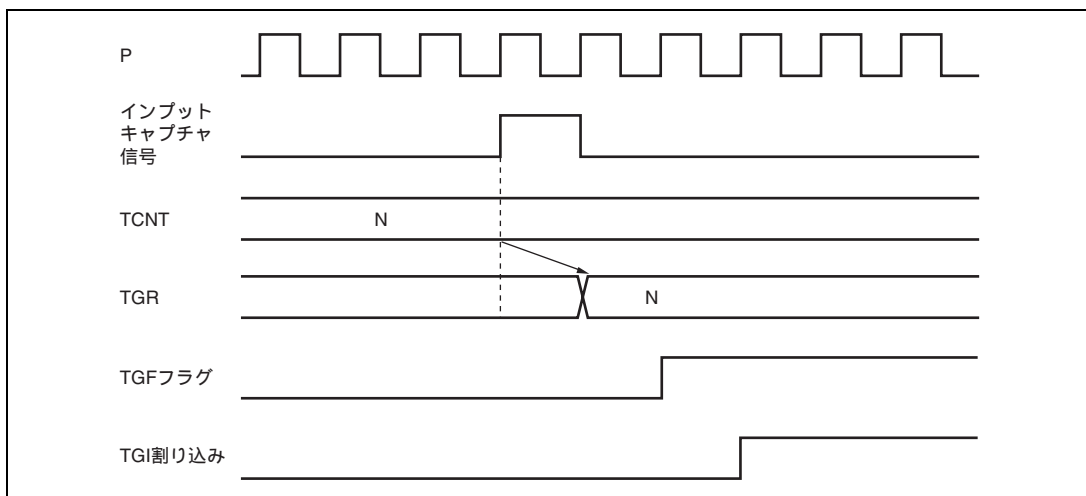


図 10.111 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル 0~4)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

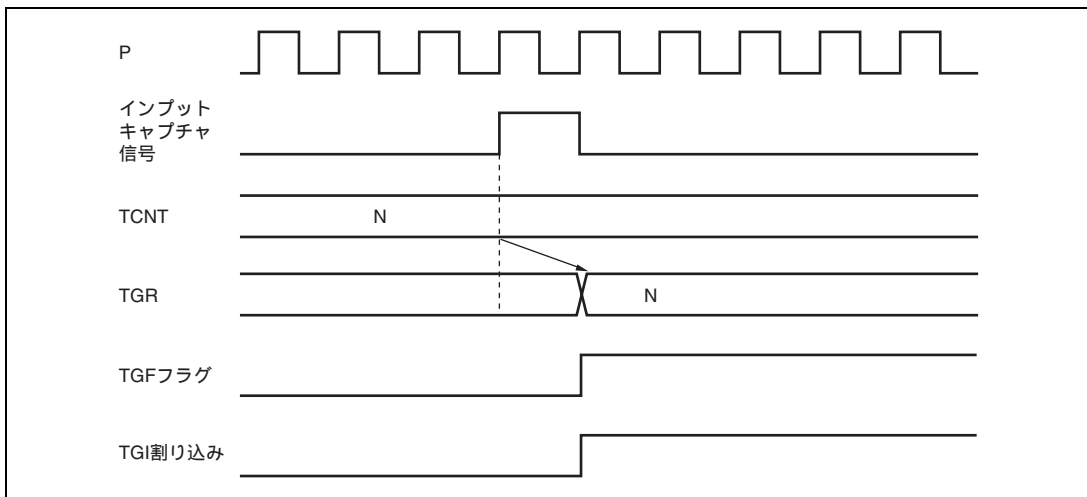


図 10.112 TGI 割り込みタイミング (インプットキャプチャ) (チャンネル 5)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.113 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.114 に示します。

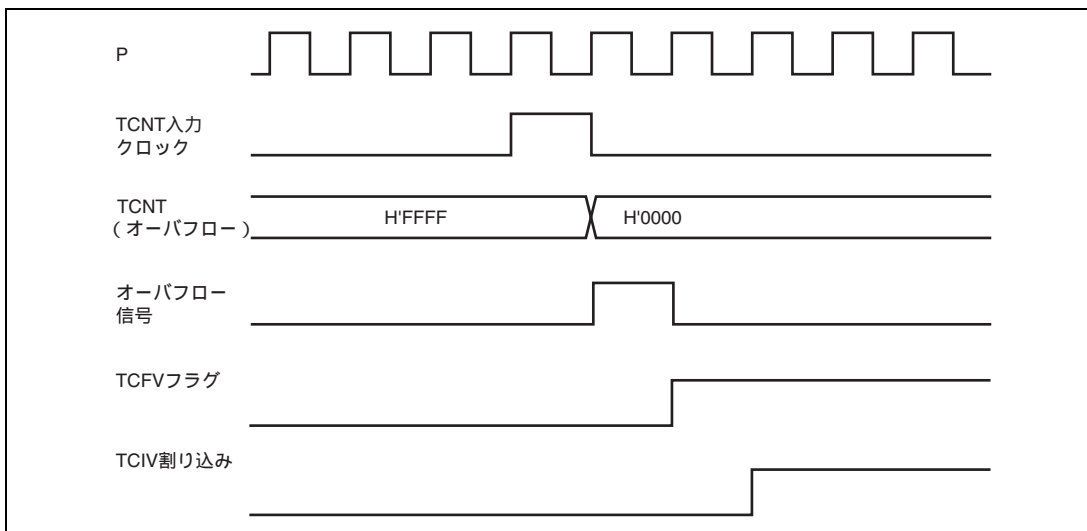


図 10.113 TCIV 割り込みのセットタイミング

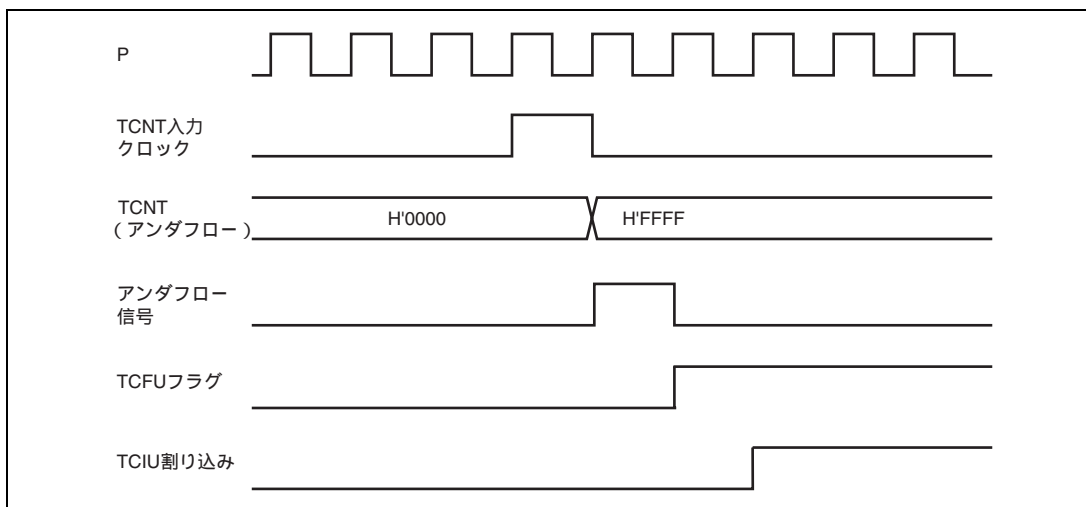


図 10.114 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.115、図10.116に、DMACによるステータスフラグのクリアのタイミングを図10.117に示します。

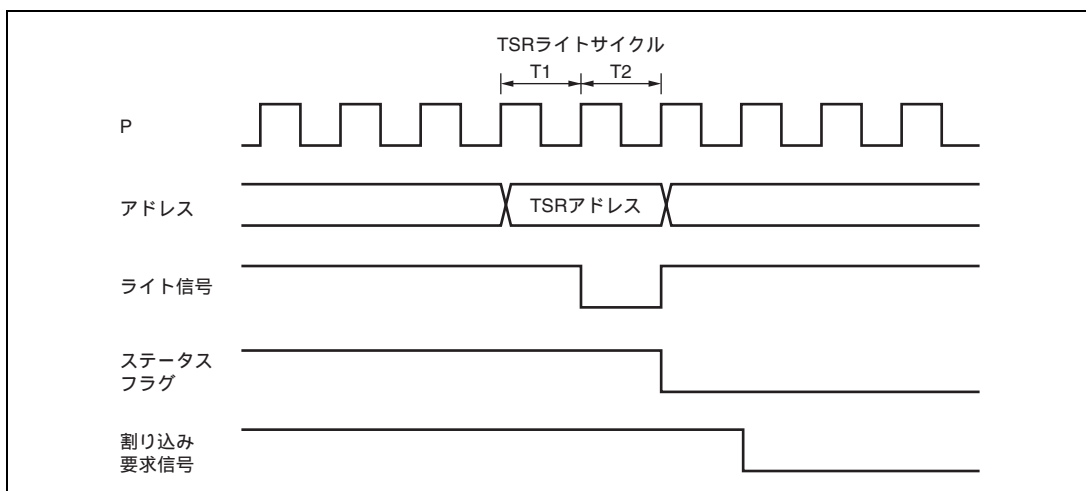


図 10.115 CPUによるステータスフラグのクリアタイミング (チャンネル0~4)

10. マルチファンクションタイマパルスユニット 2 (MTU2)

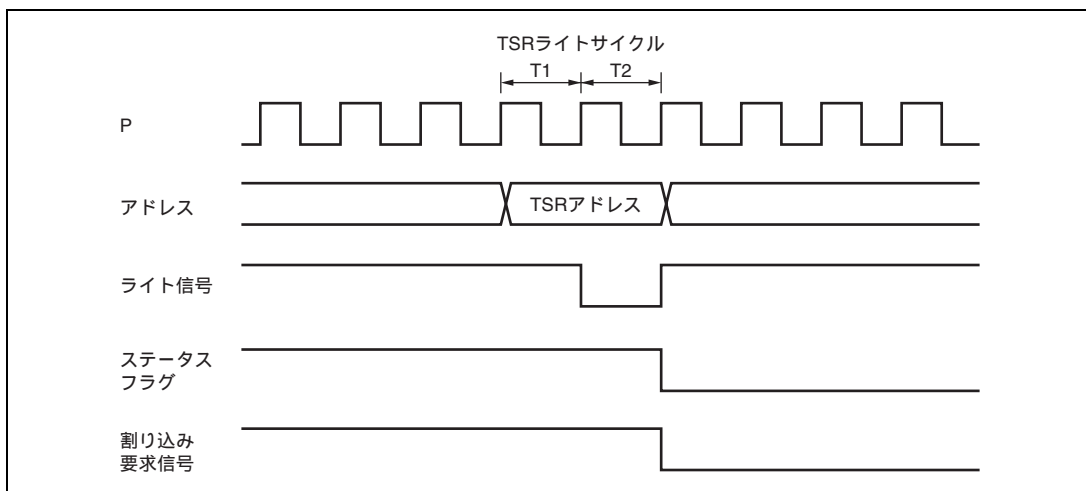


図 10.116 CPU によるステータスフラグのクリアタイミング (チャンネル 5)

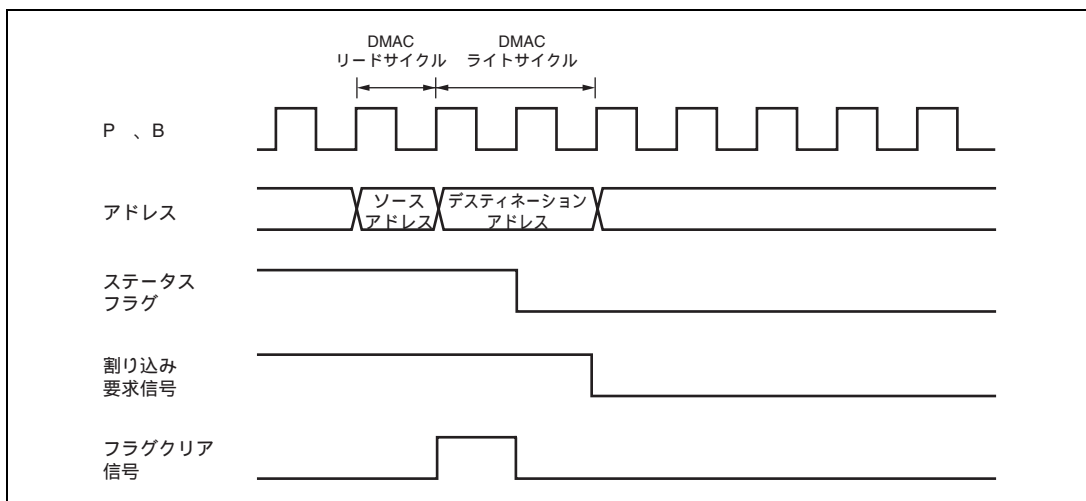


図 10.117 DMAC の起動によるステータスフラグのクリアタイミング (チャンネル 0~4)

10.7 使用上の注意事項

10.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力モード」を参照してください。

10.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.118 に示します。

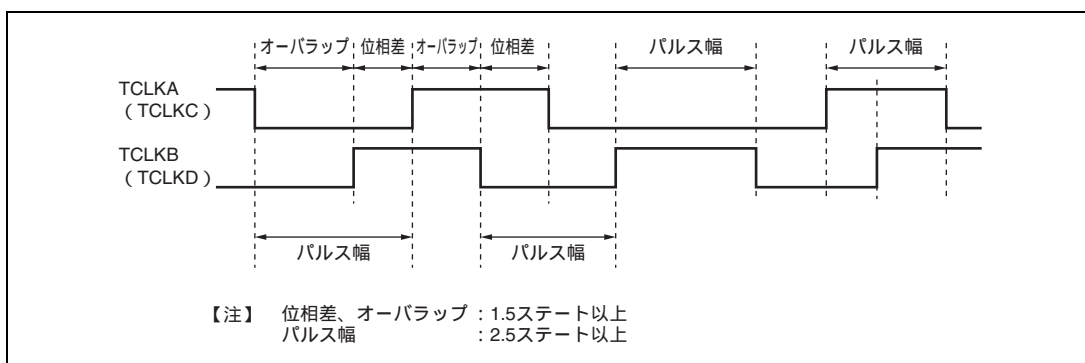


図 10.118 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- チャンネル0～4の場合

$$f = \frac{P}{(N+1)}$$

- チャンネル5の場合

$$f = \frac{P}{N}$$

f : カウンタ周波数

P : 周辺クロック動作周波数

N : TGR の設定値

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.119 に示します。

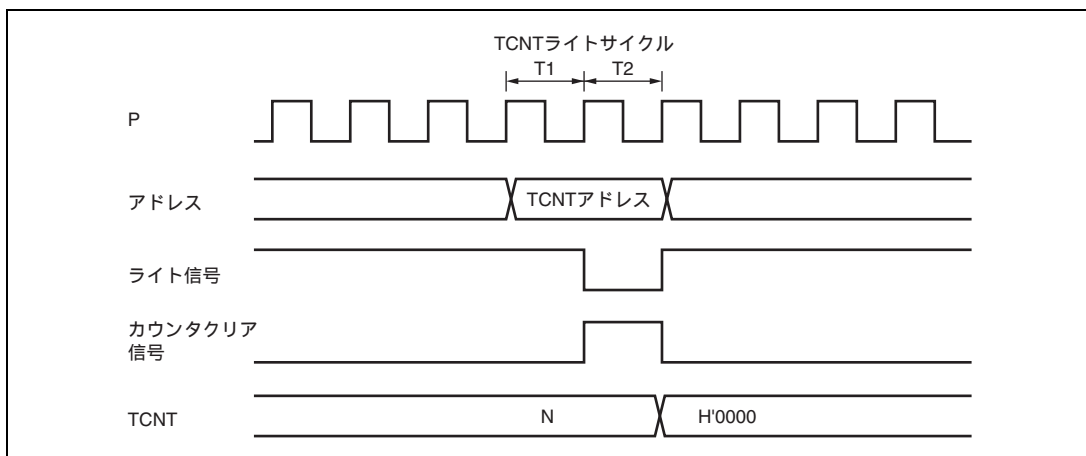


図 10.119 TCNT のライトとクリアの競合

10.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.120 に示します。

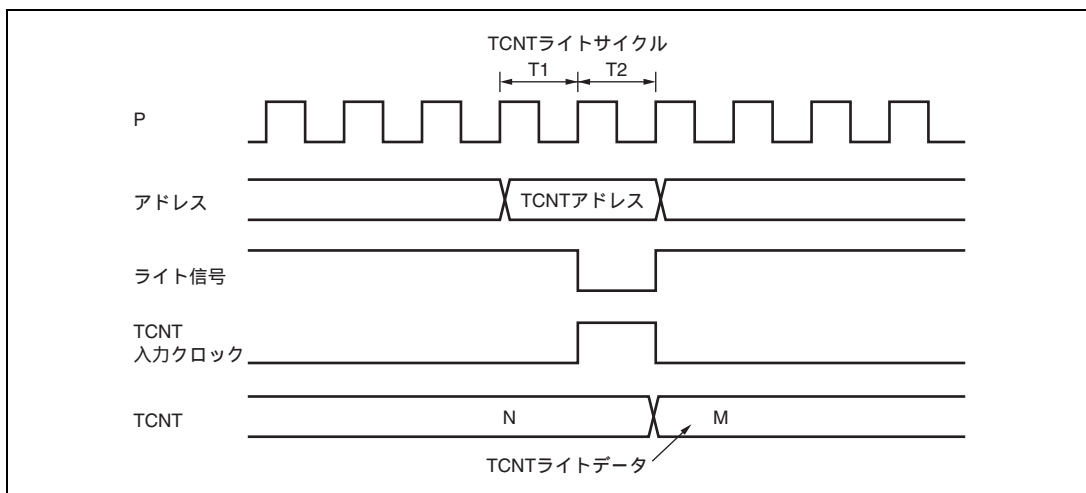


図 10.120 TCNT のライトとカウントアップの競合

10.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 10.121 に示します。

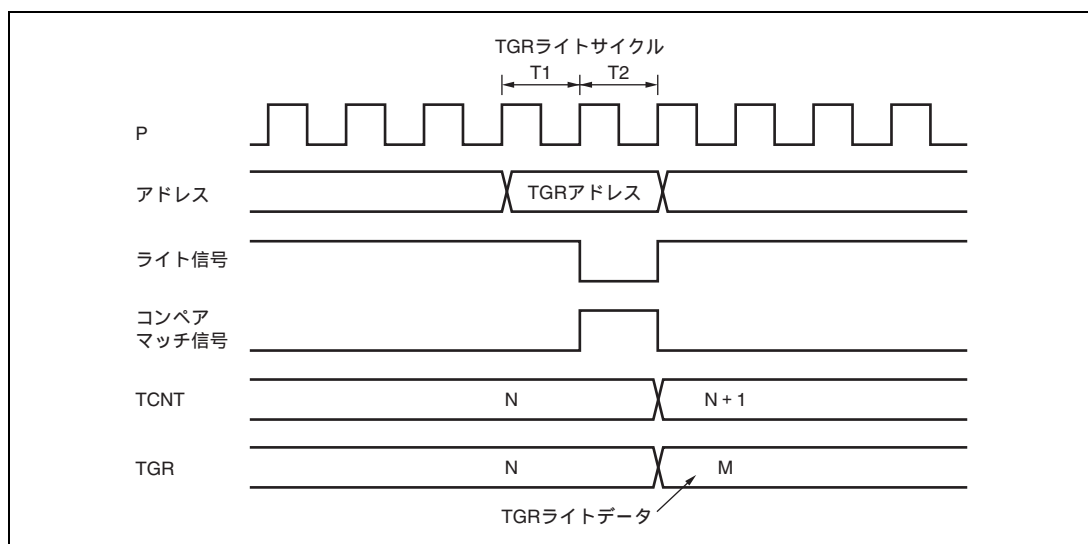


図 10.121 TGR のライトとコンペアマッチの競合

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 10.122 に示します。

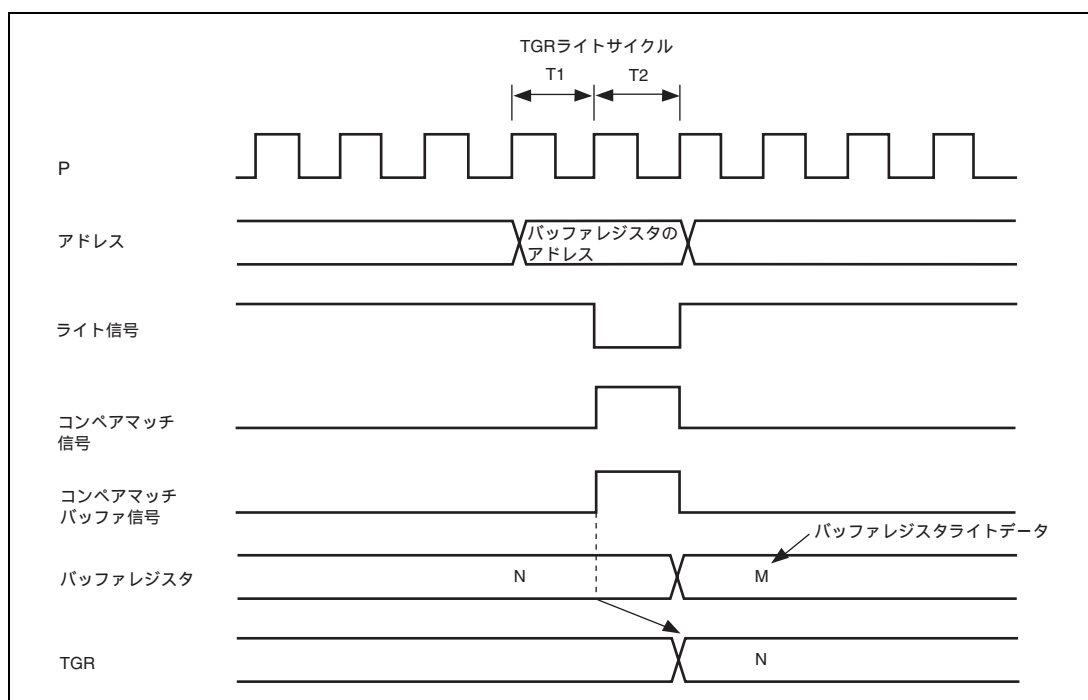


図 10.122 バッファレジスタのライトとコンペアマッチの競合

10.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 10.123 に示します。

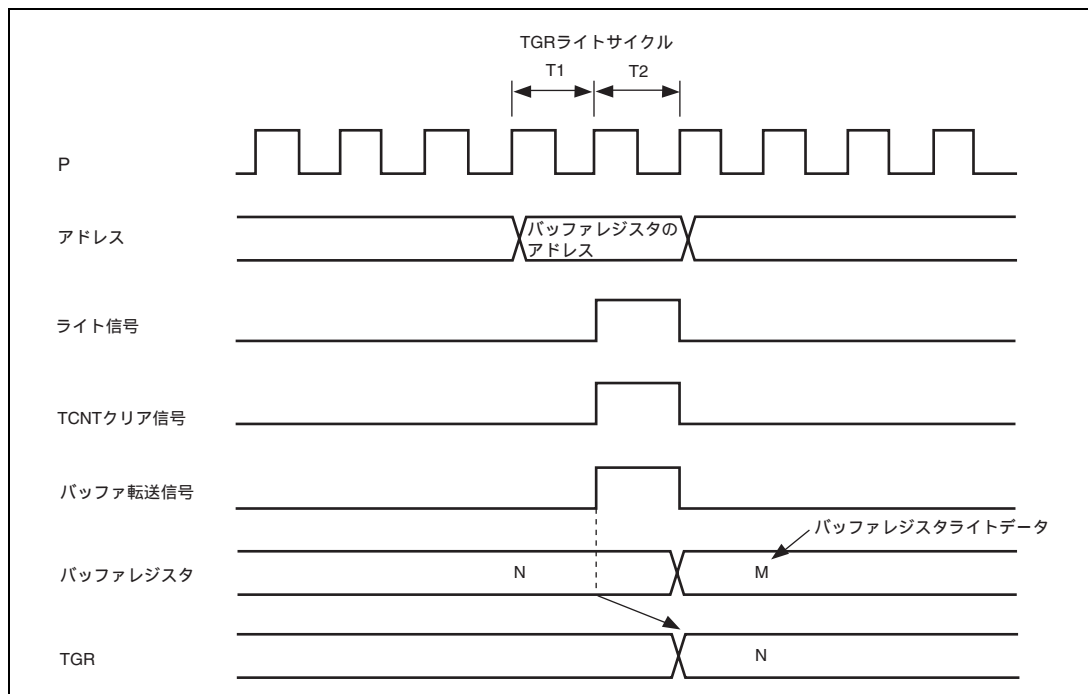


図 10.123 バッファレジスタのライトと TCNT クリアの競合

10.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、チャンネル 0~4 ではインプットキャプチャ転送前のデータとなり、チャンネル 5 ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.124、図 10.125 に示します。

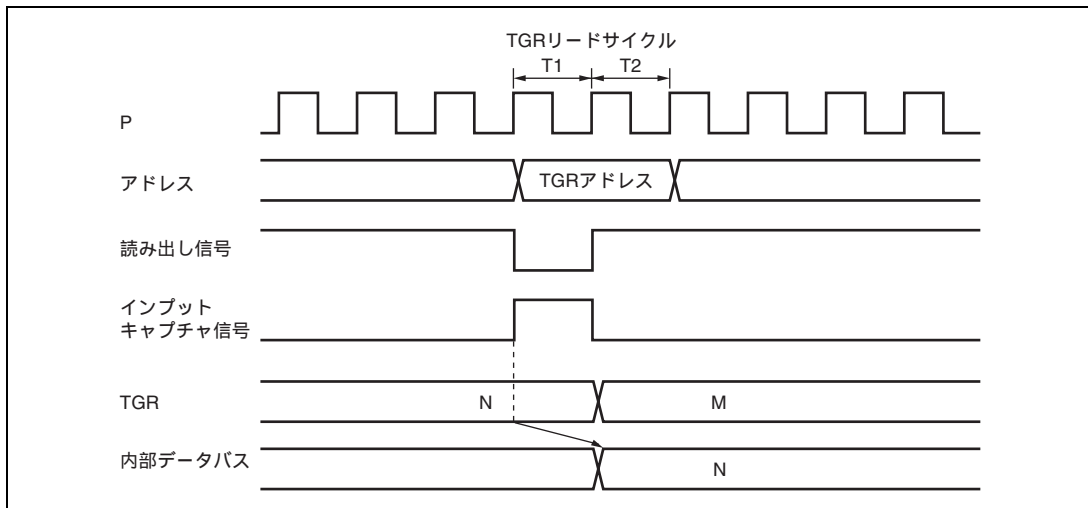


図 10.124 TGR のリードとインプットキャプチャの競合 (チャンネル 0~4)

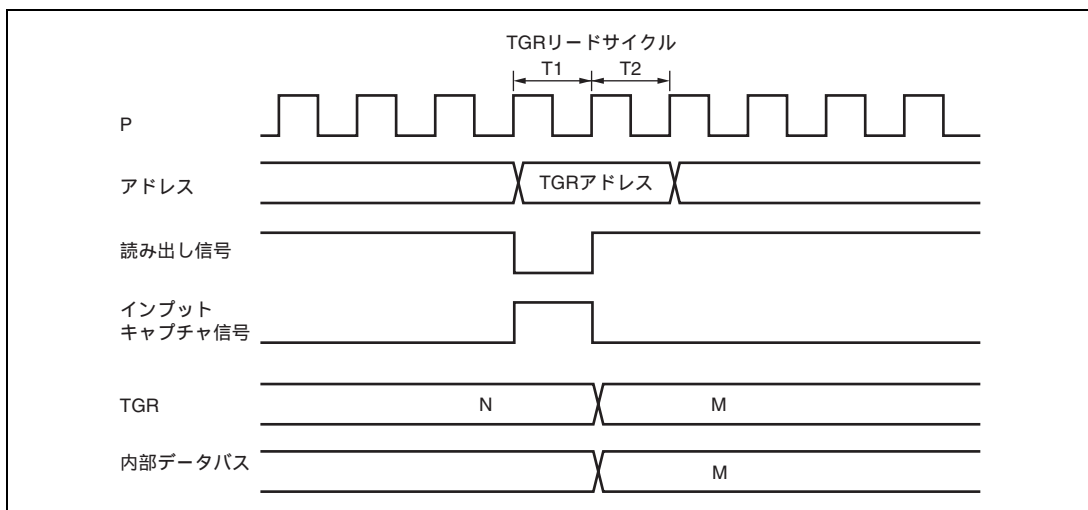


図 10.125 TGR のリードとインプットキャプチャの競合 (チャンネル 5)

10.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、チャンネル 0~4 では TGR へのライトは行われず、インプットキャプチャが優先され、チャンネル 5 では TGR へのライトが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 10.126、図 10.127 に示します。

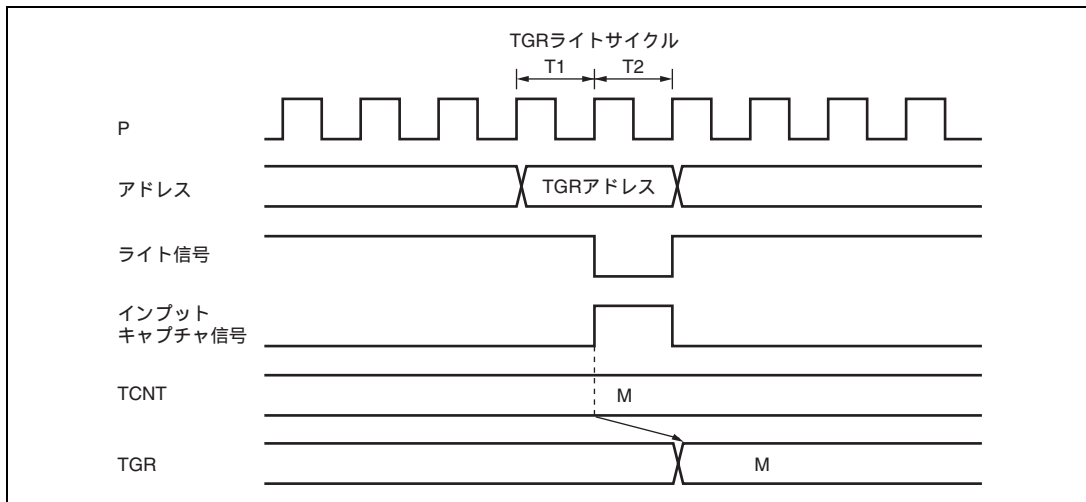


図 10.126 TGR のライトとインプットキャプチャの競合 (チャンネル 0~4)

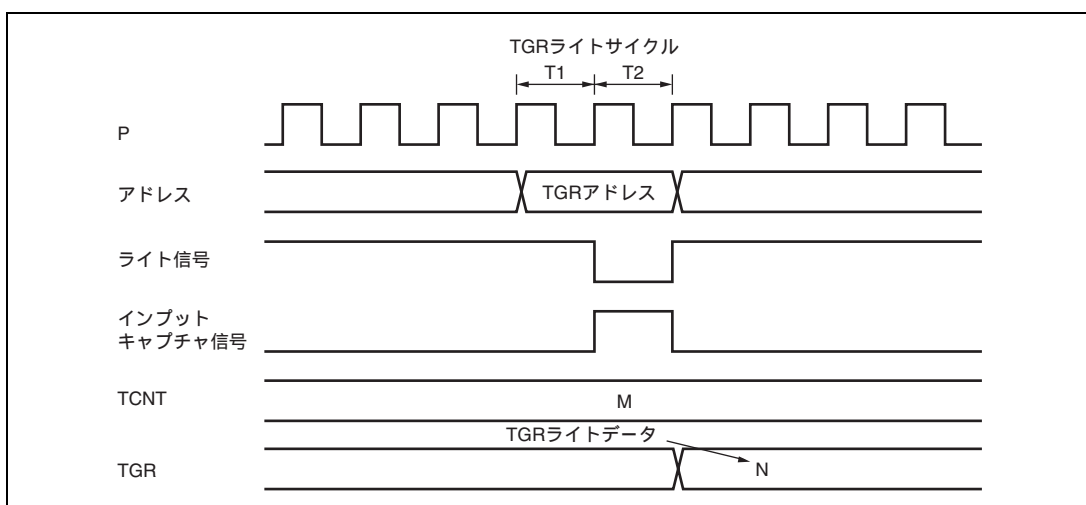


図 10.127 TGR のライトとインプットキャプチャの競合 (チャンネル 5)

10.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.128 に示します。

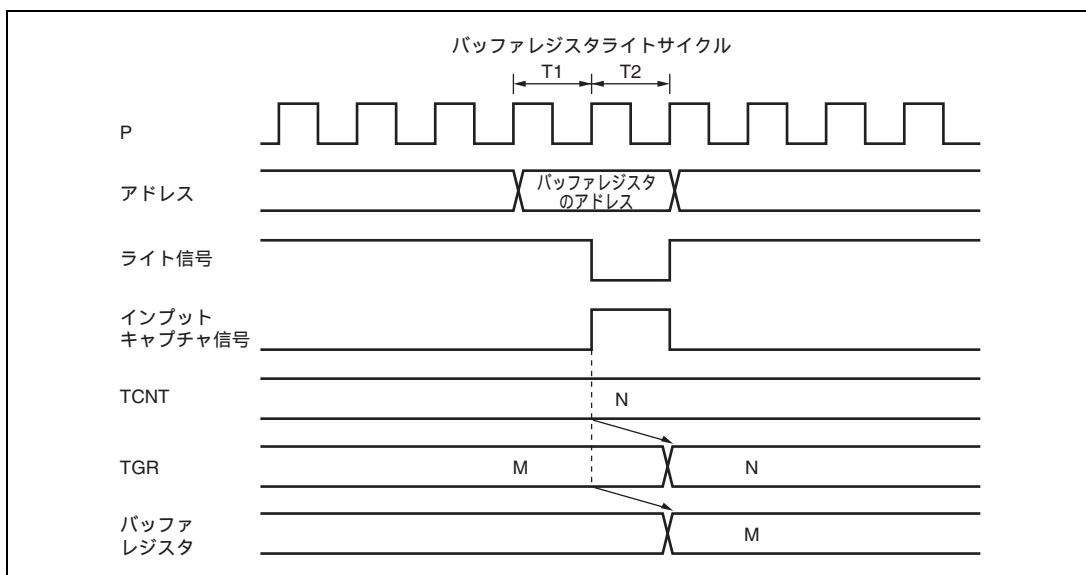


図 10.128 バッファレジスタのライトと入力キャプチャの競合

10.7.12 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 10.129 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

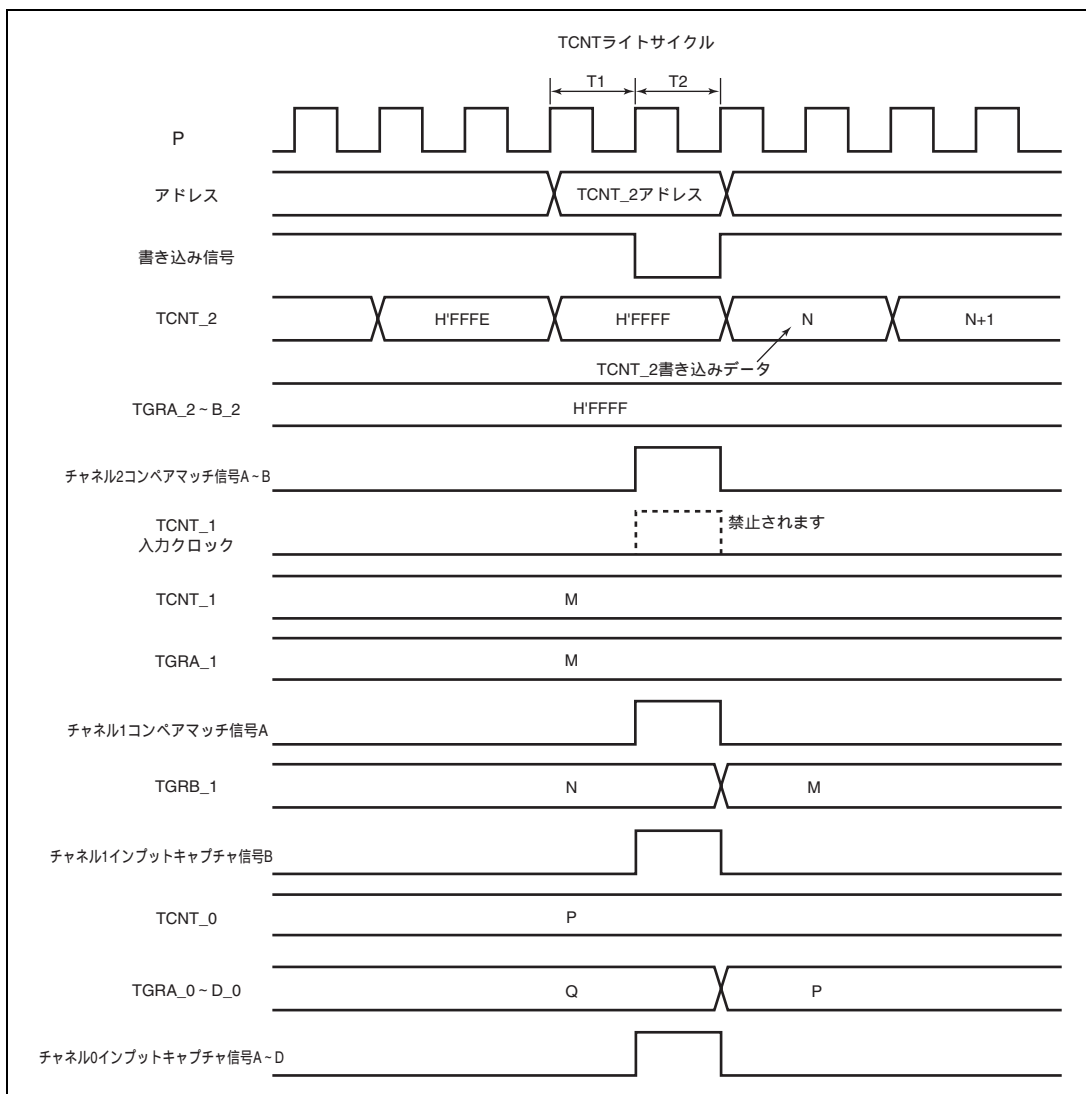


図 10.129 カスケード接続における TCNT_2 のライトとオーバーフロー / アンダフローの競合

10.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 10.130 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

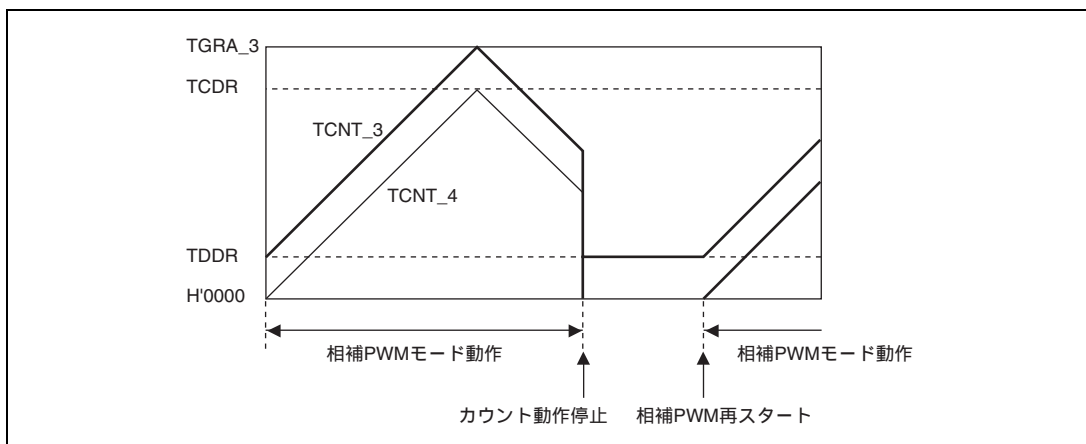


図 10.130 相補 PWM モード停止時のカウンタ値

10.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

10.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 10.131 に示します。

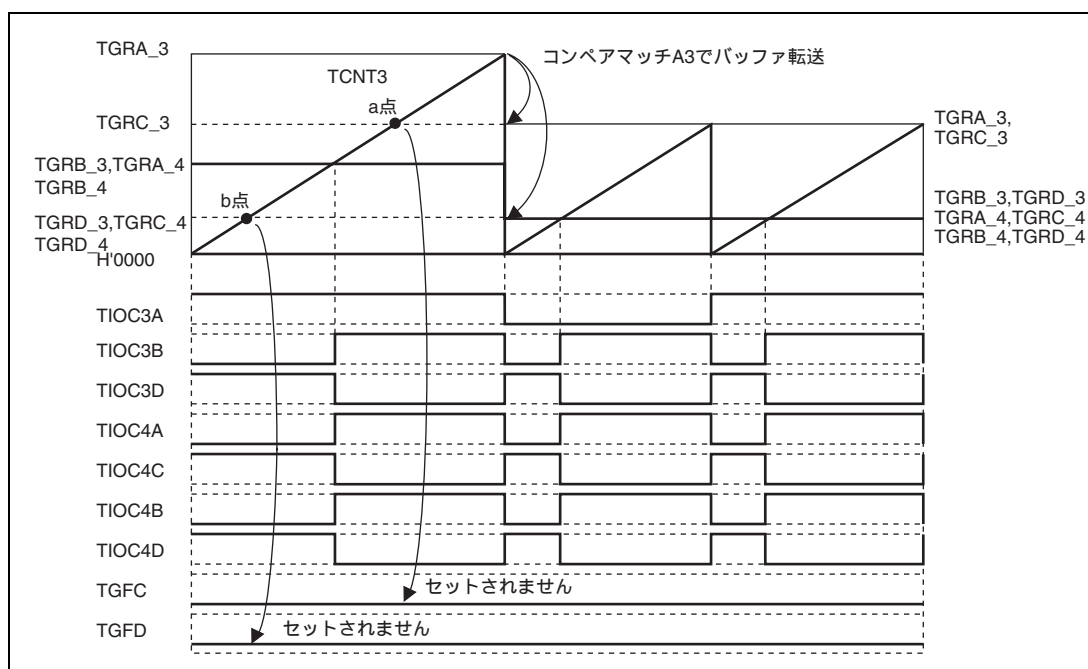


図 10.131 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

10.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 10.132 に示します。

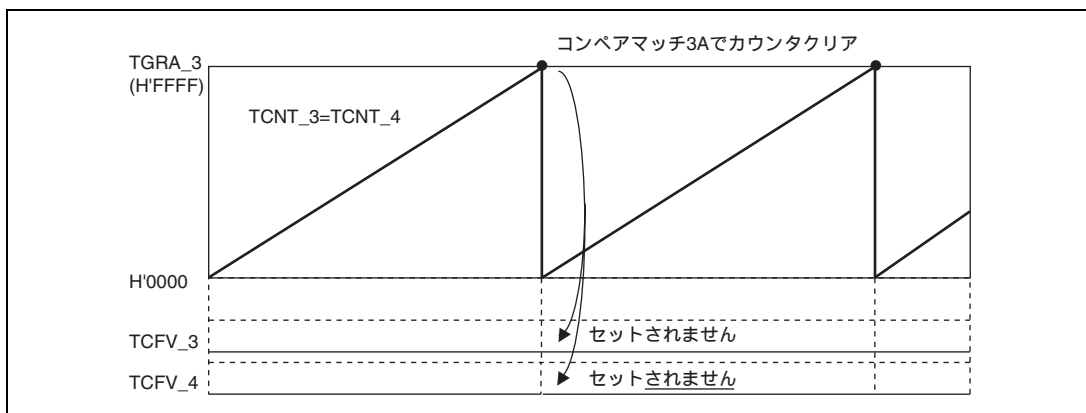


図 10.132 リセット同期 PWM モードのオーバーフローフラグ

10.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.133 に示します。

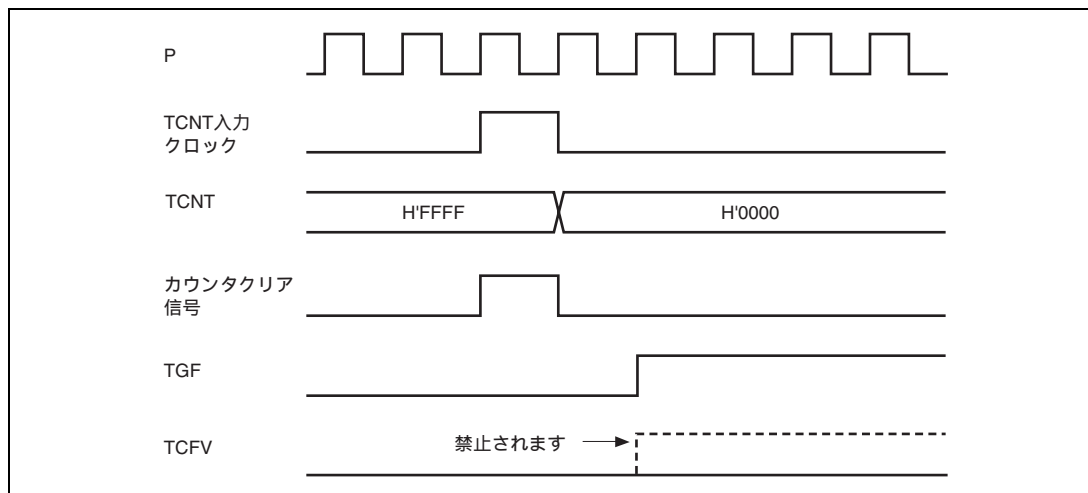


図 10.133 オーバフローとカウンタクリアの競合

10.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.134 に示します。

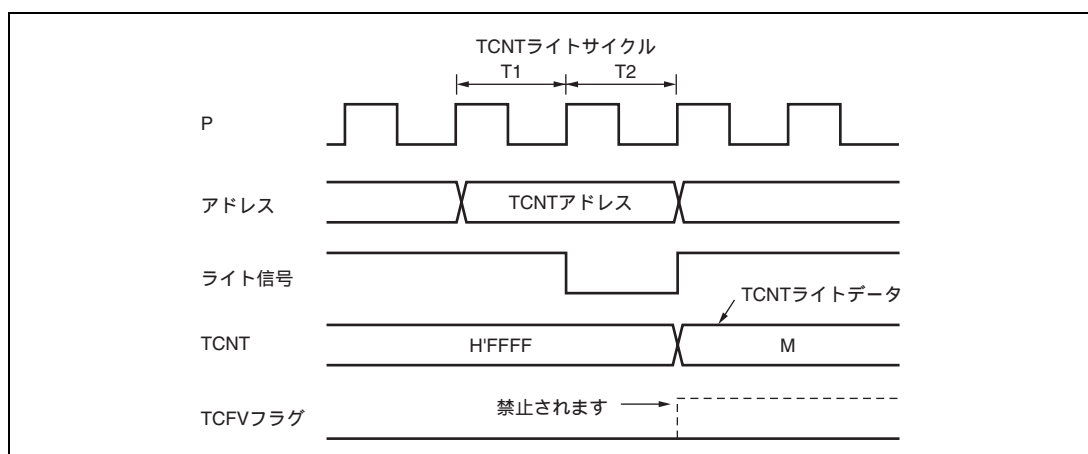


図 10.134 TCNT のライトとオーバフローの競合

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3、4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

10.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

10.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDMACの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

10.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正しくキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

MTU2では、1本のインプットキャプチャ入力力でTCNT_1とTCNT_2を同時にキャプチャできる機能を追加しており、本機能を使用すれば、TCNT_1とTCNT_2のキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は、「10.3.8 タイマインプットキャプチャコントロールレジスタ(TICCR)」をご覧ください。

10.8 MTU2 出力端子の初期化方法

10.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

10.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

10.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 10.59 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 10.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

10.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では TI0C*B (TI0C*D) 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインエーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 10.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.135 に示します。

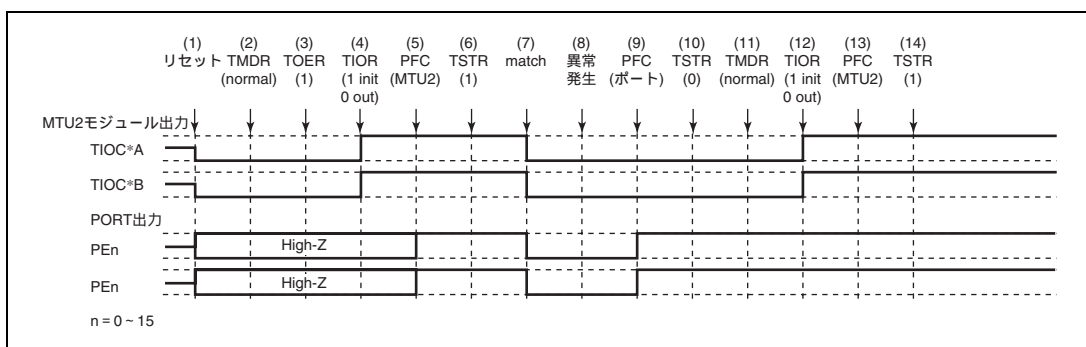


図 10.135 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.136 に示します。

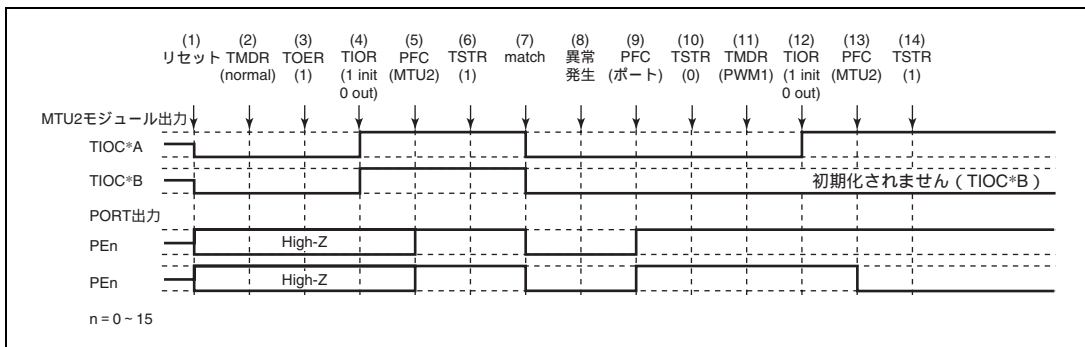


図 10.136 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.135 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.137 に示します。

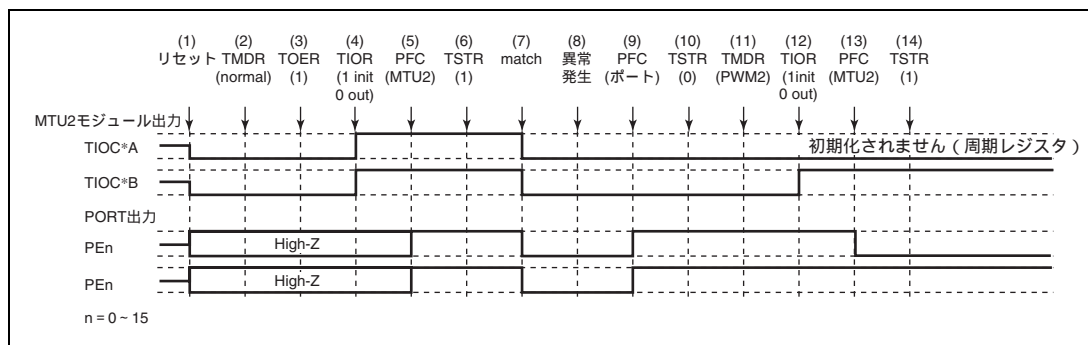


図 10.137 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 10.135 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0 ~ 2 でのみ設定可能です。したがって TOER の設定は不要です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 10.138 に示します。

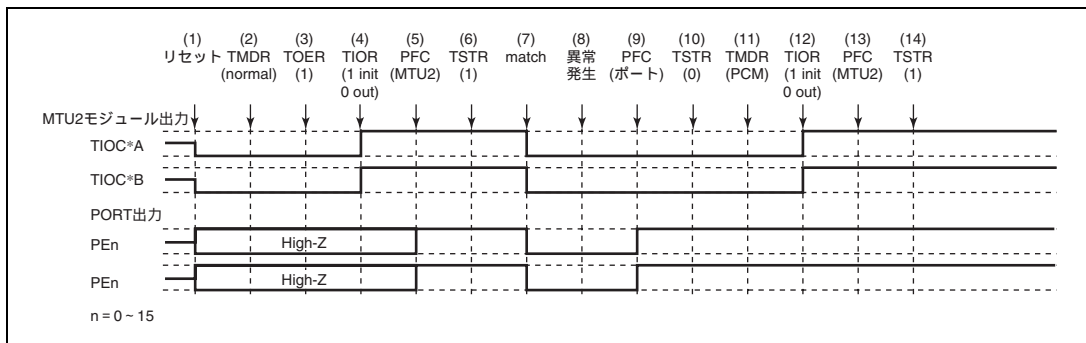


図 10.138 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 10.135 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.139 に示します。

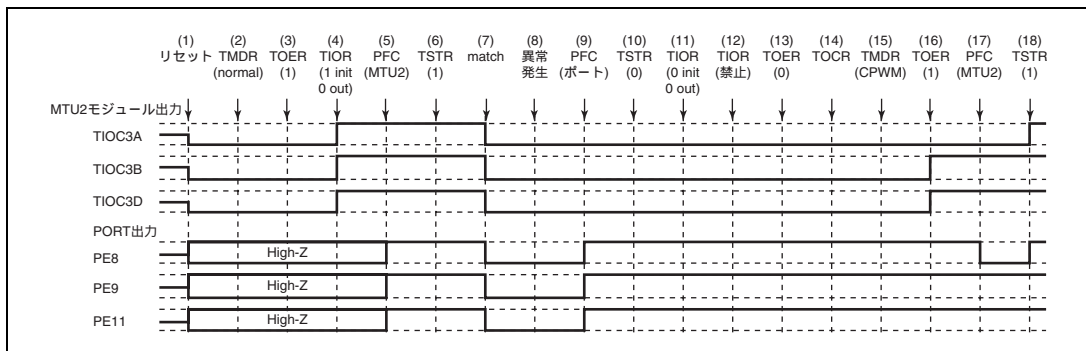


図 10.139 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.135 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.140 に示します。

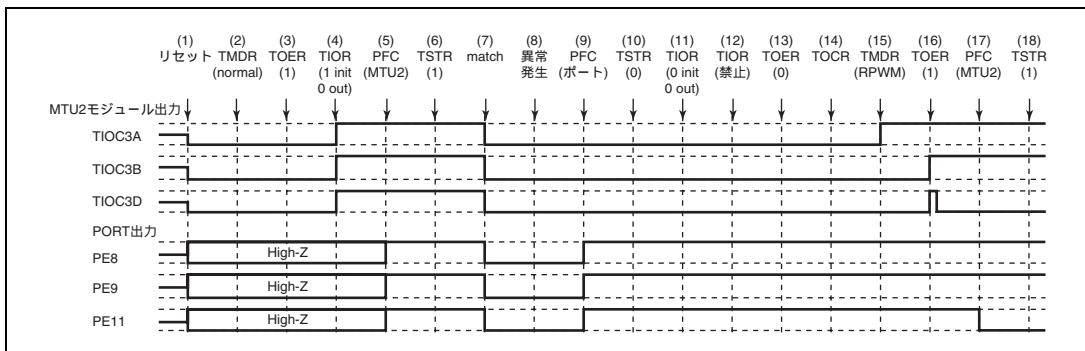


図 10.140 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 10.135 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.141 に示します。

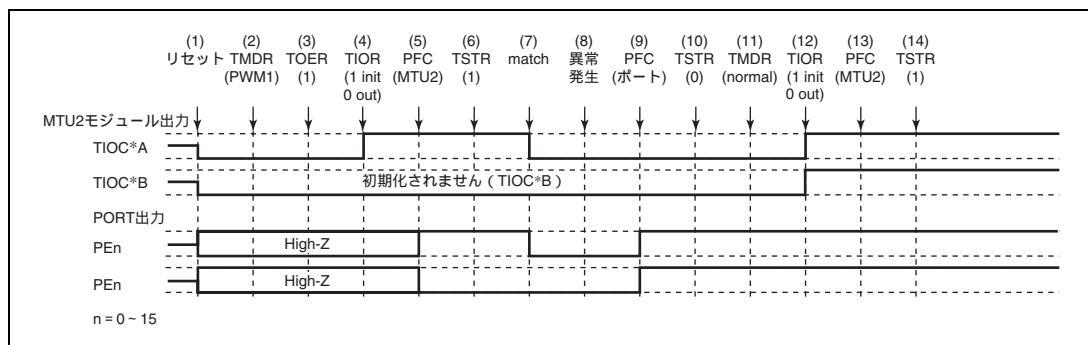


図 10.141 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.142 に示します。

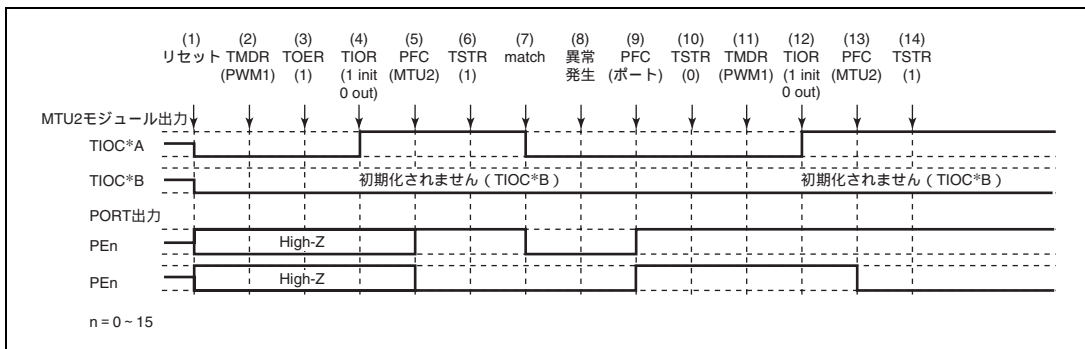


図 10.142 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.141 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.143 に示します。

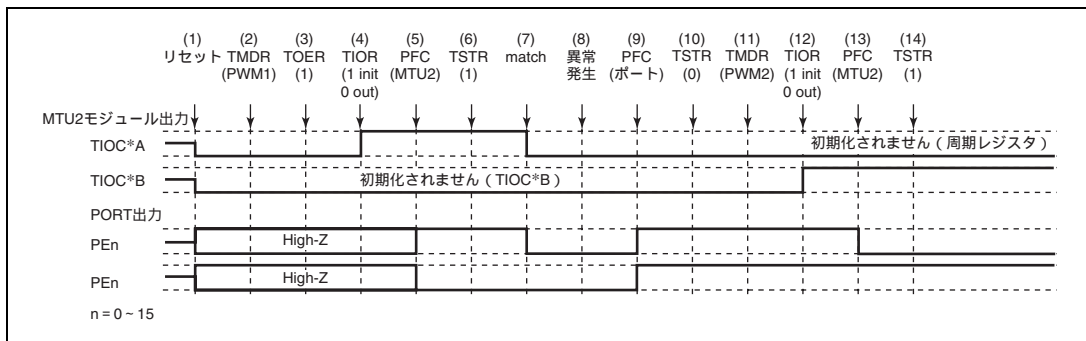


図 10.143 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 10.141 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.144 に示します。

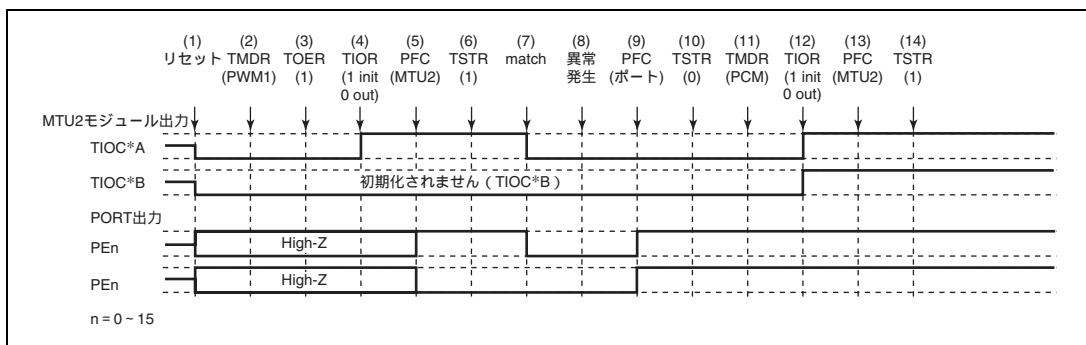


図 10.144 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 10.141 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.145 に示します。

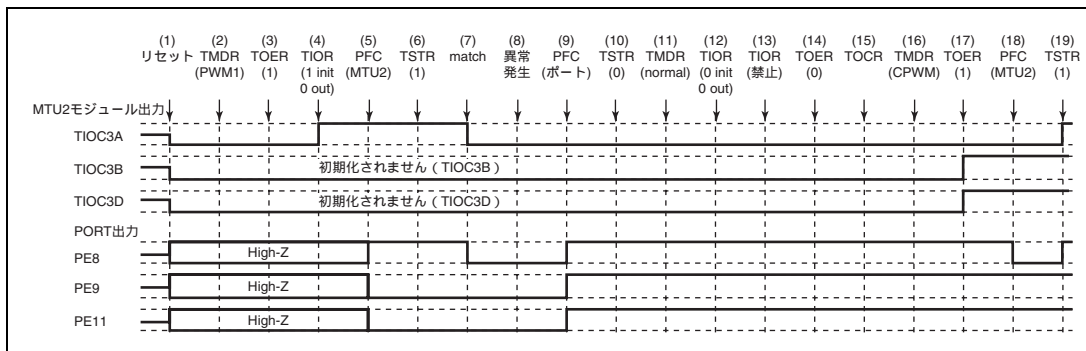


図 10.145 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.141 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.146 に示します。

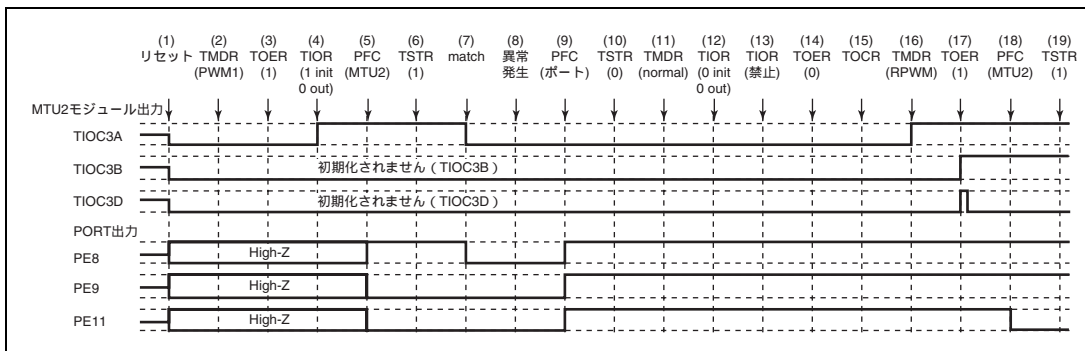


図 10.146 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 10.145 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.147 に示します。

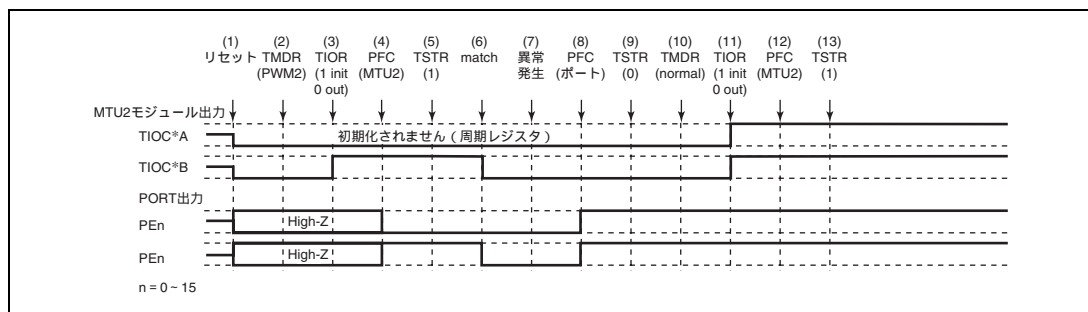


図 10.147 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.148 に示します。

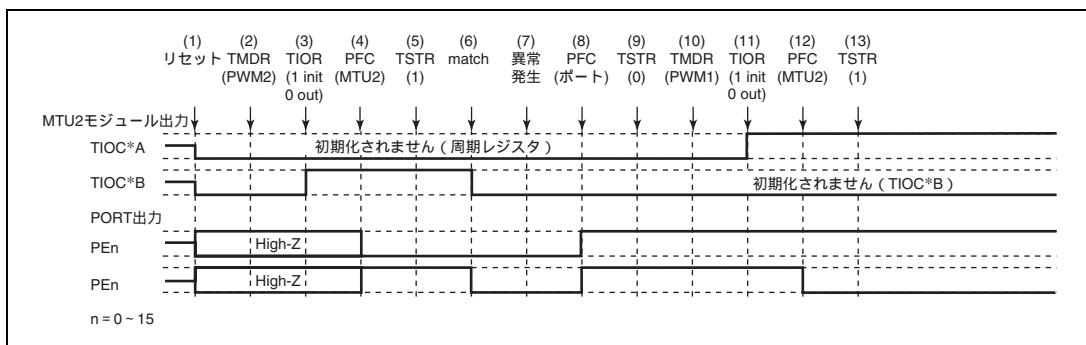


図 10.148 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 10.147 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.149 に示します。

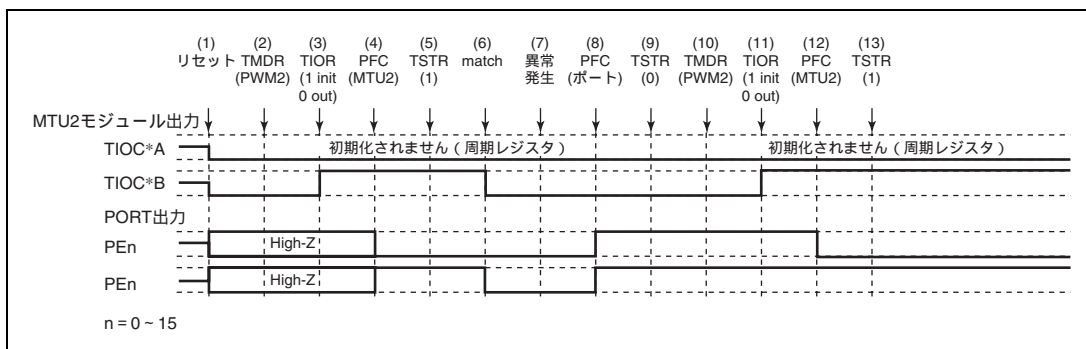


図 10.149 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.147 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.150 に示します。

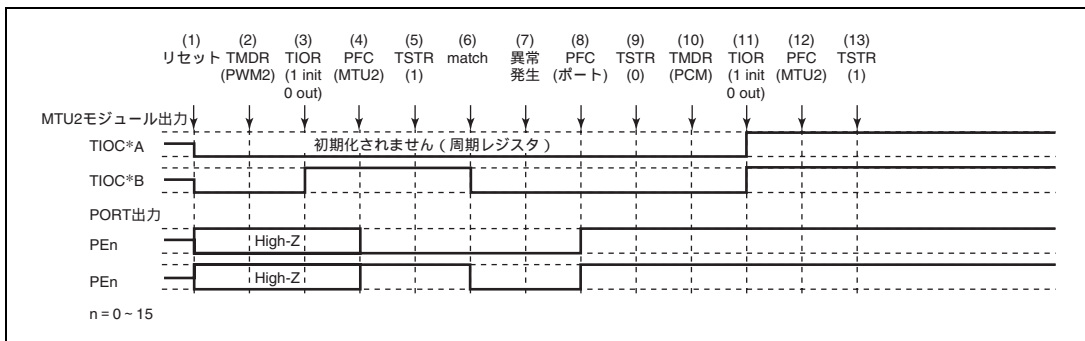


図 10.150 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 10.147 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.151 に示します。

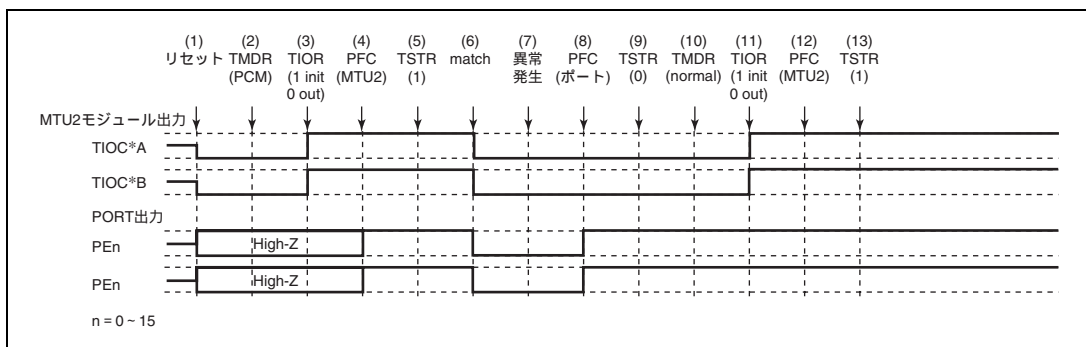


図 10.151 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.152 に示します。

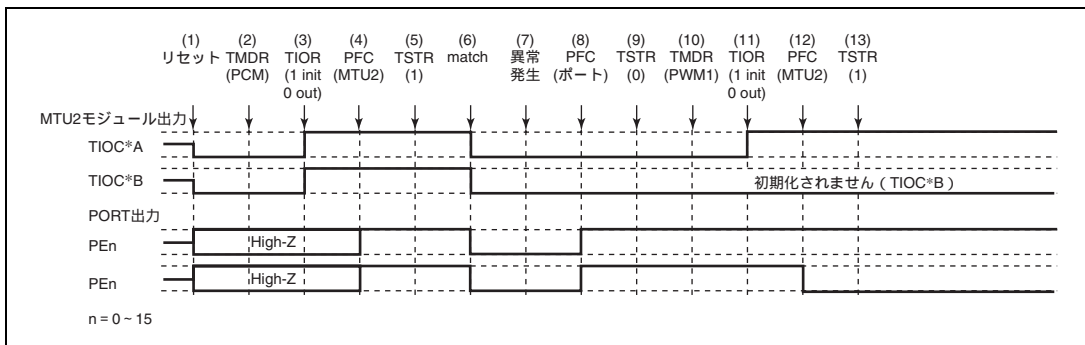


図 10.152 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 10.151 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.153 に示します。

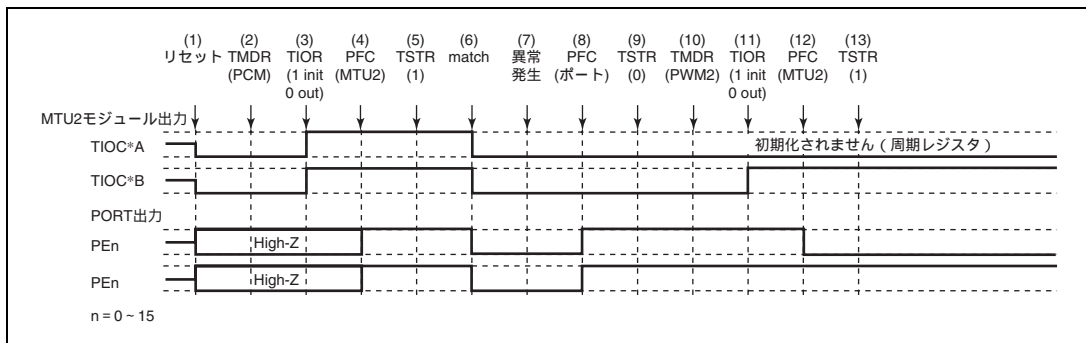


図 10.153 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 10.151 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 10.154 に示します。

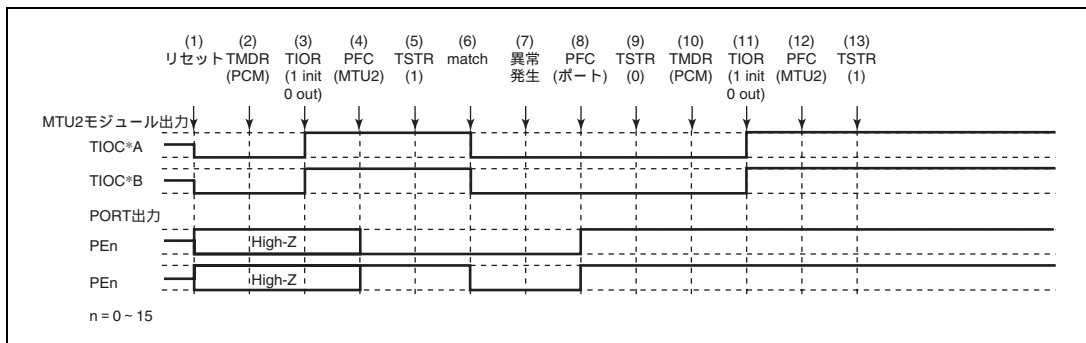


図 10.154 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 10.151 と共通です。

(10) 位相計数モードで再起動する場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再起動します。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.155 に示します。

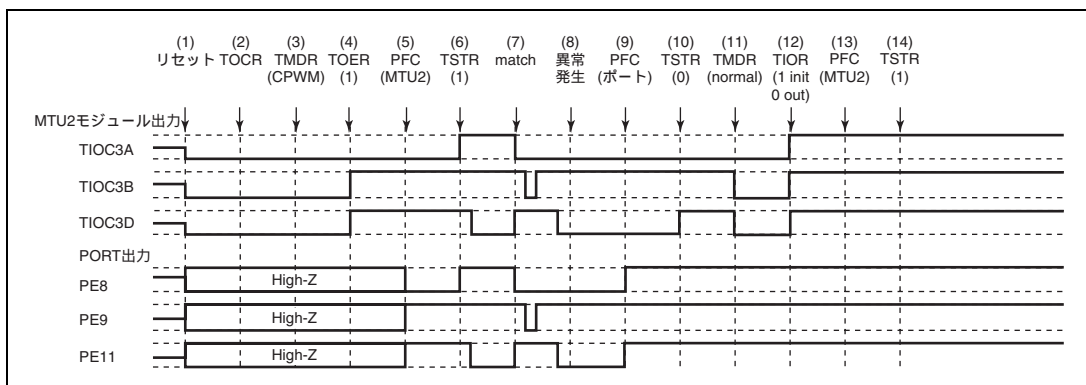


図 10.155 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.156 に示します。

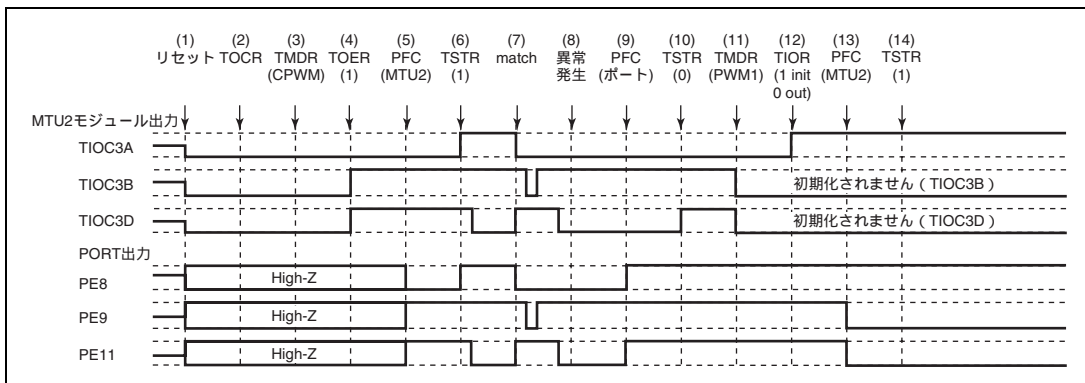


図 10.156 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 10.155 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.157 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

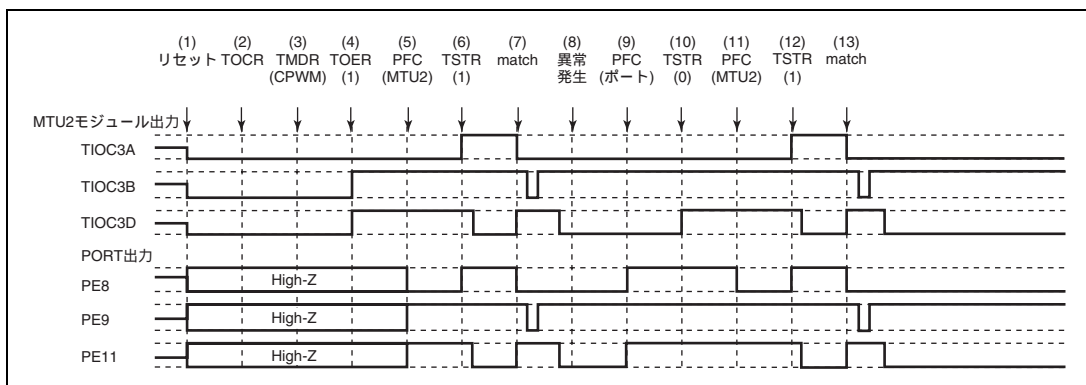


図 10.157 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.155 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.158 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

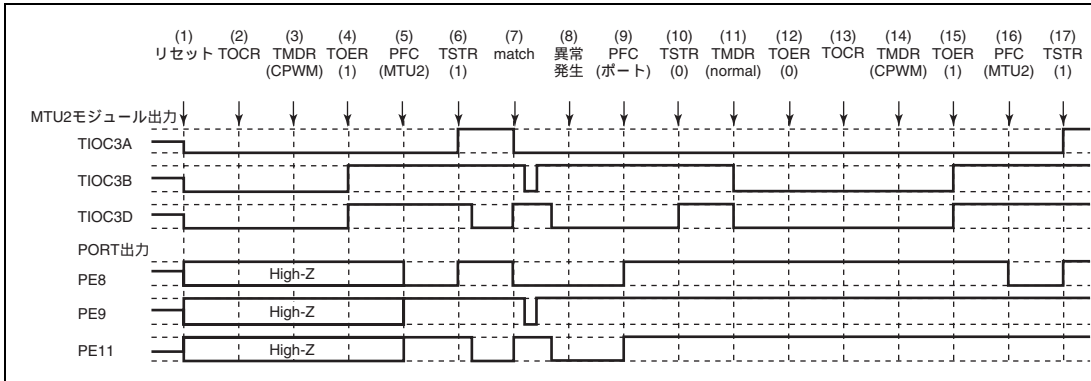


図 10.158 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 10.155 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。

(12) TOER でチャンネル 3、4 の出力を禁止してください。

(13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOER でチャンネル 3、4 の出力を許可してください。

(16) PFC で MTU2 出力としてください。

(17) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
10.159 に示します。

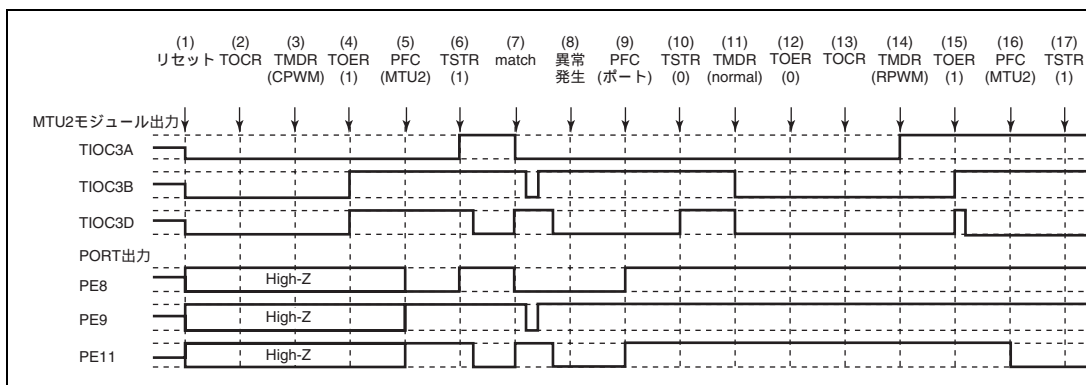


図 10.159 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.155 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
 10.160 に示します。

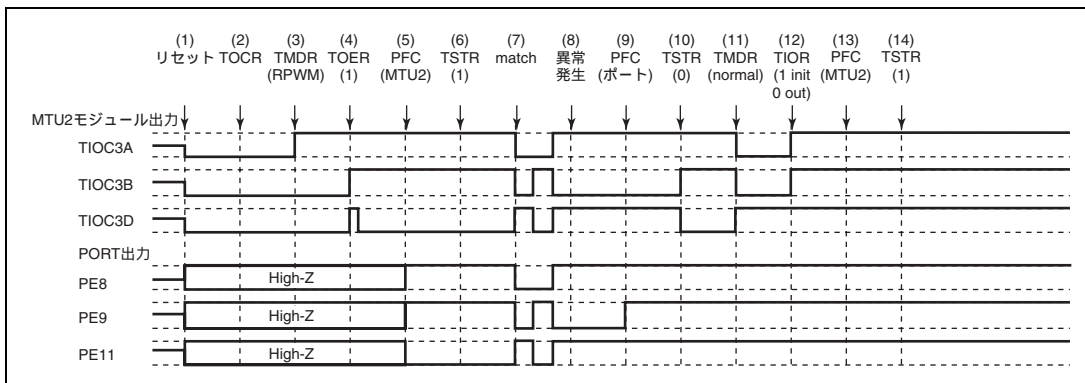


図 10.160 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.161 に示します。

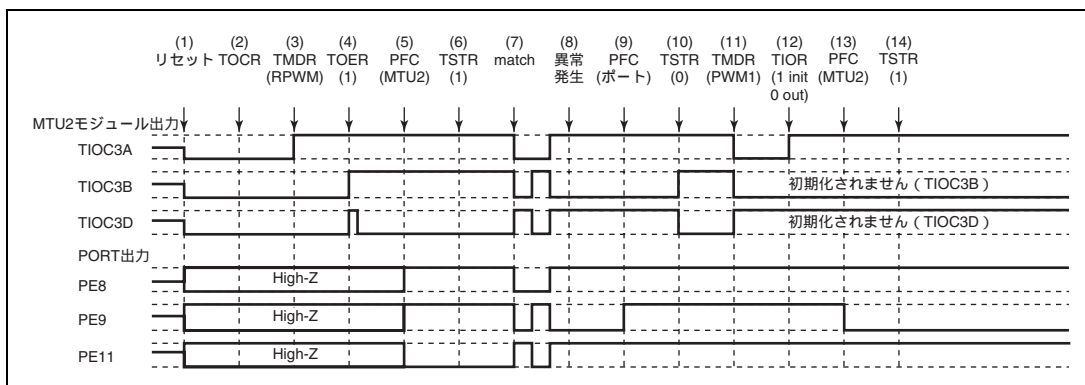


図 10.161 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 10.160 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図
 10.162 に示します。

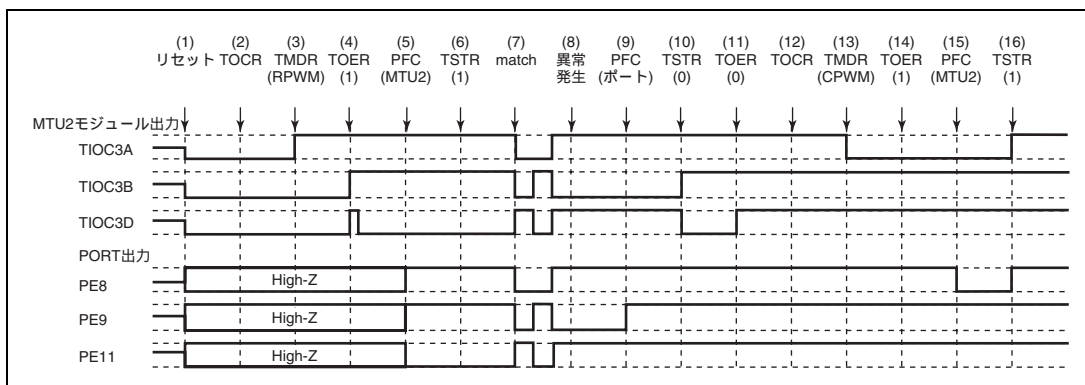


図 10.162 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 10.160 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.163 に示します。

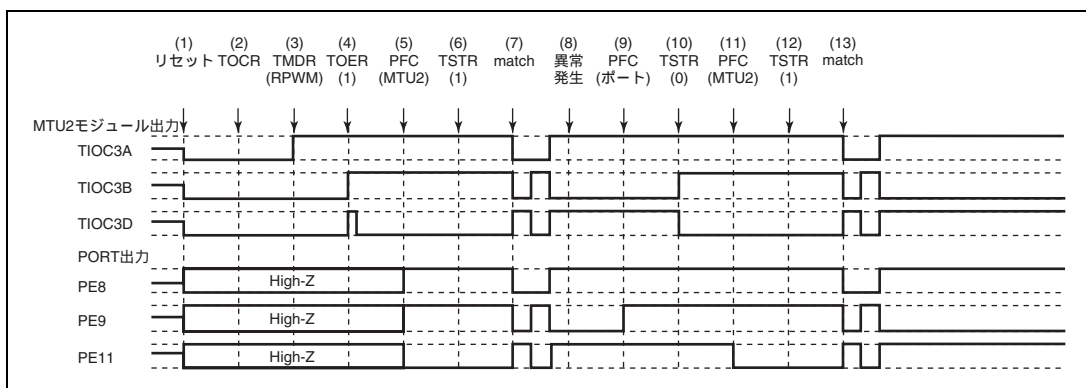


図 10.163 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 10.160 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

10. マルチファンクションタイマパルスユニット 2 (MTU2)

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2S (MTU2S) を内蔵しています。MTU2S は MTU2 のチャンネル 3、4、5 を内蔵したモジュールですので、詳細は「第 10 章 マルチファンクションタイマパルスユニット 2 (MTU2)」を参照してください。ただし、MTU2 は P (周辺クロック) で動作するのに対し、MTU2S は M (MTU クロック) で動作しますので、本文やタイミング図中の「P」の記述は MTU2S の場合には「M」になります。なお、MTU2 と区別するため、入出力端子名、およびレジスタ名の末尾に「S」を追加し、たとえば TIOC3A は TIOC3AS、TGRA_3 は TGRA_3S などと表記してあります。

MTU2S は相補 PWM モードの出力のみ 80MHz 動作まで可能です。その他の機能については 40MHz 動作まで可能です。

表 11.1 MTU2S の機能一覧

項 目	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	M / 1 M / 4 M / 16 M / 64 M / 256 M / 1024	M / 1 M / 4 M / 16 M / 64 M / 256 M / 1024	M / 1 M / 4 M / 16 M / 64
ジェネラルレジスタ (TGR)	TGRA_3S TGRB_3S	TGRA_4S TGRB_4S	TGRU_5S TGRV_5S TGRW_5S
ジェネラルレジスタ/ バッファレジスタ	TGRC_3S TGRD_3S	TGRC_4S TGRD_4S	-
入出力端子	TIOC3AS TIOC3BS TIOC3CS TIOC3DS	TIOC4AS TIOC4BS TIOC4CS TIOC4DS	入力端子 TIC5US TIC5VS TIC5WS
カウンタクリア機能	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ
コンペア マッチ出力	0 出力		-
	1 出力		-
	トグル出力		-
インプットキャプチャ機能			
同期動作			-

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

項 目	チャンネル3	チャンネル4	チャンネル5
PWM モード 1			-
PWM モード 2	-	-	-
相補 PWM モード			-
リセット PWM モード			-
AC 同期モータ駆動モード	-	-	-
位相計数モード	-	-	-
バッファ動作			-
デッドタイム補償用 カウンタ機能	-	-	
DMAC の起動	-	-	-
A/D 変換開始トリガ	TGRA_3S のコンペアマッチ またはインプットキャプチャ	TGRA_4S のコンペアマッチ またはインプットキャプチャ 相補 PWM モード時 TCNT_4S のアンダフロー(谷)	-
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 3AS • コンペアマッチ / インプットキャプチャ 3BS • コンペアマッチ / インプットキャプチャ 3CS • コンペアマッチ / インプットキャプチャ 3DS • オーバフロー	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 4AS • コンペアマッチ / インプットキャプチャ 4BS • コンペアマッチ / インプットキャプチャ 4CS • コンペアマッチ / インプットキャプチャ 4DS • オーバフロー / アンダフロー	3 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプットキャプチャ 5US • コンペアマッチ / インプットキャプチャ 5VS • コンペアマッチ / インプットキャプチャ 5WS
A/D 変換開始要求 ディレイド機能	-	• TADCORA_4S と TCNT_4S の一致で、A/D 変換開始要求 • TADCORB_4S と TCNT_4S の一致で、A/D 変換開始要求	-
割り込み間引き機能	• TGRA_3S のコンペアマッチ 割り込みを間引き	• TCIV_4S 割り込みを間引き	-

【記号説明】

: 可能

- : 不可

11.1 入出力端子

表 11.2 端子構成

チャンネル	端子名	入出力	機能
3	TIOC3AS	入出力	TGRA_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3BS	入出力	TGRB_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3CS	入出力	TGRC_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3DS	入出力	TGRD_3S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4AS	入出力	TGRA_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4BS	入出力	TGRB_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4CS	入出力	TGRC_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4DS	入出力	TGRD_4S のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIC5US	入力	TGRU_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5VS	入力	TGRV_5S のインプットキャプチャ入力 / 外部パルス入力端子
	TIC5WS	入力	TGRW_5S のインプットキャプチャ入力 / 外部パルス入力端子

【注】 相補 PWM モードの端子構成は、「10.4.8 相補 PWM モード」の表 10.54 を参照してください。

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

11.2 レジスタの説明

MTU2S には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 26 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 3 の TCR は TCR_3S と表記してあります。

表 11.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	タイマコントロールレジスタ_3S	TCR_3S	R/W	H'00	H'FFFE4A00	8
	タイマモードレジスタ_3S	TMDR_3S	R/W	H'00	H'FFFE4A02	8
	タイマ I/O コントロールレジスタ H_3S	TIORH_3S	R/W	H'00	H'FFFE4A04	8
	タイマ I/O コントロールレジスタ L_3S	TIORL_3S	R/W	H'00	H'FFFE4A05	8
	タイマインタラプトイネーブル レジスタ_3S	TIER_3S	R/W	H'00	H'FFFE4A08	8
	タイマステータスレジスタ_3S	TSR_3S	R/W	H'C0	H'FFFE4A2C	8
	タイマカウンタ_3S	TCNT_3S	R/W	H'0000	H'FFFE4A10	16
	タイマジェネラルレジスタ A_3S	TGRA_3S	R/W	H'FFFF	H'FFFE4A18	16
	タイマジェネラルレジスタ B_3S	TGRB_3S	R/W	H'FFFF	H'FFFE4A1A	16
	タイマジェネラルレジスタ C_3S	TGRC_3S	R/W	H'FFFF	H'FFFE4A24	16
	タイマジェネラルレジスタ D_3S	TGRD_3S	R/W	H'FFFF	H'FFFE4A26	16
	タイマバッファ動作転送モード レジスタ_3S	TBTM_3S	R/W	H'00	H'FFFE4A38	8
4	タイマコントロールレジスタ_4S	TCR_4S	R/W	H'00	H'FFFE4A01	8
	タイマモードレジスタ_4S	TMDR_4S	R/W	H'00	H'FFFE4A03	8
	タイマ I/O コントロールレジスタ H_4S	TIORH_4S	R/W	H'00	H'FFFE4A06	8
	タイマ I/O コントロールレジスタ L_4S	TIORL_4S	R/W	H'00	H'FFFE4A07	8
	タイマインタラプトイネーブル レジスタ_4S	TIER_4S	R/W	H'00	H'FFFE4A09	8
	タイマステータスレジスタ_4S	TSR_4S	R/W	H'C0	H'FFFE4A2D	8
	タイマカウンタ_4S	TCNT_4S	R/W	H'0000	H'FFFE4A12	16
	タイマジェネラルレジスタ A_4S	TGRA_4S	R/W	H'FFFF	H'FFFE4A1C	16
	タイマジェネラルレジスタ B_4S	TGRB_4S	R/W	H'FFFF	H'FFFE4A1E	16
	タイマジェネラルレジスタ C_4S	TGRC_4S	R/W	H'FFFF	H'FFFE4A28	16
	タイマジェネラルレジスタ D_4S	TGRD_4S	R/W	H'FFFF	H'FFFE4A2A	16
	タイマバッファ動作転送モード レジスタ_4S	TBTM_4S	R/W	H'00	H'FFFE4A39	8
	タイマ A/D 変換開始要求コントロール レジスタ S	TADCRS	R/W	H'0000	H'FFFE4A40	16

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求周期設定 レジスタ A_4S	TADCORA_4S	R/W	H'FFFF	H'FFFE4A44	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4S	TADCORB_4S	R/W	H'FFFF	H'FFFE4A46	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	R/W	H'FFFF	H'FFFE4A48	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	R/W	H'FFFF	H'FFFE4A4A	16
5	タイマコントロールレジスタ U_5S	TCRU_5S	R/W	H'00	H'FFFE4884	8
	タイマコントロールレジスタ V_5S	TCRV_5S	R/W	H'00	H'FFFE4894	8
	タイマコントロールレジスタ W_5S	TCRW_5S	R/W	H'00	H'FFFE48A4	8
	タイマ I/O コントロールレジスタ U_5S	TIORU_5S	R/W	H'00	H'FFFE4886	8
	タイマ I/O コントロールレジスタ V_5S	TIORV_5S	R/W	H'00	H'FFFE4896	8
	タイマ I/O コントロールレジスタ W_5S	TIORW_5S	R/W	H'00	H'FFFE48A6	8
	タイマインタラプトイネーブル レジスタ_5S	TIER_5S	R/W	H'00	H'FFFE48B2	8
	タイマステータスレジスタ_5S	TSR_5S	R/W	H'00	H'FFFE48B0	8
	タイマスタートレジスタ_5S	TSTR_5S	R/W	H'00	H'FFFE48B4	8
	タイマカウンタ U_5S	TCNTU_5S	R/W	H'0000	H'FFFE4880	16
	タイマカウンタ V_5S	TCNTV_5S	R/W	H'0000	H'FFFE4890	16
	タイマカウンタ W_5S	TCNTW_5S	R/W	H'0000	H'FFFE48A0	16
	タイマジェネラルレジスタ U_5S	TGRU_5S	R/W	H'FFFF	H'FFFE4882	16
	タイマジェネラルレジスタ V_5S	TGRV_5S	R/W	H'FFFF	H'FFFE4892	16
	タイマジェネラルレジスタ W_5S	TGRW_5S	R/W	H'FFFF	H'FFFE48A2	16
	タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	R/W	H'00	H'FFFE48B6	8
	共通	タイマスタートレジスタ S	TSTRS	R/W	H'00	H'FFFE4A80
タイマシンクロレジスタ S		TSYRS	R/W	H'00	H'FFFE4A81	8
タイマリードライトイネーブル レジスタ S		TRWERS	R/W	H'01	H'FFFE4A84	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ S	TOERS	R/W	H'C0	H'FFFE4A0A	8
	タイマアウトプットコントロール レジスタ 1S	TOCR1S	R/W	H'00	H'FFFE4A0E	8
	タイマアウトプットコントロール レジスタ 2S	TOCR2S	R/W	H'00	H'FFFE4A0F	8
	タイマゲートコントロールレジスタ S	TGCRS	R/W	H80	H'FFFE4A0D	8
	タイマ周期データレジスタ S	TCDRS	R/W	H'FFFF	H'FFFE4A14	16
	タイマデッドタイムデータレジスタ S	TDDRS	R/W	H'FFFF	H'FFFE4A16	16

11. マルチファンクションタイマパルスユニット 2S (MTU2S)

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3/4 共通	タイマサブカウンタ S	TCNTSS	R	H'0000	H'FFFE4A20	16
	タイマ周期バッファレジスタ S	TCBRS	R/W	H'FFFF	H'FFFE4A22	16
	タイマ割り込み間引き設定レジスタ S	TITCRS	R/W	H'00	H'FFFE4A30	8
	タイマ割り込み間引き回数カウンタ S	TITCNTS	R	H'00	H'FFFE4A31	8
	タイマバッファ転送設定レジスタ S	TBTERS	R/W	H'00	H'FFFE4A32	8
	タイマデッドタイムイネーブル レジスタ S	TDERS	R/W	H'01	H'FFFE4A34	8
	タイマシンクロクリアレジスタ S	TSYCRS	R/W	H'00	H'FFFE4A50	8
	タイマ波形コントロールレジスタ S	TWCRS	R/W	H'00	H'FFFE4A60	8
	タイマアウトプットレベルバッファ レジスタ S	TOLBRS	R/W	H'00	H'FFFE4A36	8

12. ポートアウトプットイネーブル 2 (POE2)

ポートアウトプットイネーブル 2 (POE2) は、 $\overline{POE0}$ 、 $\overline{POE1}$ 、 $\overline{POE3}$ 、 $\overline{POE4}$ 、 $\overline{POE7}$ 、 $\overline{POE8}$ 端子の入力変化、大電流端子 (PB18/TIOC3B、PB19/TIOC3D、PB4/TIOC4A、PB5/TIOC4B、PB6/TIOC4C、PB7/TIOC4D、PB12/TIOC4AS、PB13/TIOC4BS、PB10/TIOC4CS、PB11/TIOC4DS、PB21/TIOC3BS、PB20/TIOC3DS) の出力状態またはレジスタ設定によって、大電流端子および MTU2 の CH0 端子 (PA22/TIOC0A、PA23/TIOC0B、PA24/TIOC0C、PA25/TIOC0D) をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

12.1 特長

- $\overline{POE0}$ 、 $\overline{POE1}$ 、 $\overline{POE3}$ 、 $\overline{POE4}$ 、 $\overline{POE7}$ 、 $\overline{POE8}$ の各入力端子に、立ち下がりエッジ、P / 8 × 16 回、P / 16 × 16 回、P / 128 × 16 回のローレベルサンプリングの設定が可能
- $\overline{POE0}$ 、 $\overline{POE1}$ 、 $\overline{POE3}$ 、 $\overline{POE4}$ 、 $\overline{POE7}$ 、 $\overline{POE8}$ 端子の立ち下がりエッジまたはローレベルサンプリングによって、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- POE2 のレジスタ書き込みをすることで、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE2 は、図 12.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

12. ポートアウトプットイネーブル2 (POE2)

図 12.1 に POE2 のブロック図を示します。

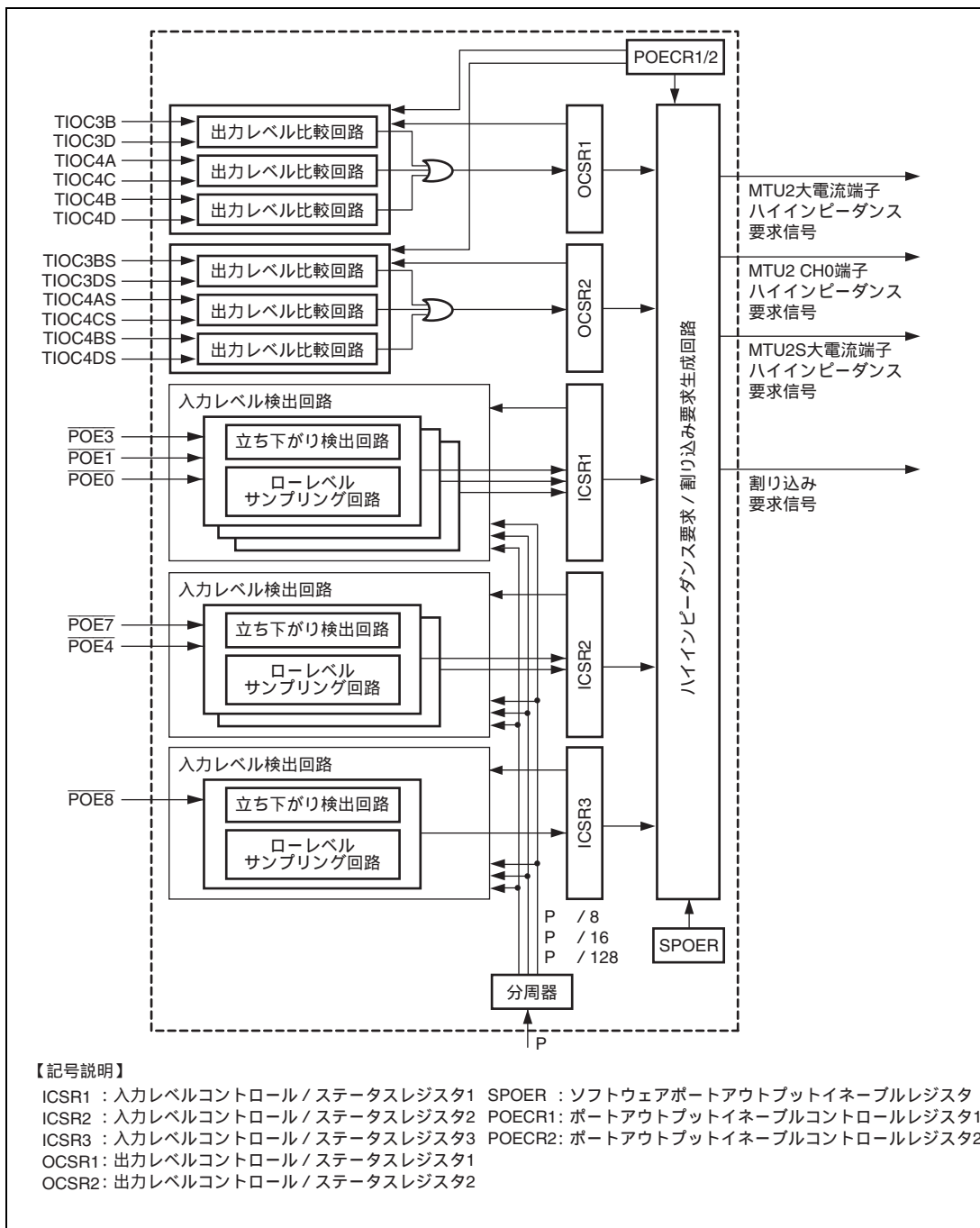


図 12.1 POE2 のブロック図

12.2 入出力端子

表 12.1 端子構成

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子 0、1、3	POE0 POE1 POE3	入力	MTU2 用の大電流端子 (PB18/TIOC3B、PB19/TIOC3D、PB4/TIOC4A、PB5/TIOC4B、PB6/TIOC4C、PB7/TIOC4D) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 4、7	POE4 POE7	入力	MTU2S 用の大電流端子 (PB21/TIOC3BS、PB20/TIOC3DS、PB12/TIOC4AS、PB13/TIOC4BS、PB10/TIOC4CS、PB11/TIOC4DS) をハイインピーダンス状態にする要求信号を入力
ポートアウトプットイネーブル入力端子 8	POE8	入力	MTU2 用の CH0 端子 (PA22/TIOC0A、PA23/TIOC0B、PA24/TIOC0C、PA25/TIOC0D) をハイインピーダンス状態にする要求信号を入力

表 12.2 に示す端子の組み合わせで出力レベルの比較を行います。

表 12.2 端子の組み合わせ

端子の組み合わせ	入出力	機能
PB18/TIOC3B と PB19/TIOC3D	出力	周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2 のタイマアウトプットコントロールレジスタ 1 (TOCR1) の TOCS = 0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS = 1 のときに TOCR2 の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2 用の大電流端子をハイインピーダンス状態にします。 ピンファンクションコントローラの設定で、MTU2 の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE2 のレジスタにて設定できます。
PB4/TIOC4A と PB6/TIOC4C	出力	
PB5/TIOC4B と PB7/TIOC4D	出力	
PB21/TIOC3BS と PB20/TIOC3DS	出力	周辺クロック (P) 1 サイクル以上同時にアクティブレベル出力 (MTU2S のタイマアウトプットコントロールレジスタ 1S (TOCR1S) の TOCS = 0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS = 1 のときに TOCR2S の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2S 用の大電流端子をハイインピーダンス状態にします。 ピンファンクションコントローラの設定で、MTU2S の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE2 のレジスタにて設定できます。
PB12/TIOC4AS と PB10/TIOC4CS	出力	
PB13/TIOC4BS と PB11/TIOC4DS	出力	

12. ポートアウトプットイネーブル 2 (POE2)

12.3 レジスタの説明

POE2 には以下のレジスタがあります。

POE2 の全レジスタは、パワーオンリセットで初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモード、モジュールスタンバイでは初期化されません。

表 12.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
入力レベルコントロール/ステータス レジスタ 1	ICSR1	R/W	H'0000	H'FFFFE5000	16
出力レベルコントロール/ステータス レジスタ 1	OCSR1	R/W	H'0000	H'FFFFE5002	16
入力レベルコントロール/ステータス レジスタ 2	ICSR2	R/W	H'0000	H'FFFFE5004	16
出力レベルコントロール/ステータス レジスタ 2	OCSR2	R/W	H'0000	H'FFFFE5006	16
入力レベルコントロール/ステータス レジスタ 3	ICSR3	R/W	H'0000	H'FFFFE5008	16
ソフトウェアポートアウトプット イネーブルレジスタ	SPOER	R/W	H'00	H'FFFFE500A	8
ポートアウトプットイネーブル コントロールレジスタ 1	POECR1	R/W	H'00	H'FFFFE500B	8
ポートアウトプットイネーブル コントロールレジスタ 2	POECR2	R/W	H'7700	H'FFFFE500C	16

12.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE0}$ 、 $\overline{POE1}$ 、 $\overline{POE3}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE3F	-	POE1F	POE0F	-	-	-	PIE1	POE3M[1:0]	-	-	POE1M[1:0]	POE0M[1:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R	R/(W)*1	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R	R	R/W*2	R/W*2	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

12. ポートアウトプットイネーブル2 (POE2)

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R/(W)* ¹	<p>POE3 フラグ</p> <p>$\overline{\text{POE3}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき (ICSR1 のビット 7、6 で立ち下がりエッジに設定している場合)。 • $\overline{\text{POE3}}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき (ICSR1 のビット 7、6 でローレベルサンプリングに設定している場合)。 <p>[セット条件]</p> <ul style="list-style-type: none"> • $\overline{\text{POE3}}$ 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき。
14	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13	POE1F	0	R/(W)* ¹	<p>POE1 フラグ</p> <p>$\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき (ICSR1 のビット 3、2 で立ち下がりエッジに設定している場合)。 • $\overline{\text{POE1}}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき (ICSR1 のビット 3、2 でローレベルサンプリングに設定している場合)。 <p>[セット条件]</p> <ul style="list-style-type: none"> • $\overline{\text{POE1}}$ 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき。
12	POE0F	0	R/(W)* ¹	<p>POE0 フラグ</p> <p>$\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 で立ち下がりエッジに設定している場合)。 • $\overline{\text{POE0}}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 でローレベルサンプリングに設定している場合)。 <p>[セット条件]</p> <ul style="list-style-type: none"> • $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき。

12. ポートアウトプットイネーブル 2 (POE2)

ビット	ビット名	初期値	R/W	説明
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PIE1	0	R/W	ポートインタラプティネーブル 1 ICSR1 の POE0F、POE1F、POE3F ビットに、1 ビットでも 1 がセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7, 6	POE3M[1:0]	00	R/W* ²	POE3 モード POE3 端子の入力モードを選択します。 00: POE3 入力の立ち下がりエッジで要求を受け付け 01: POE3 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10: POE3 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11: POE3 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3, 2	POE1M[1:0]	00	R/W* ²	POE1 モード POE1 端子の入力モードを選択します。 00: POE1 入力の立ち下がりエッジで要求を受け付け 01: POE1 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10: POE1 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11: POE1 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。
1, 0	POE0M[1:0]	00	R/W* ²	POE0 モード POE0 端子の入力モードを選択します。 00: POE0 入力の立ち下がりエッジで要求を受け付け 01: POE0 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10: POE0 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11: POE0 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

12.3.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

OCSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF1	-	-	-	-	-	OCE1	OIE1	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W**2	R/W	R	R	R	R	R	R	R	R

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF1	0	R/(W)*1	出力短絡フラグ 1 MTU2 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF1=1 の状態を読み出した後、OSF1 に 0 を書き込んだとき。 [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき。
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE1	0	R/W**2	出力短絡ハイインピーダンスイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	OIE1	0	R/W	出力短絡割り込みイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

12. ポートアウトプットイネーブル 2 (POE2)

12.3.3 入力レベルコントロール / ステータスレジスタ 2 (ICSR2)

ICSR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、 $\overline{POE4}$ 、 $\overline{POE7}$ 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POE7F	-	-	POE4F	-	-	-	PIE2	POE7M[1:0]	-	-	-	-	-	POE4M[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R	R	R/(W)*1	R	R	R	R/W	R/W*2	R/W*2	R	R	R	R	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	POE7F	0	R/(W)*1	POE7 フラグ $\overline{POE7}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] <ul style="list-style-type: none"> POE7F=1 の状態を読み出した後、POE7F に 0 を書き込んだとき (ICSR2 のビット 7、6 で立ち下がりエッジに設定している場合)。 $\overline{POE7}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE7F=1 の状態を読み出した後、POE7F に 0 を書き込んだとき (ICSR2 のビット 7、6 でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{POE7}$ 端子に、ICSR2 のビット 7、6 で設定した入力が発生したとき。
14、13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	POE4F	0	R/(W)*1	POE4 フラグ $\overline{POE4}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] <ul style="list-style-type: none"> POE4F=1 の状態を読み出した後、POE4F に 0 を書き込んだとき (ICSR2 のビット 1、0 で立ち下がりエッジに設定している場合)。 $\overline{POE4}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE4F=1 の状態を読み出した後、POE4F に 0 を書き込んだとき (ICSR2 のビット 1、0 でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{POE4}$ 端子に、ICSR2 のビット 1、0 で設定した入力が発生したとき。
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12. ポートアウトプットイネーブル2 (POE2)

ビット	ビット名	初期値	R/W	説明
8	PIE2	0	R/W	<p>ポートインタラプトイネーブル2</p> <p>ICSR2のPOE4F、POE7Fビットに、1ビットでも1がセットされたときに、割り込みを要求するかどうかを指定します。</p> <p>0：割り込み要求を禁止</p> <p>1：割り込み要求を許可</p>
7、6	POE7M[1:0]	00	R/W* ²	<p>POE7モード</p> <p>$\overline{POE7}$端子の入力モードを選択します。</p> <p>00：$\overline{POE7}$入力の立ち下がりエッジで要求を受け付け</p> <p>01：$\overline{POE7}$入力のローレベルをP /8クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10：$\overline{POE7}$入力のローレベルをP /16クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11：$\overline{POE7}$入力のローレベルをP /128クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
5-2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	POE4M[1:0]	00	R/W* ²	<p>POE4モード</p> <p>$\overline{POE4}$端子の入力モードを選択します。</p> <p>00：$\overline{POE4}$入力の立ち下がりエッジで要求を受け付け</p> <p>01：$\overline{POE4}$入力のローレベルをP /8クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10：$\overline{POE4}$入力のローレベルをP /16クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11：$\overline{POE4}$入力のローレベルをP /128クロックごとに16回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

12. ポートアウトプットイネーブル 2 (POE2)

12.3.4 出力レベルコントロール / ステータスレジスタ 2 (OCSR2)

OCSR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF2	-	-	-	-	-	OCE2	OIE2	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF2	0	R/(W)*1	出力短絡フラグ 2 MTU2S 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF2=1 の状態を読み出した後、OSF2 に 0 を書き込んだとき。 [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき。
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE2	0	R/W*2	出力短絡ハイインピーダンスイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	OIE2	0	R/W	出力短絡割り込みイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.5 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

ICSR3 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{POE8}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	POE8F	-	-	POE8E	PIE3	-	-	-	-	-	-	-	POE8M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*1	R	R	R/W*2	R/W	R	R	R	R	R	R	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	POE8F	0	R/(W)*1	POE8 フラグ $\overline{POE8}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] <ul style="list-style-type: none"> POE8F=1 の状態を読み出した後、POE8F に0を書き込んだとき (ICSR3 のビット1、0 で立ち下がりエッジに設定している場合)。 $\overline{POE8}$ 入力のハイレベルを P /8、16、128 クロックでサンプリングした後で、POE8F=1 の状態を読み出した後、POE8F に0を書き込んだとき (ICSR3 のビット1、0 でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{POE8}$ 端子に、ICSR3 のビット1、0 で設定した入力が発生したとき。
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	POE8E	0	R/W*2	POE8 ハイインピーダンスイネーブル ICSR3 の POE8F ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしません。 1: 端子をハイインピーダンスにします。
8	PIE3	0	R/W	ポートインタラプトイネーブル 3 ICSR3 の POE8F ビットに1がセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

12. ポートアウトプットイネーブル 2 (POE2)

ビット	ビット名	初期値	R/W	説 明
1, 0	POE8M[1:0]	00	R/W*2	<p>POE8 モード</p> <p>POE8 端子の入力モードを選択します。</p> <p>00 : POE8 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : POE8 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE8 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE8 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

12.3.6 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

SPOER は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	MTU2SHIZ	0	R/W	<p>MTU2S 出力ハイインピーダンス</p> <p>MTU2S 用の大電流端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2SHIZ=1 の状態を読み出した後、MTU2SHIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2SHIZ に 1 を書き込んだとき

12. ポートアウトプットイネーブル2 (POE2)

ビット	ビット名	初期値	R/W	説 明
1	MTU2CH0HIZ	0	R/W	<p>MTU2 CH0 出力ハイインピーダンス</p> <p>MTU2 の CH0 用の端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH0HIZ=1 の状態を読み出した後、MTU2CH0HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH0HIZ に 1 を書き込んだとき
0	MTU2CH34HIZ	0	R/W	<p>MTU2 CH3、4 出力ハイインピーダンス</p> <p>MTU2 用の大電流端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH34HIZ=1 の状態を読み出した後、MTU2CH34HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にします。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH34HIZ に 1 を書き込んだとき

12. ポートアウトプットイネーブル 2 (POE2)

12.3.7 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

POECR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	MTU2 PA25ZE	MTU2 PA24ZE	MTU2 PA23ZE	MTU2 PA22ZE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W*	R/W*	R/W*	R/W*

【注】* パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MTU2PA25ZE	0	R/W*	MTU2PA25 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PA25/TIOC0D をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません。 1: ハイインピーダンスにします。
2	MTU2PA24ZE	0	R/W*	MTU2PA24 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PA24/TIOC0C をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません。 1: ハイインピーダンスにします。
1	MTU2PA23ZE	0	R/W*	MTU2PA23 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PA23/TIOC0B をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません。 1: ハイインピーダンスにします。
0	MTU2PA22ZE	0	R/W*	MTU2PA22 ハイインピーダンスイネーブル POE8F、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PA22/TIOC0A をハイインピーダンス状態にするかどうか設定します。 0: ハイインピーダンスにしません。 1: ハイインピーダンスにします。

12.3.8 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

POE2CR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	-	MTU2S P1CZE	MTU2S P2CZE	MTU2S P3CZE	-	-	-	-	-	-	-	-
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R/W*	R/W*	R	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R

【注】* パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	MTU2P1CZE	1	R/W*	MTU2 ポート 1 出力比較 / ハイインピーダンスイネーブル MTU2 用の大電流端子の PB18/TIOC3B と PB19/TIOC3D について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0: 出力レベル比較を行わず、ハイインピーダンスにしません。 1: 出力レベル比較を行い、ハイインピーダンスにします。
13	MTU2P2CZE	1	R/W*	MTU2 ポート 2 出力比較 / ハイインピーダンスイネーブル MTU2 用の大電流端子の PB4/TIOC4A と PB6/TIOC4C について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0: 出力レベル比較を行わず、ハイインピーダンスにしません。 1: 出力レベル比較を行い、ハイインピーダンスにします。
12	MTU2P3CZE	1	R/W*	MTU2 ポート 3 出力比較 / ハイインピーダンスイネーブル MTU2 用の大電流端子の PB5/TIOC4B と PB7/TIOC4D について、出力レベル比較を行うかどうか、また、OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または POE0F、POE1F、POE3F、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。 0: 出力レベル比較を行わず、ハイインピーダンスにしません。 1: 出力レベル比較を行い、ハイインピーダンスにします。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12. ポートアウトプットイネーブル 2 (POE2)

ビット	ビット名	初期値	R/W	説明
10	MTU2SP1CZE	1	R/W*	<p>MTU2S ポート 1 出力比較ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PB21/TIOC3BS と PB20/TIOC3DS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
9	MTU2SP2CZE	1	R/W*	<p>MTU2S ポート 2 出力比較ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PB12/TIOC4AS と PB10/TIOC4CS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
8	MTU2SP3CZE	1	R/W*	<p>MTU2S ポート 3 出力比較ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PB13/TIOC4BS と PB11/TIOC4DS について、出力レベル比較を行うかどうか、また、OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または POE4F、POE7F、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしません。 1：出力レベル比較を行い、ハイインピーダンスにします。</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

12.4 動作説明

表 12.4 に、ハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表 12.4 ハイインピーダンス制御の対象と条件

端子	条件	条件詳細
MTU2 用の大電流端子 (PB18/TIOC3B、PB19/TIOC3D)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P1CZE・ ((POE3F+POE1F+POE0F) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PB4/TIOC4A、PB6/TIOC4C)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P2CZE・ ((POE3F+POE1F+POE0F) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PB5/TIOC4B、PB7/TIOC4D)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2P3CZE・ ((POE3F+POE1F+POE0F) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2S 用の大電流端子 (PB21/TIOC3BS、PB20/TIOC3DS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP1CZE・ ((POE4F+POE7F) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PB12/TIOC4AS、PB10/TIOC4CS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP2CZE・ ((POE4F+POE7F) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PB13/TIOC4BS、PB11/TIOC4DS)	入力レベル検出動作または 出力レベル比較動作または SPOER レジスタ設定	MTU2SP3CZE・ ((POE4F+POE7F) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2 用の CH0 端子 (PA22/TIOC0A、PA23/TIOC0B、 PA24/TIOC0C、PA25/TIOC0D)	入力レベル検出動作または SPOER レジスタ設定	(POE8F・POE8E) + (MTU2CH0HIZ)

12. ポートアウトプットイネーブル2 (POE2)

12.4.1 入力レベル検出動作

ICSR1~3で設定した入力条件が、 $\overline{\text{POE0}}$ 、 $\overline{\text{POE1}}$ 、 $\overline{\text{POE3}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE7}}$ 、 $\overline{\text{POE8}}$ 端子に発生した場合、大電流端子およびMTU2のCH0用端子をハイインピーダンス状態にします。ただし、大電流端子およびMTU2のCH0用端子が汎用出力機能またはMTU2、MTU2S機能が選択されている場合にのみハイインピーダンスになります。

(1) 立ち下がりエッジ検出

$\overline{\text{POE0}}$ 、 $\overline{\text{POE1}}$ 、 $\overline{\text{POE3}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE7}}$ 、 $\overline{\text{POE8}}$ 端子にハイレベルからローレベルの変化が入力されたとき、大電流端子およびMTU2のCH0用端子をハイインピーダンス状態にします。

$\overline{\text{POE0}}$ 、 $\overline{\text{POE1}}$ 、 $\overline{\text{POE3}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE7}}$ 、 $\overline{\text{POE8}}$ 端子入力から端子のハイインピーダンスまでのタイミング例を図12.2に示します。

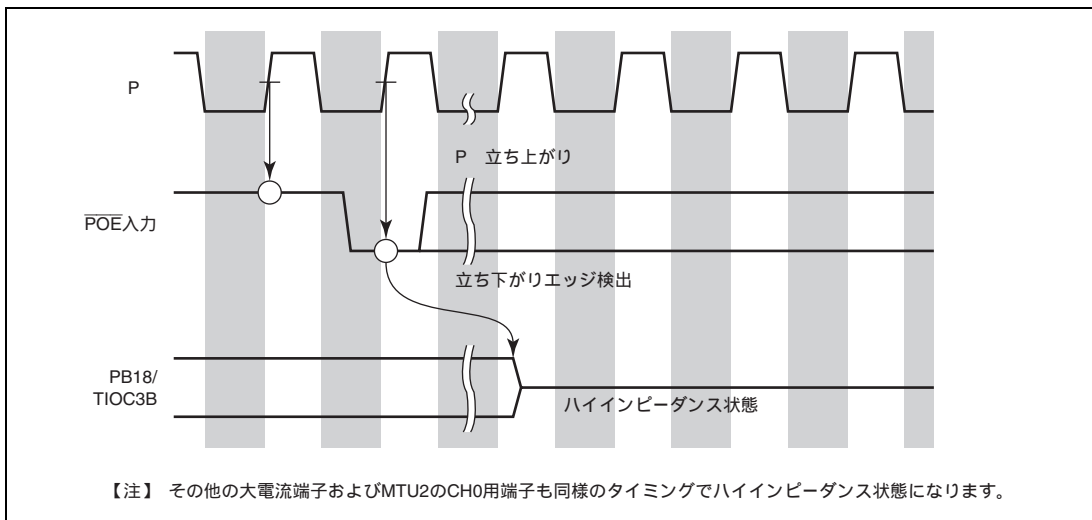


図 12.2 立ち下がりエッジ検出動作

(2) ローレベル検出

図 12.3 にローレベル検出動作を示します。ICSR1 ~ 3 で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は受け付けられません。

また、サンプリングクロックから大電流端子がハインピーダンス状態になるタイミングは、立ち下がりエッジ検出、ローレベル検出とも同じです。

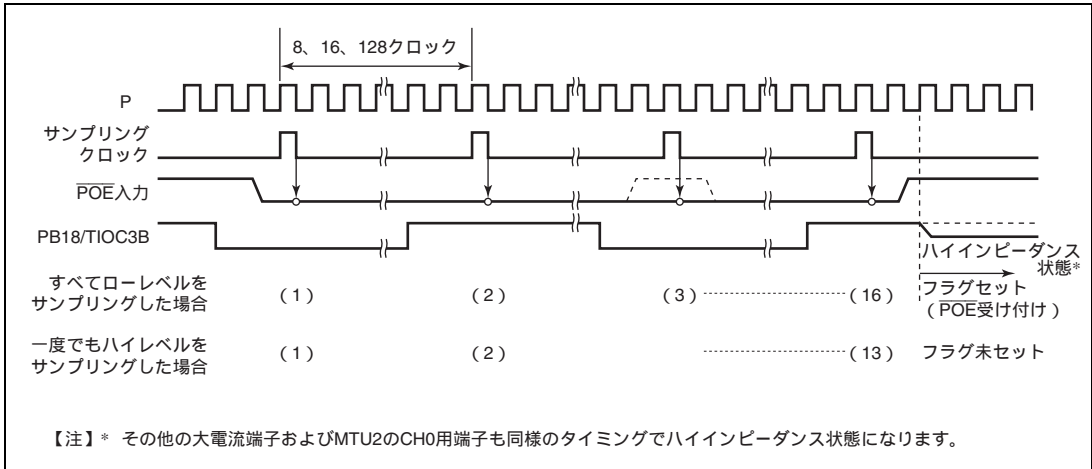


図 12.3 ローレベル検出動作

12.4.2 出力レベル比較動作

TIOC3B と TIOC3D の組み合わせを例に、出力レベル比較動作を図 12.4 に示します。他の端子の組み合わせについても同様です。

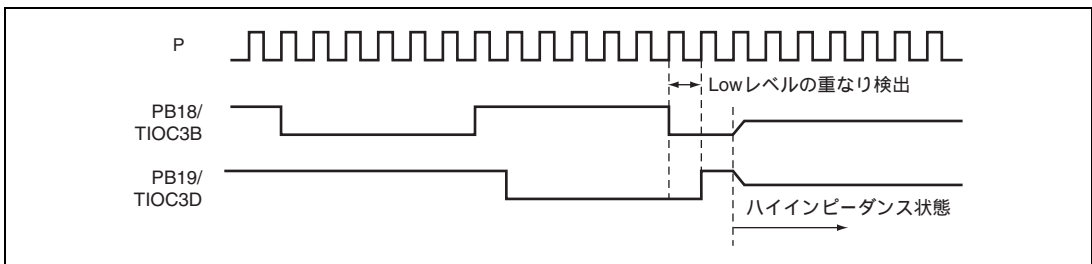


図 12.4 出力レベル検出動作

12.4.3 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1~3のビット15~12 (POE8F、POE7F、POE4F、POE3F、POE1F、POE0F)のフラグをクリアすることにより解除されます。ただし、ICSR1~3のビット7~0でローレベルサンプリングに設定している場合には、 $\overline{\text{POE0}}$ 、 $\overline{\text{POE1}}$ 、 $\overline{\text{POE3}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE7}}$ 、 $\overline{\text{POE8}}$ 端子からハイレベルを入力してハイレベルをサンプリングした後でないと、フラグに対して0書き込みを行っても無効となりフラグはクリアされません。

出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR1、OCSR2のビット15 (OSF1、OSF2)のフラグをクリアすることにより解除されます。ただし、大電流端子から非アクティブレベルを出力するようにした後でないと、フラグに対して0書き込みを行っても無効となりフラグはクリアされません。非アクティブレベル出力はMTU2、MTU2S内のレジスタを設定することで行うことができます。

12.5 割り込み

POE2 は入力レベル検出動作または出力レベル比較動作において条件が一致したときに、割り込み要求を出して割り込みを発生することができます。表 12.5 に、割り込みの種類と割り込み要求を出す条件を示します。

表 12.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル 割り込み 1	POE3F、POE1F、POE0F、 OSF1	PIE1・(POE3F+POE1F+POE0F) + OIE1・OSF1
OEI2	アウトプットイネーブル 割り込み 2	POE8F	PIE3・POE8F
OEI3	アウトプットイネーブル 割り込み 3	POE4F、POE7F、 OSF2	PIE2・(POE4F+POE7F) + OIE2・OSF2

12.6 使用上の注意事項

12.6.1 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

ウォッチドッグタイマ (WDT) からパワーオンリセットが発行されると、I/O ポートはピンファンクションコントローラ (PFC) が初期化され初期値である汎用入力になりますが、ポートアウトプットイネーブル (POE) による端子のハイインピーダンス処理中に WDT からパワーオンリセットが発行されると、汎用入力に切り替わるまでの周辺クロック (P) 1 サイクル期間、端子状態は出力となります。

MTU2、MTU2S の短絡検出によるハイインピーダンス処理中に WDT からパワーオンリセットが発行された場合も、同じ状態となります。

図 12.5 にタイマ出力選択時の POE 入力によるハイインピーダンス処理中に WDT からパワーオンリセットが発行されたときの状態を示します。

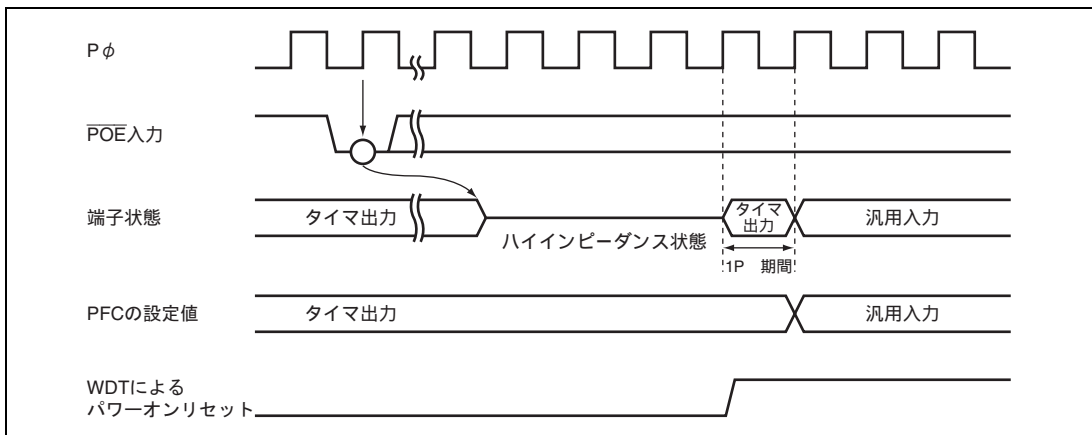


図 12.5 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

13. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

13.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
- 4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、DMAC設定により、DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 13.1 に CMT のブロック図を示します。

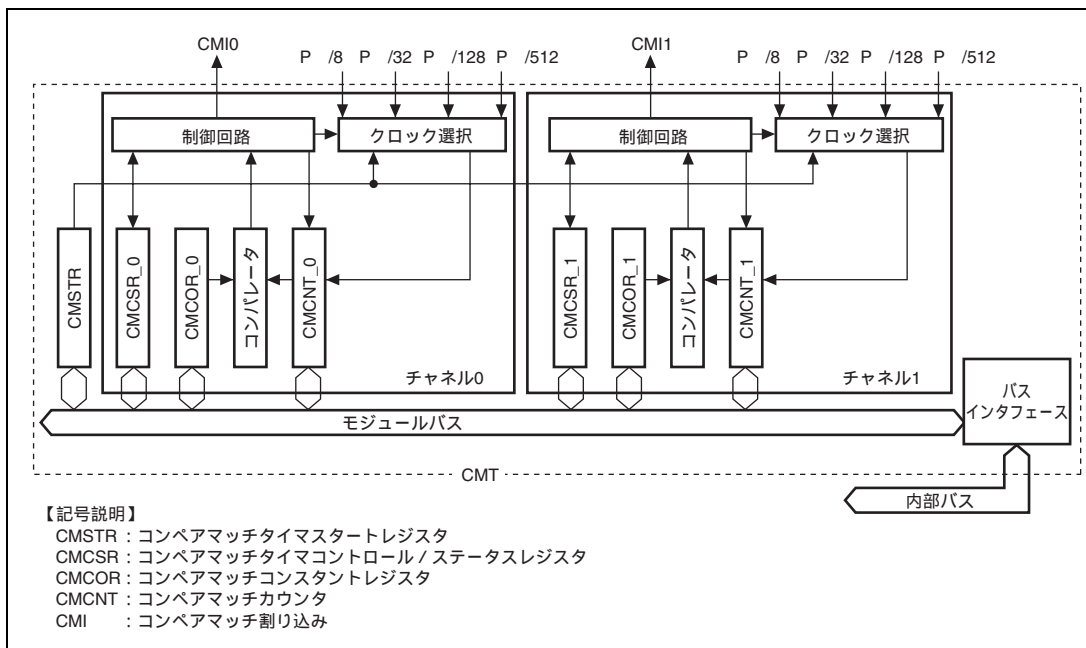


図 13.1 CMT のブロック図

13. コンペアマッチタイム (CMT)

13.2 レジスタの説明

CMT には以下のレジスタがあります。

表 13.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイムスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイムコントロール / ステータスレジスタ_0	CMCSR_0	R/(W)*	H'0000	H'FFFEC002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC006	16
1	コンペアマッチタイムコントロール / ステータスレジスタ_1	CMCSR_1	R/(W)*	H'0000	H'FFFEC008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC00A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC00C	16

13.2.1 コンペアマッチタイムスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

CMSTR はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

13.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入カクロックの設定を行います。

CMCSR はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] • CMF = 1 を読み出し後、CMF に 0 を書き込んだとき 1: CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00: P /8 01: P /32 10: P /128 11: P /512

13. コンペアマッチタイム (CMT)

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

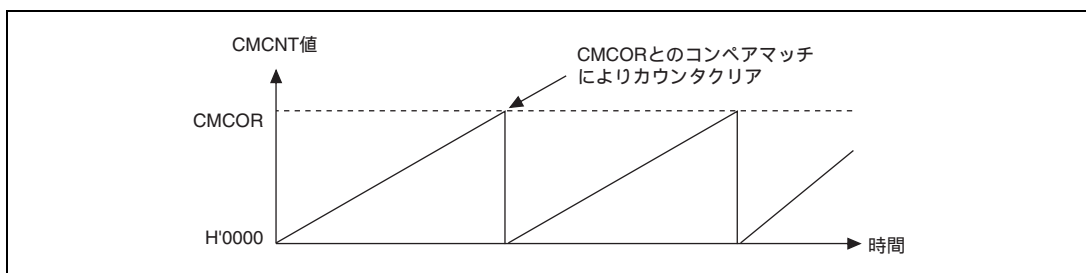


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック (P /8、P /32、P /128、P /512) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 13.3 にそのタイミングを示します。

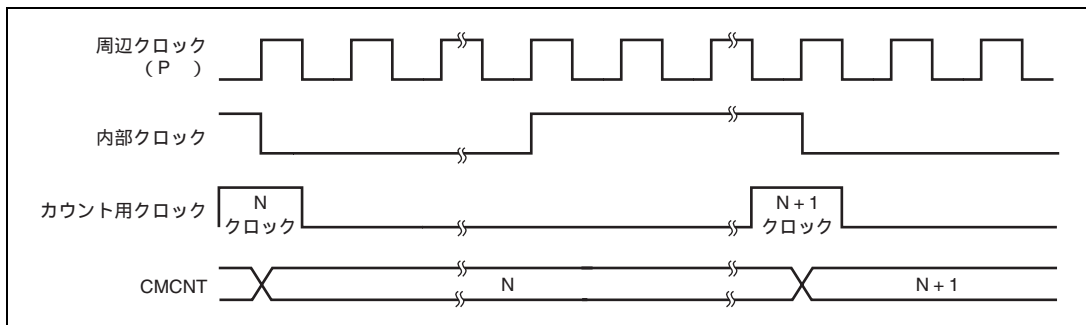


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因と DMA 転送要求

CMT はチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、ダイレクトメモリアクセスコントローラ (DMAC) の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

13.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

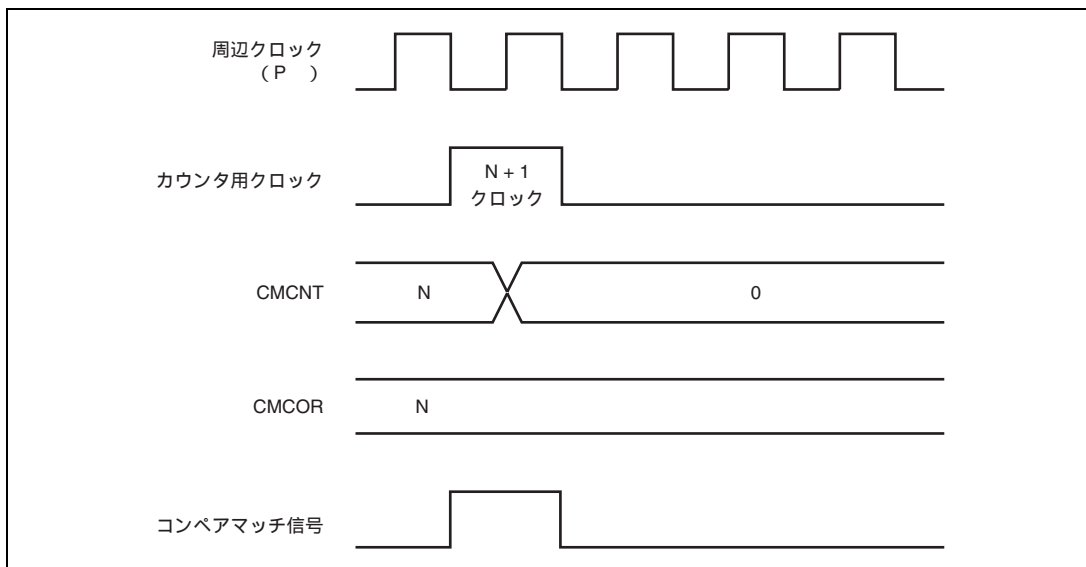


図 13.4 CMF セットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

13.5 使用上の注意事項

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.5 に示します。

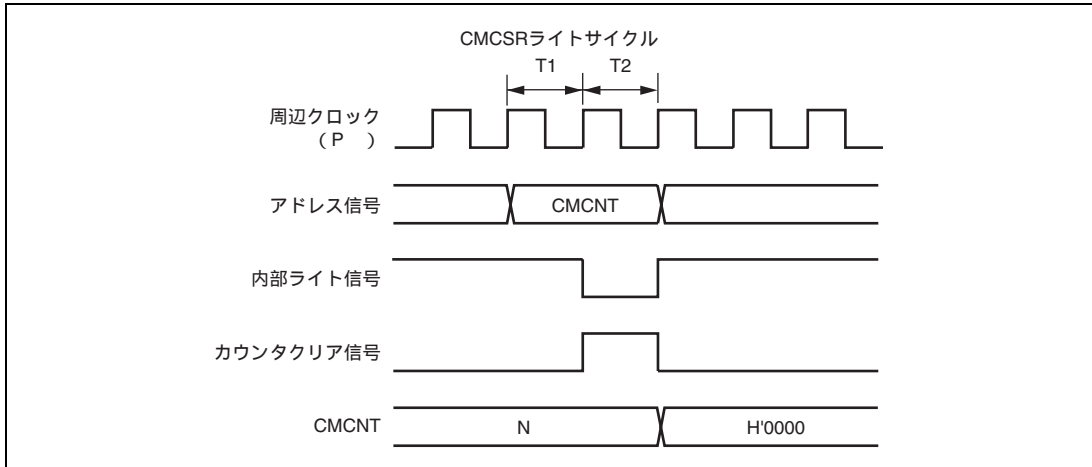


図 13.5 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップせずにカウンタ書き込みが優先されます。このタイミングを図 13.6 に示します。

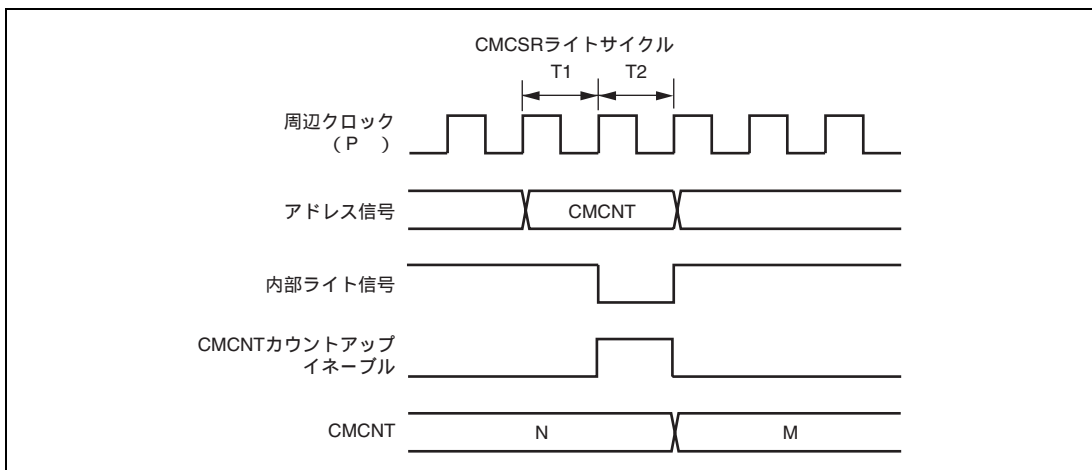


図 13.6 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.7 に示します。

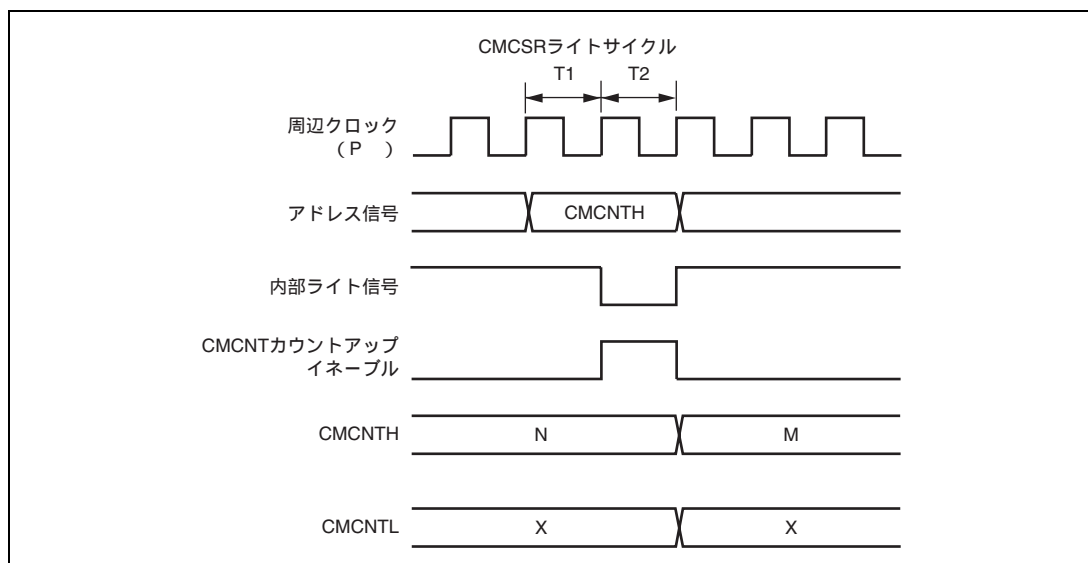


図 13.7 CMCNT のバイト書き込みとカウントアップの競合

13.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

13. コンペアマッチタイム (CMT)

14. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャンネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

14.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P \times 1 \sim \times 1/16384$) から選択できます。

14. ウォッチドッグタイマ (WDT)

図 14.1 に WDT のブロック図を示します。

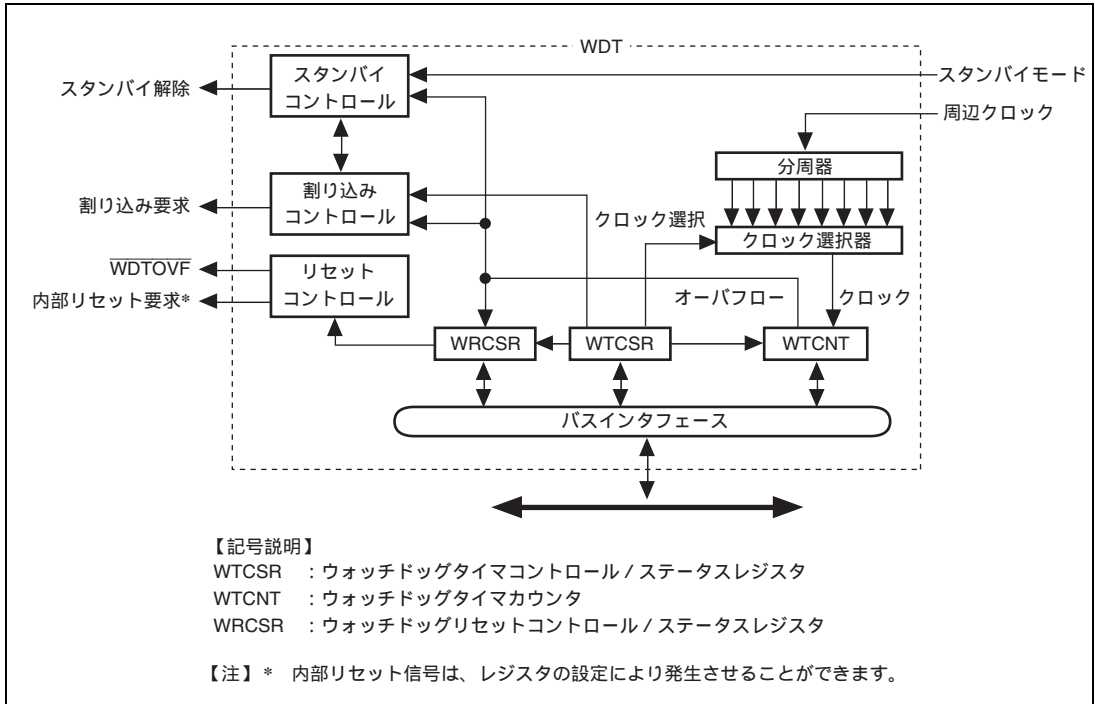


図 14.1 WDT のブロック図

14.2 入出力端子

WDTの端子を表 14.1 に示します。

表 14.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

14. ウォッチドッグタイム (WDT)

14.3 レジスタの説明

WDT には以下のレジスタがあります。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイムカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイムコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

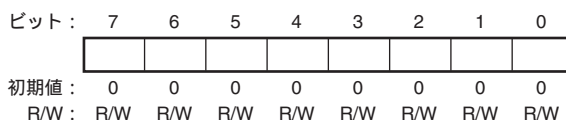
【注】 * アクセスサイズは、「14.3.4 レジスタアクセス時の注意」を参照してください。

14.3.1 ウォッチドッグタイムカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイムモードのときはウォッチドッグタイムオーバフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイムモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ソフトウェアスタンバイモードのとき H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。



14.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCNR)

WTCNR は、読み出し / 書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットからなります。

WTCNR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバーフロー後、値が保持されます。

WTCNR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	IOVF	WT/ $\overline{\text{IT}}$	TME	-	-	CKS[2:0]		
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバーフロー インターバルタイマモードで WTCNT がオーバーフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0 : オーバーフローなし 1 : インターバルタイマモードで WTCNT がオーバーフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/ $\overline{\text{IT}}$	0	R/W	タイマモード選択 ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0 : インターバルタイマモード 1 : ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバーフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力 WDT の動作中に WT/ $\overline{\text{IT}}$ を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。 0 : タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。 1 : タイマイネーブル

14. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説 明																		
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (P) = 40MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × P</td> <td>(6.4 μs)</td> </tr> <tr> <td>001 : 1/64 × P</td> <td>(409.6 μs)</td> </tr> <tr> <td>010 : 1/128 × P</td> <td>(819.2 μs)</td> </tr> <tr> <td>011 : 1/256 × P</td> <td>(1.64ms)</td> </tr> <tr> <td>100 : 1/512 × P</td> <td>(3.3ms)</td> </tr> <tr> <td>101 : 1/1024 × P</td> <td>(6.6ms)</td> </tr> <tr> <td>110 : 1/4096 × P</td> <td>(26.2ms)</td> </tr> <tr> <td>111 : 1/16384 × P</td> <td>(104.9ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1 × P	(6.4 μs)	001 : 1/64 × P	(409.6 μs)	010 : 1/128 × P	(819.2 μs)	011 : 1/256 × P	(1.64ms)	100 : 1/512 × P	(3.3ms)	101 : 1/1024 × P	(6.6ms)	110 : 1/4096 × P	(26.2ms)	111 : 1/16384 × P	(104.9ms)
クロック分周比	オーバフロー周期																					
000 : 1 × P	(6.4 μs)																					
001 : 1/64 × P	(409.6 μs)																					
010 : 1/128 × P	(819.2 μs)																					
011 : 1/256 × P	(1.64ms)																					
100 : 1/512 × P	(3.3ms)																					
101 : 1/1024 × P	(6.6ms)																					
110 : 1/4096 × P	(26.2ms)																					
111 : 1/16384 × P	(104.9ms)																					

14.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

WRCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「14.3.4 レジスタアクセス時の注意」を参照してください

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバーフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない* 1: WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

14. ウォッチドッグタイマ (WDT)

14.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出しまたは書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込めません。

図 14.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

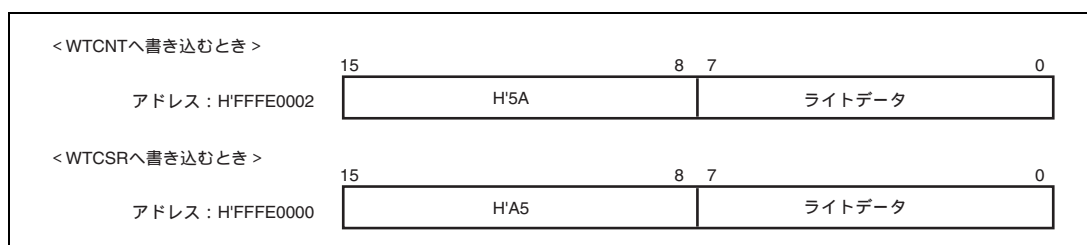


図 14.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 14.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

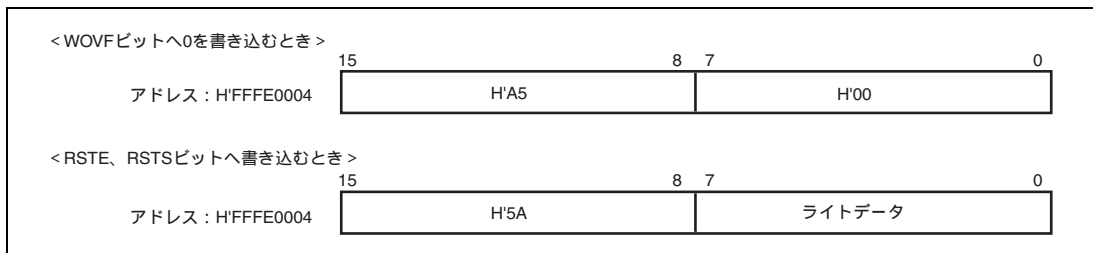


図 14.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

14.4 WDT の使用方法

14.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します (リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルに保ってください)。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR: 「第23章 低消費電力モード」参照) の STBY ビットに 1 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

14.4.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止して、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開して、本 LSI が動作を再開します。このときは、WRCSR の WOVF はセットされません。
5. カウンタは、H'00 の値で停止します。
6. 周波数変更命令の後、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認してから書き換えてください。

14.4.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWRCSRのWOVVFを1にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図14.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P$ クロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておく、と、 $\overline{\text{WDTOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCSRのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$ クロックの間出力されます。
6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSRのWOVVFビットは0にクリアされます。

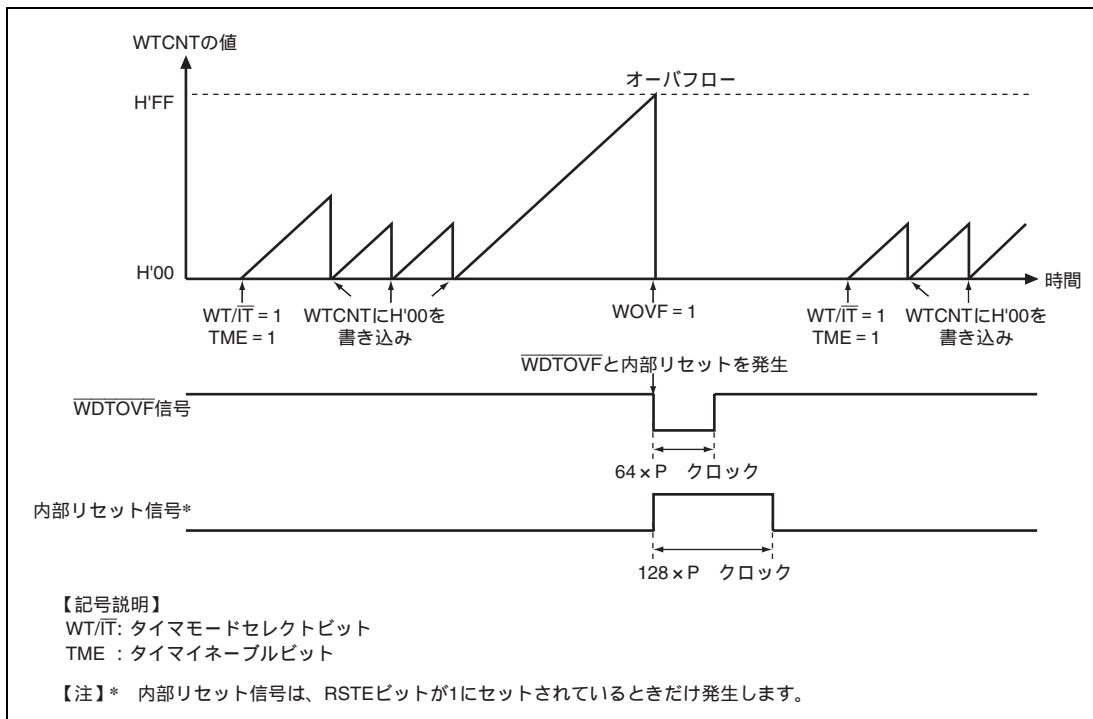


図 14.4 ウォッチドッグタイマモード時の動作

14. ウォッチドッグタイマ (WDT)

14.4.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みが発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCCSRのWT/ \overline{IT} ビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

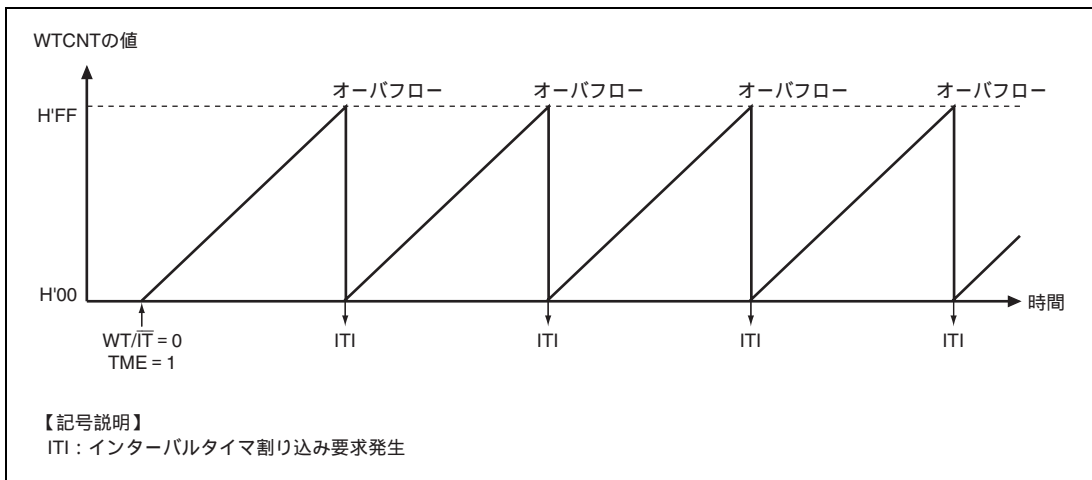


図 14.5 インターバルタイマモード時の動作

14.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

14.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS[2:0] で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

14.5.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバーフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

14.5.3 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 に示すような回路で行ってください。

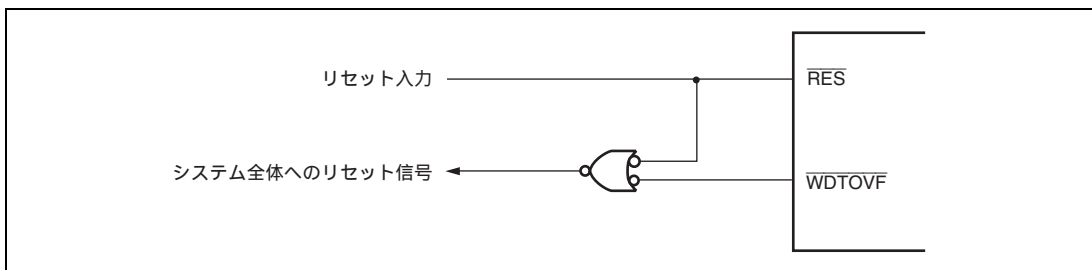


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14. ウォッチドッグタイマ (WDT)

14.5.4 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。

ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の一定サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

15. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 4 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信 / 受信に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

15.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RXD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速度連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 内部または外部送受信クロックソース
ポーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ割り込み、ブ레이크割り込み、レシーブFIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送信、およびレシーブFIFOレジスタのデータ数、およびレシーブFIFOレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。

図 15.1 に SCIF のブロック図を示します。

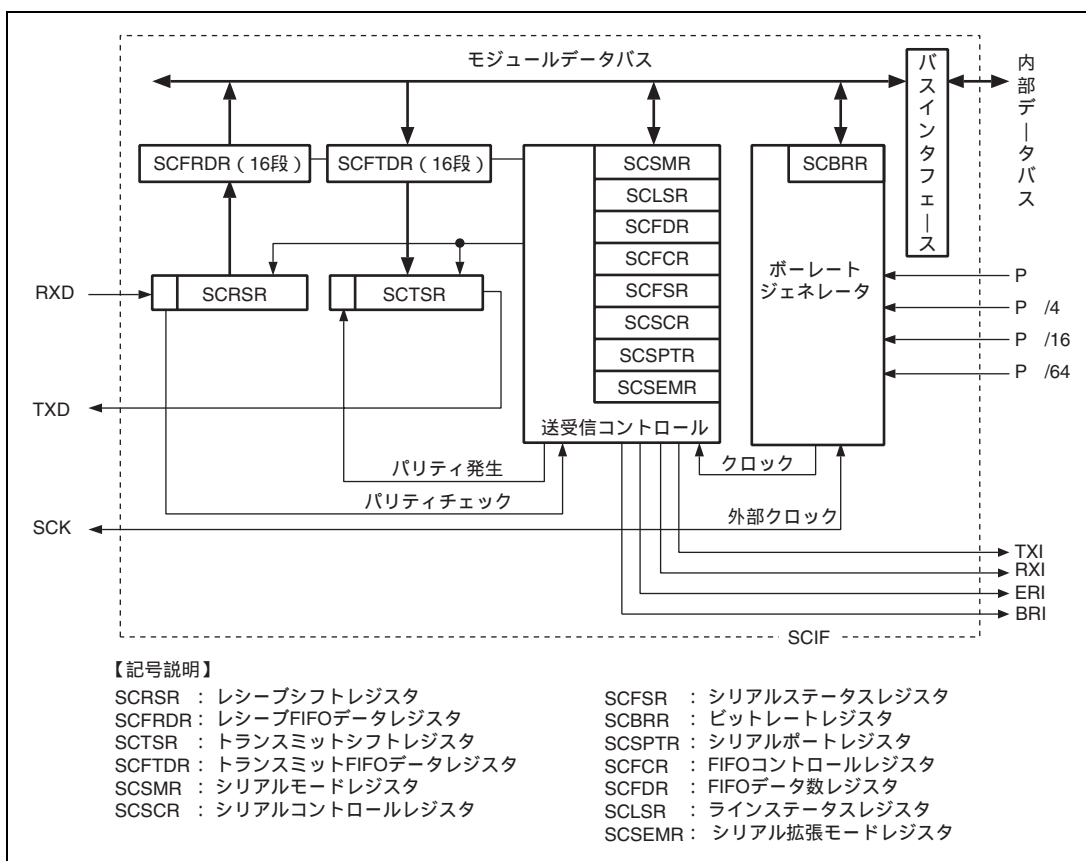


図 15.1 SCIF のブロック図

15.2 入出力端子

SCIF の端子構成を表 15.1 に示します。

表 15.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~3	シリアルクロック端子	SCK0~SCK3	入出力	クロック入出力
	受信データ端子	RXD0~RXD3	入力	受信データ入力
	送信データ端子	TXD0~TXD3	出力	送信データ出力

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 15.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	トランスミット FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'0060	H'FFFE8010	16
	レシーブ FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'0000	H'FFFE8024	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	トランスミット FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'0060	H'FFFE8810	16
	レシーブ FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'0000	H'FFFE8824	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	トランスミット FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'0060	H'FFFE9010	16
	レシーブ FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W)* ²	H'0000	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCSEMR_2	R/W	H'00	H'FFFE9100	8

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

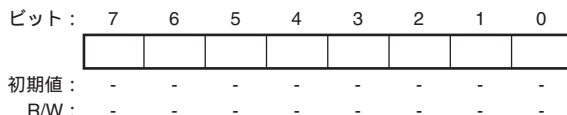
チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	トランスミットFIFOデータレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)*1	H'0060	H'FFFE9810	16
	レシーブFIFOデータレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFOコントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFOデータカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)*2	H'0000	H'FFFE9824	16

- 【注】 *1 フラグをクリアするために0のみ書き込むことができます。ビット15～8、3、2は読み出し専用であり書き込むことはできません。
- *2 フラグクリアするために0のみ書き込むことができます。ビット15～1は読み出し専用であり書き込むことはできません。

15.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

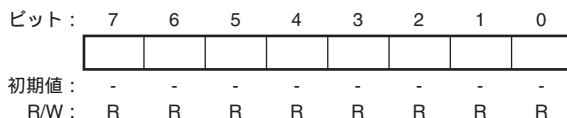


15.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納するレジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。レシーブ FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

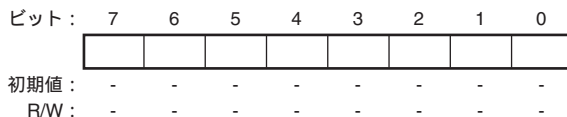
SCFRDR は、パワーオンリセット時に不定となります。



15.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。



15.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

SCFTDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

15.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタの MSB (ビット 7) は送信されません。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】 * PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00:P クロック 01:P /4クロック 10:P /16クロック 11:P /64クロック</p> <p>【注】P :周辺クロック</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンpty 割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンpty 割り込み (TXI) 要求を許可* 【注】 * TXI の解除は、SCFTDR に指定した送信トリガ数より多い量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】 * RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】 * この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】 *¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】 * ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1、0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/\bar{A} ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック / SCK 端子は同期クロック出力 01 : 内部クロック / SCK 端子は同期クロック出力 10 : 外部クロック / SCK 端子は同期クロック入力 11 : 設定禁止

15.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	0000	R	パリティエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。
11~8	FER[3:0]	0000	R	フレーミングエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*1</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合*2 • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき <p>【注】 *1 SCSCR の RE ビットを0にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*2 2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p style="padding-left: 20px;">0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき* <p style="padding-left: 20px;">1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】 * TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビットと TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p style="padding-left: 20px;">0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき • DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p style="padding-left: 20px;">1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】 * SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0 : ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1 : ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】 * ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0 : 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1 : 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0 : 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1 : 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

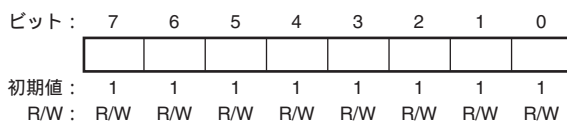
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信データがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC が SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき* <p>【注】 * SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFCR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期モードで、レシーブ FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*後も次のデータが受信されないとき <p>【注】 * 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

15.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、4 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期モード】

(1) 通常モード時 (SCSEMR の ABCS ビットが 0 のとき)

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(2) シリアル拡張モード時 (SCSEMR の ABCS ビットが 1 のとき)

$$N = \frac{P}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
(n とクロックの関係は、表 15.3 を参照してください)

表 15.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(1) 通常モード時 (SCSEMR の ABCS ビットが 0 のとき)

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

(2) シリアル拡張モード時 (SCSEMR の ABCS ビットが 1 のとき)

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.4 に調歩同期式モードの SCBRR の設定例を、表 15.5 にクロック同期式モードの SCBRR の設定例を示します。

表 15.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	P (MHz)								
	32			36			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	141	0.03	3	159	-0.12	3	177	-0.25
150	3	103	0.16	3	116	0.16	3	129	0.16
300	3	51	0.16	3	58	-0.69	3	64	0.16
600	2	103	0.16	2	116	0.16	2	129	0.16
1200	2	51	0.16	2	58	-0.69	2	64	0.16
2400	1	103	0.16	1	116	0.16	1	129	0.16
4800	1	51	0.16	1	58	-0.69	1	64	0.16
9600	0	103	0.16	0	116	0.16	0	129	0.16
19200	0	51	0.16	0	58	-0.69	0	64	0.16
31250	0	31	0.00	0	35	0.00	0	39	0.00
38400	0	25	0.16	0	28	1.02	0	32	-1.36

【注】 誤差は、なるべく 1%以内になるように設定してください。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 15.5 ビットレートに対する SCBRR の設定例 (クロック同期モード)

ビットレート (bit/s)	P (MHz)					
	32		36		40	
	n	N	n	N	n	N
500	-	-				
1k	3	124	3	140	3	155
2.5k	2	199	2	224	2	249
5k	2	99	2	112	2	124
10k	2	49	2	55	2	62
25k	1	79	1	89	1	97
50k	1	39	1	44	1	48
100k	0	79	0	89	0	97
250k	0	31	0	35	0	38
500k	0	15	0	17	0	19
1M	0	7	0	8	0	9
2M	0	3	-	-	0	4

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

表 15.6 にボーレートジェネレータを使用する場合の調歩同期モードの各周波数における最大ビットレートを示します。また、表 15.7 と表 15.8 に外部クロック入力時の最大ビットレートを示します。

表 15.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期モード)

P (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
32	1000000	0	0
36	1125000	0	0
40	1250000	0	0

表 15.7 外部クロック入力時の最大ビットレート (調歩同期モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
32	8.0000	500000
36	9.0000	562500
40	10.0000	625000

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 15.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{pccyc}}$ 時)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
32	2.6667	2666666.7
36	3.0000	3000000.0
40	3.3333	3333333.3

【注】 本 LSI と通信相手先の電気的特性を満足することを確認してください。

15.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTRG[1:0]	TTRG[1:0]	-	TFRST	RFIRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。レシーブ FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 2 10 : 8 11 : 14

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>レシーブ FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

15.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) とレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

15.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。SCSPTR は、パワーオンリセット時に H'0050 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブレイク入出力</p> <p>シリアルポートの TXD 端子の出力条件を指定します。実際に TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : TXD 端子に SPB2DT ビットの値を出力しない 1 : TXD 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブレイクデータ</p> <p>シリアルポートの RXD 端子の入力データおよび TXD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TXD 端子を出力に設定した場合、SPB2DT ビットの値が TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RXD 端子の値が読み出されます。ただし PFC で RXD 入力、TXD 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

15.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15-1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にオーバーランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO にいっぱい 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき <p>【注】 *¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² レシーブ FIFO データレジスタ (SCFRDR) ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

15.3.13 シリアル拡張モードレジスタ (SCSEMR)

SCSEMR は、SCIF の機能を拡張する 8 ビットのレジスタです。調歩同期式モード時の基本クロックを設定することにより転送レートを 2 倍にすることができます。チャンネル 1 およびチャンネル 2 のみ設定することができます。

クロック同期式モード時は必ず H'00 に設定してください。SCSEMR は、パワーオンリセット時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ABCS	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は、調歩同期式モード (SCSMR の C/ \bar{A}) ビット = 0 のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作
6~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.4 動作説明

15.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。これを表 15.9 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 の組み合わせで決まります。これを表 15.10 に示します。

(1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 15.9 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 15.10 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR		モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1		設定禁止	
1	0	x	クロック同期式モード	内部	同期クロックを出力
		0		外部	同期クロックを入力
	1	設定禁止			

【記号説明】 x : Don't care

15.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち上がりエッジで同期化を行います。また SCIF は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングします*ので、各ビットの中央で通信データが取り込まれます。

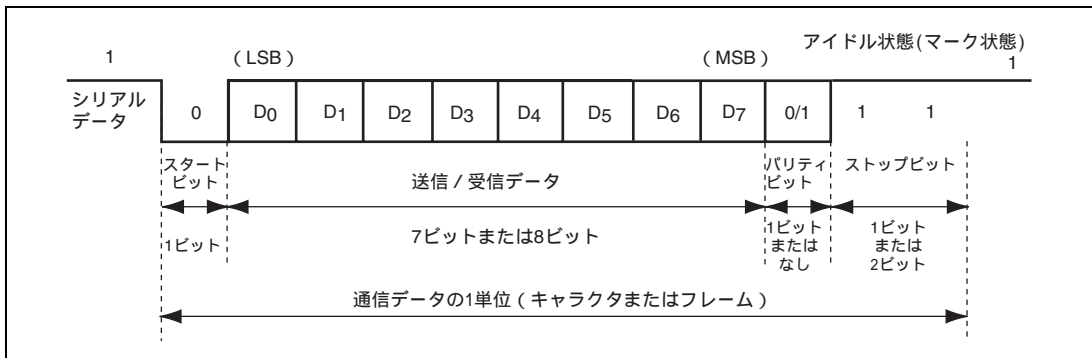


図 15.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

【注】 * SCSEMR の ABCS = 0 のときの例です。ABCS = 1 のときはビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 15.11 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 15.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の $CKE[1:0]$ の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 15.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍の周波数です。

(3) データの送信 / 受信動作

• SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、トランスミットFIFOデータレジスタ (SCFTDR)、レシーブFIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図15.3にSCIFの初期化フローチャートの例を示します。

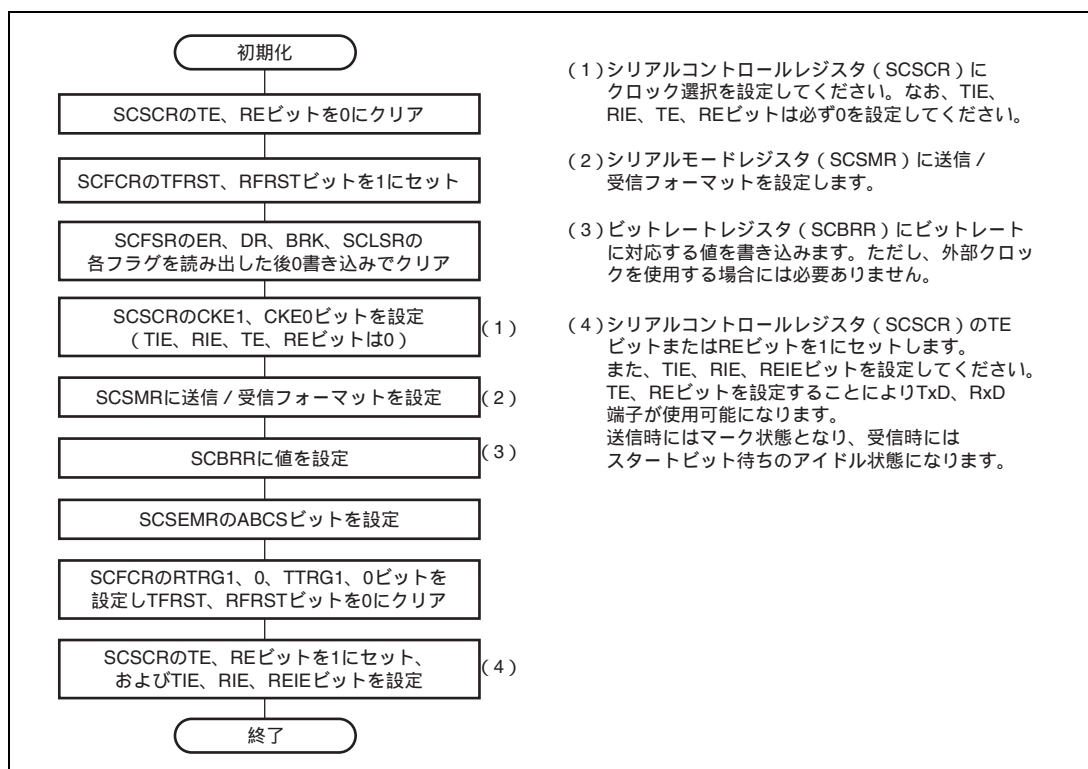


図 15.3 SCIF 初期化フローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

• シリアルデータ送信 (調歩同期モード)

図15.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

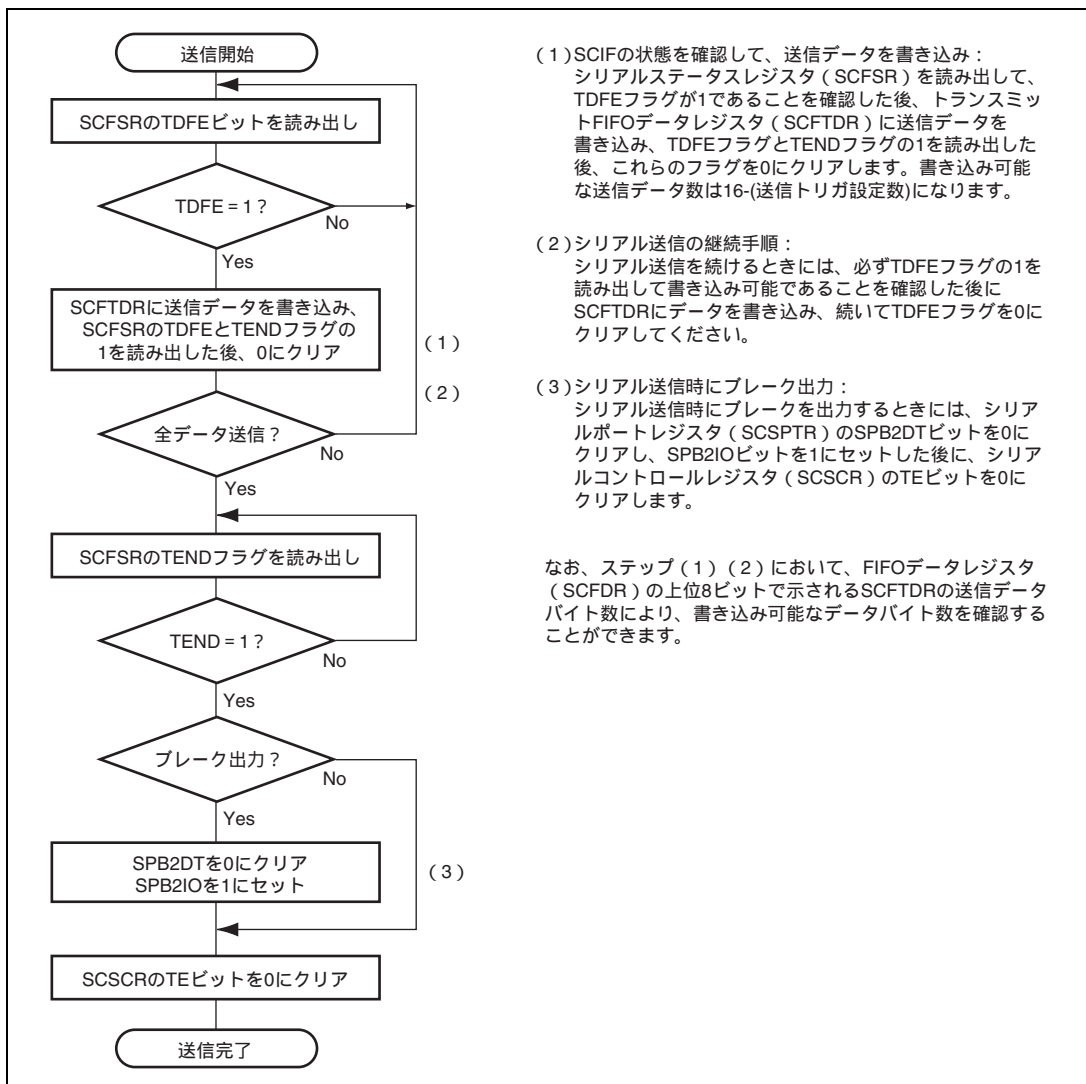


図 15.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTXD端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図15.5に示します。

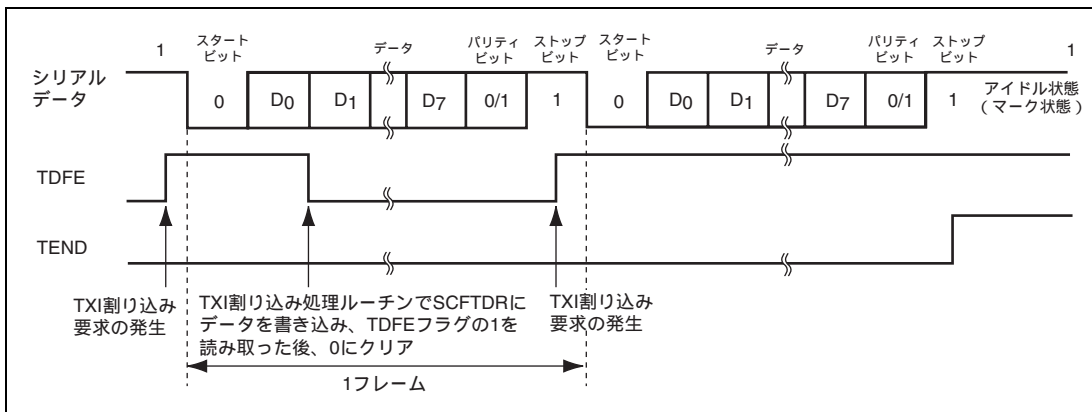


図 15.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

• シリアルデータ受信 (調歩同期式モード)

図15.6、図15.7にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

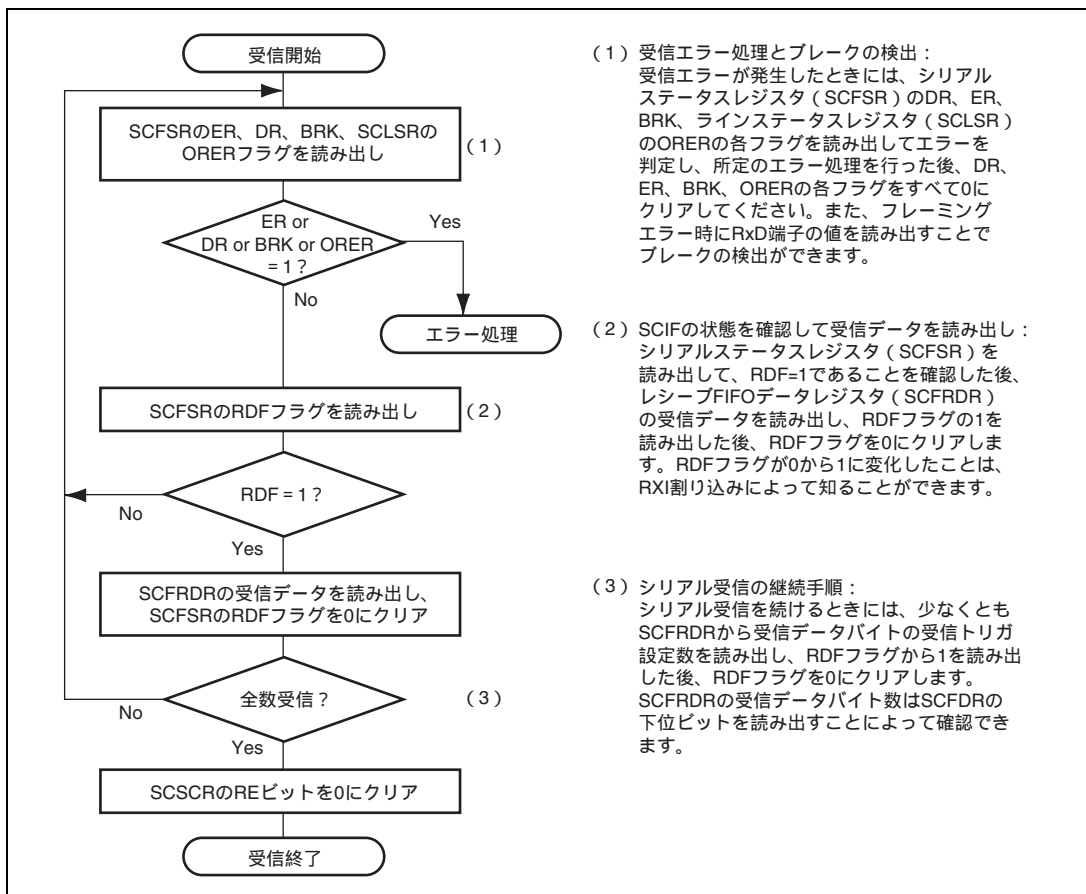


図 15.6 シリアル受信のフローチャートの例 (1)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

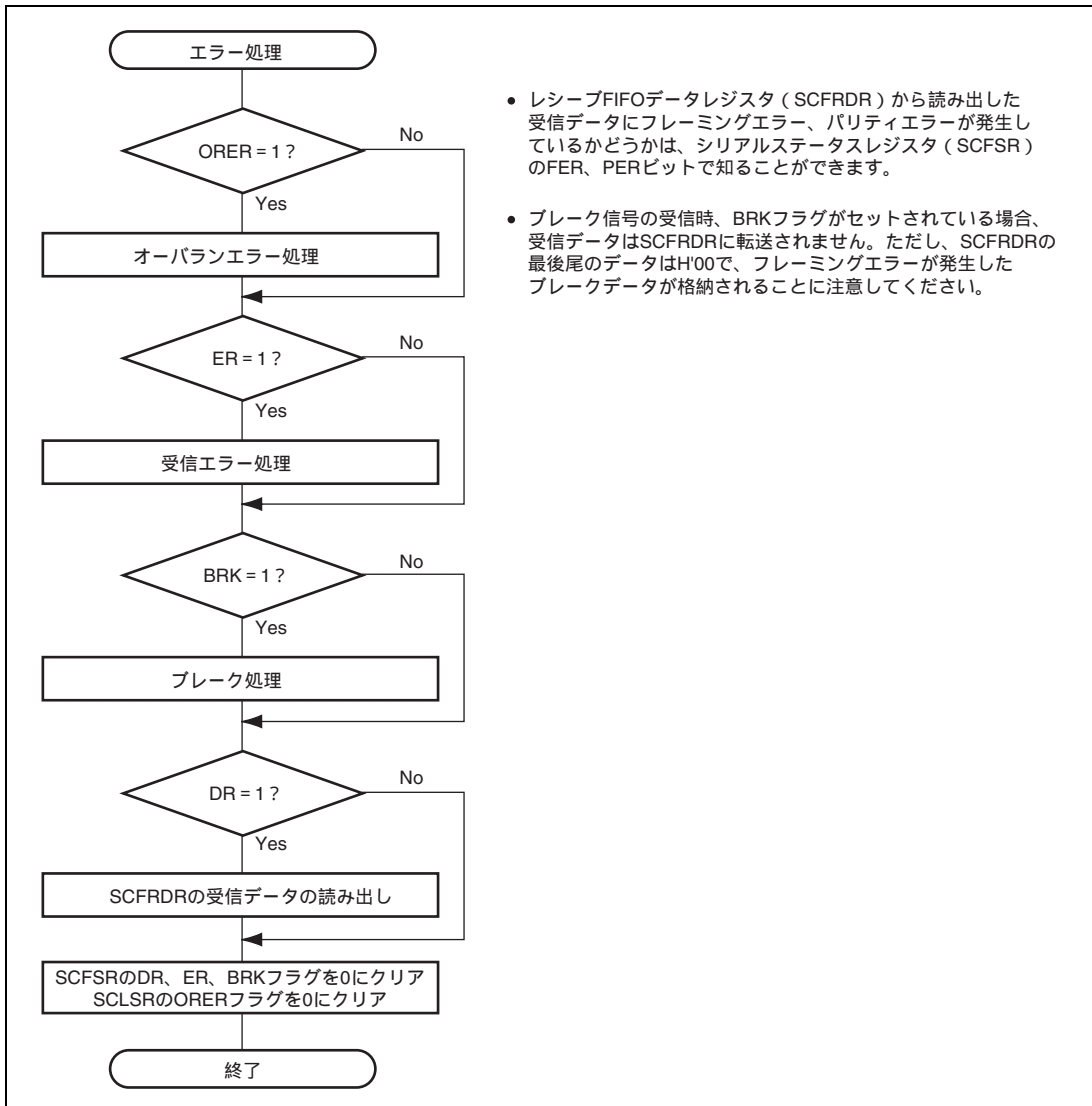


図 15.7 シリアル受信のフローチャートの例 (2)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシフシフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、レシフFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図15.8に示します。

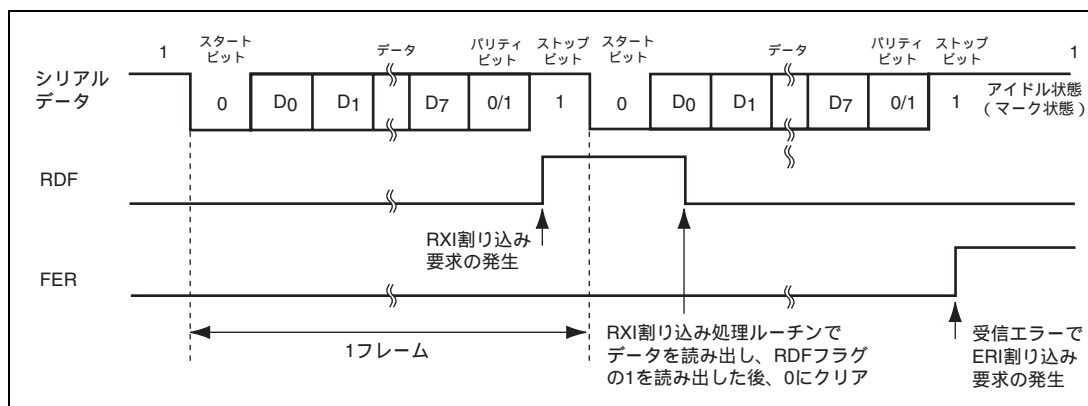


図 15.8 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

15.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.9 に示します。

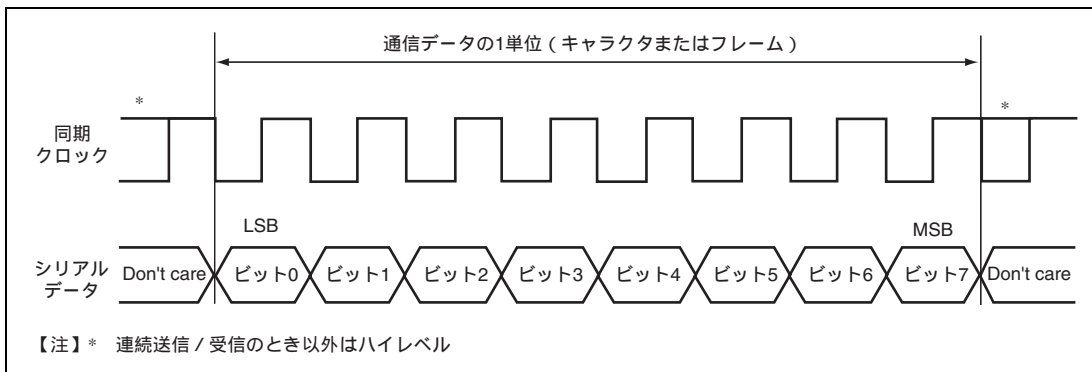


図 15.9 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIFは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMRの $C\bar{A}$ ビットとSCSCRのCKE[1:0]の設定により内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部同期クロックの2種類から選択できます。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択するとSCSCRのREビットが1の間、受信FIFO内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) のTE、REビットを0にクリアした後、以下の手順でSCIFを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。REビットを0にクリアしてもRDF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

図 15.10 に SCIF の初期化フローチャートの例を示します。

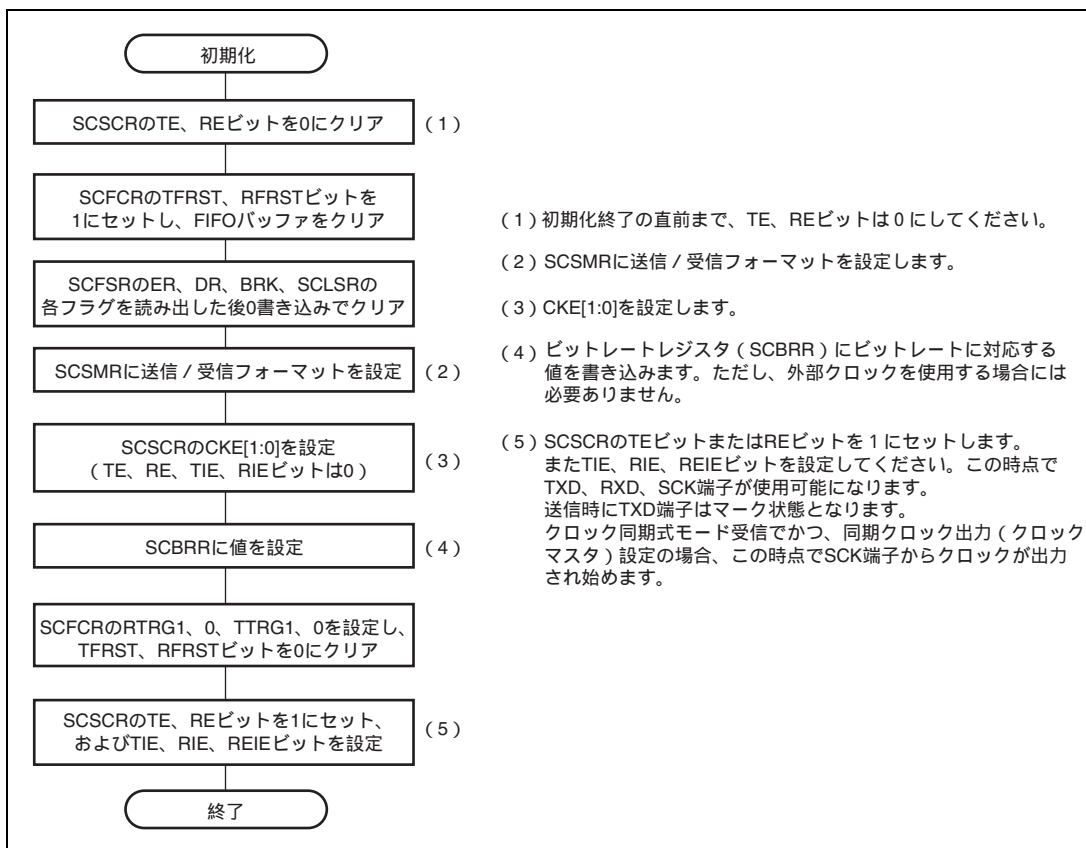


図 15.10 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図15.11にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

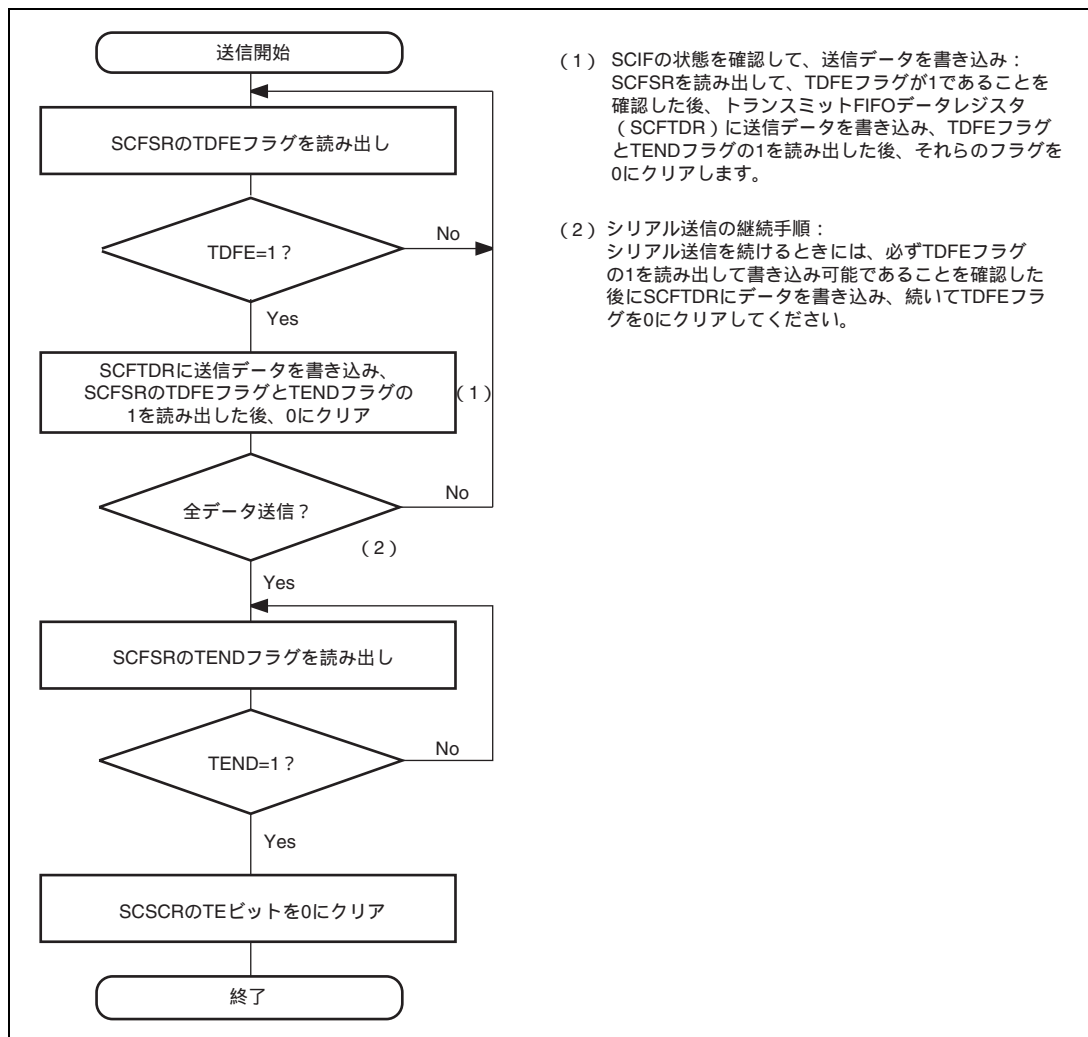


図 15.11 シリアル送信のフローチャートの例

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTXD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TXD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図15.12にSCIFの送信時の動作例を示します。

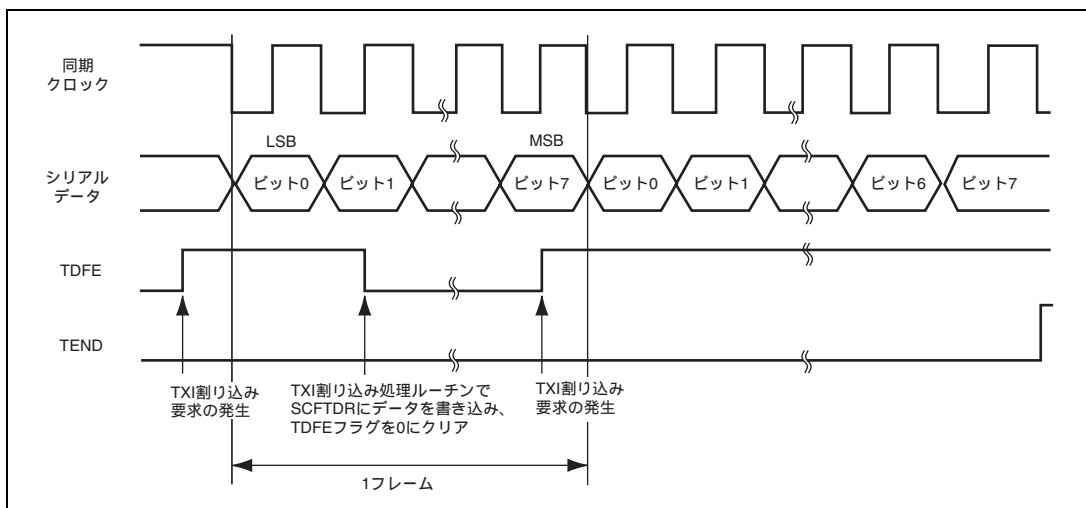


図 15.12 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図15.13、図15.14にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

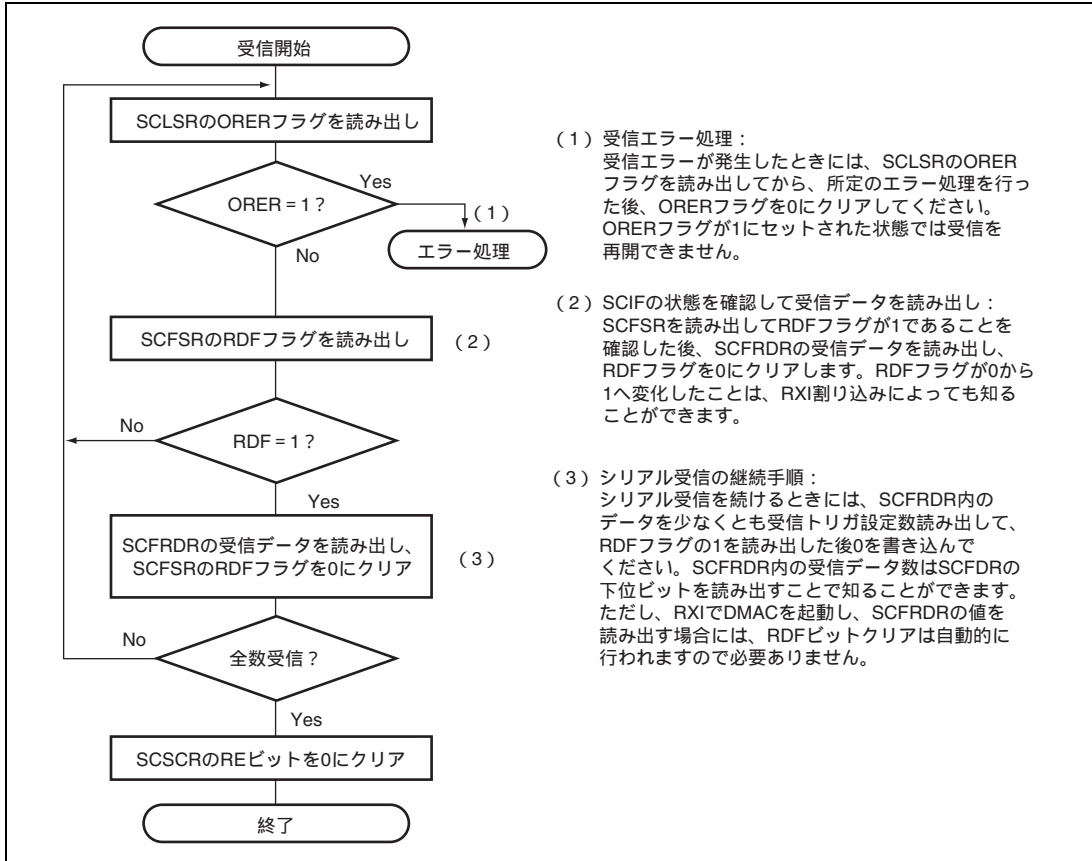


図 15.13 シリアル受信のフローチャートの例 (1)

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

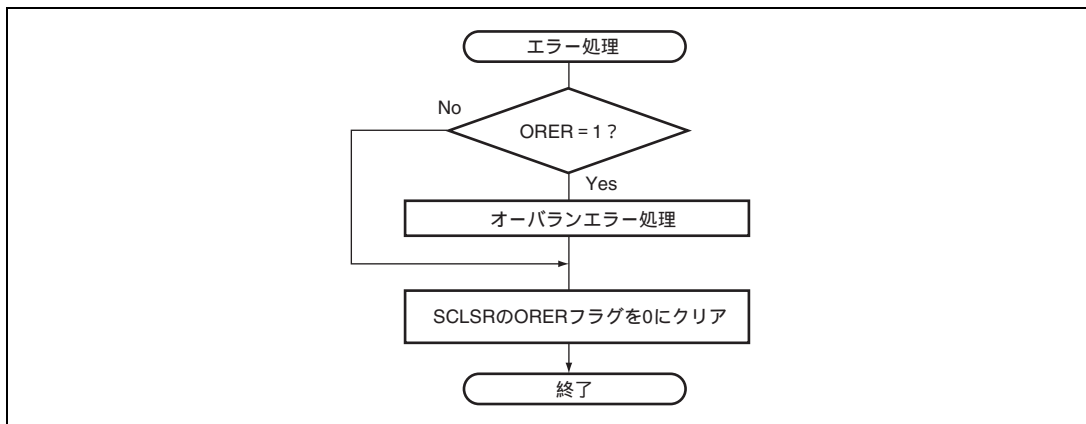


図 15.14 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたとき RDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバーランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図15.15にSCIFの受信時の動作例を示します。

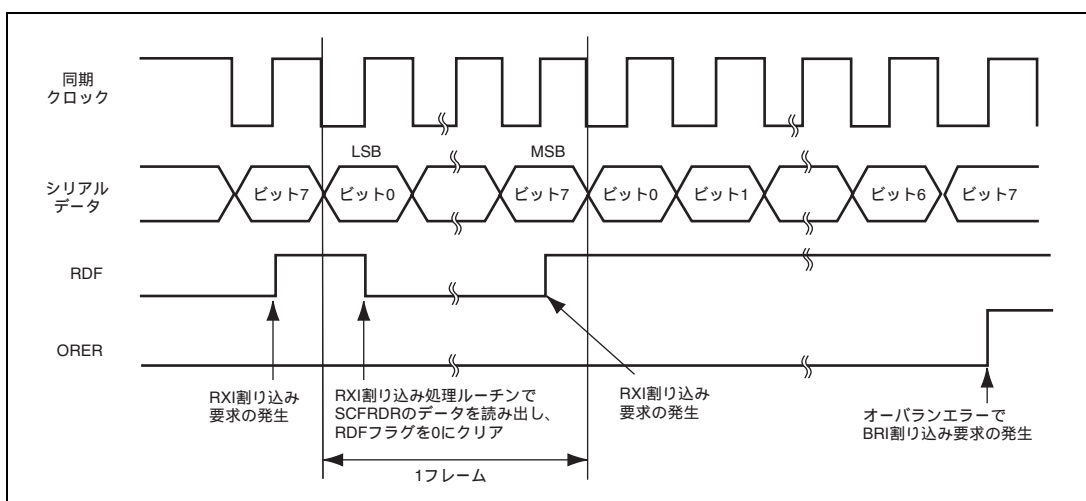


図 15.15 SCIF の受信時の動作例

• シリアルデータ送受信同時動作 (クロック同期モード)

図15.16にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

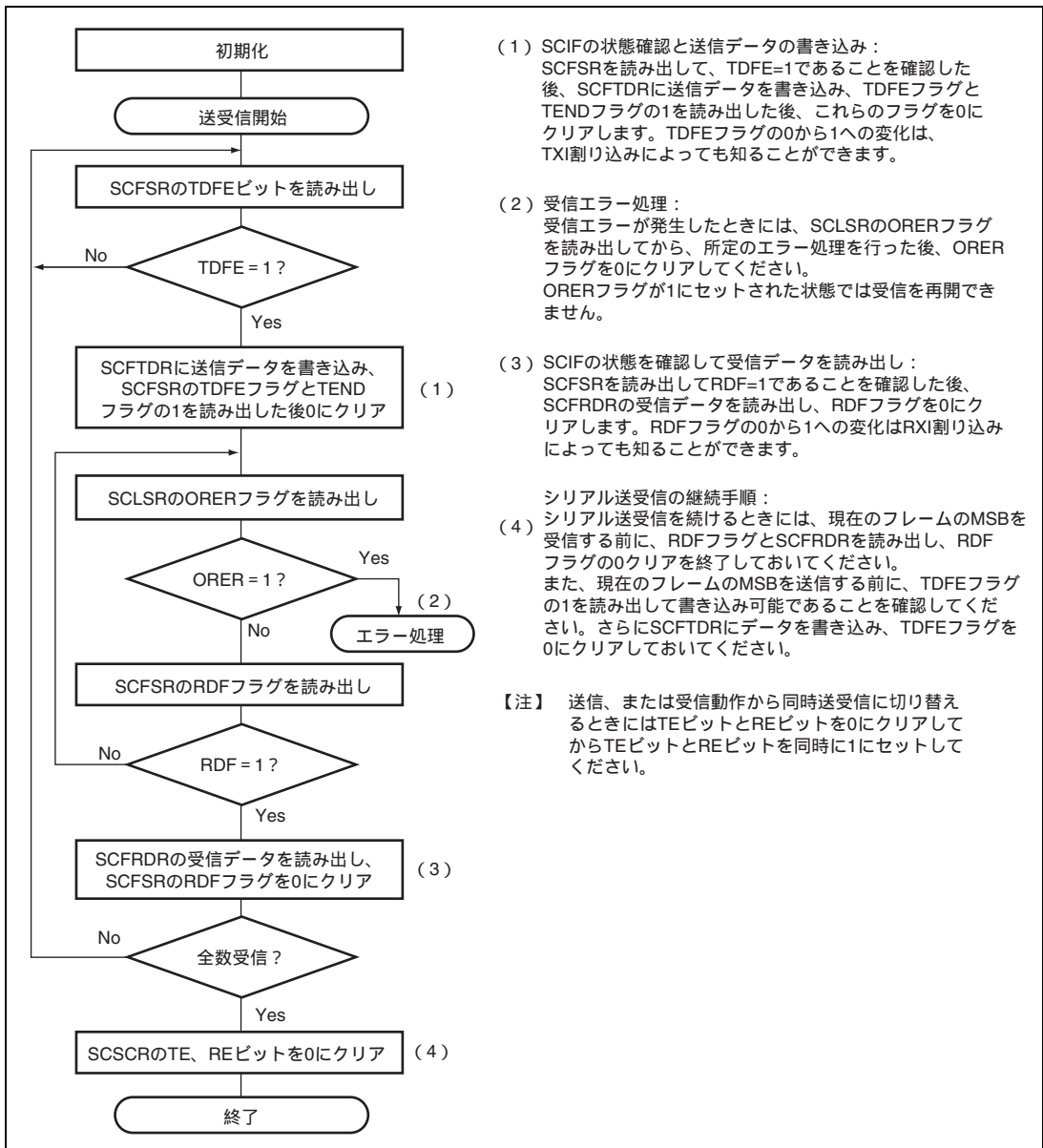


図 15.16 シリアルデータ送受信フローチャートの例

15.5 SCIF の割り込み

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDFE フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 15.12 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

15.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

15.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、トランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE のクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

15.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、レシーブ FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

15.6.3 DMAC 使用上の制約事項

TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

15.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

15.6.5 ブレークの送り出し

TXD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子から 0 が出力されます。

15.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています*。受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます*。このタイミングを図 15.17 に示します。

SCSEMR の ABCS ビット=1 のとき、SCIF はデータを 1 ビット期間の 8 倍の周波数クロックの 4 番目でサンプリングします。

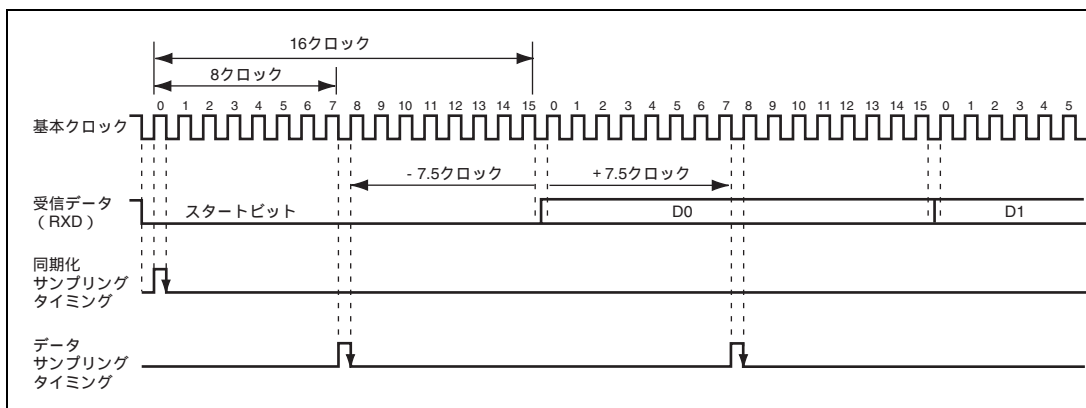


図 15.17 調歩同期式モードでの受信データサンプリングタイミング

【注】 * SCSEMR の ABCS = 0 のときの例です。ABCS = 1 のときはビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

したがって、調歩同期モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (ABCS = 0 のとき N=16、ABCS = 1 のとき N=8)

D : クロックデューティ (D:0 ~ 1.0)

L : フレーム長 (L=9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

15.6.7 シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて

シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ (SCFRDR) のステータスフラグです。CPU もしくは DMAC によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグは消えてしまいます。

受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO レジスタを読み出してください。

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

16. I²C バスインタフェース 3 (IIC3)

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

16.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。

- 割り込み要因 : 6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能

SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因 : 4種類

送信データエンプティ、送信終了、受信データフル、オーバランエラー

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

16. I²C バスインタフェース 3 (IIC3)

図 16.1 に I²C バスインタフェース 3 のブロック図を示します。

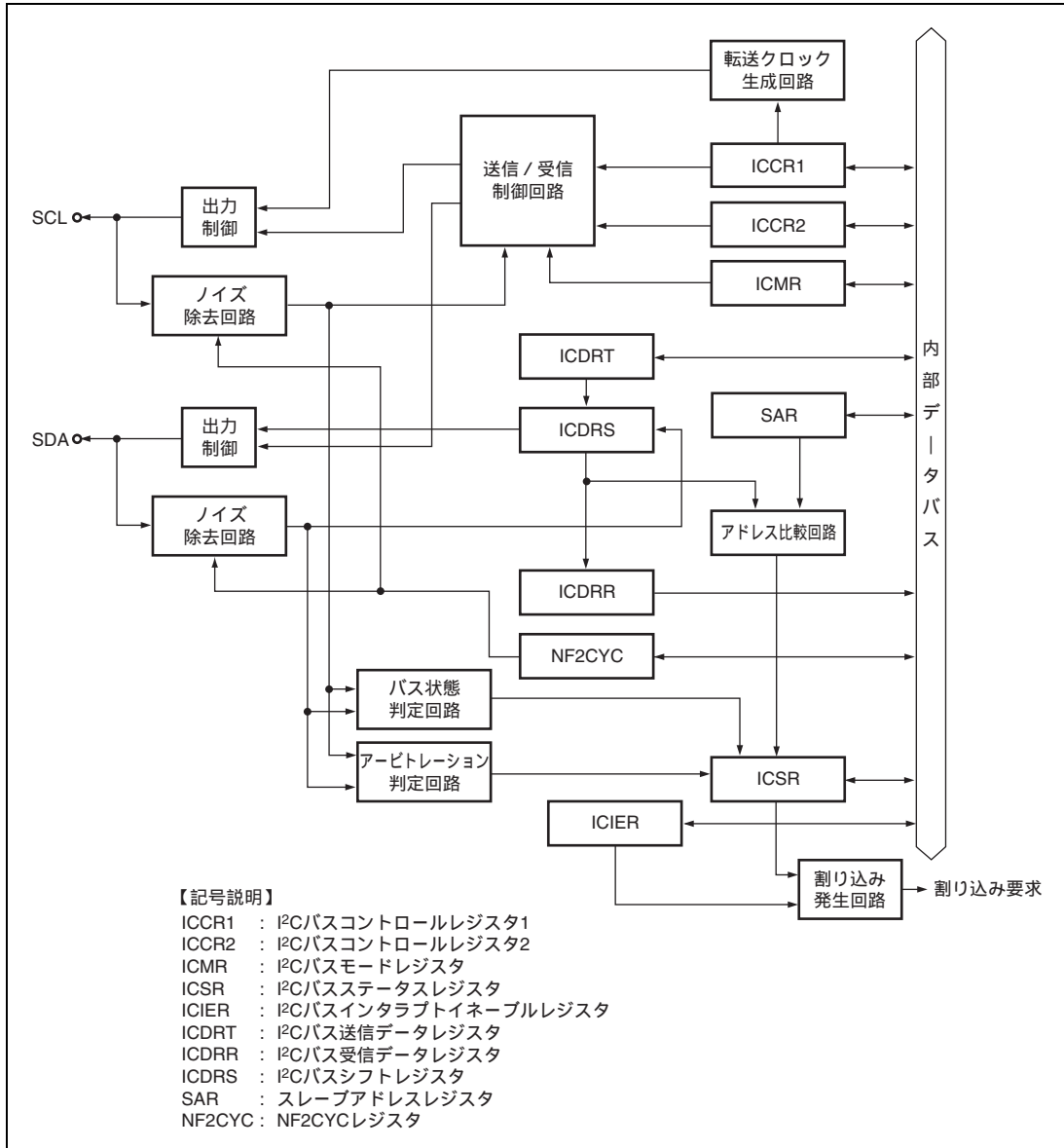


図 16.1 I²C バスインタフェース 3 のブロック図

16.2 入出力端子

I²C バスインタフェース 3 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

図 16.2 に入出力端子の外部回路接続例を示します。

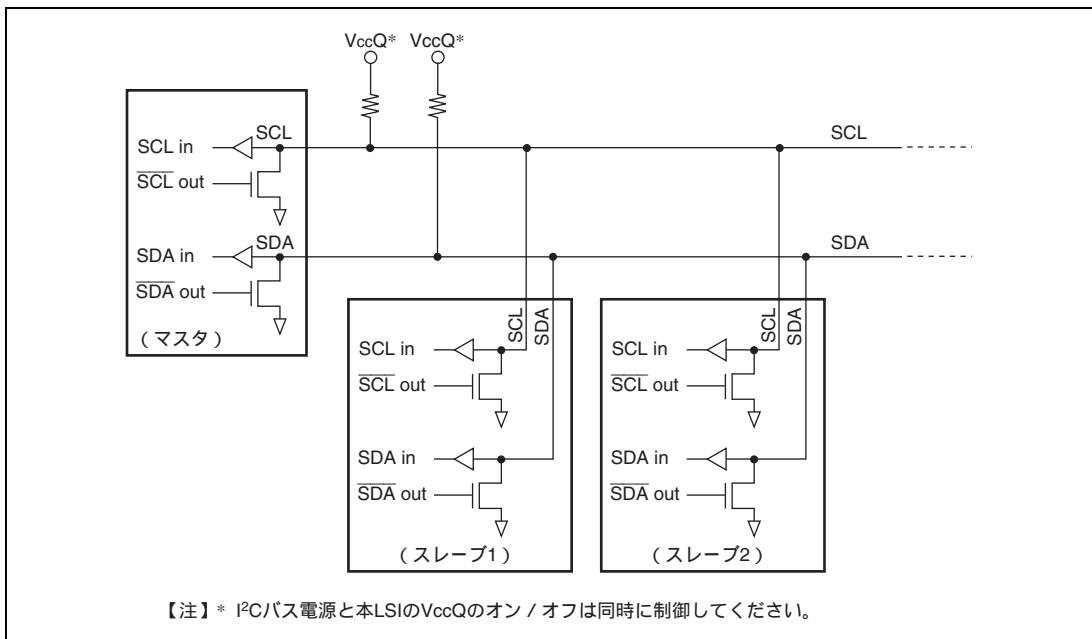


図 16.2 入出力端子の外部回路接続例

16.3 レジスタの説明

I²C バスインタフェース 3 には以下のレジスタがあります。

表 16.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
I ² C バスコントロールレジスタ 1	ICCR1	R/W	H'00	H'FFFEE000	8
I ² C バスコントロールレジスタ 2	ICCR2	R/W	H'7D	H'FFFEE001	8
I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFFEE002	8
I ² C バスインタラプティネーブルレジスタ	ICIER	R/W	H'00	H'FFFEE003	8
I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'FFFEE004	8
スレープアドレスレジスタ	SAR	R/W	H'00	H'FFFEE005	8
I ² C バス送信データレジスタ	ICDRT	R/W	H'FF	H'FFFEE006	8
I ² C バス受信データレジスタ	ICDRR	R/W	H'FF	H'FFFEE007	8
NF2CYC レジスタ	NF2CYC	R/W	H'00	H'FFFEE008	8

16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スレープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ICCR1 は、パワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR のリードなしの連続受信動作について許可 / 禁止を設定します。マスタ受信モードで ICDRR の読み出し処理を SCL の 8 クロックの立ち上がりまでにできない場合は、RCVD = 1 に設定して 1 バイトごとの受信を行ってください。 0: 連続受信動作の許可 1: 連続受信動作の禁止

16. I²C バスインタフェース 3 (IIC3)

ビット	ビット名	初期値	R/W	説 明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択 送信/受信選択</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。</p> <p>MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。</p> <p>00：スレーブ受信モード 01：スレーブ送信モード 10：マスタ受信モード 11：マスタ送信モード</p>
3~0	CKS[3:0]	0000	R/W	<p>転送クロック選択</p> <p>マスタモードのとき、必要な転送レート（表 16.3 参照）にあわせて設定してください。</p>

16. I²C バスインタフェース 3 (IIC3)

表 16.3 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート (kHz)			
					P = 32MHz (128/4)	P = 36MHz (144/4)	P = 40MHz (160/4)	
0	0	0	0	P /44	727.3	818.2	909.1	
			1	P /52	615.4	692.3	769.2	
		1	0	P /64	500.0	562.5	625.0	
			1	P /72	444.4	500.0	555.6	
	1	0	0	P /84	381.0	428.6	476.2	
			1	P /92	347.8	391.3	434.8	
		1	0	P /100	320.0	360.0	400.0	
			1	P /108	296.3	333.3	370.4	
	1	0	0	0	P /176	181.8	204.5	227.3
				1	P /208	153.8	173.1	192.3
			1	0	P /256	125.0	140.6	156.3
				1	P /288	111.1	125.0	138.9
1		0	0	P /336	95.2	107.1	119.0	
			1	P /368	87.0	97.8	108.7	
		1	0	P /400	80.0	90.0	100.0	
			1	P /432	74.1	83.3	92.6	

【注】 外部仕様を満足するように設定してください。

16.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ICCR2 はパワーオンリセットで H7D に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	バスビジー I ² C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I ² C バスフォーマットの場合、SCL = ハイレベルの状態では SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = ハイレベルの状態では SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。
6	SCP	1	R/W	開始 / 停止条件発行禁止 SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R/W	SDA 出力値制御 SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。 0: リード時、SDA 端子出力がローレベル ライト時、SDA 端子出力をローレベルに変更 1: リード時、SDA 端子出力がハイレベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗によりハイレベル出力)
4	SDAOP	1	R/W	SDAO ライトプロテクト SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。

16. I²C バスインタフェース 3 (IIC3)

ビット	ビット名	初期値	R/W	説 明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C バスのレジスタを除くコントロール部をリセットします。I ² C バスの動作中に通信不具合などによりハングアップしたとき、IICRST ビットを 1 にセットすると IIC3 の一部のレジスタとコントロール部をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、転送ビット数の選択を行います。

ICMR はパワーオンリセットで H'38 に初期化されます。また、ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 I ² C バスフォーマットで使用するときは 0 に設定してください。 0 : MSB ファースト 1 : LSB ファースト
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

16. I²C バスインタフェース 3 (IIC3)

ビット	ビット名	初期値	R/W	説明																		
3	BCWP	1	R/W	<p>BC ライトプロテクト</p> <p>BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なお、クロック同期式シリアルフォーマットでは、BC[2:0]の書き換えは行わないでください。</p> <p>0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効</p>																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL がローレベル状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。また本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

16. I²C バスインタフェース 3 (IIC3)

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ICIER はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (TXI) の禁止 1: 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDDR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可 / 禁止、および、クロック同期式フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可

16. I²C バスインタフェース 3 (IIC3)

ビット	ビット名	初期値	R/W	説 明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIEは、ICSRのSTOPがセットされたとき、停止条件検出割り込み要求(STPI)の許可/禁止を選択します。</p> <p>0: 停止条件検出割り込み要求(STPI)の禁止</p> <p>1: 停止条件検出割り込み要求(STPI)の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う</p> <p>1: 受信アクノリッジが1の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2のBBSYを1にセットするとクリアされます。</p> <p>0: 受信アクノリッジ=0</p> <p>1: 受信アクノリッジ=1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで0を送出</p> <p>1: アクノリッジのタイミングで1を送出</p>

16. I²C バスインタフェース 3 (IIC3)

16.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

ICSR はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	トランスミットデータエンプティ [クリア条件] ・1の状態をリードした後、0をライトしたとき ・ICDRT ヘデータをライトしたとき [セット条件] ・ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき ・TRS をセットしたとき ・開始条件 (再送含む) を発行したとき ・スレーブモードで受信モードから送信モードになったとき
6	TEND	0	R/W	トランスミットエンド [クリア条件] ・1の状態をリードした後、0をライトしたとき ・ICDRT ヘデータをライトしたとき [セット条件] ・I ² C バスフォーマットの場合、TDRE が1の状態で SCL の9クロック目が立ち上がったとき ・クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	レシーブデータレジスタフル [クリア条件] ・1の状態をリードした後、0をライトしたとき ・ICDRR をリードしたとき [セット条件] ・ICDRS から ICDRR に受信データが転送されたとき

ビット	ビット名	初期値	R/W	説 明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • ICIERのACKC=1の状態、送信時、受信デバイスからアクノリッジがなかったとき
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、ゼネラルコール後および開始条件検出後の第1バイトのスレーブアドレスとSARに設定したアドレスが一致した後、停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I²Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA端子がハイレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6~SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき

16. I²C バスインタフェース 3 (IIC3)

ビット	ビット名	初期値	R/W	説明
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I ² C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1の状態をリードした後、0をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

16.3.6 スレーブアドレスレジスタ (SAR)

SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

SAR はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	SVA[6:0]							FS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマット選択 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくと、連続送信が可能です。ICDRT の初期値は H'FF です。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ICDRR はパワーオンリセットで H'FF に初期化されます。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

16.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「16.4.7 ノイズ除去回路」を参照してください。

NF2CYC はパワーオンリセットで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	NF2CYC	0	R/W	ノイズ除去幅選択 0: 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1: 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

16.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

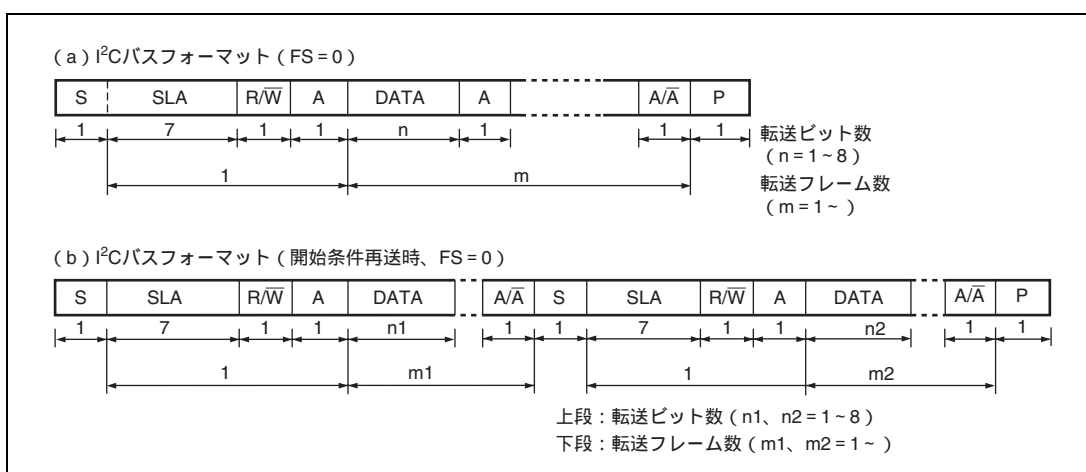


図 16.3 I²C バスフォーマット

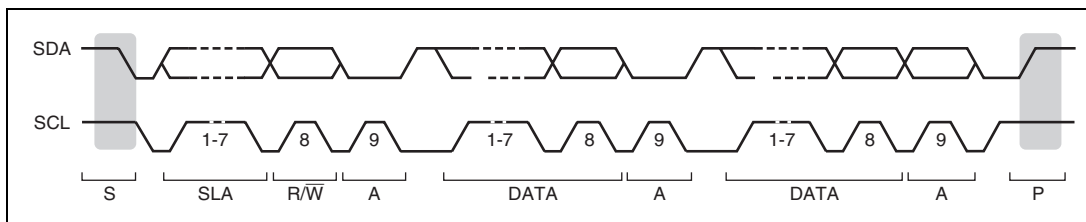


図 16.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = ハイレベルの状態では SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = ハイレベルの状態では SDA をローレベルからハイレベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICCR1のCKS[3:0]などを設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR \bar{W} を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

16. I²C バスインタフェース 3 (IIC3)

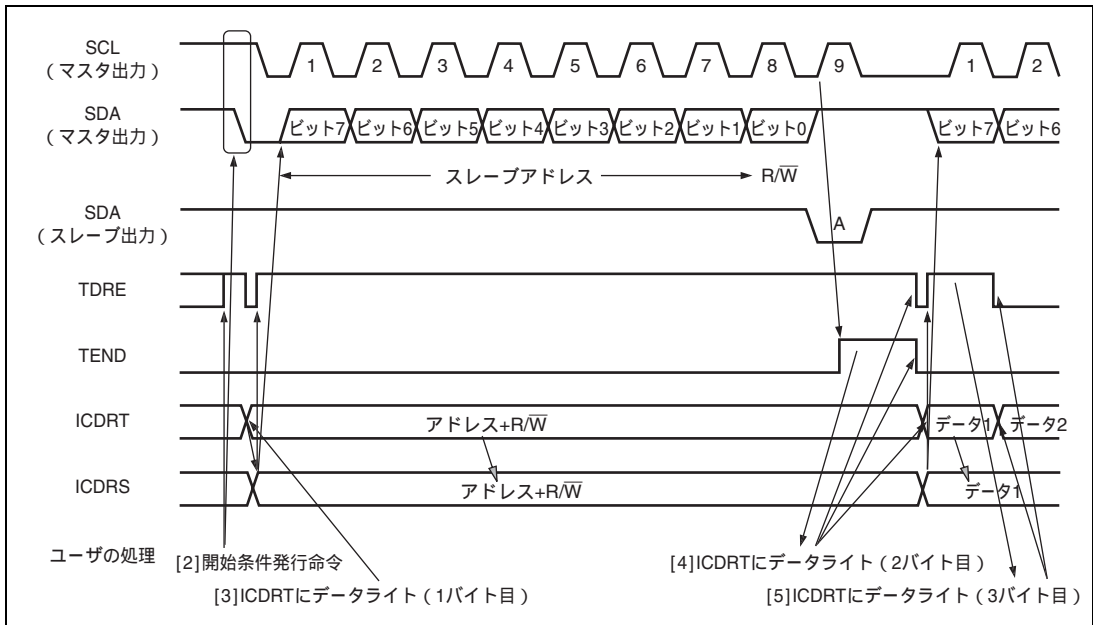


図 16.5 マスタ送信モード動作タイミング (1)

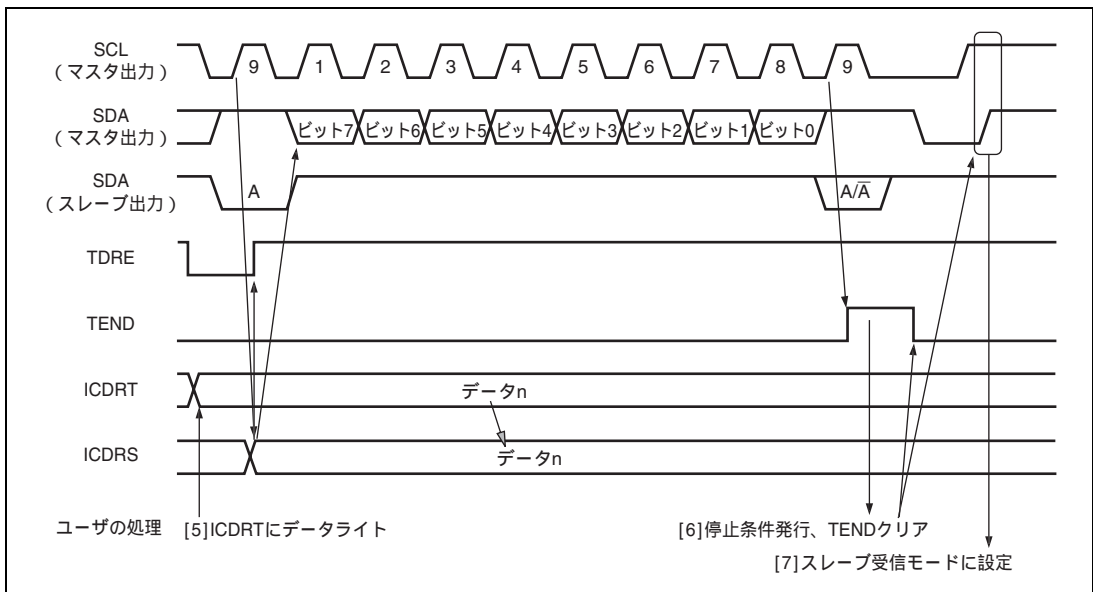


図 16.6 マスタ送信モード動作タイミング (2)

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

16. I²C バスインタフェース 3 (IIC3)

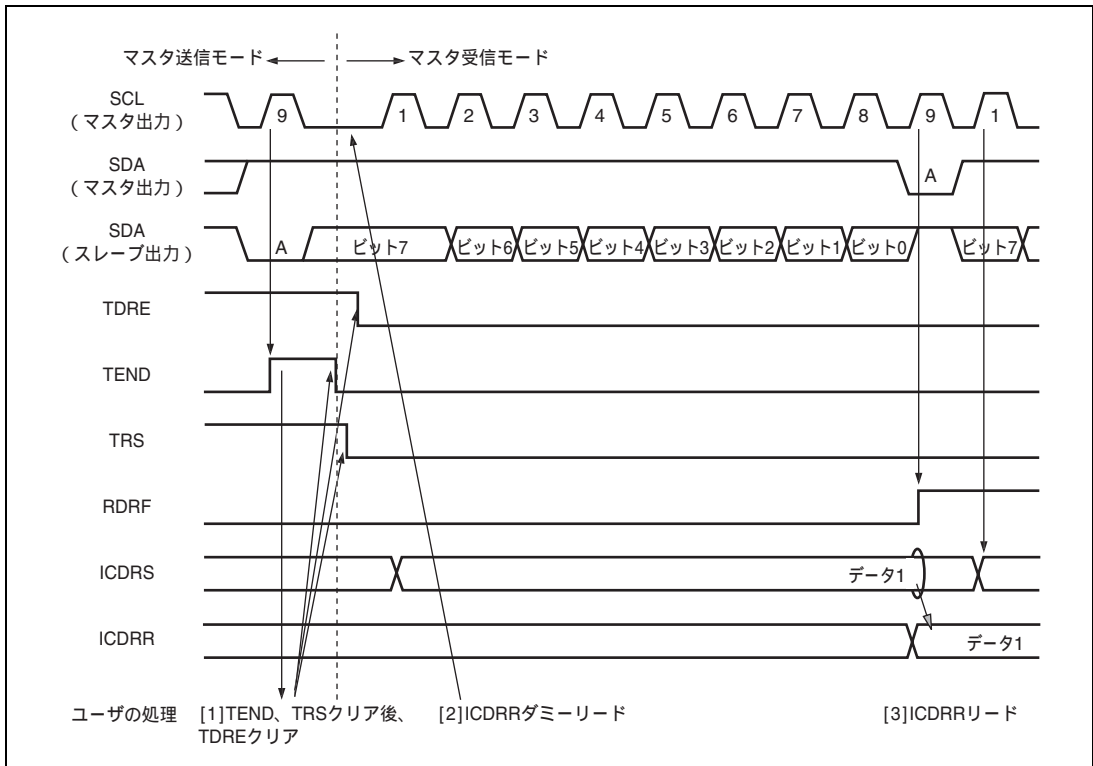


図 16.7 マスタ受信モード動作タイミング (1)

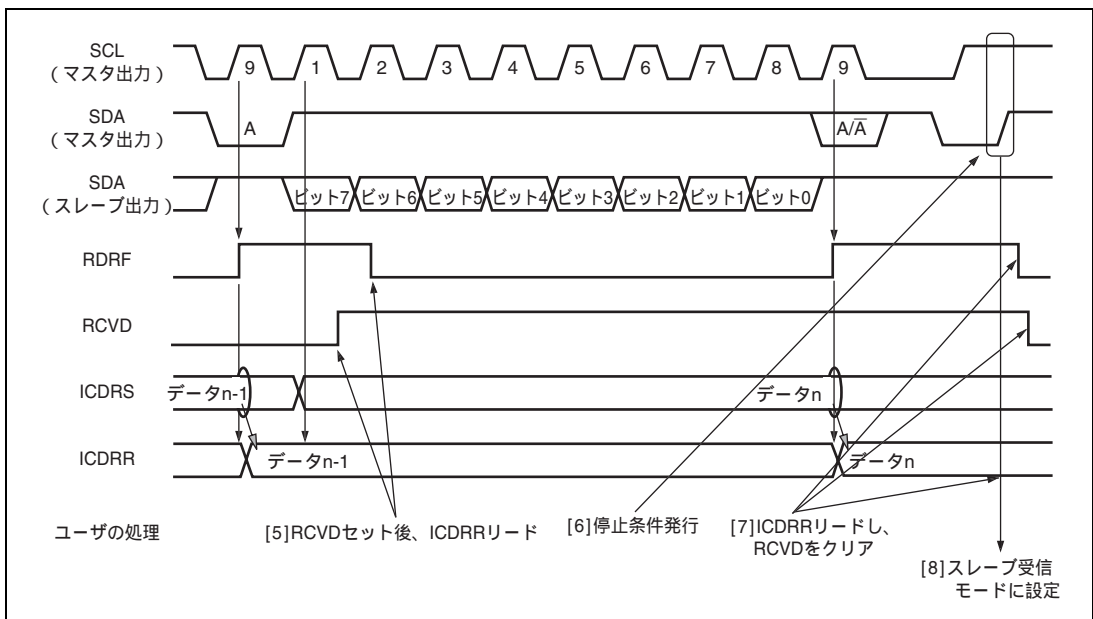


図 16.8 マスタ受信モード動作タイミング (2)

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]などを設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

16. I²C バスインタフェース 3 (IIC3)

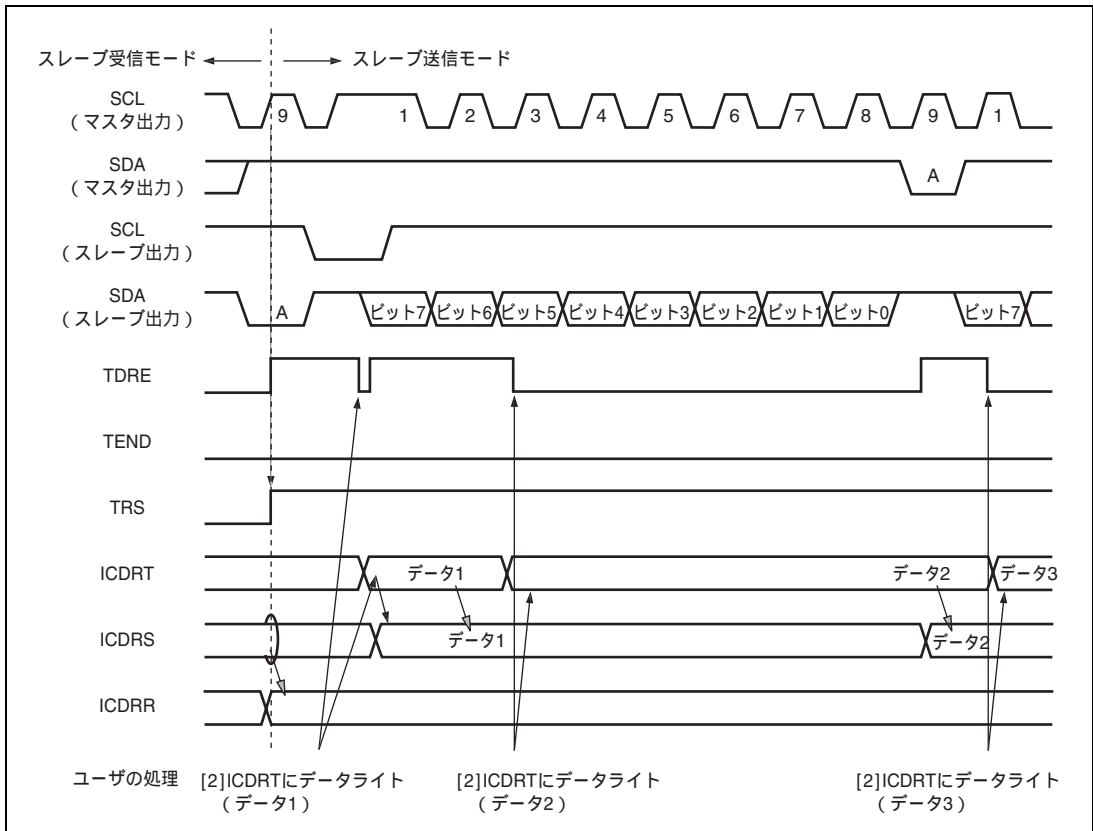


図 16.9 スレーブ送信モード動作タイミング (1)

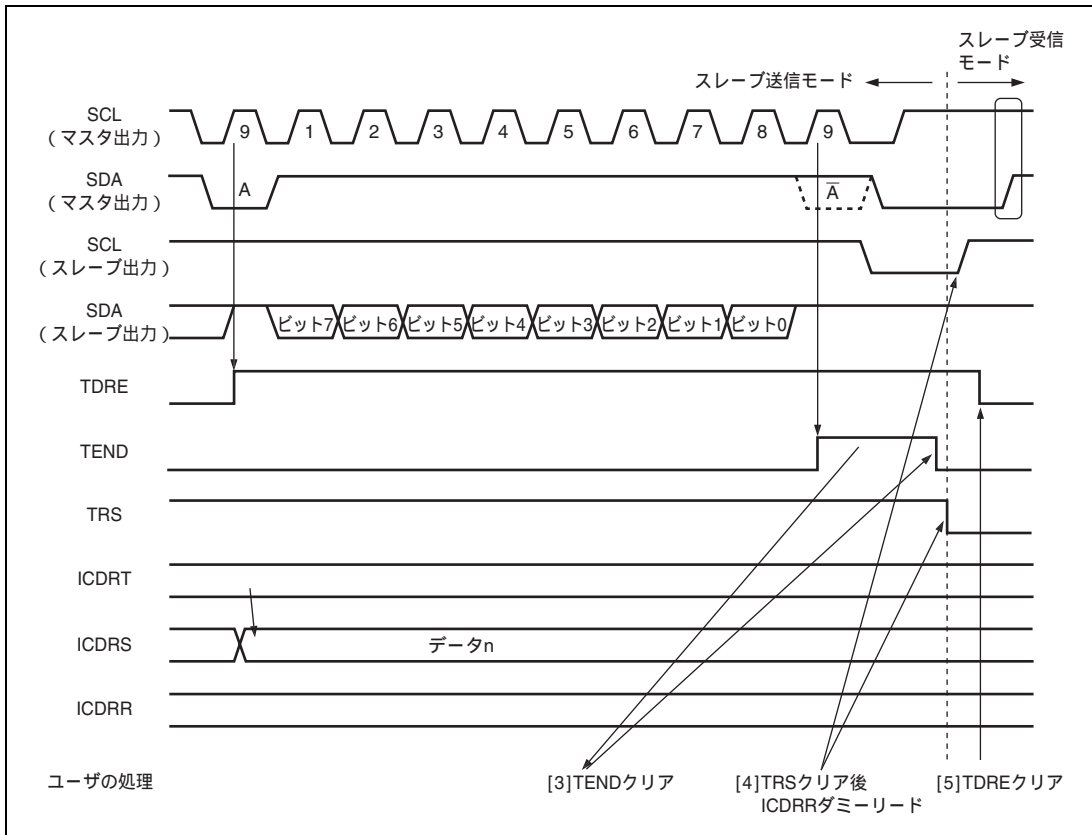


図 16.10 スレーブ送信モード動作タイミング (2)

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]などを設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレーブアドレス + R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをローレベルに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

16. I²C バスインタフェース 3 (IIC3)

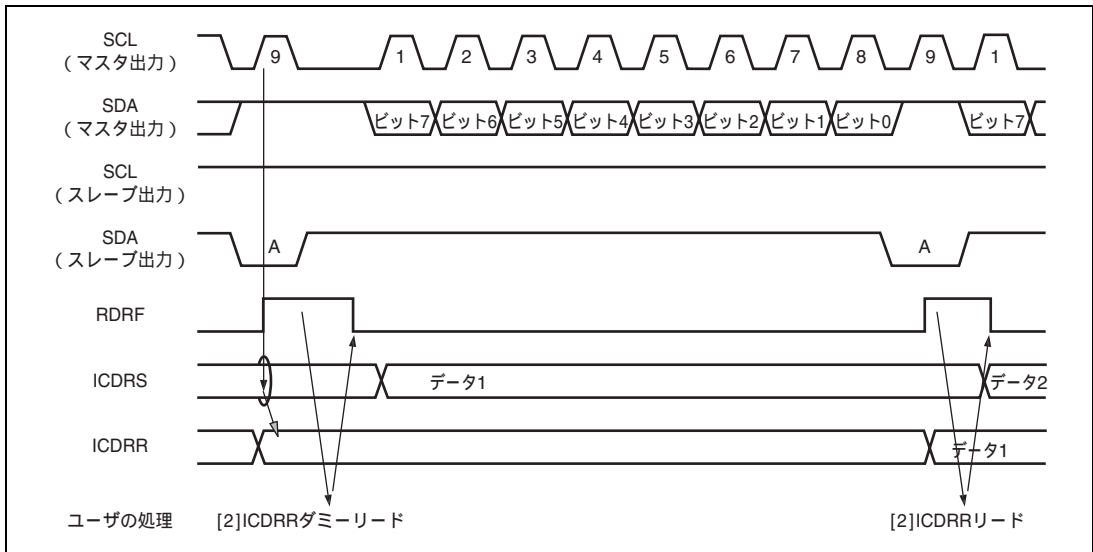


図 16.11 スレーブ受信モード動作タイミング (1)

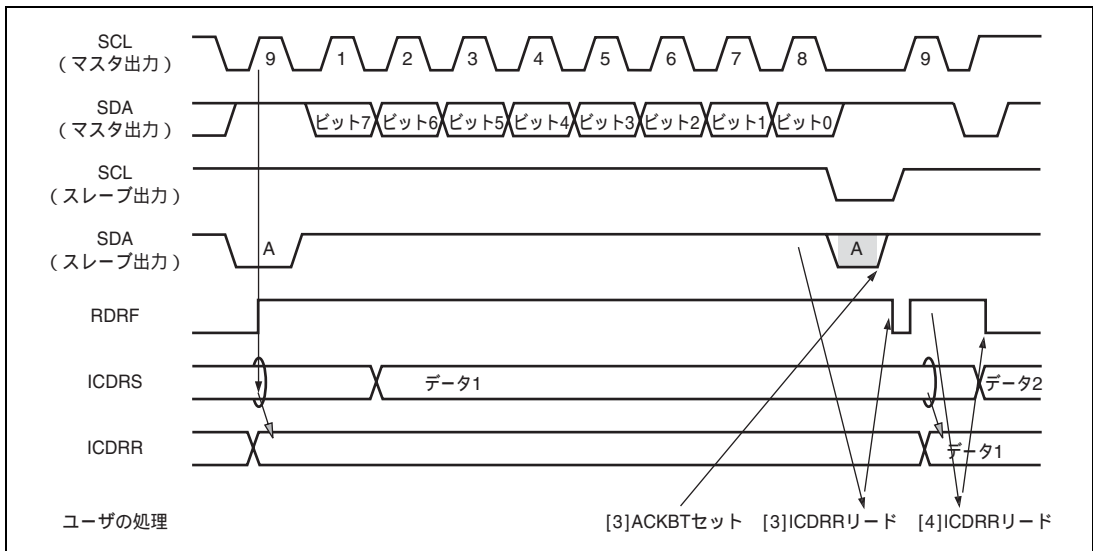


図 16.12 スレーブ受信モード動作タイミング (2)

16.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 16.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

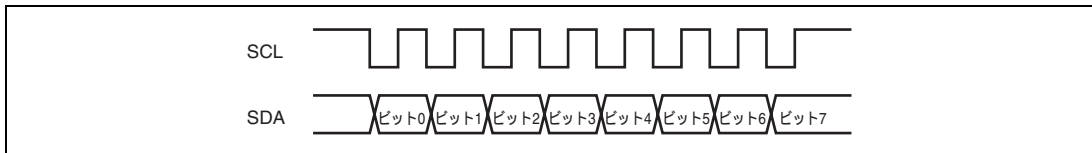


図 16.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 16.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

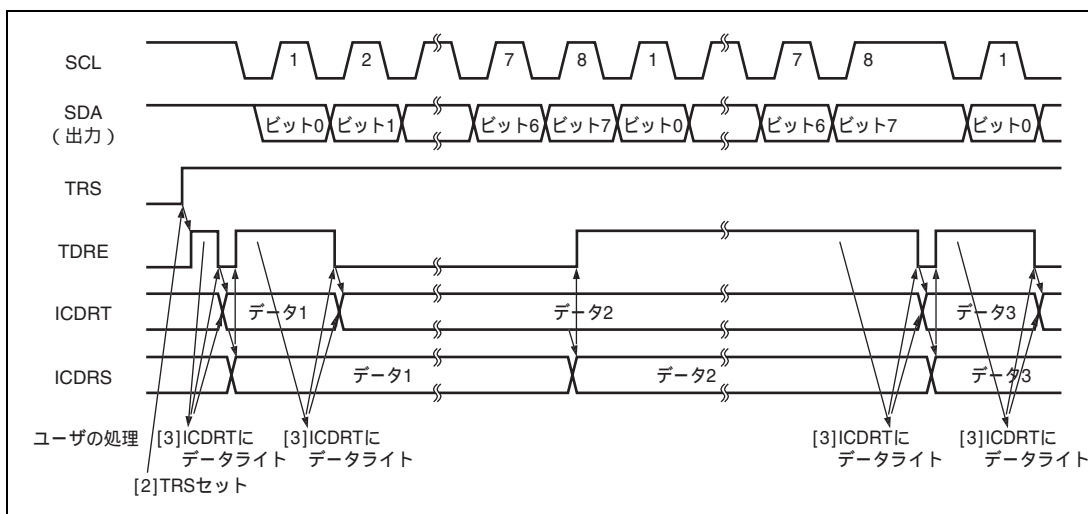


図 16.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 16.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]などを設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがハイレベルに固定されます。

【注】 MST = 1 で 1 バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 16.16 を参照してください。

1. ICCR1 の ICE ビットを 1 セットします。また ICCR1 の CKS[3:0]などを設定します（初期設定）。
2. ICCR1 の RCVD ビットが 0 の状態で、MST = 1 にセットします。これにより受信クロックの出力を開始します。
3. ICMR の BC[2]ビットが 1 セットされたことを確認後、ICCR1 の RCVD = 1 にセットしてください。これにより受信クロックを 1 バイト分出力した後、SCL がハイレベルに固定されます。

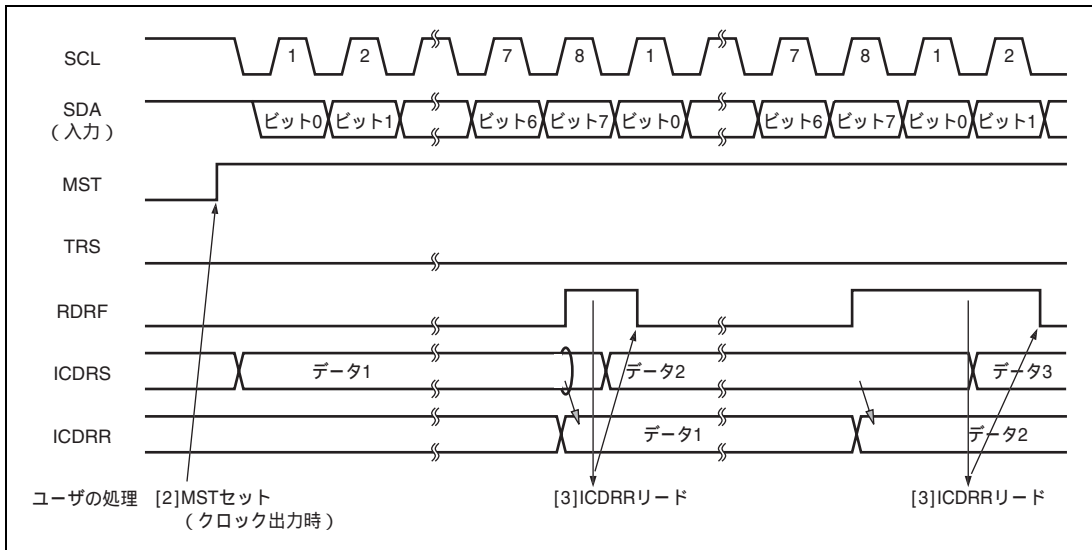


図 16.15 受信モード動作タイミング

16. I²C バスインタフェース 3 (IIC3)

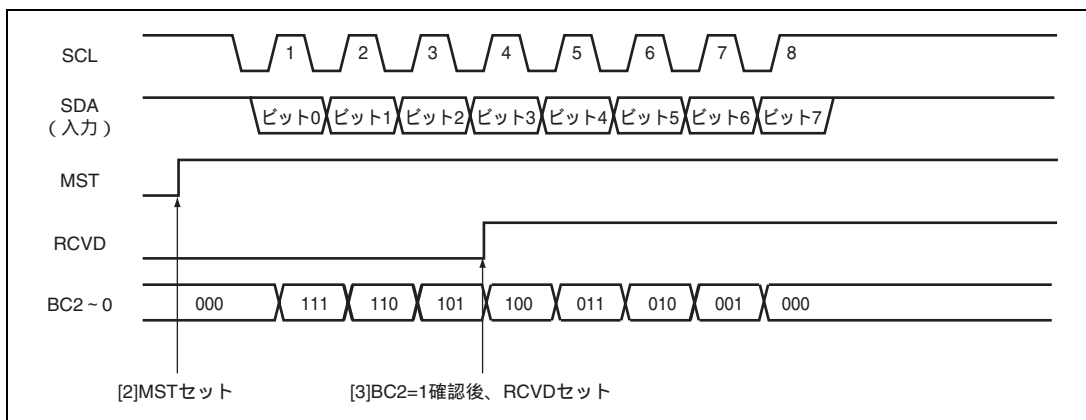


図 16.16 1 バイト受信動作タイミング (MST = 1)

16.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を介して内部に取り込まれます。図 16.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

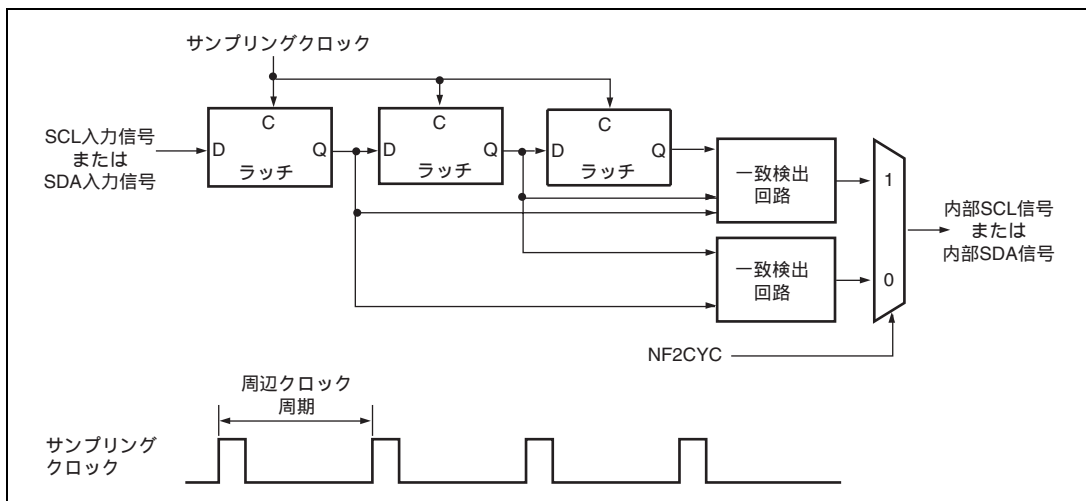


図 16.17 ノイズ除去回路のブロック図

16.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 16.18 ~ 図 16.21 に示します。

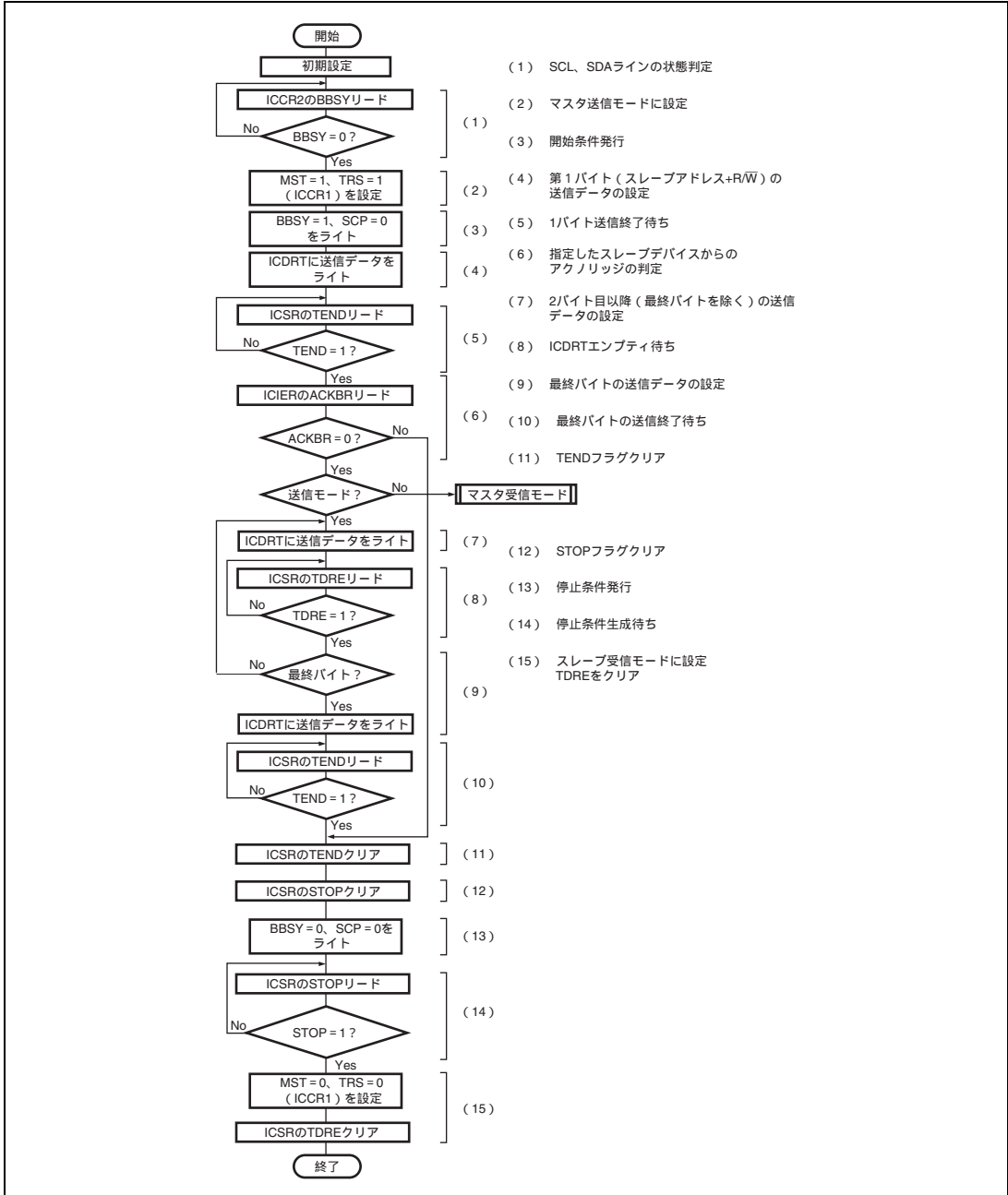


図 16.18 マスタ送信モードのフローチャート例

16. I²C バスインタフェース 3 (IIC3)

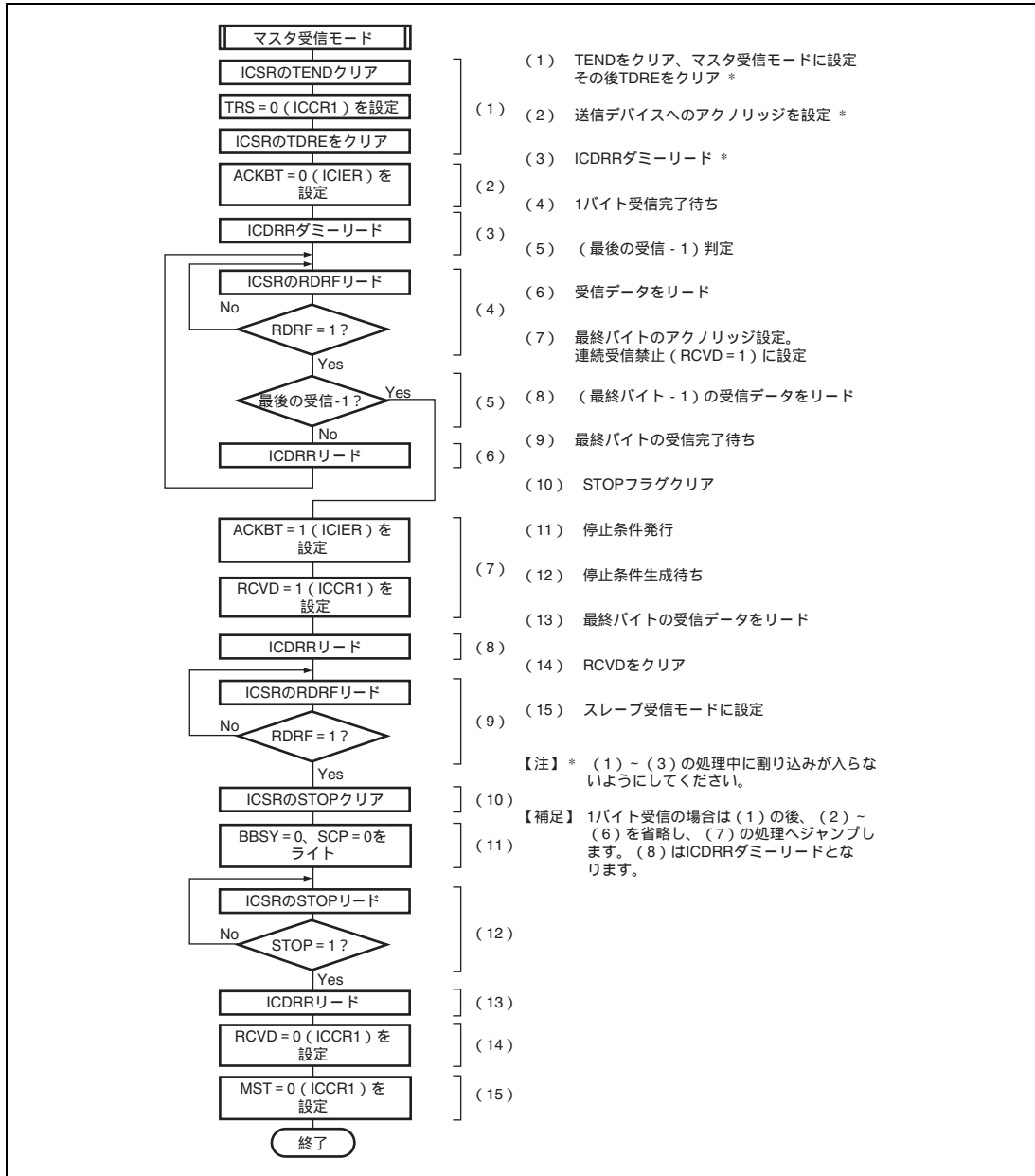


図 16.19 マスタ受信モードのフローチャート例

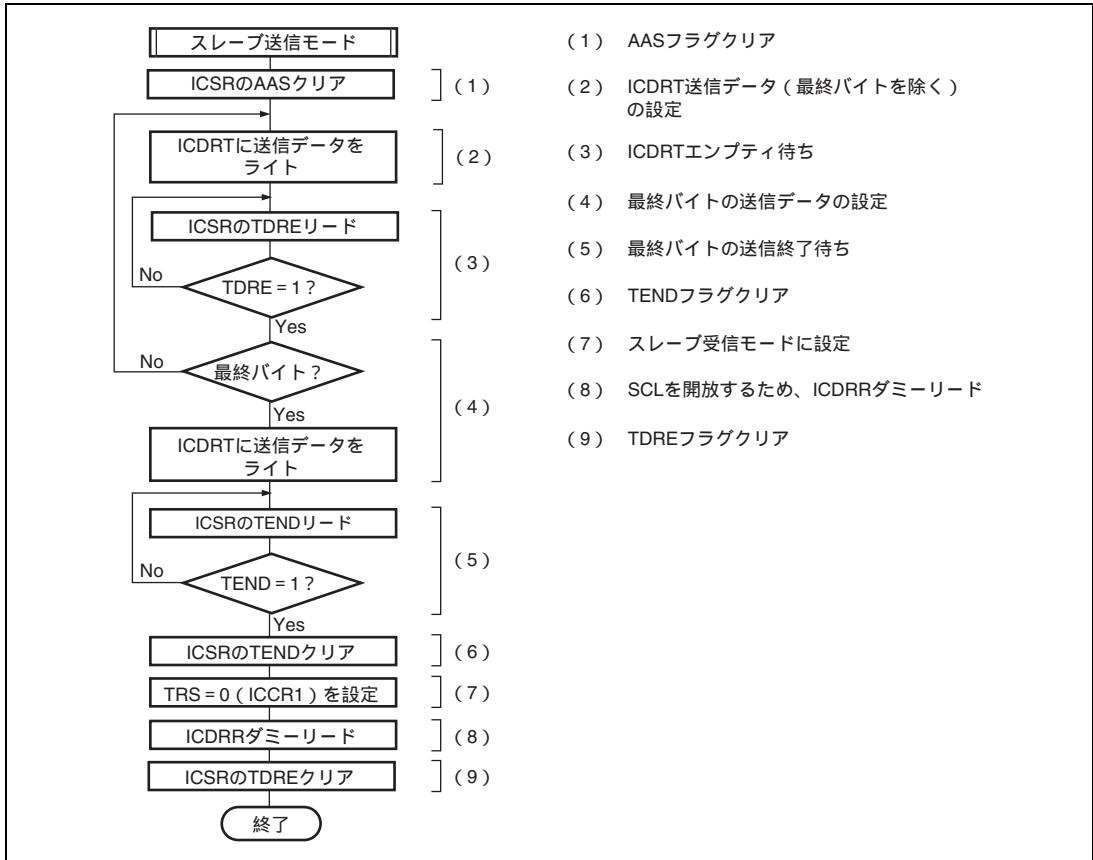


図 16.20 スレーブ送信モードのフローチャート例

16. I²C バスインタフェース 3 (IIC3)

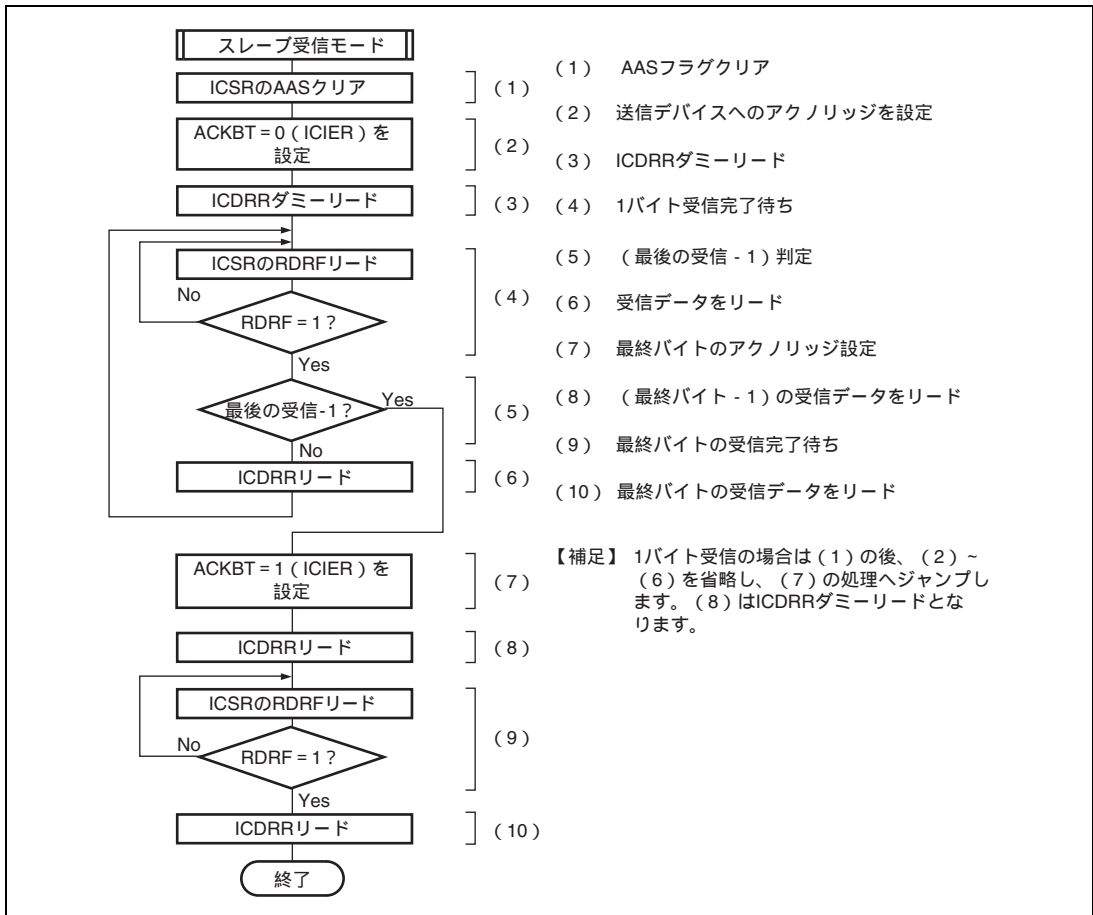


図 16.21 スレーブ受信モードのフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 16.4 に各割り込み要求の内容を示します。

表 16.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$		
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$		
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$		
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$		×
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$		×
アービトレーションロスト / オーバランエラー				

表 16.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、DMAC の起動設定を行っている場合は、DMAC を起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL がローレベルに引っ張られた場合
- SCL ラインの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりがなまった場合

の 2 つの状態でハイレベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 16.22 に、SCL をローレベル出力 Hi-Z にしてから SCL をモニタするまでの時間を表 16.5 に示します。

16. I²C バスインタフェース 3 (IIC3)

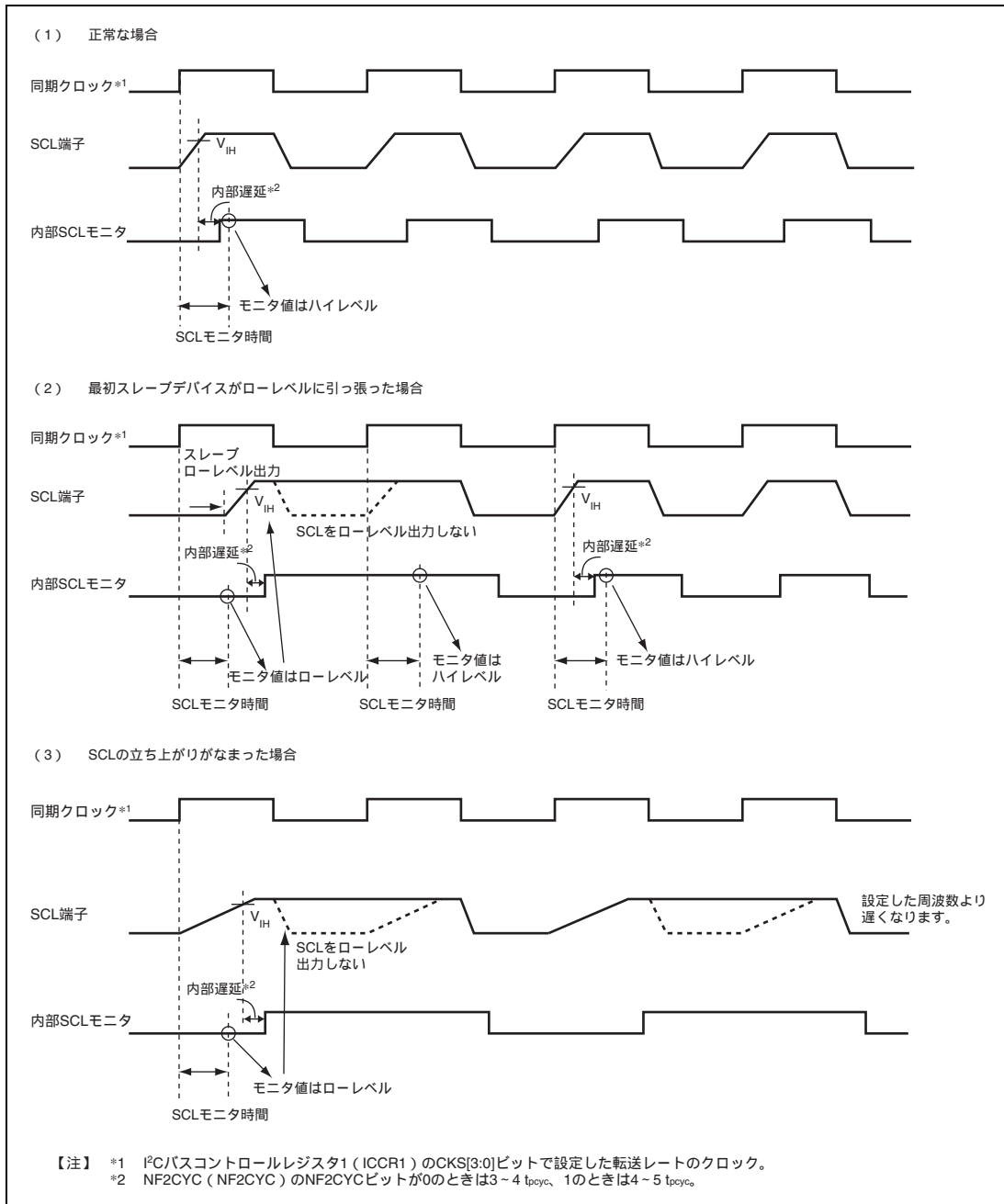


図 16.22 ビット同期回路のタイミング

表 16.5 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間
0	0	9 t _{pcyc} *
	1	21 t _{pcyc} *
1	0	39 t _{pcyc} *
	1	87 t _{pcyc} *

【注】 * t_{pcyc} は周辺クロック (P) の周期を示します。

16.7 使用上の注意事項

16.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本 LSI の IIC 転送レートの設定 (ICCR1.CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

16.7.2 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD = 1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か 2.の方法どちらかで対応してください。

1. マスタ受信モードで ICDRR をリードする処理は 8 クロックの立ち上がりまでに行ってください。
2. マスタ受信モードは RCVD = 1 にし、1 バイトごとの通信で処理を行ってください。

16.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

16.7.4 アービトレーションロスト時の MST と TRS ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST = 0、TRS = 0 を確認してください。

万一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

17. A/D 変換器 (ADC)

本 LSI は、逐次比較方式の 12 ビットの A/D 変換器を内蔵しています。

17.1 特長

- 分解能：12ビット
- 入力チャンネル数：8チャンネル
- 高速変換
 - A = 40MHz動作時：1チャンネルあたり最小1.25 μ s
 - ADクロック = 40MHz、変換ステート = 50ステート
- 動作モード：2種類
 - 1サイクルスキャンモード：1～8チャンネルの連続A/D変換
 - 連続スキャンモード：1～8チャンネルの繰り返しA/D変換
- A/Dデータレジスタ
 - 8本のA/Dデータレジスタ (ADDR) があります。A/D変換した結果は、各入力チャンネルに対応したA/Dデータレジスタ (ADDR) に格納されます。
- サンプル&ホールド機能
 - 本LSIのA/D変換器はサンプル&ホールド回路を内蔵していますので、外部アナログ入力回路が簡単に構成できます。また、チャンネル0～2は、各チャンネルに専用のサンプル&ホールド回路を用意していますので、複数チャンネルの同時サンプリングが可能です。同時サンプリングができるのは、次の組み合わせです。
 - グループA (GrA)：チャンネル0、1、2のうち選択したアナログ入力端子を同時サンプリング
- A/D変換開始要求：3種類
 - ソフトウェア：ADCRのADSTビットの設定
 - タイマ：MTU2のTRGAN、TRG0N、TRG4AN、TRG4BN、MTU2SのTRGAN、TRG4AN、TRG4BN
 - 外部トリガ： $\overline{\text{ADTRG}}$ (LSI端子)
- アナログ入力チャンネルの選択機能
 - A/Dアナログ入力チャンネル選択レジスタ (ADANSR) への設定により、任意のチャンネルを選択してA/D変換させることが可能です。
- A/D変換終了割り込みとDMAC転送機能をサポート
 - A/D変換終了時に、CPUに対してA/D変換終了割り込み (ADI) を発生することができます。また、ADIでDMACを起動できます。
- モジュールスタンバイモードの設定可能

17. A/D 変換器 (ADC)

図 17.1 に A/D 変換器のブロック図を示します。

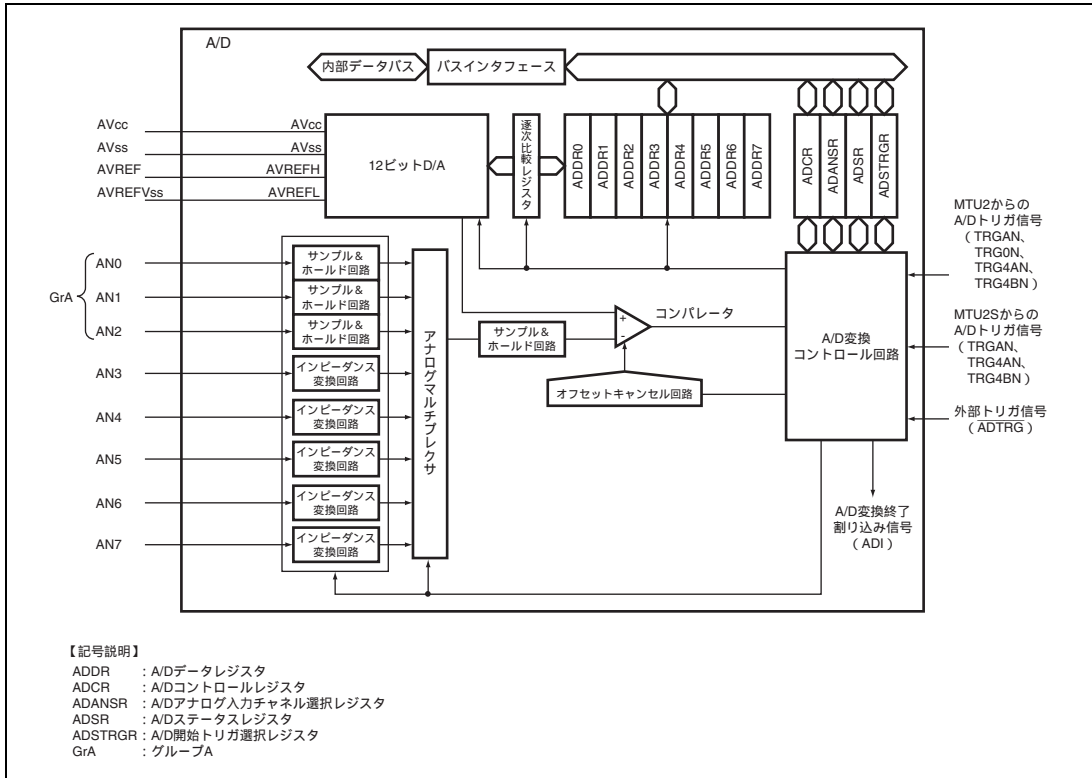


図 17.1 A/D 変換器のブロック図

17.2 入出力端子

A/D 変換器で使用する端子を表 17.1 に示します。端子の使用については注意事項がありますので、「17.7 使用上の注意事項」を参照してください。

表 17.1 端子構成

端子名	入出力	機 能
AVcc	入力	アナログ部の電源端子
AVss	入力	アナログ部のグランド端子
AVREF	入力	アナログ部のリファレンス電源端子
AVREFVss	入力	アナログ部のリファレンスグランド端子
ADTRG	入力	A/D 外部トリガ入力端子
AN0	入力	アナログ入力端子 0 (グループ A)
AN1	入力	アナログ入力端子 1 (グループ A)
AN2	入力	アナログ入力端子 2 (グループ A)
AN3	入力	アナログ入力端子 3
AN4	入力	アナログ入力端子 4
AN5	入力	アナログ入力端子 5
AN6	入力	アナログ入力端子 6
AN7	入力	アナログ入力端子 7

17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 17.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D コントロールレジスタ	ADCR	R/W	H'00	H'FFFFE800	8
A/D ステータスレジスタ	ADSR	R/W	H'00	H'FFFFE802	8
A/D 開始トリガ選択レジスタ	ADSTRGR	R/W	H'00	H'FFFFE81C	8
A/D アナログ入力チャンネル選択レジスタ	ADANSR	R/W	H'00	H'FFFFE820	8
A/D データレジスタ 0	ADDR0	R	H'0000	H'FFFFE840	16
A/D データレジスタ 1	ADDR1	R	H'0000	H'FFFFE842	16
A/D データレジスタ 2	ADDR2	R	H'0000	H'FFFFE844	16
A/D データレジスタ 3	ADDR3	R	H'0000	H'FFFFE846	16
A/D データレジスタ 4	ADDR4	R	H'0000	H'FFFFE848	16
A/D データレジスタ 5	ADDR5	R	H'0000	H'FFFFE84A	16
A/D データレジスタ 6	ADDR6	R	H'0000	H'FFFFE84C	16
A/D データレジスタ 7	ADDR7	R	H'0000	H'FFFFE84E	16

17.3.1 A/D コントロールレジスタ (ADCR)

ADCR は、8 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換モードの選択などを行います。

ビット:	7	6	5	4	3	2	1	0
	ADST	ADCS	ACE	ADIE	-	-	TRGE	EXTRG
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ADST	0	R/W	<p>A/D スタート</p> <p>0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。1 サイクルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、またはモジュールスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換しません。</p>
6	ADCS	0	R/W	<p>A/D 連続スキャン</p> <p>スキャンモード時の 1 サイクルスキャン / 連続スキャンを選択するビットです。スキャンモード時のみ有効です。</p> <p style="margin-left: 20px;">0 : 1 サイクルスキャン</p> <p style="margin-left: 20px;">1 : 連続スキャン</p> <p>動作モードの切り替えは、ADST が 0 の状態で行ってください。</p>
5	ACE	0	R/W	<p>自動クリアイネーブル</p> <p>CPU、DMAC によって ADDR レジスタを読み出した後の、ADDR レジスタの自動クリアを許可 / 禁止します。本ビットを 1 にセットした場合、CPU および DMAC により ADDR レジスタを読み出し後、自動的に ADDR レジスタを H'0000 にクリアします。この機能によって、ADDR レジスタの未更新故障を検出することができます。</p> <p style="margin-left: 20px;">0 : ADDR のリードによる ADDR の自動クリアを禁止</p> <p style="margin-left: 20px;">1 : ADDR のリードによる ADDR の自動クリアを許可</p>
4	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>CPU に対する A/D 変換終了割り込み (ADI) の発生を許可 / 禁止します。なお、誤動作を防ぐため、動作モードの切り替えは、必ず ADST が 0 の状態で行ってください。</p> <p>A/D 変換が終了して ADSR レジスタの ADF ビットが 1 にセットされたとき、本ビットが 1 にセットされていると CPU に対して ADI が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI のクリアが可能です。</p> <p>また、ADI 発生時に DMAC を起動することができます。このとき、CPU に対する割り込みは発生しません。</p> <p style="margin-left: 20px;">0 : A/D 変換終了割り込み発生を禁止</p> <p style="margin-left: 20px;">1 : A/D 変換終了割り込み発生を許可</p>

17. A/D 変換器 (ADC)

ビット	ビット名	初期値	R/W	説 明
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TRGE	0	R/W	トリガイネーブル 外部トリガ入力 ($\overline{\text{ADTRG}}$) あるいは、MTU2 および MTU2S の A/D 変換開始トリガ (MTU2 からは TRGAN、TRG0N、TRG4AN、TRG4BN、MTU2S からは TRGAN、TRG4AN、TRG4BN) による A/D 変換開始を許可 / 禁止します。 外部トリガと MTU2、MTU2S の A/D 変換開始トリガのトリガの選択は、EXTRG ビットの説明を参照してください。 0 : 外部トリガまたは、MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換の開始を禁止 1 : 外部トリガまたは、MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換の開始を許可
0	EXTRG	0	R/W	トリガ選択 A/D 変換開始トリガとして、外部トリガ ($\overline{\text{ADTRG}}$) を用いるか、MTU2、MTU2S の A/D 変換開始トリガを用いるかのどちらかを選択します。 外部トリガ (EXTRG = 1) に設定した場合、TRGE を 1 にセットした後、ADTRG 端子にローレベルのパルスを入力すると、A/D 変換はパルスの立ち下がりエッジを検出し、ADCR レジスタの ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換開始機能は ADST ビットが 0 にクリアされているときのみ有効です。 なお、外部トリガ開始機能を使用するとき、 $\overline{\text{ADTRG}}$ 端子に入力するローレベルパルス幅は、1.5A クロック以上である必要があります。 0 : MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換器の起動を行います 1 : 外部端子 ($\overline{\text{ADTRG}}$) による A/D 変換器の起動を行います

17.3.2 A/D ステータスレジスタ (ADSR)

ADSR は、8 ビットの読み出し/書き込み可能なレジスタで、A/D 変換器の状態を示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ADF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
フラグが0のとき、0を上書きしないでください。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADF	0	R(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき

17. A/D 変換器 (ADC)

17.3.3 A/D 開始トリガ選択レジスタ (ADSTRGR)

ADSTRGR は、ADCR レジスタの TRGE ビットを 1 に設定し、かつ ADCR レジスタの EXTRG ビットを 0 に設定した場合に、A/D 変換開始要因として使用する MTU2 および MTU2S の A/D 変換開始トリガを選択するレジスタです。

ビット :	7	6	5	4	3	2	1	0
	-	STR6	STR5	STR4	STR3	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	STR6	0	R/W	開始トリガ 6 MTU2S から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRGAN トリガ (MTU2S) による A/D 変換の開始を禁止 1 : TRGAN トリガ (MTU2S) による A/D 変換の開始を許可
5	STR5	0	R/W	開始トリガ 5 MTU2S から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRG4AN トリガ (MTU2S) による A/D 変換の開始を禁止 1 : TRG4AN トリガ (MTU2S) による A/D 変換の開始を許可
4	STR4	0	R/W	開始トリガ 4 MTU2S から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRG4BN トリガ (MTU2S) による A/D 変換の開始を禁止 1 : TRG4BN トリガ (MTU2S) による A/D 変換の開始を許可
3	STR3	0	R/W	開始トリガ 3 MTU2 から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRG0N トリガ (MTU2) による A/D 変換の開始を禁止 1 : TRG0N トリガ (MTU2) による A/D 変換の開始を許可
2	STR2	0	R/W	開始トリガ 2 MTU2 から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRGAN トリガ (MTU2) による A/D 変換の開始を禁止 1 : TRGAN トリガ (MTU2) による A/D 変換の開始を許可
1	STR1	0	R/W	開始トリガ 1 MTU2 から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRG4AN トリガ (MTU2) による A/D 変換の開始を禁止 1 : TRG4AN トリガ (MTU2) による A/D 変換の開始を許可
0	STR0	0	R/W	開始トリガ 0 MTU2 から入力される A/D 変換開始要求の許可 / 禁止を設定します。 0 : TRG4BN トリガ (MTU2) による A/D 変換の開始を禁止 1 : TRG4BN トリガ (MTU2) による A/D 変換の開始を許可

17.3.4 A/D アナログ入力チャンネル選択レジスタ (ADANSR)

ADANSR は、8 ビットの読み出し / 書き込み可能なレジスタで、アナログ入力チャンネルの選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ANS7	0	R/W	A/D アナログ入力チャンネル選択レジスタのビットを 1 に設定することにより、設定したビットに対応するチャンネルが選択されます。アナログ入力端子とビットの対応は表 17.3 を参照してください。 誤動作を防ぐためアナログ入力チャンネルの切り替えは、必ず、ADCR レジスタの ADST ビットが 0 の状態で実施してください。
6	ANS6	0	R/W	
5	ANS5	0	R/W	
4	ANS4	0	R/W	
3	ANS3	0	R/W	
2	ANS2	0	R/W	
1	ANS1	0	R/W	
0	ANS0	0	R/W	

表 17.3 チャンネル選択一覧表

ビット名	アナログ入力チャンネル
ANS0	AN0
ANS1	AN1
ANS2	AN2
ANS3	AN3
ANS4	AN4
ANS5	AN5
ANS6	AN6
ANS7	AN7

17. A/D 変換器 (ADC)

17.3.5 A/D データレジスタ 0 ~ 7 (ADDR0 ~ ADDR7)

ADDR は、A/D 変換した結果を格納するための 16 ビットの読み出し専用レジスタです。各アナログ入力チャネルの変換結果は、対応する番号の ADDR に格納されます (表 17.4 参照)。

12 ビットの変換データは ADDR のビット 11 からビット 0 に格納されます。

ADDR の初期値は H'0000 です。

また、ADCR レジスタの ACE ビットを 1 にセットすることにより、ADDR レジスタを読み出した後、自動的に ADDR レジスタを H'0000 にクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ADD[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15 ~ 12	-	すべて 0	R	リザーブビット
11 ~ 0	ADD[11:0]	すべて 0	R	ビットデータ (12 ビット)

表 17.4 アナログ入力チャネルと ADDR0 ~ ADDR7 レジスタの対応

アナログ入力チャネル	A/D データレジスタ
AN0	ADDR0
AN1	ADDR1
AN2	ADDR2
AN3	ADDR3
AN4	ADDR4
AN5	ADDR5
AN6	ADDR6
AN7	ADDR7

17.4 動作説明

A/D 変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの2種類の動作モードがあります。1 サイクルスキャンモードは、1 チャンネル以上の A/D 変換を 1 回行って終了するモードです。連続スキャンモードは、指定した 1 チャンネル以上の A/D 変換を ADST ビットが 0 にクリアされるまで繰り返し行うモードです。

動作モードの選択は A/D コントロールレジスタ (ADCR) の ADCS ビットで行います。1 サイクルスキャンモードに設定する場合は ADCS ビットを 0、連続スキャンモードに設定する場合は ADCS ビットを 1 にします。両モードとも変換が開始すると、A/D アナログ入力チャンネル選択レジスタ (ADANSR) で選択したアナログ入力チャンネル番号の小さい順 (AN0→AN7) から A/D 変換を行います。

1 サイクルスキャンモードの場合、設定した全チャンネルを 1 度変換終了すると ADSR の ADF ビットを 1 にセットして、ADST ビットが自動的に 0 クリアされます。連続スキャンモードの場合、設定した全チャンネルを変換終了すると、ADSR の ADF ビットを 1 にセットします。A/D 変換を停止する場合、ADST ビットに 0 を書き込んでください。ADF ビットが 1 にセットされたとき、ADCR の ADIE ビットが 1 にセットされていると、A/D 変換終了割り込み (ADI) を発生します。ADF ビットを 0 クリアするときには、ADF ビットの 1 を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には、ADF ビットは自動的に 0 クリアされます。

17.4.1 1 サイクルスキャンモード

アナログ入力 0~3 (AN0~AN3) を選択して、A/D 変換を 4 チャンネルで 1 サイクルスキャンする場合の動作例を次に示します。

1. A/D コントロールレジスタ (ADCR) の ADCS ビットを 0 にセットします。
2. A/D アナログ入力チャンネル選択レジスタ (ADANSR) の ANS0~ANS3 ビットをすべて 1 にセットします。
3. A/D コントロールレジスタ (ADCR) の ADST ビットを 1 にセットして A/D 変換を開始します。
4. チャンネル 0~チャンネル 2 (GrA) のサンプリングを同時に行った後、オフセットキャンセル処理 (OFC) を行います。その後、チャンネル 0 の A/D 変換が開始されます。A/D 変換が終了すると、A/D 変換結果を ADDR0 レジスタに転送します。続いてチャンネル 1 が変換され、A/D 変換が終了すると、A/D 変換結果を ADDR1 レジスタに転送します。その後、同様にチャンネル 2 の変換と、A/D 変換結果の ADDR2 レジスタへの転送が行われます。続いてチャンネル 3 の A/D 変換が開始されます。A/D 変換が終了すると、A/D 変換結果を ADDR3 レジスタに転送します。
5. 設定した全チャンネル (AN0~AN3) の変換が終了すると、ADF ビットを 1 にセットして、自動的に ADST ビットを 0 にクリアし、A/D 変換を停止します。このとき、ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。

17. A/D変換器 (ADC)

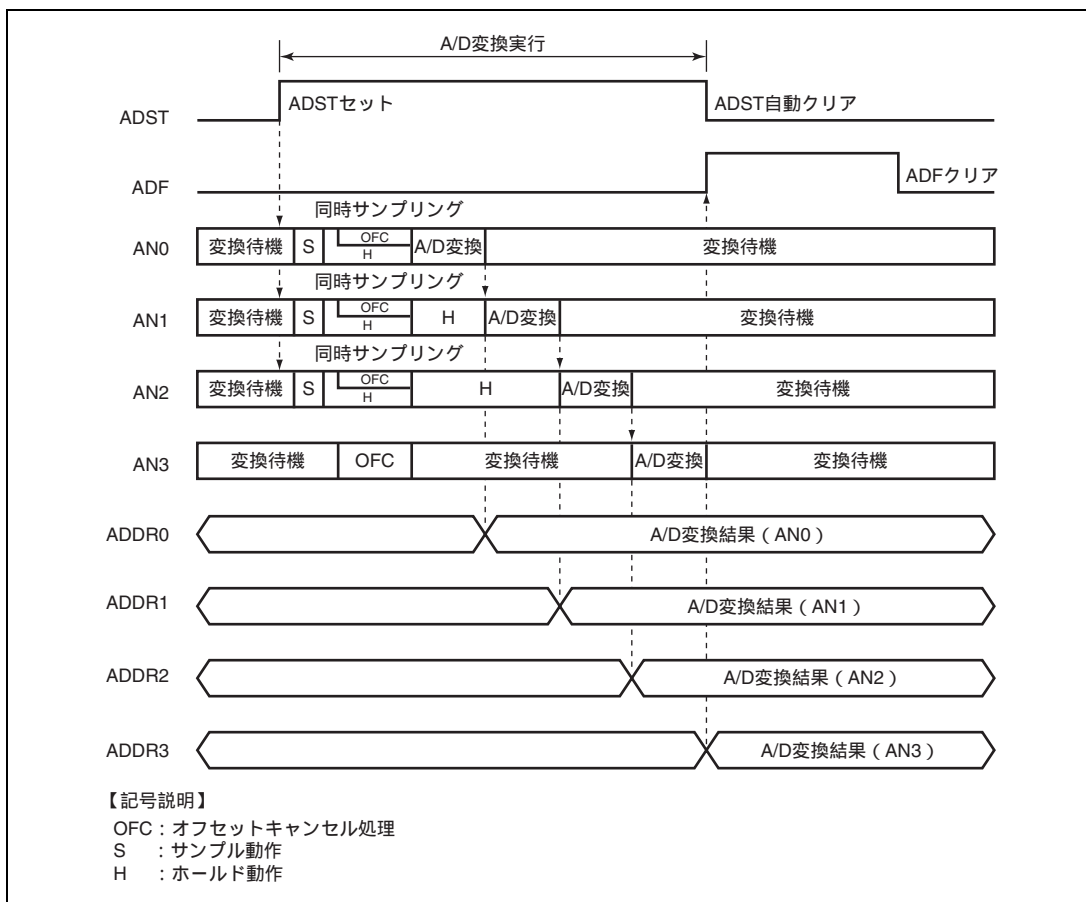


図 17.2 A/D_0 変換器の動作例 (1 サイクルスキャンモード)

17.4.2 連続スキャンモード

アナログ入力0、2、3 (AN0、AN2、AN3) を選択して、A/Dの変換を、3チャンネルで連続スキャンする場合の動作例を次に示します。

1. A/Dコントロールレジスタ (ADCR) のADCSビットを1にセットします。
2. A/Dアナログ入力チャンネル選択レジスタ (ADANSR) のANS0、ANS2、ANS3ビットをすべて1にセットします。
3. A/Dコントロールレジスタ (ADCR) のADSTビットを1にセットしてA/D変換を開始します。
4. チャンネル0、2 (GrA) のサンプリングを同時に行います。このとき、ADANSRレジスタのANS1ビットが0に設定されているので、チャンネル1のサンプリングを行いません。その後、オフセットキャンセル処理 (OFC) を行います。次にチャンネル0のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR0レジスタに転送します。続いてチャンネル2が変換され、A/D変換が終了すると、A/D変換結果をADDR2レジスタに転送します。チャンネル1についてはA/D変換を行いません。

5. その後、チャンネル3がA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR3レジスタに転送します。
6. 設定した全チャンネル (AN0、AN2、AN3) の変換が終了すると、ADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
7. ADSTビットが1にセットされている間は、4.~6.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、4.~6.を繰り返します。

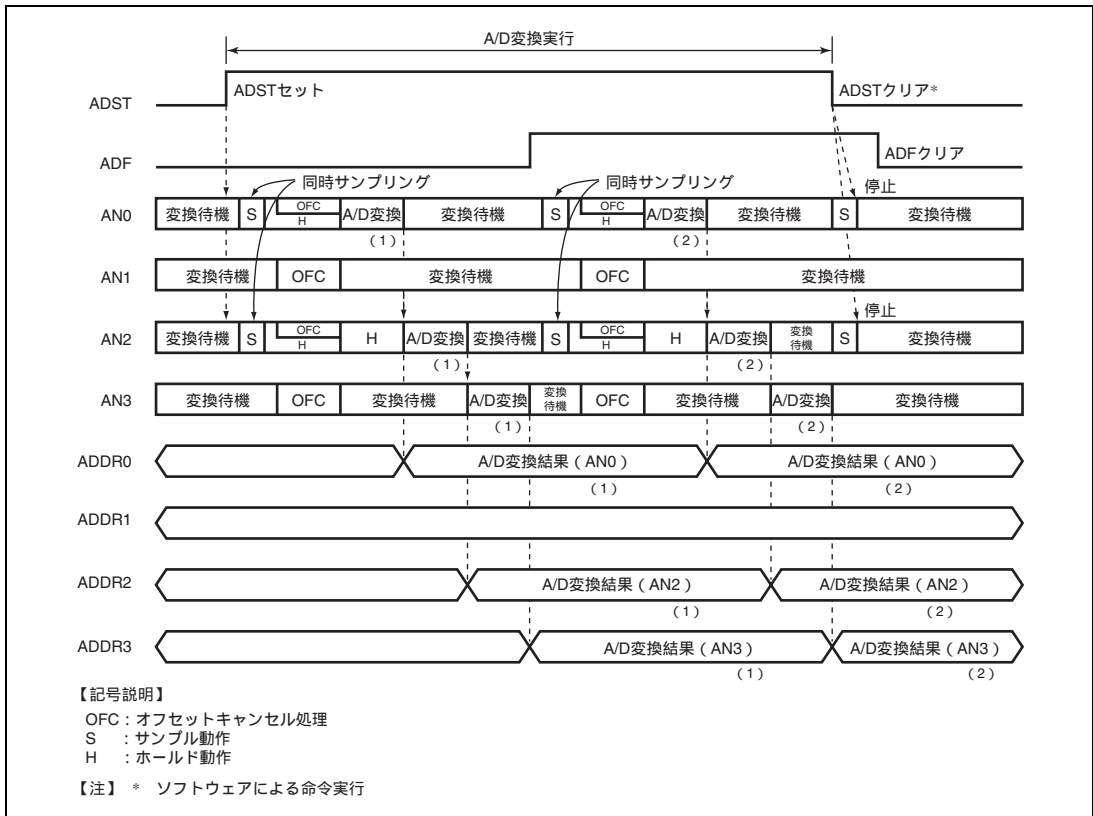


図 17.3 A/D 変換器の動作例 (連続スキャンモード)

17.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、各チャンネル共通のサンプル&ホールド回路が内蔵されています。また、A/D 変換器のチャンネル 0~2 は、各チャンネル専用のサンプル&ホールド回路を内蔵しています。A/D 変換器のチャンネル 0~2 は、ひとつのグループとして同時にサンプリングすることができます。このグループのことをグループ A (GrA) と呼びます (表 17.5)。グループ内で 1 チャンネルのみ ADANSR レジスタで選択した場合でも、専用のサンプル&ホールド回路を使ったサンプル&ホールド動作は行われます。また、専用のサンプル&ホールド回路を持たないチャンネルのみを ADANSR レジスタで設定した場合でも、専用のサンプル&ホールド回路を使った場合と同じ時間が経過します。

CPU によるライト、MTU2、MTU2S による A/D 起動要求、外部トリガといった ADST セット要因が起こると、A/D 変換開始遅延時間 (t_D) 経過後、各チャンネル専用のサンプル&ホールド回路でアナログ入力のサンプリングを行い、その後、オフセットキャンセル処理 (OFC) を行います。その後、各チャンネル共通のサンプル&ホールド回路でアナログ入力のサンプリングを行った後、A/D 変換が開始されます。この場合の A/D 変換のタイミングを図 17.4 に示します。この場合の A/D 変換時間 (t_{CONV}) は、 t_D とオフセットキャンセル処理時間 (t_{OFC})、各チャンネル専用のサンプル&ホールド回路によるアナログ入力サンプリング時間 ($t_{SPL,SH}$)、各チャンネル共通のサンプル&ホールド回路によるアナログ入力サンプリング時間 (t_{SPL}) を含めた時間となります。なお $t_{SPL,SH}$ は、同時にサンプリングするチャンネル数に依存しません。

連続スキャンモードの場合、表 17.6 に示す A/D 変換時間 (t_{CONV}) は 1 サイクル目の変換時間に相当します。2 サイクル目以降は、すべてのチャンネルの変換が終わるまでの変換時間は ($t_{CONV} - t_D + 6$) で表されます。

表 17.5 アナログ入力チャンネルと同時サンプリング可能なグループの対応

アナログ入力チャンネル	グループ
AN0	GrA
AN1	
AN2	
AN3	-
AN4	-
AN5	-
AN6	-
AN7	-

表 17.6 A/D 変換時間

項 目	記号	必要ステート数		
		Min.	Typ.	Max.
A/D 変換開始遅延時間	t_d	11* ¹	-	15* ²
GrA/GrB 専用のサンプル&ホールド回路のアナログ入力サンプリング時間	t_{SPLSH}	-	30	-
オフセットキャンセル処理時間	t_{OFC}	-	50	-
各チャンネル共通のサンプル&ホールド回路のアナログ入力サンプリング時間	t_{SPL}	-	20	-
変換完了処理	t_{end}	-	4	-
A/D 変換時間	t_{CONV}	50n+95* ³	-	50n+99* ³

【注】 *1 MTU2、MTU2S トリガ信号による A/D 起動の場合

*2 外部トリガ信号による A/D 起動の場合

*3 n は変換チャンネル数 (n = 1 ~ 8)

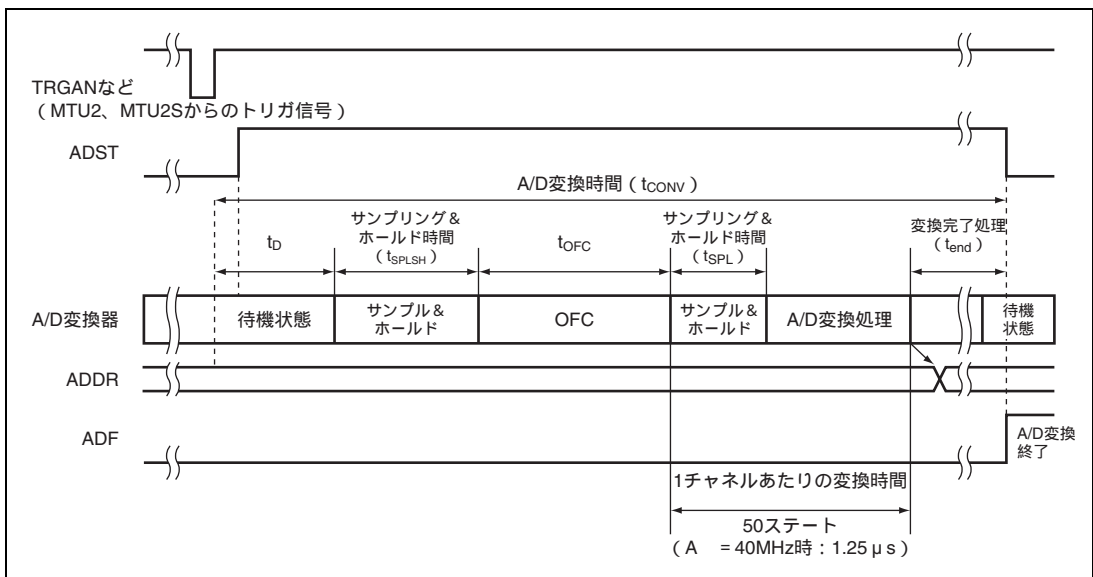


図 17.4 A/D 変換タイミング (1 サイクルスキャンモード)

17.4.4 MTU2、MTU2S による A/D 変換器の起動

MTU2 の A/D 変換開始トリガ (TRGAN、TRG0N、TRG4AN、TRG4BN)、MTU2S の A/D 変換開始トリガ (TRGAN、TRG4AN、TRG4BN) によって、A/D 変換を起動することができます。この機能を有効にしたい場合は、まず ADCR レジスタの TRGE ビットを 1 にセットし、EXTRG ビットを 0 にします。この状態のときに ADSTRGR レジスタで設定した MTU2、MTU2S の A/D 変換開始トリガが発生すると、ADST ビットが 1 にセットされます。ADST ビットが 1 にセットされてから A/D 変換が開始されるまでのタイミングは、A/D 変換起動要因によらず同じです。

A/D 変換開始トリガは、必ず ADCR レジスタ、ADSTRGR レジスタ、ADANSR レジスタを設定した後で入力してください。

17.4.5 外部トリガ入力タイミング

外部トリガ入力により A/D 変換を開始することも可能です。外部トリガ入力をするためには、ピンファンクションコントローラ (PFC) で端子機能を $\overline{\text{ADTRG}}$ に設定し、 $\overline{\text{ADTRG}}$ 端子にハイレベルを入力し、ADCR レジスタの TRGE ビットを 1 にセット、EXTRG ビットを 1 にセットした状態で、 $\overline{\text{ADTRG}}$ 端子からローレベルを入力してください。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、A/D 変換起動要因によらず同じです。このタイミングを図 17.5 に示します。

ADST ビットが 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の立ち下がりエッジを検出してから 5 ステートです。

$\overline{\text{ADTRG}}$ 端子へのローレベル入力は、必ず ADCR レジスタ、ADSTRGR レジスタ、ADANSR レジスタを設定した後で行ってください。

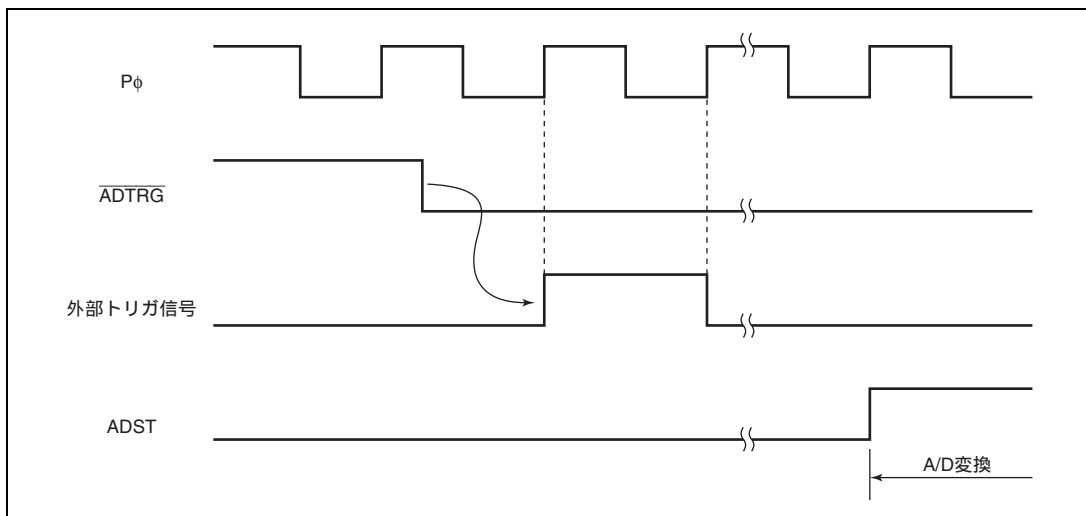


図 17.5 外部トリガ入力タイミング

17.4.6 ADDR レジスタのオートクリア機能の使用例

ADCR レジスタの ACE ビットを 1 にセットすることにより、CPU および DMAC によって A/D データレジスタ (ADDR) をリードしたときに、自動的に ADDR レジスタを H'0000 にクリアすることができます。この機能を使うことにより、ADDR レジスタの未更新状態を検出することができます。

図 17.6 に、ADDR レジスタのオートクリア機能が無効 (通常状態) 時 / 有効時の例を示します。

ACE ビットが 0 (初期値) の場合、A/D 変換結果 (H'0222) が何らかの原因で ADDR レジスタに書き込みされなかったとき、古いデータ (H'0111) が ADDR レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDR レジスタの値を汎用レジスタなどに読み出した場合、古いデータ (H'0111) が汎用レジスタなどに保存されます。未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保存しながらチェックを行う必要があります。

ACE ビットが 1 の場合には、ADDR = H'0111 を CPU/DMAC によりリードすることで、ADDR レジスタは自動的に H'0000 にクリアされます。その後、A/D 変換結果の H'0222 が ADDR レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (H'0000) が ADDR レジスタの値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDR レジスタの値を汎用レジスタなどに読み出した場合、H'0000 が汎用レジスタなどに保存されます。読み出されたデータの値が H'0000 であることをチェックするだけで、ADDR レジスタの未更新状態を判断できます。

17. A/D 変換器 (ADC)

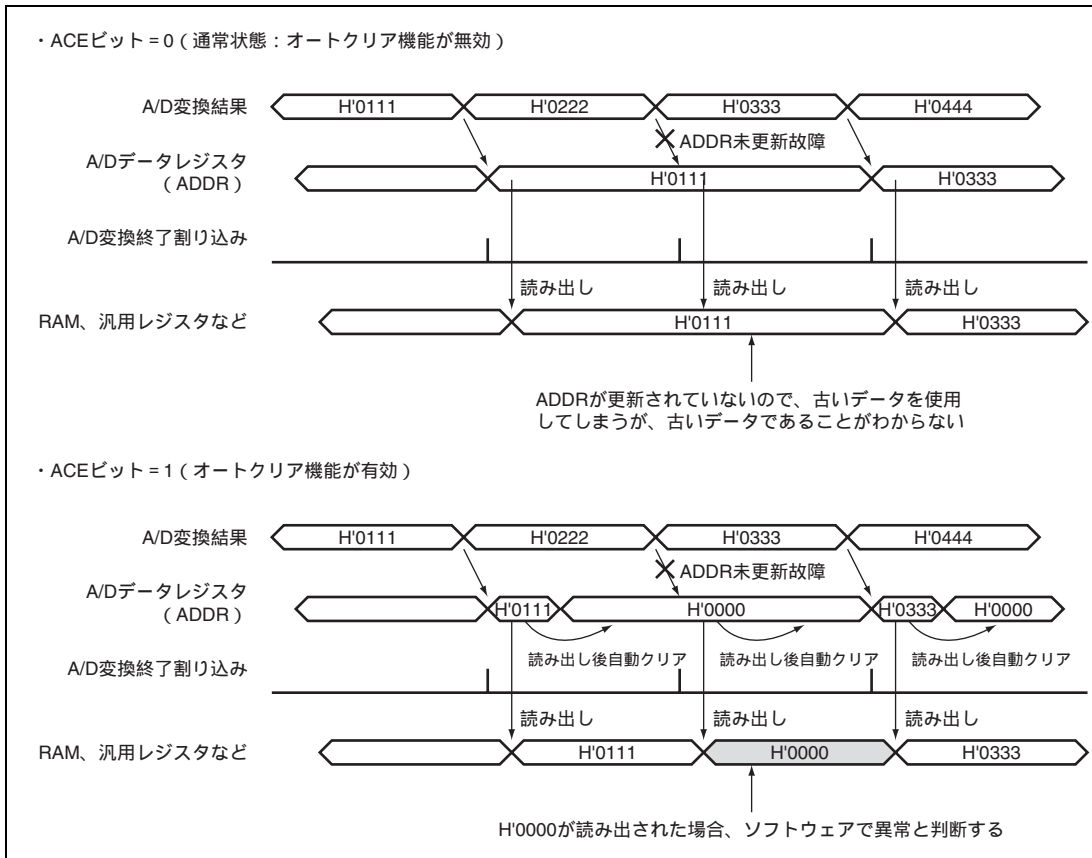


図 17.6 ADDR レジスタのオートクリア機能が無効 (通常状態) 時 / 有効時の例

17.5 割り込み要因と DMAC 転送要求

A/D 変換器は、A/D 変換終了割り込み (ADI) を発生することができます。ADCR レジスタの ADIE ビットを 1 にセットすると ADI 割り込みの発生を許可、ADCR レジスタの ADIE ビットを 1 にセットすると ADI 割り込みの発生を許可します。また、DMAC での設定により、ADI 割り込み発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。ADI 割り込みで DMAC を起動する場合、DMAC によるデータ転送時に ADSR の ADF ビットは自動的にクリアされます。

17.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル変換出力コード数。

- オフセット誤差

デジタル出力値が最小値 (ゼロ電圧) B'000000000000から B'000000000001に变化するときの実際のA/D変換特性と理想A/D変換特性との偏差。ただし、量子化誤差を含まない (図17.7)。

- フルスケール誤差

デジタル出力値が B'111111111110から最大値 (フルスケール電圧) B'111111111111に变化するときの実際のA/D変換特性と理想A/D変換特性との偏差。ただし、量子化誤差を含まない (図17.7)。

- 量子化誤差

A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる (図17.7)。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の実際のA/D変換特性と理想A/D変換特性との誤差。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図17.7)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線性誤差を含む。

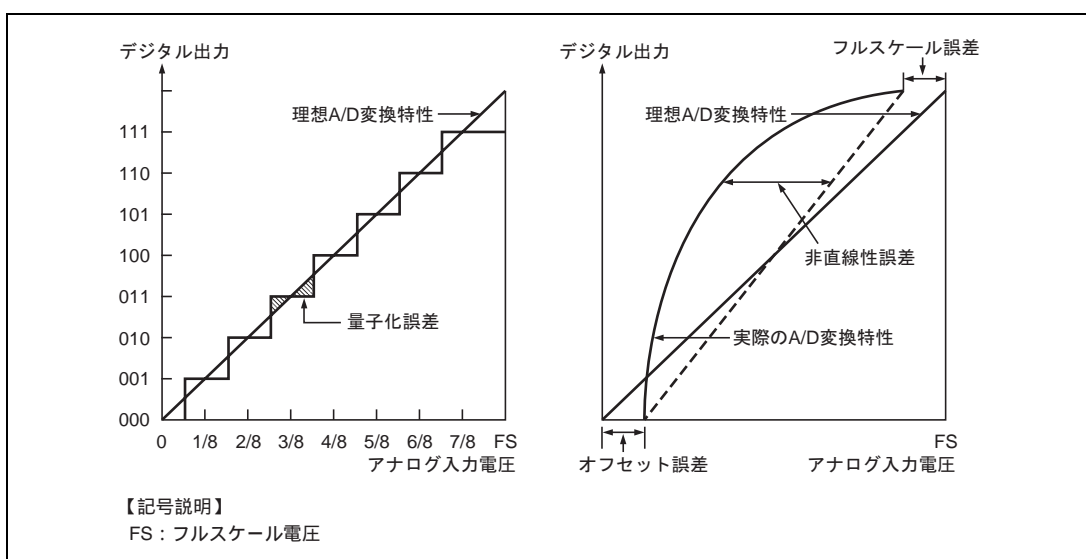


図 17.7 A/D 変換精度の定義

17.7 使用上の注意事項

17.7.1 AVcc、AVss と VccQ、VssQ の関係

A/D 変換器または D/A 変換器を使用する場合は、 $AV_{cc} = 5.0V \pm 0.5V$ 、 $AV_{ss} = V_{ss}$ としてください。また、A/D 変換器および D/A 変換器を使用しない場合は、 $AV_{cc} = V_{ccQ}$ 、 $AV_{ss} = V_{ssQ}$ とし、 AV_{cc} 端子、 AV_{ss} 端子をオープンにしないでください。

17.7.2 AVREF の設定範囲

A/D 変換器または D/A 変換器を使用する場合は、 $AV_{REF} = 4.5V \sim AV_{cc}$ 、使用しない場合は $AV_{REF} = AV_{cc}$ とし、 AV_{REF} 端子をオープンにしないでください。

$AV_{REFV_{ss}}$ 端子は、常に $AV_{REFV_{ss}} = AV_{ss}$ とし、オープンにしないでください。以上のことが守られない場合、LSI の信頼性に悪影響をおよぼすことがあります。

17.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 ($AN_0 \sim AN_7$)、アナログ基準電圧 (AV_{REF})、アナログ電源 (AV_{cc})、アナロググランド (AV_{ss})、アナログリファレンスグランド ($AV_{REFV_{ss}}$) は、デジタル回路と必ず分離してください。さらに AV_{ss} は、ボード上の安定したデジタルグランド (V_{ss}) に一点接続してください。

17.7.4 ノイズ対策上の注意

過大なサージなどの異常電圧によるアナログ入力端子 ($AN_0 \sim AN_7$) およびアナログ基準電圧 (AV_{REF}) の破壊を防ぐために、図 17.8 に示すように $AV_{cc} - AV_{ss}$ 間に保護回路を接続してください。 $AV_{REFV_{ss}}$ と AV_{ss} は同電位としてください。また、 AV_{REF} に接続するバイパスコンデンサおよび AN_n に接続するフィルタのコンデンサは、 AV_{ss} に接続してください。なお、図 17.8 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN_n) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

17. A/D変換器 (ADC)

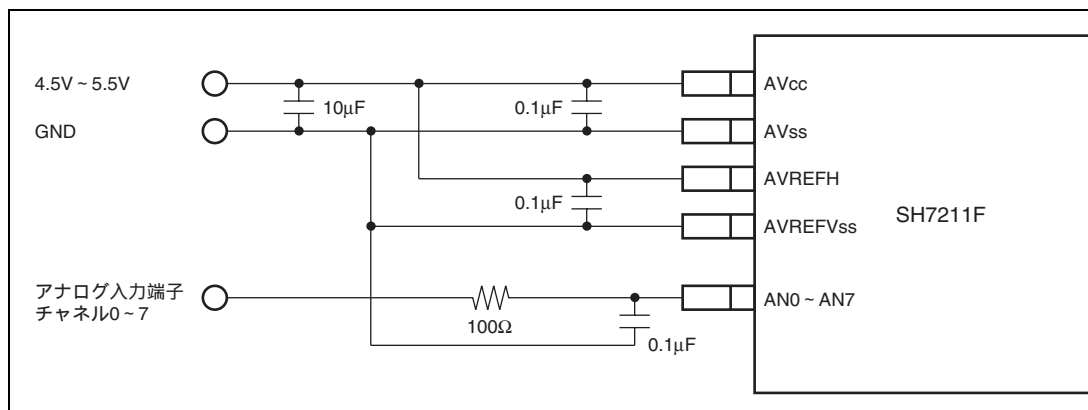


図 17.8 アナログ入力端子の保護回路の例

17.7.5 レジスタ設定時の注意

- A/Dコントロールレジスタ (ADCR) の ADST ビットへのセットは、A/D 開始トリガ選択レジスタ (ADSTRGR)、A/D アナログ入力チャンネル選択レジスタ (ADANSR) の設定が済んだ後で行ってください。また、ADCR の ADST ビットが 1 の状態のとき、ADCR の ADCS ビット、ACE ビット、ADIE ビット、TRGE ビット、EXTRG ビットの設定を変更しないでください。
- A/D アナログ入力チャンネル選択レジスタ (ADANSR) の ANS7 ~ ANS0 ビットがすべて 0 のまま A/D 変換を開始させないでください。

18. D/A 変換器 (DAC)

18.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s (負荷容量20pF時)
- 出力電圧：0V ~ AVREF
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールスタンバイモードの設定可能

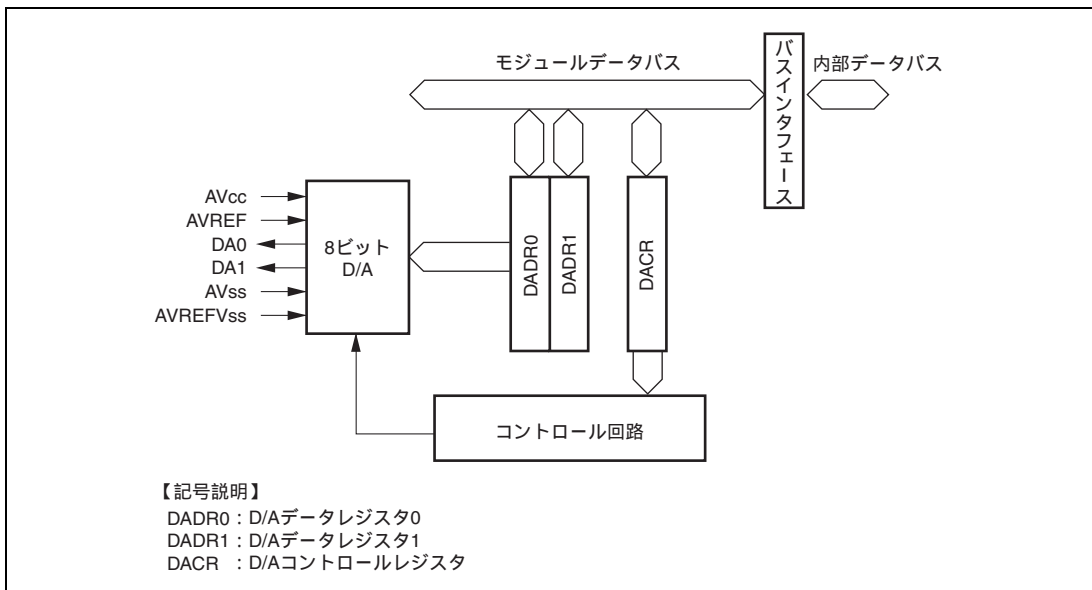


図 18.1 D/A 変換器のブロック図

18. D/A 変換器 (DAC)

18.2 入出力端子

D/A 変換器で使用する入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	AVREF	入力	D/A 変換器の基準電圧端子
リファレンスグランド端子	AVREFVss	入力	D/A 変換器の基準グランド端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

18.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

表 18.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFFE6800	8、16
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFFE6801	8、16
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFE6802	8、16

18.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力許可すると、DADR の値が変換されアナログ出力端子に出力されます。

DADR は、パワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.2 D/A コントロールレジスタ (DACR)

DACR は、8 ビットの読み出し / 書き込み可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、パワーオンリセットおよびモジュールスタンバイモードで H'1F に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可

18. D/A 変換器 (DAC)

ビット	ビット名	初期値	R/W	説 明
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 18.3 を参照してください。 0 : チャネル 0 とチャネル 1 の D/A 変換を独立に制御する 1 : チャネル 0 とチャネル 1 の D/A 変換を一括して制御する
4~0	-	すべて 1	-	リザーブビット 読み出すと常に 1 が読み出されます。書き込みは無効です。

表 18.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可。チャネル 1 の D/A 変換を禁止
	1	0	チャネル 1 の D/A 変換を許可。チャネル 0 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

18.4 動作説明

2チャンネルのD/A変換は、それぞれ独立して変換を行うことができます。DACRのDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図18.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times AV_{\text{ref}}$$

3. DADR0を書き換えるとただちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

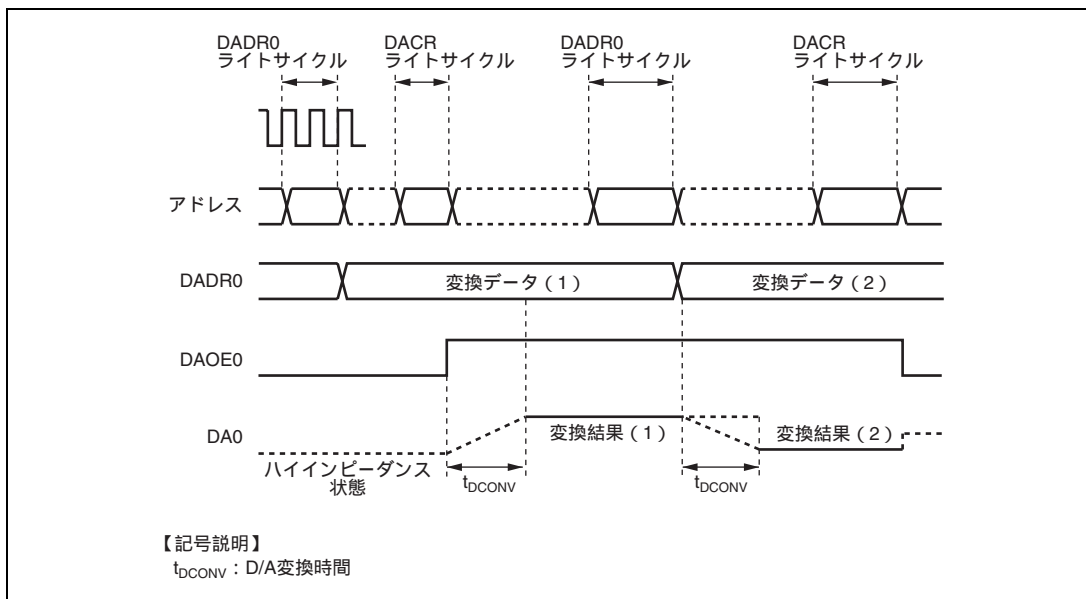


図 18.2 D/A 変換器の動作例

18.5 使用上の注意事項

18.5.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力モード」を参照してください。

18.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

18.5.3 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. AV_{CC}、AV_{SS}入力電圧

AV_{CC}、AV_{SS}入力電圧は、V_{CC} AV_{CC} 5.0V ± 0.5V、AV_{SS} = V_{SS}としてください。さらに、A/D変換器およびD/A変換器を使用しないときやソフトウェアスタンバイモード時でも、AV_{CC}、AV_{SS}端子をオープンにしないでください。使用しないときは、必ずAV_{CC}は電源 (V_{CCQ}) に、AV_{SS}はグランド (V_{SSQ}) に接続してください。

2. AVREFの設定範囲

A/D変換器またはD/A変換器を使用する場合はAVREF = AV_{CC} ± 0.3V、A/D変換器およびD/A変換器を使用しない場合はAVREF = AV_{CC}としてください。

19. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 19.1 ~ 表 19.4 に本 LSI のマルチプレクス端子を示します。

表 19.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
A	PA25 入出力 (ポート)	A25 出力 (BSC)	-	IRQ7 入力 (INTC)	TIOC0D 入出力 (MTU2)	TXD1 出力 (SCIF1)	-
	PA24 入出力 (ポート)	A24 出力 (BSC)	-	IRQ6 入力 (INTC)	TIOC0C 入出力 (MTU2)	RXD1 入力 (SCIF1)	-
	PA23 入出力 (ポート)	A23 出力 (BSC)	-	IRQ5 入力 (INTC)	TIOC0B 入出力 (MTU2)	SCK1 入出力 (SCIF1)	-
	PA22 入出力 (ポート)	A22 出力 (BSC)	-	IRQ4 入力 (INTC)	TIOC0A 入出力 (MTU2)	-	-
	PA21 入出力 (ポート)	A21 出力 (BSC)	-	IRQ3 入力 (INTC)	-	-	-
	PA20 入出力 (ポート)	A20 出力 (BSC)	-	IRQ2 入力 (INTC)	-	-	-
	PA19 入出力 (ポート)	A19 出力 (BSC)	-	IRQ1 入力 (INTC)	-	-	-
	PA18 入出力 (ポート)	A18 出力 (BSC)	-	IRQ0 入力 (INTC)	-	-	-
	PA17 入出力 (ポート)	A17 出力 (BSC)	-	-	-	TXD3 出力 (SCIF3)	-
	PA16 入出力 (ポート)	A16 出力 (BSC)	-	-	-	RXD3 入力 (SCIF3)	-
	PA15 入出力 (ポート)	A15 出力 (BSC)	-	-	-	SCK3 入出力 (SCIF3)	-
	PA14 入出力 (ポート)	A14 出力 (BSC)	-	-	-	-	-
	PA13 入出力 (ポート)	A13 出力 (BSC)	-	-	-	-	-
	PA12 入出力 (ポート)	A12 出力 (BSC)	-	-	-	-	-
PA11 入出力 (ポート)	A11 出力 (BSC)	-	-	-	-	-	

19. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
A	PA10 入出力 (ポート)	A10 出力 (BSC)	-	-	-	-	-
	PA9 入出力 (ポート)	A9 出力 (BSC)	-	-	-	-	-
	PA8 入出力 (ポート)	A8 出力 (BSC)	-	-	-	-	-
	PA7 入出力 (ポート)	A7 出力 (BSC)	-	-	-	-	-
	PA6 入出力 (ポート)	A6 出力 (BSC)	-	-	-	-	-
	PA5 入出力 (ポート)	A5 出力 (BSC)	-	-	-	-	-
	PA4 入出力 (ポート)	A4 出力 (BSC)	-	-	-	-	-
	PA3 入出力 (ポート)	A3 出力 (BSC)	-	-	-	-	-
	PA2 入出力 (ポート)	A2 出力 (BSC)	-	-	-	-	-
	PA1 入出力 (ポート)	A1 出力 (BSC)	-	-	-	-	-
	PA0 入出力 (ポート)	A0 出力 (BSC)	-	-	-	-	-

表 19.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
B	PB30 入出力 (ポート)	IRQOUT/REFOUT 出力 (INTC/BSC)	-	UBCTRG 出力 (UBC)	-	-	ASEBRKAK/ASEBRK 出力 (AUD)
	PB29 入出力 (ポート)	-	DREQ0 入力 (DMAC)	-	TIOC1B 入出力 (MTU2)	-	-
	PB28 入出力 (ポート)	-	DACK0 出力 (DMAC)	-	TIOC1A 入出力 (MTU2)	RXD3 入力 (SCIF3)	-
	PB27 入出力 (ポート)	-	TEND0 出力 (DMAC)	-	TIOC2A 入出力 (MTU2)	TXD3 出力 (SCIF3)	AUDATA0 出力 (AUD)
	PB26 入出力 (ポート)	-	DREQ1 入力 (DMAC)	-	TIOC2B 入出力 (MTU2)	SCK3 入出力 (SCIF3)	AUDATA1 出力 (AUD)
	PB25 入出力 (ポート)	-	DACK1 出力 (DMAC)	IRQ3 入力 (INTC)	TCLKA 入力 (MTU2)	TXD3 出力 (SCIF3)	AUDATA2 出力 (AUD)
	PB24 入出力 (ポート)	-	TEND1 出力 (DMAC)	IRQ2 入力 (INTC)	TCLKB 入力 (MTU2)	RXD3 入力 (SCIF3)	AUDATA3 出力 (AUD)

19. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
B	PB23 入出力 (ポート)	-	DREQ2 入力 (DMAC)	-	TCLKC 入力 (MTU2)	TXD2 出力 (SCIF2)	AUDCK 出力 (AUD)
	PB22 入出力 (ポート)	-	DACK2 出力 (DMAC)	-	TCLKD 入力 (MTU2)	RXD2 入力 (SCIF2)	AUDSYNC 出力 (AUD)
	PB21 入出力 (ポート)	$\overline{CS2}$ 出力 (BSC)	-	IRQ0 入力 (INTC)	TIOC3BS 入出力 (MTU2S)	RXD0 入力 (SCIF0)	-
	PB20 入出力 (ポート)	\overline{BS} 出力 (BSC)	-	-	TIOC3DS 入出力 (MTU2S)	-	-
	PB19 入出力 (ポート)	$\overline{CS6}$ 出力 (BSC)	-	IRQ6 入力 (INTC)	TIOC3D 入出力 (MTU2)	-	-
	PB18 入出力 (ポート)	$\overline{CS4}$ 出力 (BSC)	-	IRQ4 入力 (INTC)	TIOC3B 入出力 (MTU2)	-	-
	PB17 入出力 (ポート)	$\overline{CS3}$ 出力 (BSC)	-	IRQ1 入力 (INTC)	TIOC3A 入出力 (MTU2)	-	-
	PB16 入出力 (ポート)	$\overline{CS1}$ 出力 (BSC)	-	-	POET 入力 (POE)	TXD0 出力 (SCIF0)	-
	PB15 入出力 (ポート)	$\overline{CS5}$ 出力 (BSC)	-	IRQ5 入力 (INTC)	TIOC3C 入出力 (MTU2)	-	-
	PB14 入出力 (ポート)	-	-	ADTRG 入力 (ADC)	-	RXD2 入力 (SCIF2)	MRES 入力 (システム 制御)
	PB13 入出力 (ポート)	BACK 出力 (BSC)	-	-	TIOC4BS 入出力 (MTU2S)	SCK2 入出力 (SCIF2)	-
	PB12 入出力 (ポート)	BREQ 入力 (BSC)	-	-	TIOC4AS 入出力 (MTU2S)	TXD2 出力 (SCIF2)	-
	PB11 入出力 (ポート)	AH 出力 (BSC)	DACK3 出力 (DMAC)	-	TIOC4DS 入出力 (MTU2S)	TXD2 出力 (SCIF2)	-
	PB10 入出力 (ポート)	WAIT 入力 (BSC)	DREQ3 入力 (DMAC)	-	TIOC4CS 入出力 (MTU2S)	RXD2 入力 (SCIF2)	-
	PB9 入出力 (ポート)	$\overline{WE1}/\overline{DQMLU}$ 出力 (BSC)	-	-	TIOC3CS 入出力 (MTU2S)	TXD3 (SCIF3)	-
	PB8 入出力 (ポート)	$\overline{WE0}/\overline{DQMLL}$ 出力 (BSC)	-	-	TIOC3AS 入出力 (MTU2S)	RXD3 (SCIF3)	-
	PB7 入出力 (ポート)	$\overline{CS7}$ 出力 (BSC)	-	IRQ7 入力 (INTC)	TIOC4D 入出力 (MTU2)	-	-
	PB6 入出力 (ポート)	\overline{CASL} 出力 (BSC)	-	IRQ3 入力 (INTC)	TIOC4C 入出力 (MTU2)	-	-
	PB5 入出力 (ポート)	\overline{RASL} 出力 (BSC)	-	IRQ2 入力 (INTC)	TIOC4B 入出力 (MTU2)	-	-

19. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
B	PB4 入出力 (ポート)	CKE 出力 (BSC)	-	-	TIOC4A 入出力 (MTU2)	-	-
	PB3 入出力 (ポート)	CK 出力 (CPG)	-	-	-	-	-
	PB2 入出力 (ポート)	$\overline{CS0}$ 出力 (BSC)	-	-	POE4 入力 (POE)	SCK0 入出力 (SCIF0)	-
	PB1 入出力 (ポート)	RD/ \overline{WR} 出力 (BSC)	-	-	$\overline{POE8}$ 入力 (POE)	TXD0 出力 (SCIF0)	-
	PB0 入出力 (ポート)	\overline{RD} 出力 (BSC)	-	-	POE0 入力 (POE)	RXD0 入力 (SCIF0)	-

表 19.3 マルチプレクス一覧表 (ポート D)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
D	PD15 入出力 (ポート)	D15 入出力 (BSC)	-	-	TIC5US 入力 (MTU2S)	-	-
	PD14 入出力 (ポート)	D14 入出力 (BSC)	-	-	TIC5VS 入力 (MTU2S)	-	-
	PD13 入出力 (ポート)	D13 入出力 (BSC)	-	-	TIC5WS 入力 (MTU2S)	-	-
	PD12 入出力 (ポート)	D12 入出力 (BSC)	-	-	TIC5U 入力 (MTU2)	-	-
	PD11 入出力 (ポート)	D11 入出力 (BSC)	-	-	TIC5V 入力 (MTU2)	-	-
	PD10 入出力 (ポート)	D10 入出力 (BSC)	-	-	TIC5W 入力 (MTU2)	-	-
	PD9 入出力 (ポート)	D9 入出力 (BSC)	-	-	-	-	-
	PD8 入出力 (ポート)	D8 入出力 (BSC)	-	-	-	-	-
	PD7 入出力 (ポート)	D7 入出力 (BSC)	-	-	-	-	-
	PD6 入出力 (ポート)	D6 入出力 (BSC)	-	-	-	-	-
	PD5 入出力 (ポート)	D5 入出力 (BSC)	-	-	-	-	-
	PD4 入出力 (ポート)	D4 入出力 (BSC)	-	-	-	-	-
	PD3 入出力 (ポート)	D3 入出力 (BSC)	-	-	-	-	-

19. ピンファンクションコントローラ (PFC)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
D	PD2 入出力 (ポート)	D2 入出力 (BSC)	-	-	-	-	-
	PD1 入出力 (ポート)	D1 入出力 (BSC)	-	-	-	-	-
	PD0 入出力 (ポート)	D0 入出力 (BSC)	-	-	-	-	-

表 19.4 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)
F	PF1 入力 (ポート)	-	-	IRQ1 入力 (INTC)	POE3 入力 (POE)	SDA 入出力 (IIC3)	-
	PF0 入力 (ポート)	-	-	IRQ0 入力 (INTC)	POE7 入力 (POE)	SCL 入出力 (IIC3)	-

【注】 PB22 の機能 7 を選択すると、PB23 ~ PB27 の機能 7 が自動的に選択されます。

19. ピンファンクションコントローラ (PFC)

19.1 レジスタの説明

PFC には以下のレジスタがあります。

表 19.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFE3804	8、16、32
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFE3806	8、16
ポート A コントロールレジスタ H3	PACRH3	R/W	H'0000/ H'0011	H'FFFE380A	8、16
ポート A コントロールレジスタ H2	PACRH2	R/W	H'0000/ H'1111	H'FFFE380C	8、16、32
ポート A コントロールレジスタ H1	PACRH1	R/W	H'0000/ H'1111	H'FFFE380E	8、16
ポート A コントロールレジスタ L4	PACRL4	R/W	H'0000/ H'1111	H'FFFE3810	8、16、32
ポート A コントロールレジスタ L3	PACRL3	R/W	H'0000/ H'1111	H'FFFE3812	8、16
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000/ H'1111	H'FFFE3814	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000/ H'1111	H'FFFE3816	8、16
ポート B・IO レジスタ H	PBIORH	R/W	H'0000	H'FFFE3884	8、16、32
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE3886	8、16
ポート B コントロールレジスタ H4	PBCRH4	R/W	H'0000	H'FFFE3888	8、16、32
ポート B コントロールレジスタ H3	PBCRH3	R/W	H'0000	H'FFFE388A	8、16
ポート B コントロールレジスタ H2	PBCRH2	R/W	H'0000	H'FFFE388C	8、16、32
ポート B コントロールレジスタ H1	PBCRH1	R/W	H'0000/ H'0001	H'FFFE388E	8、16
ポート B コントロールレジスタ L4	PBCRL4	R/W	H'0000	H'FFFE3890	8、16、32
ポート B コントロールレジスタ L3	PBCRL3	R/W	H'0000/ H'0011	H'FFFE3892	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFE3894	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000/ H'0101/ H'1101	H'FFFE3896	8、16

19. ピンファンクションコントローラ (PFC)

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFE3986	8、16
ポート D コントロールレジスタ L4	PDCRL4	R/W	H'0000/ H'1111	H'FFFE3990	8、16、32
ポート D コントロールレジスタ L3	PDCRL3	R/W	H'0000/ H'1111	H'FFFE3992	8、16
ポート D コントロールレジスタ L2	PDCRL2	R/W	H'0000/ H'1111	H'FFFE3994	8、16、32
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000/ H'1111	H'FFFE3996	8、16
ポート F コントロールレジスタ L1	PFCRL1	R/W	H'0000	H'FFFE3A96	8、16
IRQOUT 機能コントロールレジスタ	IFCR	R/W	H'0000	H'FFFE38A2	16
WAVE 機能コントロールレジスタ 2	WAVECR2	R/W	H'0001	H'FFFE3A14	8、16、32
WAVE 機能コントロールレジスタ 1	WAVECR1	R/W	H'1111	H'FFFE3A16	8、16

19. ピンファンクションコントローラ (PFC)

19.1.1 ポート A・IO レジスタ H、L (PAIORH、PAIORL)

PAIORH、PAIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA25IOR ~ PA0IOR ビットが、それぞれ、PA25 ~ PA0 端子に対応しています。PAIORH および PAIORL は、ポート A の端子機能が汎用入出力 (PA25 ~ PA0) および MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PAIORH および PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH のビット 15 ~ 10 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PAIORH、PAIORL は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A・IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PA25 IOR	PA24 IOR	PA23 IOR	PA22 IOR	PA21 IOR	PA20 IOR	PA19 IOR	PA18 IOR	PA17 IOR	PA16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.1.2 ポート A コントロールレジスタ H1 ~ H3、L1 ~ L4 (PACRH1 ~ PACRH3、PACRL1 ~ PACRL4)

PACRH1 ~ PACRH3、PACRL1 ~ PACRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

PACRH1 ~ PACRH3、PACRL1 ~ PACRL4 は、パワーオンリセットで表 19.5 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A コントロールレジスタ H3 (PACRH3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PA25MD[2:0]		-	PA24MD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PA25MD[2:0]	000*	R/W	PA25 モード PA25/A25/IRQ7/TIOC0D/TXD1 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA25 入出力 (ポート) 001 : A25 出力 (BSC) (初期値) 010 : 設定禁止 011 : IRQ7 入力 (INTC) 100 : TIOC0D 入出力 (MTU2) 101 : TXD1 出力 (SCIF) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PA24MD[2:0]	000*	R/W	PA24 モード PA24/A24/IRQ6/TIOC0C/RXD1 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA24 入出力 (ポート) 001 : A24 出力 (BSC) (初期値) 010 : 設定禁止 011 : IRQ6 入力 (INTC) 100 : TIOC0C 入出力 (MTU2) 101 : RXD1 入力 (SCIF) 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(2) ポート A コントロールレジスタ H2 (PACRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA23MD[2:0]			-	PA22MD[2:0]			-	PA21MD[2:0]			-	PA20MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA23MD[2:0]	000*	R/W	PA23 モード PA23/A23/IRQ5/TIOC0B/SCK1 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA23 入出力 (ポート) 001 : A23 出力 (BSC) (初期値) 010 : 設定禁止 011 : IRQ5 入力 (INTC) 100 : TIOC0B 入出力 (MTU2) 101 : SCK1 入出力 (SCIF) 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PA22MD[2:0]	000*	R/W	PA22 モード PA22/A22/IRQ4/TIOC0A 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA22 入出力 (ポート) 001 : A22 出力 (BSC) (初期値) 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : TIOC0A 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PA21MD[2:0]	000*	R/W	<p>PA21 モード</p> <p>PA21/A21/IRQ3 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PA21 入出力 (ポート)</p> <p>001 : A21 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : IRQ3 入力 (INTC)</p> <p>100 : 設定禁止</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PA20MD[2:0]	000*	R/W	<p>PA20 モード</p> <p>PA20/A20/IRQ2 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PA20 入出力 (ポート)</p> <p>001 : A20 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : IRQ2 入力 (INTC)</p> <p>100 : 設定禁止</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(3) ポート A コントロールレジスタ H1 (PACRH1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PA19MD[2:0]	-	PA18MD[2:0]	-	PA17MD[2:0]	-	PA16MD[2:0]
---	-------------	---	-------------	---	-------------	---	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA19MD[2:0]	000*	R/W	PA19 モード PA19/A19/IRQ1 端子の機能を制御します。 • エリア 0: 16 ビットモード / 8 ビットモード 000: PA19 入出力 (ポート) 001: A19 出力 (BSC) (初期値) 010: 設定禁止 011: IRQ1 入力 (INTC) 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PA18MD[2:0]	000*	R/W	PA18 モード PA18/A18/IRQ0 端子の機能を制御します。 • エリア 0: 16 ビットモード / 8 ビットモード 000: PA18 入出力 (ポート) 001: A18 出力 (BSC) (初期値) 010: 設定禁止 011: IRQ0 入力 (INTC) 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PA17MD[2:0]	000*	R/W	PA17 モード PA17/A17/TXD3 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA17 入出力 (ポート) 001 : A17 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TXD3 出力 (SCIF) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PA16MD[2:0]	000*	R/W	PA16 モード PA16/A16/RXD3 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA16 入出力 (ポート) 001 : A16 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : RXD3 入力 (SCIF) 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(4) ポート A コントロールレジスタ L4 (PACRL4)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA15MD[2:0]			-	PA14MD[2:0]			-	PA13MD[2:0]			-	PA12MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
14~12	PA15MD[2:0]	000*	R/W	PA15 モード PA15/A15/SCK3 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA15 入出力 (ポート) 001 : A15 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : SCK3 入出力 (SCIF) 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PA14MD[2:0]	000*	R/W	PA14 モード PA14/A14 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA14 入出力 (ポート) 001 : A14 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PA13MD[2:0]	000*	R/W	PA13 モード PA13/A13 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA13 入出力 (ポート) 001 : A13 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
2~0	PA12MD[2:0]	000*	R/W	PA12 モード PA12/A12 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA12 入出力 (ポート) 001 : A12 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(5) ポート A コントロールレジスタ L3 (PACRL3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA11MD[2:0]			-	PA10MD[2:0]			-	PA9MD[2:0]			-	PA8MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA11MD[2:0]	000*	R/W	PA11 モード PA11/A11 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA11 入出力 (ポート) 001 : A11 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PA10MD[2:0]	000*	R/W	PA10 モード PA10/A10 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA10 入出力 (ポート) 001 : A10 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PA9MD[2:0]	000*	R/W	PA9 モード PA9/A9 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA9 入出力 (ポート) 001 : A9 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PA8MD[2:0]	000*	R/W	PA8 モード PA8/A8 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA8 入出力 (ポート) 001 : A8 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(6) ポート A コントロールレジスタ L2 (PACRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PA7MD[2:0]	-	PA6MD[2:0]	-	PA5MD[2:0]	-	PA4MD[2:0]
---	------------	---	------------	---	------------	---	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA7MD[2:0]	000*	R/W	PA7 モード PA7/A7 端子の機能を制御します。 • エリア 0: 16 ビットモード / 8 ビットモード 000: PA7 入出力 (ポート) 001: A7 出力 (BSC) (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PA6MD[2:0]	000*	R/W	PA6 モード PA6/A6 端子の機能を制御します。 • エリア 0: 16 ビットモード / 8 ビットモード 000: PA6 入出力 (ポート) 001: A6 出力 (BSC) (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PA5MD[2:0]	000*	R/W	PA5 モード PA5/A5 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA5 入出力 (ポート) 001 : A5 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PA4MD[2:0]	000*	R/W	PA4 モード PA4/A4 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA4 入出力 (ポート) 001 : A4 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(7) ポート A コントロールレジスタ L1 (PACRL1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PA3MD[2:0]	-	PA2MD[2:0]	-	PA1MD[2:0]	-	PA0MD[2:0]
---	------------	---	------------	---	------------	---	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA3MD[2:0]	000*	R/W	PA3 モード PA3/A3 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0: 16 ビットモード / 8 ビットモード 000: PA3 入出力 (ポート) 001: A3 出力 (BSC) (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PA2MD[2:0]	000*	R/W	PA2 モード PA2/A2 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0: 16 ビットモード / 8 ビットモード 000: PA2 入出力 (ポート) 001: A2 出力 (BSC) (初期値) 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PA1MD[2:0]	000*	R/W	PA1 モード PA1/A1 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA1 入出力 (ポート) 001 : A1 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PA0MD[2:0]	000*	R/W	PA0 モード PA0/A0 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード 000 : PA0 入出力 (ポート) 001 : A0 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19.1.3 ポート B・IO レジスタ H、L (PBIORH、PBIORL)

PBIORH、PBIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB30IOR ~ PB0IOR ビットが、それぞれ、PB30 ~ PB0 端子に対応しています。PBIORH および PBIORL は、ポート B の端子機能が汎用入出力 (PB30 ~ PB0) および MTU2/MTU2S の TIOIC 入出力の場合に有効で、その他の機能の場合は無効です。PBIORH、PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORH のビット 15 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

PBIORH、PBIORL は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート B・IO レジスタ H (PBIORH)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PB30 IOR	PB29 IOR	PB28 IOR	PB27 IOR	PB26 IOR	PB25 IOR	PB24 IOR	PB23 IOR	PB22 IOR	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート B・IO レジスタ L (PBIORL)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19. ピンファンクションコントローラ (PFC)

19.1.4 ポート B コントロールレジスタ H1 ~ H4、L1 ~ L4 (PBCRH1 ~ PBCRH4、PBCRL1 ~ PBCRL4)

PBCRH1 ~ PBCRH4、PBCRL1 ~ PBCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

PBCRH1 ~ PBCRH4、PBCRL1 ~ PBCRL4 は、パワーオンリセットで表 19.5 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート B コントロールレジスタ H4 (PBCRH4)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PB30MD[2:0]		-	PB29MD[2:0]			-	PB28MD[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ~ 8	PB30MD[2:0]	000	R/W	PB30 モード PB30/IRQOUT/REFOUT/UBCTRG 端子の機能を制御します。 000 : PB30 入出力 (ポート) 001 : IRQOUT/REFOUT 出力 (INTC/BSC) 010 : 設定禁止 011 : UBCTRG 出力 (UBC) 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6 ~ 4	PB29MD[2:0]	000	R/W	PB29 モード PB29/DREQ0/TIOC1B 端子の機能を制御します。 000 : PB29 入出力 (ポート) 001 : 設定禁止 010 : DREQ0 入力 (DMAC) 011 : 設定禁止 100 : TIOC1B 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PB28MD[2:0]	000	R/W	PB28 モード PB28/DACK0/TIOC1A/RXD3 端子の機能を制御します。 000 : PB28 入出力 (ポート) 001 : 設定禁止 010 : DACK0 出力 (DMAC) 011 : 設定禁止 100 : TIOC1A 入出力 (MTU2) 101 : RXD3 入力 (SCIF) 110 : 設定禁止 111 : 設定禁止

(2) ポート B コントロールレジスタ H3 (PBCRH3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB27MD[2:0]			-	PB26MD[2:0]			-	PB25MD[2:0]			-	PB24MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PB27MD[2:0]	000	R/W	PB27 モード PB27/TEND0/TIOC2A/TXD3/AUDATA0 端子の機能を制御します。 000 : PB27 入出力 (ポート) 001 : 設定禁止 010 : TEND0 出力 (DMAC) 011 : 設定禁止 100 : TIOC2A 入出力 (MTU2) 101 : TXD3 出力 (SCIF) 110 : AUDATA0 出力 (AUD) 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PB26MD[2:0]	000	R/W	<p>PB26 モード</p> <p>PB26/DREQ1/TIOC2B/SCK3/AUDATA1 端子の機能を制御します。</p> <p>000 : PB26 入出力 (ポート)</p> <p>001 : 設定禁止</p> <p>010 : DREQ1 入力 (DMAC)</p> <p>011 : 設定禁止</p> <p>100 : TIOC2B 入出力 (MTU2)</p> <p>101 : SCK3 入出力 (SCIF)</p> <p>110 : AUDATA1 出力 (AUD)</p> <p>111 : 設定禁止</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	PB25MD[2:0]	000	R/W	<p>PB25 モード</p> <p>PB25/DACK1/IRQ3/TCLKA/TXD3/AUDATA2 端子の機能を制御します。</p> <p>000 : PB25 入出力 (ポート)</p> <p>001 : 設定禁止</p> <p>010 : DACK1 出力 (DMAC)</p> <p>011 : IRQ3 入力 (INTC)</p> <p>100 : TCLKA 入力 (MTU2)</p> <p>101 : TXD3 出力 (SCIF)</p> <p>110 : AUDATA2 出力 (AUD)</p> <p>111 : 設定禁止</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PB24MD[2:0]	000	R/W	<p>PB24 モード</p> <p>PB24/TEND1/IRQ2/TCLKB/RXD3/AUDATA3 端子の機能を制御します。</p> <p>000 : PB24 入出力 (ポート)</p> <p>001 : 設定禁止</p> <p>010 : TEND1 出力 (DMAC)</p> <p>011 : IRQ2 入力 (INTC)</p> <p>100 : TCLKB 入力 (MTU2)</p> <p>101 : RXD3 入力 (SCIF)</p> <p>110 : AUDATA3 出力 (AUD)</p> <p>111 : 設定禁止</p>

19. ピンファンクションコントローラ (PFC)

(3) ポート B コントロールレジスタ H2 (PBCRH2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PB23MD[2:0]	-	PB22MD[2:0]	-	PB21MD[2:0]	-	PB20MD[2:0]
---	-------------	---	-------------	---	-------------	---	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PB23MD[2:0]	000	R/W	PB23 モード PB23/DREQ2/TCLKC/TXD2/AUDCK 端子の機能を制御します。 000: PB23 入出力 (ポート) 001: 設定禁止 010: DREQ2 入力 (DMAC) 011: 設定禁止 100: TCLKC 入力 (MTU2) 101: TXD2 出力 (SCIF) 110: AUDCK 出力 (AUD) 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB22MD[2:0]	000	R/W	PB22 モード PB22/DACK2/TCLKD/RXD2/AUDSYNC 端子の機能を制御します。 000: PB22 入出力 (ポート) 001: 設定禁止 010: DACK2 出力 (DMAC) 011: 設定禁止 100: TCLKD 入力 (MTU2) 101: RXD2 入力 (SCIF) 110: AUDSYNC 出力 (AUD) 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PB21MD[2:0]	000	R/W	PB21 モード PB21/ $\overline{\text{CS2}}$ /IRQ0/TIOC3BS/RXD0 端子の機能を制御します。 000 : PB21 入出力 (ポート) 001 : $\overline{\text{CS2}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ0 入力 (INTC) 100 : TIOC3BS 入出力 (MTU2S) 101 : RXD0 入力 (SCIF) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PB20MD[2:0]	000	R/W	PB20 モード PB20/ $\overline{\text{BS}}$ /TIOC3DS 端子の機能を制御します。 000 : PB20 入出力 (ポート) 001 : $\overline{\text{BS}}$ 出力 (BSC) 010 : 設定禁止 011 : 設定禁止 100 : TIOC3DS 入出力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(4) ポート B コントロールレジスタ H1 (PBCRH1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB19MD[2:0]			-	PB18MD[2:0]			-	PB17MD[2:0]			-	PB16MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
14~12	PB19MD[2:0]	000	R/W	PB19 モード PB19/ $\overline{\text{CS6}}$ /IRQ6/TIOC3D 端子の機能を制御します。 000 : PB19 入出力 (ポート) 001 : $\overline{\text{CS6}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ6 入力 (INTC) 100 : TIOC3D 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB18MD[2:0]	000	R/W	PB18 モード PB18/ $\overline{\text{CS4}}$ /IRQ4/TIOC3B 端子の機能を制御します。 000 : PB18 入出力 (ポート) 001 : $\overline{\text{CS4}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : TIOC3B 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PB17MD[2:0]	000	R/W	PB17 モード PB17/ $\overline{\text{CS3}}$ /IRQ1/TIOC3A 端子の機能を制御します。 000 : PB17 入出力 (ポート) 001 : $\overline{\text{CS3}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ1 入力 (INTC) 100 : TIOC3A 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
2~0	PB16MD[2:0]	000*	R/W	PB16 モード PB16/ $\overline{\text{CS1}}$ / $\overline{\text{POE1}}$ /TXD0 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PB16 入出力 (ポート) 001 : $\overline{\text{CS1}}$ 出力 (BSC) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : $\overline{\text{POE1}}$ 入力 (POE2) 101 : TXD0 出力 (SCIF) 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(5) ポート B コントロールレジスタ L4 (PBCRL4)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB15MD[2:0]			-	PB14MD[2:0]			-	PB13MD[2:0]			-	PB12MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PB15MD[2:0]	000	R/W	PB15 モード PB15/ $\overline{\text{CS5}}$ /IRQ5/TIOC3C 端子の機能を制御します。 000 : PB15 入出力 (ポート) 001 : $\overline{\text{CS5}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ5 入力 (INTC) 100 : TIOC3C 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PB14MD[2:0]	000	R/W	PB14 モード PB14/ $\overline{\text{ADTRG}}$ / $\overline{\text{RXD2}}$ / $\overline{\text{MRES}}$ 端子の機能を制御します。 000 : PB14 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : $\overline{\text{ADTRG}}$ 入力 (ADC) 100 : 設定禁止 101 : $\overline{\text{RXD2}}$ 入力 (SCIF) 110 : $\overline{\text{MRES}}$ 入力 (システム制御) 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PB13MD[2:0]	000	R/W	PB13 モード PB13/ $\overline{\text{BACK}}$ / $\overline{\text{TIOC4BS}}$ / $\overline{\text{SCK2}}$ 端子の機能を制御します。 000 : PB13 入出力 (ポート) 001 : $\overline{\text{BACK}}$ 出力 (BSC) 010 : 設定禁止 011 : 設定禁止 100 : $\overline{\text{TIOC4BS}}$ 入出力 (MTU2S) 101 : $\overline{\text{SCK2}}$ 入出力 (SCIF) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PB12MD[2:0]	000	R/W	PB12 モード PB12/ $\overline{\text{BREQ}}$ / $\overline{\text{TIOC4AS}}$ / $\overline{\text{TXD2}}$ 端子の機能を制御します。 000 : PB12 入出力 (ポート) 001 : $\overline{\text{BREQ}}$ 入力 (BSC) 010 : 設定禁止 011 : 設定禁止 100 : $\overline{\text{TIOC4AS}}$ 入出力 (MTU2S) 101 : $\overline{\text{TXD2}}$ 出力 (SCIF) 110 : 設定禁止 111 : 設定禁止

19. ピンファンクションコントローラ (PFC)

(6) ポート B コントロールレジスタ L3 (PBCRL3)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PB11MD[2:0]		-	PB10MD[2:0]		-	PB9MD[2:0]		-	PB8MD[2:0]	
---	-------------	--	---	-------------	--	---	------------	--	---	------------	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PB11MD[2:0]	000	R/W	PB11 モード PB11/ĀH/DACK3/TIOC4DS/TXD2 端子の機能を制御します。 000: PB11 入出力 (ポート) 001: ĀH 出力 (BSC) 010: DACK3 出力 (DMAC) 011: 設定禁止 100: TIOC4 DS 入出力 (MTU2S) 101: TXD2 出力 (SCIF) 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB10MD[2:0]	000	R/W	PB10 モード PB10/WĀIT/DREQ3/TIOC4CS/RXD2 端子の機能を制御します。 000: PB10 入出力 (ポート) 001: WĀIT 入力 (BSC) 010: DREQ3 入力 (DMAC) 011: 設定禁止 100: TIOC4CS 入出力 (MTU2S) 101: RXD2 入力 (SCIF) 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PB9MD[2:0]	000*	R/W	<p>PB9 モード</p> <p>PB9/<u>WE1/DQMLU</u>/TIOC3CS/TXD3 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PB9 入出力 (ポート)</p> <p>001 : <u>WE1/DQMLU</u> 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : TIOC3CS 入出力 (MTU2S)</p> <p>101 : TXD3 出力 (SCIF)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PB8MD[2:0]	000*	R/W	<p>PB8 モード</p> <p>PB8/<u>WE0/DQMLL</u>/TIOC3AS/RXD3 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PB8 入出力 (ポート)</p> <p>001 : <u>WE0/DQMLL</u> 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : TIOC3AS 入出力 (MTU2S)</p> <p>101 : RXD3 入力 (SCIF)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

【注】 * LSI の動作モードにより初期値が異なります。

(7) ポート B コントロールレジスタ L2 (PBCRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB7MD[2:0]			-	PB6MD[2:0]			-	PB5MD[2:0]			-	PB4MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
14~12	PB7MD[2:0]	000	R/W	PB7 モード PB7/ $\overline{\text{CS7}}$ /IRQ7/TIOC4D 端子の機能を制御します。 000 : PB7 入出力 (ポート) 001 : $\overline{\text{CS7}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ7 入力 (INTC) 100 : TIOC4D 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PB6MD[2:0]	000	R/W	PB6 モード PB6/ $\overline{\text{CASL}}$ /IRQ3/TIOC4C 端子の機能を制御します。 000 : PB6 入出力 (ポート) 001 : $\overline{\text{CASL}}$ 出力 (BSC) 010 : 設定禁止 011 : IRQ3 入力 (INTC) 100 : TIOC4C 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PB5MD[2:0]	000	R/W	PB5 モード PB5/ $\overline{\text{RASL}}$ /IRQ2/TIOC4B 端子の機能を制御します。 000 : PB5 入出力 (ポート) 001 : $\overline{\text{RASL}}$ 出力 (BSC) (初期値) 010 : 設定禁止 011 : IRQ2 入力 (INTC) 100 : TIOC4B 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
2~0	PB4MD[2:0]	000	R/W	PB4 モード PB4/CKE/TIOC4A 端子の機能を制御します。 000 : PB4 入出力 (ポート) 001 : CKE 出力 (BSC) 010 : 設定禁止 011 : 設定禁止 100 : TIOC4A 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(8) ポート B コントロールレジスタ L1 (PBCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB3MD[2:0]			-	PB2MD[2:0]			-	PB1MD[2:0]			-	PB0MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PB3MD[2:0]	000*	R/W	PB3 モード PB3/CK 端子の機能を制御します。 • エリア 0 : 16 ビットモード / 8 ビットモード 000 : PB3 入出力 (ポート) 001 : CK 出力 (CPG) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PB2MD[2:0]	000*	R/W	<p>PB2 モード</p> <p>PB2/$\overline{CS0}$/$\overline{POE4}$/SCK0 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PB2 入出力 (ポート)</p> <p>001 : $\overline{CS0}$ 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : $\overline{POE4}$ 入力 (POE2)</p> <p>101 : SCK0 入出力 (SCIF)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	PB1MD[2:0]	000	R/W	<p>PB1 モード</p> <p>PB1/RD/\overline{WR}/$\overline{POE8}$/TXD0 端子の機能を制御します。</p> <p>000 : PB1 入出力 (ポート)</p> <p>001 : RD/\overline{WR} 出力 (BSC)</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : $\overline{POE8}$ 入力 (POE2)</p> <p>101 : TXD0 出力 (SCIF)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PB0MD[2:0]	000*	R/W	<p>PB0 モード</p> <p>PB0/RD/$\overline{POE0}$/RXD0 端子の機能を制御します。</p> <ul style="list-style-type: none"> エリア 0 : 16 ビットモード / 8 ビットモード <p>000 : PB0 入出力 (ポート)</p> <p>001 : \overline{RD} 出力 (BSC) (初期値)</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : $\overline{POE0}$ 入力 (POE2)</p> <p>101 : RXD0 入力 (SCIF)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

【注】 * LSI の動作モードにより初期値が異なります。

19.1.5 ポート D・IO レジスタ (PDIOR)

PDIOR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15 ~ PD0 端子に対応しています。PDIOR はポート D の端子機能が汎用入出力 (PD15 ~ PD0) の場合に有効で、その他の機能の場合は無効です。PDIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIOR は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.1.6 ポート D コントロールレジスタ L1 ~ L4 (PDCRL1 ~ PDCRL4)

PDCRL1 ~ PDCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

PDCRL1 ~ PDCRL4 は、パワーオンリセットで表 19.6 に示す値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

表 19.6 ポート D コントロールレジスタ初期値

レジスタ名	初期値	
	エリア 0 : 16 ビットモード	エリア 0 : 8 ビットモード
PDCRL4	H'1111	H'0000
PDCRL3	H'1111	H'0000
PDCRL2	H'1111	H'1111
PDCRL1	H'1111	H'1111

19. ピンファンクションコントローラ (PFC)

(1) ポート D コントロールレジスタ L4 (PDCRL4)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PD15MD[2:0]	-	PD14MD[2:0]	-	PD13MD[2:0]	-	PD12MD[2:0]
---	-------------	---	-------------	---	-------------	---	-------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PD15MD[2:0]	000*	R/W	PD15 モード PD15/D15/TIC5US 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD15 入出力 (ポート) 001 : D15 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5US 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD15 入出力 (ポート) (初期値) 001 : D15 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5US 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PD14MD[2:0]	000*	R/W	PD14 モード PD14/D14/TIC5VS 端子の機能を制御します。 <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD14 入出力 (ポート) 001 : D14 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5VS 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD14 入出力 (ポート) (初期値) 001 : D14 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5VS 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PD13MD[2:0]	000*	R/W	PD13 モード PD13/D13/TIC5WS 端子の機能を制御します。 <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD13 入出力 (ポート) 001 : D13 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5WS 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD13 入出力 (ポート) (初期値) 001 : D13 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5WS 入力 (MTU2S) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
2~0	PD12MD[2:0]	000*	R/W	PD12 モード PD12/D12/TIC5U 端子の機能を制御します。 <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD12 入出力 (ポート) 001 : D12 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5U 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD12 入出力 (ポート) (初期値) 001 : D12 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5U 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

(2) ポート D コントロールレジスタ L3 (PDCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD11MD[2:0]			-	PD10MD[2:0]			-	PD9MD[2:0]			-	PD8MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
14 ~ 12	PD11MD[2:0]	000*	R/W	PD11 モード PD11/D11/TIC5V 端子の機能を制御します。 <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD11 入出力 (ポート) 001 : D11 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5V 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD11 入出力 (ポート) (初期値) 001 : D11 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5V 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
10~8	PD10MD[2:0]	000*	R/W	<p>PD10 モード</p> <p>PD10/D10/TIC5W 端子の機能を制御します。</p> <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD10 入出力 (ポート) 001 : D10 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : TIC5W 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD10 入出力 (ポート) (初期値) 001 : D10 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : TIC5W 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
6~4	PD9MD[2:0]	000*	R/W	<p>PD9 モード</p> <p>PD9/D9 端子の機能を制御します。</p> <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD9 入出力 (ポート) 001 : D9 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD9 入出力 (ポート) (初期値) 001 : D9 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説 明
2~0	PD8MD[2:0]	000*	R/W	PD8 モード PD8/D8 端子の機能を制御します。 <ul style="list-style-type: none"> • エリア 0 : 16 ビットモード <ul style="list-style-type: none"> 000 : PD8 入出力 (ポート) 001 : D8 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 • エリア 0 : 8 ビットモード <ul style="list-style-type: none"> 000 : PD8 入出力 (ポート) (初期値) 001 : D8 入出力 (データ) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(3) ポート D コントロールレジスタ L2 (PDCRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PD7MD[2:0]				-	PD6MD[2:0]				-	PD5MD[2:0]				-	PD4MD[2:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PD7MD[2:0]	000*	R/W	PD7 モード PD7/D7 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 8 ビットモード 000 : PD7 入出力 (ポート) 001 : D7 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PD6MD[2:0]	000*	R/W	PD6 モード PD6/D6 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 8 ビットモード 000 : PD6 入出力 (ポート) 001 : D6 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PD5MD[2:0]	000*	R/W	PD5 モード PD5/D5 端子の機能を制御します。 • エリア 0 : 8 ビットモード 000 : PD5 入出力 (ポート) 001 : D5 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PD4MD[2:0]	000*	R/W	PD4 モード PD4/D4 端子の機能を制御します。 • エリア 0 : 8 ビットモード 000 : PD4 入出力 (ポート) 001 : D4 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

(4) ポート D コントロールレジスタ L1 (PDCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD3MD[2:0]			-	PD2MD[2:0]			-	PD1MD[2:0]			-	PD0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PD3MD[2:0]	000*	R/W	PD3 モード PD3/D3 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 8 ビットモード 000 : PD3 入出力 (ポート) 001 : D3 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PD2MD[2:0]	000*	R/W	PD2 モード PD2/D2 端子の機能を制御します。 <ul style="list-style-type: none"> エリア 0 : 8 ビットモード 000 : PD2 入出力 (ポート) 001 : D2 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値	R/W	説明
6~4	PD1MD[2:0]	000*	R/W	PD1 モード PD1/D1 端子の機能を制御します。 • エリア 0 : 8 ビットモード 000 : PD1 入出力 (ポート) 001 : D1 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PD0MD[2:0]	000*	R/W	PD0 モード PD0/D0 端子の機能を制御します。 • エリア 0 : 8 ビットモード 000 : PD0 入出力 (ポート) 001 : D0 入出力 (データ) (初期値) 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * LSI の動作モードにより初期値が異なります。

19. ピンファンクションコントローラ (PFC)

19.1.7 ポート F コントロールレジスタ L1 (PFCRL1)

PFCRL1 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

PFCRL1 は、パワーオンリセットで表 19.5 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PF1MD[2:0]			-	PF0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PF1MD[2:0]	000	R/W	PF1 モード PF1/IRQ1/ $\overline{POE3}$ /SDA 端子の機能を制御します。 000 : PF1 入力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : IRQ1 入力 (INTC) 100 : $\overline{POE3}$ 入力 (POE2) 101 : SDA 入出力 (IIC3) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PF0MD[2:0]	000	R/W	PF0 モード PF0/IRQ0/ $\overline{POE7}$ /SCL 端子の機能を制御します。 000 : PF0 入力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : IRQ0 入力 (INTC) 100 : $\overline{POE7}$ 入力 (POE2) 101 : SCL 入出力 (IIC3) 110 : 設定禁止 111 : 設定禁止

19.1.8 IRQOUT 機能コントロールレジスタ (IFCR)

IFCR は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B コントロールレジスタ H4 (PBCRH4) により、マルチプレクス機能が $\overline{\text{IRQOUT}}/\overline{\text{REFOUT}}$ 出力に設定された場合、その出力を制御するために使用します。PBCRH4 の設定が他の機能になっている場合、このレジスタの設定は端子の機能に影響を与えません。

IFCR は、パワーオンリセットで H'0000 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	IRQMD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	IRQMD[1:0]	00	R/W	IRQOUT モード PBCRH4 のビット 10、9、8 (PB30MD[2:0]) が B'001 に設定されている場合の $\overline{\text{IRQOUT}}/\overline{\text{REFOUT}}$ 端子機能を選択します。 00: 割り込み要求受け付け出力 01: リフレッシュ信号出力 10: 割り込み要求受け付け出力またはリフレッシュ信号出力 (どちらが出力されるかは、そのときの動作状態によります) 11: 常にハイレベル出力

19. ピンファンクションコントローラ (PFC)

19.1.9 WAVE 機能コントロールレジスタ 1、2 (WAVECR1、2)

WAVECR1、WAVECR2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、WAVE 端子の機能を有効にします。

WAVECR1、2 は、パワーオンリセットでそれぞれ H'1111、H'0001 に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

- WAVE機能コントロールレジスタ2 (WAVECR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WVRMD[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	WVRMD[2:0]	001	R/W	WRXD モード WRXD 端子の機能を有効にします。 000 : 設定禁止 001 : 初期値 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : WRXD 入力 111 : 設定禁止

19. ピンファンクションコントローラ (PFC)

• WAVE機能コントロールレジスタ1 (WAVECR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	WVTMD[2:0]				-	WVSMD[2:0]				-	-	-	-	-	-	-
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	WVTMD[2:0]	001	R/W	WTXD モード WTXD 端子の機能を有効にします。 000: 設定禁止 001: 初期値 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: WTXD 出力 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	WVSMD[2:0]	001	R/W	WSCK モード WSCK 端子の機能を有効にします。 000: 設定禁止 001: 初期値 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: WSCK 出力 111: 設定禁止
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

19. ピンファンクションコントローラ (PFC)

20. I/O ポート

本 LSI のポートは、A、B、D、F の 4 本から構成されています。

それぞれのポートの端子は、すべて、そのほかの機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタおよび端子の値を読み出すためのポートレジスタを持っています。

20.1 ポート A

ポート A は、図 20.1 に示すような、26 本の端子を持つ入出力ポートです。

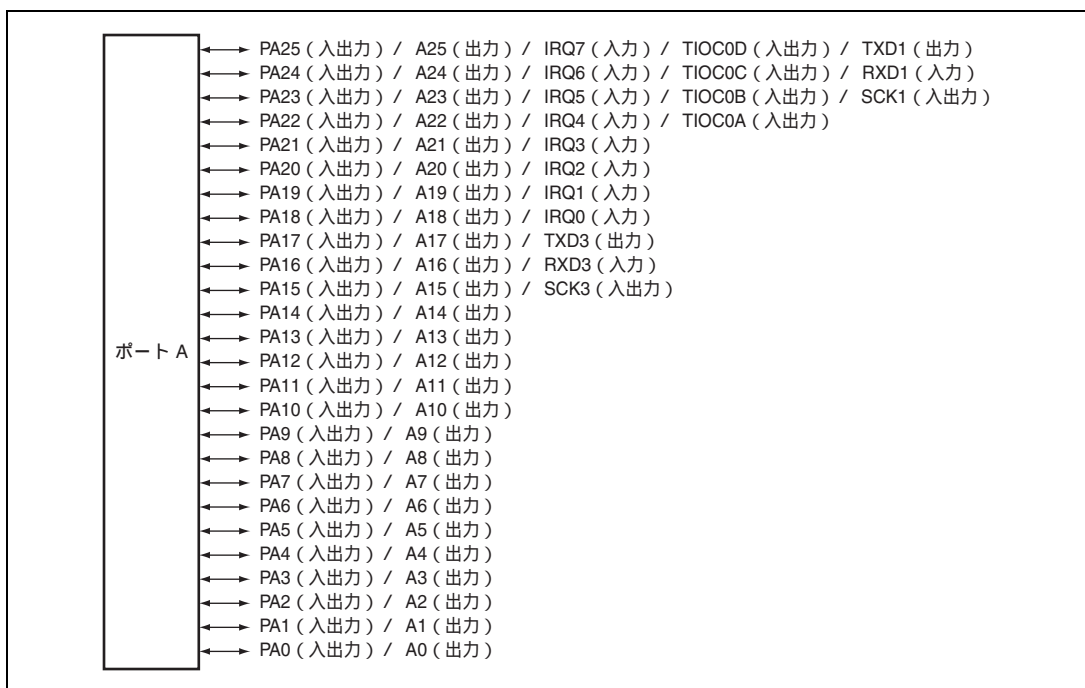


図 20.1 ポート A

20.1.1 レジスタの説明

ポート A のレジスタを表 20.1 に示します。

表 20.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFE3800	8、16、32
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFE3802	8、16
ポート A ポートレジスタ H	PAPRH	R	H'xxxx	H'FFFE381C	8、16、32
ポート A ポートレジスタ L	PAPRL	R	H'xxxx	H'FFFE381E	8、16

20.1.2 ポート A データレジスタ H、L (PADRH、PADRL)

PADRH、PADRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA25DR ~ PA0DR ビットは、それぞれ PA25 ~ PA0 端子に対応しています。

端子機能が汎用出力の場合には、PADRH または PADRL に値を書き込むと端子からその値が出力され、PADRH または PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH または PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH または PADRL に値を書き込むと、PADRH または PADRL にその値を書き込みますが、端子の状態には影響しません。表 20.2 に PADRH、PADRL の読み出し / 書き込み動作を示します。

PADRH、PADRL は、パワーオンリセットで表 20.1 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート A データレジスタ H (PADRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PA25 DR	PA24 DR	PA23 DR	PA22 DR	PA21 DR	PA20 DR	PA19 DR	PA18 DR	PA17 DR	PA16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PA25DR	0	R/W	表 20.2 参照
8	PA24DR	0	R/W	
7	PA23DR	0	R/W	
6	PA22DR	0	R/W	
5	PA21DR	0	R/W	
4	PA20DR	0	R/W	
3	PA19DR	0	R/W	

ビット	ビット名	初期値	R/W	説明
2	PA18DR	0	R/W	表 20.2 参照
1	PA17DR	0	R/W	
0	PA16DR	0	R/W	

(2) ポート A データレジスタ L (PADRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 20.2 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 20.2 ポート A データレジスタ H、L (PADRH、PADRL) の読み出し / 書き込み動作

- PADRHのビット9~0およびPADRLのビット15~0

PAIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PADRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PADRH、L の値	PADRH、L に書き込めるが、端子の状態に影響しない

20. I/O ポート

20.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)

PAPRH、PAPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PA25PR ~ PA0PR ビットが、それぞれ PA25 ~ PA0 端子に対応しています。PAPRH、PAPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート A ポートレジスタ H (PAPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PA25 PR	PA24 PR	PA23 PR	PA22 PR	PA21 PR	PA20 PR	PA19 PR	PA18 PR	PA17 PR	PA16 PR
初期値:	0	0	0	0	0	0	PA25	PA24	PA23	PA22	PA21	PA20	PA19	PA18	PA17	PA16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
9	PA25PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
8	PA24PR	端子の状態	R	
7	PA23PR	端子の状態	R	
6	PA22PR	端子の状態	R	
5	PA21PR	端子の状態	R	
4	PA20PR	端子の状態	R	
3	PA19PR	端子の状態	R	
2	PA18PR	端子の状態	R	
1	PA17PR	端子の状態	R	
0	PA16PR	端子の状態	R	

(2) ポート A ポートレジスタ L (PAPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	PA14 PR	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR
初期値:	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PA14PR	端子の状態	R	
13	PA13PR	端子の状態	R	
12	PA12PR	端子の状態	R	
11	PA11PR	端子の状態	R	
10	PA10PR	端子の状態	R	
9	PA9PR	端子の状態	R	
8	PA8PR	端子の状態	R	
7	PA7PR	端子の状態	R	
6	PA6PR	端子の状態	R	
5	PA5PR	端子の状態	R	
4	PA4PR	端子の状態	R	
3	PA3PR	端子の状態	R	
2	PA2PR	端子の状態	R	
1	PA1PR	端子の状態	R	
0	PA0PR	端子の状態	R	

20.2 ポート B

ポート B は、図 20.2 に示すような、31 本の端子を持つ入出力ポートです。

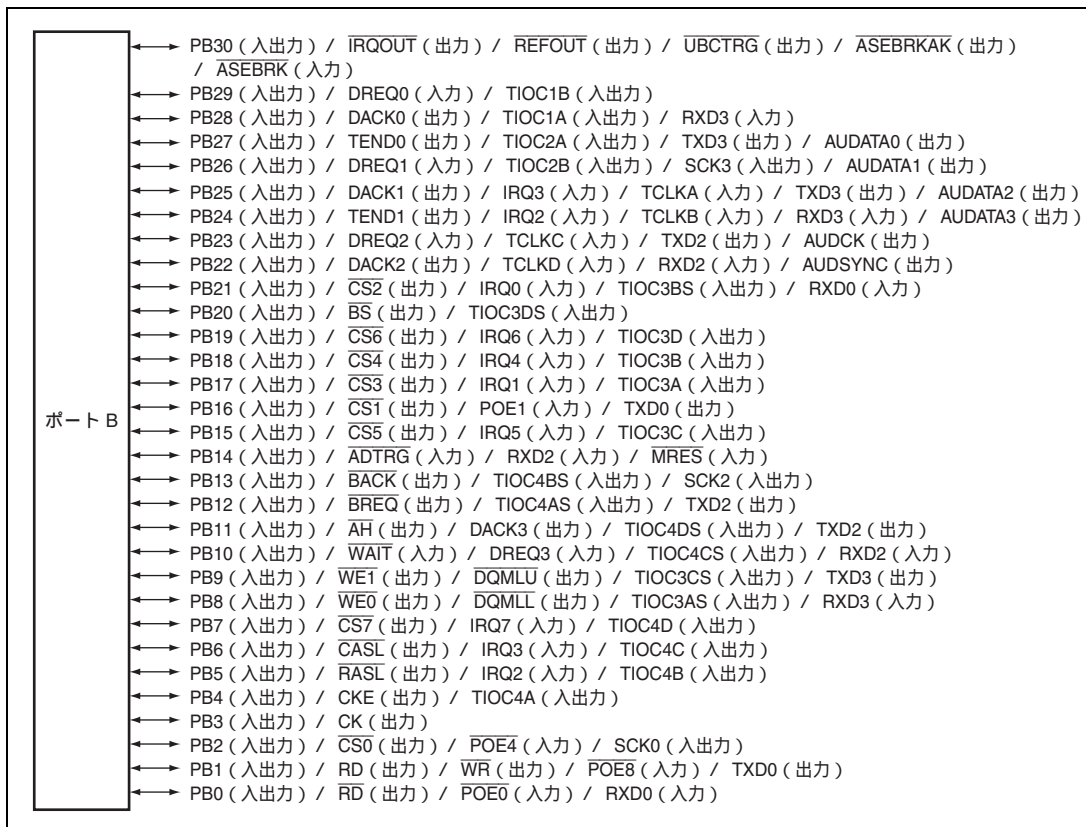


図 20.2 ポート B

20.2.1 レジスタの説明

ポート B のレジスタを表 20.3 に示します。

表 20.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ H	PBDRH	R/W	H'0000	H'FFFE3880	8、16、32
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFE3882	8、16
ポート B ポートレジスタ H	PBPRH	R	H'xxxx	H'FFFE389C	8、16、32
ポート B ポートレジスタ L	PBPRL	R	H'xxxx	H'FFFE389E	8、16

20.2.2 ポート B データレジスタ H、L (PBDRH、PBDRL)

PBDRH、PBDRL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB30DR ~ PB0DR ビットは、それぞれ PB30 ~ PB0 端子に対応しています。

端子機能が汎用出力の場合には、PBDRH または PBDRL に値を書き込むと端子からその値が出力され、PBDRH または PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRH または PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH または PBDRL に値を書き込むと、PBDRH または PBDRL にその値を書き込みますが、端子の状態には影響しません。表 20.4 に PBDRH、PBDRL の読み出し / 書き込み動作を示します。

PBDRH、PBDRL は、パワーオンリセットで表 20.3 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

(1) ポート B データレジスタ H (PBDRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB30DR	PB29DR	PB28DR	PB27DR	PB26DR	PB25DR	PB24DR	PB23DR	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PB30DR	0	R/W	表 20.4 参照
13	PB29DR	0	R/W	
12	PB28DR	0	R/W	
11	PB27DR	0	R/W	
10	PB26DR	0	R/W	
9	PB25DR	0	R/W	
8	PB24DR	0	R/W	
7	PB23DR	0	R/W	
6	PB22DR	0	R/W	
5	PB21DR	0	R/W	
4	PB20DR	0	R/W	
3	PB19DR	0	R/W	
2	PB18DR	0	R/W	
1	PB17DR	0	R/W	
0	PB16DR	0	R/W	

20. I/O ポート

(2) ポート B データレジスタ L (PBDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 DR	PB14 DR	PB13 DR	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PB15DR	0	R/W	表 20.4 参照
14	PB14DR	0	R/W	
13	PB13DR	0	R/W	
12	PB12DR	0	R/W	
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 20.4 ポート B データレジスタ H、L (PBDRH、PBDRL) の読み出し / 書き込み動作

- PBDRHのビット14~0およびPBDRLのビット15~0

PBIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRH、L に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRH、L の値	書き込み値が端子から出力される
	汎用出力以外	PBDRH、L の値	PBDRH、L に書き込めるが、端子の状態に影響しない

20.2.3 ポート B ポートレジスタ H、L (PBPRH、PBPR L)

PBPRH、PBPR L は、それぞれ読み出し専用の 16 ビットのレジスタで、PB30PR ~ PB0PR ビットが、それぞれ PB30 ~ PB0 端子に対応しています。PBPRH、PBPR L は、端子機能の設定にかかわらず常に端子の値を読み出すことができます。

(1) ポート B ポートレジスタ H (PBPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB30 PR	PB29 PR	PB28 PR	PB27 PR	PB26 PR	PB25 PR	PB24 PR	PB23 PR	PB22 PR	PB21 PR	PB20 PR	PB19 PR	PB18 PR	PB17 PR	PB16 PR
初期値:	0	PB30	PB29	PB28	PB27	PB26	PB25	PB24	PB23	PB22	PB21	PB20	PB19	PB18	PB17	PB16
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
14	PB30PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
13	PB29PR	端子の状態	R	
12	PB28PR	端子の状態	R	
11	PB27PR	端子の状態	R	
10	PB26PR	端子の状態	R	
9	PB25PR	端子の状態	R	
8	PB24PR	端子の状態	R	
7	PB23PR	端子の状態	R	
6	PB22PR	端子の状態	R	
5	PB21PR	端子の状態	R	
4	PB20PR	端子の状態	R	
3	PB19PR	端子の状態	R	
2	PB18PR	端子の状態	R	
1	PB17PR	端子の状態	R	
0	PB16PR	端子の状態	R	

20. I/O ポート

(2) ポート B ポートレジスタ L (PBPR L)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15 PR	PB14 PR	PB13 PR	PB12 PR	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: PB15 PB14 PB13 PB12 PB11 PB10 PB9 PB8 PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0

R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
15	PB15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PB14PR	端子の状態	R	
13	PB13PR	端子の状態	R	
12	PB12PR	端子の状態	R	
11	PB11PR	端子の状態	R	
10	PB10PR	端子の状態	R	
9	PB9PR	端子の状態	R	
8	PB8PR	端子の状態	R	
7	PB7PR	端子の状態	R	
6	PB6PR	端子の状態	R	
5	PB5PR	端子の状態	R	
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

20.3 ポート D

ポート D は、図 20.3 に示すような、16 本の端子を持つ入出力ポートです。

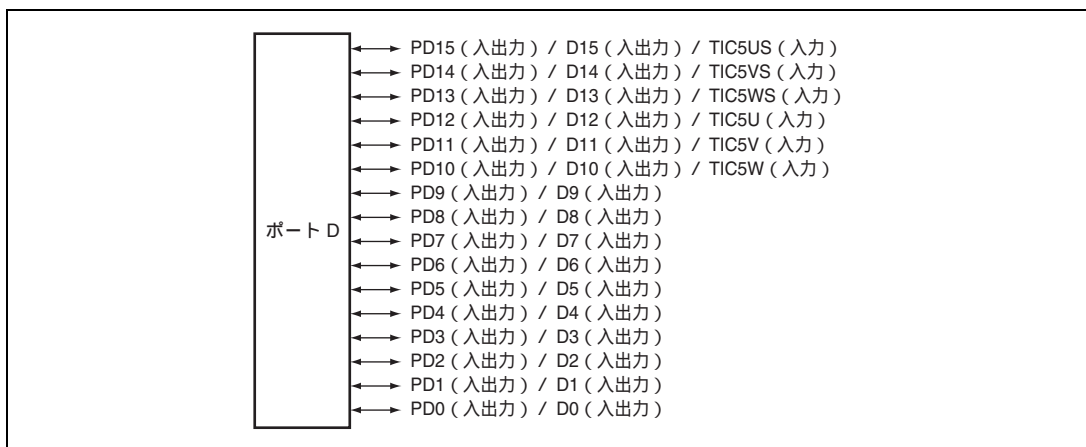


図 20.3 ポート D

20.3.1 レジスタの説明

ポート D のレジスタを表 20.5 に示します。

表 20.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFE3982	8、16
ポート D ポートレジスタ L	PDPRL	R	H'xxxx	H'FFFE399E	8、16

20.3.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ PD15 ~ PD0 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込めますが端子の状態には影響しません。表 20.8 に PDDRL の読み出し / 書き込み動作を示します。

PDDRL は、パワーオンリセットで表 20.5 に示した値に初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	PD15DR	0	R/W	表 20.6 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 20.6 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作

- PDDRLのビット15~0

PDIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

20.3.3 ポート D ポートレジスタ L (PDPRL)

PDPRL は、読み出し専用の 16 ビットのレジスタで、PD15PR ~ PD0PR ビットが、それぞれ PD15 ~ PD0 端子に対応しています。PDPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値 :	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PD15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

20.4 ポート F

ポート F は、図 20.4 に示すような、2 本の端子を持つ入出力ポートです。

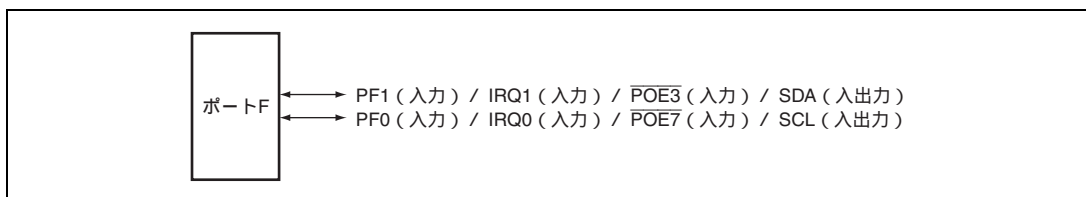


図 20.4 ポート F

20.4.1 レジスタの説明

ポート F のレジスタを表 20.7 に示します。

表 20.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R	H'0000	H'FFFE3A82	8、16

20.4.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し専用の 16 ビットのレジスタで、ポート F のデータを格納します。PF1DR、PF0DR ビットはそれぞれ PF1、PF0 端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。表 20.8 に PFDR の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PF1DR	端子の状態	R	表 20.8 参照
0	PF0DR	端子の状態	R	

表 20.8 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

- PFDRのビット1~0

端子機能	読み出し	書き込み
汎用入力	端子の状態	無視 (端子の状態に影響しない)
汎用入力以外	端子の状態	無視 (端子の状態に影響しない)

20.5 使用上の注意事項

PFC により端子が以下の機能に選択された場合、データレジスタおよびポートレジスタにアクセスして端子の状態を読み出すことはできません。

- A25 ~ A0 (アドレスバス)
- D15 ~ D0 (データバス)
- \overline{BS}
- $\overline{CS7} \sim \overline{CS0}$
- RD/ \overline{WR}
- \overline{RD}
- $\overline{WE1/DQMLU}$ 、 $\overline{WE0/DQMLL}$
- \overline{RASL} 、 \overline{CASL}
- CKE
- \overline{WAIT}
- \overline{BREQ}
- \overline{BACK}
- \overline{MRES}

21. フラッシュメモリ

本 LSI は 512KB / 384KB*のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

21.1 特長

- LSI起動モードに合わせた2種類のフラッシュメモリマット

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマットと呼びます)があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザマット : 512KB / 384KB*

ユーザブートモードでパワーオンリセット時に起動するユーザブートマット : 12KB

- 3種類のオンボードプログラミングモードと1種類のオフボードプログラミングモード

オンボードプログラミングモード :

ブートモード

内蔵SCIFインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

オフボードプログラミングモード :

ライターモード

PROMライターを用いたライターモードで、ユーザマットとユーザブートマットの書き換えが可能です。

【注】 * 「付録 B. 型名一覧」を参照。

21. フラッシュメモリ

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本LSIでは専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。さらに、ユーザブランチをサポートしています。

ユーザブランチ：

書き込み処理は256バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

- プロテクトモード

レジスタ設定によるソフトウェアプロテクトと、FWE端子によるハードウェアプロテクトの2種類のモードがあり、フラッシュメモリの書き込み / 消去に対するプロテクト状態を設定することができます。

また、書き込み / 消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に遷移し、書き込み / 消去処理を中断する機能があります。

- 書き込み / 消去時間

フラッシュメモリの書き込み時間は、256バイト同時書き込みにて2ms (Typ.)、1バイト当たり換算にて7.8 μ s、消去時間は8Kバイトブロックで80ms (Typ.)、64Kバイトブロックで600ms (Typ.)、128Kバイトブロックで1200ms (Typ.) です。

- 書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

- 書き込み / 消去時の動作周波数

書き込み / 消去時の動作周波数範囲はI = 32 ~ 40MHzです。

21.2 概要

21.2.1 ブロック図

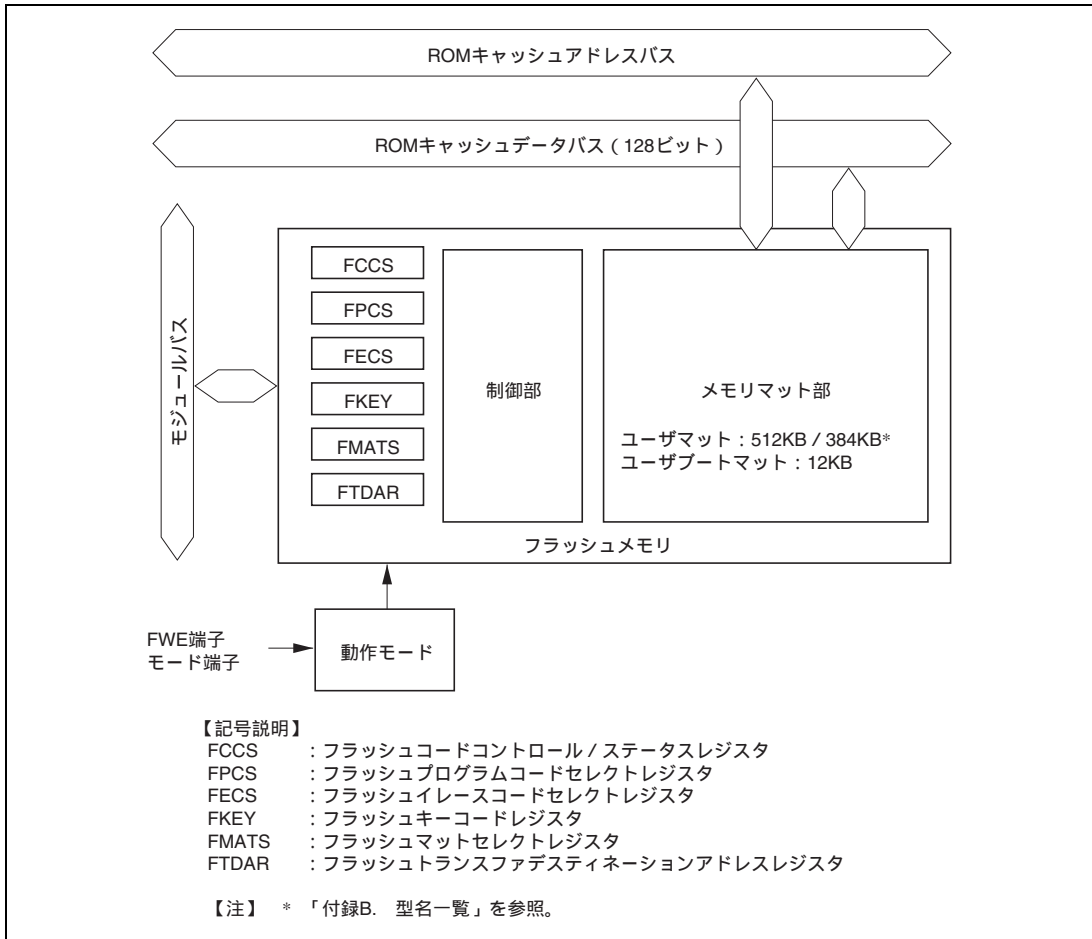


図 21.1 フラッシュメモリのブロック図

21. フラッシュメモリ

21.2.2 動作モード

リセット状態で各モード端子と FWE 端子を設定しリセットリリースすると、マイコンは図 21.2 に示すような各動作モードへ遷移します。各モード端子と FWE 端子の設定は表 21.1 をご覧ください。

- ROM無効モードではフラッシュメモリの読み出し / 書き込み / 消去はできません。
また、書き込み / 消去インタフェースレジスタの書き込みはできません。読み出すと常にH00が読み出されます。
- ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
- オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- ライターモードでは、PROMライターを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

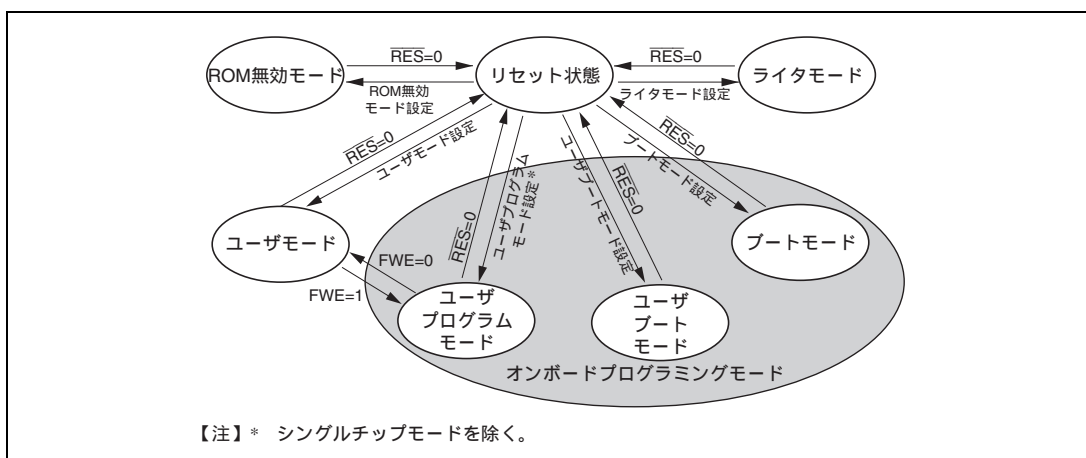


図 21.2 フラッシュメモリに関するモード遷移図

表 21.1 FWE 端子、MD 端子設定と動作モード

端子	リセット状態	ROM無効モード	ユーザモード	ユーザプログラムモード	ユーザブートモード	ブートモード	ライターモード
RES	0	1	1	1	1	1	専用の PROM ライターの条件によります
FWE	0/1	0	0	1	1	1	
MD0	0/1	0/1* ¹	0/1* ²	0	1	0	
MD1	0/1	0	1	1	0	0	

【注】 *1 MD0=0 : 16 ビット幅の外部バス、MD0=1 : 8 ビット幅の外部バス

*2 MD0=0 : 外部バス使用可能、MD0=1 : シングルチップモード (外部バス使用不可)

21.2.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み/消去関連項目の比較表を表 21.2 に示します。

表 21.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボードプログラミング			オフボードプログラミング
書き込み/消去可能マツト	ユーザマツト ユーザブートマツト	ユーザマツト	ユーザマツト	ユーザマツト ユーザブートマツト
書き込み/消去制御	コマンド方式	書き込み/消去 インタフェース	書き込み/消去 インタフェース	-
全面消去	(自動)			(自動)
ブロック分割消去	*1			x
書き込みデータ転送	ホストから SCIF 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
ユーザブランチ機能	x			x
リセットスタート時の起動マツト	組み込みプログラム 格納マツト	ユーザマツト	ユーザブート マツト*2	組み込みプログラム 格納マツト
ユーザモードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	-

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マツトから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマツトのリセットベクタから起動します。

- ユーザブートマツトの書き込み/消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマツトとユーザブートマツトが全面消去されます。その後、コマンド方式でユーザマツトまたはユーザブートマツトの書き込みができますが、この状態になるまではマツト内容の読み出しはできません。
- ユーザブートマツトだけ書き込んでユーザマツトの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマツトだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

21. フラッシュメモリ

21.2.4 フラッシュメモリ構成

本 LSI のフラッシュメモリは、512KB / 384KB*のユーザマットと 12KB のユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライターモードでのみ可能です。

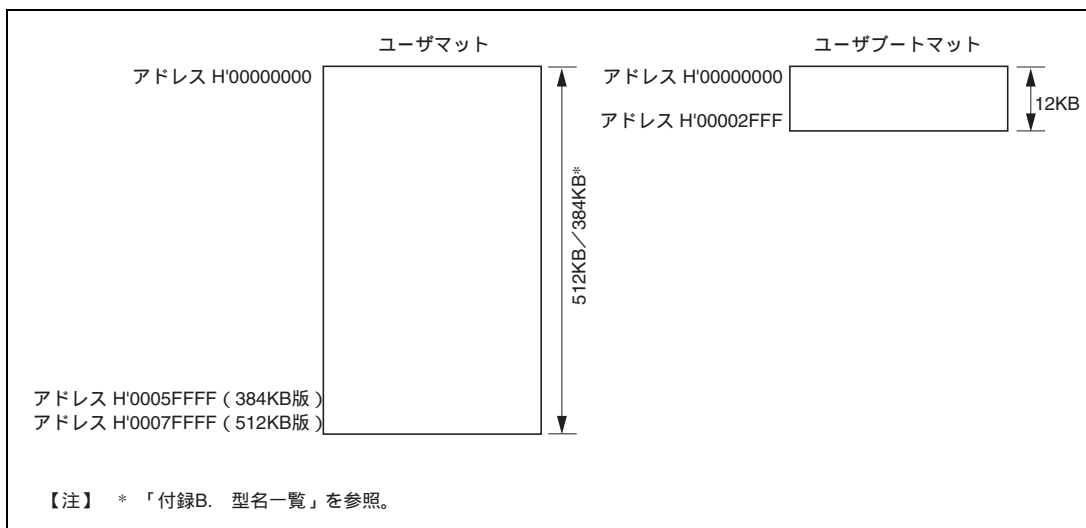


図 21.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。12KB 以上の空間のユーザブートマットにアクセスしないようにしてください。12KB を超えるユーザブートマットを読み出した場合、不定値が読み出されません。

21.2.5 ブロック分割

ユーザマツトは、図 21.4 に示すように 128KB (3 ブロック)、64KB (1 ブロック)、8KB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0～EB11 の消去ブロック番号で指定します。

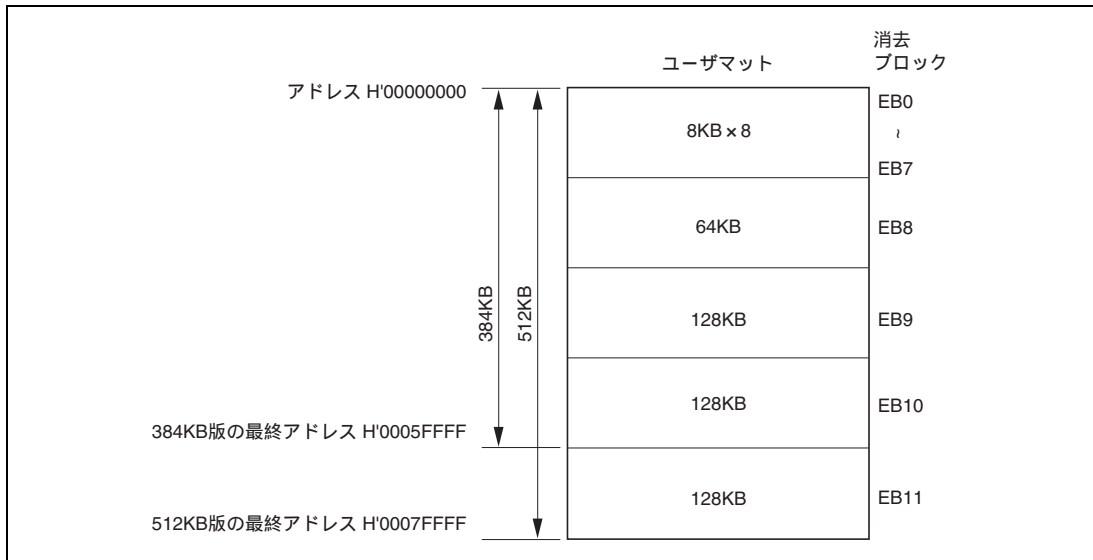


図 21.4 ユーザマツトのブロック分割

21.2.6 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「21.5.2 ユーザプログラムモード」で説明します。

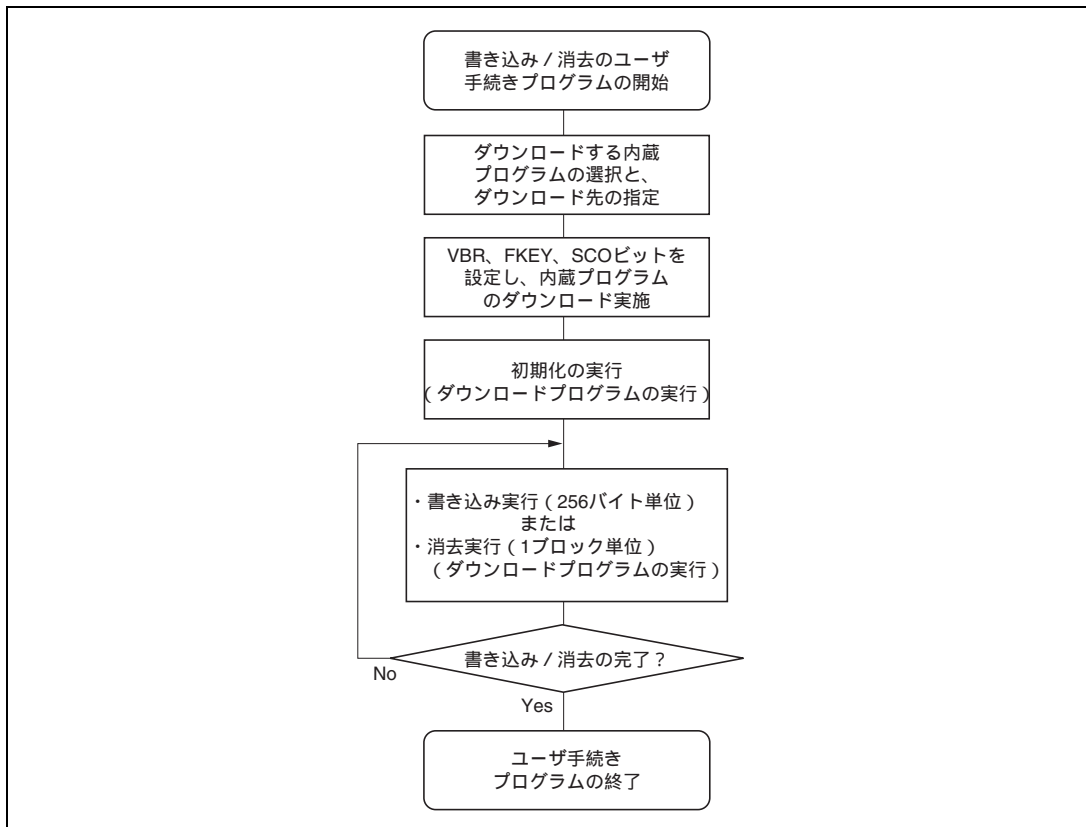


図 21.5 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、CPU の VBR レジスタを H'80000000 に設定後、書き込み / 消去インタフェースレジスタのフラッシュキーコードレジスタ (FKEY) とフラッシュコードコントロール / ステータスレジスタ (FCCS) の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外 (内蔵 RAM 上など) で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

なお、VBR は、ダウンロード終了後には、変更可能です。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を実施するためには、FWE 端子をハイレベルに設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 256 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み / 消去処理中は、NMI、IRQ、およびその他のすべての割り込みを発生させないでください。

(5) 引き続き、書き込み / 消去を実行する場合

256 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

21. フラッシュメモリ

21.3 入出力端子

フラッシュメモリは表 21.3 に示す端子により制御されます。

表 21.3 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TXD1 (PA25)	出力	シリアル送信データ出力 (ブートモードで使用)
レシーブデータ	RXD1 (PA24)	入力	シリアル受信データ入力 (ブートモードで使用)

21.4 レジスタの説明

21.4.1 レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ/パラメータを表 21.4 に示します。

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 21.5 に示します。

表 21.4 (1) レジスタ構成

レジスタ名	略称*4	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロール/ステータスレジスタ	FCCS	R、W*1	H'00*2 H'80*2	H'8000C000	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'8000C001	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'8000C002	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'8000C004	8
フラッシュマットセレクトレジスタ	FMATS	R/W	H'00*3 H'AA*3	H'8000C005	8
フラッシュトランスファデスティネーション アドレスレジスタ	FTDAR	R/W	H'00	H'8000C006	8

- 【注】 *1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です（読み出しは、常に 0）。
- *2 FWE 端子にローレベルが入力されているときの FWE ビットの初期値は 0 です。
FWE 端子にハイレベルが入力されているときの FWE ビットの初期値は 1 です。
- *3 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。
ユーザブートモードで起動時の初期値は H'AA です。

表 21.4 (2) パラメータ構成

パラメータ名	略称	R/W	初期値	割り当て	アクセスサイズ
ダウンロードパスフェイルリザルト	DPFR	R/W	不定	内蔵 RAM*	8、16、32
フラッシュバスフェイルリザルト	FPFR	R/W	不定	CPU の R0	8、16、32
フラッシュマルチパスアドレスエリア	FMPAR	R/W	不定	CPU の R5	8、16、32
フラッシュマルチパスデータ デスティネーションエリア	FMPDR	R/W	不定	CPU の R4	8、16、32
フラッシュイレースブロックセレクト	FEBS	R/W	不定	CPU の R4	8、16、32
フラッシュプログラムイレース 周波数コントロール	FPEFEQ	R/W	不定	CPU の R4	8、16、32
フラッシュユーザブランチアドレスセット	FUBRA	R/W	不定	CPU の R5	8、16、32

- 【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 21.5 使用レジスタ/パラメータと対象モード

		ダウ ロード	初期化	書き込み	消去	読み出し	RAM エミュ レーション
書き込み / 消去 インタフェース レジスタ	FCCS		-	-	-	-	-
	FPCS		-	-	-	-	-
	FECS		-	-	-	-	-
	FKEY		-	-	-	-	-
	FMATS	-	-	*1	*1	*2	-
	FTDAR		-	-	-	-	-
書き込み / 消去 インタフェース パラメータ	DPFR		-	-	-	-	-
	FPFR	-				-	-
	FPEFEQ	-		-	-	-	-
	FUBRA	-		-	-	-	-
	FMPAR	-	-		-	-	-
	FMPDR	-	-		-	-	-
	FEBS	-	-	-		-	-

- 【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み / 消去時に設定が必要です。
- *2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

21. フラッシュメモリ

21.4.2 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて 8 ビットのレジスタでバイトアクセスのみ可能です。

(1) フラッシュコードコントロール / ステータスレジスタ (FCCS)

FCCS は、FWE 端子状態のモニタ、フラッシュメモリの書き込み / 消去実行中のエラー発生へのモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット:	7	6	5	4	3	2	1	0
	FWE	MAT	-	FLER	-	-	-	SCO
初期値:	1/0	1/0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	(R)/W

ビット	ビット名	初期値	R/W	説明
7	FWE	1/0	R	フラッシュライトイネーブルビット FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトする FWE 端子に入力されているレベルをモニタするビットです。初期値は、FWE 端子状態により 0 または 1 になります。 0: FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態) 1: FWE 端子にハイレベルが入力されているとき
6	MAT	1/0	R	マットビット ユーザマット / ユーザブートマットのどちらが選択されているかを示すビットです。 0: ユーザマットが選択されているとき 1: ユーザブートマットが選択されているとき
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。</p> <p>なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100μs のリセット入力期間の後にリセットリリースしてください。</p> <p>0 : フラッシュメモリは正常に動作しています。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効</p> <p>[クリア条件]</p> <p>パワーオンリセットのとき</p> <p>1 : フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効</p> <p>[セット条件]</p> <p>「21.6.3 エラープロテクト」を参照してください。</p>
3~1	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

21. フラッシュメモリ

ビット	ビット名	初期値	R/W	説明
0	SCO	0	(R)/W	<p>ソースプログラムコピーオペレーション</p> <p>内蔵の書き換え/消去プログラムを、内蔵 RAM にダウンロードする要求ビットです。本ビットに 1 を書き込むと、FPCS / FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットに 1 を書き込むためには、FKEY レジスタへの H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。本ビットに 1 を書き込んだ直後には、32 個の NOP 命令を必ず実行するようにしてください。</p> <p>ダウンロード中の割り込みについては「21.7.2 書き込み/消去手続き実行中の割り込み」、ダウンロード時間については「21.7.3 其他のご注意」を参照してください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。</p> <p>SCO ビットによるダウンロードは、内蔵プログラム格納領域へのバンク切り替えを伴った特殊な割り込み処理を行いますので、ダウンロード要求 (SCO = 1 にする) 前に、VBR の値を H'80000000 に設定してください。VBR の設定を行わないと暴走します。ダウンロード完了が確認できたら、VBR の変更は可能です。また、SCO 機能を使用する場合は、FWE 端子がハイレベルのモードを使用してください。</p> <p>0 : 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードは行いません。</p> <p>[クリア条件]</p> <p>ダウンロードが完了するとクリアされます。</p> <p>1 : 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードリクエストが発生します。</p> <p>[セット条件]</p> <p>以下の条件がすべて満足されている状態で、1 を書き込んだとき</p> <ul style="list-style-type: none"> • FKEY レジスタに H'A5 が書かれていること • 内蔵 RAM 上で実行中であること

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、書き込み関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PPVS
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PPVS	0	R/W	プログラムパルスシングル 書き込みプログラムを選択します。 0: 内蔵の書き込みプログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

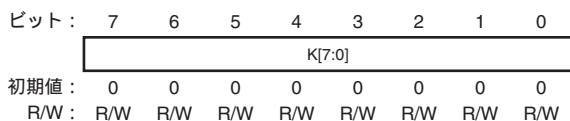
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	EPVB
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0: 内蔵の消去プログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵の消去プログラムを選択します。

21. フラッシュメモリ

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロダクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。



ビット	ビット名	初期値	R/W	説明
7~0	K[7:0]	すべて0	R/W	<p>キーコード</p> <p>H'A5 を書き込んだ場合にのみ、SCO ビット の書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。</p> <p>H'5A を書き込んだ場合のみ、フラッシュメモリの書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。</p> <p>H'A5 : SCO ビット の書き込みを許可します。(H'A5 以外では SCO ビットのセットはできません)</p> <p>H'5A : 書き込み / 消去を許可します。(H'5A 以外ではソフトウェアプロダクト状態)</p> <p>H'00 : 初期値</p>

(5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトのどちらを選択するかを指定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
初期値:	0/1	0	0/1	0	0/1	0	0/1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

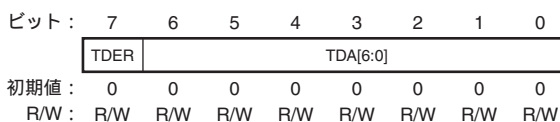
ビット	ビット名	初期値	R/W	説明
7	MS7	0/1	R/W	マツトセレクト H'AA 以外の場合にはユーザマツト選択状態、H'AA が書かれている状態はユーザブツトマツト選択状態です。内蔵 RAM 上での命令で FMATS に値を書き込むことによりマツト切り替えが発生します。 マツト切り替えは、必ず「21.7.1 ユーザマツトとユーザブツトマツトの切り替え」に従ってください。(ユーザプログラムモードでのユーザブツトマツトの書き換えは、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えは、ブツトモードかライタモードで実施してください) H'AA : ユーザブツトマツトを選択します。(H'AA 以外ではユーザマツト選択状態となります)ユーザブツトモードで起動した場合の初期値です。 H'00 : ユーザブツトモード以外で起動した場合の初期値です。(ユーザマツト選択状態です) 【注】 [書き込み可能条件] 内蔵 RAM 上での実行状態であること
6	MS6	0	R/W	
5	MS5	0/1	R/W	
4	MS4	0	R/W	
3	MS3	0/1	R/W	
2	MS2	0	R/W	
1	MS1	0/1	R/W	
0	MS0	0	R/W	

21. フラッシュメモリ

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM のアドレス (H'FFF81000) を示しています。



ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	<p>トランスファデスティネーションアドレス設定エラー</p> <p>ビット 6~0 (TDA6~TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'05 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00~H'05 の範囲に設定してください。</p> <p>0: TDA6~TDA0 の設定は、正常値</p> <p>1: TDER、TDA6~TDA0 の設定値が H'06~H'FF であり、ダウンロードは中断したことを示します。</p>
6~0	TDA[6:0]	すべて 0	R/W	<p>トランスファデスティネーションアドレス</p> <p>ダウンロード先頭アドレスを指定します。設定可能な値は H'00~H'05 で、2KB 単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。</p> <p>H'06~H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット 7: TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。</p> <p>H'00: ダウンロード先頭アドレスを H'FFF81000 に設定 H'01: ダウンロード先頭アドレスを H'FFF81800 に設定 H'02: ダウンロード先頭アドレスを H'FFF82000 に設定 H'03: ダウンロード先頭アドレスを H'FFF82800 に設定 H'04: ダウンロード先頭アドレスを H'FFF83000 に設定 H'05: ダウンロード先頭アドレスを H'FFF83800 に設定 H'06~H'7F: 設定しないでください。設定された場合、ダウンロードにおいてビット 7: TDER が 1 になり、ダウンロード処理は中断されます。</p>

21.4.3 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ (R4、R5 と R0) や内蔵 RAM 領域を使用します。初期値は不定です。

ダウンロードではすべての CPU のレジスタは保存され、初期化、内蔵プログラム実行では、R0 以外の CPU のレジスタが保存されます。R0 は、処理結果の戻り値が記入されます。レジスタの保存やワーク領域としてスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします。(使用スタック領域サイズは、最大 128 バイトです)

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み / 消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれごとに使用するパラメータは異なります。対応表を、表 21.6 に示します。

ここで、FPFR パラメータは初期化处理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明の部分をご覧ください。

表 21.6 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードバスフェイルリザルト	DPFR		-	-	-	R/W	不定	内蔵 RAM*
フラッシュバスフェイルリザルト	FPFR	-				R/W	不定	CPU の R0
フラッシュプログラムイレース周波数コントロール	FPEFEQ	-		-	-	R/W	不定	CPU の R4
フラッシュユーザブランチアドレスセット	FUBRA	-		-	-	R/W	不定	CPU の R5
フラッシュマルチパースアドレスエリア	FMPAR	-	-		-	R/W	不定	CPU の R5
フラッシュマルチパースデータステイネーションエリア	FMPDR	-	-		-	R/W	不定	CPU の R4
フラッシュイレースブロックセレクト	FEBS	-	-	-		R/W	不定	CPU の R4

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

21. フラッシュメモリ

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 3KB 分の領域です。内蔵 RAM のアドレスマップについては、図 21.10 を参照してください。

ダウンロード制御は先述の書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

- ダウンロードパスフェイルリザルトパラメータ (DPFR : FTDARレジスタで指定した内蔵RAMの先頭アドレス1バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCOビットを1にできたかの確認ができないため、ダウンロード開始前 (SCOビットを1にセットする前) に、FTDARレジスタで指定した内蔵RAMの先頭アドレスの1バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については「21.5.2 (2.5)」項もご覧ください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SS	FK	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	不定	R/W	未使用ビット 値 0 が戻されます。
2	SS	不定	R/W	ソースセレクトエラー検出ビット 1 回の操作では、ダウンロード可能な内蔵プログラムは 1 種類のみ指定できません。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていない選択が行われた)
1	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY レジスタの設定値は正常 (FKEY = H'A5) 1 : FKEY レジスタの設定値エラー (FKEY は H'A5 以外の値)
0	SF	不定	R/W	サクセス / フェイルビット ダウンロードが正常に終了したかどうかを戻すビットです。 0 : ダウンロードは正常終了 (エラーなし) 1 : ダウンロードが異常終了 (エラーが発生している)

(2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み / 消去では決められた時間幅のウェイトループを CPU 命令で構成しています。このため、CPU の動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先アドレスの設定も必要です。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

- フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ : CPUの汎用レジスタR4)

CPUの動作周波数を設定するパラメータです。

本LSIのフラッシュプログラムイレース周波数は、 $f = 32 \sim 40\text{MHz}$ に制限されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	R/W	未使用ビット 値 0 を設定してください。
15~0	F15~F0	不定	R/W	周波数設定ビット CPUの動作周波数 f を以下の算出式に従い設定してください。 $f = F[15:0] \times 10^4\text{Hz}$ 1. 1kHz の桁は四捨五入し、1kHz 未満の桁は切り捨ててください。 2. 具体例として、 $f = 33.333\text{MHz}$ の場合には以下のように設定します。 (1) $f = 3333 \times 10^4\text{Hz}$ (2) $F[15:0] = 3333$ (H'0D05) (3) H'00000D05 を R4 (FPEFEQ) に設定

21. フラッシュメモリ

- フラッシュユーザブランチアドレスセットパラメータ (FUBRA : CPUの汎用レジスタR5)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	UA31 ~ UA0	不定	R/W	<p>ユーザブランチ先アドレス</p> <p>ユーザブランチが必要ない場合には、H'00000000 を設定してください。ユーザブランチ先は、内蔵フラッシュメモリ以外または内蔵プログラムが転送されている RAM 領域以外または外部バス空間としてください。実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域 / スタック領域の破壊が発生した場合フラッシュメモリの値の保証ができません。ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えないでください。</p> <p>汎用レジスタ R8 から R15 は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。</p> <p>さらに、ユーザブランチ先の処理で書き込み / 消去インタフェースレジスタの書き換えを行わないでください。ユーザブランチ処理終了後は、RTS 命令で書き込み / 消去プログラムに戻ってください。</p> <p>ユーザブランチ処理の実行間隔については「21.7.3 (2) ユーザブランチ処理の間隔」をご覧ください。</p>

• フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは初期化処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	BR	FQ	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	不定	R/W	未使用ビット 値0が戻されます。
2	BR	不定	R/W	ユーザブランチエラー検出ビット 指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み/消去関係プログラムの格納領域以外であることをチェックした結果を戻します。 0 : ユーザブランチアドレス設定は正常値 1 : ユーザブランチアドレス設定が異常値
1	FQ	不定	R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値
0	SF	不定	R/W	サクセス/フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラーが発生している)

21. フラッシュメモリ

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡す必要があります。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタR5に設定してください。このパラメータをFMPAR（フラッシュマルチパースアドレスエリアパラメータ）と呼びます。
書き込みデータは常に256バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット（A7～A0）を、H'00としてください。
2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。
書き込みたいデータが256バイトに満たない場合でも、ダミーコード（H'FF）を埋め込んで256バイトの書き込みデータを準備してください。
準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタR4に設定してください。このパラメータをFMPDR（フラッシュマルチパースデータデスティネーションエリアパラメータ）と呼びます。

書き込み処理のための手続きの詳細については、「21.5.2 ユーザプログラムモード」で述べます。

- フラッシュマルチパースアドレスエリアパラメータ（FMPAR：CPUの汎用レジスタR5）

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは256バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFMPDRパラメータのビット1：WAビットに反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	MOA31～MOA0	不定	R/W	MOA31～MOA0 ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続256バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは256バイト境界となり、MOA7～MOA0は常に0になります。

- フラッシュマルチパースデータデスティネーションエリアパラメータ (FMPDR : CPUの汎用レジスタR4)
ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは、FPFRパラメータのビット2 : WDビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MOD31~MOD0	不定	R/W	MOD31~MOD0 ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 256 バイトのデータが、ユーザマットに書き込まれます。

- フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは書き込み処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MD	EE	FK	-	WD	WA	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	不定	R/W	未使用ビット 値 0 が戻されます。

21. フラッシュメモリ

ビット	ビット名	初期値	R/W	説明
6	MD	不定	R/W	書き込みモード関連設定エラー検出ビット FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。 FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7: FWE や、ビット4: FLERの各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「21.6.3 エラープロテクト」を参照してください。 0: FWE、FLER 状態は正常 (FWE=1、FLER=0) 1: FWE=0、または FLER=1 であり、書き込みできない状態
5	EE	不定	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中で書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施しなおしてください。また、FMATS レジスタの値がH'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。 ユーザブートマットの書き込みは、ブートモードまたはライターモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了 (書き込み結果は保証できない)
4	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。 0: FKEY レジスタの設定値は正常 (FKEY = H'5A) 1: FKEY レジスタの設定値エラー (FKEY は H'5A 以外の値)
3	-	不定	R/W	未使用ビット 値0が戻されます。
2	WD	不定	R/W	ライトデータアドレスエラー検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA	不定	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域以外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが、256 バイト境界でない (A7~A0 が0でない) 場合 0: 書き込み先アドレスの設定は正常値 1: 書き込み先アドレスの設定が異常値

ビット	ビット名	初期値	R/W	説 明
0	SF	不定	R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0: 正常終了(エラーなし) 1: 異常終了(エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ (汎用レジスタ R4) に設定します。

0~15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「21.5.2 ユーザプログラムモード」で述べます。

- フラッシュイレースブロックセレクトパラメータ (FEBS : CPUの汎用レジスタR4)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EBS[7:0]							
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	-	不定	R/W	未使用ビット 値 0 を設定してください。
7~0	EBS[7:0]	不定	R/W	0~11 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、11 は EB11 ブロックに対応します。0~11 (H'00~H'0B) 以外の設定ではエラーになります。

21. フラッシュメモリ

• フラッシュパスフェイルリザルトパラメータ (FPFR : CPUの汎用レジスタR0)

ここでは消去処理結果の戻り値としてのFPFRについて説明します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MD	EE	FK	EB	-	-	SF
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	不定	R/W	未使用ビット 値0が戻されます。
6	MD	不定	R/W	消去モード関連設定エラー検出ビット FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7 : FWE や、ビット4 : FLER の各ビットで確認できます。 なお、エラープロテクト状態への遷移条件につきましては、「21.6.3 エラープロテクト」を参照してください。 0 : FWE、FLER 状態は正常 (FWE=1、FLER=0) 1 : FWE=0、または FLER=1 であり、消去できない状態
5	EE	不定	R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施しなおしてください。 また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはなりません。ユーザブートマットの消去は、ブートモードまたはライターモードで実施してください。 0 : 消去処理は正常終了 1 : 消去処理が異常終了 (消去結果は保証できない)
4	FK	不定	R/W	フラッシュキーマトリクスレジスタエラー検出ビット 消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。 0 : FKEY レジスタの設定値は正常 (FKEY = H'5A) 1 : FKEY レジスタの設定値エラー (FKEY は H'5A 以外の値)

ビット	ビット名	初期値	R/W	説明
3	EB	不定	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値
2、1	-	不定	R/W	未使用ビット 値0が戻されます。
0	SF	不定	R/W	サクセス/フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0：正常終了（エラーなし） 1：異常終了（エラーが発生している）

21.5 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラムモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 21.1 をご覧ください。また、フラッシュメモリに対する各モードへの状態遷移図は図 21.2 を参照してください。

21.5.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でホストとの通信を行います。

図 21.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 21.1 をご覧ください。ブートモードでの NMI およびその他の割り込みは無視されますが、発生させないようにしてください。また、ブートモード動作中は AUD は使用できませんのでご注意ください。

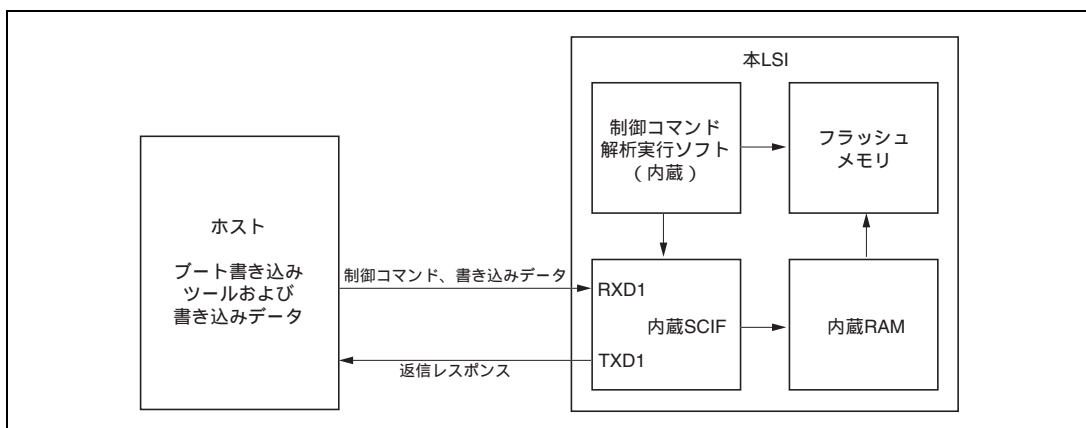


図 21.6 ブートモード時のシステム構成図

(1) ホストの SCIF インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCIF 通信のデータ (H'00) の Low 期間を測定します。このときの SCIF 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCIF を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 21.7 に示します。このシステムクロックの範囲内でブートモードを起動してください。

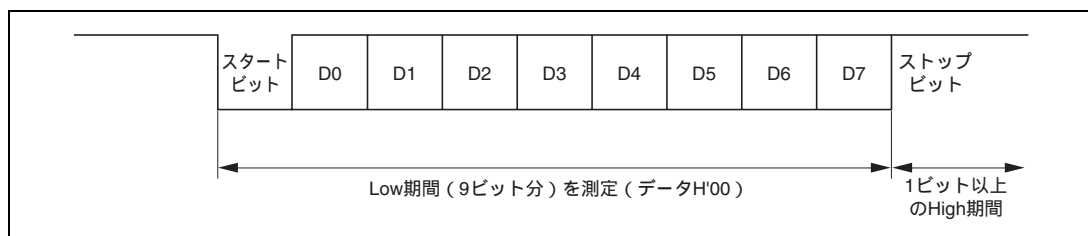


図 21.7 SCIF ビットレートの自動合わせ込み動作

表 21.7 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能な 周辺クロック (P) の周波数
9,600bps	32 ~ 40MHz
19,200bps	32 ~ 40MHz

21. フラッシュメモリ

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 21.8 に示します。ブートモードについての詳細は、「21.8.1 ブートモードの標準シリアル通信インタフェース仕様」を参照してください。

1. ビットレート合わせ込み

ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

2. 問い合わせ選択コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート情報などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせ選択が完了し、書き込み消去ステータス遷移コマンドを送信すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み / 消去コマンド待ち

- 「書き込み選択コマンド」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをHFFFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。
- 「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をHFFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック（消去チェック）、ユーザマット / ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット / ユーザブートマットのメモリ読み出しは、すべてのユーザマット / ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんのでご注意ください。

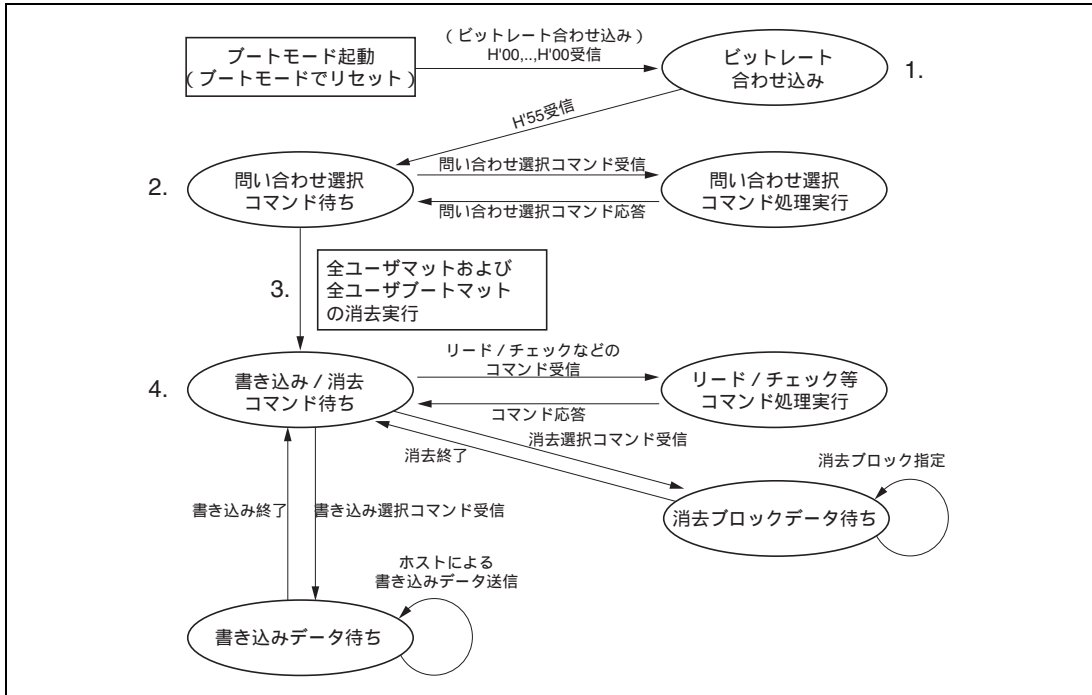


図 21.8 ブートモードの状態遷移の概略図

21.5.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み / 消去ができます。（ユーザブートマットの書き込み / 消去はできません。）

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み / 消去を実施します。

概略フローを図 21.9 に示します。

なお、書き込み / 消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み / 消去処理中にはリセットへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間のあとにリセットリリースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」をご覧ください。

また、FTDAR レジスタを使用して、書き込み / 消去プログラムを別々の内蔵 RAM 領域にダウンロードして、消去と書き込みを繰り返す処理についての概略を「(4) ユーザプログラムモードでの消去 / 書き込み手順」で説明します。

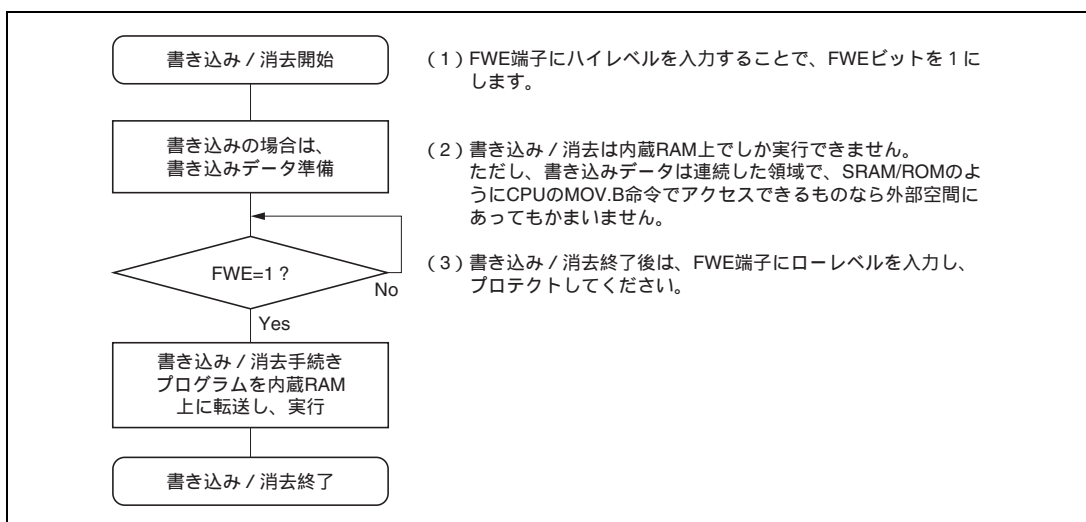


図 21.9 書き込み / 消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 21.10 にダウンロードされるプログラムの領域を示します。

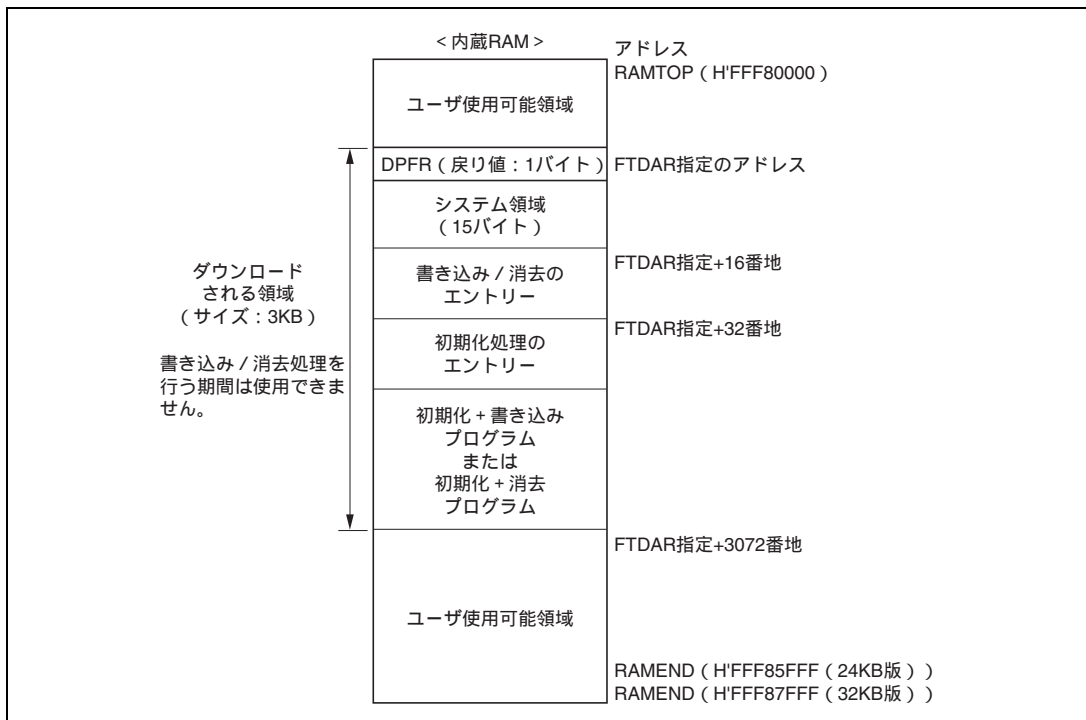


図 21.10 ダウンロード後の内蔵 RAM マップ

21. フラッシュメモリ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 21.11 に示します。

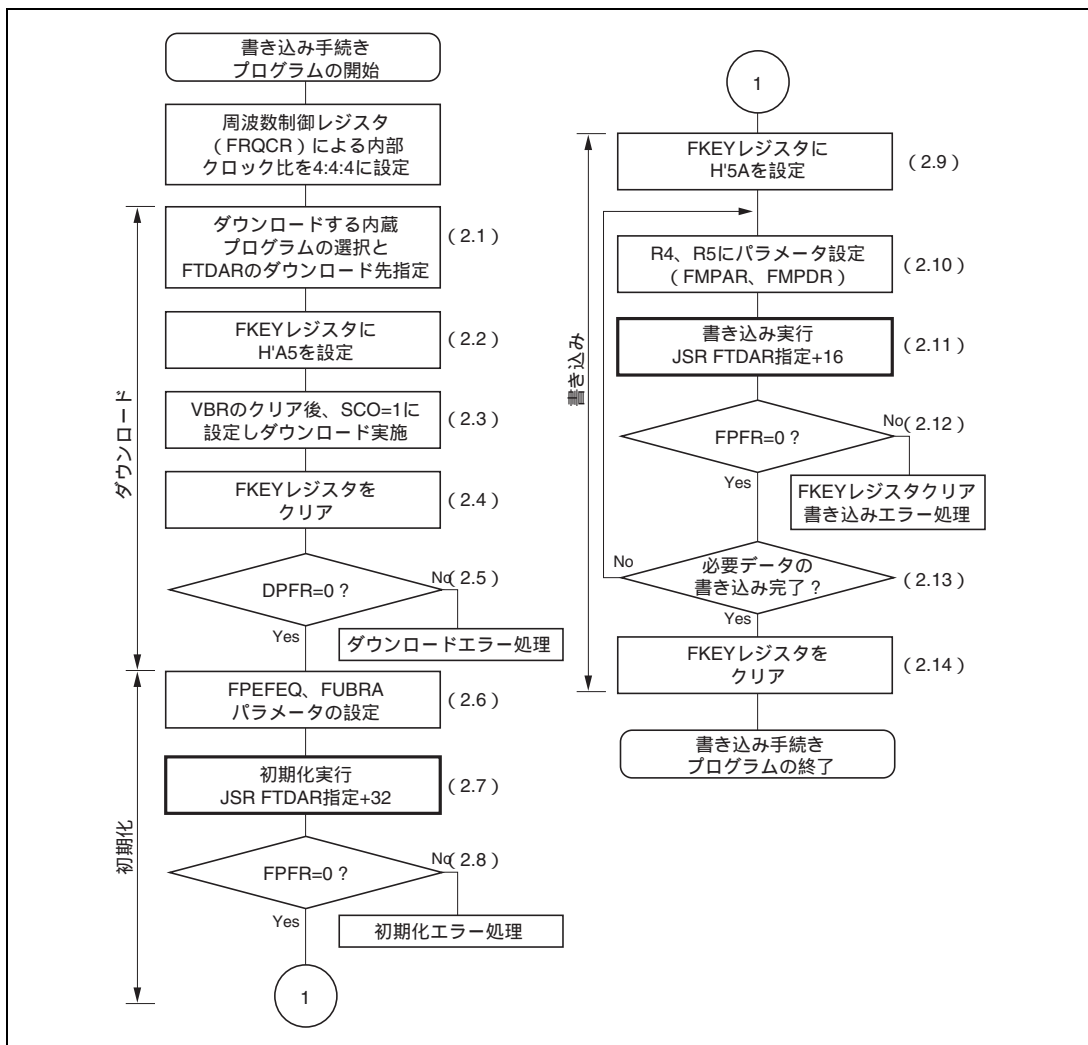


図 21.11 書き込み手順

書き込み手順の詳細を説明します。手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、4 : 4 : 4 としてください。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマット、外部空間など) を「21.8.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できているという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 256 バイトの書き込みを行います。256 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 256 バイト単位で更新して書き込みを繰り返します。

256 バイト未満の書き込みの場合も無効データを埋め込んで 256 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

(2.1) ダウンロードする内蔵プログラムの選択とダウンロード先を指定します。

FPCS レジスタの PPVS ビットを 1 に設定すると書き込みプログラムが選択されます。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

(2.2) FKEY レジスタに H'A5 を書き込みます。

プロテクトのために FKEY レジスタに H'A5 を書き込まないとダウンロード要求の SCO ビットに 1 を書き込むことができません。

(2.3) VBR レジスタを設定し、FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCO ビットのセットの前に必ず VBR レジスタを H'80000000 に設定してください。

SCO ビットに 1 を書き込むためには、以下の条件がすべて満足されている必要があります。

- FKEY レジスタに H'A5 が書き込まれていること。
- SCO ビット書き込みが内蔵 RAM 上で実行されていること。

SCO ビットが 1 になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO = 0 にクリアされていますので、ユーザ手続きプログラムでは SCO = 1 の確認ができません。

ダウンロード結果の確認は、DPFR パラメータの戻り値での確認のみとなりますので、SCO = 1 にする前に、DPFR パラメータとなる FTDAR で指定した内蔵 RAM の先頭の 1 バイトを戻り値以外 (H'FF など) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、VBR は H'80000000 に設定されている必要があります。また SCO = 1 を設定する命令の直後には 32 個の NOP 命令を実行してください。

21. フラッシュメモリ

1. ユーザマット空間を内蔵プログラム格納領域に切り替えます。
2. ダウンロードプログラム選択条件と、FTDARでの指定アドレスなどをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
3. FPCSレジスタ、FECSレジスタ、FCCSレジスタのSCOビットを0クリアします。
4. DPFPRパラメータに戻り値を設定します。
5. 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードが完了し、ユーザ手続きプログラムに戻った後は、VBRの再設定は可能です。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、CPUの汎用レジスタは値が保存されます。

ダウンロード処理中は、割り込みを発生させないでください。ダウンロードと割り込みにつきましては「21.7.2 書き込み/消去手続き実行中の割り込み」をご覧ください。

最大256バイトのスタック領域を使用しますので、SCO=1にする前に256バイト以上のスタック領域を確保しておいてください。

ダウンロード中にDMACによるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DMACによるアクセスが発生しないようご注意ください。

(2.4) プロテクトのために、FKEYレジスタをH'00にクリアします。

(2.5) DPFPRパラメータの値をチェックしダウンロード結果を確認します。

ダウンロード結果の確認方法は、以下を推奨いたします。

1. DPFPRパラメータ(FTDARで指定したダウンロード先の先頭アドレスの1バイト)の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
2. DPFPRパラメータの値が、ダウンロード実行前に設定した値(H'FFなど)と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのビット7: TDERビットを確認してください。
3. DPFPRパラメータの値が、ダウンロード実行前の設定値と異っている場合は、DPFPRパラメータのビット2: SSビットや、ビット1: FKビットにて、ダウンロードプログラムの選択やFKEYレジスタ設定が正常であったかの確認をしてください。

(2.6) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

1. FPEFEQパラメータ（汎用レジスタ：R4）に、現在のCPUクロックの周波数を設定します。FPEFEQパラメータの設定可能範囲は、 $f = 32 \sim 40\text{MHz}$ になります。

この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「21.4.3 書き込み/消去インタフェースパラメータ」の「・フラッシュプログラムイレース周波数コントロールパラメータ（FPEFEQ：CPUの汎用レジスタR4）」の説明をご覧ください。

2. FUBRAパラメータ（汎用レジスタ：R5）に、ユーザブランチ先の先頭アドレスを設定します。

ユーザブランチ処理が必要ない場合、FUBRAには値0を設定してください。

ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。

ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。

「21.4.3 書き込み/消去インタフェースパラメータ」の「・フラッシュユーザブランチアドレスセットパラメータ（FUBRA：CPUの汎用レジスタR5）」の説明をご覧ください。

(2.7) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時にいっしょに内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	初期化ルーチンをコール
NOP			

1. 初期化プログラムではR0以外の汎用レジスタは保存されます。
2. R0はFPFRパラメータの戻り値です。
3. 初期化プログラムではスタック領域を使用しますので、256バイト以上のスタック領域をRAM上に確保しておいてください。
4. 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

(2.8) 初期化プログラムの戻り値 FPFR（汎用レジスタ R0）を判定します。

(2.9) FKEY レジスタに H'5A を設定し、ユーザマットへの書き込みができるようにしてください。

21. フラッシュメモリ

(2.10) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタ R5 に、書き込みデータ格納領域の先頭アドレス (FMPDR) を汎用レジスタの R4 に設定します。

1. FMPAR設定

FMPARは書き込み先頭アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、256バイト単位ですので下位8ビット (MOA7 ~ MOA0) が、H'00の256バイト境界である必要があります。

2. FMPDR設定

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

(2.11) 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス + 16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	書き込みルーチンをコール
NOF			

1. 書き込みプログラムではR0以外の汎用レジスタは保存されます。
2. R0はFPFRパラメータの戻り値です。
3. 書き込みプログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

(2.12) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(2.13) 必要データの書き込みが完了したかを判断します。

256バイトを超えるデータを書き込む場合、256バイト単位でFMPAR、FMPDRの設定更新を行い上記(2.10) ~ (2.13)の処理を繰り返します。書き込み先アドレスの256バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

(2.14) 書き込みが終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100 μ s以上のリセット実施期間 ($\overline{RES}=0$ の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 21.12 に示します。

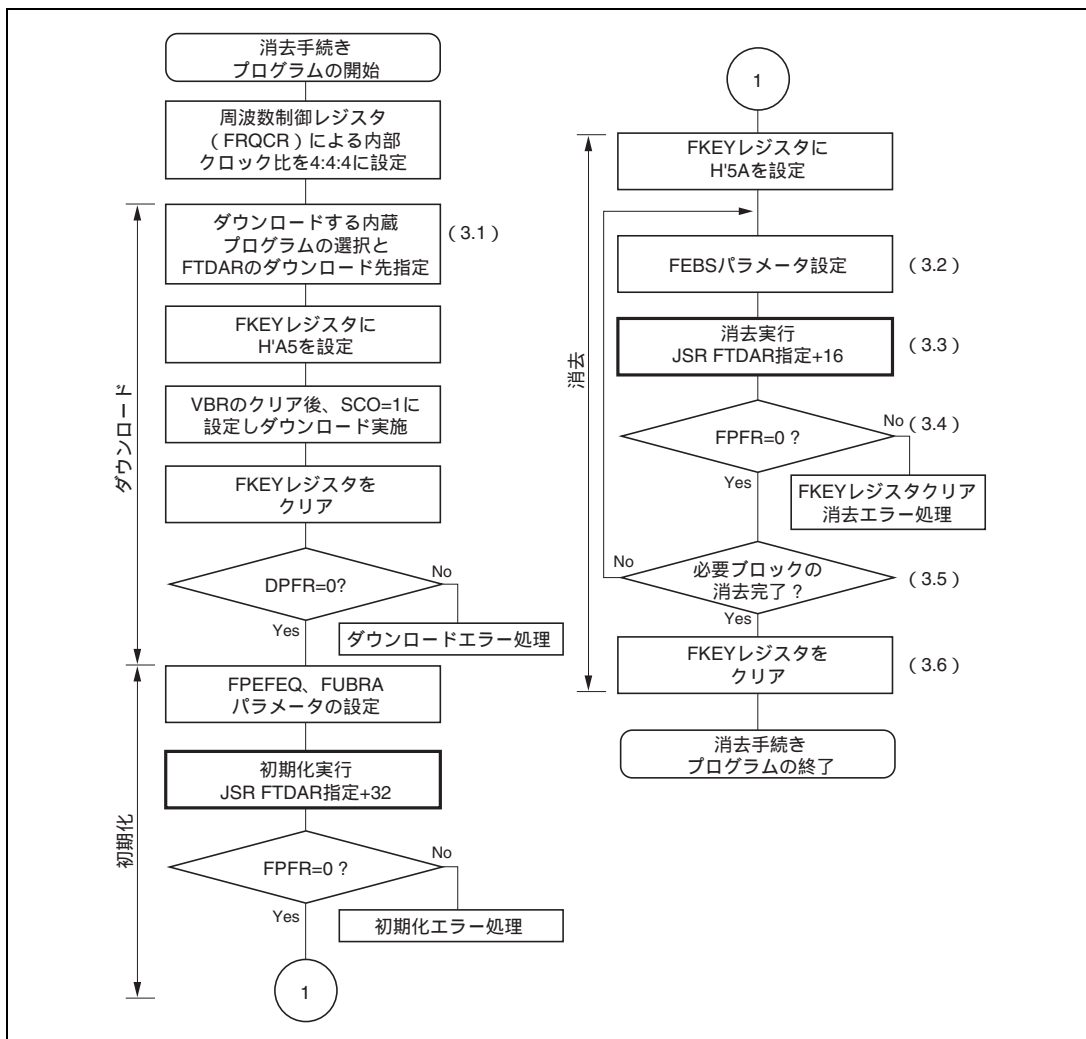


図 21.12 消去手順

消去手順の詳細を説明します。手順プログラムは、消去対象のフラッシュメモリ以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、4:4:4 としてください。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト、外部空間など) を「21.8.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 21.10 のダウンロード後の内蔵 RAM マップを参照ください。

21. フラッシュメモリ

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 21.4 を参照してください。
2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

(3.1) ダウンロードする内蔵プログラムの選択とダウンロード先アドレスを指定します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「21.5.2 (2) ユーザプログラムモードでの書き込み手順」をご覧ください。

消去プログラム用のパラメータ設定以降を以下に示します。

(3.2) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS(汎用レジスタ R4) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にエラーが報告されます。

(3.3) 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16, R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	消去ルーチンをコール
NOB			

1. 消去プログラムでは R0 以外の汎用レジスタは保存されます。
2. R0 は FPFR パラメータの戻り値です。
3. 消去プログラムではスタック領域を使用しますので、128 バイト以上のスタック領域を RAM 上に確保しておいてください。

(3.4) 消去プログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(3.5) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBS パラメータの更新設定を行い上記 (3.2) ~ (3.5) の処理を繰り返します。消去済みブロックに対しての消去は可能です。

(3.6) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットの消去完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 ($\overline{RES}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

消去、書き込みを繰り返し実行する場合の使用例を図 21.13 に示します。

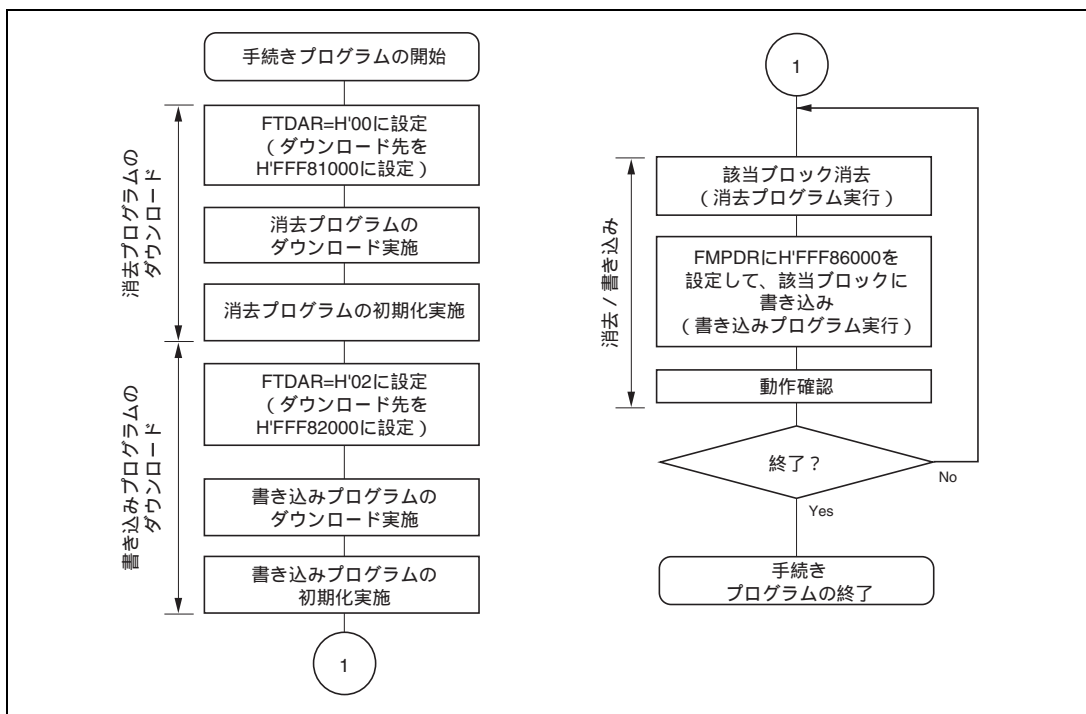


図 21.13 消去、書き込みの繰り返し例 (概要)

ダウンロードと初期化は最初の 1 回だけ実施するようにしています。

本例のような手続きを行う場合、以下にご注意ください。

1. 内蔵RAM領域の重複破壊にご注意ください。

消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

2. 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQパラメータ、FUBRAパラメータを設定する初期化は、必ず、消去プログラム / 書き込みプログラムの両方を実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32番地 (本例では、H'FFF81020)、書き込みプログラムのダウンロード先頭 + 32番地 (本例では、H'FFF82020) の両方に対して初期化してください。

21.5.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCIF を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 21.1 をご覧ください。

ユーザブートモードでリセットスタートすると、フラッシュ関連レジスタのチェックルーチンが内蔵 RAM 上で走行します。この間の NMI およびその他の割り込みは受け付けられません。また、この間は AUD は使用できません。本期間は、40MHz の内部周波数で動作する場合、約 100 μ s です。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATSレジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 21.14 に示します。

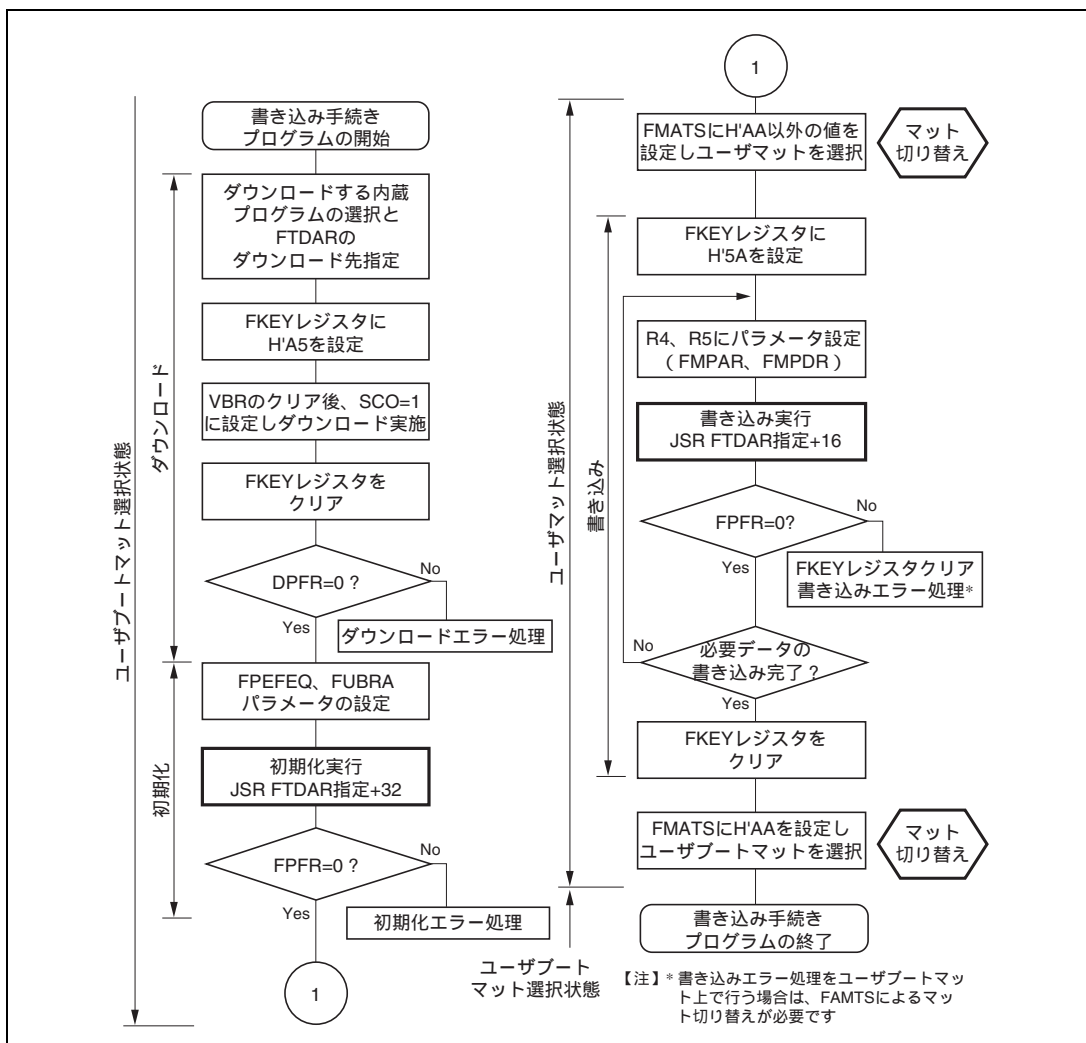


図 21.14 ユーザブートモードでのユーザマットへの書き込み手順

21. フラッシュメモリ

図 21.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「21.7.1 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「21.8.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATSレジスタによるユーザブートマッ選択状態からユーザマッ選択状態への切り替え、および消去終了後にユーザマッ選択状態から再びユーザブートマッ選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 21.15 に示します。

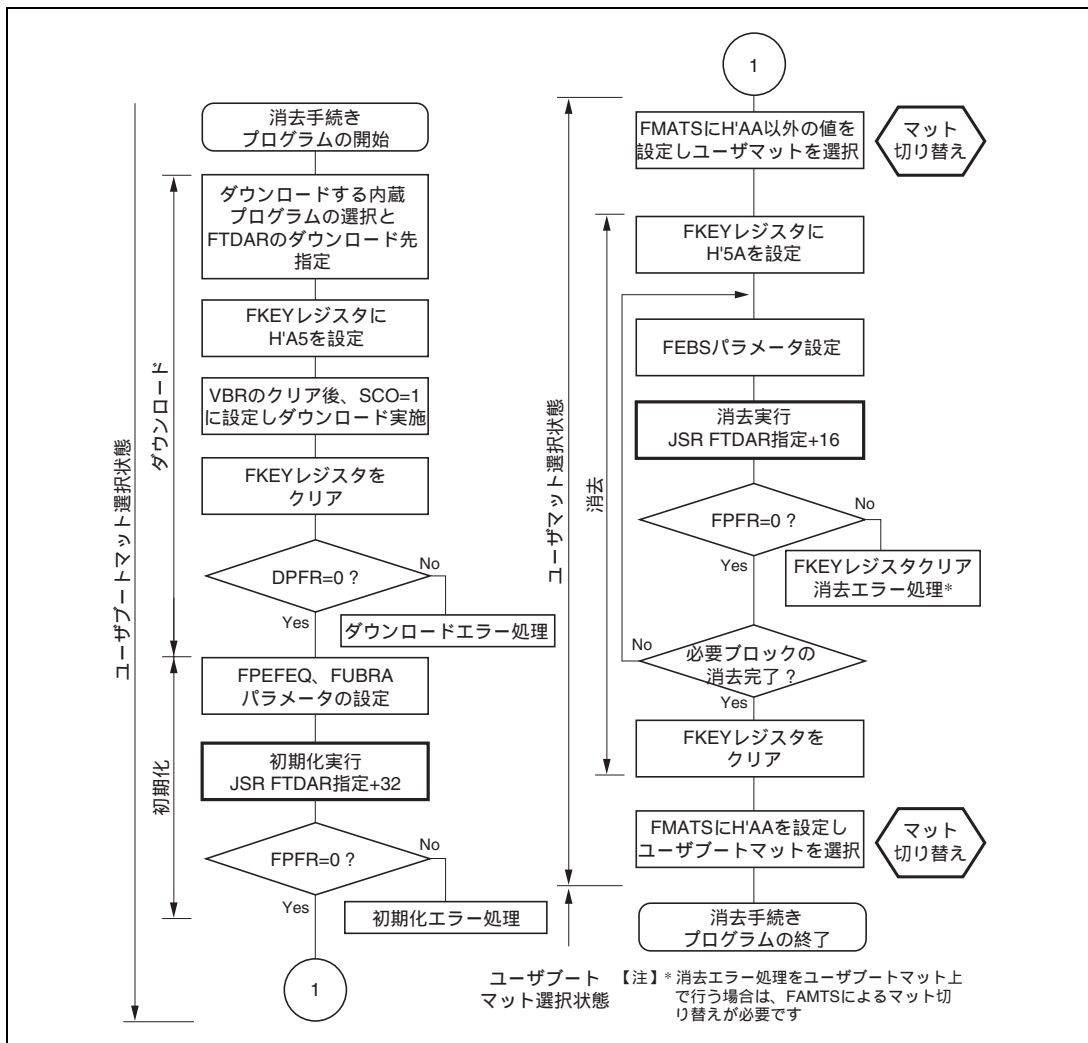


図 21.15 ユーザブートモードでのユーザマットの消去手順

21. フラッシュメモリ

図 21.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「21.7.1 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「21.8.2 手順プログラム、または書き込みデータの格納可能領域」に示します。

21.6 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトとエラープロテクトの3種類あります。

21.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 21.8 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子にローレベルが入力されているときには、FCCS レジスタの FWE ビットがクリアされ、書き込み/消去プロテクト状態になります。 	-	
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子をローレベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 		

21.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み / 消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 21.9 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> • FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み / 消去のプログラムのダウンロードができないため、書き込み / 消去プロテクト状態になります。 		
FKEY レジスタプロテクト	<ul style="list-style-type: none"> • FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み / 消去ができません。ダウンロードと書き込み / 消去では、異なったキーコードの設定が必要です。 		

21.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や規定の書き込み / 消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み / 消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み / 消去中にフラッシュメモリの当該バンク領域を読み出したとき（ベクタリードおよび命令フェッチを含む）
2. 書き込み / 消去中に SLEEP 命令を実行したとき（ソフトウェアスタンバイを含む）

エラープロテクトの解除（FLER ビットのクリア）は、パワーオンリセットのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μ s の期間のあとにリセットリリリースしてください。フラッシュメモリには書き込み / 消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長して印加電圧を抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 21.16 にエラープロテクト状態への状態遷移図を示します。

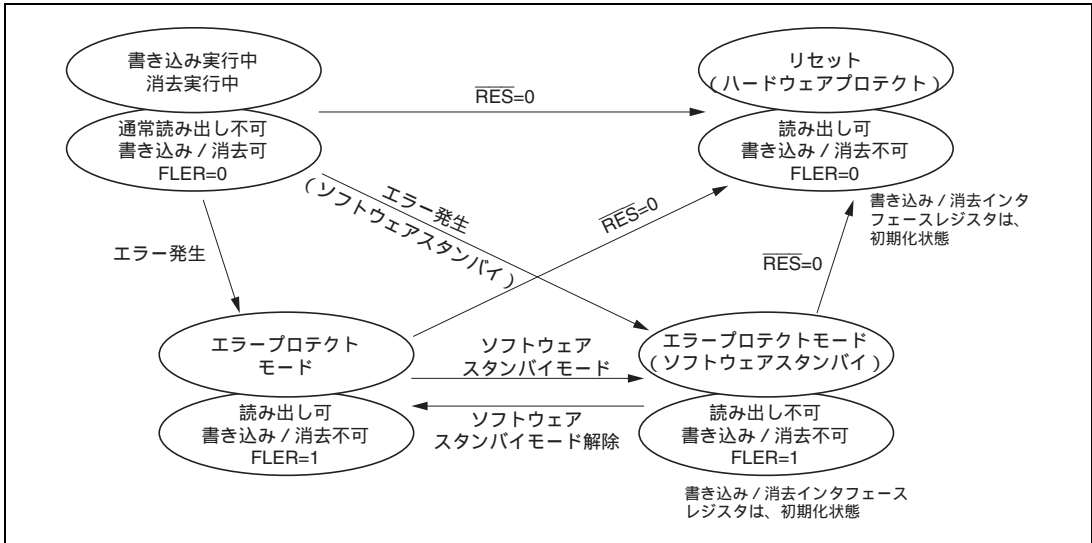


図 21.16 エラープロテクト状態への状態遷移図

21.7 使用上の注意事項

21.7.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
SHマイコンでは実行命令のプリフェッチを行いますので、例えばユーザマット上でプログラム実行中にマット切り替えを行った場合、ユーザマット上の命令コードをプリフェッチするか、切り替え後のユーザブートマット上の命令をプリフェッチするかで不安定動作になることがあります。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの直後には、同じく内蔵RAM上で32個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。
マット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクターテーブルエリアも切り替わっていますので注意してください。
マット切り替え前後で同じ割り込み処理を実施する場合や、割り込み発生を禁止できない場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもVBRレジスタの設定により内蔵RAM上に設定するなどをお願いします。この場合、VBRレジスタの変更と割り込み発生との競合についてもご注意ください。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。12KB以上の空間のユーザブートマットをアクセスしないようにしてください。12KB空間以上をアクセスした場合、不定値が読み出されます。

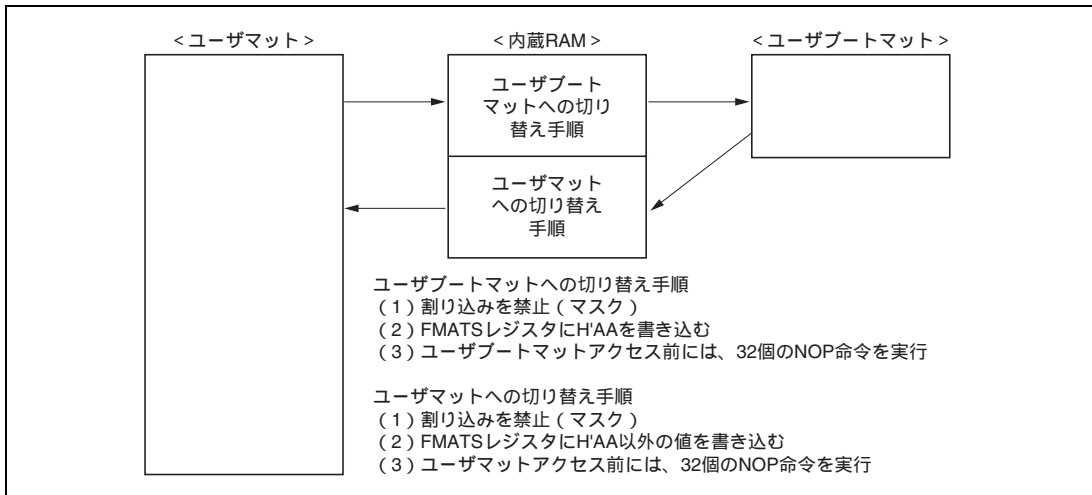


図 21.17 ユーザマット / ユーザブートマットの切り替え

21.7.2 書き込み / 消去手続き実行中の割り込み

(1) 内蔵プログラムのダウンロード実行

(1.1) VBR の変更

内蔵プログラムをダウンロードする前に、VBR レジスタを H'80000000 にする必要があります。VBR を H'80000000 以外の設定で使用している場合、VBR を H'80000000 に設定すると割り込みベクタテーブルがユーザマット (FMATS = H'AA 時) またはユーザブートマット (FMATS = H'AA 時) になります。

また、VBR 変更と割り込み発生が競合した場合、VBR 変更前後のどちらのベクタテーブルが参照されるかで問題が発生する可能性があります。

よって、割り込みとの競合が発生する可能性のある場合、ユーザマットまたはユーザブートマットの先頭部分にも、VBR = H'00000000 (初期値) のときに参照されるベクタテーブルを準備してください。

(1.2) SCO ダウンロード要求と割り込み要求

内蔵の書き込み / 消去プログラムを、FCCS レジスタの SCO ビットを 1 にしてダウンロードする操作は、マット切り替えを伴った特殊な割り込みを発生させます。SCO ダウンロード要求と割り込み要求の競合時の動作について説明します。

1. SCOダウンロード要求と割り込み要求の競合

FCCSレジスタのSCOビットを1に設定する命令の実行と、割り込み受け付けの競合タイミングを図21.18に示します。

21. フラッシュメモリ

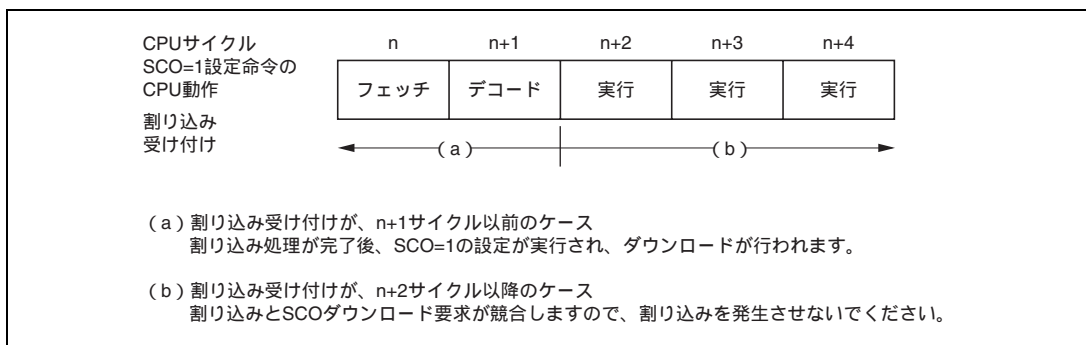


図 21.18 SCO ダウンロード要求と割り込み要求の競合タイミング

2. ダウンロード中に発生した割り込み要求

SCOダウンロード実行中は、割り込みを発生させないでください。

(2) 書き込み / 消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み / 消去実行中は、NMI、IRQ、およびその他のすべての割り込みを発生させないでください。

21.7.3 その他のご注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 3KB 以内です。よって、CPU クロック周波数が、40MHz の場合、それぞれ最大で約 10ms のダウンロード時間となります。

(2) ユーザブランチ処理の間隔

ユーザブランチ処理が実行される間隔は、書き込み / 消去で異なります。また、処理フェーズによっても異なります。表 21.10 に、CPU クロック周波数 40MHz の場合の最大起動間隔を示します。

表 21.10 ユーザブランチ処理の起動間隔

	最大間隔
書き込み処理	約 2ms*
消去処理	約 15ms*

【注】 * 参考値

ただし、CPU クロック 40MHz 動作時における最初のユーザブランチ処理までの時間の最大値は表 21.11 のようになります。

表 21.11 ユーザブランチ処理時間

	最大
書き込み処理	約 2ms*
消去処理	約 15ms*

【注】 * 参考値

(3) DMAC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、DMAC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、ご注意ください。

(4) 割り込み無視状態

以下のモード、または期間では、割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ブートモード動作中
- ライタモード動作中

21. フラッシュメモリ

(5) 従来の F-ZTAT SH マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

本 LSI でのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

(6) WDT による暴走などのモニタ

従来の F-ZTAT SH マイコンと異なり、ダウンロードされる内蔵プログラムによる書き込み / 消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください。(ユーザブランチルーチンの使用、定期的なタイマ割り込みの使用など)

(7) オンボードプログラミングモードにおける動作周波数について

「21.5 オンボードプログラミングモード」に示した書き込み / 消去手順における周波数制御レジスタ (FRQCR) の設定値について、以下のとおりを設定してください。

- 内部クロック比を(I :B :P)=(4:4:4)に設定してください。
入力クロック10MHzのとき、(I :B :P)=(40MHz:40MHz:40MHz)になります。
入力クロック8MHzのとき、(I :B :P)=(32MHz:32MHz:32MHz)になります。
- 周波数制御レジスタ (FRQCR) の内部クロック比(I :B :P)=(4:4:4)の組み合わせは以下のとおりです。
H'1000*
H'1111*
H'1333*

【注】 * ビット 12 の CKOEN ビットの値は任意に設定変更できます。

(8) ユーザプログラムモードでのユーザマットの書き換えについて

本 LSI は、シングルチップモードからユーザプログラムモードへの遷移はできません。

したがって、ユーザプログラムモードでのユーザマットの書き換えを実施したい場合は、シングルチップモードで起動せず、MCU 拡張モード 2 で起動してください。

21.8 付録

21.8.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCIF を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

- ステータス

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去プログラムを RAM 上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み / 消去プログラムを RAM に転送し、書き込み / 消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムの処理フローを図 21.19 に示します。

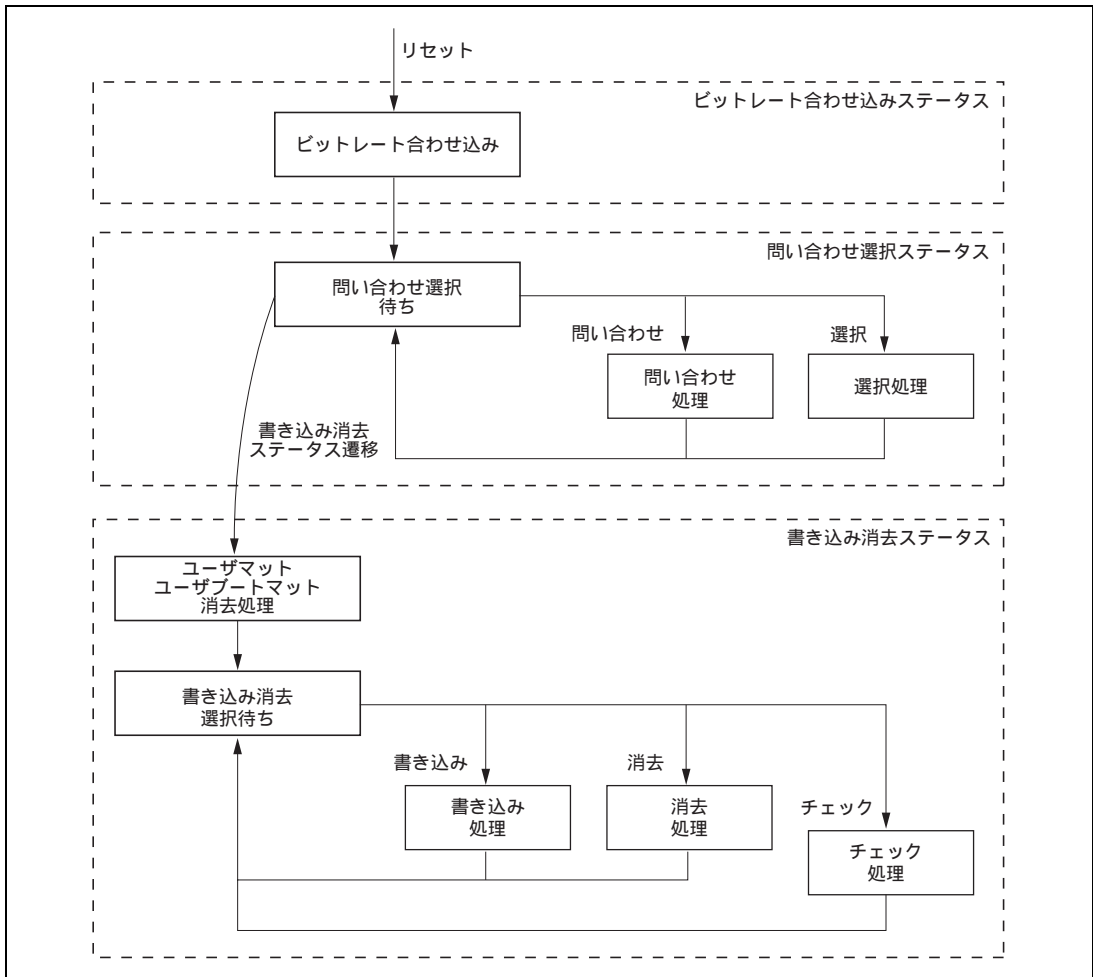


図 21.19 ブートプログラムの処理フロー

• ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 21.20 に示します。

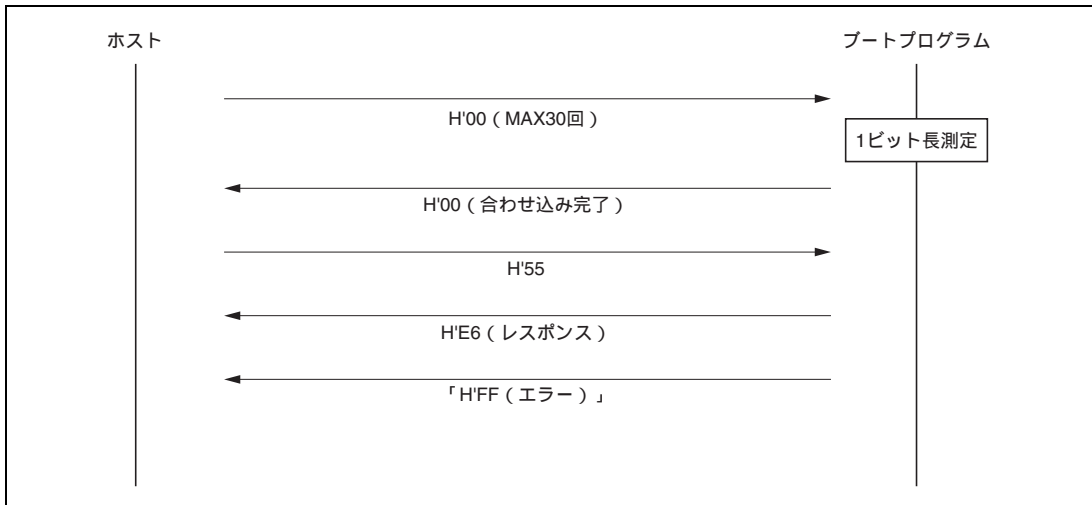


図 21.20 ビットレート合わせ込みのシーケンス

- 通信プロトコル

ビットレート合わせ込みが完了した後の、ホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

4. 256バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができません。

5. メモリリードのレスポンス

4バイトのサイズ情報を含むレスポンスです。

21. フラッシュメモリ

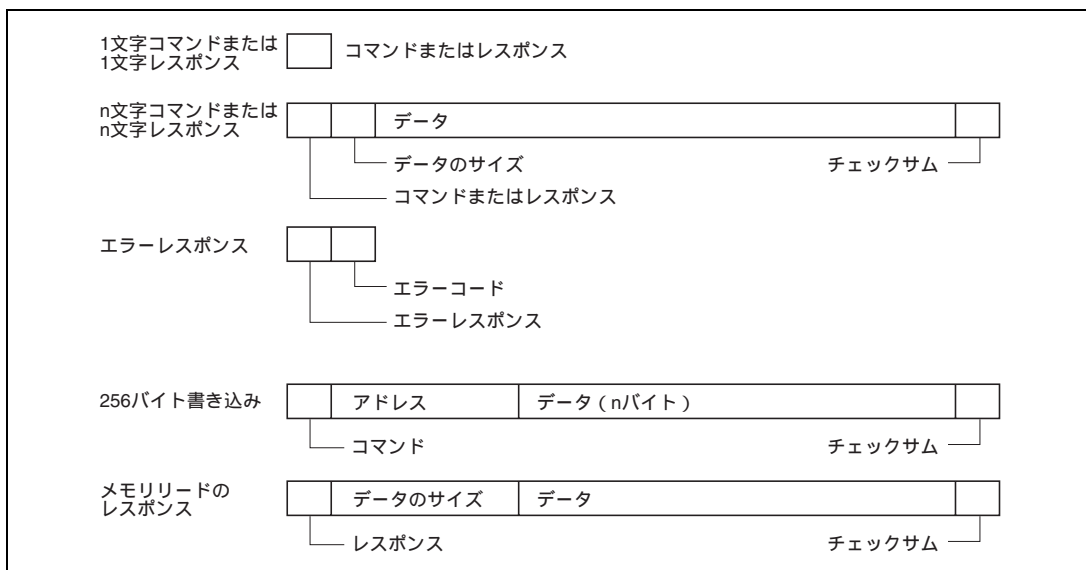


図 21.21 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイトまたは2バイト) : コマンド/レスポンス、サイズ、チェックサムを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからチェックサムまで加算し、下位1バイトがH'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ。nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長
- 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。問い合わせ選択コマンド一覧を表 21.12 に示します。

表 21.12 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値と最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。同一選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

21. フラッシュメモリ

(1) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと品名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト)：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」(1バイト)：サポートデバイス問い合わせに対する応答
- サイズ(1バイト)：コマンド、サイズ、チェックサムを除いた送受信データのサイズ。ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト)：マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト)：デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト)：サポートする品名のASCIIコード
- 品名(nバイト)：ブートプログラム型名(ASCIIコード)
- SUM(1バイト)：チェックサム

コマンドからSUMまで加算し、H'00となるように設定

(2) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1バイト)：デバイス選択
- サイズ(1バイト)：デバイスコードの文字数(固定値で4)
- デバイスコード(4バイト)：サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト)：チェックサム

レスポンス

H'06

- レスポンス「H'06」(1バイト)：デバイス選択に対する応答

指定したデバイスコードがサポートデバイスと一致したときACKを返します

エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1バイト)：デバイス選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
 - H'11：サムチェックエラー
 - H'21：デバイスコード不一致エラー

(3) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ（固定値で1）
- モード（1バイト）：選択可能なクロックモード
- SUM（1バイト）：チェックサム

(4) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたクロックモードに設定します。

その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数（固定値で1）
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答

指定されたクロックモードが選択可能なクロックモードと一致したときACKを返します

エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモード不一致エラー

21. フラッシュメモリ

(5) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」(1バイト)：通倍比問い合わせ

レスポンス	H'32	サイズ	周波数の種別数						
	通倍比数	通倍比	...						
	...								
	SUM								

- レスポンス「H'32」(1バイト)：通倍比問い合わせに対する応答
- サイズ(1バイト)：周波数の種別数、通倍比数、通倍比の合計サイズ
- 周波数の種別数(1バイト)：デバイスで選択可能な通倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 通倍比数(1バイト)：各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比(1バイト)
通倍比：通倍する数値(例 4通倍：H'04)
分周比：分周する数値、負の数(例 2分周：H'FE[-2])
通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを周波数の種別数の数だけ繰り返す。
- SUM(1バイト)：サムチェック

(6) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」(1バイト)：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の種別数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」(1バイト)：動作周波数問い合わせに対する応答
- サイズ(1バイト)：周波数の種別数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の種別数(1バイト)：デバイスで必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値(2バイト)：通倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数(MHz)の小数点2位までの値を100倍した値(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)

- 動作周波数最大値 (2バイト) : 逓倍あるいは分周されたクロックの最大値
動作周波数最小値、動作周波数最大値のデータが周波数の種別数だけ続く
- SUM (1バイト) : チェックサム

(7) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数		
	エリア先頭アドレス			エリア最終アドレス	
	...				
	SUM				

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : ユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス
- エリア最終アドレス (4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : チェックサム

(8) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数		
	エリア先頭アドレス			エリア最終アドレス	
	...				
	SUM				

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : ユーザマットのエリアの数
ユーザマットのエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス

21. フラッシュメモリ

- エリア最終アドレス (4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : チェックサム

(9) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムはユーザマットの消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数 (1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス (4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス (4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM (1バイト) : チェックサム

(10) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ (1バイト) : 書き込み単位のサイズの文字数 (固定値で2)
- 書き込みサイズ (2バイト) : 書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM (1バイト) : チェックサム

(11) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、ホストからの確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通信比数	通信比 1	通信比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、通信比数、通信比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
周波数（MHz）の小数点2位までの値とする（たとえば、8.882MHzのときは小数点2位までを100倍して888とし、H'0378とする）
- 通信比数（1バイト）：デバイスで選択可能な通信比数
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通信比1（1バイト）：メイン動作周波数の通信比または分周比
通信比：通信する数値（例 4通信：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 通信比2（1バイト）：周辺動作周波数の通信比または分周比
通信比：通信する数値（例 4通信：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答
指定されたビットレートが選択されたときACKとして送信します

エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'24：ビットレート選択不可エラー
指定されたビットレートが選択できない
 - H'25：入力周波数エラー
入力周波数が最小値と最大値の範囲にない

21. フラッシュメモリ

H'26 : 逡倍比エラー

逡倍比が一致しない

H'27 : 動作周波数エラー

動作周波数が最小値と最大値の範囲にない

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。

2. 逡倍比

受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。

3. 動作周波数

受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 逡倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (P) とビットレート (B) から、シリアルモードレジスタ (SCSMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (SCBRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{P \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認 H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 21.22 に示します。

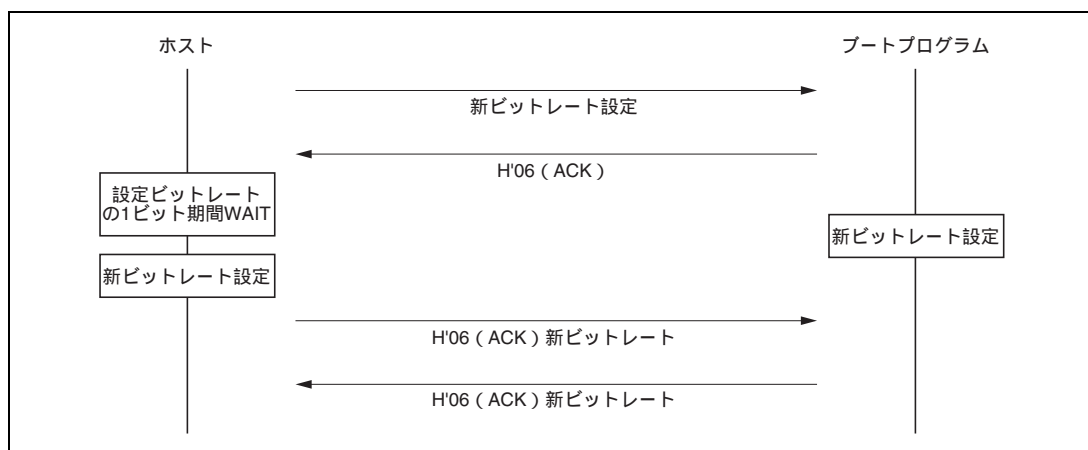


図 21.22 新ビットレート選択のシーケンス

(12) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドでLSIのデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答。消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラー

レスポンス H'C0 H'51

- エラーレスポンス「H'C0」（1バイト）：書き込み消去ステータス遷移に対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー

エラーが発生し消去できなかった

21. フラッシュメモリ

- コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

- コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択（H'11）をしてください。
5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

- 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、256 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を表 21.13 に示します。

表 21.13 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの選択
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの選択
H'50	256 バイト書き込み	256 バイト書き込み
H'48	消去選択	消去プログラムの選択
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- 書き込み

書き込みは書き込み選択コマンドと 256 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 256 バイト書き込みコマンドを送信します。選択コマンドに続く 256 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。256 バイトを超えるデータを書き込むときは 256 バイト書き込みコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 256 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 256 バイト書き込みコマンドのシーケンスを図 21.23 に示します。

21. フラッシュメモリ



図 21.23 書き込みシーケンス

(1) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答。書き込みプログラムを転送したときACK

エラー

レスポンス

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答。書き込みプログラムを転送したときACK

エラー

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

（3）256 バイト書き込み

256 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	書き込みアドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：256バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス
256バイト境界のアドレスを指定してください
例）H'00、H'01、H'00、H'00：H'00010000
- 書き込みデータ（nバイト）：書き込みデータ
書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：256バイト書き込みに対する応答
書き込みが完了したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：256バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'2A：アドレスエラー（アドレスが指定のマットの範囲にない）
H'53：書き込みエラー（書き込みエラーが発生し書き込めない）

データ書き込みサイズに従った境界のアドレスの下位バイトを H'00 に指定してください。
ホストは、256 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

21. フラッシュメモリ

書き込み処理を終了するときは、アドレス H'FFFFFFF の 256 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 256 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	書き込みアドレス	SUM
------	------	----------	-----

- コマンド「H'50」（1バイト）：256バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF、H'FF、H'FF、H'FF）
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：256バイト書き込みに対する応答

書き込み処理が完了したときACK

エラー

レスポンス	H'D0	ERROR
-------	------	-------

- エラーレスポンス「H'D0」（1バイト）：256バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'53：書き込みエラー

- 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドとブロック消去コマンドのシーケンスを図 21.24 に示します。

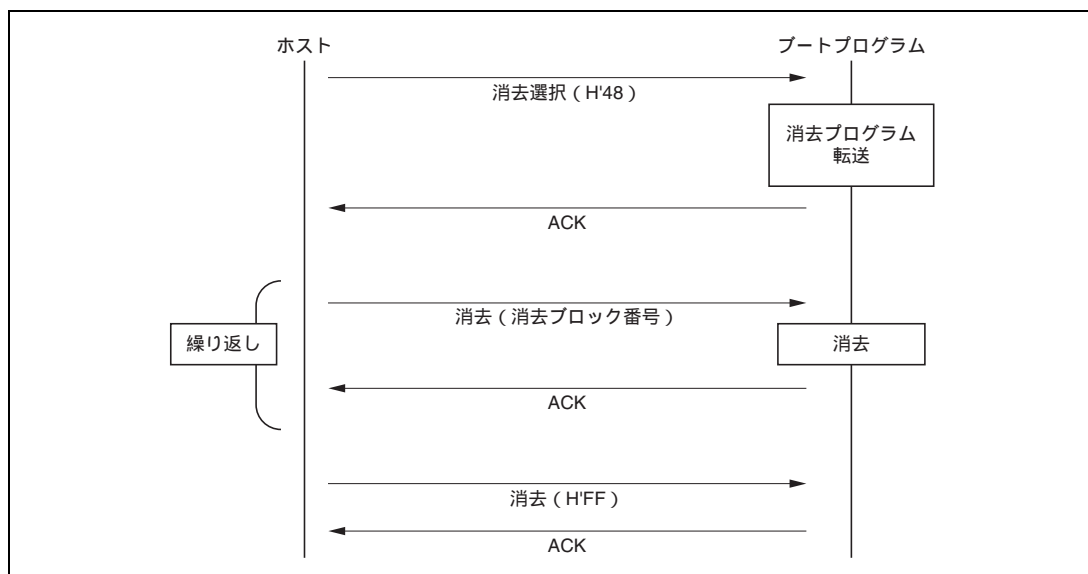


図 21.24 消去シーケンス

(1) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答

消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1バイト）：消去選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ブロック消去

消去に対して、ブートプログラムは指定されたユーザマットのブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：チェックサム

21. フラッシュメモリ

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去に対する応答

消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答

- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'29：ブロック番号エラー

ブロック番号が正しくない

H'51：消去エラー

消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：H'FF（消去処理の終了コード）
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

- メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出し先頭アドレス
読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

H'00：ユーザブートマット

H'01：ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出し先頭アドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ

- SUM (1バイト) : チェックサム

レスポンス	H'52	読み出しサイズ					
	データ	...					
	SUM						

- レスポンス「H'52」(1バイト) : メモリリードに対する応答
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- データ (nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM (1バイト) : チェックサム

エラー

レスポンス	H'D2	ERROR
-------	------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

読み出し先頭アドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている、または読み出し先頭アドレスと読み出しサイズから計算された読み出し最終アドレスがマットの範囲にない、または読み出しサイズが0

- ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド	H'4A
------	------

- コマンド「H'4A」(1バイト) : ユーザブートマットのサムチェック

レスポンス	H'5A	サイズ	マットのチェックサム	SUM
-------	------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートマットのサムチェックに対する応答
- サイズ(1バイト) : マットのチェックサムの文字数(固定値で4)
- マットのチェックサム(4バイト) : ユーザブートマットのサムチェック値バイト単位で加算
- SUM(1バイト) : チェックサム(送信データの)

21. フラッシュメモリ

- ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザマットのサムチェック

レスポンス

H'5B	サイズ	マットのチェックサム	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザマットのサムチェックに対する応答
- サイズ(1バイト) : マットのチェックサムの文字数(固定値で4)
- マットのチェックサム(4バイト) : ユーザマットのサムチェック値
バイト単位で加算
- SUM(1バイト) : チェックサム(送信データの)

- ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答。エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

- ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答。エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

- ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれでも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数（固定値で2）
- STATUS（1バイト）：標準ブートプログラムのステータス
表21.14をご覧ください。
- ERROR（1バイト）：エラー状態
ERROR = 0で正常
ERRORが0以外で異常
表21.15をご覧ください。
- SUM（1バイト）：チェックサム

表 21.14 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	ユーザマット、ユーザブートマット消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

21. フラッシュメモリ

表 21.15 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー (サイズエラー)
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

21.8.2 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み/消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵RAM上に準備している例で示しましたが、以下の条件を守れば他の領域（外部空間領域など）で実行することができます。

1. 内蔵の書き込み/消去実行プログラムはFTDARレジスタで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み/消去実行プログラムでは、スタック領域を128バイト以上使用するので、確保してください。
3. SCOビットを1にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み/消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。
5. 書き込み/消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、および書き込み/消去中のユーザブランチ先のユーザプログラムも、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
6. 書き込み/消去完了後のFKEYレジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

書き込み/消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}}=0$ とする期間）を設けてください。

なお、書き込み/消去処理中のリセット状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間の後に、リセットリリースしてください。

7. ユーザブートモードでのユーザマットへの書き込み/消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。（「21.7.1 ユーザマットとユーザブートマットの切り替え」を参照ください）

マットの切り替えにおいては、現在どちらのマットが選択されているかご注意ください。

8. 書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

21. フラッシュメモリ

これらの条件を考慮し、各動作モード / 処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアをあらわす表を示します。

表 21.16 実行可能マツトまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 21.17 (1)	表 21.17 (3)
消去	表 21.17 (2)	表 21.17 (4)

【注】 * ユーザマツトに対する書き込み / 消去が可能です。

表 21.17 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

書き込み手順

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間	ユーザマツト	組み込みプログラム格納マツト
書き込みデータの格納領域		x*		-	-
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
キーレジスタへの H'5A 書き込み処理					
書き込みパラメータの設定処理		x			
書き込み実行		x	x		
書き込み結果の判定		x			
書き込みエラー処理		x			
キーレジスタクリア処理		x			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

21. フラッシュメモリ

表 21.17 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	ユーザマツト	外部空間	ユーザマツト	組み込みプログラム格納マツト
ダウンロードする内蔵プログラムの選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
キーレジスタへの H'5A 書き込み処理					
消去パラメータの設定処理		x			
消去実行		x	x		
消去結果の判定		x			
消去エラー処理		x			
キーレジスタクリア処理		x			

消去手順



表 21.17 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

書き込み手順

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域		x*1		-	-	-
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへのH'A5書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x			
キーレジスタ クリア処理						
ダウンロード 結果の判定						
ダウンロード エラー処理						
初期化パラメータの 設定処理						
初期化実行		x	x			
初期化結果の判定						
初期化エラー処理						
FMATS による マット切り替え		x	x			
キーレジスタへの H'5A 書き込み処理		x				
書き込みパラメータの 設定処理		x				
書き込み実行		x	x			
書き込み結果の判定		x				
書き込みエラー処理		x*2				
キーレジスタ クリア処理		x				
FMATS による マット切り替え		x	x			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

21. フラッシュメモリ

表 21.17 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザ ブート マット	外部空間	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタ クリア処理						
ダウンロード結果の 判定						
ダウンロード エラー処理						
初期化パラメータの 設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
FMATS による マット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
消去パラメータの 設定処理		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*				
キーレジスタ クリア処理		×				
FMATS による マット切り替え		×	×			

消去手順



【注】 * 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

21.9 ライタモード

ライタモードではソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (F-ZTAT512DV3_15A) をサポートしているライタを使用してください。

22. 内蔵 RAM

本 LSI は RAM モジュールを内蔵しており、命令やデータを格納することができます。

RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

22.1 特長

- ページ

32KB版：4ページ（ページ0、1、2、3）

24KB版：3ページ（ページ0、1、2）

- メモリマップ

本メモリは、表22.1、表22.2のアドレス空間に配置されています。

表 22.1 内蔵 RAM アドレス空間（32KB 版）

ページ	アドレス
ページ 0	H'FFF80000 ~ H'FFF81FFF
ページ 1	H'FFF82000 ~ H'FFF83FFF
ページ 2	H'FFF84000 ~ H'FFF85FFF
ページ 3	H'FFF86000 ~ H'FFF87FFF

表 22.2 内蔵 RAM アドレス空間（24KB 版）

ページ	アドレス
ページ 0	H'FFF80000 ~ H'FFF81FFF
ページ 1	H'FFF82000 ~ H'FFF83FFF
ページ 2	H'FFF84000 ~ H'FFF85FFF

- ポート

各ページは2本の独立した読み出し／書き込みポートを持ち、内部バス（Iバス）、CPU命令フェッチバス（Fバス）、CPUメモリアクセスバス（Mバス）と接続されています（ただし、Fバスは読み出しポートのみに接続されています）。

CPUからのアクセスにはFバスおよびMバス、DMACからのアクセスにはIバスが使用されます。

- 優先順位

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Mバス、Fバスとなります。

22.2 使用上の注意事項

22.2.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

22.2.2 RAME ビット、RAMWE ビットについて

RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。RAME ビットおよび RAMWE ビットの設定については、「23.3.5 システムコントロールレジスタ 1 (SYSCR1)」および「23.3.6 システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF82000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF86000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 22.1 実行例

23. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部とCPUが機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

23.1 特長

23.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺モジュールなどの状態、および各モードの解除方法を、表23.1に示します。

表 23.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態*						解除方法
		CPG	CPU	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
スリープモード	STBCRのSTBYビットが0の状態 でSLEEP命令を実行	動作	停止	保持	動作(RAM) 停止(フラッシュメモリ)	動作	オートリフレッシュ されます	<ul style="list-style-type: none">• 割り込み• マニュアルリセット• パワーオンリセット• DMA アドレスエラー
ソフトウェアスタンバイモード	STBCRのSTBYビットが1の状態 でSLEEP命令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフレッシュに してください	<ul style="list-style-type: none">• NMI 割り込み• IRQ 割り込み• マニュアルリセット• パワーオンリセット
モジュールスタンバイ機能	STBCR2、STBCR3、STBCR4のMSTPビットを1とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	オートリフレッシュ されます	<ul style="list-style-type: none">• MSTPビットを0にクリア• パワーオンリセット (ただしH-UDI、UBC、DMACのみ)

【注】 * 端子状態は、保持またはハイインピーダンスです。詳細は「付録A. 端子状態」を参照してください。

23.1.2 リセット

リセットは、電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理がただちに実行されます。一方、マニュアルリセットの場合は、外部メモリの内容を保持するための処理等は継続します。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

(1) パワーオンリセット

1. $\overline{\text{RES}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ $\overline{\text{IT}}$ ビットに1を、WRCSRのRSREビットが1でRSTSビットに0をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき（H-UDIリセットについては、「第24章 ユーザデバッグインタフェース（H-UDI）」を参照してください）。

(2) マニュアルリセット

1. $\overline{\text{MRES}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ $\overline{\text{IT}}$ ビットに1を、WRCSRのRSREビットが1でRSTSビットに1をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。

23.2 入出力端子

低消費電力モード関連の端子構成を表 23.2 に示します。

表 23.2 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	MRES	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

23.3 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 23.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'7E	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'F4	H'FFFE040C	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0402	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8

23.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0: H-UDI は動作 1: H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0: UBC は動作 1: UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0: DMAC は動作 1: DMAC へのクロックの供給を停止
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23. 低消費電力モード

23.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'7E に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	MSTP 34	MSTP 33	MSTP 32	MSTP 31	MSTP 30
初期値:	0	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	<p>ポートハインピーダンス</p> <p>ソフトウェアスタンバイモード時に、特定の出力端子の状態を保持するか、ハインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。</p> <p>本ビットは、WDT の WTSCR の TME ビットが 1 の状態では、設定しないでください。出力端子の状態をハインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。</p> <p>0: ソフトウェアスタンバイモード時に、端子状態を保持する</p> <p>1: ソフトウェアスタンバイモード時に、端子状態をハインピーダンスにする</p>
6	MSTP36	1	R/W	<p>モジュールストップ 36</p> <p>MSTP36 ビットを 1 にセットすると MTU2S へのクロックの供給を停止します。</p> <p>0: MTU2S は動作</p> <p>1: MTU2S へのクロックの供給を停止</p>
5	MSTP35	1	R/W	<p>モジュールストップ 35</p> <p>MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。</p> <p>0: MTU2 は動作</p> <p>1: MTU2 へのクロックの供給を停止</p>
4	MSTP34	1	R/W	<p>モジュールストップ 34</p> <p>MSTP34 ビットを 1 にセットすると POE2 へのクロックの供給を停止します。</p> <p>0: POE2 は動作</p> <p>1: POE2 へのクロックの供給を停止</p>
3	MSTP33	1	R/W	<p>モジュールストップ 33</p> <p>MSTP33 ビットを 1 にセットすると IIC3 へのクロックの供給を停止します。</p> <p>0: IIC3 は動作</p> <p>1: IIC3 へのクロックの供給を停止</p>

ビット	ビット名	初期値	R/W	説明
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0 : ADC は動作 1 : ADC へのクロックの供給を停止
1	MSTP31	1	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットするとフラッシュメモリへのクロックの供給を停止します。 0 : フラッシュメモリは動作 1 : フラッシュメモリへのクロックの供給を停止

23.3.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時に HF4 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	MSTP 47	MSTP 46	MSTP 45	MSTP 44	-	MSTP 42	MSTP 41	-
初期値 :	1	1	1	1	0	1	1	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止

23. 低消費電力モード

ビット	ビット名	初期値	R/W	説 明
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF3 へのクロックの供給を停止します。 0 : SCIF3 は動作 1 : SCIF3 へのクロックの供給を停止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ 41 MSTP41 ビットを 1 にセットすると WAVEIF へのクロックの供給を停止します。 0 : WAVEIF は動作 1 : WAVEIF へのクロックの供給を停止
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.5 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのアクセス許可 / 禁止を設定します。SYSCR1 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディスエーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード / ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3 (対象 RAM アドレス: H'FFF86000 ~ H'FFF87FFF) 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	RAME2	1	R/W	RAM イネーブル 2 (対象 RAM アドレス: H'FFF84000 ~ H'FFF85FFF) 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効
1	RAME1	1	R/W	RAM イネーブル 1 (対象 RAM アドレス: H'FFF82000 ~ H'FFF83FFF) 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象 RAM アドレス: H'FFF80000 ~ H'FFF81FFF) 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効

23.3.6 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのライト許可 / 禁止を設定します。SYSCR2 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM にはライトできません。このとき、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード / ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR2 へのライト命令の直後に SYSCR2 のリード命令を置いてください。もし、SYSCR2 ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象 RAM アドレス: H'FFF86000 ~ H'FFF87FFF) 0: 内蔵 RAM ライト無効 1: 内蔵 RAM ライト有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象 RAM アドレス: H'FFF84000 ~ H'FFF85FFF) 0: 内蔵 RAM ライト無効 1: 内蔵 RAM ライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象 RAM アドレス: H'FFF82000 ~ H'FFF83FFF) 0: 内蔵 RAM ライト無効 1: 内蔵 RAM ライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象 RAM アドレス: H'FFF80000 ~ H'FFF81FFF) 0: 内蔵 RAM ライト無効 1: 内蔵 RAM ライト有効

23.4 動作説明

23.4.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CK 端子には、クロックが出力され続けます。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、DMA アドレスエラーおよびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されません。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

23.4.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CK 端子からのクロック出力も停止します。

CPU のレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態を表 23.4 に示します。

また、CPU は、STBCR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

23. 低消費電力モード

表 23.4 ソフトウェアスタンバイモード時のレジスタの状態

モジュール名	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ
クロックパルス発振器 (CPG)	-	全レジスタ
ユーザブレークコントローラ (UBC)	-	全レジスタ
バスステートコントローラ (BSC)	-	全レジスタ
A/D 変換器 (ADC)	全レジスタ	-
I/O ポート	-	全レジスタ
ユーザデバッグインタフェース (H-UDI)	-	全レジスタ
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	-	全レジスタ
ダイレクトメモリアクセスコントローラ (DMAC)	-	全レジスタ
マルチファンクションタイマパルスユニット 2 (MTU2)	-	全レジスタ
マルチファンクションタイマパルスユニット 2S (MTU2S)	-	全レジスタ
ポートアウトブットイネーブル 2 (POE2)	-	全レジスタ
コンペアマッチタイマ (CMT)	全レジスタ	-
I ² C バスインタフェース 3 (IIC3)	ICMR レジスタの BC[2:0] ビット	左記レジスタのビット以外
D/A 変換器 (DAC)	-	全レジスタ

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により、解除されます。

• 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ7~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQ_nセンスセレクトビット (IRQ_nIS~IRQ_nOS) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。ソフトウェアスタンバイモードに遷移する前にWDTのウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDTのオーバーフローが発生します。このオーバーフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理 (IRRQの場合、IRQ割り込み例外処理) が開始されます。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CK端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがハイレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) のNMI端子のレベルがハイレベルになるようにしてください (IRQ端子の場合も同様です)。

• リセットによる解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルにすると、本LSIはパワーオンリセットまたはマニュアルリセット状態に遷移し、スタンバイモードは解除されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CK端子には、内部のクロックが出力され続けます。

23.4.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりによってソフトウェアスタンバイモードに移行し、NMI 信号の立ち上がりによって解除を行う例を説明します。この例のタイミングを図 23.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR の STBY ビットを 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに移行します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

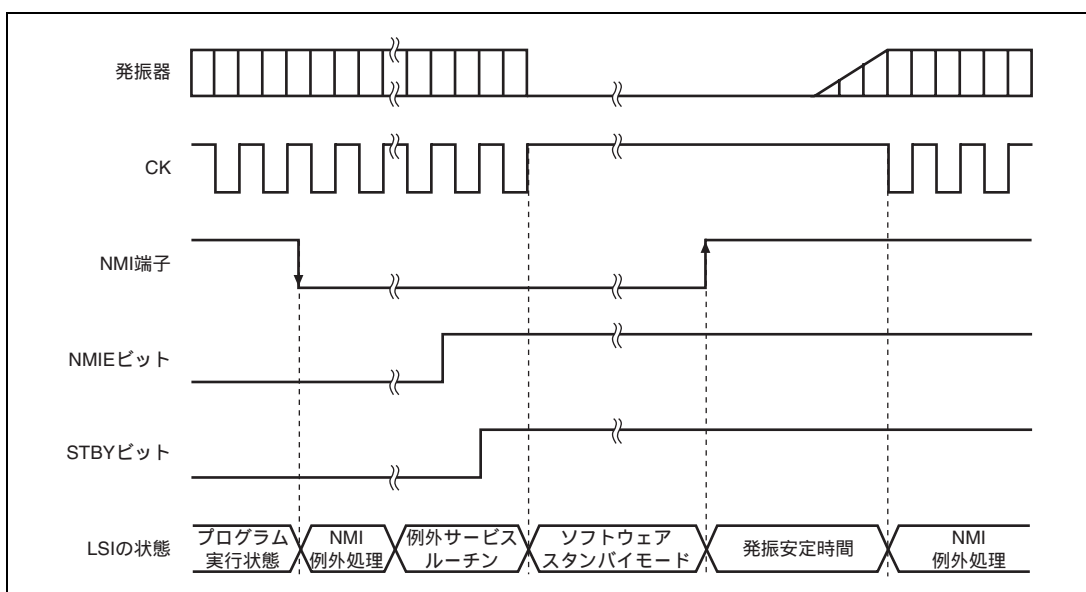


図 23.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

23.4.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、ソフトウェアスタンバイモード時と同じです。表 23.4 を参照してください。

ただし CMT と DAC は例外です。CMT は、ソフトウェアスタンバイモード時は全レジスタが初期化されますが、モジュールスタンバイ状態では全レジスタが保持されます。DAC は、ソフトウェアスタンバイモード時は全レジスタが保持されますが、モジュールスタンバイ状態では全レジスタが初期化されます。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット(ただし H-UDI、UBC、DMAC のみ)により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

24. ユーザデバッグインタフェース (H-UDI)

本 LSI は、エミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI) を内蔵しています。

24.1 特長

ユーザデバッグインタフェース (H-UDI) は、リセットおよび割り込み要求の機能を備えています。

本 LSI の H-UDI はエミュレータの接続に使用されます。

エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 24.1 に H-UDI のブロック図を示します。

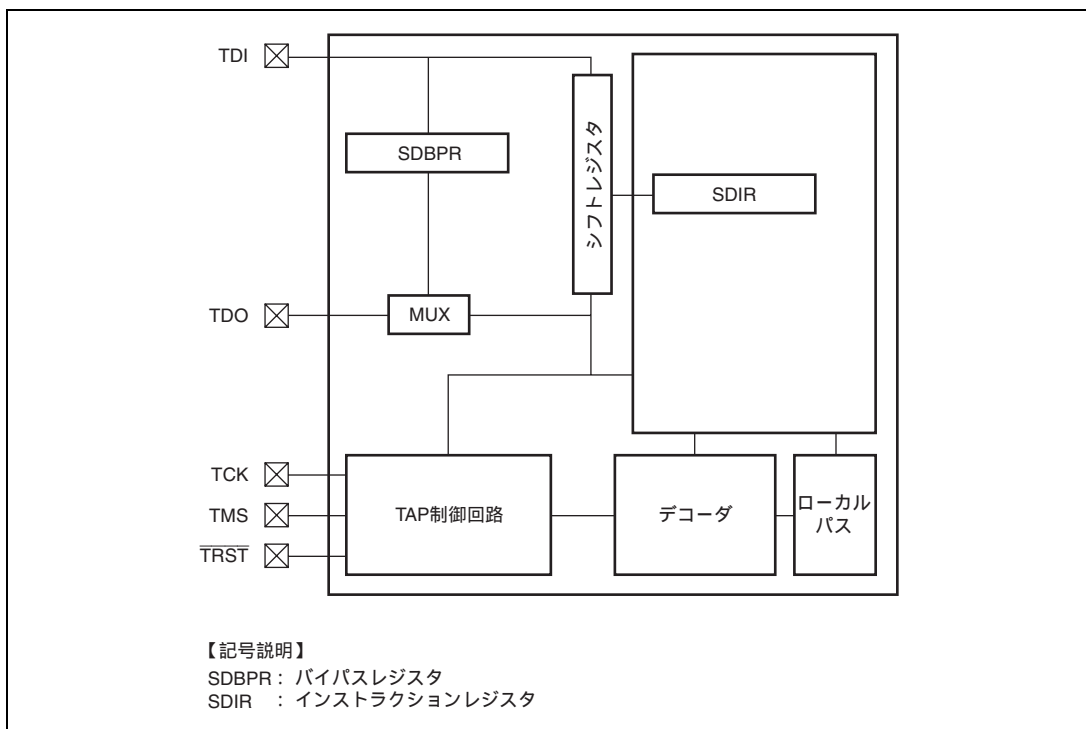


図 24.1 H-UDI のブロック図

24.2 入出力端子

表 24.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは図 24.2 を参照してください。
H-UDI リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「24.4.2 リセット構成」を参照してください。
H-UDI シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
H-UDI シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「24.4.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}^*$	入力	RES 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、RES 端子ネゲート後、最低 1 サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

24.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	-	-	-	-
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

24.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

24.3.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】* TI[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	TI[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 24.3 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

24. ユーザデバッグインタフェース (H-UDI)

表 24.3 H-UDI コマンド

ビット 15-8								説明
T17	T16	T15	T14	T13	T12	T11	T10	
0	1	1	0	-	-	-	-	H-UDI リセットネゲート
0	1	1	1	-	-	-	-	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	H-UDI 割り込み
1	1	1	1	-	-	-	-	BYPASS モード
上記以外								予約

24.4 動作説明

24.4.1 TAP コントローラ

図 24.2 に TAP コントローラの内部状態を示します。

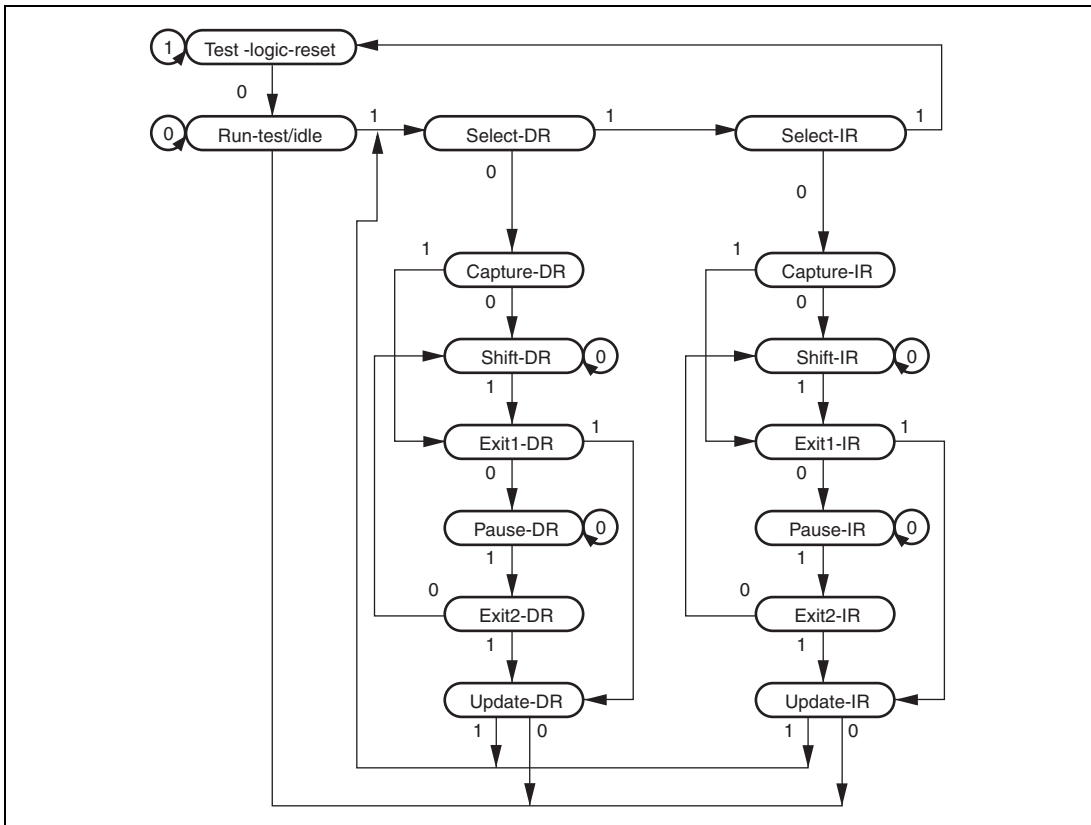


図 24.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「24.4.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

24. ユーザデバッグインタフェース (H-UDI)

24.4.2 リセット構成

表 24.4 リセット構成

ASEMD* ¹	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよびH-UDIのリセット
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作
L	L	L	リセットホールド* ²
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作

【注】 *1 通常モードとASEモードの設定を選択。

ASEMD = H、通常モード

ASEMD = L、ASEモード

*2 ASEモードでRESネゲート時にTRST端子がローレベルであるとリセットホールド状態になります。この状態では、CPUは起動しません。その後、TRSTをハイレベルにセットすると、H-UDI動作が有効になりますが、CPUは起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

24.4.3 TDO 出力タイミング

TDOの変化タイミングは、初期値ではTCKの立ち下がりエッジ同期で出力されます。ただし、H-UDI端子からSDIRに「TDO変化タイミング切り替え」コマンドをセットし、Updata-IRを通過することで、TDOの変化タイミングはTCKの立ち上がりエッジに同期します。これ以降、TRSTを同時にアサートするパワーオンリセットを行わないかぎり、TDOの変化タイミングは変更できません。

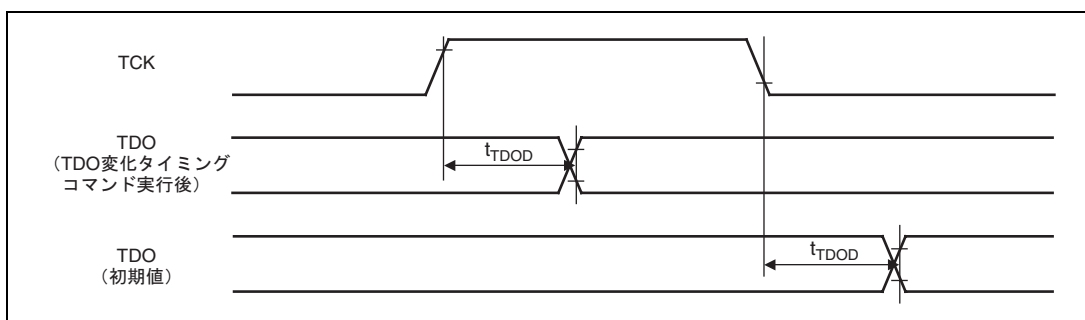


図 24.3 H-UDI データ転送タイミング

24.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために \overline{RES} 端子をローレベルに保つ時間と同じです。

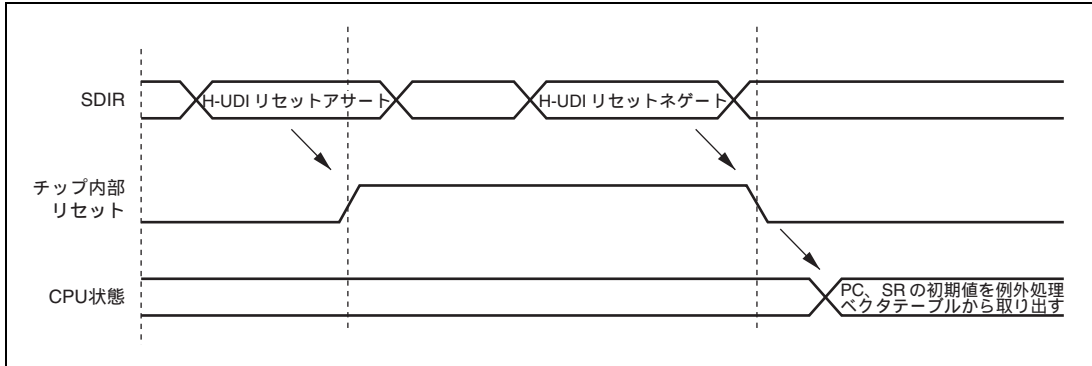


図 24.4 H-UDI リセット

24.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

24.5 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモードなど) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモードおよびH-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。

25. WAVE インタフェース (WAVEIF)

WAVE インタフェース (WAVEIF) は、マイウエイ技研株式会社殿のリアルタイム CPU スコープ WAVE™のインタフェース機能です。リアルタイム CPU スコープ WAVE™の詳細は、マイウエイ技研株式会社殿にお問合せください。

25.1 特長

- WAVE1.0 Level Cに準拠

25.2 入出力端子

表 25.1 端子構成

名称	端子名	入出力	機能
WAVE クロック端子	WSCK	出力	WAVE インタフェースのクロック出力端子
WAVE 受信データ	WRXD	入力	WAVE インタフェースの受信データ入力端子
WAVE 送信データ	WTXD	出力	WAVE インタフェースの送信データ出力端子

26. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「 - 」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

26.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CPG	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
	MTU2S クロック周波数制御レジスタ	MCLKCR	16	H'FFFE0410	8
	AD クロック周波数制御レジスタ	ACLKCR	16	H'FFFE0414	8
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16、32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16、32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16、32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16、32
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0820	16、32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16、32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16、32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16、32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16、32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16、32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16、32
	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16、32
UBC	ブ레이크アドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブ레이크アドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブ레이크アドレスレジスタ_2	BAR_2	32	H'FFFC0420	32
	ブ레이크アドレスマスクレジスタ_2	BAMR_2	32	H'FFFC0424	32
	ブ레이크バスサイクルレジスタ_2	BBR_2	16	H'FFFC04A4	16
	ブ레이크アドレスレジスタ_3	BAR_3	32	H'FFFC0430	32
	ブ레이크アドレスマスクレジスタ_3	BAMR_3	32	H'FFFC0434	32
	ブ레이크バスサイクルレジスタ_3	BBR_3	16	H'FFFC04B4	16
	ブ레이크コントロールレジスタ	BRCCR	32	H'FFFC04C0	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
BSC	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32
	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC0008	32
	CS2 空間バスコントロールレジスタ	CS2BCR	32	H'FFFC000C	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC0018	32
	CS6 空間バスコントロールレジスタ	CS6BCR	32	H'FFFC001C	32
	CS7 空間バスコントロールレジスタ	CS7BCR	32	H'FFFC0020	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC002C	32
	CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'FFFC0030	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC003C	32
	CS6 空間ウェイトコントロールレジスタ	CS6WCR	32	H'FFFC0040	32
	CS7 空間ウェイトコントロールレジスタ	CS7WCR	32	H'FFFC0044	32
	SDRAM コントロールレジスタ	SDCR	32	H'FFFC004C	32
	リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	16	H'FFFC0050	32
	リフレッシュタイムカウンタ	RTCNT	16	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'FFFC0058	32	
DMAC	DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FFFE1004	16、32
	DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	32	H'FFFE100C	8、16、32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	32	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR_0	32	H'FFFE1104	16、32
	DMA リロードトランスファカウンタレジスタ_0	RDMATCR_0	32	H'FFFE1108	16、32
	DMA ソースアドレスレジスタ_1	SAR_1	32	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FFFE1014	16、32
	DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	32	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	32	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR_1	32	H'FFFE1114	16、32

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードトランスファカウントレジスタ_1	RDMATCR_1	32	H'FFFE1118	16、32
	DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFE1020	16、32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFE1024	16、32
	DMA トランスファカウントレジスタ_2	DMATCR_2	32	H'FFFE1028	16、32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	32	H'FFFE102C	8、16、32
	DMA リロードソースアドレスレジスタ_2	RSAR_2	32	H'FFFE1120	16、32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	32	H'FFFE1124	16、32
	DMA リロードトランスファカウントレジスタ_2	RDMATCR_2	32	H'FFFE1128	16、32
	DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFE1030	16、32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFE1034	16、32
	DMA トランスファカウントレジスタ_3	DMATCR_3	32	H'FFFE1038	16、32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	32	H'FFFE103C	8、16、32
	DMA リロードソースアドレスレジスタ_3	RSAR_3	32	H'FFFE1130	16、32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	32	H'FFFE1134	16、32
	DMA リロードトランスファカウントレジスタ_3	RDMATCR_3	32	H'FFFE1138	16、32
	DMA ソースアドレスレジスタ_4	SAR_4	32	H'FFFE1040	16、32
	DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'FFFE1044	16、32
	DMA トランスファカウントレジスタ_4	DMATCR_4	32	H'FFFE1048	16、32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	32	H'FFFE104C	8、16、32
	DMA リロードソースアドレスレジスタ_4	RSAR_4	32	H'FFFE1140	16、32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	32	H'FFFE1144	16、32
	DMA リロードトランスファカウントレジスタ_4	RDMATCR_4	32	H'FFFE1148	16、32
	DMA ソースアドレスレジスタ_5	SAR_5	32	H'FFFE1050	16、32
	DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ_5	DMATCR_5	32	H'FFFE1058	16、32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	32	H'FFFE105C	8、16、32
	DMA リロードソースアドレスレジスタ_5	RSAR_5	32	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	32	H'FFFE1154	16、32
	DMA リロードトランスファカウントレジスタ_5	RDMATCR_5	32	H'FFFE1158	16、32
	DMA ソースアドレスレジスタ_6	SAR_6	32	H'FFFE1060	16、32
	DMA デスティネーションアドレスレジスタ_6	DAR_6	32	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ_6	DMATCR_6	32	H'FFFE1068	16、32
DMA チャンネルコントロールレジスタ_6	CHCR_6	32	H'FFFE106C	8、16、32	

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードソースアドレスレジスタ_6	RSAR_6	32	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	32	H'FFFE1164	16、32
	DMA リロードトランスファカウントレジスタ_6	RDMATCR_6	32	H'FFFE1168	16、32
	DMA ソースアドレスレジスタ_7	SAR_7	32	H'FFFE1070	16、32
	DMA デスティネーションアドレスレジスタ_7	DAR_7	32	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR_7	32	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	32	H'FFFE107C	8、16、32
	DMA リロードソースアドレスレジスタ_7	RSAR_7	32	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	32	H'FFFE1174	16、32
	DMA リロードトランスファカウントレジスタ_7	RDMATCR_7	32	H'FFFE1178	16、32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
	DMA 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16
	DMA 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16
	MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300
タイマモードレジスタ_0		TMDR_0	8	H'FFFE4301	8
タイマ I/O コントロールレジスタ H_0		TIORH_0	8	H'FFFE4302	8
タイマ I/O コントロールレジスタ L_0		TIORL_0	8	H'FFFE4303	8
タイマインタラプトイネーブルレジスタ_0		TIER_0	8	H'FFFE4304	8
タイマステータスレジスタ_0		TSR_0	8	H'FFFE4305	8
タイマカウンタ_0		TCNT_0	16	H'FFFE4306	16
タイマジェネラルレジスタ A_0		TGRA_0	16	H'FFFE4308	16
タイマジェネラルレジスタ B_0		TGRB_0	16	H'FFFE430A	16
タイマジェネラルレジスタ C_0		TGRC_0	16	H'FFFE430C	16
タイマジェネラルレジスタ D_0		TGRD_0	16	H'FFFE430E	16
タイマジェネラルレジスタ E_0		TGRE_0	16	H'FFFE4320	16
タイマジェネラルレジスタ F_0		TGRF_0	16	H'FFFE4322	16
タイマインタラプトイネーブルレジスタ 2_0		TIER2_0	8	H'FFFE4324	8
タイマステータスレジスタ 2_0		TSR2_0	8	H'FFFE4325	8
タイマバッファ動作転送モードレジスタ_0		TBTM_0	8	H'FFFE4326	8
タイマコントロールレジスタ_1		TCR_1	8	H'FFFE4380	8
タイマモードレジスタ_1		TMDR_1	8	H'FFFE4381	8
タイマ I/O コントロールレジスタ_1		TIOR_1	8	H'FFFE4382	8
タイマインタラプトイネーブルレジスタ_1		TIER_1	8	H'FFFE4384	8

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16
タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16	
タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE424A	16
	タイマコントロールレジスタ U_5	TCRU_5	8	H'FFFE4084	8
	タイマコントロールレジスタ V_5	TCRV_5	8	H'FFFE4094	8
	タイマコントロールレジスタ W_5	TCRW_5	8	H'FFFE40A4	8
	タイマ I/O コントロールレジスタ U_5	TIORU_5	8	H'FFFE4086	8
	タイマ I/O コントロールレジスタ V_5	TIORV_5	8	H'FFFE4096	8
	タイマ I/O コントロールレジスタ W_5	TIORW_5	8	H'FFFE40A6	8
	タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFFE40B2	8
	タイマステータスレジスタ_5	TSR_5	8	H'FFFE40B0	8
	タイマスタートレジスタ_5	TSTR_5	8	H'FFFE40B4	8
	タイマカウンタ U_5	TCNTU_5	16	H'FFFE4080	16
	タイマカウンタ V_5	TCNTV_5	16	H'FFFE4090	16
	タイマカウンタ W_5	TCNTW_5	16	H'FFFE40A0	16
	タイマジェネラルレジスタ U_5	TGRU_5	16	H'FFFE4082	16
	タイマジェネラルレジスタ V_5	TGRV_5	16	H'FFFE4092	16
	タイマジェネラルレジスタ W_5	TGRW_5	16	H'FFFE40A2	16
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	H'FFFE40B6	8
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマカウンタシンクスタートレジスタ	TCSYSTR	8	H'FFFE4282	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE420A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222	16
タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8	

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
	タイマシンクロクリアレジスタ	TSYCR	8	H'FFFE4250	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8
	タイマアウトプットレベルバッファレジスタ	TOLBR	8	H'FFFE4236	8
MTU2S	タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFE4A00	8
	タイマモードレジスタ_3S	TMDR_3S	8	H'FFFE4A02	8
	タイマ I/O コントロールレジスタ H_3S	TIORH_3S	8	H'FFFE4A04	8
	タイマ I/O コントロールレジスタ L_3S	TIORL_3S	8	H'FFFE4A05	8
	タイマインタラプトイネーブルレジスタ_3S	TIER_3S	8	H'FFFE4A08	8
	タイマステータスレジスタ_3S	TSR_3S	8	H'FFFE4A2C	8
	タイマカウンタ_3S	TCNT_3S	16	H'FFFE4A10	16
	タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFE4A18	16
	タイマジェネラルレジスタ B_3S	TGRB_3S	16	H'FFFE4A1A	16
	タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFE4A24	16
	タイマジェネラルレジスタ D_3S	TGRD_3S	16	H'FFFE4A26	16
	タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFE4A38	8
	タイマコントロールレジスタ_4S	TCR_4S	8	H'FFFE4A01	8
	タイマモードレジスタ_4S	TMDR_4S	8	H'FFFE4A03	8
	タイマ I/O コントロールレジスタ H_4S	TIORH_4S	8	H'FFFE4A06	8
	タイマ I/O コントロールレジスタ L_4S	TIORL_4S	8	H'FFFE4A07	8
	タイマインタラプトイネーブルレジスタ_4S	TIER_4S	8	H'FFFE4A09	8
	タイマステータスレジスタ_4S	TSR_4S	8	H'FFFE4A2D	8
	タイマカウンタ_4S	TCNT_4S	16	H'FFFE4A12	16
	タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFE4A1C	16
	タイマジェネラルレジスタ B_4S	TGRB_4S	16	H'FFFE4A1E	16
	タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFE4A28	16
	タイマジェネラルレジスタ D_4S	TGRD_4S	16	H'FFFE4A2A	16
	タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	8	H'FFFE4A39	8
	タイマ A/D 変換開始要求コントロール レジスタ S	TADCRS	16	H'FFFE4A40	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFE4A44	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	16	H'FFFE4A46	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	16	H'FFFE4A48	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2S	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	16	H'FFFE4A4A	16
	タイマコントロールレジスタ U_5S	TCRU_5S	8	H'FFFE4884	8
	タイマコントロールレジスタ V_5S	TCRV_5S	8	H'FFFE4894	8
	タイマコントロールレジスタ W_5S	TCRW_5S	8	H'FFFE48A4	8
	タイマ I/O コントロールレジスタ U_5S	TIORU_5S	8	H'FFFE4886	8
	タイマ I/O コントロールレジスタ V_5S	TIORV_5S	8	H'FFFE4896	8
	タイマ I/O コントロールレジスタ W_5S	TIORW_5S	8	H'FFFE48A6	8
	タイマインタラプトイネーブルレジスタ_5S	TIER_5S	8	H'FFFE48B2	8
	タイマステータスレジスタ_5S	TSR_5S	8	H'FFFE48B0	8
	タイマスタートレジスタ_5S	TSTR_5S	8	H'FFFE48B4	8
	タイマカウンタ U_5S	TCNTU_5S	16	H'FFFE4880	16
	タイマカウンタ V_5S	TCNTV_5S	16	H'FFFE4890	16
	タイマカウンタ W_5S	TCNTW_5S	16	H'FFFE48A0	16
	タイマジェネラルレジスタ U_5S	TGRU_5S	16	H'FFFE4882	16
	タイマジェネラルレジスタ V_5S	TGRV_5S	16	H'FFFE4892	16
	タイマジェネラルレジスタ W_5S	TGRW_5S	16	H'FFFE48A2	16
	タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	8	H'FFFE48B6	8
	タイマスタートレジスタ S	TSTRS	8	H'FFFE4A80	8
	タイマシンクロレジスタ S	TSYRS	8	H'FFFE4A81	8
	タイマリードライトイネーブルレジスタ S	TRWERS	8	H'FFFE4A84	8
	タイマアウトプットマスタ イネーブルレジスタ S	TOERS	8	H'FFFE4A0A	8
	タイマアウトプットコントロールレジスタ 1S	TOCR1S	8	H'FFFE4A0E	8
	タイマアウトプットコントロールレジスタ 2S	TOCR2S	8	H'FFFE4A0F	8
	タイマゲートコントロールレジスタ S	TGCRS	8	H'FFFE4A0D	8
	タイマ周期データレジスタ S	TCDRS	16	H'FFFE4A14	16
	タイマデッドタイムデータレジスタ S	TDDRS	16	H'FFFE4A16	16
	タイマサブカウンタ S	TCNTSS	16	H'FFFE4A20	16
	タイマ周期バッファレジスタ S	TCBRS	16	H'FFFE4A22	16
	タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFE4A30	8
	タイマ割り込み間引き回数カウンタ S	TITCNTS	8	H'FFFE4A31	8
	タイマバッファ転送設定レジスタ S	TBTERS	8	H'FFFE4A32	8
	タイマデッドタイムイネーブルレジスタ S	TDERS	8	H'FFFE4A34	8
	タイマシンクロクリアレジスタ S	TSYCRS	8	H'FFFE4A50	8
タイマ波形コントロールレジスタ S	TWCRS	8	H'FFFE4A60	8	
タイマアウトプットレベルバッファレジスタ S	TOLBRS	8	H'FFFE4A36	8	

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
POE2	入力レベルコントロール/ ステータスレジスタ 1	ICSR1	16	H'FFFE5000	16
	出力レベルコントロール/ ステータスレジスタ 1	OCSR1	16	H'FFFE5002	16
	入力レベルコントロール/ ステータスレジスタ 2	ICSR2	16	H'FFFE5004	16
	出力レベルコントロール/ ステータスレジスタ 2	OCSR2	16	H'FFFE5006	16
	入力レベルコントロール/ ステータスレジスタ 3	ICSR3	16	H'FFFE5008	16
	ソフトウェアポートアウトプット イネーブルレジスタ	SPOER	8	H'FFFE500A	8
	ポートアウトプットイネーブル コントロールレジスタ 1	POECR1	8	H'FFFE500B	8
	ポートアウトプットイネーブル コントロールレジスタ 2	POECR2	16	H'FFFE500C	16
CMT	コンペアマッチタイムスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイムコントロール/ ステータスレジスタ_0	CMCSR_0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE0004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE0006	16
	コンペアマッチタイムコントロール/ ステータスレジスタ_1	CMCSR_1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE000A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE000C	16
WDT	ウォッチドッグタイムコントロール/ ステータスレジスタ	WTCSR	16	H'FFFE0000	*
	ウォッチドッグタイムカウンタ	WTCNT	16	H'FFFE0002	*
	ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	16	H'FFFE0004	*
SCIF	シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SCIF	シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCSEMR_1	8	H'FFFE8900	8
	シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCSEMR_2	8	H'FFFE9100	8
	シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16
	トランスミット FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16
	レシーブ FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820	16
ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824	16	

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IIC3	I ² C バスコントロールレジスタ 1	ICCR1	8	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2	8	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR	8	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER	8	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR	8	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR	8	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT	8	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR	8	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC	8	H'FFFEE008	8
ADC	A/D コントロールレジスタ	ADCR	8	H'FFFFE800	8
	A/D ステータスレジスタ	ADSR	8	H'FFFFE802	8
	A/D 開始トリガ選択レジスタ	ADSTRGR	8	H'FFFFE81C	8
	A/D アナログ入力チャネル選択レジスタ	ADANSR	8	H'FFFFE820	8
	A/D データレジスタ 0	ADDR0	16	H'FFFFE840	16
	A/D データレジスタ 1	ADDR1	16	H'FFFFE842	16
	A/D データレジスタ 2	ADDR2	16	H'FFFFE844	16
	A/D データレジスタ 3	ADDR3	16	H'FFFFE846	16
	A/D データレジスタ 4	ADDR4	16	H'FFFFE848	16
	A/D データレジスタ 5	ADDR5	16	H'FFFFE84A	16
	A/D データレジスタ 6	ADDR6	16	H'FFFFE84C	16
	A/D データレジスタ 7	ADDR7	16	H'FFFFE84E	16
	DAC	D/A データレジスタ 0	DADR0	8	H'FFFFE6800
D/A データレジスタ 1		DADR1	8	H'FFFFE6801	8、16
D/A コントロールレジスタ		DACR	8	H'FFFFE6802	8、16
PFC	ポート A・IO レジスタ H	PAIORH	16	H'FFFFE3804	8、16、32
	ポート A・IO レジスタ L	PAIORL	16	H'FFFFE3806	8、16
	ポート A コントロールレジスタ H3	PACRH3	16	H'FFFFE380A	8、16
	ポート A コントロールレジスタ H2	PACRH2	16	H'FFFFE380C	8、16、32
	ポート A コントロールレジスタ H1	PACRH1	16	H'FFFFE380E	8、16
	ポート A コントロールレジスタ L4	PACRL4	16	H'FFFFE3810	8、16、32
	ポート A コントロールレジスタ L3	PACRL3	16	H'FFFFE3812	8、16
	ポート A コントロールレジスタ L2	PACRL2	16	H'FFFFE3814	8、16、32
	ポート A コントロールレジスタ L1	PACRL1	16	H'FFFFE3816	8、16
	ポート B・IO レジスタ H	PBIORH	16	H'FFFFE3884	8、16、32
	ポート B・IO レジスタ L	PBIORL	16	H'FFFFE3886	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
PFC	ポート B コントロールレジスタ H4	PBCRH4	16	H'FFFE3888	8、16、32
	ポート B コントロールレジスタ H3	PBCRH3	16	H'FFFE388A	8、16
	ポート B コントロールレジスタ H2	PBCRH2	16	H'FFFE388C	8、16、32
	ポート B コントロールレジスタ H1	PBCRH1	16	H'FFFE388E	8、16
	ポート B コントロールレジスタ L4	PBCRL4	16	H'FFFE3890	8、16、32
	ポート B コントロールレジスタ L3	PBCRL3	16	H'FFFE3892	8、16
	ポート B コントロールレジスタ L2	PBCRL2	16	H'FFFE3894	8、16、32
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE3896	8、16
	ポート D・IO レジスタ	PDIOR	16	H'FFFE3986	8、16
	ポート D コントロールレジスタ L4	PDCRL4	16	H'FFFE3990	8、16、32
	ポート D コントロールレジスタ L3	PDCRL3	16	H'FFFE3992	8、16
	ポート D コントロールレジスタ L2	PDCRL2	16	H'FFFE3994	8、16、32
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE3996	8、16
	ポート F コントロールレジスタ L1	PFCL1	16	H'FFFE3A96	8、16
	IRQOUT 機能コントロールレジスタ	IFCR	16	H'FFFE38A2	16
	WAVE 機能コントロールレジスタ 2	WAVECR2	16	H'FFFE3A14	8、16、32
	WAVE 機能コントロールレジスタ 1	WAVECR1	16	H'FFFE3A16	8、16
I/O ポート	ポート A データレジスタ H	PADRH	16	H'FFFE3800	8、16、32
	ポート A データレジスタ L	PADRL	16	H'FFFE3802	8、16
	ポート A ポートレジスタ H	PAPRH	16	H'FFFE381C	8、16、32
	ポート A ポートレジスタ L	PAPRL	16	H'FFFE381E	8、16
	ポート B データレジスタ H	PBDRH	16	H'FFFE3880	8、16、32
	ポート B データレジスタ L	PBDRL	16	H'FFFE3882	8、16
	ポート B ポートレジスタ H	PBPRH	16	H'FFFE389C	8、16、32
	ポート B ポートレジスタ L	PBPRL	16	H'FFFE389E	8、16
	ポート D データレジスタ L	PDDR1	16	H'FFFE3982	8、16
	ポート D ポートレジスタ L	PDPRL	16	H'FFFE399E	8、16
	ポート F データレジスタ	PFDR	16	H'FFFE3A82	8、16
FLASH	フラッシュコードコントロール/ ステータスレジスタ	FCCS	8	H'8000C000	8
	フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'8000C001	8
	フラッシュイレースコードセレクトレジスタ	F ECS	8	H'8000C002	8
	フラッシュキーコードレジスタ	FKEY	8	H'8000C004	8
	フラッシュマツトセレクトレジスタ	FMATS	8	H'8000C005	8
	フラッシュトランスファ デスティネーションアドレスレジスタ	FTDAR	8	H'8000C006	8

26. レジスタ一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
低消費電力モード	スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0402	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
H-UDI	インタラクションレジスタ	SDIR	16	H'FFFE2000	16

【注】 * WDT のレジスタは、誤書き込み防止のため書き込み時のアクセスサイズと読み出し時のアクセスサイズが異なります。

26.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
CPG	FRQCR	-	-	-	CKOEN	-		STC[1:0]		
		-	IFC[2:0]			RNGS	PFC[2:0]			
	MCLKCR	MSSCS[1:0]		-	-	-	-	MSDIVS[1:0]		
	ACLKCR	ASSCS[1:0]		-	-	-	-	ASDIVS[1:0]		
INTC	ICR0	NMIL	-	-	-	-	-	-	NMIE	
		-	-	-	-	-	-	-	-	
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
	IRQRR	-	-	-	-	-	-	-	-	
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8	
		E7	E6	E5	E4	E3	E2	E1	-	
	IBNR	BE[1:0]		BOVE		-	-	-	-	
		-	-	-	-	BN[3:0]				
	IPR01	IRQ0[3:0]				IRQ1[3:0]				
		IRQ2[3:0]				IRQ3[3:0]				
	IPR02	IRQ4[3:0]				IRQ5[3:0]				
		IRQ6[3:0]				IRQ7[3:0]				
	IPR05	-	-	-	-	-	-	-	-	
		AD[3:0]				-	-	-	-	
	IPR06	DMAC0[3:0]				DMAC1[3:0]				
		DMAC2[3:0]				DMAC3[3:0]				
	IPR07	DMAC4[3:0]				DMAC5[3:0]				
		DMAC6[3:0]				DMAC7[3:0]				
IPR08	CMT0[3:0]				CMT1[3:0]					
	BSC[3:0]				WDT[3:0]					
IPR09	MTU0(TGI0A ~ TGI0D)[3:0]				MTU0(TCI0V, TGI0E, TGI0F)[3:0]					
	MTU1(TGI1A, TGI1B)[3:0]				MTU1(TCI1V, TCI1U)[3:0]					
IPR10	MTU2(TGI2A, TGI2B)[3:0]				MTU2(TCI2V, TCI2U)[3:0]					
	MTU3(TGI3A ~ TGI3D)[3:0]				MTU3(TCI3V)[3:0]					
IPR11	MTU4(TGI4A ~ TGI4D)[3:0]				MTU4(TCI4V)[3:0]					
	MTU5(TGI5U, TGI5V, TGI5W)[3:0]				POE2(OE1, OE2)[3:0]					

26. レジスタ一覧

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
INTC	IPR12	MTU3S(TGI3A ~ TGI3D)[3:0]				MTU3S(TCI3V)[3:0]				
		MTU4S(TGI4A ~ TGI4D)[3:0]				MTU4S(TCI4V)[3:0]				
	IPR13	MTU5S(TGI5U, TGI5V, TGI5W)[3:0]				POE2(OEI3)[3:0]				
		IIC3[3:0]				-	-	-	-	
	IPR14	SCIF0[3:0]				SCIF1[3:0]				
		SCIF2[3:0]				SCIF3[3:0]				
	IPR15	WAVEIF[3:0]				-	-	-	-	
		-	-	-	-	-	-	-	-	
	UBC	BAR_0	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24
			BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
BA0_15			BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	
BA0_7			BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0	
BAMR_0		BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	
		BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16	
		BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	
		BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0	
BBR_0		-	-	UBID0	-	-	-	CP0[1:0]		
		CD0[1:0]		ID0[1:0]		RW0[1:0]		SZ0[1:0]		
BAR_1		BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24	
		BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16	
		BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8	
		BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0	
BAMR_1		BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24	
		BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16	
		BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8	
		BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0	
BBR_1		-	-	UBID1	-	-	-	CP1[1:0]		
		CD1[1:0]		ID1[1:0]		RW1[1:0]		SZ1[1:0]		
BAR_2		BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24	
		BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16	
		BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8	
		BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0	
BAMR_2		BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24	
		BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16	
		BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8	
		BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
UBC	BBR_2	-	-	UBID2	-	-	-	CP2[1:0]	
		CD2[1:0]		ID2[1:0]		RW2[1:0]		SZ2[1:0]	
	BAR_3	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24
		BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16
		BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8
		BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0
	BAMR_3	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24
		BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16
		BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8
		BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0
	BBR_3	-	-	UBID3	-	-	-	CP3[1:0]	
		CD3[1:0]		ID3[1:0]		RW3[1:0]		SZ3[1:0]	
	BRRCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	CKS[1:0]	
		SCMFC0	SCMFC1	SCMFC2	SCMFC3	SCMFD0	SCMFD1	SCMFD2	SCMFD3
		PCB3	PCB2	PCB1	PCB0	-	-	-	-
	BSC	CMNCR	-	-	-	-	-	-	-
-			-	-	-	-	-	-	
-			-	-	-	BLOCK	DPRTY[1:0]		DMAIW[2]
DMAIW[1:0]			DMAIWA	-	-	HIZCKIO	HIZMEM	HIZCNT	
CS0BCR		-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
CS1BCR		-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
CS2BCR		-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
CS3BCR		-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	CS4BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]	
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]			
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	
		-	-	-	-	-	-	-	-	
	CS5BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]	
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]			
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	
		-	-	-	-	-	-	-	-	
	CS6BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]	
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]			
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	
		-	-	-	-	-	-	-	-	
	CS7BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]	
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]			
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	
		-	-	-	-	-	-	-	-	
	CS0WCR* ¹	-	-	-	-	-	-	-	-	
		-	-	-	BAS	-	-	-	-	
		-	-	-	SW[1:0]		WR[3:1]			
		WR[0]	WM	-	-	-	-	HW[1:0]		
	CS0WCR* ²	-	-	-	-	-	-	-	-	
		-	-	BST[1:0]		-	-	BW[1:0]		
		-	-	-	-	-	W[3:1]			
		W[0]	WM	-	-	-	-	-	-	
	CS0WCR* ⁴	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	BW[1:0]		
		-	-	-	-	-	W[3:1]			
		W[0]	WM	-	-	-	-	-	-	
	CS1WCR* ¹	-	-	-	-	-	-	-	-	
		-	-	-	BAS	-	WW[2:0]			
		-	-	-	SW[1:0]		WR[3:1]			
		WR[0]	WM	-	-	-	-	HW[1:0]		
	CS2WCR* ¹	-	-	-	-	-	-	-	-	
		-	-	-	BAS	-	-	-	-	
		-	-	-	-	-	WR[3:1]			
		WR[0]	WM	-	-	-	-	-	-	

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS2WCR ^{*3}	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	A2CL[1]
		A2CL[0]	-	-	-	-	-	-	-
	CS3WCR ^{*1}	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR[3:1]		
	CS3WCR ^{*3}	WR[0]	WM	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	WTRP[1:0]		-	WTRCD[1:0]		-	A3CL[1]
	CS4WCR ^{*1}	A3CL[0]	-	-	TRWL[1:0]		-	WTRC[1:0]	
		-	-	-	BAS	-	WW[2:0]		
		-	-	-	SW[1:0]		WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]	
	CS4WCR ^{*2}	-	-	-	-	-	-	-	-
		-	-	BST[1:0]		-	-	BW[1:0]	
		-	-	-	SW[1:0]		W[3:1]		
		W[0]	WM	-	-	-	-	HW[1:0]	
	CS5WCR ^{*1}	-	-	-	-	-	-	-	-
		-	-	SZSEL	MPXW/BAS	-	WW[2:0]		
		-	-	-	SW[1:0]		WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]	
	CS6WCR ^{*1}	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-		
		-	-	-	SW[1:0]		WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]	
	CS7WCR ^{*1}	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2:0]		
		-	-	-	SW[1:0]		WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]	
	SDCR	-	-	-	-	-	-	-	-
		-	-	-	A2ROW[1:0]		-	A2COL[1:0]	
		-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV
		-	-	-	A3ROW[1:0]		-	A3COL[1:0]	

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	RTCSR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		CMF	CMIE	CKS[2:0]			RRC[2:0]			
	RTCNT	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	RTCOR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
DMAC	SAR_0									
	DAR_0									
	DMATCR_0	-	-	-	-	-	-	-	-	
	CHCR_0	TC	-	-	RLD	-	-	-	-	
		DO	TL	-	-	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]			RS[3:0]			
		DL	DS	TB	TS[1:0]		IE	TE	DE	
	RSAR_0									
	RDAR_0									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDMATCR_0	-	-	-	-	-	-	-	-	
	SAR_1									
	DAR_1									
	DMATCR_1	-	-	-	-	-	-	-	-	
	CHCR_1	TC	-	-	RLD	-	-	-	-	
		DO	TL	-	-	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]		RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE	
	RSAR_1									
	RDAR_1									
	RDMATCR_1	-	-	-	-	-	-	-	-	
	SAR_2									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
DMAC	DAR_2										
	DMATCR_2	-	-	-	-	-	-	-	-		
	CHCR_2	TC	-	-		RLD	-	-	-	-	
		DO	-	-		-	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]			RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE		
	RSAR_2										
	RDAR_2										
	RDMATCR_2	-	-	-	-	-	-	-	-		
	SAR_3										
	DAR_3										
	DMATCR_3	-	-	-	-	-	-	-	-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	CHCR_3	TC	-	-	RLD	-	-	-	-	
		DO	-	-	-	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]		RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE	
	RSAR_3									
	RDAR_3									
	RDMATCR_3	-	-	-	-	-	-	-	-	-
	SAR_4									
	DAR_4									
	DMATCR_4	-	-	-	-	-	-	-	-	-
	CHCR_4	TC	-	-	RLD	-	-	-	-	-
		-	-	-	-	HE	HIE	-	-	-
		DM[1:0]		SM[1:0]		RS[3:0]				
		-	-	TB	TS[1:0]		IE	TE	DE	
	RSAR_4									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDAR_4									
	RDMATCR_4	-	-	-	-	-	-	-	-	
	SAR_5									
	DAR_5									
	DMATCR_5	-	-	-	-	-	-	-	-	
	CHCR_5	TC	-	-	-	RLD	-	-	-	-
		-	-	-	-	-	HE	HIE	-	-
		DM[1:0]		SM[1:0]		RS[3:0]				
		-	-	TB	TS[1:0]		IE	TE	DE	
	RSAR_5									
	RDAR_5									
	RDMATCR_5	-	-	-	-	-	-	-	-	

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	SAR_6									
	DAR_6									
	DMATCR_6	-	-	-	-	-	-	-	-	-
	CHCR_6	TC	-	-	-	RLD	-	-	-	-
		-	-	-	-	-	HE	HIE	-	-
		DM[1:0]		SM[1:0]			RS[3:0]			
		-	-	TB	TS[1:0]		IE	TE	DE	
	RSAR_6									
	RDAR_6									
	RDMATCR_6	-	-	-	-	-	-	-	-	-
	SAR_7									
	DAR_7									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMATCR_7	-	-	-	-	-	-	-	-	
	CHCR_7	TC	-	-	-	RLD	-	-	-	-
		-	-	-	-	HE	HIE	-	-	
		DM[1:0]		SM[1:0]			RS[3:0]			
		-	-	TB	TS[1:0]		IE	TE	DE	
	RSAR_7									
	RDAR_7									
	RDMATCR_7	-	-	-	-	-	-	-	-	
	DMAOR	-	-	CMS[1:0]			-	-	PR[1:0]	
		-	-	-	-	-	AE	NMIF	DME	
	DMARS0	CH1 MID[5:0]					CH1 RID[1:0]			
		CH0 MID[5:0]					CH0 RID[1:0]			
	DMARS1	CH3 MID[5:0]					CH3 RID[1:0]			
		CH2 MID[5:0]					CH2 RID[1:0]			
	DMARS2	CH5 MID[5:0]					CH5 RID[1:0]			
CH4 MID[5:0]					CH4 RID[1:0]					
DMARS3	CH7 MID[5:0]					CH7 RID[1:0]				
	CH6 MID[5:0]					CH6 RID[1:0]				
MTU2	TCR_0	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_0	-	BFE	BFB	BFA	MD[3:0]				
	TIORH_0	IOB[3:0]				IOA[3:0]				
	TIORL_0	IOD[3:0]				IOC[3:0]				
	TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TCNT_0									
	TGRA_0									
	TGRB_0									
	TGRC_0									
	TGRD_0									
	TGRE_0									
	TGRF_0									
	TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE	
	TSR2_0	-	-	-	-	-	-	TGFF	TGFE	
	TBTM_0	-	-	-	-	-	TTSE	TTSB	T TSA	
	TCR_1	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
	TMDR_1	-	-	-	-	MD[3:0]				
	TIOR_1	IOB[3:0]				IOA[3:0]				
	TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
	TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
	TCNT_1									
	TGRA_1									
	TGRB_1									
	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE	
	TCR_2	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
	TMDR_2	-	-	-	-	MD[3:0]				
	TIOR_2	IOB[3:0]				IOA[3:0]				
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
	TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
	TCNT_2									
	TGRA_2									
	TGRB_2									
	TCR_3	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_3	-	-	BFB	BFA	MD[3:0]				
	TIORH_3	IOB[3:0]				IOA[3:0]				
	TIORL_3	IOD[3:0]				IOC[3:0]				
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_3									
	TGRA_3									
	TGRB_3									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TGRC_3								
	TGRD_3								
	TBTM_3	-	-	-	-	-	-	TTSB	TTSA
	TCR_4	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
	TMDR_4	-	-	BFB	BFA	MD[3:0]			
	TIORH_4	IOB[3:0]				IOA[3:0]			
	TIORL_4	IOD[3:0]				IOC[3:0]			
	TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4								
	TGRA_4								
	TGRB_4								
	TGRC_4								
	TGRD_4								
	TBTM_4	-	-	-	-	-	-	TTSB	TTSA
	TADCR	BF[1:0]			-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TCRU_5	-	-	-	-	-	-	TPSC[1:0]	
	TCRV_5	-	-	-	-	-	-	TPSC[1:0]	
	TCRW_5	-	-	-	-	-	-	TPSC[1:0]	
	TIORU_5	-	-	-	IOC[4:0]				
	TIORV_5	-	-	-	IOC[4:0]				
	TIORW_5	-	-	-	IOC[4:0]				
	TIER_5	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
	TSR_5	-	-	-	-	-	CMFU5	CMFV5	CMFW5
	TSTR_5	-	-	-	-	-	CSTU5	CSTV5	CSTW5
	TCNTU_5								
	TCNTV_5								
	TCNTW_5								
	TGRU_5								
	TGRV_5								
	TGRW_5								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TCNTCMPCLR	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W
	TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
	TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
	TRWER	-	-	-	-	-	-	-	RWE
	TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	-	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TCBR								
	TITCR	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
	TITCNT	-	3ACNT[2:0]			-	4VCNT[2:0]		
	TBTERR	-	-	-	-	-	-	BTE[1:0]	
	TDER	-	-	-	-	-	-	-	TDER
	TSYCR	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
	TWCR	CCE	-	-	-	-	-	-	WRE
	TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	MTU2S	TCR_3S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]	
TMDR_3S		-	-	BFB	BFA	MD[3:0]			
TIORH_3S		IOB[3:0]				IOA[3:0]			
TIORL_3S		IOD[3:0]				IOC[3:0]			
TIER_3S		TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
TSR_3S		TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
TCNT_3S									
TGRA_3S									
TGRB_3S									
TGRC_3S									
TGRD_3S									

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2S	TBTM_3S	-	-	-	-	-	-	TTSB	TTSA
	TCR_4S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
	TMDR_4S	-	-	BFB	BFA	MD[3:0]			
	TIORH_4S	IOB[3:0]				IOA[3:0]			
	TIORL_4S	IOD[3:0]				IOC[3:0]			
	TIER_4S	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4S	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4S								
	TGRA_4S								
	TGRB_4S								
	TGRC_4S								
	TGRD_4S								
	TBTM_4S	-	-	-	-	-	-	TTSB	TTSA
	TADCRS	BF[1:0]		-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4S								
	TADCORB_4S								
	TADCOBRA_4S								
	TADCOBRB_4S								
	TCRU_5S	-	-	-	-	-	-	TPSC[1:0]	
	TCRV_5S	-	-	-	-	-	-	TPSC[1:0]	
	TCRW_5S	-	-	-	-	-	-	TPSC[1:0]	
	TIORU_5S	-	-	-	IOC[4:0]				
	TIORV_5S	-	-	-	IOC[4:0]				
	TIORW_5S	-	-	-	IOC[4:0]				
	TIER_5S	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
	TSR_5S	-	-	-	-	-	CMFU5	CMFV5	CMFW5
	TSTR_5S	-	-	-	-	-	CSTU5	CSTV5	CSTW5
	TCNTU_5S								
	TCNTV_5S								
	TCNTW_5S								
	TGRU_5S								
	TGRV_5S								
	TGRW_5S								
	TCNTCMPCLRS	-	-	-	-	-	CMPCLR5U	CMPCLR5V	CMPCLR5W
	TSTRS	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYRS	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2S	TRWERS	-	-	-	-	-	-	-	RWE	
	TOERS	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
	TOCR1S	-	PSYE	-	-	TOCL	TOCS	OLSN	PLSP	
	TOCR2S	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
	TGCRS	-	BDC	N	P	FB	WF	VF	UF	
	TCDRS									
	TDDRS									
	TCNTSS									
	TCBRS									
	TITCRS	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]			
	TITCNTS	-	3ACNT[2:0]			-	4VCNT[2:0]			
	TBTERS	-	-	-	-	-	-	BTE[1:0]		
	TDERS	-	-	-	-	-	-	-	TDER	
	TSYCRS	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B	
	TWCRS	CCE	-	-	-	-	-	SCC	WRE	
	TOLBRS	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
	POE2	ICSR1	POE3F	-	POE1F	POE0F	-	-	-	PIE1
			POE3M[1:0]		-	-	POE1M[1:0]		POE0M[1:0]	
OCSR1		OSF1	-	-	-	-	-	OCE1	OIE1	
		-	-	-	-	-	-	-	-	
ICSR2		POE7F	-	-	POE4F	-	-	-	PIE2	
		POE7M[1:0]		-	-	-	-	POE4M[1:0]		
OCSR2		OSF2	-	-	-	-	-	OCE2	OIE2	
		-	-	-	-	-	-	-	-	
ICSR3		-	-	-	POE8F	-	-	POE8E	PIE3	
		-	-	-	-	-	-	POE8M[1:0]		
SPOER		-	-	-	-	-	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ	
POECR1		-	-	-	-	MTU2 PA25ZE	MTU2 PA24ZE	MTU2 PA23ZE	MTU2 PA22ZE	
POECR2	-	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	-	MTU2S P1CZE	MTU2S P2CZE	MTU2S P3CZE		
	-	-	-	-	-	-	-	-		

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
CMT	CMSTR	-	-	-	-	-	-	-	-		
		-	-	-	-	-	-	STR1	STR0		
	CMCSR_0	-	-	-	-	-	-	-	-		
		CMF	CMIE	-	-	-	-	CKS[1:0]			
	CMCNT_0										
	CMCOR_0										
	CMCSR_1	-	-	-	-	-	-	-	-		
		CMF	CMIE	-	-	-	-	CKS[1:0]			
CMCNT_1											
CMCOR_1											
WDT	WTCSTR	IOVF	WT/IT	TME	-	-	CKS[2:0]				
	WTCNT										
	WRCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
SCIF	SCSMR_0	-	-	-	-	-	-	-	-		
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1:0]			
	SCBRR_0										
	SCSCR_0	-	-	-	-	-	-	-	-		
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]			
	SCFTDR_0	-	-	-	-	-	-	-	-		
	SCFSR_0	PER[3:0]					FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR		
	SCFRDR_0										
	SCFCR_0	-	-	-	-	-	-	-	-		
		RTRG[1:0]			TTRG[1:0]			-	TFRST	RFRST	LOOP
	SCFDR_0	-	-	-	T[4:0]						
		-	-	-	R[4:0]						
	SCSPTR_0	-	-	-	-	-	-	-	-		
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT		
	SCLSR_0	-	-	-	-	-	-	-	-		
-		-	-	-	-	-	-	ORER			
SCSMR_1	-	-	-	-	-	-	-	-			
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1:0]				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCBRR_1									
	SCSCR_1	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_1	-	-	-	-	-	-	-	-	
	SCFSR_1	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_1									
	SCFCR_1	-	-	-	-	-	-	-	-	
		RTRG[1:0]		TTRG[1:0]		-	TFRST	RFRST	LOOP	
	SCFDR_1	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCSEMR_1	ABCS	-	-	-	-	-	-	-	
	SCSMR_2	-	-	-	-	-	-	-	-	
		C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1:0]		
	SCBRR_2									
	SCSCR_2	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_2	-	-	-	-	-	-	-	-	
	SCFSR_2	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_2	-	-	-	-	-	-	-	-	
	SCFCR_2	-	-	-	-	-	-	-	-	
		RTRG[1:0]		TTRG[1:0]		-	TFRST	RFRST	LOOP	
	SCFDR_2	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
SCSEMR_2	ABCS	-	-	-	-	-	-	-		
SCSMR_3	-	-	-	-	-	-	-	-		
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS[1:0]			

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCBRR_3									
	SCSCR_3	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1:0]		
	SCFTDR_3									
	SCFSR_3	PER[3:0]				FER[3:0]				
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_3	-	-	-	-	-	-	-	-	
	SCFCR_3	-	-	-	-	-	-	-	-	
		RTRG[1:0]		TTRG[1:0]		-	TFRST	RFRST	LOOP	
	SCFDR_3	-	-	-	T[4:0]					
		-	-	-	R[4:0]					
	SCSPTR_3	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_3	-	-	-	-	-	-	-	-	
-		-	-	-	-	-	-	ORER		
IIC3	ICCR1	ICE	RCVD	MST	TRS	CKS[3:0]				
	ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-	
	ICMR	MLS	WAIT	-	-	BCWP	BC[2:0]			
	ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
	ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
	SAR	SVA[6:0]							FS	
	ICDRT									
	ICDRR									
	NF2CYC	-	-	-	-	-	-	-	NF2CYC	
ADC	ADCR	ADST	ADCS	ACE	ADIE	-	-	TRGE	EXTRG	
	ADSR	-	-	-	-	-	-	-	ADF	
	ADSTRGR	-	STR6	STR5	STR4	STR3	STR2	STR1	STR0	
	ADANSR	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0	
	ADDR0	-	-	-	-	ADD0[11:8]				
		ADD0[7:0]								
	ADDR1	-	-	-	-	ADD1[11:8]				
		ADD1[7:0]								
	ADDR2	-	-	-	-	ADD2[11:8]				
		ADD2[7:0]								
	ADDR3	-	-	-	-	ADD3[11:8]				
		ADD3[7:0]								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ADC	ADDR4	-	-	-	-	ADD4[11:8]			
		ADD4[7:0]							
	ADDR5	-	-	-	-	ADD5[11:8]			
		ADD5[7:0]							
	ADDR6	-	-	-	-	ADD6[11:8]			
		ADD6[7:0]							
ADDR7	-	-	-	-	ADD7[11:8]				
	ADD7[7:0]								
DAC	DADR0								
	DADR1								
	DACR	DAOE1	DAOE0	DAE	-	-	-	-	-
PFC	PAIORH	-	-	-	-	-	-	PA25IOR	PA24IOR
		PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	PA16IOR
	PAIORL	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR
		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR
	PACRH3	-	-	-	-	-	-	-	-
		-	PA25MD[2:0]			-	PA24MD[2:0]		
	PACRH2	-	PA23MD[2:0]			-	PA22MD[2:0]		
		-	PA21MD[2:0]			-	PA20MD[2:0]		
	PACRH1	-	PA19MD[2:0]			-	PA18MD[2:0]		
		-	PA17MD[2:0]			-	PA16MD[2:0]		
	PACRL4	-	PA15MD[2:0]			-	PA14MD[2:0]		
		-	PA13MD[2:0]			-	PA12MD[2:0]		
	PACRL3	-	PA11MD[2:0]			-	PA10MD[2:0]		
		-	PA9MD[2:0]			-	PA8MD[2:0]		
	PACRL2	-	PA7MD[2:0]			-	PA6MD[2:0]		
		-	PA5MD[2:0]			-	PA4MD[2:0]		
	PACRL1	-	PA3MD[2:0]			-	PA2MD[2:0]		
		-	PA1MD[2:0]			-	PA0MD[2:0]		
	PBIORH	-	PB30IOR	PB29IOR	PB28IOR	PB27IOR	PB26IOR	PB25IOR	PB24IOR
		PB23IOR	PB22IOR	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR
	PBIORL	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR
	PBCRH4	-	-	-	-	-	PB30MD[2:0]		
		-	PB29MD[2:0]			-	PB28MD[2:0]		

26. レジスタ一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PBCRH3	-	PB27MD[2:0]			-	PB26MD[2:0]			
		-	PB25MD[2:0]			-	PB24MD[2:0]			
	PBCRH2	-	PB23MD[2:0]			-	PB22MD[2:0]			
		-	PB21MD[2:0]			-	PB20MD[2:0]			
	PBCRH1	-	PB19MD[2:0]			-	PB18MD[2:0]			
		-	PB17MD[2:0]			-	PB16MD[2:0]			
	PBCRL4	-	PB15MD[2:0]			-	PB14MD[2:0]			
		-	PB13MD[2:0]			-	PB12MD[2:0]			
	PBCRL3	-	PB11MD[2:0]			-	PB10MD[2:0]			
		-	PB9MD[2:0]			-	PB8MD[2:0]			
	PBCRL2	-	PB7MD[2:0]			-	PB6MD[2:0]			
		-	PB5MD[2:0]			-	PB4MD[2:0]			
	PBCRL1	-	PB3MD[2:0]			-	PB2MD[2:0]			
		-	PB1MD[2:0]			-	PB0MD[2:0]			
	PDIOR	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
	PDCRL4	-	PD15MD[2:0]			-	PD14MD[2:0]			
		-	PD13MD[2:0]			-	PD12MD[2:0]			
	PDCRL3	-	PD11MD[2:0]			-	PD10MD[2:0]			
		-	PD9MD[2:0]			-	PD8MD[2:0]			
	PDCRL2	-	PD7MD[2:0]			-	PD6MD[2:0]			
		-	PD5MD[2:0]			-	PD4MD[2:0]			
	PDCRL1	-	PD3MD[2:0]			-	PD2MD[2:0]			
		-	PD1MD[2:0]			-	PD0MD[2:0]			
	PFCRL1	-	-	-	-	-	-	-	-	
		-	PF1MD[2:0]			-	PF0MD[2:0]			
	IFCR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	IRQMD[1:0]		
	WAVECR2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	WVRMD[2:0]		
	WAVECR1	-	WVTMD[2:0]			-	WVSMD[2:0]			
		-	-	-	-	-	-	-	-	
	I/O ボ - ト	PADRH	-	-	-	-	-	-	PA25DR	PA24DR
			PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	PA16DR
		PADRL	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR
			PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
I/O ポート	PAPRH	-	-	-	-	-	-	PA25PR	PA24PR	
		PA23PR	PA22PR	PA21PR	PA20PR	PA19PR	PA18PR	PA17PR	PA16PR	
	PAPRL	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	
		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR	
	PBDRH	-	PB30DR	PB29DR	PB28DR	PB27DR	PB26DR	PB25DR	PB24DR	
		PB23DR	PB22DR	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR	
	PBDRL	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
	PBPRH	-	PB30PR	PB29PR	PB28PR	PB27PR	PB26PR	PB25PR	PB24PR	
		PB23PR	PB22PR	PB21PR	PB20PR	PB19PR	PB18PR	PB17PR	PB16PR	
	PBPRL	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR	
	PDDRL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
	PDPRL	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR	
	PFDR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	PF1DR	PF0DR	
	FLASH	FCCS	FWE	MAT	-	FLER	-	-	-	SCO
		FPCS	-	-	-	-	-	-	-	PPVS
FECS		-	-	-	-	-	-	-	EPVB	
FKEY		K[7:0]								
FMATS		MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR		TDER	TDA[6:0]							
低消費電力 モード	STBCR	STBY	-	-	-	-	-	-	-	
	STBCR2	MSTP10	MSTP9	MSTP8	-	-	-	-	-	
	SYSCR1	-	-	-	-	RAME3	RAME2	RAME1	RAME0	
	SYSCR2	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	STBCR3	HIZ	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	MSTP31	MSTP30	
	STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	-	MSTP42	-	-	
H-UDI	SDIR	TI[7:0]								
		-	-	-	-	-	-	-	-	

- 【注】 *1 メモリの種類を通常空間、バイト選択付き SRAM、MPX-I/O に設定した場合です。
*2 メモリの種類をバースト ROM (クロック非同期) に設定した場合です。
*3 メモリの種類を SDRAM に設定した場合です。
*4 メモリの種類をバースト ROM (クロック同期) に設定した場合です。

26.3 各動作モードにおけるレジスタの状態の一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CPG	FRQCR	初期化* ¹	保持	保持	-	保持
	MCLKCR	初期化	保持	保持	-	保持
	ACLKCR	初期化	保持	保持	-	保持
INTC	ICR0	初期化	保持	保持	-	保持
	ICR1	初期化	保持	保持	-	保持
	IRQRR	初期化	保持	保持	-	保持
	IBCR	初期化	保持	保持	-	保持
	IBNR	初期化	保持* ²	保持	-	保持
	IPR01	初期化	保持	保持	-	保持
	IPR02	初期化	保持	保持	-	保持
	IPR05	初期化	保持	保持	-	保持
	IPR06	初期化	保持	保持	-	保持
	IPR07	初期化	保持	保持	-	保持
	IPR08	初期化	保持	保持	-	保持
	IPR09	初期化	保持	保持	-	保持
	IPR10	初期化	保持	保持	-	保持
	IPR11	初期化	保持	保持	-	保持
	IPR12	初期化	保持	保持	-	保持
	IPR13	初期化	保持	保持	-	保持
IPR14	初期化	保持	保持	-	保持	
IPR15	初期化	保持	保持	-	保持	
UBC	BAR_0	初期化	保持	保持	保持	保持
	BAMR_0	初期化	保持	保持	保持	保持
	BBR_0	初期化	保持	保持	保持	保持
	BAR_1	初期化	保持	保持	保持	保持
	BAMR_1	初期化	保持	保持	保持	保持
	BBR_1	初期化	保持	保持	保持	保持
	BAR_2	初期化	保持	保持	保持	保持
	BAMR_2	初期化	保持	保持	保持	保持
	BBR_2	初期化	保持	保持	保持	保持
	BAR_3	初期化	保持	保持	保持	保持
	BAMR_3	初期化	保持	保持	保持	保持
	BBR_3	初期化	保持	保持	保持	保持
	BRCR	初期化	保持	保持	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
BSC	CMNCR	初期化	保持	保持	-	保持
	CS0BCR	初期化	保持	保持	-	保持
	CS1BCR	初期化	保持	保持	-	保持
	CS2BCR	初期化	保持	保持	-	保持
	CS3BCR	初期化	保持	保持	-	保持
	CS4BCR	初期化	保持	保持	-	保持
	CS5BCR	初期化	保持	保持	-	保持
	CS6BCR	初期化	保持	保持	-	保持
	CS7BCR	初期化	保持	保持	-	保持
	CS0WCR	初期化	保持	保持	-	保持
	CS1WCR	初期化	保持	保持	-	保持
	CS2WCR	初期化	保持	保持	-	保持
	CS3WCR	初期化	保持	保持	-	保持
	CS4WCR	初期化	保持	保持	-	保持
	CS5WCR	初期化	保持	保持	-	保持
	CS6WCR	初期化	保持	保持	-	保持
	CS7WCR	初期化	保持	保持	-	保持
	SDCR	初期化	保持	保持	-	保持
	RTCSR	初期化	保持 (フラグ処理続行)	保持	-	保持 (フラグ処理続行)
	RTCNT	初期化	保持 (カウントアップ続行)	保持	-	保持 (カウントアップ続行)
RTCOR	初期化	保持	保持	-	保持	
DMAC	SAR_0	初期化	保持	保持	保持	保持
	DAR_0	初期化	保持	保持	保持	保持
	DMATCR_0	初期化	保持	保持	保持	保持
	CHCR_0	初期化	保持	保持	保持	保持
	RSAR_0	初期化	保持	保持	保持	保持
	RDAR_0	初期化	保持	保持	保持	保持
	RDMATCR_0	初期化	保持	保持	保持	保持
	SAR_1	初期化	保持	保持	保持	保持
	DAR_1	初期化	保持	保持	保持	保持
	DMATCR_1	初期化	保持	保持	保持	保持
	CHCR_1	初期化	保持	保持	保持	保持
	RSAR_1	初期化	保持	保持	保持	保持
	RDAR_1	初期化	保持	保持	保持	保持
	RDMATCR_1	初期化	保持	保持	保持	保持

26. レジスタ一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	SAR_2	初期化	保持	保持	保持	保持
	DAR_2	初期化	保持	保持	保持	保持
	DMATCR_2	初期化	保持	保持	保持	保持
	CHCR_2	初期化	保持	保持	保持	保持
	RSAR_2	初期化	保持	保持	保持	保持
	RDAR_2	初期化	保持	保持	保持	保持
	RDMATCR_2	初期化	保持	保持	保持	保持
	SAR_3	初期化	保持	保持	保持	保持
	DAR_3	初期化	保持	保持	保持	保持
	DMATCR_3	初期化	保持	保持	保持	保持
	CHCR_3	初期化	保持	保持	保持	保持
	RSAR_3	初期化	保持	保持	保持	保持
	RDAR_3	初期化	保持	保持	保持	保持
	RDMATCR_3	初期化	保持	保持	保持	保持
	SAR_4	初期化	保持	保持	保持	保持
	DAR_4	初期化	保持	保持	保持	保持
	DMATCR_4	初期化	保持	保持	保持	保持
	CHCR_4	初期化	保持	保持	保持	保持
	RSAR_4	初期化	保持	保持	保持	保持
	RDAR_4	初期化	保持	保持	保持	保持
	RDMATCR_4	初期化	保持	保持	保持	保持
	SAR_5	初期化	保持	保持	保持	保持
	DAR_5	初期化	保持	保持	保持	保持
	DMATCR_5	初期化	保持	保持	保持	保持
	CHCR_5	初期化	保持	保持	保持	保持
	RSAR_5	初期化	保持	保持	保持	保持
	RDAR_5	初期化	保持	保持	保持	保持
	RDMATCR_5	初期化	保持	保持	保持	保持
	SAR_6	初期化	保持	保持	保持	保持
	DAR_6	初期化	保持	保持	保持	保持
	DMATCR_6	初期化	保持	保持	保持	保持
	CHCR_6	初期化	保持	保持	保持	保持
	RSAR_6	初期化	保持	保持	保持	保持
	RDAR_6	初期化	保持	保持	保持	保持
	RDMATCR_6	初期化	保持	保持	保持	保持
SAR_7	初期化	保持	保持	保持	保持	
DAR_7	初期化	保持	保持	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	DMATCR_7	初期化	保持	保持	保持	保持
	CHCR_7	初期化	保持	保持	保持	保持
	RSAR_7	初期化	保持	保持	保持	保持
	RDAR_7	初期化	保持	保持	保持	保持
	RDMATCR_7	初期化	保持	保持	保持	保持
	DMAOR	初期化	保持	保持	保持	保持
	DMARS0	初期化	保持	保持	保持	保持
	DMARS1	初期化	保持	保持	保持	保持
	DMARS2	初期化	保持	保持	保持	保持
	DMARS3	初期化	保持	保持	保持	保持
MTU2	TCR_0	初期化	保持	保持	初期化	保持
	TMDR_0	初期化	保持	保持	初期化	保持
	TIORH_0	初期化	保持	保持	初期化	保持
	TIORL_0	初期化	保持	保持	初期化	保持
	TIER_0	初期化	保持	保持	初期化	保持
	TSR_0	初期化	保持	保持	初期化	保持
	TCNT_0	初期化	保持	保持	初期化	保持
	TGRA_0	初期化	保持	保持	初期化	保持
	TGRB_0	初期化	保持	保持	初期化	保持
	TGRC_0	初期化	保持	保持	初期化	保持
	TGRD_0	初期化	保持	保持	初期化	保持
	TGRE_0	初期化	保持	保持	初期化	保持
	TGRF_0	初期化	保持	保持	初期化	保持
	TIER2_0	初期化	保持	保持	初期化	保持
	TSR2_0	初期化	保持	保持	初期化	保持
	TBTM_0	初期化	保持	保持	初期化	保持
	TCR_1	初期化	保持	保持	初期化	保持
	TMDR_1	初期化	保持	保持	初期化	保持
	TIOR_1	初期化	保持	保持	初期化	保持
	TIER_1	初期化	保持	保持	初期化	保持
	TSR_1	初期化	保持	保持	初期化	保持
	TCNT_1	初期化	保持	保持	初期化	保持
	TGRA_1	初期化	保持	保持	初期化	保持
	TGRB_1	初期化	保持	保持	初期化	保持
	TICCR	初期化	保持	保持	初期化	保持
	TCR_2	初期化	保持	保持	初期化	保持

26. レジスタ一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	
MTU2	TMDR_2	初期化	保持	保持	初期化	保持	
	TIOR_2	初期化	保持	保持	初期化	保持	
	TIER_2	初期化	保持	保持	初期化	保持	
	TSR_2	初期化	保持	保持	保持	初期化	保持
	TCNT_2	初期化	保持	保持	保持	初期化	保持
	TGRA_2	初期化	保持	保持	保持	初期化	保持
	TGRB_2	初期化	保持	保持	保持	初期化	保持
	TCR_3	初期化	保持	保持	保持	初期化	保持
	TMDR_3	初期化	保持	保持	保持	初期化	保持
	TIORH_3	初期化	保持	保持	保持	初期化	保持
	TIORL_3	初期化	保持	保持	保持	初期化	保持
	TIER_3	初期化	保持	保持	保持	初期化	保持
	TSR_3	初期化	保持	保持	保持	初期化	保持
	TCNT_3	初期化	保持	保持	保持	初期化	保持
	TGRA_3	初期化	保持	保持	保持	初期化	保持
	TGRB_3	初期化	保持	保持	保持	初期化	保持
	TGRC_3	初期化	保持	保持	保持	初期化	保持
	TGRD_3	初期化	保持	保持	保持	初期化	保持
	TBTM_3	初期化	保持	保持	保持	初期化	保持
	TCR_4	初期化	保持	保持	保持	初期化	保持
	TMDR_4	初期化	保持	保持	保持	初期化	保持
	TIORH_4	初期化	保持	保持	保持	初期化	保持
	TIORL_4	初期化	保持	保持	保持	初期化	保持
	TIER_4	初期化	保持	保持	保持	初期化	保持
	TSR_4	初期化	保持	保持	保持	初期化	保持
	TCNT_4	初期化	保持	保持	保持	初期化	保持
	TGRA_4	初期化	保持	保持	保持	初期化	保持
	TGRB_4	初期化	保持	保持	保持	初期化	保持
	TGRC_4	初期化	保持	保持	保持	初期化	保持
	TGRD_4	初期化	保持	保持	保持	初期化	保持
	TBTM_4	初期化	保持	保持	保持	初期化	保持
	TADCR	初期化	保持	保持	保持	初期化	保持
TADCORA_4	初期化	保持	保持	保持	初期化	保持	
TADCORB_4	初期化	保持	保持	保持	初期化	保持	
TADCOBRA_4	初期化	保持	保持	保持	初期化	保持	
TADCOBRB_4	初期化	保持	保持	保持	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2	TCRU_5	初期化	保持	保持	初期化	保持
	TCRV_5	初期化	保持	保持	初期化	保持
	TCRW_5	初期化	保持	保持	初期化	保持
	TIORU_5	初期化	保持	保持	初期化	保持
	TIORV_5	初期化	保持	保持	初期化	保持
	TIORW_5	初期化	保持	保持	初期化	保持
	TIER_5	初期化	保持	保持	初期化	保持
	TSR_5	初期化	保持	保持	初期化	保持
	TSTR_5	初期化	保持	保持	初期化	保持
	TCNTU_5	初期化	保持	保持	初期化	保持
	TCNTV_5	初期化	保持	保持	初期化	保持
	TCNTW_5	初期化	保持	保持	初期化	保持
	TGRU_5	初期化	保持	保持	初期化	保持
	TGRV_5	初期化	保持	保持	初期化	保持
	TGRW_5	初期化	保持	保持	初期化	保持
	TCNTCMPCLR	初期化	保持	保持	初期化	保持
	TSTR	初期化	保持	保持	初期化	保持
	TSYR	初期化	保持	保持	初期化	保持
	TCSYSTR	初期化	保持	保持	初期化	保持
	TRWER	初期化	保持	保持	初期化	保持
	TOER	初期化	保持	保持	初期化	保持
	TOCR1	初期化	保持	保持	初期化	保持
	TOCR2	初期化	保持	保持	初期化	保持
	TGCR	初期化	保持	保持	初期化	保持
	TCDR	初期化	保持	保持	初期化	保持
	TDDR	初期化	保持	保持	初期化	保持
	TCNTS	初期化	保持	保持	初期化	保持
	TCBR	初期化	保持	保持	初期化	保持
	TITCR	初期化	保持	保持	初期化	保持
	TITCNT	初期化	保持	保持	初期化	保持
	TBTER	初期化	保持	保持	初期化	保持
	TDER	初期化	保持	保持	初期化	保持
TSYCR	初期化	保持	保持	初期化	保持	
TWCR	初期化	保持	保持	初期化	保持	
TOLBR	初期化	保持	保持	初期化	保持	

26. レジスタ一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TCR_3S	初期化	保持	保持	初期化	保持
	TMDR_3S	初期化	保持	保持	初期化	保持
	TIORH_3S	初期化	保持	保持	初期化	保持
	TIORL_3S	初期化	保持	保持	初期化	保持
	TIER_3S	初期化	保持	保持	初期化	保持
	TSR_3S	初期化	保持	保持	初期化	保持
	TCNT_3S	初期化	保持	保持	初期化	保持
	TGRA_3S	初期化	保持	保持	初期化	保持
	TGRB_3S	初期化	保持	保持	初期化	保持
	TGRC_3S	初期化	保持	保持	初期化	保持
	TGRD_3S	初期化	保持	保持	初期化	保持
	TBTM_3S	初期化	保持	保持	初期化	保持
	TCR_4S	初期化	保持	保持	初期化	保持
	TMDR_4S	初期化	保持	保持	初期化	保持
	TIORH_4S	初期化	保持	保持	初期化	保持
	TIORL_4S	初期化	保持	保持	初期化	保持
	TIER_4S	初期化	保持	保持	初期化	保持
	TSR_4S	初期化	保持	保持	初期化	保持
	TCNT_4S	初期化	保持	保持	初期化	保持
	TGRA_4S	初期化	保持	保持	初期化	保持
	TGRB_4S	初期化	保持	保持	初期化	保持
	TGRC_4S	初期化	保持	保持	初期化	保持
	TGRD_4S	初期化	保持	保持	初期化	保持
	TBTM_4S	初期化	保持	保持	初期化	保持
	TADCRS	初期化	保持	保持	初期化	保持
	TADCORA_4S	初期化	保持	保持	初期化	保持
	TADCORB_4S	初期化	保持	保持	初期化	保持
	TADCOBRA_4S	初期化	保持	保持	初期化	保持
	TADCOBRB_4S	初期化	保持	保持	初期化	保持
	TCRU_5S	初期化	保持	保持	初期化	保持
	TCRV_5S	初期化	保持	保持	初期化	保持
	TCRW_5S	初期化	保持	保持	初期化	保持
TIORU_5S	初期化	保持	保持	初期化	保持	
TIORV_5S	初期化	保持	保持	初期化	保持	
TIORW_5S	初期化	保持	保持	初期化	保持	
TIER_5S	初期化	保持	保持	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TSR_5S	初期化	保持	保持	初期化	保持
	TSTR_5S	初期化	保持	保持	初期化	保持
	TCNTU_5S	初期化	保持	保持	初期化	保持
	TCNTV_5S	初期化	保持	保持	初期化	保持
	TCNTW_5S	初期化	保持	保持	初期化	保持
	TGRU_5S	初期化	保持	保持	初期化	保持
	TGRV_5S	初期化	保持	保持	初期化	保持
	TGRW_5S	初期化	保持	保持	初期化	保持
	TCNTCMPCLRS	初期化	保持	保持	初期化	保持
	TSTRS	初期化	保持	保持	初期化	保持
	TSYRS	初期化	保持	保持	初期化	保持
	TRWERS	初期化	保持	保持	初期化	保持
	TOERS	初期化	保持	保持	初期化	保持
	TOCR1S	初期化	保持	保持	初期化	保持
	TOCR2S	初期化	保持	保持	初期化	保持
	TGCRS	初期化	保持	保持	初期化	保持
	TCDRS	初期化	保持	保持	初期化	保持
	TDDRS	初期化	保持	保持	初期化	保持
	TCNTSS	初期化	保持	保持	初期化	保持
	TCBRS	初期化	保持	保持	初期化	保持
	TITCRS	初期化	保持	保持	初期化	保持
	TITCNTS	初期化	保持	保持	初期化	保持
	TBTERS	初期化	保持	保持	初期化	保持
	TDERS	初期化	保持	保持	初期化	保持
TSYCRS	初期化	保持	保持	初期化	保持	
TWCRS	初期化	保持	保持	初期化	保持	
TOLBRS	初期化	保持	保持	初期化	保持	
POE2	ICSR1	初期化	保持	保持	保持	保持
	OCSR1	初期化	保持	保持	保持	保持
	ICSR2	初期化	保持	保持	保持	保持
	OCSR2	初期化	保持	保持	保持	保持
	ICSR3	初期化	保持	保持	保持	保持
	SPOER	初期化	保持	保持	保持	保持
	POECR1	初期化	保持	保持	保持	保持
	POECR2	初期化	保持	保持	保持	保持

26. レジスタ一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CMT	CMSTR	初期化	保持	初期化	保持	初期化
	CMCSR_0	初期化	保持	初期化	保持	初期化
	CMCNT_0	初期化	保持	初期化	保持	初期化
	CMCOR_0	初期化	保持	初期化	保持	初期化
	CMCSR_1	初期化	保持	初期化	保持	初期化
	CMCNT_1	初期化	保持	初期化	保持	初期化
	CMCOR_1	初期化	保持	初期化	保持	初期化
WDT	WTCSR	初期化	保持	保持	-	保持
	WTCNT	初期化	保持	保持	-	保持
	WRCSR	初期化 ^{*1}	保持	保持	-	保持
SCIF	SCSMR_0	初期化	保持	保持	保持	保持
	SCBRR_0	初期化	保持	保持	保持	保持
	SCSCR_0	初期化	保持	保持	保持	保持
	SCFTDR_0	不定	保持	保持	保持	保持
	SCFSR_0	初期化	保持	保持	保持	保持
	SCFRDR_0	不定	保持	保持	保持	保持
	SCFCR_0	初期化	保持	保持	保持	保持
	SCFDR_0	初期化	保持	保持	保持	保持
	SCSPTR_0	初期化	保持	保持	保持	保持
	SCLSR_0	初期化	保持	保持	保持	保持
	SCSMR_1	初期化	保持	保持	保持	保持
	SCBRR_1	初期化	保持	保持	保持	保持
	SCSCR_1	初期化	保持	保持	保持	保持
	SCFTDR_1	不定	保持	保持	保持	保持
	SCFSR_1	初期化	保持	保持	保持	保持
	SCFRDR_1	不定	保持	保持	保持	保持
	SCFCR_1	初期化	保持	保持	保持	保持
	SCFDR_1	初期化	保持	保持	保持	保持
	SCSPTR_1	初期化	保持	保持	保持	保持
	SCLSR_1	初期化	保持	保持	保持	保持
	SCSEMR_1	初期化	保持	保持	保持	保持
	SCSMR_2	初期化	保持	保持	保持	保持
	SCBRR_2	初期化	保持	保持	保持	保持
	SCSCR_2	初期化	保持	保持	保持	保持
SCFTDR_2	不定	保持	保持	保持	保持	
SCFSR_2	初期化	保持	保持	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIF	SCFRDR_2	不定	保持	保持	保持	保持
	SCFCR_2	初期化	保持	保持	保持	保持
	SCFDR_2	初期化	保持	保持	保持	保持
	SCSPTR_2	初期化	保持	保持	保持	保持
	SCLSR_2	初期化	保持	保持	保持	保持
	SCSEMR_2	初期化	保持	保持	保持	保持
	SCSMR_3	初期化	保持	保持	保持	保持
	SCBRR_3	初期化	保持	保持	保持	保持
	SCSCR_3	初期化	保持	保持	保持	保持
	SCFTDR_3	不定	保持	保持	保持	保持
	SCFSR_3	初期化	保持	保持	保持	保持
	SCFRDR_3	不定	保持	保持	保持	保持
	SCFCR_3	初期化	保持	保持	保持	保持
	SCFDR_3	初期化	保持	保持	保持	保持
	SCSPTR_3	初期化	保持	保持	保持	保持
	SCLSR_3	初期化	保持	保持	保持	保持
IIC3	ICCR1	初期化	保持	保持	保持	保持
	ICCR2	初期化	保持	保持	保持	保持
	ICMR	初期化	保持	保持 / 初期化 (bc3-0)	保持 / 初期化 (bc3-0)	保持
	ICIER	初期化	保持	保持	保持	保持
	ICSR	初期化	保持	保持	保持	保持
	SAR	初期化	保持	保持	保持	保持
	ICDRT	初期化	保持	保持	保持	保持
	ICDRR	初期化	保持	保持	保持	保持
	NF2CYC	初期化	保持	保持	保持	保持
ADC	ADCR	初期化	保持	初期化	保持	保持
	ADSR	初期化	保持	初期化	保持	保持
	ADSTRGR	初期化	保持	初期化	保持	保持
	ADANSR	初期化	保持	初期化	保持	保持
	ADDR0	初期化	保持	初期化	保持	保持
	ADDR1	初期化	保持	初期化	保持	保持
	ADDR2	初期化	保持	初期化	保持	保持
	ADDR3	初期化	保持	初期化	保持	保持
	ADDR4	初期化	保持	初期化	保持	保持
	ADDR5	初期化	保持	初期化	保持	保持
	ADDR6	初期化	保持	初期化	保持	保持

26. レジスタ一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
ADC	ADDR7	初期化	保持	初期化	保持	保持
DAC	DADR0	初期化	保持	保持	初期化	保持
	DADR1	初期化	保持	保持	初期化	保持
	DACR	初期化	保持	保持	初期化	保持
PFC	PAIORH	初期化	保持	保持	-	保持
	PAIORL	初期化	保持	保持	-	保持
	PACRH3	初期化	保持	保持	-	保持
	PACRH2	初期化	保持	保持	-	保持
	PACRH1	初期化	保持	保持	-	保持
	PACRL4	初期化	保持	保持	-	保持
	PACRL3	初期化	保持	保持	-	保持
	PACRL2	初期化	保持	保持	-	保持
	PACRL1	初期化	保持	保持	-	保持
	PBIORH	初期化	保持	保持	-	保持
	PBIORL	初期化	保持	保持	-	保持
	PBCRH4	初期化	保持	保持	-	保持
	PBCRH3	初期化	保持	保持	-	保持
	PBCRH2	初期化	保持	保持	-	保持
	PBCRH1	初期化	保持	保持	-	保持
	PBCRL4	初期化	保持	保持	-	保持
	PBCRL3	初期化	保持	保持	-	保持
	PBCRL2	初期化	保持	保持	-	保持
	PBCRL1	初期化	保持	保持	-	保持
	PDIOR	初期化	保持	保持	-	保持
	PDCRL4	初期化	保持	保持	-	保持
	PDCRL3	初期化	保持	保持	-	保持
	PDCRL2	初期化	保持	保持	-	保持
	PDCRL1	初期化	保持	保持	-	保持
	PFCRL1	初期化	保持	保持	-	保持
	IFCR	初期化	保持	保持	-	保持
	WAVECR2	初期化	保持	保持	-	保持
	WAVECR1	初期化	保持	保持	-	保持
I/Oポート	PADRH	初期化	保持	保持	-	保持
	PADRL	初期化	保持	保持	-	保持
	PAPRH	不定	保持	保持	-	保持
	PAPRL	不定	保持	保持	-	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
I/O ポート	PBDRH	初期化	保持	保持	-	保持
	PBDRL	初期化	保持	保持	-	保持
	PBPRH	不定	保持	保持	-	保持
	PBPRL	不定	保持	保持	-	保持
	PDDRL	初期化	保持	保持	-	保持
	PDPRL	不定	保持	保持	-	保持
	PFDR	初期化	保持	保持	-	保持
FLASH	FCCS	初期化	保持	初期化	初期化	保持
	FPCS	初期化	保持	初期化	初期化	保持
	FECS	初期化	保持	初期化	初期化	保持
	FKEY	初期化	保持	初期化	初期化	保持
	FMATS	初期化	保持	初期化	初期化	保持
	FTDAR	初期化	保持	初期化	初期化	保持
低消費電力 モード	STBCR	初期化	保持	保持	-	保持
	STBCR2	初期化	保持	保持	-	保持
	SYSCR1	初期化	保持	保持	-	保持
	SYSCR2	初期化	保持	保持	-	保持
	STBCR3	初期化	保持	保持	-	保持
	STBCR4	初期化	保持	保持	-	保持
H-UDI ^{*3}	SDIR	保持	保持	保持	保持	保持

【注】 *1 WDT による内部パワーオンリセットでは前の値を保持します。

*2 BN3 ~ BN0 ビットは初期化されます。

*3 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。

27. 電気的特性

【注】 現在のスペックは暫定値です。予告なく変更する場合がありますのでご注意ください。

27.1 絶対最大定格

絶対最大定格を表 27.1 に示します。

表 27.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧 (I/O)	VccQ	- 0.3 ~ 4.6	V
電源電圧 (内部)	Vcc PLLVcc	- 0.3 ~ 2.3	V
入力電圧 (アナログ入力端子以外)	Vin	- 0.3 ~ VccQ + 0.3	V
アナログ電源電圧	AVcc	- 0.3 ~ 7.0	V
アナログ基準電圧	AVREF	- 0.3 ~ AVcc + 0.3	V
アナログ入力電圧	VAN	- 0.3 ~ AVcc + 0.3	V
動作温度	Topr	- 40 ~ + 85	
保存温度	Tstg	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

27.2 電源投入・切断シーケンス

電源投入・切断シーケンスとその推奨値を下記に示します。

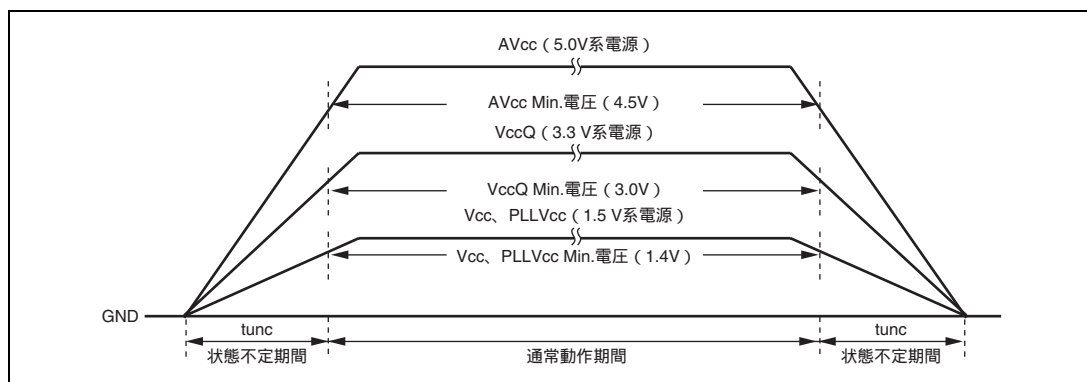


図 27.1 電源投入・切断シーケンス

27. 電氣的特性

表 27.2 電源投入・切断時間推奨値

項目	記号	最大許容値	単位
状態不定期間	tunc	100	ms

【注】 VccQ Vcc = PLLVcc とすることを推奨します。VccQ と Vcc、PLLVcc の投入・切断順序はどちらが先でも問題ありませんが、Vcc が Min.電圧以上に到達するまでおよび Vcc が Min.電圧以下になってからが状態不定期間となり、その期間は端子状態および内部状態が不定となります。その状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。また、電源投入時に状態不定期間の消費電流増加を避けるため、VccQ と Vcc、PLLVcc は同時に投入することを推奨します。図 27.2 の電源投入順序で、状態不定期間を無くすることができます。

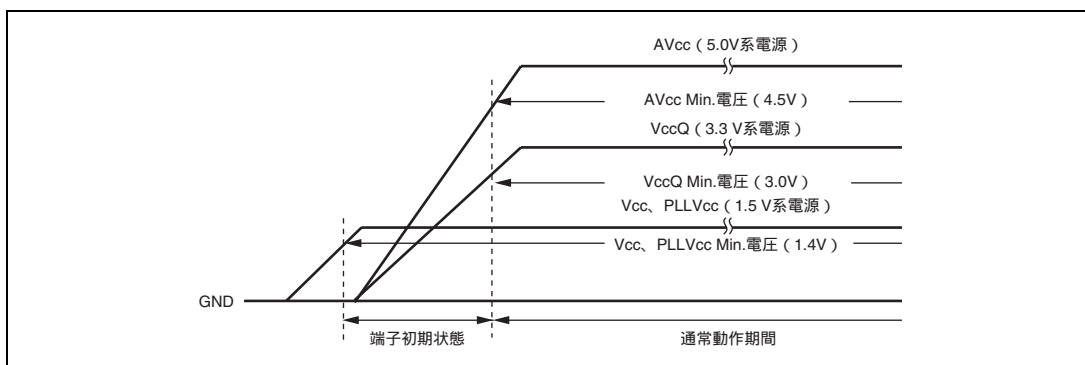


図 27.2 電源投入シーケンス

【注】 端子状態および内部状態が不定にならないよう、Vcc が Min.電圧以上に到達するまで VccQ および AVcc を GND 電位 0(V) とし、VccQ、AVcc をフローティング状態にしないでください。パワーオンリセット状態となるよう、RES 端子にはローレベルを入力してください。なお、この場合 VccQ が Min.電圧に到達するまで各端子がローインピーダンス状態になりますので、吸い込み電流による消費電流の増加に注意してください。

27.3 DC 特性

DC 特性を表 27.3 に示します。

表 27.3 DC 特性 (1) 【共通項目】

条件: $T_a = -40 \sim +85$

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		VccQ	3.0	3.3	3.6	V	
		Vcc PLLvcc	1.4	1.5	1.6		
アナログ電源電圧		AVcc	4.5	5.0	5.5	V	
消費電流*1	通常動作時	I_{cc}	-	200	310	mA	Vcc=1.5V I =160MHz B =40MHz P =40MHz
	ソフトウェア スタンバイモード時	I_{stby}	-	5	60	mA	$T_a=25$
		PI_{stby}	-	0.1	1	mA	VccQ=3.3V
	スリープモード時	I_{sleep}	-	60	100	mA	Vcc=1.5V B =40MHz P =40MHz
入力リーク電流	全入力端子(PF0、PF1 除く)	$ I_{in} $	-	-	1	μA	$V_{in} = 0.5 \sim$
	PF0、PF1		-	-	1	μA	VccQ - 0.5V
スリープステート リーク電流	入出力、全出力端子 (オフ状態)	$ I_{ST1} $	-	-	1	μA	$V_{in} = 0.5 \sim$ VccQ - 0.5V
端子容量	全端子	C_{in}	-	-	10	pF	
アナログ電源 電流	A/D、D/A 変換中	AI_{cc}	-	5	10	mA	AVREF を含む
	A/D、D/A 変換待機時		-	1	2	mA	
	スタンバイ時		-	-	20	μA	

【使用上の注意】A/D 変換器および D/A 変換器を使用しないときは、AVcc、AVss、AVREF、AVREFVss 端子をオープンにしないでください。

【注】 *1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

*2 I_{cc} 、 I_{sleep} 、 I_{stby} は、Vcc、PLLvcc 系統で消費する電流の合計値です。

*3 PI_{stby} は、VccQ 系統で消費する電流の合計値です。

27. 電氣的特性

表 27.3 DC 特性 (2) 【I²C 関連端子を除く】

条件 : Vcc = PLLVcc = 1.4 ~ 1.6V、VccQ = 3.0 ~ 3.6V、
Vss = PLLVss = VssQ = 0V、Ta = - 40 ~ + 85

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力ハイレベル 電圧	RES、MRES、NMI、 MD1、MD0、 MD_CLK2、MD_CLK0、 ASEMD、TRST、 EXTAL、ASEBRK、FWE	V _{ih}	VccQ - 0.5	-	VccQ + 0.3	V	
	その他の入力端子 (シュミット端子除く)		2.0	-	VccQ + 0.3		
入力ローレベル 電圧	RES、MRES、NMI、 MD1、MD0、 MD_CLK2、MD_CLK0、 ASEMD、TRST、 EXTAL、ASEBRK、FWE	V _{il}	- 0.3	-	0.5	V	
	その他の入力端子 (シュミット端子除く)		- 0.3	-	0.8		
シュミットトリガ 入力特性	TIOC0A ~ TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A ~ TIOC3D、 TIOC4A ~ TIOC4D、 TIC5U ~ TIC5W、 TCLKA ~ TCLKD、 TIOC3AS、TIOC3BS、 TIOC3CS、TIOC3DS、 TIOC4AS、TIOC4BS、 TIOC4CS、TIOC4DS、 TIC5US、TIC5VS、TIC5WS、 POE8、POE7、POE4、 POE3、POE1、POE0、 SCK3 ~ SCK0、 RXD3 ~ RXD0、 IRQ7 ~ IRQ0	V _T ⁺	VccQ - 0.5	-	-	V	
		V _T ⁻	-	-	0.5	V	
		V _T ⁺ - V _T ⁻	0.4	-	-	V	
出力ハイレベル 電圧	TIOC3B (PB18)、 TIOC3D (PB19)、 TIOC4A ~ TIOC4D (PB4 ~ PB7)、 TIOC3BS (PB21)、 TIOC3DS (PB20)、 TIOC4AS ~ TIOC4DS (PB12、PB13、PB10、 PB11)	V _{oh}	VccQ - 0.8	-	-	V	I _{oh} = - 5mA
	上記以外の全出力端子		VccQ - 0.5	-	-	V	I _{oh} = - 200 μA

項目	記号	Min.	Typ.	Max.	単位	測定条件
出力ローレベル電圧	TIOC3B (PB18)、 TIOC3D (PB19)、 TIOC4A ~ TIOC4D (PB4 ~ PB7)、 TIOC3BS (PB21)、 TIOC3DS (PB20)、 TIOC4AS ~ TIOC4DS (PB12、PB13、PB10、 PB11)	-	-	0.9	V	$I_{OL} = 15\text{mA}$
	上記以外の全出力端子	-	-	0.4	V	$I_{OL} = 2\text{mA}$

表 27.3 DC 特性 (3) 【I²C 関連端子*】条件：V_{CC} = PLLV_{CC} = 1.4 ~ 1.6V、V_{CCQ} = 3.0 ~ 3.6V、V_{SS} = PLLV_{SS} = V_{SSQ} = 0V、T_a = -40 ~ +85

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	V _{CCQ} × 0.7	-	V _{CCQ} + 0.3	V	
入力ローレベル電圧	V _{IL}	- 0.3	-	V _{CCQ} × 0.3	V	
シュミットトリガ入力特性	V _{IH} - V _{IL}	0.4	-	-	V	
出力ローレベル電圧	V _{OL}	-	-	0.4	V	$I_{OL} = 3.0\text{mA}$ 時

【注】 * PF0/IRQ0/POE7/SCL、PF1/IRQ1/POE3/SDA 端子 (オープンドレイン端子)

表 27.4 出力許容電流値

条件：V_{CC} = PLLV_{CC} = 1.4 ~ 1.6V、V_{CCQ} = 3.0 ~ 3.6V、V_{SS} = PLLV_{SS} = V_{SSQ} = 0V、T_a = -40 ~ +85

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1端子当たり)	IoL	-	-	15	mA
	SCL、SDA			10	
	その他の端子			2	
出力ローレベル許容電流 (総和)	Σ IoL	-	-	80	mA
出力ハイレベル許容電流 (1端子当たり)	-IoH	-	-	5	mA
	その他の端子	-	-	2	mA
出力ハイレベル許容電流 (総和)	Σ -IoH	-	-	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 27.4 の値を超えないようにしてください。

27. 電氣的特性

27.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 27.5 最大動作周波数

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項 目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU (I)	f	32	-	160	MHz	
	内部バス、外部バス(B)		32	-	40		
	周辺モジュール(P)		4	-	40		

27.4.1 クロックタイミング

表 27.6 クロックタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項 目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	f_{EX}	8	10	MHz	27.3
EXTAL クロック入力サイクル時間	t_{EXyc}	100	125	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	6	-	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	6	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	3	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	3	ns	
CK クロック出力周波数	f_{OP}	16	40	MHz	27.4
CK クロック出力サイクル時間	t_{yc}	25.0	62.5	ns	
CK クロック出力ローレベルパルス幅	t_{CKOL}	6	-	ns	
CK クロック出力ハイレベルパルス幅	t_{CKOH}	6	-	ns	
CK クロック出力立ち上がり時間	t_{CKOr}	-	3	ns	
CK クロック出力立ち下がり時間	t_{CKOf}	-	3	ns	
パワーオン発振安定時間	t_{OSc1}	10	-	ms	27.5
スタンバイ復帰発振安定時間 1	t_{OSc2}	10	-	ms	27.6
スタンバイ復帰発振安定時間 2	t_{OSc3}	10	-	ms	27.7

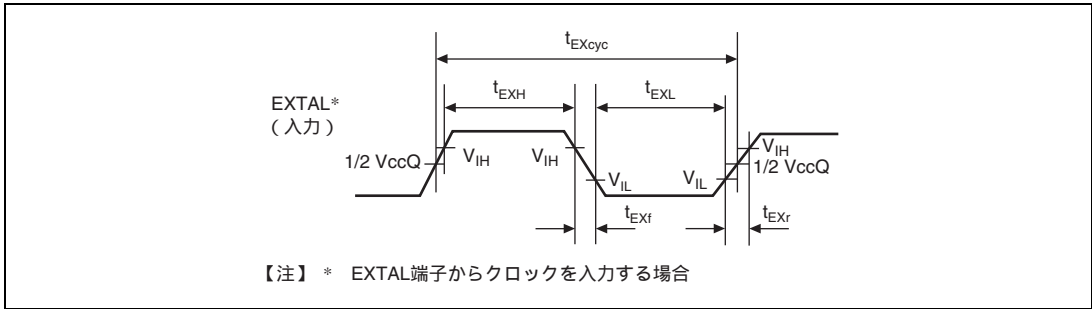


図 27.3 EXTERNAL クロック入力タイミング

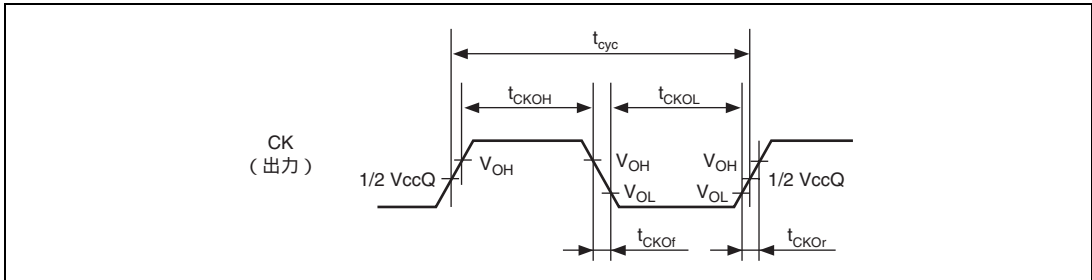


図 27.4 CK クロック出力タイミング

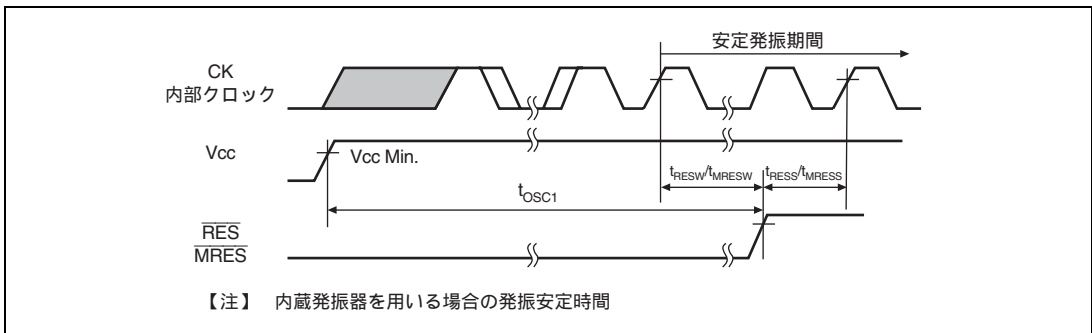


図 27.5 パワーオン発振安定時間

27. 電氣的特性

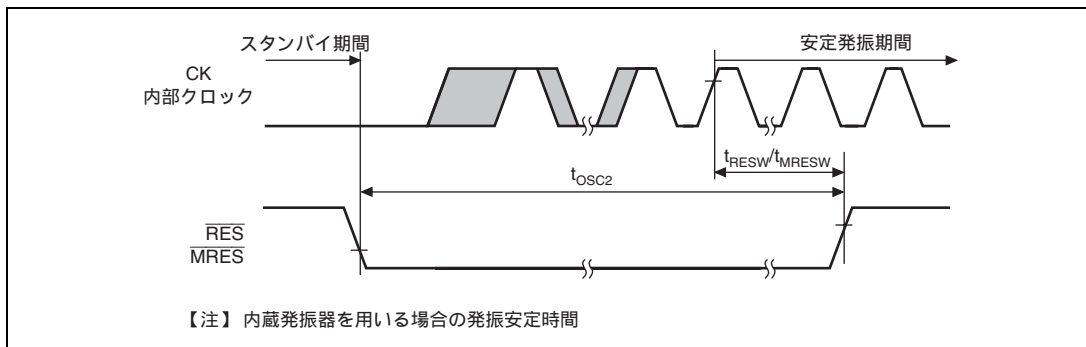


図 27.6 スタンバイ復帰時発振安定時間（リセットによる復帰）

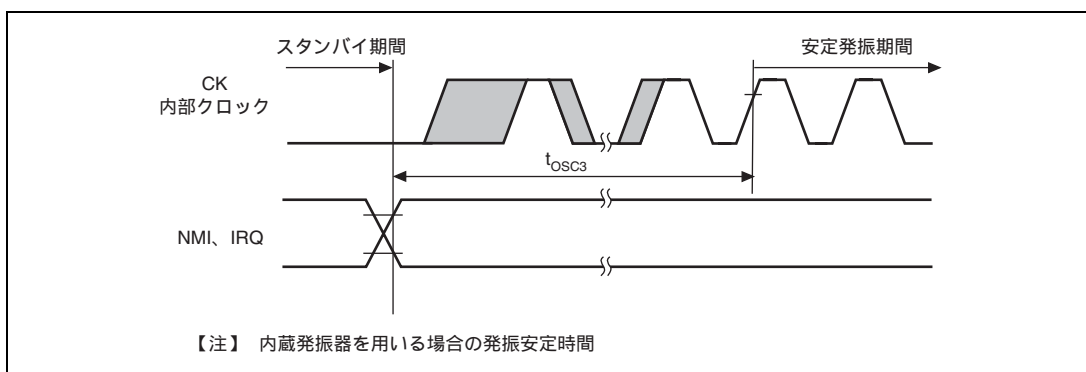


図 27.7 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

27.4.2 制御信号タイミング

表 27.7 制御信号タイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項 目	記号	B = 40MHz		単位	参照図
		Min.	Max.		
\overline{RES} パルス幅	t_{RESW}	20^{*2}	-	t_{cyc}	27.5、
\overline{RES} セットアップ時間*1	t_{RESS}	25	-	ns	27.6、
\overline{RES} ホールド時間	t_{RESH}	15	-	ns	27.8、
\overline{MRES} パルス幅	t_{MRESW}	20^{*3}	-	t_{cyc}	27.9
\overline{MRES} セットアップ時間	t_{MRESS}	25	-	ns	
\overline{MRES} ホールド時間	t_{MRESH}	15	-	ns	
MD1、MD0 セットアップ時間	t_{MDS}	20	-	t_{cyc}	27.8
\overline{BREQ} セットアップ時間	t_{BREQS}	$1/2t_{cyc} + 10$	-	ns	27.10
\overline{BREQ} ホールド時間	t_{BREQH}	$1/2t_{cyc} + 4$	-	ns	
NMI セットアップ時間*1	t_{NMIS}	15	-	ns	27.9
NMI ホールド時間	t_{NMIH}	7	-	ns	
IRQ7 ~ IRQ0 セットアップ時間*1	t_{IRQS}	15	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQH}	7	-	ns	
$\overline{IRQOUT}/\overline{REFOUT}$ 出力遅延時間	t_{IRQOD}	-	100	ns	27.11
BACK 遅延時間	t_{BACKD}	-	$1/2t_{cyc} + 20$	ns	27.10
バスタライステート遅延時間 1	t_{BOFF1}	0	100	ns	
バスタライステート遅延時間 2	t_{BOFF2}	0	100	ns	
バスバッファオンタイム 1	t_{BON1}	0	30	ns	
バスバッファオンタイム 2	t_{BON2}	0	30	ns	

【注】 *1 \overline{RES} 、NMI、および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時またはクロック逡倍率が変化するときは、 $t_{RESW} = t_{OSCC2}$ (Min.10ms) になります。

*3 スタンバイモード時は、 $t_{MRESW} = t_{OSCC2}$ (Min.10ms) となります。

27. 電氣的特性

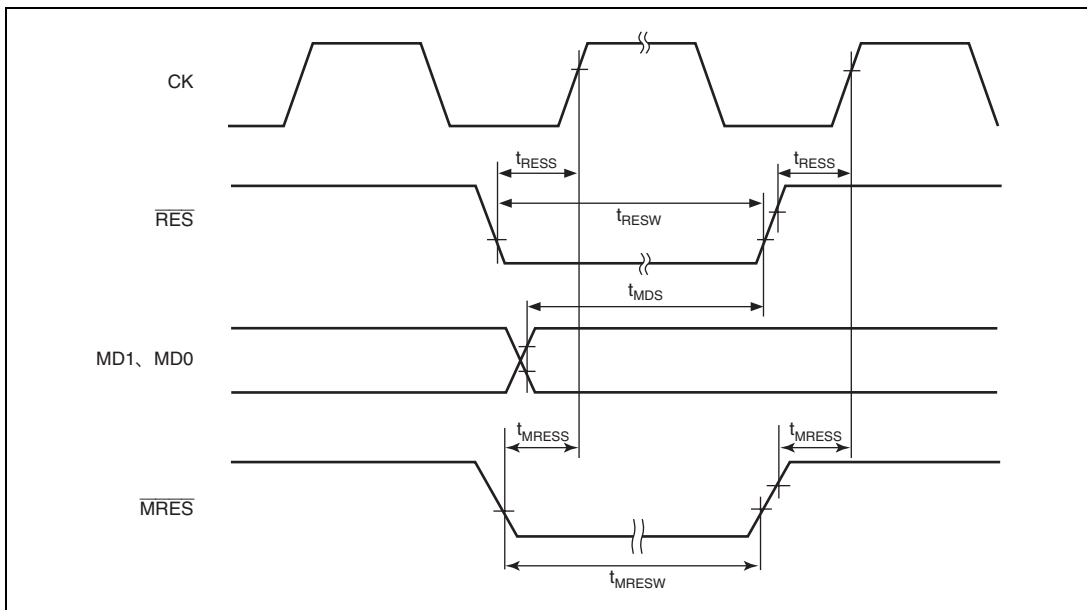


図 27.8 リセット入力タイミング

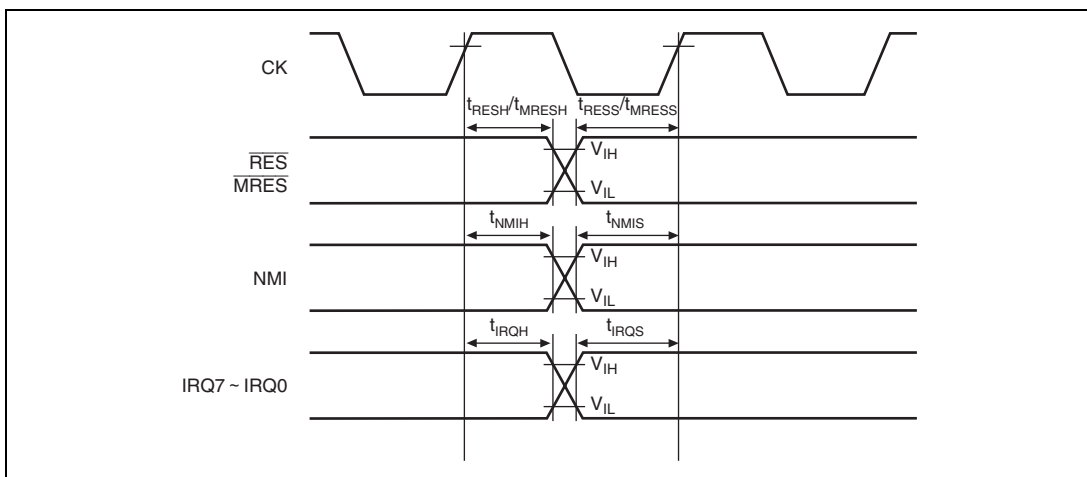


図 27.9 割り込み信号入力タイミング

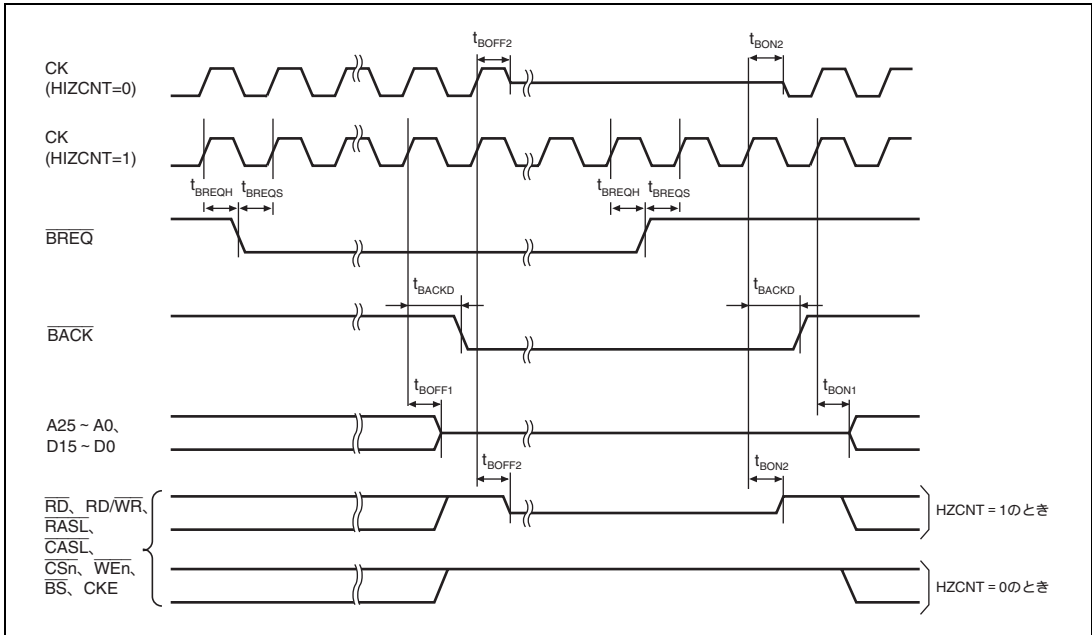


図 27.10 バス権解放タイミング

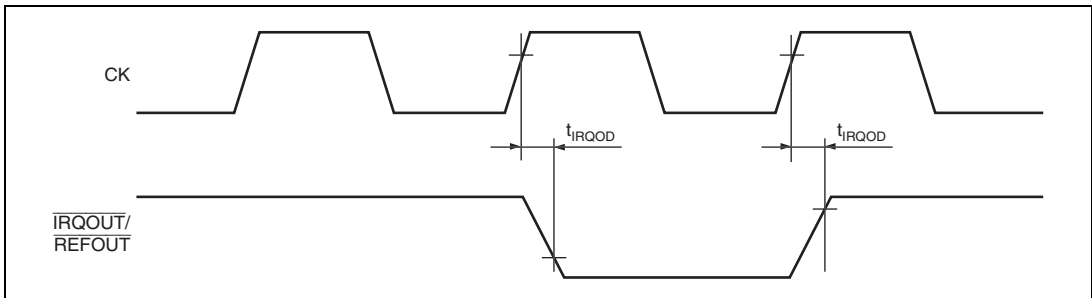


図 27.11 割り込み信号出力タイミング

27. 電氣的特性

27.4.3 バスタイミング

表 27.8 バスタイミング

条件：クロックモード 6、Vcc = PLLVcc = 1.4 ~ 1.6V、VccQ = 3.0 ~ 3.6V、
Vss = PLLVss = VssQ = 0V、Ta = - 40 ~ + 85

項目	記号	B = 40MHz ^{*1}		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	t _{AD1}	1	20	ns	27.12 ~ 27.36
アドレス遅延時間 2	t _{AD2}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.19
アドレス遅延時間 3	t _{AD3}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.37、27.38
アドレスセットアップ時間	t _{AS}	0	-	ns	27.12 ~ 27.15、27.19
アドレスホールド時間	t _{AH}	0	-	ns	27.12 ~ 27.15
BS 遅延時間	t _{BSD}	-	20	ns	27.12 ~ 27.33、27.37
CS 遅延時間 1	t _{CS1}	1	20	ns	27.12 ~ 27.36
CS 遅延時間 2	t _{CS2}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.37、27.38
CS セットアップ時間	t _{CS}	0	-	ns	27.12 ~ 27.15
CS ホールド時間	t _{CSH}	0	-	ns	27.12 ~ 27.15
リードライト遅延時間 1	t _{RWD1}	1	20	ns	27.12 ~ 27.36
リードライト遅延時間 2	t _{RWD2}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.37、27.38
リードストローブ遅延時間	t _{RS}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.12 ~ 27.19
リードデータセットアップ時間 1	t _{RDS1}	1/2t _{cyc} +13	-	ns	27.12 ~ 27.18
リードデータセットアップ時間 2	t _{RDS2}	10	-	ns	27.20 ~ 27.23、27.28 ~ 27.30
リードデータセットアップ時間 3	t _{RDS3}	1/2t _{cyc} +20	-	ns	27.19
リードデータセットアップ時間 4	t _{RDS4}	1/2t _{cyc} +20	-	ns	27.37
リードデータホールド時間 1	t _{RDH1}	0	-	ns	27.12 ~ 27.18
リードデータホールド時間 2	t _{RDH2}	2	-	ns	27.20 ~ 27.23、27.28 ~ 27.30
リードデータホールド時間 3	t _{RDH3}	0	-	ns	27.19
リードデータホールド時間 4	t _{RDH4}	1/2t _{cyc} +5	-	ns	27.37
リードデータアクセス時間	t _{ACC} ^{*3}	t _{cyc} × (n+1.5) - 31 ^{*2}	-	ns	27.12 ~ 27.15、27.17、27.18
リードストローブからのアクセス時間	t _{OE} ^{*3}	t _{cyc} × (n+1) - 31 ^{*2}	-	ns	27.12 ~ 27.15、27.17、27.18
ライトイネーブル遅延時間 1	t _{WED1}	1/2t _{cyc}	1/2t _{cyc} +20	ns	27.12 ~ 27.17
ライトイネーブル遅延時間 2	t _{WED2}	-	20	ns	27.18
ライトデータ遅延時間 1	t _{WDD1}	-	20	ns	27.12 ~ 27.18
ライトデータ遅延時間 2	t _{WDD2}	-	20	ns	27.24 ~ 27.27、27.31 ~ 27.33
ライトデータ遅延時間 3	t _{WDD3}	-	1/2t _{cyc} +20	ns	27.37
ライトデータホールド時間 1	t _{WDH1}	1	15	ns	27.12 ~ 27.18
ライトデータホールド時間 2	t _{WDH2}	1	-	ns	27.24 ~ 27.27、27.31 ~ 27.33
ライトデータホールド時間 3	t _{WDH3}	1/2t _{cyc}	-	ns	27.37

項目	記号	B = 40MHz* ¹		単位	参照図
		Min.	Max.		
ライトデータホールド時間 4	t_{WDH4}	0	-	ns	27.12、27.16
WAIT セットアップ時間	t_{WTS}	$1/2t_{cyc}+10$	-	ns	27.13 ~ 27.19
WAIT ホールド時間	t_{WTH}	$1/2t_{cyc}+5$	-	ns	27.13 ~ 27.19
RAS 遅延時間 1	t_{RASD1}	1	20	ns	27.20 ~ 27.31、27.33 ~ 27.36
RAS 遅延時間 2	t_{RASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+20$	ns	27.37、27.38
CAS 遅延時間 1	t_{CASD1}	1	20	ns	27.20 ~ 27.36
CAS 遅延時間 2	t_{CASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+20$	ns	27.37、27.38
DQM 遅延時間 1	t_{DQMD1}	1	20	ns	27.20 ~ 27.33
DQM 遅延時間 2	t_{DQMD2}	$1/2t_{cyc}$	$1/2t_{cyc}+20$	ns	27.37、27.38
CKE 遅延時間 1	t_{CKED1}	1	20	ns	27.35
CKE 遅延時間 2	t_{CKED2}	$1/2t_{cyc}$	$1/2t_{cyc}+20$	ns	27.38
AH 遅延時間	t_{AHD}	$1/2t_{cyc}$	$1/2t_{cyc}+20$	ns	27.16
マルチプレクスアドレス遅延時間	t_{MAD}	-	20	ns	27.16
マルチプレクスアドレス ホールド時間	t_{MAH}	1	-	ns	27.16
DACK、TEND 遅延時間	t_{DACD}	-	周辺モジュール 参照	ns	27.12 ~ 27.33、27.37

【注】 *1 B（外部バスクロック）の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

*2 nはウェイト数。

*3 アクセス時間が満足されていれば、 t_{RDS1} は満足されている必要はありません。

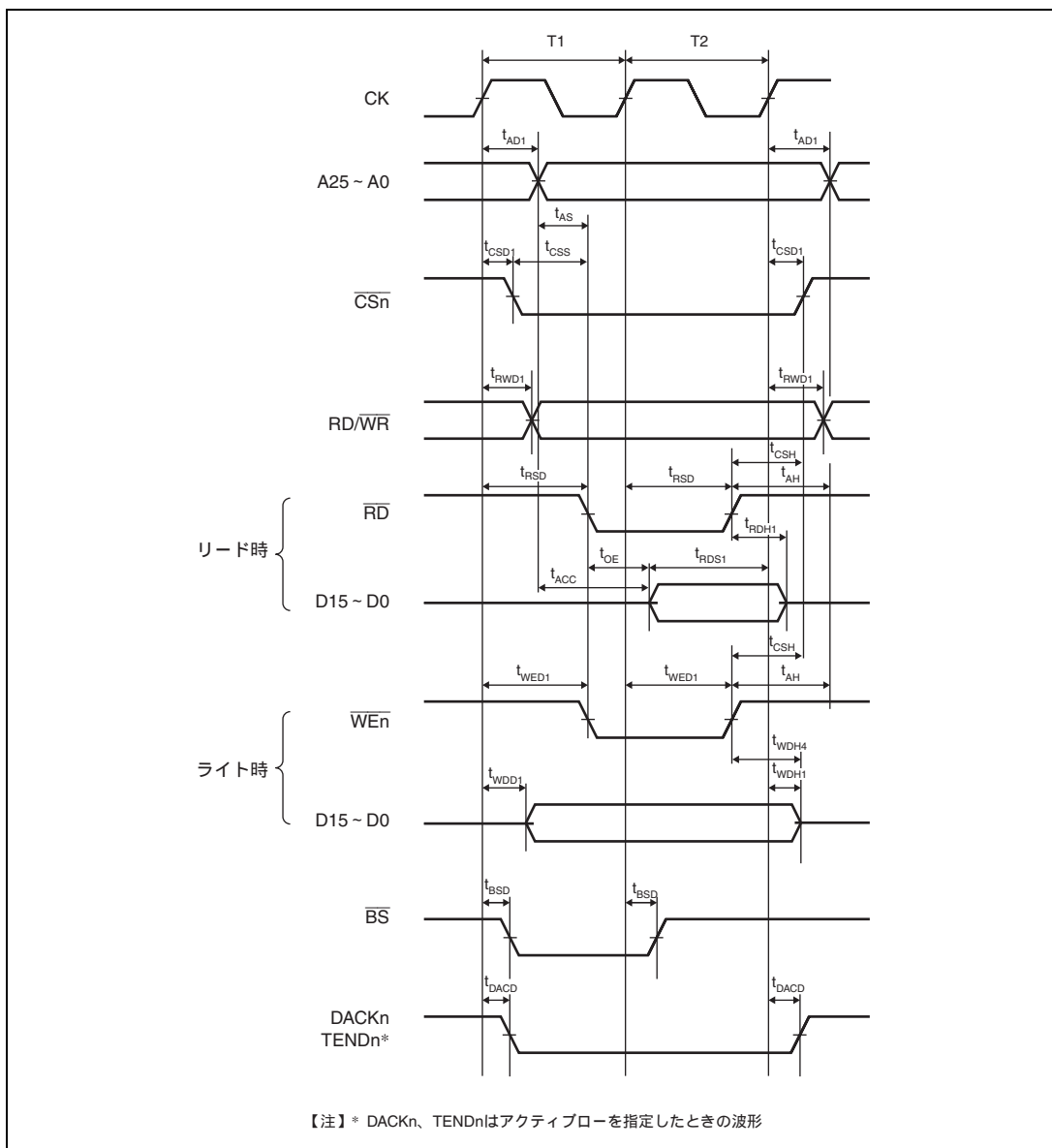


図 27.12 通常空間基本バスサイクル（ノーウェイト）

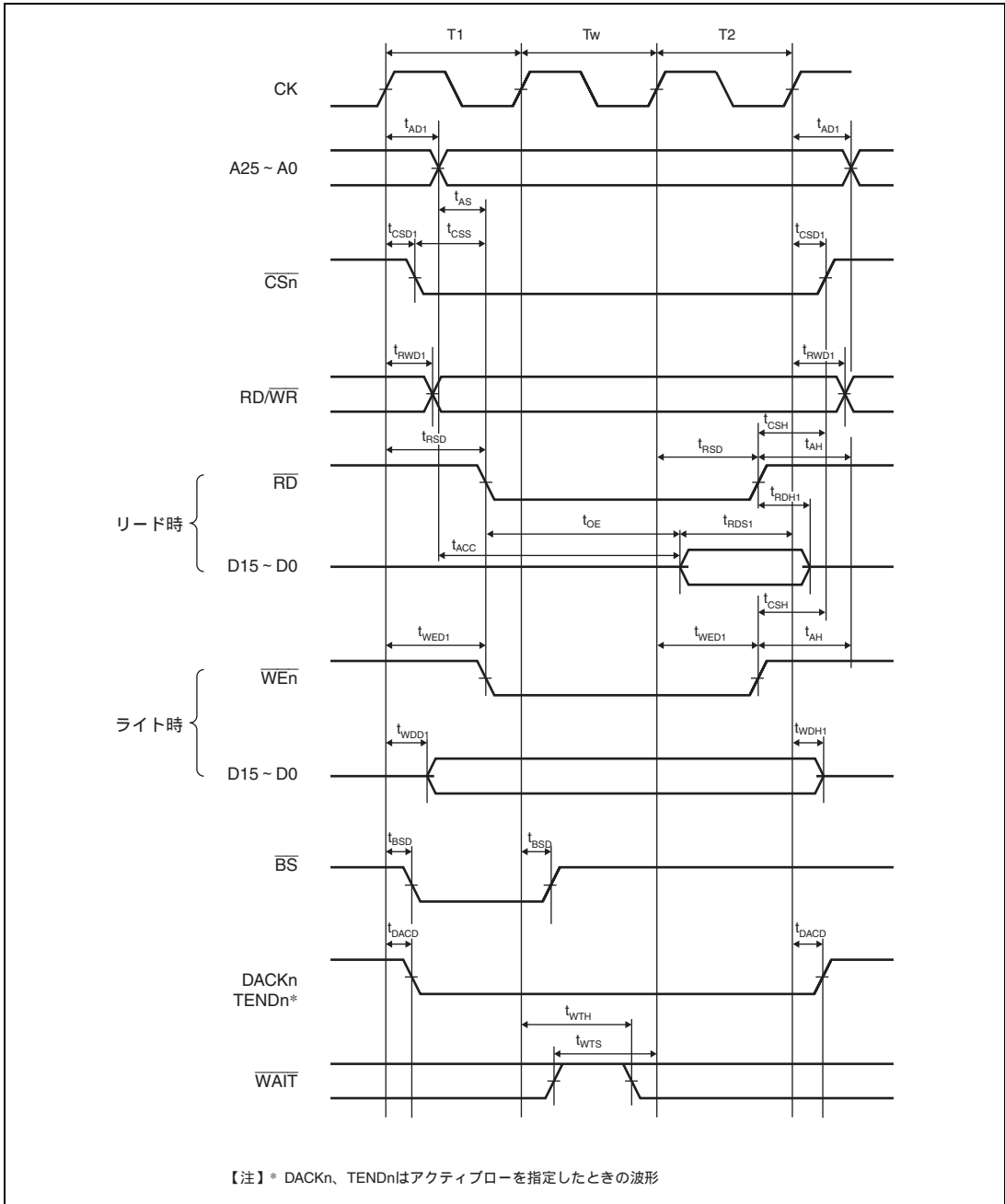


図 27.13 通常空間基本バスサイクル (ソフトウェアウェイト 1)

27. 電気的特性

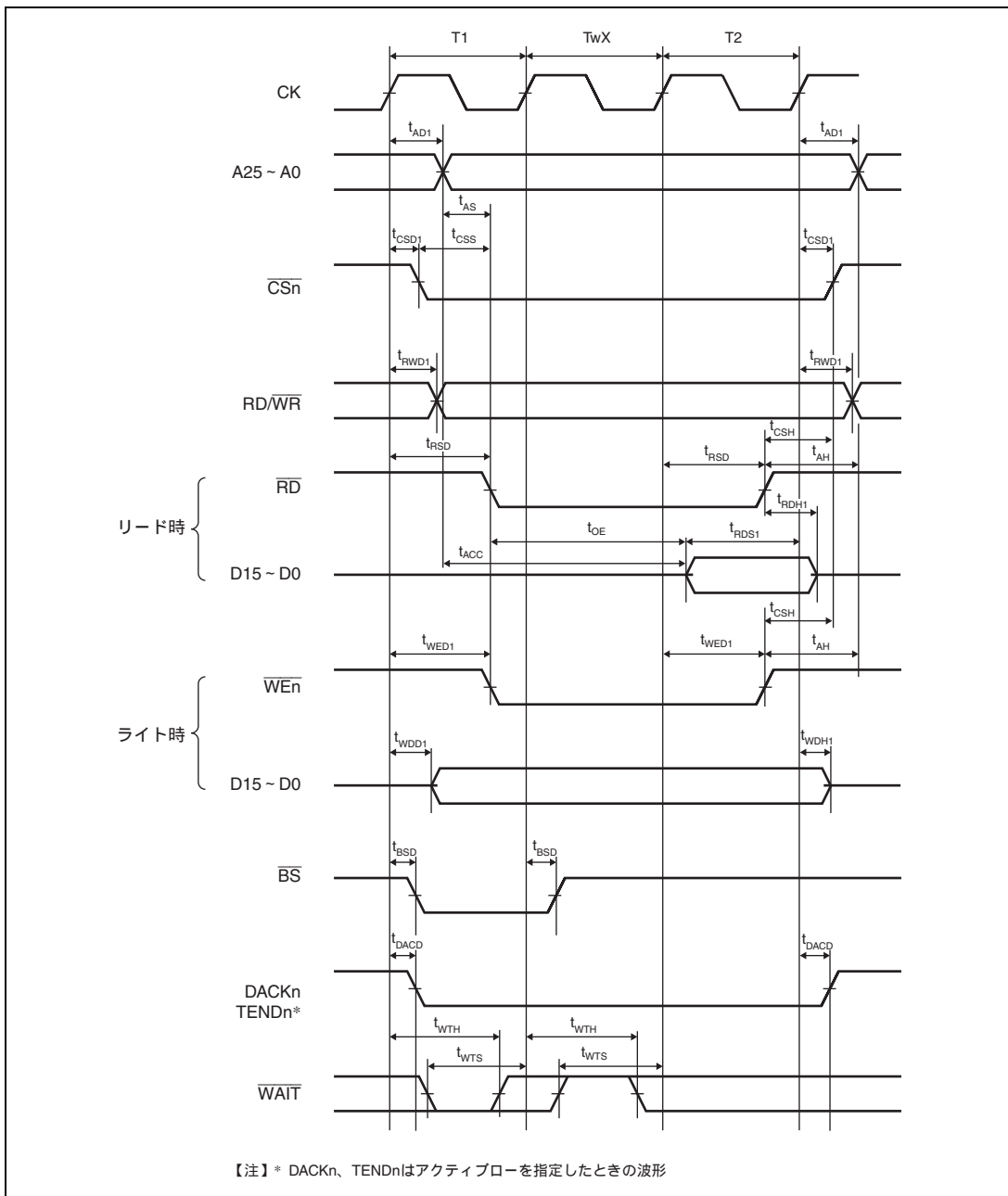


図 27.14 通常空間基本バスサイクル（外部ウェイト1挿入）

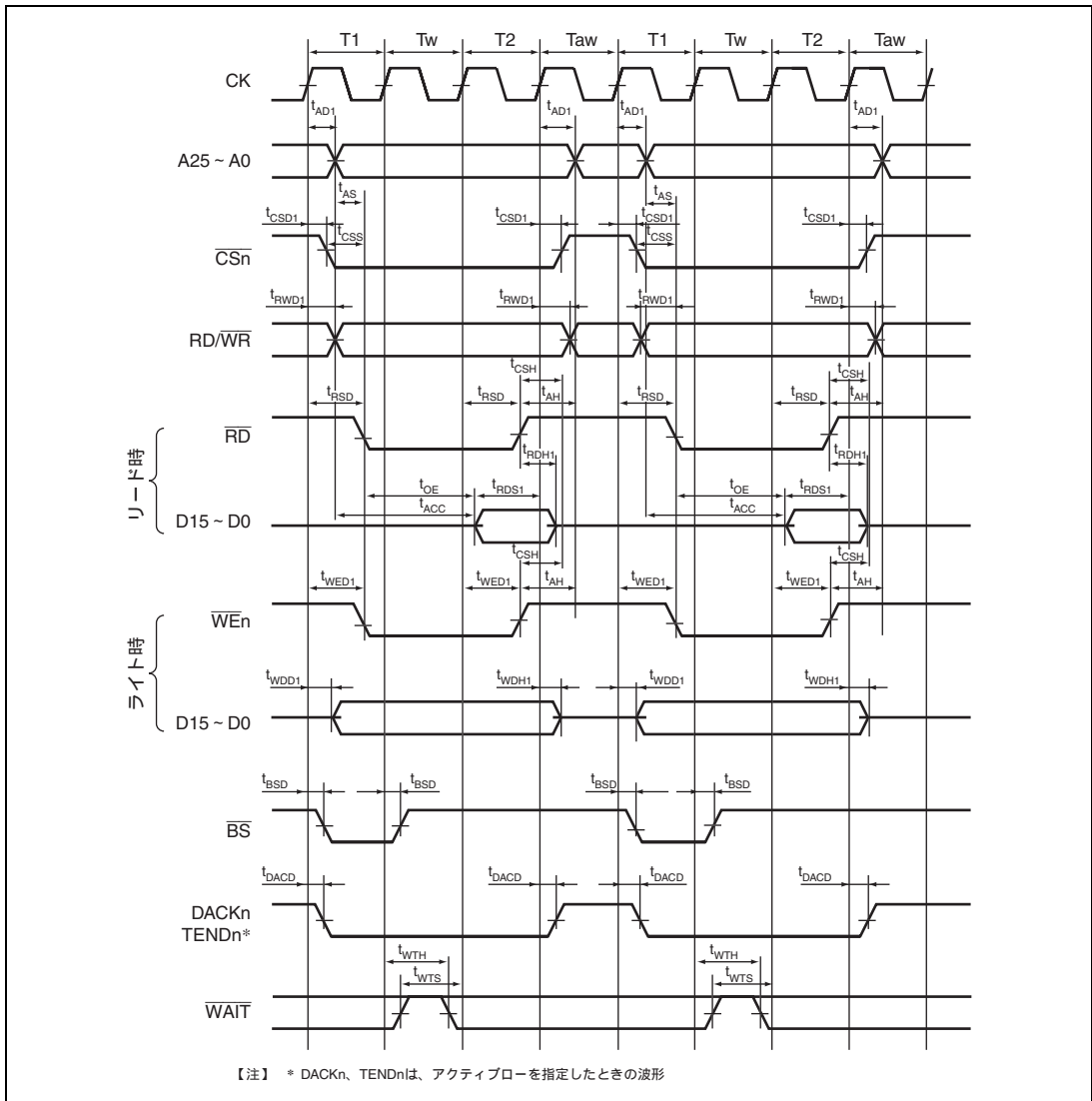


図 27.15 通常空間基本バスサイクル
 (ソフトウェアウェイト1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし)

27. 電気的特性

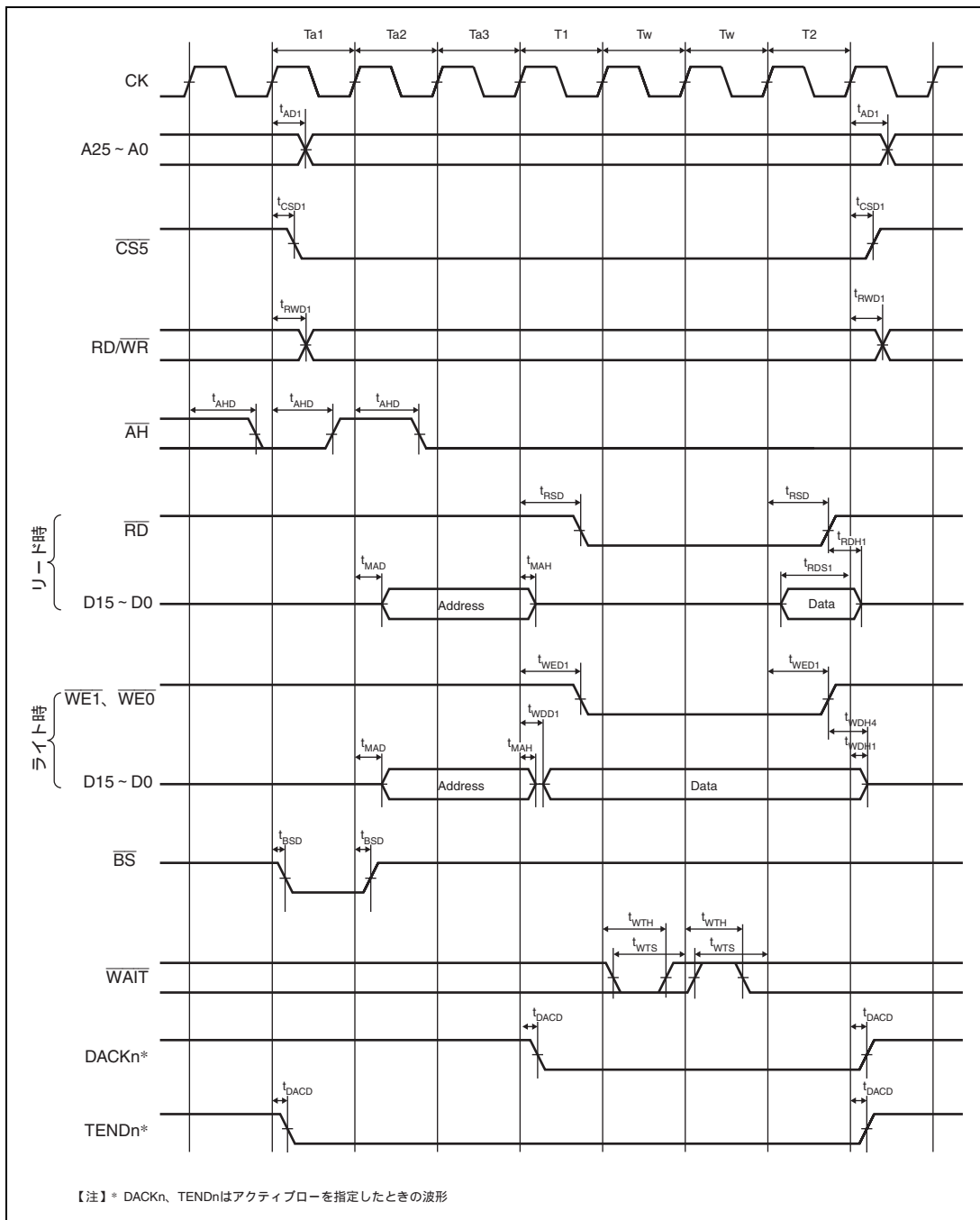


図 27.16 MPX-I/O インタフェースバスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

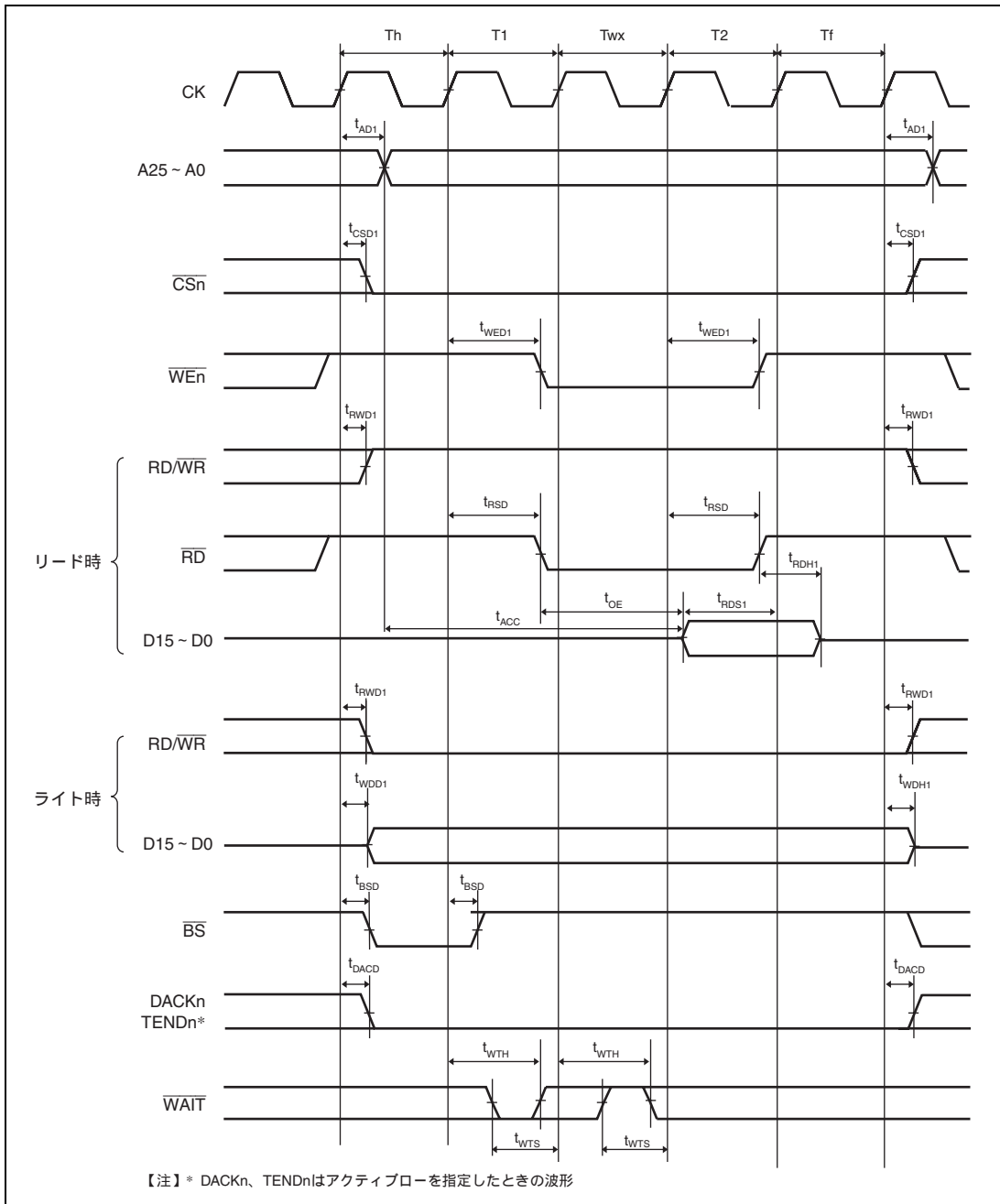


図 27.17 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB コントロール))

27. 電気的特性

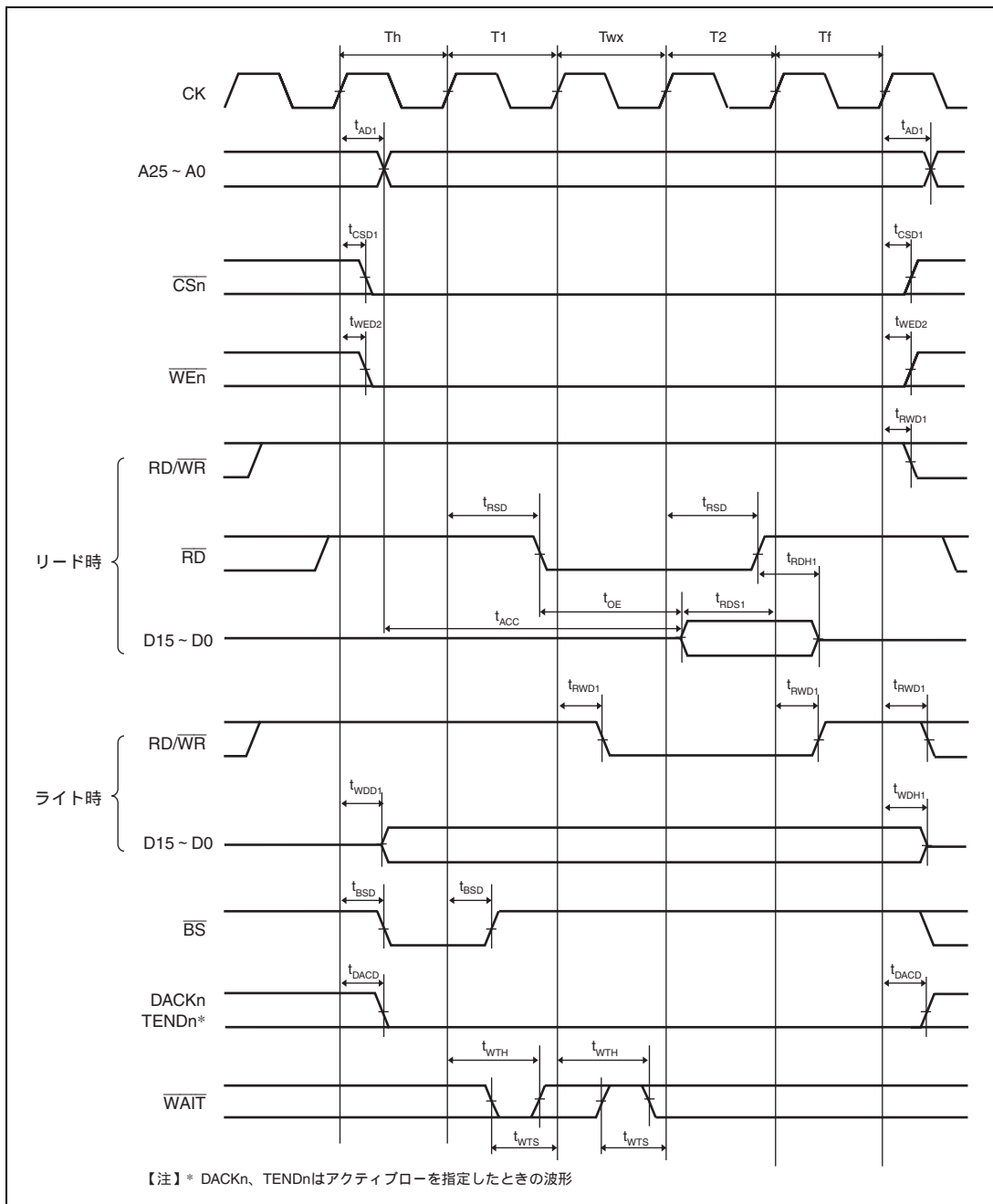


図 27.18 バイト選択付き SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))

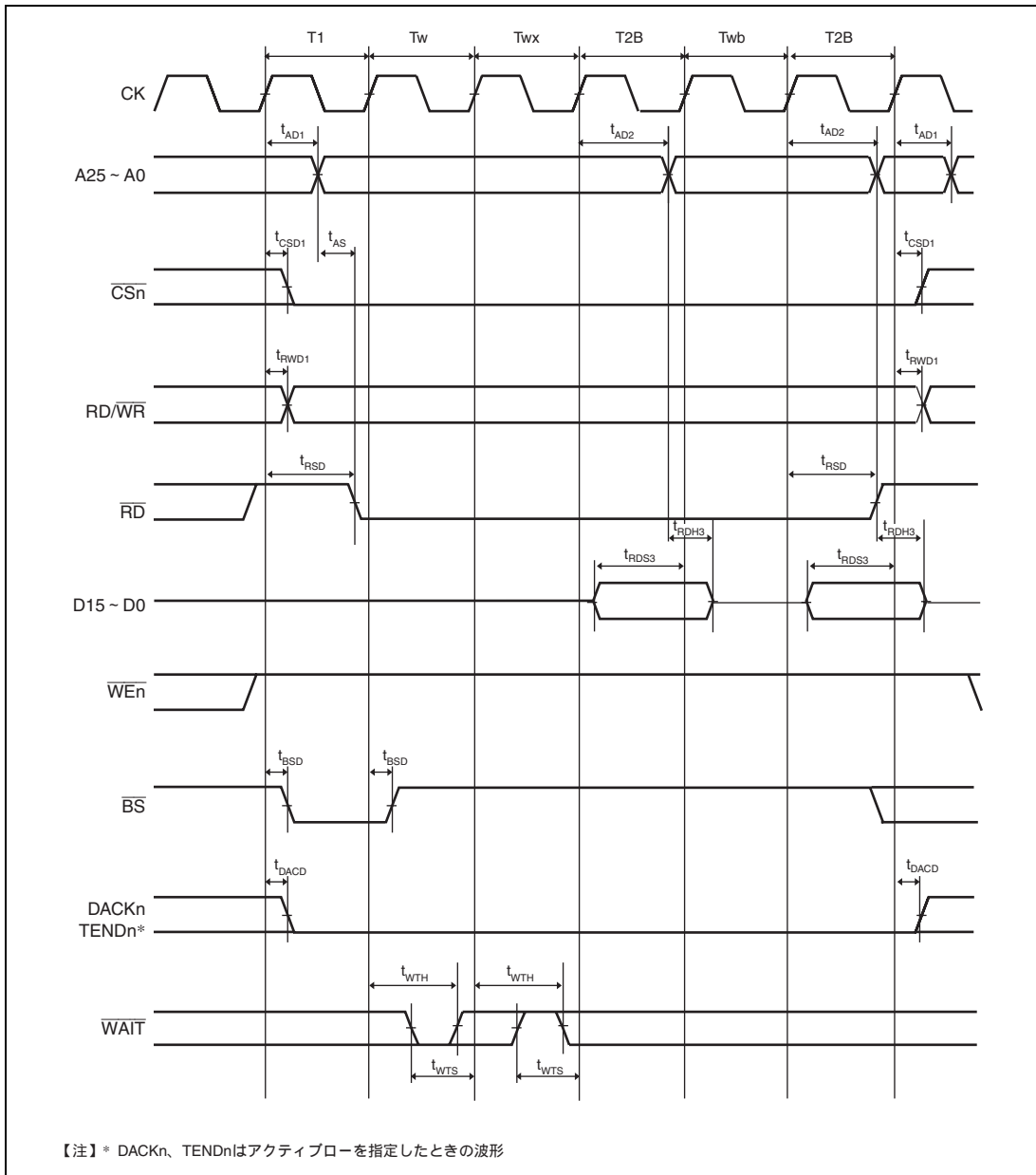


図 27.19 バースト ROM リードサイクル
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

27. 電気的特性

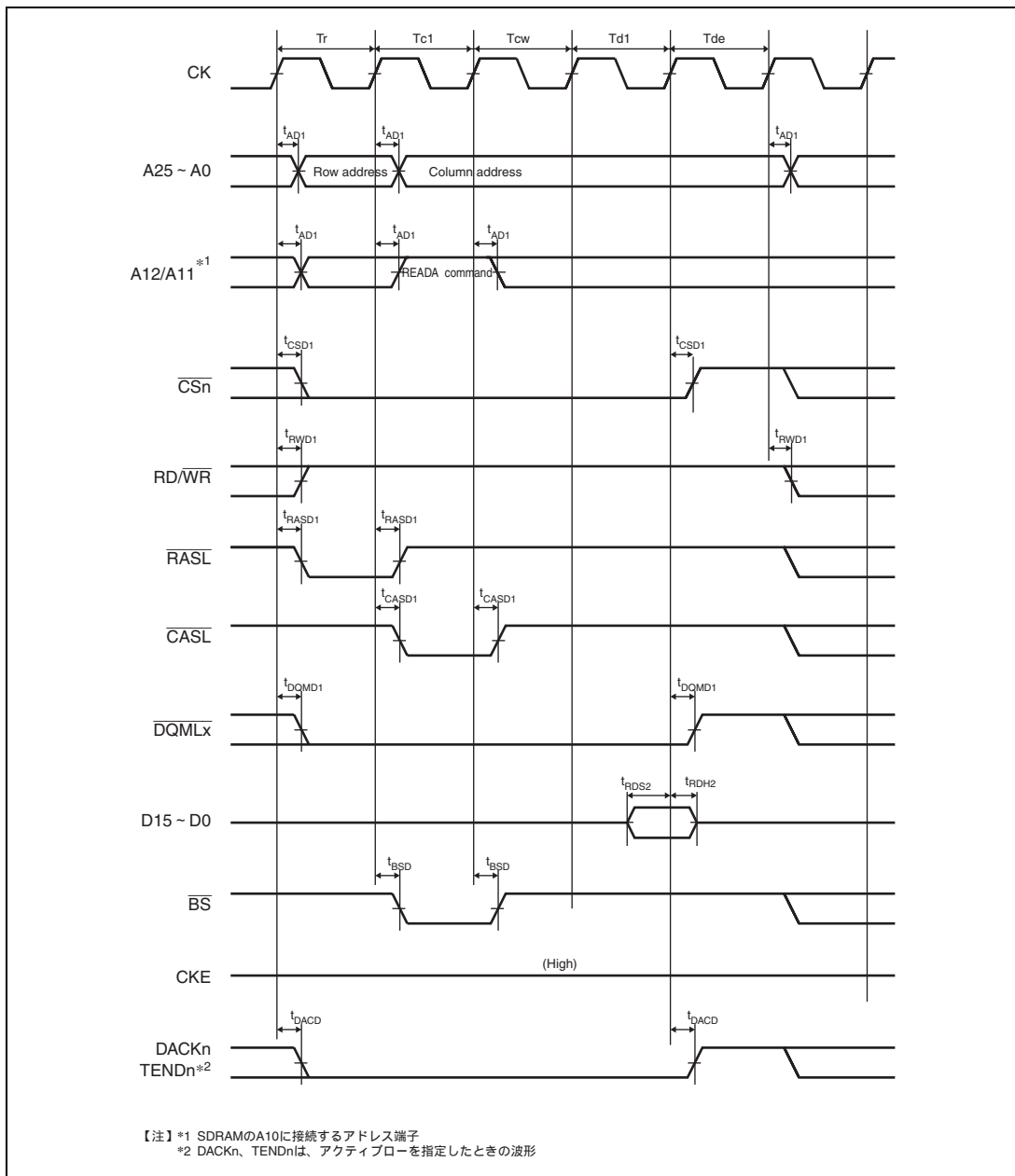


図 27.20 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

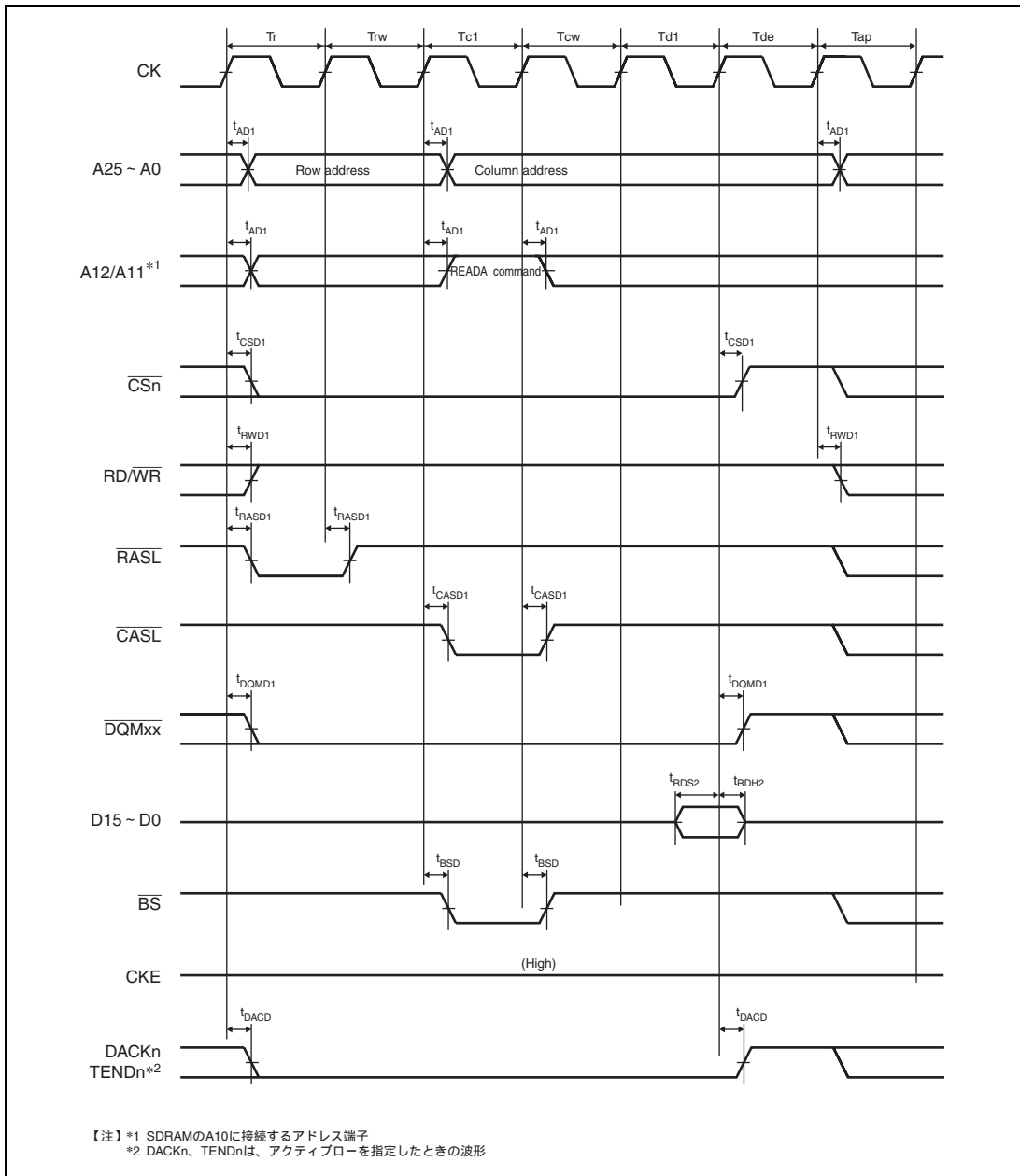


図 27.21 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

27. 電気的特性

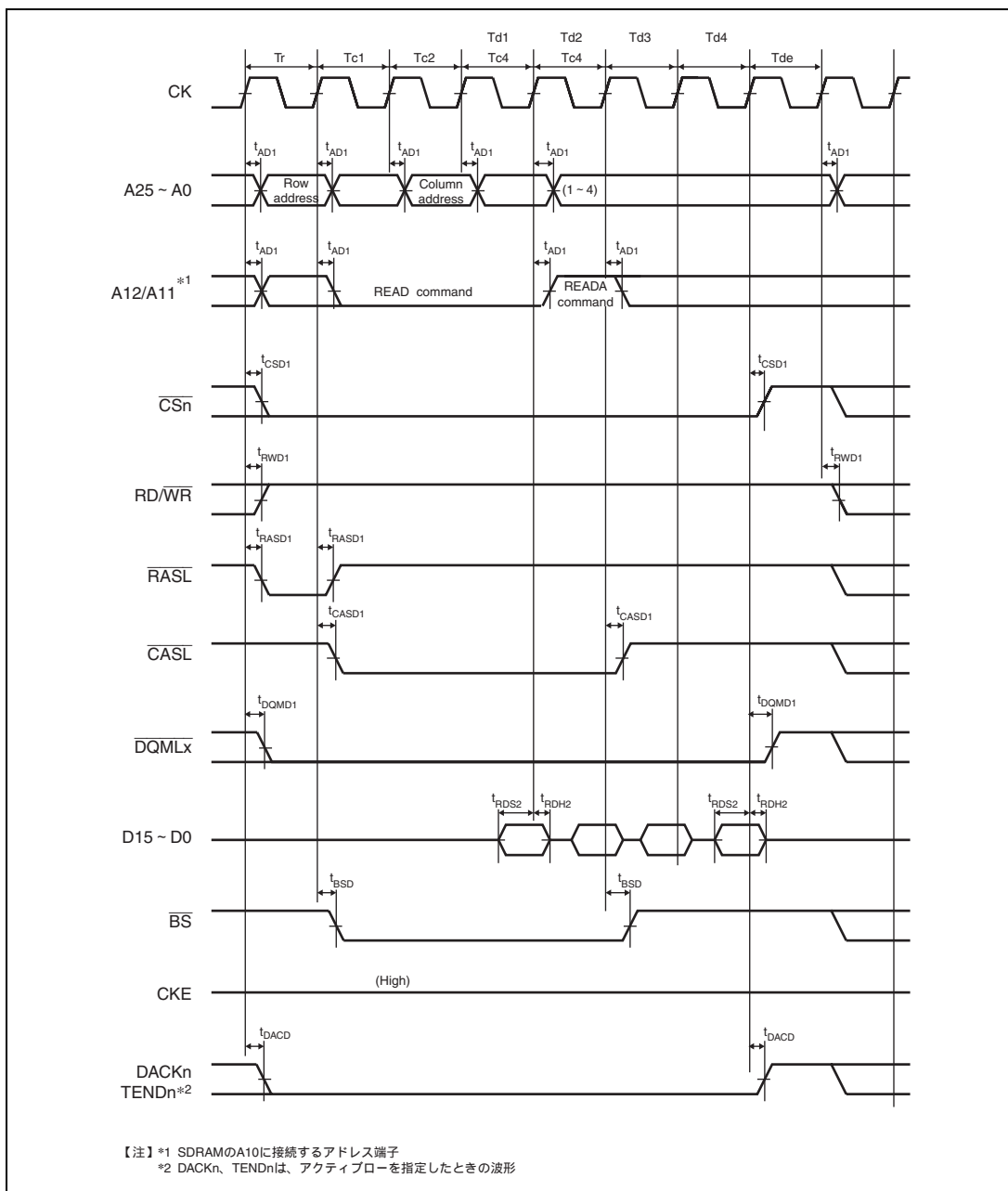


図 27.22 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

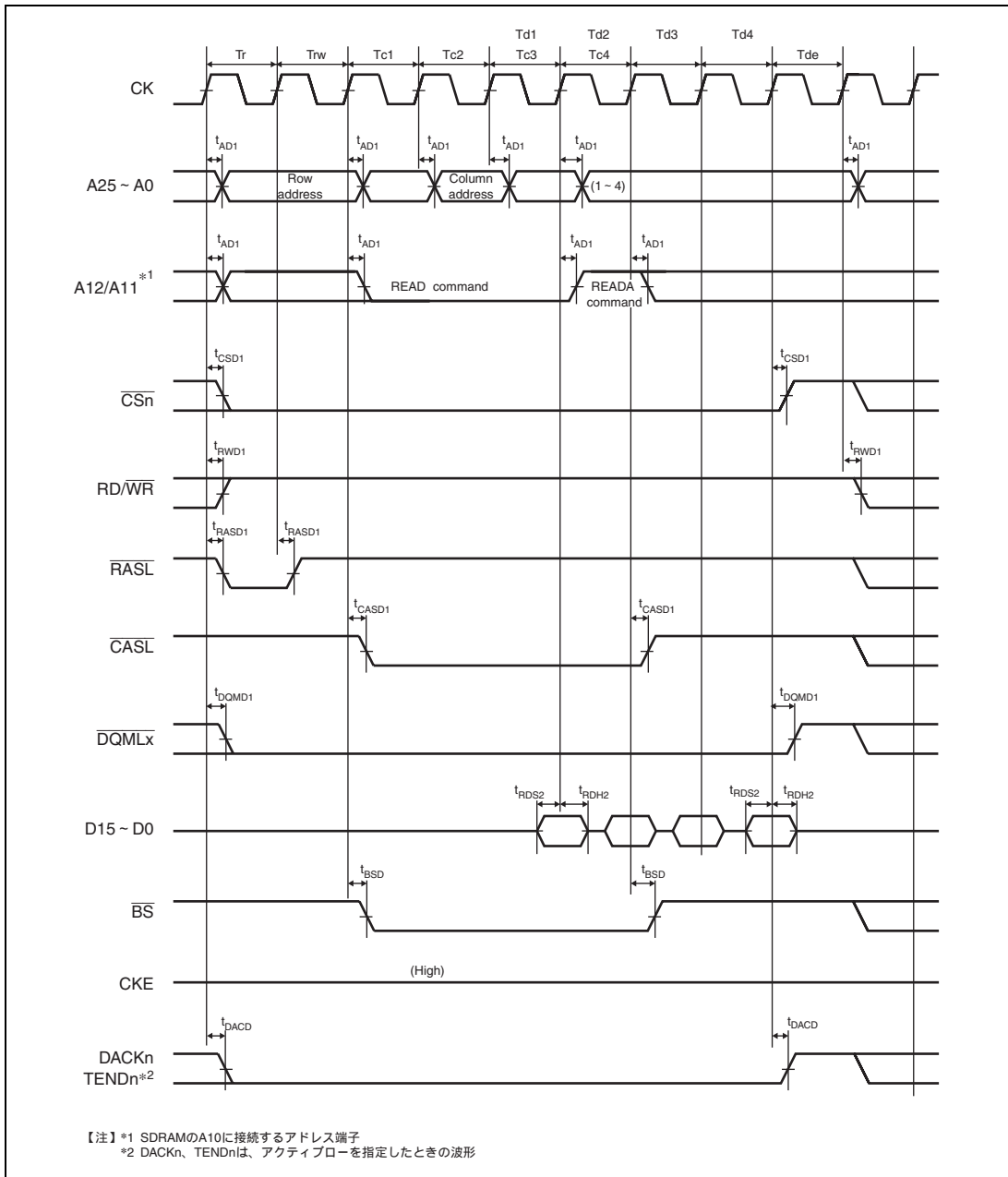


図 27.23 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル)

27. 電気的特性

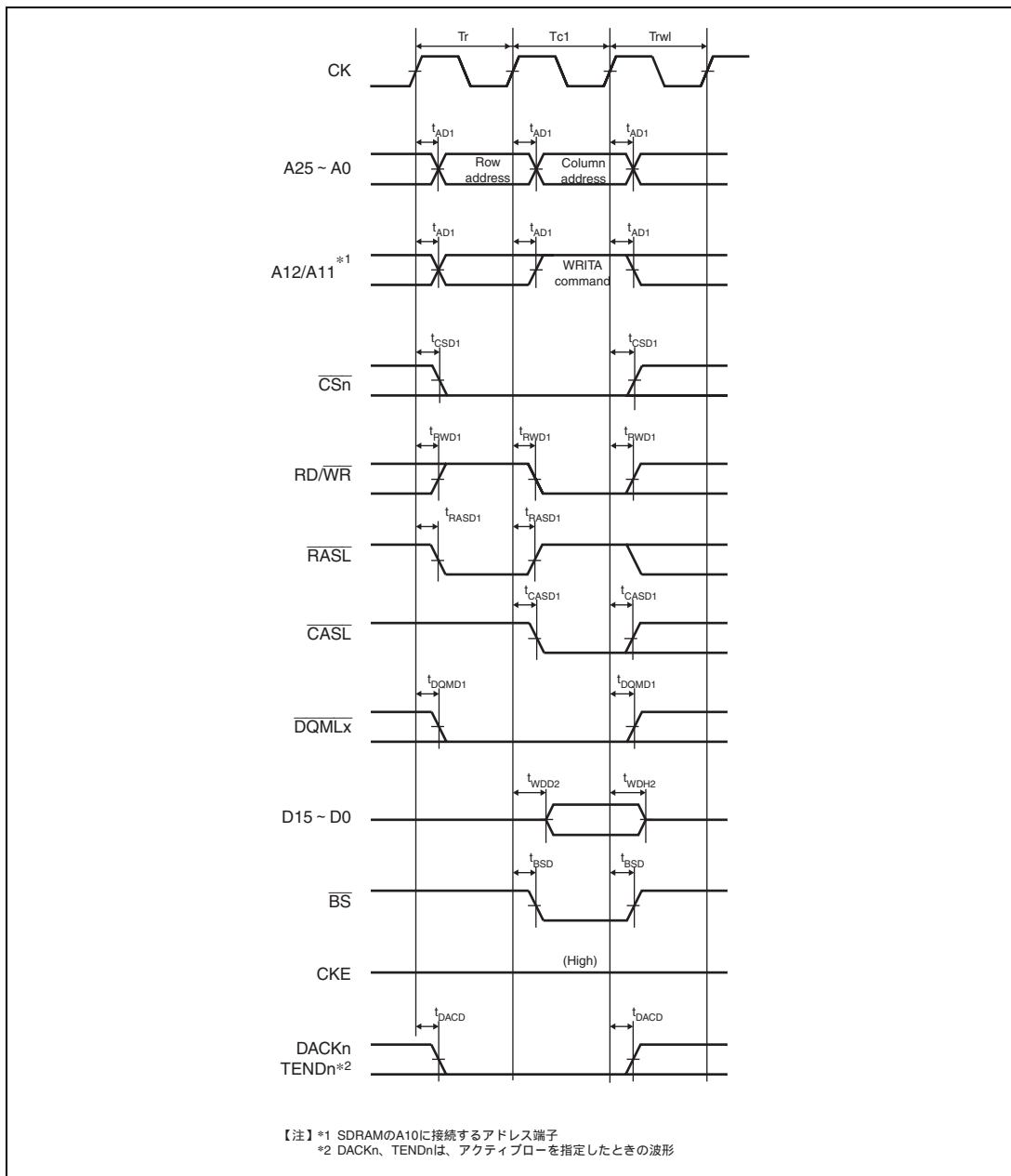


図 27.24 シンクロナス DRAM シングルライトバスサイクル
 (オートプリチャージあり、TRWL = 1 サイクル)

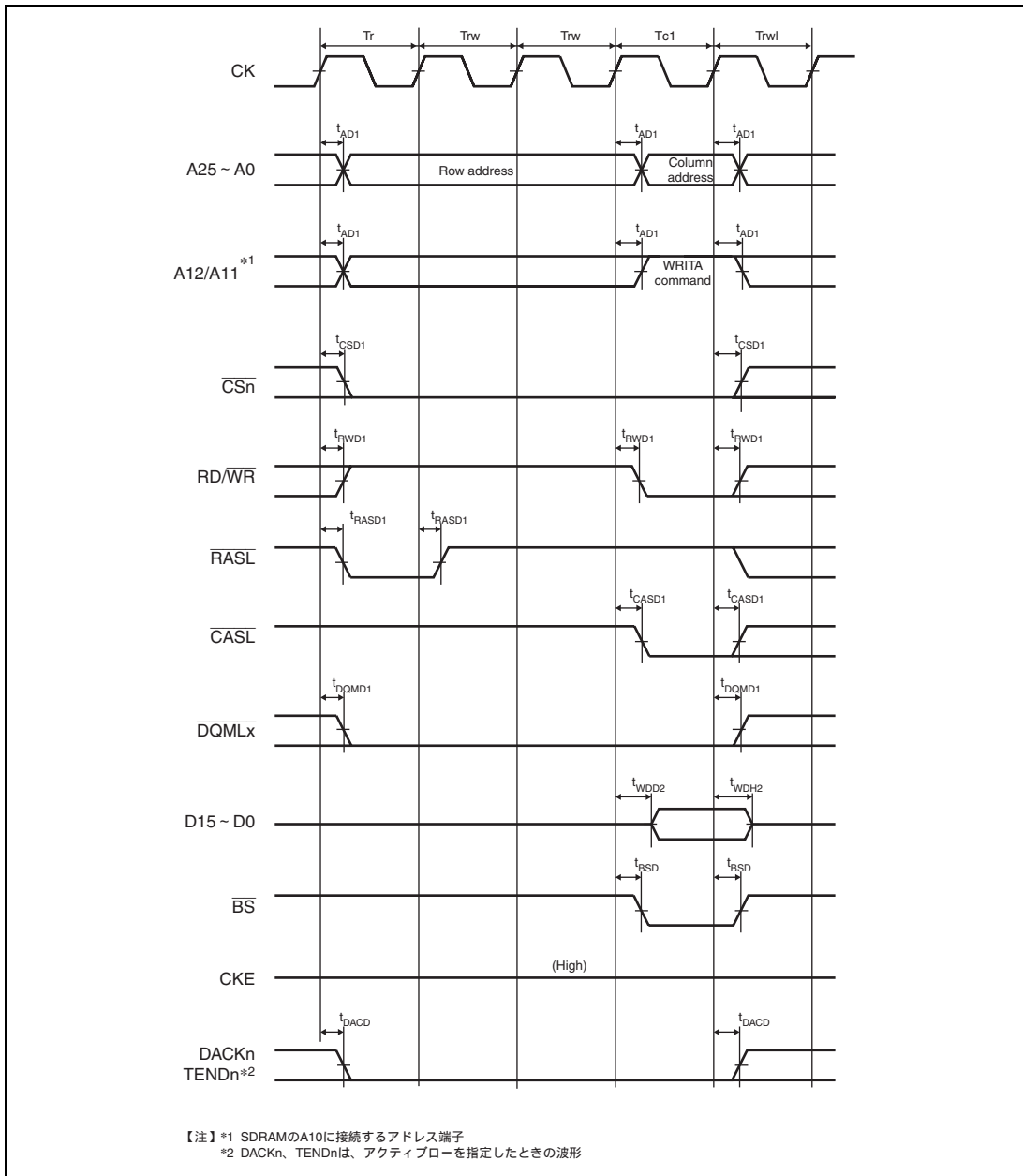


図 27.25 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

27. 電氣的特性

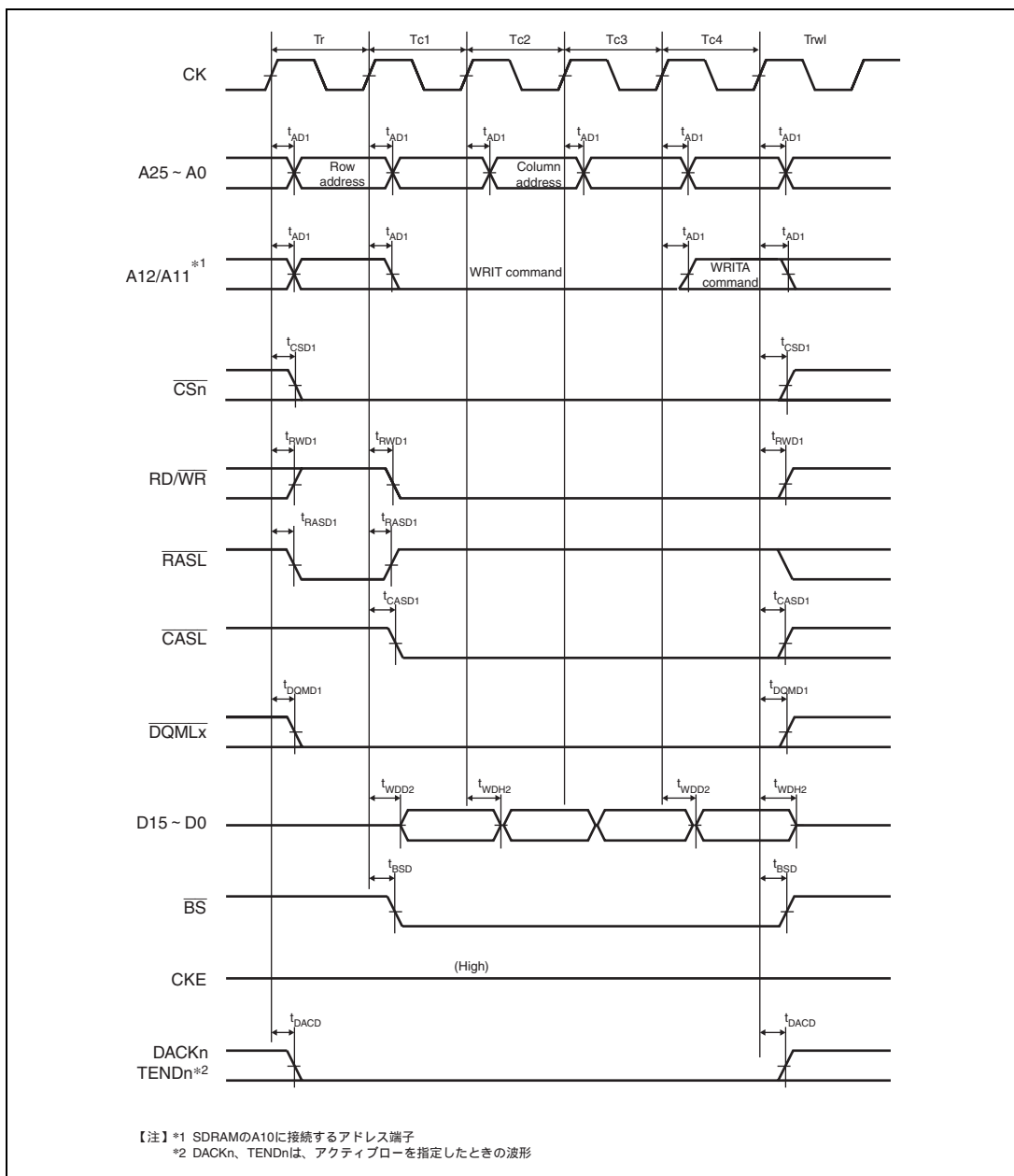


図 27.26 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

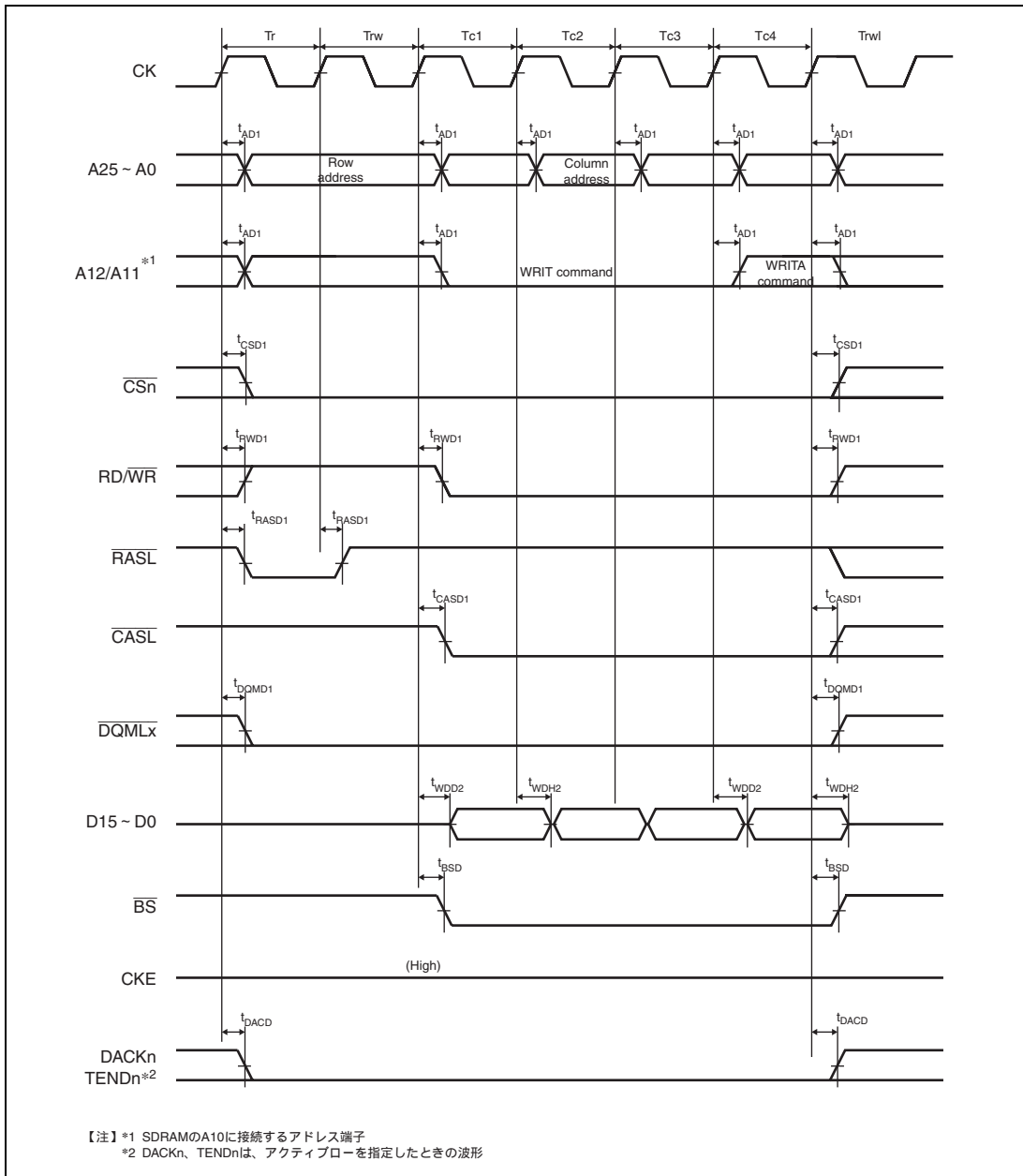


図 27.27 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

27. 電気的特性

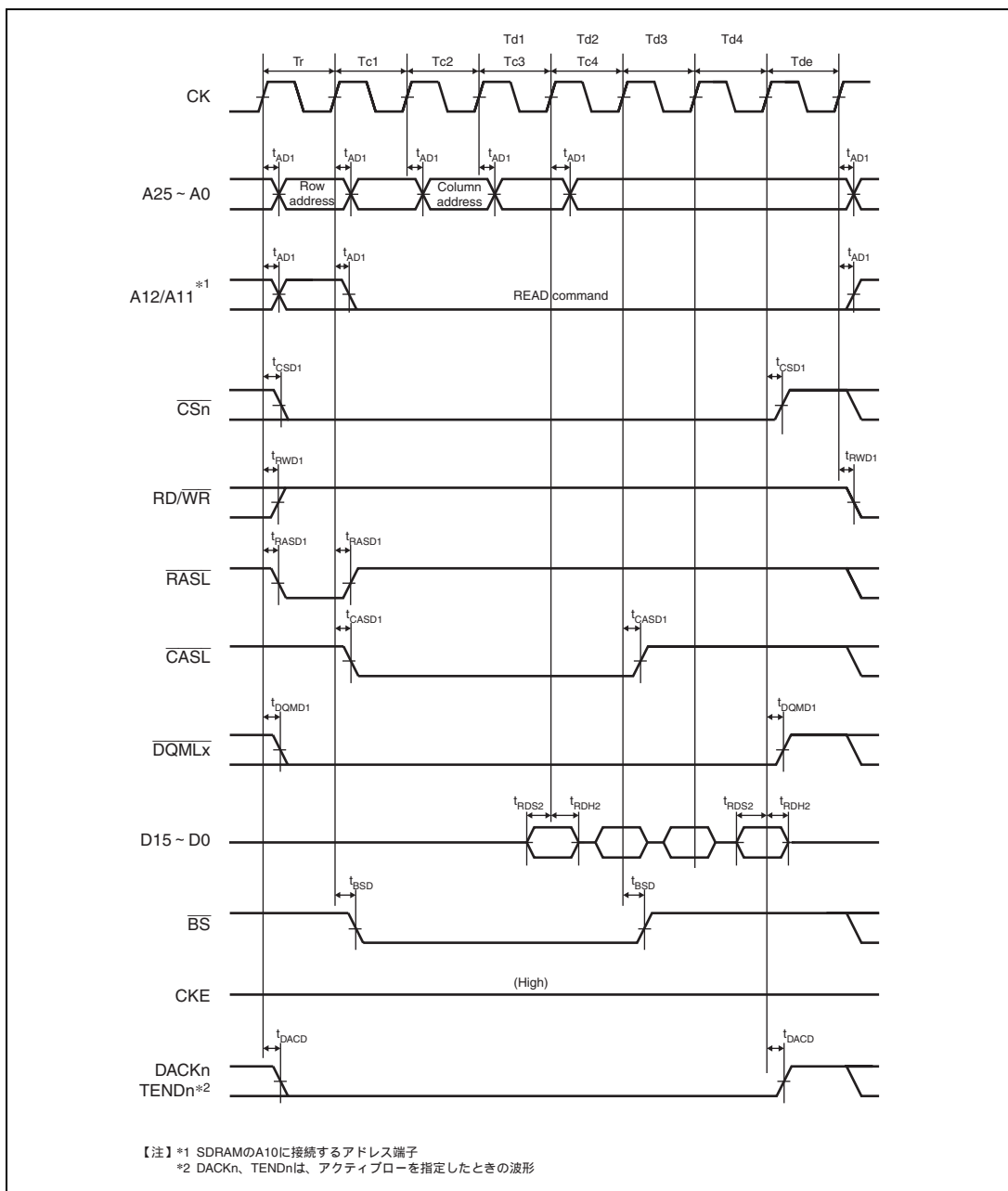


図 27.28 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

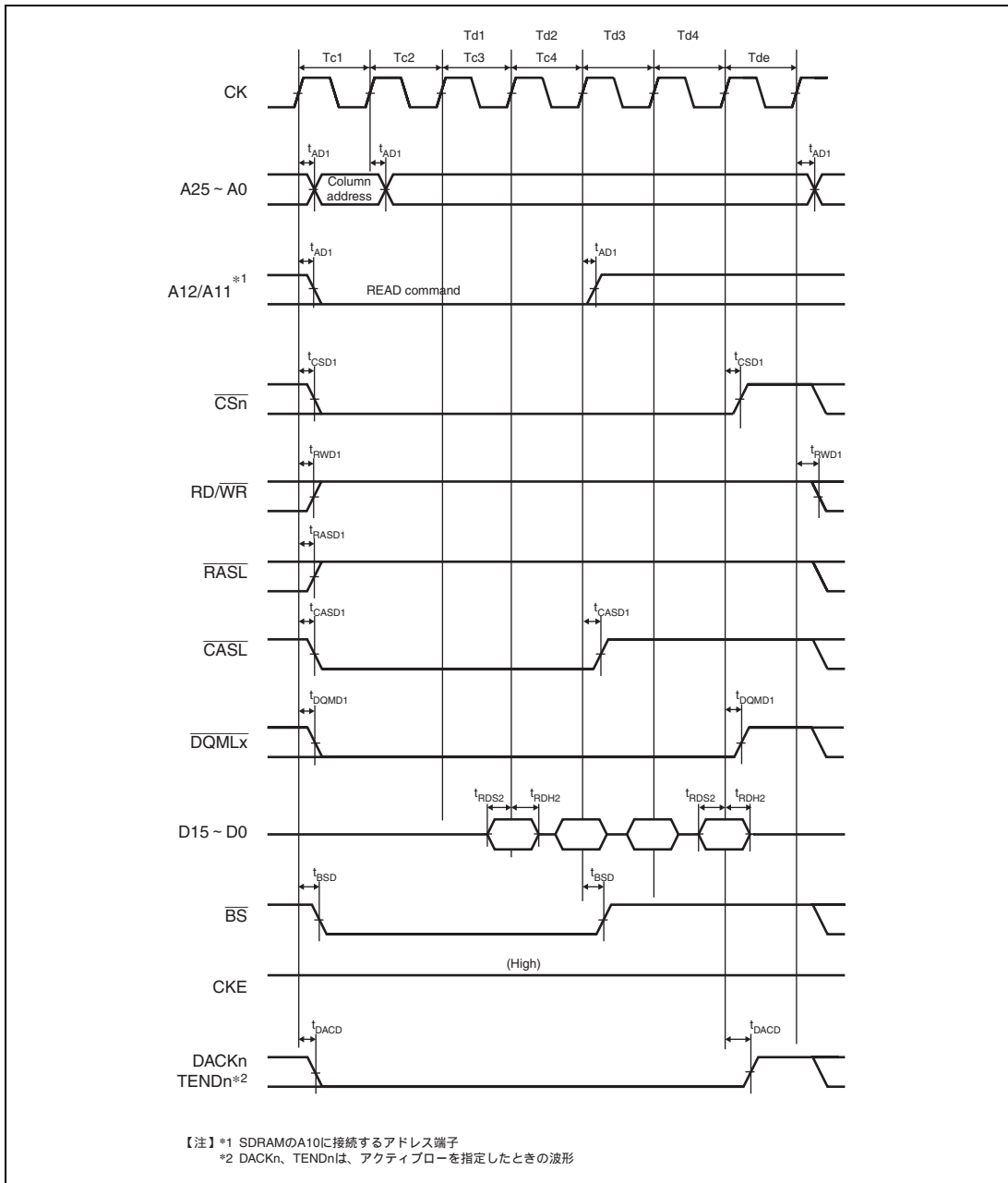


図 27.29 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

27. 電気的特性

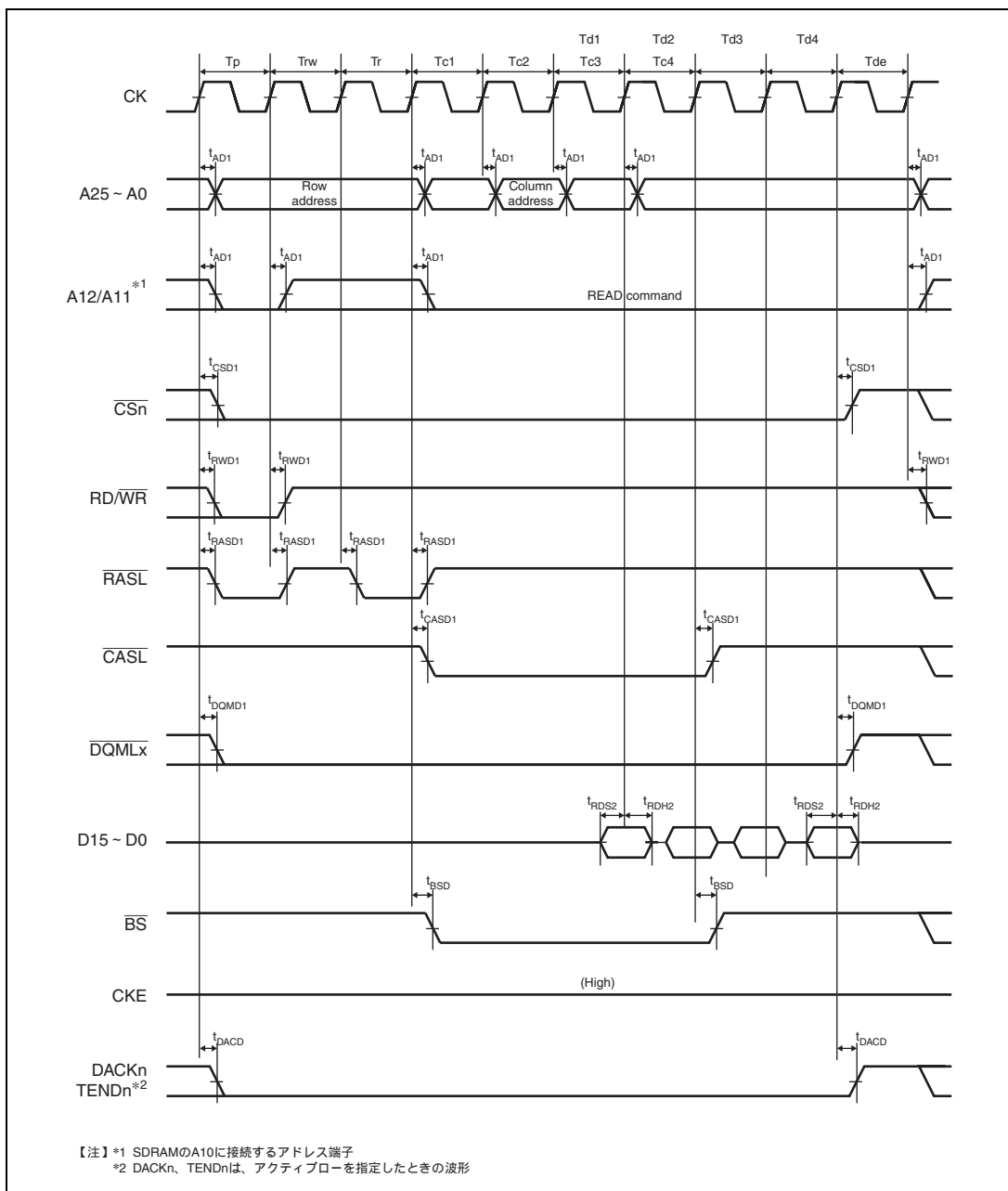


図 27.30 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(バンクアクティブモード : PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、
WTRCD = 0 サイクル)

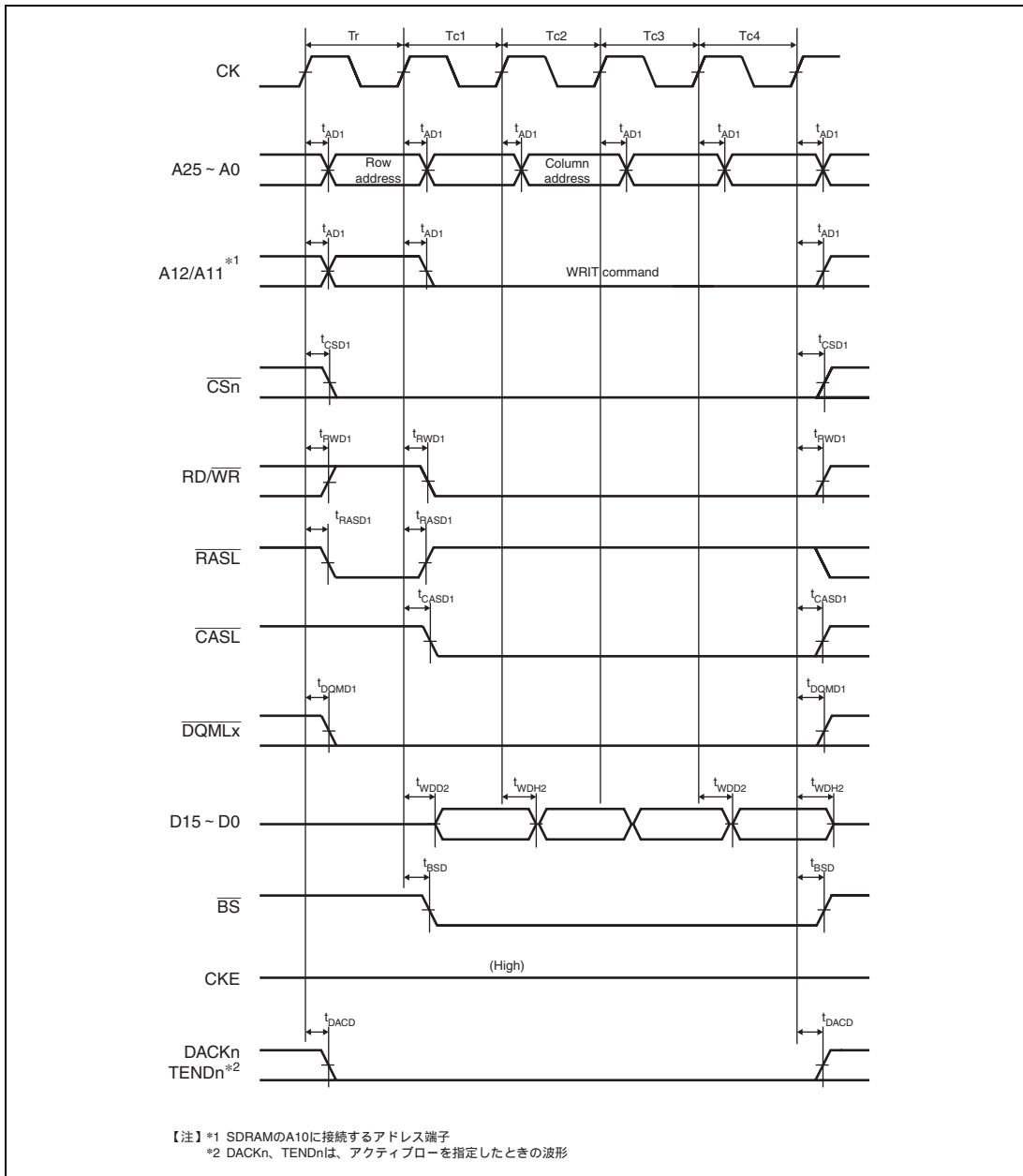


図 27.31 シンクロナス DRAM パーストライトバスサイクル (ライト 4 サイクル分)
(バンクアクティブモード : ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

27. 電気的特性

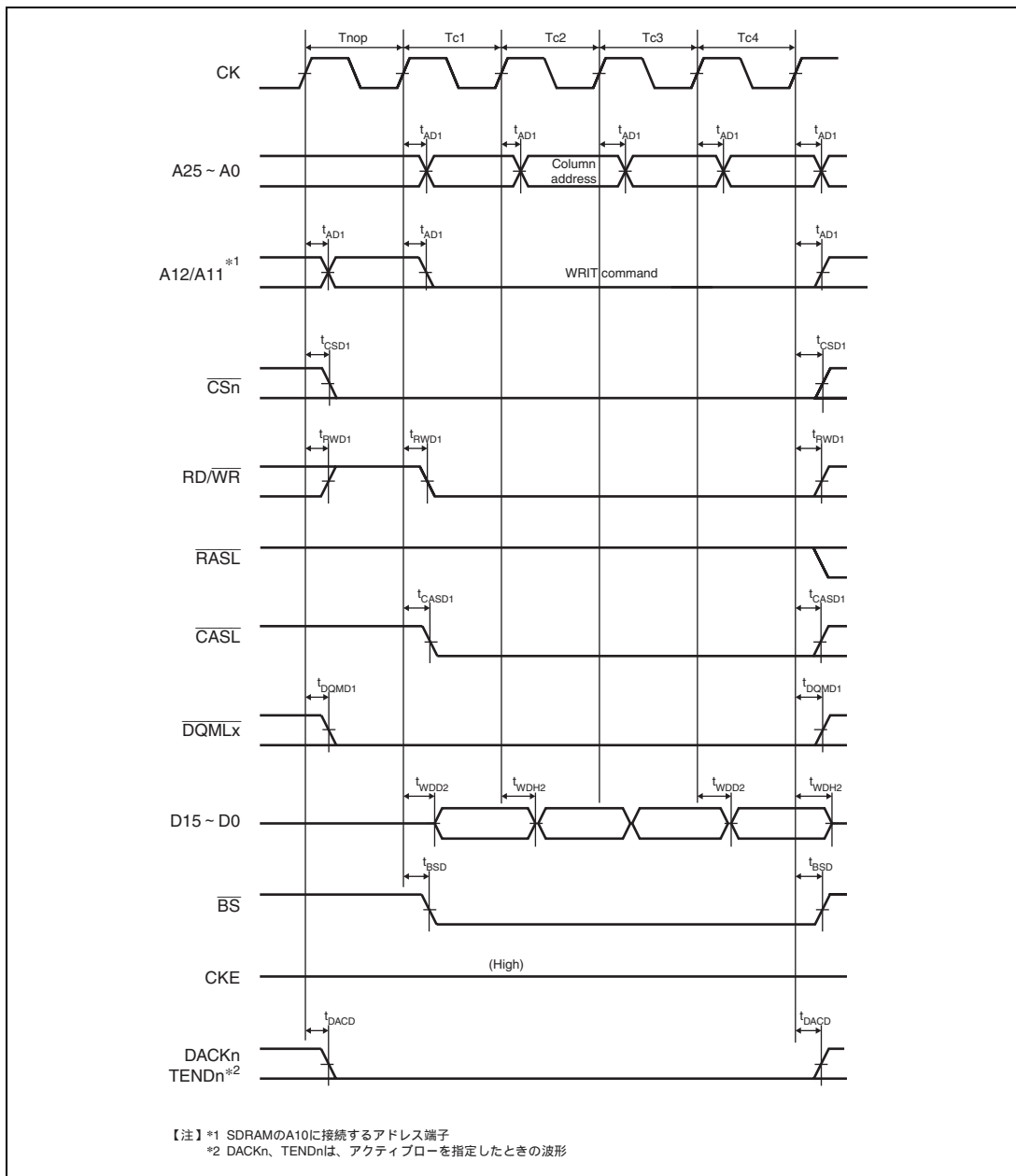


図 27.32 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(バンクアクティブモード : WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

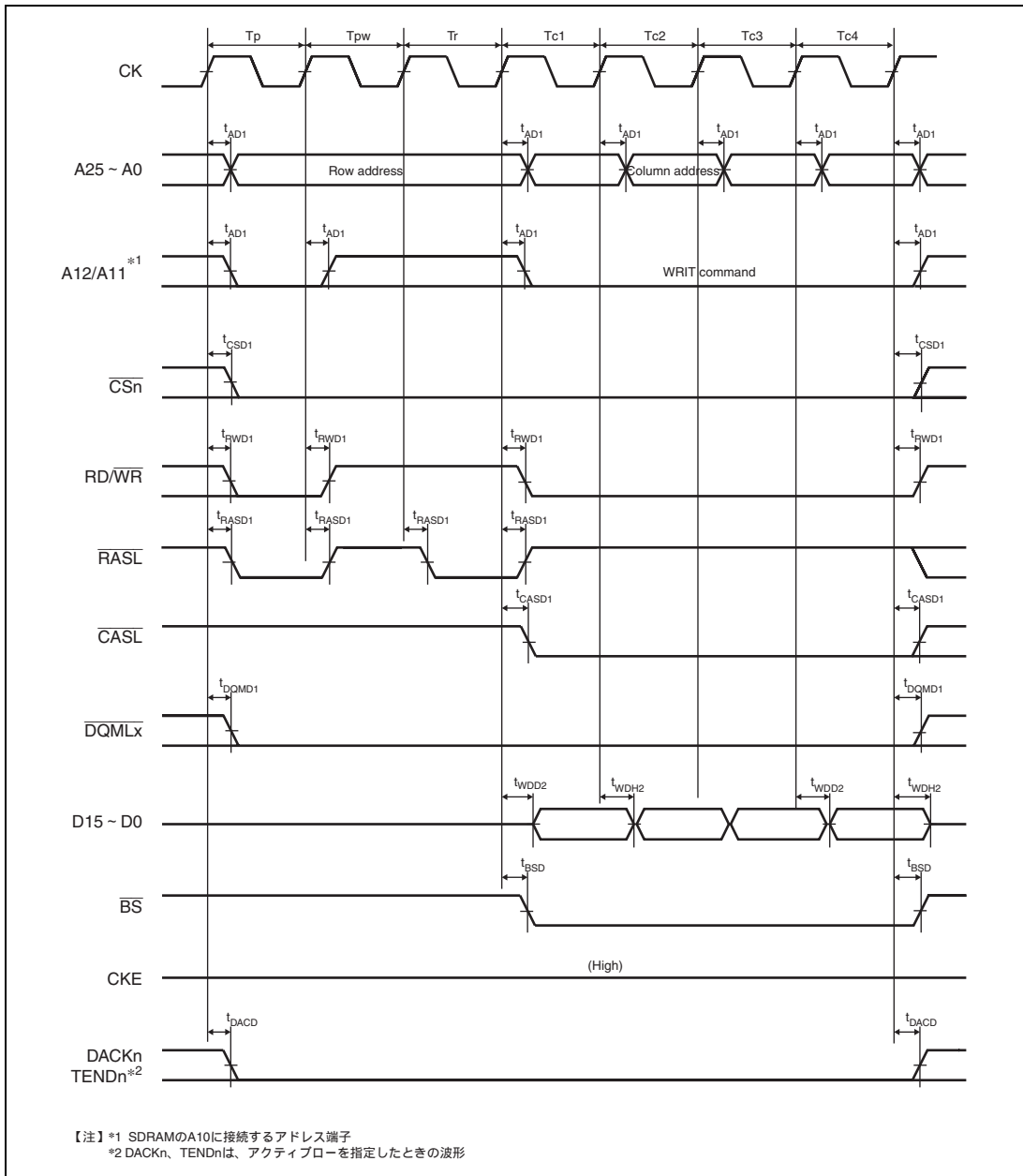


図 27.33 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(バンクアクティブモード : PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、
TRWL = 0 サイクル)

27. 電気的特性

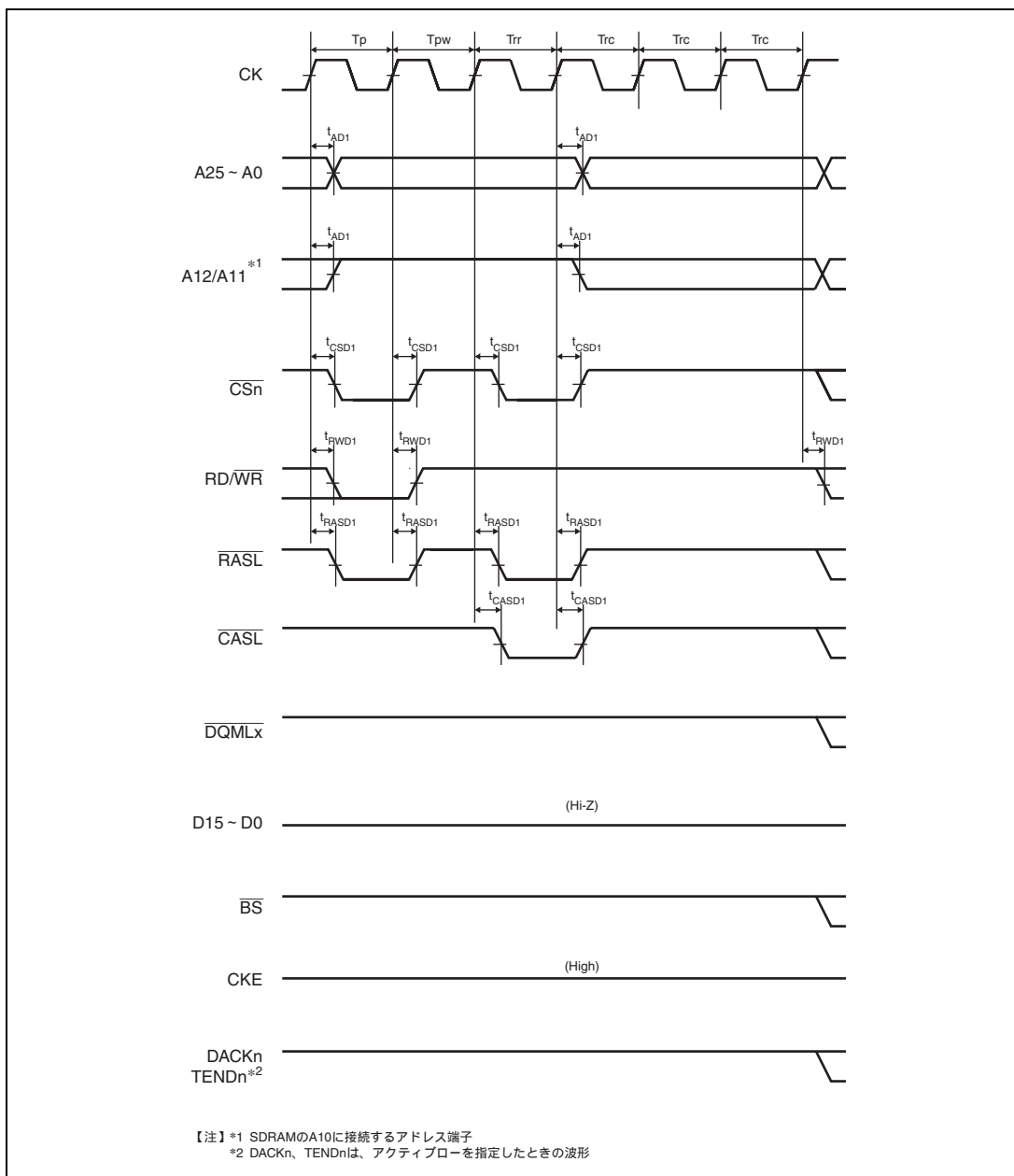


図 27.34 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

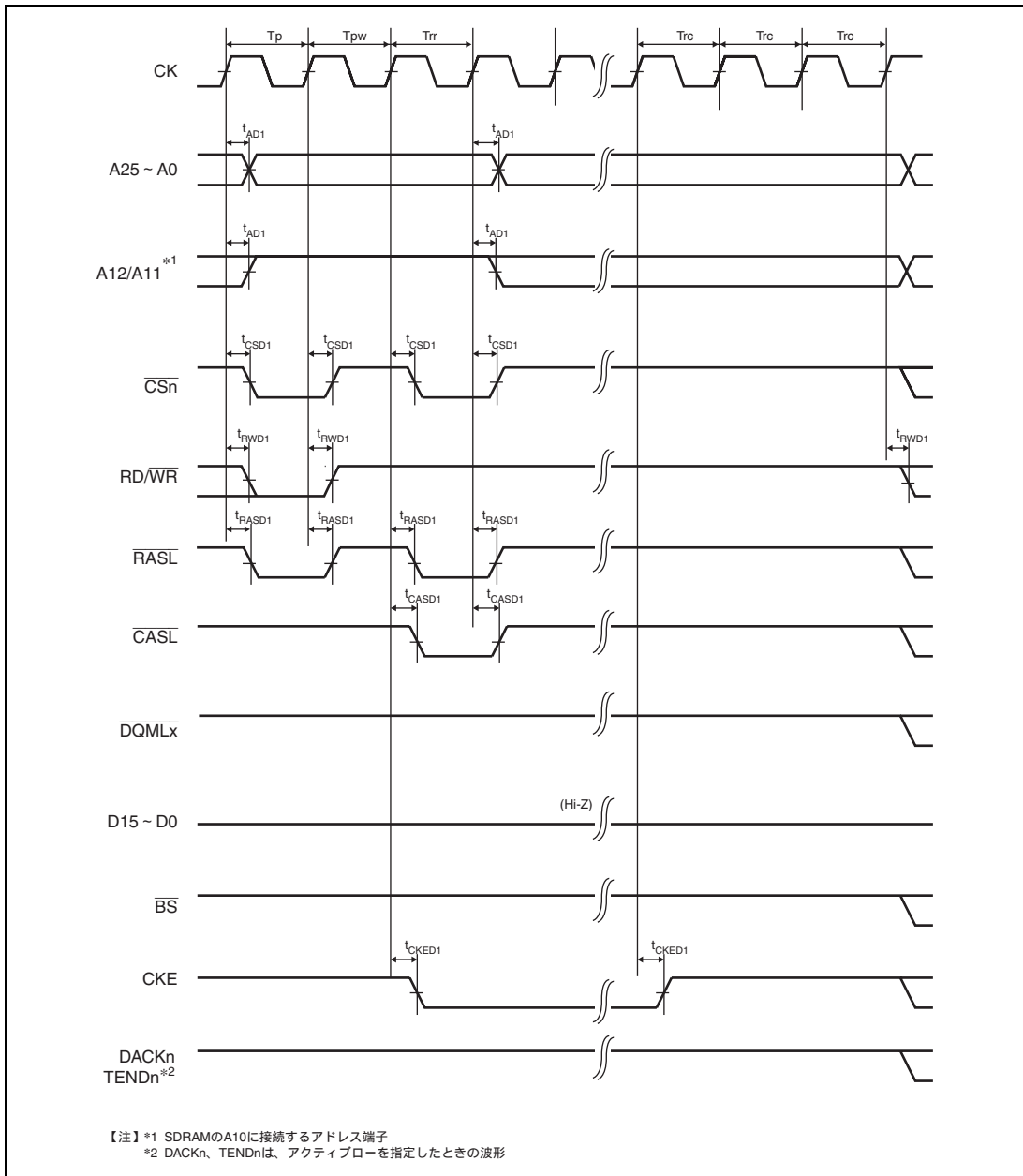


図 27.35 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

27. 電気的特性

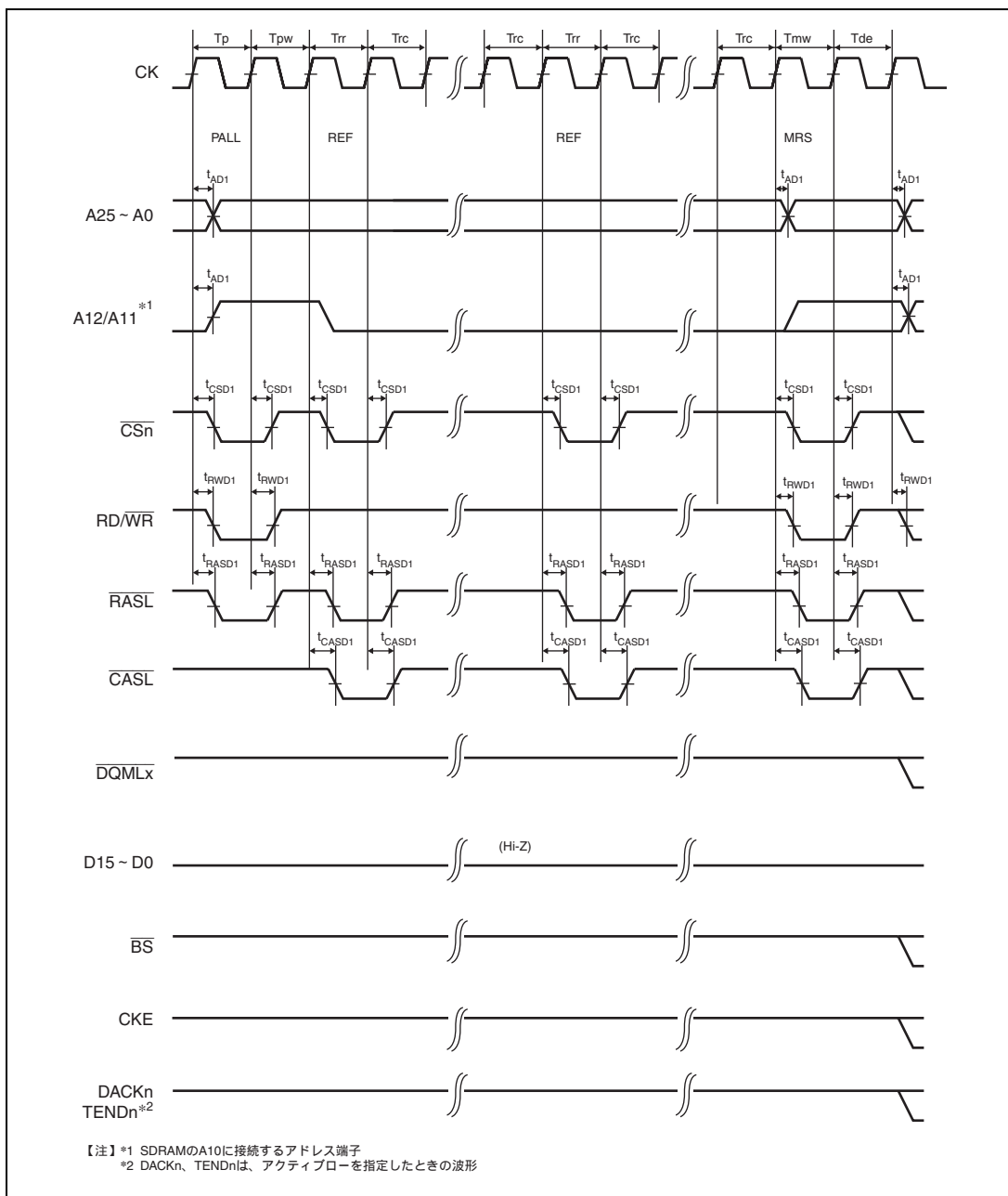


図 27.36 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

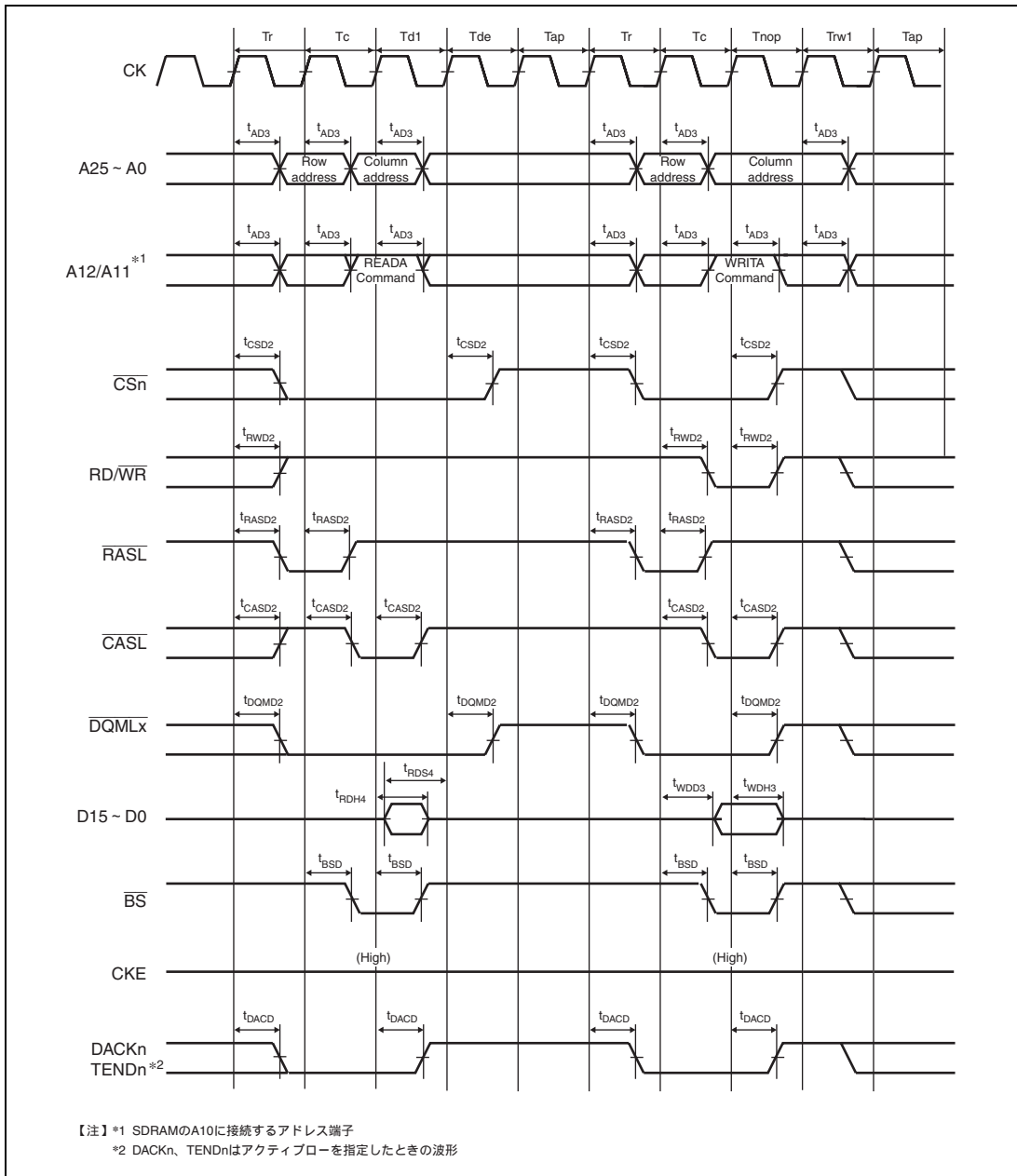


図 27.37 シンクロナス DRAM 低周波モードでのアクセスタイミング
(オートプリチャージモード、TRWL = 2 サイクル)

27. 電気的特性

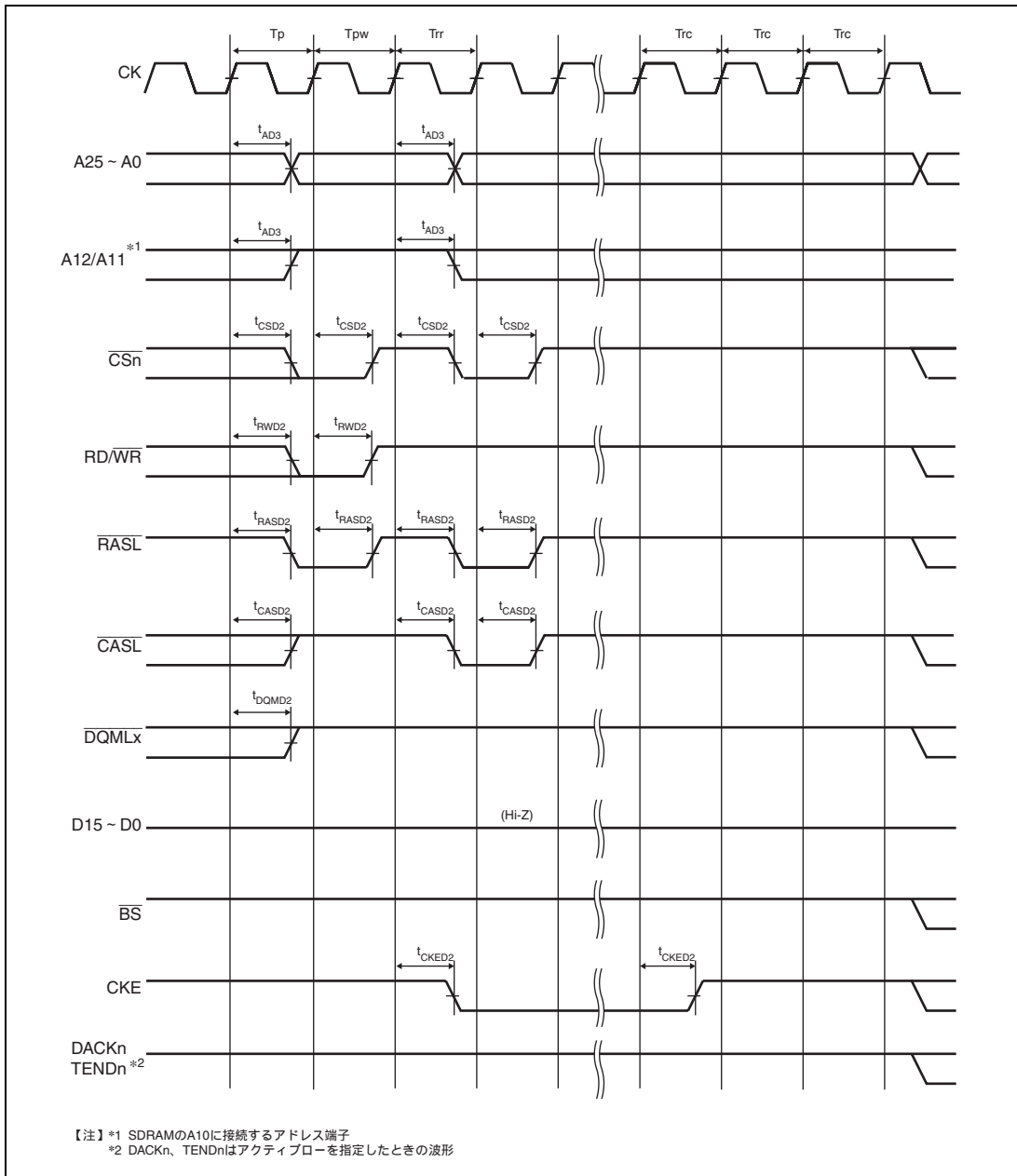


図 27.38 シンクロナス DRAM 低周波数モードセルフリフレッシュタイミング (WTRP = 2 サイクル)

27.4.4 UBC トリガタイミング

表 27.9 UBC トリガタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$, $V_{ccQ} = 3.0 \sim 3.6V$,
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$, $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	t_{UBCTGD}	-	20	ns	27.39

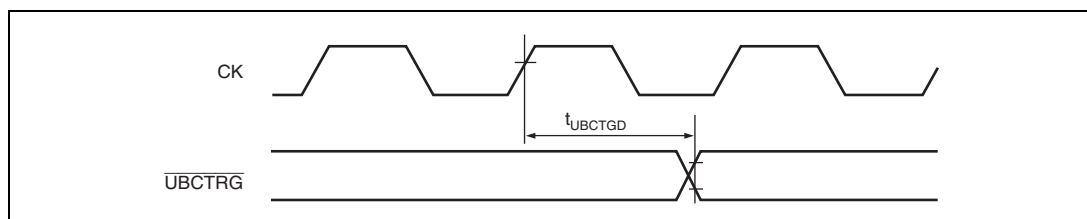


図 27.39 UBC トリガタイミング

27.4.5 DMAC モジュールタイミング

表 27.10 DMAC モジュールタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$, $V_{ccQ} = 3.0 \sim 3.6V$,
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$, $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	20	-	ns	27.40
DREQ ホールド時間	t_{DRQH}	20	-		
DACK、TEND 遅延時間	t_{DACD}	-	20		27.41

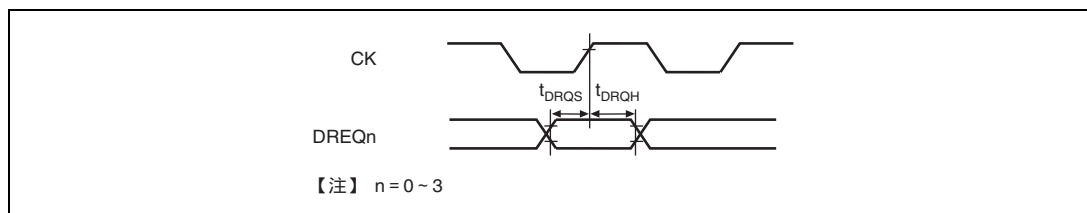


図 27.40 DREQ 入力タイミング

27. 電気的特性

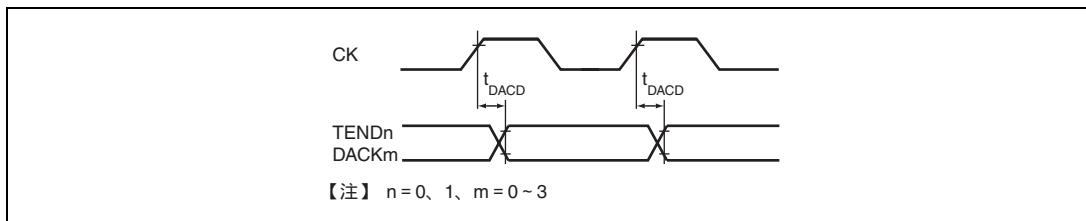


図 27.41 DACK、TEND 出力タイミング

27.4.6 MTU2、MTU2S モジュールタイミング

表 27.11 MTU2、MTU2S モジュールタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V, V_{ccQ} = 3.0 \sim 3.6V,$
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V, T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	50	ns	27.42
インプットキャプチャ入力セットアップ時間	t_{TICS}	$t_{\text{pzc}}/2 + 20$	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	$t_{\text{pzc}} + 20$	-	ns	27.43
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	-	t_{pzc}	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	-	t_{pzc}	
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	-	t_{pzc}	

【注】 t_{pzc} は周辺クロック (P) の周期を示します。

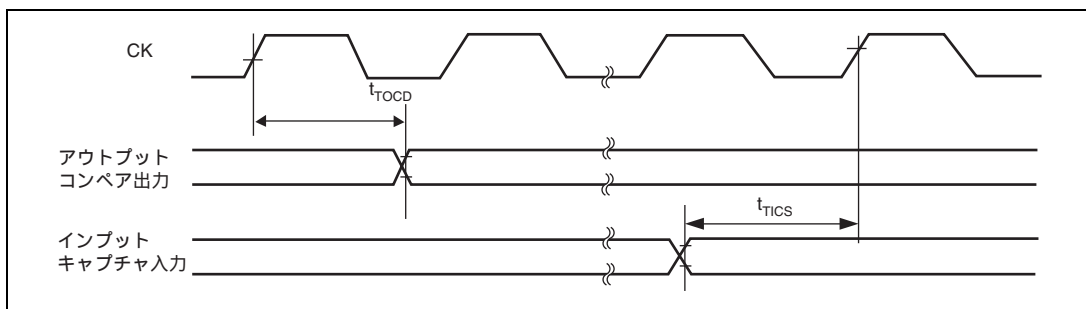


図 27.42 MTU2、MTU2S 入出力タイミング

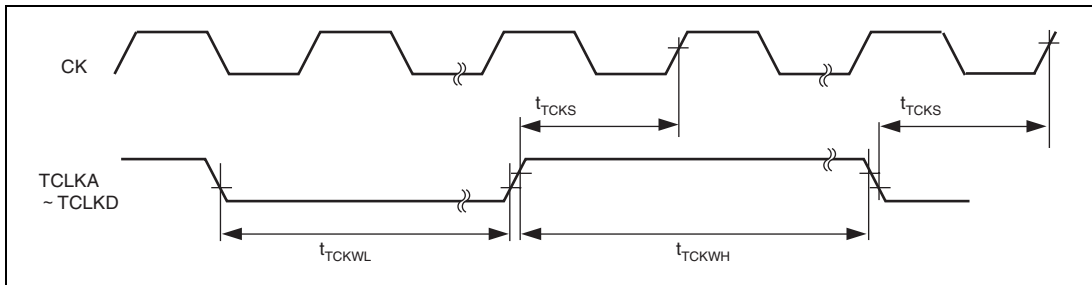


図 27.43 MTU2、MTU2S クロック入力タイミング

27.4.7 POE2 モジュールタイミング

表 27.12 POE2 モジュールタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
POE 入力セットアップ時間	t_{POES}	$t_{\text{cyc}}/2 + 30$	-	ns	27.44
POE 入力パルス幅	t_{POEW}	1.5	-	t_{poyc}	

【注】 t_{poyc} は周辺クロック (P) の周期を示します。

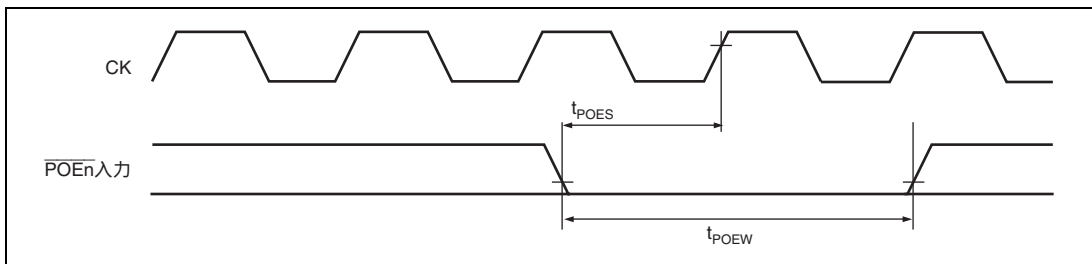


図 27.44 POE2 入出力タイミング

27.4.8 ウォッチドッグタイマタイミング

表 27.12 にウォッチドッグタイマタイミングを示します。

表 27.13 ウォッチドッグタイマタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{wovd}	-	50	ns	27.45

27. 電気的特性

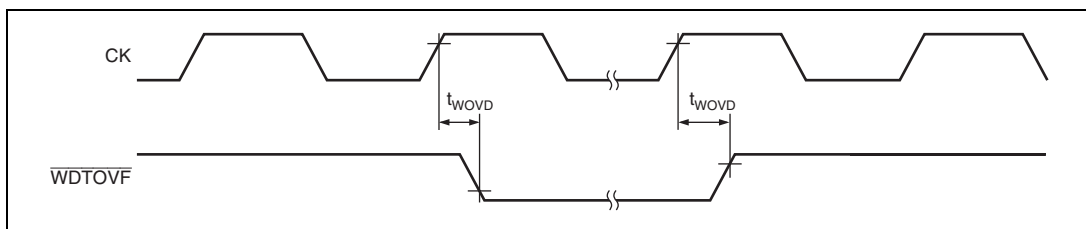


図 27.45 ウォッチドッグタイマタイミング

27.4.9 SCIF モジュールタイミング

表 27.14 SCIF モジュールタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図	
入力クロックサイクル	クロック同期	$t_{S_{cyc}}$	12	-	$t_{p_{cyc}}$	27.46
	調歩同期		4	-	$t_{p_{cyc}}$	27.46
入力クロック立ち上がり時間	t_{SCKr}	-	1.5	$t_{p_{cyc}}$	27.46	
入力クロック立ち下がり時間	t_{SCKf}	-	1.5	$t_{p_{cyc}}$	27.46	
入力クロック幅	t_{SCKW}	0.4	0.6	$t_{S_{cyc}}$	27.46	
送信データ遅延時間(クロック同期)	t_{TXD}	-	100	ns	27.47	
受信データセットアップ時間(クロック同期)	t_{RXS}	100	-	ns	27.47	
受信データホールド時間(クロック同期)	t_{RXH}	100	-	ns	27.47	

【注】 $t_{p_{cyc}}$ は周辺クロック (P) の周期を示します。

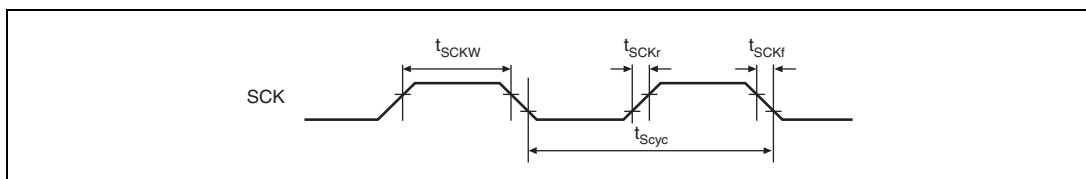


図 27.46 SCK 入力クロックタイミング

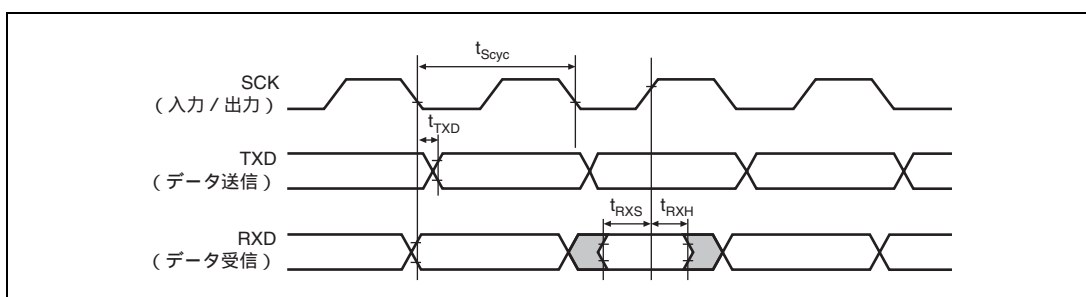


図 27.47 クロック同期式モード時の SCIF 入出力タイミング

27.4.10 IIC3 モジュールタイミング

表 27.15 I²C バスインタフェース 3 タイミング

条件 : Vcc = PLLVcc = 1.4 ~ 1.6V、VccQ = 3.0 ~ 3.6V、
Vss = PLLVss = VssQ = 0V、Ta = - 40 ~ + 85

項 目	記号	測定条件	規格値			単位	参照図
			Min.	Typ.	Max.		
SCL 入力サイクル時間	t _{SCL}		12t _{pcyc} + 600	-	-	ns	27.48
SCL 入力ハイパルス幅	t _{SCLH}		3t _{pcyc} + 300	-	-	ns	
SCL 入力ローパルス幅	t _{SCLL}		5t _{pcyc} + 300	-	-	ns	
SCL、SDA 入力立ち上がり時間	t _{Sr}		-	-	300	ns	
SCL、SDA 入力立ち下がり時間	t _{Sf}		-	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間*2	t _{SP}		-	-	1t _{pcyc}	ns	
SDA 入力バスフリー時間	t _{BUF}		5	-	-	t _{pcyc} *1	
開始条件入力ホールド時間	t _{STAH}		3	-	-	t _{pcyc} *1	
再送開始条件入力セットアップ時間	t _{STAS}		3	-	-	t _{pcyc} *1	
停止条件入力セットアップ時間	t _{STOS}		3	-	-	t _{pcyc} *1	
データ入力セットアップ時間	t _{SDAS}		1t _{pcyc} + 20	-	-	ns	
データ入力ホールド時間	t _{SDAH}		0	-	-	ns	
SCL、SDA の容量性負荷	Cb		0	-	400	pF	
SCL、SDA 出力立ち下がり時間*3	t _{Sf}	PVcc = 3.0 ~ 3.6V	-	-	300	ns	

【注】 *1 t_{pcyc} は周辺クロック (P) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

27. 電氣的特性

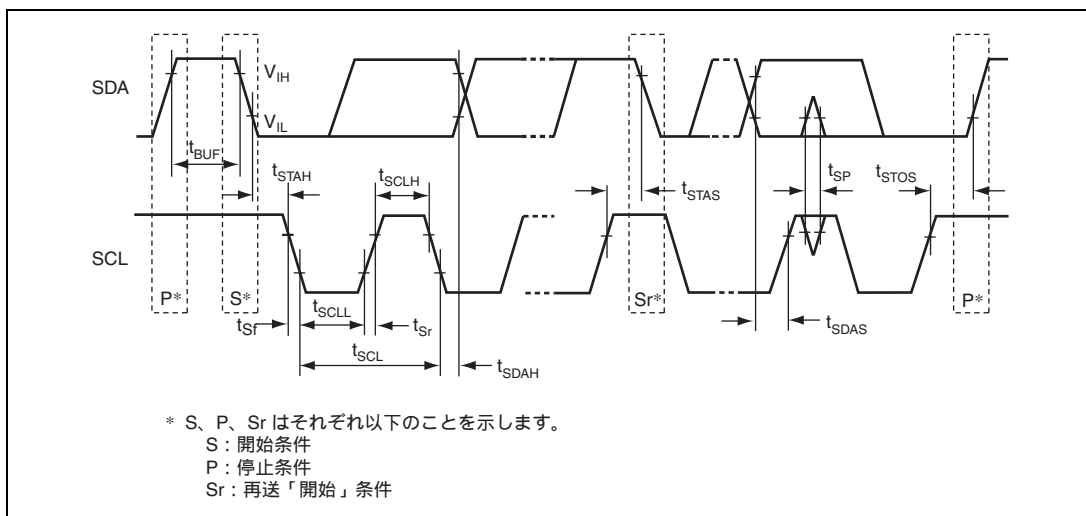


図 27.48 I²C バスインタフェース 3 入出力タイミング

27.4.11 A/D トリガ入力タイミング

表 27.16 A/D トリガ入力タイミング

条件：Vcc = PLLVcc = 1.4 ~ 1.6V、VccQ = 3.0 ~ 3.6V、
 Vss = PLLVss = VssQ = 0V、Ta = -40 ~ +85

モジュール	項目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セット アップ時間	B:P クロック比 = 1:1	20	-	ns	27.49
		B:P クロック比 = 2:1	$t_{\text{cyc}} + 20$	-		
		B:P クロック比 = 4:1	$3 \times t_{\text{cyc}} + 20$	-		

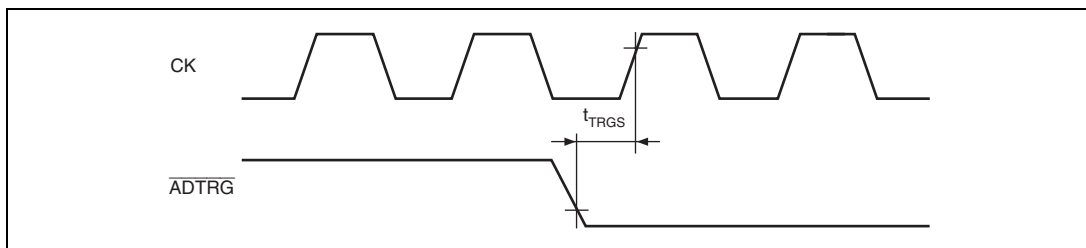


図 27.49 A/D 変換器外部トリガ入力タイミング

27.4.12 I/Oポートタイミング

表 27.17 I/Oポートタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	100	ns	27.50
入力データセットアップ時間	t_{PORTS}	100	-		
入力データホールド時間	t_{PORTH}	100	-		

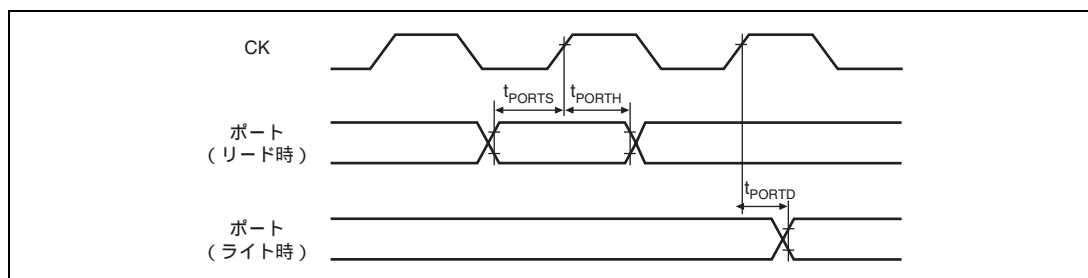


図 27.50 I/Oポートタイミング

27.4.13 H-UDI 関連端子のタイミング

表 27.18 H-UDI 関連端子のタイミング

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKeye}	100*	-	ns	27.51
TCK ハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKeye}	
TCK ローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKeye}	
TDI セットアップ時間	t_{TDIS}	15	-	ns	27.52
TDI ホールド時間	t_{TDIH}	15	-	ns	
TMS セットアップ時間	t_{TMSS}	15	-	ns	
TMS ホールド時間	t_{TMSH}	15	-	ns	
TDO 遅延時間	t_{TDOD}	-	40	ns	

【注】 * 周辺クロックのサイクル時間より大きくなるようにしてください。

27. 電気的特性

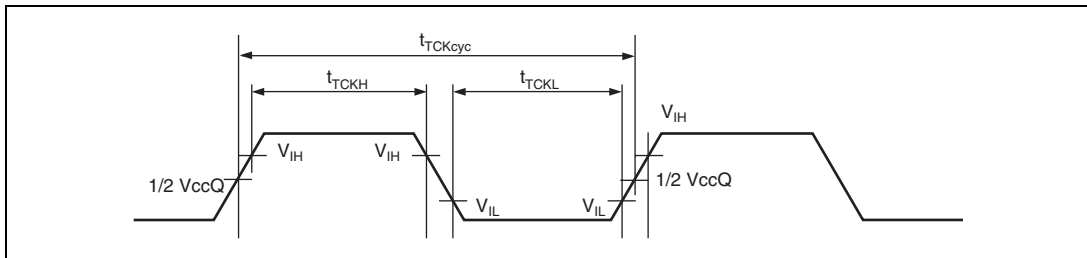


図 27.51 TCK 入力タイミング

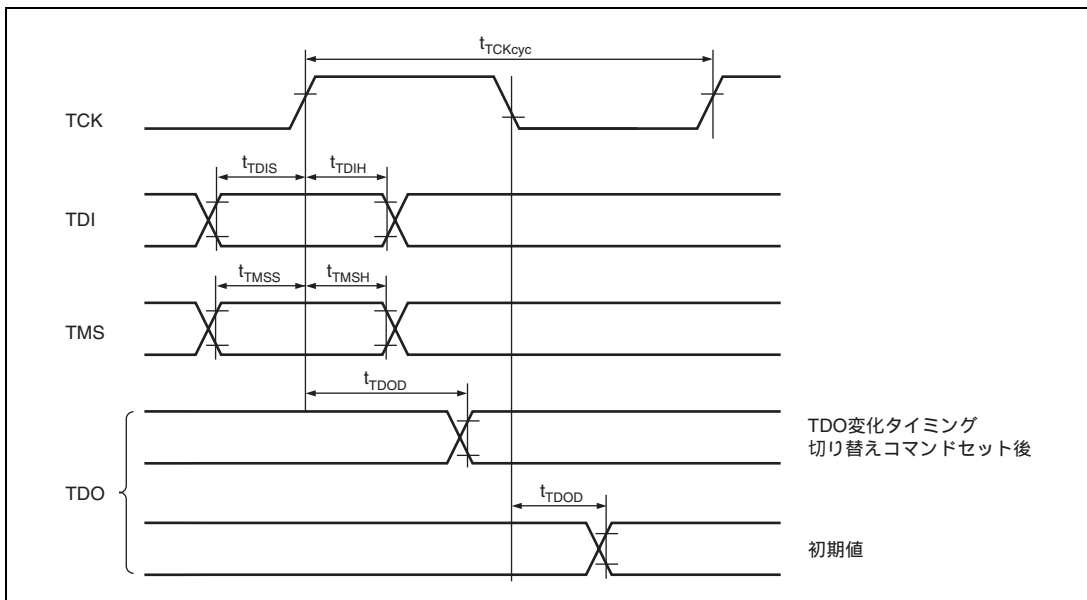


図 27.52 H-UDI データ転送タイミング

27.4.14 AC 特性測定条件

- 入出力信号参照レベル： $V_{ccQ}/2$ ($V_{ccQ} = 3.0 \sim 3.6V$ 、 $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$)
- 入力パルスレベル： $V_{ssQ} \sim 3.0V$ (ただし、 \overline{RES} 、 \overline{MRES} 、 NMI 、 $MD1$ 、 $MD0$ 、 MD_CLK2 、 MD_CLK0 、 \overline{ASEMD} 、 \overline{TRST} 、およびシュミットトリガ入力端子は $V_{ssQ} \sim V_{ccQ}$)
- 入力立ち上がり、立ち下がり時間：1ns

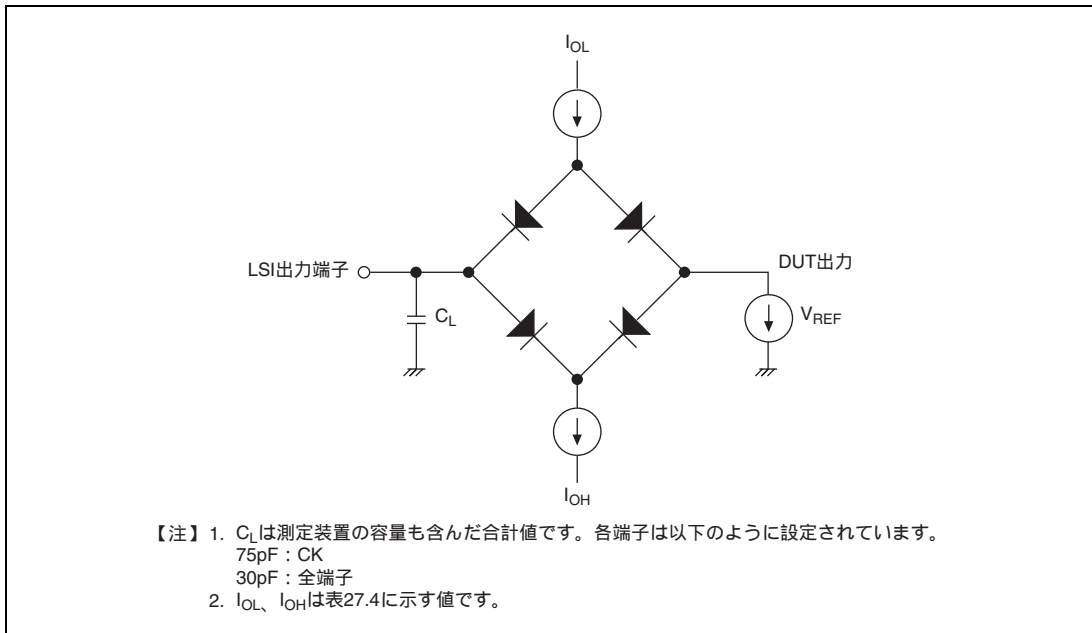


図 27.53 出力負荷回路

27.5 A/D 変換器特性

A/D 変換器特性を表 27.19 に示します。

表 27.19 A/D 変換器特性

条件 : $V_{CC} = PLLV_{CC} = 1.4 \sim 1.6V$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{REF} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = PLLV_{SS} = V_{SSQ} = AV_{SS} = AV_{REFV_{SS}} = 0V$ 、 $T_a = -40 \sim +85$ 、
 $V_{AN0-2} = 0.25 \sim AV_{CC} - 0.25V$ 、 $V_{AN3-7} = 0V \sim AV_{CC}$

項 目	Min.	Typ.	Max.	単位
分解能	-	12	-	ビット
1チャンネルあたりの変換時間*2	1.25	-	-	μs
アナログ入力容量	-	-	5	pF
許容信号源インピーダンス	-	-	3	k
非直線性誤差	-	-	(± 4.0) *1	LSB
オフセット誤差	-	-	(± 7.5) *1	LSB
フルスケール誤差	-	-	(± 7.5) *1	LSB
量子化誤差	-	-	(± 0.5) *1	LSB
絶対精度*3	-	-	± 8.0	LSB

【注】 *1 括弧内の値は参考値です。

*2 連続変換動作時の、1チャンネルあたりの変換時間です。連続変換起動から終了までの時間は「第 17 章 A/D 変換器 (ADC)」を参照してください。

*3 AN0~2 入力の $0 \sim 0.25V$ と $AV_{CC} - 0.25V \sim AV_{CC}$ の間の変換誤差は、上記の値を満たしません。

27.6 D/A 変換器特性

D/A 変換器特性を表 27.20 に示します。

表 27.20 D/A 変換器特性

条件 : $V_{CC} = PLLV_{CC} = 1.4 \sim 1.6V$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $AVREF = 4.5V \sim AV_{CC}$
 $V_{SS} = PLLV_{SS} = V_{SSQ} = AV_{SS} = AVREFV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	Min.	Typ.	Max.	単位	測定条件
分解能	-	8	-	ビット	
変換時間	10	-	-	μs	負荷容量 20pF
絶対精度	-	± 2.0	± 3.0	LSB	負荷抵抗 2M
	-	-	± 2.5	LSB	負荷抵抗 4M

27. 電気的特性

27.7 フラッシュメモリ特性

表 27.21 フラッシュメモリ特性

条件 : $V_{cc} = PLLV_{cc} = 1.4 \sim 1.6V$ 、 $V_{ccQ} = 3.0 \sim 3.6V$ 、
 $V_{ss} = PLLV_{ss} = V_{ssQ} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	Min.	Typ.	Max.	単位
書き込み時間 ^{*1*} ^{*2*} ^{*4}	t_p	-	2	20	ms/256 バイト
消去時間 ^{*1*} ^{*2*} ^{*4}	t_E	-	80	260	ms/8K バイトブロック
		-	600	1600	ms/64K バイトブロック
		-	1200	3000	ms/128K バイトブロック
書き込み時間 (総和) ^{*1*} ^{*2*} ^{*4}	Σt_p	-	4.5	12	s/512K バイト
消去時間 (総和) ^{*1*} ^{*2*} ^{*4}	Σt_E	-	4.5	12	s/512K バイト
書き込み、消去時間 (総和) ^{*1*} ^{*2*} ^{*4}	Σt_{pE}	-	9	24	s/512K バイト
書き換え回数	N_{WEC}	100 ^{*3}	-	-	回

- 【注】 *1 書き込み / 消去時間はデータに依存します。
*2 書き込み / 消去時間にはデータの転送時間は含みません。
*3 書き換え後のすべての特性を保証する Min.回数です (保証は、1 ~ Min.値の範囲です)。
*4 書き換え回数が Min.値を含む使用範囲内で行われたときの特性です。

付録

A. 端子状態

表 A.1 端子状態

端子機能		端子状態							
分類	端子名	リセット状態					低消費電力状態		バス権 解放状態
		パワーオンリセット*7				マニュアル リセット	ソフトウェア スタンバイ モード	スリープ モード	
		ROM なし拡張		ROM あり 拡張	シングル チップ				
		8bits	16bits						
クロック	CK (クロックモード 6)	O		Z	O	O/Z*4	O	O/Z*4	
	XTAL (クロックモード 6)	O			O	L	O	O	
	EXTAL (クロックモード 6)	I			I	I	I	I	
システム 制御	RES	I			I	I	I	I	
	MRES	Z			I	I	I	I	
	WDTOVF	H			O	H	O	O	
	BREQ	Z			I	Z	I	I	
	BACK	Z			O	Z	O	L	
動作モード 制御	MD1, MD0	I			I	I	I	I	
	MD_CLK2, MD_CLK0	I			I	I	I	I	
割り込み	NMI	I			I	I	I	I	
	IRQ7 ~ IRQ0	Z			I	I	I	I	
	IRQOUT	Z			O	H/Z*1	O	O	
アドレス バス	A25 ~ A0	O	Z		O	O/Z*3	O	Z	
データバス	D15 ~ D0	Z			I/O	Z	I/O	Z	
バス制御	WAIT	Z			I	Z	I	Z	
	CS0, CS1	H	Z		O	H/Z*3	O	Z	
	CS7 ~ CS2	Z			O	H/Z*3	O	Z	
	BS	Z			O	H/Z*3	O	Z	
	RD	H	Z		O	H/Z*3	O	Z	

付録

端子機能		端子状態							
分類	端子名	リセット状態				低消費電力状態		バス権 解放状態	
		パワーオンリセット*7			マニュアル リセット	ソフトウェア スタンバイ モード	スリープ モード		
		ROM なし拡張		ROM あり 拡張					シングル チップ
		8bits	16bits						
バス制御	RD/WR	Z				O	H/Z*3	O	Z
	WE0/DQMLL	H	Z			O	H/Z*3	O	Z
	AH、WE1/DQMLU	Z				O	H/Z*3	O	Z
	RASL、CASL	Z				O	O/Z*2	O	O/Z*2
	CKE	Z				O	O/Z*2	O	O/Z*2
	REFOUT	Z				O	H/Z*1	O	O
DMAC	DREQ3 ~ DREQ0	Z				I	Z	I	I
	DACK3 ~ DACK0	Z				O	O/Z*1	O	O
	TEND1、TEND0	Z				O	O/Z*1	O	O
MTU2	TCLKA、TCLKB、 TCLKC、TCLKD	Z				I	Z	I	I
	TIOC0A*6、 TIOC0B*6、 TIOC0C*6、 TIOC0D*6	Z				I/O	K/Z*1	I/O	I/O
	TIOC1A、TIOC1B	Z				I/O	K/Z*1	I/O	I/O
	TIOC2A、TIOC2B	Z				I/O	K/Z*1	I/O	I/O
	TIOC3A、TIOC3B*6、 TIOC3C、TIOC3D*6	Z				I/O	K/Z*1	I/O	I/O
	TIOC4A*6、 TIOC4B*6、 TIOC4C*6、 TIOC4D*6	Z				I/O	K/Z*1	I/O	I/O
	TIC5U、TIC5V、 TIC5W	Z				I	Z	I	I
	MTU2S	TIOC3AS、 TIOC3BS*6、 TIOC3CS、 TIOC3DS*6	Z				I/O	K/Z*1	I/O
TIOC4AS*6、 TIOC4BS*6、 TIOC4CS*6、 TIOC4DS*6		Z				I/O	K/Z*1	I/O	I/O
TIC5US、TIC5VS、 TIC5WS		Z				I	Z	I	I

端子機能		端子状態							
分類	端子名	リセット状態				低消費電力状態		バス権 解放状態	
		パワーオンリセット*7			マニュアル リセット	ソフトウェア スタンバイ モード	スリープ モード		
		ROM なし拡張		ROM あり 拡張					シングル チップ
		8bits	16bits						
POE2	POE8、POE7、 POE4、POE3、 POE1、POE0	Z				I	Z	I	I
SCIF	SCK3 - SCK0	Z				I/O	K/Z*1	I/O	I/O
	RXD3 - RXD0	Z				I	Z	I	I
	TXD3 - TXD0	Z				O	O/Z*1	O	O
WAVE	WSCK	Z				O	O/Z*1	O	O
	WRXD	Z				I	Z	I	I
	WTXD	Z				O	O/Z*1	O	O
A/D 変換器	AN7 - AN0	Z				I	Z	I	I
	ADTRG	Z				I	Z	I	I
D/A 変換器	DA1、DA0	Z				O	O	O	O
IIC3	SCL	Z				I/O	Z	I/O	I/O
	SDA	Z				I/O	Z	I/O	I/O
エミュレータ	AUDSYNC	-				O	O	O	O
	AUDCK	-				O	O	O	O
	AUDATA3 - AUDATA0	-				O	O	O	O
	A $\overline{\text{SEMD}}$	I				I	I	I	I
	A $\overline{\text{SEBRK}}$ / A $\overline{\text{SEBRKAK}}$	O				O	I	O	O
	TRST	I				I	I	I	I
	TCK	I				I	I	I	I
	TDI	I				I	I	I	I
	TDO	O/Z*5				O/Z*5	O/Z*5	O/Z*5	O/Z*5
	TMS	I				I	I	I	I

端子機能		端子状態							
分類	端子名	リセット状態			マニュアル リセット	低消費電力状態		バス権 解放状態	
		パワーオンリセット*7				ソフトウェア スタンバイ モード	スリープ モード		
		ROM なし拡張		ROM あり 拡張					シングル チップ
		8bits	16bits						
UBC	UBCTRG	Z			O	O/Z*1	O	O	
I/O ポート	PA25 - PA0	Z			I/O	K/Z*1	I/O	I/O	
	PB30 - PB22 PB21 - PB18*6 PB19 - PB12 PB13 - PB10*6 PB9 - PB8 PB7 - PB4*6 PB3 - PB0	Z			I/O	K/Z*1	I/O	I/O	
	PD15 - PD0	Z			I/O	K/Z*1	I/O	I/O	
	PF1, PF0	Z			I	Z	I	I	

【記号説明】

- I : 入力
O : 出力
H : ハイレベル出力
L : ローレベル出力
Z : ハイインピーダンス
K : 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットの設定に従います (「第 23 章 低消費電力モード」参照)。
*2 BSC の共通コントロールレジスタの HIZCNT ビットの設定に従います (「第 8 章 バスステートコントローラ (BSC)」参照)。
*3 BSC の共通コントロールレジスタの HIZMEM ビットの設定に従います (「第 8 章 バスステートコントローラ (BSC)」参照)。
*4 BSC の共通コントロールレジスタの HIZCKIO ビットの設定に従います (「第 8 章 バスステートコントローラ (BSC)」参照)。
*5 H-UDI の TAP コントローラが Shift-DR、Shift-IR 状態以外では Z となります。
*6 POE2 によりハイインピーダンス制御されます (「第 12 章 ポートアウトプットイネーブル 2 (POE2)」参照)。
*7 \overline{RES} 端子へのローレベル入力によるパワーオンリセットを指します。H-UDI リセットアサートコマンドおよび WDT オーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります (「第 19 章 ピンファンクションコントローラ (PFC)」参照)。

B. 型名一覧

表 B.1 型名一覧

製品分類					製品型名	パッケージ (パッケージコード)
製品名	分類	ROM 容量	RAM 容量	動作温度		
SH7211	F-ZTAT 版	384KB	24KB	- 40 ~ +85	R5F72114D160FPV	LQFP2020-144Cu(FP-144LV)
		512KB	32KB	- 40 ~ +85	R5F72115D160FPV	

C. 外形寸法図

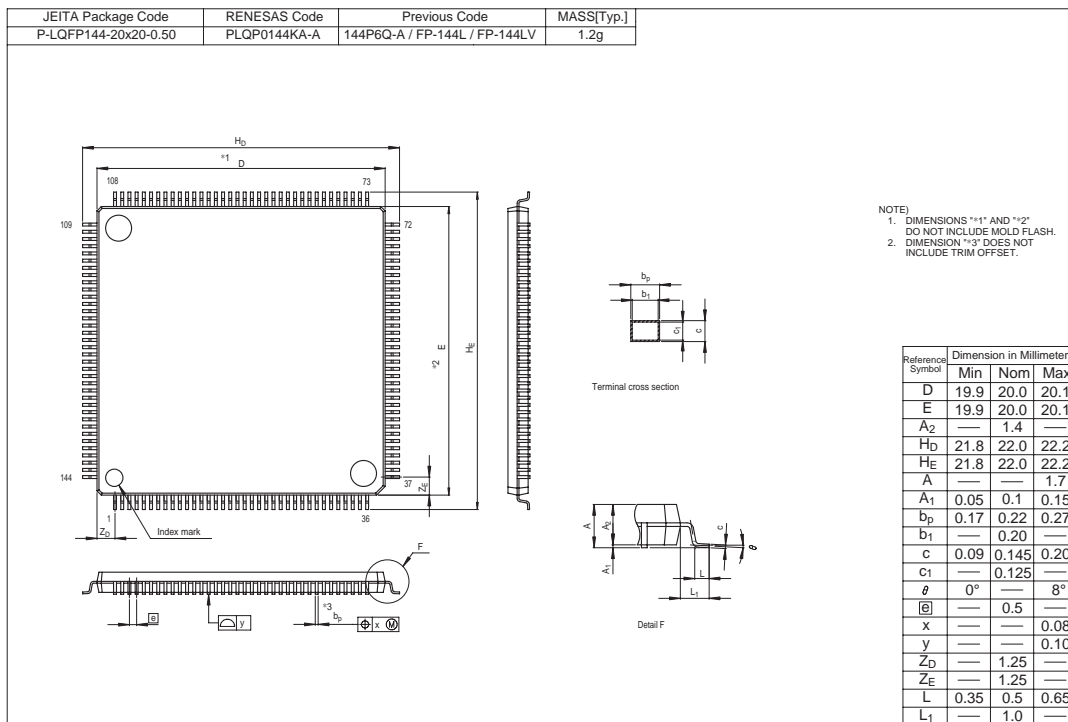



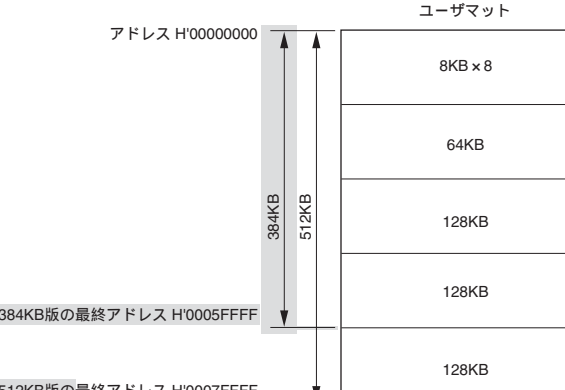
図 C.1 外形寸法図

本版で改訂された箇所

修正項目	ページ	修正内容 (詳細はマニュアル参照)										
1.1 SH7211 の特長 表 1.1 SH7211 の特長	1-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>内蔵 ROM</td> <td>384K バイト / 512K バイト (「付録B. 型名一覧」を参照)</td> </tr> <tr> <td>内蔵 RAM</td> <td>3 ページ / 4 ページ 24K バイト / 32K バイト (「付録B. 型名一覧」を参照)</td> </tr> <tr> <td>電源電圧</td> <td>Vcc : 1.4 ~ 1.6V, VccQ : 3.0 ~ 3.6V, AVcc : 4.5 ~ 5.5V</td> </tr> <tr> <td>パッケージ</td> <td>LOFP2020-144 (0.5 ピッチ)</td> </tr> </tbody> </table>	項目	特 長	内蔵 ROM	384K バイト / 512K バイト (「付録B. 型名一覧」を参照)	内蔵 RAM	3 ページ / 4 ページ 24K バイト / 32K バイト (「付録B. 型名一覧」を参照)	電源電圧	Vcc : 1.4 ~ 1.6V, VccQ : 3.0 ~ 3.6V, AVcc : 4.5 ~ 5.5V	パッケージ	LOFP2020-144 (0.5 ピッチ)
項目	特 長											
内蔵 ROM	384K バイト / 512K バイト (「付録B. 型名一覧」を参照)											
内蔵 RAM	3 ページ / 4 ページ 24K バイト / 32K バイト (「付録B. 型名一覧」を参照)											
電源電圧	Vcc : 1.4 ~ 1.6V, VccQ : 3.0 ~ 3.6V, AVcc : 4.5 ~ 5.5V											
パッケージ	LOFP2020-144 (0.5 ピッチ)											
1.2 ブロック図	1-6	<p>図を修正</p>										
3.4 アドレスマップ 図 3.1 内蔵 ROM384KB 版の各動作モードのアドレスマップ	3-3	新規追加										
図 3.2 内蔵 ROM512KB 版の各動作モードのアドレスマップ	3-4	図タイトルを修正										

修正項目	ページ	修正内容（詳細はマニュアル参照）													
9.3.8 DMA オペレーションレジスタ (DMAOR)	9-15	注を修正 【注】フラグをクリアするためにはレジスタを読み出し、1 が読み出せたビットにのみ 0 を書き込むようにしてください。 読み出した値が 0 のビットには、1 を書き込むようにしてください。													
	9-16	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>AE</td> <td>0</td> <td>R/(W)*</td> <td>アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生 [クリア条件] AE ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生 [クリア条件] AE ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。			
	ビット	ビット名	初期値	R/W	説明										
2	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生 [クリア条件] AE ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。											
9-17	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>NMIF</td> <td>0</td> <td>R/(W)*</td> <td>NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされず。 0 : NMI 割り込みなし 1 : NMI 割り込み発生 [クリア条件] NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。</td> </tr> </tbody> </table> 注を修正 【注】フラグをクリアするためにはレジスタを読み出し、1 が読み出せたビットにのみ 0 を書き込むようにしてください。 読み出した値が 0 のビットには、1 を書き込むようにしてください。	ビット	ビット名	初期値	R/W	説明	1	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされず。 0 : NMI 割り込みなし 1 : NMI 割り込み発生 [クリア条件] NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。				
ビット	ビット名	初期値	R/W	説明											
1	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず、DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされず。 0 : NMI 割り込みなし 1 : NMI 割り込み発生 [クリア条件] NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。読み出した値が 0 のときには、1 を書き込むようにしてください。											
16.6 ビット同期回路 表 16.5 SCL をモニタする時間	16-35	表を修正 <table border="1"> <thead> <tr> <th>CKS[3]</th> <th>CKS[2]</th> <th>SCL をモニタする時間</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>9 t_{byte}*</td> </tr> <tr> <td>1</td> <td>21 t_{byte}*</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>39 t_{byte}*</td> </tr> <tr> <td>1</td> <td>87 t_{byte}*</td> </tr> </tbody> </table>	CKS[3]	CKS[2]	SCL をモニタする時間	0	0	9 t _{byte} *	1	21 t _{byte} *	1	0	39 t _{byte} *	1	87 t _{byte} *
CKS[3]	CKS[2]	SCL をモニタする時間													
0	0	9 t _{byte} *													
	1	21 t _{byte} *													
1	0	39 t _{byte} *													
	1	87 t _{byte} *													
17.7.1 アナログ入力電圧の設定範囲	—	削除													
17.7.1 AVcc、AVss と VccQ、VssQ の関係	17-21	説明を修正 A/D 変換器または D/A 変換器を使用する場合は、AVcc = 5.0V ± 0.5V、AVss = Vss としてください。また、A/D 変換器および D/A 変換器を使用しない場合は、AVcc = VccQ、AVss = VssQ とし、AVcc 端子、AVss 端子をオープンにしないでください。													

修正項目	ページ	修正内容（詳細はマニュアル参照）
17.7.2 AVREF の設定範囲	17-21	<p>説明を修正</p> <p>A/D 変換器または D/A 変換器を使用する場合は、AVREF = 4.5V ~ AVcc、使用しない場合は AVREF = AVcc とし、AVREF 端子をオープンにしないでください。</p> <p>AVREFVss 端子は、常に AVREFVss = AVss とし、オープンにしないでください。以上のことが守られない場合、LSI の信頼性に悪影響をおよぼすことがあります。</p>
17.7.6 A/D 変換器未使用時の AVcc、AVss について	—	削除
21. フラッシュメモリ	21-1	<p>説明を修正</p> <p>本 LSI は 512KB / 384KB* のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。</p>
21.1 特長	21-1	<p>説明を修正</p> <p>• LSI 起動モードに合わせた 2 種類のフラッシュメモリマット</p> <p>ユーザモードでパワーオンリセット時に起動するユーザマット: 512KB / 384KB*</p> <p>注を追加</p> <p>【注】* 「付録 B. 型名一覧」を参照。</p>
21.2.1 ブロック図 図 21.1 フラッシュメモリのブロック図	21-3	<p>図を修正</p> <p>ROMキャッシュアドレスバス</p> <p>ROMキャッシュデータバス (128ビット)</p> <p>モジュールバス</p> <p>FCCS</p> <p>FPCS</p> <p>FECS</p> <p>FKEY</p> <p>FMATS</p> <p>FTDAR</p> <p>制御部</p> <p>メモリマット部</p> <p>ユーザマット : 512KB / 384KB*</p> <p>ユーザブートマット : 12KB</p> <p>フラッシュメモリ</p> <p>FWE端子 モード端子 → 動作モード</p> <p>【記号説明】</p> <p>FCCS : フラッシュコードコントロール/ステータスレジスタ</p> <p>FPCS : フラッシュプログラムコードセレクトレジスタ</p> <p>FECS : フラッシュイレースコードセレクトレジスタ</p> <p>FKEY : フラッシュキーコードレジスタ</p> <p>FMATS : フラッシュマットセレクトレジスタ</p> <p>FTDAR : フラッシュトランスファデスティネーションアドレスレジスタ</p> <p>【注】* 「付録B. 型名一覧」を参照。</p>
21.2.4 フラッシュメモリ構成	21-6	<p>説明を修正</p> <p>本 LSI のフラッシュメモリは、512KB / 384KB* のユーザマットと 12KB のユーザブートマットから構成されています。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）
21.2.4 フラッシュメモリ構成 図 21.3 フラッシュメモリ構成図	21-6	図を修正  <p>ユーザマツト</p> <p>アドレス H'00000000</p> <p>512KB/384KB*</p> <p>アドレス H'0005FFFF (384KB版) アドレス H'0007FFFF (512KB版)</p> <p>【注】 * 「付録B. 型名一覧」を参照。</p>
21.2.5 ブロック分割 図 21.4 ユーザマツトのブロック分割	21-7	図を修正  <p>ユーザマツト</p> <p>アドレス H'00000000</p> <p>8KB x 8</p> <p>64KB</p> <p>128KB</p> <p>128KB</p> <p>128KB</p> <p>384KB</p> <p>512KB</p> <p>384KB版の最終アドレス H'0005FFFF</p> <p>512KB版の最終アドレス H'0007FFFF</p>
21.2.6 書き込み/消去インタフェース図 (4) 書き込み/消去の実行	21-9	説明を修正 フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。 書き込み/消去処理中は、NMI、IRQ、およびその他のすべての割り込みを発生させないでください。

修正項目	ページ	修正内容（詳細はマニュアル参照）																											
21.5.2 ユーザプログラムモード (1) 書き込み / 消去実行時の内蔵RAMのアドレスマップ	21-35	<p>図を修正</p>																											
21.7.2 書き込み / 消去手続き実行中の割り込み (2) 書き込み / 消去処理中の割り込み	21-54	<p>説明を修正</p> <p>ダウンロードした内蔵プログラムでの書き込み / 消去実行中は、NMI、IRQ、およびその他のすべての割り込みを発生させないでください。</p>																											
21.8.2 手順プログラム、または書き込みデータの格納可能領域	21-81	<p>説明を修正</p> <p>5. 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、および書き込み / 消去中のユーザブランチ先のユーザプログラムも、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。</p>																											
表 21.17(1) ユーザプログラムモードでの書き込み処理で使用可能なエリア	21-83	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行可能なエリア</th> <th colspan="2">選択されているマット</th> </tr> <tr> <th>内蔵RAM</th> <th>ユーザマット</th> <th>外部空間</th> <th>ユーザマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>初期化エラー処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>キーレジスタへのHSA書き込み処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行可能なエリア			選択されているマット		内蔵RAM	ユーザマット	外部空間	ユーザマット	組み込みプログラム格納マット	初期化エラー処理						キーレジスタへのHSA書き込み処理									
項目	格納 / 実行可能なエリア			選択されているマット																									
	内蔵RAM	ユーザマット	外部空間	ユーザマット	組み込みプログラム格納マット																								
初期化エラー処理																													
キーレジスタへのHSA書き込み処理																													
表 21.17(2) ユーザプログラムモードでの消去処理で使用可能なエリア	21-84	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行可能なエリア</th> <th colspan="2">選択されているマット</th> </tr> <tr> <th>内蔵RAM</th> <th>ユーザマット</th> <th>外部空間</th> <th>ユーザマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>初期化エラー処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>キーレジスタへのHSA書き込み処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行可能なエリア			選択されているマット		内蔵RAM	ユーザマット	外部空間	ユーザマット	組み込みプログラム格納マット	初期化エラー処理						キーレジスタへのHSA書き込み処理									
項目	格納 / 実行可能なエリア			選択されているマット																									
	内蔵RAM	ユーザマット	外部空間	ユーザマット	組み込みプログラム格納マット																								
初期化エラー処理																													
キーレジスタへのHSA書き込み処理																													
表 21.17(3) ユーザブートモードでの書き込み処理で使用可能なエリア	21-85	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行可能なエリア</th> <th colspan="3">選択されているマット</th> </tr> <tr> <th>内蔵RAM</th> <th>ユーザブートマット</th> <th>外部空間</th> <th>ユーザマット</th> <th>ユーザブートマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>初期化エラー処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FMATSによるマット切り替え</td> <td></td> <td>x</td> <td>x</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行可能なエリア			選択されているマット			内蔵RAM	ユーザブートマット	外部空間	ユーザマット	ユーザブートマット	組み込みプログラム格納マット	初期化エラー処理							FMATSによるマット切り替え		x	x			
項目	格納 / 実行可能なエリア			選択されているマット																									
	内蔵RAM	ユーザブートマット	外部空間	ユーザマット	ユーザブートマット	組み込みプログラム格納マット																							
初期化エラー処理																													
FMATSによるマット切り替え		x	x																										

修正項目	ページ	修正内容（詳細はマニュアル参照）																											
21.8.2 手順プログラム、または書き込みデータの格納可能領域 表 21.17(4) ユーザブートモードでの消去処理で使用可能なエリア	21-86	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行が可能なエリア</th> <th colspan="3">選択されているマット</th> </tr> <tr> <th>内蔵 RAM</th> <th>ユーザブートマット</th> <th>外部空間</th> <th>ユーザマット</th> <th>ユーザブートマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>初期化エラー処理</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FMATS によるマット切り替え</td> <td></td> <td>x</td> <td>x</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行が可能なエリア			選択されているマット			内蔵 RAM	ユーザブートマット	外部空間	ユーザマット	ユーザブートマット	組み込みプログラム格納マット	初期化エラー処理							FMATS によるマット切り替え		x	x			
項目	格納 / 実行が可能なエリア			選択されているマット																									
	内蔵 RAM	ユーザブートマット	外部空間	ユーザマット	ユーザブートマット	組み込みプログラム格納マット																							
初期化エラー処理																													
FMATS によるマット切り替え		x	x																										
22.1 特長	22-1	説明を修正 <ul style="list-style-type: none"> ページ 32KB 版 : 4 ページ (ページ 0、1、2、3) 24KB 版 : 3 ページ (ページ 0、1、2) 																											
表 22.2 内蔵 RAM アドレス空間 (24KB 版)	22-1	表を追加																											
23.3.5 システムコントロールレジスタ 1 (SYSCR1)	23-9	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>RAME3</td> <td>1</td> <td>R/W</td> <td>RAM イネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	RAME3	1	R/W	RAM イネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																	
ビット	ビット名	初期値	R/W	説明																									
3	RAME3	1	R/W	RAM イネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																									
23.3.6 システムコントロールレジスタ 2 (SYSCR2)	23-10	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>RAMWE3</td> <td>1</td> <td>R/W</td> <td>RAM ライトイネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM ライト無効 1 : 内蔵 RAM ライト有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されず、書き込む値も常に 1 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM ライト無効 1 : 内蔵 RAM ライト有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されず、書き込む値も常に 1 にしてください。																	
ビット	ビット名	初期値	R/W	説明																									
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象 RAM アドレス : HFFF86000 - HFFF87FFF) 0 : 内蔵 RAM ライト無効 1 : 内蔵 RAM ライト有効 【注】RAM24KB 版ではリザーブビットです。読み出すと常に 1 が読み出されず、書き込む値も常に 1 にしてください。																									
27.2 電源投入・切断シーケンス 表 27.2 電源投入・切断時間推奨値	27-2	注を修正 また、電源投入時に状態不定期間の消費電流増加を避けるため、VccQ と Vcc、PLL Vcc は同時に投入することを推奨します。図 27.2 の電源投入順序で、状態不定期間を無くすることができます。																											
図 27.2 電源投入シーケンス	27-2	図タイトルを修正 注を修正 端子状態および内部状態が不定にならないよう、Vcc が Min. 電圧以上に到達するまで VccQ および AVcc を GND 電位 0(V) とし、VccQ、AVcc をフローティング状態にしないでください。パワーオンリセット状態となるよう、RES 端子にはローレベルを入力してください。なお、この場合 VccQ が Min. 電圧に到達するまで各端子がローインピーダンス状態になりますので、吸い込み電流による消費電流の増加に注意してください。																											
27.3 DC 特性 表 27.3 DC 特性 (1) 【共通項目】	27-3	注を修正 【使用上の注意】A/D 変換器および D/A 変換器を使用しないときは、AVcc、AVss、AVREF、AVREFVss 端子をオープンにしないでください。																											

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																												
27.4.3 バスタイミング 表 27.8 バスタイミング	27-12	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">Bφ=40MHz^{※1}</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>CS 遅延時間 2</td> <td>t_{CS2}</td> <td>$1/2t_{\text{clk}}$</td> <td>$1/2t_{\text{clk}}+20$</td> <td>ns</td> <td>27.37, 27.38</td> </tr> <tr> <td>CS セットアップ時間</td> <td>t_{CSA}</td> <td>0</td> <td>—</td> <td>ns</td> <td>27.12~27.15</td> </tr> <tr> <td>CS ホールド時間</td> <td>t_{CSH}</td> <td>0</td> <td>—</td> <td>ns</td> <td>27.12~27.15</td> </tr> <tr> <td>リードライト遅延時間 1</td> <td>t_{RDWL1}</td> <td>1</td> <td>20</td> <td>ns</td> <td>27.12~27.36</td> </tr> <tr> <td>リードライト遅延時間 2</td> <td>t_{RDWL2}</td> <td>$1/2t_{\text{clk}}$</td> <td>$1/2t_{\text{clk}}+20$</td> <td>ns</td> <td>27.37, 27.38</td> </tr> <tr> <td>リードストロープ遅延時間</td> <td>t_{RDST}</td> <td>$1/2t_{\text{clk}}$</td> <td>$1/2t_{\text{clk}}+20$</td> <td>ns</td> <td>27.12~27.19</td> </tr> <tr> <td>リードデータセットアップ時間 1</td> <td>t_{RD1A}</td> <td>$1/2t_{\text{clk}}+13$</td> <td>—</td> <td>ns</td> <td>27.12~27.18</td> </tr> <tr> <td>リードデータホールド時間 4</td> <td>t_{RD4H}</td> <td>$1/2t_{\text{clk}}+5$</td> <td>—</td> <td>ns</td> <td>27.37</td> </tr> <tr> <td>リードデータアクセス時間</td> <td>TACC^{※2}</td> <td>$t_{\text{acc}}(n+1.5)$ $-31\mu\text{s}$</td> <td>—</td> <td>ns</td> <td>27.12~27.15, 27.17, 27.18</td> </tr> <tr> <td>リードストロープからのアクセス時間</td> <td>TOE^{※3}</td> <td>$t_{\text{oe}}(n+1)$ $31\mu\text{s}$</td> <td>—</td> <td>ns</td> <td>27.12~27.15, 27.17, 27.18</td> </tr> <tr> <td>ライイトネーブル遅延時間 1</td> <td>t_{RDNL1}</td> <td>$1/2t_{\text{clk}}$</td> <td>$1/2t_{\text{clk}}+20$</td> <td>ns</td> <td>27.12~27.17</td> </tr> <tr> <td>ライトデータホールド時間 1</td> <td>t_{WD1H}</td> <td>1</td> <td>15</td> <td>ns</td> <td>27.12~27.18</td> </tr> <tr> <td>ライトデータホールド時間 2</td> <td>t_{WD2H}</td> <td>1</td> <td>—</td> <td>ns</td> <td>27.24~27.27, 27.31~27.33</td> </tr> <tr> <td>ライトデータホールド時間 3</td> <td>t_{WD3H}</td> <td>$1/2t_{\text{clk}}$</td> <td>—</td> <td>ns</td> <td>27.37</td> </tr> </tbody> </table>	項目	記号	Bφ=40MHz ^{※1}		単位	参照図	Min.	Max.	CS 遅延時間 2	t_{CS2}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.37, 27.38	CS セットアップ時間	t_{CSA}	0	—	ns	27.12~27.15	CS ホールド時間	t_{CSH}	0	—	ns	27.12~27.15	リードライト遅延時間 1	t_{RDWL1}	1	20	ns	27.12~27.36	リードライト遅延時間 2	t_{RDWL2}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.37, 27.38	リードストロープ遅延時間	t_{RDST}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.12~27.19	リードデータセットアップ時間 1	t_{RD1A}	$1/2t_{\text{clk}}+13$	—	ns	27.12~27.18	リードデータホールド時間 4	t_{RD4H}	$1/2t_{\text{clk}}+5$	—	ns	27.37	リードデータアクセス時間	TACC ^{※2}	$t_{\text{acc}}(n+1.5)$ $-31\mu\text{s}$	—	ns	27.12~27.15, 27.17, 27.18	リードストロープからのアクセス時間	TOE ^{※3}	$t_{\text{oe}}(n+1)$ $31\mu\text{s}$	—	ns	27.12~27.15, 27.17, 27.18	ライイトネーブル遅延時間 1	t_{RDNL1}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.12~27.17	ライトデータホールド時間 1	t_{WD1H}	1	15	ns	27.12~27.18	ライトデータホールド時間 2	t_{WD2H}	1	—	ns	27.24~27.27, 27.31~27.33	ライトデータホールド時間 3	t_{WD3H}	$1/2t_{\text{clk}}$	—	ns	27.37
項目	記号	Bφ=40MHz ^{※1}			単位	参照図																																																																																								
		Min.	Max.																																																																																											
CS 遅延時間 2	t_{CS2}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.37, 27.38																																																																																									
CS セットアップ時間	t_{CSA}	0	—	ns	27.12~27.15																																																																																									
CS ホールド時間	t_{CSH}	0	—	ns	27.12~27.15																																																																																									
リードライト遅延時間 1	t_{RDWL1}	1	20	ns	27.12~27.36																																																																																									
リードライト遅延時間 2	t_{RDWL2}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.37, 27.38																																																																																									
リードストロープ遅延時間	t_{RDST}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.12~27.19																																																																																									
リードデータセットアップ時間 1	t_{RD1A}	$1/2t_{\text{clk}}+13$	—	ns	27.12~27.18																																																																																									
リードデータホールド時間 4	t_{RD4H}	$1/2t_{\text{clk}}+5$	—	ns	27.37																																																																																									
リードデータアクセス時間	TACC ^{※2}	$t_{\text{acc}}(n+1.5)$ $-31\mu\text{s}$	—	ns	27.12~27.15, 27.17, 27.18																																																																																									
リードストロープからのアクセス時間	TOE ^{※3}	$t_{\text{oe}}(n+1)$ $31\mu\text{s}$	—	ns	27.12~27.15, 27.17, 27.18																																																																																									
ライイトネーブル遅延時間 1	t_{RDNL1}	$1/2t_{\text{clk}}$	$1/2t_{\text{clk}}+20$	ns	27.12~27.17																																																																																									
ライトデータホールド時間 1	t_{WD1H}	1	15	ns	27.12~27.18																																																																																									
ライトデータホールド時間 2	t_{WD2H}	1	—	ns	27.24~27.27, 27.31~27.33																																																																																									
ライトデータホールド時間 3	t_{WD3H}	$1/2t_{\text{clk}}$	—	ns	27.37																																																																																									
	27-13	<p>注を修正</p> <p>【注】 ※1 B（外部バスクロック）の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。</p> <p>※2 n はウェイト数。</p> <p>※3 アクセス時間が満足されていれば、t_{RDS1} は満足されていない必要はありません。</p>																																																																																												
27.4.3 バスタイミング 図 27.12 通常空間基本バスサイクル（ノーウェイト）	27-14	<p>図を修正</p> <p>The diagram illustrates the timing for a read cycle. It shows the relationship between the clock (CK), address (A25-A0), chip select (CSn), read/write strobe (RD/WR), read data (RD), data bus (D15-D0), and write enable (WEn). Key timing parameters are labeled, including setup and hold times for address, data, and chip select, as well as access and delay times for the read operation.</p>																																																																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）
27.4.3 バスタイミング 図 27.13 通常空間基本バスサイクル（ソフトウェアウェイト1）	27-15	図を修正
図 27.14 通常空間基本バスサイクル（外部ウェイト1挿入）	27-16	図を修正

修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>27.4.3 バスタイミング</p> <p>図 27.15 通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット=0）、アイドルサイクルなし）</p>	27-17	<p>図を修正</p>
<p>図 27.17 バイト選択付き SRAM バスサイクル（SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=0（ライトサイクル UB/LB コントロール））</p>	27-19	<p>図を修正</p>
<p>図 27.18 バイト選択付き SRAM バスサイクル（SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1（ライトサイクル WE コントロール））</p>	27-20	<p>図を修正</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																						
27.4.10 IIC3 モジュールタイミ ング	27-45	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項 目</th> <th rowspan="2">記号</th> <th rowspan="2">測定条件</th> <th colspan="3">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>SCL 入力サイクル時間</td> <td>t_{SCL}</td> <td></td> <td>12μsec + 600</td> <td>-</td> <td>-</td> <td>ns</td> <td rowspan="6">27.48</td> </tr> <tr> <td>SCL 入力ハイパルス幅</td> <td>t_{SCLH}</td> <td></td> <td>3μsec + 300</td> <td>-</td> <td>-</td> <td>ns</td> </tr> <tr> <td>SCL 入力ローパルス幅</td> <td>t_{SCLL}</td> <td></td> <td>5μsec + 300</td> <td>-</td> <td>-</td> <td>ns</td> </tr> <tr> <td>SCL, SDA 入力立ち上がり時間</td> <td>t_r</td> <td></td> <td>-</td> <td>-</td> <td>300</td> <td>ns</td> </tr> <tr> <td>SCL, SDA 入力立ち下がり時間</td> <td>t_f</td> <td></td> <td>-</td> <td>-</td> <td>300</td> <td>ns</td> </tr> <tr> <td>SCL, SDA 入力スライクパルス除去時間^{*)}</td> <td>t_{sp}</td> <td></td> <td>-</td> <td>-</td> <td>1μsec</td> <td>ns</td> </tr> </tbody> </table>	項 目	記号	測定条件	規格値			単位	参照図	Min.	Typ.	Max.	SCL 入力サイクル時間	t_{SCL}		12 μ sec + 600	-	-	ns	27.48	SCL 入力ハイパルス幅	t_{SCLH}		3 μ sec + 300	-	-	ns	SCL 入力ローパルス幅	t_{SCLL}		5 μ sec + 300	-	-	ns	SCL, SDA 入力立ち上がり時間	t_r		-	-	300	ns	SCL, SDA 入力立ち下がり時間	t_f		-	-	300	ns	SCL, SDA 入力スライクパルス除去時間 ^{*)}	t_{sp}		-	-	1 μ sec	ns
項 目	記号	測定条件				規格値					単位	参照図																																												
			Min.	Typ.	Max.																																																			
SCL 入力サイクル時間	t_{SCL}		12 μ sec + 600	-	-	ns	27.48																																																	
SCL 入力ハイパルス幅	t_{SCLH}		3 μ sec + 300	-	-	ns																																																		
SCL 入力ローパルス幅	t_{SCLL}		5 μ sec + 300	-	-	ns																																																		
SCL, SDA 入力立ち上がり時間	t_r		-	-	300	ns																																																		
SCL, SDA 入力立ち下がり時間	t_f		-	-	300	ns																																																		
SCL, SDA 入力スライクパルス除去時間 ^{*)}	t_{sp}		-	-	1 μ sec	ns																																																		
27.5 A/D 変換器特性 表 27.19 A/D 変換器特性	27-50	<p>条件を修正</p> <p>条件 : $V_{CC} = PLLV_{CC} = 1.4 \sim 1.6V$、$V_{CCQ} = 3.0 \sim 3.6V$、$AV_{CC} = 4.5 \sim 5.5V$、$AV_{REF} = 4.5V \sim AV_{CC}$、</p>																																																						
27.6 D/A 変換器特性 表 27.20 D/A 変換器特性	27-51	<p>条件を修正</p> <p>条件 : $V_{CC} = PLLV_{CC} = 1.4 \sim 1.6V$、$V_{CCQ} = 3.0 \sim 3.6V$、$AV_{CC} = 4.5 \sim 5.5V$、$AV_{REF} = 4.5V \sim AV_{CC}$</p>																																																						
付録 B. 型名一覧 表 B.1 型名一覧	付録-5	表を差し替え																																																						

索引

【数字 / 記号】	
16 ビット / 32 ビットディスプレイメント	2-10
1 サイクルスキャンモード	17-11
【 A 】	
A/D トリガ入力タイミング	27-46
A/D 変換開始要求ディレイド機能	10-142
A/D 変換器 (ADC)	17-1
A/D 変換器特性	27-50
A/D 変換器の起動	10-157
A/D 変換時間	17-15
A/D 変換精度の定義	17-20
AC 特性	27-6
AC 特性測定条件	27-49
【 C 】	
CMCNT カウントタイミング	13-5
CMCNT の書き込みとコンペアマッチの競合	13-8
CMCNT のバイト書き込みとカウントアップの競合	13-9
CMCNT のワード書き込みとカウントアップの競合	13-8
CPU	2-1
CSn アサート期間拡張	8-52
【 D 】	
D/A 変換器 (DAC)	18-1
D/A 変換器特性	27-51
DC 特性	27-3
DMAC 使用上の制約事項	15-45
DMAC の起動	10-157
DMAC モジュールタイミング	27-41
DMA 転送フローチャート	9-21
DREQ 端子のサンプリングタイミング	9-37
【 F 】	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	15-1
【 H 】	
H-UDI 関連端子のタイミング	27-47
H-UDI コマンド	24-4
H-UDI リセット	24-7
H-UDI 割り込み	6-11, 24-7
【 I 】	
I/O ポート	20-1
I/O ポートタイミング	27-47
I ² C バスインタフェース 3 (IIC3)	16-1
I ² C バスフォーマット	16-16
IIC3 モジュールタイミング	27-45
IRQ 割り込み	6-12
【 M 】	
MCU 拡張モード	3-2
MCU 動作モード	3-1
MPX-I/O インタフェース	8-53
MTU2、MTU2S による A/D 変換器の起動	17-16
MTU2、MTU2S モジュールタイミング	27-42
MTU2 - MTU2S の同期動作	10-146
MTU2S の機能一覧	11-1
MTU2 出力端子の初期化方法	10-185
MTU2 の機能一覧	10-2
MTU2 割り込み要因	10-155
【 N 】	
NMI 割り込み	6-11
【 P 】	
PLL 回路 1	4-3
PLL 回路 2	4-3
PLL 発振回路使用時の注意	4-13
POE2 モジュールタイミング	27-43
POE2 割り込み要因	12-21
【 R 】	
RISC 方式	2-7
【 S 】	
SCBRR の設定値を求める計算式	15-18
SCIF モジュールタイミング	27-44
SCIF 割り込み要因	15-44
SDRAM インタフェース	8-57

【T】	
TAP コントローラ	24-5
TDO 出力タイミング	24-6
T ビット	2-8

【U】	
UBC トリガタイミング	27-41

【W】	
WAVE インタフェース (WAVEIF)	25-1

【あ】	
アクセスウェイト制御	8-50
アクセスサイクル間ウェイト	8-90
アドレスエラー	5-9
アドレスマップ	8-5
アドレスマルチプレクス	8-58
アドレッシングモード	2-11
アナログ電圧の設定	18-6
一般不当命令	5-15
イミディエイトデータ	2-9
イミディエイトデータによる参照	2-9
イミディエイトデータのデータ形式	2-6
インターバルタイマモードの使用法	14-12
ウォッチドッグタイマ (WDT)	14-1
ウォッチドッグタイマタイミング	27-43
ウォッチドッグタイマモードの使用法	14-11
エラープロテクト	21-50
エンディアン	8-43
オートリクエストモード	9-22
オートリフレッシュ	8-74
オフセット誤差	17-20
オンボードプログラミングモード	21-30

【か】	
外形寸法図	付録-6
外部水晶発振子使用時の注意	4-13
外部トリガ入力タイミング	17-16
外部パルス幅測定機能	10-151
外部リクエストモード	9-22
各動作モードにおけるレジスタの状態の一覧	26-38
各動作モードのアドレスマップ	3-3
グローバルベースレジスタ (GBR)	2-3
クロック周波数制御回路	4-3
クロックタイミング	27-6
クロック同期式シリアルフォーマット	16-25
クロック同期式モード時の動作	15-37

クロック動作モード	4-6
クロック動作モードと設定可能な周波数範囲	4-7
クロックパルス発振器 (CPG)	4-1
固定モード	9-25
コントロールレジスタの初期値	2-4
コンペアマッチタイマ (CMT)	13-1

【さ】	
サイクルスチールモード	9-32
サポートできる DMA 転送	9-28
算術演算命令	2-26
システム制御命令	2-31
システムレジスタの初期値	2-4
実効アドレスの計算方法	2-11
シフト命令	2-29
ジャンプテーブルベースレジスタ (TBR)	2-3
周波数変更の手順	14-10
周波数変更方法	4-12
出力付加回路	27-49
乗算 / 積和演算	2-8
シングルアドレスモード	9-31
シングルチップモード	3-2
水晶発振器	4-3
スタックからの復帰	6-28
スタックへの退避	6-28
スタンバイ制御回路	4-3
ステータスレジスタ (SR)	2-2
スリープモード	23-11
スリープ受信動作	16-23
スリープ送信動作	16-21
スロット不当命令	5-15
制御信号タイミング	27-9
整数除算命令	5-15
製品型名	5
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4
絶対アドレス	2-9
絶対アドレスによる参照	2-10
絶対最大定格	27-1
絶対精度	17-20
セルフリフレッシュ	8-75
相補 PWM モード	10-107
ソフトウェアスタンバイモード	23-11
ソフトウェアスタンバイモード 解除の手順 (WDT)	14-10
ソフトウェアスタンバイモード時の D/A 出力保持機能	18-6

ソフトウェアスタンバイモード時の	
レジスタの状態.....	23-12
ソフトウェアプロテクト.....	21-50

【た】

ダイレクトメモリアクセスコントローラ (DMAC)	9-1
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生.....	5-16
調歩同期式モード時の動作	15-29
調歩同期式モードの受信データサンプリング	
タイミングと受信マージン	15-46
通常空間インタフェース	8-46
低消費電力状態.....	2-35
低消費電力モード	23-1
ディスプレイメントによる参照	2-10
通倍率の変更	4-12
データアクセスサイクルでのブレーク	7-23
データアライメント	8-43
データ転送命令.....	2-23
デッドタイム補償用機能	10-152
デュアルアドレスモード	9-29
電気的特性.....	27-1
動作モード変更時の注意事項.....	3-5
トラップ命令	5-14

【な】

内蔵 RAM.....	22-1
内蔵周辺モジュールリクエストモード	9-23
内蔵周辺モジュール割り込み.....	6-12
入力サンプリングと A/D 変換時間.....	17-14
ノイズ除去回路.....	16-28
ノイズ対策上の注意	17-21

【は】

バースト ROM	8-89
バースト ROM インタフェース.....	8-84
バーストモード.....	9-34
ハードウェアプロテクト	21-49
バイト選択付き SRAM インタフェース.....	8-85
バイパスコンデンサについての注意	4-13
バスアービトラージン	8-95
バス権解放状態.....	2-35
バスステートコントローラ (BSC)	8-1
バスタイミング.....	27-12
パッケージ	付録-5
パワーオンリセット	5-7, 23-2

バンクからの復帰.....	6-27
バンクの対象レジスタと入出力方式	6-25
バンクへの退避	6-26
汎用レジスタ	2-1
汎用レジスタの初期値	2-4
非直線性誤差	17-20
ビット操作命令	2-33
ビット同期回路	16-33
ピンファンクションコントローラ (PFC)	19-1
ブートモード	21-30
フラッシュメモリ	21-1
フラッシュメモリ構成	21-6
フラッシュメモリ特性	27-52
フルスケール誤差.....	17-20
ブレークの送り出し	15-46
ブレークの検出と処理	15-45
プログラムカウンタ (PC)	2-4
プログラム実行状態.....	2-35
プロシージャレジスタ (PR)	2-4
分岐命令	2-30
分周器 1	4-3
分周率の変更	4-12
ページ競合.....	22-2
ベクタベースレジスタ (VBR)	2-3
ポート A	20-1
ポート B	20-6
ポート D	20-11
ポート F.....	20-14
ポートアウトプットイネーブル 2 (POE2)	12-1
ボード設計上の注意	17-21
本 LSI の端子状態	付録-1

【ま】

マスタ受信動作	16-19
マスタ送信動作	16-17
マニュアルリセット	5-8, 23-2
マルチファンクション	
タイマパルスユニット 2 (MTU2)	10-1
マルチファンクションタイマパルスユニット 2S	
(MTU2S)	11-1
マルチプレクス端子の一覧表 (ポート A)	19-1
マルチプレクス端子の一覧表 (ポート B)	19-2
マルチプレクス端子の一覧表 (ポート D)	19-4
マルチプレクス端子の一覧表 (ポート F)	19-5
命令形式	2-15
命令セット.....	2-19
命令による例外	5-14

命令の特長.....	2-7
命令フェッチサイクルでのブレイク.....	7-22
メモリのデータ形式.....	2-5
モジュールスタンバイ機能.....	23-15

【や】

ユーザデバッグインタフェース (H-UDI).....	24-1
ユーザブートモード.....	21-44
ユーザブランチ処理時間.....	21-55
ユーザブランチ処理の起動間隔.....	21-55
ユーザブレークコントローラ (UBC).....	7-1
ユーザブレーク割り込み.....	6-11
ユーザプログラムモード.....	21-34
ユーザマット.....	21-7

【ら】

ライトモード.....	21-87
ラウンドロビンモード.....	9-25
リセット状態.....	2-35
リセット同期 PWM モード.....	10-104
量子化誤差.....	17-20
例外処理.....	5-1
例外処理後のスタックの状態.....	5-17
例外処理状態.....	2-35
例外処理ベクタテーブル.....	5-4
例外処理ベクタテーブルアドレスの算出法.....	5-5
例外要因の種類と優先順位.....	5-1
レジスタ	
ACLKCR.....	4-11
ADANSR.....	17-9
ADCR.....	17-5
ADDR0 ~ ADDR7.....	17-10
ADSR.....	17-7
ADSTRGR.....	17-8
BAMR.....	7-5
BAR.....	7-4
BBR.....	7-6
BRCR.....	7-18
CHCR.....	9-9
CMCNT.....	13-4
CMCOR.....	13-4
CMCSR.....	13-3
CMNCR.....	8-8
CMSTR.....	13-2
CSBCR (n = 0 ~ 7).....	8-11
CSWCR (n = 0 ~ 7).....	8-15
DACR.....	18-3

DADR0.....	18-3
DADR1.....	18-3
DAR.....	9-8
DMAOR.....	9-15
DMARS0 ~ DMARS3.....	9-18
DMATCR.....	9-8
DPFR.....	21-20
FCCS.....	21-12
FEBS.....	21-27
FECS.....	21-15
FKEY.....	21-16
FMATS.....	21-17
FMPAR.....	21-24
FMPDR.....	21-25
FPCS.....	21-15
FPEFEQ.....	21-21
FPFR.....	21-23, 21-25, 21-28
FRQCR.....	4-8
FTDAR.....	21-18
FUBRA.....	21-22
IBCR.....	6-9
IBNR.....	6-10
ICCR1.....	16-4
ICCR2.....	16-7
ICDRR.....	16-15
ICDRS.....	16-15
ICDRT.....	16-14
ICIER.....	16-10
ICMR.....	16-8
ICR0.....	6-6
ICR1.....	6-7
ICSR.....	16-12
ICSR1.....	12-4
ICSR2.....	12-8
ICSR3.....	12-11
IFCR.....	19-49
IPR01、IPR02、IPR05 ~ IPR15.....	6-5
IRQRR.....	6-8
MCLKCR.....	4-10
NF2CYC.....	16-15
OCSR1.....	12-7
OCSR2.....	12-10
PACRH1.....	19-12
PACRH2.....	19-10
PACRH3.....	19-9
PACRL1.....	19-19
PACRL2.....	19-17

PACRL3.....	19-15	SCLSR	15-25
PACRL4.....	19-13	SCRSR.....	15-6
PADRH.....	20-2	SCSCR.....	15-10
PADRL.....	20-3	SCSEMR.....	15-26
PAIORH.....	19-8	SCSMR	15-7
PAIORL	19-8	SCSPTR.....	15-23
PAPRH.....	20-4	SCTSR	15-6
PAPRL.....	20-5	SDBPR.....	24-3
PBCRH1.....	19-26	SDCR	8-36
PBCRH2.....	19-25	SDIR.....	24-3
PBCRH3.....	19-23	SPOER.....	12-12
PBCRH4.....	19-22	STBCR	23-4
PBCRL1.....	19-33	STBCR2.....	23-5
PBCRL2.....	19-31	STBCR3.....	23-6
PBCRL3.....	19-30	STBCR4.....	23-7
PBCRL4.....	19-28	SYSCR1.....	23-9
PBDRH.....	20-7	SYSCR2.....	23-10
PBDRL.....	20-8	TADCOBRA_4	10-53
PBIORH.....	19-21	TADCOBRB_4	10-53
PBIORL	19-21	TADCORA_4	10-53
PBPRH.....	20-9	TADCORB_4	10-53
PBPRL.....	20-10	TADCR	10-51
PDCRL1	19-46	TBTER.....	10-73
PDCRL2	19-44	TBTM.....	10-48
PDCRL3	19-39	TCBR.....	10-70
PDCRL4	19-36	TCDR	10-70
PDDR.....	20-12	TCNT.....	10-54
PDIOR	19-35	TCNTCMPCLR	10-37
PDPRL.....	20-13	TCNTS	10-69
PFCRL1.....	19-48	TCR	10-12
PFDR.....	20-15	TCSYSTR	10-58
POECR1	12-14	TDDR	10-69
POECR2.....	12-15	TDER.....	10-74
RDAR	9-14	TGCR	10-68
RDMATCR	9-15	TGR.....	10-54
RSAR.....	9-14	TICCR	10-49
RTCNT	8-41	TIER	10-38
RTCOR.....	8-42	TIOR.....	10-18
RTCSR	8-39	TITCNT.....	10-72
SAR (DMAC)	9-7	TITCR.....	10-71
SAR (IIC3)	16-14	TMDR	10-16
SCBRR.....	15-18	TOCR1	10-62
SCFCR	15-21	TOCR2.....	10-64
SCFDR	15-23	TOER	10-61
SCFRDR.....	15-6	TOLBR	10-67
SCFSR	15-13	TRWER	10-60
SCFTDR.....	15-7	TSR	10-42

TSTR	10-55	レジスタビット一覧	26-15
TSYCR	10-50	連続スキャンモード	17-12
TSYR	10-57	ロードストアアーキテクチャ	2-7
TWCR	10-75	論理演算命令	2-28
WAVECR1	19-50		
WAVECR2	19-50	【わ】	
WRCSR	14-7	ワードデータの符号拡張	2-7
WTCNT	14-4	割り込み応答時間	6-20
WTCSR	14-5	割り込みコントローラ (INTC)	6-1
レジスタアドレス一覧		割り込み優先順位	5-12
(機能モジュールごと、マニュアル章番号順)	26-2	割り込み要因クリアのタイミング	6-32
レジスタのデータ形式	2-5	割り込み要求信号によるデータ転送	6-30
レジスタバンク	2-4, 6-25	割り込み例外処理	5-13
レジスタバンクエラー	5-10	割り込み例外処理終了後のスタックの状態	6-19
レジスタバンクエラー例外処理	5-10, 6-29	割り込み例外ベクタと優先順位	6-14
レジスタバンクの例外	6-29		

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7211グループ

発行年月日 2006年7月28日 Rev.1.00
2009年2月24日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7211 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0338-0300