

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7239 グループ、SH7237 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエンジニアリング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンなどの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH7214 グループ、SH7216 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	SH7214 グループ、 SH7216 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編	R01US0031JJ
アプリケーションノート	応用例参考プログラムなど	ルネサス エレクトロニクスのホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0: コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、

10進数はnnnnで表します。

(例) 2進数: B'11または11

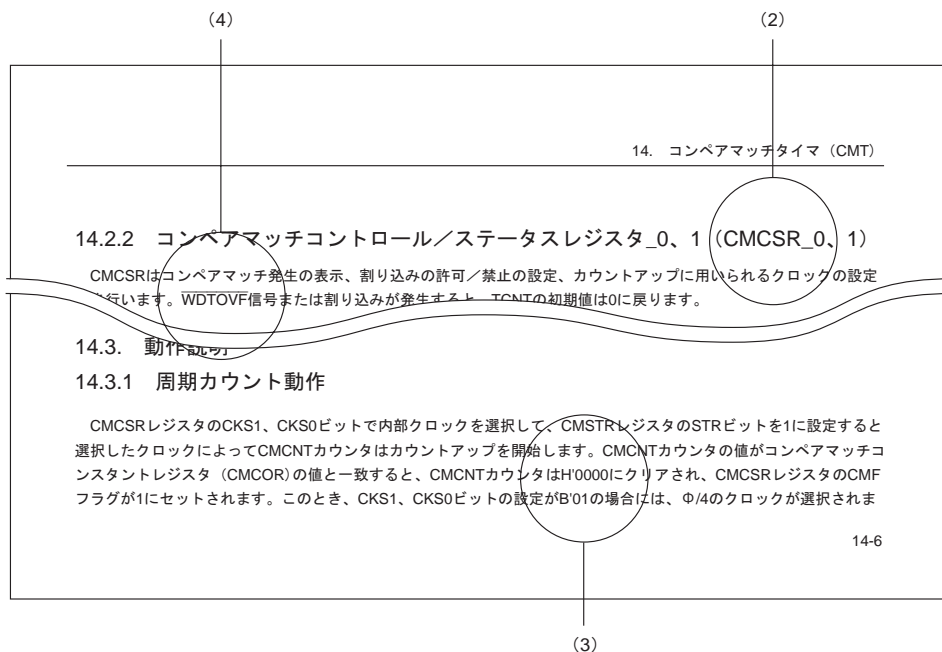
16進数: H'EFA0または0xEFA0

10進数: 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



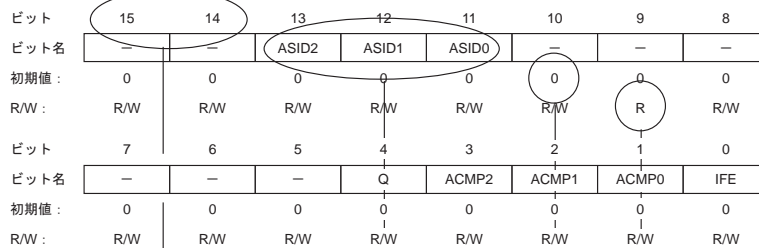
【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

[ビット図]



[ビット表]

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
14	—	0	R	
13~11	ASID2~0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に1が読み出されます。
—	—	0	—	—

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
DTC	Data Transfer Controller	データトランスファコントローラ
INTC	Interrupt Controller	割り込みコントローラ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	特長	1-1
1.2	製品一覧	1-8
1.3	ブロック図	1-9
1.4	ピン配置図	1-10
1.5	端子機能	1-12
2.	CPU	2-1
2.1	データフォーマット	2-1
2.2	レジスタ構成	2-1
2.2.1	汎用レジスタ	2-1
2.2.2	コントロールレジスタ	2-2
2.2.3	システムレジスタ	2-4
2.2.4	浮動小数点レジスタ (SH7239 グループのみ)	2-5
2.2.5	浮動小数点システムレジスタ (SH7239 グループのみ)	2-6
2.2.6	レジスタバンク	2-7
2.2.7	レジスタの初期値	2-8
2.3	データ形式	2-9
2.3.1	レジスタのデータ形式	2-9
2.3.2	メモリのデータ形式	2-9
2.3.3	イミディエイトデータのデータ形式	2-10
2.4	命令の特長	2-11
2.4.1	RISC 方式	2-11
2.4.2	アドレッシングモード	2-15
2.4.3	命令形式	2-19
2.5	命令セット	2-23
2.5.1	分類順命令セット	2-23
2.5.2	データ転送命令	2-28
2.5.3	算術演算命令	2-31
2.5.4	論理演算命令	2-33
2.5.5	シフト命令	2-34
2.5.6	分岐命令	2-35
2.5.7	システム制御命令	2-36
2.5.8	浮動小数点演算命令 (SH7239 グループのみ)	2-37
2.5.9	FPU に関する CPU 命令 (SH7239 グループのみ)	2-39

2.5.10	ビット操作命令	2-39
2.6	処理状態	2-41
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	入出力端子	3-2
3.3	各動作モードの説明	3-2
3.3.1	モード 2 (MCU 拡張モード 2)	3-2
3.3.2	モード 3 (シングルチップモード)	3-2
3.4	アドレスマップ	3-3
3.5	本LSIの初期状態	3-5
3.6	動作モード変更時の注意事項	3-5
4.	クロックパルス発振器 (CPG)	4-1
4.1	特長	4-1
4.2	入出力端子	4-4
4.3	クロック動作モード	4-5
4.4	レジスタの説明	4-8
4.4.1	周波数制御レジスタ (FRQCR)	4-8
4.4.2	MTU クロック周波数制御レジスタ (MCLKCR)	4-10
4.4.3	AD クロック周波数制御レジスタ (ACLKCR)	4-11
4.4.4	発振停止検出制御レジスタ (OSCCR)	4-12
4.5	周波数変更方法	4-13
4.6	発振器	4-14
4.6.1	水晶発振子を接続する方法	4-14
4.6.2	外部クロックを入力する方法	4-15
4.7	発振停止検出機能	4-16
4.8	ボード設計上の注意事項	4-17
4.8.1	外部水晶発振子使用時の注意	4-17
5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-3
5.1.3	例外処理ベクタテーブル	5-5
5.2	リセット	5-7
5.2.1	リセットの種類	5-7
5.2.2	パワーオンリセット	5-8
5.2.3	マニュアルリセット	5-9
5.3	アドレスエラー	5-10
5.3.1	アドレスエラー発生要因	5-10

5.3.2	アドレスエラー例外処理.....	5-11
5.4	レジスタバンクエラー.....	5-12
5.4.1	レジスタバンクエラー発生要因.....	5-12
5.4.2	レジスタバンクエラー例外処理.....	5-12
5.5	割り込み.....	5-13
5.5.1	割り込み要因.....	5-13
5.5.2	割り込み優先順位.....	5-14
5.5.3	割り込み例外処理.....	5-15
5.6	命令による例外.....	5-16
5.6.1	命令による例外の種類.....	5-16
5.6.2	トラップ命令.....	5-16
5.6.3	スロット不当命令.....	5-17
5.6.4	一般不当命令.....	5-17
5.6.5	整数除算命令.....	5-17
5.6.6	浮動小数点演算命令 (SH7239 グループのみ).....	5-18
5.7	例外処理が受け付けられない場合.....	5-19
5.8	例外処理後のスタックの状態.....	5-20
5.9	使用上の注意事項.....	5-21
5.9.1	スタックポインタ (SP) の値.....	5-21
5.9.2	ベクタベースレジスタ (VBR) の値.....	5-21
5.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー.....	5-21
5.9.4	CPU のステータスレジスタ (SR) の割り込みマスクレベル (IMASK) 変更時の注意事項.....	5-21
6.	割り込みコントローラ (INTC).....	6-1
6.1	特長.....	6-1
6.2	入出力端子.....	6-3
6.3	レジスタの説明.....	6-4
6.3.1	割り込み優先レベル設定レジスタ 01、02、05~18 (IPR01、IPR02、IPR05~IPR18).....	6-5
6.3.2	割り込みコントロールレジスタ 0 (ICR0).....	6-6
6.3.3	割り込みコントロールレジスタ 1 (ICR1).....	6-7
6.3.4	IRQ 割り込み要求レジスタ (IRQRR).....	6-8
6.3.5	バンクコントロールレジスタ (IBCR).....	6-9
6.3.6	バンク番号レジスタ (IBNR).....	6-10
6.4	割り込み要因.....	6-11
6.4.1	NMI 割り込み.....	6-11
6.4.2	ユーザブレイク割り込み.....	6-11
6.4.3	H-UDI 割り込み.....	6-11
6.4.4	IRQ 割り込み.....	6-11
6.4.5	メモリエラー割り込み.....	6-12
6.4.6	内蔵周辺モジュール割り込み.....	6-12
6.5	割り込み例外処理ベクタテーブルと優先順位.....	6-13

6.6	動作説明	6-17
6.6.1	割り込み動作の流れ	6-17
6.6.2	割り込み例外処理終了後のスタックの状態	6-19
6.7	割り込み応答時間	6-20
6.8	レジスタバンク	6-25
6.8.1	バンクの対象レジスタと入出力方式	6-25
6.8.2	バンク退避、復帰の動作	6-26
6.8.3	すべてのバンクに退避が行われた状態での退避、復帰	6-28
6.8.4	レジスタバンクの例外	6-29
6.8.5	レジスタバンクエラー例外処理	6-29
6.9	割り込み要求	6-30
6.9.1	割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の 起動要因としない場 合	6-31
6.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない 場合	6-32
6.9.3	割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、DMAC の 起動要因としない場 合	6-32
6.9.4	割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、DMAC 起動要因としない場合	6-32
6.10	使用上の注意事項	6-33
6.10.1	割り込み要因クリアのタイミング	6-33
6.10.2	NMI を使用しない場合	6-33
6.10.3	IRQOUT のネゲートタイミング	6-33
6.10.4	IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項	6-33
7.	ユーザブレイクコントローラ (UBC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	ブレイクアドレスレジスタ_0 (BAR_0)	7-4
7.3.2	ブレイクアドレスマスクレジスタ_0 (BAMR_0)	7-5
7.3.3	ブレイクバスサイクルレジスタ_0 (BBR_0)	7-6
7.3.4	ブレイクアドレスレジスタ_1 (BAR_1)	7-8
7.3.5	ブレイクアドレスマスクレジスタ_1 (BAMR_1)	7-9
7.3.6	ブレイクバスサイクルレジスタ_1 (BBR_1)	7-10
7.3.7	ブレイクアドレスレジスタ_2 (BAR_2)	7-12
7.3.8	ブレイクアドレスマスクレジスタ_2 (BAMR_2)	7-13
7.3.9	ブレイクバスサイクルレジスタ_2 (BBR_2)	7-13
7.3.10	ブレイクアドレスレジスタ_3 (BAR_3)	7-15
7.3.11	ブレイクアドレスマスクレジスタ_3 (BAMR_3)	7-16
7.3.12	ブレイクバスサイクルレジスタ_3 (BBR_3)	7-16
7.3.13	ブレイクコントロールレジスタ (BRCR)	7-18

7.4	動作説明	7-21
7.4.1	ユーザブ레이크動作の流れ	7-21
7.4.2	命令フェッチサイクルでのブ레이크	7-22
7.4.3	データアクセスサイクルでのブ레이크	7-23
7.4.4	退避されるプログラムカウンタの値	7-24
7.4.5	使用例	7-24
7.5	割り込み要因	7-27
7.6	使用上の注意事項	7-28
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-4
8.2.2	DTC モードレジスタ B (MRB)	8-5
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-6
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-6
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-7
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-7
8.2.7	DTC イネーブルレジスタ A~E (DTCERA~DTCERE)	8-7
8.2.8	DTC コントロールレジスタ (DTCCR)	8-9
8.2.9	DTC ベクタベースレジスタ (DTCVBR)	8-10
8.2.10	バス機能拡張レジスタ (BSCEHR)	8-10
8.3	起動要因	8-10
8.4	転送情報の配置とDTCベクタテーブル	8-11
8.5	動作説明	8-15
8.5.1	転送情報リードスキップ機能	8-19
8.5.2	転送情報ライトバックスキップ機能	8-19
8.5.3	ノーマル転送モード	8-20
8.5.4	リピート転送モード	8-21
8.5.5	ブロック転送モード	8-22
8.5.6	チェイン転送	8-23
8.5.7	動作タイミング	8-24
8.5.8	DTC の実行ステート	8-27
8.5.9	DTC のバス権解放タイミング	8-29
8.5.10	DTC 起動の優先順位	8-31
8.6	割り込みによるDTCの起動	8-32
8.7	DTC使用例	8-33
8.7.1	ノーマル転送	8-33
8.7.2	カウンタ=0 のときのチェイン転送	8-33
8.8	割り込み要因	8-34
8.9	使用上の注意事項	8-35

8.9.1	モジュールスタンバイモードの設定	8-35
8.9.2	内蔵 RAM	8-35
8.9.3	DTCE ビットの設定	8-35
8.9.4	チェイン転送	8-35
8.9.5	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス	8-35
8.9.6	DTC による DTC レジスタのアクセス	8-35
8.9.7	IRQ 割り込みを DTC 転送要因にした場合の注意事項	8-35
8.9.8	SCI および SCIF を DTC 起動要因とする場合の注意事項	8-36
8.9.9	割り込み要因フラグのクリア	8-36
8.9.10	NMI 割り込みと DTC 起動の競合	8-36
8.9.11	DTC 起動要求が途中で取り下げられた場合の動作	8-36
8.9.12	DTCER の書き込み時の注意事項	8-36
9.	バスステートコントローラ (BSC) (SH7239A、SH7237A のみ)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	エリアの概要	9-4
9.3.1	アドレスマップ	9-4
9.3.2	動作モードの設定	9-4
9.4	レジスタの説明	9-5
9.4.1	共通コントロールレジスタ (CMNCR)	9-6
9.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、1、3~6)	9-8
9.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、1、3~6)	9-12
9.4.4	バス機能拡張レジスタ (BSCEHR)	9-23
9.5	動作説明	9-25
9.5.1	エンディアン/アクセスサイズとデータアライメント	9-25
9.5.2	通常空間インタフェース	9-28
9.5.3	アクセスウェイト制御	9-32
9.5.4	CSn アサート期間拡張	9-34
9.5.5	MPX-I/O インタフェース	9-35
9.5.6	アクセスサイクル間アイドル	9-40
9.5.7	バスアービトラージ	9-45
9.5.8	その他	9-47
9.6	使用上の注意事項	9-52
9.6.1	SRAM と ASIC 等外付け LSI を接続する場合の注意事項	9-52
10.	ダイレクトメモリアクセスコントローラ (DMAC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-4
10.3.1	DMA ソースアドレスレジスタ (SAR)	10-7

10.3.2	DMA デスティネーションアドレスレジスタ (DAR)	10-8
10.3.3	DMA トランスファカウンタレジスタ (DMATCR)	10-8
10.3.4	DMA チャネルコントロールレジスタ (CHCR)	10-9
10.3.5	DMA リロードソースアドレスレジスタ (RSAR)	10-15
10.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	10-15
10.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR)	10-16
10.3.8	DMA オペレーションレジスタ (DMAOR)	10-16
10.3.9	DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)	10-19
10.4	動作説明	10-21
10.4.1	転送フロー	10-21
10.4.2	DMA 転送要求	10-23
10.4.3	チャンネルの優先順位	10-26
10.4.4	DMA 転送の種類	10-29
10.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	10-38
10.5	割り込み要因	10-41
10.5.1	割り込み要因と優先順位	10-41
10.6	使用上の注意事項	10-42
10.6.1	ハーフエンドフラグのセットおよびハーフエンド割り込み	10-42
10.6.2	DACK 出力および TEND 出力のタイミング	10-42
10.6.3	CHCR の設定	10-42
10.6.4	複数チャンネルの起動時の注意事項	10-42
10.6.5	転送要求入力時の注意事項	10-42
10.6.6	NMI 割り込みと DMAC 起動の競合	10-42
10.6.7	DMAC からの内蔵 RAM アクセスサイクル数	10-43
11.	マルチファンクションタイマパルスユニット 2 (MTU2)	11-1
11.1	特長	11-1
11.2	入出力端子	11-6
11.3	レジスタの説明	11-8
11.3.1	タイマコントロールレジスタ (TCR)	11-11
11.3.2	タイマモードレジスタ (TMDR)	11-15
11.3.3	タイマ I/O コントロールレジスタ (TIOR)	11-17
11.3.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	11-36
11.3.5	タイマインタラプトイネーブルレジスタ (TIER)	11-37
11.3.6	タイマステータスレジスタ (TSR)	11-40
11.3.7	タイマバッファ動作転送モードレジスタ (TBTM)	11-45
11.3.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	11-46
11.3.9	タイマシンクロクリアレジスタ S (TSYCRS)	11-47
11.3.10	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	11-48
11.3.11	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	11-50
11.3.12	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	11-50

11.3.13	タイマカウンタ (TCNT)	11-51
11.3.14	タイマジェネラルレジスタ (TGR)	11-51
11.3.15	タイマスタートレジスタ (TSTR)	11-52
11.3.16	タイマシンクロレジスタ (TSYR)	11-54
11.3.17	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	11-55
11.3.18	タイマリードライトイネーブルレジスタ (TRWER)	11-57
11.3.19	タイマアウトプットマスタイネーブルレジスタ (TOER)	11-58
11.3.20	タイマアウトプットコントロールレジスタ 1 (TOCR1)	11-59
11.3.21	タイマアウトプットコントロールレジスタ 2 (TOCR2)	11-61
11.3.22	タイマアウトプットレベルバッファレジスタ (TOLBR)	11-64
11.3.23	タイマゲートコントロールレジスタ (TGCR)	11-65
11.3.24	タイマサブカウンタ (TCNTS)	11-66
11.3.25	タイマデッドタイムデータレジスタ (TDDR)	11-66
11.3.26	タイマ周期データレジスタ (TCDR)	11-67
11.3.27	タイマ周期バッファレジスタ (TCBR)	11-67
11.3.28	タイマ割り込み間引き設定レジスタ (TITCR)	11-68
11.3.29	タイマ割り込み間引き回数カウンタ (TITCNT)	11-69
11.3.30	タイマバッファ転送設定レジスタ (TBTER)	11-70
11.3.31	タイマデッドタイムイネーブルレジスタ (TDER)	11-71
11.3.32	タイマ波形コントロールレジスタ (TWCR)	11-72
11.3.33	バスマスタとのインタフェース.....	11-73
11.4	動作説明.....	11-74
11.4.1	基本動作.....	11-74
11.4.2	同期動作.....	11-80
11.4.3	バッファ動作.....	11-82
11.4.4	カスケード接続動作.....	11-86
11.4.5	PWM モード.....	11-90
11.4.6	位相計数モード.....	11-95
11.4.7	リセット同期 PWM モード.....	11-101
11.4.8	相補 PWM モード.....	11-104
11.4.9	A/D 変換開始要求ディレイド機能.....	11-141
11.4.10	MTU2-MTU2S の同期動作.....	11-145
11.4.11	外部パルス幅測定機能.....	11-148
11.4.12	デッドタイム補償用機能.....	11-149
11.4.13	相補 PWM の「山/谷」での TCNT キャプチャ動作.....	11-151
11.5	割り込み要因.....	11-152
11.5.1	割込要因と優先順位.....	11-152
11.5.2	DTC/DMAC の起動.....	11-154
11.5.3	A/D 変換器の起動.....	11-154
11.6	動作タイミング.....	11-156
11.6.1	入出力タイミング.....	11-156

11.6.2	割り込み信号タイミング.....	11-163
11.7	使用上の注意事項.....	11-169
11.7.1	モジュールスタンバイモードの設定.....	11-169
11.7.2	入力クロックの制限事項.....	11-169
11.7.3	周期設定上の注意事項.....	11-169
11.7.4	TCNT のライトとクリアの競合.....	11-170
11.7.5	TCNT のライトとカウントアップの競合.....	11-170
11.7.6	TGR のライトとコンペアマッチの競合.....	11-171
11.7.7	バッファレジスタのライトとコンペアマッチの競合.....	11-172
11.7.8	バッファレジスタのライトと TCNT クリアの競合.....	11-173
11.7.9	TGR のリードとインプットキャプチャの競合.....	11-174
11.7.10	TGR のライトとインプットキャプチャの競合.....	11-175
11.7.11	バッファレジスタのライトとインプットキャプチャの競合.....	11-176
11.7.12	カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合.....	11-176
11.7.13	相補 PWM モード停止時のカウンタ値.....	11-178
11.7.14	相補 PWM モードでのバッファ動作の設定.....	11-178
11.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....	11-179
11.7.16	リセット同期 PWM モードのオーバフローフラグ.....	11-180
11.7.17	オーバフロー／アンダフローとカウンタクリアの競合.....	11-181
11.7.18	TCNT のライトとオーバフロー／アンダフローの競合.....	11-181
11.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項.....	11-182
11.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル.....	11-182
11.7.21	モジュールスタンバイ時の割り込み.....	11-182
11.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ.....	11-182
11.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項.....	11-183
11.8	MTU2出力端子の初期化方法.....	11-185
11.8.1	動作モード.....	11-185
11.8.2	リセットスタート時の動作.....	11-185
11.8.3	動作中の異常などによる再設定時の動作.....	11-186
11.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要.....	11-186
12.	マルチファンクションタイムパルスユニット 2S (MTU2S).....	12-1
12.1	入出力端子.....	12-3
12.2	レジスタの説明.....	12-4
13.	ポートアウトプットイネーブル 2 (POE2).....	13-1
13.1	特長.....	13-1
13.2	入出力端子.....	13-3
13.3	レジスタの説明.....	13-4
13.3.1	入力レベルコントロール／ステータスレジスタ 1 (ICSR1).....	13-5
13.3.2	出力レベルコントロール／ステータスレジスタ 1 (OCSR1).....	13-7

13.3.3	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	13-8
13.3.4	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	13-10
13.3.5	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	13-11
13.3.6	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	13-12
13.3.7	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	13-13
13.3.8	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	13-15
13.3.9	ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)	13-18
13.4	動作説明	13-20
13.4.1	入力レベル検出動作	13-21
13.4.2	出力レベル比較動作	13-22
13.4.3	ハイインピーダンス状態からの解除	13-23
13.5	割り込み	13-24
13.6	使用上の注意事項	13-25
13.6.1	ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態	13-25
13.6.2	入力端子について	13-25
14.	コンペアマッチタイマ (CMT)	14-1
14.1	特長	14-1
14.2	レジスタの説明	14-2
14.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	14-2
14.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	14-3
14.2.3	コンペアマッチカウンタ (CMCNT)	14-4
14.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	14-4
14.3	動作説明	14-5
14.3.1	期間カウント動作	14-5
14.3.2	CMCNT カウントタイミング	14-5
14.4	割り込み	14-6
14.4.1	割り込み要因と DTC/DMAC 転送要求	14-6
14.4.2	コンペアマッチフラグのセットタイミング	14-7
14.4.3	コンペアマッチフラグのクリアタイミング	14-7
14.5	使用上の注意事項	14-8
14.5.1	CMCNT の書き込みとコンペアマッチの競合	14-8
14.5.2	CMCNT のワード書き込みとカウントアップの競合	14-8
14.5.3	CMCNT のバイト書き込みとカウントアップの競合	14-9
14.5.4	CMCNT と CMCOR のコンペアマッチ	14-9
15.	ウォッチドッグタイマ (WDT)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	ウォッチドッグタイマカウンタ (WTCNT)	15-4

15.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	15-5
15.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	15-7
15.3.4	レジスタアクセス時の注意.....	15-8
15.4	WDTの使用法.....	15-10
15.4.1	ソフトウェアスタンバイモード解除の手順	15-10
15.4.2	ウォッチドッグタイマモードの使用法	15-11
15.4.3	インターバルタイマモードの使用法	15-13
15.5	割り込み要因.....	15-14
15.6	使用上の注意事項.....	15-15
15.6.1	タイマ誤差.....	15-15
15.6.2	WTCNT の設定値として H'FF は設定禁止	15-15
15.6.3	インターバルタイマオーバフローフラグ	15-15
15.6.4	WDTOVF 信号によるシステムリセット	15-15
15.6.5	ウォッチドッグタイマモードのマニュアルリセット	15-16
15.6.6	WDTOVF 信号の接続について	15-16
16.	シリアルコミュニケーションインタフェース (SCI)	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-4
16.3	レジスタの説明.....	16-5
16.3.1	レシーブシフトレジスタ (SCRSR)	16-6
16.3.2	レシーブデータレジスタ (SCRDR)	16-6
16.3.3	トランスミットシフトレジスタ (SCTSR)	16-6
16.3.4	トランスミットデータレジスタ (SCTDR)	16-7
16.3.5	シリアルモードレジスタ (SCSMR)	16-7
16.3.6	シリアルコントロールレジスタ (SCSCR)	16-9
16.3.7	シリアルステータスレジスタ (SCSSR)	16-12
16.3.8	シリアルポートレジスタ (SCSPTR)	16-16
16.3.9	シリアルディレクションコントロールレジスタ (SCSDCR)	16-17
16.3.10	ビットレートレジスタ (SCBRR)	16-18
16.3.11	サンプリングモードレジスタ (SPMR)	16-27
16.4	動作説明.....	16-28
16.4.1	概要.....	16-28
16.4.2	調歩同期式モード時の動作.....	16-30
16.4.3	クロック同期式モード時の動作.....	16-39
16.4.4	マルチプロセッサ通信機能.....	16-48
16.4.5	マルチプロセッサシリアルデータ送信	16-49
16.4.6	マルチプロセッサシリアルデータ受信	16-50
16.5	SCIの割り込み要因とDTC.....	16-53
16.6	シリアルポートレジスタ (SCSPTR) とSCI端子との関係.....	16-54
16.7	使用上の注意事項.....	16-55

16.7.1	SCTDR への書き込みと TDRE フラグの関係について	16-55
16.7.2	複数の受信エラーが同時に発生した場合の動作について	16-55
16.7.3	ブレークの検出と処理について.....	16-56
16.7.4	ブレークの送り出し.....	16-56
16.7.5	調歩同期式モードの受信データサンプリングタイミングと受信マージン	16-56
16.7.6	DTC 使用上の注意事項.....	16-57
16.7.7	クロック同期外部クロックモード時の注意事項	16-58
16.7.8	モジュールスタンバイモードの設定	16-58
16.7.9	RE ビットをセットする際の RXD 端子の状態についての注意事項	16-58
16.7.10	割り込みフラグのクリアについての注意事項	16-58
17.	FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-3
17.3.1	レシーブシフトレジスタ (SCRSR)	17-4
17.3.2	レシーブ FIFO データレジスタ (SCFRDR)	17-4
17.3.3	トランスミットシフトレジスタ (SCTSR)	17-4
17.3.4	トランスミット FIFO データレジスタ (SCFTDR)	17-5
17.3.5	シリアルモードレジスタ (SCSMR)	17-5
17.3.6	シリアルコントロールレジスタ (SCSCR)	17-8
17.3.7	シリアルステータスレジスタ (SCFSR)	17-11
17.3.8	ビットレートレジスタ (SCBRR)	17-16
17.3.9	FIFO コントロールレジスタ (SCFCR)	17-25
17.3.10	FIFO データ数レジスタ (SCFDR)	17-27
17.3.11	シリアルポートレジスタ (SCSPTR)	17-28
17.3.12	ラインステータスレジスタ (SCLSR)	17-29
17.3.13	シリアル拡張モードレジスタ (SCSEMR)	17-30
17.4	動作説明	17-31
17.4.1	概要.....	17-31
17.4.2	調歩同期式モード時の動作.....	17-33
17.4.3	クロック同期式モード時の動作.....	17-41
17.5	SCIFの割り込み.....	17-48
17.6	使用上の注意事項.....	17-49
17.6.1	SCFTDR への書き込みと TDFE フラグ	17-49
17.6.2	SCFRDR の読み出しと RDF フラグ	17-49
17.6.3	DMAC/DTC 使用上の制約事項	17-49
17.6.4	ブレークの検出と処理.....	17-49
17.6.5	ブレークの送り出し.....	17-50
17.6.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	17-50
17.6.7	シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて.....	17-51

18.	ルネサスシリアルペリフェラルインタフェース (RSPI)	18-1
18.1	特長	18-1
18.1.1	内部ブロック図	18-3
18.2	入出力端子	18-4
18.3	レジスタの説明	18-5
18.3.1	RSPI 制御レジスタ (SPCR)	18-6
18.3.2	RSPI スレーブセレクト極性レジスタ (SSLP)	18-8
18.3.3	RSPI 端子制御レジスタ (SPPCR)	18-9
18.3.4	RSPI ステータスレジスタ (SPSR)	18-10
18.3.5	RSPI データレジスタ (SPDR)	18-13
18.3.6	RSPI シーケンス制御レジスタ (SPSCR)	18-14
18.3.7	RSPI シーケンスステータスレジスタ (SPSSR)	18-15
18.3.8	RSPI ビットレートレジスタ (SPBR)	18-16
18.3.9	RSPI データコントロールレジスタ (SPDCR)	18-17
18.3.10	RSPCK 遅延レジスタ (SPCKD)	18-20
18.3.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	18-21
18.3.12	RSPI 次アクセス遅延レジスタ (SPND)	18-22
18.3.13	RSPI コマンドレジスタ (SPCMD)	18-23
18.4	動作説明	18-26
18.4.1	RSPI 動作の概要	18-26
18.4.2	RSPI 端子の制御	18-27
18.4.3	RSPI システム構成例	18-29
18.4.4	転送フォーマット	18-35
18.4.5	データフォーマット	18-37
18.4.6	送信バッファエンプティ/受信バッファフルフラグ	18-41
18.4.7	エラー検出	18-43
18.4.8	RSPI の初期化	18-46
18.4.9	SPI 動作	18-47
18.4.10	クロック同期式動作	18-58
18.4.11	エラー処理	18-65
18.4.12	ループバックモード	18-67
18.4.13	割り込み要求	18-68
18.5	使用上の注意	18-69
18.5.1	DTC ブロック転送	18-69
18.5.2	DMAC バースト転送	18-69
18.5.3	受信データ読み出し	18-69
18.5.4	DTC/DMAC とモードフォルトエラーについて	18-69
18.5.5	出力をオープンドレインとして使用する場合	18-69
18.5.6	スレーブモード時に端子を使用しない場合	18-69

19.	A/D 変換器 (ADC)	19-1
19.1	特長	19-1
19.2	入出力端子	19-4
19.3	レジスタの説明	19-5
19.3.1	A/D コントロールレジスタ (ADCR_0~ADCR_2)	19-7
19.3.2	A/D ステータスレジスタ (ADSR_0~ADSR_2)	19-9
19.3.3	A/D 開始トリガ選択レジスタ (ADSTRGR_0~ADSTRGR_2)	19-10
19.3.4	A/D アナログ入力チャンネル選択レジスタ (ADANSR_0~ADANSR_2)	19-11
19.3.5	A/D バイパスコントロールレジスタ (ADBYPSR_0~ADBYPSR_2)	19-12
19.3.6	A/D データレジスタ 0~15 (ADDR0~ADDR15)	19-13
19.3.7	A/D トリガセレクトレジスタ (ADTSR_0~ADTSR_2)	19-14
19.3.8	A/D グループ 0 データ 0 レジスタ (ADDR0GR0_0~ADDR0GR0_2)	19-17
19.3.9	A/D グループ 1 データ 2 レジスタ (ADDR2GR1_0~ADDR2GR1_2)	19-17
19.4	動作説明	19-18
19.4.1	1 サイクルスキャンモード	19-19
19.4.2	連続スキャンモード	19-22
19.4.3	2 チャンネルスキャンモード	19-25
19.4.4	入力サンプリングと A/D 変換時間	19-28
19.4.5	MTU2、MTU2S による A/D 変換器の起動	19-30
19.4.6	外部トリガ入力タイミング	19-30
19.4.7	ADDR レジスタのオートクリア機能の使用例	19-31
19.4.8	A/D 変換同期化機能	19-33
19.5	割り込み要因とDMAC、DTC転送要求	19-43
19.6	A/D変換精度の定義	19-44
19.7	使用上の注意事項	19-45
19.7.1	アナログ入力電圧の設定範囲	19-45
19.7.2	AVCC、AVSS と VCC、VSS の関係	19-45
19.7.3	AVREF 端子の設定範囲	19-45
19.7.4	ボード設計上の注意	19-45
19.7.5	ノイズ対策上の注意	19-45
19.7.6	レジスタ設定時の注意	19-46
19.7.7	許容信号源インピーダンスについて	19-46
19.7.8	絶対精度への影響	19-46
19.7.9	2 つ以上の A/D モジュールを同時に動作させるときの注意	19-47
20.	コントローラエリアネットワーク (RCAN-ET)	20-1
20.1	特長	20-1
20.2	構成	20-2
20.2.1	ブロック図	20-2
20.2.2	各ブロックの機能	20-3

20.2.3	端子構成	20-4
20.2.4	メモリマップ	20-5
20.3	メールボックス	20-6
20.3.1	メールボックスの構成	20-6
20.3.2	メッセージコントロールフィールド	20-8
20.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	20-13
20.3.4	メッセージデータフィールド	20-14
20.4	RCAN-ETのコントロールレジスタ	20-14
20.4.1	マスタコントロールレジスタ (MCR)	20-14
20.4.2	ジェネラルステータスレジスタ (GSR)	20-20
20.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	20-22
20.4.4	インタラプトリクエストレジスタ (IRR)	20-26
20.4.5	インタラプトマスクレジスタ (IMR)	20-31
20.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	20-31
20.5	RCAN-ETのメールボックスレジスタ	20-32
20.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	20-33
20.5.2	送信キャンセルレジスタ 0 (TXCR0)	20-36
20.5.3	送信アクノリッジレジスタ 0 (TXACK0)	20-37
20.5.4	アポータクノリッジレジスタ 0 (ABACK0)	20-38
20.5.5	データフレーム受信完了レジスタ 0 (RXPR0)	20-39
20.5.6	リモートフレーム受信完了レジスタ 0 (RFPR0)	20-40
20.5.7	メールボックスインタラプトマスクレジスタ 0 (MBIMR0)	20-41
20.5.8	未読メッセージステータスレジスタ 0 (UMSR0)	20-42
20.6	動作説明	20-43
20.6.1	RCAN-ET の設定	20-43
20.6.2	テストモードの設定	20-48
20.6.3	メッセージ送信シーケンス	20-50
20.6.4	メッセージ受信シーケンス	20-52
20.6.5	メールボックスの再設定	20-54
20.7	割り込み要因	20-56
20.8	DTCインタフェース	20-57
20.9	DMACインタフェース	20-58
20.10	CANバスインタフェース	20-59
20.11	使用上の注意事項	20-60
20.11.1	モジュールスタンバイモード	20-60
20.11.2	リセット	20-60
20.11.3	CAN スリープモード	20-60
20.11.4	レジスタアクセス	20-60
20.11.5	割り込み	20-60

21. ピンファンクションコントローラ (PFC)	21-1
21.1 レジスタの説明	21-11
21.1.1 ポート A・IO レジスタ H、L (PAIORH、PAIORL)	21-13
21.1.2 ポート A コントロールレジスタ H1、L1~L4 (PACRH1、PACRL1~PACRL4)	21-13
21.1.3 ポート A プルアップ MOS コントロールレジスタ H、L (PAPCRH、PAPCRL)	21-19
21.1.4 ポート B・IO レジスタ H、L (PBIORH、PBIORL)	21-20
21.1.5 ポート B コントロールレジスタ H1、H2、L1、L2 (PBCRH1、PBCRH2、PBCRL1、PBCRL2)	21-20
21.1.6 ポート B プルアップ MOS コントロールレジスタ H、L (PBPCRH、PBPCRL)	21-27
21.1.7 ポート C・IO レジスタ L (PCIORL)	21-28
21.1.8 ポート C コントロールレジスタ L1~L4 (PCCRL1~PCCRL4)	21-28
21.1.9 ポート C プルアップ MOS コントロールレジスタ L (PCPCRL)	21-34
21.1.10 ポート D・IO レジスタ L (PDIORL)	21-35
21.1.11 ポート D コントロールレジスタ L1~L4 (PDCRL1~PDCRL4)	21-35
21.1.12 ポート D プルアップ MOS コントロールレジスタ L (PDPCRL)	21-41
21.1.13 ポート E・IO レジスタ L (PEIORL)	21-42
21.1.14 ポート E コントロールレジスタ L1~L4 (PECRL1~PECRL4)	21-42
21.1.15 ポート E プルアップ MOS コントロールレジスタ L (PEPCRL)	21-48
21.1.16 大電流ポートコントロールレジスタ (HCPCR)	21-49
21.1.17 DACK 出力タイミングコントロールレジスタ (PDACKCR)	21-50
21.2 端子機能によるプルアップMOS制御	21-53
21.3 使用上の注意事項	21-55
22. I/O ポート	22-1
22.1 ポート A	22-2
22.1.1 レジスタの説明	22-2
22.1.2 ポート A データレジスタ H、L (PADRH、PADRL)	22-3
22.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)	22-5
22.2 ポート B	22-6
22.2.1 レジスタの説明	22-6
22.2.2 ポート B データレジスタ H、L (PBDRH、PBDRL)	22-7
22.2.3 ポート B ポートレジスタ H、L (PBPRH、PBPRL)	22-8
22.3 ポート C	22-10
22.3.1 レジスタの説明	22-10
22.3.2 ポート C データレジスタ L (PCDRL)	22-11
22.3.3 ポート C ポートレジスタ L (PCPRL)	22-12
22.4 ポート D	22-13
22.4.1 レジスタの説明	22-13
22.4.2 ポート D データレジスタ L (PDDRL)	22-14
22.4.3 ポート D ポートレジスタ L (PDPRL)	22-15

22.5	ポートE.....	22-16
22.5.1	レジスタの説明.....	22-16
22.5.2	ポートEデータレジスタL (PEDRL)	22-17
22.5.3	ポートEポートレジスタL (PEPRL)	22-18
22.6	ポートF.....	22-19
22.6.1	レジスタの説明.....	22-19
22.6.2	ポートFデータレジスタL (PFDRL)	22-20
22.7	使用上の注意事項.....	22-21
22.7.1	未使用端子の処理について.....	22-21
23.	フラッシュメモリ (ROM)	23-1
23.1	特長.....	23-1
23.2	入出力端子.....	23-4
23.3	レジスタの説明.....	23-5
23.3.1	フラッシュ端子モニタレジスタ (FPMON)	23-6
23.3.2	フラッシュモードレジスタ (FMODR)	23-7
23.3.3	フラッシュアクセスステータスレジスタ (FASTAT)	23-8
23.3.4	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	23-10
23.3.5	ROM マット選択レジスタ (ROMMAT)	23-11
23.3.6	FCU RAM イネーブルレジスタ (FCURAME)	23-12
23.3.7	フラッシュステータスレジスタ 0 (FSTATR0)	23-13
23.3.8	フラッシュステータスレジスタ 1 (FSTATR1)	23-15
23.3.9	フラッシュ P/E モードエントリレジスタ (FENTRYR)	23-17
23.3.10	フラッシュプロテクトレジスタ (FPROTR)	23-19
23.3.11	フラッシュリセットレジスタ (FRESETR)	23-20
23.3.12	FCU コマンドレジスタ (FCMDR)	23-21
23.3.13	FCU 処理切り替えレジスタ (FCPSR)	23-22
23.3.14	フラッシュ P/E ステータスレジスタ (FPESTAT)	23-23
23.3.15	ROM キャッシュ制御レジスタ (RCCR)	23-24
23.3.16	周辺クロック通知レジスタ (PCKAR)	23-25
23.4	ROM関連モード概要.....	23-26
23.5	ブートモード.....	23-28
23.5.1	システム構成.....	23-28
23.5.2	ブートモードの状態遷移.....	23-29
23.5.3	ビットレートの自動調整.....	23-31
23.5.4	問い合わせ設定ホストコマンド待ち状態.....	23-32
23.5.5	書き込み/消去ホストコマンド待ち状態.....	23-44
23.6	ユーザプログラムモード.....	23-53
23.6.1	FCU コマンド一覧.....	23-53
23.6.2	FCU コマンド受け付け条件.....	23-55
23.6.3	FCU コマンド使用方法.....	23-59

23.6.4	サスペンド動作	23-77
23.7	ユーザブートモード	23-80
23.7.1	ユーザブートモードの起動シーケンス	23-80
23.7.2	ユーザマットのプログラミング方法	23-81
23.8	ライターモード	23-82
23.9	プロテクト	23-82
23.9.1	ハードウェアプロテクト	23-82
23.9.2	ソフトウェアプロテクト	23-83
23.9.3	エラープロテクト	23-83
23.10	使用上の注意事項	23-85
23.10.1	ユーザマットとユーザブートマットの切り替え	23-85
23.10.2	割り込み無視状態	23-87
23.10.3	書き込み／消去サスペンド対象領域	23-87
23.10.4	従来の F-ZTAT SH マイコンとの書き込み／消去プログラムの互換性	23-87
23.10.5	FWE 端子の状態	23-87
23.10.6	書き込み／消去中のリセット	23-88
23.10.7	書き込み／消去サスペンドによる中断	23-88
23.10.8	追加書き込み禁止	23-88
23.10.9	書き込み／消去中の割り込みベクタの配置	23-88
23.10.10	書き込み／消去中の禁止事項	23-89
23.10.11	書き込み／消去中の異常終了	23-89
24.	データフラッシュ (FLD)	24-1
24.1	特長	24-1
24.2	入出力端子	24-6
24.3	レジスタの説明	24-7
24.3.1	フラッシュモードレジスタ (FMODR)	24-8
24.3.2	フラッシュアクセスステータスレジスタ (FASTAT)	24-9
24.3.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	24-12
24.3.4	FLD 読み出し許可レジスタ 0 (EEPWE0)	24-14
24.3.5	FLD 読み出し許可レジスタ 1 (EEPWE1)	24-15
24.3.6	FLD 書き込み／消去許可レジスタ 0 (EEPWE0)	24-16
24.3.7	FLD 書き込み／消去許可レジスタ 1 (EEPWE1)	24-17
24.3.8	フラッシュ P/E モードエントリレジスタ (FENTRYR)	24-18
24.3.9	FLD ブランクチェックレジスタ (EEPBCCNT)	24-19
24.3.10	FLD ブランクチェックステータスレジスタ (EEPBCSTAT)	24-20
24.4	FLD 関連モード概要	24-21
24.5	ブートモード	24-23
24.5.1	問い合わせ設定ホストコマンド	24-23
24.5.2	書き込み／消去ホストコマンド	24-25
24.6	ユーザモード／ユーザプログラムモード／ユーザブートモード	24-27

24.6.1	FCU コマンド一覧.....	24-27
24.6.2	FCU コマンド受け付け条件.....	24-29
24.6.3	FCU コマンド使用方法.....	24-33
24.7	プロテクト.....	24-37
24.7.1	ハードウェアプロテクト.....	24-37
24.7.2	ソフトウェアプロテクト.....	24-37
24.7.3	エラープロテクト.....	24-38
24.8	使用上の注意事項.....	24-39
24.8.1	リセット起動直後のデータマットプロテクト状態.....	24-39
24.8.2	割り込み無視状態.....	24-39
24.8.3	書き込み／消去サスペンド対象領域.....	24-39
24.8.4	従来の F-ZTAT SH マイコンとの書き込み／消去プログラムの互換性.....	24-39
24.8.5	書き込み／消去中のリセット.....	24-39
24.8.6	書き込み／消去サスペンドによる中断.....	24-40
24.8.7	追加書き込み禁止.....	24-40
24.8.8	読み出しプログラムについて.....	24-40
24.8.9	書き込み／消去中の禁止事項.....	24-40
24.8.10	書き込み／消去中の異常終了.....	24-40
24.8.11	消去または書き込み中断時の対応について.....	24-40
25.	内蔵 RAM.....	25-1
25.1	特長.....	25-1
25.2	レジスタの説明.....	25-4
25.2.1	システムコントロールレジスタ 1 (SYSCR1).....	25-4
25.2.2	システムコントロールレジスタ 2 (SYSCR2).....	25-6
25.3	使用上の注意事項.....	25-8
25.3.1	ページ競合.....	25-8
26.	低消費電力モード.....	26-1
26.1	特長.....	26-1
26.1.1	低消費電力モードの種類.....	26-1
26.1.2	リセット.....	26-2
26.2	入出力端子.....	26-3
26.3	レジスタの説明.....	26-4
26.3.1	スタンバイコントロールレジスタ (STBCR).....	26-4
26.3.2	スタンバイコントロールレジスタ 2 (STBCR2).....	26-5
26.3.3	スタンバイコントロールレジスタ 3 (STBCR3).....	26-6
26.3.4	スタンバイコントロールレジスタ 4 (STBCR4).....	26-7
26.3.5	スタンバイコントロールレジスタ 5 (STBCR5).....	26-8
26.3.6	スタンバイコントロールレジスタ 6 (STBCR6).....	26-9
26.4	動作説明.....	26-10

26.4.1	スリープモード.....	26-10
26.4.2	ソフトウェアスタンバイモード.....	26-10
26.4.3	ソフトウェアスタンバイモードの応用例.....	26-12
26.4.4	モジュールスタンバイ機能.....	26-13
26.5	使用上の注意事項.....	26-14
26.5.1	発振安定待機中の消費電流.....	26-14
26.5.2	レジスタ書き込み時の注意.....	26-14
26.5.3	IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項.....	26-14
27.	ユーザデバッグインタフェース (H-UDI)	27-1
27.1	特長.....	27-1
27.2	入出力端子.....	27-2
27.3	レジスタの説明.....	27-3
27.3.1	バイパスレジスタ (SDBPR)	27-3
27.3.2	インストラクションレジスタ (SDIR)	27-3
27.4	動作説明.....	27-5
27.4.1	TAP コントローラ.....	27-5
27.4.2	リセット構成.....	27-6
27.4.3	TDO 出力タイミング.....	27-6
27.4.4	H-UDI リセット.....	27-7
27.4.5	H-UDI 割り込み.....	27-7
27.5	使用上の注意事項.....	27-8
28.	レジスタ一覧.....	28-1
28.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	28-2
28.2	レジスタビット一覧.....	28-23
28.3	各動作モードにおけるレジスタの状態の一覧.....	28-53
29.	電气的特性.....	29-1
29.1	絶対最大定格.....	29-1
29.2	DC特性.....	29-2
29.3	AC特性.....	29-7
29.3.1	クロックタイミング.....	29-8
29.3.2	制御信号タイミング.....	29-11
29.3.3	バスタイミング (SH7239A、SH7237A のみ)	29-15
29.3.4	UBC トリガタイミング.....	29-21
29.3.5	DMAC モジュールタイミング.....	29-22
29.3.6	MTU2、MTU2S モジュールタイミング.....	29-23
29.3.7	POE2 モジュールタイミング.....	29-24
29.3.8	ウォッチドッグタイマタイミング.....	29-25
29.3.9	シリアルコミュニケーションインタフェース (SCI) タイミング.....	29-26

29.3.10	SCIF モジュールタイミング	29-28
29.3.11	RSPI タイミング	29-30
29.3.12	コントローラエリアネットワーク (RCAN-ET) タイミング	29-34
29.3.13	A/D トリガ入力タイミング	29-35
29.3.14	I/O ポートタイミング	29-36
29.3.15	H-UDI 関連端子のタイミング	29-37
29.3.16	AC 特性測定条件	29-39
29.4	A/D変換器特性	29-40
29.5	フラッシュメモリ特性	29-41
29.6	FLD特性	29-43
29.7	使用上の注意事項	29-44
29.7.1	コンデンサ接続方法	29-44
付録	付録-1
A.	端子状態	付録-1
B.	外形寸法図	付録-8
本版で修正または追加された箇所	改訂-1
索引	索引-1

1. 概要

1.1 特長

SH7239 グループおよび SH7237 グループは、ルネサスオリジナルの RISC (Reduced Instruction Set Computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7239 グループおよび SH7237 グループの CPU は、RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。SH7239 グループおよび SH7237 グループの CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能／高機能なシステムを組むことができるようになります。また、SH7239 グループは浮動小数点ユニット (FPU) を内蔵しています。

さらに、SH7239 グループおよび SH7237 グループは、システム構成に必要な周辺機能として、大容量 ROM、ROM キャッシュ、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、データトランスファコントローラ (DTC)、マルチファンクションタイマパルスユニット 2 (MTU2/MTU2S)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、シリアルコミュニケーションインタフェース (SCI)、ルネサスシリアルペリフェラルインタフェース (RSPI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポート、コントローラエリアネットワーク (RCAN-ET)、データフラッシュ (FLD) などを内蔵しています。

また、SH7239 グループおよび SH7237 グループでは外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。

表 1.1 に本 LSI の特長を示します。

表 1.1 特長

項目	特 長
CPU	<ul style="list-style-type: none"> • ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2 とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ • 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット基本命令と性能、使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • 2 命令同時実行スーパースカラ • 命令実行時間：最大 2 命令/サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
FPU (SH7239 グループのみ)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て • 浮動小数点レジスタ <ul style="list-style-type: none"> 16 本の 32 ビット浮動小数点レジスタ (単精度×16 ワードまたは倍精度×8 ワード) 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 <ul style="list-style-type: none"> レイテンシ (FMAC/FADD/FSUB/FMUL)：3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL)：1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン

項目	特 長
動作モード	<ul style="list-style-type: none"> • 動作モード <ul style="list-style-type: none"> MCU 拡張モード 2 (SH7239A、SH7237A のみ) シングルチップモード • 処理状態 <ul style="list-style-type: none"> プログラム実行状態 例外処理状態 バス権解放状態 • 低消費電力状態 <ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード モジュールスタンバイモード
ROM キャッシュ	<ul style="list-style-type: none"> • 命令/データ分離方式 • 命令プリフェッチキャッシュ：フルセットアソシアティブ • 命令プリフェッチミスキャッシュ：フルセットアソシアティブ • データキャッシュ：フルセットアソシアティブ • ラインサイズ 16 バイト • ハードウェアプリフェッチ機能（連続・分岐プリフェッチ）
割り込みコントローラ（INTC）	<ul style="list-style-type: none"> • 8 本の外部割り込み端子（NMI、IRQ6～IRQ0） • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 16 レベルの優先順位設定が可能 • レジスタバンクにより割り込み処理に伴うレジスタの退避/復帰を高速に行うことが可能
バスステートコントローラ（BSC） （SH7239A、SH7237A のみ）	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大 2M バイトの 6 つの領域（エリア 0、1、3～6）をサポート • 外部バス：8 ビットまたは 16 ビット • 各エリアには独立に次の機能を設定可能： <ul style="list-style-type: none"> データアクセスのビッグエンディアン/リトルエンディアンをサポート バスサイズ（8 ビットまたは 16 ビット）。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数（リード/ライトで独立ウェイト設定可能なエリアあり） アイドルウェイトサイクル設定（同一エリア/別エリア）
ダイレクトメモリアクセスコントローラ（DMAC）	<ul style="list-style-type: none"> • 8 チャンネル。うち 4 チャンネルは外部リクエスト可能 • 内蔵周辺モジュールから起動することが可能 • バーストモードおよびサイクルスチールモード • インタミットモードをサポート（16/64 サイクルサポート） • 転送情報を自動的にリロードすることが可能

項目	特 長
データ転送ファ コントローラ(DTC)	<ul style="list-style-type: none"> • 周辺 I/O の割り込みにより、CPU と独立したデータ転送が可能 • 割り込み要因ごとに転送モードを設定可能（メモリ上に転送モードを設定） • 一つの起動要因に対して、複数のデータ転送が可能 • 豊富な転送モード ノーマルモード／リピートモード／ブロック転送モードの選択可能 • 転送単位をバイト／ワード／ロングワードに設定可能 • DTC を起動した割り込みを CPU に要求 1 回のデータ転送の終了後に、CPU に対する割り込みを発生可能 • 指定したデータ転送のすべての終了後に CPU に割り込みを発生可能
クロックパルス発振 器 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力 (EXTAL) または水晶発振子から選択可能 • 内蔵 PLL 回路により入力クロックを 16 逡倍することが可能 • 5 種類のクロックを生成 SH7239A、SH7237A：CPU クロック：最大 160 MHz バスクロック：最大 40 MHz 周辺クロック：最大 40 MHz AD クロック：最大 40 MHz MTU クロック：最大 80 MHz SH7239B、SH7237B：CPU クロック：最大 100 MHz バスクロック：最大 50 MHz 周辺クロック：最大 50 MHz AD クロック：最大 50 MHz MTU クロック：最大 100 MHz
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> • 1 チャンネルのウォッチドッグタイマ • カウンタのオーバフローにより本 LSI にリセットをかけることが可能
低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力をさげるために 3 種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード モジュールスタンバイモード

項目	特 長
マルチファンクションタイマパルスユニット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 6 チャンネルをベースに最大 16 種類のパルス入出力、および 3 本のパルス入力が可能 • 21 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル/PWM/相補 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0~100%任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能 • 動作周波数 最大 100 MHz で動作可能 : SH7239B、SH7237B 最大 80 MHz で動作可能 : SH7239A、SH7237A
マルチファンクションタイマパルスユニット 2S (MTU2S)	<ul style="list-style-type: none"> • MTU2 のチャンネル 3、4、5 のみのサブセット版 • 動作周波数 最大 100 MHz で動作可能 : SH7239B、SH7237B 最大 80 MHz で動作可能 : SH7239A、SH7237A
ポートアウトプットイネーブル 2 (POE2)	<ul style="list-style-type: none"> • POE 端子に立ち下がりエッジまたはローレベルが入力されると大電流端子を自動的にハイインピーダンスにすることが可能 • 1 つの POE 端子で複数のグループの大電流端子をハイインピーダンスにすることが可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 2 チャンネル 16 ビットカウンタ • 4 種類のクロック選択可能 (Pφ/8、Pφ/32、Pφ/128、Pφ/512) • コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> • 3 チャンネル • クロック同期式/調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のポーレートジェネレータ内蔵 • ノイズ除去回路を内蔵 (調歩同期式通信のみ)
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> • 1 チャンネル • クロック同期式/調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のポーレートジェネレータ内蔵 • 送信用 FIFO それぞれ 16 バイト内蔵 • ブートモード時の SCI として使用

項目	特 長
ルネサスシリアル ペリフェラルインタ フェース (RSPI)	<ul style="list-style-type: none"> 同期式のシリアル通信 マスタ/スレーブモードをサポート プログラマブルなビット長、クロック極性、クロック位相 転送をシーケンシャルにループ実行可能 MSB ファースト/LSB ファーストの選択が可能 最大転送レート：10 Mbps (SH7239A、SH7237A) または 12.5 Mbps (SH7239B、SH7237B) シングルマスタモードで最大 4 スレーブを制御可能 (PFC の設定に依存) マルチマスタモードで最大 3 スレーブを制御可能 (PFC の設定に依存)
コントローラエリア ネットワーク (RCAN-ET)	<ul style="list-style-type: none"> CAN バージョン：Bosch2.0B active 対応 バッファサイズ：送信/受信×15 本、受信専用×1 本 1 チャンネル
I/O ポート	<ul style="list-style-type: none"> 入出力ポートはビットごとに入出力切り替え可能
A/D 変換器	<ul style="list-style-type: none"> 3 モジュール 分解能：12 ビット 入力：16 チャンネル 3 チャンネル同時サンプリング可能 外部トリガ/タイマトリガによる A/D 変換の起動が可能
ASE ブレークコン トローラ (ABC)	<ul style="list-style-type: none"> ブレークチャンネル×10 チャンネル 内部バスのバスサイクルをブレーク条件として設定可能
ユーザブレークコン トローラ (UBC)	<ul style="list-style-type: none"> ブレークチャンネル×4 チャンネル アドレス、データ値、アクセス形式、およびデータサイズをブレーク条件として設定可能
ユーザデバッグイン タフェース (H-UDI)	<ul style="list-style-type: none"> E10A エミュレータのサポート JTAG 標準端子配置
アドバンストユーザ デバッグ (AUD)	<ul style="list-style-type: none"> 6 本の出力ピン 分岐元/分岐先アドレスをトレース ウィンドウデータトレース機能 フルトレース機能 CPU 実行を中断することで全トレースデータを出力可能 リアルタイムトレース機能 CPU 実行を中断しない範囲でトレースデータを出力可能
内蔵 ROM	<ul style="list-style-type: none"> 512K バイトまたは 256K バイト
内蔵 RAM	<ul style="list-style-type: none"> 64K バイトまたは 32K バイト ページ数 RAM 容量が 64K バイトの製品：4 ページ (ページ 0、1、4、5) RAM 容量が 32K バイトの製品：2 ページ (ページ 0、1)
データフラッシュ (FLD)	<ul style="list-style-type: none"> 32K バイト (2K バイト×16 ブロック) 書き込みは 8 バイト単位

項目	特 長
電源電圧	<ul style="list-style-type: none">• VCC : 4.5~5.5 V (SH7239B、SH7237B) 3.0~3.6 V (SH7239A、SH7237A)• AVCC : 4.5~5.5 V
パッケージ	<ul style="list-style-type: none">• LQFP1616-120 (0.5 mm ピッチ) : SH7239A、SH7239B、SH7237A、SH7237B

1.2 製品一覧

表 1.2 に製品一覧表を示します。

表 1.2 製品一覧表

グループ名	製品名	型名	ROM 容量	RAM 容量	電源電圧		パッケージ	FPU 機能	拡張機能
					VCC、PLLVCC	AVCC			
SH7239 グループ	SH7239B	R5F72395BDFP	512K バイト	64K バイト	4.5~5.5 V	4.5~5.5 V	LQFP1616-120	あり	なし
		R5F72394BDFP	256K バイト	32K バイト					
	SH7239A	R5F72395ADFP	512K バイト	64K バイト	3.0~3.6 V	なし			あり
		R5F72394ADFP	256K バイト	32K バイト					
SH7237 グループ	SH7237B	R5F72375BDFP	512K バイト	64K バイト	4.5~5.5 V	4.5~5.5 V	LQFP1616-120	なし	なし
		R5F72374BDFP	256K バイト	32K バイト					
	SH7237A	R5F72375ADFP	512K バイト	64K バイト	3.0~3.6 V	なし			あり
		R5F72374ADFP	256K バイト	32K バイト					

1.3 ブロック図

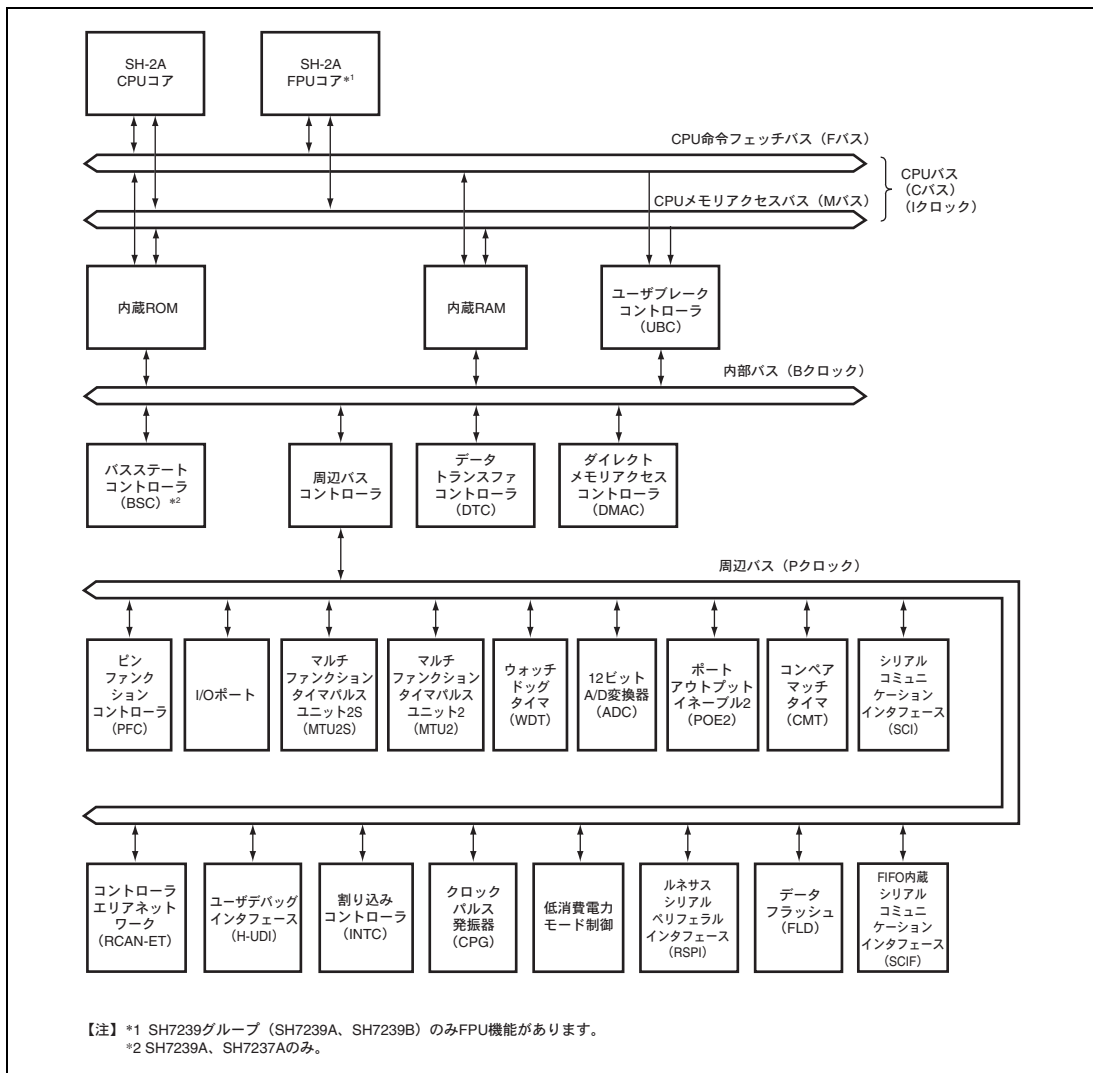


図 1.1 ブロック図

1.4 ピン配置図

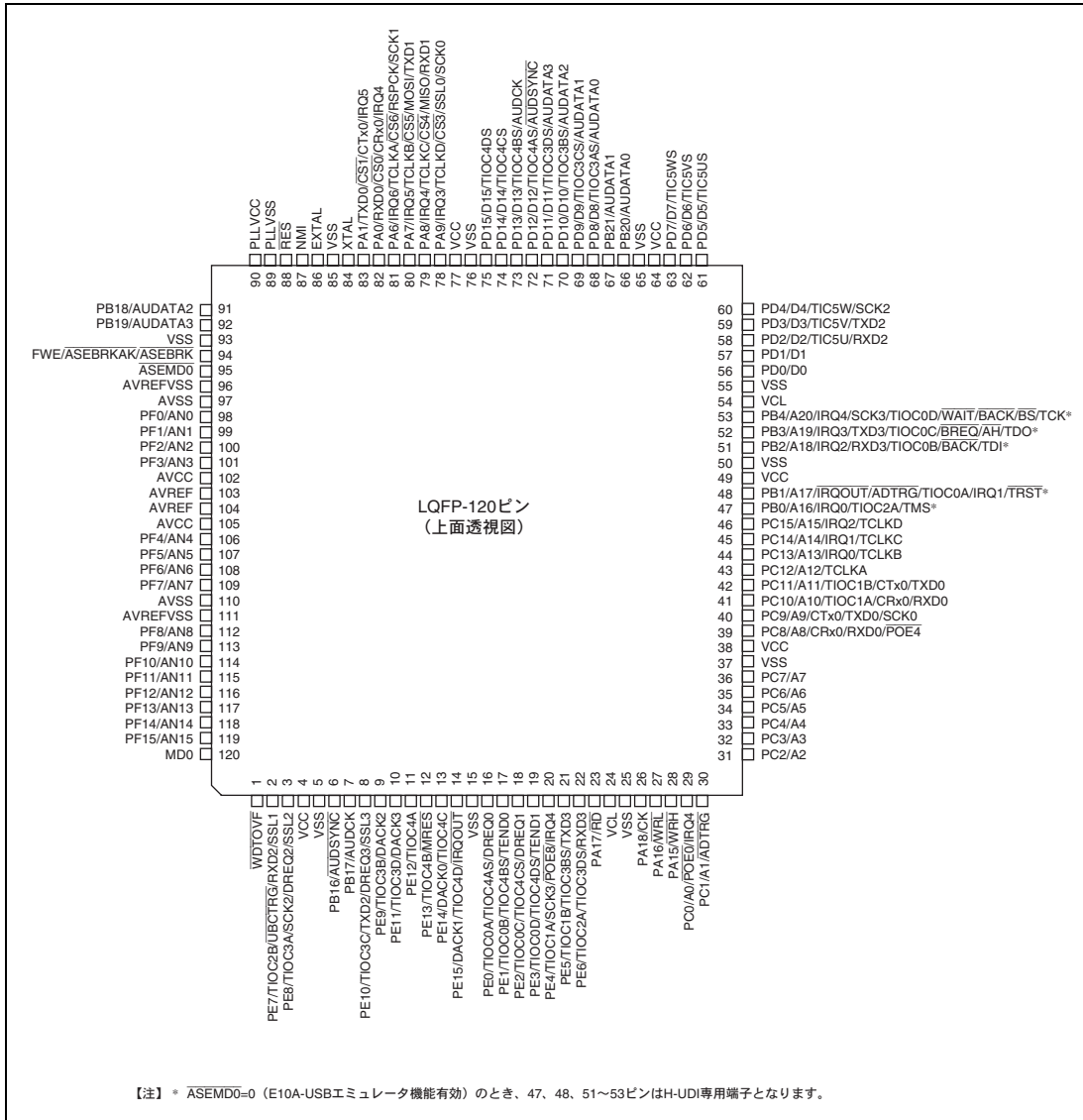


図 1.2 SH7239A、SH7237A (120 ピン) のピン配置図 (上面透視図)

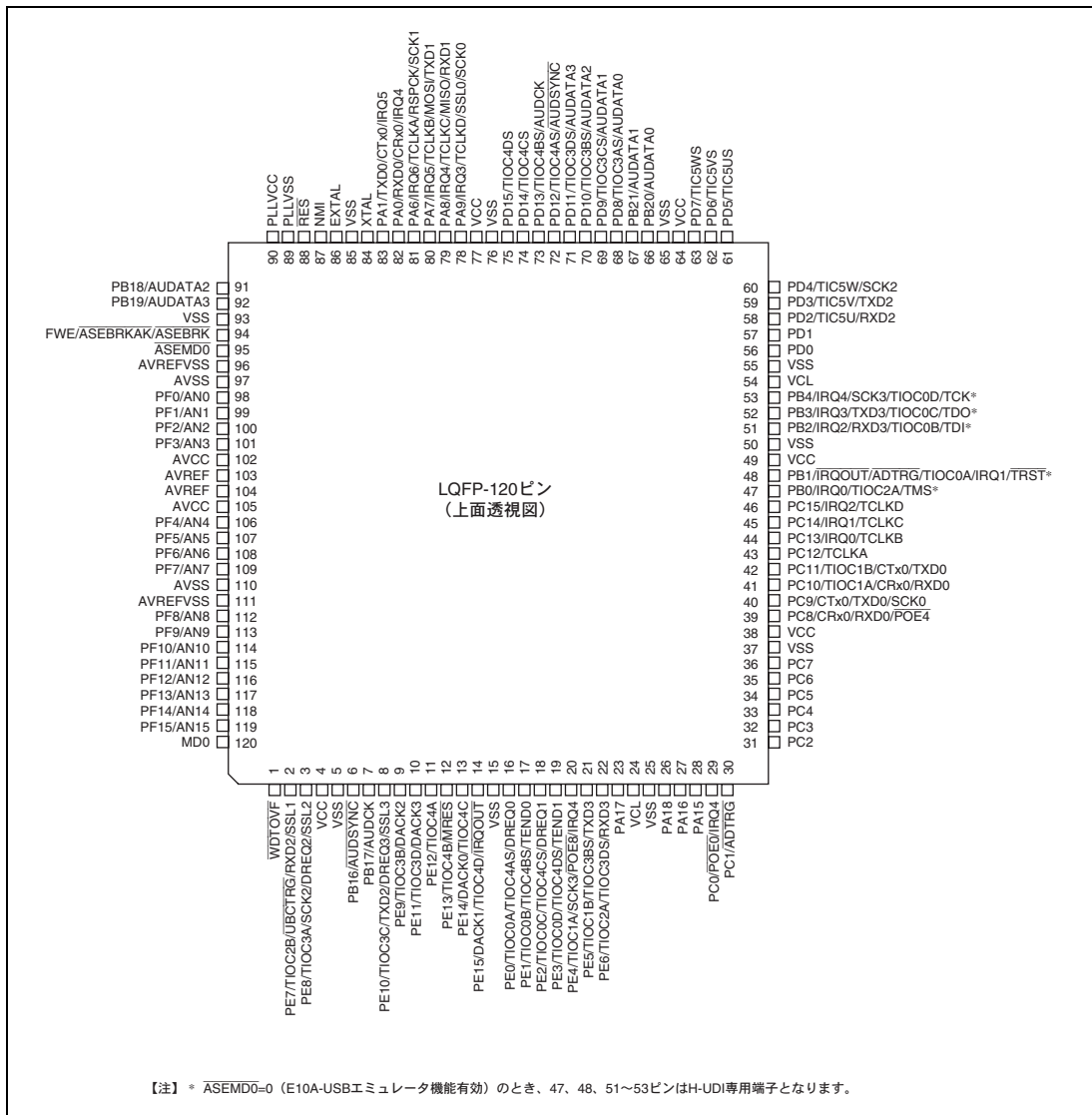


図 1.3 SH7239B、SH7237B (120 ピン) のピン配置図 (上面透視図)

1.5 端子機能

表 1.3 に各端子の機能を示します。

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	VCL	出力	内部降圧電源	内部降圧電源の外付け容量端子です。すべての VCL 端子を 0.1 μ F のコンデンサを介して VSS に接続してください（端子近くに配置）。システム電源を直接接続しないでください。
	VSS	入力	端子グランド	グランド端子です。すべての VSS 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	VCC	入力	端子電源	電源端子です。すべての VCC 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PLLCC	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。VCC と同電位にしてください。
	PLLSS	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CK* ³	出力	システムクロック	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MDO	入力	モード設定	動作モードを設定します。動作中には変化させないでください。
	A \overline SEMD0	入力	デバッグモード	E10A-USB エミュレータ機能を有効にします。 デバッグモード以外の通常動作時はハイレベルを入力します。デバッグモード時はユーザボード上でローレベルを入力します。
	FWE	入力	フラッシュメモリ 書き込みイネーブル	フラッシュメモリ用の端子です。フラッシュメモリの書き込み/消去をプロテクトすることができます。
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDTOV \overline F	出力	ウォッチドッグ タイマオーバフロー	WDT からのオーバフロー出力信号です。 ブルダウンが必要な場合は、1M Ω 以上の抵抗を使用してください。
	BREQ* ^{2*3}	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK* ^{2*3}	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスカブル 割り込み	ノンマスカブル割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ6、IRQ5、 IRQ4~IRQ0* ¹	入力	割り込み要求 6~0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	\overline IRQOUT* ¹	出力	割り込み要求出力	割り込み要因が発生したことを示します。バスリリース中にも割り込み発生を知ることができます。
アドレスバス* ³	A20~A16* ² 、 A15~A0	出力	アドレスバス	アドレスを出力します。

分類	端子名	入出力	名称	機能
データバス*2	D15~D0	入出力	データバス	双方向のデータバスです。
バス制御*3	CS0、CS1、 CS3~CS6	出力	チップセレクト 0、1、 3~6	外部メモリまたはデバイスのためのチップセレクト信号です。
	\overline{RD}	出力	読み出し	外部のデバイスから読み出すことを示します。
	\overline{BS} *2	出力	バス開始	バスサイクル開始信号です。
	\overline{AH} *2	出力	アドレスホールド	アドレスまたはデータマルチプレクス I/O 時のアドレスをホールドするための信号です。
	\overline{WAIT} *2	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	WRH	出力	上位側書き込み	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	WRL	出力	下位側書き込み	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
ダイレクトメモリ アクセスコントロ ーラ (DMAC)	DREQ0~ DREQ3	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0~ DACK3	出力	DMA 転送要求 受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0、 TEND1	出力	DMA 転送終了出力	DMA 転送終了出力信号です。
マルチファンクシ ョンタイマパルス ユニット 2 (MTU2)	TCLKA、 TCLKB、 TCLKC、 TCLKD	入力	MTU2 タイマ クロック入力	タイマの外部クロック入力端子です。
	TIOC0A*1、 TIOC0B*1、 TIOC0C*1、 TIOC0D*1	入出力	MTU2 インพุットキャ プチャ/アウトプット コンペア (チャンネル 0)	TGRA_0~TGRD_0 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOC1A、 TIOC1B	入出力	MTU2 インพุットキャ プチャ/アウトプット コンペア (チャンネル 1)	TGRA_1、TGRB_1 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOC2A*1、 TIOC2B	入出力	MTU2 インพุットキャ プチャ/アウトプット コンペア (チャンネル 2)	TGRA_2、TGRB_2 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOC3A、 TIOC3B、 TIOC3C、 TIOC3D	入出力	MTU2 インพุットキャ プチャ/アウトプット コンペア (チャンネル 3)	TGRA_3~TGRD_3 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	入出力	MTU2 インพุットキャ プチャ/アウトプット コンペア (チャンネル 4)	TGRA_4~TGRD_4 のインพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。

分類	端子名	入出力	名称	機能
マルチファンクションタイムババルスユニット 2 (MTU2)	TIC5U、 TIC5V、 TIC5W	入力	MTU2 インプット キャプチャ (チャンネル 5)	TGRU_5、TGRV_5、TGRW_5 のインプットキャプチャ入力/デッドタイム補償機能の入力端子です。
ポートアウトブッ トイネーブル 2 (POE2)	POE8、 POE4、 POE0	入力	ポート出力制御	MTU2、MTU2S の波形出力端子をハイインピーダンス状態にする要求信号の入力端子です。
マルチファンクションタイムババルスユニット 2S (MTU2S)	TIOC3AS、 TIOC3BS、 TIOC3CS、 TIOC3DS	入出力	MTU2S インプット キャプチャ/アウト プットコンペア (チャンネル 3)	TGRA_3S~TGRD_3S のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOC4AS、 TIOC4BS、 TIOC4CS、 TIOC4DS	入出力	MTU2S インプット キャプチャ/アウト プットコンペア (チャンネル 4)	TGRA_4S~TGRD_4S のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIC5US、 TIC5VS、 TIC5WS	入力	MTU2S インプット キャプチャ (チャンネル 5)	TGRU_5S、TGRV_5S、TGRW_5S のインプットキャプチャ入力/デッドタイム補償機能の入力端子です。
シリアルコミュニ ケーションインタ フェース (SCI)	TXD2~TXD0	出力	送信データ	データ出力端子です。
	RXD2~RXD0	入力	受信データ	データ入力端子です。
	SCK2~SCK0	入出力	シリアルクロック	クロック入出力端子です。
FIFO 内蔵シリア ルコミュニケーション インタフェース (SCIF)	TXD3*1	出力	送信データ	データ出力端子です。
	RXD3*1	入力	受信データ	データ入力端子です。
	SCK3*1	入出力	シリアルクロック	クロック入出力端子です。
ルネサスシリアル ペリフェラルイン タフェース (RSPI)	MOSI	入出力	データ	データ入出力端子です。
	MISO	入出力	データ	データ入出力端子です。
	RSPCK	入出力	クロック	クロック入出力端子です。
	SSL0 SSL1~SSL3	入出力 出力	チップセレクト	チップセレクト入出力端子です。
コントローラエリ アネットワーク (RCAN-ET)	CTx0	出力	送信データ	CAN バス送信用端子です。
	CRx0	入力	受信データ	CAN バス受信用端子です。
A/D 変換器	AN15~AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG*1	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVCC	入力	アナログ電源	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (VCC) に接続してください。
	AVREF	入力	アナログリファレンス 電源	A/D 変換器のリファレンス電源端子です。
	AVSS	入力	アナロググランド	A/D 変換器のグランド端子です。A/D 変換器を使用しない場合はシステム電源 (VSS) に接続してください。

分類	端子名	入出力	名称	機能
A/D 変換器	AVREFVSS	入力	アナログリファレンス グラウンド	A/D 変換器のリファレンス電源端子のグラウンド端子です。A/D 変換器を使用しない場合はシステム電源 (VSS) に接続してください。
I/O ポート	PA18~PA15、 PA9~PA6、 PA1、PA0	入出力	汎用ポート	10 本の汎用入出力ポート端子です。
	PB21~PB16、 PB4~PB0 ^{*2}	入出力	汎用ポート	11 本の汎用入出力ポート端子です。
	PC15~PC0	入出力	汎用ポート	16 本の汎用入出力ポート端子です。
	PD15~PD0	入出力	汎用ポート	16 本の汎用入出力ポート端子です。
	PE15~PE0	入出力	汎用ポート	16 本の汎用入出力ポート端子です。
	PF15~PF0	入力	汎用ポート	16 本の汎用入力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。 H-UDI 未使用時には、ローレベルを入力してください。
アドバンスト ユーザデバッグ (AUD)	AUDATA3~ AUDATA0	出力	AUD データ	分岐先/分岐元アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
エミュレータ インタフェース	ASEBRKAK	出力	ブ레이크モード アクノリッジ	E10A-USB エミュレータがブ레이크モードに入ったことを示します。
	ASEBRK	入力	ブ레이크要求	E10A-USB エミュレータブ레이크入力です。
ユーザブ레이크 コントローラ (UBC)	UBCTR \bar{G}	出力	ユーザブ레이크 トリガ出力	UBC 条件一致のトリガ出力です。

- 【注】 *1 H-UDI 端子とマルチプレクスされている端子は、 $\overline{ASEMD0}=0$ (E10A-USB エミュレータ機能有効) のとき、H-UDI 専用端子となります。
- *2 すべて H-UDI 端子とマルチプレクスされています。 $\overline{ASEMD0}=0$ (E10A-USB エミュレータ機能有効) のとき、H-UDI 専用端子となります。
- *3 外部拡張用の端子は SH7239A、SH7237A のみです。

2. CPU

2.1 データフォーマット

図 2.1 に SH-2A/SH2A-FPU でサポートしているデータフォーマットを示します。SH2A-FPU は SH7239 グループのみサポートしています。

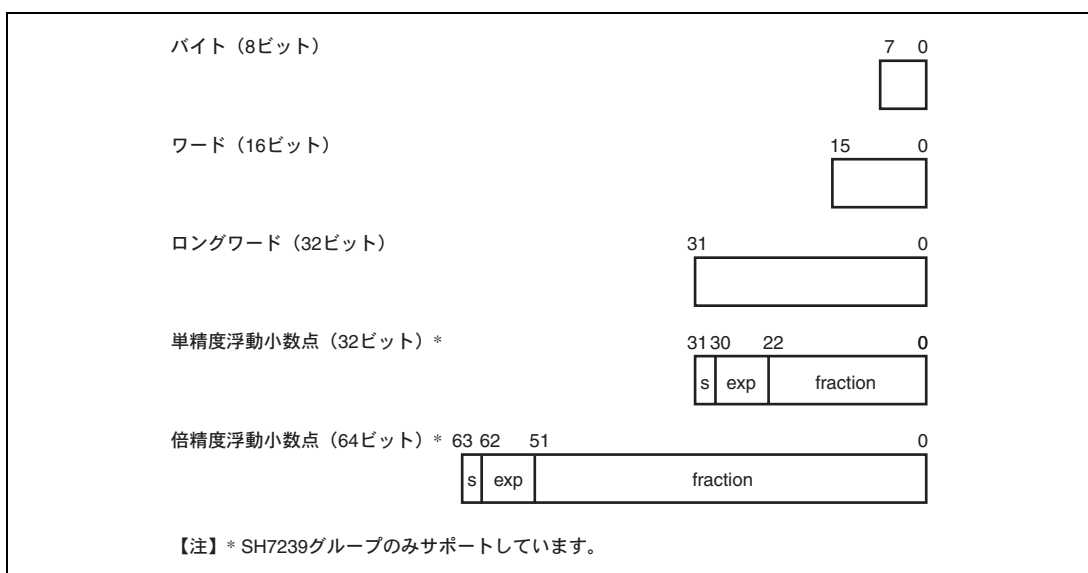


図 2.1 データフォーマット

2.2 レジスタ構成

2.2.1 汎用レジスタ

図 2.2 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

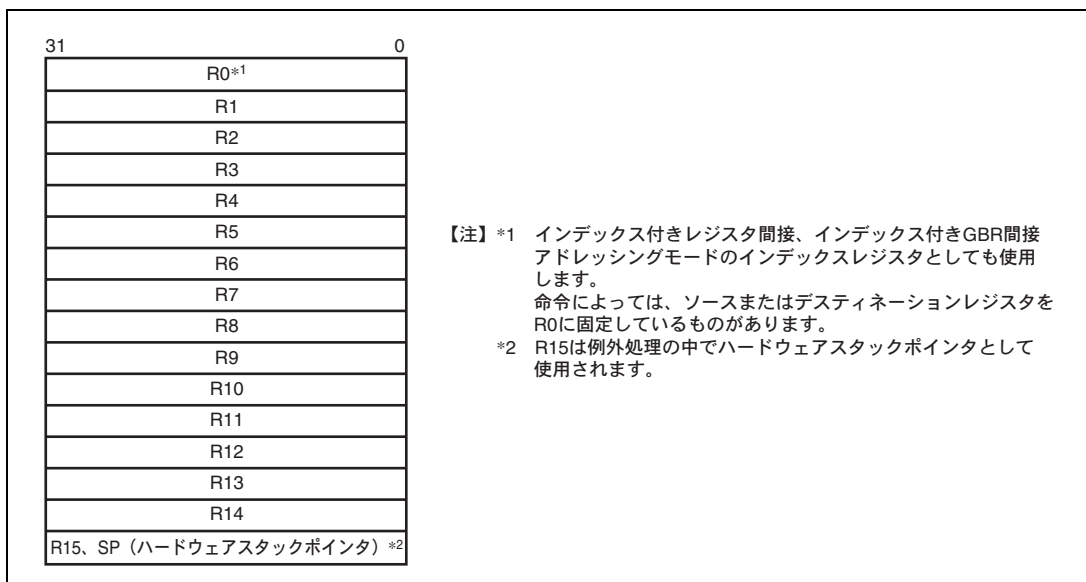


図 2.2 汎用レジスタ

2.2.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の4本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

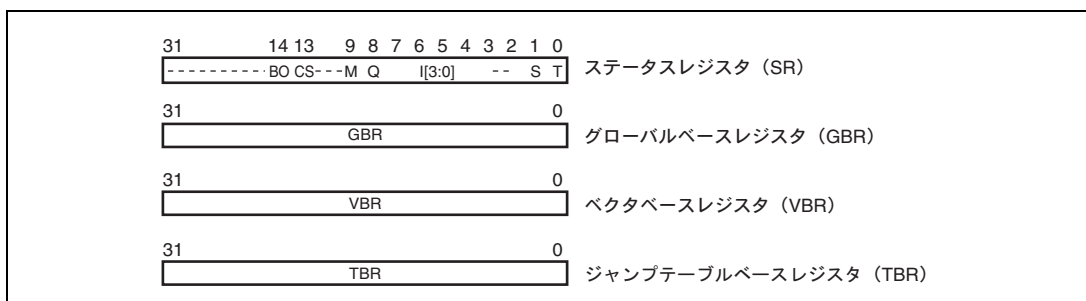


図 2.3 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	M	-	R/W	M ビット Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	-	R/W	
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真/偽条件またはキャリー/ポロビット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.2.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACL）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは、乗算または積和演算の結果を格納します。PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。

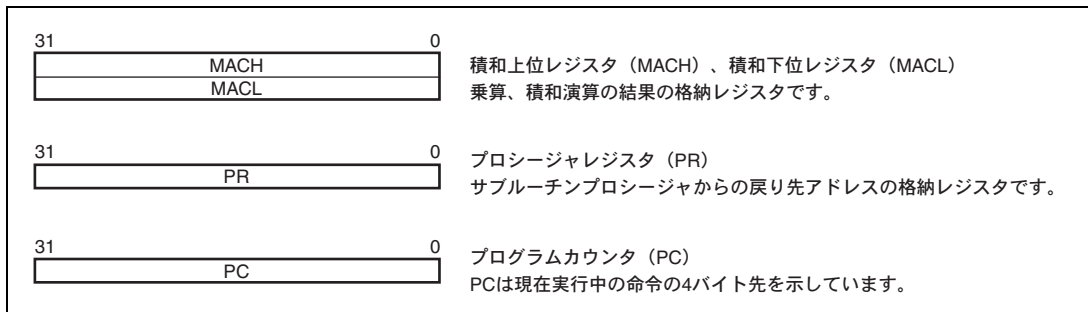


図 2.4 システムレジスタ

(1) 積和上位レジスタ（MACH）、積和下位レジスタ（MACL）

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ（PR）

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令（RTS）によって参照されます。

(3) プログラムカウンタ（PC）

PC は現在実行中の命令の 4 バイト先を示します。

2.2.4 浮動小数点レジスタ (SH7239 グループのみ)

図 2.5 に浮動小数点レジスタを示します。16 本の 32 ビット浮動小数点レジスタ FPR0～FPR15 があります。この 16 本のレジスタは FR0～FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPRn と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 2.5 を参照してください。

(1) 浮動小数点レジスタ : FPRn (16 レジスタ)

FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15

(2) 単精度浮動小数点レジスタ : FRi (16 レジスタ)

FR0～FR15 は FPR0～FPR15 に割り当てられます。

(3) 倍精度浮動小数点レジスタまたは単精度浮動小数点レジスタのペア : DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0={FPR0, FPR1}, DR2={FPR2, FPR3},
DR4={FPR4, FPR5}, DR6={FPR6, FPR7},
DR8={FPR8, FPR9}, DR10={FPR10, FPR11},
DR12={FPR12, FPR13}, DR14={FPR14, FPR15}

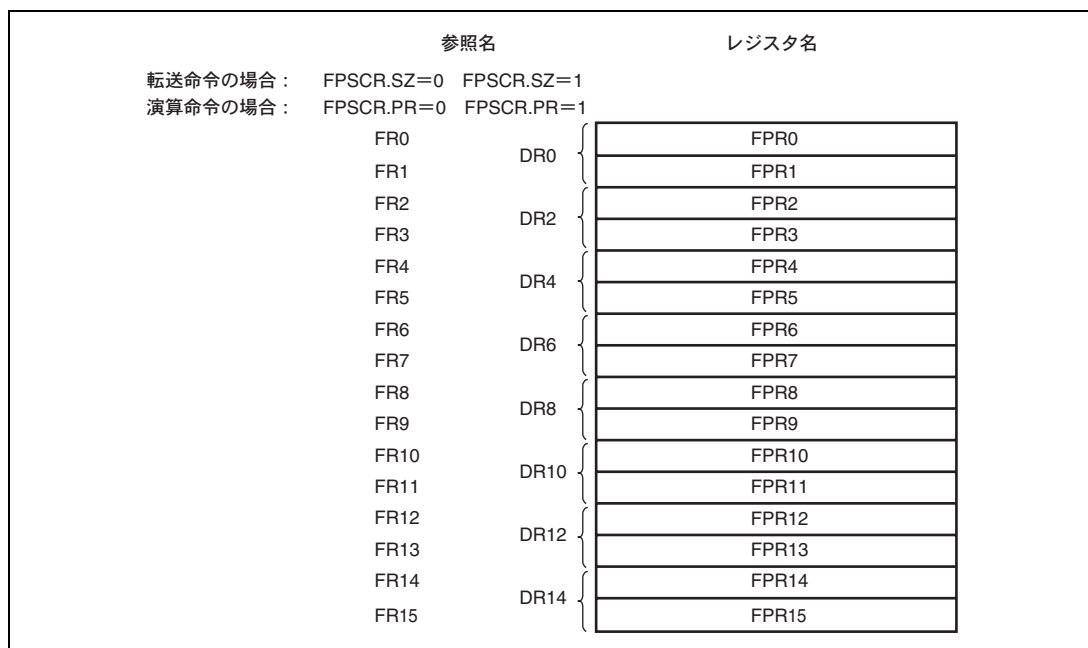


図 2.5 浮動小数点レジスタ

【プログラミング上の注意】

リセット後の FPR0～FPR15 の値は不定です。

2.2.5 浮動小数点システムレジスタ (SH7239 グループのみ)

(1) 浮動小数点通信レジスタ (FPUL)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

(2) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	QIS	—	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	qNaN あるいは $\pm\infty$ を sNaN として扱います。 本ビットの設定は、FPU 例外イネーブルフィールド (Enable) の V ビットが 1 のときのみ有効です。 0 : qNaN あるいは $\pm\infty$ として処理 1 : 例外発生 (sNaN と同様に処理)
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度で実行します。 1 : 浮動小数点命令を倍精度で実行します (倍精度がサポートされていない命令の結果は未定義です)。
18	DN	1	R/W	非正規化モード 本ビットは常に 1 です。 1 : 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 2.1 を参照してください。
11~7	Enable	すべて 0	R/W	
6~2	Flag	すべて 0	R/W	
1, 0	RM[1:0]	01	R/W	丸めモード 00: 近傍への丸め 01: 0 方向への丸め 10: 予約 11: 予約

表 2.1 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH7237 グループでは動作を保証しません。

2.2.6 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。なお、本 LSI は 15 個のバンクを持ちます。

詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.2.7 レジスタの初期値

リセット後のレジスタの値を表 2.2 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値
浮動小数点レジスタ*	FPR0~FPR15	不定
浮動小数点システムレジスタ*	FPUL	不定
	FPSCR	H'00040001

【注】 * SH7239 グループのみサポートしています。

SH7237 グループでは動作を保証しません。

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32 ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8 ビット）、もしくはワード（16 ビット）の場合は、ロングワードに符号拡張またはゼロ拡張し、レジスタに格納します。

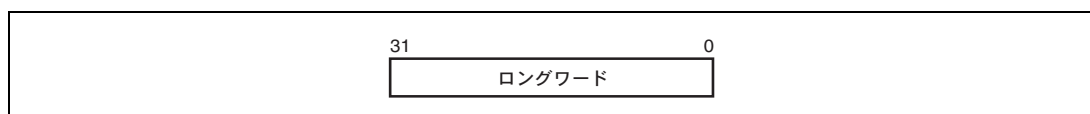


図 2.6 レジスタのデータ形式

2.3.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.7 に示します。

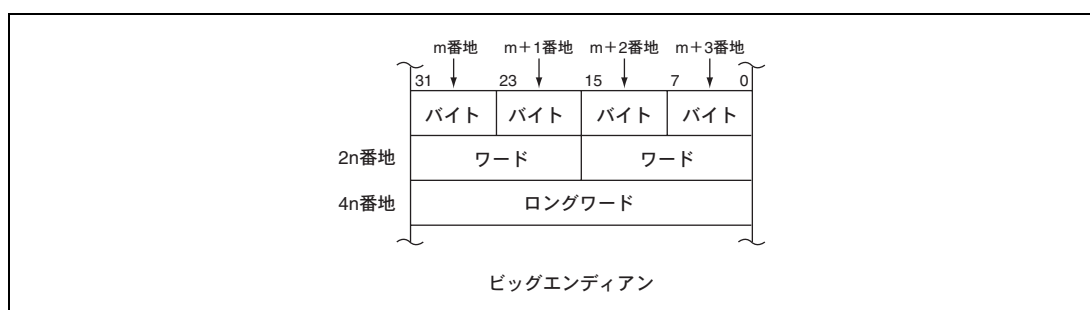


図 2.7 メモリのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、レジスタとロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

具体例については、「2.4.1 (10) イミディエイトデータ」を参照してください。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A/SH2A-FPU では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令/1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.3 ワードデータの符号拡張

SH-2A/SH2A-FPU CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令→遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.4 遅延分岐命令

SH-2A/SH2A-FPU CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A/SH2A-FPU では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算／積和演算

16×16→32 の乗算を 1～2 ステート、16×16+64→64 の積和演算を 2～3 ステートで実行します。32×32→64 の乗算や、32×32+64→64 の積和演算を 2～4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.5 T ビット

SH-2A/SH2A-FPU CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0≥R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0≥R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0<R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0=0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0=0 のとき分岐します。	

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

また SH-2A/SH2A-FPU では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.6 イミディエイトデータによる参照

区分	SH-2A/SH2A-FPU CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOVI20 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOVI20 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOVI20S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A/SH2A-FPU では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.7 絶対アドレスによる参照

区分	SH-2A/SH2A-FPU CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21~28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(12) 16 ビット/32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。


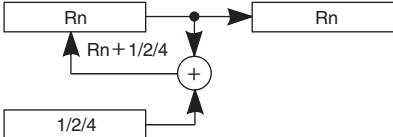
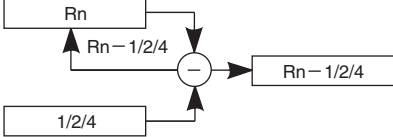
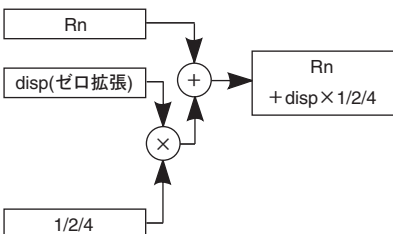
表 2.8 ディスプレースメントによる参照

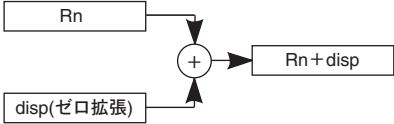
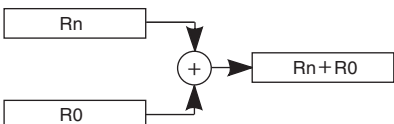
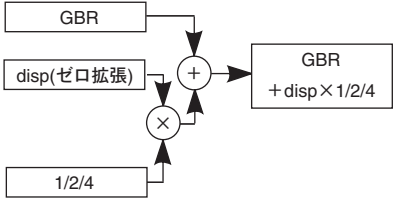
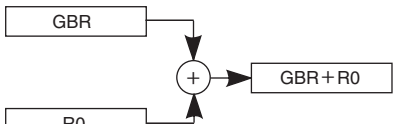
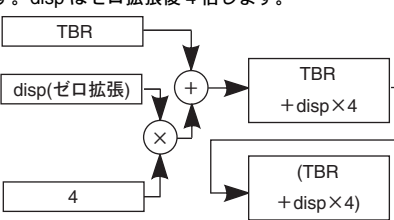
区分	SH-2A/SH2A-FPU CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.4.2 アドレッシングモード

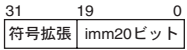
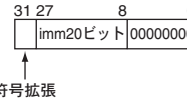
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.9 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn+1 \rightarrow Rn$ ワード : $Rn+2 \rightarrow Rn$ ロングワード : $Rn+4 \rightarrow Rn$
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn-1 \rightarrow Rn$ ワード : $Rn-2 \rightarrow Rn$ ロングワード : $Rn-4 \rightarrow Rn$ (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn+disp$ ワード : $Rn+disp \times 2$ ロングワード : $Rn+disp \times 4$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@ (disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p> 	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : $PC + disp \times 2$</p> <p>ロングワード : $PC \& H'FFFFFFFC + disp \times 4$</p>
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	—
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側 は符号拡張、下位側はゼロ詰めを行います。 	—
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	—

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード

mmmm : ソースレジスタ

nnnn : デスティネーションレジスタ

iiii : イミディエイトデータ

dddd : ディスプレースメント

表 2.10 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		—	—	NOP
n 形式		—	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	—	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	—	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$ \begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \\ \hline \end{array} $	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		nnnn : * ポストインクリメント レジスタ間接 (積和演算)		
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$ \begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \\ \hline \end{array} $	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$ \begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{dddd}} \\ \hline \end{array} $	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$ \begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{dddd}} \\ \hline \end{array} $	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$ \begin{array}{cccc} & 32 & & 16 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{nnnn}} & \boxed{\text{mmmm}} & \boxed{\text{xxxx}} \\ \hline \end{array} $ $ \begin{array}{cccc} & 15 & & 0 \\ \hline & \boxed{\text{xxxx}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} & \boxed{\text{dddd}} \\ \hline \end{array} $	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例	
d 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	ddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0	
		ディスプレイメント付き GBR 間接			
		R0 (レジスタ直接)	ddddddd :	MOV.L R0,@(disp,GBR)	
		ディスプレイメント付き PC 相対	ddddddd :	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	ddddddd :	—	JSR/N @@(disp8,TBR)
		ddddddd : PC 相対	—	BF label	
d12 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{ddd} & \text{ddd} & \text{ddd} \\ \hline \end{array}$	ddddddddddd : PC 相対	—	BRA label (label=disp+PC)	
nd8 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{ddd} \\ \hline \end{array}$	ddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn	
i 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)	
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0	
		iiiiiii : イミディエイト	—	TRAPA #imm	
ni 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn	
ni3 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{iii} \\ \hline \end{array}$	nnnn : レジスタ直接 iii : イミディエイト	—	BLD #imm3,Rn	
		—	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn	
ni20 形式	$\begin{array}{ c c c c } \hline & 32 & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{iiii} & \text{iiii} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn	

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xxxxx xxxxx</div> <div style="border-right: 1px solid black; padding: 0 5px;">nnnn</div> <div style="padding: 0 5px;">xxxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 0 5px;">xiii</div> <div style="padding: 0 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	—	BLD.B #imm3,@ (disp12,Rn)
		—	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.11 に示します。

表 2.11 命令の分類

分 類	命令の種類	オペコード	機 能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0~Rn のレジスタ退避・復帰	
		MOVMMU	Rn~R14、PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOVT	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32÷32)	
		DIVU	符号なし除算 (32÷32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ-付き符号反転	
		SUB	2 進減算	
		SUBC	ポロ-付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
SHLRn	論理的 n ビット右シフト			

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm→R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令*	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	
		FMOV	浮動小数点数転送	

分 類	命令の種類	オペコード	機 能	命令数
浮動小数点演算命令*	19	FMUL	浮動小数点数乗算	48
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令*	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

【注】 * SH7239 グループのみサポートしています。
SH7237 グループでは動作を保証しません。

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>【記号説明】</p> <p>OP.Sz SRC, DEST</p> <p>OP : オペコード</p> <p>Sz : サイズ</p> <p>SRC : ソース</p> <p>DEST : デスティネーション</p> <p>Rm : ソースレジスタ</p> <p>Rn : デスティネーションレジスタ</p> <p>imm : イミディエイトデータ</p> <p>disp : ディスプレースメント^{*2}</p>	<p>MSB ↔ LSB の順で表示しています。</p> <p>【記号説明】</p> <p>mmmm : ソースレジスタ</p> <p>nnnn : デスティネーションレジスタ</p> <p>0000 : R0</p> <p>0001 : R1</p> <p>.....</p> <p>1111 : R15</p> <p>iiii : イミディエイトデータ</p> <p>dddd : ディスプレースメント</p>	<p>動作の概略を表示しています。</p> <p>【記号説明】</p> <p>→, ← : 転送方向</p> <p>(xx) : メモリオペランド</p> <p>M/Q/T : SR 内のフラグビット</p> <p>& : ビットごとの論理積</p> <p> : ビットごとの論理和</p> <p>^ : ビットごとの排他的論理和</p> <p>~ : ビットごとの論理否定</p> <p><<n : 左 n ビットシフト</p> <p>>>n : 右 n ビットシフト</p>	<p>ノーウェイトのときの値です。^{*1}</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>【記号説明】</p> <p>- : 変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング（×1、×2、×4）されます。

詳しくは、「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

2.5.2 データ転送命令

表 2.12 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOV #imm, Rn	1110nnnniiiiiii	imm→符号拡張→Rn	1	-	○	○	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	1	-	○	○	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp×4+PC)→Rn	1	-	○	○	
MOV Rm, Rn	0110nnnnnnmm0011	Rm→Rn	1	-	○	○	
MOV.B Rm, @Rn	0010nnnnnnmm0000	Rm→(Rn)	1	-	○	○	
MOV.W Rm, @Rn	0010nnnnnnmm0001	Rm→(Rn)	1	-	○	○	
MOV.L Rm, @Rn	0010nnnnnnmm0010	Rm→(Rn)	1	-	○	○	
MOV.B @Rm, Rn	0110nnnnnnmm0000	(Rm)→符号拡張→Rn	1	-	○	○	
MOV.W @Rm, Rn	0110nnnnnnmm0001	(Rm)→符号拡張→Rn	1	-	○	○	
MOV.L @Rm, Rn	0110nnnnnnmm0010	(Rm)→Rn	1	-	○	○	
MOV.B Rm, @- Rn	0010nnnnnnmm0100	Rn-1→Rn, Rm→(Rn)	1	-	○	○	
MOV.W Rm, @- Rn	0010nnnnnnmm0101	Rn-2→Rn, Rm→(Rn)	1	-	○	○	
MOV.L Rm, @- Rn	0010nnnnnnmm0110	Rn-4→Rn, Rm→(Rn)	1	-	○	○	
MOV.B @Rm+, Rn	0110nnnnnnmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	1	-	○	○	
MOV.W @Rm+, Rn	0110nnnnnnmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	1	-	○	○	
MOV.L @Rm+, Rn	0110nnnnnnmm0110	(Rm)→Rn, Rm+4→Rm	1	-	○	○	
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0→(disp+Rn)	1	-	○	○	
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0→(disp×2+Rn)	1	-	○	○	
MOV.L Rm, @(disp, Rn)	0001nnnnnnmmddd	Rm→(disp×4+Rn)	1	-	○	○	
MOV.B @(disp, Rm), R0	10000100nnnnddd	(disp+Rm)→符号拡張→R0	1	-	○	○	
MOV.W @(disp, Rm), R0	10000101nnnnddd	(disp×2+Rm)→符号拡張→R0	1	-	○	○	
MOV.L @(disp, Rm), Rn	0101nnnnnnmmddd	(disp×4+Rm)→Rn	1	-	○	○	
MOV.B Rm, @(R0, Rn)	0000nnnnnnmm0100	Rm→(R0+Rn)	1	-	○	○	
MOV.W Rm, @(R0, Rn)	0000nnnnnnmm0101	Rm→(R0+Rn)	1	-	○	○	
MOV.L Rm, @(R0, Rn)	0000nnnnnnmm0110	Rm→(R0+Rn)	1	-	○	○	
MOV.B @(R0, Rm), Rn	0000nnnnnnmm1100	(R0+Rm)→符号拡張→Rn	1	-	○	○	
MOV.W @(R0, Rm), Rn	0000nnnnnnmm1101	(R0+Rm)→符号拡張→Rn	1	-	○	○	
MOV.L @(R0, Rm), Rn	0000nnnnnnmm1110	(R0+Rm)→Rn	1	-	○	○	
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0→(disp+GBR)	1	-	○	○	
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0→(disp×2+GBR)	1	-	○	○	
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0→(disp×4+GBR)	1	-	○	○	

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR)→符号拡張→R0	1	—	○	○	
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR)→符号拡張→R0	1	—	○	○	
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR)→R0	1	—	○	○	
MOV.B R0, @Rn+	0100nnnn10001011	R0→(Rn), Rn+1→Rn	1	—			○
MOV.W R0, @Rn+	0100nnnn10011011	R0→(Rn), Rn+2→Rn	1	—			○
MOV.L R0, @Rn+	0100nnnn10101011	R0→(Rn), Rn+4→Rn	1	—			○
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4→Rm, (Rm)→R0	1	—			○
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm→(disp+Rn)	1	—			○
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm→(disp×2+Rn)	1	—			○
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm→(disp×4+Rn)	1	—			○
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm)→符号拡張→Rn	1	—			○
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm)→符号拡張→Rn	1	—			○
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm)→Rn	1	—			○
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC→R0	1	—	○	○	
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm→符号拡張→Rn	1	—			○
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8→符号拡張→Rn	1	—			○
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4→R15, Rm→(R15) R15-4→R15, Rm-1→(R15) : R15-4→R15, R0→(R15) ※Rm=R15 のとき、Rm を PR に 読み替え	1~16	—			○

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
MOVMLL @R15+, Rn	0100nnnn11110101	(R15)→R0, R15+4→R15 (R15)→R1, R15+4→R15 : (R15)→Rn ※Rn=R15 のとき、Rm を PR に 読み替え	1~16	—			○
MOVMLL Rm, @-R15	0100mmmm11110000	R15-4→R15, PR→(R15) R15-4→R15, R14→(R15) : R15-4→R15, Rm→(R15) ※Rm=R15 のとき、Rm を PR に読み替え	1~16	—			○
MOVMLL @R15+, Rn	0100nnnn11110100	(R15)→Rn, R15+4→R15 (R15)→Rn+1, R15+4→R15 : (R15)→R14, R15+4→R15 (R15)→PR ※Rn=R15 のとき、Rm を PR に 読み替え	1~16	—			○
MOVRT Rn	0000nnnn00111001	-T→Rn	1	—			○
MOVRT Rn	0000nnnn00101001	T→Rn	1	—	○	○	
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm)→ゼロ拡張→Rn	1	—			○
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp×2+Rm)→ゼロ拡張→Rn	1	—			○
NOTT	000000001101000	-T→T	1	演算結果			○
PREF @Rn	0000nnnn10000011	(Rn)→オペランドキャッシュ	1	—		○	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm→下位 2 バイトの上下パイ ト交換→Rn	1	—	○	○	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm→上下ワード交換→Rn	1	—	○	○	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット→Rn	1	—	○	○	

2.5.3 算術演算命令

表 2.13 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm→Rn	1	—	○	○	
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm→Rn	1	—	○	○	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T→Rn, キャリー→T	1	キャリー	○	○	
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm→Rn, オーバフロー→T	1	オーバ フロー	○	○	
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn≥Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn≥Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/PZ Rn	0100nnnn00010001	Rn≥0 のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	1	比較結果	○	○	
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) →Rn, 1→CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) →Rn, 1→CS	1	—			○
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) →Rn, 1→CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) →Rn, 1→CS	1	—			○

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) →Rn, 1→CS	1	—			○
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) →Rn, 1→CS	1	—			○
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算(Rn÷Rm)	1	計算結果	○	○	
DIV0S Rm, Rn	0010nnnnmmmm0111	RnのMSB→Q, RmのMSB→M, M^Q→T	1	計算結果	○	○	
DIV0U	0000000000011001	0→M/Q/T	1	0	○	○	
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn÷R0→Rn 32÷32 →32ビット	36	—			○
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn÷R0→Rn 32÷32 →32ビット	34	—			○
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn×Rm→MACH, MACL 32×32→64ビット	2	—	○	○	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn×Rm→MACH, MACL 32×32→64ビット	2	—	○	○	
DT Rn	0100nnnn00010000	Rn-1→Rn, Rnが0のとき 1→T Rnが0以外のとき 0→T	1	比較結果	○	○	
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張→Rn	1	—	○	○	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rmをワードから符号拡張→Rn	1	—	○	○	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張→Rn	1	—	○	○	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張→Rn	1	—	○	○	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 32×32+64→64ビット	4	—	○	○	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 16×16+64→64ビット	3	—	○	○	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn×Rm→MACL 32×32→32 ビット	2	—	○	○	
MULR R0, Rn	0100nnnn10000000	R0×Rn→Rn 32×32→32ビット	2				○
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn×Rm→MACL 16×16→32ビット	1	—	○	○	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn×Rm→MACL 16×16→32ビット	1	—	○	○	
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→Rn	1	—	○	○	
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→Rn, ポロー→T	1	ポロー	○	○	
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm→Rn	1	—	○	○	

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T→Rn, ボロー→T	1	ボロー	○	○	
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm→Rn, アンダフロー→T	1	オーバ フロー	○	○	

2.5.4 論理演算命令

表 2.14 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm→Rn	1	—	○	○	
AND #imm, R0	11001001iiiiiii	R0 & imm→R0	1	—	○	○	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0+GBR) & imm→(R0+GBR)	3	—	○	○	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm→Rn	1	—	○	○	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm→Rn	1	—	○	○	
OR #imm, R0	11001011iiiiiii	R0 imm→R0	1	—	○	○	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0+GBR) imm→(R0+GBR)	3	—	○	○	
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1→T, それ以外のとき0→T, 1→MSB of(Rn)	3	テスト 結果	○	○	
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1→T, その他0→T	1	テスト 結果	○	○	
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が0のとき1→T その他0→T	1	テスト 結果	○	○	
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0+GBR) & imm, 結果が0のとき1→T その他0→T	3	テスト 結果	○	○	
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm→Rn	1	—	○	○	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm→R0	1	—	○	○	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0+GBR) ^ imm→(R0+GBR)	3	—	○	○	

2.5.5 シフト命令

表 2.15 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB	○	○	
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB	○	○	
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB	○	○	
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHAD Rm, Rn	0100nnnnmmmm1100	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [MSB \rightarrow Rn]$	1	—		○	
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHLD Rm, Rn	0100nnnnmmmm1101	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	1	—		○	
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB	○	○	
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—	○	○	
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—	○	○	
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—	○	○	
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—	○	○	
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—	○	○	
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—	○	○	

2.5.6 分岐命令

表 2.16 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
BF label	10001011dddddddd	T=0 のとき disp×2+PC→PC, T=1 のとき nop	3/1*	—	○	○	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp×2+PC→PC, T=1 のとき nop	2/1*	—	○	○	
BT label	10001001dddddddd	T=1 のとき disp×2+PC→PC, T=0 のとき nop	3/1*	—	○	○	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp×2+PC→PC, T=0 のとき nop	2/1*	—	○	○	
BRA label	1010dddddddddddd	遅延分岐、disp×2+PC→PC	2	—	○	○	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC→PC	2	—	○	○	
BSR label	1011dddddddddddd	遅延分岐、PC→PR, disp×2+PC→PC	2	—	○	○	
BSRF Rm	0000mmmm00000011	遅延分岐、PC→PR, Rm+PC→PC	2	—	○	○	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm→PC	2	—	○	○	
JSR @Rm	0100mmmm00001011	遅延分岐、PC→PR, Rm→PC	2	—	○	○	
JSR/N @Rm	0100mmmm01001011	PC-2→PR, Rm→PC	3	—			○
JSR/N @@(disp8, TBR)	10000011dddddddd	PC-2→PR, (disp×4+TBR)→PC	5	—			○
RTS	0000000000001011	遅延分岐、PR→PC	2	—	○	○	
RTS/N	0000000001101011	PR→PC	3	—			○
RTV/N Rm	0000mmmm01111011	Rm→R0, PR→PC	3	—			○

【注】 * 分岐しないときは 1 ステートになります。

2.5.7 システム制御命令

表 2.17 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
CLRT	000000000001000	0→T	1	0	○	○	
CLRMAC	000000000101000	0→MACH,MACL	1	—	○	○	
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) → R0	6	—			○
LDC Rm, SR	0100mmmm00001110	Rm→SR	3	LSB	○	○	
LDC Rm, TBR	0100mmmm01001010	Rm→TBR	1	—			○
LDC Rm, GBR	0100mmmm00011110	Rm→GBR	1	—	○	○	
LDC Rm, VBR	0100mmmm00101110	Rm→VBR	1	—	○	○	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm)→SR, Rm+4→Rm	5	LSB	○	○	
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm)→GBR, Rm+4→Rm	1	—	○	○	
LDC.L @Rm+, VBR	0100mmmm01001111	(Rm)→VBR, Rm+4→Rm	1	—	○	○	
LDS Rm, MACH	0100mmmm00001010	Rm→MACH	1	—	○	○	
LDS Rm, MACL	0100mmmm00011010	Rm→MACL	1	—	○	○	
LDS Rm, PR	0100mmmm01010101	Rm→PR	1	—	○	○	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm)→MACH, Rm+4→Rm	1	—	○	○	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm)→MACL, Rm+4→Rm	1	—	○	○	
LDS.L @Rm+, PR	0100mmmm01001110	(Rm)→PR, Rm+4→Rm	1	—	○	○	
NOP	000000000001001	無操作	1	—	○	○	
RESBANK	000000001011011	バンク→R0~R14, GBR, MACH, MACL, PR	9*	—			○
RTE	000000000101011	遅延分岐、スタック領域→PC/SR	6	—	○	○	
SETT	000000000011000	1→T	1	1	○	○	
SLEEP	000000000011011	スリープ	5	—	○	○	
STBANK R0, @Rn	0100nnnn11100001	R0→(指定レジスタバンクエントリ)	7	—			○
STC SR, Rn	0000nnnn00000010	SR→Rn	2	—	○	○	
STC TBR, Rn	0000nnnn01001010	TBR→Rn	1	—			○
STC GBR, Rn	0000nnnn00010010	GBR→Rn	1	—	○	○	
STC VBR, Rn	0000nnnn00100010	VBR→Rn	1	—	○	○	
STC.L SR, @- Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	2	—	○	○	
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	1	—	○	○	
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	1	—	○	○	

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
STS MACH, Rn	0000nnnn00001010	MACH→Rn	1	—	○	○	
STS MACL, Rn	0000nnnn00011010	MACL→Rn	1	—	○	○	
STS PR, Rn	0000nnnn00101010	PR→Rn	1	—	○	○	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4→Rn, MACH→(Rn)	1	—	○	○	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4→Rn, MACL→(Rn)	1	—	○	○	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4→Rn, PR→(Rn)	1	—	○	○	
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、 (imm×4+VBR)→PC	5	—	○	○	

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバフロー時は、ステート数が 19 です。

2.5.8 浮動小数点演算命令（SH7239 グループのみ）

表 2.18 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn →FRn	1	—	○	○	
FABS DRn	1111nnn001011101	DRn →DRn	1	—		○	
FADD FRm, FRn	1111nnnnnnmm0000	FRn+FRm→FRn	1	—	○	○	
FADD DRm, DRn	1111nnn0mmmm0000	DRn+DRm→DRn	6	—		○	
FCMP/EQ FRm, FRn	1111nnnnnnmm0100	(FRn=FRm)? 1:0→T	1	比較結果	○	○	
FCMP/EQ DRm, DRn	1111nnn0mmmm00100	(DRn=DRm)? 1:0→T	2	比較結果		○	
FCMP/GT FRm, FRn	1111nnnnnnmm0101	(FRn>FRm)? 1:0→T	1	比較結果	○	○	
FCMP/GT DRm, DRn	1111nnn0mmmm00101	(DRn>DRm)? 1:0→T	2	比較結果		○	
FCNVDS DRm, FPUL	1111mm010111101	(float)DRm→FPUL	2	—		○	
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL→DRn	2	—		○	
FDIV FRm, FRn	1111nnnnnnmm0011	FRn/FRm→FRn	10	—	○	○	
FDIV DRm, DRn	1111nnn0mmmm00011	DRn/DRm→DRn	23	—		○	
FLDI0 FRn	1111nnnn10001101	0×00000000→FRn	1	—	○	○	
FLDI1 FRn	1111nnnn10011101	0×3F800000→FRn	1	—	○	○	

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
FLDS FRm, FPUL	1111mmmm00011101	FRm→FPUL	1	—	○	○	
FLOAT FPUL,FRn	1111nnnn00101101	(float)FPUL→FRn	1	—	○	○	
FLOAT FPUL,DRn	1111nnn000101101	(double)FPUL→DRn	2	—		○	
FMAC FR0,FRm,FRn	1111nnnnmmmm1110	FR0×FRm+FRn→FRn	1	—	○	○	
FMOV FRm, FRn	1111nnnnmmmm1100	FRm→FRn	1	—	○	○	
FMOV DRm, DRn	1111nnn0mmmm01100	DRm→DRn	2	—		○	
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm)→FRn	1	—	○	○	
FMOV.D @(R0, Rm), DRn	1111nnn0mmmm0110	(R0+Rm)→DRn	2	—		○	
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm)→FRn, Rm+=4	1	—	○	○	
FMOV.D @Rm+, DRn	1111nnn0mmmm1001	(Rm)→DRn, Rm+=8	2	—		○	
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm)→FRn	1	—	○	○	
FMOV.D @Rm, DRn	1111nnn0mmmm1000	(Rm)→DRn	2	—		○	
FMOV.S @(disp12,Rm),FRn	0011nnnnmmmm0001 0111ddddddddddd	(disp×4+Rm)→FRn	1	—			○
FMOV.D @(disp12,Rm),DRn	0011nnn0mmmm0001 0111ddddddddddd	(disp×8+Rm)→DRn	2	—			○
FMOV.S FRm, @(R0,Rn)	1111nnnnmmmm0111	FRm→(R0+Rn)	1	—	○	○	
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm0111	DRm→(R0+Rn)	2	—		○	
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn=4, FRm→(Rn)	1	—	○	○	
FMOV.D DRm, @-Rn	1111nnnnmmmm1011	Rn=8, DRm→(Rn)	2	—		○	
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm→(Rn)	1	—	○	○	
FMOV.D DRm, @Rn	1111nnnnmmmm1010	DRm→(Rn)	2	—		○	
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm→(disp×4+Rn)	1	—			○
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	DRm→(disp×8+Rn)	2	—			○
FMUL FRm, FRn	1111nnnnmmmm0010	FRn×FRm→FRn	1	—	○	○	
FMUL DRm, DRn	1111nnn0mmmm00010	DRn×DRm→DRn	6	—		○	
FNEG FRn	1111nnnn01001101	-FRn→FRn	1	—	○	○	
FNEG DRn	1111nnn01001101	-DRn→DRn	1	—		○	
FSCHG	1111001111111101	FPSCR.SZ--FPSCR.SZ	1	—		○	
FSQRT FRn	1111nnnn01101101	√FRn→FRn	9	—		○	
FSQRT DRn	1111nnn01101101	√DRn→DRn	22	—		○	
FSTS FPUL,FRn	1111nnnn00001101	FPUL→FRn	1	—	○	○	
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm→FRn	1	—	○	○	
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm→DRn	6	—		○	
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm→FPUL	1	—	○	○	
FTRC DRm, FPUL	1111mmmm00011101	(long)DRm→FPUL	2	—		○	

2.5.9 FPU に関する CPU 命令 (SH7239 グループのみ)

表 2.19 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm→FPSCR	1	—	○	○	
LDS Rm,FPUL	0100mmmm01011010	Rm→FPUL	1	—	○	○	
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm)→FPSCR, Rm+=4	1	—	○	○	
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm)→FPUL, Rm+=4	1	—	○	○	
STS FPSCR, Rn	0000nnnn01101010	FPSCR→Rn	1	—	○	○	
STS FPUL, Rn	0000nnnn01011010	FPUL→Rn	1	—	○	○	
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn=4, FPSCR→(Rn)	1	—	○	○	
STS.L FPUL, @-Rn	0100nnnn01010010	Rn=4, FPUL→(Rn)	1	—	○	○	

2.5.10 ビット操作命令

表 2.20 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
BAND.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T → T	3	演算結果			○
BANDNOT.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T → T	3	演算結果			○
BCLR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0000ddddddddddd	0→ (imm of (disp+ Rn))	3	—			○
BCLR #imm3, Rn	10000110nnnn0iii	0→ imm of Rn	1	—			○
BLD.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) → T	3	演算結果			○
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn → T	1	演算結果			○
BLDNOT.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) → T	3	演算結果			○
BOR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T → T	3	演算結果			○
BORNOT.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T → T	3	演算結果			○

命 令	命令コード	動 作	実行 ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/ SH2A- FPU
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1→ (imm of (disp+Rn))	3	—			○
BSET #imm3, Rn	10000110nnnn1iii	1→ imm of Rn	1	—			○
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T→(imm of (disp+Rn))	3	—			○
BST #imm3, Rn	10000111nnnn0iii	T→ imm of Rn	1	—			○
BXOR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T → T	3	演算結果			○

2.6 処理状態

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。状態間の遷移を図2.8に示します。

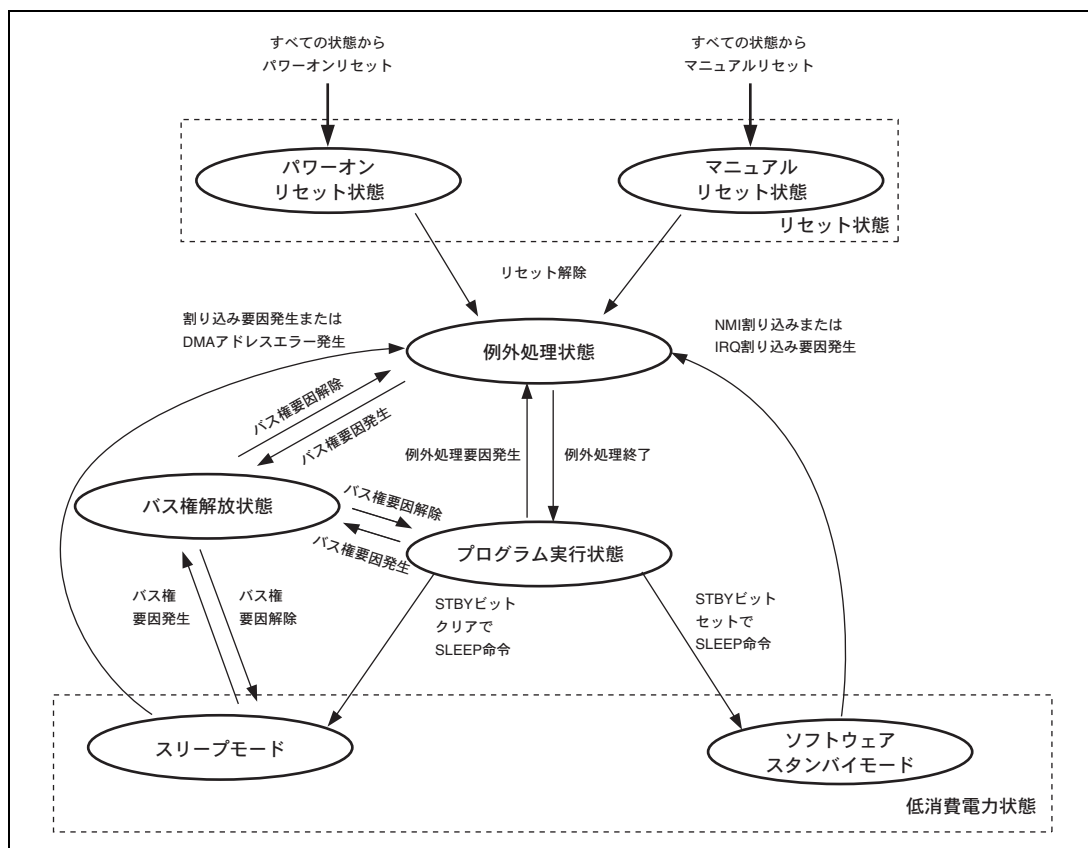


図2.8 処理状態の状態遷移図

(1) リセット状態

CPUがリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPUが処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ（PC）の初期値としての実行開始アドレスとスタックポインタ（SP）の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ（SR）をスタック領域に退避します。例外処

理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には 2 種類の MCU 動作モードと 3 種類の内蔵フラッシュメモリ書き込み用のモードがあります。

動作モードは FWE 端子と MD0 端子の組み合わせで設定します。

本 LSI にて設定可能な動作モードの組み合わせを表 3.1 に示します。表 3.1 以外の組み合わせは設定しないでください。

なお、システムの電源投入時は、パワーオンリセット処理を必ず行うようにしてください。

MCU 動作モードとしては、MCU 拡張モード 2 とシングルチップモードがあります。

内蔵フラッシュメモリ書き込み用のモードには、オンボードプログラムモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

表 3.1 動作モードと端子の設定の組み合わせ

MCU 動作モード	端子設定		モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD0			
モード 2* ⁵	0	0	MCU 拡張モード 2	有効	BSC の CS0BCR により設定
モード 3	0	1	シングルチップモード	有効	—
モード 4* ¹ * ²	1	0	ブートモード	有効	—
モード 4* ¹ * ³ * ⁵	1	0	ユーザプログラムモード	有効	BSC の CS0BCR により設定
モード 6* ¹ * ²	1	1	ユーザブートモード	有効	—
モード 6* ¹ * ⁴	1	1	ユーザプログラムモード	有効	—

【注】 *1 フラッシュメモリのプログラムモードです。

*2 電源投入時から常に FWE=1 にした場合です。

*3 リセット解除時、FWE=0 とし、MCU 拡張モード 2 に MCU 動作が確定した後で FWE=1 にした場合、MCU 拡張モード 2 状態でユーザプログラムモードに遷移します。

*4 リセット解除時、FWE=0 とし、シングルチップモードに MCU 動作が確定した後で FWE=1 にした場合、シングルチップモード状態でユーザプログラムモードに遷移します。

*5 モード 2 (MCU 拡張モード 2) およびモード 4 (ユーザプログラムモード) は、SH7239A、SH7237A のみ使用できます。

3.2 入出力端子

表 3.2 に動作モードに関連する端子構成を示します。

表 3.2 端子構成

名称	入出力	機能
MD0	入力	動作モードを指定
FWE	入力	内蔵フラッシュメモリの書き込み／消去のハードウェアイネーブル用端子

3.3 各動作モードの説明

3.3.1 モード 2 (MCU 拡張モード 2)

モード 2 では、内蔵 ROM が有効で、CS 空間を使用することができます。

SH7239A、SH7237A のみ使用できます。

3.3.2 モード 3 (シングルチップモード)

シングルチップモードでは、すべてのポートを使用することができますが外部アドレスは使用できません。

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

モード2* 【内蔵フラッシュメモリ有効】		モード3 【シングルチップ】	
H'0000 0000	内蔵フラッシュメモリ (512KB)	H'0000 0000	内蔵フラッシュメモリ (512KB)
H'0007 FFFF H'0008 0000	予約	H'0007 FFFF H'0008 0000	予約
H'0040 1FFF H'0040 2000	FCUファーム領域 (8KB)	H'0040 1FFF H'0040 2000	FCUファーム領域 (8KB)
H'0040 3FFF H'0040 4000	予約	H'0040 3FFF H'0040 4000	予約
H'01FF FFFF H'0200 0000	CS0空間 (2MB)		
H'021F FFFF H'0220 0000	予約		
H'03FF FFFF H'0400 0000	CS1空間 (2MB)		
H'041F FFFF H'0420 0000	予約		
H'0BFF FFFF H'0C00 0000	CS3空間 (2MB)		
H'0C1F FFFF H'0C20 0000	予約		
H'0FFF FFFF H'1000 0000	CS4空間 (2MB)		
H'101F FFFF H'1020 0000	予約		
H'13FF FFFF H'1400 0000	CS5空間 (2MB)		
H'141F FFFF H'1420 0000	予約		
H'17FF FFFF H'1800 0000	CS6空間 (2MB)		
H'181F FFFF H'1820 0000	予約		
H'800F FFFF H'8010 0000	データフラッシュ (32KB)	H'800F FFFF H'8010 0000	
H'8010 7FFF H'8010 8000	予約	H'8010 7FFF H'8010 8000	予約
H'80FF 7FFF H'80FF 8000	FCU RAM (8KB)	H'80FF 7FFF H'80FF 8000	FCU RAM (8KB)
H'80FF 9FFF H'80FF A000	予約	H'80FF 9FFF H'80FF A000	予約
H'FFF7 FFFF H'FFF8 0000	内蔵RAM (32KB)	H'FFF7 FFFF H'FFF8 0000	内蔵RAM (32KB)
H'FFF8 7FFF H'FFF8 8000	予約	H'FFF8 7FFF H'FFF8 8000	予約
H'FFF8 FFFF H'FFF9 0000	内蔵RAM (32KB)	H'FFF8 FFFF H'FFF9 0000	内蔵RAM (32KB)
H'FFF9 7FFF H'FFF9 8000	予約	H'FFF9 7FFF H'FFF9 8000	予約
H'FFFD FFFF H'FFFE 0000	周辺I/O	H'FFFD FFFF H'FFFE 0000	周辺I/O
H'FFFF FFFF		H'FFFF FFFF	

【注】* SH7239A、SH7237Aのみ使用できます。

図 3.1 ROM 容量が 512K バイト版の製品のアドレスマップ

モード2* 【内蔵フラッシュメモリ有効】		モード3 【シングルチップ】		
H'0000 0000	内蔵フラッシュメモリ (256KB)	H'0000 0000	内蔵フラッシュメモリ (256KB)	
H'0003 FFFF H'0004 0000	予約	H'0003 FFFF H'0004 0000	予約	
H'0040 1FFF H'0040 2000	FCUファーム領域 (8KB)	H'0040 1FFF H'0040 2000	FCUファーム領域 (8KB)	
H'0040 3FFF H'0040 4000	予約	H'0040 3FFF H'0040 4000	予約	
H'01FF FFFF H'0200 0000	CS0空間 (2MB)			
H'021F FFFF H'0220 0000	予約			
H'03FF FFFF H'0400 0000	CS1空間 (2MB)			
H'041F FFFF H'0420 0000	予約			
H'0BFF FFFF H'0C00 0000	CS3空間 (2MB)			
H'0C1F FFFF H'0C20 0000	予約			
H'0FFF FFFF H'1000 0000	CS4空間 (2MB)			
H'101F FFFF H'1020 0000	予約			
H'13FF FFFF H'1400 0000	CS5空間 (2MB)			
H'141F FFFF H'1420 0000	予約			
H'17FF FFFF H'1800 0000	CS6空間 (2MB)			
H'181F FFFF H'1820 0000	予約			
H'800F FFFF H'8010 0000	データフラッシュ (32KB)	H'800F FFFF H'8010 0000		データフラッシュ (32KB)
H'8010 7FFF H'8010 8000	予約	H'8010 7FFF H'8010 8000		予約
H'80FF 7FFF H'80FF 8000	FCU RAM (8KB)	H'80FF 7FFF H'80FF 8000		FCU RAM (8KB)
H'80FF 9FFF H'80FF A000	予約	H'80FF 9FFF H'80FF A000		予約
H'FFF7 FFFF H'FFF8 0000	内蔵RAM (32KB)	H'FFF7 FFFF H'FFF8 0000	内蔵RAM (32KB)	
H'FFF8 7FFF H'FFF8 8000	予約	H'FFF8 7FFF H'FFF8 8000	予約	
H'FFFD FFFF H'FFFE 0000	周辺I/O	H'FFFD FFFF H'FFFE 0000	周辺I/O	
H'FFFF FFFF		H'FFFF FFFF		

【注】* SH7239A、SH7237Aのみ使用できます。

図 3.2 ROM 容量が 256K バイト版の製品のアドレスマップ

3.5 本 LSI の初期状態

本 LSI では、低消費電力化のため、初期状態では一部の内蔵モジュールがモジュールスタンバイ状態に設定されています。このため、これらのモジュールを動作させるには、モジュールスタンバイ状態を解除する必要があります。詳細は「第 26 章 低消費電力モード」を参照してください。

3.6 動作モード変更時の注意事項

本 LSI へ電源印加中に動作モードを変更する場合は、必ずパワーオンリセット状態 ($\overline{\text{RES}}$ 端子にローレベルを印加) で行ってください。ただし、モード 2 (MCU 拡張モード 2) からモード 4 (ユーザプログラミングモード)、モード 3 (シングルチップモード) からモード 6 (ユーザプログラミングモード) へのモード変更の場合は除きます。

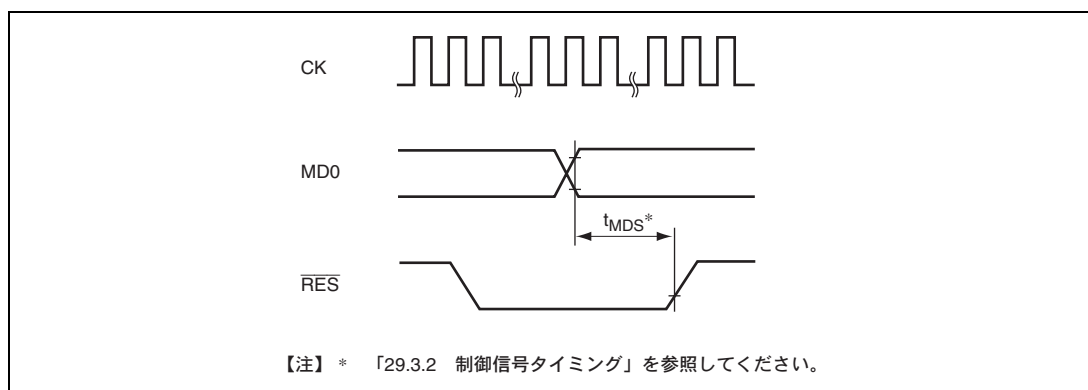


図 3.3 動作モード変更時のリセット入力タイミング

4. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、内部クロック (Iφ)、周辺クロック (Pφ)、バスクロック (Bφ)、MTU クロック (Mφ)、および AD クロック (Aφ) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

4.1 特長

- 5種類のクロック

CPU、ROMキャッシュで使用する内部クロック (Iφ)、周辺モジュールで使用する周辺クロック (Pφ)、外部バスインタフェースで使用するバスクロック (Bφ=CK)、MTU2/MTU2Sモジュールで使用するMTU クロック (Mφ)、さらにA/D変換器で使用するADクロック (Aφ) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定によりソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第26章 低消費電力モード」を参照してください。

図 4.1 にクロックパルス発振器のブロック図を示します。

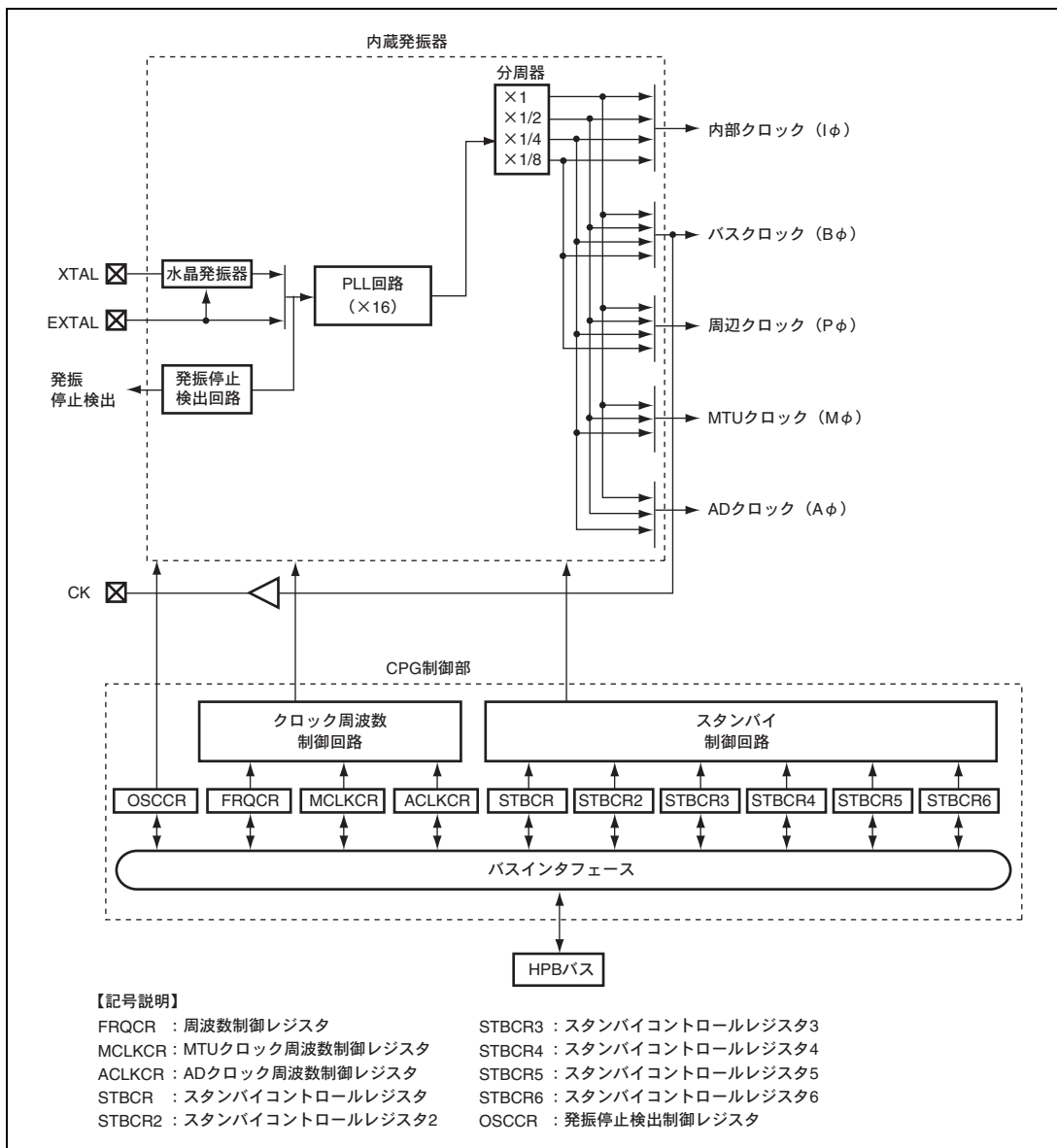


図 4.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) PLL 回路

PLL 回路は、水晶発振器または EXTAL 端子からの入力クロック周波数を 16 倍に通倍する機能を持ちます。

(2) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合は発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(3) 分周器

分周器は、内部クロック (Iφ)、バスクロック (Bφ)、周辺クロック (Pφ)、MTU クロック (Mφ)、および AD クロック (Aφ) で使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL 回路の出力周波数に対して、1 倍、1/2 倍、1/4 倍の選択が可能です。さらに、Iφ、Bφ、Pφ は 1/8 倍の選択が可能です。分周率は、周波数制御レジスタ (FRQCR) で設定します。

(4) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(5) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(6) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、内部クロック (Iφ)、バスクロック (Bφ) および周辺クロック (Pφ) の周波数分周率の各制御ビットが割り当てられています。

(7) MTU クロック周波数制御レジスタ (MCLKCR)

MTU クロック周波数制御レジスタ (MCLKCR) には、MTU クロック (Mφ) の周波数分周率の各制御ビットが割り当てられています。

(8) AD クロック周波数制御レジスタ (ACLKCR)

AD クロック周波数制御レジスタ (ACLKCR) には、AD クロック (Aφ) の周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 26 章 低消費電力モード」を参照してください。

(10) 発振停止検出制御レジスタ (OSCCR)

発振停止検出制御レジスタ (OSCCR) には、発振停止検出フラグと外部端子へのフラグ出力選択ビットが割り当てられています。

4.2 入出力端子

クロックパルス発振器の端子構成と機能を表 4.1 に示します。

表 4.1 発振回路の端子構成と機能

名称	端子名	入出力	機能
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CK*	出力	クロック出力端子になります。ハイインピーダンスにすることもできます。

【注】 * SH7239A、SH7237A のみ使用できます。

クロック出力端子 (CK) を使用する場合、ピンファンクションコントローラ (PFC) による端子の設定が必要な場合があります。詳細は「第 21 章 ピンファンクションコントローラ (PFC)」をご覧ください。

4.3 クロック動作モード

本 LSI のクロック動作モードを表 4.2 に示します。

表 4.2 クロック動作モード

モード	クロック入出力		PLL 回路	分周器への入力
	供給源	出力		
1	EXTAL 入力 水晶発振子	CK*	ON (×16)	×16

【注】 * CK 端子よりクロック出力をする場合は PFC の設定が必要になります。

PFC の設定については「第 21 章 ピンファンクションコントローラ (PFC)」を参照してください。

EXTAL 端子から外部クロックを入力し、PLL 回路で周波数を 16 倍に通倍して本 LSI 内部に供給するので、外部で生成するクロック周波数が低くてすみません。入力クロック周波数は 10MHz から 12.5MHz まで使用でき、内部クロック (I ϕ) の周波数レジスタとしては 40MHz から 100MHz (SH7239A、SH7237A の場合は 160MHz) となります。また、製品によって最大動作周波数は以下のとおり異なります。

- SH7239A、SH7237A

I ϕ = 160 MHz、B ϕ = 40 MHz、P ϕ = 40 MHz、A ϕ = 40 MHz、M ϕ = 80 MHz

- SH7239B、SH7237B

I ϕ = 100 MHz、B ϕ = 50 MHz、P ϕ = 50 MHz、A ϕ = 50 MHz、M ϕ = 100 MHz

表 4.3 に、FRQCR で設定可能な分周率の設定範囲例を示します。表 4.4 に各クロックの設定の限界値および周波数変更時の注意事項を示します。

表 4.3 クロック動作モードと設定可能な周波数範囲例

PLL 通倍率	FRQCR.MCLKCR/ACLKCR の分周率設定					クロック比					クロック周波数 (MHz) *					
	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ	入力クロック	I ϕ	B ϕ	P ϕ	M ϕ	A ϕ
×16	1/4	1/8	1/8	1/4	1/4	4	2	2	4	4	10	40	20	20	40	40
	1/2	1/8	1/8	1/4	1/4	8	2	2	4	4		80	20	20	40	40
	1/2	1/8	1/8	1/2	1/4	8	2	2	8	4		80	20	20	80	40
	1/2	1/4	1/8	1/4	1/4	8	4	2	4	4		80	40	20	40	40
	1/2	1/4	1/8	1/2	1/4	8	4	2	8	4		80	40	20	80	40
	1/2	1/4	1/4	1/4	1/4	8	4	4	4	4		80	40	40	40	40
	1/2	1/4	1/4	1/2	1/4	8	4	4	8	4		80	40	40	80	40
	1/1	1/8	1/8	1/4	1/4	16	2	2	4	4	10 (SH7239A、 SH7237A のみ)	160	20	20	40	40
	1/1	1/8	1/8	1/2	1/4	16	2	2	8	4		160	20	20	80	40
	1/1	1/4	1/8	1/4	1/4	16	4	2	4	4		160	40	20	40	40
	1/1	1/4	1/8	1/2	1/4	16	4	2	8	4		160	40	20	80	40
	1/1	1/4	1/4	1/4	1/4	16	4	4	4	4		160	40	40	40	40
	1/1	1/4	1/4	1/2	1/4	16	4	4	8	4		160	40	40	80	40
	1/4	1/8	1/8	1/4	1/4	4	2	2	4	4		12.5 (SH7239B、 SH7237B のみ)	50	25	25	50
	1/2	1/8	1/8	1/4	1/4	8	2	2	4	4	100		25	25	50	50
	1/2	1/8	1/8	1/2	1/4	8	2	2	8	4	100		25	25	100	50
	1/2	1/4	1/8	1/4	1/4	8	4	2	4	4	100		50	25	50	50
	1/2	1/4	1/8	1/2	1/4	8	4	2	8	4	100		50	25	100	50
	1/2	1/4	1/4	1/4	1/4	8	4	4	4	4	100		50	50	50	50
	1/2	1/4	1/4	1/2	1/4	8	4	4	8	4	100		50	50	100	50

【注】 * クロック周波数は、入力クロックの周波数を仮定した場合の値です。

- PLL 回路の通倍率は×16のみです。分周器の分周率には、×1、×1/2、×1/4、×1/8 が選択できます。これらは設定するクロックごとに、周波数制御レジスタで設定します。
- PLL 回路の出力周波数は、水晶発振子からの入力、または EXTERNAL 端子からの入力クロックの周波数に、PLL 回路の 16 倍の通倍率を掛けた周波数になります。この周波数は 160MHz または 100MHz 以下で使用してください。
- 分周器の入力は、常に PLL 回路の出力になります。
- 内部クロック (I ϕ) の周波数は、水晶発振子からの入力、または EXTERNAL 端子からの入力クロックの周波数に、PLL 回路の 16 倍の通倍率と分周器の分周率を掛けた周波数になります。内部クロック (I ϕ) の周波数は、最大動作周波数以下になるように設定してください。
- バスクロック (B ϕ) の周波数は、水晶発振子からの入力、または EXTERNAL 端子からの入力クロックの周波数に、PLL 回路の 16 倍の通倍率と分周器の分周率を掛けた周波数になります。バスクロック (B ϕ) の周波数は、50MHz (または 40MHz) 以下、および内部クロック (I ϕ) の周波数より小さく設定してください。
- 周辺クロック (P ϕ) の周波数は、水晶発振子からの入力、または EXTERNAL 端子からの入力クロックの周波数に、PLL 回路の 16 倍の通倍率と分周器の分周率を掛けた周波数になります。周辺クロック (P ϕ) の周波数は、50MHz (または 40MHz) 以下、およびバスクロック (B ϕ) の周波数以下に設

定してください。

7. MTU2S を使用する場合、MTU クロック (Mφ) は 100MHz (または 80MHz) 以下、Pφ、Bφ 以上になるように設定してください。

MTU クロック (Mφ) の周波数は、水晶発振子からの入力、または EXTAL 端子からの入力クロックの周波数に、PLL 回路の 16 倍の逡倍率と分周器の分周率を掛けた周波数になります。

8. CK 端子の周波数は常にバスクロック (Bφ) の周波数と等しくなります。
9. AD を使用する場合、AD クロック (Aφ) は周辺クロック (Pφ) の周波数以上になるように設定してください。

表 4.4 各クロックの設定の限界値および周波数変更時の注意事項

クロック	各クロックの設定の限界値			設定できる分周率	周波数変更時の注意事項
	最大値		最小値		
	SH7239A、 SH7237A	SH7239B、 SH7237B			
内部クロック (Iφ)	160MHz	100MHz	40MHz	1、1/2、1/4	次の条件をすべて満たす値になるように設定してください。 <ul style="list-style-type: none"> • 最大値以下
バスクロック (Bφ)	40MHz	50MHz	20MHz	1、1/2、1/4、1/8	次の条件をすべて満たす値になるように設定してください。 <ul style="list-style-type: none"> • 最大値以下 • Iφ以下
周辺クロック (Pφ)	40MHz	50MHz	20MHz	1、1/2、1/4、1/8	次の条件をすべて満たす値になるように設定してください。 <ul style="list-style-type: none"> • 最大値以下 • Bφ以下
ADクロック (Aφ)	40MHz	50MHz	40MHz	1、1/2、1/4	次の条件をすべて満たす値になるように設定してください。 <ul style="list-style-type: none"> • 最大値以下 • Iφ以下 • Pφ以上 • Pφの整数倍
MTUクロック (Mφ)	80MHz	100MHz	40MHz	1、1/2、1/4	

【注】 バスクロック (Bφ) の変更に関しては表中以外に重要な注意事項があります。詳細は「4.5 周波数変更方法」を参照してください。

4.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 4.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0535	H'FFFE0010	16
MTU クロック周波数制御レジスタ	MCLKCR	R/W	H'43	H'FFFE0410	8
AD クロック周波数制御レジスタ	ACLKCR	R/W	H'43	H'FFFE0414	8
発振停止検出制御レジスタ	OSCCR	R/W	H'00	H'FFFE001C	8

4.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し／書き込み可能な 16 ビットのレジスタで、内部クロック (Iφ)、バスクロック (Bφ)、および周辺クロック (Pφ) の周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。FRQCR をリードして設定値になったことを確認してから 32Pφ クロック分の NOP 命令を実行してください。また、FRQCR 設定後に各モジュールの設定を行ってください。

FRQCR は、パワーオンリセット時のみ H'0535 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。バスクロックの周波数の分周率を切り替えるとき、切り替えによる CK のハザードを防止するため入力クロック 1 周期分 CK が Low 固定されます。周波数の変更方法については、「4.5 周波数変更方法」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	STC[2:0]			-	IFC[2:0]			-	PFC[2:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	1	1	0	1	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	STC[2:0]	101	R/W	<p>バスクロック (Bϕ) 周波数の分周率</p> <p>バスクロック周波数の分周率を指定します。出力クロックは、SH7239A と SH7237A では 40MHz 以下かつ内部クロック (Iϕ) 周波数以下、SH7239B と SH7237B では 50MHz 以下かつ内部クロック (Iϕ) 周波数以下になるように設定してください。</p> <p>000 : $\times 1$ 倍 001 : $\times 1/2$ 倍 010 : 設定禁止 011 : $\times 1/4$ 倍 100 : 設定禁止 101 : $\times 1/8$ 倍 上記以外 : 設定禁止</p>
7	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	IFC[2:0]	011	R/W	<p>内部クロック (Iϕ) 周波数の分周率</p> <p>内部クロック周波数の分周率を指定します。出力クロックは、SH7239A と SH7237A では 160MHz 以下、SH7239B と SH7237B では 100MHz 以下になるように設定してください。</p> <p>000 : $\times 1$ 倍 001 : $\times 1/2$ 倍 010 : 設定禁止 011 : $\times 1/4$ 倍 100 : 設定禁止 101 : 設定禁止 上記以外 : 設定禁止</p>
3	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PFC[2:0]	101	R/W	<p>周辺クロック (Pϕ) 周波数の分周率</p> <p>周辺クロック周波数の分周率を指定します。出力クロックは、SH7239A と SH7237A では 40MHz 以下かつバスクロック (Bϕ) 周波数以下、SH7239B と SH7237B では 50MHz 以下かつバスクロック (Bϕ) 周波数以下になるように設定してください。</p> <p>000 : $\times 1$ 倍 001 : $\times 1/2$ 倍 010 : 設定禁止 011 : $\times 1/4$ 倍 100 : 設定禁止 101 : $\times 1/8$ 倍 上記以外 : 設定禁止</p>

4.4.2 MTU クロック周波数制御レジスタ (MCLKCR)

MCLKCR は、読み出し／書き込み可能な 8 ビットのレジスタです。MCLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'43 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MSDIVS[1:0]	
初期値:	0	1	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	MSDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。MTU クロックは、SH7239A と SH7237A では 80MHz 以下、SH7239B と SH7237B では 100MHz 以下に設定して、周辺クロック周波数 (Pφ) の整数倍になるようにしてください。 00 : ×1 倍 01 : ×1/2 倍 10 : 設定禁止 11 : ×1/4 倍

【注】 MTU クロックの設定範囲は、内部クロック (Iφ) ≥ MTU クロック (Mφ) です。

4.4.3 AD クロック周波数制御レジスタ (ACLKCR)

ACLKCR は、読み出し／書き込み可能な 8 ビットのレジスタです。ACLKCR は、バイトアクセスのみ可能です。パワーオンリセット時のみ H'43 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時は、前の値を保持しています。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	ASDIVS[1:0]	
初期値:	0	1	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	ASDIVS[1:0]	11	R/W	分周比セレクト 源クロックに対する分周比を設定します。AD クロックは、SH7239A と SH7237A では 40MHz 以下、SH7239B と SH7237B では 50MHz 以下に設定して、周辺クロック周波数 (Pφ) の整数倍になるようにしてください。 00 : ×1 倍 01 : ×1/2 倍 10 : 設定禁止 11 : ×1/4 倍

【注】 AD クロック (Aφ) の設定範囲は、内部クロック (Iφ) ≥ AD クロック (Aφ) です。

4.4.4 発振停止検出制御レジスタ (OSCCR)

OSCCR は、読み出し／書き込み可能な 8 ビットのレジスタで、発振停止検出フラグと外部端子へのフラグ出力の選択を行います。OSCCR はバイトアクセスのみ可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	OSC STOP	-	OSC ERS
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OSCSTOP	0	R	発振停止検出フラグ [セット条件] • 通常動作中にクロック入力の停止が検出されたとき [クリア条件] • $\overline{\text{RES}}$ 端子からのパワーオンリセット
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSCERS	0	R/W	発振停止検出フラグ出力選択 WDTOV $\overline{\text{F}}$ 端子から発振停止検出フラグ信号を出力するかを選択します。 0: WDTOV $\overline{\text{F}}$ 端子から WDT オーバフロー信号のみを出力します。 1: WDTOV $\overline{\text{F}}$ 端子から WDT オーバフロー信号と発振停止検出フラグ信号を出力します。

4.5 周波数変更方法

分周器の分周率を変えることによって、内部クロック、バスクロック、および周辺クロックの周波数と、MTUクロックとADクロックの周波数を変更することができます。これらは周波数制御レジスタ (FRQCR)、MTUクロック周波数制御レジスタ (MCLKCR)、ADクロック周波数制御レジスタ (ACLKCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

1. 初期状態では、IFC2~IFC0=B'011 (×1/4倍)、STC2~STC0=B'101 (×1/8倍)、PFC2~PFC0=B'101 (×1/8倍)、MSDIVS1、MSDIVS0=11 (×1/4倍)、ASDIVS1、ASDIVS0=11 (×1/4倍) になっています。
2. CPU、内蔵ROM、内蔵RAM以外のモジュールを停止させます。
3. WDTを使用している場合には必ずWDTを初期化してください。
4. IFC2~IFC0、STC2~STC0、PFC2~PFC0、MSDIVS1、MSDIVS0、ASDIVS1、ASDIVS0ビットを目的とする値に設定します。このときの周波数の設定は、内部クロック (Iφ) ≥バスクロック (Bφ) ≥周辺クロック (Pφ) となるように設定してください。また、MTUクロックを使用する場合は、80MHz (SH7239A、SH7237A) または100MHz (SH7239B、SH7237B) ≥MTUクロック (Mφ) ≥周辺クロック (Pφ) となるように設定してください。
5. Bφ、Pφを1/4倍以上の設定にした後、さらにBφを変更する場合は、Iφ、Bφ、Pφを同時に変更せずに、以下の手順で行ってください。
 1. Pφのみを1/8倍に変更する (FRQCRレジスタのPFC=B'101)。
 2. Pφが切り替わった後、Bφのみを所望の値に設定する。
 3. Iφ、Pφを所望の値に設定する。

制限はBφの変更のみです。Iφ、Pφを変更する場合は手順に制限はありません。

初期値からの変更には、Iφ、Bφ、Pφとも変更の手順に制限はありません。Iφ、Bφ、Pφを同時に変更できます。なお、FRQCRの変更は、内蔵RAM上のプログラムで行ってください。FRQCRを初期値から変更する場合も、内蔵RAM上のプログラムで行ってください。

4.6 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

4.6.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 4.2 に示します。ダンピング抵抗 R_d は、表 4.6 に示すものを使用してください。また、水晶発振子は、周波数が発振 10~12.5MHz のものをお使いください。

なお、水晶と LSI の相性については、水晶メーカーとご相談いただきますようお願い致します。

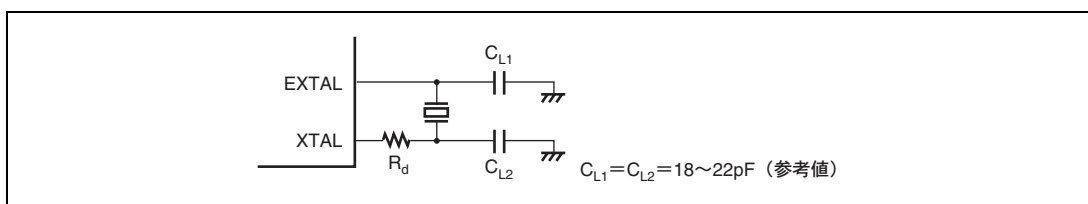


図 4.2 水晶発振子の接続例

表 4.6 ダンピング抵抗値 (参考値)

周波数 (MHz)	10	12.5
R_d (Ω) (参考値)	0	0

水晶発振子の等価回路を図 4.3 に示します。水晶発振子は表 4.7 に示す特性のものを使用してください。

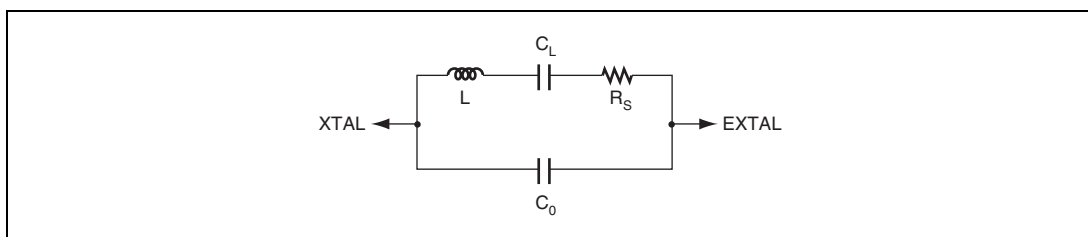


図 4.3 水晶発振子の等価回路

表 4.7 水晶発振子の特性

周波数 (MHz)	10	12.5
R_s Max. (Ω) (参考値)	60	50
C_0 Max. (pF) (参考値)	7	

4.6.2 外部クロックを入力する方法

外部クロック入力の接続例を図 4.4 に示します。ソフトウェアスタンバイモード時に外部クロックを止める場合、ハイレベルになるようにしてください。動作時は、外部入力クロックの周波数は 10~12.5MHz にしてください。XTAL 端子の寄生容量は 10pF 以下にしてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時やソフトウェアスタンバイ解除時は、発振安定時間以上待つようにしてください。



図 4.4 外部クロックの接続例

4.7 発振停止検出機能

CPG には、何らかのシステムの異常により発振器が停止した場合に備え、クロックの停止を検出する機能が備わっています。

EXTAL 入力が一定期間変化しないことを検出すると、OSCCR レジスタの OSCSTOP ビットを 1 にセットし、 $\overline{\text{RES}}$ 端子からのパワーオンリセットまたはソフトウェアスタンバイモード解除までその状態を保持します。このとき、OSCERS ビットが 1 に設定されていると、 $\overline{\text{WDTOVF}}$ 端子から発振停止検出フラグ信号を出力します。また、大電流ポート (MTU2 の TIOC3B、TIOC3D、TIOC4A~TIOC4D、MTU2S の TIOC3BS、TIOC3DS、TIOC4AS~TIOC4DS がマルチプレクスされている端子) は OSCERS ビットと PFC の設定にかかわらず常にハイインピーダンスになります。詳細は「付録 A. 端子状態」を参照してください。

上記端子は、ソフトウェアスタンバイ状態でも、ハイインピーダンスにすることができます。詳細は「付録 A. 端子状態」を参照してください。ソフトウェアスタンバイ状態解除後は通常動作になります。また、ソフトウェアスタンバイ状態以外で発振が停止するような異常動作時には、その他の LSI 動作は不定となります。この場合、再度発振を開始しても、上記端子を含めて LSI 動作は不定となります。

なお、EXTAL 入力に変化しない場合でも、本 LSI の PLL 回路は 100kHz~10MHz (温度、動作電圧により変動します) で発振を続けます。

4.8 ボード設計上の注意事項

4.8.1 外部水晶発振子使用時の注意

水晶発振子と容量 CL1、CL2 は、できるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

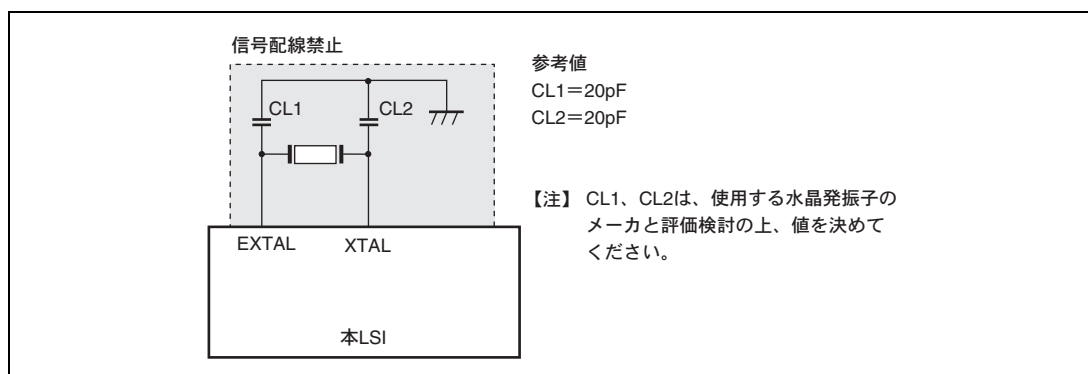


図 4.5 水晶発振子使用時の注意

PLL 回路の外付け推奨回路を図 4.6 に示します。PLL_{VCC}、PLL_{VSS}、V_{CL}、V_{SS} はボードの電源供給元から分離し、電源ノイズの影響を避けてください。また、V_{CL}、V_{SS} 端子の近くにバイパスコンデンサ CB と CPB を必ず挿入してください。LSI に供給する電源とグラウンドを安定させるため 4 層基板を推奨します。

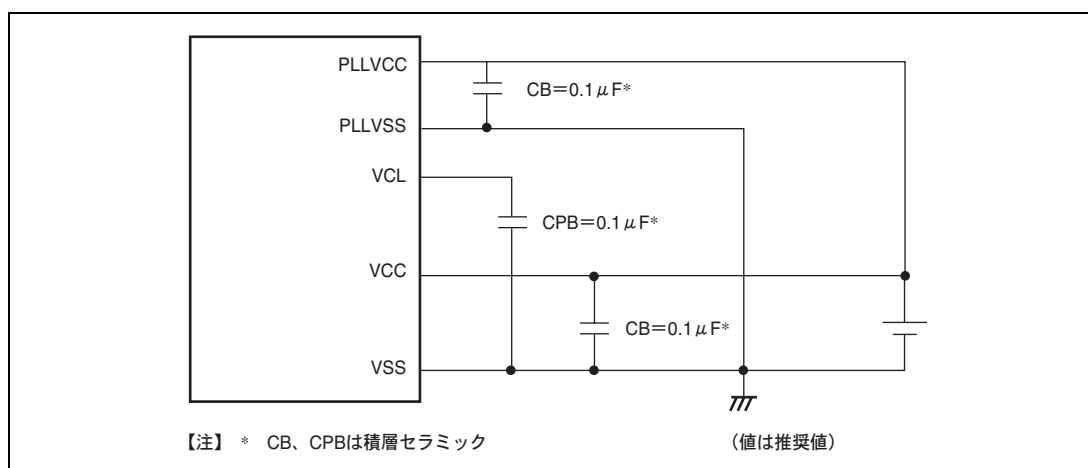


図 4.6 PLL 回路の外付け推奨回路

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

種類	例外処理	優先順位	
リセット	パワーオンリセット	↑ 高	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー	↑	
	DMAC、DTC アドレスエラー		
命令	FPU 例外 ^{*4}	↑	
	整数除算例外 (0 除算)		
	整数除算例外 (オーバーフロー)		
レジスタバンクエラー	バンクアンダフロー	↑	
	バンクオーバーフロー		
割り込み	NMI	↓ 低	
	ユーザブレイク		
	H-UDI		
	IRQ		
	メモリエラー (フラッシュメモリ、データフラッシュ)		
	内蔵周辺 モジュール		A/D 変換器 (ADC)
			コントローラエリアネットワーク (RCAN-ET)
			ダイレクトメモリアクセスコントローラ (DMAC)
			コンパリアマッチタイマ (CMT)
			マルチファンクションタイマパルスユニット 2 (MTU2)
			ウォッチドッグタイマ (WDT)
			ポートアウトプットイネーブル 2 (POE2) OE11、2 割り込み
			マルチファンクションタイマパルスユニット 2S (MTU2S)
			ポートアウトプットイネーブル 2 (POE2) OE13 割り込み

種類	例外処理		優先順位
割り込み	内蔵周辺 モジュール	ルネサスシリアルペリフェラルインタフェース (RSPI)	高 ↑ ↓ 低
		シリアルコミュニケーションインタフェース (SCI)	
		FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
命令	トラップ命令 (TRAPA 命令)		↑ ↓ 低
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コード、PC を書き換える命令* ² 、32 ビット命令* ³ 、RESBANK 命令、DIVS 命令または DIVU 命令)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、FMOV.S@disp12*⁴、FMOV.D@disp12*⁴、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

*4 SH7239 グループのみサポートしています。
SH7237 グループでは動作を保証しません。

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバーフローで開始されます。
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化、または WDT のオーバーフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとする開始されます。
	バンクオーバーフロー	割り込みコントローラでレジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コードがデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算命令	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバーフロー例外が検出されると開始されます。
	浮動小数点演算命令*	浮動小数点演算命令の無効演算例外 (IEEE754 規格)、ゼロによる除算例外、オーバーフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または ±∞ を浮動小数点演算命令のソースに入力すると開始されます。

【注】 * SH7239 グループのみサポートしています。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (INTC) の IBNR の BN ビットを 0 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI および UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000~H'00000003
	SP	1	H'00000004~H'00000007
マニュアルリセット	PC	2	H'00000008~H'0000000B
	SP	3	H'0000000C~H'0000000F
一般不当命令		4	H'00000010~H'00000013
(システム予約)		5	H'00000014~H'00000017
スロット不当命令		6	H'00000018~H'0000001B
(システム予約)		7	H'0000001C~H'0000001F
		8	H'00000020~H'00000023
CPU アドレスエラー		9	H'00000024~H'00000027
DMAC アドレスエラー		10	H'00000028~H'0000002B
割り込み	NMI	11	H'0000002C~H'0000002F
	ユーザブレイク	12	H'00000030~H'00000033
FPU 例外 ^{*1}		13	H'00000034~H'00000037
H-UDI		14	H'00000038~H'0000003B
バンクオーバフロー		15	H'0000003C~H'0000003F
バンクアンダフロー		16	H'00000040~H'00000043
整数除算例外 (0 除算)		17	H'00000044~H'00000047
整数除算例外 (オーバフロー)		18	H'00000048~H'0000004B
(システム予約)		19	H'0000004C~H'0000004F
		:	:
		31	H'0000007C~H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令（ユーザベクタ）	32	H'00000080～H'00000083
	⋮	⋮
	63	H'000000FC～H'000000FF
外部割り込み（IRQ）、内蔵周辺モジュール*2	64	H'00000100～H'00000103
	⋮	⋮
	511	H'000007FC～H'000007FF

【注】 *1 SH7239 グループのみサポートしています。

*2 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第6章 割り込みコントローラ（INTC）」の表 6.4 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 レジスタバンクエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 1. ベクタテーブルアドレスオフセット：表 5.3 を参照

2. ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、内蔵周辺モジュールのレジスタは、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 5.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件			内部状態		
	RES または MRES	H-UDI コマンド	WDT オーバーフロー	CPU、FPU* ¹	内蔵周辺モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	ロー	—	—	初期化	初期化	初期化
	ハイ	H-UDI リセット アサートコマンドの セット	—	初期化	初期化	初期化
	ハイ	H-UDI リセット アサート以外の コマンドをセット	パワーオン	初期化	初期化	初期化しない
マニュアル リセット	ロー	—	—	初期化	初期化しない* ²	初期化しない
	ハイ	—	マニュアル	初期化	初期化しない* ²	初期化しない

【注】 *1 SH7239 グループのみサポートしています。

*2 ただし、INTC の IBNR の BN ビットは初期化されます。

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合は発振安定時間の間、また、クロックが動作している場合は最低 20 t_{cyc} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンド (H-UDI リセットアサートコマンドの詳細は、「第 27 章 ユーザデバッグインタフェース (H-UDI)」を参照してください) は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

WDT のウォッチドッグタイムモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

5.2.3 マニュアルリセット

(1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$ 端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 t_{cy}の間 $\overline{\text{MRES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) をH'F (B'1111) に、BOビットおよびCSビットを0に初期化します。またINTCのIBNRのBNビットを0に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

(2) WDT によるマニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の WTCNT がオーバフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットのときと同様です。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC バースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し ／書き込み	CPU、 DMAC、 または DTC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし（正常）
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		シングルチップモード時に外部メモリにアクセスしたとき	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 9 章 バスステートコントローラ(BSC) (SH7239A、SH7237A のみ)」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 * データ読み出し/書き込みによるアドレスエラー時。
命令フェッチによるアドレスエラーは、上記の動作 3.の処理が終了するまでにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了までCPU は再度アドレスエラー例外処理を開始します。

5.4 レジスタバンクエラー

5.4.1 レジスタバンクエラー発生要因

(1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット=1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

5.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5 割り込み

5.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、メモリエラー、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0~IRQ6 端子 (外部からの入力)	7
メモリエラー	フラッシュメモリ (ROM)、データフラッシュ (FLD)	1
内蔵周辺モジュール	A/D 変換器 (ADC)	3
	コントローラエリアネットワーク (RCAN-ET)	4
	ダイレクトメモリアクセスコントローラ (DMAC)	16
	コンペアマッチタイマ (CMT)	2
	ウォッチドッグタイマ (WDT)	1
	マルチファンクションタイマパルスユニット 2 (MTU2)	28
	マルチファンクションタイマパルスユニット 2S (MTU2S)	13
	ポートアウトプットイネーブル 2 (POE2)	3
	ルネサスシリアルペリフェラルインタフェース (RSPI)	3
	シリアルコミュニケーションインタフェース (SCI)	12
	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	4

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

5.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、H-UDI、およびメモリエラー割り込みの優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ 01、02、05～18（IPR01、IPR02、IPR05～IPR18）で自由に設定することができます（表 5.8）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01、IPR02、IPR05～IPR18 については「6.3.1 割り込み優先レベル設定レジスタ 01、02、05～18（IPR01、IPR02、IPR05～IPR18）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ（IPR）により設定
内蔵周辺モジュール		
メモリエラー	15	優先レベル固定

5.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、UBC 以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、UBC 割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は H'F (レベル 15) です。その後、例外処理ベクタテーブルから取り出した開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「6.6 動作説明」を参照してください。

5.6 命令による例外

5.6.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、浮動小数点演算命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令またはDIVU命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PCを書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、FMOV.S@disp12*、FMOV.D@disp12*、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値÷(-1)	DIVS
浮動小数点演算命令*	IEEE754規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

【注】 * SH7239 グループのみサポートしています。
SH7237 グループでは動作を保証しません。

5.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA命令で指定したベクタ番号に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6.5 整数除算命令

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチン開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、例外を発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出したアドレスへジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.6 浮動小数点演算命令 (SH7239 グループのみ)

浮動小数点ステータス/コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー (可能性のある命令)、アンダフロー (可能性のある命令)、および不正確例外 (可能性のある命令) を引き起こしたことを示します。

例外要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当するイネーブルビットがセットされているときのみ、FPU 例外は発生します。FPU が例外要因を検出すると、FPU の動作は中断されて CPU に例外発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は FPU 命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または $\pm\infty$ を浮動小数点演算命令のソースに入力すると FPU 例外が開始されます。

5.7 例外処理が受け付けられない場合

アドレスエラー、レジスタバンクエラー（オーバフロー）および割り込みは、表 5.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	FPU 例外*2	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*1の直後	×	×	×	×

【記号説明】 ×：受け付けられない

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 SH7239 グループのみサポートしています。
SH7237 グループでは動作を保証しません。

5.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態													
アドレス エラー	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			割り込み	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
レジスタ バンク エラー (オーバ フロー) FPU 例外*	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			レジスタ バンク エラー (アンダ フロー)	SP →	<table border="1"> <tr><td>当該RESBANK 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該RESBANK 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
当該RESBANK 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
トラップ 命令	SP →	<table border="1"> <tr><td>TRAPA命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	TRAPA命令の 次命令アドレス	(32ビット)	SR	(32ビット)			スロット 不当命令	SP →	<table border="1"> <tr><td>遅延分岐命令の 飛び先アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	遅延分岐命令の 飛び先アドレス	(32ビット)	SR	(32ビット)		
TRAPA命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
遅延分岐命令の 飛び先アドレス	(32ビット)																
SR	(32ビット)																
一般不当 命令	SP →	<table border="1"> <tr><td>一般不当命令の 先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	一般不当命令の 先頭アドレス	(32ビット)	SR	(32ビット)			整数除算 命令 (0、除算 オーバ フロー)	SP →	<table border="1"> <tr><td>当該整数除算 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該整数除算 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
一般不当命令の 先頭アドレス	(32ビット)																
SR	(32ビット)																
当該整数除算 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																

【注】 * SH7239 グループのみサポートしています。
SH7237 グループでは動作を保証しません。

5.9 使用上の注意事項

5.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けられないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

5.9.4 CPU のステータスレジスタ (SR) の割り込みマスクレベル (IMASK) 変更時の注意事項

LDC、LDC.L 命令で CPU のステータスレジスタ (SR) の割り込みマスクレベルを操作して、割り込みの許可/禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能

16本の割り込み優先レベル設定レジスタにより、IRQ割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)

たとえば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。

- レジスタバンク

本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 6.1 に INTC のブロック図を示します。

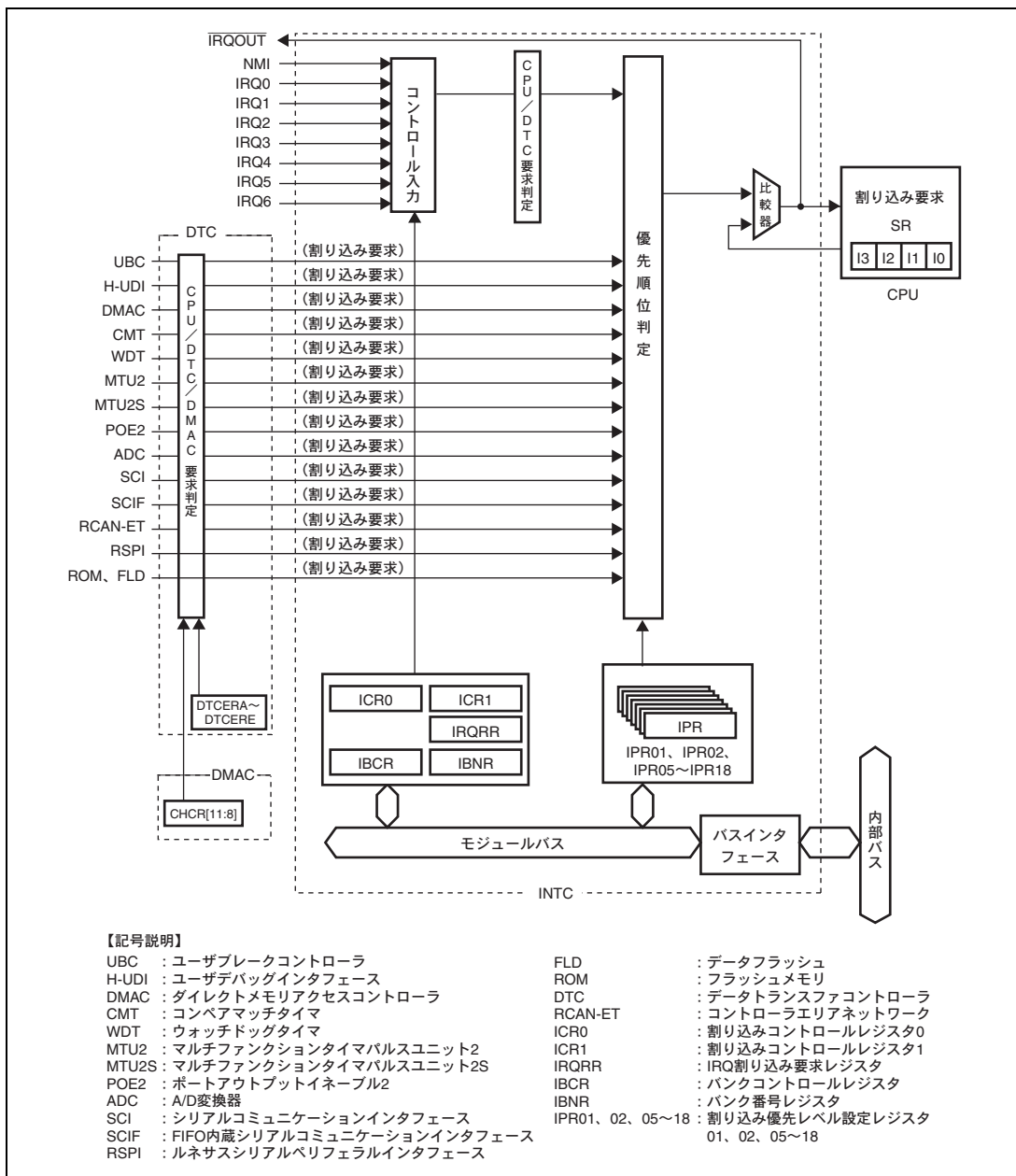


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ6~IRQ0	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

6.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	16
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0820	16
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C16	16
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H'0000	H'FFFE0C18	16、32

【注】 アクセスサイクルはワードアクセス時には 2 サイクル、ロングワードアクセス時には 4 サイクルになります。

*1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

6.3.1 割り込み優先レベル設定レジスタ 01、02、05～18 (IPR01、IPR02、IPR05～IPR18)

IPR01、IPR02、IPR05～IPR18 は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPR01、IPR02、IPR05～IPR18 の各ビットの対応を表 6.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.3 割り込み要求元と IPR01、IPR02、IPR05～IPR18

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	予約
割り込み優先レベル設定レジスタ 05	予約	予約	ADI0	ADI1
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	CMT0	CMT1	予約	WDT
割り込み優先レベル設定レジスタ 09	MTU2_0 (TGIA_0～ TGID_0)	MTU2_0 (TCIV_0、TGIE_0、 TGIF_0)	MTU2_1 (TGIA_1、TGIB_1)	MTU2_1 (TCIV_1、TCIU_1)
割り込み優先レベル設定レジスタ 10	MTU2_2 (TGIA_2、TGIB_2)	MTU2_2 (TCIV_2、TCIU_2)	MTU2_3 (TGIA_3～TGID_3)	MTU2_3 (TCIV_3)
割り込み優先レベル設定レジスタ 11	MTU2_4 (TGIA_4～ TGID_4)	MTU2_4 (TCIV_4)	MTU2_5 (TGIU_5、TGIV_5、 TGIW_5)	POE2 (OEI1、OEI2)
割り込み優先レベル設定レジスタ 12	MTU2S_3 (TGIA_3S～ TGID_3S)	MTU2S_3 (TCIV_3S)	MTU2S_4 (TGIA_4S～ TGID_4S)	MTU2S_4 (TCIV_4S)
割り込み優先レベル設定レジスタ 13	MTU2S_5 (TGIU_5S、 TGIV_5S、 TGIW_5S)	POE2 (OEI3)	予約	予約
割り込み優先レベル設定レジスタ 14	予約	予約	予約	SCIF3
割り込み優先レベル設定レジスタ 15	予約	予約	予約	予約
割り込み優先レベル設定レジスタ 16	SCI0	SCI1	SCI2	予約
割り込み優先レベル設定レジスタ 17	RSPI	予約	ADI2	予約
割り込み優先レベル設定レジスタ 18	予約	RCAN-ET	予約	予約

表 6.3 に示すように、ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

IPR01、IPR02、IPR05~IPR18 は、パワーオンリセットで H'0000 に初期化されます。

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている。 1 : NMI 端子にハイレベルが入力されている。
14~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出。 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ6~IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	IRQ61S	0	R/W	IRQ センスセレクト IRQ6~IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00: 割り込み要求を IRQn 入力のローレベルで検出する。 01: 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10: 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11: 割り込み要求を IRQn 入力の両エッジで検出する。
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n=6~0

【注】 IRQn 入力の検出条件を変更すると、IRQRR レジスタの IRQnF フラグは0クリアされます。

6.3.4 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ6~IRQ0 の割り込み要求を示します。IRQ6~IRQ0 割り込みをエッジ検出に設定している場合、IRQ6F~IRQ0F=1 をリード後、IRQ6F~IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IRQ6F	0	R/(W)*	IRQ 割り込み要求
5	IRQ5F	0	R/(W)*	IRQ6~IRQ0 割り込み要求のステータスを表示します。
4	IRQ4F	0	R/(W)*	レベル検出時 0: IRQn 割り込み要求が存在しません。 1: IRQn 割り込み要求が存在します。 [クリア条件]
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n=6~0

6.3.5 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可／禁止を設定することができます。IBCR はパワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15~1 に対してレジスタバンク使用の許可／禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0 : レジスタバンクの使用を禁止します。 1 : レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.6 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可/禁止、およびレジスタバンクオーバフロー例外の許可/禁止を設定します。また、BN[3:0]ビットにより次に退避されるバンク番号を示します。

IBNR はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可/禁止を設定します。 00: すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01: NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10: 予約 (設定禁止) 11: レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可/禁止を設定します。 0: レジスタバンクオーバフロー例外の発生を禁止します。 1: レジスタバンクオーバフロー例外の発生を許可します。
12~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN[3:0]ビットが示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

6.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、メモリエラー、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0 (ICR0) のNMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) は15に設定されます。

6.4.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み例外処理によって、SR のI3~I0ビットは15に設定されます。ユーザブレイクについては、「第7章 ユーザブレイクコントローラ (UBC)」を参照してください。

6.4.3 H-UDI 割り込み

ユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 割り込み例外処理により、SR のI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第27章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

6.4.4 IRQ 割り込み

IRQ 割り込みはIRQ6~IRQ0端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ1 (ICR1) のIRQ センスセレクトビット (IRQ61S~IRQ01S、IRQ60S~IRQ00S) の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ01、02 (IPR01、IPR02) によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ6~IRQ0端子がローレベルの期間、INTCに割り込み要求信号が送られます。IRQ6~IRQ0端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ 割り込み要求レジスタ (IRQRR) のIRQ 割り込み要求ビット (IRQ6F~IRQ0F) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ6~IRQ0端子の変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR のIRQ6F~IRQ0FビットをリードすることによりIRQ 割り込み要求が検出されている

かどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3~I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。また、IRQnF は SR の I3~I0 ビットの設定にかかわらず、セット条件を満たしたときにセットされます。

6.4.5 メモリエラー割り込み

メモリエラーの発生要因の詳細については、「第 23 章 フラッシュメモリ (ROM)」を参照してください。

6.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- A/D変換器 (ADC)
- コントローラエリアネットワーク (RCAN-ET)
- ダイレクトメモリアクセスコントローラ (DMAC)
- コンペアマッチタイマ (CMT)
- ウォッチドッグタイマ (WDT)
- マルチファンクションタイマパルスユニット2 (MTU2)
- マルチファンクションタイマパルスユニット2S (MTU2S)
- ポートアウトプットイネーブル2 (POE2)
- ルネサスシリアルペリフェラルインタフェース (RSPI)
- シリアルコミュニケーションインタフェース (SCI)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05~18 (IPR05~IPR18) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.5 割り込み例外処理ベクタテーブルと優先順位

表 6.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の表 5.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05～18 (IPR01、IPR02、IPR05～IPR18) によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、IPR05～IPR18 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 6.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

表 6.4 割り込み例外ベクタと優先順位

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
NMI		11	H'0000002C~H'0000002F	16	—	—	↑ 高
UBC		12	H'00000030~H'00000033	15	—	—	
H-UDI		14	H'00000038~H'0000003B	15	—	—	
IRQ	IRQ0	64	H'00000100~H'00000103	0~15(0)	IPR01(15~12)	—	
	IRQ1	65	H'00000104~H'00000107	0~15(0)	IPR01(11~8)	—	
	IRQ2	66	H'00000108~H'0000010B	0~15(0)	IPR01(7~4)	—	
	IRQ3	67	H'0000010C~H'0000010F	0~15(0)	IPR01(3~0)	—	
	IRQ4	68	H'00000110~H'00000113	0~15(0)	IPR02(15~12)	—	
	IRQ5	69	H'00000114~H'00000117	0~15(0)	IPR02(11~8)	—	
	IRQ6	70	H'00000118~H'0000011B	0~15(0)	IPR02(7~4)	—	
ROM、 FLD	FIFE	91	H'0000016C~H'0000016F	15	—	—	
ADC	ADI0	92	H'00000170~H'00000173	0~15(0)	IPR05(7~4)	—	
	ADI1	96	H'00000180~H'00000183	0~15(0)	IPR05(3~0)	—	
	ADI2	100	H'00000190~H'00000193	0~15(0)	IPR17(7~4)	—	
RCAN-ET	ERS_0	104	H'000001A0~H'000001A3	0~15(0)	IPR18(11~8)	1	
	OVR_0	105	H'000001A4~H'000001A7	0~15(0)		2	
	RM0_0、RM1_0	106	H'000001A8~H'000001AB	0~15(0)		3	
	SLE_0	107	H'000001AC~H'000001AF	0~15(0)		4	
DMAC	DMAC0	DEI0	108	H'000001B0~H'000001B3	0~15(0)	IPR06(15~12)	1
		HEI0	109	H'000001B4~H'000001B7			2
	DMAC1	DEI1	112	H'000001C0~H'000001C3	0~15(0)	IPR06(11~8)	1
		HEI1	113	H'000001C4~H'000001C7			2
	DMAC2	DEI2	116	H'000001D0~H'000001D3	0~15(0)	IPR06(7~4)	1
		HEI2	117	H'000001D4~H'000001D7			2
	DMAC3	DEI3	120	H'000001E0~H'000001E3	0~15(0)	IPR06(3~0)	1
		HEI3	121	H'000001E4~H'000001E7			2
	DMAC4	DEI4	124	H'000001F0~H'000001F3	0~15(0)	IPR07(15~12)	1
		HEI4	125	H'000001F4~H'000001F7			2
	DMAC5	DEI5	128	H'00000200~H'00000203	0~15(0)	IPR07(11~8)	1
		HEI5	129	H'00000204~H'00000207			2
	DMAC6	DEI6	132	H'00000210~H'00000213	0~15(0)	IPR07(7~4)	1
		HEI6	133	H'00000214~H'00000217			2
DMAC7	DEI7	136	H'00000220~H'00000223	0~15(0)	IPR07(3~0)	1	
	HEI7	137	H'00000224~H'00000227			2	
							↓ 低

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
CMT	CMIO	140	H'00000230~H'00000233	0~15(0)	IPR08(15~12)	—	高 ↑ ↓ 低	
	CM11	144	H'00000240~H'00000243	0~15(0)	IPR08(11~8)	—		
WDT	ITI	152	H'00000260~H'00000263	0~15(0)	IPR08(3~0)	—		
MTU2	MTU2_0	TGIA_0	156	H'00000270~H'00000273	0~15(0)	IPR09(15~12)		1
		TGIB_0	157	H'00000274~H'00000277				2
		TGIC_0	158	H'00000278~H'0000027B				3
		TGID_0	159	H'0000027C~H'0000027F				4
	TCIV_0	160	H'00000280~H'00000283	0~15(0)	IPR09(11~8)	1		
		TGIE_0	161			H'00000284~H'00000287		2
		TGIF_0	162			H'00000288~H'0000028B		3
	MTU2_1	TGIA_1	164	H'00000290~H'00000293	0~15(0)	IPR09(7~4)	1	
		TGIB_1	165	H'00000294~H'00000297			2	
		TCIV_1	168	H'000002A0~H'000002A3	0~15(0)	IPR09(3~0)	1	
		TCIU_1	169	H'000002A4~H'000002A7			2	
	MTU2_2	TGIA_2	172	H'000002B0~H'000002B3	0~15(0)	IPR10(15~12)	1	
		TGIB_2	173	H'000002B4~H'000002B7			2	
		TCIV_2	176	H'000002C0~H'000002C3	0~15(0)	IPR10(11~8)	1	
		TCIU_2	177	H'000002C4~H'000002C7			2	
	MTU2_3	TGIA_3	180	H'000002D0~H'000002D3	0~15(0)	IPR10(7~4)	1	
		TGIB_3	181	H'000002D4~H'000002D7			2	
		TGIC_3	182	H'000002D8~H'000002DB			3	
		TGID_3	183	H'000002DC~H'000002DF			4	
		TCIV_3	184	H'000002E0~H'000002E3	0~15(0)	IPR10(3~0)	—	
	MTU2_4	TGIA_4	188	H'000002F0~H'000002F3	0~15(0)	IPR11(15~12)	1	
		TGIB_4	189	H'000002F4~H'000002F7			2	
		TGIC_4	190	H'000002F8~H'000002FB			3	
		TGID_4	191	H'000002FC~H'000002FF			4	
		TCIV_4	192	H'00000300~H'00000303	0~15(0)	IPR11(11~8)	—	
	MTU2_5	TGIU_5	196	H'00000310~H'00000313	0~15(0)	IPR11(7~4)	1	
		TGIV_5	197	H'00000314~H'00000317			2	
		TGIW_5	198	H'00000318~H'0000031B			3	
POE2	OEI1	200	H'00000320~H'00000323	0~15(0)	IPR11(3~0)	1		
	OEI2	201	H'00000324~H'00000327			2		

割り込み要因番号			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
MTU2S	MTU2S_3	TGIA_3S	204	H'00000330~H'00000333	0~15(0)	IPR12(15~12)	1	↑ 高
		TGIB_3S	205	H'00000334~H'00000337				
		TGIC_3S	206	H'00000338~H'0000033B				
		TGID_3S	207	H'0000033C~H'0000033F				
		TCIV_3S	208	H'00000340~H'00000343	0~15(0)	IPR12(11~8)	—	
	MTU2S_4	TGIA_4S	212	H'00000350~H'00000353	0~15(0)	IPR12(7~4)	1	
		TGIB_4S	213	H'00000354~H'00000357				
		TGIC_4S	214	H'00000358~H'0000035B				
		TGID_4S	215	H'0000035C~H'0000035F				
		TCIV_4S	216	H'00000360~H'00000363	0~15(0)	IPR12(3~0)	—	
	MTU2S_5	TGIU_5S	220	H'00000370~H'00000373	0~15(0)	IPR13(15~12)	1	
		TGIV_5S	221	H'00000374~H'00000377				
TGIW_5S		222	H'00000378~H'0000037B					
POE2	OEI3	224	H'00000380~H'00000383	0~15(0)	IPR13(11~8)	—		
RSPI	SPEI	233	H'000003A4~H'000003A7	0~15(0)	IPR17(15~12)	1		
	SPRI	234	H'000003A8~H'000003AB					
	SPTI	235	H'000003AC~H'000003AF					
SCI	SCI0	ERI0	240	H'000003C0~H'000003C3	0~15(0)	IPR16(15~12)	1	
		RXI0	241	H'000003C4~H'000003C7				
		TXI0	242	H'000003C8~H'000003CB				
		TEI0	243	H'000003CC~H'000003CF				
	SCI1	ERI1	244	H'000003D0~H'000003D3	0~15(0)	IPR16(11~8)	1	
		RXI1	245	H'000003D4~H'000003D7				
		TXI1	246	H'000003D8~H'000003DB				
		TEI1	247	H'000003DC~H'000003DF				
	SCI2	ERI2	248	H'000003E0~H'000003E3	0~15(0)	IPR16(7~4)	1	
		RXI2	249	H'000003E4~H'000003E7				
		TXI2	250	H'000003E8~H'000003EB				
		TEI2	251	H'000003EC~H'000003EF				
SCIF	SCIF3	BRI3	252	H'000003F0~H'000003F3	0~15(0)	IPR14(3~0)	1	
		ERI3	253	H'000003F4~H'000003F7				
		RXI3	254	H'000003F8~H'000003FB				
		TXI3	255	H'000003FC~H'000003FF				
							↓ 低	

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05～18 (IPR01、IPR02、IPR05～IPR18) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表6.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図6.4参照)。
6. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
7. ステータスレジスタ (SR) がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
8. プログラムカウンタ (PC) がスタックに退避されます。
9. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。
10. $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「6.4.4 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

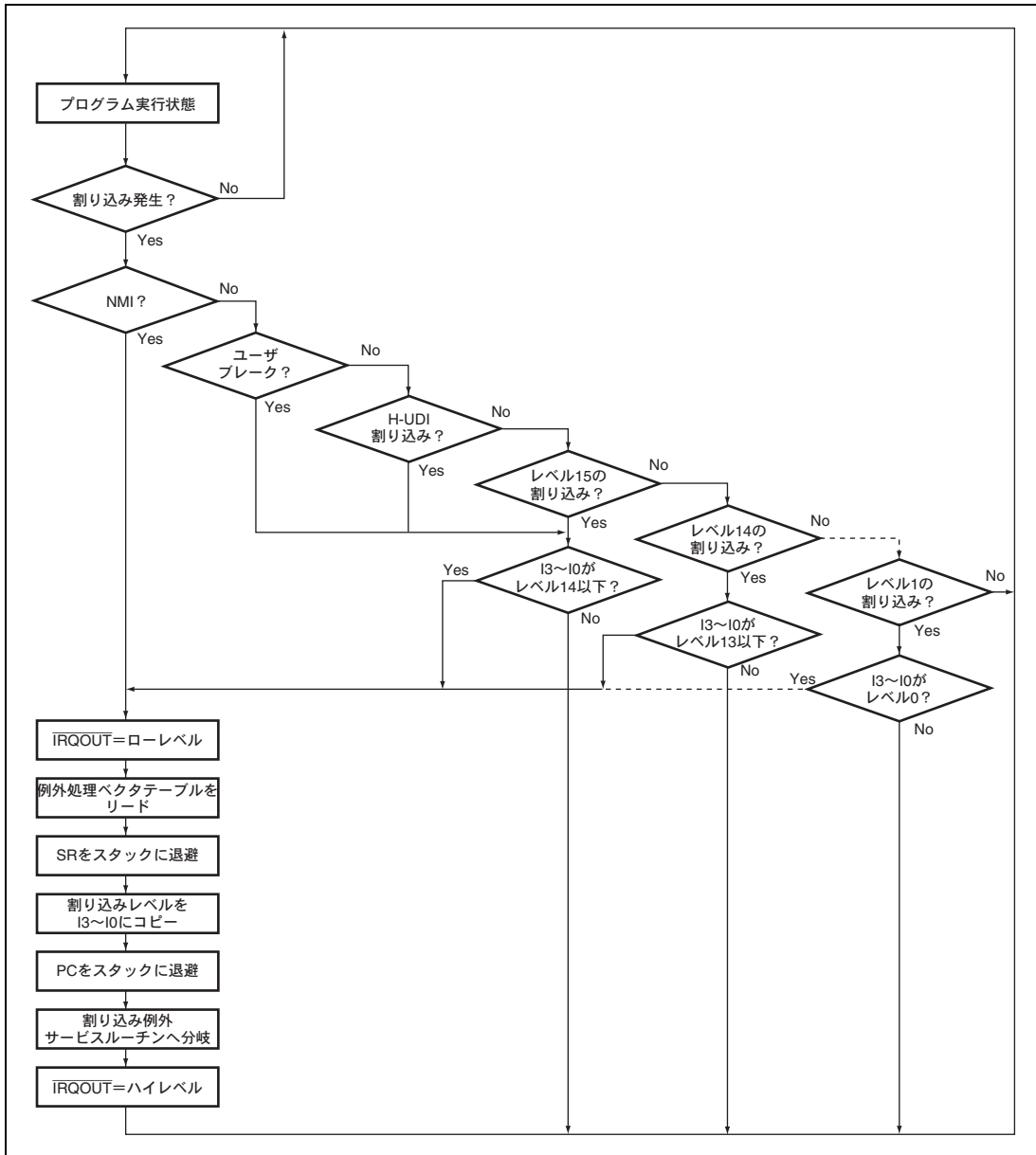


図 6.2 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

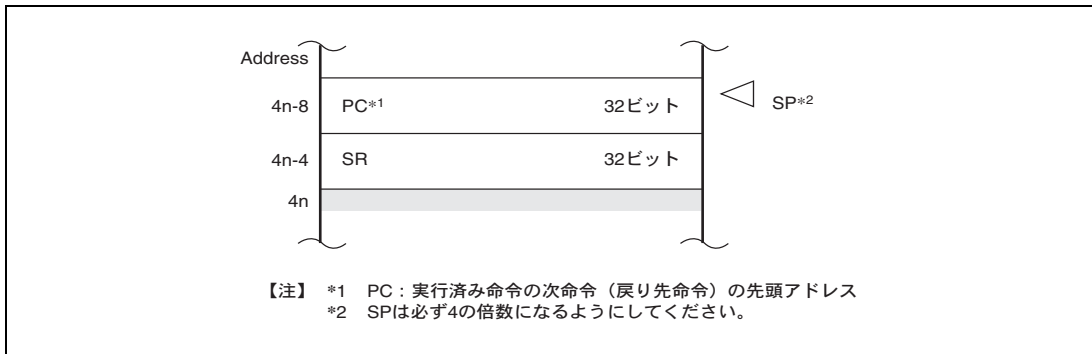


図 6.3 割り込み例外処理終了後のスタック状態

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 6.4、図 6.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 6.6、図 6.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 6.8、図 6.9 に示します。

表 6.5 割り込み応答時間

項 目			ステート数					備考
			NMI	UBC	H-UDI	IRQ	周辺 モジュール	
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間			2lcyc+	3lcyc	2lcyc+	2lcyc+	2lcyc+	DTC 起動要因がある 割り込み
			2Bcyc+		1Pcyc	3Bcyc+	1Pcyc	
			1Pcyc				2lcyc+	DTC 起動要因がない 割り込み
							1Bcyc+	
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。
		最大値	4lcyc+2(m1+m2)+m3					
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	—	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	—	12lcyc+m1+m2				
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	—	3lcyc+m1+m2			最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。	
		最大値	—	3lcyc+m1+m2+19(m4)				

項 目			ステート数					備考
			NMI	IRQ	UBC	H-UDI	周辺 モジュール	
応答時間	レジスタバンク なし。	最小値	5lcyc+2Bcyc+ 1Pcyc+m1+ m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	6lcyc+m1+ m2	5lcyc+1Pcyc+ m1+m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.080~0.150 μs ● 160MHz 動作時^{*1*3} : 0.050~0.144 μs
		最大値	6lcyc+2Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	6lcyc+3Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	7lcyc+ 2(m1+m2)+ m3	6lcyc+1Pcyc+ 2(m1+m2)+ m3	6lcyc+1Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.120~0.190 μs ● 160MHz 動作時^{*1*3} : 0.075~0.169 μs
	レジスタバンク あり。 レジスタバンク オーバーフロー なし。	最小値	—	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	—	5lcyc+1Pcyc+ m1+m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.080~0.150 μs ● 160MHz 動作時^{*1*3} : 0.069~0.144 μs
		最大値	—	14lcyc+3Bcyc+1 Pcyc+m1+m2	—	14lcyc+1Pcyc +m1+m2	14lcyc+1Bcyc +1Pcyc	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.170~0.240 μs ● 160MHz 動作時^{*1*3} : 0.125~0.200 μs
	レジスタバンク あり。 レジスタバンク オーバーフロー あり。	最小値	—	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	—	5lcyc+1Pcyc+ m1+m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.080~0.150 μs ● 160MHz 動作時^{*1*3} : 0.069~0.144 μs
		最大値	—	5lcyc+3Bcyc+ 1Pcyc+m1+ m2+19(m4)	—	5lcyc+1Pcyc+ m1+m2+ 19(m4)	5lcyc+1Bcyc+ 1Pcyc+m1+ m2+19(m4)	<ul style="list-style-type: none"> ● 100MHz 動作時^{*1*2} : 0.270~0.340 μs ● 160MHz 動作時^{*1*3} : 0.188~0.263 μs

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0~R14, GBR, MACH, MACL, PR) のスタックからの復帰

*1 m1=m2=m3=m4=1lcyc の場合

*2 Iφ:Bφ:Pφ=100MHz : 50MHz : 50MHz の場合

*3 Iφ:Bφ:Pφ=160MHz : 40MHz : 40MHz の場合

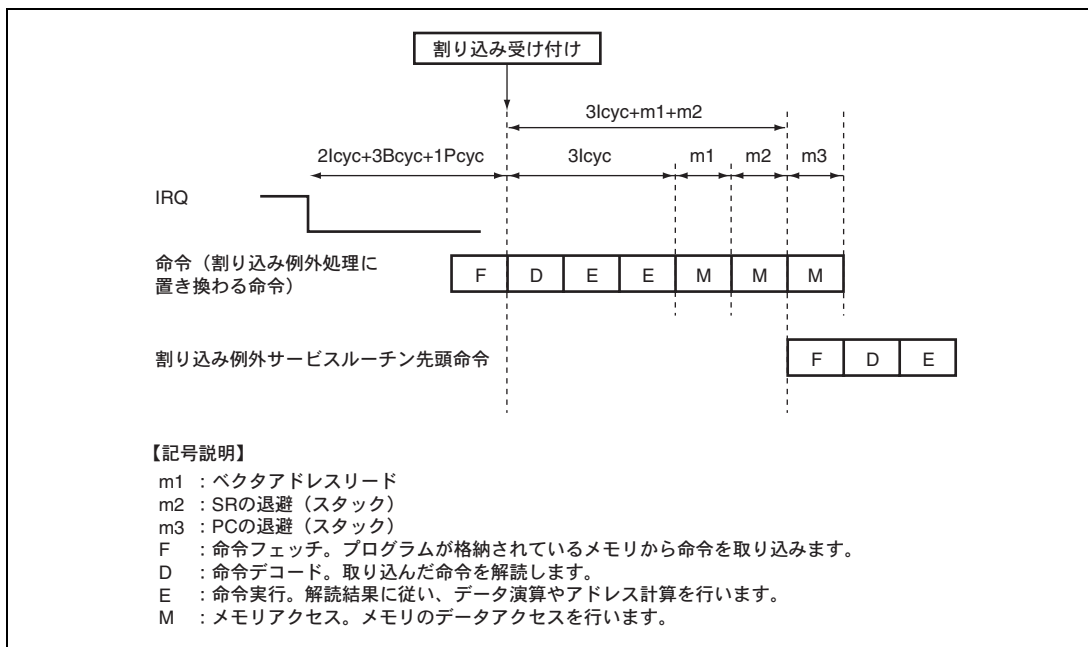


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

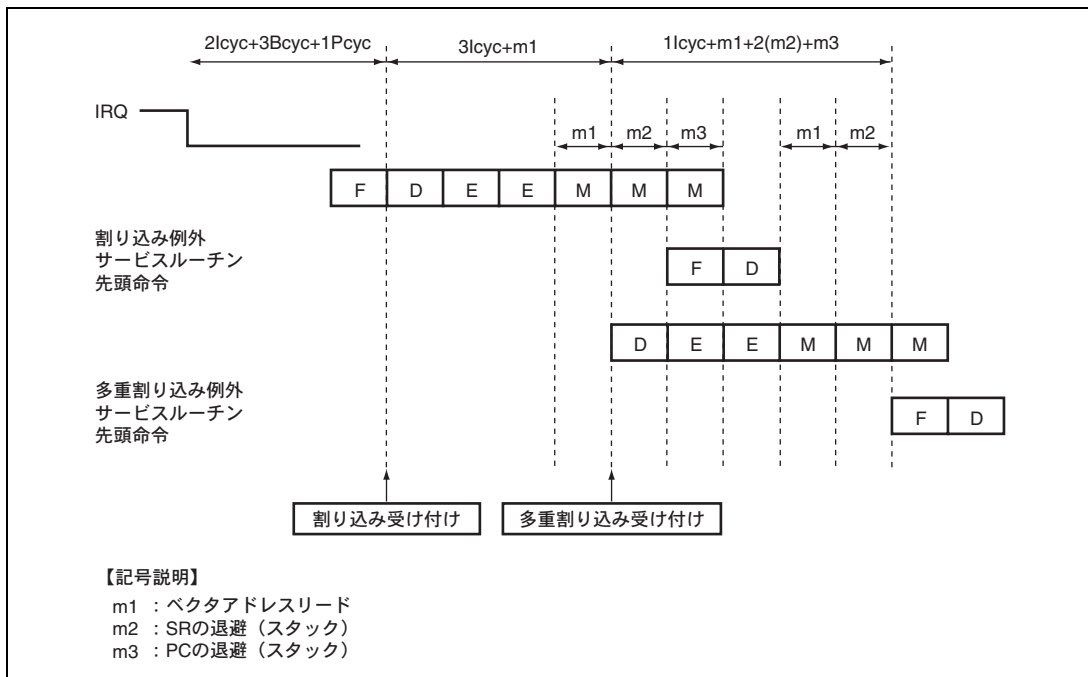


図 6.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

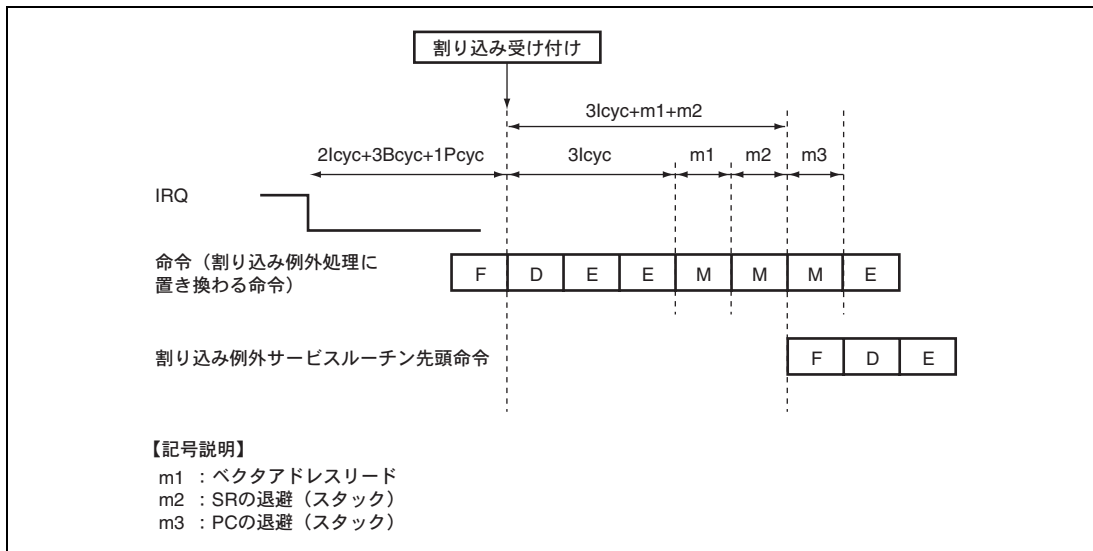


図 6.6 IRQ 割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバフローなし)

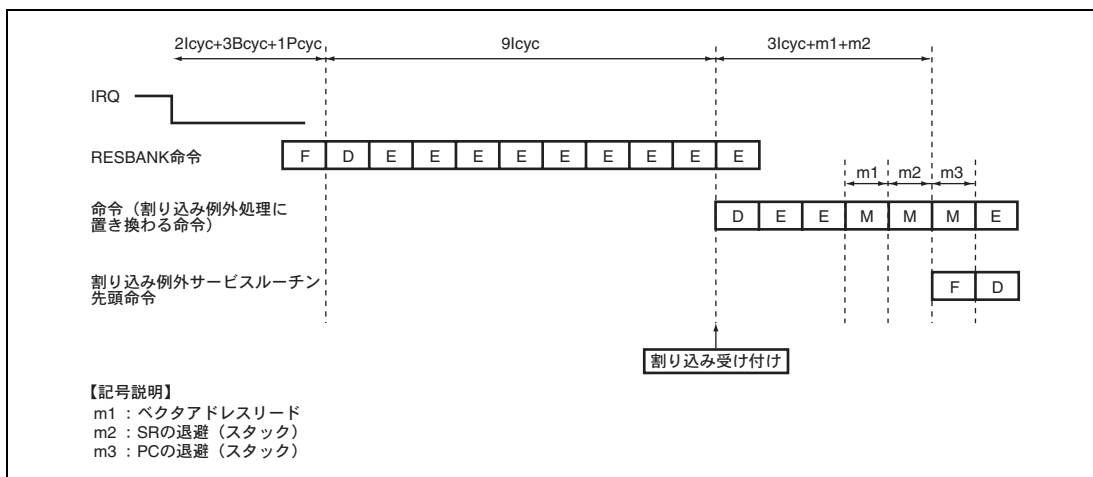


図 6.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
 (レジスタバンクあり、レジスタバンクオーバフローなし)

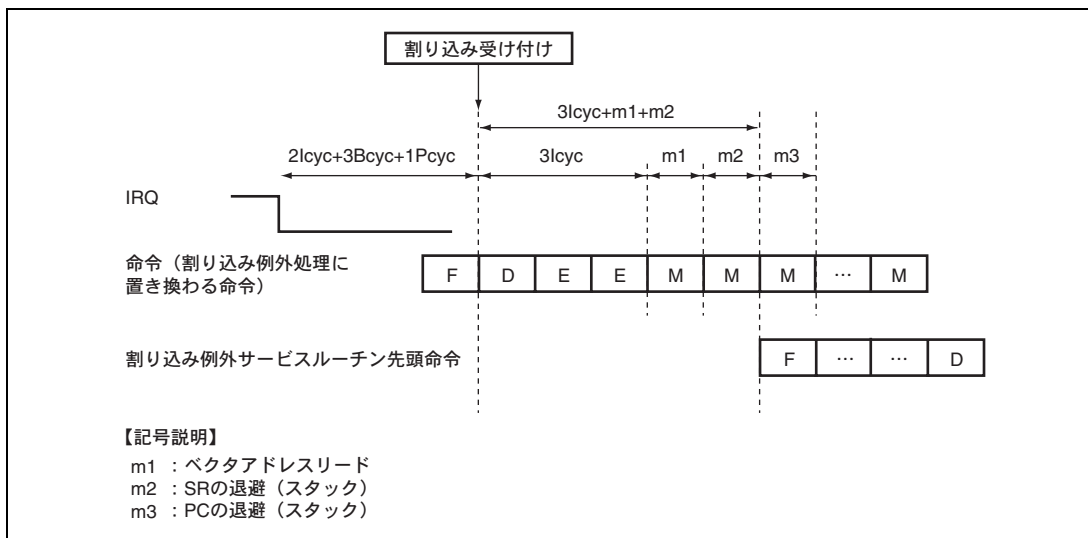


図 6.8 IRQ 割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

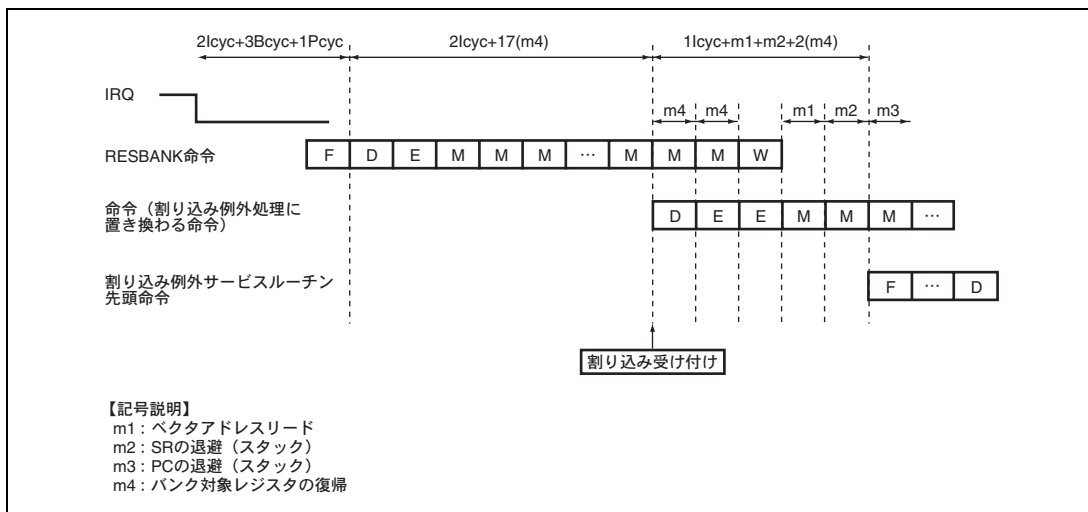


図 6.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
(レジスタバンクあり、レジスタバンクオーバーフローあり)

6.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 6.10 に示します。

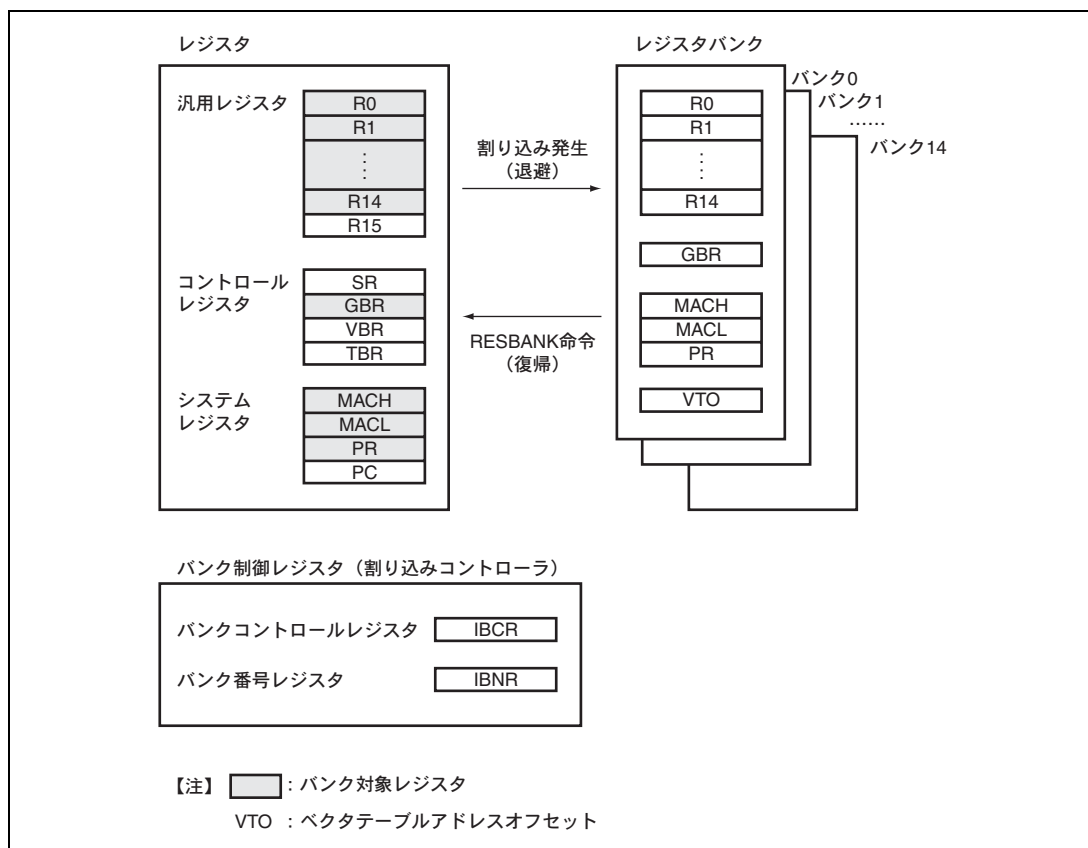


図 6.10 レジスタバンクの構成の概要

6.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) レジスタバンク

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

6.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 6.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

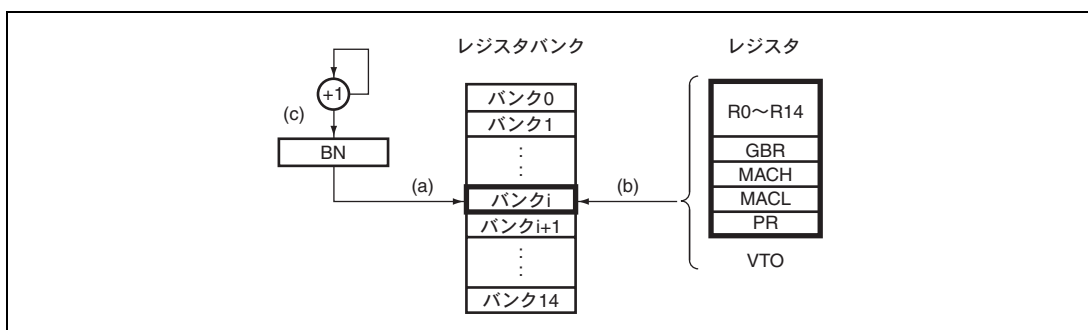


図 6.11 バンク退避の動作

図 6.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

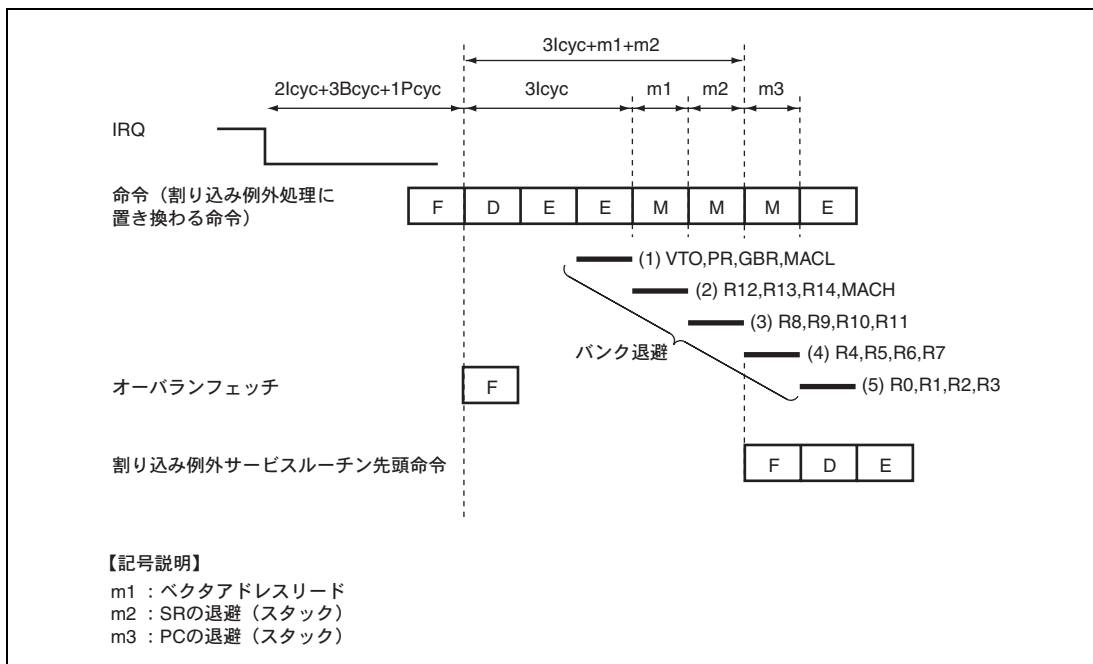


図 6.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込みサービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で例外処理からの復帰を行ってください。

6.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、……、R1、R0の順となります。
3. SRのレジスタバンクオーバフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、……、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

6.8.4 レジスタバンクの例外

レジスタバンクの例外（レジスタバンクエラー）には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが1にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数15のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0~R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は0のまま変化しません。

6.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外サービスルーチン開始アドレスからプログラムを実行します。

6.9 割り込み要求

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMACのみ起動、CPU割り込みは発生しない
- DTCのみ起動、CPU割り込みはDTCの設定による

割り込み要因の中でDMAC 起動要因に指定されているものはINTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択 0} + \text{DE1} \cdot \text{要因選択 1} + \text{DE2} \cdot \text{要因選択 2} + \text{DE3} \cdot \text{要因選択 3} + \text{DE4} \cdot \text{要因選択 4} + \text{DE5} \cdot \text{要因選択 5} + \text{DE6} \cdot \text{要因選択 6} + \text{DE7} \cdot \text{要因選択 7})$$

ここでDMEはDMACのDMAORのビット0、DE_n (n=0~7)はDMACのCHCR0~CHCR7のビット0です。

INTCは、対応するDTCEのビットが1のときはCPU割り込みをマスクします。DTCEクリア条件と割り込み要因フラグクリア条件は次のように表されます。

$$\text{DTCEクリア条件} = \text{DTC転送終了} \cdot \text{DTCECLR}$$

$$\text{割り込み要因フラグクリア条件} = \text{DTC転送終了} \cdot \overline{\text{DTCECLR}} + \text{DMAC転送終了}$$

ただし、DTCECLR=DISEL + カウンタ0

制御ブロック図を図6.13、図6.14に示します。

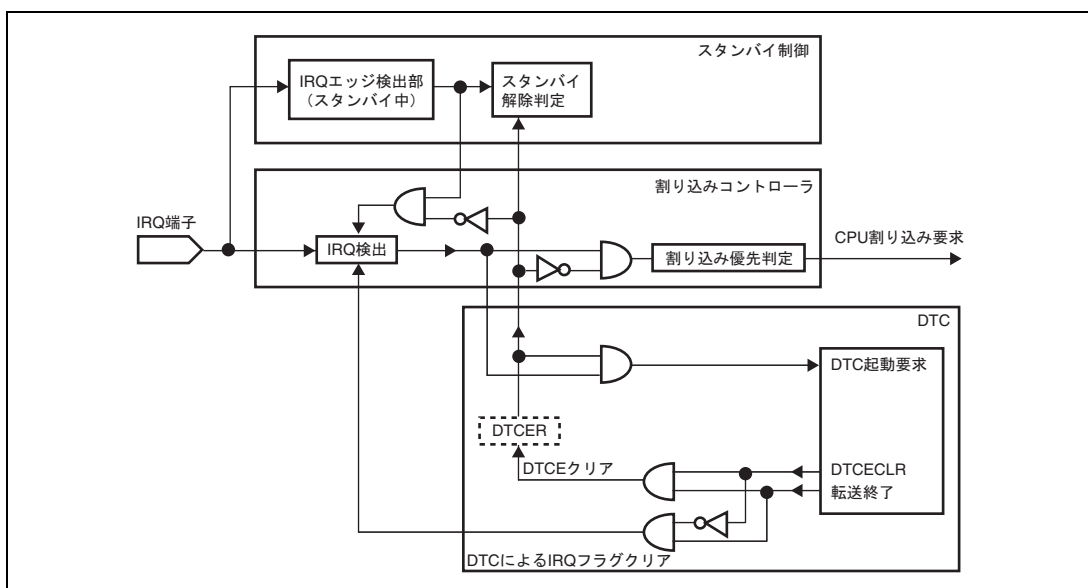


図 6.13 割り込み制御ブロック図

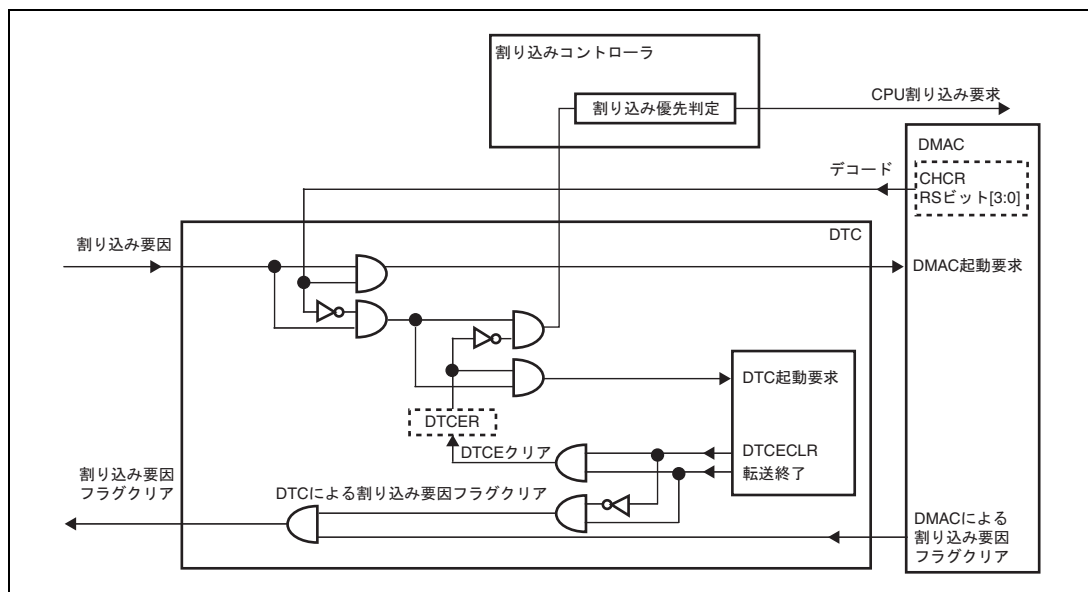


図 6.14 周辺モジュールからの割り込み制御ブロック図

6.9.1 割り込み要求信号を DTC の起動要因、CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にクリアします。
2. DTCの対応するDTCEビット、およびDISELビットを1にセットします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うとDTCEビットを0にクリアし、CPUに割り込みを要求します。起動要因はクリアしません。
5. CPUは割り込み処理ルーチンで、割り込み要因をクリアします。その後、転送カウンタの値を確認します。転送カウンタの値≠0のとき、DTCEビットを1にセットして、次のデータ転送を許可します。また、転送カウンタの値=0であれば、割り込み処理ルーチンで所要の終了処理をします。

6.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMACで要因を選択し、DE=1、DME=1にセットします。割り込み優先レベル設定レジスタおよびDTCのレジスタ設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

6.9.3 割り込み要求信号を DTC の起動要因とし、CPU の割り込み要因、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にします。
2. DTCの対応するDTCEビットを1にセットし、DISELビットを0にクリアします。
3. 割り込みが発生すると、DTCに起動要因が与えられます。
4. DTCは、データ転送を行うと、起動要因をクリアします。DTCEビットは1に保持されているため、CPUには割り込みは要求されません。
5. ただし、転送カウンタ=0のとき、DTCEビットを0にクリアし、CPUに割り込みを要求します。
6. CPUは割り込み処理ルーチンで所要の終了処理をします。

6.9.4 割り込み要求信号を CPU の割り込み要因とし、DTC の起動要因、DMAC 起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。
また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にクリアします。
2. DTCの対応するDTCEビットを0にクリアします。
3. 割り込みが発生すると、CPUに割り込みを要求します。
4. CPUは割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

6.10 使用上の注意事項

6.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、クリアしたことを確認後、RTE 命令を実行します。

6.10.2 NMI を使用しない場合

NMI を使用しない場合は抵抗を用いて VCC に接続しハイレベルに固定してください。

6.10.3 $\overline{\text{IRQOUT}}$ のネゲートタイミング

割り込みコントローラが割り込み要求を受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力され、割り込み例外サービスルーチンの開始アドレスにジャンプした後、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。

ただし、割り込みコントローラが割り込み要求を受け付け、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力された後、割り込み例外サービスルーチンの開始アドレスにジャンプする前に割り込み要求が取り下げられた場合、次の割り込み要求による割り込み例外サービスルーチンの開始アドレスにジャンプするまで $\overline{\text{IRQOUT}}$ 端子からはローレベルが出力されます。

6.10.4 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項

IRQx 割り込み要求でソフトウェアスタンバイの解除を行う場合は、ICRx の IRQ センスセレクトの設定変更は IRQx 割り込み要求が発生しない状態で、IRQRRx の IRQxF フラグの 0 クリアは IRQx 割り込み処理実行による自動クリアで行ってください。

IRQ 割り込み要求レジスタ x (IRQRRx) の IRQxF フラグが 1 の状態で、割り込みコントロールレジスタ x (ICRx) の IRQ センスセレクトの設定変更または IRQRRx の IRQxF フラグを 0 クリアすると、該当の IRQx 割り込み要求はクリアされますが、ソフトウェアスタンバイ解除要求はクリアされません。

7. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件として、命令フェッチまたはデータの読み出し/書き込み（データの読み出し/書き込みの場合はバスマスタ (CPU、DMAC、DTC) ）、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

7.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：4チャンネル (チャンネル0~3)

ユーザブ레이크は、チャンネル0、1、2、3独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

3種類のアドレスバス (Fバスアドレス (FAB)、Mバスアドレス (MAB)、Iバスアドレス (IAB)) を選択できます。

- Iバス選択時のバスマスタ

CPUサイクル、DMACサイクル、DTCサイクル

- バスサイクル

命令フェッチ (Cバス選択時のみ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。

3. 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。

4. ブ레이크条件成立をUBCTRG端子に出力できます。

図 7.1 に UBC のブロック図を示します。

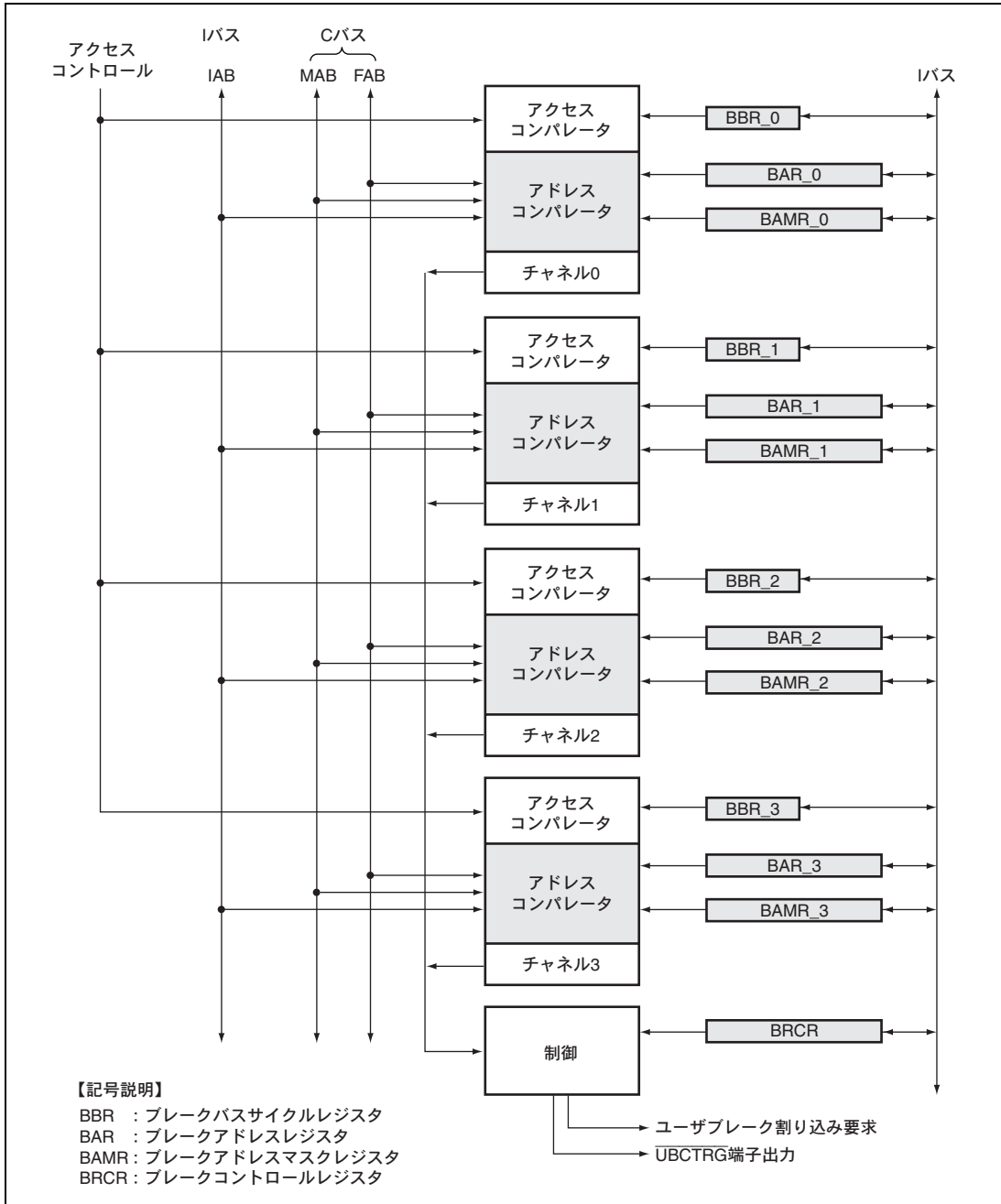


図 7.1 UBC のブロック図

7.2 入出力端子

UBC の端子構成を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
UBC トリガ	$\overline{\text{UBCTR}}\overline{\text{G}}$	出力	UBC のチャンネル 0、1、2、3 のいずれかで設定条件が成立したことを示します

7.3 レジスタの説明

UBC には以下のレジスタがあります。

表 7.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	ブ레이크アドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
1	ブ레이크アドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
2	ブ레이크アドレスレジスタ_2	BAR_2	R/W	H'00000000	H'FFFC0420	32
	ブ레이크アドレスマスクレジスタ_2	BAMR_2	R/W	H'00000000	H'FFFC0424	32
	ブ레이크バスサイクルレジスタ_2	BBR_2	R/W	H'0000	H'FFFC04A4	16
3	ブ레이크アドレスレジスタ_3	BAR_3	R/W	H'00000000	H'FFFC0430	32
	ブ레이크アドレスマスクレジスタ_3	BAMR_3	R/W	H'00000000	H'FFFC0434	32
	ブ레이크バスサイクルレジスタ_3	BBR_3	R/W	H'0000	H'FFFC04B4	16
共通	ブ레이크コントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

7.3.1 ブ레이크アドレスレジスタ_0 (BAR_0)

BAR_0 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_0 は、チャンネル 0 のブ레이크条件とするアドレスを指定します。チャンネル 0 ブ레이크条件の対象とするアドレスバスは 3 種類あり、ブ레이크バスサイクルレジスタ_0 (BBR_0) の制御ビットの CD0_1、CD0_0 により選択します。BAR_0 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24	BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA0_31 ~ BA0_0	すべて 0	R/W	ブレイクアドレス 0 チャンネル 0 のブレイク条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR_0 により C バスかつ命令フェッチサイクルを選択した場合は、BA0_31 ~ BA0_0 に FAB のアドレスを指定します。 BBR_0 により C バスかつデータアクセスサイクルを選択した場合は、BA0_31 ~ BA0_0 に MAB のアドレスを指定します。

【注】 ブレイク条件として命令フェッチサイクルを設定する場合は、BAR_0 の LSB を 0 にクリアしてください。

7.3.2 ブレイクアドレスマスクレジスタ_0 (BAMR_0)

BAMR_0 は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR_0 は、BAR_0 で指定するブレイクアドレスビットのうち、マスクするビットを指定します。BAMR_0 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM0_31 ~ BAM0_0	すべて 0	R/W	ブレイクアドレスマスク 0 BAR_0 (BA0_31~BA0_0) によって指定されるチャンネル 0 のブレイクアドレスビットのうち、マスクするビットを指定します。 0: ブレイクアドレスビット BA0_n は、ブレイク条件に含まれる 1: ブレイクアドレスビット BA0_n はマスクされ、ブレイク条件に含まれない

【注】 n=31~0

7.3.3 ブレークバスサイクルレジスタ_0 (BBR_0)

BBR_0は、チャンネル0のブレーク条件として(1)ユーザブ레이크割り込みの禁止/許可、(2)データバスの値を含める/含めない、(3)Iバスのバスマスタ、(4)CバスサイクルまたはIバスサイクル、(5)命令フェッチまたはデータアクセス、(6)読み出しまたは書き込み、および(7)オペランドサイズを指定する16ビットの読み出しまたは書き込み可能なレジスタです。BBR_0はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID0	-	-	CP0[2:0]			CD0[1:0]		ID0[1:0]		RW0[1:0]		SZ0[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み値も常に0にしてください。
13	UBID0	0	R/W	ユーザブ레이크割り込みディスエーブル0 チャンネル0の条件一致時にユーザブ레이크割り込み要求の禁止/許可を指定します。 0: ユーザブ레이크割り込み要求を許可する 1: ユーザブ레이크割り込み要求を禁止する
12, 11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み値も常に0にしてください。
10~8	CP0[2:0]	000	R/W	Iバスのバスマスタセレクト0 チャンネル0ブレーク条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効(CPUサイクルのみ)となります。 xx1: ブレーク条件は、CPUサイクルを含みます x1x: ブレーク条件は、DMACサイクルを含みます 1xx: ブレーク条件は、DTCサイクルを含みます
7, 6	CD0[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト0 チャンネル0ブレーク条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Cバス(Fバス、Mバス)サイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Cバス(Fバス、Mバス)サイクル

ビット	ビット名	初期値	R/W	説明
5、4	ID0[1:0]	00	R/W	<p>命令フェッチ/データアクセスセレクト 0</p> <p>チャンネル 0 ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は CD0[1:0] ビットで C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、命令フェッチサイクル</p> <p>10 : ブレイク条件は、データアクセスサイクル</p> <p>11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW0[1:0]	00	R/W	<p>読み出し/書き込みセレクト 0</p> <p>チャンネル 0 ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、読み出しサイクル</p> <p>10 : ブレイク条件は、書き込みサイクル</p> <p>11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ0[1:0]	00	R/W	<p>オペランドサイズセレクト 0</p> <p>チャンネル 0 ブレイク条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブレイク条件には、オペランドサイズを含まない</p> <p>01 : ブレイク条件は、バイトアクセス</p> <p>10 : ブレイク条件は、ワードアクセス</p> <p>11 : ブレイク条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

7.3.4 ブレークアドレスレジスタ_1 (BAR_1)

BAR_1 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_1 は、チャンネル 1 のブレイク条件とするアドレスを指定します。チャンネル 1 ブレイク条件の対象とするアドレスバスは 3 種類あり、ブレイクバスサイクルレジスタ_1 (BBR_1) の制御ビット CD1_1、CD1_0 により選択します。BAR_1 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24	BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8	BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA1_31 ~ BA1_0	すべて 0	R/W	ブレイクアドレス 1 チャンネル 1 のブレイク条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR_1 により C バスかつ命令フェッチサイクルを選択した場合は、BA1_31 ~ BA1_0 に FAB のアドレスを指定します。 BBR_1 により C バスかつデータアクセスサイクルを選択した場合は、BA1_31 ~ BA1_0 に MAB のアドレスを指定します。

【注】 ブレイク条件として命令フェッチサイクルを設定する場合は、BAR_1 の LSB を 0 にクリアしてください。

7.3.5 ブレークアドレスマスクレジスタ_1 (BAMR_1)

BAMR_1 は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR_1 は、BAR_1 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_1 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24	BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8	BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM1_31 ~ BAM1_0	すべて 0	R/W	ブレークアドレスマスク 1 BAR_1 (BA1_31~BA1_0) によって指定されるチャンネル 1 のブレークアドレスビットのうち、マスクするビットを指定します。 0 : ブレークアドレスビット BA1_n は、ブレーク条件に含まれる 1 : ブレークアドレスビット BA1_n はマスクされ、ブレーク条件に含まれない

【注】 n=31~0

7.3.6 ブレークバスサイクルレジスタ_1 (BBR_1)

BBR_1は、チャンネル1のブレーク条件として(1)ユーザブ레이크割り込みの禁止/許可、(2)データバスの値を含める/含めない、(3)Iバスのバスマスタ、(4)CバスサイクルまたはIバスサイクル、(5)命令フェッチまたはデータアクセス、(6)読み出しまたは書き込み、および(7)オペランドサイズを指定する16ビットの読み出しまたは書き込み可能なレジスタです。BBR_1はパワーオンリセットでH'0000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID1	-	-	CP1[2:0]			CD1[1:0]		ID1[1:0]		RW1[1:0]		SZ1[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	UBID1	0	R/W	ユーザブ레이크割り込みディスエーブル1 チャンネル1の条件一致時にユーザブ레이크割り込み要求の禁止/許可を指定します。 0: ユーザブ레이크割り込み要求を許可する 1: ユーザブ레이크割り込み要求を禁止する
12, 11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	CP1[2:0]	000	R/W	Iバスのバスマスタセレクト1 チャンネル1ブレーク条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効(CPUサイクルのみ)となります。 xx1: ブレーク条件は、CPUサイクルを含みます x1x: ブレーク条件は、DMACサイクルを含みます 1xx: ブレーク条件は、DTCサイクルを含みます
7, 6	CD1[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト1 チャンネル1ブレーク条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、Cバスサイクル 10: ブレーク条件は、Iバスサイクル 11: ブレーク条件は、Cバスサイクル

ビット	ビット名	初期値	R/W	説明
5、4	ID1[1:0]	00	R/W	<p>命令フェッチ/データアクセスセレクト1</p> <p>チャンネル1ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合はCD1[1:0]ビットでCバスサイクルを選択してください。</p> <p>00：条件比較を行わない</p> <p>01：ブレイク条件は、命令フェッチサイクル</p> <p>10：ブレイク条件は、データアクセスサイクル</p> <p>11：ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW1[1:0]	00	R/W	<p>読み出し/書き込みセレクト1</p> <p>チャンネル1ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00：条件比較を行わない</p> <p>01：ブレイク条件は、読み出しサイクル</p> <p>10：ブレイク条件は、書き込みサイクル</p> <p>11：ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ1[1:0]	00	R/W	<p>オペランドサイズセレクト1</p> <p>チャンネル1ブレイク条件のバスサイクルのオペランドサイズを選択します。</p> <p>00：ブレイク条件は、オペランドサイズを含まない</p> <p>01：ブレイク条件は、バイトアクセス</p> <p>10：ブレイク条件は、ワードアクセス</p> <p>11：ブレイク条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

7.3.7 ブ레이크アドレスレジスタ_2 (BAR_2)

BAR_2は、32ビットの読み出し/書き込み可能なレジスタです。BAR_2は、チャンネル2のブ레이크条件とするアドレスを指定します。チャンネル2ブ레이크条件の対象とするアドレスバスは3種類あり、ブ레이크バスサイクルレジスタ_2 (BBR_2) の制御ビットCD2_1、CD2_0により選択します。BAR_2はパワーオンリセットでH'00000000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24	BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8	BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA2_31 ~ BA2_0	すべて0	R/W	ブ레이크アドレス2 チャンネル2のブ레이크条件を指定するCPUアドレスバス(FABまたはMAB)またはIABのアドレスを格納します。 BBR_2によりCバスかつ命令フェッチサイクルを選択した場合は、BA2_31~BA2_0にFABのアドレスを指定します。 BBR_2によりCバスかつデータアクセスサイクルを選択した場合は、BA2_31~BA2_0にMABのアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR_2のLSBを0にクリアしてください。

7.3.8 ブレークアドレスマスクレジスタ_2 (BAMR_2)

BAMR_2 は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR_2 は、BAR_2 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_2 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24	BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8	BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM2_31 ~ BAM2_0	すべて 0	R/W	ブレークアドレスマスク 2 BAR_2 (BA2_31~BA2_0) によって指定されるチャンネル 2 のブレークアドレスビットのうち、マスクするビットを指定します。 0: ブレークアドレスビット BA2_n は、ブレーク条件に含まれる 1: ブレークアドレスビット BA2_n はマスクされ、ブレーク条件に含まれない

【注】 n=31~0

7.3.9 ブレークバスサイクルレジスタ_2 (BBR_2)

BBR_2 は、チャンネル 2 のブレーク条件として (1) ユーザブレーク割り込みの禁止/許可、(2) データバスの値を含める/含めない、(3) Iバスのバスマスタ、(4) Cバスサイクルまたは Iバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しまたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_2 はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID2	-	-	CP2[2:0]	CD2[1:0]	ID2[1:0]	RW2[1:0]	SZ2[1:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	UBID2	0	R/W	<p>ユーザブレイク割り込みディスエーブル 2</p> <p>チャンネル 2 の条件一致時にユーザブレイク割り込み要求の禁止/許可を指定します。</p> <p>0 : ユーザブレイク割り込み要求を許可する</p> <p>1 : ユーザブレイク割り込み要求を禁止する</p>
12、11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
10~8	CP2[2:0]	000	R/W	<p>Iバスのバスマスタセレクト 2</p> <p>チャンネル 2 ブレイク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。</p> <p>xx1 : ブレイク条件は、CPU サイクルを含みます</p> <p>x1x : ブレイク条件は、DMAC サイクルを含みます</p> <p>1xx : ブレイク条件は、DTC サイクルを含みます</p>
7、6	CD2[1:0]	00	R/W	<p>C バスサイクル/I バスサイクルセレクト 2</p> <p>チャンネル 2 ブレイク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、C バス (F バス、M バス) サイクル</p> <p>10 : ブレイク条件は、I バスサイクル</p> <p>11 : ブレイク条件は、C バス (F バス、M バス) サイクル</p>
5、4	ID2[1:0]	00	R/W	<p>命令フェッチ/データアクセスセレクト 2</p> <p>チャンネル 2 ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は CD2[1:0] ビットで C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、命令フェッチサイクル</p> <p>10 : ブレイク条件は、データアクセスサイクル</p> <p>11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW2[1:0]	00	R/W	<p>読み出し/書き込みセレクト 2</p> <p>チャンネル 2 ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブレイク条件は、読み出しサイクル</p> <p>10 : ブレイク条件は、書き込みサイクル</p> <p>11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>

ビット	ビット名	初期値	R/W	説明
1, 0	SZ2[1:0]	00	R/W	オペランドサイズセレクト 2 チャンネル 2 ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件には、オペランドサイズを含まない 01: ブレーク条件は、バイトアクセス 10: ブレーク条件は、ワードアクセス 11: ブレーク条件は、ロングワードアクセス

【記号説明】 x : Don't care

7.3.10 ブレークアドレスレジスタ_3 (BAR_3)

BAR_3 は、32 ビットの読み出し/書き込み可能なレジスタです。BAR_3 は、チャンネル 3 のブレーク条件とするアドレスを指定します。チャンネル 3 ブレーク条件の対象とするアドレスバスは 3 種類あり、ブレークバスサイクルレジスタ_3 (BBR_3) の制御ビット CD3_1、CD3_0 により選択します。BAR_3 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24	BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8	BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BA3_31 ~ BA3_0	すべて 0	R/W	ブレークアドレス 3 チャンネル 3 のブレーク条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR_3 により C バスかつ命令フェッチサイクルを選択した場合は、BA3_31 ~BA3_0 に FAB のアドレスを指定します。 BBR_3 により C バスかつデータアクセスサイクルを選択した場合は、BA3_31 ~BA3_0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR_3 の LSB を 0 にクリアしてください。

7.3.11 ブレークアドレスマスクレジスタ_3 (BAMR_3)

BAMR_3 は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR_3 は、BAR_3 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_3 はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24	BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8	BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAM3_31 ~ BAM3_0	すべて 0	R/W	ブレークアドレスマスク 3 BAR_3 (BA3_31~BA3_0) によって指定されるチャンネル 3 のブレークアドレスビットのうち、マスクするビットを指定します。 0: ブレークアドレスビット BA3_n は、ブレーク条件に含まれる 1: ブレークアドレスビット BA3_n はマスクされ、ブレーク条件に含まれない

【注】 n=31~0

7.3.12 ブレークバスサイクルレジスタ_3 (BBR_3)

BBR_3 は、チャンネル 3 のブレーク条件として (1) ユーザブレイク割り込みの禁止/許可、(2) データバスの値を含める/含めない、(3) Iバスのバスマスタ、(4) CバスサイクルまたはIバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しまたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_3 はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID3	-	-	CP3[2:0]	CD3[1:0]	ID3[1:0]	RW3[1:0]	SZ3[1:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	UBID3	0	R/W	<p>ユーザブレイク割り込みディスエーブル 3</p> <p>チャンネル 3 の条件一致時にユーザブレイク割り込み要求の禁止/許可を指定します。</p> <p>0 : ユーザブレイク割り込み要求を許可する 1 : ユーザブレイク割り込み要求を禁止する</p>
12、11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~8	CP3[2:0]	000	R/W	<p>Iバスのバスマスタセレクト 3</p> <p>チャンネル 3 ブレイク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。</p> <p>xx1 : ブレイク条件は、CPU サイクルを含みます x1x : ブレイク条件は、DMAC サイクルを含みます 1xx : ブレイク条件は、DTC サイクルを含みます</p>
7、6	CD3[1:0]	00	R/W	<p>C バスサイクル/I バスサイクルセレクト 3</p> <p>チャンネル 3 ブレイク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、C バス (F バス、M バス) サイクル 10 : ブレイク条件は、I バスサイクル 11 : ブレイク条件は、C バス (F バス、M バス) サイクル</p>
5、4	ID3[1:0]	00	R/W	<p>命令フェッチ/データアクセスセレクト 3</p> <p>チャンネル 3 ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は CD3[1:0] ビットで C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、命令フェッチサイクル 10 : ブレイク条件は、データアクセスサイクル 11 : ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW3[1:0]	00	R/W	<p>読み出し/書き込みセレクト 3</p> <p>チャンネル 3 ブレイク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない 01 : ブレイク条件は、読み出しサイクル 10 : ブレイク条件は、書き込みサイクル 11 : ブレイク条件は、読み出しサイクルまたは書き込みサイクル</p>

ビット	ビット名	初期値	R/W	説明
1, 0	SZ3[1:0]	00	R/W	オペランドサイズセレクト 3 チャンネル 3 ブレイク条件のバスサイクルのオペランドサイズを選択します。 00: ブレイク条件には、オペランドサイズを含まない 01: ブレイク条件は、バイトアクセス 10: ブレイク条件は、ワードアクセス 11: ブレイク条件は、ロングワードアクセス

【記号説明】 x : Don't care

7.3.13 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. ブレイクを命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の $\overline{\text{UBCTR}}\overline{\text{G}}$ 出力のパルス幅を設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 15~12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC ₀	SCMFC ₁	SCMFC ₂	SCMFC ₃	SCMFD ₀	SCMFD ₁	SCMFD ₂	SCMFD ₃	PCB3	PCB2	PCB1	PCB0	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 $\overline{\text{UBCTR}}\overline{\text{G}}$ に出力するパルス幅を指定します。 00: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 1 周期分にする 01: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 2 周期分にする 10: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 4 周期分にする 11: $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅をバスクロック 8 周期分にする

ビット	ビット名	初期値	R/W	説明
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する C バスサイクル条件不一致 1 : チャンネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致
13	SCMFC2	0	R/W	C バスサイクル条件一致フラグ 2 チャンネル 2 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 2 に対する C バスサイクル条件不一致 1 : チャンネル 2 に対する C バスサイクル条件一致
12	SCMFC3	0	R/W	C バスサイクル条件一致フラグ 3 チャンネル 3 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 3 に対する C バスサイクル条件不一致 1 : チャンネル 3 に対する C バスサイクル条件一致
11	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致
10	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャンネル 1 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致

ビット	ビット名	初期値	R/W	説明
9	SCMFD2	0	R/W	Iバスサイクル条件一致フラグ 2 チャンネル 2 にセットしたブ레이크条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 2 に対する Iバスサイクル条件不一致 1 : チャンネル 2 に対する Iバスサイクル条件一致
8	SCMFD3	0	R/W	Iバスサイクル条件一致フラグ 3 チャンネル 3 にセットしたブ레이크条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 3 に対する Iバスサイクル条件不一致 1 : チャンネル 3 に対する Iバスサイクル条件一致
7	PCB3	0	R/W	PC ブ레이크セレクト 3 チャンネル 3 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 3 の PC ブ레이크を命令実行前に設定 1 : チャンネル 3 の PC ブ레이크を命令実行後に設定
6	PCB2	0	R/W	PC ブ레이크セレクト 2 チャンネル 2 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 2 の PC ブ레이크を命令実行前に設定 1 : チャンネル 2 の PC ブ레이크を命令実行後に設定
5	PCB1	0	R/W	PC ブ레이크セレクト 1 チャンネル 1 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブ레이크を命令実行前に設定 1 : チャンネル 1 の PC ブ레이크を命令実行後に設定
4	PCB0	0	R/W	PC ブ레이크セレクト 0 チャンネル 0 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブ레이크を命令実行前に設定 1 : チャンネル 0 の PC ブ레이크を命令実行後に設定
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.4 動作説明

7.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスは、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスをブレイクアドレスマスクレジスタ (BAMR) に指定します。バスブレイク条件をブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCRのビットにセットします。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、 $\overline{\text{UBCTRG}}$ 端子にCKS1、CKS0ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。
5. チャンネル0、チャンネル1、チャンネル2、チャンネル3で設定したブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割り込み要求は1つだけであっても、これらの4つのブレイクチャンネル一致フラグは4つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはBBRで指定したバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - CPUのCバス上での命令フェッチに起因したIバスサイクル (リードフィルサイクルを含む) をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DTC、DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレイクを受け付けるかを一意に決定することはできません。

7.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。命令実行の前にブレイクするか後にブレイクするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のLSBを0にクリアしてください。このビットが1にセットされているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までブレイクは発生しません。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までブレイクは発生しません。
4. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

7.4.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてCバスを指定した場合は、実行された命令によりアクセスされた論理アドレスに対して条件比較を行い、ブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバスのバスマスタセレクトで指定したバスマスタが発行するデータアクセスサイクルの物理アドレスに対して条件比較を行い、ブレイクを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「7.4.1 ユーザブレイク動作の流れ」の6.の項を参照してください。
2. 表7.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレイクアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレイクアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばブレイクアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

7.4.4 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてCバス (FAB) /命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス/データアクセスサイクル、またはIバス/データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス (FAB) /命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

2. Cバス (FAB) /命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. Cバス/データアクセスサイクルまたはIバス/データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

7.4.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

• レジスタ指定

BAR_0=H'00000404、BAMR_0=H'00000000、BBR_0=H'0054、

BAR_1=H'00008010、BAMR_1=H'00000006、BBR_1=H'0054、BRCCR=H'00000020

<チャンネル0>

アドレス: H'00000404、アドレスマスク: H'00000000

バスサイクル: Cバス/命令フェッチ (命令実行後) /読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス: H'00008010、アドレスマスク: H'00000006

バスサイクル: Cバス/命令フェッチ (命令実行前) /読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010~H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR_0=H'00027128、BAMR_0=H'00000000、BBR_0=H'005A、

BAR_1=H'00031415、BAMR_1=H'00000000、BBR_1=H'0054、BRCCR=H'00000000

<チャンネル 0>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：Cバス/命令フェッチ（命令実行前）/書き込み/ワード

<チャンネル 1>

アドレス：H'00031415、アドレスマスク：H'00000000

バスサイクル：Cバス/命令フェッチ（命令実行前）/読み出し（オペランドサイズは条件に含まれません）

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BBR_0=H'0054、BAR_0=H'00008404、BAMR_0=H'00000FFF、

BBR_1=H'0054、BAR_1=H'00008010、BAMR_1=H'00000006、BRCCR=H'00000020

<チャンネル 0>

アドレス：H'00008404、アドレスマスク：H'00000FFF

バスサイクル：Cバス/命令フェッチ（命令実行後）/読み出し（オペランドサイズは条件に含まれません）

<チャンネル 1>

アドレス：H'00008010、アドレスマスク：H'00000006

バスサイクル：Cバス/命令フェッチ（命令実行前）/読み出し（オペランドサイズは条件に含まれません）

ユーザブレイクは、アドレスH'00008000～H'00008FFEの命令の実行後、またはアドレスH'00008010～H'00008016の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

• レジスタ指定

BBR_0=H'0064、BAR_0=H'00123456、BAMR_0=H'00000000、

BBR_1=H'006A、BAR_1=H'000ABCDE、BAMR_1=H'000000FF、BRCR=H'00000000

<チャンネル0>

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：Cバス/データアクセス/読み出し（オペランドサイズは条件に含まれません）

<チャンネル1>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

バスサイクル：Cバス/データアクセス/書き込み/ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00～H'000ABCFEにワードを書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

• レジスタ指定：

BBR_0=H'0094、BAR_0=H'00314156、BAMR_0=H'00000000、

BBR_1=H'12A9、BAR_1=H'00055555、BAMR_1=H'00000000、BRCR=H'00000000

<チャンネル0>

アドレス：H'00314156、アドレスマスク：H'00000000

バスサイクル：Iバス/命令フェッチ/読み出し（オペランドサイズは条件に含まれません）

<チャンネル1>

アドレス：H'00055555、アドレスマスク：H'00000000

バスサイクル：Iバス/データアクセス/書き込み/バイト

チャンネル0では、Iバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクはIバス上でDMACがバイトデータをアドレスH'00055555に書き込むときに生じます（CPUの場合は生じません）。

7.5 割り込み要因

UBC の割り込み要因にはユーザブレイク割り込みがあります。

表 7.4 に割り込み要因を示します。

ブレイクコントロールレジスタ (BRCR) のコンペアマッチフラグ (SCMFD3~0、SCMFC3~0) のいずれかが 1 にセットされたとき、ユーザブレイク割り込みが発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 7.4 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ	割り込みレベル
ユーザブレイク	ユーザブレイク割り込み	—	SCMFD3、SCMFD2、 SCMFD1、SCMFD0、 SCMFC3、SCMFC2、 SCMFC1、SCMFC0	15に固定

7.6 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、Iバス經由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイクと他の例外が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までブレイクは発生しません。
5. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。
10. 同一アドレスに命令実行前ブレイクと命令実行後ブレイクを同時に設定しないでください。たとえば、同一アドレスに対して、同時にチャンネル0命令実行前/チャンネル1命令実行後ブレイクを設定した場合、チャンネル0で命令実行前にブレイクが発生してもチャンネル1の命令実行後の条件一致フラグが成立します。

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

8.1 特長

- 任意チャネル数の転送が可能
- チェイン転送 (一つの起動要因に対して複数のデータ転送) が可能
データ転送後に毎回チェイン転送を行うか、指定された回数のデータ転送後にのみチェイン転送を行うかの選択が可能 (カウンタ=0のとき転送開始)
- 転送モード: 3種類
ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能
転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- 転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
- DTCの起動要因でDTC転送終了後にCPU割り込みを要求可能
一回のデータ転送終了後にCPUに対する割り込み要求を発生可能
指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップ機能、ライトバックスキップ機能で、DTC転送時間の短縮が可能
- モジュールストップモードにより消費電力の低減が可能
- ショートアドレスモードによりDTC起動時間の短縮が可能
- バス権開放タイミング3種類から選択可能
- DTC起動時の優先順位を2種類から選択可能

図 8.1 に DTC のブロック図を示します。DTC の転送情報は、データ領域に配置可能です*。

【注】 * 転送情報を内蔵 RAM に配置した場合、必ず SYSCR1、SYSCR2 の RAME ビットを 1 にセットしてください。

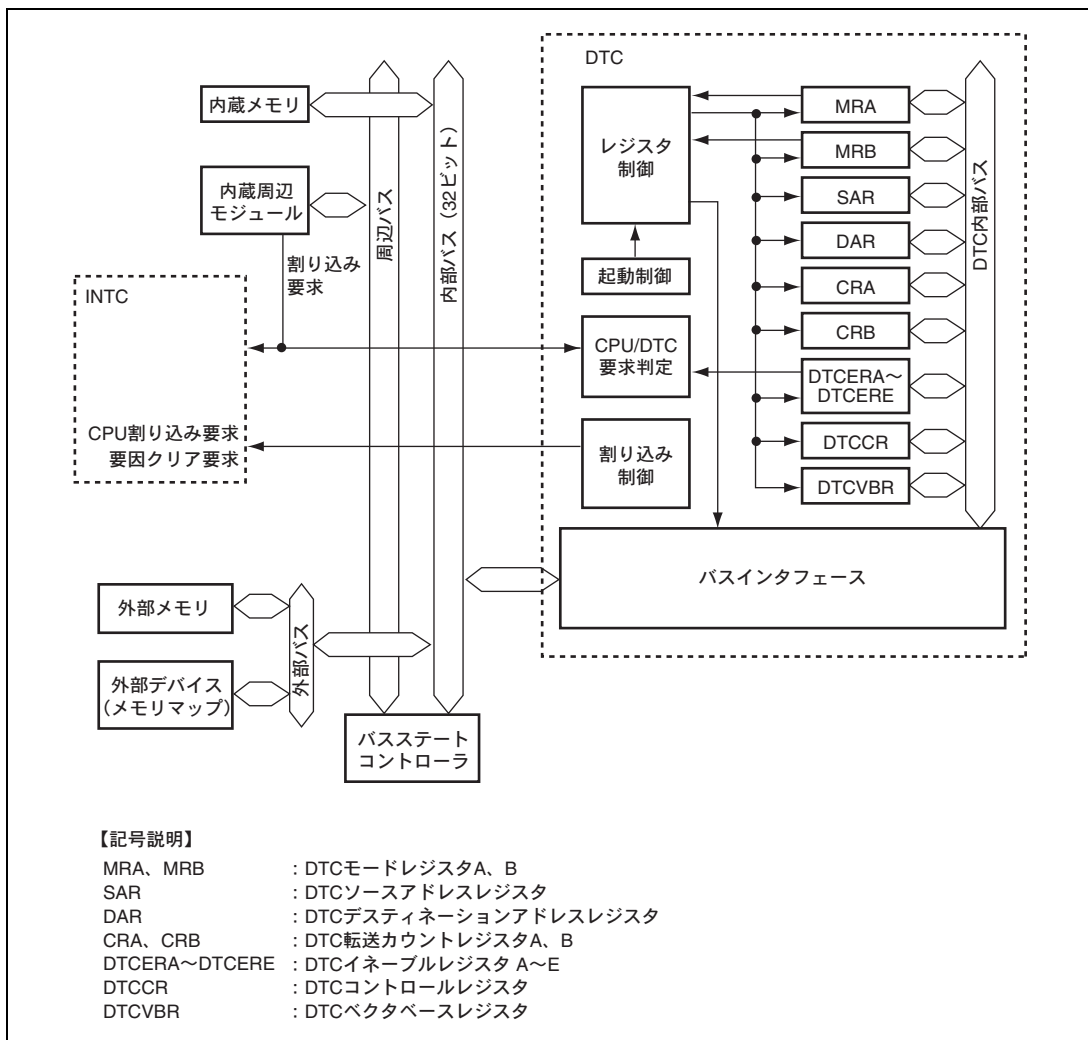


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。データ転送が終了すると、これらのレジスタの内容がライトバックされます。

一方、DTCERA～DTCERE、DTCCR、DTCVBR は CPU から直接アクセスできます。

表 8.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DTC イネーブルレジスタ A	DTCERA	R/W	H'0000	H'FFFE6000	8、16
DTC イネーブルレジスタ B	DTCERB	R/W	H'0000	H'FFFE6002	8、16
DTC イネーブルレジスタ C	DTCERC	R/W	H'0000	H'FFFE6004	8、16
DTC イネーブルレジスタ D	DTCERD	R/W	H'0000	H'FFFE6006	8、16
DTC イネーブルレジスタ E	DTCERE	R/W	H'0000	H'FFFE6008	8、16
DTC コントロールレジスタ	DTCCR	R/W	H'00	H'FFFE6010	8
DTC ベクタベースレジスタ	DTCVBR	R/W	H'00000000	H'FFFE6014	8、16、32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFE3C1A	16

8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット:	7	6	5	4	3	2	1	0
	MD[1:0]	Sz[1:0]	SM[1:0]	-	-			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説 明
7, 6	MD[1:0]	不定	—	DTC モード 1, 0 DTC の転送モードを指定します。 00: ノーマル転送モード 01: リピート転送モード 10: ブロック転送モード 11: 設定禁止
5, 4	Sz[1:0]	不定	—	DTC データトランスファサイズ 1, 0 転送データのサイズを指定します。 00: バイトサイズ転送 01: ワードサイズ転送 10: ロングワードサイズ転送 11: 設定禁止
3, 2	SM[1:0]	不定	—	ソースアドレスモード 1, 0 データ転送後の SAR の動作を指定します。 0x: SAR は固定 (SAR のライトバックはスキップされます。) 10: 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1, 0	—	不定	—	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット:	7	6	5	4	3	2	1	0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	-	-	
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「8.5.6 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0: チェイン転送禁止 1: チェイン転送許可
6	CHNS	不定	—	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う
5	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき、1 回のデータ転送もしくは 1 回のブロックデータ転送のたびに CPU に対して割り込み要求が発生します。このビットが 0 のときは指定された回数 (CRA または CRB で指定した転送カウンタの回数分のデータ転送) のデータ転送を終了したときだけ CPU に対して割り込み要求が発生します。
4	DTS	不定	—	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0: デスティネーション側がリピート領域またはブロック領域 1: ソース側がリピート領域またはブロック領域
3, 2	DM[1:0]	不定	—	デスティネーションアドレスモード 1, 0 データ転送後の DAR の動作を指定します。 0x: DAR は固定 (DAR のライトバックはスキップされます。) 10: 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11: 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1, 0	—	不定	—	リザーブビット 書き込む値は常に 0 にしてください。

【注】 x: Don't care

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

SAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

DAR は、CPU から直接アクセスすることはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) ごとにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のブロックデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

8.2.7 DTC イネーブルレジスタ A~E (DTCERA~DTCERE)

DTCE_R は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERE があります。各

割り込み要因と DTCE ビットの対応については表 8.2 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15~0
14	DTCE14	0	R/W	1 をセットすると、対応する割り込み要因が DTC 起動要因として選択されます。
13	DTCE13	0	R/W	[クリア条件]
12	DTCE12	0	R/W	• クリアするビットの 1 の状態をリードした後、0 をライトしたとき
11	DTCE11	0	R/W	• MRB の DIESEL ビットが 1 で、1 回のデータ転送を終了したとき
10	DTCE10	0	R/W	• 指定した回数の転送が終了したとき
9	DTCE9	0	R/W	DIESEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
8	DTCE8	0	R/W	[セット条件]
6	DTCE6	0	R/W	• セットするビットの 0 を読み出してから 1 を書き込み
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

8.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	RRS	RCHNE	-	-	ERR
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R	R(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが1のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う
3	RCHNE	0	R/W	DTC リピート転送後チェーン転送イネーブル リピート転送において、転送カウンタ=0でのチェーン転送を許可/禁止します。リピート転送では、転送カウンタ (CRAL) =0 となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0でのチェーン転送は発生しません。このビットを1にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。 0: リピート転送後のチェーン転送を禁止 1: リピート転送後のチェーン転送を許可
2, 1	-	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	ERR	0	R(W) *	転送停止フラグ DTC アドレスエラーまたは NMI 割り込み要求が発生したことを示すフラグです。DTC 起動中に DTC アドレスエラーまたは NMI 割り込み要求が発生すると、DTC のバス権解放時にバス権を解放後、DTC アドレスエラーまたは NMI 割り込み処理が実行されます。DTC は、NMI の入カタイミングによって、データ転送後か転送情報ライトステート後に停止します。ただし、データ転送後に停止した場合、ライトステートは正しく行われません。再度転送を行う場合は転送情報を再設定してください (リードスキップが行われた場合を除く)。 0: 割り込み要求なし 1: 割り込み要求発生 [クリア条件] • 1の状態をリードした後、0をライトしたとき

8.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12		すべて0	R/W	ビット 11~0 は読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	-	すべて0	R	

8.2.10 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC のバス権解放のタイミングなどを設定します。DTC による転送動作を優先的に行ったり、DTC 起動サイクル数を減少させるときに有効な機能を設定できます。詳細については「9.4.4 バス機能拡張レジスタ (BSCEHR)」を参照してください。

8.3 起動要因

DTC は、割り込み要求により起動します。起動する割り込み要因は、DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。

8.4 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、4n 番地としてください。4n 番地以外を指定した場合、下位 2 ビットを無視してアクセスします ([1:0]=B'00)。データ領域上での転送情報の配置を図 8.2 に示します。すべての DTC 転送の転送元/転送先が内蔵 RAM と内蔵周辺モジュールである場合に限り、「9.4.4 バス機能拡張レジスタ (BSCEHR)」の DTSA ビットを 1 にセットすることでショートアドレスモードを選択することができます。

通常、転送情報リードに 4 ロングワード必要ですが、ショートアドレスモードを選択することで転送情報リードを 3 ロングワードに省略でき、DTC 起動時間を短縮することができます。

DTC は、起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTC ベクタテーブルと転送情報の対応を図 8.3 に示します。

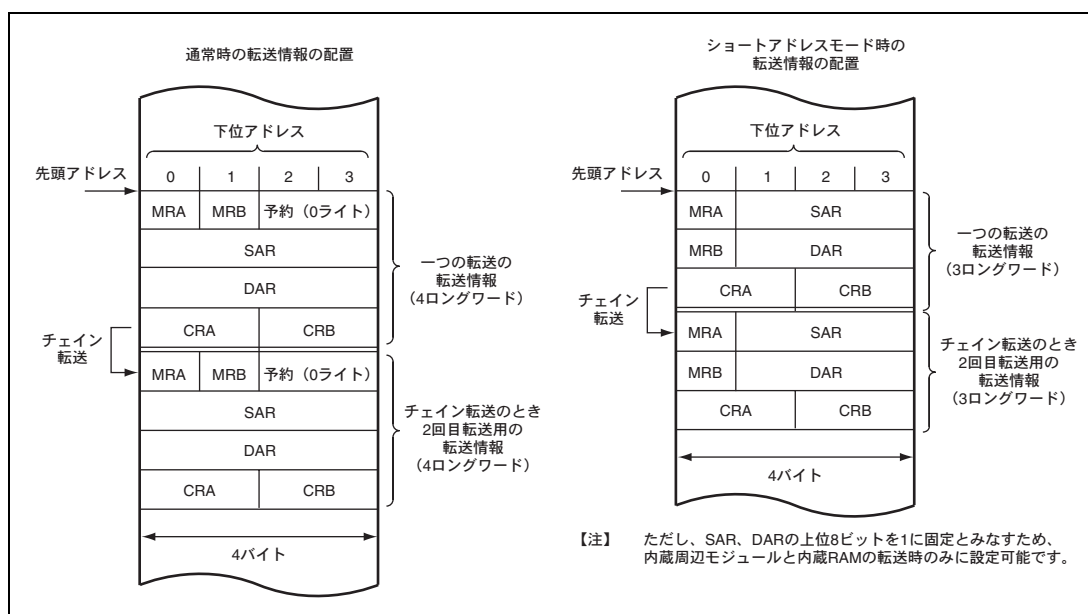


図 8.2 データ領域上での転送情報の配置

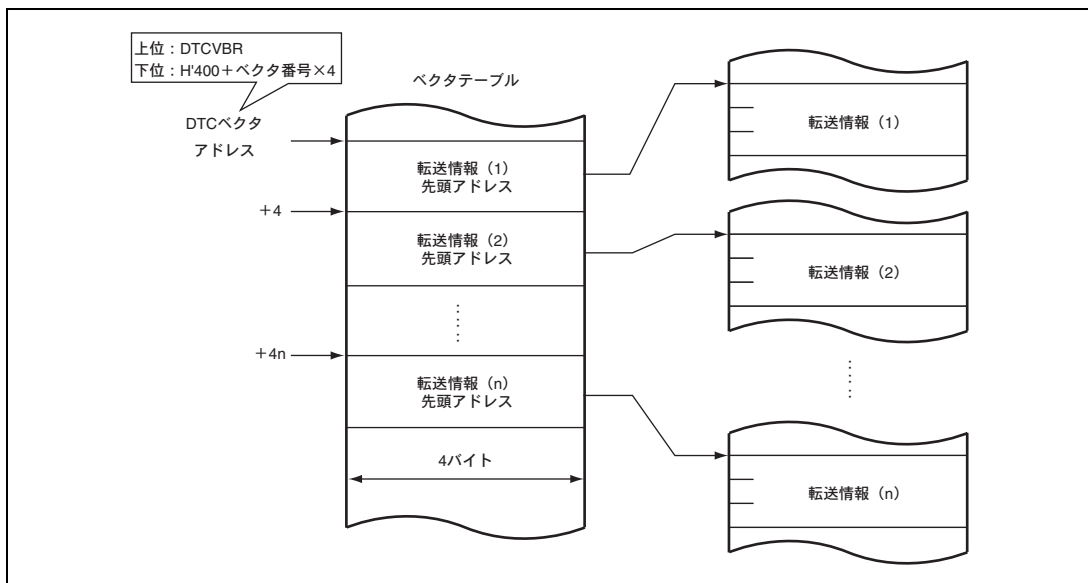


図 8.3 DTC ベクタテーブルと転送情報の対応

DTC の起動要因とベクタアドレスの対応を表 8.2 に示します。

表 8.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス オフセット	DTCE* ¹	転送元	転送先	優先 順位
外部端子	IRQ0	64	H'00000500	DTCERA15	任意* ²	任意* ²	高 ↑
	IRQ1	65	H'00000504	DTCERA14	任意* ²	任意* ²	
	IRQ2	66	H'00000508	DTCERA13	任意* ²	任意* ²	
	IRQ3	67	H'0000050C	DTCERA12	任意* ²	任意* ²	
	IRQ4	68	H'00000510	DTCERA11	任意* ²	任意* ²	
	IRQ5	69	H'00000514	DTCERA10	任意* ²	任意* ²	
	IRQ6	70	H'00000518	DTCERA9	任意* ²	任意* ²	
A/D 変換器	ADI0	92	H'00000570	DTCERA7	ADDR0~ ADDR3	任意* ²	↓ 低
	ADI1	96	H'00000580	DTCERA6	ADDR4~ ADDR7	任意* ²	
	ADI2	100	H'00000590	DTCERA5	ADDR8~ ADDR15	任意* ²	
RCAN-ET	RM0_0	106	H'000005A8	DTCERA4	CONTROL0H~ CONTROL1L* ³	任意* ²	
CMT	CMI0	140	H'00000630	DTCERA3	任意* ²	任意* ²	
	CMI1	144	H'00000640	DTCERA2	任意* ²	任意* ²	
MTU2_CH0	TGIA_0	156	H'00000670	DTCERB15	任意* ²	任意* ²	
	TGIB_0	157	H'00000674	DTCERB14	任意* ²	任意* ²	
	TGIC_0	158	H'00000678	DTCERB13	任意* ²	任意* ²	
	TGID_0	159	H'0000067C	DTCERB12	任意* ²	任意* ²	
MTU2_CH 1	TGIA_1	164	H'00000690	DTCERB11	任意* ²	任意* ²	
	TGIB_1	165	H'00000694	DTCERB10	任意* ²	任意* ²	
MTU2_CH2	TGIA_2	172	H'000006B0	DTCERB9	任意* ²	任意* ²	
	TGIB_2	173	H'000006B4	DTCERB8	任意* ²	任意* ²	
MTU2_CH3	TGIA_3	180	H'000006D0	DTCERB7	任意* ²	任意* ²	
	TGIB_3	181	H'000006D4	DTCERB6	任意* ²	任意* ²	
	TGIC_3	182	H'000006D8	DTCERB5	任意* ²	任意* ²	
	TGID_3	183	H'000006DC	DTCERB4	任意* ²	任意* ²	

8.5 動作説明

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 8.3 に示します。

表 8.3 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ (1~256 バイト/ワード/ロングワード)	1、2 または 4 増減・固定	1~65536 回* ⁴

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

*4 1 回は 1 ブロックサイズを示します

また、MRB の CHNE ビットを 1 にセットしておくことにより、一つの起動要因で複数の転送を行うことができます (チェイン転送)。MRB の CHNS ビットの設定で、転送カウンタ=0 のときにチェイン転送を行う設定も可能です。

DTC の動作フローチャートを図 8.4 に示します。DTC 転送の条件 (チェイン転送を含む) を表 8.4 に示します (第 2 の転送から第 3 の転送を行う組み合わせは省略してあります)。

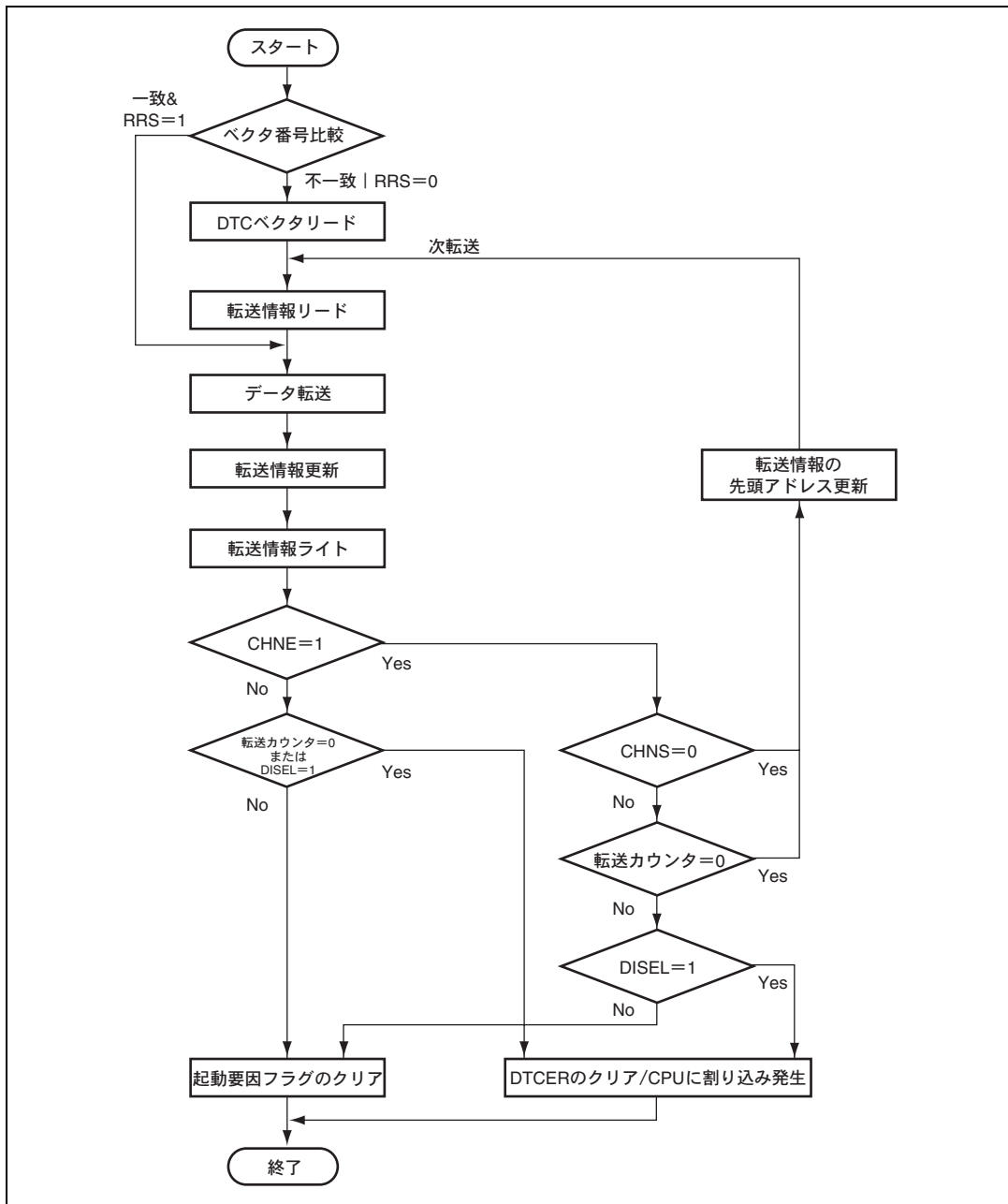


図 8.4 DTC 動作フローチャート

表 8.4 DTC 転送の条件 (チェーン転送を含む)

転送 モード	第 1 回転送					第 2 回転送					DTC 転送	
	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送 カウンタ*1		
ノーマル	0	—	—	0	0 以外	—	—	—	—	—	第 1 回転送で終了	
	0	—	—	0	0	—	—	—	—	—	第 1 回転送で終了	
	0	—	—	1	—	—	—	—	—	—	CPU へ割り込み要求	
	1	0	—	—	—	0	—	—	0	0 以外	第 2 回転送で終了	
						0	—	—	0	0	第 2 回転送で終了	
						0	—	—	1	—	CPU へ割り込み要求	
	1	1	—	0	0 以外	—	—	—	—	—	第 1 回転送で終了	
	1	1	—	1	0 以外	—	—	—	—	—	—	第 1 回転送で終了
						—	—	—	—	—	CPU へ割り込み要求	
						0	—	—	0	0 以外	第 2 回転送で終了	
1	1	—	—	0	0	—	—	0	0	第 2 回転送で終了		
					0	—	—	0	0	第 2 回転送で終了		
					0	—	—	1	—	CPU へ割り込み要求		
リピート	0	—	—	0	—	—	—	—	—	—	第 1 回転送で終了	
	0	—	—	1	—	—	—	—	—	—	第 1 回転送で終了	
	1	0	—	—	—	0	—	—	0	—	第 2 回転送で終了	
						0	—	—	1	—	第 2 回転送で終了	
	1	1	—	0	0 以外	—	—	—	—	—	第 1 回転送で終了	
						—	—	—	—	—	CPU へ割り込み要求	
	1	1	—	1	0 以外	—	—	—	—	—	第 1 回転送で終了	
	1	1	0	0	0*2	—	—	—	—	—	—	第 1 回転送で終了
						—	—	—	—	—	CPU へ割り込み要求	
	1	1	0	1	0*2	—	—	—	—	—	—	第 1 回転送で終了
—						—	—	—	—	CPU へ割り込み要求		
1	1	1	—	0*2	0	—	—	0	—	第 2 回転送で終了		
					0	—	—	1	—	第 2 回転送で終了		
											CPU へ割り込み要求	

転送モード	第 1 回転送					第 2 回転送					DTC 転送
	CHNE	CHNS	RCHNE	DISEL	転送カウンタ*1	CHNE	CHNS	RCHNE	DISEL	転送カウンタ*1	
ブロック	0	-	-	0	0 以外	-	-	-	-	-	第 1 回転送で終了
	0	-	-	0	0	-	-	-	-	-	第 1 回転送で終了
	0	-	-	1	-	-	-	-	-	-	CPU へ割り込み要求
	1	0	-	-	-	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
						0	-	-	1	-	CPU へ割り込み要求
	1	1	-	0	-	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0 以外	-	-	-	-	-	第 1 回転送で終了
	1	1	-	1	0	0	-	-	0	0 以外	第 2 回転送で終了
						0	-	-	0	0	第 2 回転送で終了
0						-	-	1	-	CPU へ割り込み要求	

【注】 *1 ノーマル転送モード：CRA、リピート転送モード：CRAL、ブロック転送モード：CRB

*2 CRAL の内容が CRAH の内容に書き換わることを示します。

8.5.1 転送情報リードスキップ機能

DTCCR の RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS=1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェイン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 8.5 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

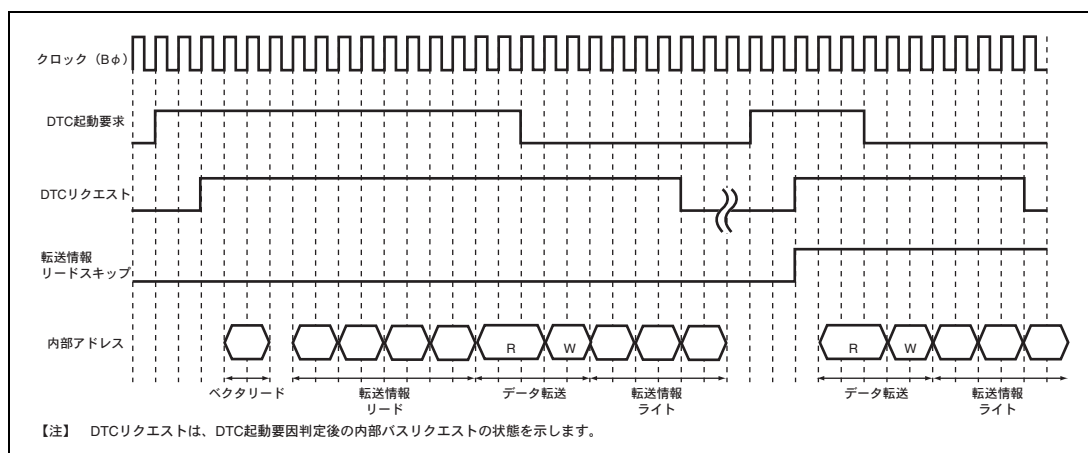


図 8.5 転送情報リードスキップのタイミングチャート
(内蔵周辺モジュールからの起動、 $I\phi : B\phi : P\phi = 1 : 1/2 : 1/2$ 、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.2 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 8.5 に示します。CRA、CRB は、必ずライトバックされます。また、MRA、MRB は必ずライトバックスキップされます。

表 8.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

8.5.3 ノーマル転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。転送回数は1~65536です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表8.6に、ノーマル転送モードのメモリマップを図8.6に示します。

表 8.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加/減少/固定*
DAR	転送先アドレス	増加/減少/固定*
CRA	転送カウントA	CRA-1
CRB	転送カウントB	更新されません

【注】 * 転送情報のライトバックはスキップされます。

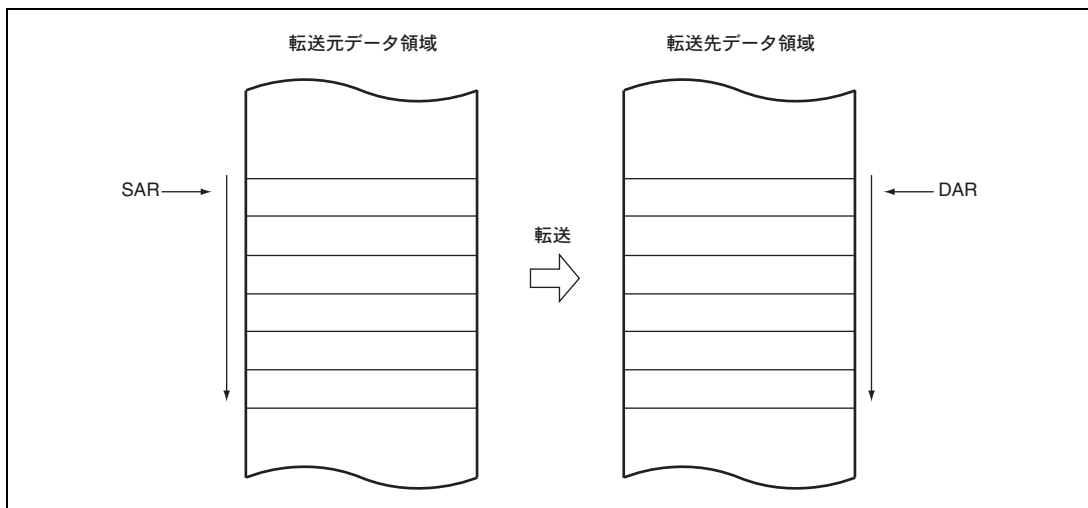


図 8.6 ノーマル転送モードのメモリマップ

8.5.4 リピート転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードのデータ転送を行います。MRB の DTS ビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ (CRAL) が H'00 になると CRAL は CRAH で設定した値に更新されます。このため、転送カウンタは H'00 にならないので、DISEL=0 のときに、CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 8.7 に、リピート転送モードのメモリマップを図 8.7 に示します。

表 8.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	増加/減少/固定*	(DTS=0) 増加/減少/固定* (DTS=1) SAR の初期値
DAR	転送先アドレス	増加/減少/固定*	(DTS=0) DAR の初期値 (DTS=1) 増加/減少/固定*
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL-1	CRAH
CRB	転送カウンタ B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

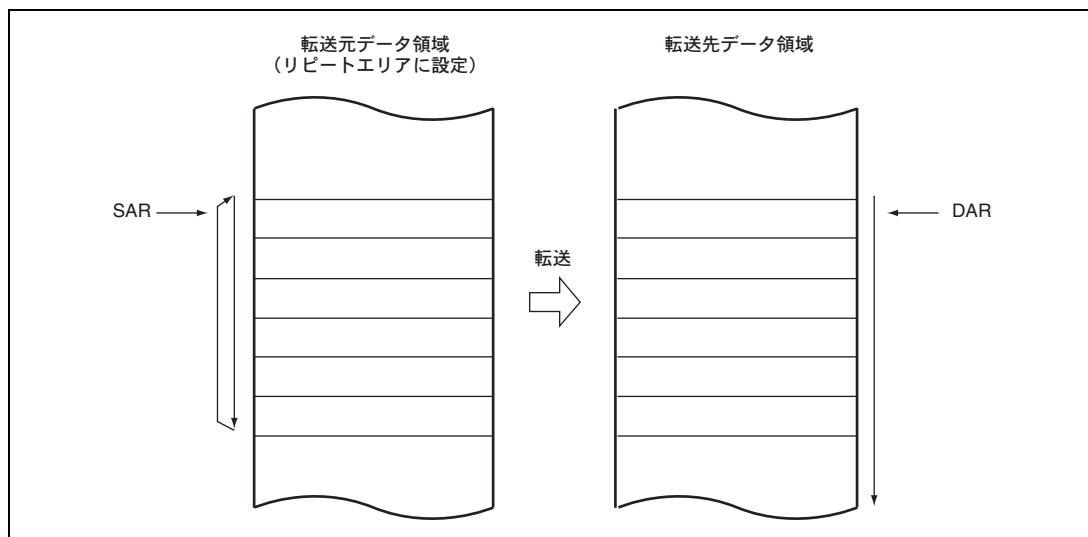


図 8.7 リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

8.5.5 ブロック転送モード

一つの起動要因で、1ブロックのブロックデータ転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256バイト(または1~256ワード、1~256ロングワード)です。1ブロックのブロックデータ転送が終了すると、ブロックサイズカウンタ(CRAL)とブロックエリアに指定したアドレスレジスタ(DTS=1のときSAR、DTS=0のときDAR)の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表8.8に、ブロック転送モードのメモリマップを図8.8に示します。

表 8.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0) 増加/減少/固定* (DTS=1) SARの初期値
DAR	転送先アドレス	(DTS=0) DARの初期値 (DTS=1) 増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

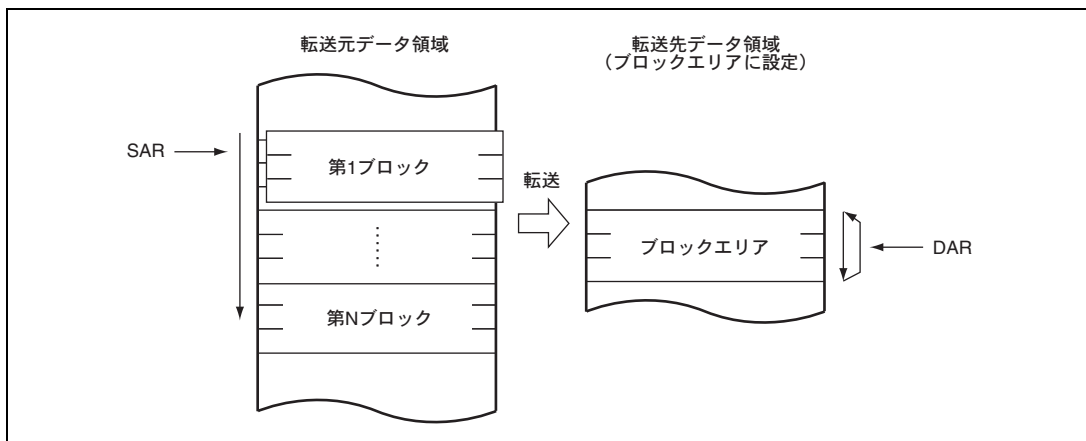


図 8.8 ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)

8.5.6 チェイン転送

MRB の CHNE ビットを 1 にセットすると、一つの起動要因で複数のデータ転送を連続して行うことができます。また、MRB の CHNE ビット、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=0 のときのみチェーン転送を行います。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はそれぞれ独立に設定できます。チェーン転送の動作を図 8.9 に示します。

CHNE=1 に設定したデータ転送では、指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は、起動要因となった割り込み要因フラグおよび DTCCER に影響を与えません。

リピート転送モードでは、DTCCR の RCHNE ビット、MRB の CHNE、CHNS ビットをそれぞれ 1 にセットすると、転送カウンタ=1 の転送後にチェーン転送を行うことができます。

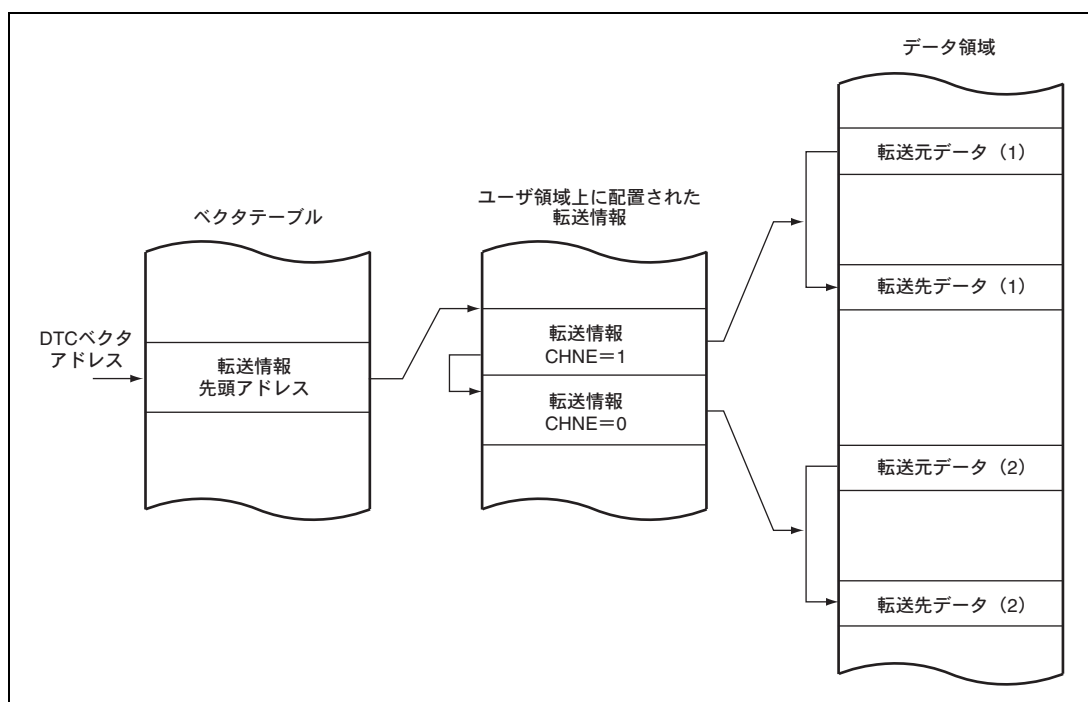


図 8.9 チェイン転送の動作

8.5.7 動作タイミング

DTC の動作タイミングを図 8.10～図 8.15 に示します。

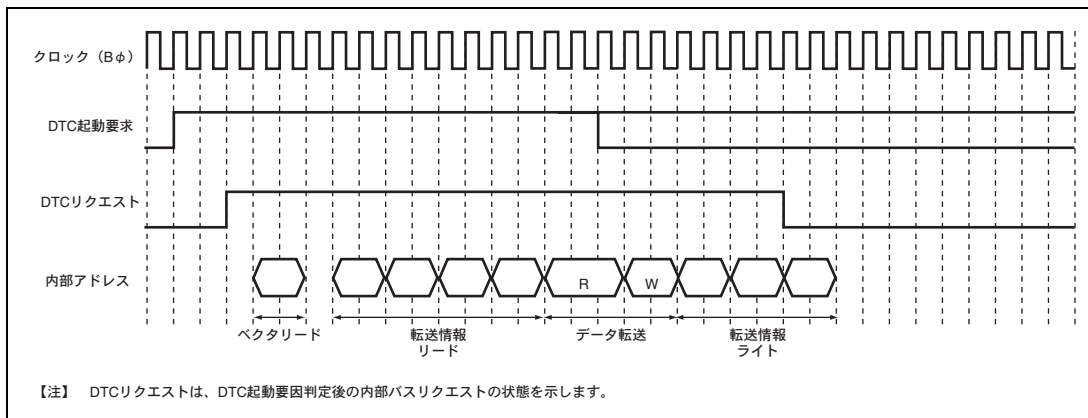


図 8.10 DTC の動作タイミング例【ノーマル転送、リピート転送】

(内蔵周辺モジュールからの起動、 $I\phi : B\phi : P\phi = 1 : 1/2 : 1/2$ 、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

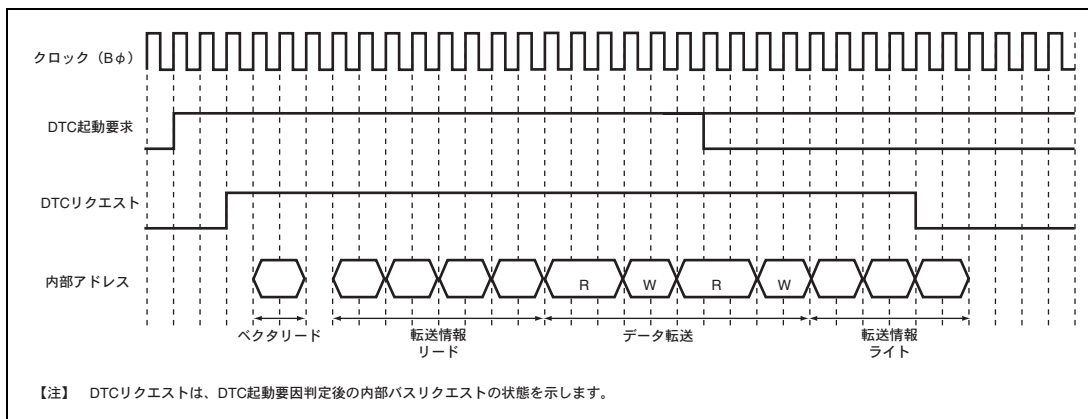
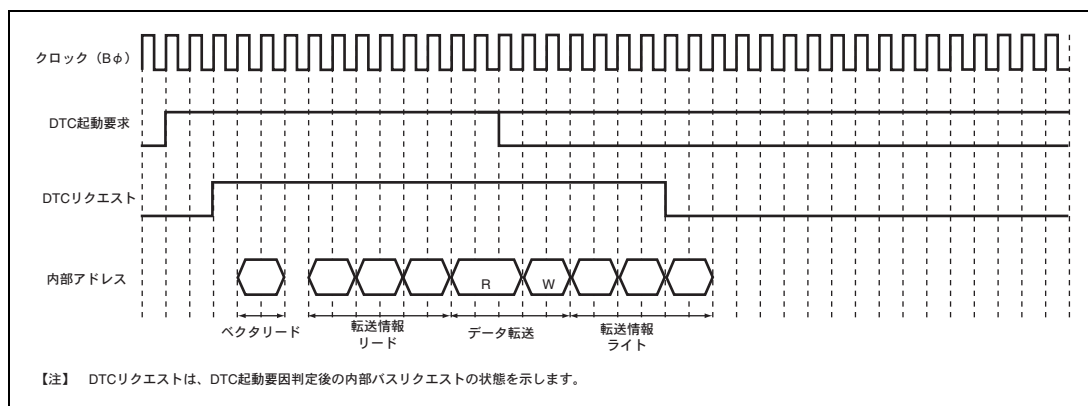
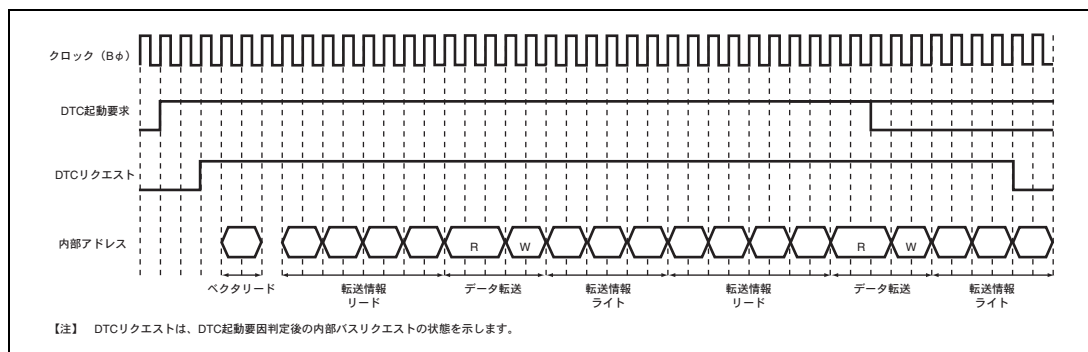


図 8.11 DTC の動作タイミング例【ブロック転送、ブロックサイズ=2】

(内蔵周辺モジュールからの起動、 $I\phi : B\phi : P\phi = 1 : 1/2 : 1/2$ 、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)



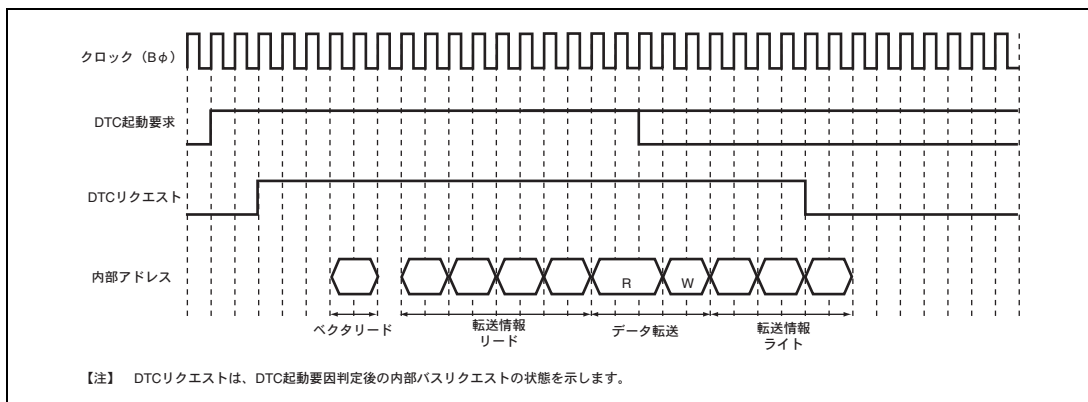


図 8.14 DTC の動作タイミング例【ノーマル転送、リピート転送、DTPR=1】

(内蔵周辺モジュールからの起動、 $I\phi : B\phi : P\phi = 1 : 1/2 : 1/2$ 、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

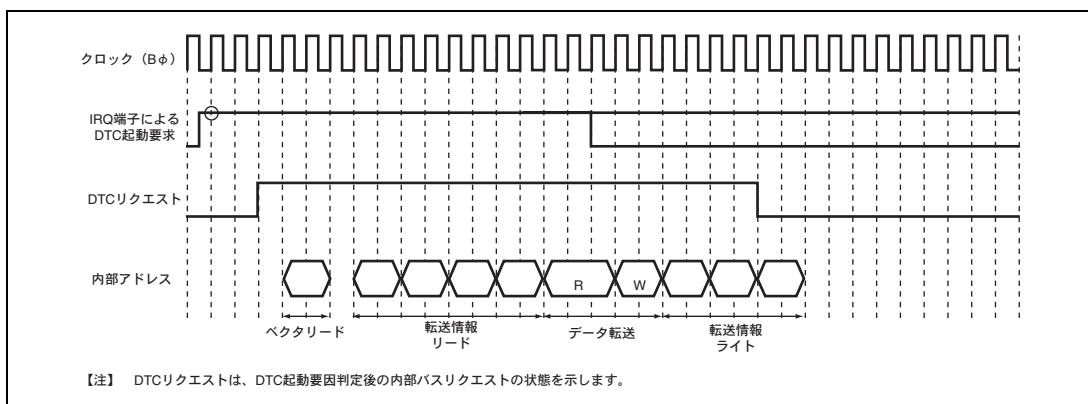


図 8.15 DTC の動作タイミング例【ノーマル転送、リピート転送】

(IRQ からの起動、 $I\phi : B\phi : P\phi = 1 : 1/2 : 1/2$ 、
内蔵モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.8 DTC の実行ステート

DTC の 1 回のデータ転送の実行状態を表 8.9 に示します。また、実行状態に必要なステート数を表 8.10 に示します。

表 8.9 DTC の実行状態

モード	ベクタリード I		転送情報リード J		転送情報ライト K			データリード L	データライト M	内部動作 N	
ノーマル	1	0 ^{*1}	4	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1	1	1	0 ^{*1}
リピート	1	0 ^{*1}	4	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1	1	1	0 ^{*1}
ブロック	1	0 ^{*1}	4	0 ^{*1}	3	2 ^{*2}	1 ^{*3}	1・P	1・P	1	0 ^{*1}

【注】 *1 転送情報リードスキップのとき

*2 SAR もしくは DAR が固定モードのとき

*3 SAR と DAR が固定モードのとき

P: ブロックサイズ (CRAH、CRAL の初期設定)

表 8.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM ^{*1}	フラッシュメモリ (ROM)	内蔵 I/O レジスタ			外部デバイス ^{*4}			
バス幅		32 ビット	32 ビット	8 ビット	16 ビット	32 ビット	8 ビット	16 ビット		
アクセスステート		1Bφ~4Bφ ^{*1&2}	3Bφ~4Iφ+3Bφ ^{*2}	2Pφ	2Pφ	2Pφ	2Bφ	2Bφ		
実行状態	ベクタリード S _i	1Bφ~4Bφ ^{*1&2}	3Bφ~4Iφ+3Bφ ^{*2}	—	—	—	9Bφ	5Bφ		
	転送情報リード S _j	1Bφ~4Bφ ^{*1}	—	—	—	—	9Bφ	5Bφ		
	転送情報ライト S _k	1Bφ~3Bφ ^{*1}	—	—	—	—	2Bφ ^{*5}	2Bφ ^{*5}		
	バイトデータリード S _l	1Bφ~4Bφ ^{*1}	—	1Bφ+2Pφ ^{*3}	1Bφ+2Pφ ^{*3}	—	3Bφ	3Bφ		
	ワードデータリード S _l	1Bφ~4Bφ ^{*1}	—	1Bφ+2Pφ ^{*3}	1Bφ+2Pφ ^{*3}	—	5Bφ	3Bφ		
	ロングワードデータリード S _l	1Bφ~4Bφ ^{*1}	—	1Bφ+4Pφ ^{*3}	1Bφ+2Pφ ^{*3}	1Bφ+4Pφ ^{*3}	9Bφ	5Bφ		
	バイトデータライト S _m	1Bφ~3Bφ ^{*1}	—	1Bφ+2Pφ ^{*3}	1Bφ+2Pφ ^{*3}	—	2Bφ ^{*5}	2Bφ ^{*5}		
	ワードデータライト S _m	1Bφ~3Bφ ^{*1}	—	1Bφ+2Pφ ^{*3}	1Bφ+2Pφ ^{*3}	—	2Bφ ^{*5}	2Bφ ^{*5}		
	ロングワードデータライト S _m	1Bφ~3Bφ ^{*1}	—	1Bφ+4Pφ ^{*3}	1Bφ+2Pφ ^{*3}	1Bφ+4Pφ ^{*3}	2Bφ ^{*5}	2Bφ ^{*5}		
内部動作 S _n		1								

【注】 *1 内蔵 RAM が対象です。Iφ: Bφ 比によりサイクル数が異なります。

	リード	ライト
Iφ:Bφ=1:1 のとき	3Bφ~4Bφ	2Bφ~3Bφ
Iφ:Bφ=1:1/2 のとき	2Bφ~3Bφ	2Bφ
Iφ:Bφ=1:1/4 のとき	2Bφ	1Bφ~2Bφ
Iφ:Bφ=1:1/8 のとき	1Bφ	1Bφ

- *2 フラッシュメモリ (ROM) が対象です。Iφ : Bφ 比によりサイクル数が異なります。

	リード	ライト
Iφ:Bφ=1:1 のとき	4Iφ+3Bφ	
Iφ:Bφ=1:1/2 のとき	4Iφ+3Bφ	
Iφ:Bφ=1:1/4 のとき	4Iφ+3Bφ	
Iφ:Bφ=1:1/8 のとき	3Bφ	

- *3 表中は最速のケースです。内部バス状態によって、遅い場合は 1Bφ が 1Pφ となります。
- *4 BSC レジスタ設定により異なります。表中は、ウェイト=0 で、CSnWCR の WM ビット=1 の例です。
- *5 バスの状態により異なります。
 ブロック転送時のようにライトが頻発するケースで外部ウェイトが大きいときや、外部バスが使用されている場合は、ライトバッファを有効に使用できないためサイクル数は増加します。
 ライトバッファの詳細については、「9.5.8 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

実行ステート数は、次の計算式で計算されます。

なお、Σ は一つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M) + N \cdot S_N$$

8.5.9 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバスを解放しません。

バス機能拡張レジスタ (BSCEHR) でバス権解放タイミングの設定が可能です。詳細については、「9.4.4 バス機能拡張レジスタ (BSCEHR)」を参照してください。設定によるバス権解放タイミングの違いを表 8.11 に示します。ただし、設定 1～設定 3 以外の設定および DTC 起動中の設定変更は行わないでください。

タイミングチャートを図 8.16 に示します。

表 8.11 DTC のバス権解放タイミング

設定	バス機能拡張レジスタ (BSCEHR) 設定		バス権解放タイミング (○ : バス権を解放する、× : バス権を解放しない)				
	DTLOCK	DTBST	ベクタ リード後	転送情報 リード後	1 回の 転送後	転送情報ライト後	
						通常時	連続転送時
設定 1	0	0	×	×	×	○	○
設定 2* ¹	0	1	×	×	×	○	×
設定 3* ²	1	0	○	○	○	○	○

【注】 *1 設定 2 では、以下の制限があります。

- 周波数制限レジスタ (FRQCR) によるクロック設定は、Iφ : Bφ : Pφ : Mφ : Aφ = 16 : 4 : 4 : 4 : 4、16 : 4 : 4 : 8 : 4、8 : 4 : 4 : 4 : 4、または 8 : 4 : 4 : 8 : 4 にしてください。
- ベクタ情報は、フラッシュメモリ (ROM) または内蔵 RAM にしてください。
- 転送情報は内蔵 RAM に配置してください。
- 転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内部周辺モジュール間としてください。

*2 設定 3 では、以下の制限があります。

- BSCEHR の DTPR ビットは 0 で使用してください。
1 は設定禁止です。

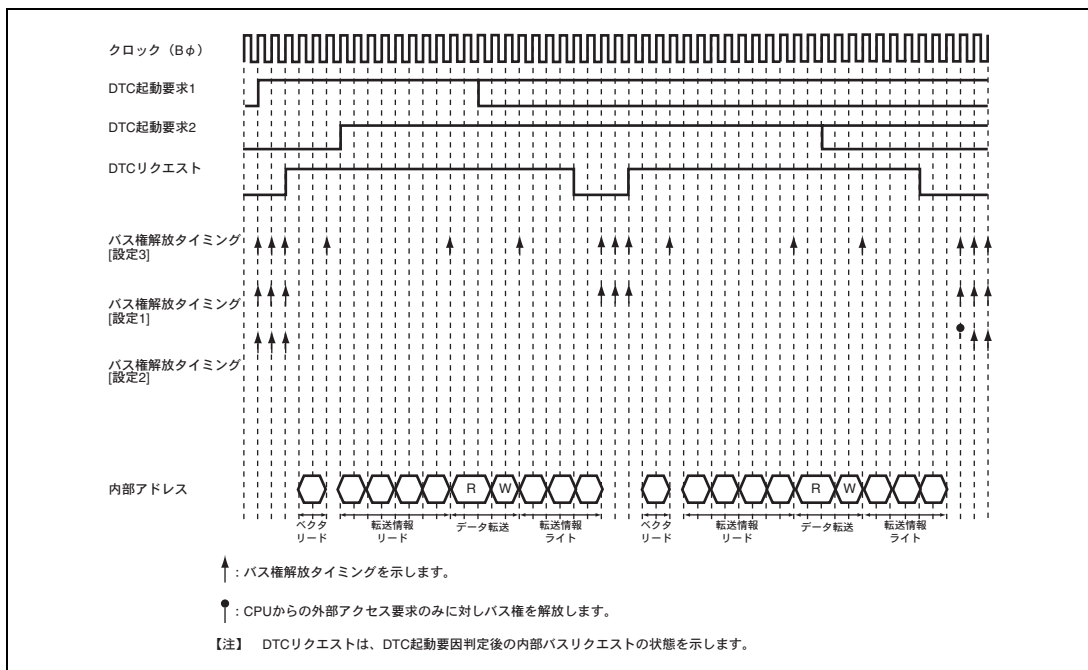


図 8.16 DTC の動作タイミング例【ノーマル転送 2 要因の競合の場合】

(内蔵周辺モジュールから起動、Iφ : Bφ : Pφ = 1 : 1/2 : 1/2、
内蔵周辺モジュールから内蔵 RAM へのデータ転送、転送情報ライトが 3 ステートの場合)

8.5.10 DTC 起動の優先順位

バス機能拡張レジスタ (BSCEHR) の DTPR ビットの設定にて、DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要因から転送を開始するか、DTC 起動優先順位に従って開始するかを選択できます。ただし、DTC が起動中に複数の DTC 起動要求が発生した場合には、DTC 起動の優先順位に従って次の転送が行われます。DTC の起動優先順位の動作例を図 8.17 に示します。

【注】* 次の起動要因が来る前に DTC リクエストが発生した場合は、最初に要求のあった要因から転送を開始します。DTC リクエストが発生する前に優先度の高い起動要因が来た場合は優先度の高い要因から転送を開始します。なお、DTC リクエストは内部バスの動作状態により発生タイミングが変化します。

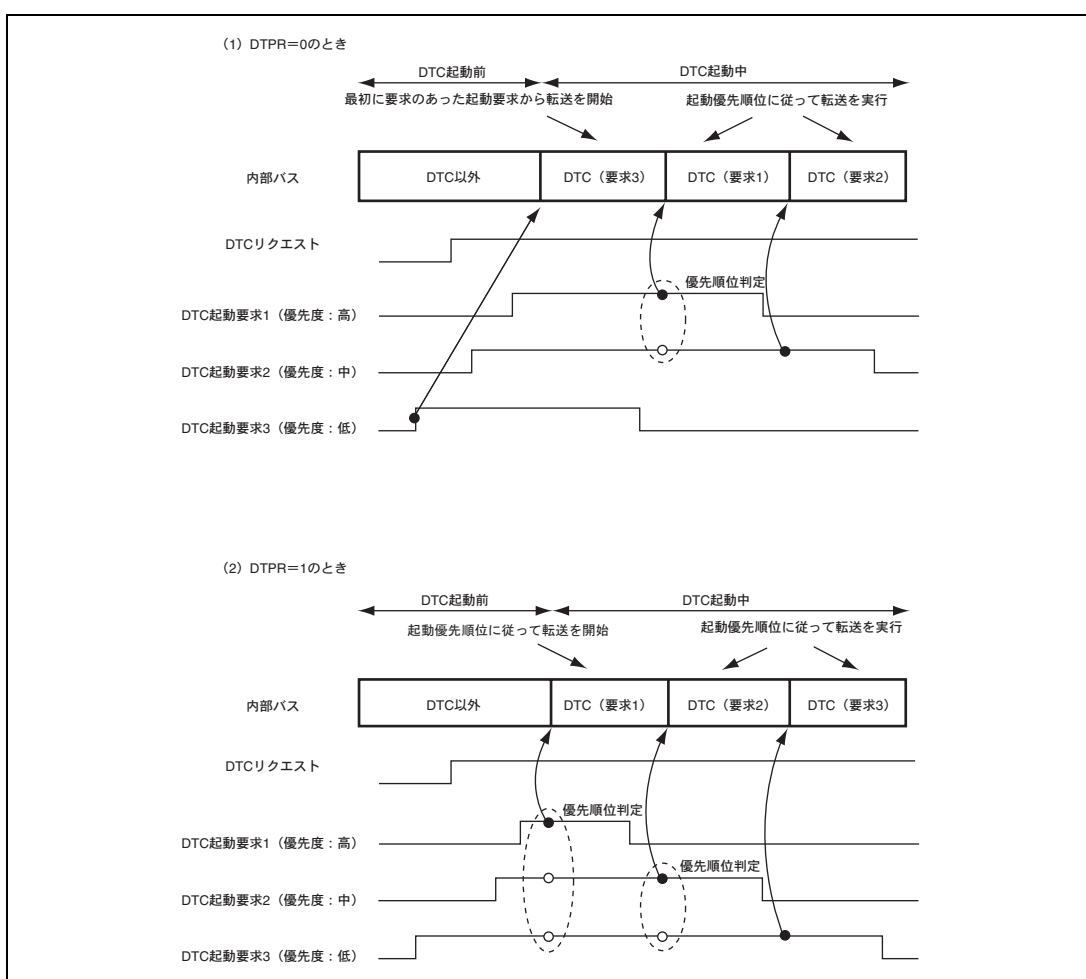


図 8.17 DTC の起動優先順位の動作例

8.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 8.18 に示します。

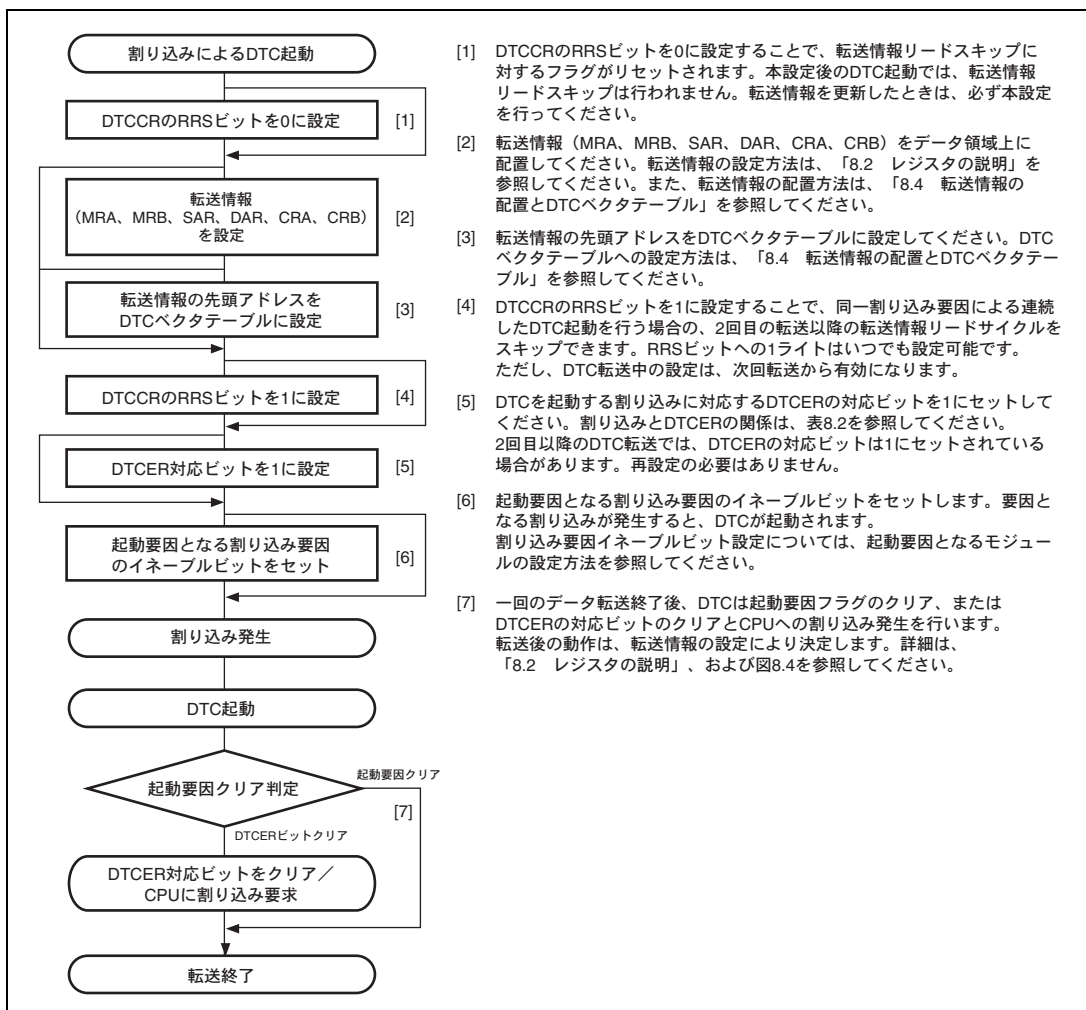


図 8.18 割り込みによる DTC 起動方法

8.7 DTC 使用例

8.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマル転送モード (MD1=MD0=0)、バイトサイズ (Sz1=Sz0=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCSCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SCSSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがSCRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 カウンタ=0のときのチェイン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス H'0000 から始まるように設定するものとします。カウンタ=0のときのチェイン転送を図 8.19 に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA=H'0000 (65,536回)、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (フラッシュメモリ (ROM) など) に用意してください。たとえば、入力バッファをH'200000~H'21FFFFとするときには、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (ソース側をリピート領域) とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このときCHNE=DISEL=0としてください。上記入力バッファをH'200000~H'21FFFFとする場合には、転送カウンタ=2としてください。

4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。
6. 上記4、5を無限に繰り返します。第2のデータ転送がリビート転送モードのため、CPUには割り込みを要求しません。

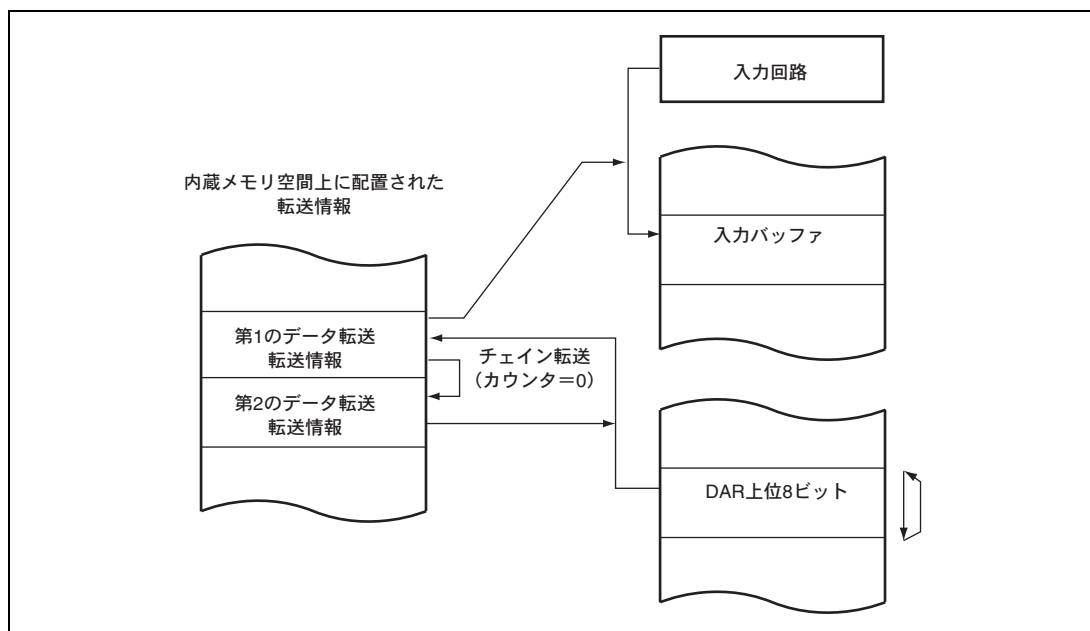


図 8.19 カウンタ=0 時のチェーン転送

8.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされた 1 回のデータ転送もしくは 1 回のブロックデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。詳細は「6.9 割り込み要求」を参照してください。

8.9 使用上の注意事項

8.9.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、DTC の動作禁止/許可を設定することができます。初期値では DTC の動作許可状態です。モジュールスタンバイモードに設定することにより DTC の動作、アクセスは禁止されます。DTC が起動中はモジュールスタンバイモードに設定しないでください。ソフトウェアスタンバイモードおよびモジュールスタンバイモードに遷移する場合は、すべての DTCE R レジスタをクリアしてください。詳細は「第 26 章 低消費電力モード」を参照してください。

8.9.2 内蔵 RAM

転送情報は、内蔵 RAM に配置可能です。この場合は、SYSCR1、SYSCR2 の RAME ビットを 0 にクリアしないでください。

8.9.3 DTCE ビットの設定

DTCE ビットの設定は、割り込みを禁止して当該レジスタの 0 リード後に 1 ライトを行うことにより設定できます。なお、DTC 起動要因を停止させて関連するフラグがセットされていないことを確認後に、DTCE ビットの変更が可能です。

8.9.4 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCE R のクリアを行います。一方、SCI、RSPI、RCAN-ET、SCIF、および A/D 変換器の割り込み/起動要因は、連絡された最後のデータ転送時に所定のレジスタがリード/ライトされたときにクリアされます。

8.9.5 転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。

また、転送情報は内蔵 RAM もしくは外部メモリ空間に配置してください。

8.9.6 DTC による DTC レジスタのアクセス

DTC を使用して DMAC/DTC のレジスタアクセスを行わないでください。また、DMAC を使用して DTC のレジスタアクセスを行わないでください。

8.9.7 IRQ 割り込みを DTC 転送要因にした場合の注意事項

IRQ をローレベル検出した場合、DTC の転送終了により CPU に割り込みを発生させる（転送カウンタ=0、または DISEL=1）ときには、CPU が割り込みを受け付けるまで IRQ 端子をローレベルに保持してください。

8.9.8 SCI および SCIF を DTC 起動要因とする場合の注意事項

SCI の TXI 割り込みにより DTC を起動する場合、SCI の TEND フラグを転送終了フラグとして使用しないでください。

SCIF の TXIF 割り込みにより DTC を起動する場合、SCIF の TEND フラグを転送終了フラグとして使用しないでください。

8.9.9 割り込み要因フラグのクリア

DTC 転送終了後に続けて DTC の起動要因で CPU 割り込みを発生させる場合、通常の割り込みと同様に、割り込み要因フラグは割り込みハンドラ中でクリアしてください。詳細は「6.10 使用上の注意事項」を参照してください。

8.9.10 NMI 割り込みと DTC 起動の競合

NMI 割り込みと DTC 起動が競合した場合には NMI 割り込みが優先されますので、ERR ビットは 1 にセットされて DTC は起動されません。

なお、NMI による DTC 停止判定には 3Bφ + 2Pφ、IRQ による DTC 起動判定には 3Bφ + 2Pφ、周辺モジュールからの DTC 起動判定には 1Bφ + 1Pφ ~ 4Bφ + 1Pφ を要します。

8.9.11 DTC 起動要求が途中で取り下げられた場合の動作

DTC は起動要求を受け付けた後は、ライトバック終了までの一連の DTC 処理が終了するまで次の起動要求を受け付けません。

8.9.12 DTCER の書き込み時の注意事項

DTC 転送終了後に続けて DTC 起動要因で CPU 割り込みを発生させる設定にする際、DTCER レジスタで本設定中に該当の割り込みが発生したとき、DTC 起動と CPU 起動が同時に発生する場合があります。DTCER の値が確定してから、DTC 起動割り込みが発生するようにしてください。

9. バスステートコントローラ (BSC) (SH7239A、SH7237A のみ)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM などの各種メモリおよび外部デバイスを直接接続することができます。

9.1 特長

1. 外部アドレス空間
 - CS0、CS1、CS3～CS6の各空間をそれぞれ最大2Mバイトまでサポート
 - 空間ごとに、通常空間インタフェース、MPX-I/Oを指定可能
 - 空間ごとに、データバス幅 (8ビットまたは16ビット) を選択可能
 - 空間ごとに、ウェイトステートの挿入を制御可能
 - リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
 - 連続するアクセスがリード-ライト (同一空間または別空間)、リード-リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能
2. 通常空間インタフェース
 - SRAMとの直結が可能なインタフェースをサポート
3. MPX-I/Oインタフェース
 - アドレス/データマルチプレクスが必要な周辺LSIを直結可能
4. バスアービトレーション
 - すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

図 9.1 に BSC のブロック図を示します。

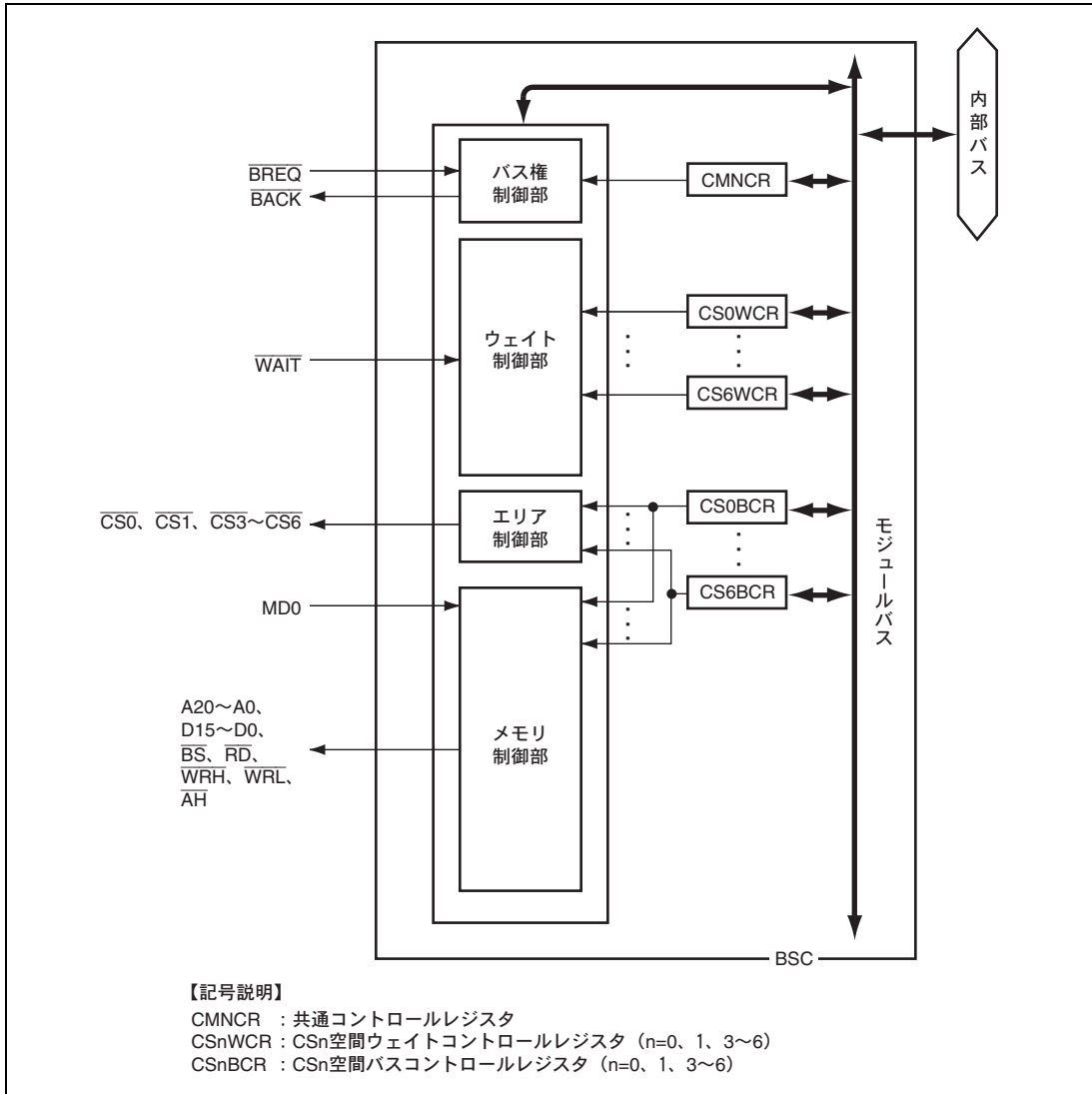


図 9.1 BSC のブロック図

9.2 入出力端子

BSC の端子構成を表 9.1 に示します。

表 9.1 端子構成

端子名	入出力	機能
A20~A0	出力	アドレスバス
D15~D0	入出力	データバス
\overline{BS}	出力	バスサイクルの開始を示す信号
$\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS3}$ ~ $\overline{CS6}$	出力	チップセレクト
\overline{RD}	出力	リードパルス信号 (リードデータ出力許可信号)
AH	出力	MPX-I/O 使用時は、アドレスをホールドするための信号
\overline{WRH}	出力	D15~D8 対応のバイト書き込み指示
\overline{WRL}	出力	D7~D0 対応のバイト書き込み指示
\overline{WAIT}	入力	外部ウェイト入力
\overline{BREQ}	入力	バス権要求入力
BACK	出力	バス使用許可出力

9.3 エリアの概要

9.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、外部アドレス空間、内蔵空間 (内蔵 ROM、内蔵 RAM、内蔵周辺モジュール、予約) に分割されています。

接続されるメモリの種類およびデータバス幅は空間ごとに指定します。外部アドレス空間の詳細については「**第 3 章 MCU 動作モード**」を参照してください。

9.3.2 動作モードの設定

本 LSI は、パワーオンリセット時に外部端子を用いて、以下に示す動作モードの設定を行うことができます。モード設定の方法については、「**第 3 章 MCU 動作モード**」を参照してください。

- シングルチップモード/外部バスアクセス可能モード

シングルチップモードでは、外部バスのアクセスは行われず、パワーオンリセットから内蔵ROMプログラムで起動します。BSCモジュールはモジュールスタンバイ状態に遷移し、消費電力を抑えます。

外部バスアクセス可能モードで使用されるアドレス、データ、バス制御の端子を、ポート機能などに行うことができます。

- 内蔵ROM有効モード

内蔵ROM有効モードでは、エリア0が内蔵ROMに割り当てられるため、パワーオンリセットから内蔵ROMプログラムで起動できます。エリア0は外部メモリ空間になります。

- エリア0、1、3~6のデータバス幅の初期状態設定

エリア0、1、3~6のデータバス幅の初期状態設定を一括で8ビットまたは16ビットから選択できます。内蔵ROM有効モードでは、エリア0、1、3~6のすべてのデータバス幅をプログラム内でレジスタ設定することにより変更が可能です。利用されるメモリタイプによっては、データバス幅が制限されるものもありますのでご注意ください。

- ビッグエンディアン/リトルエンディアンの初期状態設定

エリア1、3~6のバイトデータの並び方の初期状態設定をビッグエンディアン、リトルエンディアンから選択できます。内蔵ROM有効モードでは、エリア1、3~6のすべてのエンディアンをプログラム内でレジスタ設定することにより変更が可能です。エリア0をリトルエンディアンにすることはできません。また、命令フェッチは32ビットアクセスと16ビットアクセスが混在し、リトルエンディアン領域への配置は困難ですので、命令実行はビッグエンディアン領域で行ってください。

9.4 レジスタの説明

BSC には、以下のレジスタがあります。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 9.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'0000 1010	H'FFFC 0000	32
CSn 空間バスコントロールレジスタ	CSnBCR	R/W	H'36DB 0200*	H'FFFC 0004~ H'FFFC 0020	32
CSn 空間ウェイトコントロールレジスタ	CSnWCR	R/W	H'0000 0500	H'FFFC 0028~ H'FFFC 0044	32
バス機能拡張レジスタ	BSCEHR	R/W	H'0000	H'FFFE3C1A	16

【注】 * 8 ビットバス幅設定にしたときの値です。16 ビットバス幅に設定したときの値は H'36DB0400 です。

9.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。パワーオンリセット時に H'0000 1010 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BLOCK	DPRTY[1:0]		DMAIW[2:0]		DMA IWA	-	-	HIZ CKIO	HIZ MEM	-	-
初期値:	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。
11	BLOCK	0	R/W	バスロックビット BREQ を受け付けるかどうかを指定します。 0: BREQ を受け付けます。 1: BREQ を受け付けません。
10, 9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求/バス権使用要求の優先順位を指定します。 00: DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。 01: DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。 10: DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。 11: 予約 (設定禁止)

ビット	ビット名	初期値	R/W	説明
8~6	DMAIW[2:0]	000	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0] ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが 0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが 1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入 1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	—	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。</p>
3	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
2	HIZCKIO	0	R/W	<p>High-Z CK コントロール</p> <p>本ビットは、CK スタンバイモード時およびバス権解放時の状態を指定します。</p> <p>0 : CK はスタンバイモード時およびバス権解放時にハイインピーダンス 1 : CK はスタンバイモード時およびバス権解放時にドライブ</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A20~A0、\overline{BS}、\overline{CSn}、\overline{WRH}、\overline{WRL}、\overline{AH}、\overline{RD} のスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : スタンバイモード時にハイインピーダンス 1 : スタンバイモード時にドライブ</p>
0	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

9.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0, 1, 3~6)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、エンディアン、およびアクセスサイクル間ウェイト数を設定します。パワーオンリセット時は、H'36DB 0200 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されずに内容が保持されます。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「9.5.6 アクセスサイクル間アイドル」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値 :	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			ENDIAN	BSZ[1:0]	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30~28	IWW[2:0]	011	R/W	ライトリード/ライトライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトリードサイクルとライトライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
27~25	IWRWD[2:0]	011	R/W	<p>別空間リード-ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS[2:0]	011	R/W	<p>同一空間リード-ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
21~19	IWRRD[2:0]	011	R/W	<p>別空間リード-リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
18~16	IWRRS[2:0]	011	R/W	<p>同一空間リード-リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。</p> <p>000：アイドルサイクルなし 001：1 アイドルサイクル挿入 010：2 アイドルサイクル挿入 011：4 アイドルサイクル挿入 100：6 アイドルサイクル挿入 101：8 アイドルサイクル挿入 110：10 アイドルサイクル挿入 111：12 アイドルサイクル挿入</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
14~12	TYPE[2:0]	000	R/W	<p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>000：通常空間 001：予約（設定禁止） 010：MPX-I/O 011：予約（設定禁止） 100：予約（設定禁止） 101：予約（設定禁止） 110：予約（設定禁止） 111：予約（設定禁止）</p> <p>エリアごとのメモリタイプは表 9.2、表 9.3 を参照してください。</p>
11	ENDIAN	0	R/W	<p>エンディアン指定</p> <p>本ビットは、空間のデータ並びを指定します。</p> <p>0：ビッグエンディアンとして動作 1：リトルエンディアンとして動作</p>

ビット	ビット名	初期値	R/W	説 明
10, 9	BSZ[1:0]	01	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00 : 予約 (設定禁止)</p> <p>01 : 8 ビット</p> <p>10 : 16 ビット</p> <p>11 : 予約 (設定禁止)</p> <p>MPX-I/O 時は、アドレスによるバス幅選択</p> <p>【注】 エリア 5 を MPX-I/O に設定した場合は、本ビットの設定を 11 に設定すると、バス幅は CS5WCR の SZSEL に従ったアドレスによりバス幅 (8 ビットまたは 16 ビット) が選択されます。また、固定バス幅では 8 または 16 ビットバス幅が設定可能です。</p>
8~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0, 1, 3~6)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。また、CSnWCR レジスタは、CSnBCR レジスタを設定後に設定してください。

CSnWCR は、パワーオンリセット時は H'0000 0500 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されず内容が保持されます。

(1) 通常空間、MPX-I/O

- CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	HW[1:0]			
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R/W	リザーブビット 通常空間選択時は0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS0}$ アサート→ \overline{RD} 、 \overline{WRH} 、 \overline{WRL} アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS0}$ アサートから \overline{RD} 、 \overline{WRH} 、 \overline{WRL} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>RD、WRH、WRL ネゲート→アドレス、CS0 ネゲート遅延サイクル数</p> <p>本ビットは、RD、WRH、WRL ネゲートから、アドレス、CS0 ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

• CS1WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WW[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS1 アサート→RD、WRH、WRL アサート遅延サイクル数 本ビットは、アドレス、CS1 アサートから RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1、0	HW[1:0]	00	R/W	RD、WRH、WRL ネゲート→アドレス、CS1 ネゲート遅延サイクル数 本ビットは、RD、WRH、WRL ネゲートから、アドレス、CS1 ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]				WM	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

• CS4WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WW[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS4 アサート→RD、WRH、WRL アサート遅延サイクル数 本ビットは、アドレス、CS4 アサートから RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1, 0	HW[1:0]	00	R/W	RD、WRH、WRL ネゲート→アドレス、CS4 ネゲート遅延サイクル数 本ビットは、RD、WRH、WRL ネゲートから、アドレス、CS4 ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS5WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21	SZSEL	0	R/W	MPX-I/O インタフェースバス幅指定ビット 本ビットは、CS5BCR の BSZ[1:0]を 11 に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。 0 : アドレス A14 によりバス幅選択 1 : 設定禁止 また、SZSEL ビットと A14 によるバス幅選択の関係を以下に示します。 SZSEL = 0 かつ A14 = 0 : 8 ビットバス幅を選択する SZSEL = 0 かつ A14 = 1 : 16 ビットバス幅を選択する
20	MPXW	0	R/W	MPX-I/O インタフェースアドレスウェイト 本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。本ビットは、MPX-I/O インタフェースのアドレスサイクル挿入ウェイトを設定します。 0 : ウェイトなし 1 : 1 サイクルウェイト挿入
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	<p>アドレス、$\overline{CS5}$ アサート→\overline{RD}、\overline{WRH}、\overline{WRL} アサート遅延サイクル数</p> <p>本ビットは、エリア 5 を通常空間に設定した場合、アドレス、$\overline{CS5}$ アサートから \overline{RD}、\overline{WRH}、\overline{WRL} アサートまでの遅延サイクル数を指定します。エリア 5 を MPX-IO に設定した場合、アドレスサイクル (Ta3) 終了から \overline{RD}、\overline{WRH}、\overline{WRL} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WRH}、\overline{WRL} ネゲート→アドレス、$\overline{CS5}$ ネゲート遅延サイクル数</p> <p>本ビットは、エリア 5 を通常空間に設定した場合、\overline{RD}、\overline{WRH}、\overline{WRL} ネゲートから、アドレス、$\overline{CS5}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>エリア 5 を MPX-IO に設定した場合、\overline{RD}、\overline{WRH}、\overline{WRL} ネゲートから $\overline{CS5}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

- CS6WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]						WR[3:0]		WM	-	-	-	HW[1:0]
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
12, 11	SW[1:0]	00	R/W	<p>アドレス、CS6 アサート→\overline{RD}、\overline{WRH}、\overline{WRL} アサート遅延サイクル数</p> <p>このビットは、アドレス、$\overline{CS6}$ アサートから \overline{RD}、\overline{WRH}、\overline{WRL} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WRH}、\overline{WRL} ネゲート→アドレス、$\overline{CS6}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WRH}、\overline{WRL} ネゲートから、アドレス、$\overline{CS6}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

9.4.4 バス機能拡張レジスタ (BSCEHR)

BSCEHR は 16 ビットのレジスタで、DTC、DMAC のバス権解放のタイミングなどを設定します。DTC や DMAC による転送操作を優先的に行ったり、DTC 起動サイクル数を減少させたりするときに有効な機能を設定できます。

DTLOCK、DTBST ビットの組み合わせによる DTC 動作の違いについては、「8.5.9 DTC のバス権解放タイミング」を参照してください。

DTSA ビットをセットすることで、DTC のショートアドレスモードを実現できます。ショートアドレスモードの詳細については、「8.4 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTPR ビットでは、DTC が起動する前に複数の DTC 起動要因が発生した場合の DTC 起動優先順位の設定が可能です。

なお、本レジスタは、DMAC や DTC 起動中には変更しないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTLOCK	-	-	-	DTBST	DTSA	-	DTPR	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DTLOCK	0	R/W	DTC ロックイネーブル DTC がバス権を解放するタイミングを選択します。 0: ベクタリード後の NOP 発行時と転送情報ライトバック後にバス権を解放します。 1: ベクタリード後、ベクタリード後の NOP 発行時、転送情報リード後、1 回のデータ転送後、転送情報ライトバック後にバス権を解放します。
14~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	DTBST	0	R/W	DTC バーストイネーブル DTC に複数の起動要求が発生した場合に、バス権を解放せずに連続して DTC を起動します。 0: 1 つの DTC 起動要因が終了するごとにバス権を解放します。 1: すべての DTC 起動要因が終了するまでバス権を解放せずに連続して DTC を起動します。 【注】本ビットを 1 に設定する場合は、以下の制限があります。 1. 周波数制御レジスタ (FRQCR) によるクロック設定は、 Iφ: Bφ: Pφ: Mφ: Aφ = 16: 4: 4: 4: 4、16: 4: 4: 4: 8: 4、 8: 4: 4: 4: 4、または 8: 4: 4: 4: 8: 4 にしてください。 2. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください。 3. 転送情報は内蔵 RAM に配置してください。 4. 転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内蔵周辺モジュール間としてください。 5. 起動要因が IRQ6~IRQ0 のローレベル検出かつ RRS=1 の場合は DTBST=1 に設定しないでください。

ビット	ビット名	初期値	R/W	説明
10	DTSA	0	R/W	<p>DTC ショートアドレスモード</p> <p>DTC の転送情報リードを、3 ロングワード分で実現するモードです。</p> <p>0: 転送情報リードを 4 ロングワード分で行います。転送情報の配置は図 8.2 の通常モード時の配置となります。</p> <p>1: 転送情報リードを 3 ロングワード分で行います。転送情報の配置は図 8.2 のショートアドレスモード時の配置となります。</p> <p>【注】 SAR、DAR の上位 8 ビットを 1 とみなすため、内蔵周辺モジュールと内蔵 RAM 間の転送時のみ使用可能です。</p>
9	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	DTPR	0	R/W	<p>DTC 起動の優先順位指定</p> <p>DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択します。</p> <p>詳細は「8.5.10 DTC 起動の優先順位」を参照してください。</p> <p>0: 最初に要求のあった DTC 起動要求から転送を開始する</p> <p>1: DTC 起動優先順位に従って転送を開始する</p> <p>【注】 本ビットを 1 に設定する場合は、以下の制限があります。</p> <ol style="list-style-type: none"> 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 2. 転送情報は内蔵 RAM に配置してください 3. 転送情報リードスキップ機能は常に無効となります 4. DTLOCK=0 にて使用してください。DTLOCK=1 は設定禁止です。
7~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください</p>

9.5 動作説明

9.5.1 エンディアン/アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。エリア 0、1、3~6 空間では、対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの設定ができます。

また、データバス幅は、通常メモリとしては、8 ビット、16 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットあるいは 16 ビット幅固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの変可となります。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 9.3~表 9.6 に示します。16 ビットバス幅の場合のストロープ信号の番地対応がビッグエンディアンとリトルエンディアンで異なることにご注意ください。ビッグエンディアン時には、 $\overline{\text{WRH}}$ が 0 番地側を示し、リトルエンディアン時には、 $\overline{\text{WRL}}$ が 0 番地側を示します。

エリア 0 をリトルエンディアンにすることはできません。また、命令フェッチは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への配置は困難ですので、命令実行はビッグエンディアン領域から行ってください。

表 9.3 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス		ストロープ信号		
	D15~D8	D7~D0	WRH	WRL	
0 番地バイトアクセス	データ 7~0	—	アサート	—	
1 番地バイトアクセス	—	データ 7~0	—	アサート	
2 番地バイトアクセス	データ 7~0	—	アサート	—	
3 番地バイトアクセス	—	データ 7~0	—	アサート	
0 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
2 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 31~24	データ 23~16	アサート	アサート
	2 回目 (2 番地)	データ 15~8	データ 7~0	アサート	アサート

表 9.4 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15~D8	D7~D0	WRH	WRL
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		—	データ 7~0	—	アサート
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		—	データ 7~0	—	アサート
0 番地ワード アクセス	1 回目 (0 番地)	—	データ 15~8	—	アサート
	2 回目 (1 番地)	—	データ 7~0	—	アサート
2 番地ワード アクセス	1 回目 (2 番地)	—	データ 15~8	—	アサート
	2 回目 (3 番地)	—	データ 7~0	—	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	—	データ 31~24	—	アサート
	2 回目 (1 番地)	—	データ 23~16	—	アサート
	3 回目 (2 番地)	—	データ 15~8	—	アサート
	4 回目 (3 番地)	—	データ 7~0	—	アサート

表 9.5 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15~D8	D7~D0	WRH	WRL
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		データ 7~0	—	アサート	—
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		データ 7~0	—	アサート	—
0 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
2 番地ワードアクセス		データ 15~8	データ 7~0	アサート	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 15~8	データ 7~0	アサート	アサート
	2 回目 (2 番地)	データ 31~24	データ 23~16	アサート	アサート

表 9.6 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストロープ信号	
		D15~D8	D7~D0	\overline{WRH}	\overline{WRL}
0 番地バイトアクセス		—	データ 7~0	—	アサート
1 番地バイトアクセス		—	データ 7~0	—	アサート
2 番地バイトアクセス		—	データ 7~0	—	アサート
3 番地バイトアクセス		—	データ 7~0	—	アサート
0 番地ワード アクセス	1 回目 (0 番地)	—	データ 7~0	—	アサート
	2 回目 (1 番地)	—	データ 15~8	—	アサート
2 番地ワード アクセス	1 回目 (2 番地)	—	データ 7~0	—	アサート
	2 回目 (3 番地)	—	データ 15~8	—	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	—	データ 7~0	—	アサート
	2 回目 (1 番地)	—	データ 15~8	—	アサート
	3 回目 (2 番地)	—	データ 23~16	—	アサート
	4 回目 (3 番地)	—	データ 31~24	—	アサート

9.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストロープ信号を出力します。図 9.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

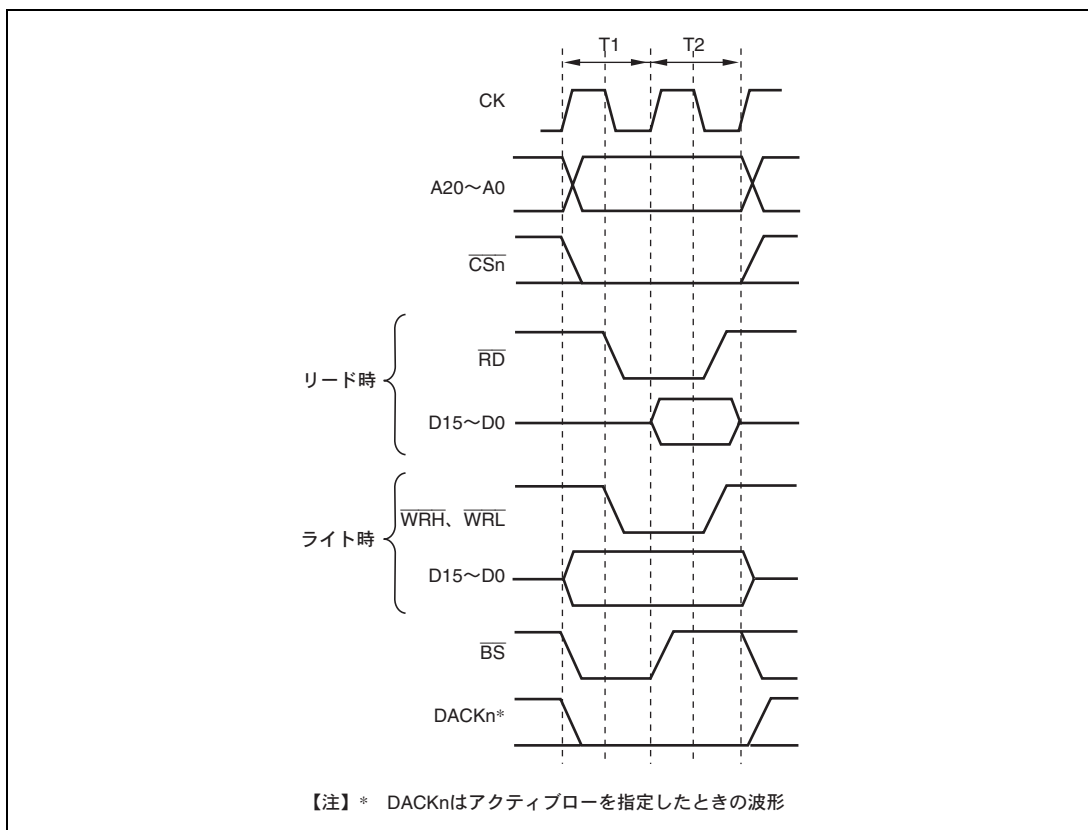


図 9.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WRH} 、 \overline{WRL} 信号のみがアサートされます。

図 9.3、図 9.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 9.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑制することができます (図 9.4)。

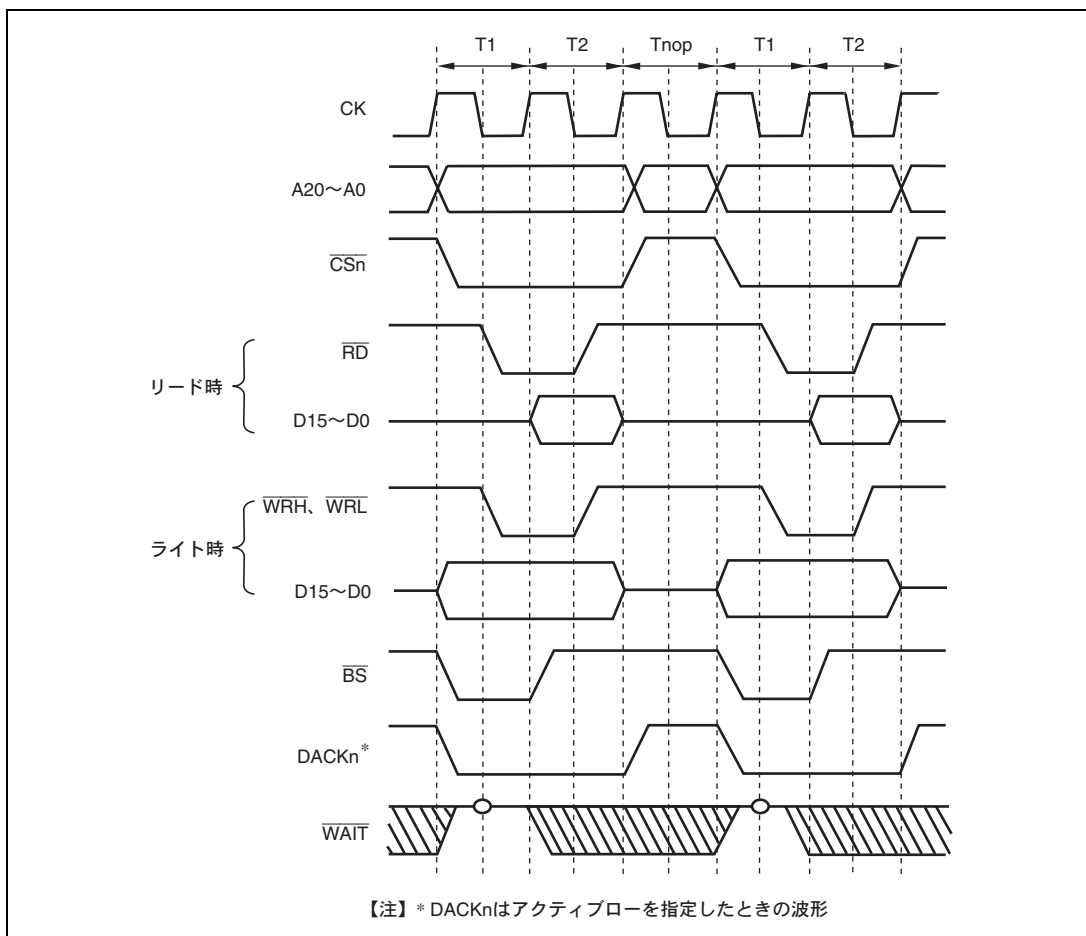


図 9.3 通常空間連続アクセス例 1

バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=0
(アクセスウェイト 0、サイクル間ウェイト 0)

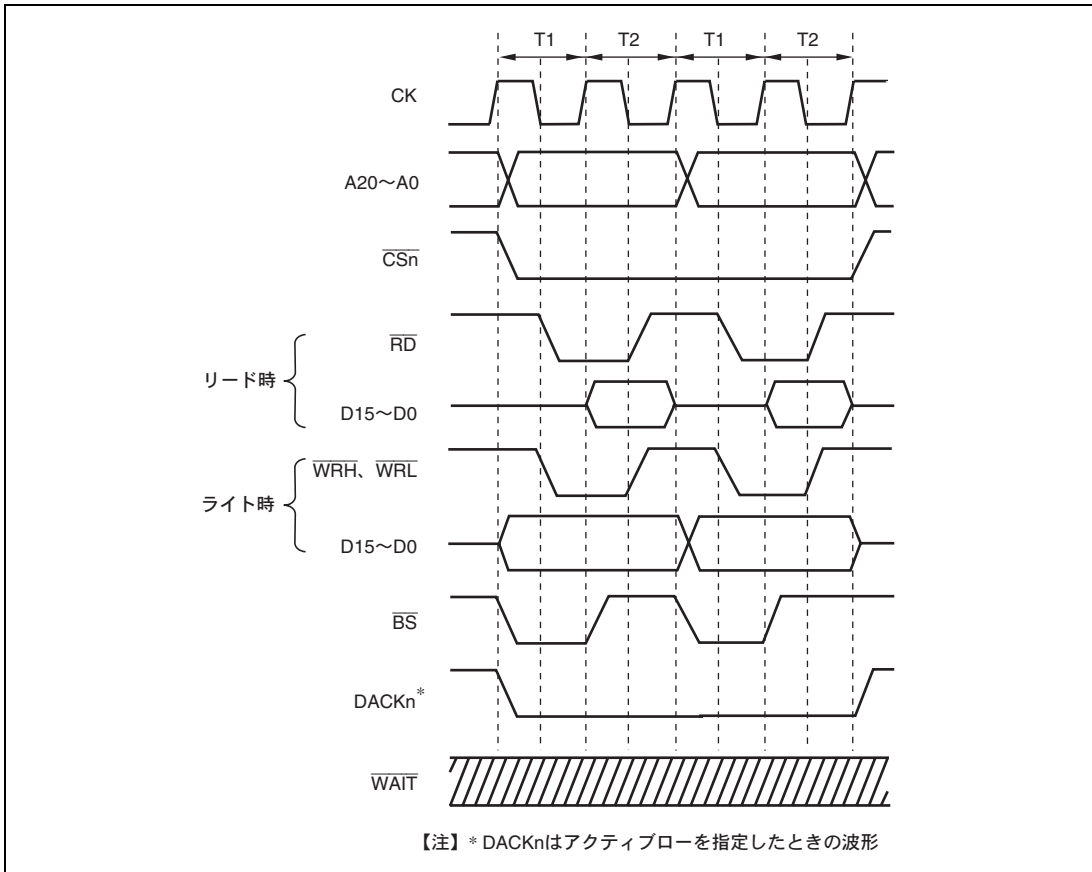


図 9.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=1
 (アクセスウェイト 0、サイクル間ウェイト 0)

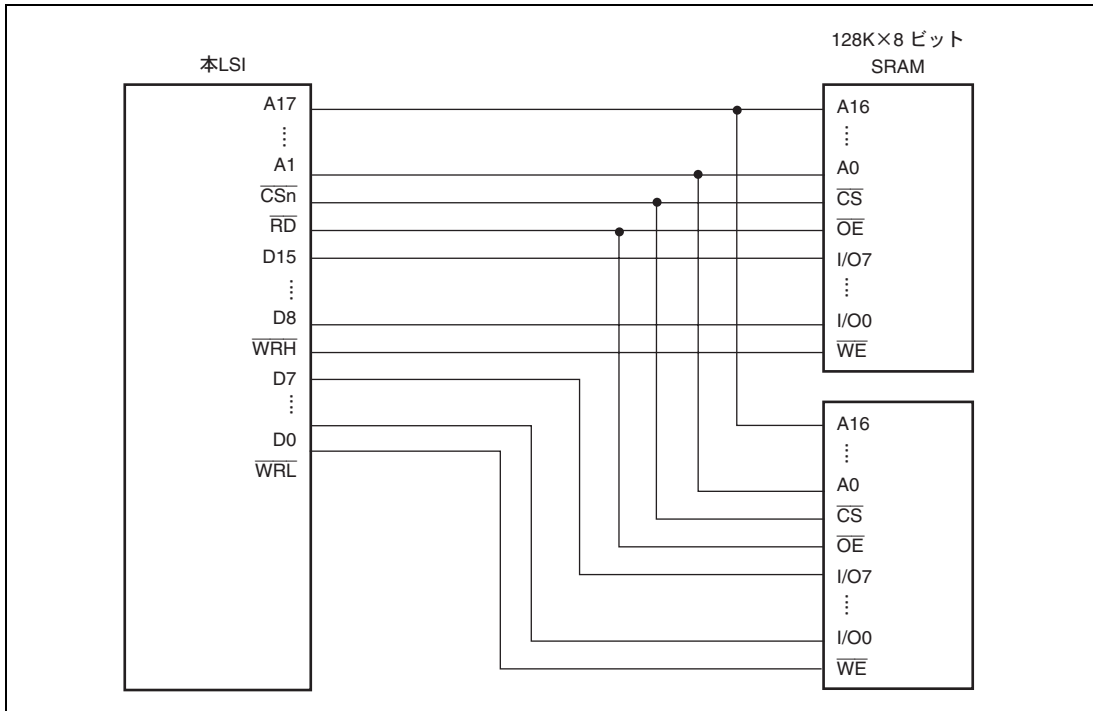


図 9.5 16 ビットデータ幅 SRAM 接続例

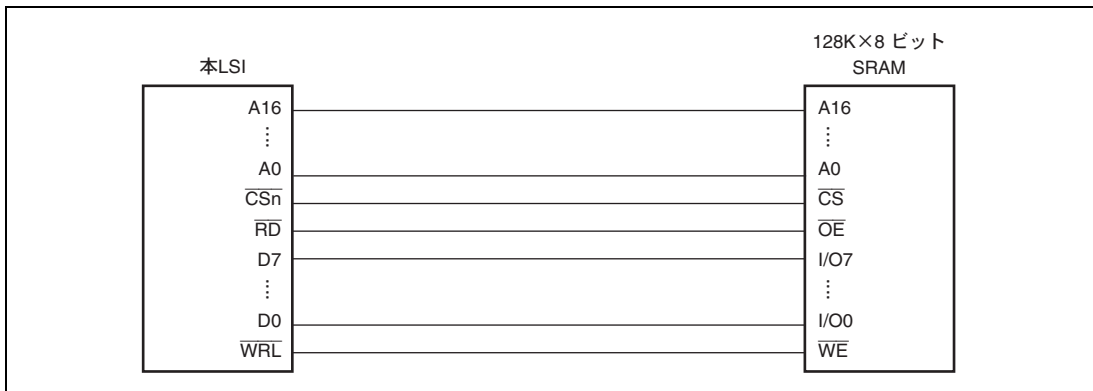


図 9.6 8 ビットデータ幅 SRAM 接続例

9.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4、5 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、3、およびエリア 6 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 9.7 に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

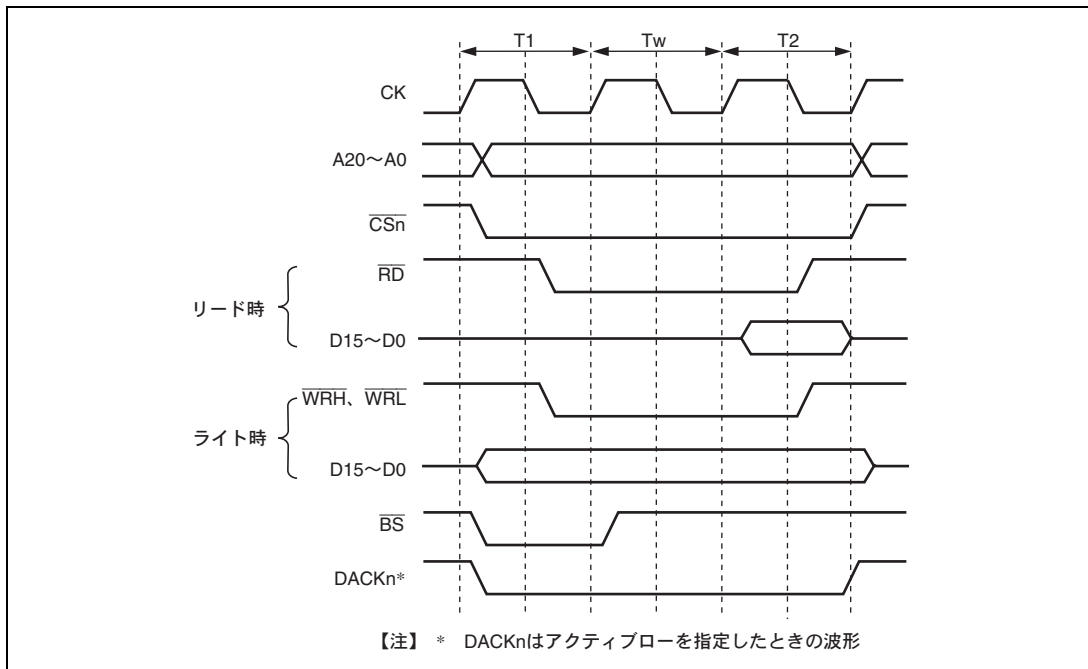


図 9.7 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 9.8 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CK の立ち下がりでサンプリングされます。

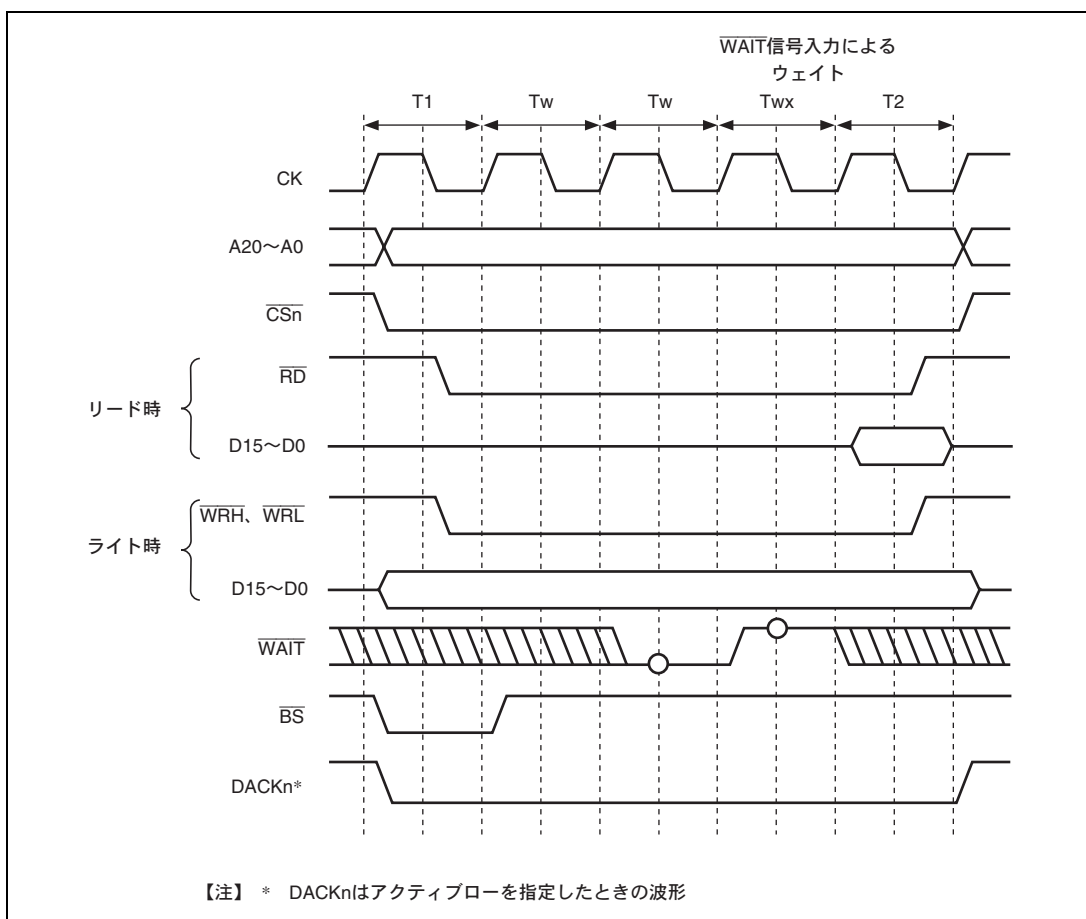


図 9.8 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

9.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WRH} 、 \overline{WRL} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WRH} 、 \overline{WRL} ネグートから \overline{CSn} ネグートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 9.9 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WRH} 、 \overline{WRL} 以外はアサートされますが、 \overline{RD} と \overline{WRH} 、 \overline{WRL} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

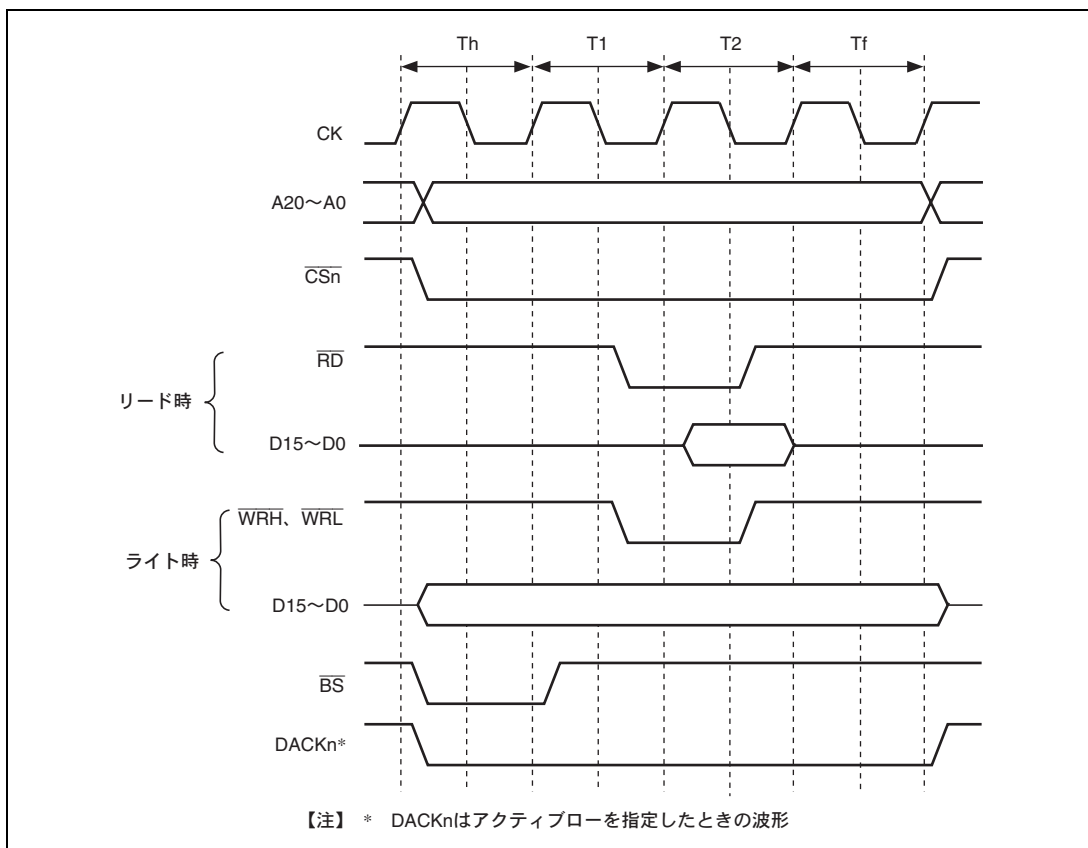


図 9.9 \overline{CSn} アサート期間拡張

9.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5}$ 、 \overline{AH} 、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15~D0 または D7~D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0]の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0]の遅延サイクルは、T2 サイクルの後に付加されます。

タイミングチャートを図 9.10~図 9.13 に示します。

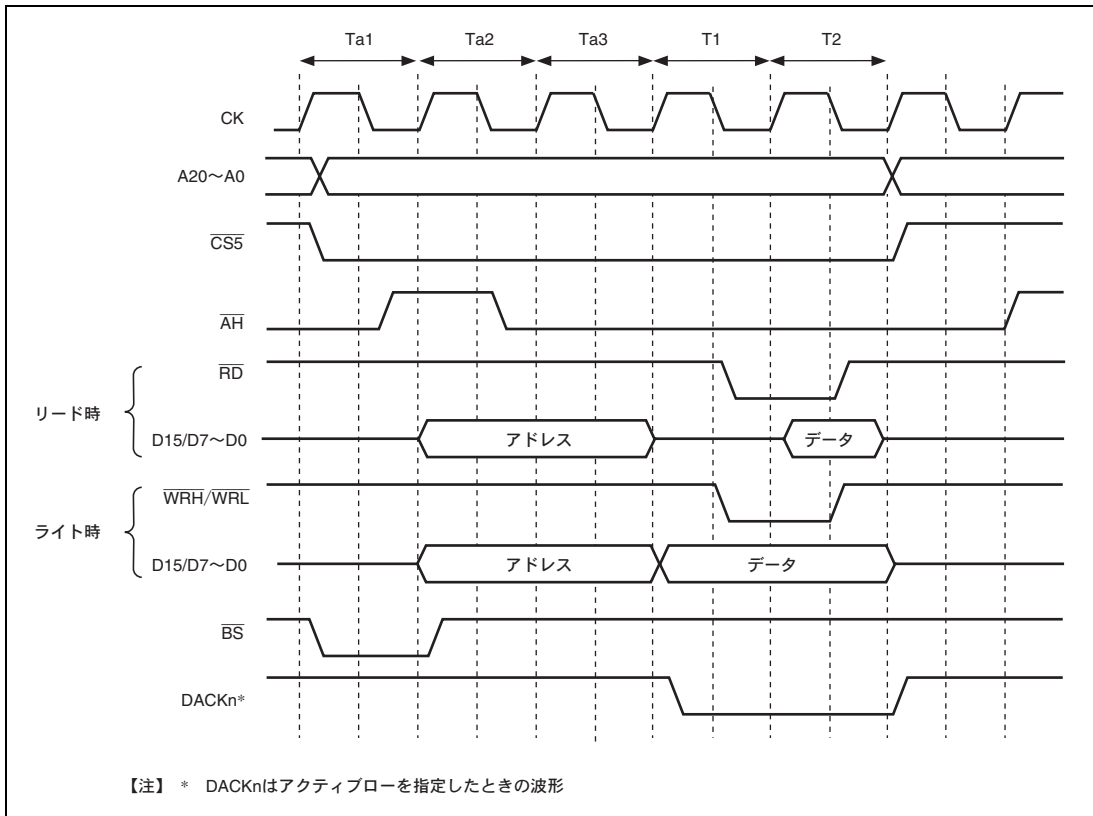


図 9.10 MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

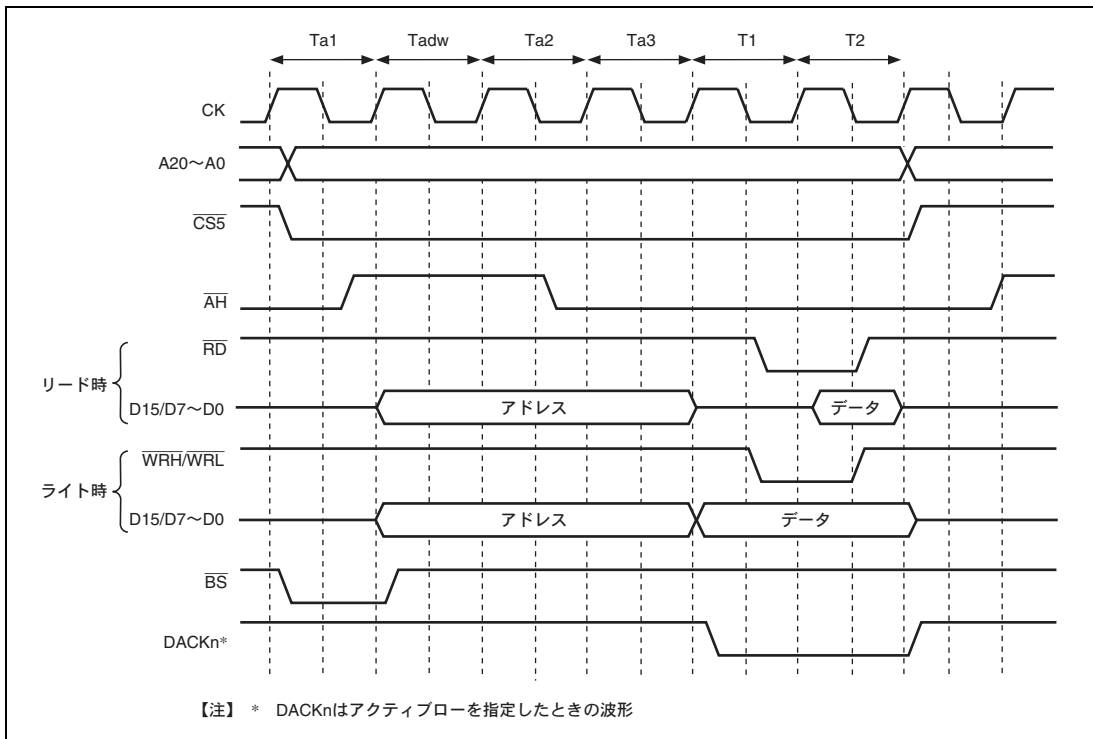


図 9.11 MPX 空間アクセスタイミング
(アドレスサイクルウェイト 1、データサイクルノーウェイト)

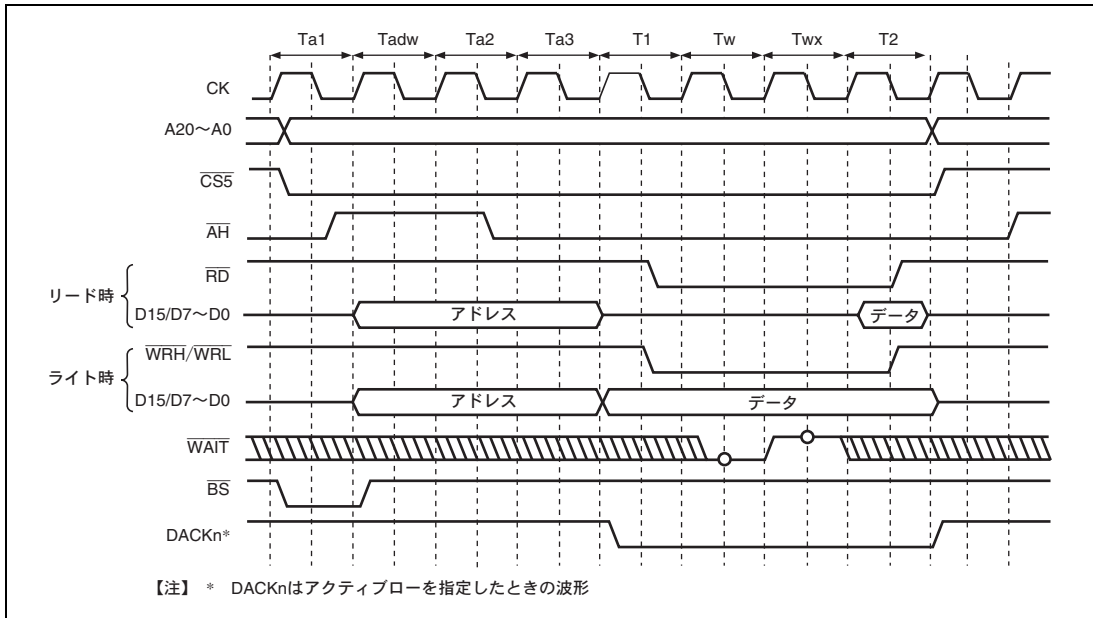


図 9.12 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1)

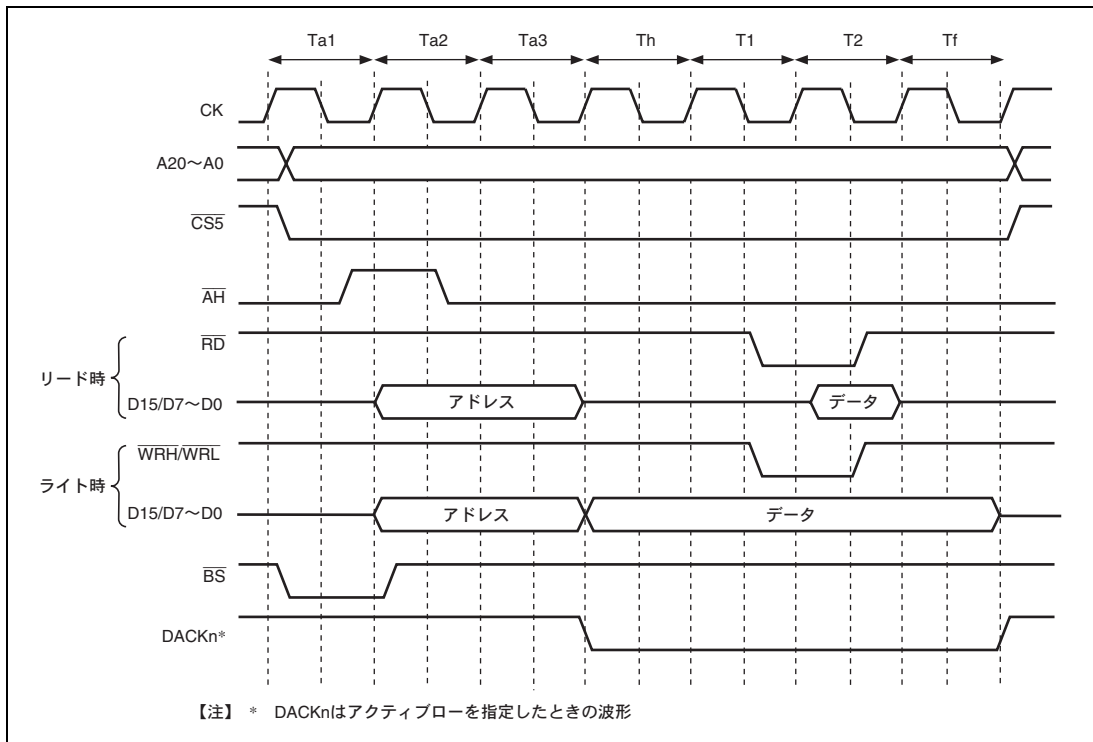


図 9.13 MPX 空間アクセスタイミング

(アドレスサイクルノーウェイト、アサート拡張サイクル 1.5、データサイクルノーウェイト、ネゲート拡張サイクル 1.5)

9.5.6 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル (ウェイト) を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合
6. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後の本 LSI を含む別デバイスによるデータ出力の場合 (DMAIWA=0)
7. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA=1)

上記のアクセスサイクル間アイドルサイクル数の指定につきましては、各レジスタの説明をご覧ください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 ($\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

$\overline{\text{CSn}}$ ネゲートから $\overline{\text{CSn}}$ または $\overline{\text{CSm}}$ アサートまでの外部バスアイドルサイクル数について説明します。外部バスのアイドルサイクル数を決める項目としては、表 9.7 の 7 項目あります。これらの関係を図 9.14 に示します。

表 9.7 アイドルサイクル数を定める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります、DACK 付きデバイスの認識するサイクル数と DMAC 転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外のときのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR.WM ビット 設定	外部 WAIT 端子入力を有効/無効にする設定ができます。"0" (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0~1	
(4)	リードデータ転送 サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0] が B'00 以外の場合にも発生しません。	0~1*	
(5)	内部バスアイドル他	CPU、DMAC などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、BSC で分割アクセスを行います。分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0~	$f\phi : B\phi$ のクロック比によっては内部バスアイドル数が 0 にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 9.8、表 9.9 に示します。

項番	内容	説明	範囲	注意事項
(6)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません (ライトバッファ効果)。	0~1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(7)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2.5	メモリ種ごとに決まっています。表 9.10 を参照してください。

【注】 * 連続データリード時は別レジスタに読み出し値を格納した場合

(1) / (2) 項 (どちらか一方が有効になります)、(3) 項、(4) + (5) + (6) 項 (順番に発生するので加算されます)、および (7) 項の 4 項目が平行して発生しますので、これらのうちの最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1) / (2) 項のレジスタ設定を行ってください。

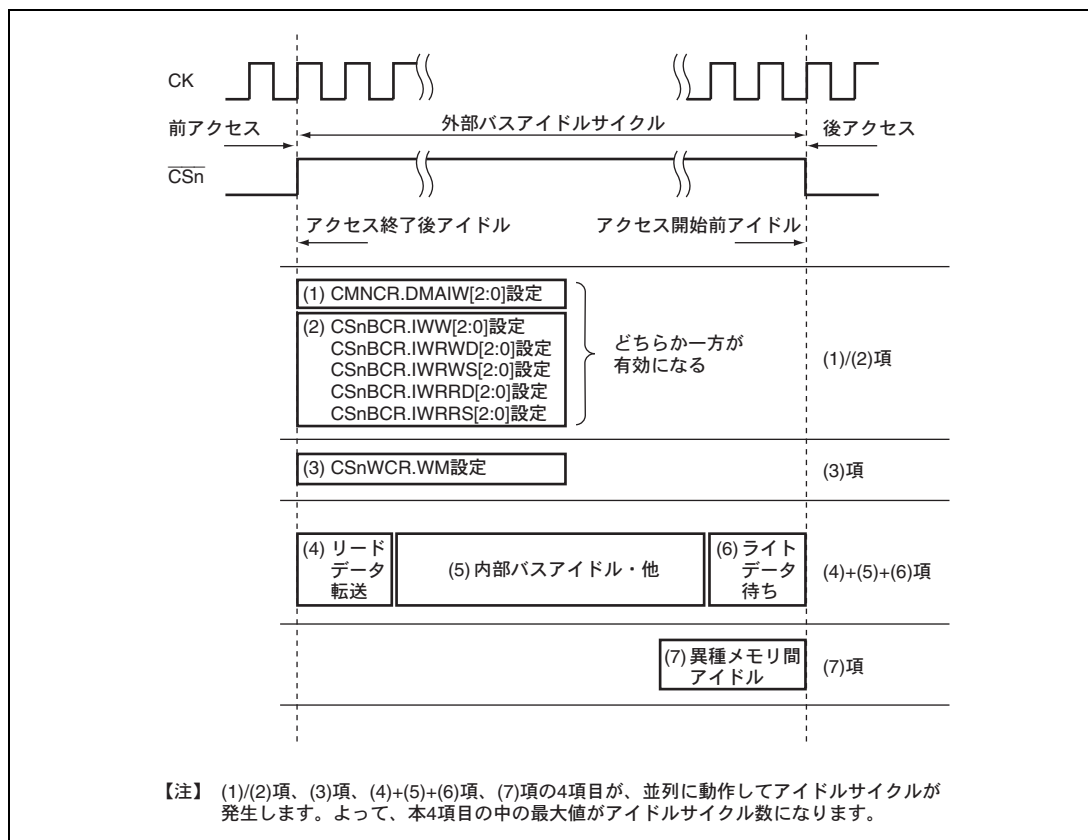


図 9.14 アイドルサイクルの構成

表 9.8 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)		
	4:1	2:1	1:1
ライト→ライト	0	0	0
ライト→リード	0	0	0
リード→ライト	1	2	3
リード→リード	0	0	0

【条件】

- ・ CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定
- ・ CS1WCR および CS2WCR の WM ビットは 1 (外部 WAIT 端子無効)、HW[1:0]は 00 (CS ネグート延長しない)
- ・ CS1 および CS2 とともに、通常 SRAM を接続し、バス幅 32 ビット=アクセスサイズビット

表 9.9 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード					
	デュアルアドレス			シングルアドレス*2		
起動要因	オートリクエスト	周辺モジュール	外部リクエスト (レベル)	外部リクエスト (エッジ)	外部リクエスト (レベル)	外部リクエスト (エッジ)
ライト→ライト	1	1	3	3	6	1
ライト→リード	0	0	2 or 0*1	1 or 0*1	0	0
リード→ライト	0	0	0	0	0	0
リード→リード	2	2	5	4	5	2

【動作条件】

1. ライト→ライトは内蔵メモリ→外部メモリ間データ転送、リード→リードは外部メモリ→内蔵メモリ間データ転送、ライト→リード、リード→ライトは外部メモリ - 外部メモリ間データ転送で、それぞれ動作モードはバーストモードです。
2. 外部バス幅=16 ビット、DMAC 転送サイズ=16 ビットの場合です。
3. lck : Bck=1 : 1/4 の場合です。

【注】 *1 外部リクエスト (レベル) での転送のライト→リードの 0 は、異なるチャンネルが連続起動した場合、2 は同一チャンネルが連続起動した場合です。

外部リクエスト (エッジ) での転送のライト→リードの 0 は、異なるチャンネルが連続起動した場合、1 は同一チャンネルが連続起動した場合です。

- *2 シングルアドレスのライト→リード、リード→ライトは異なるチャンネルを連続起動した場合です。

「ライト」は DACK 付きデバイス→外部メモリ、「リード」は外部メモリ→DACK 付きデバイスへの転送です。

表 9.10 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

前サイクル	後サイクル	
	SRAM	MPX-I/O
SRAM	0	1
MPX-I/O	1	0

サイクル間アイドルの最低数を試算する例を図 9.15 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加したりすることがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS3空間へデータを転送する例を考えます。転送は、CS1リード→CS1リード→CS3ライト→CS3ライト→CS3リード…を繰り返すものとします。

条件

CS1BCRおよびCS3BCRのサイクル間アイドル指定はすべて0を指定。

CS1WCRおよびCS3WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。

lφ:Bφは4:1とし、転送の間は他の処理を行わない。

CS1およびCS3ともに、通常SRAMを接続し、バス幅16ビットでアクセスサイズも16ビットで行う。

アイドル数を定める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R→R	R→W	W→W	W→R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)	0	0	0	0	WMビットが1であるため
(4)	1	1	0	0	リードサイクル後に発生
(5)	0	1	0	0	表9.8のlφ:Bφ=4:1の部分を参照
(6)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(4)+(5)+(6)	1	3	0	0	
(7)	0	0	0	0	SRAM→SRAMであるため
試算アイドル サイクル数	1	3	0	0	(1)/(2)項、(3)項、(4)+(5)+(6)項、(7)項の中の最大値
実際に発生する アイドル数	1	3	0	1	W→Rで不一致が発生した原因は、(5)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。

図 9.15 アイドルサイクル数の試算例と実際の比較

9.5.7 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

また、本 LSI 内部にも CPU、DMAC、DTC という 3 つのバスマスタがあります。これらのバスマスタに対する優先順位は以下の通りです。

外部デバイスによるバス権要求 ($\overline{\text{BREQ}}$) > DTC > DMAC > CPU

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていない場合は、ただちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{\text{CSn}}$ 信号その他のバス制御信号を見て、ただちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. TAS命令のリードサイクルとライトサイクル間、またはFMOV命令の64ビット転送サイクル
2. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
3. DMACでの16バイト転送時
4. CMNCRのBLOCKビットを1に設定時

また、CMNCR の DPRTY[1:0]ビットによって、DMAC パースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求 $\overline{\text{BREQ}}$ のアサート（ローレベル）を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 $\overline{\text{BACK}}$ をアサート（ローレベル）します。外部デバイスがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート（ハイレベル）を受けて $\overline{\text{BACK}}$ をネゲート（ハイレベル）し、バスの使用を再開します。

具体的なバス解放シーケンスは次のとおりです。まず、CK の立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CK の立ち下がりに同期してアサートします。これに続く CK の立ち上がりで、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{RD}}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CK の立ち下がりで行います。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CK の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CK の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトレーションタイミングを図 9.16 に示します。

バス権解放中の SLEEP 命令の実行（スリープモードまたはスタンバイモードへの遷移）は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

スタンバイモードのとき、 $\overline{\text{BREQ}}$ 入力は無視され、 $\overline{\text{BACK}}$ 出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$ 端子をプルダウンしておくことにより、スタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求 ($\overline{\text{BREQ}}$ のローレベルアサート) 後のバス権解放 ($\overline{\text{BREQ}}$ のハイレベルネゲート) は、バス使用許可 ($\overline{\text{BACK}}$ のローレベルアサート) 後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BERQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

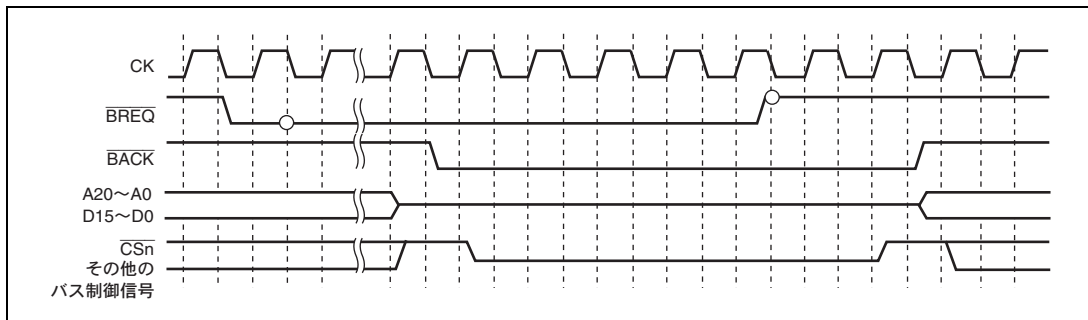


図 9.16 バスアービトレーション

9.5.8 その他

(1) リセット

バスステートコントローラ (BSC) は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行されます。

(2) LSI 内部バスマスタからみたアクセス

バスステートコントローラには4段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC などの別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に BSC レジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に BSC レジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC レジスタを変更してください。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (Pφ) で2サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために STBCR レジスタの STBY ビットを1に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行の前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが1にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に、同じレジスタのダミーリードを実施し、その後の目的の後続命令を実行してください。

表 9.11 に CPU から内蔵周辺モジュールレジスタへアクセスする場合のアクセスサイクル数を示します。

表 9.11 内蔵周辺モジュールレジスタへのアクセスサイクル数

	アクセスサイクル数	備考
ライト	$(2+n) \times I\phi + (1+m) \times B\phi + 2 \times P\phi$	FLD を除く
	$(2+n) \times I\phi + (1+m) \times B\phi + 3 \times P\phi$	FLD アクセス時
リード	$(2+n) \times I\phi + (1+m) \times B\phi + 2 \times P\phi + (2+1) \times I\phi$	FLD を除く
	$(2+n) \times I\phi + (1+m) \times B\phi + 3 \times P\phi + (2+1) \times I\phi$	FLD アクセス時

【注】 命令が内蔵 ROM 実行もしくは内蔵 RAM 実行時のサイクル数になります。

$I\phi:B\phi=1:1$ のとき $n=0$ 、 $l=0$

$I\phi:B\phi=2:1$ のとき $n=1\sim 0$ 、 $l=0$

$I\phi:B\phi=4:1$ のとき $n=3\sim 0$ 、 $l=0, 1$

$I\phi:B\phi=8:1$ のとき $n=7\sim 0$ 、 $l=1$

$B\phi:P\phi=1:1$ のとき $m=0$

$B\phi:P\phi=2:1$ のとき $m=1\sim 0$

n 、 m は内部の実行状態に依存します。

本製品は同期式論理を採用しており、バス構成は階層バス構造を持っています。各バスへのデータ入出力は、Cバスは $I\phi$ 、Iバスは $B\phi$ 、周辺バスは $P\phi$ クロックへの立ち上がりに同期して行います。

図 9.17 に $I\phi:B\phi:P\phi=4:1:1$ の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている Cバスでは $I\phi$ に同調してデータ出力します。 $I\phi:B\phi=4:1$ の場合は $B\phi \times 1$ クロックの間に 4 つのクロックがありますので、データが Iバスに乗るタイミングは、 $B\phi \times 1$ に対して 4 つのタイミングがあり、Cバスから Iバスへの転送するタイミングである $B\phi$ の立ち上がりエッジに対して、最大 $5 \times I\phi$ の期間が必要となります (図 9.17 の例では $3 \times I\phi$)。そのため、 $I\phi:B\phi=4:1$ のときは、 $(2+n) \times I\phi$ 、 $n=0\sim 3$ の期間で Cバスから Iバスへ転送されます。データが Cバスに乗るタイミングと $B\phi$ の立ち上がりエッジのタイミングの関係はプログラムの実行状態に依存します。 $B\phi:P\phi=1:1$ の場合は Iバスから周辺バスへのデータ転送は、 $1B\phi + 2P\phi$ の期間が必要になります。図 9.17 では、 $n=1$ 、 $m=0$ であるため、アクセス期間は $3 \times I\phi + 2 \times B\phi + 2 \times P\phi$ となります。

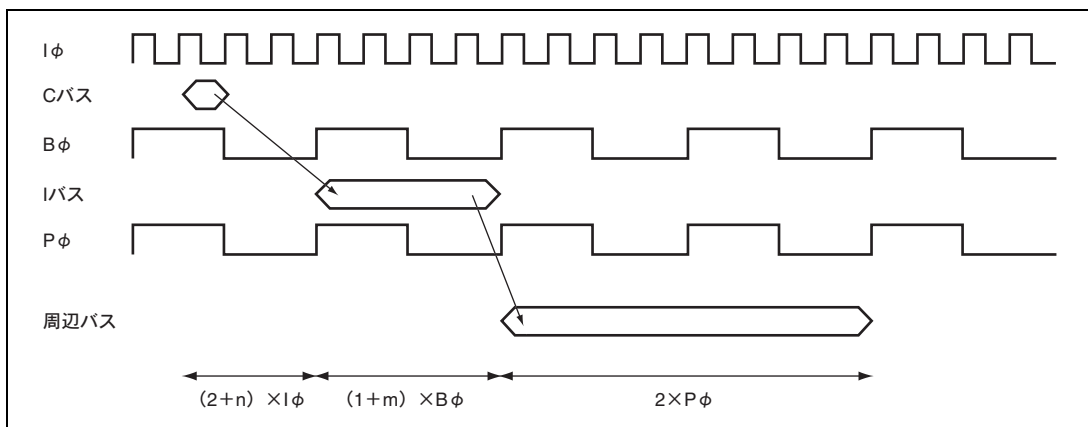


図 9.17 $I\phi:B\phi:P\phi=4:1:1$ の場合の内蔵周辺 I/O レジスタへのライトアクセスタイミング

図 9.18 に $I\phi:B\phi:P\phi=4:2:1$ の場合の周辺バスへのリードアクセスタイミングの一例を示します。C バスから周辺バスまでの転送はライトの場合と同様に行われますが、リードの場合には周辺バスに読み出した値を CPU まで転送する必要があります。周辺バスから I バス、I バスから C バスへの転送も各バスクロックの立ち上がりで同期して行われますが、 $I\phi \geq B\phi \geq P\phi$ のため、実際には $(2+1) \times I\phi$ 期間を必要とします。図 9.18 の例では、 $n=1$ 、 $m=1$ 、 $l=1$ であるため、アクセス期間は $3 \times I\phi + 2 \times B\phi + 2 \times P\phi + 3 \times I\phi$ となります。

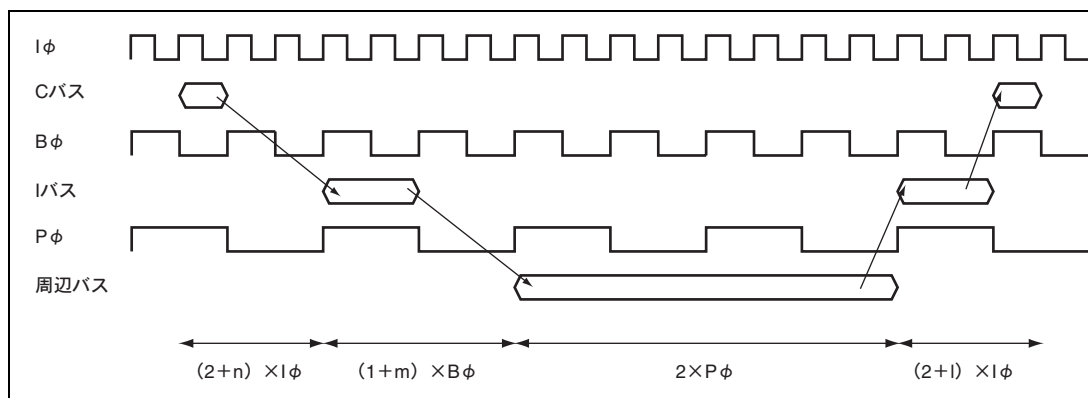


図 9.18 $I\phi:B\phi:P\phi=4:2:1$ の場合の内蔵周辺 I/O レジスタへのリードアクセスタイミング

なお、FLD は周辺バスのサイクルが他とは違い $3 \times P\phi$ になります。

(4) 内蔵メモリと外部デバイスのアクセス

表 9.12 に内蔵メモリ、および外部デバイスにアクセスする場合のアクセスサイクル数を示します。

表 9.12 内蔵メモリ、および外部デバイスのアクセスサイクル数

アクセス対象		内蔵 ROM (1φ)	内蔵 RAM (1φ)		外部デバイス (Bφ) *5	
			ページ 0~3	ページ 4~7		
		ROM キャッシュ (1φ)	(高速)	(低速)		
バス幅		—	32 ビット	32 ビット	8 ビット	16 ビット
CPU から アクセス時	命令フェッチ	1~3	1	2	$(2+n) \times 1\phi + (3+m) \times B\phi + 3 \times (2+o) \times B\phi + (2+l) \times 1\phi$	$(2+n) \times 1\phi + (3+m) \times B\phi + 1 \times (2+o) \times B\phi + (2+l) \times 1\phi$
	データリード (ロングワード)	1~3	1	2	$(2+n) \times 1\phi + (3+m) \times B\phi + 1 \times (2+o) \times B\phi + (2+l) \times 1\phi$	$(2+n) \times 1\phi + (3+m) \times B\phi + (2+l) \times 1\phi$
	データリード (ワード)	1~3	1	2	$(2+n) \times 1\phi + (3+m) \times B\phi + (2+l) \times 1\phi$	$(2+n) \times 1\phi + (3+m) \times B\phi + (2+l) \times 1\phi$
	データリード (バイト)	1~3	1	2	$(2+n) \times 1\phi + (3+m) \times B\phi + (2+l) \times 1\phi$	$(2+n) \times 1\phi + (3+m) \times B\phi + (2+l) \times 1\phi$
	データライト*1 (ロングワード)	—	1	3	$(2+n) \times 1\phi + (4+m) \times B\phi + 3 \times (2+o) \times B\phi$	$(2+n) \times 1\phi + (4+m) \times B\phi + 1 \times (2+o) \times B\phi$
	データライト*1 (ワード)	—	1	3	$(2+n) \times 1\phi + (4+m) \times B\phi + 1 \times (2+o) \times B\phi$	$(2+n) \times 1\phi + (4+m) \times B\phi$
	データライト*1 (バイト)	—	1	3	$(2+n) \times 1\phi + (4+m) \times B\phi$	$(2+n) \times 1\phi + (4+m) \times B\phi$
CPU 以外 から アクセス時	データリード (ロングワード)	$3B\phi \sim 4l\phi + 3B\phi$ *2	$1B\phi \sim 4B\phi$ *3	9Bφ	5Bφ	
	データリード (ワード)			5Bφ	3Bφ	
	データリード (バイト)			3Bφ		
	データライト*1 (ロングワード)	—	$1B\phi \sim 3B\phi$ *4	9Bφ	5Bφ	
	データライト*1 (ワード)	—		5Bφ	3Bφ	
	データライト*1 (バイト)	—		3Bφ		

【注】 *1. ライトバッファがあるため、バスマスタはライトサイクル完了を待たずに次の処理を行うことができます。詳細は「9.5.12 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

*2. $l\phi : B\phi = 1 : 1/8$ のとき $3B\phi$ 、それ以外は $4l\phi + 3B\phi$

*3. $l\phi : B\phi$ が $8 : 1$ のとき $1B\phi$ 、 $4 : 1$ のとき $2B\phi$ 、 $2 : 1$ のとき $2 \sim 3B\phi$ 、 $1 : 1$ のとき $3 \sim 4B\phi$

*4. $l\phi : B\phi$ が $8 : 1$ のとき $1B\phi$ 、 $4 : 1$ のとき $1 \sim 2B\phi$ 、 $2 : 1$ のとき $2B\phi$ 、 $1 : 1$ のとき $2 \sim 3B\phi$

*5. 命令が内蔵 ROM 実行もしくは内蔵 RAM 実行時のバスアクセスサイクル数になります。

$I\phi : B\phi = 1 : 1$ のとき $n=0$ 、 $l=0$

$I\phi : B\phi = 2 : 1$ のとき $n=1\sim 0$ 、 $l=0$

$I\phi : B\phi = 4 : 1$ のとき $n=3\sim 0$ 、 $l=0$ 、 1

$I\phi : B\phi = 8 : 1$ のとき $n=7\sim 0$ 、 $l=1$

m =ウェイトサイクル

o =アイドルサイクル+ウェイトサイクル

n 、 l は内部の実行状態に依存します。

図 9.19 に $I\phi : B\phi = 2 : 1$ 外部バス幅から超えた 2 倍データを外部メモリにライトアクセスするタイミング例としてバス幅 16 ビットのロングワードライト時または、バス幅 8 ビットのワードライト時を示します。

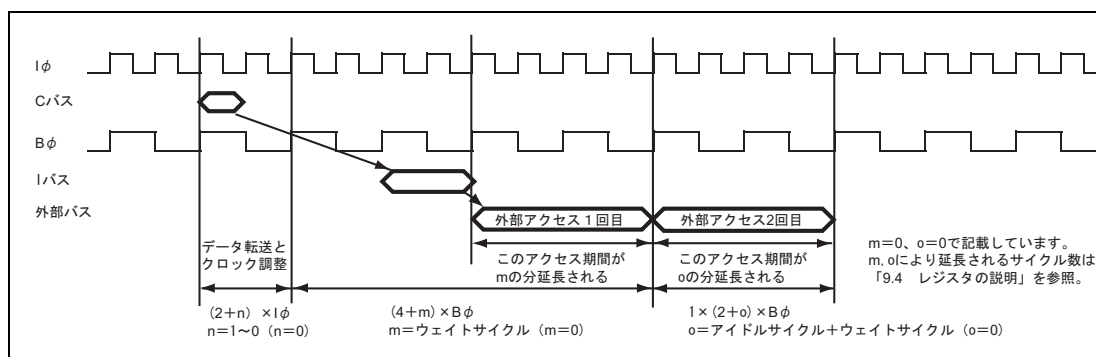


図 9.19 $I\phi : B\phi = 2 : 1$ 外部バス幅から超えたライトデータのアクセスタイミング

図 9.20 に $I\phi : B\phi = 4 : 1$ 外部バス幅以内のデータを外部メモリからリードアクセスするタイミング例を示します。

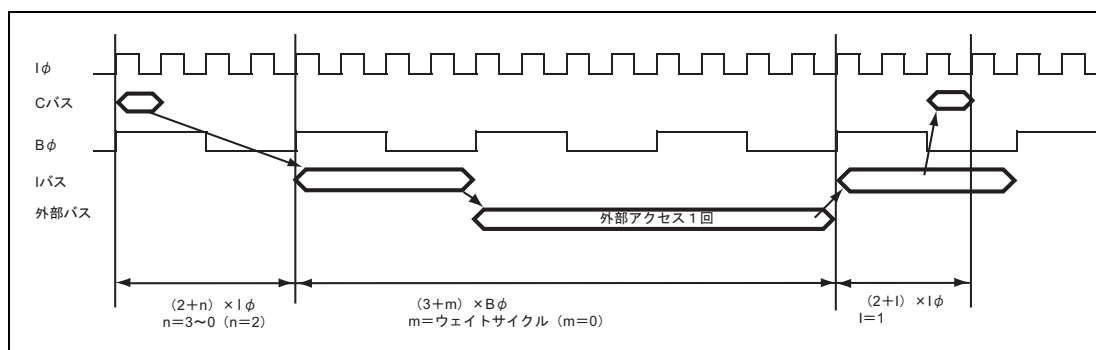


図 9.20 $I\phi : B\phi = 4 : 1$ 外部バス幅以内のリードデータのアクセスタイミング

9.6 使用上の注意事項

9.6.1 SRAM と ASIC 等外付け LSI を接続する場合の注意事項

SRAM、MPX-I/O 制御信号のうち、 \overline{BS} 、 \overline{AH} は、A19、A20 と同一端子に割り付けています。SRAM と ASIC 等外付け LSI を本 LSI のバスに接続する場合は以下にしてください。

- ASIC等外付けLSIのアドレスをA0～A18の19ビットで使用する。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

10.1 特長

- チャンネル数：可変、最大数はCH0～CH7の8チャンネル
CH0～CH3の4チャンネルのみ、外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
SCIF：2要因、A/D変換器：1要因、MTU2：5要因、CMT：2要因、RSPI：2要因、RCAN-ET：1要因
- バスモード：サイクルスチールモード (通常モードとインターミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCRのHEビット、HIEビットにより、DMAC転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDIはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次のDMA転送を異なる設定で実行することができます。
このリロード機能は、チャンネルごとにON/OFFの設定が可能です。

図 10.1 に DMAC のブロック図を示します。

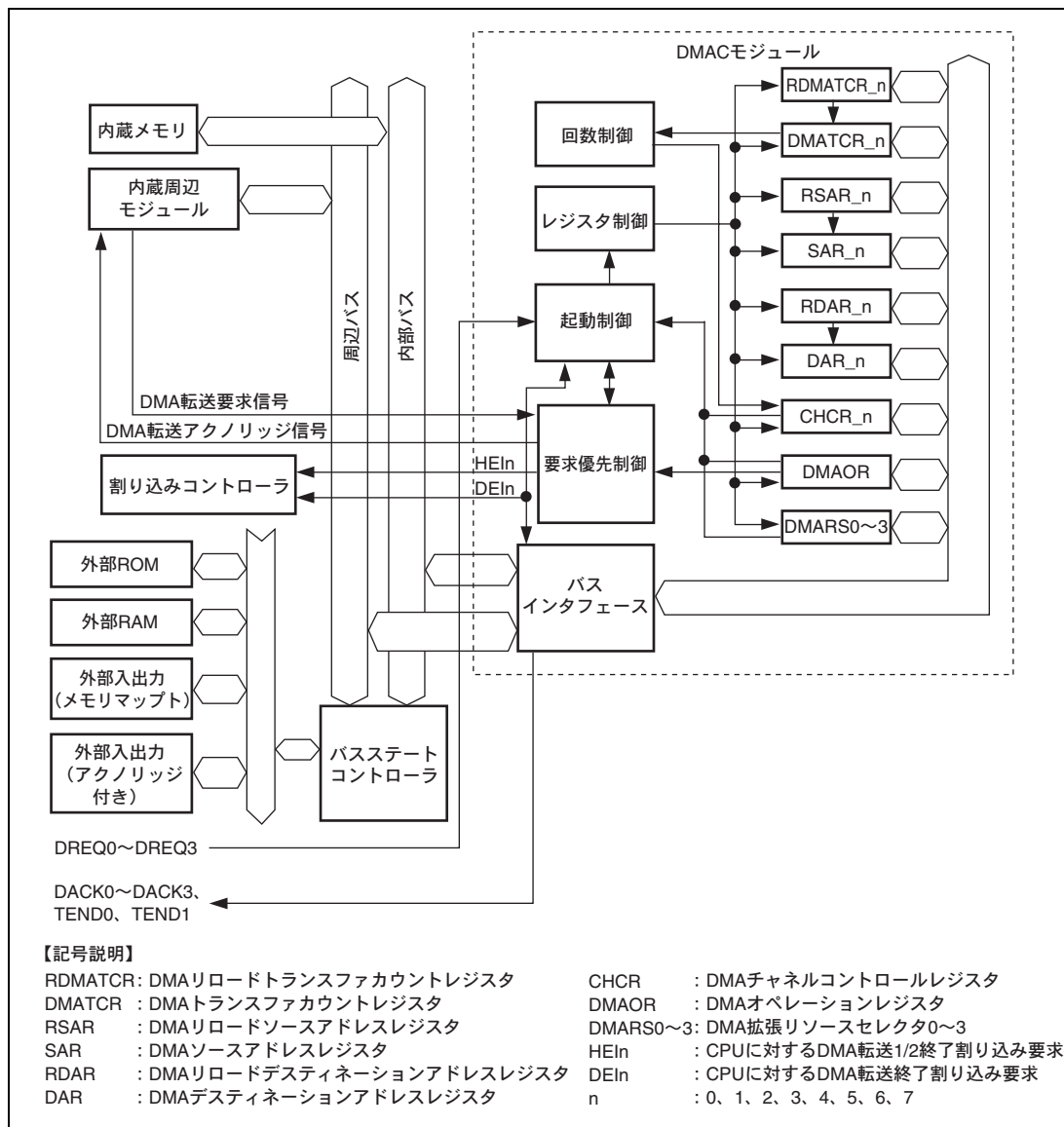


図 10.1 DMAC のブロック図

10.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 10.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子 (CH0 ~CH3) を持っています。

表 10.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
2	DMA 転送要求	DREQ2	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK2	出力	DMAC チャンネル 2 から外部デバイスへの DMA 転送要求受け付け出力
3	DMA 転送要求	DREQ3	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK3	出力	DMAC チャンネル 3 から外部デバイスへの DMA 転送要求受け付け出力
0	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

10.3 レジスタの説明

DMACには以下のレジスタがあります。チャンネルごとに4本の制御レジスタと3本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが1本あります。さらに、2チャンネルごとに1本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル0のSARはSAR_0のように表記しています。

表 10.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W*1	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウントレジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W*1	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーションアドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウントレジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、 32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、 32
	DMA トランスファカウントレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W* ¹	H'00000000	H'FFFE102C	8、 16、 32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、 32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、 32
	DMA リロードトランスファカウント レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、 32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、 32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、 32
	DMA トランスファカウントレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W* ¹	H'00000000	H'FFFE103C	8、 16、 32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、 32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、 32
	DMA リロードトランスファカウント レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、 32
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'00000000	H'FFFE1040	16、 32
	DMA デスティネーションアドレス レジスタ_4	DAR_4	R/W	H'00000000	H'FFFE1044	16、 32
	DMA トランスファカウントレジスタ_4	DMATCR_4	R/W	H'00000000	H'FFFE1048	16、 32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W* ¹	H'00000000	H'FFFE104C	8、 16、 32
	DMA リロードソースアドレス レジスタ_4	RSAR_4	R/W	H'00000000	H'FFFE1140	16、 32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	R/W	H'00000000	H'FFFE1144	16、 32
	DMA リロードトランスファカウント レジスタ_4	RDMATCR_4	R/W	H'00000000	H'FFFE1148	16、 32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレス レジスタ_5	DAR_5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ_5	DMATCR_5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W*1	H'00000000	H'FFFE105C	8、16、32
	DMA リロードソースアドレス レジスタ_5	RSAR_5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウント レジスタ_5	RDMATCR_5	R/W	H'00000000	H'FFFE1158	16、32
6	DMA ソースアドレスレジスタ_6	SAR_6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレス レジスタ_6	DAR_6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ_6	DMATCR_6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャンネルコントロールレジスタ_6	CHCR_6	R/W*1	H'00000000	H'FFFE106C	8、16、32
	DMA リロードソースアドレス レジスタ_6	RSAR_6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウント レジスタ_6	RDMATCR_6	R/W	H'00000000	H'FFFE1168	16、32
7	DMA ソースアドレスレジスタ_7	SAR_7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレス レジスタ_7	DAR_7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR_7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	R/W*1	H'00000000	H'FFFE107C	8、16、32
	DMA リロードソースアドレス レジスタ_7	RSAR_7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウント レジスタ_7	RDMATCR_7	R/W	H'00000000	H'FFFE1178	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16

【注】 *1 CHCRn の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

10.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元アドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK の仕様を決めるビット (DO、AM、AL、DL、DS) については、チャンネル 0~3 で読み書き可能となっていますが、チャンネル 4~7 では対応するビットはリザーブビットとなっています。

さらに外部端子 TEND の仕様を決めるビット (TL) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後に行ってください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	-	RLD	-	-	-	-	DO	TL	-	-	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]	SM[1:0]	RS[3:0]				DL	DS	TB	TS[1:0]	IE	TE	DE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	トランスファカウントモード 1回の転送要求で1回転送するか、DMATCRの設定回数を転送するかを設定します。ただし、TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をRSPI、SCIF_3に設定した場合には、TC=1に設定しないでください。 0: 1回の転送要求で1回転送 1: 1回の転送要求でDMATCRの設定回数転送
30, 29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	RLD	0	R/W	リロード機能 ON/OFF リロード機能を、有効 (ON) にするか、無効 (OFF) にするかを設定します。 0: リロード機能は無効 (OFF) 1: リロード機能は有効 (ON)
27~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。</p> <p>本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DREQ をオーバラン 0 で検出 (リクエストと同じ回数の転送を実行して中断)</p> <p>1 : DREQ をオーバラン 1 で検出 (リクエストより 1 つ多い回数の転送を実行して中断)</p>
22	TL	0	R/W	<p>トランスファエンドレベル</p> <p>TEND 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TEND をローアクティブ出力</p> <p>1 : TEND をハイアクティブ出力</p>
21、20	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
19	HE	0	R/(W)*	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。</p> <p>0 : DMA 転送中または DMA 転送中断で、 DMATCR > (転送前にセットした DMATCR) / 2</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> HE ビットの 1 を読み出してから 0 を書き込む <p>1 : DMATCR ≤ (転送前にセットした DMATCR) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を禁止</p> <p>1 : DMATCR = (転送前にセットした DMATCR) / 2 で、割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。</p> <p>本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード)</p> <p>1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力</p> <p>1 : DACK をハイアクティブ出力</p> <p>【注】 DACK 端子をハイアクティブで使用する場合、DACK 端子をプルダウンし以下の順番で設定してください。</p> <ol style="list-style-type: none"> 1. リセット起動後、DMAC の CHCR レジスタで DACK 端子の設定をハイアクティブにしてください。 2. 次に、ピンファンクションコントローラの設定を、DACK 端子としてください。 3. 上記設定後は、CHCR レジスタの DACK 端子の設定は変えないでください。
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
13, 12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます)。</p> <p>00 : ソースアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11 : 設定禁止</p>
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : 設定禁止</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : 設定禁止</p> <p>0110 : 設定禁止</p> <p>0111 : 設定禁止</p> <p>1000 : DMA 拡張リソースセクタ</p> <p>1001 : 設定禁止</p> <p>1010 : 設定禁止</p> <p>1011 : 設定禁止</p> <p>1100 : 設定禁止</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0~3 のみ有効です。 CHCR_4~7 では外部リクエストの指定をしても、何も実行されません。</p>

ビット	ビット名	初期値	R/W	説明
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル</p> <p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00: ローレベル検出 01: 立ち下がりエッジ検出 10: ハイレベル検出 11: 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスマード</p> <p>DMA 転送のバスマードを選択します。ただし、TC=0 に設定した場合には、バーストモードに設定しないでください。</p> <p>0: サイクルスチールモード 1: バーストモード</p>
4、3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00: バイト単位 01: ワード (2 バイト) 単位 10: ロングワード (4 バイト) 単位 11: 16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0: 割り込み要求を禁止 1: 割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断 1 : (DMATCR=0 により) DMA 転送終了</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TE ビットの 1 を読み出してから 0 を書き込む
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。CHCR レジスタの設定を変更する場合には、該当チャネルの DE ビットを 0 にクリアした後に行ってください。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

10.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し／書き込み可能な 32 ビットのレジスタです。

リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

リセット時は H'00000000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し／書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	AE	NMIF	DME	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13、12	CMS[1:0]	00	R/W	<p>サイクルスチールモードセレクト</p> <p>サイクルスチールモード時に通常モードとインターミットモードを選択します。</p> <p>インターミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。</p> <p>00：通常モード</p> <p>01：設定禁止</p> <p>10：インターミットモード 16 Bφクロックで 16 クロックに 1 回 DMA 転送を実行</p> <p>11：インターミットモード 64 Bφクロックで 64 クロックに 1 回 DMA 転送を実行</p>
11、10	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9、8	PR[1:0]	00	R/W	<p>プライオリティモード</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00：固定モード 1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7</p> <p>01：固定モード 2：CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7</p> <p>10：設定禁止</p> <p>11：ラウンドロビンモード (CH0～CH3 のみラウンド対象)</p>
7～3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>0：DMAC によるアドレスエラーなし</p> <p>1：DMAC によるアドレスエラー発生</p> <p>[クリア条件]</p> <p>• AE ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われます。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするためにはレジスタを読み出し、1 を読み出せたビットのみ 0 を書き込むようにしてください。1 を読み出した後に 0 を書き込むことのみ可能です。

1 転送終了後 (DMATCR レジスタで指定した回数分を転送した後) にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。転送中は変化させないでください。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 となり、固定モード 1 で再設定した場合の優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャンネルはリセットされます。

表 10.3 に、プライオリティモードビットの各モード (モード 0~2) の優先順位の遷移を示します。各モードは転送終了したチャンネルによって、次にリクエストを受けるチャンネルの優先順位が最大 3 通りに変化します。

たとえば、転送終了したチャンネルが CH1 のとき、次にリクエストを受け付けるチャンネルの優先順位は、CH2>CH3>CH0>CH1>CH4>CH5>CH6>CH7 となります。また、転送終了したチャンネルが CH4、CH5、CH6、CH7 の場合にはラウンドロビンの対象外となるため、チャンネル 4、チャンネル 5、チャンネル 6、またはチャンネル 7 が転送終了しても優先順位は変化しません。

また、アドレスエラー発生時の DMAC の内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合 : リード (転送元→DMAC内部) →ライト (DMAC内部→転送先)
- アドレスエラーがソースアドレスで発生 : Nop→Nop
- アドレスエラーがデスティネーションアドレスで発生 : Read→Nop

表 10.3 プライオリティモードビットの組み合わせ

モード	転送終了	プライオリティモードビット		転送終了後の優先順位：高←→低							
	CH No.	PR[1]	PR[0]	優先順位 0	優先順位 1	優先順位 2	優先順位 3	優先順位 4	優先順位 5	優先順位 6	優先順位 7
モード 0 (固定モード 1)	任意	0	0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
モード 1 (固定モード 2)	任意	0	1	CH0	CH4	CH1	CH5	CH2	CH6	CH3	CH7
モード 2 (ラウンドロビンモード)	CH0	1	1	CH1	CH2	CH3	CH0	CH4	CH5	CH6	CH7
	CH1	1	1	CH2	CH3	CH0	CH1	CH4	CH5	CH6	CH7
	CH2	1	1	CH3	CH0	CH1	CH2	CH4	CH5	CH6	CH7
	CH3	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH4	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH5	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH6	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH7	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7

10.3.9 DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)

DMARS は、読み出し/書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5、DMARS3 はチャンネル 6 および 7 を設定します。設定可能な組み合わせを表 10.4 に示します。

SCIF からの 2 要因、A/D 変換器からの 1 要因、MTU2 からの 5 要因、CMT からの 2 要因、RCAN-ET からの 1 要因、RSPI からの 2 要因に対して転送要求を受け付けることができるように設定できます。

リセット時は H'0000 に初期化され、ソフトウェアスタンバイモードおよびモジュールスタンバイ時には値を保持します。

• DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]					CH1 RID[1:0]		CH0 MID[5:0]					CH0 RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]					CH3 RID[1:0]		CH2 MID[5:0]					CH2 RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]						CH7 RID[1:0]		CH6 MID[5:0]						CH6 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 10.4 DMARS の設定

周辺モジュール		1チャンネル分の 設定値((MID,RID))	MID	RID	機能
RCAN-ET	RM0_0	H'86	B'100001	B'10	受信
RSPI	SPTI	H'89	B'100010	B'01	送信
	SPRI	H'8A		B'10	受信
SCIF_3	TXI3	H'8D	B'100011	B'01	送信
	RXI3	H'8E		B'10	受信
A/D 変換器_0	ADI0	H'B3	B'101100	B'11	—
MTU2_0	TGIA_0	H'E3	B'111000	B'11	—
MTU2_1	TGIA_1	H'E7	B'111001	B'11	—
MTU2_2	TGIA_2	H'EB	B'111010	B'11	—
MTU2_3	TGIA_3	H'EF	B'111011	B'11	—
MTU2_4	TGIA_4	H'F3	B'111100	B'11	—
CMT_0	CMI0	H'FB	B'111110	B'11	—
CMT_1	CMI1	H'FF	B'111111	B'11	—

表 10.4 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0~7 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合、DMARS を設定しても転送要求元として受け付けられません。

10.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

10.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスマカウントレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS0、TS1ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. 指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。
5. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 10.2 に上記のフローチャートを示します。

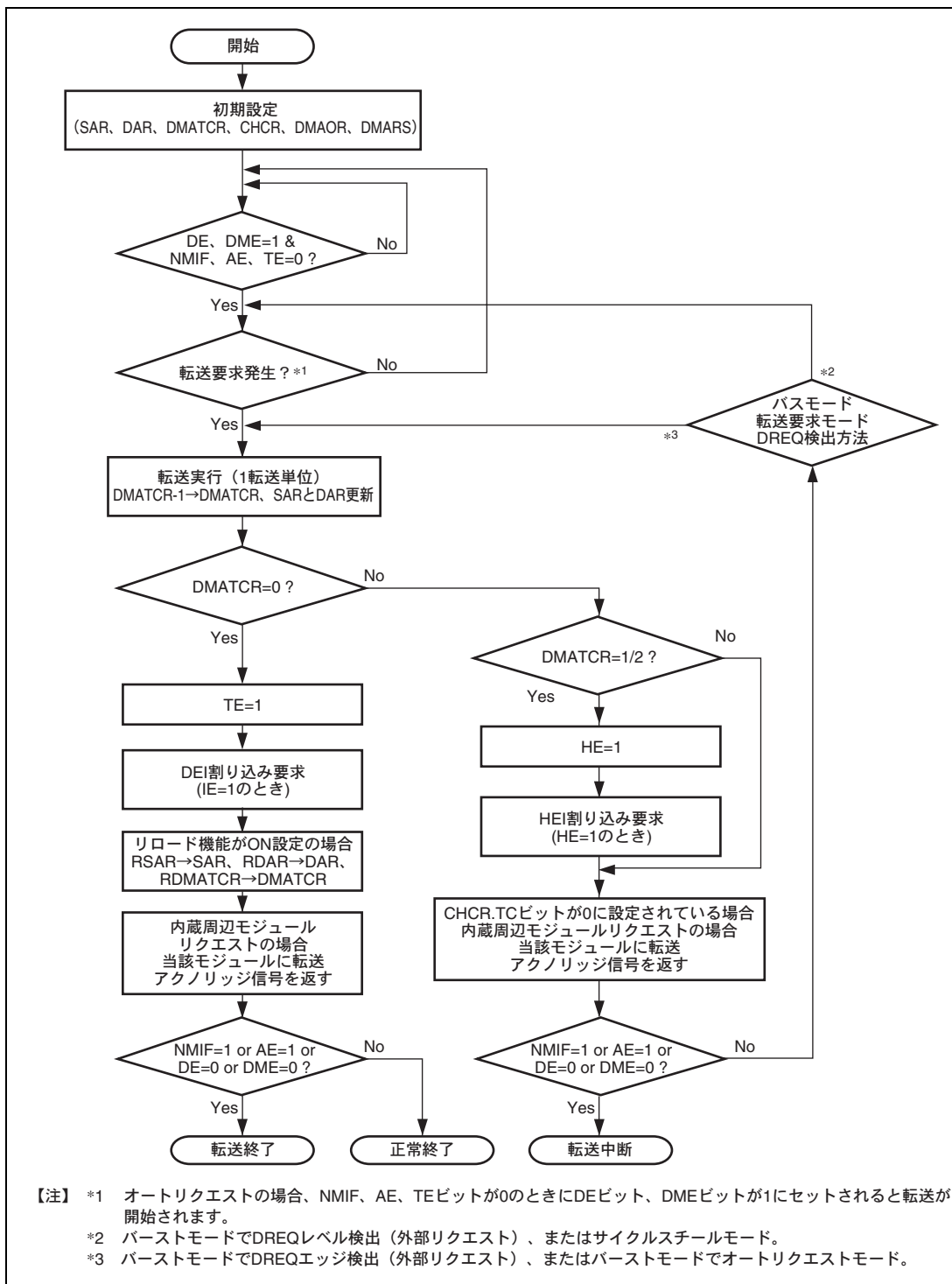


図 10.2 DMA 転送フローチャート

10.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は CHCR_0~CHCR_7 の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2、DMARS3 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0~CHCR_7 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0~CHCR_7 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0~DREQ3) によって転送を開始させるモードです。システムに応じて表 10.5 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

表 10.5 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 10.6 に示す CHCR_0~CHCR_3 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 10.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバラン 1）があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 10.7 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバラン 0
1	オーバラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号としては、SCIF からの送信データエンプティ転送要求と受信データフル転送要求、A/D 変換器からの A/D 変換転送終了要求、CMT からのコンペアマッチ転送要求、MTU2、RCAN-ET、RSPI からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE=1、DME=1、TE=0、AE=0、NMIF=0）ならば、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。転送要求が A/D 変換器からの場合、転送元を A/D データレジスタ（ADDR）とする必要があります。転送要求を RSPI 送信に設定した場合には転送先を RSPI データレジスタ（SPDR）に、転送要求を RSPI 受信に設定した場合には転送元を RSPI データレジスタ（SPDR）とする必要があります。転送要求を RCAN-ET の受信割り込みに設定した場合、転送元をメールボックス（MB0～MB15）とする必要があります。転送要求が CMT、MTU2 からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

表 10.8 RS3~RS0 ビットと DMARS による内蔵周辺モジュールリクエストモードの選択

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	100001	10	RCAN-ET	RM0_0 (RCAN-ET 受信割り込み)	MB0~15*1	任意	サイクル スチール
	100010	01	RSPI 送信	SPTI (送信データエンプティ)	任意	SPDR	サイクル
		10	RSPI 受信	SPRI (受信データフル)	SPDR	任意	スチール/ バースト*2
	100011	01	SCIF_3 送信	TXI3 (送信 FIFO データエンプティ)	任意	SCFTDR3	サイクル
		10	SCIF_3 受信	RXI3 (受信 FIFO データフル)	SCFRDR3	任意	スチール
	101100	11	A/D 変換器_0	ADI0 (A/D 変換終了)	ADDR0~ ADDR3	任意	サイクル スチール
	111000	11	MTU2_0	TGIA_0	任意	任意	サイクル
	111001	11	MTU2_1	TGIA_1	任意	任意	スチール/ バースト
	111010	11	MTU2_2	TGIA_2	任意	任意	
	111011	11	MTU2_3	TGIA_3	任意	任意	
	111100	11	MTU2_4	TGIA_4	任意	任意	
	111110	11	CMT_0	コンペアマッチ転送要求 0	任意	任意	サイクル
	111111	11	CMT_1	コンペアマッチ転送要求 1	任意	任意	スチール/ バースト

【注】 *1 トランスファカウントモードを使用してメールボックスのメッセージコントロールフィールド 0 からメッセージコントロールフィールド 1 までリードできます。

*2 バーストモードに設定する場合は「18.5.2 DMAC バースト転送」を参照してください。

10.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7
- 固定モード 2 : CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位がラウンドロビン対象チャンネル内で一番低くなるように優先順位を変更します。なお、ラウンドロビンの対象となるチャンネルは CH0~CH3 の 4 チャンネルのみです。これ以外のチャンネルはラウンドロビンモードでも優先順位は変更されません。この動作を図 10.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとパーストモードを混在させないでください。

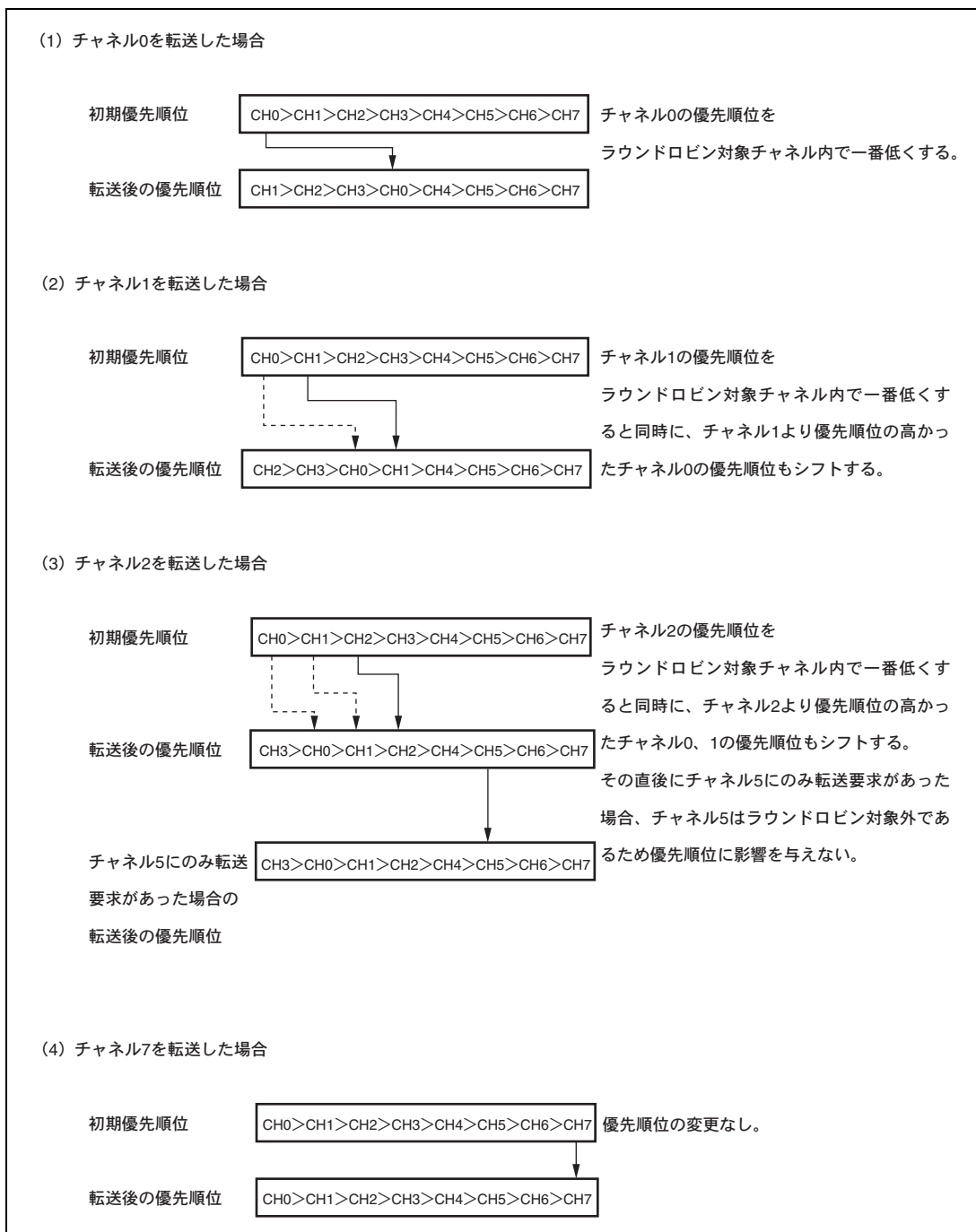


図 10.3 ラウンドロビンモード

図 10.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位をラウンドロビン対象チャンネル内で一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位をラウンドロビン対象チャンネル内で一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位がラウンドロビン対象チャンネル内で一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

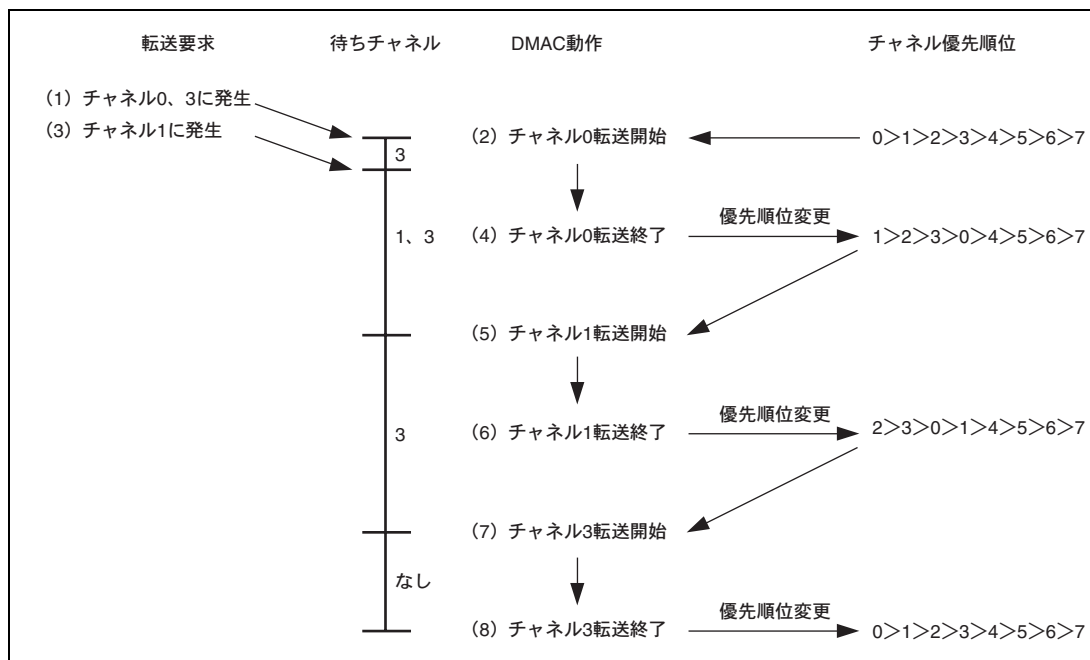


図 10.4 ラウンドロビンモードでのチャンネル優先順位

10.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 10.9 に DMAC がサポートできる転送を示します。

表 10.9 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、シングル	デュアル、シングル	不可	不可
外部メモリ	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図10.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

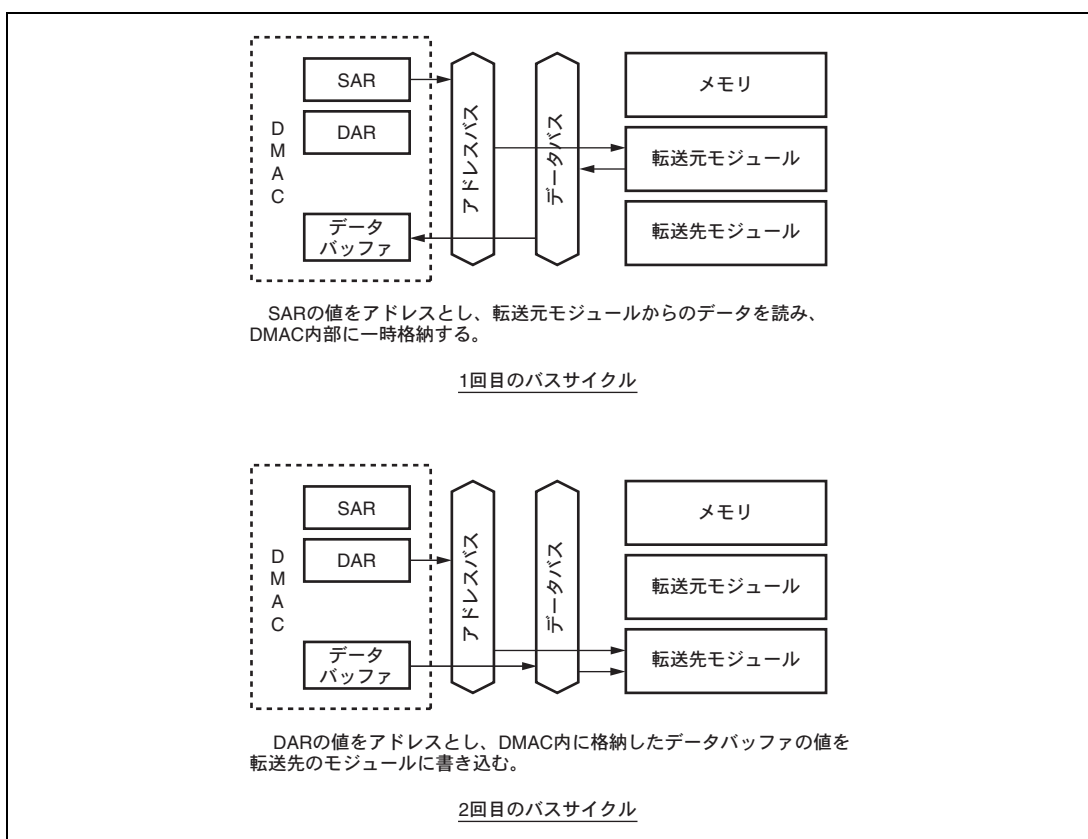


図 10.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 10.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

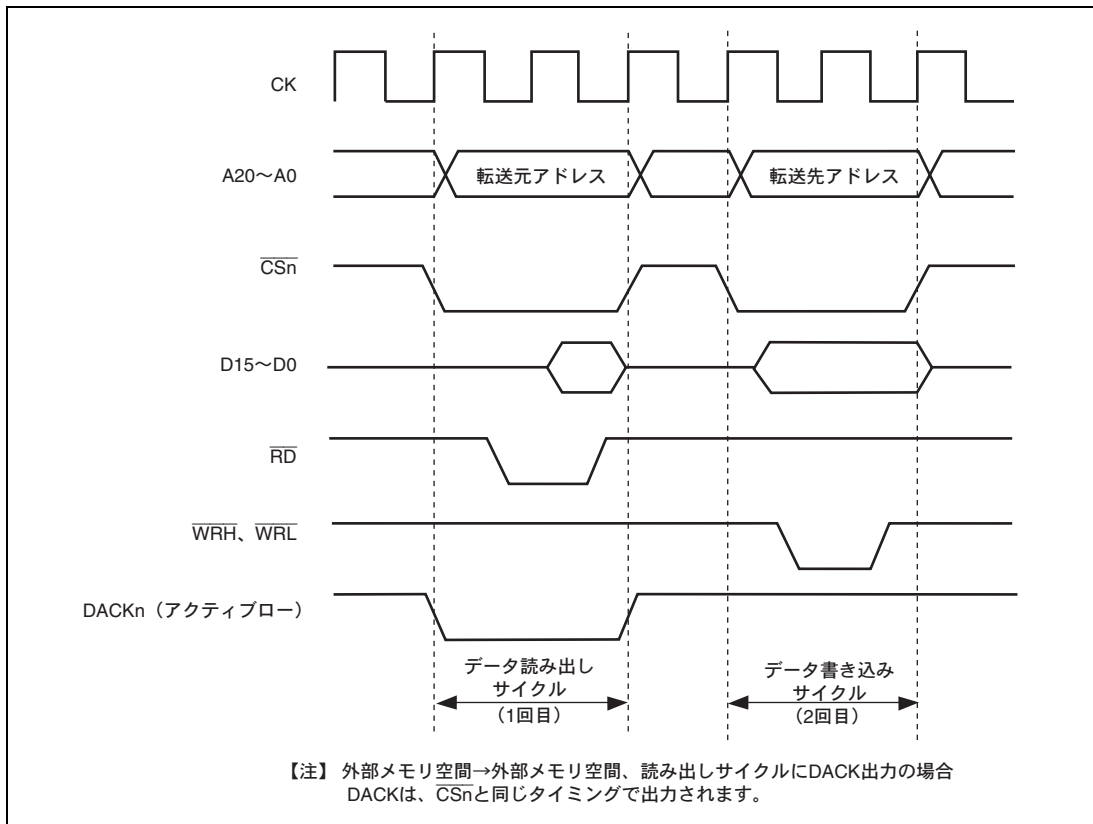


図 10.6 デュアルアドレスモードの DMA 転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 10.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

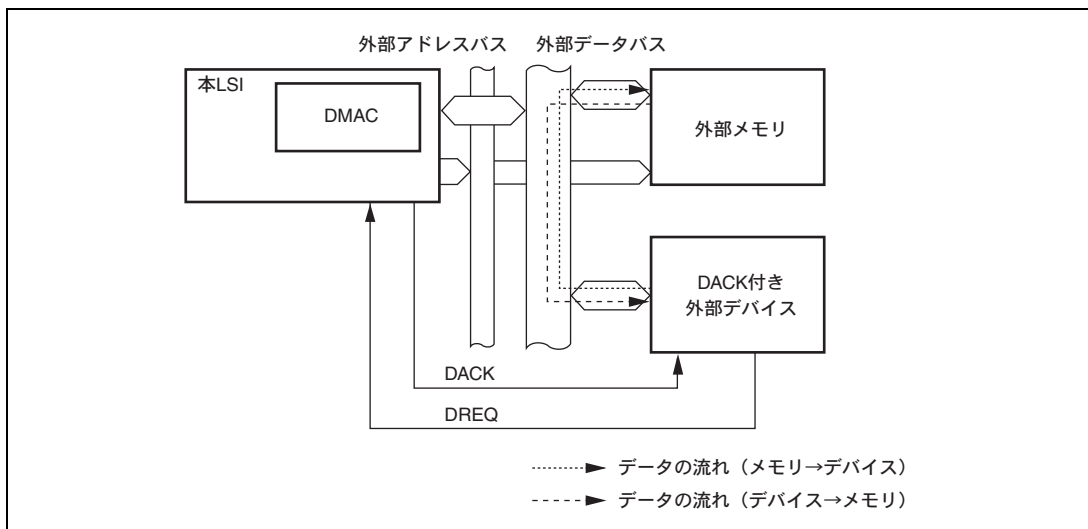


図 10.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 10.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

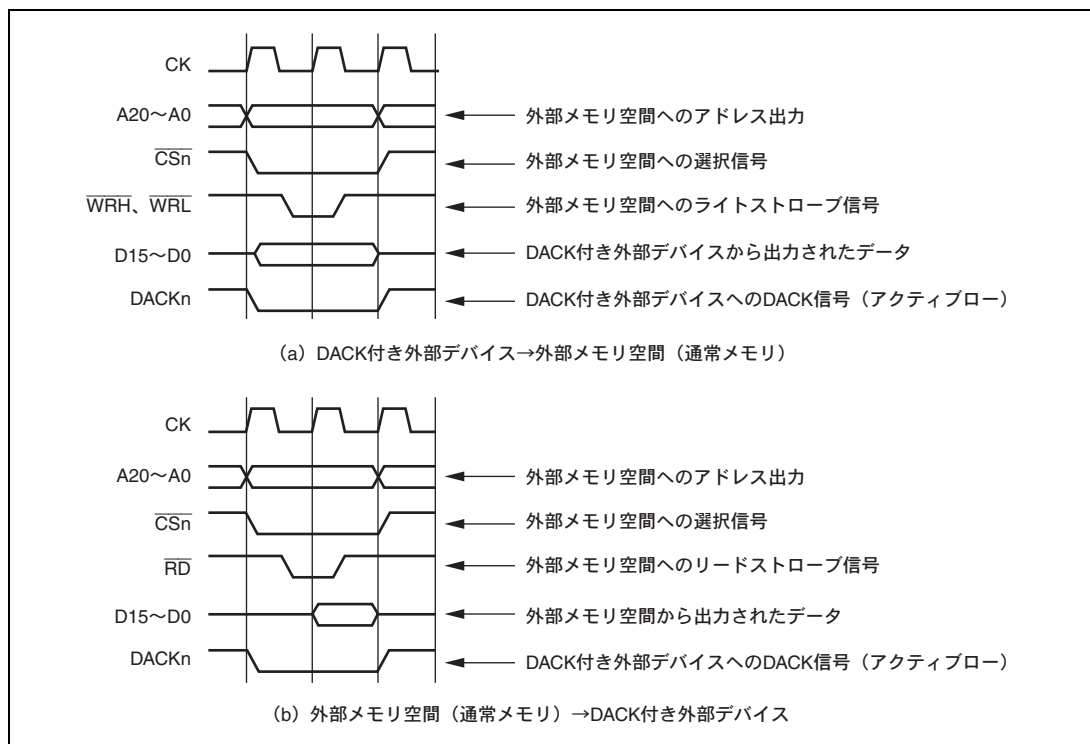


図 10.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

● 通常モード

サイクルスチールの通常モードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図10.9にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

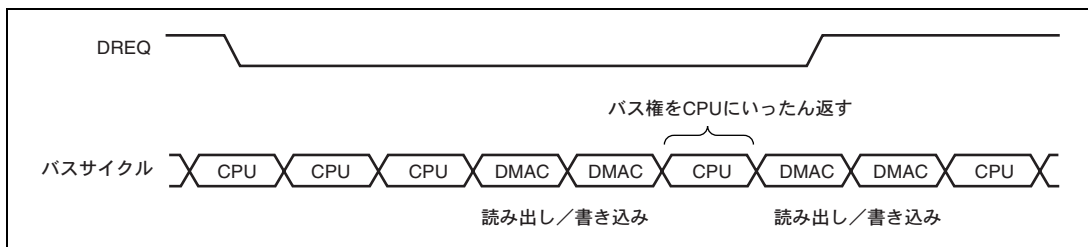


図 10.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットモード16、インターミットモード64

サイクルスチールのインターミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、Bφクロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

インターミットモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図10.10にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

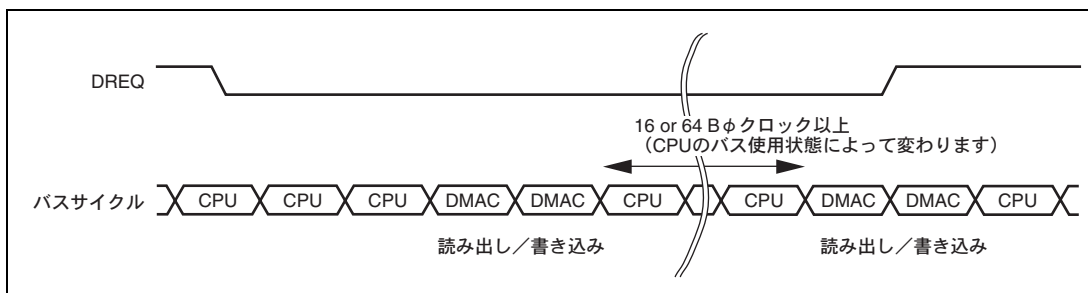


図 10.10 サイクルスチールインターミットモードの DMA 転送例
(デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 10.11 にバーストモードでの DMA 転送タイミングを示します。

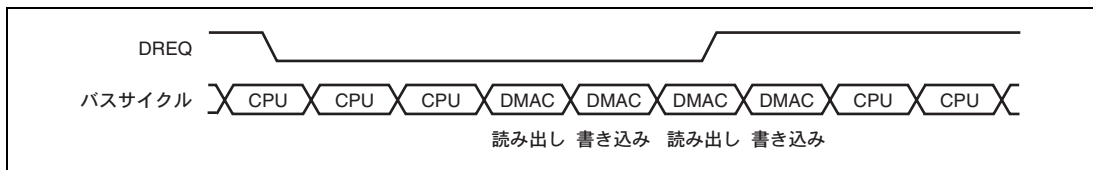


図 10.11 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.10 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 10.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3
	外部メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵メモリと内蔵メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3

【記号説明】

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、転送要求元が CMT、MTU2 の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャンネル 0~3 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、MTU2、CMT の場合のみ可能です。
- *5 転送要求元が RSPI、MTU2、CMT の場合を除いてサイクルスチールのみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 が転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0→チャンネル 1→チャンネル 0→チャンネル 1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 10.12 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

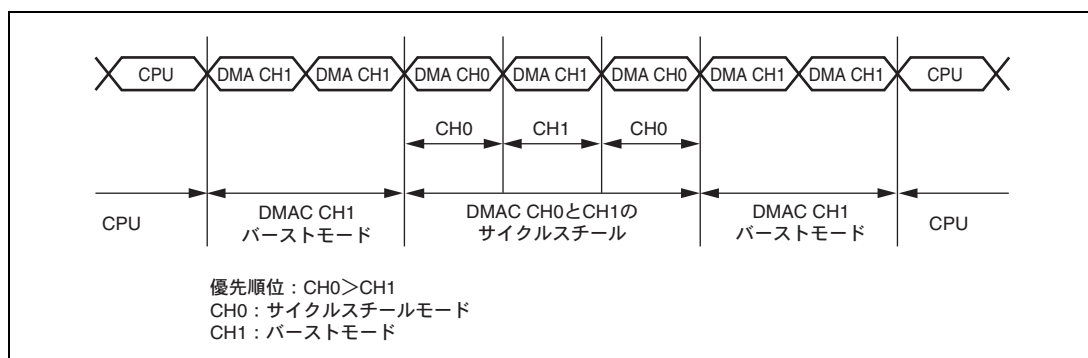


図 10.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 10.3 に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。

10.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳細は、「第 9 章 バスステートコントローラ (BSC) (SH7239A、SH7237A のみ)」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 10.13～図 10.16 に示します。

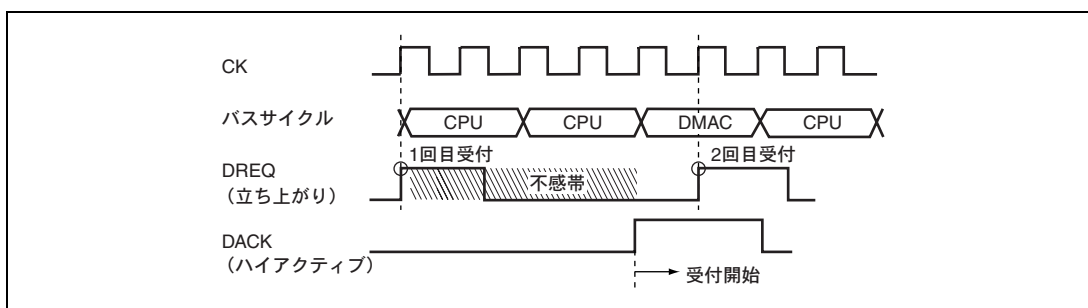


図 10.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

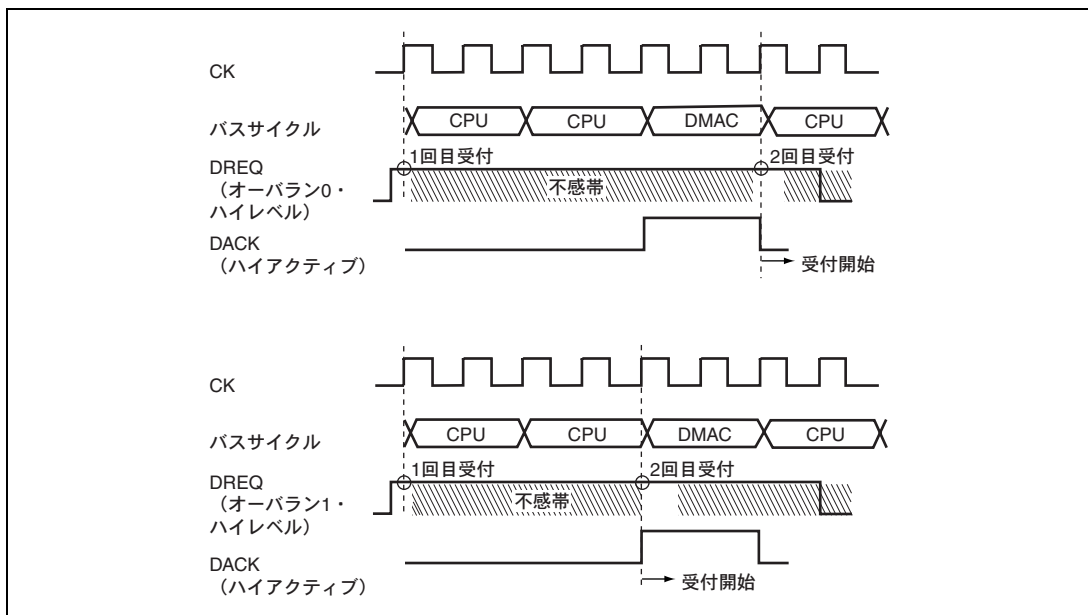


図 10.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

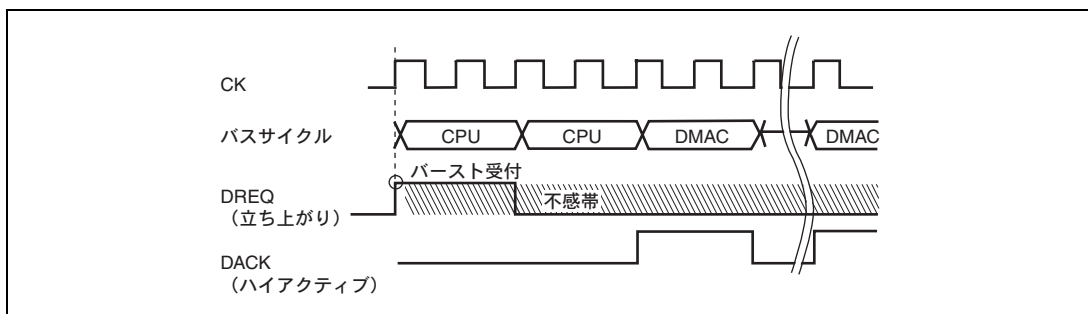


図 10.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング

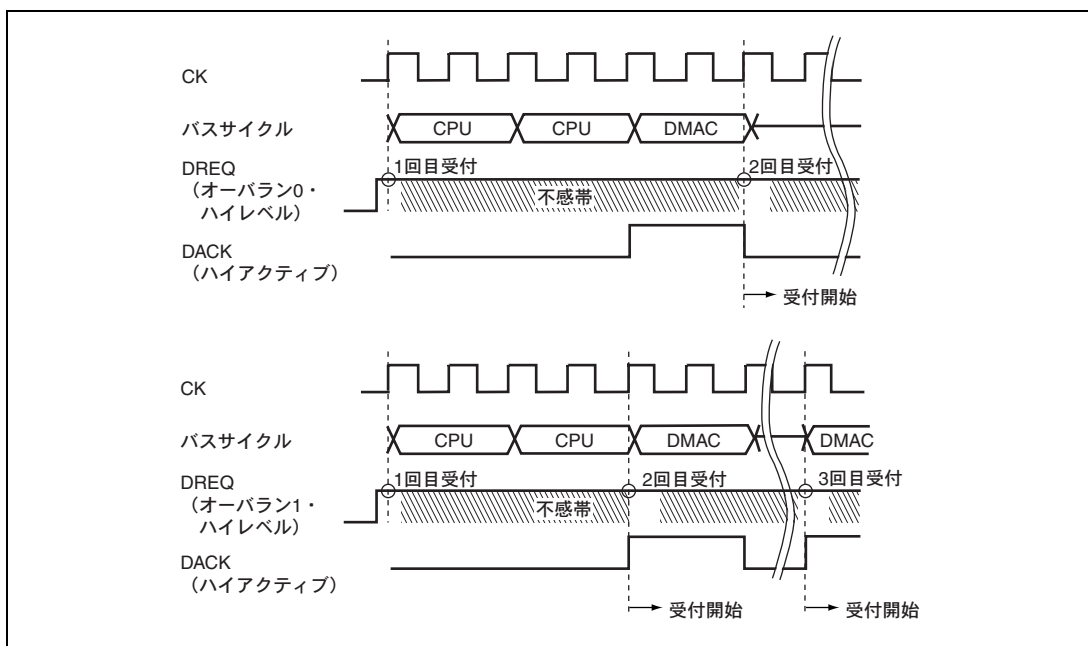


図 10.16 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 10.17 に TEND 出力のタイミングを示します。

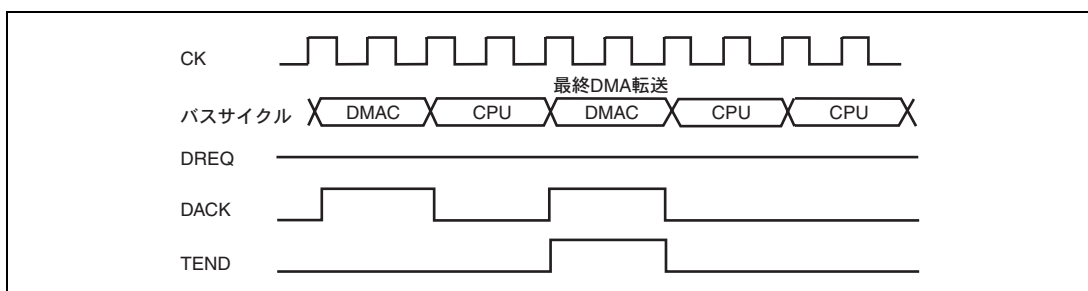


図 10.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット、16 ビット外部デバイスに 16 バイト転送を行ったり、8 ビット、16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合は、DMA 転送単位が複数のバスサイクルに分割されます。

DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で CS がネゲートする設定の場合、データをアライメントするために CS と同様に DACK 出力および TEND 出力が分割されるので注意してください。

また分割された DACK では DREQ をレベル検出モード(CHCR レジスタの DS ビットを 0)に設定すると、DREQ のサンプリングを正しく検出できず最大 1 回のオーバーランが余計に発生する可能性があります。

DACK が分割されない設定を用いるか、DACK が分割される場合は、外部デバイスのバス幅以下の転送サイズを指定するようにしてください。この例を図 10.18 に示します。

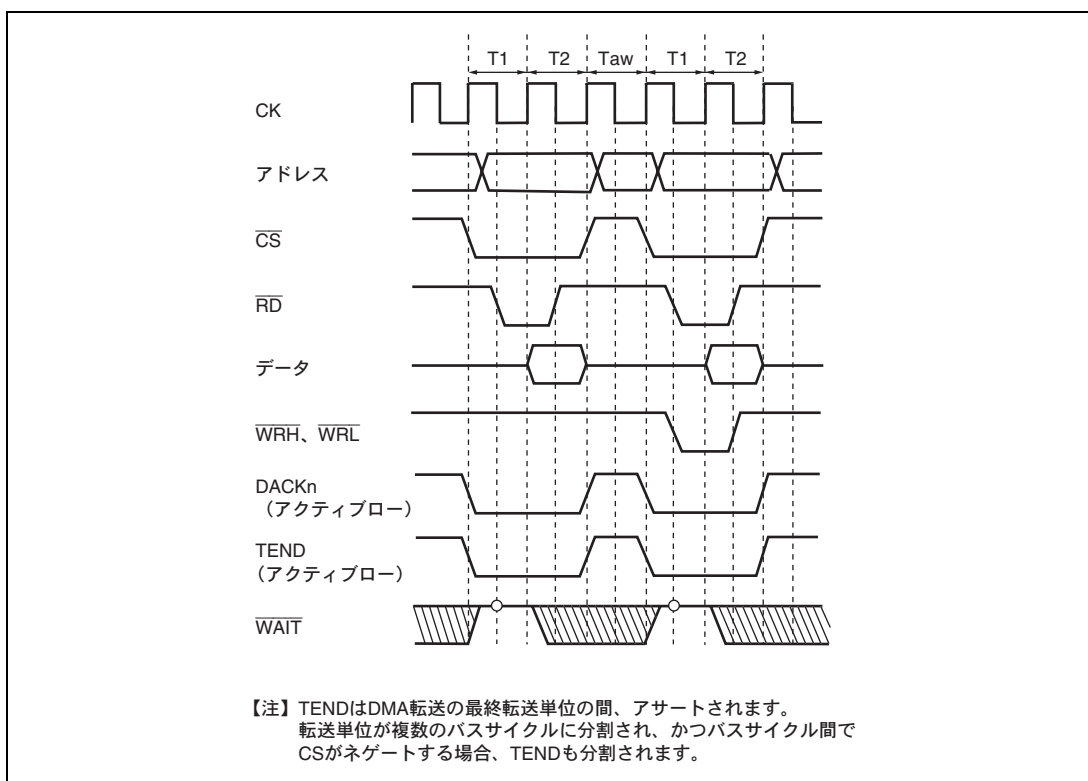


図 10.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル 1、16 ビットデバイスへのロングワードアクセス)

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

DMAC の割り込み要因はチャンネルごとにデータ転送終了割り込み (TEI) とデータ転送 1/2 終了割り込み (HEI) の 2 種類があります。

表 10.11 に各割り込み要因と優先順位を示します。各割り込み要因は、DMA チャンネルコントロールレジスタ (CHCR) の IE ビットおよび HIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMA チャンネルコントロールレジスタ (CHCR) のトランスファエンドフラグに 1 がセットされ、かつトランスファエンドインタラプトイネーブルビット (IE) に 1 がセットされているとき、データ転送終了割り込み (TEI) が発生します。DMA チャンネルコントロールレジスタ (CHCR) のハーフエンドフラグが 1 にセットされ、かつハーフエンドインタラプトイネーブルビット (HIE) が 1 にセットされているとき、データ転送 1/2 終了割り込み (HEI) が発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 10.11 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	優先順位
0	データ転送終了割り込み (TEI_0)	IE	TE	高   低
	データ転送 1/2 終了割り込み (HEI_0)	HIE	HE	
1	データ転送終了割り込み (TEI_1)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_1)	HIE	HE	
2	データ転送終了割り込み (TEI_2)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_2)	HIE	HE	
3	データ転送終了割り込み (TEI_3)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_3)	HIE	HE	
4	データ転送終了割り込み (TEI_4)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_4)	HIE	HE	
5	データ転送終了割り込み (TEI_5)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_5)	HIE	HE	
6	データ転送終了割り込み (TEI_6)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_6)	HIE	HE	
7	データ転送終了割り込み (TEI_7)	IE	TE	
	データ転送 1/2 終了割り込み (HEI_7)	HIE	HE	

10.6 使用上の注意事項

10.6.1 ハーフエンドフラグのセットおよびハーフエンド割り込み

CHCR レジスタのハーフエンドフラグの状態を参照する場合およびハーフエンド割り込みを使用する場合で、かつリロード機能を合わせて使用する場合には、以下の注意事項がありますのでご注意ください。

リロードする転送回数 (RDMATCR に設定する値) を、常に最初に設定した転送回数 (DMATCR に設定した値) と同じ転送回数にしてください。最初の DMATCR 設定値と 2 回目以降の転送で使用される RDMATCR の設定値が異なる場合、ハーフエンドフラグのセットされるタイミングが転送回数の半分よりも早くなったり、ハーフエンドフラグがセットされなかったりする場合があります。ハーフエンド割り込みも同様です。

10.6.2 DACK 出力および TEND 出力のタイミング

外部メモリが MPX-I/O またはバースト MPX-I/O の場合、DACK 出力はデータサイクルのタイミングでアサートされます。詳細は「第 9 章 バスステートコントローラ (BSC) (SH7239A、SH7237A のみ)」の「9.5.5 MPX-I/O インタフェース」の各図を参照してください。

MPX-I/O およびバースト MPX-I/O 以外のメモリ種の場合には、該当 CS アサートと同一タイミングで DACK 出力もアサートされます。

TEND 出力はメモリ種によらず、常に該当 CS アサートと同一タイミングでアサートされます。

10.6.3 CHCR の設定

CHCR の設定を変更する場合には、必ず当該チャンネルの DE ビットをクリアした後に変更してください。

10.6.4 複数チャンネルの起動時の注意事項

複数チャンネルに同じ内部リクエストを設定しないでください。

10.6.5 転送要求入力時の注意事項

転送要求は、DMAC の設定終了後に入力してください。

10.6.6 NMI 割り込みと DMAC 起動の競合

NMI 割り込みと DMAC 起動が競合した場合には NMI 割り込みが優先されますので、NMIF ビットは 1 にセットされて DMAC は起動されません。

なお、NMI による DMAC 停止判定には $2 \times \text{Bcyc}$ 、 $3 \times \text{Pcyc}$ 、DREQ による DMAC 起動判定には $4 \times \text{Bcyc}$ 、周辺モジュールからの DMAC 起動判定には $1 \times \text{Bcyc} + 1 \times \text{Pcyc}$ を要します (Bcyc は外部バスクロックの周期、Pcyc は周辺クロックの周期を示します)。

10.6.7 DMAC からの内蔵 RAM アクセスサイクル数

DMAC からの内蔵 RAM アクセスサイクル数は、リード/ライト、I ϕ (内部クロック) と B ϕ (外部バスクロック) のクロック比により、表 10.12 に示すサイクル数となります。

表 10.12 DMAC からの内蔵 RAM アクセスサイクル数

I ϕ : B ϕ の設定	リード時	ライト時
1:1	3 \times Bcyc	2 \times Bcyc
1:1/2	2 \times Bcyc	2 \times Bcyc
1:1/4	2 \times Bcyc	2 \times Bcyc
1:1/4以下	1 \times Bcyc	1 \times Bcyc

【注】 Bcyc は外部バスクロックの周期を示します。

11. マルチファンクションタイマパルスユニット 2 (MTU2)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

11.1 特長

- 最大16本のパルス入出力、3本のパルス入力が可能
- チャンネルごとに8種類のカウント入力クロックを選択可能 (チャンネル5は4種類)
- チャンネル0~4は次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種 (チョッピング、レベル) の波形出力が選択可能
- CH5により、デッドタイム補償用カウンタ機能が可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能
- MTU2の動作周波数は、以下のとおり相補PWMモードの出力の場合とその他の機能で使用する場合で異なります。

[相補PWMモードで出力時の動作周波数] 最大100MHz : SH7239B、SH7237B

最大80MHz : SH7239A、SH7237A

[その他の機能で使用時の動作周波数] 最大50MHz : SH7239B、SH7237B

最大40MHz : SH7239A、SH7237A

表 11.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5	
カウントクロック	Mφ/1 Mφ/4 Mφ/16 Mφ/64 TCLKA TCLKB TCLKC TCLKD	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/256 TCLKA TCLKB	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/1024 TCLKA TCLKB TCLKC	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/256 Mφ/1024 TCLKA TCLKB	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/256 Mφ/1024 TCLKA TCLKB	Mφ/1 Mφ/4 Mφ/16 Mφ/64	
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRU_5 TGRV_5 TGRW_5	
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	—	—	TGRC_3 TGRD_3	TGRC_4 TGRD_4	—	
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D	入力端子 TIC5U TIC5V TIC5W	
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	
コンペア マッチ出力	0 出力	○	○	○	○	○	—
	1 出力	○	○	○	○	○	—
	トグル出力	○	○	○	○	○	—
インプットキャプチャ機能	○	○	○	○	○	○	
同期動作	○	○	○	○	○	—	
PWM モード 1	○	○	○	○	○	—	
PWM モード 2	○	○	○	—	—	—	
相補 PWM モード	—	—	—	○	○	—	
リセット PWM モード	—	—	—	○	○	—	
AC 同期モータ駆動モード	○	—	—	○	○	—	
位相計数モード	—	○	○	—	—	—	
バッファ動作	○	—	—	○	○	—	
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○	

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバーフロー/ アンダフロー	TGR の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)	—

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 0A • コンペアマツチ/インプットキャプチャ 0B • コンペアマツチ/インプットキャプチャ 0C • コンペアマツチ/インプットキャプチャ 0D • コンペアマツチ 0E • コンペアマツチ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 1A • コンペアマツチ/インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 2A • コンペアマツチ/インプットキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 3A • コンペアマツチ/インプットキャプチャ 3B • コンペアマツチ/インプットキャプチャ 3C • コンペアマツチ/インプットキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 4A • コンペアマツチ/インプットキャプチャ 4B • コンペアマツチ/インプットキャプチャ 4C • コンペアマツチ/インプットキャプチャ 4D • オーバフロー / アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマツチ/インプットキャプチャ 5U • コンペアマツチ/インプットキャプチャ 5V • コンペアマツチ/インプットキャプチャ 5W
A/D 変換開始要求 ディレイド機能	—	—	—	—	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の一致で、A/D 変換開始要求 • TADCORB_4 と TCNT_4 の一致で、A/D 変換開始要求 	—
割り込み間引き機能	—	—	—	<ul style="list-style-type: none"> • TGRA_3 のコンペアマツチ割り込みを間引き 	<ul style="list-style-type: none"> • TCIV_4 割り込みを間引き 	—

【記号説明】

○：可能

—：不可

図 11.1 に MTU2 のブロック図を示します。

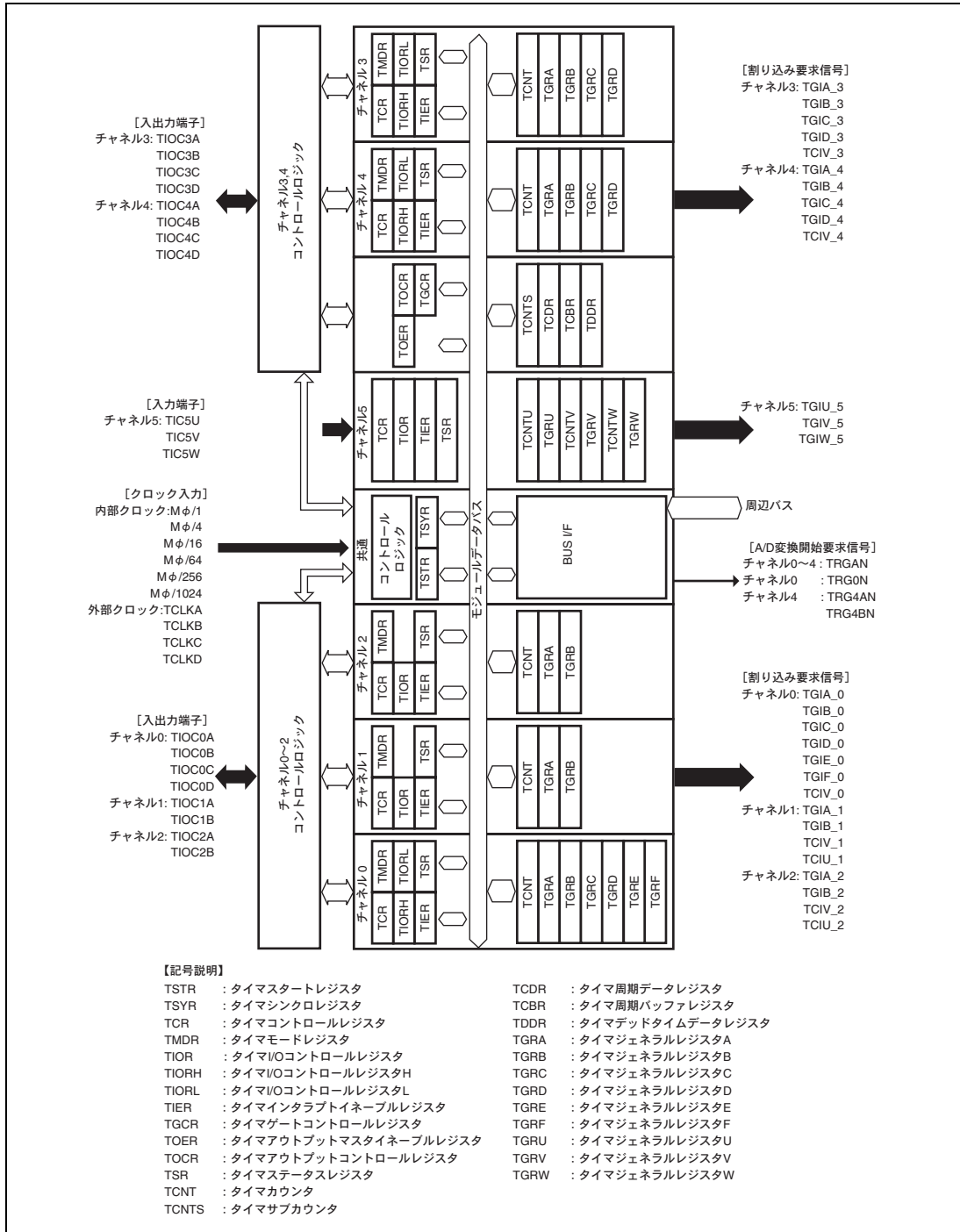


図 11.1 MTU2 のブロック図

11.2 入出力端子

表 11.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

チャンネル	端子名	入出力	機能
5	TIC5U	入力	TGRU_5 のインプットキャプチャ入力/外部パルス入力端子
	TIC5V	入力	TGRV_5 のインプットキャプチャ入力/外部パルス入力端子
	TIC5W	入力	TGRW_5 のインプットキャプチャ入力/外部パルス入力端子

11.3 レジスタの説明

MTU2には各チャネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第28章 レジスタ一覧」を参照してください。各チャネルのレジスタ名についてはチャネル0のTCRはTCR_0と表記してあります。

表 11.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8、16、32
タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8、16
タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
タイマI/Oコントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8、16、32
タイマI/Oコントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
タイマI/Oコントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8、16
タイマI/Oコントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
タイマインタラプトイネーブルレジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8、16
タイマインタラプトイネーブルレジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'C0	H'FFFE420A	8
タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FFFE420D	8
タイマアウトプットコントロールレジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8、16
タイマアウトプットコントロールレジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16、32
タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16、32
タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16、32
タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16、32
タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16、32
タイマ周期バッファレジスタ	TGBR	R/W	H'FFFF	H'FFFE4222	16
タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16、32
タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16、32
タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FFFE422C	8、16
タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FFFE422D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8、16
タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
タイマデッドタイムイネーブルレジスタ	TDER	R/W	H'01	H'FFFE4234	8
タイマアウトプットレベルバッファレジスタ	TOLBR	R/W	H'00	H'FFFE4236	8
タイマバッファ動作転送モードレジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8、16
タイマバッファ動作転送モードレジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8
タイマ A/D 変換開始要求コントロールレジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8、16
タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
タイマカウンタシンクロスタートレジスタ	TCSYSTR	R/W	H'00	H'FFFE4282	8
タイマリードライトイネーブルレジスタ	TRWER	R/W	H'01	H'FFFE4284	8
タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8、16、32
タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8、16
タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
タイマインタラプトイネーブルレジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8、16、32
タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16、32
タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16、32
タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16、32
タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8、16
タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
タイマバッファ動作転送モードレジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8、16
タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8
タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマインタラプトイネーブルレジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8、16、32
タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16、32
タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
タイマインプットキャプチャコントロールレジスタ	TICCR	R/W	H'00	H'FFFE4390	8
タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8、16
タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
タイマI/Oコントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
タイマインタラプトイネーブルレジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8、16、32
タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FFFE4005	8
タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16、32
タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
タイマカウンタ U_5	TCNTU_5	R/W	H'0000	H'FFFE4080	16、32
タイマジェネラルレジスタ U_5	TGRU_5	R/W	H'FFFF	H'FFFE4082	16
タイマコントロールレジスタ U_5	TCRU_5	R/W	H'00	H'FFFE4084	8
タイマI/Oコントロールレジスタ U_5	TIORU_5	R/W	H'00	H'FFFE4086	8
タイマカウンタ V_5	TCNTV_5	R/W	H'0000	H'FFFE4090	16、32
タイマジェネラルレジスタ V_5	TGRV_5	R/W	H'FFFF	H'FFFE4092	16
タイマコントロールレジスタ V_5	TCRV_5	R/W	H'00	H'FFFE4094	8
タイマI/Oコントロールレジスタ V_5	TIORV_5	R/W	H'00	H'FFFE4096	8
タイマカウンタ W_5	TCNTW_5	R/W	H'0000	H'FFFE40A0	16、32
タイマジェネラルレジスタ W_5	TGRW_5	R/W	H'FFFF	H'FFFE40A2	16
タイマコントロールレジスタ W_5	TCRW_5	R/W	H'00	H'FFFE40A4	8
タイマI/Oコントロールレジスタ W_5	TIORW_5	R/W	H'00	H'FFFE40A6	8
タイマステータスレジスタ_5	TSR_5	R/W	H'00	H'FFFE40B0	8
タイマインタラプトイネーブルレジスタ_5	TIER_5	R/W	H'00	H'FFFE40B2	8
タイマスタートレジスタ_5	TSTR_5	R/W	H'00	H'FFFE40B4	8
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	R/W	H'00	H'FFFE40B6	8

11.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し／書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、チャンネル 5 には TCRU/V/W_5 の 3 本、計 8 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]			TPSC[2:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 11.4、表 11.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $M\phi/4$ の両エッジ = $M\phi/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $M\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $M\phi/1$ 、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合、値は書き込めますが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイムプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.6~表 11.9 を参照してください。

【記号説明】 x: Don't care

表 11.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 11.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 11.6 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Mφ/1 でカウント
	0	0	1	内部クロック : Mφ/4 でカウント
	0	1	0	内部クロック : Mφ/16 でカウント
	0	1	1	内部クロック : Mφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.7 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Mφ/1 でカウント
	0	0	1	内部クロック : Mφ/4 でカウント
	0	1	0	内部クロック : Mφ/16 でカウント
	0	1	1	内部クロック : Mφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Mφ/256 でカウント
	1	1	1	TCNT_2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Mφ/1 でカウント
	0	0	1	内部クロック : Mφ/4 でカウント
	0	1	0	内部クロック : Mφ/16 でカウント
	0	1	1	内部クロック : Mφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Mφ/1024 でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 11.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : M ϕ /1 でカウント
	0	0	1	内部クロック : M ϕ /4 でカウント
	0	1	0	内部クロック : M ϕ /16 でカウント
	0	1	1	内部クロック : M ϕ /64 でカウント
	1	0	0	内部クロック : M ϕ /256 でカウント
	1	0	1	内部クロック : M ϕ /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

表 11.10 TPSC1、TPSC0 (チャンネル 5)

チャンネル	ビット 1	ビット 0	説 明
	TPSC1	TPSC0	
5	0	0	内部クロック : M ϕ /1 でカウント
	0	1	内部クロック : M ϕ /4 でカウント
	1	0	内部クロック : M ϕ /16 でカウント
	1	1	内部クロック : M ϕ /64 でカウント

【注】 チャンネル 5 では、ビット 7~2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し／書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0～4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されず。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD の入力キャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGF D がセットされますので、タイムインタラプトイネーブルレジスタ_3/4 (TIER_3/4) の TGIED ビットは 0 にしてください。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作

ビット	ビット名	初期値	R/W	説明
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイマインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3~MD0 はタイマの動作モードを設定します。</p> <p>詳細は表 11.11 を参照してください。</p>

表 11.11 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説 明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* ¹
0	1	0	0	位相計数モード 1* ²
0	1	0	1	位相計数モード 2* ²
0	1	1	0	位相計数モード 3* ²
0	1	1	1	位相計数モード 4* ²
1	0	0	0	リセット同期 PWM モード* ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* ³
1	1	1	0	相補 PWM モード 2 (谷で転送)* ³
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し／書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、チャンネル 5 には TIORU/V/W_5 の 3 本、計 11 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット： 7 6 5 4 3 2 1 0

IOB[3:0]				IOA[3:0]			
----------	--	--	--	----------	--	--	--

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3~B0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 11.12 TIOR_1 : 表 11.14 TIOR_2 : 表 11.15 TIORH_3 : 表 11.16 TIORH_4 : 表 11.18
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3~A0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 11.20 TIOR_1 : 表 11.22 TIOR_2 : 表 11.23 TIORH_3 : 表 11.24 TIORH_4 : 表 11.26

- TIORL_0、TIORL_3、TIORL_4

ビット： 7 6 5 4 3 2 1 0

IOD[3:0]				IOC[3:0]			
----------	--	--	--	----------	--	--	--

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 11.13 TIORL_3 : 表 11.17 TIORL_4 : 表 11.19
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 11.21 TIORL_3 : 表 11.25 TIORL_4 : 表 11.27

- TIORU_5、TIORV_5、TIORW_5

ビット： 7 6 5 4 3 2 1 0

-	-	-	IOC[4:0]				
---	---	---	----------	--	--	--	--

初期値： 0 0 0 0 0 0 0 0
R/W： R R R R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

4~0	IOC[4:0]	00000	R/W	I/O コントロール C4~C0 IOC4~IOC0 ビットは TGRU/V/W_5 の機能を設定します。 詳細については表 11.28 を参照してください。
-----	----------	-------	-----	---

表 11.12 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.13 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.14 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.16 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.17 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.18 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.19 TIORL_4 (チャンネル 4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表 11.20 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.21 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.22 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.23 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.24 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.25 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.26 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.27 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.28 TIORU_5、TIORV_5、TIORW_5 (チャンネル 5)

ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	TGRU_5、TGRV_5、 TGRW_5 の機能	TIC5U、TIC5V、TIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定禁止
0	0	0	1	x		設定禁止
0	0	1	x	x		設定禁止
0	1	x	x	x		設定禁止
1	0	0	0	0	インプットキャプチャ レジスタ	設定禁止
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定禁止
1	1	0	0	0		設定禁止
1	1	0	0	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	0	1	0		外部入力信号の Low パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	0	1	1		外部入力信号の Low パルス幅測定用 相補 PWM モードの山と谷でキャプチャ
1	1	1	0	0		設定禁止
1	1	1	0	1		外部入力信号の High パルス幅測定用 相補 PWM モードの谷でキャプチャ
1	1	1	1	0		外部入力信号の High パルス幅測定用 相補 PWM モードの山でキャプチャ
1	1	1	1	1		外部入力信号の High パルス幅測定用 相補 PWM モードの山と谷でキャプチャ

【記号説明】 x : Don't care

11.3.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

TCNTCMPCLR は、8 ビットの読み出し／書き込み可能なレジスタで、TCNTU_5、TCNTV_5、TCNTW_5 のクリア要求を設定することができます。MTU2 には、チャンネル 5 に 1 本の TCNTCMPCLR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMP CLR5U	CMP CLR5V	CMP CLR5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CMPCLR5U	0	R/W	TCNT コンペアクリア 5U TGRU_5 のコンペアマッチ／インプットキャプチャによる、TCNTU_5 クリア要求を許可または禁止します。 0: TCNTU_5 と TGRU_5 のコンペアマッチ／インプットキャプチャによる、TCNTU_5 の H'0000 クリアを禁止 1: TCNTU_5 と TGRU_5 のコンペアマッチ／インプットキャプチャによる、TCNTU_5 の H'0000 クリアを許可
1	CMPCLR5V	0	R/W	TCNT コンペアクリア 5V TGRV_5 のコンペアマッチ／インプットキャプチャによる、TCNTV_5 クリア要求を許可または禁止します。 0: TCNTV_5 と TGRV_5 のコンペアマッチ／インプットキャプチャによる、TCNTV_5 の H'0000 クリアを禁止 1: TCNTV_5 と TGRV_5 のコンペアマッチ／インプットキャプチャによる、TCNTV_5 の H'0000 クリアを許可
0	CMPCLR5W	0	R/W	TCNT コンペアクリア 5W TCNTW_5 と TGRW_5 のコンペアマッチ／インプットキャプチャによる、TCNTW_5 クリア要求を許可または禁止します。 0: TCNTW_5 と TGRW_5 のコンペアマッチ／インプットキャプチャによる、TCNTW_5 の H'0000 クリアを禁止 1: TCNTW_5 と TGRW_5 のコンペアマッチ／インプットキャプチャによる、TCNTW_5 の H'0000 クリアを許可

11.3.5 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~5 に各 1 本、計 7 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求（TCIU）を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求（TCIU）を禁止 1 : TCFU による割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求（TCIV）を許可または禁止します。 0 : TCFV による割り込み要求（TCIV）を禁止 1 : TCFV による割り込み要求（TCIV）を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

- TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGFE ビットによる割り込み要求 (TGIF) を禁止 1 : TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGEE ビットによる割り込み要求 (TGIE) を禁止 1 : TGEE ビットによる割り込み要求 (TGIE) を許可

- TIER_5

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TGIE5U	TGIE5V	TGIE5W
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TGIE5U	0	R/W	TGR インタラプトイネーブル 5U TSR_5 の CMFU5 ビットに1がセットされたとき、CMFU5 ビットによる割り込み要求 (TGIU_5) を許可または禁止します。 0 : TGIU_5 割り込み要求を禁止 1 : TGIU_5 割り込み要求を許可
1	TGIE5V	0	R/W	TGR インタラプトイネーブル 5V TSR_5 の CMFV5 ビットに1がセットされたとき、CMFV5 ビットによる割り込み要求 (TGIV_5) を許可または禁止します。 0 : TGIV_5 割り込み要求を禁止 1 : TGIV_5 割り込み要求を許可
0	TGIE5W	0	R/W	TGR インタラプトイネーブル 5W TSR_5 の CMFW5 ビットに1がセットされたとき、CMFW5 ビットによる割り込み要求 (TGIW_5) を許可または禁止します。 0 : TGIW_5 割り込み要求を禁止 1 : TGIW_5 割り込み要求を許可

11.3.6 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し／書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1～5 に各 1 本、計 7 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1～4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF→ H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001→ H'0000) したときにも本フラグがセットされます。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 チャンネル 4 では、TCIV 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときにもクリアされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*²
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*²
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*²

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動されたとき • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*²

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)* ¹	R/(W)* ¹

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)* ¹	<p>コンペアマッチフラグ F</p> <p>TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0 = TGRF_0 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFF=1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*²

0	TGFE	0	R/(W)* ¹	<p>コンペアマッチフラグ E</p> <p>TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0=TGRE_0 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFE=1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*²
---	------	---	---------------------	---

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のコンペアマッチによるフラグセットが発生した場合は、0 を書き込んでフラグはクリアされませんので、再度 1 を読み出して 0 を書き込んでください。

• TSR_5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMFU5	CMFV5	CMFW5
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	CMFU5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ U5</p> <p>TGRU_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRU_5 がコンペアマッチレジスタとして機能している場合、TCNTU_5=TGRU_5 になったとき • TGRU_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTU_5 の値が TGRU_5 に転送されたとき • TGRU_5 が外部入力信号のパルス幅測定として機能している場合、TCNTU_5 の値が TGRU_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIU_5 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • CMFU5=1 の状態で CMFU5 をリード後、CMFU5 に 0 をライトしたとき

1	CMFV5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ V5</p> <p>TGRV_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRV_5 がコンペアマッチレジスタとして機能している場合、TCNTV_5 = TGRV_5 になったとき • TGRV_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTV_5 の値が TGRV_5 に転送されたとき • TGRV_5 が外部入力信号のパルス幅測定として機能している場合、TCNTV_5 の値が TGRV_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIW_5 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • CMFV5=1 の状態で CMFV5 をリード後、CMFV5 に 0 をライトしたとき
---	-------	---	---------------------	---

ビット	ビット名	初期値	R/W	説明
0	CMFW5	0	R/(W)* ¹	<p>コンペアマッチ/インプットキャプチャフラグ W5</p> <p>TGRW_5 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRW_5 がコンペアマッチレジスタとして機能している場合、TCNTW_5 = TGRW_5 になったとき • TGRW_5 がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTW_5 の値が TGRW_5 に転送されたとき • TGRW_5 が外部入力信号のパルス幅測定として機能している場合、TCNTW_5 の値が TGRW_5 に転送されたとき*² <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIW_5 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • CMFW5=1 の状態で CMFW5 をリード後、CMFW5 に 0 をライトしたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 転送するタイミングは、タイマ I/O コントロールレジスタ U_5/V_5/W_5 (TIORU_5/V_5/W_5) の IOC ビットで設定します。

11.3.7 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し／書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

11.3.8 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し／書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する／しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する／しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する／しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する／しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

11.3.9 タイマシンクロクリアレジスタ S (TSYCRS)

TSYCR は、8 ビットの読み出し／書き込み可能なレジスタで、MTU2 からの MTU2S の TCNT_3、TCNT_4 の同期クリア条件の設定を行います。MTU2S には、チャンネル3に1本の TSYCRS があります。ただし MTU2 には TSYCRS はありません。

ビット:	7	6	5	4	3	2	1	0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CE0A	0	R/W	クリアイネーブル 0A MTU2 の TSR_0 の TGFA フラグセットでのクリア禁止／許可を設定します。 0: TSR_0 の TGFA フラグセットでのクリア禁止 1: TSR_0 の TGFA フラグセットでのクリア許可
6	CE0B	0	R/W	クリアイネーブル 0B MTU2 の TSR_0 の TGFB フラグセットでのクリア禁止／許可を設定します。 0: TSR_0 の TGFB フラグセットでのクリア禁止 1: TSR_0 の TGFB フラグセットでのクリア許可
5	CE0C	0	R/W	クリアイネーブル 0C MTU2 の TSR_0 の TGFC フラグセットでのクリア禁止／許可を設定します。 0: TSR_0 の TGFC フラグセットでのクリア禁止 1: TSR_0 の TGFC フラグセットでのクリア許可
4	CE0D	0	R/W	クリアイネーブル 0D MTU2 の TSR_0 の TGFD フラグセットでのクリア禁止／許可を設定します。 0: TSR_0 の TGFD フラグセットでのクリア禁止 1: TSR_0 の TGFD フラグセットでのクリア許可
3	CE1A	0	R/W	クリアイネーブル 1A MTU2 の TSR_1 の TGFA フラグセットでのクリア禁止／許可を設定します。 0: TSR_1 の TGFA フラグセットでのクリア禁止 1: TSR_1 の TGFA フラグセットでのクリア許可
2	CE1B	0	R/W	クリアイネーブル 1B MTU2 の TSR_1 の TGFB フラグセットでのクリア禁止／許可を設定します。 0: TSR_1 の TGFB フラグセットでのクリア禁止 1: TSR_1 の TGFB フラグセットでのクリア許可
1	CE2A	0	R/W	クリアイネーブル 2A MTU2 の TSR_2 の TGFA フラグセットでのクリア禁止／許可を設定します。 0: TSR_2 の TGFA フラグセットでのクリア禁止 1: TSR_2 の TGFA フラグセットでのクリア許可

ビット	ビット名	初期値	R/W	説明
0	CE2B	0	R/W	クリアイネーブル 2B MTU2 の TSR_2 の TGFB フラグセットでのクリア禁止/許可を設定します。 0 : TSR_2 の TGFB フラグセットでのクリア禁止 1 : TSR_2 の TGFB フラグセットでのクリア許可

11.3.10 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換開始要求の許可/禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する/しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
初期値:	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 11.29 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可/禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可/禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可/禁止を設定します。 0 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可/禁止を設定します。 0 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する/しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する/しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する/しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する/しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 11.29 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する* ¹
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する* ²

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1/通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

11.3.11 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し/書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.12 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し/書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.13 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し／書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、チャンネル 5 に TCNTU/V/W_5 の 3 本、計 8 本の TCNT があります。

TCNT は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.14 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し／書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、チャンネル 5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE-TGRF になります。

TGRU_5、TGRV_5、TGRW_5 はコンペアマッチ／インプットキャプチャ／外部パルス幅測定兼用のレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

11.3.15 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0～4 の TCNT の動作／停止を選択します。

TSTR_5 は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 5 の TCNTU/V/W_5 の動作／停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- TSTR

ビット :	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2～0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2～TCNT_0 のカウント動作は停止 1 : TCNT_2～TCNT_0 はカウント動作

- TSTR_5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSTU5	CSTV5	CSTW5
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CSTU5	0	R/W	カウンタスタート U5 TCNTU_5 の動作または停止を選択します。 0 : TCNTU_5 のカウンタ動作は停止 1 : TCNTU_5 のカウンタ動作
1	CSTV5	0	R/W	カウンタスタート V5 TCNTV_5 の動作または停止を選択します。 0 : TCNTV_5 のカウンタ動作は停止 1 : TCNTV_5 のカウンタ動作
0	CSTW5	0	R/W	カウンタスタート W5 TCNTW_5 の動作または停止を選択します。 0 : TCNTW_5 のカウンタ動作は停止 1 : TCNTW_5 のカウンタ動作

11.3.16 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能
5~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

11.3.17 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

TCSYSTR は、8 ビットの読み出し／書き込み可能なレジスタで、MTU2 と MTU2S のカウンタの同期スタートを行います。ただし MTU2S には TCSYSTR はありません。

ビット:	7	6	5	4	3	2	1	0
	SCH0	SCH1	SCH2	SCH3	SCH4	-	SCH3S	SCH4S
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*

【注】 * レジスタをセットするために1を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SCH0	0	R/(W)*	シンクロスタート MTU2 の TCNT_0 のシンクロスタートを制御します。 0 : MTU2 の TCNT_0 をシンクロスタートしない 1 : MTU2 の TCNT_0 をシンクロスタートする [クリア条件] • SCH0=1 の状態で、MTU2 の TSTR の CST0 ビットに 1 をセットしたとき
6	SCH1	0	R/(W)*	シンクロスタート MTU2 の TCNT_1 のシンクロスタートを制御します。 0 : MTU2 の TCNT_1 をシンクロスタートしない 1 : MTU2 の TCNT_1 をシンクロスタートする [クリア条件] • SCH1=1 の状態で、MTU2 の TSTR の CST1 ビットに 1 をセットしたとき
5	SCH2	0	R/(W)*	シンクロスタート MTU2 の TCNT_2 のシンクロスタートを制御します。 0 : MTU2 の TCNT_2 をシンクロスタートしない 1 : MTU2 の TCNT_2 をシンクロスタートする [クリア条件] • SCH2=1 の状態で、MTU2 の TSTR の CST2 ビットに 1 をセットしたとき
4	SCH3	0	R/(W)*	シンクロスタート MTU2 の TCNT_3 のシンクロスタートを制御します。 0 : MTU2 の TCNT_3 をシンクロスタートしない 1 : MTU2 の TCNT_3 をシンクロスタートする [クリア条件] • SCH3=1 の状態で、MTU2 の TSTR の CST3 ビットに 1 をセットしたとき

ビット	ビット名	初期値	R/W	説明
3	SCH4	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2 の TCNT_4 のシンクロスタートを制御します。</p> <p>0 : MTU2 の TCNT_4 をシンクロスタートしない</p> <p>1 : MTU2 の TCNT_4 をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH4=1 の状態で、MTU2 の TSTR の CST4 ビットに 1 をセットしたとき</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SCH3S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_3S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_3S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_3S をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH3S=1 の状態で、MTU2S の TSTRS の CST3 ビットに 1 をセットしたとき</p>
0	SCH4S	0	R/(W)*	<p>シンクロスタート</p> <p>MTU2S の TCNT_4S のシンクロスタートを制御します。</p> <p>0 : MTU2S の TCNT_4S をシンクロスタートしない</p> <p>1 : MTU2S の TCNT_4S をシンクロスタートする</p> <p>[クリア条件]</p> <p>• SCH4S=1 の状態で、MTU2S の TSTRS の CST4 ビットに 1 をセットしたとき</p>

【注】 * レジスタをセットするために 1 を書き込むことのみ可能です。

11.3.18 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE=1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ／カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

11.3.19 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し／書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可／禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「11.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「11.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード／リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

11.3.20 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】 * パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可／禁止を設定します。 0: トグル出力を禁止 1: トグル出力を許可
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W)*	TOC レジスタ書き込み禁止ビット*1 TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。 0: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1: TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0: TOCR1 の設定を有効にする 1: TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N*2*3 リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。表 11.30 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P*2*3 リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。表 11.31 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 デッドタイムを生成しない場合は、逆相の出力は正相の反転となります。このとき、OLSP ビット設定値のみ有効となります。

表 11.30 出力レベルセレクト機能

ビット 1	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.31 出力レベルセレクト機能

ビット 0	機 能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 11.2 に示します。

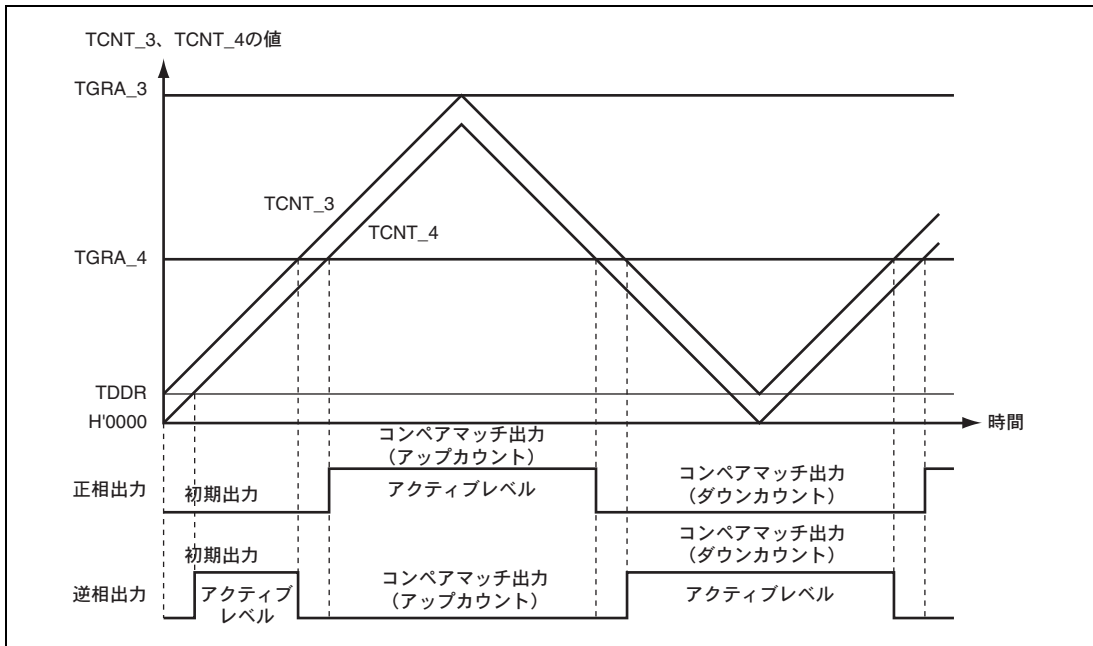


図 11.2 相補 PWM モードの出力レベルの例

11.3.21 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 11.32 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 11.33 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 11.34 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 11.35 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 11.36 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 11.37 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P ^{*1*2} リセット同期 PWM モード／相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 11.38 を参照してください。

【注】 *1 TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

*2 デッドタイムを生成しない場合は、逆相の出力の反転となります。このとき、OLS*i*P ビット設定値のみ有効となります。(i=1、2、3)

表 11.32 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 11.33 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.34 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 11.35 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.36 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 11.37 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.38 TIOC3B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

11.3.22 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 11.3 に示します。

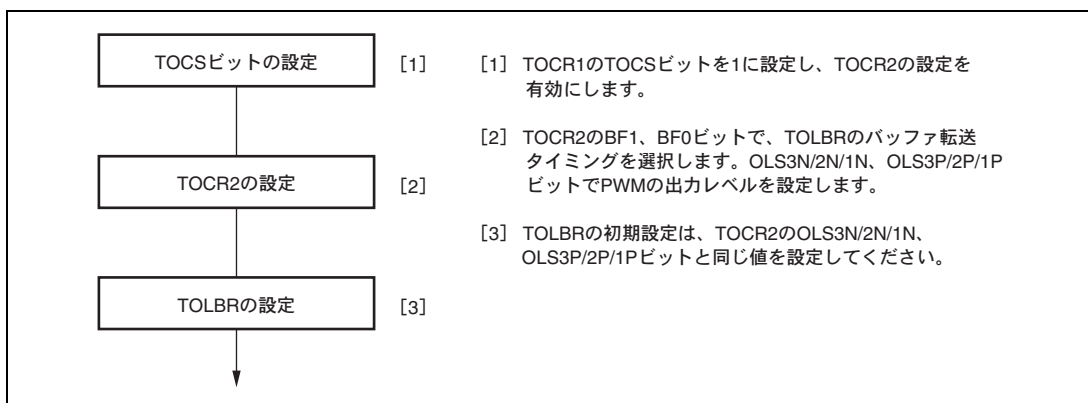


図 11.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

11.3.23 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM/相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM/相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相/逆相の出力の切り換えを MTU2/チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことを行うかを選択します。 0: 出力の切り換えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り換えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り換え 2~0
1	VF	0	R/W	正相/逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 11.39 を参照してください。
0	UF	0	R/W	

【注】 MTU2S で BDC ビットに 1 を設定した場合、FB ビットには 0 を設定しないでください。

表 11.39 出力レベルセレクト機能

ビット2	ビット1	ビット0	機能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

11.3.24 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.25 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.26 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし TDDR の 2 倍+3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント → アップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.27 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

11.3.28 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し／書き込み可能なレジスタで、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止／許可を設定します。 0: TGIA_3 割り込みの間引きを禁止する 1: TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 11.40 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止／許可を設定します。 0: TCIV_4 割り込みの間引きを禁止する 1: TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 11.41 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 11.40 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 11.41 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

11.3.29 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNTは、8ビットの読み出し可能なカウンタです。MTU2には1本のTITCNTがあります。TITCNTは、TCNT_3およびTCNT_4のカウンタ動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2~3ACOR0 と TITCNT の 3ACNT2~3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2~3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

11.3.30 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する／しない、または割り込み間引き機能と連動する／しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する／しない、または割り込み間引き機能と連動する／しないを設定します。詳細は表 11.42 を参照してください。

【注】 * 対象バッファレジスタ

TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 11.42 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3～MD0 の設定に従い転送します。詳細は「11.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）の BTE1 を 0 に設定）にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

11.3.31 タイマデッドタイムイネーブルレジスタ（TDER）

TDER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする／しないを設定します。 0：デッドタイムを生成しない 1：デッドタイムを生成する* [クリア条件] • TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR ≥ 1 に設定してください。

11.3.32 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	SCC	WRE
初期値：	0*	0	0	0	0	0	0	0
R/W：	R/(W)	R	R	R	R	R	R/(W)	R/(W)

【注】 * 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。 0：TGRA_3 のコンペアマッチによるカウンタクリアをしない 1：TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE=0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SCC	0	R/(W)	同期クリアコントロール 相補 PWM モードで MTU2-MTU2S カウンタ同期クリアが発生したときに、MTU2S の TCNT_3、TCNT_4 をクリアする／しないを設定します。 本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。 また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。 SCC ビットの設定により MTU2 からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。TCNT_3、TCNT_4 スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU2S の TCNT_3、TCNT_4 がクリアされます。 相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。 MTU2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0：MTU2-MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア有効 1：MTU2-MTU2S 同期クリア機能による MTU2S の TCNT_3、TCNT_4 のクリア無効 [セット条件] • SCC=0 の状態で SCC をリード後、SCC に 1 をライトしたとき

ビット	ビット名	初期値	R/W	説 明
0	WRE	0	R/(W)	<p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

11.3.33 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。また、8 ビット単位での読み出し/書き込みもできます。

11.4 動作説明

11.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0~CST4 ビット、TSTR_5 の CSTU5、CSTV5、CSTW5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 11.4 に示します。

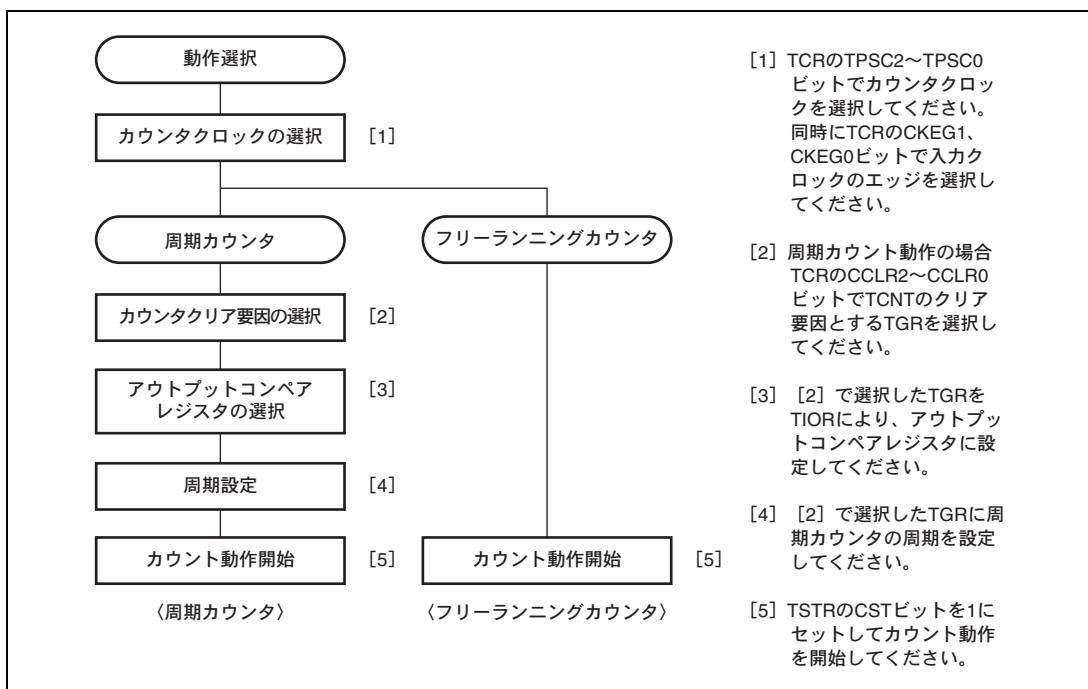


図 11.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 11.5 に示します。

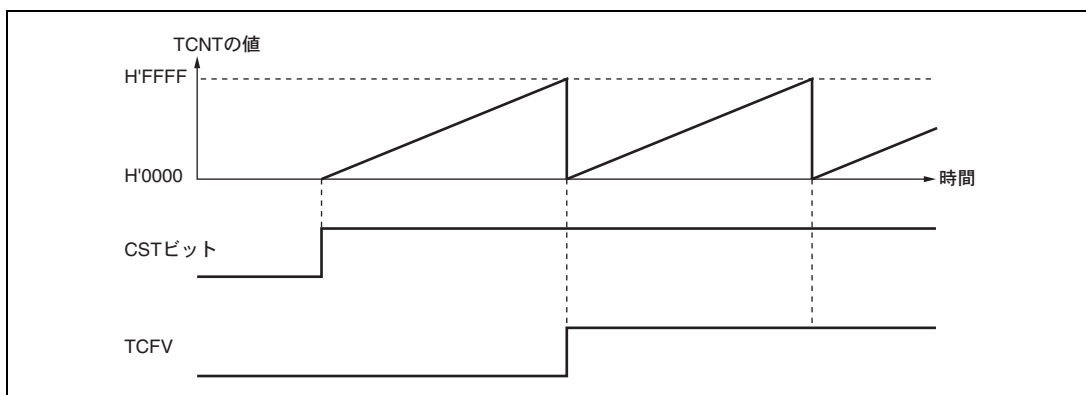


図 11.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

周期カウンタの動作を図 11.6 に示します。

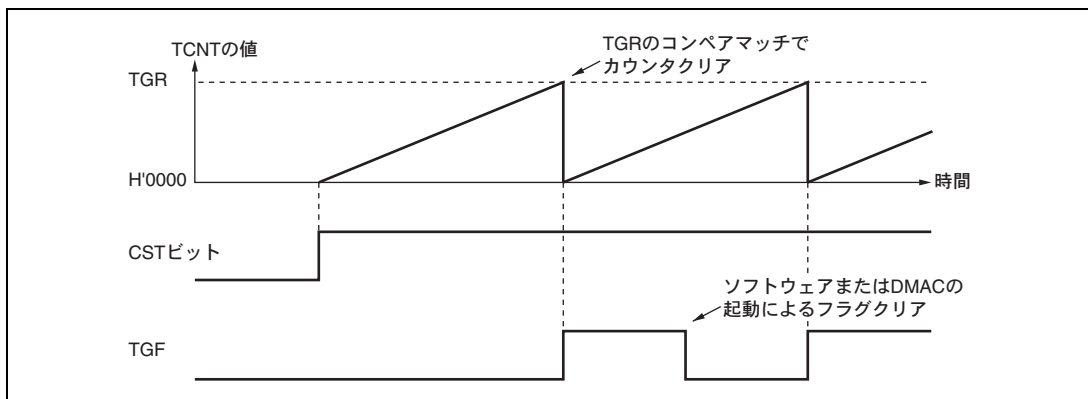


図 11.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.7 に示します。

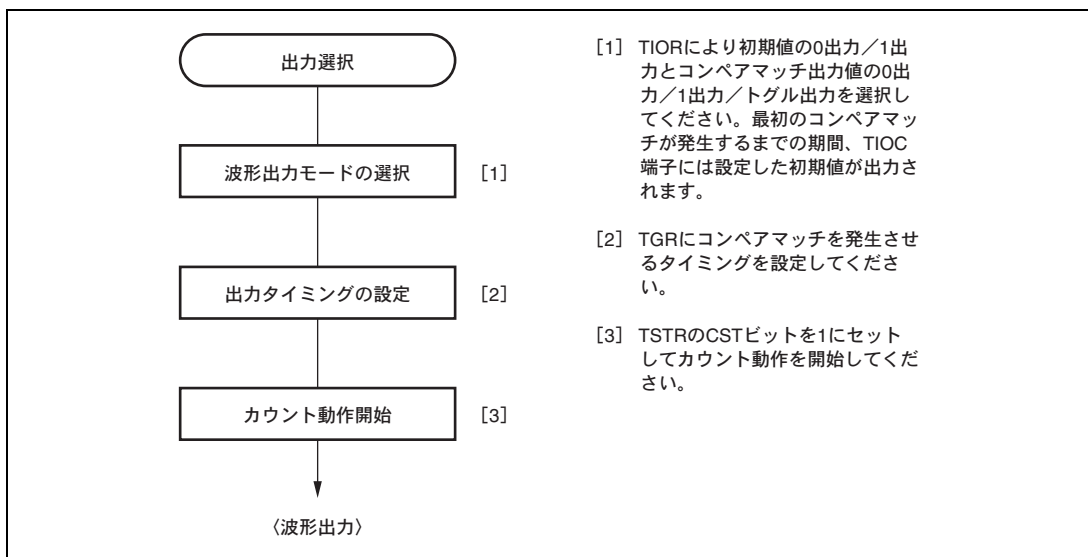


図 11.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 11.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

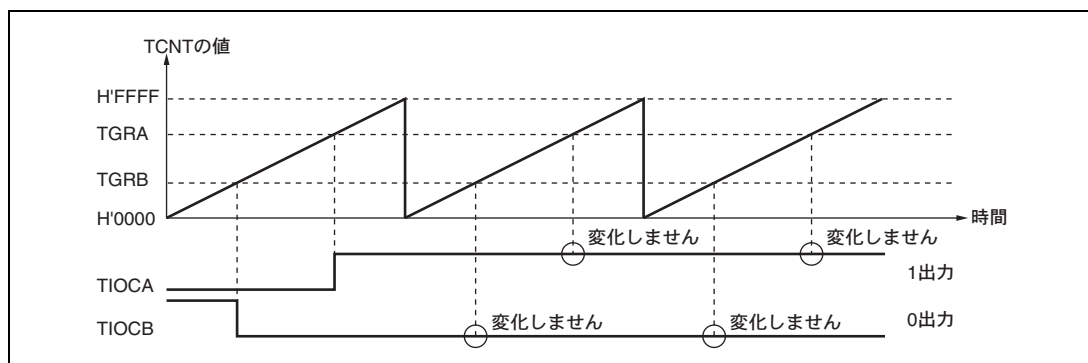


図 11.8 0 出力 / 1 出力の動作例

トグル出力の例を図 11.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

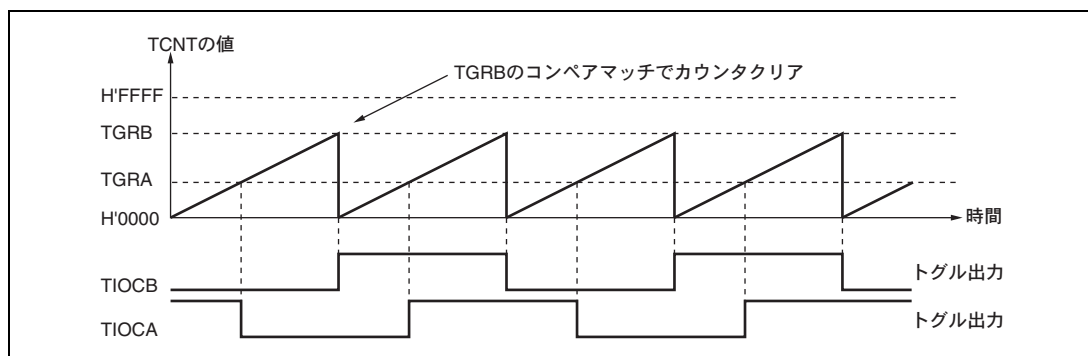


図 11.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに Mφ/1 を選択しないでください。Mφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.10 に示します。

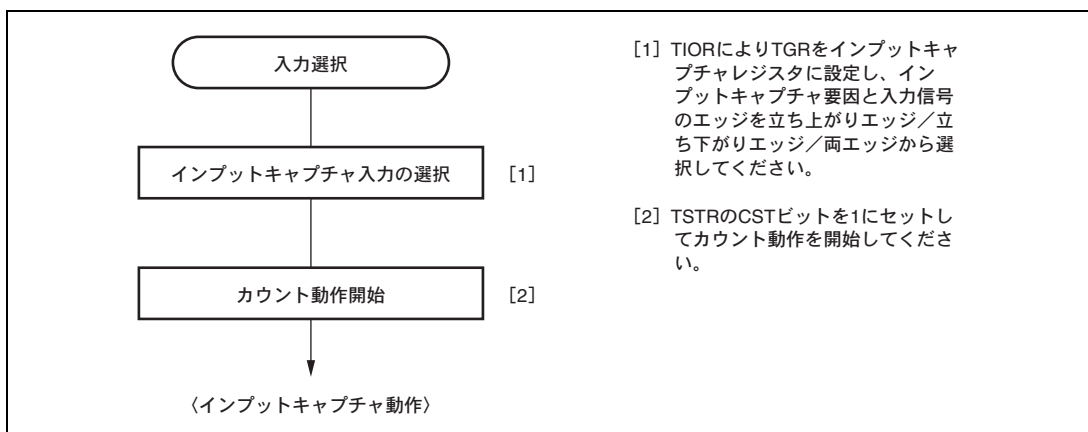


図 11.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

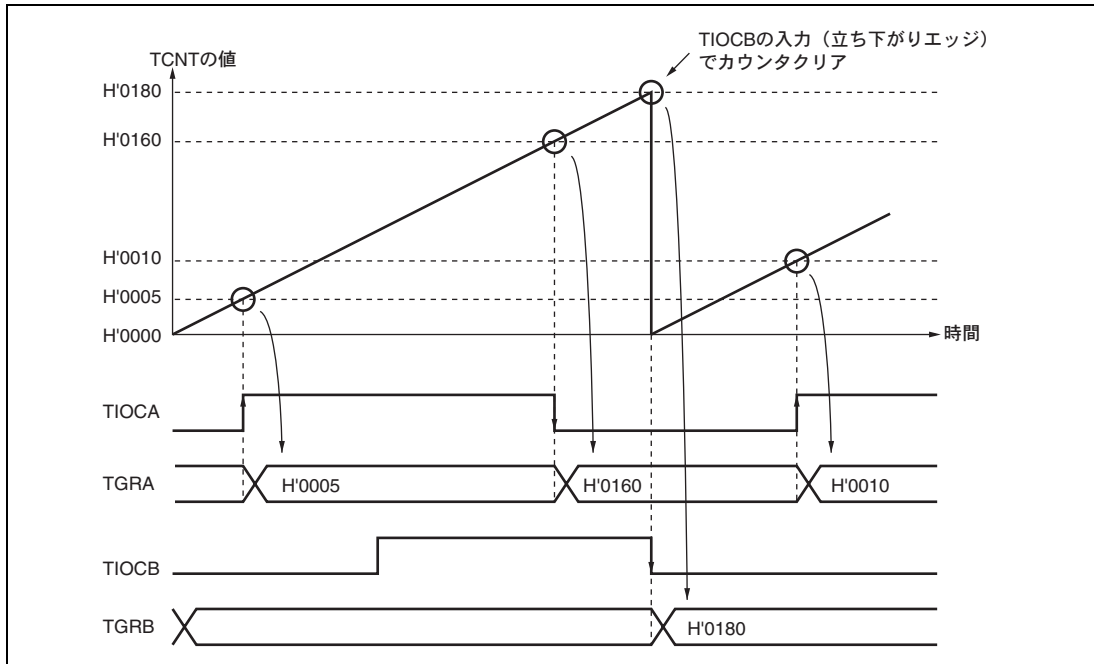


図 11.11 インพุットキャプチャ動作例

11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.12 に示します。

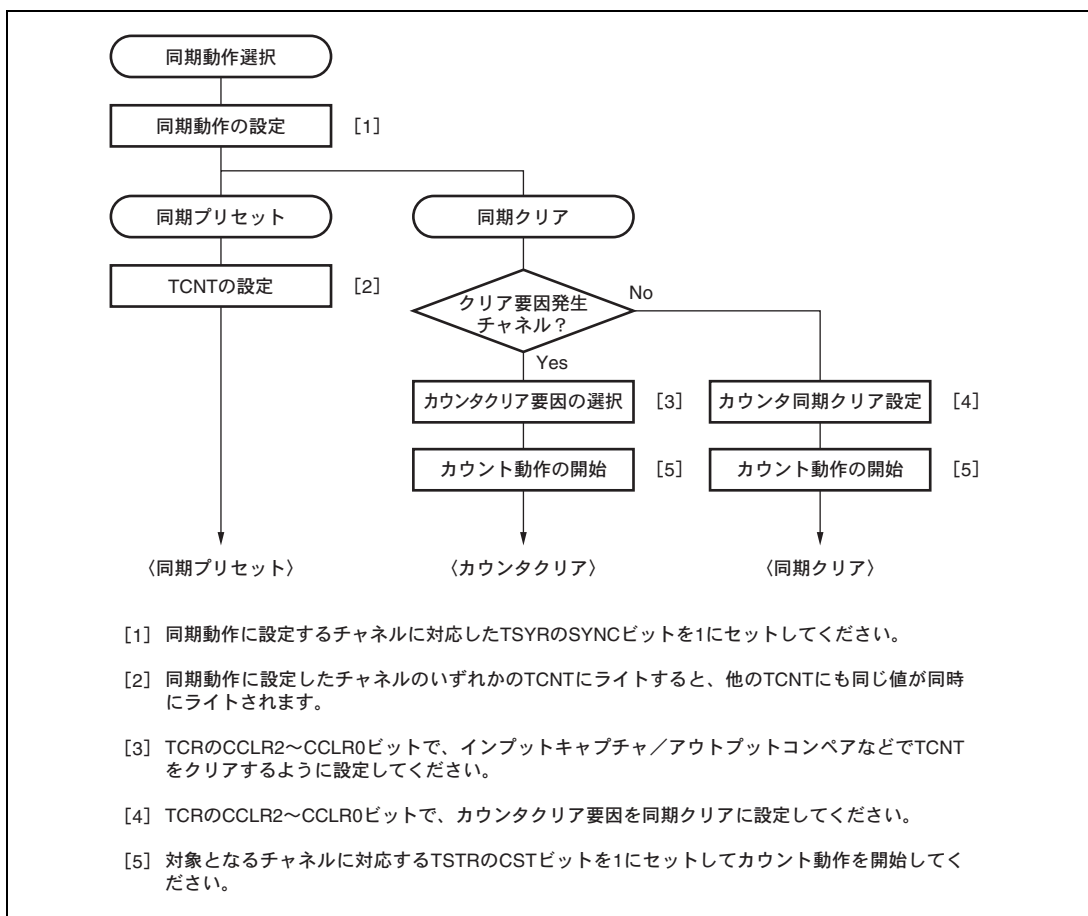


図 11.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

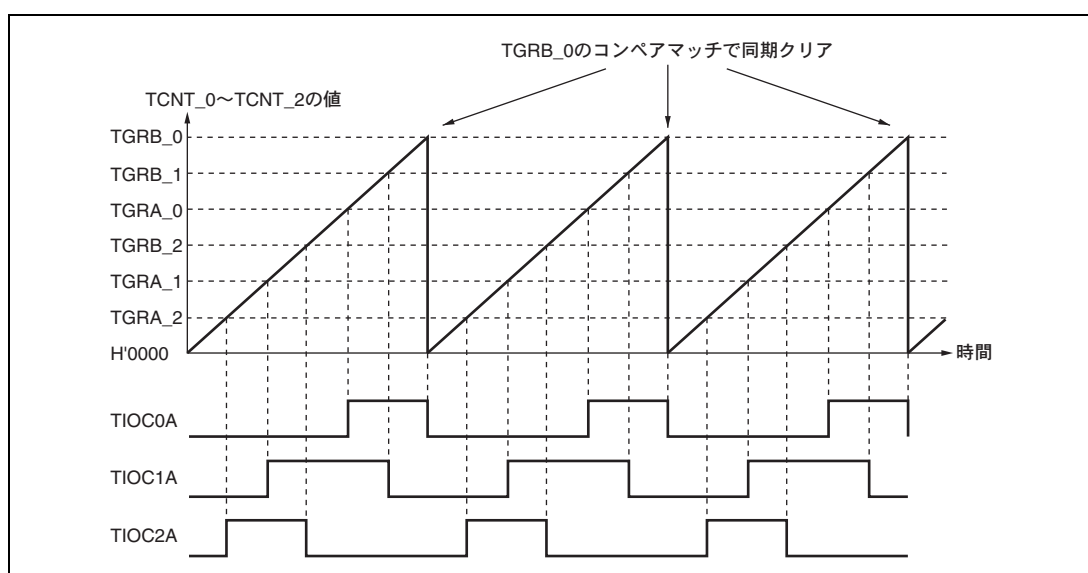


図 11.13 同期動作の動作例

11.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0 は入力キャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 11.43 にバッファ動作時のレジスタの組み合わせを示します。

表 11.43 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 11.14 に示します。

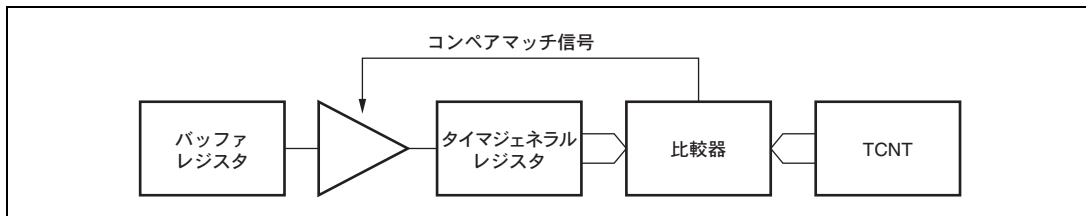


図 11.14 コンペアマッチバッファ動作

- TGRが入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.15 に示します。

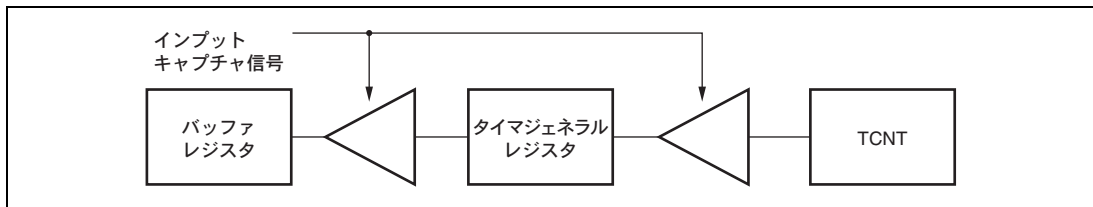


図 11.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.16 に示します。

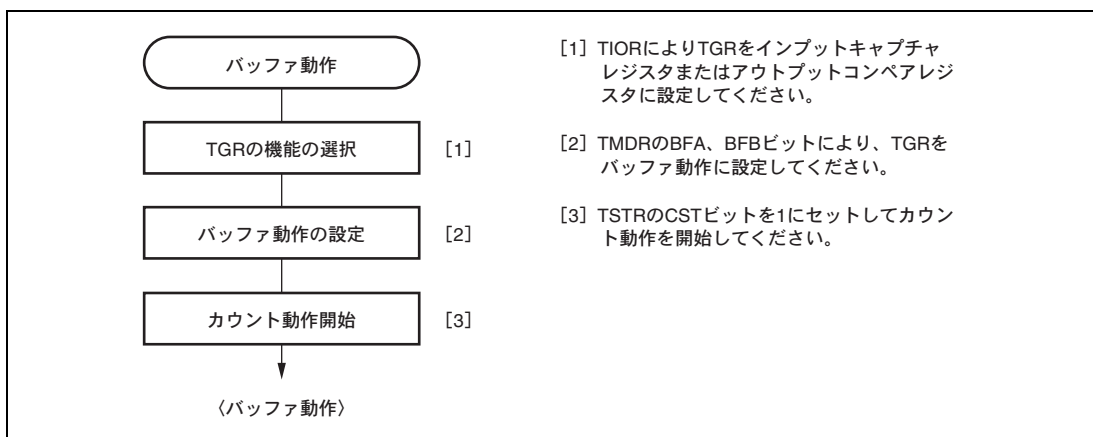


図 11.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 11.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSa ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

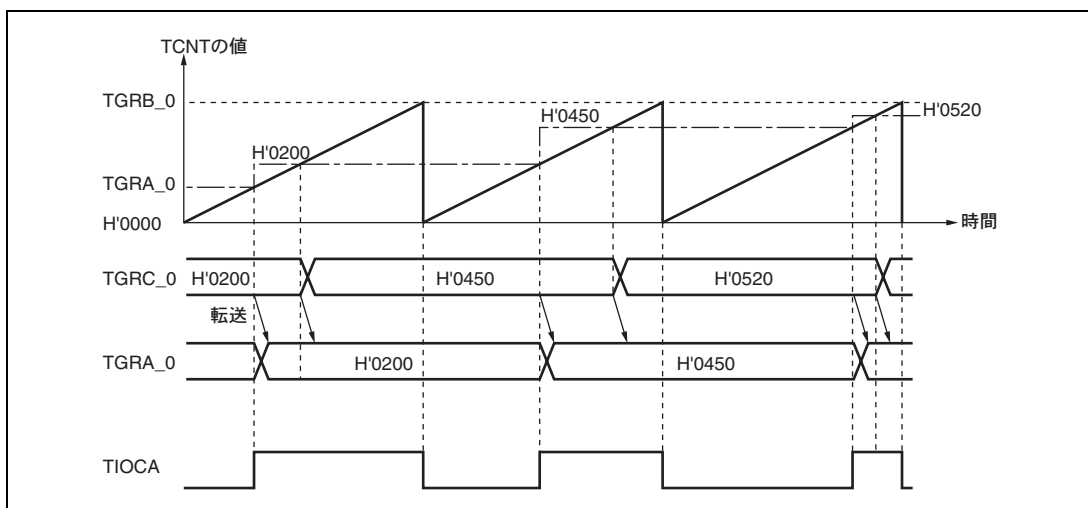


図 11.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

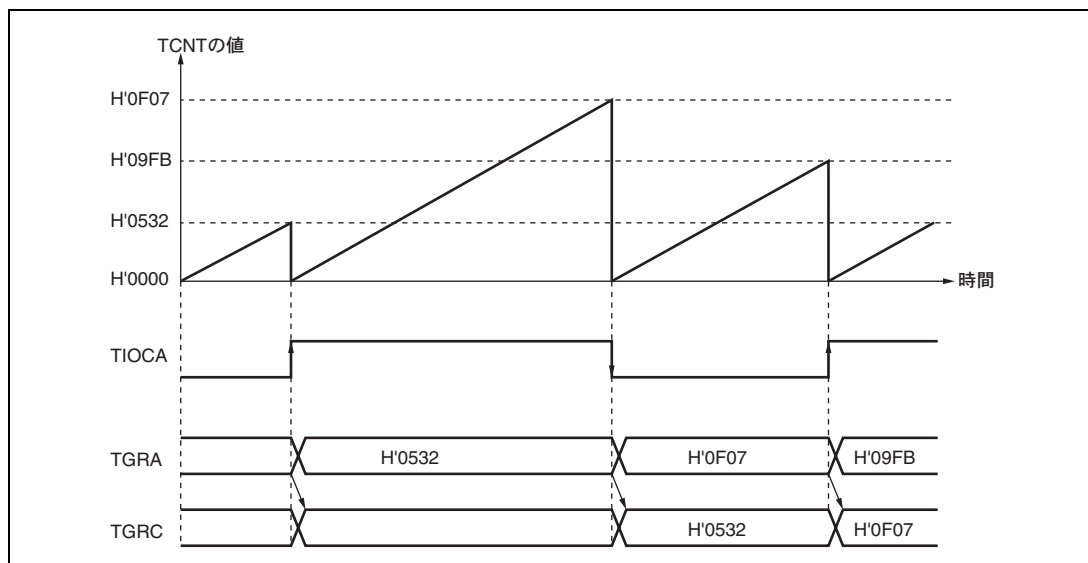


図 11.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF→H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2～CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 11.19 に示します。TCNT_0 はコンペアマッチ B よりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

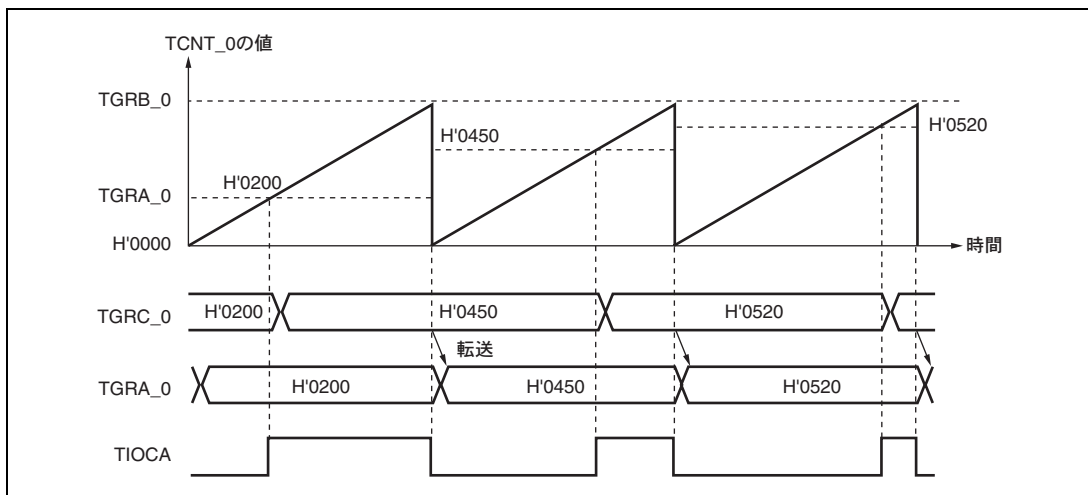


図 11.19 TGRB_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

11.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2～TPSC0 ビットで TCNT_2 のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.44 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.44 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャ条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「11.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 11.45 に示します。

表 11.45 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット=0 (初期値)	TIOC1A
	I2AE ビット=1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット=0 (初期値)	TIOC1B
	I2BE ビット=1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット=0 (初期値)	TIOC2A
	I1AE ビット=1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット=0 (初期値)	TIOC2B
	I1BE ビット=1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.20 に示します。

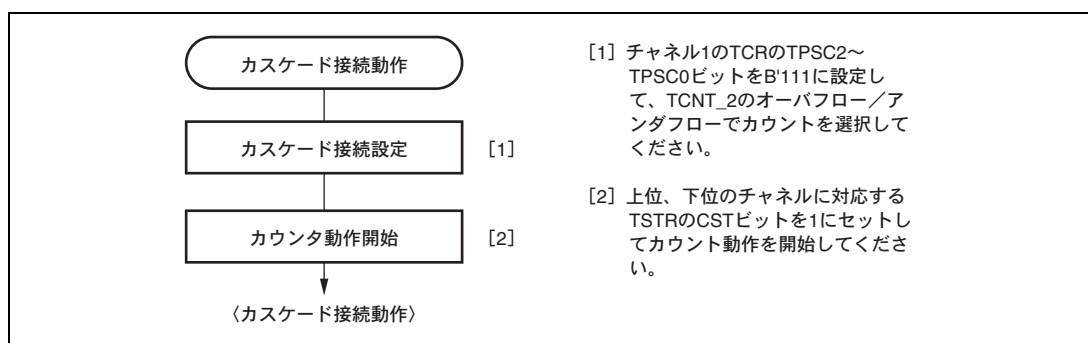


図 11.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 11.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

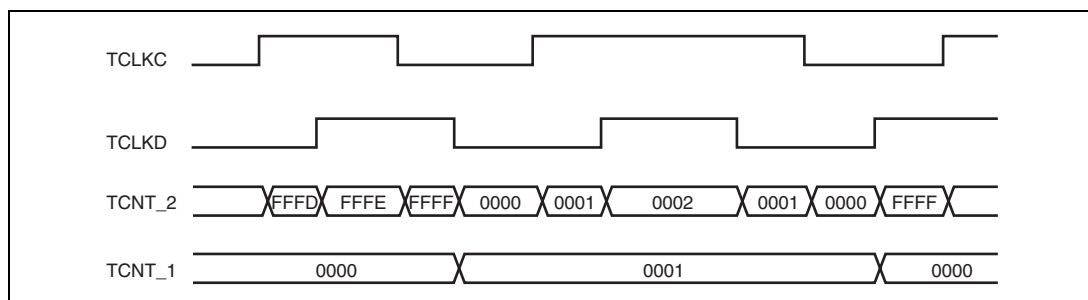


図 11.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 11.22 に示します。この例では TIOR_1 の IOA0~IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0~IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

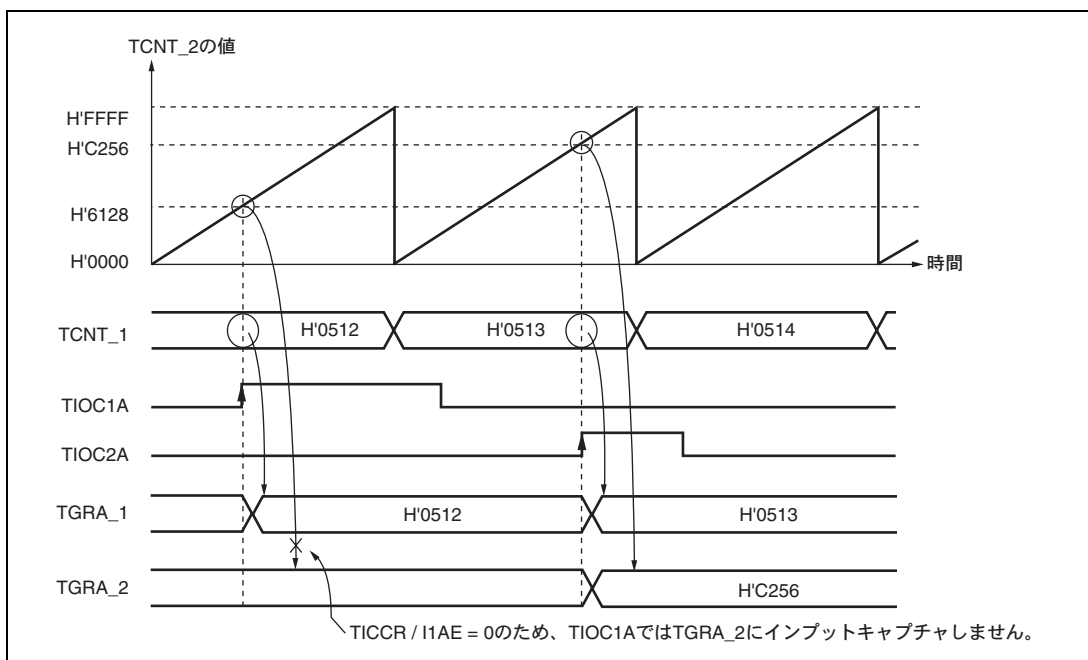


図 11.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 11.23 に示します。この例では TIOR_1、TIOR_2 の IOA0~IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

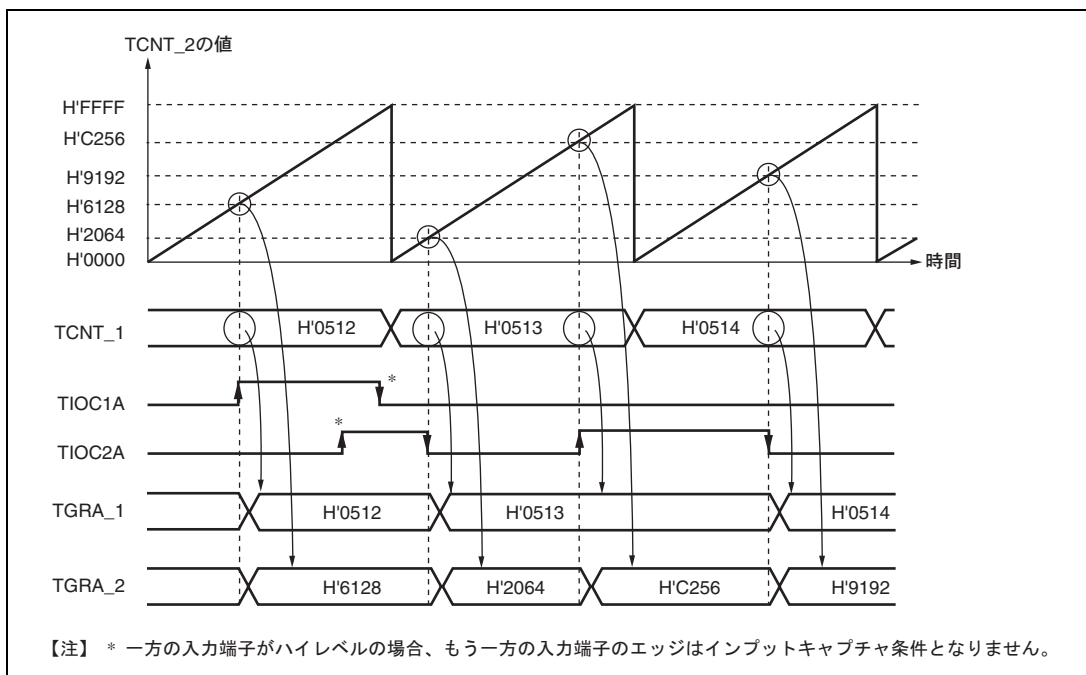


図 11.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 11.24 に示します。この例では TIOR_1 の IOA0~IOA3 の設定は、TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0~IOA3 の設定は、(TIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

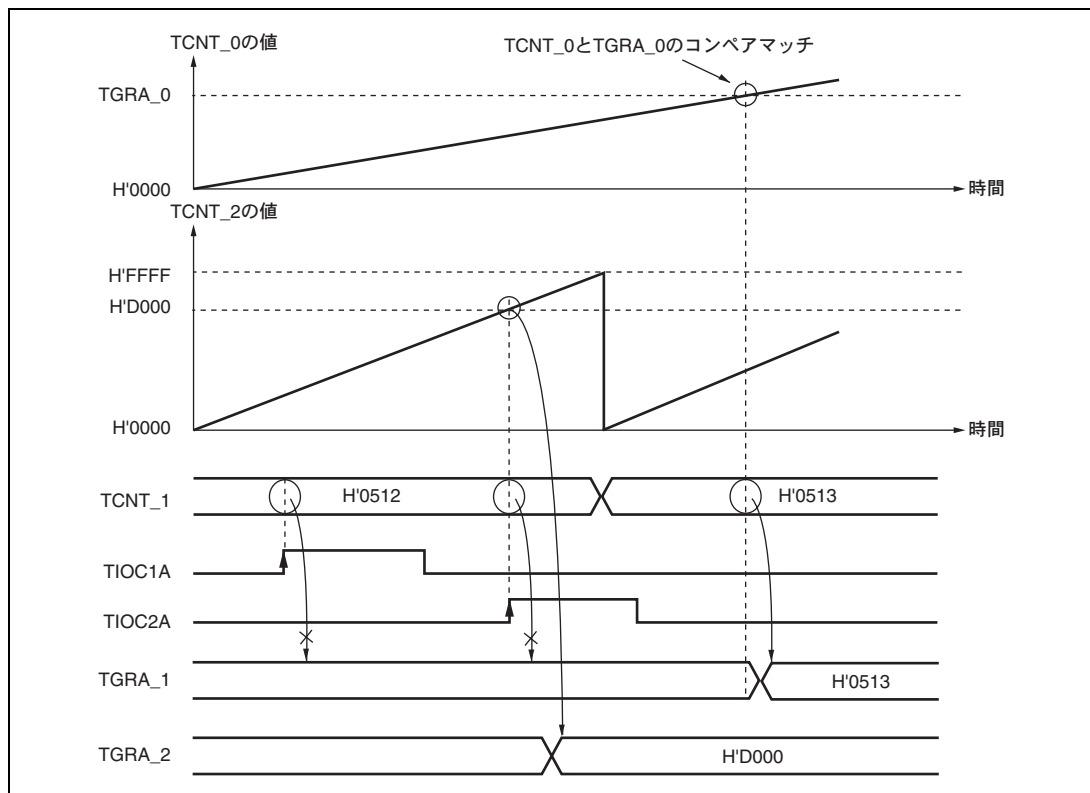


図 11.24 カスケード接続動作例 (d)

11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.46 に示します。

表 11.46 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3	TIOC3C	
	TGRC_3		
	TGRD_3		
4	TGRA_4		
	TGRB_4	TIOC4C	
	TGRC_4		
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 11.25 に示します。

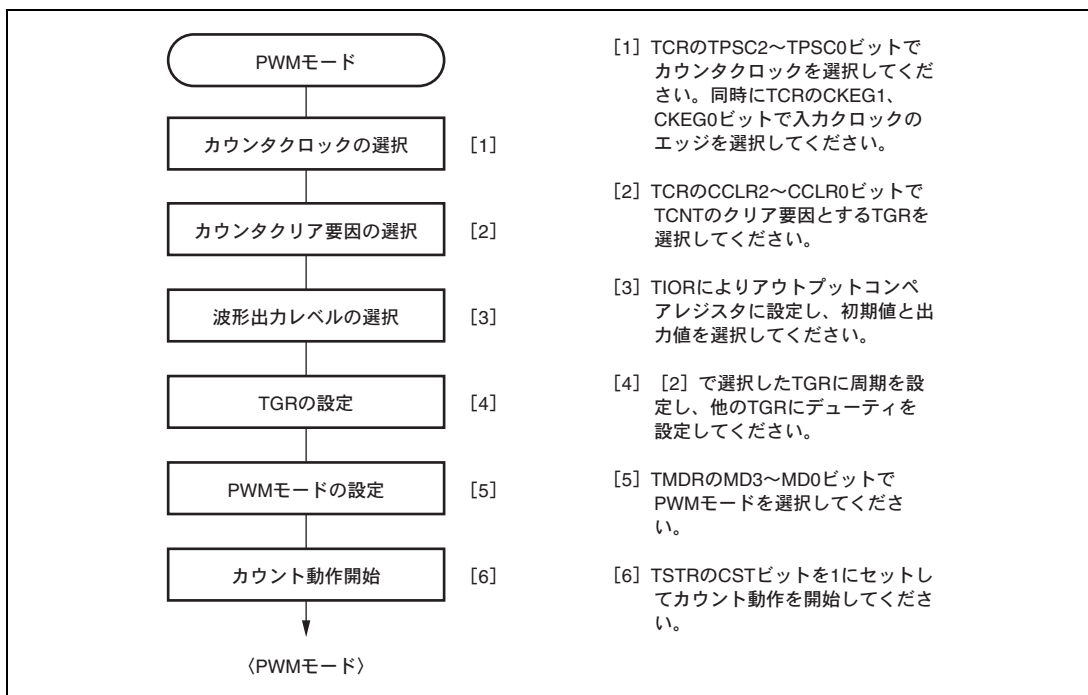


図 11.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 11.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

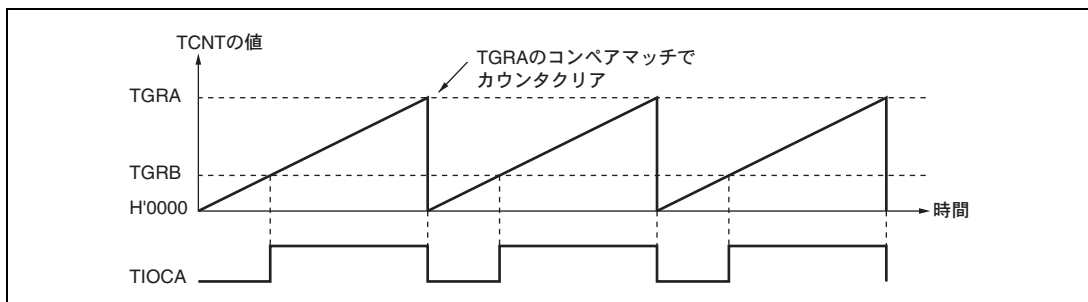


図 11.26 PWM モードの動作例

PWM モード 2 の動作例を図 11.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

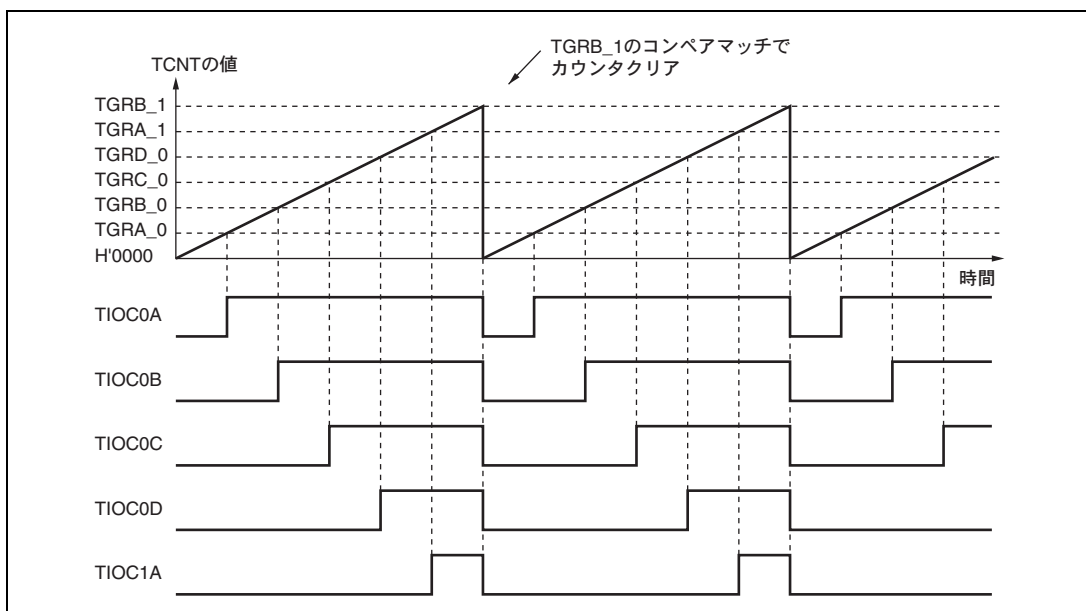


図 11.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 11.28 に示します。

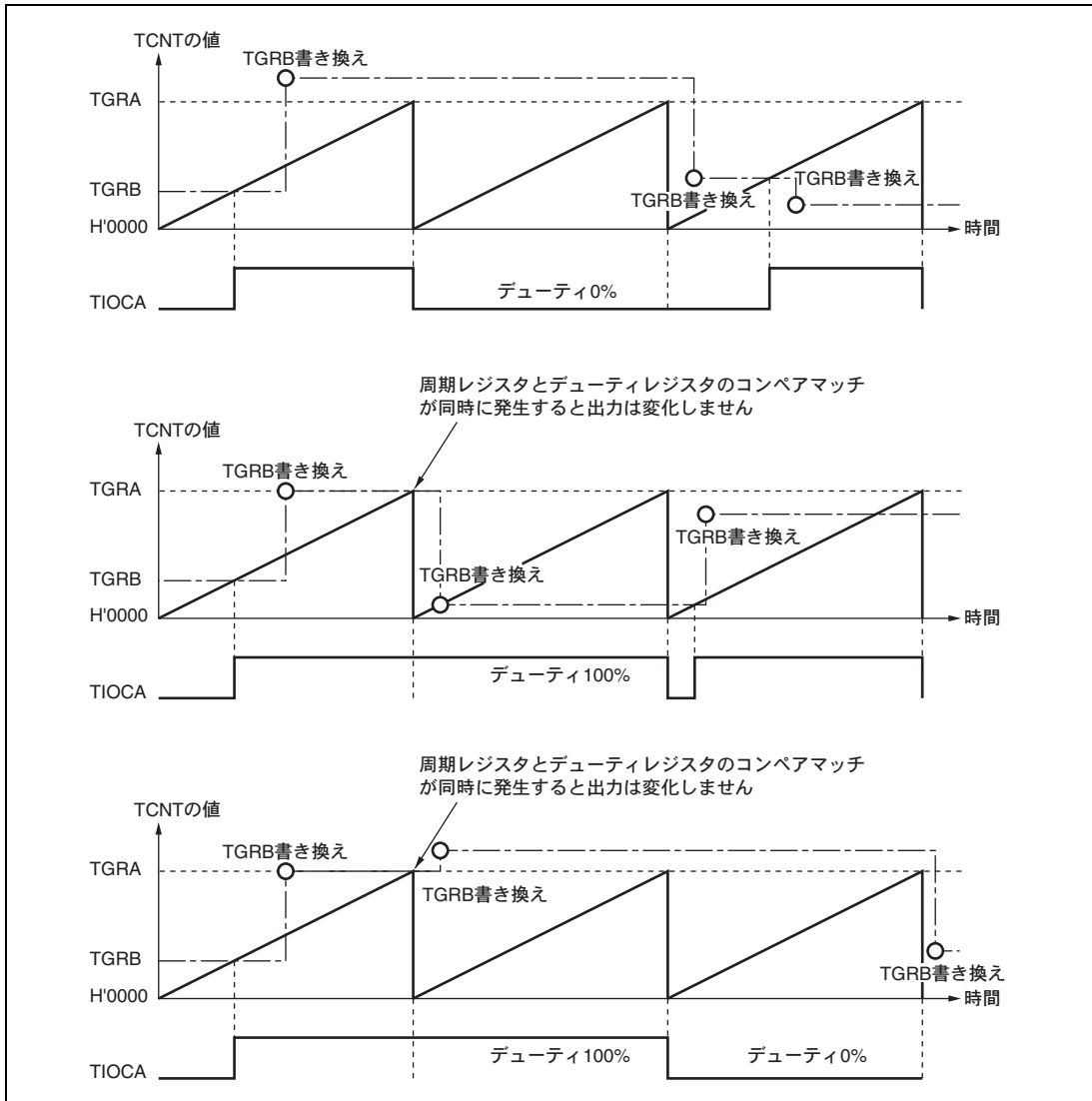


図 11.28 PWM モード動作例

11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.47 に外部クロック端子とチャンネルの対応を示します。

表 11.47 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.29 に示します。

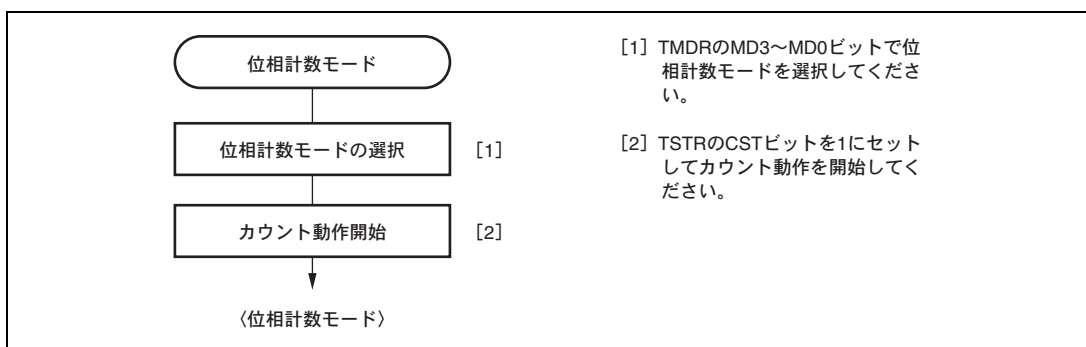


図 11.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 11.30 に、TCNT のアップ/ダウンカウント条件を表 11.48 に示します。

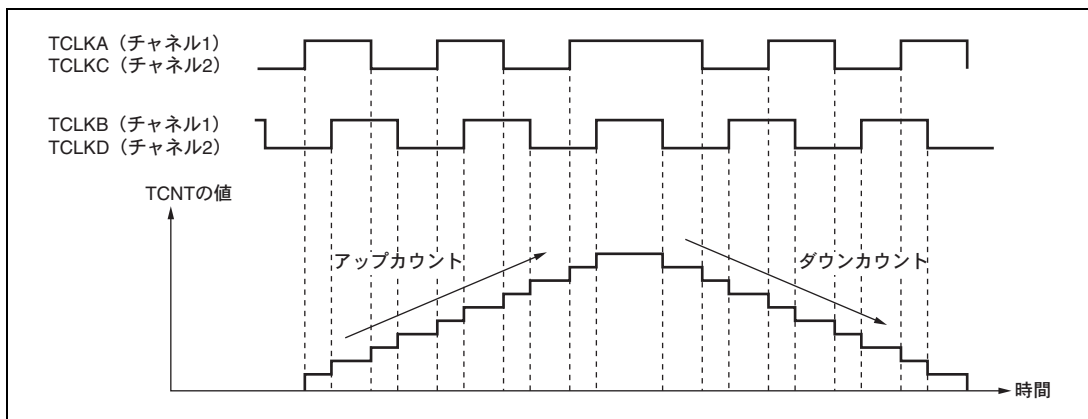


図 11.30 位相計数モード 1 の動作例

表 11.48 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.31 に、TCNT のアップ/ダウンカウント条件を表 11.49 に示します。

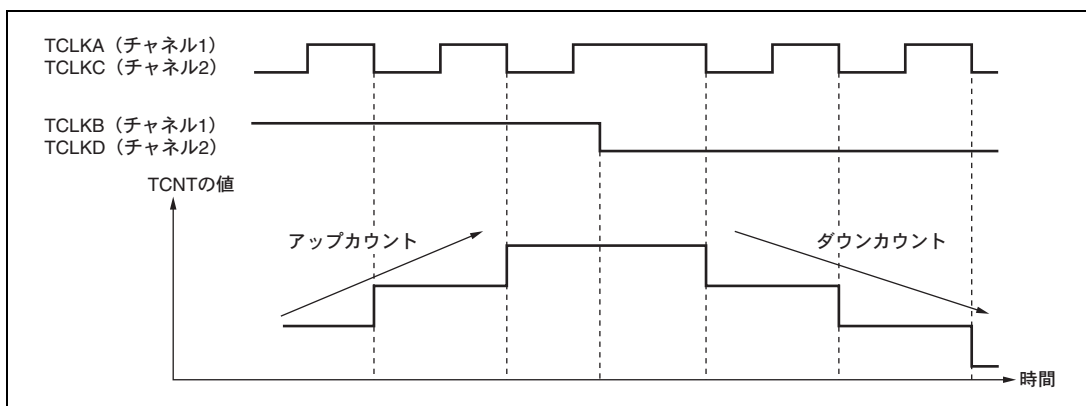


図 11.31 位相計数モード 2 の動作例

表 11.49 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.32 に、TCNT のアップ/ダウンカウント条件を表 11.50 に示します。

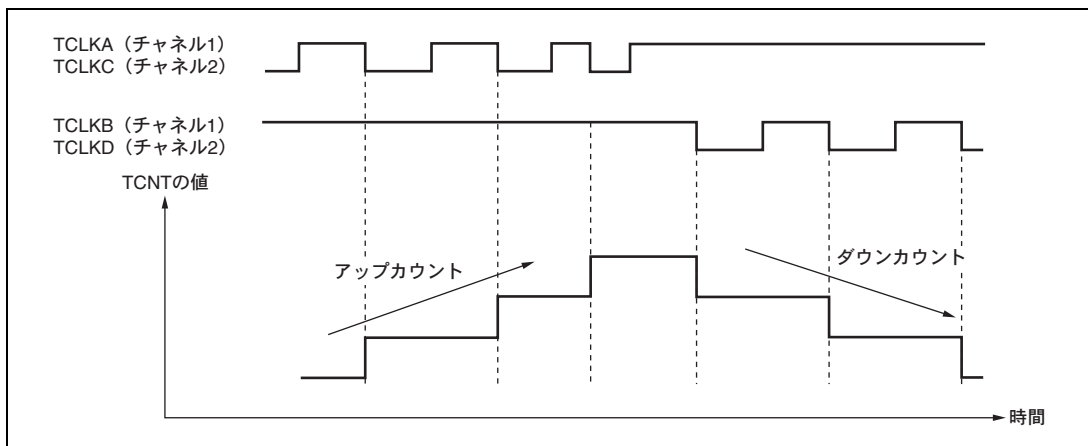


図 11.32 位相計数モード 3 の動作例

表 11.50 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.33 に、TCNT のアップ/ダウンカウント条件を表 11.51 に示します。

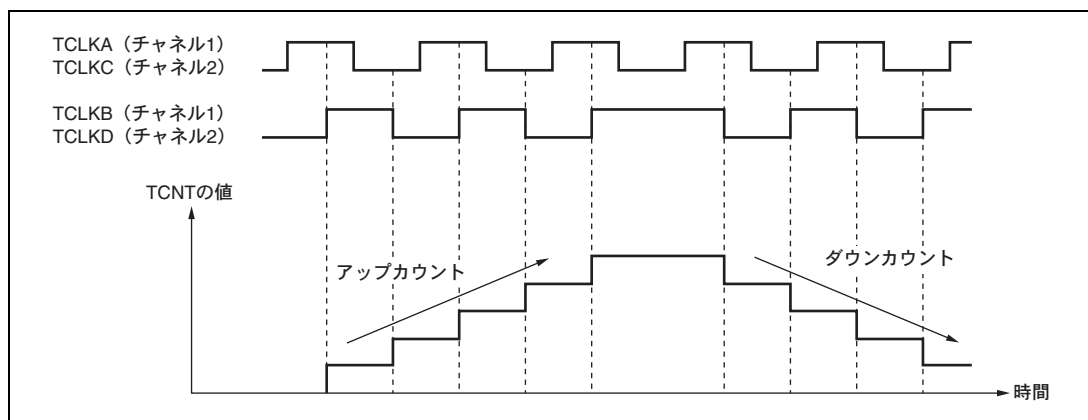


図 11.33 位相計数モード 4 の動作例

表 11.51 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	カウントしない (Don't care)
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	カウントしない (Don't care)
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図11.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

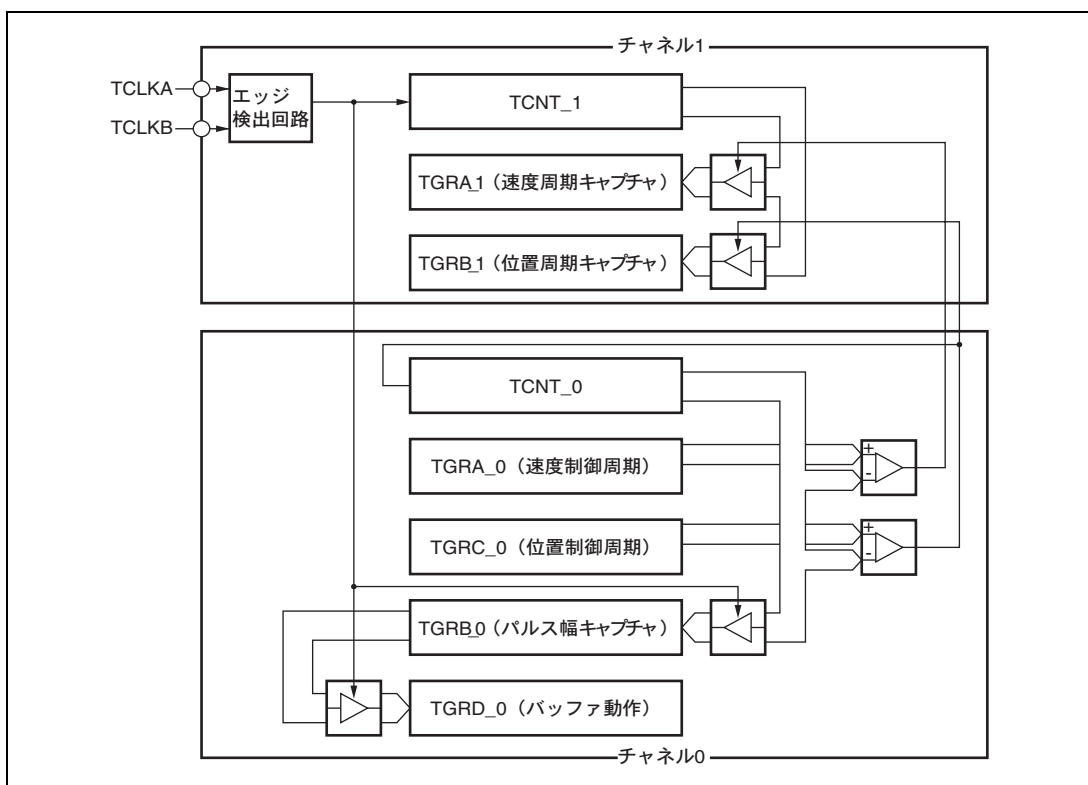


図 11.34 位相計数モードの応用例

11.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 11.52 に、使用するレジスタの設定を表 11.53 に示します。

表 11.52 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 11.53 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 11.35 に示します。

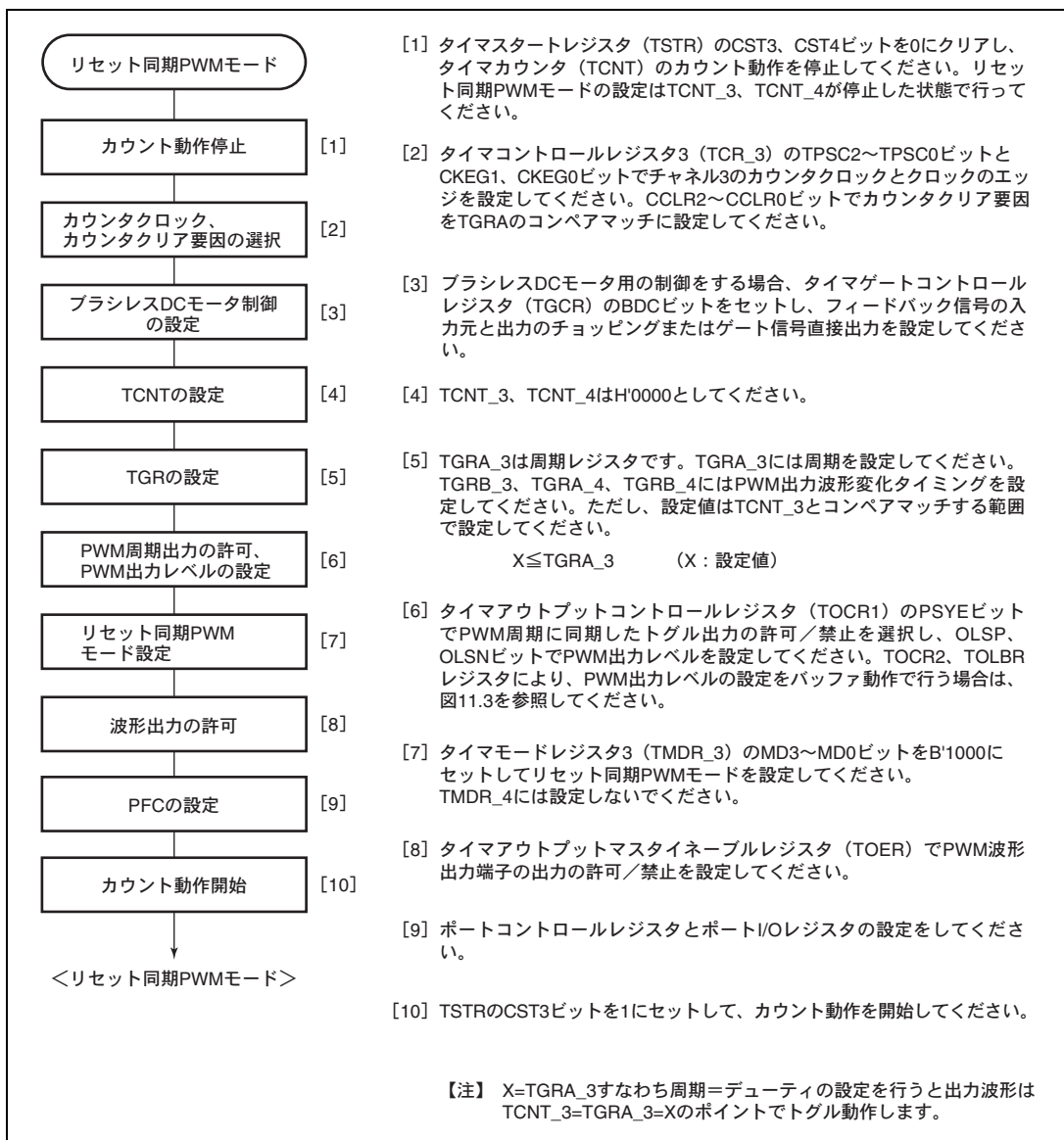


図 11.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 11.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

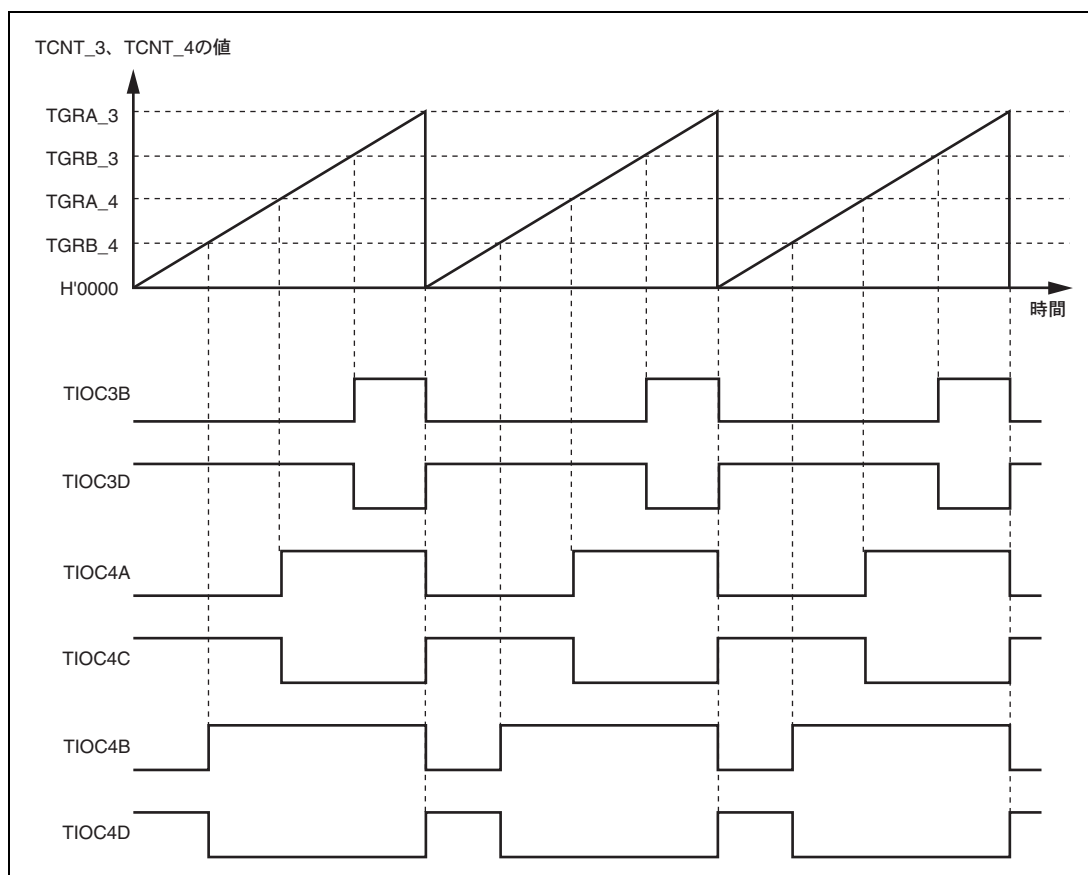


図 11.36 リセット同期 PWM モードの動作例 (TOCR の OLSN=1、OLSP=1 に設定した場合)

11.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 11.54 に、使用するレジスタの設定を表 11.55 に、相補 PWM モード時のチャンネル 3、4 ブロック図を図 11.37 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 11.54 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 11.55 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説 明	CPU からの 読み出し/書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウン トアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2+ デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し/書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し/書き込み可能
タイマデッドタイムデー タレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値 (デッドタイ ムの値) を設定	TRWER の設定*によりマスク可能	
タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能	
タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し/書き込み可能	
サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能	
テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し/書き込み不可	
テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し/書き込み不可	

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可/禁止が可能です。

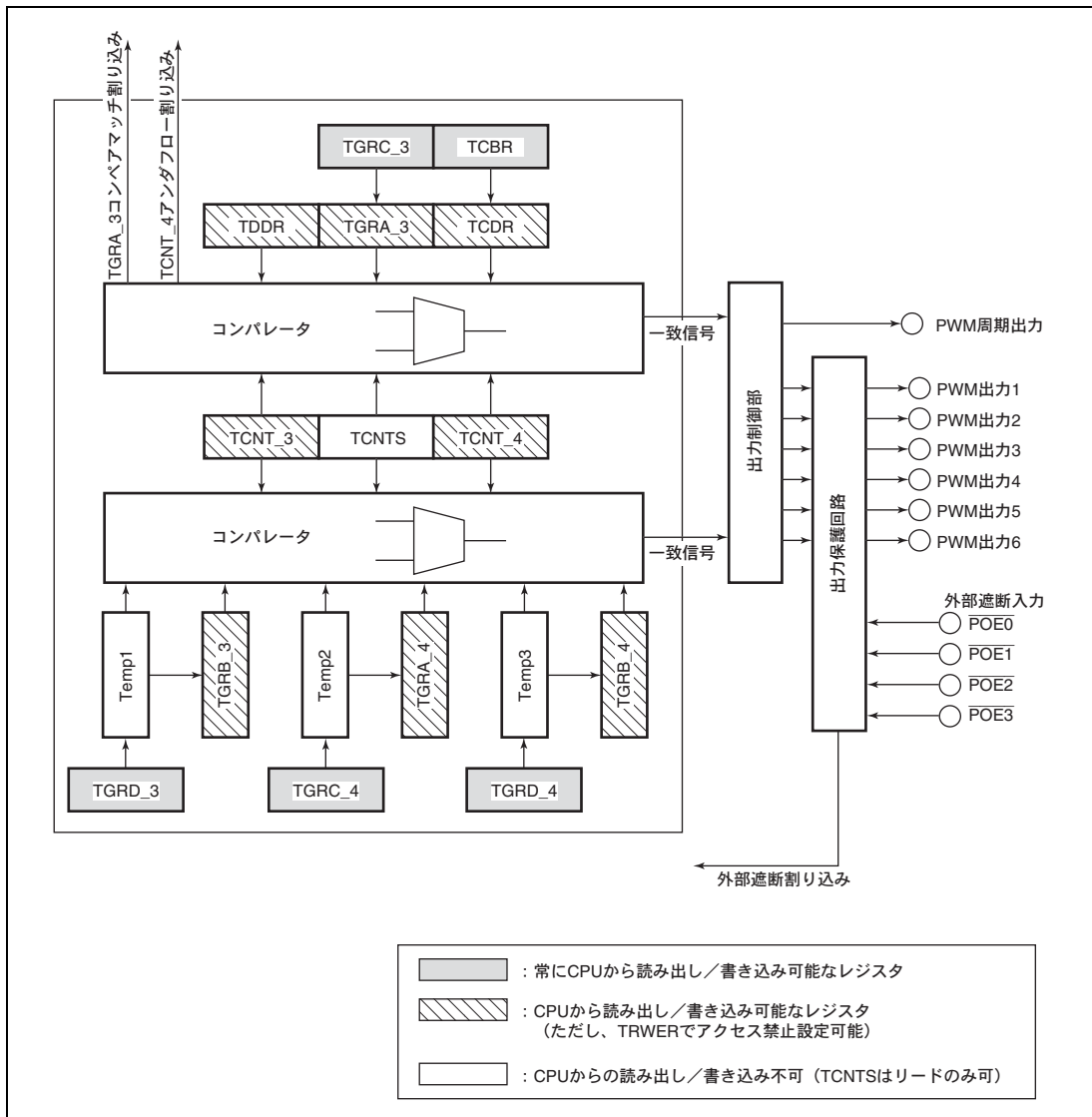


図 11.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 11.38 に示します。

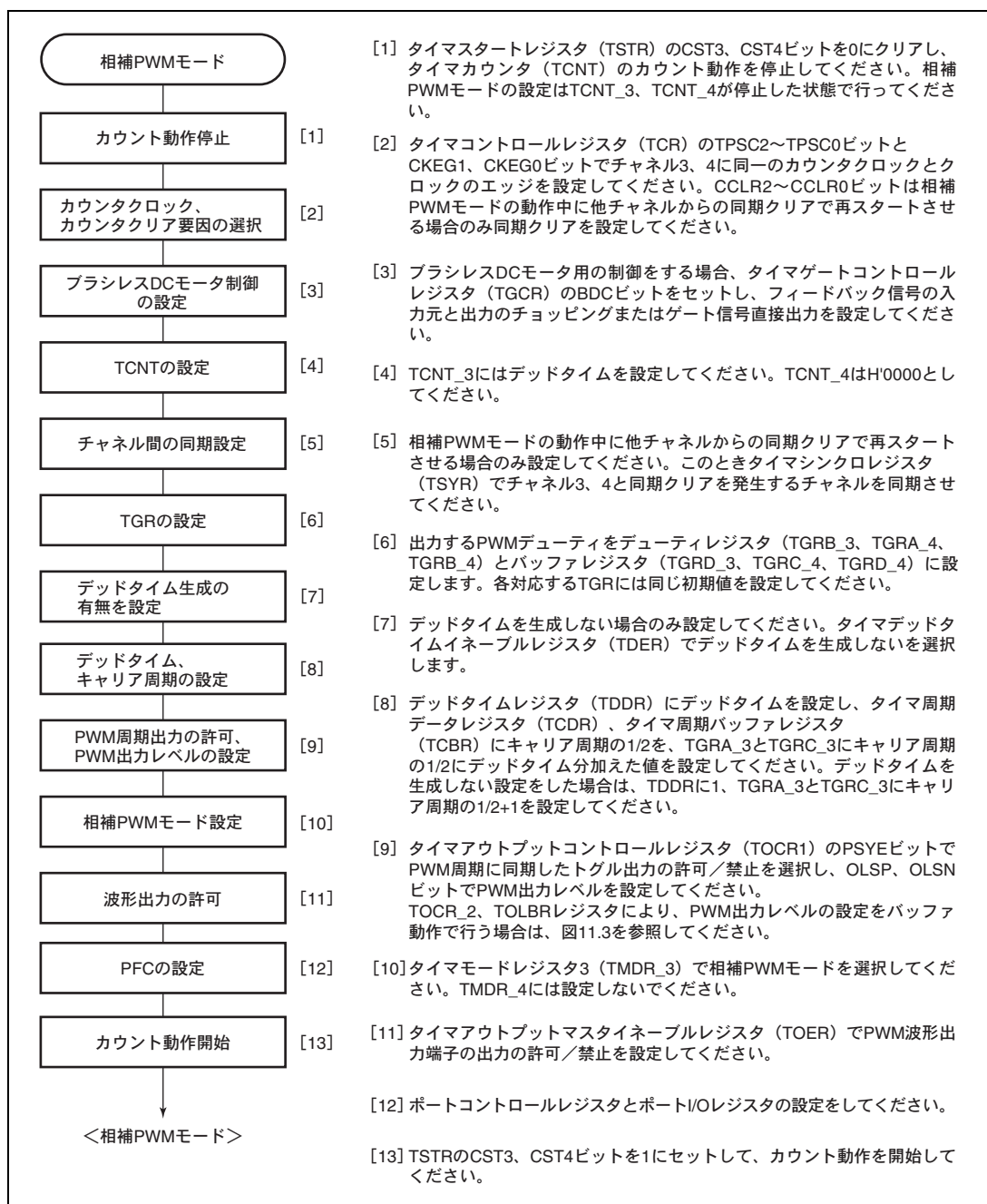


図 11.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 11.39 に相補 PWM モードのカウンタの動作を示します。図 11.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り換わります。この後、H'0000 と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り換わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り換わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンパレレジスタおよびテンポラリレジスタと比較されます。

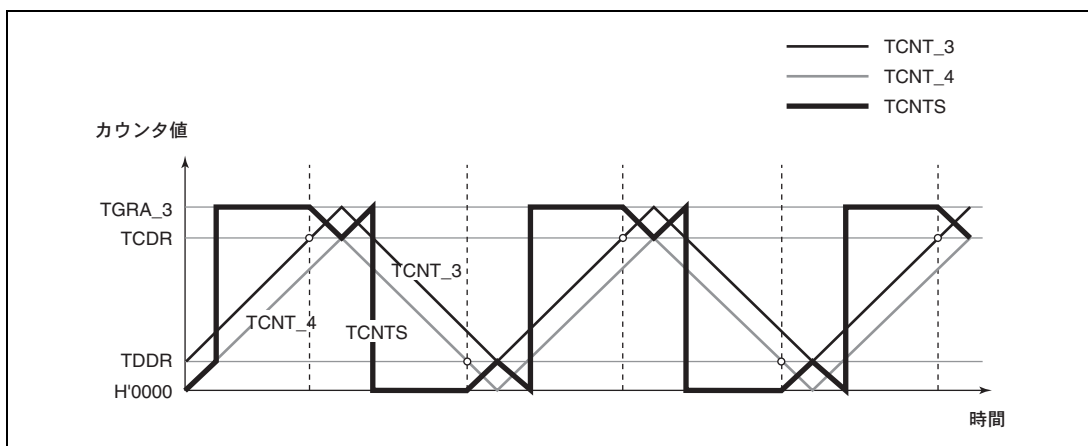


図 11.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 11.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3~MD0 ビットで選択できます。図 11.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 11.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

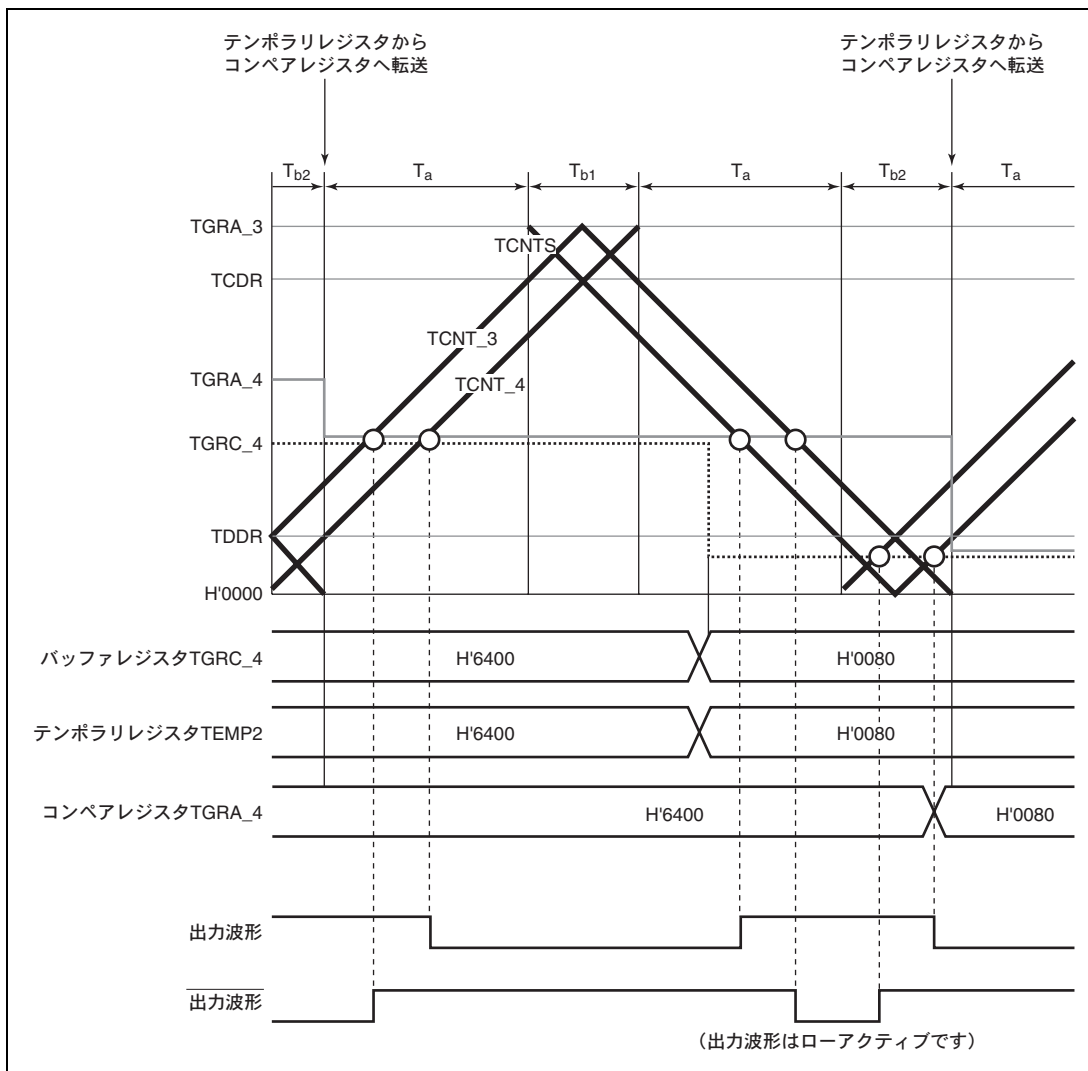


図 11.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3~MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 11.56 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2$ +デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P~OLS3P、OLS1N~OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 11.41 にデッドタイムを生成しない場合の動作例を示します。

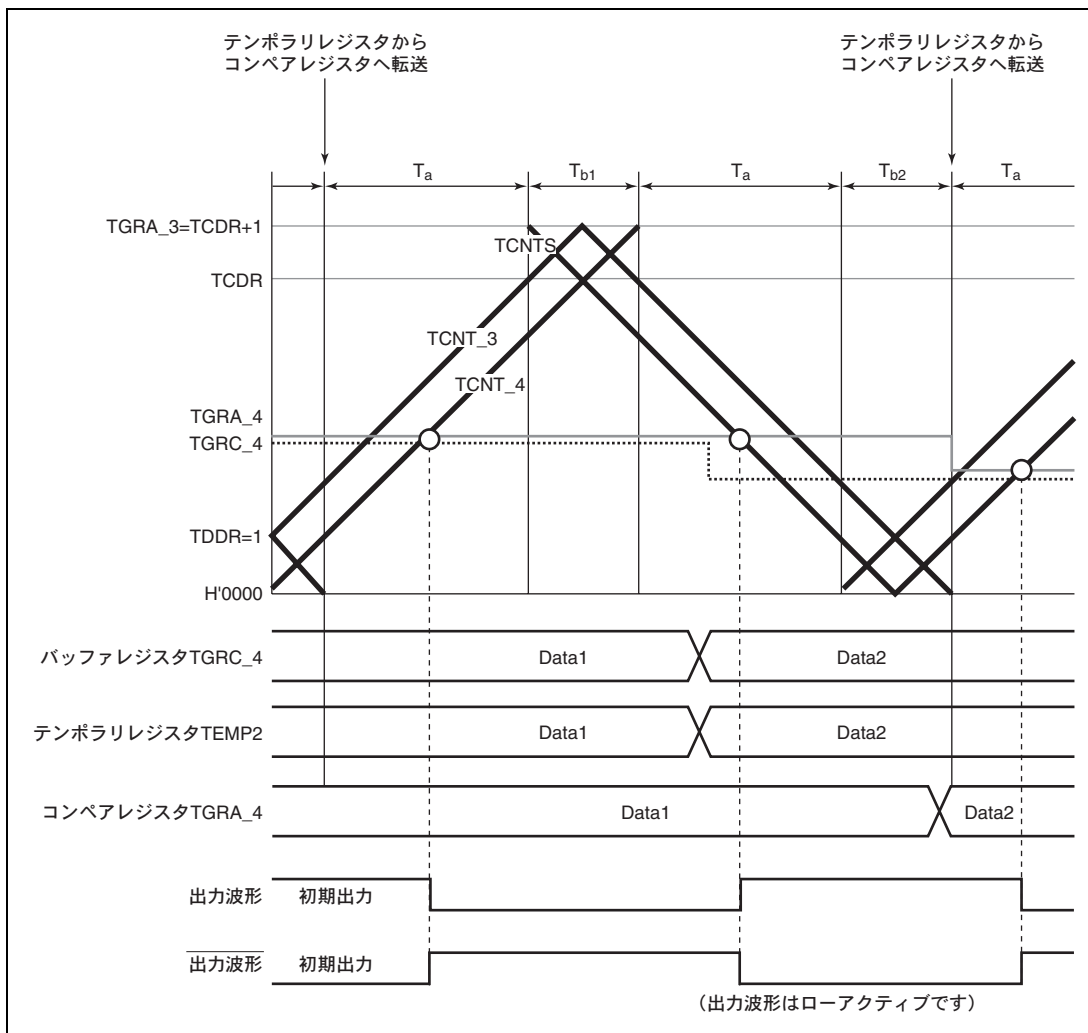


図 11.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

TCDR の設定値 > TDDR の設定値の 2 倍 + 2

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3~MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 11.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

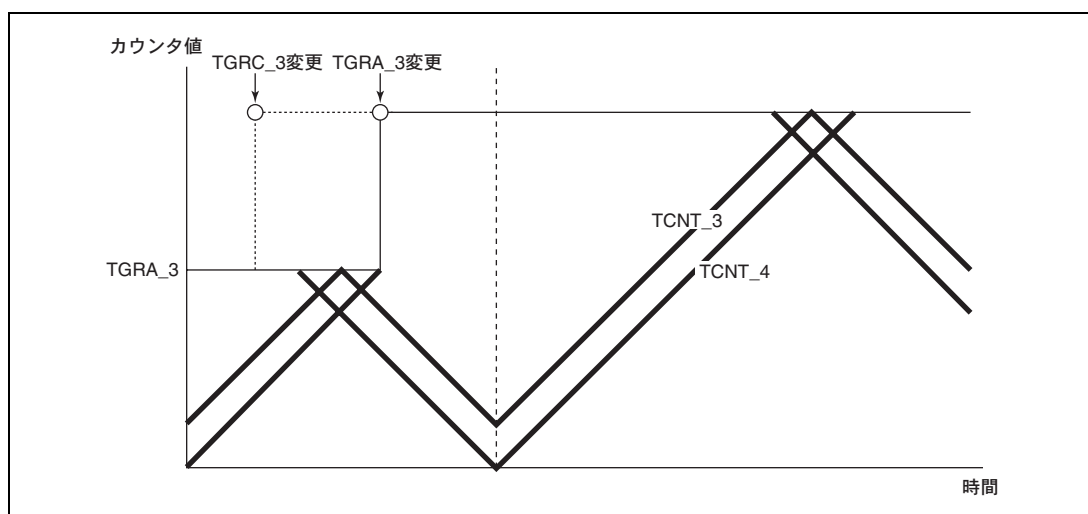


図 11.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。相補 PWM モード 3 (山・谷で転送) でサブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

相補 PWM モード 1 (山で転送) で TCNT3 カウントダウンのとき、バッファレジスタが更新されるとテンポラリレジスタへの転送はただちに行われず、カウントアップしてから転送します。逆に、相補 PWM モード 2 (谷で転送) で TCNT3 カウントアップのとき、バッファレジスタが更新されるとテンポラリレジスタへの転送はただちに行われず、カウントダウンしてから転送します。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3~MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 11.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。

バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

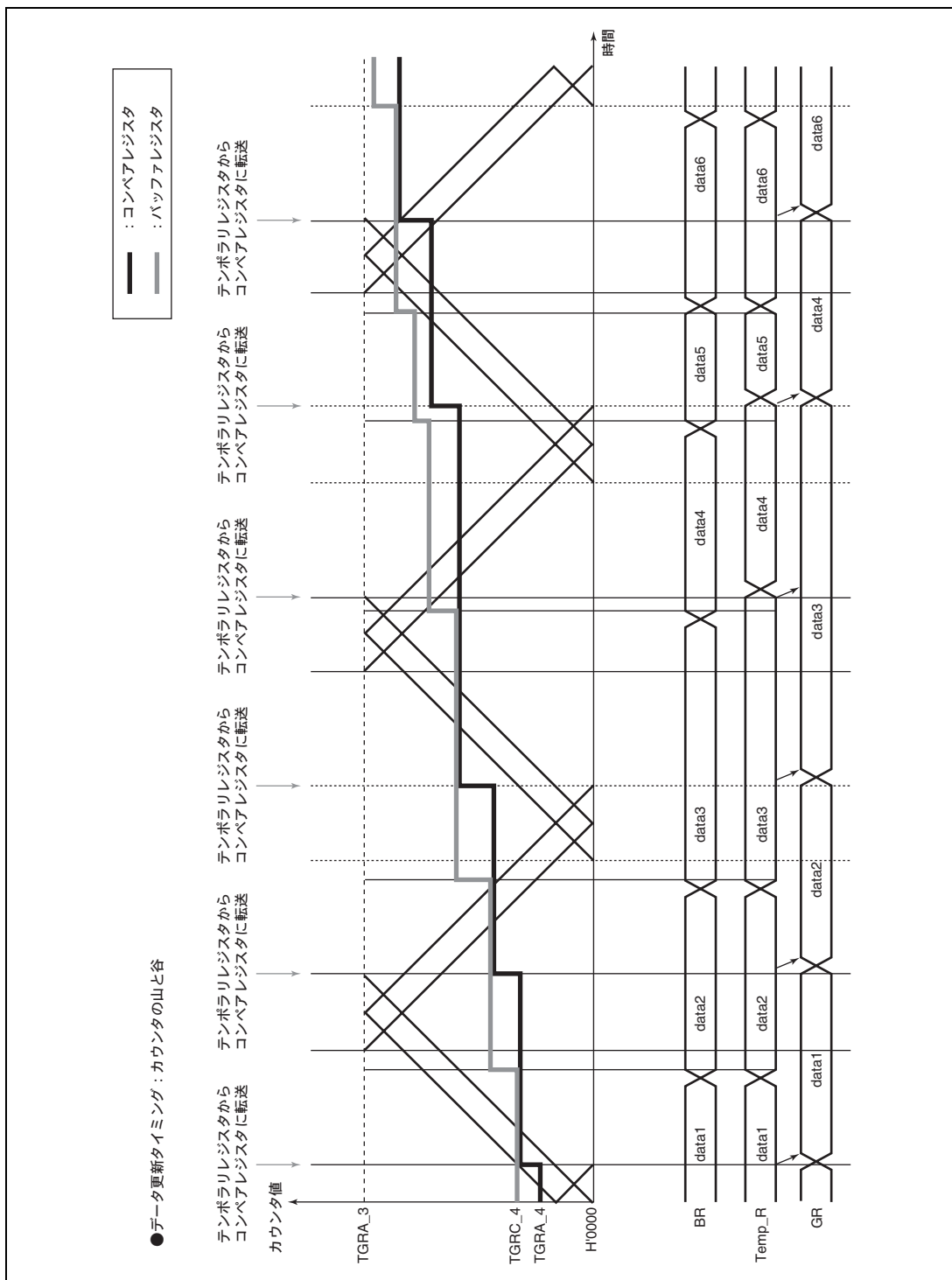


図 11.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N~OLS3N、OLS1P~OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 11.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 11.45 に示します。

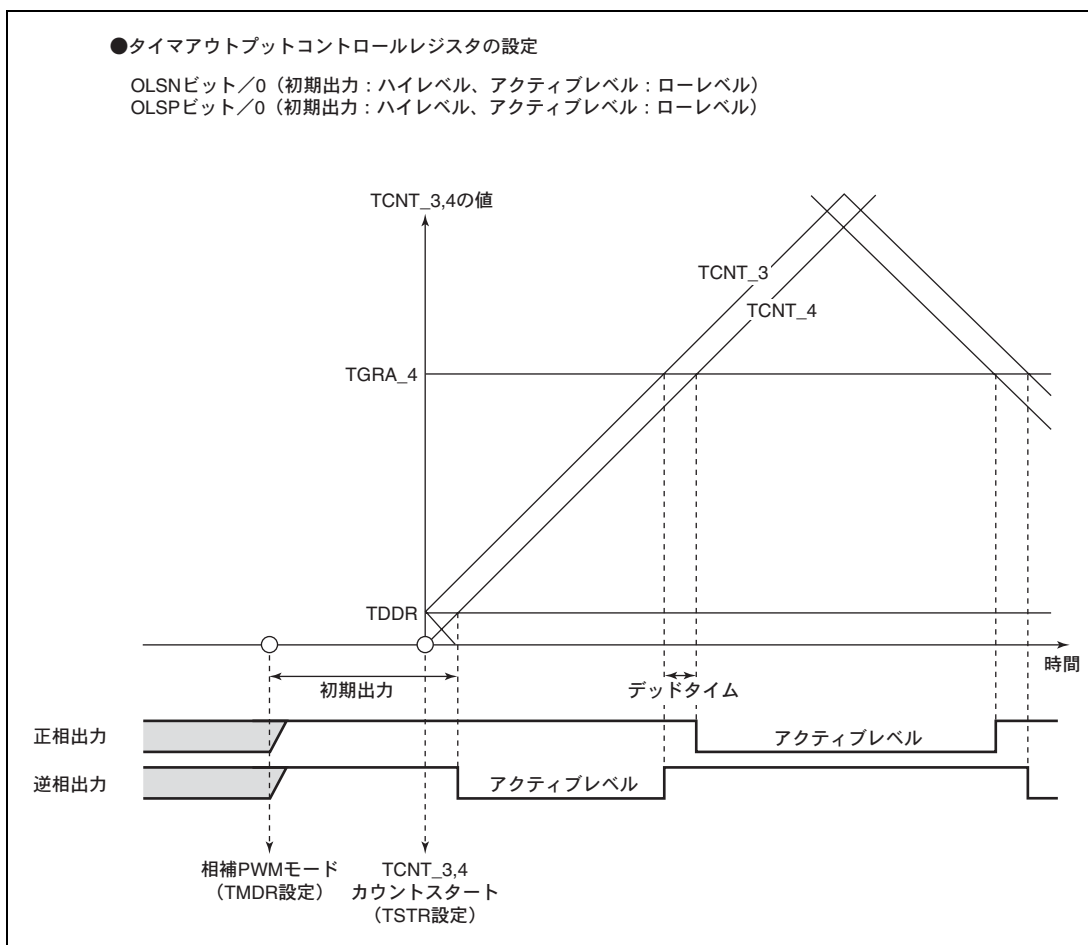


図 11.44 相補 PWM モードの初期出力例 (1)

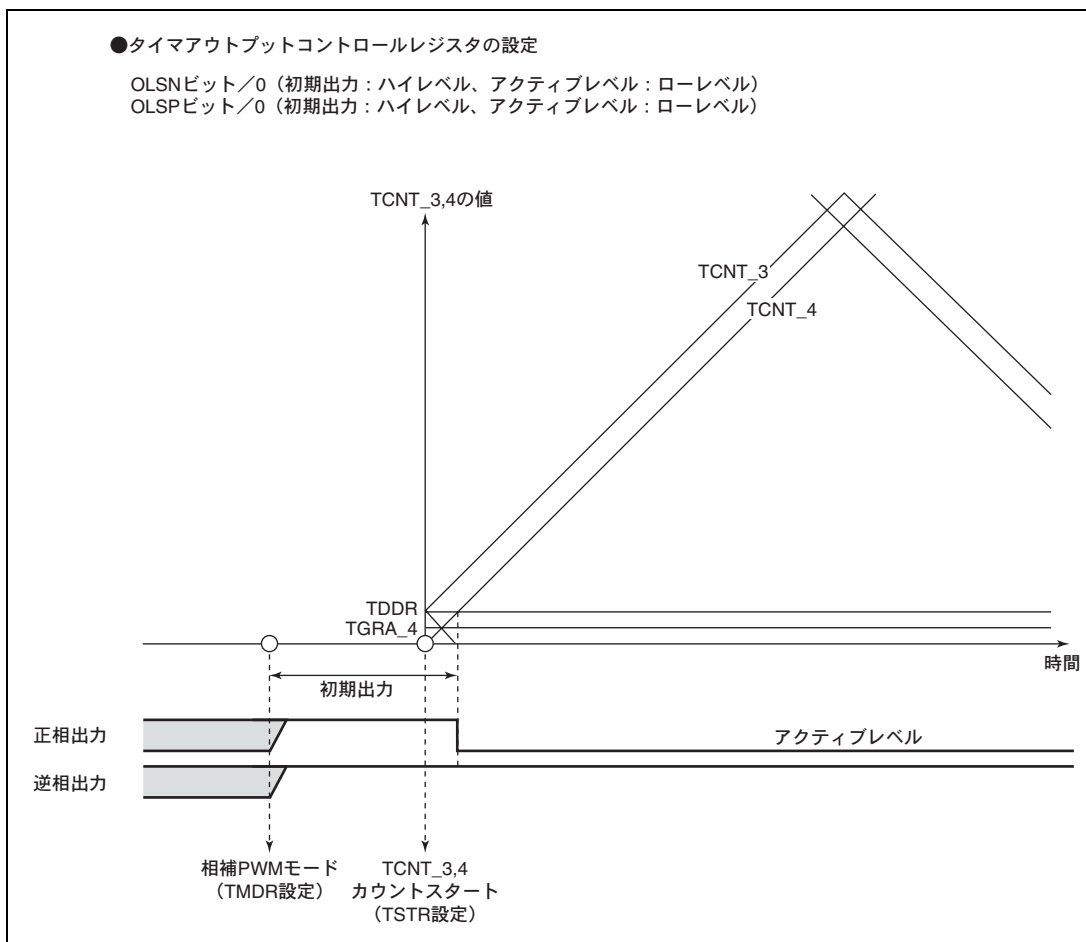


図 11.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 11.46~図 11.48 に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 11.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 11.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 11.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

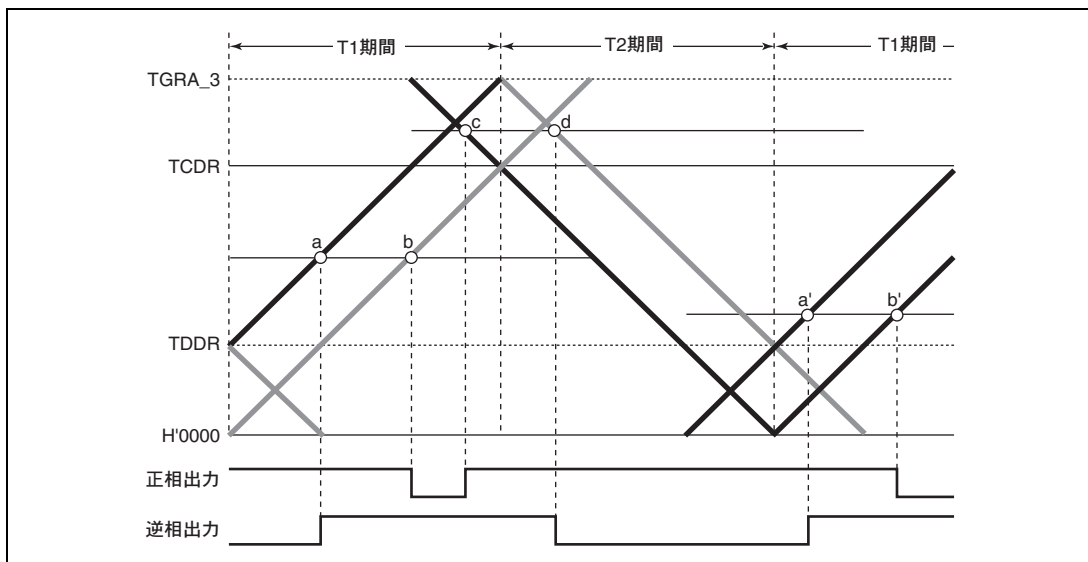


図 11.46 相補 PWM モード波形出力例 (1)

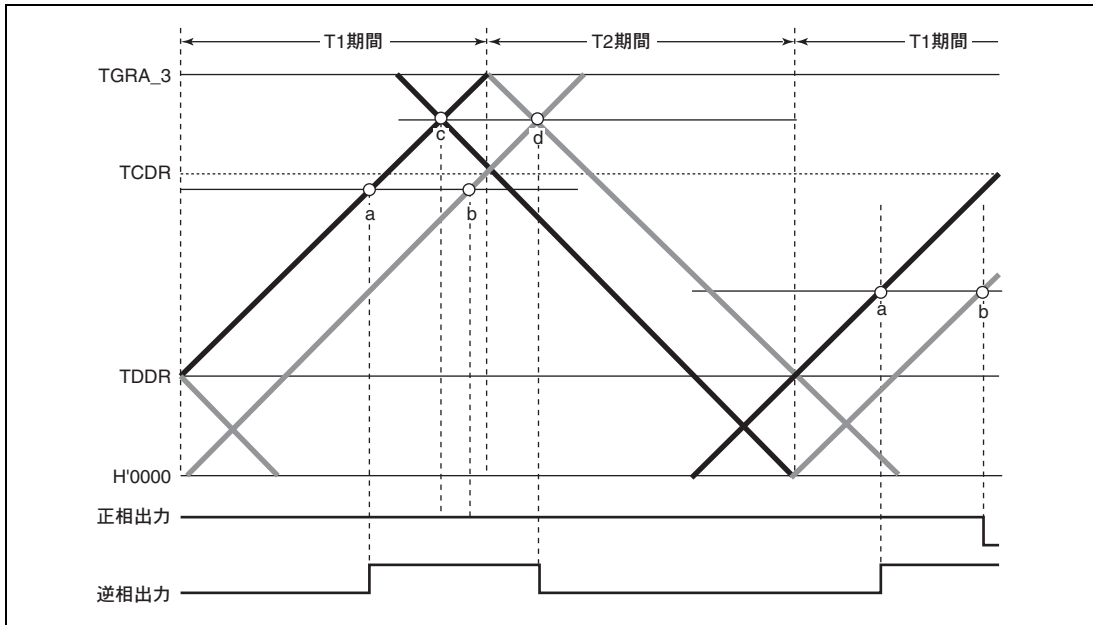


図 11.47 相補 PWM モード波形出力例 (2)

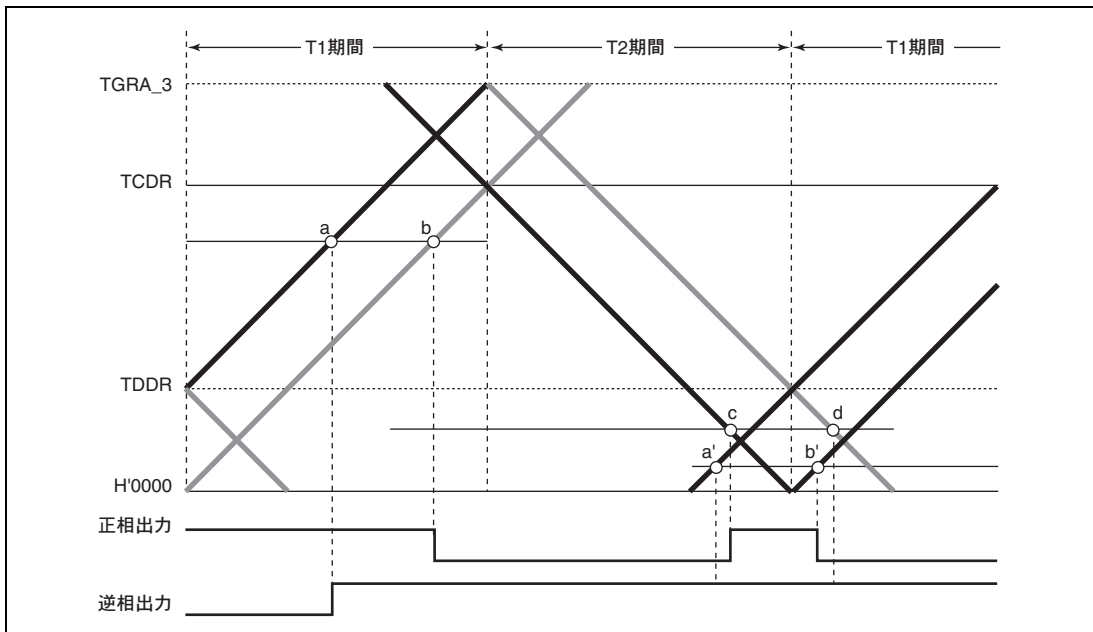


図 11.48 相補 PWM モード波形出力例 (3)

(k) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 11.49～図 11.53 に出力例を示します。

デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

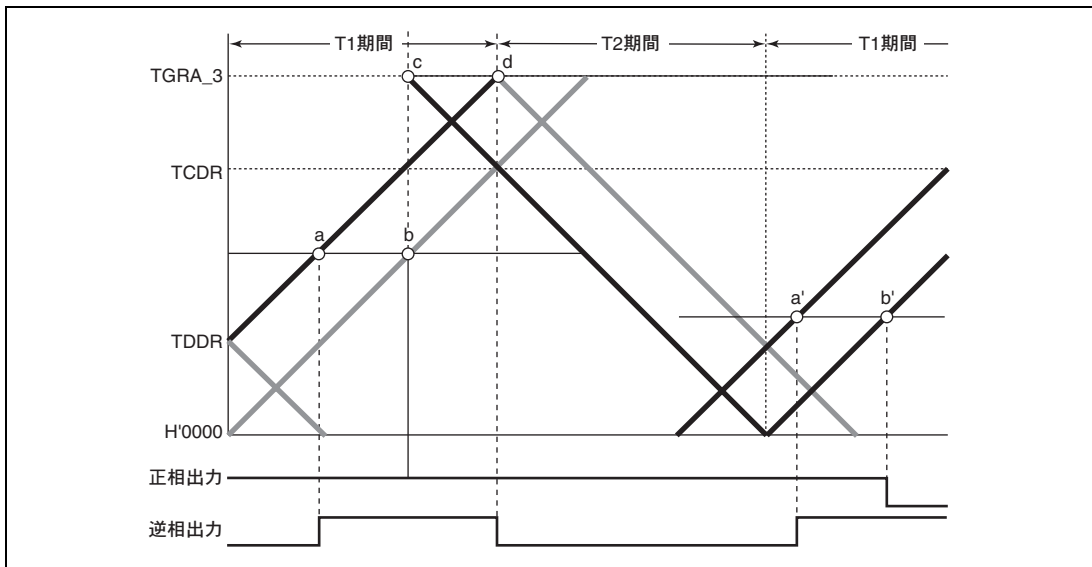


図 11.49 相補 PWM モード 0%、100%波形出力例 (1)

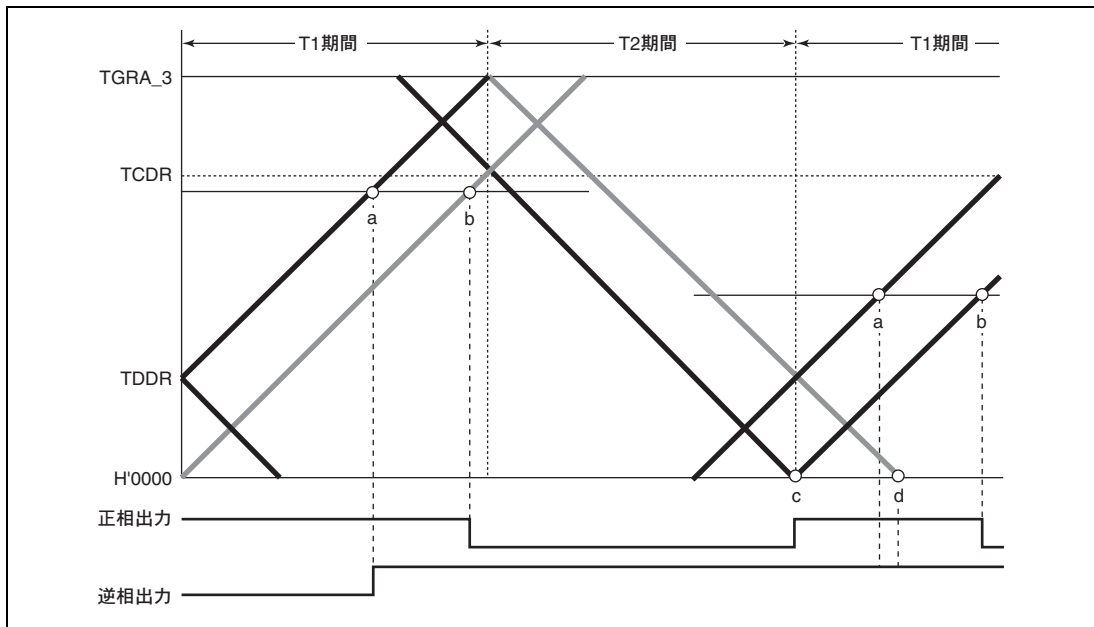


図 11.50 相補 PWM モード 0%、100%波形出力例 (2)

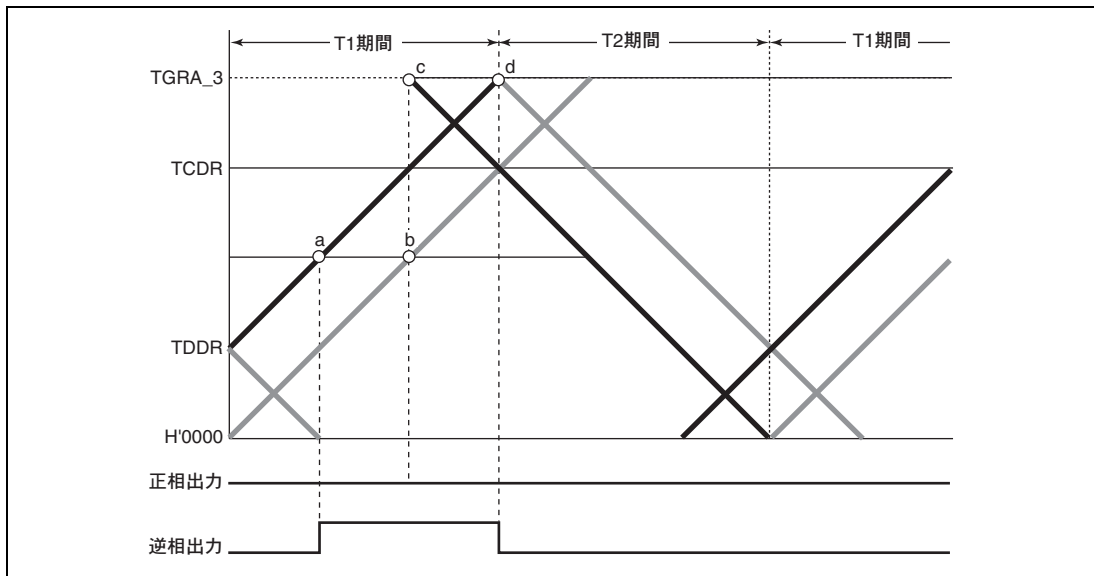


図 11.51 相補 PWM モード 0%、100%波形出力例 (3)

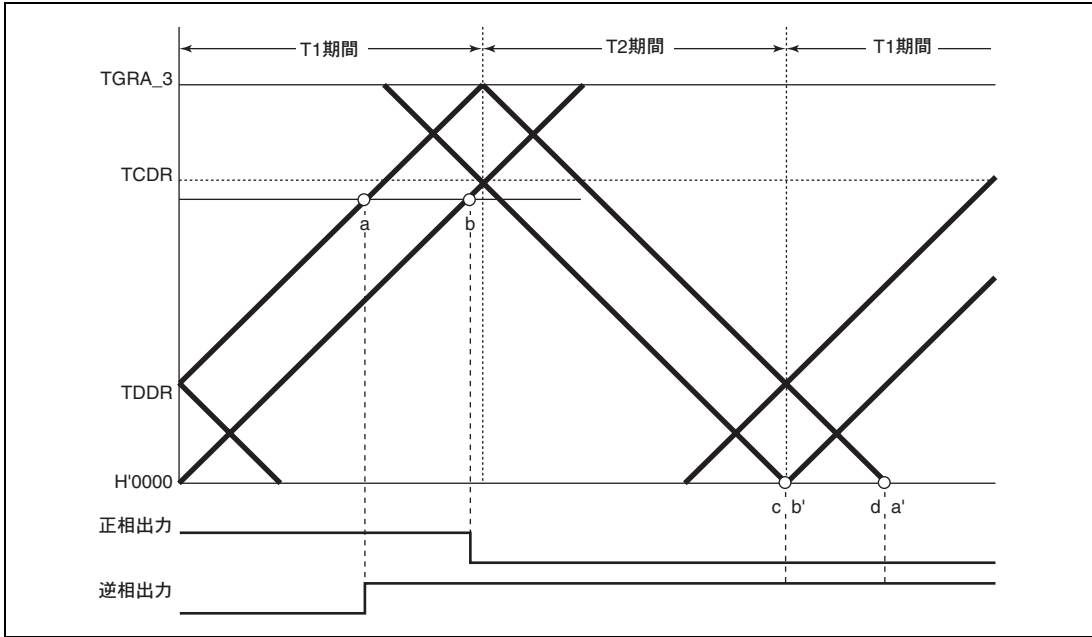


図 11.52 相補 PWM モード 0%、100%波形出力例 (4)

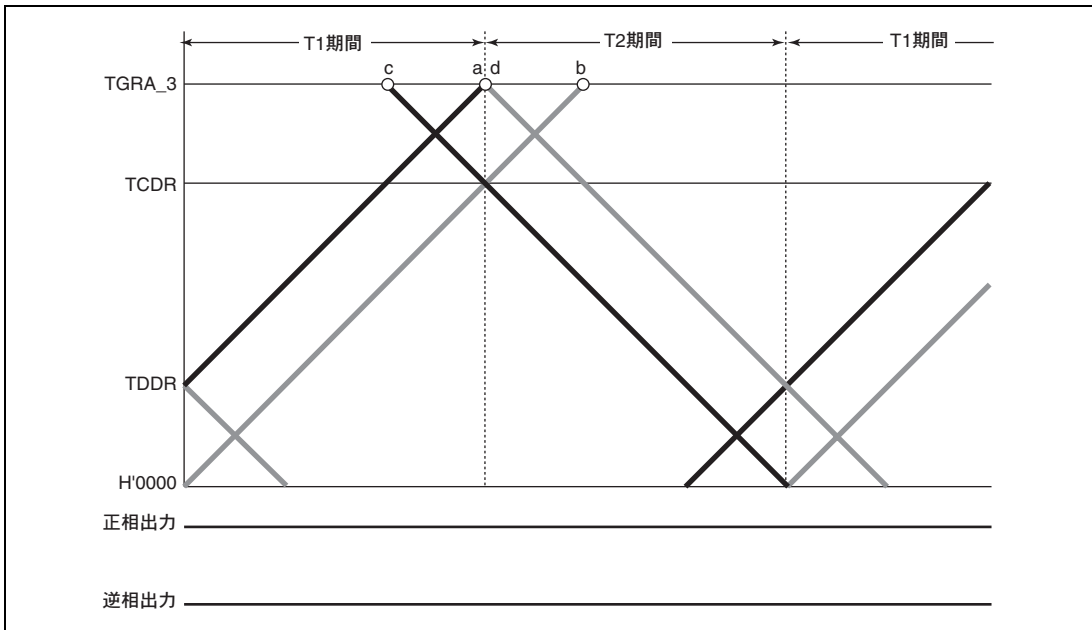


図 11.53 相補 PWM モード 0%、100%波形出力例 (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 11.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

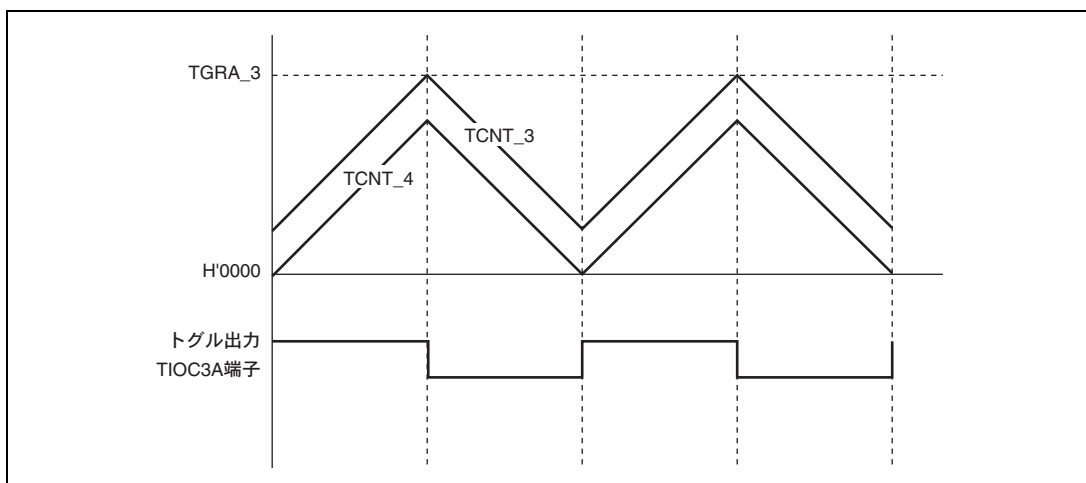


図 11.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャンネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャンネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2~CCLR0 により同期クリアを選択することにより他のチャンネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 11.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

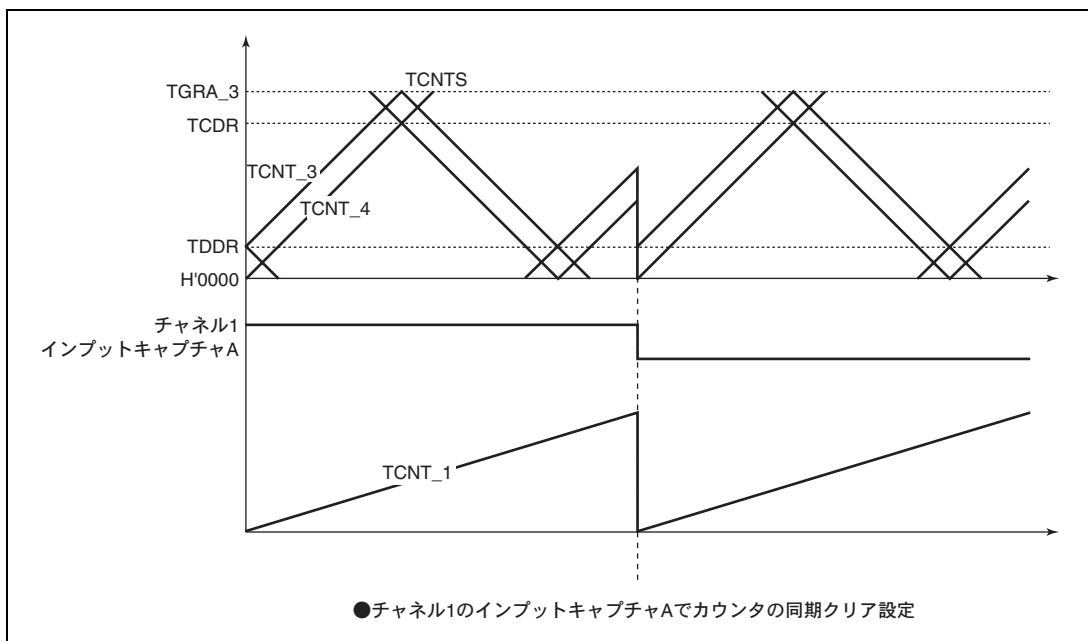


図 11.55 他のチャンネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑制することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑制することができます。

WRE ビットを 1 に設定することで初期出力を抑制することができるのは、同期クリアが図 11.56 の⑩、⑪のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 11.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU2、MTU2S のどちらでも使用することができます。MTU2、MTU2S のカウンタクリア要因はそれぞれ、MTU2 では MTU2 のチャンネル 0~2 からの同期クリア、MTU2S では MTU2 のチャンネル 0~2 のフラグセット（コンペアマッチ/インプットキャプチャ）です。

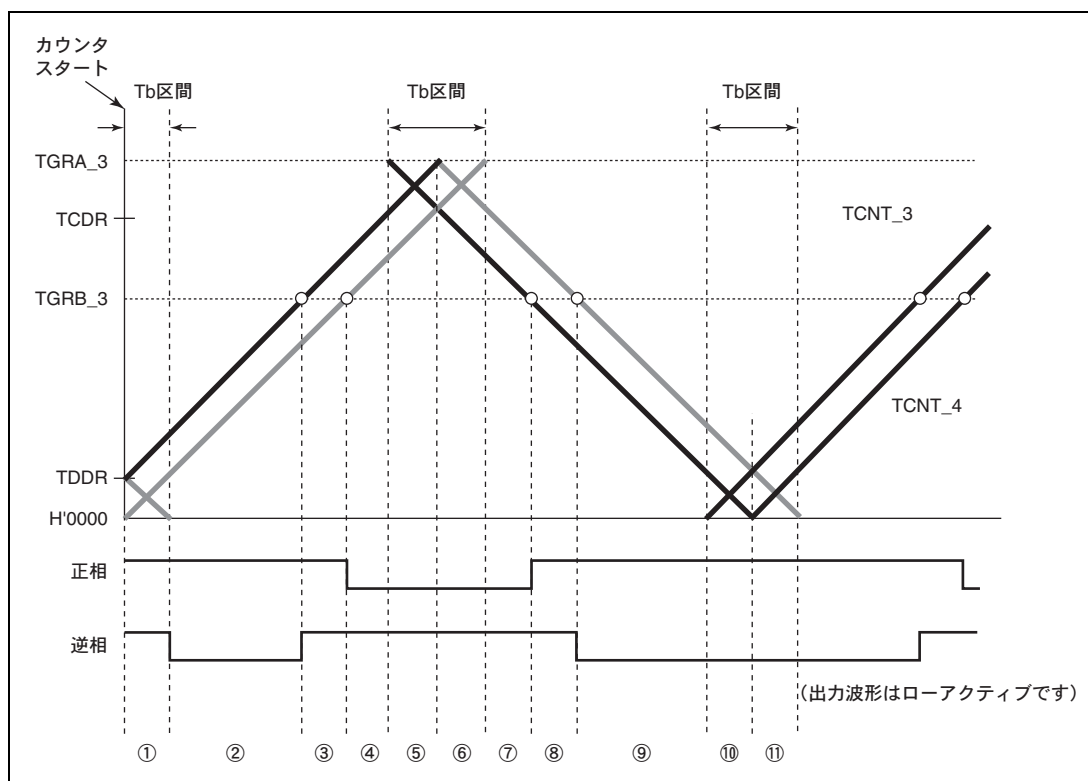


図 11.56 同期カウンタクリアタイミング

● 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 11.57 に示します。

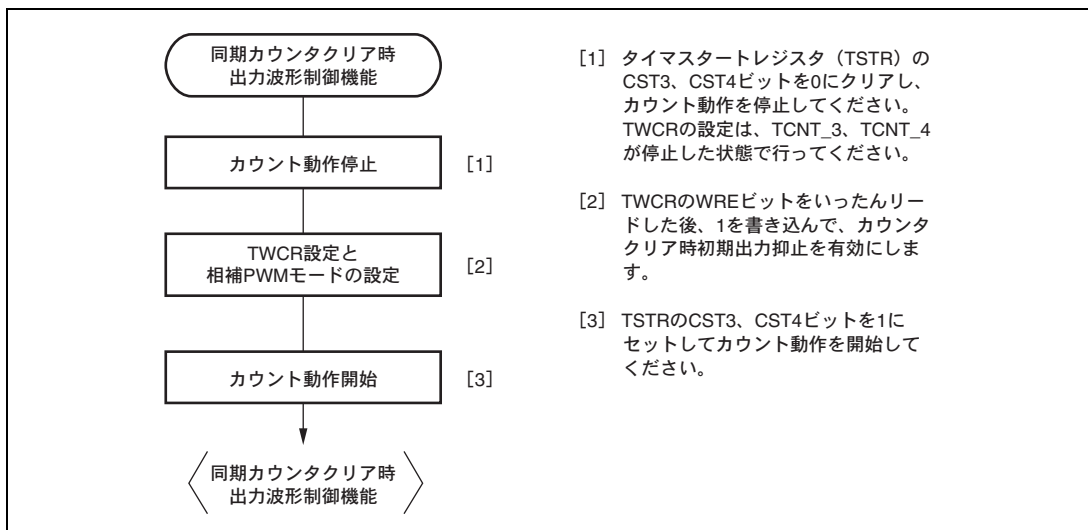


図 11.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 11.58～図 11.61 に、TWCR の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 11.58～図 11.61 の同期カウンタクリアのタイミングは、それぞれ図 11.56 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU2S では TWCR の SCC ビットを 0、WRE ビットを 1 に設定した状態で MTU2S を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

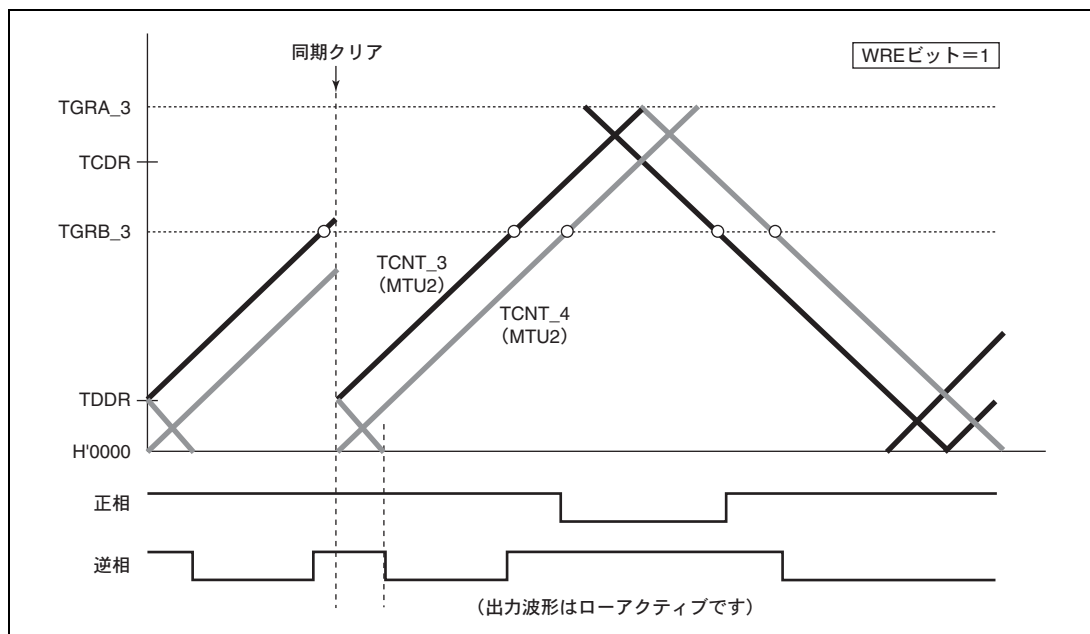


図 11.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 11.56 のタイミング③、MTU2 の TWCR レジスタの WRE ビット=1)

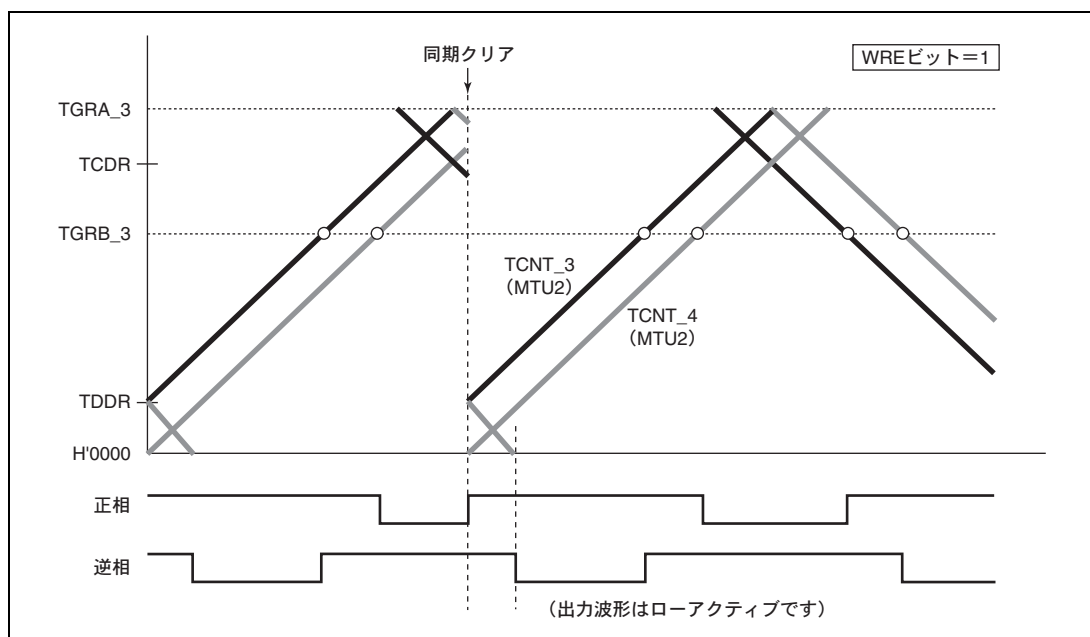


図 11.59 山の Tb 区間で同期クリアが発生した場合
(図 11.56 のタイミング⑥、MTU2 の TWCR レジスタの WRE ビット=1)

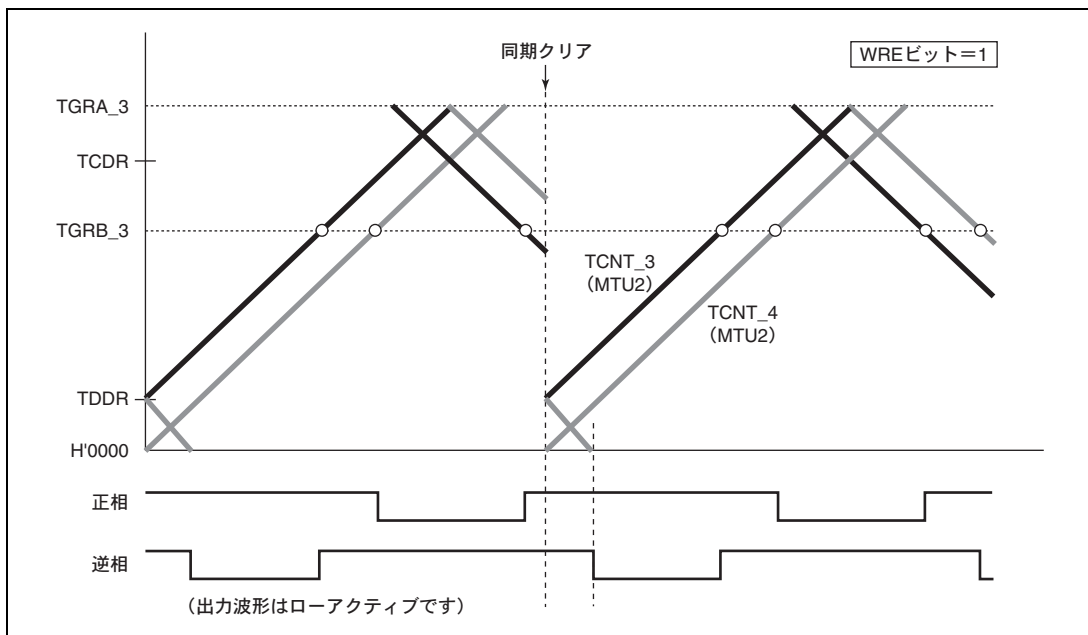


図 11.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 11.56 のタイミング⑧、TWCR レジスタの WRE ビット=1)

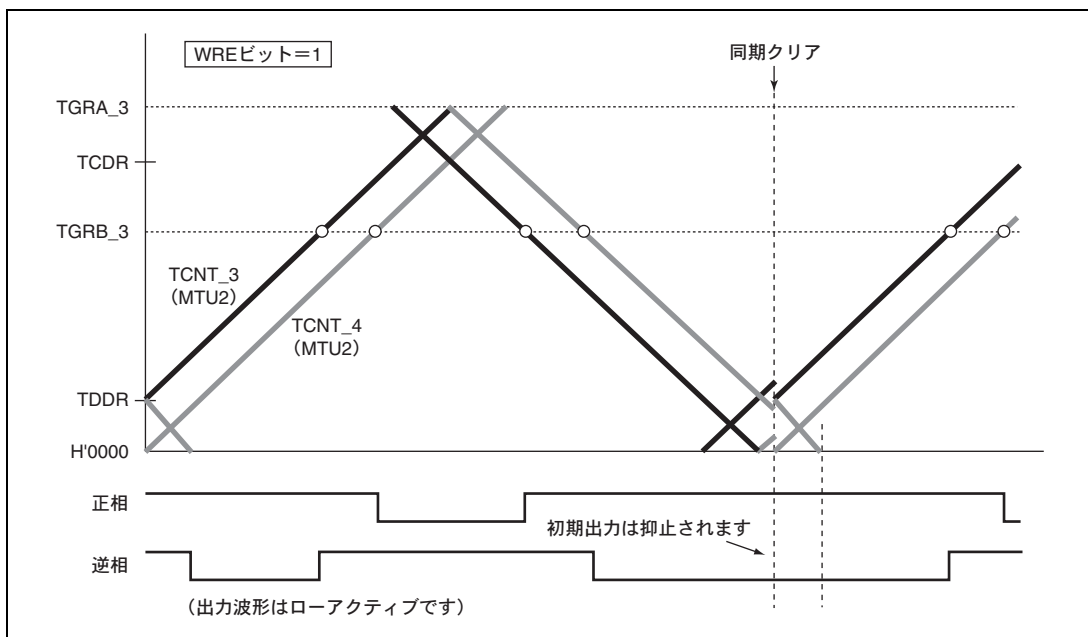


図 11.61 谷の Tb 区間で同期クリアが発生した場合
 (図 11.56 のタイミング⑩、TWCR レジスタの WRE ビット=1)

(o) MTU2-MTU2S カウンタ同期クリアの抑止機能

MTU2S では、TWCRCR レジスタの SCC ビットを 1 に設定することにより、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU2 からの同期クリアが抑止できるのは、図 11.62 で示す区間です。

また、本機能を使用する際は、MTU2S を相補 PWM モードに設定してください。

MTU2 からの同期クリアについての詳細は、「11.4.10 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2-MTU2S カウンタ同期クリア)」を参照してください。

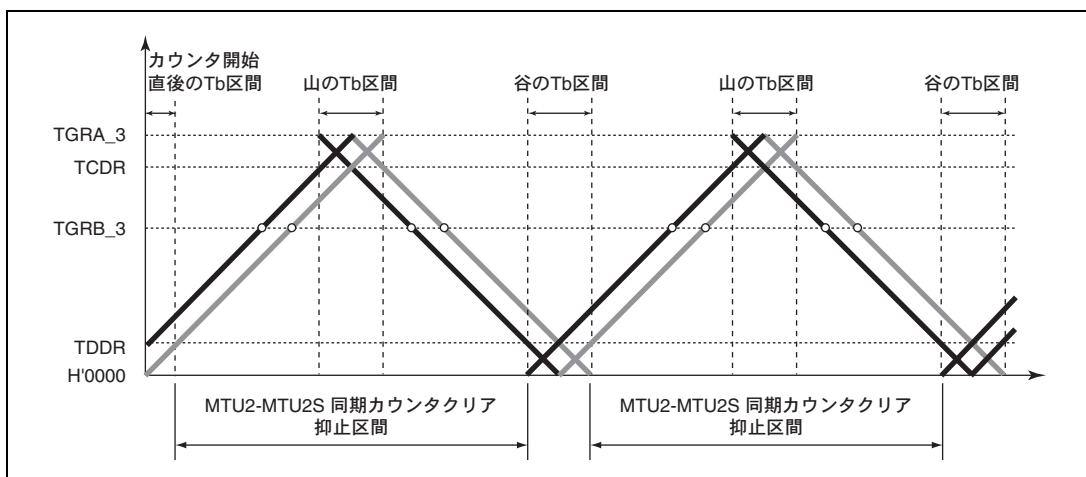


図 11.62 TWCRCR の SCC ビットセットによる、MTU2-MTU2S 同期カウンタクリア抑止区間

- MTU2-MTU2S同期カウンタクリア抑止機能の設定手順例

MTU2-MTU2S 同期カウンタクリア抑止機能の設定手順例を図 11.63 に示します。

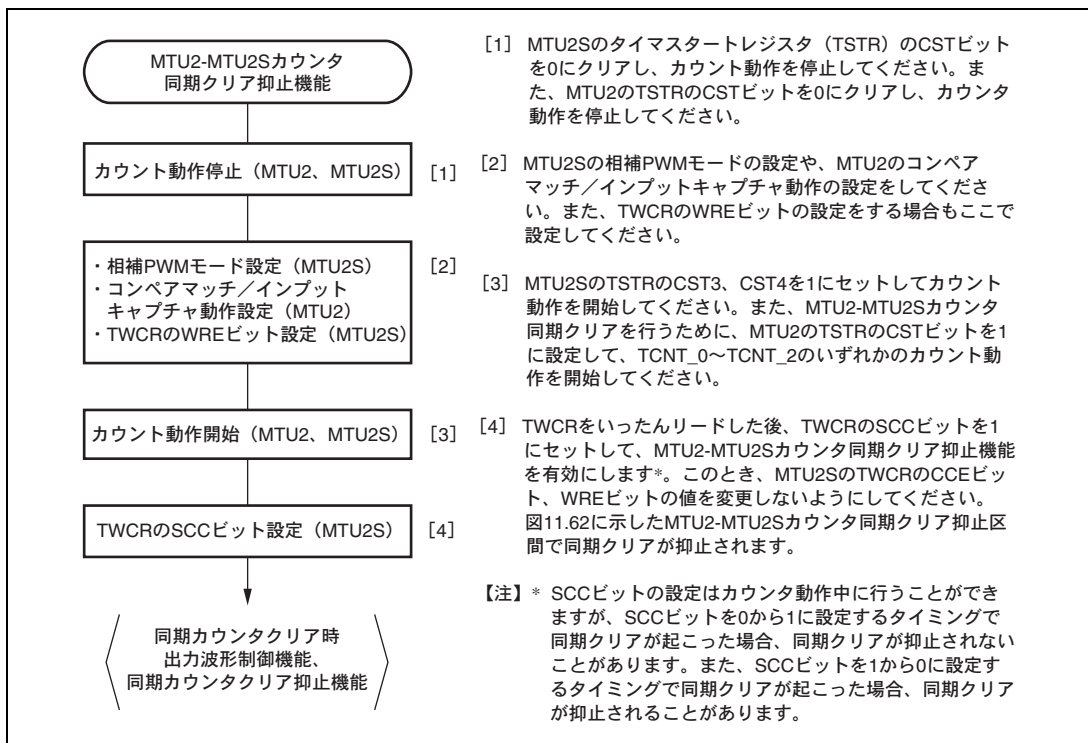


図 11.63 MTU2-MTU2S 同期カウンタクリア抑止機能の設定手順例

● MTU2-MTU2S同期カウンタクリア抑止機能の動作例

図 11.64～図 11.67 に、MTU2S の TWCR の SCC ビットを 1 に設定して MTU2S を相補 PWM 動作をさせ、MTU2-MTU2S カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 11.64～図 11.67 の同期カウンタクリアのタイミングは、それぞれ図 11.56 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU2S の TWCR の WRE ビットは 1 に設定しています。

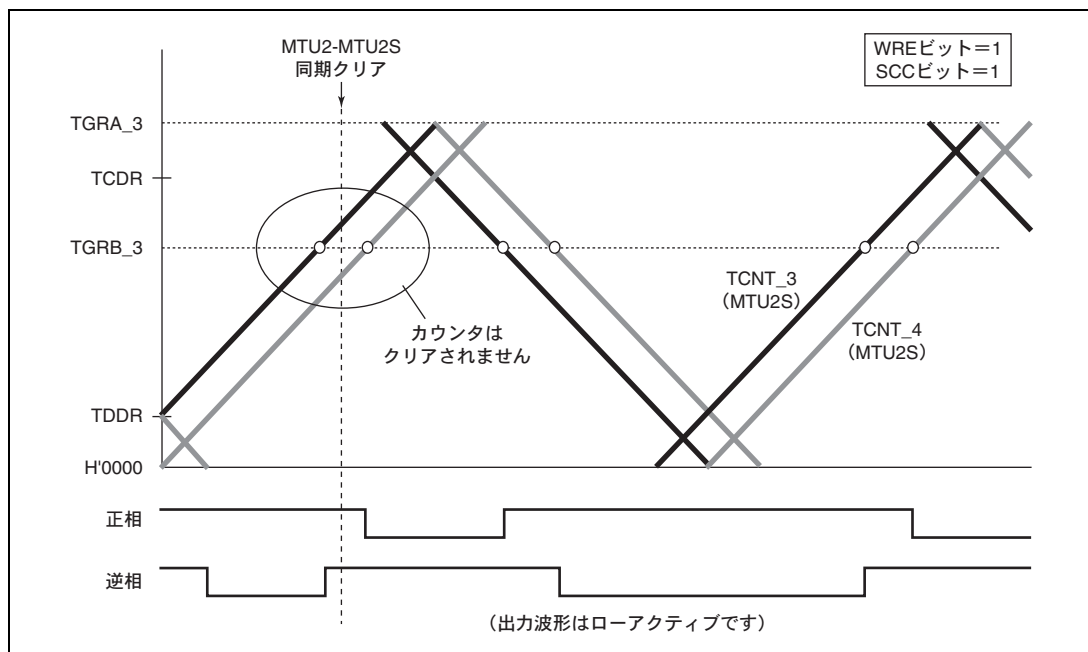


図 11.64 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 11.56 のタイミング③、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

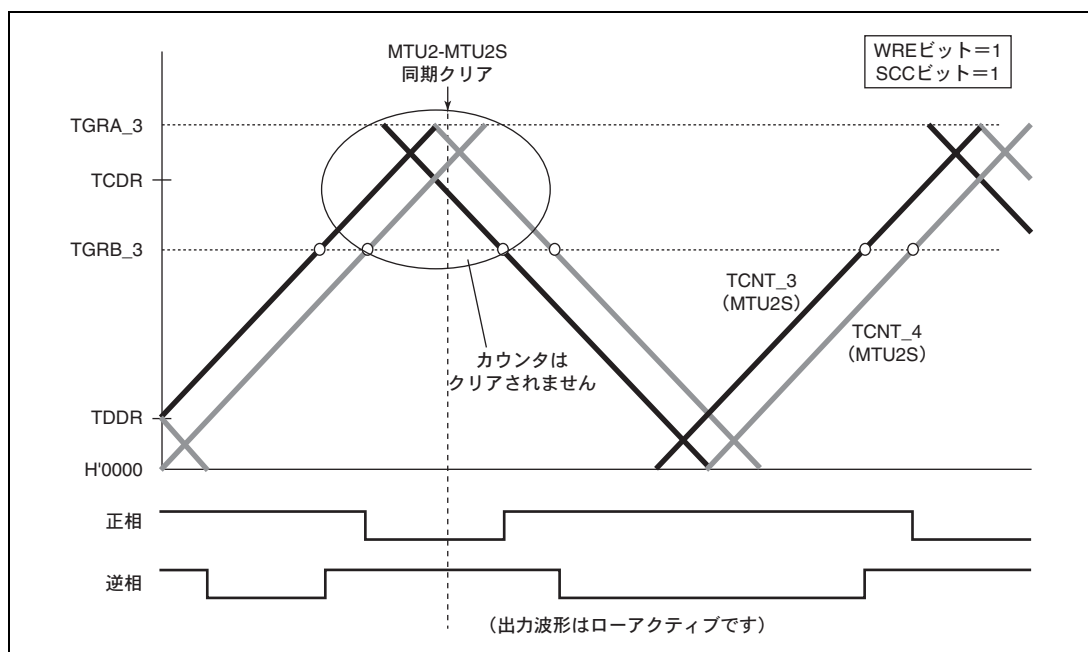


図 11.65 山の Tb 区間で同期クリアが発生した場合
(図 11.56 のタイミング⑥、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

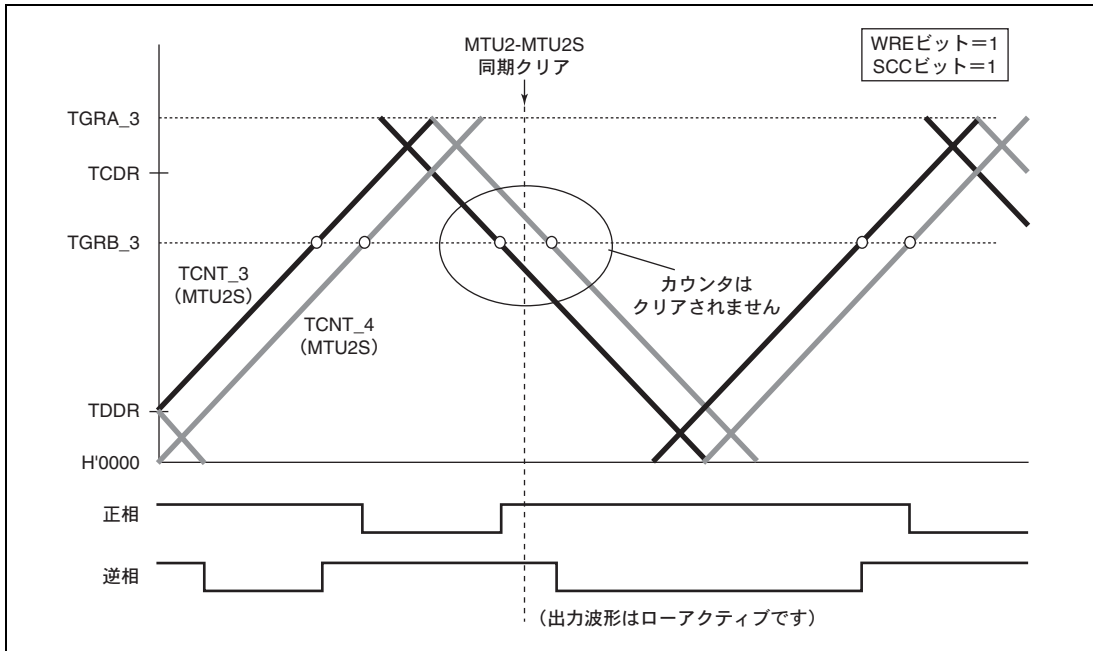


図 11.66 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 11.56 のタイミング⑧、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

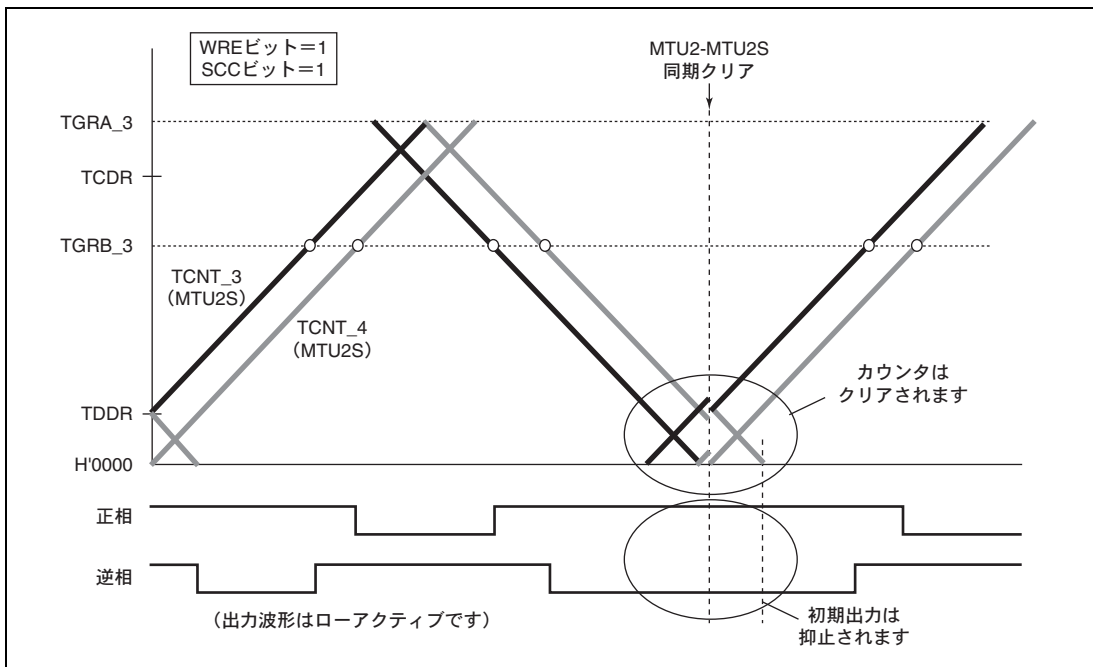


図 11.67 谷の Tb 区間で同期クリアが発生した場合
 (図 11.56 のタイミング⑩、MTU2S の TWCR レジスタの WRE ビット=1、SCC ビット=1)

(p) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 11.68 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0~SYNC4 ビットを 1、タイマシンクロクリアレジスタ (TSYCR) の CE0A/B/C/D、CE1A/B/C/D ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

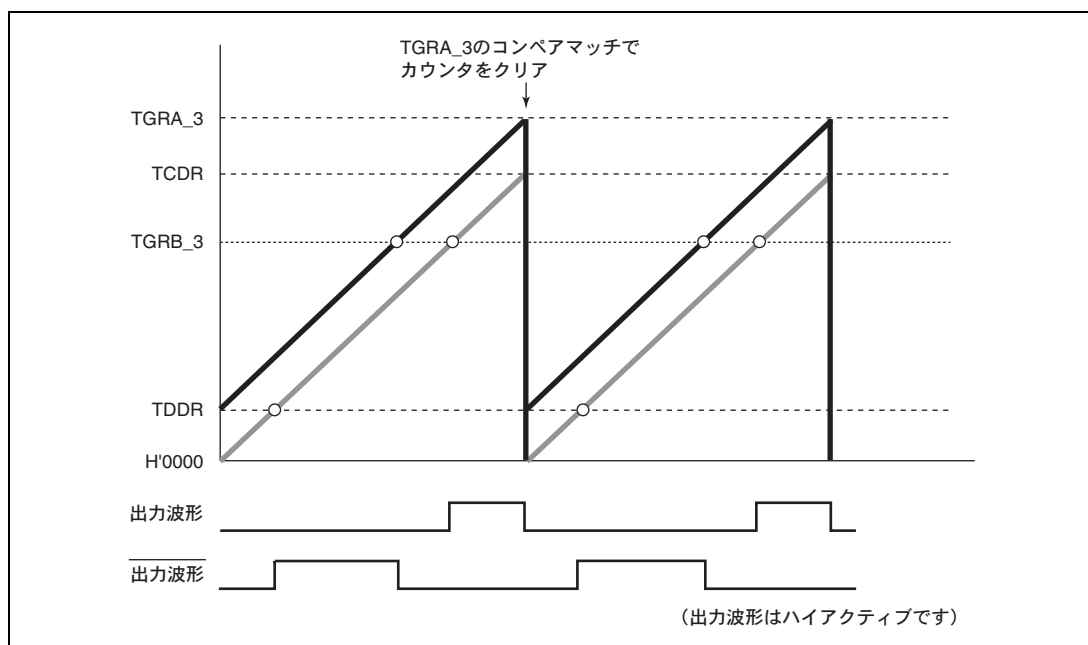


図 11.68 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(q) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 11.69~図 11.72 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル（ON出力時レベル）は、NビットおよびPビットの設定にかかわらず、タイマアウトプットコントロールレジスタ（TOCR）のOLSNビット、OLSPビットで設定できます。

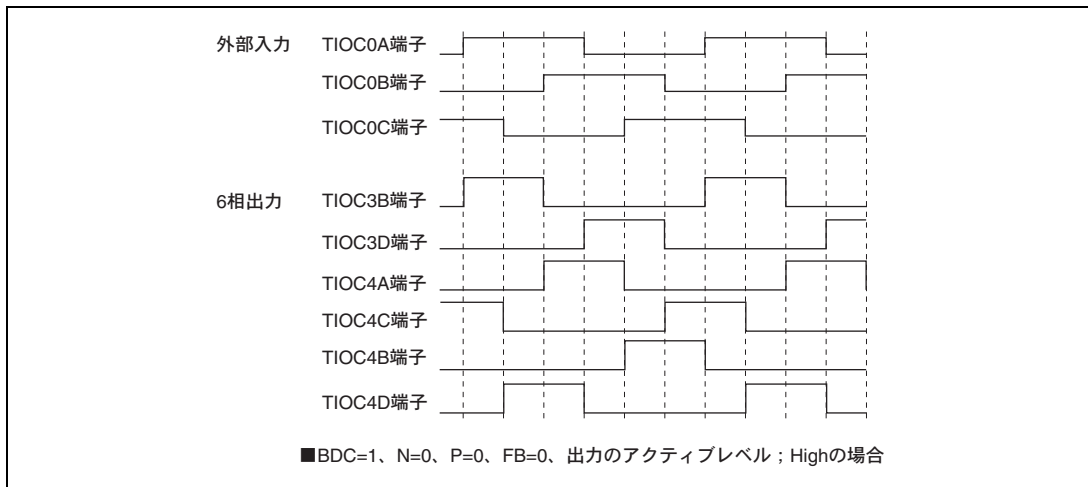


図 11.69 外部入力による出力相の切り換え動作例（1）

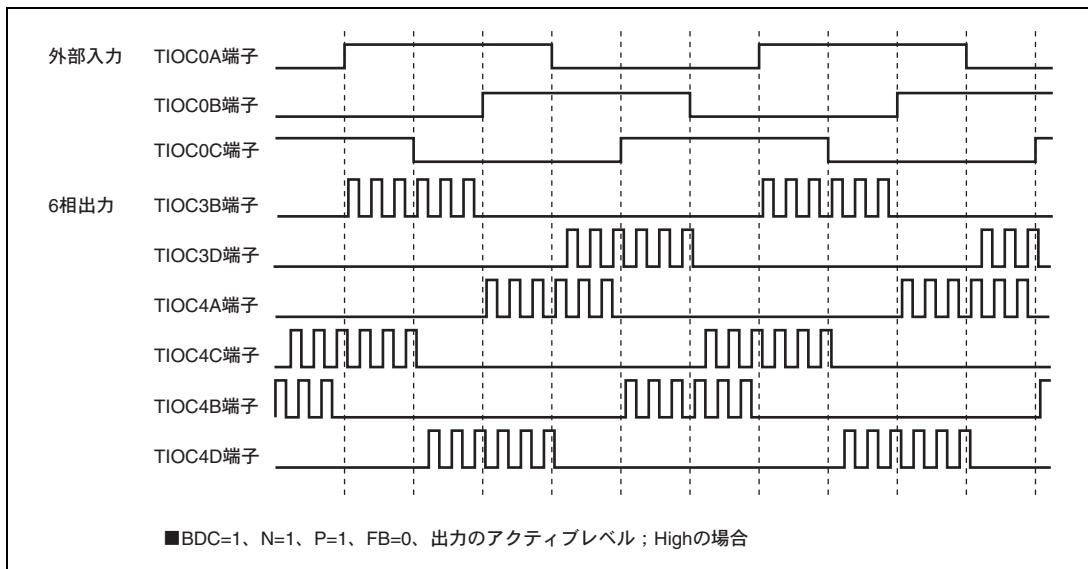


図 11.70 外部入力による出力相の切り換え動作例（2）

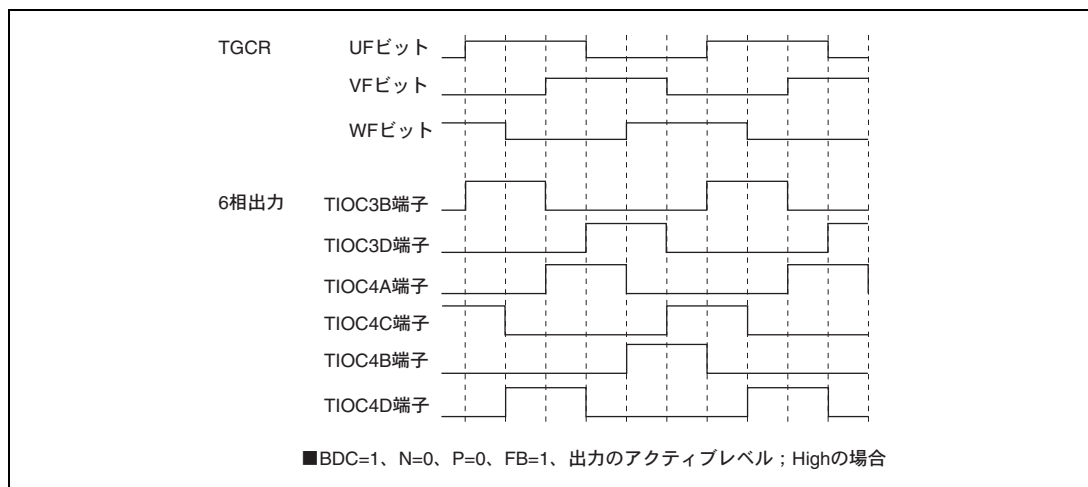


図 11.71 UF、VF、WF ビット設定による出力相の切り換え動作例 (1)

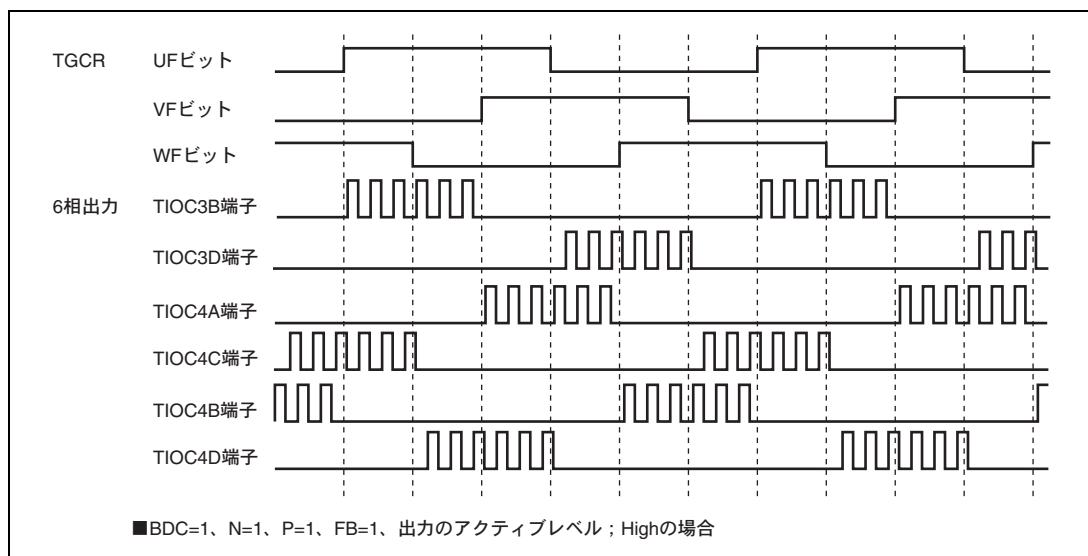


図 11.72 UF、VF、WF ビット設定による出力相の切り換え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「11.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 11.73 に示します。また、割り込み間引き回数の変更可能期間を図 11.74 に示します。

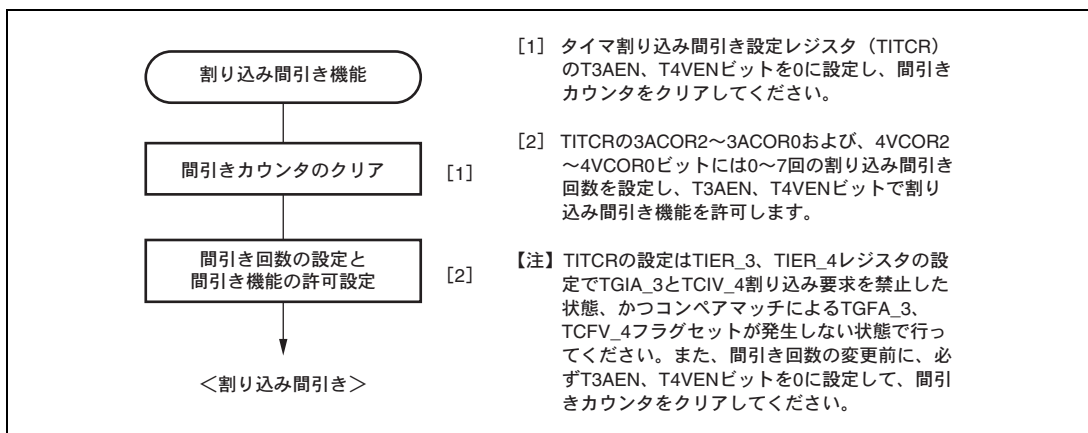


図 11.73 割り込み間引き機能の設定手順例

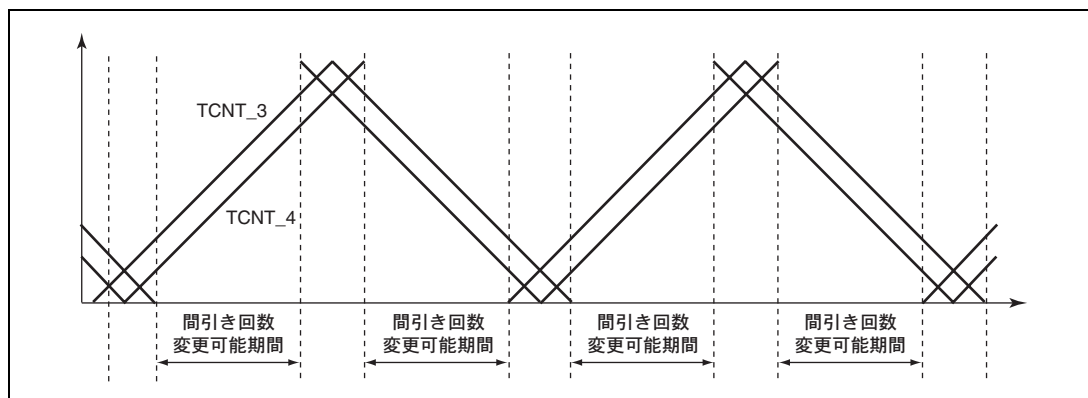


図 11.74 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 11.75 に示します。

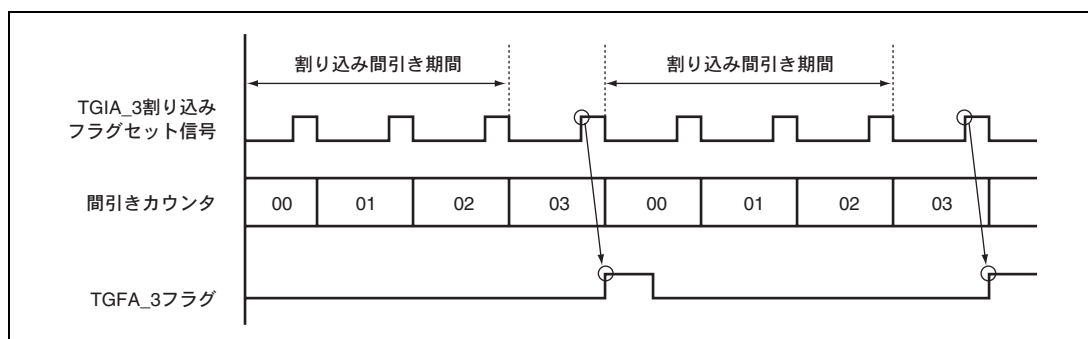


図 11.75 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1=0、BTE0=1) にした場合の動作例を図 11.76 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0) にした場合の動作例を図 11.77 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き込みタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 11.78 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

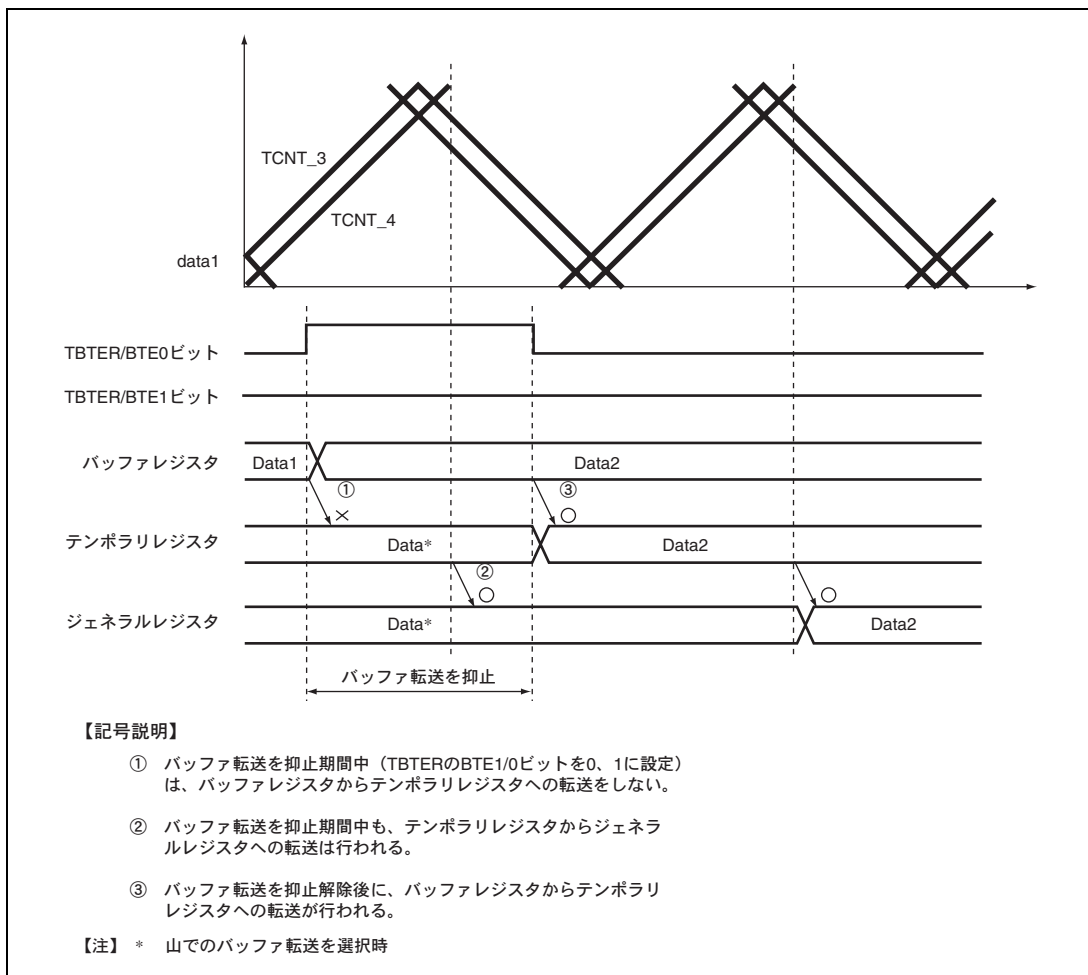


図 11.76 バッファ転送を抑制する設定（BTE1=0、BTE0=1）にした場合の動作例

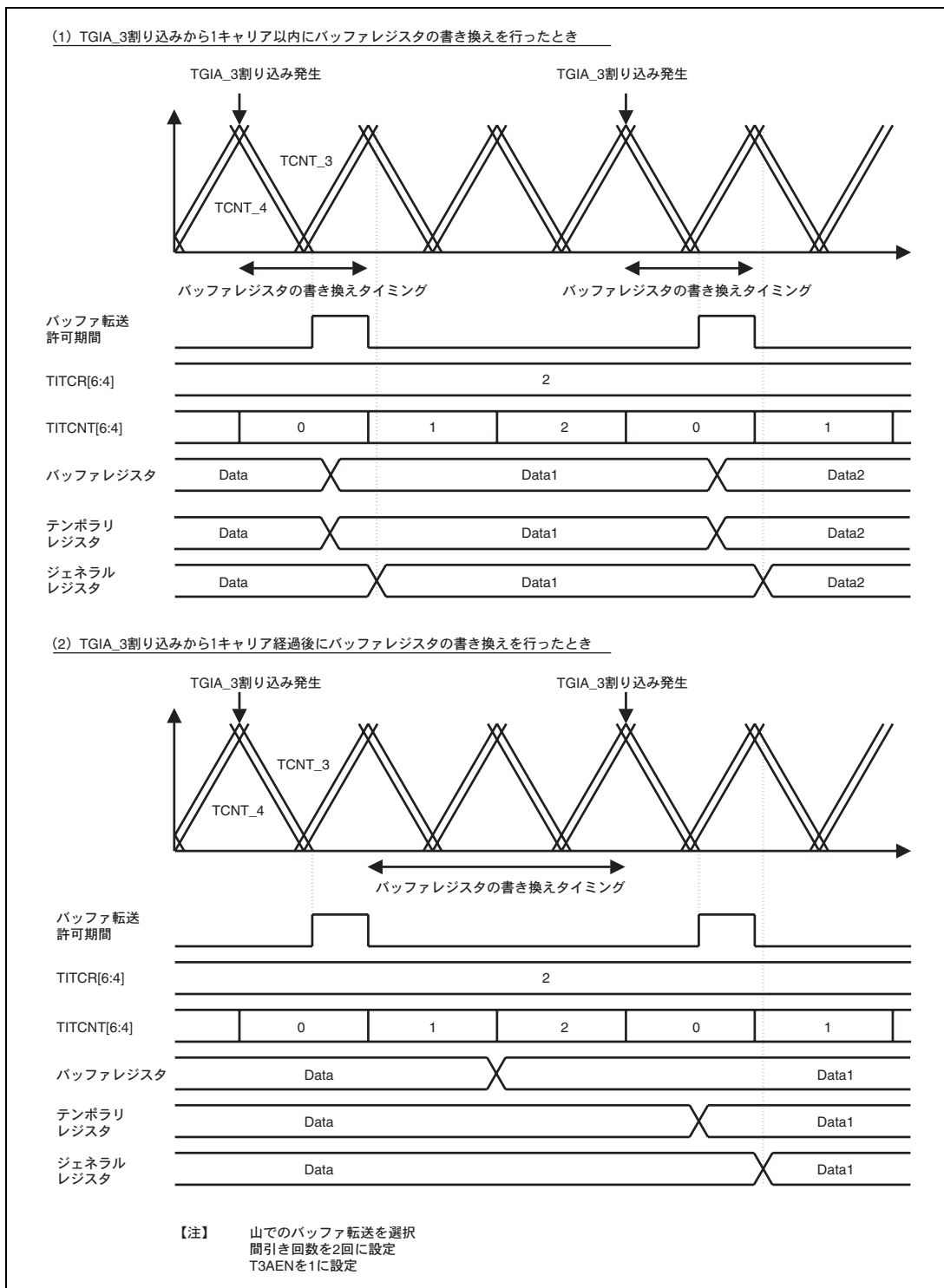


図 11.77 バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0) にした場合の動作例

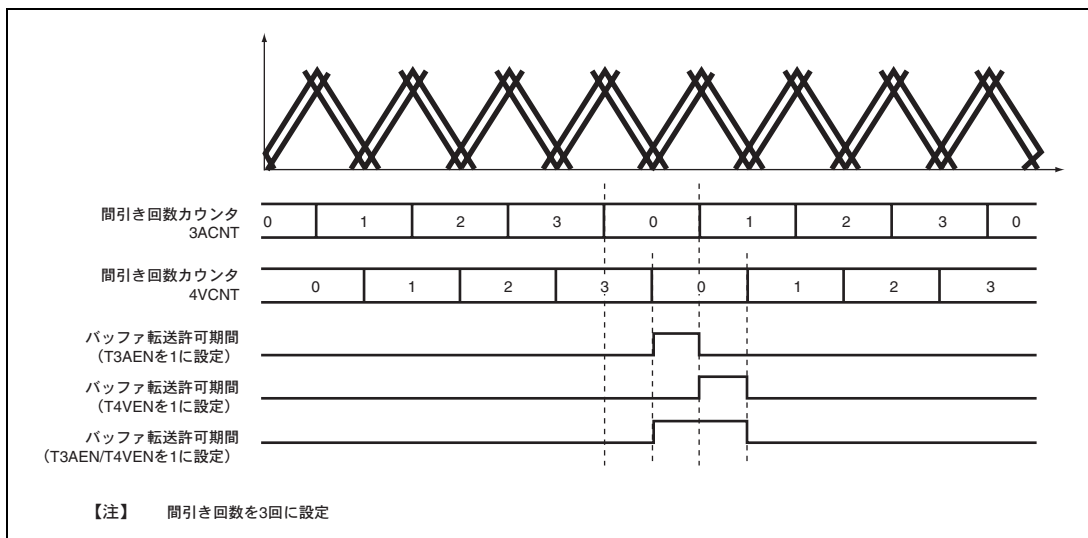


図 11.78 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「第 13 章 ポートアウトブットイネーブル 2 (POE2)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「4.7 発振停止検出機能」を参照してください。

11.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

(a) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 11.79 に示します。

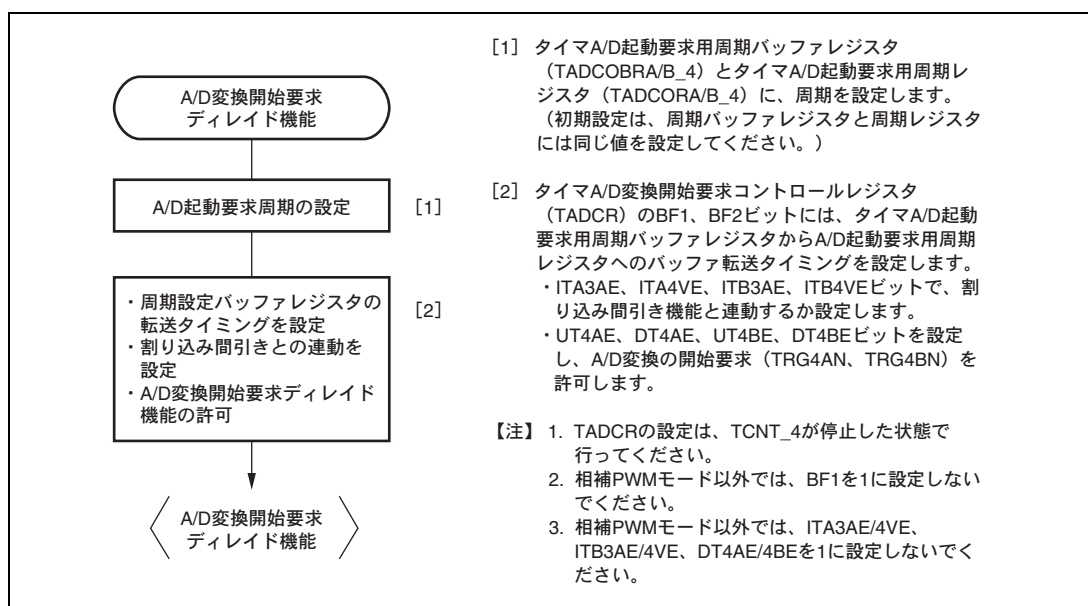


図 11.79 A/D 変換開始要求ディレイド機能の設定手順例

(b) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 11.80 に示します。

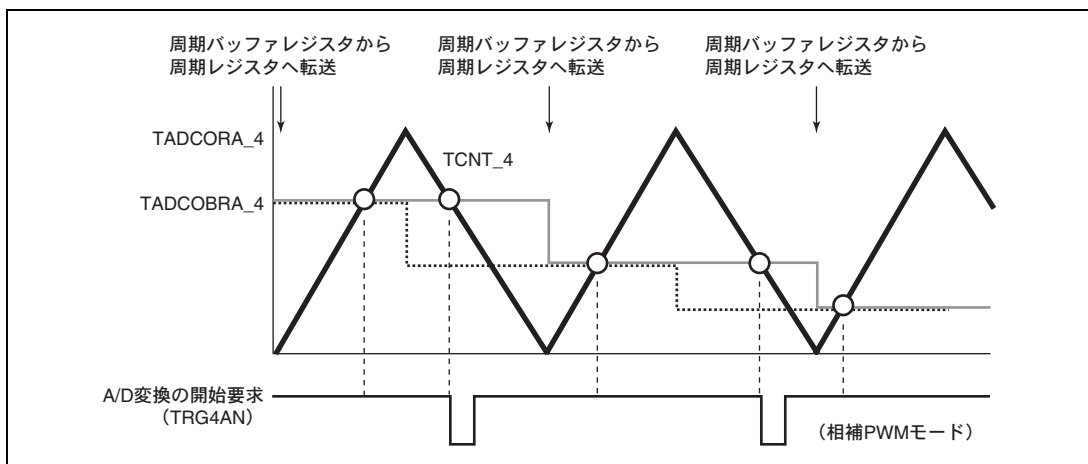


図 11.80 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(c) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (TADCR_4) の BF1、BF0 ビットを設定することにより選択することができます。

(d) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.81 に示します。

また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 11.82 に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。

また、本機能使用時、TADCORA_4、TADCOBRA_4 には H'0002~TCDR の設定値-2 の値を設定してください。

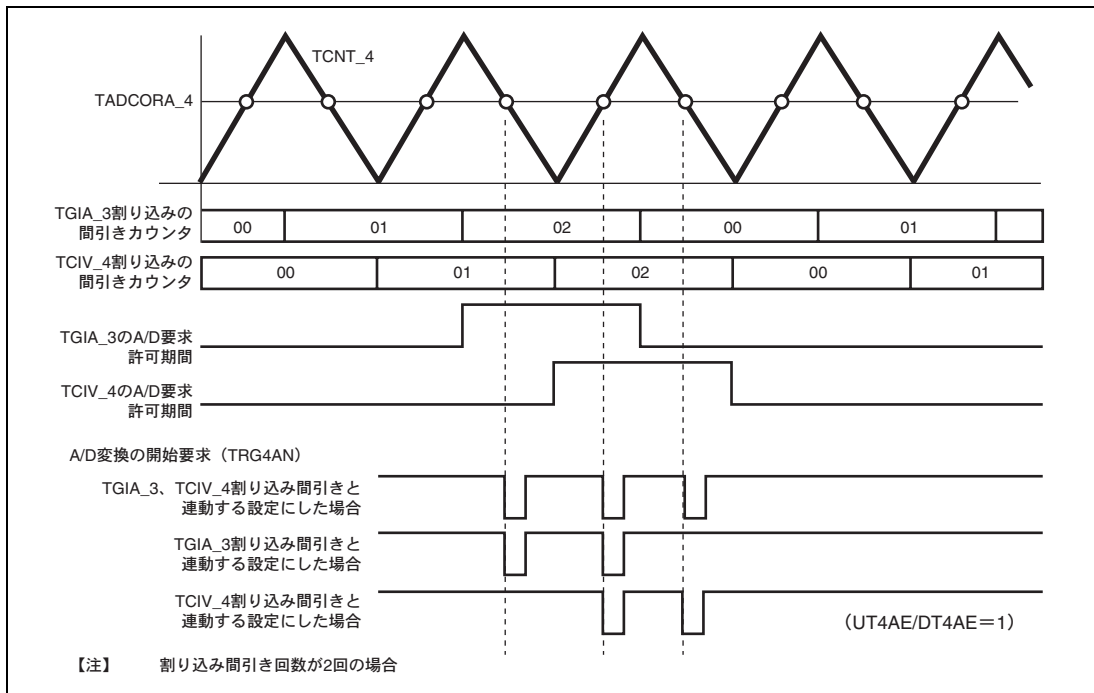


図 11.81 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

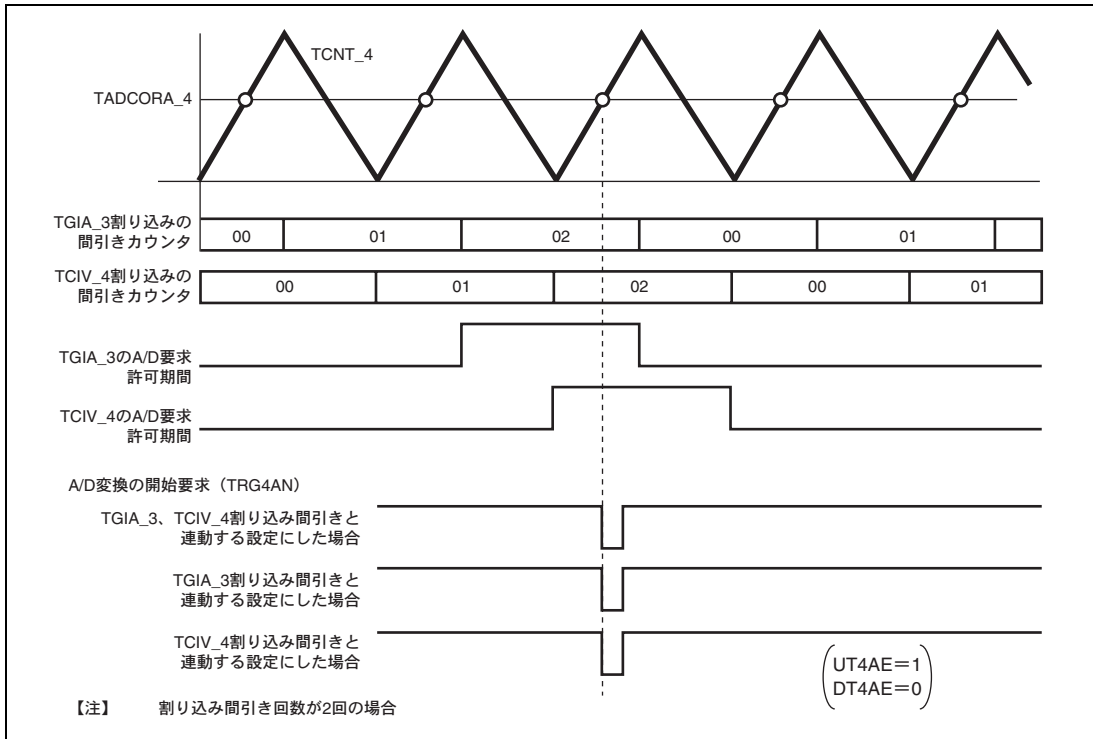


図 11.82 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

11.4.10 MTU2-MTU2S の同期動作

(1) MTU2-MTU2S カウンタ同期スタート

MTU2 の TCSYSTR レジスタを設定することにより、異なるクロック系で動作する MTU2 と MTU2S のカウンタを同期スタートすることができます。

(a) MTU2-MTU2S カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 11.83 に示します。

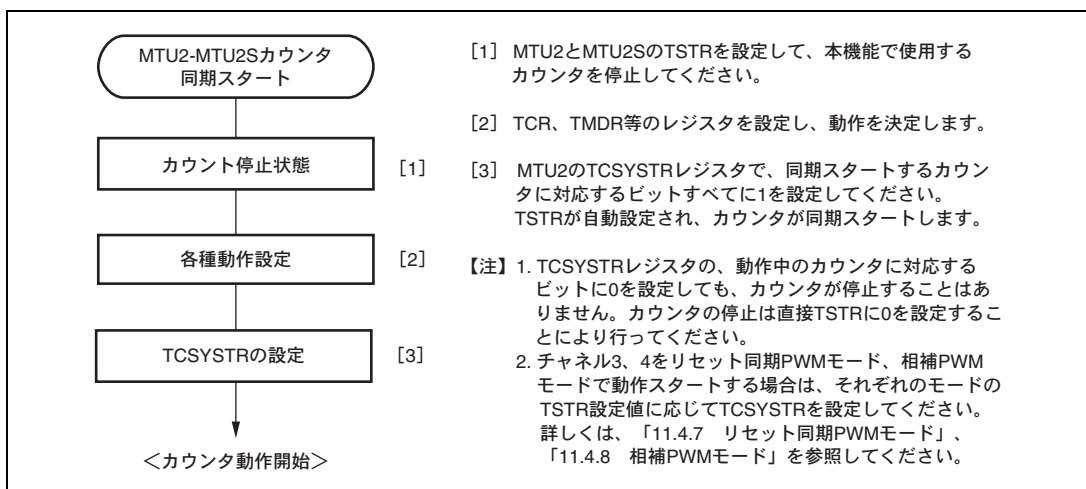


図 11.83 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 11.84 にカウンタ同期スタート動作例を示します。

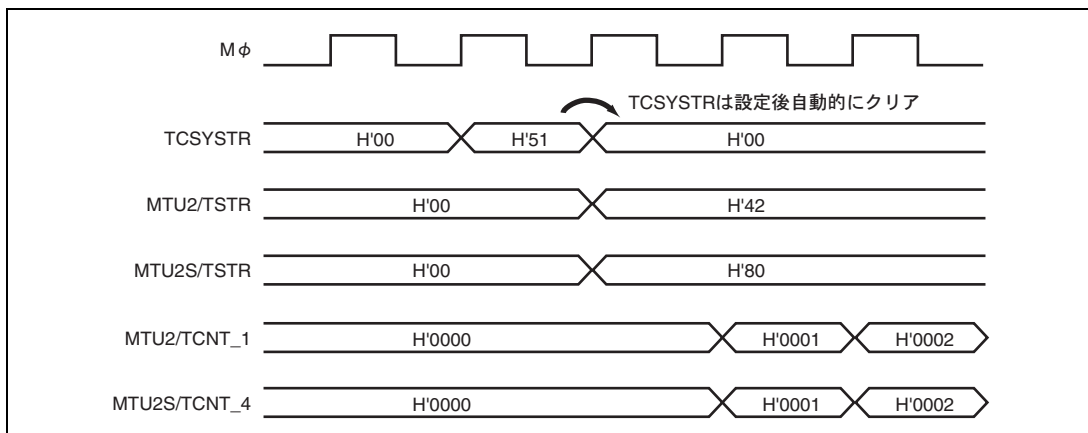


図 11.84 カウンタ同期スタート動作例

(2) MTU2 フラグセット要因を利用した MTU2S カウンタクリア (MTU2-MTU2S カウンタ同期クリア)

MTU2S は TSYCRS レジスタを設定することにより、MTU2 の TSR_0~TSR_2 のフラグセット要因を利用して、カウンタクリアすることができます。

(a) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例を図 11.85 に示します。

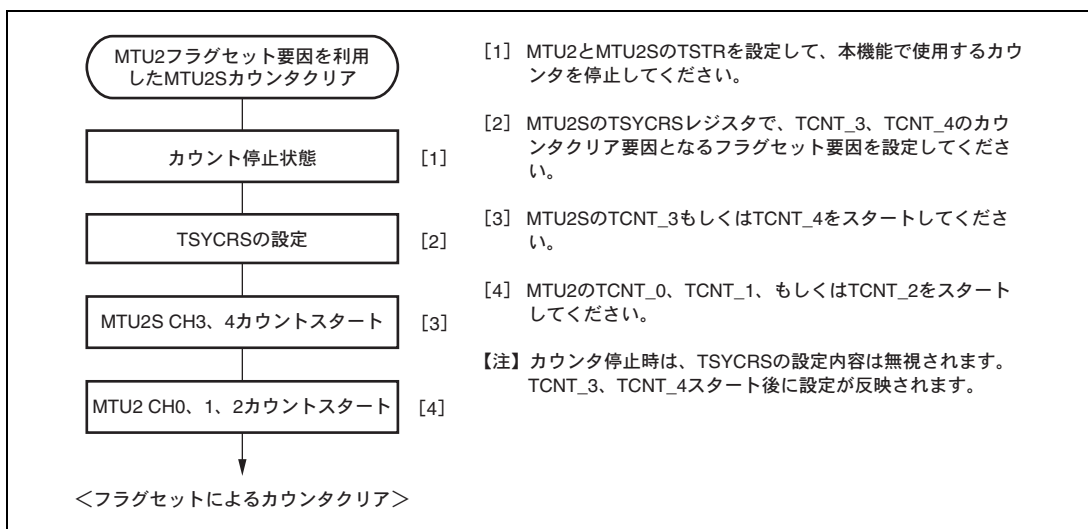


図 11.85 MTU2 フラグセット要因を利用した MTU2S カウンタクリアの設定手順例

(b) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例

MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例を図 11.86 (1)、図 11.86 (2) に示します。

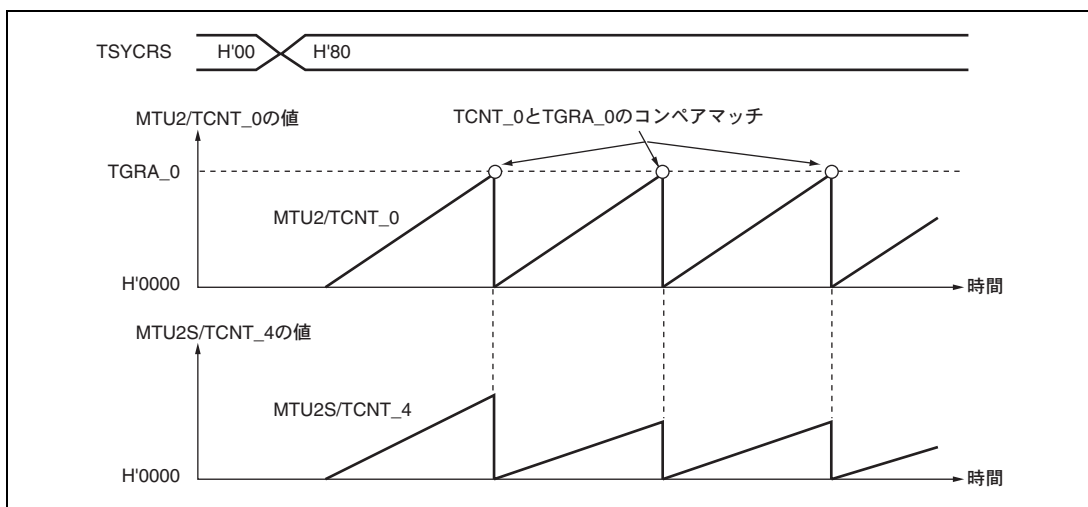


図 11.86 (1) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (1)

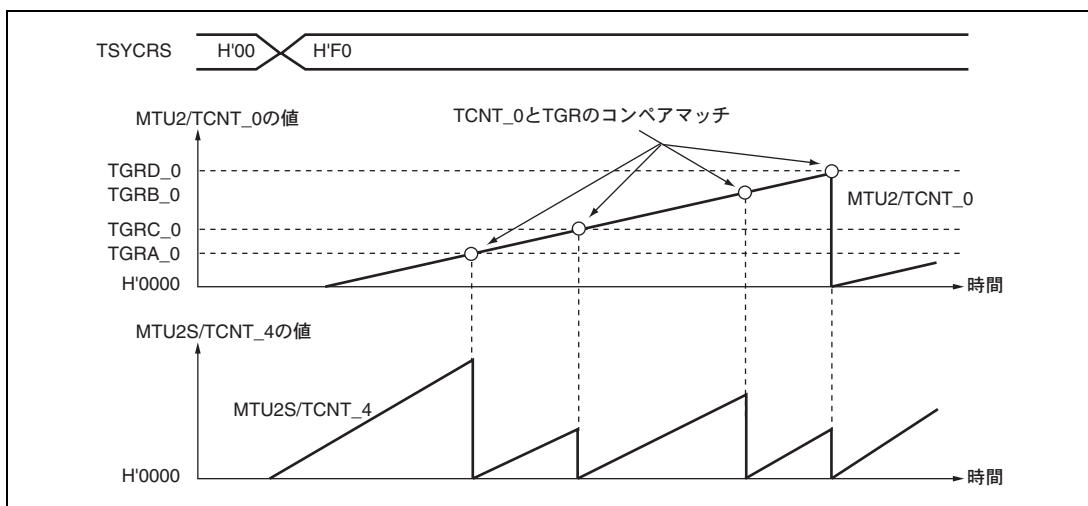


図 11.86 (2) MTU2 フラグセット要因を利用した MTU2S カウンタクリアの動作例 (2)

11.4.11 外部パルス幅測定機能

チャンネル 5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

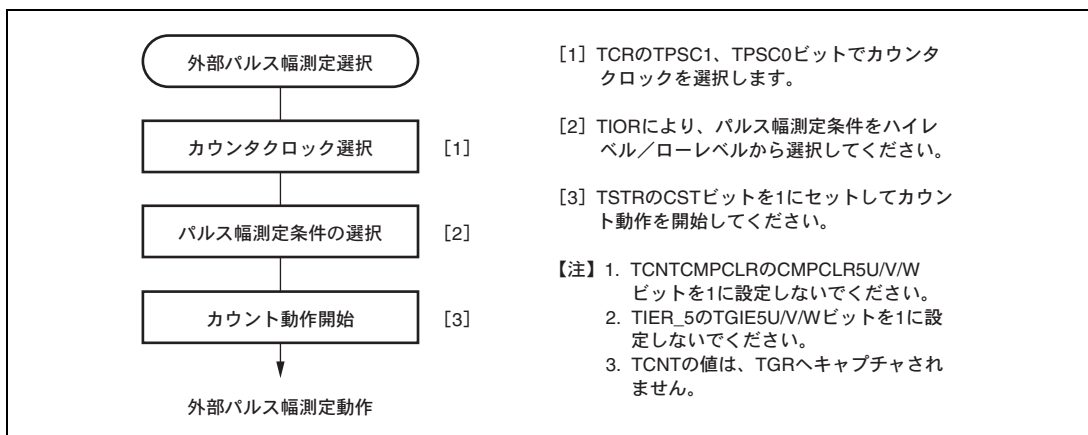


図 11.87 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

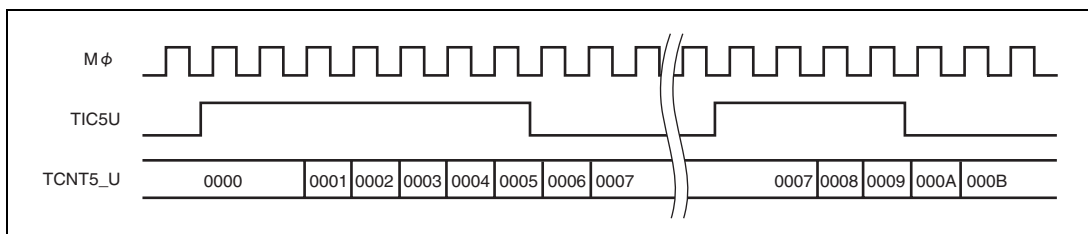


図 11.88 外部パルス幅測定動作例 (ハイパルス幅測定)

11.4.12 デッドタイム補償機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

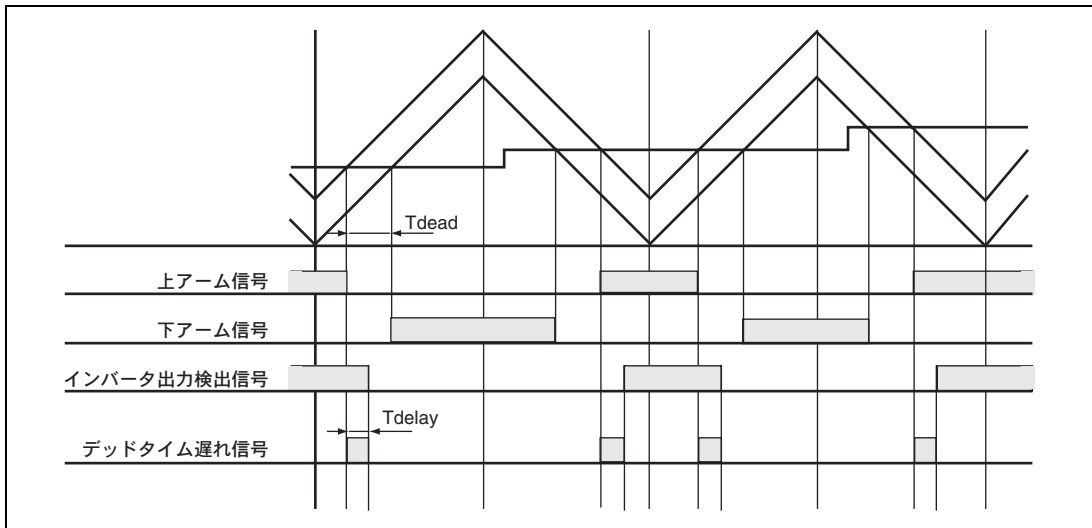


図 11.89 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

チャンネル 5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 11.90 に示します。

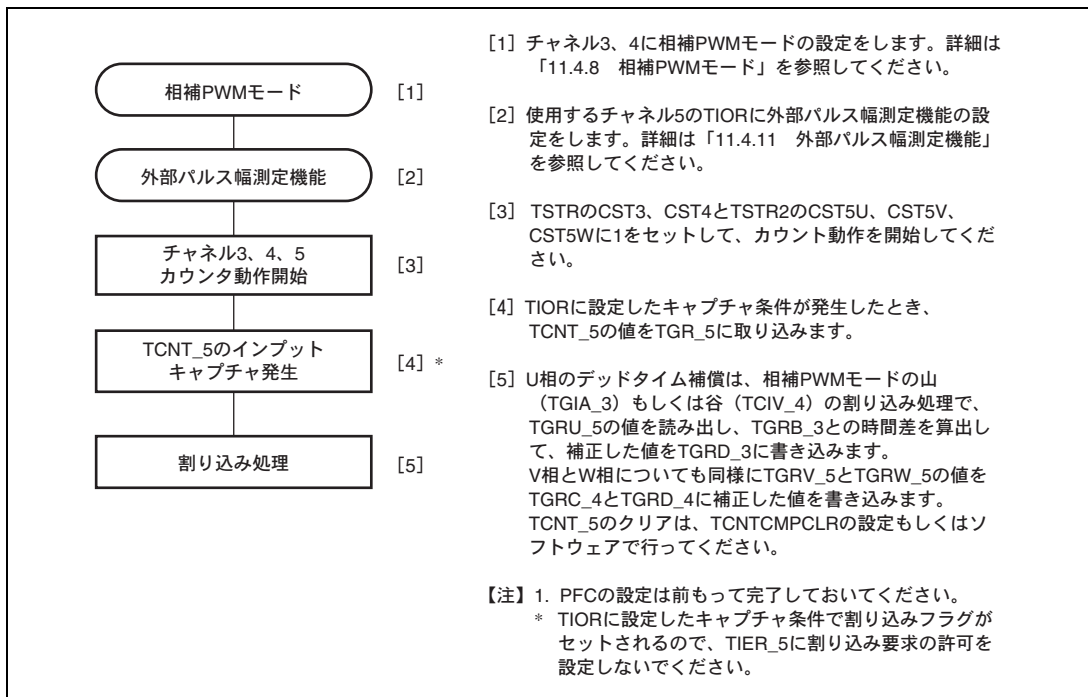


図 11.90 デッドタイム補償機能の設定手順例

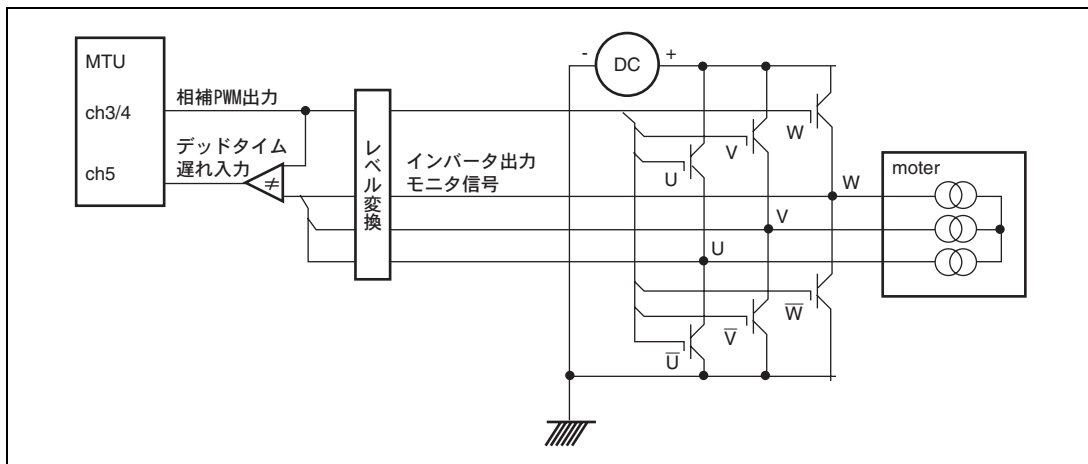


図 11.91 モータ制御回路構成例

11.4.13 相補 PWM の「山／谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 11.92 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

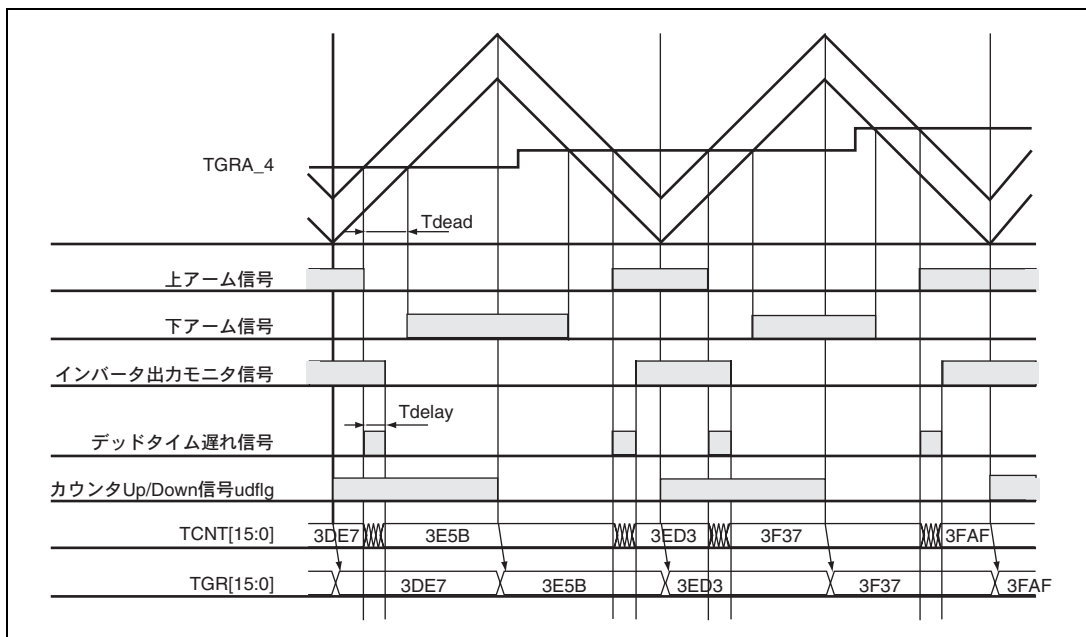


図 11.92 相補 PWM の「山／谷」での TCNT キャプチャ動作

11.5 割り込み要因

11.5.1 割り込み要因と優先順位

MTU2 の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされている場合、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 11.57 に MTU2 の割り込み要因の一覧を示します。

表 11.57 MTU2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	DTC の起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可	高 ↑
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可	可	
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可	可	
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可	可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可	↑ ↓ 低
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可	可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可	
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可	可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可	
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可	可	
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可	可	
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可	可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	不可	

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動	DTCの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	不可	可	
	TGIC_4	TGRC_4 のインプットキャプチャ/コンペアマッチ	TGFC_4	不可	可	
	TGID_4	TGRD_4 のインプットキャプチャ/コンペアマッチ	TGFD_4	不可	可	
	TCIV_4	TCNT_4 のオーバフロー/アンダフロー	TCFV_4	不可	可	
5	TGIU_5	TGRU_5 のインプットキャプチャ/コンペアマッチ	TGFU_5	不可	可	低
	TGIV_5	TGRV_5 のインプットキャプチャ/コンペアマッチ	TGFV_5	不可	可	
	TGIW_5	TGRW_5 のインプットキャプチャ/コンペアマッチ	TGFW_5	不可	可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、チャンネル 5 に各 3 本、計 21 本のインプットキャプチャ/コンペアマッチ割り込みがあります。チャンネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

11.5.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR のインプットキャプチャ/コンペアマッチ割り込み、チャンネル 4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

MTU2 では、チャンネル 0、3 が各 4 本、チャンネル 1、2 が各 2 本、チャンネル 4 が 5 本、チャンネル 5 が 3 本、計 20 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU2 による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。また MTU2 による DMAC バースト転送時には、バス機能拡張レジスタ (BSCEHR) の設定が必要となります。詳細については「9.4.4 バス機能拡張レジスタ (BSCEHR)」を参照してください。

11.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 11.58 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の TAD4AE、TAD4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「11.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 11.58 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

11.6 動作タイミング

11.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.93、図 11.94 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 11.95 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 11.96 に示します。

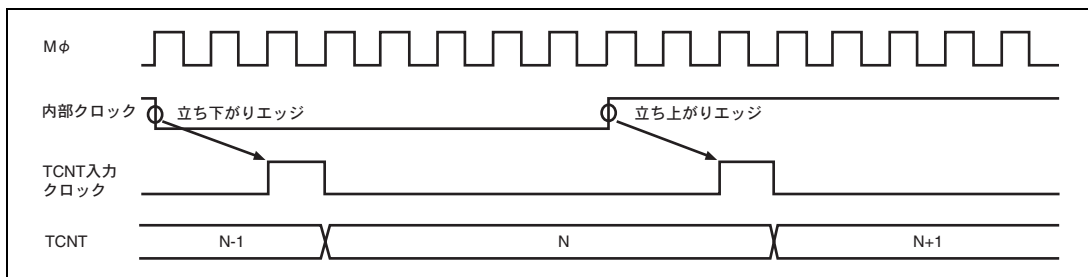


図 11.93 内部クロック動作時のカウントタイミング（チャンネル 0～4）

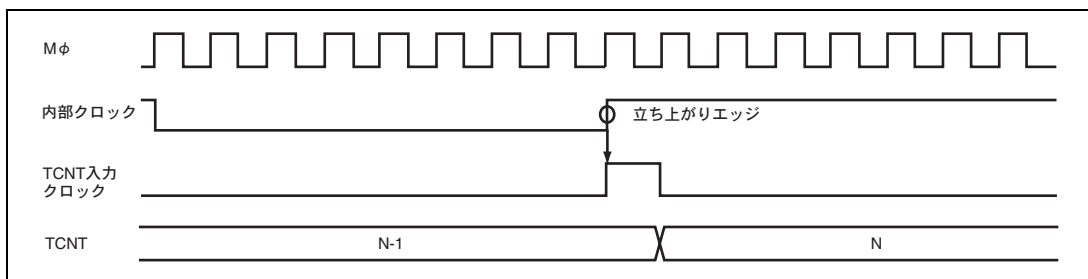


図 11.94 内部クロック動作時のカウントタイミング（チャンネル 5）

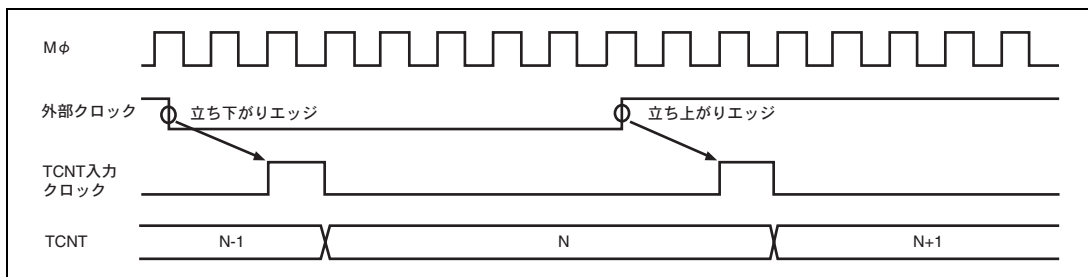


図 11.95 外部クロック動作時のカウントタイミング（チャンネル 0～4）

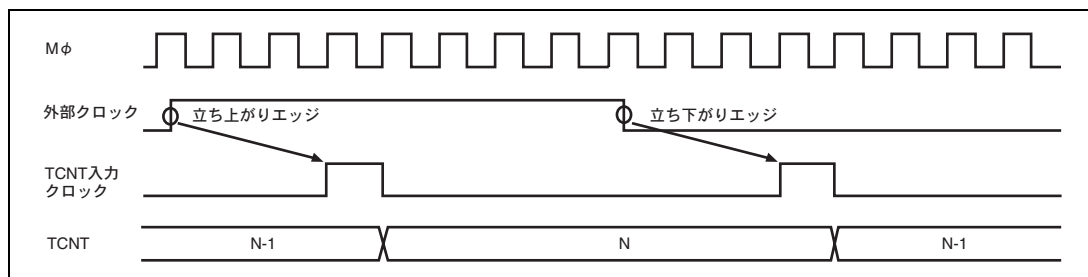


図 11.96 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 11.97 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 11.98 に示します。

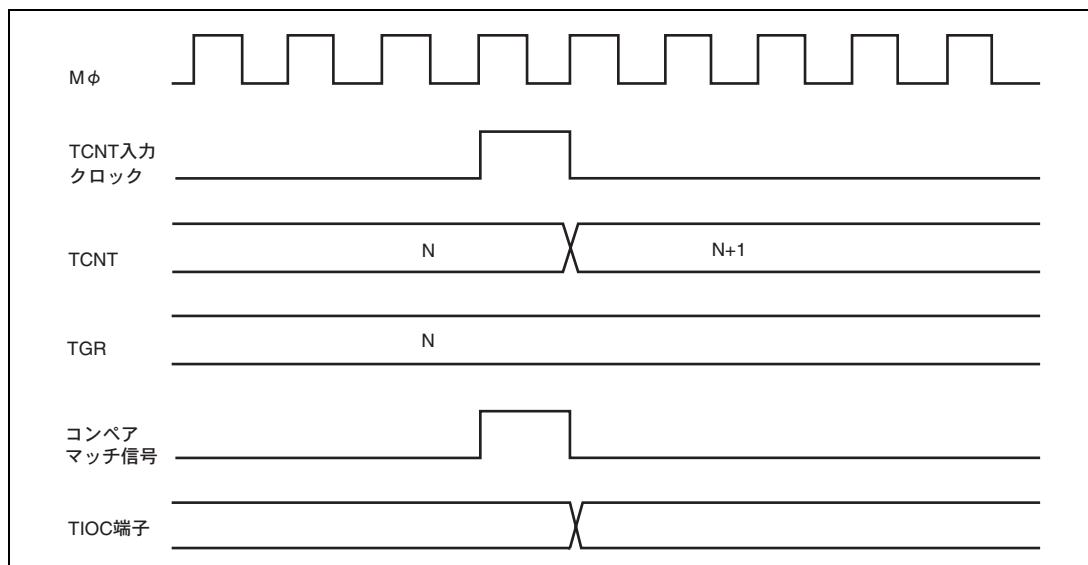


図 11.97 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

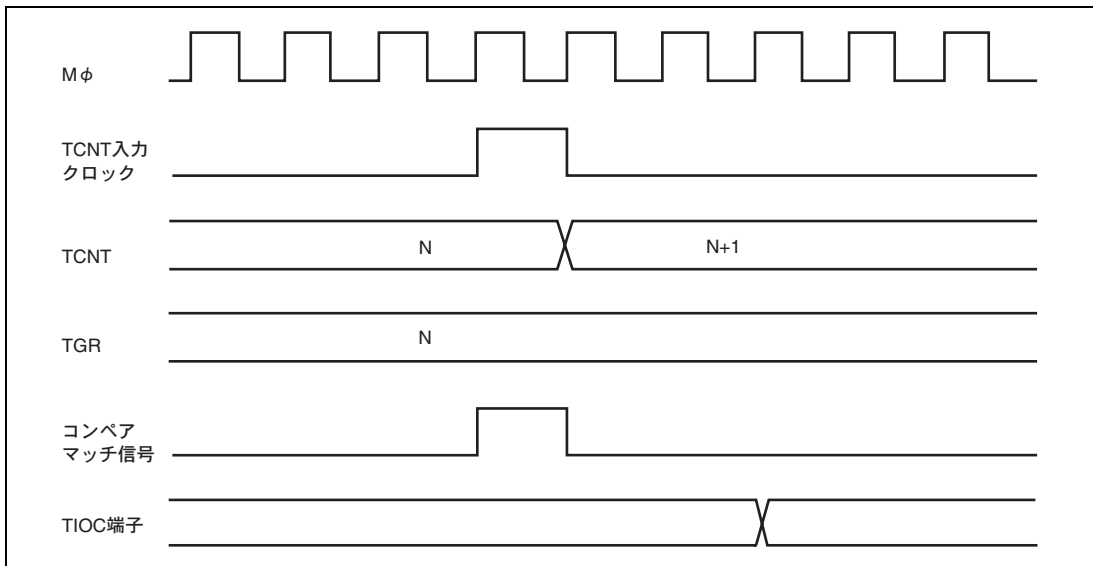


図 11.98 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 11.99 に示します。

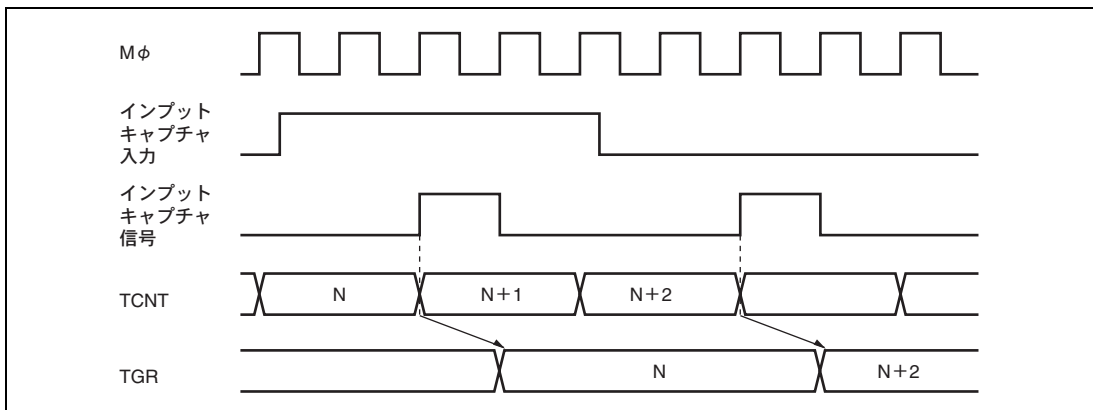


図 11.99 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.100、図 11.101 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.102 に示します。

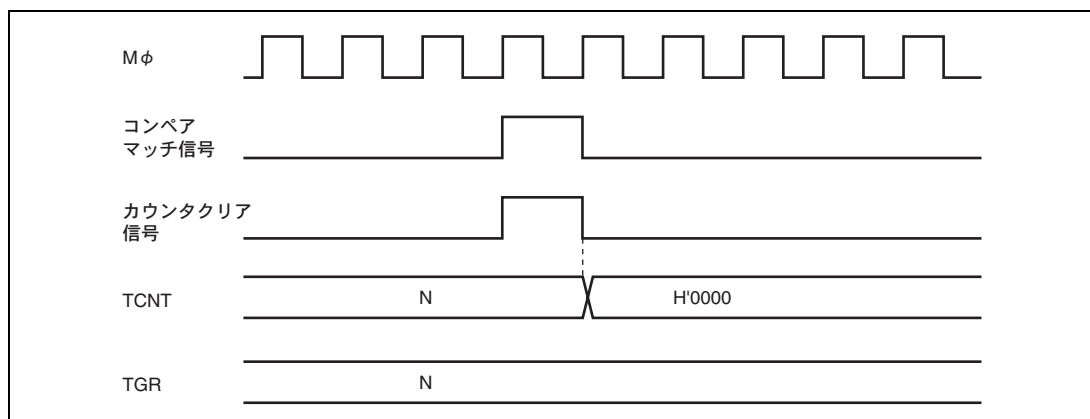


図 11.100 カウンタクリアタイミング (コンペアマッチ) (チャンネル0~4)

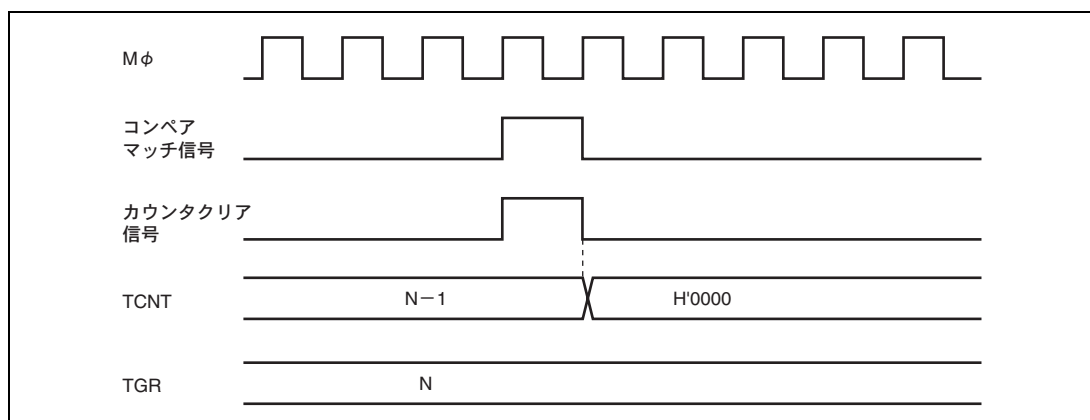


図 11.101 カウンタクリアタイミング (コンペアマッチ) (チャンネル5)

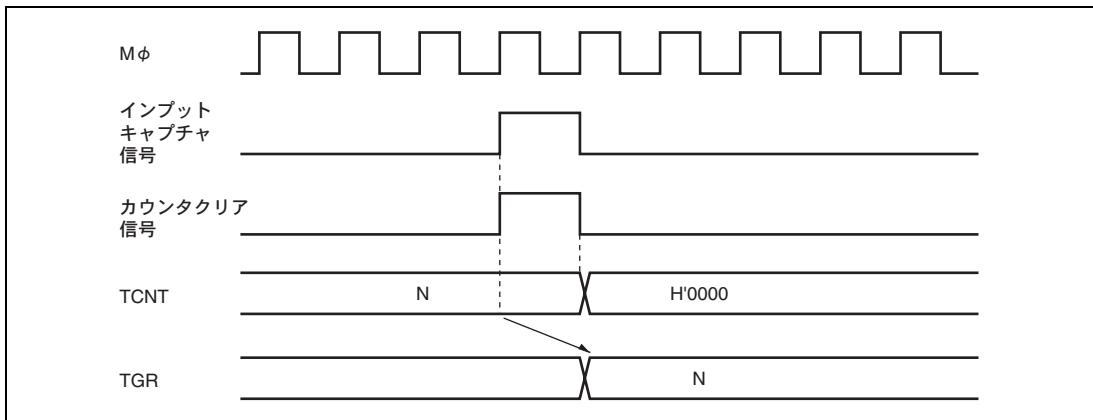


図 11.102 カウンタクリアタイミング (インプットキャプチャ) (チャンネル 0~5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.103~図 11.105 に示します。

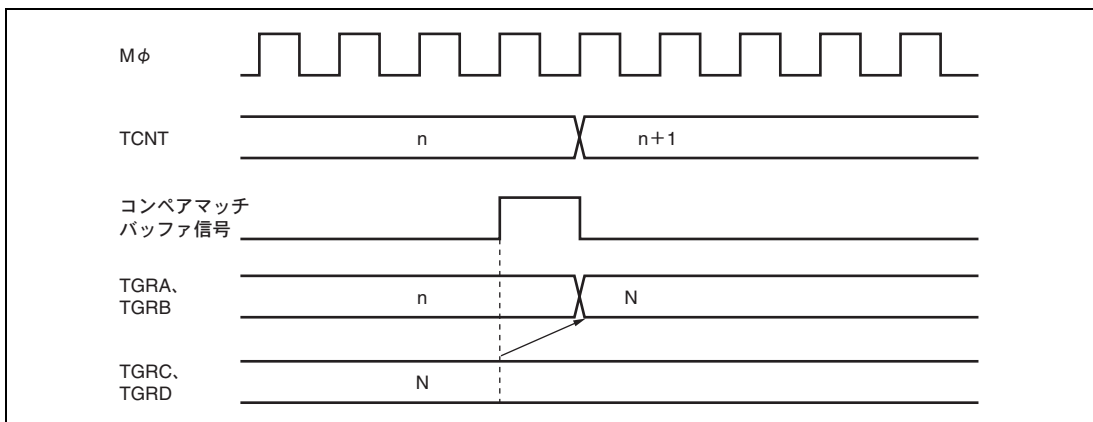


図 11.103 バッファ動作タイミング (コンペアマッチ)

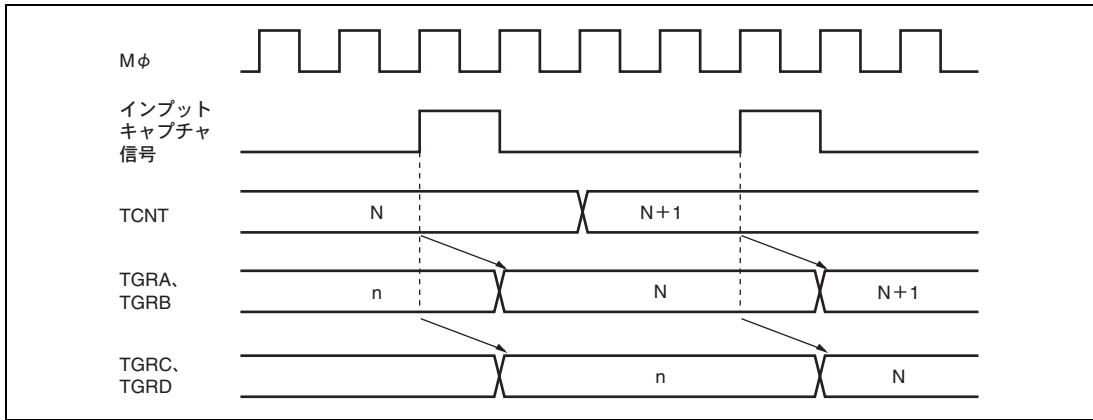


図 11.104 バッファ動作タイミング (インプットキャプチャ)

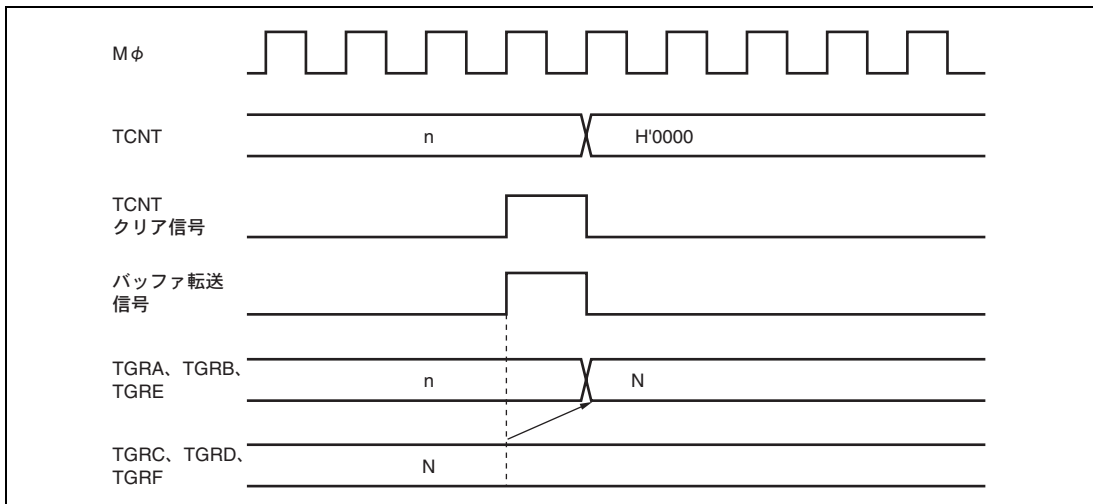


図 11.105 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 11.106～図 11.108 に示します。

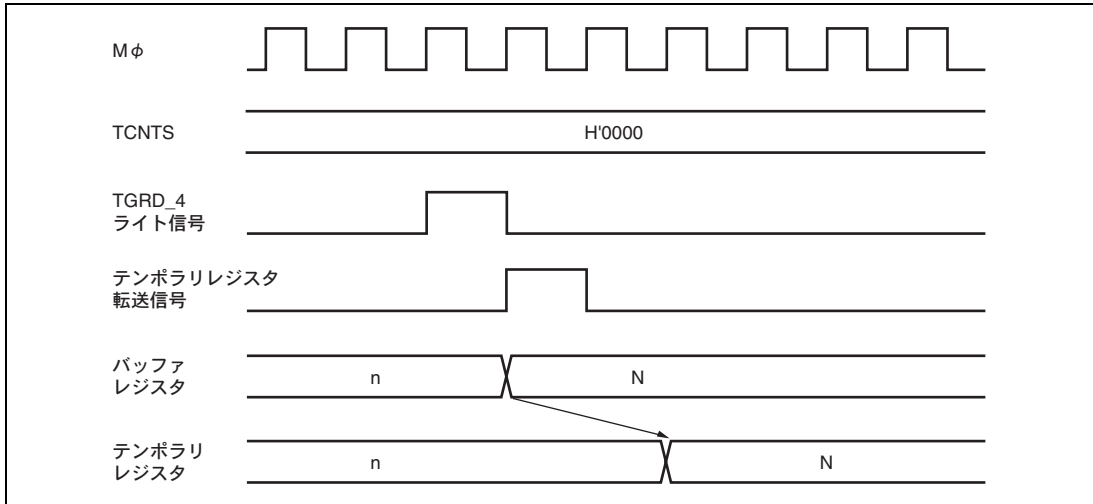


図 11.106 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

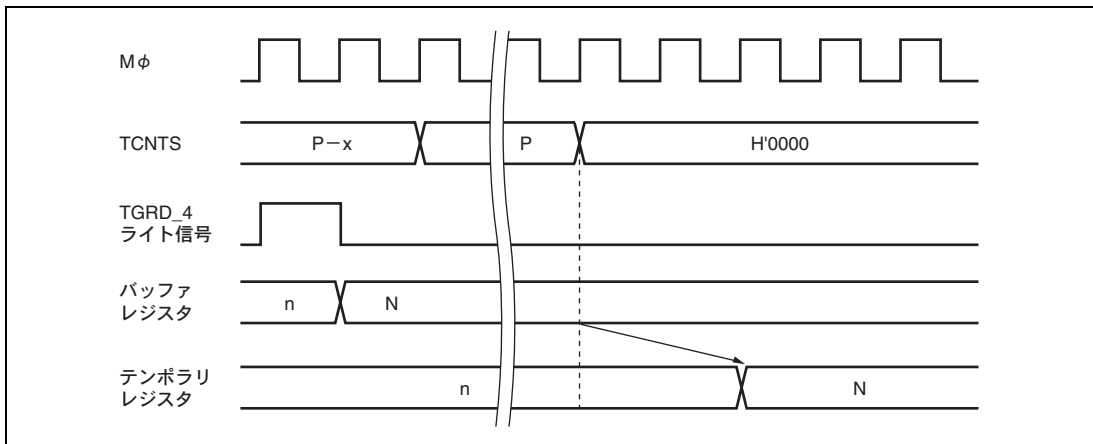


図 11.107 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

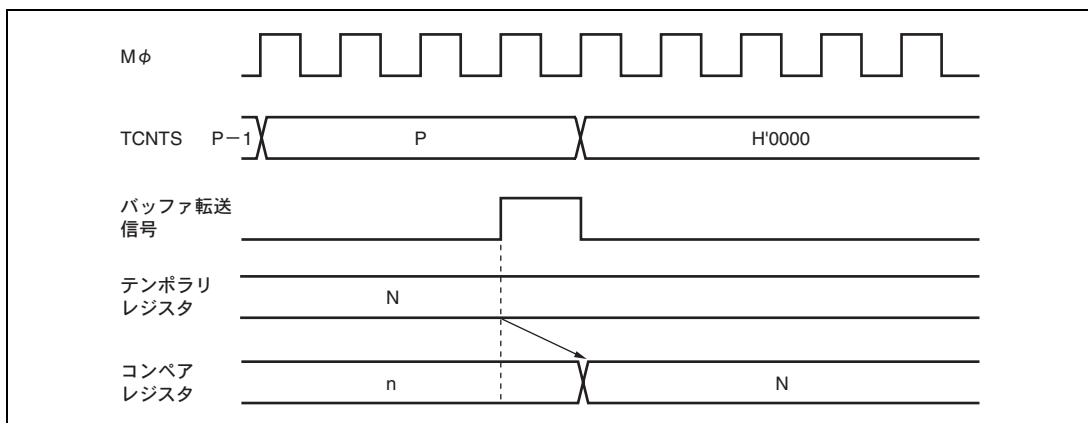


図 11.108 テンポラリレジスタからコンペアレジスタへの転送タイミング

11.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.109、図 11.110 に示します。

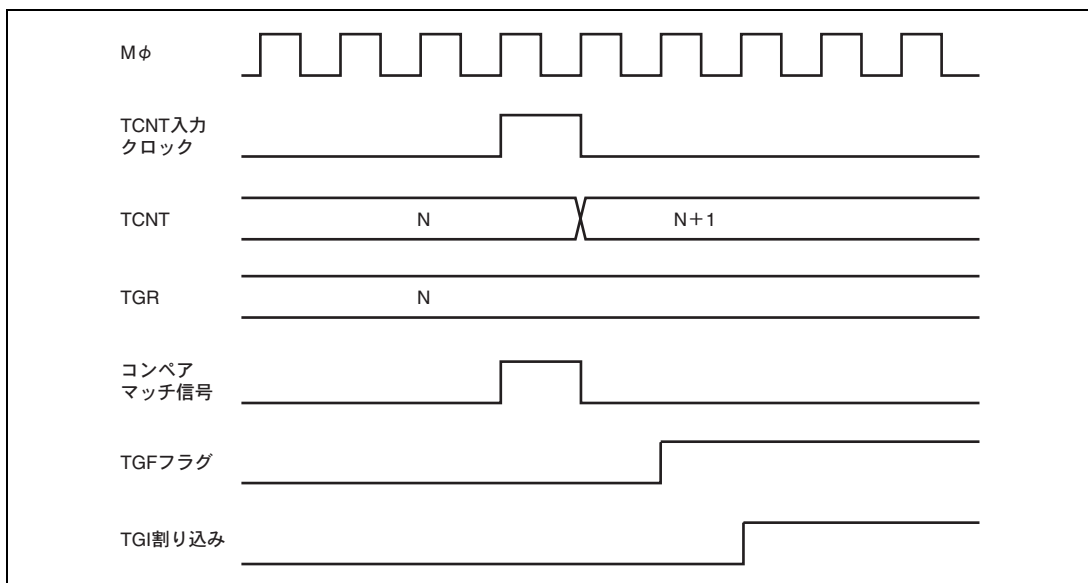


図 11.109 TGI 割り込みタイミング (コンペアマッチ) (チャンネル 0~4)

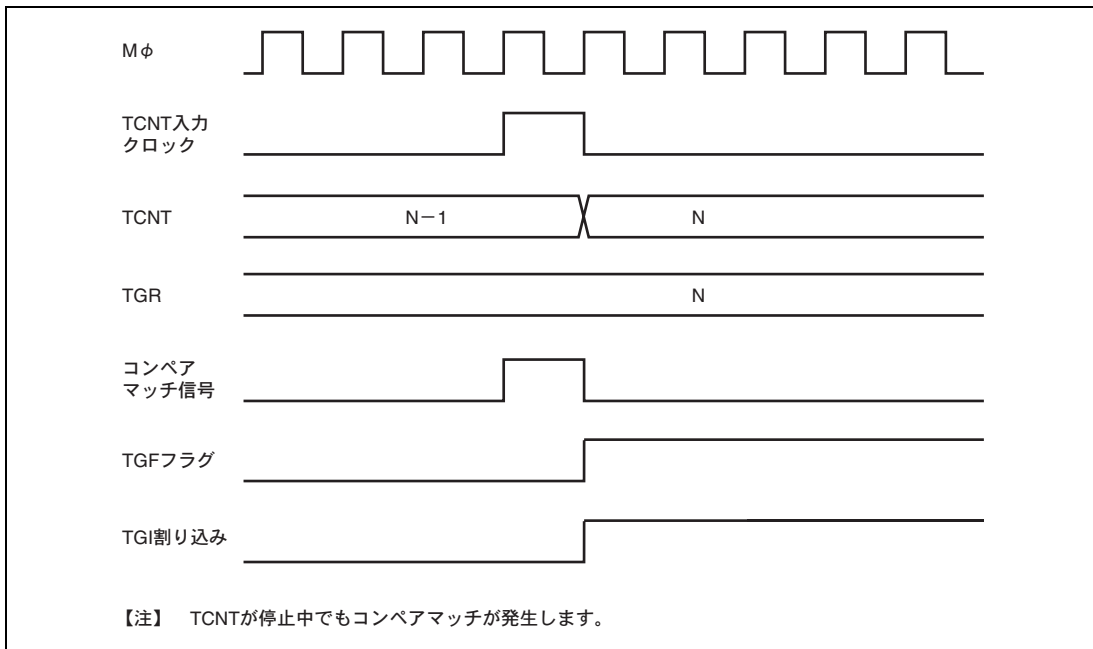


図 11.110 TGI 割り込みタイミング (コンペアマッチ) (チャンネル5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.111、図 11.112 に示します。

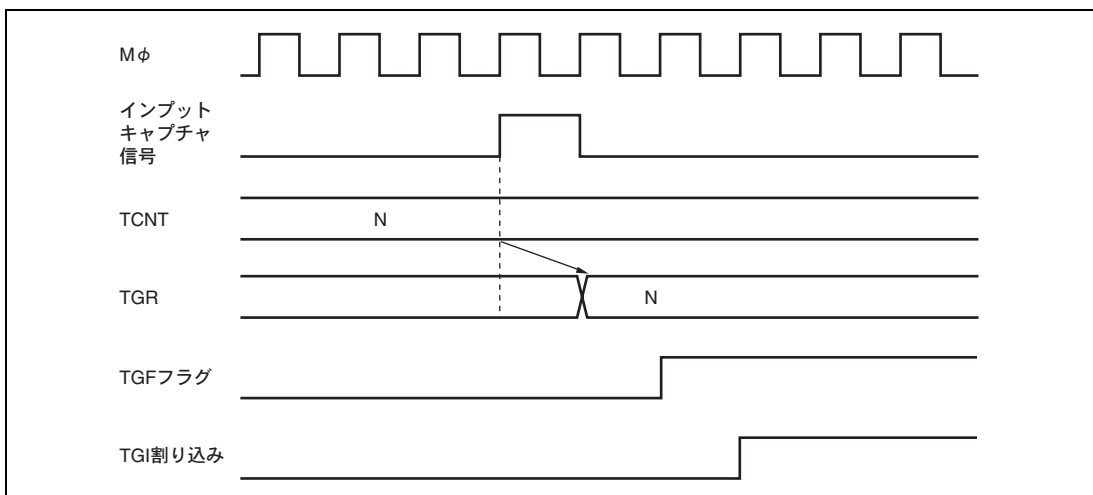


図 11.111 TGI 割り込みタイミング (インพุットキャプチャ) (チャンネル0~4)

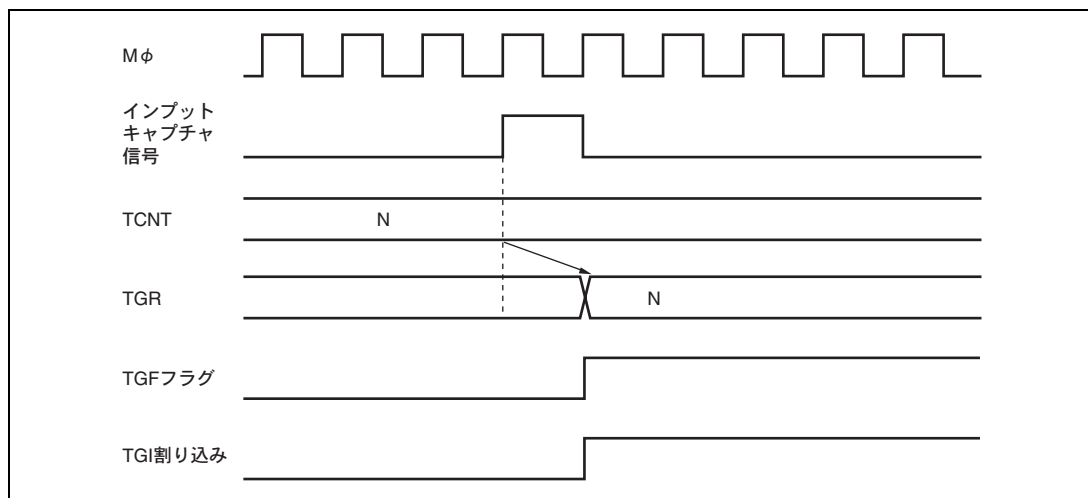


図 11.112 TGI 割り込みタイミング (インプットキャプチャ) (チャネル 5)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.113 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.114 に示します。

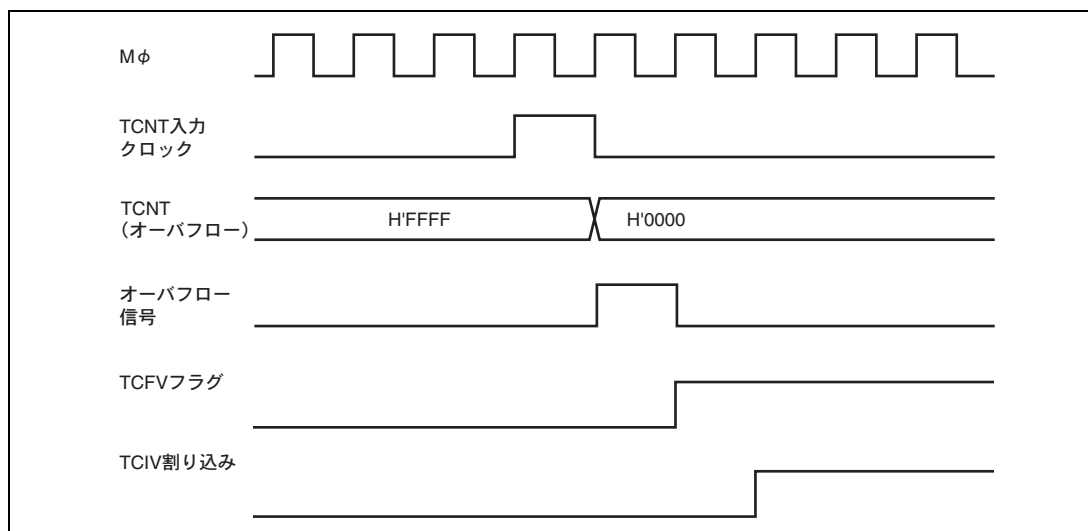


図 11.113 TCIV 割り込みのセットタイミング

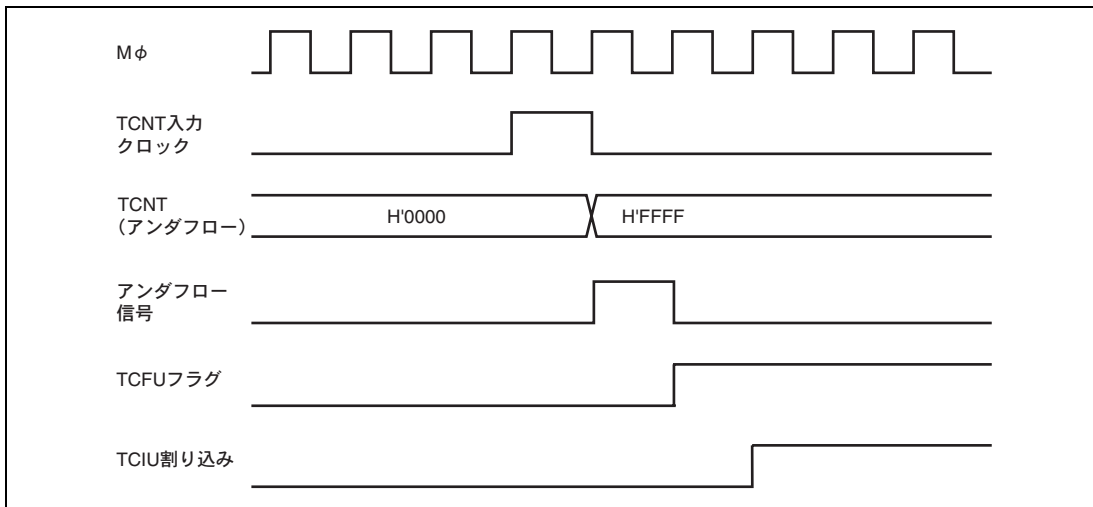


図 11.114 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTC/DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 11.115、図 11.116 に、DTC/DMACによるステータスフラグのクリアのタイミングを図 11.117～図 11.119 に示します。

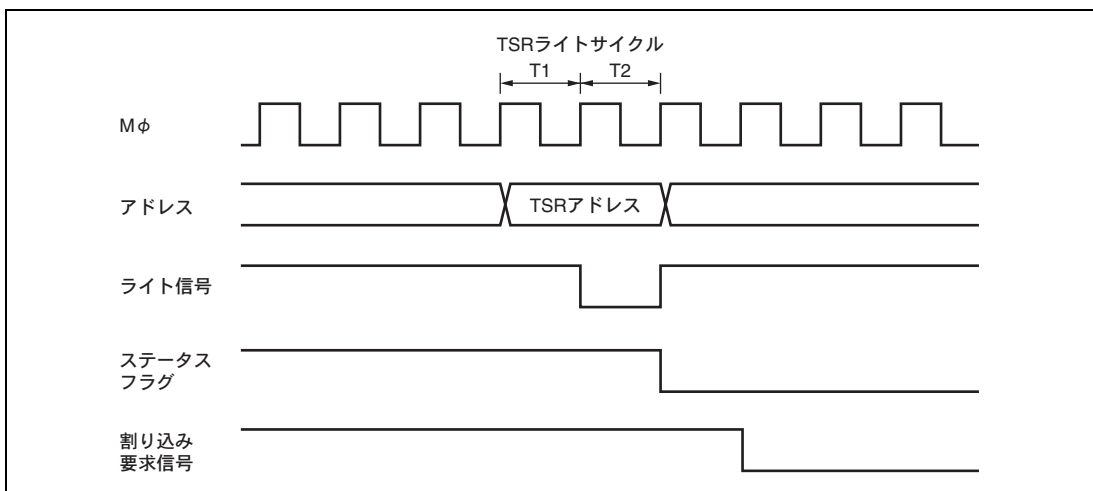


図 11.115 CPUによるステータスフラグのクリアタイミング (チャンネル0～4)

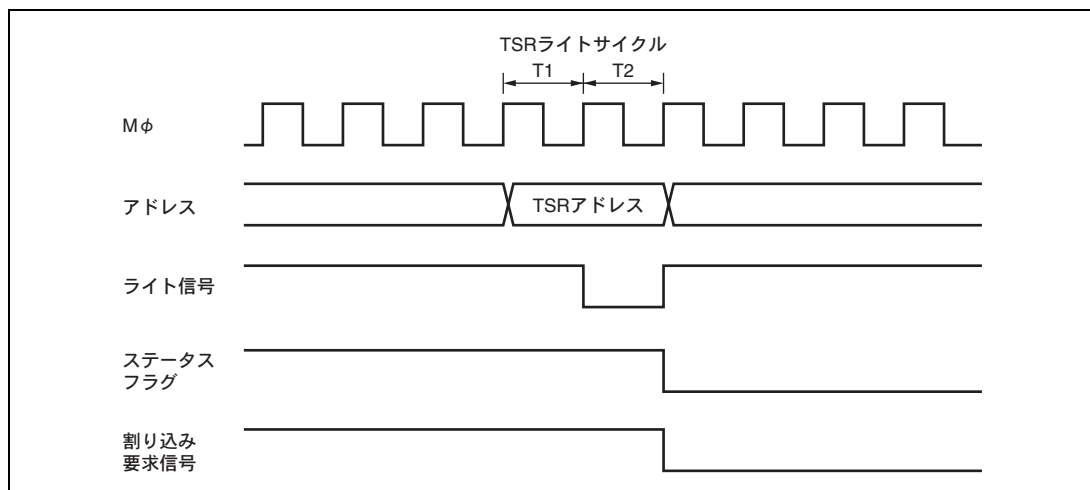


図 11.116 CPU によるステータスフラグのクリアタイミング (チャンネル5)

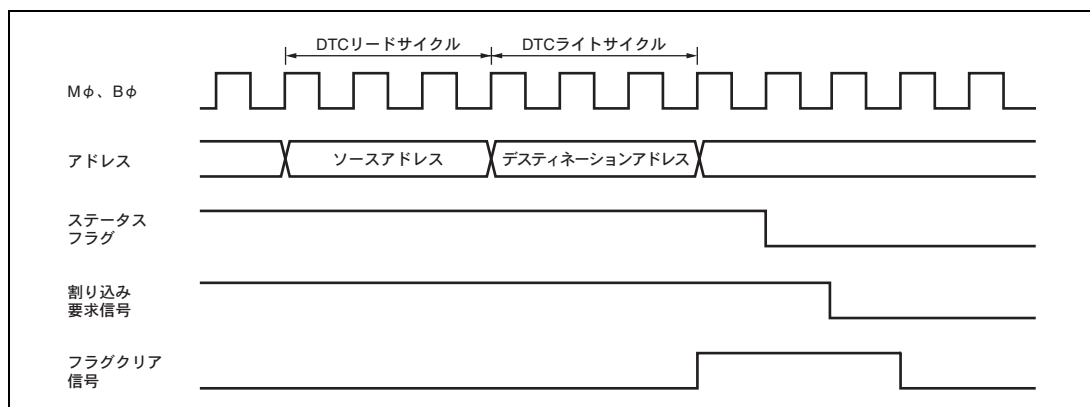


図 11.117 DTC の起動によるステータスフラグのクリアタイミング (チャンネル0~4)

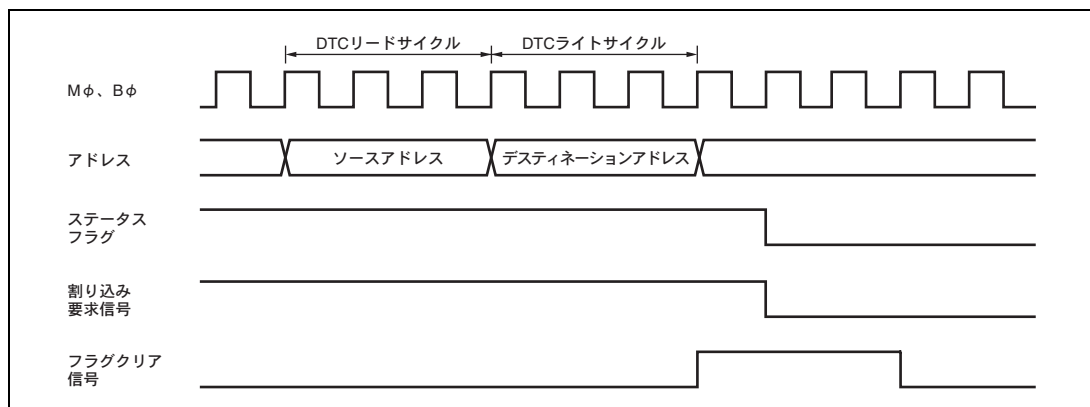


図 11.118 DTC の起動によるステータスフラグのクリアタイミング (チャンネル5)

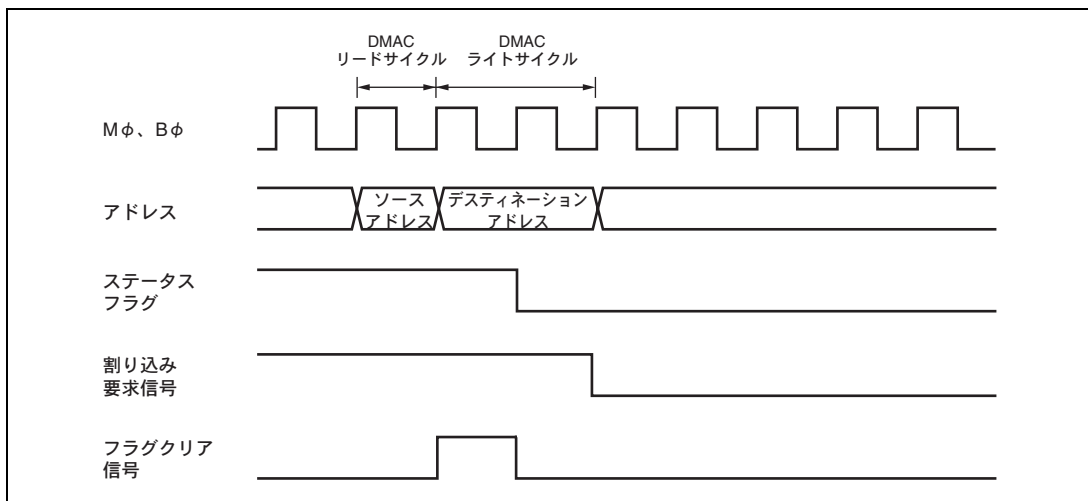


図 11.119 DMAC の起動によるステータスフラグのクリアタイミング

11.7 使用上の注意事項

11.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止/許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 26 章 低消費電力モード」を参照してください。

11.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.120 に示します。

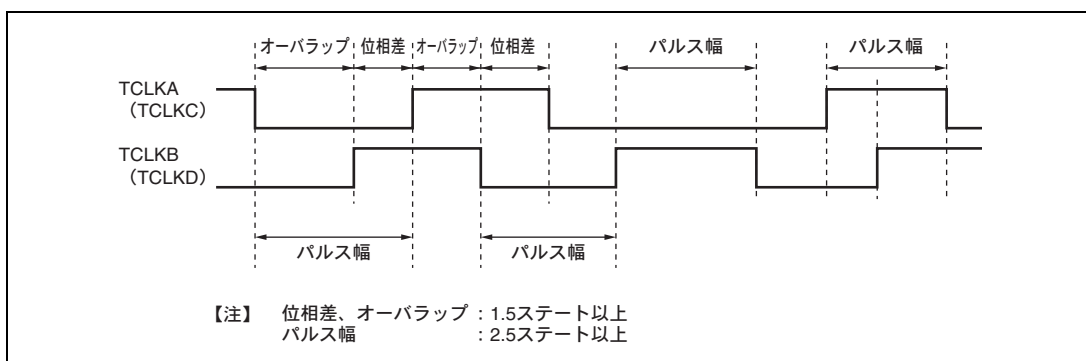


図 11.120 位相計数モード時の位相差、オーバーラップ、およびパルス幅

11.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- チャンネル0～4の場合

$$f = \frac{M\phi}{(N+1)}$$

- チャンネル5の場合

$$f = \frac{M\phi}{N}$$

f : カウンタ周波数

Mφ : MTU2 クロック動作周波数

N : TGR の設定値

11.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 11.121 に示します。

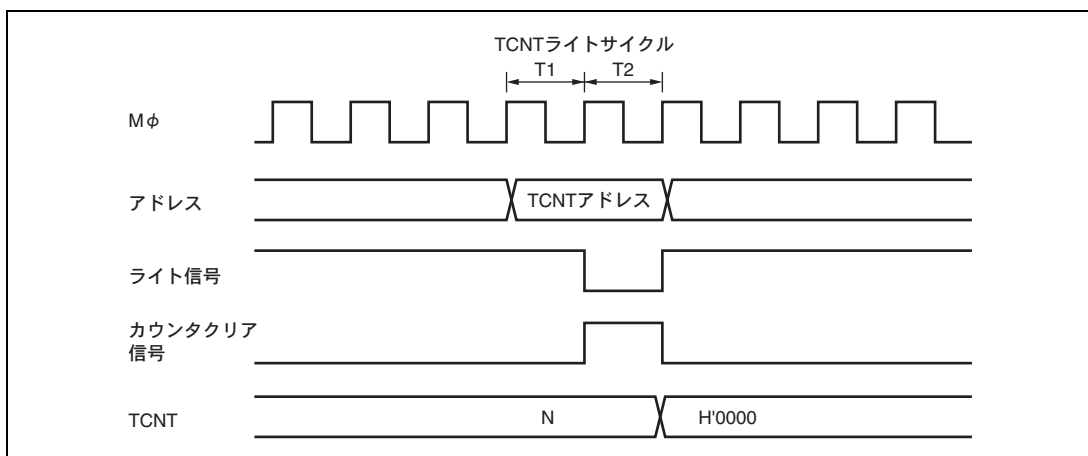


図 11.121 TCNT のライトとクリアの競合

11.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.122 に示します。

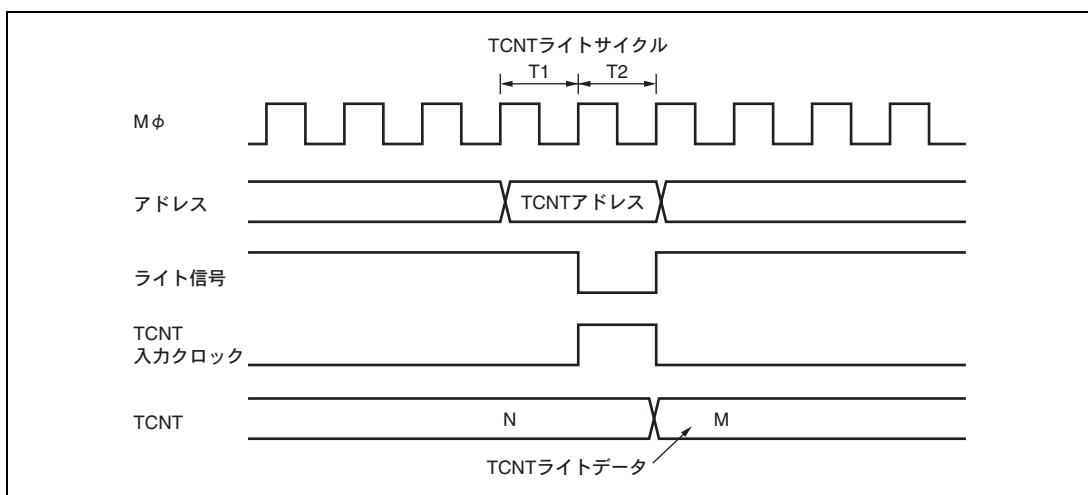


図 11.122 TCNT のライトとカウントアップの競合

11.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 11.123 に示します。

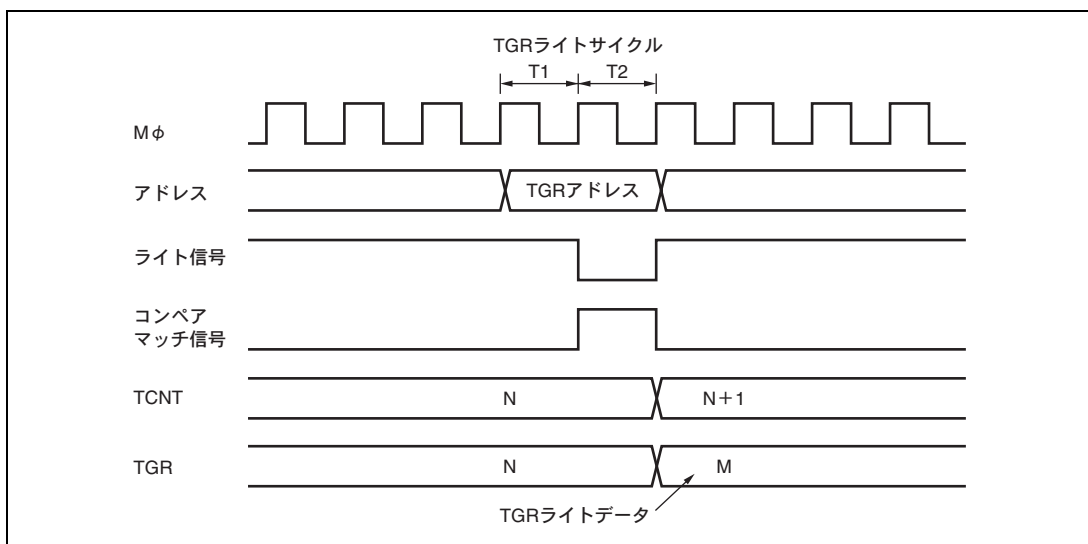


図 11.123 TGR のライトとコンペアマッチの競合

11.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 11.124 に示します。

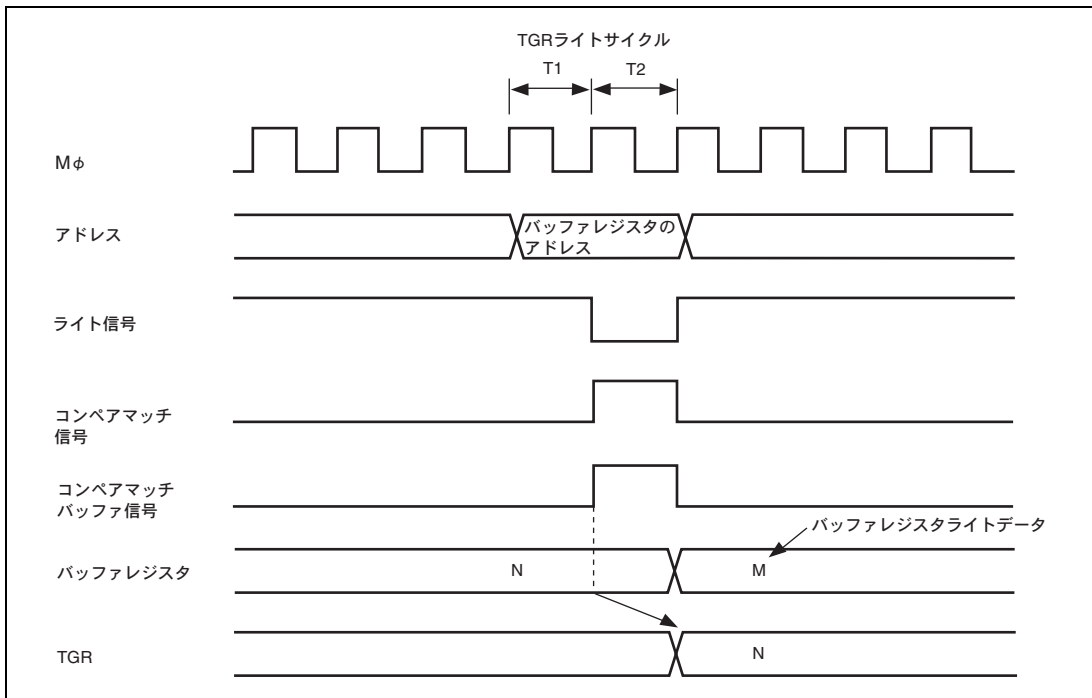


図 11.124 バッファレジスタのライトとコンペアマッチの競合

11.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 11.125 に示します。

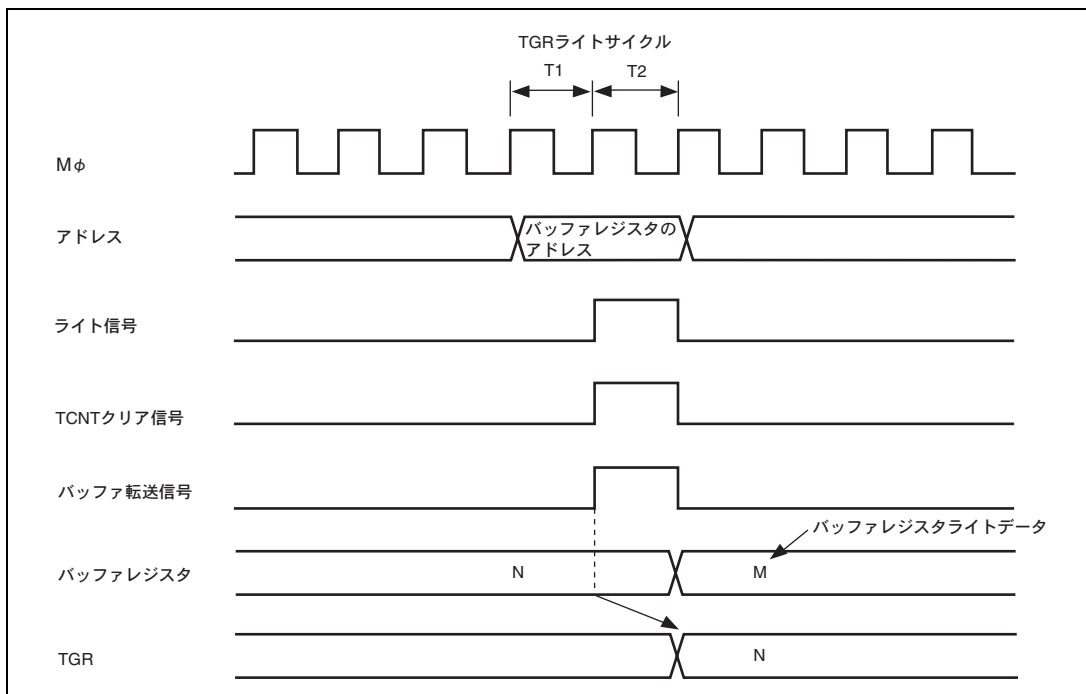


図 11.125 バッファレジスタのライトと TCNT クリアの競合

11.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、チャンネル 0~4 ではインプットキャプチャ転送前のデータとなり、チャンネル 5 ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.126、図 11.127 に示します。

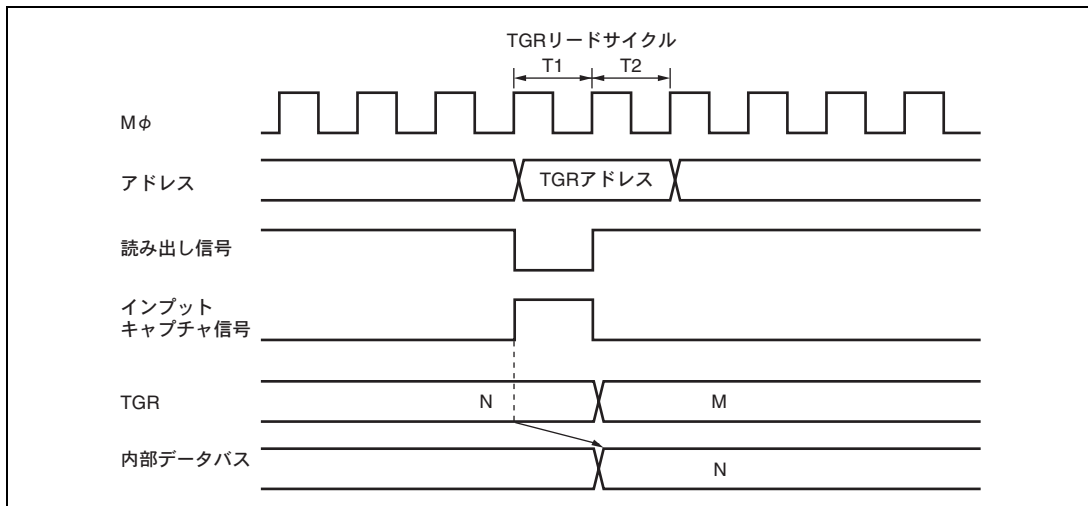


図 11.126 TGR のリードとインプットキャプチャの競合 (チャンネル 0~4)

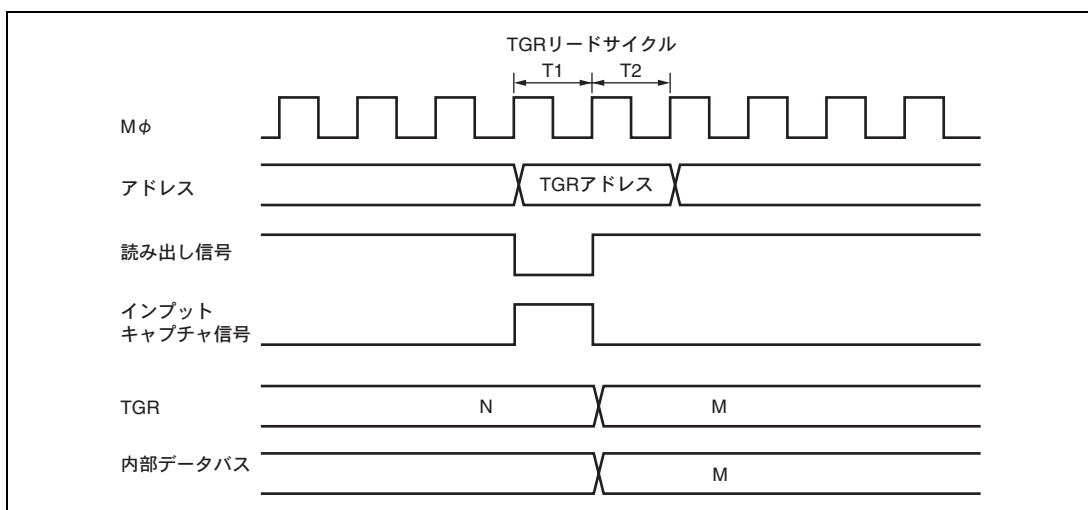


図 11.127 TGR のリードとインプットキャプチャの競合 (チャンネル 5)

11.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、チャンネル 0~4 では TGR へのライトは行われず、インプットキャプチャが優先され、チャンネル 5 では TGR へのライトが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 11.128、図 11.129 に示します。

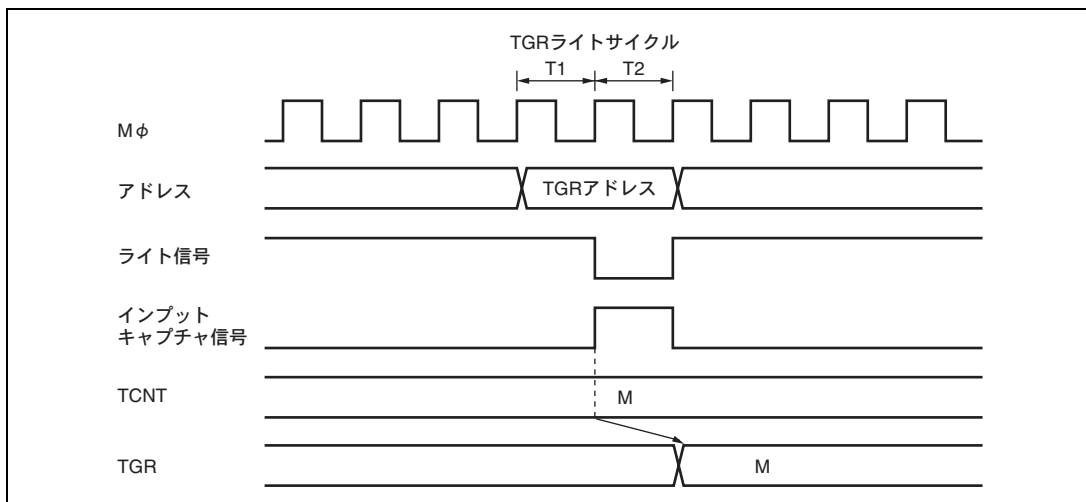


図 11.128 TGR のライトとインプットキャプチャの競合 (チャンネル 0~4)

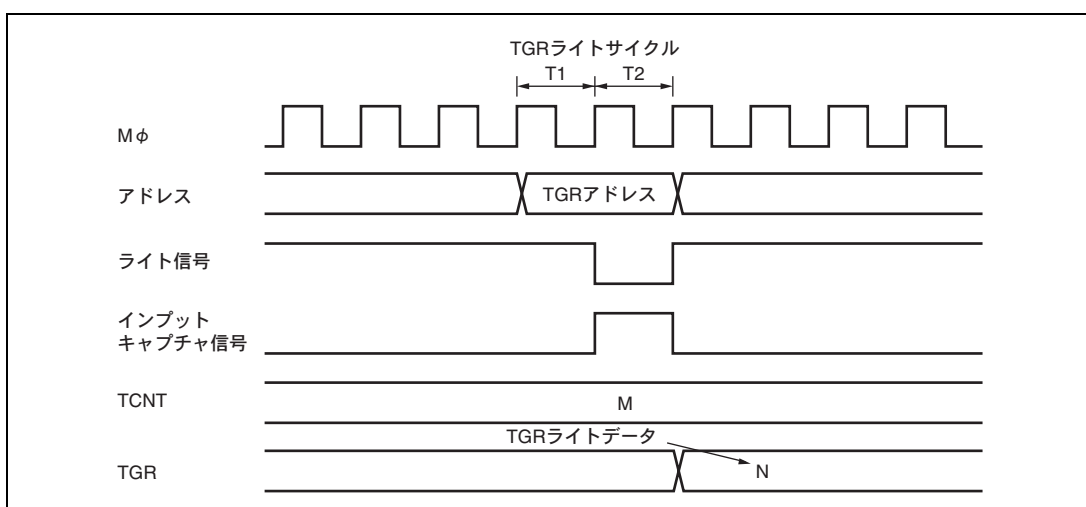


図 11.129 TGR のライトとインプットキャプチャの競合 (チャンネル 5)

11.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 11.130 に示します。

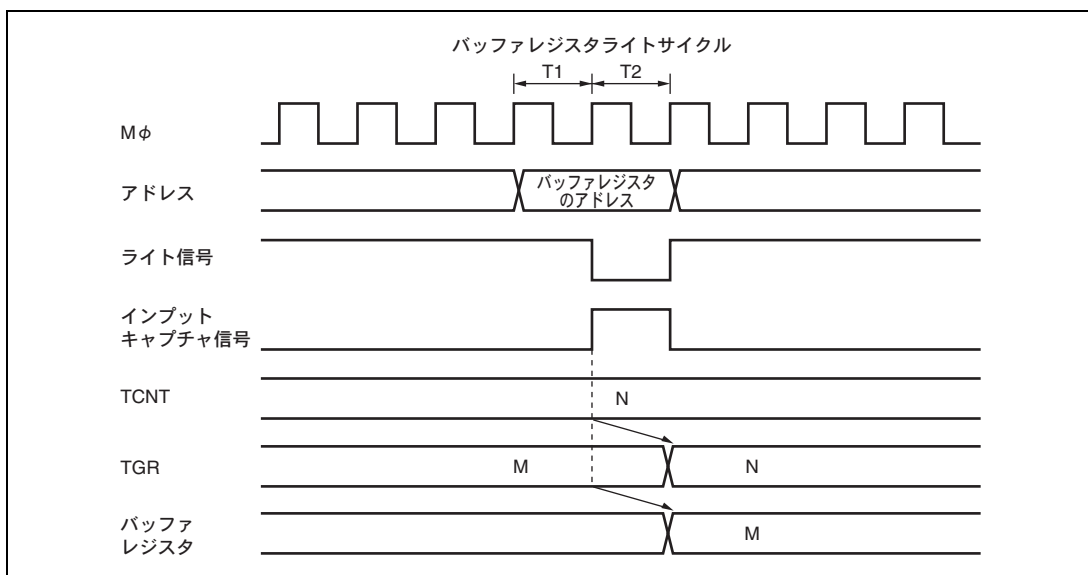


図 11.130 バッファレジスタのライトと入力キャプチャの競合

11.7.12 カスケード接続における TCNT_2 のライトとオーバーフロー／アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバーフロー／アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0~D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGR_0 のコンペアマッチ／入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 11.131 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

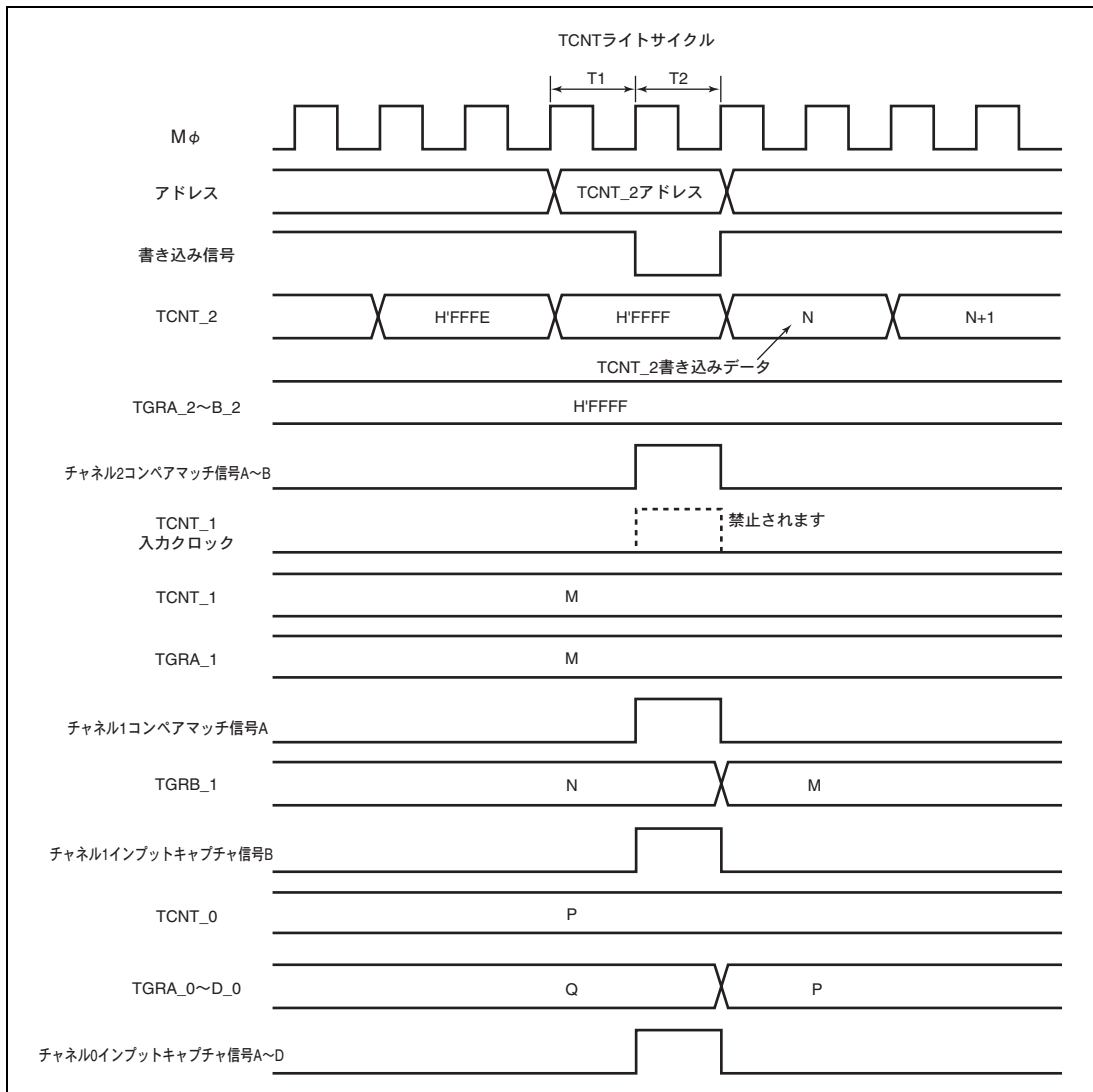


図 11.131 カスケード接続における TCNT_2 のライトとオーバーフロー/アンダフローの競合

11.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 11.132 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

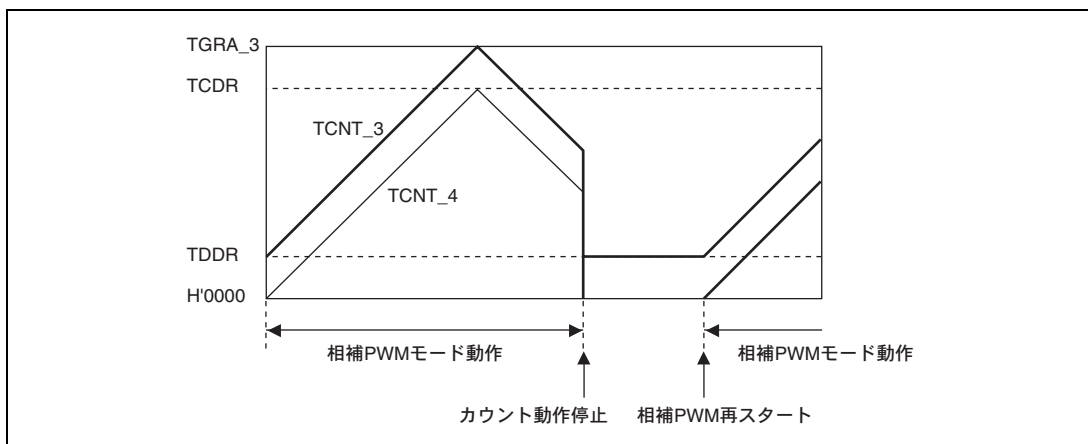


図 11.132 相補 PWM モード停止時のカウンタ値

11.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

11.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 11.133 に示します。

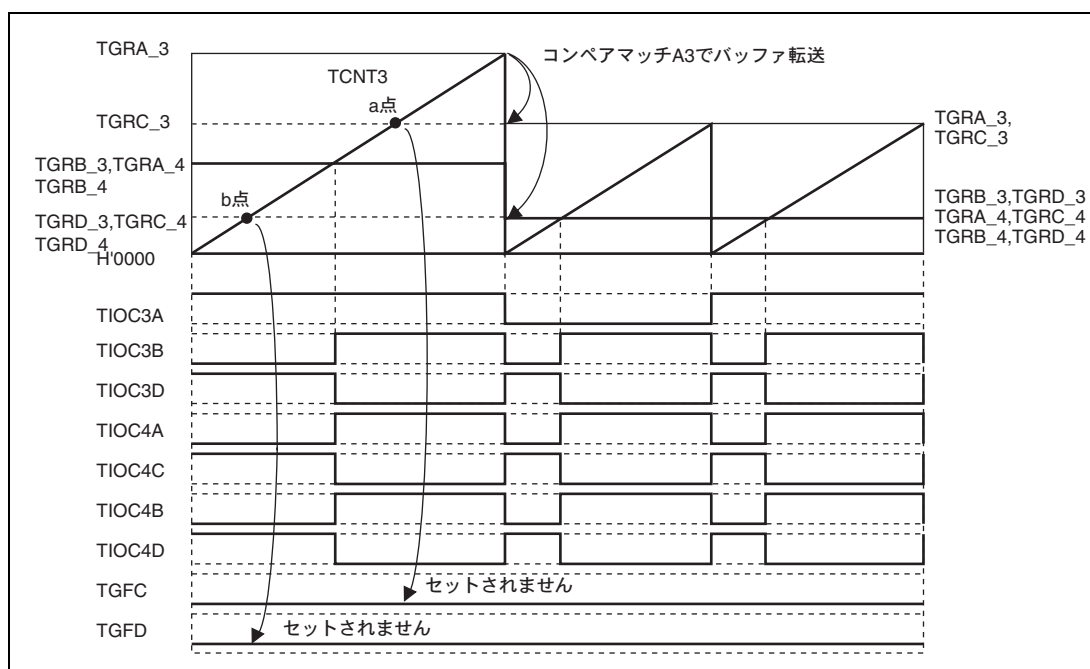


図 11.133 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

11.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 11.134 に示します。

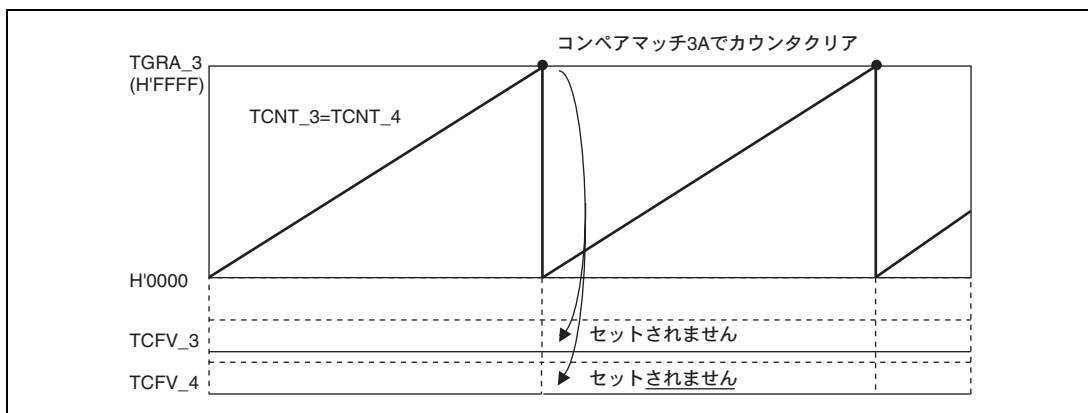


図 11.134 リセット同期 PWM モードのオーバーフローフラグ

11.7.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.135 に示します。

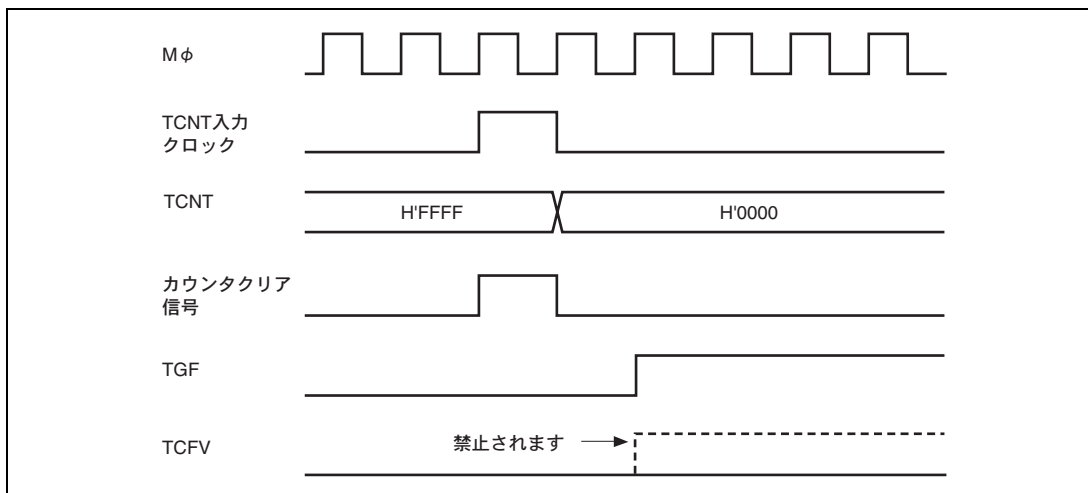


図 11.135 オーバフローとカウンタクリアの競合

11.7.18 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.136 に示します。

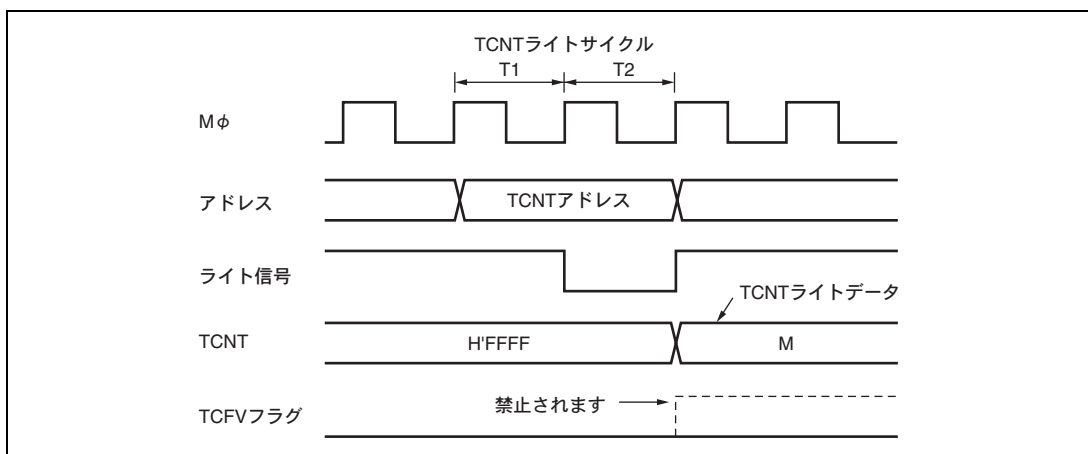


図 11.136 TCNT のライトとオーバフローの競合

11.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル3,4の通常動作またはPWMモード1からリセット同期PWMモードへ遷移する場合、出力端子(TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D)をハイレベルの状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期PWMモードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4レジスタにH'11を書いて出力端子をローレベルに初期化した後、レジスタの初期値H'00を設定してからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値H'00を設定してからリセット同期PWMモードに遷移してください。

11.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル3、4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはタイマアウトプットコントロールレジスタ(TOCR)のOLSP、OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORはH'00としてください。

11.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDTC/DMACの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

11.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ1、2(TCNT_1とTCNT_2)をカスケード接続して、32ビットカウンタとして動作させている場合、TIOC1AとTIOC2A、またはTIOC1BとTIOC2Bに同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、またはTIOC1BとTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1(上位16ビットのカウンタ)がTCNT_2(下位16ビットのカウンタ)のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはTCNT_1=H'FFF1、TCNT_2=H'0000の値をTGRA_1とTGRA_2、もしくはTGRB_1とTGRB_2に転送すべきところを誤ってTCNT_1=H'FFF0、TCNT_2=H'0000の値を転送します。

MTU2では、1本のインプットキャプチャ入力でTCNT_1とTCNT_2を同時にキャプチャできる機能を追加しており、本機能を使用すればTCNT_1とTCNT_2のキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「11.3.8 タイマインプットキャプチャコントロールレジスタ(TICCR)」を参照してください。

11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効 (TWCR レジスタの WRE=1) とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる (もしくは消失)。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) : 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアする (図 11.137)。

条件 (2) : 初期出力の抑止期間⑩、⑪にて、 $TGRB_3 \leq TDDR$ 、 $TGRA_4 \leq TDDR$ 、 $TGRB_4 \leq TDDR$ のいずれかが成立する状態で同期クリアする (図 11.138)。

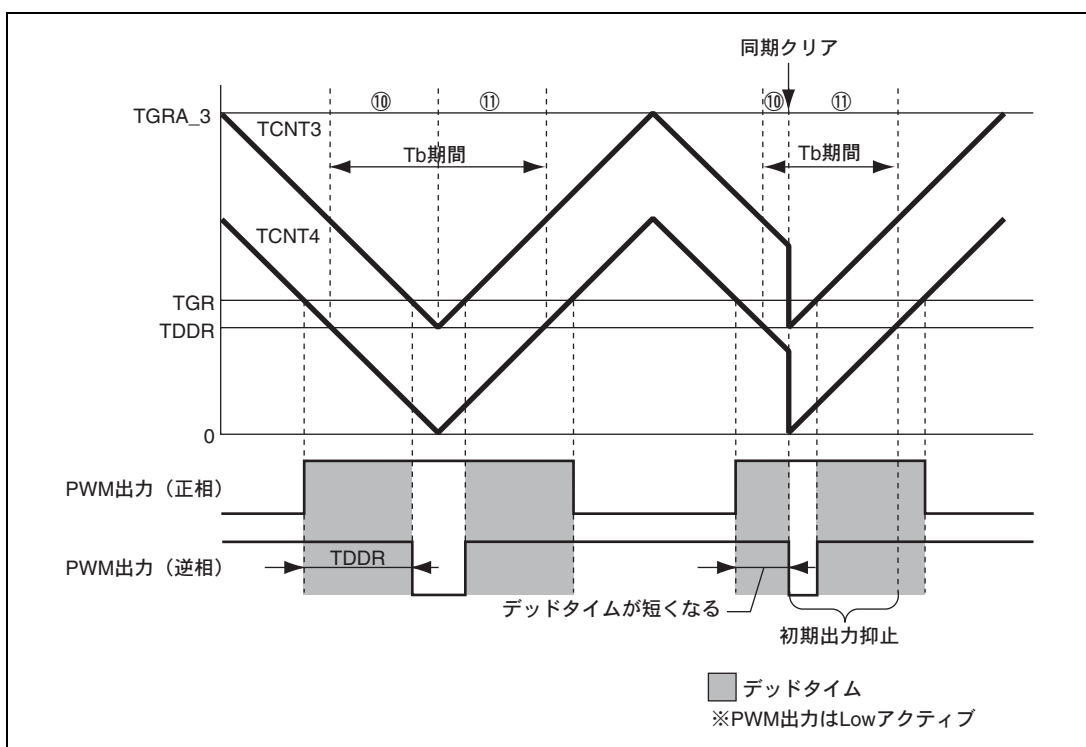


図 11.137 条件 (1) の同期クリア例

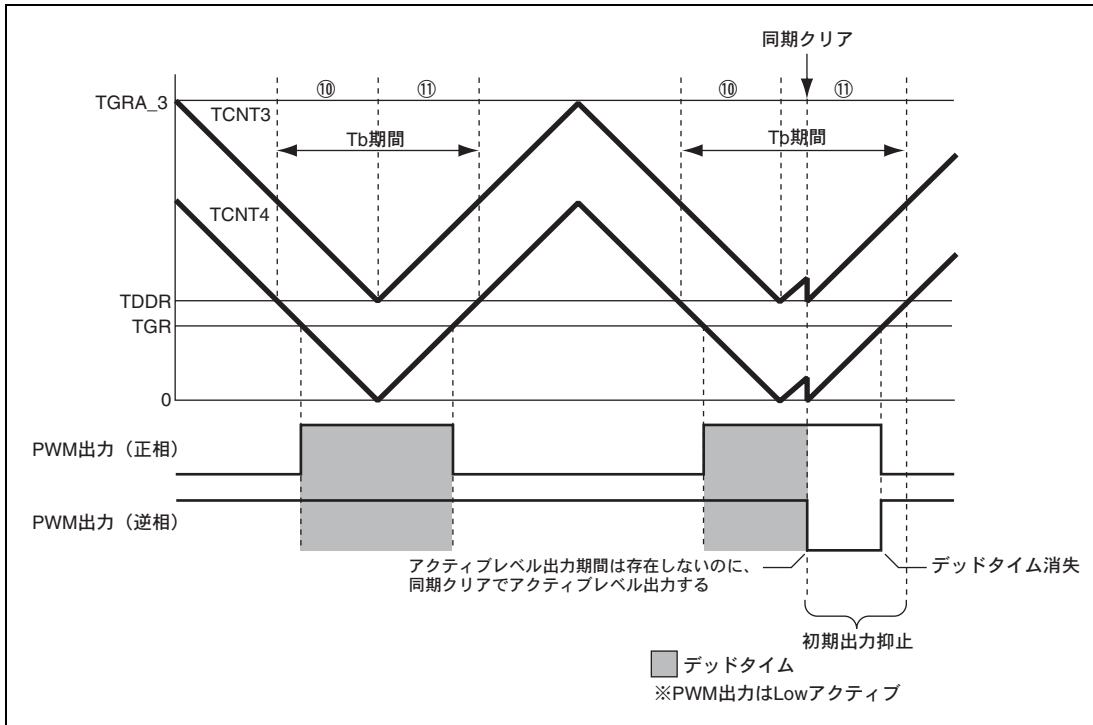


図 11.138 条件 (2) の同期クリア例

本現象は下記の方法により回避することができます。

コンパアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、タイマデッドタイムデータレジスタ (TDDR) の 2 倍以上になるように設定した状態で、同期クリアする。

11.8 MTU2 出力端子の初期化方法

11.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

11.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

11.8.3 動作中の異常などによる再設定時の動作

MTU2の動作中に異常が発生した場合、システムでMTU2の出力を遮断してください。遮断は端子の出力をPFCでポート出力に切り換え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル(POE)を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2には前述のように6つの動作モードがあります。モード遷移の組み合わせは36通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表11.59に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 11.59 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

11.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインエーブルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 11.59 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.137 に示します。

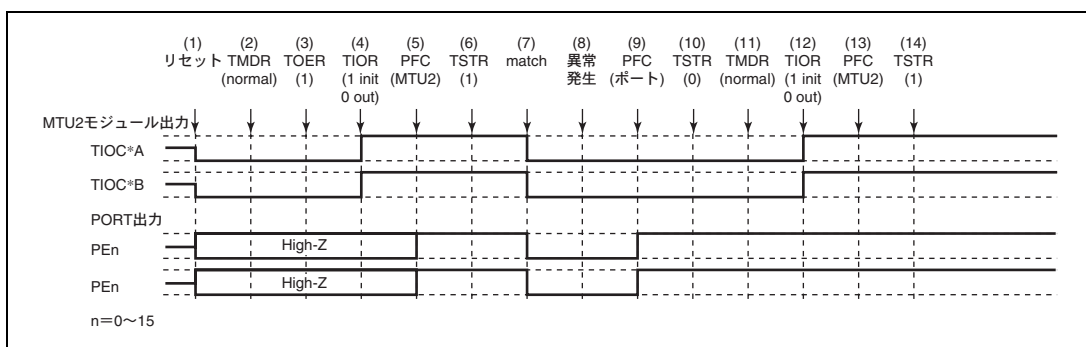


図 11.137 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.138 に示します。

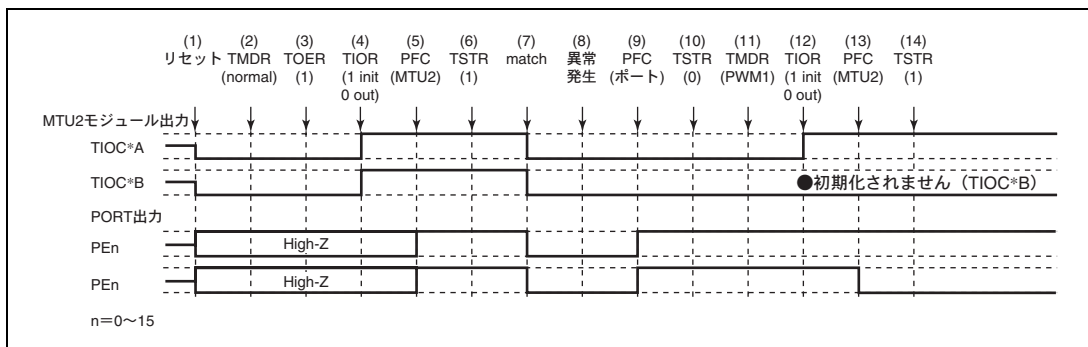


図 11.138 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.137 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.139 に示します。

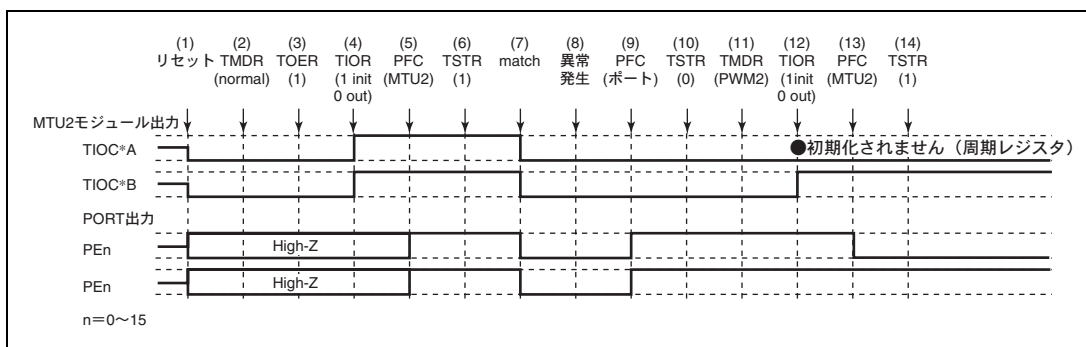


図 11.139 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.137 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.140 に示します。

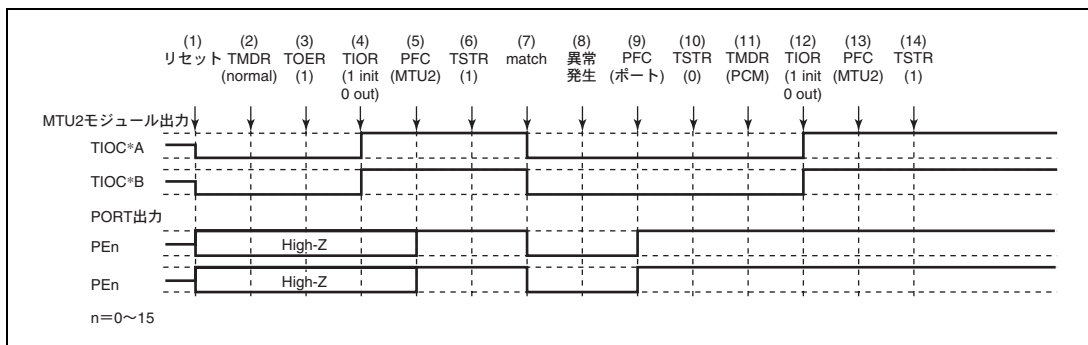


図 11.140 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 11.137 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.141 に示します。

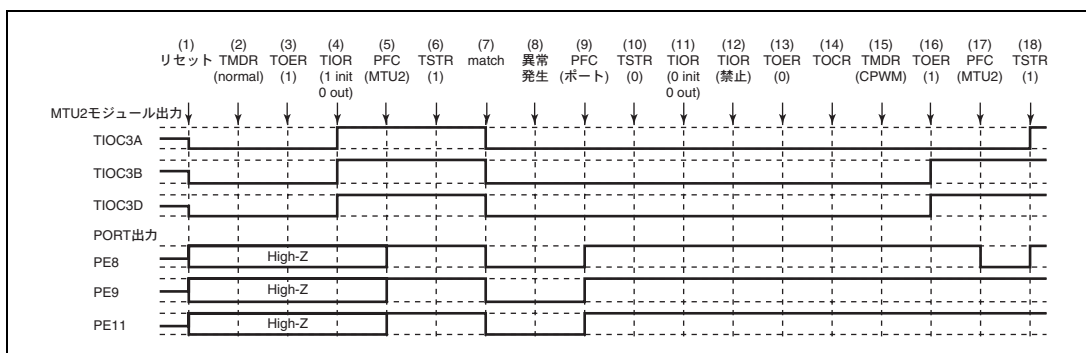


図 11.141 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.137 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.142 に示します。

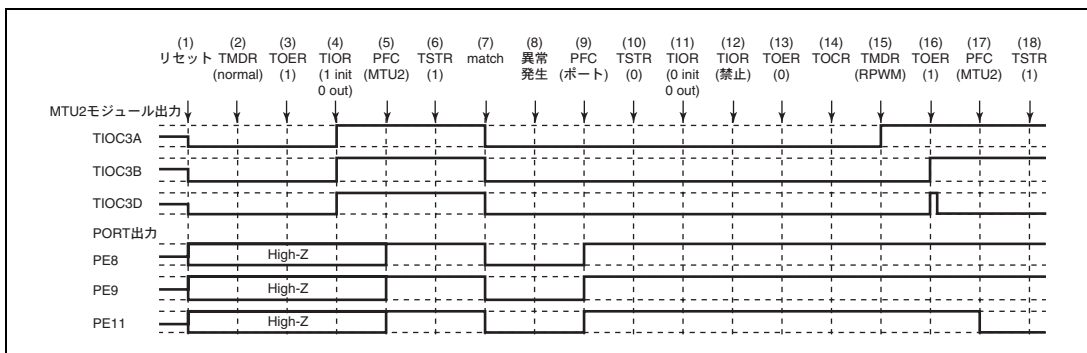


図 11.142 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 11.137 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.143 に示します。

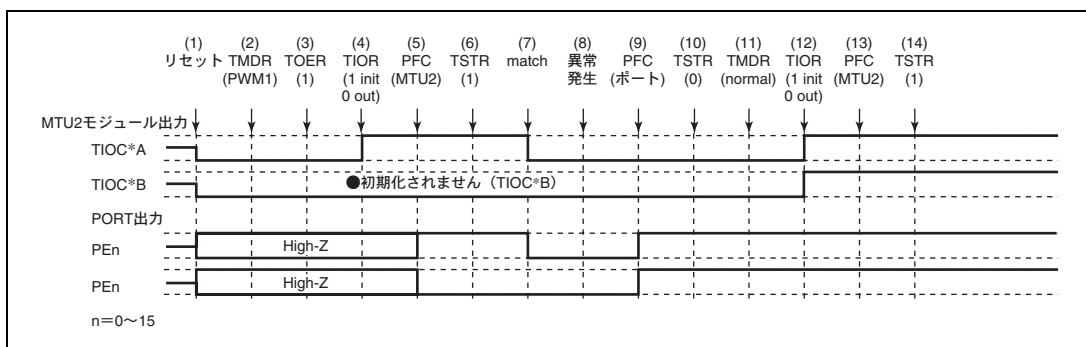


図 11.143 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.144 に示します。

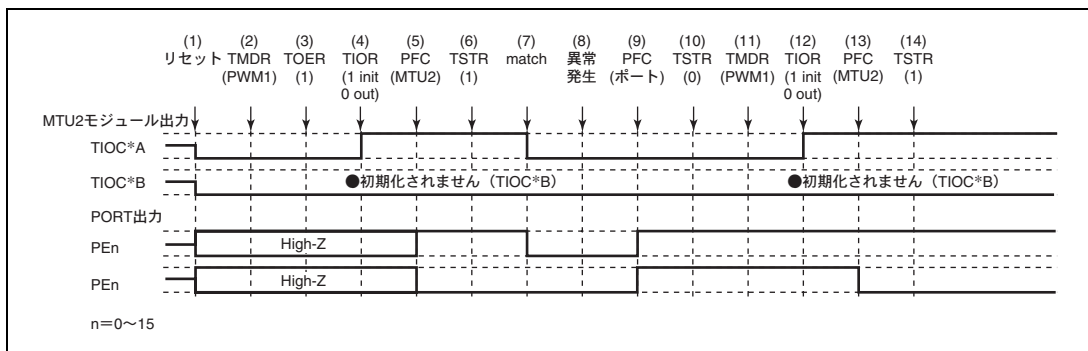


図 11.144 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.143 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.145 に示します。

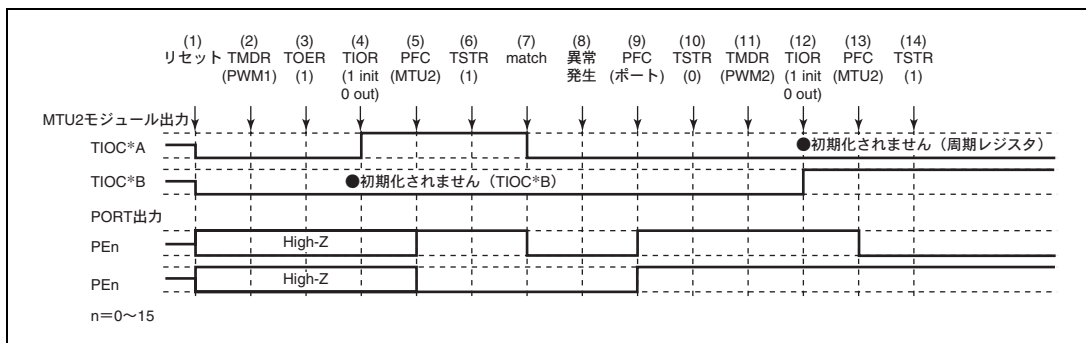


図 11.145 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.143 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再起動する場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 11.146 に示します。

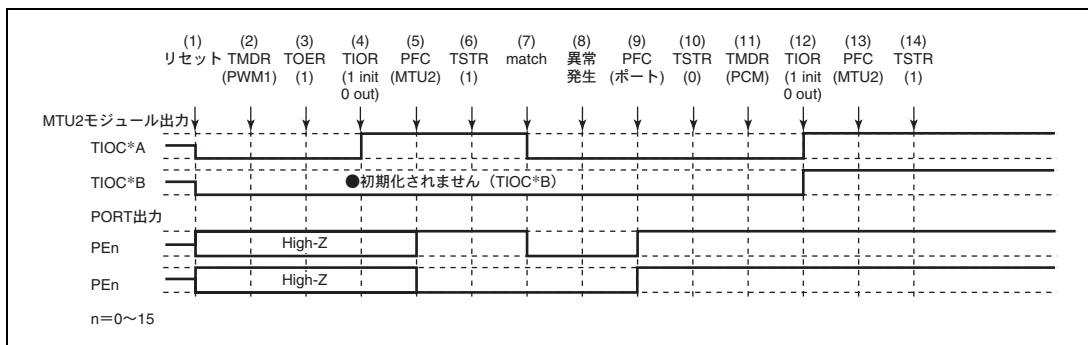


図 11.146 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 11.143 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.147 に示します。

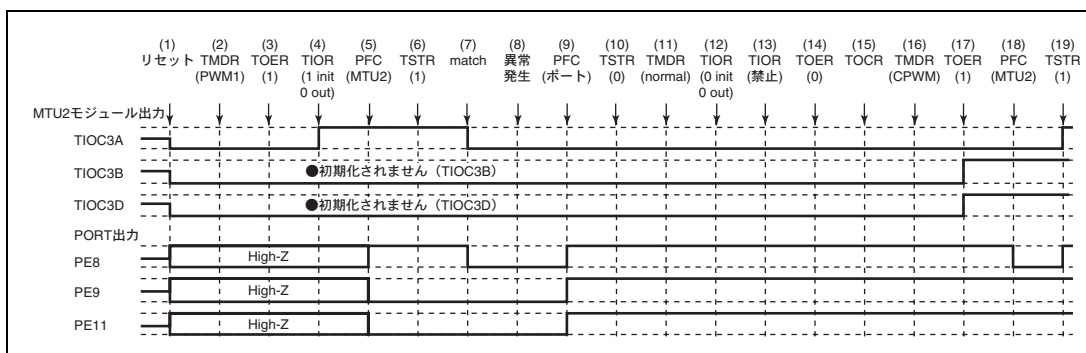


図 11.147 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.143 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.148 に示します。

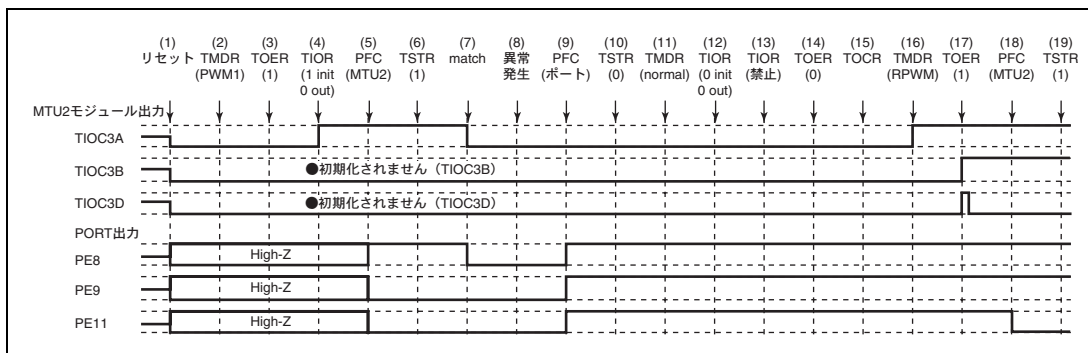


図 11.148 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 11.147 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.149 に示します。

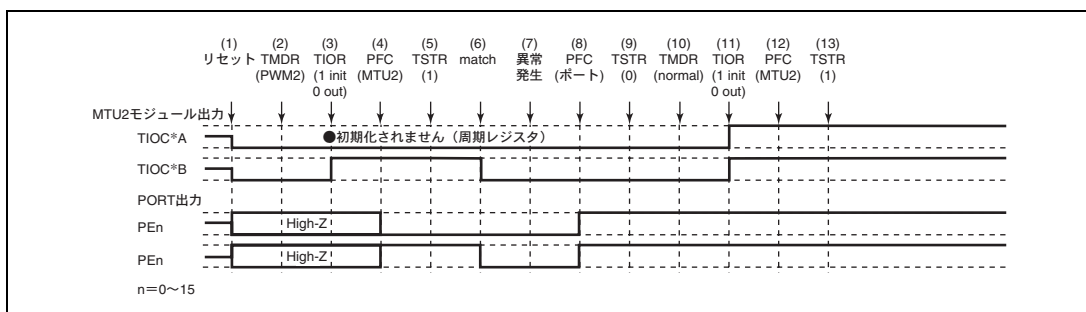


図 11.149 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.150 に示します。

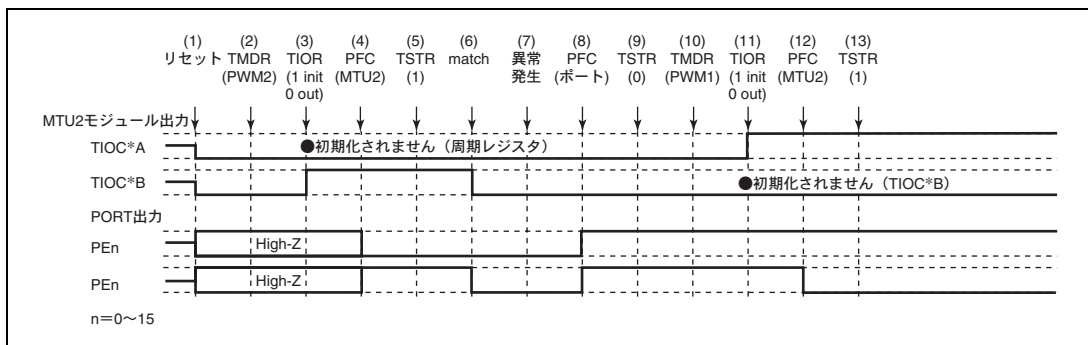


図 11.150 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 11.149 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.151 に示します。

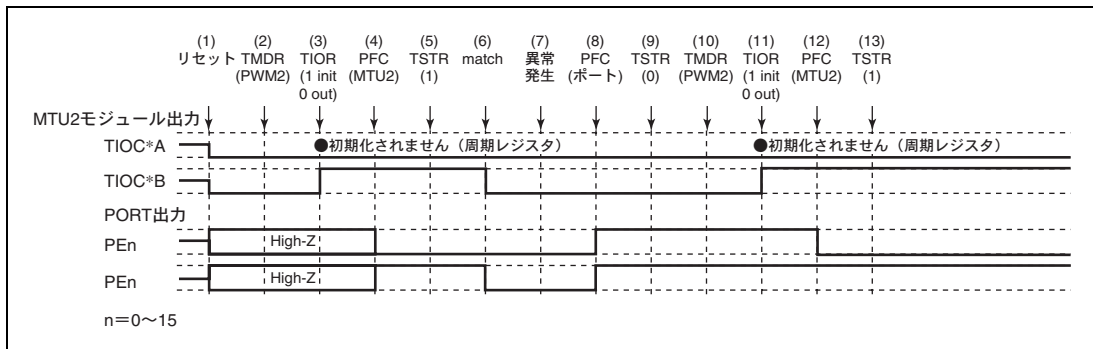


図 11.151 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 11.149 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再起動する場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 11.152 に示します。

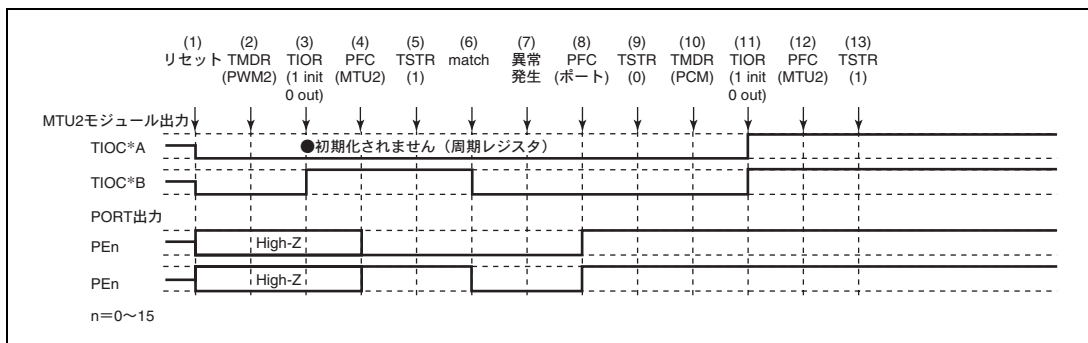


図 11.152 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 11.149 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再起動します。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.153 に示します。

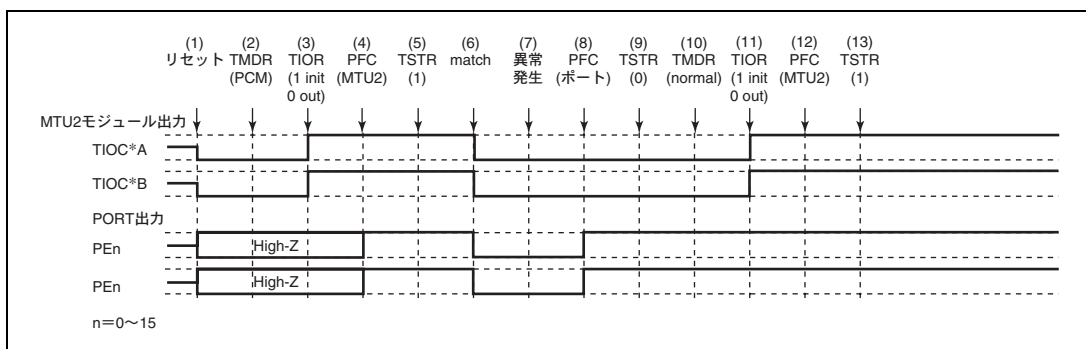


図 11.153 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.154 に示します。

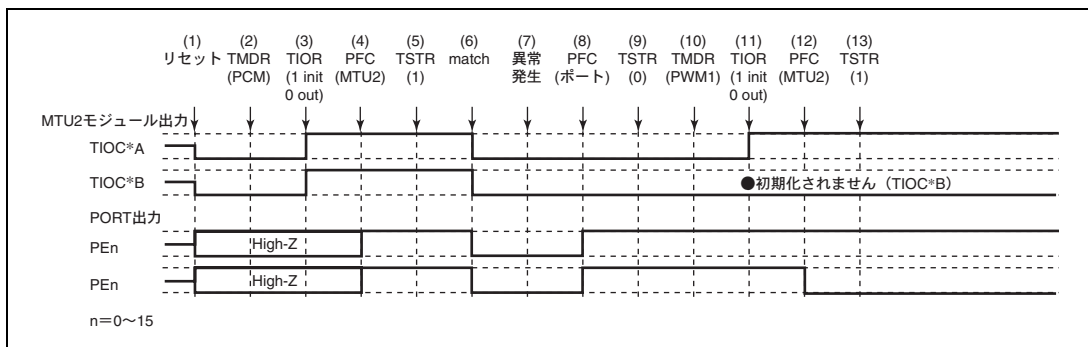


図 11.154 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 11.153 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 11.155 に示します。

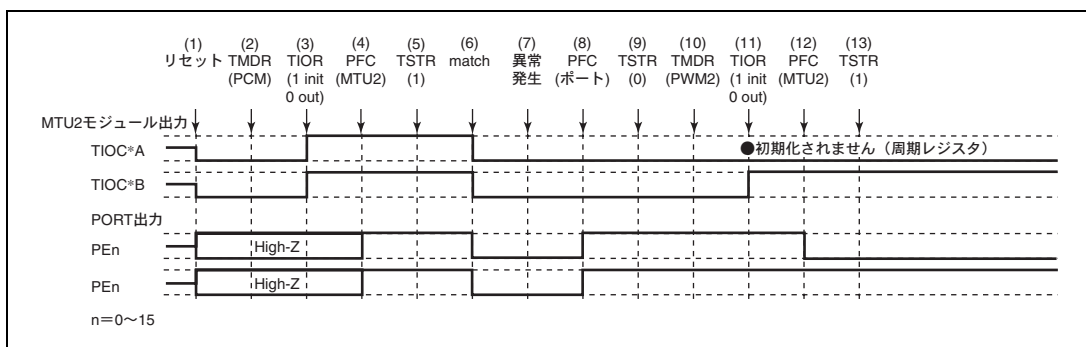


図 11.155 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 11.153 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再起動する場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 11.156 に示します。

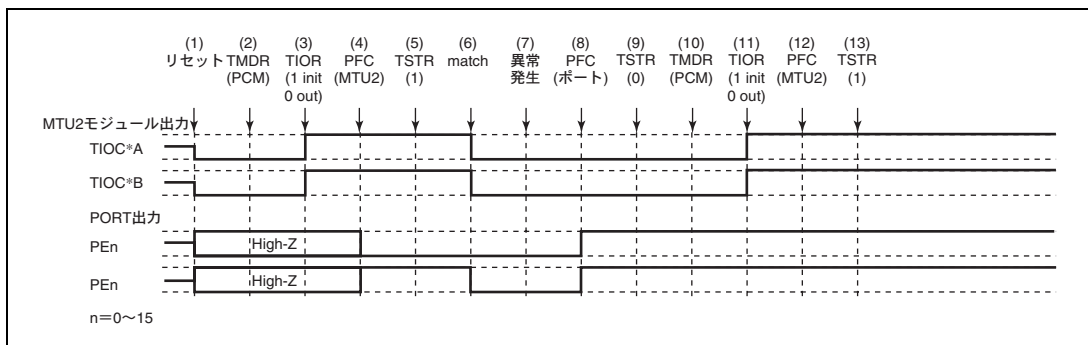


図 11.156 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 11.153 と共通です。

(10) 位相計数モードで再起動する場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再起動します。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.157 に示します。

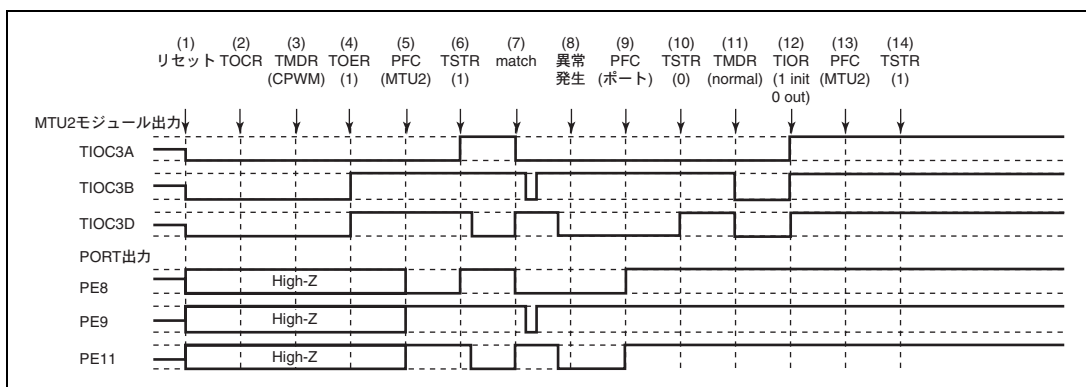


図 11.157 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.158 に示します。

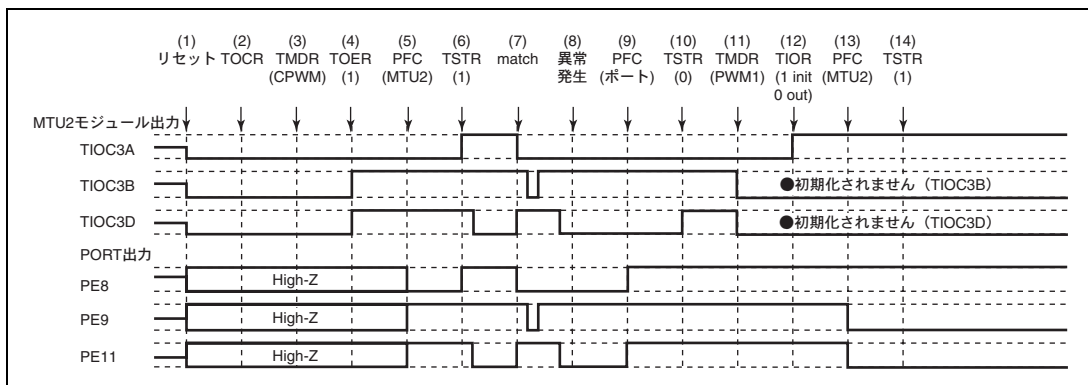


図 11.158 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 11.157 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.159 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

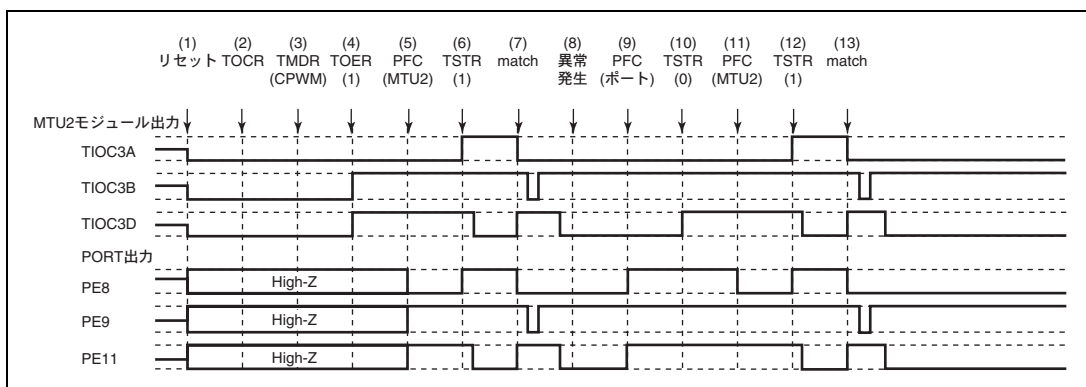


図 11.159 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.157 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.160 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

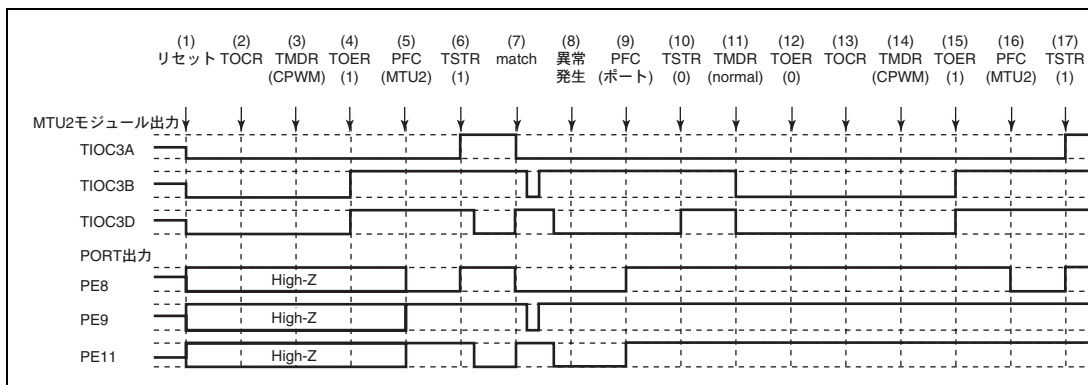


図 11.160 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.157 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.161 に示します。

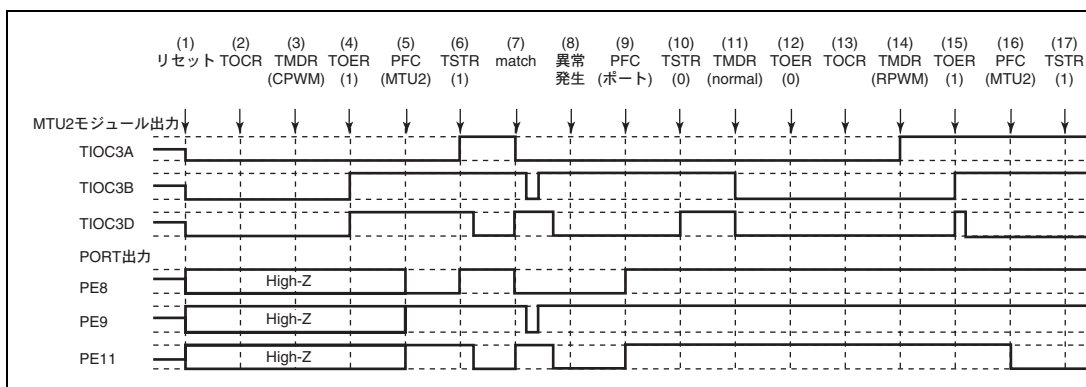


図 11.161 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.157 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図

11.162 に示します。

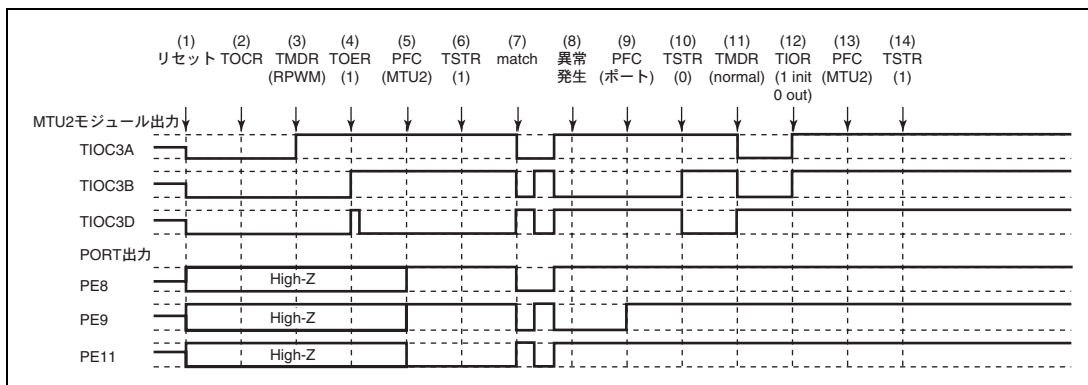


図 11.162 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.163 に示します。

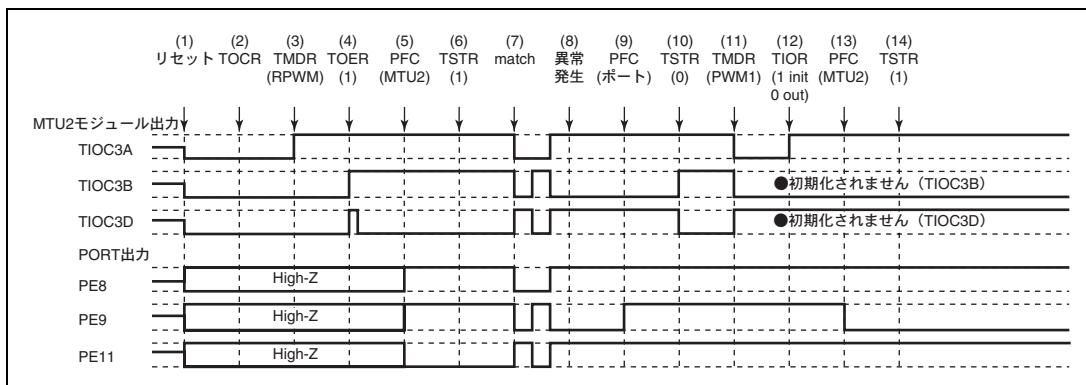


図 11.163 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 11.162 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.164 に示します。

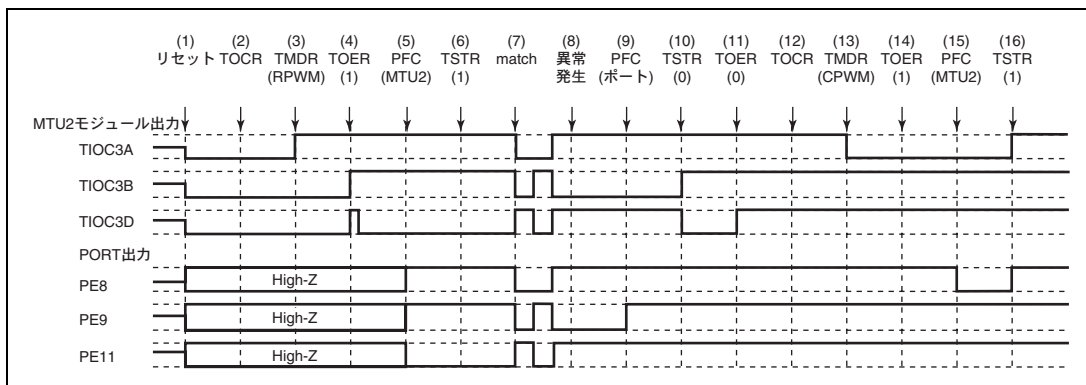


図 11.164 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.162 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.165 に示します。

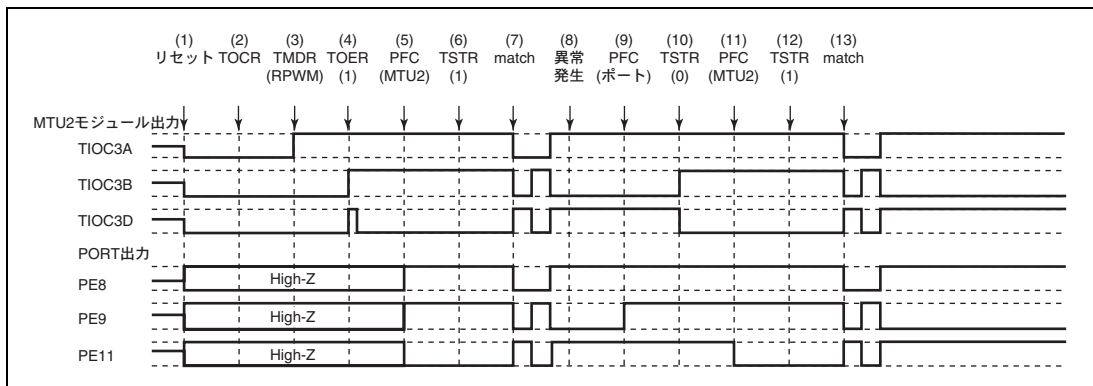


図 11.165 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.162 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

12. マルチファンクションタイマパルスユニット 2S (MTU2S)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2S (MTU2S) を内蔵しています。MTU2S は MTU2 のチャンネル 3、4、5 を内蔵したモジュールですので、詳細は「第 11 章 マルチファンクションタイマパルスユニット 2 (MTU2)」を参照してください。なお、MTU2 と区別するため、入出力端子名、およびレジスタ名の末尾に「S」を追加し、たとえば TIOC3A は TIOC3AS、TGRA_3 は TGRA_3S などと表記してあります。

また、MTU2S の動作周波数は、以下のとおり相補 PWM モードの出力の場合とその他の機能で使用する場合で異なります。

- 相補PWMモードで出力時の動作周波数
 - 最大100MHz : SH7239B、SH7237B
 - 最大80MHz : SH7239A、SH7237A
- その他の機能で使用時の動作周波数
 - 最大50MHz : SH7239B、SH7237B
 - 最大40MHz : SH7239A、SH7237A

表 12.1 MTU2S の機能一覧

項 目	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/256 Mφ/1024	Mφ/1 Mφ/4 Mφ/16 Mφ/64 Mφ/256 Mφ/1024	Mφ/1 Mφ/4 Mφ/16 Mφ/64
ジェネラルレジスタ (TGR)	TGRA_3S TGRB_3S	TGRA_4S TGRB_4S	TGRU_5S TGRV_5S TGRW_5S
ジェネラルレジスタ/ バッファレジスタ	TGRC_3S TGRD_3S	TGRC_4S TGRD_4S	—
入出力端子	TIOC3AS TIOC3BS TIOC3CS TIOC3DS	TIOC4AS TIOC4BS TIOC4CS TIOC4DS	入力端子 TIC5US TIC5VS TIC5WS
カウンタクリア機能	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ

項 目	チャンネル 3	チャンネル 4	チャンネル 5	
コンペア マッチ出力	0 出力	○	○	—
	1 出力	○	○	—
	トグル出力	○	○	—
インプットキャプチャ機能	○	○	○	
同期動作	○	○	—	
PWM モード 1	○	○	—	
PWM モード 2	—	—	—	
相補 PWM モード	○	○	—	
リセット PWM モード	○	○	—	
AC 同期モータ駆動モード	—	—	—	
位相計数モード	—	—	—	
バッファ動作	○	○	—	
デッドタイム補償用 カウンタ機能	—	—	○	
DTC の起動	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ と TCNT オーバフロー/アンダ フロー	TGR のコンペアマッチ またはインプットキャプチャ	
A/D 変換開始トリガ	TGRA_3S のコンペアマッチ またはインプットキャプチャ	TGRA_4S のコンペアマッチ またはインプットキャプチャ 相補 PWM モード時 TCNT_4S のアンダフロー (谷)	—	
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 3AS • コンペアマッチ/インプットキャプチャ 3BS • コンペアマッチ/インプットキャプチャ 3CS • コンペアマッチ/インプットキャプチャ 3DS • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 4AS • コンペアマッチ/インプットキャプチャ 4BS • コンペアマッチ/インプットキャプチャ 4CS • コンペアマッチ/インプットキャプチャ 4DS • オーバフロー/アンダフロー 	3 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 5US • コンペアマッチ/インプットキャプチャ 5VS • コンペアマッチ/インプットキャプチャ 5WS 	
A/D 変換開始要求 ディレイド機能	—	• TADCORA_4S と TCNT_4S の一致で、A/D 変換開始要求 • TADCORB_4S と TCNT_4S の一致で、A/D 変換開始要求	—	
割り込み間引き機能	• TGRA_3S のコンペアマッチ 割り込みを間引き	• TCIV_4S 割り込みを間引き	—	

【記号説明】

- ：可能
—：不可

12.1 入出力端子

表 12.2 端子構成

チャンネル	端子名	入出力	機能
3	TIOC3AS	入出力	TGRA_3S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3BS	入出力	TGRB_3S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3CS	入出力	TGRC_3S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3DS	入出力	TGRD_3S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOC4AS	入出力	TGRA_4S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4BS	入出力	TGRB_4S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4CS	入出力	TGRC_4S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4DS	入出力	TGRD_4S のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
5	TIC5US	入力	TGRU_5S のインプットキャプチャ入力/外部パルス入力端子
	TIC5VS	入力	TGRV_5S のインプットキャプチャ入力/外部パルス入力端子
	TIC5WS	入力	TGRW_5S のインプットキャプチャ入力/外部パルス入力端子

12.2 レジスタの説明

MTU2S には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 3 の TCR は TCR_3S と表記してあります。

表 12.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマコントロールレジスタ_3S	TCR_3S	R/W	H'00	H'FFFE4A00	8、16、32
タイマコントロールレジスタ_4S	TCR_4S	R/W	H'00	H'FFFE4A01	8
タイマモードレジスタ_3S	TMDR_3S	R/W	H'00	H'FFFE4A02	8、16
タイマモードレジスタ_4S	TMDR_4S	R/W	H'00	H'FFFE4A03	8
タイマ I/O コントロールレジスタ H_3S	TIORH_3S	R/W	H'00	H'FFFE4A04	8、16、32
タイマ I/O コントロールレジスタ L_3S	TIORL_3S	R/W	H'00	H'FFFE4A05	8
タイマ I/O コントロールレジスタ H_4S	TIORH_4S	R/W	H'00	H'FFFE4A06	8、16
タイマ I/O コントロールレジスタ L_4S	TIORL_4S	R/W	H'00	H'FFFE4A07	8
タイマインタラプトイネーブルレジスタ_3S	TIER_3S	R/W	H'00	H'FFFE4A08	8、16
タイマインタラプトイネーブルレジスタ_4S	TIER_4S	R/W	H'00	H'FFFE4A09	8
タイマアウトプットマスタイネーブルレジスタ S	TOERS	R/W	H'C0	H'FFFE4A0A	8
タイマゲートコントロールレジスタ S	TGCRS	R/W	H'80	H'FFFE4A0D	8
タイマアウトプットコントロールレジスタ 1S	TOCR1S	R/W	H'00	H'FFFE4A0E	8、16
タイマアウトプットコントロールレジスタ 2S	TOCR2S	R/W	H'00	H'FFFE4A0F	8
タイマカウンタ_3S	TCNT_3S	R/W	H'0000	H'FFFE4A10	16、32
タイマカウンタ_4S	TCNT_4S	R/W	H'0000	H'FFFE4A12	16
タイマ周期データレジスタ S	TCDRS	R/W	H'FFFF	H'FFFE4A14	16、32
タイマデッドタイムデータレジスタ S	TDDRS	R/W	H'FFFF	H'FFFE4A16	16
タイマジェネラルレジスタ A_3S	TGRA_3S	R/W	H'FFFF	H'FFFE4A18	16、32
タイマジェネラルレジスタ B_3S	TGRB_3S	R/W	H'FFFF	H'FFFE4A1A	16
タイマジェネラルレジスタ A_4S	TGRA_4S	R/W	H'FFFF	H'FFFE4A1C	16、32
タイマジェネラルレジスタ B_4S	TGRB_4S	R/W	H'FFFF	H'FFFE4A1E	16
タイマサブカウンタ S	TCNTSS	R	H'0000	H'FFFE4A20	16、32
タイマ周期バッファレジスタ S	TCBRS	R/W	H'FFFF	H'FFFE4A22	16
タイマジェネラルレジスタ C_3S	TGRC_3S	R/W	H'FFFF	H'FFFE4A24	16、32
タイマジェネラルレジスタ D_3S	TGRD_3S	R/W	H'FFFF	H'FFFE4A26	16
タイマジェネラルレジスタ C_4S	TGRC_4S	R/W	H'FFFF	H'FFFE4A28	16、32
タイマジェネラルレジスタ D_4S	TGRD_4S	R/W	H'FFFF	H'FFFE4A2A	16
タイマステータスレジスタ_3S	TSR_3S	R/W	H'C0	H'FFFE4A2C	8、16
タイマステータスレジスタ_4S	TSR_4S	R/W	H'C0	H'FFFE4A2D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
タイマ割り込み間引き設定レジスタ S	TITCRS	R/W	H'00	H'FFFE4A30	8、16
タイマ割り込み間引き回数カウンタ S	TITCNTS	R	H'00	H'FFFE4A31	8
タイマバッファ転送設定レジスタ S	TBTERS	R/W	H'00	H'FFFE4A32	8
タイマデッドタイムイネーブルレジスタ S	TDERS	R/W	H'01	H'FFFE4A34	8
タイマアウトプットレベルバッファレジスタ S	TOLBRS	R/W	H'00	H'FFFE4A36	8
タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	R/W	H'00	H'FFFE4A38	8、16
タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	R/W	H'00	H'FFFE4A39	8
タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	R/W	H'0000	H'FFFE4A40	16
タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	R/W	H'FFFF	H'FFFE4A44	16、32
タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	R/W	H'FFFF	H'FFFE4A46	16
タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4S	TADCOBRA_4S	R/W	H'FFFF	H'FFFE4A48	16、32
タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4S	TADCOBRB_4S	R/W	H'FFFF	H'FFFE4A4A	16
タイマシンクロクリアレジスタ S*	TSYCRS	R/W	H'00	H'FFFE4A50	8
タイマ波形コントロールレジスタ S	TWCRS	R/W	H'00	H'FFFE4A60	8
タイマスタートレジスタ S	TSTRS	R/W	H'00	H'FFFE4A80	8、16
タイマシンクロレジスタ S	TSYRS	R/W	H'00	H'FFFE4A81	8
タイマリードライトイネーブルレジスタ S	TRWERS	R/W	H'01	H'FFFE4A84	8
タイマカウンタ U_5S	TCNTU_5S	R/W	H'0000	H'FFFE4880	16、32
タイマジェネラルレジスタ U_5S	TGRU_5S	R/W	H'FFFF	H'FFFE4882	16
タイマコントロールレジスタ U_5S	TCRU_5S	R/W	H'00	H'FFFE4884	8
タイマ I/O コントロールレジスタ U_5S	TIORU_5S	R/W	H'00	H'FFFE4886	8
タイマカウンタ V_5S	TCNTV_5S	R/W	H'0000	H'FFFE4890	16、32
タイマジェネラルレジスタ V_5S	TGRV_5S	R/W	H'FFFF	H'FFFE4892	16
タイマコントロールレジスタ V_5S	TCRV_5S	R/W	H'00	H'FFFE4894	8
タイマ I/O コントロールレジスタ V_5S	TIORV_5S	R/W	H'00	H'FFFE4896	8
タイマカウンタ W_5S	TCNTW_5S	R/W	H'0000	H'FFFE48A0	16、32
タイマジェネラルレジスタ W_5S	TGRW_5S	R/W	H'FFFF	H'FFFE48A2	16
タイマコントロールレジスタ W_5S	TCRW_5S	R/W	H'00	H'FFFE48A4	8
タイマ I/O コントロールレジスタ W_5S	TIORW_5S	R/W	H'00	H'FFFE48A6	8
タイマステータスレジスタ_5S	TSR_5S	R/W	H'00	H'FFFE48B0	8
タイマインタラプトイネーブルレジスタ_5S	TIER_5S	R/W	H'00	H'FFFE48B2	8
タイマスタートレジスタ_5S	TSTR_5S	R/W	H'00	H'FFFE48B4	8
タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	R/W	H'00	H'FFFE48B6	8

【注】 * レジスタの詳細な説明は「第 11 章 マルチファンクションタイマパルスユニット 2 (MTU2)」の「11.3.9 タイマシンクロクリアレジスタ S (TSYCRS)」と図 11.85 を参照してください。

13. ポートアウトプットイネーブル 2 (POE2)

ポートアウトプットイネーブル 2 (POE2) は、 $\overline{\text{POE0}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE8}}$ 端子の入力変化、大電流端子の出力状態またはレジスタ設定によって、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

13.1 特長

- $\overline{\text{POE0}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE8}}$ の各入力端子に、立ち下がりエッジ、Pφ/8×16回、Pφ/16×16回、Pφ/128×16回のローレベルサンプリングの設定が可能
- $\overline{\text{POE0}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE8}}$ 端子の立ち下がりエッジまたはローレベルサンプリングによって、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 端子ごとにハイインピーダンスにする出力端子（相補PWMの端子および MTU2 の CH0 端子）を指定することが可能（複数設定可能）。
- 大電流端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- POE2 のレジスタ書き込みをすることで、大電流端子および MTU2 の CH0 端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE2 は、図 13.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求/割り込み要求生成回路から構成されます。

図 13.1 に POE2 のブロック図を示します。

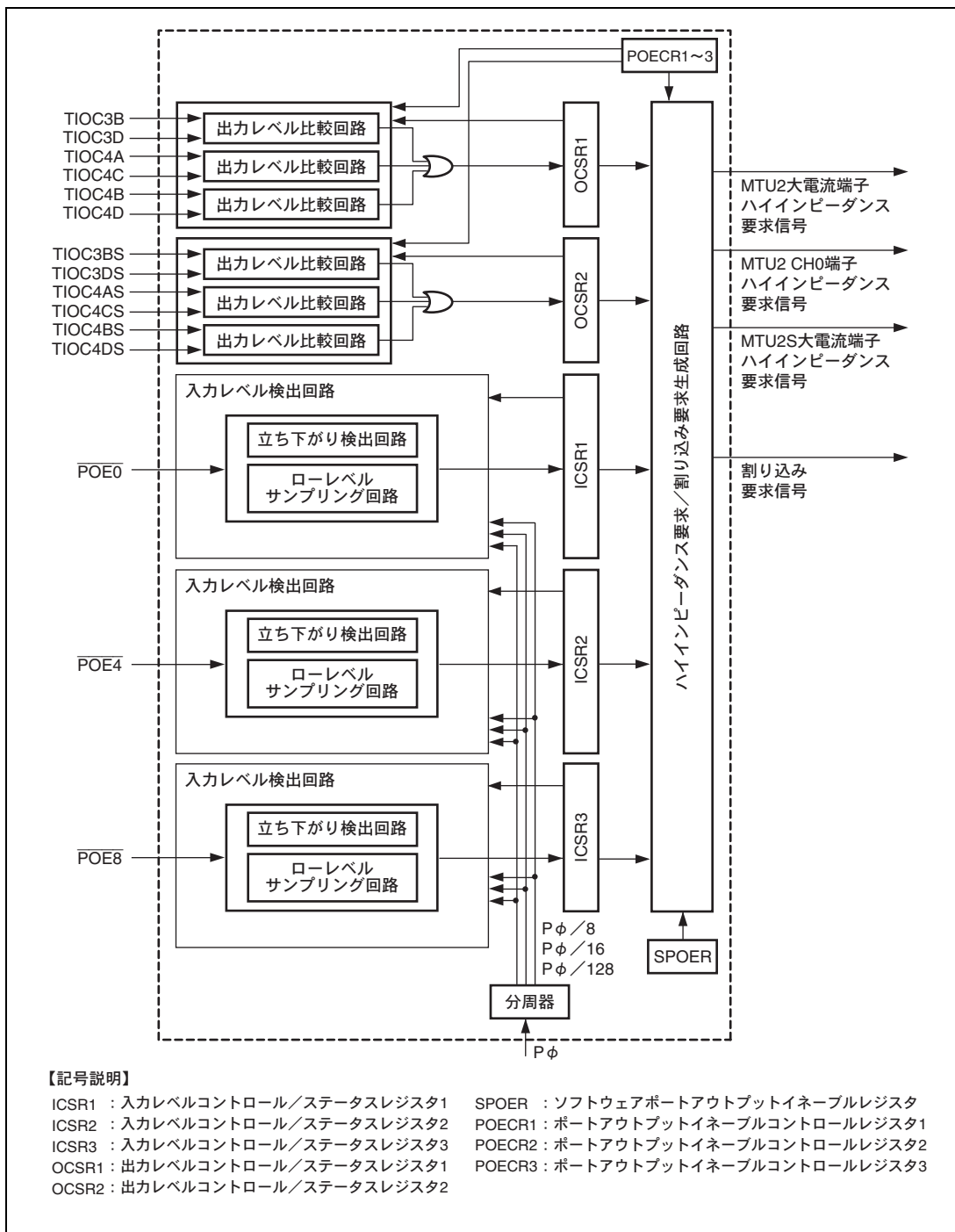


図 13.1 POE2 のブロック図

13.2 入出力端子

表 13.1 端子構成

名称	端子名	入出力	機能
ポートアウトプットイネーブル入力端子 0、4、8	POE0、 POE4、 POE8	入力	MTU2、MTU2S、および MTU2_CH0 用の大電流端子をハイインピーダンス状態にする要求信号を入力

表 13.2 に示す端子の組み合わせで出力レベルの比較を行います。

表 13.2 端子の組み合わせ

端子の組み合わせ	入出力	機能
TIOC3B と TIOC3D	出力	<p>周辺クロック (Pϕ) 1 サイクル以上同時にアクティブレベル出力 (MTU2 のタイマアウトプットコントロールレジスタ 1 (TOCR1) の TOCS=0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS=1 のときに TOCR2 の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2 用の大電流端子をハイインピーダンス状態にします。</p> <p>ピンファンクションコントローラの設定で、MTU2 の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。</p> <p>どの組み合わせに対して出力比較を行いハイインピーダンス制御をするかは、POE2 のレジスタにて設定できます。</p>
TIOC4A と TIOC4C	出力	
TIOC4B と TIOC4D	出力	
TIOC3BS と TIOC3DS	出力	<p>周辺クロック (Pϕ) 1 サイクル以上同時にアクティブレベル出力 (MTU2S のタイマアウトプットコントロールレジスタ 1S (TOCR1S) の TOCS=0 のときに出力レベルセレクト P (OLSP) ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力。または、TOCS=1 のときに TOCR2S の OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P ビットが 0 の場合はローレベル出力、1 の場合はハイレベル出力) が続いた場合、MTU2S 用の大電流端子をハイインピーダンス状態にします。</p> <p>ピンファンクションコントローラの設定で、MTU2S の出力機能または汎用出力機能に設定しているとき、上記アクティブレベル比較を行います。それ以外の機能に設定しているときは、比較を行いません。</p> <p>どの組み合わせに対して出力比較を行いハイインピーダンス制御をするかは、POE2 のレジスタにて設定できます。</p>
TIOC4AS と TIOC4CS	出力	
TIOC4BS と TIOC4DS	出力	

13.3 レジスタの説明

POE2 には以下のレジスタがあります。

POE2 の全レジスタは、パワーオンリセットで初期化されます。マニュアルリセット、スリープモード、ソフトウェアスタンバイモードでは初期化されません。

表 13.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
入力レベルコントロール/ステータスレジスタ 1	ICSR1	R/W	H'0000	H'FFFE5000	16
出力レベルコントロール/ステータスレジスタ 1	OCSR1	R/W	H'0000	H'FFFE5002	16
入力レベルコントロール/ステータスレジスタ 2	ICSR2	R/W	H'0000	H'FFFE5004	16
出力レベルコントロール/ステータスレジスタ 2	OCSR2	R/W	H'0000	H'FFFE5006	16
入力レベルコントロール/ステータスレジスタ 3	ICSR3	R/W	H'0000	H'FFFE5008	16
ソフトウェアポートアウトブットイネーブルレジスタ	SPOER	R/W	H'00	H'FFFE500A	8
ポートアウトブットイネーブルコントロールレジスタ 1	POECR1	R/W	H'00	H'FFFE500B	8
ポートアウトブットイネーブルコントロールレジスタ 2	POECR2	R/W	H'7700	H'FFFE500C	16
ポートアウトブットイネーブルコントロールレジスタ 3	POECR3	R/W	H'00	H'FFFE500E	8

13.3.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{\text{POE0}}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	POE0F	-	-	-	PIE1	-	-	-	-	-	-	-	POE0M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*1	R	R	R	R/W	R	R	R	R	R	R	R/(W)*2	R/(W)*2

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	POE0F	0	R/(W)*1	POE0 フラグ $\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] <ul style="list-style-type: none"> POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 で立ち下がりエッジに設定している場合)。 $\overline{\text{POE0}}$ 入力のハイレベルを Pφ/8、16、128 クロックでサンプリングした後で、POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき (ICSR1 のビット 1、0 でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき。
11~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PIE1	0	R/W	ポートインタラプトイネーブル 1 ICSR1 の POE0F ビットに 1 がセットされたときに、割り込みを要求するかどうかを指定します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	POE0M[1:0]	00	R/W* ²	<p>POE0 モード</p> <p>POE0 端子の入力モードを選択します。</p> <p>00 : POE0 入力の立ち下がリエッジで要求を受け付け</p> <p>01 : POE0 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE0 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE0 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

13.3.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

OCSR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF1	-	-	-	-	-	OCE1	OIE1	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF1	0	R/(W)*1	出力短絡フラグ 1 MTU2 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF1=1 の状態を読み出した後、OSF1 に 0 を書き込んだとき。 [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき。
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE1	0	R/W*2	出力短絡ハイインピーダンスイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする
8	OIE1	0	R/W	出力短絡割り込みイネーブル 1 OCSR1 の OSF1 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

13.3.3 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

ICSR2は、読み出し/書き込み可能な16ビットのレジスタで、 $\overline{POE4}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	POE4F	-	-	-	PIE2	-	-	-	-	-	-	-	POE4M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*1	R	R	R	R/W	R	R	R	R	R	R	R/W*2	R/W*2

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	POE4F	0	R/(W)*1	POE4 フラグ $\overline{POE4}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] <ul style="list-style-type: none"> POE4F=1の状態を読み出した後、POE4Fに0を書き込んだとき (ICSR2のビット1、0で立ち下がりエッジに設定している場合)。 $\overline{POE4}$入力のハイレベルをPφ/8、16、128クロックでサンプリングした後で、POE4F=1の状態を読み出した後、POE4Fに0を書き込んだとき (ICSR2のビット1、0でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{POE4}$端子に、ICSR2のビット1、0で設定した入力が発生したとき。
11~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PIE2	0	R/W	ポートインタラプトイネーブル2 ICSR2のPOE4Fビットに1がセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	POE4M[1:0]	00	R/W* ²	<p>POE4 モード</p> <p>$\overline{\text{POE4}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE4}}$ 入力の立ち下がリエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE4}}$ 入力のローレベルを Pϕ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE4}}$ 入力のローレベルを Pϕ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE4}}$ 入力のローレベルを Pϕ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

13.3.4 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)

OCSR2 は、読み出し/書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSF2	-	-	-	-	-	OCE2	OIE2	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R	R	R	R	R	R/W*2	R/W	R	R	R	R	R	R	R	R

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	OSF2	0	R/(W)*1	出力短絡フラグ 2 MTU2S 用の比較する 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったことを示すフラグです。 [クリア条件] • OSF2=1 の状態を読み出した後、OSF2 に 0 を書き込んだとき。 [セット条件] • 3 組の 2 相出力のうち 1 組でも同時にアクティブレベルになったとき。
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	OCE2	0	R/W*2	出力短絡ハイインピーダンスイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする
8	OIE2	0	R/W	出力短絡割り込みイネーブル 2 OCSR2 の OSF2 ビットがセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.3.5 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

ICSR3 は、読み出し/書き込み可能な 16 ビットのレジスタで、 $\overline{POE8}$ 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	POE8F	-	-	POE8E	PIE3	-	-	-	-	-	-	-	POE8M[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*1	R	R	R/W*2	R/W	R	R	R	R	R	R	R/W*2	R/W*2

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	POE8F	0	R/(W)*1	POE8 フラグ $\overline{POE8}$ 端子にハイインピーダンス要求が入力されたことを示すフラグです。 [クリア条件] <ul style="list-style-type: none"> POE8F=1 の状態を読み出した後、POE8F に 0 を書き込んだとき (ICSR3 のビット 1、0 で立ち下がリエッジに設定している場合)。 $\overline{POE8}$ 入力のハイレベルを Pφ/8、16、128 クロックでサンプリングした後で、POE8F=1 の状態を読み出した後、POE8F に 0 を書き込んだとき (ICSR3 のビット 1、0 でローレベルサンプリングに設定している場合)。 [セット条件] <ul style="list-style-type: none"> $\overline{POE8}$ 端子に、ICSR3 のビット 1、0 で設定した入力が発生したとき。
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	POE8E	0	R/W*2	POE8 ハイインピーダンスイネーブル ICSR3 の POE8F ビットがセットされたときに、端子をハイインピーダンスにするかどうかを指定します。 0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする
8	PIE3	0	R/W	ポートインタラプトイネーブル 3 ICSR3 の POE8F ビットに 1 がセットされたときに、割り込みを要求するかどうかを指定します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	POE8M[1:0]	00	R/W*2	<p>POE8 モード</p> <p>POE8 端子の入力モードを選択します。</p> <p>00 : POE8 入力の立ち下がリエッジで要求を受け付け</p> <p>01 : POE8 入力のローレベルを Pφ/8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : POE8 入力のローレベルを Pφ/16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : POE8 入力のローレベルを Pφ/128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 パワーオンリセット後、1 回のみ書き込み可能です。

13.3.6 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

SPOER は、読み出し/書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	MTU2SHIZ	0	R/W	<p>MTU2S 出力ハイインピーダンス</p> <p>MTU2S 用の大電流端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2SHIZ=1 の状態を読み出した後、MTU2SHIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にする</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2SHIZ に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
1	MTU2CH0HIZ	0	R/W	<p>MTU2 CH0 出力ハイインピーダンス</p> <p>MTU2 の CH0 用の端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH0HIZ=1 の状態を読み出した後、MTU2CH0HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にする</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH0HIZ に 1 を書き込んだとき
0	MTU2CH34HIZ	0	R/W	<p>MTU2 CH3、4 出力ハイインピーダンス</p> <p>MTU2 用の大電流端子をハイインピーダンス状態にする制御を行います。</p> <p>0 : ハイインピーダンス状態にしない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • MTU2CH34HIZ=1 の状態を読み出した後、MTU2CH34HIZ に 0 を書き込んだとき <p>1 : ハイインピーダンス状態にする</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • MTU2CH34HIZ に 1 を書き込んだとき

13.3.7 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

POECR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット: 7 6 5 4 3 2 1 0

MTU2 PB4ZE	MTU2 PB3ZE	MTU2 PB2ZE	MTU2 PB1ZE	MTU2 PE3ZE	MTU2 PE2ZE	MTU2 PE1ZE	MTU2 PE0ZE
---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)*¹ R/(W)*¹ R/(W)*¹ R/(W)*¹ R/(W)*¹ R/(W)*¹ R/(W)*¹ R/(W)*¹

【注】 *1 パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
7	MTU2PB4ZE	0	R/(W)* ¹	<p>MTU2PB4 ハイインピーダンスイネーブル</p> <p>選択した POE 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PB4/TIOC0D をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない</p> <p>1 : ハイインピーダンスにする</p>

ビット	ビット名	初期値	R/W	説明
6	MTU2PB3ZE	0	R/(W)* ¹	<p>MTU2PB3 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PB3/TIOC0C をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>
5	MTU2PB2ZE	0	R/(W)* ¹	<p>MTU2PB2 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PB2/TIOC0B をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>
4	MTU2PB1ZE	0	R/(W)* ¹	<p>MTU2PB1 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PB1/TIOC0A をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>
3	MTU2PE3ZE	0	R/(W)* ¹	<p>MTU2PE3 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PE3/TIOC0D をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>
2	MTU2PE2ZE	0	R/(W)* ¹	<p>MTU2PE2 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PE2/TIOC0C をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>
1	MTU2PE1ZE	0	R/(W)* ¹	<p>MTU2PE1 ハイインピーダンスイネーブル</p> <p>選択した \overline{POE} 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか1つでもセットされたときに、MTU2 の CH0 用端子の PE1/TIOC0B をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>

ビット	ビット名	初期値	R/W	説明
0	MTU2PE0ZE	0	R/(W)* ¹	<p>MTU2PE0 ハイインピーダンスイネーブル</p> <p>選択した $\overline{\text{POE}}$ 端子のフラグ*²、MTU2CH0HIZ ビットのうちどれか 1 つでもセットされたときに、MTU2 の CH0 用端子の PE0/TIOC0A をハイインピーダンス状態にするかどうか設定します。</p> <p>0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする</p>

【注】 *1 パワーオンリセット後、1 回のみ書き込み可能です。

*2 初期設定では POE8F フラグが選択されています。POECR3 レジスタの設定により、 $\overline{\text{POE0}}$ および $\overline{\text{POE4}}$ の端子の制御も追加で可能です。

13.3.8 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

POECR2 は、読み出し/書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御をします。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	-	MTU2S P1CZE	MTU2S P2CZE	MTU2S P3CZE	-	MTU2S P4CZE	MTU2S P5CZE	MTU2S P6CZE	-	-	-	-
初期値	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W	R	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R	R/(W)* ¹	R/(W)* ¹	R/(W)* ¹	R	R	R	R

【注】 *1 パワーオンリセット後、1 回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
14	MTU2P1CZE	1	R/(W)* ¹	<p>MTU2 ポート 1 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2 用の大電流端子の PE9/TIOC3B と PE11/TIOC3D について、出力レベル比較を行うかどうか、また OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または選択した $\overline{\text{POE}}$ 端子のフラグ*²、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしない 1 : 出力レベル比較を行い、ハイインピーダンスにする</p>
13	MTU2P2CZE	1	R/(W)* ¹	<p>MTU2 ポート 2 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2 用の大電流端子の PE12/TIOC4A と PE14/TIOC4C について、出力レベル比較を行うかどうか、また OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または選択した $\overline{\text{POE}}$ 端子のフラグ*²、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうか設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしない 1 : 出力レベル比較を行い、ハイインピーダンスにする</p>

ビット	ビット名	初期値	R/W	説明
12	MTU2P3CZE	1	R/(W)* ¹	<p>MTU2 ポート 3 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2 用の大電流端子の PE13/TIOC4B と PE15/TIOC4D について、出力レベル比較を行うかどうか、また OCE1 ビットが 1 のときに OSF1 ビットがセットされたとき、または選択した POE 端子のフラグ*²、MTU2CH34HIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする</p>
11	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10	MTU2SP1CZE	1	R/(W)* ¹	<p>MTU2S ポート 1 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE5/TIOC3BS と PE6/TIOC3DS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする</p>
9	MTU2SP2CZE	1	R/(W)* ¹	<p>MTU2S ポート 2 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE0/TIOC4AS と PE2/TIOC4CS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする</p>
8	MTU2SP3CZE	1	R/(W)* ¹	<p>MTU2S ポート 3 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PE1/TIOC4BS と PE3/TIOC4DS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする</p>
7	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6	MTU2SP4CZE	0	R/(W)* ¹	<p>MTU2S ポート 4 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PD10/TIOC3BS と PD11/TIOC3DS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしない 1 : 出力レベル比較を行い、ハイインピーダンスにする</p>
5	MTU2SP5CZE	0	R/(W)* ¹	<p>MTU2S ポート 5 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PD12/TIOC4AS と PD14/TIOC4CS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしない 1 : 出力レベル比較を行い、ハイインピーダンスにする</p>
4	MTU2SP6CZE	0	R/(W)* ¹	<p>MTU2S ポート 6 出力比較/ハイインピーダンスイネーブル</p> <p>MTU2S 用の大電流端子の PD13/TIOC4BS と PD15/TIOC4DS について、出力比較を行うかどうか、また OCE2 ビットが 1 のときに OSF2 ビットがセットされたとき、または選択した POE 端子のフラグ*³、MTU2SHIZ ビットのうちどれか一つでもセットされたときにハイインピーダンス状態にするかどうかを設定します。</p> <p>0 : 出力レベル比較を行わず、ハイインピーダンスにしない 1 : 出力レベル比較を行い、ハイインピーダンスにする</p>
3~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 *1 パワーオンリセット後、1 回のみ書き込み可能です。

*2 初期設定では POE0F フラグが選択されています。POECR3 レジスタの設定により、POE4 および POE8 の端子の制御も追加で可能です。

*3 初期設定では POE4F フラグが選択されています。POECR3 レジスタの設定により、POE0 および POE8 の端子の制御も追加で可能です。

13.3.9 ポートアウトプットイネーブルコントロールレジスタ 3 (POE2CR3)

POE2CR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、デフォルトの $\overline{\text{POE}}$ 端子以外の $\overline{\text{POE}}$ 端子に対してハイインピーダンス制御をします。

ビット:	7	6	5	4	3	2	1	0
	-	-	IC2MTU2 CHOZE	IC2MTU2 ZE	IC3MTU2 SZE	IC3MTU2 ZE	IC1MTU2 CHOZE	IC1MTU2 SZE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * パワーオンリセット後、1回のみ書き込み可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	IC2MTU2 CHOZE	0	R/(W)*	IC2MTU2CH0 ハイインピーダンスイネーブル POE4F ビットがセットされたときに、MTU2 CH0 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能
4	IC2MTU2 ZE	0	R/(W)*	IC2MTU2 ハイインピーダンスイネーブル POE4F ビットがセットされたときに、MTU2 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能
3	IC3MTU2 SZE	0	R/(W)*	IC3MTU2S ハイインピーダンスイネーブル POE8F ビットがセットされたときに、MTU2S 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能
2	IC3MTU2 ZE	0	R/(W)*	IC3MTU2 ハイインピーダンスイネーブル POE8F ビットがセットされたときに、MTU2 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能
1	IC1MTU2 CHOZE	0	R/(W)*	IC1MTU2CH0 ハイインピーダンスイネーブル POE0F ビットがセットされたときに、MTU2 CH0 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能

ビット	ビット名	初期値	R/W	説明
0	IC1MTU2 SIZE	0	R/(W)*	IC1MTU2S ハイインピーダンスイネーブル POE0F ビットがセットされたときに、MTU2S 用の大電流端子のハイインピーダンス状態を制御します。 0 : ハイインピーダンスに設定不可 1 : ハイインピーダンスに設定可能

【注】 * パワーオンリセット後、1 回のみ書き込み可能です。

13.4 動作説明

表 13.4、表 13.5 に、ハイインピーダンス制御の対象となる端子とハイインピーダンスになる条件を示します。

表 13.4 POE 入力についてハイインピーダンス制御の対象の選択

ハイインピーダンス制御対象の端子の選択	選択条件	条件詳細
MTU2用の大電流端子 (MTU2_hiz_1)	デフォルト選択およびPOECR3により、 POE端子ハイインピーダンス制御拡張の選択	POE0F + IC2MTU2ZE・(POE4F) + IC3MTU2ZE・(POE8F・POE8E)
MTU2S用の大電流端子 (MTU2s_hiz_1)	デフォルト選択およびPOECR3により、 POE端子ハイインピーダンス制御拡張の選択	POE4F + IC1MTU2SZE・(POE0F) + IC3MTU2SZE・(POE8F・POE8E)
MTU2CH0用の大電流端子 (MTU2ch0_hiz_1)	デフォルト選択およびPOECR3により、 POE端子ハイインピーダンス制御拡張の選択	(POE8F・POE8E) + IC1MTU2CH0ZE・(POE0F) + IC2MTU2CH0ZE・(POE4F)

表 13.5 ハイインピーダンス制御の対象と条件

端子	条件	条件詳細
MTU2 用の大電流端子 (PE9/TIOC3B、PE11/TIOC3D)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2P1CZE・((MTU2_hiz_1) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PE12/TIOC4A、PE14/TIOC4C)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2P2CZE・((MTU2_hiz_1) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2 用の大電流端子 (PE13/TIOC4B、PE15/TIOC4D)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2P3CZE・((MTU2_hiz_1) + (OSF1・OCE1) + (MTU2CH34HIZ))
MTU2S 用の大電流端子 (PE5/TIOC3BS、PE6/TIOC3DS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2SP1CZE・((MTU2s_hiz_1) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PE0/TIOC4AS、PE2/TIOC4CS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2SP2CZE・((MTU2s_hiz_1) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PE1/TIOC4BS、PE3/TIOC4DS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2SP3CZE・((MTU2s_hiz_1) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PD10/TIOC3BS、D11/TIOC3DS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2SP4CZE・((MTU2s_hiz_1) + (OSF2・OCE2) + (MTU2SHIZ))
MTU2S 用の大電流端子 (PD12/TIOC4AS、D14/TIOC4CS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	MTU2SP5CZE・((MTU2s_hiz_1) + (OSF2・OCE2) + (MTU2SHIZ))

端子	条件	条件詳細
MTU2S 用の大電流端子 (PD13/TIOC4BS、D15/TIOC4DS)	選択した POE 端子の入カレベル検出 動作または出力レベル比較動作または SPOER レジスタ設定	$MTU2SP6CZE \cdot ((MTU2s_hiz_1) + (OSF2 \cdot OCE2) + (MTU2SHIZ))$
MTU2 用の CH0 端子 (PE0/TIOC0A、PE1/TIOC0B、 PE2/TIOC0C、PE3/TIOC0D)	選択した POE 端子の入カレベル検出 動作または SPOER レジスタ設定	$MTU2PE0ZE \sim MTU2PE3ZE \cdot ((MTU2ch0_hiz_1) + (MTU2CH0HIZ))$
MTU2 用の CH0 端子 (PB1/TIOC0A、PB2/TIOC0B、 PB3/TIOC0C、PB4/TIOC0D)	選択した POE 端子の入カレベル検出 動作または SPOER レジスタ設定	$MTU2PB1ZE \sim MTU2PB4ZE \cdot ((MTU2ch0_hiz_1) + (MTU2CH0HIZ))$

13.4.1 入力レベル検出動作

ICSR1~3 レジスタで設定した入力条件が、 $\overline{POE0}$ 、 $\overline{POE4}$ 、 $\overline{POE8}$ 端子に発生した場合、大電流端子および MTU2 の CH0 用端子をハイインピーダンス状態にします。ただし、大電流端子および MTU2 の CH0 用端子が汎出力機能または MTU2、MTU2S 機能が選択されている場合のみハイインピーダンスになります。

(1) 立ち下がりエッジ検出

$\overline{POE0}$ 、 $\overline{POE4}$ 、 $\overline{POE8}$ 端子にハイレベルからローレベルの変化が入力されたとき、大電流端子および MTU2 の CH0 用端子をハイインピーダンス状態にします。

$\overline{POE0}$ 、 $\overline{POE4}$ 、 $\overline{POE8}$ 端子入力から端子のハイインピーダンスまでのタイミング例を図 13.2 に示します。

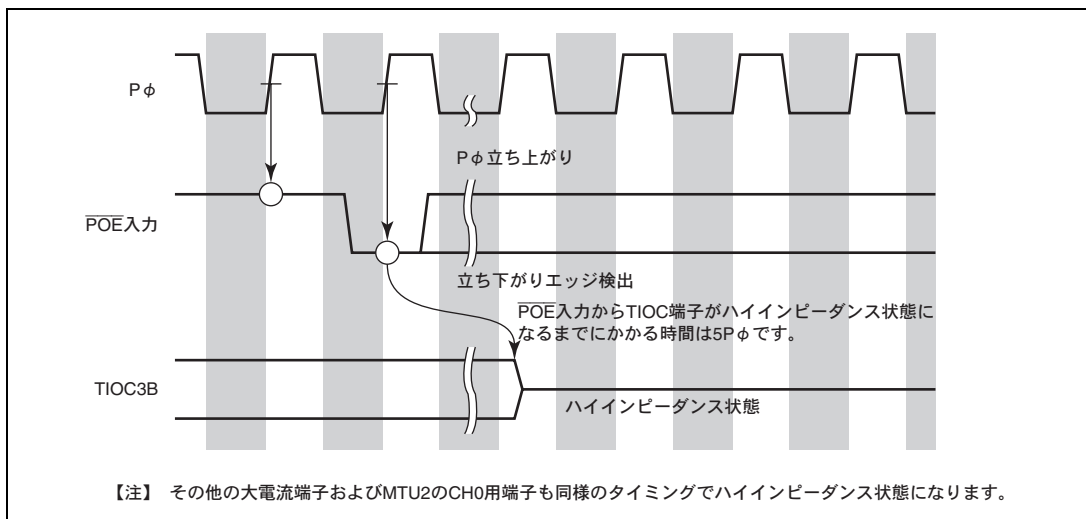


図 13.2 立ち下がりエッジ検出動作

(2) ローレベル検出

図 13.3 にローレベル検出動作を示します。ICSR1~3 レジスタで設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は受け付けられません。

また、サンプリングクロックから大電流端子がハインピーダンス状態になるタイミングは、立ち下がりエッジ検出、ローレベル検出とも同じです。

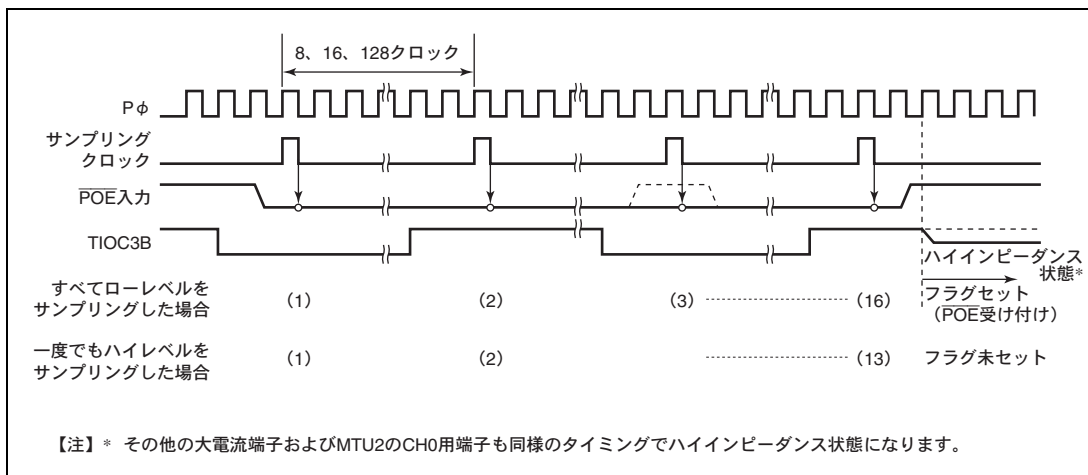


図 13.3 ローレベル検出動作

13.4.2 出力レベル比較動作

TIOC3B と TIOC3D の組み合わせを例に、出力レベル比較動作を図 13.4 に示します。他の端子の組み合わせについても同様です。

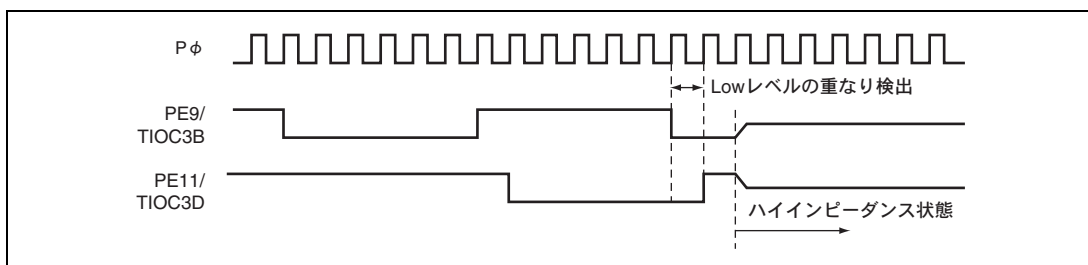


図 13.4 出力レベル検出動作

13.4.3 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1~3 のビット 12 (POE8F、POE4F、POE0F) のフラグをクリアすることにより解除されます。ただし、ICSR1~3 レジスタのビット 1 とビット 0 でローレベルサンプリングに設定している場合には、 $\overline{\text{POE0}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE8}}$ 端子からハイレベルを入力してハイレベルをサンプリングした後でないと、フラグに対して 0 書き込みを行っても無効となり、フラグはクリアされません。

出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR1、OCSR2 レジスタのビット 15 (OSF1、OSF2) のフラグをクリアすることにより解除されます。ただし、大電流端子から非アクティブレベルを出力するようにした後でないと、フラグに対して 0 書き込みを行っても無効となり、フラグはクリアされません。非アクティブレベル出力は、MTU2、MTU2S 内のレジスタを設定することで行うことができます。

13.5 割り込み

POE2 は入力レベル検出動作または出力レベル比較動作において条件が一致したときに、割り込み要求を出して割り込みを発生することができます。表 13.6 に、割り込みの種類と割り込み要求を出す条件を示します。

表 13.6 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み 1	POE0F、OSF1	PIE1・POE0F + OIE1・OSF1
OEI2	アウトプットイネーブル割り込み 2	POE8F	PIE3・POE8F
OEI3	アウトプットイネーブル割り込み 3	POE4F、OSF2	PIE2・POE4F + OIE2・OSF2

13.6 使用上の注意事項

13.6.1 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

ウォッチドッグタイマ (WDT) からパワーオンリセットが発行されると、I/O ポートはピンファンクションコントローラ (PFC) が初期化され、初期値である汎用入力になりますが、ポートアウトプットイネーブル (POE) による端子のハイインピーダンス処理中に WDT からパワーオンリセットが発行されると、汎用入力に切り替わるまでの周辺クロック (Pφ) 1 サイクル期間、端子状態は出力となります。

MTU2 の短絡検出によるハイインピーダンス処理中に WDT からパワーオンリセットが発行された場合も、同じ状態になります。

図 13.5 にタイマ出力選択時の $\overline{\text{POE}}$ 入力によるハイインピーダンス処理中に WDT からパワーオンリセットが発行されたときの状態を示します。

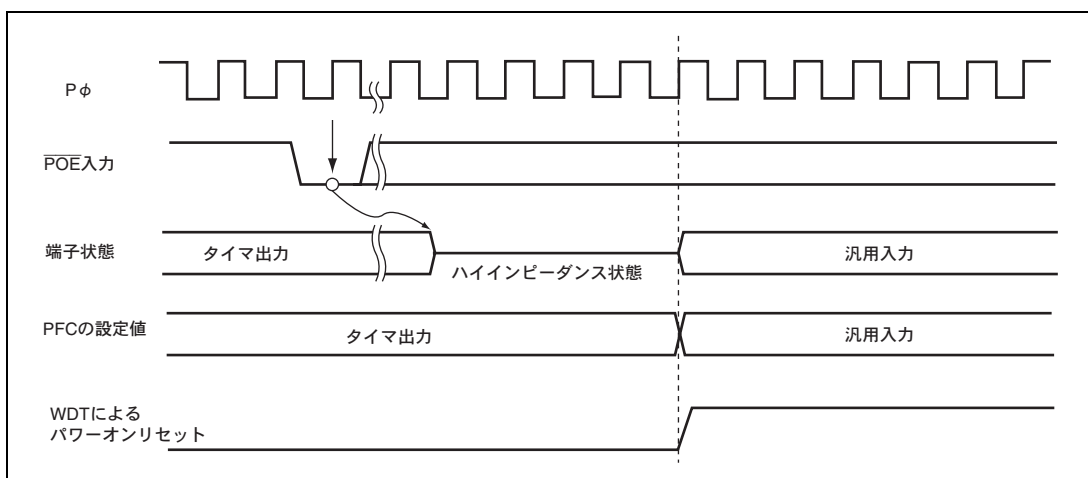


図 13.5 ウォッチドッグタイマからパワーオンリセットが発行されたときの端子状態

13.6.2 入力端子について

POE 機能を使用するときは、PFC を $\overline{\text{POE}}$ 入力に設定するまでに $\overline{\text{POE0}}$ 、 $\overline{\text{POE4}}$ 、 $\overline{\text{POE8}}$ 端子に 1 を入力してください。

14. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

14.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
- 4種類の内部クロック (Pφ/8、Pφ/32、Pφ/128、Pφ/512) を選択可能
- コンペアマッチ時、DTC/DMA設定により、DTC/DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 14.1 に CMT のブロック図を示します。

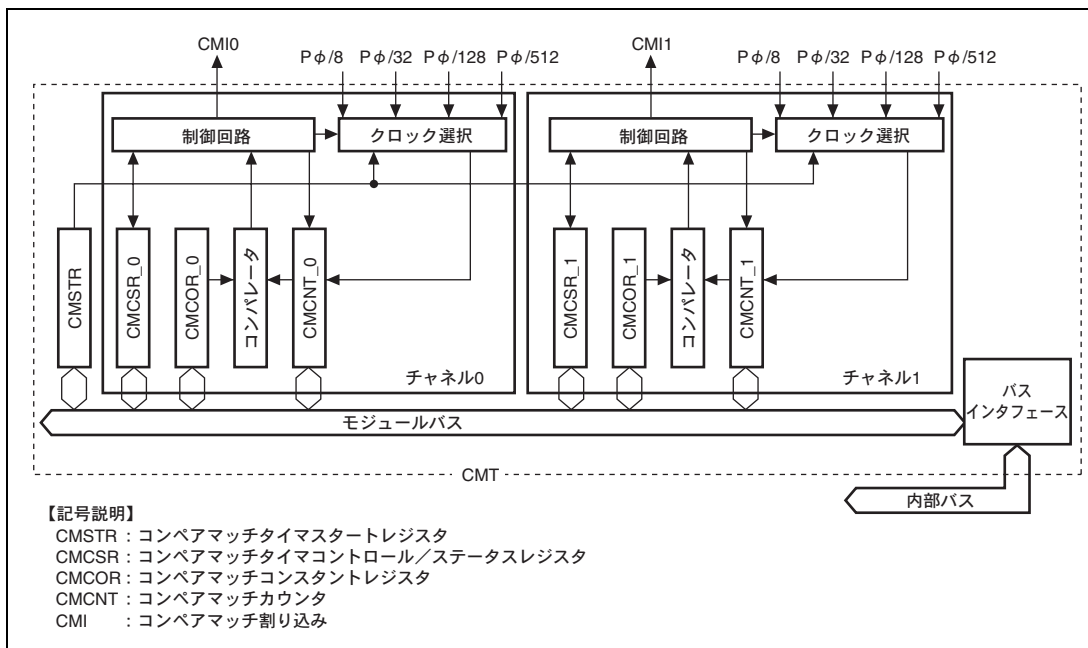


図 14.1 CMT のブロック図

14.2 レジスタの説明

CMT には以下のレジスタがあります。

表 14.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/(W)*	H'0000	H'FFFEC002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC006	16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/(W)*	H'0000	H'FFFEC008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC00A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC00C	16

14.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作/停止を選択します。

CMSTR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	STR1	0	R/W	カウントスタート1 コンペアマッチカウンタ_1の動作/停止を選択します。 0: CMCNT_1はカウントを停止 1: CMCNT_1はカウントを開始
0	STR0	0	R/W	カウントスタート0 コンペアマッチカウンタ_0の動作/停止を選択します。 0: CMCNT_0はカウントを停止 1: CMCNT_0はカウントを開始

14.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入力クロックの設定を行います。

CMCSR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 1: CMCNT と CMCOR の値が一致 [クリア条件] • CMF=1を読み出し後、CMFに0を書き込んだとき • CMI 割り込みにより DTC が起動され、データを転送したとき (DTC の転送カウンタ値が H'000 になったときを除く) • CMI 割り込みにより DMAC が起動され、データを転送したとき
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (Pφ) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00: Pφ/8 01: Pφ/32 10: Pφ/128 11: Pφ/512

14.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時およびモジュールスタンバイモード時に H'FFFF に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3 動作説明

14.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 14.2 にコンペアマッチカウンタ動作を示します。

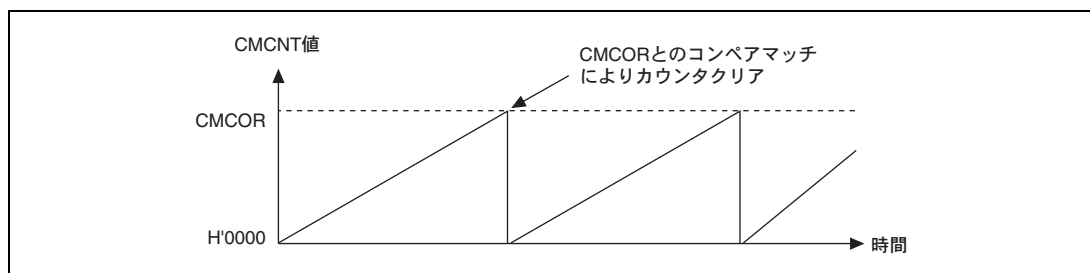


図 14.2 カウンタ動作

14.3.2 CMCNT カウントタイミング

周辺クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 14.3 にそのタイミングを示します。

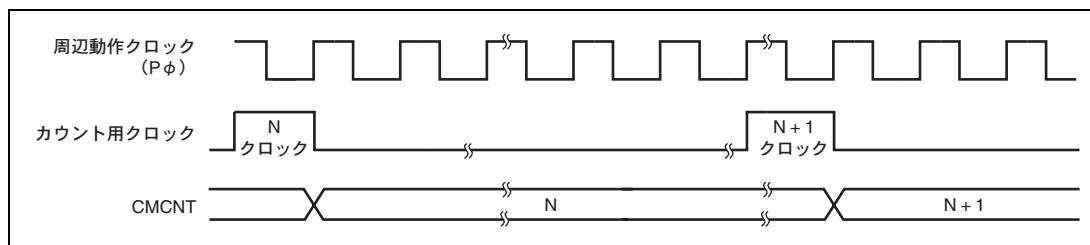


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因と DTC/DMAC 転送要求

CMT はチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、ダイレクトメモリアクセスコントローラ (DMAC) の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

また、割り込み要求をデータトランスファコントローラ (DTC) の起動要因とすることもできます。この場合、チャンネル間の優先順位は固定です。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

表 14.2 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	DMAC/ DTC の起動	優先順位
0	CMIO	CMIE	CMF	可	高
1	CMI1	CMIE	CMF	可	低

14.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート（CMCNT の値が H'0000 に更新されるタイミング）でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 14.4 に CMF ビットのセットタイミングを示します。

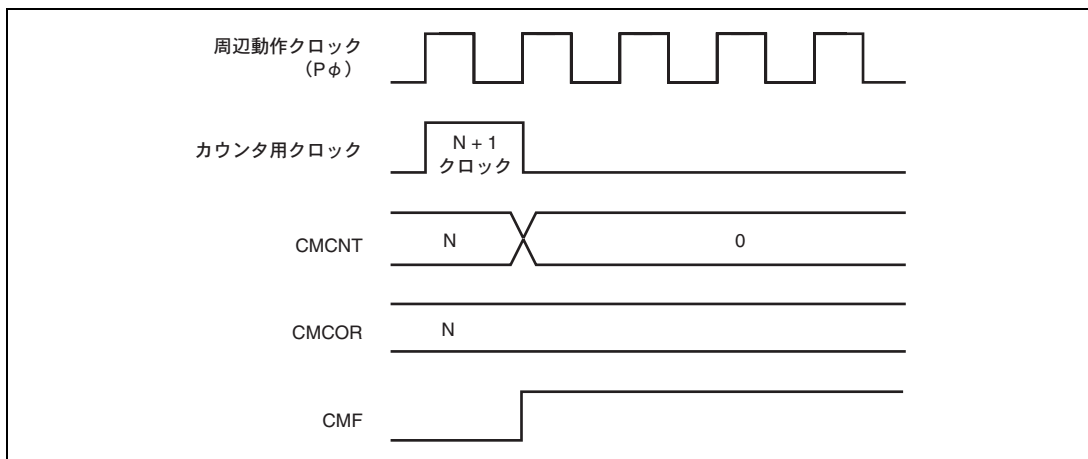


図 14.4 CMF セットタイミング

14.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF=1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。また、CMF ビットがクリアされたことを確認してから割り込み処理を抜けるようにしてください。

14.5 使用上の注意事項

14.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 14.5 に示します。

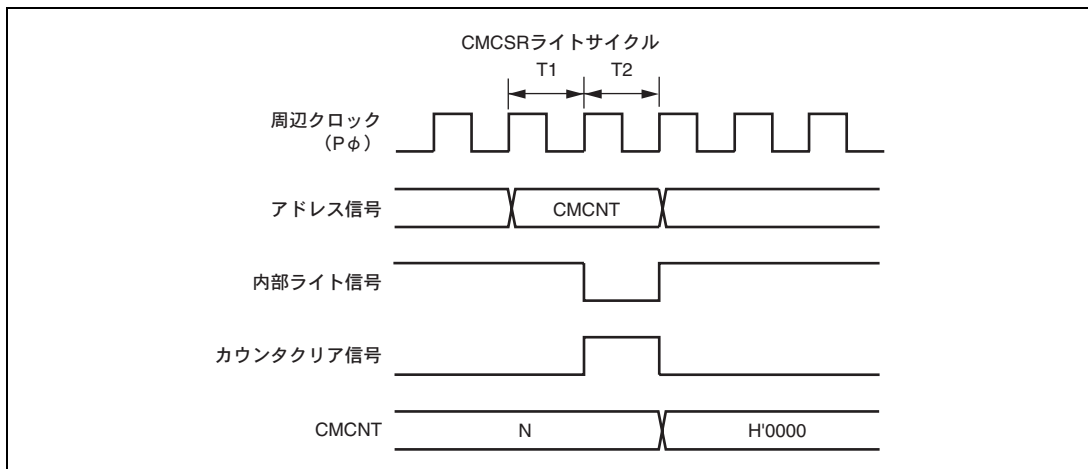


図 14.5 CMCNT の書き込みとコンペアマッチの競合

14.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップせずにカウンタ書き込みが優先されます。このタイミングを図 14.6 に示します。

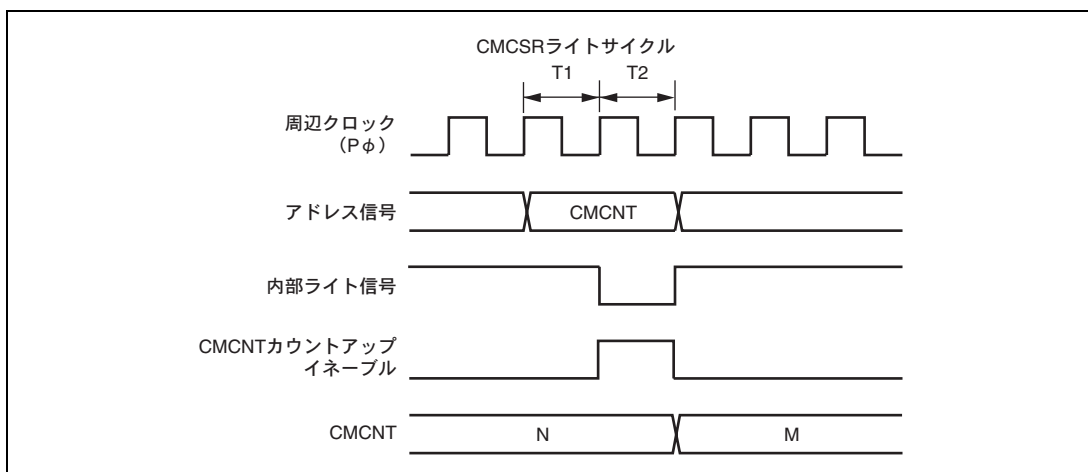


図 14.6 CMCNT のワード書き込みとカウントアップの競合

14.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 14.7 に示します。

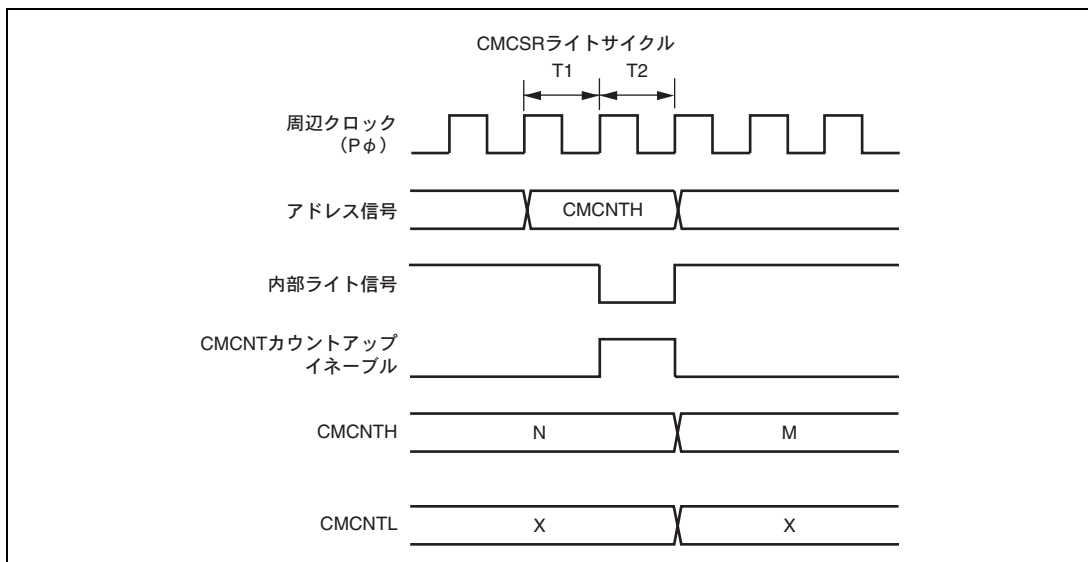


図 14.7 CMCNT のバイト書き込みとカウントアップの競合

14.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

15. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

15.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($P\phi \times 1 \sim \times 1/16384$) から選択できます。

図 15.1 に WDT のブロック図を示します。

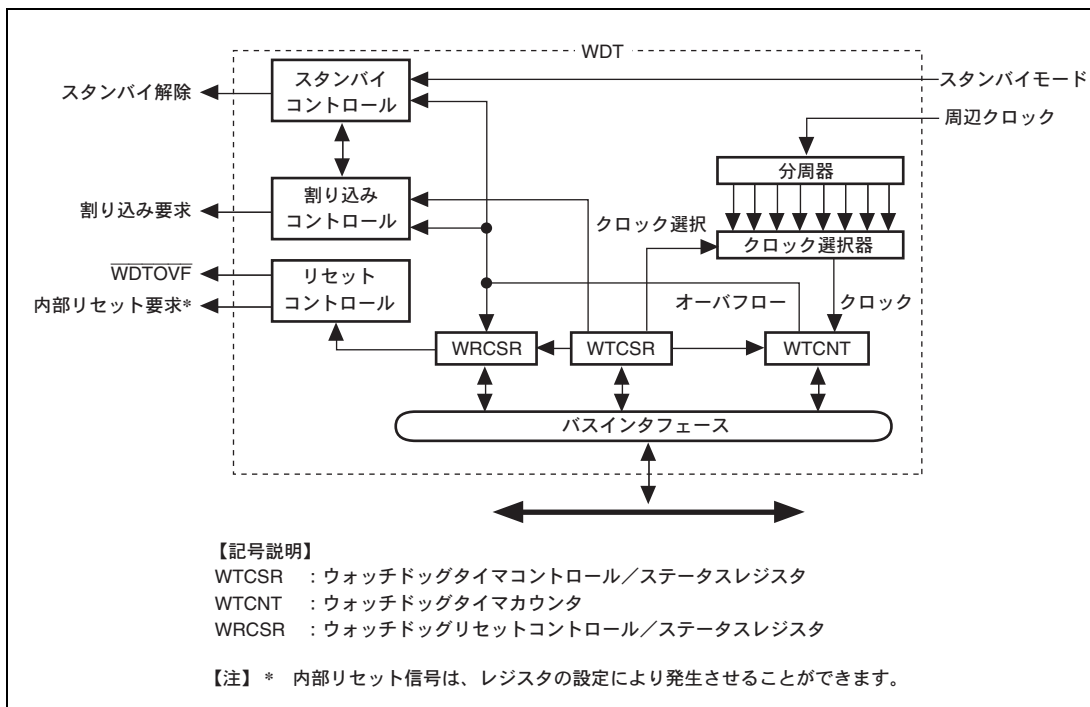


図 15.1 WDT のブロック図

15.2 入出力端子

WDT の端子を表 15.1 に示します。

表 15.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

15.3 レジスタの説明

WDT には以下のレジスタがあります。

表 15.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

【注】 * アクセスサイズは、「15.3.4 レジスタアクセス時の注意」を参照してください。

15.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し／書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ソフトウェアスタンバイモードのとき H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「15.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

WTCSR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、WDT による内部リセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/ $\overline{\text{IT}}$	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバフローなし 1: インターバルタイマモードでWTCNTがオーバフローした [クリア条件] • IOVFを読み出してから0を書き込む
6	WT/ $\overline{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNTがオーバフローしたときWDTOVF信号を外部へ出力 WDTの動作中にWT/ $\overline{\text{IT}}$ を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモード時にWDTを使用する場合には、このビットを0にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNTの値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説 明																		
4, 3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (Pφ) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (Pφ) = 40MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1×Pφ</td> <td>(6.4 μs)</td> </tr> <tr> <td>001 : 1/64×Pφ</td> <td>(409.6 μs)</td> </tr> <tr> <td>010 : 1/128×Pφ</td> <td>(819.2 μs)</td> </tr> <tr> <td>011 : 1/256×Pφ</td> <td>(1.64ms)</td> </tr> <tr> <td>100 : 1/512×Pφ</td> <td>(3.3ms)</td> </tr> <tr> <td>101 : 1/1024×Pφ</td> <td>(6.6ms)</td> </tr> <tr> <td>110 : 1/4096×Pφ</td> <td>(26.2ms)</td> </tr> <tr> <td>111 : 1/16384×Pφ</td> <td>(104.9ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1×Pφ	(6.4 μs)	001 : 1/64×Pφ	(409.6 μs)	010 : 1/128×Pφ	(819.2 μs)	011 : 1/256×Pφ	(1.64ms)	100 : 1/512×Pφ	(3.3ms)	101 : 1/1024×Pφ	(6.6ms)	110 : 1/4096×Pφ	(26.2ms)	111 : 1/16384×Pφ	(104.9ms)
クロック分周比	オーバフロー周期																					
000 : 1×Pφ	(6.4 μs)																					
001 : 1/64×Pφ	(409.6 μs)																					
010 : 1/128×Pφ	(819.2 μs)																					
011 : 1/256×Pφ	(1.64ms)																					
100 : 1/512×Pφ	(3.3ms)																					
101 : 1/1024×Pφ	(6.6ms)																					
110 : 1/4096×Pφ	(26.2ms)																					
111 : 1/16384×Pφ	(104.9ms)																					

15.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

WRCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.4 レジスタアクセス時の注意」を参照してください

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない* 1: WTCNT がオーバーフローしたとき、内部リセットする 【注】 * 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

15.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出したり書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込めません。

図 15.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

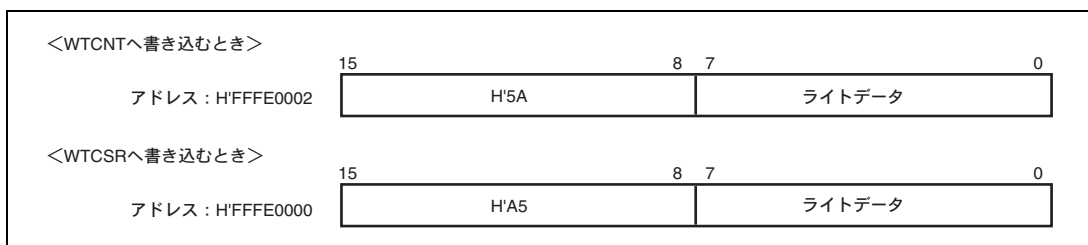


図 15.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 15.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトにライトデータを転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

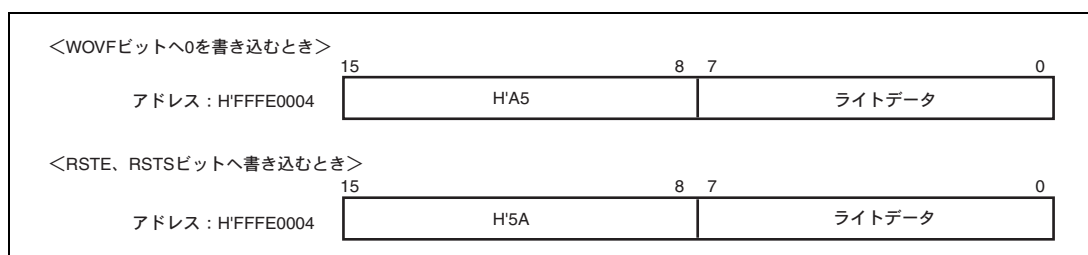


図 15.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

15.4 WDT の使用方法

15.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR: 「第26章 低消費電力モード」参照) の STBY ビットに 1 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

15.4.2 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWRCSRのWOVFを1にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図15.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P$ φクロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておくこと、 $\overline{\text{WDTOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCSRのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$ φクロックの間出力されます。
6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSRのWOVFビットは0にクリアされます。
7. WTCSRはWDTによる内部リセットにて初期化されるため、WTCSRのTMEビットは0にクリアされます。そのため、カウンタは停止します（初期化されます）。再度WDTとして使用する場合、WRCSRのWOVFフラグを0にクリアした後、WDTを再設定してください。

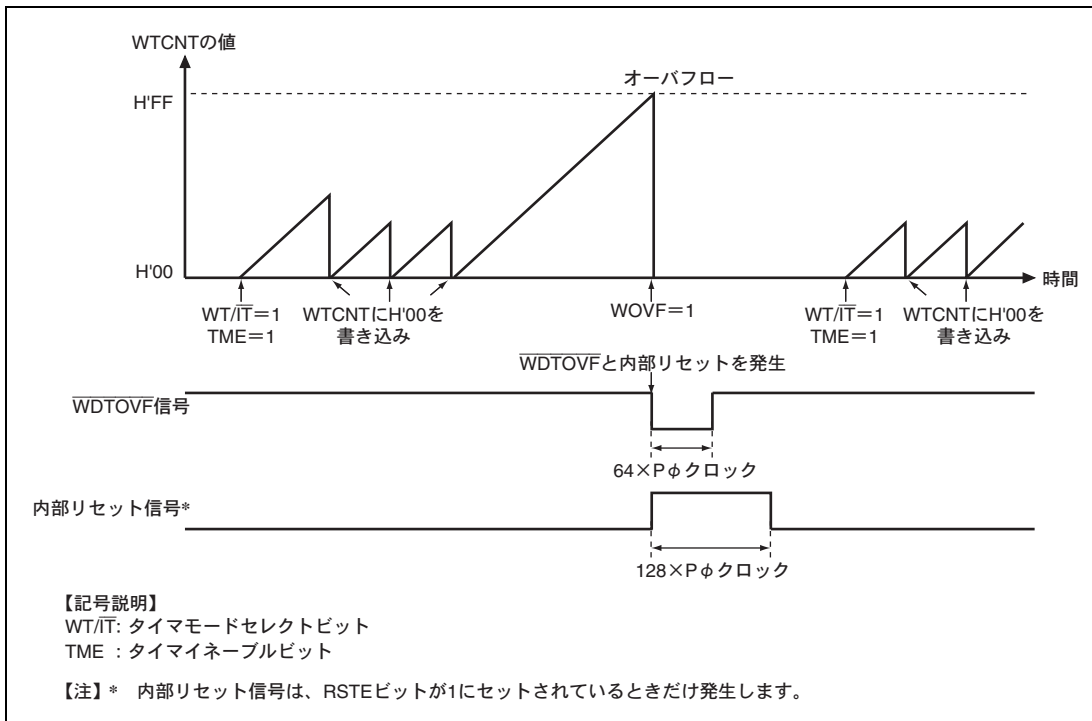


図 15.4 ウォッチドッグタイマモード時の動作

15.4.3 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
1. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
2. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

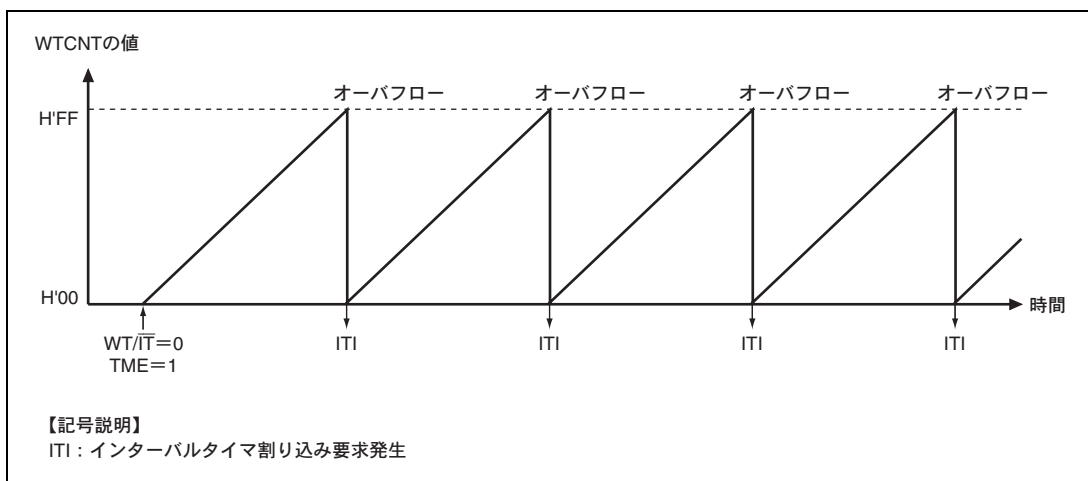


図 15.5 インターバルタイマモード時の動作

15.5 割り込み要因

WDT の割り込み要因にはインターバルタイマ割り込み (ITI) があります。

表 15.3 に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ (WTCSR) のインターバルタイマオーバフローフラグビット (IOVF) が 1 にセットされているとき、インターバルタイマ割り込み (ITI) が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 15.3 割り込み要因

名称	割り込み要因	割り込みフラグビット
ITI	インターバルタイマ割り込み	インターバルタイマオーバフローフラグ (IOVF)

15.6 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

15.6.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、Pφの1サイクル後（最短）から、CKS[2:0]で選択した分周タイミング（最長）までの間となります。2回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

15.6.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバーフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0]の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

15.6.3 インターバルタイマオーバーフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

15.6.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 15.6 に示すような回路で行ってください。

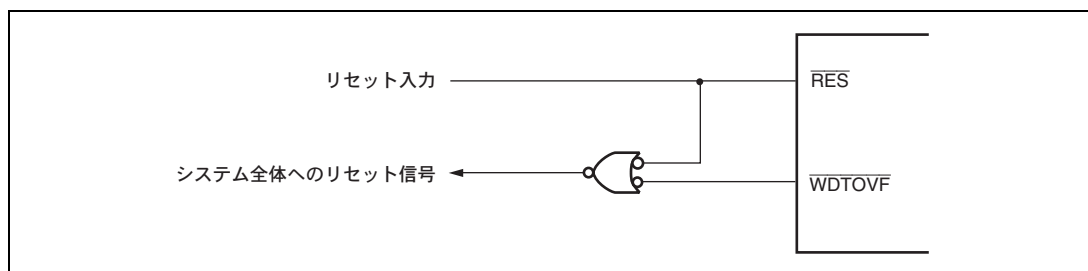


図 15.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

15.6.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。

15.6.6 $\overline{\text{WDTOVF}}$ 信号の接続について

$\overline{\text{WDTOVF}}$ 信号を使用しない場合は端子をオープンにしてください。プルダウンが必要な場合は $1\text{M}\Omega$ 以上の抵抗を使用してください。

16. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 3 チャンネルの独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communications Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

16.1 特長

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサ間通信が可能

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことによりブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- LSBファースト/MSBファースト選択可能（調歩同期7ビットデータ除く）
- 4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、データトランスファコントローラ（DTC）を起動させてデータの転送を行うことができます。

- モジュールスタンバイモードの設定可能
- ノイズ除去回路を内蔵（調歩同期式通信のみ）

図 16.1 に SCI のブロック図を示します。

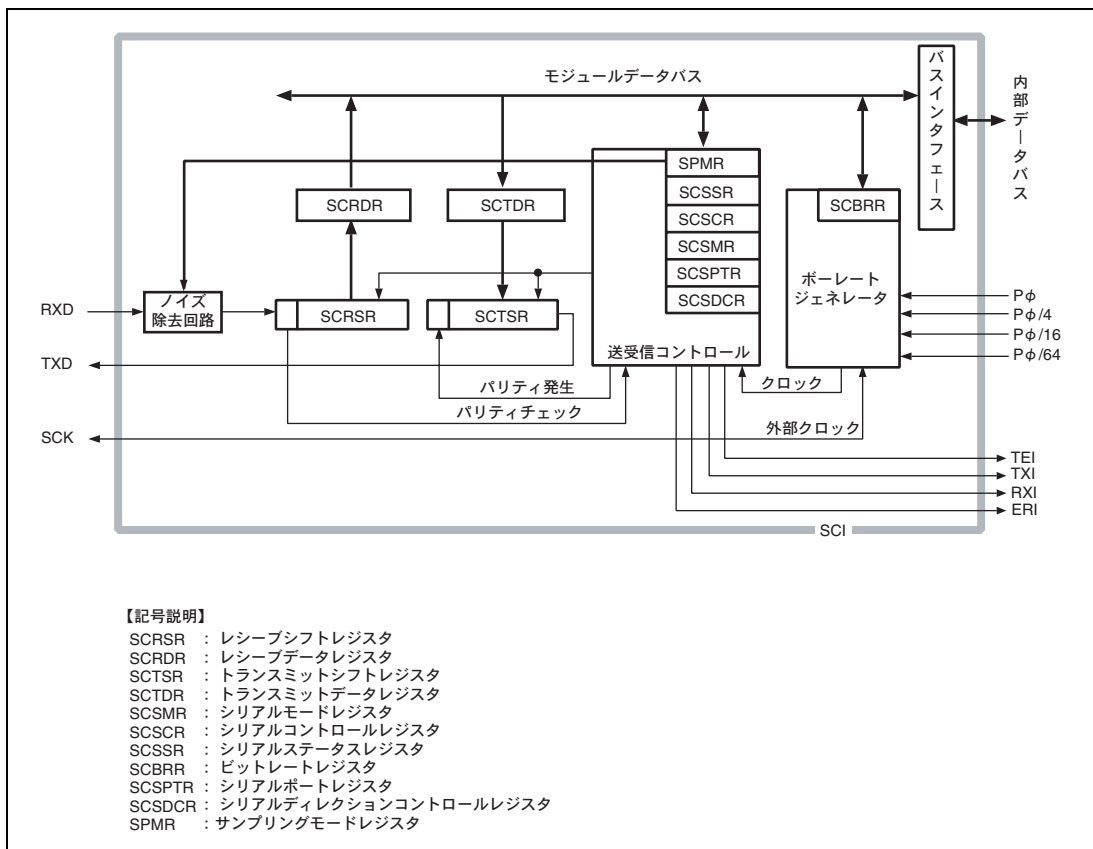


図 16.1 SCI のブロック図

16.2 入出力端子

SCIには、表 16.1 の入出力端子があります。

表 16.1 端子構成

チャンネル	端子名*	入出力	機 能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RXD0	入力	チャンネル0の受信データ入力端子
	TXD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RXD1	入力	チャンネル1の受信データ入力端子
	TXD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RXD2	入力	チャンネル2の受信データ入力端子
	TXD2	出力	チャンネル2の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RXD、TXD と略称します。

16.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第28章 レジスタ一覧」を参照してください。

表 16.2 レジスタ構成

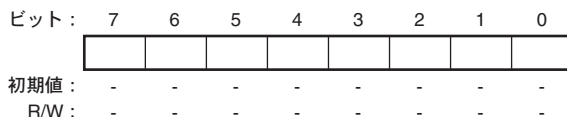
チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'00	H'FFFF8000	8
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFF8002	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'00	H'FFFF8004	8
	トランスミットデータレジスタ_0	SCTDR_0	R/W	—	H'FFFF8006	8
	シリアルステータスレジスタ_0	SCSSR_0	R/W	H'84	H'FFFF8008	8
	レシーブデータレジスタ_0	SCRDR_0	R	—	H'FFFF800A	8
	シリアルディレクション コントロールレジスタ_0	SCSDCR_0	R/W	H'F2	H'FFFF800C	8
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0x	H'FFFF800E	8
	サンプリングモードレジスタ_0	SPMR_0	R/W	H'00	H'FFFF8014	8
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'00	H'FFFF8800	8
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFF8802	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'00	H'FFFF8804	8
	トランスミットデータレジスタ_1	SCTDR_1	R/W	—	H'FFFF8806	8
	シリアルステータスレジスタ_1	SCSSR_1	R/W	H'84	H'FFFF8808	8
	レシーブデータレジスタ_1	SCRDR_1	R	—	H'FFFF880A	8
	シリアルディレクション コントロールレジスタ_1	SCSDCR_1	R/W	H'F2	H'FFFF880C	8
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0x	H'FFFF880E	8
	サンプリングモードレジスタ_1	SPMR_1	R/W	H'00	H'FFFF8814	8
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'00	H'FFFF9000	8
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFF9002	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'00	H'FFFF9004	8
	トランスミットデータレジスタ_2	SCTDR_2	R/W	—	H'FFFF9006	8
	シリアルステータスレジスタ_2	SCSSR_2	R/W	H'84	H'FFFF9008	8
	レシーブデータレジスタ_2	SCRDR_2	R	—	H'FFFF900A	8
	シリアルディレクション コントロールレジスタ_2	SCSDCR_2	R/W	H'F2	H'FFFF900C	8
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0x	H'FFFF900E	8
	サンプリングモードレジスタ_2	SPMR_2	R/W	H'00	H'FFFF9014	8

16.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

CPU から直接 SCRSR の読み出し/書き込みをすることはできません。



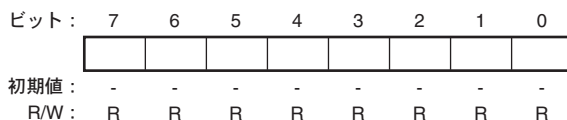
16.3.2 レシーブデータレジスタ (SCRDR)

SCRDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。

このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

SCRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。



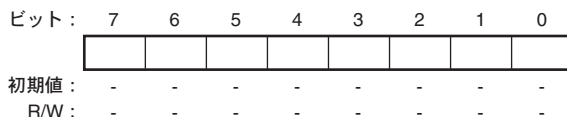
16.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送は行いません。

CPU から直接 SCTSR の読み出し/書き込みをすることはできません。



16.3.4 トランスミットデータレジスタ (SCTDR)

SCTDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR は、常に CPU による読み出し／書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCI のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR は、常に CPU による読み出し／書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレンガ 調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR) の MSB (ビット 7) は送信されません。 0: 8 ビットデータ 1: 7 ビットデータ

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期モードや、調歩同期モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期モードでのストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期モードでのみ有効になります。クロック同期モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*¹ 1 : 2 ストップビット*²</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>

ビット	ビット名	初期値	R/W	説明
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) マルチプロセッサ機能を許可/禁止します。マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 0: マルチプロセッサモードを禁止 1: マルチプロセッサモードを許可
1, 0	CKS[1:0]	00	R/W	クロックセレクト 1, 0 内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pφ、Pφ/4、Pφ/16、Pφ/64 の 4 種類からクロックソースを選択できます。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.3.10 ビットレートレジスタ (SCBRR)」を参照してください。 00: Pφクロック 01: Pφ/4 クロック 10: Pφ/16 クロック 11: Pφ/64 クロック 【注】 Pφ: 周辺クロック

16.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCI の送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し/書き込みが可能です。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) ヘシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可/禁止します。 TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0: 送信データエンプティ割り込み (TXI) 要求を禁止 1: 送信データエンプティ割り込み (TXI) 要求を許可

ビット	ビット名	初期値	R/W	説 明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可/禁止します。</p> <p>RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCI のシリアル送信動作の開始を許可/禁止します。</p> <p>0: 送信動作を禁止*¹</p> <p>1: 送信動作を許可*²</p> <p>【注】 *1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込んで、SCSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。</p> <p>なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR) の設定を行い送信フォーマットを決定してください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCI のシリアル受信動作の開始を許可/禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>なお、RE ビットを 1 にセットする前に必ず SCSMR の設定を行い、受信フォーマットを決定してください。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期モードで SCSMR の MP=1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 のデータは読みとばし、SCSSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「16.4.4 マルチプロセッサ通信機能」を参照してください。</p>

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>MSB データ送出時に有効な送信データが SCTDR がないとき、送信終了割り込み (TEI) 要求の発生を許可/禁止します。</p> <p>TEI の解除は、SCSSR の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 送信終了割り込み (TEI) 要求を禁止 1 : 送信終了割り込み (TEI) 要求を許可</p>
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル 1, 0</p> <p>SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可/禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>クロック同期式モードで同期クロック出力に設定する場合は SCSSMR の C/\bar{A} ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。SCI のクロックソースの選択についての詳細は「16.4 動作説明」の表 16.14 を参照してください。</p> <p>調歩同期式モード</p> <p>00 : 内部クロック/SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック/SCK 端子はクロック出力*¹ 10 : 外部クロック/SCK 端子はクロック入力*² 11 : 外部クロック/SCK 端子はクロック入力*²</p> <p>クロック同期式モード</p> <p>00 : 内部クロック/SCK 端子は同期クロック出力 01 : 内部クロック/SCK 端子は同期クロック出力 10 : 外部クロック/SCK 端子は同期クロック入力 11 : 外部クロック/SCK 端子は同期クロック入力</p> <p>【注】 *1 ビットレートの 16 倍の周波数のクロックを出力 *2 ビットレートの 16 倍の周波数のクロックを入力</p>

16.3.7 シリアルステータスレジスタ (SCSSR)

SCSSR は、SCI の動作状態を示すステータスフラグを内蔵した 8 ビットのレジスタです。

SCSSR は常に CPU から読み出し／書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグは読み出し専用であり、書き込むことはできません。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0 : SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] <ul style="list-style-type: none"> • TDRE=1 の状態を読み出した後、0 を書き込んだとき • TXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCTDR へ送信データを転送したとき (DTC の転送カウンタ値が H'0000 になったときを除く) 1 : SCTDR に有効な送信データがないことを表示 [セット条件] <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • SCSCR の TE ビットが 0 のとき • SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0 : SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • RDRF=1 の状態を読み出した後、0 を書き込んだとき • RXI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のときに SCRDR からデータを転送したとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • シリアル受信が正常終了し、SCRDR から SCRDR へ受信データが転送されたとき <p>【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには SCRDR および RDRF フラグは影響を受けず以前の状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示^{*1}</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • ORER=1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にオーバーランエラーが発生したことを表示^{*2}</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のシリアル受信を完了したとき <p>【注】 ^{*1} SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>^{*2} SCRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期モードで受信時にフレーミングエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • FER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*² <p>【注】 *1 SCSCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。</p> <p>*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはSCRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、モジュールスタンバイモード時 • PER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき <p>【注】 *1 SCSCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。</p> <p>*2 パリティエラーが発生したときの受信データはSCRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき 1 : 送信を終了したことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、モジュールスタンバイモード時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき <p>【注】 TXI 割り込みにより DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。</p>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCSCR の RE が 0 のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.8 シリアルポートレジスタ (SCSPTR)

SCSPTR は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可/禁止を制御します。SCSPTR は、8 ビットで、常に CPU による読み出し/書き込みが可能です。なお、SCI 端子の値を読み出す場合は、ポートレジスタを使用してください。詳細は「第 22 章 I/O ポート」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	EIO	-	-	-	SPB1IO	SPB1DT	-	SPB0DT
初期値:	0	0	0	0	0	不定	0	1
R/W:	R/W	-	-	-	R/W	W	-	W

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。このビットは RXI 割り込みの許可/禁止を設定します。 0: RIE ビットが RXI と ERI 割り込みを許可/禁止する RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる 1: RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる
6~4	-	すべて 0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SPB1IO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR の C/A ビットと SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCK 端子に SPB1DT ビットの値を出力しない 1: SCK 端子に SPB1DT ビットの値を出力する
2	SPB1DT	不定	W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します (詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0: 出力データがローレベル 1: 出力データがハイレベル
1	-	0	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明												
0	SPB0DT	1	W	<p>シリアルポートブ레이크データ</p> <p>SCSCR の TE ビットで TXD 端子を制御します。</p> <p>ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択しておく必要があります。</p> <p>また、本ビットは書き込み専用ビットです。読み出すと不定値が読み出されます。</p> <table border="1" data-bbox="559 517 1204 739"> <thead> <tr> <th>SCSCR の TE ビット設定値</th> <th>SPB0DT ビット設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力 (初期状態)</td> </tr> <tr> <td>1</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>【注】 * Don't care</p>	SCSCR の TE ビット設定値	SPB0DT ビット設定値	TXD 端子状態	0	0	ローレベル出力	0	1	ハイレベル出力 (初期状態)	1	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット設定値	SPB0DT ビット設定値	TXD 端子状態														
0	0	ローレベル出力														
0	1	ハイレベル出力 (初期状態)														
1	*	シリアルコア論理に従って送信データ出力														

16.3.9 シリアルディレクションコントロールレジスタ (SCSDCR)

SCSDCR は、DIR ビットにより LSB ファースト/MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合のみ LSB ファースト/MSB ファーストの選択が可能です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	DIR	-	-	-
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

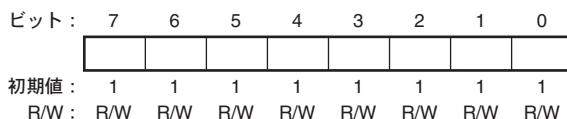
ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
3	DIR	0	R/W	<p>データトランスファディレクション</p> <p>シリアル/パラレル変換フォーマットを選択します。送信/受信フォーマットが 8 ビットの場合に有効です。</p> <p>0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納</p> <p>1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

16.3.10 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し/書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。



〔調歩同期式モード〕

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$)

(電気的特性を満足する設定値としてください)

Pφ: 周辺モジュール用動作周波数 (MHz)

n: ボーレートジェネレータ入力クロック (n=0, 1, 2, 3)

(n とクロックの関係は、表 16.3 を参照してください)

表 16.3 SCSMR の設定値

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 16.4~表 16.6 に調歩同期式モードの SCBRR の設定例を、表 16.7~表 16.9 にクロック同期式モードの SCBRR の設定例を示します。

表 16.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	Pφ (MHz)																	
	10 ^{*1}			12 ^{*1}			14 ^{*1}			16 ^{*1}			18 ^{*1}			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	248	-0.17	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	129	0.16	2	155	0.16	2	181	0.16	2	207	0.16	2	233	0.16	3	64	0.16
300	2	64	0.16	2	77	0.16	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16
600	1	129	0.16	1	155	0.16	1	181	0.16	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	64	0.16	1	77	0.16	1	90	0.16	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	129	0.16	0	155	0.16	0	181	0.16	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	64	0.16	0	77	0.16	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	32	-1.36	0	38	0.16	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16
14400	0	21	-1.36	0	25	0.16	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94
19200	0	15	1.73	0	19	-2.34	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36
28800	0	10	-1.36	0	12	0.16	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36
31250	0	9	0.00	0	11	0.00	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00
38400	0	7	1.73	0	9	-2.34	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73

表 16.5 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

ビットレート (bit/s)	Pφ (MHz)																	
	22			24			26 ^{*1}			28 ^{*1}			30 ^{*1}			32 ^{*1}		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	97	-0.35	3	106	-0.44	3	114	0.36	3	123	0.23	3	132	0.13	3	141	0.03
150	3	71	-0.54	3	77	0.16	3	84	-0.43	3	90	0.16	3	97	-0.35	3	103	0.16
300	2	142	0.16	2	155	0.16	2	168	0.16	2	181	0.16	2	194	0.16	2	207	0.16
600	2	71	-0.54	2	77	0.16	2	84	-0.43	2	90	0.16	2	97	-0.35	2	103	0.16
1200	1	142	0.16	1	155	0.16	1	168	0.16	1	181	0.16	1	194	0.16	1	207	0.16
2400	1	71	-0.54	1	77	0.16	1	84	-0.43	1	90	0.16	1	97	-0.35	1	103	0.16
4800	0	142	0.16	0	155	0.16	0	168	0.16	0	181	0.16	0	194	0.16	0	207	0.16
9600	0	71	-0.54	0	77	0.16	0	84	-0.43	0	90	0.16	0	97	-0.35	0	103	0.16
14400	0	47	-0.54	0	51	0.16	0	55	0.76	0	60	-0.39	0	64	0.16	0	68	0.64
19200	0	35	-0.54	0	38	0.16	0	41	0.76	0	45	-0.93	0	48	-0.35	0	51	0.16
28800	0	23	-0.54	0	25	0.16	0	27	0.76	0	29	1.27	0	32	-1.36	0	34	-0.79
31250	0	21	0.00	0	23	0.00	0	25	0.00	0	27	0.00	0	29	0.00	0	31	0.00
38400	0	17	-0.54	0	19	-2.34	0	20	0.76	0	22	-0.93	0	23	1.73	0	25	0.16

表 16.6 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	Pφ (MHz)														
	34* ¹			36* ¹			38* ¹			40			50* ²		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	150	-0.05	3	159	-0.12	3	168	-0.19	3	177	-0.25	3	221	-0.02
150	3	110	-0.29	3	116	0.16	3	123	-0.24	3	129	0.16	3	162	-0.15
300	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16	3	80	0.47
600	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16	2	162	-0.15
1200	1	220	0.16	1	233	0.16	1	246	0.16	2	64	0.16	2	80	0.47
2400	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16	1	162	-0.15
4800	0	220	0.16	0	233	0.16	0	246	0.16	1	64	0.16	1	80	0.47
9600	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16	0	162	-0.15
14400	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22	0	108	-0.45
19200	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16	0	80	0.47
28800	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94	0	53	0.47
31250	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00	0	49	0
38400	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36	0	40	-0.76

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 16.7 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)

ビットレート (bit/s)	Pφ (MHz)											
	10* ¹		12* ¹		14* ¹		16* ¹		18* ¹		20	
	n	N	n	N	n	N	n	N	n	N	n	N
250	3	155	3	187	3	218	3	249				
500	3	77	3	93	3	108	3	124	3	140	3	155
1000	2	155	2	187	2	218	2	249	3	69	3	77
2500	1	249	2	74	2	87	2	99	2	112	2	124
5000	1	124	1	149	1	174	1	199	1	224	1	249
10000	0	249	1	74	1	87	1	99	1	112	1	124
25000	0	99	0	119	0	139	0	159	0	179	0	199
50000	0	49	0	59	0	69	0	79	0	89	0	99
100000	0	24	0	29	0	34	0	39	0	44	0	49
250000	0	9	0	11	0	13	0	15	0	17	0	19
500000	0	4	0	5	0	6	0	7	0	8	0	9
1000000	—	—	0	2	—	—	0	3	—	—	0	4
2500000	0	0* ²	—	—	—	—	—	—	—	—	0	1
5000000			—	—	—	—	—	—	—	—	0	0* ²

表 16.8 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (2)

ビットレート (bit/s)	Pφ (MHz)											
	22		24		26* ¹		28* ¹		30* ¹		32* ¹	
	n	N	n	N	n	N	n	N	n	N	n	N
250												
500	3	171	3	187	3	202	3	218	3	233	3	249
1000	3	85	3	93	3	101	3	108	3	116	3	124
2500	2	137	2	149	2	162	2	174	2	187	2	199
5000	2	68	2	74	2	80	2	87	2	93	2	99
10000	1	137	1	149	1	162	1	174	1	187	1	199
25000	0	219	0	239	1	64	1	69	1	74	1	79
50000	0	109	0	119	0	129	0	139	0	149	0	159
100000	0	54	0	59	0	64	0	69	0	74	0	79
250000	0	21	0	23	0	25	0	27	0	29	0	31
500000	0	10	0	11	0	12	0	13	0	14	0	15
1000000	—	—	0	5	—	—	0	6	—	—	0	7
2500000	—	—	—	—	—	—	—	—	0	2	—	—
5000000	—	—	—	—	—	—	—	—	—	—	—	—

表 16.9 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (3)

ビットレート (bit/s)	Pφ (MHz)									
	34 ^{*1}		36 ^{*1}		38 ^{*1}		40		50 ^{*3}	
	n	N	n	N	n	N	n	N	n	N
250										
500										
1000	3	132	3	140	3	147	3	155	3	194
2500	2	212	2	224	2	237	2	249	3	77
5000	2	105	2	112	2	118	2	124	2	155
10000	1	212	1	224	1	237	1	249	2	77
25000	1	84	1	89	1	94	1	99	1	124
50000	0	169	0	179	0	189	0	199	0	249
100000	0	84	0	89	0	94	0	99	0	124
250000	0	33	0	35	0	37	0	39	0	49
500000	0	16	0	17	0	18	0	19	0	24
1000000	—	—	0	8	—	—	0	9	—	—
2500000	—	—	—	—	—	—	0	3	0	4
5000000	—	—	—	—	—	—	0	1		

【注】 誤差は、なるべく1%以内になるように設定してください。

- *1 本 LSI では設定不可です。
- *2 連続送信/受信はできません。
- *3 SH7239B、SH7237B のみ使用できます。

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がです。

表 16.10 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレート、表 16.11 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 16.12 と表 16.13 に外部クロック入力時の最大ビットレートを示します。

表 16.10 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10 ^{*1}	312,500	0	0	156,250	0	1
12 ^{*1}	375,000	0	0	187,500	0	1
14 ^{*1}	437,500	0	0	218,750	0	1
16 ^{*1}	500,000	0	0	250,000	0	1
18 ^{*1}	562,500	0	0	281,250	0	1
20	625,000	0	0	312,500	0	1
22	687,500	0	0	343,750	0	1
24	750,000	0	0	375,000	0	1
26 ^{*1}	812,500	0	0	406,250	0	1
28 ^{*1}	875,000	0	0	437,500	0	1
30 ^{*1}	937,500	0	0	468,750	0	1
32 ^{*1}	1,000,000	0	0	500,000	0	1
34 ^{*1}	1,062,500	0	0	531,250	0	1
36 ^{*1}	1,125,000	0	0	562,500	0	1
38 ^{*1}	1,187,500	0	0	593,750	0	1
40	1,250,000	0	0	625,000	0	1
50 ^{*2}	1,562,500	0	0	781,250	0	1

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 16.11 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート
(クロック同期式モード)

Pφ (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10 ^{*1}	2,500,000	0	0	1,250,000	0	1
12 ^{*1}	3,000,000	0	0	1,500,000	0	1
14 ^{*1}	3,500,000	0	0	1,750,000	0	1
16 ^{*1}	4,000,000	0	0	2,000,000	0	1
18 ^{*1}	4,500,000	0	0	2,250,000	0	1
20	5,000,000	0	0	2,500,000	0	1
22	5,500,000	0	0	2,750,000	0	1
24	6,000,000	0	0	3,000,000	0	1
26 ^{*1}	6,500,000	0	0	3,250,000	0	1
28 ^{*1}	7,000,000	0	0	3,500,000	0	1
30 ^{*1}	7,500,000	0	0	3,750,000	0	1
32 ^{*1}	8,000,000	0	0	4,000,000	0	1
34 ^{*1}	8,500,000	0	0	4,250,000	0	1
36 ^{*1}	9,000,000	0	0	4,500,000	0	1
38 ^{*1}	9,500,000	0	0	4,750,000	0	1
40	10,000,000	0	0	5,000,000	0	1
50 ^{*2}	12,500,000	0	0	6,250,000	0	1

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 16.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10 ^{*1}	2.5000	156250
12 ^{*1}	3.0000	187500
14 ^{*1}	3.5000	218750
16 ^{*1}	4.0000	250000
18 ^{*1}	4.5000	281250
20	5.0000	312500
22	5.5000	343750
24	6.0000	375000
26 ^{*1}	6.5000	406250
28 ^{*1}	7.0000	437500
30 ^{*1}	7.5000	468750
32 ^{*1}	8.0000	500000
34 ^{*1}	8.5000	531250
36 ^{*1}	9.0000	562500
38 ^{*1}	9.5000	593750
40	10.0000	625000
50 ^{*2}	12.5000	781250

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 16.13 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10 ^{*1}	1.6667	1666666.7
12 ^{*1}	2.0000	2000000.0
14 ^{*1}	2.3333	2333333.3
16 ^{*1}	2.6667	2666666.7
18 ^{*1}	3.0000	3000000.0
20	3.3333	3333333.3
22	3.6667	3666666.7
24	4.0000	4000000.0
26 ^{*1}	4.3333	4333333.3
28 ^{*1}	4.6667	4666666.7
30 ^{*1}	5.0000	5000000.0
32 ^{*1}	5.3333	5333333.3
34 ^{*1}	5.6667	5666666.7
36 ^{*1}	6.0000	6000000.0
38 ^{*1}	6.3333	6333333.3
40	6.6667	6666666.7
50 ^{*2}	8.3333	8333333.3

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

16.3.11 サンプリングモードレジスタ (SPMR)

SPMR は、調歩同期式通信時にノイズ除去回路の機能の有効/無効を制御します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	STD SPM
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	STDSPM	0	R/W	ノイズ除去機能選択 調歩同期式通信時、RXD 端子入力のノイズ除去機能を選択します。 0: ノイズ除去回路は無効 1: ノイズ除去回路は有効 STDSPM ビットの書き込みは RE=0 のときに行ってください。

• ノイズ除去回路

RXD 入力信号は、ノイズ除去回路を經由して内部に取り込まれます。ノイズ除去回路は、3 段直列に接続された F/F 回路と一致検出回路で構成されます。RXD 入力信号が転送レートの 16 倍の周波数の基準クロックでサンプリングされ、3 つの F/F 出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3 クロック以上同一のレベルを保持した場合は信号として認識しますが、3 クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

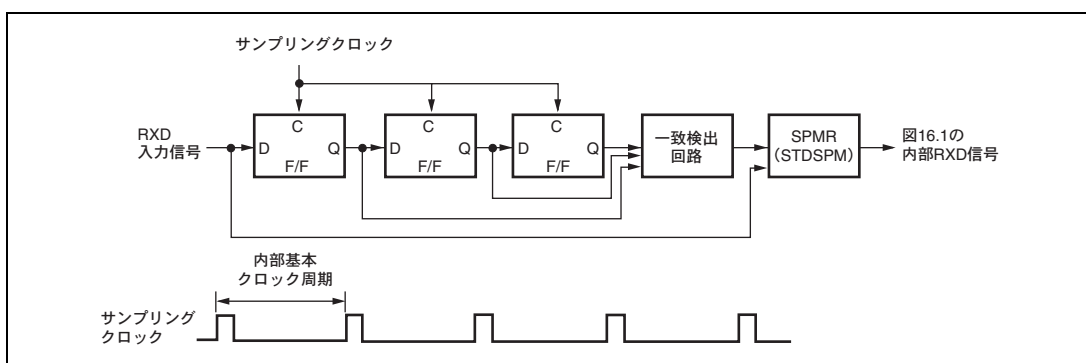


図 16.2 ノイズ除去回路のブロック図

16.4 動作説明

16.4.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 16.14 に示します。また、SCI のクロックソースは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 16.15 に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能

内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、ビットレートの16倍の周波数のクロックを出力することが可能

外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能

内部クロックを選択した場合：SCIはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 16.14 SCSMR の設定値とシリアル送信/受信フォーマット

SCSMR の設定値				モード	SCI の送信/受信フォーマット			
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長	
C/ \bar{A}	CHR	PE	STOP					
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット	
			1				2 ビット	
		1	0				あり	1 ビット
			1					2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット	
			1				2 ビット	
		1	0				あり	1 ビット
			1					2 ビット
1	x	x	x	クロック同期式モード	8 ビットデータ	なし	なし	

【記号説明】 x : Don't care

表 16.15 SCSMR、SCSCR の設定と SCI のクロックソースの選択

SCSMR	SCSCR の設定値		モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1	ビット 0			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

16.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信/受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信/受信中にデータの読み出し/書き込みができるので、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.3 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ/ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

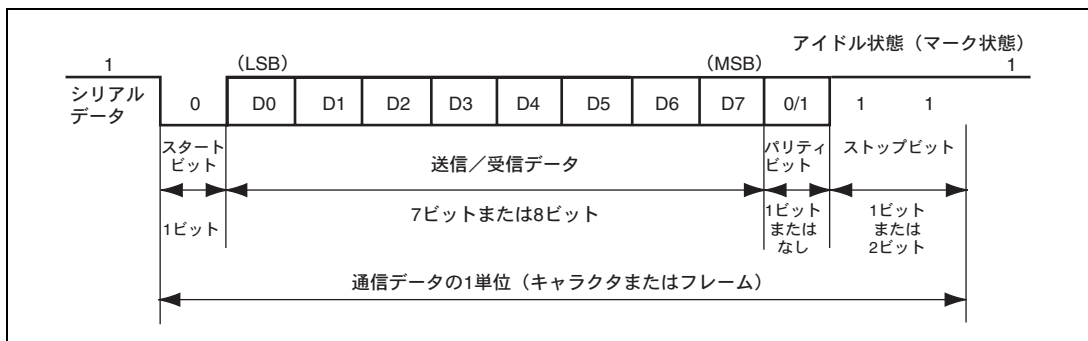


図 16.3 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 16.16 に示します。

送信/受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 16.16 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	x	1	0	S	8ビットデータ								MPB	STOP		
0	x	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	x	1	0	S	7ビットデータ							MPB	STOP			
1	x	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

x : Don't care

(2) クロック

SCI の送受信クロックは、SCSMR の C/\bar{A} ビットとシリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 16.15 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

(3) データの送信／受信動作

• SCIの初期化（調歩同期式モード）

データの送信／受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは、1 にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、およびレシープデータレジスタ (SCRDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

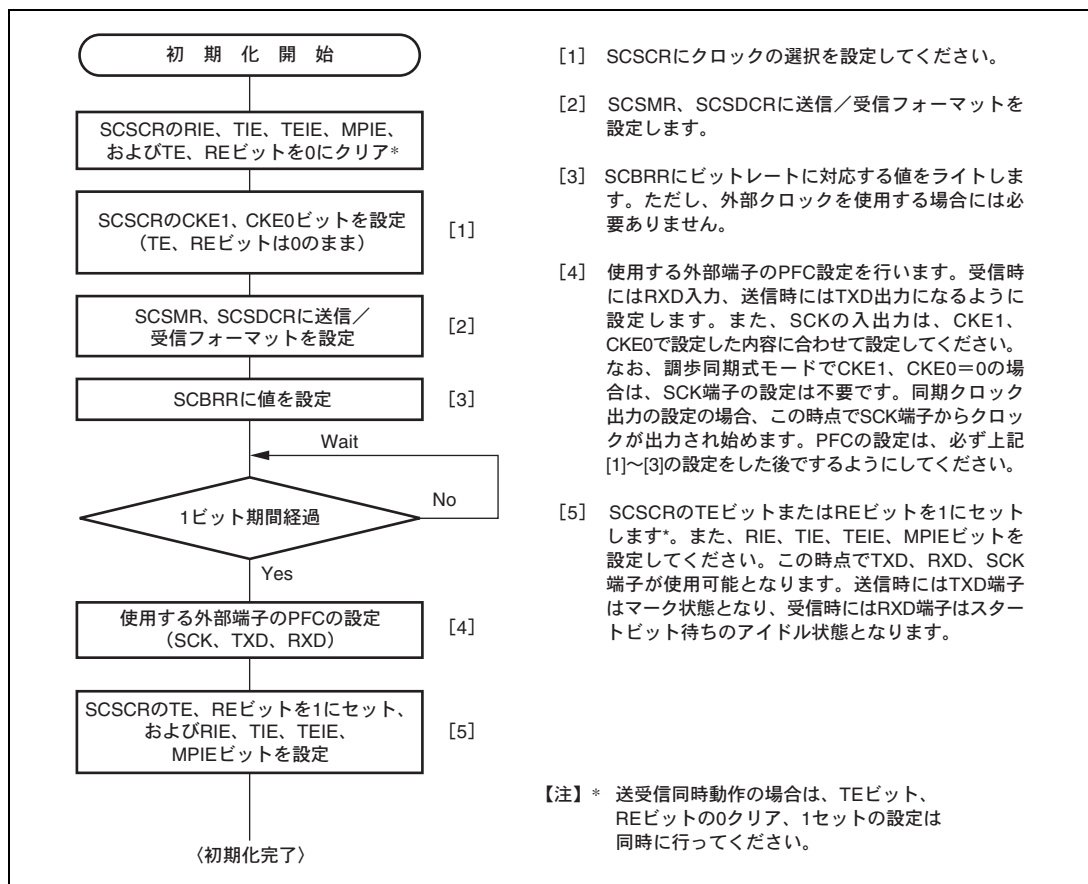
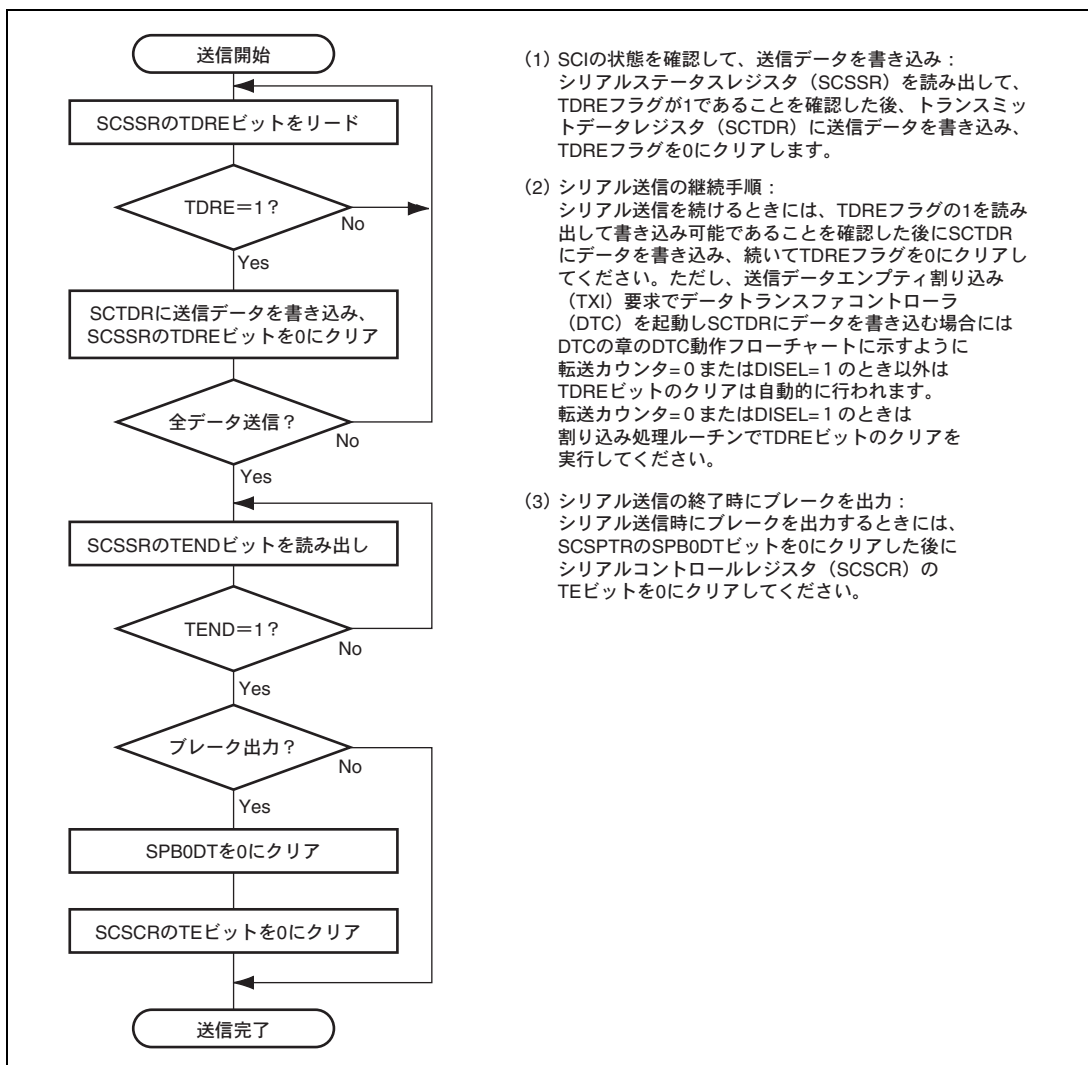


図 16.4 SCI の初期化フローチャートの例

• シリアルデータ送信（調歩同期式モード）

図 16.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従って行ってください。



(1) SCIの状態を確認して、送信データを書き込み：
シリアルステータスレジスタ（SCSSR）を読み出して、TDREフラグが1であることを確認した後、トランスミットデータレジスタ（SCTDR）に送信データを書き込み、TDREフラグを0にクリアします。

(2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの1を読み出して書き込み可能であることを確認した後にSCTDRにデータを書き込み、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割り込み（TXI）要求でデータトランスファコントローラ（DTC）を起動しSCTDRにデータを書き込む場合にはDTCの章のDTC動作フローチャートに示すように転送カウンタ=0またはDISEL=1のとき以外はTDREビットのクリアは自動的に行われます。転送カウンタ=0またはDISEL=1のときは割り込み処理ルーチンでTDREビットのクリアを実行してください。

(3) シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SCSPTRのSPB0DTビットを0にクリアした後にシリアルコントロールレジスタ（SCSCR）のTEビットを0にクリアしてください。

図 16.5 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
 - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1 ビットのパリティビット（偶数パリティ、または奇数パリティ）、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1 ビットまたは 2 ビットの 1（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。

TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCRのTEIEビットが1にセットされているとTEI要求が発生します。

調歩同期式モードでの送信時の動作例を図 16.6 に示します。

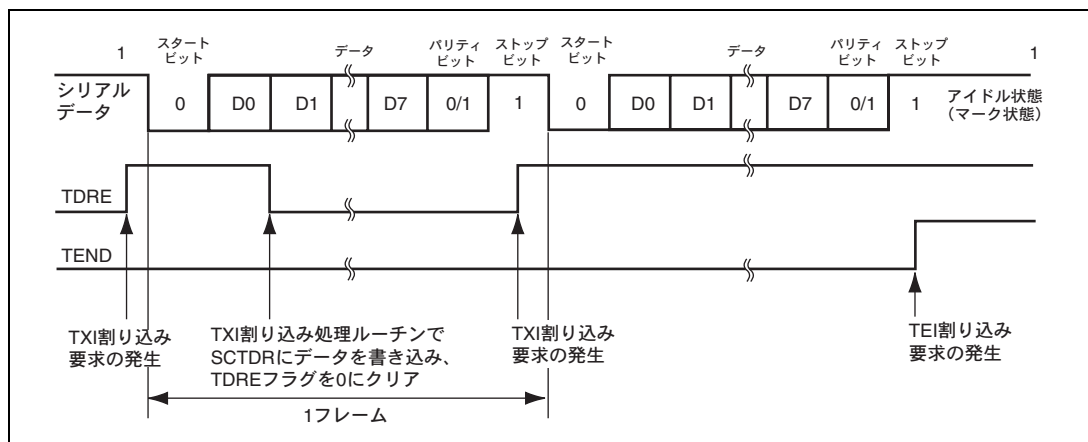


図 16.6 調歩同期式モードでの送信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

● シリアルデータ受信（調歩同期式モード）

図 16.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

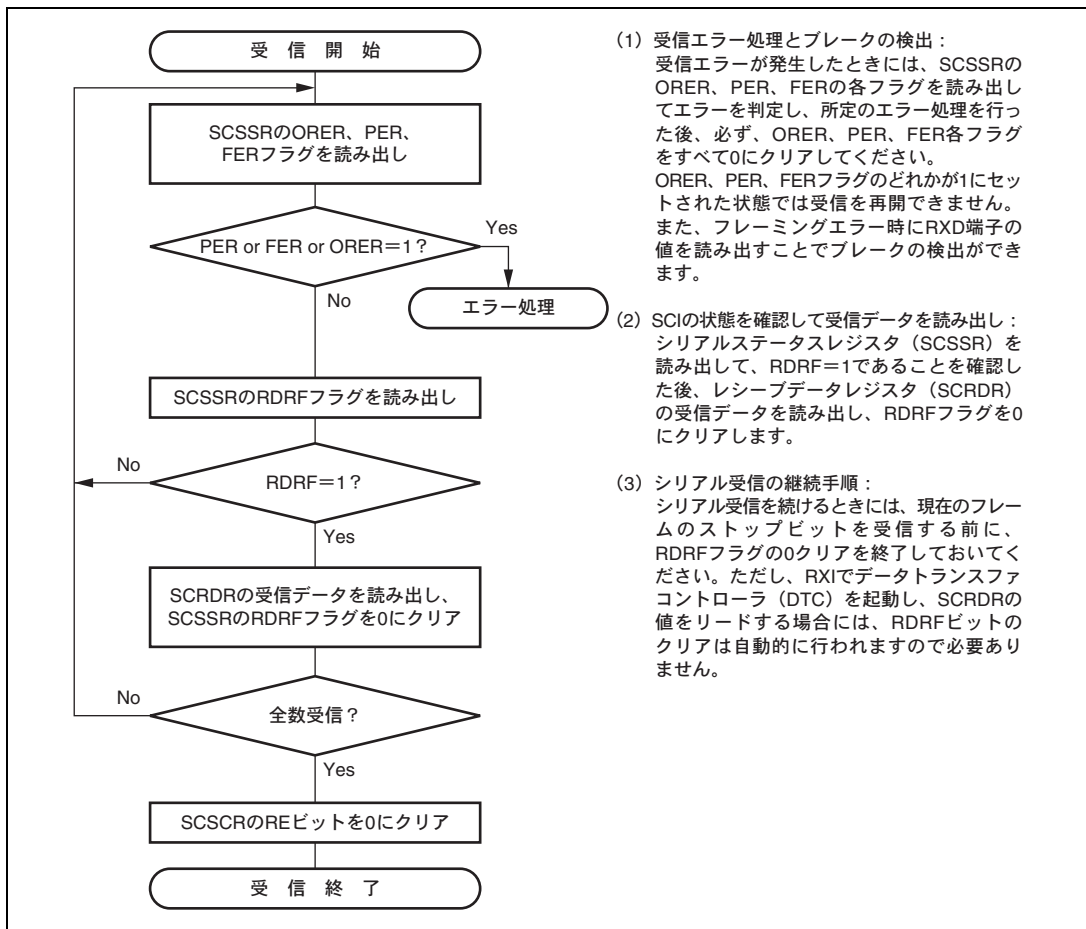


図 16.7 シリアル受信のフローチャートの例（1）

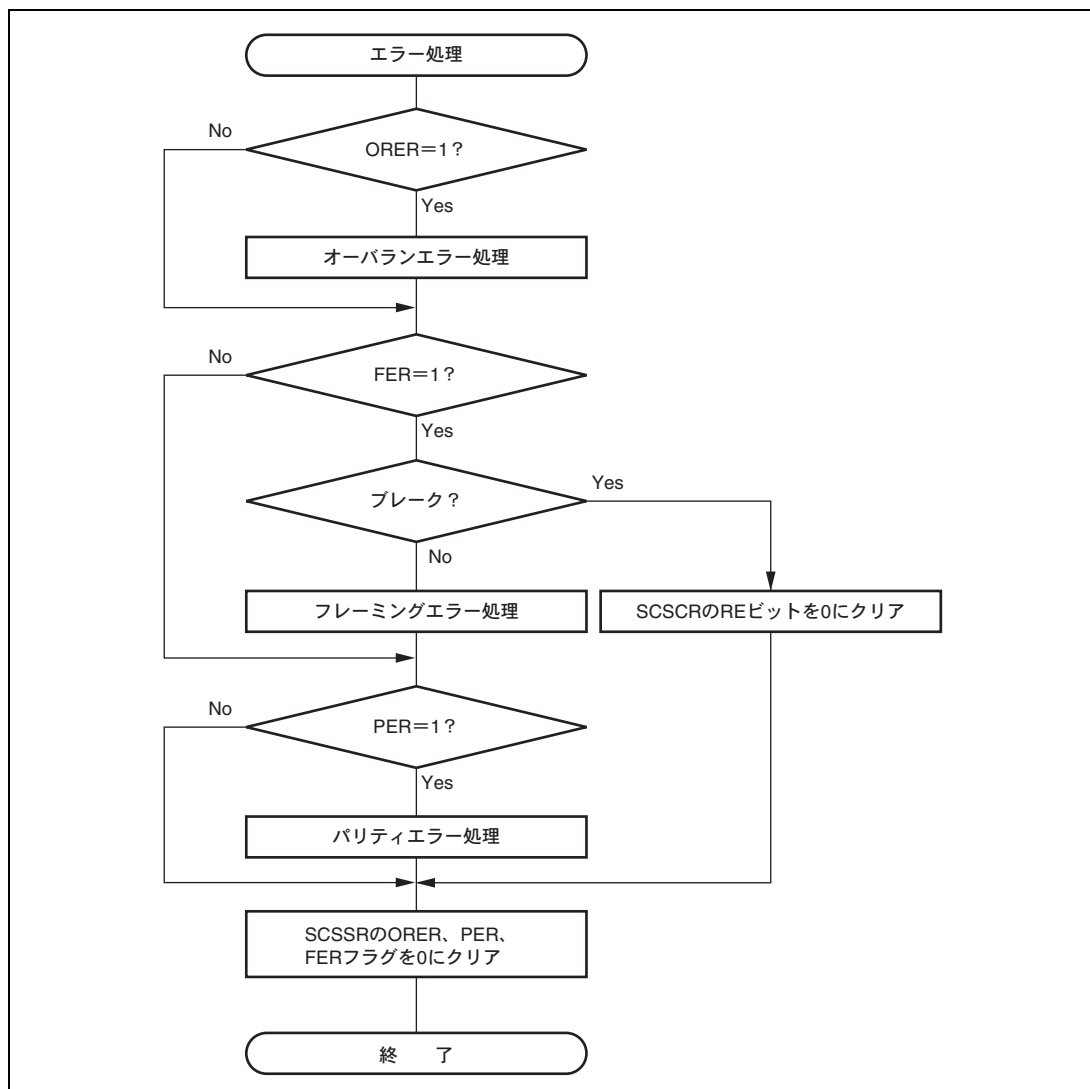


図 16.7 シリアル受信のフローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SCSMR) の O/E ビットで設定した偶数／奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF フラグが 0 であり、受信データをレシーブシフトレジスタ (SCRSR) から SCRDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、SCRDR に受信データが格納されます。エラーチェックで受信エラーを発生すると表 16.17 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

4. RDRF フラグが 1 になったとき、SCSPTR の EIO ビットが 0 に、SCSCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FER フラグのどれかが 1 になったとき、SCSCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 16.17 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCRSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	SCRSR から SCRDR に受信データは転送されません
フレーミングエラー	FER	ストップビットが 0 のとき	SCRSR から SCRDR に受信データが転送されません
パリティエラー	PER	SCSMR で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	SCRSR から SCRDR に受信データが転送されません

調歩同期式モード受信時の動作例を図 16.8 に示します。

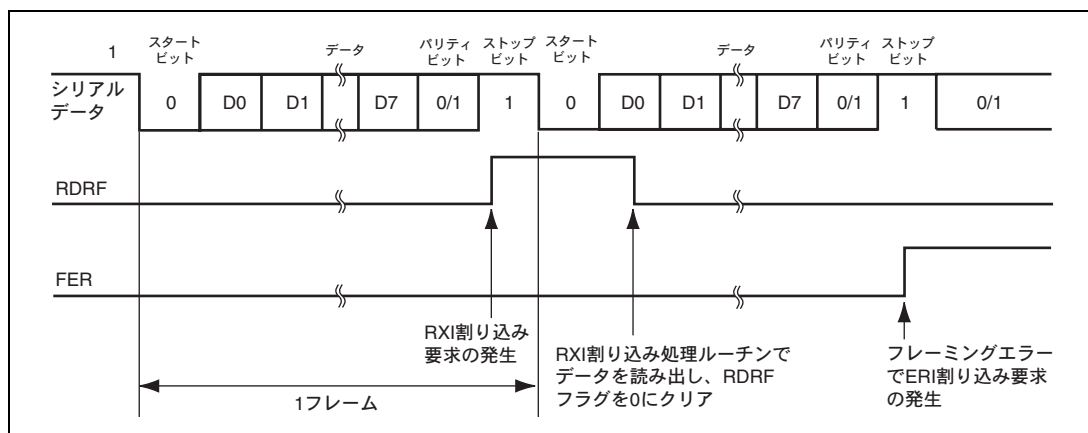


図 16.8 SCI の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

16.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信/受信中にデータの読み出し/書き込みができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.9 に示します。

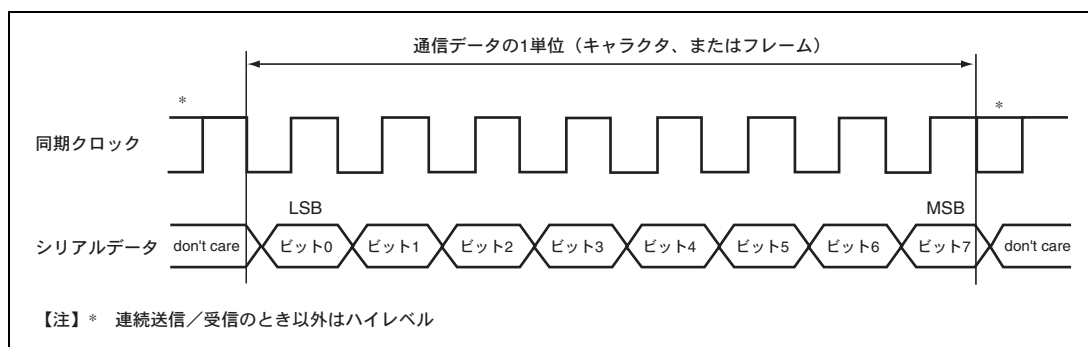


図 16.9 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMRの C/\bar{A} ビットとSCSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表16.15を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはハイレベルに固定されます。ただし、受信動作のみの場合は、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。nキャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用するときは、RE=1かつTE=1としてから、nキャラクタ数のダミーデータ送信と同時にnキャラクタ数の受信を行うという手順でしてください。

(3) データの送信/受信動作

• SCIの初期化 (クロック同期式モード)

データの送信/受信前にシリアルコントロールレジスタ (SCSCR) のTE、およびREビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREフラグは1にセットされ、トランスミットシフトレジスタ (SCTSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR)の内容は保持されますので注意してください。

図16.10にSCIの初期化フローチャートの例を示します。

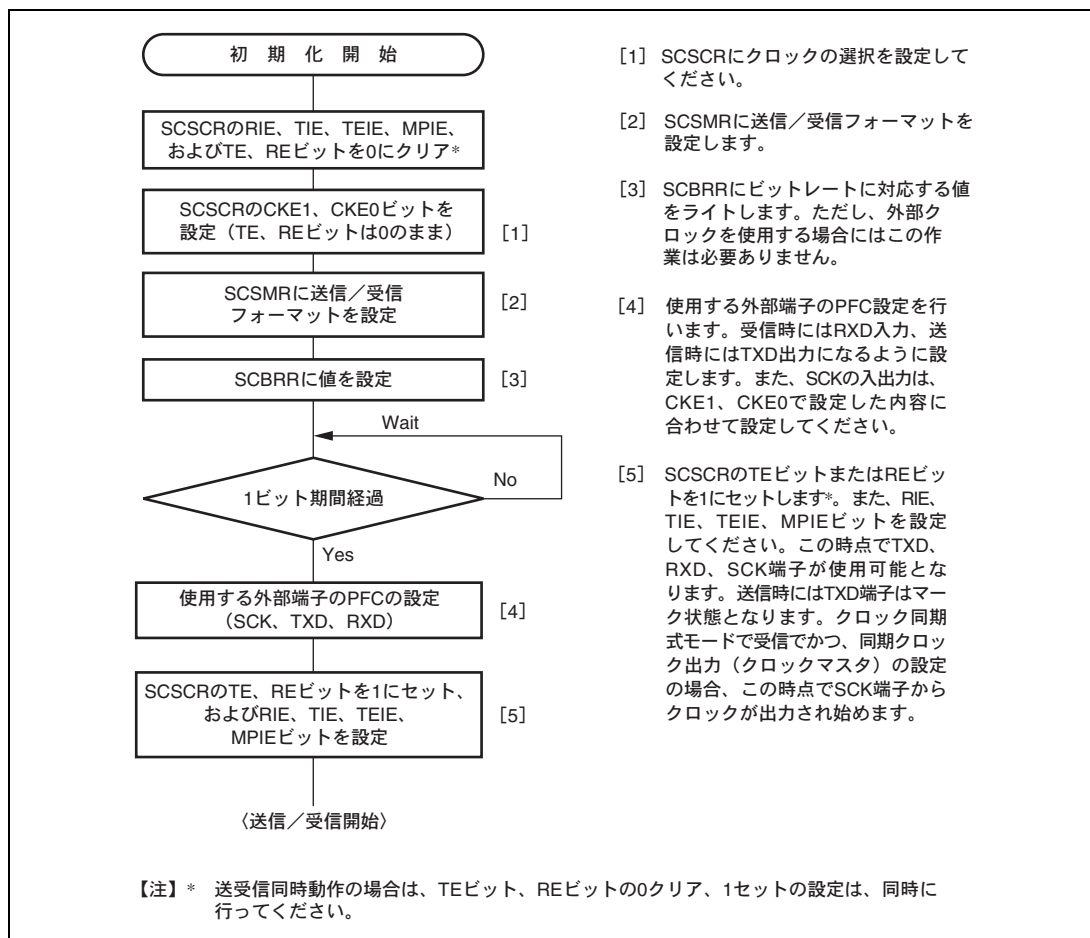
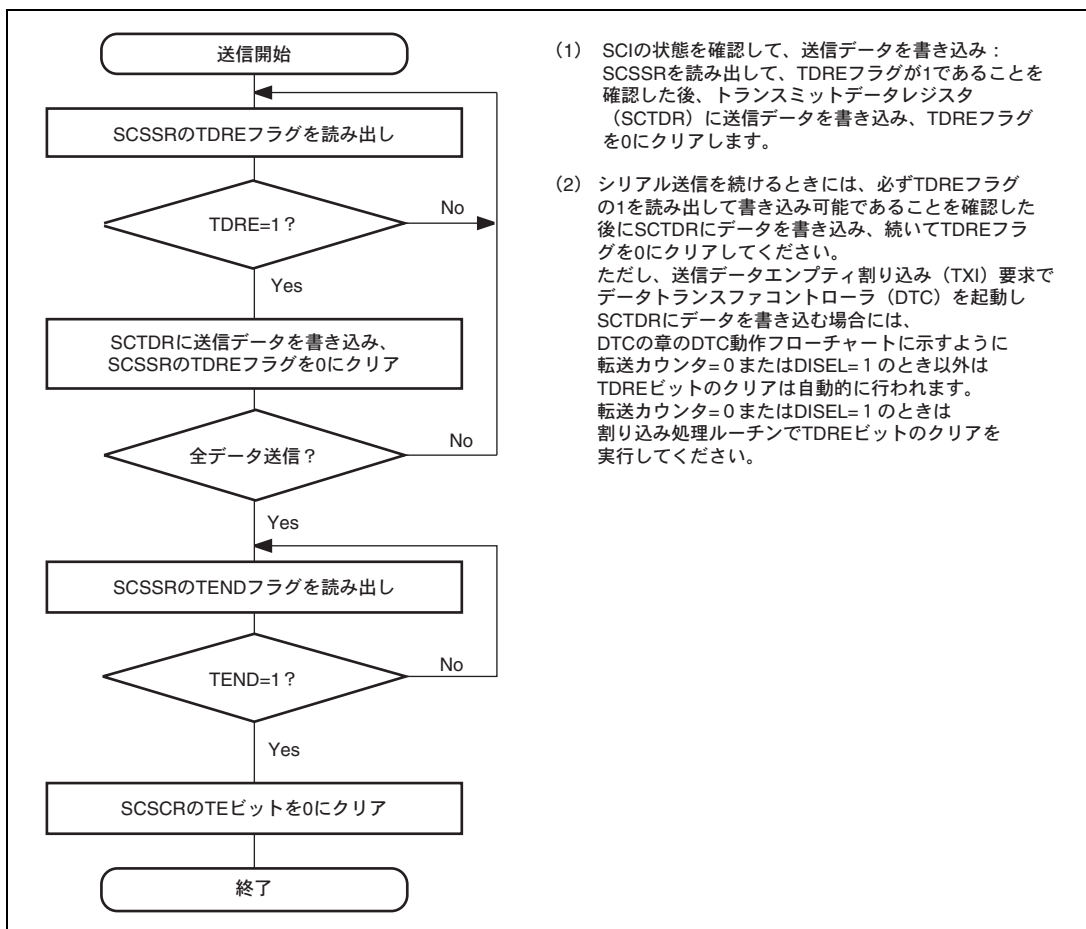


図 16.10 SCIの初期化フローチャートの例

● シリアルデータ送信 (クロック同期式モード)

図 16.11 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順で行ってください。



- (1) SCIの状態を確認して、送信データを書き込み：SCSSRを読み出して、TDREフラグが1であることを確認した後、トランスミットデータレジスタ (SCTDR) に送信データを書き込み、TDREフラグを0にクリアします。
- (2) シリアル送信を続けるときには、必ずTDREフラグの1を読み出して書き込み可能であることを確認した後にSCTDRにデータを書き込み、続いてTDREフラグを0にクリアしてください。
ただし、送信データエンピティ割り込み (TXI) 要求でデータトランスファコントローラ (DTC) を起動しSCTDRにデータを書き込む場合には、DTCの章のDTC動作フローチャートに示すように転送カウンタ=0またはDISEL=1のとき以外はTDREビットのクリアは自動的に行われます。転送カウンタ=0またはDISEL=1のときは割り込み処理ルーチンでTDREビットのクリアを実行してください。

図 16.11 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ (SCSSR) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR) にデータが書き込まれたと認識し、SCTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。
2. SCTDRからSCTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、シリアルコントロールレジスタ (SCSCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~MSB (ビット7) の順にTXD端子から送り出されます。
3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとSCTDRからSCTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとシリアルステータスレジスタ (SCSSR) のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TXD端子) は状態を保持します。
このときSCSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 16.12 に SCI の送信時の動作例を示します。

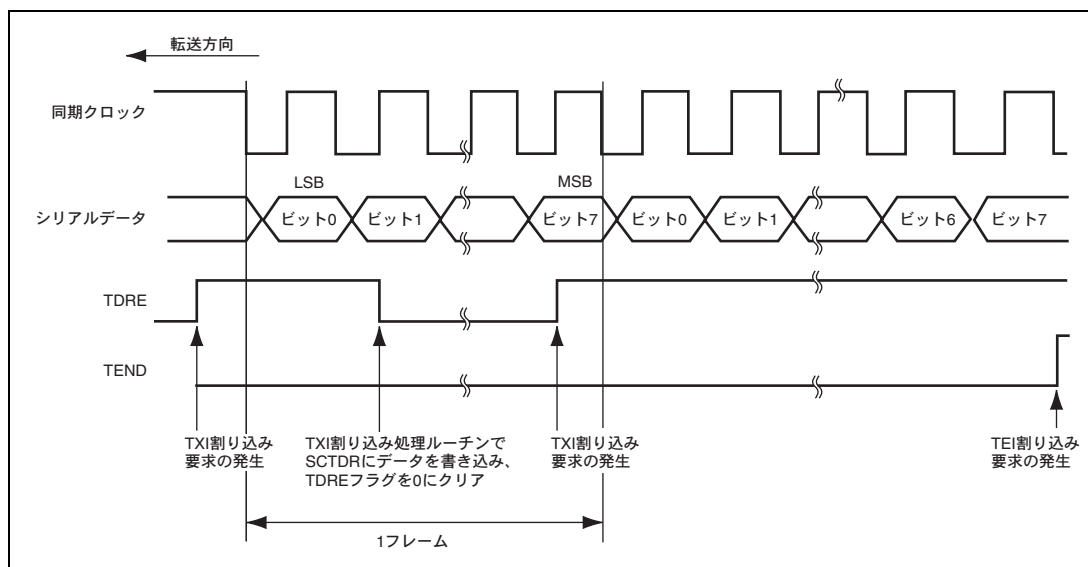


図 16.12 SCI の送信時の動作例

• シリアルデータ受信 (クロック同期式モード)

図 16.13 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、受信動作が行えません。

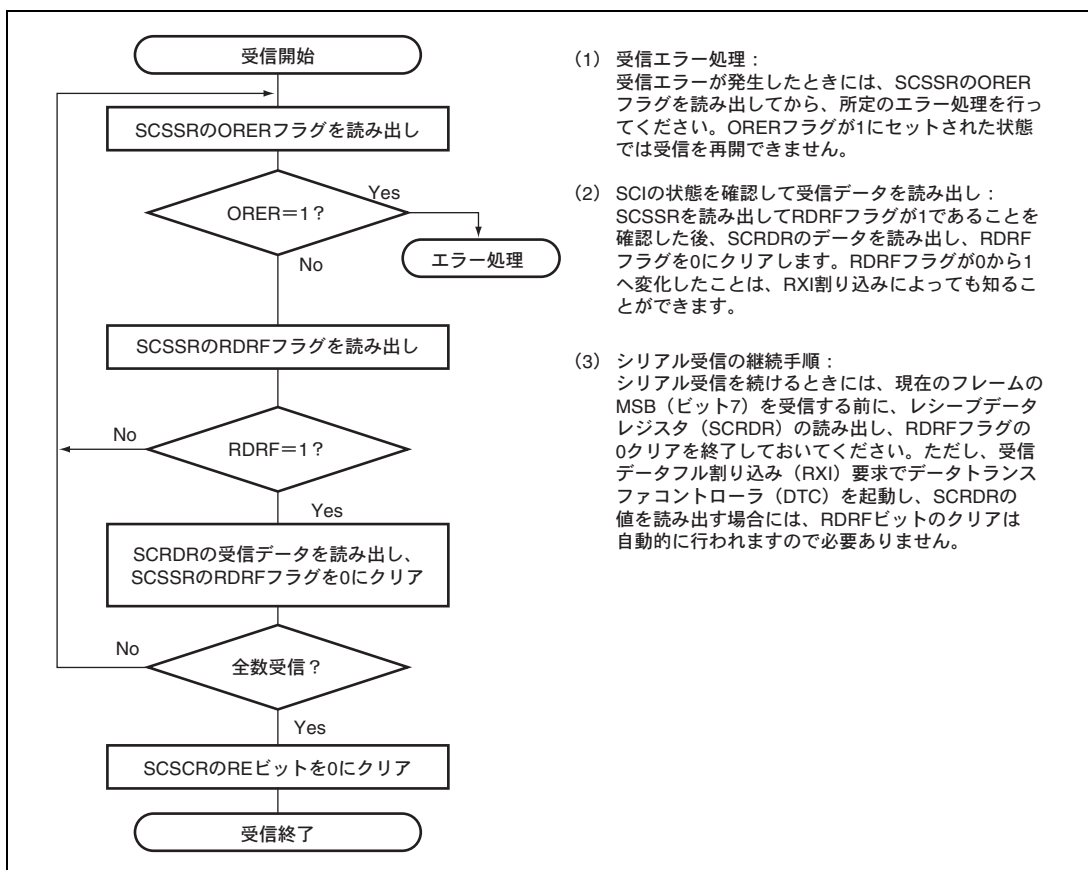


図 16.13 シリアルデータ受信フローチャートの例 (1)

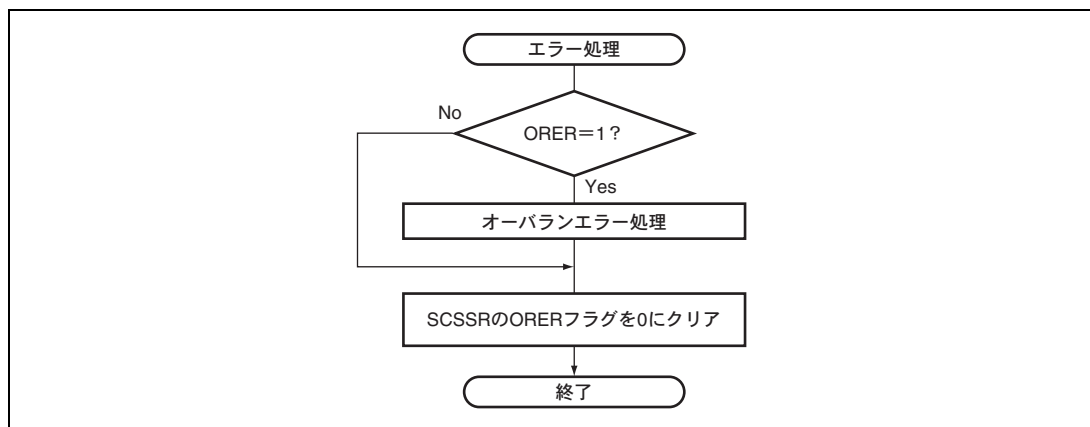


図 16.13 シリアルデータ受信フローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFフラグが0であり、受信データをSCRSRからレシーブデータレジスタ (SCRDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、SCRDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表16.17のように動作し、この状態では以後の送信、受信動作ができません。
また、受信時にRDRFフラグが1にセットされませんので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 16.14 に SCI の受信時の動作例を示します。

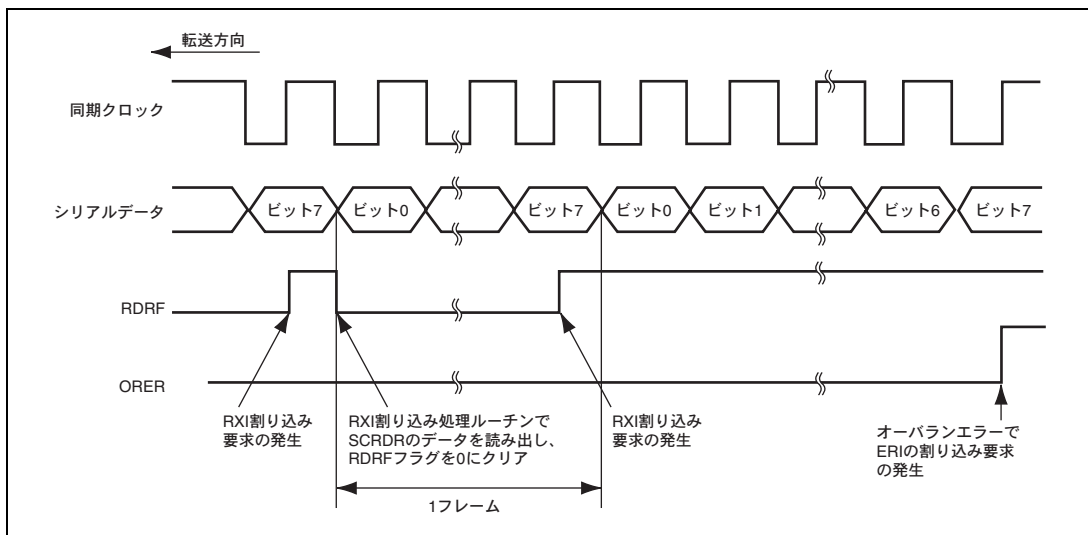


図 16.14 SCI の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式モード)

図 16.15 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

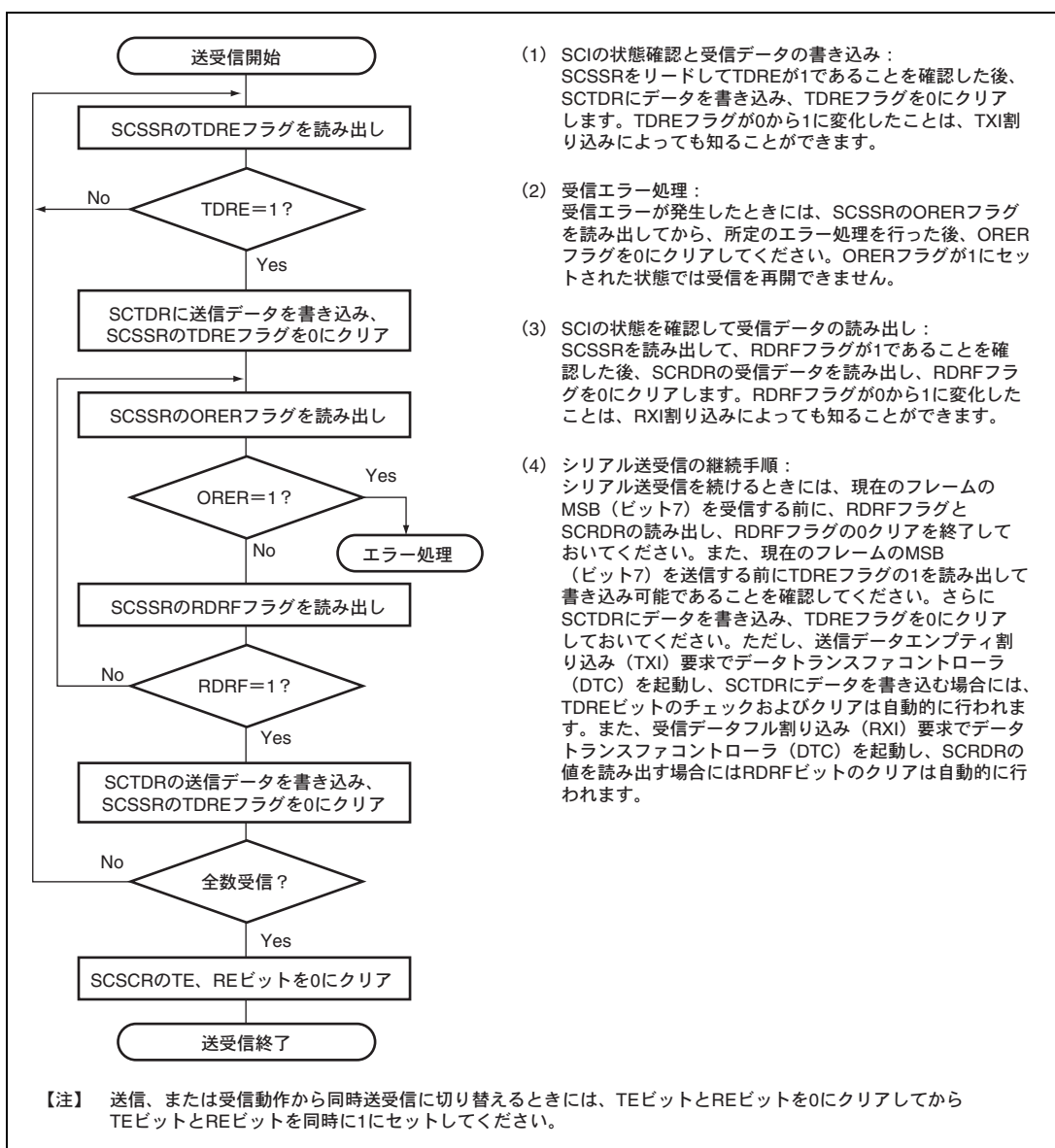


図 16.15 シリアルデータ送受信フローチャートの例

16.4.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 16.16 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCSCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCRSR から SCRDR への受信データの転送、および受信エラーの検出と SCSSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCSSR の MPBT が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCSCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

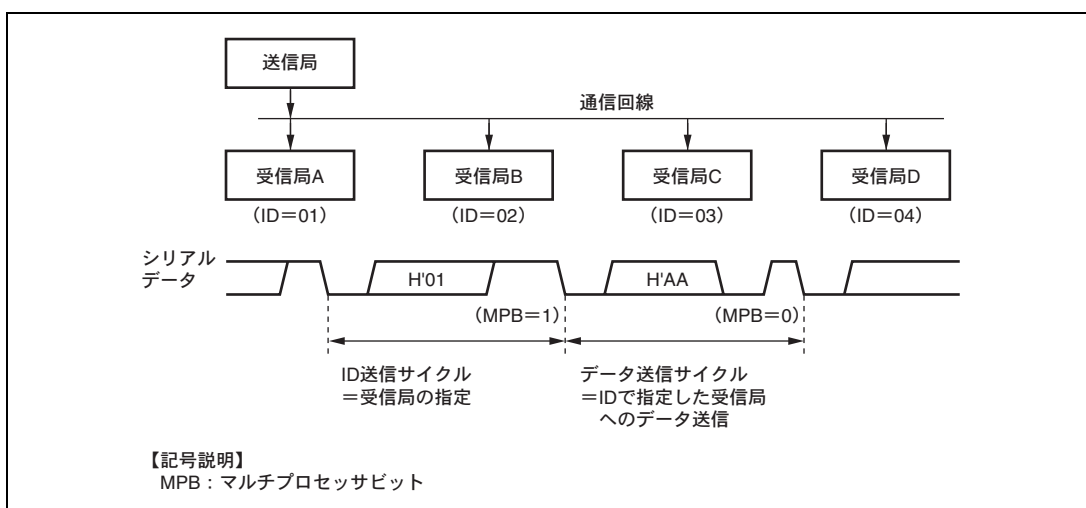


図 16.16 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

16.4.5 マルチプロセッサシリアルデータ送信

図 16.17 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCSSR の MPBT を 1 にセットして送信してください。実際に ID が送信されるまで MPBT を 1 に保持してください。データ送信サイクルでは SCSSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期モードの動作と同じです。

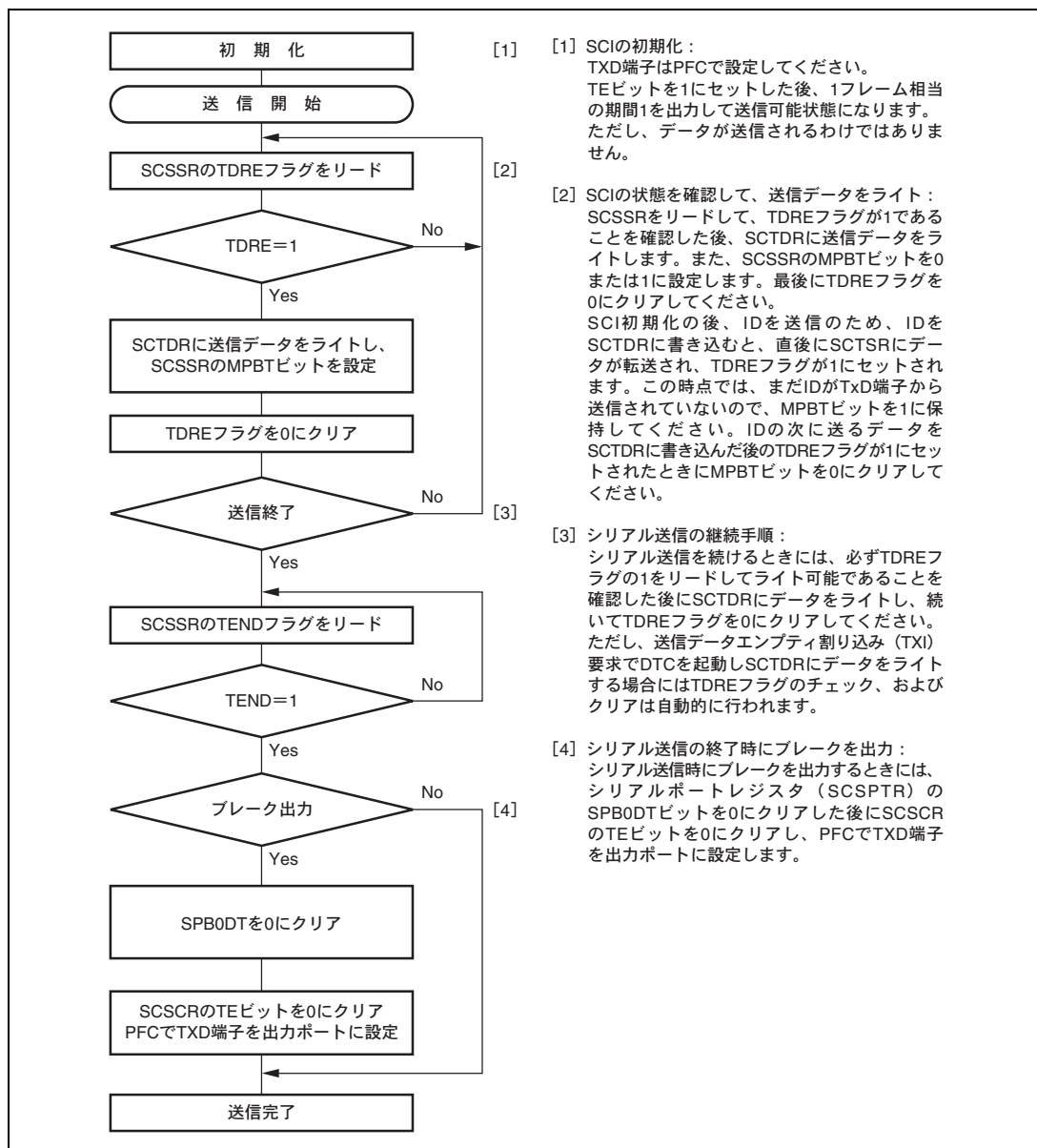


図 16.17 マルチプロセッサシリアル送信のフローチャートの例

16.4.6 マルチプロセッサシリアルデータ受信

図 16.19 にマルチプロセッサデータ受信のフローチャートの例を示します。SCSCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCRDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 16.18 に受信時の動作例を示します。

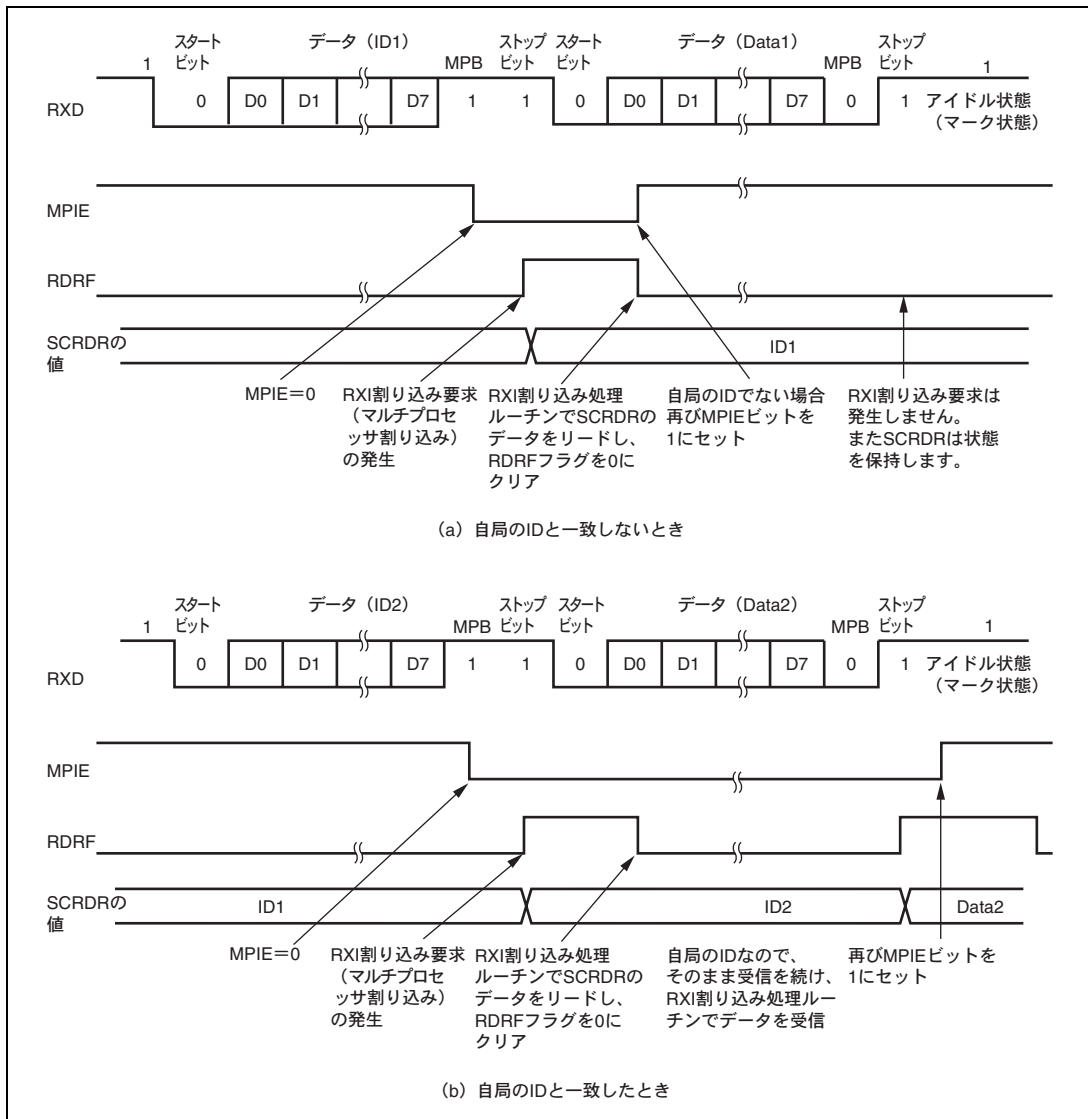


図 16.18 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

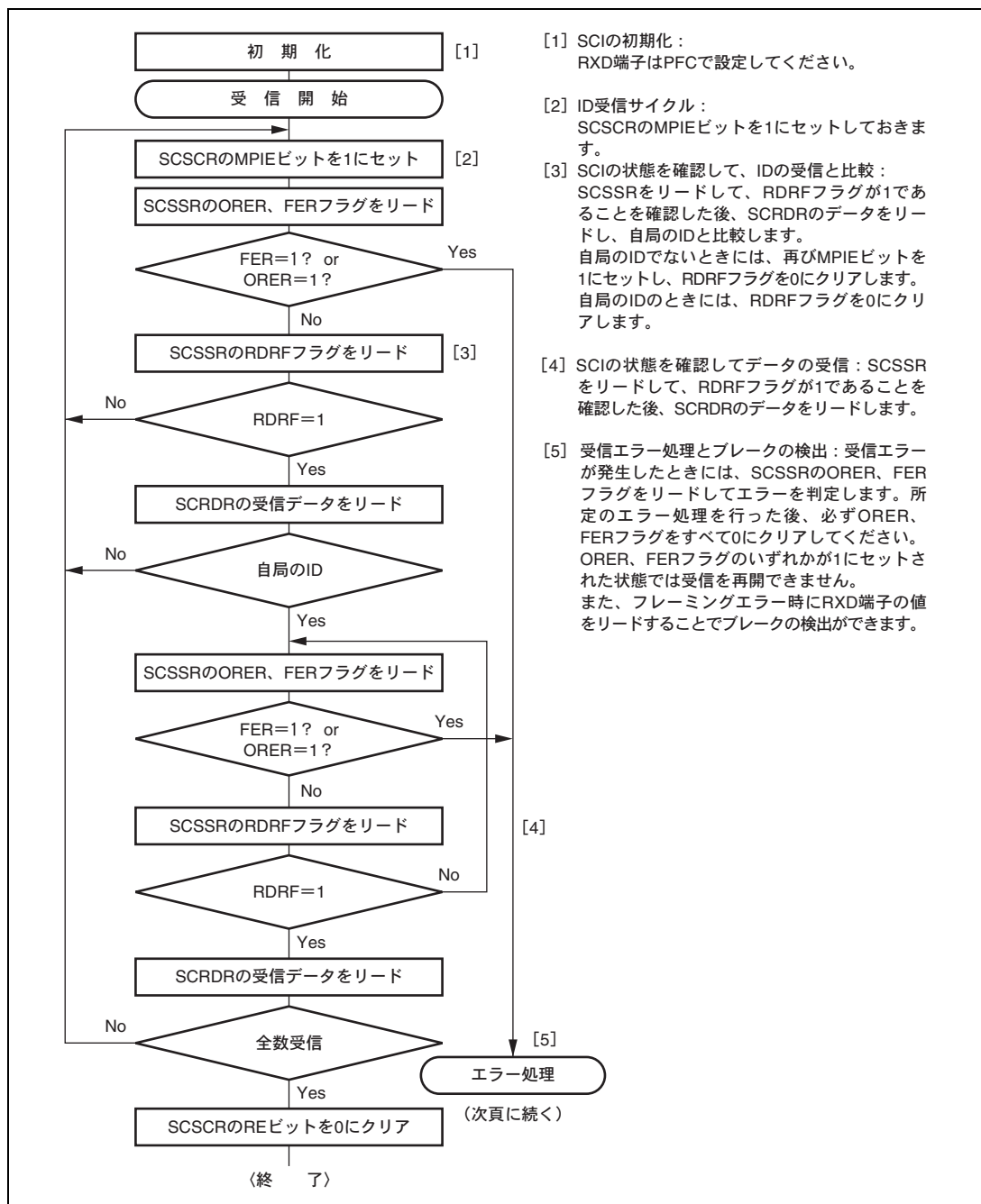


図 16.19 マルチプロセッサシリアル受信のフローチャートの例 (1)

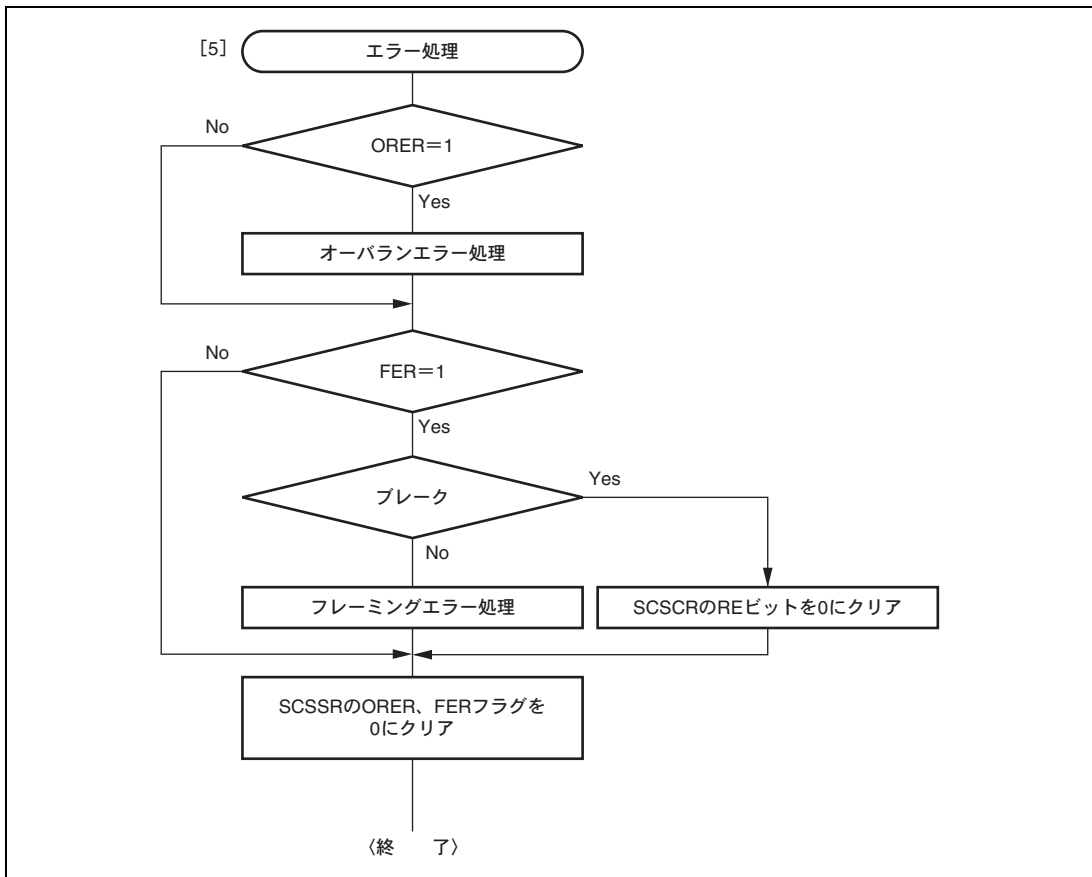


図 16.19 マルチプロセッサシリアル受信のフローチャートの例 (2)

16.5 SCI の割り込み要因と DTC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 16.18 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、TEIE ビット、および SCSPTR の EIO ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、TDR エンプティ要求が発生します。TDR エンプティ要求で、データトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。TDRE フラグは DTC によるトランスミットデータレジスタ (SCTDR) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR の RDRF フラグが 1 にセットされると、RDR フル要求が発生します。RDR フル要求で、DTC を起動して、データ転送を行うことができます。

RDRF フラグは DTC によるレシーブデータレジスタ (SCRDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DTC の起動はできません。データ受信処理において、RXI 割り込み要求の発生を禁止にし、ERI 割り込み要求の発生のみ許可にすることも可能です。この場合、RIE ビットを 1 に設定するとともに、SCSPTR の EIO ビットを 1 にセットしてください。ただし、EIO ビットを 1 に設定すると RXI 割り込み要求が発生しないため、DMAC/DTC による受信データの転送も行われません。

さらに、SCSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で DTC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 16.18 SCI 割り込み要因

割り込み要因	内 容	DTC の起動
ERI	受信エラー (ORER、FER、PER) による割り込み	不可
RXI	受信データフル (RDRF) による割り込み	可
TXI	送信データエンプティ (TDRE) による割り込み	可
TEI	送信終了 (TEND) による割り込み	不可

16.6 シリアルポートレジスタ (SCSPTR) と SCI 端子との関係

SCSPTR と SCI 端子との関係を図 16.20、図 16.21 に示します。

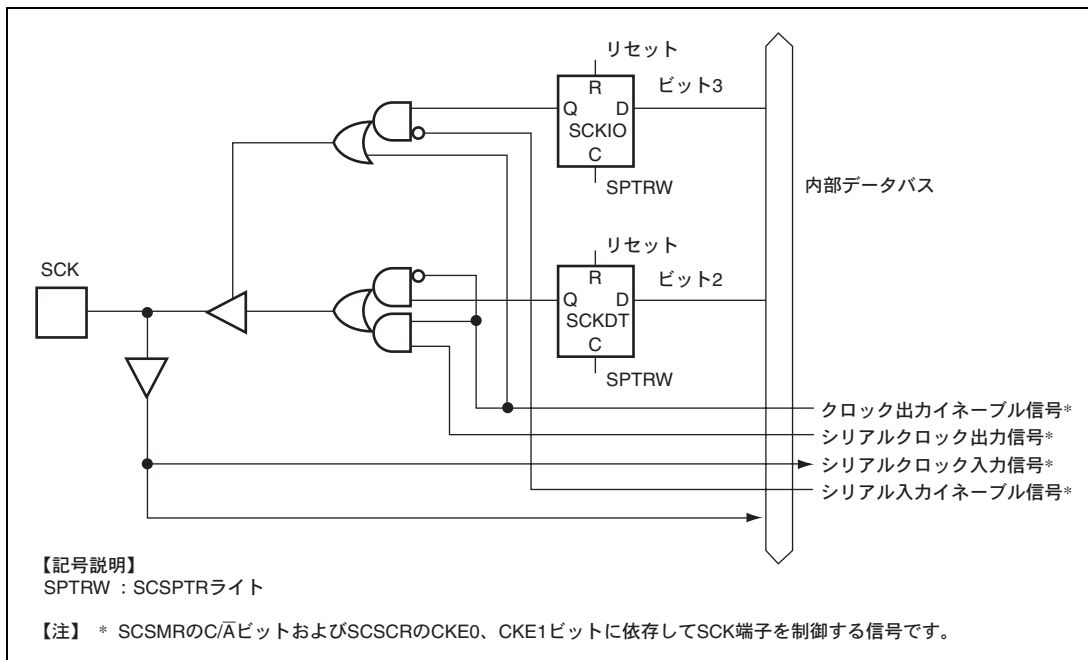


図 16.20 SCKIO ビット、SCKDT ビットと SCK 端子との関係

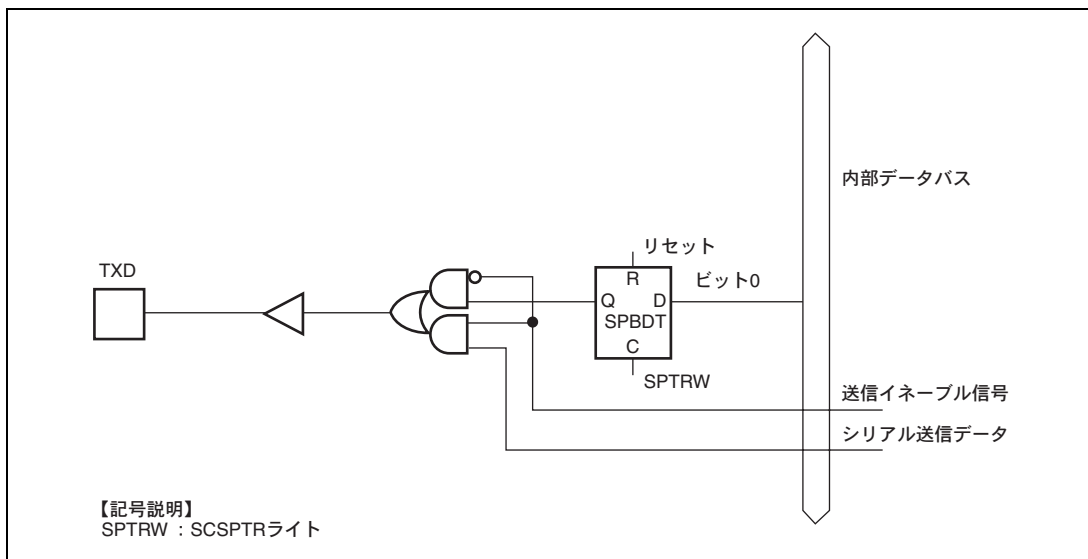


図 16.21 SPBDT ビットと TXD 端子との関係

16.7 使用上の注意事項

16.7.1 SCTDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR) の TDRE フラグはトランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR から SCTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR に書き込むと、SCTDR に格納されていたデータは、まだ SCTSR に転送されていないため失われてしまいます。したがって SCTDR への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

16.7.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR の各ステータスフラグの状態は、表 16.19 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へのデータ転送は行われず、受信データは失われます。

表 16.19 SCSSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR のステータスフラグ				受信データ転送 SCRSR→ SCRDR
	RDRF	ORER	FER	PER	
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバランエラー+フレーミングエラー	1	1	1	0	×
オーバランエラー+パリティエラー	1	1	0	1	×
フレーミングエラー+パリティエラー	0	0	1	1	○
オーバランエラー+フレーミングエラー +パリティエラー	1	1	1	1	×

【記号説明】

- : SCRSR→SCRDR に受信データを転送します。
 - ×
- × : SCRSR→SCRDR に受信データを転送しません。

16.7.3 ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後は、SCRDR への受信データの転送は停止しますが、受信動作は続けています。

16.7.4 ブレークの送り出し

TXD 端子は、シリアルポートレジスタ (SCSPTR) の SPB0DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB0DT ビットの値で代替えされます。このため、最初は SPB0DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは 0 が出力されます。

16.7.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 16.22 に示します。

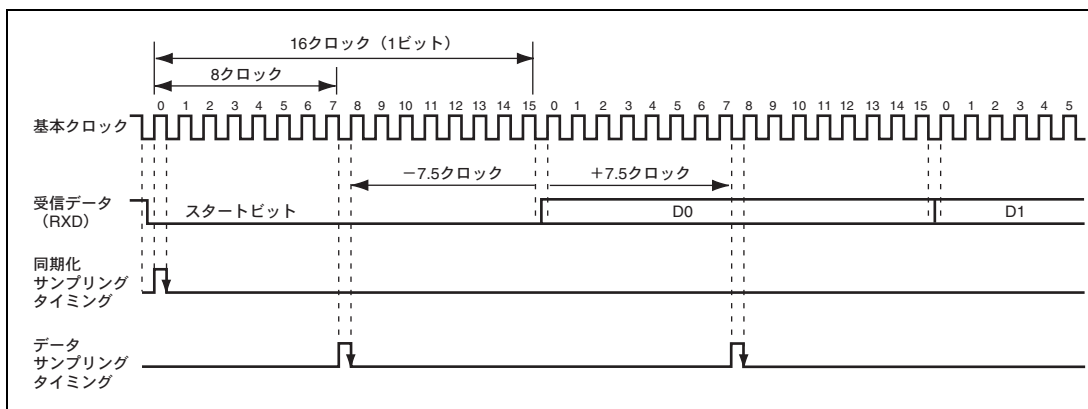


図 16.22 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\%$$

…式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

16.7.6 DTC 使用上の注意事項

同期クロックに外部クロックソースを使用する場合、DTC による SCTDR の更新後、周辺動作クロックで 5 サイクル以上経過した後に外部クロックを入力してください。SCTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 16.23 参照)。

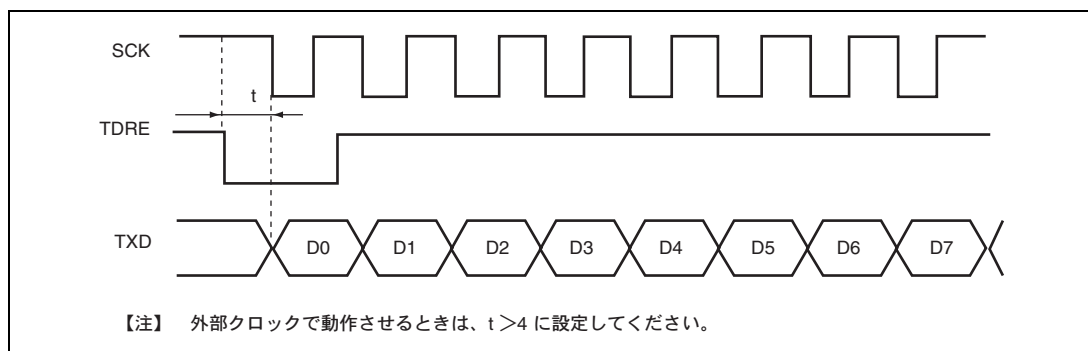


図 16.23 DTC による同期クロック転送例

TXI 割り込みにより DTC を起動して SCTDR ヘデータを書き込んだ場合には TEND フラグは不定となりますので、TEND フラグを送信終了フラグとして使用しないでください。

16.7.7 クロック同期外部クロックモード時の注意事項

TE=1、RE=1 に設定するのは、外部クロック SCK を 0→1 にしてから周辺動作クロック 4 クロック以上経過してからにしてください。

TE=RE=1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。

16.7.8 モジュールスタンバイモードの設定

SCI は、スタンバイコントロールレジスタにより、本モジュールの動作禁止/許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 26 章 低消費電力モード」を参照してください。

16.7.9 RE ビットをセットする際の RXD 端子の状態についての注意事項

SCI を使用する際には、RE ビットを 1 にセットする前に、必ず RXD 端子の状態をハイレベルにしてください。RXD 端子がローレベルの状態では RE ビットを 1 にセットすると、受信を開始してしまう場合があります。

16.7.10 割り込みフラグのクリアについての注意事項

SCSSR レジスタの TDRE、RDRF、TEND、PER、FER、ORER フラグは、1 の値を読み出した後に 0 を書き込むことでクリアできます。また、これらのフラグがクリアされたことを確認してから割り込み処理を抜けるようにしてください。

17. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 1 チャネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャネルとも独立に送信/受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

17.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communications Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RXD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速度連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ (内部クロック)、または SCK 端子 (外部クロック) から選択可能

- 4種類の割り込み要因

送信FIFOデータエンプティ割り込み、ブ레이크割り込み、レシーブFIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。

- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送信、およびレシーブFIFOレジスタのデータ数、およびレシーブFIFOレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー（DR）を検出できます。

図 17.1 に SCIF のブロック図を示します。

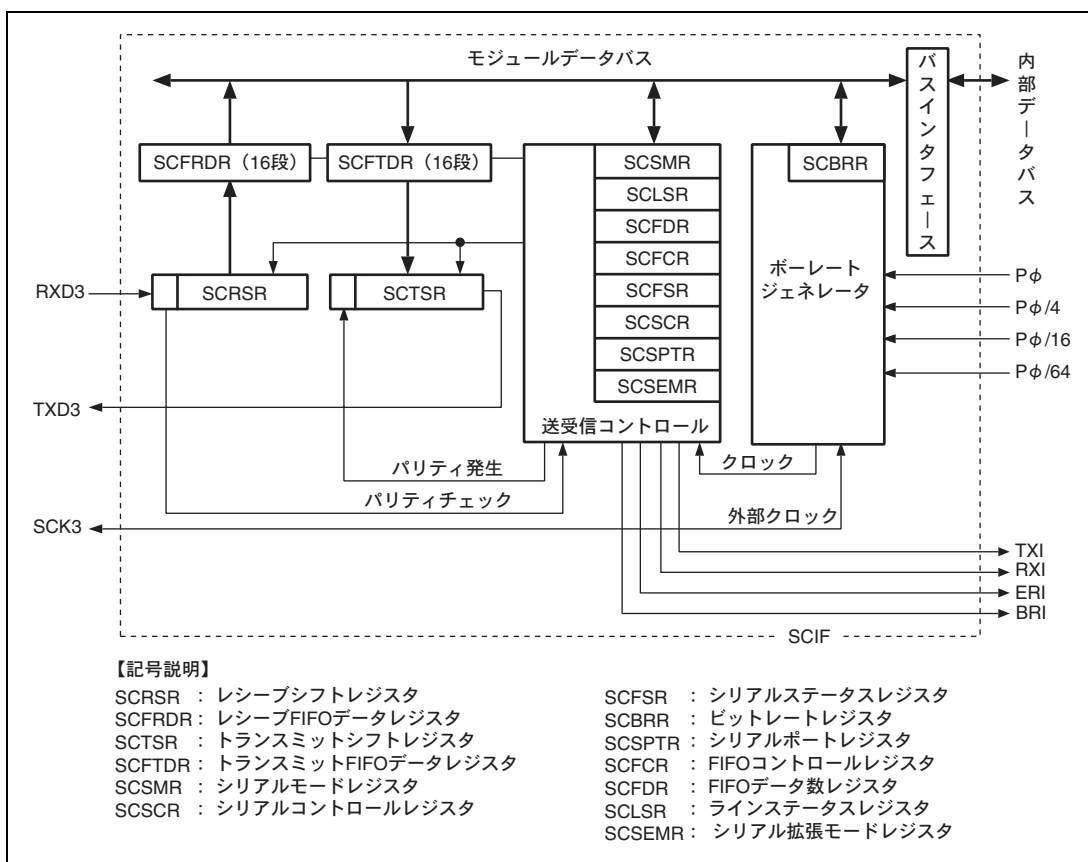


図 17.1 SCIF のブロック図

17.2 入出力端子

SCIF の端子構成を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	端子名	入出力	機能
3	シリアルクロック端子	SCK3	入出力	クロック入出力
	受信データ端子	RXD3	入力	受信データ入力
	送信データ端子	TXD3	出力	送信データ出力

17.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 17.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	トランスミットFIFOデータレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)* ¹	H'0060	H'FFFE9810	16
	レシーブFIFOデータレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFOコントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFOデータカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'005x	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)* ²	H'0000	H'FFFE9824	16
	シリアル拡張モードレジスタ	SCSEMR_3	R/W	H'00	H'FFFE9900	8

【注】 *1 フラグをクリアするために0のみ書き込むことができます。ビット15～8、3、2は読み出し専用であり書き込むことはできません。

*2 フラグクリアするために0のみ書き込むことができます。ビット15～1は読み出し専用であり書き込むことはできません。

17.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し/書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

17.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。レシーブ FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

17.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

17.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

SCFTDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

17.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し/書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ* 【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】 * PE ビットに1をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1, 0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「17.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00: Pφクロック 01: Pφ/4クロック 10: Pφ/16クロック 11: Pφ/64クロック</p> <p>【注】Pφ: 周辺クロック</p>

17.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し／書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可／禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可* 【注】 * TXI の解除は、SCFTDR に指定した送信トリガ数より多い量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可／禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】 * RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可/禁止します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p>【注】 * この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可/禁止します。</p> <p>0: 受信動作を禁止*¹</p> <p>1: 受信動作を許可*²</p> <p>【注】 *¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0: 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1: 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】 * ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック/SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10 : 外部クロック/SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は同期クロック出力 01 : 内部クロック/SCK 端子は同期クロック出力 10 : 外部クロック/SCK 端子は同期クロック入力 11 : 設定禁止

17.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

レシーブ FIFO データレジスタの受信データを DTC/DMAC で転送した場合、レシーブ FIFO データレジスタに受信データがクリアされ、同時に SCFSR の PER、FER はクリアされてしまいます。そのため、DTC/DMAC を使用した場合は、FER または PER ビットでのエラー判定はできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	0000	R	パリティエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。
11~8	FER[3:0]	0000	R	フレーミングエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1の状態を読み出した後、0を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合*² • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき <p>【注】 *¹ SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*² 2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR へ送信データを書き込み、TEND=1の状態を読み出した後、TENDフラグに0を書き込んだとき*¹ <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • SCSCR の TE ビットが0のとき • 1バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】 *¹ TXI 割り込み要求により DMAC/DTC で SCFTDR ヘデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンブティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1 ビットと TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0 : SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE=1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき • DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき • DTC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であること*1 を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>[注] *1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0 : ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1 : ブレーク信号を受信*1</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>[注] *1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

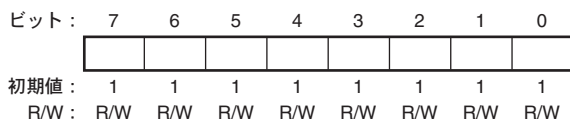
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信データがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC が SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき • DTC で SCFRDR の受信データ数が指定トリガ数より少なくなるまで SCFRDR を読み出したとき (DTC の転送カウンタ値が H'0000 になったときを除く) <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納される時*1 <p>【注】 *1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期モードで、レシーブ FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC/DTC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1後も次のデータが受信されないとき <p>【注】 *1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

17.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し/書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期モード】

- シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 0 のとき

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 1 のとき

$$N = \frac{P\phi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期モード】

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$)

(電気的特性を満足する設定値としてください)

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0, 1, 2, 3)

(n とクロックの関係は、表 17.3 を参照してください)

表 17.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 0 のとき

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

- シリアル拡張モードレジスタ (SCSEMR) の ABCS ビットが 1 のとき

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 17.4～表 17.6 に調歩同期式モードの SCBRR の設定例を、表 17.7～表 17.9 にクロック同期式モードの SCBRR の設定例を示します。

表 17.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	Pφ (MHz)																	
	10 ^{*1}			12 ^{*1}			14 ^{*1}			16 ^{*1}			18 ^{*1}			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	248	-0.17	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	129	0.16	2	155	0.16	2	181	0.16	2	207	0.16	2	233	0.16	3	64	0.16
300	2	64	0.16	2	77	0.16	2	90	0.16	2	103	0.16	2	116	0.16	2	129	0.16
600	1	129	0.16	1	155	0.16	1	181	0.16	1	207	0.16	1	233	0.16	2	64	0.16
1,200	1	64	0.16	1	77	0.16	1	90	0.16	1	103	0.16	1	116	0.16	1	129	0.16
2,400	0	129	0.16	0	155	0.16	0	181	0.16	0	207	0.16	0	233	0.16	1	64	0.16
4,800	0	64	0.16	0	77	0.16	0	90	0.16	0	103	0.16	0	116	0.16	0	129	0.16
9,600	0	32	-1.36	0	38	0.16	0	45	-0.93	0	51	0.16	0	58	-0.69	0	64	0.16
14,400	0	21	-1.36	0	25	0.16	0	29	1.27	0	34	-0.79	0	38	0.16	0	42	0.94
19,200	0	15	1.73	0	19	-2.34	0	22	-0.93	0	25	0.16	0	28	1.02	0	32	-1.36
28,800	0	10	-1.36	0	12	0.16	0	14	1.27	0	16	2.12	0	19	-2.34	0	21	-1.36
31,250	0	9	0.00	0	11	0.00	0	13	0.00	0	15	0.00	0	17	0.00	0	19	0.00
38,400	0	7	1.73	0	9	-2.34	0	10	3.57	0	12	0.16	0	14	-2.34	0	15	1.73

表 17.5 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)

ビットレート (bit/s)	Pφ (MHz)																	
	22			24			26 ^{*1}			28 ^{*1}			30 ^{*1}			32 ^{*1}		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	97	-0.35	3	106	-0.44	3	114	0.36	3	123	0.23	3	132	0.13	3	141	0.03
150	3	71	-0.54	3	77	0.16	3	84	-0.43	3	90	0.16	3	97	-0.35	3	103	0.16
300	2	142	0.16	2	155	0.16	2	168	0.16	2	181	0.16	2	194	0.16	2	207	0.16
600	2	71	-0.54	2	77	0.16	2	84	-0.43	2	90	0.16	2	97	-0.35	2	103	0.16
1,200	1	142	0.16	1	155	0.16	1	168	0.16	1	181	0.16	1	194	0.16	1	207	0.16
2,400	1	71	-0.54	1	77	0.16	1	84	-0.43	1	90	0.16	1	97	-0.35	1	103	0.16
4,800	0	142	0.16	0	155	0.16	0	168	0.16	0	181	0.16	0	194	0.16	0	207	0.16
9,600	0	71	-0.54	0	77	0.16	0	84	-0.43	0	90	0.16	0	97	-0.35	0	103	0.16
14,400	0	47	-0.54	0	51	0.16	0	55	0.76	0	60	-0.39	0	64	0.16	0	68	0.64
19,200	0	35	-0.54	0	38	0.16	0	41	0.76	0	45	-0.93	0	48	-0.35	0	51	0.16
28,800	0	23	-0.54	0	25	0.16	0	27	0.76	0	29	1.27	0	32	-1.36	0	34	-0.79
31,250	0	21	0.00	0	23	0.00	0	25	0.00	0	27	0.00	0	29	0.00	0	31	0.00
38,400	0	17	-0.54	0	19	-2.34	0	20	0.76	0	22	-0.93	0	23	1.73	0	25	0.16

表 17.6 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	Pφ (MHz)														
	34 ^{*1}			36 ^{*1}			38 ^{*1}			40			50 ^{*2}		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	150	-0.05	3	159	-0.12	3	168	-0.19	3	177	-0.25	3	221	-0.02
150	3	110	-0.29	3	116	0.16	3	123	-0.24	3	129	0.16	3	162	-0.15
300	2	220	0.16	2	233	0.16	2	246	0.16	3	64	0.16	3	80	0.47
600	2	110	-0.29	2	116	0.16	2	123	-0.24	2	129	0.16	2	162	-0.15
1,200	1	220	0.16	1	233	0.16	1	246	0.16	2	64	0.16	2	80	0.47
2,400	1	110	-0.29	1	116	0.16	1	123	-0.24	1	129	0.16	1	162	-0.15
4,800	0	220	0.16	0	233	0.16	0	246	0.16	1	64	0.16	1	80	0.47
9,600	0	110	-0.29	0	116	0.16	0	123	-0.24	0	129	0.16	0	162	-0.15
14,400	0	73	-0.29	0	77	0.16	0	81	0.57	0	86	-0.22	0	108	-0.45
19,200	0	54	0.62	0	58	-0.69	0	61	-0.24	0	64	0.16	0	80	0.47
28,800	0	36	-0.29	0	38	0.16	0	40	0.57	0	42	0.94	0	53	0.47
31,250	0	33	0.00	0	35	0.00	0	37	0.00	0	39	0.00	0	49	0
38,400	0	27	-1.18	0	28	1.02	0	30	-0.24	0	32	-1.36	0	40	-0.76

【注】 誤差は、なるべく 1%以内になるように設定してください。

*1 本 LSI では設定不可能です。

*2 SH7239B、SH7237B のみ使用できます。

表 17.7 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)

ビットレート (bit/s)	Pφ (MHz)											
	10 ^{*1}		12 ^{*1}		14 ^{*1}		16 ^{*1}		18 ^{*1}		20	
	n	N	n	N	n	N	n	N	n	N	n	N
250	3	155	3	187	3	218	3	249				
500	3	77	3	93	3	108	3	124	3	140	3	155
1,000	2	155	2	187	2	218	2	249	3	69	3	77
2,500	1	249	2	74	2	87	2	99	2	112	2	124
5,000	1	124	1	149	1	174	1	199	1	224	1	249
10,000	0	249	1	74	1	87	1	99	1	112	1	124
25,000	0	99	0	119	0	139	0	159	0	179	0	199
50,000	0	49	0	59	0	69	0	79	0	89	0	99
100,000	0	24	0	29	0	34	0	39	0	44	0	49
250,000	0	9	0	11	0	13	0	15	0	17	0	19
500,000	0	4	0	5	0	6	0	7	0	8	0	9
1,000,000	—	—	0	2	—	—	0	3	—	—	0	4
2,500,000	0	0 ^{*2}	—	—	—	—	—	—	—	—	0	1
5,000,000			—	—	—	—	—	—	—	—	0	0 ^{*2}

表 17.8 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (2)

ビットレート (bit/s)	Pφ (MHz)											
	22		24		26 ^{*1}		28 ^{*1}		30 ^{*1}		32 ^{*1}	
	n	N	n	N	n	N	n	N	n	N	n	N
250												
500	3	171	3	187	3	202	3	218	3	233	3	249
1,000	3	85	3	93	3	101	3	108	3	116	3	124
2,500	2	137	2	149	2	162	2	174	2	187	2	199
5,000	2	68	2	74	2	80	2	87	2	93	2	99
10,000	1	137	1	149	1	162	1	174	1	187	1	199
25,000	0	219	0	239	1	64	1	69	1	74	1	79
50,000	0	109	0	119	0	129	0	139	0	149	0	159
100,000	0	54	0	59	0	64	0	69	0	74	0	79
250,000	0	21	0	23	0	25	0	27	0	29	0	31
500,000	0	10	0	11	0	12	0	13	0	14	0	15
1000,000	—	—	0	5	—	—	0	6	—	—	0	7
2,500,000	—	—	—	—	—	—	—	—	0	2	—	—
5,000,000	—	—	—	—	—	—	—	—	—	—	—	—

表 17.9 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (3)

ビットレート (bit/s)	Pφ (MHz)									
	34 ^{*1}		36 ^{*1}		38 ^{*1}		40		50 ^{*3}	
	n	N	n	N	n	N	n	N	n	N
250										
500										
1,000	3	132	3	140	3	147	3	155	3	194
2,500	2	212	2	224	2	237	2	249	3	77
5,000	2	105	2	112	2	118	2	124	2	155
10,000	1	212	1	224	1	237	1	249	2	77
25,000	1	84	1	89	1	94	1	99	1	124
50,000	0	169	0	179	0	189	0	199	0	249
100,000	0	84	0	89	0	94	0	99	0	124
250,000	0	33	0	35	0	37	0	39	0	49
500,000	0	16	0	17	0	18	0	19	0	24
1,000,000	—	—	0	8	—	—	0	9	—	—
2,500,000	—	—	—	—	—	—	0	3	0	4
5,000,000	—	—	—	—	—	—	0	1		

【注】 誤差は、なるべく 1%以内になるように設定してください。

- *1 本 LSI では設定不可です。
- *2 連続送信/受信はできません。
- *3 SH7239B、SH7237B のみ使用できます。

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

表 17.10 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレート、表 17.11 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 17.12 と表 17.13 に外部クロック入力時の最大ビットレートを示します。

表 17.10 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10 ^{*1}	312,500	0	0	156,250	0	1
12 ^{*1}	375,000	0	0	187,500	0	1
14 ^{*1}	437,500	0	0	218,750	0	1
16 ^{*1}	500,000	0	0	250,000	0	1
18 ^{*1}	562,500	0	0	281,250	0	1
20	625,000	0	0	312,500	0	1
22	687,500	0	0	343,750	0	1
24	750,000	0	0	375,000	0	1
26 ^{*1}	812,500	0	0	406,250	0	1
28 ^{*1}	875,000	0	0	437,500	0	1
30 ^{*1}	937,500	0	0	468,750	0	1
32 ^{*1}	1,000,000	0	0	500,000	0	1
34 ^{*1}	1,062,500	0	0	531,250	0	1
36 ^{*1}	1,125,000	0	0	562,500	0	1
38 ^{*1}	1,187,500	0	0	593,750	0	1
40	1,250,000	0	0	625,000	0	1
50 ^{*2}	1,562,500	0	0	781,250	0	1

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 17.11 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート
(クロック同期式モード)

Pφ (MHz)	非連続送信/受信時			連続送信/受信時		
	最大ビットレート (bit/s)	設定値		最大ビットレート (bit/s)	設定値	
		n	N		n	N
10 ^{*1}	2,500,000	0	0	1,250,000	0	1
12 ^{*1}	3,000,000	0	0	1,500,000	0	1
14 ^{*1}	3,500,000	0	0	1,750,000	0	1
16 ^{*1}	4,000,000	0	0	2,000,000	0	1
18 ^{*1}	4,500,000	0	0	2,250,000	0	1
20	5,000,000	0	0	2,500,000	0	1
22	5,500,000	0	0	2,750,000	0	1
24	6,000,000	0	0	3,000,000	0	1
26 ^{*1}	6,500,000	0	0	3,250,000	0	1
28 ^{*1}	7,000,000	0	0	3,500,000	0	1
30 ^{*1}	7,500,000	0	0	3,750,000	0	1
32 ^{*1}	8,000,000	0	0	4,000,000	0	1
34 ^{*1}	8,500,000	0	0	4,250,000	0	1
36 ^{*1}	9,000,000	0	0	4,500,000	0	1
38 ^{*1}	9,500,000	0	0	4,750,000	0	1
40	10,000,000	0	0	5,000,000	0	1
50 ^{*2}	12,500,000	0	0	6,250,000	0	1

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 17.12 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10 ^{*1}	2.5000	156,250
12 ^{*1}	3.0000	187,500
14 ^{*1}	3.5000	218,750
16 ^{*1}	4.0000	250,000
18 ^{*1}	4.5000	281,250
20	5.0000	312,500
22	5.5000	343,750
24	6.0000	375,000
26 ^{*1}	6.5000	406,250
28 ^{*1}	7.0000	437,500
30 ^{*1}	7.5000	468,750
32 ^{*1}	8.0000	500,000
34 ^{*1}	8.5000	531,250
36 ^{*1}	9.0000	562,500
38 ^{*1}	9.5000	593,750
40	10.0000	625,000
50 ^{*2}	12.5000	781,250

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

表 17.13 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10 ^{*1}	1.6667	1,666,666.7
12 ^{*1}	2.0000	2,000,000.0
14 ^{*1}	2.3333	2,333,333.3
16 ^{*1}	2.6667	2,666,666.7
18 ^{*1}	3.0000	3,000,000.0
20	3.3333	3,333,333.3
22	3.6667	3,666,666.7
24	4.0000	4,000,000.0
26 ^{*1}	4.3333	4,333,333.3
28 ^{*1}	4.6667	4,666,666.7
30 ^{*1}	5.0000	5,000,000.0
32 ^{*1}	5.3333	5,333,333.3
34 ^{*1}	5.6667	5,666,666.7
36 ^{*1}	6.0000	6,000,000.0
38 ^{*1}	6.3333	6,333,333.3
40	6.6667	6,666,666.7
50 ^{*2}	8.3333	8,333,333.3

【注】 *1 本 LSI では設定不可です。

*2 SH7239B、SH7237B のみ使用できます。

17.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTRG[1:0]	TTRG[1:0]	-	TFRST	FRFRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。レシーブ FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 <ul style="list-style-type: none"> 調歩同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 4 10 : 8 11 : 14 クロック同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 2 10 : 8 11 : 14
5, 4	TTRG[1:0]	00	R/W	トランスミット FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。 <ul style="list-style-type: none"> 00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) * <p>【注】 * () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>

ビット	ビット名	初期値	R/W	説 明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TFRST	0	R/W	トランスミット FIFO データレジスタリセット トランスミット FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続しループバックテストを許可します。 0: ループバックテストを禁止 1: ループバックテストを許可

17.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) とレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。

17.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

SCSPTR は、常に CPU による読み出し／書き込みが可能です。SCSPTR は、パワーオンリセット時に H'0050 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値 :	0	0	0	0	0	0	0	0	0	1	0	1	0	不定	0	不定
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	W	R/W	W

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	SCKIO	0	R/W	SCK ポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する
2	SCKDT	不定	W	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
1	SPB2IO	0	R/W	シリアルポートブ레이크入出力 シリアルポートの TXD 端子の出力条件を指定します。実際に TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0 : TXD 端子に SPB2DT ビットの値を出力しない 1 : TXD 端子に SPB2DT ビットの値を出力する

ビット	ビット名	初期値	R/W	説明
0	SPB2DT	不定	W	シリアルポートブレイクデータ シリアルポートの RXD 端子の入力データおよび TXD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TXD 端子を出力に設定した場合、SPB2DT ビットの値が TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RXD 端子の値が読み出されます。ただし PFC で RXD 入力、TXD 出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル

17.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し／書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、または正常に受信を完了したことを表示* ¹ [クリア条件] • パワーオンリセット • ORER=1 の状態を読み出した後、0を書き込んだとき 1：受信時にオーバランエラーが発生したことを表示* ² [セット条件] • 受信 FIFO にいっぱい 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき 【注】 * ¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² レシーブ FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

17.3.13 シリアル拡張モードレジスタ (SCSEMR)

SCSEMR は、SCIF の機能を拡張する 8 ビットのレジスタです。調歩同期式モード時の基本クロックを設定することにより転送レートを 2 倍にすることができます。

クロック同期式モード時は必ず H'00 に設定してください。SCSEMR は、パワーオンリセット時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ABCS	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は、調歩同期式モード (SCSMR の C/ \bar{A}) ビット=0 のとき有効です。 0: 転送レートの 16 倍の周波数の基本クロックで動作 1: 転送レートの 8 倍の周波数の基本クロックで動作
6~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.4 動作説明

17.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信／受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。これを表 17.14 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 の組み合わせで決まります。これを表 17.15 に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 17.14 SCSMR の設定値と SCIF 送信/受信フォーマット

SCSMR				モード	SCIF 送信/受信フォーマット				
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長		
C/ \bar{A}	CHR	PE	STOP						
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット		
			1				2 ビット		
		1	0				あり	1 ビット	
			1					2 ビット	
	1	0	0		調歩同期式モード	7 ビット	なし	1 ビット	
			1					2 ビット	
		1	0					あり	1 ビット
			1						2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし		

【記号説明】 x : Don't care

表 17.15 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR ビット 7	SCSCR		モード	クロック ソース	SCK 端子の機能
	ビット 1	ビット 0			
	C/ \bar{A}	CKE1			
0	0	0	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			設定禁止
1	0	x	クロック同期式モード	内部	同期クロックを出力
		0			外部
	1	1		設定禁止	

【記号説明】 x : Don't care

17.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 17.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

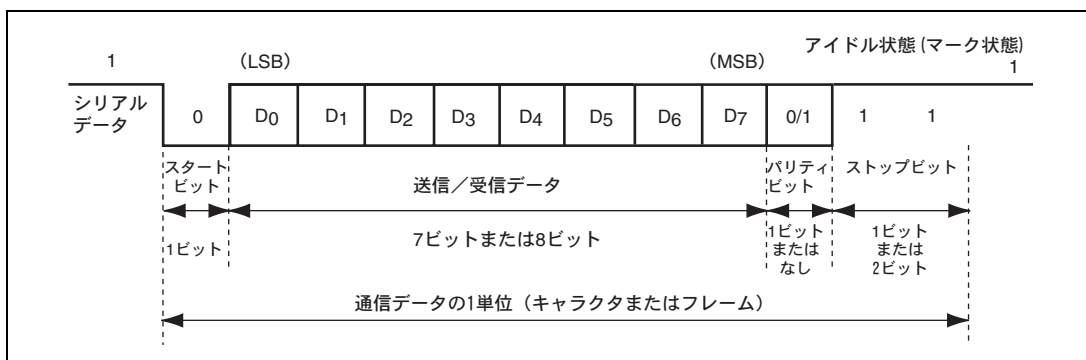


図 17.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 17.16 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 17.16 シリアル送信／受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信／受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ							STOP				
		1	START	8ビットデータ							STOP	STOP			
	1	0	START	8ビットデータ							P	STOP			
		1	START	8ビットデータ							P	STOP	STOP		
1	0	0	START	7ビットデータ						STOP					
		1	START	7ビットデータ						STOP	STOP				
	1	0	START	7ビットデータ						P	STOP				
		1	START	7ビットデータ						P	STOP	STOP			

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の $CKE[1:0]$ の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 17.15 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍の周波数です。

(3) データの送信／受信動作

• SCIF初期化 (調歩同期式モード)

データの送信／受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、トランスミットFIFOデータレジスタ (SCFTDR)、レシーブFIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図17.3にSCIFの初期化フローチャートの例を示します。

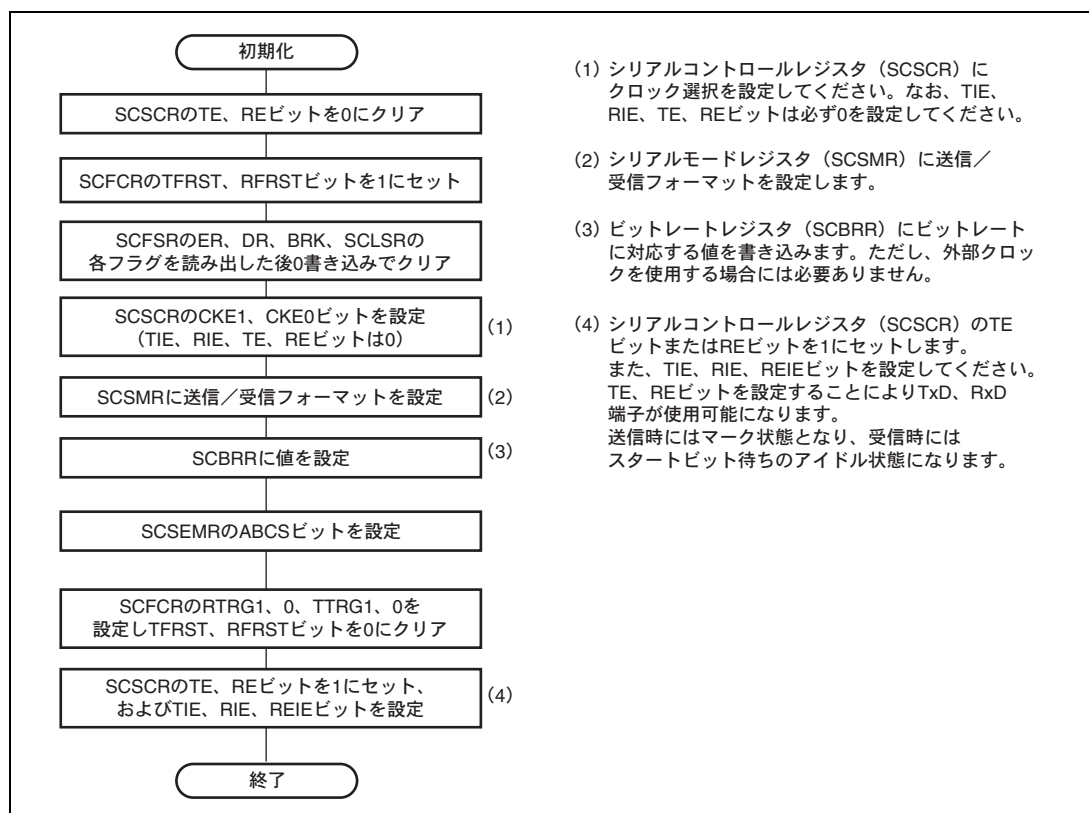


図 17.3 SCIF 初期化フローチャートの例

- シリアルデータ送信（調歩同期式モード）

図17.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

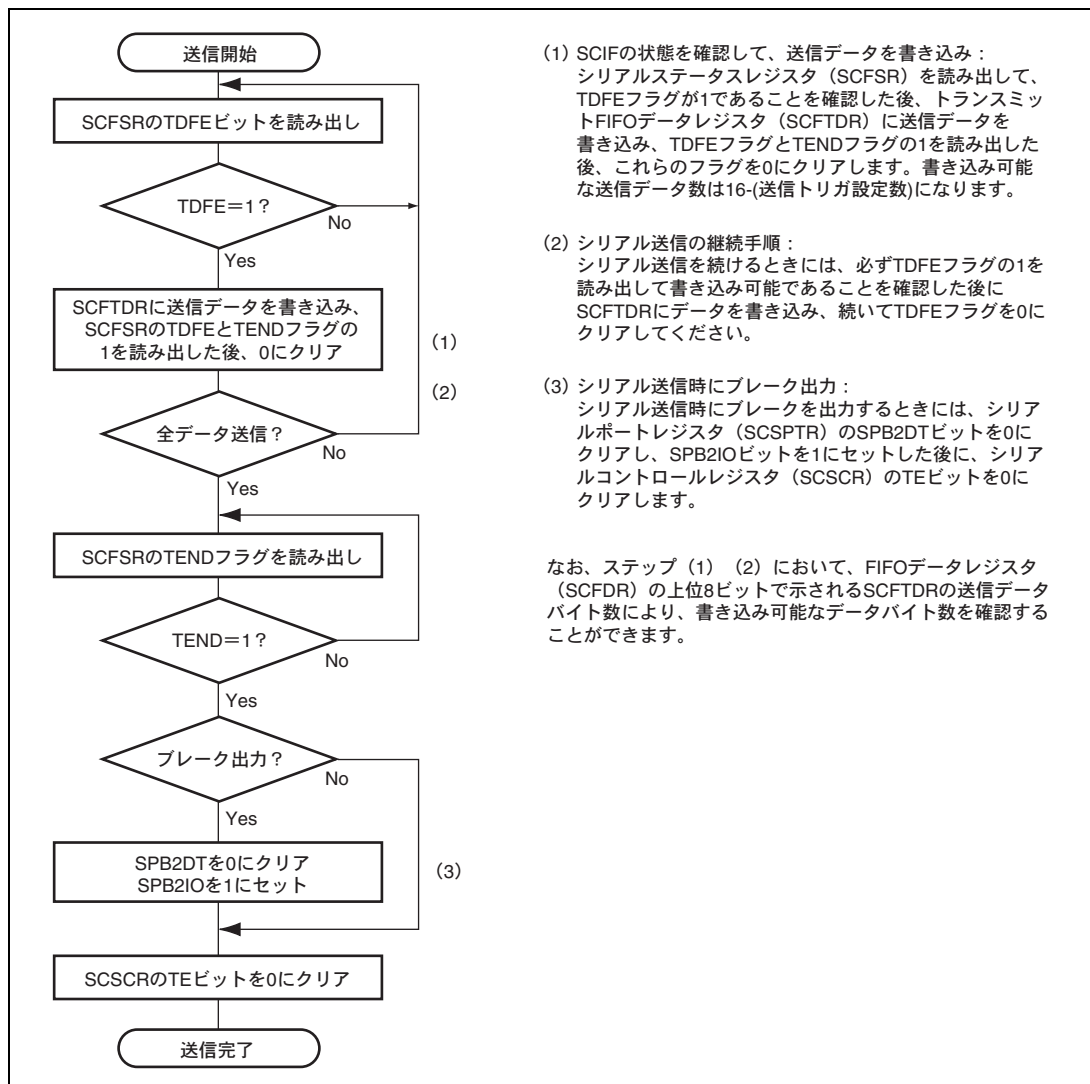


図 17.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTXD端子から送り出されます。

- (a) スタートビット : 1ビットの0が出力されます。
 - (b) 送信データ : 8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット : 1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - (d) ストップビット : 1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図17.5に示します。

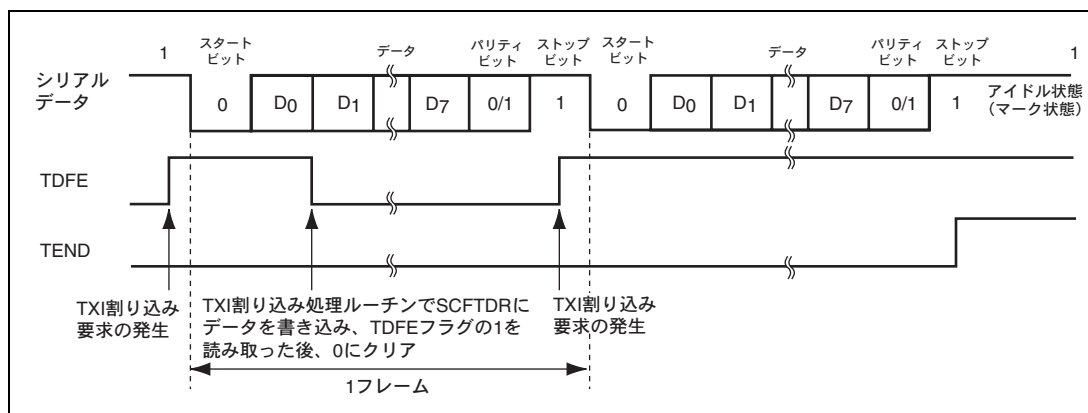


図 17.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

- シリアルデータ受信（調歩同期式モード）

図17.6、図17.7にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

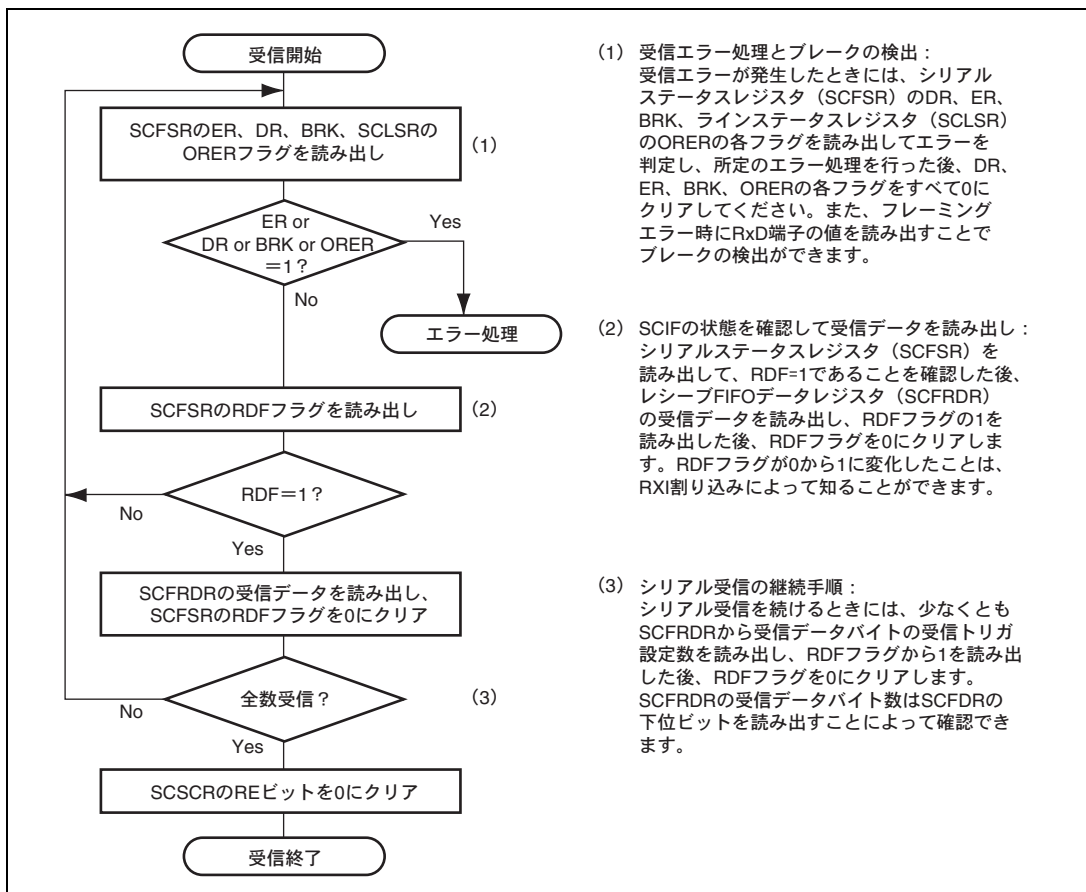


図 17.6 シリアル受信のフローチャートの例 (1)

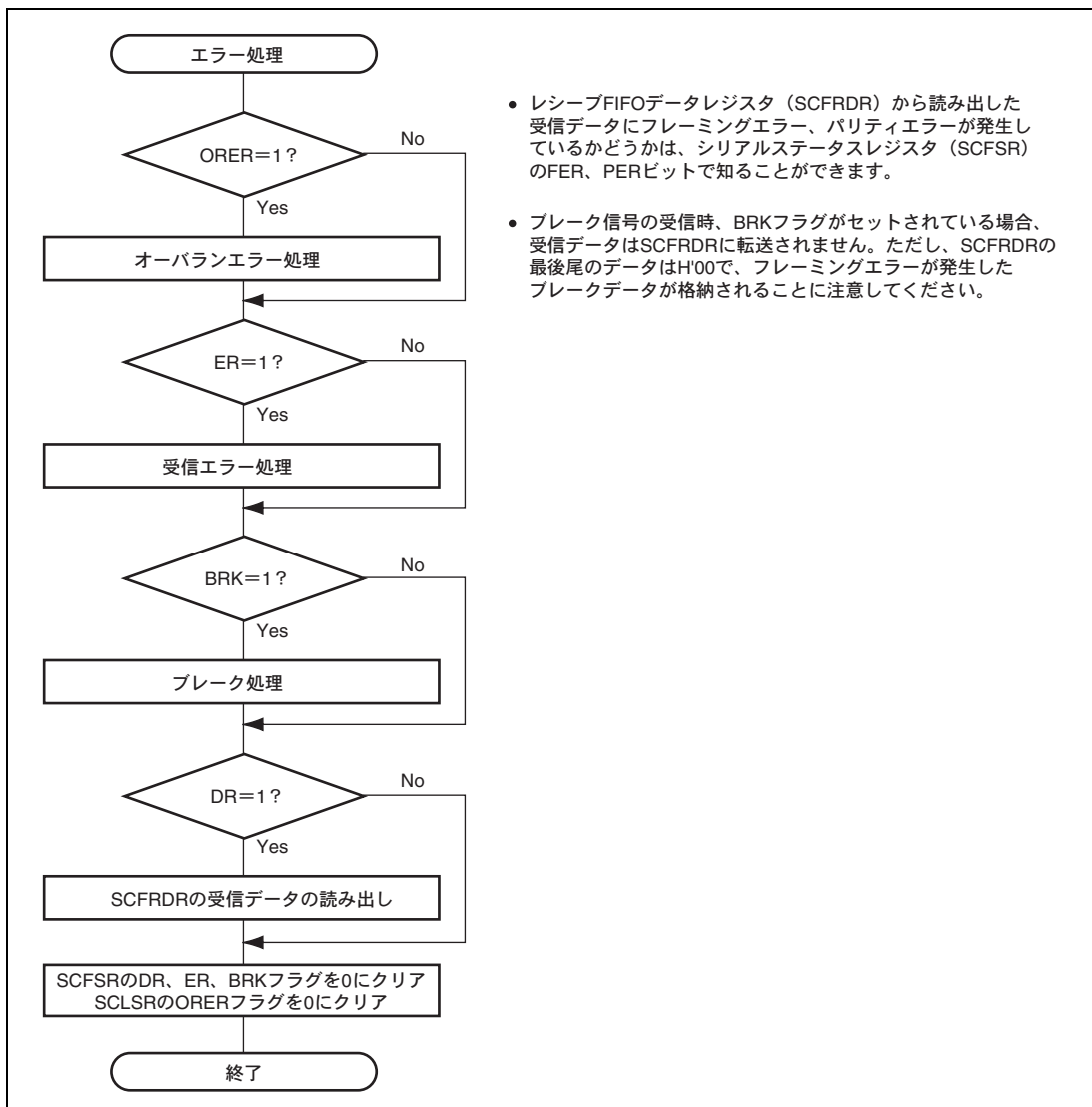


図 17.7 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシフシフトレジスタ (SCRSR) からSCFRDRに転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、レシフFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図17.8に示します。

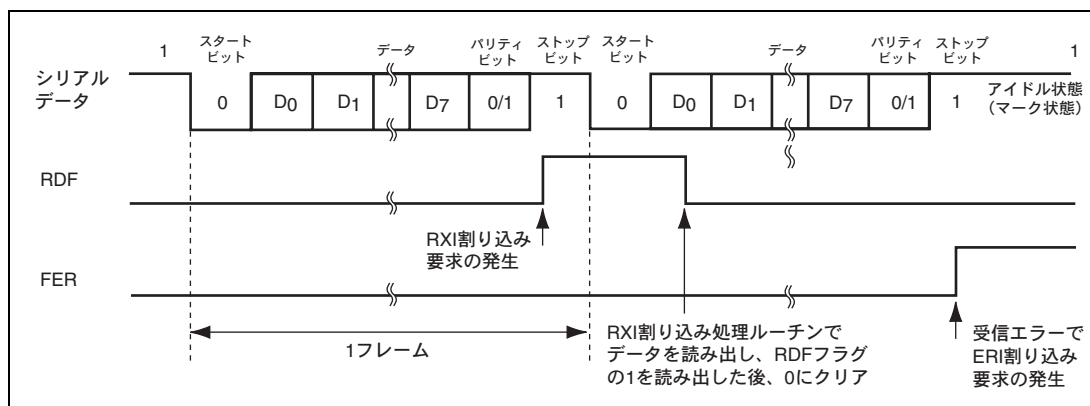


図 17.8 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

17.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 17.9 に示します。

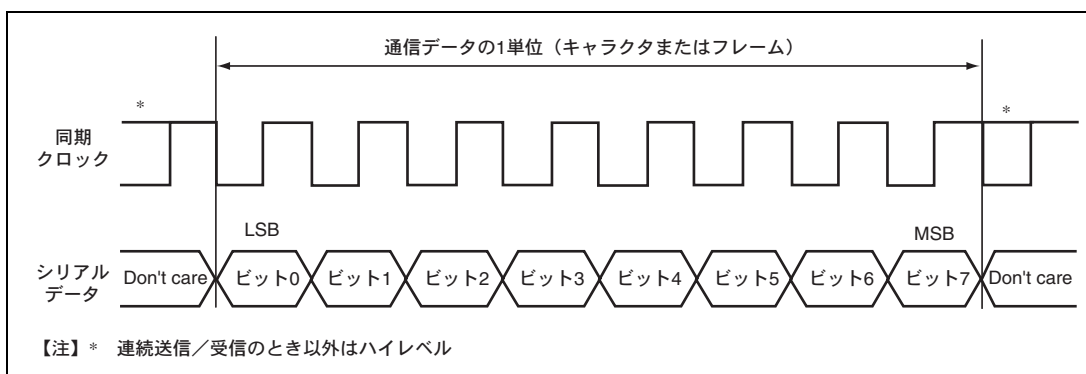


図 17.9 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりがりから次の立ち下がりがりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIFは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMRの $C\bar{A}$ ビットとSCSCRのCKE[1:0]の設定により内蔵ボーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部同期クロックの2種類から選択できます。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択するとSCSCRのREビットが1の間、受信FIFO内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

• SCIFの初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCSCR）のTE、REビットを0にクリアした後、以下の手順でSCIFを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとトランスミットシフトレジスタ（SCTSR）が初期化されます。REビットを0にクリアしてもRDF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ（SCRDR）の内容は保持されますので注意してください。

図 17.10 に SCIF の初期化フローチャートの例を示します。

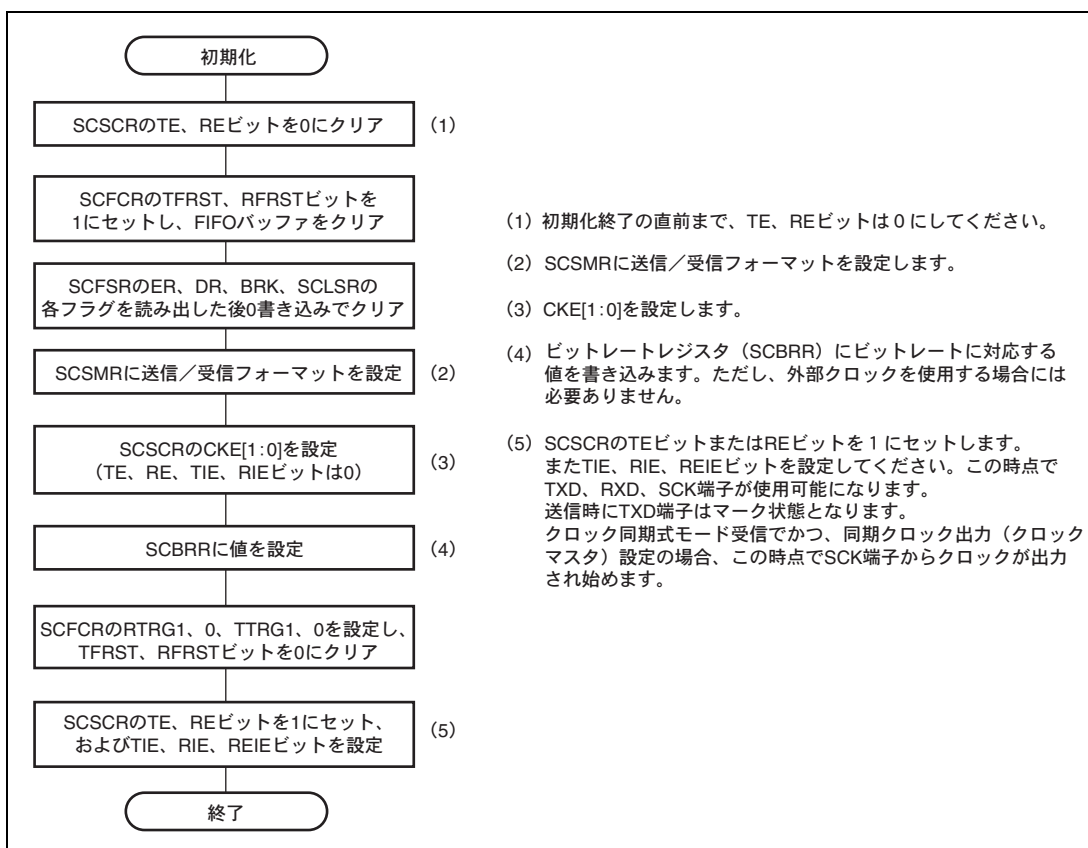


図 17.10 SCIF 初期化フローチャートの例

● シリアルデータ送信 (クロック同期式モード)

図17.11にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

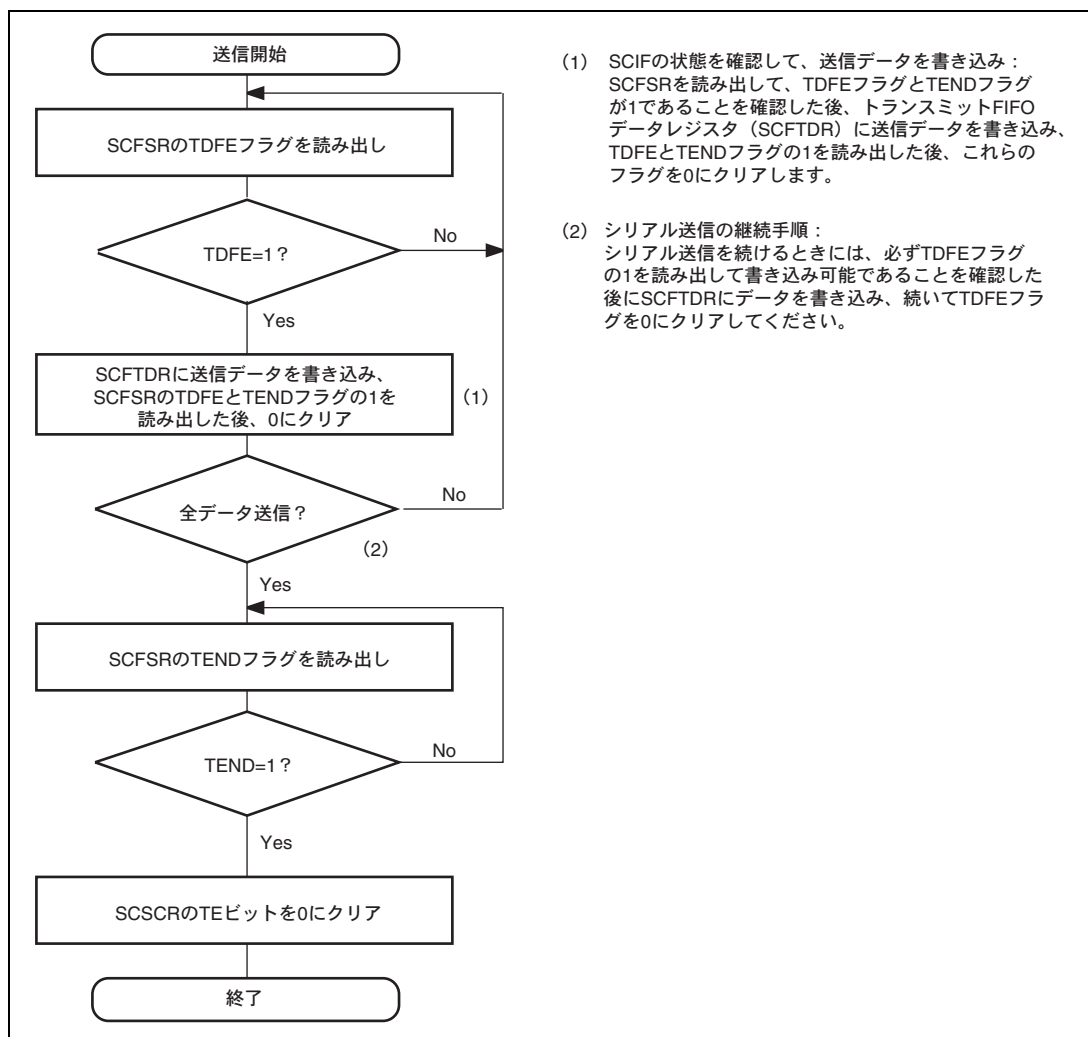


図 17.11 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTXD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TXD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図17.12にSCIFの送信時の動作例を示します。

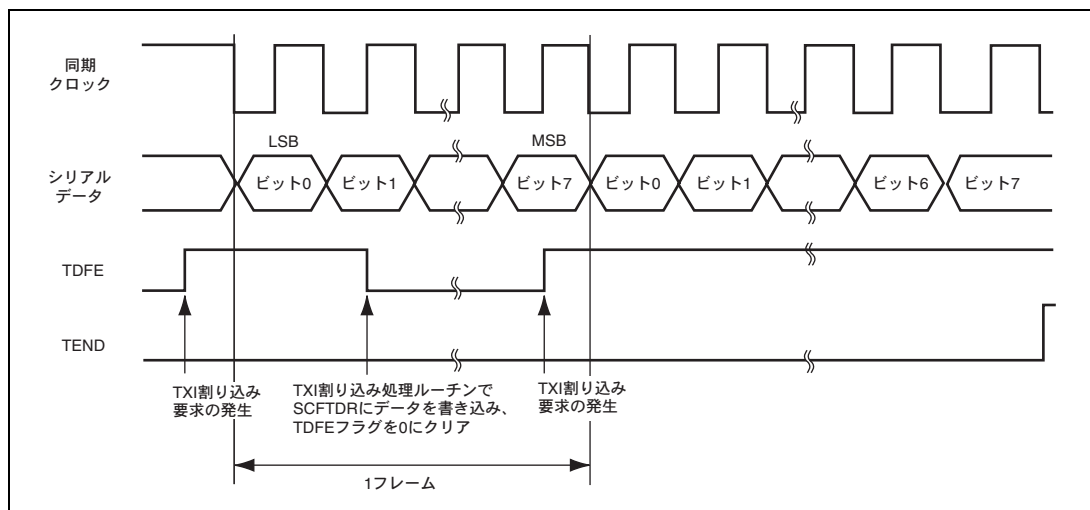


図 17.12 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図17.13、図17.14にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

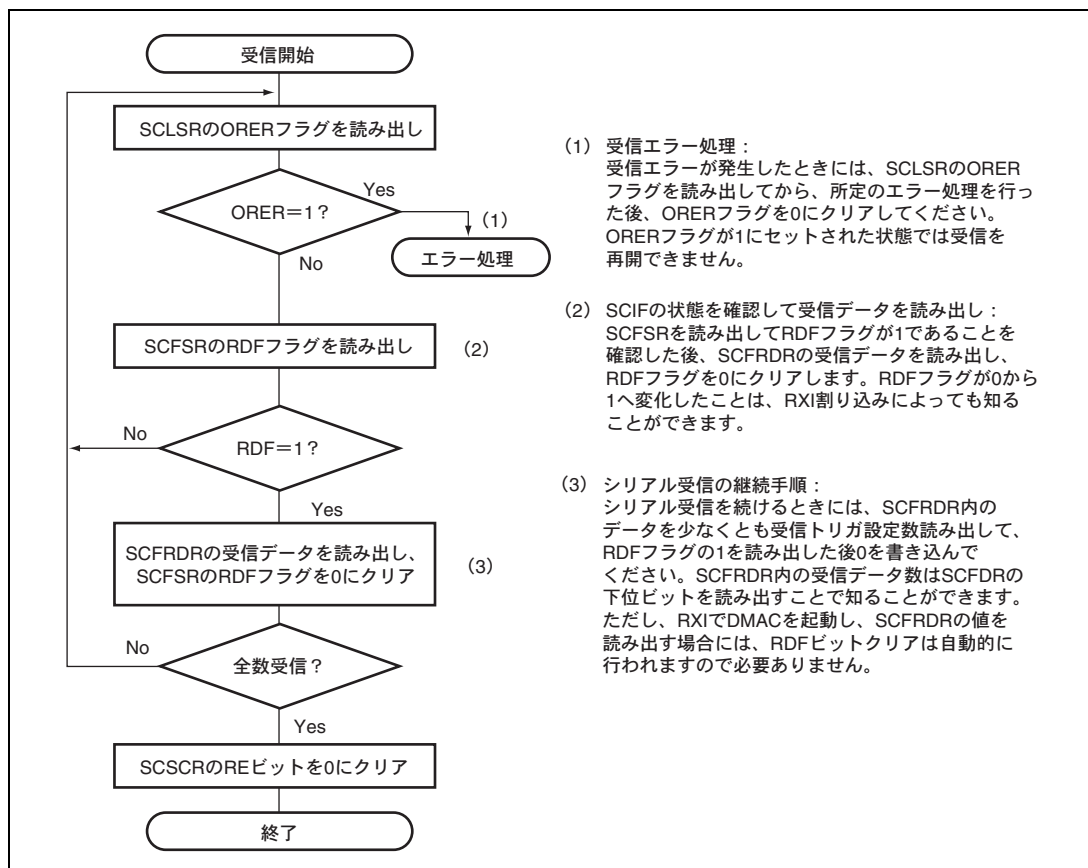


図 17.13 シリアル受信のフローチャートの例 (1)

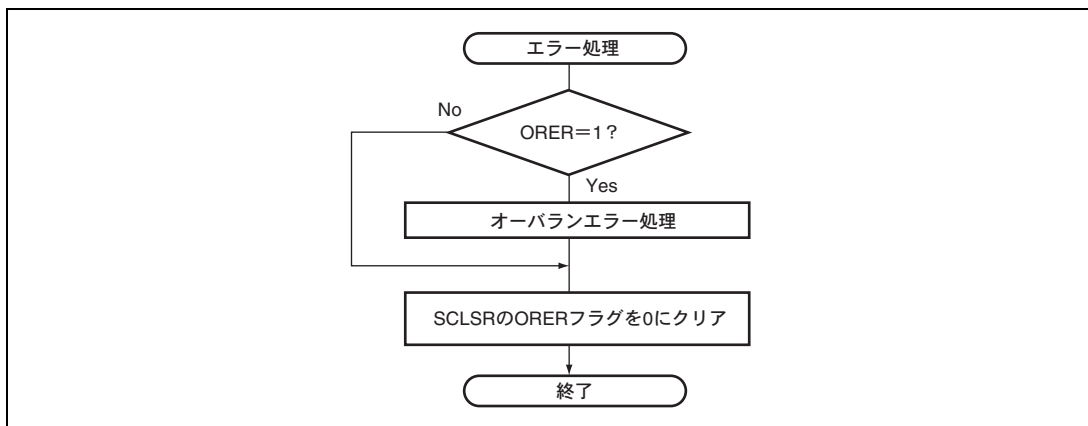


図 17.14 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたとき RDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図17.15にSCIFの受信時の動作例を示します。

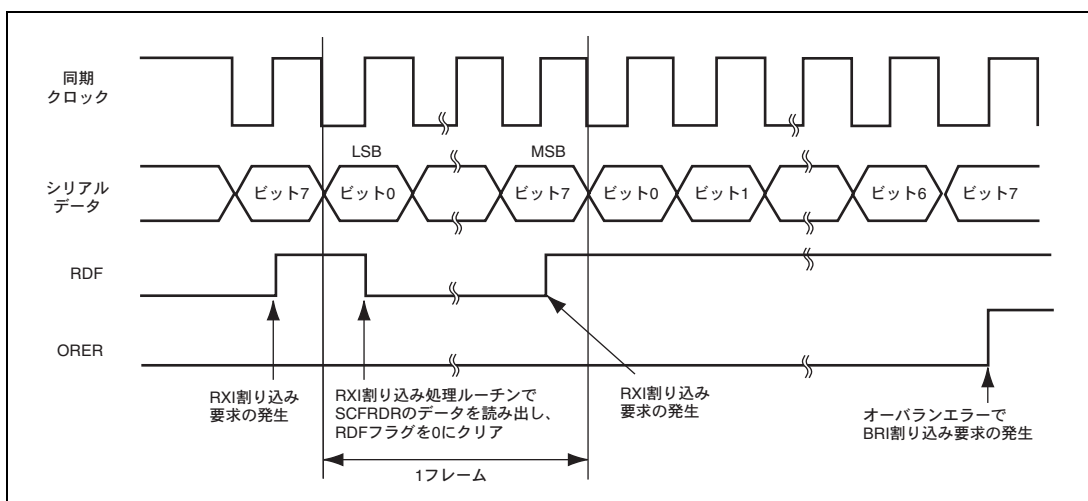


図 17.15 SCIF の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式モード)

図17.16にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

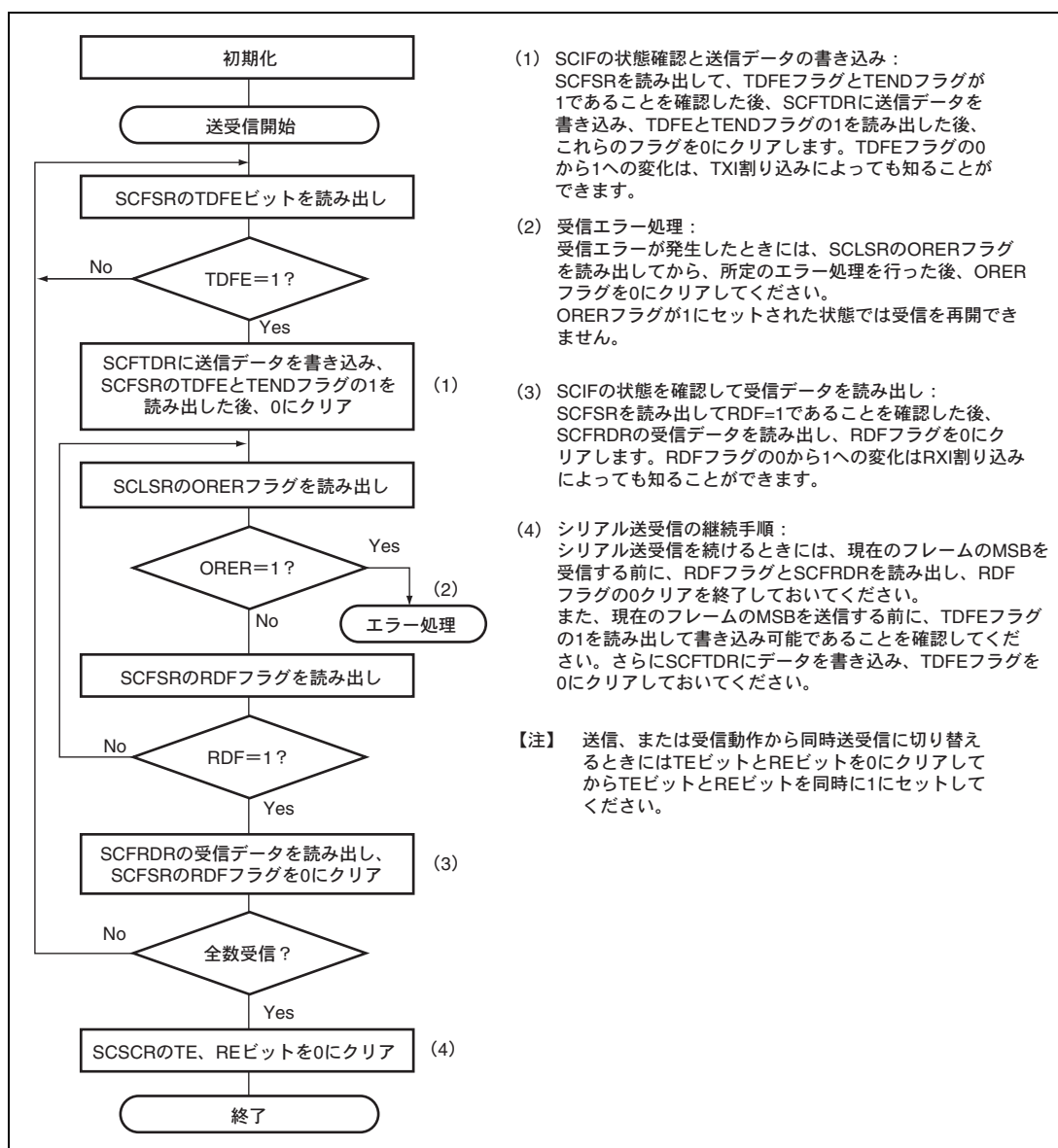


図 17.16 シリアルデータ送受信フローチャートの例

17.5 SCIF の割り込み

SCIF は、送信 FIFO データエンpty割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 17.17 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

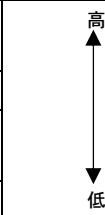
TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC/DTC を起動して、データ転送を行うことができます。DMAC 起動では、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDFE フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC/DTC を起動して、データ転送を行うことができます。DMAC 起動では、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 17.17 SCIF 割り込み要因

割り込み要因	内 容	DMAC/DTC の起動	リセット解除時 優先順位
BRI	ブレイク (BRK) またはオーバラン (ORER) による割り込み	不可	
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンpty (TDFE) による割り込み	可	

17.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

17.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、トランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE のクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

17.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、レシーブ FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

17.6.3 DMAC/DTC 使用上の制約事項

TXI 割り込み要求により DMAC/DTC で SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

17.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

17.6.5 ブレークの送り出し

TXD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子から 0 が出力されます。

17.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています*。受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 17.17 に示します。

SCSEMR の ABCS ビット=1 のとき、SCIF はデータを 1 ビット期間の 8 倍の周波数クロックの 4 番目でサンプリングします。

【注】 * SCSEMR の ABCS=0 のときの例です。ABCS=1 のときはビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロック 4 番目の立ち上がりエッジでサンプリングします。

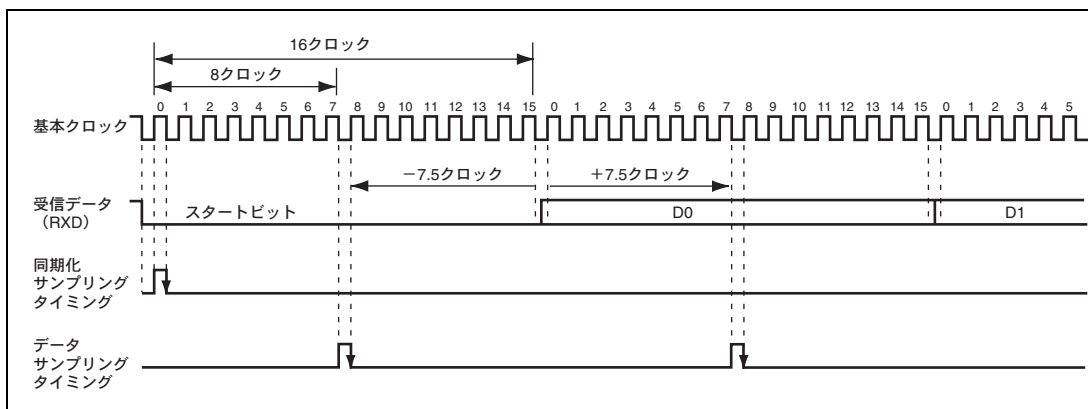


図 17.17 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16)

D : クロックデューティ (D:0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

17.6.7 シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグについて

シリアルステータスレジスタ (SCFSR) の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ (SCFRDR) のステータスフラグです。CPU もしくは DTC/DMAC によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグは消えてしまいます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO レジスタを読み出してください。

18. ルネサスシリアルペリフェラルインタフェース (RSPI)

本 LSI は、独立した 1 チャンネルのルネサスシリアルペリフェラルインタフェース (RSPI) を備えています。RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。

18.1 特長

本 LSI の RSPI には次のような特長があります。

1. RSPI 転送機能

- MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能。
- マスタ / スレーブモードでのシリアル通信が可能。
- モードフォルトエラー検出が可能。
- オーバランエラー検出が可能。
- シリアル転送クロックの極性を変更可能。
- シリアル転送クロックの位相を変更可能。

2. データフォーマット

- MSB ファースト / LSB ファーストの切り替え可能。
- 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能。
- 送信 / 受信バッファは 128 ビット。
- 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)。

3. ビットレート

- マスタ時の RSPCK は、最大 4096 分周
内蔵ポーレートジェネレータで P ϕ を分周して RSPCK を生成。
- スレーブ時のシリアルクロックは、最大 8 分周
外部入力クロックをシリアルクロックとして使用。

4. バッファ構成

- 送信 / 受信バッファ構成はダブルバッファ。

5. SSL制御機能

- 4本のSSL信号 (SSL0~SSL3) あり。
- シングルマスタ設定時には、SSL0~SSL3信号を出力。
- マルチマスタ設定時には、SSL0信号は入力、SSL1~SSL3信号を出力またはHi-Z。
- スレーブ設定時には、SSL0信号は入力、SSL1~SSL3信号はHi-Z。
- SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能。
設定範囲：1~8 RSPCK。設定単位：1 RSPCK
- RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能。
設定範囲：1~8 RSPCK。設定単位：1 RSPCK
- 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能。
設定範囲：1~8 RSPCK。設定単位：1RSPCK
- SSL極性変更機能。

6. マスタ転送時の制御方式

- 最大4コマンドで構成された転送をシーケンシャルにループ実行可能。
- 各コマンドに設定可能な項目は、以下のとおり。
SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。
- DMACによる送信バッファへのライトで転送を起動可能。
- DTCによる送信バッファへのライトで転送を起動可能。
- CPUによるSPTEFビットクリアで転送を起動可能。
- SSLネゲート時のMOSI信号値を設定可能。

7. 割り込み要因

- マスカブルな割り込み要因あり。
 - ・ RSPI受信割り込み (受信バッファフル)。
 - ・ RSPI送信割り込み (送信バッファエンプティ)。
 - ・ RSPIエラー割り込み (モードフォルト、オーバラン)。

8. その他

- ループバックモードあり。
- CMOS/オープンドレイン出力切り替え機能あり。
- RSPIディスエーブル (初期化) 機能あり。

18.1.1 内部ブロック図

図 18.1 に RSPI 内部ブロック図を示します。

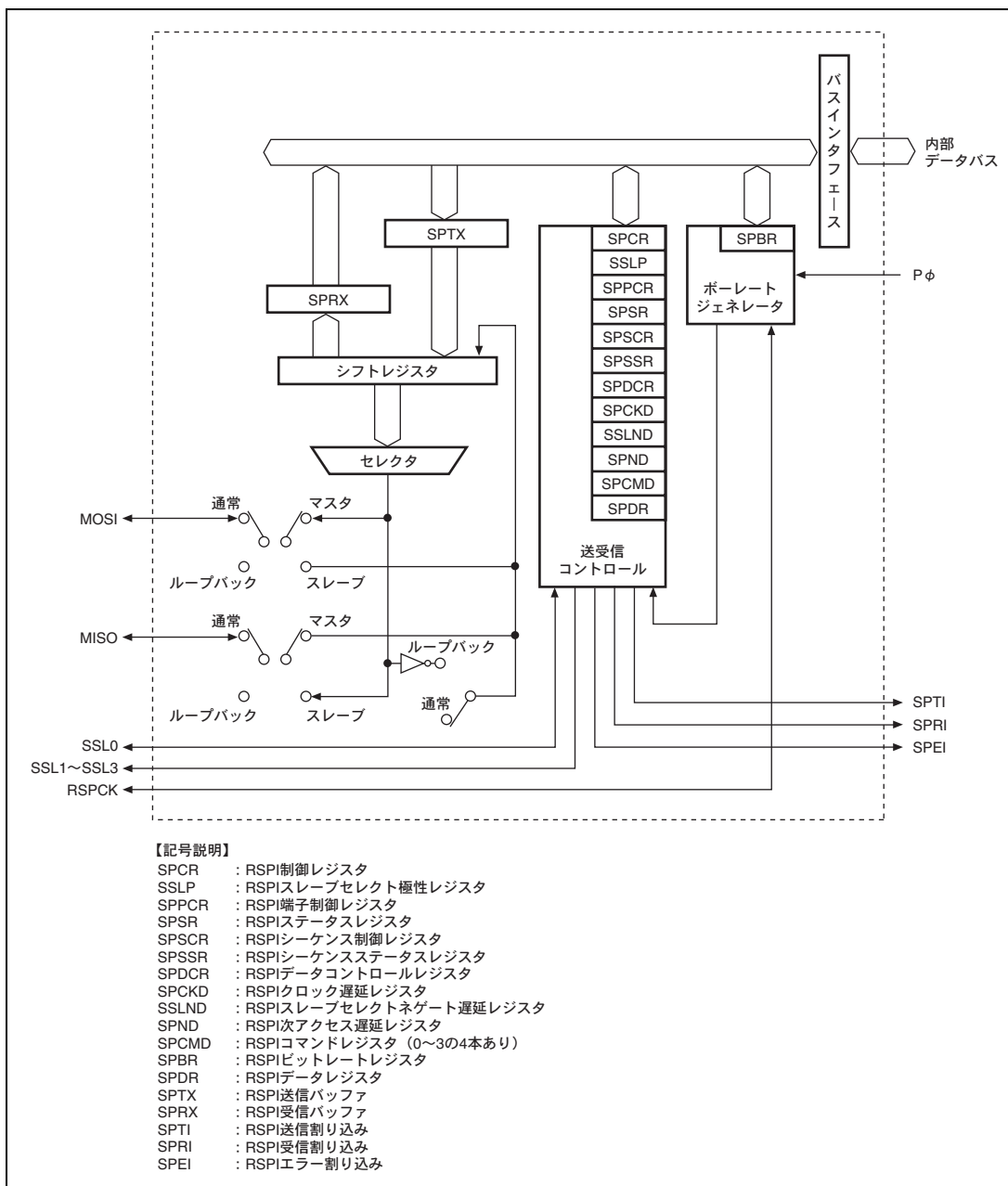


図 18.1 RSPIのブロック図

18.2 入出力端子

RSPI は、表 18.1 に示すシリアル端子を持っています。SSL0 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に RSPI が自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ/スレーブ設定と SSL0 入力レベルに応じて、RSPI が自動的に切り替えます(「18.4.2 RSPI 端子の制御」を参照)。

表 18.1 端子構成

名 称	端子名	入出力	機 能
RSPI クロック端子	RSPCK	入出力	RSPI のクロック入出力
マスタ送出データ端子	MOSI	入出力	RSPI のマスタ送出データ
スレーブ送出データ端子	MISO	入出力	RSPI のスレーブ送出データ
スレーブセレクト 0 端子	SSL0	入出力	RSPI のスレーブセレクト
スレーブセレクト 1 端子	SSL1	出力	RSPI のスレーブセレクト
スレーブセレクト 2 端子	SSL2	出力	RSPI のスレーブセレクト
スレーブセレクト 3 端子	SSL3	出力	RSPI のスレーブセレクト

18.3 レジスタの説明

RSPI には、表 18.2 に示す内部レジスタがあります。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。

表 18.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
RSPI 制御レジスタ	SPCR	R/W	H'00	H'FFFFB000	8、16
RSPI スレーブセレクト極性レジスタ	SSLP	R/W	H'00	H'FFFFB001	8
RSPI 端子制御レジスタ	SPPCR	R/W	H'00	H'FFFFB002	8、16
RSPI ステータスレジスタ	SPSR	R/W	H'22	H'FFFFB003	8
RSPI データレジスタ	SPDR	R/W	H'00000000	H'FFFFB004	16、32*
RSPI シーケンス制御レジスタ	SPSCR	R/W	H'00	H'FFFFB008	8、16
RSPI シーケンスステータスレジスタ	SPSSR	R	H'00	H'FFFFB009	8
RSPI ビットレートレジスタ	SPBR	R/W	H'FF	H'FFFFB00A	8、16
RSPI データコントロールレジスタ	SPDCR	R/W	H'00	H'FFFFB00B	8
RSPI クロック遅延レジスタ	SPCKD	R/W	H'00	H'FFFFB00C	8、16
RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	R/W	H'00	H'FFFFB00D	8
RSPI 次アクセス遅延レジスタ	SPND	R/W	H'00	H'FFFFB00E	8
RSPI コマンドレジスタ 0	SPCMD0	R/W	H'070D	H'FFFFB010	16
RSPI コマンドレジスタ 1	SPCMD1	R/W	H'070D	H'FFFFB012	16
RSPI コマンドレジスタ 2	SPCMD2	R/W	H'070D	H'FFFFB014	16
RSPI コマンドレジスタ 3	SPCMD3	R/W	H'070D	H'FFFFB016	16

【注】 * SPLW で設定したアクセスサイズでアクセスしてください。

18.3.1 RSPI 制御レジスタ (SPCR)

SPCR は、RSPI の動作モードを設定するためのレジスタです。SPCR は、常に CPU による読み出し／書き込みが可能です。SPE ビットが 1 で RSPI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	SPMS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	SPRIE	0	R/W	RSPI 受信割り込みイネーブル RSPI がシリアル転送完了後の受信バッファ書き込みを検出し、RSPI ステータスレジスタ (SPSR) の SPRF ビットを 1 にした場合の RSPI 受信割り込み要求の発生を許可／禁止するためのビットです。 0 : RSPI 受信割り込み要求の発生を禁止する 1 : RSPI 受信割り込み要求の発生を許可する
6	SPE	0	R/W	RSPI 機能イネーブル 本ビットを 1 にすることにより、RSPI 機能が有効になります。RSPI ステータスレジスタ (SPSR) の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません (「18.4.7 エラー検出」を参照)。SPE ビットを 0 にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます (「18.4.8 RSPI の初期化」を参照)。 0 : RSPI 機能は無効化する 1 : RSPI 機能を有効化する
5	SPTIE	0	R/W	RSPI 送信割り込みイネーブル RSPI が送信バッファエンプティを検出し、RSPI ステータスレジスタ (SPSR) の SPTEF ビットを 1 にした場合の RSPI 送信割り込み要求の発生を許可／禁止するためのビットです。 RSPI ディスエーブル (SPE ビットが 0) の状態では、SPTEF ビットが 1 になります。このため、RSPI ディスエーブル状態で SPTIE を 1 に設定すると、RSPI 送信割り込み要求が発生することに注意してください。 0 : RSPI 送信割り込み要求の発生を禁止する 1 : RSPI 送信割り込み要求の発生を許可する

ビット	ビット名	初期値	R/W	説明
4	SPEIE	0	R/W	<p>RSPI エラー割り込みイネーブル</p> <p>RSPI がモードフォルトエラーを検出して RSPI ステータスレジスタ (SPSR) の MODF ビットを 1 にした場合、または RSPI がオーバランエラーを検出して SPSR の OVRF ビットを 1 にした場合の RSPI エラー割り込み要求の発生を許可/禁止するためのビットです(「18.4.7 エラー検出」を参照)。</p> <p>0 : RSPI エラー割り込み要求の発生を禁止する 1 : RSPI エラー割り込み要求の発生を許可する</p>
3	MSTR	0	R/W	<p>RSPI マスタ/スレーブモード選択</p> <p>RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL0~SSL3 端子の方向を決定します。</p> <p>0 : スレーブモード 1 : マスタモード</p>
2	MODFEN	0	R/W	<p>モードフォルトエラー検出イネーブル</p> <p>モードフォルトエラーの検出を許可/禁止するためのビットです(「18.4.7 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSL0 端子の入出力方向を決定します(「18.4.2 RSPI 端子の制御」を参照)。</p> <p>0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する</p>
1	—	0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
0	SPMS	0	R/W	<p>RSPI モード選択ビット</p> <p>SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。</p> <p>クロック同期式動作を行う場合は SSL 端子を使用せず、RSPCK 端子、MOSI 端子、MISO 端子の 3 端子を用いて通信を行います。また、クロック同期式動作を行う場合は RSPI コマンドレジスタ (SPCMD) の CPHA を 1 に設定してください。CPHA を 0 に設定した場合の動作は、保証されません。</p> <p>0 : SPI 動作 (4 線式) 1 : クロック同期式動作</p>

18.3.2 RSPI スレーブセレクト極性レジスタ (SSLP)

SSLP は、RSPI の SSL0~3 信号の極性を設定するためのレジスタです。SSLP は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SSLP を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	SSL3P	SSL2P	SSL1P	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	SSL[3:0]P	0000	R/W	SSL 信号極性設定ビット SSL 信号の極性を設定するためのビットです。SSLiP (i は 3~0) の設定値が、SSLi 信号のアクティブ極性を示します。 0 : SSLi 信号は 0 アクティブ 1 : SSLi 信号は 1 アクティブ

18.3.3 RSPI 端子制御レジスタ (SPPCR)

SPPCR は、RSPI の端子モードを設定するために使用されるレジスタです。SPPCR は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	—	—	MOIFE	MOIFV	—	SPOM	—	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの RSPI が、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、RSPI は MOIFV ビットに設定された固定値を MOSI に出力します。 0：MOSI 出力値は前回転送の最終データ 1：MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、RSPI は MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0：MOSI アイドル固定値は 0 1：MOSI アイドル固定値は 1
3	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SPOM	0	R/W	RSPI 出力端子モード RSPI の出力端子を CMOS 出力/オープンドレイン出力に設定するためのビットです。 0：CMOS 出力 1：オープンドレイン出力
1	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	SPLP	0	R/W	RSPI ループバック SPLP ビットを 1 にすると、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。（ループバックモード） 0：通常モード 1：ループバックモード

18.3.4 RSPI ステータスレジスタ (SPSR)

SPSR は、RSPI の動作状態を示すフラグを格納したレジスタです。SPSR は、常に CPU による読み出しが可能です。CPU から SPSR への書き込みは、一定条件下においてのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	SPRF	-	SPTEF	-	-	MODF	MIDLE	OVRF
初期値 :	0	0	1	0	0	0	1	0
R/W :	R/(W)*	R	R/(W)*	R	R	R/(W)*	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	SPRF	0	R/(W)*	<p>RSPI 受信バッファフルフラグ</p> <p>RSPI データレジスタ (SPDR) の受信バッファの状態を示すビットです。SPRF ビットが0の状態ではシリアル転送が終了すると、RSPI はシフトレジスタから SPDR に受信データを転送して、このビットを1にします。また、RSPI は全二重同期式のシリアル通信を行いますので、送信データの最後尾ビットの送信時でもあります。</p> <p>SPRF ビットが1の状態ではシリアル転送が終了した場合には、RSPI はシフトレジスタから SPDR に受信データを転送しません。SPSR の OVRF ビットが1の状態では、SPRF ビットを0から1に変化させることができません(「18.4.7 エラー検出」を参照)。</p> <p style="margin-left: 20px;">0 : SPDR に有効な受信データなし 1 : SPDR に有効な受信データあり</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SPRF=1 の状態を読み出した後、SPRF に0を書き込んだとき • RXI 割り込みにより DMAC が起動され、DMAC が SPFC で指定されたステート数のデータを SPDR からリードしたとき • RXI 割り込みにより DTC が起動され、DTC が SPFC で指定されたステート数のデータを SPDR からリードしたとき (DTC の転送カウンタ値が H'0000 になったとき DISEL ビットが1の場合を除く) • パワーオンリセット <p>[セット条件]</p> <ul style="list-style-type: none"> • SPFC で指定されたステート数のシリアル受信が正常終了したとき
6	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R/(W)*	<p>RSPI 送信バッファエンプティフラグ</p> <p>RSPI データレジスタ (SPDR) の送信バッファの状態を示すビットです。SPTEF クリア状態で、かつシフトレジスタが空の場合、送信バッファからシフトレジスタへデータがコピーされます。</p> <p>CPU/DMAC/DTC による SPDR に対する書き込みは、SPTEF ビットが 1 の場合にのみ有効です。SPTEF が 0 の状態で、CPU/DMAC/DTC が SPDR の送信バッファを書き込んだ場合には、送信バッファのデータは更新されません。</p> <p>0 : 送信バッファにデータあり 1 : 送信バッファにデータなし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SPTEF=1 の状態を読み出した後、SPTEF に 0 を書き込んだとき TXI 割り込みにより DMAC が起動され、DMAC が SPFC で指定されたステート数のデータを SPDR にライトしたとき TXI 割り込みにより DTC が起動され、DTC が SPFC で指定されたステート数のデータを SPDR にライトしたとき (DTC の転送カウンタ値が H'0000 になったとき DISEL ビットが 1 の場合を除く) <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信バッファからシフトレジスタに送信データが転送されたとき
4, 3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
2	MODF	0	R/(W)*	<p>モードフォルトエラーフラグ</p> <p>モードフォルトエラーの発生状況を示すビットです。SSL0 信号のアクティブレベルは、RSPI スレープセレクト極性レジスタ (SSLP) の SSL0P ビットによって決定されます。</p> <p>0 : モードフォルトエラーなし 1 : モードフォルトエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット MODF=1 の状態を読み出した後、MODF に 0 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> マルチマスタモードの場合に SSL0 端子の入カレベルがアクティブレベルになったとき スレープモードの場合にデータ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされたとき

ビット	ビット名	初期値	R/W	説 明
1	MIDLE	1	R	<p>RSPI アイドルフラグ</p> <p>RSPI の転送状況を示すビットです。</p> <p>0 : RSPI 転送状態</p> <p>1 : RSPI アイドル状態</p> <p>[セット条件]</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • SPCR の SPE ビットが 0 (RSPI 初期化) • SPSR の SPTEF ビットが 1、SPSSR の SPCP ビットが 00、RSPI 内部シーケンサがアイドル状態へ遷移 <p>スレーブモード時</p> <ul style="list-style-type: none"> • SPCR の SPE ビットが 0 <p>[クリア条件]</p> <p>セット条件を満たさなかったとき</p>
0	OVRF	0	R/(W)*	<p>オーバランエラーフラグ</p> <p>オーバランエラーの発生状況を示すビットです。</p> <p>0 : オーバランエラーなし</p> <p>1 : オーバランエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • OVRF=1 の状態を読み出した後、OVRF に 0 を書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> • SPRF ビットが 1 にされた状態でシリアル転送が終了したとき

【注】 * フラグをクリアするため 1 を読み出した後に 0 を書き込むことのみ可能です。

18.3.5 RSPI データレジスタ (SPDR)

SPDR は、RSPI 送受信のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード/ライトは、RSPI データコントロールレジスタ (SPDCR) の RSPI ロングワードアクセス/ワードアクセス設定ビット (SPLW) の設定によって、ワード/ロングワードで行ってください。SPLW が 0 のとき、SPDR は、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW が 1 のとき、SPDR は、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

バッファは FIFO になっており 4 フレームのデータをリードする場合 SPDR を 4 回読み出すことで受信した順番にデータを取り出すことができます。4 フレームを送信する場合 SPDR を 4 回書くことで実現できます。

SPDR の使用するフレーム長は RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1 ~ SPFC0) によって決定され、使用するビット長は RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0) によって決定されます。

CPU/DTC/DMAC が SPDR への書き込みを要求した場合には、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 にされていれば、RSPI が SPDR の送信バッファにデータを書き込みます。SPTEF ビットが 0 の状態では、RSPI は SPDR の送信バッファを更新しません。

CPU/DTC/DMAC が SPDR からの読み出しを要求した場合には、RSPI データコントロールレジスタ (SPDCR) の RSPI 受信/送信データ選択ビット (SPRDTD) が 0 であれば、受信バッファを読み出し、1 であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 の状態では、送信バッファを読み出しません。

通常の使用方法では、SPRDTD を 0 とし、SPSR の SPRF ビットの 1 状態 (受信バッファに未リードのデータが格納された状態) で、CPU/DTC/DMAC による受信バッファ読み出しを実行します。SPSR の SPRF ビットまたは OVRF ビットが 1 の状態では、RSPI はシリアル転送終了時に SPDR の受信バッファを更新しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3.6 RSPI シーケンス制御レジスタ (SPSCR)

SPSCR は、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。SPSCR は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSLN[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。															
1, 0	SPSLN[1:0]	00	R/W	<p>シーケンス長設定</p> <p>マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPI は SPSLN[1:0] ビットに設定されたシーケンス長に応じて、参照する RSPI コマンドレジスタ 0~3 (SPCMD0~3) と参照順を変更します。SPSLN[1:0] ビットの設定値とシーケンス長、RSPI が参照する SPCMD レジスタの関係は以下のとおりです。なお、スレーブモードの RSPI では、常に SPCMD0 が参照されます。</p> <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="padding-right: 20px;">シーケンス長</td> <td style="padding-right: 20px;">参照する SPCMD レジスタ (番号)</td> <td></td> </tr> <tr> <td>00 :</td> <td style="padding-left: 20px;">1</td> <td>0→0→...</td> </tr> <tr> <td>01 :</td> <td style="padding-left: 20px;">2</td> <td>0→1→0→...</td> </tr> <tr> <td>10 :</td> <td style="padding-left: 20px;">3</td> <td>0→1→2→0→...</td> </tr> <tr> <td>11 :</td> <td style="padding-left: 20px;">4</td> <td>0→1→2→3→0→...</td> </tr> </table>	シーケンス長	参照する SPCMD レジスタ (番号)		00 :	1	0→0→...	01 :	2	0→1→0→...	10 :	3	0→1→2→0→...	11 :	4	0→1→2→3→0→...
シーケンス長	参照する SPCMD レジスタ (番号)																		
00 :	1	0→0→...																	
01 :	2	0→1→0→...																	
10 :	3	0→1→2→0→...																	
11 :	4	0→1→2→3→0→...																	

18.3.7 RSPI シーケンスステータスレジスタ (SPSSR)

SPSSR は、RSPI がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPSSR は、常に CPU による読み出しが可能です。CPU から SPSSR への書き込みは無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	SPECM[1:0]	-	-	-	-	SPCP[1:0]
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7, 6	-	0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
5, 4	SPECM[1:0]	00	R	RSPI エラーコマンド RSPI のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP1~SPCP0 ビット) で指されていた RSPI コマンドレジスタ 0~3 (SPCMD0~SPCMD3) を示すビットです。RSPI はエラー検出時にのみ SPECM1~SPECM0 を更新します。RSPI ステータスレジスタ (SPSR) の OVRF ビットと MODF ビットがともに0で、エラーが発生していない場合には、SPECM1~SPECM0 の値には意味がありません。 なお、RSPI のエラー検出機能については、「18.4.7 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「18.4.9 (2) マスタモード動作」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3
3, 2	-	0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1, 0	SPCP[1:0]	00	R	RSPI コマンドポインタ RSPI のシーケンス制御で、現在ポインタで指されている RSPI コマンドレジスタ 0~3 (SPCMD0~3) を示すビットです。 なお、RSPI のシーケンス制御については、「18.4.9 (2) マスタモード動作」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

18.3.8 RSPI ビットレートレジスタ (SPBR)

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。SPBR は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPBR を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR、RSPI コマンドレジスタ (SPCMD0~3) の BRDV[1:0] ビットの設定に関係なく、入力クロックのビットレートに依存します。

ビット :	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートは SPBR の設定値と RSPI コマンドレジスタ (SPCMD0~3) の BRDV1~0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値 (0、1、2、…、255)、N は BRDV1~0 ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(P\phi)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 18.3 に示します。

表 18.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR の設定値 (n)	BRDV[1:0] の設定値 (N)	分周比	ビットレート				
			Pφ = 16MHz	Pφ = 20MHz	Pφ = 32MHz	Pφ = 40MHz	Pφ = 50MHz*
0	0	2	8.0 Mbps	10.0 Mbps	—	—	—
1	0	4	4.0 Mbps	5.0 Mbps	8.0 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	2.67 Mbps	3.3 Mbps	5.33 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	2.0 Mbps	2.5 Mbps	4.0 Mbps	5.0 Mbps	6.25 Mbps
4	0	10	1.6 Mbps	2.0 Mbps	3.2 Mbps	4.0 Mbps	5.00 Mbps
5	0	12	1.33 Mbps	1.67 Mbps	2.67 Mbps	3.33 Mbps	4.17 Mbps
5	1	24	667 kbps	833 kbps	1.33 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	333 kbps	417 kbps	667 kbps	833 kbps	1.04 kbps
5	3	96	167 kbps	208 kbps	333 kbps	417 kbps	520 kbps
255	3	4096	3.9 kbps	4.9 kbps	7.8 kbps	9.8 kbps	10 kbps

【注】 — : 設定禁止

* SH7239B、SH7237B のみ

18.3.9 RSPI データコントロールレジスタ (SPDCR)

SPDCR は、SPDR レジスタに格納できるフレーム数を設定、SPDR レジスタの読み出し、SPDR レジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0)、RSPI シーケンス制御レジスタ (SPSCR) のシーケンス長設定ビット (SPSLN1, 0)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1, 0) の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPDCR は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット :	7	6	5	4	3	2	1	0
	-	-	SPLW	SPRDTD	-	-	SPFC1[1:0]	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SPLW	0	R/W	RSPI ロングワードアクセス/ワードアクセス設定ビット RSPI ロングワードアクセス/ワードアクセス設定ビット (SPLW) は、RSPI データレジスタ (SPDR) へのアクセス幅を設定します。SPLW が 0 のときはワードアクセス、SPLW が 1 のときはロングワードアクセスで SPDR にアクセスしてください。 また、SPLW が 0 のとき、RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0) の設定は、8~16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。 0 : SPDR レジスタへはワードアクセス 1 : SPDR レジスタへはロングワードアクセス
4	SPRDTD	0	R/W	RSPI 受信/送信データ選択ビット RSPI 受信/送信データ選択ビット (SPRDTD) は、RSPI データレジスタ (SPDR) の読み出す値を受信バッファとするか、送信バッファとするか選択します。 送信バッファを読み出した場合、SPDR へ直前に書き込んだ値が読み出されます。送信バッファの読み出しは、RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態であるときに行ってください。 0 : SPDR は受信バッファを読み出す 1 : SPDR は送信バッファを読み出す (ただし、SPTEF ビットが 1 のとき)
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1、0	SPFC[1:0]	00	R/W	<p>フレーム数設定ビット</p> <p>SPDR レジスタに格納できるフレーム数を設定するビットです。RSPI コマンドレジスタ (SPCMD) の RSPI データ長設定ビット (SPB3~0)、RSPI シーケンス制御レジスタ (SPSCR) の RSPI シーケンス長設定ビット (SPSLN1、0)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC1、0) の設定により 1 回の送受信起動で最大 4 フレームを送受信できます。</p> <p>また、SPFC1、SPFC0 は、RSPI ステータスレジスタ (SPSR) の RSPI 受信バッファフルフラグ (SPRF) をセットする受信データ数の設定を行います。表 18.4 に SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合には、以後の動作は保証されません。</p>

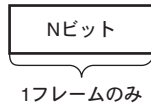
表 18.4 フレーム数設定ビットの組み合わせ

設定	SPB3~SPB0	SPSLN1、SPSLN0	SPFC1、SPFC0	転送する フレーム数	SPRF を 1 にセット、 SPTEF を 0 にクリアするフレーム数
1-1	N	00	00	1	1 フレーム
1-2	N	00	01	2	2 フレーム
1-3	N	00	10	3	3 フレーム
1-4	N	00	11	4	4 フレーム
2-1	N、M	01	01	2	2 フレーム
2-2	N、M	01	11	4	4 フレーム
3	N、M、O	10	10	3	3 フレーム
4	N、M、O、P	11	11	4	4 フレーム

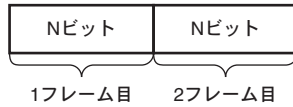
N、M、O、P : SPB3~0 で設定できるデータ長

1 回の起動で表 18.4 の 1-1~4 の設定時に以下のようにデータが送受信できます。

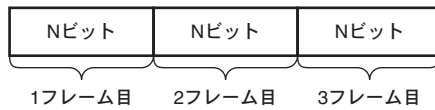
設定1-1



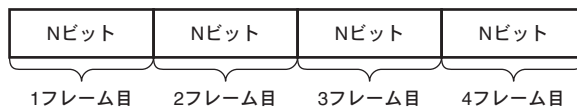
設定1-2



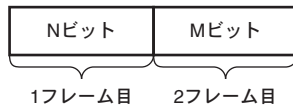
設定1-3



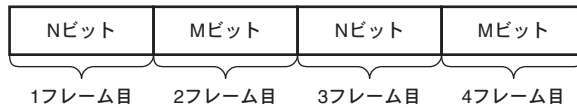
設定1-4



設定2-1



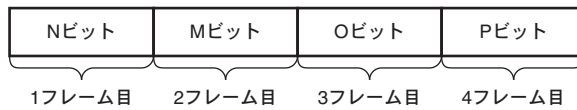
設定2-2



設定3



設定4



18.3.10 RSPCK 遅延レジスタ (SPCKD)

SPCKD は、RSPI コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCKD は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPCKD を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0]に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCKDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2~0	SCKDL[2:0]	000	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

18.3.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND は、RSPI コマンドレジスタ (SPCMD) の SLNDEN ビットが 1 のときに、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。SSLND は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SSLND を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0]に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLNDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2~0	SLNDL[2:0]	000	R/W	SSL ネゲート遅延設定 マスタモードの RSPI の SSL ネゲート遅延値を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

18.3.12 RSPI 次アクセス遅延レジスタ (SPND)

SPND は、RSPI コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPND は、常に CPU による読み出し/書き込みが可能です。RSPI 制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPND を書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0]に 000 を設定してください。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPNDL[2:0]		
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2~0	SPNDL[2:0]	000	R/W	RSPI 次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

18.3.13 RSPI コマンドレジスタ (SPCMD)

本 RSPI には、SPCMD が 4 本あります (SPCMD0～SPCMD3)。SPCMD0～SPCMD3 は、マスタモードの RSPI の転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は RSPI シーケンス制御レジスタ (SPSCR) の SPSLN1～SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0～3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

SPCMD は、常に CPU による読み出し/書き込みが可能です。

SPCMD レジスタの設定は RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態でその SPCMD を参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMD は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP1～0 ビットにより確認できます。また、スレーブモードの RSPI がイネーブルな状態において、SPCMD0 を CPU が書き換えた場合には、以降の動作は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA	
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	0	R/W	<p>RSPCK 遅延設定イネーブル</p> <p>マスタモードの RSPI が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDEN が 0 の場合には、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、RSPI は RSPCK 遅延レジスタ (SPCKD) の設定に従った RSPCK 遅延で RSPCK の発振を開始します。</p> <p>RSPI をスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。</p> <p>0 : RSPCK 遅延は 1RSPCK 1 : RSPCK 遅延は RSPCK 遅延レジスタ (SPCKD) の設定値</p>
14	SLNDEN	0	R/W	<p>SSL ネゲート遅延設定イネーブル</p> <p>マスタモードの RSPI が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN が 0 の場合には、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、RSPI はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。</p> <p>RSPI をスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。</p> <p>0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値</p>

ビット	ビット名	初期値	R/W	説明
13	SPNDEN	0	R/W	<p>RSPI 次アクセス遅延イネーブル</p> <p>マスタモードの RSPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN が 0 の場合には、RSPI は次アクセス遅延を 1RSPCK にします。SPNDEN が 1 の場合には、RSPI は RSPI 次アクセス遅延レジスタ (SPND) の設定に従った次アクセス遅延を挿入します。</p> <p>RSPI をスレープモードで使用する場合には、SPNDEN に 0 を設定してください。</p> <p>0 : 次アクセス遅延は 1RSPCK 1 : 次アクセス遅延は RSPI 次アクセス遅延レジスタ (SPND) の設定値</p>
12	LSBF	0	R/W	<p>RSPI LSB ファースト</p> <p>マスタモード/スレープモードの RSPI のデータフォーマットを、MSB ファースト/LSB ファーストに設定するためのビットです。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>
11~8	SPB[3:0]	0111	R/W	<p>RSPI データ長設定</p> <p>マスタモード/スレープモードの RSPI の転送データ長を設定するためのビットです。</p> <p>0100~0111 : 8 ビット 1000 : 9 ビット 1001 : 10 ビット 1010 : 11 ビット 1011 : 12 ビット 1100 : 13 ビット 1101 : 14 ビット 1110 : 15 ビット 1111 : 16 ビット 0000 : 20 ビット 0001 : 24 ビット 0010、0011 : 32 ビット</p>
7	SSLKP	0	R/W	<p>SSL 信号レベル保持</p> <p>マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネグートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネグートするかを設定するビットです。</p> <p>RSPI をスレープモードで使用する場合には、SSLKP に 0 を設定してください。</p> <p>0 : 転送終了時に全 SSL 信号をネグート 1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持</p>

ビット	ビット名	初期値	R/W	説明
6~4	SSLA[2:0]	000	R/W	<p>SSL 信号アサート設定</p> <p>マスタモードの RSPI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。SSLA_i (i は 2~0) の設定値が、SSL3~SSL0 信号のアサートを制御します。SSL 信号アサート時の信号極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。マルチマスタモードで SSLA2~SSLA0 に 000、または 1**を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSL0 は入力になるため)。</p> <p>また、シングルマスタモードで SSLA2~SSLA0 に 1**を設定した場合にも、全 SSL 信号がネゲート状態でシリアル転送が実行されます。</p> <p>RSPI をスレーブモードで使用する場合には、SSLA2~SSLA0 に 000 を設定してください。</p> <p>000 : SSL0 001 : SSL1 010 : SSL2 011 : SSL3 1** : -</p>
3、2	BRDV[1:0]	11	R/W	<p>ビットレート分周設定</p> <p>ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットと RSPI ビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1~0 ビットの設定値は、ベースのビットレートに対して分周なし/2 分周/4 分周/8 分周したビットレートを選択するために使用します。SPCMD0~3 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレートを選択 01 : ベースのビットレートの 2 分周を選択 10 : ベースのビットレートの 4 分周を選択 11 : ベースのビットレートの 8 分周を選択</p>
1	CPOL	0	R/W	<p>RSPCK 極性設定</p> <p>マスタモード/スレーブモードの RSPI の RSPCK 極性を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。</p> <p>0 : アイドル時の RSPCK が 0 1 : アイドル時の RSPCK が 1</p>
0	CPHA	1	R/W	<p>RSPCK 位相設定</p> <p>マスタモード/スレーブモードの RSPI の RSPCK 位相を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。</p> <p>0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル</p>

18.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

18.4.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送が可能です。RSPI のモードは、RSPI 制御レジスタ (SPCR) の MSTR ビット、MODFEN ビット、SPMS ビットによって設定可能です。表 18.5 に RSPI のモードと SPCR 設定の関係、および各モードの概要をまとめます。

表 18.5 RSPI のモードと SPCR 設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式 動作)	マスタ (クロック同期式 動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCK 信号	入力	出力	出力/Hi-Z	入力	出力
MOSI 信号	入力	出力	出力/Hi-Z	入力	出力
MISO 信号	出力/Hi-Z	入力	入力	出力/Hi-Z	入力
SSL0 信号	入力	出力	入力	Hi-Z	Hi-Z
SSL1~SSL3 信号	Hi-Z	出力	出力/Hi-Z	Hi-Z	Hi-Z
出力端子モード	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン
SSL 極性変更機能	あり	あり	あり	—	—
クロックソース	RSPCK 入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK 入力	内蔵ポーレート ジェネレータ
クロック極性	2 種	2 種	2 種	2 種	2 種
クロック位相	2 種	2 種	2 種	1 種 (CPHA=1)	1 種 (CPHA=1)
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8~32 ビット	8~32 ビット	8~32 ビット	8~32 ビット	8~32 ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0、1)	可能 (CPHA=0、1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPTEF=1 で 送信バッファ 書き込み	SPTEF=1 で 送信バッファ 書き込み	RSPCK 発振	SPTEF=1 で 送信バッファ 書き込み

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック同期式 動作)	マスタ (クロック同期式 動作)
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンpty検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり	あり	あり	あり	あり
オーバランエラー検出	あり	あり	あり	あり	あり
モードフォルトエラー検出	あり (MODFEN=1)	なし	あり	なし	なし

18.4.2 RSPi 端子の制御

RSPi は、RSPi 制御レジスタ (SPCR) の MSTR ビット、MODFEN、SPMS ビットと RSPi 端子制御レジスタ (SPPCR) の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 18.6 に示します。

表 18.6 RSPi 端子の状態と制御ビット設定値の関係

モード	端子	端子状態*1	
		SPOM=0	SPOM=1
シングルマスタ (SPI 動作) (MSTR=1、MODFEN=0、 SPMS=0)	RSPCK	CMOS 出力	オープンドレイン出力
	SSL0~3	CMOS 出力	オープンドレイン出力
	MOSI	CMOS 出力	オープンドレイン出力
	MISO	入力	入力
マルチマスタ (SPI 動作) (MSTR=1、MODFEN=1、 SPMS=0)	RSPCK*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSL0	入力	入力
	SSL1~3*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSI*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISO	入力	入力
スレーブ (SPI 動作) (MSTR=0、SPMS=0)	RSPCK	入力	入力
	SSL0	入力	入力
	SSL1~3	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO*3	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR=1、MODFEN=0、 SPMS=1)	RSPCK	CMOS 出力	オープンドレイン出力
	SSL0~3*4	Hi-Z	Hi-Z
	MOSI	CMOS 出力	オープンドレイン出力
	MISO	入力	入力

モード	端子	端子状態 ^{*1}	
		SPOM=0	SPOM=1
スレーブ (クロック同期式動作) (MSTR=0、SPMS=1)	RSPCK	入力	入力
	SSL0~3 ^{*4}	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z

- 【注】 *1 RSPI 機能が選択されていないマルチファンクションピンには、RSPI の設定値は反映されません。
- *2 SSL0 がアクティブレベルの場合、端子状態が Hi-Z になります。
- *3 SSL0 がディスアクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。
- *4 クロック同期式動作時は、SSL0~3 を IO ポートとして使用可能。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI は、SPPCR の MOIFE ビットと MOIFV ビットの設定にしたがって、SSL ネゲート期間 (バースト転送における SSL 保持期間も含む) の MOSI 信号値を表 18.7 のように決定します。

表 18.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間 [*] の MOSI 信号値
0	0 or 1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

- 【注】 * バースト転送における SSL 保持期間も含まれます。

18.4.3 RSPi システム構成例

(1) シングルマスタ/シングルスレーブ (本 LSI=マスタ)

図 18.2 に、本 LSI をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPi システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 LSI (マスタ) の SSL0~SSL3 出力は使用しません。RSPi スレーブの SSL 入力は 0 に固定して、RSPi スレーブを常にセレクト状態にします。RSPi 制御レジスタ (SPCR) の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入みに接続してください。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPi スレーブは、MISO を常にドライブします。

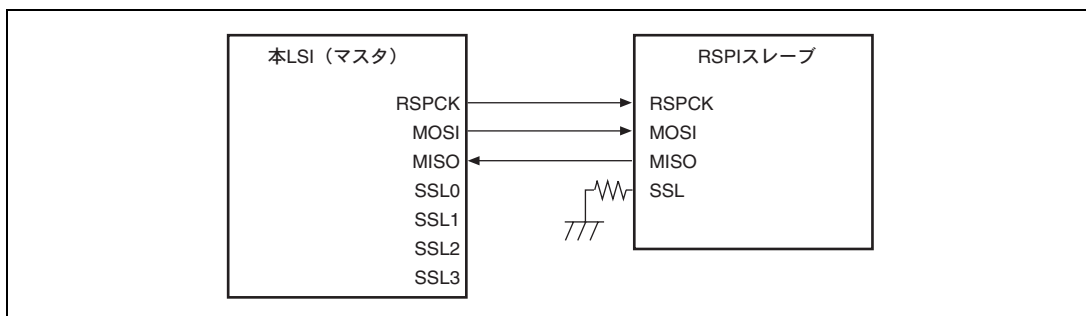


図 18.2 シングルマスタ/シングルスレーブの構成例 (本 LSI=マスタ)

(2) シングルマスタ/シングルスレーブ (本 LSI=スレーブ)

図 18.3 に、本 LSI をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。*

RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL0 入力を 0 に固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 18.4)。

【注】 * SSL0 がディアクティブレベルの場合、端子状態が Hi-Z になります。

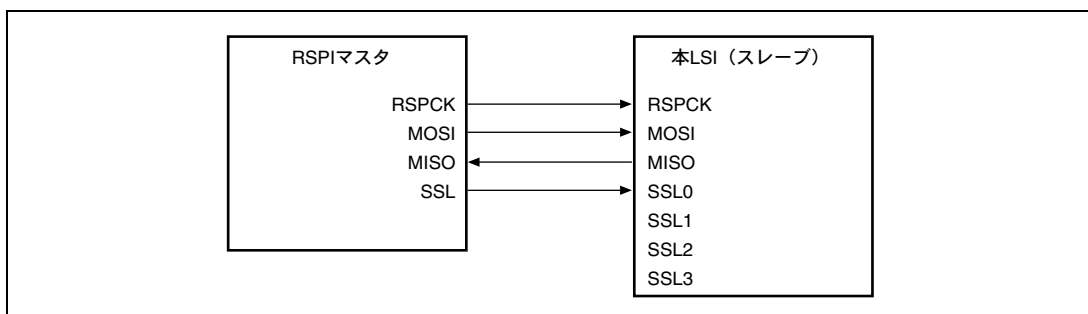


図 18.3 シングルマスタ/シングルスレーブの構成例 (本 LSI=スレーブ)

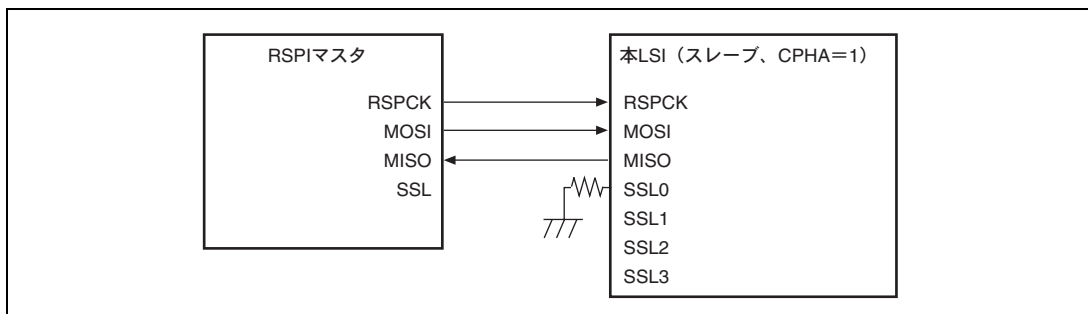


図 18.4 シングルマスタ/シングルスレーブの構成例 (本 LSI=スレーブ、CPHA=1)

(3) シングルマスタ/マルチスレーブ (本 LSI=マスタ)

図 18.5 に、本 LSI をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 18.5 の例では、本 LSI (マスタ) と 4 つのスレーブ (RSPI スレーブ 0~RSPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 0~RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0~RSPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISO 入力に接続します。本 LSI (マスタ) の SSL0~SSL3 出力は、それぞれ RSPI スレーブ 0~RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSL0~SSL3 を常にドライブします。RSPI スレーブ 0~RSPI スレーブ 3 のうち、SSL 入力に 0 を入力されているスレーブが MISO をドライブします。

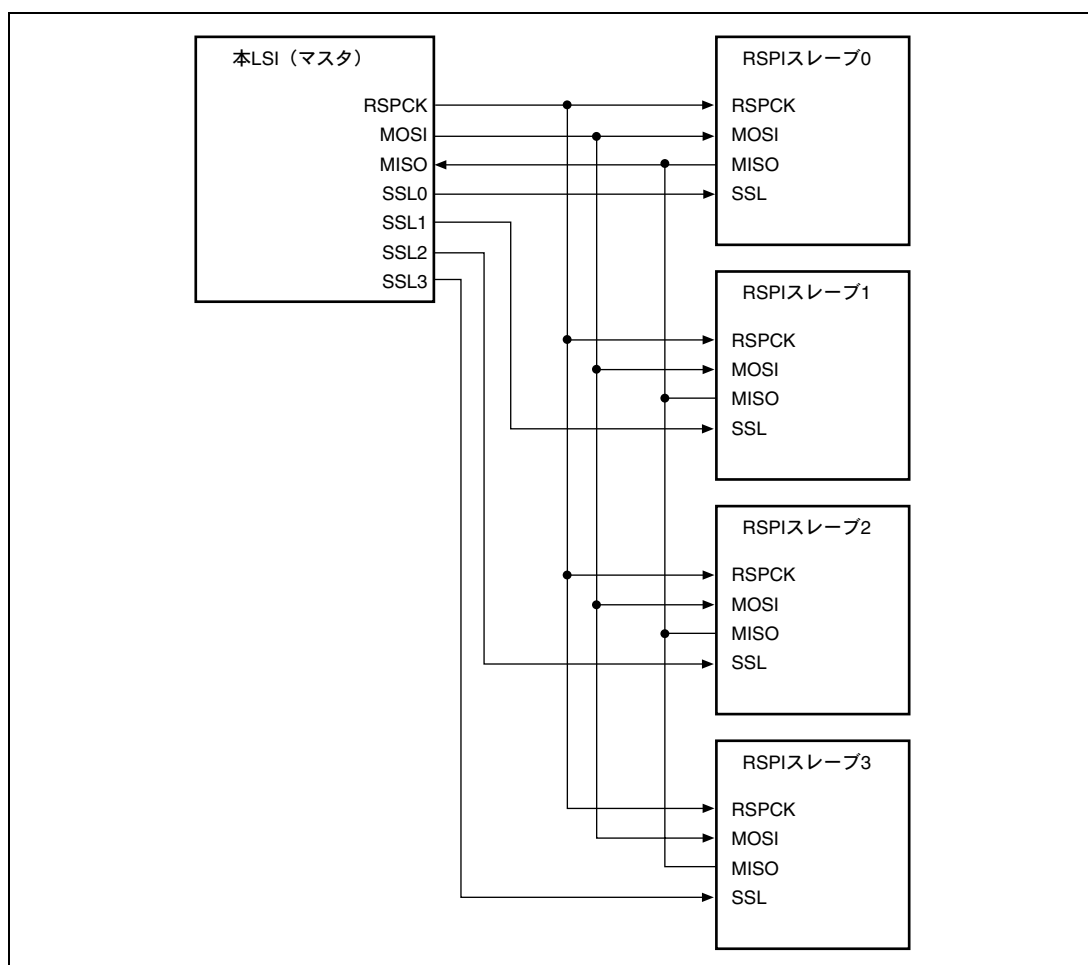


図 18.5 シングルマスタ/マルチスレーブの構成例 (本 LSI=マスタ)

(4) シングルマスタ/マルチスレーブ (本 LSI=スレーブ)

図 18.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 18.6 の例では、RSPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL0 入口に 0 を入力されているスレーブが、MISO をドライブします。

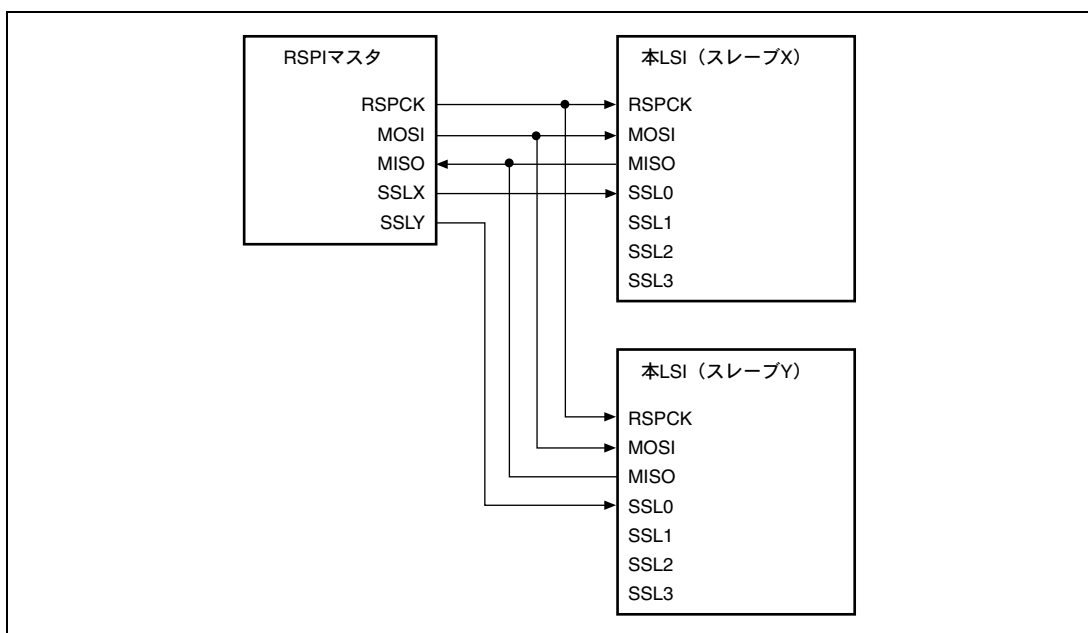


図 18.6 シングルマスタ/マルチスレーブの構成例 (本 LSI=スレーブ)

(5) マルチマスタ/マルチスレーブ (本 LSI=マスタ)

図 18.7 に、本 LSI をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 18.7 の例では、2 つの本 LSI (マスタ X、マスタ Y) と 2 つの RSPI スレーブ (RSPI スレーブ 1、RSPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSL0 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSL0 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSL1 出力と SSL2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL0 入力、スレーブ接続用の SSL1 出力、SSL2 出力のみでシステムを構成できるので、本 LSI の SSL3 出力を使用していません。

本 LSI は、SSL0 入力が 1 の場合には、RSPCK、MOSI、SSL1、SSL2 をドライブします。SSL0 入力が 0 の場合には、モードフォルトエラーを検出し、RSPCK、MOSI、SSL1、SSL2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力に 0 を入力されているスレーブが、MISO をドライブします。

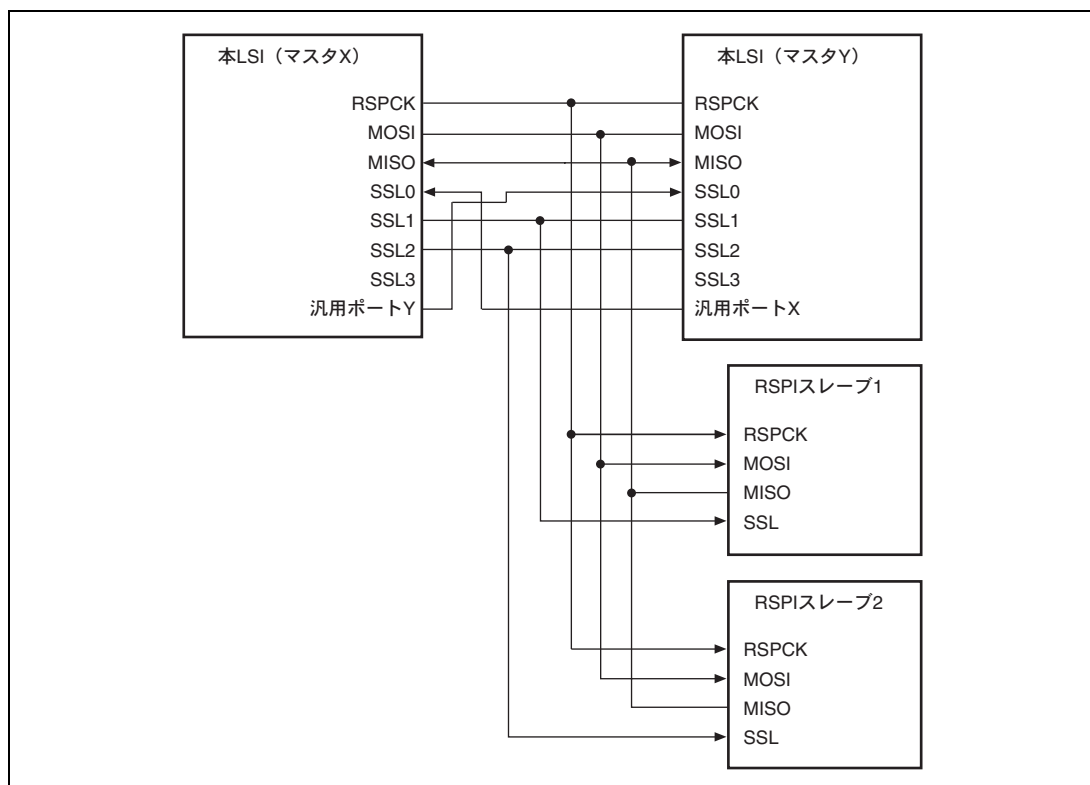


図 18.7 マルチマスタ/マルチスレーブの構成例 (本 LSI=マスタ)

(6) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)

図 18.8 に、本 LSI をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 LSI (マスタ) の SSL0~SSL3 出力は使用しません。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

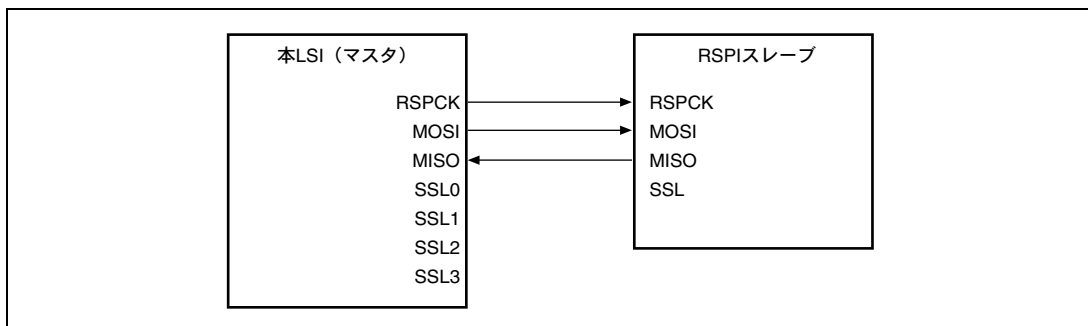


図 18.8 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = マスタ)

(7) マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)

図 18.9 に、本 LSI をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 LSI をスレーブ (クロック同期式動作) として使用する場合には、本 LSI (スレーブ) は、MISO を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。

RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合のみ、本 LSI (スレーブ) はシリアル転送を実行することが可能です。

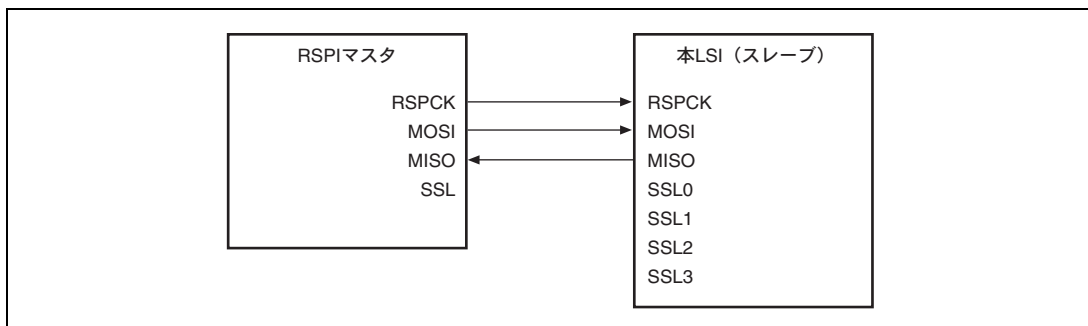


図 18.9 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 LSI = スレーブ、CPHA=1)

18.4.4 転送フォーマット

(1) CPHA=0 の場合

図 18.10 に RSPI コマンドレジスタ (SPCMD) の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、CPHA ビットが 0 の場合のクロック同期式動作 (RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 の場合) は保証しません。図 18.10 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「18.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号への有効データの出力と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「18.4.9 SPI 動作」を参照してください。

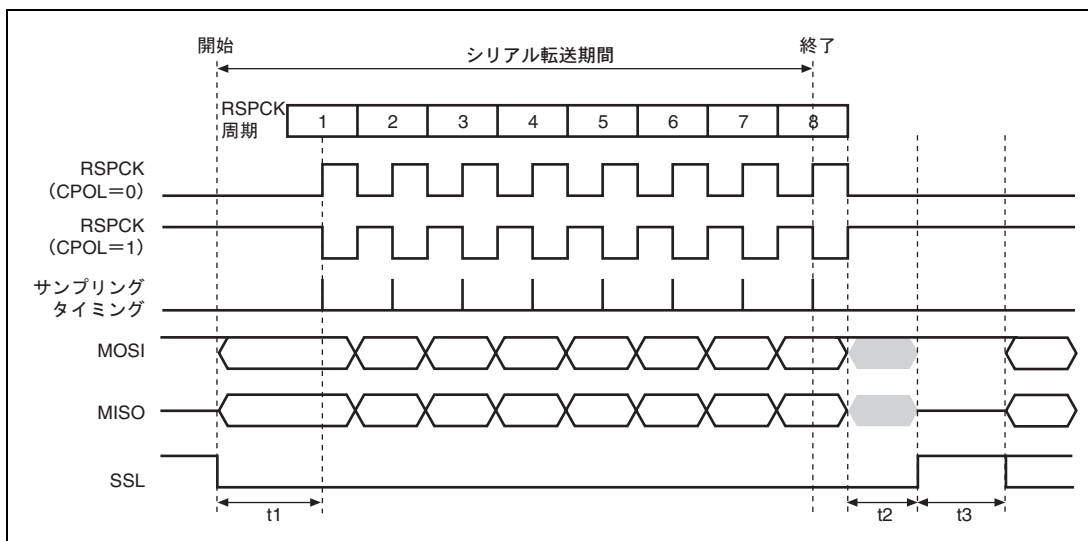


図 18.10 RSPI 転送フォーマット (CPHA=0)

(2) CPHA=1 の場合

図 18.11 に RSPI コマンドレジスタ (SPCMD) の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 の場合は SSL 信号を用いず、RSPCK 信号、MOSI 信号、MISO 信号のみで通信を行います。図 18.11 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「18.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA=0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「18.4.9 SPI 動作」を参照してください。

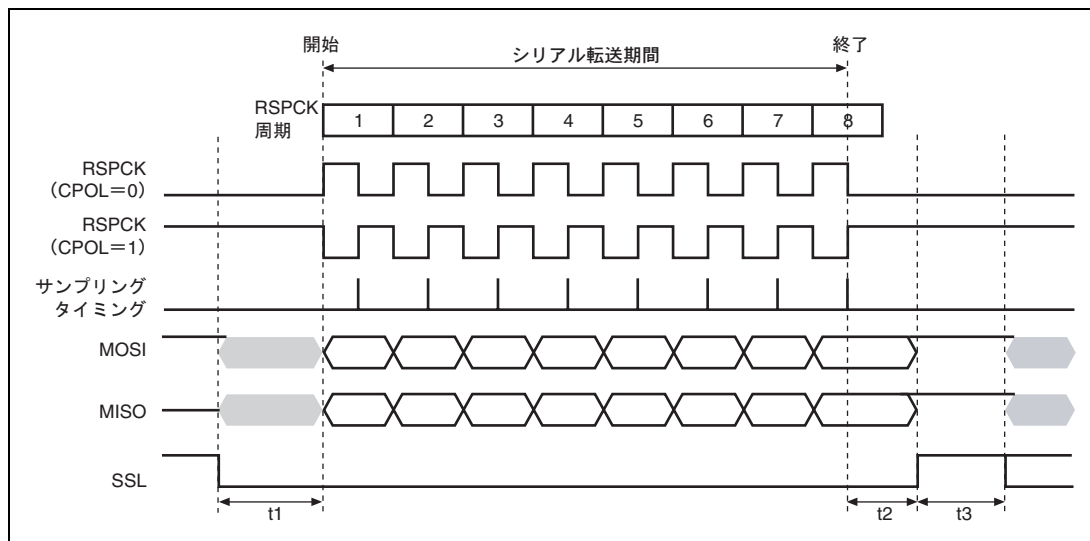


図 18.11 RSPI 転送フォーマット (CPHA=1)

18.4.5 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ (SPCMD) の設定値に依存します。MSB/LSB ファーストにかかわらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送 (32 ビットデータ)

図 18.12 に、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31~T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31~R00 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31~R00 がシフトレジスタからシフトアウトされます。

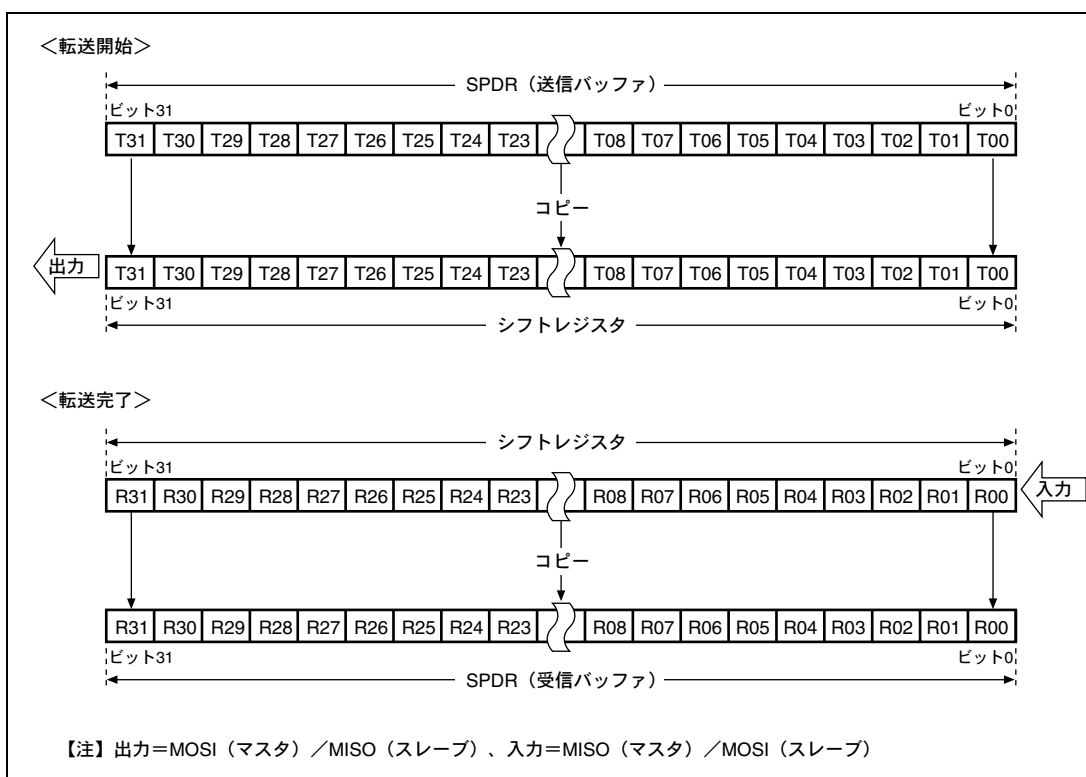


図 18.12 MSB ファースト転送 (32 ビットデータ)

(2) MSB ファースト転送 (24 ビットデータ)

図 18.13 に、RSPI が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31~T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23~ビット 0 には受信データ R23~R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 24~ビット 31 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23~R00 がシフトレジスタからシフトアウトされます。

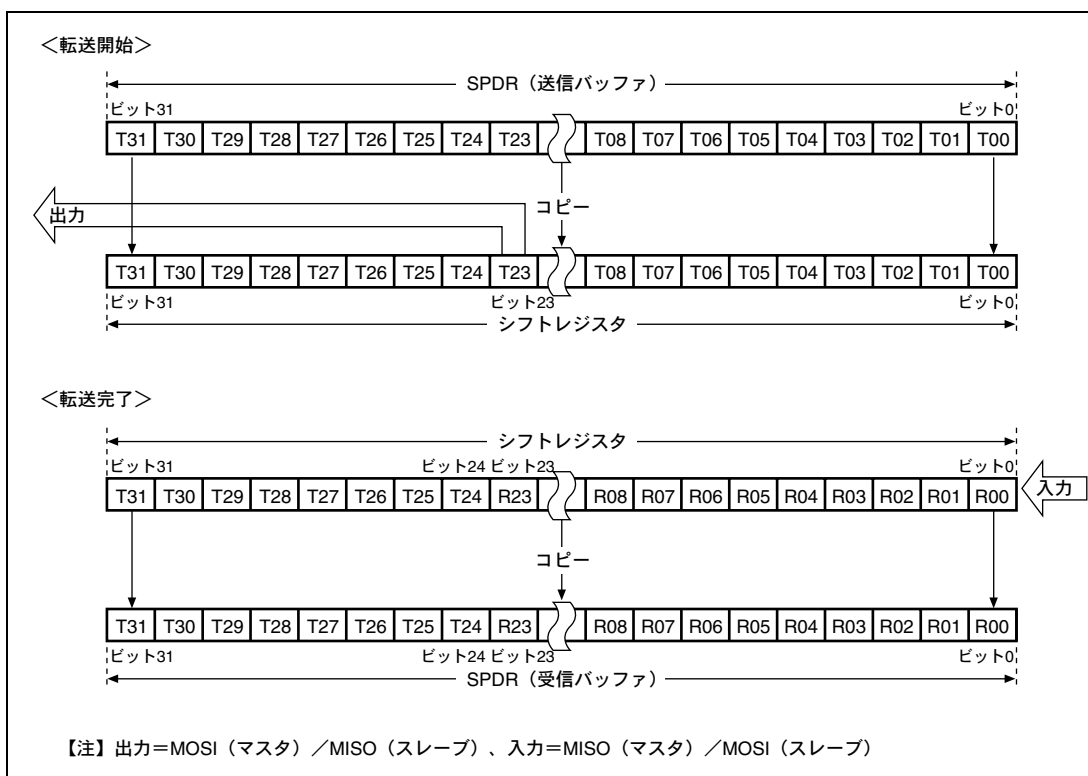


図 18.13 MSB ファースト転送 (24 ビットデータ)

(3) LSB ファースト転送 (32 ビットデータ)

図 18.14 に、RSPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31～T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00～R31 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R31 がシフトレジスタからシフトアウトされます。

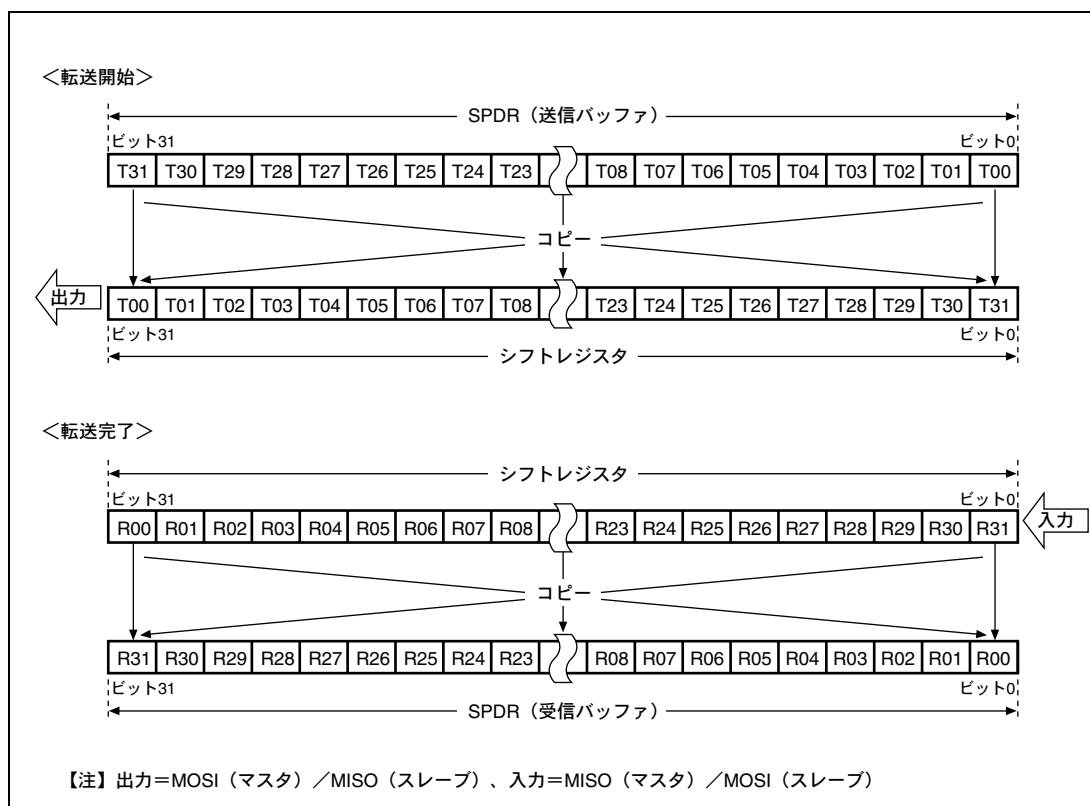


図 18.14 LSB ファースト転送 (32 ビットデータ)

(4) LSB ファースト転送 (24 ビットデータ)

図 18.15 に、RSPI が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU または DTC/DMAC は、SPDR の送信バッファに T31~T00 を書き込みます。RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31~ビット 8 には受信データ R00~R23 が格納されます。シリアル転送完了後のシフトレジスタのビット 7~ビット 0 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DTC/DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R23 がシフトレジスタからシフトアウトされます。

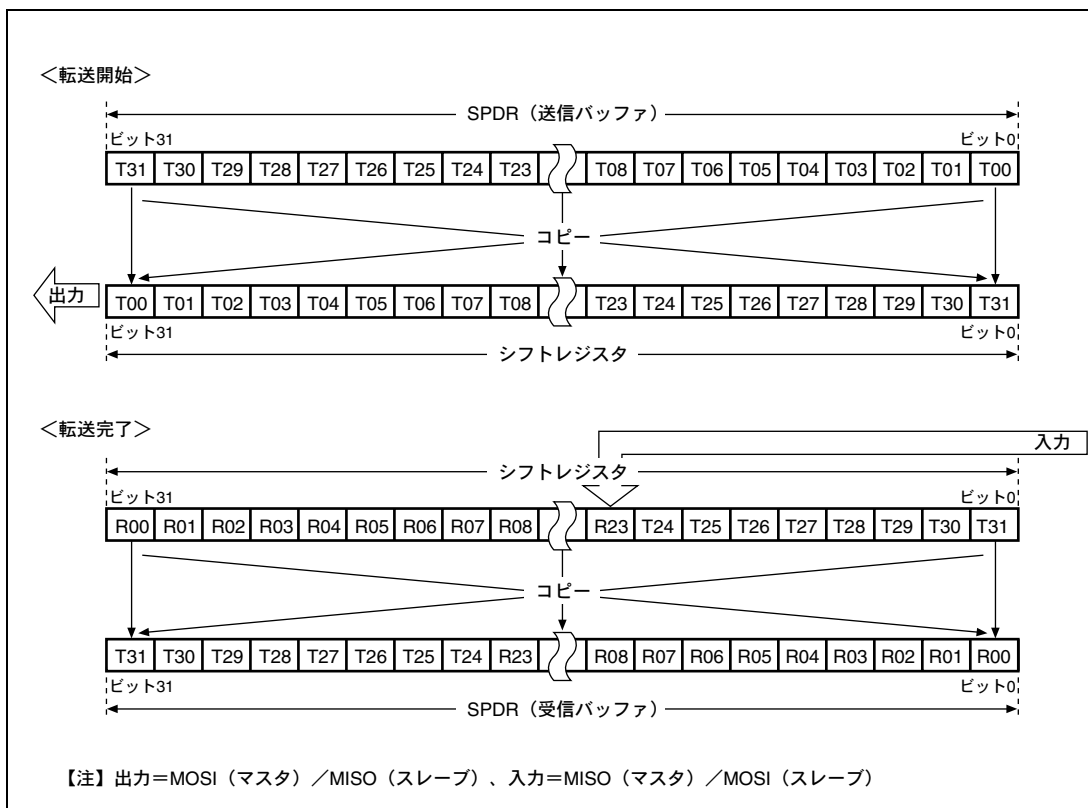


図 18.15 LSB ファースト (24 ビットデータ)

18.4.6 送信バッファエンプティ／受信バッファフルフラグ

図 18.16 に RSPI ステータスレジスタ (SPSR) の RSPI 送信バッファエンプティフラグ (SPTEF) と RSPI 受信バッファフルフラグ (SPRF) の動作例を示します。図 18.16 に記載した SPDR アクセスは、DTC/DMAC から RSPI データレジスタ (SPDR) へのアクセス状況を示しています。I はアイドルサイクル、W は書き込みサイクル、R は読み出しサイクルを示しています。図 18.16 の例では、RSPI データコントロールレジスタ (SPDCR) の SPFC[1:0] が 00、RSPI コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

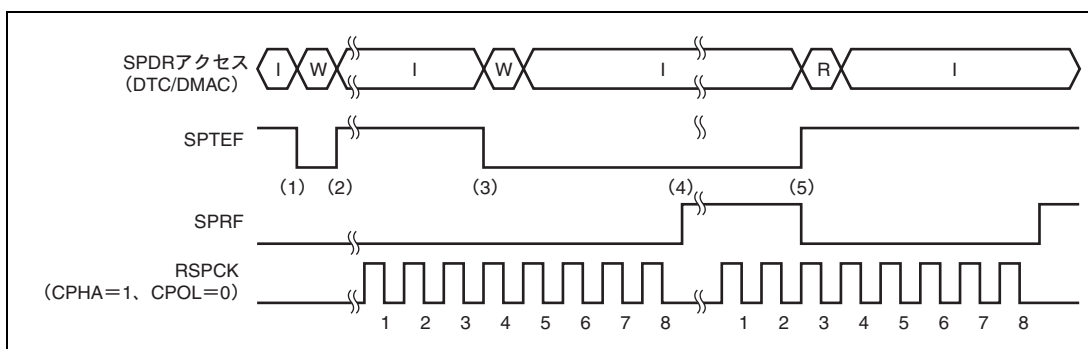


図 18.16 SPTEF、SPRF ビットの動作例

以下に、図中の (1) ~ (5) に示したタイミングでのフラグの動作内容を説明します。

1. SPDRの送信バッファが空の状態、DTC/DMACがSPDRに送信データを書き込むと、RSPIはSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。
2. シフトレジスタが空の場合には、RSPIはSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。SPRFフラグは変化しません。なお、シリアル転送の開始方法は、RSPIのモードに依存します。詳細は、「18.4.9 SPI動作」および「18.4.10 クロック同期式動作」を参照してください。
3. SPDRの送信バッファが空の状態、DTC/DMACがSPDRに送信データを書き込むと、RSPIがSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPIは送信バッファのデータをシフトレジスタにコピーしません。
4. SPDRの受信バッファが空の状態、シリアル転送が終了すると、RSPIはSPRFを1にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPIがSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフルの状態、DTC/DMACがSPDRを読み出すと、RSPIはSPRFを0にして、受信バッファのデータをチップ内部バスに送出します。

SPTEF ビットが 0 の状態で、CPU または DTC/DMAC が SPDR を書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR を書き込む場合には、必ず SPTEF が 1 であることを確認してください。SPTEF が 1 であることは、SPSR の読み出し、あるいは RSPI 送信割り込みの利用によって確認できます。RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを 1 にしてください。

RSPI ディスエーブル (SPCR の SPE ビットが 0) の場合には、SPTEF ビットが 1 に初期化されます。このため RSPI ディスエーブル状態で SPCR の SPTIE ビットを 1 にすると、RSPI 送信割り込みが発生します。

SPRF ビットが 1 の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「18.4.7 エラー検出」を参照)。受信データのオーバランを防ぐためには、シリアル転送の終了よりも前に SPRF ビットを 0 にしてください。SPRF が 1 であることは、SPSR の読み出し、あるいは RSPI 受信割り込みの利用によって確認できます。RSPI 受信割り込みを利用する場合には、SPCR の SPRIE ビットを 1 にしてください。

18.4.7 エラー検出

通常の RSPI のシリアル転送では、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを CPU または DTC/DMAC が SPDR の受信バッファから読み出すことができます。CPU または DTC/DMAC から SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラーまたはモードフォルトエラーとして検出します。表 18.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 18.8 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態、CPU または DTC/DMAC が SPDR を書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スリープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態、CPU または DTC/DMAC が SPDR を読み出し。	前回シリアル受信データを CPU または DMAC へ出力。	なし
D	受信バッファフルの状態、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー検出
E	マルチマスタモードでシリアル転送アイドル時に SSL0 入力信号アサート。	RSPI ディスエーブル。 RSPCK、MOSI、SSL1~3 出力信号のドライブ停止。	モードフォルトエラー検出
F	マルチマスタモードでシリアル転送中に SSL0 入力信号アサート。	シリアル転送を中断。 送受信データ欠落。 RSPCK、MOSI、SSL1~3 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出
G	スリープモードでシリアル転送中に SSL0 入力信号がネゲート。	シリアル転送を中断。 送受信データ欠落。 MISO 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

表 18.8 の A に示した動作に対しては、RSPI はエラーを検出しません。CPU または DTC/DMAC からの SPDR 書き込み時にデータを欠落させないために、必ず RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で SPDR への書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは、SPDR の受信バッファに保持されているので、CPU または DTC/DMAC から正しく読み出されます (シリアル転送が終了する前に SPDR を読み出さないと、オーバランエラーが発生します)。

C に示した動作に対しても、RSPI はエラーを検出しません。CPU または DTC/DMAC が不必要なデータを読み出さないようにするためには、SPSR の SPRF ビットが 1 の状態で SPDR の読み出しを実行するようにしてください。

D に示したオーバランエラーについては、「18.4.7 (1) オーバランエラー」で詳しく説明します。また、E ~G に示したモードフォルトエラーについては、「18.4.7 (2) モードフォルトエラー」で説明します。なお、SPSR の SPTEF ビットと SPRF ビットの動作については、「18.4.6 送信バッファエンプティ/受信バッファフルフラグ」を参照してください。

(1) オーバランエラー

RSPI データレジスタ (SPDR) の受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、システムリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を CPU が読み出した後に、OVRF に 0 を書き込む必要があります。

図 18.17 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 18.17 に記載した SPSR アクセスと SPDR アクセスは、それぞれ CPU から SPSR、DTC/DMAC から SPDR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 18.17 の例では、RSPI コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

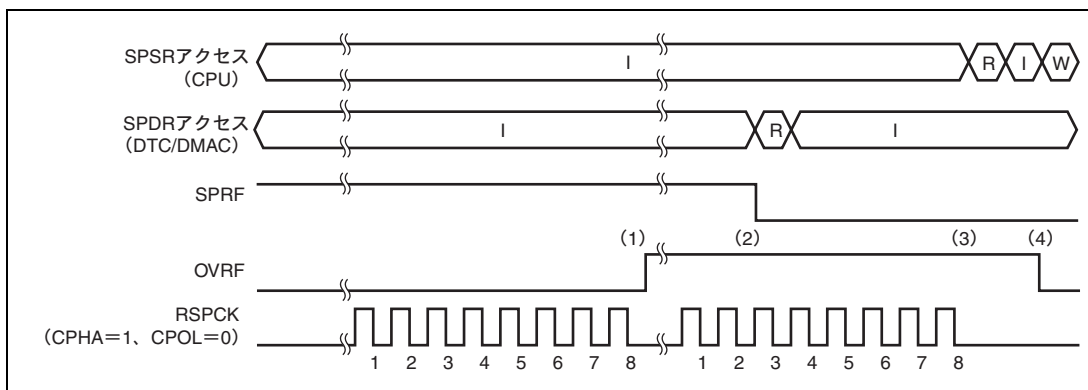


図 18.17 SPRF、OVRF ビットの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. SPRF ビットが 1 の状態 (受信バッファフル) でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF ビットを 1 にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、マスタモードの場合には、RSPI は RSPI シーケンスステータスレジスタ (SPSSR) の SPECM1 ~ 0 ビットに、RSPI コマンドレジスタ (SPCMD) に対するポインタの値をコピーします。

2. DTC/DMACがSPDRを読み出すと、RSPIはSPRFビットを0にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRFビットはクリアされません。
3. OVRFビットが1の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPIはSPRFビットを0のまま更新しません。また、RSPIはシフトレジスタのデータを受信バッファにコピーしません。マスタモードのRSPIの場合に、RSPIはSPSSRのSPECM1～SPECM0ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRFビットが1の状態CPUがSPSRを読み出した後、CPUがOVRFに0を書き込むと、RSPIはOVRFビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR の SPECM2～0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

オーバランエラーが発生して OVRF ビットが 1 になると、OVRF ビットをクリアするまで正常な受信動作ができなくなります。OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRをCPUが読み出した後、CPUがOVRFに0を書き込む
- システムリセット

(2) モードフォルトエラー

RSPI 制御レジスタ (SPCR) の MSTR ビットが 1、SPMS ビットが 0、MODFEN ビットが 1 の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSL0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して RSPI ステータスレジスタ (SPSR) の MODF ビットを 1 にします。モードフォルトエラーを検出すると、RSPI は RSPI シーケンスステータスレジスタ (SPSSR) の SPECM2～0 ビットに、RSPI コマンドレジスタ (SPCMD) に対するポインタの値をコピーします。なお、SSL0 信号のアクティブレベルは、RSPI スレーブセレクト極性レジスタ (SSLP) の SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます（「18.4.8 RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR の SPEC2M2~0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

MODF ビットが 1 の状態では、RSPI は CPU による SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODFが1にされた状態のSPSRをCPUが読み出した後、CPUがMODFに0を書き込む
- システムリセット

18.4.8 RSPI の初期化

CPU が RSPI 制御レジスタ (SPCR) の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により RSPI が SPE ビットを 0 にクリアした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とシステムリセットによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合には、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレープモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI内部ステートの初期化
- RSPIステータスレジスタ (SPSR) のSPTEFビットの初期化

SPE ビットのクリアによる初期化では、RSPI の制御ビットは初期化されません。このため、CPU が SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR の SPRF ビット、OVRF ビット、MODF ビットの値は初期化されません。また、RSPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認が可能です。

SPSR の SPTEF ビットの値は、1 に初期化されます。このため、RSPI 初期化後に SPCR の SPTIE ビットが 1 に設定されていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書き込んでください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに 0 を書き込んでください。

(2) システムリセット

システムリセットによる初期化では、(1) に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

18.4.9 SPI 動作

(1) スレーブモード動作

(a) シリアル転送の開始

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合、RSPI が SSL0 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、SSL0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合、RSPI は SSL0 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL0 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISO 出力信号のドライブを開始するタイミングは、SSL0 信号アサートタイミングとなります。CPHA ビットの設定によって、RSPI が出力するデータの有効/無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の SSL0P ビットの設定値に依存します。

(b) シリアル転送の終了

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットにかかわらず、RSPI は最終サンプルタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSL0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「18.4.7 エラー検出」参照）。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3~SPB0 ビットの設定値に依存します。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。

(c) シングルスレーブ時の注意点

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合には、RSPI は SSL0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 18.4 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSL0 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した RSPI ではシリアル転送を正しく開始できません。SSL0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL0 入力信号を固定しないでください。

(d) バースト転送

RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 1 の場合、SSL0 入力信号のアサート状態を保持したままで、連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL0 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプルタイミングまでが、シリアル転送期間に相当します。SSL0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、(c) と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e) 初期化フロー

図 18.18 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

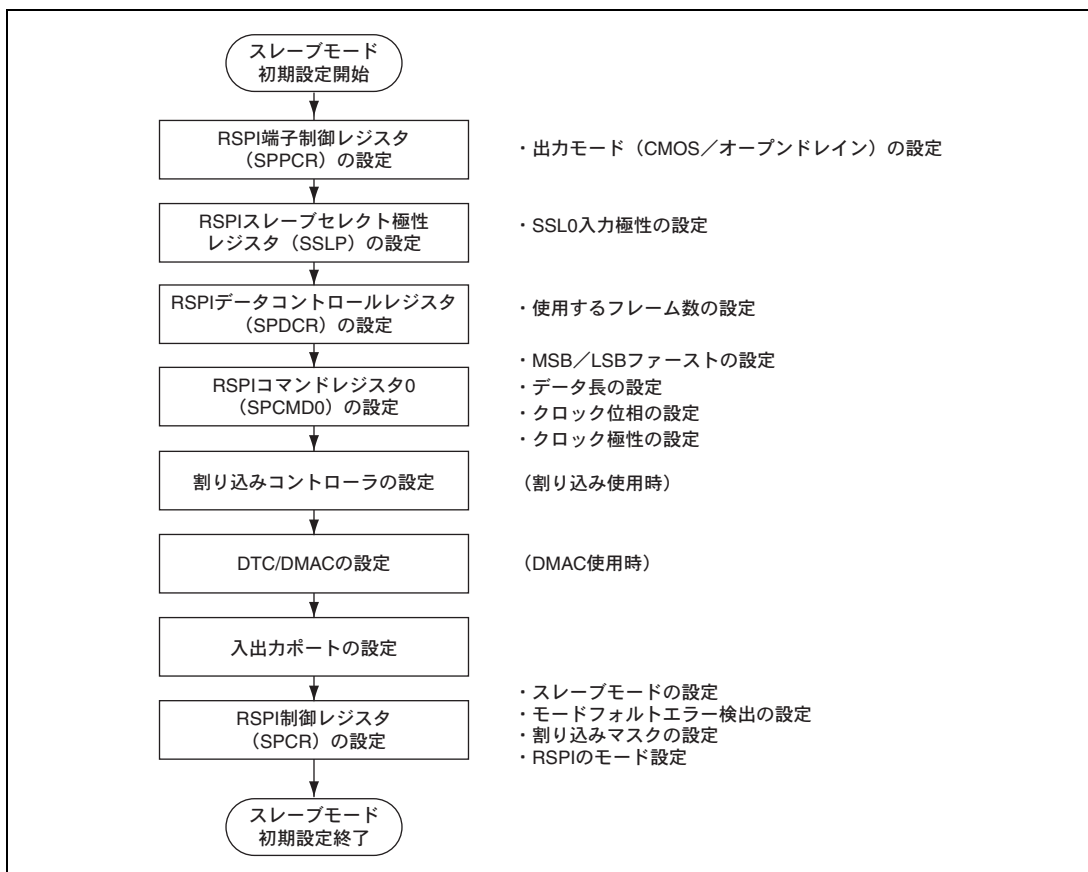


図 18.18 スレーブモード時の初期化フロー例

(f) 転送動作フロー (CPHA=0)

図 18.19 に、SPI 動作時、RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 0 に設定したスレープモードの RSPI の転送動作フローを示します。

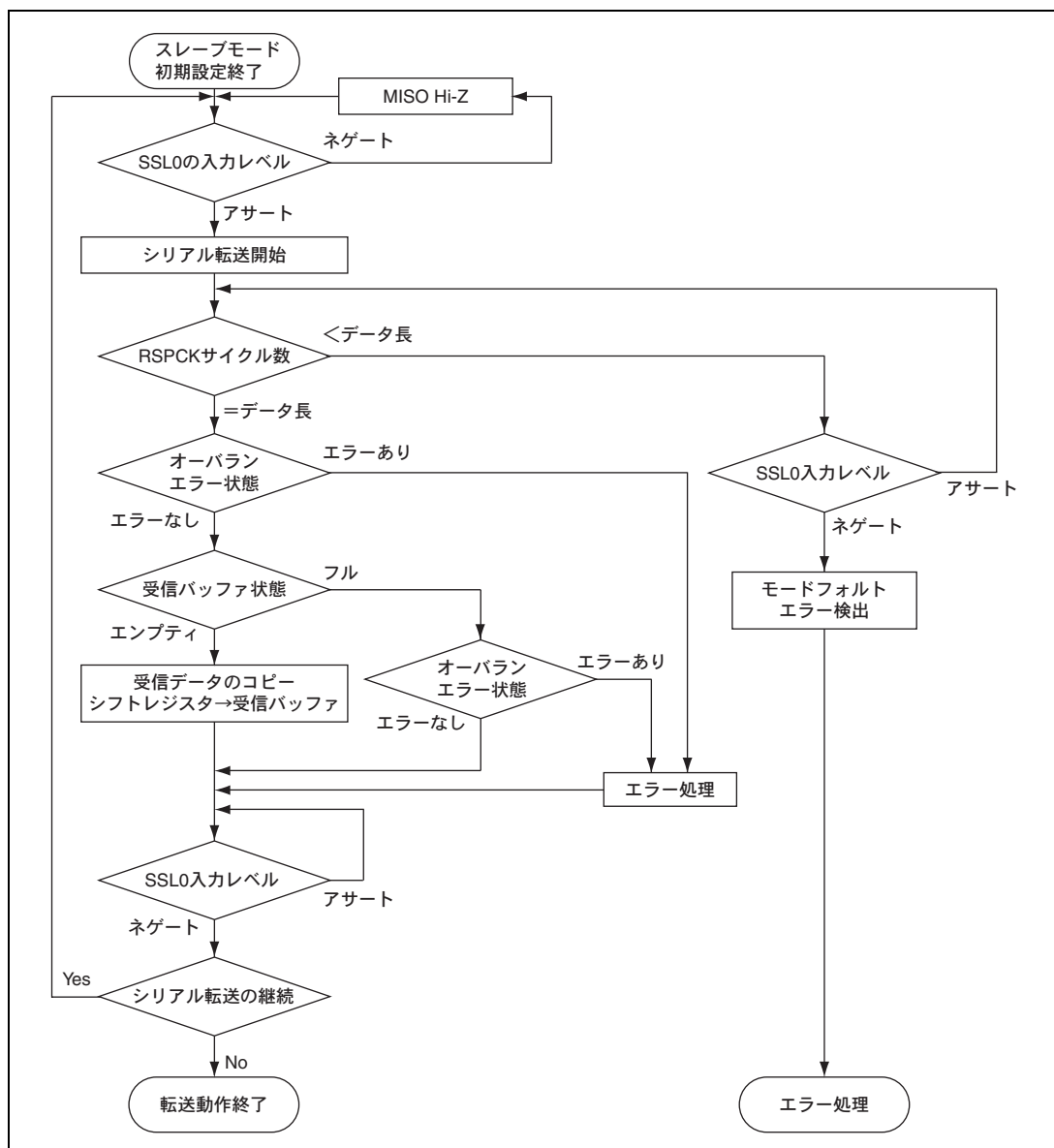


図 18.19 スレープモード時の転送動作フロー (CPHA=0)

(g) 転送動作フロー (CPHA=1)

図 18.20 に、SPI 動作時、RSPI コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 1 に設定したスレーブモードの RSPI の転送動作フローを示します。

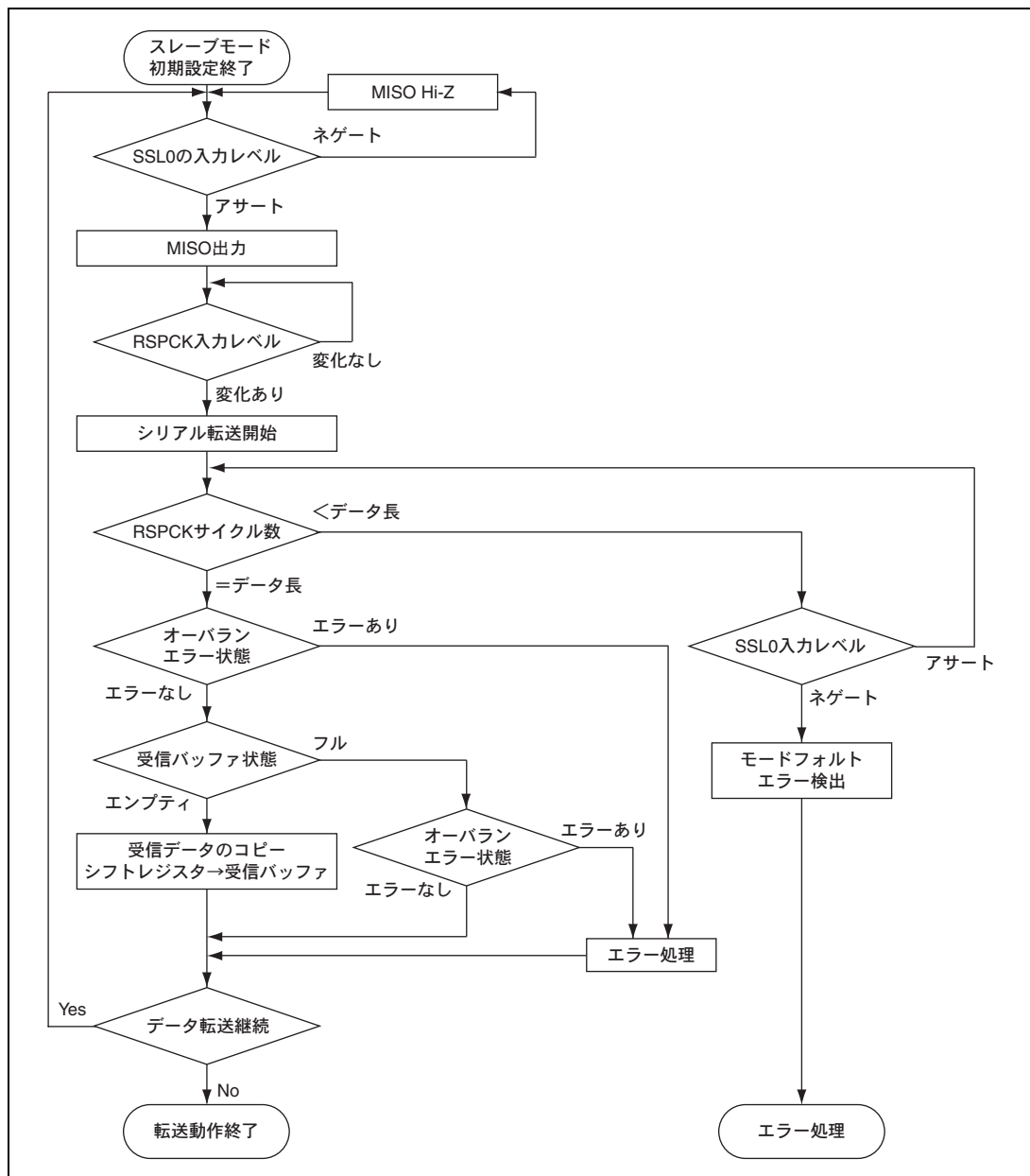


図 18.20 スレーブモード時の転送動作フロー (CPHA=1)

(2) マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「18.4.7 エラー検出」参照）のみです。シングルマスタモード（RSPI）のRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。以下では、シングル/マルチマスタモードで共通する動作について説明します。

(a) シリアル転送の開始

RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) へデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。DTC/DMAC からの SPDR への書き込み、または CPU から SPTEF の 1 読み出し後の 0 書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。

(b) シリアル転送の終了

RSPI コマンドレジスタ (SPCMD) の CPHA ビットにかかわらず、RSPI はサンプルタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ (SPCMD) の SPB3~SPB0 ビットの設定値に依存します。SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ (SPSCR)、RSPI コマンドレジスタ 0~3 (SPCMD0~3)、RSPI ビットレートレジスタ (SPBR)、RSPI クロック遅延値レジスタ (SPCKD)、RSPI スleepセレクトネゲート遅延レジスタ (SSLND)、RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長にしたがって、SPCMD0~3 の一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP[1:0] ビットの読み出しによって CPU から確認可能です。RSPI 制御レジスタ (SPCR) の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

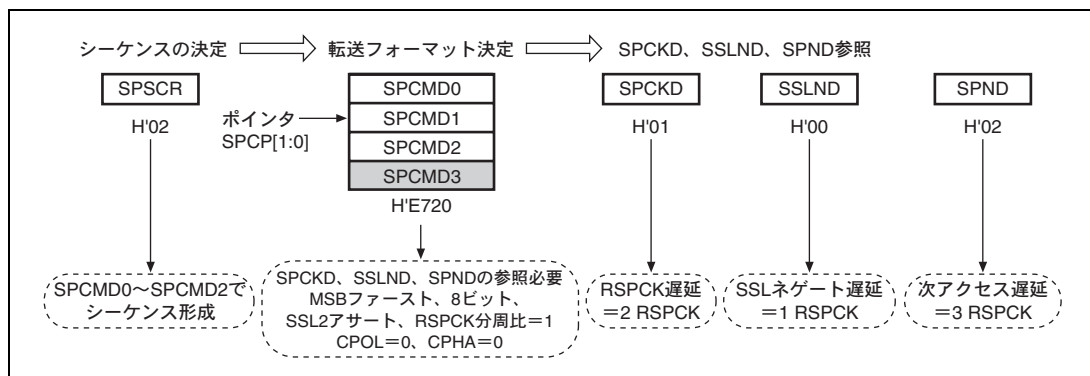


図 18.21 マスタモードでのシリアル転送方式の決定方法

(d) バースト転送

RSPI が現在のシリアル転送で参照している RSPI コマンドレジスタ (SPCMD) の SSLKP ビットが 1 の場合には、RSPI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、RSPI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 18.22 に、SPCMD0~1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 18.22 に記載した①~⑦の RSPI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ (SSLP) の設定値に依存します。

- ① SPCMD0にしたがったSSL信号のアサートとRSPCK遅延の挿入を実施します。
- ② SPCMD0にしたがったシリアル転送を実行します。
- ③ SSLネゲート遅延を挿入します。
- ④ SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延+2Pφ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- ⑤ SPCMD1にしたがったSSL信号のアサートとRSPCK遅延の挿入を実施します。
- ⑥ SPCMD1にしたがったシリアル転送を実行します。
- ⑦ SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1にしたがった次アクセス遅延が挿入されます。

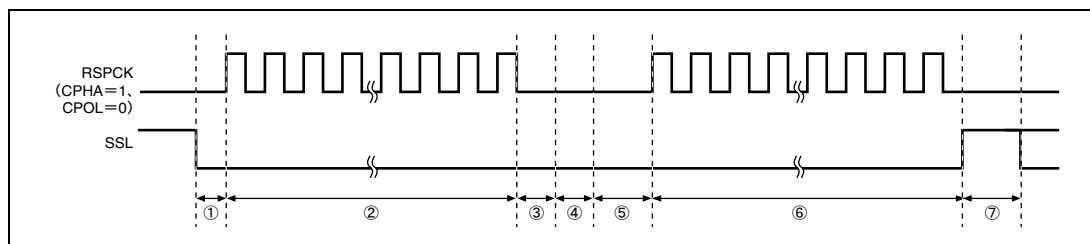


図 18.22 SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSL 信号のアサート時 (図 18.22 の⑤) に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるため、注意してください。

マスタモードの RSPI は、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、RSPI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。(「18.4.9 SPI 動作」参照)

(e) RSPCK 遅延 (t1)

マスタモードの RSPI の RSPCK 遅延値は、RSPI コマンドレジスタ (SPCMD) の SCKDEN ビットの設定と RSPCK 遅延レジスタ (SPCKD) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 18.9 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「18.4.4 転送フォーマット」を参照してください。

表 18.9 SCKDEN、SPCKD と RSPCK 遅延の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000~111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(f) SSL ネゲート遅延 (t2)

マスタモードの RSPI の SSL ネゲート遅延値は、RSPI コマンドレジスタ (SPCMD) の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ (SSLND) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 18.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「18.4.4 転送フォーマット」を参照してください。

表 18.10 SSLND と SSL ネゲート遅延の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000~111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(g) 次アクセス遅延 (t3)

マスタモードの RSPI の次アクセス遅延は、RSPI コマンドレジスタ (SPCMD) の SPNDEN ビットの設定と RSPI 次アクセス遅延レジスタ (SPND) の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、表 18.11 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「18.4.4 転送フォーマット」を参照してください。

表 18.11 SPNDEN、SPND と次アクセス遅延の関係

SPNDEN	SPND	次アクセス遅延値
0	000~111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(h) 初期化フロー

図 18.23 に、SPI 動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

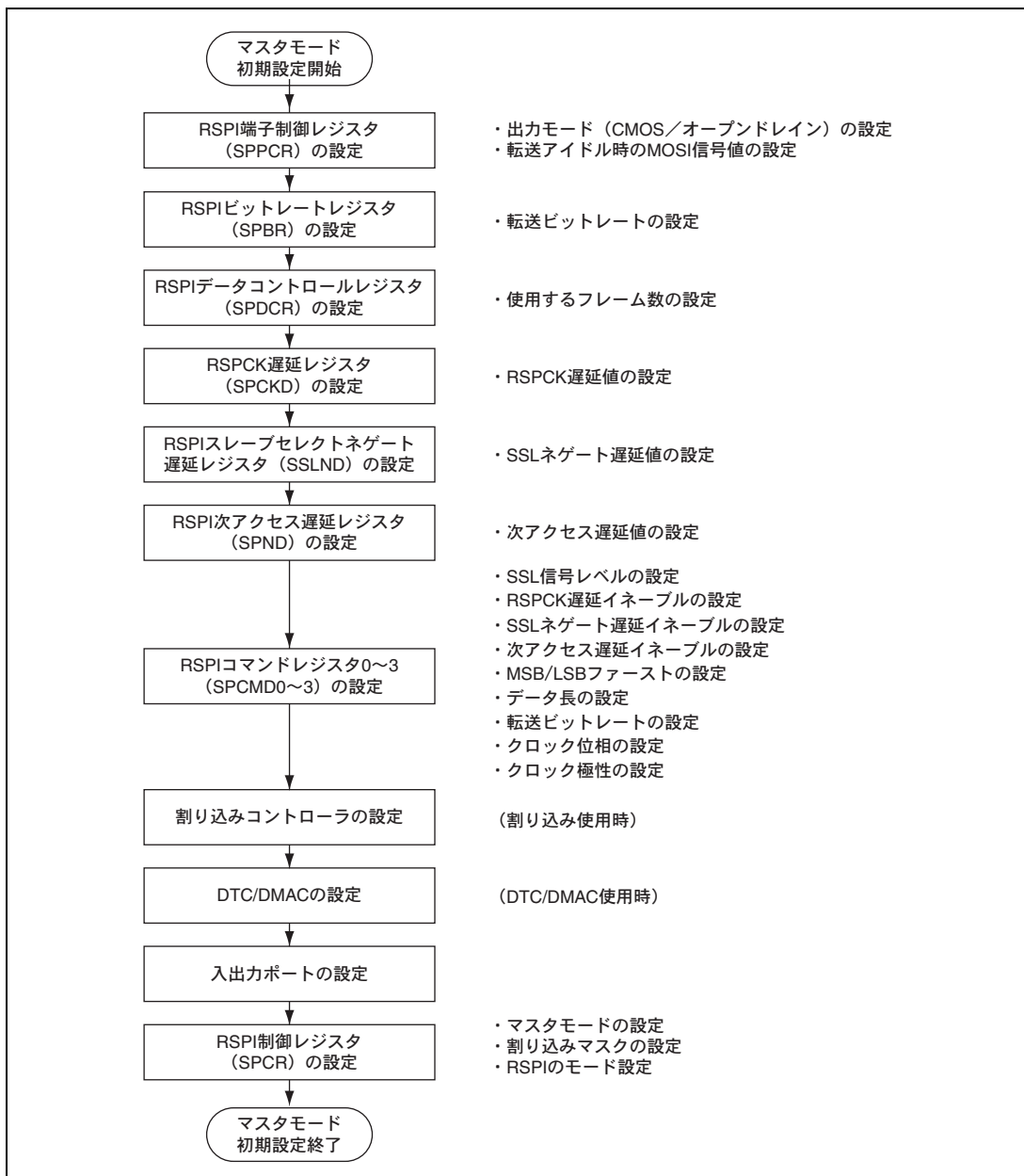


図 18.23 マスタモード時の初期化フロー例

(i) 転送動作フロー

図 18.24 に、SPI 動作時、マスタモードの転送動作フローを示します。

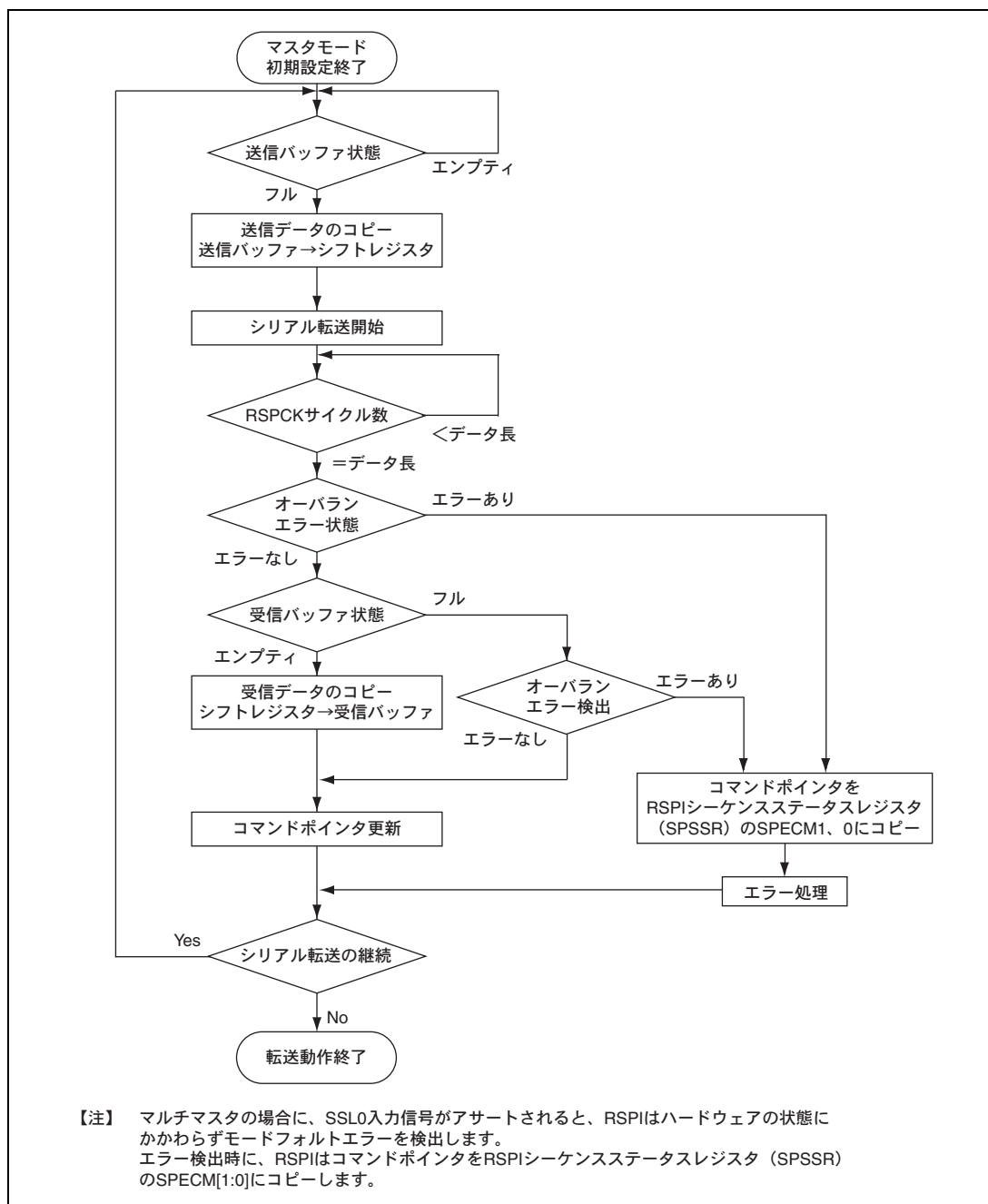


図 18.24 マスタモード時の転送動作フロー

18.4.10 クロック同期式動作

RSPI は、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行い、SSL 端子は IO ポートとして使用することができます。

クロック同期式動作は、SSL 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作をします。

マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSL 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、RSPI コマンドレジスタ (SPCMD) の CPHA ビットを 0 に設定した場合の動作について保証していません。

(1) スレーブモード動作

(a) シリアル転送の開始

RSPI は、RSPI 制御レジスタ (SPCR) の SPMS ビットが 1 であるとき、最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが 1 であるときは、RSPI は MISO 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を用いません。

(b) シリアル転送の終了

RSPI は最終サンプルタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3~SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。

(c) 初期化フロー

図 18.25 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

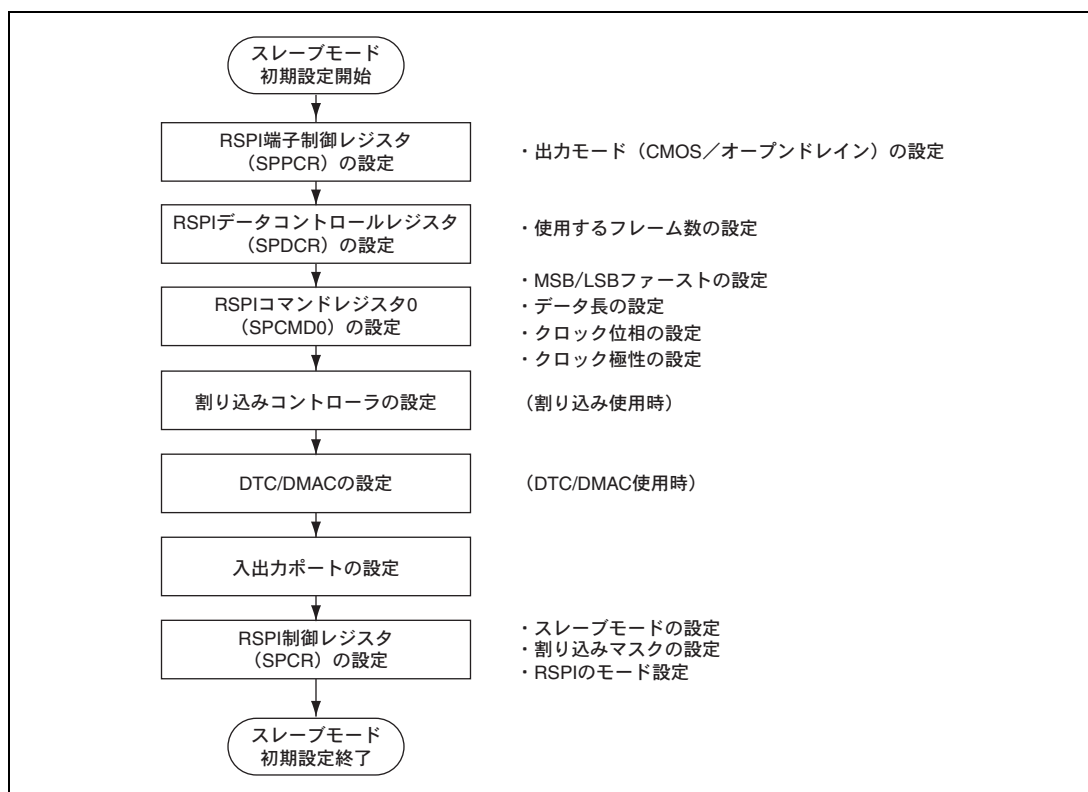


図 18.25 スレーブモード時の初期化フロー例

(d) 転送動作フロー

図 18.26 に、クロック同期式動作時の RSPI の転送動作フローを示します。

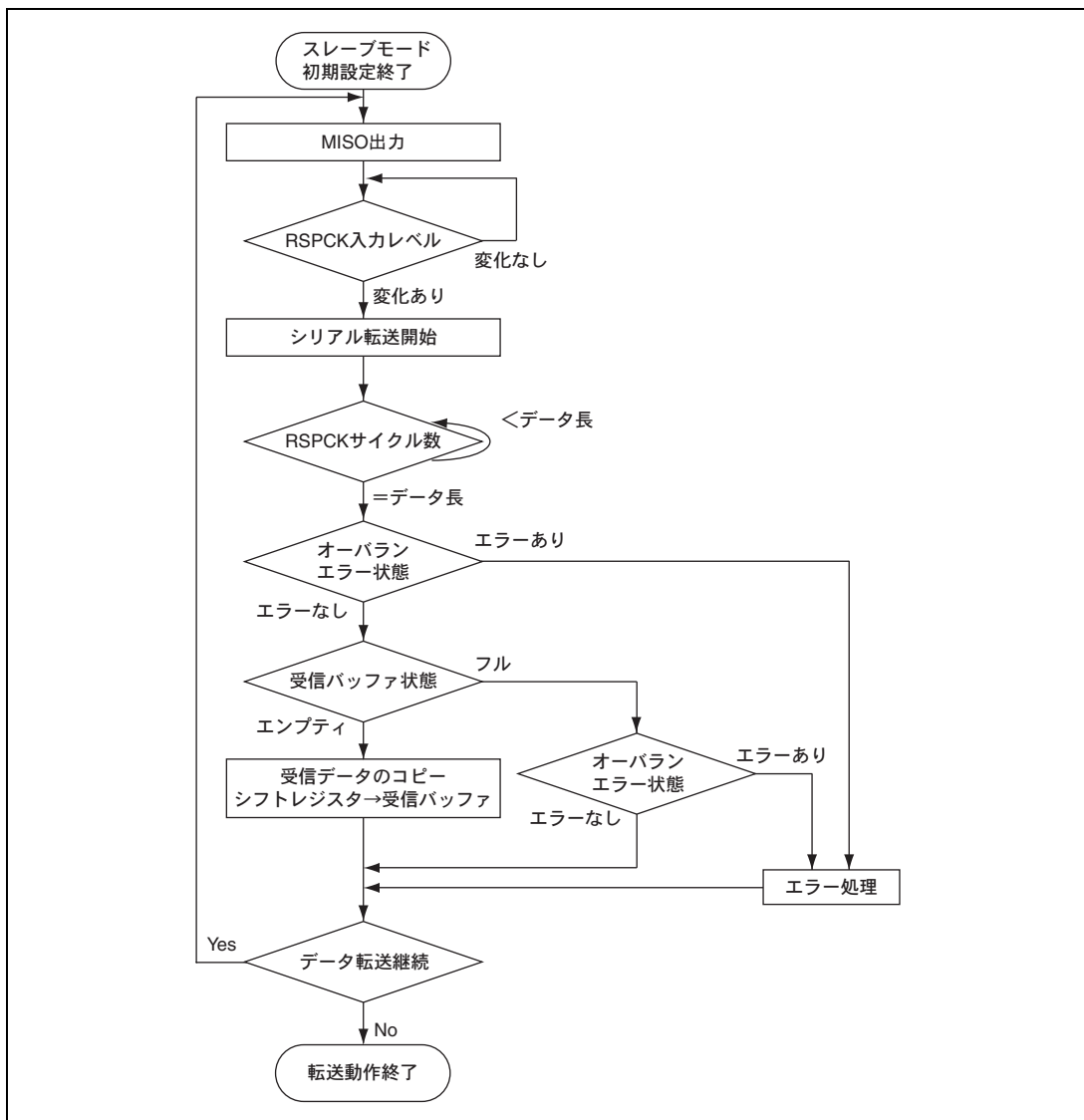


図 18.26 スレープモード時の転送動作フロー (CPHA=1)

(2) マスタモード動作

(a) シリアル転送の開始

RSPI ステータスレジスタ (SPSR) の SPTEF ビットが 1 の状態で、CPU または DTC/DMAC が RSPI データレジスタ (SPDR) ヘデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。DTC/DMAC からの SPDR への書き込み、または CPU から SPTEF の 1 読み出し後の 0 書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 出力信号を用いず通信を行います。

(b) シリアル転送の終了

RSPI はサンプルタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPSR) の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ (SPCMD) の SPB3~SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「18.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 出力信号を用いず通信を行います。

(c) シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ (SPSCR)、RSPI コマンドレジスタ 0~3 (SPCMD0~3)、RSPI ビットレートレジスタ (SPBR)、RSPI クロック遅延値レジスタ (SPCKD)、RSPI スleepセレクトネゲート遅延レジスタ (SSLND)、RSPI 次アクセス遅延値レジスタ (SPND) によって決定されます。クロック同期式動作時は、SSL 信号の出力を行いませんが、これらの設定は有効です。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長にしたがって、SPCMD0~3 の一部/全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ (SPSSR) の SPCP[1:0] ビットの読み出しによって CPU から確認可能です。RSPI 制御レジスタ (SPCR) の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

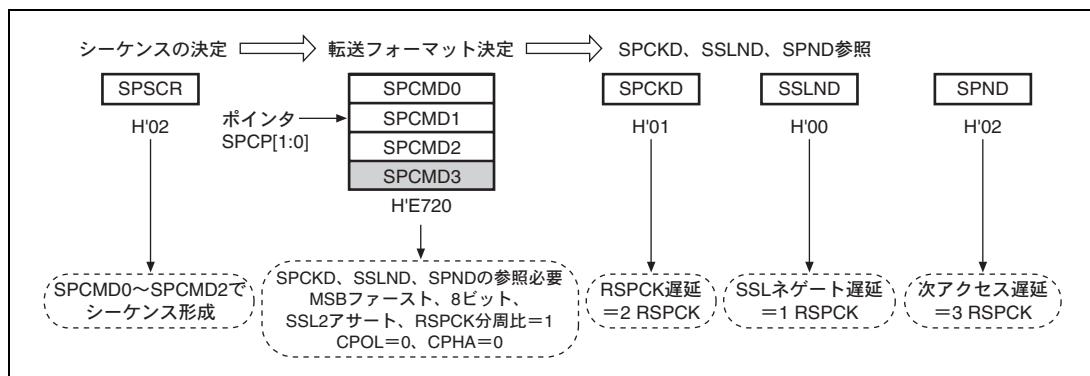


図 18.27 マスタモードでのシリアル転送方式の決定方法

(d) 初期化フロー

図 18.28 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC/DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

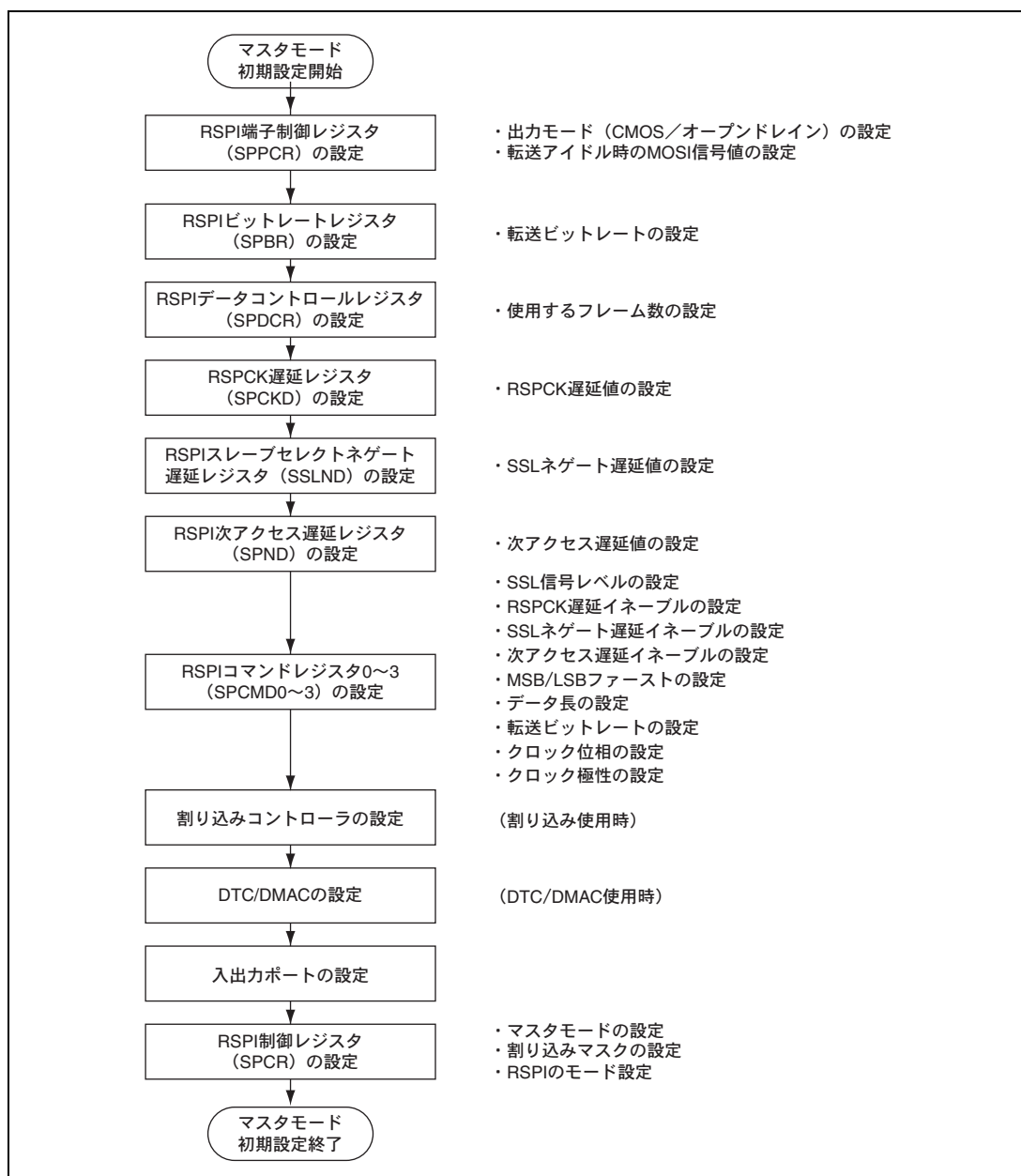


図 18.28 マスタモード時の初期化フロー例

(e) 転送動作フロー

図 18.29 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

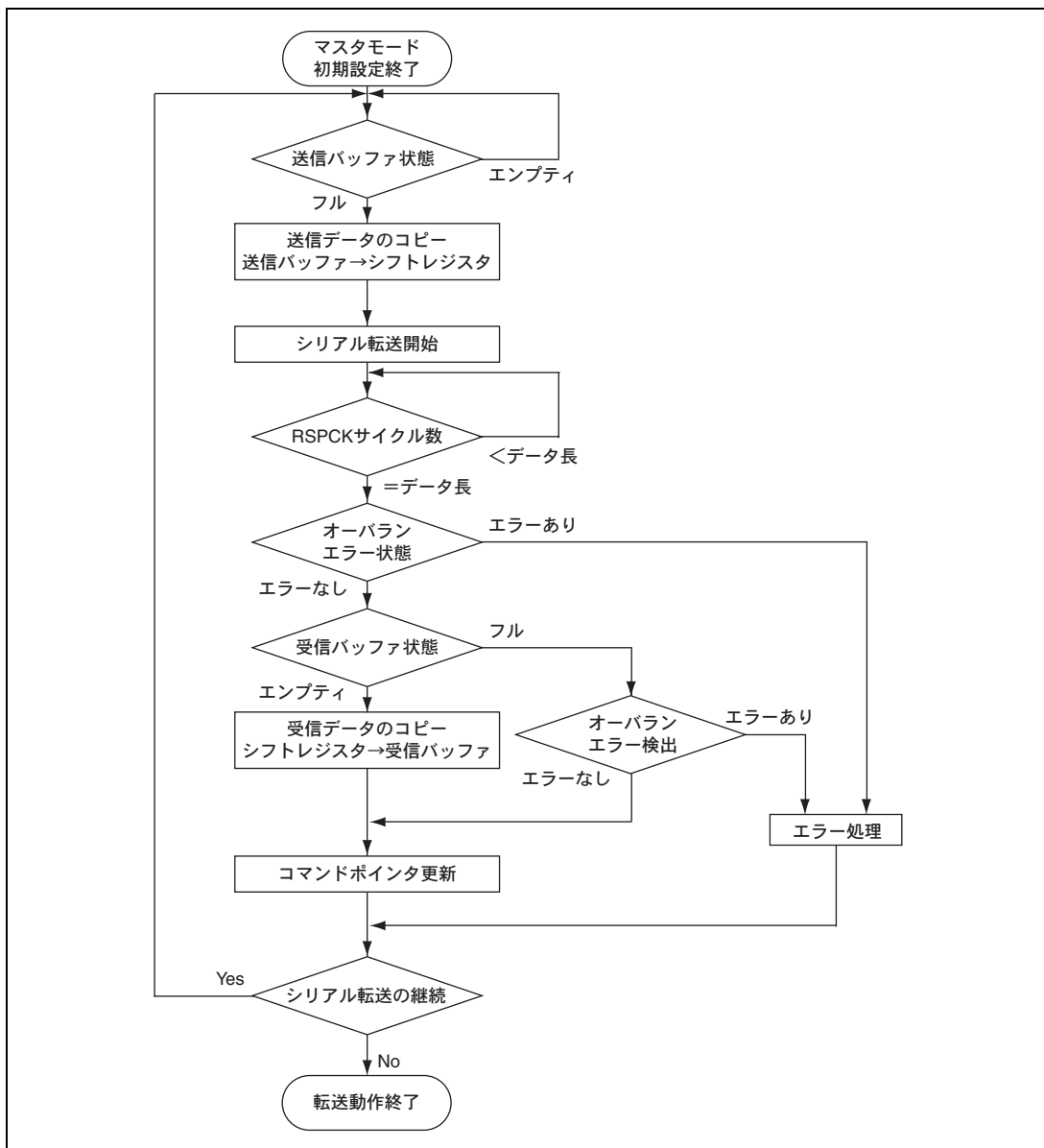


図 18.29 マスタモード時の転送動作フロー

18.4.11 エラー処理

図 18.30、図 18.31 に、RSPI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

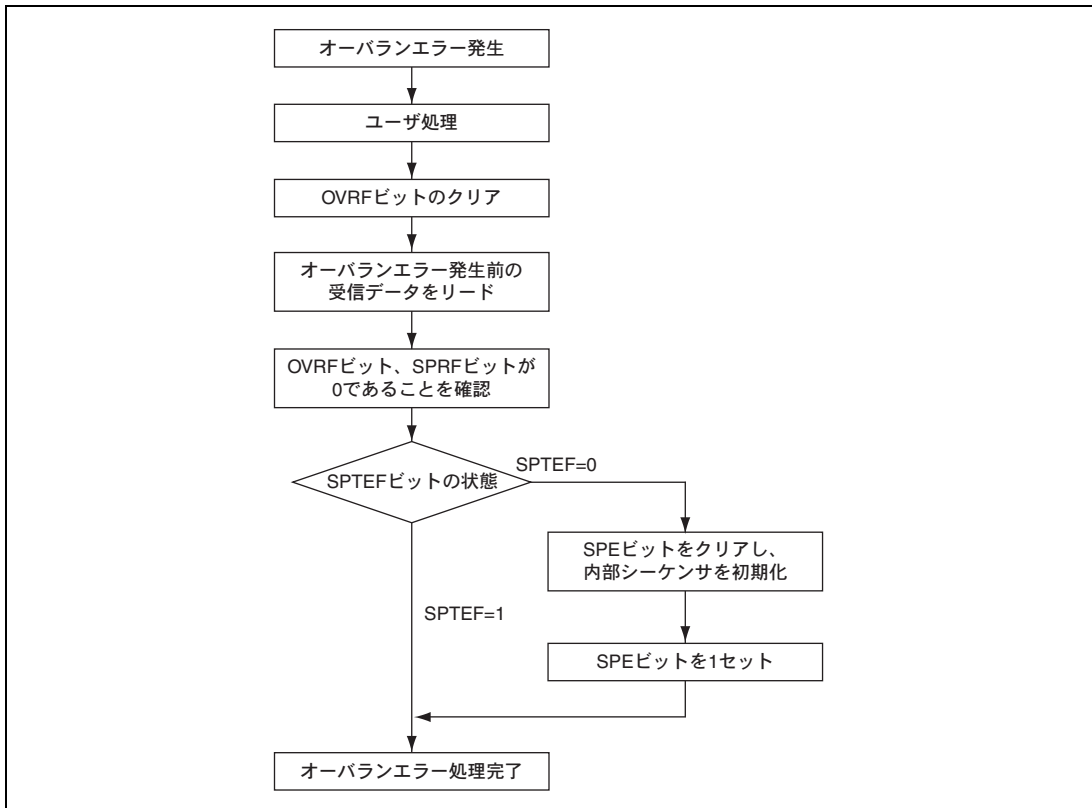


図 18.30 エラー処理 (オーバーランエラー)



図 18.31 エラー処理 (モードフォルトエラー)

18.4.12 ループバックモード

CPU が RSPI 端子制御レジスタ (SPPCR) の SPLP ビットに 1 を書き込むと、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します（ループバックモード）。ループバックモードでシリアル転送を実行すると、RSPI の送信データが RSPI の受信データになります。図 18.32 に、マスタモードの RSPI をループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

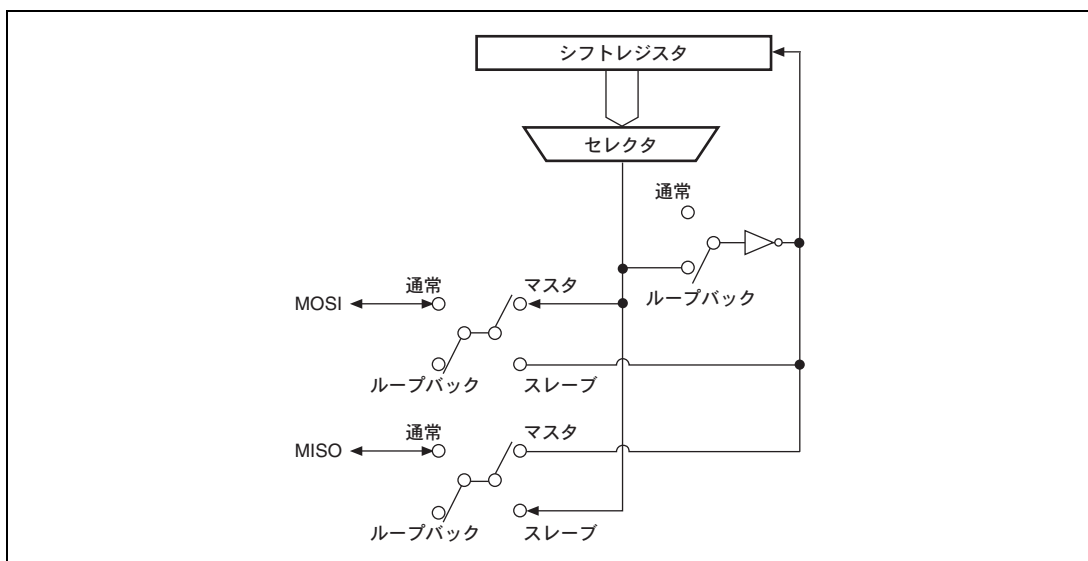


図 18.32 ループバックモード時のシフトレジスタ入出力構成（マスタモード）

18.4.13 割り込み要求

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC/DMAC を起動し、データ転送を行うことができます。

受信バッファフルの割り込み要求が SPRI、送信バッファエンプティの割り込み要求が SPTI、モードフォルト、オーバランの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 18.12 に、RSPI の割り込み要因を示します。

表 18.12 の割り込み条件が成立すると、割り込みが発生します。CPU または DTC/DMAC によるデータ転送で割り込み要因をクリアしてください。

表 18.12 RSPI の割り込み要因

名称	割り込み要因	略称	割り込み条件	DTC/DMAC 起動
SPRI	受信バッファフル	RXI	(SPRIE=1) ・ (SPRF=1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE=1) ・ (SPTEF=1)	○
SPEI	モードフォルト	MOI	(SPEIE=1) ・ (MODF=1)	—
	オーバラン	OVI	(SPEIE=1) ・ (OVRF=1)	—

18.5 使用上の注意

18.5.1 DTC ブロック転送

RXI、TXI を起動要因として DTC ブロック転送を行う場合には、DTC 転送カウントレジスタ A (CRA) のブロックサイズとブロックサイズカウンタの設定値をフレーム数設定ビットで設定したフレーム数と同じ数値に設定してください。違う数値を設定した場合、以後の動作は保証されません。

18.5.2 DMAC バースト転送

RXI、TXI を起動要因として DMAC 転送を行う場合には、DMA トランスファカウントレジスタ (DMATCR) の設定値をフレーム数設定ビットで設定したフレーム数と同じ数値にしてください。違う数値を設定した場合、以後の動作は保証されません。

18.5.3 受信データ読み出し

受信データを CPU により読み出すときは、指定バッファ数の回数を CPU で読み出したあとにフラグクリアを行ってください。指定バッファ数の回数を読み出さないでフラグクリアを行った場合、以後の動作は保証されません。

18.5.4 DTC/DMAC とモードフォルトエラーについて

DTC/DMAC の SPTXI 割り込みの設定と SPTIE ビットを有効にしている状態でモードフォルトエラーが発生した場合、意図した割り込み以外の割り込みが発生する可能性があります。SPTIE ビットが有効状態でモードフォルトエラー処理 (図 18.31) にて SPTIE ビットのクリアを行ってください。

またモードフォルトエラー発生後 DTC/DMAC を使用する場合は、DTC/DMAC の再設定を行ってください。

18.5.5 出力をオープンドレインとして使用する場合

RSPI の出力をオープンドレインとして使用する場合、プルアップ抵抗は V_{ccQ} と同じ電位にしてください。

プルアップ抵抗は、負荷を考慮し十分な評価を行って電気的特性を満たすような値にしてください。

18.5.6 スレーブモード時に端子を使用しない場合

スレーブモードで RSPI を使用する場合、SSL1~SSL3 端子は使用しません。ピンファンクションコントローラ (PFC) のポート E コントロールレジスタ L2、L3 (PECRL2、PECRL3) で他の機能に設定するか無効に設定してください。

19. A/D 変換器 (ADC)

本 LSI は、逐次比較方式の 12 ビットの A/D 変換器を内蔵しています。

19.1 特長

- 分解能：12ビット
- 入力チャンネル数：16チャンネル
- 高速変換
 - A ϕ = 50MHz動作時：1チャンネルあたり最小1.0 μ s
 - ADクロック = 50MHz、変換ステート = 50ステート
 - A ϕ = 40MHz動作時：1チャンネルあたり最小1.25 μ s
 - ADクロック = 40MHz、変換ステート = 50ステート
- 動作モード：3種類
 - 2チャンネルスキャンモード：最大2チャンネルを1回ずつA/D変換
 - 1サイクルスキャンモード：指定したチャンネルを1回ずつA/D変換
 - 連続スキャンモード：指定したチャンネルの繰り返しA/D変換
- 16本のA/Dデータレジスタ
 - A/D変換した結果は、各入力チャンネルに対応した16ビットのA/Dデータレジスタ (ADDR) に格納されます。
- サンプル&ホールド機能
 - 本LSIのA/D変換器はサンプル&ホールド回路を内蔵していますので、外部アナログ入力回路が簡単に構成できます。また、チャンネル0~2は、各チャンネルに専用のサンプル&ホールド回路を用意していますので、複数チャンネルの同時サンプリングが可能です。同時サンプリングができるのは、次の組み合わせです。
 - グループA (GrA)：チャンネル0、1、2のうち選択したアナログ入力端子を同時サンプリング
- A/D変換開始要求：3種類
 - ソフトウェア：ADCRのADSTビットの設定
 - タイマ：MTU2のTRGAN、TRG0N、TRG4AN、TRG4BN、MTU2SのTRGAN、TRG4AN、TRG4BN
 - 外部トリガ： $\overline{\text{ADTRG}}$ (LSI端子)
- A/D変換同期化機能
 - A/D₂の変換開始タイミングをA/D₁の変換開始タイミングに同期化させることが可能です。

- アナログ入力チャネルの選択機能
A/Dアナログ入力チャネル選択レジスタ (ADANSR) への設定により、任意のチャネルを選択してA/D変換させることが可能です。
- A/D変換終了割り込み、DMAC転送機能、およびDTC転送機能をサポート
A/D変換終了時に、CPUに対してA/D変換終了時割り込み (ADI) を発生することができます。また、ADIでDMACまたはDTCを起動できます。

図 19.1 に A/D 変換器のブロック図を示します。

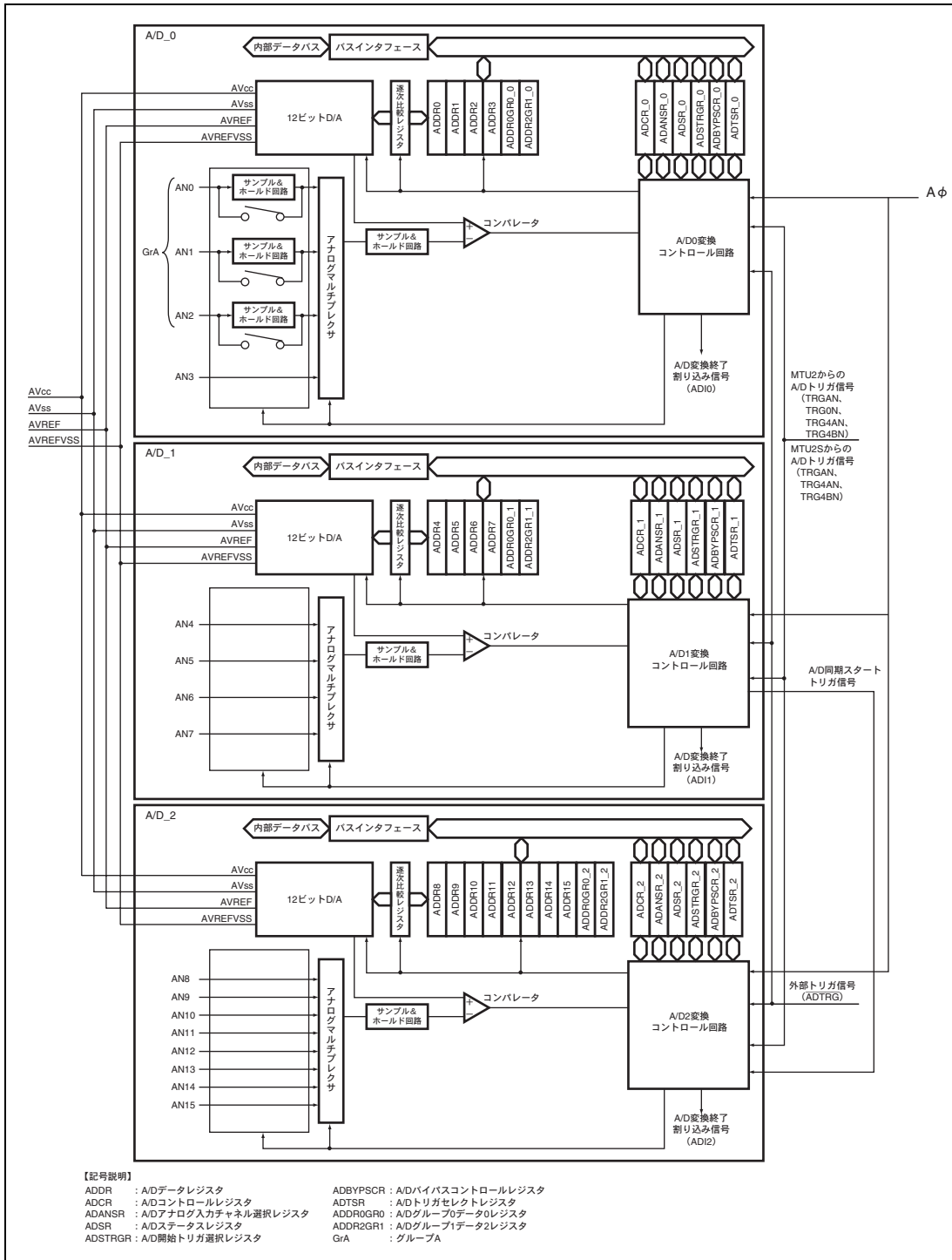


図 19.1 A/D 変換器のブロック図

19.2 入出力端子

A/D 変換器で使用する端子を表 19.1 に示します。端子の使用については注意事項がありますので、「19.7 使用上の注意事項」を参照してください。

表 19.1 端子構成

モジュール区分	端子名	入出力	機能
共通	AVCC	入力	アナログ部の電源端子
	AVSS	入力	アナログ部のグラウンド端子
	AVREF	入力	アナログ部のリファレンス電源端子 (ハイ側)
	AVREFVSS	入力	アナログ部のリファレンス電源端子 (ロー側)
	ADTRG	入力	A/D 外部トリガ入力端子
A/D モジュール 0 (A/D_0)	AN0	入力	アナログ入力端子 0 (グループ A)
	AN1	入力	アナログ入力端子 1 (グループ A)
	AN2	入力	アナログ入力端子 2 (グループ A)
	AN3	入力	アナログ入力端子 3
A/D モジュール 1 (A/D_1)	AN4	入力	アナログ入力端子 4
	AN5	入力	アナログ入力端子 5
	AN6	入力	アナログ入力端子 6
	AN7	入力	アナログ入力端子 7
A/D モジュール 2 (A/D_2)	AN8	入力	アナログ入力端子 8
	AN9	入力	アナログ入力端子 9
	AN10	入力	アナログ入力端子 10
	AN11	入力	アナログ入力端子 11
	AN12	入力	アナログ入力端子 12
	AN13	入力	アナログ入力端子 13
	AN14	入力	アナログ入力端子 14
	AN15	入力	アナログ入力端子 15

19.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 19.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
A/D コントロールレジスタ_0	ADCR_0	R/W	H'00	H'FFFFE800	8
A/D ステータスレジスタ_0	ADSR_0	R/W	H'00	H'FFFFE802	8
A/D 開始トリガ選択レジスタ_0	ADSTRGR_0	R/W	H'00	H'FFFFE81C	8
A/D アナログ入力チャネル選択レジスタ_0	ADANSR_0	R/W	H'00	H'FFFFE820	8
A/D バイパスコントロールレジスタ_0	ADBYPSCR_0	R/W	H'00	H'FFFFE830	8
A/D データレジスタ 0	ADDR0	R	H'0000	H'FFFFE840	16
A/D データレジスタ 1	ADDR1	R	H'0000	H'FFFFE842	16
A/D データレジスタ 2	ADDR2	R	H'0000	H'FFFFE844	16
A/D データレジスタ 3	ADDR3	R	H'0000	H'FFFFE846	16
A/D コントロールレジスタ_1	ADCR_1	R/W	H'00	H'FFFFEC00	8
A/D ステータスレジスタ_1	ADSR_1	R/W	H'00	H'FFFFEC02	8
A/D 開始トリガ選択レジスタ_1	ADSTRGR_1	R/W	H'00	H'FFFFEC1C	8
A/D アナログ入力チャネル選択レジスタ_1	ADANSR_1	R/W	H'00	H'FFFFEC20	8
A/D バイパスコントロールレジスタ_1	ADBYPSCR_1	R/W	H'00	H'FFFFEC30	8
A/D データレジスタ 4	ADDR4	R	H'0000	H'FFFFEC40	16
A/D データレジスタ 5	ADDR5	R	H'0000	H'FFFFEC42	16
A/D データレジスタ 6	ADDR6	R	H'0000	H'FFFFEC44	16
A/D データレジスタ 7	ADDR7	R	H'0000	H'FFFFEC46	16
A/D コントロールレジスタ_2	ADCR_2	R/W	H'00	H'FFFFEE00	8
A/D ステータスレジスタ_2	ADSR_2	R/W	H'00	H'FFFFEE02	8
A/D 開始トリガ選択レジスタ_2	ADSTRGR_2	R/W	H'00	H'FFFFEE1C	8
A/D アナログ入力チャネル選択レジスタ_2	ADANSR_2	R/W	H'00	H'FFFFEE20	8
A/D バイパスコントロールレジスタ_2	ADBYPSCR_2	R/W	H'00	H'FFFFEE30	8
A/D トリガセレクトレジスタ_0	ADTSR_0	R/W	H'0000	H'FFFFE930	16
A/D トリガセレクトレジスタ_1	ADTSR_1	R/W	H'0000	H'FFFFED30	16
A/D トリガセレクトレジスタ_2	ADTSR_2	R/W	H'0000	H'FFFFEF30	16
A/D データレジスタ 8	ADDR8	R	H'0000	H'FFFFEE40	16
A/D データレジスタ 9	ADDR9	R	H'0000	H'FFFFEE42	16
A/D データレジスタ 10	ADDR10	R	H'0000	H'FFFFEE44	16
A/D データレジスタ 11	ADDR11	R	H'0000	H'FFFFEE46	16
A/D データレジスタ 12	ADDR12	R	H'0000	H'FFFFEE48	16
A/D データレジスタ 13	ADDR13	R	H'0000	H'FFFFEE4A	16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
A/D データレジスタ 14	ADDR14	R	H'0000	H'FFFFFFE4C	16
A/D データレジスタ 15	ADDR15	R	H'0000	H'FFFFFFE4E	16
A/D グループ 0 データ 0 レジスタ_0	ADDR0GR0_0	R	H'0000	H'FFFFFFE932	16
A/D グループ 0 データ 0 レジスタ_1	ADDR0GR0_1	R	H'0000	H'FFFFFFED32	16
A/D グループ 0 データ 0 レジスタ_2	ADDR0GR0_2	R	H'0000	H'FFFFFFEF32	16
A/D グループ 1 データ 2 レジスタ_0	ADDR2GR1_0	R	H'0000	H'FFFFFFE934	16
A/D グループ 1 データ 2 レジスタ_1	ADDR2GR1_1	R	H'0000	H'FFFFFFED34	16
A/D グループ 1 データ 2 レジスタ_2	ADDR2GR1_2	R	H'0000	H'FFFFFFEF34	16

19.3.1 A/D コントロールレジスタ (ADCR_0~ADCR_2)

ADCR_0~ADCR_2は、8ビットの読み出し／書き込み可能なレジスタでA/D変換モードの選択などを行います。

ビット:	7	6	5	4	3	2	1	0
	ADST	ADCS	ACE	ADIE	-	-	TRGE	EXTRG
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*1	R/W*2	R/W*2	R/W*2	R	R	R/W*2	R/W*2

【注】 *1 ADSTが1のとき、1を上書きしないでください。

*2 ADSTが1のとき、値を変更しないでください。

ビット	ビット名	初期値	R/W	説明
7	ADST	0	R/W	<p>A/D スタート</p> <p>0にクリアするとA/D変換を中止し、待機状態になります。1にセットするとA/D変換を開始します。1サイクルスキャンモードおよび2チャンネルスキャンモードでは選択したチャンネルのA/D変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。</p> <p>【注】本ビットを設定する場合は、以下の制限があります。</p> <ol style="list-style-type: none"> ADST=0の状態ではADSTへ1をライトしてください。 ADST=1/0の書き込みを行う場合は、ADTSR_0、ADTSR_1、ADTSR_2のTRG1S[3:0]ビット、TRG0S[3:0]ビットをA/D変換開始トリガ非許可(H'A~H'F)に設定してください。
6	ADCS	0	R/W	<p>A/D 連続スキャン</p> <p>スキャンモード時の1サイクルスキャン／連続スキャンを選択するビットです。スキャンモード時のみ有効です。</p> <p>0: 1サイクルスキャン 1: 連続スキャン</p> <p>動作モードの切り替えは、ADSTが0の状態で行ってください。</p>
5	ACE	0	R/W	<p>自動クリアイネーブル</p> <p>CPU、DMACによってADDRレジスタを読み出した後の、ADDRレジスタの自動クリアを許可／禁止します。本ビットを1にセットした場合、CPUおよびDMACによりADDRレジスタを読み出し後、自動的にADDRレジスタをH'0000にクリアします。この機能によって、ADDRレジスタの未更新故障を検出することができます。</p> <p>0: ADDRのリードによるADDRの自動クリアを禁止 1: ADDRのリードによるADDRの自動クリアを許可</p>

ビット	ビット名	初期値	R/W	説明
4	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>CPU に対する A/D 変換終了割り込み (ADI) の発生を許可/禁止します。なお、誤動作を防ぐため、動作モードの切り替えは、必ず ADST が 0 の状態で行ってください。</p> <p>A/D 変換が終了して ADSR レジスタの ADF ビットが 1 にセットされたとき、本ビットが 1 にセットされていると CPU に対して ADI が発生します。ADF を 0 クリアするか、ADIE を 0 クリアすることで、ADI のクリアが可能です。</p> <p>また、ADI 発生時に DMAC/DTC を起動することができます。DMAC 起動時は、CPU に対する割り込みは発生しません。なお、DMAC を起動できるのは AD_0 のみです。</p> <p>0 : A/D 変換終了割り込み発生の禁止 1 : A/D 変換終了割り込み発生の許可</p>
3, 2	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	TRGE	0	R/W	<p>トリガイネーブル</p> <p>外部トリガ入力 ($\overline{\text{ADTRG}}$) あるいは、MTU2 および MTU2S の A/D 変換開始トリガ (MTU2 からは TRGAN、TRG0N、TRG4AN、TRG4BN、MTU2S からは TRGAN、TRG4AN、TRG4BN) による A/D 変換開始を許可/禁止します。外部トリガと MTU2、MTU2S の A/D 変換開始トリガの選択は、EXTRG ビットの説明を参照してください。</p> <p>0 : 外部トリガまたは MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換の開始を禁止 1 : 外部トリガまたは MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換の開始を許可</p>
0	EXTRG	0	R/W	<p>トリガ選択</p> <p>A/D 変換開始トリガとして、外部トリガ ($\overline{\text{ADTRG}}$) を用いるか、MTU2、MTU2S の A/D 変換開始トリガを用いるかのどちらかを選択します。</p> <p>外部トリガ (EXTRG=1) に設定した場合、TRGE を 1 にセットした後、$\overline{\text{ADTRG}}$ 端子にローレベルのパルスを入力すると、A/D 変換はパルスの立ち下がりエッジを検出し、ADCR レジスタの ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換開始機能は ADST ビットが 0 にクリアされているときのみ有効です。2 チャネルスキャンモードでは本ビットは無効です。</p> <p>なお、外部トリガ開始機能を使用するとき、$\overline{\text{ADTRG}}$ 端子に入力するローレベルパルス幅は、1.5Pφクロック以上である必要があります。</p> <p>0 : MTU2/MTU2S からの A/D 変換開始トリガによる A/D 変換器の起動を行います 1 : 外部端子 ($\overline{\text{ADTRG}}$) による A/D 変換器の起動を行います</p>

19.3.2 A/D ステータスレジスタ (ADSR_0~ADSR_2)

ADSR_0~ADSR_2 は、8 ビットの読み出し／書き込み可能なレジスタで、A/D 変換器の状態を示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ADF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
フラグが0のとき0を上書きしないでください。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC/DTC が起動され、ADDR をリードしたとき

19.3.3 A/D 開始トリガ選択レジスタ (ADSTRGR_0~ADSTRGR_2)

ADSTRGR_0~ADSTRGR_2 は、ADCR レジスタの TRGE ビットを 1 に設定、ADTSR の 2CHSE ビットを 0 に設定、かつ ADCR レジスタの EXTRG ビットを 0 に設定した場合に、A/D 変換開始要因として使用する MTU2 および MTU2S の A/D 変換開始トリガを選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	STR6	STR5	STR4	STR3	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	STR6	0	R/W	開始トリガ 6 MTU2S から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRGAN トリガ (MTU2S) による A/D 変換の開始を禁止 1: TRGAN トリガ (MTU2S) による A/D 変換の開始を許可
5	STR5	0	R/W	開始トリガ 5 MTU2S から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRG4AN トリガ (MTU2S) による A/D 変換の開始を禁止 1: TRG4AN トリガ (MTU2S) による A/D 変換の開始を許可
4	STR4	0	R/W	開始トリガ 4 MTU2S から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRG4BN トリガ (MTU2S) による A/D 変換の開始を禁止 1: TRG4BN トリガ (MTU2S) による A/D 変換の開始を許可
3	STR3	0	R/W	開始トリガ 3 MTU2 から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRG0N トリガ (MTU2) による A/D 変換の開始を禁止 1: TRG0N トリガ (MTU2) による A/D 変換の開始を許可
2	STR2	0	R/W	開始トリガ 2 MTU2 から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRGAN トリガ (MTU2) による A/D 変換の開始を禁止 1: TRGAN トリガ (MTU2) による A/D 変換の開始を許可
1	STR1	0	R/W	開始トリガ 1 MTU2 から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRG4AN トリガ (MTU2) による A/D 変換の開始を禁止 1: TRG4AN トリガ (MTU2) による A/D 変換の開始を許可
0	STR0	0	R/W	開始トリガ 0 MTU2 から入力される A/D 変換開始要求の許可/禁止を設定します。 0: TRG4BN トリガ (MTU2) による A/D 変換の開始を禁止 1: TRG4BN トリガ (MTU2) による A/D 変換の開始を許可

19.3.4 A/D アナログ入力チャンネル選択レジスタ (ADANSR_0~ADANSR_2)

ADANSR_0~ADANSR_2 は、8 ビットの読み出し/書き込み可能なレジスタでアナログ入力チャンネルの選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ANS7	0	R/W	A/D アナログ入力チャンネル選択レジスタのビットを 1 に設定することにより、設定したビットに対応するチャンネルが選択されます。アナログ入力端子とビットの対応は表 19.3 を参照してください。誤動作を防ぐためアナログ入力チャンネルの切り替えは、必ず、ADCR レジスタの ADST ビットが 0 の状態で実施してください。 なお、ADANSR_0 と ADANSR_1 では、ビット 7~4 (ANS7~ANS4) はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	ANS6	0	R/W	
5	ANS5	0	R/W	
4	ANS4	0	R/W	
3	ANS3	0	R/W	
2	ANS2	0	R/W	
1	ANS1	0	R/W	
0	ANS0	0	R/W	

表 19.3 チャンネル選択一覧表

ビット名	アナログ入力チャンネル		
	A/D_0	A/D_1	A/D_2
ANS0	AN0	AN4	AN8
ANS1	AN1	AN5	AN9
ANS2	AN2	AN6	AN10
ANS3	AN3	AN7	AN11
ANS4	—	—	AN12
ANS5	—	—	AN13
ANS6	—	—	AN14
ANS7	—	—	AN15

19.3.5 A/D バイパスコントロールレジスタ (ADBYPSCR_0~ADBYPSCR_2)

ADBYPSCR は、各チャンネル専用のサンプル&ホールド回路の使用、A/D 変換同期化機能の選択を行うレジスタです。

グループ A (GrA) は各チャンネル専用のサンプル&ホールド回路を用いた A/D 変換と、用いない A/D 変換を行うかを選択することが可能です。

ADBYPSCR_0 レジスタの SH ビットを 1 に設定することで各チャンネル専用のサンプル&ホールド回路が選ばれます。サンプル&ホールド回路を用いない場合、A/D 変換時には各チャンネル専用のサンプル&ホールド回路でのサンプリング時間を含みません。詳細は「19.4 動作説明」を参照してください。

ADBYPSCR_2 レジスタの ADSST ビットを 1 に設定することで、A/D 変換器_2 の変換開始タイミングを A/D 変換器_1 の変換開始タイミングに同期化します。詳細は「19.4 動作説明」を参照してください。

本レジスタの SH ビット機能は A/D 変換器_0 のみの機能です。A/D 変換器_1 と A/D 変換器_2 は SH ビットが 0 の状態と同じになります。

本レジスタの ADSST ビット機能は A/D 変換器_2 のみの機能です。A/D 変換器_0 と A/D 変換器_1 は ADSST ビットが 0 の状態と同じになります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ADSST	-	-	SH
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	ADSST	0	R/W	A/D 同期開始ビット (ADBYPSCR_2 のみ) A/D_1 の変換開始タイミングに同期化します。 ADCR_2 の ADST ビットが 0 のときに設定してください。 A/D 同期変換が開始されると 0 にクリアされ、ADCR_2 レジスタの ADST ビットが 1 にセットされます。 従来仕様で A/D 変換が開始しないように、ADCR_2 レジスタの TRGE ビットは 0 にしてください。 ADBYPSCR_0 と ADBYPSCR_1 のビット 3 はリザーブビットです。書き込むときは 0 を選択してください。
2, 1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SH	0	R/W	各チャンネルの専用サンプル&ホールド回路選択ビット (ADBYPSCR_0 のみ) 0: サンプル&ホールド回路を選択しない 1: サンプル&ホールド回路を選択する ADBYPSCR_1 と ADBYPSCR_2 のビット 0 はリザーブビットです。書き込むときは 0 を選択してください。

19.3.6 A/D データレジスタ 0~15 (ADDR0~ADDR15)

ADDR0~ADDR15 は、A/D 変換した結果を格納するための 16 ビットの読み出し専用レジスタです。各アナログ入力チャンネルの変換結果は、対応する番号の ADDR に格納されます (表 19.4 参照)。

12 ビットの変換データは ADDR のビット 11 からビット 0 に格納されます。

ADDR の初期値は H'0000 です。

また ADDR レジスタは、ADCR レジスタの ACE ビットを 1 にセットすることにより、ADDR レジスタを読み出した後、自動的に ADDR レジスタを H'0000 にクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ADD[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット
11~0	ADD[11:0]	すべて 0	R	ビットデータ (12 ビット)

表 19.4 アナログ入力チャンネルと ADDR0~ADDR15 レジスタの対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDR0/ADDR0GR0_0*
AN1	ADDR1
AN2	ADDR2/ADDR2GR1_0*
AN3	ADDR3
AN4	ADDR4/ADDR0GR0_1*
AN5	ADDR5
AN6	ADDR6/ADDR2GR1_1*
AN7	ADDR7
AN8	ADDR8/ADDR0GR0_2*
AN9	ADDR9
AN10	ADDR10/ADDR2GR1_2*
AN11	ADDR11
AN12	ADDR12
AN13	ADDR13
AN14	ADDR14
AN15	ADDR15

【注】 * 2 チャンネルスキャンモードで A/D 変換した結果を格納できます。

19.3.7 A/D トリガセレクトレジスタ (ADTSR_0~ADTSR_2)

ADTSR は 16 ビットの読み出し/書き込み可能なレジスタで、2 チャネルスキャンモード選択と 2 チャネルスキャンモードの各種設定を行います。

【注】 A/D トリガ間隔は (A/D 変換時間×N+30×M+14) Aφステート以上です。

ADBYPSR レジスタの SH=0 のときは M=0、SH=1 のときは M=1

ADTSR レジスタの CHSEC=0 のときは N=1、CHSEC=1 のときは N=2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRG1S[3:0]				TRG0S[3:0]				-	-	-	-	-	CHSEC	CON ADF	2CHSE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TRG1S [3:0]	0000	R/W	<p>A/D トリガグループ 1 セレクト</p> <p>A/D モジュールの 2 チャネルスキャンモード時のグループ 1 に対する外部トリガ、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ ($\overline{\text{ADTRG}}$) の入力</p> <p>0001 : TRGAN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0010 : TRG0N トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0011 : TRG4AN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0100 : TRG4BN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0101 : TRG4AN トリガ (MTU2) および TRG4BN (MTU2) による A/D 変換の開始を許可</p> <p>0110 : TRGAN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>0111 : TRG4AN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>1000 : TRG4BN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>1001 : TRG4AN トリガ (MTU2S) および TRG4BN (MTU2S) による A/D 変換の開始を許可</p> <p>上記以外 : 外部、MTU2、MTU2S からのトリガによる A/D 変換の開始を禁止</p>

ビット	ビット名	初期値	R/W	説明
11~8	TRG0S [3:0]	0000	R/W	<p>A/D トリガグループ 0 セレクト</p> <p>A/D モジュールの 2 チャネルスキャンモード時のグループ 0 に対する外部トリガ、MTU2、MTU2S からの A/D 変換開始トリガを選択します。</p> <p>0000 : 外部トリガ (ADTRG) の入力</p> <p>0001 : TRGAN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0010 : TRG0N トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0011 : TRG4AN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0100 : TRG4BN トリガ (MTU2) による A/D 変換の開始を許可</p> <p>0101 : TRG4AN トリガ (MTU2) および TRG4BN (MTU2) による A/D 変換の開始を許可</p> <p>0110 : TRGAN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>0111 : TRG4AN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>1000 : TRG4BN トリガ (MTU2S) による A/D 変換の開始を許可</p> <p>1001 : TRG4AN トリガ (MTU2S) および TRG4BN (MTU2S) による A/D 変換の開始を許可</p> <p>上記以外 : 外部、MTU2、MTU2S からのトリガによる A/D 変換の開始を禁止</p>
7~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読みだされます。書き込む値も常に 0 にしてください。</p>
2	CHSEC	0	R/W	<p>2 チャネルスキャンモード時チャンネル選択</p> <p>2 チャネルスキャンモード時の、グループ 0、グループ 1 のチャンネルを選択します。表 19.5 を参照してください。</p>
1	CONADF	0	R/W	<p>ADF コントロール</p> <p>2 チャネルスキャンモード時の ADF の動作を制御します。本ビットは 2 チャネルスキャンモード時かつトリガによる A/D 変換開始 (TRGE=1) の設定時のみ有効です。</p> <p>0 : グループ 0 トリガ、グループ 1 トリガそれぞれの変換終了時に ADF がセットされます。</p> <p>1 : グループ 0 トリガ、グループ 1 トリガ両方の変換終了時に ADF がセットされます。なお、トリガの順番には影響されません。</p>
0	2CHSE	0	R/W	<p>2 チャネルスキャンモード有効</p> <p>2 チャネルスキャンモード機能を有効にします。1 サイクルスキャンモード、連続スキャンモードは無視されます。</p> <p>0 : ADCR レジスタの ADCS ビットの設定に従い、本 AD の動作は 1 チャネルスキャンモード、連続スキャンモードになります。</p> <p>1 : AD の動作は 2 チャネルスキャンモードになります。</p> <p>ADCR レジスタの ADCS ビットの設定は無視されます。</p>

表 19.5 2 チャンネルスキャンモード時のチャンネルセレクト一覧表

CHSECビット	アナログ入力チャンネル		
	2チャンネルスキャンモード (2CHSE=1)、トリガ起動時		
	A/D_0	A/D_1	A/D_2
0	グループ0: AN0 グループ1: AN2	グループ0: AN4 グループ1: AN6	グループ0: AN8 グループ1: AN10
1	グループ0: AN0、AN1 グループ1: AN2、AN3	グループ0: AN4、AN5 グループ1: AN6、AN7	グループ0、AN8、AN9 グループ1: AN10、AN11

【注】 ADCS ビットの設定は無視されて、1 サイクルスキャンモードになります。

ビット名	アナログ入力チャンネル		
	2チャンネルスキャンモード (2CHSE=1)、ソフトウェア起動時、 ADANSRレジスタのANS7~0ビットに対応するチャンネルでスキャン動作		
	A/D_0	A/D_1	A/D_2
ANS0	AN0	AN4	AN8
ANS1	AN1	AN5	AN9
ANS2	AN2	AN6	AN10
ANS3	AN3	AN7	AN11
ANS4	—	—	AN12
ANS5	—	—	AN13
ANS6	—	—	AN14
ANS7	—	—	AN15

- 【注】
1. CONADF=0 のとき、ADF ビットは1にセットされます。
CONADF=1 のとき、ADF ビットは1にセットされません。
 2. 2チャンネルスキャンモード設定後、ソフトウェアによる起動を行った場合、各グループ (グループ0/グループ1) としてのA/D変換は行われず、ANSビットの設定に応じたチャンネルを1サイクルスキャンモードでA/D変換します。グループ0/グループ1によるA/D起動が有効となるのは、ADTSRレジスタで選択したトリガによる起動時のみです。

19.3.8 A/D グループ 0 データ 0 レジスタ (ADDR0GR0_0~ADDR0GR0_2)

ADDR0GR0_0 (ADDR0GR0_1, ADDR0GR0_2) は、16 ビットの読み出し可能なレジスタで、2 チャンルスキャンモードで ADTSR の TRG0S を B'0101 に設定し、かつ MTU2 の TRG4BN による A/D 変換器を起動し、あるいは ADTSR の TRG0S を B'1001 に設定し、かつ MTU2S の TRG4BN による A/D 変換器を起動した場合に、AN0 (AN4、AN8) の変換結果が ADDR0GR0_0 (ADDR0GR0_1, ADDR0GR0_2) に格納されます。12 ビットの変換データは ADDR0GR0_0 (ADDR0GR0_1, ADDR0GR0_2) のビット 11~0 に格納されます。

なお、A/D コントロールレジスタ (ADCR) の ACE ビットを 1 に設定した場合、本レジスタを読み出し後、自動的に H'0000 にクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ADD[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット
11~0	ADD[11:0]	すべて 0	R	ビットデータ (12 ビット)

19.3.9 A/D グループ 1 データ 2 レジスタ (ADDR2GR1_0~ADDR2GR1_2)

ADDR2GR1_0 (ADDR2GR1_1, ADDR2GR1_2) は、16 ビットの読み出し可能なレジスタで、2 チャンルスキャンモードで ADTSR の TRG1S を B'0101 に設定し、かつ MTU2 の TRG4BN による A/D 変換器を起動し、あるいは ADTSR の TRG1S を B'1001 に設定し、かつ MTU2S の TRG4BN による A/D 変換器を起動した場合に、AN2 (AN6、AN10) の変換結果が ADDR2GR1_0 (ADDR2GR1_1, ADDR2GR1_2) に格納されます。

なお、A/D コントロールレジスタ (ADCR) の ACE ビットを 1 に設定した場合、本レジスタを読み出し後、自動的に H'0000 にクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ADD[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット
11~0	ADD[11:0]	すべて 0	R	ビットデータ (12 ビット)

19.4 動作説明

A/D 変換の動作モードには、1 サイクルスキャンモード、連続スキャンモード、2 チャネルスキャンモードの 3 種類の動作モードがあります。1 サイクルスキャンモードは、1 チャネル以上の A/D 変換を 1 回行って終了するモードです。連続スキャンモードは、指定した 1 チャネル以上の A/D 変換を ADST ビットが 0 にクリアされるまで繰り返すモードです。2 チャネルスキャンモードは、4 チャネルのアナログをグループ 0 とグループ 1 に分けており、グループ 0 とグループ 1 にそれぞれの選択トリガによって指定したチャンネルの A/D 変換を一回行って終了するモードです。

動作モードの選択は A/D コントロールレジスタ (ADCR) の ADCS ビットと A/D トリガセレクトレジスタ (ADTSR) の 2CHSE ビットで行います。1 サイクルスキャンモードを選択する場合は、ADCS ビットを 0 および 2CHSE ビットを 0 に設定します。連続スキャンモードを選択する場合は、ADCS ビットを 1 および 2CHSE ビットを 0 に設定します。2 チャネルスキャンモードを選択する場合は、ADCS ビットの値にかかわらず 2CHSE ビットを 1 に設定します。1 サイクルスキャンモードと連続スキャンモードとも変換が開始すると、A/D アナログ入力チャンネル選択レジスタ (ADANSR) で選択したアナログ入力チャンネル番号の小さい順 (AN0→AN15) から A/D 変換を行います。MTU2、MTU2S、または外部トリガ入力によって ADCR レジスタの ADST ビットが 1 にセットされると、A/D トリガセレクトレジスタ (ADTSR) の CHSEC ビットで選択したアナログ入力チャンネル番号の小さい順 (例えば、AN0、AN1) に A/D 変換を実行します。ソフトウェアによって ADCR レジスタの ADST ビットが 1 にセットされると、A/D アナログ入力チャンネル選択レジスタ (ADANSR) で選択したアナログ入力チャンネル番号の小さい順 (AN0→AN15) から A/D 変換を行います。

A/D₂ は、A/D バイパスコントロールレジスタ (ADBYPSR₂) の ADSST ビットを 1 に設定することにより A/D₂ の変換開始タイミングを A/D₁ の変換開始タイミングに同期化することが可能です。A/D₁ を最低 1 回 A/D 変換する必要があります。A/D₂ の開始タイミングは、ADSST ビットをセットした後に発生する A/D₁ の A/D 同期スタートトリガ信号で A/D₁ と同期化します。

ADSST ビットをセットする前に動作モードの設定を行ってください。ADSST ビットのセットは A/D コントロールレジスタ (ADCR₂) の ADST ビットが 0 のときに設定してください。A/D 同期変換が開始すると ADSST ビットは 0 クリアされ ADST ビットが 1 にセットされます。A/D 同期スタートトリガ信号以外で A/D 変換が開始されないように A/D コントロールレジスタ (ADCR₂) の TRGE ビットは 0 にしてください。

1 サイクルスキャンモードと 2 チャネルスキャンモードの場合、設定した全チャンネルを 1 度変換終了すると ADSR の ADF ビットを 1 にセットして、ADST ビットが自動的に 0 クリアされます。連続スキャンモードの場合、設定した全チャンネルを変換終了すると、ADSR の ADF ビットを 1 にセットします。A/D 変換を停止する場合、ADST ビットに 0 を書き込んでください。ADF ビットが 1 にセットされたとき、ADCR の ADIE ビットが 1 にセットされていると、A/D 変換終了割り込み (ADI) を発生します。ADF ビットを 0 クリアするときには、ADF ビットの 1 を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC または DTC を起動した場合には、ADF ビットは ADDR を読み出したとき、自動的に 0 クリアされます。

19.4.1 1 サイクルスキャンモード

アナログ入力 0~3 (AN0~AN3) を選択して、A/D 変換を 4 チャンネルで 1 サイクルスキャンする場合の動作例を次に示します。

1. A/Dコントロールレジスタ (ADCR) のADCSビットを0にセットします。
2. A/Dアナログ入力チャンネル選択レジスタ (ADANSR) のANS0~ANS3ビットをすべて1にセットします。
3. A/Dバイパスコントロールレジスタ_0 (ADBYPSCR_0) のSHビットをセットします。
4. A/Dコントロールレジスタ (ADCR) のADSTビットを1にセットしてA/D変換を開始します。
5. チャンネル0~チャンネル2 (GrA) のサンプリングを同時に行います*。その後、チャンネル0のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR0レジスタに転送します。その後、同様にチャンネル1、チャンネル2の変換とA/D変換結果のADDR1レジスタ、ADDR2レジスタへの転送が行われます。
6. チャンネル3のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR3レジスタに転送します。
7. 設定した全チャンネル (AN0~AN3) の変換が終了すると、ADFビットを1にセットして、自動的にADSTビットを0にクリアし、A/D変換を停止します。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。

【注】 * ADBYPSCR_0 の SH ビットの設定により変わります。詳細については図 19.2、図 19.3 を参照してください。

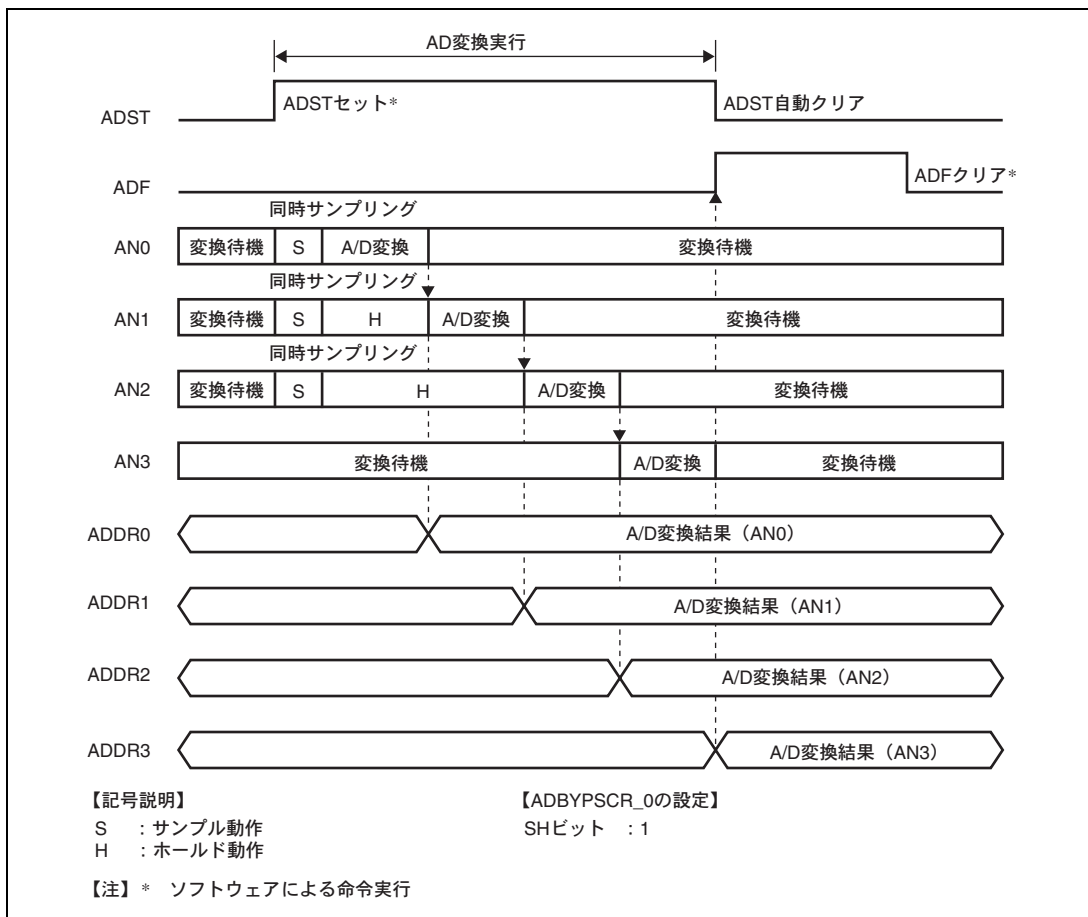


図 19.2 A/D_0 変換器の動作例 1 (1 サイクルスキャンモード、サンプル&ホールド回路：有効)

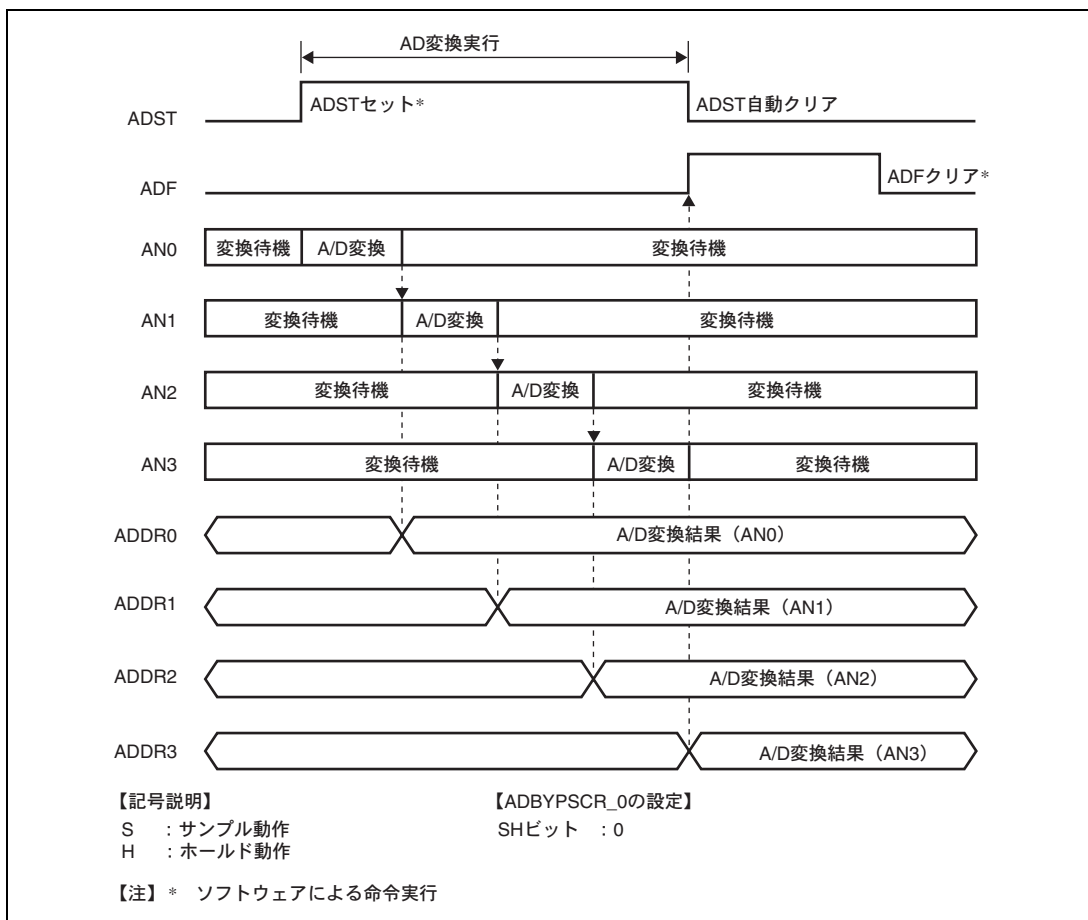


図 19.3 A/D_0 変換器の動作例 2 (1 サイクルスキャンモード、サンプル&ホールド回路：無効)

19.4.2 連続スキャンモード

アナログ入力 0、2、3 (AN0、AN2、AN3) を選択して、A/D の変換を 3 チャンネルで連続スキャンする場合の動作例を次に示します。

1. A/Dコントロールレジスタ (ADCR) のADCSビットを1にセットします。
2. A/Dアナログ入力チャンネル選択レジスタ (ADANSR) のANS0、ANS2、ANS3ビットをすべて1にセットします。
3. A/Dバイパスコントロールレジスタ_0 (ADBYPSCR_0) のSHビットをセットします。
4. A/Dコントロールレジスタ (ADCR) のADSTビットを1にセットしてA/D変換を開始します。
5. チャンネル0、2 (GrA) のサンプリングを同時に行います*。このとき、ADANSRレジスタのANS1が0にセットされているので、チャンネル1のサンプリングを行いません。次にチャンネル0のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR0レジスタに転送します。続いてチャンネル2が変換され、A/D変換が終了すると、A/D変換結果をADDR2レジスタに転送します。チャンネル1についてはA/D変換を行いません。
6. その後、チャンネル3がA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR3レジスタに転送します。
7. 設定したチャンネル (AN0、AN2、AN3) の変換が終了すると、ADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みが発生します。
8. ADSTビットが1にセットされている間は、5.~7.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、5.~7.を繰り返します。

【注】 * ADBYPSCR_0 の SH ビットの設定により変わります。詳細については図 19.4、図 19.5 を参照してください。

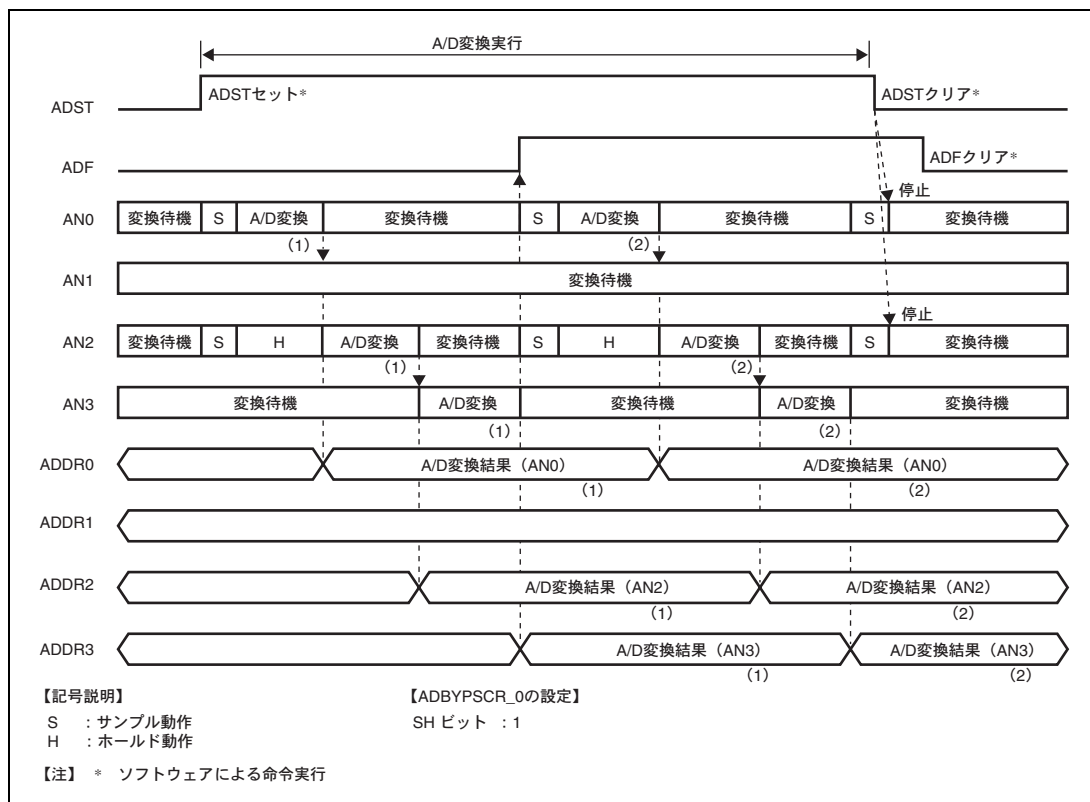


図 19.4 A/D_0 変換器の動作例 1 (連続スキャンモード、サンプル&ホールド回路：有効)

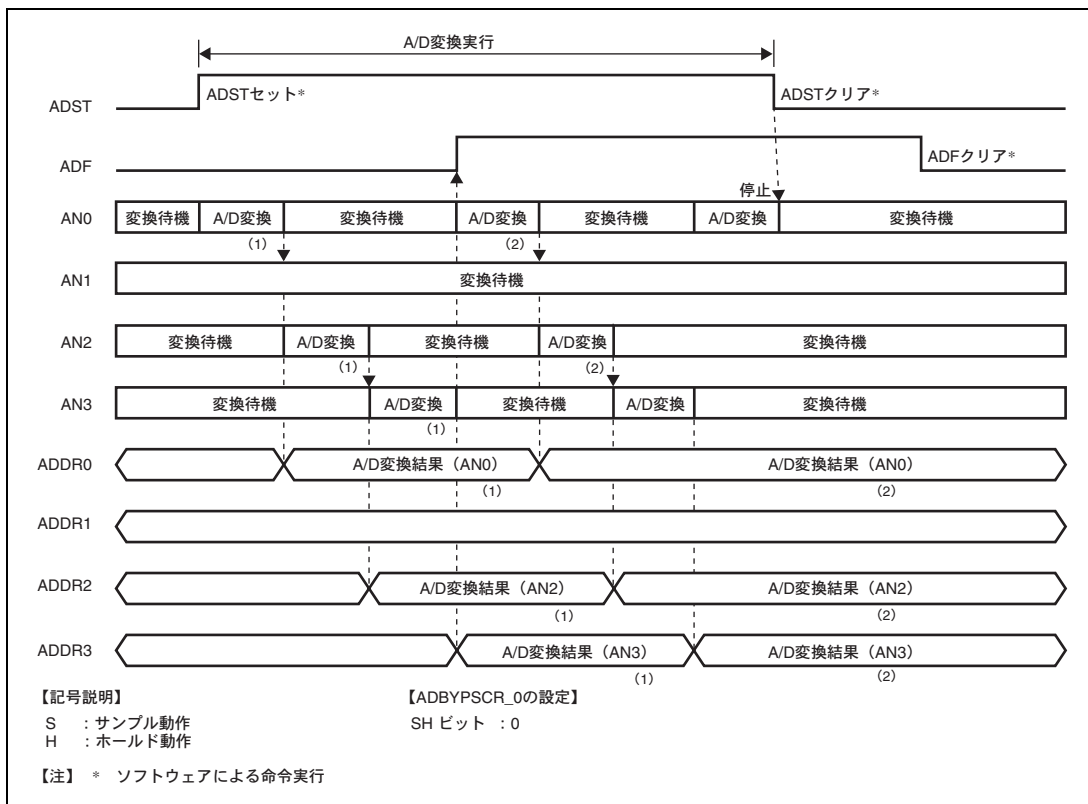


図 19.5 A/D_0 変換器の動作例 2 (連続スキャンモード、サンプル&ホールド回路：無効)

19.4.3 2チャンネルスキャンモード

(1) 2チャンネルスキャンモードの動作例

2チャンネルスキャンモードは4チャンネルのアナログ入力をグループ0とグループ1に分けており、グループ0とグループ1に個別のトリガによる起動要因を選択できます。2チャンネルスキャンモードの変換終了割り込みは、グループ0もしくはグループ1の終了とグループ0とグループ1の終了後を選択できます。トリガによる変換開始を行う場合、ADTSRのグループ0とグループ1に別々の要因を設定してください。なお、グループ0の変換中にグループ1の変換要求が発生した場合、グループ1の変換要求は無視されます。グループ0のA/D変換開始要求にMTU2のTRG4AN、グループ1のA/D変換開始要求にMTU2のTRG4BNを設定した場合の動作例を図19.6に示します。

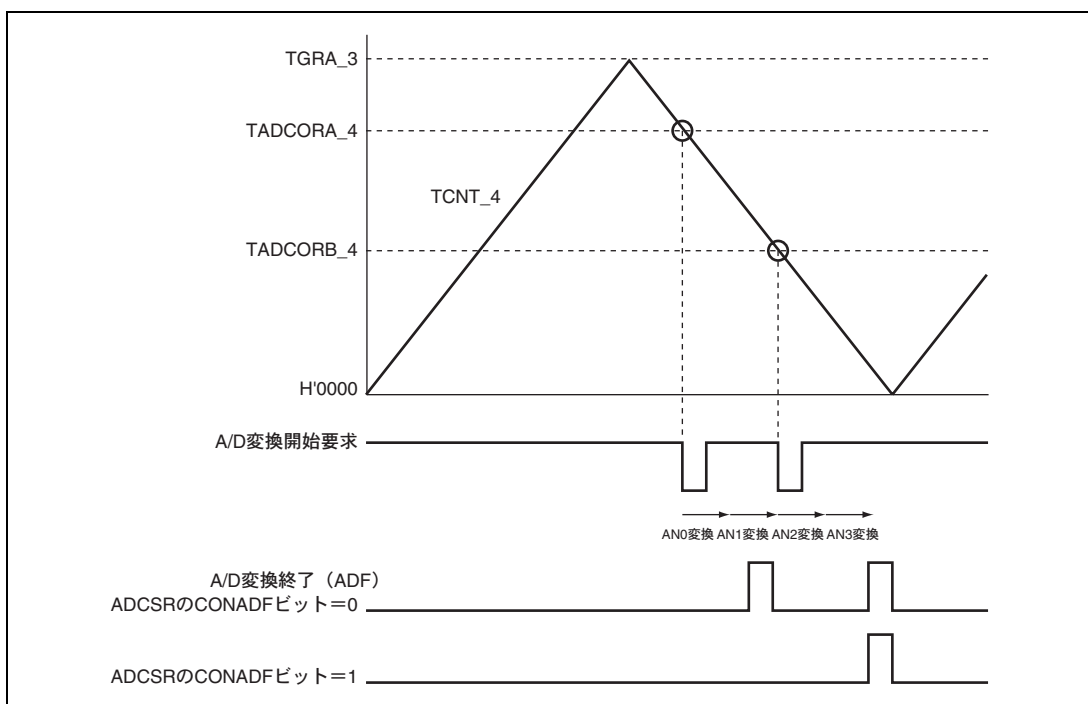


図 19.6 2チャンネルスキャンモードの動作例 (1)

グループ 0 を TRG0S ビットの値を B'0101 と設定、グループ 1 を TRGAN と設定した場合、3 つの割り込みが発生します。ただし、CONADF=1 にすると、TRGIS の設定にかかわらず、グループ 0 とグループ 1 の両方の A/D 変換が終了したときのみ ADI 割り込みが発生します。

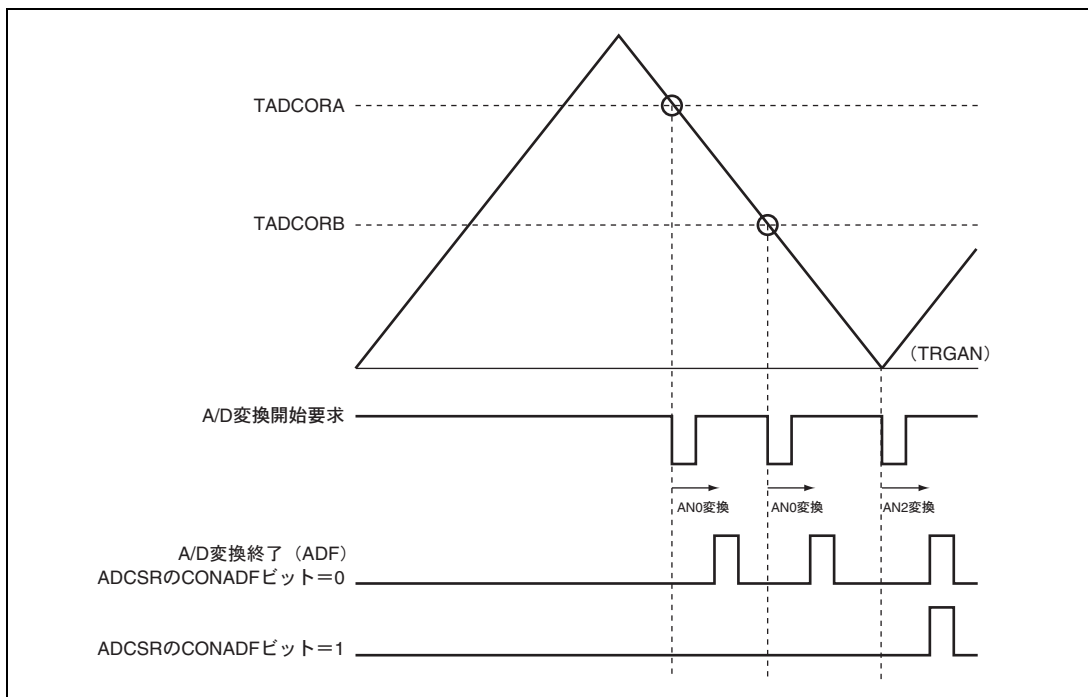


図 19.7 2チャンネルスキャンモードの動作例 (2)

(2) ADDR0GR0_0 レジスタ、ADDR2GR1_0 レジスタの動作と ADF フラグセットについて

図 19.8 に ADDR0GR0_0 レジスタ、ADDR2GR1_0 レジスタの動作と ADF フラグセットについて示します。

2 チャネルスキャンモード時に ADTSR レジスタの TRG1S ビットの値が B'0101 または TRG0S ビットの値が B'0101 のとき、ひとつのグループで 2 つのトリガ (TRG4AN トリガおよび TRG4BN トリガ) による A/D 変換の開始が許可されます。それぞれのトリガにより起動された A/D 変換の結果は、ADDR0 レジスタと ADDR0GR0_0 レジスタのそれぞれに格納されます。2 つの A/D 変換が終了後にレジスタを読み出すことができます。なお、それぞれの A/D 変換終了後に ADF フラグがセットされます。このとき ADIE=1 の場合、A/D 変換終了後に A/D 変換終了割り込み (ADI) が発生します。ADF フラグを 0 にクリアするか、ADIE ビットを 0 にクリアすることにより、ADI 割り込みをクリアできます。

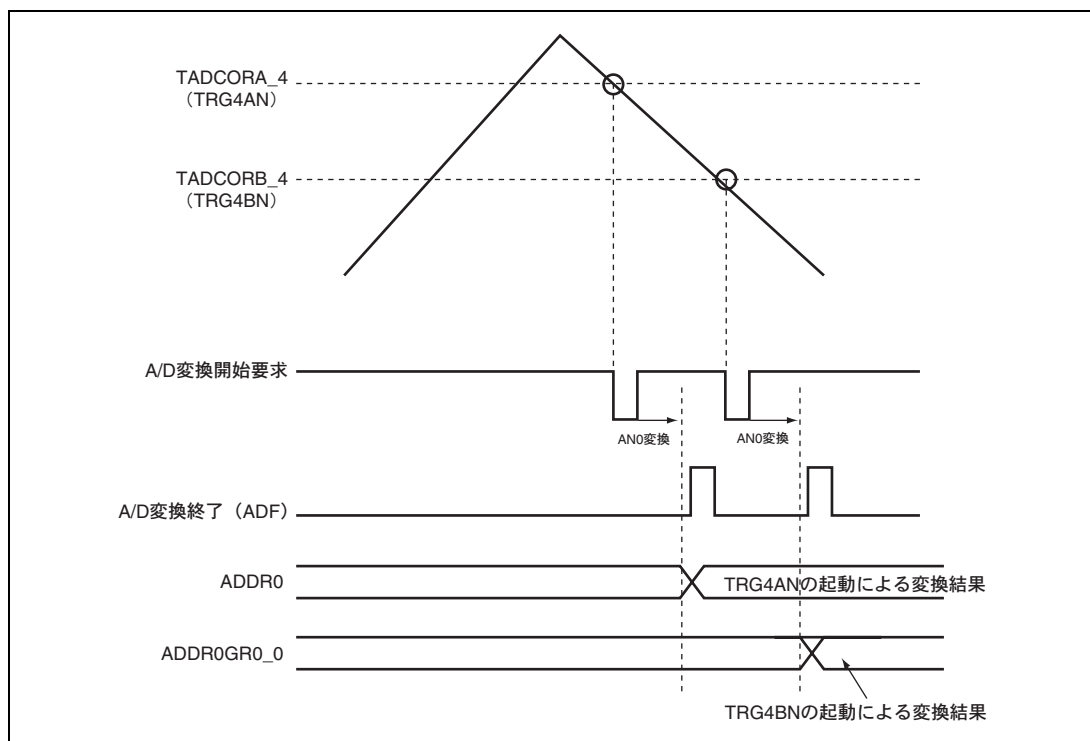


図 19.8 ADDR0GR0_0 レジスタ、ADDR2GR1_0 レジスタの動作と ADF フラグセット

(3) 2 チャネルスキャンモードの注意事項

2 チャネルスキャンモード設定後、ソフトウェアによる起動を行った場合、各グループ (グループ 0/グループ 1) としての A/D 変換は行われず、ANS ビットの設定に応じたチャンネルを 1 サイクルスキャンモードで A/D 変換します。グループ 0/グループ 1 による A/D 起動が有効となるのは、ADTSR レジスタで選択したトリガによる起動時のみです。

19.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。チャンネル 0~2 は、ひとつのグループとして ADBYPSR_0 の SH ビットを 1 に設定することで同時にサンプリングすることができます。このグループのことをグループ A (GrA) と呼びます (表 19.6)。SH ビットを 0 に設定している場合は、他のチャンネルと同様に、個々のタイミングでサンプリングは行われます。

ADST ビットを 1 にセットすると、A/D 変換が開始されます。A/D 変換を開始してから終了するまでの A/D 変換時間 (t_{CONV}) には A/D 変換開始遅延時間 (t_b)、サンプリング時間 (t_{SPLSH})、サンプリング時間 (t_{SPL})、A/D 変換処理時間の 4 つの時間的要因があります (図 19.9 参照)。これらの合計時間が A/D 変換 (t_{CONV}) となります。しかし t_{SPLSH} については短縮することも可能です。

t_{SPLSH} は ADBYPSR_0 の SH ビットを 0 (初期値) に設定することで短縮することができます。しかし GrA の同時サンプリング機能を使用する場合は SH ビットを 1 に設定し t_{SPLSH} が必要となります。 t_{SPLSH} はチャンネル 0~2 がそれぞれに持つ専用のサンプル&ホールド回路の動作にかかる時間で、同時にサンプリングするチャンネル数には依存しません。

連続スキャンモードの場合、表 19.7 に示す t_{CONV} は 1 回目の変換時間に相当します。2 回目以降は、すべてのチャンネルの変換が終わるまでは、変換時間は $t_{CONV} - t_b + 6$ の値で表されます。

表 19.7 のステートは $A\phi 1$ クロックです。変換の実時間は、 $A\phi$ のサイクル時間とステート数をかけあわせた値になります。また $A\phi$ は $P\phi$ 以上 ($P\phi \leq A\phi$) になるように設定してください。

表 19.6 アナログ入力チャンネルと同時サンプリング可能なグループの対応

A/D 変換器	アナログ入力チャンネル	グループ
A/D 変換器_0	AN0	GrA
	AN1	
	AN2	
	AN3	-
A/D 変換器_1	AN4	-
	AN5	-
	AN6	-
	AN7	-
A/D 変換器_2	AN8	-
	AN9	-
	AN10	-
	AN11	-
	AN12	-
	AN13	-
	AN14	-
	AN15	-

表 19.7 A/D 変換時間

項 目		記号	必要ステート数		
			Min.	Typ.	Max.
A/D 変換開始遅延時間		t_D	11 ^{*1}	—	15 ^{*2}
GrA 専用のサンプル&ホールド回路のアナログ入力サンプリング時間		t_{SPLSH}	—	30	—
各チャンネル共通のサンプル&ホールド回路のアナログ入力サンプリング時間		t_{SPL}	—	20	—
変換完了処理		t_{end}	—	4	—
A/D 変換時間	ADBYPSCR.SH=0	t_{CONV}	$50n + 15^{*3}$	—	$50n + 19^{*3}$
	ADBYPSCR.SH=1		$50n + 45^{*3}$	—	$50n + 49^{*3}$

【注】 *1 MTU2、MTU2S トリガ信号による A/D 起動の場合

*2 外部トリガ信号による A/D 起動の場合

*3 n は変換チャンネル数 (n=1~4)



図 19.9 A/D 変換タイミング

19.4.5 MTU2、MTU2S による A/D 変換器の起動

MTU2 の A/D 変換開始トリガ (TRGAN、TRG0N、TRG4AN、TRG4BN)、MTU2S の A/D 変換開始トリガ (TRGAN、TRG4AN、TRG4BN) によって、A/D 変換を起動することができます。1 サイクルスキャンモードまたは連続スキャンモードでこの機能を有効にしたい場合は、まず ADCR レジスタの TRGE ビットを 1 にセットし、ADTSR の 2CHSE を 0 にセットして、EXTRG ビットを 0 にします。この状態のときに ADSTRGR レジスタで設定した MTU2、MTU2S の A/D 変換開始トリガが発生すると、ADST ビットが 1 にセットされます。ADST ビットが 1 にセットされてから A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。2 チャネルスキャンモードでこの機能を有効にしたい場合は、まず ADCR レジスタの TRGE ビットを 1 にセットし、ADTSR レジスタの 2CHSE ビットを 1 にします。この状態のときに、ADTSR レジスタの TRG0S ビットまたは ADTSR レジスタの TRG1S ビットで設定した MTU2、MTU2S の A/D 変換開始トリガが発生すると、ADST ビットは 1 にセットされます。

19.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ピンファンクションコントローラ (PFC) で端子機能を $\overline{\text{ADTRG}}$ に設定し、 $\overline{\text{ADTRG}}$ 端子にハイレベルを入力し、ADCR レジスタの TRGE ビットを 1 にセット、ADST ビットを 0 にクリア、1 サイクルスキャンモードまたは連続スキャンモードで ADTSR レジスタの 2CHSE ビットを 0 にセットし、EXTRG ビットを 1 にセットした、あるいは 2 チャネルスキャンモードで ADTSR レジスタの 2CHSE ビットを 1 にセットし、ADTSR レジスタの TRG0S ビットまたは ADTSR レジスタの TRG1S ビットを B'0000 に設定した状態で、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 19.10 に示します。

ADST ビットが 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の立ち下がりエッジをサンプリングしてから $(5-n^*)$ Pφ ステートです。

- 【注】 * Pφ : Aφ = 1 : 1 のとき n = 0
 1 : 2 のとき n = 1
 1 : 4 のとき n = 2

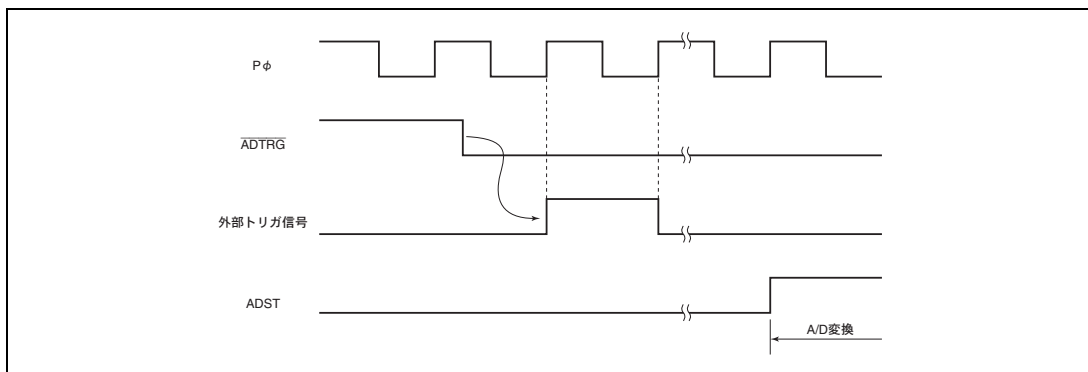


図 19.10 外部トリガ入力タイミング

19.4.7 ADDR レジスタのオートクリア機能の使用例

ADCR レジスタの ACE ビットを 1 にセットすることにより、CPU および DMAC によって A/D データレジスタ (ADDR) をリードしたときに、自動的に ADDR レジスタを H'0000 にクリアすることができます。この機能を使うことにより、ADDR レジスタの未更新状態を検出することができます。

図 19.11 に、ADDR レジスタのオートクリア機能が無効 (通常状態) 時/有効時の例を示します。

ACE ビットが 0 (初期値) の場合、A/D 変換結果 (H'0222) が何らかの原因で ADDR レジスタに書き込みされなかったとき、古いデータ (H'0111) が ADDR レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDR レジスタの値を汎用レジスタなどに読み出した場合、古いデータ (H'0111) が汎用レジスタなどに保存されます。未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保存しながらチェックを行う必要があります。

ACE ビットが 1 の場合には、ADDR=H'0111 を CPU/DMAC/DTC によりリードすることで、ADDR レジスタは自動的に H'0000 にクリアされます。その後、A/D 変換結果の H'0222 が ADDR レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (H'0000) が ADDR レジスタの値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDR レジスタの値を汎用レジスタなどに読み出した場合、H'0000 が汎用レジスタなどに保存されます。読み出されたデータの値が H'0000 であることをチェックするだけで、ADDR レジスタの未更新状態を判断できます。

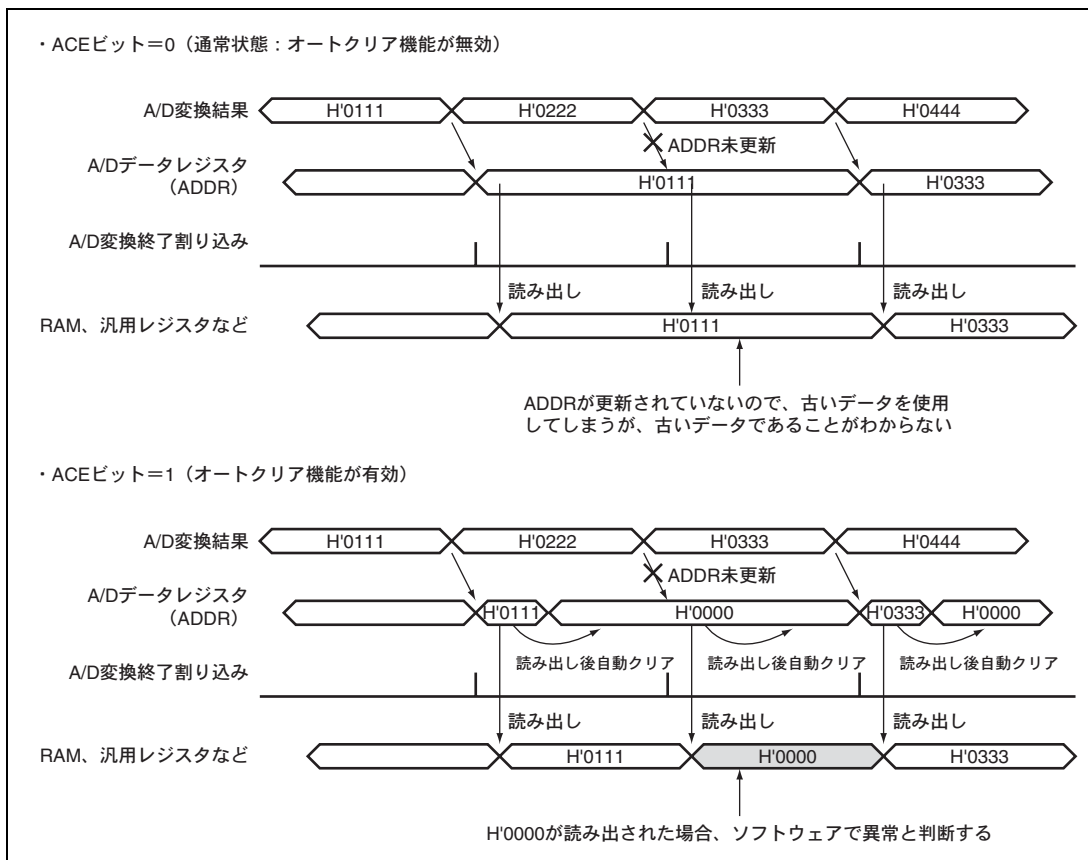


図 19.11 ADDR レジスタのオートクリア機能が無効 (通常状態) 時 / 有効時の例

19.4.8 A/D 変換同期化機能

A/D 変換同期化機能は A/D_2 の変換開始タイミングを A/D_1 の変換開始タイミングに同期化させることが可能です。A/D_1 と A/D_2 はアナログ電源 (AVCC)、アナロググランド (AVSS) およびアナログリファレンス電源 (AVREF)、アナログリファレンスグランド (AVREFVSS) が共通で、A/D_1 と A/D_2 の起動開始タイミング差によって発生するノイズによる精度劣化を無くすることができます。

(1) A/D_1、A/D_2 が 1 サイクルスキャンモードの動作例

アナログ入力 4~6 (AN4~6)、アナログ入力 8~10 (AN8~10) を選択した場合の動作例を以下に示します。

1. A/Dコントロールレジスタ_2 (ADCR_2) の TRGE ビットを 0 にセットします。
2. A/Dアナログ入力チャネル選択レジスタ_1 (ADANSR_1) の ANS0~ANS2 ビットをすべて 1 にセットします。
3. A/Dアナログ入力チャネル選択レジスタ_2 (ADANSR_2) の ANS0~ANS2 ビットをすべて 1 にセットします。
4. A/Dバイパスコントロールレジスタ_2 (ADBYPCR_2) の ADSST ビットを 1 にセットします。
5. A/Dコントロールレジスタ_1 (ADCR_1) の ADST ビットを 1 にセットして A/D_1 の A/D 変換を開始します*。
6. チャネル 4 の A/D 変換が開始されます。A/D 変換実行中に A/D 同期スタートトリガ信号が出力します。A/D 変換が終了すると、A/D 変換結果を ADDR4 レジスタに転送します。
7. A/D 同期スタートトリガ信号により ADSST ビットが自動的に 0 にクリアし、A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットが自動的にセットされます。その後、チャネル 5 の A/D 変換開始タイミングに同期してチャネル 8 の A/D 変換が開始します。A/D 変換が終了すると、A/D 変換結果を ADDR5 レジスタ、ADDR8 レジスタに転送します。
8. チャネル 6 の A/D 変換開始タイミングに同期してチャネル 9 の A/D 変換が開始します。A/D 変換が終了すると、A/D 変換結果を ADDR6 レジスタ、ADDR9 レジスタに転送します。
9. A/D_1 は A/D ステータスレジスタ_1 (ADSR_1) の ADF ビットを 1 にセットして、自動的に A/D コントロールレジスタ_1 (ADCR_1) の ADST ビットを 0 にクリアし、A/D 変換を停止します。
このとき、A/D コントロールレジスタ_1 (ADCR_1) の ADIE ビットが 1 にセットされていると、A/D 変換終了後に ADI 割り込みを発生します。
10. チャネル 10 の A/D 変換が開始されます。A/D 変換が終了すると A/D 変換結果を ADDR10 レジスタに転送します。
11. A/D_2 は A/D ステータスレジスタ_2 (ADSR_2) の ADF ビットを 1 にセットして、自動的に A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットを 0 にクリアし、A/D 変換を停止します。このとき、A/D コントロールレジスタ_2 (ADCR_2) の ADIE ビットが 1 にセットされていると、A/D 変換終了後に ADI 割り込みを発生します。

【注】 * A/D_2 が A/D 変換中に A/D_1 の A/D 変換を開始すると同期がずれません。A/D_1 の A/D 変換を開始するときは A/D_2 が待機中 (A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットが 0 のとき) のときに開始させてください。

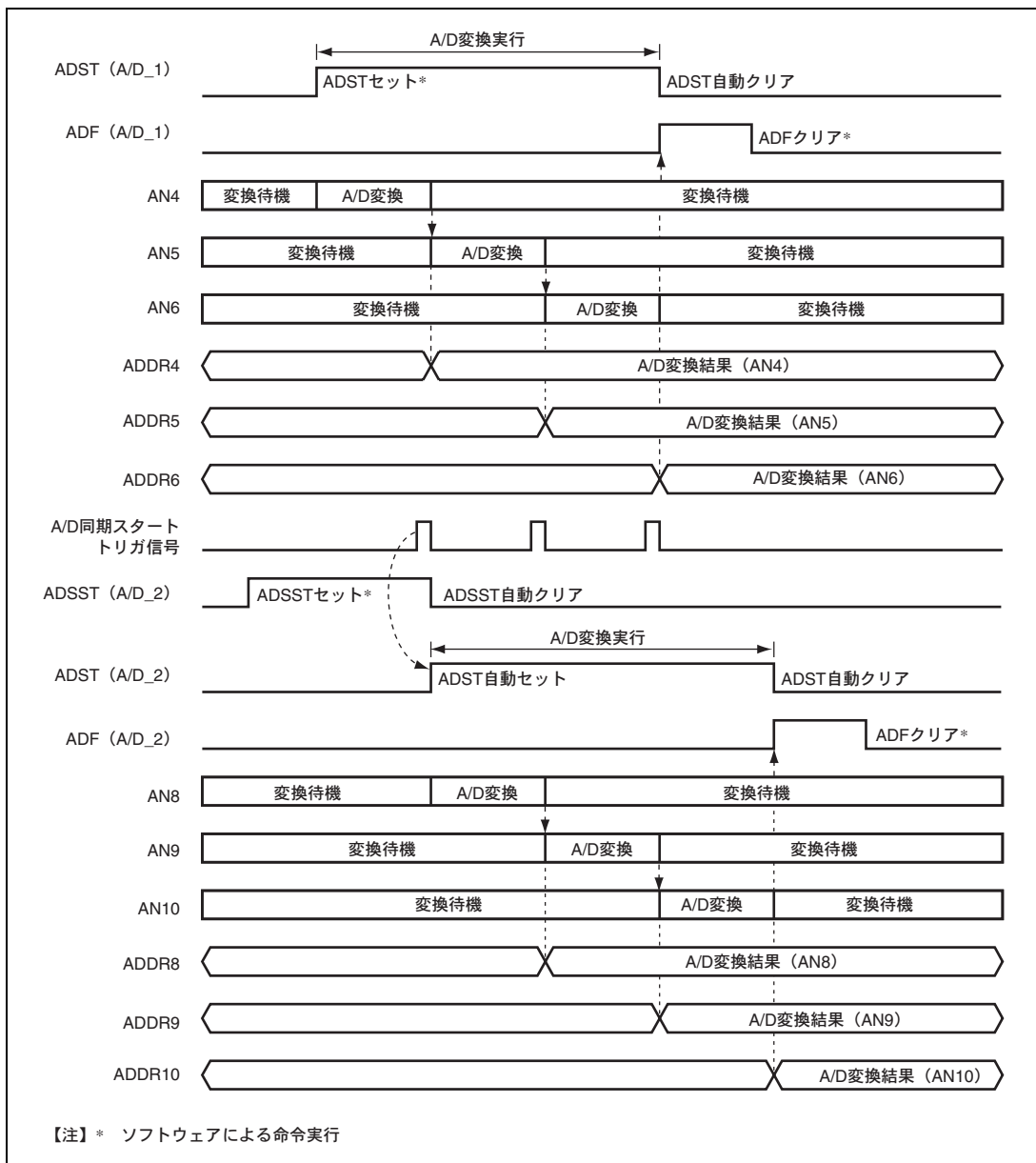


図 19.12 A/D_1、A/D_2 が 1 サイクルスキャンモードの動作例

(2) A/D_1、A/D_2 が連続スキャンモードの動作例

アナログ入力 4、5 (AN4、5)、アナログ入力 8、9 (AN8、9) を選択した場合の動作例を以下に示します。

1. A/Dコントロールレジスタ_2 (ADCR_2) のTRGEビットを0にセットします。
2. A/Dコントロールレジスタ_1 (ADCR_1)、A/Dコントロールレジスタ_2 (ADCR_2) のADCSビットを1にセットします。
3. A/Dアナログ入力チャンネル選択レジスタ_1 (ADANSR_1) のANS0、ANS1ビットをすべて1にセットします*¹。
4. A/Dアナログ入力チャンネル選択レジスタ_2 (ADANSR_2) のANS0、ANS1ビットをすべて1にセットします*¹。
5. A/Dバイパスコントロールレジスタ_2 (ADBYPCR_2) のADSSTビットを1にセットします。
6. A/Dコントロールレジスタ_1 (ADCR_1) のADSTビットを1にセットしてA/D_1のA/D変換を開始します*²。
7. チャンネル4のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR4レジスタに転送します。続いてチャンネル5のA/D変換が実行されます。A/D変換実行中にA/D同期スタートトリガ信号が出力します。A/D変換が終了するとA/D変換結果をADDR5レジスタに転送します。
8. 設定したチャンネル (AN4、AN5) の変換が終了すると、A/D_1はA/Dステータスレジスタ_1 (ADSR_1) のADFビットを1にセットします。このとき、A/Dコントロールレジスタ_1 (ADCR_1) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。
9. A/Dコントロールレジスタ_1 (ADCR_1) のADSTビットが1にセットされている間は、7.~8.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します。
10. A/D同期スタートトリガ信号によりADSSTビットが自動的に0にクリアし、A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが自動的にセットされます。
11. チャンネル4のA/D変換開始タイミングに同期してチャンネル8のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR4レジスタ、ADDR8レジスタに転送します。続いてチャンネル5のA/D変換開始タイミングに同期してチャンネル9のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR5レジスタ、ADDR9レジスタに転送します。
12. 設定したチャンネル (AN8、AN9) の変換が終了すると、A/D_2はA/Dステータスレジスタ_2 (ADSR_2) のADFビットを1にセットします。このとき、A/Dコントロールレジスタ_2 (ADCR_2) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。
13. A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが1にセットされている間は、11.~12.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します*³。

- 【注】**
- *¹ A/D_1とA/D_2の選択チャンネル数は同じにしてください。選択チャンネル数が異なると同期がずれず。
 - *² A/D_2がA/D変換中にA/D_1のA/D変換を開始すると同期がずれず。A/D_1のA/D変換を開始するときはA/D_2が待機中 (A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが0のとき) のときに開始させてください。
 - *³ A/D_1のA/D変換が実行、停止に関係なく、A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが1のときは、A/D_2はA/D変換を実行します。

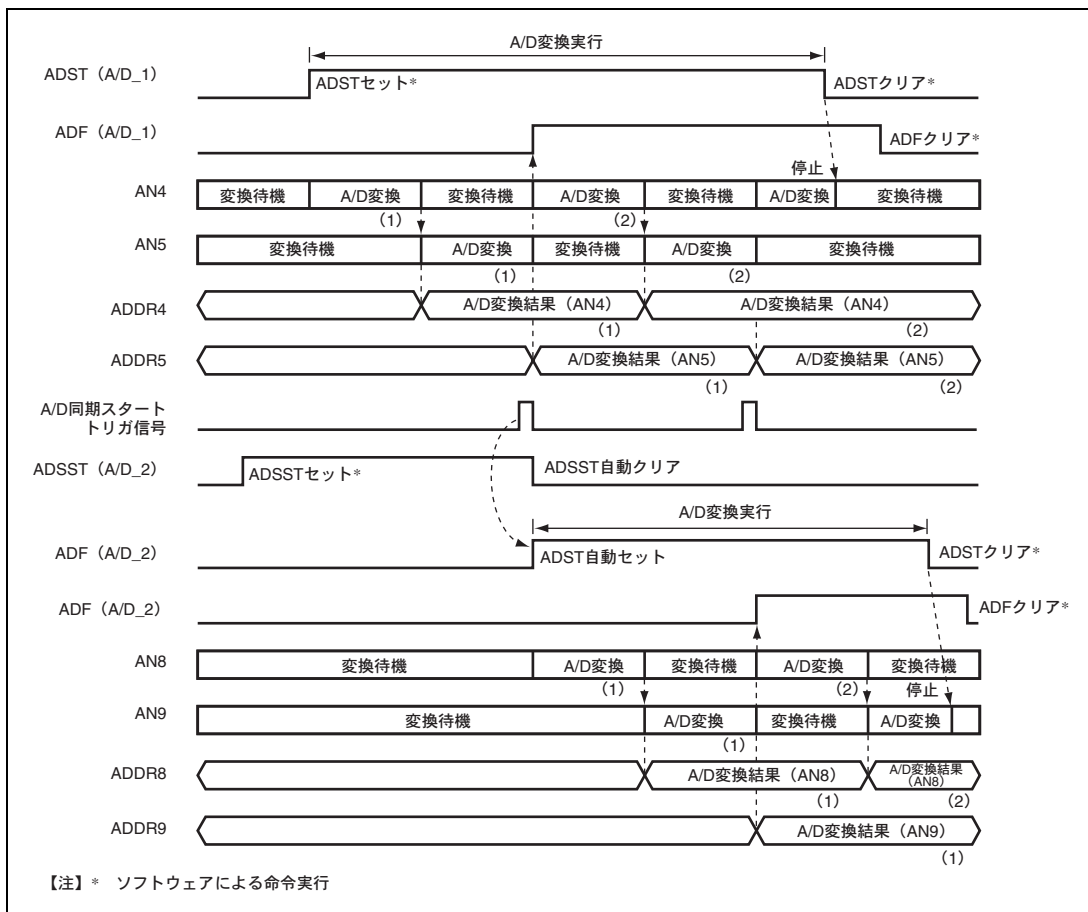


図 19.13 A/D_1、A/D_2 が連続スキャンモードの動作例

(3) A/D_1 が 1 サイクルスキャンモード、A/D_2 が連続スキャンモードの動作例

アナログ入力 4~6 (AN4~6)、アナログ入力 8、9 (AN8、9) を選択した場合の動作例を以下に示します。

1. A/Dコントロールレジスタ_2 (ADCR_2) のTRGEビットを0にセットします。
2. A/Dコントロールレジスタ_2 (ADCR_2) のADCSビットを1にセットします。
3. A/Dアナログ入力チャンネル選択レジスタ_1 (ADANSR_1) のANS0~ANS2ビットをすべて1にセットします*¹。
4. A/Dアナログ入力チャンネル選択レジスタ_2 (ADANSR_2) のANS0、ANS1ビットをすべて1にセットします*¹。
5. A/Dバイパスコントロールレジスタ_2 (ADBYPSCR_2) のADSSTビットを1にセットします。
6. A/Dコントロールレジスタ_1 (ADCR_1) のADSTビットを1にセットしてA/D_1のA/D変換を開始します*²。
7. チャンネル4のA/D変換が開始されます。A/D変換実行中にA/D同期スタートトリガ信号が出力します。A/D変換が終了すると、A/D変換結果をADDR4レジスタに転送します。
8. A/D同期スタートトリガ信号によりADSSTビットが自動的に0にクリアし、A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが自動的にセットされます。
9. チャンネル5のA/D変換開始タイミングに同期してチャンネル8のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR5レジスタ、ADDR8レジスタに転送します。
10. チャンネル6のA/D変換開始タイミングに同期してチャンネル9のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR6レジスタ、ADDR9レジスタに転送します。
11. A/D_1はA/Dステータスレジスタ_1 (ADSR_1) のADFビットを1にセットして、自動的にA/Dコントロールレジスタ_1 (ADCR_1) のADSTビットを0にクリアし、A/D変換を停止します。
このとき、A/Dコントロールレジスタ_1 (ADCR_1) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。
12. 設定したチャンネル (AN8、AN9) の変換が終了すると、A/D_2はA/Dステータスレジスタ_2 (ADSR_2) のADFビットを1にセットします。このとき、A/Dコントロールレジスタ_2 (ADCR_2) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。
13. A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが1にセットされている間は、9.~10.、12.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します*³。

【注】 *¹ A/D_2 の選択チャンネル数は、A/D_1 の選択チャンネル数以上または 1 チャンネル少なくしてください。それ以外の組み合わせでは同期がずれません。

*² A/D_2 が A/D 変換中に A/D_1 の A/D 変換を開始すると同期がずれません。A/D_1 の A/D 変換を開始するときは A/D_2 が待機中 (A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットが 0 のとき) のときに開始させてください。

*³ A/D_1 の A/D 変換が実行、停止に関係なく、A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットが 1 のときは、A/D_2 は A/D 変換を実行します。

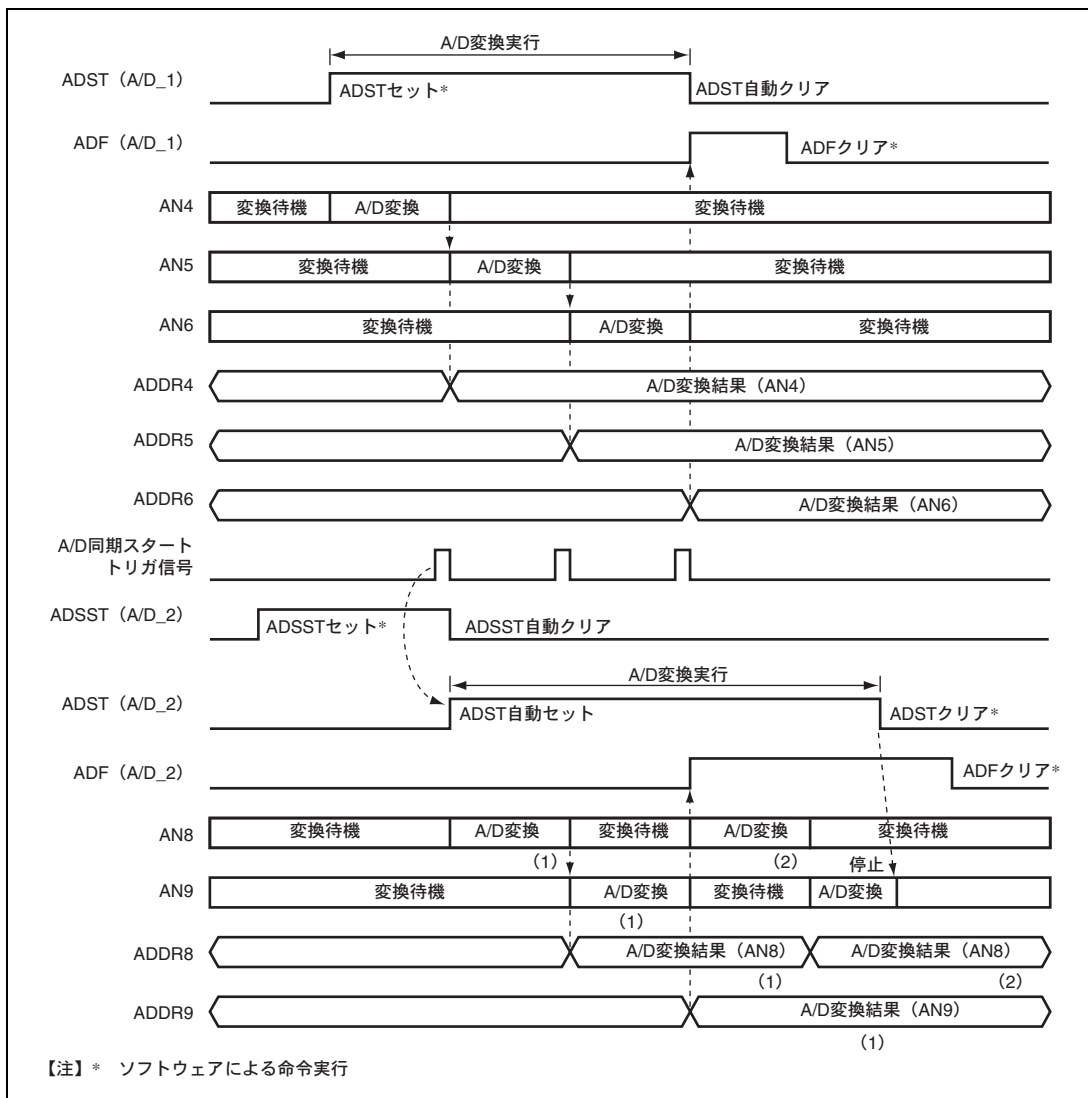


図 19.14 A/D_1 が 1 サイクルスキャンモード、A/D_2 が連続スキャンモードの動作例

(4) A/D_1 が連続スキャンモード、A/D_2 が 1 サイクルスキャンモードの動作例

アナログ入力 4、5 (AN4、5)、アナログ入力 8、9 (AN8、9) を選択した場合の動作例を以下に示します。

1. A/Dコントロールレジスタ_2 (ADCR_2) のTRGEビットを0にセットします。
2. A/Dコントロールレジスタ_1 (ADCR_1) のADCSビットを1にセットします。
3. A/Dアナログ入力チャンネル選択レジスタ_1 (ADANSR_1) のANS0、ANS1ビットをすべて1にセットします*¹。
4. A/Dアナログ入力チャンネル選択レジスタ_2 (ADANSR_2) のANS0、ANS1ビットをすべて1にセットします*¹。
5. A/Dバイパスコントロールレジスタ_2 (ADBYPSR_2) のADSSTビットを1にセットします。
6. A/Dコントロールレジスタ_1 (ADCR_1) のADSTビットを1にセットしてA/D_1のA/D変換を開始します*²。
7. チャンネル4のA/D変換が開始されます。A/D変換が終了すると、A/D変換結果をADDR4レジスタに転送します。続いてチャンネル5のA/D変換が実行されます。A/D変換実行中にA/D同期スタートトリガ信号が出力します。A/D変換が終了するとA/D変換結果をADDR5レジスタに転送します。
8. 設定したチャンネル (AN4、AN5) の変換が終了すると、A/D_1はA/Dステータスレジスタ_1 (ADSR_1) のADFビットを1にセットします。このとき、A/Dコントロールレジスタ_1 (ADCR_1) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。
9. A/Dコントロールレジスタ_1 (ADCR_1) のADSTビットが1にセットされている間は、7.~8.を繰り返します。ADSTビットを0にクリアすると、A/D変換が停止します。
10. A/D同期スタートトリガ信号によりADSSTビットが自動的に0にクリアし、A/Dコントロールレジスタ_2 (ADCR_2) のADSTビットが自動的にセットされます。
11. チャンネル4のA/D変換開始タイミングに同期してチャンネル8のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR4レジスタ、ADDR8レジスタに転送します。続いてチャンネル5のA/D変換開始タイミングに同期してチャンネル9のA/D変換が開始します。A/D変換が終了すると、A/D変換結果をADDR5レジスタ、ADDR9レジスタに転送します。
12. A/D_2はA/Dステータスレジスタ_2 (ADSR_2) のADFビットを1にセットして、自動的にA/Dコントロールレジスタ_2 (ADCR_2) のADSTビットを0にクリアし、A/D変換を停止します。このとき、A/Dコントロールレジスタ_2 (ADCR_2) のADIEビットが1にセットされていると、A/D変換終了後にADI割り込みを発生します。

【注】 *¹ A/D_2 の選択チャンネル数は、A/D_1 の選択チャンネル数以下にしてください。
それ以外の組み合わせでは同期がずれません。

*² A/D_2 が A/D 変換中に A/D_1 の A/D 変換を開始すると同期がずれません。A/D_1 の A/D 変換を開始するときは A/D_2 が待機中 (A/D コントロールレジスタ_2 (ADCR_2) の ADST ビットが 0 のとき) のときに開始させてください。

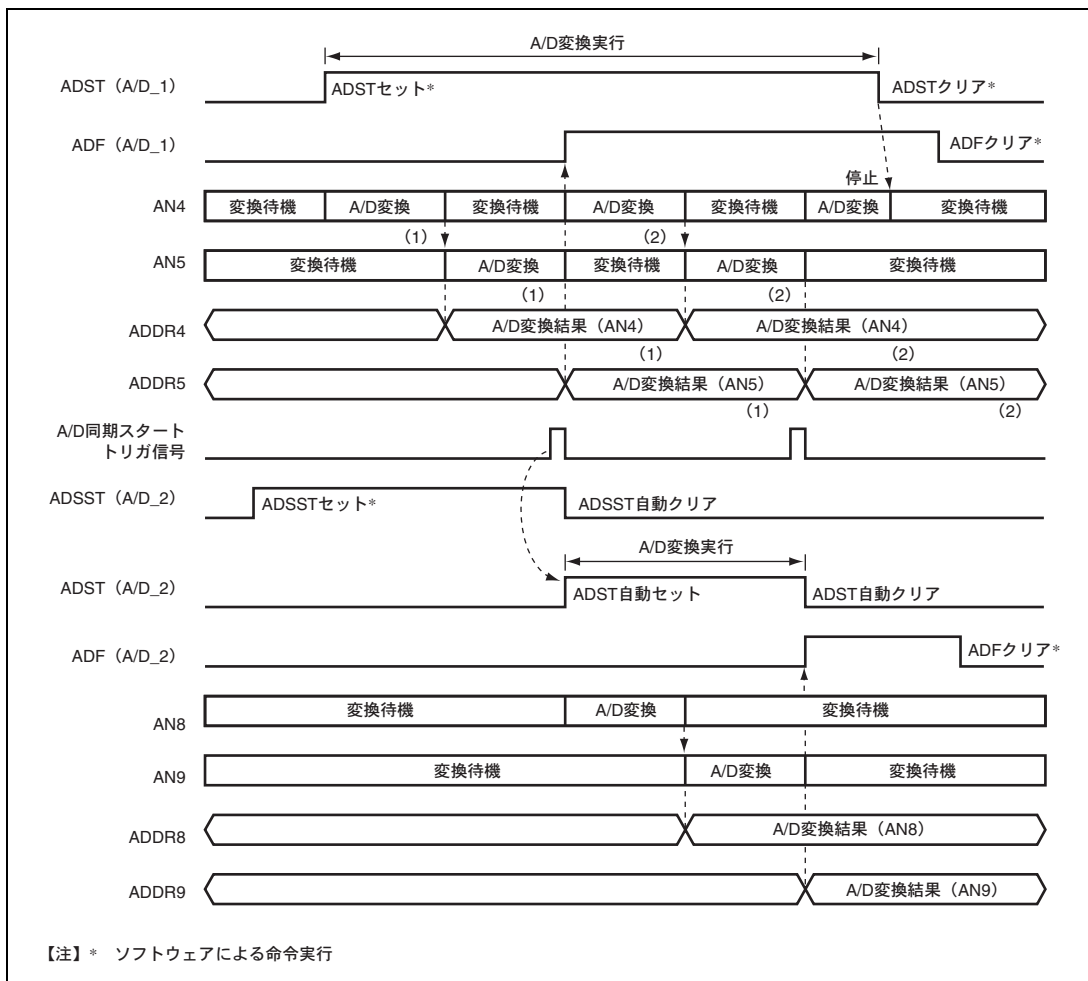


図 19.15 A/D_1 が連続スキャンモード、A/D_2 が1サイクルスキャンモードの動作例

(5) A/D_1 強制終了時の動作例

A/D_1 が A/D 同期スタートトリガ信号を出力する前に A/D コントロールレジスタ_1 (ADCR_1) の ADST ビットを 0 クリアし A/D 変換を中止した場合、A/D_2 は A/D 変換を開始しません。A/D_1 が再度 A/D 変換を開始し A/D 同期スタートトリガ信号を出力すると、A/D_2 は A/D 変換を開始します。

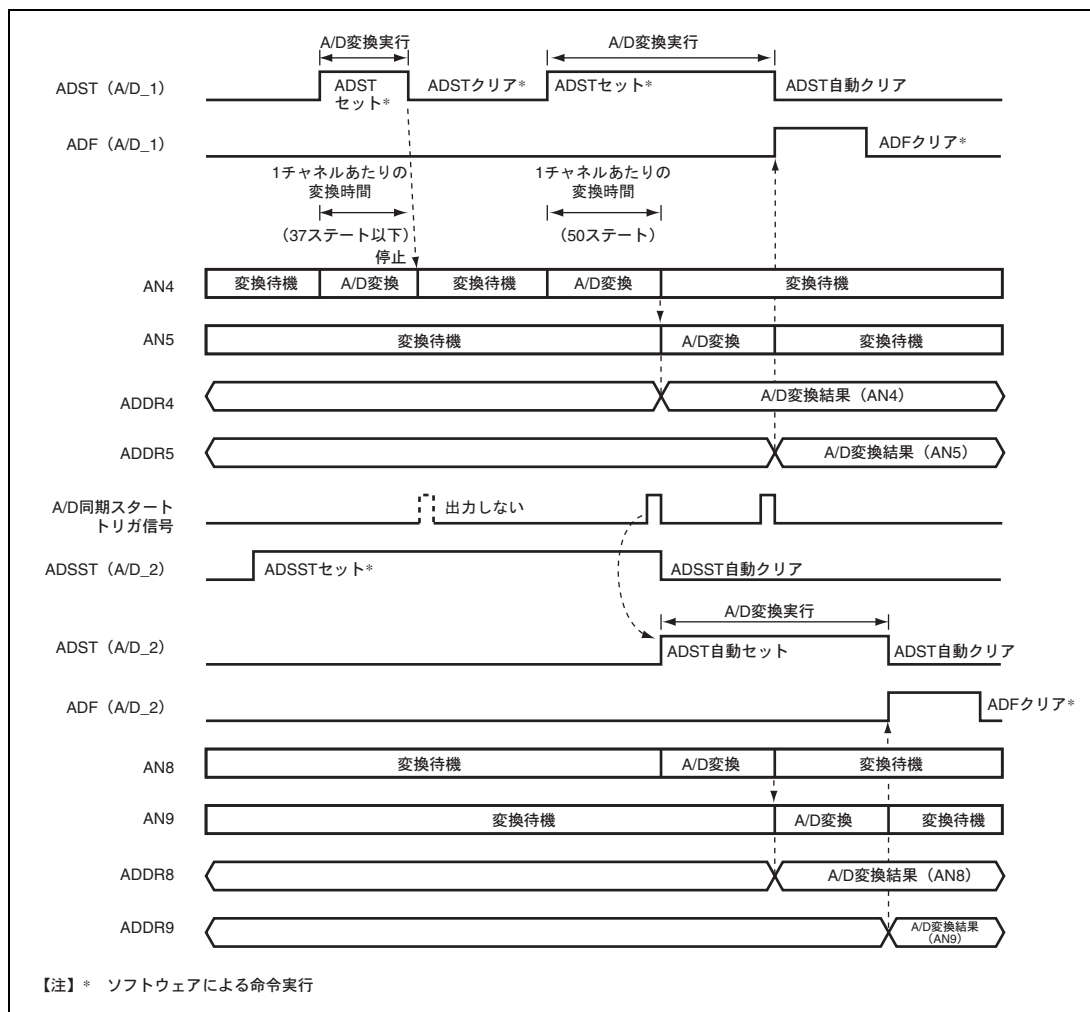


図 19.16 A/D_1 が 1 サイクルスキャンモードの動作例

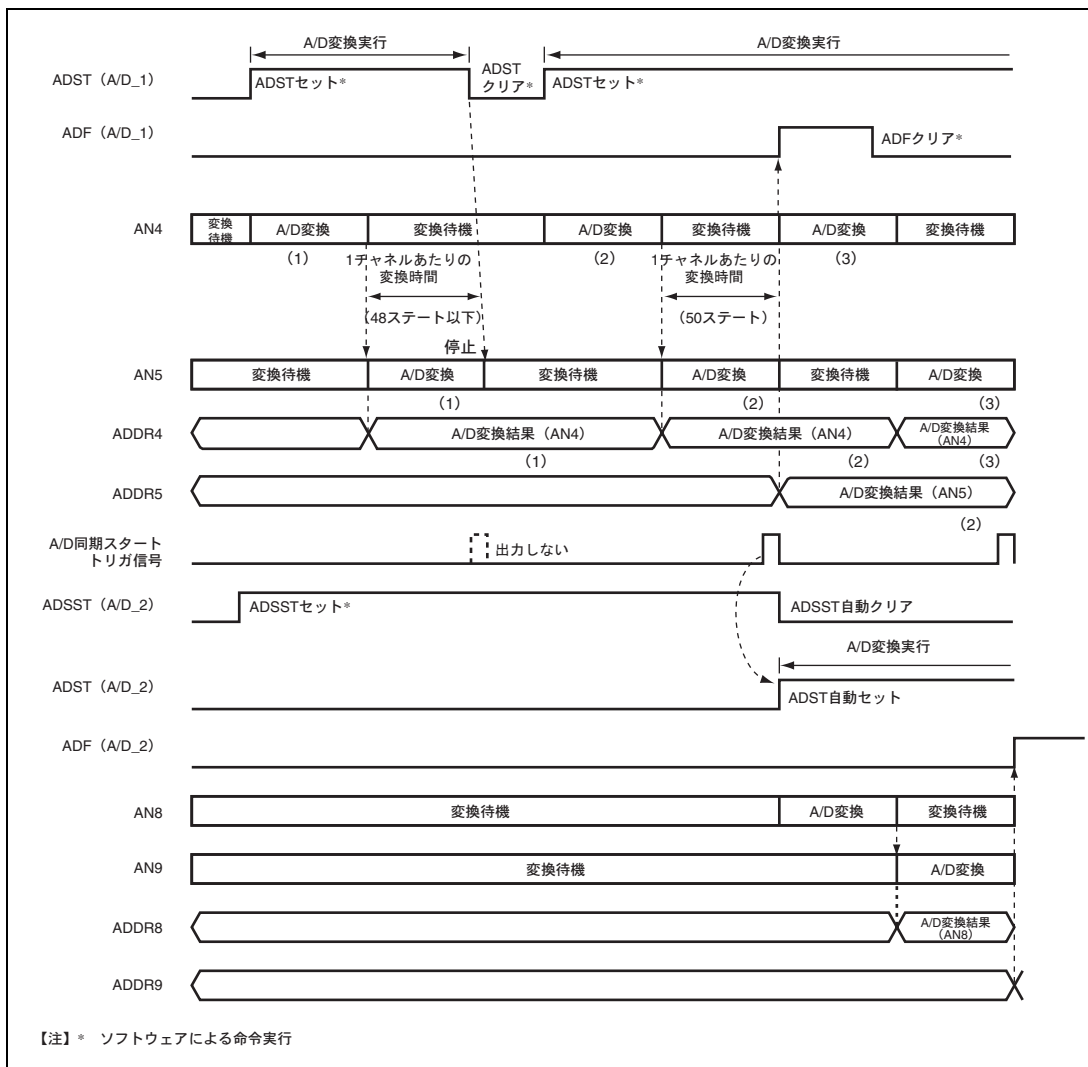


図 19.17 A/D_1 が連続スキャンモードの動作例

19.5 割り込み要因と DMAC、DTC 転送要求

A/D 変換器は、A/D 変換終了割り込み (ADI) を発生することができます。ADCR レジスタの ADIE ビットを 1 にセットすると ADI 割り込みの発生を許可、ADCR レジスタの ADIE ビットを 1 にセットすると ADI 割り込みの発生を許可します。また、DMAC、DTC での設定により、ADI 割り込み発生時に DMAC、DTC を起動することができます。DMAC 起動時は、CPU への割り込みは発生しません。ADI 割り込みで DMAC または DTC を起動する場合、DMAC または DTC を起動した A/D 変換器の ADDR のデータ転送時に ADSR の ADF ビットは自動的にクリアされます。

表 19.8 AD 割り込み要因

A/D 変換器	名称	DMAC の起動	DTC の起動
A/D 変換器_0	ADI0	可	可
A/D 変換器_1	ADI1	不可	可
A/D 変換器_2	ADI2	不可	可

19.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル変換出力コード数。

- オフセット誤差

デジタル出力値が最小値（ゼロ電圧）B'000000000000からB'000000000001に変化するときの実際のA/D変換特性と理想A/D変換特性との偏差。ただし、量子化誤差を含まない（図19.18）。

- フルスケール誤差

デジタル出力値がB'111111111110から最大値（フルスケール電圧）B'111111111111に変化するときの実際のA/D変換特性と理想A/D変換特性との偏差。ただし、量子化誤差を含まない（図19.18）。

- 量子化誤差

A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる（図19.18）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の実際のA/D変換特性と理想A/D変換特性との誤差。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない（図19.18）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線性誤差を含む。

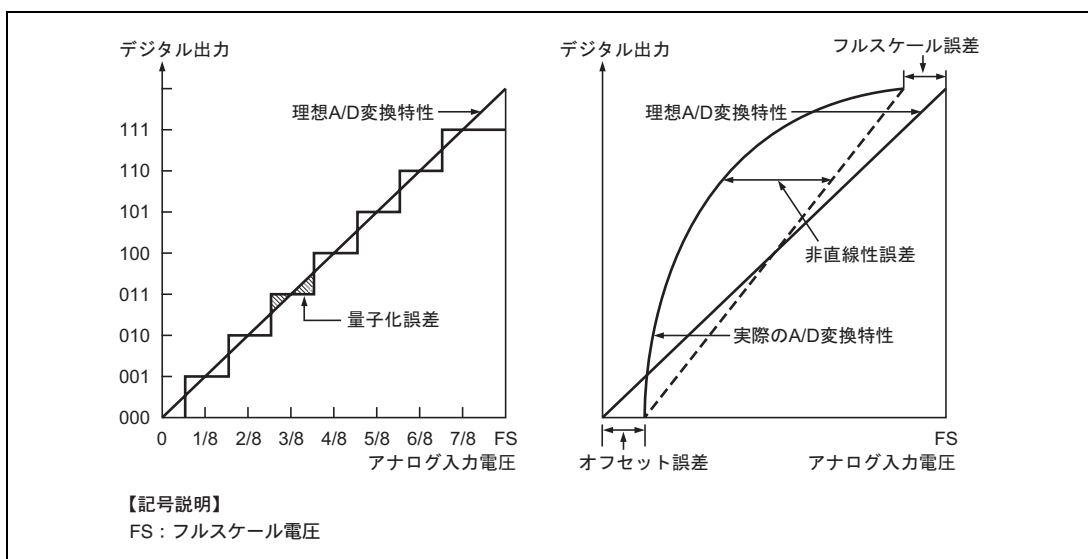


図 19.18 A/D 変換精度の定義

19.7 使用上の注意事項

19.7.1 アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 (ANn) に印加する電圧は $AVSS \leq ANn (n=0 \sim 15) \leq AVREF$ の範囲としてください。

19.7.2 AVCC、AVSS と VCC、VSS の関係

A/D 変換器を使用する場合は、 $VCC \leq AVCC = 5.0V \pm 0.5V$ 、 $AVSS = VSS$ としてください。また、A/D 変換器を使用しない場合は、 $VCC \leq AVCC \leq 5.0V \pm 0.5V$ 、 $AVSS = VSS$ とし、AVCC 端子をオープンにしないでください。

19.7.3 AVREF 端子の設定範囲

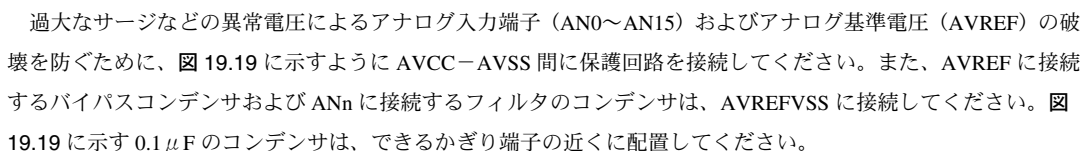
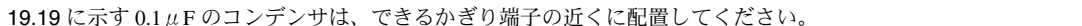
A/D 変換器を使用する場合は $AVREF = 4.5 \sim AVCC$ 、A/D 変換器を使用しない場合は $AVREF = AVCC$ としてください。また、 $AVREFVSS$ は $AVREFVSS = AVSS$ とし、AVREFVSS 端子をオープンにしないでください。以上のことが守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

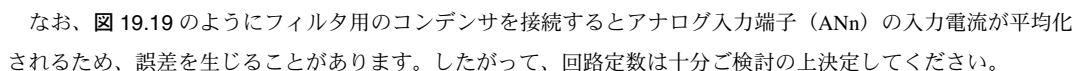
19.7.4 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0~AN15)、アナログ基準電圧 (AVREF)、アナログ電源 (AVCC)、アナロググランド (AVSS) は、デジタル回路と必ず分離してください。さらに AVSS は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

19.7.5 ノイズ対策上の注意

過大なサージなどの異常電圧によるアナログ入力端子 (AN0~AN15) およびアナログ基準電圧 (AVREF) の破壊を防ぐために、 19.19 に示すように AVCC-AVSS 間に保護回路を接続してください。また、AVREF に接続するバイパスコンデンサおよび ANn に接続するフィルタのコンデンサは、AVREFVSS に接続してください。 19.19 に示す 0.1 μF のコンデンサは、できるだけ端子の近くに配置してください。

なお、 19.19 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (ANn) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

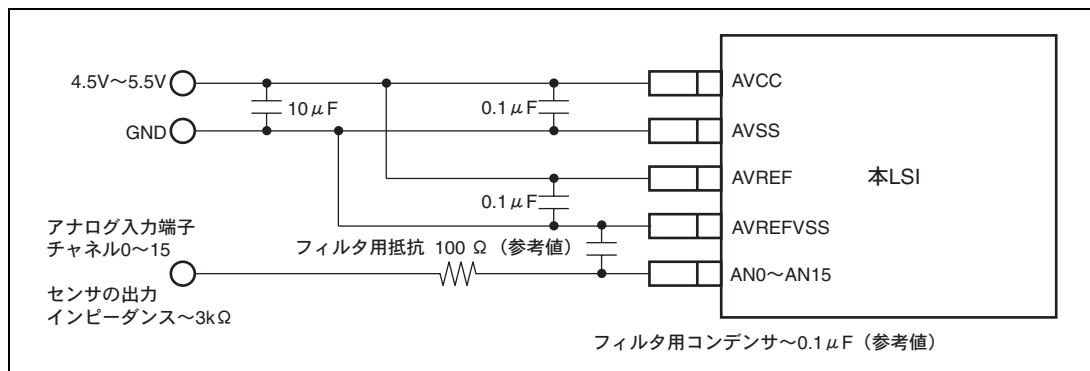


図 19.19 アナログ入力端子の保護回路の例

19.7.6 レジスタ設定時の注意

- A/Dコントロールレジスタ (ADCR) のADSTビットへのセットは、A/D開始トリガ選択レジスタ (ADSTRGR)、A/Dアナログ入力チャンネル選択レジスタ (ADANSR) の設定が済んだ後で行ってください。
- ADCRのADSTビットが1の状態のとき、ADCRのADCSビット、ACEビット、ADIEビット、TRGEビット、EXTRGビットの設定を変更しないでください。
- ADSRのADSTビットが1の状態のとき、ADSTに1をライトしないでください。
- A/Dアナログ入力チャンネル選択レジスタ (ADANSR) のANS7~ANS0ビットがすべて0のままA/D変換を開始させないでください。

19.7.7 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $3k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $3k\Omega$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力への負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号 (例えば $5mV/\mu s$ 以上) には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合は、低インピーダンスのバッファを入れてください。

19.7.8 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等の電氣的に安定な GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

19.7.9 2つ以上の A/D モジュールを同時に動作させるときの注意

本 LSI には3つの A/D モジュールがあります。2つ以上の A/D モジュールを同時もしくは図 19.20～図 19.22 に示すように、最初の A/D モジュール変換中に次の A/D モジュールが変換を開始した場合、最初に起動された A/D 変換モジュールの起動開始と次に起動した A/D 変換モジュールの起動開始の差(図 19.20、図 19.21 の $T_{AD0-AD1}$ 、図 19.22 の $T_{AD2-AD1}$)によって、最初に起動した A/D 変換モジュールの保証される絶対精度は、表 19.9～表 19.11 のようになります。2 個以上の A/D モジュールを同時に使用する場合は、十分な評価を実施してください。

また、2 組の電源があります。1 つは A/D_0 専用でもう 1 つは A/D_1、A/D_2 共通です。電源が共通になっている A/D_1、A/D_2 を同時に動作させるときは干渉も増加します。

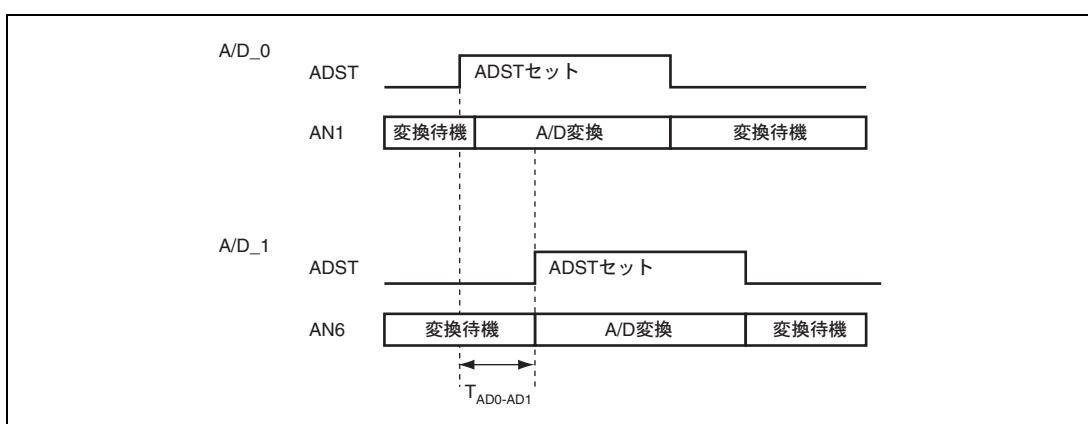


図 19.20 A/D_0 変換器と A/D_1 変換器の A/D 変換開始タイミングの関係 (A/D_0、A/D_1 ともサンプルホールド回路無効) (電源が分離されているユニットの干渉)

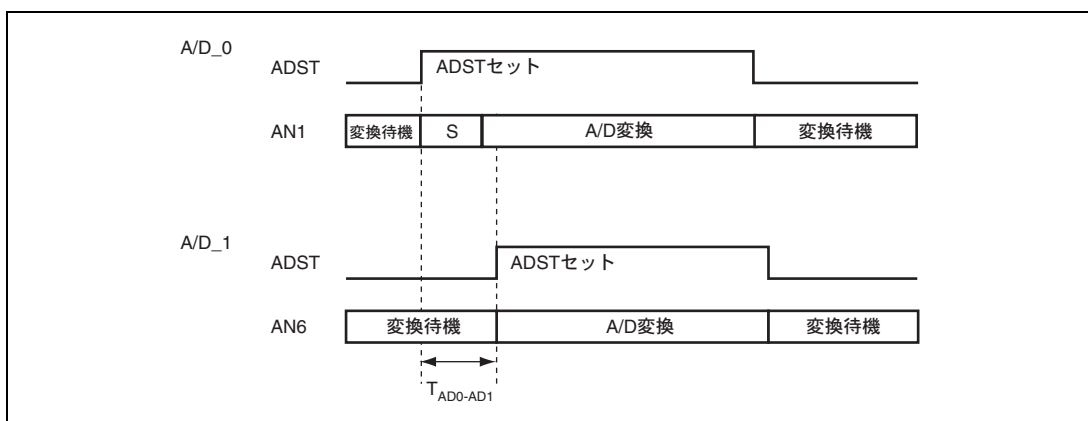


図 19.21 A/D_0 変換器と A/D_1 変換器の A/D 変換開始タイミングの関係 (A/D_0 サンプルホールド回路有効)

表 19.9 図 19.20 の場合の A/D_0 と A/D_1 の A/D 変換開始のサイクル差 $T_{AD0-AD1}$ (A ϕ) と絶対精度
(電源が分離されているユニット間の干渉)

	$T_{AD0-AD1}$	単位
		0~15、21~30、45~
絶対精度	± 8	LSB

- 【注】
1. A/D_0 を先に変換を開始した場合の A/D_0 の精度です。
 2. A/D_0、A/D_1 を同時に変換を開始した場合、 $T_{AD0-AD1}=0$ になるので、A/D_0、A/D_1 とも絶対精度は ± 8 LSB です。
 3. 2つの A/D を起動した場合、上記 $T_{AD0-AD1}$ 以外のタイミングでは先に変換している A/D の絶対精度は保証されません。
 4. A/D_0、A/D_1 を単独で使用了場合、 $T_{AD0-AD1}=45$ 以上となりますので、A/D_0、A/D_1 のそれぞれの絶対精度は ± 8 LSB です。

表 19.10 図 19.21 の場合の A/D_0 と A/D_1 の A/D 変換開始のサイクル差 $T_{AD0-AD1}$ (A ϕ) と絶対精度

	$T_{AD0-AD1}$	単位
		0~15、33~45、55~65、83~95、107~
絶対精度	± 8	LSB

- 【注】
1. A/D_0 を先に変換を開始した場合の A/D_0 の精度です。
 2. A/D_0、A/D_1 を同時に変換を開始した場合、 $T_{AD0-AD1}=0$ になるので、A/D_0、A/D_1 とも絶対精度は ± 8 LSB です。
 3. 2つの A/D を起動した場合、上記 $T_{AD0-AD1}$ 以外のタイミングでは先に変換している A/D の絶対精度は保証されません。
 4. A/D_0、A/D_1 を単独で使用了場合、 $T_{AD0-AD1}=107$ 以上となりますので、A/D_0、A/D_1 のそれぞれの絶対精度は ± 8 LSB です。

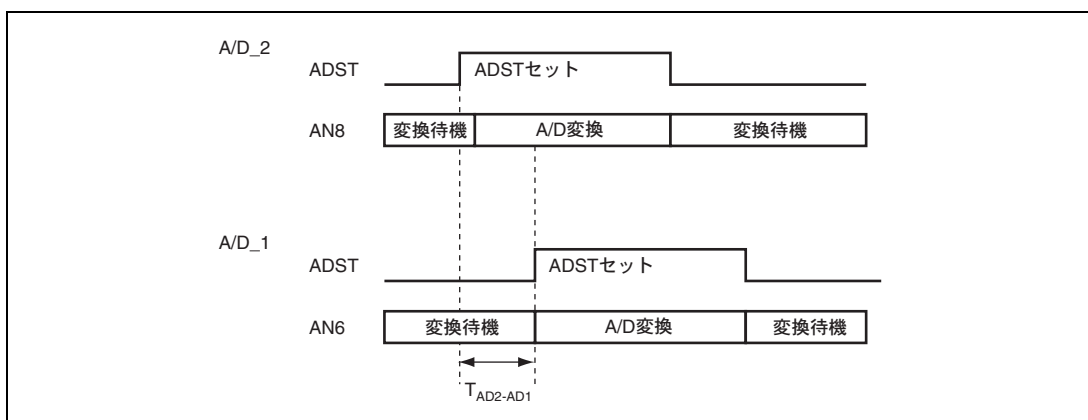


図 19.22 A/D_2 変換器と A/D_1 変換器の A/D 変換開始タイミングの関係 (電源が共通のユニット間の干渉)

表 19.11 図 19.22 の場合の A/D_2 と A/D_1 の A/D 変換開始のサイクル差 $T_{AD2-AD1}$ (A ϕ) と絶対精度 (電源が共通のユニット間の干渉)

	$T_{AD2-AD1}$	単位
	0~14、27~30、48~	A ϕ (clock)
絶対精度	± 8	LSB

- 【注】
1. A/D_2 を先に変換を開始した場合の A/D_2 の精度です。
 2. A/D_2、A/D_1 を同時に変換を開始した場合、 $T_{AD2-AD1}=0$ になるので、A/D_2、A/D_1 とも絶対精度は ± 8 LSB です。
 3. 2 つの A/D を起動した場合、上記 $T_{AD2-AD1}$ 以外のタイミングでは先に変換している A/D の絶対精度は保証されません。
 4. A/D_2、A/D_1 を単独で使用した場合、 $T_{AD2-AD1}=45$ 以上となりますので、A/D_2、A/D_1 のそれぞれの絶対精度は ± 8 LSB です。

20. コントローラエリアネットワーク (RCAN-ET)

コントローラエリアネットワーク (RCAN-ET) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-ET のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-CD-11898-1, 2002)

20.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 16個のメールボックス
- クロック周波数：20～50 MHzまたは20～40 MHz
- プログラム可能な15個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーバッシブモード)

20.2 構成

20.2.1 ブロック図

RCAN-ET は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-ET は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、および CAN インタフェースの 4 種類のブロックからなります。

図 20.1 に RCAN-ET のブロック図を示します。

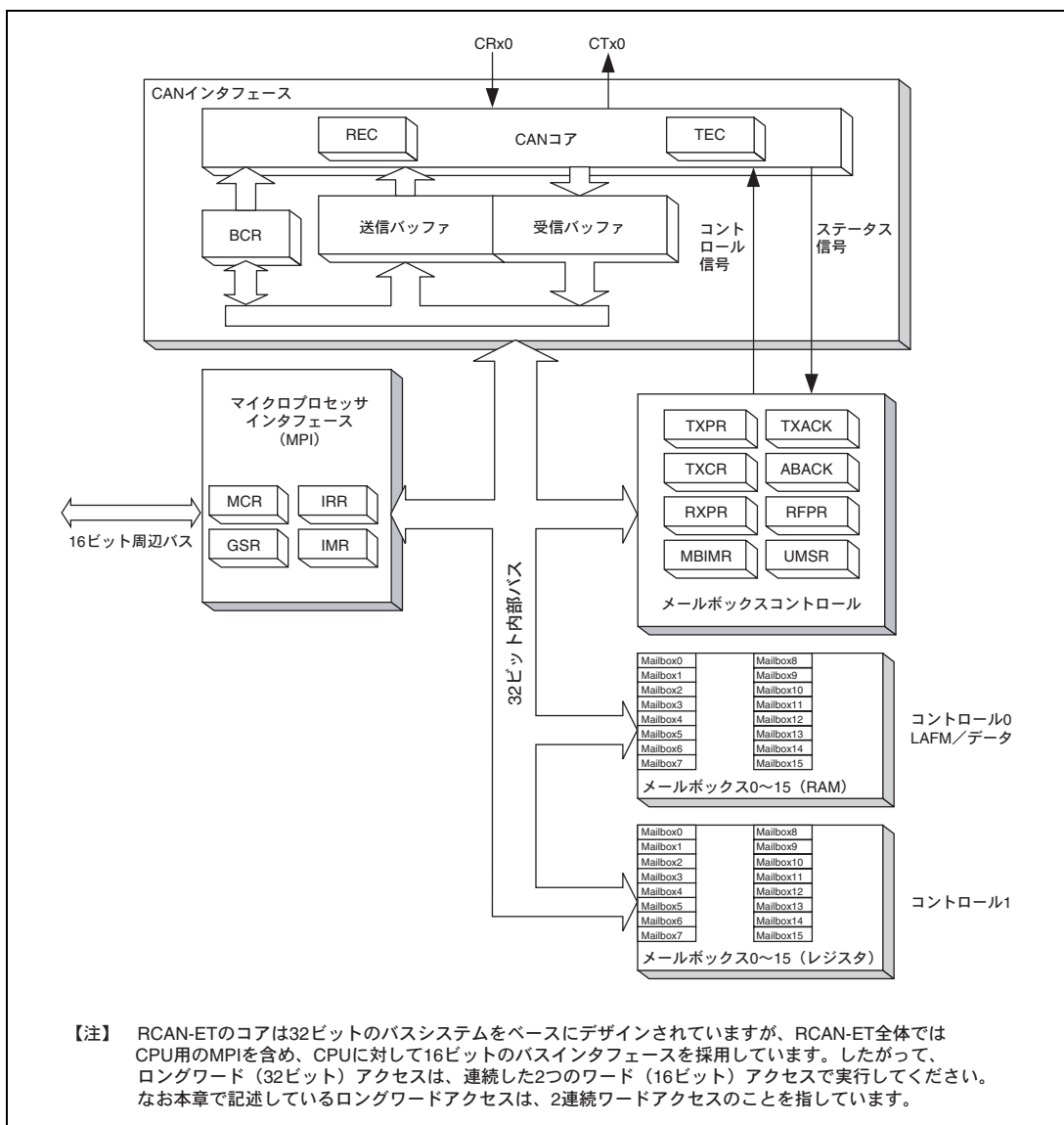


図 20.1 RCAN-ET のブロック図

20.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-ET のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-ET の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-ET は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 16 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- メッセージ送信時は、RCAN-ETは内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) CAN インタフェース

本ブロックは参考文献[2]と[4]のCANバスデータリンクコントローラ仕様をサポートしています。これはOSIモデルで規定されるデータリンクコントローラの全機能を満足します。また、CANバスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CANデータリンクコントローラの送受信を格納する機能もあります。

20.2.3 端子構成

RCAN-ET の端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTx0	出力	CAN バス送信用端子です。
受信データ端子	CRx0	入力	CAN バス受信用端子です。

20.2.4 メモリマップ

RCAN-ET のメモリマップを図 20.2 に示します。以降、記載しているレジスタのアドレスは H'FFFFD000 のオフセットアドレスを持っています。

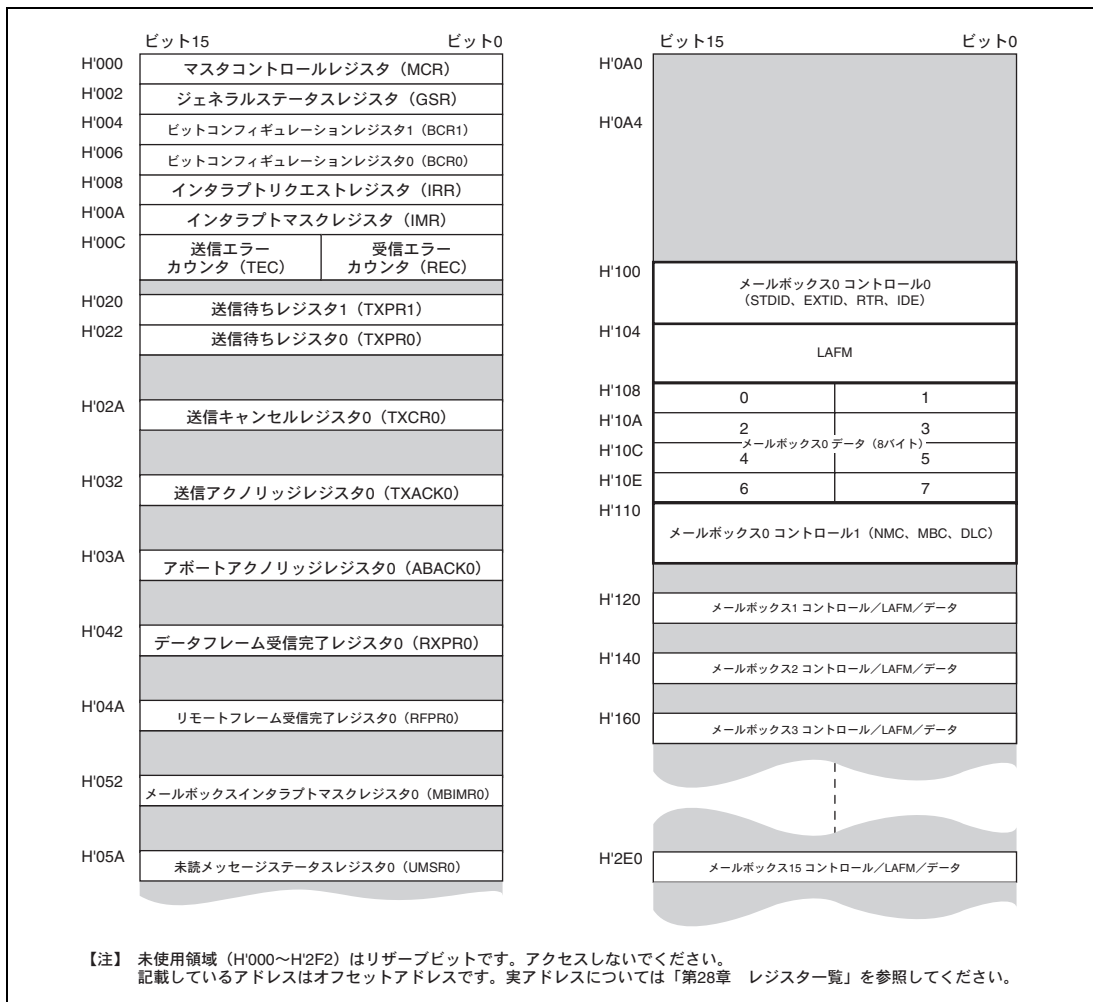


図 20.2 RCAN-ET のメモリマップ

20.3 メールボックス

20.3.1 メールボックスの構成

メールボックスはCAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの3個の格納フィールドからなります。

表 20.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータのアドレスマップを示します。

表 20.2 各メールボックスのアドレスマップ

メールボックス	アドレス			
	コントロール 0	LAFM	データ	コントロール 1
	4 バイト	4 バイト	8 バイト	2 バイト
0 (受信のみ)	100-103	104-107	108-10F	110-111
1	120-123	124-127	128-12F	130-131
2	140-143	144-147	148-14F	150-151
3	160-163	164-167	168-16F	170-171
4	180-183	184-187	188-18F	190-191
5	1A0-1A3	1A4-1A7	1A8-1AF	1B0-1B1
6	1C0-1C3	1C4-1C7	1C8-1CF	1D0-1D1
7	1E0-1E3	1E4-1E7	1E8-1EF	1F0-1F1
8	200-203	204-207	208-20F	210-211
9	220-223	224-227	228-22F	230-231
10	240-243	244-247	248-24F	250-251
11	260-263	264-267	268-26F	270-271
12	280-283	284-287	288-28F	290-291
13	2A0-2A3	2A4-2A7	2A8-2AF	2B0-2B1
14	2C0-2C3	2C4-2C7	2C8-2CF	2D0-2D1
15	2E0-2E3	2E4-2E7	2E8-2EF	2F0-2F1

メールボックス 0 は受信専用です。メールボックス 1~15 は、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 20.3 に示します。

・メールボックス0 (受信用メールボックス)

レジスタ名	アドレス	データバス														アクセスサイズ	フィールド名	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2			1
MB[0].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[0].CONTROL0L	H*102+N*32	EXTID[15:0]														16ビット		
MB[0].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H*106+N*32	EXTID_LAFM[15:0]														16ビット		
MB[0].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRx バイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[0].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[0].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[0].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[0].CONTROL1H. L	H*110+N*32	0	0	NMC	0	0	MBC[2:0]	0	0	0	0	DLC[3:0]	8/16ビット	コントロール1				

・メールボックス1~15 (送受信用メールボックス)

レジスタ名	アドレス	データバス														アクセスサイズ	フィールド名	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2			1
MB[x].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[x].CONTROL0L	H*102+N*32	EXTID[15:0]														16ビット		
MB[x].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[x].LAFML	H*106+N*32	EXTID_LAFM[15:0]														16ビット		
MB[x].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32ビット	データ	
MB[x].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16ビット		
MB[x].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32ビット		
MB[x].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16ビット		
MB[x].CONTROL1H. L	H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	DLC[3:0]	8/16ビット	コントロール1				

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. メールボックス0のMBC1ビットの値は常に1です。
3. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
4. MCR15ビットが0のときはメッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 20.3 メールボックス N の構成

20.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 【重要】 MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレームリクエスト割り込み) ビットによって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】 MBC=B'001 で ATX=1 の場合にリモートフレームに自動的に回答を対応させるために、データフレームの転送が許可されるように RTR フラグは 0 にプログラムしなくてはなりません。 【注意】 メールボックスがリモートフレームを送るように設定されているとき、転送に用いられた DLC はメールボックスの中に格納されたものとなります。 0: データフレーム 1: リモートフレーム
		13	—	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

● メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC1 の値は常に 1 です。

● メールボックス1～15

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	15, 14	—	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが 0 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し USMR の対応するビットをセットします。このビットが 1 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバーライトし、USMR の対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (USMR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。</p> <p>0 : オーバランモード 1 : オーバライトモード</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納されます。そして、TXPRをセットすることで現在のメッセージデータと書き換えられたDLCを使って同じメールボックスから自動的にデータフレームが転送されます。送信のスケジューリングは、メッセージ送信プライオリティビット(MCR2)で構成されているように、ID優先順位あるいはメールボックス優先順位によって制御されます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード(DLC)は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】 ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>【重要】 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCAN-ETは現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>【重要】 オーバラン状態(NMC=0に設定されたメールボックスのUMSRがセット)では、受信メッセージは破棄されます。ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトラージで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCAN-ETは送信が正常終了されるまで、あるいはTXCRでキャンセルされるまで、必要に応じて何度でもメッセージを送信しようとします。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 20.3 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC をそれら以外の値に設定すれば LAFM フィールドは使用可能となります。</p> <p>MBC が受信にセットされているとき、TXPR は設定しないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。</p>
MB[x]. CONTROL1L	H'111+N*32	7~4	—	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。リモートフレーム要求が送信されるとき、これに使用される DLC の値は要求されたデータフレームの DLC の値と等しいものでなくてはなりません。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 20.3 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用禁止	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用禁止 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

20.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 20.4 に示すとおり、2 つの 16 ビットの読み出し/書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]												16ビット					

図 20.4 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-ET が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-ET は、メールボックス 15 からメールボックス 0 まで、一致する ID の検索を開始します。RCAN-ET は一致する ID を検知すると、ただちに検索を終了し、そのメッセージは NMC や RXPR/RFPR フラグによらず格納されます。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0: 対応する IDE ビットが有効 1: 対応する IDE ビットが無効
		14, 13	—	リザーブビット 書き込み値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0: 対応する STDID ビットが有効 1: 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0: 対応する EXTID ビットが有効 1: 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1: 対応する EXTID ビットが無効

20.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

20.4 RCAN-ET のコントロールレジスタ

RCAN-ET のコントロールレジスタについて説明します。RCAN-ET のコントロールレジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 20.4 に RCAN-ET のコントロールレジスタを示します。

表 20.4 RCAN-ET のコントロールレジスタの構成

レジスタ名	略称	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	16
ジェネラルステータスレジスタ	GSR	16
ビットコンフィギュレーションレジスタ 1	BCR1	16
ビットコンフィギュレーションレジスタ 0	BCR0	16
インタラプトリクエストレジスタ	IRR	16
インタラプトマスクレジスタ	IMR	16
送信エラーカウンタ/受信エラーカウンタ	TEC/REC	16

20.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し/書き込み可能なレジスタで、RCAN-ET を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 20.5 を参照してください。</p> <p>0 : RCAN-ET と HCAN2 は同等の順序 1 : RCAN-ET と HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-ET がバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0 : 通常の復帰シーケンス (128 × 11 レセツシブビット) で RCAN-ET バスオフ状態を維持</p> <p>1 : MCR6 がセットされると RCAN-ET はバスオフ状態のあと、ただちにホルトモードに入ります</p>
13~11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-ET をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「20.6.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-ET が通常動作時には使用できません。</p> <p>000 : ノーマルモード</p> <p>001 : リスンオンリモード (受信専用モード)</p> <p>010 : セルフテストモード 1 (外部)</p> <p>011 : セルフテストモード 2 (内部)</p> <p>100 : ライトエラーカウンタ</p> <p>101 : エラーパッシブモード</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-ET は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-ET は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-ET は、RCAN-ET をウェイクアップしたメッセージを格納できません。</p> <p>0 : CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1 : CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0: MCR1 がセットされても、バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1: バスオフ時に MCR1 または MCR14 がアサートされると、ただちにホルトモードに入ります</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN-ET がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2つのエラーカウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには2つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動ウェイクアップモードが無効であれば、CAN スリープモードが終了するまで RCAN-ET はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-ET は CAN バス動作に入る前に 11 個のリセットビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-ET が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。</p> <p>0: CAN スリープモードが解除されています</p> <p>1: CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-ET は、最初にホルトモードに設定してから CAN スリープモードに遷移することを推奨します。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-ET はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。送信はメールボックス 15 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) 優先順位どおりキューに入ります。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE=1 の場合) + RTR ビット) を持ち、最初に送信されます。内部アービトレーションは RTR ビットと IDE ビットを含みません (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0 : メッセージ ID 優先順に送信</p> <p>1 : メールボックス番号順 (メールボックス 15 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります（ここでCANバスからは切り離されます）。RCAN-ETは本ビットがクリアされるまでホルトモードのままになります。ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を自身に通知するためのIRR0とGSR4を除き、ユーザレジスタ（メールボックスの内容およびTEC/RECを含みます）の内容は保持されます。CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-ETは1ビット時間内にホルトモードになります。MCR6がセットされると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスは事前に完了します。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされると、本ビットはRCAN-ETがバスオフ状態になればすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-ETはバス動作に関係しないため、ビットタイミング設定を除きRCAN-ETの設定を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-ETは11個のレセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0：ホルトモードリクエストをクリア 1：ホルトモード遷移リクエスト</p> <p>【注】 1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたはハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-ET モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-ET コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-ET は再設定することができます (コンフィギュレーションモード)。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-ET は、11 個のレセプションビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにポーレートを適切な値に設定する必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-ET を設定する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : CAN インタフェースノーマルモード (MCR0=0 かつ GSR3=0) [クリア条件] RCAN-ET をリセットした後に 0 が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32ビット	コントロール0	
H'102+N*32	EXTID[15:0]																	16ビット
H'104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+N*32	EXTID_LAFM[15:0]																	16ビット

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+N*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]	16/32ビット	コントロール0	
H'102+N*32	EXTID[15:0]																	16ビット
H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H'106+N*32	EXTID_LAFM[15:0]																	16ビット

図 20.5 ID 並べ替え

20.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-ET の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。読み出すと常に0が読み出されます。
5	GSR5	0	R	エラーバッシブステータス CAN インタフェースがエラーバッシブかどうかを示します。本ビットは RCAN-ET がエラーバッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーバッシブ中とバスオフ中は、GSR5は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-ET はエラーバッシブあるいはバスオフ状態ではありません [クリア条件] RCAN-ET がエラーアクティブ状態の間 1: RCAN-ET がエラーバッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC \geq 128 または REC \geq 128 のとき、またはエラーバッシブテストモードが選択されている場合
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-ET の状態をフルに反映するものではありません。RCAN-ET は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-ET はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-ET がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-ET がバスオフへ遷移したとき
3	GSR3	1	R	リセットステータス RCAN-ET がリセット状態かどうかを示します。 0: RCAN-ET はリセット状態ではありません 1: RCAN-ET がリセット状態です [セット条件] RCAN-ET のソフトウェアまたはハードウェアリセットの後

ビット	ビット名	初期値	R/W	説明
2	GSR2	1	R	<p>メッセージ送信進行フラグ</p> <p>RCAN-ET がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー／オーバーロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK はフレームエンドの 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトラジョンロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。</p> <p>0: RCAN-ET はバスオフ状態またはメッセージを送信中です 1: [セット条件] バスオフ状態でない、またはメッセージを送信中でない</p>
1	GSR1	0	R	<p>送信／受信ワーニングフラグ</p> <p>エラーワーニングを示すフラグです。</p> <p>0: [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1: [セット条件] $96 \cdot TEC < 256$ または $96 \cdot REC < 256$ のとき</p> <p>【注】 REC は、バスオフ復帰シーケンスに必要な 11 個のレセツシブビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。</p>
0	GSR0	0	R	<p>バスオフフラグ</p> <p>RCAN-ET がバスオフ状態であることを示します。</p> <p>0: [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1: [セット条件] $TEC \cdot 256$ (バスオフ状態)</p>

20.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値+1 の値です。f_{clk} は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 20.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TSG1[3:0]				-	TSG2[2:0]				-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (=PRSEG + PHSEG1) を設定することに使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1=4 タイムクオンタ 0100 : PRSEG + PHSEG1=5 タイムクオンタ : : 1111 : PRSEG + PHSEG1=16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (=PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2=2 タイムクオンタ (条件によっては設定禁止です。表 20.5 を参照してください)</p> <p>010 : PHSEG2=3 タイムクオンタ</p> <p>011 : PHSEG2=4 タイムクオンタ</p> <p>100 : PHSEG2=5 タイムクオンタ</p> <p>101 : PHSEG2=6 タイムクオンタ</p> <p>110 : PHSEG2=7 タイムクオンタ</p> <p>111 : PHSEG2=8 タイムクオンタ</p>
7、6	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅=1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅=2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅=3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅=4 タイムクオンタ</p>
3~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : 2× (レジスタ値+1) ×周辺バスクロック 11111111 : 512×周辺バスクロック

- ビットコンフィギュレーションレジスタについて



SYNC_SEG : CAN バス上のノードの同期をするセグメント (通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-ET ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = \text{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

ここで BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

$fclk$ = 周辺バスクロック

BCR 設定上の制約となる事項

$$TSEG1 \text{ (Min.)} > TSEG2 \geq SJW \text{ (Max.)} \quad (SJW=1\sim 4)$$

$$8 \leq TSEG1 + TSEG2 + 1 \leq 25 \text{ タイムクオンタ (TSEG1 + TSEG2 + 1=7は不可)}$$

$$TSEG2 \geq 2$$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 20.5 に示される設定値の範囲であれば、上述の制限事項を満たします。表 20.5 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 20.5 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1: $fclk$ が 40MHz でビットレートを 500kbps とする場合、BRP = 3、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0003 をライトすることになります。

例 2: $fclk$ が 35MHz でビットレートを 250kbps とする場合、BRP = 4、TSEG1 = 8、TSEG2 = 5 が条件を満たします。この場合、BCR1 には H'7400、BCR0 には H'0004 をライトすることになります。

例 3: $fclk$ が 32MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 11、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 4: $fclk$ が 20MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

20.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IRR13	IRR12	—	—	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	—	すべて0	R	リザーブビット
13	IRR13	0	R/W	<p>メッセージエラー割り込み</p> <p>本割り込みは、テストモードでメッセージエラーが発生したことを示します。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。また、テストモード以外では機能しません。</p> <p>0: テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: [セット条件] テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-ET が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みが要求されない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRx0 上でドミナントへのビット状態変化を検出</p>
11、10	—	すべて0	R	リザーブビット

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: メッセージオーバーラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1: オーバーランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPB または RFPR=1 かつ MBIMR=0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると、本ビットがセットされます。</p> <p>このとき対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-ET がオーバーロードフレームの送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-ET がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了 (11 個のリセツピットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。本ビットは RCAN-ET がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードし RCAN-ET がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] $TEC \geq 256$ または 11 個のリセツピットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーバッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーバッシブ状態、またはテストモードによって強制的にエラーバッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーバッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-ET がエラーバッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 送信/受信エラーによるエラーバッシブ状態</p> <p>[セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーバッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-ET がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN-ET がバスオフ状態以外で $REC \geq 96$</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください)</p> <p>1: 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RFPR のすべてのビットがクリア</p> <p>1: 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR=0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RXPR のすべてのビットがクリア</p> <p>1: データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR=0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ</p> <p>下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-ET の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 20.8 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-ET がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード/CAN スリープモードから送信/受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間-TSEG2]~[1 ビット時間×2-TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

20.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し／書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0: 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1: IRR の対応する割り込みをマスクする

20.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し／条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信／受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の [1]、[2]、[3]、[4] に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-ET をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 個のレセプションビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

20.5 RCAN-ET のメールボックスレジスタ

RCAN-ET のメールボックスレジスタについて説明します。RCAN-ET のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 20.6 に RCAN-ET のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 20.6 RCAN-ET のメールボックスレジスタ

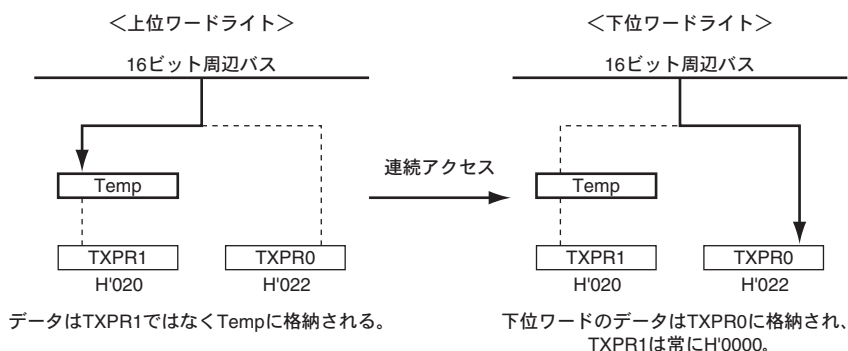
レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'FFFFD020	16、32
送信待ちレジスタ 0	TXPR0	H'FFFFD022	—
		H'FFFFD024	
		H'FFFFD026	
		H'FFFFD028	
送信キャンセルレジスタ 0	TXCR0	H'FFFFD02A	16
		H'FFFFD02C	
		H'FFFFD02E	
		H'FFFFD030	
送信アクノリッジレジスタ 0	TXACK0	H'FFFFD032	16
		H'FFFFD034	
		H'FFFFD036	
		H'FFFFD038	
アポートアクノリッジレジスタ 0	ABACK0	H'FFFFD03A	16
		H'FFFFD03C	
		H'FFFFD03E	
		H'FFFFD040	
データフレーム受信完了レジスタ 0	RXPR0	H'FFFFD042	16
		H'FFFFD044	
		H'FFFFD046	
		H'FFFFD048	
リモートフレーム受信完了レジスタ 0	RFPR0	H'FFFFD04A	16
		H'FFFFD04C	
		H'FFFFD04E	
		H'FFFFD050	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'FFFFD052	16
		H'FFFFD054	
		H'FFFFD056	
		H'FFFFD058	

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'FFFFD05A	16
		H'FFFFD05C	
		H'FFFFD05E	

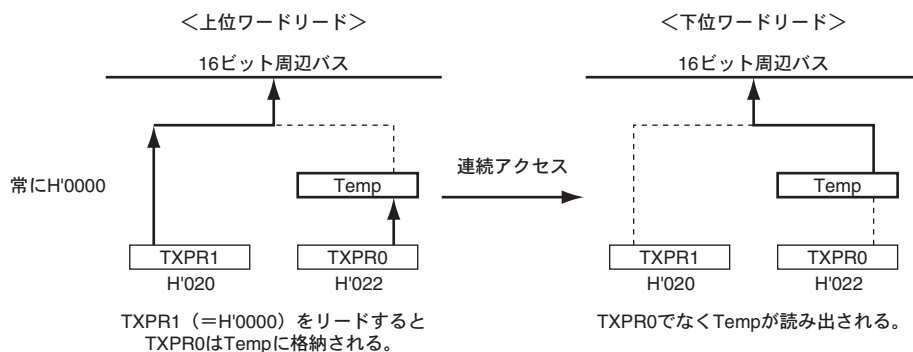
20.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

<ロングワードライト動作>



<ロングワードリード動作>



TXPR1 レジスタは常に 0 固定で、TXPR1 レジスタへの書き込みは無効です。TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

メッセージが正常に送信された後、または TXCR からの送信アポートが行われた後、RCAN-ET は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていない場合は、RCAN-ET は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアポートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「20.6 動作説明」を参照してください。

RCAN-ET が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアポートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアポートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用書き替えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR1 への書き込みは無効です。

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

TXPR1/TXPR0のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR0のビット0への書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	<p>対応するメールボックスにCANフレーム送信リクエストが発生していることを示します。ビット15~1はメールボックス15~1に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了またはメッセージ送信アポート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視されます。読み出し値は0です。</p>

20.5.2 送信キャンセルレジスタ 0 (TXCR0)

TXCR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、メールボックス 15~1 を制御します。CPU は TXCR0 を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アポートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

20.5.3 送信アクノリッジレジスタ 0 (TXACK0)

TXACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-ET は TXACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK0 のビットをクリアすることができます。0 を書き込むと無視されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	<p>対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された</p> <p>[セット条件] 対応するメールボックスのメッセージ送信が完了</p>
0	—	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

20.5.4 アポートアクノリッジレジスタ 0 (ABACK0)

ABACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-ET は ABACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK0 のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-ET が ABACK0 のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ABACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	<p>対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた</p> <p>[セット条件] 対応するメールボックスのメッセージ送信をキャンセル</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

20.5.5 データフレーム受信完了レジスタ 0 (RXPR0)

RXPR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

20.5.6 リモートフレーム受信完了レジスタ 0 (RFPR0)

RFPR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効されます。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

20.5.7 メールボックスインタラプトマスクレジスタ 0 (MBIMR0)

MBIMR0は、16ビットの読み出し/書き込み可能なレジスタです。MBIMR0は、メールボックスの動作に関連するIRR (IRR1:データフレーム受信割り込み、IRR2:リモートフレームリクエスト割り込み、IRR8:メールボックスエンプティ割り込み、IRR9:メッセージオーバーラン割り込み)をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ(IRR1、IRR2、IRR9)による割り込みをマスクします。RXPR、RFPR、UMSRビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8)による割り込みやメールボックスエンプティ割り込みをマスクします。送信によるTXPR/TXCRビットのクリアとTXACKビットのセット、送信アポートによるTXPR/TXCRビットのクリアとABACKビットのセットには影響しません。

マスクするメールボックスに対応するビットに1を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

MBIMR0[15:0]

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可/禁止します。 0: IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1: IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

20.5.8 未読メッセージステータスレジスタ 0 (UMSR0)

UMSR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR0 または RFPR0 の対応するビットが CPU によってクリアされていないと、UMSR0 のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR0 のビットはセットされません。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

UMSR0[15:0]

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説 明
15~0	UMSR0[15:0]	H'0000	R/W	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0： [クリア条件] 1 を書き込む</p> <p>1： 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR0 または RFPR0 がクリアされる前に新しいメッセージを受信</p>

20.6 動作説明

20.6.1 RCAN-ET の設定

ハードウェアリセット（パワーオンリセット）またはソフトウェアリセット（MCR0）後のコンフィギュレーションモードおよびホルトモード時の RCAN-ET の設定について説明します。どちらの場合も RCAN-ET は CAN バスアクティビティに参加できません。また、RCAN-ET の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 20.6 にソフトウェアリセットまたはハードウェアリセット後の RCAN-ET の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-ET を設定する必要があります。詳細については図中の注を参照してください。

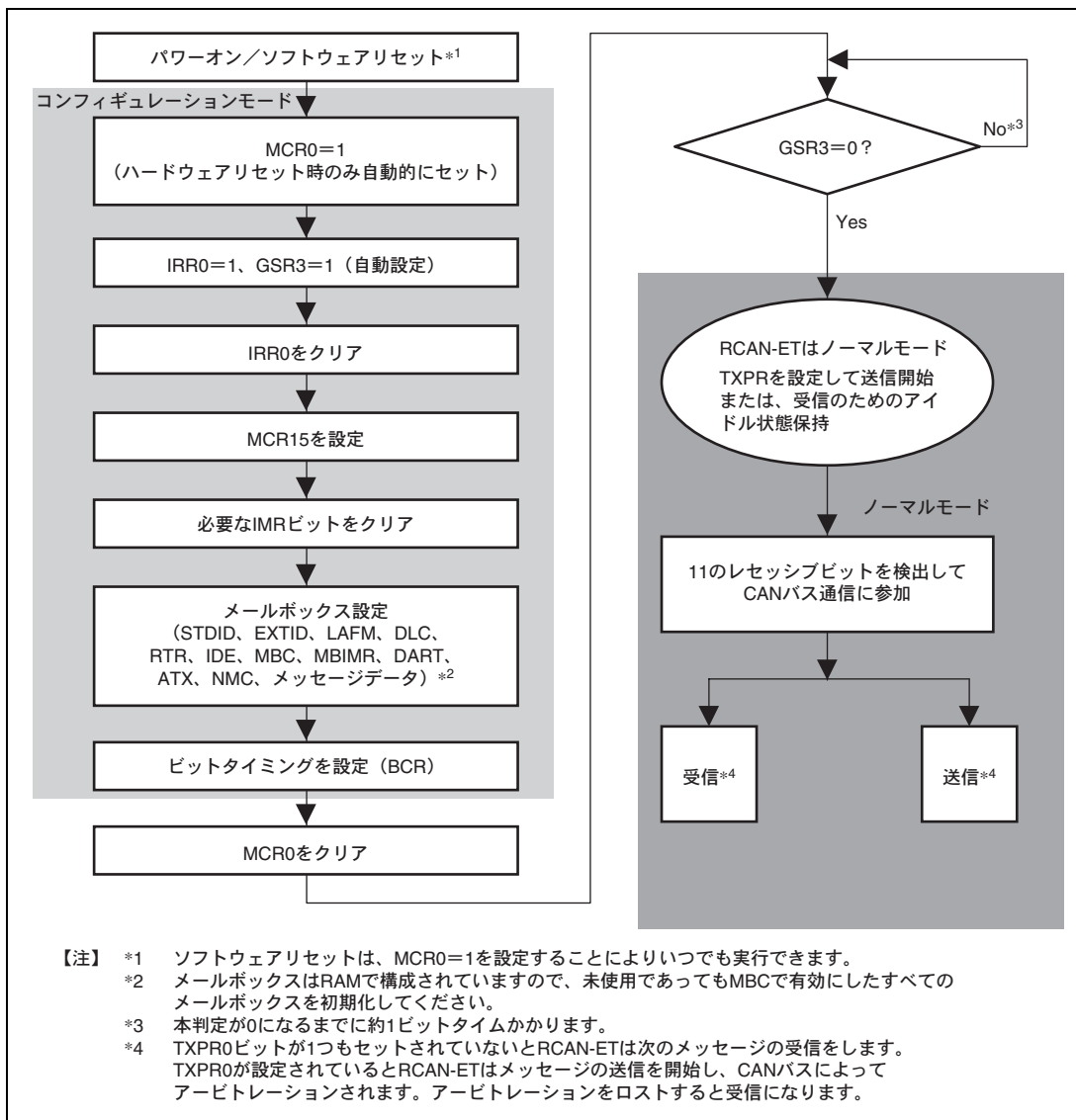


図 20.6 リセットシーケンス

(2) ホルトモード

RCAN-ET はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-ET がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-ET がホルトモードに遷移すると GSR4 ビットがセットされます。

設定終了後はホルトリクエストを解除する必要があります。RCAN-ET は CAN バス上で 11 個のレセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-ET の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 20.7 に RCAN-ET の CAN スリープモードのフローチャートを示します。

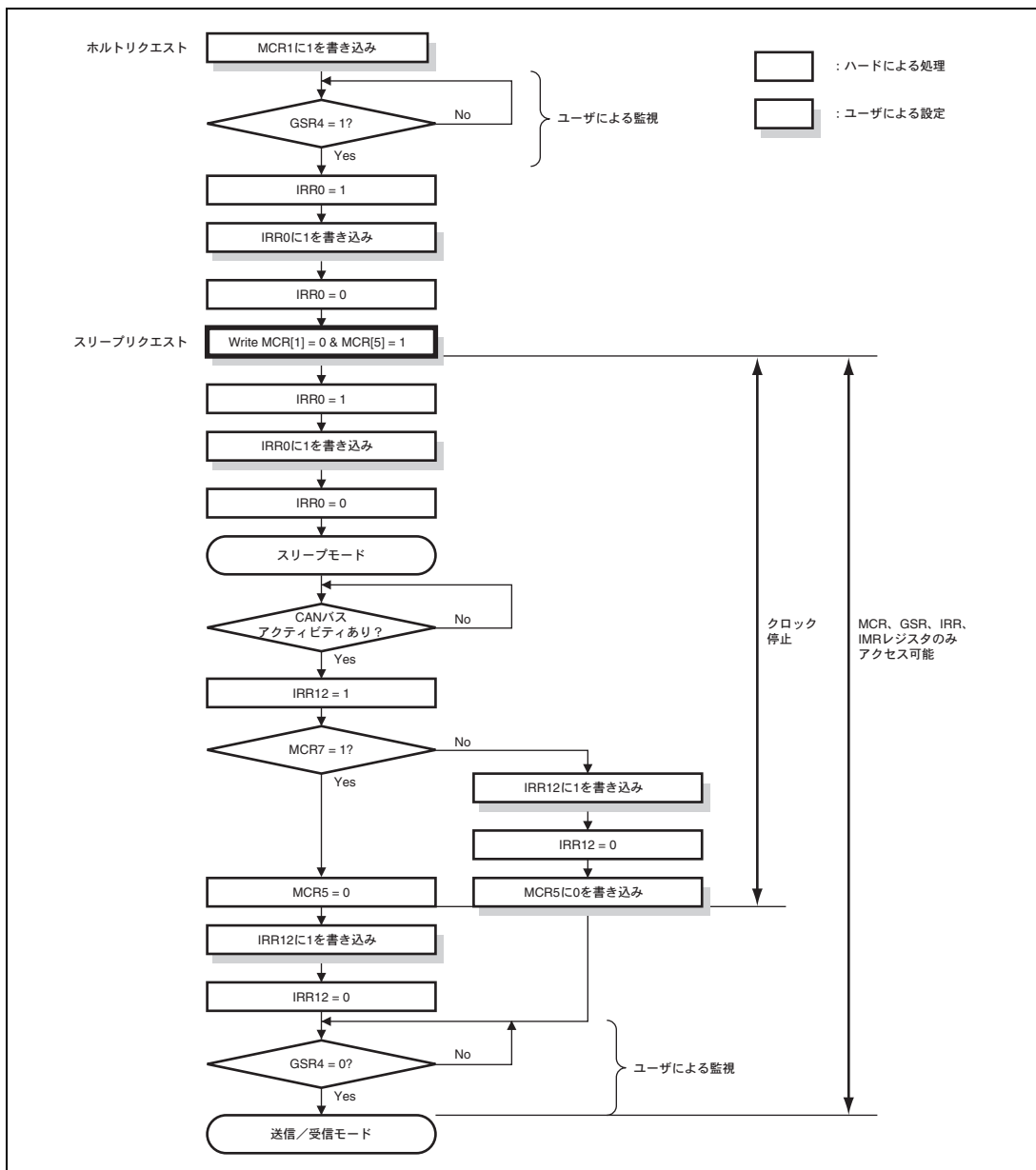


図 20.7 CAN スリープモードのフローチャート

図 20.8 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前には必ず GSR4 がセットされ、RCAN-ET がホルトモードになったことを確認してください。

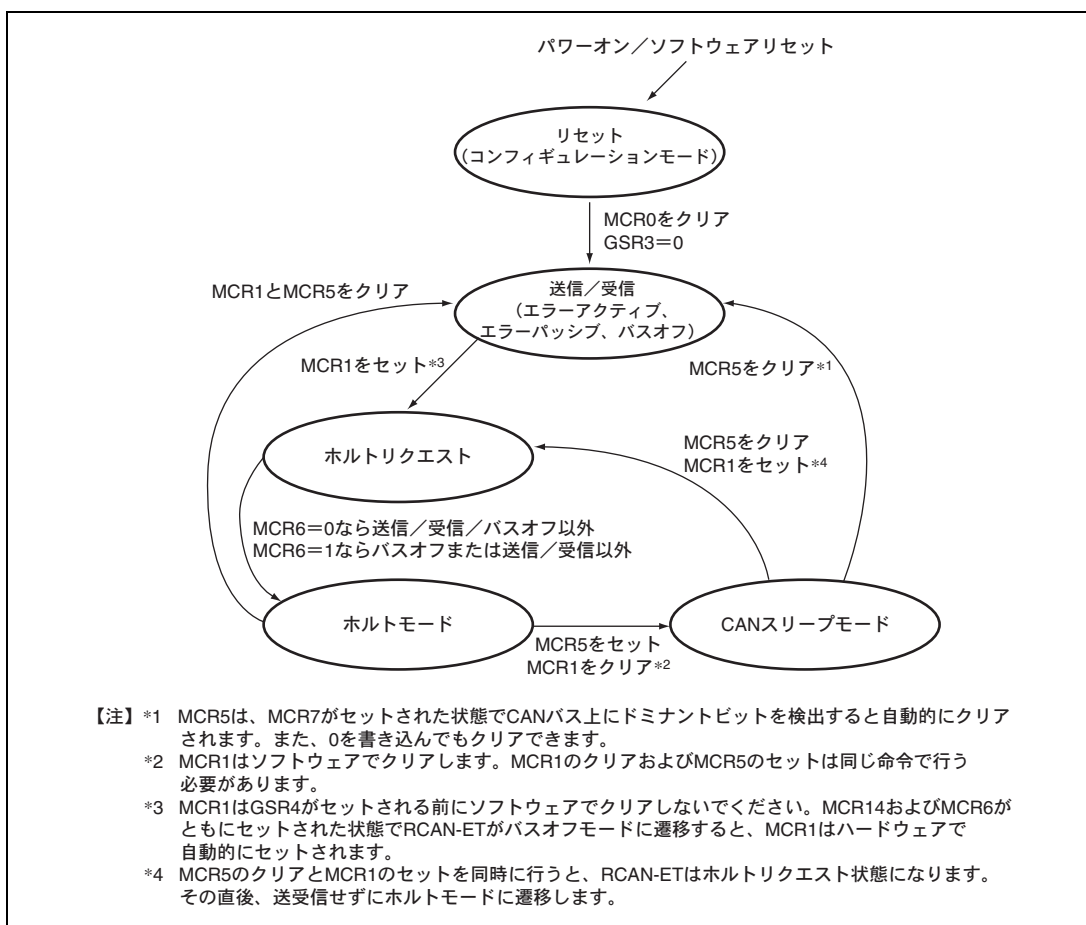


図 20.8 状態遷移図

各モードでのアクセスを許可する条件を表 20.7 に示します。

表 20.7 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR	フラグ レジスタ	メールボックス (コントロール0、 LAFM)	メール ボックス (データ)	メールボックス (コントロール1)		
リセット	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
送信/受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトリクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトモード	Yes	Yes	No	Yes	Yes	Yes	Yes	Yes	Yes	
CAN スリープモード	Yes	Yes	No	No	No	No	No	No	No	

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

20.6.2 テストモードの設定

RCAN-ET には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0]ビットで行います。RCAN-ET は、デフォルト（初期値）ではノーマルモードで動作します。

表 20.8 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1 が設定されていることを確認）してください。

表 20.8 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード 1（外部）
0	1	1	セルフテストモード 2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCAN-ETは通常の動作をします。

- リスンオンリモード

ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTx0出力を禁止し、RCAN-ETによるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード1

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。CRx0/CTx0端子は必ずCANバスに接続してください。

- セルフテストモード2

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。内部CTx0が内部CRx0にループバックされるため、CRx0/CTx0端子をCANバスその他の外部デバイスに接続する必要はありません。CTx0端子はレセシブビットのみ出力し、CRx0端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-ETを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-ETを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-ETがホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1=1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-ETは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-ETはバスオフ状態になりますが、本モードを使用するとRCAN-ETはエラーアクティブになることができません。したがってRCAN-ETはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

20.6.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスを図 20.9 に示します。

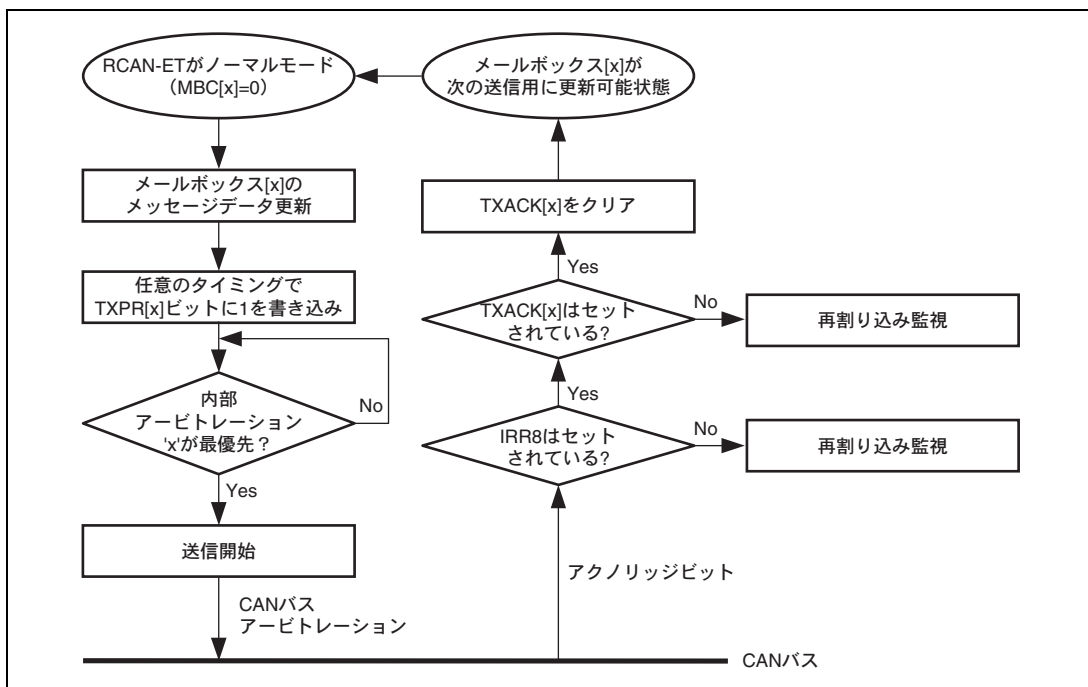


図 20.9 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない（すべての TXPR フラグがセットされていない）ことを示しています。

(2) 送信用内部アービトレーション

図 20.10 は、RCAN-ET がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

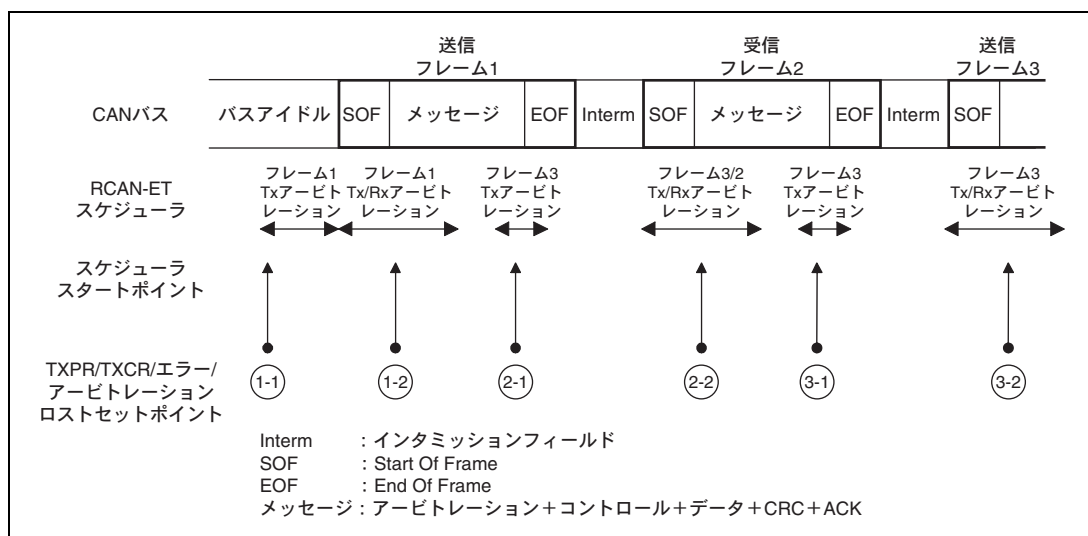


図 20.10 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-ET は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-ET は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-ET は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用内部アービトレーションは CRC のデリミタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用内部アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

20.6.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 20.11 に示します。

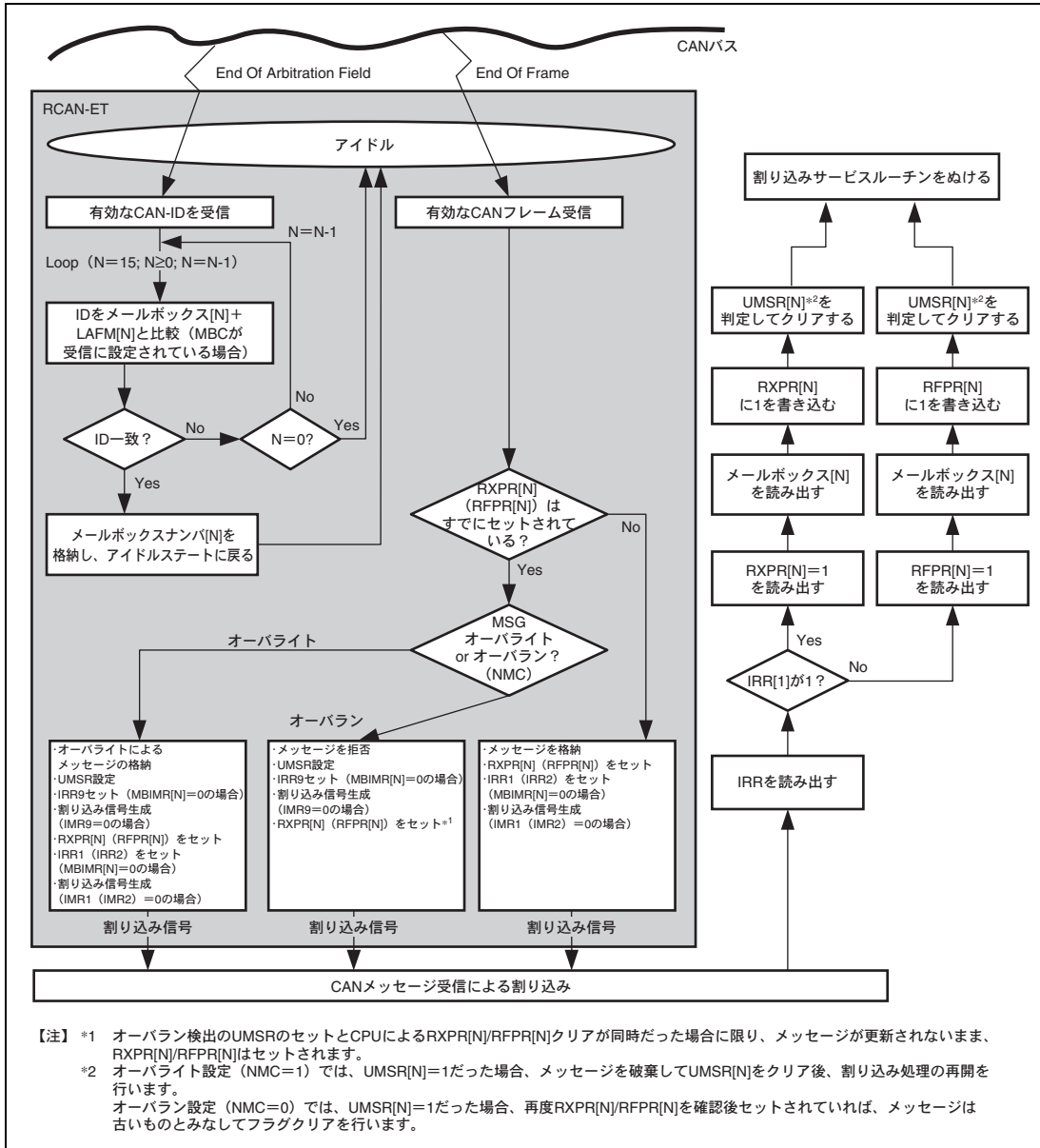


図 20.11 メッセージ受信シーケンス

メッセージを受信中に RCAN-ET がアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 15 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 15 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 14 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-ET はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-ET のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。メッセージを対応するメールボックスに書き込むと、メッセージ ID を含めて書き込まれるため、使用する LAFM により CAN-ID が受信メッセージの異なる CAN-ID でオーバーライトされる可能性があります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致した場合に、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 20.11 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされることを検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

なお、UMSR がセットされたメールボックスがオーバーランモード (NMC=0) に設定されていた場合、メッセージは上書きされずに残っていますが、CAN バス上でモニタされた最新のメッセージのものではありません。

該当するメールボックスの RXPR/RFPFR フラグをクリアする前に、そのメールボックスのすべての内容 (メールボックス[N]の領域) を読み出してください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレームリクエスト割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPFR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

オーバーランモード (NMC=0) では、これらのフラグは最初のメールボックスによってのみセットされます。このため、最初にデータフレームを受信すると RXPR と IRR1 の両方がアサートされます。その後データフレームを読み出す前にリモートフレームを受信すると、RFPFR と IRR2 はセットされません。この場合、対応するメールボックスの UMSR がセットされます。

20.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの変更

MBC=B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBC の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にありRCAN-ETが受信モードの場合、そのメッセージを逃すことはありません。RCAN-ETは現在行っている受信を完了してからホルトモードに遷移します。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

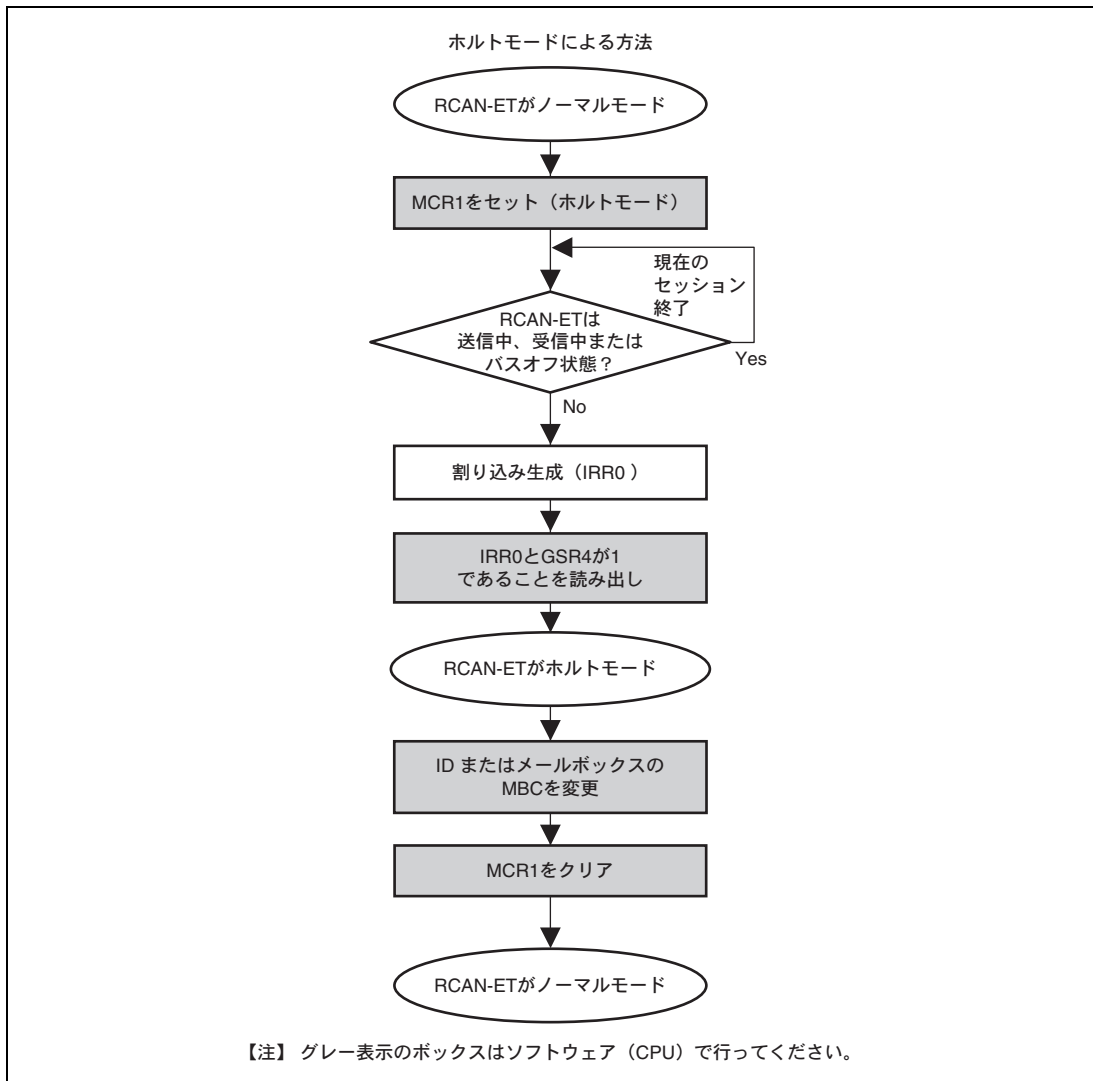


図 20.12 受信ボックスの ID 変更/受信ボックスから送信ボックスへの変更

20.7 割り込み要因

RCAN-ETには表 20.9 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ 0 (MBIMR0) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 20.9 RCAN-ET の割り込み要因

モジュール名	名称	要 因	割り込みフラグ	DTC/DMAC の起動
RCAN-ET	ERS_0	エラーパッシブ (TEC \geq 128 または REC \geq 128)	IRR5	不可
		バスオフ (TEC \geq 256) / バスオフからの復帰	IRR6	
		エラーワーニング (TEC \geq 96)	IRR3	
		エラーワーニング (REC \geq 96)	IRR4	
	OVR_0	メッセージエラー検出	IRR13* ¹	
		リセット/ホルト/CAN スリープ遷移	IRR0	
		オーバロードフレーム送信	IRR7	
		未読メッセージのオーバーライト (オーバラン)	IRR9	
		CAN スリープ中 CAN バス動作の検出	IRR12	
	RM0_0* ²	データフレーム受信	IRR1* ³	
	RM1_0* ²	リモートフレーム受信	IRR2* ³	
	SLE_0	メッセージの送信/送信取り消し (スロットエンプティ)	IRR8	不可

【注】 *1 テストモードでのみ有効。

*2 RM0_0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1_0 はメールボックス n (n=1~15) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IRR1 はメールボックス 0~15 のデータフレーム受信フラグ、IRR2 はメールボックス 0~15 のリモートフレーム受信フラグです。

*4 RM0_0 割り込みのみ起動できます。

20.8 DTC インタフェース

RCAN-ET のメールボックス 0 にメッセージを受信すると、DTC を起動することができます。なお、DTC 起動を設定し、DTC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます (DTC の転送カウンタ値が 0 になったときを除く)。このとき、RCAN-ET からの受信割り込みで CPU への割り込みは発生しません。ただし、DTC の転送カウンタ値が 0 だった場合 CPU への割り込みが発生します。図 20.13 に DTC 転送のフローチャートを示します。

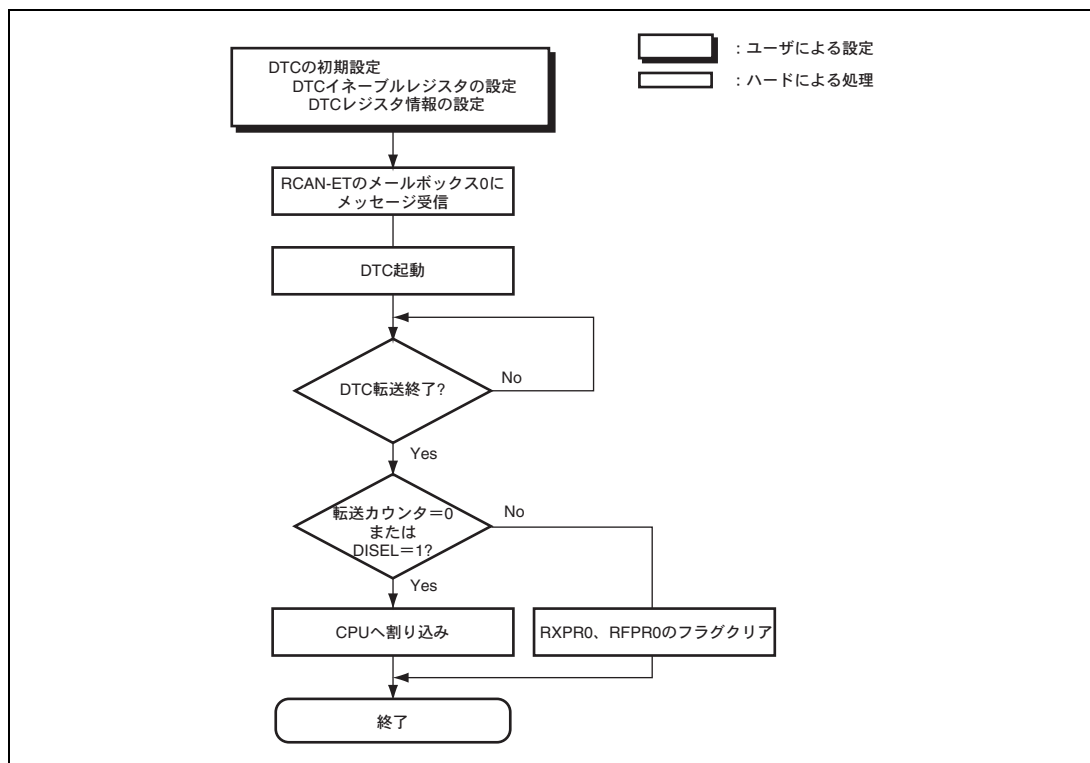


図 20.13 DTC 転送フローチャート

20.9 DMAC インタフェース

各 RCAN-ET のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。

このとき、RCAN-ET からの受信割り込みで CPU への割り込みは発生しません。図 20.14 に DMAC の転送フローチャートを示します。

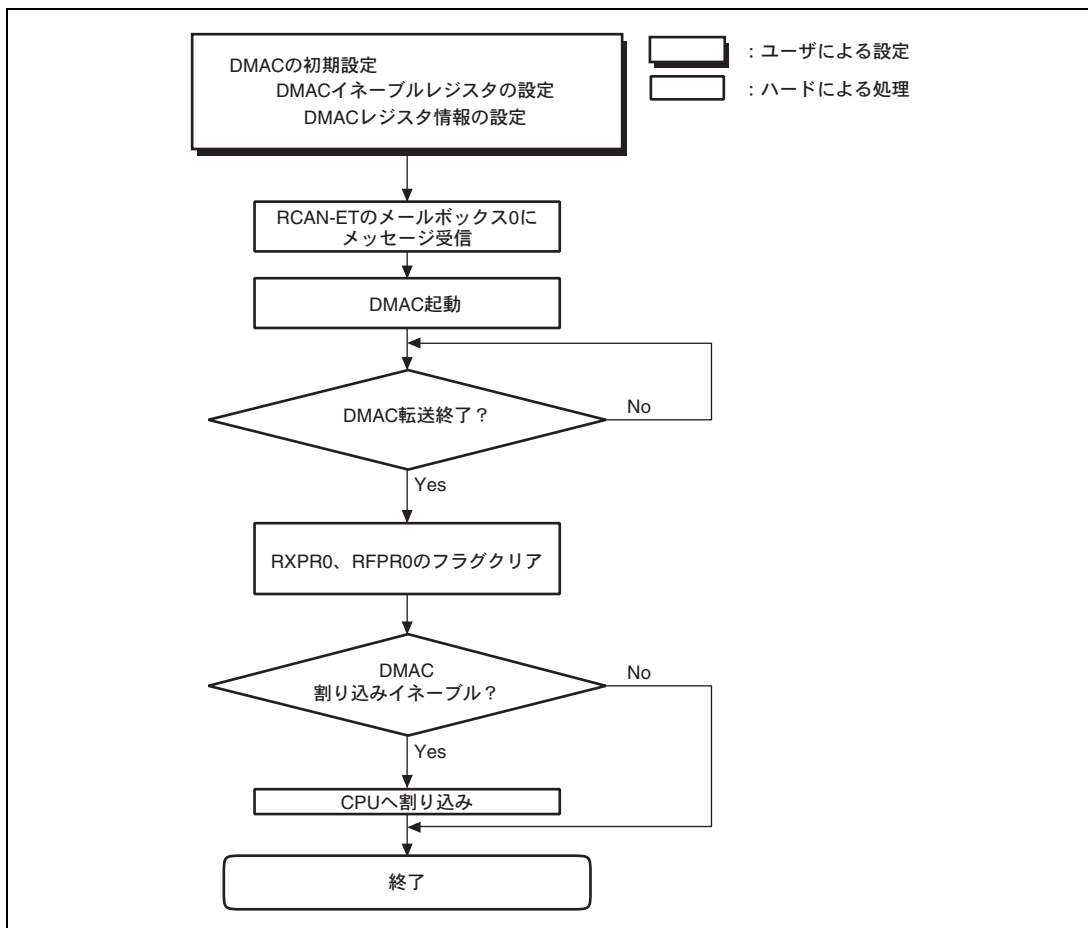


図 20.14 DMAC の転送フローチャート

20.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバスターンシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。SH7239A と SH7237A は電源電圧 3V 仕様のため、SH7239A と SH7237A の CRx0 端子と HA13721 の Rxd 端子との間には、レベルシフト IC を使用してください。図 20.15 に接続例を示します。

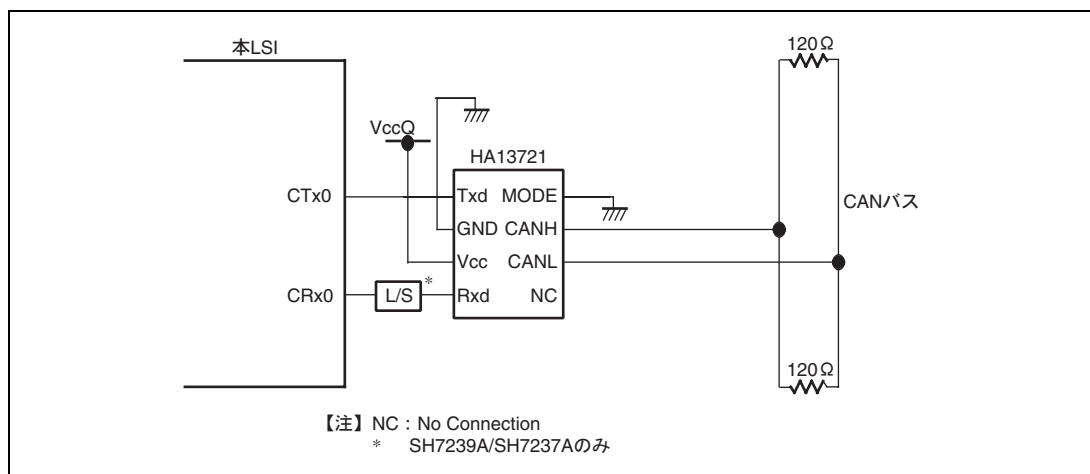


図 20.15 HA13721 を用いた高速 CAN インタフェース

20.11 使用上の注意事項

20.11.1 モジュールスタンバイモード

スタンバイコントロールレジスタ 6 (STBCR6) により、RCAN-ET に対するクロックの動作/停止を設定することが可能です。初期値では RCAN-ET のクロックは停止しています。モジュールストップモードを解除してから行ってください。

20.11.2 リセット

RCAN-ET のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、モジュールスタンバイでは RCAN-ET は初期化されます。

- ソフトウェアリセット

マスタコントロールレジスタ (MCR) の MCR0 ビットにより、MCR0 ビット以外のレジスタおよび CAN 通信機能が初期化されます。

リセット時にはインタラプトリクエストレジスタ (IRR) の IRR0 ビットが初期化によりセットされますので、リセットシーケンスに示されたコンフィギュレーションモード時にクリアしてください。

メールボックスのメッセージコントロールフィールド 1 (CONTROL1) を除いた領域は RAM で構成されていますので、リセットにより初期化されません。パワーオンリセット後は、リセットシーケンスに示されたコンフィギュレーションモード時にすべてのメールボックスを初期設定してください。

20.11.3 CAN スリープモード

CAN スリープモードでは、主要な部分のクロックをモジュール内部で停止しています。このため、CAN スリープモードで、MCR、GSR、IRR、IMR レジスタ以外へのアクセスはしないでください。

20.11.4 レジスタアクセス

RCAN-ET 内部の CAN 通信機能が CAN バス受信フレームをメールボックスに格納している期間に、メールボックス領域をアクセスすると 0~5 周辺バスサイクル分のウェイトが発生します。

20.11.5 割り込み

メールボックス 0 受信割り込みは、表 20.9 に示したように DTC/DMAC の起動が可能です。メールボックス 0 受信割り込みを起動要因にして DTC/DMAC を行う場合には、DTC はブロック転送モードなどを、DMAC はトランスファカウンタモードなどを利用して、メールボックス 0 のメッセージコントロールフィールド 0 (CONTROL0) からメッセージコントロールフィールド 1 (CONTROL1) までリードしてください。

21. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。

表 21.1 ポート A のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PA18 入出力 (ポート)	CK 出力* (BSC)	—	—	—	—	—	—
PA17 入出力 (ポート)	\overline{RD} 出力* (BSC)	—	—	—	—	—	—
PA16 入出力 (ポート)	\overline{WRL} 出力* (BSC)	—	—	—	—	—	—
PA15 入出力 (ポート)	\overline{WRH} 出力* (BSC)	—	—	—	—	—	—
PA9 入出力 (ポート)	$\overline{CS3}$ 出力* (BSC)	—	IRQ3 入力 (INTC)	TCLKD 入力 (MTU2)	SSL0 入出力 (RSP1)	SCK0 入出力 (SCI)	—
PA8 入出力 (ポート)	$\overline{CS4}$ 出力* (BSC)	—	IRQ4 入力 (INTC)	TCLKC 入力 (MTU2)	MISO 入出力 (RSP1)	RXD1 入力 (SCI)	—
PA7 入出力 (ポート)	$\overline{CS5}$ 出力* (BSC)	—	IRQ5 入力 (INTC)	TCLKB 入力 (MTU2)	MOSI 入出力 (RSP1)	TXD1 出力 (SCI)	—
PA6 入出力 (ポート)	$\overline{CS6}$ 出力* (BSC)	—	IRQ6 入力 (INTC)	TCLKA 入力 (MTU2)	RSPCK 入出力 (RSP1)	SCK1 入出力 (SCI)	—
PA1 入出力 (ポート)	$\overline{CS1}$ 出力* (BSC)	—	IRQ5 入力 (INTC)	—	CTx0 出力 (RCAN-ET)	TXD0 出力 (SCI)	—
PA0 入出力 (ポート)	$\overline{CS0}$ 出力* (BSC)	—	IRQ4 入力 (INTC)	—	CRx0 入力 (RCAN-ET)	RXD0 入力 (SCI)	—

【注】 * SH7239A、SH7237A のみ使用できます。

表 21.2 ポート B のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PB21 入出力 (ポート)	—	—	—	AUDATA1 出力 (AUD)	—	—	—
PB20 入出力 (ポート)	—	—	—	AUDATA0 出力 (AUD)	—	—	—
PB19 入出力 (ポート)	—	—	—	AUDATA3 出力 (AUD)	—	—	—
PB18 入出力 (ポート)	—	—	—	AUDATA2 出力 (AUD)	—	—	—
PB17 入出力 (ポート)	—	—	—	AUDCK 出力 (AUD)	—	—	—
PB16 入出力 (ポート)	—	—	—	AUDSYNC 出力 (AUD)	—	—	—
PB4 入出力 (ポート)	A20 出力*1*6 (BSC)	$\overline{\text{BACK}}$ 出力*1*6 (BSC)	IRQ4 入力*1 (INTC)	TIOC0D 入出力*1 (MTU2)	$\overline{\text{WAIT}}$ 入力*1*6 (BSC)	SCK3 入出力*1 (SCIF)	$\overline{\text{BS}}$ 出力*1*6 (BSC)
PB3 入出力 (ポート)	A19 出力*2*6 (BSC)	$\overline{\text{BREQ}}$ 入力*2*6 (BSC)	IRQ3 入力*2 (INTC)	TIOC0C 入出力*2 (MTU2)	—	TXD3 出力*2 (SCIF)	$\overline{\text{AH}}$ 出力*2*6 (BSC)
PB2 入出力 (ポート)	A18 出力*3*6 (BSC)	$\overline{\text{BACK}}$ 出力*3*6 (BSC)	IRQ2 入力*3 (INTC)	TIOC0B 入出力*3 (MTU2)	—	RXD3 入力*3 (SCIF)	—
PB1 入出力 (ポート)	A17 出力*4*6 (BSC)	$\overline{\text{IRQOUT}}$ 出力*4 (INTC)	IRQ1 入力*4 (INTC)	TIOC0A 入出力*4 (MTU2)	—	—	$\overline{\text{ADTRG}}$ 入力*4 (ADC)
PB0 入出力 (ポート)	A16 出力*5*6 (BSC)	—	IRQ0 入力*5 (INTC)	TIOC2A 入出力*5 (MTU2)	—	—	—

- 【注】 *1 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TCK 入力に固定されます。
 *2 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TDO 出力に固定されます。
 *3 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TDI 入力に固定されます。
 *4 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は $\overline{\text{TRST}}$ 入力に固定されます。
 *5 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TMS 入力に固定されます。
 *6 SH7239A、SH7237A のみ使用できます。

表 21.3 ポート C のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PC15 入出力 (ポート)	A15 出力* (BSC)	—	IRQ2 入力 (INTC)	TCLKD 入力 (MTU2)	—	—	—
PC14 入出力 (ポート)	A14 出力* (BSC)	—	IRQ1 入力 (INTC)	TCLKC 入力 (MTU2)	—	—	—
PC13 入出力 (ポート)	A13 出力* (BSC)	—	IRQ0 入力 (INTC)	TCLKB 入力 (MTU2)	—	—	—
PC12 入出力 (ポート)	A12 出力* (BSC)	—	—	TCLKA 入力 (MTU2)	—	—	—
PC11 入出力 (ポート)	A11 出力* (BSC)	—	—	TIOC1B 入出力 (MTU2)	CTx0 出力 (RCAN-ET)	TXD0 出力 (SCI)	—
PC10 入出力 (ポート)	A10 出力* (BSC)	—	—	TIOC1A 入出力 (MTU2)	CRx0 入力 (RCAN-ET)	RXD0 入力 (SCI)	—
PC9 入出力 (ポート)	A9 出力* (BSC)	—	—	—	CTx0 出力 (RCAN-ET)	TXD0 出力 (SCI)	SCK0 入出力 (SCI)
PC8 入出力 (ポート)	A8 出力* (BSC)	—	—	—	CRx0 入力 (RCAN-ET)	RXD0 入力 (SCI)	POE4 入力 (POE2)
PC7 入出力 (ポート)	A7 出力* (BSC)	—	—	—	—	—	—
PC6 入出力 (ポート)	A6 出力* (BSC)	—	—	—	—	—	—
PC5 入出力 (ポート)	A5 出力* (BSC)	—	—	—	—	—	—
PC4 入出力 (ポート)	A4 出力* (BSC)	—	—	—	—	—	—
PC3 入出力 (ポート)	A3 出力* (BSC)	—	—	—	—	—	—
PC2 入出力 (ポート)	A2 出力* (BSC)	—	—	—	—	—	—
PC1 入出力 (ポート)	A1 出力* (BSC)	—	—	—	—	—	ADTRG 入力 (ADC)
PC0 入出力 (ポート)	A0 出力* (BSC)	—	IRQ4 入力 (INTC)	—	POE0 入力 (POE2)	—	—

【注】 * SH7239A、SH7237A のみ使用できます。

表 21.4 ポート D のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PD15 入出力 (ポート)	D15 入出力* (BSC)	—	—	—	TIOC4DS 入出力 (MTU2S)	—	—
PD14 入出力 (ポート)	D14 入出力* (BSC)	—	—	—	TIOC4CS 入出力 (MTU2S)	—	—
PD13 入出力 (ポート)	D13 入出力* (BSC)	—	—	AUDCK 出力 (AUD)	TIOC4BS 入出力 (MTU2S)	—	—
PD12 入出力 (ポート)	D12 入出力* (BSC)	—	—	AUDSYNC 出力 (AUD)	TIOC4AS 入出力 (MTU2S)	—	—
PD11 入出力 (ポート)	D11 入出力* (BSC)	—	—	AUDATA3 出力 (AUD)	TIOC3DS 入出力 (MTU2S)	—	—
PD10 入出力 (ポート)	D10 入出力* (BSC)	—	—	AUDATA2 出力 (AUD)	TIOC3BS 入出力 (MTU2S)	—	—
PD9 入出力 (ポート)	D9 入出力* (BSC)	—	—	AUDATA1 出力 (AUD)	TIOC3CS 入出力 (MTU2S)	—	—
PD8 入出力 (ポート)	D8 入出力* (BSC)	—	—	AUDATA0 出力 (AUD)	TIOC3AS 入出力 (MTU2S)	—	—
PD7 入出力 (ポート)	D7 入出力* (BSC)	—	—	—	TIC5WS 入力 (MTU2S)	—	—
PD6 入出力 (ポート)	D6 入出力* (BSC)	—	—	—	TIC5VS 入力 (MTU2S)	—	—
PD5 入出力 (ポート)	D5 入出力* (BSC)	—	—	—	TIC5US 入力 (MTU2S)	—	—
PD4 入出力 (ポート)	D4 入出力* (BSC)	—	—	TIC5W 入力 (MTU2)	—	SCK2 入出力 (SCI)	—
PD3 入出力 (ポート)	D3 入出力* (BSC)	—	—	TIC5V 入力 (MTU2)	—	TXD2 出力 (SCI)	—
PD2 入出力 (ポート)	D2 入出力* (BSC)	—	—	TIC5U 入力 (MTU2)	—	RXD2 入力 (SCI)	—
PD1 入出力 (ポート)	D1 入出力* (BSC)	—	—	—	—	—	—
PD0 入出力 (ポート)	D0 入出力* (BSC)	—	—	—	—	—	—

【注】 * SH7239A、SH7237A のみ使用できます。

表 21.5 ポート E のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PE15 入出力 (ポート)	—	DACK1 出力 (DMAC)	IRQOUT 出力 (INTC)	TIOC4D 入出力 (MTU2)	—	—	—
PE14 入出力 (ポート)	—	DACK0 出力 (DMAC)	—	TIOC4C 入出力 (MTU2)	—	—	—
PE13 入出力 (ポート)	—	—	MRES 入力 (システム制御)	TIOC4B 入出力 (MTU2)	—	—	—
PE12 入出力 (ポート)	—	—	—	TIOC4A 入出力 (MTU2)	—	—	—
PE11 入出力 (ポート)	—	DACK3 出力 (DMAC)	—	TIOC3D 入出力 (MTU2)	—	—	—
PE10 入出力 (ポート)	—	DREQ3 入力 (DMAC)	—	TIOC3C 入出力 (MTU2)	SSL3 出力 (RSPI)	TXD2 出力 (SCI)	—
PE9 入出力 (ポート)	—	DACK2 出力 (DMAC)	—	TIOC3B 入出力 (MTU2)	—	—	—
PE8 入出力 (ポート)	—	DREQ2 入力 (DMAC)	—	TIOC3A 入出力 (MTU2)	SSL2 出力 (RSPI)	SCK2 入出力 (SCI)	—
PE7 入出力 (ポート)	—	UBCTR _G 出力 (UBC)	—	TIOC2B 入出力 (MTU2)	SSL1 出力 (RSPI)	RXD2 入力 (SCI)	—
PE6 入出力 (ポート)	—	—	—	TIOC2A 入出力 (MTU2)	TIOC3DS 入出力 (MTU2S)	RXD3 入力 (SCIF)	—
PE5 入出力 (ポート)	—	—	—	TIOC1B 入出力 (MTU2)	TIOC3BS 入出力 (MTU2S)	TXD3 出力 (SCIF)	—
PE4 入出力 (ポート)	—	—	IRQ4 入力 (INTC)	TIOC1A 入出力 (MTU2)	POE _E 入力 (POE2)	SCK3 入出力 (SCIF)	—
PE3 入出力 (ポート)	—	TEND1 出力 (DMAC)	—	TIOC0D 入出力 (MTU2)	TIOC4DS 入出力 (MTU2S)	—	—
PE2 入出力 (ポート)	—	DREQ1 入力 (DMAC)	—	TIOC0C 入出力 (MTU2)	TIOC4CS 入出力 (MTU2S)	—	—
PE1 入出力 (ポート)	—	TEND0 出力 (DMAC)	—	TIOC0B 入出力 (MTU2)	TIOC4BS 入出力 (MTU2S)	—	—
PE0 入出力 (ポート)	—	DREQ0 入力 (DMAC)	—	TIOC0A 入出力 (MTU2)	TIOC4AS 入出力 (MTU2S)	—	—

表 21.6 ポート F のマルチプレクス端子機能の一覧表

機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
PF15 入力 (ポート)	AN15 入力 (ADC)	-	-	-	-	-	-
PF14 入力 (ポート)	AN14 入力 (ADC)	-	-	-	-	-	-
PF13 入力 (ポート)	AN13 入力 (ADC)	-	-	-	-	-	-
PF12 入力 (ポート)	AN12 入力 (ADC)	-	-	-	-	-	-
PF11 入力 (ポート)	AN11 入力 (ADC)	-	-	-	-	-	-
PF10 入力 (ポート)	AN10 入力 (ADC)	-	-	-	-	-	-
PF9 入力 (ポート)	AN9 入力 (ADC)	-	-	-	-	-	-
PF8 入力 (ポート)	AN8 入力 (ADC)	-	-	-	-	-	-
PF7 入力 (ポート)	AN7 入力 (ADC)	-	-	-	-	-	-
PF6 入力 (ポート)	AN6 入力 (ADC)	-	-	-	-	-	-
PF5 入力 (ポート)	AN5 入力 (ADC)	-	-	-	-	-	-
PF4 入力 (ポート)	AN4 入力 (ADC)	-	-	-	-	-	-
PF3 入力 (ポート)	AN3 入力 (ADC)	-	-	-	-	-	-
PF2 入力 (ポート)	AN2 入力 (ADC)	-	-	-	-	-	-
PF1 入力 (ポート)	AN1 入力 (ADC)	-	-	-	-	-	-
PF0 入力 (ポート)	AN0 入力 (ADC)	-	-	-	-	-	-

【注】 A/D 変換中は AN 入力機能が有効となります。

表 21.7 動作モード別端子機能一覧

ピン番号 LQFP	端子名		PFC で 設定可能な 機能
	初期機能		
	内蔵 ROM 有効	シングルチップ	
	MCU モード 2	MCU モード 3	
4, 38, 49, 64, 77	Vcc		—
5, 15, 25, 37, 50, 55, 65, 76, 85, 93	Vss		—
90	PLLvcc		—
89	PLLvss		—
24, 54	V _{CL}		—
102, 105	AVcc		—
97, 110	AVss		—
103, 104	AVref		—
96, 111	AVrefVss		—
86	EXTAL		—
84	XTAL		—
120	MD0		—
88	$\overline{\text{RES}}$		—
1	WDTOVF		—
87	NMI		—
94	FWE/ASEBRKAK/ASEBRK		—
95	ASEMD0		—
82	PA0		PA0/ $\overline{\text{CS0}}^{\ast 1}$ /IRQ4/CRx0/RXD0
83	PA1		PA1/ $\text{CS1}^{\ast 1}$ /IRQ5/CTx0/TXD0
81	PA6		PA6/ $\overline{\text{CS6}}^{\ast 1}$ /IRQ6/TCLKA/ RSPCK/SCK1
80	PA7		PA7/ $\text{CS5}^{\ast 1}$ /IRQ5/TCLKB/ MOSI/TXD1
79	PA8		PA8/ $\text{CS4}^{\ast 1}$ /IRQ4/TCLKC/ MISO/RXD1
78	PA9		PA9/ $\overline{\text{CS3}}^{\ast 1}$ /IRQ3/TCLKD/ SSL0/SCK0
28	PA15		PA15/ $\overline{\text{WRH}}^{\ast 1}$
27	PA16		PA16/ $\overline{\text{WRL}}^{\ast 1}$
23	PA17		PA17/ $\overline{\text{RD}}^{\ast 1}$
26	CK	PA18	PA18/ $\text{CK}^{\ast 1}$
47	PB0		PB0/A16 $^{\ast 1}$ /IRQ0/TIOC2A/ TMS $^{\ast 2}$

ピン番号 LQFP	端子名		PFC で 設定可能な 機能
	初期機能		
	内蔵 ROM 有効	シングルチップ	
	MCU モード 2	MCU モード 3	
48	PB1		PB1/A17*/ $\overline{\text{IRQOUT}}/$ $\overline{\text{IRQ1}}/\text{TIOC0A}/$ $\overline{\text{ADTRG}}/\overline{\text{TRST}}^{*2}$
51	PB2		PB2/A18*/ $\overline{\text{BACK}}^{*1}/\text{IRQ2}/$ $\text{TIOC0B}/\text{RXD3}/\text{TDI}^{*2}$
52	PB3		PB3/A19*/ $\overline{\text{BREQ}}^{*1}/\text{IRQ3}/$ $\text{TIOC0C}/\text{TXD3}/\overline{\text{AH}}^{*1}/\text{TDO}^{*2}$
53	PB4		PB4/A20*/ $\overline{\text{BACK}}^{*1}/\text{IRQ4}/$ $\text{TIOC0D}/\overline{\text{WAIT}}^{*1}/\text{SCK3}/\overline{\text{BS}}^{*1}/$ TCK^{*2}
6	PB16		PB16/AUDSYN $\overline{\text{C}}$
7	PB17		PB17/AUDCK
91	PB18		PB18/AUDATA2
92	PB19		PB19/AUDATA3
66	PB20		PB20/AUDATA0
67	PB21		PB21/AUDATA1
29	PC0		PC0/A0*/ $\overline{\text{IRQ4}}/\overline{\text{POE0}}$
30	PC1		PC1/A1*/ $\overline{\text{ADTRG}}$
31	PC2		PC2/A2* ¹
32	PC3		PC3/A3* ¹
33	PC4		PC4/A4* ¹
34	PC5		PC5/A5* ¹
35	PC6		PC6/A6* ¹
36	PC7		PC7/A7* ¹
39	PC8		PC8/A8*/ $\overline{\text{CRx0}}/\overline{\text{RXD0}}/\overline{\text{POE4}}$
40	PC9		PC9/A9*/ $\overline{\text{CTx0}}/\text{TXD0}/\text{SCK0}$
41	PC10		PC10/A10* ¹ / $\overline{\text{TIOC1A}}/\overline{\text{CRx0}}/$ RXD0
42	PC11		PC11/A11* ¹ / $\overline{\text{TIOC1B}}/\overline{\text{CTx0}}/$ TXD0
43	PC12		PC12/A12* ¹ / $\overline{\text{TCLKA}}$
44	PC13		PC13/A13* ¹ / $\overline{\text{IRQ0}}/\overline{\text{TCLKB}}$
45	PC14		PC14/A14* ¹ / $\overline{\text{IRQ1}}/\overline{\text{TCLKC}}$
46	PC15		PC15/A15* ¹ / $\overline{\text{IRQ2}}/\overline{\text{TCLKD}}$
56	PD0		PD0/D0* ¹

ピン番号 LQFP	端子名		PFC で 設定可能な 機能
	初期機能		
	内蔵 ROM 有効	シングルチップ	
	MCU モード 2	MCU モード 3	
57	PD1		PD1/D1*1
58	PD2		PD2/D2*1/TIC5U/RXD2
59	PD3		PD3/D3*1/TIC5V/TXD2
60	PD4		PD4/D4*1/TIC5W/SCK2
61	PD5		PD5/D5*1/TIC5US
62	PD6		PD6/D6*1/TIC5VS
63	PD7		PD7/D7*1/TIC5WS
68	PD8		PD8/D8*1/TIOC3AS/ AUDATA0
69	PD9		PD9/D9*1/TIOC3CS/ AUDATA1
70	PD10		PD10/D10*1/TIOC3BS/ AUDATA2
71	PD11		PD11/D11*1/TIOC3DS/ AUDATA3
72	PD12		PD12/D12*1/TIOC4AS/ AUDSYNC
73	PD13		PD13/D13*1/TIOC4BS/ AUDCK
74	PD14		PD14/D14*1/TIOC4CS
75	PD15		PD15/D15*1/TIOC4DS
16	PE0		PE0/DREQ0/TIOC0A/ TIOC4AS
17	PE1		PE1/TEND0/TIOC0B/ TIOC4BS
18	PE2		PE2/DREQ1/TIOC0C/ TIOC4CS
19	PE3		PE3/TEND1/TIOC0D/ TIOC4DS
20	PE4		PE4/IRQ4/TIOC1A/POE8/ SCK3
21	PE5		PE5/TIOC1B/TIOC3BS/TXD3
22	PE6		PE6/TIOC2A/TIOC3DS/RXD3
2	PE7		PE7/UBCTRG/TIOC2B/SSL1/ RXD2

ピン番号 LQFP	端子名		PFC で 設定可能な 機能
	初期機能		
	内蔵 ROM 有効	シングルチップ	
	MCU モード 2	MCU モード 3	
3	PE8		PE8/DREQ2/TIOC3A/SSL2/ SCK2
9	PE9		PE9/DACK2/TIOC3B
8	PE10		PE10/DREQ3/TIOC3C/SSL3/ TXD2
10	PE11		PE11/DACK3/TIOC3D
11	PE12		PE12/TIOC4A
12	PE13		PE13/MRES/TIOC4B
13	PE14		PE14/DACK0/TIOC4C
14	PE15		PE15/DACK1/IRQOUT/ TIOC4D
98	PF0/AN0		—*3
99	PF1/AN1		—*3
100	PF2/AN2		—*3
101	PF3/AN3		—*3
106	PF4/AN4		—*3
107	PF5/AN5		—*3
108	PF6/AN6		—*3
109	PF7/AN7		—*3
112	PF8/AN8		—*3
113	PF9/AN9		—*3
114	PF10/AN10		—*3
115	PF11/AN11		—*3
116	PF12/AN12		—*3
117	PF13/AN13		—*3
118	PF14/AN14		—*3
119	PF15/AN15		—*3

【注】 *1 SH7239A、SH7237A の内蔵 ROM 有効モード時のみ有効な機能です。

*2 $\overline{\text{ASEMD0}}=0$ のとき、H-UDI 専用端子になります。

*3 A/D サンプルング中はアナログ入力、A/D サンプルング中以外は汎用入力となります。

21.1 レジスタの説明

PFC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

表 21.8 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A・IO レジスタ H	PAIORH	R/W	H'0000	H'FFFE3804	8、16、32
ポート A・IO レジスタ L	PAIORL	R/W	H'0000	H'FFFE3806	8、16
ポート A コントロールレジスタ H1	PACRH1	R/W	H'0000	H'FFFE380E	8、16
ポート A コントロールレジスタ L4	PACRL4	R/W	H'0000	H'FFFE3810	8、16、32
ポート A コントロールレジスタ L3	PACRL3	R/W	H'0000	H'FFFE3812	8、16
ポート A コントロールレジスタ L2	PACRL2	R/W	H'0000	H'FFFE3814	8、16、32
ポート A コントロールレジスタ L1	PACRL1	R/W	H'0000	H'FFFE3816	8、16
ポート A ブルアップ MOS コントロールレジスタ H	PAPCRH	R/W	H'0000	H'FFFE3828	8、16、32
ポート A ブルアップ MOS コントロールレジスタ L	PAPCRL	R/W	H'0000	H'FFFE382A	8、16
ポート B・IO レジスタ H	PBIORH	R/W	H'0000	H'FFFE3884	8、16、32
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE3886	8、16
ポート B コントロールレジスタ H2	PBCRH2	R/W	H'0000	H'FFFE388C	8、16、32
ポート B コントロールレジスタ H1	PBCRH1	R/W	H'0000	H'FFFE388E	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFE3894	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000	H'FFFE3896	8、16
ポート B ブルアップ MOS コントロールレジスタ H	PBPCRH	R/W	H'0000	H'FFFE38A8	8、16、32
ポート B ブルアップ MOS コントロールレジスタ L	PBPCRL	R/W	H'0000	H'FFFE38AA	8、16
ポート C・IO レジスタ L	PCIORL	R/W	H'0000	H'FFFE3906	8、16
ポート C コントロールレジスタ L4	PCCRL4	R/W	H'0000	H'FFFE3910	8、16、32
ポート C コントロールレジスタ L3	PCCRL3	R/W	H'0000	H'FFFE3912	8、16
ポート C コントロールレジスタ L2	PCCRL2	R/W	H'0000	H'FFFE3914	8、16、32
ポート C コントロールレジスタ L1	PCCRL1	R/W	H'0000	H'FFFE3916	8、16
ポート C ブルアップ MOS コントロールレジスタ L	PCPCRL	R/W	H'0000	H'FFFE392A	8、16
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFE3986	8、16
ポート D コントロールレジスタ L4	PDCRL4	R/W	H'0000	H'FFFE3990	8、16、32
ポート D コントロールレジスタ L3	PDCRL3	R/W	H'0000	H'FFFE3992	8、16
ポート D コントロールレジスタ L2	PDCRL2	R/W	H'0000	H'FFFE3994	8、16、32
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000	H'FFFE3996	8、16
ポート D ブルアップ MOS コントロールレジスタ L	PDPCRL	R/W	H'0000	H'FFFE39AA	8、16
ポート E・IO レジスタ L	PEIORL	R/W	H'0000	H'FFFE3A06	8、16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポートEコントロールレジスタ L4	PECRL4	R/W	H'0000	H'FFFE3A10	8、16、32
ポートEコントロールレジスタ L3	PECRL3	R/W	H'0000	H'FFFE3A12	8、16
ポートEコントロールレジスタ L2	PECRL2	R/W	H'0000	H'FFFE3A14	8、16、32
ポートEコントロールレジスタ L1	PECRL1	R/W	H'0000	H'FFFE3A16	8、16
大電流ポートコントロールレジスタ	HCPCR	R/W	H'000F	H'FFFE3A20	8、16、32
ポートEブルアップMOSコントロールレジスタ L	PEPCRL	R/W	H'0000	H'FFFE3A2A	8、16
DACK 出カタイミグコントロールレジスタ	PDACKCR	R/W	H'0000	H'FFFE3A2C	8、16

21.1.1 ポート A・IO レジスタ H、L (PAIORH、PAIORL)

PAIORH、PAIORL は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PAIORH、PAIORL はポート A の端子機能が汎用入出力の場合に有効でそれ以外の場合は無効です。PAIORH および PAIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。PAIORH のビット 15～3、PAIORL のビット 14～10、5～2 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) ポート A・IO レジスタ H (PAIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PA18 IOR	PA17 IOR	PA16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

(2) ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	-	-	-	-	-	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	-	-	-	-	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

21.1.2 ポート A コントロールレジスタ H1、L1～L4 (PACRH1、PACRL1～PACRL4)

PACRH1、PACRL1～PACRL4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

(1) ポート A コントロールレジスタ H1 (PACRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	PA18MD[2:0]		-	PA17MD[2:0]			-	PA16MD[2:0]			
初期値:	0	0	0	0	0	0	0	0* 1</td <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td>	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 *1 MCU動作モードがモード2およびモード4（ユーザプログラムモード）のときは初期値は1になります。

ビット	ビット名	初期値	R/W	説明
15～11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PA18MD[2:0]	000* ¹	R/W	PA18 モード 000 : PA18 入出力 (ポート) 001 : CK 出力 (BSC) * ² 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PA17MD[2:0]	000	R/W	PA17 モード 000 : PA17 入出力 (ポート) 001 : \overline{RD} 出力 (BSC) * ² 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	PA16MD[2:0]	000	R/W	PA16 モード 000 : PA16 入出力 (ポート) 001 : WRL 出力 (BSC) * ² 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 *1 MCU 動作モードがモード 2 およびモード 4 (ユーザプログラムモード) のときは初期値は 001 になります。

*2 SH7239A、SH7237A のみ使用できます。

(2) ポート A コントロールレジスタ L4 (PACRL4)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	PA15MD[2:0]				-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PA15MD[2:0]	000	R/W	PA15 モード 000 : PA15 入出力 (ポート) 001 : WRH 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * SH7239A、SH7237A のみ使用できます。

(3) ポート A コントロールレジスタ L3 (PACRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PA9MD[2:0]			-	PA8MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PA9MD[2:0]	000	R/W	PA9 モード 000 : PA9 入出力 (ポート) 001 : $\overline{CS3}$ 出力 (BSC) * 010 : 設定禁止 011 : IRQ3 入力 (INTC) 100 : TCLKD 入力 (MTU2) 101 : SSL0 入出力 (RSPI) 110 : SCK0 入出力 (SCI) 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PA8MD[2:0]	000	R/W	PA8 モード 000 : PA8 入出力 (ポート) 001 : $\overline{CS4}$ 出力 (BSC) * 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : TCLKC 入力 (MTU2) 101 : MISO 入出力 (RSPI) 110 : RXD1 入力 (SCI) 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(4) ポート A コントロールレジスタ L2 (PACRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	PA7MD[2:0]			-	PA6MD[2:0]			-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PA7MD[2:0]	000	R/W	PA7 モード 000: PA7 入出力 (ポート) 001: $\overline{CS5}$ 出力 (BSC) * 010: 設定禁止 011: IRQ5 入力 (INTC) 100: TCLKB 入力 (MTU2) 101: MOSI 入出力 (RSPI) 110: TXD1 出力 (SCI) 111: 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PA6MD[2:0]	000	R/W	PA6 モード 000: PA6 入出力 (ポート) 001: $\overline{CS6}$ 出力 (BSC) * 010: 設定禁止 011: IRQ6 入力 (INTC) 100: TCLKA 入力 (MTU2) 101: RSPCK 入出力 (RSPI) 110: SCK1 入出力 (SCI) 111: 設定禁止
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 * SH7239A、SH7237A のみ使用できます。

(5) ポート A コントロールレジスタ L1 (PACRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	PA1MD[2:0]			-	PA0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PA1MD[2:0]	000	R/W	PA1 モード 000 : PA1 入出力 (ポート) 001 : $\overline{CS1}$ 出力 (BSC) * 010 : 設定禁止 011 : IRQ5 入力 (INTC) 100 : 設定禁止 101 : CTx0 出力 (RCAN-ET) 110 : TXD0 出力 (SCI) 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PA0MD[2:0]	000	R/W	PA0 モード 000 : PA0 入出力 (ポート) 001 : $\overline{CS0}$ 出力 (BSC) * 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : 設定禁止 101 : CRx0 入力 (RCAN-ET) 110 : RXD0 入力 (SCI) 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

21.1.3 ポート A プルアップ MOS コントロールレジスタ H、L (PAPCRH、PAPCRL)

PAPCRH および PAPCRL はビット単位でポート A の入力プルアップ MOS のオン/オフを制御します。

(1) ポート A プルアップ MOS コントロールレジスタ H (PAPCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PA18 PCR	PA17 PCR	PA16 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PA18PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
1	PA17PCR	0	R/W	
0	PA16PCR	0	R/W	

(2) ポート A プルアップ MOS コントロールレジスタ L (PAPCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PCR	-	-	-	-	-	PA9 PCR	PA8 PCR	PA7 PCR	PA6 PCR	-	-	-	-	PA1 PCR	PA0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PA9PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
8	PA8PCR	0	R/W	
7	PA7PCR	0	R/W	
6	PA6PCR	0	R/W	
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PA1PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
0	PA0PCR	0	R/W	

21.1.4 ポート B・IO レジスタ H、L (PBIORH、PBIORL)

PBIORH、PBIORL は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PBIORH、PBIORL はポート B の端子機能が汎用入出力および MTU2 の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PBIORH、PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

(1) ポート B・IO レジスタ H (PBIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB21 IOR	PB20 IOR	PB19 IOR	PB18 IOR	PB17 IOR	PB16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

(2) ポート B・IO レジスタ L (PBIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

21.1.5 ポート B コントロールレジスタ H1、H2、L1、L2 (PBCRH1、PBCRH2、PBCRL1、PBCRL2)

PBCRH1、PBCRH2、PBCRL1、PBCRL2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

(1) ポート B コントロールレジスタ H2 (PBCRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	PB21MD[2:0]		-	PB20MD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
6~4	PB21MD[2:0]	000	R/W	PB21 モード 000 : PB21 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : AUDATA1 出力 (AUD) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PB20MD[2:0]	000	R/W	PB20 モード 000 : PB20 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : AUDATA0 出力 (AUD) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(2) ポート B コントロールレジスタ H1 (PBCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB19MD[2:0]		-	PB18MD[2:0]		-	PB17MD[2:0]		-	PB16MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PB19MD[2:0]	000	R/W	PB19 モード 000: PB19 入出力 (ポート) 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: AUDATA3 出力 (AUD) 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PB18MD[2:0]	000	R/W	PB18 モード 000: PB18 入出力 (ポート) 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: AUDATA2 出力 (AUD) 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PB17MD[2:0]	000	R/W	PB17 モード 000: PB17 入出力 (ポート) 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: AUDCK 出力 (AUD) 101: 設定禁止 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説 明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PB16MD[2:0]	000	R/W	PB16 モード 000 : PB16 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : $\overline{\text{AUDSYNC}}$ 出力 (AUD) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(3) ポート B コントロールレジスタ L2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PB4MD[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PB4MD[2:0]	000	R/W	<p>PB4 モード</p> <p>PB4/A20/$\overline{\text{BACK}}$/IRQ4/TIOC0D/$\overline{\text{WAIT}}$/SCK3/$\overline{\text{BS}}$/TCK 端子の機能を選びます。</p> <p>E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TCK 入力に固定されます。</p> <p>000 : PB4 入出力 (ポート)</p> <p>001 : A20 出力 (BSC) *</p> <p>010 : $\overline{\text{BACK}}$ 出力 (BSC) *</p> <p>011 : IRQ4 入力 (INTC)</p> <p>100 : TIOC0D 入出力 (MTU2)</p> <p>101 : $\overline{\text{WAIT}}$ 入力 (BSC) *</p> <p>110 : SCK3 入出力 (SCIF3)</p> <p>111 : $\overline{\text{BS}}$ 入力 (BSC) *</p>

【注】 * SH7239A、SH7237A のみ使用できます。

(4) ポート B コントロールレジスタ L1 (PBCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB3MD[2:0]			-	PB2MD[2:0]			-	PB1MD[2:0]			-	PB0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PB3MD[2:0]	000	R/W	PB3 モード PB3/A19/ $\overline{\text{BREQ}}$ /IRQ3/TIOC0C/TXD3/ $\overline{\text{AH}}$ /TDO 端子の機能を選びます。 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TDO 出力に固定されます。 000: PB3 入出力 (ポート) 001: A19 出力 (BSC) * 010: $\overline{\text{BREQ}}$ 入力 (BSC) * 011: IRQ4 入力 (INTC) 100: TIOC0C 入出力 (MTU2) 101: 設定禁止 110: TXD3 出力 (SCIF3) 111: $\overline{\text{AH}}$ 出力 (BSC) *
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PB2MD[2:0]	000	R/W	PB2 モード PB2/A18/ $\overline{\text{BACK}}$ /IRQ2/TIOC0B/RXD3/TDI 端子の機能を選びます。 E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TDI 入力に固定されます。 000: PB2 入出力 (ポート) 001: A18 出力 (BSC) * 010: $\overline{\text{BACK}}$ 出力 (BSC) * 011: IRQ2 入力 (INTC) 100: TIOC0B 入出力 (MTU2) 101: 設定禁止 110: RXD3 入力 (SCIF3) 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	PB1MD[2:0]	000	R/W	<p>PB1 モード</p> <p>PB1/A17/IRQOUT/IRQ1/TIOC0A/ADTRG/TRST 端子の機能を選びます。</p> <p>E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TRST 入力に固定されます。</p> <p>E10A 未使用時 ($\overline{\text{ASEMD0}}=\text{H}$ 時) はチップ内部で TRST は L 固定されます。</p> <p>000 : PB1 入出力 (ポート)</p> <p>001 : A17 出力 (BSC) *</p> <p>010 : IRQOUT 出力 (INTC)</p> <p>011 : IRQ1 入力 (INTC)</p> <p>100 : TIOC0A 入出力 (MTU2)</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : ADTRG 入力 (ADC)</p>
3	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PB0MD[2:0]	000	R/W	<p>PB0 モード</p> <p>PB0/A16/IRQ0/TIOC2A/TMS 端子の機能を選びます。</p> <p>E10A 使用時 ($\overline{\text{ASEMD0}}=\text{L}$ 時) は TMS 入力に固定されます。</p> <p>000 : PB0 入出力 (ポート)</p> <p>001 : A16 出力 (BSC) *</p> <p>010 : 設定禁止</p> <p>011 : IRQ0 入力 (INTC)</p> <p>100 : TIOC2A 入出力 (MTU2)</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

【注】 * SH7239A、SH7237A のみ使用できます。

21.1.6 ポート B プルアップ MOS コントロールレジスタ H、L (PBPCR_H、PBPCR_L)

PBPCR_H、PBPCR_L はビット単位でポート B の入力プルアップ MOS のオン/オフを制御します。

(1) ポート B プルアップ MOS コントロールレジスタ H (PBPCR_H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB21 PCR	PB20 PCR	PB19 PCR	PB18 PCR	PB17 PCR	PB16 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PB21PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
4	PB20PCR	0	R/W	
3	PB19PCR	0	R/W	
2	PB18PCR	0	R/W	
1	PB17PCR	0	R/W	
0	PB16PCR	0	R/W	

(2) ポート B プルアップ MOS コントロールレジスタ L (PBPCR_L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	PB4 PCR	PB3 PCR	PB2 PCR	PB1 PCR	PB0 PCR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB4PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

21.1.7 ポート C・IO レジスタ L (PCIORL)

PCIORL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PCIORL はポート C の端子機能が汎用入出力および MTU2 の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.1.8 ポート C コントロールレジスタ L1~L4 (PCCRL1~PCCRL4)

PCCRL1~PCCRL4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

(1) ポート C コントロールレジスタ L4 (PCCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC15MD[2:0]			-	PC14MD[2:0]			-	PC13MD[2:0]			-	PC12MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
14~12	PC15MD[2:0]	000	R/W	PC15 モード 000 : PC15 入出力 (ポート) 001 : A15 出力 (BSC) * 010 : 設定禁止 011 : IRQ2 入力 (INTC) 100 : TCLKD 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
10~8	PC14MD[2:0]	000	R/W	PC14 モード 000 : PC14 入出力 (ポート) 001 : A14 出力 (BSC) * 010 : 設定禁止 011 : IRQ1 入力 (INTC) 100 : TCLKC 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PC13MD[2:0]	000	R/W	PC13 モード 000 : PC13 入出力 (ポート) 001 : A13 出力 (BSC) * 010 : 設定禁止 011 : IRQ0 入力 (INTC) 100 : TCLKB 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PC12MD[2:0]	000	R/W	PC12 モード 000 : PC12 入出力 (ポート) 001 : A12 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : TCLKA 入力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(2) ポート C コントロールレジスタ L3 (PCCR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC11MD[2:0]		-	PC10MD[2:0]		-	PC9MD[2:0]		-	PC8MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PC11MD[2:0]	000	R/W	PC11 モード 000: PC11 入出力 (ポート) 001: A11 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: TIOC1B 入出力 (MTU2) 101: CTx0 出力 (RCAN-ET) 110: TXD0 出力 (SCI) 111: 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PC10MD[2:0]	000	R/W	PC10 モード 000: PC10 入出力 (ポート) 001: A10 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: TIOC1A 入出力 (MTU2) 101: CRx0 入力 (RCAN-ET) 110: RXD0 入力 (SCI) 111: 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PC9MD[2:0]	000	R/W	PC9 モード 000: PC9 入出力 (ポート) 001: A9 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: CTx0 出力 (RCAN-ET) 110: TXD0 出力 (SCI) 111: SCK0 入出力 (SCI)

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PC8MD[2:0]	000	R/W	PC8 モード 000 : PC8 入出力 (ポート) 001 : A8 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : CRx0 入力 (RCAN-ET) 110 : RXD0 入力 (SCI) 111 : $\overline{POE4}$ 入力 (POE2)

【注】 * SH7239A、SH7237A のみ使用できます。

(3) ポート C コントロールレジスタ L2 (PCCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC7MD[2:0]			-	PC6MD[2:0]			-	PC5MD[2:0]			-	PC4MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PC7MD[2:0]	000	R/W	PC7 モード 000 : PC7 入出力 (ポート) 001 : A7 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PC6MD[2:0]	000	R/W	PC6 モード 000 : PC6 入出力 (ポート) 001 : A6 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PC5MD[2:0]	000	R/W	PC5 モード 000 : PC5 入出力 (ポート) 001 : A5 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PC4MD[2:0]	000	R/W	PC4 モード 000 : PC4 入出力 (ポート) 001 : A4 出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(4) ポート C コントロールレジスタ L1 (PCCR1)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	PC3MD[2:0]		-	PC2MD[2:0]		-	PC1MD[2:0]		-	PC0MD[2:0]	
---	------------	--	---	------------	--	---	------------	--	---	------------	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W R R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PC3MD[2:0]	000	R/W	PC3 モード 000: PC3 入出力 (ポート) 001: A3 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PC2MD[2:0]	000	R/W	PC2 モード 000: PC2 入出力 (ポート) 001: A2 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PC1MD[2:0]	000	R/W	PC1 モード 000: PC1 入出力 (ポート) 001: A1 出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: $\overline{\text{ADTRG}}$ 入力 (ADC)

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PC0MD[2:0]	000	R/W	PC0 モード 000 : PC0 入出力 (ポート) 001 : A0 出力 (BSC) * 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : 設定禁止 101 : POE0 入力 (POE2) 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

21.1.9 ポート C プルアップ MOS コントロールレジスタ L (PCPCRL)

PCPCRL はビット単位でポート C の入力プルアップ MOS のオン/オフを制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 PCR	PC14 PCR	PC13 PCR	PC12 PCR	PC11 PCR	PC10 PCR	PC9 PCR	PC8 PCR	PC7 PCR	PC6 PCR	PC5 PCR	PC4 PCR	PC3 PCR	PC2 PCR	PC1 PCR	PC0 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PC14PCR	0	R/W	
13	PC13PCR	0	R/W	
12	PC12PCR	0	R/W	
11	PC11PCR	0	R/W	
10	PC10PCR	0	R/W	
9	PC9PCR	0	R/W	
8	PC8PCR	0	R/W	
7	PC7PCR	0	R/W	
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

21.1.10 ポート D・IO レジスタ L (PDIORL)

PDIORL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PDIORL はポート D の端子機能が汎用入出力と MTU2S の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PDIORL ビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.1.11 ポート D コントロールレジスタ L1~L4 (PDCRL1~PDCRL4)

PDCRL1~PDCRL4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

(1) ポート D コントロールレジスタ L4 (PDCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD15MD[2:0]			-	PD14MD[2:0]			-	PD13MD[2:0]			-	PD12MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
14~12	PD15MD[2:0]	000	R/W	PD15 モード 000 : PD15 入出力 (ポート) 001 : D15 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TIOC4DS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PD14MD[2:0]	000	R/W	PD14 モード 000 : PD14 入出力 (ポート) 001 : D14 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TIOC4CS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PD13MD[2:0]	000	R/W	PD13 モード 000 : PD13 入出力 (ポート) 001 : D13 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : AUDCK 出力 (AUD) 101 : TIOC4BS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PD12MD[2:0]	000	R/W	PD12 モード 000 : PD12 入出力 (ポート) 001 : D12 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : AUDSYNC 出力 (AUD) 101 : TIOC4AS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(2) ポート D コントロールレジスタ L3 (PDCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD11MD[2:0]		-	PD10MD[2:0]		-	PD9MD[2:0]		-	PD8MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PD11MD[2:0]	000	R/W	PD11 モード 000: PD11 入出力 (ポート) 001: D11 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: AUDATA3 出力 (AUD) 101: TIOC3DS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PD10MD[2:0]	000	R/W	PD10 モード 000: PD10 入出力 (ポート) 001: D10 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: AUDATA2 出力 (AUD) 101: TIOC3BS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PD9MD[2:0]	000	R/W	PD9 モード 000: PD9 入出力 (ポート) 001: D9 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: AUDATA1 出力 (AUD) 101: TIOC3CS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PD8MD[2:0]	000	R/W	PD8 モード 000 : PD8 入出力 (ポート) 001 : D8 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : AUDATA0 出力 (AUD) 101 : TIOC3AS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(3) ポート D コントロールレジスタ L2 (PDCRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD7MD[2:0]			-	PD6MD[2:0]			-	PD5MD[2:0]			-	PD4MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PD7MD[2:0]	000	R/W	PD7 モード 000 : PD7 入出力 (ポート) 001 : D7 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TIC5WS 入力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PD6MD[2:0]	000	R/W	PD6 モード 000 : PD6 入出力 (ポート) 001 : D6 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TIC5VS 入力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	PD5MD[2:0]	000	R/W	PD5 モード 000 : PD5 入出力 (ポート) 001 : D5 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : TIC5US 入力 (MTU2S) 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PD4MD[2:0]	000	R/W	PD4 モード 000 : PD4 入出力 (ポート) 001 : D4 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : TIC5W 入力 (MTU2) 101 : 設定禁止 110 : SCK2 入出力 (SCI) 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

(4) ポート D コントロールレジスタ L1 (PDCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD3MD[2:0]		-	PD2MD[2:0]		-	PD1MD[2:0]		-	PD0MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PD3MD[2:0]	000	R/W	PD3 モード 000: PD3 入出力 (ポート) 001: D3 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: TIC5V 入力 (MTU2) 101: 設定禁止 110: TXD2 出力 (SCI) 111: 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PD2MD[2:0]	000	R/W	PD2 モード 000: PD2 入出力 (ポート) 001: D2 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: TIC5U 入力 (MTU2) 101: 設定禁止 110: RXD2 入力 (SCI) 111: 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PD1MD[2:0]	000	R/W	PD1 モード 000: PD1 入出力 (ポート) 001: D1 入出力 (BSC) * 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PD0MD[2:0]	000	R/W	PD0 モード 000 : PD0 入出力 (ポート) 001 : D0 入出力 (BSC) * 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * SH7239A、SH7237A のみ使用できます。

21.1.12 ポート D プルアップ MOS コントロールレジスタ L (PDPCRL)

PDPCRL はビット単位でポート D の入力プルアップ MOS のオン/オフを制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PCR	PD14 PCR	PD13 PCR	PD12 PCR	PD11 PCR	PD10 PCR	PD9 PCR	PD8 PCR	PD7 PCR	PD6 PCR	PD5 PCR	PD4 PCR	PD3 PCR	PD2 PCR	PD1 PCR	PD0 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PD14PCR	0	R/W	
13	PD13PCR	0	R/W	
12	PD12PCR	0	R/W	
11	PD11PCR	0	R/W	
10	PD10PCR	0	R/W	
9	PD9PCR	0	R/W	
8	PD8PCR	0	R/W	
7	PD7PCR	0	R/W	
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

21.1.13 ポート E・IO レジスタ L (PEIORL)

PEIORL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PEIORL はポート E の端子機能が汎用入出力と MTU2 の TIOC 入出力および MTU2S の TIOC 入出力の場合に有効でそれ以外の場合は無効です。PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.1.14 ポート E コントロールレジスタ L1~L4 (PECRL1~PECRL4)

PECRL1~PECRL4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

(1) ポート E コントロールレジスタ L4 (PECRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE15MD[2:0]			-	PE14MD[2:0]			-	PE13MD[2:0]			-	PE12MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PE15MD[2:0]	000	R/W	PE15 モード 000 : PE15 入出力 (ポート) 001 : 設定禁止 010 : DACK1 出力 (DMAC) 011 : IRQOUT 出力 (INTC) 100 : TIOC4D 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PE14MD[2:0]	000	R/W	PE14 モード 000 : PE14 入出力 (ポート) 001 : 設定禁止 010 : DACK0 出力 (DMAC) 011 : 設定禁止 100 : TIOC4C 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PE13MD[2:0]	000	R/W	PE13 モード 000 : PE13 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : MRES 入力 (システム制御) 100 : TIOC4B 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PE12MD[2:0]	000	R/W	PE12 モード 000 : PE12 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : TIOC4A 入出力 (MTU2) 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

(2) ポート E コントロールレジスタ L3 (PECRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE11MD[2:0]		-	PE10MD[2:0]		-	PE9MD[2:0]		-	PE8MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PE11MD[2:0]	000	R/W	PE11 モード 000: PE11 入出力 (ポート) 001: 設定禁止 010: DACK3 出力 (DMAC) 011: 設定禁止 100: TIOC3D 入出力 (MTU2) 101: 設定禁止 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PE10MD[2:0]	000	R/W	PE10 モード 000: PE10 入出力 (ポート) 001: 設定禁止 010: DREQ3 入力 (DMAC) 011: 設定禁止 100: TIOC3C 入出力 (MTU2) 101: SSL3 出力 (RSPI) 110: TXD2 出力 (SCI) 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PE9MD[2:0]	000	R/W	PE9 モード 000: PE9 入出力 (ポート) 001: 設定禁止 010: DACK2 出力 (DMAC) 011: 設定禁止 100: TIOC3B 入出力 (MTU2) 101: 設定禁止 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PE8MD[2:0]	000	R/W	PE8 モード 000 : PE8 入出力 (ポート) 001 : 設定禁止 010 : DREQ2 入力 (DMAC) 011 : 設定禁止 100 : TIOC3A 入出力 (MTU2) 101 : SSL2 出力 (RSPI) 110 : SCK2 入出力 (SCI) 111 : 設定禁止

(3) ポートEコントロールレジスタ L2 (PECRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE7MD[2:0]			-	PE6MD[2:0]			-	PE5MD[2:0]			-	PE4MD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PE7MD[2:0]	000	R/W	PE7 モード 000 : PE7 入出力 (ポート) 001 : 設定禁止 010 : UBCTRG 出力 (UBC) 011 : 設定禁止 100 : TIOC2B 入出力 (MTU2) 101 : SSL1 出力 (RSPI) 110 : RXD2 入力 (SCI) 111 : 設定禁止
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PE6MD[2:0]	000	R/W	PE6 モード 000 : PE6 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : TIOC2A 入出力 (MTU2) 101 : TIOC3DS 入出力 (MTU2S) 110 : RXD3 入力 (SCIF3) 111 : 設定禁止
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PE5MD[2:0]	000	R/W	PE5 モード 000 : PE5 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : TIOC1B 入出力 (MTU2) 101 : TIOC3BS 入出力 (MTU2S) 110 : TXD3 出力 (SCIF3) 111 : 設定禁止
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PE4MD[2:0]	000	R/W	PE4 モード 000 : PE4 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : IRQ4 入力 (INTC) 100 : TIOC1A 入出力 (MTU2) 101 : $\overline{POE8}$ 入力 (POE2) 110 : SCK3 入出力 (SCIF3) 111 : 設定禁止

(4) ポート E コントロールレジスタ L1 (PECRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE3MD[2:0]			-	PE2MD[2:0]			-	PE1MD[2:0]			-	PE0MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PE3MD[2:0]	000	R/W	PE3 モード 000: PE3 入出力 (ポート) 001: 設定禁止 010: TEND1 出力 (DMAC) 011: 設定禁止 100: TIOC0D 入出力 (MTU2) 101: TIOC4DS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PE2MD[2:0]	000	R/W	PE2 モード 000: PE2 入出力 (ポート) 001: 設定禁止 010: DREQ1 入力 (DMAC) 011: 設定禁止 100: TIOC0C 入出力 (MTU2) 101: TIOC4CS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PE1MD[2:0]	000	R/W	PE1 モード 000: PE1 入出力 (ポート) 001: 設定禁止 010: TEND0 出力 (DMAC) 011: 設定禁止 100: TIOC0B 入出力 (MTU2) 101: TIOC4BS 入出力 (MTU2S) 110: 設定禁止 111: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PE0MD[2:0]	000	R/W	PE0 モード 000 : PE0 入出力 (ポート) 001 : 設定禁止 010 : DREQ0 入力 (DMAC) 011 : 設定禁止 100 : TIOC0A 入出力 (MTU2) 101 : TIOC4AS 入出力 (MTU2S) 110 : 設定禁止 111 : 設定禁止

21.1.15 ポート E プルアップ MOS コントロールレジスタ L (PEPCRL)

PEPCRL はビット単位でポート E の入力プルアップ MOS のオン/オフを制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PCR	PE14 PCR	PE13 PCR	PE12 PCR	PE11 PCR	PE10 PCR	PE9 PCR	PE8 PCR	PE7 PCR	PE6 PCR	PE5 PCR	PE4 PCR	PE3 PCR	PE2 PCR	PE1 PCR	PE0 PCR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15PCR	0	R/W	1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
14	PE14PCR	0	R/W	
13	PE13PCR	0	R/W	
12	PE12PCR	0	R/W	
11	PE11PCR	0	R/W	
10	PE10PCR	0	R/W	
9	PE9PCR	0	R/W	
8	PE8PCR	0	R/W	
7	PE7PCR	0	R/W	
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

21.1.16 大電流ポートコントロールレジスタ (HCPCR)

HCPCR は、読み出し／書き込み可能な 16 ビットのレジスタで、大電流ポート (PD10～PD15、PE0～PE3、PE5、PE6、PE9、PE11～PE15 の 18 端子) の制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	MZI ZDL	MZI ZEH	MZI ZEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MZIZDL	1	R/W	ポート D 大電流ポートハイインピーダンス L 発振停止検出時およびソフトウェアスタンバイモード時、PD10～PD15 の大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0: ハイインピーダンスにする 1: ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録 A. 端子状態」を参照してください。
1	MZIZEH	1	R/W	ポート E 大電流ポートハイインピーダンス H 発振停止検出時およびソフトウェアスタンバイモード時、PE9、PE11～PE15 の大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0: ハイインピーダンスにする 1: ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録 A. 端子状態」を参照してください。
0	MZIZEL	1	R/W	ポート E 大電流ポートハイインピーダンス L 発振停止検出時およびソフトウェアスタンバイモード時、PE0～PE3、PE5、PE6 の大電流ポートを PFC の設定にかかわらずハイインピーダンスにするかを選択します。 0: ハイインピーダンスにする 1: ハイインピーダンスにしない 本ビットを 1 にした場合、発振停止検出時は端子状態を保持します。ソフトウェアスタンバイモード時は、「付録 A. 端子状態」を参照してください。

21.1.17 DACK 出力タイミングコントロールレジスタ (PDACKCR)

PDACKCR は、読み出し／書き込み可能な 16 ビットのレジスタで、DACK0～3 端子の出力タイミングを制御するために使用します。各端子の設定が他の機能になっている場合、本レジスタの設定は端子の機能に影響を与えません。

なお、本レジスタを設定する前には、必ず DMCR の AL ビットにより DACK のアクティブレベルを設定しておいてください。また、本レジスタにより、DACK 出力タイミングを変更して使用する場合は、シングルアドレス転送時のライトデータのホールド時間が、システム上、十分確保できることを確認してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	DACK3 TMG	DACK2 TMG	DACK1 TMG	DACK0 TMG
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DACK3TMG	0	R/W	DACK3 端子タイミング選択 DACK3 端子がアサートされているタイミングを制御します。 0: DACK3 のアサート期間は各バスインタフェースで以下のようになります。 通常空間=T1 開始～T2 終了まで MPX-I/O=T1 開始～T2 終了まで バースト ROM=T1 開始～T2B 終了まで シンクロナス DRAM=Tr 開始～アクセス終了まで 1: DACK3 のアサート期間は各バスインタフェースで以下のようになります。 通常空間= \overline{RD} または \overline{WRxx} と同じ期間 MPX-I/O= \overline{RD} または \overline{WRxx} と同じ期間 本ビットを 1 にするのは、DACK3 がアサートされるとき転送対象となるメモリのエリアが通常空間または MPX-I/O 空間である場合のみに行ってください。

ビット	ビット名	初期値	R/W	説明
2	DACK2TMG	0	R/W	<p>DACK2 端子タイミング選択</p> <p>DACK2 端子がアサートされているタイミングを制御します。</p> <p>0: DACK2 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=T1 開始~T2 終了まで</p> <p>MPX-I/O=T1 開始~T2 終了まで</p> <p>バースト ROM=T1 開始~T2B 終了まで</p> <p>シンクロナス DRAM=Tr 開始~アクセス終了まで</p> <p>1: DACK2 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>MPX-I/O=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>本ビットを 1 にするのは、DACK2 がアサートされるときに転送対象となるメモリのエリアが通常空間または MPX-I/O 空間である場合のみにしてください。</p>
1	DACK1TMG	0	R/W	<p>DACK1 端子タイミング選択</p> <p>DACK1 端子がアサートされているタイミングを制御します。</p> <p>0: DACK1 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=T1 開始~T2 終了まで</p> <p>MPX-I/O=T1 開始~T2 終了まで</p> <p>バースト ROM=T1 開始~T2B 終了まで</p> <p>シンクロナス DRAM=Tr 開始~アクセス終了まで</p> <p>1: DACK1 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>MPX-I/O=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>本ビットを 1 にするのは、DACK1 がアサートされるときに転送対象となるメモリのエリアが通常空間または MPX-I/O 空間である場合のみにしてください。</p>

ビット	ビット名	初期値	R/W	説 明
0	DACK0TMG	0	R/W	<p>DACK0 端子タイミング選択</p> <p>DACK0 端子がアサートされているタイミングを制御します。</p> <p>0: DACK0 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=T1 開始~T2 終了まで</p> <p>MPX-I/O=T1 開始~T2 終了まで</p> <p>バースト ROM=T1 開始~T2B 終了まで</p> <p>シンクロナス DRAM=Tr 開始~アクセス終了まで</p> <p>1: DACK0 のアサート期間は各バスインタフェースで以下のようになります。</p> <p>通常空間=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>MPX-I/O=\overline{RD} または \overline{WRxx} と同じ期間</p> <p>本ビットを 1 にするのは、DACK0 がアサートされるときに転送対象となるメモリのエリアが通常空間または MPX-I/O 空間である場合のみにしてください。</p>

21.2 端子機能によるプルアップ MOS 制御

端子機能によるプルアップ MOS 制御および各動作状態でのプルアップ MOS 制御を表 21.9 に示します。

表 21.9 プルアップ MOS 制御

端子機能	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ	発振停止 検出時	POE 機能 使用時	通常 動作
I/O ポート入力 BREQ 入力、WAIT 入力 (BSC) DREQ0~DREQ3 入力 (DMAC) IRQ0~IRQ6 入力 (INTC) MRES 入力 (システム制御) POE0 入力、POE4 入力、POE8 入力 (POE2) RXD0~RXD3 入力 (SCI、SCIF) SCK0~SCK3 入力 (SCI、SCIF) CRx0 入力 (RCAN-ET) ADTRG 入力 (ADC) SSL0 入力、RSPCK 入力 (RSPI) MISO 入力、MOSI 入力 (RSPI)	オフ	オン/ オフ	オン/ オフ	オン/ オフ	オン/ オフ	オン/ オフ	オン/ オフ
I/O ポート出力 アドレス出力、CK 出力、RD 出力 (BSC) WRH 出力、WRL 出力 (BSC) CS0、CS1、CS3~CS6 出力 (BSC) BS 出力、AH 出力、BACK 出力 (BSC) DACK0~DACK3 出力 (DMAC) TEND0 出力、TEND1 出力 (DMAC) IRQOUT 出力 (INTC) UBCTRG 出力 (UBC) TXD0~TXD3 出力 (SCI、SCIF) SCK0~SCK3 出力 (SCI、SCIF) CTx0 出力 (RCAN-ET) SSL0~SSL3 出力、RSPCK 出力 (RSPI) MISO 出力、MOSI 出力 (RSPI) AUDSYNC 出力、AUDCK 出力 (AUD) AUDATA0~AUDATA3 出力 (AUD)	オフ	オン/ オフ*	オン/ オフ*	オン/ オフ*	オン/ オフ*	オン/ オフ*	オン/ オフ*

端子機能	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	スリープ	発振停止 検出時	POE 機能 使用時	通常 動作
データバス入出力 (BSC) TIOC3AS、TIOC3BS 入出力 (MTU2S) TIOC3CS、TIOC3DS 入出力 (MTU2S) TIOC4AS、TIOC4BS 入出力 (MTU2S) TIOC4CS、TIOC4DS 入出力 (MTU2S) TIC5US、TIC5VS、TIC5WS 入力 (MTU2S) TCLKA、TCLKB 入力 (MTU2) TCLKC、TCLKD 入力 (MTU2) TIOC0A、TIOC0B 入出力 (MTU2) TIOC0C、TIOC0D 入出力 (MTU2) TIOC1A、TIOC1B 入出力 (MTU2) TIOC2A、TIOC2B 入出力 (MTU2) TIOC3A、TIOC3B 入出力 (MTU2) TIOC3C、TIOC3D 入出力 (MTU2) TIOC4A、TIOC4B 入出力 (MTU2) TIOC4C、TIOC4D 入出力 (MTU2) TIC5U、TIC5V、TIC5W 入力 (MTU2)	オフ	オフ	オフ	オフ	オフ	オフ	オフ

【記号説明】

オフ： 入力プルアップ MOS は、常にオフ状態です。

オン/オフ： プルアップ MOS コントロールレジスタ=1 かつ端子状態が入力またはハイインピーダンスのときにオン状態、その他の時にオフ状態です。

オン/オフ*： プルアップ MOS コントロールレジスタ=1 かつ端子状態がハイインピーダンスのときにオン状態、その他の時にオフ状態です。

【注】 * SCK (SCI、SCIF)、MOSI、MISO、RSPCK、SSL0 (RSPI) 機能において、プルアップ MOS コントロールレジスタ=1 とした状態で、入出力が切り替わるとプルアップ MOS のオン/オフ状態も切り替わります。

21.3 使用上の注意事項

1. 1本LSIでは同一機能が複数の端子にマルチプレクス機能として割り付けられています。これは、端子機能の選択自由度を向上させるとともにボード設計を容易にすることを目的としていますが、1つの機能を2端子以上で使用する場合は次の点に注意して使用してください。

- 端子機能が入力機能の場合

複数の端子から入力される信号は、ORもしくはAND論理により1つの信号となり、LSI内部へ伝搬されます。そのため、他の同一機能である端子の入力状態によっては、入力した信号とは異なる信号がLSI内部へ伝搬することがあります。表22.10に複数の端子に割り当てられている入力機能の伝搬形式を示します。以下のいずれかの機能を2つ以上の端子で使用する場合、伝搬形式を考慮し、信号の極性に注意して使用してください。

表 22.10 複数端子に割り当てられている入力機能の伝搬形式

OR 型	AND 型
TCLKA、TCLKB、TCLKC、TCLKD (MTU2)	IRQ0~IRQ5 (INTC)
TIOC0A、TIOC0B、TIOC0C、TIOC0D (MTU2)	ADTRG (ADC)
TIOC1A、TIOC1B、TIOC2A (MTU2)	CRx0 (RCAN-ET)
TIC5U、TIC5V、TIC5W (MTU2)	
TIOC3AS、TIOC3BS、TIOC3CS、TIOC3DS (MTU2S)	
TIOC4AS、TIOC4BS、TIOC4CS、TIOC4DS (MTU2S)	
SCK0、SCK2、SCK3、RXD0、RXD2、RXD3 (SCI、SCIF)	

OR型：複数の端子から入力される信号は、OR論理によって1つの信号となり、LSI内部に伝搬します。

AND型：複数の端子から入力される信号は、AND論理によって1つの信号となり、LSI内部に伝搬します。

- 端子機能が出力機能の場合

選択したすべての端子から同一機能を出力することができます。

2. 入出力ポートとIRQがマルチプレクスされている端子で、ポート入力がローレベル状態からIRQをエッジセンスに切り換えた場合、当該エッジが検出されます。
3. PFCを設定可能な機能以外には設定しないでください。指定可能な機能以外に設定した場合、動作は保証されません。

22. I/O ポート

I/O ポートは、A、B、C、D、E、F の 6 本から構成されています。ポート A は 10 本、ポート B は 11 本、ポート C は 16 本、ポート D は 16 本、ポート E は 16 本の入出力ポートです。ポート F は 16 本の入力専用ポートです。

それぞれのポートの端子は、すべてその他の機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択はピンファンクションコントローラ (PFC) で行います。詳細は「**第 21 章 ピンファンクションコントローラ (PFC)**」を参照してください。また、各ポートはそれぞれ端子のデータを格納するためのデータレジスタを持っています。

22.1 ポート A

ポート A は、図 22.1 に示すような 10 本の端子を持つ入出力ポートです。

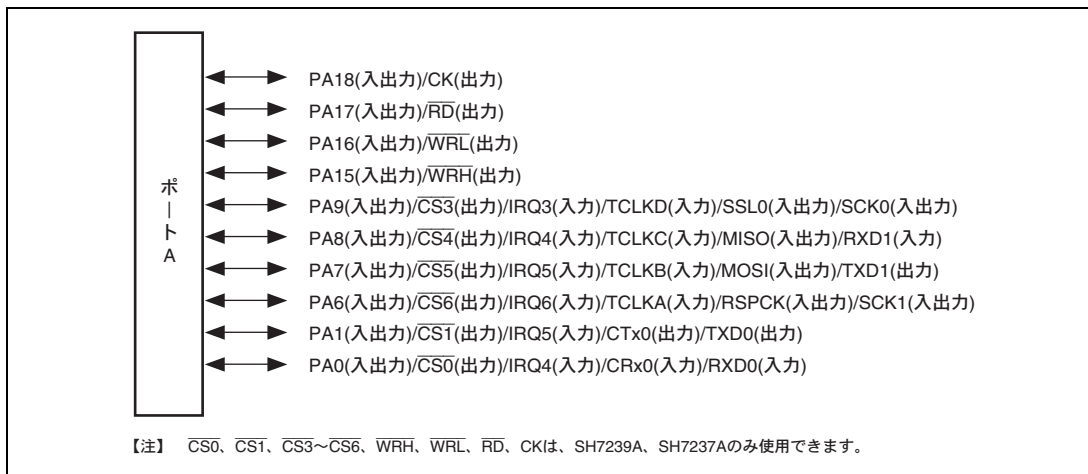


図 22.1 ポート A

22.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ H	PADRH	R/W	H'0000	H'FFFE3800	8、16、32
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFE3802	8、16
ポート A ポートレジスタ H	PAPRH	R	—	H'FFFE381C	8、16、32
ポート A ポートレジスタ L	PAPRL	R	—	H'FFFE381E	8、16

22.1.2 ポート A データレジスタ H、L (PADRH、PADRL)

PADRH および PADRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。端子機能が汎用出力の場合には、PADRH または PADRL に値を書き込むと端子からその値が出力され、PADRH または PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。端子機能が汎用入力の場合には、PADRH または PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRH または PADRL に値を書き込むと、PADRH または PADRL にその値を書き込めますが、端子の状態には影響しません。

表 22.2 にポート A データレジスタの読み出し／書き込み動作を示します。

(1) ポート A データレジスタ H (PADRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PA18 DR	PA17 DR	PA16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PA18DR	0	R/W	表 22.2 参照
1	PA17DR	0	R/W	
0	PA16DR	0	R/W	

(2) ポート A データレジスタ L (PADRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15DR	-	-	-	-	-	PA9DR	PA8DR	PA7DR	PA6DR	-	-	-	-	PA1DR	PA0DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA15DR	0	R/W	表 22.2 参照
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PA9DR	0	R/W	表 22.2 参照
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PA1DR	0	R/W	表 22.2 参照
0	PA0DR	0	R/W	

表 22.2 ポート A データレジスタ H、L (PADRH、PADRL) の読み出し/書き込み動作

PAIORH、PAIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADRH、PADRL に書き込めるが、端子状態に影響しない
	汎用入力以外	端子の状態	PADRH、PADRL に書き込めるが、端子状態に影響しない
1	汎用出力	PADRH、PADRL の値	書き込み値が端子から出力される
	汎用出力以外	PADRH、PADRL の値	PADRH、PADRL に書き込めるが、端子状態に影響しない

22.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。ただし、PA9 を RSPI 機能に設定した場合は、該当する端子の状態を読み出すことはできません。

(1) ポート A ポートレジスタ H (PAPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PA18 PR	PA17 PR	PA16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2	PA18PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
1	PA17PR	端子の状態	R	
0	PA16PR	端子の状態	R	

(2) ポート A ポートレジスタ L (PAPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 PR	-	-	-	-	-	PA9 PR	PA8 PR	PA7 PR	PA6 PR	-	-	-	-	PA1 PR	PA0 PR
初期値:	*	0	0	0	0	0	*	*	*	*	0	0	0	0	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PA15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PA9PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。ただし、PA9 を RSPI 機能に設定した場合は、該当する端子の状態を読み出すことはできません。
8	PA8PR	端子の状態	R	
7	PA7PR	端子の状態	R	
6	PA6PR	端子の状態	R	
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PA1PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
0	PA0PR	端子の状態	R	

22.2 ポート B

ポート B は、図 22.2 に示すような 11 本の端子を持つ入出力ポートです。

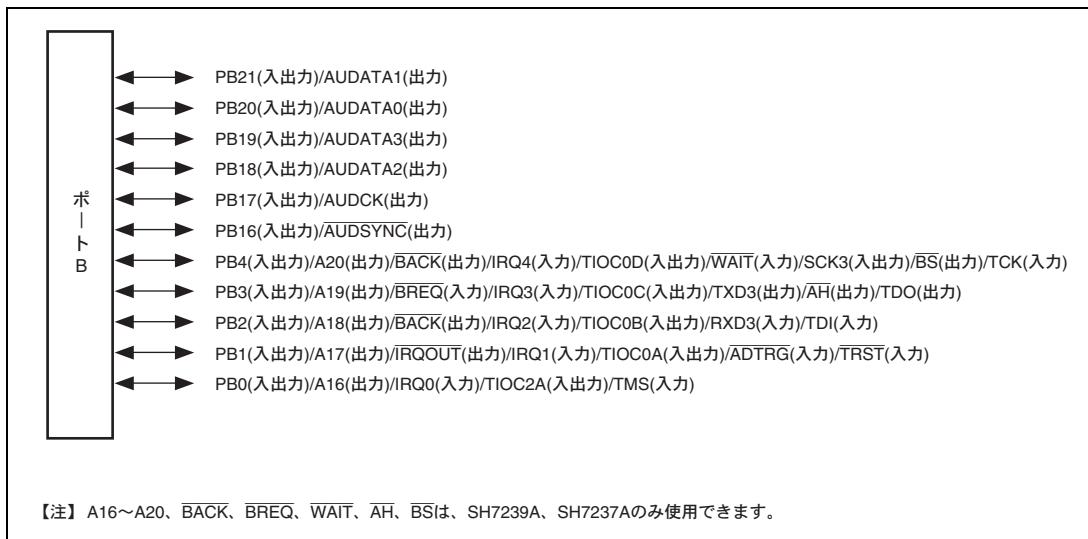


図 22.2 ポート B

22.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ H	PBDRH	R/W	H'0000	H'FFFE3880	8、16、32
ポート B データレジスタ L	PBDRL	R/W	H'0000	H'FFFE3882	8、16
ポート B ポートレジスタ H	PBPRH	R	—	H'FFFE389C	8、16、32
ポート B ポートレジスタ L	PBPRL	R	—	H'FFFE389E	8、16

22.2.2 ポート B データレジスタ H、L (PBDRH、PBDRL)

PBDRH および PBDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。端子機能が汎用出力の場合には、PBDRH または PBDRL に値を書き込むと端子からその値が出力され、PBDRH または PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。端子機能が汎用入力の場合には、PBDRH または PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRH または PBDRL に値を書き込むと、PBDRH または PBDRL にその値を書き込みますが、端子の状態には影響しません。表 22.4 にポート B データレジスタの読み出し／書き込み動作を示します。

(1) ポート B データレジスタ H (PBDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB21 DR	PB20 DR	PB19 DR	PB18 DR	PB17 DR	PB16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PB21DR	0	R/W	表 22.4 参照
4	PB20DR	0	R/W	
3	PB19DR	0	R/W	
2	PB18DR	0	R/W	
1	PB17DR	0	R/W	
0	PB16DR	0	R/W	

(2) ポート B データレジスタ L (PBDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB4DR	0	R/W	表 22.4 参照
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 22.4 ポート B データレジスタ H、L (PBDRH、PBDRL) の読み出し/書き込み動作

PBIORH、PBIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRH、PBDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRH、PBDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRH、PBDRL の値	書き込み値が端子から出力される
	汎用出力以外	PBDRH、PBDRL の値	PBDRH、PBDRL に書き込めるが、端子の状態に影響しない

22.2.3 ポート B ポートレジスタ H、L (PBPRH、PBPRL)

PBPRH および PBPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PB3 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPB2IO=0 の場合は、該当する端子の状態を読み出すことはできません。

(1) ポート B ポートレジスタ H (PBPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PB21 PR	PB20 PR	PB19 PR	PB18 PR	PB17 PR	PB16 PR
初期値:	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	PB21PR	端子の状態	R	読み出すと端子の状態が読み出されます。書き込みは無効です。
4	PB20PR	端子の状態	R	
3	PB19PR	端子の状態	R	
2	PB18PR	端子の状態	R	
1	PB17PR	端子の状態	R	
0	PB16PR	端子の状態	R	

(2) ポート B ポートレジスタ L (PBPR_L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	0	0	0	0	0	0	0	0	0	0	0	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
4	PB4PR	端子の状態	R	読み出すと端子の状態が読み出されます。ただし、PB3をSCIF機能に設定し、SCSCR_3レジスタのTE=0かつSCSPTR_3レジスタのSPB2IO=0の場合は、該当する端子の状態を読み出すことはできません。
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

22.3 ポート C

ポート C は、図 22.3 に示すような 16 本の端子を持つ入出力ポートです。

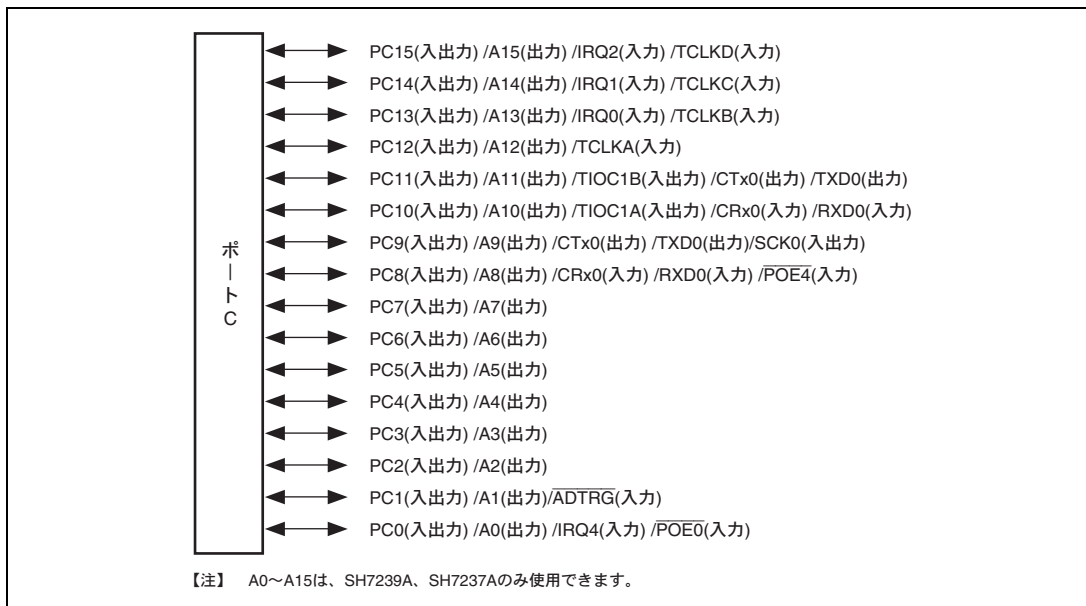


図 22.3 ポート C

22.3.1 レジスタの説明

ポート C には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ L	PCDRL	R/W	H'0000	H'FFFE3902	8、16
ポート C ポートレジスタ L	PCPRL	R	—	H'FFFE391E	8、16

22.3.2 ポート C データレジスタ L (PCDRL)

PCDRL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。端子機能が汎用出力の場合には、PCDRL に値を書き込むと端子からその値が出力され、PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。端子機能が汎用入力の場合には、PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRL に値を書き込むと、PCDRL にその値を書き込みますが、端子の状態には影響しません。

表 22.6 にポート C データレジスタの読み出し/書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC15DR	0	R/W	表 22.6 参照
14	PC14DR	0	R/W	
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 22.6 ポート C データレジスタ L (PCDRL) の読み出し/書き込み動作

PCIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRL の値	書き込み値が端子から出力される
	汎用出力以外	PCDRL の値	PCDRL に書き込めるが、端子の状態に影響しない

22.3.3 ポートCポートレジスタL (PCPRL)

PCPRLは、読み出しのみ可能な16ビットのレジスタで、PFCの設定にかかわらず常に端子の状態を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 PR	PC14 PR	PC13 PR	PC12 PR	PC11 PR	PC10 PR	PC9 PR	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PC15PR	端子の状態	R	PFCの設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PC14PR	端子の状態	R	
13	PC13PR	端子の状態	R	
12	PC12PR	端子の状態	R	
11	PC11PR	端子の状態	R	
10	PC10PR	端子の状態	R	
9	PC9PR	端子の状態	R	
8	PC8PR	端子の状態	R	
7	PC7PR	端子の状態	R	
6	PC6PR	端子の状態	R	
5	PC5PR	端子の状態	R	
4	PC4PR	端子の状態	R	
3	PC3PR	端子の状態	R	
2	PC2PR	端子の状態	R	
1	PC1PR	端子の状態	R	
0	PC0PR	端子の状態	R	

22.4 ポート D

ポート D は、図 22.4 に示すような 16 本の端子を持つ入出力ポートです。

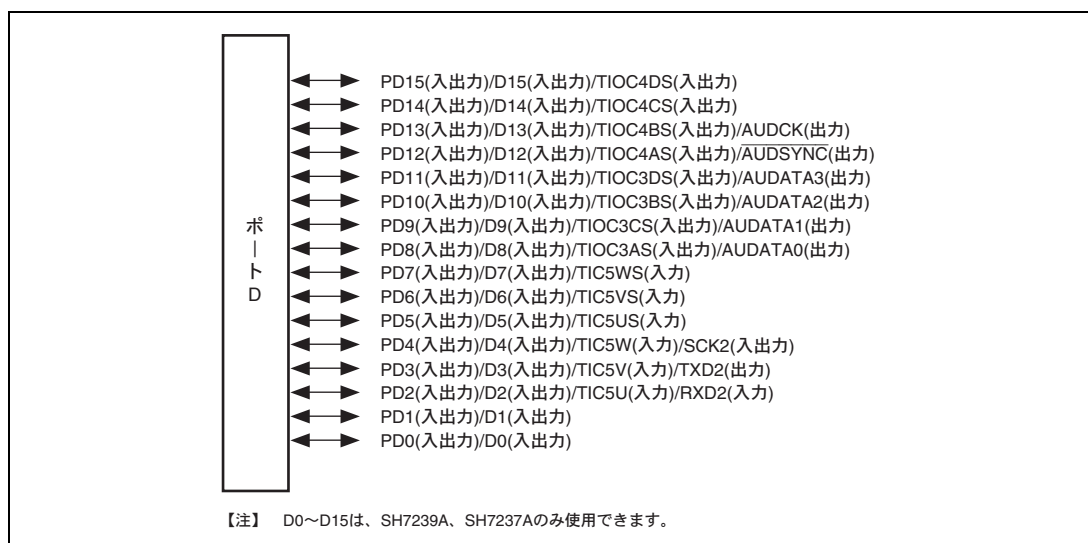


図 22.4 ポート D

22.4.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFE3982	8、16
ポート D ポートレジスタ L	PDPRL	R	—	H'FFFE399E	8、16

22.4.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PDDRL に値を書き込むと、PDDRL にその値を書き込みますが、端子の状態には影響しません。

表 22.8 にポート D データレジスタの読み出し／書き込み動作を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 22.8 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 22.8 ポート D データレジスタ L (PDDRL) の読み出し／書き込み動作

PDIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

22.4.3 ポート D ポートレジスタ L (PDPRL)

PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PD15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

22.5 ポート E

ポート E は、図 22.5 に示すような 16 本の端子を持つ入出力ポートです。

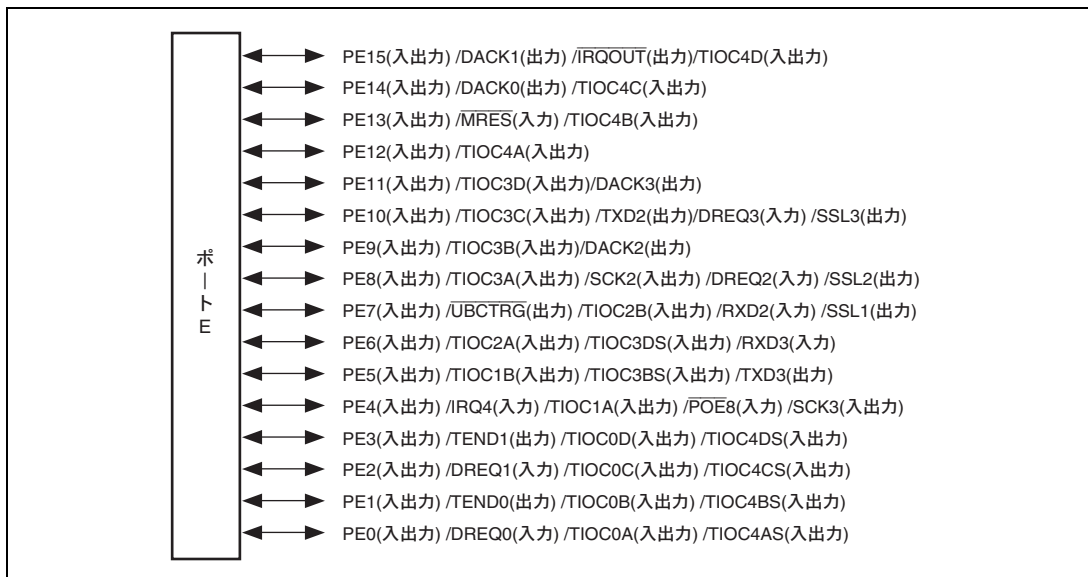


図 22.5 ポート E

22.5.1 レジスタの説明

ポート E には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.9 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ L	PEDRL	R/W	H'0000	H'FFFE3A02	8、16
ポート E ポートレジスタ L	PEPRL	R	—	H'FFFE3A1E	8、16

22.5.2 ポート E データレジスタ L (PEDRL)

PEDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込みますが、端子の状態には影響しません。

表 22.10 にポート E データレジスタの読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15DR	0	R/W	表 22.10 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 22.10 ポート E データレジスタ L (PEDRL) の読み出し／書き込み動作

PEIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRL の値	書き込み値が端子から出力される
	汎用出力以外	PEDRL の値	PEDRL に書き込めるが、端子の状態に影響しない

22.5.3 ポートEポートレジスタL (PEPRL)

PEPRLは、読み出しのみ可能な16ビットのレジスタで、端子の状態を読み出すことができます。ただし、PE10、PE8、PE7をRSPI機能に設定した場合およびPE5をSCIF機能に設定し、SCSCR_3レジスタのTE=0かつSCSPTR_3レジスタのSPB2IO=0の場合は、該当する端子の状態を読み出すことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PR	PE14 PR	PE13 PR	PE12 PR	PE11 PR	PE10 PR	PE9 PR	PE8 PR	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PE15PR	端子の状態	R	読み出すと端子の状態が読み出されます。ただし、PE10、PE8、PE7をRSPI機能に設定した場合およびPE5をSCIF機能に設定し、SCSCR_3レジスタのTE=0かつSPSPTR_3レジスタのSPB2IO=0の場合は、該当する端子の状態を読み出すことはできません。
14	PE14PR	端子の状態	R	
13	PE13PR	端子の状態	R	
12	PE12PR	端子の状態	R	
11	PE11PR	端子の状態	R	
10	PE10PR	端子の状態	R	
9	PE9PR	端子の状態	R	
8	PE8PR	端子の状態	R	
7	PE7PR	端子の状態	R	
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

22.6 ポート F

ポート F は、図 22.6 に示すような 16 本の端子を持つ入力専用ポートです。

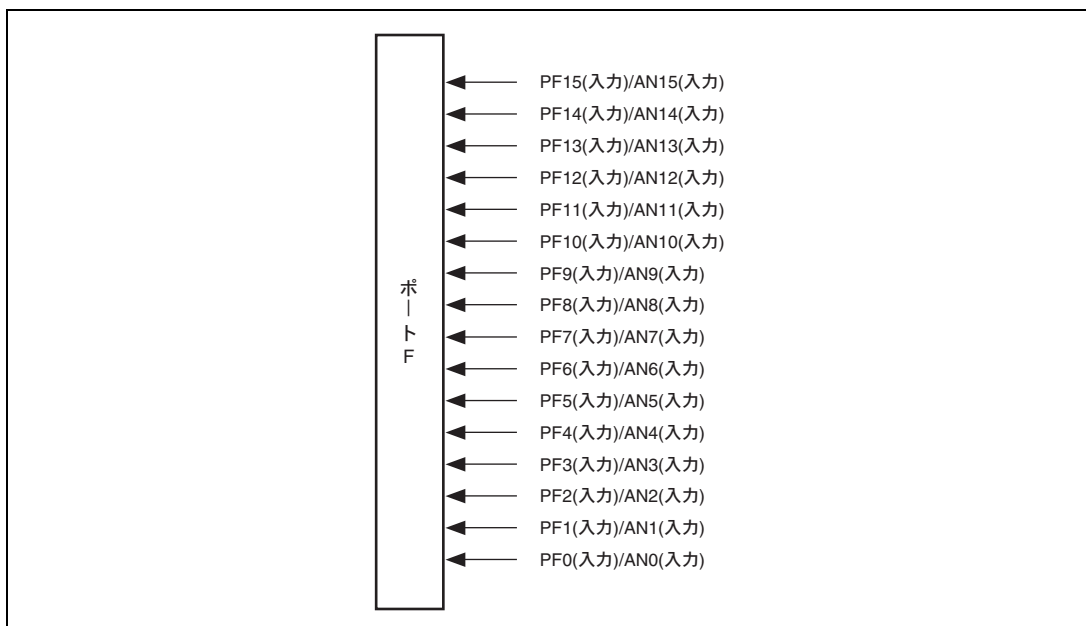


図 22.6 ポート F

22.6.1 レジスタの説明

ポート F には以下のレジスタがあります。このレジスタのアドレスおよび各動作における状態については「第 28 章 レジスタ一覧」を参照してください。

表 22.11 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ L	PFDR_L	R	—	H'FFFE3A82	8、16

22.6.2 ポート F データレジスタ L (PFDRL)

PFDRL は、読み出しのみ可能な 16 ビットのレジスタで、ポート F のデータを格納します。

ビットに値を書き込んでも無視され、端子の状態には影響しません。また、ビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器のアナログ入力をサンプリングしている間は 1 が読み出されます。

表 22.12 にポート F データレジスタの読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 DR	PF14 DR	PF13 DR	PF12 DR	PF11 DR	PF10 DR	PF9 DR	PF8 DR	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PF15DR	端子の状態	R	表 22.12 参照
14	PF14DR	端子の状態	R	
13	PF13DR	端子の状態	R	
12	PF12DR	端子の状態	R	
11	PF11DR	端子の状態	R	
10	PF10DR	端子の状態	R	
9	PF9DR	端子の状態	R	
8	PF8DR	端子の状態	R	
7	PF7DR	端子の状態	R	
6	PF6DR	端子の状態	R	
5	PF5DR	端子の状態	R	
4	PF4DR	端子の状態	R	
3	PF3DR	端子の状態	R	
2	PF2DR	端子の状態	R	
1	PF1DR	端子の状態	R	
0	PF0DR	端子の状態	R	

表 22.12 ポート F データレジスタ L (PFDRL) の読み出し／書き込み動作

端子機能	読み出し	書き込み
汎用入力	端子の状態が読み出される	無視される (端子の状態に影響しない)
ANn 入力	1 が読み出される	無視される (端子の状態に影響しない)

【記号説明】 n = 0~15

22.7 使用上の注意事項

22.7.1 未使用端子の処理について

未使用端子は抵抗を用いて、Vcc もしくは GND に接続しハイまたはローに固定してください。ポート F の未使用端子は AVcc もしくは AVss に抵抗を用いて接続し固定してください。ただし、NMI、EXTAL、XTAL、 $\overline{\text{WDTOVF}}$ 、 $\overline{\text{TRST}}$ 、TMS、TCK、TDO、TDI の各端子の処理については各該当モジュールの説明に従って処理してください。

23. フラッシュメモリ (ROM)

SH7239 グループおよび SH7237 グループは、512K バイトまたは 256K バイトのフラッシュメモリ (ROM) を内蔵しています。各製品とフラッシュメモリ (ROM) の容量については、「1.2 製品一覧」を参照してください。

23.1 特長

- 2種類のフラッシュメモリマット

ROMには、同一アドレス空間に配置される2種類のメモリ空間 (以下メモリマットと呼びます) があります。起動モードの選択および制御レジスタを使用したバンク切り替えでマットを切り替えることができます。ユーザブートマット選択時のH'00008000~H'0007FFFF領域の読み出し値は不定、書き込み/消去は無効です。

ユーザマット：512Kバイトまたは256Kバイト

ユーザブートマット：32Kバイト

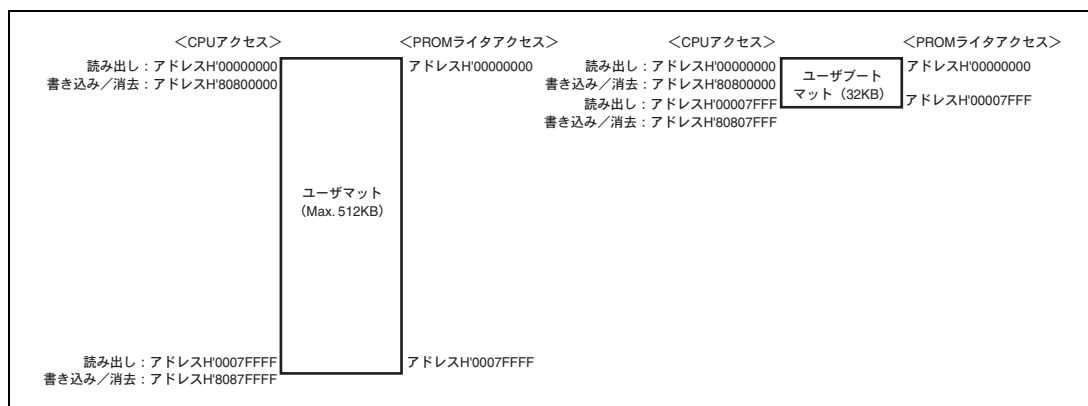


図 23.1 ROM のメモリマット構成

- ROMキャッシュ経由で高速読み出し可能

ユーザマット、ユーザブートマットともにROMキャッシュ経由で高速読み出し可能です。ユーザマット/ユーザブートマットは、すべての内蔵ROM有効モードで読み出し可能です。

- 書き込み/消去方式

周辺バス (Pバス) 経由でROM/データフラッシュ (FLD) 専用のシーケンサ (FCU) にコマンドを発行することにより、ROMの書き込み/消去を実行可能です。FCUがROMの書き込み/消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムを実行可能です。FCUがFLDの書き込み/消去を実行している期間は、ROM領域に配置したプログラムを実行可能です。また、FCUによるROM書き込み/消去動作を

中断してCPUがROM領域のプログラムを実行した後、ROM書き込み／消去を再開可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。

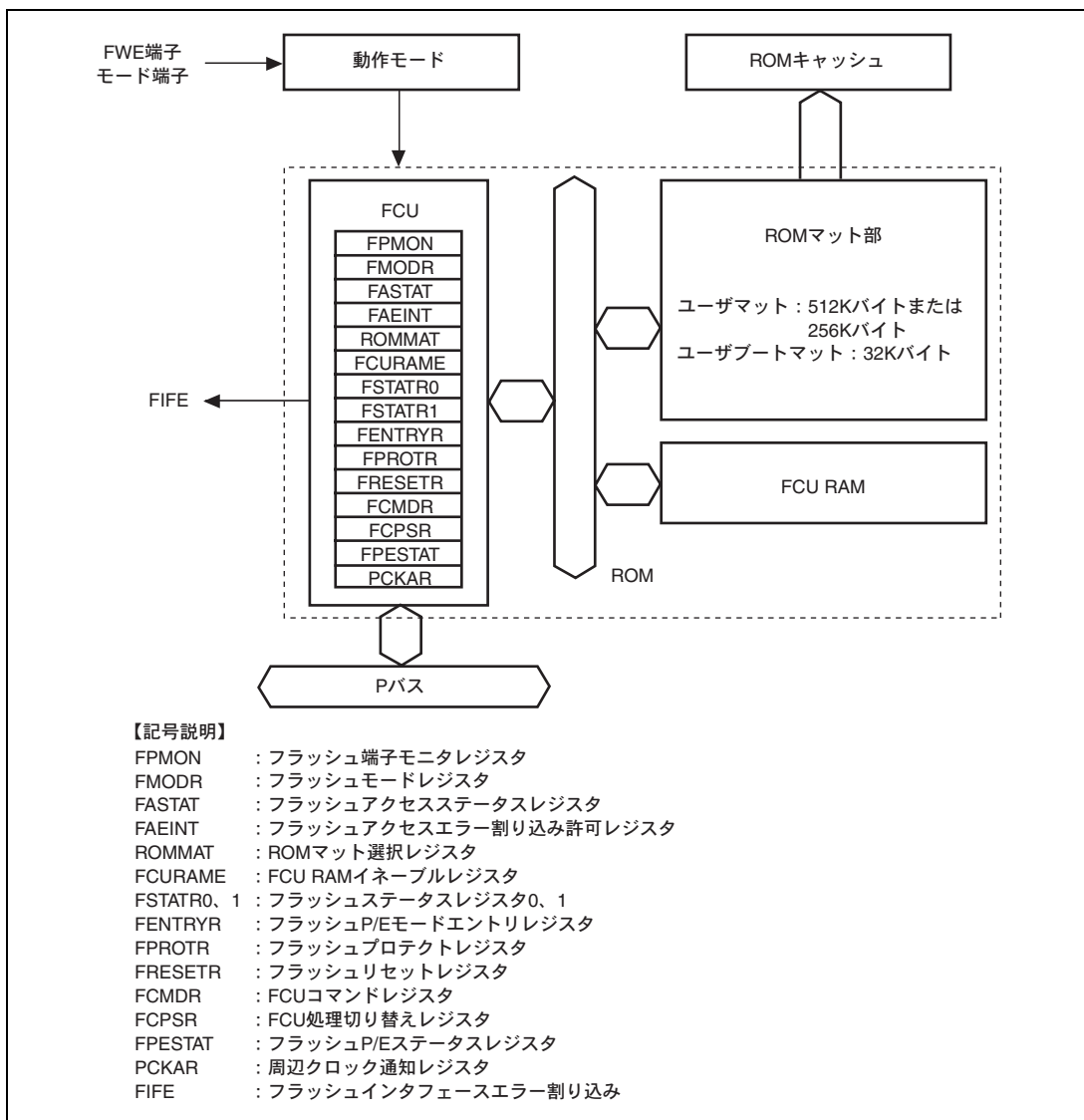


図 23.2 ROMのブロック図

● 書き込み／消去単位

ユーザマットとユーザブートマットの書き込み単位は256バイトです。ユーザブートマットの消去単位は、ユーザブートマット全面です。ライトモード以外では、ユーザマットをブロック単位で消去可能です。ライトモードのユーザマット消去単位は、ユーザマット全面です。

図23.3にユーザマットのブロック分割を示します。

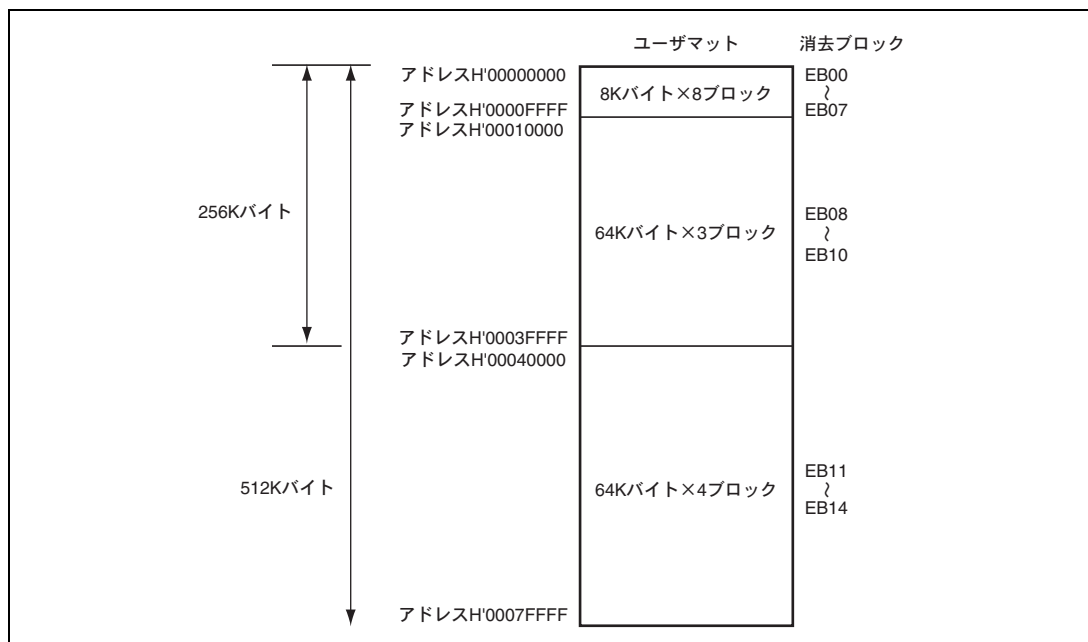


図 23.3 ユーザマトのブロック分割

- オンボードプログラムモード (3種類)

ブートモード：SCIFを使用してユーザマトとユーザブートマトを書き換え可能なプログラムモードです。ホストと本LSI間のSCIF通信のビットレートは自動調整可能です。

ユーザプログラムモード：任意のインタフェースで、ユーザマトを書き換え可能なプログラムモードです。

FWE端子値の設定変更のみで、モード2 (MCU拡張モード) /モード3 (MCUシングルチップモード) から遷移可能なモードです。

ユーザブートモード：任意のインタフェースで、ユーザマトを書き換え可能なプログラムモードです。

ユーザブートモードへの遷移にはリセット起動が必要です。

- オフボードプログラムモード (1種類)

ライターモード：PROMライターを用いたライターモードでユーザマトとユーザブートマトの書き換えが可能です。

- プロテクトモード

FWE端子/モード端子によるハードウェアプロテクトとFENTRYRのFENTRY0ビット/ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み/消去に対するプロテクト状態を設定することができます。FENTRY0ビットはFCUによるROM書き込み/消去処理の許可/禁止を制御するためのビットです。ロックビットはユーザマトの各消去ブロック内に1ビットずつ設置されている書き込み/消去プロテクト用のビットです。

書き込み/消去中に異常動作を検出した場合、書き込み/消去処理を中断する機能もあります。

- 書き込み時間／消去時間／書き換え回数
「第29章 電気的特性」を参照してください。

23.2 入出力端子

表 23.1 に ROM 関連の入出力端子を示します。FWE 端子と MD0 端子の組み合わせによって、ROM のプログラムモードを決定します（「23.4 ROM 関連モード概要」を参照）。ブートモード時には、PB2/RXD3、PB3/TXD3 にホストを接続して ROM を書き込み／消去することが可能です（「23.5 ブートモード」を参照）。

表 23.1 端子構成

名称	端子名	入出力	機能
パワーオンリセット	$\overline{\text{RES}}$	入力	この端子がローレベルになるとパワーオンリセット状態になります。
モード設定	MD0	入力	動作モードを決定します。
フラッシュ書き込みイネーブル	FWE	入力	ROM の書き込み許可／禁止を決定します。
SCIF チャンネル 3 受信データ	PB2/RXD3	入力	SCIF チャンネル 3 の受信データ（ホスト通信用）
SCIF チャンネル 3 送信データ	PB3/TXD3	出力	SCIF チャンネル 3 の送信データ（ホスト通信用）

23.3 レジスタの説明

表 23.2 に ROM 関連のレジスタを示します。一部のレジスタは FLD 関連のビットも持ちますが、本章では ROM 機能に関連するビットの説明のみ記載しています。FLD 関連ビットの機能の詳細は、「第 24 章 データフラッシュ (FLD)」の「24.3 レジスタの説明」を参照してください。ROM 関連のレジスタは、パワーオンリセットによって初期化されます。

表 23.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
フラッシュ端子モニタレジスタ	FPMON	R	H'00 H'80	H'FFFA800	8
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W)*1	H'00	H'FFFA810	8
フラッシュアクセスエラー割り込み許可 レジスタ	FAEINT	R/W	H'9F	H'FFFA811	8
ROM マット選択レジスタ	ROMMAT	R/(W)*2	H'0000 H'0001	H'FFFA820	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W)*2	H'0000	H'FFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R	H'80*4	H'FFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R	H'00*4	H'FFFA901	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W)*3	H'0000*4	H'FFFA902	8、16
フラッシュプロテクトレジスタ	FPROTR	R/(W)*3	H'0000*4	H'FFFA904	8、16
フラッシュリセットレジスタ	FRESETR	R/(W)*2	H'0000	H'FFFA906	8、16
FCU コマンドレジスタ	FCMDR	R	H'FFFF*4	H'FFFA90A	8、16
FCU 処理切り替えレジスタ	FCPSR	R/W	H'0000*4	H'FFFA918	8、16
フラッシュ P/E ステータスレジスタ	FPSTAT	R	H'0000*4	H'FFFA91C	8、16
ROM キャッシュ制御レジスタ	RCCR	R/W	H'00000001	H'FFFC1400	32
周辺クロック通知レジスタ	PCKAR	R/W	H'0000*4	H'FFFA938	8、16

- 【注】 *1 フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。
- *2 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。
- *3 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。
- *4 パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することができます。

23.3.1 フラッシュ端子モニタレジスタ (FPMON)

FPMON は、FWE 端子状態をモニタするためのレジスタです。FPMON は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	FWE	-	-	-	-	-	-	-
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	FWE	1/0	R	フラッシュ書き込みイネーブル FWE 端子の値をモニタするためのビットです。チップを起動した際の FWE 端子値に依存して初期値が変化します。 0 : ROM の書き込み/消去禁止 1 : ROM の書き込み/消去許可
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

23.3.2 フラッシュモードレジスタ (FMODR)

FMODR は、FCU の動作モードを指定するレジスタです。FMODR は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	FR DMD	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	FRDMD	0	R/W	FCU リードモード選択ビット FCU を使用した ROM/FLD 読み出し処理の方法を選択するためのビットです。ROM の場合には、ロックビットの確認方法を指定するビットとして使用します。（「23.6.1 FCU コマンド一覧」、「23.6.3 (13) ロックビットの読み出し」を参照）。FLD の場合には、ブランクチェックコマンド使用時に設定する必要があります（「第 24 章 データフラッシュ (FLD)」を参照）。 0 : メモリ領域リードモード ROM ロックビットリードモードで ROM のロックビットを読み出す場合にメモリ領域リードモードに設定します。 1 : レジスタリードモード ロックビットリード 2 コマンドを使用して ROM のロックビットを読み出す場合にレジスタリードモードに設定します。
3~0	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

23.3.3 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT は、ROM/FLD に対するアクセス違反の有無を確認するためのレジスタです。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります（「23.9.3 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	RO MAE	-	-	CM DLK	EE PAE	EEP IFE	EEP RPE	EEP WPE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ROMAE	0	R/(W)*	<p>アクセス違反ビット</p> <p>ROM に対するアクセス違反の有無を示すビットです。ROMAE ビットが 1 になると、FSTATR0 レジスタの ILGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。</p> <p>0 : ROM アクセスエラーなし 1 : ROM アクセスエラーあり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • FENTRYR レジスタの FENTRY0 ビットが 1 かつ ROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレスに対してリードアクセスを発行 • FENTRYR レジスタの FENTRY0 ビットが 0 の状態で、ROM 書き込み/消去用アドレスに対するアクセスを発行 • FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレスに対してリードアクセスを発行 • ユーザブートマット選択時に ROM に対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行 • ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'80800000~H'80807FFF 以外に対するアクセスを発行 <p>[クリア条件]</p> <ul style="list-style-type: none"> • ROMAE=1 を読み出した後に、0 を書き込み
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>

ビット	ビット名	初期値	R/W	説明
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです（「23.9.3 エラープロテクト」を参照）。 0 : FCU はコマンドロック状態ではない 1 : FCU はコマンドロック状態 [セット条件] • FCU がエラーを検出してコマンドロック状態に遷移後 [クリア条件] • FASTAT レジスタが H'10 の状態で、FCU がステータスクリアコマンドを処理後
3	EEPAE	0	R/(W)*	FLD アクセス違反ビット 「第 24 章 データフラッシュ (FLD)」を参照してください。
2	EEPIFE	0	R/(W)*	FLD 命令フェッチ違反ビット 「第 24 章 データフラッシュ (FLD)」を参照してください。
1	EEPRPE	0	R/(W)*	FLD リードプロテクト違反ビット 「第 24 章 データフラッシュ (FLD)」を参照してください。
0	EEPWPE	0	R/(W)*	FLD 書き込み/消去プロテクト違反ビット 「第 24 章 データフラッシュ (FLD)」を参照してください。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

23.3.4 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT は、フラッシュインタフェースエラー割り込み (FIFE) の出力許可/禁止を設定するためのレジスタです。FAEINT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ROM AEIE	-	-	CMD LKIE	EEP AEIE	EERI FEIE	EERI PEIE	EEPW PEIE
初期値 :	1	0	0	1	1	1	1	1
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル ROM アクセス違反が発生し、FASTAT レジスタの ROMAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : ROMAE=1 で FIFE 割り込み要求を発生しない 1 : ROMAE=1 で FIFE 割り込み要求を発生する
6, 5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : CMDLK=1 で FIFE 割り込み要求を発生しない 1 : CMDLK=1 で FIFE 割り込み要求を発生する
3	EEP AEIE	1	R/W	FLD アクセス違反割り込みイネーブル 「第 24 章 データフラッシュ (FLD)」を参照してください。
2	EERI FEIE	1	R/W	FLD 命令フェッチ違反割り込みイネーブル 「第 24 章 データフラッシュ (FLD)」を参照してください。
1	EERI PEIE	1	R/W	FLD リードプロテクト違反割り込みイネーブル 「第 24 章 データフラッシュ (FLD)」を参照してください。
0	EEPW PEIE	1	R/W	FLD 書き込み/消去プロテクト違反割り込みイネーブル 「第 24 章 データフラッシュ (FLD)」を参照してください。

23.3.5 ROM マット選択レジスタ (ROMMAT)

ROMMAT は、ROM のマットを切り替えるために使用するレジスタです。ROMMAT は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								—	—	—	—	—	—	—	ROMSEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*								R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて0	R/(W)*	キーコード ROMSEL ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ROMSEL	0/1	R/W	ROM マット選択ビット ROM のマットを選択するためのビットです。ユーザブートモードで起動した場合には、初期値が1になります。それ以外の場合のモードで起動した場合には、初期値が0になります。 ROMSEL ビットへの書き込みは、ワードアクセスでKEYがH'3Bの場合のみ有効です。 0: ユーザマット選択 1: ユーザブートマット選択

【注】 * 書き込みデータは保持されません。

23.3.6 FCU RAM イネーブルレジスタ (FCURAME)

FCURAME は、FCU RAM 領域へのアクセスを許可／禁止するためのレジスタです。FCURAME は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								—	—	—	—	—	—	—	FCRME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15～8	KEY	すべて 0	R/(W)*	キーコード FCRME ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FCRME	0	R/W	FCU RAM イネーブル FCU RAM へのアクセスを許可／禁止するためのビットです。FCRME ビットへの書き込みは、ワードアクセスで KEY が H'C4 の場合のみ有効です。FCU RAM に書き込む場合は、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。 0 : FCU RAM へのアクセス禁止 1 : FCU RAM へのアクセス許可

【注】 * 書き込みデータは保持されません。

23.3.7 フラッシュステータスレジスタ 0 (FSTATR0)

FSTATR0 は、FCU の状態を確認するためのレジスタです。FSTATR0 は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	FRDY	ILGL ERR	ERS ERR	PRG ERR	SUS RDY	-	ERS SPD	PRG SPD
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	FRDY	1	R	フラッシュレディビット FCU の処理状態を確認するためのビットです。 0 : 書き込み/消去処理中 書き込み/消去の中断処理中 ロックビットリード 2 コマンド処理中 FLD のブランクチェック処理中 (「第 24 章 データフラッシュ (FLD)」を参照) 1 : 上記の処理を実行していない
6	ILGLERR	0	R	イリーガルコマンドエラービット FCU が不正なコマンドや不正な ROM/FLD アクセスなどを検出したことを示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります (「23.9.3 エラープロテクト」を参照)。 0 : FCU は不正なコマンドや ROM/FLD アクセスを検出していない 1 : FCU は不正なコマンドや ROM/FLD アクセスを検出した [セット条件] • FCU が不正なコマンドを検出した • FCU が不正な ROM/FLD アクセスを検出した (FASTAT レジスタの ROMAE、EEPAAE、EEPIFE、EEPRPE、EEPWPE ビットのいずれかが 1) • FENTRYR の設定が不正 [クリア条件] • FASTAT レジスタが H'10 の状態で FCU がステータスクリアコマンドを処理後

ビット	ビット名	初期値	R/W	説明
5	ERSERR	0	R	<p>消去エラービット</p> <p>FCU による ROM/FLD 消去処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります（「23.9.3 エラープロテクト」を参照）。</p> <p>0：消去処理は正常終了 1：消去処理中にエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 消去中にエラーが発生した ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した <p>[クリア条件]</p> <ul style="list-style-type: none"> FCU がステータスクリアコマンドを処理後
4	PRGERR	0	R	<p>書き込みエラービット</p> <p>FCU による ROM/FLD 書き込み処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります（「23.9.3 エラープロテクト」を参照）。</p> <p>0：書き込み処理は正常終了 1：書き込み処理中にエラー発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込み中にエラーが発生した ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した <p>[クリア条件]</p> <ul style="list-style-type: none"> FCU がステータスクリアコマンドを処理後
3	SUSRDY	0	R	<p>サスペンドレディビット</p> <p>FCU が P/E サスペンドコマンドを受け付け可能であることを示すビットです。</p> <p>0：P/E サスペンドコマンド受け付け不可能 1：P/E サスペンドコマンド受け付け可能</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込み/消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した <p>[クリア条件]</p> <ul style="list-style-type: none"> P/E サスペンドコマンドを受け付けた 書き込み/消去処理中に、コマンドロック状態に遷移した
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	ERSSPD	0	R	<p>消去サスペンドステータスビット</p> <p>FCU が消去の中断処理中または消去サスペンド状態に移移したことを示すビットです（「23.6.4 サスペンド動作」を参照）。</p> <p>0：下記以外の状態 1：消去の中断処理中または消去サスペンド中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 消去の中断処理を開始した <p>[クリア条件]</p> <ul style="list-style-type: none"> レジュームコマンドを受け付けた
0	PRGSPD	0	R	<p>書き込みサスペンドステータスビット</p> <p>FCU が書き込みの中断処理中または書き込みサスペンド状態に移移したことを示すビットです（「23.6.4 サスペンド動作」を参照）。</p> <p>0：下記以外の状態 1：書き込みの中断処理中または書き込みサスペンド中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 書き込みの中断処理を開始した <p>[クリア条件]</p> <ul style="list-style-type: none"> レジュームコマンドを受け付けた

23.3.8 フラッシュステータスレジスタ 1 (FSTATR1)

FSTATR1 は、FCU の状態を確認するためのレジスタです。FSTATR1 は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	FCU ERR	—	—	FLO CKST	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	FCUERR	0	R	<p>FCU エラービット</p> <p>FCU 内部の CPU 処理においてエラーが発生したことを示すビットです。</p> <p>0：FCU の CPU 処理でエラー未発生 1：FCU の CPU 処理でエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> FRESETR レジスタの FRESET ビットが 1 <p>FCUERR が 1 の場合には、FRESET ビットを 1 にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。</p>

ビット	ビット名	初期値	R/W	説明
6、5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	FLOCKST	0	R	ロックビットステータスビット ロックビットリード2コマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリード2コマンド発行後に、FRDY ビットが1になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード2コマンドの終了まで保持されます。 0：プロテクト状態 1：非プロテクト状態
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

23.3.9 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR は、ROM/FLD を P/E モードに設定するために使用するレジスタです。ROM/FLD を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 のいずれかのビットに 1 を設定する必要があります。FENTRYR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

FENTRYR をアクセスして FCU のモードを遷移させるときには、FENTRYR を書き込んだ後にリードを行います。リードをしてレジスタが設定値になっていることを確認後、ROM の書き込み、消去、リードの各動作を行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								FENTRYD	—	—	—	—	—	—	FENTRY0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	FLD P/E モードエントリビット 「第 24 章 データフラッシュ (FLD)」を参照してください。
6~1	—	すべて 0	R	リザーブビット 書き込みを行う場合は 0 を書き込んでください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説明
0	FENTRY0	0	R/W	<p>ROM P/E モードエントリビット 0</p> <p>ROM を P/E モードに設定するためのビットです。</p> <p>0 : ROM はリードモード 1 : ROM は P/E モード</p> <p>書き込みは、以下の条件をすべて満たす場合に有効です。</p> <ul style="list-style-type: none"> • FPMON レジスタの FWE ビットが 1 • FSTATR0 レジスタの FRDY ビットが 1 • ワードアクセスで FEKEY に H'AA 書き込み <p>[セット条件]</p> <ul style="list-style-type: none"> • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY0 に 1 を書き込んだ場合 <p>[クリア条件]</p> <ul style="list-style-type: none"> • FSTATR0 レジスタの FRDY ビットが 1、かつ FPMON レジスタの FWE ビットが 0 の場合 • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRY0 に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合

【注】 * 書き込みデータは保持されません。

23.3.10 フラッシュプロテクトレジスタ (FPROTR)

FPROTR は、ロックビットによる書き込み/消去プロテクト機能の有効/無効を設定するためのレジスタです。FPROTR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FPKEY								—	—	—	—	—	—	—	FPROTCN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*								R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FPKEY	すべて 0	R/(W)*	キーコード FPROTCN ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FPROTCN	0	R/W	ロックビットプロテクトキャンセルビット ロックビットによる書き込み/消去プロテクトを有効/無効化するためのビットです。 0: ロックビットによるプロテクト有効 1: ロックビットによるプロテクト無効 [セット条件] • FENTRYR レジスタの値が H'0000 以外の状態で、ワードアクセスで FPKEY に H'55、FPROTCN に 1 を書き込んだ場合 [クリア条件] • バイトアクセスで書き込んだ場合 • ワードアクセスで FPKEY が H'55 以外の状態で書き込んだ場合 • ワードアクセスで FPKEY に H'55、FPROTCN に 0 を書き込んだ場合 • FENTRYR レジスタの値が H'0000 の場合

【注】 * 書き込みデータは保持されません。

23.3.12 FCU コマンドレジスタ (FCMDR)

FCMDR は、FCU が受け付けたコマンドを格納するレジスタです。FCMDR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMDR								PCMDR							
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	CMDR	H'FF	R	コマンドレジスタ FCU が受け付けた最新のコマンドを格納するレジスタです。
7~0	PCMDR	H'FF	R	プレコマンドレジスタ FCU が受け付けた 1 つ前のコマンドを格納するレジスタです。

表 23.3 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、「24.6 ユーザモード/ユーザプログラムモード/ユーザブートモード」を参照してください。

表 23.3 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	H'FF	前回コマンド
ステータスリードモード移行	H'70	前回コマンド
ロックビットリードモード移行 (ロックビットリード 1)	H'71	前回コマンド
プログラム	H'E8	前回コマンド
ブロックイレーズ	H'D0	H'20
P/E サスペンド	H'B0	前回コマンド
P/E レジューム	H'D0	前回コマンド
ステータスレジスタクリア	H'50	前回コマンド
ロックビットリード 2 ブランクチェック	H'D0	H'71
ロックビットプログラム	H'D0	H'77
周辺クロック通知	H'E9	前回コマンド

23.3.13 FCU 処理切り替えレジスタ (FCPSR)

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。FCPSR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ESUSPMD	0	R/W	消去サスペンドモード FCU が ROM/FLD の消去処理を実行中に P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです（「23.6.4 サスペンド動作」を参照）。 0: サスペンド優先モード 1: 消去優先モード

23.3.14 フラッシュ P/E ステータスレジスタ (FPESTAT)

FPESTAT は、ROM/FLD の書き込み／消去処理結果を示すレジスタです。FPESTAT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PEERRST							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	PEERRST	H'00	R	P/E エラーステータスビット ROM/FLD の書き込み／消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRST ビットの値は、FSTATR0 レジスタの PRGERR ビットまたは ERSERR ビットが 1 の状態でのみ有効です。ERSERR ビットと PRGERR ビットが 0 の場合の PEERRST ビットには、過去に発生したエラー原因の値が保持されます。 H'01: ロックビットでプロテクトされた領域に対する書き込みエラー H'02: ロックビットプロテクト以外の要因による書き込みエラー H'11: ロックビットでプロテクトされた領域に対する消去によるエラー H'12: ロックビットプロテクト以外の要因による消去エラー 上記以外: 予約

23.3.15 ROM キャッシュ制御レジスタ (RCCR)

RCCR には、ROM キャッシュの全ラインの無効化を制御する RCF ビットがあります。

本レジスタはロングワードでしかアクセスできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	RCF	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RCF	0	R/W	ROM キャッシュフラッシュ 1 を書き込むと、ROM キャッシュにキャッシングされた命令やデータを無効 (フラッシュ) にします。読み出すと 0 が読み出されます。 0 : ROM キャッシュにキャッシングされた命令やデータを無効にしない 1 : ROM キャッシュにキャッシングされた命令やデータを無効にする [クリア条件] • リセット/スタンバイ [セット条件] • 1 を書き込む
2、1	—	すべて 0	R	リザーブビット 書き込みを行う場合は 0 を書き込んでください。1 を書き込んだ場合の動作は保証しません。
0	—	1	R	リザーブビット 書き込みを行う場合は 1 を書き込んでください。0 を書き込んだ場合の動作は保証しません。

23.3.16 周辺クロック通知レジスタ (PCKAR)

PCKAR は、ROM およびデータフラッシュの書き込み/消去時に周辺クロック (Pφ) の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み/消去時間の制御に使用されます。PCKAR は、パワーオンリセットおよび FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCKA[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書き込んだ場合の動作は保証しません。
7~0	PCKA[7:0]	H'00	R/W	周辺クロック通知ビット ROM およびデータフラッシュの書き込み/消去時に周辺クロック (Pφ) を設定するためのビットです。書き込み/消去を行う前に PCKA ビットに Pφ の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM およびデータフラッシュの書き込み/消去中は、周波数を変更しないでください。 設定値は以下のように算出してください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA ビットに書き込む。 たとえば、周辺クロックの動作周波数が 35.9MHz の場合は以下のように設定します。 <ul style="list-style-type: none"> 35.9MHz を切り上げて 36MHz とする。 36 を 2 進数に変換し、H'24 (B'00100100) を PCKA[7:0] ビットに設定する。 【注】 1. PCKA ビットが 20MHz~50MHz または 20MHz~40MHz の範囲外に設定された場合、ROM およびデータフラッシュに対する書き換えコマンドを発行しないでください。 2. 実周波数と異なる周波数を PCKA ビットに設定した場合、ROM およびデータフラッシュのデータが破壊される可能性があります。

23.4 ROM 関連モード概要

図 23.4 に本 LSI のモード遷移図 (ROM 関連) を示します。MD0 端子と FWE 端子の設定値と本 LSI の動作モードの関係については「第 3 章 MCU 動作モード」を参照してください。

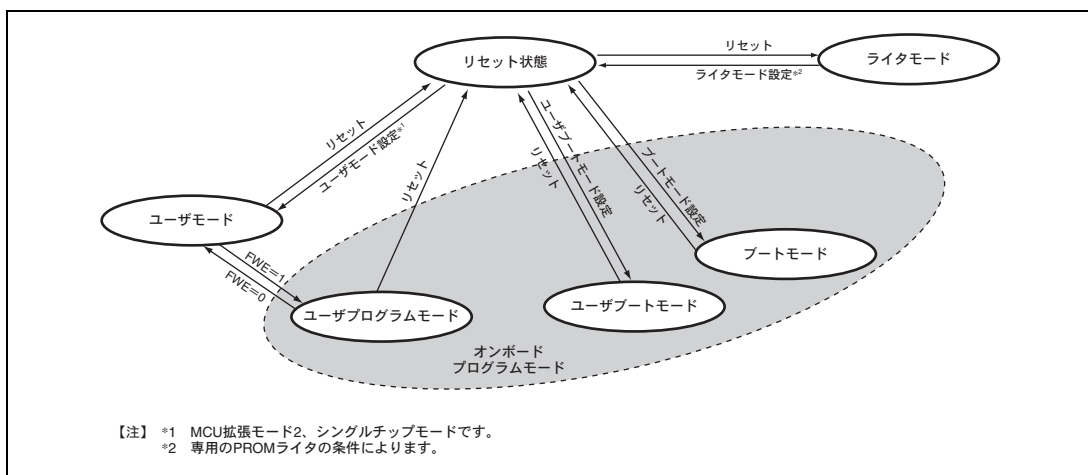


図 23.4 ROM に関するモード遷移図

- ユーザモード (MCU拡張モード2、シングルチップモード) では、ROMの読み出しは可能ですが、書き込み／消去は実施できません。
- ユーザプログラムモード／ユーザブートモード／ブートモードでは、オンボードでROMの読み出し／書き込み／消去を実施できます。

表 23.4 に、ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモード書き込み/消去関連項目の比較表を示します。

表 23.4 プログラムモードの比較

項目	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボードプログラム			オフボードプログラム
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
書き込み/消去制御	ホスト	FCU	FCU	ライター
全面消去	○ (自動)	○	○	○ (自動)
ブロック分割消去	○* ¹	○	○	×
書き込みデータ転送	ホストから SCIF 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライター経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブートマット* ²	組み込みプログラム 格納マット
MCU 動作モードへの遷移	モード設定変更 & リセット	FWE 設定変更	モード設定変更 & リセット	—

【注】 *1 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。

*2 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み/消去は、ブートモード、ライターモードでのみ可能です。
- ブートモードでは、起動直後にユーザマット/ユーザブートマット/FLDのデータマットが全面消去されます。その後、ホストからSCIF経由でのユーザマット/ユーザブートマット/データマットの書き込みが可能になります。ROM内容の読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

23.5 ブートモード

23.5.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマットの書き込み/消去を実行可能です。ホストと本 LSI 間の通信には、本 LSI 内蔵の SCIF を調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。本 LSI をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCIF のビットレートの自動調整と制御コマンド方式でのホスト⇄本 LSI 間の通信が実現されます。

図 23.5 にブートモード時のシステム構成を示します。ブートモードでは NMI、IRQ6~IRQ0 の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。また、ブートモード時には AUD は使用できませんのでご注意ください。

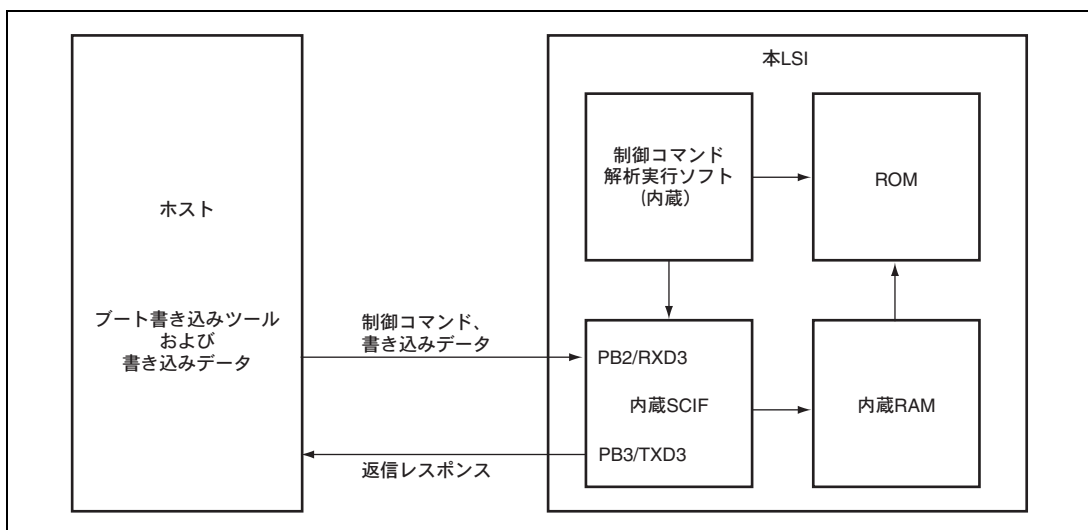


図 23.5 ブートモード時のシステム構成

23.5.2 ブートモードの状態遷移

図 23.6 にブートモードの状態遷移図を示します。

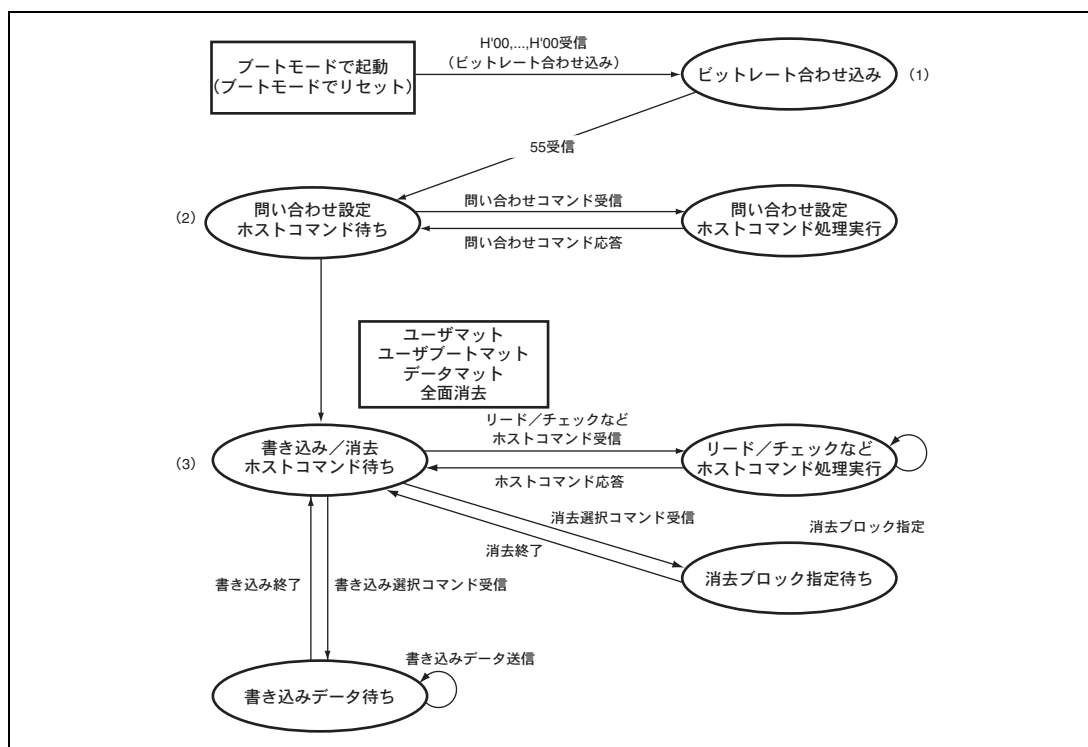


図 23.6 ブートモードの状態遷移図

(1) ビットレート合わせ込み

本 LSI をブートモードで起動すると、ホストと SCIF のビットレート自動調整を実行します。ビットレートの自動調整が終了すると、本 LSI からホストへ H'00 を送信します。その後、ホストから送信された H'55 を本 LSI が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は、「23.5.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み消去ステータス遷移コマンドを発行すると、本 LSI はユーザマット/ユーザブートマット/FLD のデータマットの全面消去を実行し、書き込み/消去ホストコマンド待ち状態に遷移します。問い合わせ設定ホストコマンドの詳細は「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(3) 書き込み/消去ホストコマンド待ち

ホストからのコマンドに従って、書き込み/消去を実行する状態です。本 LSI が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード/チェックなどコマンド処理実行状態に遷移します。

本 LSI が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを H'FFFFFFF と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み/消去コマンド待ち状態に遷移します。

本 LSI が消去選択コマンドを受信すると消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を H'FF と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み/消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み/消去ホストコマンド状態に遷移する間にユーザマット/ユーザブートマット/FLD のデータマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み/消去以外に、ユーザマット/ユーザブートマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、ステータス情報取得のためのホストコマンドもあります。書き込み/消去ホストコマンド待ち状態で実行できるホストコマンドの詳細は「23.5.5 書き込み/消去ホストコマンド待ち状態」を参照してください。

23.5.3 ビットレートの自動調整

本 LSI をブートモードで起動すると、ホストから連続送信される調歩同期式 SCIF 通信のデータ H'00 のローレベル期間を測定します。ローレベル期間測定時のホストの SCIF 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。本 LSI は測定したローレベル期間からホストの SCIF のビットレートを計算し、ビットレート調整が終了すると H'00 をホストへ送信します。ホストが H'00 を正常に受信した場合には、ホストから本 LSI に H'55 を送信してください。H'00 を正常に受信できなかった場合には、本 LSI をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 LSI は H'55 を正常に受信すると H'E6 を送信し、H'55 を正常に受信できなかった場合には H'FF を送信します。

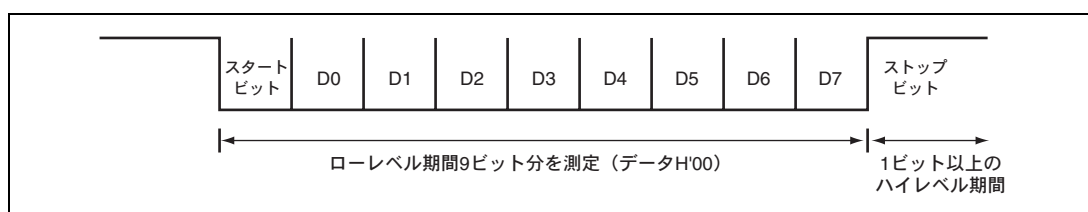


図 23.7 ビットレート自動調整時の SCIF 送受信フォーマット

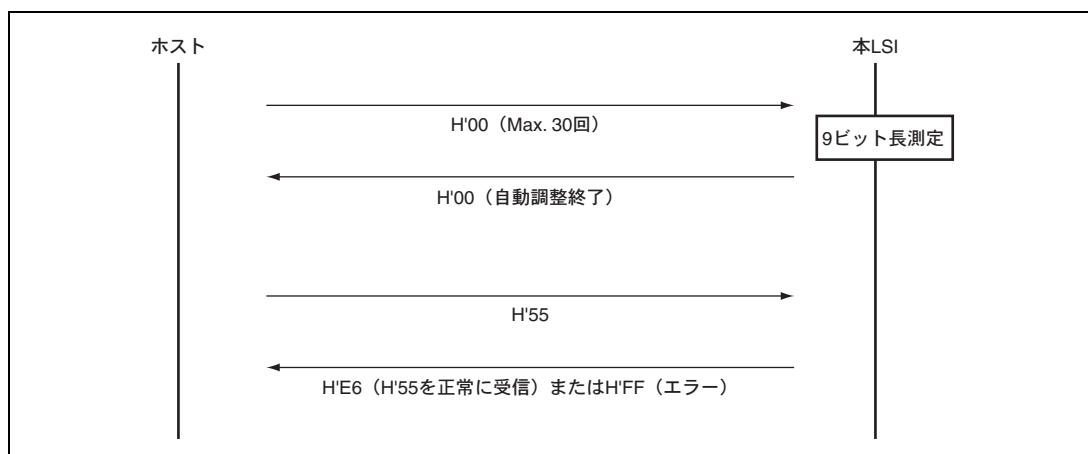


図 23.8 ホストと本 LSI 間の通信シーケンス

ホストの SCIF のビットレートや本 LSI の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 23.5 に示した条件で SCIF の通信を行うようにしてください。

表 23.5 ビットレート自動調整が可能な条件

ホストの SCIF のビットレート	本 LSI の周辺クロックの周波数
9,600bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)
19,200bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)

23.5.4 問い合わせ設定ホストコマンド待ち状態

表 23.6 に、問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、書き込み/消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表 23.6 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモードの問い合わせ
クロックモード選択	クロックモードの選択
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブートマット情報問い合わせ	ユーザブートマットの個数、先頭/最終アドレスの問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭/最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇄本 LSI 間の SCIF 通信のビットレートを変更
書き込み消去ステータス遷移	ユーザマット/ユーザブートマット/FLD のデータマットの全面消去、および書き込み/消去ホストコマンド待ち状態への遷移
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下のとおりです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	H'80	コマンド
----------	------	------

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、本 LSI の設定を行ってください。また、サポートデバイス問い合わせ/クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本 LSI がコマンドエラーのレスポンスを送信します。図 23.9 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

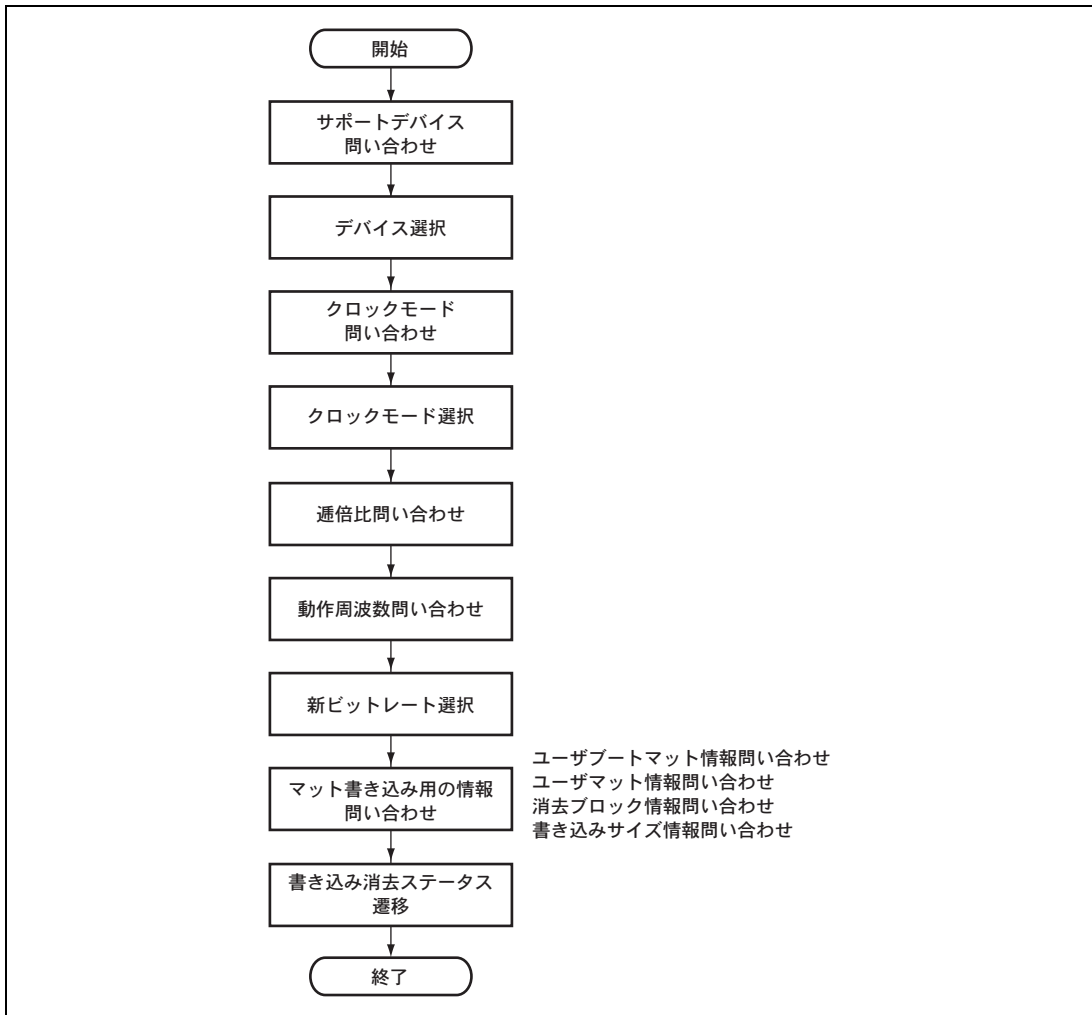


図 23.9 問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報を本 LSI が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本 LSI は選択したデバイスの情報のみ送信します。

コマンド	H'20			
レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	文字数	デバイスコード		品名

	文字数	デバイスコード		品名
	SUM			

【記号説明】

サイズ (1 バイト) : デバイス数、文字数、デバイスコード、品名のデータの総バイト数

デバイス数 (1 バイト) : ブートモード用の組み込みプログラムがサポートする品種数

文字数 (1 バイト) : デバイスコードと品名の文字数

デバイスコード (4 バイト) : チップ品名の ASCII コード

品名 (n バイト) : サポートデバイス名の ASCII コード

SUM (1 バイト) : サムチェック

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本 LSI は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、本 LSI はサポートデバイスを指定したデバイスに変更し、レスポンス (H'06) を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'90) を送信します。

サポートデバイス問い合わせの結果、デバイス数が H'01 であった場合も、デバイス選択コマンドで問い合わせ結果のデバイスコードの値を設定してください。

コマンド	H'10	サイズ	デバイスコード	SUM
レスポンス	H'06			
エラーレスポンス	H'90	エラー		

【記号説明】

サイズ (1 バイト) : デバイスコードの文字数 (固定値で 4)

デバイスコード (4 バイト) : チップ品名の ASCII コード (サポートデバイス問い合わせコマンドの応答と同一のコード)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー (コマンドが不正)

H'21 : デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本 LSI が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本 LSI は選択したクロックモードの情報のみ送信します。

コマンド	H'21			
レスポンス	H'31	サイズ		
	モード	モード	...	モード
	SUM			

【記号説明】

サイズ (1 バイト) : モード数、モードのデータの総バイト数

モード (1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1)

SUM (1 バイト) : サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本 LSI は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本 LSI はクロックモードを指定したモードに変更し、レスポンス (H'06) を送信します。サポート可能なモードではなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'91) を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が H'00 または H'01 であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	H'11	サイズ	モード	SUM
レスポンス	H'06			
エラーレスポンス	H'91	エラー		

【記号説明】

サイズ (1 バイト) : モードの文字数 (固定値で 1)

モード (1 バイト) : クロックモード (クロックモード問い合わせコマンドの応答と同一のモード)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー (コマンドが不正)

H'22 : クロックモード不一致

(5) 通倍比問い合わせ

ホストが通倍比問い合わせコマンドを送信すると、クロック種類、通倍比/分周比の種類、通倍比/分周比の情報を本 LSI が送信します。

コマンド	H'22				
レスポンス	H'32	サイズ	クロック数		
	通倍比種類	通倍比	通倍比	...	通倍比
	通倍比種類	通倍比	通倍比	...	通倍比

	通倍比種類	通倍比	通倍比	...	通倍比
	SUM				

【記号説明】

サイズ (1 バイト) : クロック数、通倍比種類、通倍比のデータの総バイト数

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

通倍比種類 (1 バイト) : 選択可能な通倍比/分周比の種類 (例 : H'03 内部クロックは 4 通倍、6 通倍、8 通倍の 3 種類)

通倍比 (1 バイト) : 通倍比 (例 : H'04=4 4 通倍) ←正の数で指定

分周比 (例 : HFE=-2 2 分周) ←負の数で指定

SUM (1 バイト) : サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本 LSI が送信します。

コマンド	H'23		
レスポンス	H'33	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数

	最小周波数		最大周波数
	SUM		

【記号説明】

サイズ (1 バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

最小周波数 (2 バイト) : 動作周波数の最小値 (例 : H'07D0 20.00MHz)

周波数 (MHz) の小数点第 2 位までの値を 100 倍した値

最大周波数 (2 バイト) : 動作周波数の最大値で、書式は最小周波数と同様

SUM (1 バイト) : サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'24		
レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : ユーザブートマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : ユーザブートマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : ユーザブートマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

(8) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせるとユーザマットのエリア数とアドレスの情報を本LSIが送信します。

コマンド	H'25		
レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : ユーザマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : ユーザマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : ユーザマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報を本 LSI が送信します。

コマンド	H'26		
レスポンス	H'36	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

【記号説明】

サイズ (2 バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数

ブロック数 (1 バイト) : ユーザマットの消去ブロック数

エリア先頭アドレス (4 バイト) : 消去ブロックの先頭アドレス

エリア最終アドレス (4 バイト) : 消去ブロックの最終アドレス

SUM (1 バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、本 LSI が書き込みサイズの情報を送信します。

コマンド	H'27			
レスポンス	H'37	サイズ	書き込みサイズ	SUM

【記号説明】

サイズ (1 バイト) : 書き込みサイズの文字数 (固定値で 2)

書き込みサイズ (2 バイト) : 書き込み単位 (バイト数単位)

SUM (1 バイト) : サムチェック

(11) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本 LSI は内蔵 SCIF を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本 LSI はレスポンス (H'06) を送信し、SCIF を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス (H'BF) を送信します。ホストはレスポンス (H'06) を受信すると、新ビットレート選択コマンド送信時のビットレートで 1 ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ (H'06) を送信し、本 LSI は確認データをレスポンス (H'06) を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。



図 23.10 新ビットレート選択のシーケンス

コマンド	H'3F	サイズ	ビットレート	入力周波数
	クロック数	通倍比 1	通倍比 2	
	SUM			
レスポンス	H'06			
エラーレスポンス	H'BF	エラー		
確認	H'06			
レスポンス	H'06			

【記号説明】

サイズ (1 バイト) : ビットレート、入力周波数、クロック数、通倍比のデータの総バイト数

ビットレート (2 バイト) : 新ビットレート (例 : H'00C0 19200bps)
ビットレート値を 1/100 した値を設定

入力周波数 (2 バイト) : 本 LSI の入力周波数 (例 : H'07D0 20.00MHz)
入力周波数の小数点第 2 位までを 100 倍した値を設定

クロック数 (1 バイト) : クロックの種類 (例 : H'02 内部クロックと周辺クロックの 2 種類)

通倍比 1 (1 バイト) : 入力周波数に対する内部クロックの通倍比/分周比

通倍比 (例 : H'04=4 4 通倍) ← 正の数で指定

分周比 (例 : HFE=-2 2 分周) ← 負の数で指定

通倍比 2 (1 バイト) : 入力周波数に対する周辺クロックの通倍比/分周比

通倍比 1 と同じフォーマット

SUM (1 バイト) : サムチェック

エラー : エラーコード H'11 : サムチェックエラー

H'24 : ビットレート選択不可エラー

H'25 : 入力周波数エラー

H'26 : 通倍比エラー

H'27 : 動作周波数エラー

• ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、本 LSI の SCIF が誤差 4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートを B、入力周波数を f_{EX} 、通倍比 2 を Pφ、SCIF の SCBRR レジスタの設定値を N、SCSMR レジスタの CKS[1:0] ビットの設定値を n とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \frac{f_{EX} \times P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1$$

• 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に、入力周波数エラーが発生します。

• 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に、通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

• 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で本 LSI が動作できない場合に動作周波数エラーが発生します。本 LSI は、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(12) 書き込み消去ステータス遷移

ホストが書き込み消去ステータス遷移コマンドを送信すると、本 LSI はユーザマット/ユーザブートマット/FLD のデータマットを全面消去します。全面消去が完了すると、本 LSI はレスポンス (H'06) を送信し、書き込み消去ホストコマンド待ち状態に遷移します。エラーが発生して消去が完了しなかった場合には、本 LSI はエラーレスポンス (H'C0→H'51) を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、書き込み消去ステータス遷移コマンドを発行しないでください。

コマンド	H'40	
レスポンス	H'06	
エラーレスポンス	H'C0	H'51

(13) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本 LSI は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	H'4F			
レスポンス	H'5F	サイズ	ステータス	エラー

【記号説明】

サイズ (1 バイト) : ステータス、エラーのデータの総バイト数 (固定値で 2)

ステータス (1 バイト) : 本 LSI の状態 (表 23.7 を参照)

エラー (1 バイト) : 本 LSI のエラー発生状況 (表 23.8 を参照)

表 23.7 ステータスの内容

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ホストコマンド待ち状態への遷移待ち (ビットレート選択完了)
H'31	ユーザマツト/ユーザブツトマツトの消去中
H'3F	書き込み消去ホストコマツド待ち
H'4F	書き込みデータ受信待ち
H'5F	消去ブツック指定待ち

表 23.8 エラーの内容

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブツック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマツドエラー
H'FF	ビットレート合わせ込み確認エラー

23.5.5 書き込み／消去ホストコマンド待ち状態

表 23.9 に、書き込み／消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表 23.9 書き込み／消去ホストコマンド

ホストコマンド名	機能
ユーザブートマット書き込み選択	本 LSI はユーザブートマット書き込みプログラムを選択
ユーザマット書き込み選択	本 LSI はユーザマット書き込みプログラムを選択
256 バイト書き込み	256 バイト書き込み
消去選択	本 LSI は消去用プログラムを選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザブートマット書き込み選択／ユーザマット書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、本 LSI は書き込みデータ待ち状態になります（「23.5.2 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態、ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM にデータを書き込みます。ホストが書き込み先のアドレスを H'FFFFFFF に設定して 256 バイト書き込みコマンドを送信すると、本 LSI は書き込み終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、本 LSI は消去ブロック指定待ち状態になります（「23.5.2 ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態、ホストがブロック消去コマンドを送信すると、本 LSI は ROM をブロック消去します。ホストがブロック番号に H'FF を設定してブロック消去コマンドを送信すると、本 LSI は消去終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

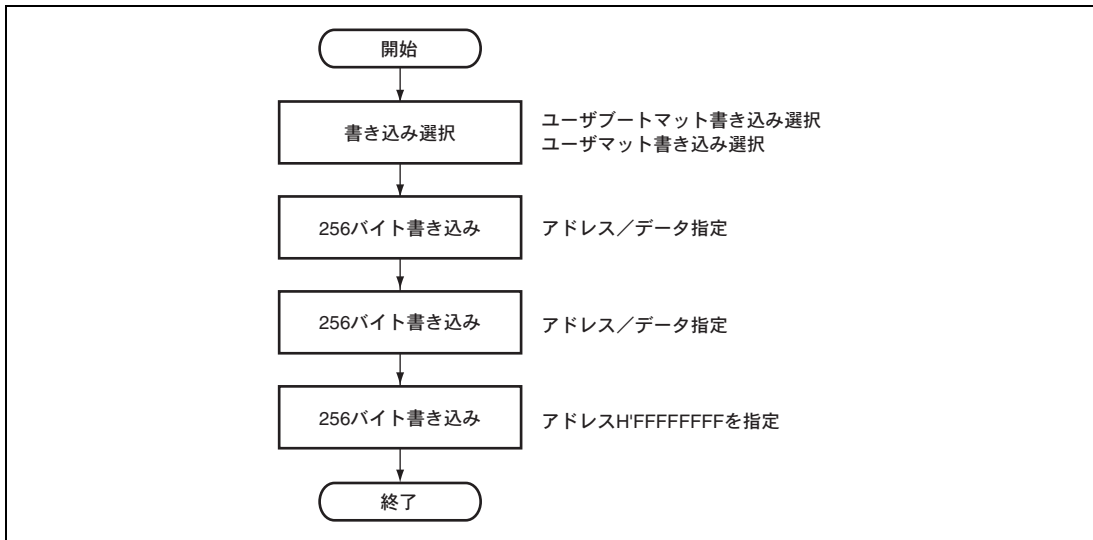


図 23.11 ブートモードでの ROM 書き込み方法

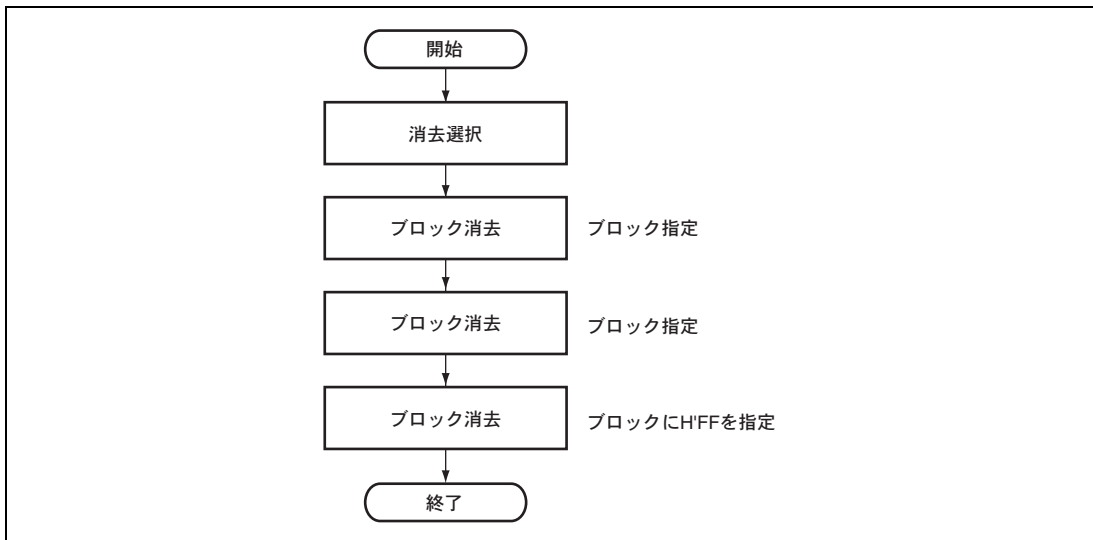


図 23.12 ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、本 LSI はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H'42
レスポンス	H'06

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、本 LSI はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H'43
レスポンス	H'06

(3) 256 バイト書き込み

ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM の書き込みを実行します。ROM の書き込みが正常に終了すると、本 LSI はレスポンス (H'06) を送信します。書き込み処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D0) を送信します。

コマンド	H'50	書き込みアドレス		
	データ	データ	...	データ
	SUM			
レスポンス	H'06			
エラーレスポンス	H'D0	エラー		

【記号説明】

書き込みアドレス (4 バイト) : 書き込み先のアドレス

書き込み実行時には 256 バイト境界にアラインしたアドレス

書き込み終了を指定する場合には H'FFFFFF を送信

データ (256 バイト) : 書き込みデータ

書き込み不要なバイトには H'FF を指定

書き込み終了を指定する場合にはデータの送信は不要 (書き込みアドレス→SUM の順で送信する)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

H'53 : 書き込みエラーが発生して書き込めない

(4) 消去選択

ホストが消去選択コマンドを送信すると、本 LSI は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド	H'48
レスポンス	H'06

(5) ブロック消去

ホストがブロック消去コマンドを送信すると、本 LSI は ROM の消去を実行します。ROM の消去が正常に終了すると、本 LSI はレスポンス (H'06) を送信します。消去処理中にエラーが発生すると、本 LSI はエラーレスポンス (H'D8) を送信します。

コマンド	H'58	サイズ	ブロック	SUM
レスポンス	H'06			
エラーレスポンス	H'D8	エラー		

【記号説明】

サイズ (1 バイト) : ブロックのデータのバイト数 (固定値で 1)

ブロック (1 バイト) : 消去する消去ブロックの番号
消去終了を指定する場合には H'FF を送信

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'29 : ブロック番号エラー (ブロック番号が正しくない)

H'51 : 消去エラーが発生して消去できない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、本 LSI は ROM に対するリードを実行します。正常にリードが実行された場合には、本 LSI はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス (H'D2) を送信します。

コマンド	H'52	サイズ	エリア	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	H'52	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラーレスポンス	H'D2		エラー		

【記号説明】

サイズ (1 バイト) : エリア、読み出しアドレス、読み出しサイズのデータの総バイト数

エリア (1 バイト) : 読み出し対象のマット

H'00 : ユーザブートマット

H'01 : ユーザマット

読み出し先頭アドレス (4 バイト) : 読み出し対象領域の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : サムチェック

データ (1 バイト) : ROM から読み出したデータ

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

- ・エリアの選択で H'00、H'01 以外を指定
- ・読み出し先頭アドレスが指定したマットの領域外

H'2B : データエラー

- ・読み出しサイズの選択で H'00 を指定
- ・読み出しサイズがマットのサイズを超えている
- ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスがマットの領域外

(7) ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、本 LSI はユーザブートマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4A			
レスポンス	H'5A	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザブートマットのサムチェック結果

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(8) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、本 LSI はユーザマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'4B			
レスポンス	H'5B	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : ユーザマットのサムチェック結果

SUM (1 バイト) : サムチェック (レスポンスデータのサムチェック)

(9) ユーザブートマトブランクチェック

ホストがユーザブートマトブランクチェックコマンドを送信すると、本 LSI はユーザブートマトがすべて消去状態であるかをチェックします。ユーザブートマトがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザブートマトに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CC→H'52) を送信します。

コマンド	H'4C	
レスポンス	H'06	
エラーレスポンス	H'CC	H'52

(10) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、本 LSI はユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。ユーザマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'CD→H'52) を送信します。

コマンド	H'4D	
レスポンス	H'06	
エラーレスポンス	H'CD	H'52

(11) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、本 LSI はロックビットに対するリードを実行します。正常にリードが実行された場合には、本 LSI はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス (H'F1) を送信します。

コマンド	H'71	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	ステータス					
エラーレスポンス	H'F1	エラー				

【記号説明】

サイズ (1 バイト) : エリア、中位アドレス、上位アドレスのデータの総バイト数 (固定値で 3)

エリア (1 バイト) : 読み出し対象のマット

H'00 : ユーザブートマト

H'01 : ユーザマット

中位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの中位アドレス (8~15 ビット)

上位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの上位アドレス (16~23 ビット)

SUM (1 バイト) : サムチェック

ステータス (1 バイト) : ビット 6 が "0" でロック状態

: ビット 6 が "1" でアンロック状態

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

(12) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、本 LSI はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、本 LSI はレスポンス (H'06) を送信します。ロックされなかった場合には、本 LSI はエラーレスポンス (H'F7) を送信します。

コマンド	H'77	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	H'06					
エラーレスポンス	H'F7	エラー				

【記号説明】

サイズ (1 バイト) : エリア、中位アドレス、上位アドレスのデータの総バイト数 (固定値で 3)

エリア (1 バイト) : ロック対象のマット

H'00 : ユーザブートマット

H'01 : ユーザマット

中位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの中位アドレス (8~15 ビット)

上位アドレス (1 バイト) : 指定ブロックの最後尾のアドレスの上位アドレス (16~23 ビット)

SUM (1 バイト) : サムチェック

エラー (1 バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー (アドレスが指定のマット内でない)

H'53 : 書き込みエラーが発生しロック状態にできない

(13) ロックビット有効

ホストがロックビット有効コマンドを送信すると、本 LSI はロックビットを有効にします。

コマンド	H'7A
レスポンス	H'06

(14) ロックビット無効

ホストがロックビット無効コマンドを送信すると、本 LSI はロックビットを無効にします。

コマンド

H'75

レスポンス

H'06

(15) ブートプログラムステータス問い合わせ

詳細については「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

23.6 ユーザプログラムモード

23.6.1 FCU コマンド一覧

ユーザプログラムモードでは、FCU へ FCU コマンドを発行してユーザメモリの書き込み/消去を実行します。表 23.10 に、ROM 書き込み/消去で使用可能な FCU コマンドの一覧を示します。

表 23.10 FCU コマンド一覧 (ROM 関連)

コマンド	機能
ノーマルモード移行	ノーマルモードに遷移 (「23.6.2 FCU コマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移 (「23.6.2 FCU コマンド受け付け条件」を参照)
ロックビットリードモード移行 (ロックビットリード 1)	ロックビットリードモードに遷移 (「23.6.2 FCU コマンド受け付け条件」を参照)
プログラム	ROM 書き込み (256 バイト単位)
ブロックイレーズ	ROM 消去 (ブロック単位。ロックビットも同時に消去)
P/E サスペンド	書き込み/消去の中断
P/E レジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード 2	指定した消去ブロックのロックビット読み出し (FSTATR1 レジスタの FLOCKST ビットにロックビットを反映)
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み
周辺クロック通知	周辺クロックの周波数をツークンサに通知

ロックビットリード 2/ロックビットプログラム以外の FCU コマンドは、FLD 書き込み/消去でも使用可能です。FLD に対してロックビットリード 2 コマンドを発行した場合には、FLD のブランクチェックが実行されます。また、FLD に対してロックビットプログラムコマンドを発行した場合には、不正コマンド検出によるエラーが発生します (「第 24 章 データフラッシュ (FLD)」を参照)。

FCU へのコマンド発行は、ROM 書き込み/消去用のアドレスに対する P バスライトアクセスで実現されます。表 23.11 に FCU コマンドのフォーマットを示します。表 23.11 に示した P バスライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU のコマンド受け付け条件については、「23.6.2 FCU コマンド受け付け条件」を参照してください。各 FCU コマンドの使用方法については、「23.6.3 FCU コマンド使用方法」を参照してください。

FRDMD ビットが 0 (メモリ領域リードモード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド (ロックビットリード 1) を受け付けます。ロックビットリードモードに移行後に ROM 書き込み/消去用のアドレスに対して P バスリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出しデータの全ビットにコピーされます。FRDMD ビットが 1 (レジスタリードモード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリード 2 コマンドの 2 サイクル目のコマンド (H'D0) 待ちの状態になります。この状態で、ROM 書き込み/消去用のアドレスに対して P バスライトアクセスで H'D0 を書き込むと、FCU はアクセス先に対応する消去ブロックのロックビットを FSTATR1

レジスタの FLOCKST ビットにコピーします。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各モードでの動作の詳細は「23.6.4 サスペンド動作」を参照してください。

表 23.11 FCU コマンドのフォーマット

コマンド	バス サイクル 数	1 サイクル目		2 サイクル目		3 サイクル目		4~5 サイクル目		6 サイクル目		7~130 サイクル目		131 サイクル目	
		アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ	アド レス	データ
ノーマルモード移行	1	RA	HFF	-	-	-	-	-	-	-	-	-	-	-	-
ステータスリードモード移行	1	RA	H70	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリードモード移行 (ロックビットリード1)	1	RA	H71	-	-	-	-	-	-	-	-	-	-	-	-
プログラム	131	RA	HE8	RA	H80	WA	WD1	RA	WDn	RA	WDn	RA	WDn	RA	HD0
ブロックイレーズ	2	RA	H20	BA	HD0	-	-	-	-	-	-	-	-	-	-
P/E サスペンド	1	RA	H80	-	-	-	-	-	-	-	-	-	-	-	-
P/E レジューム	1	RA	HD0	-	-	-	-	-	-	-	-	-	-	-	-
ステータスレジスタクリア	1	RA	H50	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリード2	2	RA	H71	BA	HD0	-	-	-	-	-	-	-	-	-	-
ロックビットプログラム	2	RA	H77	BA	HD0	-	-	-	-	-	-	-	-	-	-
周辺クロック設定	6	RA	HE9	RA	H03	WA	H0F0F	WA	H0F0F	RA	HD0	-	-	-	-

【記号説明】

RA : ROM 書き込み/消去用のアドレス

H'80800000~H'8087FFFF の任意アドレス

WA : ROM 書き込み先アドレス

書き込みデータ 256 バイトの先頭アドレス

BA : ROM 消去ブロックアドレス

対象消去ブロック内の任意アドレス (書き込み/消去用アドレスで指定)

WDn : 書き込みデータ n ワード目 (n=1~128)

23.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード／状態に依存します。図 23.13 に FCU のモード遷移図を示します。

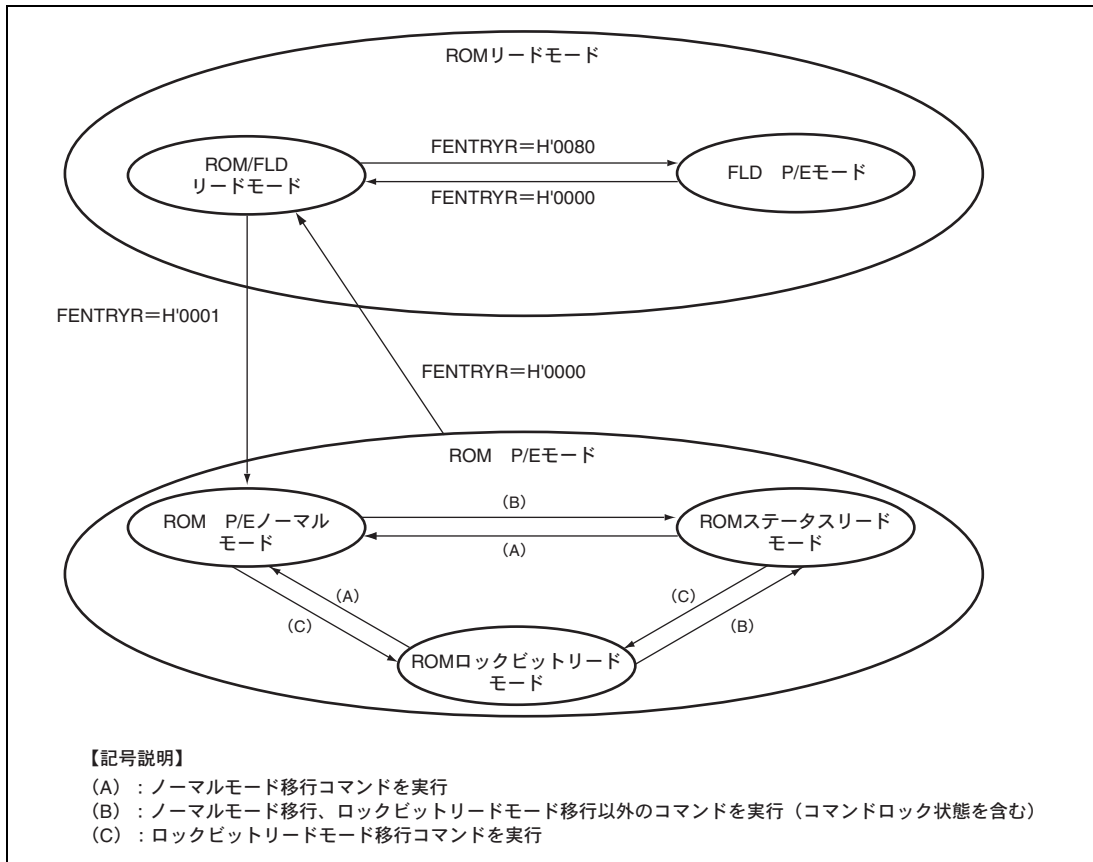


図 23.13 FCU のモード遷移図 (ROM 関連)

(1) ROM リードモード

- ROM/FLDリードモード

ROMキャッシュ経由でROMを、HPB経由でFLDを高速読み出し可能なモードです。FCUコマンドは受け付けられません。FENTRYRレジスタのFENTRY0ビットを0、かつFENTRYDビットを0に設定した場合に、このモードに遷移します。

- FLD P/Eモード

ROMキャッシュ経由でROMを高速読み出し可能なモードです。FCUはFLD関連のFCUコマンドを受け付けませんが、ROMに対するFCUコマンドは受け付けません。FENTRY0ビットを0、かつFENTRYDビットを1に設定した場合に、このモードに遷移します。FLD P/Eモードの詳細は、「23.6.2 FCUコマンド受け付け条件」を参照してください。

(2) ROM P/E モード

- ROM P/Eノーマルモード

ROMリードモード時にFENTRYDビットを0、かつFENTRY0ビットを1に設定した場合、またはROM P/Eモードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表23.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRY0ビットが1の状態ではH'80800000～H'8087FFFFに対してPバスリードアクセスを発行した場合には、ROMアクセス違反が発生してFCUはコマンドロック状態になります（「23.9.3 エラープロテクト」を参照）。

- ROMステータスリードモード

ROM P/Eモードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0レジスタのFRDYビットが0の状態やエラー発生後のコマンドロック状態も、ROMステータスリードモード中の状態です。表23.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/Eノーマルモードと同じ値です。FENTRY0ビットが1の状態ではH'80800000～H'8087FFFFに対してPバスリードアクセスを発行した場合には、FSTATR0レジスタの値が読み出されます。

- ROMロックビットリードモード

ROM P/Eモードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表23.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/Eノーマルモードと同じ値です。FENTRY0ビットが1の状態ではH'80800000~H'8087FFFFに対してPバスリードアクセスを発行した場合には、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

表 23.12 に ROM P/E モードの各モード/状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「23.9.3 エラープロテクト」を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。次ページの表 23.12 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み/消去の処理中、書き込み/中断処理の処理中、ロックビットリード 2 処理中には FSTATR0 レジスタの FRDY ビットが 0 になります。FRDY ビットが 0 の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが 1 の場合のみです。

表 23.12 では、表を簡素化するために ERSSPD ビット、PRGSPD ビット、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には 1、書き込みの中断処理中の場合には 0 になります。PRGSPD ビットは、書き込みの中断処理中の場合には 1、消去の中断処理中の場合には 0 になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表 23.12 FCU のモード/状態と受け付け可能なコマンドの関係

項 目	P/E ノーマルモード			ステータスリードモード							ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ロックビットリードの処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード 1)	○	○	○	×	×	×	○	○	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ロックビットリード 2	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○

【記号説明】

○ : 受け付け可能

△ : 消去中断したブロック以外への書き込みのみ受け付け可能

× : 受け付け不可能

23.6.3 FCU コマンド使用方法

FCU RAM へのファームウェア転送および FCU コマンド発行時のユーザ処理フロー例を示します。本節で紹介するフローでは、FCU コマンド発行前の FCU 状態確認は実施せず、フロー終了前にコマンド実行結果を確認している場合があります。FCU コマンドを確実に受け付けさせたい場合には、フロー開始前に FCU 状態を確認してください（「23.6.2 FCU コマンド受け付け条件」を参照）。

本節で紹介するフローでは、FSTATR0 レジスタの FRDY/ILGLERR/ERSERR/PRGERR/SUSRDY/ERSSPD/PRGSPD ビットと FSTATR1 レジスタの FCUERR ビットを使用して、FCU のコマンド処理状況とエラー発生状況を確認しています。FSTATR0 と FSTATR1 はワードアクセスで同時に読み出し可能であるため、1 回のレジスタアクセスで FCU の状態を確認できます。FSTATR0 レジスタの FRDY ビットと FSTAT レジスタの CMDLK ビットを使用して FCU の状態を確認する方法を使用する場合には、2 回のレジスタアクセスが必要になりますが、CMDLK ビットのみでエラーの有無を判定可能です。

FCU がコマンド処理中に FCUERR が 1 にセットされてコマンドロック状態に遷移した場合には、FRDY ビットは 0 を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが 0 から 1 にセットされることはありません。書き込み/消去時間やサスペンド遅延時間（「第 29 章 電気的特性」参照）よりも長期間にわたって FRDY が 0 に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY が 1 にセットされた場合には、FCUERR は必ず 0 の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。

図 23.14 に書き込み/消去処理の概要フローを示します。

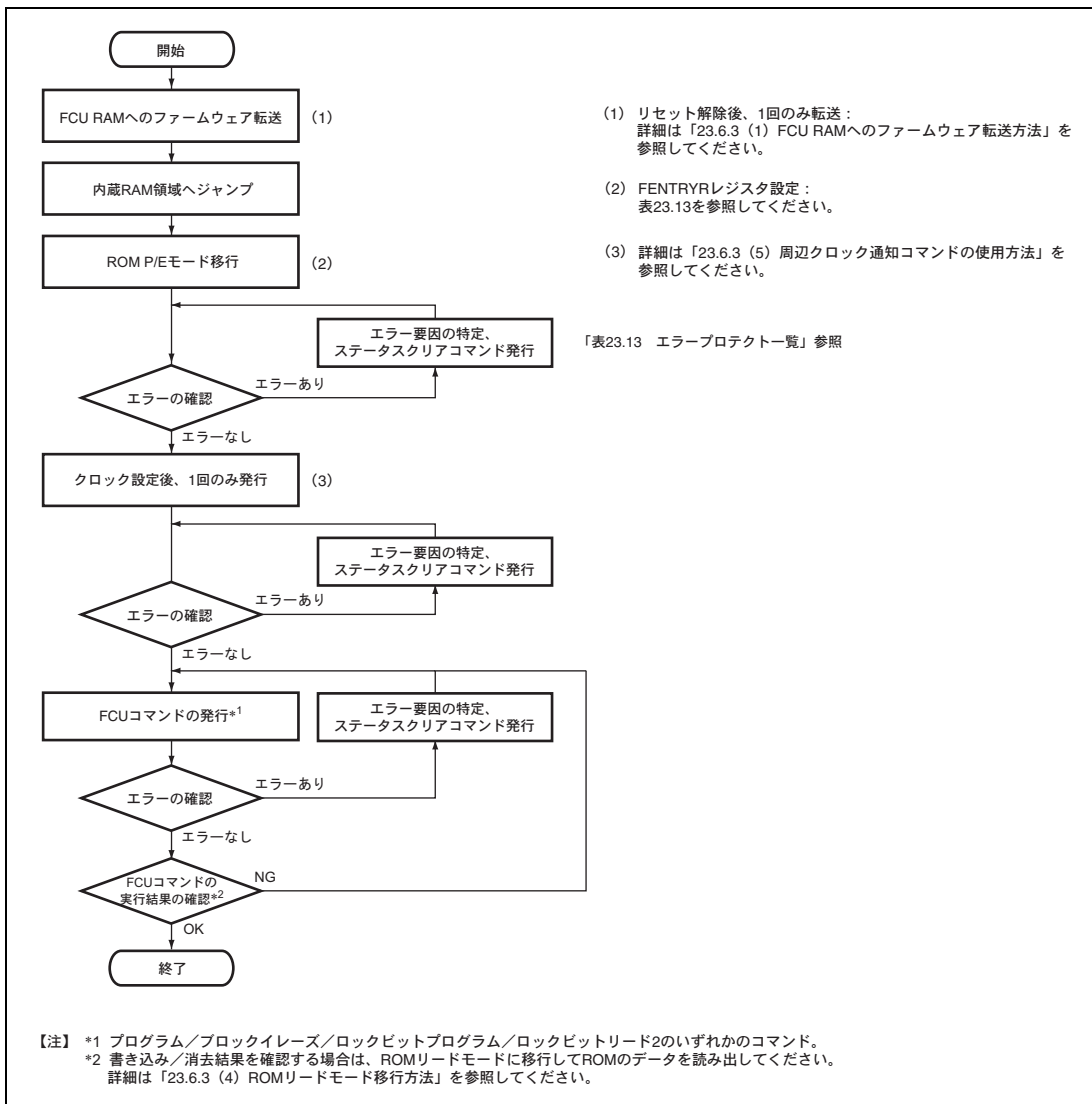


図 23.14 書き込み/消去処理の概要フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1 レジスタの FCUERR ビットが 1 の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 23.15 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書き込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。FCU RAM へのファームウェアの転送は CPU または DMAC で行ってください。DMAC 設定方法の詳細は、「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

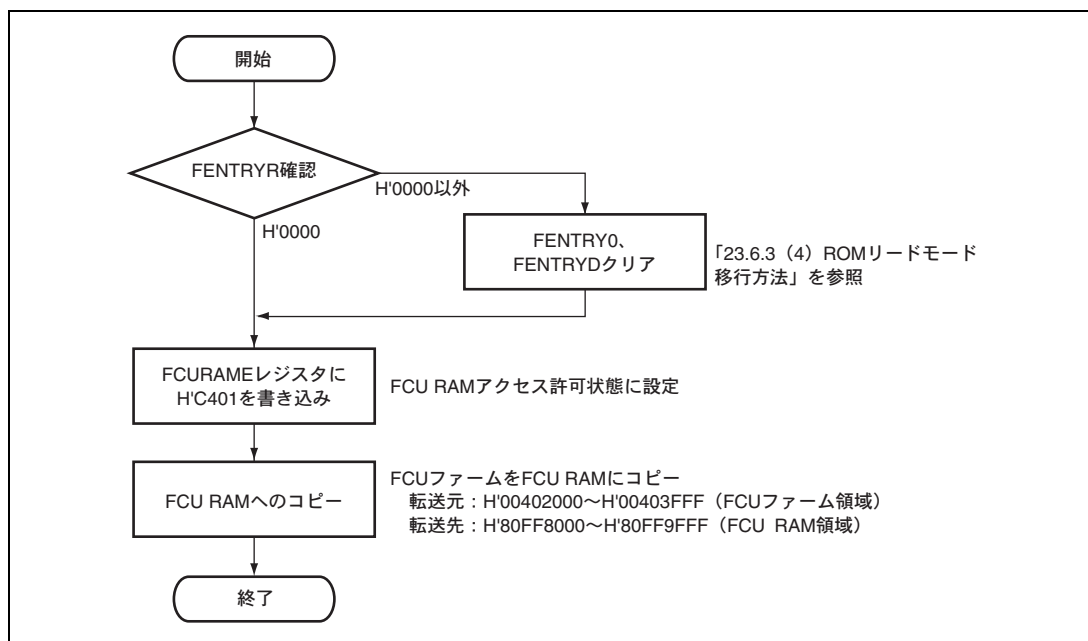


図 23.15 FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

フラッシュメモリ (ROM) への書き込み/消去を行う場合、フラッシュメモリ (ROM) に対する命令フェッチを実行させないため、フラッシュメモリ (ROM) 以外の領域に移る必要があります。必要な命令コードを内蔵 RAM にコピーして内蔵 RAM へジャンプしてください。

(3) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、FENTRYR レジスタの FENTRY0 ビットを設定して、FCU を ROM P/E モードに設定する必要があります（「23.6.2 FCU コマンド受け付け条件」を参照）。FENTRY0 ビットの書き込み条件については、「23.3.10 フラッシュプロテクトレジスタ (FPROTR)」を参照してください。ROM リードモードから ROM P/E モードに移行した場合には、ROM P/E ノーマルモードになります。

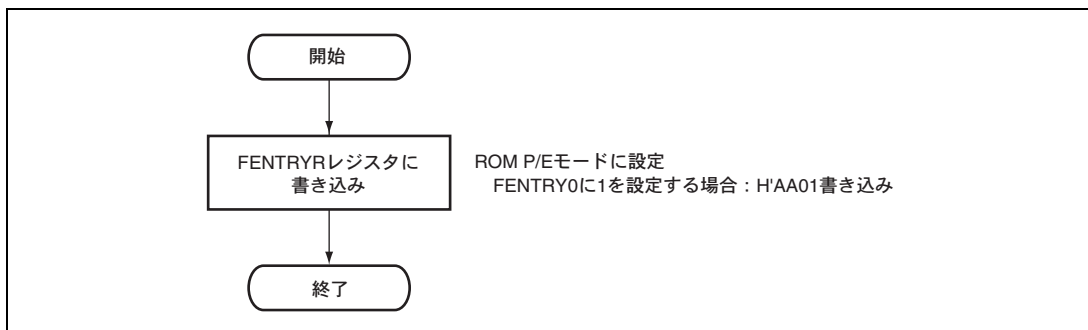


図 23.16 ROM P/E モード移行フロー

(4) ROM リードモード移行方法

ROM キャッシュ経由で ROM を高速読み出しするためには、FENTRYR レジスタの FENTRY0 ビットをクリアして、FCU を ROM リードモードに設定する必要があります（「23.6.2 FCU コマンド受け付け条件」を参照）。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

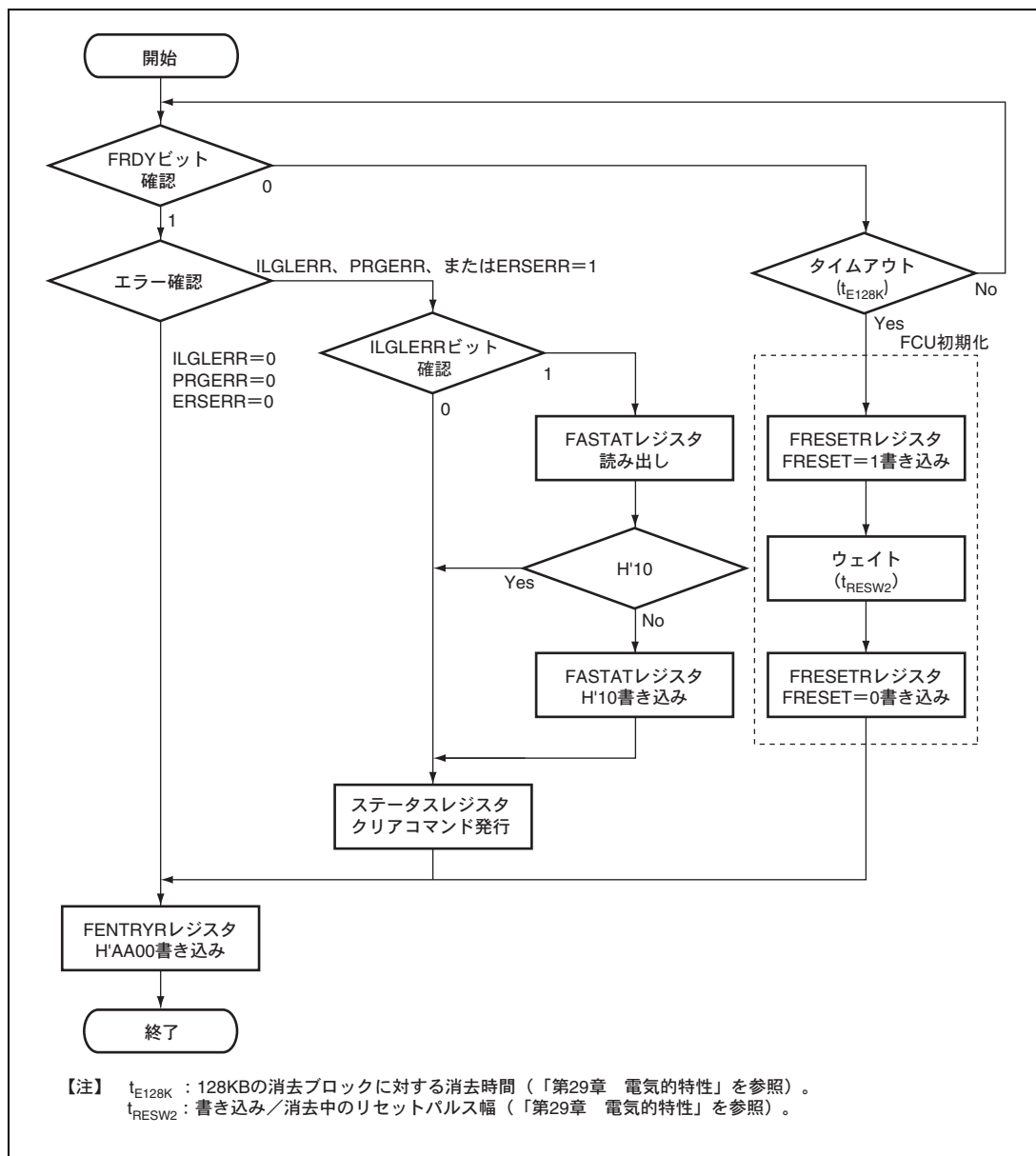


図 23.17 ROM リードモード移行フロー

(5) 周辺クロック通知コマンドの使用法

フラッシュメモリ (ROM) への書き込み/消去前に使用している周辺クロックの周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は、SH7239B と SH7237B では 20~50MHz、SH7239A と SH7237A では 20~40MHz です。この範囲に設定しないでください。設定されると、FCU はエラーを検出しコマンドロック状態になります (「23.9.3 エラープロテクト」を参照)。

PCKAR レジスタに設定後、周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは H'E9 を、第 2 サイクルでは H'03 を ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル~第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアライメントしたアドレスを使用してください。ROM 書き込み/消去用のアドレスに対して H'0F0F データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み/消去用のアドレスに対して H'D0 をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

なお、本設定はリセット解除後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドに対して有効になります。

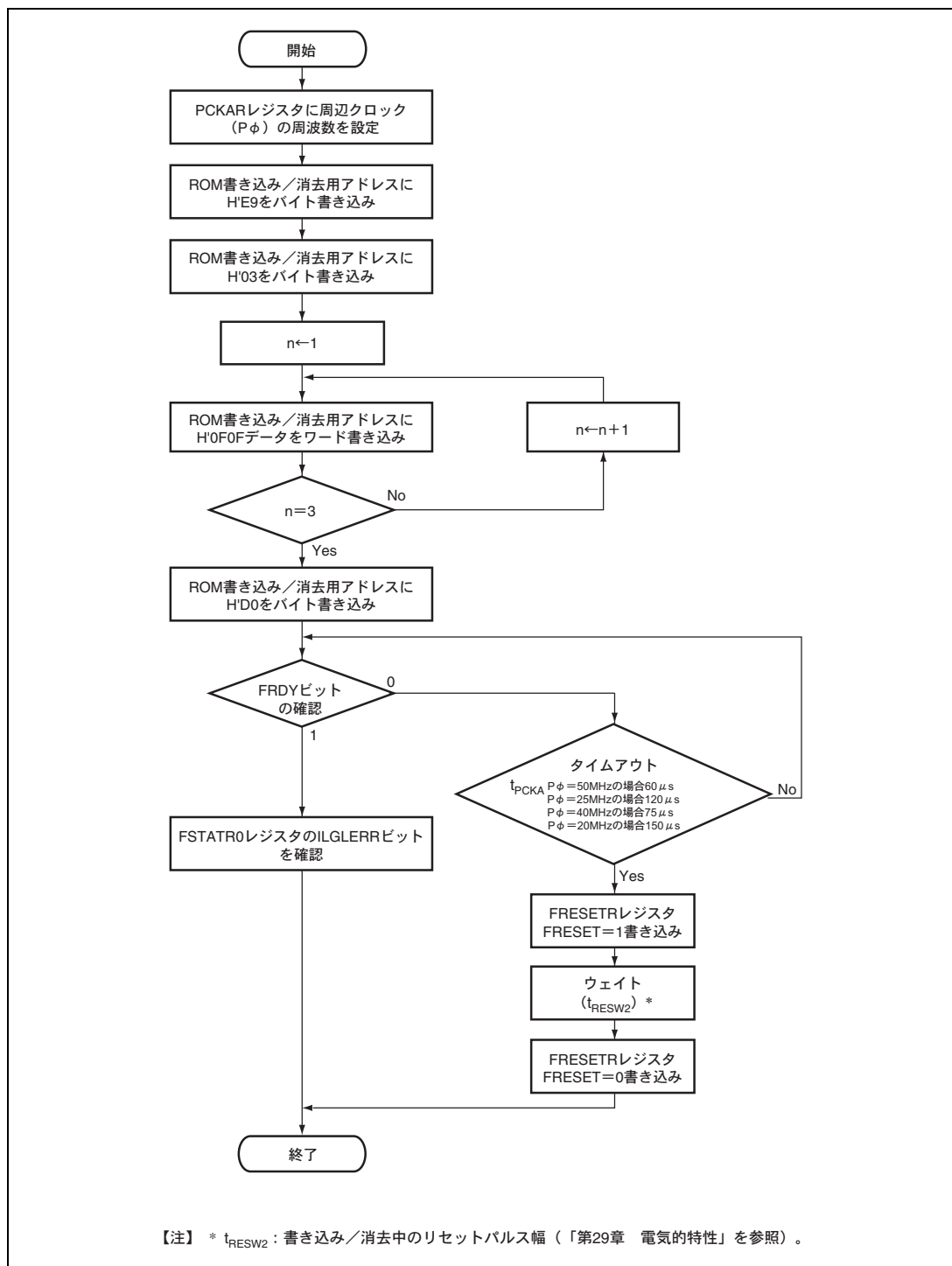


図 23.18 周辺クロック通知コマンドの使用フロー

(6) ROM P/E ノーマルモード移行コマンド使用方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「23.6.3 (1) FCU RAM へのファームウェア転送方法」を参照）と ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 23.19）があります。ステータスリードモード移行、ロックビットリードモード移行コマンドの使用方法もノーマルモード移行コマンドの使用方法と同様です。

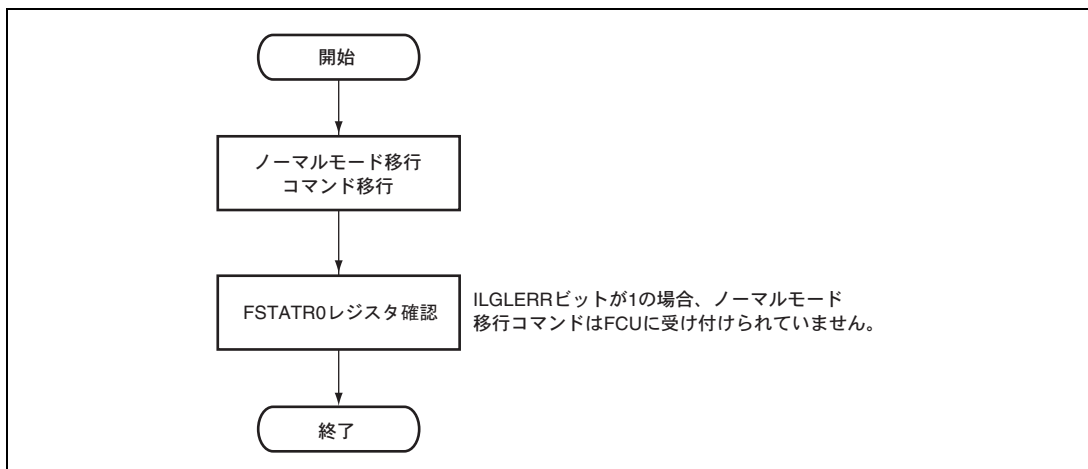


図 23.19 ROM P/E ノーマルモード移行コマンド使用方法

(7) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは H'80 を、ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第 3~130 サイクルでは、ワードサイズで P バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。その後、ROM 書き込み/消去用のアドレスに対して書き込みデータを 127 回、ワードアクセスで書き込みを実行してください。第 131 サイクルで ROM 書き込み/消去用のアドレスに対して H'D0 をバイト書き込みすると FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 3~第 130 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFF にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR レジスタの FPROTCN ビットをセットしてから書き込みを行ってください。

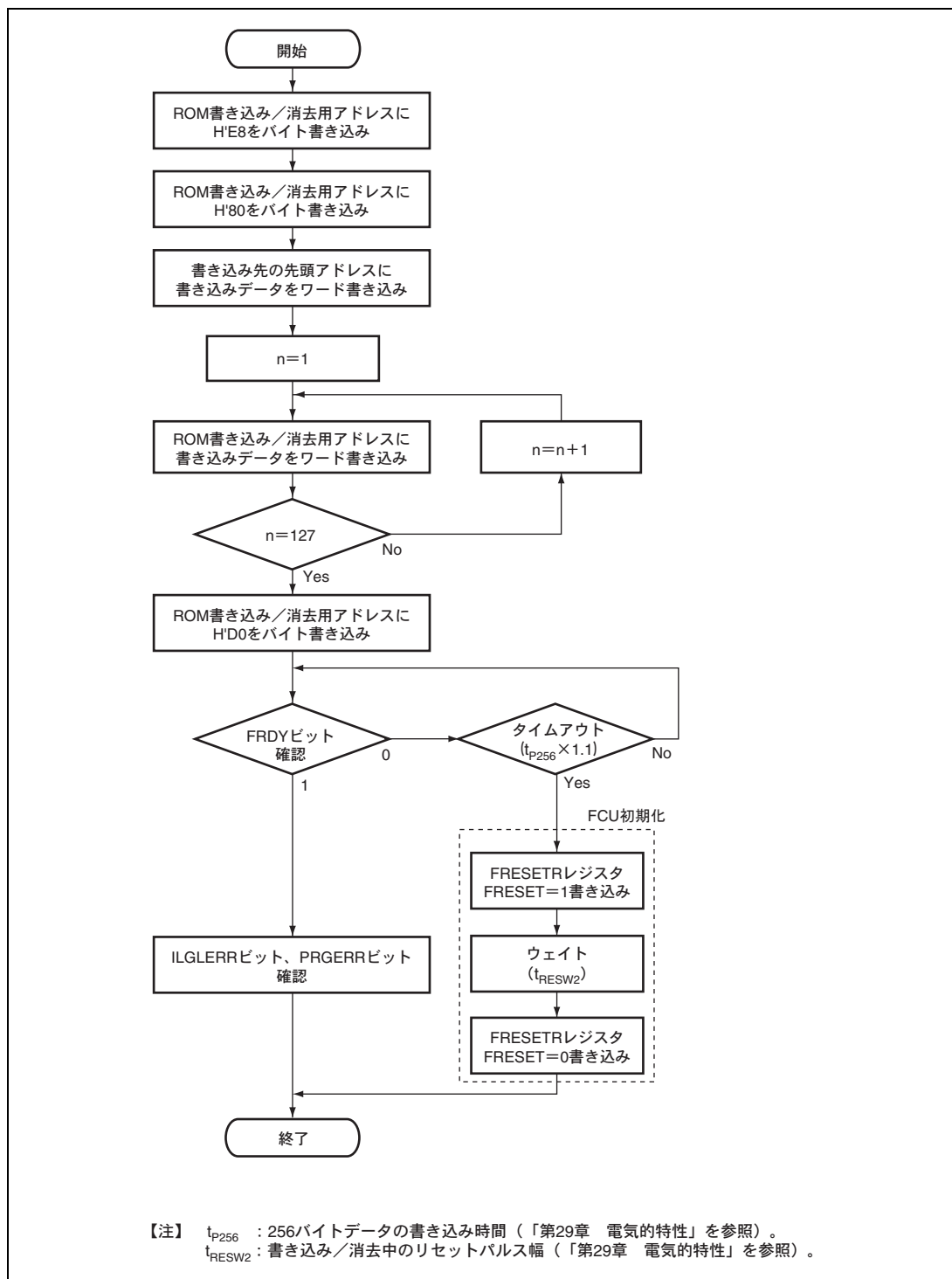


図 23.20 ROM 書き込み方法

(8) 消去方法

ROM の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドの第 1 サイクルでは H'20 を ROM 書き込み/消去用アドレスにバイト書き込みします。第 2 サイクルで H'D0 を消去対象ブロック内の任意アドレスにバイト書き込みすると FCU が ROM の消去処理を開始します。消去の完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTR レジスタの FPROTCN ビットをセットしてから消去を行ってください。

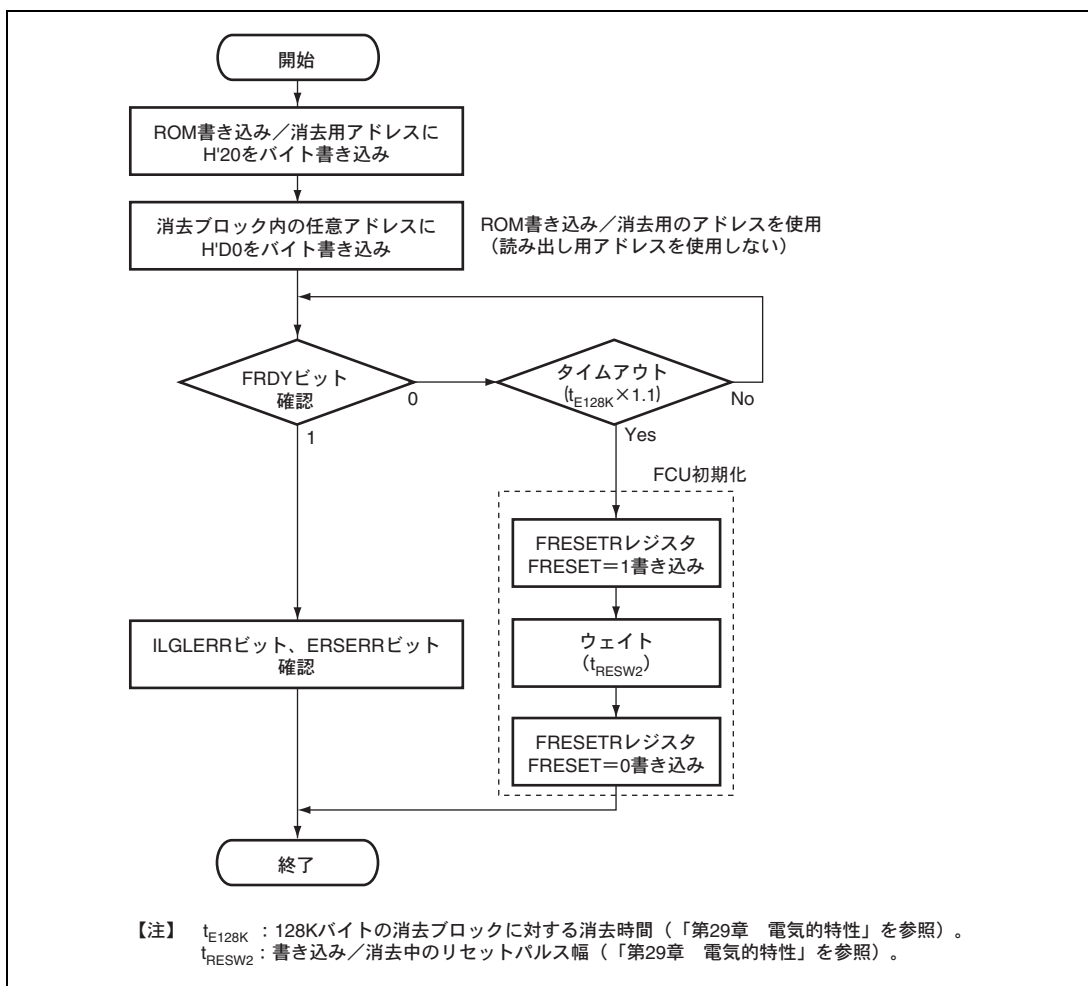


図 23.21 ROM 消去方法

(9) 書き込み/消去のサスペンド方法

ROM の書き込み/消去の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビットと FSTATR1 レジスタの FCUERR ビットが 0 で書き込み/消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0 レジスタの SUSRDY ビットが 1 であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読み出してエラーが発生していないことを確認してください。書き込み/消去処理中に異常が発生した場合には、ILGLERR/PRGERR/ERSERR/FCUERR ビットのうち少なくとも 1 つのビットが 1 になります。また、SUSRDY ビットが 1 であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み/消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが 1 になります。P/E サスペンドコマンドの受け付けと書き込み/消去処理の完了が同時であった場合には、エラーは発生せず、サスペンド状態にも遷移しません (FRDY ビットが 1 かつ ERSSPD ビットと PRGSPD ビットが 0)。P/E サスペンドコマンドが受け付けられて、書き込み/消去の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが 1 かつ ERSSPD ビットまたは PRGSPD ビットが 1 になります。P/E サスペンドコマンドの発行後は、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにもかかわらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します (「23.9.3 エラープロテクト」を参照)。

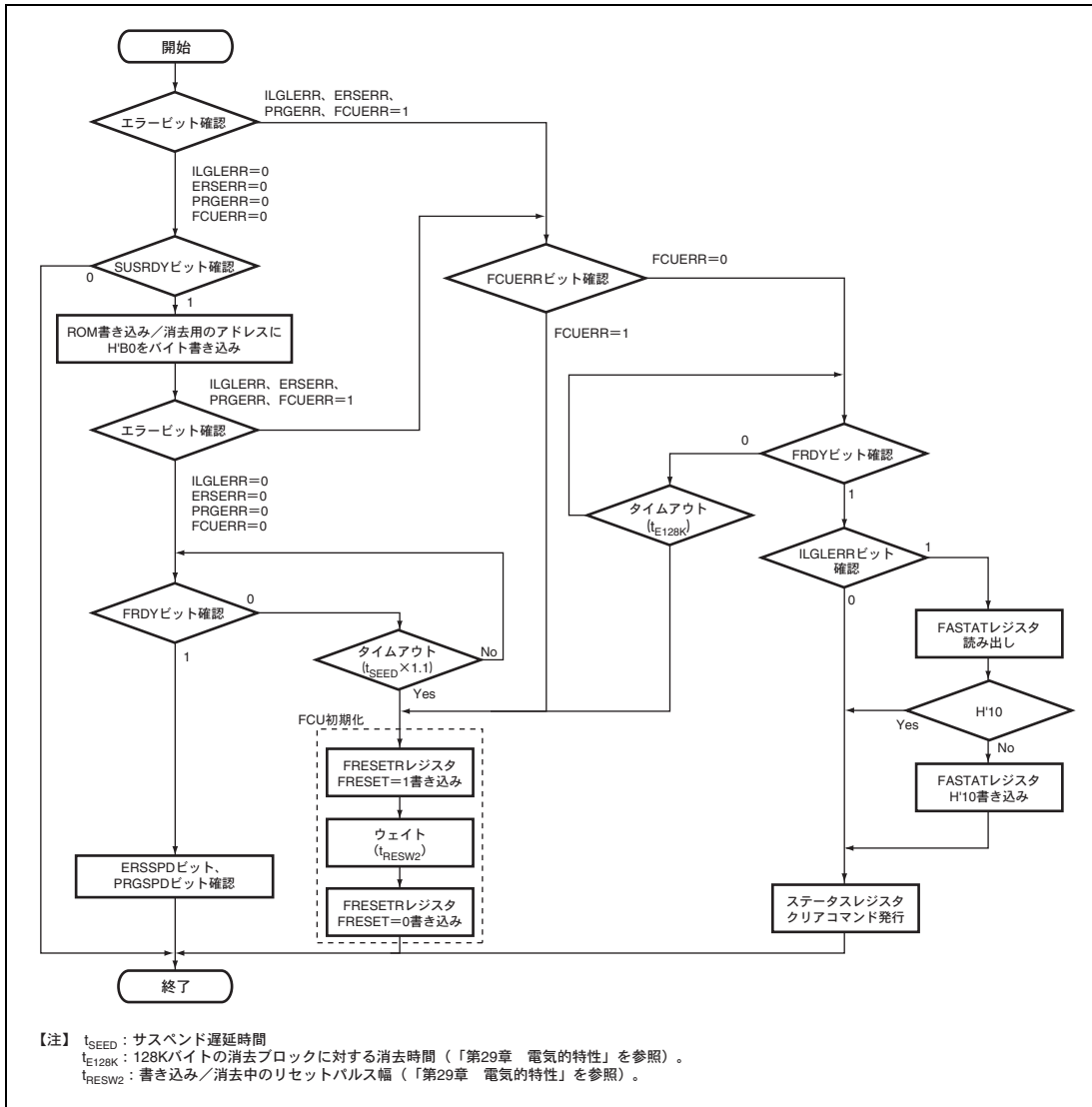


図 23.22 書き込み/消去のサスペンド方法

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができます。また、書き込み/消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに遷移することも可能です。

なお、P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「23.6.4 サスペンド動作」を参照してください。

(10) P/E レジューム

サスペンドした書き込み/消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR を P/E サスペンドコマンド発行直前の値に再設定してください。

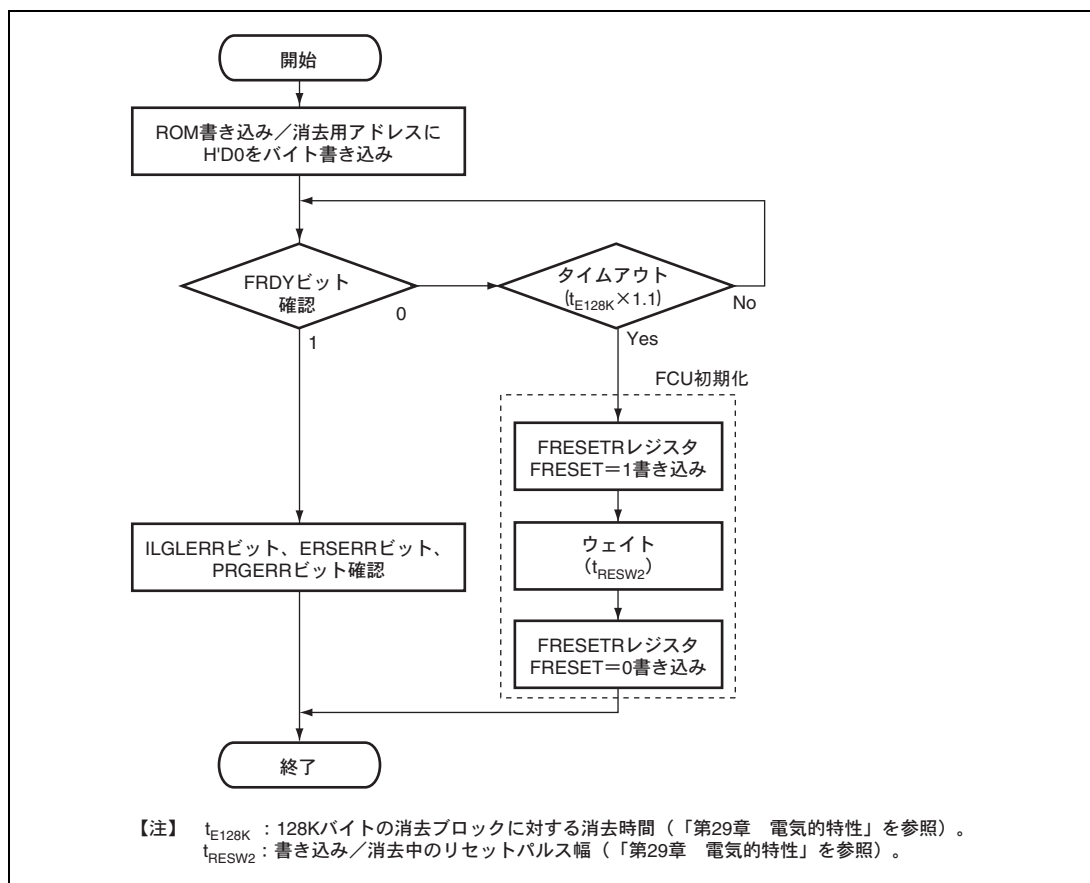


図 23.23 書き込み/消去のレジューム方法

(11) ステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0 レジスタの IGLERR/PRGERR/ERSERR ビットをクリアしたい場合には、ステータスレジスタクリアコマンドを使用します。IGLERR/PRGERR/ERSERR ビットのいずれかが 1 である場合、FCU はコマンドロック状態になりステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。IGLERR ビットが 1 の場合には、FASTAT レジスタの ROMAE、EEPAAE、EEPIFE、EEPRAE、および EEPWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、IGLERR ビットはクリアされません。

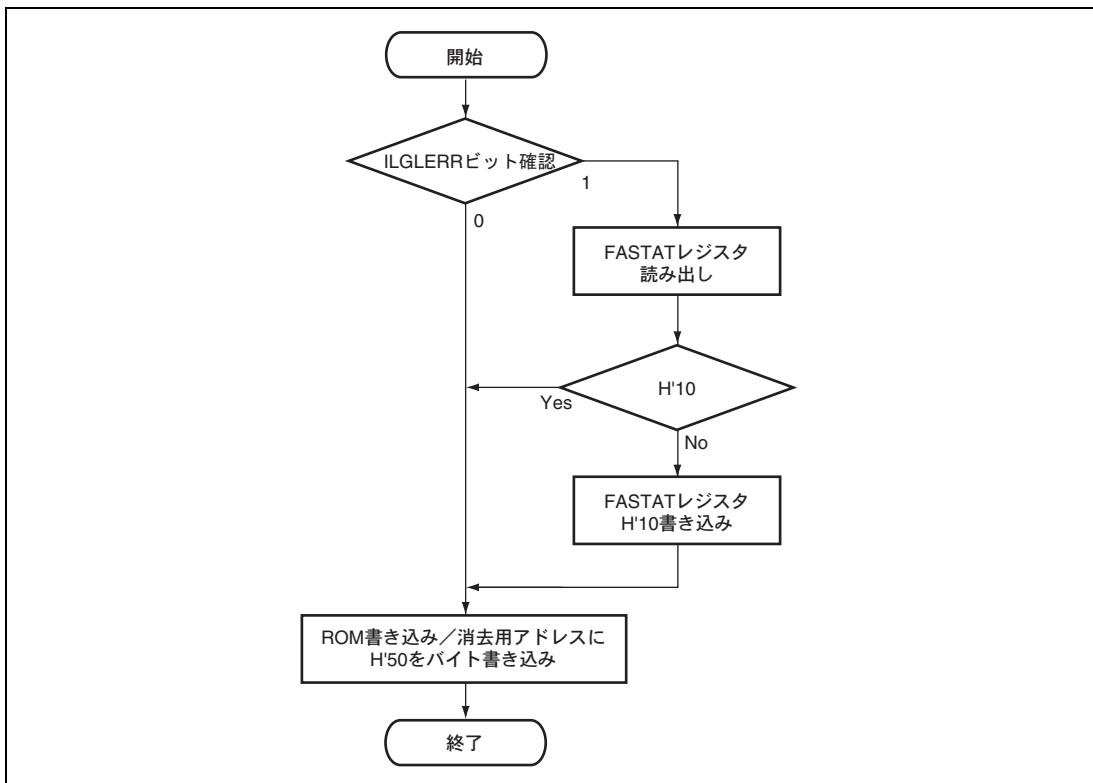


図 23.24 ステータスレジスタ 0 のクリア方法

(12) ステータスレジスタ 0 (FSTATR0) の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 を直接読み出す方法と ROM ステータスリードモードで ROM 書き込み/消去用アドレスを読み出す方法があります。ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンド発行後には、FCU は ROM ステータスリードモードに遷移しています。図 23.25 の例では、ステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行し、ROM 書き込み/消去用アドレスを読み出して FSTATR0 の内容を確認しています。

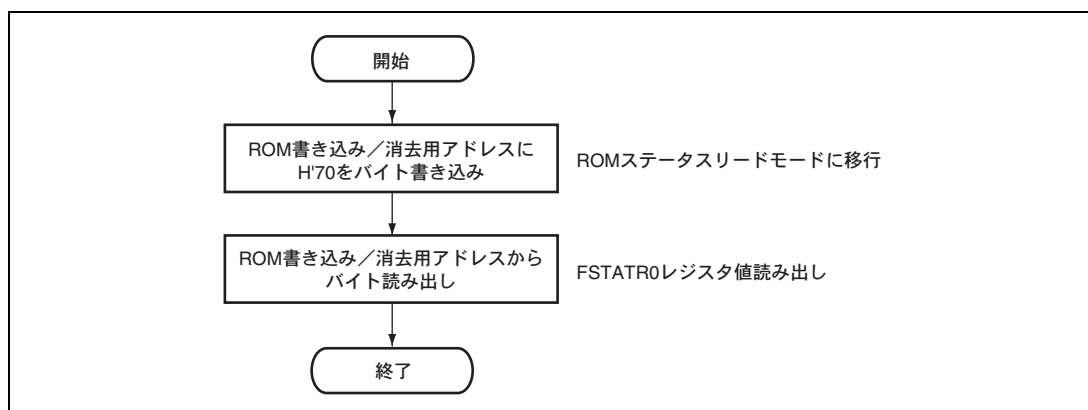


図 23.25 ステータスレジスタ 0 の確認方法

(13) ロックビットの読み出し

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の状態では、ロックビットが 0 に設定された消去ブロックを書き込み/消去することができません。

ロックビットの確認方法には、メモリ領域リードモードとレジスタリードモードがあります。メモリ領域リードモード (FMODR レジスタの FRDMD ビットが 0) の場合には、ROM ロックビットリードモードで ROM 書き込み/消去用のアドレスに対する読み出しを実行すると、指定した消去ブロックのロックビットが P バス読み出しデータの全ビットにコピーされます。レジスタリードモード (FMODR の FRDMD が 1) の場合には、ロックビットリード 2 コマンドを発行すると、指定した消去ブロックのロックビットが FSTATR1 レジスタの FLOCKST ビットにコピーされます。

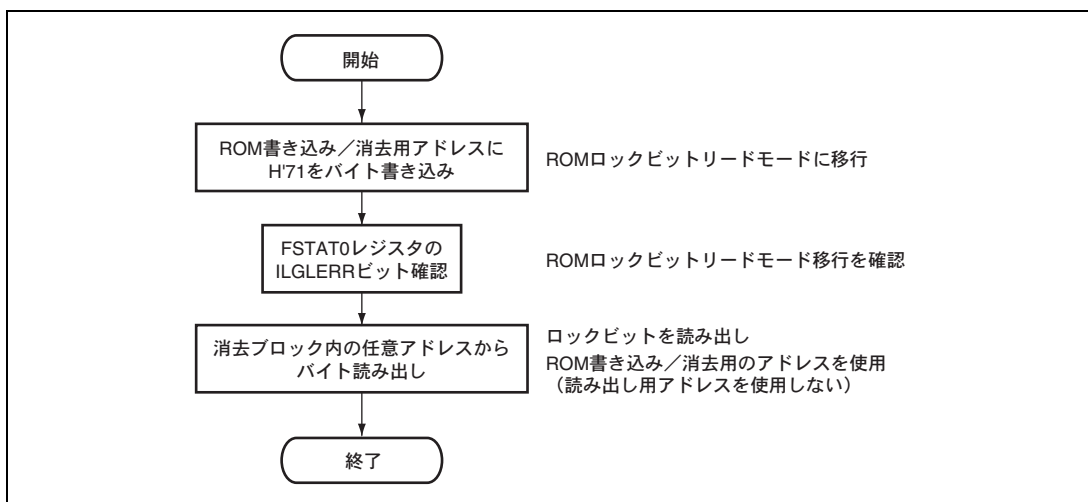


図 23.26 メモリ領域リードモードでロックビットを読み出す方法

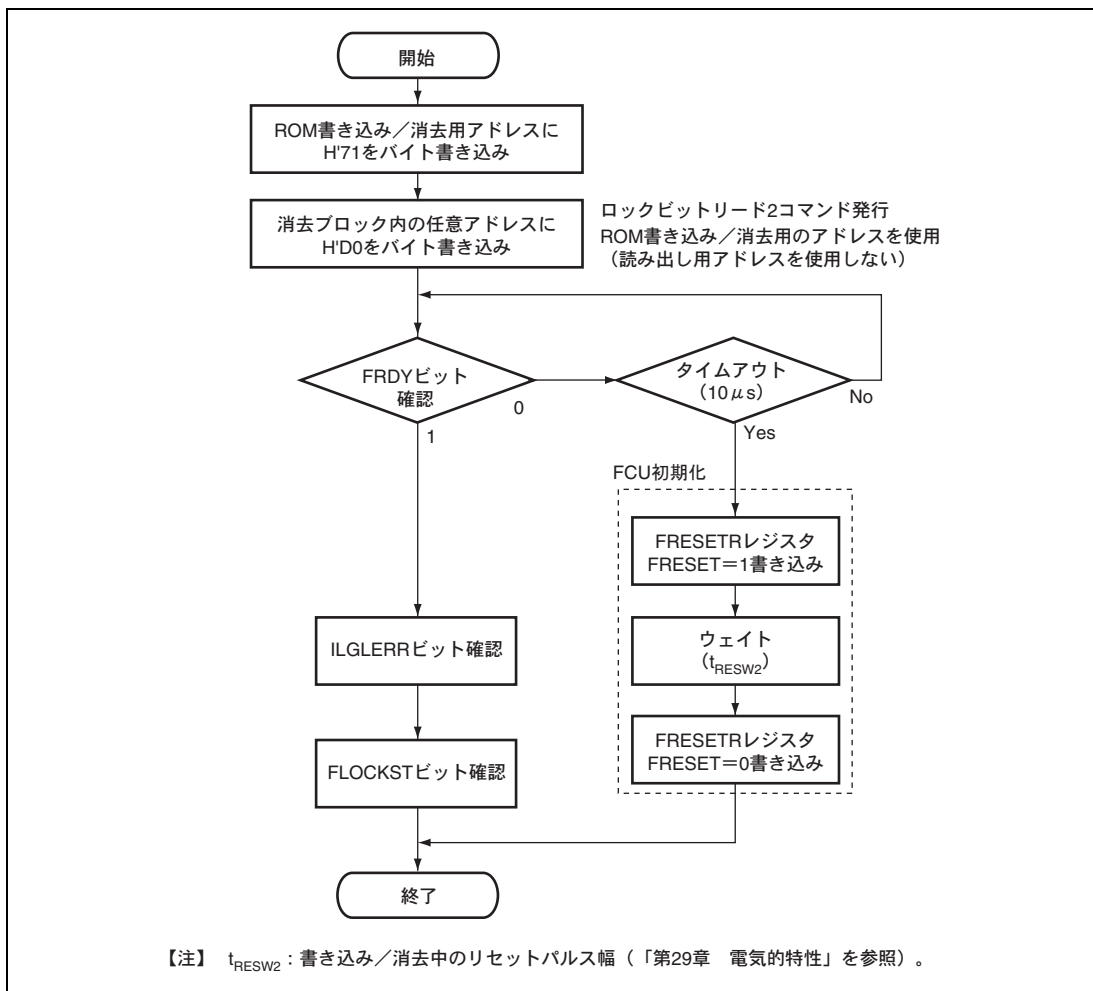


図 23.27 レジスタリードモードでロックビットを読み出す方法

(14) ロックビットの書き込み

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合にはロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルではH'77をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してH'D0をバイト書き込みするとFCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

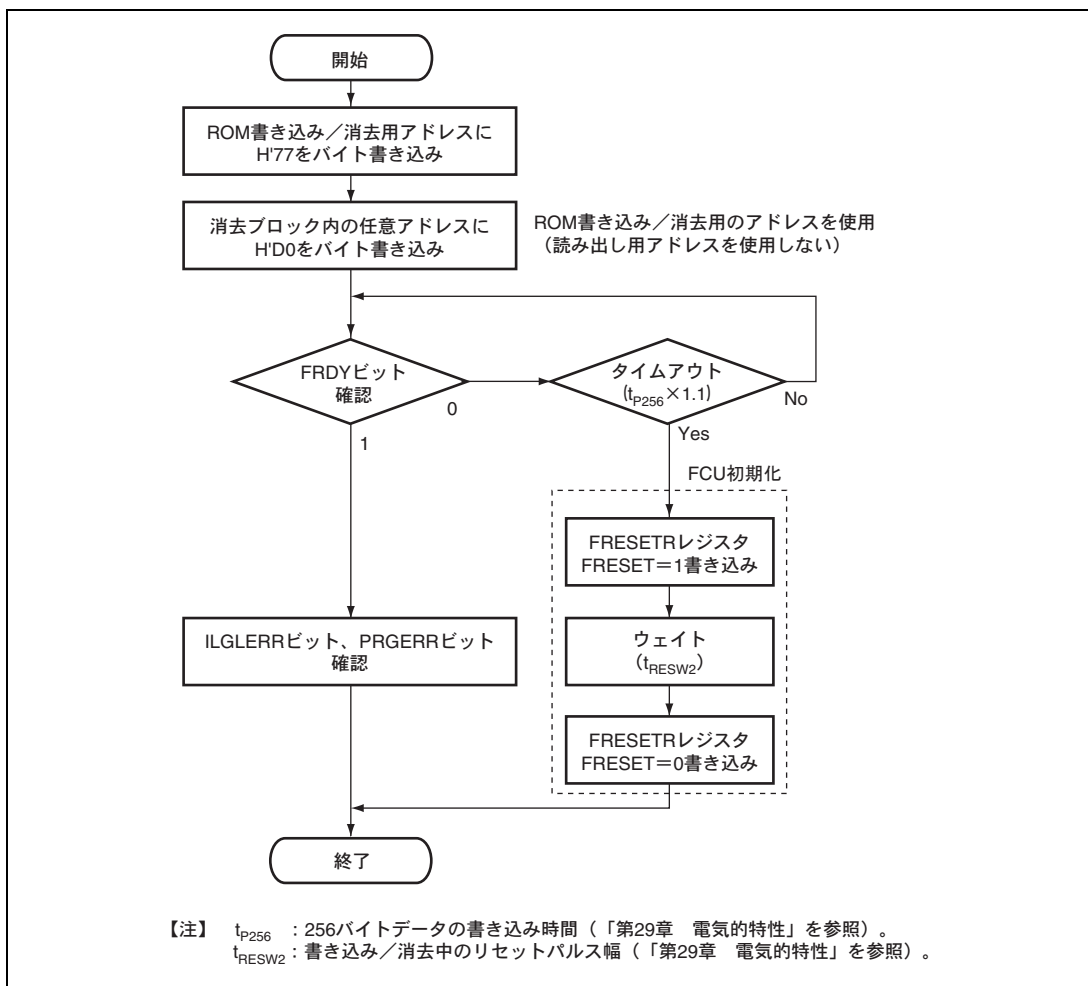


図 23.28 ロックビットのプログラム方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。FPROTRレジスタのFPROTCNビットが0の状態ではロックビットが0に設定された消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCNビットを1にセットした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

23.6.4 サスペンド動作

ROM の書き込み／消去中に P/E サスペンドコマンドを発行すると、FCU は書き込み／消去処理を中断します。図 23.29 に書き込み処理の中断動作を示します。FCU は書き込み系のコマンドを受け付けると FSTATR0 レジスタの FRDY ビットを 0 にクリアして書き込み処理を開始します。書き込み処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移移すると、SUSRDY ビットが 1 にセットされます。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットをクリアします。書き込みパルス印加中に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過すると FCU はパルスの印加を完了し、書き込みの中断処理を開始して PRGSPD ビットを 1 にセットします。中断処理が完了すると、FCU は FRDY ビットを 1 にセットして、書き込みサスペンド状態に移移します。書き込みサスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと PRGSPD ビットを 0 にクリアして、書き込み処理を再開します。

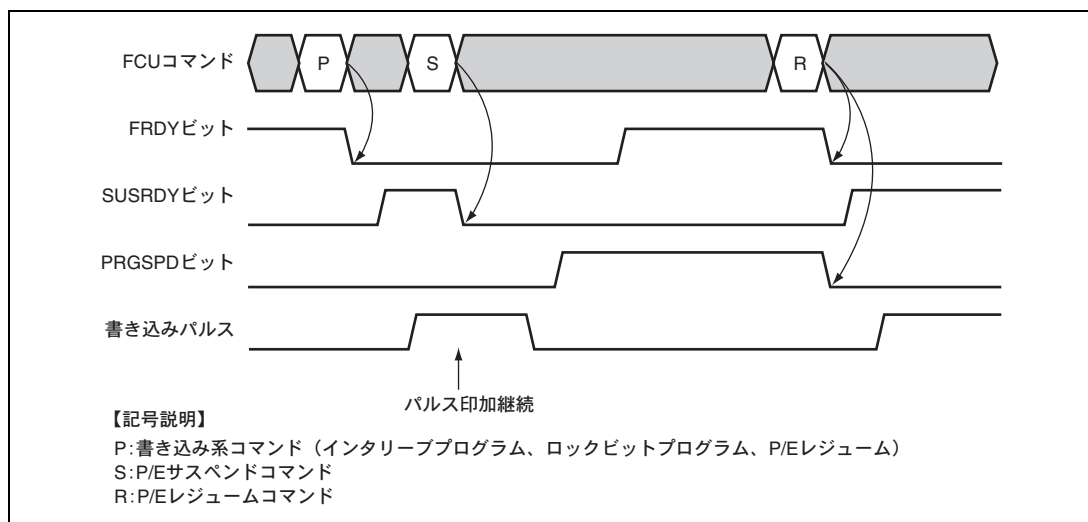


図 23.29 書き込み処理の中断動作

図 23.30 に消去サスペンドモードがサスペンド優先モード (FCPSR レジスタの ESUSPMD ビットが 0) の場合の消去処理の中断動作を示します。FCU は消去系のコマンドを受け付けると FRDY ビットを 0 にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移移すると、SUSRDY ビットが 1 にセットされます。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットをクリアします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU はパルス印加中でも中断処理を開始して ERSSPD ビットを 1 にセットします。中断処理が完了すると、FCU は FRDY ビットを 1 にセットして、消去サスペンド状態に移移します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを 0 にクリアして、消去処理を再開します。消去処理の中断／再開時の FRDY ビット／SUSRDY ビット／ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に移移します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に移移します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできる場合があります。

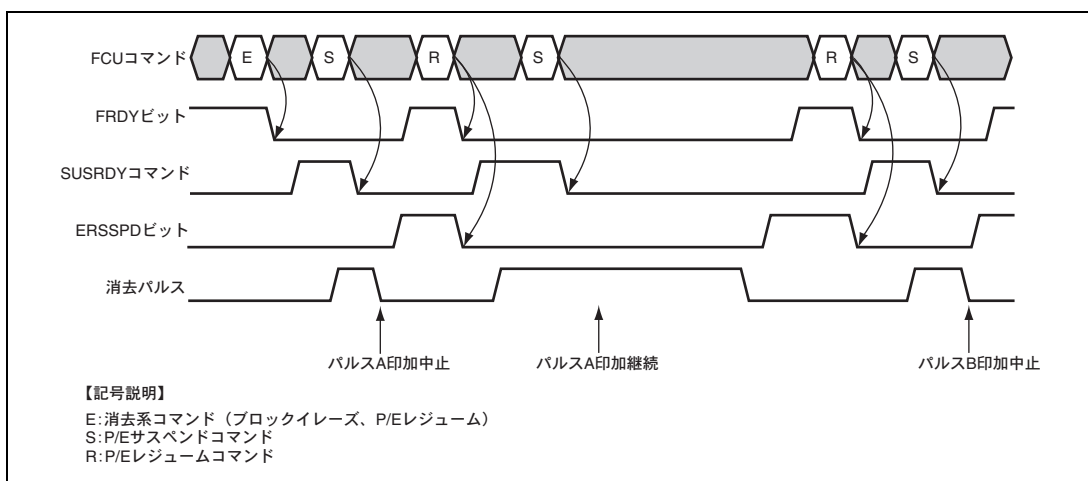


図 23.30 消去処理の中断動作 (サスペンド優先モード)

図 23.31 に消去優先モード (FCPSR レジスタの ESUSPMD ビットが 1) の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、必ず消去パルスの印加を継続します。このモードでは消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

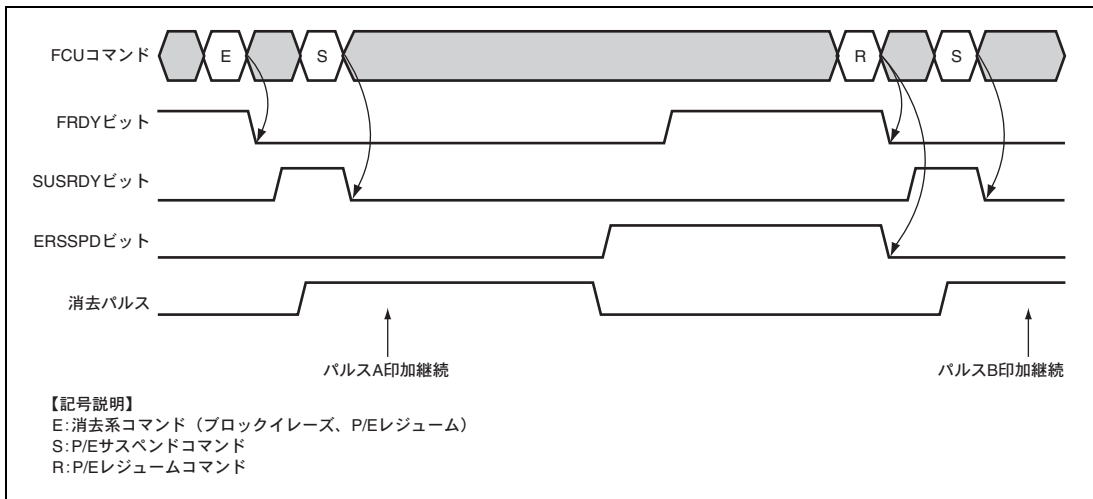


図 23.31 消去処理の中断動作 (消去優先モード)

23.7 ユーザブートモード

ユーザブートモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み／消去を実行します。任意の通信インターフェースによる ROM の書き込み／消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードで本 LSI を起動することによって、ユーザ任意のブートモードを実現できます。ユーザブートマットの書き込みは、ブートモードで実施してください。

23.7.1 ユーザブートモードの起動シーケンス

本 LSI をユーザブートモードで起動すると、組み込みプログラム格納マットから起動して、FCU RAM への FCU ファーム転送などの処理を実施後、ユーザブートマットのリセットベクタにジャンプします。図 23.32 にブートシーケンスの概要を示します。

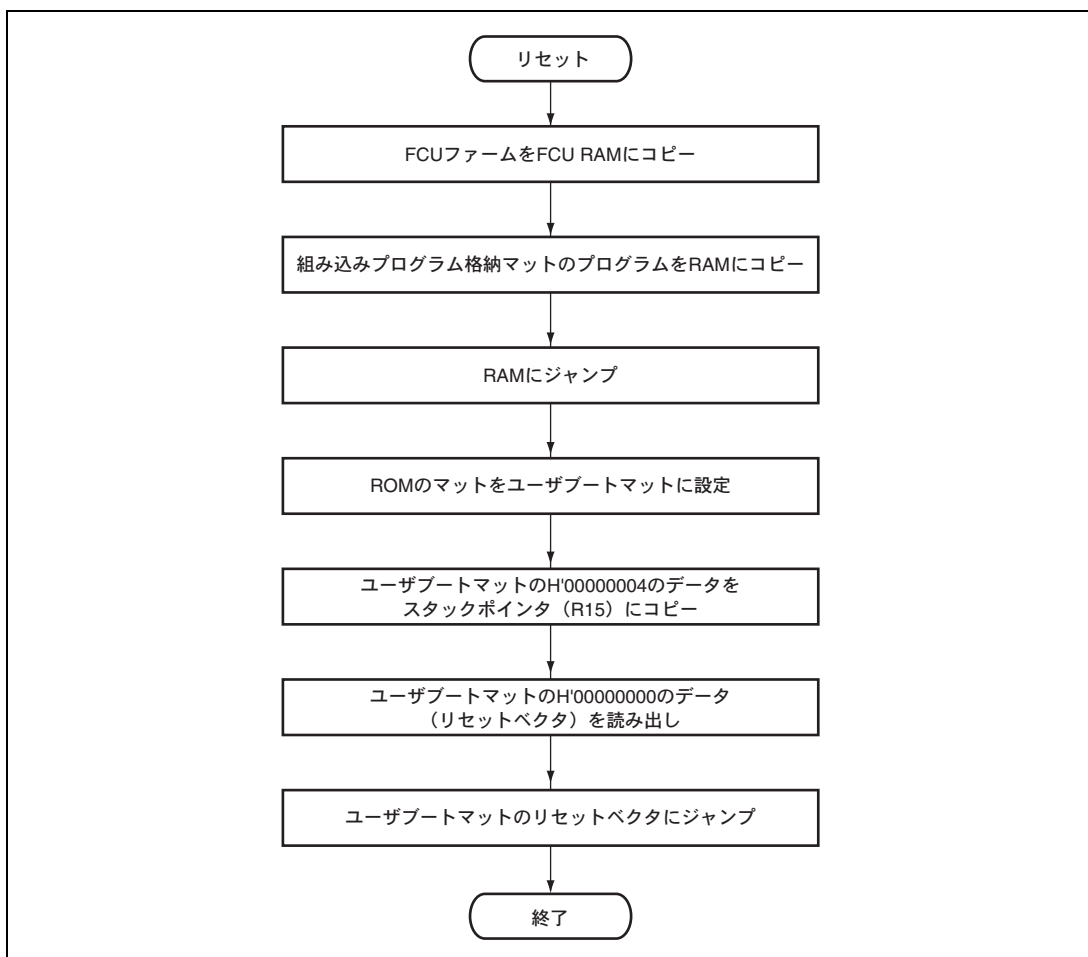


図 23.32 ユーザブートモードのブートシーケンス概要

23.7.2 ユーザマットのプログラミング方法

ユーザブートマットにユーザが作成したユーザマット書き込み/消去ルーチンを格納した状態で、本 LSI をユーザブートモードで起動することにより、ユーザマットのプログラミングを実施することができます。ユーザマット書き込み/消去ルーチンは、RAM にコピーした後に RAM 上で実行してください。ユーザブートモードの初期状態ではユーザブートマットが選択されていますので、必ず ROM のマットをユーザマットに切り替えてからプログラミングを実行してください。ユーザブートマット選択状態で ROM の書き込み/消去用の FCU コマンドを発行しても、FCU は ROM の書き込み/消去を実行しません。図 23.33 にユーザマットのプログラミング用のフロー例を示します。

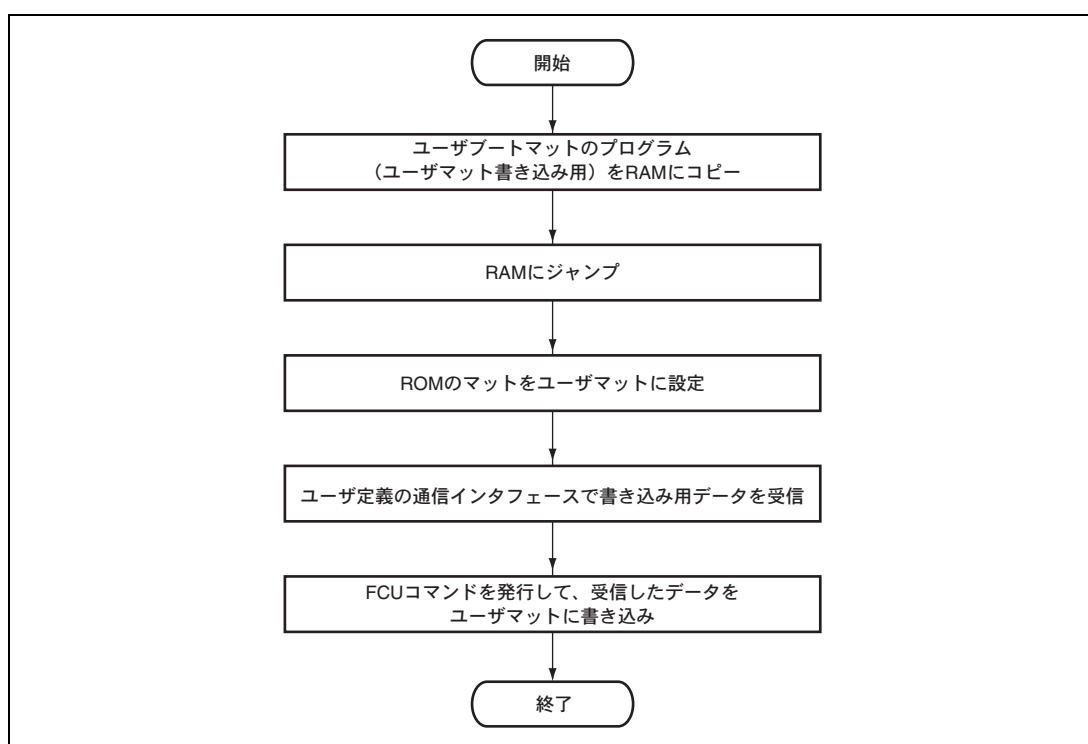


図 23.33 ユーザマットのプログラミング例

23.8 ライタモード

ライタモードではソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス 1M バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT1024DV3A) をサポートしているライタを使用してください。

23.9 プロテクト

ROM に対する書き込み／消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

23.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、チップ端子の設定によって ROM に対する書き込み／消去が禁止された状態です。

(1) FWE 端子によるプロテクト

FWE 端子にローレベルが入力されている状態では、FPMON レジスタの FWE ビットが 0 になります。FWE ビットが 0 の場合には、FENTRYR レジスタの FENTRY0 ビットに 1 を書き込めません。ROM P/E モードに移行できないため、ROM の書き込み／消去が禁止された状態になります。

FRDY ビットが 1 かつ FWE 端子がローレベルの状態では、FCU は FENTRY0 ビットをクリアして ROM の書き込み／消去を禁止します。FWE 端子をローレベルに変更した時点で FSTATR0 レジスタの FRDY ビットが 0 の場合には、FCU はコマンド処理を継続します。コマンド処理を継続している状態でも、FCU は P/E サスペンドを受け付け可能です。書き込み／消去を再開する場合には、FENTRY0 ビットをクリア前の設定値に再設定して P/E レジュームコマンドを発行してください。

FWE 端子によるプロテクトに違反して、ROM に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

23.9.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み/消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み/消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRY0 ビットが 0 の場合には、ROM (読み出し用アドレス: H'00000000~H'0007FFFF、書き込み/消去用アドレス: H'80800000~H'8087FFFF) は ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM の書き込み/消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります (「23.9.3 エラープロテクト」を参照)。

(2) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の場合には、ロックビットが 0 に設定された消去ブロックに対する書き込み/消去は禁止状態になります。ロックビットが 0 に設定された消去ブロックを書き込み/消去したい場合には、FPROTCN ビットを 1 に設定してください。ロックビットによるプロテクトに違反して、ROM に対する書き込み/消去系コマンドを発行すると、FCU は書き込み/消去エラーを検出してコマンドロック状態になります (「23.9.3 エラープロテクト」を参照)。

23.9.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行/禁止アクセスの発生/FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、ROM の書き込み/消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが 1) になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの ROMAEINT が 1 の場合には、FASTAT レジスタの ROMAE ビットが 1 になると FIFE 割り込みが発生します。

表 23.13 に ROM 専用および ROM と FLD 共通のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FSTATR1 レジスタの FCUERR ビット、FASTST レジスタの ROMAE ビット) の関係を示します。書き込み/消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み/消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み/消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 23.13 エラープロテクト一覧

分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
FENTRYR 設定エラー	FENTRYR レジスタに H'0001、H'0080 以外の値を設定	1	0	0	0	0
	サスペンド時とレジューム時で FENTRYR レジスタ設定が不一致	1	0	0	0	0
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0
	PCKAR レジスタに周辺クロック 1~100MHz 以外を指定	1	0	0	0	0
	書き込み/消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0
	書き込み/消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0
	書き込みサスペンド状態で書き込み/消去系 (プログラム/ロックビットプログラム/ブロックイレーズ) コマンドを発行	1	0	0	0	0
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0
	消去サスペンド状態で消去サスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1
消去エラー	消去処理中のエラー発生	0	1	0	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0
ROM アクセス 違反	FENTRY0=1 かつ ROM P/E ノーマルモードの場合に、H'80800000~H'8087FFFF に対するリードアクセスを発行。	1	0	0	0	1
	FENTRY0=0 で H'80800000~H'8087FFFF に対するアクセスを発行	1	0	0	0	1
	FENTRYR レジスタが H'0000 以外の状態で、H'00000000~H'0007FFFF に対してリードアクセスを発行	1	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去系コマンド (プログラム/ロックビットプログラム/ブロックイレーズ) を発行	1	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'80800000~H'80807FFF 以外に対するアクセスを発行	1	0	0	0	1

23.10 使用上の注意事項

23.10.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットは同じアドレス領域に配置されています。内部バスの状態によってROM領域アクセスに要するサイクル数が異なるため、マット切り替え時にROM領域をアクセスした場合に常に同一のマットが使用されるとは限らないことに注意してください。また、ROMキャッシュ機能が有効な場合には、マット切り替え後もROMキャッシュ内にマット切り替え前のデータが格納されているため、同一アドレスの異なるマットをアクセスした場合にキャッシュヒットする可能性があることに注意してください。これらの注意事項に関連した誤動作を回避するために、マット切り替え前後に以下の処理を実施してください。

1. マット切り替え前に割り込み設定を変更

マット切り替え時の割り込み発生によるROM領域へのアクセスを回避する方法には、CPUのベクタベースレジスタ (VBR) の設定によって割り込みベクタのフェッチ先をROM領域以外に設定する方法と割り込みをマスクする方法があります。本LSI内部ではNMI割り込みをマスクすることができないため、割り込みをマスクする方法を採用する場合には、マット切り替え時にNMI割り込みが発生しないようにシステムを構成してください。

2. マット切り替え処理はROM領域以外のプログラムで実施

マット切り替え時にROM領域に対するCPUの命令フェッチを発生させないために、マット切り替え処理はROM領域以外の領域で実行してください。

3. ROMMATレジスタのダミーリード

ROMMATレジスタをライトしてマットを切り替えた後にROMMATレジスタをダミーリードして、レジスタ値の書き換えを完了させてください。

4. マット切り替え後にROMキャッシュをフラッシュ

RCCRレジスタのRCFビットに1を書き込んでROMキャッシュにキャッシングされた命令やデータを無効(フラッシュ)にしてください。

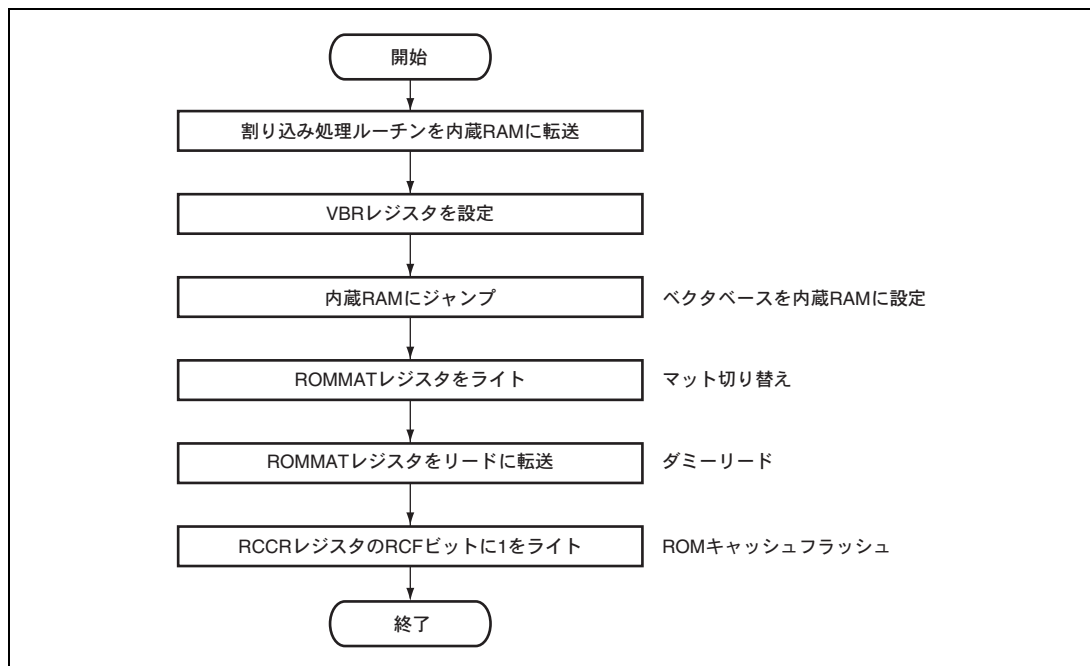


図 23.34 マット切り替え処理例

23.10.2 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

23.10.3 書き込み/消去サスペンド対象領域

書き込み/消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み/消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

ROM キャッシュのプリフェッチによって、書き込み/消去サスペンド対象領域に対する命令フェッチが発生しないようにするために、書き込み/消去サスペンド対象領域の先頭アドレスから 16 バイト以内の領域から命令をフェッチしないように注意してください。

ROM キャッシュのプリフェッチでは、分岐命令の分岐先へのアクセスも実行されます。分岐先が書き込み/消去サスペンド対象領域に該当しないように注意してください。

23.10.4 従来の F-ZTAT SH マイコンとの書き込み/消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本 LSI では動作しません。

23.10.5 FWE 端子の状態

書き込み/消去処理中に FWE 端子の値が変化しないように注意してください。FWE 端子値がローレベルになった場合、書き込み/消去は異常終了し、FRDY がセットされ (FASTATR0 レジスタの消去エラービットまたは書き込みエラービットがセットされます)、その後 FENTRYR レジスタがクリアされます。再書き込みする場合は、FWE 端子をハイレベルにし、消去した後に書き込んでください。

シングルチップモードからユーザプログラムモードへ遷移する場合、FWE 端子をハイレベルにし、FPMON の FWE ビットが 1 であることを確認、FENTRYR レジスタの設定を行ってから FCU コマンドを発行してください。

ユーザプログラムモードからシングルチップモードへ遷移する場合、ROM の書き換えが終了 (FSTATR0 の FRDY ビットが 1) を確認し、FENTRYR をクリアしてから FWE 端子をローレベルにしてください。

FWE 端子がハイレベルで始まるモードで ROM のプロテクトを希望する場合、リセット解除後 tMDH1 経過後 FWE 端子をローレベルにしてください。

また、ROM のプロテクト解除は、シングルチップモードからユーザプログラムモードへ遷移、プロテクト設定は、ユーザプログラムモードからシングルチップモードへ遷移と同じ手順で行ってください。

23.10.6 書き込み/消去中のリセット

書き込み/消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「第 29 章 電気的特性」を参照) 保持してください。書き込み/消去中の ROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセット状態を保持する必要があります。FCU をリセットしている期間は ROM の読み出しを行わないでください。

書き込み/消去処理中に $\overline{\text{RES}}$ 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2} (「第 29 章 電気的特性」を参照) 保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM 用電源の初期化や ROM 内部回路の初期化に必要な期間を確保する必要があります。FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み/消去処理中に $\overline{\text{RES}}$ 端子のアサートによるパワーオンリセット、FRESETR レジスタの FRESET ビットをセットしての FCU リセットを実行すると、書き込み/消去対象領域のロックビットを含む全データは不定となります。

書き込み/消去処理中には、WDT のカウンタのオーバフローによる内部リセットは発生しないようにしてください。WDT によるリセットでは、メモリ電圧の降下/ROM 用電源の初期化/ROM 内部の初期化に必要な期間を確保することができません。

23.10.7 書き込み/消去サスペンドによる中断

書き込み/消去サスペンドコマンドによって書き込み/消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

23.10.8 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

23.10.9 書き込み/消去中の割り込みベクタの配置

書き込み/消去中に割り込みが発生するとフラッシュメモリ (ROM) からのベクタフェッチが発生する場合があります。そのため、割り込みベクタテーブルや割り込み処理ルーチンはフラッシュメモリ (ROM) 以外に準備してください。

23.10.10 書き込み／消去中の禁止事項

書き込み／消去中はフラッシュメモリ (ROM) 内に高電圧が印加されています。本 LSI の破壊を防ぐため、以下の動作を行わないでください。

- 電源を切断する
- ソフトウェアスタンバイモードへ遷移させる
- CPU、DMAC、DTCからのフラッシュメモリのリードアクセス
- FRQCRレジスタの値の書き換え
- P ϕ と異なる周波数をPCKARレジスタに設定する

23.10.11 書き込み／消去中の異常終了

書き込み／消去中のリセット、FRESETR レジスタの FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、書き込み／消去が正常に終了しなかった場合、ロックビットが 0 (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットに 1 をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

24. データフラッシュ（FLD）

本 LSI は、32K バイトのデータ格納用のフラッシュメモリ（FLD）を内蔵しています。

24.1 特長

- フラッシュメモリマット
データマット：32K バイト（2K バイト×16 ブロック）

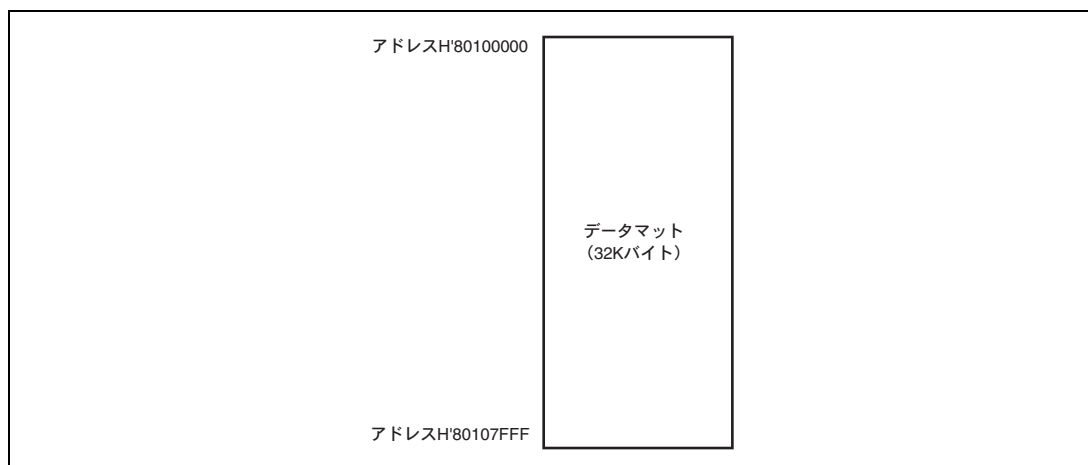


図 24.1 FLD のメモリマット構成

- 周辺バス（Pバス）経由で読み出し可能
データマットはPバス経由の読み出しが可能です。
読み出しプログラムは内蔵RAMまたは内蔵ROM上にて実行できます。

- 書き込み/消去方式

フラッシュメモリマットの書き換えに専用のシーケンサ (FCU) を内蔵しています。FCUにコマンドを発行することにより、ROMの書き込み/消去を実行可能です。

- BGO (バックグラウンドオペレーション) 機能

FCUがROMの書き込み/消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムの並列動作が可能です。

FCUがデータフラッシュの書き込み/消去を実行している期間は、ROM領域に配置したプログラムを実行可能です。

- サスペンド/レジューム動作

FCUによるROMの書き込み/消去動作を中断してCPUがROM領域のプログラムを実行した後、ROMの書き込み/消去を再開可能です。この動作は、一般的にサスペンド (中断処理) とレジューム (再開処理) と呼ばれます。

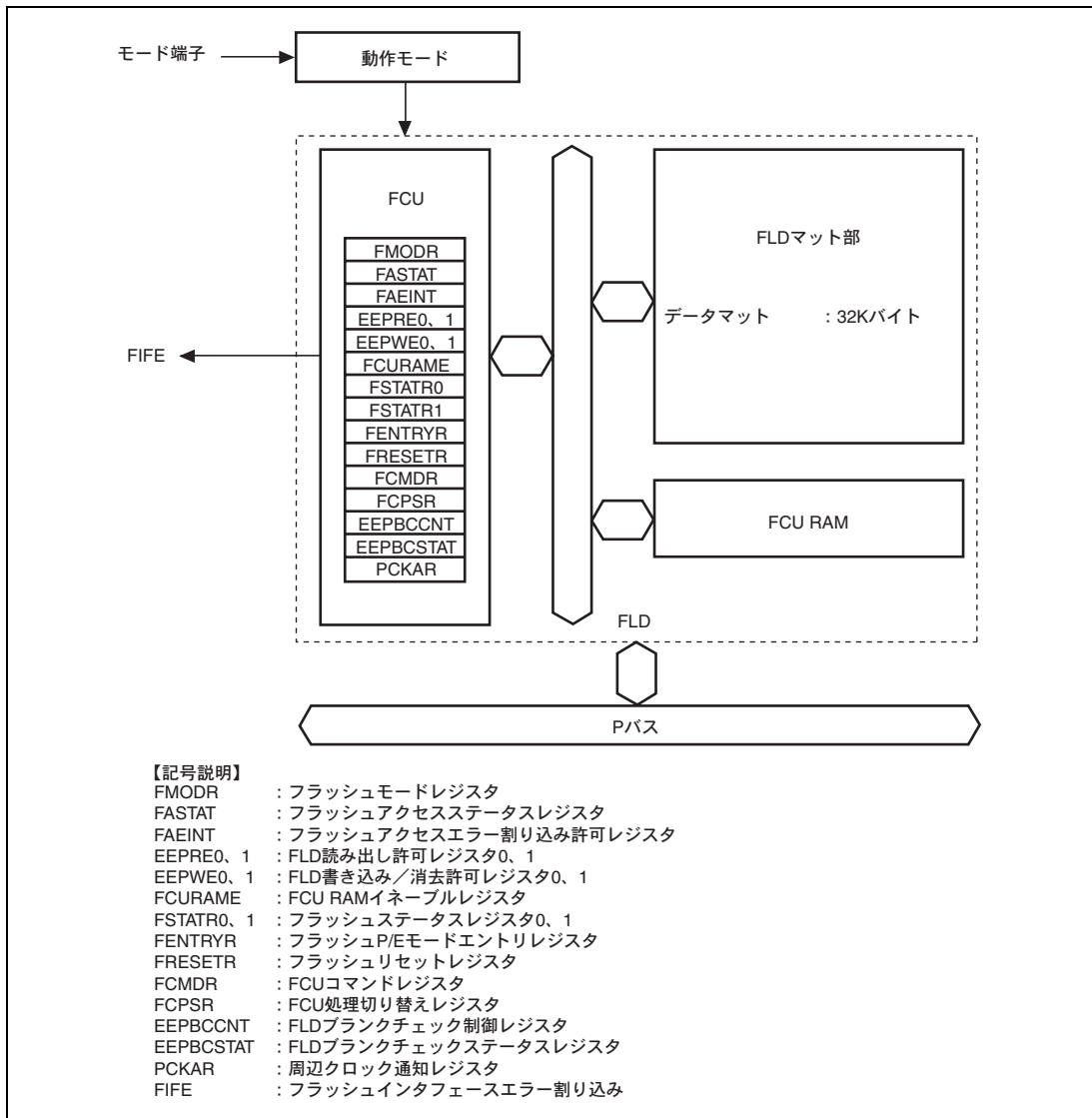


図 24.2 FLD のブロック図

- 書き込み/消去単位

ユーザモード/ユーザプログラムモード/ユーザブートモードでのデータマットの書き込み単位は8バイトまたは128バイト、消去単位はブロック単位 (2Kバイト) です。ブートモードでのデータマット書き込み単位は256バイト、消去単位はブロック単位 (2Kバイト) です。図24.3に本LSIのデータマットのブロック分割を示します。データマットは、2Kバイト (16ブロック : DB00~DB15) に分割されています。

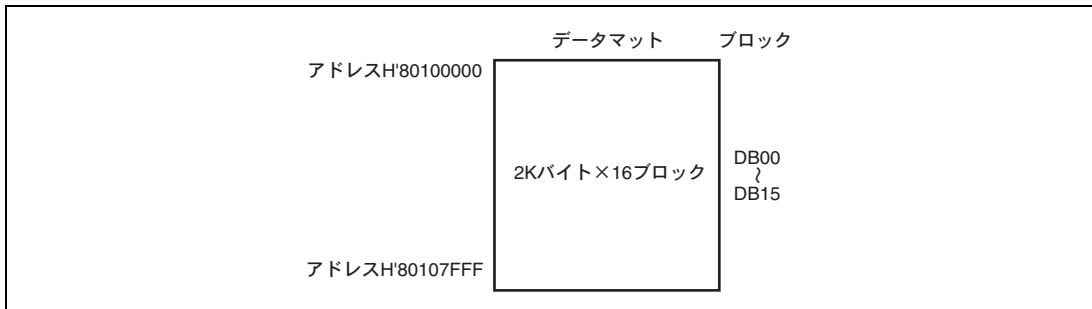


図 24.3 データマットのブロック分割

- ブランクチェック機能

消去状態のFLDをCPUから読み出すと不定データが読み出されます。FCUのブランクチェックコマンドを使用すると、FLDが消去状態 (ブランク状態) であるかどうかを確認することができます。1回のブランクチェックコマンドで確認可能な領域のサイズは2Kバイト (1消去ブロック) または8バイトです。

ブランクチェックは正常に消去が完了した領域に対し、消去状態を確認する機能です。

消去または書き込みが中断 (例 : リセット入力、電源瞬断) された場合は、ブランクチェックによる消去状態の確認はできません。

- オンボードプログラムモード (3種類)

ブートモード : SCIFを使用してデータマットを書き換え可能なプログラムモードです。ホストと本LSI間のSCIF通信のビットレートは自動調整可能です。

ユーザモード/ユーザプログラムモード : 任意のインタフェースで、データマットを書き換え可能なプログラムモードです。ユーザモードは、内蔵ROMが有効なMCU拡張モード2/シングルチップモード (モード2/モード3) です。ただし、電源電圧が5.0V版の製品 (SH7239B、SH7237B) にはモード2はありません。

ユーザブートモード : 任意のインタフェースで、データマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはリセット起動が必要です。

- プロテクトモード

モード端子によるハードウェアプロテクトとFENTRYRレジスタのFENTRYDビット、EEPWE0レジスタ、EEPWE1レジスタ、EEPWE0レジスタ、EEPWE1レジスタによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み/消去/読み出しに対するプロテクト状態を設定することができます。FENTRYR

レジスタのFENTRYDビットはFCUによるデータマツト書き込み／消去処理の許可／禁止を制御するためのビットです。EEPWE0、EEPWE1レジスタはデータマツトの各ブロックの読み出しプロテクトを制御するためのレジスタです。EEPWE0、EEPWE1レジスタはデータマツトの各ブロックの書き込み／消去プロテクトを制御するためのレジスタです。

書き込み／消去中に異常動作を検出した場合、書き込み／消去処理を中断する機能もあります。また、CPUがFLD領域から命令をフェッチした場合、読み出しプロテクトする機能もあります。

- 書き込み時間／消去時間／書き換え回数
「第29章 電氣的特性」を参照してください。

24.2 入出力端子

表 24.1 に FLD 関連の入出力端子を示します。FWE 端子と MD0 端子の組み合わせによって、FLD のプログラムモードを決定します（「24.4 FLD 関連モード概要」を参照）。ブートモード時には、PB2/RXD3、PB3/TXD3 にホストを接続して FLD を書き込み／消去することが可能です（「24.5 ブートモード」を参照）。

表 24.1 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	この端子がローレベルになるとパワーオンリセット状態になります。
モード設定	FWE、MD0	入力	動作モードを決定します。
SCIF チャンネル 3 受信データ	PB2/RXD3	入力	SCIF チャンネル 3 の受信データ（ホスト通信用）
SCIF チャンネル 3 送信データ	PB3/TXD3	出力	SCIF チャンネル 3 の送信データ（ホスト通信用）

24.3 レジスタの説明

表 24.2 に FLD 関連のレジスタを示します。一部のレジスタは ROM 関連のビットも持ちますが、本章では FLD 機能に関連するビットの説明のみ記載しています。ROM/FLD 共用ビットのみで構成されるレジスタ (FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR) の仕様と ROM 専用ビットの機能の詳細は、「第 23 章 フラッシュメモリ (ROM)」の「23.3 レジスタの説明」を参照してください。FLD 関連のレジスタは、パワーオンリセットによって初期化されます。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W)*1	H'00	H'FFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	R/W	H'9F	H'FFFA811	8
FLD 読み出し許可レジスタ 0	EEPRE0	R/(W)*2	H'0000	H'FFFA840	8、16
FLD 読み出し許可レジスタ 1	EEPRE1	R/(W)*2	H'0000	H'FFFA842	8、16
FLD 書き込み/消去許可レジスタ 0	EEPWE0	R/(W)*2	H'0000	H'FFFA850	8、16
FLD 書き込み/消去許可レジスタ 1	EEPWE1	R/(W)*2	H'0000	H'FFFA852	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W)*2	H'0000	H'FFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R	H'80*4	H'FFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R	H'00*4	H'FFFA901	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W)*3	H'0000*4	H'FFFA902	8、16
フラッシュリセットレジスタ	FRESETR	R/(W)*2	H'0000	H'FFFA906	8、16
FCU コマンドレジスタ	FCMDR	R	H'FFFF*4	H'FFFA90A	8、16
FCU 処理切り替えレジスタ	FCPSR	R/W	H'0000*4	H'FFFA918	8、16
FLD ブランクチェック制御レジスタ	EEPBCNT	R/W	H'0000*4	H'FFFA91A	8、16
FLD ブランクチェックステータスレジスタ	EEPBCSTAT	R	H'0000*4	H'FFFA91E	8、16
周辺クロック通知レジスタ	PCKAR	R/W	H'0000*4	H'FFFA938	8、16

- 【注】 *1 フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。
- *2 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。
- *3 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。
- *4 パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することができます。

24.3.1 フラッシュモードレジスタ (FMODR)

FMODR レジスタは、FCU の動作モードを指定するレジスタです。FMODR は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	FR DMD	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	FRDMD	0	R/W	<p>FCU リードモードセレクトビット</p> <p>FCU を使用した ROM/FLD 読み出し処理の方法を選択するためのビットです。FLD の場合には、FLD ロックビットリードモード移行処理かブランクチェック処理を選択するために使用します（「24.6.1 FCU コマンド一覧」、「24.6.3 FCU コマンド使用方法」を参照）。ROM の場合には、ロックビット読み出し方法を選択するために FRDMD ビットを使用します（「第 23 章 フラッシュメモリ (ROM)」を参照）。</p> <p>0 : メモリ領域リードモード</p> <p style="padding-left: 20px;">FLD ロックビットリードモードに移行する場合には、メモリ領域モードに設定します。FLD にはロックビットが存在しないため、ロックビットリードモードに移行して FLD 領域から読み出しを実行した場合、不定データが読み出されます。</p> <p>1 : レジスタリードモード</p> <p style="padding-left: 20px;">ブランクチェックコマンドを使用する場合には、レジスタリードモードに設定します。</p>
3~0	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

24.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT は、ROM/FLD に対するアクセス違反の有無を確認するためのレジスタです。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります（「24.7.3 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	RO MAE	-	-	CM DLK	EE PAE	EEP IFE	EEP RPE	EEP WPE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	ROMAE	0	R/(W)*	ROM アクセス違反ビット 「第 23 章 フラッシュメモリ (ROM)」を参照してください。
6, 5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです（「24.7.3 エラープロテクト」を参照）。 0：FCU はコマンドロック状態ではない 1：FCU はコマンドロック状態 [セット条件] • FCU がエラーを検出してコマンドロック状態に遷移後 [クリア条件] • FCU がステータスクリアコマンドを処理後

ビット	ビット名	初期値	R/W	説明
3	EEPAE	0	R/(W)*	<p>FLD アクセス違反ビット</p> <p>FLD に対するアクセス違反の有無を示すビットです。EEPAE ビットが 1 になると FSTATR0 レジスタの IGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。</p> <p>0 : FLD アクセス違反なし 1 : FLD アクセス違反あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • FENTRYR レジスタの FENTRYD ビットが 1、かつ FLD P/E ノーマルモードで、FLD 領域に対してリードアクセスを発行 • FENTRYD ビットが 0 の状態で、FLD 領域に対してライトアクセスを発行 • FENTRYR レジスタの FENTRY0 ビットが 1 の状態で、FLD 領域に対するアクセスを発行 <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPAE=1 を読み出した後に、0 を書き込み
2	EEPIFE	0	R/(W)*	<p>FLD 命令フェッチ違反ビット</p> <p>FLD 命令フェッチ違反の有無を示すビットです。</p> <p>0 : FLD 命令フェッチ違反なし 1 : FLD 命令フェッチ違反あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • FLD に対する命令フェッチを発行 <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPIFE=1 を読み出した後に、0 を書き込み
1	EEPRPE	0	R/(W)*	<p>FLD リードプロテクト違反ビット</p> <p>EEPRES0 レジスタおよび EEPRES1 レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。</p> <p>0 : EEPRES0 レジスタおよび EEPRES1 レジスタ設定に違反した FLD 読み出しなし 1 : EEPRES0 レジスタおよび EEPRES1 レジスタ設定に違反した FLD 読み出しあり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • EEPRES0 レジスタおよび EEPRES1 レジスタで読み出し禁止に設定した FLD 領域に対してリードアクセスを発行 <p>[クリア条件]</p> <ul style="list-style-type: none"> • EEPRPE=1 を読み出した後に、0 を書き込み

ビット	ビット名	初期値	R/W	説 明
0	EEPWPE	0	R/(W)*	<p>FLD 書き込み/消去プロテクト違反ビット</p> <p>EEPWE0 レジスタおよび EEPWE1 レジスタで設定した書き込み/消去プロテクトに対する違反の有無を示すビットです。</p> <p>0: EEPWE0 レジスタおよび EEPWE1 レジスタ設定に違反した FLD 書き込み/消去系コマンドの発行なし</p> <p>1: EEPWE0 レジスタおよび EEPWE1 レジスタ設定に違反した FLD 書き込み/消去系コマンドの発行あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> EEPWE0 レジスタおよび EEPWE1 レジスタで書き込み/消去禁止に設定した FLD 領域に対して書き込み/消去系コマンドを発行 <p>[クリア条件]</p> <ul style="list-style-type: none"> EEPWPE=1 を読み出した後に、0 を書き込み

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

24.3.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT は、フラッシュインタフェースエラー割り込み (FIFE) の出力許可/禁止を設定するためのレジスタです。FAEINT は、パワーオンリセットによって初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ROM AEIE	-	-	CMD LKIE	EEP AEIE	EERI FEIE	EERPR PEIE	EERPW PEIE
初期値 :	1	0	0	1	1	1	1	1
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル 「第 23 章 フラッシュメモリ (ROM)」を参照してください。
6、5	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : CMDLK=1 で FIFE 割り込み要求を発生しない 1 : CMDLK=1 で FIFE 割り込み要求を発生する
3	EEPAEIE	1	R/W	FLD アクセス違反割り込みイネーブル FLD アクセス違反が発生し、FASTAT レジスタの EEPAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : EEPAE=1 で FIFE 割り込み要求を発生しない 1 : EEPAE=1 で FIFE 割り込み要求を発生する
2	EERIPEIE	1	R/W	FLD 命令フェッチ違反割り込みイネーブル FLD 命令フェッチ違反が発生し、FASTAT レジスタの EERIPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : EERIPE=1 で FIFE 割り込み要求を発生しない 1 : EERIPE=1 で FIFE 割り込み要求を発生する
1	EERPREIE	1	R/W	FLD リードプロテクト違反割り込みイネーブル FLD リードプロテクト違反が発生し、FASTAT レジスタの EERPRE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可/禁止するためのビットです。 0 : EERPRE=1 で FIFE 割り込み要求を発生しない 1 : EERPRE=1 で FIFE 割り込み要求を発生する

ビット	ビット名	初期値	R/W	説明
0	EEPWPEIE	1	R/W	FLD 書き込み/消去プロテクト違反割り込みイネーブル FLD 書き込み/消去プロテクト違反が発生し、FASTAT レジスタの EEPWPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可 /禁止するためのビットです。 0 : EEPWPE=1 で FIFE 割り込み要求を発生しない 1 : EEPWPE=1 で FIFE 割り込み要求を発生する

24.3.4 FLD 読み出し許可レジスタ 0 (EEPREG0)

EEPREG0 は、データマットの DB00～DB07 ブロック (図 24.3 を参照) の読み出しを許可/禁止するためのレジスタです。EEPREG0 は、パワーオンリセットによって初期化されます。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

KEY								DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15～8	KEY	すべて 0	R/(W)*	キーコード DBRE07～DBRE00 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	DBRE07	0	R/W	DB07～DB00 ブロック読み出し許可ビット データマットの DB07～DB00 ブロックに対する読み出しの許可/禁止を設定するビットです。DBREi ビット (i=07～00) を DBi ブロックの読み出し制御に使用します。DBRE07～DBRE00 ビットへの書き込みは、ワードアクセスで KEY が H'2D の場合のみ有効です。 0: 読み出し禁止 1: 読み出し許可
6	DBRE06	0	R/W	
5	DBRE05	0	R/W	
4	DBRE04	0	R/W	
3	DBRE03	0	R/W	
2	DBRE02	0	R/W	
1	DBRE01	0	R/W	
0	DBRE00	0	R/W	

24.3.5 FLD 読み出し許可レジスタ 1 (EEPRE1)

EEPRE1 は、データマットの DB08～DB15 ブロック (図 24.3 を参照) の読み出しを許可/禁止するためのレジスタです。EEPRE1 は、パワーオンリセットによって初期化されます。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

KEY								DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15～8	KEY	すべて 0	R/(W)*	キーコード DBRE15～DBRE08 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	DBRE15	0	R/W	DB15～DB08 ブロック読み出し許可ビット データマットの DB15～DB08 ブロックに対する読み出しの許可/禁止を設定するビットです。DBRE _i ビット (i=15～08) を DB _i ブロックの読み出し制御に使用します。DBRE15～DBRE08 ビットへの書き込みは、ワードアクセスで KEY が H'D2 の場合のみ有効です。 0: 読み出し禁止 1: 読み出し許可
6	DBRE14	0	R/W	
5	DBRE13	0	R/W	
4	DBRE12	0	R/W	
3	DBRE11	0	R/W	
2	DBRE10	0	R/W	
1	DBRE09	0	R/W	
0	DBRE08	0	R/W	

24.3.6 FLD 書き込み／消去許可レジスタ 0 (EEPWE0)

EEPWE0 は、データマットの DB00～DB07 ブロック (図 24.3 を参照) の書き込み／消去を許可／禁止するためのレジスタです。EEPWE0 は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								DBW E07	DBW E06	DBW E05	DBW E04	DBW E03	DBW E02	DBW E01	DBW E00
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15～8	KEY	すべて 0	R/(W)*	キーコード DBWE07～DBWE00 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	DBWE07	0	R/W	DB07～DB00 ブロック書き込み／消去許可ビット データマットの DB07～DB00 ブロックに対する書き込み／消去の許可／禁止を設定するビットです。DBWE _i ビット (i=07～00) を DB _i ブロックの書き込み／消去制御に使用します。DBWE07～DBWE00 ビットへの書き込みは、ワードアクセスで KEY が H'1E の場合のみ有効です。 0: 書き込み／消去禁止 1: 書き込み／消去許可
6	DBWE06	0	R/W	
5	DBWE05	0	R/W	
4	DBWE04	0	R/W	
3	DBWE03	0	R/W	
2	DBWE02	0	R/W	
1	DBWE01	0	R/W	
0	DBWE00	0	R/W	

24.3.7 FLD 書き込み/消去許可レジスタ 1 (EEPWE1)

EEPWE1 は、データマットの DB08~DB15 ブロック (図 24.3 を参照) の書き込み/消去を許可/禁止するためのレジスタです。EEPWE1 は、パワーオンリセットによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	KEY	すべて 0	R/(W)*	キーコード DBWE15~DBWE08 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	DBWE15	0	R/W	DB15~DB08 ブロック書き込み/消去許可ビット データマットの DB15~DB08 ブロックに対する書き込み/消去の許可/禁止を設定するビットです。DBWE _i ビット (i=15~08) を DB _i ブロックの書き込み/消去制御に使用します。DBWE15~DBWE08 ビットへの書き込みは、ワードアクセスで KEY が H'E1 の場合のみ有効です。 0: 書き込み/消去禁止 1: 書き込み/消去許可
6	DBWE14	0	R/W	
5	DBWE13	0	R/W	
4	DBWE12	0	R/W	
3	DBWE11	0	R/W	
2	DBWE10	0	R/W	
1	DBWE09	0	R/W	
0	DBWE08	0	R/W	

24.3.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR は、ROM/FLD を P/E モードに設定するために使用するレジスタです。ROM/FLD を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットに 1 を設定する必要があります。FENTRYR は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

FENTRYR をアクセスして FCU のモードを遷移させるときには、FENTRYR を書き込んだ後にリードを行います。リードをしてレジスタが設定値になっていることを確認後、FLD の書き込み、消去、リードの各動作を行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								FEN TRYD	-	-	-	-	-	-	FEN TRY0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説明
15~8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	FLD P/E モードエントリビット FLD を P/E モードに設定するためのビットです。 0 : FLD はリードモード 1 : FLD は P/E モード [書き込み有効条件] 以下の全条件を満たす場合 <ul style="list-style-type: none"> • FSTATR0 レジスタの FRDY ビットが 1 • ワードアクセスで FEKEY に H'AA 書き込み [セット条件] <ul style="list-style-type: none"> • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRYD に 1 を書き込んだ場合 [クリア条件] <ul style="list-style-type: none"> • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRYD に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合
6~1	-	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説 明
0	FENTRY0	0	R/W	ROM P/E モードエントリビット 0 「第 23 章 フラッシュメモリ (ROM)」を参照してください。

【注】 * 書き込みデータは保持されません。

24.3.9 FLD ブランクチェックレジスタ (EEPBCCNT)

EEPBCCNT は、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。EEPBCCNT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	BCADR										—	—	BC SIZE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15~13	—	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
12~3	BCADR	すべて 0	R/W	ブランクチェックアドレス設定ビット ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト (BCSIZE ビットが 0) の場合に、チェック対象領域のアドレスを設定するためのビットです。BCSIZE が 0 の場合には、EEPBCCNT レジスタの設定値 (BCADR の設定値を MSB 側に 3 ビットシフトした値) とブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。
2, 1	—	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCSIZE	0	R/W	ブランクチェックサイズ設定ビット ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。 0: ブランクチェック対象領域は 8 バイト 1: ブランクチェック対象領域は 2K バイト

24.3.10 FLD ブランクチェックステータスレジスタ (EEPBCSTAT)

EEPBCSTAT は、ブランクチェックコマンドの処理結果が格納されるレジスタです。EEPBCSTAT は、パワーオンリセット、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCST	0	R	ブランクチェックステータスビット ブランクチェックの結果を示すビットです。 0: ブランクチェック対象領域は消去状態 (ブランク) 1: ブランクチェック対象領域は 0 データか 1 データが書き込まれた状態

24.4 FLD 関連モード概要

図 24.4 に本 LSI のモード遷移図 (FLD 関連) を示します。MD0 端子と FWE 端子の設定値と本 LSI の動作モードの関係については「第 3 章 MCU 動作モード」を参照してください。

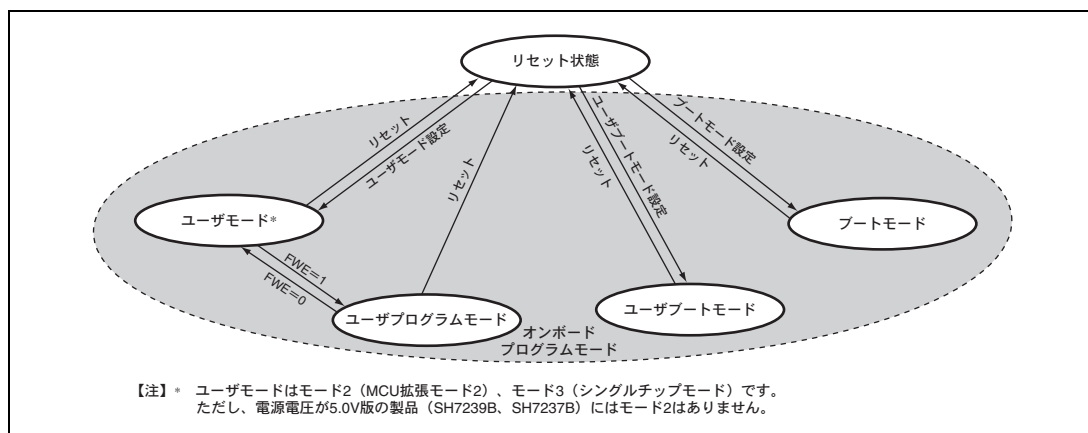


図 24.4 FLD に関するモード遷移図

- ユーザモード/ユーザプログラムモード/ユーザブートモード/ブートモードでは、オンボードでデータマットの読み出し/書き込み/消去を実施できます。
- ユーザモードではROMを書き込み/消去できませんが、FLDを書き込み/消去できます。また、FLDの書き込み/消去中にはROMを読み出すことができます。このため、書き込み/消去プロテクトされたROM上のアプリケーションプログラムを実行しながら、データをFLDに書き込むことができます。

表 24.3 に、ブートモード、ユーザモード、ユーザプログラムモード、ユーザブートモードの書き込み/消去関連項目の比較を示します。

表 24.3 プログラムモードの比較

項目	ブートモード	ユーザモード	ユーザプログラムモード	ユーザブートモード
書き込み/消去環境	オンボードプログラム			
書き込み/消去可能マット	データマット	データマット	データマット	データマット
書き込み/消去制御	ホスト	FCU	FCU	FCU
全面消去	○(自動)	○	○	○
ブロック分割消去	○*1	○	○	○
書き込みデータ転送	ホストから SCIF 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザマット	ユーザブート マット*2

【注】 *1 起動時に全面消去されます。その後、特定ブロックの消去を実施可能です。

*2 組み込みプログラム格納マットから起動し、ルネサス提供のブートプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ブートモードでは、起動直後にROMのユーザマット/ユーザブートマットとデータマットが全面消去されます。その後、ホストからSCIF経由でのデータマットの書き込みが可能になります。データマットの読み出しも、起動直後の全面消去後に可能になります。
- ユーザブートモードでは、ユーザモード/ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

24.5 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み/消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「第23章 フラッシュメモリ (ROM)」を参照してください。本節では、FLD 専用のコマンドの説明を記載します。

24.5.1 問い合わせ設定ホストコマンド

表 24.4 に、FLD 専用の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ/データマット情報問い合わせコマンドは、「23.5.4 問い合わせ設定ホストコマンド待ち状態」の図 23.11 に示したフロー中の「マット書き込み用の情報問い合わせ」を実施する箇所で使用します。

表 24.4 問い合わせ設定ホストコマンド (FLD 専用)

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭/最終アドレスの問い合わせ

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットがあることを示す情報を本 LSI が送信します。

コマンド	H'2A			
レスポンス	H'3A	サイズ	マット有無	SUM

【記号説明】

サイズ (1 バイト) : マット有無の文字数 (固定値で 1)

マット有無 (1 バイト) : データマットの有無 (固定値で H'01)

H'00 : データマットなし

H'01 : データマットあり

SUM (1 バイト) : サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'2B		
レスポンス	H'3B	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数 (1 バイト) : データマットのエリア数 (連続したエリアは 1 エリアと数えます)

エリア先頭アドレス (4 バイト) : データマットエリアの先頭アドレス

エリア最終アドレス (4 バイト) : データマットエリアの最終アドレス

SUM (1 バイト) : サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド (「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照) のレスポンスに含まれます。

24.5.2 書き込み/消去ホストコマンド

表 24.5 に、FLD 専用の書き込み/消去ホストコマンド一覧を示します。FLD 専用のホストコマンドはデータマットのサムチェック/ブランクチェック用のコマンドのみで、書き込み/消去/読み出し用のコマンドは ROM と共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリーリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド/ユーザブートマット書き込み選択コマンド/256 バイト書き込みコマンド/消去選択コマンド/ブロック消去コマンド/メモリーリードコマンドの詳細は、「23.5.5 書き込み/消去ホストコマンド待ち状態」を参照してください。消去ブロック問い合わせコマンドの詳細は、「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

表 24.5 書き込み/消去ホストコマンド (FLD 専用)

ホストコマンド名	機 能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、本 LSI はデータマットのデータをバイト単位で加算した結果 (サムチェック) を送信します。

コマンド	H'61			
レスポンス	H'71	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ (1 バイト) : マットのサムチェックのバイト数 (固定値で 4)

マットのサムチェック (4 バイト) : データマットのサムチェック結果

SUM (4 バイト) : サムチェック (レスポンスデータのサムチェック)

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、本 LSI はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、本 LSI はレスポンス (H'06) を送信します。データマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス (H'E2→H'52) を送信します。

コマンド	H'62	
レスポンス	H'06	
エラーレスポンス	H'E2	H'52

24.6 ユーザモード/ユーザプログラムモード/ユーザブートモード

24.6.1 FCU コマンド一覧

ユーザモード/ユーザプログラムモード/ユーザブートモードでは、FCU へ FCU コマンドを発行してデータマットの書き込み/消去を実行します。表 24.6 に、FLD 書き込み/消去で使用可能な FCU コマンドの一覧を示します。

表 24.6 FCU コマンド一覧 (FLD 関連)

コマンド	機能
ノーマルモード移行	ノーマルモードに遷移 (「24.6.2 FCU コマンド受け付け条件」を参照)
ステータスリードモード移行	ステータスリードモードに遷移 (「24.6.2 FCU コマンド受け付け条件」を参照)
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに遷移 (「24.6.2 FCU コマンド受け付け条件」を参照)
プログラム	FLD 書き込み (8 バイトまたは 128 バイト単位)
ブロックイレーズ	FLD 消去 (ブロック単位)
P/E サスペンド	書き込み/消去の中断
P/E レジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの IGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ブランクチェック	指定した領域が消去状態 (ブランク) であるか確認
周辺クロック通知	周辺クロックの周波数をシーケンサに通知

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、FLD 領域に対する P バスアクセスで実現されます。次ページの表 24.7 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「23.6.1 FCU コマンド一覧」を参照してください。表 24.7 に示した P バスアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドの受け付け条件については、「24.6.2 FCU コマンド受け付け条件」を参照してください。また、コマンドの使用方法については、「24.6.3 FCU コマンド使用方法」を参照してください。

FMODR レジスタの FRDMD ビットが 0 (メモリ領域モード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド (ロックビットリード1) を受け付けます。FLD にはロックビットが存在しないため、ロックビットリードモードに移行後に FLD 領域に対して P バスリードアクセスを実行すると不定データが読み出されます。この不定データ読み出し時には、FCU はエラーを検出しません。FMODR レジスタの FRDMD が 1 (レジスタリードモード) で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はブランクチェックコマンドの 2 サイクル目のコマンド (H'D0) 待ちの状態になります。この状態で、FLD 領域に対して P バスライトアクセスで H'D0 を書き込むと、FCU は EEPBCCNT レジスタの設定値に従ったブランクチェック処理を実行し、ブランクチェック完了後に EEPBCSTAT レジスタに結果を反映します。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各モードでの動作の詳細は「23.6.4 サスペンド動作」を参照してください。

表 24.7 FCU コマンドのフォーマット (FLD 専用コマンド)

コマンド	バス サイクル数	1 サイクル目		2 サイクル目		3 サイクル目		4~N+2 サイクル目		N+3 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム (8 バイト書き込み : N=4)	7	EA	HE8	EA	H'04	WA	WD1	EA	WDn	EA	H'D0
プログラム (128 バイト書き込み : N=64)	67	EA	HE8	EA	H'40	WA	WD1	EA	WDn	EA	H'D0
ブランクチェック	2	EA	H'71	BA	H'D0	-	-	-	-	-	-

【記号説明】

EA : FLD 領域のアドレス

H'80100000~H'80107FFF の任意アドレス

WA : 書き込みデータの先頭アドレス

BA : FLD 消去ブロックアドレス

対象消去ブロックの任意アドレス

WDn : 書き込みデータ n ワード目 (n=1~N)

24.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード/状態に依存します。図 24.5 に FCU のモード遷移図を示します。

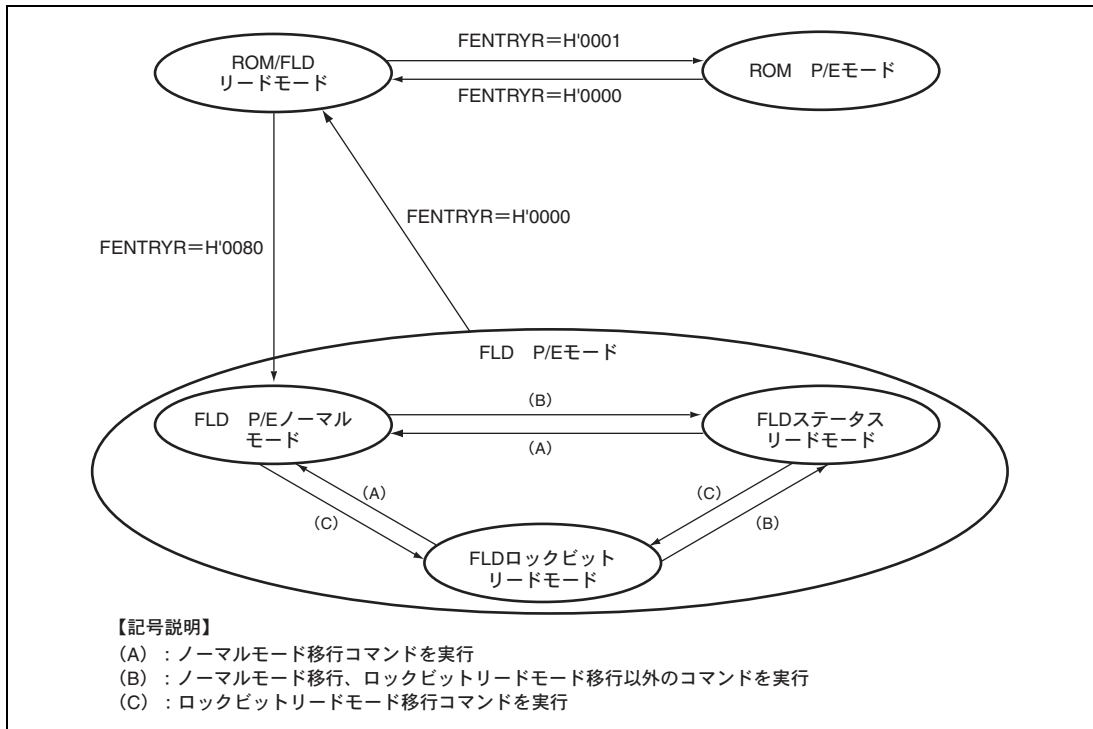


図 24.5 FCU のモード遷移図 (FLD 関連)

(1) ROM P/E モード

ROM 書き込み/消去用の FCU コマンドを受け付け可能なモードです。FLD を読み出すことはできません。FENTRYR レジスタの FENTRYD ビットを 0、かつ FENTRY0 ビットを 1 に設定した場合に遷移するモードです。ROM P/E モードの詳細は、「23.6.2 FCU コマンド受け付け条件」を参照してください。

(2) ROM/FLD リードモード

HPB 経由で FLD を、ROM キャッシュ経由で ROM を高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYD ビットを 0、かつ FENTRY0 ビットを 0 に設定した場合に、このモードに遷移します。

(3) FLD P/E モード

• FLD P/E ノーマルモード

ROM/FLD リードモードまたは ROM P/E モード時に FENTRYD ビットを 1 かつ FENTRY0 ビットを 0 に設定した場合、または FLD P/E モードで ノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表 24.8 に受け付け可能なコマンドを示します。FLD 領域に対して P バスリードアクセスを発行した場合には、FLD アクセス違反が発生して FCU はコマンドロック状態になります。ROM は高速読み出し可能です。

• FLD ステータスリードモード

FLD P/E モードで ノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0 レジスタの FRDY ビットが 0 の状態やエラー発生後のコマンドロック状態も、FLD ステータスリードモード中の状態です。表 24.8 に受け付け可能なコマンドを示します。FLD 領域に対して P バスリードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出されます。ROM は高速読み出し可能です。

• FLD ロックビットリードモード

FLD P/E モードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表 24.8 に受け付け可能なコマンドを示します。FLD にはロックビットが存在しないため、FLD 領域に対して P バスリードアクセスを発行した場合には、読み出しデータは不定値になりますが、FLD アクセス違反は発生しません。ROM は高速読み出し可能です。

表 24.8 に FLD P/E モードの各モード/状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「24.7.3 エラープロテクト」を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。表 24.8 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み/消去の処理中、書き込み/中断処理の処理中、ブランクチェック処理中には FSTATR0 レジスタの FRDY ビットが 0 になります。FRDY ビットが 0 の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが 1 の場合のみです。

表 24.8 では、表を簡素化するために ERSSPD、PRGSPD、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には 1、書き込みの中断処理中の場合には 0 になります。PRGSPD ビットは、書き込みの中断処理中の場合には 1、消去の中断処理中の場合には 0 になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表 24.8 FCU のモード/状態と受け付け可能なコマンドの関係

項 目	P/E ノーマルモード			ステータスリードモード							ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード 1)	○	○	○	×	×	×	○	○	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×

項 目	P/E ノーマルモード			ステータスリードモード							ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	書き込み／消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○

【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

24.6.3 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用してFLDを書き込み/消去する方法とブランクチェックコマンドを使用してFLDの消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他のFCU コマンド使用方法については、「23.6.3 FCU コマンド使用方法」を参照してください。

FCUがコマンド処理中にFSTATR1レジスタのFCUERRビットが1にセットされてコマンドロック状態に遷移した場合には、FSTATR0レジスタのFRDYビットは0を保持します。コマンドロック状態ではFCUの処理が停止するため、FRDYビットが0から1にセットされることはありません。書き込み/消去時間やサスペンド遅延時間（「第29章 電気的特性」を参照）よりも長期間にわたってFRDYビットが0に保持される場合は、コマンドロック状態でFCUの処理が停止するなどの異常動作が発生している可能性があるため、FCUリセットによってFCUを初期化してください。FCUのコマンド処理が完了してFRDYビットが1にセットされた場合には、FCUERRビットの値は必ず0の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR、ERSERR、PRGERRビットで確認可能です。

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「第23章 フラッシュメモリ (ROM)」の「23.6.3 FCU コマンド使用方法」を参照してください。FENTRYRレジスタのFENTRYDビットを1にセットし、アドレスはデータフラッシュ領域内のアドレスを指定するように設定してください。

(2) 書き込み方法

FLDへのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第1サイクルではH'E8を、第2サイクルでは書き込みワード数(N)*をFLD領域のアドレスにバイト書き込みします。コマンドの第3~N+2サイクルでは、ワードサイズでPバスアクセスを実行します。第3サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。先頭アドレスは、8バイト書き込みの場合には8バイト境界、128バイト書き込みの場合には128バイト境界にアラインしてください。FLD領域のアドレスに対してN回のワード書き込みを実行後、第N+3サイクルでFLD領域のアドレスに対してH'D0をバイト書き込みするとFCUがFLDの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

第3サイクル~第N+2サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータをH'FFFFにしてください。EEPWE0、EEPWE1レジスタによる書き込み/消去プロテクトを無効化して書き込みを実施したい場合には、書き込み対象ブロック用の書き込み/消去許可ビットを1に設定してから書き込みを行ってください。

図24.6に、FLDの書き込み方法を示します。

【注】* 8バイト書き込みの場合はN=H'04、128バイト書き込みの場合はN=H'40です。

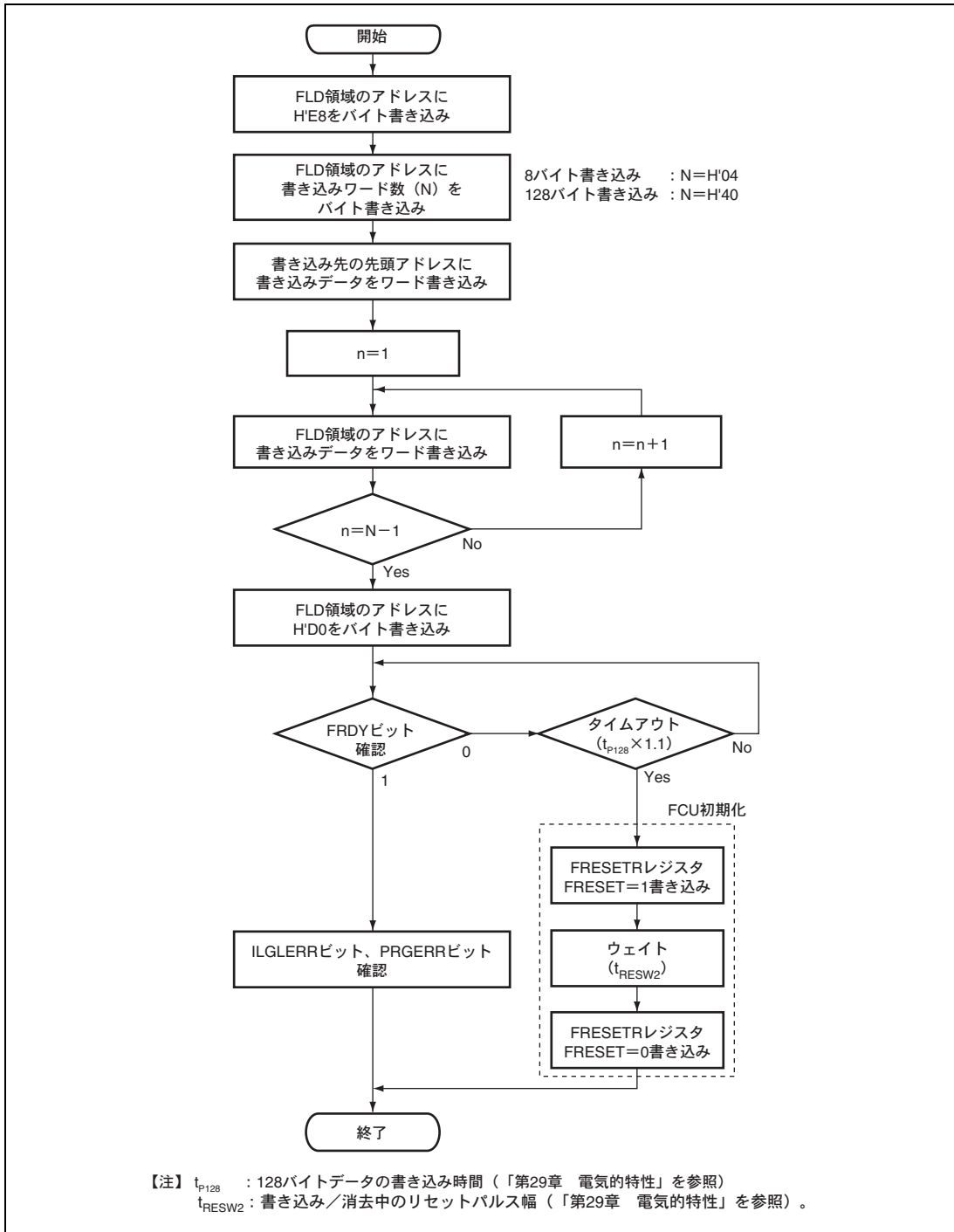


図 24.6 FLD の書き込み

(3) 消去方法

FLD の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROM の消去方法と同様です（「第 23 章 フラッシュメモリ (ROM)」を参照）。FLD には、EEPWE0、EEPWE1 レジスタによる書き込み／消去プロテクト機能があることに注意してください。EEPWE0、EEPWE1 によるプロテクトを無効化して消去を実施したい場合には、消去対象ブロック用の書き込み／消去許可ビットを 1 に設定してから消去を行ってください。

(4) 消去状態の確認方法

CPU で消去状態の FLD を読み出すと不定値が読み出されますので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前に FMODR レジスタの FRDMD ビットを 1 に設定してブランクチェックコマンドが使用可能な状態にし、EEPBCCNT レジスタにチェック対象領域のサイズとアドレスを設定してください。EEPBCCNT レジスタの BCSIZE ビットが 1 の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロック全体 (2K バイト) のブランクチェックを実行可能です。BCSIZE ビットが 0 の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロックの先頭アドレスと EEPBCCNT レジスタの値を加算したアドレスから 8 バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第 1 サイクルでは、H'71 を FLD 領域のアドレスにバイト書き込みします。コマンドの第 2 サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに H'D0 をバイト書き込みすると、FCU が FLD のブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。ブランクチェックの完了後に EEPBCSTAT レジスタの BCST ビットの値を確認すると、チェック対象領域が消去状態であるか 0 データか 1 データを書き込んだ状態であるかを確認することができます。

図 24.7 に、FLD のブランクチェックを示します。

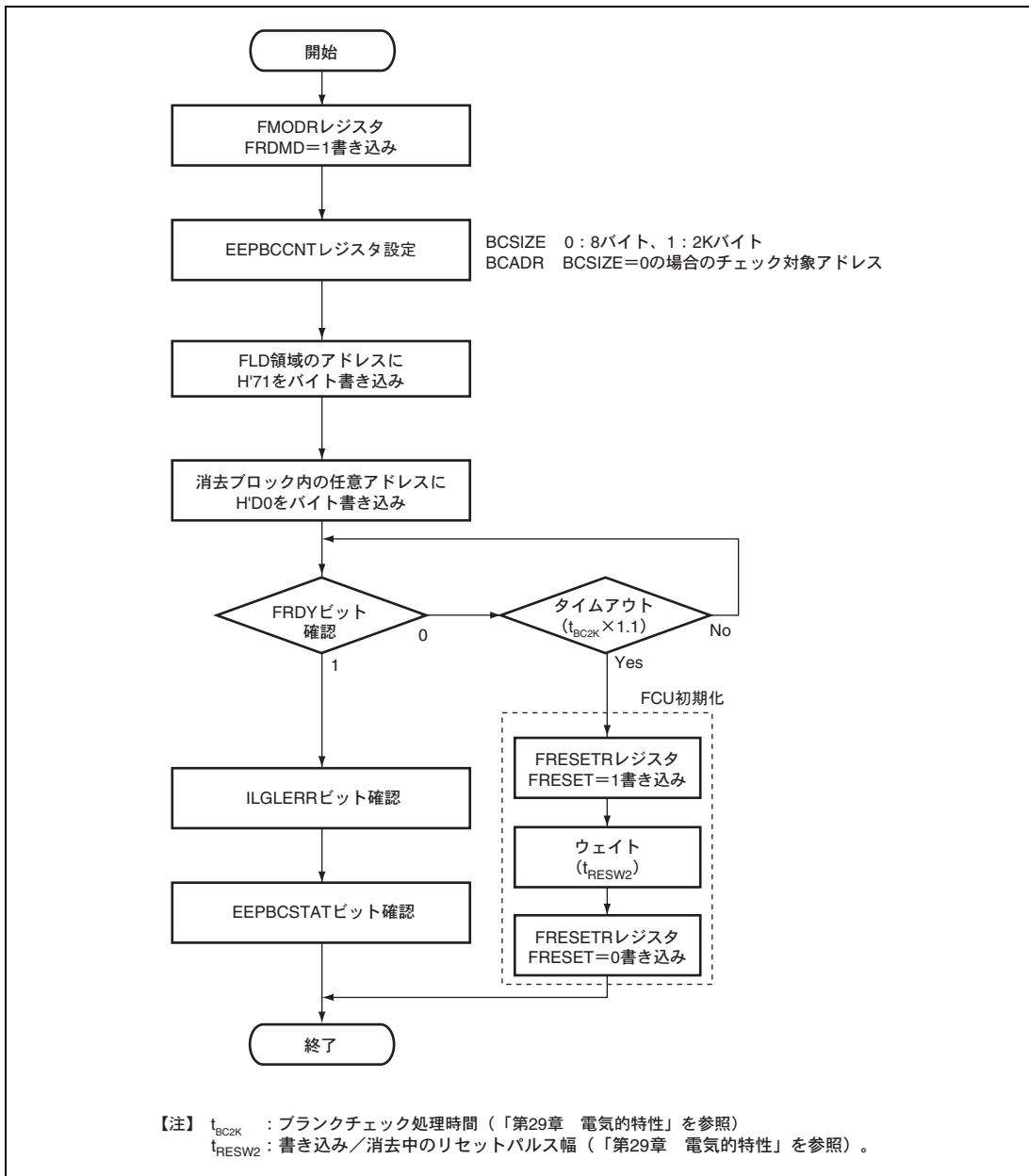


図 24.7 FLD のブランクチェック

24.7 プロテクト

FLD に対する書き込み／消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

24.7.1 ハードウェアプロテクト

ハードウェアプロテクトは、モード端子の設定によって FLD に対する書き込み／消去が禁止された状態です。本 LSI の動作モードと端子設定の関係は「第 3 章 MCU 動作モード」を参照してください。

24.7.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によって FLD に対する書き込み／消去が禁止された状態です。ソフトウェアプロテクトに違反して、FLD に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRYD ビットが 0 の場合には、FLD に対する FCU コマンドが受け付けられないため、FLD の書き込み／消去は禁止状態になります。FENTRYD ビットが 0 の状態で FLD に対する FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります（「24.7.3 エラープロテクト」を参照）。

(2) EEPWE0、EEPWE1 レジスタによるプロテクト

EEPWE0、EEPWE1 レジスタの DBWE_i (i=00~15) ビットが 0 の場合には、データマットの DB_i ブロックの書き込み／消去が禁止状態になります。DBWE_i ビットが 0 の状態で DB_i ブロックに対する書き込み／消去を実行すると、FCU は書き込み／消去プロテクト違反を検出してコマンドロック状態になります（「24.7.3 エラープロテクト」を参照）。

24.7.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行／禁止アクセスの発生／FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。FCU をコマンドロック状態にすることにより、FLD の書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態 (FASTAT レジスタの CMDLK ビットが 1) になるとフラッシュインタフェースエラー (FIFE) 割り込みが発生します。また、FAEINT レジスタの FLD 関連の割り込みイネーブルビット (EEP AEIE/EEPIFEIE/EEPRPEIE/EEPWPEIE ビット) が 1 の場合には、FASTAT レジスタの対応するビット (EEP AE/EEPIFE/EEPRPE/EEPWPE ビット) が 1 になると FIFE 割り込みが発生します。

表 24.9 に FLD 関連のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FASTST レジスタの EEP AE/EEPIFE/EEPRPE/EEPWPE ビット) の関係を示します。ROM/FLD 共通のエラープロテクト内容 (FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー) については、「23.9.3 エラープロテクト」を参照してください。書き込み／消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 24.9 エラープロテクト一覧 (FLD 専用)

分類	内 容	ILGLERR	ERSERR	PRGERR	EEP AE	EEPIFE	EEPRPE	EEPWPE
不正コマンド	プログラムコマンドの 2 サイクル目で H'04、H'40 以外を指定	1	0	0	0	0	0	0
	FENTRYR レジスタの FENTRYD ビットが 1 の状態で、FLD 領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
FLD アクセス違反	FENTRYR レジスタの FENTRYD ビットが 1、かつ FLD P/E ノーマルモードで、FLD 領域に対してリードアクセスを発行	1	0	0	1	0	0	0
	FENTRYD ビットが 0 の状態で、FLD 領域に対してライトアクセスを発行	1	0	0	1	0	0	0
	FENTRYR レジスタの FENTRY0 ビットが 1 の状態で、FLD 領域に対するアクセスを発行	1	0	0	1	0	0	0
FLD 命令フェッチ違反	FLD に対して命令フェッチを実行	1	0	0	0	1	0	0
FLD リードプロテクト違反	EEP RE0、EEP RE1 レジスタで読み出し禁止に設定した FLD 領域に対してリードアクセスを発行	1	0	0	0	0	1	0
FLD ライトプロテクト違反	EEP WE0、EEP WE1 レジスタで読み出し禁止に設定した FLD 領域に対して、プログラム/ブロックイレーズコマンドを発行	1	0	0	0	0	0	1

24.8 使用上の注意事項

24.8.1 リセット起動直後のデータマットプロテクト状態

EEPWE0、EEPWE1/EEPWE0、EEPWE1 レジスタの初期値が H'0000 であるため、リセット起動直後のデータマットの読み出し/書き込み/消去は禁止状態です。データマットの読み出しが必要な場合には EEPWE0、EEPWE1 レジスタを設定してからデータマットにアクセスしてください。また、データマットの書き込み/消去が必要な場合には、EEPWE0、EEPWE1 を設定してから書き込み/消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し/書き込み/消去を実行しようとすると、FCU がエラーを検出してコマンドロック状態になります。

24.8.2 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ライタモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

24.8.3 書き込み/消去サスペンド対象領域

書き込み/消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み/消去サスペンド対象領域のデータ読み出しが発生しないように注意してください。

24.8.4 従来の F-ZTAT SH マイコンとの書き込み/消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本 LSI では動作しません。

24.8.5 書き込み/消去中のリセット

書き込み/消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2} (「第 29 章 電気的特性」を参照) 保持してください。書き込み/消去中の FLD には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセットが状態を保持する必要があります。FCU をリセットしている期間は FLD の読み出しを行わないでください。

書き込み/消去処理中に $\overline{\text{RES}}$ 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2} (「第 29 章 電気的特性」を参照) 保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、FLD 用電源の初期化や FLD 内部回路の初期化に必要な期間を確保する必要があります。FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み/消去処理中に $\overline{\text{RES}}$ 端子のアサートによるパワーオンリセット、FRESETR レジスタの FRESET ビットをセットしての FCU リセットを実行すると、書き込み/消去対象領域のロックビットを含む全データは不定となります。

書き込み/消去処理中には、WDT カウンタのオーバフローによる内部リセットは発生しないようにしてください。WDT によるリセットでは、メモリ電圧の降下/FLD 用電源の初期化/FLD 内部の初期化に必要な期間を確保することができません。

24.8.6 書き込み/消去サスペンドによる中断

書き込み/消去サスペンドコマンドによって書き込み/消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

24.8.7 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

24.8.8 読み出しプログラムについて

FLD を読み出すプログラムは、内蔵 RAM または内蔵 ROM 上で実行してください。

24.8.9 書き込み/消去中の禁止事項

書き込み/消去中はデータフラッシュ (FLD) 内に高電圧が印加されています。本 LSI の破壊を防ぐため、以下の動作を行わないでください。

- 電源を切断する
- ソフトウェアスタンバイモードへ遷移させる
- CPU、DMAC、DTC からのフラッシュメモリのリードアクセス
- FRQCR レジスタの値の書き換え
- P ϕ と異なる周波数を PCKAR レジスタに設定する

24.8.10 書き込み/消去中の異常終了

書き込み/消去中のリセット、FRESETR レジスタの FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、書き込み/消去が正常に終了しなかった場合、ロックビットが 0 (プロテクト状態) になっている場合があります。この場合、FPROTR.FPROTCN ビットに 1 をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

24.8.11 消去または書き込み中断時の対応について

消去または書き込み処理の中断 (例: リセット入力、電源瞬断) によりデータが不定となった領域の消去および書き込み状態を確認するベリファイ手段はありません。

不定となった領域を再度使用する場合は、消去処理を行ない、完全な消去状態にしてから使用してください。

25. 内蔵 RAM

SH7239 グループおよび SH7237 グループは、64K バイトまたは 32K バイトの RAM を内蔵しています。各製品と RAM の容量については、「1.2 製品一覧」を参照してください。内蔵 RAM は、F バス（フェッチバス）、M バス（メモリバス）、I バス（内部バス）と接続しており、それぞれ独立にアクセスすることができます。

図 25.1 に RAM のブロック図、図 25.2 に RAM のバス接続図を示します。

25.1 特長

- ページ

ページ0およびページ1：SH72394、SH72374

ページ0、ページ1、ページ4、およびページ5：SH72395、SH72375

- アクセス

CPU/FPU、DMAC、DTCは、8、16、または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、高速アクセスが必要なプログラムエリアまたはスタックエリアやデータアクセスとしての使用に適しています。

ページ0、ページ1は、リード時1サイクル/ライト時1サイクル

ページ4、ページ5は、リード時2サイクル/ライト時3サイクル

- ポート

各ページは2本の独立した読み出し/書き込みポートを持ち、Iバス、Fバス、Mバスと接続されています。ただし、Fバスは読み出しポートのみに接続されています。CPUからのアクセスにはFおよびMバス、外部アドレス空間からのアクセスにはIバスが使用されます。

- 優先順位

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Mバス、Fバスとなります。

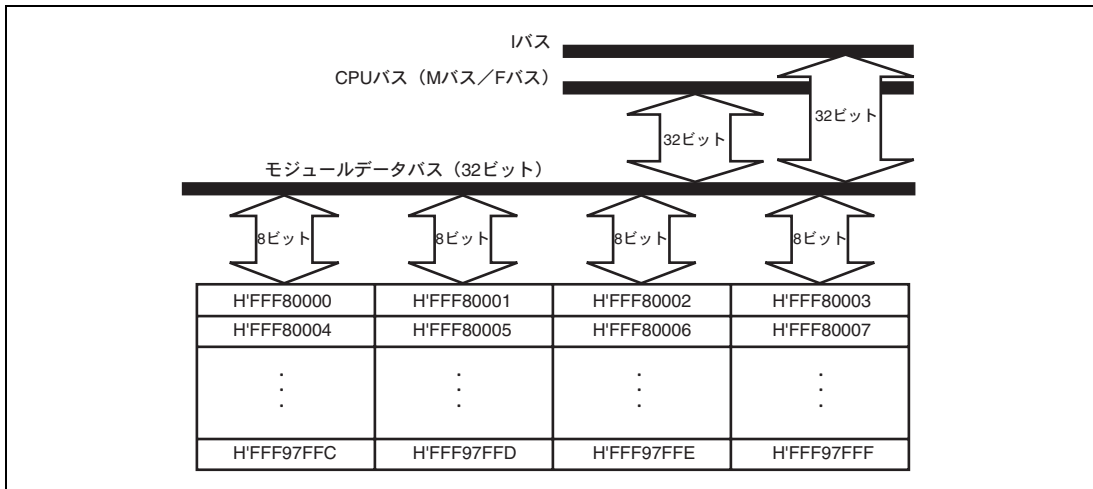


図 25.1 RAM のブロック図

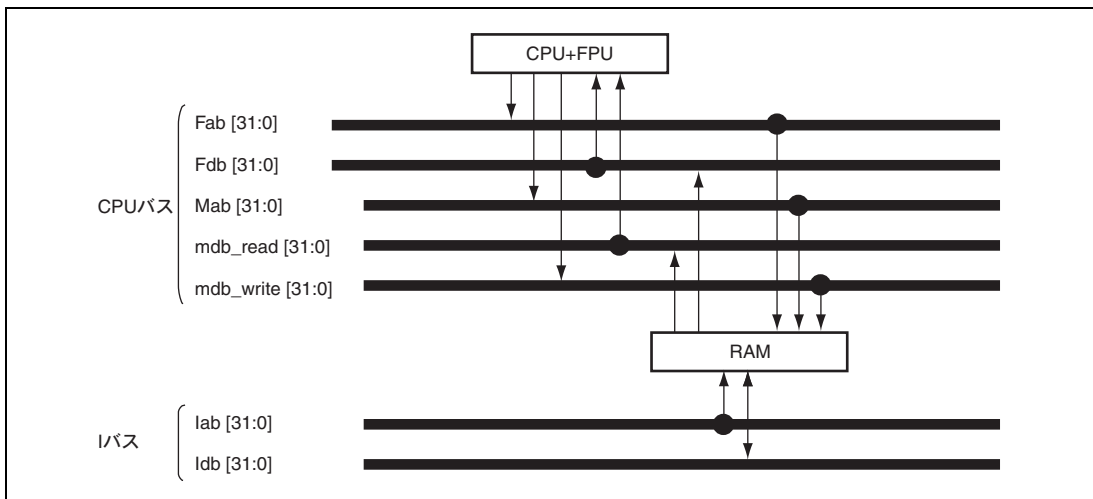


図 25.2 RAM のバス接続図

表 25.1 内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FFF80000~H'FFF83FFF
ページ 1	H'FFF84000~H'FFF87FFF
ページ 4	H'FFF90000~H'FFF93FFF
ページ 5	H'FFF94000~H'FFF97FFF

【注】 製品により使用できるページは以下のとおり異なります。

ページ 0 およびページ 1 : SH72394、SH72374

ページ 0、ページ 1、ページ 4、およびページ 5 : SH72395、SH72375

25.2 レジスタの説明

RAM 関連レジスタには以下のレジスタがあります。

表 25.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
システムコントロールレジスタ1	SYSCR1	R/W	H'FF	H'FFFE 0402	8
システムコントロールレジスタ2	SYSCR2	R/W	H'FF	H'FFFE 0404	8

25.2.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM へのアクセス許可/禁止を設定します。SYSCR1 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディセーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	RAME5	RAME4	-	-	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	RAME5	1	R/W	RAM イネーブル 5 ページ 5 へのアクセスの許可/禁止を設定します。 0: ページ 5 へのアクセス禁止 1: ページ 5 へのアクセス許可

ビット	ビット名	初期値	R/W	説 明
4	RAME4	1	R/W	RAM イネーブル 4 ページ 4 へのアクセスの許可/禁止を設定します。 0: ページ 4 へのアクセス禁止 1: ページ 4 へのアクセス許可
3、2	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAME1	1	R/W	RAM イネーブル 1 ページ 1 へのアクセスの許可/禁止を設定します。 0: ページ 1 へのアクセス禁止 1: ページ 1 へのアクセス許可
0	RAME0	1	R/W	RAM イネーブル 0 ページ 0 へのアクセスの許可/禁止を設定します。 0: ページ 0 へのアクセス禁止 1: ページ 0 へのアクセス許可

【注】 SH72394、SH72374 では、RAME4 ビットと RAME5 ビットはリザーブビットとなります。

25.2.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、内蔵 RAM への書き込み許可／禁止を設定します。SYSCR2 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM にはライトできません。このとき、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード／ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR2 へのライト命令の直後に SYSCR2 のリード命令を置いてください。もし、SYSCR2 ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット:	7	6	5	4	3	2	1	0
	-	-	RAM WE5	RAM WE4	-	-	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	RAMWE5	1	R/W	RAM ライトイネーブル 5 ページ 5 の書き込み許可／禁止を設定します。 0: ページ 5 の書き込み禁止 1: ページ 5 の書き込み許可
4	RAMWE4	1	R/W	RAM ライトイネーブル 4 ページ 4 の書き込み許可／禁止を設定します。 0: ページ 4 の書き込み禁止 1: ページ 4 の書き込み許可
3, 2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 ページ 1 の書き込み許可／禁止を設定します。 0: ページ 1 の書き込み禁止 1: ページ 1 の書き込み許可

ビット	ビット名	初期値	R/W	説明
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 ページ 0 の書き込み許可／禁止を設定します。 0 : ページ 0 の書き込み禁止 1 : ページ 0 の書き込み許可

【注】 SH72394、SH72374 では、RAMWE4 ビットと RAMWE5 ビットはリザーブビットとなります。

25.3 使用上の注意事項

25.3.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となり、優先順位に従ってアクセスが処理されます。優先順位は、高い順に I バス、M バス、F バスとなります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

26. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

26.1 特長

26.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 26.1 に示します。

表 26.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態*						解除方法
		CPG	CPU	CPU レジスタ	内蔵 メモリ	内蔵周辺 モジュール	外部 メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	動作	オートリフレッシュされます	<ul style="list-style-type: none"> • 割り込み • マニュアルリセット • パワーオンリセット • DMA アドレスエラー
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフレッシュにしてください	<ul style="list-style-type: none"> • NMI 割り込み • IRQ 割り込み • マニュアルリセット • パワーオンリセット
モジュールスタンバイ機能	STBCR2、STBCR3、STBCR4、STBCR5、STBCR6 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	オートリフレッシュされます	<ul style="list-style-type: none"> • MSTP ビットを 0 にクリア • パワーオンリセット (ただし H-UDI、UBC、DMAC、DTC、フラッシュメモリのみ)

【注】 * 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。

26.1.2 リセット

リセットは、電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理がただちに実行されます。一方、マニュアルリセットの場合は、外部メモリの内容を保持するための処理等は継続します。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

(1) パワーオンリセット

1. $\overline{\text{RES}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、WRCRのRSTEビットが1でRSTSビットに0をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき（H-UDIリセットについては、「第27章 ユーザデバッグインタフェース（H-UDI）」を参照してください）。

(2) マニュアルリセット

1. $\overline{\text{MRES}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、WRCRのRSTEビットが1でRSTSビットに1をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。

26.2 入出力端子

低消費電力モード関連の端子構成を表 26.2 に示します。

表 26.2 端子構成

名称	端子名	入出力	機能
パワーオンリセット	$\overline{\text{RES}}$	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	$\overline{\text{MRES}}$	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

26.3 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 26.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'7E	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'F7	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0418	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'DF	H'FFFE041C	8

26.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	-	-	-	MSTP 4	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0: H-UDI は動作 1: H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0: UBC は動作 1: UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0: DMAC は動作 1: DMAC へのクロックの供給を停止
4~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP4	0	R/W	モジュールストップ 4 MSTP4 ビットを 1 にセットすると、DTC へのクロック供給を停止します。 0: DTC は動作 1: DTC へのクロック供給を停止
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'7E に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	-	-	MSTP 32	-	MSTP 30
初期値:	0	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。 本ビットは、WDT の WTSCR の TME ビットが 1 の状態では、設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。 0: ソフトウェアスタンバイモード時に、端子状態を保持する 1: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンスにする
6	MSTP36	1	R/W	モジュールストップ 36 MSTP36 ビットを 1 にセットすると MTU2S へのクロックの供給を停止します。 0: MTU2S は動作 1: MTU2S へのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0: MTU2 は動作 1: MTU2 へのクロックの供給を停止
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると ADC0 へのクロックの供給を停止します。 0: ADC0 は動作 1: ADC0 へのクロックの供給を停止
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットするとフラッシュメモリへのクロックの供給を停止します。 0 : フラッシュメモリは動作 1 : フラッシュメモリへのクロックの供給を停止

26.3.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時に H'F7 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	MSTP 44	-	MSTP 42	-	-
初期値 :	1	1	1	1	0	1	1	1
R/W :	R	R	R	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF3 へのクロックの供給を停止します。 0 : SCIF3 は動作 1 : SCIF3 へのクロックの供給を停止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロックの供給を停止
1, 0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

26.3.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR5 は、パワーオンリセット時に H'FF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	-	-	MSTP 52	MSTP 51	MSTP 50
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると SCI0 へのクロックの供給を停止します。 0 : SCI0 は動作 1 : SCI0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると SCI1 へのクロックの供給を停止します。 0 : SCI1 は動作 1 : SCI1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると SCI2 へのクロックの供給を停止します。 0 : SCI2 は動作 1 : SCI2 へのクロックの供給を停止
4, 3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットすると ADC1 へのクロックの供給を停止します。 0 : ADC1 は動作 1 : ADC1 へのクロックの供給を停止
1	MSTP51	1	R/W	モジュールストップ 51 MSTP51 ビットを 1 にセットすると ADC2 へのクロックの供給を停止します。 0 : ADC2 は動作 1 : ADC2 へのクロックの供給を停止
0	MSTP50	1	R/W	モジュールストップ 50 MSTP50 ビットを 1 にセットすると RSPI へのクロックの供給を停止します。 0 : RSPI は動作 1 : RSPI へのクロックの供給を停止

26.3.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR6 は、パワーオンリセット時に H'DF に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	MSTP 64	-	-	-	-
初期値:	1	1	0	1	1	1	1	1
R/W:	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MSTP64	1	R/W	モジュールストップ 64 MSTP64 ビットを 1 にセットすると RCAN-ET へのクロックの供給を停止します。 0 : RCAN-ET は動作 1 : RCAN-ET へのクロックの供給を停止
3~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

26.4 動作説明

26.4.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに移ります。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。CK 端子には、クロックが出力され続けます。

(2) スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、DMA アドレスエラーおよびリセット（マニュアルリセット、パワーオンリセット）により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMAC/DTC アドレスエラーによる解除

DMAC/DTC アドレスエラーが発生するとスリープモードが解除され、DMAC/DTC アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

26.4.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに移ります。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CK 端子からのクロック出力も停止します。

CPU および ROM キャッシュのレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態を表 26.4 に示します。

また、CPU は、STBCR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

表 26.4 ソフトウェアスタンバイモード時のレジスタの状態

モジュール名	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	—	全レジスタ
クロックパルス発振器 (CPG)	—	全レジスタ
ユーザブレイクコントローラ (UBC)	—	全レジスタ
バスステートコントローラ (BSC)	—	全レジスタ
A/D 変換器 (ADC)	全レジスタ	—
I/O ポート	—	全レジスタ
ユーザデバッグインタフェース (H-UDI)	—	全レジスタ
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	—	全レジスタ
ダイレクトメモリアクセスコントローラ (DMAC)	—	全レジスタ
マルチファンクションタイマパルスユニット 2 (MTU2)	—	全レジスタ
マルチファンクションタイマパルスユニット 2S (MTU2S)	—	全レジスタ
ポートアウトプットイネーブル 2 (POE2)	—	全レジスタ
コンペアマッチタイマ (CMT)	—	全レジスタ
シリアルコミュニケーションインタフェース (SCI)	—	全レジスタ
ルネサスペリフェラルインタフェース (RSPi)	—	全レジスタ
コントローラエリアネットワーク (RCAN-ET)	—	全レジスタ

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により、解除されます。

• 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ6~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQnセンスセレクトビット (IRQn1S~IRQn0S) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。

ソフトウェアスタンバイモードに遷移する前にWDTのウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDTのオ

ーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理（IRRQの場合、IRQ割り込み例外処理）が開始されます。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CK端子のクロック出力の位相が不安定になることがあります。

なお、立ち下がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがハイレベルに、かつソフトウェアスタンバイモード復帰時（発振安定後のクロック起動時）のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイモード復帰時（発振安定後のクロック起動時）のNMI端子のレベルがハイレベルになるようにしてください（IRQ端子の場合も同様です）。

- リセットによる解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をローレベルにすると、本LSIはパワーオンリセットまたはマニュアルリセット状態に遷移し、スタンバイモードは解除されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。CK端子には、内部のクロックが出力され続けます。

26.4.3 ソフトウェアスタンバイモードの応用例

NMI信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図26.1に示します。

割り込みコントロールレジスタ0（ICR0）のNMIエッジセレクトビット（NMIE）を0（立ち下がりエッジ検出）にした状態でNMI端子をハイレベルからローレベルに変化させると、NMI割り込みが受け付けられます。NMI例外サービスルーチンでNMIEビットを1（立ち上がりエッジ検出）にセットし、STBCRのSTBYビットを1にセットしてSLEEP命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

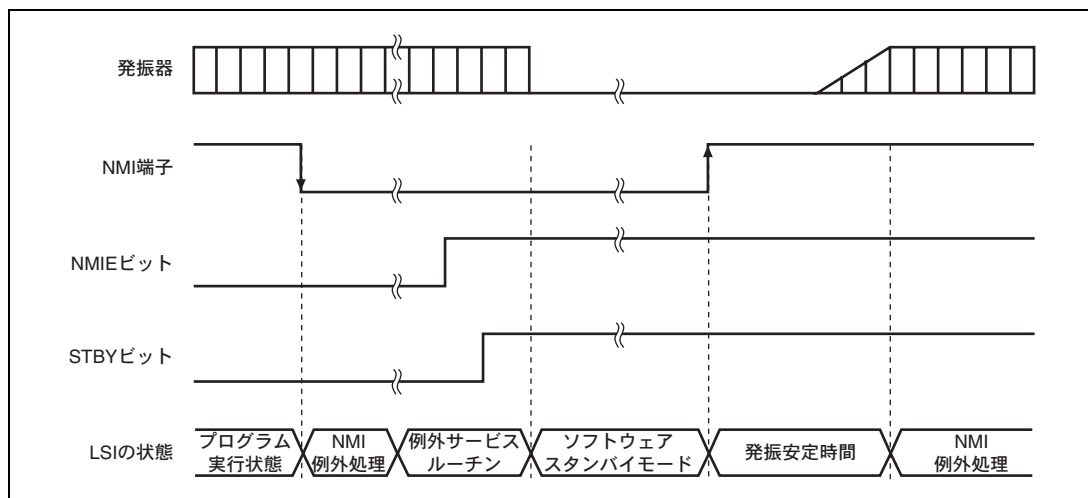


図 26.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

26.4.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタ (STBCR2~6) の各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディセーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット (ただし、H-UDI、UBC、DMAC、DTC、フラッシュメモリのみ) により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

26.5 使用上の注意事項

26.5.1 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

26.5.2 レジスタ書き込み時の注意

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

26.5.3 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項

IRQx 割り込み要求でソフトウェアスタンバイの解除を行う場合は、ICRx の IRQ センスセレクトの設定変更は IRQx 割り込み要求が発生しない状態で、IRQRRx の IRQxF フラグの 0 クリアは IRQx 割り込み処理実行による自動クリアで行ってください。

IRQ 割り込み要求レジスタ x (IRQRRx) の IRQxF フラグが 1 の状態で、割り込みコントロールレジスタ x (ICRx) の IRQ センスセレクトの設定変更または IRQRRx の IRQxF フラグを 0 クリアすると、該当の IRQx 割り込み要求はクリアされますが、ソフトウェアスタンバイ解除要求はクリアされません。

27. ユーザデバッグインタフェース (H-UDI)

本 LSI は、エミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI) を内蔵しています。

27.1 特長

ユーザデバッグインタフェース (H-UDI) は、リセットおよび割り込み要求の機能を備えています。

本 LSI の H-UDI はエミュレータの接続に使用されます。

エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 27.1 に H-UDI のブロック図を示します。

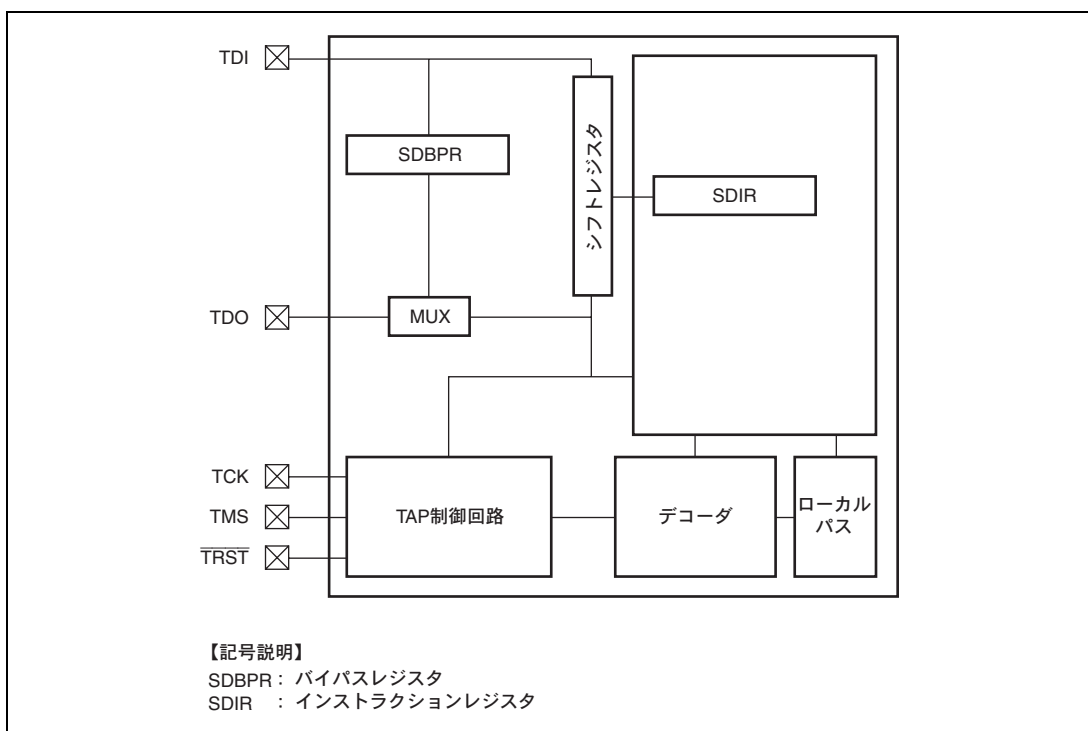


図 27.1 H-UDI のブロック図

27.2 入出力端子

表 27.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは図 27.2 を参照してください。
H-UDI リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「27.4.2 リセット構成」を参照してください。
H-UDI シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
H-UDI シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「27.4.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD0}}^*$	入力	$\overline{\text{RES}}$ 端子アサート期間中に、 $\overline{\text{ASEMD0}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD0}}$ 端子への入力レベルは、 $\overline{\text{RES}}$ 端子ネグート後、最低 1 サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

27.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 27.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	—	—	—	—
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

27.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

27.3.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]								-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 27.3 を参照してください。
7~2	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 27.3 H-UDI コマンド

ビット 15~8								説明
T17	T16	T15	T14	T13	T12	T11	T10	
0	1	1	0	—	—	—	—	H-UDI リセットネグート
0	1	1	1	—	—	—	—	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	—	—	—	—	H-UDI 割り込み
1	1	1	1	—	—	—	—	BYPASS モード
上記以外								予約

27.4 動作説明

27.4.1 TAP コントローラ

図 27.2 に TAP コントローラの内部状態を示します。

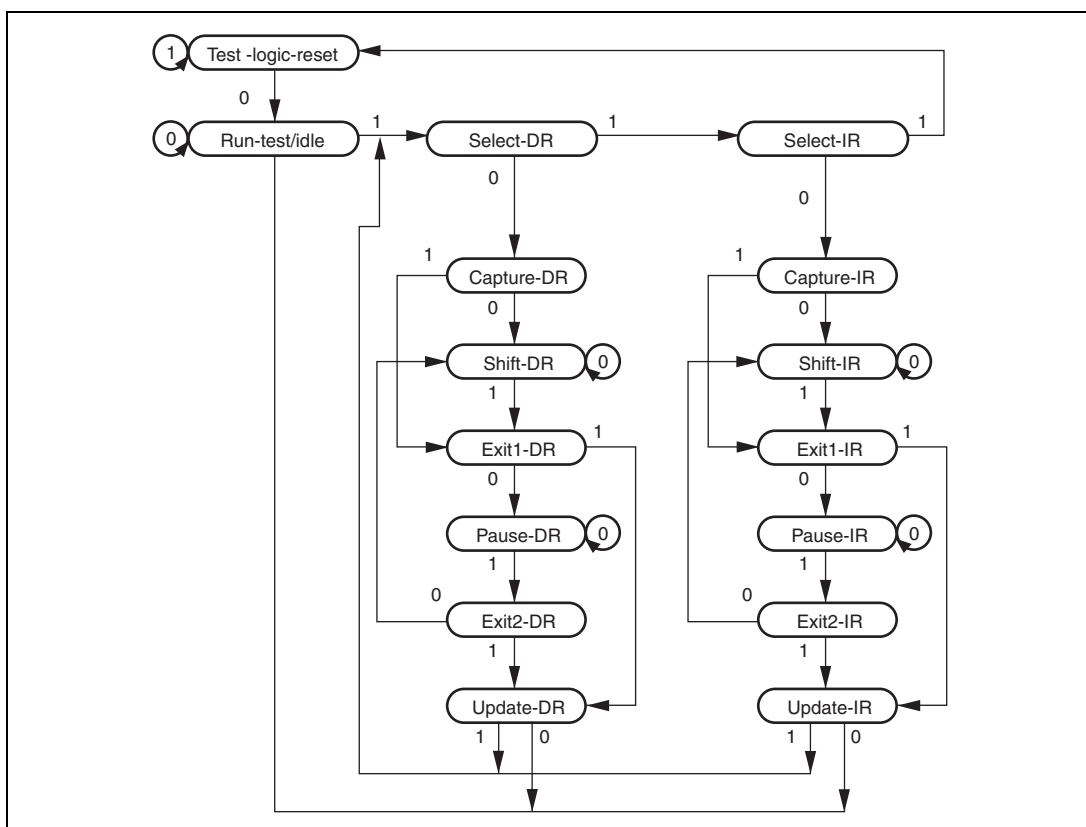


図 27.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「27.4.3 TDO 出カタイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

27.4.2 リセット構成

表 27.4 リセット構成

ASEMD0*1	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよび H-UDI のリセット
		H	パワーオンリセット
	H	L	H-UDI のみリセット (通常動作)
		H	通常動作
L	L	L	リセットホールド*2
		H	パワーオンリセット
	H	L	H-UDI のみリセット
		H	通常動作

【注】 *1 通常モードと ASE モードの設定を選択。

ASEMD0=H、通常モード

ASEMD0=L、ASE モード

*2 ASE モードで RES ネゲート時に TRST 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後、TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが、CPU は起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

27.4.3 TDO 出力タイミング

TDO の変化タイミングは、初期値では TCK の立ち下がりがエッジ同期で出力されます。ただし、H-UDI 端子から SDIR に「TDO 変化タイミング切り替え」コマンドをセットし、Updata-IR を通過することで、TDO の変化タイミングは TCK の立ち上がりエッジに同期します。これ以降、TRST を同時にアサートするパワーオンリセットを行わないかぎり、TDO の変化タイミングは変更できません。

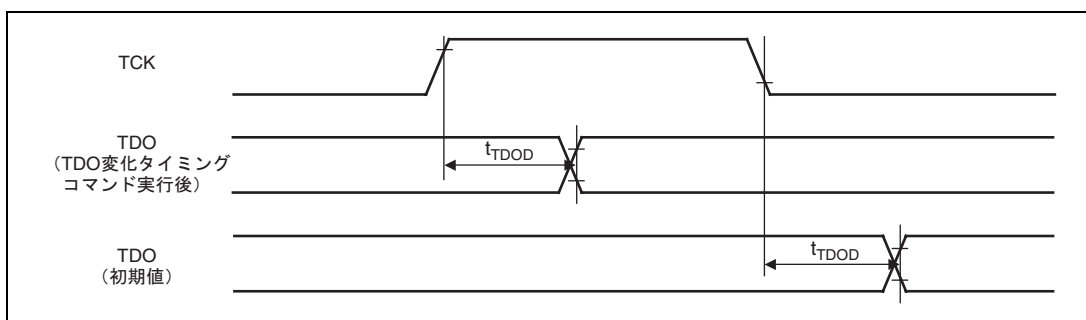


図 27.3 H-UDI データ転送タイミング

27.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために \overline{RES} 端子をローレベルに保つ時間と同じです。

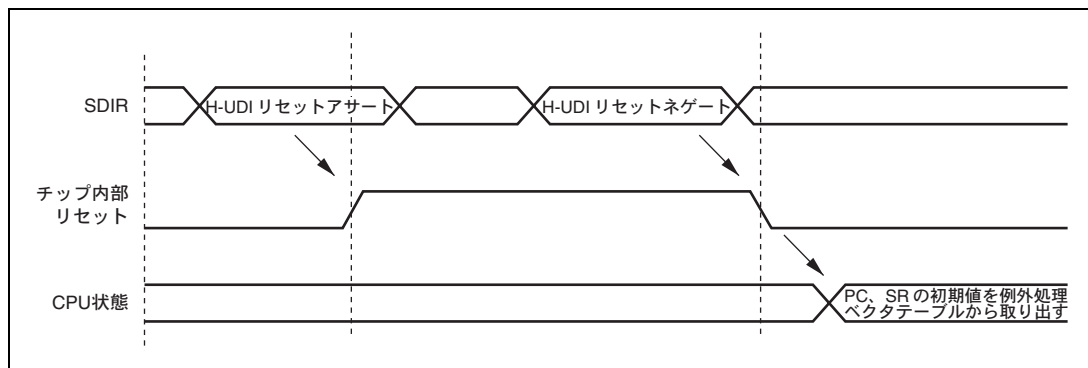


図 27.4 H-UDI リセット

27.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外/割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

27.5 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。また、ソフトウェアスタンバイモードの前後でTAPの状態を保持するためには、ソフトウェアスタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. $\overline{\text{TRST}}$ 端子ネゲートから200ns経過するまでの間、TMS端子はハイレベルに固定してください。

28. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「-」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（Pφ）で2サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

28.1 レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
CPG	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
	MTU クロック周波数制御レジスタ	MCLKCR	8	H'FFFE0410	8
	AD クロック周波数制御レジスタ	ACLKCR	8	H'FFFE0414	8
	発振停止検出制御レジスタ	OSCCR	8	H'FFFE001C	8
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0820	16
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16、32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16、32
	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16
	割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C16	16	
割り込み優先レベル設定レジスタ 18	IPR18	16	H'FFFE0C18	16、32	
UBC	ブ레이크アドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブ레이크アドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブ레이크バスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブ레이크アドレスレジスタ_2	BAR_2	32	H'FFFC0420	32
	ブ레이크アドレスマスクレジスタ_2	BAMR_2	32	H'FFFC0424	32
	ブ레이크バスサイクルレジスタ_2	BBR_2	16	H'FFFC04A4	16
	ブ레이크アドレスレジスタ_3	BAR_3	32	H'FFFC0430	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
UBC	ブレークアドレスマスクレジスタ_3	BAMR_3	32	H'FFFC0434	32
	ブレークバスサイクルレジスタ_3	BBR_3	16	H'FFFC04B4	16
	ブレークコントロールレジスタ	BRCR	32	H'FFFC04C0	32
DTC	DTC イネーブルレジスタ A	DTCERA	16	H'FFFE6000	8、16
	DTC イネーブルレジスタ B	DTCERB	16	H'FFFE6002	8、16
	DTC イネーブルレジスタ C	DTCERC	16	H'FFFE6004	8、16
	DTC イネーブルレジスタ D	DTCERD	16	H'FFFE6006	8、16
	DTC イネーブルレジスタ E	DTCERE	16	H'FFFE6008	8、16
	DTC コントロールレジスタ	DTCCR	8	H'FFFE6010	8
	DTC ベクタベースレジスタ	DTCVBR	32	H'FFFE6014	8、16、32
BSC	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32
	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC0008	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC0018	32
	CS6 空間バスコントロールレジスタ	CS6BCR	32	H'FFFC001C	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC002C	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC003C	32
	CS6 空間ウェイトコントロールレジスタ	CS6WCR	32	H'FFFC0040	32
	バス機能拡張レジスタ	BSCEHR	16	H'FFFE3C1A	16
	DMAC	DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFE1000
DMA デスティネーションアドレスレジスタ_0		DAR_0	32	H'FFFE1004	16、32
DMA トランスファカウントレジスタ_0		DMATCR_0	32	H'FFFE1008	16、32
DMA チャネルコントロールレジスタ_0		CHCR_0	32	H'FFFE100C	8、16、32
DMA リロードソースアドレスレジスタ_0		RSAR_0	32	H'FFFE1100	16、32
DMA リロードデスティネーションアドレス レジスタ_0		RDAR_0	32	H'FFFE1104	16、32
DMA リロードトランスファカウントレジスタ_0		RDMATCR_0	32	H'FFFE1108	16、32
DMA ソースアドレスレジスタ_1		SAR_1	32	H'FFFE1010	16、32
DMA デスティネーションアドレスレジスタ_1		DAR_1	32	H'FFFE1014	16、32
DMA トランスファカウントレジスタ_1		DMATCR_1	32	H'FFFE1018	16、32
DMA チャネルコントロールレジスタ_1		CHCR_1	32	H'FFFE101C	8、16、32
DMA リロードソースアドレスレジスタ_1		RSAR_1	32	H'FFFE1110	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードデスティネーションアドレス レジスタ_1	RDAR_1	32	H'FFFE1114	16, 32
	DMA リロードトランスファカウントレジスタ_1	RDMATCR_1	32	H'FFFE1118	16, 32
	DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFE1020	16, 32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFE1024	16, 32
	DMA トランスファカウントレジスタ_2	DMATCR_2	32	H'FFFE1028	16, 32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	32	H'FFFE102C	8, 16, 32
	DMA リロードソースアドレスレジスタ_2	RSAR_2	32	H'FFFE1120	16, 32
	DMA リロードデスティネーションアドレス レジスタ_2	RDAR_2	32	H'FFFE1124	16, 32
	DMA リロードトランスファカウントレジスタ_2	RDMATCR_2	32	H'FFFE1128	16, 32
	DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFE1030	16, 32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFE1034	16, 32
	DMA トランスファカウントレジスタ_3	DMATCR_3	32	H'FFFE1038	16, 32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	32	H'FFFE103C	8, 16, 32
	DMA リロードソースアドレスレジスタ_3	RSAR_3	32	H'FFFE1130	16, 32
	DMA リロードデスティネーションアドレス レジスタ_3	RDAR_3	32	H'FFFE1134	16, 32
	DMA リロードトランスファカウントレジスタ_3	RDMATCR_3	32	H'FFFE1138	16, 32
	DMA ソースアドレスレジスタ_4	SAR_4	32	H'FFFE1040	16, 32
	DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'FFFE1044	16, 32
	DMA トランスファカウントレジスタ_4	DMATCR_4	32	H'FFFE1048	16, 32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	32	H'FFFE104C	8, 16, 32
	DMA リロードソースアドレスレジスタ_4	RSAR_4	32	H'FFFE1140	16, 32
	DMA リロードデスティネーションアドレス レジスタ_4	RDAR_4	32	H'FFFE1144	16, 32
	DMA リロードトランスファカウントレジスタ_4	RDMATCR_4	32	H'FFFE1148	16, 32
	DMA ソースアドレスレジスタ_5	SAR_5	32	H'FFFE1050	16, 32
	DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'FFFE1054	16, 32
	DMA トランスファカウントレジスタ_5	DMATCR_5	32	H'FFFE1058	16, 32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	32	H'FFFE105C	8, 16, 32
	DMA リロードソースアドレスレジスタ_5	RSAR_5	32	H'FFFE1150	16, 32
	DMA リロードデスティネーションアドレス レジスタ_5	RDAR_5	32	H'FFFE1154	16, 32
	DMA リロードトランスファカウントレジスタ_5	RDMATCR_5	32	H'FFFE1158	16, 32
	DMA ソースアドレスレジスタ_6	SAR_6	32	H'FFFE1060	16, 32
	DMA デスティネーションアドレスレジスタ_6	DAR_6	32	H'FFFE1064	16, 32
DMA トランスファカウントレジスタ_6	DMATCR_6	32	H'FFFE1068	16, 32	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA チャンネルコントロールレジスタ_6	CHCR_6	32	H'FFFE106C	8、16、32
	DMA リロードソースアドレスレジスタ_6	RSAR_6	32	H'FFFE1160	16、32
	DMA リロードデスティネーションアドレス レジスタ_6	RDAR_6	32	H'FFFE1164	16、32
	DMA リロードトランスファカウントレジスタ_6	RDMATCR_6	32	H'FFFE1168	16、32
	DMA ソースアドレスレジスタ_7	SAR_7	32	H'FFFE1070	16、32
	DMA デスティネーションアドレスレジスタ_7	DAR_7	32	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR_7	32	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	32	H'FFFE107C	8、16、32
	DMA リロードソースアドレスレジスタ_7	RSAR_7	32	H'FFFE1170	16、32
	DMA リロードデスティネーションアドレス レジスタ_7	RDAR_7	32	H'FFFE1174	16、32
	DMA リロードトランスファカウントレジスタ_7	RDMATCR_7	32	H'FFFE1178	16、32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
	DMA 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16
	DMA 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8、16、32
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8、16
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8、16、32
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16、32
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16、32
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16、32
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322	16
	タイマインタラプトイネーブルレジスタ_2_0	TIER2_0	8	H'FFFE4324	8、16
	タイマステータスレジスタ_2_0	TSR2_0	8	H'FFFE4325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE4326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8、16
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8、16、32
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16、32
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8、16
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8、16、32
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16、32
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8、16、32
	タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8、16
	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8、16、32
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8、16
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8、16
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16、32
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16、32
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16、32
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8、16
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8、16
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16、32
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16	
タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16、32	
タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4244	16、32
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定バッファ レジスタ A_4	TADCOBRA_4	16	H'FFFE4248	16、32
	タイマ A/D 変換開始要求周期設定バッファ レジスタ B_4	TADCOBRB_4	16	H'FFFE424A	16
	タイマコントロールレジスタ U_5	TCRU_5	8	H'FFFE4084	8
	タイマコントロールレジスタ V_5	TCRV_5	8	H'FFFE4094	8
	タイマコントロールレジスタ W_5	TCRW_5	8	H'FFFE40A4	8
	タイマ I/O コントロールレジスタ U_5	TIORU_5	8	H'FFFE4086	8
	タイマ I/O コントロールレジスタ V_5	TIORV_5	8	H'FFFE4096	8
	タイマ I/O コントロールレジスタ W_5	TIORW_5	8	H'FFFE40A6	8
	タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFFE40B2	8
	タイマステータスレジスタ_5	TSR_5	8	H'FFFE40B0	8
	タイマスタートレジスタ_5	TSTR_5	8	H'FFFE40B4	8
	タイマカウンタ U_5	TCNTU_5	16	H'FFFE4080	16、32
	タイマカウンタ V_5	TCNTV_5	16	H'FFFE4090	16、32
	タイマカウンタ W_5	TCNTW_5	16	H'FFFE40A0	16、32
	タイマジェネラルレジスタ U_5	TGRU_5	16	H'FFFE4082	16
	タイマジェネラルレジスタ V_5	TGRV_5	16	H'FFFE4092	16
	タイマジェネラルレジスタ W_5	TGRW_5	16	H'FFFE40A2	16
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	H'FFFE40B6	8
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8、16
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	H'FFFE4282	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FFFE420A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8、16
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16、32
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16、32
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8
	タイマアウトプットレベルバッファレジスタ	TOLBR	8	H'FFFE4236	8
MTU2S	タイマコントロールレジスタ_3S	TCR_3S	8	H'FFFE4A00	8、16、32
	タイマモードレジスタ_3S	TMDR_3S	8	H'FFFE4A02	8、16
	タイマI/Oコントロールレジスタ H_3S	TIORH_3S	8	H'FFFE4A04	8、16、32
	タイマI/Oコントロールレジスタ L_3S	TIORL_3S	8	H'FFFE4A05	8
	タイマインタラプトイネーブルレジスタ_3S	TIER_3S	8	H'FFFE4A08	8、16
	タイマステータスレジスタ_3S	TSR_3S	8	H'FFFE4A2C	8、16
	タイマカウンタ_3S	TCNT_3S	16	H'FFFE4A10	16、32
	タイマジェネラルレジスタ A_3S	TGRA_3S	16	H'FFFE4A18	16、32
	タイマジェネラルレジスタ B_3S	TGRB_3S	16	H'FFFE4A1A	16
	タイマジェネラルレジスタ C_3S	TGRC_3S	16	H'FFFE4A24	16、32
	タイマジェネラルレジスタ D_3S	TGRD_3S	16	H'FFFE4A26	16
	タイマバッファ動作転送モードレジスタ_3S	TBTM_3S	8	H'FFFE4A38	8、16
	タイマコントロールレジスタ_4S	TCR_4S	8	H'FFFE4A01	8
	タイマモードレジスタ_4S	TMDR_4S	8	H'FFFE4A03	8
	タイマI/Oコントロールレジスタ H_4S	TIORH_4S	8	H'FFFE4A06	8、16
	タイマI/Oコントロールレジスタ L_4S	TIORL_4S	8	H'FFFE4A07	8
	タイマインタラプトイネーブルレジスタ_4S	TIER_4S	8	H'FFFE4A09	8
	タイマステータスレジスタ_4S	TSR_4S	8	H'FFFE4A2D	8
	タイマカウンタ_4S	TCNT_4S	16	H'FFFE4A12	16
	タイマジェネラルレジスタ A_4S	TGRA_4S	16	H'FFFE4A1C	16、32
	タイマジェネラルレジスタ B_4S	TGRB_4S	16	H'FFFE4A1E	16
	タイマジェネラルレジスタ C_4S	TGRC_4S	16	H'FFFE4A28	16、32
	タイマジェネラルレジスタ D_4S	TGRD_4S	16	H'FFFE4A2A	16
	タイマバッファ動作転送モードレジスタ_4S	TBTM_4S	8	H'FFFE4A39	8
	タイマ A/D 変換開始要求コントロールレジスタ S	TADCRS	16	H'FFFE4A40	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4S	TADCORA_4S	16	H'FFFE4A44	16、32
	タイマ A/D 変換開始要求周期設定レジスタ B_4S	TADCORB_4S	16	H'FFFE4A46	16
	タイマ A/D 変換開始要求周期設定バッファ レジスタ A_4S	TADCOBRA_4S	16	H'FFFE4A48	16、32
	タイマ A/D 変換開始要求周期設定バッファ レジスタ B_4S	TADCOBRB_4S	16	H'FFFE4A4A	16
	タイマコントロールレジスタ U_5S	TCRU_5S	8	H'FFFE4884	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2S	タイマコントロールレジスタ V_5S	TCRV_5S	8	H'FFFE4894	8
	タイマコントロールレジスタ W_5S	TCRW_5S	8	H'FFFE48A4	8
	タイマ I/O コントロールレジスタ U_5S	TIORU_5S	8	H'FFFE4886	8
	タイマ I/O コントロールレジスタ V_5S	TIORV_5S	8	H'FFFE4896	8
	タイマ I/O コントロールレジスタ W_5S	TIORW_5S	8	H'FFFE48A6	8
	タイマインタラプトイネーブルレジスタ_5S	TIER_5S	8	H'FFFE48B2	8
	タイマステータスレジスタ_5S	TSR_5S	8	H'FFFE48B0	8
	タイマスタートレジスタ_5S	TSTR_5S	8	H'FFFE48B4	8
	タイマカウンタ U_5S	TCNTU_5S	16	H'FFFE4880	16、32
	タイマカウンタ V_5S	TCNTV_5S	16	H'FFFE4890	16、32
	タイマカウンタ W_5S	TCNTW_5S	16	H'FFFE48A0	16、32
	タイマジェネラルレジスタ U_5S	TGRU_5S	16	H'FFFE4882	16
	タイマジェネラルレジスタ V_5S	TGRV_5S	16	H'FFFE4892	16
	タイマジェネラルレジスタ W_5S	TGRW_5S	16	H'FFFE48A2	16
	タイマコンペアマッチクリアレジスタ S	TCNTCMPCLRS	8	H'FFFE48B6	8
	タイマスタートレジスタ S	TSTRS	8	H'FFFE4A80	8、16
	タイマシンクロレジスタ S	TSYRS	8	H'FFFE4A81	8
	タイマリードライトイネーブルレジスタ S	TRWERS	8	H'FFFE4A84	8
	タイマアウトプットマスタイネーブルレジスタ S	TOERS	8	H'FFFE4A0A	8
	タイマアウトプットコントロールレジスタ 1S	TOCR1S	8	H'FFFE4A0E	8、16
	タイマアウトプットコントロールレジスタ 2S	TOCR2S	8	H'FFFE4A0F	8
	タイマゲートコントロールレジスタ S	TGCRS	8	H'FFFE4A0D	8
	タイマ周期データレジスタ S	TCDRS	16	H'FFFE4A14	16、32
	タイマデッドタイムデータレジスタ S	TDDRS	16	H'FFFE4A16	16
	タイマサブカウンタ S	TCNTSS	16	H'FFFE4A20	16、32
	タイマ周期バッファレジスタ S	TCBRS	16	H'FFFE4A22	16
	タイマ割り込み間引き設定レジスタ S	TITCRS	8	H'FFFE4A30	8、16
	タイマ割り込み間引き回数カウンタ S	TITCNTS	8	H'FFFE4A31	8
	タイマバッファ転送設定レジスタ S	TBTERS	8	H'FFFE4A32	8
	タイマデッドタイムイネーブルレジスタ S	TDERS	8	H'FFFE4A34	8
	タイマシンクロクリアレジスタ S	TSYCRS	8	H'FFFE4A50	8
	タイマ波形コントロールレジスタ S	TWCRS	8	H'FFFE4A60	8
タイマアウトプットレベルバッファレジスタ S	TOLBRS	8	H'FFFE4A36	8	
POE2	入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	H'FFFE5000	16
	出力レベルコントロール/ステータスレジスタ 1	OCSR1	16	H'FFFE5002	16
	入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	H'FFFE5004	16
	出力レベルコントロール/ステータスレジスタ 2	OCSR2	16	H'FFFE5006	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
POE2	入力レベルコントロール/ステータスレジスタ 3	ICSR3	16	H'FFFE5008	16
	ソフトウェアポートアウトブッティネーブル レジスタ	SPOER	8	H'FFFE500A	8
	ポートアウトブッティネーブルコントロール レジスタ 1	POECR1	8	H'FFFE500B	8
	ポートアウトブッティネーブルコントロール レジスタ 2	POECR2	16	H'FFFE500C	16
	ポートアウトブッティネーブルコントロール レジスタ 3	POECR3	8	H'FFFE500E	8
CMT	コンペアマッチタイムスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイムコントロール/ ステータスレジスタ_0	CMCSR_0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE0004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE0006	16
	コンペアマッチタイムコントロール/ ステータスレジスタ_1	CMCSR_1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE000A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE000C	16
WDT	ウォッチドッグタイムコントロール/ ステータスレジスタ	WTCSR	16	H'FFFE0000	16* ¹
	ウォッチドッグタイムカウンタ	WTCNT	16	H'FFFE0002	16* ¹
	ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	16	H'FFFE0004	16* ¹
SCI (チャンネル 0)	シリアルモードレジスタ_0	SCSMR_0	8	H'FFFF8000	8
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFF8002	8
	シリアルコントロールレジスタ_0	SCSCR_0	8	H'FFFF8004	8
	トランスミットデータレジスタ_0	SCTDR_0	8	H'FFFF8006	8
	シリアルステータスレジスタ_0	SCSSR_0	8	H'FFFF8008	8
	レシーブデータレジスタ_0	SCRDR_0	8	H'FFFF800A	8
	シリアルディレクションコントロールレジスタ_0	SCSDCR_0	8	H'FFFF800C	8
	シリアルポートレジスタ_0	SCSPTR_0	8	H'FFFF800E	8
	サンプリングモードレジスタ_0	SPMR_0	8	H'FFFF8014	8
SCI (チャンネル 1)	シリアルモードレジスタ_1	SCSMR_1	8	H'FFFF8800	8
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFF8802	8
	シリアルコントロールレジスタ_1	SCSCR_1	8	H'FFFF8804	8
	トランスミットデータレジスタ_1	SCTDR_1	8	H'FFFF8806	8
	シリアルステータスレジスタ_1	SCSSR_1	8	H'FFFF8808	8
	レシーブデータレジスタ_1	SCRDR_1	8	H'FFFF880A	8
	シリアルディレクションコントロールレジスタ_1	SCSDCR_1	8	H'FFFF880C	8
	シリアルポートレジスタ_1	SCSPTR_1	8	H'FFFF880E	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SCI (チャンネル 1)	サンプリングモードレジスタ_1	SPMR_1	8	H'FFFF8814	8
SCI (チャンネル 2)	シリアルモードレジスタ_2	SCSMR_2	8	H'FFFF9000	8
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFF9002	8
	シリアルコントロールレジスタ_2	SCSCR_2	8	H'FFFF9004	8
	トランスミットデータレジスタ_2	SCTDR_2	8	H'FFFF9006	8
	シリアルステータスレジスタ_2	SCSSR_2	8	H'FFFF9008	8
	レシーブデータレジスタ_2	SCRDR_2	8	H'FFFF900A	8
	シリアルディレクションコントロールレジスタ_2	SCSDCR_2	8	H'FFFF900C	8
	シリアルポートレジスタ_2	SCSPTR_2	8	H'FFFF900E	8
サンプリングモードレジスタ_2	SPMR_2	8	H'FFFF9014	8	
SCIF	シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16
	トランスミット FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16
	レシーブ FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824	16
	シリアル拡張モードレジスタ	SCSEMR_3	8	H'FFFE9900	8
RSPI	RSPI 制御レジスタ	SPCR	8	H'FFFFB000	8、16
	RSPI スレーブセレクト極性レジスタ	SSLP	8	H'FFFFB001	8
	RSPI 端子制御レジスタ	SPPCR	8	H'FFFFB002	8、16
	RSPI ステータスレジスタ	SPSR	8	H'FFFFB003	8
	RSPI データレジスタ	SPDR	32	H'FFFFB004	16、32*2
	RSPI シーケンス制御レジスタ	SPSCR	8	H'FFFFB008	8、16
	RSPI シーケンスステータスレジスタ	SPSSR	8	H'FFFFB009	8
	RSPI ビットレートレジスタ	SPBR	8	H'FFFFB00A	8、16
	RSPI データコントロールレジスタ	SPDCR	8	H'FFFFB00B	8
	RSPI クロック遅延レジスタ	SPCKD	8	H'FFFFB00C	8、16
	RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	8	H'FFFFB00D	8
	RSPI 次アクセス遅延レジスタ	SPND	8	H'FFFFB00E	8
	RSPI コマンドレジスタ 0	SPCMD0	16	H'FFFFB010	16
	RSPI コマンドレジスタ 1	SPCMD1	16	H'FFFFB012	16
RSPI コマンドレジスタ 2	SPCMD2	16	H'FFFFB014	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RSPI	RSPI コマンドレジスタ 3	SPCMD3	16	H'FFFFB016	16
ADC	A/D コントロールレジスタ_0	ADCR_0	8	H'FFFFE800	8
	A/D ステータスレジスタ_0	ADSR_0	8	H'FFFFE802	8
	A/D 開始トリガ選択レジスタ_0	ADSTRGR_0	8	H'FFFFE81C	8
	A/D アナログ入力チャネル選択レジスタ_0	ADANSR_0	8	H'FFFFE820	8
	A/D バイパスコントロールレジスタ_0	ADBYPSCR_0	8	H'FFFFE830	8
	A/D データレジスタ 0	ADDR0	16	H'FFFFE840	16
	A/D データレジスタ 1	ADDR1	16	H'FFFFE842	16
	A/D データレジスタ 2	ADDR2	16	H'FFFFE844	16
	A/D データレジスタ 3	ADDR3	16	H'FFFFE846	16
	A/D コントロールレジスタ_1	ADCR_1	8	H'FFFFEC00	8
	A/D ステータスレジスタ_1	ADSR_1	8	H'FFFFEC02	8
	A/D 開始トリガ選択レジスタ_1	ADSTRGR_1	8	H'FFFFEC1C	8
	A/D アナログ入力チャネル選択レジスタ_1	ADANSR_1	8	H'FFFFEC20	8
	A/D バイパスコントロールレジスタ_1	ADBYPSCR_1	8	H'FFFFEC30	8
	A/D データレジスタ 4	ADDR4	16	H'FFFFEC40	16
	A/D データレジスタ 5	ADDR5	16	H'FFFFEC42	16
	A/D データレジスタ 6	ADDR6	16	H'FFFFEC44	16
	A/D データレジスタ 7	ADDR7	16	H'FFFFEC46	16
	A/D コントロールレジスタ_2	ADCR_2	8	H'FFFFEE00	8
	A/D ステータスレジスタ_2	ADSR_2	8	H'FFFFEE02	8
	A/D 開始トリガ選択レジスタ_2	ADSTRGR_2	8	H'FFFFEE1C	8
	A/D アナログ入力チャネル選択レジスタ_2	ADANSR_2	8	H'FFFFEE20	8
	A/D バイパスコントロールレジスタ_2	ADBYPSCR_2	8	H'FFFFEE30	8
	A/D トリガセレクトレジスタ_0	ADTSR_0	16	H'FFFFE930	16
	A/D トリガセレクトレジスタ_1	ADTSR_1	16	H'FFFFED30	16
	A/D トリガセレクトレジスタ_2	ADTSR_2	16	H'FFFFEF30	16
	A/D データレジスタ 8	ADDR8	16	H'FFFFEE40	16
	A/D データレジスタ 9	ADDR9	16	H'FFFFEE42	16
	A/D データレジスタ 10	ADDR10	16	H'FFFFEE44	16
	A/D データレジスタ 11	ADDR11	16	H'FFFFEE46	16
	A/D データレジスタ 12	ADDR12	16	H'FFFFEE48	16
	A/D データレジスタ 13	ADDR13	16	H'FFFFEE4A	16
	A/D データレジスタ 14	ADDR14	16	H'FFFFEE4C	16
A/D データレジスタ 15	ADDR15	16	H'FFFFEE4E	16	
A/D グループ 0 データ 0 レジスタ_0	ADDR0GR0_0	16	H'FFFFE932	16	
A/D グループ 0 データ 0 レジスタ_1	ADDR0GR0_1	16	H'FFFFED32	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
ADC	A/D グループ 0 データ 0 レジスタ_2	ADDR0GR0_2	16	H'FFFFFF32	16	
	A/D グループ 1 データ 2 レジスタ_0	ADDR2GR1_0	16	H'FFFFFF934	16	
	A/D グループ 1 データ 2 レジスタ_1	ADDR2GR1_1	16	H'FFFFFFED34	16	
	A/D グループ 1 データ 2 レジスタ_2	ADDR2GR1_2	16	H'FFFFFFF34	16	
RCAN-ET	マスタコントロールレジスタ	MCR	16	H'FFFFD000	16	
	ジェネラルステータスレジスタ	GSR	16	H'FFFFD002	16	
	ビットコンフィギュレーションレジスタ 1	BCR1	16	H'FFFFD004	16	
	ビットコンフィギュレーションレジスタ 0	BCR0	16	H'FFFFD006	16	
	インタラプトリクエストレジスタ	IRR	16	H'FFFFD008	16	
	インタラプトマスクレジスタ	IMR	16	H'FFFFD00A	16	
	送信エラーカウンタ/受信エラーカウンタ	TEC/REC	16	H'FFFFD00C	16	
	送信待ちレジスタ 1, 0	TXPR1, 0	32	H'FFFFD020	32	
	送信キャンセルレジスタ 0	TXCR0	16	H'FFFFD02A	16	
	送信アクノリッジレジスタ 0	TXACK0	16	H'FFFFD032	16	
	アボートアクノリッジレジスタ 0	ABACK0	16	H'FFFFD03A	16	
	データフレーム受信完了レジスタ 0	RXPR0	16	H'FFFFD042	16	
	リモートフレーム受信完了レジスタ 0	RFPR0	16	H'FFFFD04A	16	
	メールボックスインタラプトマスクレジスタ 0	MBIMR0	16	H'FFFFD052	16	
	未読メッセージステータスレジスタ 0	UMSR0	16	H'FFFFD05A	16	
	MB[0].	CONTROL0H	—	16	H'FFFFD100	16, 32
		CONTROL0L	—	16	H'FFFFD102	16
		LAFMH	—	16	H'FFFFD104	16, 32
		LAFML	—	16	H'FFFFD106	16
		MSG_DATA[0]	—	8	H'FFFFD108	8, 16, 32
		MSG_DATA[1]	—	8	H'FFFFD109	8
		MSG_DATA[2]	—	8	H'FFFFD10A	8, 16
MSG_DATA[3]		—	8	H'FFFFD10B	8	
MSG_DATA[4]		—	8	H'FFFFD10C	8, 16, 32	
MSG_DATA[5]		—	8	H'FFFFD10D	8	
MSG_DATA[6]		—	8	H'FFFFD10E	8, 16	
MSG_DATA[7]		—	8	H'FFFFD10F	8	
CONTROL1H		—	8	H'FFFFD110	8, 16	
CONTROL1L		—	8	H'FFFFD111	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
RCAN-ET	MB[1].	CONTROL0H	—	16	H'FFFFD120	16、32
		CONTROL0L	—	16	H'FFFFD122	16
		LAFMH	—	16	H'FFFFD124	16、32
		LAFML	—	16	H'FFFFD126	16
		MSG_DATA[0]	—	8	H'FFFFD128	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD129	8
		MSG_DATA[2]	—	8	H'FFFFD12A	8、16
		MSG_DATA[3]	—	8	H'FFFFD12B	8
		MSG_DATA[4]	—	8	H'FFFFD12C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD12D	8
		MSG_DATA[6]	—	8	H'FFFFD12E	8、16
		MSG_DATA[7]	—	8	H'FFFFD12F	8
		CONTROL1H	—	8	H'FFFFD130	8、16
		CONTROL1L	—	8	H'FFFFD131	8
	MB[2].	CONTROL0H	—	16	H'FFFFD140	16、32
		CONTROL0L	—	16	H'FFFFD142	16
		LAFMH	—	16	H'FFFFD144	16、32
		LAFML	—	16	H'FFFFD146	16
		MSG_DATA[0]	—	8	H'FFFFD148	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD149	8
		MSG_DATA[2]	—	8	H'FFFFD14A	8、16
		MSG_DATA[3]	—	8	H'FFFFD14B	8
		MSG_DATA[4]	—	8	H'FFFFD14C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD14D	8
		MSG_DATA[6]	—	8	H'FFFFD14E	8、16
		MSG_DATA[7]	—	8	H'FFFFD14F	8
		CONTROL1H	—	8	H'FFFFD150	8、16
		CONTROL1L	—	8	H'FFFFD151	8
	MB[3].	CONTROL0H	—	16	H'FFFFD160	16、32
		CONTROL0L	—	16	H'FFFFD162	16
		LAFMH	—	16	H'FFFFD164	16、32
		LAFML	—	16	H'FFFFD166	16
		MSG_DATA[0]	—	8	H'FFFFD168	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD169	8
		MSG_DATA[2]	—	8	H'FFFFD16A	8、16
		MSG_DATA[3]	—	8	H'FFFFD16B	8
		MSG_DATA[4]	—	8	H'FFFFD16C	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
RCAN-ET	MB[3].	MSG_DATA[5]	—	8	H'FFFFD16D	8
		MSG_DATA[6]	—	8	H'FFFFD16E	8、16
		MSG_DATA[7]	—	8	H'FFFFD16F	8
		CONTROL1H	—	8	H'FFFFD170	8、16
		CONTROL1L	—	8	H'FFFFD171	8
	MB[4].	CONTROL0H	—	16	H'FFFFD180	16、32
		CONTROL0L	—	16	H'FFFFD182	16
		LAFMH	—	16	H'FFFFD184	16、32
		LAFML	—	16	H'FFFFD186	16
		MSG_DATA[0]	—	8	H'FFFFD188	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD189	8
		MSG_DATA[2]	—	8	H'FFFFD18A	8、16
		MSG_DATA[3]	—	8	H'FFFFD18B	8
		MSG_DATA[4]	—	8	H'FFFFD18C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD18D	8
		MSG_DATA[6]	—	8	H'FFFFD18E	8、16
		MSG_DATA[7]	—	8	H'FFFFD18F	8
		CONTROL1H	—	8	H'FFFFD190	8、16
		CONTROL1L	—	8	H'FFFFD191	8
	MB[5].	CONTROL0H	—	16	H'FFFFD1A0	16、32
		CONTROL0L	—	16	H'FFFFD1A2	16
		LAFMH	—	16	H'FFFFD1A4	16、32
		LAFML	—	16	H'FFFFD1A6	16
		MSG_DATA[0]	—	8	H'FFFFD1A8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD1A9	8
		MSG_DATA[2]	—	8	H'FFFFD1AA	8、16
		MSG_DATA[3]	—	8	H'FFFFD1AB	8
		MSG_DATA[4]	—	8	H'FFFFD1AC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD1AD	8
		MSG_DATA[6]	—	8	H'FFFFD1AE	8、16
		MSG_DATA[7]	—	8	H'FFFFD1AF	8
		CONTROL1H	—	8	H'FFFFD1B0	8、16
		CONTROL1L	—	8	H'FFFFD1B1	8
MB[6].	CONTROL0H	—	16	H'FFFFD1C0	16、32	
	CONTROL0L	—	16	H'FFFFD1C2	16	
	LAFMH	—	16	H'FFFFD1C4	16、32	
	LAFML	—	16	H'FFFFD1C6	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
RCAN-ET	MB[6].	MSG_DATA[0]	—	8	H'FFFFD1C8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD1C9	8
		MSG_DATA[2]	—	8	H'FFFFD1CA	8、16
		MSG_DATA[3]	—	8	H'FFFFD1CB	8
		MSG_DATA[4]	—	8	H'FFFFD1CC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD1CD	8
		MSG_DATA[6]	—	8	H'FFFFD1CE	8、16
		MSG_DATA[7]	—	8	H'FFFFD1CF	8
		CONTROL1H	—	8	H'FFFFD1D0	8、16
		CONTROL1L	—	8	H'FFFFD1D1	8
	MB[7].	CONTROL0H	—	16	H'FFFFD1E0	16、32
		CONTROL0L	—	16	H'FFFFD1E2	16
		LAFMH	—	16	H'FFFFD1E4	16、32
		LAFML	—	16	H'FFFFD1E6	16
		MSG_DATA[0]	—	8	H'FFFFD1E8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD1E9	8
		MSG_DATA[2]	—	8	H'FFFFD1EA	8、16
		MSG_DATA[3]	—	8	H'FFFFD1EB	8
		MSG_DATA[4]	—	8	H'FFFFD1EC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD1ED	8
		MSG_DATA[6]	—	8	H'FFFFD1EE	8、16
		MSG_DATA[7]	—	8	H'FFFFD1EF	8
		CONTROL1H	—	8	H'FFFFD1F0	8、16
		CONTROL1L	—	8	H'FFFFD1F1	8
	MB[8].	CONTROL0H	—	16	H'FFFFD200	16、32
		CONTROL0L	—	16	H'FFFFD202	16
		LAFMH	—	16	H'FFFFD204	16、32
		LAFML	—	16	H'FFFFD206	16
		MSG_DATA[0]	—	8	H'FFFFD208	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD209	8
		MSG_DATA[2]	—	8	H'FFFFD20A	8、16
		MSG_DATA[3]	—	8	H'FFFFD20B	8
		MSG_DATA[4]	—	8	H'FFFFD20C	8、16、32
MSG_DATA[5]		—	8	H'FFFFD20D	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
RCAN-ET	MB[8].	MSG_DATA[6]	—	8	H'FFFFD20E	8、16
		MSG_DATA[7]	—	8	H'FFFFD20F	8
		CONTROL1H	—	8	H'FFFFD210	8、16
		CONTROL1L	—	8	H'FFFFD211	8
	MB[9].	CONTROL0H	—	16	H'FFFFD220	16、32
		CONTROL0L	—	16	H'FFFFD222	16
		LAFMH	—	16	H'FFFFD224	16、32
		LAFML	—	16	H'FFFFD226	16
		MSG_DATA[0]	—	8	H'FFFFD228	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD229	8
		MSG_DATA[2]	—	8	H'FFFFD22A	8、16
		MSG_DATA[3]	—	8	H'FFFFD22B	8
		MSG_DATA[4]	—	8	H'FFFFD22C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD22D	8
		MSG_DATA[6]	—	8	H'FFFFD22E	8、16
		MSG_DATA[7]	—	8	H'FFFFD22F	8
		CONTROL1H	—	8	H'FFFFD230	8、16
		CONTROL1L	—	8	H'FFFFD231	8
	MB[10].	CONTROL0H	—	16	H'FFFFD240	16、32
		CONTROL0L	—	16	H'FFFFD242	16
		LAFMH	—	16	H'FFFFD244	16、32
		LAFML	—	16	H'FFFFD246	16
		MSG_DATA[0]	—	8	H'FFFFD248	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD249	8
		MSG_DATA[2]	—	8	H'FFFFD24A	8、16
		MSG_DATA[3]	—	8	H'FFFFD24B	8
		MSG_DATA[4]	—	8	H'FFFFD24C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD24D	8
		MSG_DATA[6]	—	8	H'FFFFD24E	8、16
		MSG_DATA[7]	—	8	H'FFFFD24F	8
		CONTROL1H	—	8	H'FFFFD250	8、16
		CONTROL1L	—	8	H'FFFFD251	8
	MB[11].	CONTROL0H	—	16	H'FFFFD260	16、32
CONTROL0L		—	16	H'FFFFD262	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ	
RCAN-ET	MB[11].	LAFMH	—	16	H'FFFFD264	16、32
		LAFML	—	16	H'FFFFD266	16
		MSG_DATA[0]	—	8	H'FFFFD268	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD269	8
		MSG_DATA[2]	—	8	H'FFFFD26A	8、16
		MSG_DATA[3]	—	8	H'FFFFD26B	8
		MSG_DATA[4]	—	8	H'FFFFD26C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD26D	8
		MSG_DATA[6]	—	8	H'FFFFD26E	8、16
		MSG_DATA[7]	—	8	H'FFFFD26F	8
		CONTROL1H	—	8	H'FFFFD270	8、16
	CONTROL1L	—	8	H'FFFFD271	8	
	MB[12].	CONTROL0H	—	16	H'FFFFD280	16、32
		CONTROL0L	—	16	H'FFFFD282	16
		LAFMH	—	16	H'FFFFD284	16、32
		LAFML	—	16	H'FFFFD286	16
		MSG_DATA[0]	—	8	H'FFFFD288	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD289	8
		MSG_DATA[2]	—	8	H'FFFFD28A	8、16
		MSG_DATA[3]	—	8	H'FFFFD28B	8
		MSG_DATA[4]	—	8	H'FFFFD28C	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD28D	8
		MSG_DATA[6]	—	8	H'FFFFD28E	8、16
		MSG_DATA[7]	—	8	H'FFFFD28F	8
		CONTROL1H	—	8	H'FFFFD290	8、16
		CONTROL1L	—	8	H'FFFFD291	8
	MB[13].	CONTROL0H	—	16	H'FFFFD2A0	16、32
		CONTROL0L	—	16	H'FFFFD2A2	16
		LAFMH	—	16	H'FFFFD2A4	16、32
		LAFML	—	16	H'FFFFD2A6	16
		MSG_DATA[0]	—	8	H'FFFFD2A8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD2A9	8
		MSG_DATA[2]	—	8	H'FFFFD2AA	8、16
		MSG_DATA[3]	—	8	H'FFFFD2AB	8
		MSG_DATA[4]	—	8	H'FFFFD2AC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD2AD	8

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセス サイズ
RCAN-ET	MB[13].	MSG_DATA[6]	—	8	H'FFFFD2AE	8、16
		MSG_DATA[7]	—	8	H'FFFFD2AF	8
		CONTROL1H	—	8	H'FFFFD2B0	8、16
		CONTROL1L	—	8	H'FFFFD2B1	8
	MB[14].	CONTROL0H	—	16	H'FFFFD2C0	16、32
		CONTROL0L	—	16	H'FFFFD2C2	16
		LAFMH	—	16	H'FFFFD2C4	16、32
		LAFML	—	16	H'FFFFD2C6	16
		MSG_DATA[0]	—	8	H'FFFFD2C8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD2C9	8
		MSG_DATA[2]	—	8	H'FFFFD2CA	8、16
		MSG_DATA[3]	—	8	H'FFFFD2CB	8
		MSG_DATA[4]	—	8	H'FFFFD2CC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD2CD	8
		MSG_DATA[6]	—	8	H'FFFFD2CE	8、16
		MSG_DATA[7]	—	8	H'FFFFD2CF	8
		CONTROL1H	—	8	H'FFFFD2D0	8、16
		CONTROL1L	—	8	H'FFFFD2D1	8
	MB[15].	CONTROL0H	—	16	H'FFFFD2E0	16、32
		CONTROL0L	—	16	H'FFFFD2E2	16
		LAFMH	—	16	H'FFFFD2E4	16、32
		LAFML	—	16	H'FFFFD2E6	16
		MSG_DATA[0]	—	8	H'FFFFD2E8	8、16、32
		MSG_DATA[1]	—	8	H'FFFFD2E9	8
		MSG_DATA[2]	—	8	H'FFFFD2EA	8、16
		MSG_DATA[3]	—	8	H'FFFFD2EB	8
		MSG_DATA[4]	—	8	H'FFFFD2EC	8、16、32
		MSG_DATA[5]	—	8	H'FFFFD2ED	8
		MSG_DATA[6]	—	8	H'FFFFD2EE	8、16
		MSG_DATA[7]	—	8	H'FFFFD2EF	8
		CONTROL1H	—	8	H'FFFFD2F0	8、16
		CONTROL1L	—	8	H'FFFFD2F1	8
		PFC	ポート A・IO レジスタ H		PAIORH	16
ポート A・IO レジスタ L			PAIORL	16	H'FFFE3806	8、16
ポート A コントロールレジスタ H1			PACRH1	16	H'FFFE380E	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
PFC	ポート A コントロールレジスタ L4	PACRL4	16	H'FFFE3810	8、16、32
	ポート A コントロールレジスタ L3	PACRL3	16	H'FFFE3812	8、16
	ポート A コントロールレジスタ L2	PACRL2	16	H'FFFE3814	8、16、32
	ポート A コントロールレジスタ L1	PACRL1	16	H'FFFE3816	8、16
	ポート A ブルアップ MOS コントロールレジスタ H	PAPCRH	16	H'FFFE3828	8、16、32
	ポート A ブルアップ MOS コントロールレジスタ L	PAPCRL	16	H'FFFE382A	8、16
	ポート B・IO レジスタ H	PBIORH	16	H'FFFE3884	8、16、32
	ポート B・IO レジスタ L	PBIORL	16	H'FFFE3886	8、16
	ポート B コントロールレジスタ H2	PBCRH2	16	H'FFFE388C	8、16、32
	ポート B コントロールレジスタ H1	PBCRH1	16	H'FFFE388E	8、16
	ポート B コントロールレジスタ L2	PBCRL2	16	H'FFFE3894	8、16、32
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE3896	8、16
	ポート B ブルアップ MOS コントロールレジスタ H	PBPCRH	16	H'FFFE38A8	8、16、32
	ポート B ブルアップ MOS コントロールレジスタ L	PBPCRL	16	H'FFFE38AA	8、16
	ポート C・IO レジスタ L	PCIORL	16	H'FFFE3906	8、16
	ポート C コントロールレジスタ L4	PCCRL4	16	H'FFFE3910	8、16、32
	ポート C コントロールレジスタ L3	PCCRL3	16	H'FFFE3912	8、16
	ポート C コントロールレジスタ L2	PCCRL2	16	H'FFFE3914	8、16、32
	ポート C コントロールレジスタ L1	PCCRL1	16	H'FFFE3916	8、16
	ポート C ブルアップ MOS コントロールレジスタ L	PCPCRL	16	H'FFFE392A	8、16
	ポート D・IO レジスタ L	PDIORL	16	H'FFFE3986	8、16
	ポート D コントロールレジスタ L4	PDCRL4	16	H'FFFE3990	8、16、32
	ポート D コントロールレジスタ L3	PDCRL3	16	H'FFFE3992	8、16
	ポート D コントロールレジスタ L2	PDCRL2	16	H'FFFE3994	8、16、32
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE3996	8、16
	ポート D ブルアップ MOS コントロールレジスタ L	PDPCRL	16	H'FFFE39AA	8、16
	ポート E・IO レジスタ L	PEIORL	16	H'FFFE3A06	8、16
	ポート E コントロールレジスタ L4	PECRL4	16	H'FFFE3A10	8、16、32
	ポート E コントロールレジスタ L3	PECRL3	16	H'FFFE3A12	8、16
	ポート E コントロールレジスタ L2	PECRL2	16	H'FFFE3A14	8、16、32
	ポート E コントロールレジスタ L1	PECRL1	16	H'FFFE3A16	8、16
	大電流ポートコントロールレジスタ	HCPCR	16	H'FFFE3A20	8、16、32
ポート E ブルアップ MOS コントロールレジスタ L	PEPCRL	16	H'FFFE3A2A	8、16	
DACK 出力タイミングコントロールレジスタ	PDACKCR	16	H'FFFE3A2C	8、16	
I/O ポート	ポート A データレジスタ H	PADRH	16	H'FFFE3800	8、16、32
	ポート A データレジスタ L	PADRL	16	H'FFFE3802	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
I/O ポート	ポート A ポートレジスタ H	PAPRH	16	H'FFFE381C	8、16、32
	ポート A ポートレジスタ L	PAPRL	16	H'FFFE381E	8、16
	ポート B データレジスタ H	PBDRH	16	H'FFFE3880	8、16、32
	ポート B データレジスタ L	PBDRL	16	H'FFFE3882	8、16
	ポート B ポートレジスタ H	PBPRH	16	H'FFFE389C	8、16、32
	ポート B ポートレジスタ L	PBPRL	16	H'FFFE389E	8、16
	ポート C データレジスタ L	PCDRL	16	H'FFFE3902	8、16
	ポート C ポートレジスタ L	PCPRL	16	H'FFFE391E	8、16
	ポート D データレジスタ L	PDDRL	16	H'FFFE3982	8、16
	ポート D ポートレジスタ L	PDPRL	16	H'FFFE399E	8、16
	ポート E データレジスタ L	PEDRL	16	H'FFFE3A02	8、16
	ポート E ポートレジスタ L	PEPRL	16	H'FFFE3A1E	8、16
	ポート F データレジスタ L	PFDRL	16	H'FFFE3A82	8、16
	ROM/FLD	フラッシュ端子モニタレジスタ	FPMON	8	H'FFFA800
フラッシュモードレジスタ		FMODR	8	H'FFFA802	8
フラッシュアクセスステータスレジスタ		FASTAT	8	H'FFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ		FAEINT	8	H'FFFA811	8
ROM マット選択レジスタ		ROMMAT	16	H'FFFA820	8、16
FCU RAM イネーブルレジスタ		FCURAME	16	H'FFFA854	8、16
フラッシュステータスレジスタ 0		FSTATR0	8	H'FFFA900	8、16
フラッシュステータスレジスタ 1		FSTATR1	8	H'FFFA901	8
フラッシュ P/E モードエントリレジスタ		FENTRYR	16	H'FFFA902	8、16
フラッシュプロテクトレジスタ		FPROTR	16	H'FFFA904	8、16
フラッシュリセットレジスタ		FRESETR	16	H'FFFA906	8、16
FCU コマンドレジスタ		FCMDR	16	H'FFFA90A	8、16
FCU 処理切り替えレジスタ		FCPSR	16	H'FFFA918	8、16
FLD ブランクチェック制御レジスタ		EEPBCCNT	16	H'FFFA91A	8、16
フラッシュ P/E ステータスレジスタ		FPESTAT	16	H'FFFA91C	8、16
FLD ブランクチェックステータスレジスタ		EEPBCSTAT	16	H'FFFA91E	8、16
周辺クロック通知レジスタ		PCKAR	16	H'FFFA938	8、16
FLD 読み出し許可レジスタ 0		EEPPE0	16	H'FFFA840	8、16
FLD 読み出し許可レジスタ 1		EEPPE1	16	H'FFFA842	8、16
FLD 書き込み/消去許可レジスタ 0		EEPWE0	16	H'FFFA850	8、16
FLD 書き込み/消去許可レジスタ 1		EEPWE1	16	H'FFFA852	8、16
ROM キャッシュ制御レジスタ		RCCR	32	H'FFFC1400	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
低消費電力 モード	スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0402	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
	スタンバイコントロールレジスタ 5	STBCR5	8	H'FFFE0418	8
	スタンバイコントロールレジスタ 6	STBCR6	8	H'FFFE041C	8
H-UDI	インタラクションレジスタ	SDIR	16	H'FFFE2000	16

【注】 *1 WDT のレジスタは、誤書き込み防止の為書き込み時のアクセスサイズと読み出し時のアクセスサイズが異なります。

*2 RSPi の SPLW で設定したアクセスサイズでアクセスしてください。

28.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット
		31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
CPG	FRQCR	–	–	–	–	–	STC[2:0]		
		–	IFC[2:0]			–	PFC[2:0]		
	MCLKCR	–	–	–	–	–	MSDIVS[1:0]		
	ACLKCR	–	–	–	–	–	ASDIVS[1:0]		
	OSCCR	–	–	–	–	–	OSCSTOP	–	OSCERS
INTC	ICR0	NMIL	–	–	–	–	–	–	NMIE
		–	–	–	–	–	–	–	–
	ICR1	–	–	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	IRQRR	–	–	–	–	–	–	–	–
		–	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	–
	IBNR	BE[1:0]		BOVE	–	–	–	–	–
		–	–	–	–	BN[3:0]			
	IPR01	IRQ0			IRQ1				
		IRQ2			IRQ3				
	IPR02	IRQ4			IRQ5				
		IRQ6			–	–	–	–	
	IPR05	–	–	–	–	–	–	–	–
		ADI0			ADI1				
	IPR06	DMAC0			DMAC1				
		DMAC2			DMAC3				
	IPR07	DMAC4			DMAC5				
		DMAC6			DMAC7				
	IPR08	CMT0			CMT1				
		–	–	–	–	WDT			
	IPR09	MTU2_0			MTU2_0				
MTU2_1			MTU2_1						
IPR10	MTU2_2			MTU2_2					
	MTU2_3			MTU2_3					
IPR11	MTU2_4			MTU2_4					
	MTU2_5			POE2					

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	IPR12	MTU2S_3				MTU2S_3			
		MTU2S_4				MTU2S_4			
	IPR13	MTU2S_5				POE2			
		-	-	-	-	-	-	-	-
	IPR14	-	-	-	-	-	-	-	-
		-	-	-	-	SCIF3			
	IPR15	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	IPR16	SCI0				SCI1			
		SCI2				-	-	-	-
	IPR17	RSP1				-	-	-	-
		ADI2				-	-	-	-
	IPR18	-	-	-	-	RCAN-ET			
		-	-	-	-	-	-	-	-
UBC	BAR_0	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24
		BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
		BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8
		BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0
	BAMR_0	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24
		BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16
		BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8
		BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0
	BBR_0	-	-	UBID0	-	-	CP0[2:0]		
		CD0[1:0]		ID0[1:0]		RW0[1:0]		SZ0[1:0]	
	BAR_1	BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24
		BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16
		BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8
		BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0
	BAMR_1	BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24
		BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16
		BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8
		BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0
	BBR_1	-	-	UBID1	-	-	CP1[2:0]		
		CD1[1:0]		ID1[1:0]		RW1[1:0]		SZ1[1:0]	
	BAR_2	BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24
		BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16
		BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8
		BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
UBC	BAMR_2	BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24	
		BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16	
		BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8	
		BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0	
	BBR_2	—	—	UBID2	—	—	CP2[2:0]			
		CD2[1:0]		ID2[1:0]		RW2[1:0]		SZ2[1:0]		
	BAR_3	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24	
		BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16	
		BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8	
		BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0	
	BAMR_3	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24	
		BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16	
		BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8	
		BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0	
	BBR_3	—	—	UBID3	—	—	CP3[2:0]			
		CD3[1:0]		ID3[1:0]		RW3[1:0]		SZ3[1:0]		
	BRCR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	CKS[1:0]		
		SCMFC0	SCMFC1	SCMFC2	SCMFC3	SCMFD0	SCMFD1	SCMFD2	SCMFD3	
		PCB3	PCB2	PCB1	PCB0	—	—	—	—	
	DTC	DTCERA	DTCERA15	DTCERA14	DTCERA13	DTCERA12	DTCERA11	DTCERA10	DTCERA9	—
			DTCERA7	DTCERA6	DTCERA5	DTCERA4	DTCERA3	DTCERA2	—	—
		DTCERB	DTCERB15	DTCERB14	DTCERB13	DTCERB12	DTCERB11	DTCERB10	DTCERB9	DTCERB8
			DTCERB7	DTCERB6	DTCERB5	DTCERB4	DTCERB3	DTCERB2	DTCERB1	DTCERB0
		DTCERC	DTCERC15	DTCERC14	DTCERC13	DTCERC12	—	—	—	—
			—	—	—	—	DTCERC3	DTCERC2	DTCERC1	DTCERC0
		DTCERD	DTCERD15	DTCERD14	DTCERD13	DTCERD12	DTCERD11	DTCERD10	DTCERD9	DTCERD8
			—	—	DTCERD5	DTCERD4	—	—	—	—
DTCERE		DTCERE15	DTCERE14	DTCERE13	DTCERE12	DTCERE11	DTCERE10	DTCERE9	DTCERE8	
		—	—	—	—	—	—	—	—	
DTCCR		—	—	—	RRS	RCHNE	—	—	ERR	
DTCVBR										
							—	—	—	
	—	—	—	—	—	—	—	—		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CMNCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	BLOCK	DPRTY[1:0]		DMAIW[2]
		DMAIW[1:0]		DMAIWA	-	-	HIZCKIO	HIZMEM	-
	CS0BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS1BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS3BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS4BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS5BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS6BCR	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2]
		IWRWS[1:0]		IWRRD[2:0]			IWRRS[2:0]		
		-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-
		-	-	-	-	-	-	-	-
	CS0WCR*	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SW[1:0]		WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	CS1WCR*	-	-	-	-	-	-	-	-	
		-	-	-	-	-	WW[2:0]			
		-	-	-	SW[1:0]			WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]		
	CS3WCR*	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	WR[3:1]		
		WR[0]	WM	-	-	-	-	-	-	
	CS4WCR*	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	WW[2:0]		
		-	-	-	SW[1:0]			WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]		
	CS5WCR*	-	-	-	-	-	-	-	-	-
		-	-	SZSEL	MPXW	-	WW[2:0]			
		-	-	-	SW[1:0]			WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]		
	CS6WCR*	-	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-		
		-	-	-	SW[1:0]			WR[3:1]		
		WR[0]	WM	-	-	-	-	HW[1:0]		
	BSCEHR	DTLOCK	-	-	-	-	DTBST	DTSA	-	DTPR
		-	-	-	-	-	-	-	-	-
	DMAC	SAR_0								
DAR_0										
DMATCR_0										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	CHCR_0	TC	—	—	RLD	—	—	—	—	
		DO	TL	—	—	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]		RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE	
	RSAR_0									
	RDAR_0									
	RDMATCR_0									
	SAR_1									
	DAR1									
	DMATCR_1									
	CHCR_1	TC	—	—	RLD	—	—	—	—	—
		DO	TL	—	—	HE	HIE	AM	AL	
DM[1:0]		SM[1:0]		RS[3:0]						
DL		DS	TB	TS[1:0]		IE	TE	DE		
RSAR_1										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDAR_1									
	RDMATCR_1									
	SAR_2									
	DAR_2									
	DMATCR_2									
	CHCR_2	TC	—	—	—	RLD	—	—	—	—
		DO	—	—	—	—	HE	HIE	AM	AL
		DM[1:0]		SM[1:0]		RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE	
	RSAR_2									
	RDAR_2									
	RDMATCR_2									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
DMAC	SAR_3										
	DAR_3										
	DMATCR_3										
	CHCR_3	TC	—	—	—	RLD	—	—	—	—	
		DO	—	—	—	—	HE	HIE	AM	AL	
		DM[1:0]		SM[1:0]			RS[3:0]				
		DL	DS	TB	TS[1:0]		IE	TE	DE		
	RSAR_3										
	RDAR_3										
	RDMATCR_3										
	SAR_4										
	DAR_4										
	DMATCR_4										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
DMAC	CHCR_4	TC	-	-	RLD	-	-	-	-		
		-	-	-	-	HE	HIE	-	-		
		DM[1:0]		SM[1:0]			RS[3:0]				
		-	-	TB	TS[1:0]		IE	TE	DE		
	RSAR_4										
	RDAR_4										
	RDMATCR_4										
	SAR_5										
	DAR_5										
	DMATCR_5										
	CHCR_5	TC	-	-	RLD	-	-	-	-	-	
		-	-	-	-	HE	HIE	-	-		
		DM[1:0]		SM[1:0]			RS[3:0]				
		-	-	TB	TS[1:0]		IE	TE	DE		
	RSAR_5										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDAR_5									
	RDMATCR_5									
	SAR_6									
	DAR_6									
	DMATCR_6									
	CHCR_6	TC	–	–	–	RLD	–	–	–	–
		–	–	–	–	–	HE	HIE	–	–
		DM[1:0]		SM[1:0]			RS[3:0]			
		–	–	TB	TS[1:0]		IE	TE	DE	
	RSAR_6									
	RDAR_6									
	RDMATCR_6									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
DMAC	SAR_7										
	DAR_7										
	DMATCR_7										
	CHCR_7	TC	–	–	–	RLD	–	–	–	–	
		–	–	–	–	–	HE	HIE	–	–	
		DM[1:0]		SM[1:0]			RS[3:0]				
		–	–	TB	TS[1:0]		IE	TE	DE		
	RSAR_7										
	RDAR_7										
	RDMATCR_7										
	DMAOR	–	–	CMS[1:0]			–	–	PR[1:0]		
		–	–	–	–	–	–	AE	NMIF	DME	
	DMARS0	CH1MID[5:0]							CH1RID[1:0]		
		CH0MID[5:0]							CH0RID[1:0]		
	DMARS1	CH3MID[5:0]							CH3RID[1:0]		
		CH2MID[5:0]							CH2RID[1:0]		
	DMARS2	CH5MID[5:0]							CH5RID[1:0]		
		CH4MID[5:0]							CH4RID[1:0]		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	DMARS3	CH7MID[5:0]						CH7RID[1:0]		
		CH6MID[5:0]						CH6RID[1:0]		
MTU2	TCR_0	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_0	–	BFE	BFB	BFA	MD[3:0]				
	TIORH_0	IOB[3:0]				IOA[3:0]				
	TIORL_0	IOD[3:0]				IOC[3:0]				
	TIER_0	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_0	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_0									
	TGRA_0									
	TGRB_0									
	TGRC_0									
	TGRD_0									
	TGRE_0									
	TGRF_0									
	TIER2_0	TTGE2	–	–	–	–	–	TGIEF	TGIEE	
	TSR2_0	–	–	–	–	–	–	TGFF	TGFE	
	TBTM_0	–	–	–	–	–	–	TTSE	TTSB	TTSA
	TCR_1	–	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
	TMDR_1	–	–	–	–	–	MD[3:0]			
	TIOR_1	IOB[3:0]				IOA[3:0]				
	TIER_1	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
	TSR_1	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
	TCNT_1									
	TGRA_1									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TGRB_1									
	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE	
	TCR_2	-	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
	TMDR_2	-	-	-	-	MD[3:0]				
	TIOR_2	IOB[3:0]				IOA[3:0]				
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
	TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
	TCNT_2									
	TGRA_2									
	TGRB_2									
	TCR_3	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_3	-	-	BFB	BFA	MD[3:0]				
	TIORH_3	IOB[3:0]				IOA[3:0]				
	TIORL_3	IOD[3:0]				IOC[3:0]				
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_3									
	TGRA_3									
	TGRB_3									
	TGRC_3									
	TGRD_3									
	TBTM_3	-	-	-	-	-	-	TTSB	T TSA	
	TCR_4	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_4	-	-	BFB	BFA	MD[3:0]				
	TIORH_4	IOB[3:0]				IOA[3:0]				
	TIORL_4	IOD[3:0]				IOC[3:0]				

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TIER_4	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_4	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_4									
	TGRA_4									
	TGRB_4									
	TGRC_4									
	TGRD_4									
	TBTM_4	—	—	—	—	—	—	—	TTSB	T TSA
	TADCR	BF[1:0]		—	—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
	TADCORA_4									
	TADCORB_4									
	TADCOBRA_4									
	TADCOBRB_4									
	TCRU_5	—	—	—	—	—	—	—	TPSC[1:0]	
	TCRV_5	—	—	—	—	—	—	—	TPSC[1:0]	
	TCRW_5	—	—	—	—	—	—	—	TPSC[1:0]	
	TIORU_5	—	—	—	IOC[4:0]					
	TIORV_5	—	—	—	IOC[4:0]					
	TIORW_5	—	—	—	IOC[4:0]					
	TIER_5	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W	
	TSR_5	—	—	—	—	—	CMFU5	CMFV5	CMFW5	
	TSTR_5	—	—	—	—	—	CSTU5	CSTV5	CSTW5	
	TCNTU_5									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TCNTV_5									
	TCNTW_5									
	TGRU_5									
	TGRV_5									
	TGRW_5									
	TCNTCMPCLR	—	—	—	—	—	CMPCLR 5U	CMPCLR 5V	CMPCLR 5W	
	TSTR	CST4	CST3	—	—	—	CST2	CST1	CST0	
	TSYR	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0	
	TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH3S	SCH4S	
	TRWER	—	—	—	—	—	—	—	RWE	
	TOER	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
	TOCR1	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP	
	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
	TGCR	—	BDC	N	P	FB	WF	VF	UF	
	TCDR									
	TDDR									
	TCNTS									
	TCBR									
	TITCR	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]			
	TITCNT	—	3ACNT[2:0]			—	4VCNT[2:0]			
	TBTER	—	—	—	—	—	—	BTE[1:0]		
	TDER	—	—	—	—	—	—	—	TDER	
	TWCR	CCE	—	—	—	—	—	—	WRE	
	TOLBR	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
	MTU2S	TCR_3S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
		TMDR_3S	—	—	BFB	BFA	MD[3:0]			

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2S	TIORH_3S	IOB[3:0]				IOA[3:0]				
	TIORL_3S	IOD[3:0]				IOC[3:0]				
	TIER_3S	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_3S	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_3S									
	TGRA_3S									
	TGRB_3S									
	TGRC_3S									
	TGRD_3S									
	TBTM_3S	—	—	—	—	—	—	TTSB	TTSA	
	TCR_4S	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
	TMDR_4S	—	—	BFB	BFA	MD[3:0]				
	TIORH_4S	IOB[3:0]				IOA[3:0]				
	TIORL_4S	IOD[3:0]				IOC[3:0]				
	TIER_4S	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_4S	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_4S									
	TGRA_4S									
	TGRB_4S									
	TGRC_4S									
	TGRD_4S									
	TBTM_4S	—	—	—	—	—	—	TTSB	TTSA	
	TADCRS	BF[1:0]		—	—	—	—	—	—	
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
	TADCORA_4S									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2S	TADCORB_4S									
	TADCOBRA_4S									
	TADCOBRB_4S									
	TCRU_5S	—	—	—	—	—	—	TPSC[1:0]		
	TCRV_5S	—	—	—	—	—	—	TPSC[1:0]		
	TCRW_5S	—	—	—	—	—	—	TPSC[1:0]		
	TIORU_5S	—	—	—	IOC[4:0]					
	TIORV_5S	—	—	—	IOC[4:0]					
	TIORW_5S	—	—	—	IOC[4:0]					
	TIER_5S	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W	
	TSR_5S	—	—	—	—	—	CMFU5	CMFV5	CMFW5	
	TSTR_5S	—	—	—	—	—	CSTU5	CSTV5	CSTW5	
	TCNTU_5S									
	TCNTV_5S									
	TCNTW_5S									
	TGRU_5S									
	TGRV_5S									
	TGRW_5S									
	TCNT CMPCLRS	—	—	—	—	—	—	CMPCLR 5U	CMPCLR 5V	CMPCLR 5W
	TSTRS	CST4	CST3	—	—	—	—	—	—	—
	TSYRS	SYNC4	SYNC3	—	—	—	—	—	—	—
	TRWERS	—	—	—	—	—	—	—	—	RWE
	TOERS	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B	
	TOCR1S	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP	
	TOCR2S	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2S	TGCRS	—	BDC	N	P	FB	WF	VF	UF
	TCDRS								
	TDDRS								
	TCNTSS								
	TCBRS								
	TITCRS	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
	TITCNTS	—	3ACNT[2:0]			—	4VCNT[2:0]		
	TBTERS	—	—	—	—	—	—	BTE[1:0]	
	TDERS	—	—	—	—	—	—	—	TDER
	TSYCRS	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
	TWCRS	CCE	—	—	—	—	—	SCC	WRE
	TOLBRS	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	POE2	ICSR1	—	—	—	POE0F	—	—	—
—			—	—	—	—	—	POE0M[1:0]	
OCSR1		OSF1	—	—	—	—	—	OCE1	OIE1
		—	—	—	—	—	—	—	—
ICSR2		—	—	—	POE4F	—	—	—	PIE2
		—	—	—	—	—	—	POE4M[1:0]	
OCSR2		OSF2	—	—	—	—	—	OCE2	OIE2
		—	—	—	—	—	—	—	—
ICSR3		—	—	—	POE8F	—	—	POE8E	PIE3
		—	—	—	—	—	—	POE8M[1:0]	
SPOER		—	—	—	—	—	MTU2S HIZ	MTU2 CH0HIZ	MTU2 CH34HIZ
POECR1		MTU2 PB4ZE	MTU2 PB3ZE	MTU2 PB2ZE	MTU2 PB1ZE	MTU2 PE3ZE	MTU2 PE2ZE	MTU2 PE1ZE	MTU2 PE0ZE
POECR2		—	MTU2 P1CZE	MTU2 P2CZE	MTU2 P3CZE	—	MTU2S SP1CZE	MTU2S SP2CZE	MTU2S SP3CZE
		—	MTU2S SP4CZE	MTU2S SP5CZE	MTU2S SP6CZE	—	—	—	—
POECR3		—	—	IC2MTU2 CH0ZE	IC2MTU2 ZE	IC3MTU2S ZE	IC3MTU2 ZE	IC1MTU2 CHOZE	IC1MTU2S ZE

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CMT	CMSTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
	CMCSR_0	—	—	—	—	—	—	—	—
		CMF	CMIE	—	—	—	—	CKS[1:0]	
	CMCNT_0								
	CMCOR_0								
	CMCSR_1	—	—	—	—	—	—	—	—
		CMF	CMIE	—	—	—	—	CKS[1:0]	
	CMCNT_1								
CMCOR_1									
WDT	WTCSR	IOVF	WT \bar{T}	TME	—	—	CKS[2:0]		
	WTCNT								
	WRCSR	WOVF	RSTE	RSTS	—	—	—	—	—
SCI (チャンネル 0)	SCSMR_0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]	
	SCBRR_0								
	SCSCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
	SCTDR_0								
	SCSSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_0								
	SCSDCR_0	—	—	—	—	DIR	—	—	—
	SCSPTR_0	EIO	—	—	—	SPB1IO	SPB1DT	—	SPB0DT
	SPMR_0	—	—	—	—	—	—	—	STDSPM
SCI (チャンネル 1)	SCSMR_1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]	
	SCBRR_1								
	SCSCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
	SCTDR_1								
	SCSSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_1								
	SCSDCR_1	—	—	—	—	DIR	—	—	—
	SCSPTR_1	EIO	—	—	—	SPB1IO	SPB1DT	—	SPB0DT
	SPMR_1	—	—	—	—	—	—	—	STDSPM

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SCI (チャンネル 2)	SCSMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS[1:0]	
	SCBRR_2								
	SCSCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
	SCTDR_2								
	SCSSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
	SCRDR_2								
	SCSDCR_2	—	—	—	—	DIR	—	—	—
	SCSPTR_2	EIO	—	—	—	SPB1IO	SPB1DT	—	SPB0DT
SPMR_2	—	—	—	—	—	—	—	STDSPM	
SCIF	SCSMR_3	—	—	—	—	—	—	—	—
		C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	—	CKS[1:0]	
	SCBRR_3								
	SCSCR_3	—	—	—	—	—	—	—	—
		TIE	RIE	TE	RE	REIE	—	CKE[1:0]	
	SCFTDR_3								
	SCFSR_3	PER[3:0]				FER[3:0]			
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_3								
	SCFCR_3	—	—	—	—	—	—	—	—
		RTRG[1:0]		TTRG[1:0]		—	TFRST	RFRST	LOOP
	SCFDR_3	—	—	—	T[4:0]				
		—	—	—	R[4:0]				
	SCSPTR_3	—	—	—	—	—	—	—	—
—		—	—	—	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_3	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	ORER	
SCSEMR_3	ABCS	—	—	—	—	—	—	—	
RSPI	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	—	SPMS
	SSLP	—	—	—	—	SSL3P	SSL2P	SSL1P	SSLOP
	SPPCR	—	—	MOIFE	MOIFV	—	SPOM	—	SPLP
	SPSR	SPRF	—	SPTEF	—	—	MODF	MIDLE	OVRF
	SPDR	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
SPSCR	—	—	—	—	—	—	SPSLN[1:0]		

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RSPi	SPSSR	—	—	SPECM[1:0]		—	—	SPCP[1:0]		
	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0	
	SPDCR	—	—	SPLW	SPRDTD	—	—	SPFC1	SPFC0	
	SPCKD	—	—	—	—	—	SCKDL2	SCKDL1	SCKDL0	
	SSLND	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0	
	SPND	—	—	—	—	—	SPNDL2	SPNDL1	SPNDL0	
	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	
		SSLKP	SSLA2	SSLA1	SSLA0	BRDV1	BRDV0	CPOL	CPHA	
ADC	ADCR_0	ADST	ADCS	ACE	ADIE	—	—	TRGE	EXTRG	
	ADSR_0	—	—	—	—	—	—	—	ADF	
	ADSTRGR_0	—	STR6	STR5	STR4	STR3	STR2	STR1	STR0	
	ADANSR_0	—	—	—	—	ANS3	ANS2	ANS1	ANS0	
	ADBYPSCR_0	—	—	—	—	—	—	—	SH	
	ADTSR_0	TRG1S[3:0]				TRG0S[3:0]				
		—	—	—	—	—	CHSEC	CONADF	2CHSE	
	ADDR0	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR1	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR2	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR3	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR0GR0_0	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR2GR1_0	—	—	—	—	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADCR_1	ADST	ADCS	ACE	ADIE	—	—	TRGE	EXTRG	
ADSR_1	—	—	—	—	—	—	—	ADF		
ADSTRGR_1	—	STR6	STR5	STR4	STR3	STR2	STR1	STR0		
ADANSR_1	—	—	—	—	ANS3	ANS2	ANS1	ANS0		

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ADC	ADBYPSCR_1	—	—	—	—	—	—	—	—
	ADTSR_1	TRG1S[3:0]				TRG0S[3:0]			
		—	—	—	—	—	CHSEC	CONADF	2CHSE
	ADDR4	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR5	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR6	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR7	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR0GR0_1	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR2GR1_1	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADCR_2	ADST	ADCS	ACE	ADIE	—	—	TRGE	EXTRG
	ADSR_2	—	—	—	—	—	—	—	ADF
	ADSTRGR_2	—	STR6	STR5	STR4	STR3	STR2	STR1	STR0
	ADANSR_2	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
	ADBYPSCR_2	—	—	—	—	ADSST	—	—	—
	ADTSR_2	TRG1S[3:0]				TRG0S[3:0]			
		—	—	—	—	—	CHSEC	CONADF	2CHSE
	ADDR8	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR9	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR10	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR11	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR12	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR13	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	ADDR14	—	—	—	—	ADD11	ADD10	ADD9	ADD8
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ADC	ADDR15	–	–	–	–	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR0GR0_2	–	–	–	–	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
	ADDR2GR1_2	–	–	–	–	ADD11	ADD10	ADD9	ADD8	
		ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	
RCAN-ET	MCR	MCR15	MCR14	–	–	–	TST[2:0]			
		MCR7	MCR6	MCR5	–	–	MCR2	MCR1	MCR0	
	GSR	–	–	–	–	–	–	–	–	
		–	–	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
	BCR1	TSG1[3:0]				–	TSG2[2:0]			
		–	–	SJV[1:0]		–	–	–	BSP	
	BCR0	–	–	–	–	–	–	–	–	
		BRP[7:0]								
	IRR	–	–	IRR13	IRR12	–	–	IRR9	IRR8	
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
	TEC/REC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
		REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
	TXPR1、0	TXPR1[15:8]								
		TXPR1[7:0]								
		TXPR0[15:8]								
		TXPR0[7:1]								–
	TXCR0	TXCR0[15:8]								
		TXCR0[7:1]								–
	TXACK0	TXACK0[15:8]								
		TXACK0[7:1]								–
	ABACK0	ABACK0[15:8]								
		ABACK0[7:1]								–
	RXPR0	RXPR0[15:8]								
		RXPR0[7:0]								
RFPR0	RFPR0[15:8]									
	RFPR0[7:0]									
MBIMR0	MBIMR0[15:8]									
	MBIMR0[7:0]									

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-ET	UMSR0	UMSR0[15:8]							
		UMSR0[7:0]							
RCAN-ET (MCR15=1)	MB[0]. CONTROL0H	IDE	RTR	—	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
RCAN-ET (MCR15=0)	MB[0]. CONTROL0H	—	STDID[10:4]						
		STDID[3:0]			RTR	IDE	EXTID[17:16]		
RCAN-ET	MB[0]. CONTROL0L	EXTID[15:8]							
		EXTID[7:0]							
RCAN-ET (MCR15=1)	MB[0]. LAFMH	IDE_LAFM	—	—	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
RCAN-ET (MCR15=0)	MB[0]. LAFMH	—	STDID_LAFM[10:4]						
		STDID_LAFM[3:0]			—	IDE_LAFM	EXTID_LAFM[17:16]		
RCAN-ET	MB[0]. LAFML	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[0]. MSG_DATA[0]	MSG_DATA_0							
	MB[0]. MSG_DATA[1]	MSG_DATA_1							
	MB[0]. MSG_DATA[2]	MSG_DATA_2							
	MB[0]. MSG_DATA[3]	MSG_DATA_3							
	MB[0]. MSG_DATA[4]	MSG_DATA_4							
	MB[0]. MSG_DATA[5]	MSG_DATA_5							
	MB[0]. MSG_DATA[6]	MSG_DATA_6							
	MB[0]. MSG_DATA[7]	MSG_DATA_7							
	MB[0]. CONTROL1H	—	—	NMC	—	—	MBC[2:0]		
	MB[0]. CONTROL1L	—	—	—	—	DLC[3:0]			
	RCAN-ET (MCR15=1)	MB[1]. CONTROL0H	IDE	RTR	—	STDID[10:6]			
STDID[5:0]						EXTID[17:16]			
RCAN-ET (MCR15=0)	MB[1]. CONTROL0H	—	STDID[10:4]						
		STDID[3:0]			RTR	IDE	EXTID[17:16]		

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-ET	MB[1]. CONTROL0L	EXTID[15:8]							
		EXTID[7:0]							
RCAN-ET (MCR15=1)	MB[1]. LAFMH	IDE_LAFM	—	—	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
RCAN-ET (MCR15=0)	MB[1]. LAFMH	—	STDID_LAFM[10:4]						
		STDID_LAFM[3:0]			—	IDE_LAFM	EXTID_LAFM[17:16]		
RCAN-ET	MB[1]. LAFML	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[1]. MSG_DATA[0]	MSG_DATA0							
	MB[1]. MSG_DATA[1]	MSG_DATA1							
	MB[1]. MSG_DATA[2]	MSG_DATA2							
	MB[1]. MSG_DATA[3]	MSG_DATA3							
	MB[1]. MSG_DATA[4]	MSG_DATA4							
	MB[1]. MSG_DATA[5]	MSG_DATA5							
	MB[1]. MSG_DATA[6]	MSG_DATA6							
	MB[1]. MSG_DATA[7]	MSG_DATA7							
	MB[1]. CONTROL1H	—	—	NMC	ATX	DART	MBC[2:0]		
	MB[1]. CONTROL1L	—	—	—	—	DLC[3:0]			
	MB[2].	MB[1].と同じビット構成							
	MB[3].	MB[1].と同じビット構成							
	↓	(繰り返し)							
	MB[13].	MB[1].と同じビット構成							
	MB[14].	MB[1].と同じビット構成							
	MB[15].	MB[1].と同じビット構成							

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PAIORH	—	—	—	—	—	—	—	—	
		—	—	—	—	—	PA18IOR	PA17IOR	PA16IOR	
	PAIORL	PA15IOR	—	—	—	—	—	—	PA9IOR	PA8IOR
		PA7IOR	PA6IOR	—	—	—	—	—	PA1IOR	PA0IOR
	PACRH1	—	—	—	—	—	PA18MD[2:0]			
		—	PA17MD[2:0]			—	PA16MD[2:0]			
	PACRL4	—	PA15MD[2:0]			—	—	—	—	—
		—	—	—	—	—	—	—	—	—
	PACRL3	—	—	—	—	—	—	—	—	—
		—	PA9MD[2:0]			—	PA8MD[2:0]			
	PACRL2	—	PA7MD[2:0]			—	PA6MD[2:0]			
		—	—	—	—	—	—	—	—	—
	PACRL1	—	—	—	—	—	—	—	—	—
		—	PA1MD[2:0]			—	PA0MD[2:0]			
	PAPCRH	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PA18PCR	PA17PCR	PA16PCR
	PAPCRL	PA15PCR	—	—	—	—	—	—	PA9PCR	PA8PCR
		PA7PCR	PA6PCR	—	—	—	—	—	PA1PCR	PA0PCR
	PBIORH	—	—	—	—	—	—	—	—	—
		—	—	PB21IOR	PB20IOR	PB19IOR	PB18IOR	PB17IOR	PB16IOR	—
	PBIORL	—	—	—	—	—	—	—	—	—
		—	—	—	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR	—
	PBCRH2	—	—	—	—	—	—	—	—	—
		—	PB21MD[2:0]			—	PB20MD[2:0]			
	PBCRH1	—	PB19MD[2:0]			—	PB18MD[2:0]			
		—	PB17MD[2:0]			—	PB16MD[2:0]			
	PBCRL2	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	PB4MD[2:0]			
	PBCRL1	—	PB3MD[2:0]			—	PB2MD[2:0]			
		—	PB1MD[2:0]			—	PB0MD[2:0]			
	PBPCRH	—	—	—	—	—	—	—	—	—
		—	—	PB21PCR	PB20PCR	PB19PCR	PB18PCR	PB17PCR	PB16PCR	—
	PBPCRL	—	—	—	—	—	—	—	—	—
		—	—	—	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	—
	PCIORL	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	—
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR	—

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PFC	PCCRL4	-		PC15MD[2:0]		-		PC14MD[2:0]	
		-		PC13MD[2:0]		-		PC12MD[2:0]	
	PCCRL3	-		PC11MD[2:0]		-		PC10MD[2:0]	
		-		PC9MD[2:0]		-		PC8MD[2:0]	
	PCCRL2	-		PC7MD[2:0]		-		PC6MD[2:0]	
		-		PC5MD[2:0]		-		PC4MD[2:0]	
	PCCRL1	-		PC3MD[2:0]		-		PC2MD[2:0]	
		-		PC1MD[2:0]		-		PC0MD[2:0]	
	PCPCR	PC15PCR	PC14PCR	PC13PCR	PC12PCR	PC11PCR	PC10PCR	PC19PCR	PC8PCR
		PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
	PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDCRL4	-		PD15MD[2:0]		-		PD14MD[2:0]	
		-		PD13MD[2:0]		-		PD12MD[2:0]	
	PDCRL3	-		PD11MD[2:0]		-		PD10MD[2:0]	
		-		PD9MD[2:0]		-		PD8MD[2:0]	
	PDCRL2	-		PD7MD[2:0]		-		PD6MD[2:0]	
		-		PD5MD[2:0]		-		PD4MD[2:0]	
	PDCRL1	-		PD3MD[2:0]		-		PD2MD[2:0]	
		-		PD1MD[2:0]		-		PD0MD[2:0]	
	PDPCR	PD15PCR	PD14PCR	PD13PCR	PD12PCR	PD11PCR	PD10PCR	PD9PCR	PD8PCR
		PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
	PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
	PECRL4	-		PE15MD[2:0]		-		PE14MD[2:0]	
		-		PE13MD[2:0]		-		PE12MD[2:0]	
	PECRL3	-		PE11MD[2:0]		-		PE10MD[2:0]	
		-		PE9MD[2:0]		-		PE8MD[2:0]	
	PECRL2	-		PE7MD[2:0]		-		PE6MD[2:0]	
		-		PE5MD[2:0]		-		PE4MD[2:0]	
	PECRL1	-		PE3MD[2:0]		-		PE2MD[2:0]	
		-		PE1MD[2:0]		-		PE0MD[2:0]	
	HPCRCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	MZIZDL	MZIZEH	MZIZEL
	PDACKCR	-	-	-	-	-	-	-	-
		-	-	-	-	DACK3TMG	DACK2TMG	DACK1TMG	DACK0TMG

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PEPCRL	PE15PCR	PE14PCR	PE13PCR	PE12PCR	PE11PCR	PE10PCR	PE9PCR	PE8PCR	
		PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
I/O ポート	PADRH	—	—	—	—	—	—	—	—	
		—	—	—	—	—	PA18DR	PA17DR	PA16DR	
	PADRL	PA15DR	—	—	—	—	—	—	PA9DR	PA8DR
		PA7DR	PA6DR	—	—	—	—	—	PA1DR	PA0DR
	PAPRH	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	PA18PR	PA17PR	PA16PR
	PAPRL	PA15PR	—	—	—	—	—	—	PA9PR	PA8PR
		PA7PR	PA6PR	—	—	—	—	—	PA1PR	PA0PR
	PBDRH	—	—	—	—	—	—	—	—	—
		—	—	PB21DR	PB20DR	PB19DR	PB18DR	PB17DR	PB16DR	—
	PBDRL	—	—	—	—	—	—	—	—	—
		—	—	—	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	—
	PBPRH	—	—	—	—	—	—	—	—	—
		—	—	PB21PR	PB20PR	PB19PR	PB18PR	PB17PR	PB16PR	—
	PBPRL	—	—	—	—	—	—	—	—	—
		—	—	—	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR	—
	PCDRL	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	—
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	—
	PCPRL	PC15PR	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR	—
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR	—
	PDDRL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	—
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	—
	PDPRL	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	—
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR	—
	PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	—
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	—
	PEPRL	PE15PR	PE14PR	PE13PR	PE12PR	PE11PR	PE10PR	PE9PR	PE8PR	—
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR	—
	PFDRL	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	—
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	—
	ROM/FLD	FPMON	FWE	—	—	—	—	—	—	—
		FMODR	—	—	—	FRDMD	—	—	—	—
FASTAT		ROMAE	—	—	CMDLK	EEPAE	EEPIFE	EEPRPE	EEPWPE	
FAEINT		ROMAEIE	—	—	CMDLKIE	EEPAEIE	EEPIFEIE	EEPRPEIE	EEPWPEIE	

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ROM/FLD	ROMMAT	KEY								
		-	-	-	-	-	-	-	ROMSEL	
	FCURAME	KEY								
		-	-	-	-	-	-	-	FCRME	
	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	-	ERSSPD	PRGSPD	
	FSTATR1	FCUERR	-	-	FLOCKST	-	-	-	-	
	FENTRYR	FKEY								
		FENTRYD	-	-	-	-	-	-	FENTRY0	
	FPROTR	FPKEY								
		-	-	-	-	-	-	-	FPROTCN	
	FRESETR	FPKEY								
		-	-	-	-	-	-	-	FRESET	
	FCMDR	CMDR								
		PCMDR								
	FCPSR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ESUSPMD	
	EEPBCCNT	-	-	-	BCADR				-	-
		BCADR						-	-	BCSIZE
	FPESTAT	-	-	-	-	-	-	-	-	
		PEERRST								
	EEPBCSTAT	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	BCST	
	PCKAR	-	-	-	-	-	-	-	-	
		PCKA								
	EEPRE0	KEY								
		DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00	
	EEPRE1	KEY								
		DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08	
	EEPWE0	KEY								
		DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00	
	EEPWE1	KEY								
		DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08	
	RCCR	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	RCF	-	-	-	

モジュール名	レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
低消費電力 モード	STBCR	STBY	—	—	—	—	—	—	—
	STBCR2	MSTP10	MSTP9	MSTP8	—	—	—	MSTP4	—
	SYSCR1	—	—	RAME5	RAME4	—	—	RAME1	RAME0
	SYSCR2	—	—	RAMWE5	RAMWE4	—	—	RAMWE1	RAMWE0
	STBCR3	HIZ	MSTP36	MSTP35	—	—	MSTP32	—	MSTP30
	STBCR4	—	—	—	MSTP44	—	MSTP42	—	—
	STBCR5	MSTP57	MSTP56	MSTP55	—	—	MSTP52	MSTP51	MSTP50
	STBCR6	—	—	—	MSTP64	—	—	—	—
H-UDI	SDIR	TI[7:0]							
		—	—	—	—	—	—	—	—

【注】 * メモリの種類を通常空間、MPX-I/O に設定した場合です。

28.3 各動作モードにおけるレジスタの状態の一覧

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CPG	FRQCR	初期化 ^{*1}	保持	保持	—	保持
	MCLKCR	初期化	保持	保持	—	保持
	ACLKCR	初期化	保持	保持	—	保持
	OSCCR	初期化	保持	保持	—	保持
INTC	ICR0	初期化	保持	保持	—	保持
	ICR1	初期化	保持	保持	—	保持
	IRQRR	初期化	保持	保持	—	保持
	IBCR	初期化	保持	保持	—	保持
	IBNR	初期化	保持 ^{*2}	保持	—	保持
	IPR01	初期化	保持	保持	—	保持
	IPR02	初期化	保持	保持	—	保持
	IPR05	初期化	保持	保持	—	保持
	IPR06	初期化	保持	保持	—	保持
	IPR07	初期化	保持	保持	—	保持
	IPR08	初期化	保持	保持	—	保持
	IPR09	初期化	保持	保持	—	保持
	IPR10	初期化	保持	保持	—	保持
	IPR11	初期化	保持	保持	—	保持
	IPR12	初期化	保持	保持	—	保持
	IPR13	初期化	保持	保持	—	保持
	IPR14	初期化	保持	保持	—	保持
	IPR15	初期化	保持	保持	—	保持
	IPR16	初期化	保持	保持	—	保持
IPR17	初期化	保持	保持	—	保持	
IPR18	初期化	保持	保持	—	保持	
UBC	BAR_0	初期化	保持	保持	保持	保持
	BAMR_0	初期化	保持	保持	保持	保持
	BBR_0	初期化	保持	保持	保持	保持
	BAR_1	初期化	保持	保持	保持	保持
	BAMR_1	初期化	保持	保持	保持	保持
	BBR_1	初期化	保持	保持	保持	保持
	BAR_2	初期化	保持	保持	保持	保持
	BAMR_2	初期化	保持	保持	保持	保持
	BBR_2	初期化	保持	保持	保持	保持
	BAR_3	初期化	保持	保持	保持	保持
	BAMR_3	初期化	保持	保持	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
UBC	BBR_3	初期化	保持	保持	保持	保持
	BRCR	初期化	保持	保持	保持	保持
DTC	DTCERA	初期化	保持	保持	保持	保持
	DTCERB	初期化	保持	保持	保持	保持
	DTCERC	初期化	保持	保持	保持	保持
	DTCERD	初期化	保持	保持	保持	保持
	DTCERE	初期化	保持	保持	保持	保持
	DTCER	初期化	保持	保持	保持	保持
	DTCVBR	初期化	保持	保持	保持	保持
BSC	CMNCR	初期化	保持	保持	—	保持
	CS0BCR	初期化	保持	保持	—	保持
	CS1BCR	初期化	保持	保持	—	保持
	CS3BCR	初期化	保持	保持	—	保持
	CS4BCR	初期化	保持	保持	—	保持
	CS5BCR	初期化	保持	保持	—	保持
	CS6BCR	初期化	保持	保持	—	保持
	CS0WCR	初期化	保持	保持	—	保持
	CS1WCR	初期化	保持	保持	—	保持
	CS3WCR	初期化	保持	保持	—	保持
	CS4WCR	初期化	保持	保持	—	保持
	CS5WCR	初期化	保持	保持	—	保持
	CS6WCR	初期化	保持	保持	—	保持
	BSCEHR	初期化	保持	保持	—	保持
DMAC	SAR_0	初期化	保持	保持	保持	保持
	DAR_0	初期化	保持	保持	保持	保持
	DMATCR_0	初期化	保持	保持	保持	保持
	CHCR_0	初期化	保持	保持	保持	保持
	RSAR_0	初期化	保持	保持	保持	保持
	RDAR_0	初期化	保持	保持	保持	保持
	RDMATCR_0	初期化	保持	保持	保持	保持
	SAR_1	初期化	保持	保持	保持	保持
	DAR_1	初期化	保持	保持	保持	保持
	DMATCR_1	初期化	保持	保持	保持	保持
	CHCR_1	初期化	保持	保持	保持	保持
	RSAR_1	初期化	保持	保持	保持	保持
	RDAR_1	初期化	保持	保持	保持	保持
	RDMATCR_1	初期化	保持	保持	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	SAR_2	初期化	保持	保持	保持	保持
	DAR_2	初期化	保持	保持	保持	保持
	DMATCR_2	初期化	保持	保持	保持	保持
	CHCR_2	初期化	保持	保持	保持	保持
	RSAR_2	初期化	保持	保持	保持	保持
	RDAR_2	初期化	保持	保持	保持	保持
	RDMATCR_2	初期化	保持	保持	保持	保持
	SAR_3	初期化	保持	保持	保持	保持
	DAR_3	初期化	保持	保持	保持	保持
	DMATCR_3	初期化	保持	保持	保持	保持
	CHCR_3	初期化	保持	保持	保持	保持
	RSAR_3	初期化	保持	保持	保持	保持
	RDAR_3	初期化	保持	保持	保持	保持
	RDMATCR_3	初期化	保持	保持	保持	保持
	SAR_4	初期化	保持	保持	保持	保持
	DAR_4	初期化	保持	保持	保持	保持
	DMATCR_4	初期化	保持	保持	保持	保持
	CHCR_4	初期化	保持	保持	保持	保持
	RSAR_4	初期化	保持	保持	保持	保持
	RDAR_4	初期化	保持	保持	保持	保持
	RDMATCR_4	初期化	保持	保持	保持	保持
	SAR_5	初期化	保持	保持	保持	保持
	DAR_5	初期化	保持	保持	保持	保持
	DMATCR_5	初期化	保持	保持	保持	保持
	CHCR_5	初期化	保持	保持	保持	保持
	RSAR_5	初期化	保持	保持	保持	保持
	RDAR_5	初期化	保持	保持	保持	保持
	RDMATCR_5	初期化	保持	保持	保持	保持
	SAR_6	初期化	保持	保持	保持	保持
	DAR_6	初期化	保持	保持	保持	保持
	DMATCR_6	初期化	保持	保持	保持	保持
	CHCR_6	初期化	保持	保持	保持	保持
	RSAR_6	初期化	保持	保持	保持	保持
	RDAR_6	初期化	保持	保持	保持	保持
	RDMATCR_6	初期化	保持	保持	保持	保持
SAR_7	初期化	保持	保持	保持	保持	
DAR_7	初期化	保持	保持	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	DMATCR_7	初期化	保持	保持	保持	保持
	CHCR_7	初期化	保持	保持	保持	保持
	RSAR_7	初期化	保持	保持	保持	保持
	RDAR_7	初期化	保持	保持	保持	保持
	RDMATCR_7	初期化	保持	保持	保持	保持
	DMAOR	初期化	保持	保持	保持	保持
	DMARS0	初期化	保持	保持	保持	保持
	DMARS1	初期化	保持	保持	保持	保持
	DMARS2	初期化	保持	保持	保持	保持
	DMARS3	初期化	保持	保持	保持	保持
MTU2	TCR_0	初期化	保持	保持	初期化	保持
	TMDR_0	初期化	保持	保持	初期化	保持
	TIORH_0	初期化	保持	保持	初期化	保持
	TIORL_0	初期化	保持	保持	初期化	保持
	TIER_0	初期化	保持	保持	初期化	保持
	TSR_0	初期化	保持	保持	初期化	保持
	TCNT_0	初期化	保持	保持	初期化	保持
	TGRA_0	初期化	保持	保持	初期化	保持
	TGRB_0	初期化	保持	保持	初期化	保持
	TGRC_0	初期化	保持	保持	初期化	保持
	TGRD_0	初期化	保持	保持	初期化	保持
	TGRE_0	初期化	保持	保持	初期化	保持
	TGRF_0	初期化	保持	保持	初期化	保持
	TIER2_0	初期化	保持	保持	初期化	保持
	TSR2_0	初期化	保持	保持	初期化	保持
	TBTM_0	初期化	保持	保持	初期化	保持
	TCR_1	初期化	保持	保持	初期化	保持
	TMDR_1	初期化	保持	保持	初期化	保持
	TIOR_1	初期化	保持	保持	初期化	保持
	TIER_1	初期化	保持	保持	初期化	保持
	TSR_1	初期化	保持	保持	初期化	保持
	TCNT_1	初期化	保持	保持	初期化	保持
	TGRA_1	初期化	保持	保持	初期化	保持
	TGRB_1	初期化	保持	保持	初期化	保持
	TICCR	初期化	保持	保持	初期化	保持
	TCR_2	初期化	保持	保持	初期化	保持
	TMDR_2	初期化	保持	保持	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2	TIOR_2	初期化	保持	保持	初期化	保持
	TIER_2	初期化	保持	保持	初期化	保持
	TSR_2	初期化	保持	保持	初期化	保持
	TCNT_2	初期化	保持	保持	初期化	保持
	TGRA_2	初期化	保持	保持	初期化	保持
	TGRB_2	初期化	保持	保持	初期化	保持
	TCR_3	初期化	保持	保持	初期化	保持
	TMDR_3	初期化	保持	保持	初期化	保持
	TIORH_3	初期化	保持	保持	初期化	保持
	TIORL_3	初期化	保持	保持	初期化	保持
	TIER_3	初期化	保持	保持	初期化	保持
	TSR_3	初期化	保持	保持	初期化	保持
	TCNT_3	初期化	保持	保持	初期化	保持
	TGRA_3	初期化	保持	保持	初期化	保持
	TGRB_3	初期化	保持	保持	初期化	保持
	TGRC_3	初期化	保持	保持	初期化	保持
	TGRD_3	初期化	保持	保持	初期化	保持
	TBTM_3	初期化	保持	保持	初期化	保持
	TCR_4	初期化	保持	保持	初期化	保持
	TMDR_4	初期化	保持	保持	初期化	保持
	TIORH_4	初期化	保持	保持	初期化	保持
	TIORL_4	初期化	保持	保持	初期化	保持
	TIER_4	初期化	保持	保持	初期化	保持
	TSR_4	初期化	保持	保持	初期化	保持
	TCNT_4	初期化	保持	保持	初期化	保持
	TGRA_4	初期化	保持	保持	初期化	保持
	TGRB_4	初期化	保持	保持	初期化	保持
	TGRC_4	初期化	保持	保持	初期化	保持
	TGRD_4	初期化	保持	保持	初期化	保持
	TBTM_4	初期化	保持	保持	初期化	保持
	TADCR	初期化	保持	保持	初期化	保持
	TADCORA_4	初期化	保持	保持	初期化	保持
	TADCORB_4	初期化	保持	保持	初期化	保持
TADCOBRA_4	初期化	保持	保持	初期化	保持	
TADCOBRB_4	初期化	保持	保持	初期化	保持	
TCRU_5	初期化	保持	保持	初期化	保持	
TCRV_5	初期化	保持	保持	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2	TCRW_5	初期化	保持	保持	初期化	保持
	TIORU_5	初期化	保持	保持	初期化	保持
	TIORV_5	初期化	保持	保持	初期化	保持
	TIORW_5	初期化	保持	保持	初期化	保持
	TIER_5	初期化	保持	保持	初期化	保持
	TSR_5	初期化	保持	保持	初期化	保持
	TSTR_5	初期化	保持	保持	初期化	保持
	TCNTU_5	初期化	保持	保持	初期化	保持
	TCNTV_5	初期化	保持	保持	初期化	保持
	TCNTW_5	初期化	保持	保持	初期化	保持
	TGRU_5	初期化	保持	保持	初期化	保持
	TGRV_5	初期化	保持	保持	初期化	保持
	TGRW_5	初期化	保持	保持	初期化	保持
	TCNTCMPCLR	初期化	保持	保持	初期化	保持
	TSTR	初期化	保持	保持	初期化	保持
	TSYR	初期化	保持	保持	初期化	保持
	TCSYSTR	初期化	保持	保持	初期化	保持
	TRWER	初期化	保持	保持	初期化	保持
	TOER	初期化	保持	保持	初期化	保持
	TOCR1	初期化	保持	保持	初期化	保持
	TOCR2	初期化	保持	保持	初期化	保持
	TGCR	初期化	保持	保持	初期化	保持
	TCDR	初期化	保持	保持	初期化	保持
	TDDR	初期化	保持	保持	初期化	保持
	TCNTS	初期化	保持	保持	初期化	保持
	TCBR	初期化	保持	保持	初期化	保持
	TITCR	初期化	保持	保持	初期化	保持
	TITCNT	初期化	保持	保持	初期化	保持
	TBTER	初期化	保持	保持	初期化	保持
	TDER	初期化	保持	保持	初期化	保持
TWCR	初期化	保持	保持	初期化	保持	
TOLBR	初期化	保持	保持	初期化	保持	
MTU2S	TCR_3S	初期化	保持	保持	初期化	保持
	TMDR_3S	初期化	保持	保持	初期化	保持
	TIORH_3S	初期化	保持	保持	初期化	保持
	TIORL_3S	初期化	保持	保持	初期化	保持
	TIER_3S	初期化	保持	保持	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TSR_3S	初期化	保持	保持	初期化	保持
	TCNT_3S	初期化	保持	保持	初期化	保持
	TGRA_3S	初期化	保持	保持	初期化	保持
	TGRB_3S	初期化	保持	保持	初期化	保持
	TGRC_3S	初期化	保持	保持	初期化	保持
	TGRD_3S	初期化	保持	保持	初期化	保持
	TBTM_3S	初期化	保持	保持	初期化	保持
	TCR_4S	初期化	保持	保持	初期化	保持
	TMDR_4S	初期化	保持	保持	初期化	保持
	TIORH_4S	初期化	保持	保持	初期化	保持
	TIORL_4S	初期化	保持	保持	初期化	保持
	TIER_4S	初期化	保持	保持	初期化	保持
	TSR_4S	初期化	保持	保持	初期化	保持
	TCNT_4S	初期化	保持	保持	初期化	保持
	TGRA_4S	初期化	保持	保持	初期化	保持
	TGRB_4S	初期化	保持	保持	初期化	保持
	TGRC_4S	初期化	保持	保持	初期化	保持
	TGRD_4S	初期化	保持	保持	初期化	保持
	TBTM_4S	初期化	保持	保持	初期化	保持
	TADCRS	初期化	保持	保持	初期化	保持
	TADCORA_4S	初期化	保持	保持	初期化	保持
	TADCORB_4S	初期化	保持	保持	初期化	保持
	TADCOBRA_4S	初期化	保持	保持	初期化	保持
	TADCOBRB_4S	初期化	保持	保持	初期化	保持
	TCRU_5S	初期化	保持	保持	初期化	保持
	TCRV_5S	初期化	保持	保持	初期化	保持
	TCRW_5S	初期化	保持	保持	初期化	保持
	TIORU_5S	初期化	保持	保持	初期化	保持
	TIORV_5S	初期化	保持	保持	初期化	保持
	TIORW_5S	初期化	保持	保持	初期化	保持
	TIER_5S	初期化	保持	保持	初期化	保持
	TSR_5S	初期化	保持	保持	初期化	保持
TSTR_5S	初期化	保持	保持	初期化	保持	
TCNTU_5S	初期化	保持	保持	初期化	保持	
TCNTV_5S	初期化	保持	保持	初期化	保持	
TCNTW_5S	初期化	保持	保持	初期化	保持	
TGRU_5S	初期化	保持	保持	初期化	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
MTU2S	TGRV_5S	初期化	保持	保持	初期化	保持
	TGRW_5S	初期化	保持	保持	初期化	保持
	TCNTCMPCLRS	初期化	保持	保持	初期化	保持
	TSTRS	初期化	保持	保持	初期化	保持
	TSYRS	初期化	保持	保持	初期化	保持
	TRWERS	初期化	保持	保持	初期化	保持
	TOERS	初期化	保持	保持	初期化	保持
	TOCR1S	初期化	保持	保持	初期化	保持
	TOCR2S	初期化	保持	保持	初期化	保持
	TGCRS	初期化	保持	保持	初期化	保持
	TCDRS	初期化	保持	保持	初期化	保持
	TDDRS	初期化	保持	保持	初期化	保持
	TCNTSS	初期化	保持	保持	初期化	保持
	TCBRS	初期化	保持	保持	初期化	保持
	TITCRS	初期化	保持	保持	初期化	保持
	TITCNTS	初期化	保持	保持	初期化	保持
	TBTERS	初期化	保持	保持	初期化	保持
	TDERS	初期化	保持	保持	初期化	保持
	TSYCRS	初期化	保持	保持	初期化	保持
TWCERS	初期化	保持	保持	初期化	保持	
TOLBRS	初期化	保持	保持	初期化	保持	
POE2	ICSR1	初期化	保持	保持	—	保持
	OCSR1	初期化	保持	保持	—	保持
	ICSR2	初期化	保持	保持	—	保持
	OCSR2	初期化	保持	保持	—	保持
	ICSR3	初期化	保持	保持	—	保持
	SPOER	初期化	保持	保持	—	保持
	POECR1	初期化	保持	保持	—	保持
	POECR2	初期化	保持	保持	—	保持
	POECR3	初期化	保持	保持	—	保持
CMT	CMSTR	初期化	保持	保持	初期化	保持
	CMCSR_0	初期化	保持	保持	初期化	保持
	CMCNT_0	初期化	保持	保持	初期化	保持
	CMCOR_0	初期化	保持	保持	初期化	保持
	CMCSR_1	初期化	保持	保持	初期化	保持
	CMCNT_1	初期化	保持	保持	初期化	保持
	CMCOR_1	初期化	保持	保持	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
WDT	WTCSR	初期化	保持 ^{*4}	初期化	—	保持
	WTCNT	初期化	保持 ^{*4}	初期化	—	保持
	WRCSR	初期化 ^{*1}	保持	初期化	—	保持
SCI (チャンネル 0)	SCSMR_0	初期化	保持	保持	初期化	保持
	SCBRR_0	初期化	保持	保持	初期化	保持
	SCSCR_0	初期化	保持	保持	初期化	保持
	SCTDR_0	—	保持	保持	初期化	保持
	SCSSR_0	初期化	保持	保持	初期化	保持
	SCRDR_0	—	保持	保持	初期化	保持
	SCSDCR_0	初期化	保持	保持	初期化	保持
	SCSPTR_0	初期化 ^{*5}	保持	保持	初期化	保持
	SPMR_0	初期化	保持	保持	初期化	保持
SCI (チャンネル 1)	SCSMR_1	初期化	保持	保持	初期化	保持
	SCBRR_1	初期化	保持	保持	初期化	保持
	SCSCR_1	初期化	保持	保持	初期化	保持
	SCTDR_1	—	保持	保持	初期化	保持
	SCSSR_1	初期化	保持	保持	初期化	保持
	SCRDR_1	—	保持	保持	初期化	保持
	SCSDCR_1	初期化	保持	保持	初期化	保持
	SCSPTR_1	初期化 ^{*5}	保持	保持	初期化	保持
	SPMR_1	初期化	保持	保持	初期化	保持
SCI (チャンネル 2)	SCSMR_2	初期化	保持	保持	初期化	保持
	SCBRR_2	初期化	保持	保持	初期化	保持
	SCSCR_2	初期化	保持	保持	初期化	保持
	SCTDR_2	—	保持	保持	初期化	保持
	SCSSR_2	初期化	保持	保持	初期化	保持
	SCRDR_2	—	保持	保持	初期化	保持
	SCSDCR_2	初期化	保持	保持	初期化	保持
	SCSPTR_2	初期化 ^{*5}	保持	保持	初期化	保持
	SPMR_2	初期化	保持	保持	初期化	保持
SCIF	SCSMR_3	初期化	保持	保持	保持	保持
	SCBRR_3	初期化	保持	保持	保持	保持
	SCSCR_3	初期化	保持	保持	保持	保持
	SCFTDR_3	—	保持	保持	保持	保持
	SCFSR_3	初期化	保持	保持	保持	保持
	SCFRDR_3	—	保持	保持	保持	保持
	SCFCR_3	初期化	保持	保持	保持	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIF	SCFDR_3	初期化	保持	保持	保持	保持
	SCSPTR_3	初期化 ^{※5}	保持	保持	保持	保持
	SCLSR_3	初期化	保持	保持	保持	保持
	SCSEMR_3	初期化	保持	保持	保持	保持
RSPI	SPCR	初期化	保持	保持	初期化	保持
	SSLP	初期化	保持	保持	初期化	保持
	SPPCR	初期化	保持	保持	初期化	保持
	SPSR	初期化	保持	保持	初期化	保持
	SPDR	初期化	保持	保持	初期化	保持
	SPSCR	初期化	保持	保持	初期化	保持
	SPSSR	初期化	保持	保持	初期化	保持
	SPBR	初期化	保持	保持	初期化	保持
	SPDCR	初期化	保持	保持	初期化	保持
	SPCKD	初期化	保持	保持	初期化	保持
	SSLND	初期化	保持	保持	初期化	保持
	SPND	初期化	保持	保持	初期化	保持
	SPCMD0	初期化	保持	保持	初期化	保持
	SPCMD1	初期化	保持	保持	初期化	保持
	SPCMD2	初期化	保持	保持	初期化	保持
SPCMD3	初期化	保持	保持	初期化	保持	
ADC	ADCR_0	初期化	保持	初期化	保持	保持
	ADSR_0	初期化	保持	初期化	保持	保持
	ADSTRGR_0	初期化	保持	初期化	保持	保持
	ADANSR_0	初期化	保持	初期化	保持	保持
	ADBYPSCR_0	初期化	保持	初期化	保持	保持
	ADTSR_0	初期化	保持	初期化	保持	保持
	ADDR0	初期化	保持	初期化	保持	保持
	ADDR1	初期化	保持	初期化	保持	保持
	ADDR2	初期化	保持	初期化	保持	保持
	ADDR3	初期化	保持	初期化	保持	保持
	ADDR0GR0_0	初期化	保持	初期化	保持	保持
	ADDR2GR1_0	初期化	保持	初期化	保持	保持
	ADCR_1	初期化	保持	初期化	保持	保持
	ADSR_1	初期化	保持	初期化	保持	保持
	ADSTRGR_1	初期化	保持	初期化	保持	保持
	ADANSR_1	初期化	保持	初期化	保持	保持
ADBYPSCR_1	初期化	保持	初期化	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
ADC	ADTSR_1	初期化	保持	初期化	保持	保持
	ADDR4	初期化	保持	初期化	保持	保持
	ADDR5	初期化	保持	初期化	保持	保持
	ADDR6	初期化	保持	初期化	保持	保持
	ADDR7	初期化	保持	初期化	保持	保持
	ADDR0GR0_1	初期化	保持	初期化	保持	保持
	ADDR2GR1_1	初期化	保持	初期化	保持	保持
	ADCR_2	初期化	保持	初期化	保持	保持
	ADSR_2	初期化	保持	初期化	保持	保持
	ADSTRGR_2	初期化	保持	初期化	保持	保持
	ADANSR_2	初期化	保持	初期化	保持	保持
	ADBYPSCR_2	初期化	保持	初期化	保持	保持
	ADTSR_2	初期化	保持	初期化	保持	保持
	ADDR8	初期化	保持	初期化	保持	保持
	ADDR9	初期化	保持	初期化	保持	保持
	ADDR10	初期化	保持	初期化	保持	保持
	ADDR11	初期化	保持	初期化	保持	保持
	ADDR12	初期化	保持	初期化	保持	保持
	ADDR13	初期化	保持	初期化	保持	保持
	ADDR14	初期化	保持	初期化	保持	保持
ADDR15	初期化	保持	初期化	保持	保持	
ADDR0GR0_2	初期化	保持	初期化	保持	保持	
ADDR2GR1_2	初期化	保持	初期化	保持	保持	
RCAN-ET	MCR	初期化	保持	保持	初期化	保持
	GSR	初期化	保持	保持	初期化	保持
	BCR1	初期化	保持	保持	初期化	保持
	BCR0	初期化	保持	保持	初期化	保持
	IRR	初期化	保持	保持	初期化	保持
	IMR	初期化	保持	保持	初期化	保持
	TEC/REC	初期化	保持	保持	初期化	保持
	TXPR1、0	初期化	保持	保持	初期化	保持
	TXCR0	初期化	保持	保持	初期化	保持
	TXACK0	初期化	保持	保持	初期化	保持
	ABACK0	初期化	保持	保持	初期化	保持
	RXPR0	初期化	保持	保持	初期化	保持
	RFPR0	初期化	保持	保持	初期化	保持
	MBIMR0	初期化	保持	保持	初期化	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
RCAN-ET	UMSR0	初期化	保持	保持	初期化	保持
	MB[0]. CONTROL0H	—	保持	—	—	保持
	MB[0]. CONTROL0L	—	保持	—	—	保持
	MB[0]. LAFMH	—	保持	—	—	保持
	MB[0]. LAFML	—	保持	—	—	保持
	MB[0]. MSG_DATA[0]	—	保持	—	—	保持
	MB[0]. MSG_DATA[1]	—	保持	—	—	保持
	MB[0]. MSG_DATA[2]	—	保持	—	—	保持
	MB[0]. MSG_DATA[3]	—	保持	—	—	保持
	MB[0]. MSG_DATA[4]	—	保持	—	—	保持
	MB[0]. MSG_DATA[5]	—	保持	—	—	保持
	MB[0]. MSG_DATA[6]	—	保持	—	—	保持
	MB[0]. MSG_DATA[7]	—	保持	—	—	保持
	MB[0]. CONTROL1H	初期化	保持	保持	初期化	保持
	MB[0]. CONTROL1L	初期化	保持	保持	初期化	保持
	MB[1].	MB[0]と同じ				
	MB[2].	MB[0]と同じ				
	MB[3].	MB[0]と同じ				
	↓	(繰り返し)				
	MB[13].	MB[0]と同じ				
MB[14].	MB[0].と同じ					
MB[15].	MB[0].と同じ					
PFC	PAIORH	初期化	保持	保持	—	保持
	PAIORL	初期化	保持	保持	—	保持
	PACRH1	初期化	保持	保持	—	保持

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
PFC	PACRL4	初期化	保持	保持	—	保持
	PACRL3	初期化	保持	保持	—	保持
	PACRL2	初期化	保持	保持	—	保持
	PACRL1	初期化	保持	保持	—	保持
	PAPCRH	初期化	保持	保持	—	保持
	PAPCRL	初期化	保持	保持	—	保持
	PBIORH	初期化	保持	保持	—	保持
	PBIORL	初期化	保持	保持	—	保持
	PBCRH2	初期化	保持	保持	—	保持
	PBCRH1	初期化	保持	保持	—	保持
	PBCRL2	初期化	保持	保持	—	保持
	PBCRL1	初期化	保持	保持	—	保持
	PBPCRH	初期化	保持	保持	—	保持
	PBPCLR	初期化	保持	保持	—	保持
	PCIORL	初期化	保持	保持	—	保持
	PCCRL4	初期化	保持	保持	—	保持
	PCCRL3	初期化	保持	保持	—	保持
	PCCRL2	初期化	保持	保持	—	保持
	PCCRL1	初期化	保持	保持	—	保持
	PCPCRL	初期化	保持	保持	—	保持
	PDIORL	初期化	保持	保持	—	保持
	PDCRL4	初期化	保持	保持	—	保持
	PDCRL3	初期化	保持	保持	—	保持
	PDCRL2	初期化	保持	保持	—	保持
	PDCRL1	初期化	保持	保持	—	保持
	PDPCRL	初期化	保持	保持	—	保持
	PEIORL	初期化	保持	保持	—	保持
	PECRL4	初期化	保持	保持	—	保持
	PECRL3	初期化	保持	保持	—	保持
	PECRL2	初期化	保持	保持	—	保持
	PECRL1	初期化	保持	保持	—	保持
	HCPCR	初期化	保持	保持	—	保持
PDACKCR	初期化	保持	保持	—	保持	
PEPCRL	初期化	保持	保持	—	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
I/O ポート	PADRH	初期化	保持	保持	－	保持
	PADRL	初期化	保持	保持	－	保持
	PAPRH	－	保持	保持	－	保持
	PAPRL	－	保持	保持	－	保持
	PBDRH	初期化	保持	保持	－	保持
	PBDRL	初期化	保持	保持	－	保持
	PBPRH	－	保持	保持	－	保持
	PBPRL	－	保持	保持	－	保持
	PCDRL	初期化	保持	保持	－	保持
	PCPRL	－	保持	保持	－	保持
	PDDR	初期化	保持	保持	－	保持
	PDPRL	－	保持	保持	－	保持
	PEDRL	初期化	保持	保持	－	保持
	PEPRL	－	保持	保持	－	保持
	PFDR	－	保持	保持	－	保持
ROM/FLD	FPMON	初期化	保持	保持	保持	保持
	FMODR	初期化	保持	保持	保持	保持
	FASTAT	初期化	保持	保持	保持	保持
	FAEINT	初期化	保持	保持	保持	保持
	ROMMAT	初期化	保持	保持	保持	保持
	FCURAME	初期化	保持	保持	保持	保持
	FSTATR0	初期化	保持	保持	保持	保持
	FSTATR1	初期化	保持	保持	保持	保持
	FENTRYR	初期化	保持	保持	保持	保持
	FPROTR	初期化	保持	保持	保持	保持
	FRESETR	初期化	保持	保持	保持	保持
	FCMDR	初期化	保持	保持	保持	保持
	FCPSR	初期化	保持	保持	保持	保持
	EEPBCNT	初期化	保持	保持	保持	保持
	FPESTAT	初期化	保持	保持	保持	保持
	EEPBCSTAT	初期化	保持	保持	保持	保持
	PCKAR	初期化	保持	保持	保持	保持
	EEPRE0	初期化	保持	保持	保持	保持
	EEPRE1	初期化	保持	保持	保持	保持
	EEPWE0	初期化	保持	保持	保持	保持
EEPWE1	初期化	保持	保持	保持	保持	
RCCR	初期化	保持	保持	保持	保持	

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
低消費電力モード	STBCR	初期化	保持	保持	—	保持
	STBCR2	初期化	保持	保持	—	保持
	SYSCR1	初期化	保持	保持	—	保持
	SYSCR2	初期化	保持	保持	—	保持
	STBCR3	初期化	保持	保持	—	保持
	STBCR4	初期化	保持	保持	—	保持
	STBCR5	初期化	保持	保持	—	保持
	STBCR6	初期化	保持	保持	—	保持
H-UDI ^{*3}	SDIR	保持	保持	保持	保持	保持

- 【注】
- *1 WDT による内部パワーオンリセットでは前の値を保持します。
 - *2 BN3～BN0 ビットは初期化されます。
 - *3 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。
 - *4 WDT による内部マニュアルリセットでは初期化されます。
 - *5 初期化されないビットを含みます。

29. 電気的特性

29.1 絶対最大定格

絶対最大定格を表 29.1 に示します。

表 29.1 絶対最大定格

項目	記号	定格値	単位	
電源電圧	SH7239B、SH7237B	VCC、PLLVCC	-0.3~+7.0	V
	SH7239A、SH7237A	VCC、PLLVCC	-0.3~+4.6	V
入力電圧（アナログ入力端子以外）	V _{in}	-0.3~VCC+0.3	V	
アナログ電源電圧	AVCC	-0.3~+7.0	V	
アナログ基準電圧	AVREF	-0.3~AVCC+0.3	V	
アナログ入力電圧	V _{AN}	-0.3~AVCC+0.3	V	
動作温度	産業用途品	T _{opr}	-40~+85	°C
保存温度		T _{stg}	-55~+125	°C

【注】 VCC≤AVCC を満たしてください。満たせない場合は電流が流れる可能性があります。

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

29.2 DC 特性

DC 特性を表 29.2～表 29.6 に示します。また、特に指定のない条件は以下のとおりです。

- SH7239A、SH7237A

VCC=PLLVC=3.0～3.6V、AVCC=AVREF=4.5～5.5V、VSS=PLLVS=AVREFVS=AVSS=0V、
Ta=-40～+85°C（産業用途品）

- SH7239B、SH7237B

VCC=PLLVC=4.5～5.5V、AVCC=AVREF=4.5～5.5V、VSS=PLLVS=AVREFVS=AVSS=0V、
Ta=-40～+85°C（産業用途品）

表 29.2 DC 特性（SH7239A、SH7237A）

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		VCC PLLVC	3.0	3.3	3.6	V	
アナログ電源電圧		AVCC	4.5	5.0	5.5	V	
消費電流*	通常動作時	I _{CC}	—	90	120	mA	I ϕ = 160MHz
	BGO 動作時の増加分		—	20	—	mA	B ϕ = 40MHz P ϕ = 40MHz
	ソフトウェア スタンバイモード時	I _{stby}	—	10	30	mA	VCC = 3.3V
	スリープモード時	I _{sleep}	—	40	60	mA	VCC = 3.3V
入力リーク電流	全入力端子	I _{lin I}	—	—	1	μ A	V _{in} = 0.5～ VCC - 0.5V
スリーステート リーク電流	入出力、全出力端子 (オフ状態)	I _{lStI}	—	—	1	μ A	V _{in} = 0.5～ VCC - 0.5V
端子容量	全端子	C _{in}	—	—	20	pF	
アナログ電源 電流	A/D 変換中	A _{Icc}	—	3	3.5	mA	1モジュールあたり
	A/D 変換待機時		—	30	50	μ A	1モジュールあたり
	スタンバイ時		—	10	20	μ A	1モジュールあたり
リファレンス 電源電流	A/D 変換中	A _{Iref}	—	1	1.5	mA	1モジュールあたり
	A/D 変換待機時		—	1	1.5		1モジュールあたり
	スタンバイ時		—	0.8	5	μ A	1モジュールあたり

【使用上の注意】 A/D 変換器を使用しないときに、AVCC、AVSS 端子を開放しないでください。AVCC は VCC に接続してください。

【注】 * 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。BGO 動作時の増加分を除いています。

I_{CC}、I_{sleep}、I_{stby} は、VCC、PLLVC 系統で消費する電流の合計値です。

表 29.3 DC 特性 (SH7239B、SH7237B)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		VCC PLLVCC	4.5	5.0	5.5	V	
アナログ電源電圧		AVCC	4.5	5.0	5.5	V	
消費電流*	通常動作時	I _{cc}	—	70	90	mA	I ϕ = 100MHz
	BGO 動作時の増加分		—	20	—	mA	B ϕ = 50MHz P ϕ = 50MHz
	ソフトウェア スタンバイモード時	I _{stby}	—	10	30	mA	VCC = 5.0V
	スリープモード時	I _{sleep}	—	40	60	mA	VCC = 5.0V
入力リーク電流	全入力端子	I _{lin I}	—	—	1	μ A	V _{in} = 0.5~ VCC - 0.5V
スリープステート リーク電流	入出力、全出力端子 (オフ状態)	I _{lStI I}	—	—	1	μ A	V _{in} = 0.5~ VCC - 0.5V
端子容量	全端子	C _{in}	—	—	20	pF	
アナログ電源 電流	A/D 変換中	A _{Icc}	—	3	3.5	mA	1モジュールあたり
	A/D 変換待機時		—	30	50	μ A	1モジュールあたり
	スタンバイ時		—	10	20	μ A	1モジュールあたり
リファレンス 電源電流	A/D 変換中	A _{Iref}	—	1	1.5	mA	1モジュールあたり
	A/D 変換待機時		—	1	1.5		1モジュールあたり
	スタンバイ時		—	0.8	5	μ A	1モジュールあたり

【使用上の注意】 A/D 変換器を使用しないときに、AVCC、AVSS 端子を開放しないでください。AVCC は VCC に接続してください。

【注】 * 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。BGO 動作時の増加分を除いています。

I_{cc}、I_{sleep}、I_{stby} は、VCC、PLLVCC 系統で消費する電流の合計値です。

表 29.4 DC 特性 (SH7239A、SH7237A)

項 目	記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	RES、MRES、NMI、 MD0、FWE、 ASEMD0、TRST、 EXTAL	VIH	VCC-0.5	-	VCC+0.3	V	VCC=3.0~3.6V
	アナログ兼用ポート		2.2	-	AVCC+0.3	V	AVCC=3.0~5.5V*
	その他の入力端子 (シュミット端子除く)		2.2	-	VCC+0.3		VCC=3.0~3.6V
入力 Low レベル電圧	RES、MRES、NMI、 MD0、FWE、 ASEMD0、TRST、 EXTAL	VIL	-0.3	-	0.5	V	VCC=3.0~3.6V
	その他の入力端子 (シュミット端子除く)		-0.3	-	0.8		
シュミットトリガ 入力特性	TIOC0A~TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A~TIOC3D、 TIOC4A~TIOC4D、 TIC5U~TIC5W、 TCLKA~TCLKD、 TIOC3AS~TIOC3DS、 TIOC4AS~TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 POE8、POE4、POE0、 SCK3~SCK0、 RXD3~RXD0、 IRQ6~IRQ0、 RSPCK、MOSI、 MISO、SSLO	VT ⁺	VCC-0.5	-	-	V	VCC=3.0~3.6V
		VT	-	-	0.5	V	
		VT ⁻ -VT	VCC×0.05	-	-	V	
出力 High レベル電圧	全出力端子	VOH	VCC-0.5	-	-	V	IOH=-200μA
	TIOC3B、TIOC3D TIOC4A~TIOC4D TIOC3BS、TIOC3DS TIOC4AS~TIOC4DS		VCC-1.0	-	-	V	IOH=-5mA
出力 Low レベル電圧	TIOC3B、TIOC3D TIOC4A~TIOC4D TIOC3BS、TIOC3DS TIOC4AS~TIOC4DS	VOL	-	-	0.9	V	IOL=10mA VCC=3.0~3.6V
	上記以外の全出力端子		-	-	0.4	V	IOL=1.6mA
入力プルアップ MOS 電流	ポート A、B、C、D、E、 ASEMD0	-IP	-10	-	-800	μA	Vin=0V
RAM スタンバイ電圧	VRAM		2.7	-	-	V	VCC

【注】 * A/D 変換器を使用する場合は常に AVCC=4.5~5.5V、使用しない場合は AVCC を VCC に接続してください。

表 29.5 DC 特性 (SH7239B、SH7237B)

項目	記号	Min.	Typ.	Max.	単位	測定条件	
入力 High レベル電圧	RES、 \overline{MRES} 、NMI、 MD0、FWE、 $\overline{ASEMD0}$ 、 \overline{TRST} 、 EXTAL	VIH	VCC-0.7	-	VCC+0.3	V	VCC=4.5~5.5V
	アナログ兼用ポート		2.2	-	AVCC+0.3	V	AVCC=4.5~5.5V
	その他の入力端子 (シュミット端子除く)		2.2	-	VCC+0.3		VCC=4.5~5.5V
入力 Low レベル電圧	RES、 \overline{MRES} 、NMI、 MD0、FWE、 $\overline{ASEMD0}$ 、 \overline{TRST} 、 EXTAL	VIL	-0.3	-	0.5	V	VCC=4.5~5.5V
	その他の入力端子 (シュミット端子除く)		-0.3	-	0.8		
シュミットトリガ 入力特性	TIOC0A~TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A~TIOC3D、 TIOC4A~TIOC4D、 TIC5U~TIC5W、 TCLKA~TCLKD、 TIOC3AS~TIOC3DS、 TIOC4AS~TIOC4DS、 TIC5US、TIC5VS、 TIC5WS、 $\overline{POE8}$ 、 $\overline{POE4}$ 、 $\overline{POE0}$ 、 SCK3~SCK0、 RXD3~RXD0、 IRQ6~IRQ0、 RSPCK、MOSI、 MISO、SSL0	VT ⁺	VCC-0.5	-	-	V	VCC=4.5~5.5V
		VT ⁻	-	-	1.0	V	
		VT ⁺ -VT ⁻	0.2	-	-	V	
出力 High レベル電圧	全出力端子	VOH	VCC-0.5	-	-	V	IOH=-200 μ A
	TIOC3B、TIOC3D TIOC4A~TIOC4D TIOC3BS、TIOC3DS TIOC4AS~TIOC4DS		VCC-1.0	-	-	V	IOH=-5 mA
出力 Low レベル電圧	TIOC3B、TIOC3D TIOC4A~TIOC4D TIOC3BS、TIOC3DS TIOC4AS~TIOC4DS	VOL	-	-	0.9	V	IOL=15 mA VCC=4.5~5.5V
	上記以外の全出力端子		-	-	0.4	V	IOL=1.6 mA
入力プルアップ MOS 電流	ポート A、B、C、D、E、 $\overline{ASEMD0}$	-IP	-10	-	-800	μ A	Vin=0V
RAM スタンバイ電圧	VRAM		2.7	-	-	V	VCC

表 29.6 出力許容電流値

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	IoL	—	—	2.0*	mA
出力ローレベル許容電流 (総和)	Σ IoL	—	—	80	mA
出力ハイレベル許容電流 (1 端子当たり)	-IoH	—	—	2*	mA
出力ハイレベル許容電流 (総和)	Σ -IoH	—	—	25	mA

【注】 * TIOC3B、TIOC3D、TIOC4A~TIOC4D、TIOC3BS、TIOC3DS、TIOC4AS~TIOC4DS は、SH7239B と SH7237B は IoL=15 mA (Max.) /-IoH=5 mA (Max.)、SH7239A と SH7237A は IoL=10 mA (Max.) /-IoH=5 mA (Max.)。ただし、これらの端子のうち同等に 2.0 mA を超えて IoL/-IoH を流すものは 3 本以内にしてください。

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 29.6 の値を超えないようにしてください。

29.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

指定のないタイミング条件は以下のとおりです。

- SH7239A、SH7237A

VCC=PLLVC=3.0~3.6V、AVCC=AVREF=4.5~5.5V、VSS=PLLVS=AVREFVS=AVSS=0V、
Ta=-40~+85°C（産業用途品）

- SH7239B、SH7237B

VCC=PLLVC=4.5~5.5V、AVCC=AVREF=4.5~5.5V、VSS=PLLVS=AVREFVS=AVSS=0V、
Ta=-40~+85°C（産業用途品）

表 29.7 最大動作周波数

項 目		記号	Min.	Typ.	Max.	単位
最大動作周波数 (SH7239A、SH7237A)	内部クロック (Iφ)	f	40	—	160	MHz
	バスクロック (Bφ)		20	—	40	
	周辺クロック (Pφ)		20	—	40	
	MTU クロック (Mφ)		40	—	80	
	AD クロック (Aφ)		40	—	40	
最大動作周波数 (SH7239B、SH7237B)	内部クロック (Iφ)	f	40	—	100	MHz
	バスクロック (Bφ)		20	—	50	
	周辺クロック (Pφ)		20	—	50	
	MTU クロック (Mφ)		40	—	100	
	AD クロック (Aφ)		40	—	50	

29.3.1 クロックタイミング

表 29.8 クロックタイミング (SH7239A、SH7237A)

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	10	10	MHz	29.1
EXTAL クロック入力サイクル時間	tEXcyc	100	100	ns	
EXTAL クロック入力 Low レベルパルス幅	tEXL	20	—	ns	
EXTAL クロック入力 High レベルパルス幅	tEXH	20	—	ns	
EXTAL クロック入力立ち上がり時間	tEXr	—	5	ns	
EXTAL クロック入力立ち下がり時間	tEXf	—	5	ns	
CK クロック出力周波数	fOP	20	40	MHz	29.2
CK クロック出力サイクル時間	tOyc	25	50	ns	
CK クロック出力 Low レベルパルス幅	tCKOL	6	—	ns	
CK クロック出力 High レベルパルス幅	tCKOH	6	—	ns	
CK クロック出力立ち上がり時間	tCKOr	—	3	ns	
CK クロック出力立ち下がり時間	tCKOf	—	3	ns	
パワーオン発振安定時間	tOSC1	10	—	ms	29.3
スタンバイ復帰発振安定時間 1	tOSC2	10	—	ms	29.4
スタンバイ復帰発振安定時間 2	tOSC3	10	—	ms	29.5

表 29.9 クロックタイミング (SH7239B、SH7237B)

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	10	12.5	MHz	29.1
EXTAL クロック入力サイクル時間	tEXcyc	80	100	ns	
EXTAL クロック入力 Low レベルパルス幅	tEXL	20	—	ns	
EXTAL クロック入力 High レベルパルス幅	tEXH	20	—	ns	
EXTAL クロック入力立ち上がり時間	tEXr	—	5	ns	
EXTAL クロック入力立ち下がり時間	tEXf	—	5	ns	
パワーオン発振安定時間	tOSC1	10	—	ms	29.3
スタンバイ復帰発振安定時間 1	tOSC2	10	—	ms	29.4
スタンバイ復帰発振安定時間 2	tOSC3	10	—	ms	29.5

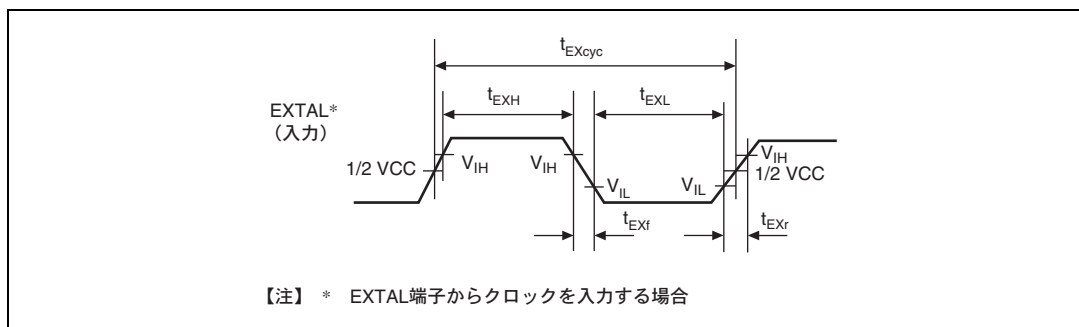


図 29.1 EXTAL クロック入力タイミング

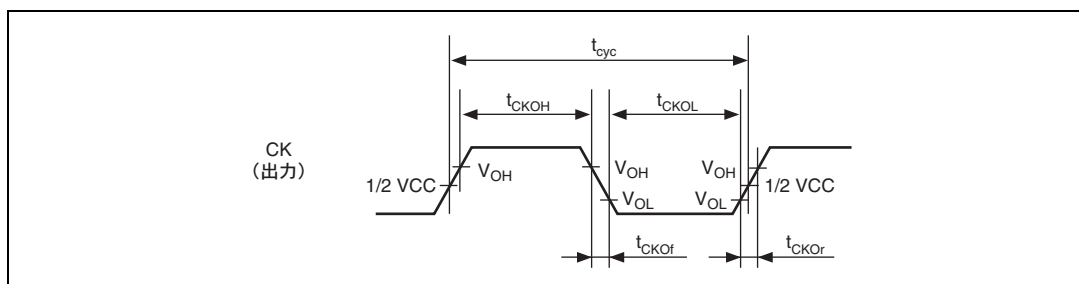


図 29.2 CK クロック出力タイミング

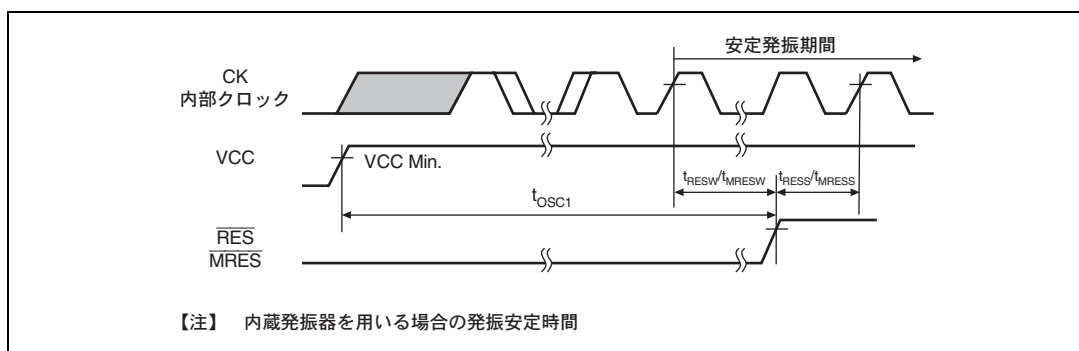


図 29.3 パワーオン発振安定時間

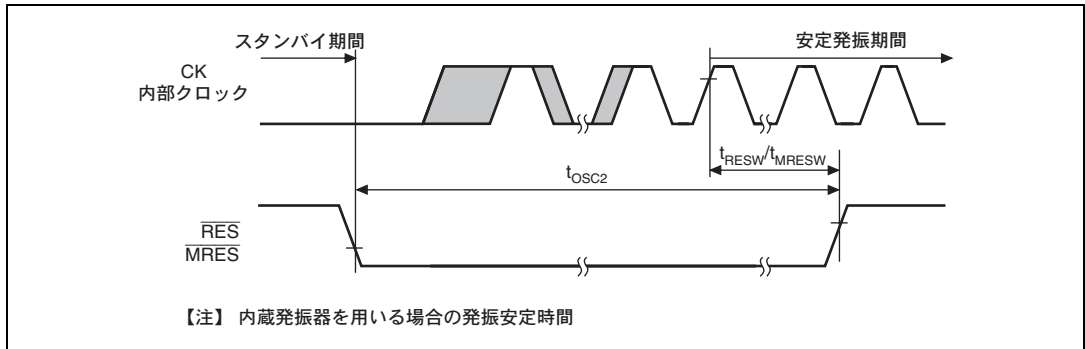


図 29.4 スタンバイ復帰時発振安定時間（リセットによる復帰）

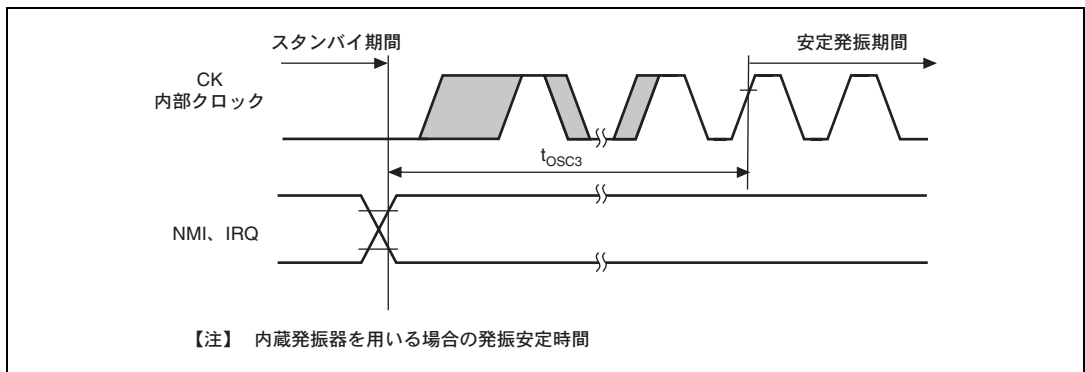


図 29.5 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

29.3.2 制御信号タイミング

表 29.10 制御信号タイミング (SH7239A、SH7237A)

項 目	記号	Bφ = 40MHz		単位	参照図
		Min.	Max.		
RES パルス幅 (フラッシュメモリ書き込み/消去を除く)	tRESW1	20 ^{*2*}	—	t _{cyc}	29.3、29.4、 29.5、29.6
		1.5 ^{*4}	—	μs	
RES パルス幅 (フラッシュメモリ書き込み/消去時)	tRESW2	100	—	μs	
RES セットアップ時間 ^{*1}	tRESS	100	—	ns	
RES ホールド時間	tRESH	15	—	ns	
MRES パルス幅	tMRESW	20 ^{*3}	—	t _{cyc}	
MRES セットアップ時間	tMRESS	120	—	ns	
MRES ホールド時間	tMRESH	15	—	ns	
MD0、FWE セットアップ時間	tMDS	20	—	t _{cyc}	29.6
BREQ セットアップ時間	tBREQS	1/2t _{cyc} + 15	—	ns	29.8
BREQ ホールド時間	tBREQH	1/2t _{cyc} + 10	—	ns	
NMI セットアップ時間 ^{*1}	tNMIS	100	—	ns	29.7
NMI ホールド時間	tNMIH	10	—	ns	
IRQ6~IRQ0 セットアップ時間 ^{*1}	tIRQS	35	—	ns	
IRQ6~IRQ0 ホールド時間	tIRQH	10	—	ns	
IRQ パルス幅	tIRQW	4	—	t _{cyc}	
NMI パルス幅	tNMIW	4	—	t _{cyc}	
IRQOUT 出力遅延時間	tIRQOD	—	100	ns	29.9
BACK 遅延時間	tBACKD	—	1/2t _{cyc} + 20	ns	29.8
バスタイム状態遅延時間 1	tBOFF1	0	100	ns	
バスタイム状態遅延時間 2	tBOFF2	0	100	ns	
バスバッファオンタイム 1	tBON1	0	30	ns	
バスバッファオンタイム 2	tBON2	0	30	ns	

【注】 *1 RES、NMI、および IRQ6~IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時またはクロック逡倍率が変化するときは、tRESW=tosc1 (10ms) になります。

*3 スタンバイモード時は、tMRESW=tosc1 (10ms) となります。

*4 いずれの条件も満足する tRESW1 を入力してください。

表 29.11 制御信号タイミング (SH7239B、SH7237B)

項目	記号	Bφ = 50MHz		単位	参照図
		Min.	Max.		
RES パルス幅 (フラッシュメモリ書き込み/消去を除く)	tRESW1	20 ^{*2*}	—	t _{cyc}	29.3、29.4、 29.5、29.6
		1.5 ^{*4}	—	μs	
RES パルス幅 (フラッシュメモリ書き込み/消去時)	tRESW2	100	—	μs	
RES セットアップ時間 ^{*1}	tRESS	100	—	ns	
RES ホールド時間	tRESH	15	—	ns	
MRES パルス幅	tMRESW	20 ^{*3}	—	t _{cyc}	
MRES セットアップ時間	tMRESS	120	—	ns	
MRES ホールド時間	tMRESH	15	—	ns	
MD0、FWE セットアップ時間	tMDS	20	—	t _{cyc}	29.6
NMI セットアップ時間 ^{*1}	tNMIS	100	—	ns	29.7
NMI ホールド時間	tNMIH	10	—	ns	
IRQ6~IRQ0 セットアップ時間 ^{*1}	tIRQS	35	—	ns	
IRQ6~IRQ0 ホールド時間	tIRQH	10	—	ns	
IRQ パルス幅	tIRQW	4	—	t _{cyc}	
NMI パルス幅	tNMIW	4	—	t _{cyc}	
IRQOUT 出力遅延時間	tIRQOD	—	100	ns	29.9

【注】 *1 RES、NMI、および IRQ6~IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時またはクロック逡倍率が変わるときは、tRESW=tOSC1 (10ms) になります。

*3 スタンバイモード時は、tMRESW=tOSC1 (10ms) となります。

*4 いずれの条件も満足する tRESW1 を入力してください。

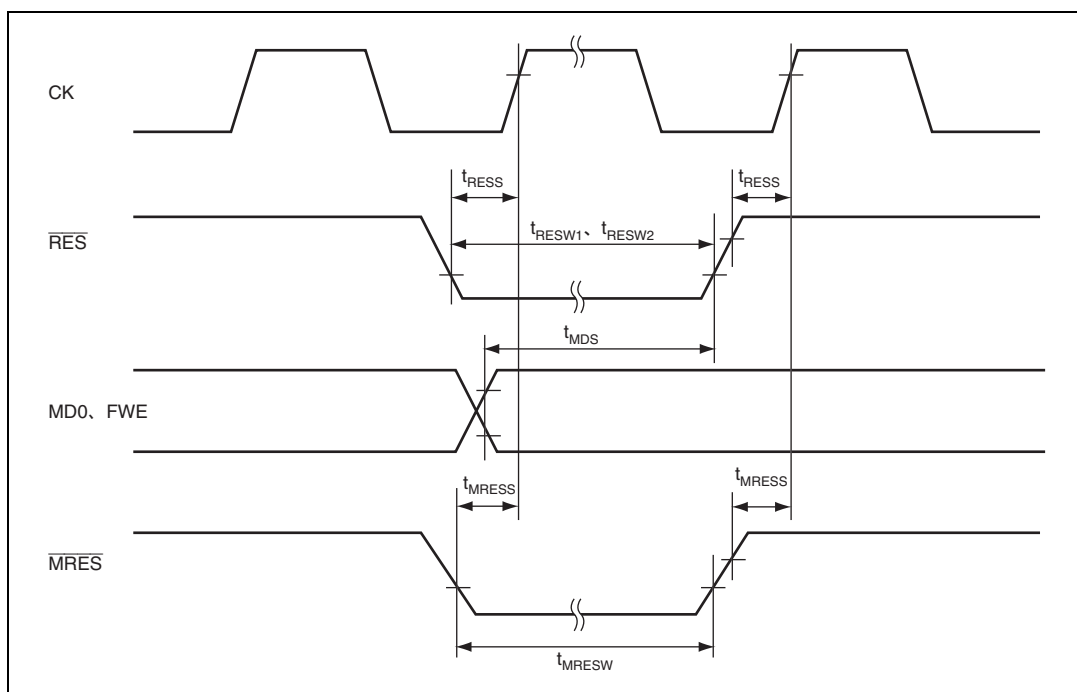


図 29.6 リセット入力タイミング

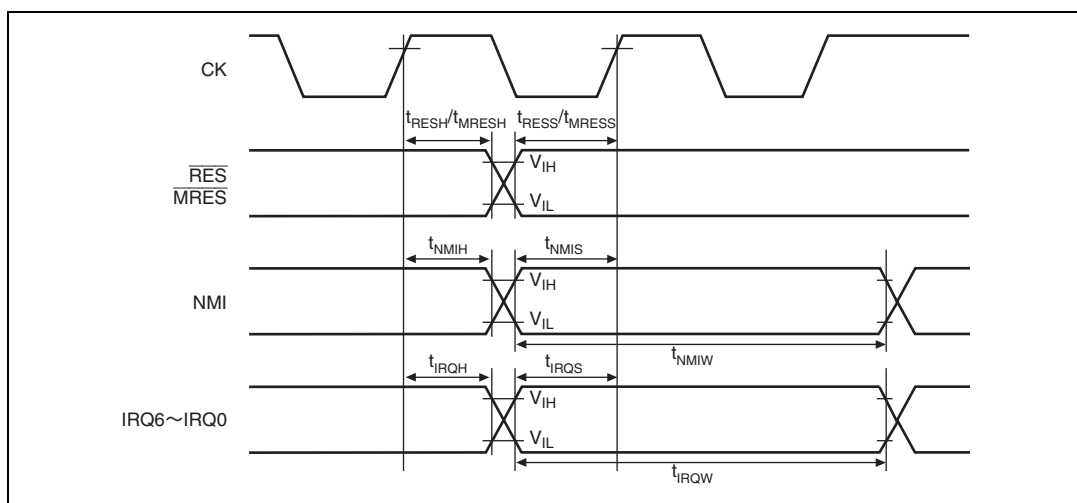


図 29.7 割り込み信号入力タイミング

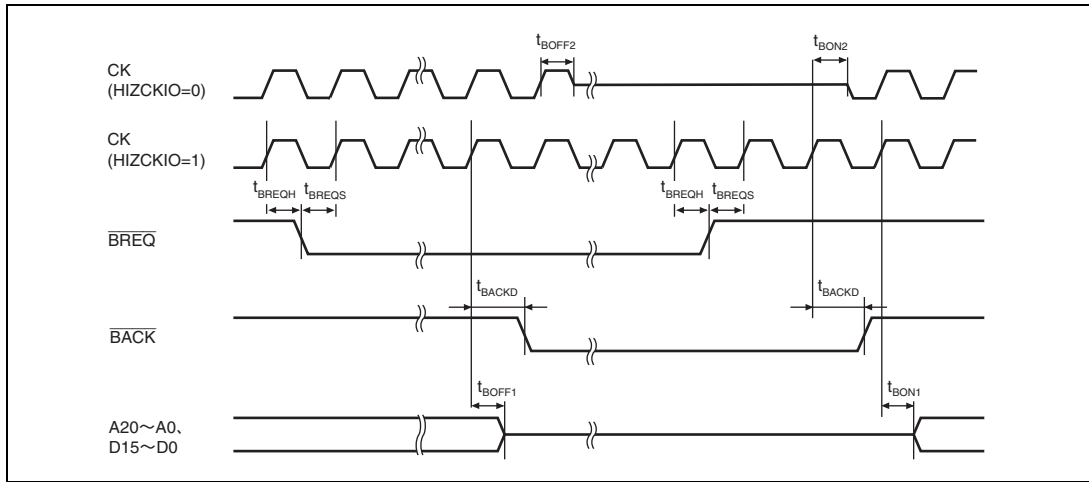


図 29.8 バス権解放タイミング

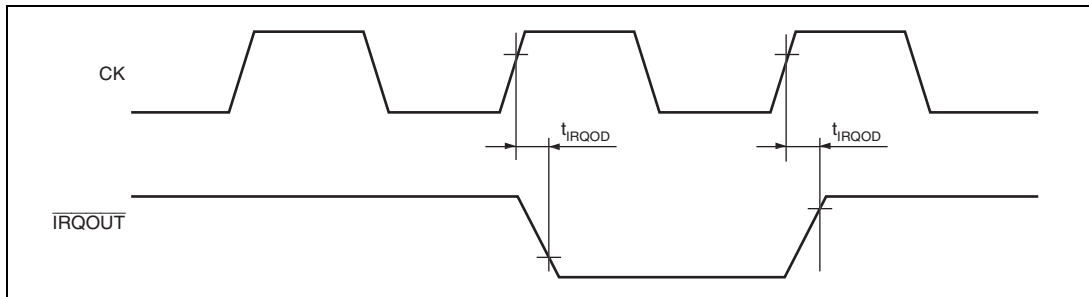


図 29.9 割り込み信号出力タイミング

29.3.3 バスタイミング (SH7239A、SH7237A のみ)

表 29.12 バスタイミング

項目	記号	Bφ = 40MHz ^{*1}		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	tAD1	1	18	ns	29.10~29.14
アドレスセットアップ時間	tAS	0	—	ns	29.10~29.13
アドレスホールド時間	tAH	0	—	ns	29.10~29.13
\overline{BS} 遅延時間	tBSD	—	18	ns	29.10~29.14
\overline{CS} 遅延時間 1	tCSD1	1	18	ns	29.10~29.14
\overline{CS} セットアップ時間	tCSS	0	—	ns	29.10~29.13
\overline{CS} ホールド時間	tCSH	0	—	ns	29.10~29.13
リードストロブ遅延時間	trSD	$1/2t_{cyc} + 1$	$1/2t_{cyc} + 18$	ns	29.10~29.14
リードデータセットアップ時間 1	tRDS1	$1/2t_{cyc} + 18$	—	ns	29.10~29.14
リードデータホールド時間 1	tRDH1	0	—	ns	29.10~29.14
ライトイネーブル遅延時間 1	twED1	$1/2t_{cyc} + 1$	$1/2t_{cyc} + 18$	ns	29.10~29.14
ライトデータ遅延時間 1	twDD1	—	18	ns	29.10~29.14
ライトデータホールド時間 1	twDH1	1	18	ns	29.10~29.14
ライトデータホールド時間 4	twDH4	0	18	ns	29.10~29.14
リードデータアクセス時間	tACC ^{*3}	$t_{cyc} (n + 1.5)$ $- 32^{*2}$	—	ns	29.10~29.13
リードストロブからのアクセス時間	tOE ^{*3}	$t_{cyc} (n + 1)$ $- 32^{*2}$	—	ns	29.10~29.13
WAIT セットアップ時間	twTS	$1/2t_{cyc} + 15$	—	ns	29.11~29.14
WAIT ホールド時間	twTH	$1/2t_{cyc} + 2$	—	ns	29.11~29.14
\overline{AH} 遅延時間	tAHD	$1/2t_{cyc} + 1$	$1/2t_{cyc} + 18$	ns	29.14
マルチプレクスアドレス遅延時間	tMAD	—	18	ns	29.14
マルチプレクスアドレスホールド時間	tMAH	1	—	ns	29.14
DACK、TEND 遅延時間	tdACD	—	周辺モジュール 参照	ns	29.10~29.14

【注】 *1 Bφ (外部バスクロック) の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご確認ください。

*2 n はウェイト数。

*3 アクセス時間が満足されていれば、 t_{RDS1} は満足されている必要はありません。

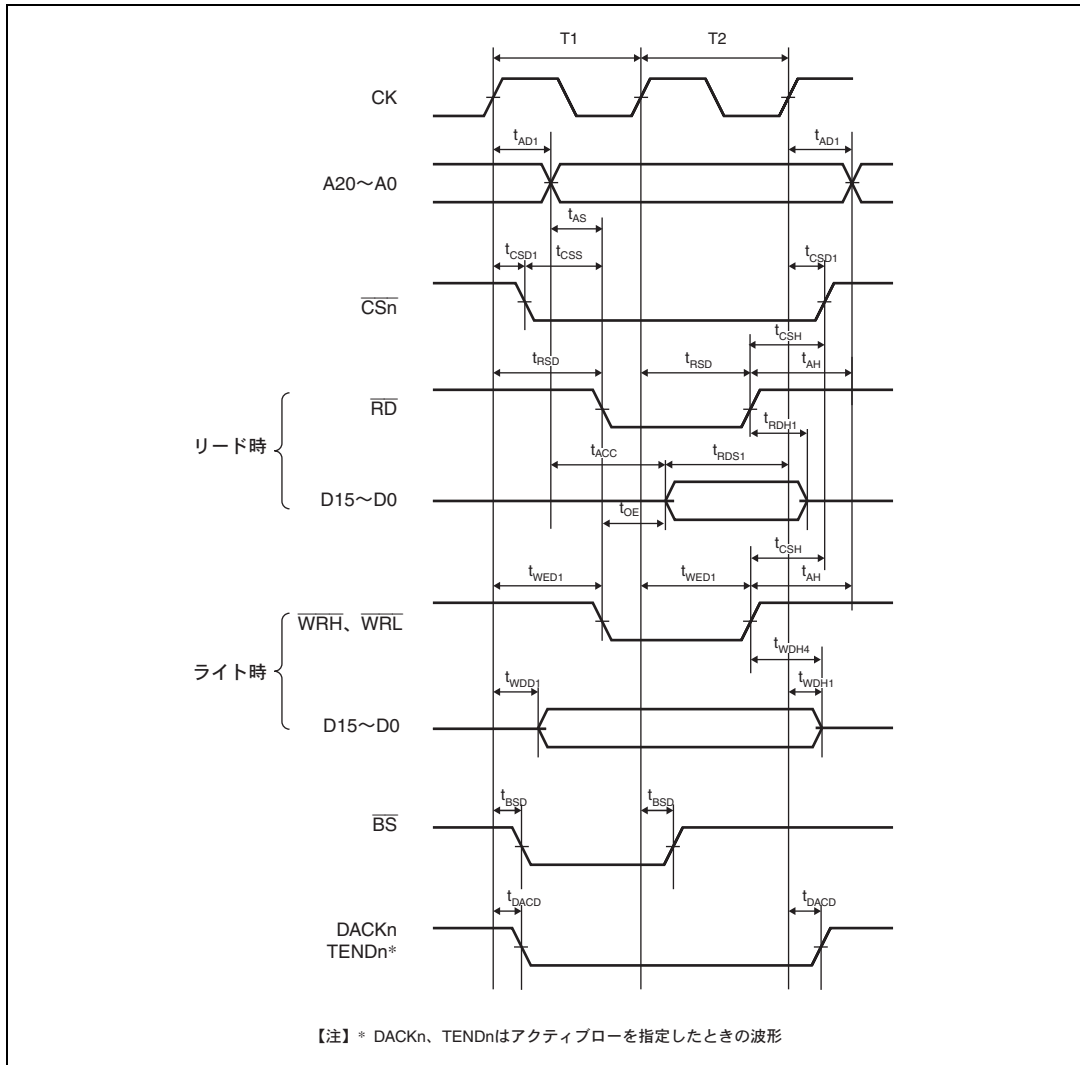


図 29.10 通常空間基本バスサイクル (ノーウェイト)

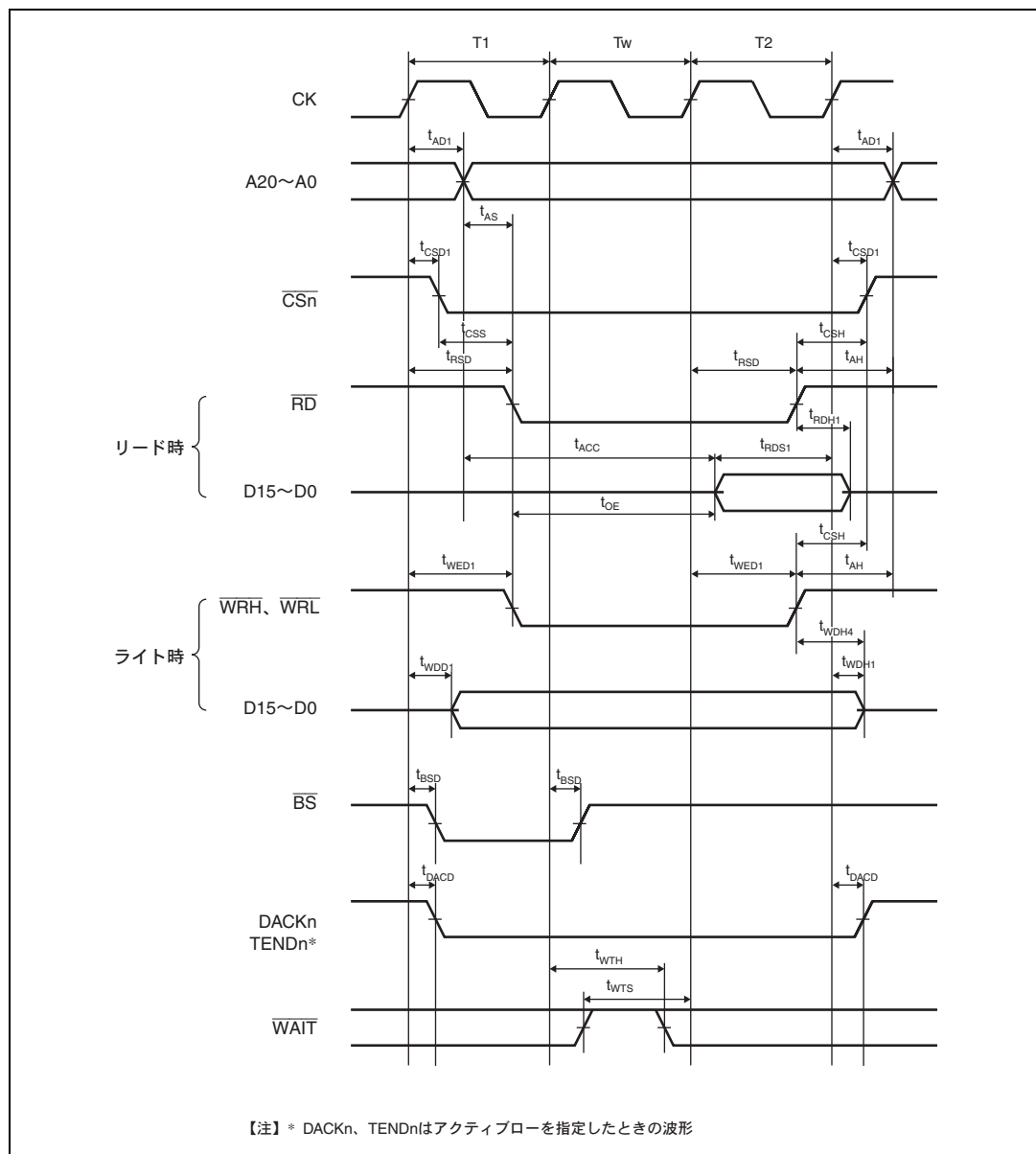


図 29.11 通常空間基本バスサイクル (ソフトウェアウェイト1)

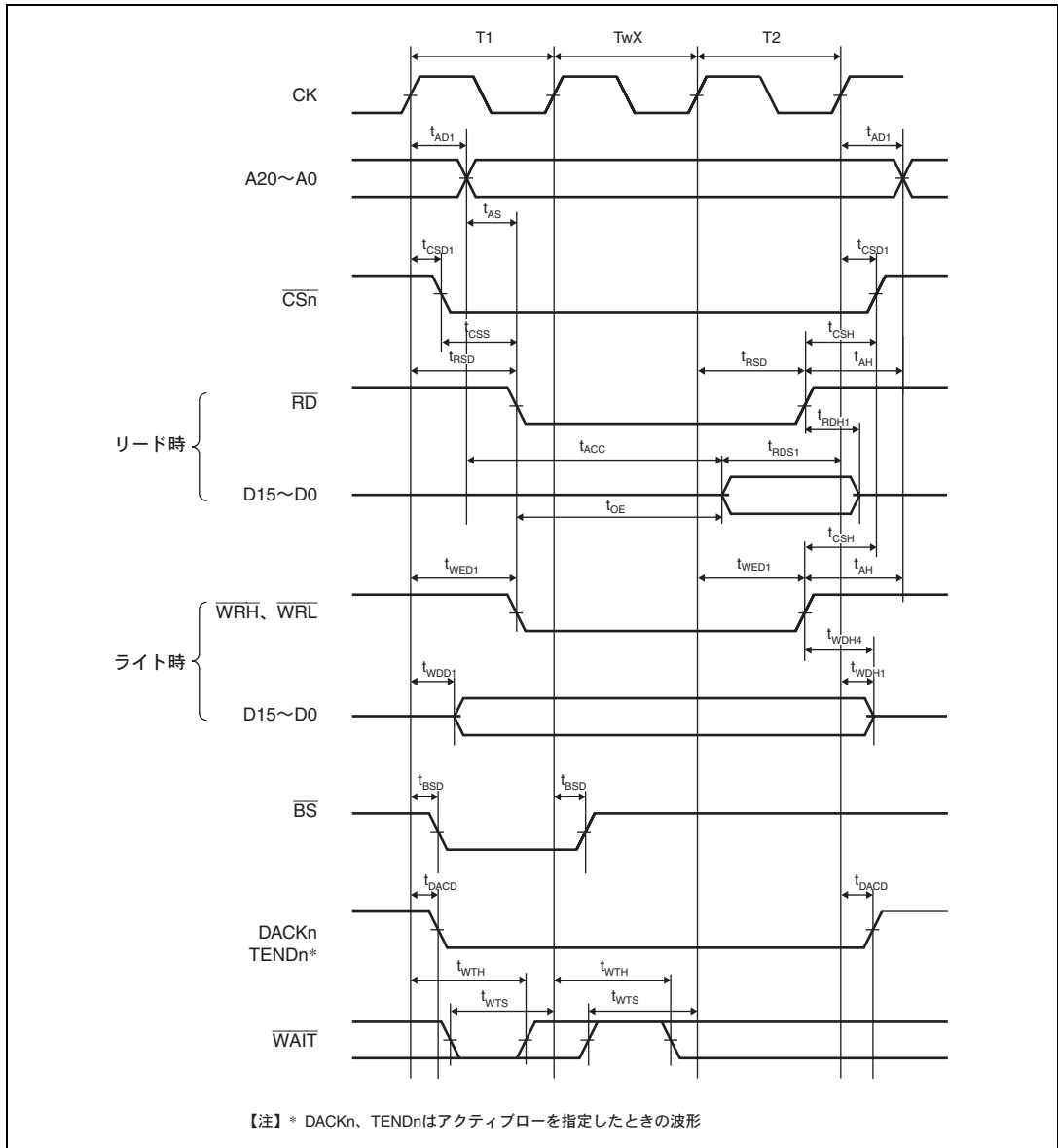


図 29.12 通常空間基本バスサイクル (外部ウェイト 1 挿入)

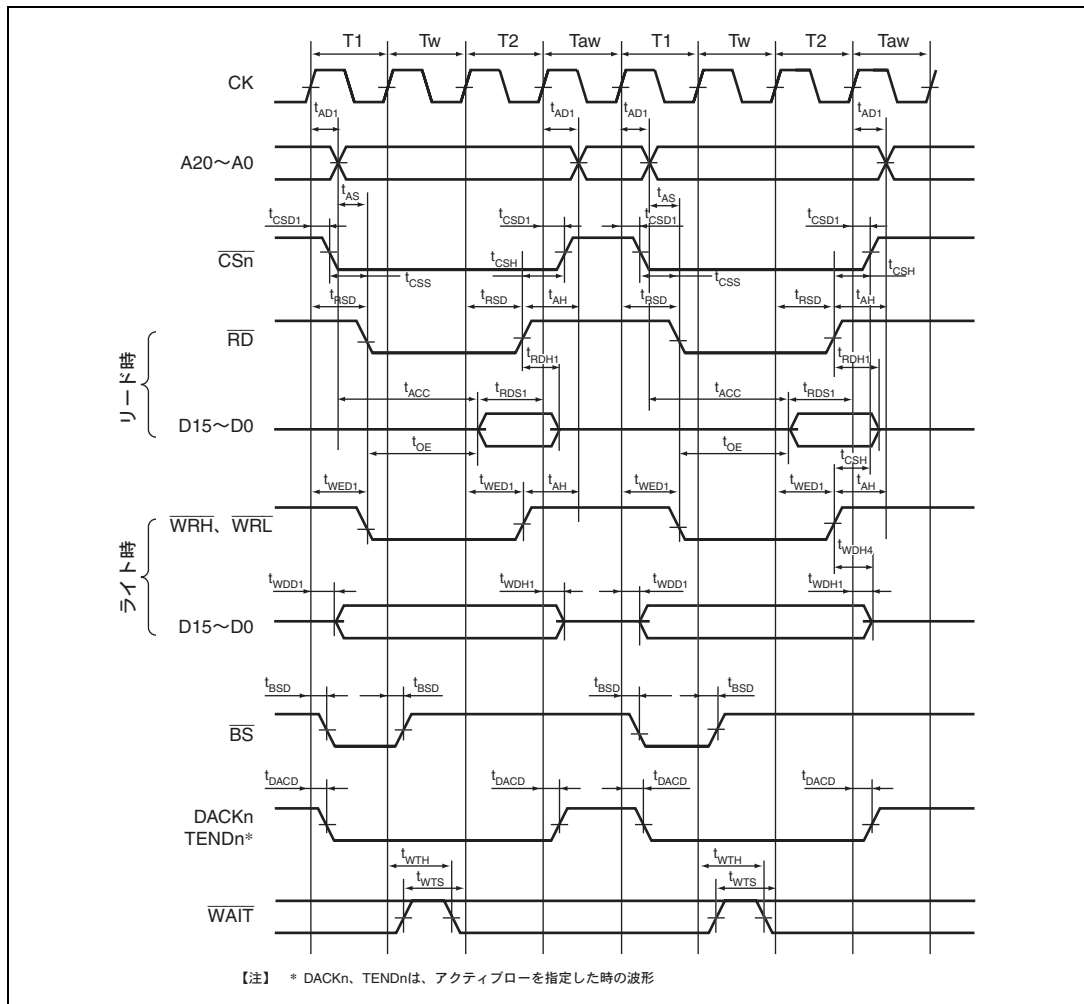


図 29.13 通常空間基本バスサイクル

(ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし)

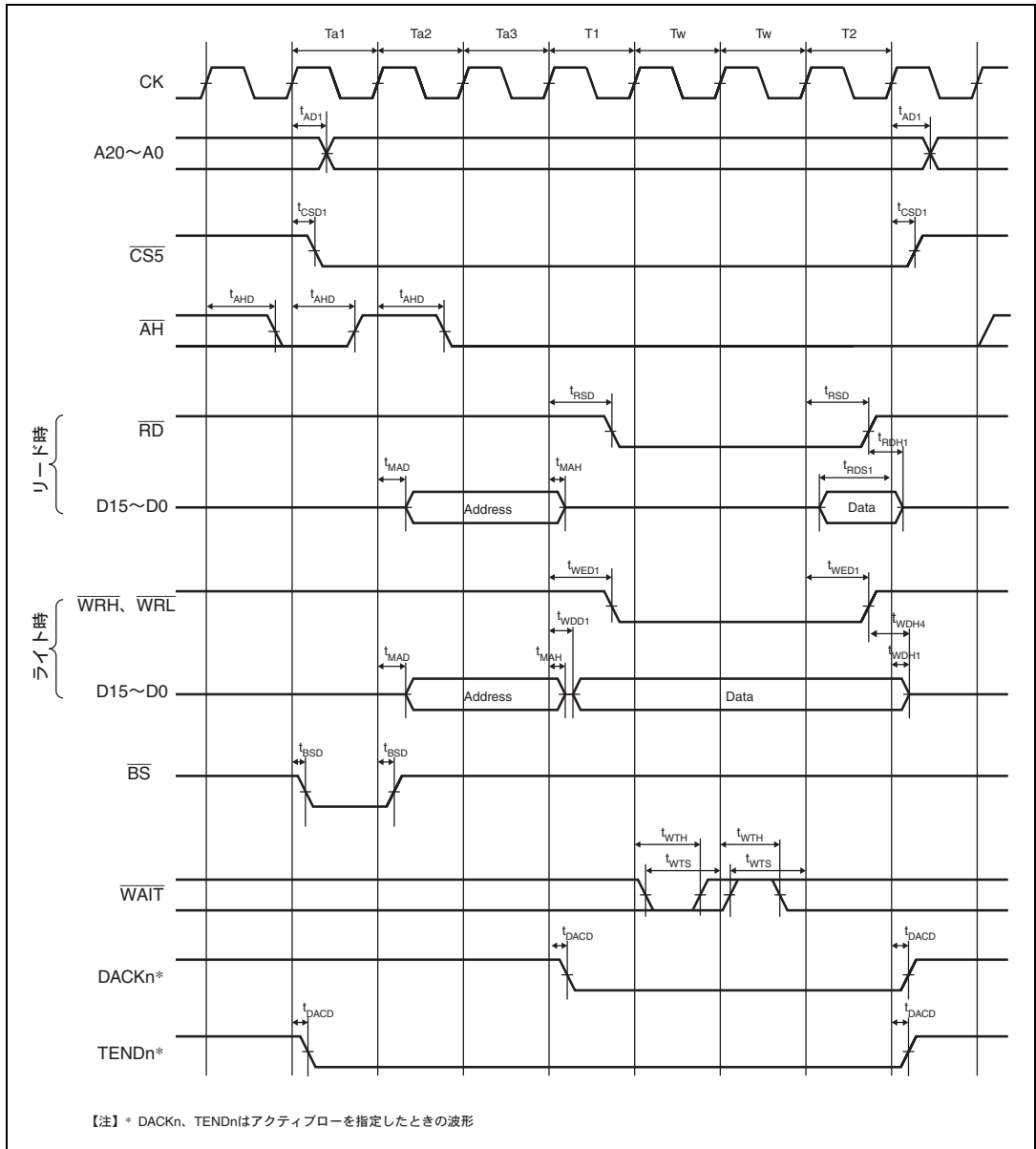


図 29.14 MPX-I/O インタフェースバスサイクル
(アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 挿入)

29.3.4 UBC トリガタイミング

表 29.13 UBC トリガタイミング

項目	記号	Min.	Max.	単位	参照図
$\overline{\text{UBCTRG}}$ 遅延時間	t_{UBCTGD}	—	20	ns	29.15

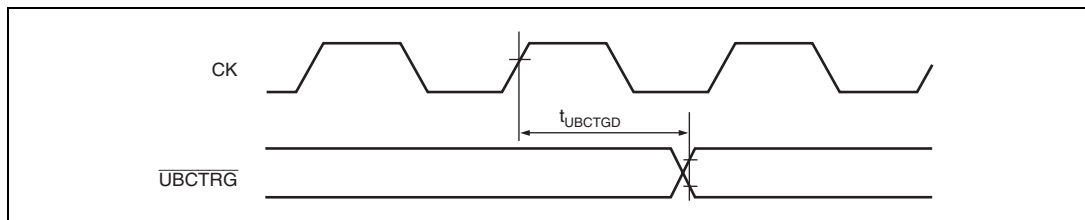


図 29.15 UBC トリガタイミング

29.3.5 DMAC モジュールタイミング

表 29.14 DMAC モジュールタイミング

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	20	—	ns	29.16
DREQ ホールド時間	t_{DRQH}	20	—		
DACK、TEND 遅延時間	t_{DACD}	—	20		29.17

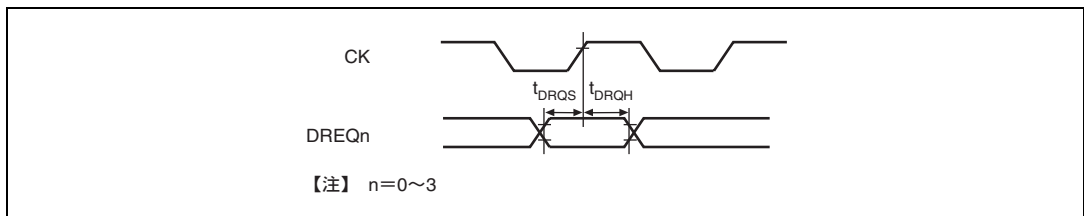


図 29.16 DREQ 入力タイミング

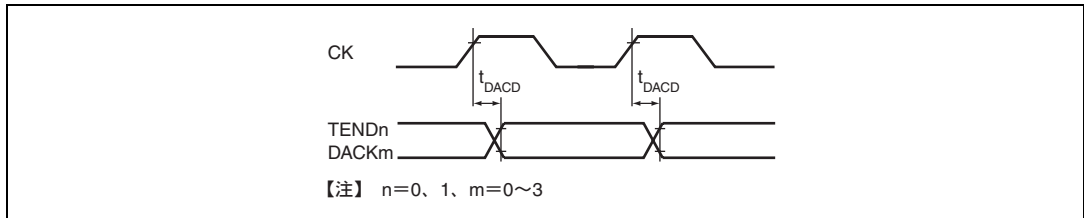


図 29.17 DACK、TEND 出力タイミング

29.3.6 MTU2、MTU2S モジュールタイミング

表 29.15 マルチファンクションタイマパルスユニット 2, 2S (MTU2, MTU2S) タイミング

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	—	50	ns	29.18
インプットキャプチャ入力セットアップ時間	t_{TICS}	20	—	ns	
インプットキャプチャ入力パルス幅 (単エッジ指定)	t_{TICW}	1.5	—	t_{Meyc}	
インプットキャプチャ入力パルス幅 (両エッジ指定)	t_{TICW}	2.5	—	t_{Meyc}	
タイマ入力セットアップ時間	t_{TCKS}	20	—	ns	29.19
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	—	t_{Meyc}	
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	—	t_{Meyc}	
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	—	t_{Meyc}	

【注】 t_{Meyc} は MTU クロック (M ϕ) の周期を示します。

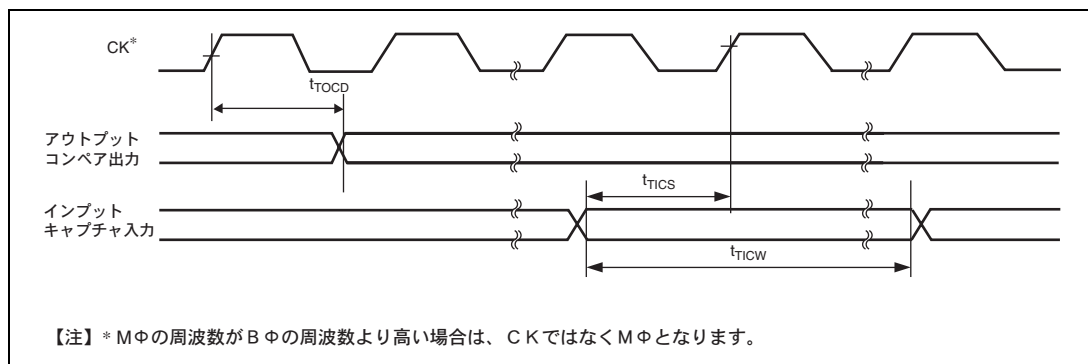


図 29.18 MTU2, MTU2S 入出力タイミング

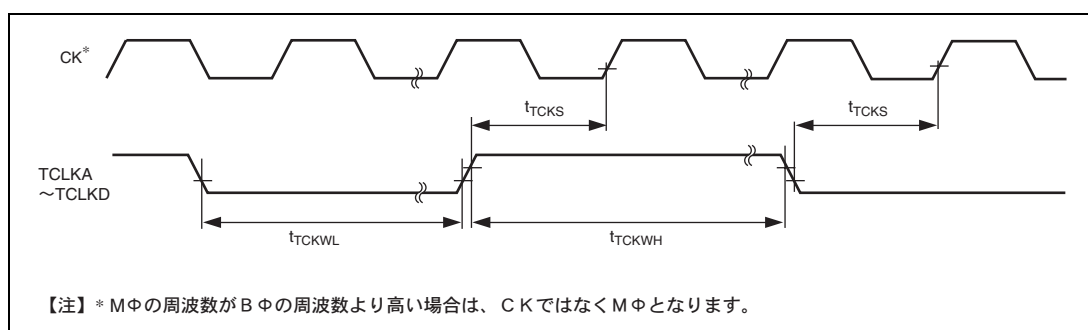


図 29.19 MTU2 クロック入力タイミング

29.3.7 POE2 モジュールタイミング

表 29.16 POE2 モジュールタイミング

項目	記号	Min.	Max.	単位	参照図
POE 入力セットアップ時間	t _{POES}	50	—	ns	29.20
POE 入力パルス幅	t _{POEW}	1.5	—	t _{pcyc}	

【注】 t_{pcyc} は周辺クロック (Pφ) の周期を示します。

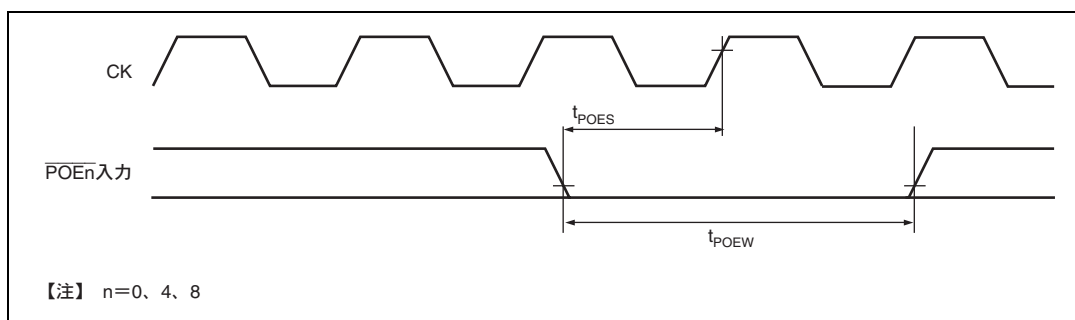


図 29.20 POE2 入力タイミング

29.3.8 ウォッチドッグタイマタイミング

表 29.17 ウォッチドッグタイマタイミング

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t _{WOVD}	—	50	ns	29.21

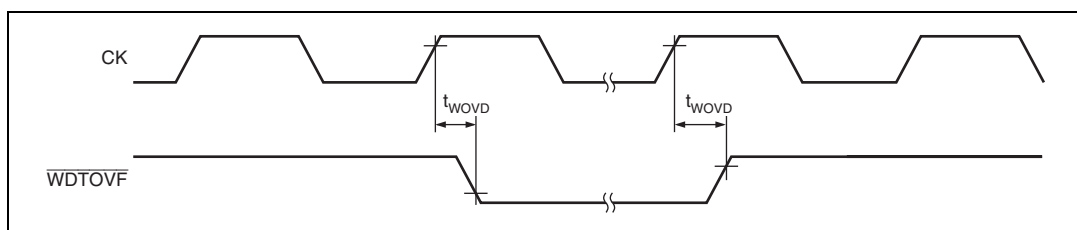


図 29.21 ウォッチドッグタイマタイミング

29.3.9 シリアルコミュニケーションインタフェース (SCI) タイミング

表 29.18 シリアルコミュニケーションインタフェース (SCI) タイミング

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル (調歩同期)		t_{scyc}	4	—	t_{pcyc}	29.22
入力クロックサイクル (クロック同期)		t_{scyc}	6	—	t_{pcyc}	
入力クロックパルス幅		t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間		t_{sckr}	—	1.5	t_{pcyc}	
入力クロック立ち下がり時間		t_{sckf}	—	1.5	t_{pcyc}	
送信データ遅延時間	調歩同期	t_{TXD}	—	$4t_{pcyc}+20$	ns	29.23
受信データセットアップ時間		t_{RXS}	$4t_{pcyc}$	—	ns	
受信データホールド時間		t_{RXH}	$4t_{pcyc}$	—	ns	
送信データ遅延時間	クロック同期	t_{TXD}	—	$3t_{pcyc}+20$	ns	
受信データセットアップ時間		t_{RXS}	$3t_{pcyc}+20$	—	ns	
受信データホールド時間		t_{RXH}	$3t_{pcyc}+20$	—	ns	

【注】 t_{pcyc} は周辺クロック (Pφ) の周辺を示します。

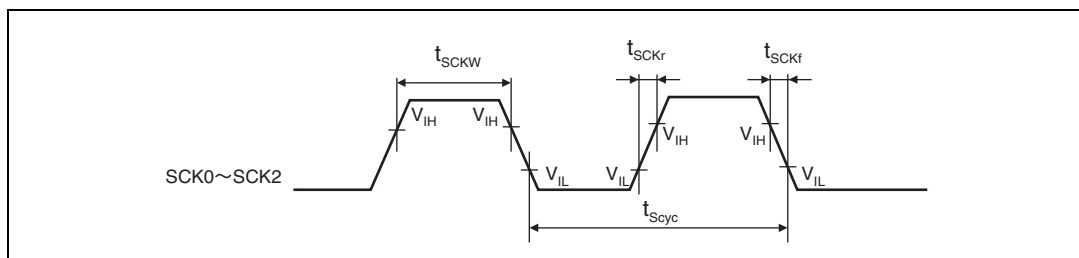
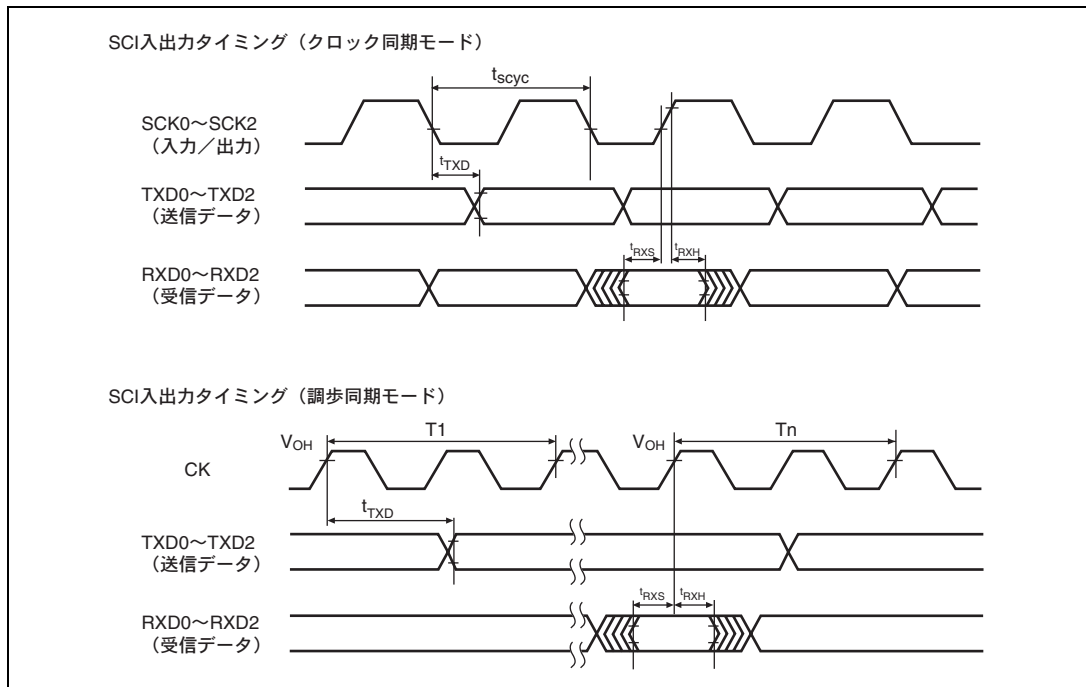


図 29.22 入力クロックタイミング



29.3.10 SCIF モジュールタイミング

表 29.19 SCIF モジュールタイミング

項目	記号	Min.	Max.	単位	参照図	
入力クロックサイクル	クロック同期	$t_{S\text{cyc}}$	6	—	t_{pcyc}	29.24
	調歩同期		4	—	t_{pcyc}	
入力クロック立ち上がり時間	t_{SCKr}	—	1.5	t_{pcyc}		
入力クロック立ち下がり時間	t_{SCKf}	—	1.5	t_{pcyc}		
入力クロック幅	t_{SCKW}	0.4	0.6	$t_{\text{S\text{cyc}}}$		
送信データ遅延時間 (クロック同期)	t_{TXD}	—	$3t_{\text{pcyc}}+20$	ns	29.25	
受信データセットアップ時間 (クロック同期)	t_{RXS}	$3t_{\text{pcyc}}+20$	—	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	$2t_{\text{pcyc}}+5$	—	ns		
送信データ遅延時間 (調歩同期)	t_{TXD}	—	$3t_{\text{pcyc}}+20$	ns		
受信データセットアップ時間 (調歩同期)	t_{RXS}	$3t_{\text{pcyc}}+20$	—	ns		
受信データホールド時間 (調歩同期)	t_{RXH}	$2t_{\text{pcyc}}+5$	—	ns		

【注】 t_{pcyc} は周辺クロック (Pφ) の周期を示します。

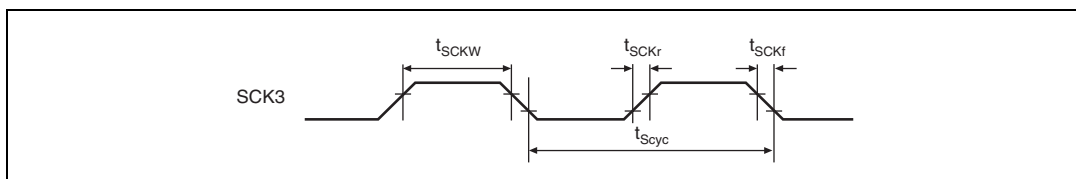


図 29.24 入力クロックタイミング

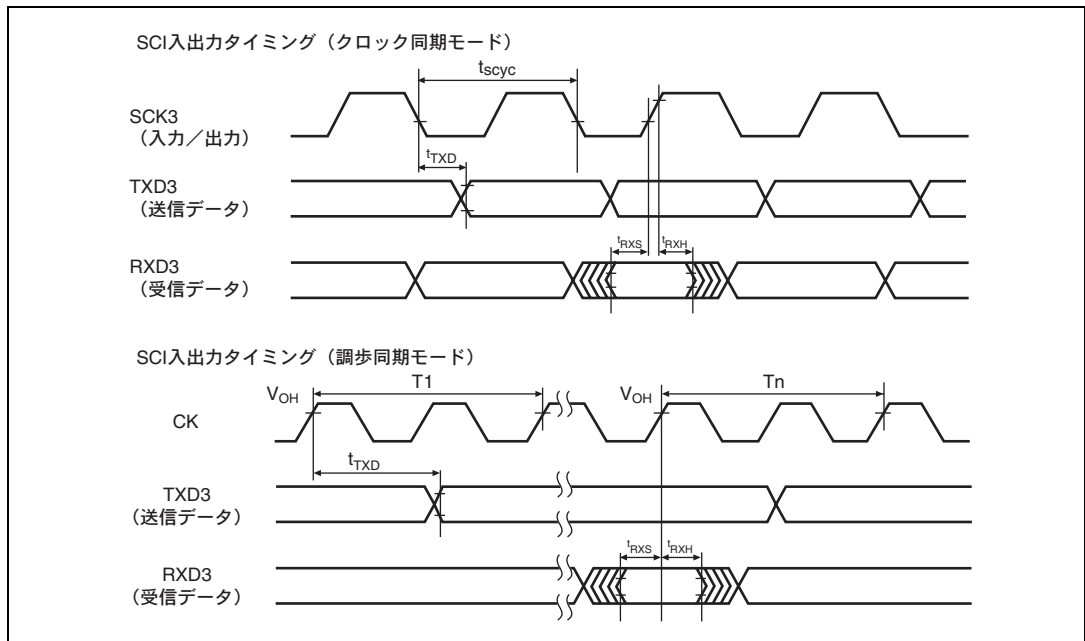


図 29.25 SCIF 入出力タイミング

29.3.11 RSPI タイミング

表 29.20 RSPI タイミング

項目		記号	Min.	Typ.	Max.	単位	参照図
RSPCK クロックサイクル*1	マスタ	tSPcyc	2	—	4096	tPcyc	29.26
	スレーブ		8	—	4096		
RSPCK クロックハイレベルパルス幅	マスタ	tSPCKWH	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 5$	—	—	ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	—	—		
RSPCK クロックローレベルパルス幅	マスタ	tSPCKWL	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 5$	—	—	ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	—	—		
RSPCK クロック立ち上がり／立ち下がり時間*2	出力	tSPCKR、	—	—	7	ns	
	入力	tSPCKF	—	—	1	tPcyc	
データ入力セットアップ時間	マスタ	tsu	23	—	—	ns	29.27～ 29.30
	スレーブ		$20 - 2 \times tPcyc$	—	—		
データ入力ホールド時間	マスタ	tH	0	—	—	ns	
	スレーブ		$20 + 2 \times tPcyc$	—	—		
SSL セットアップ時間	マスタ	tLEAD	1	—	8	tSPcyc	
	スレーブ		4	—	—	tPcyc	
SSL ホールド時間	マスタ	tLAG	1	—	8	tSPcyc	
	スレーブ		4	—	—	tPcyc	
データ出力遅延時間	マスタ	tOD	—	—	8	ns	
	スレーブ		—	—	$3 \times tPcyc + 18$		
データ出力ホールド時間	マスタ	tOH	0	—	—	ns	
	スレーブ		0	—	—		
連続送信遅延時間	マスタ	tTD	$tSPcyc + 2 \times tPcyc$	—	$8 \times tSPcyc + 2 \times tPcyc$	ns	
	スレーブ		$4 \times tPcyc$	—	—		
MOSI、MISO 立ち上がり／立ち下がり時間*2	マスタ	tDR、	—	—	7	ns	
	スレーブ	tDF	—	—	1		
SSL 立ち上がり／立ち下がり時間	マスタ	tSSLR、	—	—	7	ns	
	スレーブ	tSSLF	—	—	1		
スレーブアクセス時間		tSA	—	—	4	tPcyc	29.29、
スレーブ出力解放時間		tREL	—	—	3	tPcyc	29.30

【注】 *1 tSPcyc は 80 ns 以上になるように設定してください。

*2 出力をオープンドレインに設定した場合、上記タイミングは満たされません。

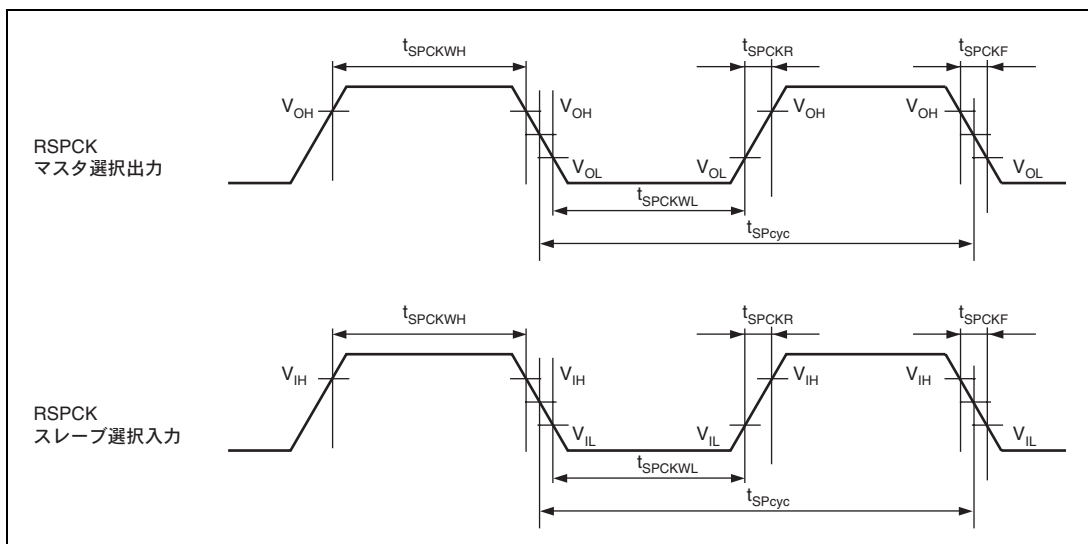


図 29.26 SPI クロックタイミング

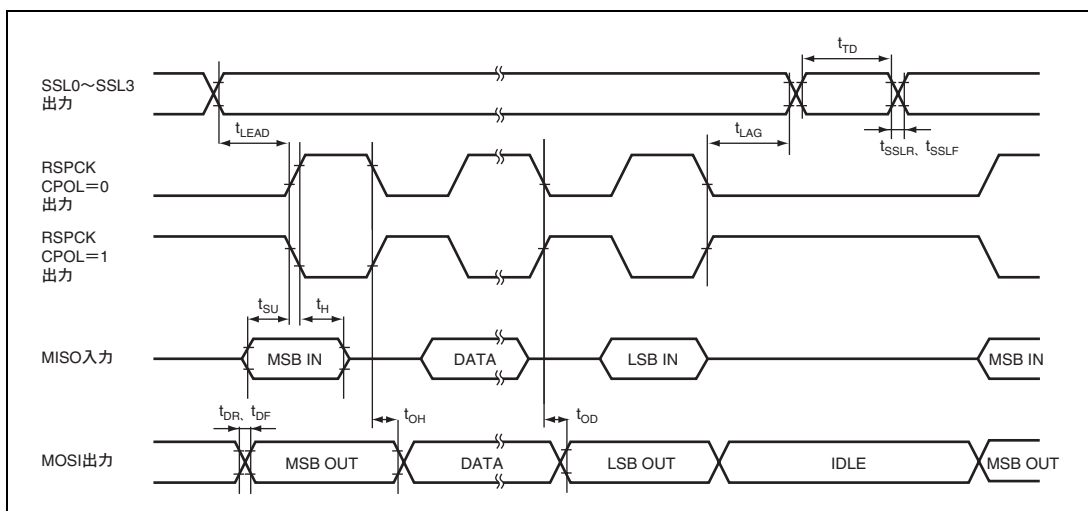


図 29.27 SPI タイミング (マスタ、CPHA=0)

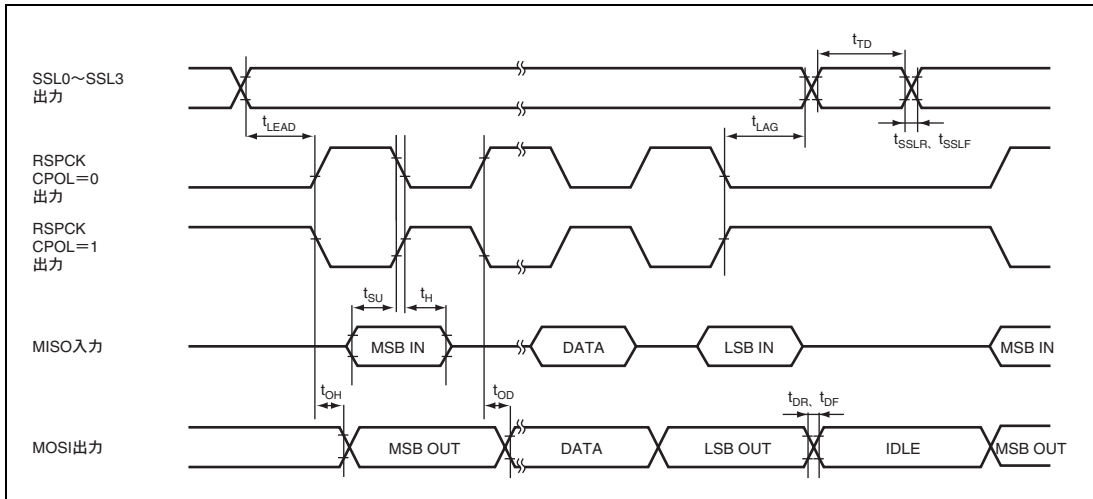


図 29.28 SPI タイミング (マスタ、CPHA=1)

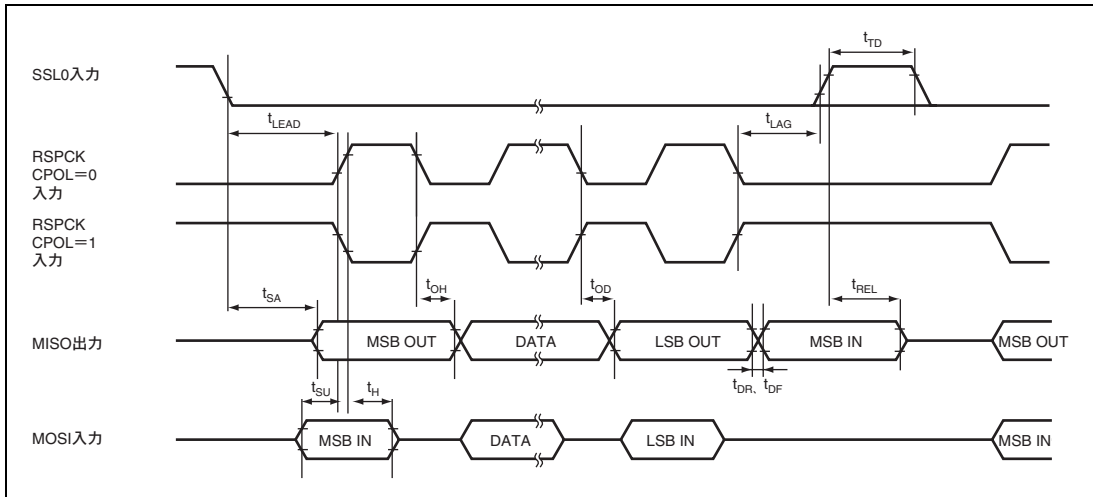


図 29.29 SPI タイミング (スレーブ、CPHA=0)

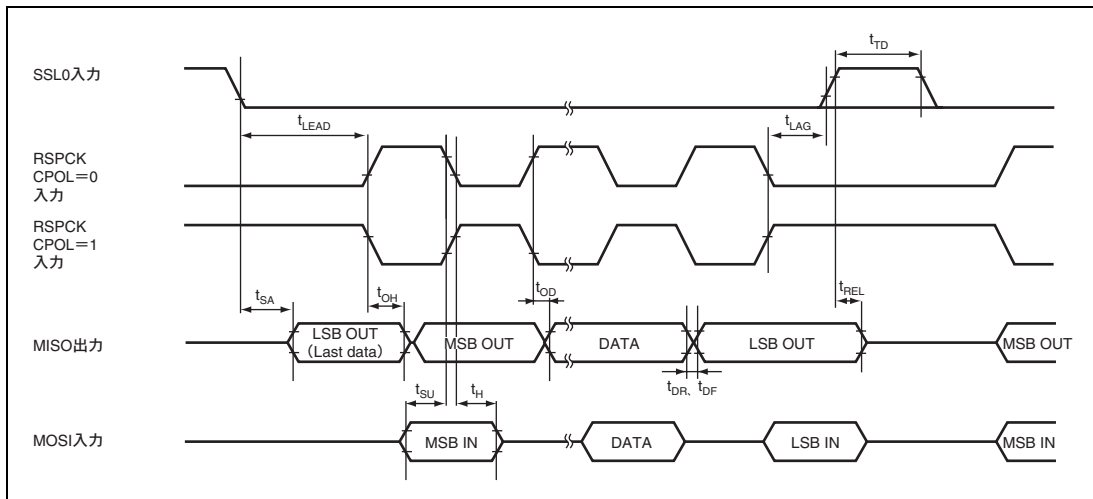


図 29.30 SPI タイミング (スレーブ、CPHA=1)

29.3.12 コントローラエリアネットワーク (RCAN-ET) タイミング

表 29.21 コントローラエリアネットワーク (RCAN-ET) タイミング

項目	記号	Min.	Max.	単位	参照図
送信データ遅延時間	t_{CTxD}	—	100	ns	29.31
受信データセットアップ時間	t_{CRxS}	100	—	ns	
受信データホールド時間	t_{CRxH}	100	—	ns	

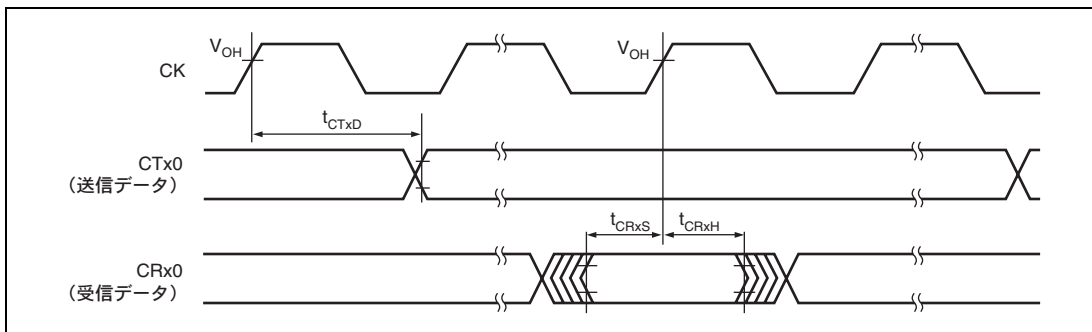


図 29.31 RCAN-ET 入出力タイミング

29.3.13 A/D トリガ入力タイミング

表 29.22 A/D トリガ入力タイミング

項 目	記号	Min.	Max.	単位	参照図
トリガ入力セットアップ時間	P : A クロック比=1 : 1	20	—	ns	29.32
	P : A クロック比=2 : 1	$t_{\text{pcyc}} + 20$	—		
	P : A クロック比=4 : 1	$3 \times t_{\text{pcyc}} + 20$	—		

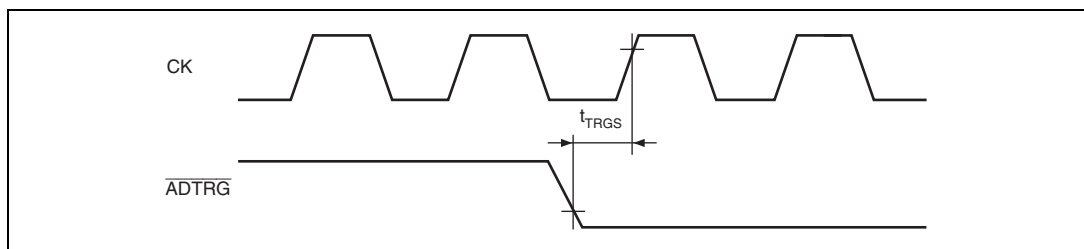


図 29.32 A/D 変換器外部トリガ入力タイミング

29.3.14 I/O ポートタイミング

表 29.23 I/O ポートタイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	—	50	ns	29.33
入力データセットアップ時間	t_{PORTS}	20	—		
入力データホールド時間	t_{PORTH}	20	—		

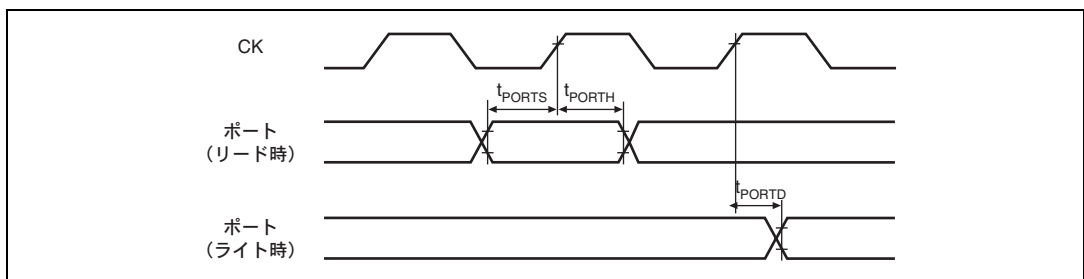


図 29.33 I/O ポートタイミング

29.3.15 H-UDI 関連端子のタイミング

表 29.24 H-UDI 関連端子のタイミング

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50*	—	ns	29.34
TCK High レベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK Low レベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{TDIS}	15	—	ns	29.35
TDI ホールド時間	t_{TDIH}	15	—	ns	
TMS セットアップ時間	t_{TMSS}	15	—	ns	
TMS ホールド時間	t_{TMSH}	15	—	ns	
TDO 遅延時間	t_{TDOD}	—	30	ns	

【注】 * 周辺クロック (Pφ) のサイクル時間より大きくなるようにしてください。

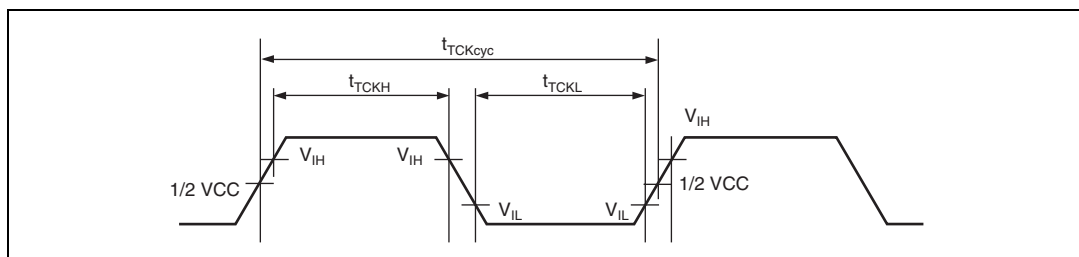


図 29.34 TCK 入力タイミング

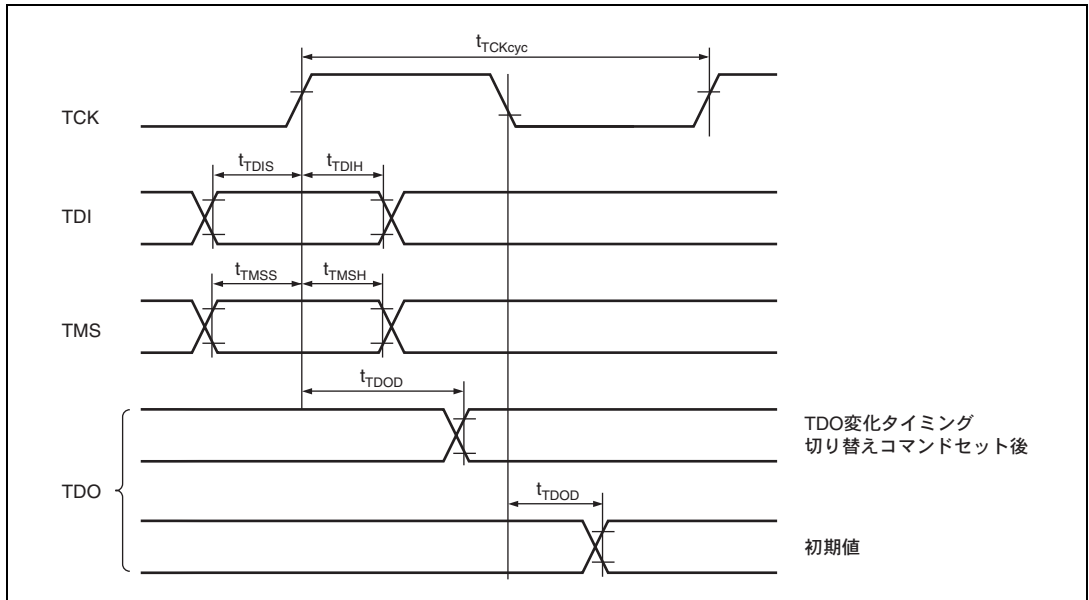


図 29.35 H-UDI データ転送タイミング

29.3.16 AC 特性測定条件

- 入出力信号レベル： $V_{IL}(\text{Max}) / V_{IH}(\text{Min})$
- 出力信号参照レベル：ハイレベル2.0V、ローレベル0.8V
- 入力立ち上がり、立ち下がり時間：1ns

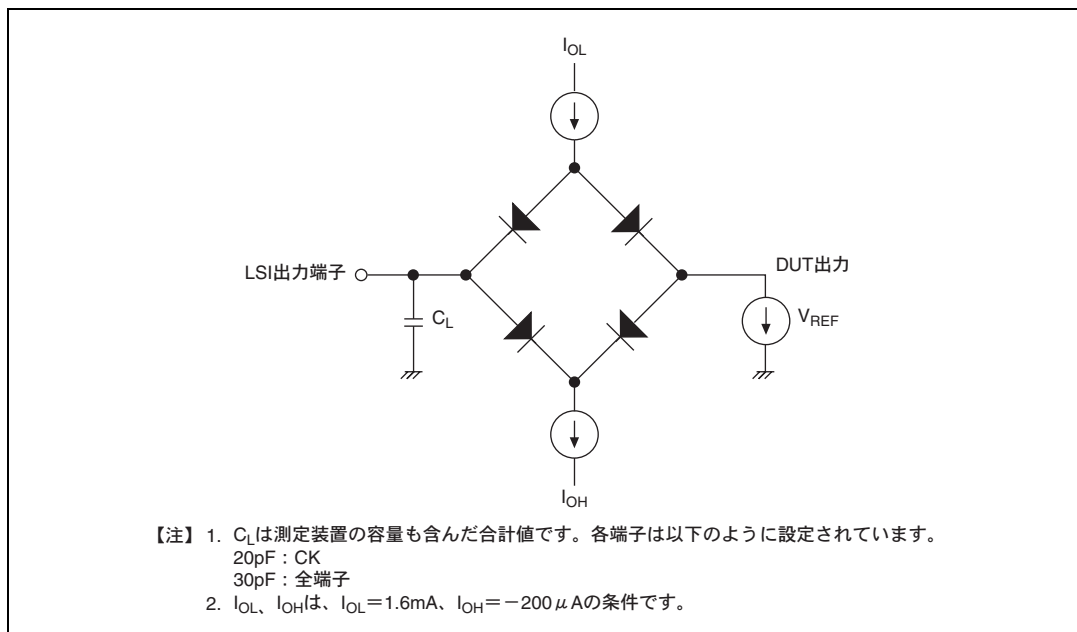


図 29.36 出力付加回路

29.4 A/D 変換器特性

表 29.25 A/D 変換器特性

項 目		Min.	Typ.	Max.	単位	測定条件
分解能		—	12.0	—	ビット	
変換時間 (AD クロックが 40MHz で動作時)		1.25	—	—	μ s	サンプル&ホールド回路未使用
		2	—	—	μ s	サンプル&ホールド回路使用
変換時間 (AD クロックが 50MHz で動作時)		1.0	—	—	μ s	サンプル&ホールド回路未使用
		1.6	—	—	μ s	サンプル&ホールド回路使用
アナログ入力容量		—	—	5.0	pF	
許容信号源インピーダンス		—	—	3.0	k Ω	
非直線性誤差 (積分誤差)		—	—	± 4.0	LSB	
オフセット誤差		—	—	± 7.5	LSB	
フルスケール誤差		—	—	± 7.5	LSB	
量子化誤差		—	—	0.5	LSB	
絶対精度	サンプル&ホールド回路使用	—	—	± 8.0	LSB	$AV_{in}=AVREFVSS+0.25V\sim AVREF-0.25V$
	サンプル&ホールド回路未使用	—	—	± 8.0	LSB	$AV_{in}=AVREFVSS\sim AVREF$

29.5 フラッシュメモリ特性

表 29.26 ROM (コード格納用フラッシュメモリ) 特性

項目	記号	Min.	Typ.	Max.	単位	測定条件	
書き込み時間	256バイト	tP256	—	2	12	ms	Pφ=50MHz、40MHz NPEC≤100時
	8Kバイト	tP8K	—	45	100	ms	
	256バイト	tP256	—	2.4	14.4	ms	Pφ=50MHz、40MHz NPEC>100時
	8Kバイト	tP8K	—	54	120	ms	
消去時間	8Kバイト	tE8K	—	50	120	ms	Pφ=50MHz、40MHz NPEC≤100時
	64Kバイト	tE64K	—	400	875	ms	
	128Kバイト	tE128K	—	800	1750	ms	
	8Kバイト	tE8K	—	60	144	ms	Pφ=50MHz、40MHz NPEC>100時
	64Kバイト	tE64K	—	480	1050	ms	
	128Kバイト	tE128K	—	960	2100	ms	
再書き込み/消去サイクル*1	NPEC	1000*2	—	—	—	回	
書き込み中のサスペンド遅延時間	tSPD	—	—	120	—	μs	図29.37 Pφ=50MHz時、 40MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	tSESD1	—	—	220 (Pφ=20MHz時)、 130 (Pφ=40MHz時)、 120 (Pφ=50MHz時)	—	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)	tSESD2	—	—	1.7	—	ms	
消去中のサスペンド遅延時間 (消去優先モード時)	tSEED	—	—	1.7	—	ms	
レジュームコマンドインターバル時間	tRESI	1.7	—	—	—	ms	
データ保持時間*3	tIDDRP	10	—	—	—	年	

【注】 *1 再書き込み/消去サイクルの定義

再書き込み/消去サイクルは、ブロックごとの消去回数です。

再書き込み/消去サイクルが n 回 (n=1000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8K バイトのブロックについて、それぞれ異なる番地に 256 バイト書き込みを 32 回に分けて行った後に、そのブロックを消去した場合も再書き込み/消去サイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

*2 書き換え後のすべての特性を保証する Min.回数です (保証は 1~Min.値の範囲)。

*3 書き換えが Min.値を含む仕様範囲内で行われたときの特性です。

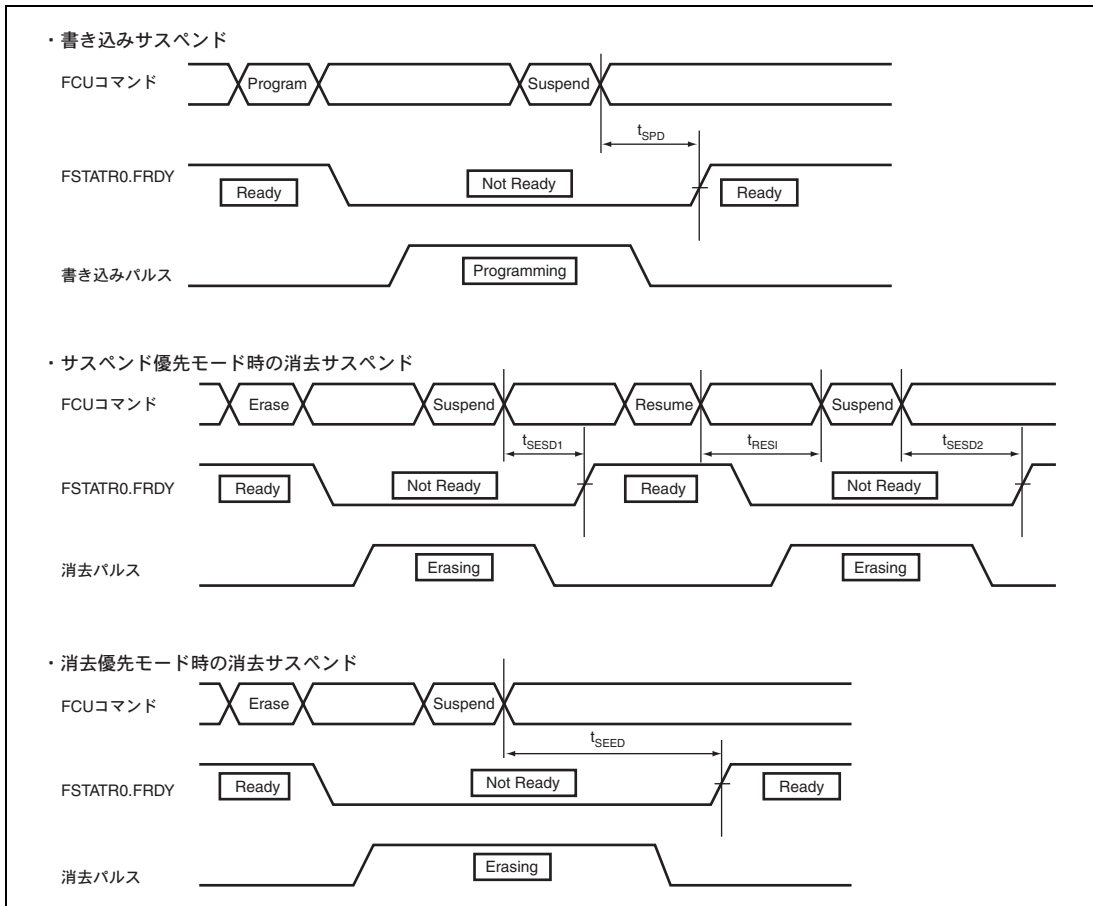


図 29.37 フラッシュメモリ書き込み/消去サスペンドタイミング

29.6 FLD 特性

表 29.27 FLD (データ格納用フラッシュメモリ) 特性

項目		記号	Min.	Typ.	Max.	単位	測定条件
書き込み時間	8バイト	tP8	—	0.4	2	ms	Pφ=50MHz時、 40MHz時
	128バイト	tP128	—	1	5	ms	
消去時間	2Kバイト	tE2K	—	70	250	ms	Pφ=50MHz時、 40MHz時
ブランクチェック時間	8バイト	tBC8	—	—	30	μs	Pφ=50MHz時、 40MHz時
	2Kバイト	tBC2K	—	—	0.7	ms	
再書き込み/消去サイクル*1		NPEC	30000*2	—	—	回	
書き込み中のサスペンド遅延時間		tSPD	—	—	120	μs	図29.37 Pφ=50MHz時、 40MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		tSESD1	—	—	220 (Pφ=20MHz時)、 130 (Pφ=40MHz時)、 120 (Pφ=50MHz時)	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		tSESD2	—	—	1.7	ms	
消去中のサスペンド遅延時間 (消去優先モード時)		tSEED	—	—	1.7	ms	
レジュームコマンドインターバル時間		tRESI	1.7	—	—	ms	
データ保持時間*3		tDDRP	10	—	—	年	

【注】 *1 再書き込み/消去サイクルの定義

再書き込み/消去サイクルは、ブロックごとの消去回数です。

再書き込み/消去サイクルが n 回 (n=30000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2K バイトのブロックについて、それぞれ異なる番地に 128 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も再書き込み/消去サイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません (上書き禁止)。

*2 書き換え後のすべての特性を保証する Min.回数です (保証は 1~Min.値の範囲)。

*3 書き換えが Min.値を含む仕様範囲内で行われたときの特性です。

29.7 使用上の注意事項

29.7.1 コンデンサ接続方法

本 LSI では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサを接続する必要があります。外付けコンデンサ接続方法を図 29.38 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないください。

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり LSI の電源端子の近くに実装してください。水晶発振関連のコンデンサについては「4.8 ボード設計上の注意事項」を参照してください。

バイパスコンデンサ、内部電圧安定用コンデンサとも、システムで評価し、 $0.02\mu\text{F}$ ~ $0.33\mu\text{F}$ のコンデンサを接続してください。

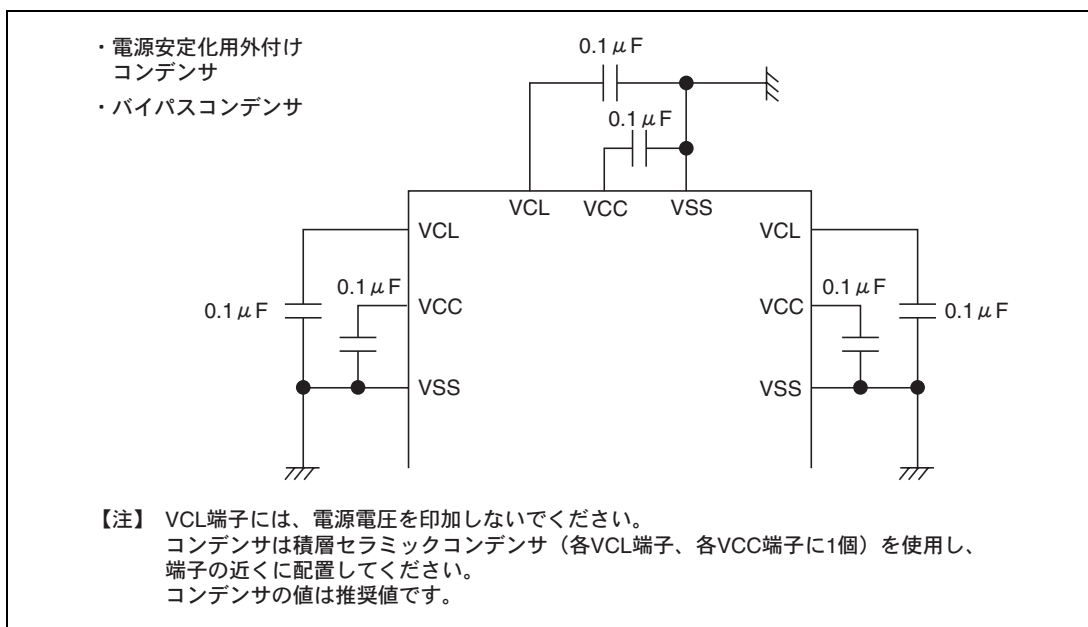


図 29.38 VCL コンデンサ接続方法

付録

A. 端子状態

MCU 動作モードにより、端子の初期値は異なります。詳しくは、「第 21 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 A.1 端子状態

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態 ^{*10}	発振 停止 検出時	POE 機能 使用 時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2 ^{*10}	シングル チップ						
クロック	CK	O	Z	O	Z ^{*4}	O	Z ^{*4}	O	O
	XTAL	O		O	L	O	O	O	O
	EXTAL	I		I	I	I	I	I	I
システム 制御	RES	I		I	I	I	I	I	I
	MRES	Z		I	I ^{*6}	I	I	I ^{*6}	I
	WDTOVF	O ^{*8}		O	O	O	O	O	O
	BREQ	Z		I	Z	I	I	I	I
	BACK	Z		O	Z	O	L	O	O
動作 モード 制御	MD0	I		I	I	I	I	I	I
	ASEMD0	I ^{*9}		I ^{*9}	I ^{*9}	I ^{*9}	I ^{*9}	I ^{*9}	I ^{*9}
	FWE	I		I	I	I	I	I	I
割り込み	NMI	I		I	I	I	I	I	I
	IRQ0~IRQ6	Z		I	I	I	I	I	I
	IRQOUT(PE15)	Z		O	Z (HCPCR の MZIZEH=0 のとき)	O	O	O ^{*6}	O
					H ^{*1} (HCPCR の MZIZEH=1 のとき)				
	IRQOUT(PB1)	Z		O	H ^{*1}	O	O	O	O

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用 時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2*10	シングル チップ						
アドレス バス	A0~A20	Z		O	Z*3	O	Z	O	O
データバス	D0~D9	Z		I/O	Z	I/O	Z	I/O	I/O
	D10~D15	Z		I/O	Z	I/O	Z	I/O*5	I/O
バス制御	WAIT	Z		I	Z	I	Z	I	I
	CS0, CS1	Z		O	Z*3	O	Z	O	O
	CS3~CS6	Z		O	Z*3	O	Z	O	O
	BS	Z		O	Z*3	O	Z	O	O
	AH	Z		O	Z*3	O	Z	O	O
	RD	Z		O	Z*3	O	Z	O	O
	WRH, WRL	Z		O	Z*3	O	Z	O	O
DMAC	DREQ0(PE0)、 DREQ1(PE2)	Z		I	Z	I	I	I*7	I
	DACK0(PE14)、 DACK1(PE15)、 DACK2、 DACK3	Z		O	Z (HCPCR の MZIZEH=0 のとき)	O	O	O*6	O
					O*1 (HCPCR の MZIZEH=1 のとき)				
	TEND0(PE1)、 TEND1(PE3)	Z		O	Z (HCPCR の MZIZEL=0 のとき)	O	O	O*7	O
					O*1 (HCPCR の MZIZEL=1 のとき)				

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用 時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2*10	シングル チップ						
MTU2	TCLKA~TCLKD	Z		I	Z	I	I	I	I
	TIOC0A(PE0)、 TIOC0B(PE1)、 TIOC0C(PE2)、 TIOC0D(PE3)	Z		I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*7	Z
					K*1 (HCPCR の MZIZEL=1 のとき)				
	TIOC0A(PB1)、 TIOC0B(PB2)、 TIOC0C(PB3)、 TIOC0D(PB4)	Z		I/O	K*1	I/O	I/O	I/O	Z
	TIOC1A	Z		I/O	K*1	I/O	I/O	I/O	I/O
	TIOC1B(PE5)、 TIOC2A(PE6)	Z		I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*7	I/O
					K*1 (HCPCR の MZIZEL=1 のとき)				
	TIOC1B(PC11)、 TIOC2A(PB0)	Z		I/O	K*1	I/O	I/O	I/O	I/O
	TIOC2B	Z		I/O	K*1	I/O	I/O	I/O	I/O
	TIOC3A、 TIOC3C	Z		I/O	K*1	I/O	I/O	I/O	I/O

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用 時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2*10	シングル チップ						
MTU2	TIOC3B、 TIOC3D	Z		I/O	Z (HCPCR の MZIZEH=0 のとき)	I/O	I/O	I/O*6	Z
					K*1 (HCPCR の MZIZEH=1 のとき)				
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	Z		I/O	Z (HCPCR の MZIZEH=0 のとき)	I/O	I/O	I/O*6	Z
					K*1 (HCPCR の MZIZEH=1 のとき)				
	TIC5U、 TIC5V、 TIC5W	Z		I	Z	I	I	I	I
MTU2S	TIOC3AS、 TIOC3CS	Z		I/O	K*1	I/O	I/O	I/O	I/O
	TIOC3BS(PD10)、 TIOC3DS(PD11)、 TIOC4AS(PD12)、 TIOC4BS(PD13)、 TIOC4CS(PD14)、 TIOC4DS(PD15)	Z		I/O	Z (HCPCR の MZIZDL=0 のとき)	I/O	I/O	I/O*5	Z
					K*1 (HCPCR の MZIZDL=1 のとき)				

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用 時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2*10	シングル チップ						
MTU2S	TIOC3BS(PE5)、 TIOC3DS(PE6)、 TIOC4AS(PE0)、 TIOC4BS(PE1)、 TIOC4CS(PE2)、 TIOC4DS(PE3)	Z		I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*7	Z
					K*1 (HCPCR の MZIZEL=1 のとき)				
	TIC5US、 TIC5VS、 TIC5WS	Z		I	Z	I	I	I	I
POE2	POE0、POE4、 POE8	Z		I	Z	I	I	I	I
SCI	SCK0~SCK2	Z		I/O	K*1	I/O	I/O	I/O	I/O
	RXD0~RXD2	Z		I	Z	I	I	I	I
	TXD0~TXD2	Z		O	O*1	O	O	O	O
SCIF	SCK3	Z		I/O	K*1	I/O	I/O	I/O	I/O
	RXD3(PB2)	Z		I	Z	I	I	I	I
	RXD3(PE6)	Z		I	Z	I	I	I*7	I
	TXD3(PE5)	Z		O	Z (HCPCR の MZIZEL=0 のとき)	O	O	O*7	O
					O*1 (HCPCR の MZIZEL=1 のとき)				
	TXD3(PB3)	Z		O	O*1	O	O	O	O
RSPI	RSPCK	Z		I/O	K*1	I/O	I/O	I/O	I/O
	SSL0	Z		I/O	K*1	I/O	I/O	I/O	I/O
	SSL1~SSL3	Z		O	K*1	O	O	O	O
	MOSI	Z		I/O	Z	I/O	I/O	I/O	I/O
	MISO	Z		I/O	K*1	I/O	I/O	I/O	I/O
UBC	UBCTR \overline{G}	Z		O	O*1	O	O	O	O

端子機能		端子状態								
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用 時	
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ				
		MCU 拡張 モード 2*10	シングル チップ							
A/D 変換器	AN0~AN15	Z		I	Z	I	I	I	I	
	ADTRG	Z		I	Z	I	I	I	I	
RCAN-ET	CRx0	Z		I	Z	I	I	I	I	
	CTx0	Z		O	O*1	O	O	O	O	
I/O ポート	PA0、PA1、 PA6~PA9、 PA15~PA18	Z		I/O	K*1	I/O	I/O	I/O	I/O	
	PB0~PB4、 PB16~PB21	Z		I/O	K*1	I/O	I/O	I/O	I/O	
	PC0~PC15	Z		I/O	K*1	I/O	I/O	I/O	I/O	
	PD0~PD9	Z		I/O	K*1	I/O	I/O	I/O	I/O	
	PD10~PD15		Z		I/O	Z (HCPCR の MZIZDL=0 のとき)	I/O	I/O	I/O*5	Z
						K*1 (HCPCR の MZIZDL=1 のとき)				
	PE4、PE7、 PE8、PE10	Z		I/O	K*1	I/O	I/O	I/O	I/O	
PE0~PE3、 PE5、PE6		Z		I/O	Z (HCPCR の MZIZEL=0 のとき)	I/O	I/O	I/O*7	Z	
					K*1 (HCPCR の MZIZEL=1 のとき)					

端子機能		端子状態							
分類	端子名	リセット状態			低消費電力状態		バス権 解放 状態*10	発振 停止 検出時	POE 機能 使用時
		パワーオン		マニュアル	ソフトウェア スタンバイ	スリープ			
		MCU 拡張 モード 2*10	シングル チップ						
I/O ポート	PE9、PE11~PE15	Z		I/O	Z (HCPCR の MZIZEH=0 のとき)	I/O	I/O	I/O*6	Z
				K*1 (HCPCR の MZIZEH=1 のとき)					
	PF0~PF15	Z		I	Z	I	I	I	I

【記号説明】

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 *1 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットを 1 にすると、出力端子はハイインピーダンスになります。
- *2 共通コントロールレジスタ (CMNCR) の HIZCNT ビットを 1 にすると、出力になります。
- *3 共通コントロールレジスタ (CMNCR) の HIZMEM ビットを 1 にすると、出力になります。
- *4 共通コントロールレジスタ (CMNCR) の HIZCKIO ビットを 1 にすると、出力になります。
- *5 大電流ポートコントロールレジスタ (HCPCR) の MZIZDL ビットを 0 にすると、ハイインピーダンスになります。
- *6 大電流ポートコントロールレジスタ (HCPCR) の MZIZEH ビットを 0 にすると、ハイインピーダンスになります。
- *7 大電流ポートコントロールレジスタ (HCPCR) の MZIZEL ビットを 0 にすると、ハイインピーダンスになります。
- *8 パワーオンリセット中は入力になります。誤動作防止のためプルアップをしてください。
またプルダウンが必要な場合は 1MΩ以上の抵抗値でプルダウンしてください。
- *9 何も入力されないときは内部でプルアップします。
- *10 SH7239A、SH7237A のみ。

B. 外形寸法図

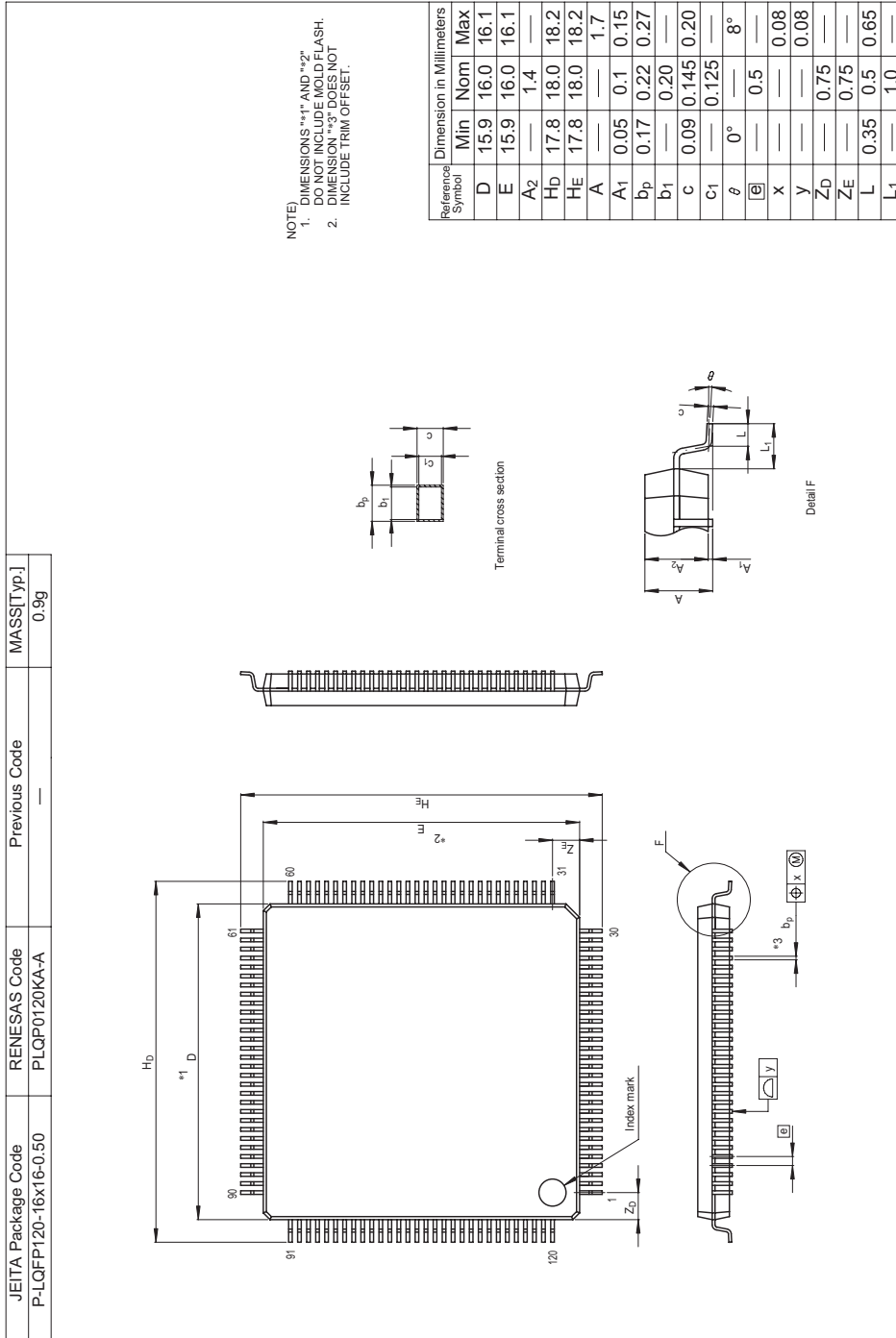
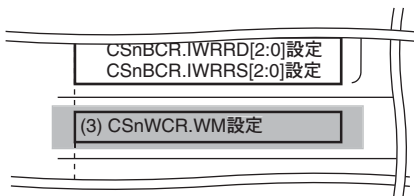


図 B.1 外形寸法図

本版で修正または追加された箇所

項目	ページ	修正箇所																		
表 1.3 端子機能	1-12	システム制御の機能欄に追加 プルダウンが必要な場合は、1MΩ以上の抵抗を使用してください。																		
4.5 周波数変更方法	4-13	削除 なお、FRQCRの変更は、 内蔵ROM または内蔵RAM上のプログラムで行ってください。																		
5.9.4 CPUのステータスレジスタ(SR)の割り込みマスクレベル(IMASK)変更時の注意事項	5-21	項目追加																		
6.3.3 割り込みコントロールレジスタ1(ICR1)	6-7	追加 【注】 IRQn 入力の検出条件を変更すると、IRQRR レジスタのIRQnF フラグは0クリアされます																		
6.3.4 IRQ 割り込み要求レジスタ (IRQRR)	6-8	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>[クリア条件]</td> </tr> <tr> <td>5</td> <td>• IRQnF=1の状態をリード後に0をライトしたとき</td> </tr> <tr> <td>4</td> <td>• IRQn割り込み例外処理を実行したとき</td> </tr> <tr> <td>3</td> <td>• IRQn割り込みによりDTCが起動されDTCのMRBのDISELビットが0のとき</td> </tr> <tr> <td>2</td> <td></td> </tr> <tr> <td>1</td> <td>• ICR1のIRQn0S、IRQn1Sの設定を変更したとき</td> </tr> <tr> <td></td> <td>[セット条件]</td> </tr> <tr> <td>0</td> <td>• IRQn端子にICR1のIRQn1S、IRQn0Sに対応するエッジが発生したとき</td> </tr> </tbody> </table>	ビット	説明	6	[クリア条件]	5	• IRQnF=1の状態をリード後に0をライトしたとき	4	• IRQn割り込み例外処理を実行したとき	3	• IRQn割り込みによりDTCが起動されDTCのMRBのDISELビットが0のとき	2		1	• ICR1のIRQn0S、IRQn1Sの設定を変更したとき		[セット条件]	0	• IRQn端子にICR1のIRQn1S、IRQn0Sに対応するエッジが発生したとき
ビット	説明																			
6	[クリア条件]																			
5	• IRQnF=1の状態をリード後に0をライトしたとき																			
4	• IRQn割り込み例外処理を実行したとき																			
3	• IRQn割り込みによりDTCが起動されDTCのMRBのDISELビットが0のとき																			
2																				
1	• ICR1のIRQn0S、IRQn1Sの設定を変更したとき																			
	[セット条件]																			
0	• IRQn端子にICR1のIRQn1S、IRQn0Sに対応するエッジが発生したとき																			
6.10.3 IRQOUT のネゲートタイミング 6.10.4 IRQx 割り込み要求によるソフトウェアスタンバイ解除に関する注意事項	6-33	項目追加																		

項目	ページ	修正箇所						
9.4.3 CSn 空間ウェイト コントロールレジスタ (CSnWCR) (n=0, 1, 3~6) • CS5WCR	9-20, 9-21	追加 <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>12, 11</td> <td>アドレス、CS5 アサート→RD、WRH、WRL アサート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、アドレス、CS5 アサートから RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、アドレスサイクル (Ta3) 終了から RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</td> </tr> <tr> <td>1, 0</td> <td>RD、WRH、WRL ネゲート→アドレス、CS5 ネゲート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、RD、WRH、WRL ネゲートから、アドレス、CS5 ネゲートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、RD、WRH、WRL ネゲートから CS5 ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</td> </tr> </tbody> </table>	ビット	説明	12, 11	アドレス、CS5 アサート→RD、WRH、WRL アサート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、アドレス、CS5 アサートから RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、アドレスサイクル (Ta3) 終了から RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル	1, 0	RD、WRH、WRL ネゲート→アドレス、CS5 ネゲート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、RD、WRH、WRL ネゲートから、アドレス、CS5 ネゲートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、RD、WRH、WRL ネゲートから CS5 ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
ビット	説明							
12, 11	アドレス、CS5 アサート→RD、WRH、WRL アサート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、アドレス、CS5 アサートから RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、アドレスサイクル (Ta3) 終了から RD、WRH、WRL アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル							
1, 0	RD、WRH、WRL ネゲート→アドレス、CS5 ネゲート遅延サイクル数 本ビットは、エリア 5 を通常空間に設定した場合、RD、WRH、WRL ネゲートから、アドレス、CS5 ネゲートまでの遅延サイクル数を指定します。 エリア 5 を MPX-IO に設定した場合、RD、WRH、WRL ネゲートから CS5 ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル							
9.4.4 バス機能拡張レジスタ (BSCEHR)	9-24	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>8</td> <td>【注】本ビットを 1 に設定する場合は、以下の制限があります。 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 2. 転送情報は内蔵 RAM に配置してください 3. 転送情報リードスキップ機能は常に無効となります 4. DTLOCK=0 にて使用してください。DTLOCK=1 は設定禁止です。</td> </tr> </tbody> </table>	ビット	説明	8	【注】本ビットを 1 に設定する場合は、以下の制限があります。 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 2. 転送情報は内蔵 RAM に配置してください 3. 転送情報リードスキップ機能は常に無効となります 4. DTLOCK=0 にて使用してください。DTLOCK=1 は設定禁止です。		
ビット	説明							
8	【注】本ビットを 1 に設定する場合は、以下の制限があります。 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください 2. 転送情報は内蔵 RAM に配置してください 3. 転送情報リードスキップ機能は常に無効となります 4. DTLOCK=0 にて使用してください。DTLOCK=1 は設定禁止です。							
9.5.5 MPX-I/O インタフェース	9-35	追加 データサイクルは、通常空間アクセスと同一のサイクルとなります。 SW[1:0]の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0]の遅延サイクルは、T2 サイクルの後に付加されます。 タイミングチャートを図 9.10～図 9.13 に示します						
図 9.13 MPX 空間アクセスタイミング	9-39	図の追加						

項目	ページ	修正箇所																							
表 9.7 アイドルサイクル数を決める項目	9-41、 9-42	修正および追加																							
		<table border="1"> <thead> <tr> <th>項番</th> <th>内容</th> <th>説明</th> <th>範囲</th> </tr> </thead> <tbody> <tr> <td>(3)</td> <td>CSnWCR.WM ビット設定</td> <td>S-D-R-A-M以外のメモリでは、外部 WAIT 端子入力を有効/無効にする設定ができません。”0”（外部 WAIT 有効）の場合、外部 WAIT 端子状態の評価のための1アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。</td> <td>0~1</td> </tr> <tr> <td>(4)</td> <td>リードデータ転送 サイクル</td> <td>リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00 以外の場合にも発生しません。</td> <td>0~1*</td> </tr> </tbody> </table> <p>【注】 * 連続データリード時は別レジスタに読み出し値を格納した場合</p> <p>(1) / (2) 項（どちらか一方が有効になります）、(3) 項、(4) + (5) + (6) 項（順番に発生するので加算されます）、および(7) 項の4項目が平行して発生しますので、これらのうちの最大のが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1) / (2) 項のレジスタ設定を行ってください。</p>	項番	内容	説明	範囲	(3)	CSnWCR.WM ビット設定	S-D-R-A-M以外のメモリでは、外部 WAIT 端子入力を有効/無効にする設定ができません。”0”（外部 WAIT 有効）の場合、外部 WAIT 端子状態の評価のための1アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。	0~1	(4)	リードデータ転送 サイクル	リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00 以外の場合にも発生しません。	0~1*											
項番	内容	説明	範囲																						
(3)	CSnWCR.WM ビット設定	S-D-R-A-M以外のメモリでは、外部 WAIT 端子入力を有効/無効にする設定ができません。”0”（外部 WAIT 有効）の場合、外部 WAIT 端子状態の評価のための1アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。	0~1																						
(4)	リードデータ転送 サイクル	リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00 以外の場合にも発生しません。	0~1*																						
図 9.14 アイドルサイクルの構成	9-43	修正 																							
表 9.8 内部バスの最小アイドル数 (CPU 動作)	9-43	修正 <table border="1"> <thead> <tr> <th rowspan="2">CPU 動作</th> <th colspan="3">クロック比 (Iφ : Bφ)</th> </tr> <tr> <th>4:1</th> <th>2:1</th> <th>1:1</th> </tr> </thead> <tbody> <tr> <td>ライト→ライト</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>ライト→リード</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>リード→ライト</td> <td>1</td> <td>2</td> <td>3</td> </tr> <tr> <td>リード→リード</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	CPU 動作	クロック比 (Iφ : Bφ)			4:1	2:1	1:1	ライト→ライト	0	0	0	ライト→リード	0	0	0	リード→ライト	1	2	3	リード→リード	0	0	0
CPU 動作	クロック比 (Iφ : Bφ)																								
	4:1	2:1	1:1																						
ライト→ライト	0	0	0																						
ライト→リード	0	0	0																						
リード→ライト	1	2	3																						
リード→リード	0	0	0																						
表 9.9 内部バスの最小アイドル数 (DMAC 動作)	9-44	表の差し替え																							

項目	ページ	修正箇所																																																												
図 9.15 アイドルサイクル数の試算例と実際の比較	9-45	<p>修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>R→R</th> <th>R→W</th> <th>W→W</th> <th>W→R</th> <th>備 考</th> </tr> </thead> <tbody> <tr> <td>(1)/(2)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>CSnBCRの設定が0であるため</td> </tr> <tr> <td>(3)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>WMビットが1であるため</td> </tr> <tr> <td>(4)</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>リードサイクル後に発生</td> </tr> <tr> <td>(5)</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>表9.8の1φ:Bφ=4:1の部分参照</td> </tr> <tr> <td>(6)</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>ライトバッファ効果で2回目では発生しない</td> </tr> <tr> <td>(4)+(5)+(6)</td> <td>1</td> <td>3</td> <td>0</td> <td>0</td> <td></td> </tr> <tr> <td>(7)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>SRAM→SRAMであるため</td> </tr> <tr> <td>試算アイドルサイクル数</td> <td>1</td> <td>3</td> <td>0</td> <td>0</td> <td>(1)/(2)項、(3)項、(4)+(5)+(6)項、(7)項の中の最大値</td> </tr> <tr> <td>実際に発生するアイドル数</td> <td>1</td> <td>3</td> <td>0</td> <td>1</td> <td>W→Rで不一致が発生した原因は、(5)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。</td> </tr> </tbody> </table>	項目	R→R	R→W	W→W	W→R	備 考	(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため	(3)	0	0	0	0	WMビットが1であるため	(4)	1	1	0	0	リードサイクル後に発生	(5)	0	1	0	0	表9.8の1φ:Bφ=4:1の部分参照	(6)	0	1	0	0	ライトバッファ効果で2回目では発生しない	(4)+(5)+(6)	1	3	0	0		(7)	0	0	0	0	SRAM→SRAMであるため	試算アイドルサイクル数	1	3	0	0	(1)/(2)項、(3)項、(4)+(5)+(6)項、(7)項の中の最大値	実際に発生するアイドル数	1	3	0	1	W→Rで不一致が発生した原因は、(5)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。
項目	R→R	R→W	W→W	W→R	備 考																																																									
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため																																																									
(3)	0	0	0	0	WMビットが1であるため																																																									
(4)	1	1	0	0	リードサイクル後に発生																																																									
(5)	0	1	0	0	表9.8の1φ:Bφ=4:1の部分参照																																																									
(6)	0	1	0	0	ライトバッファ効果で2回目では発生しない																																																									
(4)+(5)+(6)	1	3	0	0																																																										
(7)	0	0	0	0	SRAM→SRAMであるため																																																									
試算アイドルサイクル数	1	3	0	0	(1)/(2)項、(3)項、(4)+(5)+(6)項、(7)項の中の最大値																																																									
実際に発生するアイドル数	1	3	0	1	W→Rで不一致が発生した原因は、(5)の内部アイドル数を0と試算したが、実際にはループ判定命令の実行のため、内部アイドルが発生したため。																																																									
9.5.7 バスアービトレーション	9-45	<p>追加</p> <p>本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。</p> <p>また、本 LSI 内部にも CPU、DMAC、DTC という 3 つのバスマスタがあります。これらのバスマスタに対する優先順位は以下の通りです。</p> <p>外部デバイスによるバス権要求 (BREQ) > DTC > DMAC > CPU</p>																																																												
表 9.12 内蔵メモリ、および外部デバイスのアクセスサイクル数	9-50	表の追加																																																												
図 9.19 1φ:Bφ=2:1 外部バス幅から超えたライトデータのアクセスタイミング	9-51	図の追加																																																												
図 9.20 1φ:Bφ=4:1 外部バス幅以内のリードデータのアクセスタイミング	9-51	図の追加																																																												
10.3.4 DMA チャンネルコントロールレジスタ (CHCR)	10-9	<p>追加</p> <p>さらに外部端子 TEND の仕様を決めるビット (TL) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後にしてください。</p>																																																												
10.3.4 DMA チャンネルコントロールレジスタ (CHCR)	10-14	<p>追加</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>DMA イネーブル ...DE ビットをクリアすると、転送を中断することができます。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後にしてください。</td> </tr> <tr> <td>0</td> <td>DMA 転送を禁止</td> </tr> <tr> <td>1</td> <td>DMA 転送を許可</td> </tr> </tbody> </table>	ビット	説 明	0	DMA イネーブル ...DE ビットをクリアすると、転送を中断することができます。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後にしてください。	0	DMA 転送を禁止	1	DMA 転送を許可																																																				
ビット	説 明																																																													
0	DMA イネーブル ...DE ビットをクリアすると、転送を中断することができます。CHCR レジスタの設定を変更する場合には、該当チャンネルの DE ビットを 0 にクリアした後にしてください。																																																													
0	DMA 転送を禁止																																																													
1	DMA 転送を許可																																																													

項目	ページ	修正箇所				
10.3.8 DMA オペレーションレジスタ (DMAOR)	10-18	削除 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット</th> <th style="width: 90%;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td> [クリア条件] <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。 読み出した値が 0 のときには 1 を書き込むようにしてください。 </td> </tr> </tbody> </table>	ビット	説明	1	[クリア条件] <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。 読み出した値が 0 のときには 1 を書き込むようにしてください。
ビット	説明					
1	[クリア条件] <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出せたときのみ 0 を書き込むようにしてください。 読み出した値が 0 のときには 1 を書き込むようにしてください。					
10.6.3 CHCR の設定 10.6.4 複数チャネルの起動時の注意事項 10.6.5 転送要求入力時の注意事項 10.6.6 NMI 割り込みと DMAC 起動の競合 10.6.7 DMAC からの内蔵 RAM アクセスサイクル数	10-42、 10-43	項目を追加				
11.3.20 タイマアウトビットコントロールレジスタ 1 (TOCR1)	11-59	【注】*3 を追加				
11.3.21 タイマアウトビットコントロールレジスタ 2 (TOCR2)	11-61	【注】*2 を追加				
11.3.26 タイマ周期データレジスタ (TCDR)	11-67	追加 TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし TDDR の 2 倍+3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウント→アップカウント)。TCDR の初期値は H'FFFF です。				
11.4.4 カスケード接続動作	11-86	追加 カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャ条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「11.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。				
図 11.23 カスケード接続動作例 (c)	11-89	【注】を追加				

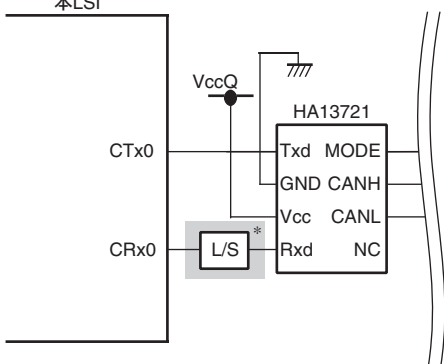
項目	ページ	修正箇所
11.4.5 PWM モード (b) PWM モード 2	11-91	修正 TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOB で指定した出力を行います。また、 周期 レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOB で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。
図 11.38 相補 PWM モードの設定手順例	11-107	修正 [8] デッドタイムレジスタ (TDDR) にデッドタイムを設定し、 タイマ 周期データレジスタ (TCDR)、 タイマ 周期バッファレジスタ (TCBR) にキャリア周期の 1/2 を、TGRA_3 と TGRC_3 にキャリア周期の 1/2 にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDR に 1、TGRA_3 と TGRC_3 にキャリア周期の 1/2+1 を設定してください。
11.4.8 相補 PWM モード (g) PWM 周期の設定	11-112	追加 デッドタイム生成あり : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + TDDR \text{ の設定値}$ $TCDR \text{ の設定値} > TDDR \text{ の設定値の } 2 \text{ 倍} + 2$ デッドタイム生成なし : $TGRA_3 \text{ の設定値} = TCDR \text{ の設定値} + 1$

項目	ページ	修正箇所				
11.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (j) 相補 PWM モードの PWM 出力生成方法	11-117	修正 PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます				
	11-118	修正 図 11.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。				
(k) 相補 PWM モードのデューティ 0%、100%出力	11-120	修正 相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 11.49~図 11.53 に出力例を示します。 デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。				
図 11.110 TGI 割り込みタイミング(コンペアマッチ) (チャンネル 5)	11-164	【注】を追加				
11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	11-183	項目の追加				
15.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	15-5	追加 WTCSR は、RES 端子によるパワーオンリセット、WDT による内部リセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。				
15.4.2 ウォッチドッグタイマモードの使用法	15-11	追加 7. WTCSR は WDT による内部リセットにて初期化されるため、WTCSR の TME ビットは 0 にクリアされます。そのため、カウンタは停止します (初期化されます)。再度 WDT として使用する場合、WRCR の WOVF フラグを 0 にクリアした後、WDT を再設定してください。				
15.6.3 インターバルタイムオーバーフラグ	15-15	項目の追加				
16.3.7 シリアルステータスレジスタ (SCSSR)	16-15	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット</th> <th style="width: 90%;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">2</td> <td>[クリア条件] * TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき</td> </tr> </tbody> </table>	ビット	説明	2	[クリア条件] * TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき
ビット	説明					
2	[クリア条件] * TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき					

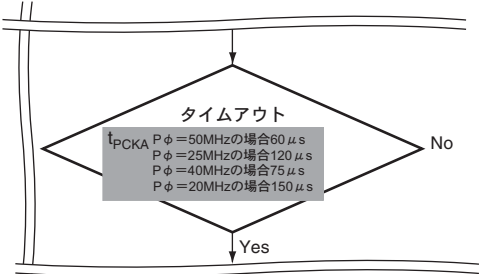
項目	ページ	修正箇所				
表 16.10 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート(調歩同期式モード)	16-23	表の差し替え				
表 16.11 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート(クロック同期式モード)	16-24	表の追加				
17.3.7 シリアルステータスレジスタ (SCFSR)	17-12	追加 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">6</td> <td>【注】 *1 TXI 割り込み要求により DMAC/DTC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</td> </tr> </tbody> </table>	ビット	説明	6	【注】 *1 TXI 割り込み要求により DMAC/DTC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。
ビット	説明					
6	【注】 *1 TXI 割り込み要求により DMAC/DTC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。					
17.3.8 ビットレートレジスタ	17-17	修正 表 17.4~表 17.6 に調歩同期式モードの SCBRR の設定例を、表 17.7~表 17.9 にクロック同期式モードの SCBRR の設定例を示します。				

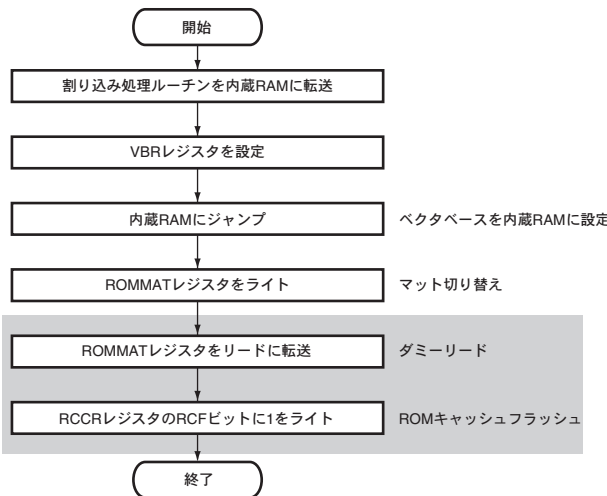
項目	ページ	修正箇所
<p>表 17.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)</p> <p>表 17.5 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (2)</p> <p>表 17.6 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (3)</p> <p>表 17.7 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (1)</p> <p>表 17.8 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (2)</p> <p>表 17.9 ビットレートに対する SCBRR の設定例 (クロック同期式モード) (3)</p> <p>表 17.10 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)</p> <p>表 17.11 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (クロック同期式モード)</p> <p>表 17.12 外部クロック入力時の最大ビットレート (調歩同期式モード)</p> <p>表 17.13 外部クロック入力時の最大ビットレート (クロック同期式モード)</p>	<p>17-17~ 17-24</p>	<p>表の追加および差し替え</p>

項目	ページ	修正箇所				
19.3.1 A/D コントロールレジスタ (ADCR_0~ADCR_2)	19-7	ビット図の修正およびビット図注およびビット説明図追加 <table border="1" data-bbox="518 382 1174 909"> <thead> <tr> <th data-bbox="524 382 628 421">ビット</th> <th data-bbox="628 382 1168 421">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="524 421 628 902">7</td> <td data-bbox="628 421 1168 902"> A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。1 サイクルスキャンモードおよび 2 チャネルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 【注】 本ビットを設定する場合は、以下の制限があります。 1. ADST=0 の状態で ADST へ 1 をライトしてください。 2. ADST=1/0 の書き込みを行う場合は、ADTSR_0、ADTSR_1、ADTSR_2 の TRG1S[3:0] ビット、TRG0S[3:0] ビットを A/D 変換開始トリガ非許可 (H'A~H'F) に設定してください。 </td> </tr> </tbody> </table>	ビット	説明	7	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。1 サイクルスキャンモードおよび 2 チャネルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 【注】 本ビットを設定する場合は、以下の制限があります。 1. ADST=0 の状態で ADST へ 1 をライトしてください。 2. ADST=1/0 の書き込みを行う場合は、ADTSR_0、ADTSR_1、ADTSR_2 の TRG1S[3:0] ビット、TRG0S[3:0] ビットを A/D 変換開始トリガ非許可 (H'A~H'F) に設定してください。
ビット	説明					
7	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。1 サイクルスキャンモードおよび 2 チャネルスキャンモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。連続スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 【注】 本ビットを設定する場合は、以下の制限があります。 1. ADST=0 の状態で ADST へ 1 をライトしてください。 2. ADST=1/0 の書き込みを行う場合は、ADTSR_0、ADTSR_1、ADTSR_2 の TRG1S[3:0] ビット、TRG0S[3:0] ビットを A/D 変換開始トリガ非許可 (H'A~H'F) に設定してください。					
20.3.2 メッセージコントロールフィールド <ul style="list-style-type: none"> メールボックス 1 ~15 	20-10	修正 <table border="1" data-bbox="518 971 1174 1280"> <thead> <tr> <th data-bbox="524 971 628 1010">ビット</th> <th data-bbox="628 971 1168 1010">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="524 1010 628 1271">11</td> <td data-bbox="628 1010 1168 1271"> 自動再送信無効 ...このビットが 0 にセットされると、RCAN-ET は送信が正常終了されるまで、あるいは TXCR でキャンセルされるまで、必要に応じて何度でもメッセージを送信しようとします。 0 : 再送信有効 1 : 再送信無効 : </td> </tr> </tbody> </table>	ビット	説明	11	自動再送信無効 ...このビットが 0 にセットされると、RCAN-ET は送信が正常終了されるまで、あるいは TXCR でキャンセルされるまで、必要に応じて何度でもメッセージを送信しようとします。 0 : 再送信有効 1 : 再送信無効 :
ビット	説明					
11	自動再送信無効 ...このビットが 0 にセットされると、RCAN-ET は送信が正常終了されるまで、あるいは TXCR でキャンセルされるまで、必要に応じて何度でもメッセージを送信しようとします。 0 : 再送信有効 1 : 再送信無効 :					
20.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1) (2) BCR0	20-24	追加 ここで BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクオンタであることによります。				
20.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0) (2) TXPR0	20-35	削除 【注】 * 送信用に設定されたメールボックスに対応するビットには、1 のみ書き込むことができます。常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR0 のビット 0 への書き込みは無効です。				

項目	ページ	修正箇所				
21.10 CAN バスインタフェース	20-59	追加 本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。SH7239A と SH7237A は電源電圧 3V 仕様のため、SH7239A と SH7237A の CRx0 端子と HA13721 の Rxd 端子との間には、レベルシフタ IC を使用してください。図 20.15 に接続例を示します。				
図 20.15 HA13721 を用いた高速 CAN インタフェース	20-59	追加  <p>【注】 NC : No Connection * SH7239A/SH7237Aのみ</p>				
表 21.7 動作モード別端子機能一覧	21-7	表を追加				
21.1.5 ポート B コントロールレジスタ H1、H2、L1、L2 (PBCRH1、PBCRH2、PBCRL1、PBCRL2) (3) ポート B コントロールレジスタ L2 (PBCRL2)	21-24	追加 <table border="1" data-bbox="500 1081 1204 1410"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2~0</td> <td>PB4 モード PB4/A20/BACK/IRQ4/TIOC0D/WAIT/SCK3/BS/TCK 端子の機能を選択します。 E10A 使用時 (ASEMD0=L 時) は TCK 入力に固定されます。 000 : PB4 入出力 (ポート) 001 : A20 出力 (BSC) * : : :</td> </tr> </tbody> </table>	ビット	説明	2~0	PB4 モード PB4/A20/BACK/IRQ4/TIOC0D/WAIT/SCK3/BS/TCK 端子の機能を選択します。 E10A 使用時 (ASEMD0=L 時) は TCK 入力に固定されます。 000 : PB4 入出力 (ポート) 001 : A20 出力 (BSC) * : : :
ビット	説明					
2~0	PB4 モード PB4/A20/BACK/IRQ4/TIOC0D/WAIT/SCK3/BS/TCK 端子の機能を選択します。 E10A 使用時 (ASEMD0=L 時) は TCK 入力に固定されます。 000 : PB4 入出力 (ポート) 001 : A20 出力 (BSC) * : : :					

項目	ページ	修正箇所											
21.1.5 ポート B コント ロールレジスタ H1、H2、 L1、L2 (PBCRH1、 PBCRH2、PBCRL1、 PBCRL2) (4) ポート B コントロー ルレジスタ L1 (PBCRL1)	21-25、 21-26	追加 <table border="1" data-bbox="502 343 1204 1392"> <thead> <tr> <th data-bbox="502 343 584 372">ビット</th> <th data-bbox="584 343 1204 372">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="502 372 584 614">4~12</td> <td data-bbox="584 372 1204 614"> PB4 モード PB3/A19/BREQ/IRQ4/TIOC0C/TXD3/AH/TDO 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDO 出力に固定されます。 000 : PB3 入出力 (ポート) 001 : A19 出力 (BSC) * ⋮ </td> </tr> <tr> <td data-bbox="502 614 584 855">10~8</td> <td data-bbox="584 614 1204 855"> PB2 モード PB2/A18/BACK/IRQ2/TIOC0B/RXD3/TDI 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDI 入力に固定されます。 000 : PB2 入出力 (ポート) 001 : A18 出力 (BSC) * ⋮ </td> </tr> <tr> <td data-bbox="502 855 584 1155">6~4</td> <td data-bbox="584 855 1204 1155"> PB1 モード PB1/A17/IRQOUT/IRQ1/TIOC0A/ADTRG/TRST 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TRST 入力に固定されます。 E10A 未使用時 (ASEMD0=H 時) はチップ内部で TRST は L 固定され ます。 000 : PB1 入出力 (ポート) 001 : A17 出力 (BSC) * ⋮ </td> </tr> <tr> <td data-bbox="502 1155 584 1392">2~0</td> <td data-bbox="584 1155 1204 1392"> PB0 モード PB0/A16/IRQ0/TIOC2A/TMS 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TMS 入力に固定されます。 000 : PB0 入出力 (ポート) 001 : A16 出力 (BSC) * ⋮ </td> </tr> </tbody> </table>		ビット	説 明	4~12	PB4 モード PB3/A19/BREQ/IRQ4/TIOC0C/TXD3/AH/TDO 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDO 出力に固定されます。 000 : PB3 入出力 (ポート) 001 : A19 出力 (BSC) * ⋮	10~8	PB2 モード PB2/A18/BACK/IRQ2/TIOC0B/RXD3/TDI 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDI 入力に固定されます。 000 : PB2 入出力 (ポート) 001 : A18 出力 (BSC) * ⋮	6~4	PB1 モード PB1/A17/IRQOUT/IRQ1/TIOC0A/ADTRG/TRST 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TRST 入力に固定されます。 E10A 未使用時 (ASEMD0=H 時) はチップ内部で TRST は L 固定され ます。 000 : PB1 入出力 (ポート) 001 : A17 出力 (BSC) * ⋮	2~0	PB0 モード PB0/A16/IRQ0/TIOC2A/TMS 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TMS 入力に固定されます。 000 : PB0 入出力 (ポート) 001 : A16 出力 (BSC) * ⋮
ビット	説 明												
4~12	PB4 モード PB3/A19/BREQ/IRQ4/TIOC0C/TXD3/AH/TDO 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDO 出力に固定されます。 000 : PB3 入出力 (ポート) 001 : A19 出力 (BSC) * ⋮												
10~8	PB2 モード PB2/A18/BACK/IRQ2/TIOC0B/RXD3/TDI 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TDI 入力に固定されます。 000 : PB2 入出力 (ポート) 001 : A18 出力 (BSC) * ⋮												
6~4	PB1 モード PB1/A17/IRQOUT/IRQ1/TIOC0A/ADTRG/TRST 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TRST 入力に固定されます。 E10A 未使用時 (ASEMD0=H 時) はチップ内部で TRST は L 固定され ます。 000 : PB1 入出力 (ポート) 001 : A17 出力 (BSC) * ⋮												
2~0	PB0 モード PB0/A16/IRQ0/TIOC2A/TMS 端子の機能を選びます。 E10A 使用時 (ASEMD0=L 時) は TMS 入力に固定されます。 000 : PB0 入出力 (ポート) 001 : A16 出力 (BSC) * ⋮												
表 23.5 ビットレート自 動調整が可能な条件	23-31	追加 <table border="1" data-bbox="502 1445 1204 1657"> <thead> <tr> <th data-bbox="502 1445 758 1522">ホストの SCIF のビットレ ート</th> <th data-bbox="758 1445 1204 1522">本 LSI の周辺クロックの周波数</th> </tr> </thead> <tbody> <tr> <td data-bbox="502 1522 758 1590">9,600bps</td> <td data-bbox="758 1522 1204 1590"> 20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A) </td> </tr> <tr> <td data-bbox="502 1590 758 1657">19,200bps</td> <td data-bbox="758 1590 1204 1657"> 20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A) </td> </tr> </tbody> </table>		ホストの SCIF のビットレ ート	本 LSI の周辺クロックの周波数	9,600bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)	19,200bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)				
ホストの SCIF のビットレ ート	本 LSI の周辺クロックの周波数												
9,600bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)												
19,200bps	20~50 MHz (SH7239B、SH7237B) 20~40 MHz (SH7239A、SH7237A)												

項目	ページ	修正箇所							
図 23.14 書き込み/消去処理の概要フロー	23-60	修正 (修正前) 周知クロック → (修正後) 周辺クロック							
23.6.3 FCU コマンド使用方法 (1) FCU RAM へのファームウェア転送方法	23-61	追加 図 23.15 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書き込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。FCU RAM へのファームウェアの転送は CPU または DMAC で行ってください。DMAC 設定方法の詳細は、「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。							
23.6.3 FCU コマンド使用方法 (5) 周辺クロック通知コマンドの使用方法	23-64	修正 設定可能な周波数の範囲は、SH7239B と SH7237B では 20~50MHz、SH7239A と SH7237A では 20~40MHz です。この範囲に設定しないでください。設定されると、FCU はエラーを検出しコマンドロック状態になります (「23.9.3 エラープロテクト」を参照)。							
図 23.18 周辺クロック通知コマンドの使用フロー	23-65	修正 							
表 23.13 エラープロテクト一覧	23-84	修正 <table border="1" data-bbox="509 1164 1167 1367"> <thead> <tr> <th>分類</th> <th>内 容</th> </tr> </thead> <tbody> <tr> <td rowspan="4">不正コマンド エラー</td> <td>FCU コマンドの 1 サイクル目で未定義コードを指定</td> </tr> <tr> <td>複数サイクルの FCU コマンドの最終サイクルで HD0 以外を指定</td> </tr> <tr> <td>PCKAR レジスタに周辺クロック 1~100MHz 以外を設定</td> </tr> <tr> <td>書き込み/消去処理中にサスペンド以外のコマンドを発行</td> </tr> </tbody> </table>	分類	内 容	不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	複数サイクルの FCU コマンドの最終サイクルで HD0 以外を指定	PCKAR レジスタに周辺クロック 1~100MHz 以外を設定	書き込み/消去処理中にサスペンド以外のコマンドを発行
分類	内 容								
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定								
	複数サイクルの FCU コマンドの最終サイクルで HD0 以外を指定								
	PCKAR レジスタに周辺クロック 1~100MHz 以外を設定								
	書き込み/消去処理中にサスペンド以外のコマンドを発行								

項目	ページ	修正箇所
図 23.34 マット切り替え処理例	23-86	修正 <div style="text-align: center;">  <pre> graph TD Start([開始]) --> Step1[割り込み処理ルーチンを内蔵RAMに転送] Step1 --> Step2[VBRレジスタを設定] Step2 --> Step3[内蔵RAMにジャンプ] Step3 --> Step4[ROMMATレジスタをライト] Step4 --> Step5[ROMMATレジスタをリードに転送] Step5 --> Step6[RCCRレジスタのRCFビットに1をライト] Step6 --> End([終了]) </pre> <p>ベクタベースを内蔵RAMに設定</p> <p>マット切り替え</p> <p>ダミーリード</p> <p>ROMキャッシュフラッシュ</p> </div>
23.10.10 書き込み／消去中の禁止事項	23-89	追加 <ul style="list-style-type: none"> 電源を切断する ソフトウェアスタンバイモードへ遷移させる CPU、DMAC、DTC からのフラッシュメモリのリードアクセス FRQCR レジスタの値の書き換え Pφと異なる周波数を PCKAR レジスタに設定する
23.10.11 書き込み／消去中の異常終了	23-89	項目を追加
24.1 特長 <ul style="list-style-type: none"> ブランクチェック機能 	24-4	追加 <p>消去状態の FLD を CPU から読み出すと不定データが読み出されます。FCU のブランクチェックコマンドを使用すると、FLD が消去状態（ブランク状態）であるかどうかを確認することができます。1 回のブランクチェックコマンドで確認可能な領域のサイズは 8K バイト（1 消去ブロック）または 8 バイトです。</p> <p>ブランクチェックは正常に消去が完了した領域に対し、消去状態を確認する機能です。消去または書き込みが中断（例：リセット入力、電源瞬断）された場合は、ブランクチェックによる消去状態の確認はできません。</p>
24.8.9 書き込み／消去中の禁止事項	24-40	追加 <ul style="list-style-type: none"> 電源を切断する ソフトウェアスタンバイモードへ遷移させる CPU、DMAC、DTC からのフラッシュメモリのリードアクセス FRQCR レジスタの値の書き換え Pφと異なる周波数を PCKAR レジスタに設定する

項目	ページ	修正箇所																																						
24.8.10 書き込み／消去中の異常終了 24.8.11 消去または書き込み中断時の対応について	24-40	項目追加																																						
表 26.4 ソフトウェアスタンバイモード時のレジスタの状態	26-11	修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>初期化レジスタ</th> <th>内容が保持されるレジスタ</th> </tr> </thead> <tbody> <tr> <td>シリアルコミュニケーションインタフェース (SCI)</td> <td>—</td> <td>全レジスタ</td> </tr> </tbody> </table>	モジュール名	初期化レジスタ	内容が保持されるレジスタ	シリアルコミュニケーションインタフェース (SCI)	—	全レジスタ																																
モジュール名	初期化レジスタ	内容が保持されるレジスタ																																						
シリアルコミュニケーションインタフェース (SCI)	—	全レジスタ																																						
26.5 使用上の注意事項	26-14	項目追加																																						
27.5 使用上の注意事項	27-8	追加 3. TRST 端子ネゲートから 200ns 経過するまでの間、TMS 端子はハイレベルに固定してください。																																						
表 29.3 DC 特性 (SH7239B、SH7237B)	29-3	修正 <table border="1"> <thead> <tr> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td rowspan="3">A1ref</td> <td>—</td> <td>1</td> <td>1.5</td> </tr> <tr> <td>—</td> <td>1</td> <td>1.5</td> </tr> <tr> <td>—</td> <td>0.8</td> <td>5</td> </tr> </tbody> </table>	記号	Min.	Typ.	Max.	A1ref	—	1	1.5	—	1	1.5	—	0.8	5																								
記号	Min.	Typ.	Max.																																					
A1ref	—	1	1.5																																					
	—	1	1.5																																					
	—	0.8	5																																					
29.3.6 MTU2、MTU2S モジュールタイミング 表 33.10 マルチファンクションタイムパルスユニット 2、2S (MTU2、MTU2S) タイミング	29-23	追加および修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>インプットキャプチャ入力パルス幅 (単エッジ指定)</td> <td>t_{TICW}</td> <td>1.5</td> <td>—</td> <td>t_{Moyc}</td> <td rowspan="2"></td> </tr> <tr> <td>インプットキャプチャ入力パルス幅 (両エッジ指定)</td> <td>t_{TICW}</td> <td>2.5</td> <td>—</td> <td>t_{Moyc}</td> </tr> <tr> <td>タイマ入力セットアップ時間</td> <td>t_{TCKS}</td> <td>20</td> <td>—</td> <td>ns</td> <td rowspan="4">29.19</td> </tr> <tr> <td>タイマクロックパルス幅 (単エッジ指定)</td> <td>t_{TCKWHL}</td> <td>1.5</td> <td>—</td> <td>t_{Moyc}</td> </tr> <tr> <td>タイマクロックパルス幅 (両エッジ指定)</td> <td>t_{TCKWHL}</td> <td>2.5</td> <td>—</td> <td>t_{Moyc}</td> </tr> <tr> <td>タイマクロックパルス幅 (位相計数モード)</td> <td>t_{TCKWHL}</td> <td>2.5</td> <td>—</td> <td>t_{Moyc}</td> </tr> </tbody> </table> <p>【注】 t_{Moyc} は MTU クロック (Mϕ) の周期を示します。</p>	項目	記号	Min.	Max.	単位	参照図	インプットキャプチャ入力パルス幅 (単エッジ指定)	t_{TICW}	1.5	—	t_{Moyc}		インプットキャプチャ入力パルス幅 (両エッジ指定)	t_{TICW}	2.5	—	t_{Moyc}	タイマ入力セットアップ時間	t_{TCKS}	20	—	ns	29.19	タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	—	t_{Moyc}	タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	—	t_{Moyc}	タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	—	t_{Moyc}
項目	記号	Min.	Max.	単位	参照図																																			
インプットキャプチャ入力パルス幅 (単エッジ指定)	t_{TICW}	1.5	—	t_{Moyc}																																				
インプットキャプチャ入力パルス幅 (両エッジ指定)	t_{TICW}	2.5	—	t_{Moyc}																																				
タイマ入力セットアップ時間	t_{TCKS}	20	—	ns	29.19																																			
タイマクロックパルス幅 (単エッジ指定)	t_{TCKWHL}	1.5	—	t_{Moyc}																																				
タイマクロックパルス幅 (両エッジ指定)	t_{TCKWHL}	2.5	—	t_{Moyc}																																				
タイマクロックパルス幅 (位相計数モード)	t_{TCKWHL}	2.5	—	t_{Moyc}																																				

項目	ページ	修正箇所												
図 29.18 MTU2, MTU2S 入出カタイミング 図 29.19 MTU2 クロック 入カタイミング	29-23	図の注を追加												
表 29.26 ROM(コード格 納用フラッシュメモリ)特 性 表 29.27 FLD (データ格 納用フラッシュメモリ)特 性	29-41、 29-43	追加 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項 目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>レジュームコマンドインターバル時間</td> <td>tRESI</td> <td>1.7</td> <td>—</td> <td>—</td> <td>ms</td> </tr> </tbody> </table>	項 目	記号	Min.	Typ.	Max.	単位	レジュームコマンドインターバル時間	tRESI	1.7	—	—	ms
項 目	記号	Min.	Typ.	Max.	単位									
レジュームコマンドインターバル時間	tRESI	1.7	—	—	ms									
図 29.37 フラッシュメ モリ書き込み/消去サス ペンドタイミング	29-42	追加 <ul style="list-style-type: none"> ・サスペンド優先モード時の消去サスペンド 												

索引

【数字／記号】

16ビット／32ビットディスプレイメント	2-14
1 サイクルスキャンモード	19-19
2 チャネルスキャンモード	19-25

【A】

A/D トリガ入力タイミング	29-35
A/D 変換開始要求ディレイド機能	11-141
A/D 変換器 (ADC)	19-1
A/D 変換器特性	29-40
A/D 変換器の起動	11-154
A/D 変換時間	19-29
A/D 変換精度の定義	19-44
AC 特性	29-7
AC 特性測定条件	29-39

【C】

CAN インタフェース	20-3
CAN スリープモード	20-46
CMCNT カウントタイミング	14-5
CMCNT の書き込みとコンペアマッチの競合	14-8
CMCNT のバイト書き込みとカウントアップの競合 ..	14-9
CMCNT のワード書き込みとカウントアップの競合 ..	14-8
CPU	2-1
\overline{CSn} アサート期間拡張	9-34

【D】

DC 特性	29-2
DMAC/DTC 使用上の制約事項	17-49
DMAC モジュールタイミング	29-22
DMA 転送フローチャート	10-22
DREQ 端子のサンプリングタイミング	10-38
DTC/DMAC の起動	11-154
DTC の起動要因	8-10
DTC の実行状態	8-27
DTC ベクタアドレス	8-13

【F】

FCU コマンド一覧	23-53
FCU コマンド使用方法	23-59, 24-33

FIFO 内蔵シリアルコミュニケーション

インタフェース (SCIF)	17-1
FLD	24-1
FPU に関する CPU 命令 (SH7239 グループのみ)	2-39

【H】

H-UDI 関連端子のタイミング	29-37
H-UDI コマンド	27-4
H-UDI リセット	27-7
H-UDI 割り込み	6-11, 27-7

【I】

I/O ポート	22-1
I/O ポートタイミング	29-36
ID 並べ替え	20-19
IRQ 割り込み	6-11

【M】

MCU 拡張モード 2	3-2
MCU 動作モード	3-1
MPX-I/O インタフェース	9-35
MTU2、MTU2S による A/D 変換器の起動	19-30
MTU2-MTU2S の同期動作	11-145
MTU2S の機能一覧	12-1
MTU2 出力端子の初期化方法	11-185
MTU2 の機能一覧	11-2
MTU2 割り込み要因	11-152

【N】

NMI 割り込み	6-11
----------------	------

【P】

PLL 回路	4-3
POE2 モジュールタイミング	29-24
POE2 割り込み要因	13-24

【R】

RAM	25-1
RAM のバス接続図	25-2
RAM のブロック図	25-2
RCAN-ET のメモリマップ	20-5

RCAN-ETのリセットシーケンス.....	20-44
RCAN-ETの割り込み要因.....	20-56
RCAN-ETビットレートの計算式.....	20-24
RISC方式.....	2-11
ROM.....	23-1
RSPIシステム構成例.....	18-29
RSPIタイミング.....	29-30
RSPIデータフォーマット.....	18-37
RSPIのエラー検出機能.....	18-43
RSPIのモードとSPCR設定の関係.....	18-26
RSPIの初期化.....	18-46
RSPI端子の制御.....	18-27
RSPI転送フォーマット.....	18-35, 18-36

【S】

SCBRRの設定値を求める計算式.....	17-16
SCIFモジュールタイミング.....	29-28
SCIF割り込み要因.....	17-48
SCI割り込み要因.....	16-53
SCSPTRとSCI端子との関係.....	16-54
SSLネゲート期間のMOSI信号値の決定方法.....	18-28

【T】

TAPコントローラ.....	27-5
TDO出力タイミング.....	27-6
Tビット.....	2-12

【U】

UBCトリガタイミング.....	29-21
------------------	-------

【V】

V _{CL} コンデンサ接続方法.....	29-44
--------------------------------	-------

【あ】

アクセスウェイト制御.....	9-32
アクセスサイクル間ウェイト.....	9-40
アドレスエラー.....	5-10
アドレスマップ.....	9-4
アドレスマップ.....	3-3
アドレッシングモード.....	2-15
一般不当命令.....	5-17
イミディエイトデータ.....	2-13
イミディエイトデータによる参照.....	2-13
イミディエイトデータのデータ形式.....	2-10
インターバルタイムモードの使用法.....	15-13
ウォッチドッグタイム(WDT).....	15-1
ウォッチドッグタイムタイミング.....	29-25

ウォッチドッグタイムモードの使用法.....	15-11
エラープロテクト.....	23-83, 24-38
エラープロテクト一覧.....	23-84, 24-38
エンディアン.....	9-25
オートリクエストモード.....	10-23
オフセット誤差.....	19-44

【か】

外形寸法図.....	8
外部水晶発振器使用時の注意.....	4-17
外部トリガ入力タイミング.....	19-30
外部パルス幅測定機能.....	11-148
外部リクエストモード.....	10-23
書き込み/消去ホストコマンド待ち状態.....	23-44
各動作モードにおけるレジスタの状態の一覧.....	28-53
グローバルベースレジスタ(GBR).....	2-3
クロック周波数制御回路.....	4-3
クロックタイミング.....	29-8
クロック同期式モード時の動作.....	16-39, 17-41
クロック動作モード.....	4-5
クロック動作モードと設定可能な周波数範囲.....	4-6
クロックパルス発振器(CPG).....	4-1
固定モード.....	10-26
コントローラエリアネットワーク(RCAN-ET).....	20-1
コントロールレジスタの初期値.....	2-8
コンペアマッチタイマ(CMT).....	14-1

【さ】

サイクルスチールモード.....	10-33
サスペンド動作.....	23-77
サポートできるDMA転送.....	10-29
算術演算命令.....	2-31
システム制御命令.....	2-36
システムレジスタの初期値.....	2-8
実効アドレスの計算方法.....	2-15
シフト命令.....	2-34
ジャンプテーブルベースレジスタ(TBR).....	2-3
周波数変更方法.....	4-13
乗算/積和演算.....	2-12
シリアルコミュニケーションインタフェース(SCI).....	16-1
シングルアドレスモード.....	10-32
シングルチップモード.....	3-2
水晶発振器.....	4-3
スタックからの復帰.....	6-28
スタックへの退避.....	6-28
スタンバイ制御回路.....	4-3
ステータスレジスタ(SR).....	2-3

スリープモード	26-10
スロット不当命令	5-17
制御信号タイミング	29-11
整数除算命令	5-17
製品一覧表	1-8
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4
絶対アドレス	2-13
絶対アドレスによる参照	2-14
絶対最大定格	29-1
絶対精度	19-44
送信バッファエンプティ/受信バッファフルフラグ	18-41
相補 PWM モード	11-104
ソフトウェアスタンバイモード	26-10
ソフトウェアスタンバイモード解除の手順 (WDT)	15-10
ソフトウェアスタンバイモード時のレジスタの状態	26-11
ソフトウェアプロテクト	23-83, 24-37

【た】

タイムクォンタの定義	20-22
ダイレクトメモリアクセスコントローラ (DMAC)	10-1
チェーン転送	8-23
遅延スロットなし無条件分岐命令	2-12
遅延分岐命令	2-12
遅延分岐命令の直後の例外要因発生	5-19
調歩同期式モード時の動作	16-30, 17-33
調歩同期式モードの受信データサンプリング	
タイミングと受信マージン	17-50
通常空間インタフェース	9-28
低消費電力状態	2-42
低消費電力モード	26-1
ディスプレイメントによる参照	2-14
データアクセスサイクルでのブ레이크	7-23
データアライメント	9-25
データ転送命令	2-28
データトランスファコントローラ (DTC)	8-1
データフォーマット	2-1
テストモードの設定	20-48
デッドタイム補償用機能	11-149
デュアルアドレスモード	10-30
電気的特性	29-1
転送情報の配置と DTC ベクタテーブル	8-11
転送情報ライトバックスキップ機能	8-19
転送情報リードスキップ機能	8-19
動作モードと端子の設定の組み合わせ	3-1
動作モード変更時の注意事項	3-5
トラップ命令	5-16

【な】

内蔵 RAM アドレス空間	25-3
内蔵周辺モジュールリクエストモード	10-24
内蔵周辺モジュール割り込み	6-12
入力サンプリングと A/D 変換時間	19-28
ノイズ対策上の注意	19-45
ノーマル転送モード	8-20

【は】

バーストモード	10-35
ハードウェアプロテクト	23-82, 24-37
バスアービトラージョン	9-45
バスステートコントローラ (BSC)	
(SH7239A, SH7237A のみ)	9-1
バスタイミング (SH7239A, SH7237A のみ)	29-15
発振停止検出機能	4-16
パワーオンリセット	5-8, 26-2
バンクからの復帰	6-27
バンクの対象レジスタと入出力方式	6-25
バンクへの退避	6-26
汎用レジスタ	2-1
汎用レジスタの初期値	2-8
非直線性誤差	19-44
ビット操作命令	2-39
ピンファンクションコントローラ (PFC)	21-1
ブートモード	23-28, 24-23
ブートモードの状態遷移	23-29
浮動小数点演算命令 (SH7239 グループのみ)	2-37, 5-18
浮動小数点システムレジスタ	
(SH7239 グループのみ)	2-6
浮動小数点システムレジスタの初期値	2-8
浮動小数点レジスタ (SH7239 グループのみ)	2-5
浮動小数点レジスタの初期値	2-8
フルスケール誤差	19-44
ブ레이크の送り出し	16-56, 17-50
ブ레이크の検出と処理	16-56, 17-49
プログラムカウンタ (PC)	2-4
プログラム実行状態	2-42
プロシージャレジスタ (PR)	2-4
ブロック転送モード	8-22
プロテクト	23-82, 24-37
分岐命令	2-35
分周器	4-3
ページ競合	25-8
ベクタベースレジスタ (VBR)	2-3
ポートアウトプットイネーブル 2 (POE2)	13-1
ボード設計上の注意	19-45

ホルトモード	20-45
本 LSI の端子機能表	1-12
本 LSI のピン配置図	1-10
本 LSI のブロック図	1-9

【ま】

マイクロプロセッサインタフェース (MPI)	20-3
マニュアルリセット	5-9, 26-2
マルチファンクションタイマパルスユニット 2 (MTU2)	11-1
マルチファンクションタイマパルスユニット 2S (MTU2S)	12-1
マルチプロセッサ通信機能	16-48
命令形式	2-19
命令セット	2-23
命令による例外	5-16
命令の特長	2-11
命令フェッチサイクルでのブレーク	7-22
メールボックス	20-3
メールボックスコントロール	20-3
メールボックスのアドレスマップ	20-6
メールボックスの構成	20-7
メールボックスの再設定	20-54
メッセージコントロールフィールド	20-8
メッセージ受信シーケンス	20-52
メッセージ送信シーケンス	20-50
メッセージデータフィールド	20-14
メモリのデータ形式	2-9
モジュールスタンバイ機能	26-13
モジュールスタンバイモードの設定	8-35, 16-58

【や】

ユーザデバッグインタフェース (H-UDI)	27-1
ユーザブートモード	23-80
ユーザブレークコントローラ (UBC)	7-1
ユーザブレーク割り込み	6-11
ユーザプログラムモード	23-53

【ら】

ライターモード	23-82
ラウンドロビンモード	10-26
リセット状態	2-41
リセット同期 PWM モード	11-103
リピート転送モード	8-21
量子化誤差	19-44
ルネサスシリアルペリフェラルインタフェース (RSPI)	18-1

例外処理	5-1
例外処理後のスタックの状態	5-20
例外処理状態	2-41
例外処理ベクタテーブル	5-5
例外処理ベクタテーブルアドレスの算出法	5-6
例外要因の種類と優先順位	5-1

レジスタ

ABACK0	20-38
ACLKCR	4-11
ADANSR_0~ADANSR_2	19-11
ADBYPSCR_0~ADBYPSCR_2	19-12
ADCR_0~ADCR_2	19-7
ADDR0~ADDR15	19-13
ADDR0GR0_0~ADDR0GR0_2	19-17
ADDR2GR1_0~ADDR2GR1_2	19-17
ADSR_0~ADSR_2	19-9
ADSTRGR_0~ADSTRGR_2	19-10
ADTSR_0~ADTSR_2	19-14
BAMR	7-5, 7-9, 7-13, 7-16
BAR	7-4, 7-8, 7-12, 7-15
BBR	7-6, 7-10, 7-13, 7-16
BCR0, BCR1	20-22
BRCR	7-18
BSCEHR	8-10
CHCR	10-9
CMCNT	14-4
CMCOR	14-4
CMCSR	14-3
CMNCR	9-6
CMSTR	14-2
CRA	8-7
CRB	8-7
CSnBCR	9-8
CSnWCR	9-12
DAR (DMAC)	10-8
DAR (DTC)	8-6
DMAOR	10-16
DMARS0~DMARS3	10-19
DMATCR	10-8
DTCCR	8-9
DTCERA~DTCERE	8-8
DTCVBR	8-10
EPPBCCNT	24-19
EPPBCSTAT	24-20
EPPRE0	24-14
EPPRE1	24-15
EPPWE0	24-16

EEPWE1	24-17	PAPCRH	21-19
FAEINT	23-10, 24-12	PAPCRL	21-19
FASTAT	23-8, 24-9	PAPRH	22-5
FCMDR	23-21	PAPRL	22-5
FCPSR	23-22	PBCRH1	21-22
FCURAME	23-12	PBCRH2	21-20
FENTRYR	23-17, 24-18	PBCRL1	21-25
FMODR	23-7, 24-8	PBCRL2	21-24
FPESTAT	23-23	PBDRH	22-7
FPMON	23-6	PBDRL	22-7
FPROTR	23-19	PBIORH	21-20
FPSCR	2-6	PBIORL	21-20
FPUL	2-6	PBPCRH	21-27
FRESETR	23-20	PBPCRL	21-27
FRQCR	4-8	PBPRH	22-8
FSTATR0	23-13	PBPRL	22-9
FSTATR1	23-15	PCCRL1	21-33
GSR	20-20	PCCRL2	21-31
HCPCR	21-49	PCCRL3	21-30
IBCR	6-9	PCCRL4	21-28
IBNR	6-10	PCDRL	22-11
ICR0	6-6	PCIORL	21-28
ICR1	6-7	PCPCRL	21-34
ICSR1	13-5	PCPRL	22-12
ICSR2	13-8	PDCRL1	21-40
ICSR3	13-11	PDCRL2	21-38
IMR	20-31	PDCRL3	21-37
IPR01, IPR02, IPR05~IPR18	6-5	PDCRL4	21-35
IRQRR	6-8	PDDRL	22-14
IRR	20-26	PDIORL	21-35
MBIMR0	20-41	PDPCRL	21-41
MCLKCR	4-10	PDPRL	22-15
MCR	20-14	PECRL1	21-47
MRA	8-4	PECRL2	21-45
MRB	8-5	PECRL3	21-44
OCSR1	13-7	PECRL4	21-42
OCSR2	13-10	PEDRL	22-17
OSCCR	4-12	PEIORL	21-42
PACRH1	21-13	PEPCRL	21-48
PACRL1	21-18	PEPRL	22-18
PACRL2	21-17	PFDRL	22-20
PACRL3	21-16	POECCR1	13-13
PACRL4	21-15	POECCR2	13-15
PADRH	22-3	POECCR3	13-18
PADRL	22-4	RCCR	23-24
PAIORH	21-13	RDAR	10-15
PAIORL	21-13	RDMATCR	10-16

REC	20-31	STBCR3	26-6
RFPRO	20-40	STBCR4	26-7
ROMMAT	23-11	STBCR5	26-8
RSAR	10-15	STBCR6	26-9
RXPRO	20-39	SYSCR1	25-4
SAR (DMAC)	10-7	SYSCR2	25-6
SAR (DTC)	8-6	TADCOBRA_4	11-50
SCBRR (SCI)	16-18	TADCOBRB_4	11-50
SCBRR (SCIF)	17-16	TADCORA_4	11-50
SCFCR	17-25	TADCORB_4	11-50
SCFDR	17-27	TADCR	11-48
SCFRDR	17-4	TBTER	11-70
SCFSR	17-11	TBTM	11-45
SCFTDR	17-5	TCBR	11-67
SCLSR	17-29	TCDR	11-67
SCRDR (SCI)	16-6	TCNT	11-51
SCRSR (SCI)	16-6	TCNTCMPCLR	11-34
SCRSR (SCIF)	17-4	TCNTS	11-66
SCSCR (SCI)	16-9	TCR	11-9
SCSCR (SCIF)	17-8	TCSYSTR	11-55
SCSDCR	16-17	TDDR	11-66
SCSEMR	17-30	TDER	11-71
SCSMR (SCI)	16-7	TEC	20-29
SCSMR (SCIF)	17-5	TGCR	11-65
SCSPTR (SCI)	16-16	TGR	11-51
SCSPTR (SCIF)	17-28	TICCR	11-46
SCSSR	16-12	TIER	11-35
SCTDR (SCI)	16-7	TIOR	11-15
SCTSR (SCI)	16-6	TITCNT	11-69
SCTSR (SCIF)	17-4	TITCR	11-68
SDBPR	27-3	TMDR	11-13
SDIR	27-3	TOCR1	11-59
SPBR	18-16	TOCR2	11-61
SPCKD	18-20	TOER	11-58
SPCMD	18-23	TOLBR	11-64
SPCR	18-6	TRWER	11-57
SPDR	18-13	TSR	11-39
SPND	18-22	TSTR	11-52
SPOER	13-12	TSYCRS	11-47
SPPCR	18-9	TSYR	11-54
SPSCR	18-14	TWCR	11-72
SPSR	18-10	TXACK0	20-37
SPSSR	18-15	TXCR0	20-36
SSLND	18-21	TXPR1, TXPR0	20-33
SSLP	18-8	UMSR0	20-42
STBCR	26-4	WRCSR	15-7
STBCR2	26-5	WTCNT	15-4

WTCSR.....	15-5
レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	28-2
レジスタのデータ形式.....	2-9
レジスタバンク	2-7, 6-25
レジスタバンクエラー.....	5-12
レジスタバンクエラー例外処理	5-12, 6-29
レジスタバンクの例外	6-29
レジスタビット一覧	28-23
連続スキャンモード	19-22
ローカルアクセプタンスフィルタマスク (LAFM) ..	20-13
ロードストアアーキテクチャ	2-11
論理演算命令	2-33

【わ】

ワードデータの符号拡張	2-11
割り込み応答時間	6-20
割り込みコントローラ (INTC)	6-1
割り込みによる DTC の起動.....	8-32
割り込み優先順位	5-14
割り込み要因クリアのタイミング	6-33
割り込み要求	6-30
割り込み例外処理	5-15
割り込み例外処理終了後のスタックの状態	6-19
割り込み例外ベクタと優先順位.....	6-14

SH7239グループ、SH7237グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2010年8月31日 Rev.1.00
2013年6月11日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7239 グループ、SH7237 グループ