

# SH7455 グループ、SH7456 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ  
 SuperH™ RISC engine ファミリ

SH74552            R5F74552KBG

SH74562            R5F74562KBG

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
 ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
  2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  3. 当社製品を改造、改変、複製等しないでください。
  4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
  5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
  6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
  7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
  8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
  9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
  10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
  11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
  12. 本資料に関する詳細についてのお問い合わせその他お気づきの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違くと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

改訂記録	SH7455 グループ、SH7456 グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	ページ	改訂内容
Rev.1.10	11/09/16	—	新規発行

レイアウトの都合上、このページは白紙です。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH7455 グループおよび SH7456 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	SH7455 グループ、 SH7456 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	SH-4A 拡張機能ソフトウェア マニュアル	RJJ09B0235
アプリケーションノート	応用例参考プログラムなど	—	—
Renesas Technical Update	製品の仕様、ドキュメント等に関する速報	—	—

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

### (1) レジスタ名、ビット名、端子名

本文中ではシンボルで表記します。シンボルの後ろにレジスタ、ビット、端子を付けて区別します。

(例) CS#端子、Vcc端子  
ICR0レジスタ

### (2) 数字の表記

2進数はB'nnnn（明らかに2進数と判断できる場合はB'を省略）、16進数はH'nnnn、10進数はnnnnで表します。

(例) 2進数 : B'11または11  
16進数 : H'EFA0  
10進数 : 1234

### (3) "L"アクティブの表記

"L"アクティブの信号および端子には「#」を付けて表記しています。

(例) CS0#端子

### 3. レジスタの構成

各章のレジスタの説明の前に、該当するモジュールで使用するレジスタの構成表があります。レジスタ構成表で使用する記号や用語を以下に説明します。

[レジスタ構成表]

チャネル	(1) レジスタ名	(2) シンボル	(3) リセット後の値	(4) P4領域アドレス	(5) アクセスサイズ	(6) 掲載ページ
共通	TMスタートレジスタ	TMSTR	H'00	H'FFFF D004	8	22-4
0	TM0コンスタントレジスタ	TM0COR	H'FFFF FFFF	H'FFFF D008	32	22-5
	TM0カウンタ	TM0CNT	H'FFFF FFFF	H'FFFF D00C	32	22-6
	TM0コントロールレジスタ	TM0CR	H'0000	H'FFFF D010	16	22-7
	TM1コンスタントレジスタ	TM1COR	H'FFFF FFFF	H'FFFF D014		

【注】・上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) レジスタ名

各レジスタの名称を示します。

(2) シンボル

各レジスタの略称を示します。

(3) リセット後の値

各ビットのハードウェアリセット後の値を16進数で示します。

(4) P4領域アドレス

各レジスタのP4領域アドレスを示します。

P4領域アドレスは、仮想アドレス空間のP4領域を用いた場合のもので、

P4領域アドレスの32ビットアドレスで上位3ビットを"0"にしたものがエリア7アドレスとなります。

エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

(5) アクセスサイズ

8ビットアクセスは"8"、16ビットアクセスは"16"、32ビットアクセスは"32"と表記しています。

ひとつのレジスタのアクセスが複数のアクセスを許可しているレジスタは、"/"で区切って表記しています。

"/"で区切っていない場合は、表記しているアクセスサイズのみ許可されています。

・32ビットレジスタで、32ビットアクセスと16ビットアクセスが可能な場合

アクセスサイズは"16/32"と表記しています。

・8ビットレジスタで、8ビットアクセスの他にアライメントの取れた隣りの8ビットレジスタと同時に

16ビットアクセスが可能な場合

アクセスサイズは"8/16"と表記しています。

(6) 掲載ページ

各レジスタの機能やビットの設定内容などを説明しているページを示します。

複数のページに渡って掲載されているレジスタの場合は、最初に出てくるページのみを示します。

たとえば、ページ12-9と12-10の2ページに渡って説明を掲載しているレジスタの掲載ページは12-9と示します。



## 4. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。使用する記号や用語を以下に説明します。

**【ビット構成図】**

TM0コントロールレジスタ (TM0CR)  
 TM1コントロールレジスタ (TM1CR)  
 TM2コントロールレジスタ (TM2CR)

<P4領域アドレス: H'FFFF D010番地>  
 <P4領域アドレス: H'FFFF D01C番地>  
 <P4領域アドレス: H'FFFF D028番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

**【ビット説明表】**

ビット	シンボル	リセット後の値	R	W	説明
15~9	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	UNF	0	R *1		アンダフローフラグ TMnCNTカウンタのアンダフローの発生を示すステータスフラグです。 0: TMnCNTカウンタがアンダフローを起こしていないことを示します 1: TMnCNTカウンタがアンダフローを起こしていたことを示します [クリア条件] ・ UNFビットに"0"を書き込んだとき [セット条件] ・ TMnCNTカウンタがアンダフローを起こしたとき
7	—	0	0	0	

<リセット後の値: H'0000>

**【注】**・上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) レジスタ名  
各レジスタの名称と略称を示します。

(2) レジスタアドレス  
各レジスタのP4領域アドレスを示します。  
P4領域アドレスは、仮想アドレス空間のP4領域を用いた場合のものです。P4領域アドレスの32ビットアドレスで上位3ビットを"0"にしたものがエリア7アドレスとなります。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

(3) ビット  
ビット番号を示します。  
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(4) シンボル  
ビット名またはフィールド名を示します。  
予約ビットの場合は「—」と表記し、ビット構成図ではグレー（灰色）に網掛けをして示しています。  
ただし、タイムカウンタなどははじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(5) リセット後の値  
各ビットのハードウェアリセット後の値を示します。指定がない場合、2進数で示します。  
0 : リセット後の値は"0"であることを示します。  
1 : リセット後の値は"1"であることを示します。  
不定 : リセット後の値は不定であることを示します。

(6) RW表記  
各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。  
使用する表記を以下に説明します。なお、書き込み (W) の表記にN (書き込み禁止) と記載されたビットを含むレジスタは、その他のビットの表記にかかわらず書き込み禁止です。

・ Rで使う記号と意味	・ Wで使う記号と意味
R : 読み出し可能	W : 書き込み可能
? : 読み出し不定	0 : "0"を書き込む
0 : "0"が読み出される	1 : "1"を書き込む
1 : "1"が読み出される	— : 書き込み無効
*1 : その他 (ビット説明表の下に注意文を記述する)	N : 書き込み禁止
	*1 : その他 (ビット説明表の下に注意文を記述する)

(7) 説明  
ビットの機能について説明しています。

## 5. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

略称	英語名	日本語名
FPU	Floating-Point Unit	浮動小数点ユニット
MMU	Memory Management Unit	メモリマネジメントユニット
SHwyRAM	Super Hyway RAM	スーパーハイウェイ RAM
CPG	Clock Pulse Generator	クロック発振器
INTC	Interrupt Controller	割り込みコントローラ
WDT	Watchdog Timer	ウォッチドッグタイマ
BSC	Bus State Controller	バスステートコントローラ
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
ATU-IIIS	Advanced Timer Unit IIIS	アドバンスドタイマユニット-IIIS
TMU	Timer Unit	タイマユニット
SCIF	Serial Communication Interface	FIFO 内蔵シリアルコミュニケーションインタフェース
RSPI	Renesas Serial Peripheral Interface	ルネサスシリアルペリフェラルインタフェース
IIC3	I <sup>2</sup> C Bus Interface 3	I <sup>2</sup> C バスインタフェース 3
CAN	Controller Area Network	コントローラエリアネットワーク
ADC	A/D Converter	A/D 変換器
DRI	Direct RAM Input Interface	ダイレクト RAM インพุットインタフェース
DRO	Direct RAM Output Interface	ダイレクト RAM アウトプットインタフェース
PDAC	Parallel DAC Controller	パラレル DAC 制御
PSEL	Parallel Selector	パラレルセクタ
UBC	User Break Controller	ユーザブレイクコントローラ
AUDR	AUD RAM Monitor	AUD RAM モニタ
H-UDI	User Debugging Interface	ユーザデバッグインタフェース

## 6. 商標および登録商標

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

1. 概要.....	1-1
1.1  特長.....	1-1
1.1.1  用途.....	1-1
1.1.2  仕様概要.....	1-2
1.2  製品一覧.....	1-8
1.3  ブロック図.....	1-9
1.4  ピン配置図.....	1-10
1.5  端子機能.....	1-11
1.6  端子機能の説明.....	1-16
2. プログラミングモデル.....	2-1
2.1  データフォーマット.....	2-1
2.2  レジスタの構成.....	2-2
2.2.1  特権モードとバンク.....	2-2
2.2.2  汎用レジスタ.....	2-5
2.2.3  浮動小数点レジスタ.....	2-6
2.2.4  コントロールレジスタ.....	2-9
2.2.5  システムレジスタ.....	2-11
2.3  メモリ割り付けレジスタ.....	2-14
2.4  レジスタのデータ形式.....	2-15
2.5  メモリ上でのデータ形式.....	2-16
2.6  処理状態.....	2-17
2.7  使用上の注意事項.....	2-18
2.7.1  自己書き換えコードに対する注意事項.....	2-18
3. 命令セット.....	3-1
3.1  実行環境.....	3-1
3.2  アドレッシングモード.....	3-3
3.3  命令セット.....	3-6
3.4  使用上の注意事項.....	3-21
4. パイプライン動作.....	4-1
4.1  パイプライン.....	4-1
4.2  並列実行性.....	4-11
4.3  発行レートと実行ステート.....	4-14
5. 例外処理.....	5-1
5.1  概要.....	5-1
5.2  レジスタの説明.....	5-1
5.2.1  TRAPA 例外レジスタ (TRA).....	5-2
5.2.2  例外事象レジスタ (EXPEVT).....	5-3

5.2.3	割り込み事象レジスタ (INTEVT) .....	5-4
5.2.4	非サポート検出例外レジスタ (EXPMASK) .....	5-5
5.3	例外処理の機能 .....	5-7
5.3.1	例外処理の流れ .....	5-7
5.3.2	例外処理ベクタアドレス .....	5-7
5.4	例外の種類と優先順位 .....	5-8
5.5	例外フロー .....	5-9
5.5.1	例外フロー .....	5-9
5.5.2	例外要因の受け付け .....	5-10
5.5.3	例外要求と BL ビット .....	5-11
5.5.4	例外処理からの復帰 .....	5-11
5.6	各例外の説明 .....	5-12
5.6.1	リセット .....	5-12
5.6.2	一般例外 .....	5-13
5.6.3	割り込み .....	5-28
5.6.4	複数回の例外が発生する場合の優先順位 .....	5-30
5.7	使用上の注意事項 .....	5-31
6.	浮動小数点ユニット (FPU) .....	6-1
6.1	概要 .....	6-1
6.2	データフォーマット .....	6-2
6.2.1	浮動小数点フォーマット .....	6-2
6.2.2	非数 (NaN) .....	6-4
6.2.3	非正規化数 .....	6-5
6.3	レジスタの説明 .....	6-6
6.3.1	浮動小数点レジスタ .....	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR) .....	6-8
6.3.3	浮動小数点通信レジスタ (FPUL) .....	6-11
6.4	丸め .....	6-11
6.5	浮動小数点例外 .....	6-12
6.6	グラフィックサポート機能 .....	6-14
6.6.1	ジオメトリック演算命令 .....	6-14
6.6.2	ペア単精度データ転送 .....	6-15
7.	メモリマネジメントユニット (MMU) .....	7-1
7.1	概要 .....	7-2
7.1.1	アドレス空間 .....	7-4
7.2	レジスタの説明 .....	7-9
7.2.1	ページテーブルエントリ上位レジスタ (PTEH) .....	7-10
7.2.2	ページテーブルエントリ下位レジスタ (PTEL) .....	7-11
7.2.3	変換テーブルベースレジスタ (TTB) .....	7-12
7.2.4	TLB 例外アドレスレジスタ (TEA) .....	7-12
7.2.5	MMU 制御レジスタ (MMUCR) .....	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA) .....	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCR) .....	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR) .....	7-18
7.3	TLBの機能 (TLB互換モード) .....	7-20
7.3.1	共用 TLB (UTLB) の構成 .....	7-20

7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-27
7.4.3	アドレス変換方式	7-28
7.5	MMUの機能	7-30
7.5.1	MMU のハードウェア管理	7-30
7.5.2	MMU のソフトウェア管理	7-30
7.5.3	MMU の命令 (LDTLB)	7-30
7.5.4	ハードウェア ITLB ミスハンドリング	7-32
7.5.5	シノニム問題の回避	7-32
7.6	MMU例外	7-34
7.6.1	命令 TLB 多重ヒット例外	7-34
7.6.2	命令 TLB ミス例外	7-35
7.6.3	命令 TLB 保護違反例外	7-36
7.6.4	データ TLB 多重ヒット例外	7-37
7.6.5	データ TLB ミス例外	7-38
7.6.6	データ TLB 保護違反例外	7-39
7.6.7	初期ページ書き込み例外	7-40
7.7	メモリ割り付けTLBの構成	7-41
7.7.1	ITLB アドレスアレイ	7-42
7.7.2	ITLB データアレイ (TLB 互換モード)	7-43
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-44
7.7.4	UTLB アドレスアレイ	7-46
7.7.5	UTLB データアレイ (TLB 互換モード)	7-47
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-48
8.	キャッシュ	8-1
8.1	概要	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-7
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-8
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-9
8.3	オペランドキャッシュの動作説明	8-11
8.3.1	読み出し動作	8-11
8.3.2	プリフェッチ動作	8-12
8.3.3	書き込み動作	8-13
8.3.4	ライトバックバッファ	8-14
8.3.5	ライトスルーバッファ	8-14
8.3.6	OC 2 ウェイモード	8-14
8.4	命令キャッシュの動作説明	8-15
8.4.1	読み出し動作	8-15
8.4.2	プリフェッチ動作	8-15
8.4.3	IC 2 ウェイモード	8-16
8.4.4	命令キャッシュウェイ予測	8-16
8.5	キャッシュ操作命令	8-17

8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-17
8.5.2	プリフェッチ動作	8-18
8.6	メモリ割り付けキャッシュの構成	8-19
8.6.1	IC アドレスアレイ	8-19
8.6.2	IC データアレイ	8-20
8.6.3	OC アドレスアレイ	8-21
8.6.4	OC データアレイ	8-22
8.6.5	メモリ割り付け連想ライトの動作	8-23
8.7	ストアキュー	8-24
8.7.1	SQ の構成	8-24
8.7.2	SQ への書き込み	8-24
8.7.3	外部メモリへの転送	8-24
8.7.4	SQ アクセスの例外判定	8-25
8.7.5	SQ からの読み出し	8-26
9.	IL メモリ/OL メモリ	9-1
9.1	概要	9-1
9.2	レジスタの説明	9-3
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-4
9.2.2	OL メモリ転送元アドレスレジスタ 0 (LSA0)	9-5
9.2.3	OL メモリ転送元アドレスレジスタ 1 (LSA1)	9-6
9.2.4	OL メモリ転送先アドレスレジスタ 0 (LDA0)	9-7
9.2.5	OL メモリ転送先アドレスレジスタ 1 (LDA1)	9-8
9.3	動作説明	9-9
9.3.1	CPU からの命令フェッチアクセス	9-9
9.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス	9-9
9.3.3	SuperHyway バスマスタモジュールからのアクセス	9-9
9.3.4	OL メモリブロック転送	9-9
9.3.5	内蔵メモリの保護機能	9-11
9.4	使用上の注意事項	9-12
9.4.1	ページ競合	9-12
9.4.2	ページの切り替わり	9-12
9.4.3	IL メモリのコヒーレンシ	9-12
10.	動作モード	10-1
10.1	動作モードの種類	10-1
10.1.1	MCU 動作モード	10-1
10.1.2	オンボードプログラミングモード	10-1
10.2	レジスタの説明	10-3
10.2.1	モードコントローラレジスタ (MDCR)	10-3
11.	アドレス空間	11-1
12.	ROM	12-1
12.1	概要	12-1
12.2	入出力端子	12-5
12.3	レジスタの説明	12-6

12.3.1	フラッシュ端子モニタレジスタ (FPMON) .....	12-7
12.3.2	フラッシュアクセスステータスレジスタ (FASTAT) .....	12-8
12.3.3	ROM マット選択レジスタ (ROMMAT) .....	12-10
12.3.4	フラッシュステータスレジスタ 0 (FSTATR0) .....	12-11
12.3.5	フラッシュステータスレジスタ 1 (FSTATR1) .....	12-13
12.3.6	フラッシュ P/E モードエントリレジスタ (FENTRYR) .....	12-14
12.3.7	フラッシュプロテクトレジスタ (FPROTR) .....	12-16
12.3.8	フラッシュリセットレジスタ (FRESETR) .....	12-17
12.3.9	フラッシュ P/E ステータスレジスタ (FPESTAT) .....	12-18
12.4	ROM関連モード概要 .....	12-19
12.5	ブートモード .....	12-21
12.5.1	システム構成 .....	12-21
12.6	ユーザモード/ユーザブートモード .....	12-22
12.6.1	FCU コマンド一覧 .....	12-22
12.6.2	FCU コマンド受け付け条件 .....	12-23
12.6.3	FCU コマンド使用方法 .....	12-26
12.7	ユーザブートモード .....	12-34
12.7.1	ユーザマットとユーザブートマットの切り替え .....	12-34
12.7.2	ユーザマットのプログラミング方法 .....	12-35
12.8	プロテクト .....	12-36
12.8.1	ハードウェアプロテクト .....	12-36
12.8.2	ソフトウェアプロテクト .....	12-37
12.8.3	エラープロテクト .....	12-37
12.9	使用上の注意事項 .....	12-39
12.9.1	キーコード格納領域 .....	12-39
12.9.2	従来の F-ZTAT SH マイコンとの書き込み/消去プログラムの互換性 .....	12-39
12.9.3	FWE 端子の状態 .....	12-39
12.9.4	書き込み/消去中のリセット .....	12-39
12.9.5	追加書き込み禁止 .....	12-39
12.9.6	書き換え中の電源管理 .....	12-40
12.9.7	ROM 関連レジスタへのアクセス .....	12-40
13.	スーパーハイウェイ RAM (SHwyRAM) .....	13-1
13.1	概要 .....	13-1
14.	クロック発振器 (CPG) .....	14-1
14.1	概要 .....	14-1
14.2	入出力端子 .....	14-3
14.3	レジスタの説明 .....	14-4
14.3.1	発振ステータスレジスタ (OSCSR) .....	14-4
14.3.2	発振コントロールレジスタ (OSCCR) .....	14-5
14.4	クロックソース .....	14-6
14.4.1	水晶発振子の接続方法 .....	14-6
14.4.2	外部クロックの入力方法 .....	14-6
14.5	使用上の注意事項 .....	14-7
14.5.1	ボード設計上の注意事項 .....	14-7
14.5.2	PLL 過倍回路用電源接続時の注意事項 .....	14-7



15. 割り込みコントローラ (INTC) .....	15-1
15.1 概要 .....	15-1
15.1.1 INTC で想定する割り込み要求要因 .....	15-2
15.2 入出力端子 .....	15-10
15.3 レジスタの説明 .....	15-11
15.3.1 割り込みコントロールレジスタ 0 (ICR0) .....	15-13
15.3.2 割り込みコントロールレジスタ 1 (ICR1) .....	15-15
15.3.3 割り込み優先順位設定レジスタ (INTPRI) .....	15-16
15.3.4 割り込み要因レジスタ (INTREQ) .....	15-17
15.3.5 割り込みマスクレジスタ (INTMSK) .....	15-19
15.3.6 割り込みマスククリアレジスタ (INTMSKCLR) .....	15-20
15.3.7 NMI フラグコントロールレジスタ (NMIFCR) .....	15-21
15.3.8 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) .....	15-22
15.3.9 割り込み優先順位設定レジスタ 0~12 (INT2PRI0~INT2PRI12) .....	15-24
15.3.10 割り込み要因レジスタ 00 (INT2A00) (マスク状態の影響なし) .....	15-26
15.3.11 割り込み要因レジスタ 01 (INT2A01) (マスク状態の影響なし) .....	15-28
15.3.12 割り込み要因レジスタ 10 (INT2A10) (マスク状態の影響あり) .....	15-30
15.3.13 割り込み要因レジスタ 11 (INT2A11) (マスク状態の影響あり) .....	15-32
15.3.14 割り込みマスクレジスタ 0 (INT2MSKR) .....	15-34
15.3.15 割り込みマスクレジスタ 1 (INT2MSKR1) .....	15-36
15.3.16 割り込みマスククリアレジスタ 0 (INT2MSKCR) .....	15-38
15.3.17 割り込みマスククリアレジスタ 1 (INT2MSKCR1) .....	15-40
15.3.18 モジュール別割り込み要因レジスタ 0~12 (INT2B0~12) .....	15-42
15.4 動作説明 .....	15-56
15.4.1 割り込み要因と優先順位 .....	15-56
15.4.2 一般割り込み動作の流れ .....	15-59
15.4.3 NMI 割り込み動作の流れ .....	15-65
15.5 割り込み応答時間 .....	15-67
15.6 初期設定手順例 .....	15-68
15.7 使用上の注意事項 .....	15-69
15.7.1 IRQ 端子機能設定時の注意事項 .....	15-69
15.7.2 レベル検出設定時の IRQ 割り込み要求のクリア方法 .....	15-69
15.7.3 エッジ検出設定時の IRQ 割り込み要求のクリア方法 .....	15-70
16. リセット .....	16-1
16.1 リセット動作 .....	16-1
16.2 入出力端子 .....	16-1
16.3 動作説明 .....	16-2
16.3.1 リセット要求 .....	16-2
16.3.2 RESET#端子によるリセット .....	16-2
16.4 使用上の注意事項 .....	16-4
16.4.1 内部要因リセット時の入出力端子動作についての注意 .....	16-4
17. ウォッチドッグタイマ (WDT) .....	17-1
17.1 概要 .....	17-1
17.2 入出力端子 .....	17-2
17.3 レジスタの説明 .....	17-3

17.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST) .....	17-3
17.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR) .....	17-4
17.3.3	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST) .....	17-6
17.3.4	ウォッチドッグタイマカウンタ (WDTCNT) .....	17-7
17.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT) .....	17-8
17.4	動作説明 .....	17-9
17.4.1	ウォッチドッグタイマモードの使用法.....	17-9
17.4.2	インターバルタイマモードの使用法.....	17-9
17.4.3	WDT オーバフロー発生までの時間 .....	17-9
17.4.4	WDT カウンタのクリア方法 .....	17-11
17.4.5	WDT オーバフローによるリセット .....	17-11
18.	I/Oポートとピンファンクションユニット .....	18-1
18.1	概要 .....	18-1
18.2	マルチプレクス端子機能 .....	18-2
18.3	レジスタの説明 .....	18-9
18.3.1	ポート A~H、J~L データレジスタ (PADR~PHDR、PJDR~PLDR) .....	18-12
18.3.2	ポート A~H、J~N ポートレジスタ (PAPR~PHPR、PJPR~PNPR) .....	18-15
18.3.3	ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) .....	18-18
18.3.4	ポート ABC 入力しきい値切替レジスタ (PALVR) .....	18-21
18.3.5	ポート DEF 入力しきい値切替レジスタ (PDLVR) .....	18-23
18.3.6	ポート GHJ 入力しきい値切替レジスタ (PGLVR) .....	18-25
18.3.7	ポート KL 入力しきい値切替レジスタ (PKLVR) .....	18-27
18.3.8	ポート A~H、J~L・IO レジスタ (PAIOR~PHIOR、PJIOR~PLIOR) .....	18-29
18.3.9	ポート A コントロールレジスタ 1~4 (PACR1~PACR4) .....	18-32
18.3.10	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2) .....	18-37
18.3.11	ポート C コントロールレジスタ 1~4 (PCCR1~PCCR4) .....	18-39
18.3.12	ポート D コントロールレジスタ 1~4 (PDCR1~PDCR4) .....	18-43
18.3.13	ポート E コントロールレジスタ 3、4 (PECR3、PECR4) .....	18-47
18.3.14	ポート F コントロールレジスタ 1、2 (PFCR1、PFCR2) .....	18-48
18.3.15	ポート G コントロールレジスタ 1、2 (PGCR1、PGCR2) .....	18-50
18.3.16	ポート H コントロールレジスタ 1~4 (PHCR1~PHCR4) .....	18-52
18.3.17	ポート J コントロールレジスタ 1~4 (PJCR1~PJCR4) .....	18-58
18.3.18	ポート K コントロールレジスタ 1~4 (PKCR1~PKCR4) .....	18-64
18.3.19	ポート L コントロールレジスタ 1~3 (PLCR1~PLCR3) .....	18-68
18.3.20	ポート M コントロールレジスタ 1~4 (PMCR1~PMCR4) .....	18-71
18.3.21	ポート N コントロールレジスタ 1、2 (PNCR1、PNCR2) .....	18-76
18.3.22	ポート DRI 入力チャネル切替レジスタ (PDRIR) .....	18-78
18.4	I/Oポートの初期設定順序例 .....	18-79
18.5	ポート周辺回路 .....	18-80
18.6	使用上の注意事項 .....	18-86
18.6.1	ポート入力禁止機能について .....	18-86
18.6.2	汎用ポートに設定時の周辺機能入力について.....	18-86
18.6.3	I/Oポートの初期設定について .....	18-86

19. バスステートコントローラ (BSC) .....	19-1
20. ダイレクトメモリアクセスコントローラ (DMAC) .....	20-1
20.1 概要 .....	20-1
20.2 入出力端子 .....	20-3
20.3 レジスタの説明 .....	20-4
20.3.1 DMAi ソースアドレスレジスタ (DMiSAR) .....	20-7
20.3.2 DMAj ソースアドレスレジスタ B (DMjSARB) .....	20-8
20.3.3 DMAi デスティネーションアドレスレジスタ (DMiDAR) .....	20-9
20.3.4 DMAj デスティネーションアドレスレジスタ B (DMjDARB) .....	20-10
20.3.5 DMAi トランスファカウンタレジスタ (DMiTCR) .....	20-11
20.3.6 DMAj トランスファカウンタレジスタ B (DMjTCRB) .....	20-12
20.3.7 DMAi チャンネルコントロールレジスタ (DMiCHCR) .....	20-13
20.3.8 DMA05、DMA611 オペレーションレジスタ (DM05OR、DM611OR) .....	20-19
20.3.9 DMA01~DMA1011 拡張リソースセレクトレジスタ (DM01ARS~DM1011ARS) .....	20-22
20.4 動作説明 .....	20-27
20.4.1 DMA 転送要求要因 .....	20-27
20.4.2 DMA 転送モード .....	20-29
20.4.3 DMA 転送開始条件、DMA 転送終了条件 .....	20-31
20.4.4 モジュール内のチャンネルの優先順位 .....	20-32
20.4.5 同一 DMAC モジュール内の複数チャンネルの動作例 .....	20-35
20.4.6 DMAC モジュール間の優先順位 .....	20-36
20.4.7 リピート機能 .....	20-36
20.4.8 リロード機能 .....	20-39
20.5 使用上の注意事項 .....	20-41
20.5.1 アドレスエラーについて .....	20-41
20.5.2 DMAC への DMA 転送禁止 .....	20-41
20.5.3 NMI 割り込みについて .....	20-41
20.5.4 DMA 動作中のレジスタアクセスについての注意 .....	20-41
21. アドバンスドタイマユニット-IIIS (ATU-IIIS) .....	21-1
21.1 概要 .....	21-1
21.2 ブロック図 .....	21-3
21.3 入出力端子 .....	21-6
21.4 レジスタの説明 .....	21-7
21.5 共通制御部の概要 .....	21-19
21.5.1 クロックバス .....	21-19
21.6 共通制御部のレジスタの説明 .....	21-20
21.6.1 ATU-IIIS マスタイネーブルレジスタ (ATUENR) .....	21-20
21.6.2 ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) .....	21-22
21.6.3 ATU-IIIS ノイズキャンセルモードレジスタ (ATNCMR) .....	21-23
21.6.4 ATU-IIIS インタラプトセレクトレジスタ Ai (ATISRAi) .....	21-26
21.6.5 ATU-IIIS インタラプトセレクトレジスタ F (ATISRF) .....	21-27
21.6.6 ATU-IIIS インタラプトセレクトレジスタ G (ATISRG) .....	21-28
21.6.7 ATU-IIIS インタラプトセレクトレジスタ T0U0~4 (ATISRT0~4) .....	21-29
21.7 プリスケーラの概要 .....	21-30
21.8 プリスケーラのレジスタの説明 .....	21-31

21.8.1	ATU-IIIS プリスケアラレジスタ 0~3 (ATPSCR0~3)	21-31
21.9	プリスケアラの動作説明	21-32
21.9.1	動作の開始	21-32
21.9.2	動作の停止と再開	21-32
21.10	タイマAの概要	21-33
21.10.1	ブロック図	21-34
21.11	タイマAのレジスタの説明	21-35
21.11.1	TAi コントロールレジスタ (TAiCR)	21-35
21.11.2	TAi/O コントロールレジスタ 1 (TAiO1)	21-36
21.11.3	TAi/O コントロールレジスタ 2 (TAiO2)	21-37
21.11.4	TAi ステータスレジスタ (TAiSR)	21-39
21.11.5	TAi インタラプトイネーブルレジスタ (TAiIER)	21-41
21.11.6	TAik インプットキャプチャレジスタ (TAikICR)	21-42
21.11.7	TAi フリーランニングカウンタ (TAiTCNT)	21-43
21.11.8	TAik ノイズキャンセルカウンタ (TAikNCNT)	21-44
21.11.9	TAik ノイズキャンセルレジスタ (TAikNCR)	21-46
21.12	タイマAの動作説明	21-47
21.12.1	ノイズキャンセル動作	21-47
21.12.2	フリーランニング動作	21-49
21.12.3	インプットキャプチャ動作	21-50
21.12.4	DMA 転送	21-50
21.13	タイマFの概要	21-51
21.13.1	ブロック図	21-52
21.13.2	割り込み	21-53
21.14	タイマFのレジスタの説明	21-54
21.14.1	TF スタートレジスタ (TFSTR)	21-54
21.14.2	TF ノイズキャンセラコントロールレジスタ (TFNCCR)	21-55
21.14.3	TFj コントロールレジスタ (TFjCR)	21-57
21.14.4	TFj インタラプトイネーブルレジスタ (TFjIER)	21-60
21.14.5	TFj ステータスレジスタ (TFjSR)	21-61
21.14.6	TFj 時間計測カウンタ A (TFjECNTA)	21-63
21.14.7	TFj イベントカウンタ (TFjECNTB)	21-64
21.14.8	TFj 時間計測カウンタ C (TFjECNTC)	21-65
21.14.9	TFj 汎用レジスタ A (TFjGRA)	21-66
21.14.10	TFj 汎用レジスタ B (TFjGRB)	21-67
21.14.11	TFj 汎用レジスタ C (TFjGRC)	21-68
21.14.12	TFj 汎用レジスタ D (TFjGRD)	21-69
21.14.13	TFj キャプチャ出力レジスタ (TFjCDR)	21-70
21.14.14	TFj ノイズキャンセルカウンタ A (TFjNCNTA)	21-71
21.14.15	TFj ノイズキャンセルカウンタ B (TFjNCNTB)	21-72
21.14.16	TFj ノイズキャンセルレジスタ A (TFjNCRA)	21-74
21.14.17	TFj ノイズキャンセルレジスタ B (TFjNCRB)	21-75
21.15	タイマFの動作説明	21-76
21.15.1	一定時間内エッジカウント	21-76
21.15.2	有効エッジ入力間隔計測	21-78
21.15.3	入力"H"レベル/"L"レベル期間計測	21-79
21.15.4	PWM 入力波形計測	21-81
21.15.5	回転速度/パルス計測	21-83

21.15.6	アップ/ダウンイベントカウント .....	21-85
21.15.7	4 逡倍イベントカウント .....	21-86
21.15.8	オーバフロー/アンダフロー .....	21-88
21.16	タイマGの概要 .....	21-89
21.16.1	ブロック図 .....	21-89
21.16.2	割り込み .....	21-89
21.17	タイマGのレジスタの説明 .....	21-90
21.17.1	TG スタートレジスタ (TGSTR) .....	21-90
21.17.2	TGk コントロールレジスタ (TGkCR) .....	21-91
21.17.3	TGk ステータスレジスタ (TGkSR) .....	21-92
21.17.4	TGk カウンタ (TGkCNT) .....	21-94
21.17.5	TGk コンペアマッチレジスタ (TGkOCR) .....	21-95
21.18	タイマGの動作説明 .....	21-96
21.19	タイマTOUの概要 .....	21-97
21.19.1	ブロック図 .....	21-98
21.19.2	タイマ TOU 各モードの概要 .....	21-99
21.20	タイマTOUのレジスタの説明 .....	21-102
21.20.1	TOUn コントロールレジスタ (TOUnCR) .....	21-102
21.20.2	TOUn タイマインタラプトイネーブルレジスタ (TOUnIER) .....	21-103
21.20.3	TOUn 出力コントロールレジスタ (TOUnOUCR) .....	21-104
21.20.4	TOUn ステータスレジスタ (TOUnSR) .....	21-105
21.20.5	TOUn カウントイネーブルプロテクトレジスタ (TOUnCEPR) .....	21-106
21.20.6	TOUn カウントイネーブルレジスタ (TOUnCENR) .....	21-107
21.20.7	TOUn 短絡防止機能用フリップフロップ出力プロテクトレジスタ (TOUnSHFFPR) .....	21-109
21.20.8	TOUn 短絡防止機能用フリップフロップ出力データレジスタ (TOUnSHFFDR) .....	21-110
21.20.9	TOUn フリップフロップ出力プロテクトレジスタ (TOUnFFPR) .....	21-111
21.20.10	TOUn フリップフロップ出力データレジスタ (TOUnFFDR) .....	21-112
21.20.11	TOUn ノイズキャンセラコントロールレジスタ (TOUnNCCR) .....	21-113
21.20.12	TOUn ノイズキャンセルカウンタ (TOUnNCNT) .....	21-115
21.20.13	TOUn ノイズキャンセルレジスタ (TOUnNCR) .....	21-117
21.20.14	TOUnPWMOFF 入力処理レジスタ (TOUnPOCR) .....	21-118
21.20.15	TOUnPWMOFF 機能許可レジスタ (TOUnPOER) .....	21-119
21.20.16	TOUnPWM 出力禁止制御レジスタ (TOUnPODISCR) .....	21-120
21.20.17	TOUnPWM 出力禁止レベル制御レジスタ (TOUnPOLVCR) .....	21-121
21.20.18	TOUnm モードコントロールレジスタ (TOUnmMCR) .....	21-123
21.20.19	TOUnm カウンタ (TOUnmCNT) .....	21-126
21.20.20	TOUnm リロードレジスタ (TOUnmRLD) .....	21-132
21.21	タイマTOUの動作説明 .....	21-138
21.21.1	PWM 出力モードの動作説明 .....	21-138
21.21.2	ワンショット PWM 出力モードの動作説明 .....	21-143
21.21.3	ワンショット出力モードの動作説明 .....	21-146
21.21.4	連続出力モードの動作説明 .....	21-148
21.21.5	PWM 出力/ワンショット PWM 出力モード時のデューティ 0%、100%出力 .....	21-150
21.21.6	各モードにおける F/F 出力 .....	21-157
21.21.7	PWM 出力禁止機能 .....	21-160
21.21.8	短絡防止機能 .....	21-162

22. タイマユニット (TMU)	22-1
22.1 概要	22-1
22.2 レジスタの説明	22-3
22.2.1 TM スタートレジスタ (TMSTR)	22-4
22.2.2 TMn コンスタントレジスタ (TMnCOR)	22-5
22.2.3 TMn カウンタ (TMnCNT)	22-6
22.2.4 TMn コントロールレジスタ (TMnCR)	22-7
22.3 動作説明	22-9
22.3.1 カウンタの動作	22-9
22.4 割り込み	22-11
22.5 使用上の注意事項	22-11
22.5.1 レジスタの書き込みについて	22-11
22.5.2 TMnCNT カウンタの読み出しについて	22-11
23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	23-1
23.1 概要	23-1
23.2 入出力端子	23-3
23.3 レジスタの説明	23-4
23.3.1 SCi 受信シフトレジスタ (SCiRSR)	23-6
23.3.2 SCi 受信 FIFO データレジスタ (SCiFRDR)	23-6
23.3.3 SCi 送信シフトレジスタ (SCiTSR)	23-7
23.3.4 SCi 送信 FIFO データレジスタ (SCiFTDR)	23-7
23.3.5 SCi シリアルモードレジスタ (SCiSMR)	23-8
23.3.6 SCi シリアルコントロールレジスタ (SCiSCR)	23-11
23.3.7 SCi シリアルステータスレジスタ (SCiFSR)	23-15
23.3.8 SCi ビットレートレジスタ (SCiBRR)	23-21
23.3.9 SCiFIFO コントロールレジスタ (SCiFCR)	23-26
23.3.10 SCiFIFO データカウントセットレジスタ (SCiFDR)	23-29
23.3.11 SCi シリアルポートレジスタ (SCiSPTR)	23-30
23.3.12 SCi ラインステータスレジスタ (SCiLSR)	23-32
23.3.13 SCi シリアル拡張モードレジスタ (SCiEMR)	23-33
23.4 動作説明	23-34
23.4.1 概要	23-34
23.4.2 調歩同期式モード時の動作	23-36
23.4.3 クロック同期式モード時の動作	23-44
23.5 SCiFiの割り込み要因とDMAC	23-51
23.6 使用上の注意事項	23-52
23.6.1 SCiFTDR レジスタへの書き込みと TDFE フラグ	23-52
23.6.2 SCiFRDR レジスタの読み出しと RDF フラグ	23-52
23.6.3 ブレークの検出と処理	23-52
23.6.4 ブレークの送り出し	23-52
23.6.5 調歩同期式モードの受信データサンプリングタイミング	23-53
24. ルネサスシリアルペリフェラルインタフェース (RSPI)	24-1
24.1 概要	24-1
24.2 入出力端子	24-4
24.3 レジスタの説明	24-5

24.3.1	RSPIi 制御レジスタ (SPiCR)	24-7
24.3.2	RSPIi スレーブセレクト極性レジスタ (SPiSSLP)	24-9
24.3.3	RSPIi 端子制御レジスタ (SPiPCR)	24-10
24.3.4	RSPIi ステータスレジスタ (SPiSR)	24-12
24.3.5	RSPIi データレジスタ (SPiDR)	24-15
24.3.6	RSPIi シーケンス制御レジスタ (SPiSCR)	24-16
24.3.7	RSPIi シーケンスステータスレジスタ (SPiSSR)	24-17
24.3.8	RSPIi ビットレートレジスタ (SPiBR)	24-18
24.3.9	RSPIi データコントロールレジスタ (SPiDCR)	24-19
24.3.10	RSPIi クロック遅延レジスタ (SPiCKD)	24-22
24.3.11	RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND)	24-23
24.3.12	RSPIi 次アクセス遅延レジスタ (SPiIND)	24-24
24.3.13	RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3)	24-25
24.4	動作説明	24-30
24.4.1	RSPIi 動作の概要	24-30
24.4.2	RSPIi 端子の制御	24-32
24.4.3	RSPI システム構成例	24-33
24.4.4	転送フォーマット	24-39
24.4.5	データフォーマット	24-41
24.4.6	送信バッファエンプティ/受信バッファフルフラグ	24-45
24.4.7	エラー検出	24-46
24.4.8	RSPI の初期化	24-50
24.4.9	SPI 動作	24-51
24.4.10	クロック同期式動作	24-62
24.4.11	エラー処理	24-69
24.4.12	ループバックモード	24-70
24.4.13	割り込み要因	24-71
24.4.14	DMA 転送要因	24-71
25.	I <sup>2</sup> C バスインタフェース 3 (IIC3)	25-1
25.1	概要	25-1
25.2	入出力端子	25-3
25.3	レジスタの説明	25-4
25.3.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1)	25-4
25.3.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2)	25-7
25.3.3	I <sup>2</sup> C バスモードレジスタ (ICMR)	25-8
25.3.4	I <sup>2</sup> C バスインタラプトイネーブルレジスタ (ICIER)	25-10
25.3.5	I <sup>2</sup> C バスステータスレジスタ (ICSR)	25-12
25.3.6	I <sup>2</sup> C バススレーブアドレスレジスタ (ICSAR)	25-14
25.3.7	I <sup>2</sup> C バス送信データレジスタ (ICDRT)	25-15
25.3.8	I <sup>2</sup> C バス受信データレジスタ (ICDRR)	25-15
25.3.9	I <sup>2</sup> C バスシフトレジスタ (ICDRS)	25-16
25.3.10	I <sup>2</sup> C バス NF2CYC レジスタ (ICNF2CYC)	25-16
25.4	動作説明	25-17
25.4.1	I <sup>2</sup> C バスフォーマット	25-17
25.4.2	マスタ送信動作	25-18
25.4.3	マスタ受信動作	25-20
25.4.4	スレーブ送信動作	25-22

25.4.5	スレーブ受信動作	25-25
25.4.6	クロック同期式シリアルフォーマット	25-26
25.4.7	ノイズ除去回路	25-29
25.4.8	IICRST ビットによる I <sup>2</sup> C バスインタフェース 3 のリセット	25-30
25.4.9	使用例	25-31
25.5	割り込み要求	25-35
25.6	DMA転送要求	25-35
25.7	ビット同期回路	25-36
25.8	使用上の注意事項	25-38
25.8.1	マルチマスタで使用時の注意	25-38
25.8.2	マスタ受信モード時の注意	25-38
25.8.3	マスタ受信モード、ACKBT 設定時の注意	25-38
25.8.4	アービトレーションロスト時の MST と TRN ビット状態についての注意	25-38
25.8.5	DMA 転送要求設定時の注意	25-38
25.8.6	I <sup>2</sup> C バスのプルアップ電圧の注意	25-38
25.8.7	I <sup>2</sup> C バス動作中における ICE ビットおよび IICRST ビットのアクセス	25-39
25.8.8	IICRST ビットによるレジスタ初期化	25-39
25.8.9	ICE="0"における I <sup>2</sup> C バスインタフェース 3 の動作	25-39
25.8.10	I <sup>2</sup> C バスインタフェースモードのマスタ受信モード時の注意	25-40
25.8.11	マスタ送信モードで停止条件発行時の注意	25-40

26. CAN モジュール	26-1
26.1 概要	26-1
26.2 入出力端子	26-4
26.3 レジスタの説明	26-5
26.3.1 CAN <sub>i</sub> 制御レジスタ (CiCTRL) (i=0~3)	26-10
26.3.2 CAN <sub>i</sub> クロック選択レジスタ (CiCLKR) (i=0~3)	26-16
26.3.3 CAN <sub>i</sub> ビットコンフィグレーションレジスタ (CiBCR) (i=0~3)	26-17
26.3.4 CAN <sub>i</sub> マスクレジスタ k (CiMKRk) (i=0~3, k=0~9)	26-20
26.3.5 CAN <sub>i</sub> FIFO 受信 ID 比較レジスタ (CiFIDCR0, CiFIDCR1) (i=0~3)	26-21
26.3.6 CAN <sub>i</sub> マスク無効レジスタ (CiMKIVLR0, CiMKIVLR1) (i=0~3)	26-23
26.3.7 CAN <sub>i</sub> メールボックスレジスタ j (CiMBj) (i=0~3, j=0~63)	26-24
26.3.8 CAN <sub>i</sub> メールボックス割り込み許可レジスタ (CiMIER0, CiMIER1) (i=0~3)	26-30
26.3.9 CAN <sub>i</sub> メッセージ制御レジスタ j (CiMCTLj) (i=0~3, j=0~63)	26-33
26.3.10 CAN <sub>i</sub> 受信 FIFO 制御レジスタ (CiRFCR) (i=0~3)	26-39
26.3.11 CAN <sub>i</sub> 受信 FIFO ポインタ制御レジスタ (CiRFPCR) (i=0~3)	26-43
26.3.12 CAN <sub>i</sub> 送信 FIFO 制御レジスタ (CiTFCR) (i=0~3)	26-44
26.3.13 CAN <sub>i</sub> 送信 FIFO ポインタ制御レジスタ (CiTFPCR) (i=0~3)	26-47
26.3.14 CAN <sub>i</sub> ステータスレジスタ (CiSTR) (i=0~3)	26-48
26.3.15 CAN <sub>i</sub> メールボックスサーチモードレジスタ (CiMSMR) (i=0~3)	26-51
26.3.16 CAN <sub>i</sub> メールボックスサーチステータスレジスタ (CiMSSR) (i=0~3)	26-52
26.3.17 CAN <sub>i</sub> チャンネルサーチサポートレジスタ (CiCSSR) (i=0~3)	26-54
26.3.18 CAN <sub>i</sub> アクセプタンスフィルタサポートレジスタ (CiAFSR) (i=0~3)	26-55
26.3.19 CAN <sub>i</sub> エラー割り込み許可レジスタ (CiEIER) (i=0~3)	26-56
26.3.20 CAN <sub>i</sub> エラー割り込み要因判定レジスタ (CiEIFR) (i=0~3)	26-58
26.3.21 CAN <sub>i</sub> 受信エラーカウントレジスタ (CiRECR) (i=0~3)	26-62
26.3.22 CAN <sub>i</sub> 送信エラーカウントレジスタ (CiTECR) (i=0~3)	26-62
26.3.23 CAN <sub>i</sub> エラーコード格納レジスタ (CiECSR) (i=0~3)	26-63



26.3.24	CANi タイムスタンプレジスタ (CiTSR) (i=0~3) .....	26-65
26.3.25	CANi テスト制御レジスタ (CiTCR) (i=0~3) .....	26-66
26.3.26	CANi 割り込みステータスレジスタ (CiISR) (i=0~3) .....	26-69
26.3.27	CANi 割り込み許可レジスタ (CiIER) (i=0~3) .....	26-71
26.3.28	CANi メールボックスサーチマスクレジスタ (CiMBSMR) (i=0~3) .....	26-73
26.4	動作モード .....	26-74
26.4.1	CAN リセットモード .....	26-75
26.4.2	CAN Halt モード .....	26-76
26.4.3	CAN スリープモード .....	26-77
26.4.4	CAN オペレーションモード (バスオフ状態以外) .....	26-77
26.4.5	CAN オペレーションモード (バスオフ状態) .....	26-78
26.5	CAN通信速度の設定 .....	26-79
26.5.1	CAN クロックの設定 .....	26-79
26.5.2	ビットタイミングの設定 .....	26-79
26.5.3	ビットレート .....	26-80
26.6	メールボックスとマスクレジスタの構成 .....	26-81
26.7	アクセプタンスフィルタ機能とマスク機能 .....	26-82
26.8	受信、送信 .....	26-85
26.8.1	受信 .....	26-86
26.8.2	送信 .....	26-88
26.9	CAN割り込み .....	26-89
<b>27. A/D 変換器 (ADC)</b> .....	<b>27-1</b>	
27.1	概要 .....	27-1
27.2	入出力端子 .....	27-4
27.3	チャンネル別割り当て機能一覧表 .....	27-5
27.4	レジスタの説明 .....	27-6
27.4.1	A/D0 データレジスタ m、DIAG0 (AD0DRm、AD0DRD) A/D1 データレジスタ n、DIAG1 (AD1DRn、AD1DRD) .....	27-8
27.4.2	A/Di コントロールレジスタ (ADiCSR) .....	27-13
27.4.3	A/Di コントロール拡張レジスタ (ADiCER) .....	27-16
27.4.4	A/Di チャンネル選択レジスタ (ADiANS) .....	27-18
27.4.5	A/Di 変換ステータスレジスタ (ADiREF) .....	27-20
27.4.6	A/Di 変換値加算モード選択レジスタ (ADiADS) .....	27-22
27.4.7	A/Di 変換値加算回数選択レジスタ (ADiADC) .....	27-25
27.4.8	A/Di 割り込みトリガインエーブルレジスタ (ADiTRE) .....	27-26
27.4.9	A/Di 割り込みトリガソース選択レジスタ (ADiTRS) .....	27-28
27.4.10	A/Di 割り込みソフトトリガレジスタ (ADiSTRG) .....	27-30
27.4.11	A/Di 割り込みトリガ処理終了フラグレジスタ (ADiTRF) .....	27-32
27.4.12	A/Di 割り込みトリガ処理終了割り込みインエーブルレジスタ (ADiTRD) .....	27-35
27.4.13	CPU とのインタフェース .....	27-36
27.5	動作説明 .....	27-37
27.5.1	スキャン変換動作 .....	27-37
27.5.2	1 サイクルスキャンモード .....	27-37
27.5.3	連続スキャンモード .....	27-39
27.5.4	割り込み変換 .....	27-41
27.5.5	割り込み変換の動作例 .....	27-42
27.5.6	スキャン変換中の割り込み変換 .....	27-44

27.5.7	アナログ入力のサンプリングとスキャン変換時間.....	27-46
27.5.8	外部トリガによるスキャン変換の起動.....	27-48
27.5.9	ATU-IIIS のタイマトリガによるスキャン変換の起動.....	27-49
27.5.10	AD0END 端子によるモニタ機能.....	27-50
27.6	割り込み要因とDMA転送要求.....	27-51
27.6.1	スキャン変換終了時の割り込み要求.....	27-51
27.6.2	割り込み変換終了時の割り込み要求.....	27-51
27.7	A/D変換精度の定義.....	27-52
27.8	使用上の注意事項.....	27-53
27.8.1	アナログ入力電圧の範囲.....	27-53
27.8.2	AVcc、AVss と Vcc、Vss の関係.....	27-53
27.8.3	AVREFH、AVREFL 端子の設定範囲.....	27-53
27.8.4	ボード設計上の注意事項.....	27-53
27.8.5	ノイズ対策上の注意事項.....	27-54
27.8.6	アナログ入力端子をデジタル入力として使用する場合の注意事項.....	27-54

28. ダイレクトRAM インプットインタフェース (DRI) .....	28-1
28.1 概要.....	28-1
28.2 入出力端子.....	28-4
28.3 レジスタの説明.....	28-5
28.3.1 DRIiDIN 割り込み要求ステータスレジスタ (DRIiDINIST) .....	28-12
28.3.2 DRIiDIN 割り込み要求許可レジスタ (DRIiDINIEN) .....	28-13
28.3.3 DRI0DIN DMA 転送要求ステータスレジスタ (DRI0DINDST) .....	28-14
28.3.4 DRI0DIN DMA 転送許可レジスタ (DRI0DINDEN) .....	28-16
28.3.5 DRIiDEC 割り込み要求ステータスレジスタ (DRIiDECIST) .....	28-17
28.3.6 DRIiDEC 割り込み要求許可レジスタ (DRIiDECIEN) .....	28-18
28.3.7 DRI0DEC DMA 転送要求ステータスレジスタ (DRI0DECDST) .....	28-19
28.3.8 DRI0DEC DMA 転送許可レジスタ (DRI0DEC DEN) .....	28-21
28.3.9 DRIi 転送割り込み要求ステータスレジスタ (DRIiTRMIST) .....	28-22
28.3.10 DRIi 転送割り込み要求許可レジスタ (DRIiTRMIEN) .....	28-24
28.3.11 DRI0DMA 転送要求ステータスレジスタ (DRI0TRMDST) .....	28-25
28.3.12 DRI0DMA 転送許可レジスタ (DRI0TRMDEN) .....	28-27
28.3.13 DRIi 転送制御レジスタ (DRIiTRMCNT) .....	28-28
28.3.14 DRIi 特殊モードレジスタ (DRIiSPMOD) .....	28-32
28.3.15 DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) .....	28-36
28.3.16 DRIi データ間引き制御レジスタ (DRIiDSELCNT) .....	28-40
28.3.17 DRIi データ間引きイベント選択レジスタ (DRIiDEVTCNT) .....	28-41
28.3.18 DRIiDIN 入力イベント選択レジスタ (DRIiDINSEL) .....	28-42
28.3.19 DRIiDD 入力許可レジスタ (DRIiDDEN) .....	28-43
28.3.20 DRIi データ取り込みイベント数設定レジスタ (DRIiDCAPNUM) .....	28-44
28.3.21 DRIi 取り込みイベントカウンタ (DRIiDCAPCT) .....	28-45
28.3.22 DRIi 転送カウンタ (DRIiTRMCT) .....	28-46
28.3.23 DRIi アドレスリロードレジスタ 0、1 (DRIiADR0RLD、DRIiADR1RLD) .....	28-47
28.3.24 DRIi アドレスカウンタ 0、1 (DRIiADR0CT、DRIiADR1CT) .....	28-48
28.3.25 DRIi 入力処理制御レジスタ (DRIiDINCNT) .....	28-49
28.3.26 DRIiDEC0 制御レジスタ (DRIiDEC0CNT) .....	28-51
28.3.27 DRIiDEC1 制御レジスタ (DRIiDEC1CNT) .....	28-52
28.3.28 DRIiDEC2 制御レジスタ (DRIiDEC2CNT) .....	28-54

28.3.29	DRIiDEC3 制御レジスタ (DRIiDEC3CNT) .....	28-55
28.3.30	DRIiDEC4 制御レジスタ (DRIiDEC4CNT) .....	28-57
28.3.31	DRIiDEC5 制御レジスタ (DRIiDEC5CNT) .....	28-58
28.3.32	DRIiDEC0~DRIiDEC5 リロードレジスタ (DRIiDEC0RLD~DRIiDEC5RLD) .....	28-60
28.3.33	DRIiDEC0~DRIiDEC5 カウンタ (DRIiDEC0CT~DRIiDEC5CT) .....	28-62
28.4	動作説明 .....	28-64
28.4.1	DRI 初期設定フロー .....	28-64
28.4.2	イベントカウンタ (DEC) 動作モード.....	28-65
28.5	各DECの接続構成図 .....	28-67
28.6	DRI端子とDRIモジュール端子との対応.....	28-68
28.7	DRI特殊モードについて .....	28-69
28.8	使用上の注意事項 .....	28-70
28.8.1	DRI 使用前のモジュールストップ機能の設定について .....	28-70
28.8.2	DRO/DRI と SuperHyway バスマスタの競合について .....	28-70
28.8.3	特殊モード使用時の取り込みイベント数について.....	28-70
28.8.4	動作中の書き換え禁止レジスタについて.....	28-71
29.	ダイレクト RAM アウトプットインタフェース (DRO) .....	29-1
29.1	概要 .....	29-1
29.2	入出力端子 .....	29-2
29.3	レジスタの説明 .....	29-3
29.3.1	DRO 割り込み要求ステータスレジスタ (DROIST) .....	29-4
29.3.2	DRO 割り込み要求許可レジスタ (DROIEN) .....	29-5
29.3.3	DRO 動作モードレジスタ (DROMOD) .....	29-6
29.3.4	DRO 出力制御レジスタ (DROCNT) .....	29-9
29.3.5	DRO 出力データ数カウンタ (DRODCT) .....	29-10
29.3.6	DRO アドレスカウンタ (DROADRCT) .....	29-11
29.4	初期設定例 .....	29-12
29.4.1	DRO 初期設定例.....	29-12
29.4.2	出力データフォーマット .....	29-13
29.5	使用上の注意事項 .....	29-15
29.5.1	DRO 使用前のモジュールストップ機能の設定について .....	29-15
29.5.2	DRO/DRI と SuperHyway バスマスタの競合について .....	29-15
30.	パラレル DAC 制御 (PDAC) .....	30-1
30.1	概要 .....	30-1
30.2	ブロック図 .....	30-2
30.3	入出力端子 .....	30-3
30.4	レジスタの説明 .....	30-4
30.4.1	PDAC 強制停止レジスタ (PDISTOP) .....	30-6
30.4.2	PDAC 基本分解能設定レジスタ (PDIPRE) .....	30-7
30.4.3	PDAC 制御周期イベント選択レジスタ (PDICPT) .....	30-8
30.4.4	PDAC ステータスレジスタ (PDISTATUS) .....	30-9
30.4.5	PDAC ステータスレジスタ A (PDISTAA) .....	30-10
30.4.6	PDAC ステータスレジスタ B (PDISTAB) .....	30-10
30.4.7	PDAC ステータスレジスタ C (PDISTAC) .....	30-11
30.4.8	PDAC 割り込み制御レジスタ (PDIINT) .....	30-11
30.4.9	PDAC 書き込み信号期間調整レジスタ (PDIWRC) .....	30-12

30.4.10	PDAC 待ち時間制御レジスタ (PDIWTEN) .....	30-14
30.4.11	PDAC 出力イベント選択 A レジスタ (PDISELA) .....	30-16
30.4.12	PDAC 出力イベント選択 B レジスタ (PDISELB) .....	30-17
30.4.13	PDAC 出力イベント選択 C レジスタ (PDISELC) .....	30-18
30.4.14	PDAC 出力イベント選択 D レジスタ (PDISELD) .....	30-19
30.4.15	PDAC 出力イベント選択 E レジスタ (PDISELE) .....	30-20
30.4.16	PDAC 出力イベント選択 F レジスタ (PDISELF) .....	30-21
30.4.17	PDAC 出力イベント選択 G レジスタ (PDISELG) .....	30-22
30.4.18	PDAC 出力イベント選択 H レジスタ (PDISELH) .....	30-23
30.4.19	PDAC 変調 A 立ち上がりステップ数レジスタ (PDIRSA) .....	30-24
30.4.20	PDAC 変調 A 立ち下がりステップ数レジスタ (PDIFSA) .....	30-25
30.4.21	PDAC 変調 A 立ち上がり初期値レジスタ (PDIRIA) .....	30-26
30.4.22	PDAC 変調 A 立ち下がり初期値レジスタ (PDIFIA) .....	30-26
30.4.23	PDAC 変調 A 立ち上がりデルタ値レジスタ (PDIRDA) .....	30-27
30.4.24	PDAC 変調 A 立ち下がりデルタ値レジスタ (PDIFDA) .....	30-27
30.4.25	PDAC 変調 A 出力開始待ち時間レジスタ (PDIWT0A) .....	30-28
30.4.26	PDAC 変調 A 立ち上がり後待ち時間レジスタ (PDIWT1A) .....	30-28
30.4.27	PDAC 変調 A 立ち下がり後待ち時間レジスタ (PDIWT2A) .....	30-29
30.4.28	PDAC 変調 A 繰り返し回数レジスタ (PDIREPA) .....	30-29
30.4.29	PDAC 変調 B 立ち上がりステップ数レジスタ (PDIRSB) .....	30-30
30.4.30	PDAC 変調 B 立ち下がりステップ数レジスタ (PDIFSB) .....	30-31
30.4.31	PDAC 変調 B 立ち上がり初期値レジスタ (PDIRIB) .....	30-31
30.4.32	PDAC 変調 B 立ち下がり初期値レジスタ (PDIFIB) .....	30-32
30.4.33	PDAC 変調 B 立ち上がりデルタ値レジスタ (PDIRDB) .....	30-32
30.4.34	PDAC 変調 B 立ち下がりデルタ値レジスタ (PDIFDB) .....	30-33
30.4.35	PDAC 変調 B 出力開始待ち時間レジスタ (PDIWT0B) .....	30-33
30.4.36	PDAC 変調 B 立ち上がり後待ち時間レジスタ (PDIWT1B) .....	30-34
30.4.37	PDAC 変調 B 立ち下がり後待ち時間レジスタ (PDIWT2B) .....	30-34
30.4.38	PDAC 変調 B 繰り返し回数レジスタ (PDIREPB) .....	30-35
30.4.39	PDAC 変調 C 立ち上がりステップ数レジスタ (PDIRSC) .....	30-35
30.4.40	PDAC 変調 C 立ち下がりステップ数レジスタ (PDIFSC) .....	30-36
30.4.41	PDAC 変調 C 立ち上がり初期値レジスタ (PDIRIC) .....	30-37
30.4.42	PDAC 変調 C 立ち下がり初期値レジスタ (PDIFIC) .....	30-37
30.4.43	PDAC 変調 C 立ち上がりデルタ値レジスタ (PDIRDC) .....	30-38
30.4.44	PDAC 変調 C 立ち下がりデルタ値レジスタ (PDIFDC) .....	30-38
30.4.45	PDAC 変調 C 出力開始待ち時間レジスタ (PDIWT0C) .....	30-39
30.4.46	PDAC 変調 C 立ち上がり後待ち時間レジスタ (PDIWT1C) .....	30-39
30.4.47	PDAC 変調 C 立ち下がり後待ち時間レジスタ (PDIWT2C) .....	30-40
30.4.48	PDAC 変調 C 繰り返し回数レジスタ (PDIREPC) .....	30-40
30.4.49	PDAC 変調 A 立ち上がり出力時間レジスタ 1~120 (PDIRTA1~120) .....	30-41
30.4.50	PDAC 変調 A 立ち下がり出力時間レジスタ 1~120 (PDIFTA1~120) .....	30-42
30.4.51	PDAC 変調 B 立ち上がり出力時間レジスタ 1~200 (PDIRTB1~200) .....	30-43
30.4.52	PDAC 変調 B 立ち下がり出力時間レジスタ 1~200 (PDIFTB1~200) .....	30-44
30.4.53	PDAC 変調 C 立ち上がり出力時間レジスタ 1~600 (PDIRTC1~600) .....	30-45
30.4.54	PDAC 変調 C 立ち下がり出力時間レジスタ 1~600 (PDIFTC1~600) .....	30-46
30.5	動作説明 .....	30-47
30.5.1	概要 .....	30-47
30.5.2	変調 A の出力処理について .....	30-52

30.5.3	変調 B の出力処理について.....	30-53
30.5.4	変調 C の出力処理について.....	30-54
30.5.5	他のモジュールとの連携について .....	30-55
30.5.6	PDAC の初期設定手順例.....	30-56
30.6	タイミングチャート .....	30-59
30.7	イベントフラグの配線について .....	30-62
30.8	使用上の注意事項 .....	30-63
<b>31.</b>	<b>パラレルセクタ (PSEL) .....</b>	<b>31-1</b>
31.1	概要 .....	31-1
31.2	入出力端子 .....	31-3
31.3	レジスタの説明 .....	31-3
31.3.1	PSEL イベント選択レジスタ (PSLCTRL) .....	31-5
31.3.2	PSEL 出力クロック分周設定レジスタ (PSLPRE) .....	31-7
31.3.3	PSEL チャンネル数選択レジスタ (PSLSEL) .....	31-8
31.3.4	PSEL 出力極性制御レジスタ (PSLPOL) .....	31-9
31.3.5	PSEL トリガレジスタ (PSLTRIG) .....	31-11
31.3.6	PSEL ステータスレジスタ (PSLSTATUS) .....	31-12
31.3.7	PSEL クロック A 遅延レジスタ (PSLDLYA) .....	31-12
31.3.8	PSEL クロック B 遅延レジスタ (PSLDLYB) .....	31-13
31.3.9	PSEL クリア遅延期間レジスタ (PSLCLRD) .....	31-13
31.3.10	PSEL クリア制御レジスタ (PSLCLRC) .....	31-14
31.3.11	PSEL データバッファ 0・1 レジスタ (PSLDT0001) .....	31-15
31.3.12	PSEL データバッファ 2・3 レジスタ (PSLDT0203) .....	31-16
31.3.13	PSEL データバッファ 4・5 レジスタ (PSLDT0405) .....	31-17
31.3.14	PSEL データバッファ 6・7 レジスタ (PSLDT0607) .....	31-18
31.3.15	PSEL データバッファ 8・9 レジスタ (PSLDT0809) .....	31-19
31.3.16	PSEL データバッファ 10・11 レジスタ (PSLDT1011) .....	31-20
31.3.17	PSEL データバッファ 12・13 レジスタ (PSLDT1213) .....	31-21
31.3.18	PSEL データバッファ 14・15 レジスタ (PSLDT1415) .....	31-22
31.3.19	PSEL データ初期値レジスタ (PSLINIT) .....	31-23
31.4	動作説明 .....	31-24
31.4.1	概要 .....	31-24
31.4.2	タイミングチャート .....	31-25
31.5	使用上の注意事項 .....	31-27
31.5.1	PSEL 使用前のモジュールストップ機能の設定について .....	31-27
31.5.2	PSEL 動作中のレジスタアクセスについての注意 .....	31-27
<b>32.</b>	<b>FlexRay モジュール .....</b>	<b>32-1</b>
32.1	概要 .....	32-1
32.2	レジスタの説明 .....	32-4
32.3	用語 .....	32-11
32.4	特殊機能レジスタ .....	32-12
32.4.1	FlexRay 動作制御レジスタ (FXROC) .....	32-12
32.4.2	FlexRay ロックレジスタ (FRLCK) .....	32-15
32.5	割り込み関連レジスタ .....	32-16
32.5.1	FlexRay エラー割り込みレジスタ (FREIR) .....	32-17
32.5.2	FlexRay ステータス割り込みレジスタ (FRSIR) .....	32-21

32.5.3	FlexRay エラー割り込み出力選択レジスタ (FREILS)	32-25
32.5.4	FlexRay ステータス割り込み出力選択レジスタ (FRSILS)	32-27
32.5.5	FlexRay エラー割り込み許可レジスタ (FREIES)	32-30
32.5.6	FlexRay エラー割り込み禁止レジスタ (FREIER)	32-34
32.5.7	FlexRay ステータス割り込み許可レジスタ (FRSIES)	32-39
32.5.8	FlexRay ステータス割り込み禁止レジスタ (FRSIER)	32-44
32.5.9	FlexRay 割り込み出力許可レジスタ (FRILE)	32-49
32.5.10	FlexRay タイマ 0 設定レジスタ (FRT0C)	32-50
32.5.11	FlexRay タイマ 1 設定レジスタ (FRT1C)	32-51
32.5.12	FlexRay ストップウォッチレジスタ 1 (FRSTPW1)	32-52
32.5.13	FlexRay ストップウォッチレジスタ 2 (FRSTPW2)	32-54
32.5.14	FlexRay タイマ割り込み要求ステータスレジスタ (FXRTISR)	32-55
32.5.15	FlexRay タイマ割り込み許可レジスタ (FXRTIER)	32-56
32.6	CC制御レジスタ	32-57
32.6.1	FlexRay SUC 設定レジスタ 1 (FRSUCC1)	32-57
32.6.2	FlexRay SUC 設定レジスタ 2 (FRSUCC2)	32-63
32.6.3	FlexRay SUC 設定レジスタ 3 (FRSUCC3)	32-64
32.6.4	FlexRay NEM 設定レジスタ (FRNEMC)	32-65
32.6.5	FlexRay PRT 設定レジスタ 1 (FRPRTC1)	32-66
32.6.6	FlexRay PRT 設定レジスタ 2 (FRPRTC2)	32-68
32.6.7	FlexRay MHD 設定レジスタ (FRMHDC)	32-69
32.6.8	FlexRay GTU 設定レジスタ 1 (FRGTUC1)	32-70
32.6.9	FlexRay GTU 設定レジスタ 2 (FRGTUC2)	32-71
32.6.10	FlexRay GTU 設定レジスタ 3 (FRGTUC3)	32-72
32.6.11	FlexRay GTU 設定レジスタ 4 (FRGTUC4)	32-73
32.6.12	FlexRay GTU 設定レジスタ 5 (FRGTUC5)	32-74
32.6.13	FlexRay GTU 設定レジスタ 6 (FRGTUC6)	32-75
32.6.14	FlexRay GTU 設定レジスタ 7 (FRGTUC7)	32-76
32.6.15	FlexRay GTU 設定レジスタ 8 (FRGTUC8)	32-77
32.6.16	FlexRay GTU 設定レジスタ 9 (FRGTUC9)	32-78
32.6.17	FlexRay GTU 設定レジスタ 10 (FRGTUC10)	32-79
32.6.18	FlexRay GTU 設定レジスタ 11 (FRGTUC11)	32-80
32.7	CCステータスレジスタ	32-81
32.7.1	FlexRay CC ステータスベクタレジスタ (FRCCSV)	32-81
32.7.2	FlexRay CC エラーベクタレジスタ (FRCCEV)	32-85
32.7.3	FlexRay スロットカウンタ値レジスタ (FRSCV)	32-86
32.7.4	FlexRay MT 値/サイクルカウンタ値レジスタ (FRMTCCV)	32-87
32.7.5	FlexRay レート補正值レジスタ (FRRCV)	32-88
32.7.6	FlexRay オフセット補正值レジスタ (FROCV)	32-88
32.7.7	FlexRay Sync フレームステータスレジスタ (FRSFS)	32-89
32.7.8	FlexRay シンボルウィンドウ/NIT ステータスレジスタ (FRSWNIT)	32-90
32.7.9	FlexRay チャネルステータス集計レジスタ (FRACS)	32-92
32.7.10	FlexRay 偶数 SyncID レジスタ 1~15 (FRESID1~15)	32-95
32.7.11	FlexRay 奇数 SyncID レジスタ 1~15 (FROSID1~15)	32-96
32.7.12	FlexRay ネットワーク管理ベクタレジスタ 1~3 (FRNMV1~3)	32-97
32.8	メッセージバッファ制御レジスタ	32-99
32.8.1	FlexRay メッセージ RAM 設定レジスタ (FRMRC)	32-99
32.8.2	FlexRay FIFO リジェクションフィルタレジスタ (FRFRF)	32-102

32.8.3	FlexRay FIFO リジェクションフィルタマスクレジスタ (FRFRFM)	32-103
32.8.4	FlexRay FIFO クリティカルレベルレジスタ (FRFCL)	32-104
32.9	メッセージバッファステータスレジスタ	32-105
32.9.1	FlexRay メッセージハンドラステータスレジスタ (FRMHDS)	32-105
32.9.2	FlexRay 最終ダイナミック送信スロットレジスタ (FRLDTS)	32-107
32.9.3	FlexRay FIFO ステータスレジスタ (FRFSR)	32-108
32.9.4	FlexRay メッセージハンドラ制限フラグレジスタ (FRMHDF)	32-109
32.9.5	FlexRay 送信要求レジスタ 1~4 (FRTXRQ1~4)	32-111
32.9.6	FlexRay 新データレジスタ 1~4 (FRNDAT1~4)	32-115
32.9.7	FlexRay メッセージバッファステータス変化レジスタ 1~4 (FRMBSC1~4)	32-119
32.10	入力バッファ (IBF)	32-123
32.10.1	FlexRay データセクションライトレジスタ 1~64 (FRWRDS1~64)	32-124
32.10.2	FlexRay ヘッダセクションライトレジスタ 1 (FRWRHS1)	32-125
32.10.3	FlexRay ヘッダセクションライトレジスタ 2 (FRWRHS2)	32-127
32.10.4	FlexRay ヘッダセクションライトレジスタ 3 (FRWRHS3)	32-128
32.10.5	FlexRay 入力バッファコマンドマスクレジスタ (FRIBCM)	32-128
32.10.6	FlexRay 入力バッファコマンド要求レジスタ (FRIBCR)	32-130
32.11	出力バッファ (OBF)	32-132
32.11.1	FlexRay データセクションリードレジスタ 1~64 (FRRDDS1~64)	32-132
32.11.2	FlexRay ヘッダセクションリードレジスタ 1 (FRRDHS1)	32-134
32.11.3	FlexRay ヘッダセクションリードレジスタ 2 (FRRDHS2)	32-135
32.11.4	FlexRay ヘッダセクションリードレジスタ 3 (FRRDHS3)	32-136
32.11.5	FlexRay メッセージバッファステータスレジスタ (FRMBS)	32-138
32.11.6	FlexRay 出力バッファコマンドマスクレジスタ (FROBCM)	32-141
32.11.7	FlexRay 出力バッファコマンド要求レジスタ (FROBCR)	32-142
32.12	コミュニケーションサイクル	32-144
32.12.1	スタティックセグメント	32-144
32.12.2	ダイナミックセグメント	32-145
32.12.3	シンボルウィンドウ	32-145
32.12.4	ネットワークアイドル時間 (NIT)	32-145
32.12.5	NIT 開始位置設定、オフセット補正開始位置の設定	32-146
32.13	通信モード	32-147
32.13.1	タイムトリガ式分散 (TT-D)	32-147
32.14	クロック同期	32-147
32.14.1	グローバルタイム	32-147
32.14.2	ローカルタイム	32-147
32.14.3	同期プロセス	32-148
32.14.4	外部クロック同期	32-149
32.15	エラー処理	32-149
32.15.1	クロック補正失敗カウンタ	32-150
32.15.2	Passive-to-Active カウンタ	32-150
32.15.3	HALT コマンド	32-150
32.15.4	FREEZE コマンド	32-151
32.16	CCの状態	32-151
32.16.1	CC 状態遷移図	32-151
32.16.2	DEFAULT_CONFIG 状態	32-153
32.16.3	CONFIG 状態	32-153
32.16.4	READY 状態	32-153

32.16.5	WAKEUP 状態	32-154
32.16.6	STARTUP 状態	32-159
32.16.7	NORMAL_ACTIVE 状態	32-163
32.16.8	NORMAL_PASSIVE 状態	32-164
32.16.9	HALT 状態	32-164
32.17	ネットワーク管理	32-165
32.18	フィルタリングとマスキング	32-166
32.18.1	スロットカウンタフィルタリング	32-166
32.18.2	サイクルカウンタフィルタリング	32-166
32.18.3	チャンネル ID フィルタリング	32-168
32.18.4	FIFO フィルタリング	32-168
32.19	送信プロセス	32-169
32.19.1	スタティックセグメント	32-169
32.19.2	ダイナミックセグメント	32-169
32.19.3	送信バッファ	32-169
32.19.4	フレーム送信	32-170
32.19.5	Null フレーム送信	32-171
32.20	受信プロセス	32-172
32.20.1	専用受信バッファ	32-172
32.20.2	フレーム受信	32-172
32.20.3	Null フレーム受信	32-173
32.21	FIFO機能	32-174
32.21.1	解説	32-174
32.21.2	FIFO の設定	32-176
32.21.3	FIFO へのアクセス	32-176
32.22	メッセージハンドリング	32-176
32.22.1	メッセージバッファの設定変更	32-177
32.22.2	メッセージ RAM へのアクセス	32-178
32.22.3	FlexRay プロトコルコントローラからメッセージ RAM へのアクセス	32-184
32.23	メッセージRAM	32-185
32.23.1	ヘッダパーティション	32-186
32.23.2	データパーティション	32-189
32.23.3	パリティチェック	32-190
32.24	割り込み	32-193
32.24.1	FlexRay0 割り込み、FlexRay1 割り込み	32-193
32.24.2	FlexRay タイマ 0 割り込み、FlexRay タイマ 1 割り込み	32-195
32.25	FlexRay設定パラメータ	32-196
33.	モジュールストップ機能	33-1
33.1	概要	33-1
33.1.1	モジュールストップ機能	33-1
33.2	レジスタの説明	33-1
33.2.1	モジュールストップレジスタ 0 (MSTPCR0)	33-2
33.2.2	レジスタアクセス時の注意事項	33-4
33.3	動作説明	33-4
33.3.1	概要	33-4
33.4	使用上の注意事項	33-4



34. 電源回路 .....	34-1
34.1 電源回路の構成 .....	34-1
34.2 電源立ち上げシーケンス .....	34-3
34.3 電源立ち下げシーケンス .....	34-4
35. ユーザブレークコントローラ (UBC) .....	35-1
35.1 概要 .....	35-1
35.2 レジスタの説明 .....	35-3
35.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1) .....	35-4
35.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1) .....	35-10
35.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1) .....	35-12
35.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1) .....	35-13
35.2.5 マッチデータ設定レジスタ 1 (CDR1) .....	35-15
35.2.6 マッチデータマスク設定レジスタ 1 (CDMR1) .....	35-16
35.2.7 実行回数ブレークレジスタ 1 (CETR1) .....	35-17
35.2.8 チャンネルマッチフラグレジスタ (CCMFR) .....	35-18
35.2.9 ブレークコントロールレジスタ (CBCR) .....	35-19
35.3 動作説明 .....	35-20
35.3.1 アクセスに関する用語の説明 .....	35-20
35.3.2 ユーザブレーク動作の流れ .....	35-20
35.3.3 命令フェッチサイクルブレーク .....	35-22
35.3.4 オペランドアクセスサイクルブレーク .....	35-23
35.3.5 シーケンシャルブレーク .....	35-24
35.3.6 退避されるプログラムカウンタの値 .....	35-25
35.4 ユーザブレークデバッグサポート機能 .....	35-26
35.5 ユーザブレーク使用例 .....	35-27
35.6 使用上の注意事項 .....	35-33
36. AUD RAM モニタ (AUDR) .....	36-1
36.1 概要 .....	36-1
36.2 AUDR使用例 .....	36-3
36.2.1 使用例 1 : RAM モニタ/キャリブレーション .....	36-3
36.2.2 使用例 2 : FLASH 書き換え .....	36-3
36.3 入出力端子 .....	36-4
36.4 レジスタの説明 .....	36-5
36.4.1 AUDR イネーブルレジスタ (AUDRENB) .....	36-5
36.5 RAMモニタ機能 .....	36-7
36.5.1 通信プロトコル .....	36-7
36.5.2 動作説明 .....	36-7
36.5.3 AUDRD データフォーマットの説明 .....	36-9
36.5.4 RAM モニタ機能に関しての使用上の注意事項 .....	36-11
36.6 イベント検出機能 .....	36-12
36.6.1 AUDR イベント発生レジスタ (AUDREVNT) .....	36-12
36.7 Configuration情報保持機能 .....	36-13
36.7.1 ブロック図 .....	36-13
36.7.2 AUDR Configuration 情報保持レジスタ (AUDISR) .....	36-13
36.7.3 動作説明 .....	36-13

36.8	同期通信（メッセージボード）機能 .....	36-14
36.8.1	ブロック図 .....	36-14
36.8.2	AUDR メッセージボードレジスタ（AUDMBR） .....	36-14
36.8.3	同期通信機能に関する使用上の注意事項 .....	36-15
37.	ユーザデバッグインタフェース（H-UDI） .....	37-1
37.1	概要 .....	37-1
37.2	入出力端子 .....	37-3
37.3	バウンダリスキャンTAPコントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ) .....	37-4
37.4	レジスタの説明 .....	37-6
37.4.1	インストラクションレジスタ（SDIR） .....	37-7
37.4.2	割り込み要因レジスタ（SDINT） .....	37-8
37.4.3	バイパスレジスタ（SDBPR） .....	37-8
37.4.4	バウンダリスキャンレジスタ（SDBSR） .....	37-9
37.5	動作説明 .....	37-10
37.5.1	TAP 制御 .....	37-10
37.5.2	H-UDI リセット .....	37-11
37.5.3	H-UDI 割り込み .....	37-11
37.6	使用上の注意事項 .....	37-11
38.	電气的特性 .....	38-1
38.1	絶対最大定格 .....	38-1
38.2	DC特性 .....	38-2
38.3	AC特性 .....	38-13
38.3.1	電源投入・切断タイミング .....	38-14
38.3.2	動作モードと発振タイミング .....	38-15
38.3.3	クロックタイミング .....	38-17
38.3.4	制御信号タイミング .....	38-18
38.3.5	DMAC タイミング .....	38-19
38.3.6	ATU-IIIS モジュールタイミング .....	38-20
38.3.7	I/O ポートタイミング .....	38-21
38.3.8	WDT タイミング .....	38-22
38.3.9	SCIF インタフェースタイミング .....	38-23
38.3.10	RSPI タイミング .....	38-24
38.3.11	IIC3 タイミング .....	38-28
38.3.12	DRI タイミング .....	38-29
38.3.13	DRO タイミング .....	38-31
38.3.14	PDAC タイミング .....	38-32
38.3.15	PSEL タイミング .....	38-33
38.3.16	A/D 変換器タイミング .....	38-34
38.3.17	H-UDI インタフェースタイミング .....	38-35
38.3.18	AUDR モジュールタイミング .....	38-37
38.4	A/D変換器特性 .....	38-39
38.5	フラッシュメモリ特性 .....	38-41
付録	.....	付録-1
付録A.	CPU動作モードレジスタ（CPUOPM） .....	付録-1

付録B. 命令プリフェッチとその副作用について.....	付録-3
付録C. サブルーチン復帰投機実行 .....	付録-4
付録D. プロセッサバージョンレジスタ (PVR) .....	付録-5
付録E. 外形寸法図 .....	付録-6
付録F. インデックスの見方 .....	付録-7
付録G. レジスタ配置一覧表 .....	付録-8
付録H. 未使用端子の処理について .....	付録-102

---

# 1. 概要

---

## 1.1 特長

SH7455 グループおよび SH7456 グループは、ルネサスオリジナルの RISC (Reduced Instruction Set Computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7455 グループおよび SH7456 グループの CPU は、RISC 方式の命令セットを持っており、スーパースカラアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。CPU コアとして SH-4A を採用し、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、より低コストでかつ高性能/高機能なシステムを組むことができます。

SH7455 グループおよび SH7456 グループは、キャッシュメモリとして命令キャッシュとオペランドキャッシュをそれぞれ 32K バイト内蔵しています。オペランドキャッシュは、コピーバックとライトスルーモードが選択できます。さらに、4G バイトの仮想アドレス空間のアクセスを可能にするメモリマネージメントユニット (MMU) を内蔵しています。命令に関しては、4 エントリ・フルアソシアティブ TLB、命令/オペランド共用の 64 エントリ・フルアソシアティブ TLB を持っています。

また、内蔵 SRAM として 8K バイトの IL メモリ、16K バイトの OL メモリ、256K バイトのスーパーハイウェイ RAM (SHwyRAM) を内蔵しています。IL メモリと OL メモリは高速アクセスが可能であり、高性能が要求されるシステムのスタック領域として使用できます。

SH7455 グループおよび SH7456 グループは、パラレルデータをダイレクトに内蔵 SHwyRAM に転送するダイレクト RAM インタフェース機能 (DRI) を内蔵しており、画像センサなどからの入力データを内蔵 SHwyRAM に高速に転送できます。

SH7455 グループおよび SH7456 グループは、システム構成に必要な周辺機能として、浮動小数点ユニット (FPU)、大容量の ROM と RAM、ダイレクトメモリアクセスコントローラ (DMAC)、各種タイマ、ルネサスシリアルペリフェラルインタフェース (RSPI)、ユーザブレークコントローラ (UBC)、RAM モニタ機能、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、コントローラエリアネットワーク (CAN)、A/D 変換器 (ADC)、DAC インタフェース機能、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

ROM (F-ZTAT™ 版フラッシュメモリ) は、ROM ライタやソフトウェアでプログラムの書き換えや消去を行うことができます。したがって、ボードに実装した状態でユーザによる書き換えも可能です。

【注】・ F-ZTAT™ はルネサス エレクトロニクス株式会社の商標です。

### 1.1.1 用途

自動車機器制御 (運転支援システム等)、産業機器のシステム制御

## 1. 概要

### 1.1.2 仕様概要

表 1.1 に SH7455 グループおよび SH7456 グループの仕様概要を示します。

表 1.1 仕様概要

分類	説明
CPU	<ul style="list-style-type: none"><li>• ルネサス独自の SuperH アーキテクチャ</li><li>• SH-1、SH-2、SH-3、SH-4 とオブジェクトコードレベルで互換性あり</li><li>• 32 ビット内部データバス</li><li>• 汎用レジスタファイル<ul style="list-style-type: none"><li>16 本の 32 ビット汎用レジスタ（および 8 本の 32 ビットシャドウレジスタ）</li><li>7 本の 32 ビット制御レジスタ</li><li>4 本の 32 ビットシステムレジスタ</li></ul></li><li>• 高速割り込み応答のためのレジスタバンク</li><li>• RISC タイプ命令セット（SH シリーズと上位互換性あり）<ul style="list-style-type: none"><li>命令長：16 ビット固定長（コード効率改善のため）</li><li>ロードストアアーキテクチャ</li><li>遅延分岐命令</li><li>条件付き実行</li><li>C 言語に基づく命令セット</li></ul></li><li>• FPU を含む 2 命令同時実行スーパースカラ</li><li>• 命令実行時間：最大 2 命令/サイクル</li><li>• アドレス空間：4G バイト</li><li>• 空間識別子（ASID）：8 ビット、256 の仮想アドレス空間</li><li>• 乗算器内蔵</li><li>• 8 段パイプライン</li><li>• ハーバードアーキテクチャ</li></ul>

分類	説明
FPU	<ul style="list-style-type: none"> <li>• 浮動小数点コプロセッサ (FPU) 内蔵</li> <li>• 単精度 (32 ビット)、倍精度 (64 ビット) をサポート</li> <li>• IEEE754 準拠のデータフォーマットおよび例外をサポート</li> <li>• 丸めモード: 近傍および 0 方向への丸め</li> <li>• 非正規化数の取り扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生</li> <li>• 浮動小数点レジスタ: 32 ビット×16 本×2 バンク (単精度×16 本または倍精度×8 本) ×2 バンク</li> <li>• 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL)</li> <li>• FMAC (乗算およびアキュムレート: 積和) 命令をサポート</li> <li>• FDIV (除算) /FSQRT (平方根) 命令をサポート</li> <li>• FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート</li> <li>• 命令実行時間 レイテンシ (FADD/FSUB) : 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL) : 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB) : 1 サイクル (単精度)、1 サイクル (倍精度) ピッチ (FMAC/FMUL) : 1 サイクル (単精度)、3 サイクル (倍精度) 【注】・FMAC については単精度のみサポートしています。</li> <li>• 3D グラフィック命令 (単精度のみ) 4 次元ベクトル変換および行列演算 (FTRV) : 4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトルの内積 (FIPR) : 1 サイクル (ピッチ)、5 サイクル (レイテンシ)</li> <li>• 11 段パイプライン</li> </ul>
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> <li>• 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID: 8 ビット)</li> <li>• 単一仮想記憶モードと多重仮想記憶モード</li> <li>• 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト</li> <li>• 命令に対する 4 エントリのフルアソシアティブ TLB</li> <li>• 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB</li> <li>• ソフトウェアにより入れ換え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート</li> <li>• TLB の内容はアドレスマッピングにより直接アクセス可能</li> <li>• アクセス権チェック機能</li> </ul>
キャッシュメモリ	<ul style="list-style-type: none"> <li>• 命令キャッシュ (IC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長 低消費電力機能 (ウェイ予測機構)</li> <li>• オペランドキャッシュ (OC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長</li> <li>• 1 段コピーバックバッファ、1 段ライトスルーバッファ ストアキュー (32 バイト×2 エントリ)</li> </ul>

## 1. 概要

分類	説明
IL メモリ	<ul style="list-style-type: none"> <li>高速アクセス可能な 8K バイト RAM</li> <li>2 ページ構成</li> <li>以下の 3 つのポートから読み出し/書き込みのアクセスが可能 SuperHyway バス キャッシュ/RAM 内蔵バス 命令バス</li> <li>CPU からは、8、16、32、64 ビットオペランドアクセス</li> <li>外部要求による 8、16、32、64 ビットおよび 16、32 バイトアクセスが可能</li> </ul>
OL メモリ	<ul style="list-style-type: none"> <li>高速アクセス可能な 16K バイト RAM</li> <li>4 ページ構成</li> <li>以下の 3 つのポートから読み出し/書き込みのアクセスが可能 SuperHyway バス キャッシュ/RAM 内蔵バス オペランドバス</li> <li>CPU からは、8、16、32、64 ビットオペランドアクセス</li> <li>外部要求による 8、16、32、64 ビットおよび 16、32 バイトアクセスが可能</li> </ul>
ROM	<ul style="list-style-type: none"> <li>1M バイトフラッシュメモリ</li> </ul>
RAM	<ul style="list-style-type: none"> <li>256K バイト SRAM</li> </ul>
動作モード	<ul style="list-style-type: none"> <li>動作モード シングルチップモード</li> <li>オンボードプログラミングモード ユーザモード ブートモード ユーザブートモード</li> <li>処理状態 リセット状態 命令実行状態</li> </ul>
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> <li>ユーザブレイク割り込みによるデバッグをサポート</li> <li>2 本のブレイクチャンネル</li> <li>アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能</li> <li>シーケンシャルブレイク機能をサポート</li> </ul>
クロック発振器 (CPG)	<ul style="list-style-type: none"> <li>内部クロック CPU クロック (lck) : Max. 160MHz SHwy クロック (SHck) : Max. 80MHz 周辺クロック (Pck) : Max. 40MHz 周辺 A クロック (PAck) : Max. 80MHz FlexRay クロック (FRck) : Max. 80MHz</li> <li>入力クロック周波数 : Max. 20MHz</li> </ul>
バーステート コントローラ (BSC)	<ul style="list-style-type: none"> <li>本 MCU は BSC をサポートしていません。</li> </ul>

分類	説明
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>ウォッチドッグタイマモード時、カウンタオーバーフローにより内部でリセットが発生し、WDTOVF#信号を出力</li> <li>インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生</li> </ul>
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> <li>割り込み優先順位</li> <li>IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) : 15 レベル</li> <li>内蔵周辺モジュール割り込み : 30 レベル</li> </ul>
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> <li>6チャンネル (DMA0~DMA5) +6チャンネル (DMA6~DMA11)</li> <li>転送データサイズ : 1バイト、2バイト (ワード)、4バイト (ロングワード)、16バイト、32バイト</li> <li>最大転送回数 : 16,777,216 回</li> <li>転送アドレス方式 : デュアルアドレス</li> <li>転送モード : サイクルスチールモード1、サイクルスチールモード2、バーストモード</li> <li>転送要求要因 : オートリクエスト (ソフトウェアリクエスト)、内蔵周辺モジュールリクエスト (SCIF、RSPI、IIC3、ATU-IIIS、ADC、DRI)、外部リクエスト (DMA0、DMA2、DMA3のみ)</li> <li>モジュール間の優先順位 DMAC0モジュール (DMA0~DMA5) と DMAC1モジュール (DMA6~DMA11) の優先順位はラウンドロビンに固定</li> <li>モジュール内のチャンネル優先順位 DMA0~DMA5内は、優先順位固定 (DMA0&gt;DMA1&gt;DMA2&gt;DMA3&gt;DMA4&gt;DMA5)、ラウンドロビンから選択可能 DMA6~DMA11内は、優先順位固定 (DMA6&gt;DMA7&gt;DMA8&gt;DMA9&gt;DMA10&gt;DMA11)、ラウンドロビンから選択可能</li> </ul>
アドバンスタイマユニット IIIS (ATU-IIIS)	<ul style="list-style-type: none"> <li>59チャンネル</li> <li>タイマ A (5チャンネル×2系統)、タイマ F (3チャンネル)、タイマ G (6チャンネル)、タイマ TOU (8チャンネル×5系統) を内蔵</li> </ul>
タイマユニット (TMU)	<ul style="list-style-type: none"> <li>3チャンネルオートリロード型 32ビットタイマ</li> <li>各チャンネルとも、5種類のカウンタ入力クロックを選択可能</li> <li>5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)</li> </ul>
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> <li>4チャンネル</li> <li>送受信 FIFO 各 16バイト内蔵</li> <li>調歩同期/クロック同期式モードの選択が可能</li> <li>全二重通信が可能</li> <li>送受信クロックソースを、ポーレートジェネレータからの内部クロックまたは SCK 端子からの外部クロックから選択可能</li> <li>クロック同期式モード時の最大転送レート : 3.3Mbps</li> <li>調歩同期式モード時の最大転送レート : 5Mbps</li> </ul>



## 1. 概要

分類	説明
ルネサスシリアル ペリフェラル インタフェース (RSPI)	<ul style="list-style-type: none"> <li>• 3 チャンネル</li> <li>• 同期式のシリアル通信</li> <li>• マスタ/スレーブモードをサポート</li> <li>• プログラマブルなビット長、クロック極性、クロック位相</li> <li>• 転送をシーケンシャルにループ実行可能</li> <li>• MSB ファースト/LSB ファーストの選択が可能</li> <li>• 最大転送レート：10Mbps</li> </ul>
I <sup>2</sup> C インタフェース (IIC)	<ul style="list-style-type: none"> <li>• 1 チャンネル</li> <li>• フィリップス社が提唱した I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に対応</li> <li>• マスタ/スレーブ機能</li> </ul>
コントローラエリア ネットワーク (CAN)	<ul style="list-style-type: none"> <li>• 4 チャンネル</li> <li>• 64 メールボックス</li> </ul>
A/D 変換器 (ADC)	<ul style="list-style-type: none"> <li>• 2 モジュール</li> <li>• 12 ビット、16 チャンネル (AD0 は 12 チャンネル、AD1 は 4 チャンネル)</li> <li>• 3 種類の変換モード選択可能 連続スキャンモード 1 サイクルスキャンモード A/D 変換値加算モード (同じチャンネルを 2~4 回連続で A/D 変換し変換値を加算)</li> <li>• 変換時間 AVcc = 5V 時：1.25 μs AVcc = 3.3V 時：1.25 μs</li> <li>• 絶対誤差 AVcc = 5V、高速変換時：±16LSB AVcc = 3.3V、高速変換時：±32LSB</li> </ul>
パラレル DAC 制御 (PDAC)	<ul style="list-style-type: none"> <li>• 1 チャンネル</li> <li>• 10 ビットパラレル出力</li> <li>• D/A コンバータを制御するためのパラレル DAC 制御回路</li> <li>• 変調 A、変調 B、変調 C の出力波形を生成</li> </ul>
ダイレクト RAM インプット インタフェース (DRI)	<ul style="list-style-type: none"> <li>• 3 チャンネル</li> <li>• 2 系統の端子グループ</li> <li>• 取り込みタイミング調整機能</li> <li>• 間引き制御機能</li> <li>• 最小取り込み周期：25ns (特殊モード許可時)</li> </ul>
ダイレクト RAM アウトプット インタフェース (DRO)	<ul style="list-style-type: none"> <li>• 1 チャンネル</li> <li>• SHwyRAM をリードし、外部にパラレルデータ出力</li> <li>• データ幅 8 ビットまたは 16 ビット</li> <li>• 最大転送スピード：20M バイト/秒 (16 ビット選択時、DRO 転送クロック 10MHz 時)</li> </ul>

分類	説明
パラレルセクタ (PSEL)	<ul style="list-style-type: none"> <li>• 1 チャンネル</li> <li>• 外部セクタを周期的に変化させるためのパラレルセクタ回路</li> <li>• 起動イベントによって起動し、停止指示または終了イベントで停止</li> <li>• 4 本のセレクト出力</li> <li>• 2 系統のクロック出力と 1 系統のクリア信号出力</li> </ul>
FlexRay	<ul style="list-style-type: none"> <li>• 2 チャンネル : SH7455 グループ</li> <li>• なし : SH7456 グループ</li> </ul>
AUD RAM モニタ機能 (AUDR)	<ul style="list-style-type: none"> <li>• 内部/外部バスに接続されているメモリマップされたモジュールを読み出し/書き込みする機能</li> <li>• 4 ビットパラレルデータ入出力</li> <li>• 転送周波数 : Max.12.5MHz</li> </ul>
I/O ポート	<ul style="list-style-type: none"> <li>• ポート数 : 108 本</li> <li>• 入力しきい値切り替え機能内蔵 (0.35Vcc、0.5Vcc、0.7Vcc から選択)</li> </ul>
モジュールストップ機能	<ul style="list-style-type: none"> <li>• PDAC、PSEL、DRI、DRO のモジュールストップ機能をサポート</li> </ul>
ユーザデバッグインタ フェース	<ul style="list-style-type: none"> <li>• H-UDI (User Debugging Interface)</li> </ul>
電源電圧	<ul style="list-style-type: none"> <li>• 内部ロジック用電圧 : 1.5V+0.15V, -0.1V</li> <li>• I/O 用電圧 : 3.3V±0.3V または 5.0V±0.5V</li> </ul>
動作温度	<ul style="list-style-type: none"> <li>• Ta : -40~+125°C</li> </ul>
パッケージ	<ul style="list-style-type: none"> <li>• PRBG0176GA-A (0.80mm ピッチ)</li> </ul>

## 1. 概要

---

### 1.2 製品一覧

表 1.2 に製品一覧表を示します。

表 1.2 製品一覧表

製品名	型名	ROM 容量	RAM 容量	パッケージ	FlexRay
SH74552	R5F74552KBG	1M バイト	IL メモリ : 8K バイト+	PRBG0176GA-A	あり
SH74562	R5F74562KBG		OL メモリ : 16K バイト+ SHwyRAM : 256K バイト		なし

## 1.3 ブロック図

図 1.1 にブロック図を示します。

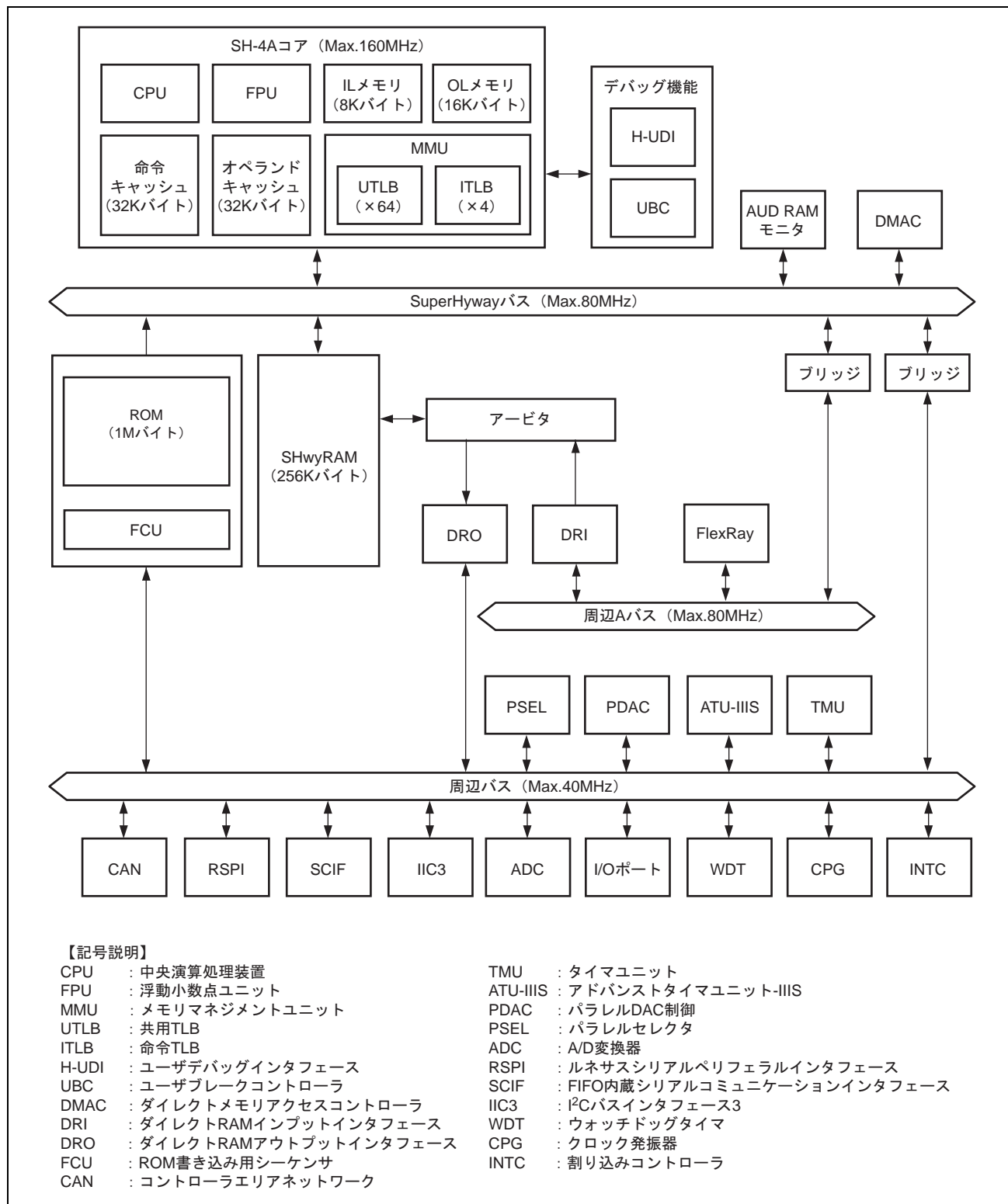


図 1.1 ブロック図

# 1. 概要

## 1.4 ピン配置図

図 1.2 にピン配置図を示します。

A1番のピンの位置

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
A	Vss (N.C.)	PG0/ MISO0/ TO40	PF5/ SCL/ (CTX3)	PF1/ CTX0	DET3OR5	Vcc	PL8/ TIA14/ IRQ7/ DREQ3	PL6/ TIA12/ (TIF1A)	PH15/ DROD7/ TO37/ DDC15	PH13/ DROD5/ (TO35)/ DDC13	PH9/ DROD1/ (TO31)/ DDC09/ CTS2#	PH5/ DROD13/ TO25/ DDC05/ TIA01	PH2/ DROD10/ TO22/ DDC02/ TIF1A	PH0/ DROD8/ TO20/ DDC00/ TIF0A	Vss (N.C.)	A	
B	PG1/ MISO0/ TO41	PG2/ RSPCK0/ TO42	PG3/ TO43/ SSL00/ (IRQ7)	PF4/ SDA/ (ORX3)	PF0/ CRX0	ASEBRK#/ BRKACK	PL9/ TIA15/ AUDREV#	PL5/ TIA11/ (TIF0B)	PL2/ DROWR	PH12/ DROD4/ TO34/ DDC12	PH8/ DROD0/ (TO30)/ DDC08/ RTS2#	PH4/ DROD12/ TO24/ DDC04/ TIA00	PH1/ DROD9/ TO21/ DDC01/ TIF0B	PH3/ DROD11/ TO23/ DDC03/ TIF1B	PK14/ AUDRSYN#	B	
C	PG4/ IRQ2/ TO44/ SSL01	Vss	WDOVF#	Vdd	Vdd	Vdd	PL4/ TIA10/ (TIF0A)	Vss	Vcc	PH14/ DROD6/ (TO36)/ DDC14/ IRQ1	PH10/ DROD2/ (TO32)/ DDC10	PH6/ DROD14/ TO26/ DDC06/ TIA02	PK12/ AUDRD3	PK13/ AUDRCLK	PK11/ AUDRD2	C	
D	FWE	RESET#	Vss	Vss	Vdd	Vdd	PL3/ IRQ6	Vss	Vcc	PH11/ DROD3/ (TO33)/ DDC11	PH7/ DROD15/ (TO27)/ DDC07/ TIA03	PK8/ DREQ2	PK9/ AUDRD0/ RTS3#	PK10/ AUDRD1/ CTS3#	PK6/ TXD3	D	
E	MD1	NMI	Vss	Vss								Vss	PK0/ IRQ5/ SSL10	PK5/ DINC4/ RXD3	PJ14/ TXD1/ MOS11	E	
F	XTAL	EXTAL	Vss	Vss								Vcc	PJ10/ RXD0/ PWMOFF4/ AD0TRG#	PJ15/ SCK1/ PSPCK1	PJ13/ RXD1/ MISO1	F	
G	PLLvss	PLLvcc	MD0	MPMD									PJ1/ (CTX0)/ FTXA	PJ7/ CTX3/ TIF2B/ TXD2	PJ12/ SCK0/ TCLKB/ (IRQ0)	PJ11/ TXD0/ AD0END	G
H	TCK	TMS	MD2	TRST#									PJ0/ (CRX0)/ FRXA	PJ4/ CRX2/ FTXENA/ CTS0#	PJ6/ CRX3/ TIF2A/ RXD2/ TIA04	PJ5/ CTX2/ FTXENB/ SCK2	H
J	PD1/ PDIDATA1	TDO	TDI	Vss									PN1/ AD1IN1	PN0/ AD1IN0	PJ3/ CTX1/ FTXB/ RTS0#	PJ2/ CRX1/ FRXB	J
K	PD4/ PDIDATA4	PD3/ PDIDATA3	Vss	Vss									PN4/ AD1IN4	PN5/ AD1IN5	AVss	AVcc	K
L	PD8/ PDIDATA8	PD7/ PDIDATA7	Vcc	Vcc									PM0/ AD0IN0	AVss	AVREFL	AVREFH	L
M	PD9/ PDIDATA9	PD6/ PDIDATA6	PD0/ PDIDATA0	Vss	Vss	Vss	Vdd	Vdd	PC6/ CLKOUT/ TO36	Vcc	Vss	AVss	PM4/ AD0IN4	AVREFL	AVREFH	M	
N	PD10/ PDIWR	PD5/ PDIDATA5	PA4/ TO04/ DDB04	PA7/ TO07/ DDB07	PA10/ TO12/ DDB10/ PSLDATA0	PA11/ TO13/ DDB11/ PSLDATA1	Vdd	Vdd	PC1/ TO31/ MISO2	Vcc	Vss	PM2/ AD0IN2	PM6/ AD0IN6	PM9/ AD0IN9	AVss	N	
P	PD2/ PDIDATA2	PA3/ TO03/ DDB03	PA0/ TO00/ DDB00	PA2/ TO02/ DDB02	PA6/ TO06/ DDB06	PA9/ TO11/ DDB09/ PSLCLKA	PA13/ TO15/ DDB13/ PSLDATA3	PB1/ PWMOFF1/ DINB1	PC0/ TO30/ MOS12/ (IRQ6)	PC3/ TO33/ SSL20/ IRQ0	PM15/ AD0IN15	PM13/ AD0IN13	PM11/ AD0IN11	PM8/ AD0IN8	AVcc	P	
R	Vss (N.C.)	PE15/ TO27/ PSLCLR	PA1/ TO01/ DDB01	PA5/ TO05/ DDB05	PA8/ TO10/ DDB08/ PSLCLKB	PA12/ TO14/ DDB12/ PSLDATA2	PB0/ PWMOFF0/ DINB0	PB3/ PWMOFF3/ DINB3	PC2/ TO32/ RSPCK2/ DREQ0	PC5/ TO35	PC14	PM14/ AD0IN14	PM12/ AD0IN12	PM10/ AD0IN10	AVcc (N.C.)	R	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		

図 1.2 ピン配置図 (上面透視図)

## 1.5 端子機能

表 1.3 に端子機能を示します。

表 1.3 端子機能

端子 番号	端子名	ユーザ端子						回路 電源名	入力バッファ タイプ	出力 駆動 能力 切替	リセット後の端子状態			
		機能 1	機能 2	機能 3	機能 4	機能 5	機能 6				機能	入出力	端子 状態 <sup>*1</sup>	入力 許可
G4	MPMD							Vcc	シュミット	—	MPMD	入力	Hiz (プルアップ)	許可
H3	MD2							Vcc	シュミット	—	MD2	入力	Hiz (プルダウン)	許可
E1	MD1							Vcc	シュミット	—	MD1	入力	Hiz (プルダウン)	許可
G3	MD0							Vcc	シュミット	—	MD0	入力	Hiz (プルダウン)	許可
D1	FWE							Vcc	シュミット	—	FWE	入力	Hiz (プルダウン)	許可
D2	RESET#							Vcc	シュミット	—	RESET#	入力	Hiz	許可
E2	NMI							Vcc	シュミット	—	NMI	入力	Hiz	許可
F2	EXTAL							Vcc	CMOS	—	EXTAL	入力	—	許可
F1	XTAL							Vcc		—	XTAL	出力	XTAL	—
C3	WDTOVF#							Vcc		無	WDTOVF#	出力	WDTOVF#	—
H4	TRST#							Vcc	シュミット	—	TRST#	入力	Hiz	許可
H1	TCK							Vcc	TTL	—	TCK	入力	Hiz	許可
H2	TMS							Vcc	シュミット	—	TMS	入力	Hiz	許可
J3	TDI							Vcc	シュミット	—	TDI	入力	Hiz	許可
J2	TDO							Vcc		—	TDO	出力	Hiz	—
B6	ASEBRK#/BRKACK							Vcc	シュミット	無	ASEBRK#/ BRKACK	入力	Hiz	許可
A5	DET3OR5							Vcc	シュミット	—	DET3OR5	入力	Hiz (プルアップ)	許可
P3	PA0/TO0/DDB00	PA0		TO00	DDB00			Vcc	しきい値切替	有	PA0	入力	Hiz	禁止
R3	PA1/TO1/DDB01	PA1		TO01	DDB01			Vcc	しきい値切替	有	PA1	入力	Hiz	禁止
P4	PA2/TO2/DDB02	PA2		TO02	DDB02			Vcc	しきい値切替	有	PA2	入力	Hiz	禁止
P2	PA3/TO3/DDB03	PA3		TO03	DDB03			Vcc	しきい値切替	有	PA3	入力	Hiz	禁止
N3	PA4/TO4/DDB04	PA4		TO04	DDB04			Vcc	しきい値切替	有	PA4	入力	Hiz	禁止
R4	PA5/TO5/DDB05	PA5		TO05	DDB05			Vcc	しきい値切替	有	PA5	入力	Hiz	禁止
P5	PA6/TO6/DDB06	PA6		TO06	DDB06			Vcc	しきい値切替	有	PA6	入力	Hiz	禁止
N4	PA7/TO7/DDB07	PA7		TO07	DDB07			Vcc	しきい値切替	有	PA7	入力	Hiz	禁止
R5	PA8/TO10/DDB08/PSLCLKB	PA8		TO10	DDB08	PSLCLKB		Vcc	しきい値切替	有	PA8	入力	Hiz	禁止
P6	PA9/TO11/DDB09/PSLCLKA	PA9		TO11	DDB09	PSLCLKA		Vcc	しきい値切替	有	PA9	入力	Hiz	禁止
N5	PA10/TO12/DDB10/PSLDATA0	PA10		TO12	DDB10	PSLDATA0		Vcc	しきい値切替	有	PA10	入力	Hiz	禁止
N6	PA11/TO13/DDB11/PSLDATA1	PA11		TO13	DDB11	PSLDATA1		Vcc	しきい値切替	有	PA11	入力	Hiz	禁止
R6	PA12/TO14/DDB12/PSLDATA2	PA12		TO14	DDB12	PSLDATA2		Vcc	しきい値切替	有	PA12	入力	Hiz	禁止
P7	PA13/TO15/DDB13/PSLDATA3	PA13		TO15	DDB13	PSLDATA3		Vcc	しきい値切替	有	PA13	入力	Hiz	禁止
R7	PB0/PWMOFF0/DINB0	PB0		PWMOFF0	DINB0			Vcc	しきい値切替	有	PB0	入力	Hiz	禁止

# 1. 概要

端子番号	端子名	ユーザ端子						回路電源名	入力バッファタイプ	出力駆動能力切替	リセット後の端子状態			
		機能 1	機能 2	機能 3	機能 4	機能 5	機能 6				機能	入出力	端子状態*	入力許可
P8	PB1/PWMOFF1/DINB1	PB1		PWMOFF1	DINB1			Vcc	しきい値切替	有	PB1	入力	Hiz	禁止
R8	PB3/PWMOFF3/DINB3	PB3		PWMOFF3	DINB3			Vcc	しきい値切替	有	PB3	入力	Hiz	禁止
P9	PC0/TO30/MOSI2/(IRQ6)	PC0		TO30		MOSI2	(IRQ6)	Vcc	しきい値切替	有	PC0	入力	Hiz	禁止
N9	PC1/TO31/MISO2	PC1		TO31		MISO2		Vcc	しきい値切替	有	PC1	入力	Hiz	禁止
R9	PC2/TO32/RSPCK2/DREQ0	PC2		TO32		RSPCK2	DREQ0	Vcc	しきい値切替	有	PC2	入力	Hiz	禁止
P10	PC3/TO33/SSL20/IRQ0	PC3		TO33		SSL20	IRQ0	Vcc	しきい値切替	有	PC3	入力	Hiz	禁止
R10	PC5/TO35	PC5		TO35				Vcc	しきい値切替	有	PC5	入力	Hiz	禁止
M9	PC6/CLKOUT/TO36	PC6	CLKOUT	TO36				Vcc	しきい値切替	有	PC6	入力	Hiz	禁止
R11	PC14	PC14						Vcc	しきい値切替	有	PC14	入力	Hiz	禁止
M3	PD0/PDIDATA0	PD0		PDIDATA0				Vcc	しきい値切替	有	PD0	入力	Hiz	禁止
J1	PD1/PDIDATA1	PD1		PDIDATA1				Vcc	しきい値切替	有	PD1	入力	Hiz	禁止
P1	PD2/PDIDATA2	PD2		PDIDATA2				Vcc	しきい値切替	有	PD2	入力	Hiz	禁止
K2	PD3/PDIDATA3	PD3		PDIDATA3				Vcc	しきい値切替	有	PD3	入力	Hiz	禁止
K1	PD4/PDIDATA4	PD4		PDIDATA4				Vcc	しきい値切替	有	PD4	入力	Hiz	禁止
N2	PD5/PDIDATA5	PD5		PDIDATA5				Vcc	しきい値切替	有	PD5	入力	Hiz	禁止
M2	PD6/PDIDATA6	PD6		PDIDATA6				Vcc	しきい値切替	有	PD6	入力	Hiz	禁止
L2	PD7/PDIDATA7	PD7		PDIDATA7				Vcc	しきい値切替	有	PD7	入力	Hiz	禁止
L1	PD8/PDIDATA8	PD8		PDIDATA8				Vcc	しきい値切替	有	PD8	入力	Hiz	禁止
M1	PD9/PDIDATA9	PD9		PDIDATA9				Vcc	しきい値切替	有	PD9	入力	Hiz	禁止
N1	PD10/PDIWR	PD10		PDIWR				Vcc	しきい値切替	有	PD10	入力	Hiz	禁止
R2	PE15/TO27/PSLCLR	PE15		TO27		PSLCLR		Vcc	しきい値切替	有	PE15	入力	Hiz	禁止
B5	PF0/CRX0	PF0	CRX0					Vcc	しきい値切替	有	PF0	入力	Hiz	禁止
A4	PF1/CTX0	PF1	CTX0					Vcc	しきい値切替	有	PF1	入力	Hiz	禁止
B4	PF4/SDA/(CRX3)	PF4	SDA				(CRX3)	Vcc	しきい値切替	有	PF4	入力	Hiz	禁止
A3	PF5/SCL/(CTX3)	PF5	SCL				(CTX3)	Vcc	しきい値切替	有	PF5	入力	Hiz	禁止
A2	PG0/MOSI0/TO40	PG0	MOSI0	TO40				Vcc	CMOS	有	PG0	入力	Hiz	許可
B1	PG1/MISO0/TO41	PG1	MISO0	TO41				Vcc	CMOS	有	PG1	入力	Hiz	許可
B2	PG2/RSPCK0/TO42	PG2	RSPCK0	TO42				Vcc	CMOS	有	PG2	入力	Hiz	許可
B3	PG3/TO43/SSL00/(IRQ7)	PG3		TO43	SSL00		(IRQ7)	Vcc	CMOS	有	PG3	入力	Hiz	許可
C1	PG4/IRQ2/TO44/SSL01	PG4	IRQ2	TO44	SSL01			Vcc	しきい値切替	有	PG4	入力	Hiz	禁止
A14	PH0/DROD8/TO20/DDC00/TIF0A	PH0	DROD8	TO20	DDC00	TIF0A		Vcc	しきい値切替	有	PH0	入力	Hiz	禁止
B13	PH1/DROD9/TO21/DDC01/TIF0B	PH1	DROD9	TO21	DDC01	TIF0B		Vcc	しきい値切替	有	PH1	入力	Hiz	禁止
A13	PH2/DROD10/TO22/DDC02/TIF1A	PH2	DROD10	TO22	DDC02	TIF1A		Vcc	しきい値切替	有	PH2	入力	Hiz	禁止
B14	PH3/DROD11/TO23/DDC03/TIF1B	PH3	DROD11	TO23	DDC03	TIF1B		Vcc	しきい値切替	有	PH3	入力	Hiz	禁止
B12	PH4/DROD12/TO24/DDC04/TIA00	PH4	DROD12	TO24	DDC04	TIA00		Vcc	しきい値切替	有	PH4	入力	Hiz	禁止
A12	PH5/DROD13/TO25/DDC05/TIA01	PH5	DROD13	TO25	DDC05	TIA01		Vcc	しきい値切替	有	PH5	入力	Hiz	禁止
C12	PH6/DROD14/TO26/DDC06/TIA02	PH6	DROD14	TO26	DDC06	TIA02		Vcc	しきい値切替	有	PH6	入力	Hiz	禁止
D11	PH7/DROD15/(TO27)/DDC07/TIA03	PH7	DROD15	(TO27)	DDC07	TIA03		Vcc	しきい値切替	有	PH7	入力	Hiz	禁止
B11	PH8/DROD0/(TO30)/DDC08/RTS2#	PH8	DROD0	(TO30)	DDC08	RTS2#		Vcc	しきい値切替	有	PH8	入力	Hiz	禁止
A11	PH9/DROD1/(TO31)/DDC09/CTS2#	PH9	DROD1	(TO31)	DDC09	CTS2#		Vcc	しきい値切替	有	PH9	入力	Hiz	禁止
C11	PH10/DROD2/(TO32)/DDC10	PH10	DROD2	(TO32)	DDC10			Vcc	しきい値切替	有	PH10	入力	Hiz	禁止
D10	PH11/DROD3/(TO33)/DDC11	PH11	DROD3	(TO33)	DDC11			Vcc	しきい値切替	有	PH11	入力	Hiz	禁止
B10	PH12/DROD4/TO34/DDC12	PH12	DROD4	TO34	DDC12			Vcc	しきい値切替	有	PH12	入力	Hiz	禁止

# 1. 概要

端子 番号	端子名	ユーザ端子						回路 電源名	入力バッファ タイプ	出力 駆動 能力 切替	リセット後の端子状態			
		機能 1	機能 2	機能 3	機能 4	機能 5	機能 6				機能	入出力	端子 状態*1	入力 許可
A10	PH13/DROD5/(TO35)/DDC13	PH13	DROD5	(TO35)	DDC13			Vcc	しきい値切替	有	PH13	入力	Hiz	禁止
C10	PH14/DROD6/(TO36)/DDC14/IRQ1	PH14	DROD6	(TO36)	DDC14		IRQ1	Vcc	しきい値切替	有	PH14	入力	Hiz	禁止
A9	PH15/DROD7/TO37/DDC15	PH15	DROD7	TO37	DDC15			Vcc	しきい値切替	有	PH15	入力	Hiz	禁止
H12	PJ0/(CRX0)/FRXA	PJ0	(CRX0)	FRXA				Vcc	しきい値切替	有	PJ0	入力	Hiz	禁止
G12	PJ1/(CTX0)/FTXA	PJ1	(CTX0)	FTXA				Vcc	CMOS	有	PJ1	入力	Hiz	許可
J15	PJ2/CRX1/FRXB	PJ2	CRX1	FRXB				Vcc	しきい値切替	有	PJ2	入力	Hiz	禁止
J14	PJ3/CTX1/FTXB/RTS0#	PJ3	CTX1	FTXB		RTS0#		Vcc	CMOS	有	PJ3	入力	Hiz	許可
H13	PJ4/CRX2/FTXENA/CTS0#	PJ4	CRX2	FTXENA		CTS0#		Vcc	CMOS	有	PJ4	入力	Hiz	許可
H15	PJ5/CTX2/FTXENB/SCK2	PJ5	CTX2	FTXENB		SCK2		Vcc	CMOS	有	PJ5	入力	Hiz	許可
H14	PJ6/CRX3/TIF2A/RXD2/TIA04	PJ6	CRX3	TIF2A		RXD2	TIA04	Vcc	しきい値切替	有	PJ6	入力	Hiz	禁止
G13	PJ7/CTX3/TIF2B/TXD2	PJ7	CTX3	TIF2B		TXD2		Vcc	しきい値切替	有	PJ7	入力	Hiz	禁止
F13	PJ10/RXD0/PWMOFF4/AD0TRG#	PJ10	RXD0	PWMOFF4		AD0TRG#		Vcc	しきい値切替	有	PJ10	入力	Hiz	禁止
G15	PJ11/TXD0/AD0END	PJ11	TXD0			AD0END		Vcc	しきい値切替	有	PJ11	入力	Hiz	禁止
G14	PJ12/SCK0/TCLKB/(IRQ0)	PJ12	SCK0	TCLKB		(IRQ0)		Vcc	しきい値切替	有	PJ12	入力	Hiz	禁止
F15	PJ13/RXD1/MISO1	PJ13	RXD1	MISO1				Vcc	しきい値切替	有	PJ13	入力	Hiz	禁止
E15	PJ14/TXD1/MOSI1	PJ14	TXD1	MOSI1				Vcc	しきい値切替	有	PJ14	入力	Hiz	禁止
F14	PJ15/SCK1/RSPCK1	PJ15	SCK1	RSPCK1				Vcc	しきい値切替	有	PJ15	入力	Hiz	禁止
E13	PK0/IRQ5/SSL10	PK0	IRQ5	SSL10				Vcc	しきい値切替	有	PK0	入力	Hiz	許可
E14	PK5/DINC4/RXD3	PK5			DINC4	RXD3		Vcc	しきい値切替	有	PK5	入力	Hiz	許可
D15	PK6/TXD3	PK6				TXD3		Vcc	しきい値切替	有	PK6	入力	Hiz	許可
D12	PK8/DREQ2	PK8	DREQ2					Vcc	しきい値切替	有	PK8	入力	Hiz	許可
D13	PK9/AUARD0/RTS3#	PK9	AUARD0			RTS3#		Vcc	しきい値切替	有	PK9	入力	Hiz	許可
D14	PK10/AUARD1/CTS3#	PK10	AUARD1			CTS3#		Vcc	しきい値切替	有	PK10	入力	Hiz	許可
C15	PK11/AUARD2	PK11	AUARD2					Vcc	しきい値切替	有	PK11	入力	Hiz	許可
C13	PK12/AUARD3	PK12	AUARD3					Vcc	しきい値切替	有	PK12	入力	Hiz	許可
C14	PK13/AUDRCLK	PK13	AUDRCLK					Vcc	しきい値切替	有	PK13	入力	Hiz	許可
B15	PK14/AUDRSYN#	PK14	AUDRSYN#					Vcc	しきい値切替	有	PK14	入力	Hiz	許可
B9	PL2/DROWR	PL2	DROWR					Vcc	しきい値切替	有	PL2	入力	Hiz	禁止
D7	PL3/IRQ6	PL3		IRQ6				Vcc	しきい値切替	有	PL3	入力	Hiz	禁止
C7	PL4/TIA10/(TIF0A)	PL4	TIA10	(TIF0A)				Vcc	しきい値切替	有	PL4	入力	Hiz	禁止
B8	PL5/TIA11/(TIF0B)	PL5	TIA11	(TIF0B)				Vcc	しきい値切替	有	PL5	入力	Hiz	禁止
A8	PL6/TIA12/(TIF1A)	PL6	TIA12	(TIF1A)				Vcc	しきい値切替	有	PL6	入力	Hiz	禁止
A7	PL8/TIA14/IRQ7/DREQ3	PL8	TIA14	IRQ7		DREQ3		Vcc	しきい値切替	有	PL8	入力	Hiz	禁止
B7	PL9/TIA15/AUDREVT#	PL9	TIA15			AUDREVT#		Vcc	しきい値切替	有	PL9	入力	Hiz	禁止
L12	PM0/AD0IN0	PM0	AD0IN0					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN0	入力	Hiz	許可
N12	PM2/AD0IN2	PM2	AD0IN2					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN2	入力	Hiz	許可
M13	PM4/AD0IN4	PM4	AD0IN4					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN4	入力	Hiz	許可
N13	PM6/AD0IN6	PM6	AD0IN6					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN6	入力	Hiz	許可
P14	PM8/AD0IN8	PM8	AD0IN8					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN8	入力	Hiz	許可



# 1. 概要

端子 番号	端子名	ユーザ端子						回路 電源名	入力バッファ タイプ	出力 駆動 能力 切替	リセット後の端子状態			
		機能 1	機能 2	機能 3	機能 4	機能 5	機能 6				機能	入出力	端子 状態*1	入力 許可
N14	PM9/AD0IN9	PM9	AD0IN9					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN9	入力	Hiz	許可
R14	PM10/AD0IN10	PM10	AD0IN10					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN10	入力	Hiz	許可
P13	PM11/AD0IN11	PM11	AD0IN11					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN11	入力	Hiz	許可
R13	PM12/AD0IN12	PM12	AD0IN12					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN12	入力	Hiz	許可
P12	PM13/AD0IN13	PM13	AD0IN13					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN13	入力	Hiz	許可
R12	PM14/AD0IN14	PM14	AD0IN14					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN14	入力	Hiz	許可
P11	PM15/AD0IN15	PM15	AD0IN15					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD0IN15	入力	Hiz	許可
J13	PN0/AD1IN0	PN0	AD1IN0					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD1IN0	入力	Hiz	許可
J12	PN1/AD1IN1	PN1	AD1IN1					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD1IN1	入力	Hiz	許可
K12	PN4/AD1IN4	PN4	AD1IN4					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD1IN4	入力	Hiz	許可
K13	PN5/AD1IN5	PN5	AD1IN5					AVcc	CMOS(機能 1) アナログ(機能 2)	—	AD1IN5	入力	Hiz	許可
P15	AVcc									—	AVcc	—	—	—
N15	AVss									—	AVss	—	—	—
K15	AVcc									—	AVcc	—	—	—
K14	AVss									—	AVss	—	—	—
M15	AVREFH									—	AVREFH	—	—	—
M14	AVREFL									—	AVREFL	—	—	—
L15	AVREFH									—	AVREFH	—	—	—
L14	AVREFL									—	AVREFL	—	—	—
G2	PLLvcc									—	PLLvcc	—	—	—
G1	PLLvss									—	PLLvss	—	—	—
C4	Vdd									—	Vdd	—	—	—
C5	Vdd									—	Vdd	—	—	—
C6	Vdd									—	Vdd	—	—	—
D5	Vdd									—	Vdd	—	—	—
D6	Vdd									—	Vdd	—	—	—
M7	Vdd									—	Vdd	—	—	—
M8	Vdd									—	Vdd	—	—	—
N7	Vdd									—	Vdd	—	—	—
N8	Vdd									—	Vdd	—	—	—
J4	Vss									—	Vss	—	—	—
F4	Vss									—	Vss	—	—	—
C2	Vss									—	Vss	—	—	—
D3	Vss									—	Vss	—	—	—

端子 番号	端子名	ユーザ端子						回路 電源名	入力バッファ タイプ	出力 駆動 能力 切替	リセット後の端子状態			
		機能 1	機能 2	機能 3	機能 4	機能 5	機能 6				機能	入出力	端子 状態*1	入力 許可
D4	Vss									-	Vss	-	-	-
E3	Vss									-	Vss	-	-	-
E4	Vss									-	Vss	-	-	-
F3	Vss									-	Vss	-	-	-
M4	Vss									-	Vss	-	-	-
M5	Vss									-	Vss	-	-	-
M6	Vss									-	Vss	-	-	-
A6	Vcc									-	Vcc	-	-	-
L3	Vcc									-	Vcc	-	-	-
L4	Vcc									-	Vcc	-	-	-
M10	Vcc									-	Vcc	-	-	-
N10	Vcc									-	Vcc	-	-	-
K3	Vss									-	Vss	-	-	-
K4	Vss									-	Vss	-	-	-
M11	Vss									-	Vss	-	-	-
N11	Vss									-	Vss	-	-	-
C9	Vcc									-	Vcc	-	-	-
D9	Vcc									-	Vcc	-	-	-
F12	Vcc									-	Vcc	-	-	-
C8	Vss									-	Vss	-	-	-
D8	Vss									-	Vss	-	-	-
E12	Vss									-	Vss	-	-	-
A1	Vss(N.C.)									-	Vss	-	-	-
A15	Vss(N.C.)									-	Vss	-	-	-
R1	Vss(N.C.)									-	Vss	-	-	-
R15	AVcc(N.C.)									-	AVcc	-	-	-
L13	AVss									-	AVss	-	-	-
M12	AVss									-	AVss	-	-	-

【注】 \*1 (プルアップ) と (プルダウン) の表記の意味はそれぞれ以下のとおりです。また、プルアップ/プルダウン MOS 電流は「第 38 章 電気的特性」を参照してください。

(プルアップ) : 端子にプルアップ機能があります。

(プルダウン) : 端子にプルダウン機能があります。

・ SH7456 グループには、FlexRay (FRXA、FTXA、FRXB、FTXB、FTXENA、FTXENB) はありません。

・ すべての Vss と Vss(N.C.)は接続されています。

・ AVcc(N.C.)(R15 端子)と AVcc(P15 端子)は AD0 モジュールの AVcc に接続されています。

・ AVss(N15 端子)と AVss(M12、L13 端子)は AD0 モジュールの AVss に接続されています。

・ AVREFH(M15 端子)は AD0 モジュールの AVREFH に接続されています。

・ AVREFH(L15 端子)は AD1 モジュールの AVREFH に接続されています。

・ AVREFL(M14 端子)は AD0 モジュールの AVREFL に接続されています。

・ AVREFL(L14 端子)は AD1 モジュールの AVREFL に接続されています。

・ 電源名(N.C.)と記載している端子は、開放であってもマイコン動作には影響を及ぼしませんが、電源安定の観点から接続することを推奨します。

・ 同じ端子機能名が 2 箇所の端子に配置されている場合、端子機能名と括弧付きの (端子機能名) の 2 種類に分けて記載しています。端子機能はどちらも同じです。端子機能名の対応は表 18.15 を参照してください。

## 1. 概要

### 1.6 端子機能の説明

表 1.4 に端子機能の説明を示します。

表 1.4 端子機能の説明

分類	端子名	入出力	機能
電源	Vcc	入力	システム、I/O ポート制御回路用の電源端子です。すべて接続してください。
	Vss	入力	グラウンド端子です。すべてグラウンド (GND) に接続してください。
	Vdd	入力	MCU 内部ロジック回路用電源です。すべて接続してください。
	DET3OR5	入力	Vcc 電圧レベル指定端子です。
	PLLvcc	入力	PLL 逡倍回路用の電源です。
	PLLvss	入力	PLL 逡倍回路用のグラウンド端子です。
クロック	EXTAL	入力	水晶発振子または外部クロック入力端子です。
	XTAL	出力	水晶発振子を接続してください。
	CLKOUT	出力	システムクロック出力端子です。
システム制御	MD0~2	入力	動作モード設定端子です。本 MCU 動作中に MD0~2 の値を変化させないでください。
	FWE	入力	ROM の書き込みを許可/禁止します。
	MPMD	入力	動作モード設定端子です。本 MCU 動作中に MPMD の値を変化させないでください。
	RESET#	入力	リセット入力端子です。RESET#端子が"L"レベルになると、本 MCU はハードウェアリセット状態になります。
割り込み	NMI	入力	ノンマスクابل割り込み要求端子です。
	IRQ0~2、5~7	入力	外部割り込み要求入力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF#	出力	カウンタオーバーフロー出力端子です。
I/O ポート	PA0~13	入出力	14 本の汎用入出力ポート端子です。
	PB0、1、3	入出力	3 本の汎用入出力ポート端子です。
	PC0~3、5、6、14	入出力	7 本の汎用入出力ポート端子です。
	PD0~10	入出力	11 本の汎用入出力ポート端子です。
	PE15	入出力	1 本の汎用入出力ポート端子です。
	PF0、1、4、5	入出力	4 本の汎用入出力ポート端子です。
	PG0~4	入出力	5 本の汎用入出力ポート端子です。
	PH0~15	入出力	16 本の汎用入出力ポート端子です。
	PJ0~7、10~15	入出力	14 本の汎用入出力ポート端子です。
	PK0、5、6、8~14	入出力	10 本の汎用入出力ポート端子です。
	PL2~6、8、9	入出力	7 本の汎用入出力ポート端子です。
	PM0、2、4、6、8~15	入力	12 本の汎用入力ポート端子です。
	PN0、1、4、5	入力	4 本の汎用入力ポート端子です。

分類	端子名	入出力	機能
ダイレクトメモリアクセス コントローラ (DMAC)	DREQ0、2、3	入力	DMA 転送要求入力端子です。
アドバンスドタイマユニット-III (ATU-III)	TCLKB	入力	クロックバス 5 への外部クロック入力端子です。
	TIA00~04、10~12、 14、15	入力	タイマ A の各チャネルへのインプットキャプチャトリガ入力端子 です。
	TIF0A、TIF0B、TIF1A、 TIF1B、TIF2A、TIF2B	入力	タイマ F の各チャネルへのイベント入力端子です。
	PWMOFF0、1、3、4	入力	タイマ TOU の PWM 出力禁止制御信号入力端子です。
	TO00~07、 TO10~15、 TO20~27、 TO30~37、 TO40~44	出力	タイマ TOU の各チャネルのパルス/PWM 出力端子です。
FIFO 内蔵シリアルコミュニ ケーションインタフェー ス (SCIF)	SCK0~2	入出力	クロック入出力端子です。
	RXD0~3	入力	受信データ入力端子です。
	TXD0~3	出力	送信データ出力端子です。
	RTS0#、2#、3#	入出力	リクエストツースェンド
	CTS0#、2#、3#	入出力	クリアツースェンド
ルネサスシリアルペリフェ ラルインタフェース (RSPI)	RSPCK0~2	入出力	RSPI0~2 クロック入出力端子です。
	MOSI0、1、2	入出力	RSPI0~2 マスタ送出データ入出力端子です。
	MISO0、1、2	入出力	RSPI0~2 スレーブ送出データ入出力端子です。
	SSL00、10、20	入出力	RSPI0~2 スレーブセレクトデータ入出力端子です。
	SSL01	出力	RSPI0 スレーブセレクトデータ出力端子です。
I <sup>2</sup> C バスインタフェース 3 (IIC3)	SCL	入出力	I <sup>2</sup> C シリアルクロック入出力端子です。
	SDA	入出力	I <sup>2</sup> C シリアルデータ入出力端子です。
CAN モジュール	CRX0~3	入力	データ受信用の端子です。
	CTX0~3	出力	データ送信用の端子です。
A/D 変換器 (ADC)	AVcc	入力	A/D 変換器用の電源端子です。すべて接続してください。
	AVss	入力	A/D 変換器用のグラウンド端子です。すべて接続してください。
	AVREFL	入力	A/D 変換器用の基準電圧端子です。すべて接続してください。
	AVREFH	入力	A/D 変換器用の基準電圧端子です。すべて接続してください。
	AD0IN0、2、4、6、8 ~15	入力	AD0 モジュール用のアナログ入力端子です。
	AD1IN0、1、4、5	入力	AD1 モジュール用のアナログ入力端子です。
	AD0TRG#	入力	AD0 モジュール用のスキャン変換起動トリガ入力端子です。
AD0END	出力	AD0 モジュール用の AD0IN0 の変換タイミングモニタ出力端子 です。	

## 1. 概要

分類	端子名	入出力	機能
ダイレクト RAM インพุットインタフェース (DRI)	DDB00~13	入力	DRI 入力データの入力端子です。
	DDC00~15	入力	DRI 入力データの入力端子です。
	DINB0、1、3	入力	DRI 入力イベントの入力端子です。
	DINC4	入力	DRI 入力イベントの入力端子です。
ダイレクト RAM アウトプットインタフェース (DRO)	DROD0~15	出力	DRO 出力データの出力端子です。
	DROWR	出力	DRO 出力データストローブの出力端子です。
パラレル DAC 制御 (PDAC)	PDIDATA0~9	出力	PDI 出力データの出力端子です。
	PDIWR	出力	PDI 出力データストローブの出力端子です。
パラレルセクタ (PSEL)	PSLCLKA	出力	PSEL クロック A 出力端子です。
	PSLCLKB	出力	PSEL クロック B 出力端子です。
	PSLDATA0~3	出力	PSEL セレクトデータ出力端子です。
	PSLCLR	出力	PSEL クリアパルス出力端子です。
FlexRay モジュール	FRXA	入力	チャンネル A 受信データ入力端子です。
	FTXA	出力	チャンネル A 送信データ出力端子です。
	FTXENA	出力	チャンネル A 送信データ出力許可端子です。この端子が"H"レベルのときは送信禁止、"L"レベルのときは送信許可の状態です。
	FRXB	入力	チャンネル B 受信データ入力端子です。
	FTXB	出力	チャンネル B 送信データ出力端子です。
	FTXENB	出力	チャンネル B 送信データ出力許可端子です。この端子が"H"レベルのときは送信禁止、"L"レベルのときは送信許可の状態です。
AUD RAM モニタ (AUDR)	AUDRCLK	入力	同期クロック入力端子です。デバッグに使用するクロックを入力してください。入力できる周波数は 12.5MHz 以下です。
	AUDRSYN#	入力	データ先頭位置認識信号入力端子です。
	AUDRD0~3	入出力	コマンド、アドレス/データ入出力端子です。
	AUDREVT#	出力	イベント出力端子です。
ユーザデバッグインタフェース (H-UDI)	TCK	入力	JTAG のシリアルクロック入力端子です。
	TMS	入力	モードセレクト入力端子です。
	TRST#	入力	H-UDI リセット信号入力端子です。
	TDI	入力	データ入力端子です。
	TDO	出力	データ出力端子です。
	ASEBRK#/BRKACK	入出力	エミュレータ専用端子です。

---

## 2. プログラミングモデル

---

本章では、SH-4A のプログラミングモデルについて記述します。SH-4A では以下に示すレジスタとデータ形式を持っています。

### 2.1 データフォーマット

図 2.1 に SH-4A でサポートしているデータフォーマットを示します。

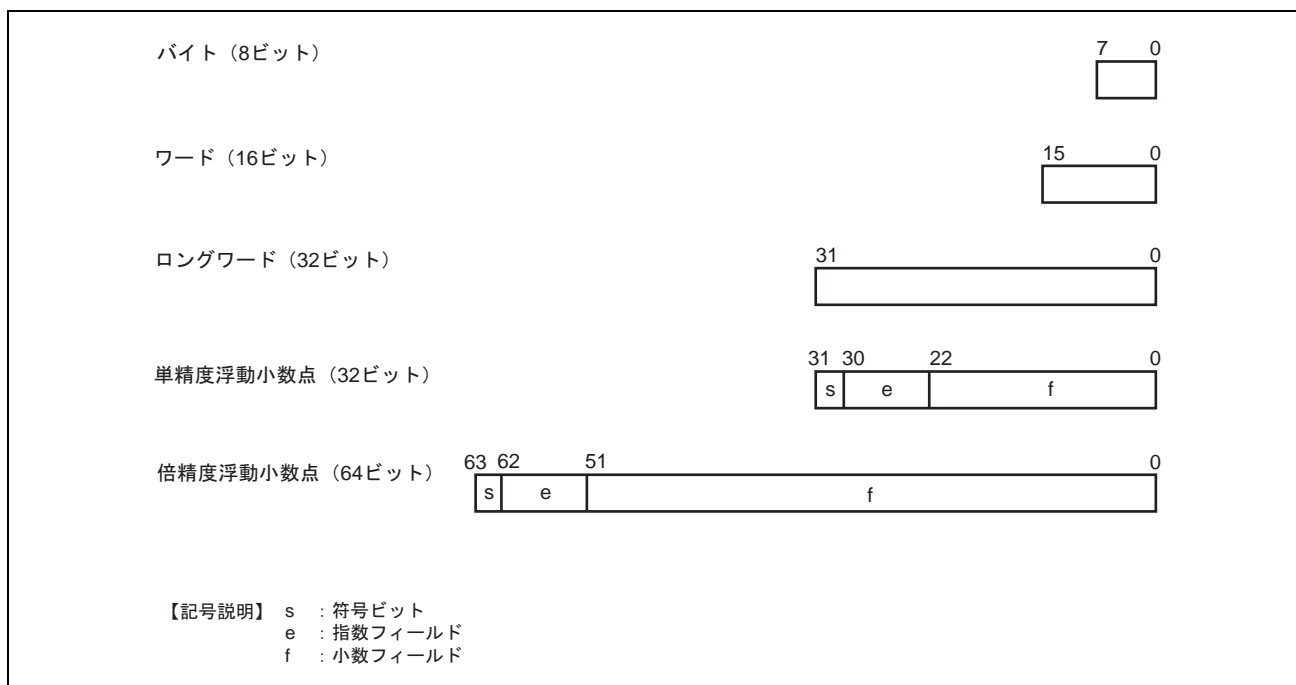


図 2.1 データフォーマット

### 2.2 レジスタの構成

#### 2.2.1 特権モードとバンク

##### (1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

##### (2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

###### ● 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決められます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

###### ● ユーザモードの場合

バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはアクセスできません。

##### (3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (たとえばRBビット) があります。

## (4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

## (5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14 (倍精度浮動小数点レジスタ、またはレジスタペア) の 8 本、FV0/4/8/12 (レジスタベクタ) の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14 (レジスタペア) の 8 本、XMTRX (レジスタ行列) の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理を設定します。

表 2.1 にリセット後のレジスタの値を示します。

表 2.1 レジスタの初期値

区分	レジスタ	リセット後の値*1
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは"1"、RB ビットは"1"、BL ビットは"1"、 IMASK は"B'1111"、その他は予約ビットも含めて"0"
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'0000 0000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A000 0000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'0004 0001

【注】 \*1 ハードウェアリセットで初期化されます。

図 2.2 に処理モード別の CPU レジスタ構成を示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。



## 2. プログラミングモデル

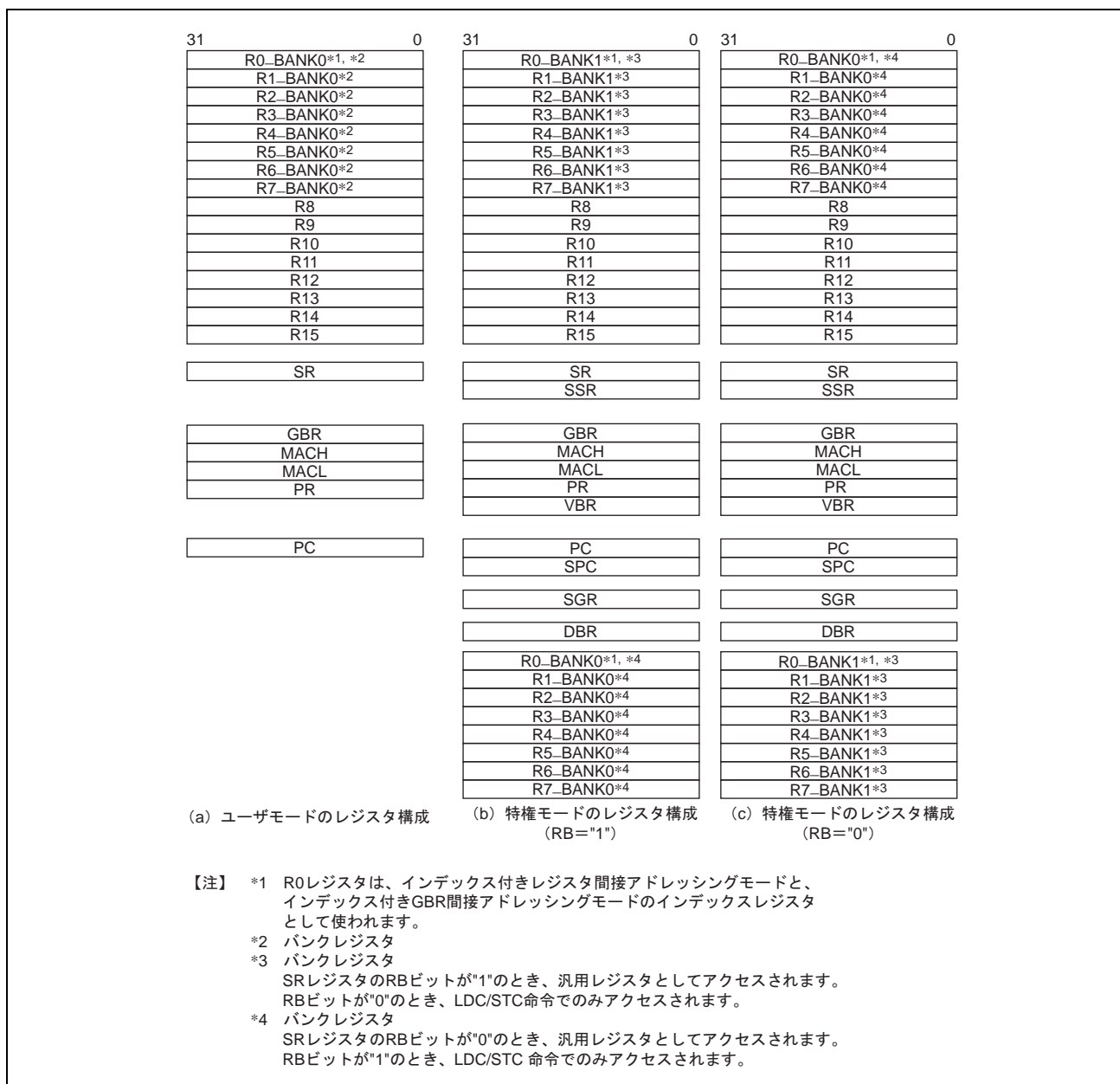


図 2.2 処理モード別の CPU レジスタ構成

## 2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4A には 24 本の 32 ビット汎用レジスタ (R0\_BANK0~R7\_BANK0、R0\_BANK1~R7\_BANK1、R8~R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0~R15 としてアクセスできます。SH-4A には特権モードとユーザモードの 2 つの処理モードがあります。R0~R7 はその 2 つのモードにより次のように割り当てられます。

- R0\_BANK0~R7\_BANK0

ユーザモード (SR.MD="0") では、常に R0~R7 に割り当てられます。

特権モード (SR.MD="1") では、(SR.RB="0") の場合に限り R0~R7 に割り当てられます。

- R0\_BANK1~R7\_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB="1") の場合に限り、R0~R7 に割り当てられます。

SR.MD="0"または (SR.MD="1", SR.RB="0")		(SR.MD="1", SR.RB="1")
R0	R0_BANK0	R0-BANK0
R1	R1_BANK0	R1-BANK0
R2	R2_BANK0	R2-BANK0
R3	R3_BANK0	R3-BANK0
R4	R4_BANK0	R4-BANK0
R5	R5_BANK0	R5-BANK0
R6	R6_BANK0	R6-BANK0
R7	R7_BANK0	R7-BANK0
R0-BANK1	R0_BANK1	R0
R1-BANK1	R1_BANK1	R1
R2-BANK1	R2_BANK1	R2
R3-BANK1	R3_BANK1	R3
R4-BANK1	R4_BANK1	R4
R5-BANK1	R5_BANK1	R5
R6-BANK1	R6_BANK1	R6
R7-BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.3 汎用レジスタ

## 2. プログラミングモデル

---

### 【プログラミング上の注意】

ユーザモードの R0~R7 は R0\_BANK0~R7\_BANK0 に、例外・割り込み後の R0~R7 は R0\_BANK1~R7\_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0~R7 (R0\_BANK0~R7\_BANK0) を退避または復帰する必要はありません。

### 2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

#### (1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0、FPR1\_BANK0、FPR2\_BANK0、FPR3\_BANK0、  
FPR4\_BANK0、FPR5\_BANK0、FPR6\_BANK0、FPR7\_BANK0、  
FPR8\_BANK0、FPR9\_BANK0、FPR10\_BANK0、FPR11\_BANK0、  
FPR12\_BANK0、FPR13\_BANK0、FPR14\_BANK0、FPR15\_BANK0  
FPR0\_BANK1、FPR1\_BANK1、FPR2\_BANK1、FPR3\_BANK1、  
FPR4\_BANK1、FPR5\_BANK1、FPR6\_BANK1、FPR7\_BANK1、  
FPR8\_BANK1、FPR9\_BANK1、FPR10\_BANK1、FPR11\_BANK1、  
FPR12\_BANK1、FPR13\_BANK1、FPR14\_BANK1、FPR15\_BANK1

#### (2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR="0" のとき、FR0~FR15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。  
FPSCR.FR="1" のとき、FR0~FR15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

#### (3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0={FR0、FR1}、DR2={FR2、FR3}、  
DR4={FR4、FR5}、DR6={FR6、FR7}、  
DR8={FR8、FR9}、DR10={FR10、FR11}、  
DR12={FR12、FR13}、DR14={FR14、FR15}

#### (4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0={FR0、FR1、FR2、FR3}、  
FV4={FR4、FR5、FR6、FR7}、  
FV8={FR8、FR9、FR10、FR11}、  
FV12={FR12、FR13、FR14、FR15}

## (5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR="0"のとき、XF0~XF15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

FPSCR.FR="1"のとき、XF0~XF15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD<sub>i</sub> (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0={XF0、XF1}、XD2={XF2、XF3}、

XD4={XF4、XF5}、XD6={XF6、XF7}、

XD8={XF8、XF9}、XD10={XF10、XF11}、

XD12={XF12、XF13}、XD14={XF14、XF15}

## (7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

## 2. プログラミングモデル

<u>FPSCR.FR="0"</u>				<u>FPSCR.FR="1"</u>		
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
FV4	DR4	FR4	FPR4_BANK0	XF4	XD4	
		FR5	FPR5_BANK0	XF5		
	DR6	FR6	FPR6_BANK0	XF6	XD6	
		FR7	FPR7_BANK0	XF7		
FV8	DR8	FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
	DR10	FR10	FPR10_BANK0	XF10	XD10	
		FR11	FPR11_BANK0	XF11		
FV12	DR12	FR12	FPR12_BANK0	XF12	XD12	
		FR13	FPR13_BANK0	XF13		
	DR14	FR14	FPR14_BANK0	XF14	XD14	
		FR15	FPR15_BANK0	XF15		
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0
		XF1	FPR1_BANK1	FR1		
	XD2	XF2	FPR2_BANK1	FR2	DR2	
		XF3	FPR3_BANK1	FR3		
	XD4	XF4	FPR4_BANK1	FR4	DR4	FV4
		XF5	FPR5_BANK1	FR5		
	XD6	XF6	FPR6_BANK1	FR6	DR6	
		XF7	FPR7_BANK1	FR7		
	XD8	XF8	FPR8_BANK1	FR8	DR8	FV8
		XF9	FPR9_BANK1	FR9		
	XD10	XF10	FPR10_BANK1	FR10	DR10	
		XF11	FPR11_BANK1	FR11		
	XD12	XF12	FPR12_BANK1	FR12	DR12	FV12
		XF13	FPR13_BANK1	FR13		
	XD14	XF14	FPR14_BANK1	FR14	DR14	
		XF15	FPR15_BANK1	FR15		

図 2.4 浮動小数点レジスタ

## 2.2.4 コントロールレジスタ

## (1) ステータスレジスタ (SR)

ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	—	—	—	—	—	M	Q	IMASK			—	—	S	T	
リセット後の値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

&lt;リセット後の値 : H'7000 00F0&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
30	MD	1	R	W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令あり。また、リソースの中にはアクセスできないリソースあり。) 1 : 特権モード 例外または割り込みにより"1"にセットされます。
29	RB	1	R	W	特権モードでの汎用レジスタバンク指定ビット 0: R0_BANK0~R7_BANK0 は汎用レジスタ R0~R7 としてアクセスでき、 R0_BANK1~R7_BANK1 は LDC/STC 命令でアクセス可能 1: R0_BANK1~R7_BANK1 は汎用レジスタ R0~R7 としてアクセスでき、 R0_BANK0~R7_BANK0 は LDC/STC 命令でアクセス可能 例外または割り込みにより"1"にセットされます。
28	BL	1	R	W	例外/割り込みブロックビット このビットが"1"のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより"1"にセットされます。
27~16	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
15	FD	0	R	W	FPU ディスエーブルビット このビットが"1"のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します (FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(.L)/STS(.L)命令)。

## 2. プログラミングモデル

ビット	シンボル	リセット後の値	R	W	説明
14~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9	M	0	R	W	Mビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R	W	Qビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R	W	割り込みマスクレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	S	0	R	W	Sビット MAC 命令の飽和動作を指定します。
0	T	0	R	W	Tビット 真/偽条件、キャリ、ボロー、オーバフローまたはアンダフローなどを表します。詳細は、「第3章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、リセット後の値=不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、リセット後の値=不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、リセット後の値=不定)

GBR は@(disp,GBR)、@(R0,GBR)アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、リセット後の値=H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、リセット後の値=不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

## (7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、リセット後の値=不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE="1")、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

## 2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、リセット後の値=不定)、  
積和下位レジスタ (MACL) (32 ビット、リセット後の値=不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

## (2) プロシージャレジスタ (PR) (32 ビット、リセット後の値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

## (3) プログラムカウンタ (PC) (32 ビット、リセット後の値=H'A000 0000)

PC は実行中の命令アドレスを示します。

## (4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値: H'0004 0001>

ビット	シンボル	リセット後の値	R	W	説明
31~22	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
21	FR	0	R	W	浮動小数点レジスタバンク 0 : FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられる 1 : FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられる



## 2. プログラミングモデル

ビット	シンボル	リセット後の値	R	W	説明
20	SZ	0	R	W	<p>転送サイズモード</p> <p>0 : FMOV 命令のデータサイズは 32 ビット</p> <p>1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビット</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
19	PR	0	R	W	<p>精度モード</p> <p>0 : 浮動小数点命令を単精度演算として実行する</p> <p>1 : 浮動小数点命令を倍精度演算として実行する (グラフィックサポート命令は未定義)</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R	W	<p>非正規化モード</p> <p>0 : 非正規化数を非正規化数として扱う</p> <p>1 : 非正規化数を 0 として扱う</p>
17~12	Cause	すべて 0	R	W	FPU 例外要因フィールド
11~7	Enable (EN)	すべて 0	R	W	FPU 例外イネーブルフィールド FPU 例外フラグフィールド
6~2	Flag	すべて 0	R	W	<p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に"0"に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが"1"にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R	W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00 : 近傍への丸め</p> <p>01 : 0 方向への丸め</p> <p>10 : 予約 (設定禁止)</p> <p>11 : 予約 (設定禁止)</p>

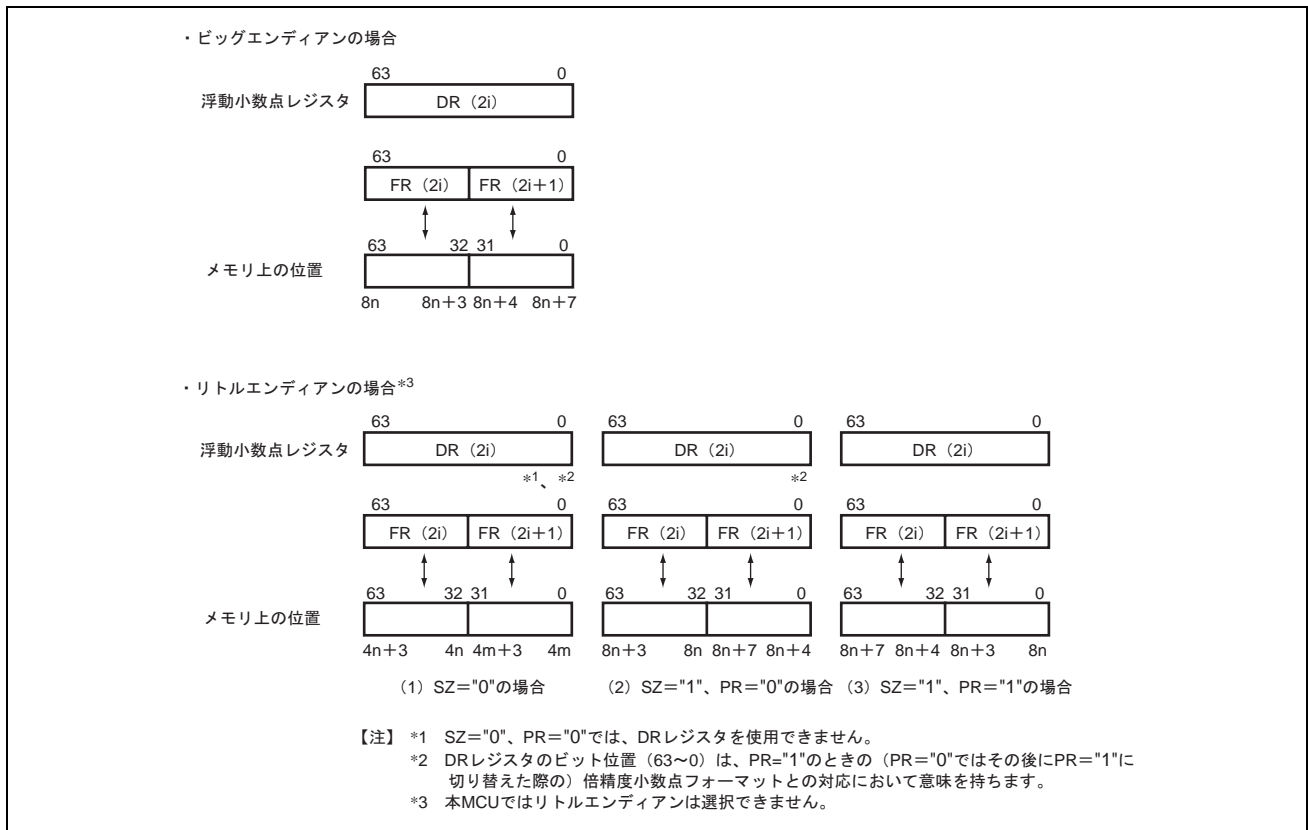


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

	FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバフロー (O)	アンダフロー (U)	不正確 (I)	
Cause	FPU 例外要因フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、リセット後の値=不定)  
 FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

### 2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000～H'1FFF FFFF

H'FC00 0000～H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000～H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000～H'FFFF FFFF

ユーザモードで領域H'FC00 0000～H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照できます。

**【注】**・ 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

## 2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）またはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

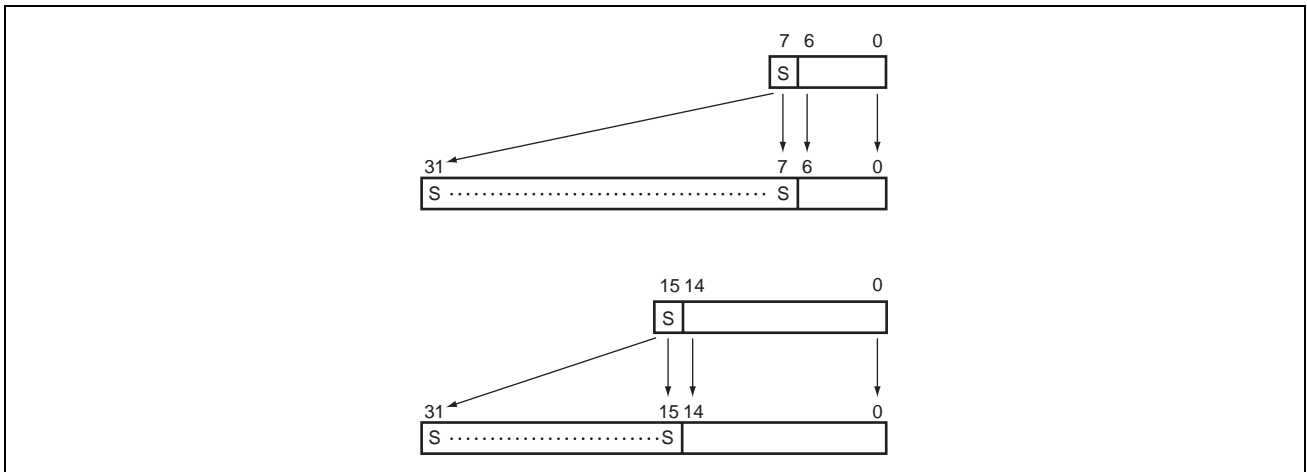


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

## 2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスできます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンです。ビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

図 2.7 にメモリ上のデータ形式を示します。

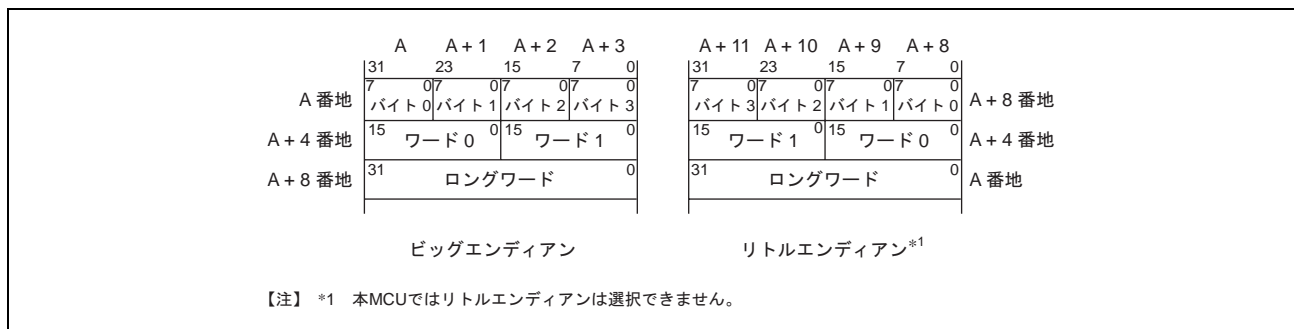


図 2.7 メモリ上のデータ形式

64ビットのデータ形式については図 2.5 を参照してください。

## 2.6 処理状態

処理状態には、大きく分けてリセット状態と命令実行状態の2種類があります。

### (1) リセット状態

CPU がリセットされている状態です。

CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。詳細は、各章のレジスタ構成を参照してください。

### (2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

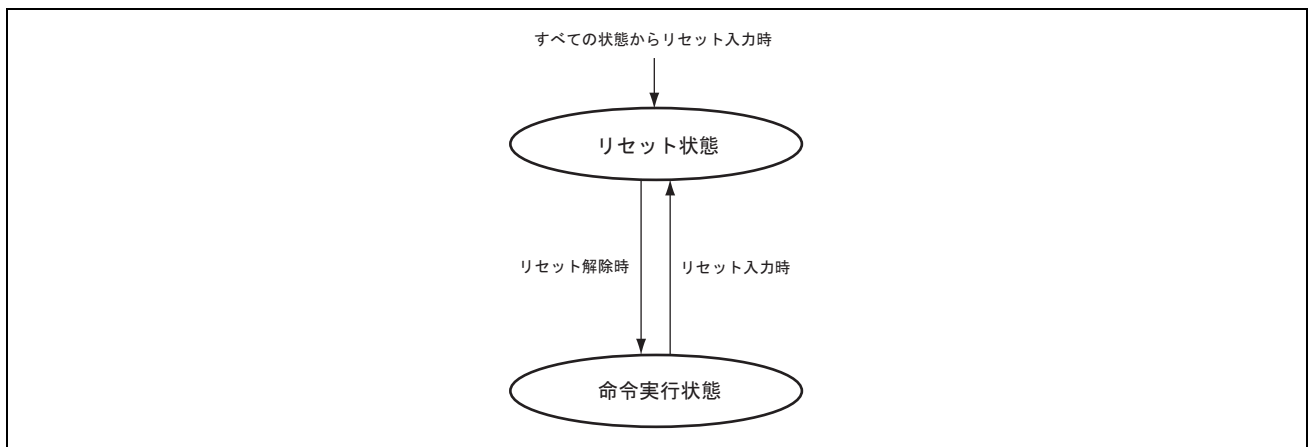


図 2.8 処理状態遷移図

### 2.7 使用上の注意事項

#### 2.7.1 自己書き換えコードに対する注意事項

SH-4A は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

SYNCO

ICBI @Rn

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合（ライトスルーモード時）

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合（コピーバックモード時）

OCBP @Rm または OCBWB @Rm

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。

ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】・ 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する処理

---

## 3. 命令セット

---

SH-4A の命令セットは固定長 16 ビット命令で実現されます。SH-4A はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、クワッドワードサイズでメモリとのやりとりが可能です。SH-4A がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

### 3.1 実行環境

#### (1) PC

PC はその命令自身の命令アドレスを示します。

#### (2) ロード/ストアアーキテクチャ

SH-4A は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

#### (3) 遅延分岐

SH-4A の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

#### (4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	↓
:			ADD
:			↓
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。



### 3. 命令セット

---

#### (5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

ADD	#1, R0	;T ビットは ADD 演算で変更されません。
CMP/EQ	R1, R0	;R0=R1 のとき T ビットは"1"にセットされます。
BT	TARGET	;T ビット="1" (R0=R1) のとき TARGET に分岐します。

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

#### (6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。


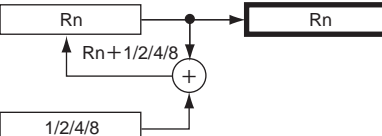
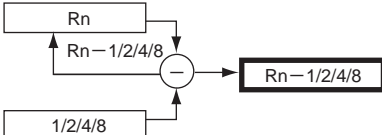
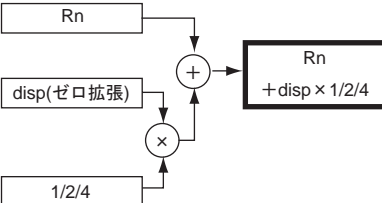
MOV.W	@(disp, PC), Rn
MOV.L	@(disp, PC), Rn

浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットできます。

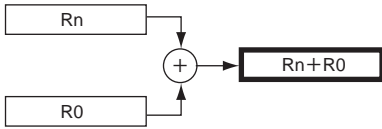
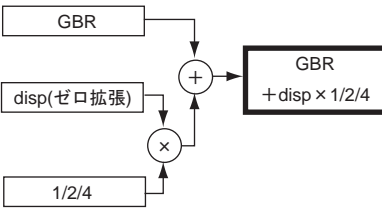
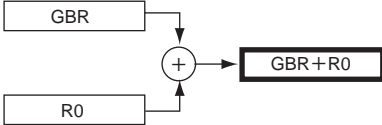
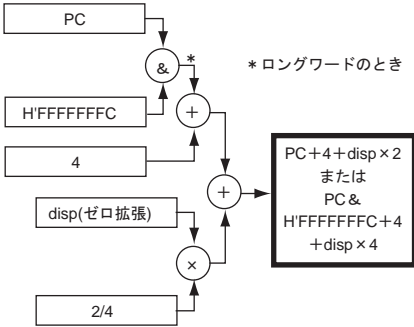
## 3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT="1")、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV="0")、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn→EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn→EA 命令実行後 バイト : Rn+1→Rn ワード : Rn+2→Rn ロングワード : Rn+4→Rn クワッドワード : Rn+8→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn-1→Rn ワード : Rn-2→Rn ロングワード : Rn-4→Rn クワッドワード : Rn-8→Rn Rn→EA (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn+disp→EA ワード : Rn+disp×2→EA ロングワード : Rn+disp×4→EA

### 3. 命令セット

アドレッシングモード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0 \rightarrow EA$
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	<p>バイト : <math>GBR + disp \rightarrow EA</math>            ワード : <math>GBR + disp \times 2 \rightarrow EA</math>            ロングワード : <math>GBR + disp \times 4 \rightarrow EA</math></p>
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0 \rightarrow EA$
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC+4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	<p>ワード : <math>PC + 4 + disp \times 2 \rightarrow EA</math>            ロングワード :  <math>PC \&amp; H'FFFFFFFC + 4 + disp \times</math>  <math>\rightarrow EA</math></p>

アドレッシングモード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC+4 に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp \times 2 \rightarrow$ Branch-Target
	disp:12	<p>実効アドレスは PC+4 に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp \times 2 \rightarrow$ Branch-Target
	Rn	<p>実効アドレスは PC+4 に Rn を加算した内容です。</p>	$PC+4+Rn \rightarrow$ Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

【注】・下記のディスプレイースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケールリング (×1、×2、×4) を行う前の値を書いています。これは、MCU の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイースメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイースメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイースメント付き PC 相対
- disp: 8, disp:12 ;PC 相対

### 3. 命令セット

#### 3.3 命令セット

表 3.3 に、表 3.4～表 3.13 に示す SuperH 命令の説明に使用する表記を示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		→、← : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積   : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB↔LSB	m m m m : レジスタ番号 (Rm, FRm) n n n n : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 m m m : レジスタ番号 (DRm, XDm, Rm_BANK) n n n : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK m m : レジスタ番号(FVm) n n : レジスタ番号(FVn)

## 3. 命令セット

項目	フォーマット	説明
命令コード	MSB↔LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード	—	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	— : 変更なし
新規	—	「新規」と記載してある場合は、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A で新規に追加された命令です。

【注】・スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

### 3. 命令セット

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm→符号拡張→Rn	1110nnnniiiiiii	—	—	—
MOV.W @(disp* <sup>1</sup> ,PC),Rn	(disp×2+PC+4)→符号拡張→Rn	1001nnnnddddddd	—	—	—
MOV.L @(disp* <sup>1</sup> ,PC),Rn	(disp×4+PC+H'FFFFFFC+4)→Rn	1101nnnnddddddd	—	—	—
MOV Rm,Rn	Rm→Rn	0110nnnnmmmm0011	—	—	—
MOV.B Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0000	—	—	—
MOV.W Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0001	—	—	—
MOV.L Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0010	—	—	—
MOV.B @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0000	—	—	—
MOV.W @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0001	—	—	—
MOV.L @Rm,Rn	(Rm)→Rn	0110nnnnmmmm0010	—	—	—
MOV.B Rm,@-Rn	Rn-1→Rn, Rm→(Rn)	0010nnnnmmmm0100	—	—	—
MOV.W Rm,@-Rn	Rn-2→Rn, Rm→(Rn)	0010nnnnmmmm0101	—	—	—
MOV.L Rm,@-Rn	Rn-4→Rn, Rm→(Rn)	0010nnnnmmmm0110	—	—	—
MOV.B @Rm+,Rn	(Rm)→符号拡張→Rn, Rm+1→Rm	0110nnnnmmmm0100	—	—	—
MOV.W @Rm+,Rn	(Rm)→符号拡張→Rn, Rm+2→Rm	0110nnnnmmmm0101	—	—	—
MOV.L @Rm+,Rn	(Rm)→Rn, Rm+4→Rm	0110nnnnmmmm0110	—	—	—
MOV.B R0,@(disp* <sup>1</sup> ,Rn)	R0→(disp+Rn)	10000000nnnnddd	—	—	—
MOV.W R0,@(disp* <sup>1</sup> ,Rn)	R0→(disp×2+Rn)	10000001nnnnddd	—	—	—
MOV.L Rm,@(disp* <sup>1</sup> ,Rn)	Rm→(disp×4+Rn)	0001nnnnmmmmddd	—	—	—
MOV.B @(disp* <sup>1</sup> ,Rm),R0	(disp+Rm)→符号拡張→R0	10000100mmmmddd	—	—	—
MOV.W @(disp* <sup>1</sup> ,Rm),R0	(disp×2+Rm)→符号拡張→R0	10000101mmmmddd	—	—	—
MOV.L @(disp* <sup>1</sup> ,Rm),Rn	(disp×4+Rm)→Rn	0101nnnnmmmmddd	—	—	—
MOV.B Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0100	—	—	—
MOV.W Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0101	—	—	—
MOV.L Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0110	—	—	—
MOV.B @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1100	—	—	—
MOV.W @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1101	—	—	—
MOV.L @(R0,Rm),Rn	(R0+Rm)→Rn	0000nnnnmmmm1110	—	—	—
MOV.B R0,@(disp* <sup>1</sup> ,GBR)	R0→(disp+GBR)	11000000ddddddd	—	—	—
MOV.W R0,@(disp* <sup>1</sup> ,GBR)	R0→(disp×2+GBR)	11000001ddddddd	—	—	—
MOV.L R0,@(disp* <sup>1</sup> ,GBR)	R0→(disp×4+GBR)	11000010ddddddd	—	—	—
MOV.B @(disp* <sup>1</sup> ,GBR),R0	(disp+GBR)→符号拡張→R0	11000100ddddddd	—	—	—
MOV.W @(disp* <sup>1</sup> ,GBR),R0	(disp×2+GBR)→符号拡張→R0	11000101ddddddd	—	—	—
MOV.L @(disp* <sup>1</sup> ,GBR),R0	(disp×4+GBR)→R0	11000110ddddddd	—	—	—

命令	動作	命令コード	特権	T ビット	新規
MOVA @ (disp* <sup>1</sup> ,PC),R0	disp × 4+PC&H'FFFFFFC+4→R0	11000111ddddddd	—	—	—
MOVCO.L R0,@Rn	LDST→T if(T==1)R0→(Rn) 0→LDST	0000nnnn01110011	—	LDST	新規
MOVLI.L @Rm,R0	1→LDST (Rm)→R0 ただし、割り込み/例外発生時 0→LDST	0000mmmm01100011	—	—	新規
MOVUA.L @Rm,R0	(Rm)→R0 非境界調整データのロード	0100mmmm10101001	—	—	新規
MOVUA.L @Rm+,R0	(Rm)→R0,Rm+4→Rm 非境界調整データのロード	0100mmmm11101001	—	—	新規
MOVT Rn	T→Rn	0000nnnn00101001	—	—	—
SWAP.B Rm,Rn	Rm→下位 2 バイトの 上下バイト交換→Rn	0110nnnnmmmm1000	—	—	—
SWAP.W Rm,Rn	Rm→上下ワード交換→Rn	0110nnnnmmmm1001	—	—	—
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット→Rn	0010nnnnmmmm1101	—	—	—

【注】 \*1 ルネサスのアセンブラでは、disp にスケーリング後 (×1、×2、×4) の値を設定します。



### 3. 命令セット

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	$Rn+Rm \rightarrow Rn$	0011nnnnmmmm1100	—	—	—
ADD #imm,Rn	$Rn+imm \rightarrow Rn$	0111nnnniiiiiii	—	—	—
ADDC Rm,Rn	$Rn+Rm+T \rightarrow Rn$ , キャリ→T	0011nnnnmmmm1110	—	キャリ	—
ADDV Rm,Rn	$Rn+Rm \rightarrow Rn$ , オーバフロー→T	0011nnnnmmmm1111	—	オーバ フロー	—
CMP/EQ #imm,R0	R0=imm のとき 1→T それ以外るとき 0→T	10001000iiiiiii	—	比較 結果	—
CMP/EQ Rm,Rn	$Rn=Rm$ のとき 1→T それ以外るとき 0→T	0011nnnnmmmm0000	—	比較 結果	—
CMP/HS Rm,Rn	無符号で $Rn \geq Rm$ のとき 1→T それ以外るとき 0→T	0011nnnnmmmm0010	—	比較 結果	—
CMP/GE Rm,Rn	有符号で $Rn \geq Rm$ のとき 1→T それ以外るとき 0→T	0011nnnnmmmm0011	—	比較 結果	—
CMP/HI Rm,Rn	無符号で $Rn > Rm$ のとき 1→T それ以外るとき 0→T	0011nnnnmmmm0110	—	比較 結果	—
CMP/GT Rm,Rn	有符号で $Rn > Rm$ のとき 1→T それ以外るとき 0→T	0011nnnnmmmm0111	—	比較 結果	—
CMP/PZ Rn	$Rn \geq 0$ のとき 1→T それ以外るとき 0→T	0100nnnn00010001	—	比較 結果	—
CMP/PL Rn	$Rn > 0$ のとき 1→T それ以外るとき 0→T	0100nnnn00010101	—	比較 結果	—
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	0010nnnnmmmm1100	—	比較 結果	—
DIV1 Rm,Rn	1 ステップ除算( $Rn \div Rm$ )	0011nnnnmmmm0100	—	計算 結果	—
DIV0S Rm,Rn	$Rn$ の MSB→Q, $Rm$ の MSB→M, $M^Q \rightarrow T$	0010nnnnmmmm0111	—	計算 結果	—
DIV0U	$0 \rightarrow M/Q/T$	000000000011001	—	0	—
DMULS.L Rm,Rn	符号付きで $Rn \times Rm \rightarrow MAC$ , $32 \times 32 \rightarrow 64$ ビット	0011nnnnmmmm1101	—	—	—
DMULU.L Rm,Rn	符号なしで $Rn \times Rm \rightarrow MAC$ , $32 \times 32 \rightarrow 64$ ビット	0011nnnnmmmm0101	—	—	—
DT Rn	$Rn-1 \rightarrow Rn$ , $Rn$ が 0 のとき 1→T $Rn$ が 0 以外るとき 0→T	0100nnnn00010000	—	比較 結果	—
EXTS.B Rm,Rn	$Rm$ をバイトから符号拡張→ $Rn$	0110nnnnmmmm1110	—	—	—
EXTS.W Rm,Rn	$Rm$ をワードから符号拡張→ $Rn$	0110nnnnmmmm1111	—	—	—

命令	動作	命令コード	特権	T ビット	新規
EXTU.B	Rm,Rn	Rm をバイトからゼロ拡張→Rn	0110nnnnmmmm1100	—	—
EXTU.W	Rm,Rn	Rm をワードからゼロ拡張→Rn	0110nnnnmmmm1101	—	—
MAC.L	@Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC→MAC Rn+4→Rn, Rm+4→Rm 32 × 32+64→64 ビット	0000nnnnmmmm1111	—	—
MAC.W	@Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC→MAC Rn+2→Rn, Rm+2→Rm 16 × 16+64→64 ビット	0100nnnnmmmm1111	—	—
MUL.L	Rm,Rn	Rn × Rm→MACL 32 × 32→32 ビット	0000nnnnmmmm0111	—	—
MULS.W	Rm,Rn	符号付きで Rn × Rm→MACL 16 × 16→32 ビット	0010nnnnmmmm1111	—	—
MULU.W	Rm,Rn	符号なしで Rn × Rm→MACL 16 × 16→32 ビット	0010nnnnmmmm1110	—	—
NEG	Rm,Rn	0-Rm→Rn	0110nnnnmmmm1011	—	—
NEGC	Rm,Rn	0-Rm-T→Rn, ボロー→T	0110nnnnmmmm1010	—	ボロー
SUB	Rm,Rn	Rn-Rm→Rn	0011nnnnmmmm1000	—	—
SUBC	Rm,Rn	Rn-Rm-T→Rn,ボロー→T	0011nnnnmmmm1010	—	ボロー
SUBV	Rm,Rn	Rn-Rm→Rn,アンダフロー→T	0011nnnnmmmm1011	—	アンダ フロー

### 3. 命令セット

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm \rightarrow Rn$	0010nnnnmmmm1001	—	—	—
AND #imm,R0	$R0 \& imm \rightarrow R0$	11001001iiiiiii	—	—	—
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	11001101iiiiiii	—	—	—
NOT Rm,Rn	$\sim Rm \rightarrow Rn$	0110nnnnmmmm0111	—	—	—
OR Rm,Rn	$Rn   Rm \rightarrow Rn$	0010nnnnmmmm1011	—	—	—
OR #imm,R0	$R0   imm \rightarrow R0$	11001011iiiiiii	—	—	—
OR.B #imm,@(R0,GBR)	$(R0+GBR)   imm \rightarrow (R0+GBR)$	11001111iiiiiii	—	—	—
TAS.B @Rn	(Rn)が0のとき 1→T それ以外とき 0→T 両方に対して 1→(Rn)のMSB	0100nnnn00011011	—	テスト 結果	—
TST Rm,Rn	$Rn \& Rm$ ,結果が0のとき 1→T それ以外のとき 0→T	0010nnnnmmmm1000	—	テスト 結果	—
TST #imm,R0	$R0 \& imm$ ,結果が0のとき 1→T それ以外のとき 0→T	11001000iiiiiii	—	テスト 結果	—
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ , 結果が0のとき 1→T それ以外のとき 0→T	11001100iiiiiii	—	テスト 結果	—
XOR Rm,Rn	$Rn \wedge Rm \rightarrow Rn$	0010nnnnmmmm1010	—	—	—
XOR #imm,R0	$R0 \wedge imm \rightarrow R0$	11001010iiiiiii	—	—	—
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	11001110iiiiiii	—	—	—

表 3.7 シフト命令

命令	動作	命令コード	特権	T ビット	新規
ROTL Rn	$T \leftarrow Rn \leftarrow MSB$	0100nnnn00000100	—	MSB	—
ROTR Rn	$LSB \rightarrow Rn \rightarrow T$	0100nnnn00000101	—	LSB	—
ROTCL Rn	$T \leftarrow Rn \leftarrow T$	0100nnnn00100100	—	MSB	—
ROTCR Rn	$T \rightarrow Rn \rightarrow T$	0100nnnn00100101	—	LSB	—
SHAD Rm, Rn	Rm $\geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ , Rm $< 0$ のとき $Rn \gg Rm \rightarrow [MSB \rightarrow Rn]$	0100nnnnmmmm1100	—	—	—
SHAL Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00100000	—	MSB	—
SHAR Rn	$MSB \rightarrow Rn \rightarrow T$	0100nnnn00100001	—	LSB	—
SHLD Rm, Rn	Rm $\geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ , Rm $< 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	0100nnnnmmmm1101	—	—	—
SHLL Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00000000	—	MSB	—
SHLR Rn	$0 \rightarrow Rn \rightarrow T$	0100nnnn00000001	—	LSB	—
SHLL2 Rn	$Rn \ll 2 \rightarrow Rn$	0100nnnn00001000	—	—	—
SHLR2 Rn	$Rn \gg 2 \rightarrow Rn$	0100nnnn00001001	—	—	—
SHLL8 Rn	$Rn \ll 8 \rightarrow Rn$	0100nnnn00011000	—	—	—
SHLR8 Rn	$Rn \gg 8 \rightarrow Rn$	0100nnnn00011001	—	—	—
SHLL16 Rn	$Rn \ll 16 \rightarrow Rn$	0100nnnn00101000	—	—	—
SHLR16 Rn	$Rn \gg 16 \rightarrow Rn$	0100nnnn00101001	—	—	—

### 3. 命令セット

表 3.8 分岐命令

命令	動作	命令コード	特権	T ビット	新規
BF label	T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=1 のとき nop	10001011dddddddd	—	—	—
BF/S label	遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=1 のとき nop	10001111dddddddd	—	—	—
BT label	T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=0 のとき nop	10001001dddddddd	—	—	—
BT/S label	遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=0 のとき nop	10001101dddddddd	—	—	—
BRA label	遅延分岐, $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1010dddddddddddd	—	—	—
BRAF Rn	遅延分岐, $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00100011	—	—	—
BSR label	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1011dddddddddddd	—	—	—
BSRF Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00000011	—	—	—
JMP @Rn	遅延分岐, $\text{Rn} \rightarrow \text{PC}$	0100nnnn00101011	—	—	—
JSR @Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{Rn} \rightarrow \text{PC}$	0100nnnn00001011	—	—	—
RTS	遅延分岐, $\text{PR} \rightarrow \text{PC}$	0000000000001011	—	—	—

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMAC	0→MACH,MACL	000000000101000	—	—	—
CLRS	0→S	000000001001000	—	—	—
CLRT	0→T	000000000001000	—	0	—
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	—	—	新規
LDC Rm,SR	Rm→SR	0100mmmm00001110	特権	LSB	—
LDC Rm,GBR	Rm→GBR	0100mmmm00011110	—	—	—
LDC Rm,VBR	Rm→VBR	0100mmmm00101110	特権	—	—
LDC Rm,SGR	Rm→SGR	0100mmmm00111010	特権	—	新規
LDC Rm,SSR	Rm→SSR	0100mmmm00111110	特権	—	—
LDC Rm,SPC	Rm→SPC	0100mmmm01001110	特権	—	—
LDC Rm,DBR	Rm→DBR	0100mmmm11111010	特権	—	—
LDC Rm,Rn_BANK	Rm→Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	—	—
LDC.L @Rm+,SR	(Rm)→SR,Rm+4→Rm	0100mmmm00000111	特権	LSB	—
LDC.L @Rm+,GBR	(Rm)→GBR,Rm+4→Rm	0100mmmm00010111	—	—	—
LDC.L @Rm+,VBR	(Rm)→VBR,Rm+4→Rm	0100mmmm00100111	特権	—	—
LDC.L @Rm+,SGR	(Rm)→SGR,Rm+4→Rm	0100mmmm00110110	特権	—	新規
LDC.L @Rm+,SSR	(Rm)→SSR,Rm+4→Rm	0100mmmm00110111	特権	—	—
LDC.L @Rm+,SPC	(Rm)→SPC,Rm+4→Rm	0100mmmm01000111	特権	—	—
LDC.L @Rm+,DBR	(Rm)→DBR,Rm+4→Rm	0100mmmm11110110	特権	—	—
LDC.L @Rm+,Rn_BANK	(Rm)→Rn_BANK,Rm+4→Rm	0100mmmm1nnn0111	特権	—	—
LDS Rm,MACH	Rm→MACH	0100mmmm00001010	—	—	—
LDS Rm,MACL	Rm→MACL	0100mmmm00011010	—	—	—
LDS Rm,PR	Rm→PR	0100mmmm00101010	—	—	—
LDS.L @Rm+,MACH	(Rm)→MACH,Rm+4→Rm	0100mmmm00000110	—	—	—
LDS.L @Rm+,MACL	(Rm)→MACL,Rm+4→Rm	0100mmmm00010110	—	—	—
LDS.L @Rm+,PR	(Rm)→PR,Rm+4→Rm	0100mmmm00100110	—	—	—
LDTLB	PTEH/PTEL→TLB	000000000111000	特権	—	—
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせず に)R0→(Rn)	0000nnnn11000011	—	—	—
NOP	無操作	000000000001001	—	—	—
OCBI @Rn	オペランドキャッシュブロックを無効 にする	0000nnnn10010011	—	—	—
OCBP @Rn	オペランドキャッシュブロックをライ トバックし無効にする	0000nnnn10100011	—	—	—

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	—	—	—
PREF @Rn	(Rn)→オペランドキャッシュ	0000nnnn10000011	—	—	—
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	—	—	新規
RTE	遅延分岐, SSR/SPC→SR/PC	0000000000101011	特権	—	—
SETS	1→S	0000000001011000	—	—	—
SETT	1→T	000000000011000	—	1	—
SLEEP* <sup>1</sup>	スリープ	000000000011011	特権	—	—
STC SR,Rn	SR→Rn	0000nnnn00000010	特権	—	—
STC GBR,Rn	GBR→Rn	0000nnnn00010010	—	—	—
STC VBR,Rn	VBR→Rn	0000nnnn00100010	特権	—	—
STC SSR,Rn	SSR→Rn	0000nnnn00110010	特権	—	—
STC SPC,Rn	SPC→Rn	0000nnnn01000010	特権	—	—
STC SGR,Rn	SGR→Rn	0000nnnn00111010	特権	—	—
STC DBR,Rn	DBR→Rn	0000nnnn11111010	特権	—	—
STC Rm_BANK,Rn	Rm_BANK→Rn(m=0~7)	0000nnnn1mmmm0010	特権	—	—
STC.L SR,@-Rn	Rn-4→Rn,SR→(Rn)	0100nnnn00000011	特権	—	—
STC.L GBR,@-Rn	Rn-4→Rn,GBR→(Rn)	0100nnnn00010011	—	—	—
STC.L VBR,@-Rn	Rn-4→Rn,VBR→(Rn)	0100nnnn00100011	特権	—	—
STC.L SSR,@-Rn	Rn-4→Rn,SSR→(Rn)	0100nnnn00110011	特権	—	—
STC.L SPC,@-Rn	Rn-4→Rn,SPC→(Rn)	0100nnnn01000011	特権	—	—
STC.L SGR,@-Rn	Rn-4→Rn,SGR→(Rn)	0100nnnn00110010	特権	—	—
STC.L DBR,@-Rn	Rn-4→Rn,DBR→(Rn)	0100nnnn11110010	特権	—	—
STC.L Rm_BANK,@-Rn	Rn-4→Rn,Rm_BANK→(Rn) (m=0~7)	0100nnnn1mmmm0011	特権	—	—
STS MACH,Rn	MACH→Rn	0000nnnn00001010	—	—	—
STS MACL,Rn	MACL→Rn	0000nnnn00011010	—	—	—
STS PR,Rn	PR→Rn	0000nnnn00101010	—	—	—
STS.L MACH,@-Rn	Rn-4→Rn,MACH→(Rn)	0100nnnn00000010	—	—	—
STS.L MACL,@-Rn	Rn-4→Rn,MACL→(Rn)	0100nnnn00010010	—	—	—
STS.L PR,@-Rn	Rn-4→Rn,PR→(Rn)	0100nnnn00100010	—	—	—
SYNCO	本命令以前のデータ操作を完了するまで、本命令以降の命令を開始しない	0000000010101011	—	—	新規

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
TRAPA #imm	imm<<2→TRA,PC+2→SPC, SR→SSR,R15→SGR, 1→SR.MD/BL/RB,H'160→EXPEVT, VBR+H'0100→PC	11000011iiiiiiii	—	—	—

【注】 \*1 本マイコンにはスリープモードがありませんので、SLEEP 命令は使用しないでください。



### 3. 命令セット

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0	FRn	H'00000000→FRn	1111nnnn10001101	—	—
FLDI1	FRn	H'3F800000→FRn	1111nnnn10011101	—	—
FMOV	FRm,FRn	FRm→FRn	1111nnnnmmmm1100	—	—
FMOV.S	@Rm,FRn	(Rm)→FRn	1111nnnnmmmm1000	—	—
FMOV.S	@(R0,Rm),FRn	(R0+Rm)→FRn	1111nnnnmmmm0110	—	—
FMOV.S	@Rm+,FRn	(Rm)→FRn,Rm+4→Rm	1111nnnnmmmm1001	—	—
FMOV.S	FRm,@Rn	FRm→(Rn)	1111nnnnmmmm1010	—	—
FMOV.S	FRm,@-Rn	Rn-4→Rn,FRm→(Rn)	1111nnnnmmmm1011	—	—
FMOV.S	FRm,@(R0,Rn)	FRm→(R0+Rn)	1111nnnnmmmm0111	—	—
FMOV	DRm,DRn	DRm→DRn	1111nnnn0mmmm01100	—	—
FMOV	@Rm,DRn	(Rm)→DRn	1111nnnn0mmmm1000	—	—
FMOV	@(R0,Rm),DRn	(R0+Rm)→DRn	1111nnnn0mmmm0110	—	—
FMOV	@Rm+,DRn	(Rm)→DRn,Rm+8→Rm	1111nnnn0mmmm1001	—	—
FMOV	DRm,@Rn	DRm→(Rn)	1111nnnnmmmm01010	—	—
FMOV	DRm,@-Rn	Rn-8→Rn,DRm→(Rn)	1111nnnnmmmm01011	—	—
FMOV	DRm,@(R0,Rn)	DRm→(R0+Rn)	1111nnnnmmmm00111	—	—
FLDS	FRm,FPUL	FRm→FPUL	1111mmmm00011101	—	—
FSTS	FPUL,FRn	FPUL→FRn	1111nnnn00001101	—	—
FABS	FRn	FRn & H'7FFF FFFF→FRn	1111nnnn01011101	—	—
FADD	FRm,FRn	FRn+FRm→FRn	1111nnnnmmmm0000	—	—
FCMP/EQ	FRm,FRn	FRn=FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0100	—	比較 結果
FCMP/GT	FRm,FRn	FRn>FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0101	—	比較 結果
FDIV	FRm,FRn	FRn/FRm→FRn	1111nnnnmmmm0011	—	—
FLOAT	FPUL,FRn	(float)FPUL→FRn	1111nnnn00101101	—	—
FMAC	FR0,FRm,FRn	FR0×FRm+FRn→FRn	1111nnnnmmmm1110	—	—
FMUL	FRm,FRn	FRn×FRm→FRn	1111nnnnmmmm0010	—	—
FNEG	FRn	FRn ^ H'80000000→FRn	1111nnnn01001101	—	—
FSQRT	FRn	sqrt(FRn)→FRn*1	1111nnnn01101101	—	—
FSUB	FRm,FRn	FRn - FRm→FRn	1111nnnnmmmm0001	—	—
FTRC	FRm,FPUL	(long)FRm→FPUL	1111mmmm00111101	—	—

【注】 \*1 sqrt(FR n)は FRn の平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn & H'7FFF FFFF FFFF FFFF → DRn	1111nnn001011101	—	—	—
FADD DRm, DRn	DRn + DRm → DRn	1111nnn0mmmm00000	—	—	—
FCMP/EQ DRm, DRn	DRn = DRm のとき 1 → T それ以外 のとき 0 → T	1111nnn0mmmm00100	—	比較 結果	—
FCMP/GT DRm, DRn	DRn > DRm のとき 1 → T それ以外 のとき 0 → T	1111nnn0mmmm00101	—	比較 結果	—
FDIV DRm, DRn	DRn / DRm → DRn	1111nnn0mmmm00011	—	—	—
FCNVDS DRm, FPUL	double_to_float(DRm) → FPUL	1111mmmm010111101	—	—	—
FCNVSD FPUL, DRn	float_to_double(FPUL) → DRn	1111nnn010101101	—	—	—
FLOAT FPUL, DRn	(float)FPUL → DRn	1111nnn000101101	—	—	—
FMUL DRm, DRn	DRn × DRm → DRn	1111nnn0mmmm00010	—	—	—
FNEG DRn	DRn ^ H'8000 0000 0000 0000 → DRn	1111nnn001001101	—	—	—
FSQRT DRn	sqrt(DRn) → DRn <sup>*1</sup>	1111nnn001101101	—	—	—
FSUB DRm, DRn	DRn - DRm → DRn	1111nnn0mmmm00001	—	—	—
FTRC DRm, FPUL	(long)DRm → FPUL	1111mmmm000111101	—	—	—

【注】 \*1 sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm, FPSCR	Rm → FPSCR	0100mmmm01101010	—	—	—
LDS Rm, FPUL	Rm → FPUL	0100mmmm01011010	—	—	—
LDS.L @Rm+, FPSCR	(Rm) → FPSCR, Rm+4 → Rm	0100mmmm01100110	—	—	—
LDS.L @Rm+, FPUL	(Rm) → FPUL, Rm+4 → Rm	0100mmmm01010110	—	—	—
STS FPSCR, Rn	FPSCR → Rn	0000nnnn01101010	—	—	—
STS FPUL, Rn	FPUL → Rn	0000nnnn01011010	—	—	—
STS.L FPSCR, @-Rn	Rn-4 → Rn, FPSCR → (Rn)	0100nnnn01100010	—	—	—
STS.L FPUL, @-Rn	Rn-4 → Rn, FPUL → (Rn)	0100nnnn01010010	—	—	—

### 3. 命令セット

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm→XDn	1111nnn1mmmm01100	—	—	—
FMOV XDm, DRn	XDm→DRn	1111nnn0mmmm11100	—	—	—
FMOV XDm, XDn	XDm→XDn	1111nnn1mmmm11100	—	—	—
FMOV @Rm, XDn	(Rm)→XDn	1111nnn1mmmm1000	—	—	—
FMOV @Rm+, XDn	(Rm)→XDn, Rm+8→Rm	1111nnn1mmmm1001	—	—	—
FMOV @(R0, Rm), XDn	(R0+Rm)→XDn	1111nnn1mmmm0110	—	—	—
FMOV XDm, @Rn	XDm→(Rn)	1111nnnnmmmm11010	—	—	—
FMOV XDm, @-Rn	Rn-8→Rn, XDm→(Rn)	1111nnnnmmmm11011	—	—	—
FMOV XDm, @(R0, Rn)	XDm→(R0+Rn)	1111nnnnmmmm10111	—	—	—
FIPR FVm, FVn	inner_product(FVm, FVn) →FR[n+3]	1111nnmm11101101	—	—	—
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) →FVn	1111nn0111111101	—	—	—
FRCHG	~FRSCR.FR→FRSCR.FR	1111101111111101	—	—	—
FSCHG	~FPSCR.SZ→FPSCR.SZ	1111001111111101	—	—	—
FPCHG	~FPSCR.PR→FPSCR.PR	1111011111111101	—	—	新規
FSRRA FRn	1/sqrt(FRn)→FRn* <sup>1</sup>	1111nnnn01111101	—	—	新規
FSCA FPUL, DRn	sin(FPUL)→FRn cos(FPUL)→FR[n+1]	1111nnn011111101	—	—	新規

【注】 \*1 sqrt(FRn)は FRn の平方根を表します。

### 3.4 使用上の注意事項

本マイコンにはスリープモードがありませんので、**SLEEP** 命令は使用しないでください。

### 3. 命令セット

---

レイアウトの都合上、このページは白紙です。

## 4. パイプライン動作

SH-4A は 2 命令並列型 (2-ILP、Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

### 4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

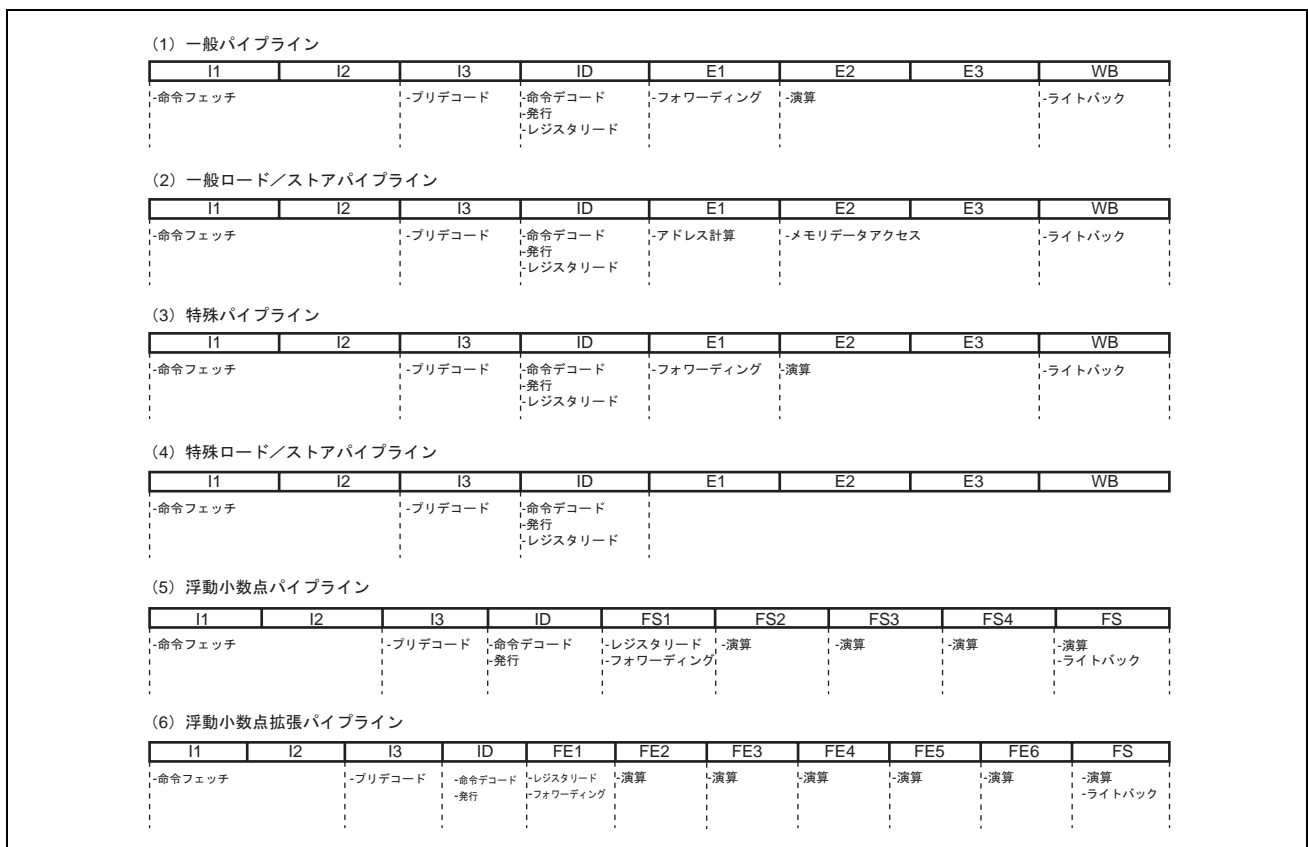


図 4.1 基本パイプライン

#### 4. パイプライン動作

図 4.2 に命令実行パターンを示します。表 4.1 に図 4.2 で使用する表記とその意味を示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
└	CPU と FPU 両方のパイプを占有							

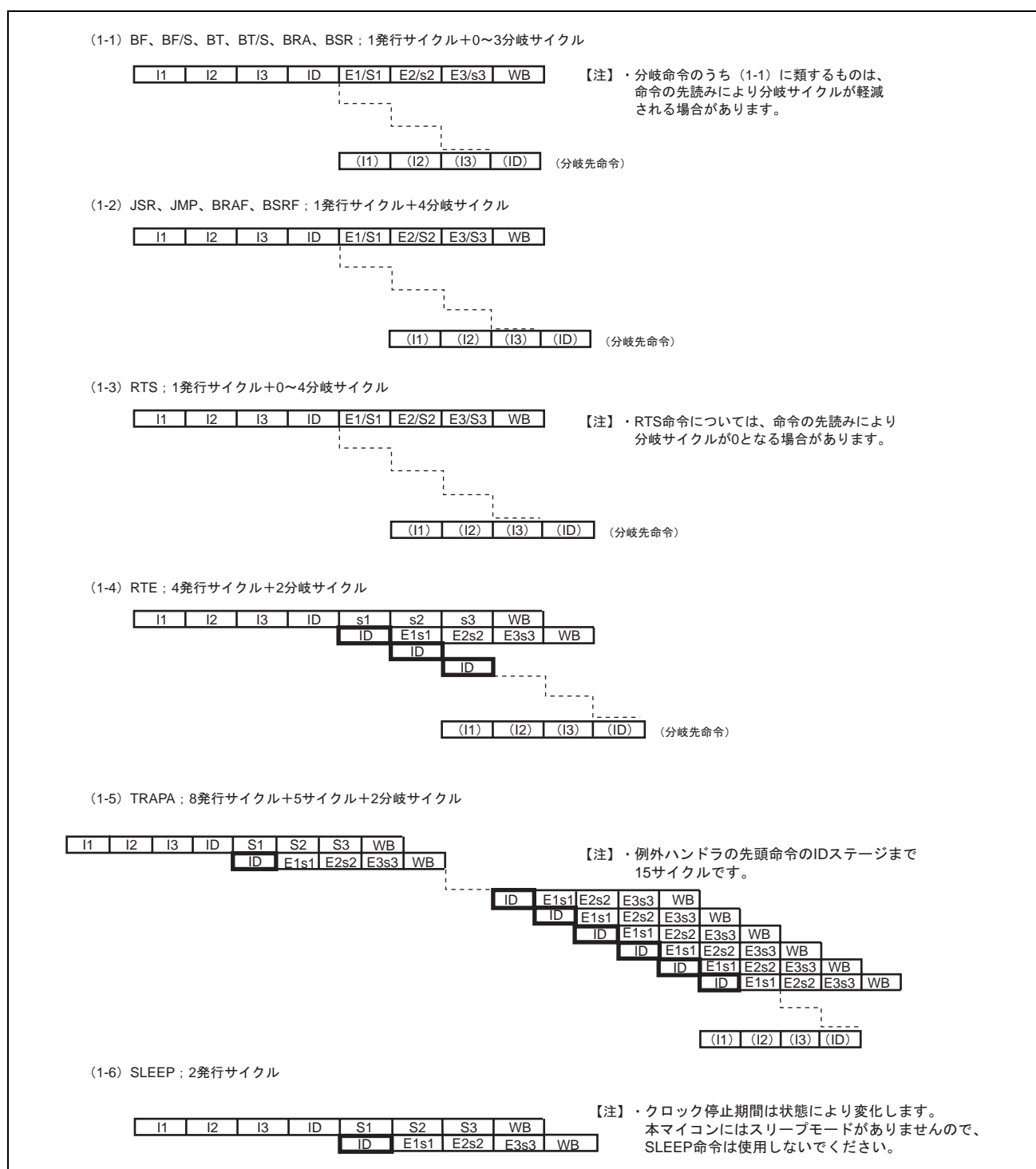


図 4.2 命令実行パターン (1)



## 4. パイプライン動作

(2-1) 1ステップ演算 (EXタイプ) ; 1発行サイクル

EXT[SU],[BW], MOVT, SWAP, XTRCT, ADD\*, CMP\*, DIV\*, DT, NEG\*, SUB\*, AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#, ROT\*, SHA\*, SHL\*, CLRS, CLRT, SETS, SETT

【注】・AND#, OR#, TST#, XOR#はGBR相対命令を除く

I1	I2	I3	ID	E1	E2	E3	WB
----	----	----	----	----	----	----	----

(2-2) 1ステップ演算 (LSタイプ) ; 1発行サイクル

MOVA

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(2-3) 1ステップ演算 (MTタイプ) ; 1発行サイクル

MOV#, NOP

I1	I2	I3	ID	E1/S1	E2/s2	E3/s3	WB
----	----	----	----	-------	-------	-------	----

(2-4) MOV (MTタイプ) ; 1発行サイクル

MOV

I1	I2	I3	ID	E1/s1	E2/s2	E3/S3	WB
----	----	----	----	-------	-------	-------	----

図 4.2 命令実行パターン (2)

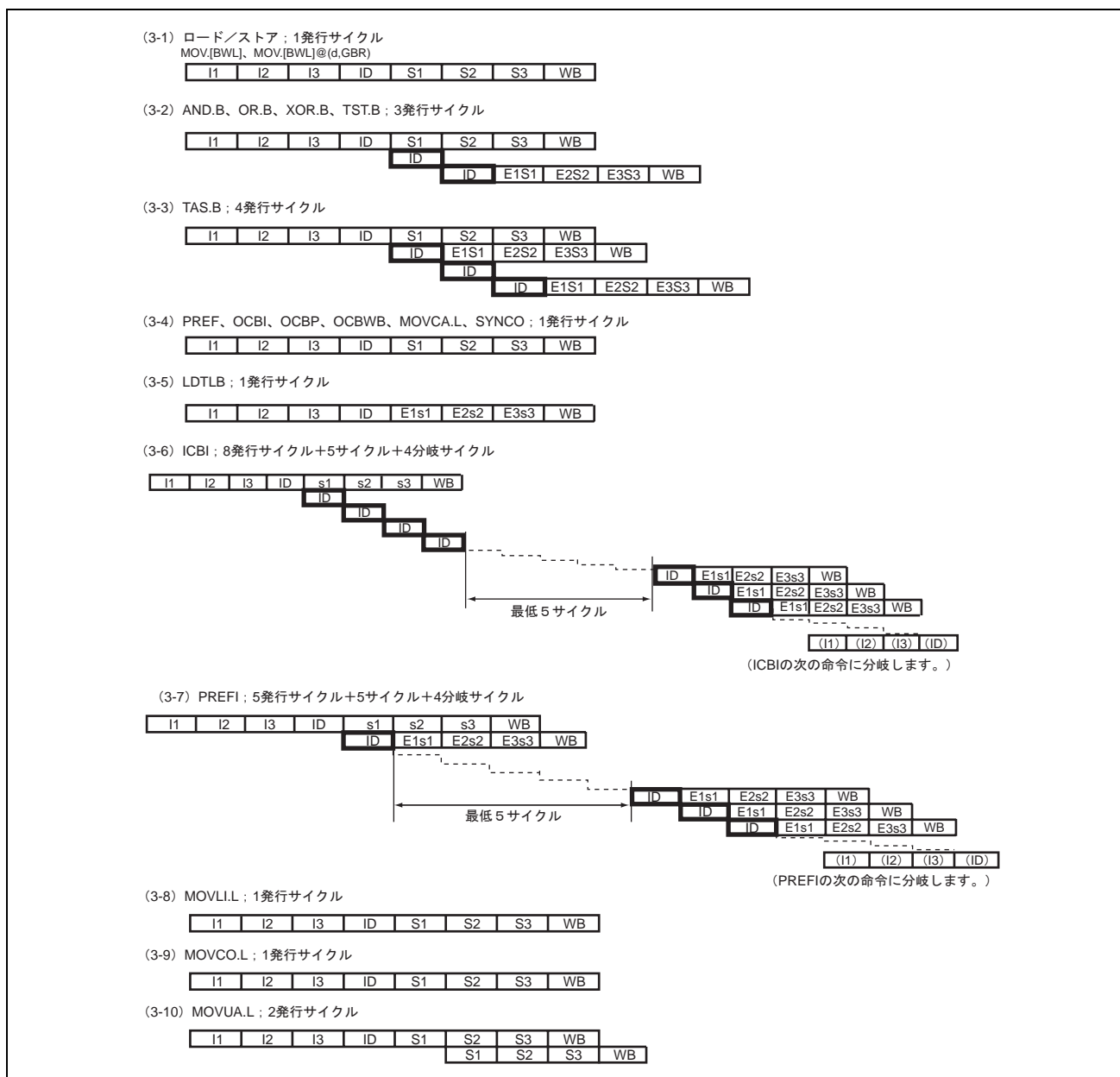


図 4.2 命令実行パターン (3)

#### 4. パイプライン動作

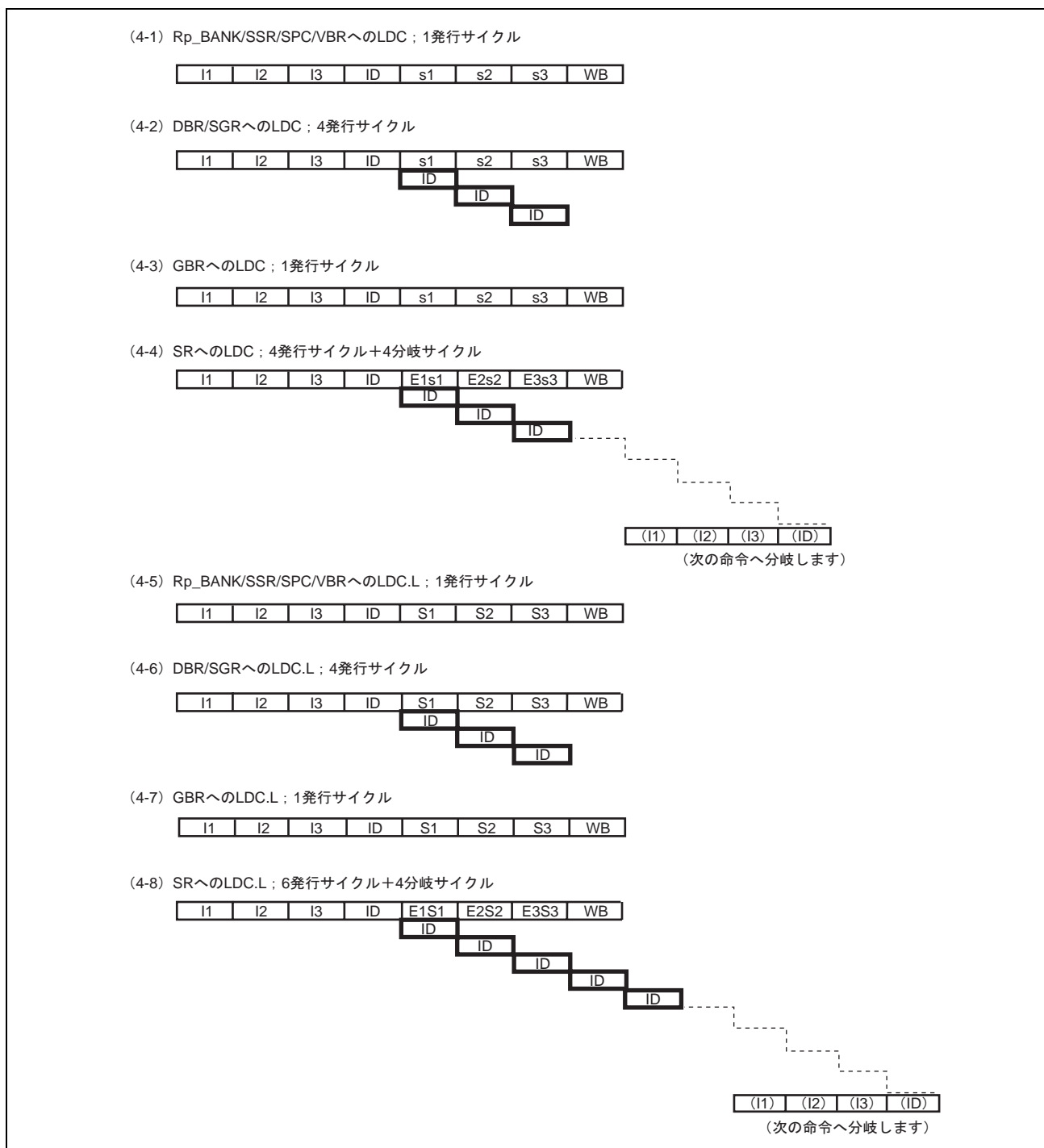


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】・遅延スロット命令のE3ステージでPRの値が更新されます。  
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

#### 4. パイプライン動作

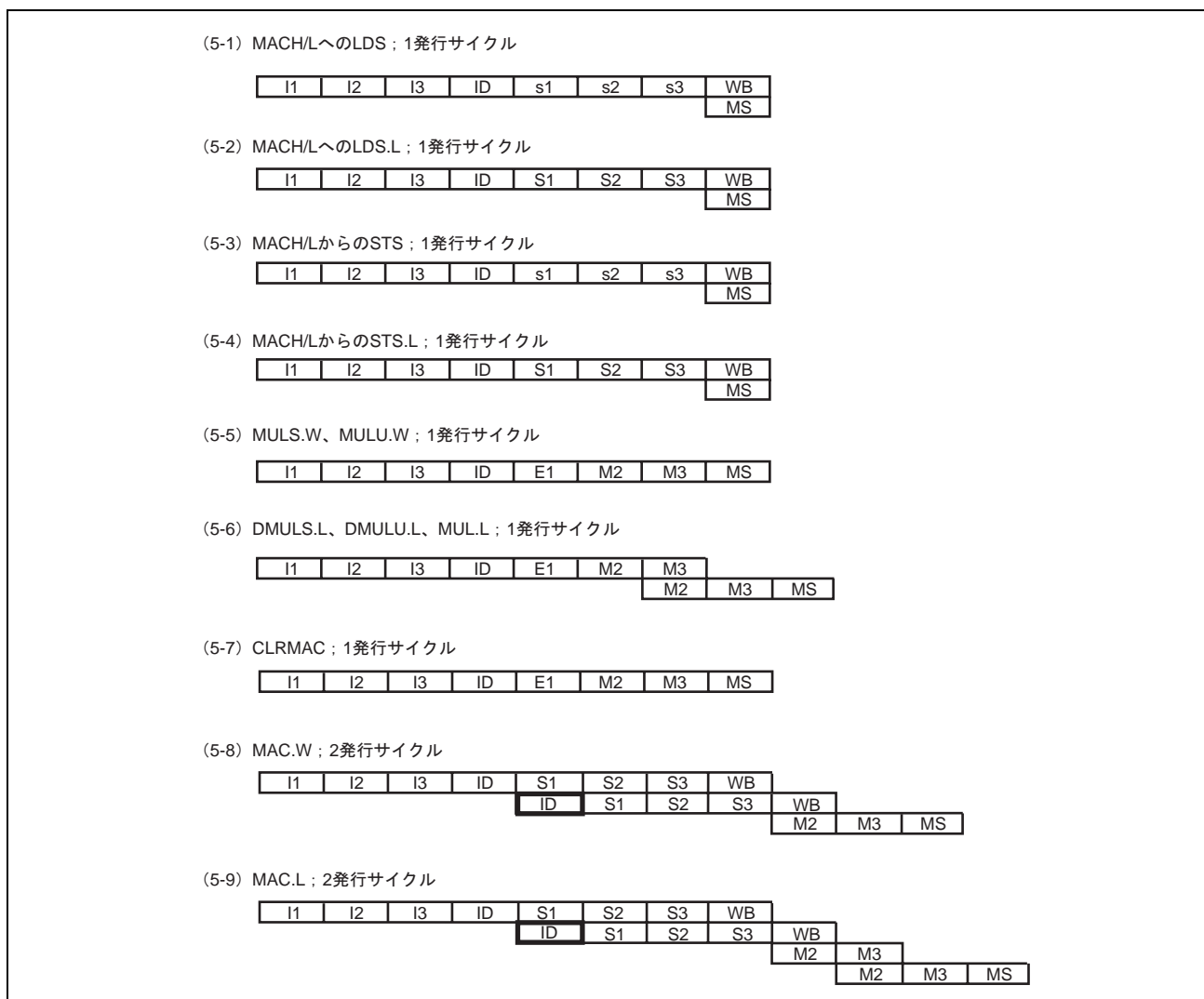
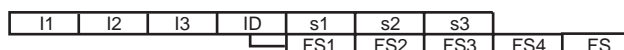
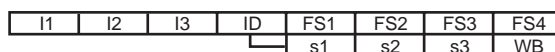


図 4.2 命令実行パターン (6)

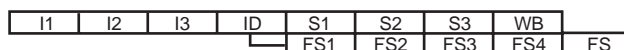
(6-1) FPULへのLDS ; 1発行サイクル



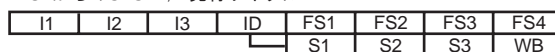
(6-2) FPULからのSTS ; 1発行サイクル



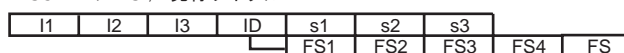
(6-3) FPULへのLDS.L ; 1発行サイクル



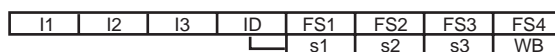
(6-4) FPULからのSTS.L ; 1発行サイクル



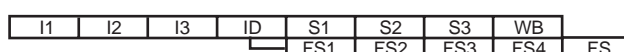
(6-5) FPSCRへのLDS ; 1発行サイクル



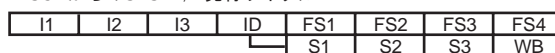
(6-6) FPSCRからのSTS ; 1発行サイクル



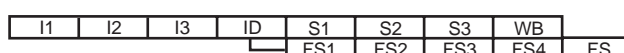
(6-7) FPSCRへのLDS.L ; 1発行サイクル



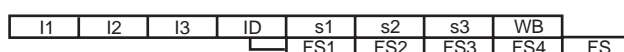
(6-8) FPSCRからのSTS.L ; 1発行サイクル



(6-9) FPUロードストア命令FMOV ; 1発行サイクル



(6-10) FLDS ; 1発行サイクル



(6-11) FSTS ; 1発行サイクル

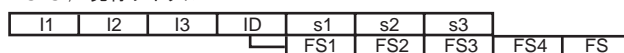


図 4.2 命令実行パターン (7)

#### 4. パイプライン動作

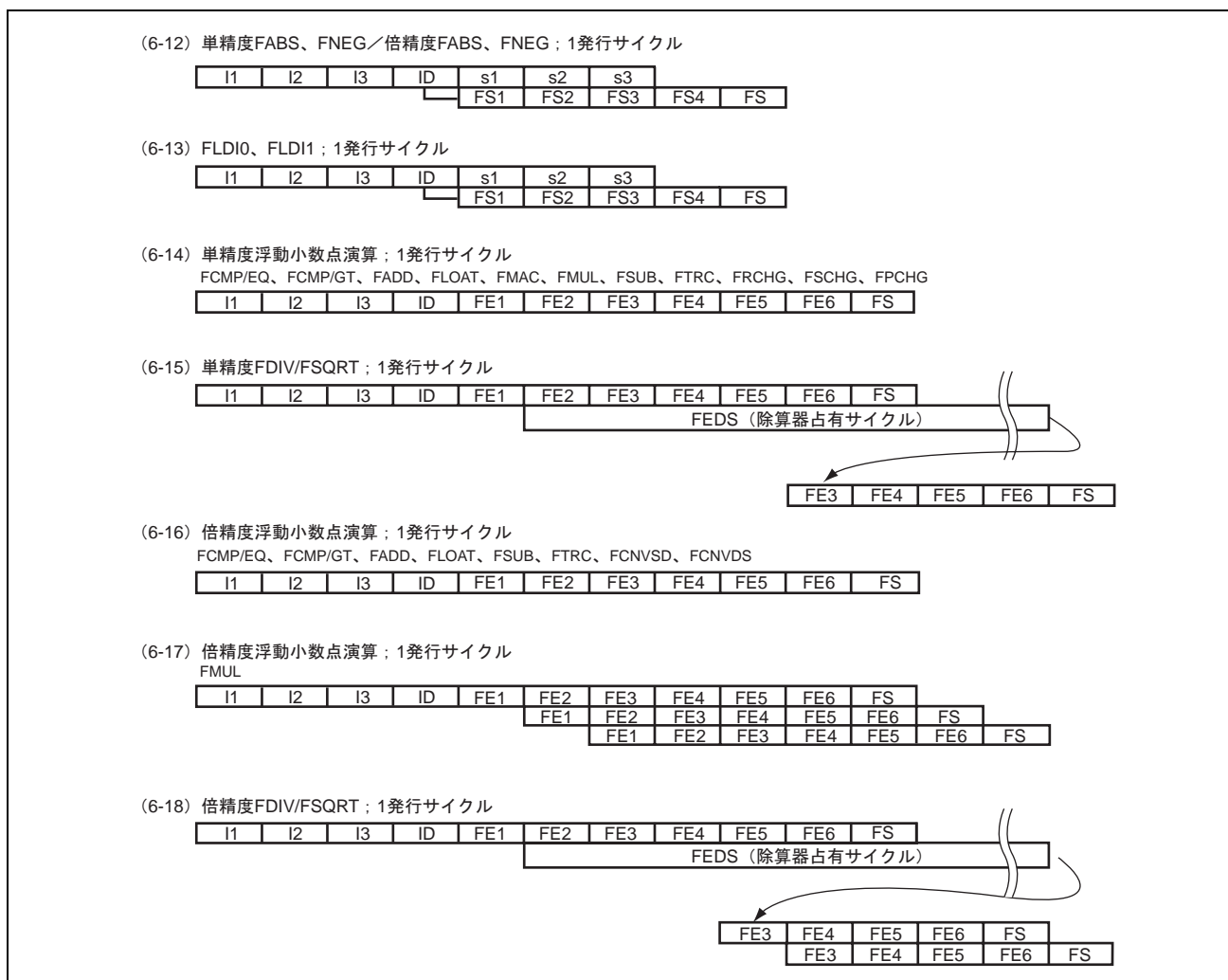


図 4.2 命令実行パターン (8)

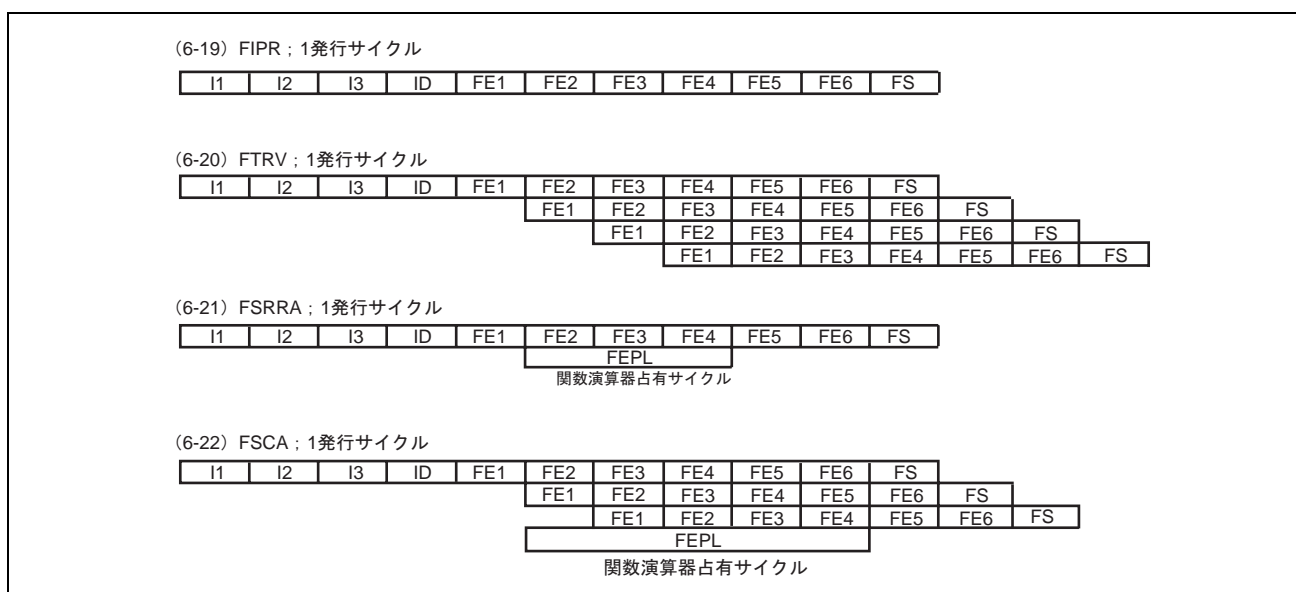


図 4.2 命令実行パターン (9)

## 4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
	MT	MOV #imm,Rn	MOV Rm,Rn	NOP
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	



#### 4. パイプライン動作

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP* <sup>1</sup>	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【注】 \*1 本マイコンにはスリープモードがありませんので、SLEEP 命令は使用しないでください。

【記号説明】 R : Rm/Rn

@adr : アドレス

SR1 : MACH/MACL/PR

SR2 : FPUL/FPSCR

CR1 : GBR/Rp\_BANK/SPC/SSR/VBR

CR2 : CR1/DBR/SGR

FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の2命令で1Kバイト (最小のページサイズ) をまたがないこと
2. 表4.3 (先行・後行掛け合わせ表) で同時実行可能である (○となっている) こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	×	○	○	○	○	
	MT	○	○	○	○	○	
	BR	○	○	×	○	○	
	LS	○	○	○	×	○	
	FE	○	○	○	○	×	
	CO						

## 4. パイプライン動作

### 4.3 発行レートと実行ステート

表 4.4 に命令の発行レートと実行ステートを示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

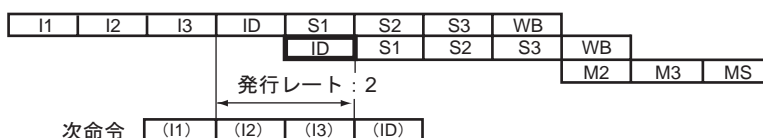
#### (1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

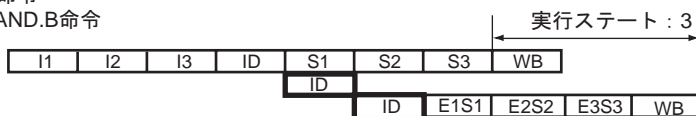


#### (2) 実行ステート

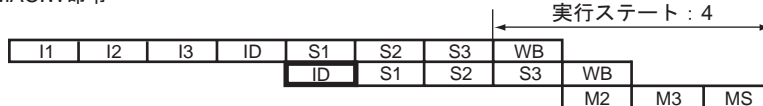
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・ CPU命令

(例) AND.B命令

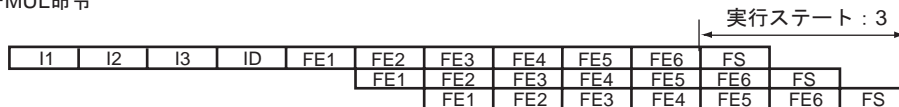


(例) MAC.W命令



・ FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン	
データ 転送命令	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1	
	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1	
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1	
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1	
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1	
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4	
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9	
	42	MOVLI.L	@Rm,R0	CO	1	1	3-8	
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10	
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10	
	45	MOVT	Rn	EX	1	1	2-1	
	46	OCBI	@Rn	LS	1	1	3-4	
	47	OCBP	@Rn	LS	1	1	3-4	
	48	OCBWB	@Rn	LS	1	1	3-4	
	49	PREF	@Rn	LS	1	1	3-4	
	50	SWAP.B	Rm,Rn	EX	1	1	2-1	
	51	SWAP.W	Rm,Rn	EX	1	1	2-1	
	52	XTRCT	Rm,Rn	EX	1	1	2-1	
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1	2-1
		54	ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1	
56		ADDV	Rm,Rn	EX	1	1	2-1	
57		CMP/EQ	#imm,R0	EX	1	1	2-1	
58		CMP/EQ	Rm,Rn	EX	1	1	2-1	
59		CMP/GE	Rm,Rn	EX	1	1	2-1	
60		CMP/GT	Rm,Rn	EX	1	1	2-1	
61		CMP/HI	Rm,Rn	EX	1	1	2-1	
62		CMP/HS	Rm,Rn	EX	1	1	2-1	
63		CMP/PL	Rn	EX	1	1	2-1	
64		CMP/PZ	Rn	EX	1	1	2-1	
65		CMP/STR	Rm,Rn	EX	1	1	2-1	
66		DIV0S	Rm,Rn	EX	1	1	2-1	
67		DIV0U		EX	1	1	2-1	
68		DIV1	Rm,Rn	EX	1	1	2-1	
69		DMULS.L	Rm,Rn	EX	1	2	5-6	

## 4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	70	DMULU.L	Rm,Rn	EX	1	2	5-6
	71	DT	Rn	EX	1	1	2-1
	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9
	73	MAC.W	@Rm+,@Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
81	SUBV	Rm,Rn	EX	1	1	2-1	
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
シフト命令	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1
	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御 命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI		CO	5+5+3	10	3-7
	131	SYNCO	@Rn	CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP* <sup>1</sup>		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1

## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6
	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
174	STS	MACH,Rn	LS	1	1	5-3	



#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	175	STS	MACL,Rn	LS	1	1	5-3
	176	STS	PR,Rn	LS	1	1	4-15
	177	STS.L	MACH,@-Rn	LS	1	1	5-4
	178	STS.L	MACL,@-Rn	LS	1	1	5-4
	179	STS.L	PR,@-Rn	LS	1	1	4-16
単精度 浮動小数点 命令	180	FLDIO	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9
	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	14	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
	203	FMOV	DRm,DRn	LS	1	1	6-9
	204	FMOV	@Rm,DRn	LS	1	1	6-9
	205	FMOV	@Rm+,DRn	LS	1	1	6-9
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9
	207	FMOV	DRm,@Rn	LS	1	1	6-9
	208	FMOV	DRm,@-Rn	LS	1	1	6-9
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	

## 4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	30	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16
	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
グラフィクス 強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21

#### 4. パイプライン動作

---

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
グラフィクス	245	FSCA	FPUL,DRn	FE	1	3	6-22
強化命令	246	FTRV	XMTRX,FVn	FE	1	4	6-20

【注】 \*1 本マイコンにはスリープモードがありませんので、SLEEP 命令は使用しないでください。

---

## 5. 例外処理

---

### 5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4A の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

### 5.2 レジスタの説明

表 5.1 に例外処理に関するレジスタ構成を示します。

表 5.1 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
TRAPA 例外レジスタ	TRA	不定	H'FF00 0020	32	5-2
例外事象レジスタ	EXPEVT	H'0000 0000	H'FF00 0024	32	5-3
割り込み事象レジスタ	INTEVT	不定	H'FF00 0028	32	5-4
非サポート検出例外レジスタ	EXPMASK	H'0000 0013	H'FF2F 0004	32	5-5

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 5. 例外処理

### 5.2.1 TRAPA 例外レジスタ (TRA)

TRA レジスタは、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されます。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

TRAPA例外レジスタ (TRA)

<P4領域アドレス : H'FF00 0020番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
リセット後の値 :	0	0	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	0	0

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9~2	TRACODE	不定	R	W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 5.2.2 例外事象レジスタ (EXPEVT)

EXPEVT レジスタには、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

例外事象レジスタ (EXPEVT)

<P4領域アドレス : H'FF00 0024番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11~0	EXPCODE	すべて0	R	W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.2 を参照してください。

## 5. 例外処理

### 5.2.3 割り込み事象レジスタ (INTEVT)

INTEVT レジスタには、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

割り込み事象レジスタ (INTEVT)

<P4領域アドレス : H'FF00 0028番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
リセット後の値 :	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~0	INTCODE	不定	R	W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.2 を参照してください。

### 5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.か 2.に該当する機能が使用された場合に例外を発生および抑止できます。この 1.か 2.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.はスロット不当命令例外、2.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに"1"を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU の MOV 命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス（キャッシング不可領域でも良い）に対するICBI命令を実行

非サポート検出例外レジスタ (EXPMASK)

<P4領域アドレス : H'FF2F 0004番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	MM CAW	—	—	—	RTE DS
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1

<リセット後の値 : H'0000 0013>

ビット	シンボル	リセット後の値	R	W	説明
31~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	MMCAW	1	R	W	メモリ割り付けキャッシュ連想ライト 0 : メモリ割り付け連想書き込みを禁止 (データアドレスエラー例外発生) 1 : メモリ割り付け連想書き込みを許可



## 5. 例外処理

ビット	シンボル	リセット後の値	R	W	説明
3、2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
0	RTEDS	1	R	W	RTE 遅延スロット 0 : RTE 命令の遅延スロットにある NOP 命令以外を禁止 (NOP 命令以外をスロット不当命令とする) 1 : RTE 命令の遅延スロットにある NOP 命令以外を許可

## 5.3 例外処理の機能

### 5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SR および R15 の内容がそれぞれ SPC、SSR および SGR に退避されます。
2. SR のブロックビット (BL) が "1" に設定されます。
3. SR のモードビット (MD) が "1" に設定されます。
4. SR のレジスタバンクビット (RB) が "1" に設定されます。
5. リセット時、SR の FPU ディスエーブルビット (FD) が "0" に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット 13~0 に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

### 5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、MMU を使用しているときのベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

## 5. 例外処理

### 5.4 例外の種類と優先順位

表 5.2 に、例外の種類、優先順位、ベクタアドレス、および例外/割り込みコードを示します。

表 5.2 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード
					ベクタベース	オフセット	
リセット	中断型	ハードウェアリセット	1	1	H'A000 0000	—	H'000
		H-UDI リセット	1	1	H'A000 0000	—	H'000
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	—	H'000
		データ TLB 多重ヒット例外	1	4	H'A000 0000	—	H'000
一般例外* <sup>2</sup>	再実行型	命令実行前ユーザブレイク* <sup>1</sup>	2	0	(VBR/DBR)	H'100/—	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0
		FPU 例外	2	8	(VBR)	H'100	H'120
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080
	完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
		命令実行後ユーザブレイク* <sup>1</sup>	2	10	(VBR/DBR)	H'100/—	H'1E0
割り込み	完了型	ノンマスカブル割り込み	3	—	(VBR)	H'600	H'1C0
		一般割り込み要求	4	—	(VBR)	H'600	—

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先: リセットでは H'A000 0000、その他では (VBR+オフセット) へ制御が移ります。

例外コード: リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 \*1 CBCR.UBDE="1"のとき PC=DBR。その他は PC=VBR+H'100

\*2 SR.BL="1"のときにユーザブレイク以外の一般例外が発生した場合、リセットが発生します。

## 5.5 例外フロー

## 5.5.1 例外フロー

図 5.1 に命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

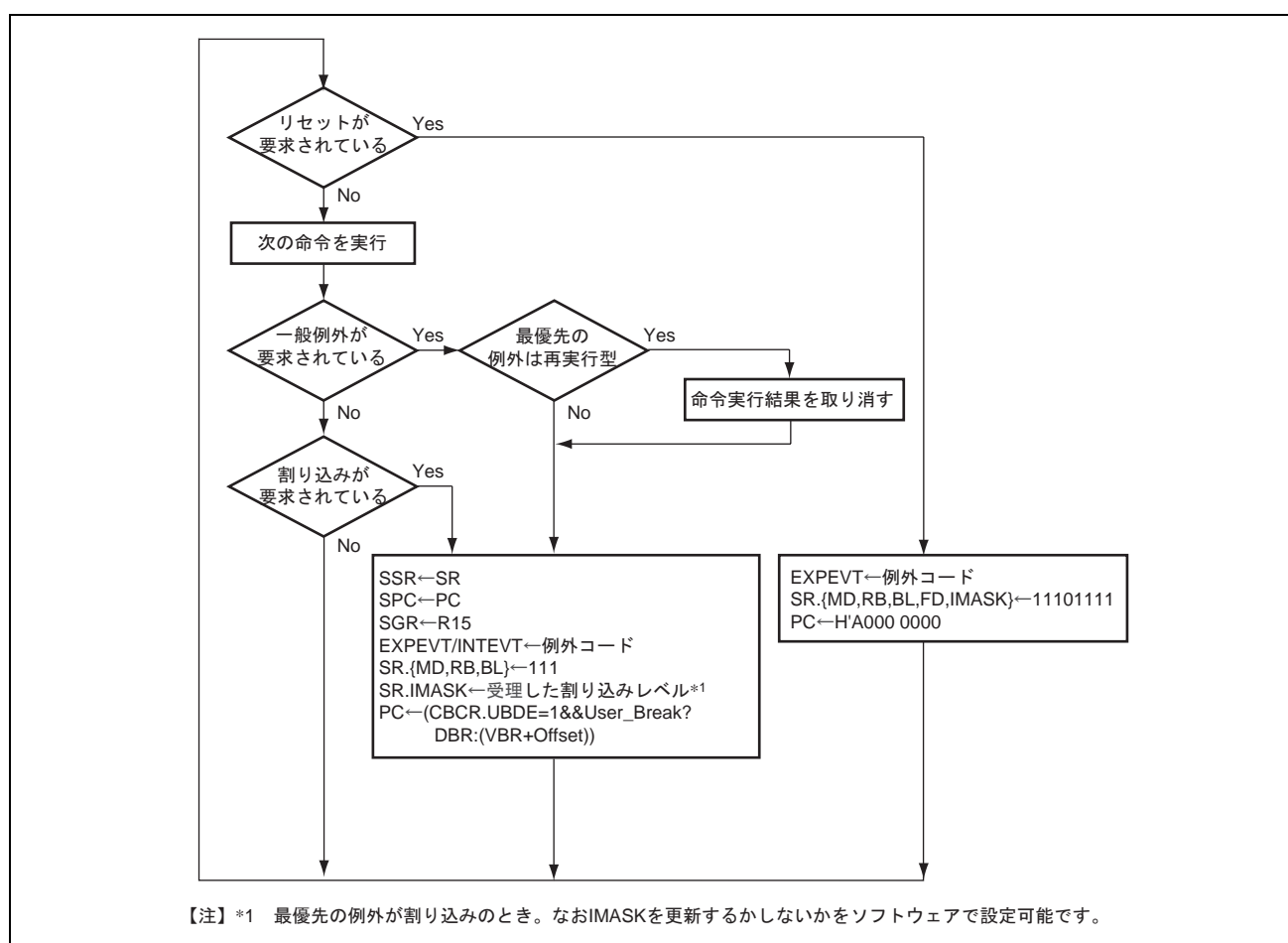


図 5.1 命令実行と例外処理

## 5. 例外処理

### 5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般FPU抑止例外、スロットFPU抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。図5.2に一般例外の受け付け順序の例を示します。

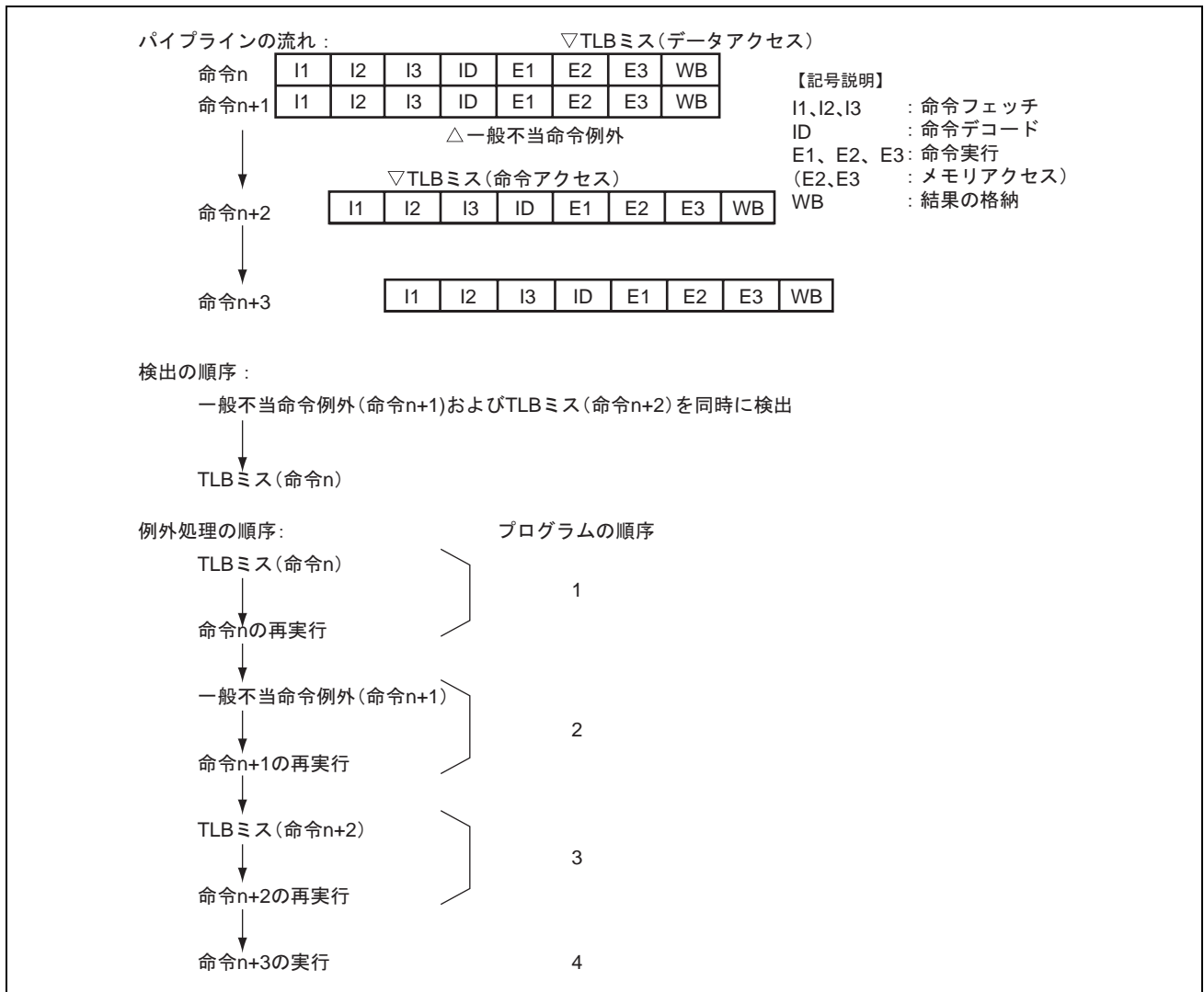


図 5.2 一般例外の受け付け順序の例

### 5.5.3 例外要求と BL ビット

SR の BL ビットが"0"のとき、例外、割り込みを受け付けます。

SR の BL ビットが"1"のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、ハードウェアリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 35 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが"0"にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを"0"にクリアします。

### 5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを"1"にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

### 5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

#### 5.6.1 リセット

##### (1) ハードウェアリセット

- 条件：  
ハードウェアリセット要求
- 動作：  
EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ（H'A000 0000）に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずハードウェアリセットを行ってください。

##### (2) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：  
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は各章のレジスタの説明を参照してください。

##### (3) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：  
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

##### (4) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：  
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

## 5.6.2 一般例外

### (1) データ TLB ミス例外

- 要因 : UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス : VBR + H'0000 0400
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```



## 5. 例外処理

---

### (2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000040;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```

## (3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD="0"
- 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
Initial_write_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000080;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## 5. 例外処理

### (4) データ TLB 保護違反例外

- 要因：アクセスが表5.3、表5.4に示すUTLBのプロテクション情報（PRビットまたはEPRビット）に反する。

表 5.3 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し/書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し/書き込み可	読み出し/書き込み可

表 5.4 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
```

```
{
```

```
    TEA = EXCEPTION_ADDRESS;
```

```
    PTEH.VPN = PAGE_NUMBER;
```

---

```
SPC = PC;
SSR = SR;
SGR = R15;
EXPEVT = read_access ? H'000000A0 : H'000000C0;
SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}
```

## 5. 例外処理

### (5) 命令 TLB 保護違反例外

- 要因：アクセスが表5.5、表5.6に示すITLBのプロテクション情報（PRビット）に反する。

表 5.5 ITLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.6 ITLB プロテクション情報（TLB 拡張モードの場合）

EPR[5], EPR[3]	特権モードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI 命令の Rn アクセスは実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI 命令の Rn アクセスは実行可
00	実行不可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
ITLB_protection_violation_exception()
```

```
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000A0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## (6) データアドレスエラー

## • 要因 :

- ワードデータをワード境界以外 ( $2n+1$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ( $8n+1$ ,  $8n+2$ ,  $8n+3$ ,  $8n+4$ ,  $8n+5$ ,  $8n+6$ ,  $8n+7$ ) からアクセス
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFへのアクセス

ただし、H'E000 0000~H'E3FF FFFFおよびH'E500 0000~H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 ILメモリ/OLメモリ」を参照してください。

- EXPMASKレジスタのMMCAWビットが"0"で、IC/OCメモリ割り付け連想書き込み

## • 遷移先アドレス : VBR + H'0000 0100

## • 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
```

```
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## 5. 例外処理

---

### (7) 命令アドレスエラー

- 要因：

- ワード境界以外 (2n+1) から命令フェッチ
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000~H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 ILメモリ/OLメモリ」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Instruction_address_error()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## (8) 無条件トラップ

- 要因 : TRAPA命令の実行
- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'000000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'000000100;
}
```



## 5. 例外処理

---

### (9) 一般不当命令例外

- 要因 :

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令 : JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令 : H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令 : LDC、STC、RTE、LDTLB

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス : VBR + H'0000 0100

- 遷移時動作 :

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```
General_illegal_instruction_exception()
```

```
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000180;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## (10) スロット不当命令例外

## • 要因 :

- 遅延スロットにある未定義命令をデコード

遅延分岐命令 : JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令 : H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令 : JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、  
TRAPA、LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令 : LDC、STC、RTE、LDTLB

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのRTEDSビットが"0"で、遅延スロットにあるNOP以外の命令を実行

## • 遷移先アドレス : VBR + H'0000 0100

## • 遷移時動作 :

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## 5. 例外処理

---

### (11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令\*1をSR.FD="1"でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
General_fpu_disable_exception()
```

```
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000800;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

**【注】 \*1** FPU 命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

## (12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD="1"でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：  
直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。  
例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## 5. 例外処理

---

### (13) 命令実行前ユーザブレイク/命令実行後ユーザブレイク

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。

命令実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は「**第35章 ユーザブレイクコントローラ (UBC)**」を参照してください。

```
User_break_exception()  
{  
    SPC = (pre_execution break? PC : PC + 2);  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000001E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);  
}
```

## (14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()  
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000120;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

### 5.6.3 割り込み

#### (1) NMI (ノンマスクابل割り込み)

- 要因 : NMI端子のエッジ検出
- 遷移先アドレス : VBR+H'0000 0600
- 遷移時動作 :

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが"1"のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第15章 割り込みコントローラ (INTC)」を参照してください。

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If (cond) SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

## (2) 一般割り込み要求

## • 要因 :

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが"0" (命令の切れ目で受け付けます。)

## • 遷移先アドレス : VBR + H'0000 0600

## • 遷移時動作 :

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。

各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを"1"にセットし、VBR+H'0600に分岐します。詳細は「第15章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000000400 ~ H'000003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```



### 5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので注意が必要です。

#### (1) メモリを2回アクセスする命令

MAC 命令やメモリーメモリー間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

#### (2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC→PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

## 5.7 使用上の注意事項

### (1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを"1"にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

### (2) SR.BL="1"のときに例外または割り込みが発生した場合

#### 1. 例外

ユーザブレークを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、ハードウェアリセットが発生します。このとき、EXPEVTはH'0000 0000となり、SSRは不定値となります。

#### 2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

### (3) 例外発生時の SPC

#### 1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

#### 2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

### (4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。

## 5. 例外処理

---

### (5) SRレジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します\*1。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

**【注】 \*1** SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

---

## 6. 浮動小数点ユニット (FPU)

---

### 6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：  
FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：  
単精度、倍精度、グラフィックサポート、システム制御
- SH-4AでSH-4に対して下記の3命令を追加しました。  
FSRRA、FSCA、FPCHG

SRのFDビットを"1"にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

## 6. 浮動小数点ユニット (FPU)

### 6.2 データフォーマット

#### 6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

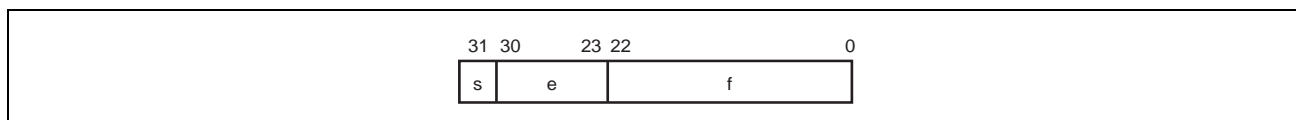


図 6.1 単精度浮動小数点フォーマット

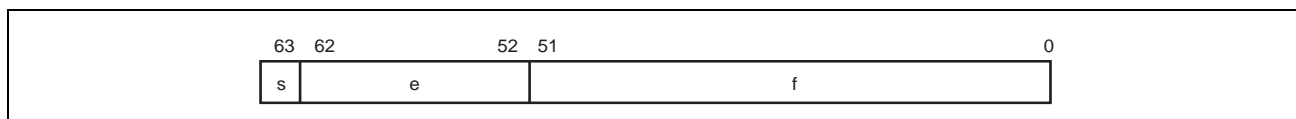


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数  $E$  の範囲は、 $E_{\min} - 1$  から  $E_{\max} + 1$  までです。 $E_{\min} - 1$  と  $E_{\max} + 1$  の2つの値は次のように区別します。 $E_{\min} - 1$  は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$  は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{\max}$	+127	+1023
$E_{\min}$	-126	-1022

浮動小数点の数値  $v$  は次のようにして決められます。

- $E = E_{\max} + 1$ かつ $f \neq 0$ の場合、 $v$ は符号 $s$ に関係なく非数 (NaN) です。
- $E = E_{\max} + 1$ かつ $f = 0$ の場合、 $v$ は $(-1)^s$  (無限) 「正または負の無限」です。
- $E_{\min} \leq E \leq E_{\max}$ の場合、 $v$ は $(-1)^s 2^E (1.f)$  「正規化数」です。
- $E = E_{\min} - 1$ かつ $f \neq 0$ の場合、 $v$ は $(-1)^s 2^{E_{\min}} (0.f)$  「非正規化数」です。
- $E = E_{\min} - 1$ かつ $f = 0$ の場合、 $v$ は $(-1)^s 0$  「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF~H'7FC0 0000	H'7FFF FFFF FFFF FFFF~H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF~H'7F80 0001	H'7FF7 FFFF FFFF FFFF~H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF~H'0080 0000	H'7FEF FFFF FFFF FFFF~H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF~H'0000 0001	H'000F FFFF FFFF FFFF~H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001~H'807F FFFF	H'8000 0000 0000 0001~H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000~H'FF7F FFFF	H'8010 0000 0000 0000~H'FFEF FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001~H'FFBF FFFF	H'FFF0 0000 0000 0001~H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000~H'FFFF FFFF	H'FFF8 0000 0000 0000~H'FFFF FFFF FFFF FFFF

## 6. 浮動小数点ユニット (FPU)

### 6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが "1"
- 小数フィールド : 少なくとも 1 ビットが "1"

NaN は、小数フィールドの MSB が "1" の場合はシグナリング非数 (sNaN) であり、"0" の場合はクワイエット非数 (qNaN) です。

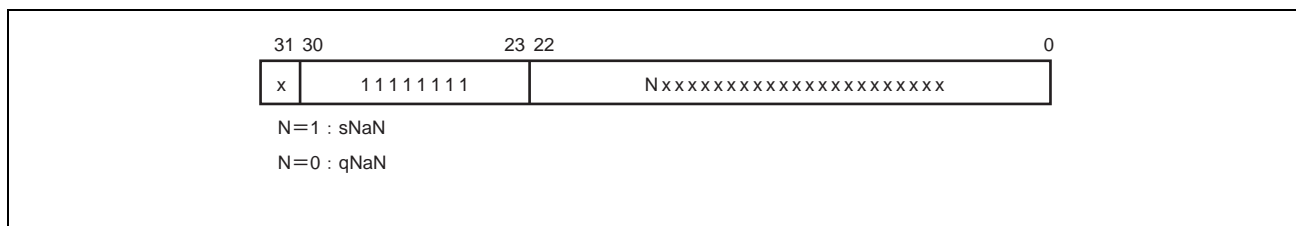


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCR レジスタの EN.V ビットが "0" の場合、演算結果 (出力) は qNaN になります。
- FPSCR レジスタの EN.V ビットが "1" の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の 3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として SH-4A が生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBF FFFF
- 倍精度 qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

### 6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として小数フィールドは0以外の値として表現します。

FPU のステータスレジスタ (FPSCR) の DN ビットが"1"の場合、非正規化数 (ソースオペランドまたは演算結果) は、(レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCR レジスタの DN ビットが"0"の場合、非正規化数 (ソースオペランドまたは演算結果) はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。



### 6.3 レジスタの説明

#### 6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0~FPR15\_BANK0

FPR0\_BANK1~FPR15\_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR="0" のとき、FR0~FR15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

FPSCR.FR="1" のとき、FR0~FR15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0={FR0, FR1}、DR2={FR2, FR3}、

DR4={FR4, FR5}、DR6={FR6, FR7}、

DR8={FR8, FR9}、DR10={FR10, FR11}、

DR12={FR12, FR13}、DR14={FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0={FR0, FR1, FR2, FR3}、

FV4={FR4, FR5, FR6, FR7}、

FV8={FR8, FR9, FR10, FR11}、

FV12={FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR="0" のとき、XF0~XF15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

FPSCR.FR="1" のとき、XF0~XF15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

## (6) 単精度浮動小数点拡張レジスタのペア XDi (8 レジスタ)

XD レジスタは2つの XF レジスタから構成されます。

XD0={XF0、XF1}、XD2={XF2、XF3}、

XD4={XF4、XF5}、XD6={XF6、XF7}、

XD8={XF8、XF9}、XD10={XF10、XF11}、

XD12={XF12、XF13}、XD14={XF14、XF15}

## (7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は16本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR="0"				FPSCR.FR="1"			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX	
		FR1	FPR1 BANK0	XF1			
	DR2	FR2	FPR2 BANK0	XF2	XD2		
		FR3	FPR3 BANK0	XF3			
FV4	DR4	FR4	FPR4 BANK0	XF4	XD4		
		FR5	FPR5 BANK0	XF5			
	DR6	FR6	FPR6 BANK0	XF6	XD6		
		FR7	FPR7 BANK0	XF7			
FV8	DR8	FR8	FPR8 BANK0	XF8	XD8		
		FR9	FPR9 BANK0	XF9			
	DR10	FR10	FPR10 BANK0	XF10	XD10		
		FR11	FPR11 BANK0	XF11			
FV12	DR12	FR12	FPR12 BANK0	XF12	XD12		
		FR13	FPR13 BANK0	XF13			
	DR14	FR14	FPR14 BANK0	XF14	XD14		
		FR15	FPR15 BANK0	XF15			
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0	
		XF1	FPR1 BANK1	FR1			
	XD2	XF2	FPR2 BANK1	FR2	DR2		
		XF3	FPR3 BANK1	FR3			
	XD4	XF4	FPR4 BANK1	FR4	DR4	FV4	
		XF5	FPR5 BANK1	FR5			
	XD6	XF6	FPR6 BANK1	FR6	DR6		
		XF7	FPR7 BANK1	FR7			
	XD8	XF8	FPR8 BANK1	FR8	DR8	FV8	
		XF9	FPR9 BANK1	FR9			
	XD10	XF10	FPR10 BANK1	FR10	DR10		
		XF11	FPR11 BANK1	FR11			
	XD12	XF12	FPR12 BANK1	FR12	DR12	FV12	
		XF13	FPR13 BANK1	FR13			
	XD14	XF14	FPR14 BANK1	FR14	DR14		
		XF15	FPR15 BANK1	FR15			

図 6.4 浮動小数点レジスタ

## 6. 浮動小数点ユニット (FPU)

### 6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値: H'0004 0001>

ビット	シンボル	リセット後の値	R	W	説明
31~22	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
21	FR	0	R	W	浮動小数点レジスタバンク 0: FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられる 1: FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられる
20	SZ	0	R	W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビット 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビット SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R	W	精度モード 0: 浮動小数点命令を単精度演算として実行する 1: 浮動小数点命令を倍精度演算として実行する (グラフィックサポート命令は未定義) PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R	W	非正規化モード 0: 非正規化数を非正規化数として扱う 1: 非正規化数を 0 として扱う

## 6. 浮動小数点ユニット (FPU)

ビット	シンボル	リセット後の値	R	W	説明
17~12	Cause	すべて 0	R	W	FPU 例外要因フィールド
11~7	Enable (EN)	すべて 0	R	W	FPU 例外イネーブルフィールド FPU 例外フラグフィールド
6~2	Flag	すべて 0	R	W	FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に"0"に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが"1"にセットされます。  FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。  各フィールドのビットの割り付けについては表 6.3 を参照してください。
1, 0	RM	01	R	W	丸めモード  丸めの方法を選択します。  00 : 近傍への丸め 01 : 0 方向への丸め 10 : 予約 (設定禁止) 11 : 予約 (設定禁止)

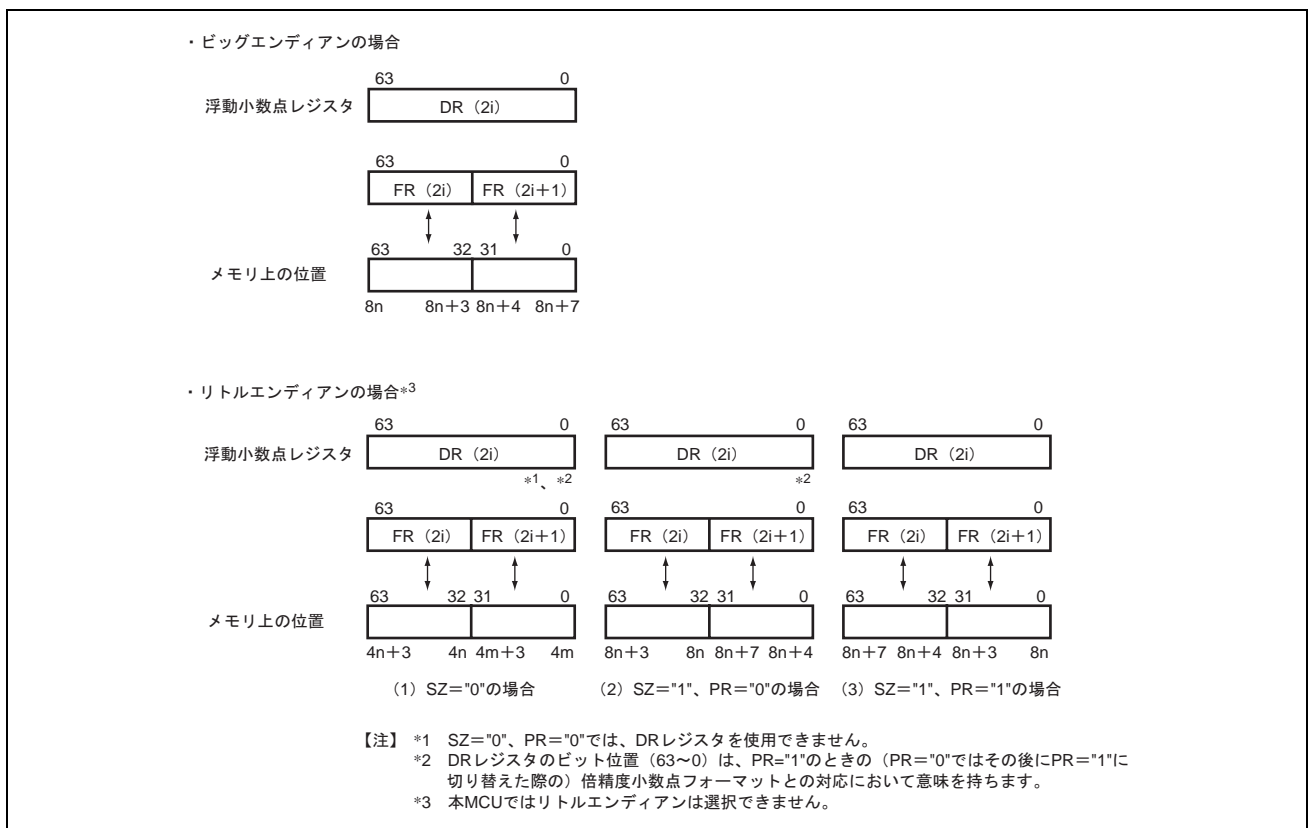


図 6.5 SZ ビットとエンディアンの関係

## 6. 浮動小数点ユニット (FPU)

---

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

### 6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

## 6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM="00" : 近傍への丸め

RM="01" : 0 方向への丸め

### (1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が  $2^{E_{max}}$  ( $2 \cdot 2^p$ ) 以上であれば丸め前と同じ符号の無限となります。ここで  $E_{max}$ 、 $p$  は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

### (2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

### 6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

#### (1) 一般 FPU 抑止/スロット FPU 抑止例外

SR.FD="1"のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

#### (2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :  
FPSCR.DN="0"かつ非正規化数の入力時
- 無効演算 (V) :  
NaN入力のような無効な演算の場合
- 0による除算 (Z) :  
除数0による除算
- オーバフロー (O) :  
演算結果がオーバフローする場合
- アンダフロー (U) :  
演算結果がアンダフローする場合
- 不正確例外 (I) :  
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは"1"にセットされ FPU 例外フラグフィールドに該当するビットに"1"が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは"0"にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

## (3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E)  
FPSCR.DN="0"かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)  
FPSCR.EN.V="1"かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)  
FPSCR.EN.Z="1"かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)  
FPSCR.EN.O="1"かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)  
FPSCR.EN.U="1"かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)  
FPSCR.EN.I="1"かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを"1"にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V)  
結果としてqNaNを生成します。
- 0による除算 (Z)  
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O)  
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。  
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U)  
FPSCR.DN="0"のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。  
FPSCR.DN="1"のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I)  
不正確な結果を生成します。



### 6.6 グラフィックサポート機能

SH-4A は2種類のグラフィック機能をサポートしています。1つはジオメトリック演算用の命令であり、もう1つは高速データ転送を可能にするペア単精度転送命令です。

#### 6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は4つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数}-1, \text{被乗数の有効数字桁数}-1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が24、非正規化数が23(小数部のリーディングゼロの桁数)となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

##### (1) FIPR FVm, FVn (m, n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m≠n)  
一般的に、この演算はポリゴン表面の輝度や表面/裏面を判定するために使用されます。
- 各要素の平方和 (m=n)  
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に"1"にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

##### (2) FTRV XMTRX, FVn (n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4)  
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度+平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4Aは4次元演算をサポートしています。
- 行列 (4×4) ×行列 (4×4)  
この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に"1"にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ

内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

### (3) FRCHG

この命令はバンクレジスタを変更します。たとえば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

## 6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。FPSCR.SZ="1" のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送できます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

## 6. 浮動小数点ユニット (FPU)

---

レイアウトの都合上、このページは白紙です。

---

## 7. メモリマネジメントユニット (MMU)

---

SH-4A は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、SH-4A に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

SH-4A は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

SH-4A の MMU には、MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

### 7.1 概要

MMUとは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要性が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは2次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、SH-4A では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

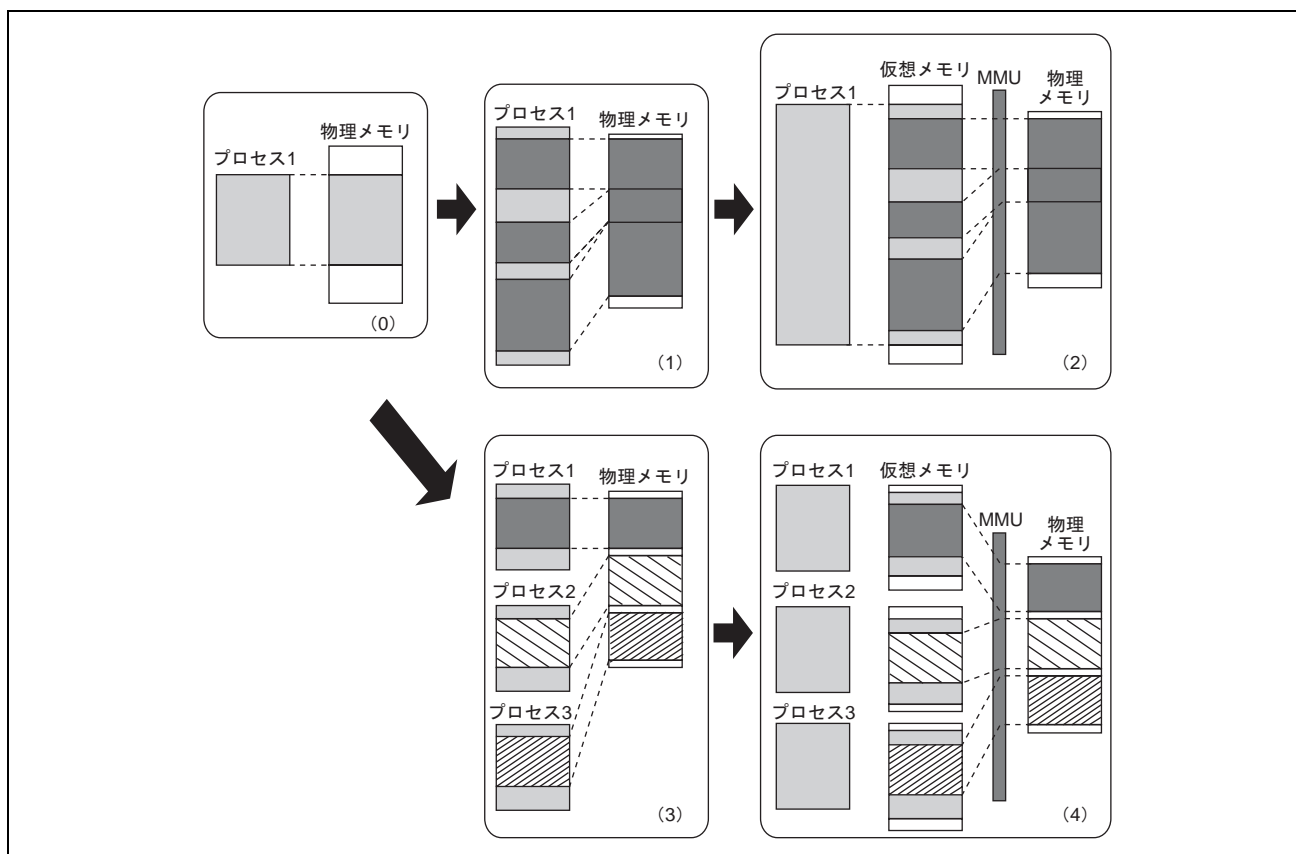


図 7.1 MMU の役割

## 7. メモリマネジメントユニット (MMU)

### 7.1.1 アドレス空間

#### (1) 仮想アドレス空間

SH-4A は、32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。図 7.2、図 7.3 に示すとおり、仮想アドレス空間はいくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが "0" の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが "1" の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR レジスタの AT ビットを "1" にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、または 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングできます。また、8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

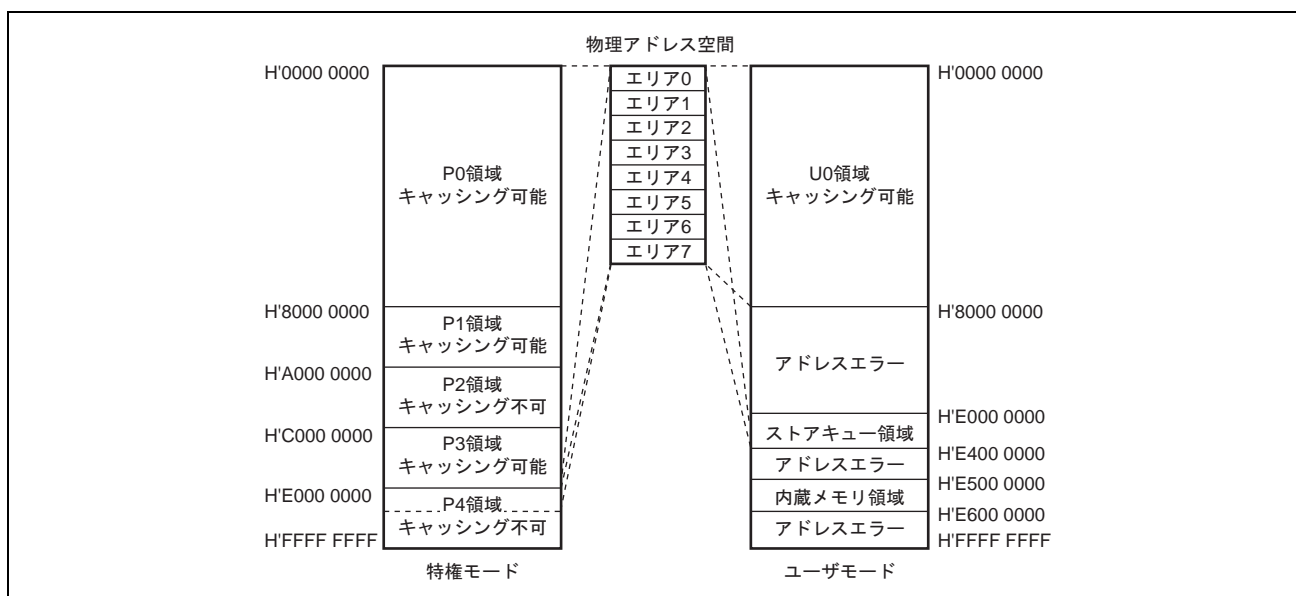


図 7.2 仮想アドレス空間 (MMUCR.AT="0")

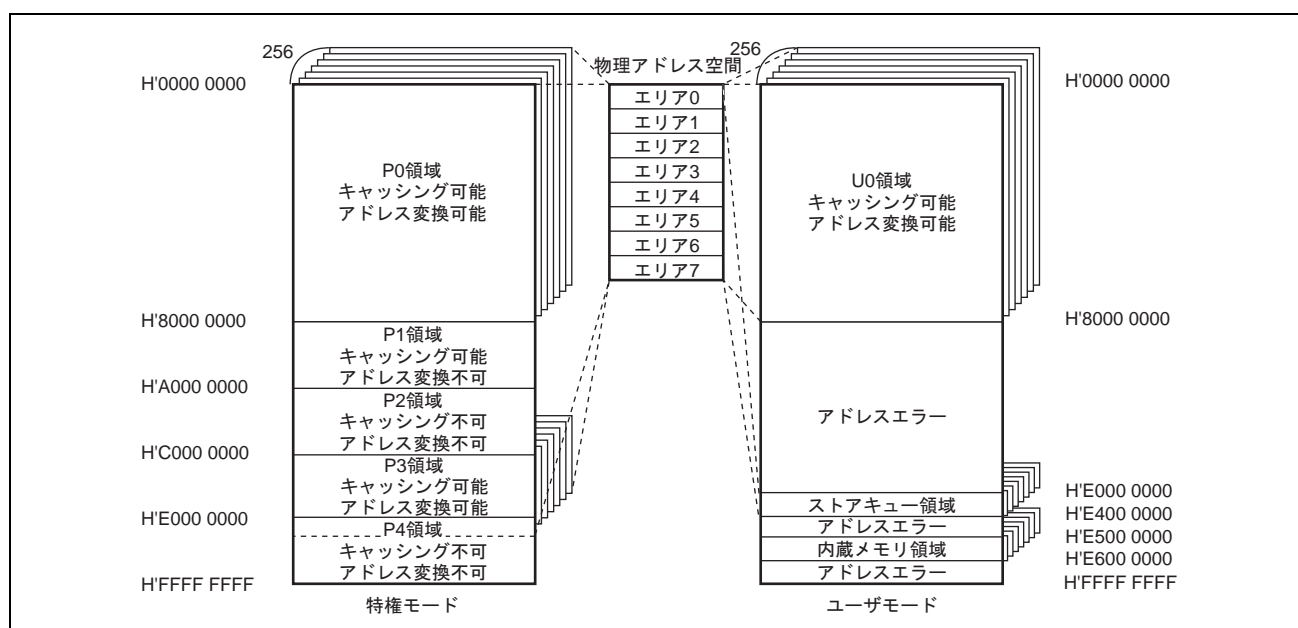


図 7.3 仮想アドレス空間 (MMUCR.AT="1")

## (a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR レジスタの WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、または 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が "1" のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは "0" にしてください。

## (b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR レジスタに従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR レジスタの CB ビットに従います。



## 7. メモリマネジメントユニット (MMU)

### (c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

### (d) P4 領域

P4 領域は SH-4A の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。図 7.4 に P4 領域の詳細を示します。

H'E000 0000	ストアキュー
H'E400 0000	予約領域
H'E500 E000	内蔵メモリ領域
H'E520 2000	予約領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令 TLB アドレスアレイ
H'F300 0000	命令 TLB データアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用 TLB アドレスアレイ
H'F700 0000	共用 TLB データアレイ
H'F800 0000	予約領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000～H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR レジスタの SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 E000～H'E520 1FFF までは、内蔵メモリにアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 IL メモリ/OL メモリ」を参照してください。

H'F000 0000～H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000～H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000～H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000～H'F3FF FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

H'F400 0000～H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000～H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000～H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000～H'F7FF FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'FC00 0000～H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

## (2) 物理アドレス空間

SH-4A は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 は予約領域です。詳細は「第 11 章 アドレス空間」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000～H'1FFF FFFF までの領域が予約領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (予約領域)

図 7.5 物理アドレス空間

## 7. メモリマネジメントユニット (MMU)

---

### (3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4A では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。また、アクセスされた仮想アドレスが TLB に登録されていない場合には TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして、例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

### (4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR レジスタの SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式（「7.3.3 アドレス変換方式」参照）のみです。

### (5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH レジスタに現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をページしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

**【注】** ・ 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

## 7.2 レジスタの説明

表 7.1 に MMU 処理に関するレジスタ構成を示します。

表 7.1 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
ページテーブルエントリ上位レジスタ	PTEH	不定	H'FF00 0000	32	7-10
ページテーブルエントリ下位レジスタ	PTL	不定	H'FF00 0004	32	7-11
変換テーブルベースレジスタ	TTB	不定	H'FF00 0008	32	7-12
TLB 例外アドレスレジスタ	TEA	不定	H'FF00 000C	32	7-12
MMU 制御レジスタ	MMUCR	H'0000 0000	H'FF00 0010	32	7-13
ページテーブルエントリアシスタンスレジスタ	PTEA	不定	H'FF00 0034	32	7-16
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'FF00 0070	32	7-17
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'FF00 0078	32	7-18

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 7. メモリマネジメントユニット (MMU)

### 7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH レジスタは仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

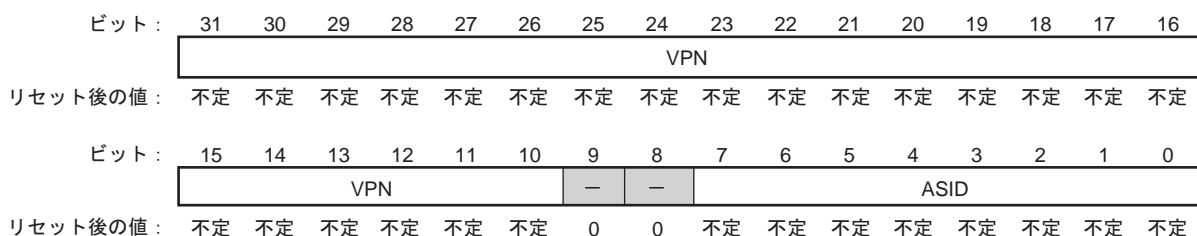
PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. PTEHレジスタ更新の前にあらかじめIRMCR.R2="0" (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEHレジスタ更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ページテーブルエントリ上位レジスタ (PTEH)

<P4領域アドレス : H'FF00 0000番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~10	VPN	不定	R	W	仮想ページ番号
9、8	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7~0	ASID	不定	R	W	アドレス空間識別子

## 7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL レジスタは LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がないかぎり内容が変更されることはありません。

ページテーブルエントリ下位レジスタ (PTEL)

&lt;P4領域アドレス : H'FF00 0004番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PPN												
リセット後の値 :	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN						—	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
リセット後の値 :	不定	不定	不定	不定	不定	不定	0	不定	不定	不定	不定	不定	不定	不定	不定	不定

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~10	PPN	不定	R	W	物理ページ番号
9	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	V	不定	R	W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード)」および「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。 【注】・SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R	W	
6	PR1	不定	R	W	
5	PR0	不定	R	W	
4	SZ0	不定	R	W	
3	C	不定	R	W	
2	D	不定	R	W	
1	SH	不定	R	W	
0	WT	不定	R	W	

## 7. メモリマネジメントユニット (MMU)

### 7.2.3 変換テーブルベースレジスタ (TTB)

TTB レジスタは、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB レジスタはソフトウェアの指示がないかぎり内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

変換テーブルベースレジスタ (TTB)

<P4領域アドレス : H'FF00 0008番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	TTB	不定	R	W	TTB ビット 現在使用しているページテーブルエントリのベースアドレスの格納用などに使用します。

### 7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA レジスタは、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

TLB例外アドレスレジスタ (TEA)

<P4領域アドレス : H'FF00 000C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	TEA	不定	R	W	TEA ビット MMU 例外またはアドレスエラーを発生させた仮想アドレスが格納されます。

## 7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR レジスタの各ビットは以下に示すように MMU の設定を行います。このため、MMUCR レジスタの書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. MMUCRレジスタ更新の前にあらかじめIRMCR.R2="0"（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCRレジスタ更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR レジスタはソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

MMU制御レジスタ (MMUCR)

&lt;P4領域アドレス : H'FF00 0010番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	—	—	—	—	TI	—	AT
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



7. メモリマネジメントユニット (MMU)

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~26	LRUI	すべて 0	R	W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき                      1xx00x : ITLB のエントリ 1 を用いたとき                      x1x1x0 : ITLB のエントリ 2 を用いたとき                      xx1x11 : ITLB のエントリ 3 を用いたとき                      xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またハードウェアリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される                      0xx11x : ITLB のエントリ 1 が更新される                      x0x0x1 : ITLB のエントリ 2 が更新される                      xx0x00 : ITLB のエントリ 3 が更新される                      上記以外 : 設定禁止</p>
25、24	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
23~18	URB	すべて 0	R	W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB≠0 のときに有効となります。</p>
17、16	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
15~10	URC	すべて 0	R	W	<p>LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ</p> <p>UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB &gt; 0 の場合、URC=URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC&gt;URB となる値が URC に書き込まれた場合、最初は URC=H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。</p>

## 7. メモリマネジメントユニット (MMU)

ビット	シンボル	リセット後の値	R	W	説明
9	SQMD	0	R	W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ/特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R	W	単一仮想記憶モード/多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも"1"を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R	W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに"1"を指定して、ITLB、UTLB の内容を無効化してください。
6~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	TI	0	0	W	TLB 無効化ビット このビットに"1"を書き込むと、UTLB/ITLB の有効ビットをすべて"0"にクリアします。読み出すと常に"0"が読み出されます。
1	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	AT	0	R	W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが"0"の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを"0"の状態で使用してください。

## 7. メモリマネジメントユニット (MMU)

### 7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ページテーブルエントリアシスタンスレジスタ (PTEA)

<P4領域アドレス : H'FF00 0034番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EPR						ESZ				—	—	—	—
リセット後の値 :	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	0	0

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~8	EPR	不定	R	W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R	W	
3~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR レジスタは物理アドレス空間の動作を制御します。

物理アドレス空間制御レジスタ (PASCR)

<P4領域アドレス : H'FF00 0070番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7~0	UB	すべて0	R	W	エリア (64M バイト) ごとのバッファドライフト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行う 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行う UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

## 7. メモリマネジメントユニット (MMU)

### 7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR レジスタは、特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかし、この状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため、IRMCR レジスタの各ビットを"1"に設定し、必要なリソースの変更をまとめて行ったうえで特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようになることを推奨します。特定のシーケンスに関しては、各リソースの説明を参照してください。

命令再フェッチ抑止制御レジスタ (IRMCR)

<P4領域アドレス : H'FF00 0078番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	R2	0	R	W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCRC、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行う 1 : 再フェッチを行わない
3	R1	0	R	W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF20 0000~H'FF2F FFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行う 1 : 再フェッチを行わない
2	LT	0	R	W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行う 1 : 再フェッチを行わない

## 7. メモリマネジメントユニット (MMU)

ビット	シンボル	リセット後の値	R	W	説明
1	MT	0	R	W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT="1"の状態、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行う 1: 再フェッチを行わない
0	MC	0	R	W	メモリ割り付け IC ライト後再フェッチ抑止 CCR.ICE="1"の状態、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行う 1: 再フェッチを行わない

### 7.3 TLB の機能 (TLB 互換モード)

#### 7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令 TLB ミスのとき、ITLB へ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

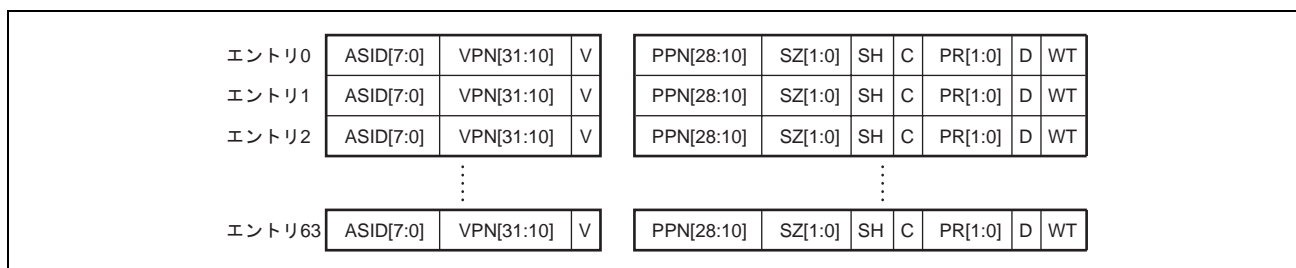


図 7.6 UTLB の構成 (TLB 互換モード)

#### 【記号説明】

- ASID** : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。  
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが"0"ならアドレス比較の際に PTEH 中の ASID と比較されます。
- VPN** : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット  
 4K バイトページのとき、仮想アドレスの上位 20 ビット  
 64K バイトページのとき、仮想アドレスの上位 16 ビット  
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- V** : 有効ビット エントリが有効かどうかを示します。  
 0 : 無効  
 1 : 有効  
 ハードウェアリセット時に"0"にクリアされます。
- PPN** : 物理ページ番号 物理アドレスの上位 22 ビット  
 1K バイトページのときは PPN[28:10]が有効です。  
 4K バイトページのときは PPN[28:12]が有効です。  
 64K バイトページのときは PPN[28:16]が有効です。  
 1M バイトページのときは PPN[28:20]が有効です。  
 また PPN の設定においてはシノニム問題に注意してください  
 (「7.5.5 シノニム問題の回避」参照)。

- SZ[1:0]** : ページサイズビット ページサイズを指定します。
- 00 : 1K バイトページ
  - 01 : 4K バイトページ
  - 10 : 64K バイトページ
  - 11 : 1M バイトページ
- SH** : 共有状態ビット
- 0 : 複数のプロセスでページを共有しない
  - 1 : 複数のプロセスでページを共有する
- C** : キャッシング可能ビット ページがキャッシング可能かどうかを示します。
- 0 : キャッシング不可能。
  - 1 : キャッシング可能。
- 制御レジスタ空間のマッピングを行う場合このビットは"0"にしてください。
- PR[1:0]** : 保護キーデータ ページのアクセス権をコードで表した 2 ビットデータ
- 00 : 特権モードで読み出しのみ可能
  - 01 : 特権モードで読み出し/書き込み可能
  - 10 : 特権/ユーザモードで読み出しのみ可能
  - 11 : 特権/ユーザモードで読み出し/書き込み可能
- D** : ダーティビット ページに書き込みが行われたかどうかを示します。
- 0 : 書き込みが行われていない。
  - 1 : 書き込みが行われた。
- WT** : ライトスルービット キャッシュへの書き込みモードを指定します。
- 0 : コピーバックモード
  - 1 : ライトスルーモード

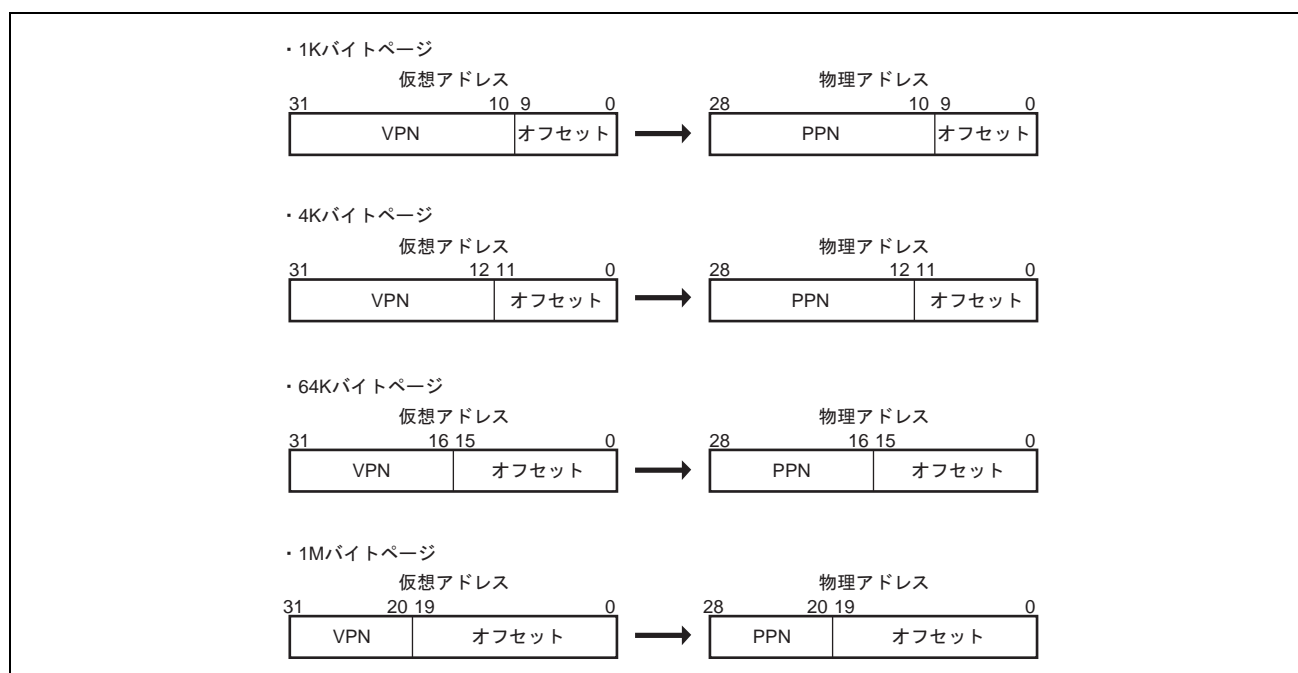


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)



## 7. メモリマネジメントユニット (MMU)

---

### 7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR

【注】・D、WTビットをサポートしません。  
・PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 7.8 ITLB の構成 (TLB 互換モード)

## 7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

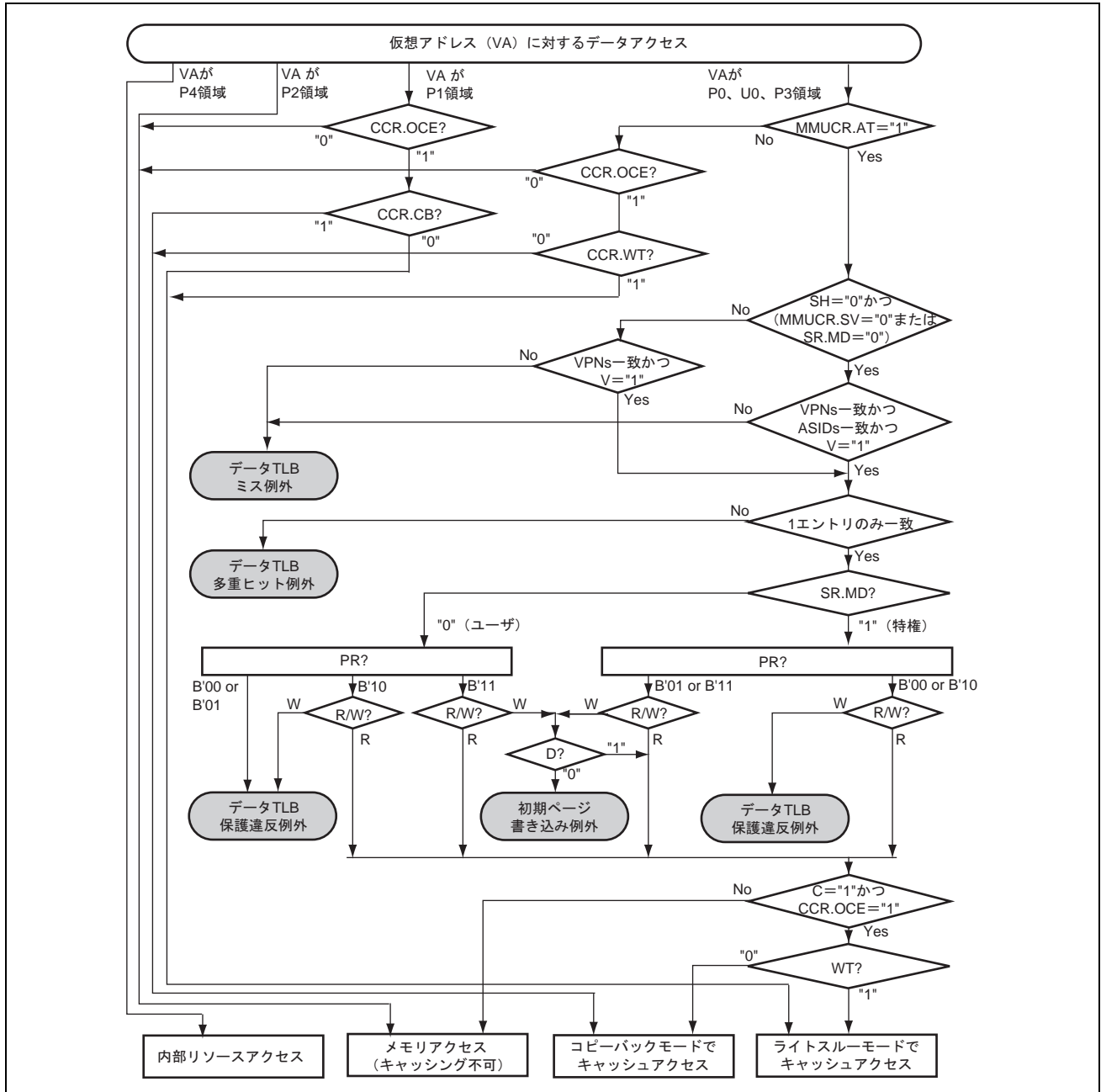


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

## 7. メモリマネジメントユニット (MMU)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

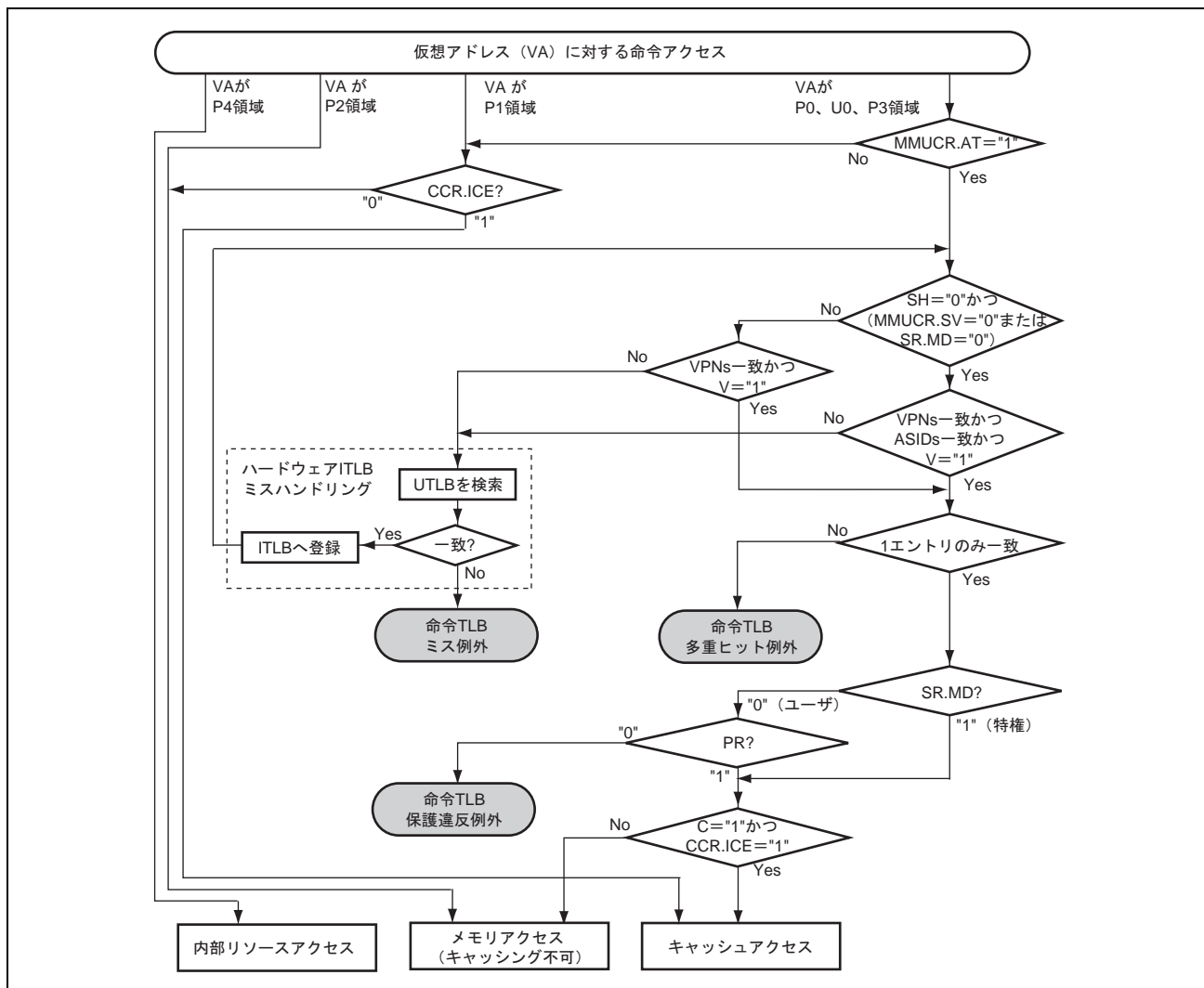


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

## 7.4 TLB の機能 (TLB 拡張モード)

### 7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

#### 【記号説明】

- ASID** : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。  
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが"0"ならアドレス比較の際に PTEH 中の ASID と比較されます。
- VPN** : 仮想ページ番号 1K バイトページのと看、仮想アドレスの上位 22 ビット  
 4K バイトページのと看、仮想アドレスの上位 20 ビット  
 8K バイトページのと看、仮想アドレスの上位 19 ビット  
 64K バイトページのと看、仮想アドレスの上位 16 ビット  
 256K バイトページのと看、仮想アドレスの上位 14 ビット  
 1M バイトページのと看、仮想アドレスの上位 12 ビット  
 4M バイトページのと看、仮想アドレスの上位 10 ビット  
 64M バイトページのと看、仮想アドレスの上位 6 ビット
- V** : 有効ビット  
 0 : 無効  
 1 : 有効  
 ハードウェアリセット時に"0"にクリアされます。
- PPN** : 物理ページ番号 物理アドレスの上位 19 ビット  
 1K バイトページのと看は PPN[28:10]が有効です。  
 4K バイトページのと看は PPN[28:12]が有効です。  
 8K バイトページのと看は PPN[28:13]が有効です。  
 64K バイトページのと看は PPN[28:16]が有効です。  
 256K バイトページのと看は PPN[28:18]が有効です。  
 1M バイトページのと看は PPN[28:20]が有効です。  
 4M バイトページのと看は PPN[28:22]が有効です。  
 64M バイトページのと看は PPN[28:26]が有効です。  
 また PPN の設定においてはシノニム問題に注意してください  
 (「7.5.5 シノニム問題の回避」参照)。

## 7. メモリマネジメントユニット (MMU)

---

ESZ : ページサイズビット	ページサイズを指定します。 0000 : 1K バイトページ 0001 : 4K バイトページ 0010 : 8K バイトページ 0100 : 64K バイトページ 0101 : 256K バイトページ 0111 : 1M バイトページ 1000 : 4M バイトページ 1100 : 64M バイトページ
-----------------	---

【注】・ 上記以外の値を登録した場合の動作は保証しません。

SH : 共有状態ビット	0 : 複数のプロセスでページを共有しない 1 : 複数のプロセスでページを共有する
C : キャッシング可能ビット	ページがキャッシング可能かどうかを示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合このビットは"0"にしてください。
EPR : 保護キーデータ	ページのアクセス権をコードで表した6ビットデータ 特権モードでの読み出し/書き込み/実行 (命令フェッチ) およびユーザモードでの読み出し/書き込み/実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ"0"で不許可、"1"で許可を示します。 EPR[5] : 特権モードでの読み出し EPR[4] : 特権モードでの書き込み EPR[3] : 特権モードでの実行 (命令フェッチ) EPR[2] : ユーザモードでの読み出し EPR[1] : ユーザモードでの書き込み EPR[0] : ユーザモードでの実行 (命令フェッチ)
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない 1 : 書き込みが行われた
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

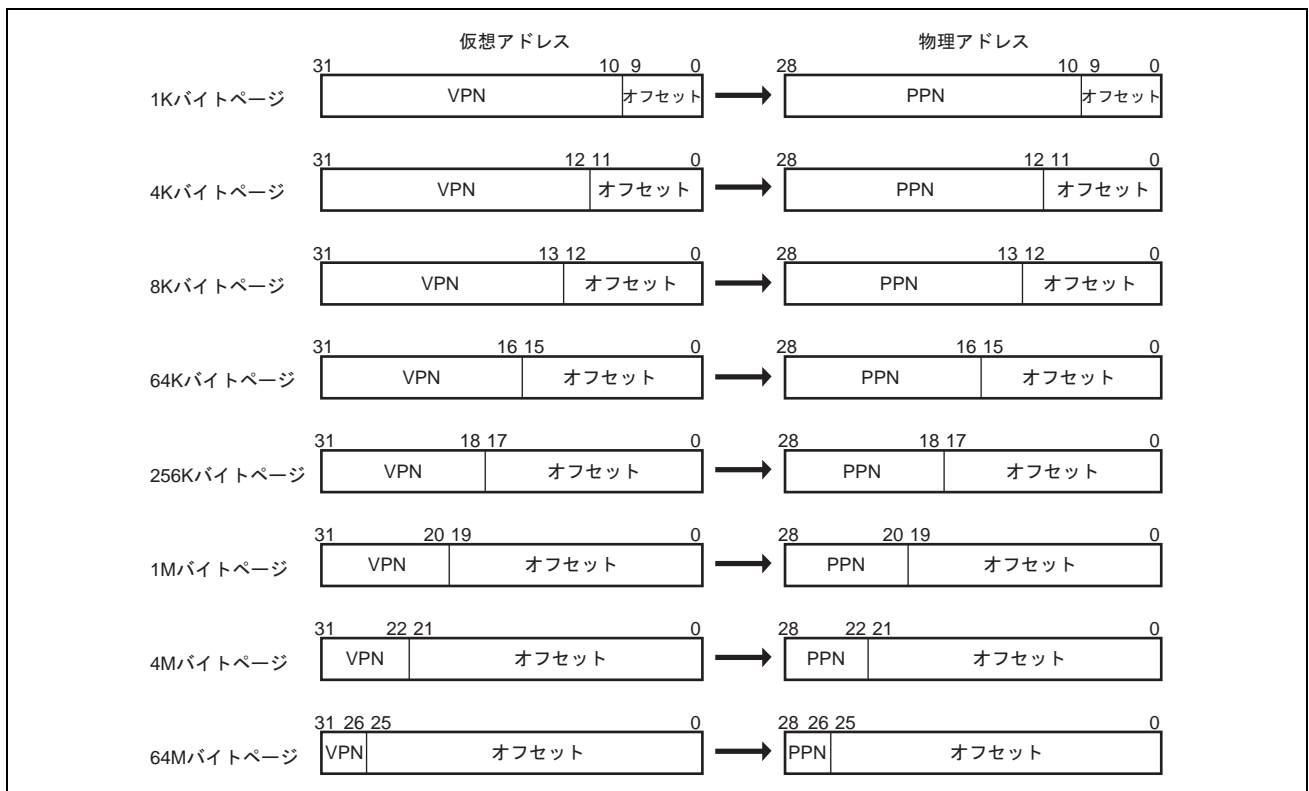


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

### 7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】・EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

## 7. メモリマネジメントユニット (MMU)

### 7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

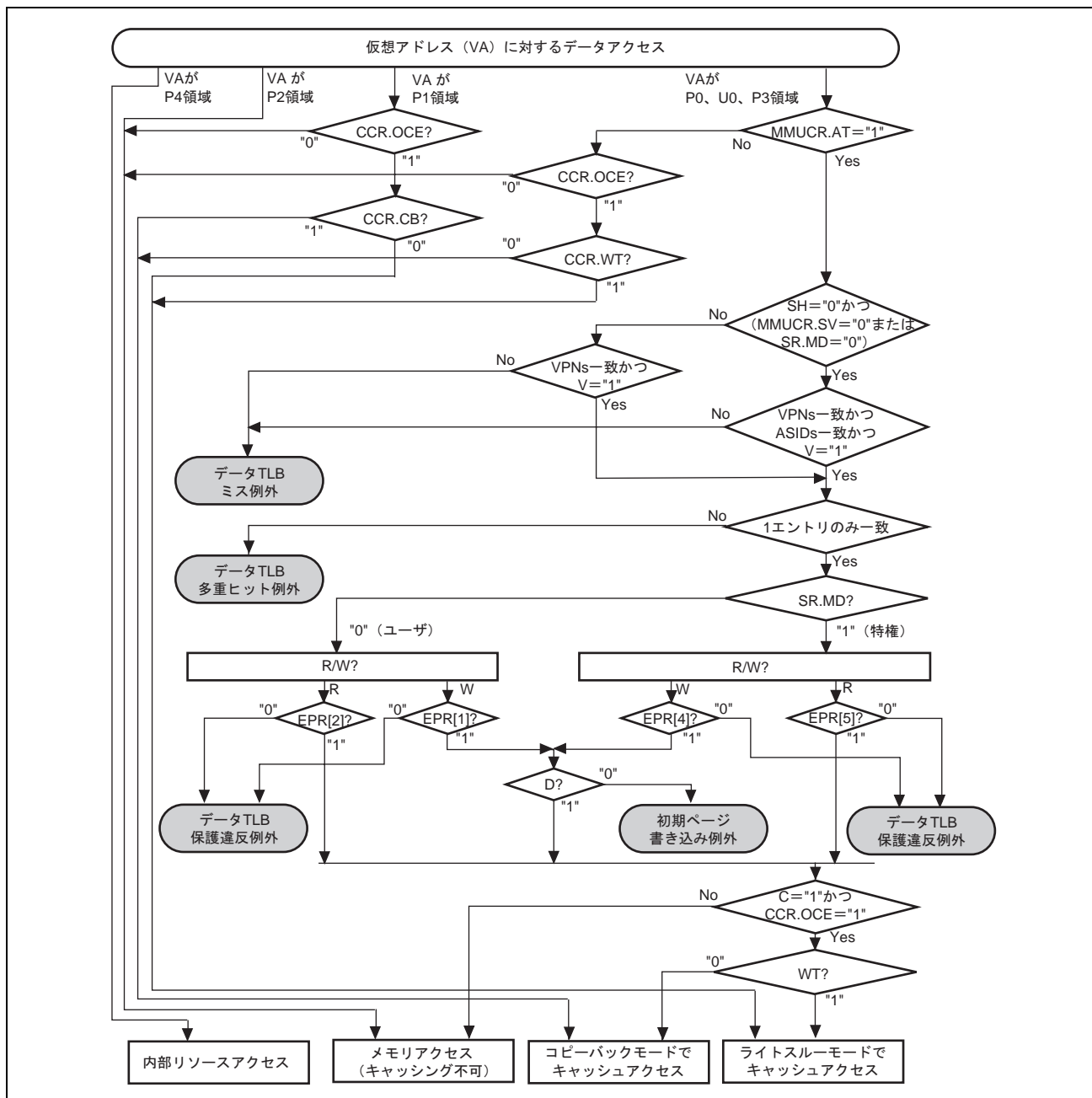


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

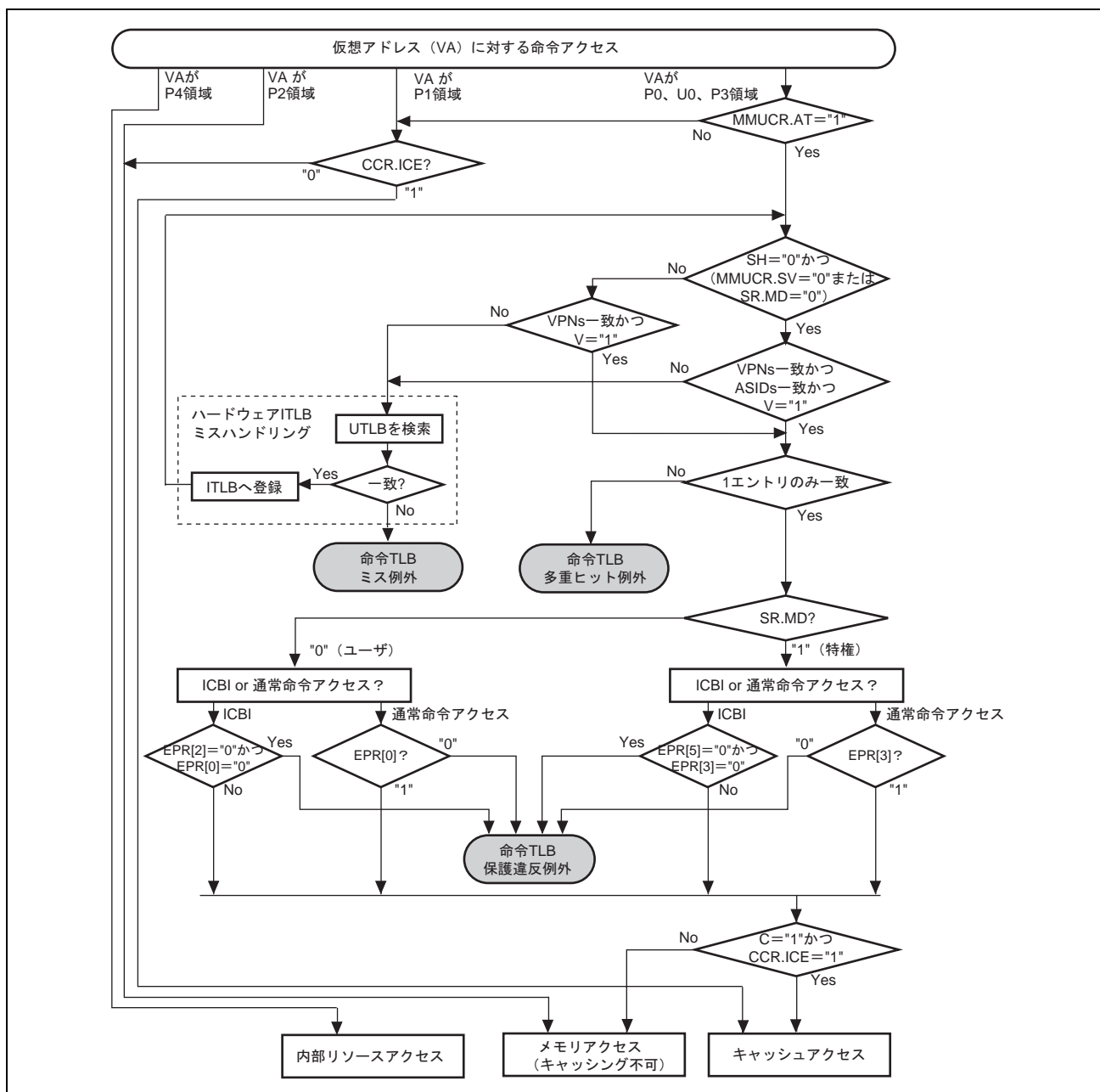


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)



### 7.5 MMU の機能

#### 7.5.1 MMU のハードウェア管理

SH-4A がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRレジスタの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRレジスタのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

#### 7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

#### 7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4A は PTEH レジスタと PTEL レジスタの内容を (加えて TLB 拡張モードの場合には PTEA レジスタの内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT="0" (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

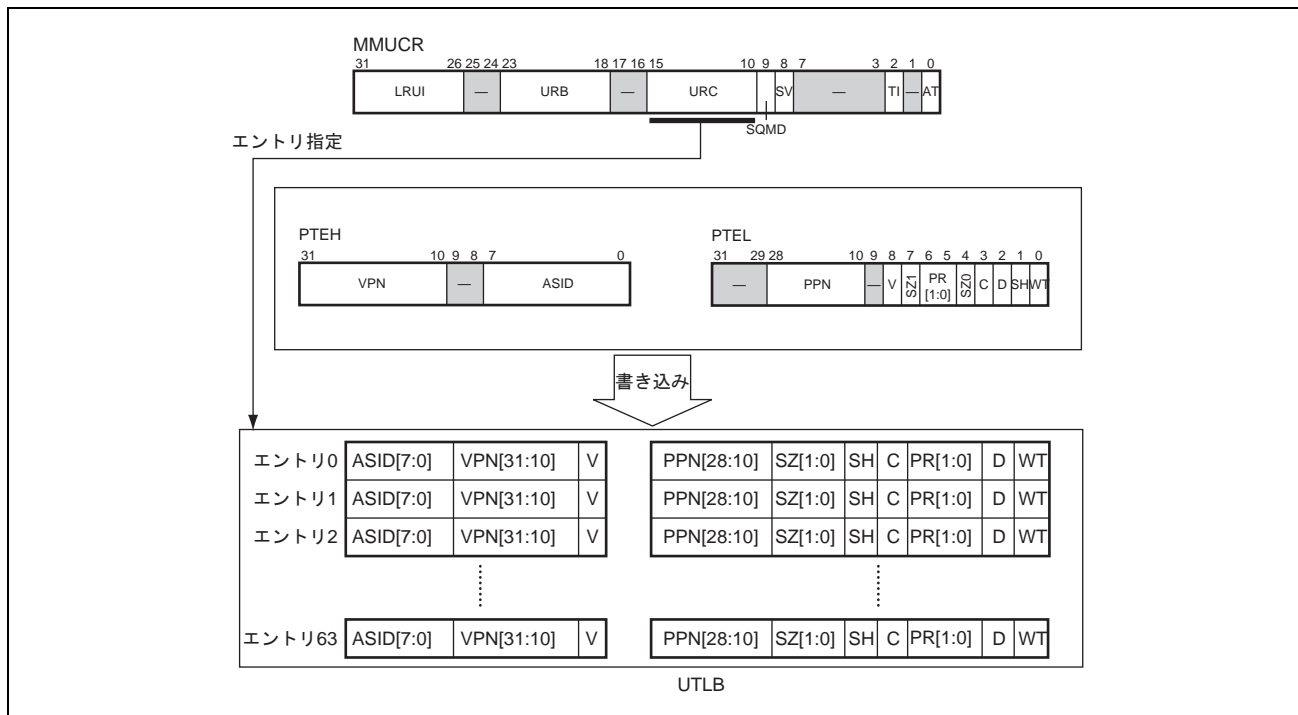


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

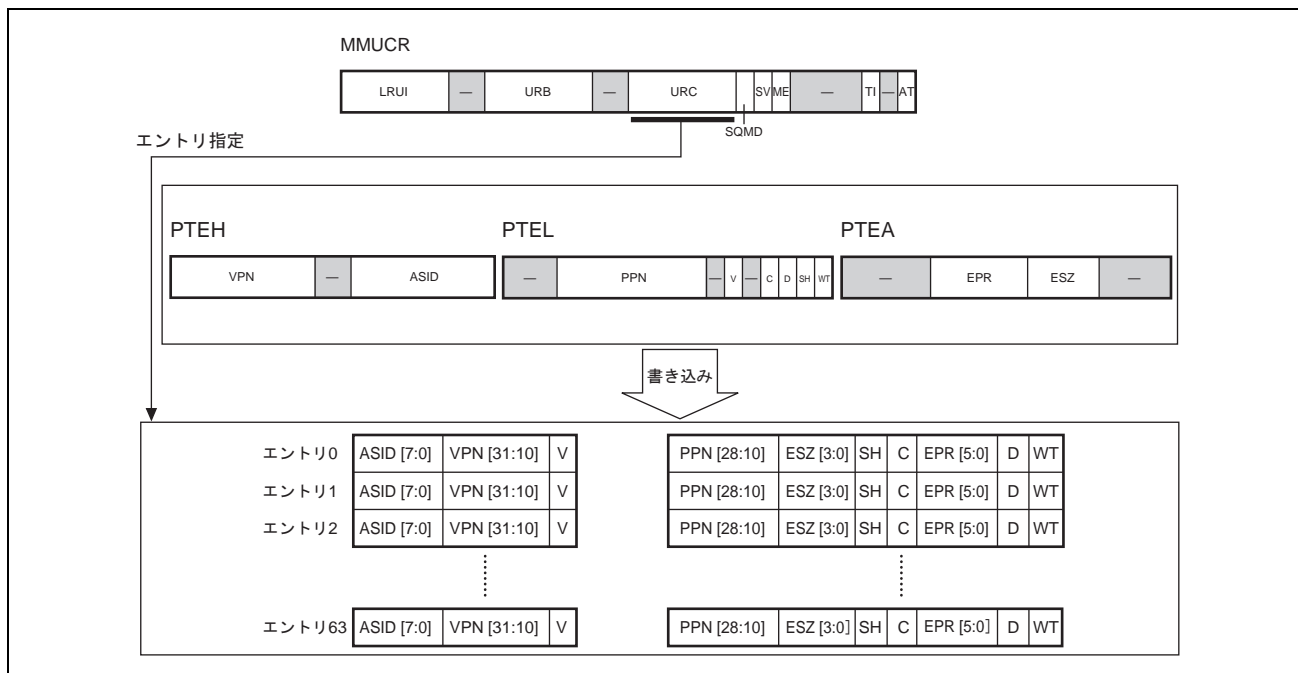


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

### 7.5.4 ハードウェア ITLB ミスハンドリング

SH-4A は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

### 7.5.5 シノニム問題の回避

以下ではオペランドキャッシュが 32K バイトのケースについて説明します。

TLB エントリに 1K、4K バイトページを登録するときシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4A ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

キャッシュサイズが 32K バイトから変わると、シノニム問題が発生する可能性があるページサイズと、UTLB エントリ登録時に等しくなるようにする必要がある VPN のビット位置は、以上の説明から変わります。8K バイト～64K バイトのキャッシュサイズに対してシノニム問題が発生する可能性があるページサイズを表 7.2 に示します。

表 7.2 キャッシュサイズとシノニム問題の回避策

キャッシュサイズ	シノニム問題が発生する可能性のある ページサイズ	等しくなるように登録する VPN の ビット位置
8K バイト	1K バイトページ	VPN[10]
16K バイト	1K バイトページ	VPN[11:10]
32K バイト	1K バイトページ	VPN[12:10]
	4K バイトページ	VPN[12]
64K バイト	1K バイトページ	VPN[13:10]
	4K バイトページ	VPN[13:12]

【注】・ 将来の SuperH RISC engine ファミリの拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また、異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

### 7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14、および図 7.15 を参照してください。

#### 7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。

##### (1) ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA レジスタに設定します。
2. 例外コード H'000 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

##### (2) ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

## 7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

### (1) ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH レジスタに設定します。
2. 例外の発生した仮想アドレスを TEA レジスタに設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを "1" に設定し、特権モードに切り替えます。
7. SR の BL ビットを "1" に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを "1" に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

### (2) ソフトウェア処理 (命令 TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL レジスタに書き込みます。  
TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL レジスタ、PTEA レジスタに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR レジスタの URC ビットに書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH レジスタ、PTEL レジスタの内容を TLB に書き込みます。TLB 拡張モードの場合は、PTEH レジスタ、PTEL レジスタ、および PTEA レジスタの内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

#### (1) ハードウェア処理

命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH レジスタに設定します。
2. 例外の発生した仮想アドレスを TEA レジスタに設定します。
3. 例外コード H'0A0 を EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを "1" に設定し、特権モードに切り替えます。
7. SR の BL ビットを "1" に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを "1" に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

#### (2) ソフトウェア処理 (命令 TLB 保護違反例外処理ルーチン)

命令 TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

#### 7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

##### (1) ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA レジスタに設定します。
2. 例外コード H'000 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

##### (2) ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。



### 7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

#### (1) ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH レジスタに設定します。
2. 例外の発生した仮想アドレスを TEA レジスタに設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを "1" に設定し、特権モードに切り替えます。
7. SR の BL ビットを "1" に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを "1" に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

#### (2) ソフトウェア処理 (データ TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL レジスタに書き込みます。TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL レジスタ、PTEA レジスタに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR レジスタの URC ビットに書き込みます。このとき URC ビットが URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH レジスタ、PTEL レジスタの内容を UTLB に書き込みます。TLB 拡張モードの場合は、PTEH レジスタ、PTEL レジスタ、および PTEA レジスタの内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

#### (1) ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH レジスタに設定します。
2. 例外の発生した仮想アドレスを TEA レジスタに設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを "1" に設定し、特権モードに切り替えます。
7. SR の BL ビットを "1" に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを "1" に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

#### (2) ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス（書き込み）した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが"0"であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

#### (1) ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHレジスタに設定します。
2. 例外の発生した仮想アドレスをTEAレジスタに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを"1"に設定し、特権モードに切り替えます。
7. SRのBLビットを"1"に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを"1"に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

#### (2) ソフトウェア処理（初期ページ書き込み例外処理ルーチン）

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに"1"を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELレジスタに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTELレジスタ、PTEAレジスタに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRレジスタのURCビットに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEHレジスタ、PTELレジスタの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEHレジスタ、PTELレジスタ、およびPTEAレジスタの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

## 7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT="0"（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCRレジスタ更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。予約ビットに対しては、書き込み値として"0"を指定してください。読み出し値は保証しません。

## 7. メモリマネジメントユニット (MMU)

### 7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000~H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため"0"を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

#### 1. ITLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

#### 2. ITLB アドレスアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

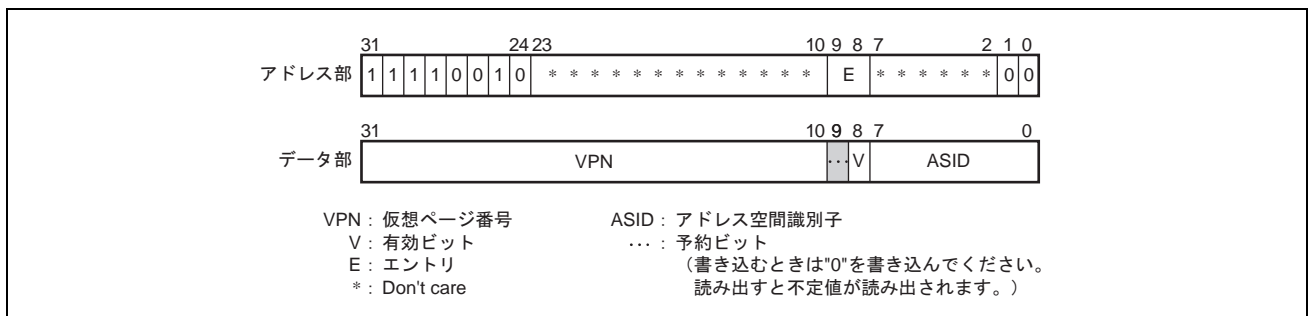


図 7.18 メモリ割り付け ITLB アドレスアレイ

### 7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000~H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

#### 1. ITLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

#### 2. ITLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

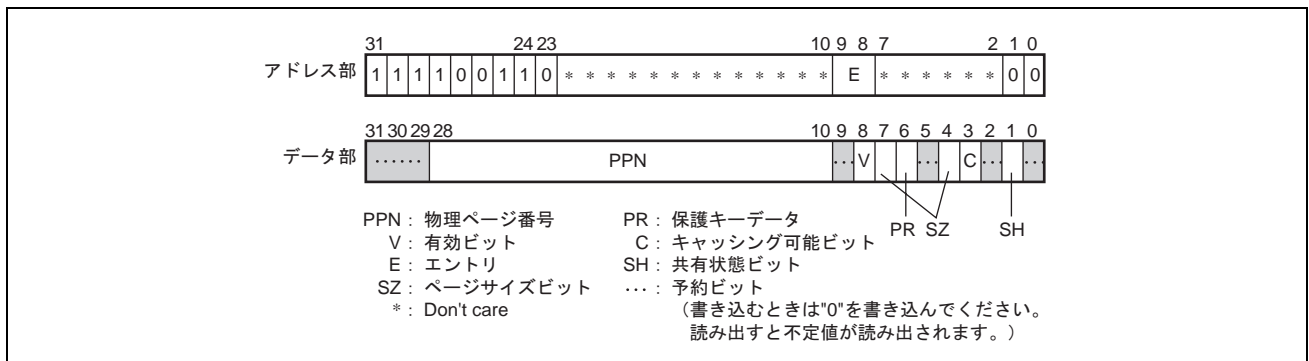


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

## 7. メモリマネジメントユニット (MMU)

### 7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットは予約ビットとなり、書き込み値は"0"を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME="0") のときには、ITLB データアレイ 2、のアクセスは行えません。アクセスした場合の動作は保証しません。

#### (1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 が予約ビットになります。書き込み時には"0"を指定してください。

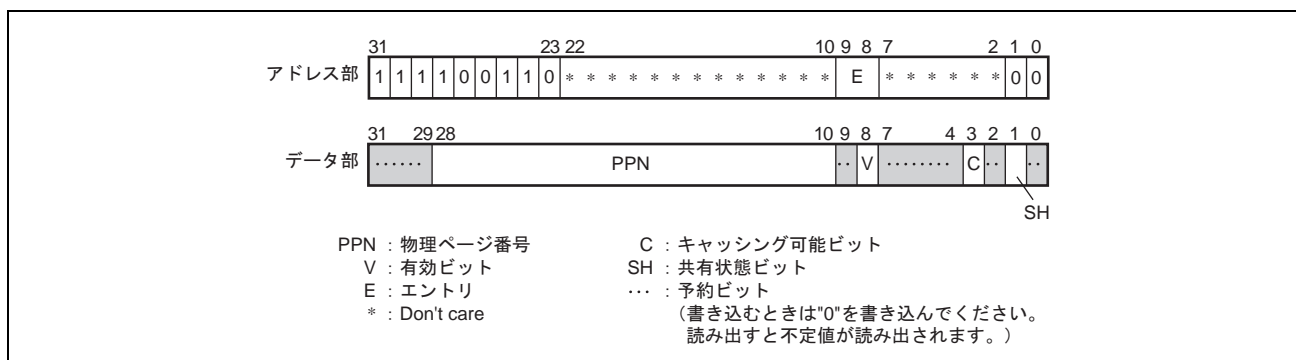


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

## (2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000~H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

## 1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

## 2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

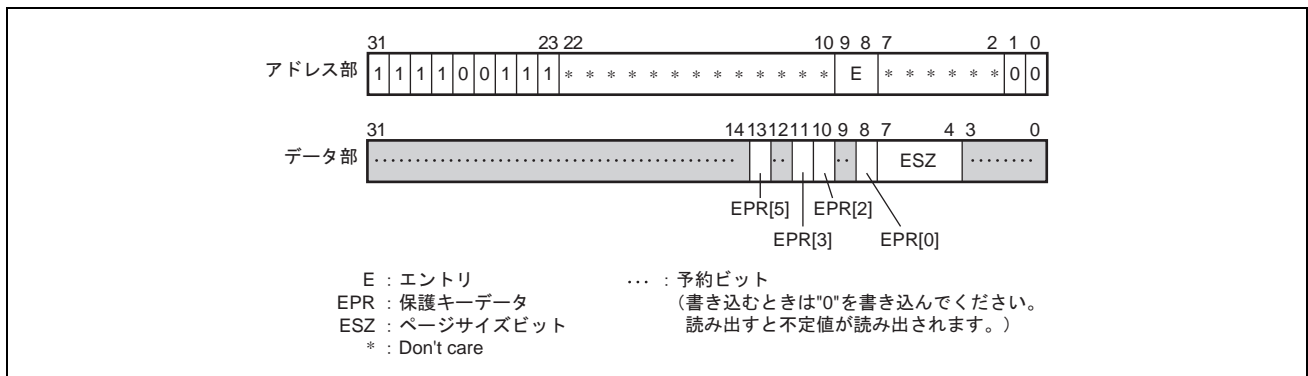


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)



## 7. メモリマネジメントユニット (MMU)

### 7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000~HF6FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す HF60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

#### 1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。読み出す場合、アドレス部に指定される連想ビットは"1"でも"0"でも連想動作は行いません。

#### 2. UTLBアドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

#### 3. UTLBアドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側にのみ書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

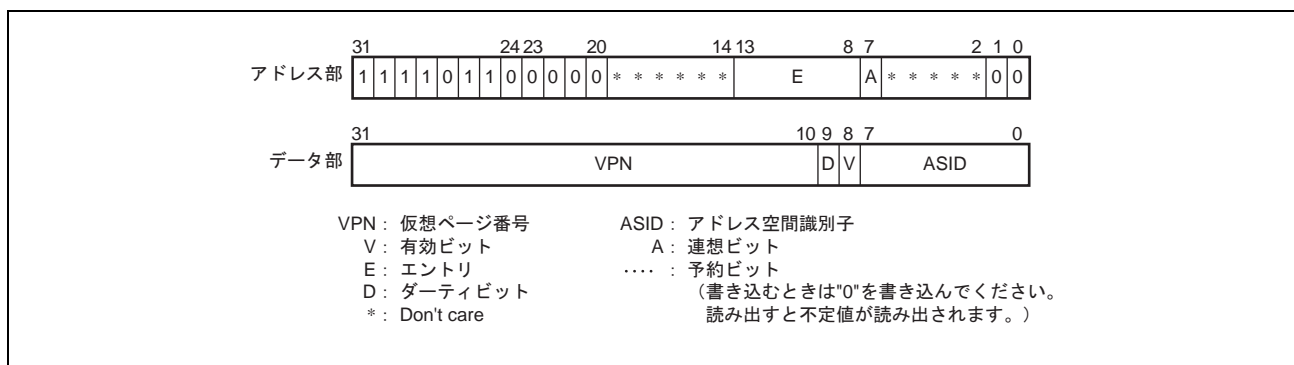


図 7.22 メモリ割り付け UTLB アドレスアレイ

### 7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の H'F700 0000~H'F7FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20]が UTLB データアレイを示す H'F70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

#### 1. UTLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へPPN、V、SZ、PR、C、D、SH、WTを読み出します。

#### 2. UTLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、D、SH、WTを書き込みます。

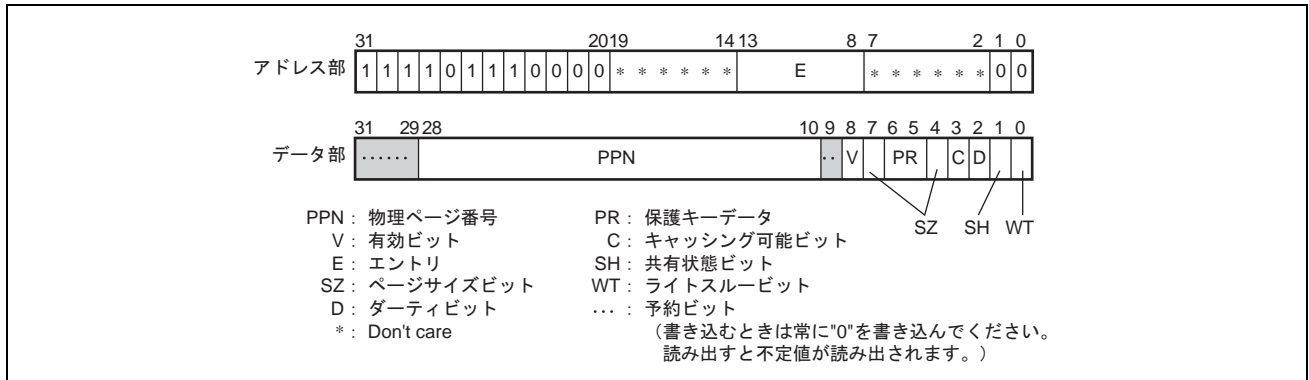


図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

## 7. メモリマネジメントユニット (MMU)

### 7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットは予約ビットとなり、書き込み値は"0"を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME="0") のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

#### (1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 が予約ビットになります。書き込み時には"0"を指定してください。

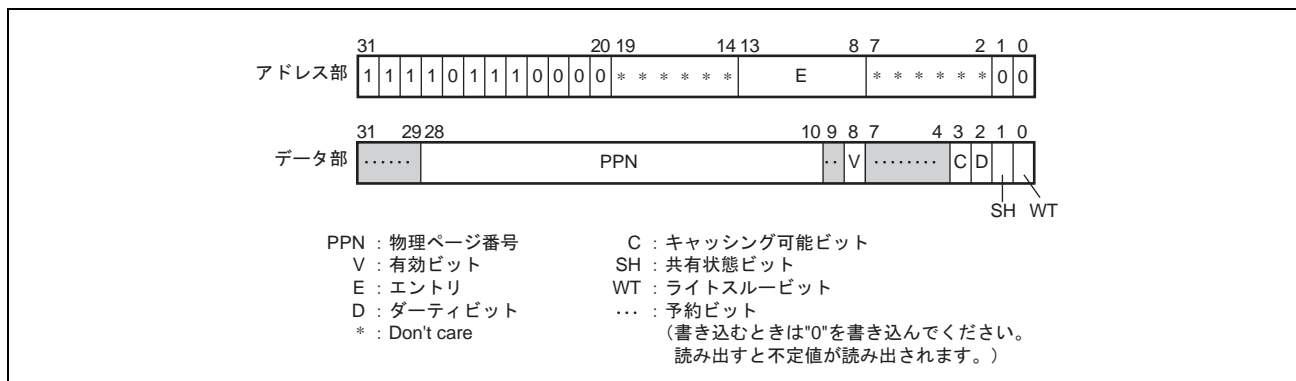


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

## (2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の H'F780 0000~H'F7FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す H'F78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

## 1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

## 2. UTLB データアレイ 2 書き込み

アドレス部に指定されたエントリに対応する UTLB エントリに対して、データ部で指定された EPR、ESZ を書き込みます。

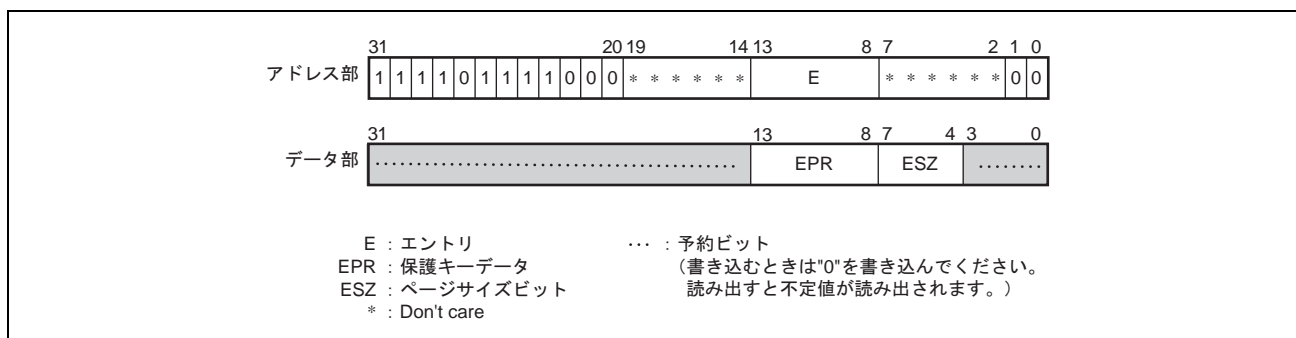


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

レイアウトの都合上、このページは白紙です。

## 8. キャッシュ

SH-4A は命令用に 32K バイトの命令キャッシュ (IC) を、データ用に 32K バイトのオペランドキャッシュ (OC) を内蔵しています。

### 8.1 概要

表 8.1 にキャッシュの概要を示します。

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。表 8.2 に SQ の概要を示します。

表 8.1 キャッシュの概要

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エン트리数	256 エントリ/ウェイ	256 エントリ/ウェイ
書き込み方式	—	コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの概要

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000~H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

SH-4A のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

SH-4A は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

## 8. キャッシュ

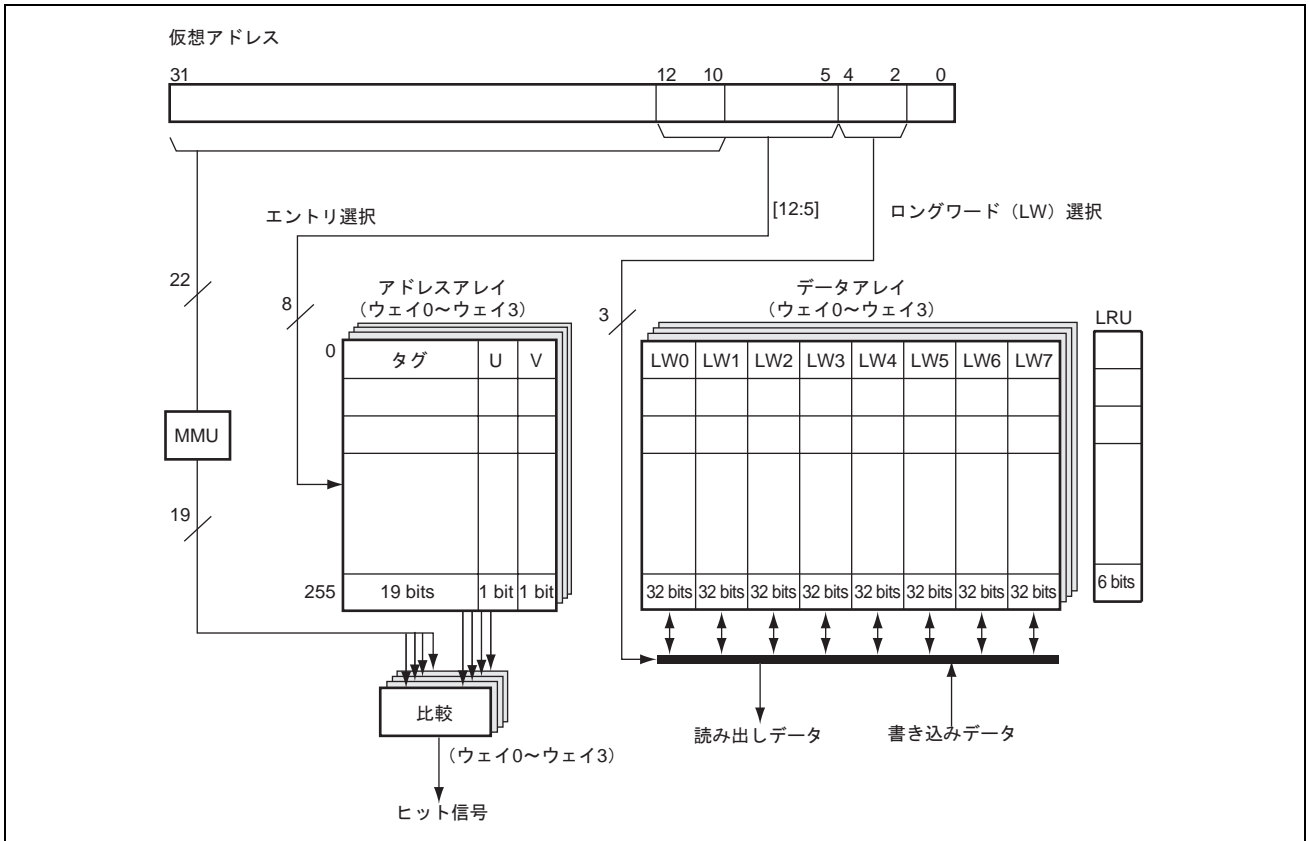


図 8.1 オペランドキャッシュの構成

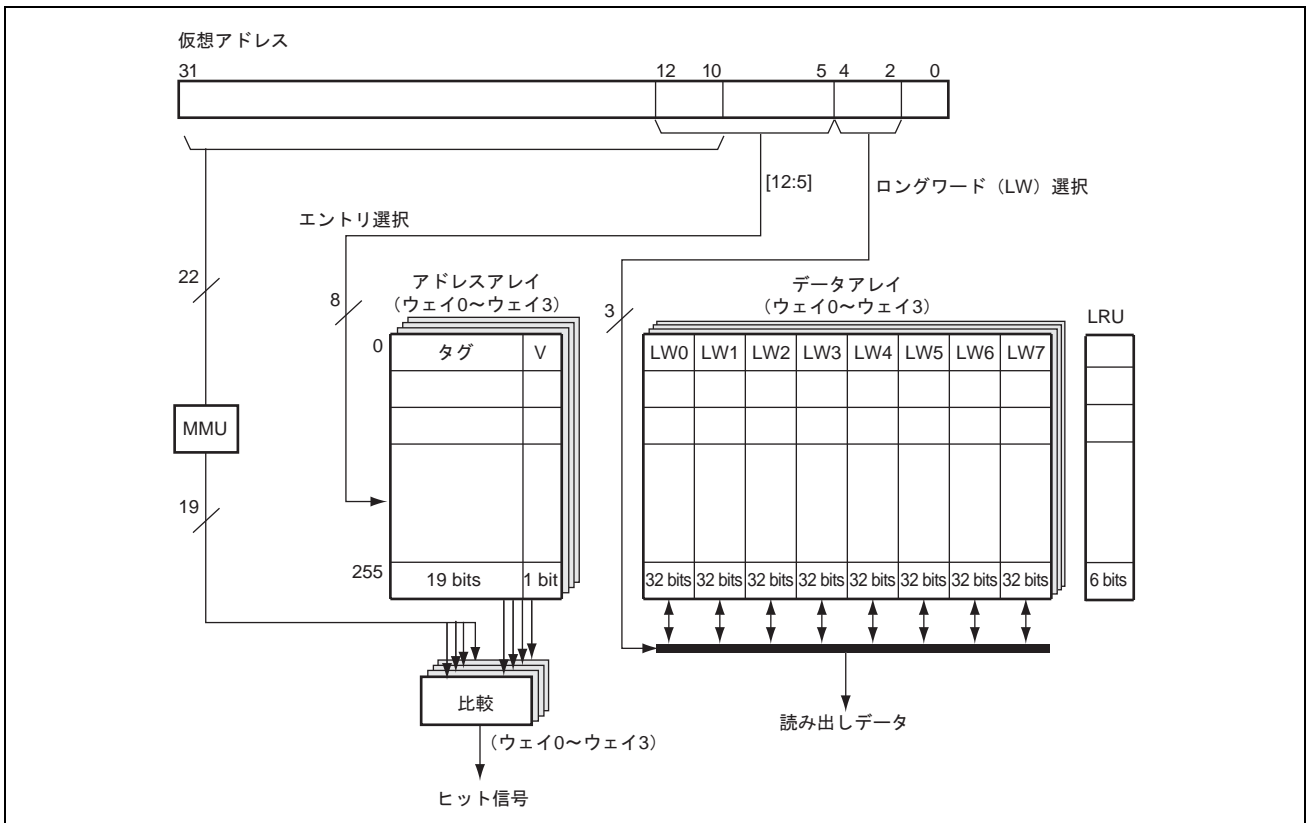


図 8.2 命令キャッシュの構成

**(1) タグ**

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはハードウェアリセットで初期化されません。

**(2) Vビット (有効ビット)**

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが"1"のとき、そのキャッシュラインのデータは有効となります。Vビットはハードウェアリセットで"0"に初期化されます。

**(3) Uビット (ダーティビット)**

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが"1"になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ（「8.6 メモリ割り付けキャッシュの構成」参照）をアクセスすることによりUビットを書き換えないかぎり、ライトスルーモードでキャッシュを使用中はUビットが"1"になることはありません。Uビットはハードウェアリセットで"0"に初期化されます。

**(4) データ部**

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはハードウェアリセットで初期化されません。

**(5) LRU 部**

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうちどのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットは、ハードウェアリセットで"0"に初期化されます。LRUビットは、ソフトウェアでは読み書きできません。



## 8. キャッシュ

---

### 8.2 レジスタの説明

表 8.3 にキャッシュに関連するレジスタを示します。

表 8.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'FF00 001C	32	8-5
キューアドレス制御レジスタ 0	QACR0	不定	H'FF00 0038	32	8-7
キューアドレス制御レジスタ 1	QACR1	不定	H'FF00 003C	32	8-8
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'FF00 0074	32	8-9

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2="0"（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

キャッシュ制御レジスタ (CCR)

<P4領域アドレス : H'FFF00 001C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ICI	—	—	ICE	—	—	—	—	OCl	CB	WT	OCE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~12	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	ICI	0	0	W	IC 無効化ビット このビットに"1"を書き込むと IC の全エントリの V ビットを"0"にします。 読み出すと常に"0"が読み出されます。
10、9	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	ICE	0	R	W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも"1"でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

## 8. キャッシュ

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3	OCI	0	0	W	OC 無効化ビット このビットに"1"を書き込むと OC の全エントリの V、U ビットを"0"にします。読み出すと常に"0"が読み出されます。
2	CB	0	R	W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0 : ライトスルーモード 1 : コピーバックモード
1	WT	0	R	W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報の WT ビットの値を優先します。 0 : コピーバックモード 1 : ライトスルーモード
0	OCE	0	R	W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも"1"でなければ OC を使用できません。 0 : OC を使用しない 1 : OC を使用する

## 8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのときストアキュー0(SQ0)がマップされているエリアを設定します。

キューアドレス制御レジスタ0 (QACR0)

<P4領域アドレス : H'FF00 0038番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA0			—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定	0	0

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4~2	AREA0	不定	R	W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 8. キャッシュ

### 8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのときストアキュー1 (SQ1) がマップされているエリアを設定します。

キューアドレス制御レジスタ1 (QACR1)

<P4領域アドレス : H'FF00 003C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA1			—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定	0	0

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4~2	AREA1	不定	R	W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ、OL メモリ領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域またはILメモリ、OLメモリ領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2="0"（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1または2を用いることを推奨します。

内蔵メモリ制御レジスタ (RAMCR)

<P4領域アドレス : H'FF00 0074番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9	RMD	0	R	W	内蔵メモリアクセスモードビット 詳細は「9.3.5 内蔵メモリの保護機能」を参照してください。
8	RP	0	R	W	内蔵メモリ保護有効ビット 詳細は「9.3.5 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R	W	IC 2 ウェイモードビット 0 : IC は 4 ウェイ動作 1 : IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。

## 8. キャッシュ

ビット	シンボル	リセット後の値	R	W	説明
6	OC2W	0	R	W	OC 2 ウェイモードビット 0 : OC は 4 ウェイ動作 1 : OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R	W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 8.3 オペランドキャッシュの動作説明

### 8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE="1") かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが"1"のウェイが存在する場合 → 3.
  - タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"0"の場合 → 4.
  - タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"1"の場合 → 5.

#### 3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"0"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"0"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。



### 8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE="1") かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが"1"のウェイが存在する場合 → 3.
  - タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"0"の場合 → 4.
  - タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"1"の場合 → 5.
3. キャッシュヒット  
ヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"0"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"0"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE="1") かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック      ライトスルー

- タグが一致かつVビットが"1"のウェイが存在する場合      → 3.                      → 4.
- タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"0"の場合      → 5.                      → 7.
- タグが一致かつVビットが"1"のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが"1"の場合      → 6.                      → 7.

#### 3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに"1"を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

#### 5. キャッシュミス (コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"1"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順に

## 8. キャッシュ

ラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を、Uビットに"1"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 7. キャッシュミス（ライトスルー）

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

### 8.3.4 ライトバックバッファ

SH-4Aは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

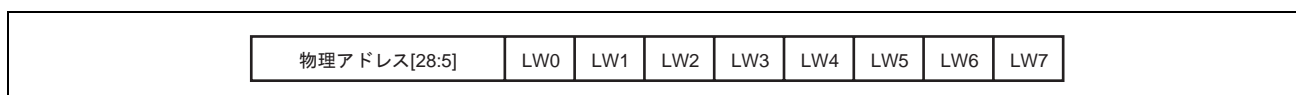


図 8.3 ライトバックバッファの構成

### 8.3.5 ライトスルーバッファ

SH-4Aは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

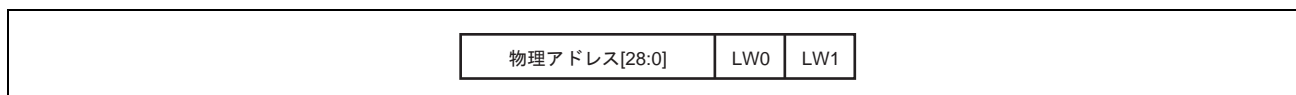


図 8.4 ライトスルーバッファの構成

### 8.3.6 OC 2 ウェイモード

RAMCRレジスタのOC2Wビットを"1"にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2Wビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2Wビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCRレジスタのOCIビットに"1"を書き込みOCの全エントリを無効にしてください。

## 8.4 命令キャッシュの動作説明

### 8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE="1") かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが"1"のウェイが存在する場合 → 3.
  - タグが一致かつVビットが"1"のウェイが存在しない場合 → 4.

#### 3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

### 8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE="1") かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが"1"のウェイが存在する場合 → 3.
  - タグが一致かつVビットが"1"のウェイが存在しない場合 → 4.

## 8. キャッシュ

---

### 3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

### 4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行できます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに"1"を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

### 8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを"1"にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタのICI ビットに"1"を書き込み、ICの全エントリを無効化してください。

### 8.4.4 命令キャッシュウェイ予測

SH-4Aは消費電力を低減するために命令キャッシュ(IC)ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを"1"にセットすると、ICウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんがICの消費電力が増加します。また、ICWPD ビットの切り替えはキャッシング不可のP2領域を走行するプログラムで行ってください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタのICI ビットに"1"を書き込み、ICの全エントリを無効化してください。

## 8.5 キャッシュ操作命令

### 8.5.1 キャッシュと外部メモリとのコヒーレンシ

#### (1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。SH-4A ではキャッシュを操作する命令として次の6命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令 : OCBI @Rn  
オペランドキャッシュの無効化 (書き戻しなし)
- オペランドキャッシュページ命令 : OCBP @Rn  
オペランドキャッシュの無効化 (書き戻しあり)
- オペランドキャッシュライトバック命令 : OCBWB @Rn  
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令 : MOVCA.L R0,@Rn  
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令 : ICBI @Rn  
命令キャッシュの無効化
- オペランドアクセス同期命令 : SYNCO  
データ転送の完了待ち

#### (2) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWB のコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A から変更になっています。

##### 1. インバリデイト命令 : OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) のVERビットの値が"H'20"のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4 (OCアドレスアレイ領域) の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外が発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびその予約領域 (HF0~HF3、HF5~HFF) への本命令の実行は行わないでください。

##### 2. ページ命令 : OCBP @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4 (OCアドレスアレイ領域) の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを

## 8. キャッシュ

---

行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外が発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびその予約領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

### 3. ライトバック命令：OCBWB @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを"0"の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外が発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびその予約領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

### 8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、SH-4Aではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスがUTLBにミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- プリフェッチ命令（OC）：PREF @Rn
- プリフェッチ命令（IC）：PREFI @Rn

## 8.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC データアレイの内容の読み出し/書き込みが可能です。また特権モードのとき P2 領域のプログラムまたは IL メモリ領域のプログラムから MOV 命令によって IC アドレスアレイの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1~3 のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3 領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC="0"（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ/データアレイ、OC のアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには"0"を設定するようにしてください。予約ビットの読み出し値は不定です。

### 8.6.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000~H'FOFF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す HF0 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっていきます。アドレス部[3]の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は"0"を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

#### (1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。読み出す場合アドレス部に指定される連想ビットは"1"でも"0"でも連想動作は行いません。



## 8. キャッシュ

### (2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは"0"にしてください。

### (3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが"1"で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが"1"であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

**【注】**・本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

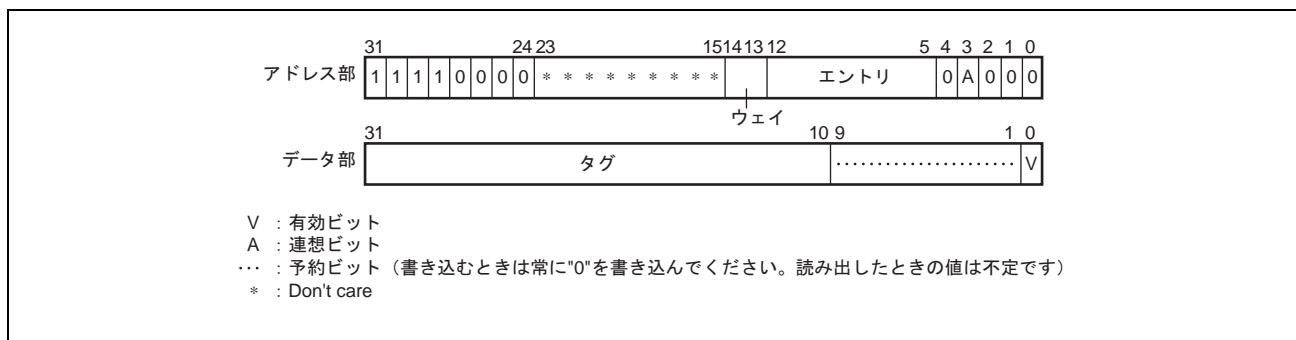


図 8.5 メモリ割り付け IC アドレスアレイ

### 8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000~H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっていきます。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は"0"を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

**(1) IC データアレイ 読み出し**

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

**(2) IC データアレイ 書き込み**

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

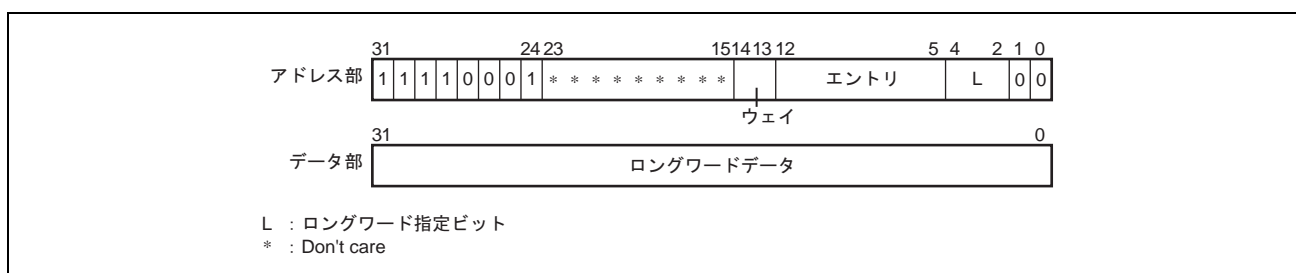


図 8.6 メモリ割り付け IC データアレイ

**8.6.3 OC アドレスアレイ**

OC のアドレスアレイは P4 領域の H'F400 0000～H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっていきます。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は "0"を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

**(1) OC アドレスアレイ 読み出し**

アドレス部に設定されたウェイとエントリに対応するOCエントリから、データ部へタグとUビットとVビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは"1"でも"0"でも連想動作は行いません。

**(2) OC アドレスアレイ 書き込み（連想なし）**

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは"0"にしてください。

書き込みをUビットが"1"、Vビットが"1"のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

## 8. キャッシュ

### (3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが"1"で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが"1"であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが"1"で、Vビットに"0"またはUビットに"0"を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】・ 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

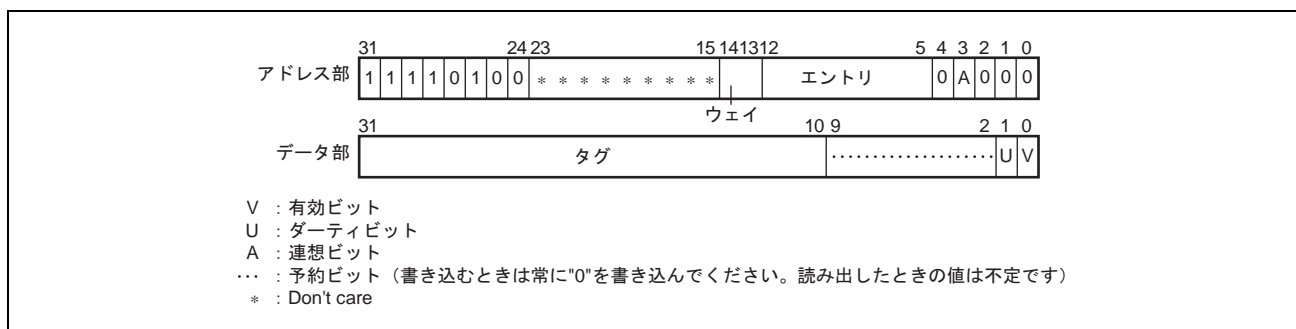


図 8.7 メモリ割り付け OC アドレスアレイ

### 8.6.4 OC データアレイ

OC のデータアレイは P4 領域の H'F500 0000~H'F5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す"H'F5"になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

#### (1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

## (2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

この書き込みによりアドレスアレイ側のUビットは"1"になりません。

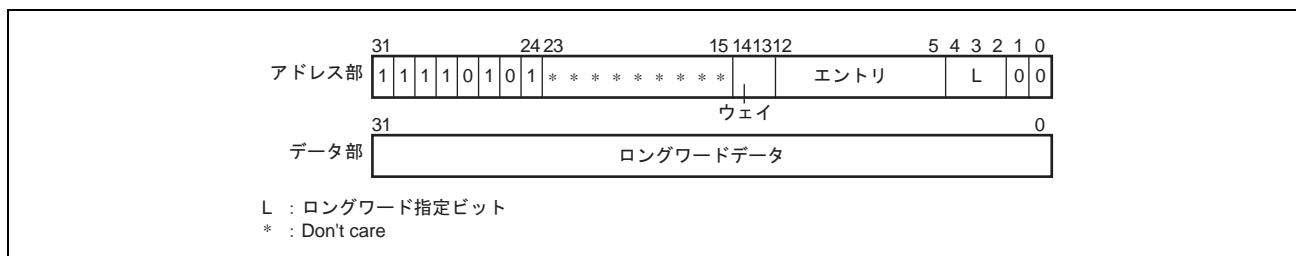


図 8.8 メモリ割り付け OC データアレイ

## 8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH-4A では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (H'FF2F 0004) の MMCAW ビットを"1"とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

## 8.7 ストアキュー

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

### 8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

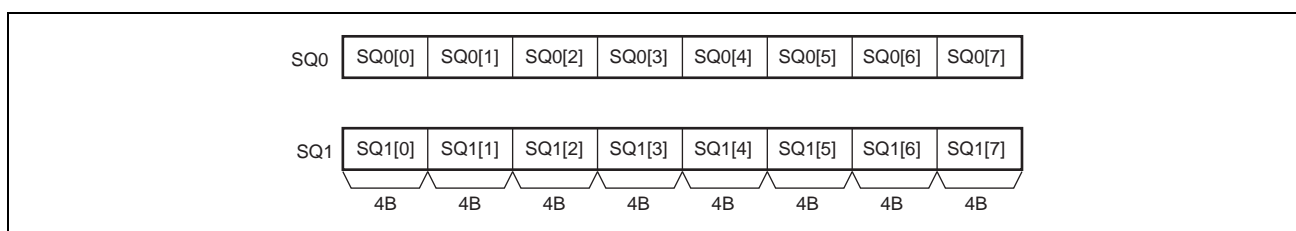


図 8.9 ストアキューの構成

### 8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000~H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワードまたはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: "0"固定

### 8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000~H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

#### (1) MMU イネーブル (MMUCR.AT="1") の場合

UTLBのVPNにSQ領域 (H'E000 0000~H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。

ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は"0"固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

## (2) MMU ディスエーブル (MMUCR.AT="0") の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000~H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: "0"固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に"0"固定となります。

## 8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

## (1) MMU イネーブル (MMUCR.AT="1") の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

## (2) MMU ディスエーブル (MMUCR.AT="0") の場合

SQMDビットに従います。

"0" : 特権/ユーザアクセス可能

"1" : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

### 8.7.5 SQからの読み出し

SH-4Aでは、特権モードのとき、SQからの読み出しをP4領域のH'FF00 1000～H'FF00 103Cに対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: "0"固定

---

## 9. ILメモリ/OLメモリ

---

SH-4AはOLメモリとILメモリを内蔵しています。OLメモリはデータの格納に適しており、ILメモリは命令の格納に適しています。

### 9.1 概要

#### (1) OLメモリ

- 容量  
OLメモリの容量は16Kバイトです。
- ページ  
OLメモリは4ページ（ページ0A、0B、1A、および1B）に分かれています。
- メモリマップ  
OLメモリは、仮想アドレス空間、物理アドレス空間とも表9.1に示されるアドレスに配置されています。

表 9.1 OLメモリアドレス

ページ	アドレス
ページ 0A	H'E500 E000~H'E500 EFFF
ページ 0B	H'E500 F000~H'E500 FFFF
ページ 1A	H'E501 0000~H'E501 0FFF
ページ 1B	H'E501 1000~H'E501 1FFF

- ポート  
各ページは3本の独立した読み出し/書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位  
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバス、となります。



## 9. ILメモリ/OLメモリ

---

### (2) ILメモリ

- 容量  
ILメモリの容量は8Kバイトです。
- ページ  
ILメモリは2ページ（ページ0、ページ1）に分かれています。
- メモリマップ  
ILメモリは、仮想アドレス空間、物理アドレス空間ともに表9.2に示されるアドレスに配置されています。

表 9.2 ILメモリアドレス

ページ	アドレス
ページ0	H'E520 0000~H'E520 0FFF
ページ1	H'E520 1000~H'E520 1FFF

- ポート  
3本の独立した読み出し/書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位  
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は、高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

## 9.2 レジスタの説明

表 9.3 に内蔵メモリに関するレジスタ構成を示します。

表 9.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'FF00 0074	32	9-4
OLメモリ転送元アドレスレジスタ 0	LSA0	不定	H'FF00 0050	32	9-5
OLメモリ転送元アドレスレジスタ 1	LSA1	不定	H'FF00 0054	32	9-6
OLメモリ転送先アドレスレジスタ 0	LDA0	不定	H'FF00 0058	32	9-7
OLメモリ転送先アドレスレジスタ 1	LDA1	不定	H'FF00 005C	32	9-8

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 9. ILメモリ/OLメモリ

### 9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR レジスタは内蔵メモリの保護機能の制御を行います。

内蔵メモリ制御レジスタ (RAMCR)

<P4領域アドレス : H'FF00 0074番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9	RMD	0	R	W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外) 1 : ユーザ/特権アクセスが可能
8	RP	0	R	W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLB を用いた保護機能の使用を選択します。 0 : 保護機能を使用しない 1 : 保護機能を使用する 詳細は「9.3.5 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R	W	IC2 ウェイモードビット 詳細は「8.4.3 IC2 ウェイモード」を参照してください。
6	OC2W	0	R	W	OC2 ウェイモードビット 詳細は「8.3.6 OC2 ウェイモード」を参照してください。
5	ICWPD	0	R	W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 9.2.2 OLメモリ転送元アドレスレジスタ0 (LSA0)

LSA0レジスタは、MMUCR.AT="0"またはRAMCR.RP="0"のときに、OLメモリページ0A、0Bへのブロック転送において、転送元の物理アドレスを指定します。

OLメモリ転送元アドレスレジスタ0 (LSA0)

&lt;P4領域アドレス：H'FF00 0050番地&gt;

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LOSADR												
リセット後の値：	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOSADR						—	—	—	—	LOSSZ					
リセット後の値：	不定	不定	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	不定	不定	不定

&lt;リセット後の値：不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~10	LOSADR	不定	R	W	OLメモリページ0ブロック転送元アドレスビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	LOSSZ	不定	R	W	OLメモリページ0ブロック転送元アドレス選択ビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスのうちビット15~10に関してオペランドアドレスを使用するかLOSADRビットの値を使用するかを選択します。LOSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0：転送元物理アドレスにオペランドアドレスを使用 1：転送元物理アドレスにLOSADRの値を使用 • 設定可能な値 111111：転送元の物理アドレスを1Kバイト単位で設定する場合 111110：転送元の物理アドレスを2Kバイト単位で設定する場合 111100：転送元の物理アドレスを4Kバイト単位で設定する場合 111000：転送元の物理アドレスを8Kバイト単位で設定する場合 110000：転送元の物理アドレスを16Kバイト単位で設定する場合 100000：転送元の物理アドレスを32Kバイト単位で設定する場合 000000：転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外：設定禁止

## 9. IL メモリ/OL メモリ

### 9.2.3 OL メモリ転送元アドレスレジスタ 1 (LSA1)

LSA1 レジスタは、MMUCR.AT="0"またはRAMCR.RP="0"のときに、OL メモリページ 1A、1B へのブロック転送において、転送元の物理アドレスを指定します。

OLメモリ転送元アドレスレジスタ1 (LSA1)

<P4領域アドレス : H'FF00 0054番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1SADR												
リセット後の値 :	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
リセット後の値 :	不定	不定	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~10	L1SADR	不定	R	W	OL メモリページ 1 ブロック転送元アドレスビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	L1SSZ	不定	R	W	OL メモリページ 1 ブロック転送元アドレス選択ビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスのうちビット 15~10 に関してオペランドアドレスを使用するか L1SADR ビットの値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0 : 転送元物理アドレスにオペランドアドレスを使用 1 : 転送元物理アドレスに L1SADR の値を使用 • 設定可能な値 111111 : 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 : 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 : 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 : 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 : 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 : 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 : 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外 : 設定禁止

## 9.2.4 OLメモリ転送先アドレスレジスタ0 (LDA0)

LDA0レジスタは、MMUCR.AT="0"またはRAMCR.RP="0"のときに、OLメモリページ0A、0Bへのブロック転送において、転送先の物理アドレスを指定します。

OLメモリ転送先アドレスレジスタ0 (LDA0)

&lt;P4領域アドレス：H'FF00 0058番地&gt;

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0DADR												
リセット後の値：	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0DADR						—	—	—	—	L0DSZ					
リセット後の値：	不定	不定	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	不定	不定	不定

&lt;リセット後の値：不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~10	L0DADR	不定	R	W	OLメモリページ0ブロック転送先アドレスビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ0A、0Bに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	L0DSZ	不定	R	W	OLメモリページ0ブロック転送先アドレス選択ビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ0A、0Bに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関してオペランドアドレスを使用するかL0DADRビットの値を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0：転送先物理アドレスにオペランドアドレスを使用 1：転送先物理アドレスにL0DADRの値を使用 • 設定可能な値 111111：転送先の物理アドレスを1Kバイト単位で設定する場合 111110：転送先の物理アドレスを2Kバイト単位で設定する場合 111100：転送先の物理アドレスを4Kバイト単位で設定する場合 111000：転送先の物理アドレスを8Kバイト単位で設定する場合 110000：転送先の物理アドレスを16Kバイト単位で設定する場合 100000：転送先の物理アドレスを32Kバイト単位で設定する場合 000000：転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外：設定禁止

## 9. ILメモリ/OLメモリ

### 9.2.5 OLメモリ転送先アドレスレジスタ1 (LDA1)

LDA1レジスタは、MMUCR.AT="0"またはRAMCR.RP="0"のときに、OLメモリページ1A、1Bへのブロック転送において、転送先の物理アドレスを指定します。

OLメモリ転送先アドレスレジスタ1 (LDA1)

<P4領域アドレス：H'FF00 005C番地>

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1DADR												
リセット後の値：	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
リセット後の値：	不定	不定	不定	不定	不定	不定	0	0	0	0	不定	不定	不定	不定	不定	不定

<リセット後の値：不定>

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~10	L1DADR	不定	R	W	OLメモリページ1ブロック転送先アドレスビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	L1DSZ	不定	R	W	OLメモリページ1ブロック転送先アドレス選択ビット MMUCR.AT="0"またはRAMCR.RP="0"のとき、OLメモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスのうちビット15~10に関してオペランドアドレスを使用するかL1DADRビットの値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0：転送先物理アドレスにオペランドアドレスを使用 1：転送先物理アドレスにL1DADRの値を使用 • 設定可能な値 111111：転送先の物理アドレスを1Kバイト単位で設定する場合 111110：転送先の物理アドレスを2Kバイト単位で設定する場合 111100：転送先の物理アドレスを4Kバイト単位で設定する場合 111000：転送先の物理アドレスを8Kバイト単位で設定する場合 110000：転送先の物理アドレスを16Kバイト単位で設定する場合 100000：転送先の物理アドレスを32Kバイト単位で設定する場合 000000：転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外：設定禁止

## 9.3 動作説明

### 9.3.1 CPUからの命令フェッチアクセス

#### (1) OLメモリ

CPUからの命令フェッチアクセスは、キャッシュ・RAM内蔵バスからアクセスを行います。アクセスには複数サイクルかかります。

#### (2) ILメモリ

CPUからの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、ILメモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に1サイクルアクセスになります。

### 9.3.2 CPUからのオペランドアクセスおよびFPUからのアクセス

#### (1) OLメモリ

CPUおよびFPUからのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OLメモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に1サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に1サイクルアクセスになります。

#### (2) ILメモリ

CPUからのオペランドアクセスおよびFPUからのアクセスは、キャッシュ・RAM内蔵バスからアクセスを行います。キャッシュ・RAM内蔵バスからのアクセスは複数サイクルかかります。

### 9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMACなどのSuperHywayバスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスであるSuperHywayバスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

### 9.3.4 OLメモリブロック転送

OLメモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリからOLメモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF命令を仮想アドレス空間のOLメモリ領域のアドレスに対して発行することにより、外部メモリからOLメモリへのブロック転送が開始されます。

OLメモリから外部メモリへの転送は、ライトバック命令(OCBWB)により行えます。OCBWB命令を仮想アドレス空間のOLメモリ領域のアドレスに対して発行することにより、OLメモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは32バイト固定で、開始アドレスは必ず32バイト境界となるため、レジスタRnにより指示されるアドレスの下位5ビットは無視され、常にすべて"0"として扱われます。またいずれの



## 9. IL メモリ/OL メモリ

---

場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

### (1) MMU イネーブル (MMUCR.AT="1") かつ RAMCR.RP="1" の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は"0"固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は"0"固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

### (2) MMU ディスエーブル (MMUCR.AT="0") または RAMCR.RP="0" の場合

LSA0 レジスタの LOSADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、LOSSZ ビットに、転送元の物理アドレスのビット 15~10 として PREF 命令で指定された仮想アドレスを使用するか、LOSADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト~64K バイト単位で設定可能です。

LDA0 レジスタの LODADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、LODSZ ビットに、転送先の物理アドレスのビット 15~10 として OCBWB 命令で指定された仮想アドレスを使用するか、LODADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト~64K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 および LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は"0"固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は"0"固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

### 9.3.5 内蔵メモリの保護機能

SH-4Aでは、内蔵メモリに対して、内蔵メモリ制御レジスタ（RAMCR）の内蔵メモリアクセスモードビット（RMD）と内蔵メモリ保護有効ビット（RP）を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD="0"のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT="1"かつRAMCR.RP="1"のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.4にまとめます。

表 9.4 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	—	
			1	—	—	
		1	x	—	—	
1	0	0	0	アドレスエラー例外	—	
			1	—	—	
		1	x	—	—	
	1	1	0	0	アドレスエラー例外	—
				1	—	MMU 例外
			1	x	—	MMU 例外

【記号説明】 x : Don't care

### 9.4 使用上の注意事項

#### 9.4.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるページをアクセスすると競合は発生しません。

#### 9.4.2 ページの切り替わり

##### (1) OLメモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがOLメモリ以外からOLメモリに切り替わる場合には複数サイクル（最大2サイクルウェイト）かかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

##### (2) ILメモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル（最大2サイクルウェイト）かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。たとえば、ページごとに独立したプログラムを配置すると効率がよくなります。

#### 9.4.3 ILメモリのコヒーレンシ

ILメモリに命令を配置する場合、ILメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（ILメモリのアドレスでもよい）、キャッシュヒット/ミスどちらでも構いません。

---

## 10. 動作モード

---

### 10.1 動作モードの種類

本 MCU には、6 種類の動作モード（モード 0～5）があります。動作モードは、MPMD 端子、MD0～MD2 端子、FWE 端子で設定します。これらのモード設定端子は、本 MCU の動作中に変化させないでください。

#### 10.1.1 MCU 動作モード

##### (1) 通常動作モード（モード 0～2）とエミュレーションサポートモード（モード 3～5）

MPMD 端子で設定します。

エミュレーションサポートモードは、外部端子にエミュレータを接続するためのモードです。MPMD 端子を"L"レベルの入力に設定すると動作します。エミュレータを接続せずにエミュレーションサポートモードに設定した場合の動作は保証されません。通常動作モードは、外部端子にエミュレータを接続せずに動作させるモードで、MPMD 端子を"H"レベルの入力に設定すると動作します。エミュレータを接続せずに通常動作させる場合は、必ずリセット時に、MPMD 端子に"H"レベルを入力して通常動作モードにしてください。

なお、本マニュアルでは、とくに明記してある場合を除き、通常動作モードであることを前提として説明します。

##### (2) シングルチップモード（モード 0～2、3～5）

MD0 端子を"L"レベルの入力に設定するとシングルチップモードで動作します。

シングルチップモードは内蔵 ROM/RAM のみ使用できます。

#### 10.1.2 オンボードプログラミングモード

MD1、MD2 端子、FWE 端子の設定で ROM にプログラムを書き込むモードを設定します。ユーザモード、ブートモード、およびユーザブートモードがあります。

##### (1) ユーザモード（モード 0、3）

任意のインタフェースでユーザマットを書き換え可能なプログラムモードです。FWE 端子に"H"レベルを入力することにより、ユーザマットを書き換えることができます。FWE 端子が"L"レベルの場合、ROM の読み出しのみ可能です。

##### (2) ブートモード（モード 1、4）

SCIF を使用してユーザマットとユーザブートマットを書き換え可能なプログラムモードです。ホストと本 MCU 間の SCIF 通信のビットレートは自動調整可能です。

## 10. 動作モード

### (3) ユーザブートモード（モード 2、5）

任意のインタフェースでユーザマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはハードウェアリセット起動が必要です。

表 10.1 に動作モードの選択、表 10.2 に動作モードの端子設定を示します。表 10.2 にない組み合わせ（モード 0～5 以外）は設定禁止です。

表 10.1 動作モードの選択

動作モード 番号	モード名		エミュレーション 機能	外部 バス	ROM 書き込み	
	MCU 動作モード	オンボード プログラミングモード				
モード 0	通常動作モード	シングルチップ モード	ユーザモード	無効	無効	可能
モード 1			ブートモード	無効	無効	可能
モード 2			ユーザブートモード	無効	無効	可能
モード 3	エミュレーション サポートモード*1	シングルチップ モード	ユーザモード	有効	無効	可能
モード 4			ブートモード	有効	無効	可能
モード 5			ユーザブートモード	有効	無効	可能

【注】 \*1 エミュレータを接続せずにエミュレーションサポートモードに設定した場合の動作は保証しません。

表 10.2 動作モードの端子設定

動作モード 番号	モード名		端子設定					
	MCU 動作モード	オンボード プログラミングモード	MPMD	MD2	MD1	MD0	FWE	
モード 0	通常動作モード	シングルチップ モード	ユーザモード	"H"	"L"	"L"	"L"	"L"/"H"
モード 1			ブートモード	"H"	"L"	"H"	"L"	"H"
モード 2			ユーザブートモード	"H"	"H"	"L"	"L"	"H"
モード 3	エミュレーション サポートモード	シングルチップ モード	ユーザモード	"L"	"L"	"L"	"L"	"L"/"H"
モード 4			ブートモード	"L"	"L"	"H"	"L"	"H"
モード 5			ユーザブートモード	"L"	"H"	"L"	"L"	"H"

## 10.2 レジスタの説明

表 10.3 にレジスタ構成を示します。

表 10.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
モードコントローラレジスタ	MDCR	不定	H'FFFF 2001	8	10-3

【注】・P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 10.2.1 モードコントローラレジスタ (MDCR)

MDCR レジスタは、リセット解除時のモード端子 (MD0~MD2、MPMD、FWE) の値および DET3OR5 端子の状態を確認するためのレジスタです。

MDCR レジスタは、RESET#端子がアサートされている期間の MPMD 端子、MD0~MD2 端子、FWE 端子の入力値を RESET#端子のネゲートタイミングで取り込み、保持します。ただし、DET3OR5 端子はリセット解除後に端子値が保持されないため、DET3OR5 ビットは常に端子レベルが読み出されます。

モードコントローラレジスタ (MDCR)

<P4領域アドレス : H'FFFF 2001番地>

ビット:

7	6	5	4	3	2	1	0
DET3OR5	—	FWE	MPMD	—	MD2	MD1	MD0

リセット後の値:

不定 0 不定\*1 不定\*1 0 不定\*1 不定\*1 不定\*1

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7	DET3OR5	不定	R	—	DET3OR5 入力レベルビット DET3OR5 端子の入力レベルを示します。
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	FWE	不定*1	R	—	FWE ビット リセット解除時の FWE 端子の入力レベルを示します。 【注】・ROM の書き込みおよび消去の制御状態 (禁止、許可) は、FPMON レジスタの FWE ビット値を確認してください。
4	MPMD	不定*1	R	—	MPMD ビット リセット解除時の MPMD 端子の入力レベルを示します。
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	MD2	不定*1	R	—	MD2 ビット リセット解除時の MD2 端子の入力レベルを示します。

## 10. 動作モード

---

ビット	シンボル	リセット後の値	R	W	説明
1	MD1	不定*1	R	—	MD1 ビット リセット解除時の MD1 端子の入カレベルを示します。
0	MD0	不定*1	R	—	MD0 ビット リセット解除時の MD0 端子の入カレベルを示します。

【注】 \*1 リセット解除時の端子の状態により値が確定します。

## 11. アドレス空間

図 11.1～図 11.6 に本 MCU のアドレス空間を示します。本 MCU は、32 ビット（4G バイト）物理アドレス空間を有します。最下位の 512M バイト（H'0000 0000～H'1FFF FFFF）には、内蔵 ROM や内蔵 RAM（SHwyRAM）がマッピングされています。最上位の 512M バイト（H'E000 0000～H'FFFF FFFF）には、IL メモリ、OL メモリ、およびその他の内部リソースがマッピングされています。CPU は、32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。詳細は「第 7 章 メモリマネジメントユニット（MMU）」を参照してください。DMAC や AUDR には、32 ビット物理アドレスを指定してください。P0/U0 領域～P4 領域の詳細は図 11.2～図 11.6 を参照してください。

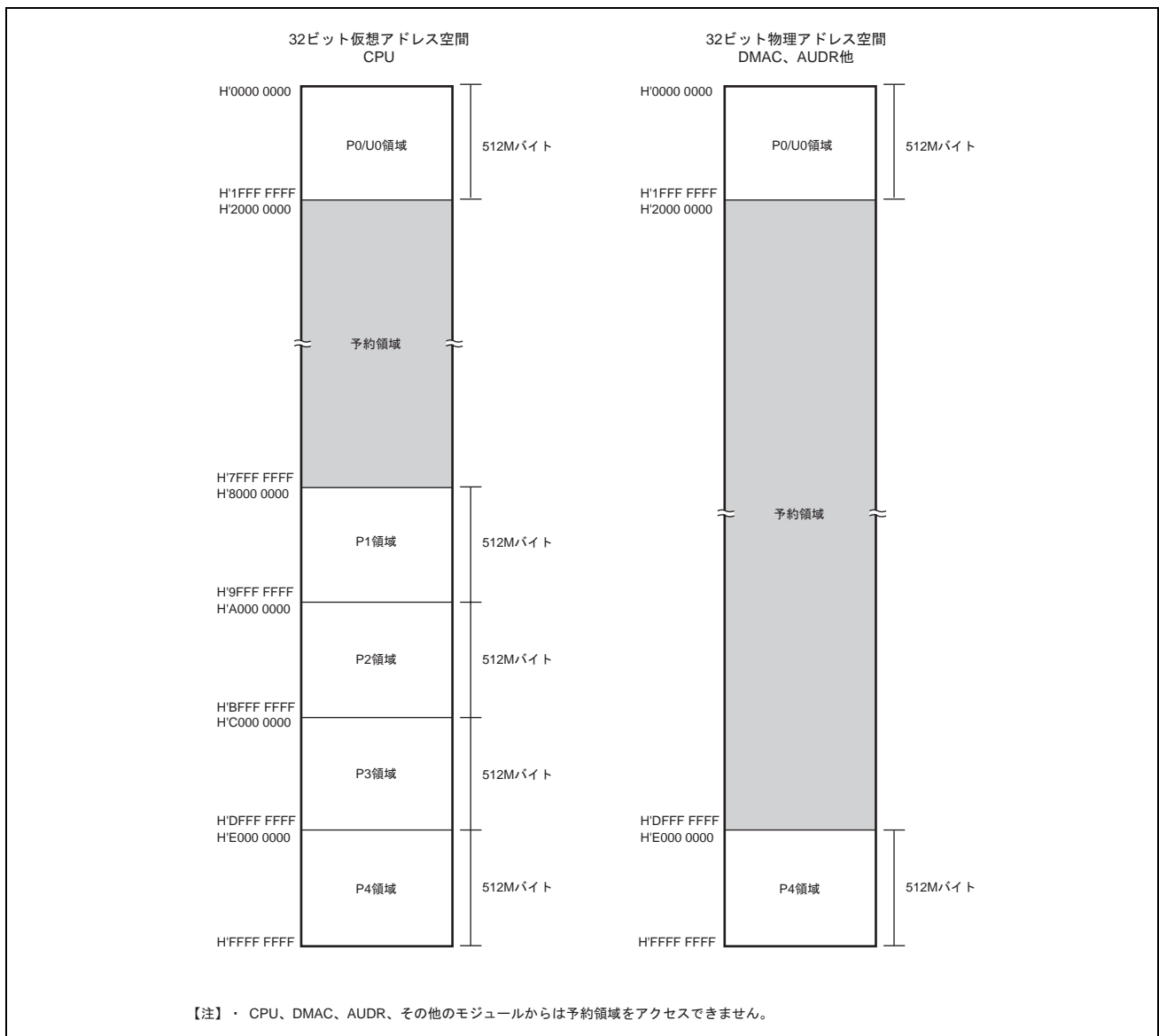


図 11.1 アドレス空間



## 11. アドレス空間

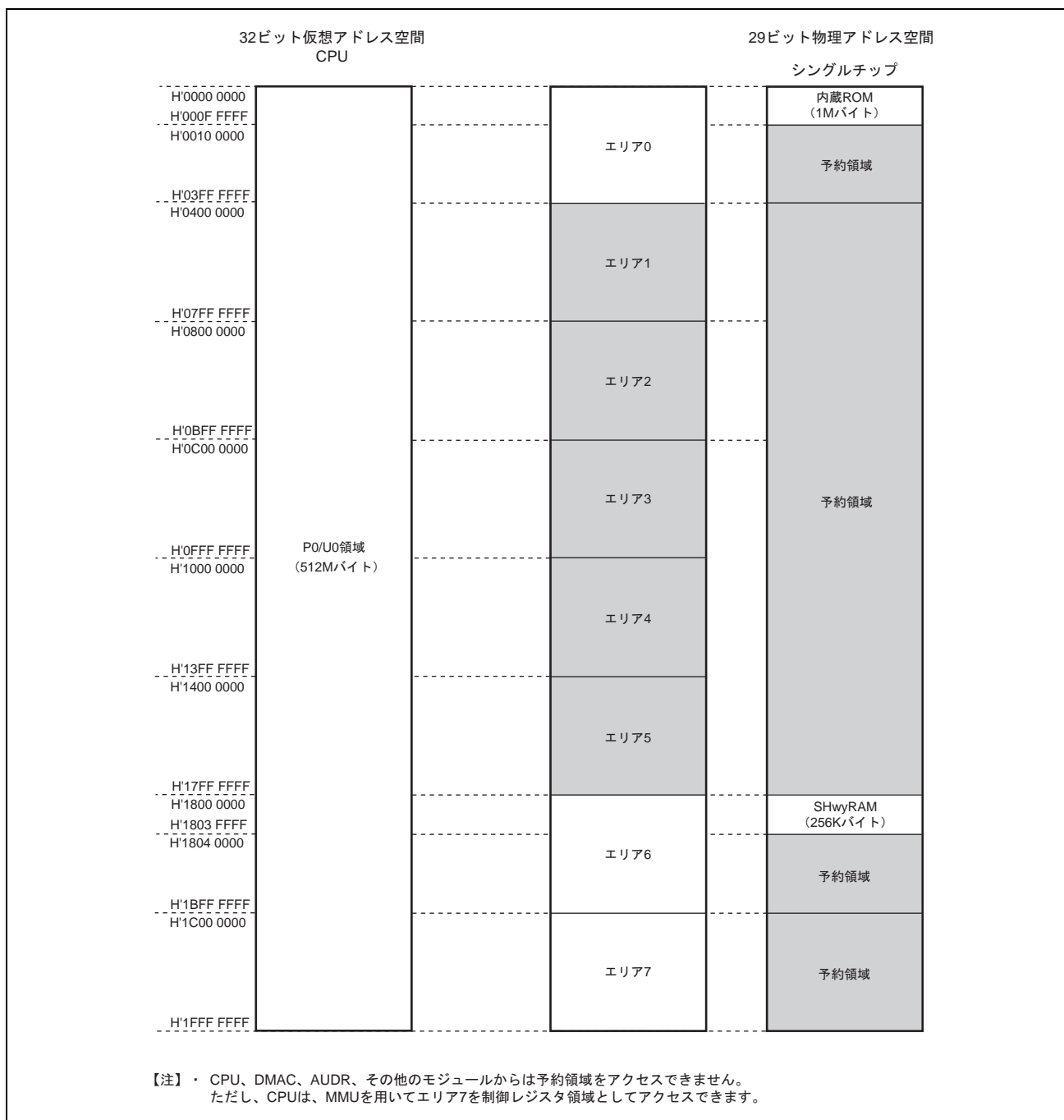


図 11.2 アドレス空間 (P0/U0 領域)

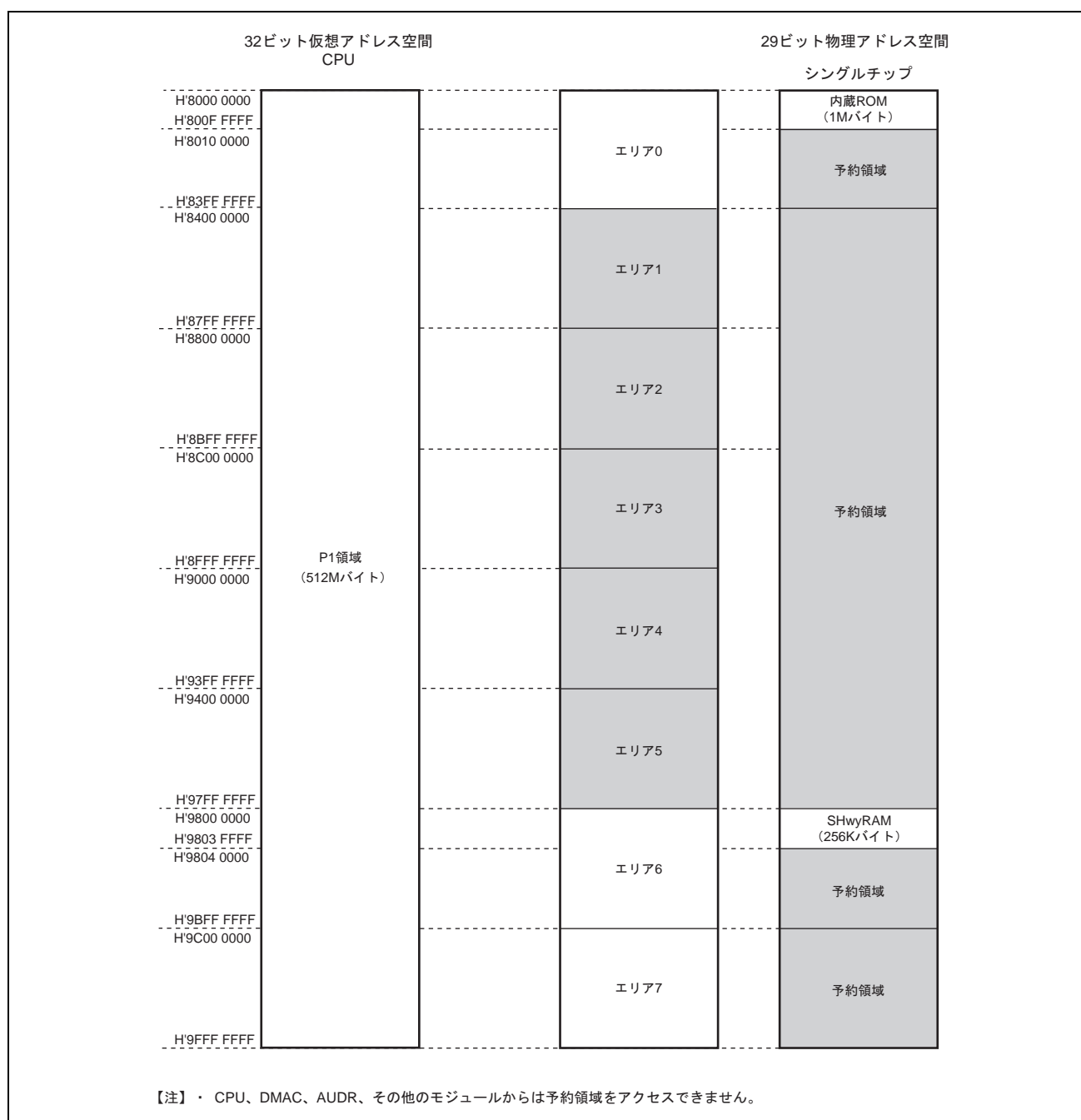


図 11.3 アドレス空間 (P1 領域)

## 11. アドレス空間

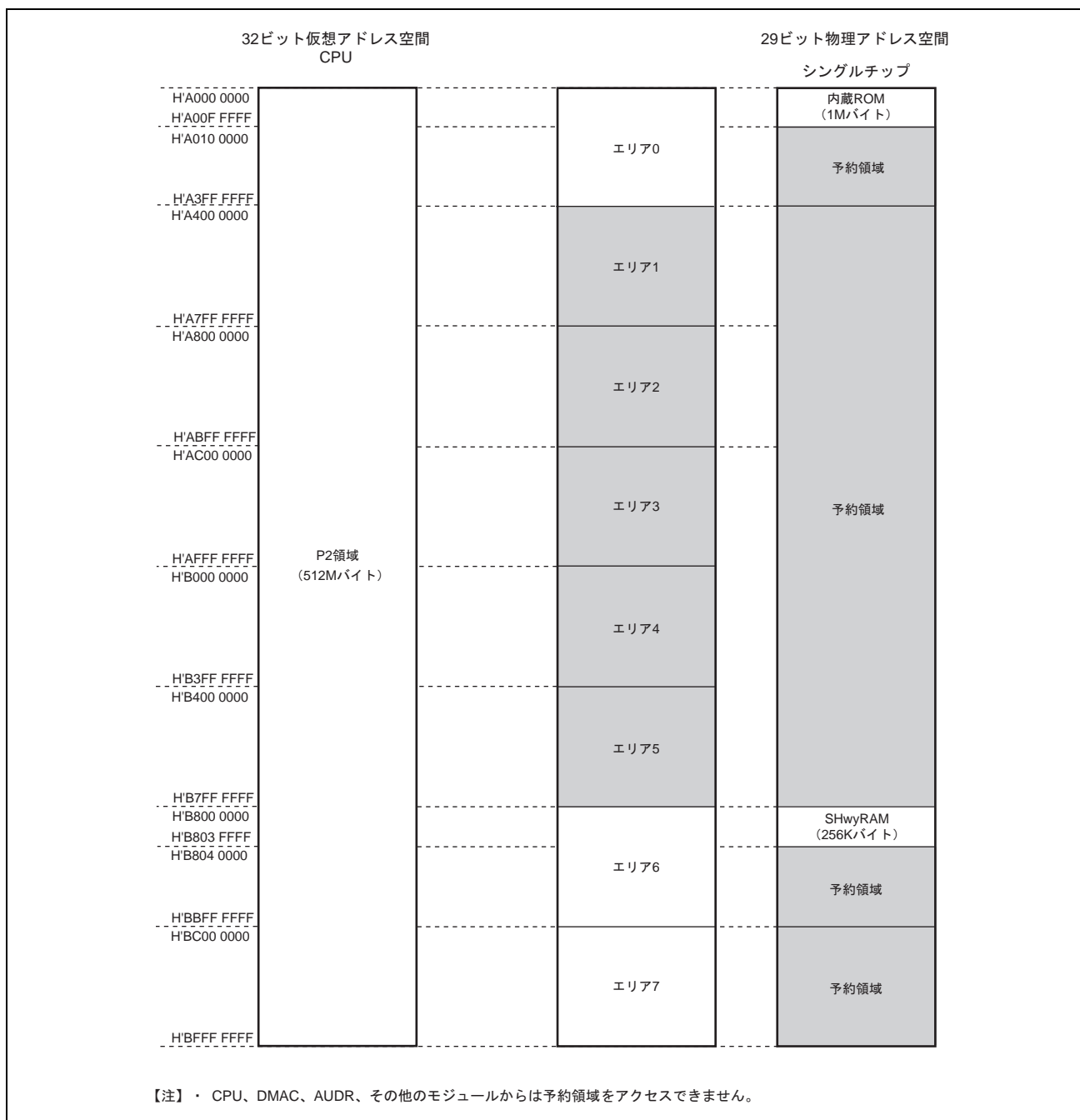


図 11.4 アドレス空間 (P2 領域)

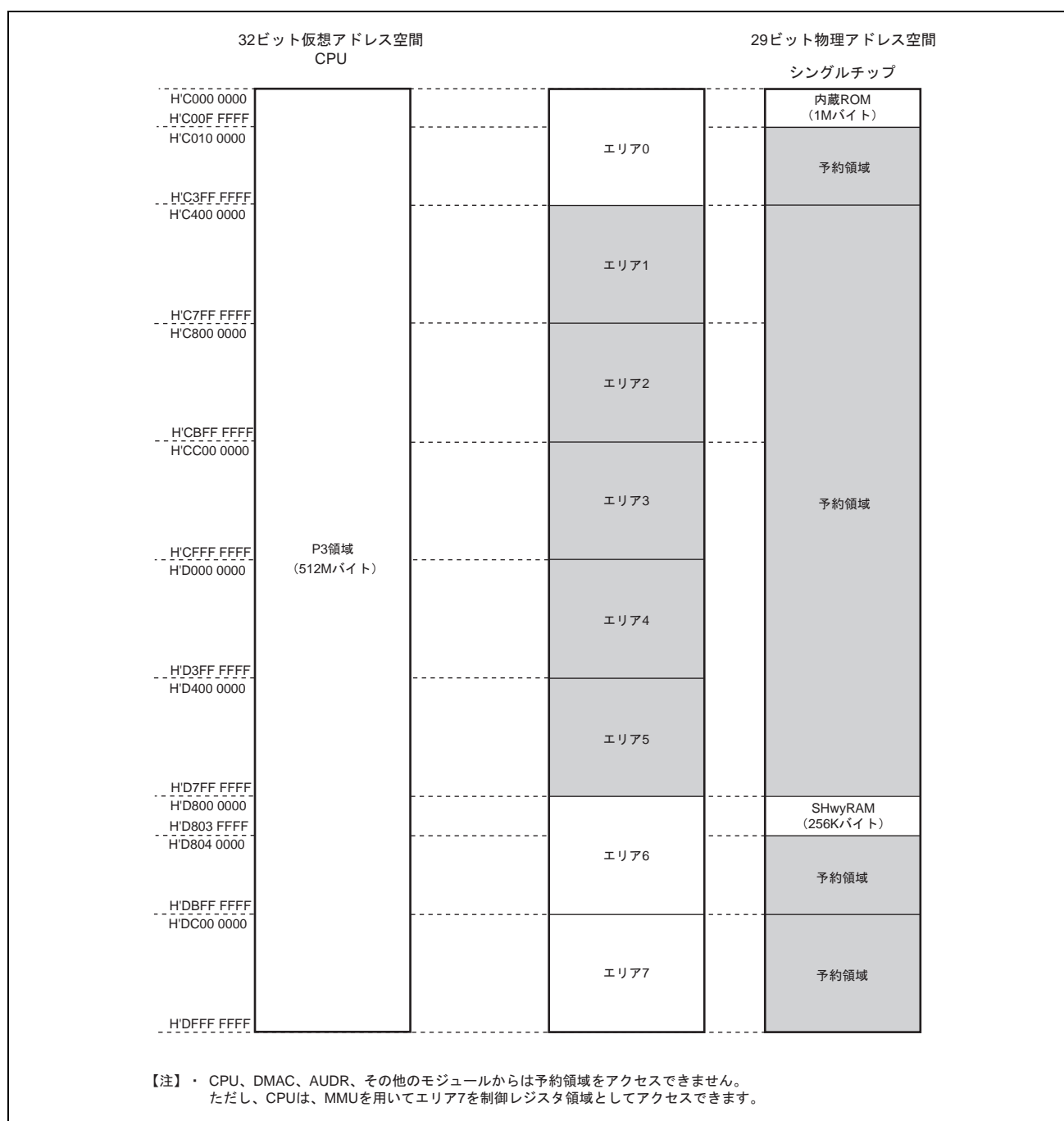


図 11.5 アドレス空間 (P3 領域)

## 11. アドレス空間

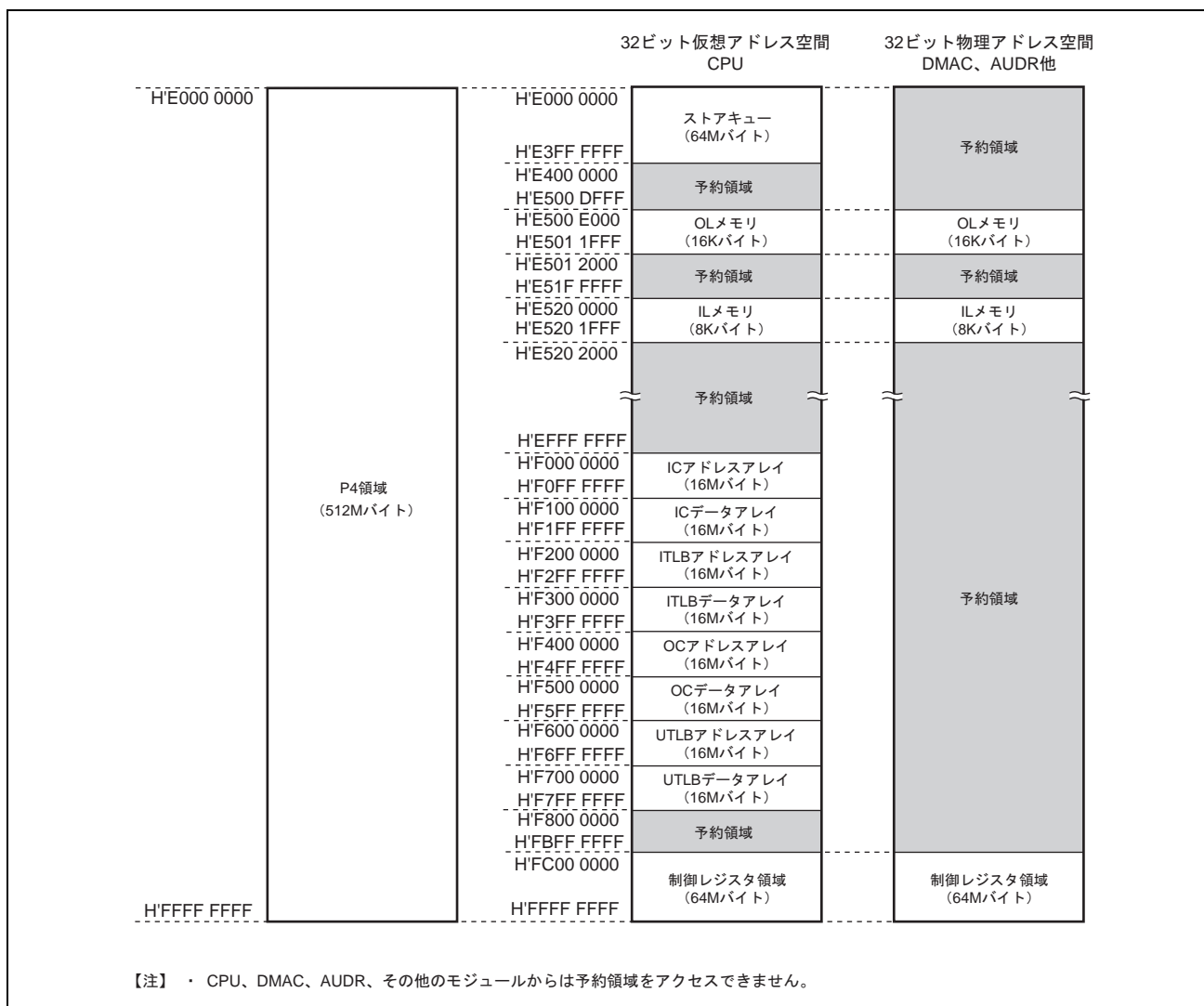


図 11.6 アドレス空間 (P4 領域)

## 12. ROM

SH74552 と SH74562 はそれぞれ 1M バイトのコード格納用フラッシュメモリ（ROM）を内蔵しています。ROM の概要を以下に示します。

### 12.1 概要

- 2種類のフラッシュメモリマット

ROMには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があります。起動モードの選択および制御レジスタを使用したバンク切り替えでマットを切り替えることができます。ユーザブートマット選択時、H'0000 8000～H'000F FFFF領域の読み出し値は不定、書き込み/消去は無効です。

ユーザマット：1Mバイト

ユーザブートマット：32Kバイト

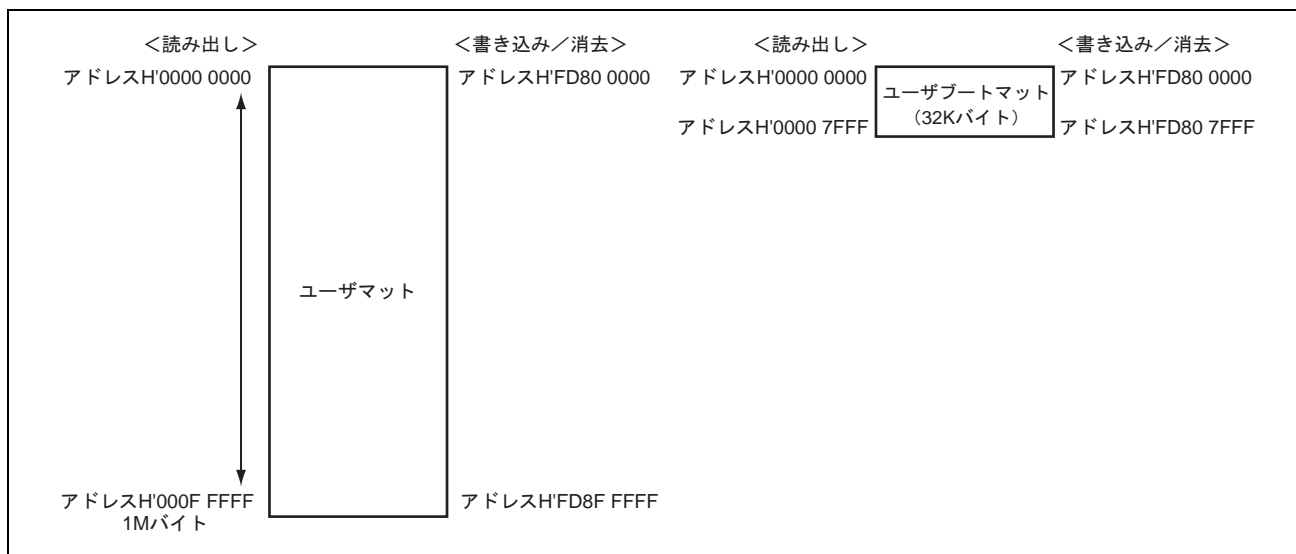


図 12.1 ROM のメモリマット構成

- SHwysバス経由で高速読み出し可能

ユーザマット、ユーザブートマットともにSHwysバス経由で高速読み出し可能です。

- 書き込み/消去方式

周辺バス経由でROMの書き込み用シーケンサ（FCU）にコマンドを発行することにより、ROMの書き込み/消去を実行可能です。FCUがROMの書き込み/消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムを実行可能です。

## 12. ROM

図 12.2 に ROM のブロック図を示します。

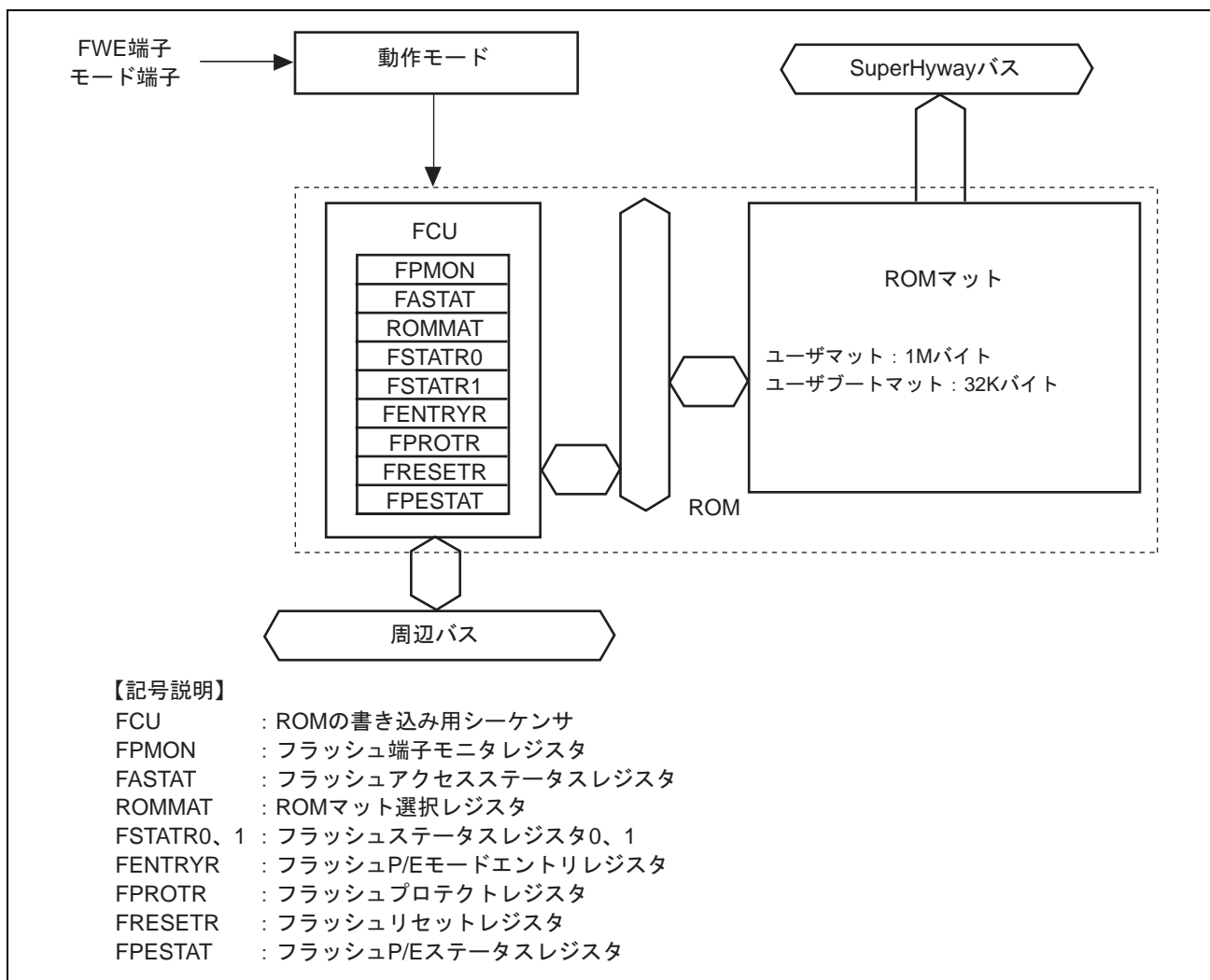


図 12.2 ROM のブロック図

### • 書き込み/消去単位

ユーザマットとユーザブートマットの書き込み単位は256バイトです。ユーザブートマットの消去単位は、ユーザブートマット全面です。ユーザマットはブロック単位で消去可能です。ユーザマットの分割サイズは以下のとおりです。図12.3にユーザマットのブロック分割を示します。

SH74552/SH74562：8Kバイト（8ブロック）、64Kバイト（9ブロック）、128Kバイト（3ブロック）

H'0000 0000 H'0000 1FFF	EB00 (8Kバイト)	H'FD80 0000 H'FD80 1FFF	<div style="border: 1px dashed black; padding: 5px;"> <div style="display: flex; justify-content: space-between;"> <span>&lt;読み出し&gt;</span> <span>&lt;書き込み/消去&gt;</span> </div> <div style="display: flex; justify-content: space-between; margin-top: 5px;"> <div style="width: 45%;">           ブロック先頭 ブロック終了         </div> <div style="width: 10%; border: 1px solid black; text-align: center;">           ブロック名 (サイズ)         </div> <div style="width: 45%;">           ブロック先頭 ブロック終了         </div> </div> </div>
H'0000 2000 H'0000 3FFF	EB01 (8Kバイト)	H'FD80 2000 H'FD80 3FFF	
H'0000 4000 H'0000 5FFF	EB02 (8Kバイト)	H'FD80 4000 H'FD80 5FFF	
H'0000 6000 H'0000 7FFF	EB03 (8Kバイト)	H'FD80 6000 H'FD80 7FFF	
H'0000 8000 H'0000 9FFF	EB04 (8Kバイト)	H'FD80 8000 H'FD80 9FFF	
H'0000 A000 H'0000 BFFF	EB05 (8Kバイト)	H'FD80 A000 H'FD80 BFFF	
H'0000 C000 H'0000 DFFF	EB06 (8Kバイト)	H'FD80 C000 H'FD80 DFFF	
H'0000 E000 H'0000 FFFF H'0001 0000	EB07 (8Kバイト)	H'FD80 E000 H'FD80 FFFF H'FD81 0000	
H'0001 FFFF H'0002 0000	EB08 (64Kバイト)	H'FD81 FFFF H'FD82 0000	
H'0002 FFFF H'0003 0000	EB09 (64Kバイト)	H'FD82 FFFF H'FD83 0000	
H'0003 FFFF H'0004 0000	EB10 (64Kバイト)	H'FD83 FFFF H'FD84 0000	
H'0004 FFFF H'0005 0000	EB11 (64Kバイト)	H'FD84 FFFF H'FD85 0000	
H'0005 FFFF H'0006 0000	EB12 (64Kバイト)	H'FD85 FFFF H'FD86 0000	
H'0006 FFFF H'0007 0000	EB13 (64Kバイト)	H'FD86 FFFF H'FD87 0000	
H'0007 FFFF H'0008 0000	EB14 (64Kバイト)	H'FD87 FFFF H'FD88 0000	
H'0008 FFFF H'0009 0000	EB15 (64Kバイト)	H'FD88 FFFF H'FD89 0000	
H'0009 FFFF H'000A 0000	EB16 (64Kバイト)	H'FD89 FFFF H'FD8A 0000	
H'000B FFFF H'000C 0000	EB17 (128Kバイト)	H'FD8B FFFF H'FD8C 0000	
H'000D FFFF H'000E 0000	EB18 (128Kバイト)	H'FD8D FFFF H'FD8E 0000	
H'000F FFFF	EB19 (128Kバイト)	H'FD8F FFFF	

図 12.3 ユーザマットのブロック分割



- **オンボードプログラミングモード (3種類)**

ブートモード： SCIFを使用してユーザマットとユーザブートマットを書き換え可能なプログラムモードです。ホストと本MCU間のSCIF通信のビットレートは自動調整可能です。

ユーザモード： 任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。通常のユーザモードにおいて、FWE端子を"H"レベル入力することにより、ユーザマットを書き換えることができます。

ユーザブートモード：任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはハードウェアリセット起動が必要です。

- **プロテクトモード**

FWE端子/モード端子によるハードウェアプロテクトと、FENTRY0ビット/ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み/消去に対するプロテクト状態を設定できます。FENTRY0ビットはFCUによるROM書き込み/消去処理の許可/禁止を制御するためのビットです。ロックビットはユーザマットの各消去ブロック内に1ビットずつ設置されている書き込み/消去プロテクト用のビットです。

- **書き込み時間/消去時間/再書き込み/消去回数**

「第38章 電気的特性」を参照してください。

## 12.2 入出力端子

表 12.1 に ROM 関連の入出力端子を示します。MD0～MD2 端子、FWE 端子の組み合わせによって、ROM のプログラミングモードを決定します（「12.4 ROM 関連モード概要」を参照）。ブートモード時には、PJ10/RXD0、PJ11/TXD0 にホストを接続して ROM を書き込み/消去することが可能です（「12.5 ブートモード」を参照）。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 12.1 端子構成

端子名	入出力	機能
RESET#	入力	この端子が"L"レベルになるとハードウェアリセット状態になります。
MD0～MD2	入力	動作モードを決定します。
FWE	入力	ROM の書き込み許可/禁止を決定します。
PJ10/RXD0	入力	SCIF0 の受信データ（ホスト通信用）
PJ11/TXD0	出力	SCIF0 の送信データ（ホスト通信用）

### 12.3 レジスタの説明

表 12.2 に ROM 関連のレジスタを示します。ROM 関連のレジスタは、ハードウェアリセットによって初期化されます。

表 12.2 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
フラッシュ端子モニタレジスタ	FPMON	H'00 H'80	H'FDFF A800	8	12-7
フラッシュアクセスステータスレジスタ	FASTAT	H'00	H'FDFF A810	8	12-8
ROM マット選択レジスタ	ROMMAT	H'0000 H'0001	H'FDFF A820	8、16	12-10
フラッシュステータスレジスタ 0	FSTATR0	H'80* <sup>1</sup>	H'FDFF A900	8、16	12-11
フラッシュステータスレジスタ 1	FSTATR1	不定* <sup>1</sup>	H'FDFF A901	8、16	12-13
フラッシュ P/E モードエントリレジスタ	FENTRYR	H'0000* <sup>1</sup>	H'FDFF A902	8、16	12-14
フラッシュプロテクトレジスタ	FPROTR	H'0000* <sup>1</sup>	H'FDFF A904	8、16	12-16
フラッシュリセットレジスタ	FRESETR	H'0000	H'FDFF A906	8、16	12-17
フラッシュ P/E ステータスレジスタ	FPESTAT	H'0000* <sup>1</sup>	H'FDFF A91C	8、16	12-18

【注】 \*<sup>1</sup> ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化できます。

- ・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 12.3.1 フラッシュ端子モニタレジスタ (FPMON)

FPMON レジスタは、FWE 端子状態をモニタするためのレジスタです。

フラッシュ端子モニタレジスタ (FPMON)

<P4領域アドレス : H'FDFF A800番地>

ビット:	7	6	5	4	3	2	1	0
	FWE	—	—	—	—	—	—	—
リセット後の値:	1/0	0	0	0	0	0	0	0

<リセット後の値 : H'00、H'80>

ビット	シンボル	リセット後の値	R	W	説明
7	FWE	1/0	R	—	<p>フラッシュ書き込みイネーブルビット</p> <p>FWE 端子の値をモニタするためのビットです。チップを起動した際の FWE 端子の入力レベルに依存して初期値が変化します。FWE 端子を"L"レベルでチップを起動した場合、本 MCU の動作中に FWE 端子を"H"レベルにすると FWE ビットを"1"にできます。その後、FWE 端子を"L"レベルにすると、FWE ビットを"0"にできます。FWE 端子を"H"レベルでチップを起動した場合、FWE ビットは"1"のままとなり、FWE 端子の影響を受けなくなります。書き換え後にプロテクトをかける場合は、FWE 端子を"L"レベルにしてチップを起動し直してください。</p> <p>0 : ROM の書き込み/消去禁止</p> <p>1 : ROM の書き込み/消去許可</p>
6~0	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

## 12.3.2 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT レジスタは、ROM に対するアクセス違反の有無を確認するためのレジスタです。FASTAT レジスタのいずれかのビットが"1"にセットされると、FCU はコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。

フラッシュアクセスステータスレジスタ (FASTAT)

&lt;P4領域アドレス : H'FDFF A810番地&gt;

ビット:	7	6	5	4	3	2	1	0
	ROM AE	—	—	CMD LK	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	ROMAE	0	R	*1	<p>アクセス違反ビット</p> <p>ROM に対するアクセス違反の有無を示すビットです。ROMAE ビットが"1"になると、FASTAT0 レジスタの ILGLERR ビットが"1"にセットされ、FCU はコマンドロック状態になります。</p> <p>0 : ROM アクセスエラーなし 1 : ROM アクセスエラーあり</p> <p>[ "0" クリア条件 ]</p> <ul style="list-style-type: none"> <li>ROMAE="1"を読み出した後に、"0"を書き込み</li> </ul> <p>[ "1" セット条件 ]</p> <ul style="list-style-type: none"> <li>FENTRYR レジスタの FENTRY0 ビットが"1"かつ ROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス H'FD80 0000~H'FD8F FFFF に対してリードアクセスを発行</li> <li>FENTRYR レジスタの FENTRY0 ビットが"0"の状態、ROM 書き込み/消去用アドレス H'FD80 0000~H'FD8F FFFF に対するアクセスを発行</li> <li>FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'0000 0000~H'000F FFFF に対してリードアクセスを発行</li> <li>ユーザブートマット選択時に ROM に対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行</li> <li>ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'FD80 0000~H'FD8F FFFF 以外に対するアクセスを発行</li> </ul>
6, 5	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

ビット	シンボル	リセット 後の値	R	W	説 明
4	CMDLK	0	R	—	<p>FCU コマンドロックビット</p> <p>FCU がコマンドロック状態であることを示すビットです（「12.8.3 エラープロテクト」を参照）。</p> <p>0 : FCU はコマンドロック状態ではない</p> <p>1 : FCU はコマンドロック状態</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>FASTAT レジスタが H'10 の状態で、FCU がステータスクリアコマンドを処理した後</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>FCU がエラーを検出しコマンドロック状態に遷移した後</li> </ul>
3~0	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

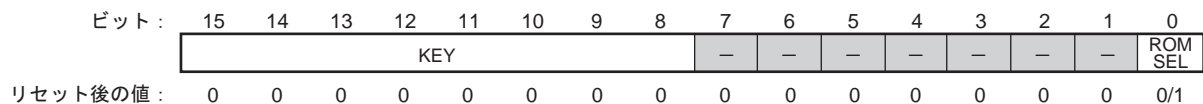
## 12. ROM

### 12.3.3 ROM マット選択レジスタ (ROMMAT)

ROMMAT レジスタは、ROM のマットを切り替えるために使用するレジスタです。ROMMAT レジスタは、ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。

ROMマット選択レジスタ (ROMMAT)

<P4領域アドレス : H'FDFF A820番地>



<リセット後の値 : H'0000、H'0001>

ビット	シンボル	リセット後の	R	W	説明
15~8	KEY	すべて0	0	W	ROMMAT レジスタライトキーコードビット ROMSEL ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'3B : ROMSEL ビットの書き換え許可 H'3B 以外 : ROMSEL ビットの書き換え禁止
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	ROMSEL	0/1	R	W	ROM マット選択ビット ROM のマットを選択するためのビットです。ユーザブートモードで起動した場合には初期値が"1"になります。それ以外の場合のモードで起動した場合には初期値が"0"になります。 ROMSEL ビットへの書き込みは、ワードアクセスで KEY ビットが H'3B の場合のみ有効です。 0 : ユーザマット選択 1 : ユーザブートマット選択

### 12.3.4 フラッシュステータスレジスタ 0 (FSTATR0)

FSTATR0 レジスタは、FCU の状態を確認するためのレジスタです。FSTATR0 レジスタは、ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化されます。

フラッシュステータスレジスタ0 (FSTATR0)

<P4領域アドレス : H'FDFF A900番地>

ビット :	7	6	5	4	3	2	1	0
	FRDY	ILGL ERR	ERS ERR	PRG ERR	FCU SQ	—	—	—
リセット後の値 :	1	0	0	0	0	0	0	0

<リセット後の値 : H'80>

ビット	シンボル	リセット 後の値	R	W	説明
7	FRDY	1	R	—	フラッシュレディビット FCU の処理状態を確認するためのビットです。 0 : 書き込み/消去処理中 ロックビットリードコマンド処理中 1 : 上記の処理を実行していない
6	ILGLERR	0	R	—	イリーガルコマンドエラービット FCU が不正なコマンドや不正な ROM アクセスなどを検出したことを示すビットです。このビットが"1"の場合には、FCU はコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。 0 : FCU は不正なコマンドや ROM アクセスを検出していない 1 : FCU は不正なコマンドや ROM アクセスを検出した ["0"クリア条件] • FASTAT レジスタが H'10 の状態で FCU がステータスクリアコマンドを処理した後 ["1"セット条件] • FCU が不正なコマンドを検出した • FCU が不正な ROM アクセスを検出した (FASTAT レジスタの ROMAE ビットが"1") • FENTRYR レジスタの設定が不正



12. ROM

ビット	シンボル	リセット後の値	R	W	説明
5	ERSERR	0	R	—	<p>消去エラービット</p> <p>FCUによるROM消去処理の結果を示すビットです。このビットが"1"の場合には、FCUはコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。</p> <p>0：消去処理は正常終了 1：消去処理中にエラー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>FCUがステータスクリアコマンドを処理した後</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>消去中にエラーが発生した</li> <li>ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した</li> </ul>
4	PRGERR	0	R	—	<p>書き込みエラービット</p> <p>FCUによるROM書き込み処理の結果を示すビットです。このビットが"1"の場合には、FCUはコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。</p> <p>0：書き込み処理は正常終了 1：書き込み処理中にエラー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>FCUがステータスクリアコマンドを処理した後</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>書き込み中にエラーが発生した</li> <li>ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した</li> </ul>
3	FCUSQ	0	R	—	<p>シーケンス動作ビット</p> <p>書き込み/消去シーケンスに入ったことを示しています。書き込み/消去処理中に"1"になります。その間は、FCUSQビットをポーリングの対象とせず、FRDYビットのみをポーリングの対象として、処理が終了したことを確認してください。</p> <p>0：シーケンス停止 1：シーケンス中</p>
2~0	—	すべて0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

### 12.3.5 フラッシュステータスレジスタ 1 (FSTATR1)

FSTATR1 レジスタは、FCU の状態を確認するためのレジスタです。FSTATR1 レジスタは、ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化されます。

フラッシュステータスレジスタ1 (FSTATR1)

<P4領域アドレス : H'FDFF A901番地>

ビット :

7	6	5	4	3	2	1	0
FCU ERR	—	—	FLO CKST	—	—	FRD TCT	—

リセット後の値 :

0 0 0 0 0 0 0 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7	FCUERR	0	R	—	FCU エラービット FCU 内部でエラーが発生したことを示すビットです。FCUERR ビットが"1"の場合には、ハードウェアリセットをかけて初期化してください。 0 : FCU でエラー未発生 1 : FCU でエラー発生 ["0"クリア条件] • FRESETR レジスタの FRESET ビットが"1"
6、5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	FLOCKST	0	R	—	ロックビットステータスビット ロックビットリードコマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリードコマンド発行後に、FRDY ビットが"1"になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリードコマンドの終了まで保持されます。 0 : プロテクト状態 1 : 非プロテクト状態
3、2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	FRDTCT	0	R	—	FCU データアクセスエラービット FCU 内部のデータアクセスにおいてエラーが発生したことを示すビットです。FRDTCT ビットが"1"の場合には、ハードウェアリセットをかけて初期化してください。 0 : FCU のデータアクセスでエラー未発生 1 : FCU のデータアクセスでエラー発生
0	—	不定	R	—	予約ビット 本ビットの読み出し値は不定です。FSTATR1 レジスタを読み出すときは常にマスクしてください。

## 12. ROM

### 12.3.6 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR レジスタは、ROM を P/E モードに設定するために使用するレジスタです。FENTRYR レジスタは、ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。ROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRY0 ビットに"1"を設定する必要があります。ただし、本レジスタに H'0001、H'0002 以外の値を設定した場合、FSTATRO レジスタの ILGLERR ビットが"1"にセットされて、FCU はコマンドロック状態になります。

FENTRYR は、ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化されます。

フラッシュ P/E モードエントリレジスタ (FENTRYR)

<P4領域アドレス : H'FDFF A902番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								—	—	—	—	—	—	FENTRY1	FENTRY0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	FEKEY	すべて 0	0	W	FENTRYR レジスタライトキーコードビット FENTRY0 ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'AA : FENTRY0 ビットの書き換え許可 H'AA 以外 : FENTRY0 ビットの書き換え禁止
7~2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	FENTRY1	0	0	0	ROM P/E モードエントリビット 1 本 MCU ではこのビットをサポートしていませんので、書き込み値は常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
0	FENTRY0	0	R	W	<p>ROM P/E モードエントリビット 0</p> <p>ROM EB00~EB19 ブロック（読み出し用アドレス：H'0000 0000~H'000F FFFF、書き込み/消去用アドレス：H'FD80 0000~H'FD8F FFFF）を P/E モードに設定するためのビットです。</p> <p>0：ROM EB00~EB19 ブロック（1M バイト）はリードモード 1：ROM EB00~EB19 ブロック（1M バイト）は P/E モード</p> <p>書き込みは、以下の条件をすべて満たす場合に有効です。</p> <ul style="list-style-type: none"> <li>• FPMON レジスタの FWE ビットが"1"</li> <li>• FSTATR0 レジスタの FRDY ビットが"1"</li> <li>• ワードアクセスで FEKEY ビットに H'AA 書き込み</li> </ul> <p>[ "0" クリア条件 ]</p> <ul style="list-style-type: none"> <li>• FSTATR0 レジスタの FRDY ビットが"1"、かつ FPMON レジスタの FWE ビットが"0"の場合</li> <li>• バイトアクセスで書き込んだ場合</li> <li>• ワードアクセスで FEKEY ビットが H'AA 以外の状態で書き込んだ場合</li> <li>• 書き込み有効条件を満たした状態で、FENTRY0 ビットに"0"を書き込んだ場合</li> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合</li> </ul> <p>[ "1" セット条件 ]</p> <ul style="list-style-type: none"> <li>• 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY0 ビットに"1"を書き込んだ場合</li> </ul>

### 12.3.7 フラッシュプロテクトレジスタ (FPROTR)

FPROTR レジスタは、ロックビットによる書き込み/消去プロテクト機能の有効/無効を設定するためのレジスタです。FPROTR レジスタは、ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。

FPROTR レジスタは、ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化されます。

フラッシュプロテクトレジスタ (FPROTR)

<P4領域アドレス : H'FDFD A904番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FPKEY								-	-	-	-	-	-	-	FPROTCN
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

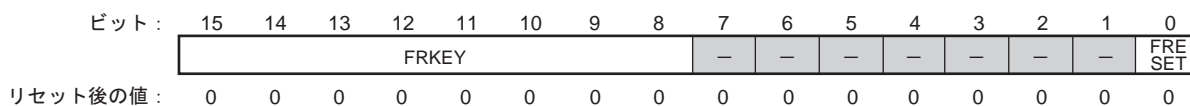
ビット	シンボル	リセット後の値	R	W	説明
15~8	FPKEY	すべて0	0	W	FPROTR レジスタライトキーコードビット FPROTCN ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'55 : FPROTCN ビットの書き換え許可 H'55 以外 : FPROTCN ビットの書き換え禁止
7~1	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	FPROTCN	0	R	W	ロックビットプロテクトキャンセルビット ロックビットによる書き込み/消去プロテクトを有効/無効化するためのビットです。 0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効 ["0"クリア条件] ・バイトアクセスで書き込んだ場合 ・ワードアクセスで FPKEY ビットが H'55 以外の状態で書き込んだ場合 ・ワードアクセスで FPKEY ビットに H'55、FPROTCN ビットに"0"を書き込んだ場合 ・FENTRYR レジスタの値が H'0000 の場合 ["1"セット条件] ・H'0000 以外の状態で、ワードアクセスで FPKEY に H'55、FPROTCN ビットに"1"を書き込んだ場合

### 12.3.8 フラッシュリセットレジスタ (FRESETR)

FRESETR レジスタは、FCU と ROM の初期化のために使用するレジスタです。FRESETR レジスタは、ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。

フラッシュリセットレジスタ (FRESETR)

<P4領域アドレス : H'FDFF A906番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	FRKEY	すべて0	0	W	FRESETR レジスタライトキーコードビット FRESETR ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'CC : FRESETR ビットの書き換え許可 H'CC 以外 : FRESETR ビットの書き換え禁止
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	FRESETR	0	R	W	フラッシュリセットビット FRESETR ビットを"1"に設定すると、ROM の書き込み/消去動作が強制終了され、FCU が初期化されます。書き込み/消去中の ROM のメモリには高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESETR ビットを"1"にセットした状態を $t_{RESW2}$ (「第 38 章 電気的特性」を参照) 保持してください。FRESETR ビットを"1"に保持している期間は ROM への読み出しを禁止してください。また、FRESETR ビットが"1"の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。FRESETR ビットへの書き込みは、ワードアクセスで FRKEY ビットが H'CC の場合のみ有効です。 0 : FCU はリセットされない 1 : FCU はリセットされる

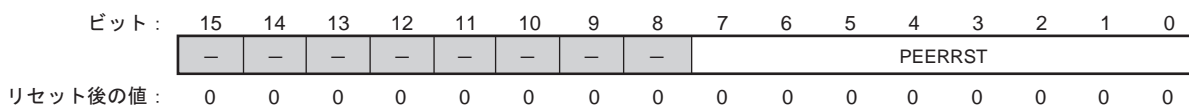
## 12. ROM

### 12.3.9 フラッシュ P/E ステータスレジスタ (FPESTAT)

FPESTAT レジスタは、ROM の書き込み/消去処理結果を示すレジスタです。FPESTAT レジスタは、ハードウェアリセットまたは FRESETR レジスタの FRESET ビットを"1"にすることによって初期化されます。

フラッシュP/Eステータスレジスタ (FPESTAT)

<P4領域アドレス : H'FDFF A91C番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7~0	PEERRST	H'00	R	—	<p>P/E エラーステータスビット</p> <p>ROM の書き込み/消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRST ビットの値は、FSTATR0 レジスタの PRGERR ビットまたは ERSERR ビットが"1"の状態でのみ有効です。ERSERR ビットと PRGERR ビットが"0"の場合の PEERRST ビットには、過去に発生したエラー原因の値が保持されます。</p> <p>H'01 : ロックビットでプロテクトされた領域に対する書き込みエラー                      H'02 : ロックビットプロテクト以外の要因による書き込みエラー                      H'11 : ロックビットでプロテクトされた領域に対する消去によるエラー                      H'12 : ロックビットプロテクト以外の要因による消去エラー                      上記以外 : 予約</p>

## 12.4 ROM 関連モード概要

図 12.4 に本 MCU のモード遷移図 (ROM 関連) を示します。MD0～MD2 端子と FWE 端子の設定値と本 MCU の動作モードの関係については「第 10 章 動作モード」を参照してください。

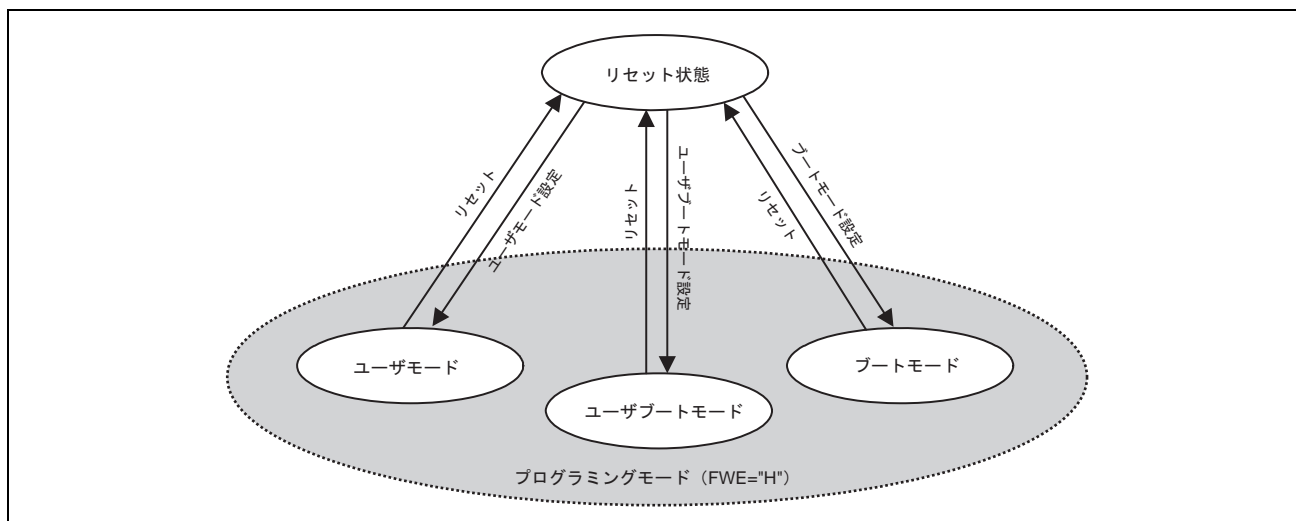


図 12.4 ROM に関するモード遷移図

- FWE端子が"L"レベルの場合は、ROMの読み出しは可能ですが、書き込み/消去は実施できません。
- FWE端子が"H"レベルの場合にかぎり、ROMの読み出し/書き込み/消去を実施できます。



表 12.3 にブートモード、ユーザモード、ユーザブートモード書き込み/消去関連項目の比較表を示します。

表 12.3 プログラミングモードの比較

項目	ブートモード	ユーザモード	ユーザブートモード
書き込み/消去環境	オンボードプログラミング		
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット
書き込み/消去制御	ホスト	FCU	FCU
全面消去	○	○	○
ブロック分割消去	○	○	○
書き込みデータ転送	ホストから SCIF 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブートマット

- ユーザブートマットの書き込み/消去は、ブートモードのみ可能です。
- ブートモードでは、キーコード認証後、ホストからSCIF経由でのユーザマット/ユーザブートマットの書き込みが可能になります。
- ユーザブートモードでは、ブートモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

## 12.5 ブートモード

### 12.5.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマットの書き込み/消去を実行可能です。ホストと本MCU間の通信には、本MCU内蔵のSCIFを調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。本MCUをブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCIFのビットレートの自動調整と制御コマンド方式でのホスト⇄本MCU間の通信が実現されます。

図12.5にブートモード時のシステム構成を示します。ブートモードではNMI、IRQ7～IRQ5、IRQ2～IRQ0の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。

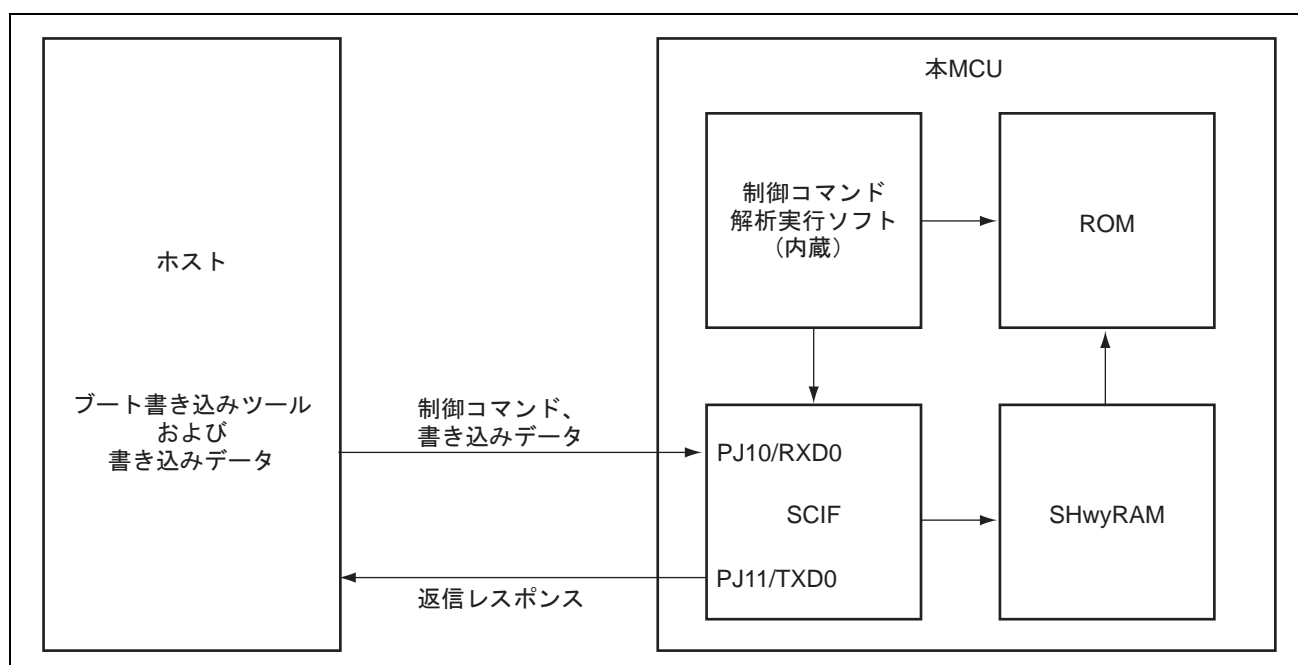


図 12.5 ブートモード時のシステム構成

## 12. ROM

### 12.6 ユーザモード/ユーザブートモード

#### 12.6.1 FCU コマンド一覧

ユーザモードとユーザブートモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み/消去を実行します。表 12.4 に、ROM 書き込み/消去で使用可能な FCU コマンドの一覧を示します。

表 12.4 FCU コマンド一覧 (ROM 関連)

コマンド	機能
プログラム	ROM 書き込み (256 バイト単位)
ブロックイレーズ	ROM 消去 (ブロック単位。ロックビットも同時に消去)
ステータスレジスタクリア	FSTATR0 レジスタの ILGLERR ビット、ERSERR ビット、PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード	指定した消去ブロックのロックビット読み出し (FSTATR1 レジスタの FLOCKST ビットにロックビットを反映)
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

FCU へのコマンド発行は、ROM 書き込み/消去用のアドレスに対する周辺バスライトアクセスで実現されます。表 12.5 に FCU コマンドのフォーマットを示します。表 12.5 に示した周辺バスライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU のコマンド受け付け条件については、「12.6.2 FCU コマンド受け付け条件」を参照してください。各 FCU コマンドの使用方法については、「12.6.3 FCU コマンド使用方法」を参照してください。

表 12.5 FCU コマンドのフォーマット

コマンド	コマンド サイクル数*1	1 サイクル目		2 サイクル目		3 サイクル目		4~130 サイクル目		131 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム	131	RA	H'E8	RA	H'80	WA	WD1	RA	WDn	RA	H'D0
ブロックイレーズ	2	RA	H'20	BA	H'D0	—	—	—	—	—	—
ステータスレジスタクリア	1	RA	H'50	—	—	—	—	—	—	—	—
ロックビットリード	2	RA	H'71	BA	H'D0	—	—	—	—	—	—
ロックビットプログラム	2	RA	H'77	BA	H'D0	—	—	—	—	—	—

【注】 \*1 コマンドサイクル数は書き込み/消去アドレスに対する周辺バスライトアクセスの発行回数です。

#### 【記号説明】

RA : ROM 書き込み/消去用のアドレス

FENTRY0 ビットが"1"の場合 : H'FD80 0000~H'FD8F FFFF の任意アドレス

WA : ROM 書き込み先アドレス

書き込みデータ 256 バイトの先頭アドレス

BA : ROM 消去ブロックアドレス

対象消去ブロック内の任意アドレス (書き込み/消去用アドレスで指定)

WDn : 書き込みデータ n ワード目 (n=2~128)

## 12.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード/状態に依存します。図 12.6 に FCU のモード遷移図を示します。

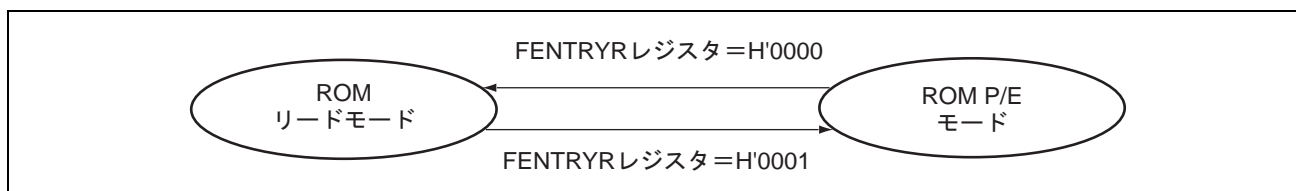


図 12.6 FCU のモード遷移図 (ROM 関連)

### (1) ROM リードモード

ROM を SHwy バス経由で高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYR レジスタの FENTRY0 ビットを"0"に設定した場合に、このモードに遷移します。

### (2) ROM P/E モード

ROM リードモード時に FENTRY0 ビットを"1"に設定した場合に遷移するモードです。表 12.6 に受け付け可能なコマンドを示します。ROM の高速読み出しは実行できません。H'FD80 0000~H'FD8F FFFF に対するリードアクセスは禁止されていませんが、読み出し値は不定となります。ROM データの読み出しを行う場合は、ROM リードモードに遷移してから行ってください。FENTRY0 ビットが"1"の状態では H'FD80 0000~H'FD8F FFFF に対して周辺バスリードアクセスを発行した場合には、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。

受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY ビット、ILGLERR ビット、ERSERR ビット、PRGERR ビットと FSTATR1 レジスタの FCUERR、FRDTCT ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR ビット、ERSERR ビット、PRGERR ビットと FSTATR1 レジスタの FCUERR ビット、FRDTCT ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。表 12.6 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み/消去の処理中、ロックビットリード処理中には FSTATR0 レジスタの FRDY ビットが"0"になります。

表 12.6 FCU のモード/状態と受け付け可能なコマンドの関係

項 目	その他の状態	書き込み／消去の処理中	書き込み／消去の中断処理中	ロックビットリード処理中	コマンドロック状態
FSTATR0 レジスタの FRDY ビット	1	0	0	0	0/1
FASTAT レジスタの CMDLK ビット	0	0	0	0	1
プログラム	○	×	×	×	×
ブロックイレーズ	○	×	×	×	×
ステータスレジスタクリア	○	×	×	×	○
ロックビットリード	○	×	×	×	×
ロックビットプログラム	○	×	×	×	×

## 【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

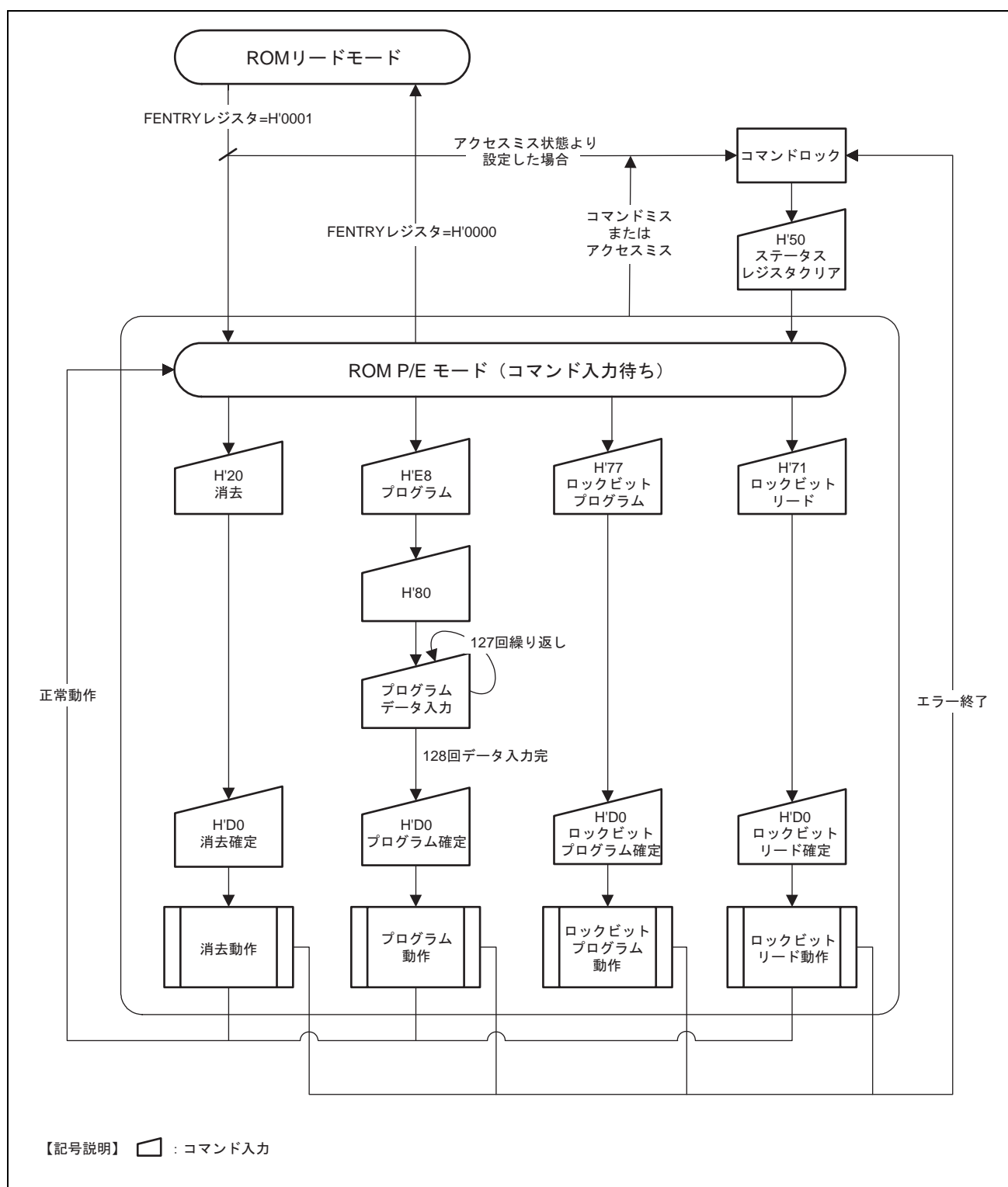


図 12.7 ROM リードモードと P/E モード中のコマンド遷移図

### 12.6.3 FCU コマンド使用方法

FCU コマンド発行時のユーザ処理フロー例を示します。

本節で紹介するフローでは、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR、FRDTCT ビットを使用して、FCU のコマンド処理状況とエラー発生状況を確認しています。FSTATR0 レジスタと FSTATR1 レジスタはワードアクセスで同時に読み出し可能であるため、1 回のレジスタアクセスで FCU の状態を確認できます。FSTATR0 レジスタの FRDY ビットと FSTATR1 レジスタの CMDLK ビットを使用して FCU の状態を確認する方法を使用する場合には、2 回のレジスタアクセスが必要になりますが、CMDLK ビットのみでエラーの有無を判定可能です。

FCU がコマンド処理中に FCUERR ビットが"1"または FRDTCT ビットが"1"にセットされてコマンドロック状態に遷移した場合には、FRDY ビットは"0"を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが"0"から"1"にセットされることはありません。書き込み/消去時間（「第 38 章 電気的特性」参照）よりも長期間にわたって FRDY ビットが"0"に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY ビットが"1"にセットされた場合には、FCUERR ビットと FRDTCT ビットは必ず"0"の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。

#### (1) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、FENTRYR レジスタの FENTRY0 ビットを設定して、FCU を ROM P/E モードに設定する必要があります（「12.6.2 FCU コマンド受け付け条件」を参照）。ROM に対する FCU コマンドを使用したい場合には、FENTRY0 ビットを"1"に設定します。FENTRY0 ビットの書き込み条件については、「12.3.6 フラッシュ P/E モードエントリレジスタ（FENTRYR）」を参照してください。

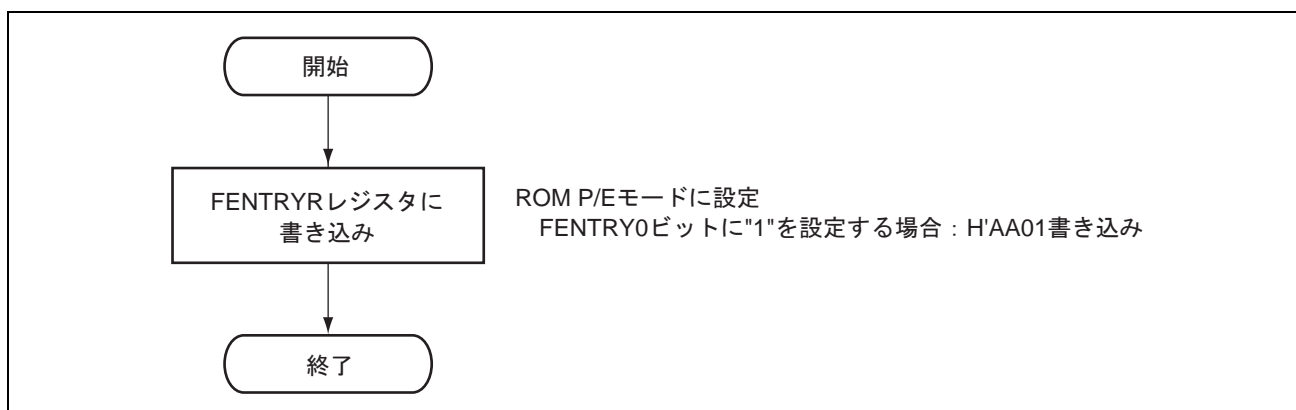


図 12.8 ROM P/E モード移行フロー

## (2) ROM リードモード移行方法

SuperHyway バス経由でROMを高速読み出しするためには、FENTRYRレジスタのFENTRY0ビットをクリアして、FCUをROMリードモードに設定する必要があります（「12.6.2 FCU コマンド受け付け条件」を参照）。ROM P/EモードからROMリードモードへの移行は、FCUのコマンド処理が完了し、かつFCUがエラー検出していない状態で実施してください。

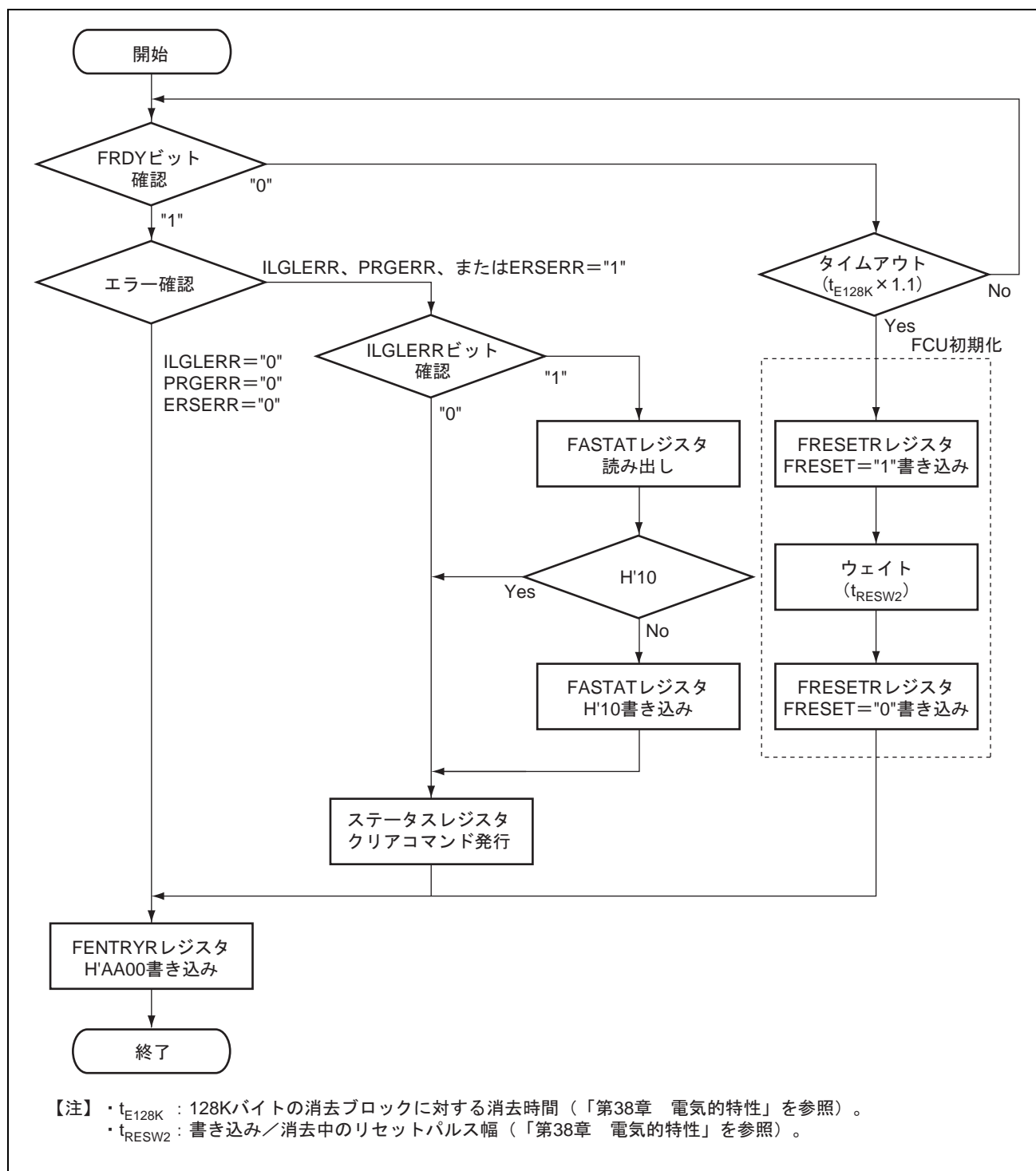


図 12.9 ROM リードモード移行フロー



### (3) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは H'80 を、ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第 3~130 サイクルでは、ワードサイズで周辺バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み/消去用のアドレスに対して 127 回のワード書き込みを実行後、第 131 サイクルで ROM 書き込み/消去用のアドレスに対して H'D0 をバイト書き込みすると FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 1~第 131 サイクルで指定可能なアドレスは、FENTRYR レジスタの FENTRY0 ビットの設定によって異なります。FENTRY0 ビットを"1"に設定した場合にはアドレス H'FD80 0000~H'FD8F FFFF を指定可能です。誤った FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「12.8.3 エラープロテクト」を参照）。

第 3~第 130 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR レジスタの FPROTCN ビットをセットしてから書き込みを行ってください。

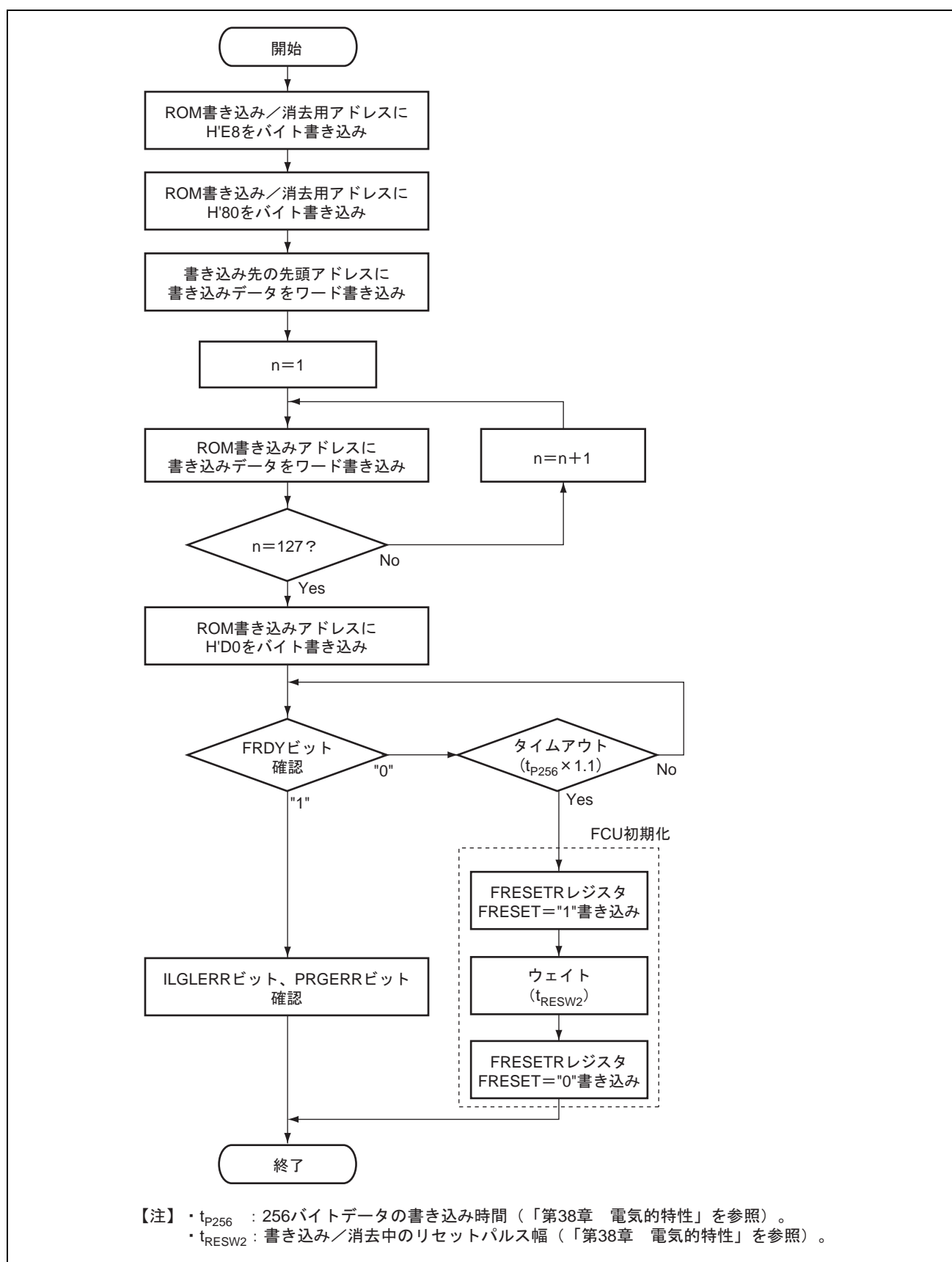


図 12.10 ROM 書き込み方法

## (4) 消去方法

ROMの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドの第1サイクルではH'20をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでH'D0を消去対象ブロック内の任意アドレスにバイト書き込みするとFCUがROMの消去処理を開始します。消去の完了は、FSTATROレジスタのFRDYビットで確認可能です。

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTRレジスタのFPROTCNビットをセットしてから消去を行ってください。

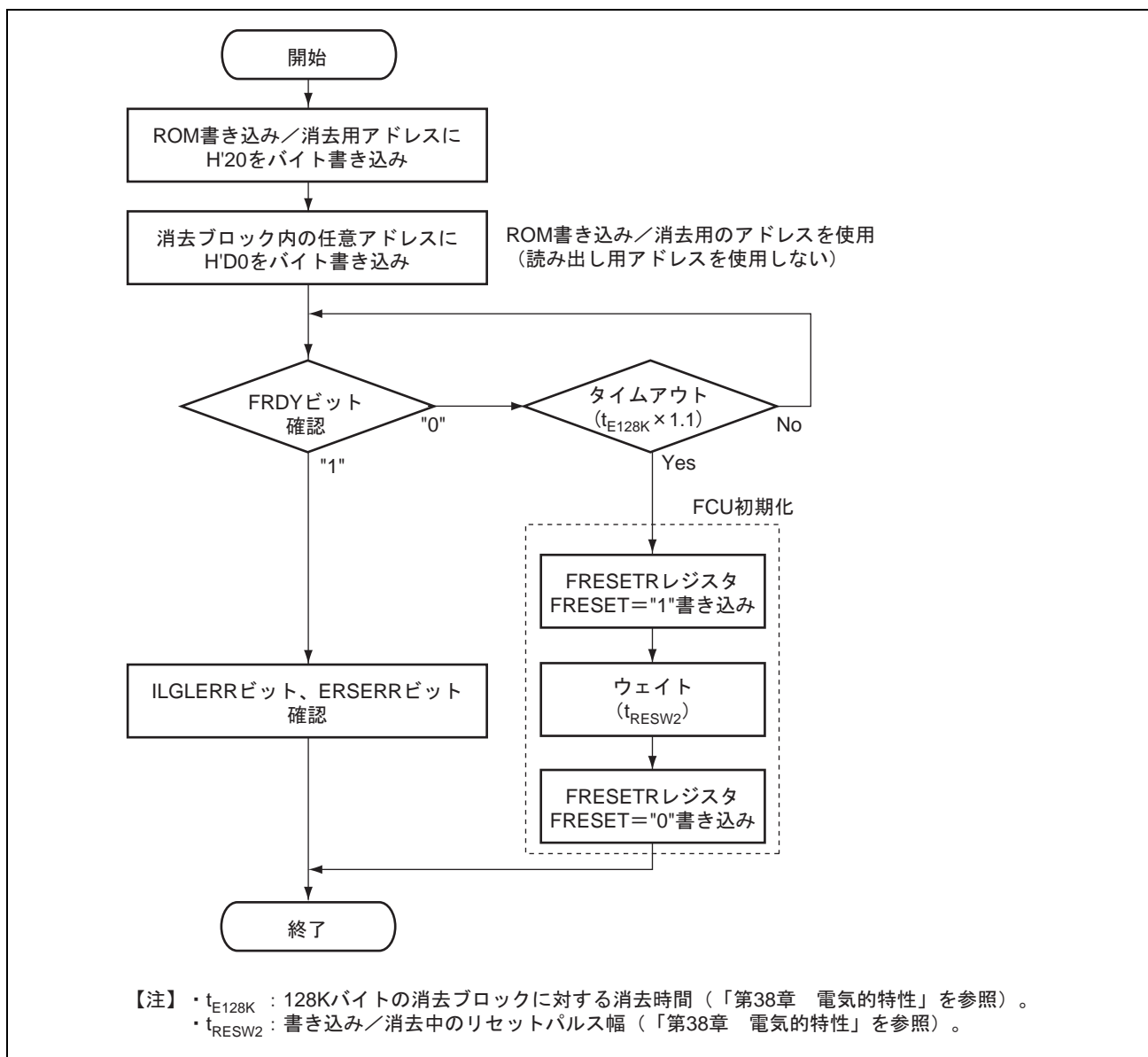


図 12.11 ROM 消去方法

## (5) ステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0 レジスタの ILGLERR、PRGERR、ERSERR ビットをクリアしたい場合には、ステータスレジスタクリアコマンドを使用します。ILGLERR、PRGER、ERSERR ビットのいずれかが"1"である場合、FCU はコマンドロック状態になりステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。

ILGLERR ビットが"1"の場合には、FASTAT レジスタの ROMAE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットはクリアされません。

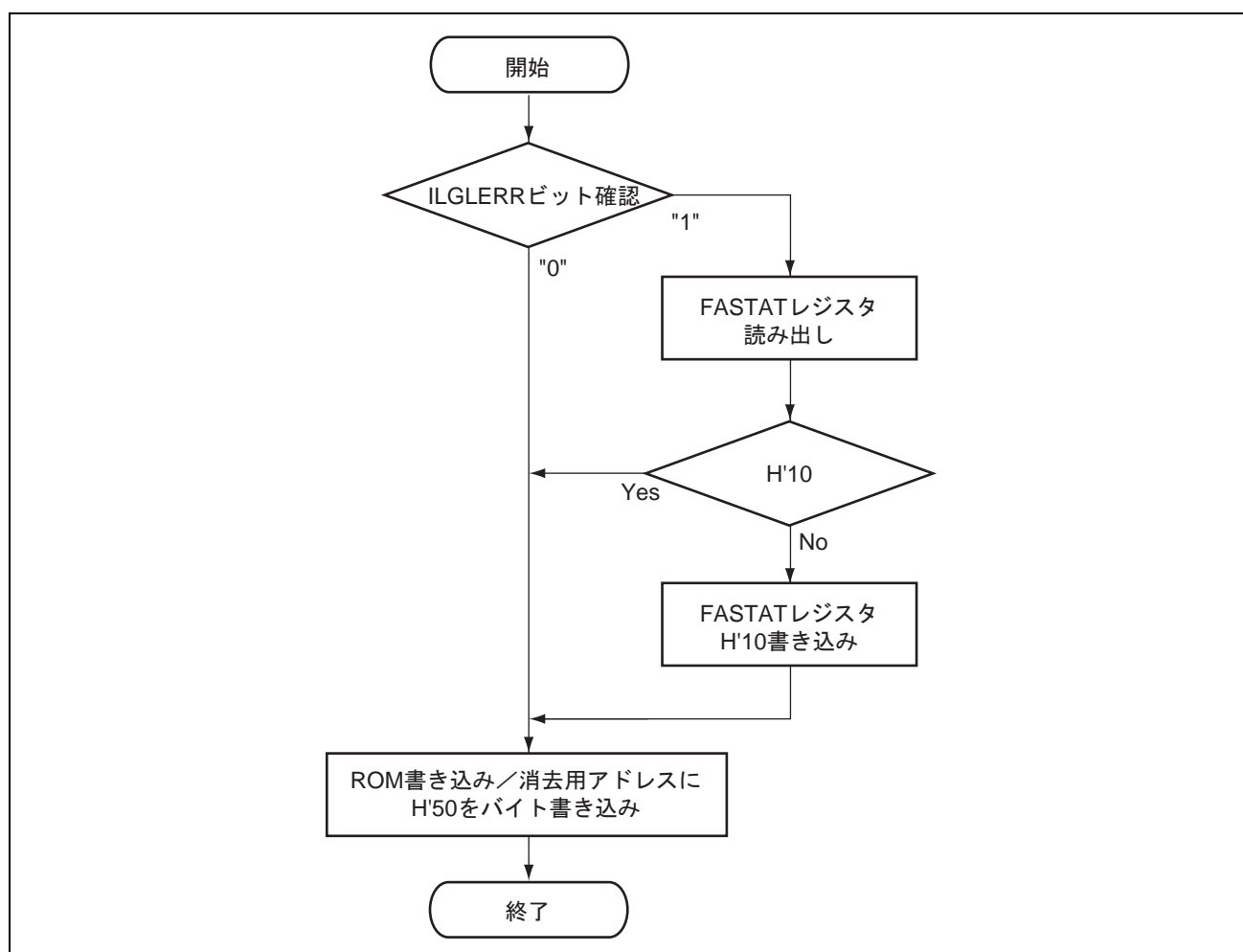


図 12.12 ステータスレジスタ 0 のクリア方法

## (6) ロックビットの読み出し

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTRレジスタのFPROTCNビットが"0"の状態では、ロックビットが"0"に設定された消去ブロックを書き込み/消去することができません。

ロックビットの確認は、ロックビットリードコマンドを発行すると、指定した消去ブロックのロックビットがFSTATR1レジスタのFLOCKSTビットに表示されます。

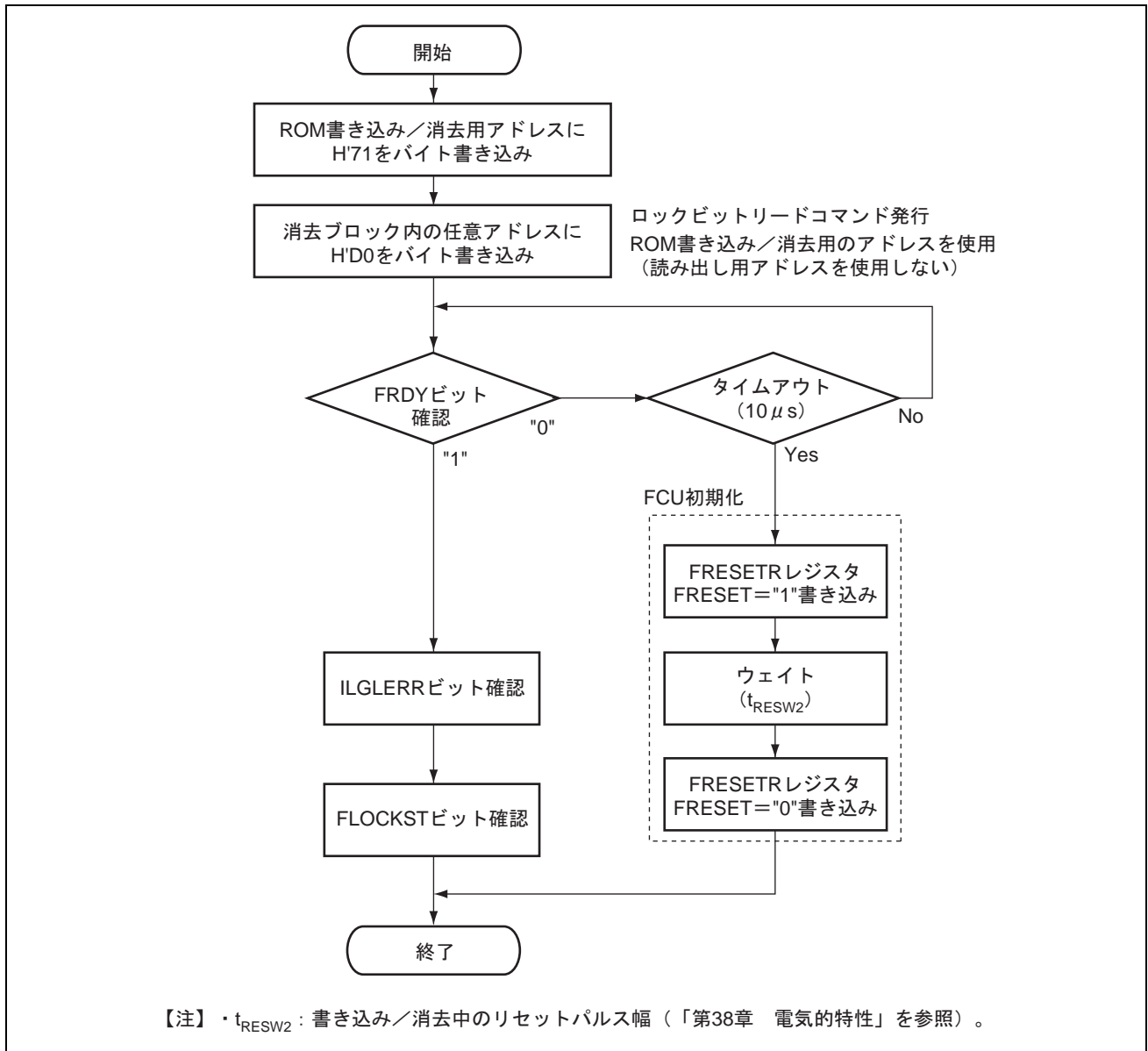


図 12.13 レジスタリードモードでロックビットを読み出す方法

## (7) ロックビットの書き込み

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合にはロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルではH'77をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してH'D0をバイト書き込みするとFCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

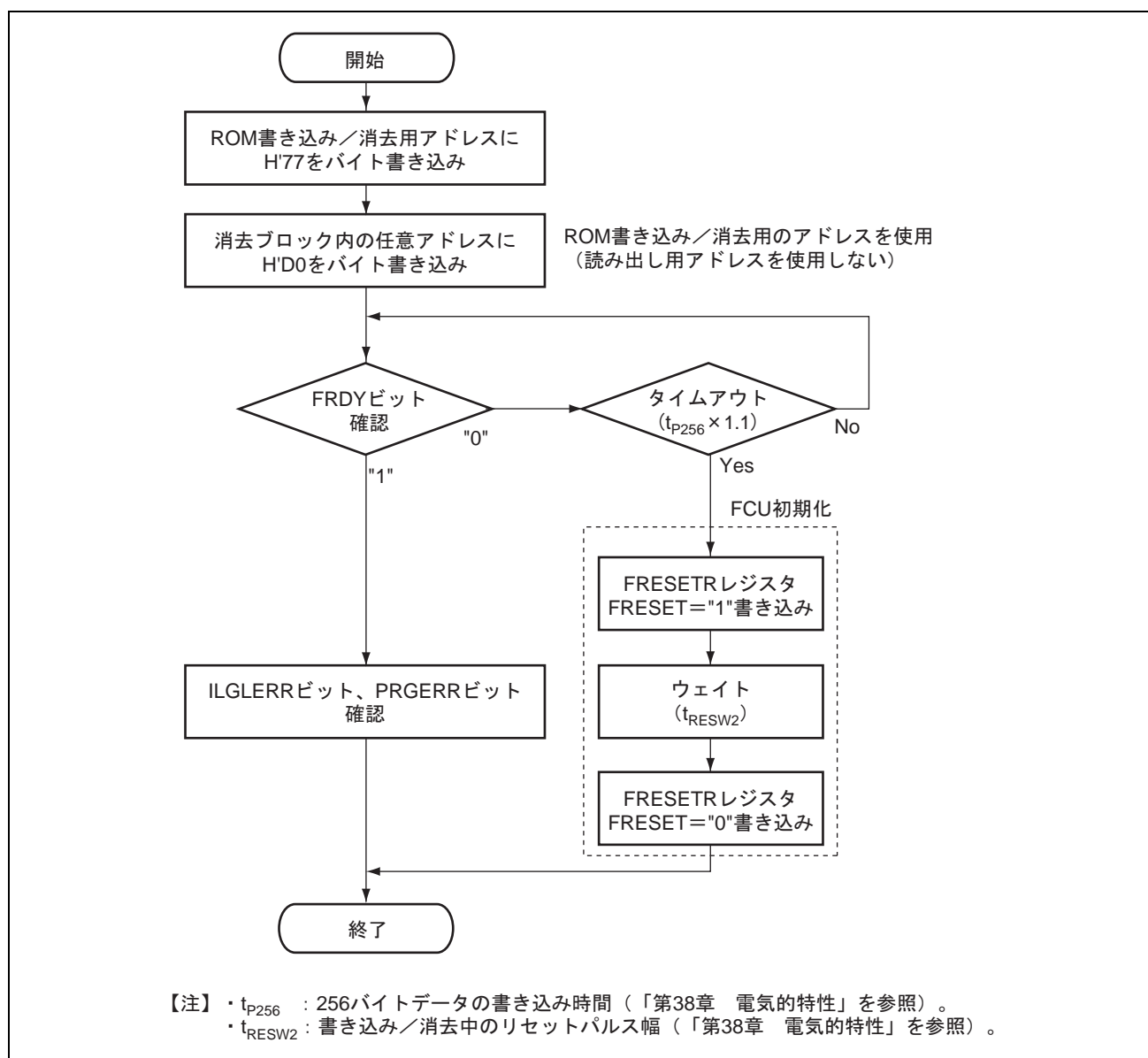


図 12.14 ロックビットのプログラム方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。FPROTRレジスタのFPROTCNビットが"0"の状態ではロックビットが"0"に設定された消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCNビットを"1"にセットした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

### 12.7 ユーザブートモード

ユーザブートモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み/消去を実行します。任意の通信インタフェースによる ROM の書き込み/消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードで起動することによって、カスタムブート環境を実現できます。なお、ユーザブートマットの書き込みは、ブートモードにて実施してください。

#### 12.7.1 ユーザマットとユーザブートマットの切り替え

ユーザブートモードではユーザブートマットから起動しますが、ユーザマットも同じアドレス領域に配置されているため、ユーザマットを書き換える際にはユーザブートマットからユーザマットに切り替える必要があります。なお、ユーザマットに切り替えている間はユーザブートマットにアクセスできなくなりますのでご注意ください。また、キャッシュ機能が有効な場合は、マット切り替え後にもキャッシュ内に切り替え以前のデータが格納されているため、同一アドレスの異なるマットをアクセスした場合にキャッシュヒットする可能性があります。これらの問題を回避するために、マット切り替え時には以下の処理を実施してください。

##### (1) 割り込み処理をすべてマスク

マット切り替え後の割り込み発生による ROM 領域へのアクセスを回避するために、すべての割り込みをマスクしてください。また、NMI 割り込みをマスクすることができないため、マット切り替え時に NMI 割り込みが発生しないようにシステムを構成してください。

##### (2) 内蔵 RAM に書き換えプログラムを転送

ユーザブート内に用意された、マットの切り替え処理、書き換えに必要なデータの取り込み手段、書き換えプログラムなどを RAM に転送してください。

##### (3) RAM ヘジャンプ

すべてのプログラムが RAM に転送された後、RAM 上のプログラムにジャンプします。

##### (4) ROMMAT レジスタの設定

マット切り替え時に ROM 領域に対する CPU の命令フェッチを発生させないよう、マット切り替え処理は内蔵 RAM 領域で実行します。

##### (5) ROMMAT レジスタのリード

ROMMAT レジスタをライトしてマットを切り替えた後に ROMMAT レジスタをダミーリードして、レジスタ値が書き換わったかを確認してください。

##### (6) キャッシュを無効化

マット切り替え後にキャッシュの全ラインを無効化してください。（「第 8 章 キャッシュ」を参照）

## 12.7.2 ユーザマットのプログラミング方法

マットを切り替えた後は、書き込みデータを任意の通信手段で順次取り込みながら、「12.6 ユーザモード/ユーザブートモード」を参考にして作成した書き換えプログラムを実行してください。

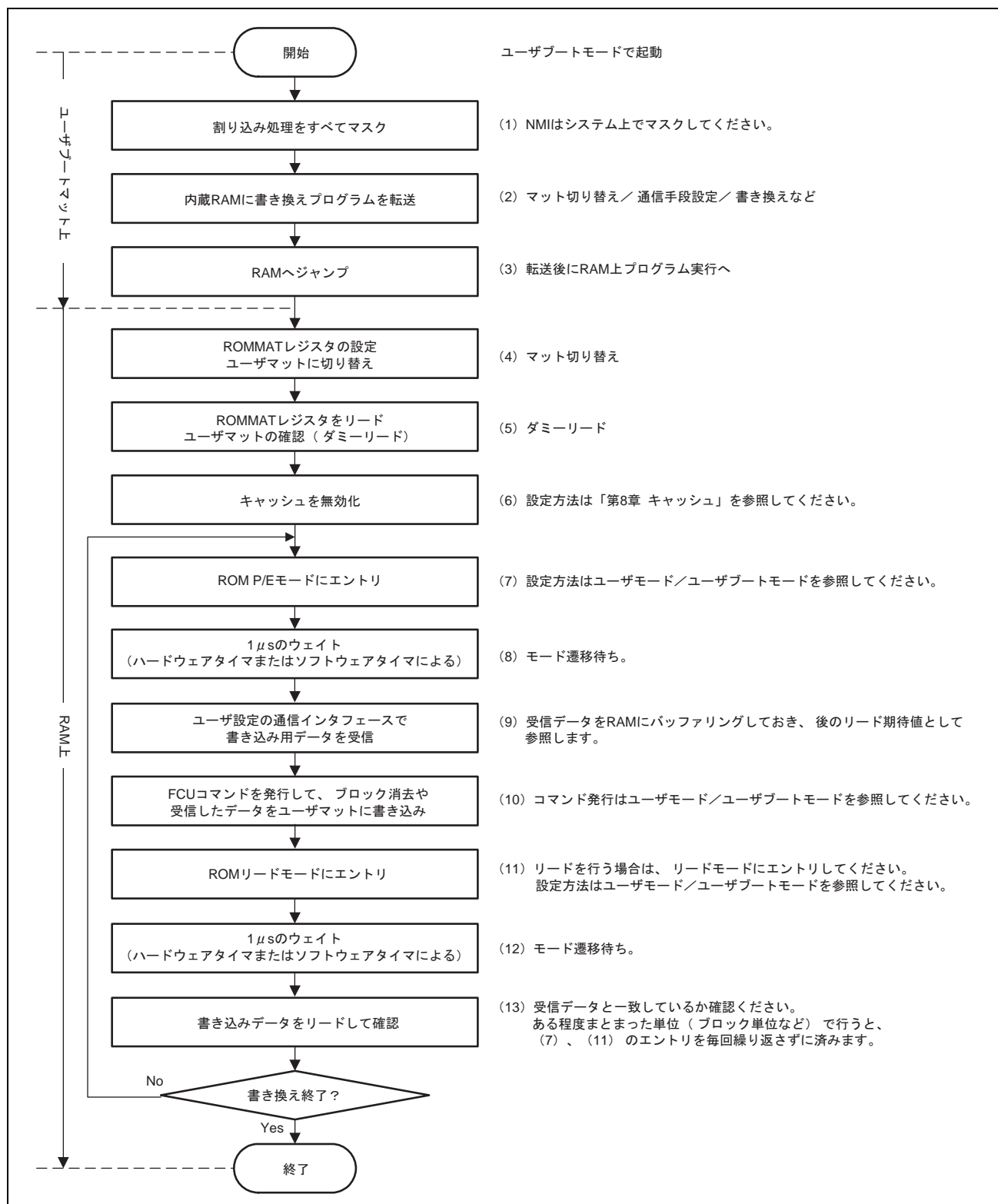


図 12.15 ユーザマットのプログラミング例



### 12.8 プロテクト

ROM に対する書き込み/消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類があります。

#### 12.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、チップ端子の設定によって ROM に対する書き込み/消去が禁止された状態です。

##### (1) FWE 端子によるプロテクト

FWE 端子に"L"レベルが入力されている状態では、FPMON レジスタの FWE ビットが"0"になります。FWE ビットが"0"の場合には、FENTRYR レジスタの FENTRY0 ビットに"1"を書き込めません。ROM P/E モードに移行できないため、ROM の書き込み/消去が禁止された状態になります。

FRDY ビットが"1"かつ FWE 端子が"L"レベルの状態では、FCU は FENTRY0 ビットをクリアして ROM の書き込み/消去を禁止します。

FWE 端子によるプロテクトに違反して、ROM に対する書き込み/消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

##### (2) モード端子によるプロテクト

本 MCU の動作モードと端子設定の関係は「**第 10 章 動作モード**」を参照してください。ユーザブートモード/ユーザモードの場合には、ユーザブートマットの書き込み/消去は禁止された状態になります。

## 12.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み/消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み/消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

### (1) FENTRYR によるプロテクト

FENTRY0 ビットが"0"の場合には、ROM EB00～EB19 ブロック (読み出し用アドレス : H'0000 0000～H'000F FFFF、書き込み/消去用アドレス : H'FD80 0000～H'FD8F FFFF) は ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM の書き込み/消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります (「12.8.3 エラープロテクト」を参照)。

### (2) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが"0"の場合には、ロックビットが"0"に設定された消去ブロックに対する書き込み/消去は禁止状態になります。ロックビットが"0"に設定された消去ブロックを書き込み/消去したい場合には、FPROTCN ビットを"1"に設定してください。ロックビットによるプロテクトに違反して、ROM に対する書き込み/消去系コマンドを発行すると、FCU は書き込み/消去エラーを検出してコマンドロック状態になります (「12.8.3 エラープロテクト」を参照)。

## 12.8.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行/禁止アクセスの発生/FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。FCU をコマンドロック状態にすることにより、ROM の書き込み/消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

表 12.7 に ROM 関連のエラープロテクト内容とエラー検出後のステータスビット値 (FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FSTATR1 レジスタの FCUERR/FRDTCT ビット、FASTST レジスタの ROMAE ビット) の関係を示します。

表 12.7 エラープロテクト一覧

分類	内 容	ILGLERR ビット	ERSERR ビット	PRGERR ビット	FCUERR ビット	FRDTCT ビット	ROMAE ビット
FENTRYR 設定エラー	FENTRYR レジスタの上位 8 ビットにキーコード (H'AA) が与えられた状態で、下位 8 ビットに H'01 および H'02 以外の値を設定	1	0	0	0	0	0
不正コマンドエラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1	0/1
消去エラー	消去処理中のエラー発生	0	1	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが"0"の場合に、ロックビットが"0"に設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	0
	FPROTR レジスタの FPROTCN ビットが"0"の場合に、ロックビットが"0"に設定された消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0	0
ROM アクセス違反	FENTRY0="1"かつ ROM P/E ノーマルモードの場合に、H'FD80 0000~H'FD8F FFFF に対するリードアクセスを発行	1	0	0	0	0	1
	FENTRY1="0"で H'FD90 0000~H'FD9F FFFF に対するアクセスを発行	1	0	0	0	0	1
	FENTRY0="0"で H'FD80 0000~H'FD8F FFFF に対するアクセスを発行	1	0	0	0	0	1
	FENTRYR レジスタが H'0000 以外の状態で、H'0000 0000 ~H'000F FFFF に対してリードアクセスを発行	1	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去系コマンド (プログラム/ロックビットプログラム/ブロックイレーズ) を発行	1	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み/消去用アドレス H'FD80 0000~H'FD80 7FFF 以外に対するアクセスを発行	1	0	0	0	0	1

## 12.9 使用上の注意事項

### 12.9.1 キーコード格納領域

ユーザマットの H'0000 00F0~H'0000 00F7 の領域には、オンチップデバッガを使用した場合のデバッグ機能認証用のキーコードを格納します。デバッガ機能を制限したい場合には、この領域にキーコードを書き込んでください。デバッガでキーコードを設定した場合には、この領域にキーコードが書き込まれていますので、サムチェックなどの実行時には注意してください。

なお、先頭バイトが「B9」で始まるキーコードは使用禁止です。

### 12.9.2 従来の F-ZTAT SH マイコンとの書き込み/消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本 MCU では動作しません。

### 12.9.3 FWE 端子の状態

FWE 端子を"L"レベルでチップを起動した後に、FWE 端子を"H"レベルにして ROM の書き込み/消去を行う場合は、書き換え中に FWE 端子の値が変化しないようにしてください。仮に書き換え中に FWE 端子の値が変化した場合、FCU はプロテクト違反を検出し、書き換え動作を強制停止した後、コマンドロック状態に遷移します。書き換えを強制的に停止させることが故障の原因となりますので、書き換え中に FWE 端子が変化しないよう、十分ご注意ください。

### 12.9.4 書き込み/消去中のリセット

書き込み/消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を  $t_{RESW2}$ （「第 38 章 電気的特性」を参照）保持してください。書き込み/消去中の ROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセット状態を保持する必要があります。FCU をリセットしている期間は ROM の読み出しを行わないでください。

書き込み/消去処理中に RESET#端子への"L"レベル入力によるハードウェアリセットを発生させた場合には、リセット期間を  $t_{RESW}$ （「第 38 章 電気的特性」を参照）保持してください。ハードウェアリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM 用電源の初期化や ROM 内部回路の初期化に必要な期間を確保する必要があるため、FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み/消去処理中には、WDT のカウンタのオーバフローによる内部リセットは発生しないようにしてください。WDT によるリセットでは、メモリ電圧の降下/ROM 用電源の初期化/ROM 内部の初期化に必要な期間を確保することができません。

### 12.9.5 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

### 12.9.6 書き換え中の電源管理

ROM の書き換え中は電源電圧の供給を安定させてください。電源電圧の供給が不安定な場合は、ROM の正常な書き換えができない可能性や、データが正常に読み出せなくなる可能性があります。また、書き換え中の電源電圧の瞬断は、本 MCU に意図しないストレスがかかり、故障の原因となります。十分注意して電源電圧を供給してください。

### 12.9.7 ROM 関連レジスタへのアクセス

通常のプログラム実行（ROM の読み出し）だけであれば、リセット解除後の ROM 関連レジスタを設定する必要はありません。ROM 関連レジスタへのアクセスは、ROM への書き込み/消去を行うときに必要となります。ROM への書き込み/消去は ROM 以外から実行する必要がありますので、ROM 関連レジスタへの書き込みは SHwyRAM または IL メモリ上に配置されたプログラムから実行してください。

## 13. スーパーハイウェイ RAM (SHwyRAM)

### 13.1 概要

スーパーハイウェイ RAM (SHwyRAM) は、SuperHyway バスと DRI/DRO 専用バスに接続しており、64K バイト単位 (0~3 ページ) の異なる領域に対しては、それぞれ独立にアクセスできます。図 13.1 に SHwyRAM のブロック図を示します。

SHwyRAM は、図 13.2 に示すとおりエリア 6 の上位 256K バイト (29 ビット物理アドレス空間の H'1800 0000 ~H'1803 FFFF) に割り付けられています。

また、キャッシング可能/アドレス変換可能 (MMU) 領域に配置されていますので、P0/U0 領域、P1 領域、P2 領域、P3 領域から SHwyRAM へのアクセスが可能です。

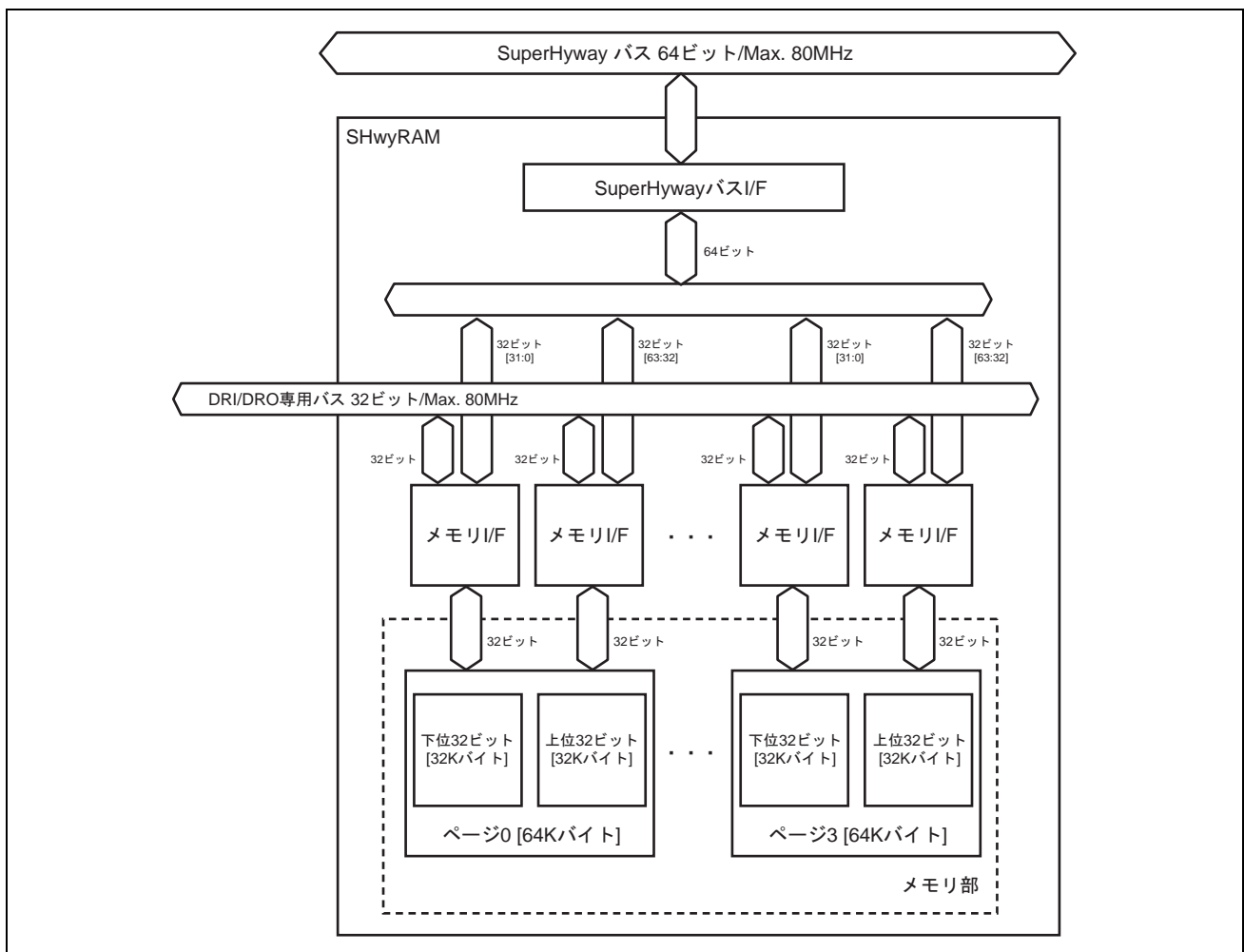


図 13.1 SHwyRAM のブロック図

### 13. スーパーハイクエイ RAM (SHwYRAM)

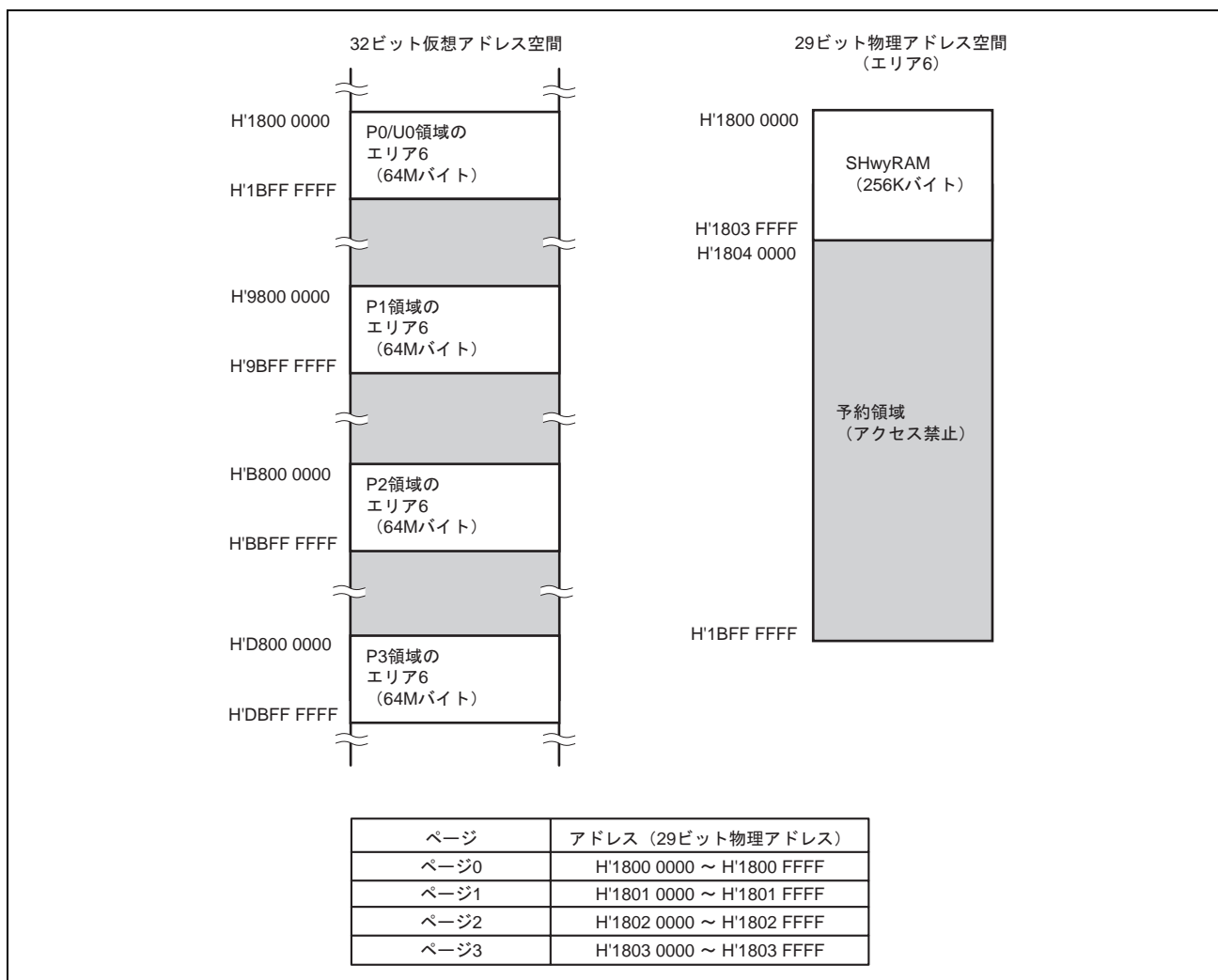


図 13.2 アドレス空間

(1) アクセス

CPU、DMAC は 8/16/32 または 64 ビットサイズで、H-UDI、AUDR は 8/16/32 ビットサイズで、DRI/DRO は 32 ビットサイズで SHwyRAM をアクセスできます。

SHwyRAM は、高速アクセスが必要なプログラムエリアまたはスタックエリアやデータアクセスとしての使用に適しています。

(2) ポート

各ページは 2 本の独立した読み出し/書き込みポートを持ち、SuperHyway バス、DRI/DRO 専用バスと接続されています。

(3) 優先順位

同じページに対して、異なるバスから同時にアクセス要求があった場合には優先順位に従ってアクセスが処理されます。優先順位は、SuperHyway バス > DRI/DRO 専用バスです。



レイアウトの都合上、このページは白紙です。

---

## 14. クロック発振器 (CPG)

---

### 14.1 概要

クロック発振器 (CPG) は、本 MCU 内部と外部デバイスにクロックパルスを供給します。本 MCU の CPG は、発振回路と PLL 通倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と外部クロックを入力する方法の 2 通りがあります。

発振回路は入力クロックと同じ周波数で発振します。

MCU の内部に供給されるクロックは、CPU クロック (Ick)、SHwy クロック (SHck)、周辺クロック (Pck)、周辺 A クロック (PAck)、FlexRay クロック (FRck) の 5 種類のクロックです。

CPU クロック (Ick) は、CPU、FPU、キャッシュなどのモジュールに供給されます。SHwy クロック (SHck) は、SHwyRAM、ROM などのモジュールに供給されます。CPU クロック (Ick) 周波数は、EXTAL 端子からの入力クロック周波数の 8 倍です。

表 14.1 に入力周波数と内部クロックの関係を示します。

表 14.1 入力周波数と内部クロックの関係

入力 周波数 (MHz)	PLL 通倍比 (入力対 CPU)	CPU クロック (MHz)	SHwy クロック (MHz)	周辺 クロック (MHz)	周辺 A クロック (MHz)	FlexRay クロック (MHz)
20	×8	160	80	40	80	80

周辺クロック (Pck) は、主に内蔵周辺モジュールに供給され、周波数は EXTAL 端子からの入力クロック周波数の 2 倍です。CLKOUT 端子から出力するシステムクロックには、周辺クロック (Pck) を出力します。周辺 A クロック (PAck) はダイレクト RAM インプットインタフェース (DRI) に供給されます。FlexRay クロック (FRck) は FlexRay に供給されます。

## 14. クロック発振器 (CPG)

図 14.1 に CPG のブロック図を示します。

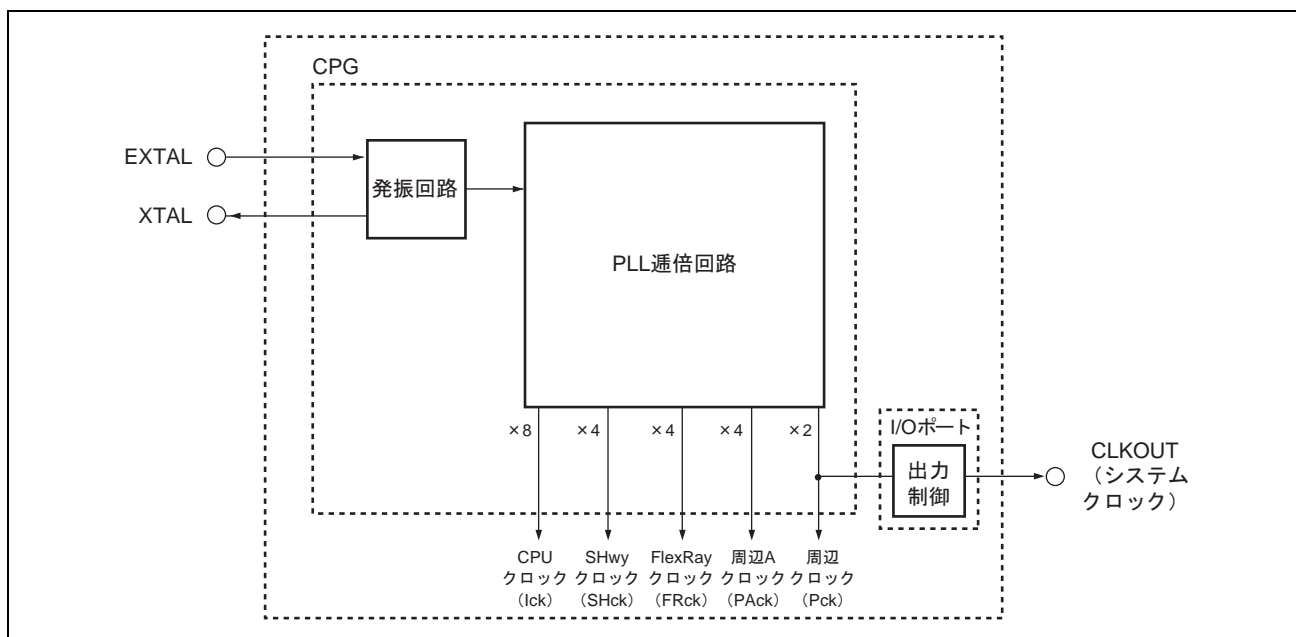


図 14.1 CPG のブロック図

## 14.2 入出力端子

表 14.2 に CPG に関連する端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 14.2 端子構成

端子名	入出力	機能
EXTAL	入力	水晶発振子または外部クロックの入力
XTAL	出力	水晶発振子を接続
CLKOUT	出力	システムクロック出力
PLLVcc	入力	PLL 逡倍回路用電源
PLLVss	入力	PLL 逡倍回路用グラウンド

## 14. クロック発振器 (CPG)

### 14.3 レジスタの説明

表 14.3 に CPG のレジスタ構成を示します。

表 14.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
発振ステータスレジスタ	OSCSR	H'00	H'FFFF 2810	8	14-4
発振コントロールレジスタ	OSCCR	H'00	H'FFFF 2814	8	14-5

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

#### 14.3.1 発振ステータスレジスタ (OSCSR)

OSCSR レジスタは、読み出し専用レジスタで、発振停止検出フラグで構成されます。

発振ステータスレジスタ (OSCSR)

<P4領域アドレス : H'FFFF 2810番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	OSC STOP

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

<リセット後の値 : H'00>

ビット	シンボル	リセット後の 値	R	W	説明
7~1	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
0	OSCSTOP	0	R	N	発振停止検出フラグ OSCSTOP ビットは読み出し専用ビットで書き込みはできません。 OSCSTOP ビットは、一度"1"にセットされた後は値を保持し続けます。ハードウェアリセットでのみ"0"にクリアできます。 0 : 発振正常動作状態 1 : 発振停止検出/内部発振回路クロック供給*1 ["0"クリア条件] • ハードウェアリセット ["1"セット条件] • INOSCE="1"で、発振回路出力が"1"または"0"にスタックしたとき

【注】 \*1 EXTAL 入力 that 停止した場合、PLL 回路の固有の周波数で発振します。

## 14.3.2 発振コントロールレジスタ (OSCCR)

OSCCR レジスタは、発振停止検出機能の有効/無効を制御するビットで構成されます。

発振コントロールレジスタ (OSCCR)

<P4領域アドレス : H'FFFF 2814番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	INOSCE
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	INOSCE	0	R	W	発振停止検出機能イネーブルビット 0 : 発振停止検出機能を無効にする 1 : 発振停止検出機能を有効にする

## 14.4 クロックソース

クロックソースとして、水晶発振器と外部クロックのどちらかを選ぶことができます。

### 14.4.1 水晶発振子の接続方法

#### (1) 回路構成

図 14.2 に水晶発振子の接続方法を示します。水晶発振器は、AT カット基本波仕様のものを使用してください。また、図 14.2 のように負荷容量 (CL1、CL2) を必ず接続してください。

水晶発振器と内部の発振器によって生成されたクロックパルスは、PLL 通倍回路で通倍されて、本 MCU の内部と外部デバイスに供給されます。

なお、水晶発振器と MCU の相性については、水晶発振器メーカーにご相談ください。

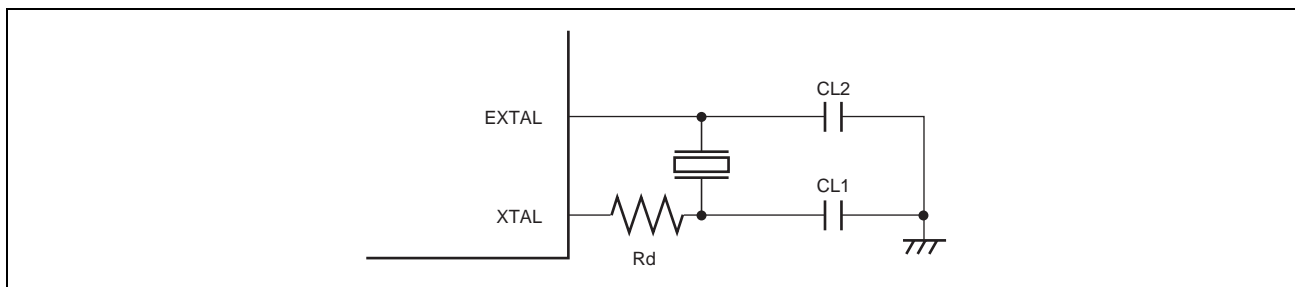


図 14.2 水晶発振子の接続例

#### (2) 水晶発振子

図 14.3 に水晶発振子の等価回路を示します。

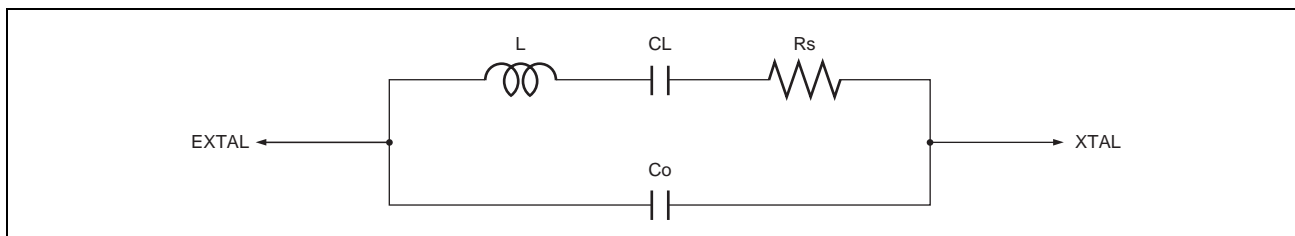


図 14.3 水晶発振子の等価回路

### 14.4.2 外部クロックの入力方法

図 14.4 に外部クロック入力の接続例を示します。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時は発振安定時間以上待つようにしてください。

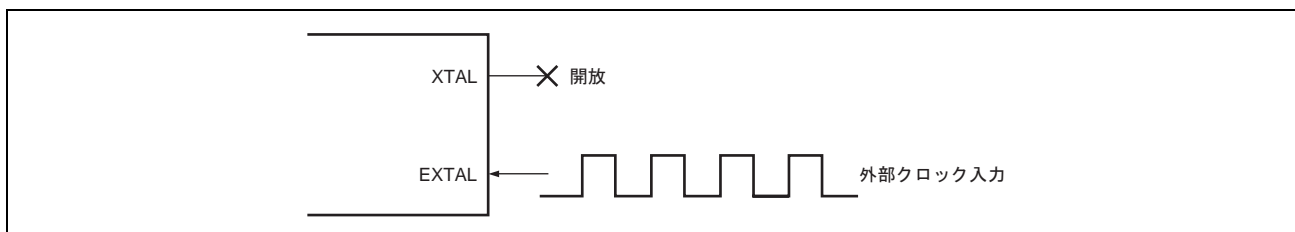


図 14.4 外部クロック入力方法

## 14.5 使用上の注意事項

### 14.5.1 ボード設計上の注意事項

水晶発振子と負荷容量は、できるだけ EXTAL 端子と XTAL 端子の近くに置いてください。ノイズの影響を受けずに正しく発振させるため、EXTAL 端子と XTAL 端子の信号線は、他の信号線と交差させないでください。

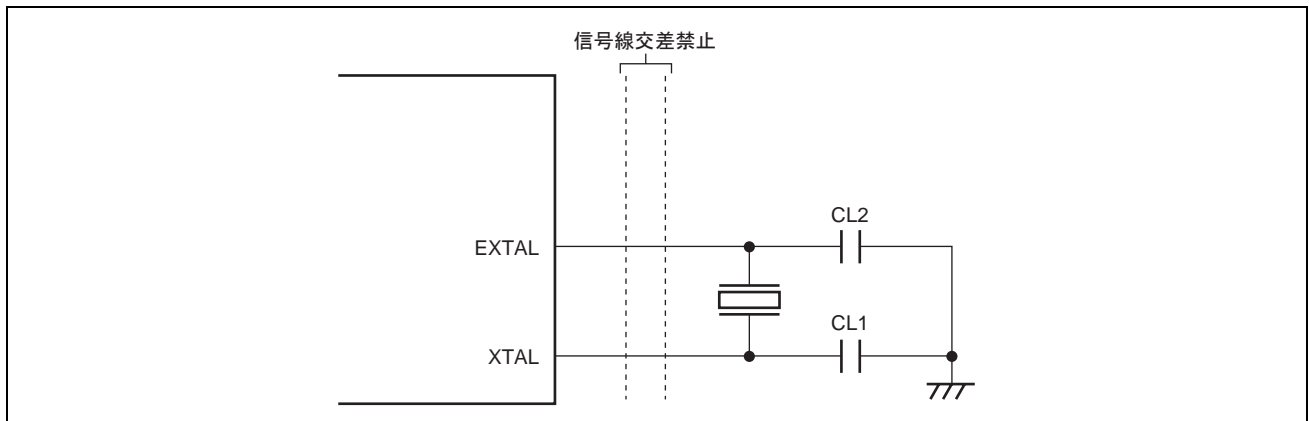


図 14.5 ボード設計上の注意事項

### 14.5.2 PLL 逡倍回路用電源接続時の注意事項

PLL<sub>VCC</sub> 端子と PLL<sub>VSS</sub> 端子は、その他の V<sub>CC</sub> 端子、V<sub>SS</sub> 端子とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C<sub>PB</sub> および C<sub>B</sub> を必ず挿入してください。

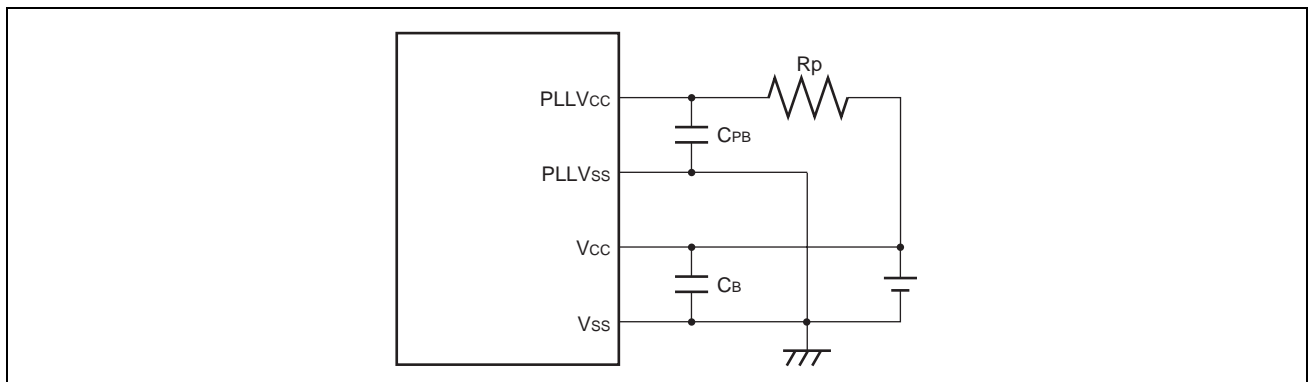


図 14.6 PLL 逡倍回路用電源接続時の注意事項



レイアウトの都合上、このページは白紙です。

---

## 15. 割り込みコントローラ (INTC)

---

### 15.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。表 15.1 に INTC の概要を示します。

表 15.1 INTC の概要

項目	概要
割り込み優先順位	<ul style="list-style-type: none"><li>• IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) : 15 レベル</li><li>• 内蔵周辺モジュール割り込み : 30 レベル</li></ul>
NMI 要求保留機能	<ul style="list-style-type: none"><li>• SR レジスタの BL ビットが"1"のとき、NMI 要求を保留するかを選択可能</li></ul>
NMI 端子入力レベルモニタ機能	<ul style="list-style-type: none"><li>• NMI 端子の状態を示す NMI レベルビットあり</li></ul> 割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用可能
NMI 検出	<ul style="list-style-type: none"><li>• 立ち上がりエッジ、立ち下がりエッジから選択可能</li></ul>
IRQn 検出	<ul style="list-style-type: none"><li>• "H"レベル、"L"レベル、立ち上がりエッジ、立ち下がりエッジから選択可能</li></ul>
IMASK 更新選択機能	<ul style="list-style-type: none"><li>• SR レジスタの IMASK ビットを受け付けた割り込みレベルに自動更新可能</li></ul>

## 15. 割り込みコントローラ (INTC)

図 15.1 に INTC のブロック図を示します。

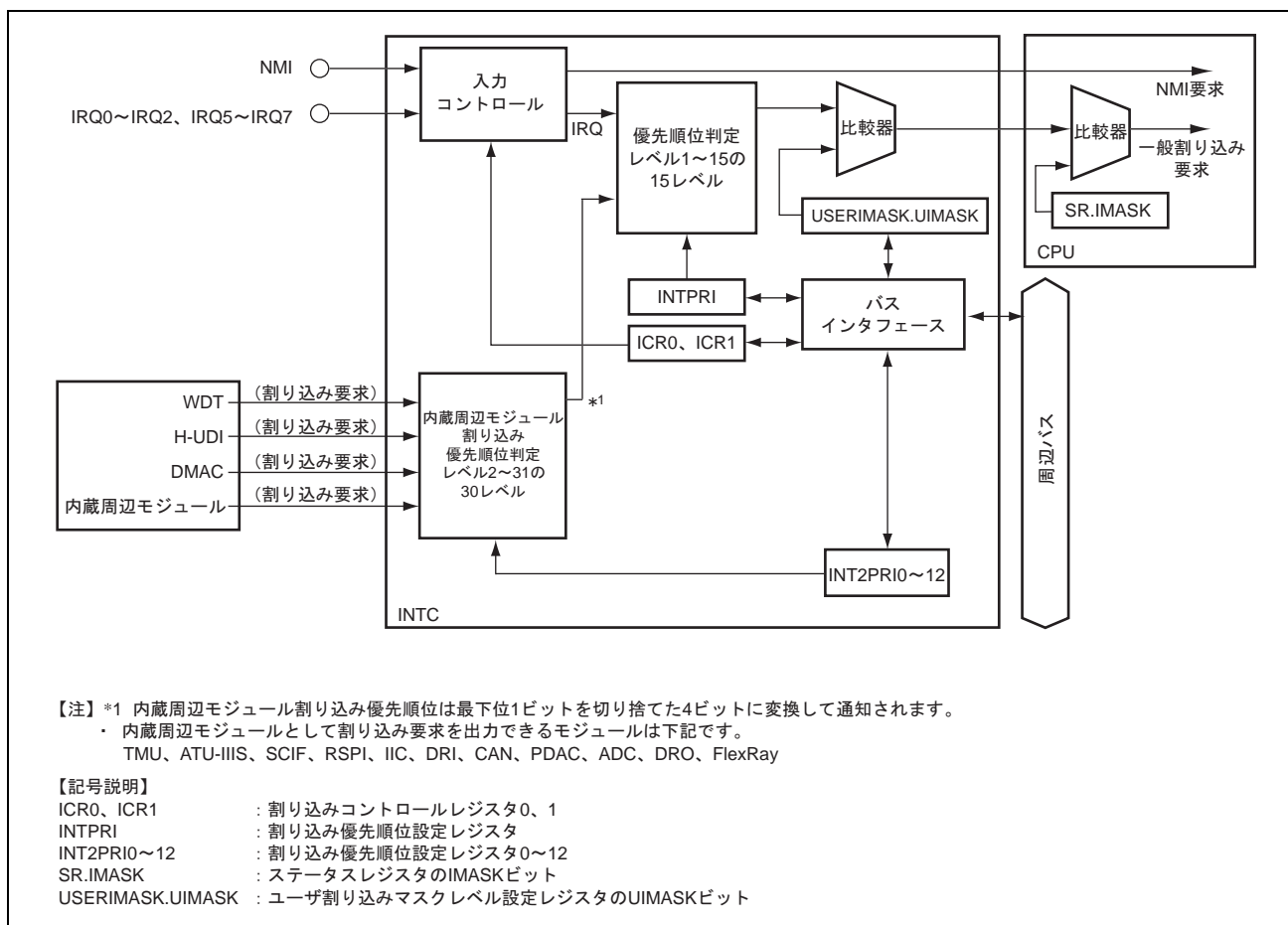


図 15.1 INTC のブロック図

### 15.1.1 INTC で想定する割り込み要求要因

INTC では、例外処理のうちノンマスカブル割り込み (NMI 割り込み) と一般割り込み (IRQ 割り込み、内蔵周辺モジュール割り込み) 要求を管理します。表 15.2 と表 15.3 に割り込み要求要因の一覧を示します。

表 15.2 割り込み要求要因 (NMI 割り込みと IRQ 割り込み)

モジュール名	ソフトウェアによる割り込み 優先順位設定可能な要因 <sup>*1</sup>	割り込み要求要因	INTEVT (例外コード)	ハードウェアによる 優先順位 <sup>*2</sup>
INTC (NMI 割り込み)	—	NMIFL	H'1C0	高 ↑ ↓ 低
INTC (IRQ 割り込み)	IRQ0	IRQ0	H'240	
	IRQ1	IRQ1	H'280	
	IRQ2	IRQ2	H'2C0	
	(予約)	(予約)	H'300	
	(予約)	(予約)	H'340	
	IRQ5	IRQ5	H'380	
	IRQ6	IRQ6	H'3C0	
	IRQ7	IRQ7	H'200	

【注】 \*1 INTPRI レジスタで 0~15 レベルの優先順位が設定できます (0 を設定した場合、割り込み禁止設定となります)。

\*2 ハードウェアによる優先順位は、「NMI 割り込み>IRQ 割り込み>内蔵周辺モジュール割り込み」となります。


表 15.3 割り込み要求要因 (内蔵周辺モジュール割り込み)

モジュール名	ソフトウェアによる割り込み 優先順位設定可能な要因 <sup>*1</sup>	割り込み要求要因 <sup>*2</sup>	INTEVT (例外コード)	ハードウェアによる 優先順位 <sup>*3</sup>
WDT	WDT	WDT	H'560	高 ↑ ↓ 低
TMU	TUNI0	TUNI0	H'580	
	TUNI1	TUNI1	H'5A0	
	TUNI2	TUNI2	H'5C0	
H-UDI	HUDI	HUDI	H'600	
DMAC	DMAC0T3	DMINT0	H'700	
		DMINT1	H'720	
		DMINT2	H'740	
		DMINT3	H'760	
		DMAE0 (DMA0~5)	H'780	
		DMAE1 (DMA6~11)	H'7A0	
	DMAC4T5	DMINT4	H'7C0	
		DMINT5	H'840	
	DMAC6T11	DMINT6	H'860	
		DMINT7	H'880	
		DMINT8	H'8A0	
DMINT9		H'8C0		
DMINT10		H'8E0		
	DMINT11	H'900		



## 15. 割り込みコントローラ (INTC)

モジュール名	ソフトウェアによる割り込み優先順位設定可能な要因*1	割り込み要求要因*2	INTEVT (例外コード)	ハードウェアによる優先順位*3
ATU-IIIS タイマ A	TA	ICIA00	H'A00	高 ↑               ↓ 低
		ICIA01	H'A20	
		ICIA02	H'A40	
		ICIA03	H'A60	
		ICIA04	H'A80	
		(予約)	H'AA0	
		OVIA0	H'AC0	
ATU-IIIS タイマ F	TF	ICIF0	H'B00	
		ICIF1	H'B20	
		ICIF2	H'B40	
		(予約)	H'B60	
		OVIF0	H'B80	
		OVIF1	H'BA0	
		OVIF2	H'BC0	
		(予約)	H'BE0	
ATU-IIIS タイマ G	CMIG0	CMIG0	H'C00	
	CMIG1	CMIG1	H'C20	
	CMIG2	CMIG2	H'C40	
	CMIG3	CMIG3	H'C60	
	CMIG4	CMIG4	H'C80	
	CMIG5	CMIG5	H'CA0	
ATU-IIIS タイマ TOU	TOU00	TOU00UDF	H'D00	
		TOU01UDF	H'D20	
		TOU02UDF	H'D40	
		TOU03UDF	H'D60	
	TOU04	TOU04UDF	H'D80	
		TOU05UDF	H'DA0	
		TOU06UDF	H'DC0	
		TOU07UDF	H'DE0	
	TOU10	TOU10UDF	H'E00	
		TOU11UDF	H'E20	
		TOU12UDF	H'E40	
		TOU13UDF	H'E60	

15. 割り込みコントローラ (INTC)

モジュール名	ソフトウェアによる割り込み 優先順位設定可能な要因*1	割り込み要求要因*2	INTEVT (例外コード)	ハードウェアによる 優先順位*3
ATU-IIIS タイマ TOU	TOU14	TOU14UDF	H'E80	高  低
		TOU15UDF	H'EA0	
		TOU16UDF	H'EC0	
		TOU17UDF	H'EE0	
	TOU20	TOU20UDF	H'F00	
		TOU21UDF	H'F20	
		TOU22UDF	H'F40	
		TOU23UDF	H'F60	
	TOU24	TOU24UDF	H'F80	
		TOU25UDF	H'FA0	
		TOU26UDF	H'FC0	
		TOU27UDF	H'FE0	
	TOU30	TOU30UDF	H'1000	
		TOU31UDF	H'1020	
		TOU32UDF	H'1040	
		TOU33UDF	H'1060	
	TOU34	TOU34UDF	H'1080	
		TOU35UDF	H'10A0	
		TOU36UDF	H'10C0	
		TOU37UDF	H'10E0	
	TOU40	TOU40UDF	H'1100	
		TOU41UDF	H'1120	
		TOU42UDF	H'1140	
		TOU43UDF	H'1160	
	TOU44	TOU44UDF	H'1180	
		TOU45UDF	H'11A0	
		TOU46UDF	H'11C0	
		TOU47UDF	H'11E0	

15. 割り込みコントローラ (INTC)

モジュール名	ソフトウェアによる割り込み 優先順位設定可能な要因*1	割り込み要求要因*2	INTEVT (例外コード)	ハードウェアによる 優先順位*3
SCIF	SCIF0	ERI0	H'1200	高   低
		RX10	H'1220	
		BRI0	H'1240	
		TX10	H'1260	
	SCIF1	ERI1	H'1280	
		RX11	H'12A0	
		BRI1	H'12C0	
		TX11	H'12E0	
	SCIF2	ERI2	H'1300	
		RX12	H'1320	
		BRI2	H'1340	
		TX12	H'1360	
	SCIF3	ERI3	H'1380	
		RX13	H'13A0	
		BRI3	H'13C0	
		TX13	H'13E0	
RSP1	RSP10	SPE10	H'1400	
		SPR10	H'1420	
		SPT10	H'1440	
	RSP11	SPE11	H'1460	
		SPR11	H'1480	
		SPT11	H'14A0	
	RSP12	SPE12	H'14C0	
		SPR12	H'14E0	
		SPT12	H'1500	
IIC3	IICI	IICI	H'1600	
DRI	DRI0	DRI0EVENT	H'1700	
		DRI0DEC	H'1720	
		DRI0TRM	H'1740	
	DRI1	DRI1EVENT	H'1760	
		DRI1DEC	H'1780	
		DRI1TRM	H'17A0	
	DRI2	DRI2EVENT	H'17C0	
		DRI2DEC	H'17E0	
		DRI2TRM	H'1800	

15. 割り込みコントローラ (INTC)

モジュール名	ソフトウェアによる割り込み 優先順位設定可能な要因*1	割り込み要求要因*2	INTEVT (例外コード)	ハードウェアによる 優先順位*3
DRO	DRO	DRO	H'1820	
FlexRay*4	FRINT	FRINT0	H'1900	
		FRINT1	H'1920	
	FRTINT	FRTINT0	H'1940	
		FRTINT1	H'1960	
CAN	CAN0	ERS0	H'1A00	
		RXF0	H'1A20	
		TXF0	H'1A40	
		RXM00	H'1A80	
		RXM10	H'1AA0	
		TXM0	H'1AC0	
	CAN1	ERS1	H'1B00	
		RXF1	H'1B20	
		TXF1	H'1B40	
		RXM01	H'1B80	
		RXM11	H'1BA0	
		TXM1	H'1BC0	
	CAN2	ERS2	H'1C00	
		RXF2	H'1C20	
		TXF2	H'1C40	
		RXM02	H'1C80	
		RXM12	H'1CA0	
		TXM2	H'1CC0	
	CAN3	ERS3	H'1D00	
		RXF3	H'1D20	
		TXF3	H'1D40	
		RXM03	H'1D80	
		RXM13	H'1DA0	
		TXM3	H'1DC0	



15. 割り込みコントローラ (INTC)

モジュール名	ソフトウェアによる割り込み優先順位設定可能な要因*1	割り込み要求要因*2	INTEVT (例外コード)	ハードウェアによる優先順位*3
ADC	ADC	AD0I	H'1E00	
		AD1I	H'1E20	
		AD0ID0	H'1E40	
		(予約)	H'1E60	
		AD0ID2	H'1E80	
		(予約)	H'1EA0	
		AD0ID4	H'1EC0	
		(予約)	H'1EE0	
		AD0ID6	H'1F00	
		(予約)	H'1F20	
		AD0ID8	H'1F40	
		AD0ID9	H'1F60	
		AD0ID10	H'1F80	
		AD0ID11	H'1FA0	
		AD0ID12	H'1FC0	
		AD0ID13	H'1FE0	
		AD0ID14	H'2000	
		AD0ID15	H'2020	
		AD1ID0	H'2040	
		AD1ID1	H'2060	
		(予約)	H'2080	
		(予約)	H'20A0	
		AD1ID4	H'20C0	
		AD1ID5	H'20E0	
(予約)	H'2100			
(予約)	H'2120			
PDAC	PDAC	PDIINT	H'2200	
ATU-IIIS タイマ A	TA	ICIA10	H'2300	
		ICIA11	H'2320	
		ICIA12	H'2340	
		(予約)	H'2360	
		ICIA14	H'2380	
		ICIA15	H'23A0	
		OVIA1	H'23C0	

【注】 \*1 INT2PRIn レジスタ (n=0~12) で内蔵周辺モジュール割り込みの 0~31 レベルの優先順位が設定できます (0、1 を設定した場合、割り込み禁止設定となります)。

- \*2 INT2Bm レジスタ (m=0~10、12) で割り込み要求要因の確認ができます。
- \*3 ハードウェアによる優先順位は、「NMI 割り込み>IRQ 割り込み>内蔵周辺モジュール割り込み」となります。  
また、ハードウェアによる優先順位は、INTEVT (例外コード) が低い方が高くなります。
- \*4 SH7456 グループは FlexRay モジュールを内蔵していません。

## 15. 割り込みコントローラ (INTC)

---

### 15.2 入出力端子

表 15.4 に INTC の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 15.4 端子構成

端子名	入出力	機能
NMI	入力	マスク不可能な割り込み要求信号入力
IRQ0~IRQ2、IRQ5~IRQ7	入力	外部割り込み要求信号の入力

## 15.3 レジスタの説明

表 15.5 に INTC のレジスタ構成を示します。

表 15.5 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
割り込みコントロールレジスタ 0	ICR0	不定	H'FFFF F000	32	15-13
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'FFFF F01C	32	15-15
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'FFFF F010	32	15-16
割り込み要因レジスタ	INTREQ	H'0000 0000	H'FFFF F024	32	15-17
割り込みマスクレジスタ	INTMSK	H'FF00 0000	H'FFFF F044	32	15-19
割り込みマスククリアレジスタ	INTMSKCLR	H'0000 0000	H'FFFF F064	32	15-20
NMI フラグコントロールレジスタ	NMIFCR	不定	H'FFFF F0C0	32	15-21
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'FFFF F300	32	15-22
割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'FFFF F400	32	15-24
割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'FFFF F404	32	15-24
割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'FFFF F408	32	15-24
割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'FFFF F40C	32	15-24
割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'FFFF F410	32	15-24
割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'FFFF F414	32	15-24
割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'FFFF F418	32	15-24
割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'FFFF F41C	32	15-24
割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	H'FFFF F4A0	32	15-24
割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	H'FFFF F4A4	32	15-24
割り込み優先順位設定レジスタ 10	INT2PRI10	H'0000 0000	H'FFFF F4A8	32	15-24
割り込み優先順位設定レジスタ 11	INT2PRI11	H'0000 0000	H'FFFF F4AC	32	15-24
割り込み優先順位設定レジスタ 12	INT2PRI12	H'0000 0000	H'FFFF F4B0	32	15-24
割り込み要因レジスタ 00 (マスク状態の影響なし)	INT2A00	H'0000 0000	H'FFFF F430	32	15-26
割り込み要因レジスタ 01 (マスク状態の影響なし)	INT2A01	H'0000 0000	H'FFFF F4C0	32	15-28
割り込み要因レジスタ 10 (マスク状態の影響あり)	INT2A10	H'0000 0000	H'FFFF F434	32	15-30
割り込み要因レジスタ 11 (マスク状態の影響あり)	INT2A11	H'0000 0000	H'FFFF F4C4	32	15-32
割り込みマスクレジスタ 0	INT2MSKR	H'FFFF FFFF	H'FFFF F438	32	15-34
割り込みマスクレジスタ 1	INT2MSKR1	H'FFFF FFFF	H'FFFF F4D0	32	15-36
割り込みマスククリアレジスタ 0	INT2MSKCR	H'0000 0000	H'FFFF F43C	32	15-38
割り込みマスククリアレジスタ 1	INT2MSKCR1	H'0000 0000	H'FFFF F4D4	32	15-40
モジュール別割り込み要因レジスタ 0	INT2B0	H'0000 0000	H'FFFF F440	32	15-42
モジュール別割り込み要因レジスタ 1	INT2B1	H'0000 0000	H'FFFF F444	32	15-43
モジュール別割り込み要因レジスタ 2	INT2B2	H'0000 0000	H'FFFF F448	32	15-44

## 15. 割り込みコントローラ (INTC)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
モジュール別割り込み要因レジスタ 3	INT2B3	H'0000 0000	H'FFFF F44C	32	15-46
モジュール別割り込み要因レジスタ 4	INT2B4	H'0000 0000	H'FFFF F450	32	15-47
モジュール別割り込み要因レジスタ 5	INT2B5	H'0000 0000	H'FFFF F454	32	15-48
モジュール別割り込み要因レジスタ 6	INT2B6	H'0000 0000	H'FFFF F458	32	15-49
モジュール別割り込み要因レジスタ 7	INT2B7	H'0000 0000	H'FFFF F45C	32	15-50
モジュール別割り込み要因レジスタ 8	INT2B8	H'0000 0000	H'FFFF F460	32	15-51
モジュール別割り込み要因レジスタ 10	INT2B10	H'0000 0000	H'FFFF F468	32	15-53
モジュール別割り込み要因レジスタ 11	INT2B11	H'0000 0000	H'FFFF F46C	32	15-54
モジュール別割り込み要因レジスタ 12	INT2B12	H'0000 0000	H'FFFF F494	32	15-55

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 15.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 レジスタは、NMI 端子の入力信号検出モードを設定し、NMI 端子に入力されている信号のレベルを示します。

割り込みコントロールレジスタ0 (ICR0)

&lt;P4領域アドレス: H'FFFF F000番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	—	—	—	—	—	—	—	—
リセット後の値:	不定	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値: 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	NMIL	不定	R	—	NMI 入力レベルビット NMI 端子に入力されている信号のレベルが設定されます。 NMIL ビットを読み出すことによって、NMI 端子のレベルを知ることができます。 0 : NMI 端子に"L"レベルが入力されている 1 : NMI 端子に"H"レベルが入力されている
30	MAI	0	R	W	NMI 割り込みマスクビット CPU が SR/BL ビットにかかわらず、NMI 端子の入力レベルが"L"レベルの期間すべての割り込みをマスクするかどうかを指定します。 詳細は表 15.6 を参照してください。 0 : NMI が"L"レベルでも、割り込み許可 1 : NMI が"L"レベルの期間、割り込み禁止
29~26	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25	NMIB	0	R	W	NMI ブロックモードビット CPU が SR/BL ビットが"1"のときに NMI 割り込みを BL ビットが"0"になるまで保留するか、即時に検出するか選択します。 0 : BL="1"のとき NMI 割り込みを保留する 1 : BL="1"のとき NMI 割り込みを保留しない 【注】・BL="1"のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。

## 15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明
24	NMIE	0	R	W	NMI エッジセレクトビット NMI 端子に入力した割り込み要求信号の検出方法を、立ち下がりエッジ、立ち上がりエッジ検出から選択できます。本ビットを書き換えた場合、書き換えてから最大 6Pck 期間、NMI 割り込みを検出しません。 0 : 割り込み要求を NMI 入力の立ち下がりエッジで検出 1 : 割り込み要求を NMI 入力の立ち上がりエッジで検出
23	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
22~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

表 15.6 BL ビットと MAI ビットの関係

SR.BL ビット	ICR0.MAI ビット	NMI 端子レベル	割り込み許可/禁止
"0"	"0"	"L"	許可
		"H"	許可
	"1"	"L"	禁止
		"H"	許可
"1"	"0"	"L"	禁止
		"H"	禁止
	"1"	"L"	禁止
		"H"	禁止

## 15.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 レジスタは、IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) 端子に入力した信号の検出方法を設定します。

割り込みコントロールレジスタ1 (ICR1)

&lt;P4領域アドレス : H'FFFF F01C番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		—	—	—	—	IRQ5S		IRQ6S		IRQ7S	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	IRQ0S	すべて0	R	W	IRQn センスセレクトビット IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) 端子に入力した割り込み要求信号の検出方法を、立ち下がりエッジ、立ち上がりエッジ、"L"レベル、"H"レベル検出から選択できます。IRQ0S ビットは IRQ0 端子、IRQ7S ビットは IRQ7 端子に対応しています。 00 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10 : 割り込み要求を IRQn 入力の"L"レベルで検出 11 : 割り込み要求を IRQn 入力の"H"レベルで検出
29、28	IRQ1S	すべて0	R	W	
27、26	IRQ2S	すべて0	R	W	
25~22	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
21、20	IRQ5S	すべて0	R	W	IRQn センスセレクトビット IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) 端子に入力した割り込み要求信号の検出方法を、立ち下がりエッジ、立ち上がりエッジ、"L"レベル、"H"レベル検出から選択できます。IRQ0S ビットは IRQ0 端子、IRQ7S ビットは IRQ7 端子に対応しています。 00 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10 : 割り込み要求を IRQn 入力の"L"レベルで検出 11 : 割り込み要求を IRQn 入力の"H"レベルで検出
19、18	IRQ6S	すべて0	R	W	
17、16	IRQ7S	すべて0	R	W	
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0~2、5~7



## 15. 割り込みコントローラ (INTC)

### 15.3.3 割り込み優先順位設定レジスタ (INTPRI)

INTPRI レジスタは、IRQ 割り込み (IRQ0~IRQ2、IRQ5~IRQ7) の優先順位 (レベル 15~0) を設定します。

割り込み優先順位設定レジスタ (INTPRI)

<P4領域アドレス: H'FFFF F010番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0				IRQ1				IRQ2				—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	IRQ5				IRQ6				IRQ7			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~28	IRQ0	すべて0	R	W	IRQn 割り込み優先レベルビット IRQn に対応する各ビットに H'F~H'1 (レベル 15~1) の値を設定して割り込み優先順位を定めてください。値が大きいほど優先順位が高くなります。また、H'0 (レベル 0) を設定した場合は割り込みがマスクされます。
27~24	IRQ1	すべて0	R	W	
23~20	IRQ2	すべて0	R	W	
19~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11~8	IRQ5	すべて0	R	W	IRQn 割り込み優先レベルビット IRQn に対応する各ビットに H'F~H'1 (レベル 15~1) の値を設定して割り込み優先順位を定めてください。値が大きいほど優先順位が高くなります。また、H'0 (レベル 0) を設定した場合は割り込みがマスクされます。
7~4	IRQ6	すべて0	R	W	
3~0	IRQ7	すべて0	R	W	

【記号説明】 n=0~2、5~7

## 15.3.4 割り込み要因レジスタ (INTREQ)

INTREQ レジスタは、INTC に IRQ0~IRQ2、IRQ5~IRQ7 のうち、どの IRQ 割り込みが要求されているかを示します。INTPRI レジスタ、INTMSK レジスタによって割り込みがマスクされても本レジスタのビットは影響を受けません。

割り込み要因レジスタ (INTREQ)

&lt;P4領域アドレス : H'FFFF F024番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0	IRQ1	IRQ2	—	—	IRQ5	IRQ6	IRQ7	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	IRQ0	0	R	*1	IRQn 割り込み要因ビット IRQn に対応する端子に割り込み要求が入力されているかを示します。 • エッジ検出時 (ICR1.IRQnS="00"または"01") • レベル検出時 (ICR1.IRQnS="10"または"11") 本ビットへの書き込みは無効です。本ビットのクリア方法は、「15.7.2 レベル検出設定時の IRQ 割り込み要求のクリア方法」を参照してください。 0 : 割り込み要求を検出していない 1 : 割り込み要求を検出した
30	IRQ1	0	R	*1	
29	IRQ2	0	R	*1	
28、27	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明
26	IRQ5	0	R	*1	IRQn 割り込み要因ビット
25	IRQ6	0	R	*1	IRQn に対応する端子に割り込み要求が入力されているかを示します。
24	IRQ7	0	R	*1	<ul style="list-style-type: none"> <li>エッジ検出時 (ICR1.IRQnS="00"または"01")</li> <li>レベル検出時 (ICR1.IRQnS="10"または"11")</li> </ul> 本ビットへの書き込みは無効です。本ビットのクリア方法は、「15.7.2 レベル検出設定時の IRQ 割り込み要求のクリア方法」を参照してください。 0 : 割り込み要求を検出していない 1 : 割り込み要求を検出した
23~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【注】 \*1 エッジ検出時、フラグビットをクリアするためには、レジスタを読み出し、"1"が読み出せたフラグビットにのみ"0"を書き込んでください。"0"が読み出せたフラグビットには"1"を書き込んでください。フラグビットをクリアしないときには、常に"1"を書き込んでください。

【記号説明】 n=0~2、5~7

## 15.3.5 割り込みマスクレジスタ (INTMSK)

INTMSK レジスタは、IRQ0~IRQ2、IRQ5~IRQ7 割り込み要求ごとに割り込みマスクを設定します。割り込みマスクを解除するには、INTMSKCLR レジスタの対応するビットに"1"を書き込みます。本レジスタの各ビットに"0"を書き込んでも値は変化しません。

割り込みマスクレジスタ (INTMSK)

&lt;P4領域アドレス : H'FFFF F044番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0	IRQ1	IRQ2	—	—	IRQ5	IRQ6	IRQ7	—	—	—	—	—	—	—	—
リセット後の値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'FF00 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	IRQ0	1	R	W	IRQn 割り込み要求マスク設定ビット IRQn に対応する割り込み要求ごとに割り込みマスクを設定します。 このビットへの"0"書き込みは無効です。 本ビットのクリア方法は、「15.3.6 割り込みマスククリアレジスタ (INTMSKCLR)」を参照してください。 0 : マスク設定なし 1 : マスク設定あり
30	IRQ1	1	R	W	
29	IRQ2	1	R	W	
28、27	—	すべて 1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
26	IRQ5	1	R	W	IRQn 割り込み要求マスク設定ビット IRQn に対応する割り込み要求ごとに割り込みマスクを設定します。 このビットへの"0"書き込みは無効です。 本ビットのクリア方法は、「15.3.6 割り込みマスククリアレジスタ (INTMSKCLR)」を参照してください。 0 : マスク設定なし 1 : マスク設定あり
25	IRQ6	1	R	W	
24	IRQ7	1	R	W	
23~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0~2、5~7

## 15. 割り込みコントローラ (INTC)

### 15.3.6 割り込みマスククリアレジスタ (INTMSKCLR)

INTMSKCLR レジスタは、INTMSK レジスタで設定された IRQ0~IRQ2、IRQ5~IRQ7 割り込み要求のマスクをクリアできます。本レジスタの該当ビットに"1"を設定すると、そのビットに対応する割り込み要因のマスクがクリアされます。読み出した値は不定です。

割り込みマスククリアレジスタ (INTMSKCLR)

<P4領域アドレス : H'FFFF F064番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0	IRQ1	IRQ2	—	—	IRQ5	IRQ6	IRQ7	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31	IRQ0	0	?	W	IRQn 割り込み要求マスククリアビット IRQn に対応する各ビットの割り込み要求マスク設定をクリアするかどうかを設定します。本ビットの読み出し値は不定です。 本ビットへの"0"書き込みは無効です。 0 : マスク設定をクリアしない 1 : マスク設定をクリアする
30	IRQ1	0	?	W	
29	IRQ2	0	?	W	
28、27	—	すべて0	?	0	予約ビット 読み出すと不定値が読み出されます。書き込む値は常に"0"にしてください。
26	IRQ5	0	?	W	IRQn 割り込み要求マスククリアビット IRQn に対応する各ビットの割り込み要求マスク設定をクリアするかどうかを設定します。本ビットの読み出し値は不定です。 本ビットへの"0"書き込みは無効です。 0 : マスク設定をクリアしない 1 : マスク設定をクリアする
25	IRQ6	0	?	W	
24	IRQ7	0	?	W	
23~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0~2、5~7

## 15.3.7 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR レジスタは、INTC が NMI を検出したかどうかを示します。NMIFL ビットは、INTC により NMI が検出されると自動的に"1"にセットされます。NMIFL ビットは"0"を書き込むことでクリアされます。

NMIFL ビットの値は CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに"0"を書き込んだ場合でも、NMI 要求は取り消されません。

NMIフラグコントロールレジスタ (NMIFCR)

&lt;P4領域アドレス : H'FFFF F0C0番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
リセット後の値:	不定	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	NMIL	不定	R	—	NMI 入力レベルビット NMI 端子への入力レベルを示します。 0 : NMI 端子に"L"レベルが入力されている 1 : NMI 端子に"H"レベルが入力されている
30~17	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
16	NMIFL	0	R	W	NMI フラグ (NMI 割り込み要求信号検出) ビット INTC が NMI を検出したかどうかを示します。本ビットをクリアする場合、"0"を書き込んでください。本ビットへの"1"書き込みは無効です。 0 : NMI が検出されていない 1 : NMI が検出された
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 15. 割り込みコントローラ (INTC)

### 15.3.8 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK レジスタは、割り込みレベルを設定します。UIMASK ビットの設定値以下の割り込みレベルに設定された割り込みはマスクされます。"H'F"を設定すると NMI 割り込み以外の全割り込みがマスクされます。

CPU は、UIMASK ビットの設定値と SR レジスタの IMASK ビットの設定値より高い割り込みレベルに設定された割り込みのみ受け付けます。

また、割り込みが CPU に受け付けられても UIMASK ビットの値は変化しません。

本レジスタは、ハードウェアリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤書き込みを防止するため、本レジスタへの書き込みは、USERIMASKKEY ビット 31~24 が "H'A5" のときのみ有効です。

ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

<P4領域アドレス : H'FFFF F300番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	USERIMASKKEY								—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK			—	—	—	—	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	USERIMASK KEY	すべて 0	0	W	USERIMASK レジスタライトキーコードビット UIMASK ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'A5 : UIMASK ビットの書き換え許可 H'A5 以外 : UIMASK ビットの書き換え禁止
23~8	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7~4	UIMASK	すべて 0	R	W	ユーザ割り込みマスクレベルビット UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

**(1) ユーザ割り込みマスクレベル設定レジスタの使用手順**

ユーザモードで本レジスタをアクセスする場合は、MMUによるアドレス変換によりアクセスします。マルチタスクOSの場合、USERIMASKレジスタにアクセスできるプロセスはMMUの記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ずUIMASKビットを"H'0"にクリアしてください。誤ってUIMASKビットに"H'0"以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OSのタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のA.とB.に分類し、B.よりA.の割り込みレベルを高く設定します。
  - A. デバイスドライバ中で割り込み受け付けされるべき割り込み  
(OSで使用する割り込み；タイマ割り込みなど)
  - B. デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみUSERIMASKレジスタが存在するアドレス空間へのアクセスを許可するようにMMUを設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で、B.の割り込みがマスクされるようにUIMASKビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASKビットを"H'0"にクリアし、デバイスドライバの処理から復帰します。



## 15. 割り込みコントローラ (INTC)

### 15.3.9 割り込み優先順位設定レジスタ 0~12 (INT2PRI0~INT2PRI12)

INT2PRI0~INT2PRI12 レジスタは、内蔵周辺モジュール割り込みの優先順位 (レベル 31~0) を設定します。設定する値が大きいほど優先順位が高くなります。個々の割り込み要因を 5 ビットで 32 通り、30 レベル (設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です) の優先レベルに割り付けることができます。

割り込み優先順位設定レジスタ0 (INT2PRI0)	<P4領域アドレス : H'FFFF F400番地>
割り込み優先順位設定レジスタ1 (INT2PRI1)	<P4領域アドレス : H'FFFF F404番地>
割り込み優先順位設定レジスタ2 (INT2PRI2)	<P4領域アドレス : H'FFFF F408番地>
割り込み優先順位設定レジスタ3 (INT2PRI3)	<P4領域アドレス : H'FFFF F40C番地>
割り込み優先順位設定レジスタ4 (INT2PRI4)	<P4領域アドレス : H'FFFF F410番地>
割り込み優先順位設定レジスタ5 (INT2PRI5)	<P4領域アドレス : H'FFFF F414番地>
割り込み優先順位設定レジスタ6 (INT2PRI6)	<P4領域アドレス : H'FFFF F418番地>
割り込み優先順位設定レジスタ7 (INT2PRI7)	<P4領域アドレス : H'FFFF F41C番地>
割り込み優先順位設定レジスタ8 (INT2PRI8)	<P4領域アドレス : H'FFFF F4A0番地>
割り込み優先順位設定レジスタ9 (INT2PRI9)	<P4領域アドレス : H'FFFF F4A4番地>
割り込み優先順位設定レジスタ10 (INT2PRI10)	<P4領域アドレス : H'FFFF F4A8番地>
割り込み優先順位設定レジスタ11 (INT2PRI11)	<P4領域アドレス : H'FFFF F4AC番地>
割り込み優先順位設定レジスタ12 (INT2PRI12)	<P4領域アドレス : H'FFFF F4B0番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	表 15.7 参照				—	—	—	表 15.7 参照					
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	表 15.7 参照				—	—	—	表 15.7 参照					
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~24	表 15.7 参照	すべて 0	R	W	内蔵周辺モジュール割り込みの割り込み要求元のモジュールが割り当てられています。各レジスタと割り込み要求元の対応は表 15.7 を参照してください。
23~21	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
20~16	表 15.7 参照	すべて 0	R	W	内蔵周辺モジュール割り込みの割り込み要求元のモジュールが割り当てられています。各レジスタと割り込み要求元の対応は表 15.7 を参照してください。
15~13	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12~8	表 15.7 参照	すべて 0	R	W	内蔵周辺モジュール割り込みの割り込み要求元のモジュールが割り当てられています。各レジスタと割り込み要求元の対応は表 15.7 を参照してください。
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4~0	表 15.7 参照	すべて 0	R	W	内蔵周辺モジュール割り込みの割り込み要求元のモジュールが割り当てられています。各レジスタと割り込み要求元の対応は表 15.7 を参照してください。

表 15.7 に割り込み要求元と INT2PRI0~INT2PRI12 レジスタの各ビットの対応を示します。

表 15.7 割り込み要求元と INT2PRI0~INT2PRI12 レジスタ

レジスタ	ビット			
	28~24	20~16	12~8	4~0
INT2PRI0	TUNI0 (TMU)	TUNI1 (TMU)	TUNI2 (TMU)	予約
INT2PRI1	WDT (WDT)	DMAC0T3 (DMAC)	DMAC4T5 (DMAC)	DMAC6T11 (DMAC)
INT2PRI2	SCIF0 (SCIF)	SCIF1 (SCIF)	SCIF2 (SCIF)	SCIF3 (SCIF)
INT2PRI3	RSPI0 (RSPI)	RSPI1 (RSPI)	RSPI2 (RSPI)	HUDI (H-UDI)
INT2PRI4	DRI0 (DRI)	DRI1 (DRI)	DRI2 (DRI)	DRO (DRO)
INT2PRI5	IIC1 (IIC3)	ADC (ADC)	TA (ATU-IIIS タイマ A)	TF (ATU-IIIS タイマ F)
INT2PRI6	CMIG0 (ATU-IIIS タイマ G)	CMIG1 (ATU-IIIS タイマ G)	CMIG2 (ATU-IIIS タイマ G)	CMIG3 (ATU-IIIS タイマ G)
INT2PRI7	CMIG4 (ATU-IIIS タイマ G)	CMIG5 (ATU-IIIS タイマ G)	TOU00 (ATU-IIIS タイマ TOU)	TOU04 (ATU-IIIS タイマ TOU)
INT2PRI8	TOU10 (ATU-IIIS タイマ TOU)	TOU14 (ATU-IIIS タイマ TOU)	TOU20 (ATU-IIIS タイマ TOU)	TOU24 (ATU-IIIS タイマ TOU)
INT2PRI9	TOU30 (ATU-IIIS タイマ TOU)	TOU34 (ATU-IIIS タイマ TOU)	TOU40 (ATU-IIIS タイマ TOU)	TOU44 (ATU-IIIS タイマ TOU)
INT2PRI10	CAN0 (CAN)	CAN1 (CAN)	CAN2 (CAN)	CAN3 (CAN)
INT2PRI11	予約	予約	FRINT* <sup>1</sup> (FlexRay)	FRTINT* <sup>1</sup> (FlexRay)
INT2PRI12	PDAC (PDAC)	予約	予約	予約

【注】 \*1 SH7456 グループの場合、予約ビットとなります。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 15. 割り込みコントローラ (INTC)

### 15.3.10 割り込み要因レジスタ 00 (INT2A00) (マスク状態の影響なし)

INT2A00 レジスタは、周辺モジュールからの割り込み要因を表示します。INT2MSKR レジスタに割り込みマスクが設定されている場合でも、本レジスタは、INT2MSKR レジスタの状態の影響を受けずに該当ビットの要因表示を行います。INT2MSKR レジスタの状態に応じて要因を非表示としたい場合は、INT2A10 レジスタを使用してください。該当ビットの割り込み要因のクリアは、該当内蔵周辺モジュール側で行ってください。また、CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。

割り込み要因レジスタ00 (INT2A00) (マスク状態の影響なし)

<P4領域アドレス : H'FFFF F430番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMIG5	CMIG4	CMIG3	CMIG2	CMIG1	CMIG0	TF	TA	ADC	IICI	DRO	DRI2	DRI1	DRI0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HUDI	RSPI2	RSPI1	RSPI0	SCIF3	SCIF2	SCIF1	SCIF0	DMAC 6T11	DMAC 4T5	DMAC 0T3	WDT	—	TUNI2	TUNI1	TUNI0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31、30	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	内蔵周辺モジュール種別ごとに割り込み要因を表示します 0 : 割り込みなし 1 : 割り込みあり
29	CMIG5	0	R	—	タイマ G5 割り込み要因表示ビット	
28	CMIG4	0	R	—	タイマ G4 割り込み要因表示ビット	
27	CMIG3	0	R	—	タイマ G3 割り込み要因表示ビット	
26	CMIG2	0	R	—	タイマ G2 割り込み要因表示ビット	
25	CMIG1	0	R	—	タイマ G1 割り込み要因表示ビット	
24	CMIG0	0	R	—	タイマ G0 割り込み要因表示ビット	
23	TF	0	R	—	タイマ F 割り込み要因表示ビット	
22	TA	0	R	—	タイマ A 割り込み要因表示ビット	
21	ADC	0	R	—	ADC 割り込み要因表示ビット	
20	IICI	0	R	—	IIC3 割り込み要因表示ビット	
19	DRO	0	R	—	DRO 割り込み要因表示ビット	
18	DRI2	0	R	—	DRI2 割り込み要因表示ビット	
17	DRI1	0	R	—	DRI1 割り込み要因表示ビット	
16	DRI0	0	R	—	DRI0 割り込み要因表示ビット	
15	HUDI	0	R	—	H-UDI 割り込み要因表示ビット	
14	RSPI2	0	R	—	RSPI2 割り込み要因表示ビット	
13	RSPI1	0	R	—	RSPI1 割り込み要因表示ビット	
12	RSPI0	0	R	—	RSPI0 割り込み要因表示ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
11	SCIF3	0	R	—	SCIF3 割り込み要因表示ビット	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0 : 割り込みなし 1 : 割り込みあり
10	SCIF2	0	R	—	SCIF2 割り込み要因表示ビット	
9	SCIF1	0	R	—	SCIF1 割り込み要因表示ビット	
8	SCIF0	0	R	—	SCIF0 割り込み要因表示ビット	
7	DMAC6T11	0	R	—	DMA6~DMA11 割り込み要因表示ビット	
6	DMAC4T5	0	R	—	DMA4~DMA5 割り込み要因表示ビット	
5	DMAC0T3	0	R	—	DMA0~DMA3 割り込み要因表示ビット	
4	WDT	0	R	—	WDT 割り込み要因表示ビット	
3	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
2	TUNI2	0	R	—	TMU2 割り込み要因表示ビット	
1	TUNI1	0	R	—	TMU1 割り込み要因表示ビット	
0	TUNI0	0	R	—	TMU0 割り込み要因表示ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.11 割り込み要因レジスタ 01 (INT2A01) (マスク状態の影響なし)

INT2A01 レジスタは、内蔵周辺モジュールからの割り込み要因を表示します。INT2MSKR1 レジスタに割り込みマスクが設定されている場合でも、本レジスタは、INT2MSKR1 レジスタの状態の影響を受けずに該当ビットの要因表示を行います。INT2MSKR1 レジスタの状態に応じて要因を非表示としたい場合は、INT2A11 レジスタを使用してください。該当ビットの割り込み要因のクリアは該当内蔵周辺モジュール側で行ってください。また、CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。

割り込み要因レジスタ01 (INT2A01) (マスク状態の影響なし)

<P4領域アドレス : H'FFFF F4C0番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PDAC	FRT INT	FRINT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CAN3	CAN2	CAN1	CAN0	TOU44	TOU40	TOU34	TOU30	TOU24	TOU20	TOU14	TOU10	TOU04	TOU00
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~19	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0 : 割り込みなし 1 : 割り込みあり
18	PDAC	0	R	—	PDAC 割り込み要因表示ビット	
17	FRTINT	0	R	—	FlexRay タイマ割り込み要因表示ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"0"が読み出されます。	
16	FRINT	0	R	—	FlexRay 割り込み要因表示ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"0"が読み出されます。	
15、14	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
13	CAN3	0	R	—	CAN3 割り込み要因表示ビット	
12	CAN2	0	R	—	CAN2 割り込み要因表示ビット	
11	CAN1	0	R	—	CAN1 割り込み要因表示ビット	
10	CAN0	0	R	—	CAN0 割り込み要因表示ビット	
9	TOU44	0	R	—	タイマ TOU4_4~TOU4_7 割り込み要因表示ビット	
8	TOU40	0	R	—	タイマ TOU4_0~TOU4_3 割り込み要因表示ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
7	TOU34	0	R	—	タイマ TOU3_4~TOU3_7 割り込み要因表示ビット	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0: 割り込みなし 1: 割り込みあり
6	TOU30	0	R	—	タイマ TOU3_0~TOU3_3 割り込み要因表示ビット	
5	TOU24	0	R	—	タイマ TOU2_4~TOU2_7 割り込み要因表示ビット	
4	TOU20	0	R	—	タイマ TOU2_0~TOU2_3 割り込み要因表示ビット	
3	TOU14	0	R	—	タイマ TOU1_4~TOU1_7 割り込み要因表示ビット	
2	TOU10	0	R	—	タイマ TOU1_0~TOU1_3 割り込み要因表示ビット	
1	TOU04	0	R	—	タイマ TOU0_4~TOU0_7 割り込み要因表示ビット	
0	TOU00	0	R	—	タイマ TOU0_0~TOU0_3 割り込み要因表示ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.12 割り込み要因レジスタ 10 (INT2A10) (マスク状態の影響あり)

INT2A10 レジスタは、内蔵周辺モジュールからの割り込み要因を表示します。ただし、INT2MSKR レジスタに割り込みマスクが設定されている場合は、該当ビットに要因は表示されません ("1"にセットされません)。INT2MSKR レジスタの状態にかかわらず割り込みへ発生の有無を確認する場合は、INT2A00 レジスタを使用してください。該当ビットの割り込み要因のクリアは、該当内蔵周辺モジュール側で行ってください。また、CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。

割り込み要因レジスタ10 (INT2A10) (マスク状態の影響あり)

<P4領域アドレス : H'FFFF F434番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMIG5	CMIG4	CMIG3	CMIG2	CMIG1	CMIG0	TF	TA	ADC	IICI	DRO	DRI2	DRI1	DRI0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HUDI	RSPI2	RSPI1	RSPI0	SCIF3	SCIF2	SCIF1	SCIF0	DMAC 6T11	DMAC 4T5	DMAC 0T3	WDT	—	TUNI2	TUNI1	TUNI0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。
29	CMIG5	0	R	—	タイマ G5 割り込み要因表示ビット
28	CMIG4	0	R	—	タイマ G4 割り込み要因表示ビット
27	CMIG3	0	R	—	タイマ G3 割り込み要因表示ビット
26	CMIG2	0	R	—	タイマ G2 割り込み要因表示ビット
25	CMIG1	0	R	—	タイマ G1 割り込み要因表示ビット
24	CMIG0	0	R	—	タイマ G0 割り込み要因表示ビット
23	TF	0	R	—	タイマ F 割り込み要因表示ビット
22	TA	0	R	—	タイマ A 割り込み要因表示ビット
21	ADC	0	R	—	ADC 割り込み要因表示ビット
20	IICI	0	R	—	IIC3 割り込み要因表示ビット
19	DRO	0	R	—	DRO 割り込み要因表示ビット
18	DRI2	0	R	—	DRI2 割り込み要因表示ビット
17	DRI1	0	R	—	DRI1 割り込み要因表示ビット
16	DRI0	0	R	—	DRI0 割り込み要因表示ビット
15	HUDI	0	R	—	H-UDI 割り込み要因表示ビット
14	RSPI2	0	R	—	RSPI2 割り込み要因表示ビット
13	RSPI1	0	R	—	RSPI1 割り込み要因表示ビット
12	RSPI0	0	R	—	RSPI0 割り込み要因表示ビット

内蔵周辺モジュール種別ごとに割り込み要因を表示します。  
0 : 割り込みなし  
1 : 割り込みあり

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
11	SCIF3	0	R	—	SCIF3 割り込み要因表示ビット	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0 : 割り込みなし 1 : 割り込みあり
10	SCIF2	0	R	—	SCIF2 割り込み要因表示ビット	
9	SCIF1	0	R	—	SCIF1 割り込み要因表示ビット	
8	SCIF0	0	R	—	SCIF0 割り込み要因表示ビット	
7	DMAC6T11	0	R	—	DMA6~DMA11 割り込み要因表示ビット	
6	DMAC4T5	0	R	—	DMA4~DMA5 割り込み要因表示ビット	
5	DMAC0T3	0	R	—	DMA0~DMA3 割り込み要因表示ビット	
4	WDT	0	R	—	WDT 割り込み要因表示ビット	
3	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
2	TUNI2	0	R	—	TMU2 割り込み要因表示ビット	
1	TUNI1	0	R	—	TMU1 割り込み要因表示ビット	
0	TUNI0	0	R	—	TMU0 割り込み要因表示ビット	



## 15. 割り込みコントローラ (INTC)

### 15.3.13 割り込み要因レジスタ 11 (INT2A11) (マスク状態の影響あり)

INT2A11 レジスタは、内蔵周辺モジュールからの割り込み要因を表示します。ただし、INT2MSKR1 レジスタに割り込みマスクが設定されている場合は、該当ビットに要因は表示されません ("1"にセットされません)。INT2MSKR1 レジスタの状態にかかわらず割り込みへ発生の有無を確認する場合は、INT2A01 レジスタを使用してください。該当ビットの割り込み要因のクリアは、該当内蔵周辺モジュール側で行ってください。また、CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。

割り込み要因レジスタ11 (INT2A11) (マスク状態の影響あり)

<P4領域アドレス : H'FFFF F4C4番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PDAC	FRT INT	FRINT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CAN3	CAN2	CAN1	CAN0	TOU44	TOU40	TOU34	TOU30	TOU24	TOU20	TOU14	TOU10	TOU04	TOU00
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~19	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0 : 割り込みなし 1 : 割り込みあり
18	PDAC	0	R	—	PDAC 割り込み要因表示ビット	
17	FRTINT	0	R	—	FlexRay タイマ割り込み要因表示ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"0"が読み出されます。	
16	FRINT	0	R	—	FlexRay 割り込み要因表示ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"0"が読み出されます。	
15、14	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
13	CAN3	0	R	—	CAN3 割り込み要因表示ビット	
12	CAN2	0	R	—	CAN2 割り込み要因表示ビット	
11	CAN1	0	R	—	CAN1 割り込み要因表示ビット	
10	CAN0	0	R	—	CAN0 割り込み要因表示ビット	
9	TOU44	0	R	—	タイマ TOU4_4~TOU4_7 割り込み要因表示ビット	
8	TOU40	0	R	—	タイマ TOU4_0~TOU4_3 割り込み要因表示ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
7	TOU34	0	R	—	タイマ TOU3_4~TOU3_7 割り込み要因表示ビット	内蔵周辺モジュール種別ごとに割り込み要因を表示します。 0 : 割り込みなし 1 : 割り込みあり
6	TOU30	0	R	—	タイマ TOU3_0~TOU3_3 割り込み要因表示ビット	
5	TOU24	0	R	—	タイマ TOU2_4~TOU2_7 割り込み要因表示ビット	
4	TOU20	0	R	—	タイマ TOU2_0~TOU2_3 割り込み要因表示ビット	
3	TOU14	0	R	—	タイマ TOU1_4~TOU1_7 割り込み要因表示ビット	
2	TOU10	0	R	—	タイマ TOU1_0~TOU1_3 割り込み要因表示ビット	
1	TOU04	0	R	—	タイマ TOU0_4~TOU0_7 割り込み要因表示ビット	
0	TOU00	0	R	—	タイマ TOU0_0~TOU0_3 割り込み要因表示ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.14 割り込みマスクレジスタ 0 (INT2MSKR)

INT2MSKR レジスタは、INT2A10 レジスタに表示される要因に対して、個別に割り込みマスクを設定します。本レジスタに"1"が設定された該当要因の割り込みは割り込み通知されません。

割り込みマスクレジスタ0 (INT2MSKR)

<P4領域アドレス : H'FFFF F438番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMIG5	CMIG4	CMIG3	CMIG2	CMIG1	CMIG0	TF	TA	ADC	IICI	DRO	DRI2	DRI1	DRI0
リセット後の値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HUDI	RSPI2	RSPI1	RSPI0	SCIF3	SCIF2	SCIF1	SCIF0	DMAC 6T11	DMAC 4T5	DMAC 0T3	WDT	—	TUNI2	TUNI1	TUNI0
リセット後の値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

<リセット後の値 : H'FFFF FFFF>

ビット	シンボル	リセット後の値	R	W	説明	
31、30	—	すべて1	1	1	予約ビット 読み出すと常に"1"が読み出されます。 書き込む値も常に"1"にしてください。	内蔵周辺モジュール別に割り込みマスクを設定します。本ビットへの"0"書き込みは無効です。  0 : マスク設定なし 1 : マスク設定あり
29	CMIG5	1	R	W	タイマ G5 割り込みマスク設定ビット	
28	CMIG4	1	R	W	タイマ G4 割り込みマスク設定ビット	
27	CMIG3	1	R	W	タイマ G3 割り込みマスク設定ビット	
26	CMIG2	1	R	W	タイマ G2 割り込みマスク設定ビット	
25	CMIG1	1	R	W	タイマ G1 割り込みマスク設定ビット	
24	CMIG0	1	R	W	タイマ G0 割り込みマスク設定ビット	
23	TF	1	R	W	タイマ F 割り込みマスク設定ビット	
22	TA	1	R	W	タイマ A 割り込みマスク設定ビット	
21	ADC	1	R	W	ADC 割り込みマスク設定ビット	
20	IICI	1	R	W	IIC3 割り込みマスク設定ビット	
19	DRO	1	R	W	DRO 割り込みマスク設定ビット	
18	DRI2	1	R	W	DRI2 割り込みマスク設定ビット	
17	DRI1	1	R	W	DRI1 割り込みマスク設定ビット	
16	DRI0	1	R	W	DRI0 割り込みマスク設定ビット	
15	HUDI	1	R	W	H-UDI 割り込みマスク設定ビット	
14	RSPI2	1	R	W	RSPI2 割り込みマスク設定ビット	
13	RSPI1	1	R	W	RSPI1 割り込みマスク設定ビット	

## 15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
12	RSPI0	1	R	W	RSPI0 割り込みマスク設定ビット	内蔵周辺モジュール別に割り込みマスクを設定します。本ビットへの"0"書き込みは無効です。 0 : マスク設定なし 1 : マスク設定あり
11	SCIF3	1	R	W	SCIF3 割り込みマスク設定ビット	
10	SCIF2	1	R	W	SCIF2 割り込みマスク設定ビット	
9	SCIF1	1	R	W	SCIF1 割り込みマスク設定ビット	
8	SCIF0	1	R	W	SCIF0 割り込みマスク設定ビット	
7	DMAC6T11	1	R	W	DMA6~DMA11 割り込みマスク設定ビット	
6	DMAC4T5	1	R	W	DMA4~DMA5 割り込みマスク設定ビット	
5	DMAC0T3	1	R	W	DMA0~DMA3 割り込みマスク設定ビット	
4	WDT	1	R	W	WDT 割り込みマスク設定ビット	
3	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。 書き込む値も常に"1"にしてください。	
2	TUNI2	1	R	W	TMU2 割り込みマスク設定ビット	
1	TUNI1	1	R	W	TMU1 割り込みマスク設定ビット	
0	TUNI0	1	R	W	TMU0 割り込みマスク設定ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.15 割り込みマスクレジスタ 1 (INT2MSKR1)

INT2MSKR1 レジスタは、INT2A11 レジスタに表示される要因に対して、個別に割り込みマスクを設定します。本レジスタに"1"が設定された該当要因の割り込みは割り込み通知されません。

割り込みマスクレジスタ1 (INT2MSKR1)

<P4領域アドレス : H'FFFF F4D0番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PDAC	FRT INT	FRINT
リセット後の値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CAN3	CAN2	CAN1	CAN0	TOU44	TOU40	TOU34	TOU30	TOU24	TOU20	TOU14	TOU10	TOU04	TOU00
リセット後の値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

<リセット後の値 : H'FFFF FFFF>

ビット	シンボル	リセット後の値	R	W	説明	
31~19	—	すべて1	1	1	予約ビット 読み出すと常に"1"が読み出されます。 書き込む値も常に"1"にしてください。	内蔵周辺モジュール別に割り込みマスクを設定します。本ビットへの"0"書き込みは無効です。 0 : マスク設定なし 1 : マスク設定あり
18	PDAC	1	R	W	PDAC 割り込みマスク設定ビット	
17	FRTINT	1	R	W	FlexRay タイマ割り込みマスク設定ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"1"が読み出されます。 書き込む場合は"1"または"0"を書き込んでください。	
16	FRINT	1	R	W	FlexRay 割り込みマスク設定ビット SH7456 グループの場合は予約ビットです。 読み出すと常に"1"が読み出されます。 書き込む場合は"1"または"0"を書き込んでください。	
15、14	—	すべて1	1	1	予約ビット 読み出すと常に"1"が読み出されます。 書き込む値も常に"1"にしてください。	
13	CAN3	1	R	W	CAN3 割り込みマスク設定ビット	
12	CAN2	1	R	W	CAN2 割り込みマスク設定ビット	
11	CAN1	1	R	W	CAN1 割り込みマスク設定ビット	
10	CAN0	1	R	W	CAN0 割り込みマスク設定ビット	
9	TOU44	1	R	W	タイマ TOU4_4~TOU4_7 割り込みマスク設定ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
8	TOU40	1	R	W	タイマ TOU4_0~TOU4_3 割り込みマスク設定ビット	内蔵周辺モジュール別に割り込みマスクを設定します。 本ビットへの"0"書き込みは無効です。  0 : マスク設定なし 1 : マスク設定あり
7	TOU34	1	R	W	タイマ TOU3_4~TOU3_7 割り込みマスク設定ビット	
6	TOU30	1	R	W	タイマ TOU3_0~TOU3_3 割り込みマスク設定ビット	
5	TOU24	1	R	W	タイマ TOU2_4~TOU2_7 割り込みマスク設定ビット	
4	TOU20	1	R	W	タイマ TOU2_0~TOU2_3 割り込みマスク設定ビット	
3	TOU14	1	R	W	タイマ TOU1_4~TOU1_7 割り込みマスク設定ビット	
2	TOU10	1	R	W	タイマ TOU1_0~TOU1_3 割り込みマスク設定ビット	
1	TOU04	1	R	W	タイマ TOU0_4~TOU0_7 割り込みマスク設定ビット	
0	TOU00	1	R	W	タイマ TOU0_0~TOU0_3 割り込みマスク設定ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.16 割り込みマスククリアレジスタ 0 (INT2MSKCR)

INT2MSKCR レジスタは、INT2MSKR レジスタに設定されたマスクをクリアできます。本レジスタの該当ビットに"1"を設定するとそのビットに対応する割り込み要因のマスクがクリアされます。読み出しは常に"0"です。

割り込みマスククリアレジスタ0 (INT2MSKCR)

<P4領域アドレス : H'FFFF F43C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMIG5	CMIG4	CMIG3	CMIG2	CMIG1	CMIG0	TF	TA	ADC	IICI	DRO	DRI2	DRI1	DRI0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HUDI	RSPI2	RSPI1	RSPI0	SCIF3	SCIF2	SCIF1	SCIF0	DMAC 6T11	DMAC 4T5	DMAC 0T3	WDT	—	TUNI2	TUNI1	TUNI0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31, 30	—	0	0	0	予約ビット	内蔵周辺モジュール別の割り込みマスクをクリア設定します。 本ビットの読み出し値は常に"0"です。 本ビットへの"0"書き込みは無効です。 0 : マスク設定をクリアしない 1 : マスク設定をクリアする
29	CMIG5	0	0	W	タイマ G5 割り込みマスククリア設定ビット	
28	CMIG4	0	0	W	タイマ G4 割り込みマスククリア設定ビット	
27	CMIG3	0	0	W	タイマ G3 割り込みマスククリア設定ビット	
26	CMIG2	0	0	W	タイマ G2 割り込みマスククリア設定ビット	
25	CMIG1	0	0	W	タイマ G1 割り込みマスククリア設定ビット	
24	CMIG0	0	0	W	タイマ G0 割り込みマスククリア設定ビット	
23	TF	0	0	W	タイマ F 割り込みマスククリア設定ビット	
22	TA	0	0	W	タイマ A 割り込みマスククリア設定ビット	
21	ADC	0	0	W	ADC 割り込みマスククリア設定ビット	
20	IICI	0	0	W	IIC3 割り込みマスククリア設定ビット	
19	DRO	0	0	W	DRO 割り込みマスククリア設定ビット	
18	DRI2	0	0	W	DRI2 割り込みマスククリア設定ビット	
17	DRI1	0	0	W	DRI1 割り込みマスククリア設定ビット	
16	DRI0	0	0	W	DRI0 割り込みマスククリア設定ビット	
15	HUDI	0	0	W	H-UDI 割り込みマスククリア設定ビット	
14	RSPI2	0	0	W	RSPI2 割り込みマスククリア設定ビット	
13	RSPI1	0	0	W	RSPI1 割り込みマスククリア設定ビット	
12	RSPI0	0	0	W	RSPI0 割り込みマスククリア設定ビット	
11	SCIF3	0	0	W	SCIF3 割り込みマスククリア設定ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
10	SCIF2	0	0	W	SCIF2 割り込みマスククリア設定ビット	<p>内蔵周辺モジュール別の割り込みマスクをクリア設定します。</p> <p>本ビットの読み出し値は常に"0"です。</p> <p>本ビットへの"0"書き込みは無効です。</p> <p>0 : マスク設定をクリアしない 1 : マスク設定をクリアする</p>
9	SCIF1	0	0	W	SCIF1 割り込みマスククリア設定ビット	
8	SCIF0	0	0	W	SCIF0 割り込みマスククリア設定ビット	
7	DMAC6T11	0	0	W	DMA6~DMA11 割り込みマスククリア設定ビット	
6	DMAC4T5	0	0	W	DMA4~DMA5 割り込みマスククリア設定ビット	
5	DMAC0T3	0	0	W	DMA0~DMA3 割り込みマスククリア設定ビット	
4	WDT	0	0	W	WDT 割り込みマスククリア設定ビット	
3	—	0	0	0	予約ビット 書き込み時は常に"0"を書いてください。	
2	TUNI2	0	0	W	TMU2 割り込みマスククリア設定ビット	
1	TUNI1	0	0	W	TMU1 割り込みマスククリア設定ビット	
0	TUNI0	0	0	W	TMU0 割り込みマスククリア設定ビット	



## 15. 割り込みコントローラ (INTC)

### 15.3.17 割り込みマスククリアレジスタ 1 (INT2MSKCR1)

INT2MSKCR1 レジスタは、INT2MSKR1 レジスタに設定されたマスクをクリアできます。本レジスタの該当ビットに"1"を設定すると、そのビットに対応する割り込み要因のマスクがクリアされます。読み出しは常に"0"です。

割り込みマスククリアレジスタ1 (INT2MSKCR1)

<P4領域アドレス : H'FFFF F4D4番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PDAC	FRT INT	FRINT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CAN3	CAN2	CAN1	CAN0	TOU44	TOU40	TOU34	TOU30	TOU24	TOU20	TOU14	TOU10	TOU04	TOU00
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~19	—	すべて0	0	0	予約ビット 書き込み時は常に"0"を書いてください。	内蔵周辺モジュール別の割り込みマスクをクリア設定します。 本ビットの読み出し値は常に"0"です。 本ビットへの"0"書き込みは無効です。 0: マスク設定をクリアしない 1: マスク設定をクリアする
18	PDAC	0	0	W	PDAC 割り込みマスククリア設定ビット	
17	FRTINT	0	0	W	FlexRay タイマ割り込みマスククリア設定ビット SH7456 グループの場合は予約ビットです。 書き込み時は常に"0"を書いてください。	
16	FRINT	0	0	W	FlexRay 割り込みマスククリア設定ビット SH7456 グループの場合は予約ビットです。 書き込み時は常に"0"を書いてください。	
15、14	—	すべて0	0	0	予約ビット 書き込み時は常に"0"を書いてください。	
13	CAN3	0	0	W	CAN3 割り込みマスククリア設定ビット	
12	CAN2	0	0	W	CAN2 割り込みマスククリア設定ビット	
11	CAN1	0	0	W	CAN1 割り込みマスククリア設定ビット	
10	CAN0	0	0	W	CAN0 割り込みマスククリア設定ビット	
9	TOU44	0	0	W	タイマ TOU4_4~TOU4_7 割り込みマスククリア設定ビット	
8	TOU40	0	0	W	タイマ TOU4_0~TOU4_3 割り込みマスククリア設定ビット	
7	TOU34	0	0	W	タイマ TOU3_4~TOU3_7 割り込みマスククリア設定ビット	
6	TOU30	0	0	W	タイマ TOU3_0~TOU3_3 割り込みマスククリア設定ビット	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
5	TOU24	0	0	W	タイマ TOU2_4~TOU2_7 割り込みマスククリア設定ビット	<p>内蔵周辺モジュール別の割り込みマスクをクリア設定します。</p> <p>本ビットの読み出し値は常に"0"です。</p> <p>本ビットへの"0"書き込みは無効です。</p> <p>0: マスク設定をクリアしない 1: マスク設定をクリアする</p>
4	TOU20	0	0	W	タイマ TOU2_0~TOU2_3 割り込みマスククリア設定ビット	
3	TOU14	0	0	W	タイマ TOU1_4~TOU1_7 割り込みマスククリア設定ビット	
2	TOU10	0	0	W	タイマ TOU1_0~TOU1_3 割り込みマスククリア設定ビット	
1	TOU04	0	0	W	タイマ TOU0_4~TOU0_7 割り込みマスククリア設定ビット	
0	TOU00	0	0	W	タイマ TOU0_0~TOU0_3 割り込みマスククリア設定ビット	

## 15. 割り込みコントローラ (INTC)

### 15.3.18 モジュール別割り込み要因レジスタ 0~12 (INT2B0~12)

INT2B0~INT2B12 レジスタは、INT2A00、INT2A01、INT2A10、INT2A11 レジスタで表示されている内蔵周辺モジュール種別の要因に対して、さらに詳細の個別要因を示します。これらのレジスタは、INT2MSKR、INT2MSKR1 レジスタのマスク状態の影響を受けません。これら個々の詳細の要因に対して個別にマスク設定を行う場合は、該当内蔵周辺モジュール側でマスク設定する必要があります。

#### (1) INT2B0 レジスタ : TMU モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ0 (INT2B0)

<P4領域アドレス : H'FFFF F440番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TUNI2	TUNI1	TUNI0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~3	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	TMU の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて TMU をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
2	TUNI2	0	R	—	TMU2 アンダフロー割り込み	
1	TUNI1	0	R	—	TMU1 アンダフロー割り込み	
0	TUNI0	0	R	—	TMU0 アンダフロー割り込み	

(2) INT2B1 レジスタ : DMAC モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ1 (INT2B1)

<P4領域アドレス : H'FFFF F444番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DMINT11	DMINT10	DMINT9	DMINT8	DMINT7	DMINT6	DMINT5	DMINT4	DMAE1	DMAE0	DMINT3	DMINT2	DMINT1	DMINT0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~14	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	DMAC の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて DMAC をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
13	DMINT11	0	R	—	DMA11 転送終了割り込み	
12	DMINT10	0	R	—	DMA10 転送終了割り込み	
11	DMINT9	0	R	—	DMA9 転送終了/ハーフエンド割り込み	
10	DMINT8	0	R	—	DMA8 転送終了/ハーフエンド割り込み	
9	DMINT7	0	R	—	DMA7 転送終了/ハーフエンド割り込み	
8	DMINT6	0	R	—	DMA6 転送終了/ハーフエンド割り込み	
7	DMINT5	0	R	—	DMA5 転送終了割り込み	
6	DMINT4	0	R	—	DMA4 転送終了割り込み	
5	DMAE1	0	R	—	DMAC1 (DMA6~DMA11) のアドレスエラー割り込み	
4	DMAE0	0	R	—	DMAC0 (DMA0~DMA5) のアドレスエラー割り込み	
3	DMINT3	0	R	—	DMA3 転送終了/ハーフエンド割り込み	
2	DMINT2	0	R	—	DMA2 転送終了/ハーフエンド割り込み	
1	DMINT1	0	R	—	DMA1 転送終了/ハーフエンド割り込み	
0	DMINT0	0	R	—	DMA0 転送終了/ハーフエンド割り込み	

## 15. 割り込みコントローラ (INTC)

### (3) INT2B2 レジスタ : ATU-IIIS モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ2 (INT2B2)

<P4領域アドレス : H'FFFF F448番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMIG5	CMIG4	CMIG3	CMIG2	CMIG1	CMIG0	—	OVIF2	OVIF1	OVIF0	—	ICIF2	ICIF1	ICIF0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	OVIA1	ICIA15	ICIA14	—	ICIA12	ICIA11	ICIA10	—	OVIA0	—	ICIA04	ICIA03	ICIA02	ICIA01	ICIA00
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31、30	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	ATU-IIIS の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ATU-IIIS をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
29	CMIG5	0	R	—	タイマ G5 コンペアマッチ割り込み	
28	CMIG4	0	R	—	タイマ G4 コンペアマッチ割り込み	
27	CMIG3	0	R	—	タイマ G3 コンペアマッチ割り込み	
26	CMIG2	0	R	—	タイマ G2 コンペアマッチ割り込み	
25	CMIG1	0	R	—	タイマ G1 コンペアマッチ割り込み	
24	CMIG0	0	R	—	タイマ G0 コンペアマッチ割り込み	
23	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
22	OVIF2	0	R	—	タイマ F2 オーバフロー割り込み	
21	OVIF1	0	R	—	タイマ F1 オーバフロー割り込み	
20	OVIF0	0	R	—	タイマ F0 オーバフロー割り込み	
19	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
18	ICIF2	0	R	—	タイマ F2 インพุットキャプチャ割り込み	
17	ICIF1	0	R	—	タイマ F1 インพุットキャプチャ割り込み	
16	ICIF0	0	R	—	タイマ F0 インพุットキャプチャ割り込み	
15	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
14	OVIA1	0	R	—	タイマ A1 オーバフロー割り込み	
13	ICIA15	0	R	—	タイマ A1 チャンネル 5 キャプチャ割り込み	
12	ICIA14	0	R	—	タイマ A1 チャンネル 4 キャプチャ割り込み	
11	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
10	ICIA12	0	R	—	タイマ A1 チャンネル 2 キャプチャ割り込み	

15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
9	ICIA11	0	R	—	タイマ A1 チャンネル 1 キャプチャ割り込み	ATU-IIS の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ATU-IIS をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
8	ICIA10	0	R	—	タイマ A1 チャンネル 0 キャプチャ割り込み	
7	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
6	OVI A0	0	R	—	タイマ A0 オーバフロー割り込み	
5	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
4	ICIA04	0	R	—	タイマ A0 チャンネル 4 キャプチャ割り込み	
3	ICIA03	0	R	—	タイマ A0 チャンネル 3 キャプチャ割り込み	
2	ICIA02	0	R	—	タイマ A0 チャンネル 2 キャプチャ割り込み	
1	ICIA01	0	R	—	タイマ A0 チャンネル 1 キャプチャ割り込み	
0	ICIA00	0	R	—	タイマ A0 チャンネル 0 キャプチャ割り込み	

## 15. 割り込みコントローラ (INTC)

### (4) INT2B3 レジスタ : ATU-IIIS モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ3 (INT2B3)

<P4領域アドレス : H'FFFF F44C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TOU27	TOU26	TOU25	TOU24	TOU23	TOU22	TOU21	TOU20
	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TOU17	TOU16	TOU15	TOU14	TOU13	TOU12	TOU11	TOU10	TOU07	TOU06	TOU05	TOU04	TOU03	TOU02	TOU01	TOU00
	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF	UDF
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~24	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	ATU-IIISの割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ATU-IIIS をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
23	TOU27UDF	0	R	—	タイマ TOU2_7 カウンタアンドフロー割り込み	
22	TOU26UDF	0	R	—	タイマ TOU2_6 カウンタアンドフロー割り込み	
21	TOU25UDF	0	R	—	タイマ TOU2_5 カウンタアンドフロー割り込み	
20	TOU24UDF	0	R	—	タイマ TOU2_4 カウンタアンドフロー割り込み	
19	TOU23UDF	0	R	—	タイマ TOU2_3 カウンタアンドフロー割り込み	
18	TOU22UDF	0	R	—	タイマ TOU2_2 カウンタアンドフロー割り込み	
17	TOU21UDF	0	R	—	タイマ TOU2_1 カウンタアンドフロー割り込み	
16	TOU20UDF	0	R	—	タイマ TOU2_0 カウンタアンドフロー割り込み	
15	TOU17UDF	0	R	—	タイマ TOU1_7 カウンタアンドフロー割り込み	
14	TOU16UDF	0	R	—	タイマ TOU1_6 カウンタアンドフロー割り込み	
13	TOU15UDF	0	R	—	タイマ TOU1_5 カウンタアンドフロー割り込み	
12	TOU14UDF	0	R	—	タイマ TOU1_4 カウンタアンドフロー割り込み	
11	TOU13UDF	0	R	—	タイマ TOU1_3 カウンタアンドフロー割り込み	
10	TOU12UDF	0	R	—	タイマ TOU1_2 カウンタアンドフロー割り込み	
9	TOU11UDF	0	R	—	タイマ TOU1_1 カウンタアンドフロー割り込み	
8	TOU10UDF	0	R	—	タイマ TOU1_0 カウンタアンドフロー割り込み	
7	TOU07UDF	0	R	—	タイマ TOU0_7 カウンタアンドフロー割り込み	
6	TOU06UDF	0	R	—	タイマ TOU0_6 カウンタアンドフロー割り込み	
5	TOU05UDF	0	R	—	タイマ TOU0_5 カウンタアンドフロー割り込み	
4	TOU04UDF	0	R	—	タイマ TOU0_4 カウンタアンドフロー割り込み	
3	TOU03UDF	0	R	—	タイマ TOU0_3 カウンタアンドフロー割り込み	
2	TOU02UDF	0	R	—	タイマ TOU0_2 カウンタアンドフロー割り込み	
1	TOU01UDF	0	R	—	タイマ TOU0_1 カウンタアンドフロー割り込み	
0	TOU00UDF	0	R	—	タイマ TOU0_0 カウンタアンドフロー割り込み	

(5) INT2B4 レジスタ : ATU-IIIS モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ4 (INT2B4)

<P4領域アドレス : H'FFFF F450番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TOU47UDF	TOU46UDF	TOU45UDF	TOU44UDF	TOU43UDF	TOU42UDF	TOU41UDF	TOU40UDF	TOU37UDF	TOU36UDF	TOU35UDF	TOU34UDF	TOU33UDF	TOU32UDF	TOU31UDF	TOU30UDF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~16	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	ATU-IIIS の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ATU-IIIS をマスク設定しても表示は消えません。  0 : 割り込みなし 1 : 割り込みあり
15	TOU47UDF	0	R	—	タイマ TOU4_7 カウンタアンドフロー割り込み	
14	TOU46UDF	0	R	—	タイマ TOU4_6 カウンタアンドフロー割り込み	
13	TOU45UDF	0	R	—	タイマ TOU4_5 カウンタアンドフロー割り込み	
12	TOU44UDF	0	R	—	タイマ TOU4_4 カウンタアンドフロー割り込み	
11	TOU43UDF	0	R	—	タイマ TOU4_3 カウンタアンドフロー割り込み	
10	TOU42UDF	0	R	—	タイマ TOU4_2 カウンタアンドフロー割り込み	
9	TOU41UDF	0	R	—	タイマ TOU4_1 カウンタアンドフロー割り込み	
8	TOU40UDF	0	R	—	タイマ TOU4_0 カウンタアンドフロー割り込み	
7	TOU37UDF	0	R	—	タイマ TOU3_7 カウンタアンドフロー割り込み	
6	TOU36UDF	0	R	—	タイマ TOU3_6 カウンタアンドフロー割り込み	
5	TOU35UDF	0	R	—	タイマ TOU3_5 カウンタアンドフロー割り込み	
4	TOU34UDF	0	R	—	タイマ TOU3_4 カウンタアンドフロー割り込み	
3	TOU33UDF	0	R	—	タイマ TOU3_3 カウンタアンドフロー割り込み	
2	TOU32UDF	0	R	—	タイマ TOU3_2 カウンタアンドフロー割り込み	
1	TOU31UDF	0	R	—	タイマ TOU3_1 カウンタアンドフロー割り込み	
0	TOU30UDF	0	R	—	タイマ TOU3_0 カウンタアンドフロー割り込み	



## 15. 割り込みコントローラ (INTC)

### (6) INT2B5 レジスタ : SCIF モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ5 (INT2B5)

<P4領域アドレス : H'FFFF F454番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXI3	BRI3	RXI3	ERI3	TXI2	BRI2	RXI2	ERI2	TXI1	BRI1	RXI1	ERI1	TXI0	BRI0	RXI0	ERI0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~16	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	SCIF の割り込み要因が表示 されます。本レジスタの表示 は割り込みマスクレジスタ にて SCIF をマスク設定して も表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
15	TXI3	0	R	—	SCIF3 送信 FIFO データエンプティ割り込み	
14	BRI3	0	R	—	SCIF3 ブレークまたはオーバーランエラー割り込み	
13	RXI3	0	R	—	SCIF3 受信 FIFO データフルまたは受信データレディ 割り込み	
12	ERI3	0	R	—	SCIF3 受信エラー割り込み	
11	TXI2	0	R	—	SCIF2 送信 FIFO データエンプティ割り込み	
10	BRI2	0	R	—	SCIF2 ブレークまたはオーバーランエラー割り込み	
9	RXI2	0	R	—	SCIF2 受信 FIFO データフルまたは受信データレディ 割り込み	
8	ERI2	0	R	—	SCIF2 受信エラー割り込み	
7	TXI1	0	R	—	SCIF1 送信 FIFO データエンプティ割り込み	
6	BRI1	0	R	—	SCIF1 ブレークまたはオーバーランエラー割り込み	
5	RXI1	0	R	—	SCIF1 受信 FIFO データフルまたは受信データレディ 割り込み	
4	ERI1	0	R	—	SCIF1 受信エラー割り込み	
3	TXI0	0	R	—	SCIF0 送信 FIFO データエンプティ割り込み	
2	BRI0	0	R	—	SCIF0 ブレークまたはオーバーランエラー割り込み	
1	RXI0	0	R	—	SCIF0 受信 FIFO データフルまたは受信データレディ 割り込み	
0	ERI0	0	R	—	SCIF0 受信エラー割り込み	

(7) INT2B6 レジスタ : RSPI モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ6 (INT2B6)

<P4領域アドレス : H'FFFF F458番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SPTI2	SPRI2	SPEI2	SPTI1	SPRI1	SPEI1	SPTI0	SPRI0	SPEI0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~9	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	RSPI の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにてRSPIをマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
8	SPTI2	0	R	—	RSPI2 送信割り込み	
7	SPRI2	0	R	—	RSPI2 受信割り込み	
6	SPEI2	0	R	—	RSPI2 エラー割り込み	
5	SPTI1	0	R	—	RSPI1 送信割り込み	
4	SPRI1	0	R	—	RSPI1 受信割り込み	
3	SPEI1	0	R	—	RSPI1 エラー割り込み	
2	SPTI0	0	R	—	RSPI0 送信割り込み	
1	SPRI0	0	R	—	RSPI0 受信割り込み	
0	SPEI0	0	R	—	RSPI0 エラー割り込み	

## 15. 割り込みコントローラ (INTC)

### (8) INT2B7 レジスタ : DRI モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ7 (INT2B7)

<P4領域アドレス : H'FFFF F45C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DRI2 TRM	DRI2 DEC	DRI2 EVENT	DRI1 TRM	DRI1 DEC	DRI1 EVENT	DRI0 TRM	DRI0 DEC	DRI0 EVENT
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~9	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	DRI の割り込み要因が表示 されます。本レジスタの表示 は割り込みマスクレジスタ にて DRI をマスク設定して も表示は消えません。  0 : 割り込みなし 1 : 割り込みあり
8	DRI2TRM	0	R	—	DRI2 転送割り込み	
7	DRI2DEC	0	R	—	DRI2 カウンタ割り込み	
6	DRI2EVENT	0	R	—	DRI2 イベント検出割り込み	
5	DRI1TRM	0	R	—	DRI1 転送割り込み	
4	DRI1DEC	0	R	—	DRI1 カウンタ割り込み	
3	DRI1EVENT	0	R	—	DRI1 イベント検出割り込み	
2	DRI0TRM	0	R	—	DRI0 転送割り込み	
1	DRI0DEC	0	R	—	DRI0 カウンタ割り込み	
0	DRI0EVENT	0	R	—	DRI0 イベント検出割り込み	

(9) INT2B8 レジスタ : CAN モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ8 (INT2B8)

<P4領域アドレス : H'FFFF F460番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TXM3	RXM13	RXM03	—	TXF3	RXF3	ERS3	—	TXM2	RXM12	RXM02	—	TXF2	RXF2	ERS2
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TXM1	RXM11	RXM01	—	TXF1	RXF1	ERS1	—	TXM0	RXM10	RXM00	—	TXF0	RXF0	ERS0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	CAN の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて CAN をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
30	TXM3	0	R	—	CAN3 メールボックス 0~63 送信割り込み	
29	RXM13	0	R	—	CAN3 メールボックス 1~63 受信割り込み	
28	RXM03	0	R	—	CAN3 メールボックス 0 受信割り込み	
27	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
26	TXF3	0	R	—	CAN3 送信 FIFO 割り込み	
25	RXF3	0	R	—	CAN3 受信 FIFO 割り込み	
24	ERS3	0	R	—	CAN3 エラー割り込み	
23	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
22	TXM2	0	R	—	CAN2 メールボックス 0~63 送信割り込み	
21	RXM12	0	R	—	CAN2 メールボックス 1~63 受信割り込み	
20	RXM02	0	R	—	CAN2 メールボックス 0 受信割り込み	
19	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
18	TXF2	0	R	—	CAN2 送信 FIFO 割り込み	
17	RXF2	0	R	—	CAN2 受信 FIFO 割り込み	
16	ERS2	0	R	—	CAN2 エラー割り込み	
15	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	

## 15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
14	TXM1	0	R	—	CAN1 メールボックス 0~63 送信割り込み	CAN の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて CAN をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
13	RXM11	0	R	—	CAN1 メールボックス 1~63 受信割り込み	
12	RXM01	0	R	—	CAN1 メールボックス 0 受信割り込み	
11	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
10	TXF1	0	R	—	CAN1 送信 FIFO 割り込み	
9	RXF1	0	R	—	CAN1 受信 FIFO 割り込み	
8	ERS1	0	R	—	CAN1 エラー割り込み	
7	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
6	TXM0	0	R	—	CAN0 メールボックス 0~63 送信割り込み	
5	RXM10	0	R	—	CAN0 メールボックス 1~63 受信割り込み	
4	RXM00	0	R	—	CAN0 メールボックス 0 受信割り込み	
3	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
2	TXF0	0	R	—	CAN0 送信 FIFO 割り込み	
1	RXF0	0	R	—	CAN0 受信 FIFO 割り込み	
0	ERS0	0	R	—	CAN0 エラー割り込み	

(10) INT2B10 レジスタ : ADC モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ10 (INT2B10)

<P4領域アドレス : H'FFFF F468番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	AD1 ID5	AD1 ID4	—	—	AD1 ID1	AD1 ID0	AD0 ID15	AD0 ID14
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD0 ID13	AD0 ID12	AD0 ID11	AD0 ID10	AD0 ID9	AD0 ID8	—	AD0 ID6	—	AD0 ID4	—	AD0 ID2	—	AD0 ID0	AD11	AD0I
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~24	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	ADC の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ADC をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
23	AD1ID5	0	R	—	AD1IN5 の割り込み変換終了割り込み	
22	AD1ID4	0	R	—	AD1IN4 の割り込み変換終了割り込み	
21、20	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
19	AD1ID1	0	R	—	AD1IN1 の割り込み変換終了割り込み	
18	AD1ID0	0	R	—	AD1IN0 の割り込み変換終了割り込み	
17	AD0ID15	0	R	—	AD0IN15 の割り込み変換終了割り込み	
16	AD0ID14	0	R	—	AD0IN14 の割り込み変換終了割り込み	
15	AD0ID13	0	R	—	AD0IN13 の割り込み変換終了割り込み	
14	AD0ID12	0	R	—	AD0IN12 の割り込み変換終了割り込み	
13	AD0ID11	0	R	—	AD0IN11 の割り込み変換終了割り込み	
12	AD0ID10	0	R	—	AD0IN10 の割り込み変換終了割り込み	
11	AD0ID9	0	R	—	AD0IN9 の割り込み変換終了割り込み	
10	AD0ID8	0	R	—	AD0IN8 の割り込み変換終了割り込み	
9	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
8	AD0ID6	0	R	—	AD0IN6 の割り込み変換終了割り込み	
7	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
6	AD0ID4	0	R	—	AD0IN4 の割り込み変換終了割り込み	
5	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	

## 15. 割り込みコントローラ (INTC)

ビット	シンボル	リセット後の値	R	W	説明	
4	AD0ID2	0	R	—	AD0IN2 の割り込み変換終了割り込み	ADC の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて ADC をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
3	—	0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	
2	AD0ID0	0	R	—	AD0IN0 の割り込み変換終了割り込み	
1	AD1I	0	R	—	AD1 スキャン変換終了割り込み	
0	AD0I	0	R	—	AD0 スキャン変換終了割り込み	

### (11) INT2B11 レジスタ : FlexRay モジュールの割り込み詳細要因

SH7546 グループは、FlexRay モジュールを内蔵していません。SH7456 グループでは、INT2B11 レジスタの各ビットは予約ビットとなります。読み出すと常に"0"が読み出されます。書き込みは無効です。

モジュール別割り込み要因レジスタ11 (INT2B11)

<P4領域アドレス : H'FFFF F46C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	FR TINT1	FR TINT0	FR INT1	FR INT0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明	
31~4	—	すべて 0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	FlexRay の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて FlexRay をマスク設定しても表示は消えません。 0 : 割り込みなし 1 : 割り込みあり
3	FRTINT1	0	R	—	FlexRay タイマ 1 割り込み	
2	FRTINT0	0	R	—	FlexRay タイマ 0 割り込み	
1	FRINT1	0	R	—	FlexRay 割り込み 1	
0	FRINT0	0	R	—	FlexRay 割り込み 0	

## (12) INT2B12 レジスタ : PDAC モジュールの割り込み詳細要因

モジュール別割り込み要因レジスタ12 (INT2B12)

&lt;P4領域アドレス : H'FFFF F494番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PDINT
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明	
31~1	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。	PDAC の割り込み要因が表示されます。本レジスタの表示は割り込みマスクレジスタにて PDAC をマスク設定しても表示は消えません。  0 : 割り込みなし 1 : 割り込みあり
0	PDINT	0	R	—	最終変調終了割り込み	



15.4 動作説明

15.4.1 割り込み要因と優先順位

割り込み要因は、NMI 割り込み、IRQ 割り込み、内蔵周辺モジュール割り込みの 3 つに分類されます。各割り込み要因の優先順位は割り込み優先レベル (レベル 15～レベル 0) で表され、レベル 15 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因 (NMI 割り込み、IRQ 割り込み、内蔵周辺モジュール割り込み) のベクタアドレスは VBR レジスタの値+H'600 番地に固定されています。個別の要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT レジスタの値をオフセットとして分岐することによって、要因が判定できます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 15.2 と表 15.3 に示すハードウェアによる優先順位に従って処理されます。

図 15.2 に割り込み要求受け付け時の優先順位判定例、表 15.8 に割り込み優先順位と受け付けられる IMASK 値を示します。

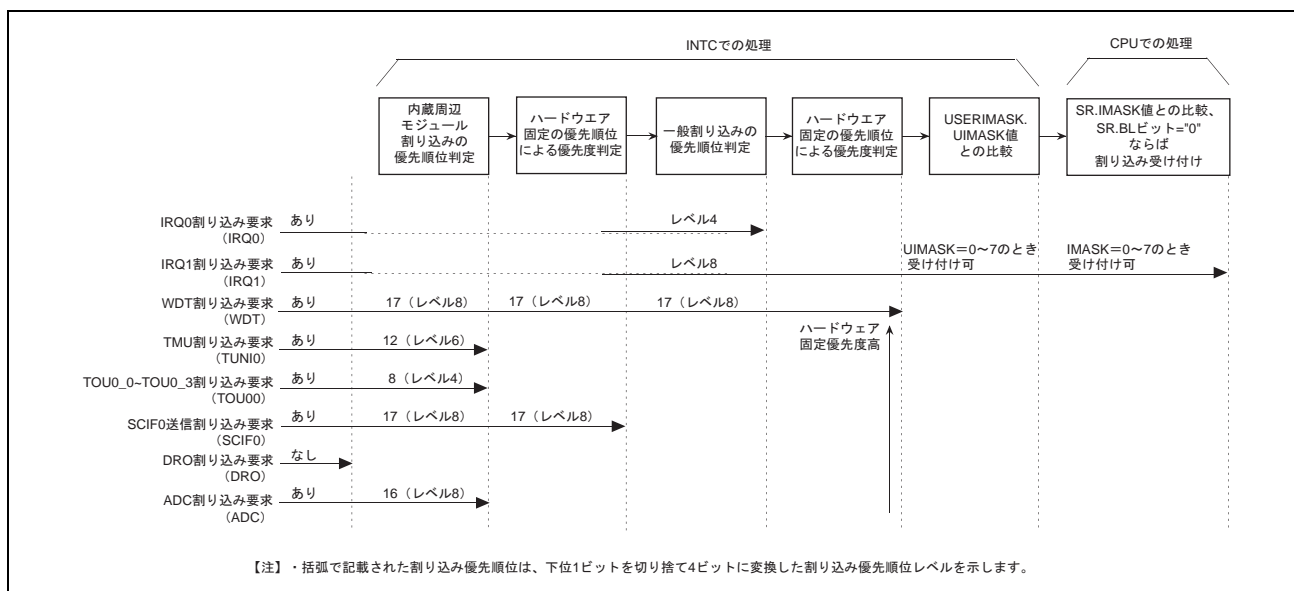


図 15.2 割り込み要求受け付け時の優先順位判定例

表 15.8 割り込み優先順位と受け付けられる IMASK 値

内蔵周辺モジュールの割り込み優先順位	一般割り込みの割り込み優先順位	割り込みが受け付けられる IMASK (UIMASK) 値
0, 1	レベル 0	受け付けられない (割り込み禁止状態)
2, 3	レベル 1	IMASK (UIMASK) が 0 のとき受け付けられる
4, 5	レベル 2	IMASK (UIMASK) が 0~1 のとき受け付けられる
6, 7	レベル 3	IMASK (UIMASK) が 0~2 のとき受け付けられる
8, 9	レベル 4	IMASK (UIMASK) が 0~3 のとき受け付けられる
10, 11	レベル 5	IMASK (UIMASK) が 0~4 のとき受け付けられる
12, 13	レベル 6	IMASK (UIMASK) が 0~5 のとき受け付けられる

内蔵周辺モジュールの 割り込み優先順位	一般割り込みの 割り込み優先順位	割り込みが受け付けられる IMASK (UIMASK) 値
14、15	レベル 7	IMASK (UIMASK) が 0~6 のとき受け付けられる
16、17	レベル 8	IMASK (UIMASK) が 0~7 のとき受け付けられる
18、19	レベル 9	IMASK (UIMASK) が 0~8 のとき受け付けられる
20、21	レベル 10	IMASK (UIMASK) が 0~9 のとき受け付けられる
22、23	レベル 11	IMASK (UIMASK) が 0~10 のとき受け付けられる
24、25	レベル 12	IMASK (UIMASK) が 0~11 のとき受け付けられる
26、27	レベル 13	IMASK (UIMASK) が 0~12 のとき受け付けられる
28、29	レベル 14	IMASK (UIMASK) が 0~13 のとき受け付けられる
30、31	レベル 15	IMASK (UIMASK) が 0~14 のとき受け付けられる

### (1) NMI 割り込み

NMI 割り込みは、IRQ 割り込み、内蔵周辺モジュール割り込みより優先度の高い割り込みです。ICR0.NMIB ビットが"1"に設定されている場合は、SR.BL ビットの値に関わらず CPU はすぐに NMI 割り込みを受け付けます。ICR0.NMIB ビットが"0"に設定されている場合は、SR.BL ビットが"0"になるまで CPU は NMI 割り込みを保留します。

NMI 端子からの入力はエッジで検出されます。検出エッジは ICR0.NMIE ビットの設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0.NMIE ビットを書き換えた場合、書き換えてから最大 6Pck 期間、NMI 割り込みを検出しません。

NMI 端子からの入力は ICR0.MAI ビットを"1"に設定することにより、NMI 端子が"L"レベルの間、SR.BL ビットや SR.IMASK ビットに関係なくすべての割り込み (NMI 割り込み、IRQ 割り込み、内蔵周辺モジュール割り込み) をマスクできます。ただし、NMI 端子の変化による NMI 割り込みだけは発生します。

### (2) IRQ 割り込み

ICR1.IRQnS (n=0~2、5~7) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、"L"レベル、"H"レベルが検出できます。また、割り込み優先順位は、INTPRI レジスタで設定できます。

IRQ 割り込み要求を"L"レベル、"H"レベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けてから割り込み処理を開始するまでの期間、その端子状態を保持してください。

ただし、IRQ 割り込み要求の検出後、CPU が受け付ける前に IRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQ レジスタで要因を保持しています。IRQ 割り込み要求をレベルで検出する場合のクリア方法の詳細は「15.7.2 レベル検出設定時の IRQ 割り込み要求のクリア方法」を参照してください。

IRQ 割り込み要求をエッジで検出する場合のクリア方法の詳細は「15.7.3 エッジ検出設定時の IRQ 割り込み要求のクリア方法」を参照してください。

CPU 動作モードレジスタ (CPUOPM) の INTMU ビットが"1"に設定されている場合は、SR.IMASK ビットは、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが"0"に設定されている場合は、割り込み受理によって SR.IMASK ビットが影響されることはありません。CPUOPM レジスタの詳細は「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。

## 15. 割り込みコントローラ (INTC)

### (3) 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。内蔵周辺モジュール割り込みは、割り込み時に、要因固有の識別として割り込み要求による例外コードを CPU へ出力します。CPU が割り込みを受け付けると CPU の INTEVT レジスタに該当する例外コードが表示されます。割り込みハンドラにて、INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることができます。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 15.3 を参照してください。

また、内蔵周辺モジュール割り込みの優先順位は図 15.1 に示すように、INT2PRI0~INT2PRI12 レジスタによって、個々の割り込み要因を 5 ビットで 32 通り、30 レベル（設定する値が大きいほど優先順位が高くなります）に設定できます。"H'00"と"H'01"は要求がマスクされていることと同じ状態です）に設定できます。CPU の割り込み優先順位は 4 ビットで 15 レベル（"H'0"は割り込み要求がマスクされていることと同じ状態です）で判定するため、内蔵周辺モジュール割り込みの優先順位は最下位 1 ビットを切り捨てた 4 ビットに変換して通知されます。たとえば、優先順位"H'1A"と優先順位"H'1B"に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先順位は"H'D"となります。これは同じ値となりますが、両者の割り込みが競合した場合は、5 ビットで考えた優先順位が高い"H'1B"の割り込みに該当する例外コードが通知されます。両者の優先順位を同一値に設定した割り込みが競合した場合は、表 15.3 に示す優先順位で例外コードが通知されます。図 15.3 に内蔵周辺モジュール割り込みの優先順位について示します。

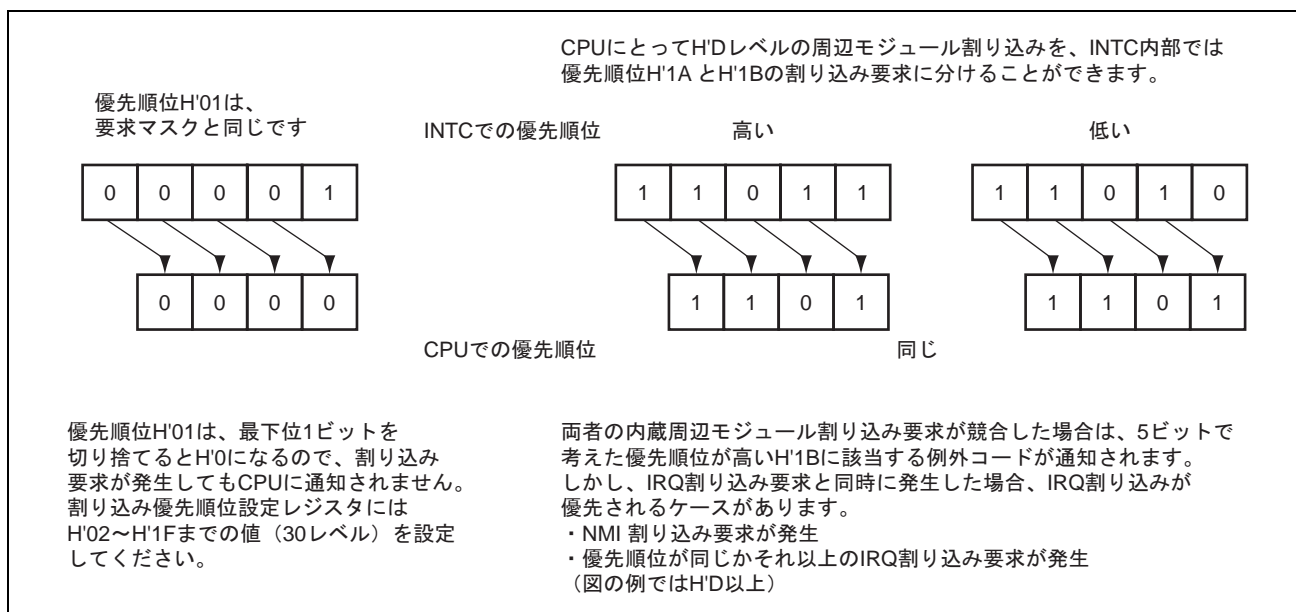


図 15.3 内蔵周辺モジュール割り込みの優先順位について

### 15.4.2 一般割り込み動作の流れ

#### (1) 一般割り込み動作の流れ 1 (SR.BL="1"のときに割り込み要求をクリア)

SR.BL="1"のときに割り込み要求をクリアする場合における一般割り込み発生時で多重割り込みを考慮した動作の流れを以下に説明します。割り込みハンドラを下記の構造にすることにより、14.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。1.から 8.まではハードウェア前処理、21.はハードウェア後処理です。

また、多重割り込みを使用しない場合は、下記の 9.、12.、14.、17.、19.の処理は不要です。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中からINTPRIレジスタ、INT2PRI0～INT2PRI12レジスタに従って、最も優先順位の高い割り込みが選択され、それより優先順位の高い割り込みは保留されます。このとき、同一優先順位に設定された割り込みまたは同一モジュール内の割り込みが複数発生した場合は、表15.2と表15.3に従って最も優先順位の高い割り込みが選択されます。
3. CPUは、INTCで選択された割り込みの優先レベルとSR.IMASKビットを比較します。CPUは、SR.BLビット="0"の状態、SR.IMASKビットのレベルより高い優先順位の割り込みだけを命令の切れ目で受け付けます。
4. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRレジスタとSPCカウンタに退避されます。そのときのR15をSGRレジスタに退避します。
5. 割り込み事象レジスタ (INTEVT) に例外コード (割り込み要因コード) がセットされます。
6. SR.BLビット、SR.MDビット、SR.RBビットが"1"にセットされます。
7. CPUOPM.INTMUビットが"1"に設定されている場合は、SR.IMASKビットは、受け付けられた割り込みレベルに自動的に設定されます。これにより、受け付けた割り込みレベル以下の割り込みを受け付けないようにすることができます。ただし、CPUOPM.INTMUビットが"0"に設定されている場合は、割り込み受理によってSR.IMASKビットが影響されることはありません。
8. 割り込みハンドラの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。
9. SPCカウンタ、SSRレジスタをスタックに退避します。
10. 必要に応じ、PRレジスタ、汎用レジスタ、浮動小数点レジスタをスタックに退避します。
11. CPUが受け付けた割り込み要因を判定するために、INTEVTレジスタの値を読み出します。
12. CPUOPM.INTMUビットが"0"のときは、SR.IMASKビットに、ソフトウェアにより受け付けた割り込みレベルを設定します。これにより、受け付けた割り込みレベル以下の割り込みを受け付けないようにすることができます。ただし、CPUOPM.INTMUビットが"1"のときは、上記7.でSR.IMASKビットは受け付けた割り込みレベルに自動的に設定されています。
13. 各割り込みルーチン中で、該当割り込み要求をクリアします。その後、SR.BLビットをクリア (下記14.の処理) する前に表15.9に示す優先順位判定時間を確保してください。これにより、クリアしたはずの割り込み要求を誤って再度受け付けないようにすることができます。

## 15. 割り込みコントローラ (INTC)

---

14. SRレジスタのBLビットをクリアします。
15. 上記11.で読み出したINTEVTレジスタの値をオフセットとして、各割り込み要因の割り込みルーチンに分岐します。
16. この後、実際に行いたい処理を書きます。
17. SRレジスタのBLビットを"1"にセットします。
18. 上記10.で退避したPRレジスタ、汎用レジスタ、浮動小数点レジスタをスタックから復帰します。
19. SSRレジスタとSPCカウンタをスタックから復帰します。
20. RTE命令を実行します。
21. RTE命令実行により、上記4.で退避したSSRレジスタとSPCカウンタからそれぞれステータスレジスタ (SR) とプログラムカウンタ (PC) に自動的に復帰されます。

【注】・ IRQ 割り込みおよび周辺モジュール割り込みは、ハードウェアリセットで割り込みマスク状態に初期化されます。割り込みマスクの状態を無効にするには、INTMSKCLR レジスタ、INT2MSKCR レジスタ、INT2MSKCR1 レジスタのうち、要因ごとに対応する各ビットに"0"を書き込んでクリアしてください。

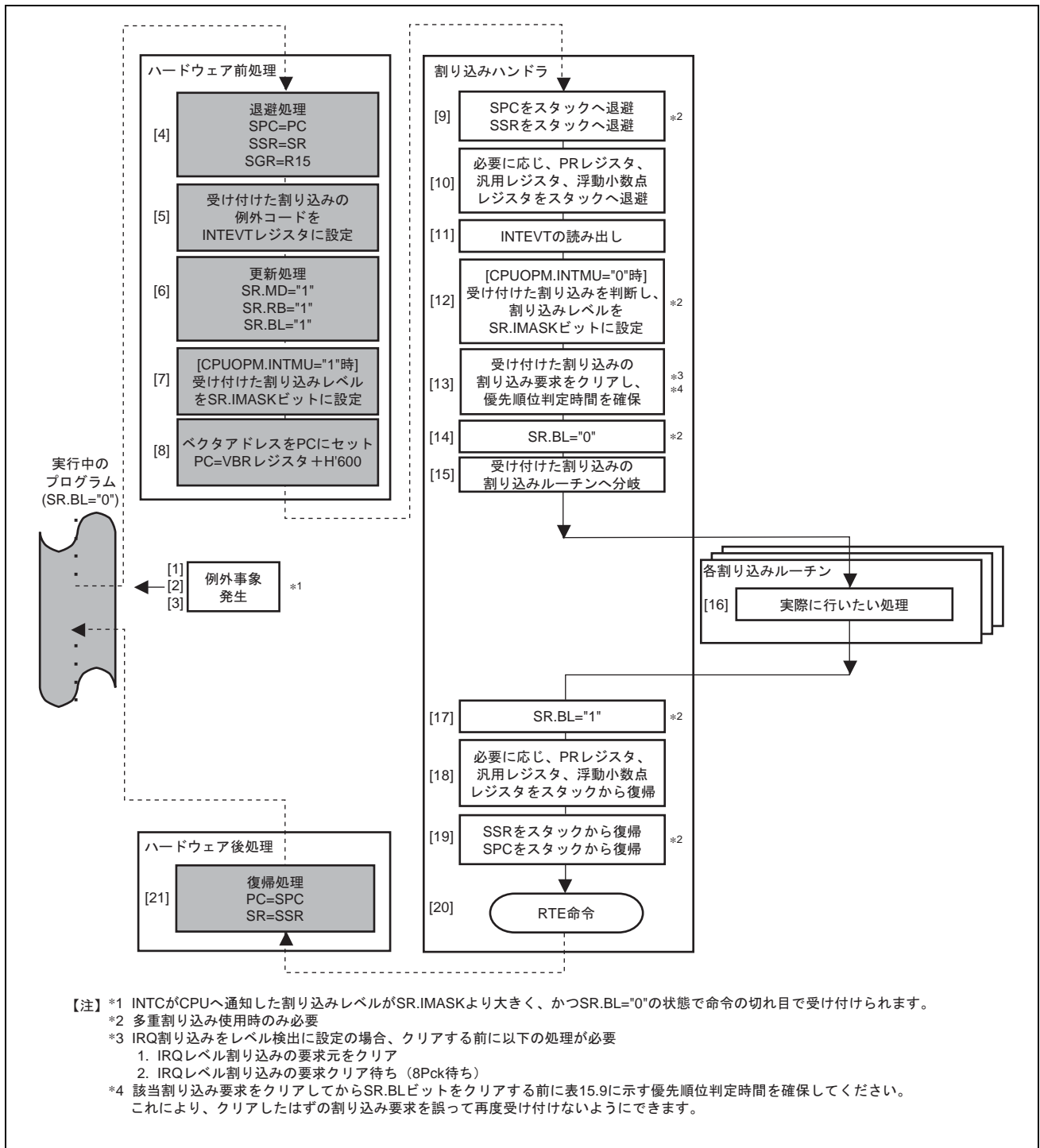


図 15.4 一般割り込みの動作例 1

## 15. 割り込みコントローラ (INTC)

---

### (2) 一般割り込み動作の流れ 2 (SR.BL="0"のときに割り込み要求をクリア)

SR.BL="0"のときに割り込み要求をクリアする場合における一般割り込み発生時で多重割り込みを考慮した動作の流れを以下に説明します。割り込みハンドラを下記の構造にすることにより、13.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。1.から 8.まではハードウェア前処理、21.はハードウェア後処理です。

また、多重割り込みを使用しない場合は、下記の 9.、12.、13.、17.、19.の処理は不要です。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中からINTPRIレジスタ、INT2PRI0~INT2PRI12レジスタに従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込みまたは同一モジュール内の割り込みが複数発生した場合は、表15.2と表15.3に従って最も優先順位の高い割り込みが選択されます。
3. CPUは、INTCで選択された割り込みの優先レベルとSR.IMASKビットを比較します。CPUは、SR.BLビット="0"の状態、SR.IMASKビットのレベルより高い優先順位の割り込みだけを命令の切れ目で受け付けます。
4. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRレジスタとSPCカウンタに退避されます。そのときのR15をSGRレジスタに退避します。
5. 割り込み事象レジスタ (INTEVT) に例外コード (割り込み要因コード) がセットされます。
6. SRレジスタのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が"1"にセットされます。
7. CPUOPM.INTMUビットが"1"に設定されている場合は、SR.IMASKビットは、受け付けられた割り込みレベルに自動的に設定されます。これにより、受け付けた割り込みレベル以下の割り込みを受け付けないようにすることができます。ただし、CPUOPM.INTMUビットが"0"に設定されている場合は、割り込み受理によってSR.IMASKビットが影響されることはありません。
8. 割り込みハンドラの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。
9. SPCカウンタ、SSRレジスタをスタックに退避します。
10. 必要に応じ、PRレジスタ、汎用レジスタ、浮動小数点レジスタをスタックに退避します。
11. CPUが受け付けた割り込み要因を判定するために、INTEVTレジスタの値を読み出します。
12. CPUOPM.INTMUビットが"0"のときは、SR.IMASKビットに、ソフトウェアにより受け付けた割り込みレベル以上を設定します。これにより、受け付けた割り込みレベル以下の割り込みを受け付けないようにすることができます。ただし、CPUOPM.INTMUビットが"1"のときは、上記7.でSR.IMASKビットは受け付けた割り込みレベルに自動的に設定されています。
13. SRレジスタのBLビットをクリアします。
14. 上記11.で読み出したINTEVTレジスタの値をオフセットとして、各割り込み要因の割り込みルーチンに分岐します。

15. 各割り込みルーチン中で、該当割り込み要求をクリアします。その後、RTE命令を実行（下記20.の処理）する前に表15.9に示す優先順位判定時間を確保してください。これにより、クリアしたはずの割り込み要求を誤って再度受け付けないようにすることができます。
16. この後、実際に行いたい処理を書きます。
17. SRレジスタのBLビットを"1"にセットします。
18. 上記10.で退避したPRレジスタ、汎用レジスタ、浮動小数点レジスタをスタックから復帰します。
19. SSRレジスタとSPCカウンタをスタックから復帰します。
20. RTE命令を実行します。
21. RTE命令実行により、上記4.で退避したSSRレジスタとSPCカウンタからそれぞれステータスレジスタ（SR）とプログラムカウンタ（PC）に自動的に復帰されます。

【注】・ IRQ 割り込みおよび周辺モジュール割り込みは、ハードウェアリセットで割り込みマスク状態に初期化されます。割り込みマスクの状態を無効にするには、INTMSKCLR レジスタ、INT2MSKCR レジスタ、INT2MSKCR1 レジスタのうち、要因ごとに対応する各ビットに"0"を書き込んでクリアしてください。



## 15. 割り込みコントローラ (INTC)

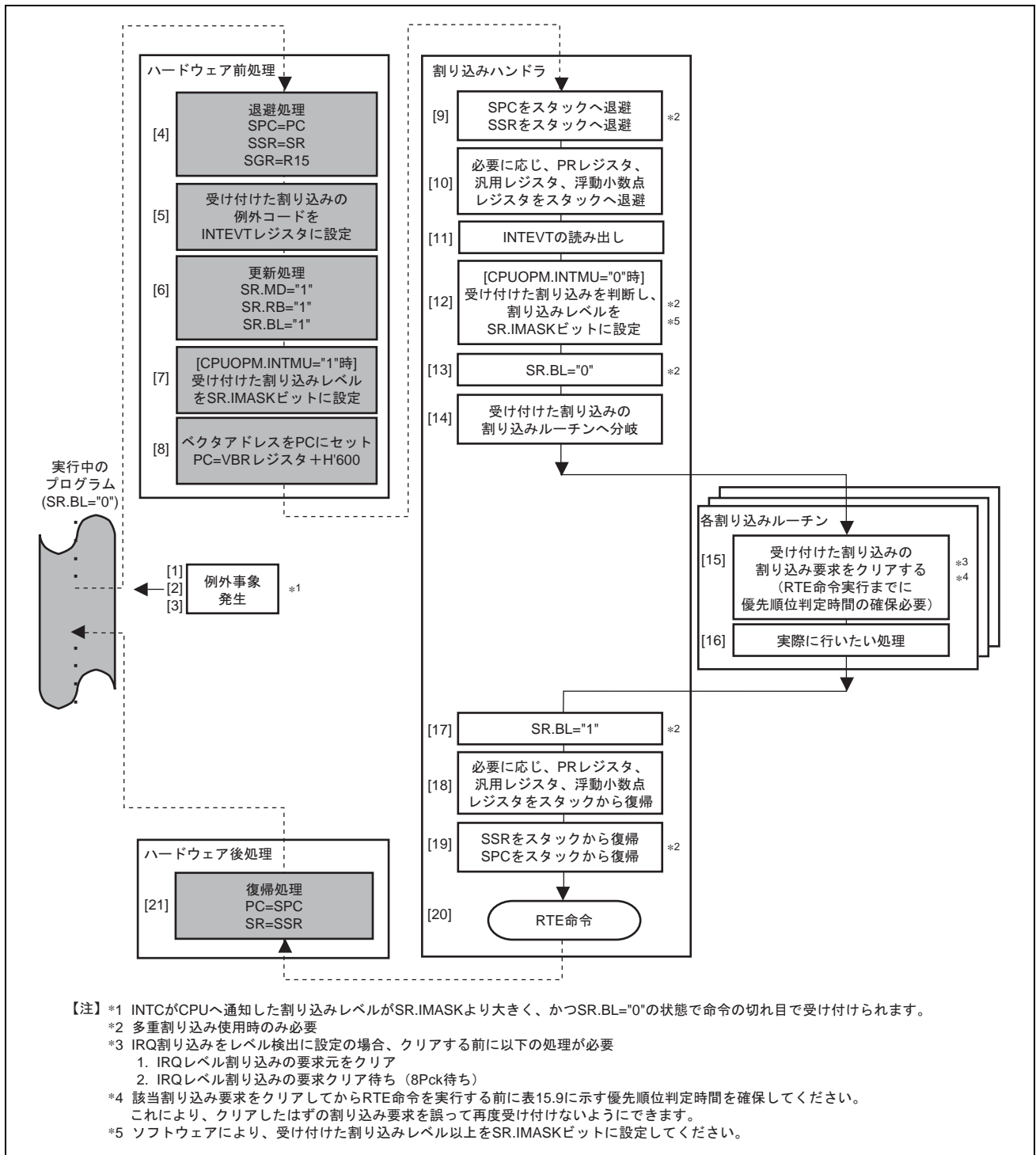


図 15.5 一般割り込みの動作例 2

## 15.4.3 NMI 割り込み動作の流れ

NMI は、電源の異常検出や外部ウォッチドッグタイマの異常検出等に対して使用される緊急用の割り込み要求です。図 15.6、図 15.7 に NMI 割り込みの動作例を示します。

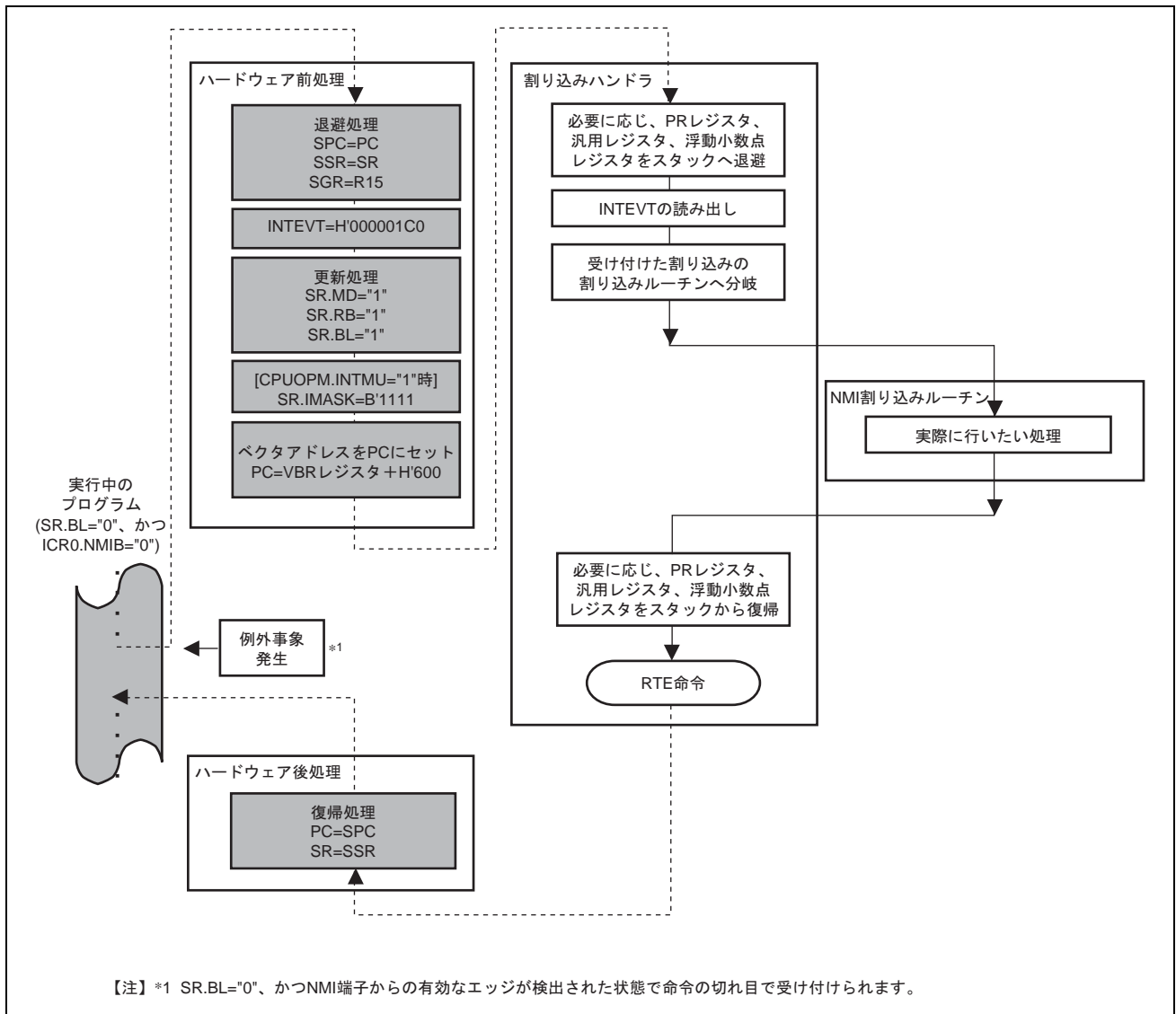


図 15.6 NMI 割り込みの動作例 (ICR0.NMIB ビット="0"の場合)

## 15. 割り込みコントローラ (INTC)

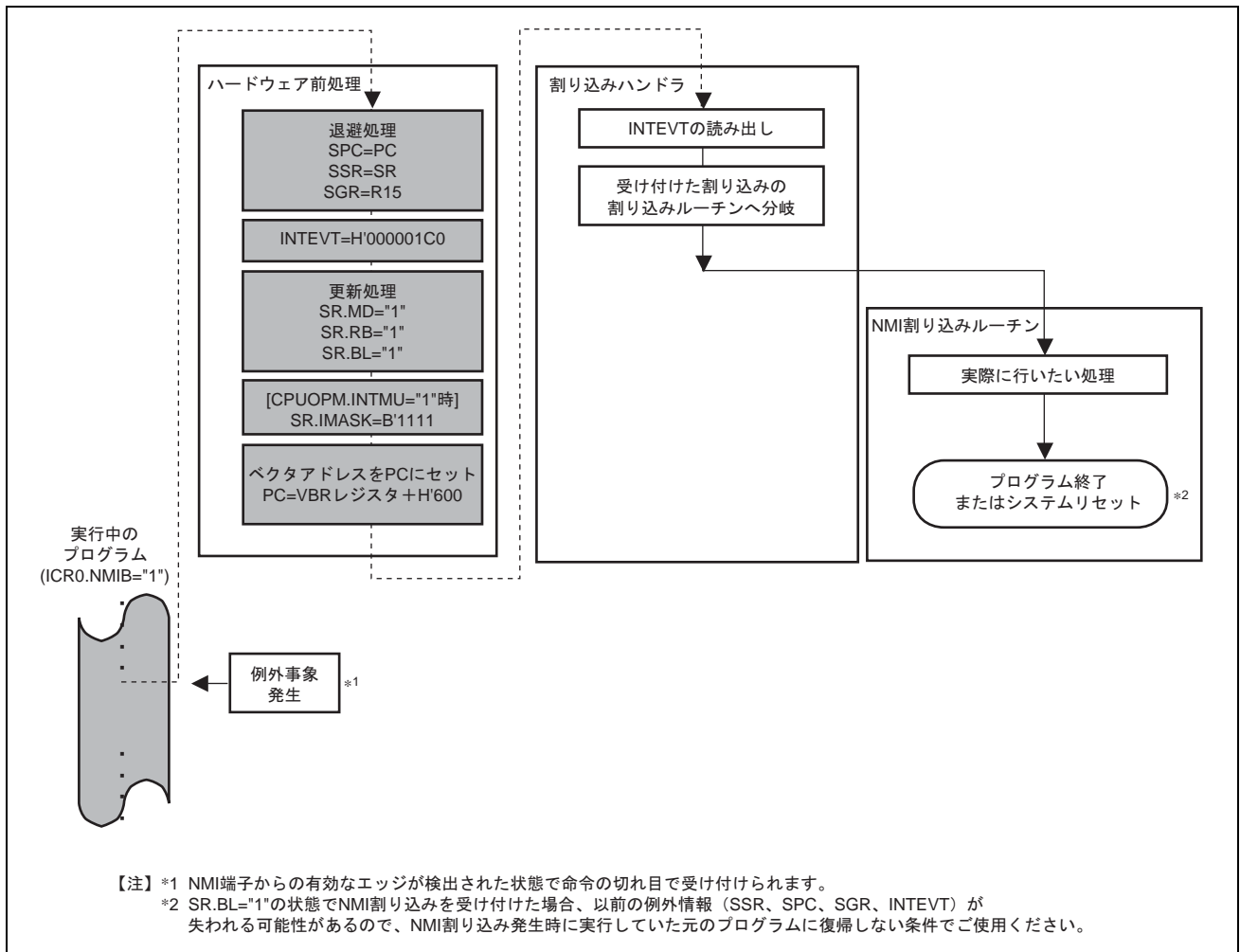


図 15.7 NMI 割り込みの動作例 (ICR0.NMIB="1"の場合)

## 15.5 割り込み応答時間

表 15.9 に割り込み要求が発生してから、割り込みの例外処理が行われ、割り込みハンドラの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を示します。

表 15.9 割り込み応答時間

項 目		ステート数			備 考
		NMI	IRQ	周辺モジュール	
優先順位判定時間		7Pcyc	6Pcyc	5Pcyc	
CPU が実行中のシーケンス終了までの待ち時間		S-1 (≥0) × Icyc			
割り込み例外処理 (SR、PC の退避) から、割り込みハンドラの先頭命令フェッチの SHwy バスリクエストを発行するまでの時間		11Icyc+1Scyc			
応答時間	合計	(S+10) Icyc +1Scyc +7Pcyc	(S+10) Icyc +1Scyc +6Pcyc	(S+10) Icyc +1Scyc +5Pcyc	
	最小時	40Icyc +S × Icyc	36Icyc +S × Icyc	32Icyc +S × Icyc	Icyc:Scyc:Pcyc =4:2:1 のとき

- 【注】
- ・ Icyc : CPU クロック (Ick) の 1 サイクル期間
  - ・ Scyc : SHwy クロック (SHck) の 1 サイクル期間
  - ・ Pcyc : 周辺クロック (Pck) の 1 サイクル期間
  - ・ S : 命令実行ステート数

### 15.6 初期設定手順例

図 15.8 に INTC の初期設定手順例を示します。割り込み許可にする前に設定変更が優先順位判定回路へ反映されるまでの時間として、表 15.9 に示す優先順位判定時間を確保してください。

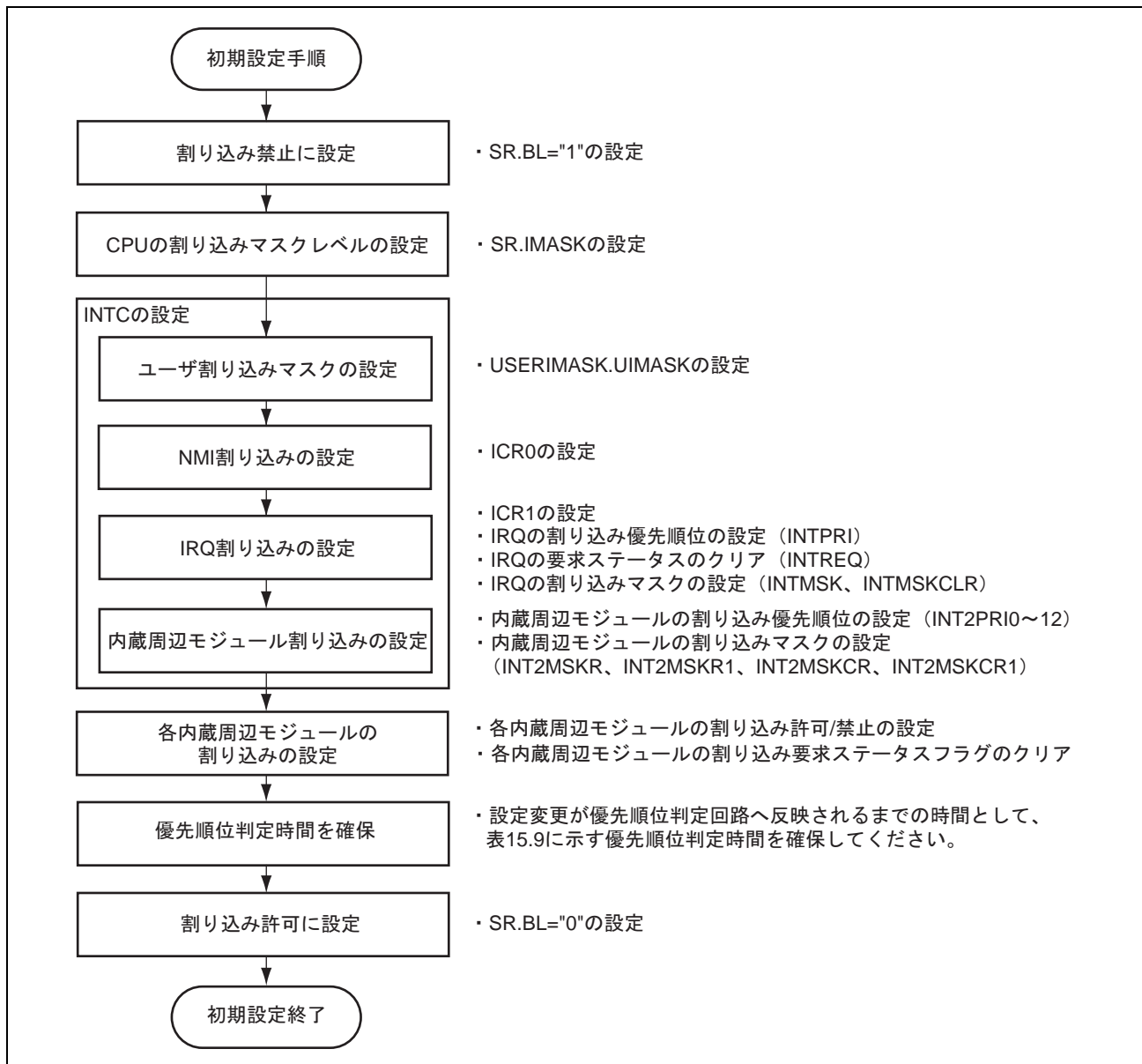


図 15.8 INTC の初期設定手順例

## 15.7 使用上の注意事項

### 15.7.1 IRQ 端子機能設定時の注意事項

IRQ0～IRQ2、IRQ5～IRQ7 端子は他の機能とマルチプレクスになっています。このため IRQ0～IRQ2、IRQ5～IRQ7 端子機能への切り替え時、割り込み要求を検出して INTC 内部で保持する可能性があります。したがって、IRQ 割り込み要求をマスク状態に設定してから、ピンファンクションユニットで IRQ0～IRQ2、IRQ5～IRQ7 端子機能への切り替えを行ってください。

表 15.10 IRQ 端子機能切り替え手順

手順	項目	内容
1	IRQ 割り込み要求をマスク	INTMSK レジスタの全ビットに"1"を書き込む。
2	ピンファンクションユニットで IRQ0～IRQ2、IRQ5～IRQ7 の機能に設定	該当するポートのコントロールレジスタで使用する端子を選択する。
3	IRQ 割り込み要求の検出を開始	INTMSKCLR レジスタの該当するビットに"1"を書き込む。

### 15.7.2 レベル検出設定時の IRQ 割り込み要求のクリア方法

レベル検出を設定している IRQ 割り込み要求のクリアは、INTMSK.IRQ<sub>n</sub> (n=0～2、5～7) ビットのうち該当するビットに"1"を書き込んでください。INTPRI レジスタで該当するビットに"0"を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。検出している IRQ 割り込み要求は INTREQ レジスタを読み出すことで確認できます。レベル検出設定時の IRQ 割り込み要求をクリアする場合は、以下の手順で行ってください。

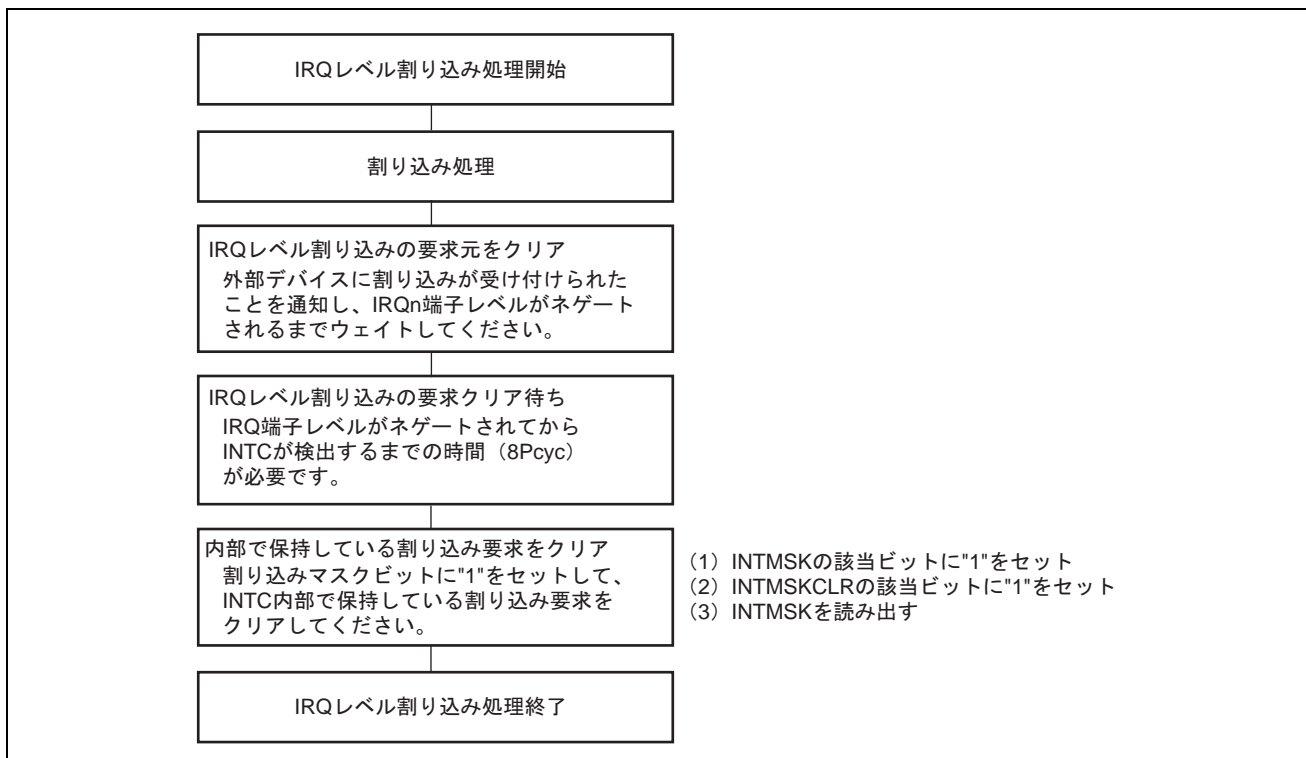


図 15.9 割り込み処理ルーチンの例

## 15. 割り込みコントローラ (INTC)

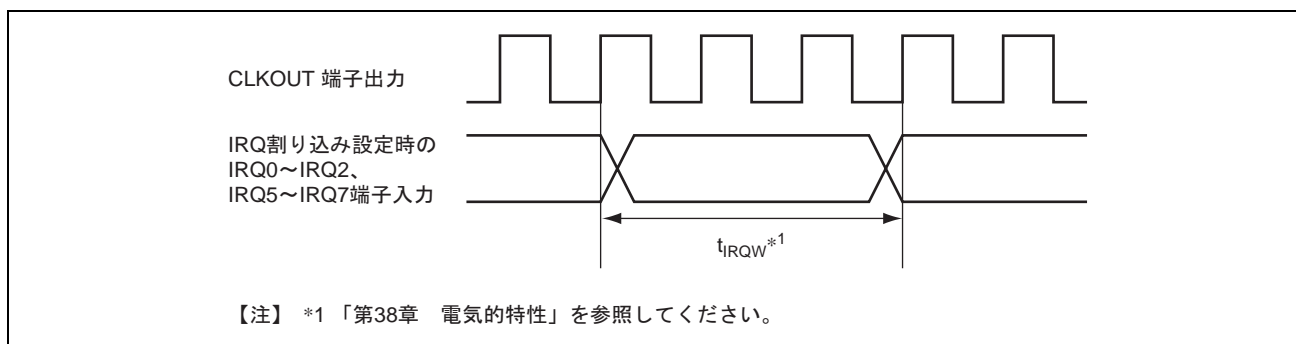


図 15.10 IRQ 端子から入力する割り込み要求の検出に必要な時間

### 15.7.3 エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ 割り込み要求のクリアは、INTREQ.IRQn (n=0~2、5~7) ビットのうち該当するビットから"1"を読み出した後、"0"を書き込んでください。"0"を読み出したビットには、"1"を書き込んでください。INTMSK レジスタで該当するビットに"1"を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。

## 16. リセット

### 16.1 リセット動作

RESET#端子にノイズキャンセル幅 ( $t_{RESNCW}$ ) 以上の"L"レベル信号が入力されると、リセットが受け付けられます。

リセットが受け付けられると各端子はリセット状態に遷移します。リセット受け付け後、3~4Pck サイクル後に CPU を含む内部回路がリセットされます。RESET#端子に入力する"L"レベルパルス幅は、RESET#パルス幅 ( $t_{RESW}$ ) 以上の期間入力する必要があります。その後、RESET#端子に"H"レベル信号を入力すると、2150Pck サイクル後に内部回路のリセットが解除され、CPU はリセット例外処理を開始します。

RESET#ノイズキャンセル幅は  $t_{RESNCW}$ 、RESET#パルス幅は  $t_{RESW}$  として規定されます。詳細は「第 38 章 電気的特性」を参照してください。

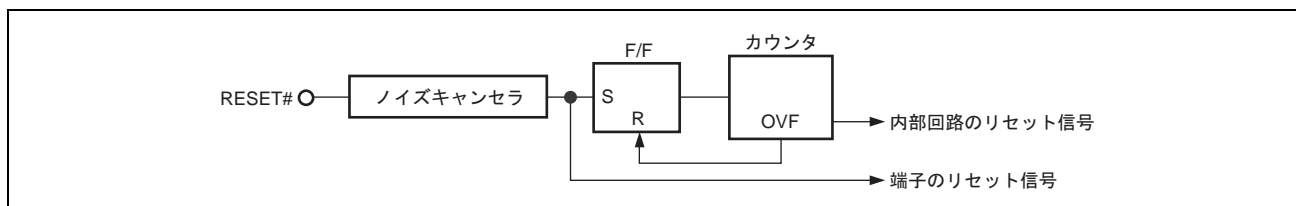


図 16.1 リセット回路

### 16.2 入出力端子

表 16.1 に RESET#の端子構成と機能を示します。

以下に示す端子は他の端子とマルチプレクスされていません。

表 16.1 端子構成

端子名	入出力	機能
RESET#	入力	リセット入力端子 端子に"L"レベル信号を入力するとリセット状態に遷移します。



### 16.3 動作説明

#### 16.3.1 リセット要求

下記にリセットの発生要因と遷移動作を説明します。

特に説明がないかぎり、これらのいずれかの要因が発生した場合を総称してリセットと呼びます。

- 要因

1. RESET#端子へ"L"レベル信号を入力した場合。
2. WDTCRレジスタのWTITビットが"1"の状態、WDT CNTレジスタがオーバフローした場合。
3. H-UDIのコマンド発行によるリセットが発生した場合。

詳細は「第37章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

4. 命令TLB多重ヒット例外が発生した場合。

5. データTLB多重ヒット例外が発生した場合。

詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

6. SR.BL="1"中にユーザブレイク以外の一般例外が発生した場合

1.と2.のいずれかの要因が発生した場合をハードウェアリセットと呼びます。

- 遷移先アドレス : H'A000 0000

- 遷移時動作

リセット要因が発生すると、CPUはリセット例外処理を開始します。詳細は「第5章 例外処理」を参照してください。

#### 16.3.2 RESET#端子によるリセット

電源投入時には必ず RESET#端子に"L"レベル信号を入力してください。また、H-UDIを初期化するために、TRST#端子に"L"レベル信号を入力する必要があります。

RESET#端子への入力信号を"L"レベルから"H"レベルに変化させた後、リセット保持時間を経過するまでMCU内部でリセット状態を継続しています。リセット保持時間は、EXTAL端子入力の入力周期の1075サイクル以上になります。

## (1) 電源投入時のリセット

電源投入時、電源電圧が規格内に入ってから発振回路の安定時間と PLL の発振安定時間の総和の期間は、RESET#端子に"L"レベル信号を入力してください。なお、電源投入シーケンスは「第 34 章 電源回路」を参照してください。発振安定時間は  $t_{OSCI}$  として規定されます。詳細は「第 38 章 電気的特性」を参照してください。また、H-UDI を初期化するために、TRST#端子に"L"レベル信号を入力する必要があります。

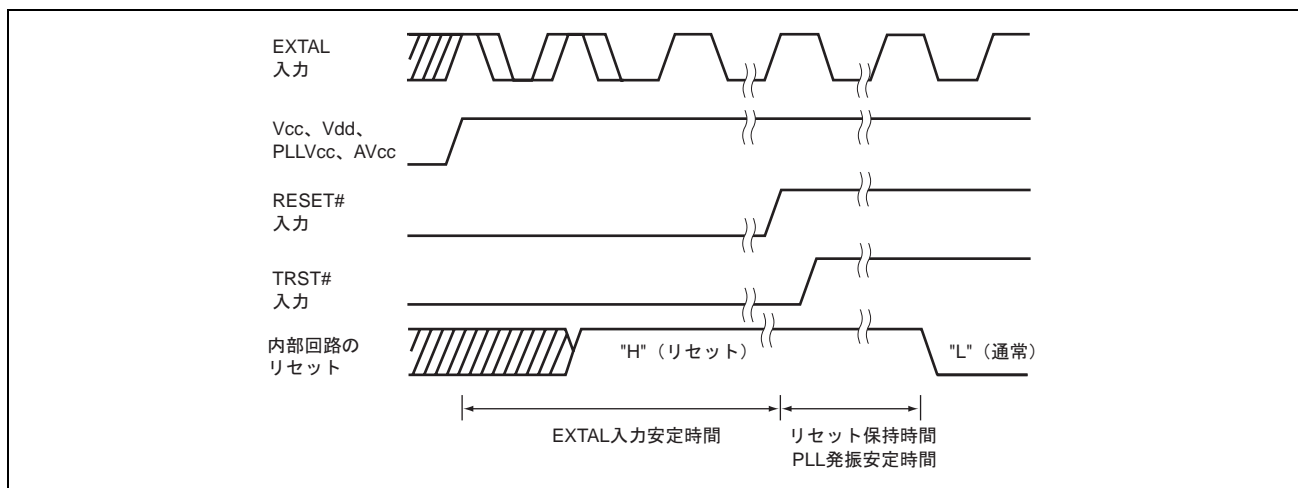


図 16.2 電源投入時のリセット

## (2) 動作中のリセット

動作中のリセットは、リセットパルス幅以上の"L"レベルを RESET#端子に入力してください。リセットパルス幅は  $t_{RESW}$  として規定されます。詳細は「第 38 章 電気的特性」を参照してください。

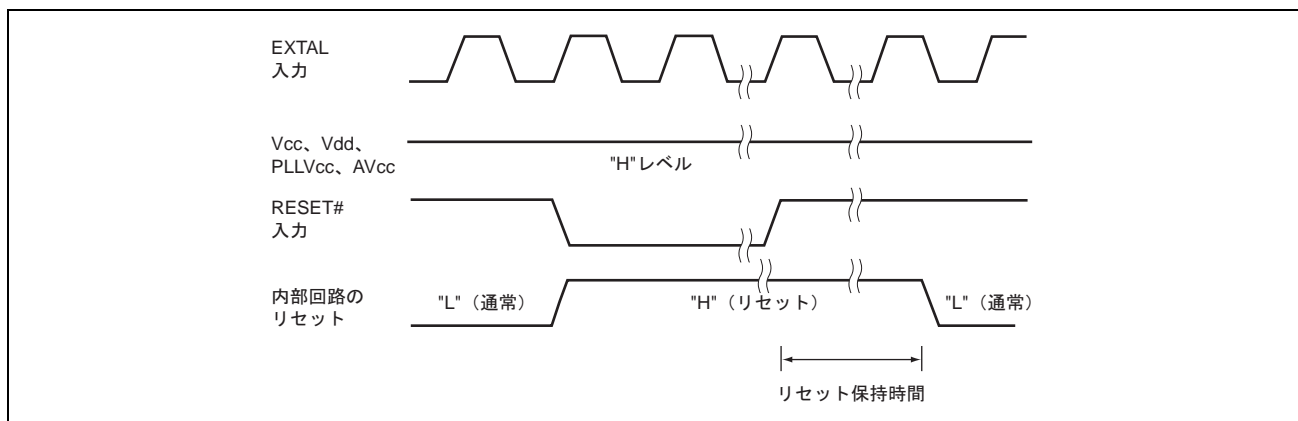


図 16.3 動作中のリセット

## 16.4 使用上の注意事項

## 16.4.1 内部要因リセット時の入出力端子動作についての注意

内部要因によるリセットの発生によって入出力端子が動作状態からリセット状態に遷移する際に、最大で周辺クロック（Pck）の1サイクルの間、入出力端子が不定状態となります。上記不定状態においては、"H"レベル出力、"L"レベル出力、ハイインピーダンス状態のいずれかの状態となります。

上記のとおり、入出力端子は一時的に不定状態となりますが、その後はマイコン全体が所定のリセット状態に遷移します。

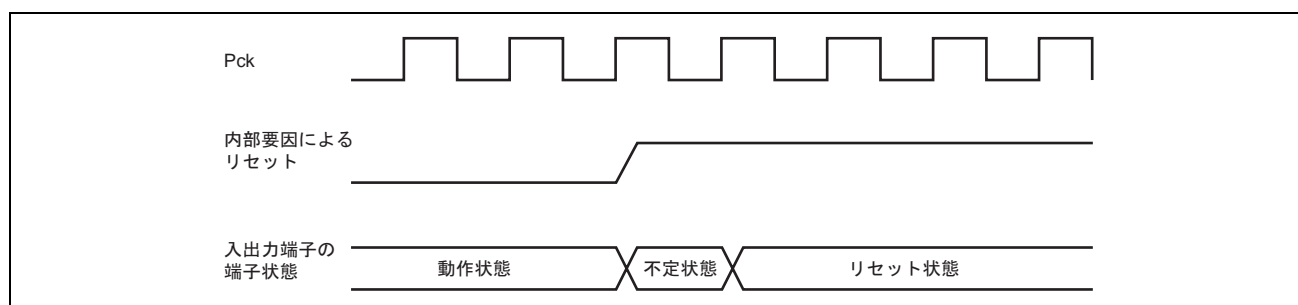


図 16.4 内部要因リセット時の入出力端子動作

内部要因によるリセットは、以下が該当します。

- ウォッチドッグタイマ（WDT）オーバフロー時のリセット
- エミュレータによるH-UDIリセット
- 例外によるリセット

RESET#端子にローレベル入力することによるリセットは、この注意事項の内部要因リセットには該当しません。

表 16.2 に該当する入出力端子を示します。なお、該当しない端子は、内部要因によるリセットと同時に端子はハイインピーダンス状態になります

表 16.2 該当する入出力端子

該当する入出力端子		内部要因リセット時の端子動作	
機能名	機能端子名[端子名]	(動作状態時の端子動作) → (不定状態時の端子動作) → (リセット状態時の端子動作)	動作説明
ATU-III	TONm [PA0~PA13, PC0~PC3, PC5, PC6]	"H"または"L"出力→"L"出力→Hi-Z	内部要因によりリセット受付時、ポートのデータレジスタの初期化の値"0"をMax.1Pck 分出力します。
PSEL	PSLCLKB [PA8], PSLCLKA [PA9], PSLDATA0 [PA10], PSLDATA1 [PA11], PSLDATA2 [PA12], PSLDATA3 [PA13]		
ADC	AD0END [PJ11]		
RCAN	CTXi [PF1, PJ1, PJ3, PJ5, PJ7]	"H"または"L"出力→"H"出力→Hi-Z	内部要因によるリセット受付時、ポートのデータレジスタの初期化の値"1"をMax.1Pck 分出力します。
AUDR	AUDREVT# [PL9]		
ATU-III	TONm (m=0~5) (PWM 出力禁止設定時) [PA0~PA5, PA8~PA13, PC0~PC3, PC5]	Hi-Z→"L"出力→Hi-Z	内部要因によるリセット受付時、ポートのデータレジスタの初期化の値"0"をMax.1Pck 分出力します。

- 【注】 1. ただし、該当端子でも該当機能を選択していない場合は該当しません。
2. 表中の"H"出力は"H"レベル出力を、"L"出力は"L"レベル出力を、Hi-Zはハイインピーダンス状態を示します。

レイアウトの都合上、このページは白紙です。

---

## 17. ウォッチドッグタイマ (WDT)

---

ウォッチドッグタイマ (WDT) は、1 チャンネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用できます。

### 17.1 概要

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- カウンタオーバーフローによりリセットを発生するウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- ウォッチドッグタイマモード時、カウンタオーバーフローによりリセットが発生し、WDTOVF#信号を出力します。
- インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT関連のレジスタは、容易に書き換えられないように上位8ビットにコード値を設定しています。
- カウンタがオーバーフローするまでの最大時間は、約27秒（周辺クロック：Pck=40MHz時）です。

## 17. ウォッチドッグタイマ (WDT)

図 17.1 に WDT のブロック図を示します。

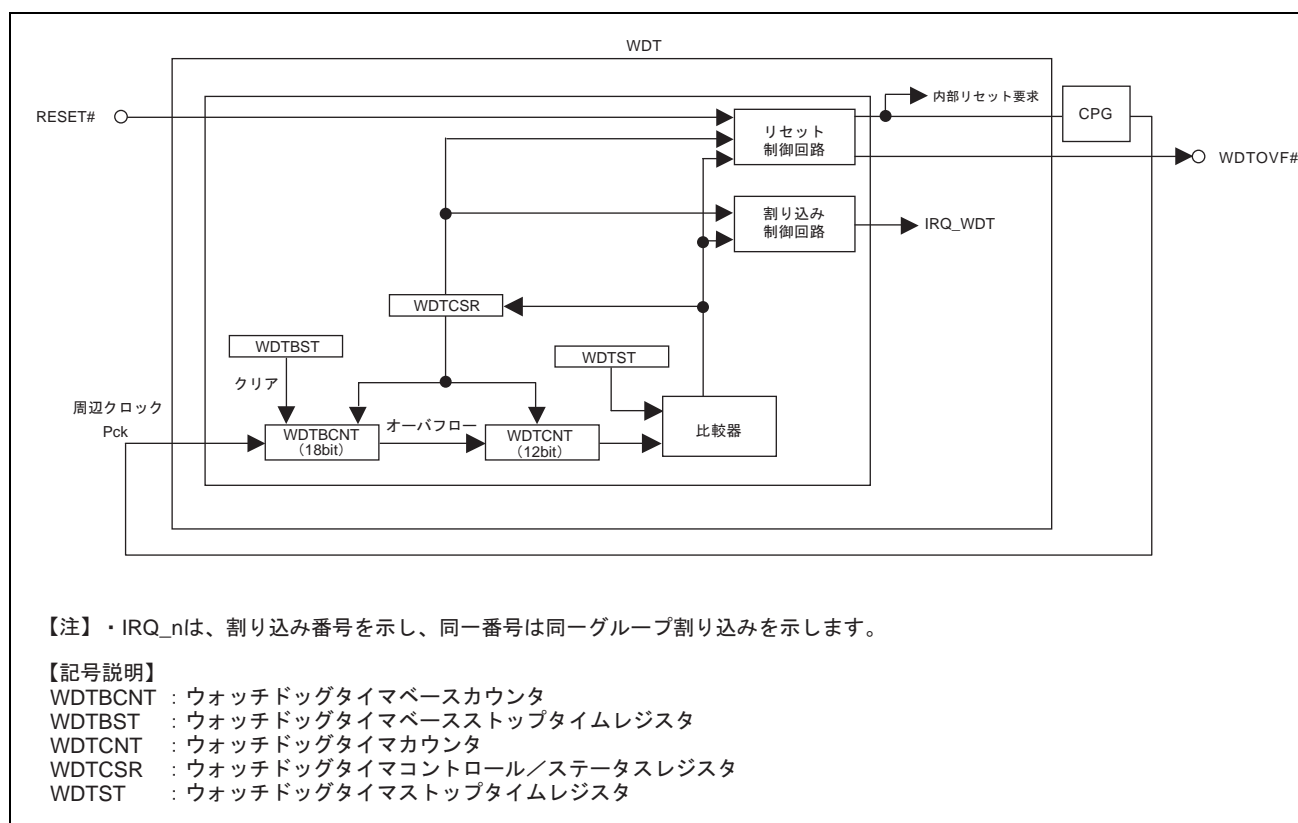


図 17.1 WDT のブロック図

## 17.2 入出力端子

表 17.1 に WDT の端子構成を示します。

以下に示す端子は他の端子とマルチプレクスされていません。

表 17.1 端子構成

端子名	入出力	機能
WDTOVF#	出力	カウンタオーバーフロー出力端子 ウォッチドッグタイマモード時にカウンタオーバーフロー信号を出力します。

### 17.3 レジスタの説明

表 17.2 に WDT のレジスタ構成を示します。

表 17.2 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
ウォッチドッグタイマストップタイムレジスタ	WDTST	H'0000 0000	H'FFFF 1000	32	17-3
ウォッチドッグタイムコントロール/ステータスレジスタ	WDTCSR	H'0000 0000	H'FFFF 1004	32	17-4
ウォッチドッグタイムベースストップタイムレジスタ	WDTBST	H'0000 0000	H'FFFF 1008	32	17-6
ウォッチドッグタイムカウンタ	WDTCNT	H'0000 0000	H'FFFF 1010	32	17-7
ウォッチドッグタイムベースカウンタ	WDTBCNT	H'0000 0000	H'FFFF 1018	32	17-8

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

#### 17.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTCNT カウンタのオーバフロー値を設定します。H'0000 0001 を設定した場合がオーバフローまでの最小時間、H'0000 0000 を設定した場合がオーバフローまでの最大時間になります。

WDTST レジスタへの書き込みは、WDTSTKEY ビットを"H'5A"にしてロングワードサイズで行ってください。WDTSTKEY ビットは読み出すと常に"0"が読み出されます。

WDTST レジスタは、RESET#端子によるリセットでは"H'0000 0000"に初期化されます。ただし、ウォッチドッグタイマモード時のカウンタオーバフローによるリセットと H-UDI によるリセットでは、リセット前に設定した値を保持します。

ウォッチドッグタイマストップタイムレジスタ (WDTST)

<P4領域アドレス : H'FFFF 1000番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDTSTKEY								—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	WDTSTKEY	すべて 0	0	W	WDTST レジスタライトキーコードビット WDTST ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'5A : WDTST ビットの書き換え許可 H'5A 以外 : WDTST ビットの書き換え禁止



## 17. ウォッチドッグタイマ (WDT)

ビット	シンボル	リセット後の値	R	W	説明
23~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11~0	WDTST	H'000	R	W	WDTCNT カウンタのオーバフロー値

### 17.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)

WDTCSR レジスタへの書き込みは WDTCSRKEY ビットを"H'A5"にしてロングワードサイズで行ってください。WDTCSRKEY ビットは読み出すと常に"0"が読み出されます。

WDTCSR レジスタは、RESET#端子によるリセットでは"H'0000 0000"に初期化されます。ウォッチドッグタイマモード時のカウンタオーバフローによるリセットでは、WOVF ビットが"1"にセットされる以外はリセット前に設定した値を保持します。また、H-UDI によるリセットでは、リセット前に設定した値を保持します。

ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)

<P4領域アドレス : H'FFFF 1004番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDTCSRKEY								—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TME	WTIT	—	WOVF	IOVF	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	WDTCSRKEY	すべて0	0	W	WDTCSR レジスタライトキーコードビット 下位ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'A5 : 下位ビットの書き換え許可 H'A5 以外 : 下位ビットの書き換え禁止
23~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	TME	0	R	W	タイマイネーブルビット タイマ動作の開始または停止を設定します。 0 : カウントアップ停止 1 : カウントアップ開始

17. ウォッチドッグタイマ (WDT)

ビット	シンボル	リセット後の値	R	W	説明
6	WTIT	0	R	W	タイマモードセレクトビット ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT 動作中の WTIT ビットの書き替えは禁止です。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	WOVF	0	R	*1	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで WDTCNT カウンタがオーバフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WDTCNT カウンタがオーバフローした
3	IOVF	0	R	*1	インターバルタイマオーバフローフラグ インターバルタイマモードで WDTCNT カウンタがオーバフローしたことを示します。ウォッチドッグタイマモードではセットされません。 0: オーバフローなし 1: インターバルタイマモードで WDTCNT カウンタがオーバフローした
2~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

## 17. ウォッチドッグタイマ (WDT)

### 17.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBCNT カウンタのクリアは、WDTBST レジスタの WDTBSTKEY ビットを"H'55"にしてロングワードサイズで書き込むことで実行します。WDTBST レジスタを読み出すと常に"H'0000 0000"が読み出されます。

ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

<P4領域アドレス : H'FFFF 1008番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDTBSTKEY								—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	WDTBSTKEY	すべて0	0	W	WDTBST レジスタライトキーコードビット WDTBCNT カウンタのクリアに使用します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'55 : WDTBCNT カウンタをクリア H'55 以外 : 書き込み無効
23~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 17.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT カウンタは WDTBCNT カウンタのオーバフローによりカウントアップします。WDTCNT カウンタがオーバフローすると、ウォッチドッグタイマモードではリセットが発生し、インターバルタイマモードでは割り込みが発生します。なお、WDTCNT カウンタは読み出し専用レジスタで、書き込みは無効です。

WDTCNT カウンタは、RESET#端子によるリセットでは"H'0000 0000"に初期化されます。ウォッチドッグタイマモード時のカウンタオーバフローによるリセットと H-UDI によるリセットでカウンタはリセットされますが、リセット解除によりカウントアップを再開します。

ウォッチドッグタイマカウンタ (WDTCNT)

&lt;P4領域アドレス : H'FFFF 1010番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~12	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。
11~0	WDTCNT	すべて0	R	—	WDTCNT カウント値。

## 17. ウォッチドッグタイマ (WDT)

### 17.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT カウンタは周辺クロック (Pck) によりカウントアップします。WDTBCNT カウンタがオーバーフローすると、WDTBCNT カウンタのカウントアップを行い、WDTBCNT カウンタを"H'0000 0000"にクリアします。なお、WDTBCNT カウンタは読み出し専用レジスタで、書き込みは無効です。

WDTBCNT カウンタは、RESET#端子によるリセットでは"H'0000 0000"に初期化されます。ウォッチドッグタイマモード時のカウンタオーバーフローによるリセットとH-UDIによるリセットでカウンタはリセットされますが、リセット解除によりカウントアップを再開します。

ウォッチドッグタイマベースカウンタ (WDTBCNT)

<P4領域アドレス : H'FFFF 1018番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTBCNT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~18	—	すべて0	0	—	予約ビット 読み出すと常に"0"が読み出されます。
17~0	WDTBCNT	すべて0	R	—	WDTBCNT カウント値。

## 17.4 動作説明

### 17.4.1 ウォッチドッグタイマモードの使用法

1. WDTSTレジスタにWDTCNTカウンタのオーバフロー時間を設定します。
2. WDTCSRレジスタのWTITビットに"1"を設定します。
3. WDTCSRレジスタのTMEビットに"1"を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTカウンタがオーバフローしないように定期的にWDTCNTカウンタまたはWDTBCNTカウンタをクリアしてください。クリア方法は「17.4.4 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTカウンタがオーバフローすると、WDTCSRレジスタのWOVFフラグを"1"にセットし、リセットを発生します。

### 17.4.2 インターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTレジスタにWDTCNTカウンタのオーバフロー時間を設定します。
2. WDTCSRレジスタのWTITビットに"0"を設定します。
3. WDTCSRレジスタのTMEビットに"1"を設定すると、WDTカウンタのカウントを開始します。
4. WDTCNTカウンタがオーバフローすると、WDTCSRレジスタのIOVFフラグを"1"にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDTCNTカウンタおよびWDTBCNTカウンタはカウントを続行しています。

### 17.4.3 WDT オーバフロー発生までの時間

図 17.2 に WDTCNT カウンタと WDTBCNT カウンタとの関係を示します。

図はインターバルタイマモードの例で、WDTCNT カウンタのオーバフロー後もカウントアップを続けます。ウォッチドッグタイマモードでは、カウンタオーバフローによるリセット解除後に WDTCNT カウンタと WDTBCNT カウンタを"0"にクリアしてカウントアップを再開します。

## 17. ウォッチドッグタイマ (WDT)

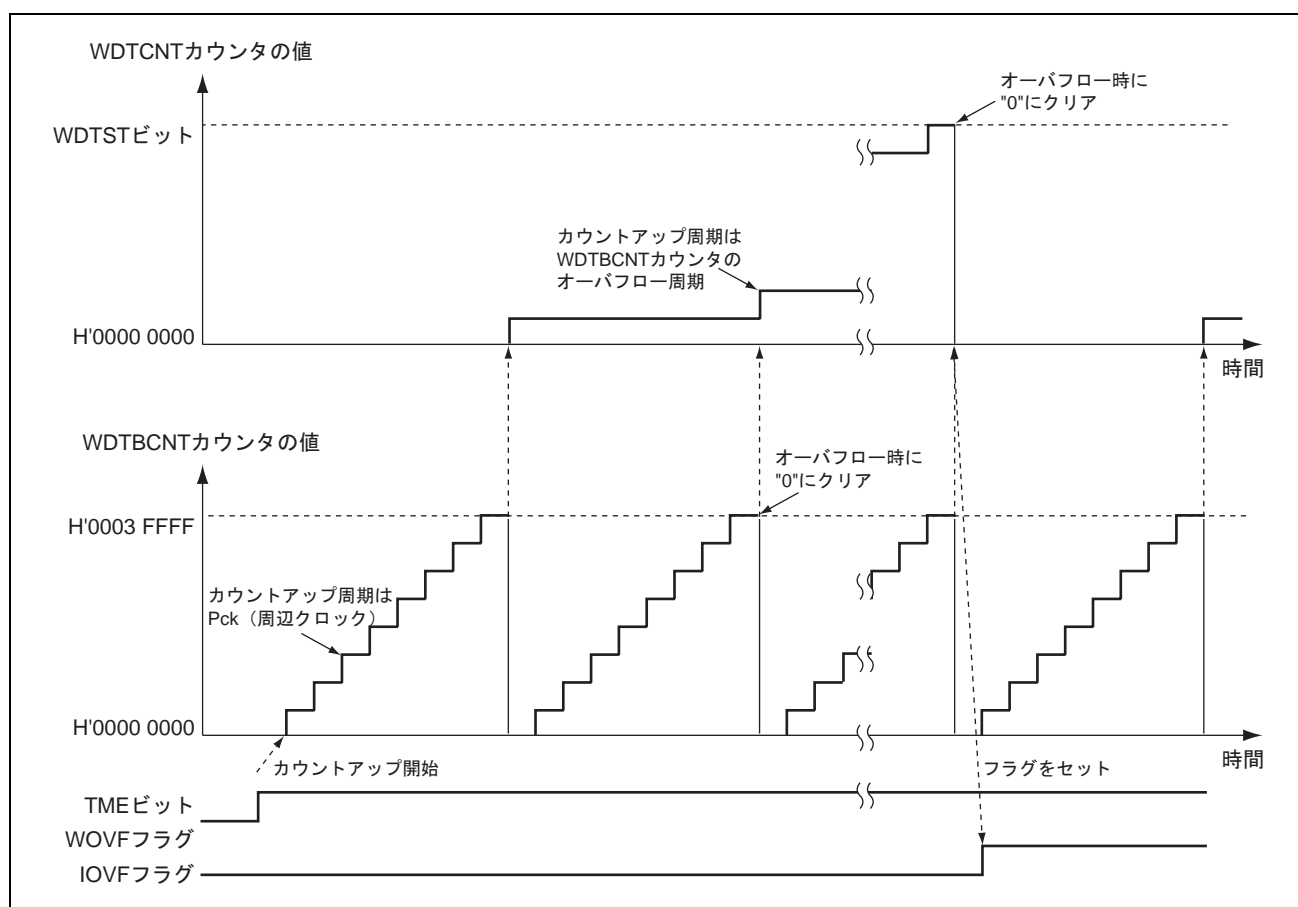


図 17.2 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT カウンタは 18 ビットのカウンタで、周辺クロック (Pck) でカウントアップします。WDTBST レジスタに H'5500 0000 を書き込むことにより、WDTBCNT カウンタがクリアされます。周辺クロックが 40MHz の場合の WDTBCNT カウンタが "0" からオーバーフローに要する時間は、

$$2^{18}[\text{bit}] \times 1/40[\text{MHz}] = \text{約 } 6.554[\text{ms}]$$

となります。

WDTCNT カウンタは 12 ビットのカウンタで、WDTBCNT カウンタでオーバーフローが発生するとカウントアップします。WDTCNT カウンタは、WDTST レジスタにオーバーフロー値を設定することによりクリアされます。

WDTCNT カウンタ値が WDTST ビットに設定したオーバーフロー値と一致した時点でオーバーフローとなります。WDTCNT カウンタがオーバーフローまでに要する時間は、

$$\text{WDTST ビット設定値} \times \text{約 } 6.554[\text{ms}]$$

となります。ただし、"H'000"を設定した場合は、カウント値は"H'1000"とみなします。

したがって、オーバーフローまでの最大時間は、WDTST.WDTST ビットに"H'000"を設定した場合になります。

$$2^{12}[\text{bit}] \times 6.554[\text{ms}] = \text{約 } 26.84[\text{s}]$$

また、オーバーフローまでの最小時間は、WDTST.WDTST ビットに"H'001"を設定した場合になります。

$$2^0[\text{bit}] \times 6.554[\text{ms}] = \text{約 } 6.554[\text{ms}]$$

#### 17.4.4 WDT カウンタのクリア方法

WDTBCNT カウンタ、WDTCNT カウンタのクリア方法は以下のとおりです。

##### (1) WDTBCNT カウンタのクリア方法

- WDTBSTレジスタにロングワードサイズでH'5500 0000を書き込み
- RESET#端子によるリセット
- ウォッチドッグタイマモード時のカウンタオーバフローによるリセット
- H-UDIによるリセット

##### (2) WDTCNT カウンタのクリア方法

- WDTST.WDTSTビットへの書き込み（異なるキーコードで書き込み時はクリアされない）
- RESET#端子によるリセット
- ウォッチドッグタイマモード時のカウンタオーバフローによるリセット
- H-UDIによるリセット

#### 17.4.5 WDT オーバフローによるリセット

WDT オーバフローによるリセットの期間（WDT リセット時間）は、EXTAL 端子入力の入力周期の 9 サイクル ~18 サイクルになります。また、WDT オーバフローからリセット状態に遷移するまでの時間（WDT リセット要求時間）は、EXTAL 端子入力の入力周期の 1 サイクル以上になります。

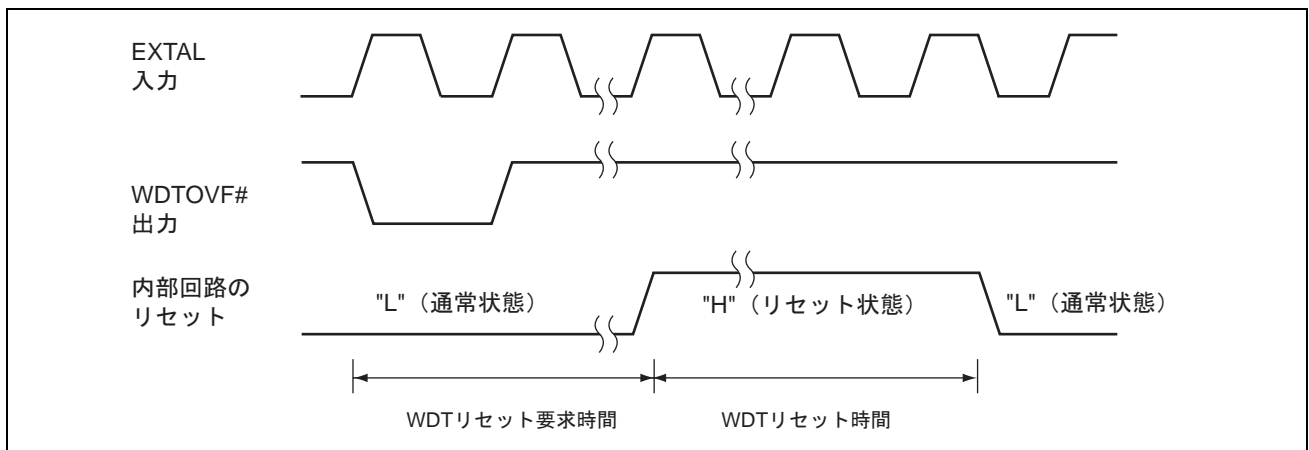


図 17.3 通常動作中の WDT オーバフローによるリセット



## 17. ウォッチドッグタイマ (WDT)

---

レイアウトの都合上、このページは白紙です。

## 18. I/O ポートとピンファンクションユニット

### 18.1 概要

I/O ポートは、A、B、C、D、E、F、G、H、J、K、L、M、N の 108 本から構成されています。各ポートは、ポート IO レジスタにより、入力ポートまたは出力ポートとして使用できます。また、各ポートは、内蔵周辺モジュールの信号を兼ね備えているマルチプレクス端子になっています。マルチプレクス端子機能の選択は各ポートの対応するコントロールレジスタで設定します。さらに、出力ドライブ能力設定機能や入力しきい値切替機能などの機能を内蔵しています。

表 18.1 に I/O ポートとピンファンクションユニットの概要を示します。

表 18.1 I/O ポートとピンファンクションユニットの概要

項目	概要
ポート数	合計 108 本 ポート A : PA0~PA13 (14 本) ポート B : PB0, PB1, PB3 (3 本) ポート C : PC0~PC3, PC5, PC6, PC14 (7 本) ポート D : PD0~PD10 (11 本) ポート E : PE15 (1 本) ポート F : PF0, PF1, PF4, PF5 (4 本) ポート G : PG0~PG4 (5 本) ポート H : PH0~PH15 (16 本) ポート J : PJ0~PJ7, PJ10~PJ15 (14 本) ポート K : PK0, PK5, PK6, PK8~PK14 (10 本) ポート L : PL2~PL6, PL8, PL9 (7 本) ポート M : PM0, PM2, PM4, PM6, PM8~PM15 (12 本) ポート N : PN0, PN1, PN4, PN5 (4 本)
ポート機能	ポート IO レジスタにより、ポート単位で入力または出力を設定できます (ポート M とポート N は入力専用ポート)。
ドライブ能力設定機能	ドライバビリティ設定レジスタにより、対応するポートの出力ドライブ能力を大きくできます (ポート M とポート N を除く)。
入力しきい値切替機能	入力しきい値をポートグループ単位で 3 種類の電圧レベル (0.35Vcc、0.5Vcc、0.7Vcc) に設定できます。ただし、設定できるポートは、PG0~PG3、PJ1、PJ3~PJ5、PM0、PM2、PM4、PM6、PM8~PM15、PN0、PN1、PN4、PN5 以外のポートです。

## 18.2 マルチプレクス端子機能

各ポートの端子は、汎用入出力と他の機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能は、各ポートに対応するコントロールレジスタで選択します。

表 18.2～表 18.14 に各ポートのマルチプレクス端子機能の一覧表、表 18.15 に 2 端子に入出力可能な端子機能と割り当てを示します。

表 18.2 ポート A のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PA0 (ポート)	—	TO00 (ATU-IIIS)	DDB00 (DRI)	—	—
PA1 (ポート)	—	TO01 (ATU-IIIS)	DDB01 (DRI)	—	—
PA2 (ポート)	—	TO02 (ATU-IIIS)	DDB02 (DRI)	—	—
PA3 (ポート)	—	TO03 (ATU-IIIS)	DDB03 (DRI)	—	—
PA4 (ポート)	—	TO04 (ATU-IIIS)	DDB04 (DRI)	—	—
PA5 (ポート)	—	TO05 (ATU-IIIS)	DDB05 (DRI)	—	—
PA6 (ポート)	—	TO06 (ATU-IIIS)	DDB06 (DRI)	—	—
PA7 (ポート)	—	TO07 (ATU-IIIS)	DDB07 (DRI)	—	—
PA8 (ポート)	—	TO10 (ATU-IIIS)	DDB08 (DRI)	PSLCLKB (PSEL)	—
PA9 (ポート)	—	TO11 (ATU-IIIS)	DDB09 (DRI)	PSLCLKA (PSEL)	—
PA10 (ポート)	—	TO12 (ATU-IIIS)	DDB10 (DRI)	PSLDATA0 (PSEL)	—
PA11 (ポート)	—	TO13 (ATU-IIIS)	DDB11 (DRI)	PSLDATA1 (PSEL)	—
PA12 (ポート)	—	TO14 (ATU-IIIS)	DDB12 (DRI)	PSLDATA2 (PSEL)	—
PA13 (ポート)	—	TO15 (ATU-IIIS)	DDB13 (DRI)	PSLDATA3 (PSEL)	—

表 18.3 ポート B のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PB0 (ポート)	—	PWMOFF0 (ATU-IIIS)	DINB0 (DRI)	—	—
PB1 (ポート)	—	PWMOFF1 (ATU-IIIS)	DINB1 (DRI)	—	—
PB3 (ポート)	—	PWMOFF3 (ATU-IIIS)	DINB3 (DRI)	—	—

表 18.4 ポート C のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PC0 (ポート)	—	TO30 (ATU-IIIS)	—	MOSI2 (RSPI)	(IRQ6) (INTC)
PC1 (ポート)	—	TO31 (ATU-IIIS)	—	MISO2 (RSPI)	—
PC2 (ポート)	—	TO32 (ATU-IIIS)	—	RSPCK2 (RSPI)	DREQ0 (DMAC)
PC3 (ポート)	—	TO33 (ATU-IIIS)	—	SSL20 (RSPI)	IRQ0 (INTC)
PC5 (ポート)	—	TO35 (ATU-IIIS)	—	—	—
PC6 (ポート)	CLKOUT (CPG)	TO36 (ATU-IIIS)	—	—	—
PC14 (ポート)	—	—	—	—	—

表 18.5 ポート D のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PD0 (ポート)	—	PDIDATA0 (PDAC)	—	—	—
PD1 (ポート)	—	PDIDATA1 (PDAC)	—	—	—
PD2 (ポート)	—	PDIDATA2 (PDAC)	—	—	—
PD3 (ポート)	—	PDIDATA3 (PDAC)	—	—	—
PD4 (ポート)	—	PDIDATA4 (PDAC)	—	—	—
PD5 (ポート)	—	PDIDATA5 (PDAC)	—	—	—
PD6 (ポート)	—	PDIDATA6 (PDAC)	—	—	—
PD7 (ポート)	—	PDIDATA7 (PDAC)	—	—	—
PD8 (ポート)	—	PDIDATA8 (PDAC)	—	—	—
PD9 (ポート)	—	PDIDATA9 (PDAC)	—	—	—
PD10 (ポート)	—	PDIWR (PDAC)	—	—	—

表 18.6 ポート E のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PE15 (ポート)	—	TO27 (ATU-IIIS)	—	PSLCLR (PSEL)	—

表 18.7 ポート F のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PF0 (ポート)	CRX0 (CAN)	—	—	—	—
PF1 (ポート)	CTX0 (CAN)	—	—	—	—
PF4 (ポート)	SDA (IIC3)	—	—	—	(CRX3) (CAN)
PF5 (ポート)	SCL (IIC3)	—	—	—	(CTX3) (CAN)

## 18. I/Oポートとピンファンクションユニット

表 18.8 ポート G のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PG0 (ポート)	MOSI0 (RSPI)	TO40 (ATU-IIIS)	—	—	—
PG1 (ポート)	MISO0 (RSPI)	TO41 (ATU-IIIS)	—	—	—
PG2 (ポート)	RSPCK0 (RSPI)	TO42 (ATU-IIIS)	—	—	—
PG3 (ポート)	—	TO43 (ATU-IIIS)	SSL00 (RSPI)	—	(IRQ7) (INTC)
PG4 (ポート)	IRQ2 (INTC)	TO44 (ATU-IIIS)	SSL01 (RSPI)	—	—

表 18.9 ポート H のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PH0 (ポート)	DROD8 (DRO)	TO20 (ATU-IIIS)	DDC00 (DRI)	TIF0A (ATU-IIIS)	—
PH1 (ポート)	DROD9 (DRO)	TO21 (ATU-IIIS)	DDC01 (DRI)	TIF0B (ATU-IIIS)	—
PH2 (ポート)	DROD10 (DRO)	TO22 (ATU-IIIS)	DDC02 (DRI)	TIF1A (ATU-IIIS)	—
PH3 (ポート)	DROD11 (DRO)	TO23 (ATU-IIIS)	DDC03 (DRI)	TIF1B (ATU-IIIS)	—
PH4 (ポート)	DROD12 (DRO)	TO24 (ATU-IIIS)	DDC04 (DRI)	TIA00 (ATU-IIIS)	—
PH5 (ポート)	DROD13 (DRO)	TO25 (ATU-IIIS)	DDC05 (DRI)	TIA01 (ATU-IIIS)	—
PH6 (ポート)	DROD14 (DRO)	TO26 (ATU-IIIS)	DDC06 (DRI)	TIA02 (ATU-IIIS)	—
PH7 (ポート)	DROD15 (DRO)	(TO27) (ATU-IIIS)	DDC07 (DRI)	TIA03 (ATU-IIIS)	—
PH8 (ポート)	DROD0 (DRO)	(TO30) (ATU-IIIS)	DDC08 (DRI)	RTS2# (SCIF)	—
PH9 (ポート)	DROD1 (DRO)	(TO31) (ATU-IIIS)	DDC09 (DRI)	CTS2# (SCIF)	—
PH10 (ポート)	DROD2 (DRO)	(TO32) (ATU-IIIS)	DDC10 (DRI)	—	—
PH11 (ポート)	DROD3 (DRO)	(TO33) (ATU-IIIS)	DDC11 (DRI)	—	—
PH12 (ポート)	DROD4 (DRO)	TO34 (ATU-IIIS)	DDC12 (DRI)	—	—
PH13 (ポート)	DROD5 (DRO)	(TO35) (ATU-IIIS)	DDC13 (DRI)	—	—
PH14 (ポート)	DROD6 (DRO)	(TO36) (ATU-IIIS)	DDC14 (DRI)	—	IRQ1 (INTC)
PH15 (ポート)	DROD7 (DRO)	TO37 (ATU-IIIS)	DDC15 (DRI)	—	—

表 18.10 ポート J のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PJ0 (ポート)	(CRX0) (CAN)	FRXA (FlexRay)	—	—	—
PJ1 (ポート)	(CTX0) (CAN)	FTXA (FlexRay)	—	—	—
PJ2 (ポート)	CRX1 (CAN)	FRXB (FlexRay)	—	—	—
PJ3 (ポート)	CTX1 (CAN)	FTXB (FlexRay)	—	RTS0# (SCIF)	—
PJ4 (ポート)	CRX2 (CAN)	FTXENA (FlexRay)	—	CTS0# (SCIF)	—
PJ5 (ポート)	CTX2 (CAN)	FTXENB (FlexRay)	—	SCK2 (SCIF)	—
PJ6 (ポート)	CRX3 (CAN)	TIF2A (ATU-IIIS)	—	RXD2 (SCIF)	TIA04 (ATU-IIIS)
PJ7 (ポート)	CTX3 (CAN)	TIF2B (ATU-IIIS)	—	TXD2 (SCIF)	—
PJ10 (ポート)	RXD0 (SCIF)	PWMOFF4 (ATU-IIIS)	—	AD0TRG# (ADC)	—
PJ11 (ポート)	TXD0 (SCIF)	—	—	AD0END (ADC)	—
PJ12 (ポート)	SCK0 (SCIF)	TCLKB (ATU-IIIS)	—	—	(IRQ0) (INTC)
PJ13 (ポート)	RXD1 (SCIF)	MISO1 (RSPI)	—	—	—
PJ14 (ポート)	TXD1 (SCIF)	MOSI1 (RSPI)	—	—	—
PJ15 (ポート)	SCK1 (SCIF)	RSPCK1 (RSPI)	—	—	—

表 18.11 ポート K のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PK0 (ポート)	IRQ5 (INTC)	SSL10 (RSPI)	—	—	—
PK5 (ポート)	—	—	DINC4 (DRI)	RXD3 (SCIF)	—
PK6 (ポート)	—	—	—	TXD3 (SCIF)	—
PK8 (ポート)	DREQ2 (DMAC)	—	—	—	—
PK9 (ポート)	AUARD0 (AUDR)	—	—	RTS3# (SCIF)	—
PK10 (ポート)	AUARD1 (AUDR)	—	—	CTS3# (SCIF)	—
PK11 (ポート)	AUARD2 (AUDR)	—	—	—	—
PK12 (ポート)	AUARD3 (AUDR)	—	—	—	—
PK13 (ポート)	AUARDCLK (AUDR)	—	—	—	—
PK14 (ポート)	AUARDSYN# (AUDR)	—	—	—	—

## 18. I/Oポートとピンファンクションユニット

表 18.12 ポート L のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PL2 (ポート)	DROWR (DRO)	—	—	—	—
PL3 (ポート)	—	IRQ6 (INTC)	—	—	—
PL4 (ポート)	TIA10 (ATU-IIIS)	(TIF0A) (ATU-IIIS)	—	—	—
PL5 (ポート)	TIA11 (ATU-IIIS)	(TIF0B) (ATU-IIIS)	—	—	—
PL6 (ポート)	TIA12 (ATU-IIIS)	(TIF1A) (ATU-IIIS)	—	—	—
PL8 (ポート)	TIA14 (ATU-IIIS)	IRQ7 (INTC)	—	DREQ3 (DMAC)	—
PL9 (ポート)	TIA15 (ATU-IIIS)	—	—	—	AUDREVT#(AUDR)

表 18.13 ポート M のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PM0 (ポート)	AD0IN0 (ADC)	—	—	—	—
PM2 (ポート)	AD0IN2 (ADC)	—	—	—	—
PM4 (ポート)	AD0IN4 (ADC)	—	—	—	—
PM6 (ポート)	AD0IN6 (ADC)	—	—	—	—
PM8 (ポート)	AD0IN8 (ADC)	—	—	—	—
PM9 (ポート)	AD0IN9 (ADC)	—	—	—	—
PM10 (ポート)	AD0IN10 (ADC)	—	—	—	—
PM11 (ポート)	AD0IN11 (ADC)	—	—	—	—
PM12 (ポート)	AD0IN12 (ADC)	—	—	—	—
PM13 (ポート)	AD0IN13 (ADC)	—	—	—	—
PM14 (ポート)	AD0IN14 (ADC)	—	—	—	—
PM15 (ポート)	AD0IN15 (ADC)	—	—	—	—

表 18.14 ポート N のマルチプレクス端子機能の一覧表

機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)
PN0 (ポート)	AD1IN0 (ADC)	—	—	—	—
PN1 (ポート)	AD1IN1 (ADC)	—	—	—	—
PN4 (ポート)	AD1IN4 (ADC)	—	—	—	—
PN5 (ポート)	AD1IN5 (ADC)	—	—	—	—

【注】・1つの機能に対して2箇所に端子が存在している機能があります。詳細については表 18.15 を参照してください。

表 18.15 2端子に入出力可能な端子機能と割り当て

モジュール	信号名	端子グループ A	端子グループ B	備考
INTC	IRQ0	PC3/TO33/SSL20/IRQ0	PJ12/SCK0/TCLKB/IRQ0	*1
	IRQ1	—	PH14/DROD6/TO36/DDC14/IRQ1	
	IRQ2	PG4/IRQ2/TO44/SSL01	—	
	IRQ5	PK0/IRQ5/SSL10	—	
	IRQ6	PL3/IRQ6	PC0/TO30/MOSI2/IRQ6	
	IRQ7	PL8/TIA14/IRQ7/DREQ3	PG3/TO43/SSL00/IRQ7	
PSEL	PSLCLKB	PA8/TO10/DDB08/PSLCLKB	—	*2
	PSLCLKA	PA9/TO11/DDB09/PSLCLKA	—	
	PSLDATA0	PA10/TO12/DDB10/PSLDATA0	—	
	PSLDATA1	PA11/TO13/DDB11/PSLDATA1	—	
	PSLDATA2	PA12/TO14/DDB12/PSLDATA2	—	
	PSLDATA3	PA13/TO15/DDB13/PSLDATA3	—	
	PSLCLR	—	PE15/TO27/PSLCLR	
CAN	CRX0	PF0/CRX0	PJ0/CRX0/FRXA	*1
	CTX0	PF1/CTX0	PJ1/CTX0/FTXA	*2
	CRX1	—	PJ2/CRX1/FRXB	*1
	CTX1	—	PJ3/CTX1/FTXB/RTS0#	*2
	CRX2	—	PJ4/CRX2/FTXENA/CTS0#	*1
	CTX2	—	PJ5/CTX2/FTXENB/SCK2	*2
	CRX3	PJ6/CRX3/TIF2A/RXD2/TIA04	PF4/SDA/CRX3	*1
	CTX3	PJ7/CTX3/TIF2B/TXD2	PF5/SCL/CTX3	*2



## 18. I/O ポートとピンファンクションユニット

モジュール	信号名	端子グループ A	端子グループ B	備考
ATU-IIIS	TO20	—	PH0/DROD8/TO20/DDC00/TIF0A	*2
	TO21	—	PH1/DROD9/TO21/DDC01/TIF0B	
	TO22	—	PH2/DROD10/TO22/DDC02/TIF1A	
	TO23	—	PH3/DROD11/TO23/DDC03/TIF1B	
	TO24	—	PH4/DROD12/TO24/DDC04/TIA00	
	TO25	—	PH5/DROD13/TO25/DDC05/TIA01	
	TO26	—	PH6/DROD14/TO26/DDC06/TIA02	
	TO27	PE15/TO27/PSLCLR	PH7/DROD15/TO27/DDC07/TIA03	
	TO30	PC0/TO30/MOSI2/IRQ6	PH8/DROD0/TO30/DDC08/RTS2#	
	TO31	PC1/TO31/MISO2	PH9/DROD1/TO31/DDC09/CTS2#	
	TO32	PC2/TO32/RSPCK2/DREQ0	PH10/DROD2/TO32/DDC10	
	TO33	PC3/TO33/SSL20/IRQ0	PH11/DROD3/TO33/DDC11	
	TO34	—	PH12/DROD4/TO34/DDC12	
	TO35	PC5/TO35	PH13/DROD5/TO35/DDC13	
	TO36	PC6/CLKOUT/TO36	PH14/DROD6/TO36/DDC14/IRQ1	
	TO37	—	PH15/DROD7/TO37/DDC15	
	TIF0A	PH0/DRO08/TO20/DDC00/TIF0A	PL4/TIA10/TIF0A	
	TIF0B	PH1/DRO09/TO21/DDC01/TIF0B	PL5/TIA11/TIF0B	
TIF1A	PH2/DRO10/TO22/DDC02/TIF1A	PL6/TIA12/TIF1A		
TIF1B	PH3/DRO11/TO23/DDC03/TIF1B	—		

【注】 \*1 端子グループ A と端子グループ B に同じ入力機能を設定した場合、端子グループ A の設定が有効になり、端子グループ A からの入力が該当機能の入力になります。

\*2 端子グループ A と端子グループ B に同じ出力機能を設定した場合、両方の端子から出力します。

## 18.3 レジスタの説明

表 18.16 にレジスタ構成を示します。

表 18.16 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
ポート A データレジスタ	PADR	H'0000	H'FFFF 5002	8、16	18-12
ポート A・IO レジスタ	PAIOR	H'0000	H'FFFF 5006	8、16	18-29
ポート A ドライバビリティ設定レジスタ	PADSR	H'0000	H'FFFF 509A	8、16	18-18
ポート A コントロールレジスタ 4	PACR4	H'0000	H'FFFF 5010	8、16、32	18-32
ポート A コントロールレジスタ 3	PACR3	H'0000	H'FFFF 5012	8、16、32	18-33
ポート A コントロールレジスタ 2	PACR2	H'0000	H'FFFF 5014	8、16、32	18-34
ポート A コントロールレジスタ 1	PACR1	H'0000	H'FFFF 5016	8、16、32	18-35
ポート A ポートレジスタ	PAPR	端子の値	H'FFFF 501E	8、16	18-15
ポート B データレジスタ	PBDR	H'0000	H'FFFF 5102	8、16	18-12
ポート B・IO レジスタ	PBIOR	H'0000	H'FFFF 5106	8、16	18-29
ポート B コントロールレジスタ 2	PBCR2	H'0000	H'FFFF 5114	8、16、32	18-37
ポート B コントロールレジスタ 1	PBCR1	H'0000	H'FFFF 5116	8、16、32	18-37
ポート B ポートレジスタ	PBPR	端子の値	H'FFFF 511E	8、16	18-15
ポート B ドライバビリティ設定レジスタ	PBDSR	H'0000	H'FFFF 519A	8、16	18-18
ポート C データレジスタ	PCDR	H'0000	H'FFFF 5202	8、16	18-12
ポート C・IO レジスタ	PCIOR	H'0000	H'FFFF 5206	8、16	18-29
ポート C コントロールレジスタ 4	PCCR4	H'0000	H'FFFF 5210	8、16、32	18-39
ポート C コントロールレジスタ 3	PCCR3	H'0000	H'FFFF 5212	8、16、32	18-39
ポート C コントロールレジスタ 2	PCCR2	H'0000	H'FFFF 5214	8、16、32	18-40
ポート C コントロールレジスタ 1	PCCR1	H'0000	H'FFFF 5216	8、16、32	18-41
ポート C ポートレジスタ	PCPR	端子の値	H'FFFF 521E	8、16	18-15
ポート C ドライバビリティ設定レジスタ	PCDSR	H'0000	H'FFFF 529A	8、16	18-18
ポート ABC 入力しきい値切替レジスタ	PALVR	H'0000	H'FFFF 5300	8、16	18-21
ポート DRI 入力チャネル切替レジスタ	PDRIR	H'0000	H'FFFF 5340	8	18-78
ポート D データレジスタ	PDDR	H'0000	H'FFFF 5402	8、16	18-12
ポート D・IO レジスタ	PDIOR	H'0000	H'FFFF 5406	8、16	18-29
ポート D コントロールレジスタ 4	PDCR4	H'0000	H'FFFF 5410	8、16、32	18-43
ポート D コントロールレジスタ 3	PDCR3	H'0000	H'FFFF 5412	8、16、32	18-43
ポート D コントロールレジスタ 2	PDCR2	H'0000	H'FFFF 5414	8、16、32	18-44
ポート D コントロールレジスタ 1	PDCR1	H'0000	H'FFFF 5416	8、16、32	18-45
ポート D ポートレジスタ	PDPR	端子の値	H'FFFF 541E	8、16	18-15
ポート D ドライバビリティ設定レジスタ	PDDSR	H'0000	H'FFFF 549A	8、16	18-18

## 18. I/Oポートとピンファンクションユニット

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
ポート E データレジスタ	PEDR	H'0000	H'FFFF 5502	8、16	18-12
ポート E・IO レジスタ	PEIOR	H'0000	H'FFFF 5506	8、16	18-29
ポート E コントロールレジスタ 4	PECR4	H'0000	H'FFFF 5510	8、16、32	18-47
ポート E コントロールレジスタ 3	PECR3	H'0000	H'FFFF 5512	8、16、32	18-47
ポート E ポートレジスタ	PEPR	端子の値	H'FFFF 551E	8、16	18-15
ポート E ドライバビリティ設定レジスタ	PEDSR	H'0000	H'FFFF 559A	8、16	18-18
ポート F データレジスタ	PFDR	H'0000	H'FFFF 5602	8、16	18-12
ポート F・IO レジスタ	PFIOR	H'0000	H'FFFF 5606	8、16	18-29
ポート F コントロールレジスタ 2	PFCR2	H'0000	H'FFFF 5614	8、16、32	18-48
ポート F コントロールレジスタ 1	PFCR1	H'0000	H'FFFF 5616	8、16、32	18-49
ポート F ポートレジスタ	PFPR	端子の値	H'FFFF 561E	8、16	18-15
ポート F ドライバビリティ設定レジスタ	PFDSR	H'0000	H'FFFF 569A	8、16	18-18
ポート DEF しきい値切替レジスタ	PDLVR	H'0000	H'FFFF 5700	8、16	18-23
ポート G データレジスタ	PGDR	H'0000	H'FFFF 5802	8、16	18-13
ポート G・IO レジスタ	PGIOR	H'0000	H'FFFF 5806	8、16	18-30
ポート G コントロールレジスタ 2	PGCR2	H'0000	H'FFFF 5814	8、16、32	18-50
ポート G コントロールレジスタ 1	PGCR1	H'0000	H'FFFF 5816	8、16、32	18-50
ポート G ポートレジスタ	PGPR	端子の値	H'FFFF 581E	8、16	18-15
ポート G ドライバビリティ設定レジスタ	PGDSR	H'0000	H'FFFF 589A	8、16	18-19
ポート H データレジスタ	PHDR	H'0000	H'FFFF 5902	8、16	18-13
ポート H・IO レジスタ	PHIOR	H'0000	H'FFFF 5906	8、16	18-30
ポート H コントロールレジスタ 4	PHCR4	H'0000	H'FFFF 5910	8、16、32	18-52
ポート H コントロールレジスタ 3	PHCR3	H'0000	H'FFFF 5912	8、16、32	18-53
ポート H コントロールレジスタ 2	PHCR2	H'0000	H'FFFF 5914	8、16、32	18-55
ポート H コントロールレジスタ 1	PHCR1	H'0000	H'FFFF 5916	8、16、32	18-56
ポート H ポートレジスタ	PHPR	端子の値	H'FFFF 591E	8、16	18-16
ポート H ドライバビリティ設定レジスタ	PHDSR	H'0000	H'FFFF 599A	8、16	18-19
ポート J データレジスタ	PJDR	H'0000	H'FFFF 5A02	8、16	18-13
ポート J・IO レジスタ	PJIOR	H'0000	H'FFFF 5A06	8、16	18-30
ポート J コントロールレジスタ 4	PJCR4	H'0000	H'FFFF 5A10	8、16、32	18-58
ポート J コントロールレジスタ 3	PJCR3	H'0000	H'FFFF 5A12	8、16、32	18-59
ポート J コントロールレジスタ 2	PJCR2	H'0000	H'FFFF 5A14	8、16、32	18-60
ポート J コントロールレジスタ 1	PJCR1	H'0000	H'FFFF 5A16	8、16、32	18-62
ポート J ポートレジスタ	PJPR	端子の値	H'FFFF 5A1E	8、16	18-16
ポート J ドライバビリティ設定レジスタ	PJDSR	H'0000	H'FFFF 5A9A	8、16	18-19
ポート GHJ しきい値切替レジスタ	PGLVR	H'0000	H'FFFF 5B00	8、16	18-25

## 18. I/Oポートとピンファンクションユニット

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
ポート K データレジスタ	PKDR	H'0000	H'FFFF 5C02	8、16	18-13
ポート K・IO レジスタ	PKIOR	H'0000	H'FFFF 5C06	8、16	18-30
ポート K コントロールレジスタ 4	PKCR4	H'0000	H'FFFF 5C10	8、16、32	18-64
ポート K コントロールレジスタ 3	PKCR3	H'0000	H'FFFF 5C12	8、16、32	18-65
ポート K コントロールレジスタ 2	PKCR2	H'0000	H'FFFF 5C14	8、16、32	18-66
ポート K コントロールレジスタ 1	PKCR1	H'0000	H'FFFF 5C16	8、16、32	18-67
ポート K ポートレジスタ	PKPR	端子の値	H'FFFF 5C1E	8、16	18-16
ポート K ドライバリティ設定レジスタ	PKDSR	H'0000	H'FFFF 5C9A	8、16	18-19
ポート L データレジスタ	PLDR	H'0000	H'FFFF 5D02	8、16	18-13
ポート L・IO レジスタ	PLIOR	H'0000	H'FFFF 5D06	8、16	18-30
ポート L コントロールレジスタ 3	PLCR3	H'0000	H'FFFF 5D12	8、16	18-68
ポート L コントロールレジスタ 2	PLCR2	H'0000	H'FFFF 5D14	8、16、32	18-69
ポート L コントロールレジスタ 1	PLCR1	H'0000	H'FFFF 5D16	8、16、32	18-70
ポート L ポートレジスタ	PLPR	端子の値	H'FFFF 5D1E	8、16	18-16
ポート L ドライバリティ設定レジスタ	PLDSR	H'0000	H'FFFF 5D9A	8、16	18-19
ポート KL 入力しきい値切替レジスタ	PKLVR	H'0009	H'FFFF 5E00	8、16	18-27
ポート M コントロールレジスタ 4	PMCR4	H'1111	H'FFFF 5E10	8、16、32	18-71
ポート M コントロールレジスタ 3	PMCR3	H'1111	H'FFFF 5E12	8、16、32	18-72
ポート M コントロールレジスタ 2	PMCR2	H'1111	H'FFFF 5E14	8、16、32	18-73
ポート M コントロールレジスタ 1	PMCR1	H'1111	H'FFFF 5E16	8、16、32	18-74
ポート M ポートレジスタ	PMPR	H'0000	H'FFFF 5E1E	8、16	18-16
ポート N コントロールレジスタ 2	PNCR2	H'1111	H'FFFF 5F14	8、16、32	18-76
ポート N コントロールレジスタ 1	PNCR1	H'1111	H'FFFF 5F16	8、16、32	18-77
ポート N ポートレジスタ	PNPR	H'0000	H'FFFF 5F1E	8、16	18-16

【注】・P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 18. I/Oポートとピンファンクションユニット

### 18.3.1 ポートA～H、J～L データレジスタ (PADR～PHDR、PJDR～PLDR)

PADR～PHDR、PJDR～PLDR レジスタは、各ポートに対応する入出力のデータを格納します。

端子機能が汎用出力の場合、レジスタに値を書き込むと、書き込んだ値が端子から出力されます。レジスタを読み出すと、端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合、レジスタを読み出すと、レジスタの値ではなく端子の状態が直接読み出されます。レジスタに値を書き込むことはできますが、端子の状態には影響しません。

表 18.17 に読み出し/書き込み動作を示します。

ポートAデータレジスタ (PADR)

<P4領域アドレス : H'FFFF 5002番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PA13 DR	PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートBデータレジスタ (PBDR)

<P4領域アドレス : H'FFFF 5102番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PB3 DR	—	PB1 DR	PB0 DR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートCデータレジスタ (PCDR)

<P4領域アドレス : H'FFFF 5202番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PC14 DR	—	—	—	—	—	—	—	PC6 DR	PC5 DR	—	PC3 DR	PC2 DR	PC1 DR	PC0 DR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートDデータレジスタ (PDDR)

<P4領域アドレス : H'FFFF 5402番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートEデータレジスタ (PEDR)

<P4領域アドレス : H'FFFF 5502番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートFデータレジスタ (PFDR)

<P4領域アドレス : H'FFFF 5602番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PF5 DR	PF4 DR	—	—	PF1 DR	PF0 DR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 18. I/Oポートとピンファンクションユニット

ポートGデータレジスタ (PGDR)

<P4領域アドレス : H'FFFF 5802番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ポートHデータレジスタ (PHDR)

<P4領域アドレス : H'FFFF 5902番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ポートJデータレジスタ (PJDR)

<P4領域アドレス : H'FFFF 5A02番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 DR	PJ14 DR	PJ13 DR	PJ12 DR	PJ11 DR	PJ10 DR	—	—	PJ7 DR	PJ6 DR	PJ5 DR	PJ4 DR	PJ3 DR	PJ2 DR	PJ1 DR	PJ0 DR

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ポートKデータレジスタ (PKDR)

<P4領域アドレス : H'FFFF 5C02番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK14 DR	PK13 DR	PK12 DR	PK11 DR	PK10 DR	PK9 DR	PK8 DR	—	PK6 DR	PK5 DR	—	—	—	—	PK0 DR

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ポートLデータレジスタ (PLDR)

<P4領域アドレス : H'FFFF 5D02番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PL9 DR	PL8 DR	—	PL6 DR	PL5 DR	PL4 DR	PL3 DR	PL2 DR	—	—

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	Pm15DR	0	R	W	表 18.17 参照
14	Pm14DR	0	R	W	
13	Pm13DR	0	R	W	
12	Pm12DR	0	R	W	
11	Pm11DR	0	R	W	
10	Pm10DR	0	R	W	
9	Pm9DR	0	R	W	
8	Pm8DR	0	R	W	
7	Pm7DR	0	R	W	
6	Pm6DR	0	R	W	
5	Pm5DR	0	R	W	
4	Pm4DR	0	R	W	
3	Pm3DR	0	R	W	
2	Pm2DR	0	R	W	

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
1	Pm1DR	0	R	W	表 18.17 参照
0	Pm0DR	0	R	W	

【注】・以下のポートのビットは、何も配置されていない予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ポート A : ビット 15、14

ポート B : ビット 15~4、2

ポート C : ビット 15、13~7、4

ポート D : ビット 15~11

ポート E : ビット 14~0

ポート F : ビット 15~6、3、2

ポート G : ビット 15~5

ポート J : ビット 9、8

ポート K : ビット 15、7、4~1

ポート L : ビット 15~10、7、1、0

【記号説明】 m=A~H、J~L

表 18.17 ポート A~H、J~L データレジスタ (PADR~PHDR、PJDR~PLDR) の読み出し/書き込み動作

PmIOR レジスタのビット値	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PmDR レジスタに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PmDR レジスタに書き込めるが、端子の状態に影響しない。
1	汎用出力	PmDR レジスタの値	書き込み値が端子から出力される。
	汎用出力以外	PmDR レジスタの値	PmDR レジスタに書き込めるが、端子の状態に影響しない。

【記号説明】 m=A~H、J~L

## 18.3.2 ポートA～H、J～Nポートレジスタ（PAPR～PHPR、PJPR～PNPR）

PAPR～PHPR、PJPR～PNPR レジスタは、常にポートの端子の値を格納します。CPU から値を書き込むことはできません。

ポートMとポートNは、入力専用のポートです。A/D変換器のアナログ入力端子選択時には、本機能を使用できません。

ポートAポートレジスタ（PAPR）

<P4領域アドレス：H'FFFF 501E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PA13 PR	PA12 PR	PA11 PR	PA10 PR	PA9 PR	PA8 PR	PA7 PR	PA6 PR	PA5 PR	PA4 PR	PA3 PR	PA2 PR	PA1 PR	PA0 PR

リセット後の値： ? ? PA13 PA12 PA11 PA10 PA9 PA8 PA7 PA6 PA5 PA4 PA3 PA2 PA1 PA0

ポートBポートレジスタ（PBPR）

<P4領域アドレス：H'FFFF 511E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PB3 PR	—	PB1 PR	PB0 PR

リセット後の値： 0 0 0 0 0 0 0 0 0 0 ? ? ? PB3 ? PB1 PB0

ポートCポートレジスタ（PCPR）

<P4領域アドレス：H'FFFF 521E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PC14 PR	—	—	—	—	—	—	—	PC6 PR	PC5 PR	—	PC3 PR	PC2 PR	PC1 PR	PC0 PR

リセット後の値： ? PC14 ? ? ? ? ? ? ? ? PC6 PC5 ? PC3 PC2 PC1 PC0

ポートDポートレジスタ（PDPR）

<P4領域アドレス：H'FFFF 541E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR

リセット後の値： ? ? ? ? ? PD10 PD9 PD8 PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0

ポートEポートレジスタ（PEPR）

<P4領域アドレス：H'FFFF 551E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値： PE15 ? ? ? ? ? ? ? ? ? ? ? ? ? ? ? ?

ポートFポートレジスタ（PFPR）

<P4領域アドレス：H'FFFF 561E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PF5 PR	PF4 PR	—	—	PF1 PR	PF0 PR

リセット後の値： 0 0 0 0 0 0 0 0 0 0 0 PF5 PF4 ? ? PF1 PF0

ポートGポートレジスタ（PGPR）

<P4領域アドレス：H'FFFF 581E番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PG4 PR	PG3 PR	PG2 PR	PG1 PR	PG0 PR

リセット後の値： 0 0 0 0 0 0 0 0 0 ? ? ? PG4 PG3 PG2 PG1 PG0



## 18. I/Oポートとピンファンクションユニット

ポートHポートレジスタ (PHPR)

<P4領域アドレス : H'FFFF 591E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PH15 PR	PH14 PR	PH13 PR	PH12 PR	PH11 PR	PH10 PR	PH9 PR	PH8 PR	PH7 PR	PH6 PR	PH5 PR	PH4 PR	PH3 PR	PH2 PR	PH1 PR	PH0 PR

リセット後の値 : PH15 PH14 PH13 PH12 PH11 PH10 PH9 PH8 PH7 PH6 PH5 PH4 PH3 PH2 PH1 PH0

ポートJポートレジスタ (PJPR)

<P4領域アドレス : H'FFFF 5A1E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PJ15 PR	PJ14 PR	PJ13 PR	PJ12 PR	PJ11 PR	PJ10 PR	—	—	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR

リセット後の値 : PJ15 PJ14 PJ13 PJ12 PJ11 PJ10 ? ? PJ7 PJ6 PJ5 PJ4 PJ3 PJ2 PJ1 PJ0

ポートKポートレジスタ (PKPR)

<P4領域アドレス : H'FFFF 5C1E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	PK14 PR	PK13 PR	PK12 PR	PK11 PR	PK10 PR	PK9 PR	PK8 PR	—	PK6 PR	PK5 PR	—	—	—	—	PK0 PR

リセット後の値 : 0 PK14 PK13 PK12 PK11 PK10 PK9 PK8 ? PK6 PK5 ? ? ? ? PK0

ポートLポートレジスタ (PLPR)

<P4領域アドレス : H'FFFF 5D1E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	PL9 PR	PL8 PR	—	PL6 PR	PL5 PR	PL4 PR	PL3 PR	PL2 PR	—	—

リセット後の値 : 0 0 0 0 0 0 PL9 PL8 ? PL6 PL5 PL4 PL3 PL2 ? ?

ポートMポートレジスタ (PMPR)

<P4領域アドレス : H'FFFF 5E1E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PM15 PR	PM14 PR	PM13 PR	PM12 PR	PM11 PR	PM10 PR	PM9 PR	PM8 PR	—	PM6 PR	—	PM4 PR	—	PM2 PR	—	PM0 PR

リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ポートNポートレジスタ (PNPR)

<P4領域アドレス : H'FFFF 5F1E番地>

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	PN5 PR	PN4 PR	—	—	PN1 PR	PN0 PR

リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

&lt;リセット後の値：端子の値&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	Pn15PR	端子の値	R	—	読み出すと端子の値が読み出されます。
14	Pn14PR	端子の値	R	—	
13	Pn13PR	端子の値	R	—	
12	Pn12PR	端子の値	R	—	
11	Pn11PR	端子の値	R	—	
10	Pn10PR	端子の値	R	—	
9	Pn9PR	端子の値	R	—	
8	Pn8PR	端子の値	R	—	
7	Pn7PR	端子の値	R	—	
6	Pn6PR	端子の値	R	—	
5	Pn5PR	端子の値	R	—	
4	Pn4PR	端子の値	R	—	
3	Pn3PR	端子の値	R	—	
2	Pn2PR	端子の値	R	—	
1	Pn1PR	端子の値	R	—	
0	Pn0PR	端子の値	R	—	

【注】・以下のポートのビットは、何も配置されていない予約ビットです。

ポートA：ビット15、14

ポートB：ビット15～4、2

ポートC：ビット15、13～7、4

ポートD：ビット15～11

ポートE：ビット14～0

ポートF：ビット15～6、3、2

ポートG：ビット15～5

ポートJ：ビット9、8

ポートK：ビット15、7、4～1

ポートL：ビット15～10、7、1、0

・ポートMとポートNは、リセット後はA/D変換器のアナログ入力端子が選択されていますので値は"0"になります。

【記号説明】n=A～H、J～N

## 18. I/Oポートとピンファンクションユニット

### 18.3.3 ポートA～H、J～L ドライバビリティ設定レジスタ (PADSR～PHDSR、PJDSR～PLDSR)

PADSR～PHDSR、PJDSR～PLDSR レジスタは、ポートのドライブ能力を設定します。レジスタの設定は、選択されている機能に関係なく常に有効になります。

ただし、PF4 端子は SDA 出力 (IIC3)、PF5 端子は SCL 出力 (IIC3) が選択されている場合、PFDSR レジスタの設定は無効です。

ポートAドライバビリティ設定レジスタ (PADSR)

<P4領域アドレス : H'FFFF 509A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PA13 DSR	PA12 DSR	PA11 DSR	PA10 DSR	PA9 DSR	PA8 DSR	PA7 DSR	PA6 DSR	PA5 DSR	PA4 DSR	PA3 DSR	PA2 DSR	PA1 DSR	PA0 DSR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートBドライバビリティ設定レジスタ (PBDSR)

<P4領域アドレス : H'FFFF 519A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PB3 DSR	—	PB1 DSR	PB0 DSR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートCドライバビリティ設定レジスタ (PCDSR)

<P4領域アドレス : H'FFFF 529A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	PC14 DSR	—	—	—	—	—	—	—	—	PC6 DSR	PC5 DSR	—	PC3 DSR	PC2 DSR	PC1 DSR	PC0 DSR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートDドライバビリティ設定レジスタ (PDDSR)

<P4領域アドレス : H'FFFF 549A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PD10 DSR	PD9 DSR	PD8 DSR	PD7 DSR	PD6 DSR	PD5 DSR	PD4 DSR	PD3 DSR	PD2 DSR	PD1 DSR	PD0 DSR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートEドライバビリティ設定レジスタ (PEDSR)

<P4領域アドレス : H'FFFF 559A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートFドライバビリティ設定レジスタ (PFDSR)

<P4領域アドレス : H'FFFF 569A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PF5 DSR	PF4 DSR	—	—	PF1 DSR	PF0 DSR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 18. I/Oポートとピンファンクションユニット

ポートGドライバビリティ設定レジスタ (PGDSR)

<P4領域アドレス : H'FFFF 589A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PG4 DSR	PG3 DSR	PG2 DSR	PG1 DSR	PG0 DSR
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートHドライバビリティ設定レジスタ (PHDSR)

<P4領域アドレス : H'FFFF 599A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DSR	PH14 DSR	PH13 DSR	PH12 DSR	PH11 DSR	PH10 DSR	PH9 DSR	PH8 DSR	PH7 DSR	PH6 DSR	PH5 DSR	PH4 DSR	PH3 DSR	PH2 DSR	PH1 DSR	PH0 DSR
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートJドライバビリティ設定レジスタ (PJDSR)

<P4領域アドレス : H'FFFF 5A9A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 DSR	PJ14 DSR	PJ13 DSR	PJ12 DSR	PJ11 DSR	PJ10 DSR	—	—	PJ7 DSR	PJ6 DSR	PJ5 DSR	PJ4 DSR	PJ3 DSR	PJ2 DSR	PJ1 DSR	PJ0 DSR
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートKドライバビリティ設定レジスタ (PKDSR)

<P4領域アドレス : H'FFFF 5C9A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK14 DSR	PK13 DSR	PK12 DSR	PK11 DSR	PK10 DSR	PK9 DSR	PK8 DSR	—	PK6 DSR	PK5 DSR	—	—	—	—	PK0 DSR
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートLドライバビリティ設定レジスタ (PLDSR)

<P4領域アドレス : H'FFFF 5D9A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PL9 DSR	PL8 DSR	—	PL6 DSR	PL5 DSR	PL4 DSR	PL3 DSR	PL2 DSR	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 18. I/Oポートとピンファンクションユニット

<リセット後の値：H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	Pm15DSR	0	R	W	本ビットを"1"にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力 1：出力端子のドライブ能力が増加する
14	Pm14DSR	0	R	W	
13	Pm13DSR	0	R	W	
12	Pm12DSR	0	R	W	
11	Pm11DSR	0	R	W	
10	Pm10DSR	0	R	W	
9	Pm9DSR	0	R	W	
8	Pm8DSR	0	R	W	
7	Pm7DSR	0	R	W	
6	Pm6DSR	0	R	W	
5	Pm5DSR	0	R	W	
4	Pm4DSR	0	R	W	
3	Pm3DSR	0	R	W	
2	Pm2DSR	0	R	W	
1	Pm1DSR	0	R	W	
0	Pm0DSR	0	R	W	

【注】・以下のポートのビットは、何も配置されていない予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ポートA：ビット15、14

ポートB：ビット15～4、2

ポートC：ビット15、13～7、4

ポートD：ビット15～11

ポートE：ビット14～0

ポートF：ビット15～6、3、2

ポートG：ビット15～5

ポートJ：ビット9、8

ポートK：ビット15、7、4～1

ポートL：ビット15～10、7、1、0

【記号説明】m=A～H、J～L

### 18.3.4 ポートABC入力しきい値切替レジスタ (PALVR)

PALVRレジスタは、ポートA、B、Cの入力しきい値をポートグループ単位で3種類の電圧レベル（シュミット有無設定可能）に設定します。ビット11~8はポートC、ビット7~4はポートB、ビット3~0はポートAの各端子に対応しています。PALVRレジスタは、選択されている機能に関係なく常に有効になります。

なお、リセット解除時は入力禁止になっているため、PmPIEN（ポートm入力レベル設定）ビットは"1"にして入力処理を行う必要があります。

ポート入力禁止時には、端子に"H"レベルが入力されているのと等価の状態になっています。

そのため、入力禁止時にポートコントロールレジスタで周辺入力機能を選択すると、"H"レベル入力により意図しない動作となる場合があります。周辺入力機能を選択する場合の設定順序を以下に示します。

1. 端子レベル確定後にポート入力許可
2. ポートコントロールレジスタ設定による機能選択

ポートABC入力しきい値切替レジスタ (PALVR)

<P4領域アドレス : H'FFFF 5300番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PC PIEN	PC SCSEL	PC SEL0	PC SEL1	PB PIEN	PB SCSEL	PB SEL0	PB SEL1	PA PIEN	PA SCSEL	PA SEL0	PA SEL1
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	PCPIEN	0	R	W	ポートC入力レベル設定ビット
10	PCSCSEL	0	R	W	0xxx : 入力禁止状態
9	PCSEL0	0	R	W	1000 : CMOS入力、0.35Vcc 選択
8	PCSEL1	0	R	W	1001 : CMOS入力、0.50Vcc 選択
					1010 : 設定禁止
					1011 : CMOS入力、0.70Vcc 選択
					1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc
					1101 : 設定禁止
					1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc
					1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
7	PBPIEN	0	R	W	ポート B 入力レベル設定ビット
6	PBSCSEL	0	R	W	0xxx : 入力禁止状態
5	PBSEL0	0	R	W	1000 : CMOS 入力、0.35Vcc 選択
4	PBSEL1	0	R	W	1001 : CMOS 入力、0.50Vcc 選択
					1010 : 設定禁止
					1011 : CMOS 入力、0.70Vcc 選択
					1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc
					1101 : 設定禁止
1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc					
1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc					
3	PAPIEN	0	R	W	ポート A 入力レベル設定ビット
2	PASCSEL	0	R	W	0xxx : 入力禁止状態
1	PASEL0	0	R	W	1000 : CMOS 入力、0.35Vcc 選択
0	PASEL1	0	R	W	1001 : CMOS 入力、0.50Vcc 選択
					1010 : 設定禁止
					1011 : CMOS 入力、0.70Vcc 選択
					1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc
					1101 : 設定禁止
1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc					
1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc					

### 18.3.5 ポート DEF 入力しきい値切替レジスタ (PDLVR)

PDLVR レジスタは、ポート D、E、F の入力しきい値をポートグループ単位で 3 種類の電圧レベル (シュミット有無設定可能) に設定します。ビット 11~8 はポート F、ビット 7~4 はポート E、ビット 3~0 はポート D の各端子に対応しています。PDLVR レジスタは、選択されている機能に関係なく常に有効になります。

なお、リセット解除時は入力禁止になっているため、PmPIEN (ポート m 入力レベル設定) ビットは "1" にして入力処理を行う必要があります。

ポート入力禁止時には、端子に "H" レベルが入力されているのと等価の状態になっています。

そのため、入力禁止時にポートコントロールレジスタで周辺入力機能を選択すると、"H" レベル入力により意図しない動作となる場合があります。周辺入力機能を選択する場合の設定順序を以下に示します。

1. 端子レベル確定後にポート入力許可
2. ポートコントロールレジスタ設定による機能選択

ポート DEF 入力しきい値切替レジスタ (PDLVR)

<P4領域アドレス: H'FFFF 5700番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PF PIEN	PF SCSEL	PF SEL0	PF SEL1	PE PIEN	PE SCSEL	PE SEL0	PE SEL1	PD PIEN	PD SCSEL	PD SEL0	PD SEL1
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
11	PFPIEN	0	R	W	ポート F 入力レベル設定ビット*1
10	PFSCSEL	0	R	W	0xxx : 入力禁止状態
9	PFSEL0	0	R	W	1000 : CMOS 入力、0.35Vcc 選択
8	PFSEL1	0	R	W	1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
<p>【注】*1 PFCR2 レジスタで PF4、PF5 の端子機能として SDA、SCL を選択した場合、SDA、SCL の入力しきい値は 0.7Vcc、0.3Vcc 固定となります。SDA、SCL で使用する場合、本ビットは設定禁止以外の "1xxx" のいずれかに設定してください。</p>					



## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
7	PEPIEN	0	R	W	ポート E 入力レベル設定ビット 0xxx : 入力禁止状態 1000 : CMOS 入力、0.35Vcc 選択 1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
6	PESCSEL	0	R	W	
5	PESEL0	0	R	W	
4	PESEL1	0	R	W	
3	PDPIEN	0	R	W	ポート D 入力レベル設定ビット 0xxx : 入力禁止状態 1000 : CMOS 入力、0.35Vcc 選択 1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
2	PDSCSEL	0	R	W	
1	PDSEL0	0	R	W	
0	PDSEL1	0	R	W	

### 18.3.6 ポート GHJ 入力しきい値切替レジスタ (PGLVR)

PGLVR レジスタは、ポート G、H、J の入力しきい値をポートグループ単位で 3 種類の電圧レベル（シュミット有無設定可能）に設定します。ビット 11~8 はポート J、ビット 7~4 はポート H、ビット 3~0 はポート G の各端子に対応しています。PG0、PG1、PG2、PG3、PJ1、PJ3、PJ4、PJ5 には対応していません。PGLVR レジスタは、選択されている機能に関係なく常に有効になります。

なお、リセット解除時は入力禁止になっているため、PmPIEN（ポート m 入力レベル設定）ビットは"1"にして入力処理を行う必要があります。ただし、PG0、PG1、PG2、PG3、PJ1、PJ3、PJ4、PJ5 を入力として使うときは、設定しなくても入力可能です。

ポート入力禁止時には、端子に"H"レベルが入力されているのと等価の状態になっています。

そのため、入力禁止時にポートコントロールレジスタで周辺入力機能を選択すると、"H"レベル入力により意図しない動作となる場合があります。周辺入力機能を選択する場合の設定順序を以下に示します。

1. 端子レベル確定後にポート入力許可
2. ポートコントロールレジスタ設定による機能選択

ポートGHJ入力しきい値切替レジスタ (PGLVR)

<P4領域アドレス : H'FFFF 5B00番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PJ PIEN	PJ SCSEL	PJ SEL0	PJ SEL1	PH PIEN	PH SCSEL	PH SEL0	PH SEL1	PG PIEN	PG SCSEL	PG SEL0	PG SEL1
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	PJPIEN	0	R	W	ポート J 入力レベル設定ビット  0xxx : 入力禁止状態  1000 : CMOS 入力、0.35Vcc 選択  1001 : CMOS 入力、0.50Vcc 選択  1010 : 設定禁止  1011 : CMOS 入力、0.70Vcc 選択  1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc  1101 : 設定禁止  1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc  1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
10	PJSCSEL	0	R	W	
9	PJSEL0	0	R	W	
8	PJSEL1	0	R	W	

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
7	PHPIEN	0	R	W	ポートH入力レベル設定ビット
6	PHSCSEL	0	R	W	0xxx : 入力禁止状態
5	PHSEL0	0	R	W	1000 : CMOS 入力、0.35Vcc 選択
4	PHSEL1	0	R	W	1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
3	PGPIEN	0	R	W	ポートG入力レベル設定ビット
2	PGSCSEL	0	R	W	0xxx : 入力禁止状態
1	PGSEL0	0	R	W	1000 : CMOS 入力、0.35Vcc 選択
0	PGSEL1	0	R	W	1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc

### 18.3.7 ポートKL入力しきい値切替レジスタ (PKLVR)

PKLVRレジスタは、ポートK、Lの入力しきい値をポートグループ単位で3種類の電圧レベル（シュミット有無設定可能）に設定します。ビット7~4はポートL、ビット3~0はポートKの各端子に対応しています。PKLVRレジスタは、選択されている機能に関係なく常に有効になります。

なお、ポートLに関してはリセット解除時は入力禁止になっているため、PmPIEN（ポートm入力レベル設定）ビットは"1"にして入力処理を行う必要があります。一方、ポートKに関してはリセット解除時は入力許可状態（CMOS入力、0.50Vcc選択）になっています。

ポート入力禁止時には、端子に"H"レベルが入力されているのと等価の状態になっています。

そのため、入力禁止時にポートコントロールレジスタで周辺入力機能を選択すると、"H"レベル入力により意図しない動作となる場合があります。周辺入力機能を選択する場合の設定順序を以下に示します。

1. 端子レベル確定後にポート入力許可
2. ポートコントロールレジスタ設定による機能選択

ポートKL入力しきい値切替レジスタ (PKLVR)

<P4領域アドレス：H'FFFF 5E00番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PL PIEN	PL SCSEL	PL SEL0	PL SEL1	PK PIEN	PK SCSEL	PK SEL0	PK SEL1
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

<リセット後の値：H'0009>

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	PLPIEN	0	R	W	ポートL入力レベル設定ビット 0xxx：入力禁止状態 1000：CMOS入力、0.35Vcc選択 1001：CMOS入力、0.50Vcc選択 1010：設定禁止 1011：CMOS入力、0.70Vcc選択 1100：シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101：設定禁止 1110：シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111：シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
6	PLSCSEL	0	R	W	
5	PLSEL0	0	R	W	
4	PLSEL1	0	R	W	

18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	PKPIEN	1	R	W	ポート K 入力レベル設定ビット 0xxx : 入力禁止状態 1000 : CMOS 入力、0.35Vcc 選択 1001 : CMOS 入力、0.50Vcc 選択 1010 : 設定禁止 1011 : CMOS 入力、0.70Vcc 選択 1100 : シュミット入力、VT+=0.50Vcc、VT-=0.35Vcc 1101 : 設定禁止 1110 : シュミット入力、VT+=0.70Vcc、VT-=0.35Vcc 1111 : シュミット入力、VT+=0.70Vcc、VT-=0.50Vcc
2	PKSCSEL	0	R	W	
1	PKSEL0	0	R	W	
0	PKSEL1	1	R	W	

## 18.3.8 ポートA～H、J～L・IOレジスタ（PAIOR～PHIOR、PJIOR～PLIOR）

PAIOR～PHIOR、PJIOR～PLIORレジスタは端子の入出力方向を選びます。端子機能が汎用入出力の場合に有効で、それ以外の場合は端子の状態に影響しません。

ポートA・IOレジスタ（PAIOR）

<P4領域アドレス：H'FFFF 5006番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートB・IOレジスタ（PBIOR）

<P4領域アドレス：H'FFFF 5106番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートC・IOレジスタ（PCIOR）

<P4領域アドレス：H'FFFF 5206番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートD・IOレジスタ（PDIOR）

<P4領域アドレス：H'FFFF 5406番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートE・IOレジスタ（PEIOR）

<P4領域アドレス：H'FFFF 5506番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートF・IOレジスタ（PFIOR）

<P4領域アドレス：H'FFFF 5606番地>

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 18. I/Oポートとピンファンクションユニット

ポートG・IOレジスタ (PGIOR)

<P4領域アドレス : H'FFFF 5806番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PG7 IOR	PG6 IOR	PG5 IOR	PG4 IOR	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートH・IOレジスタ (PHIOR)

<P4領域アドレス : H'FFFF 5906番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートJ・IOレジスタ (PJIOR)

<P4領域アドレス : H'FFFF 5A06番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートK・IOレジスタ (PKIOR)

<P4領域アドレス : H'FFFF 5C06番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK14 IOR	PK13 IOR	PK12 IOR	PK11 IOR	PK10 IOR	PK9 IOR	PK8 IOR	PK7 IOR	PK6 IOR	PK5 IOR	PK4 IOR	PK3 IOR	PK2 IOR	PK1 IOR	PK0 IOR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ポートL・IOレジスタ (PLIOR)

<P4領域アドレス : H'FFFF 5D06番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PL9 IOR	PL8 IOR	PL7 IOR	PL6 IOR	PL5 IOR	PL4 IOR	PL3 IOR	PL2 IOR	PL1 IOR	PL0 IOR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	Pm15IOR ~Pm0IOR	すべて0	R	W	各ビットは、それぞれのポートの端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。  0 : 対応する端子を入力にする 1 : 対応する端子を出力にする

【注】・リセット解除後、以下の予約ビットは"1"にしてください。詳細については、「18.4 I/Oポートの初期設定順序例」を参照してください。

ポートA : PA15IOR ビット、PA14IOR ビット

ポートB : PB6IOR~PB4IOR ビット、PB2IOR ビット

ポートC : PC15IOR ビット、PC13IOR~PC7IOR ビット、PC4IOR ビット

ポートD : PD15IOR~PD11IOR ビット

ポートE : PE14IOR~PE0IOR ビット

ポートF : PF3IOR ビット、PF2IOR ビット

ポートG : PG7IOR~PG5IOR ビット

ポートJ : PJ9IOR ビット、PJ8IOR ビット

ポート K : PK7IOR ビット、PK4IOR~PK1IOR ビット

ポート L : PL7IOR ビット、PL1IOR ビット、PL0IOR ビット

- ・以下のポートのビットは、何も配置されていない予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ポート B : ビット 15~7

ポート F : ビット 15~6

ポート G : ビット 15~8

ポート K : ビット 15

ポート L : ビット 15~10

【記号説明】 m=A~H、J~L



## 18. I/Oポートとピンファンクションユニット

### 18.3.9 ポート A コントロールレジスタ 1~4 (PACR1~PACR4)

PACR1~PACR4 レジスタは、ポート A にあるマルチプレクス端子の機能を選びます。

#### (1) ポート A コントロールレジスタ 4 (PACR4)

ポートAコントロールレジスタ4 (PACR4)

<P4領域アドレス : H'FFFF 5010番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PA13MD		—	PA12MD			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~7	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PA13MD	000	R	W	PA13 モードビット 000 : PA13 入出力 (ポート) 001 : 設定禁止 010 : TO15 出力 (ATU-IIIS) 011 : DDB13 入力 (DRI) 100 : PSLDATA3 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PA12MD	000	R	W	PA12 モードビット 000 : PA12 入出力 (ポート) 001 : 設定禁止 010 : TO14 出力 (ATU-IIIS) 011 : DDB12 入力 (DRI) 100 : PSLDATA2 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止

## (2) ポート A コントロールレジスタ 3 (PACR3)

ポートAコントロールレジスタ3 (PACR3)

&lt;P4領域アドレス : H'FFFF 5012番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA11MD			—	PA10MD			—	PA9MD			—	PA8MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PA11MD	000	R	W	PA11 モードビット 000 : PA11 入出力 (ポート) 001 : 設定禁止 010 : TO13 出力 (ATU-IIIS) 011 : DDB11 入力 (DRI) 100 : PSLDATA1 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PA10MD	000	R	W	PA10 モードビット 000 : PA10 入出力 (ポート) 001 : 設定禁止 010 : TO12 出力 (ATU-IIIS) 011 : DDB10 入力 (DRI) 100 : PSLDATA0 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PA9MD	000	R	W	PA9 モードビット 000 : PA9 入出力 (ポート) 001 : 設定禁止 010 : TO11 出力 (ATU-IIIS) 011 : DDB09 入力 (DRI) 100 : PSLCLKA 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PA8MD	000	R	W	PA8 モードビット 000 : PA8 入出力 (ポート) 001 : 設定禁止 010 : TO10 出力 (ATU-IIIS) 011 : DDB08 入力 (DRI) 100 : PSLCLKB 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止

### (3) ポート A コントロールレジスタ 2 (PACR2)

ポートAコントロールレジスタ2 (PACR2)

<P4領域アドレス : H'FFFF 5014番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA7MD			—	PA6MD			—	PA5MD			—	PA4MD		

リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PA7MD	000	R	W	PA7 モードビット 000 : PA7 入出力 (ポート) 001 : 設定禁止 010 : TO07 出力 (ATU-IIIS) 011 : DDB07 入力 (DRI) 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PA6MD	000	R	W	PA6 モードビット 000 : PA6 入出力 (ポート) 001 : 設定禁止 010 : TO06 出力 (ATU-IIIS) 011 : DDB06 入力 (DRI) 1xx : 設定禁止

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PA5MD	000	R	W	PA5 モードビット 000 : PA5 入出力 (ポート) 001 : 設定禁止 010 : TO05 出力 (ATU-IIIS) 011 : DDB05 入力 (DRI) 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PA4MD	000	R	W	PA4 モードビット 000 : PA4 入出力 (ポート) 001 : 設定禁止 010 : TO04 出力 (ATU-IIIS) 011 : DDB04 入力 (DRI) 1xx : 設定禁止

## (4) ポート A コントロールレジスタ 1 (PACR1)

ポートAコントロールレジスタ1 (PACR1)

&lt;P4領域アドレス : H'FFFF 5016番地&gt;

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA3MD			—	PA2MD			—	PA1MD			—	PA0MD		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PA3MD	000	R	W	PA3 モードビット 000 : PA3 入出力 (ポート) 001 : 設定禁止 010 : TO03 出力 (ATU-IIIS) 011 : DDB03 入力 (DRI) 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
10~8	PA2MD	000	R	W	PA2 モードビット 000 : PA2 入出力 (ポート) 001 : 設定禁止 010 : TO02 出力 (ATU-IIIS) 011 : DDB02 入力 (DRI) 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PA1MD	000	R	W	PA1 モードビット 000 : PA1 入出力 (ポート) 001 : 設定禁止 010 : TO01 出力 (ATU-IIIS) 011 : DDB01 入力 (DRI) 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PA0MD	000	R	W	PA0 モードビット 000 : PA0 入出力 (ポート) 001 : 設定禁止 010 : TO00 出力 (ATU-IIIS) 011 : DDB00 入力 (DRI) 1xx : 設定禁止

## 18.3.10 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

PBCR1、PBCR2 レジスタは、ポート B にあるマルチプレクス端子の機能を選びます。

## (1) ポート B コントロールレジスタ 2 (PBCR2)

ポートBコントロールレジスタ2 (PBCR2)

<P4領域アドレス : H'FFFF 5114番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (2) ポート B コントロールレジスタ 1 (PBCR1)

ポートBコントロールレジスタ1 (PBCR1)

<P4領域アドレス : H'FFFF 5116番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PB3MD			—	—	—	—	—	PB1MD			—	PB0MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PB3MD	000	R	W	PB3 モードビット 000 : PB3 入出力 (ポート) 001 : 設定禁止 010 : PWMOFF3 入力 (ATU-IIIS) 011 : DINB3 入力 (DRI) 1xx : 設定禁止
11~7	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
6~4	PB1MD	000	R	W	PB1 モードビット 000 : PB1 入出力 (ポート) 001 : 設定禁止 010 : PWMOFF1 入力 (ATU-IIIS) 011 : DINB1 入力 (DRI) 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PB0MD	000	R	W	PB0 モードビット 000 : PB0 入出力 (ポート) 001 : 設定禁止 010 : PWMOFF0 入力 (ATU-IIIS) 011 : DINB0 入力 (DRI) 1xx : 設定禁止

## 18.3.11 ポートCコントロールレジスタ1~4 (PCCR1~PCCR4)

PCCR1~PCCR4レジスタは、ポートCにあるマルチプレクス端子の機能を選びます。

## (1) ポートCコントロールレジスタ4 (PCCR4)

ポートCコントロールレジスタ4 (PCCR4)

<P4領域アドレス : H'FFFF 5210番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PC14MD		—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PC14MD	000	R	W	PC14モードビット 000 : PC14 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 1xx : 設定禁止
7~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (2) ポートCコントロールレジスタ3 (PCCR3)

ポートCコントロールレジスタ3 (PCCR3)

<P4領域アドレス : H'FFFF 5212番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。



## 18. I/Oポートとピンファンクションユニット

### (3) ポートCコントロールレジスタ2 (PCCR2)

ポートCコントロールレジスタ2 (PCCR2)

<P4領域アドレス : H'FFFF 5214番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PC6MD			—	PC5MD			—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PC6MD	000	R	W	PC6 モードビット 000 : PC6 入出力 (ポート) 001 : CLKOUT 出力 (CPG) 010 : TO36 出力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PC5MD	000	R	W	PC5 モードビット 000 : PC5 入出力 (ポート) 001 : 設定禁止 010 : TO35 出力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
3~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (4) ポートCコントロールレジスタ1 (PCCR1)

ポートCコントロールレジスタ1 (PCCR1)

&lt;P4領域アドレス : H'FFFF 5216番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PC3MD			—	PC2MD			—	PC1MD			—	PC0MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PC3MD	000	R	W	PC3 モードビット 000 : PC3 入出力 (ポート) 001 : 設定禁止 010 : TO33 出力 (ATU-IIIS) 011 : 設定禁止 100 : SSL20 入出力 (RSPI) 101 : IRQ0 入力 (INTC) 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PC2MD	000	R	W	PC2 モードビット 000 : PC2 入出力 (ポート) 001 : 設定禁止 010 : TO32 出力 (ATU-IIIS) 011 : 設定禁止 100 : RSPCK2 入出力 (RSPI) 101 : DREQ0 入力 (DMAC) 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PC1MD	000	R	W	PC1 モードビット 000 : PC1 入出力 (ポート) 001 : 設定禁止 010 : TO31 出力 (ATU-IIIS) 011 : 設定禁止 100 : MISO2 入出力 (RSPI) 101 : 設定禁止 11x : 設定禁止

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PC0MD	000	R	W	PC0 モードビット 000 : PC0 入出力 (ポート) 001 : 設定禁止 010 : TO30 出力 (ATU-IIIS) 011 : 設定禁止 100 : MOSI2 入出力 (RSPI) 101 : IRQ6 入力 (INTC) 11x : 設定禁止

## 18.3.12 ポートDコントロールレジスタ1~4 (PDCR1~PDCR4)

PDCR1~PDCR4 レジスタは、ポートDにあるマルチプレクス端子の機能を選びます。

## (1) ポートDコントロールレジスタ4 (PDCR4)

ポートDコントロールレジスタ4 (PDCR4)

<P4領域アドレス : H'FFFF 5410番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (2) ポートDコントロールレジスタ3 (PDCR3)

ポートDコントロールレジスタ3 (PDCR3)

<P4領域アドレス : H'FFFF 5412番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PD10MD	—	PD9MD	—	PD8MD	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PD10MD	000	R	W	PD10 モード 000 : PD10 入出力 (ポート) 001 : 設定禁止 010 : PDIWR 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
6~4	PD9MD	000	R	W	PD9モード 000 : PD9 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA9 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PD8MD	000	R	W	PD8モード 000 : PD8 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA8 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止

### (3) ポートDコントロールレジスタ2 (PDCR2)

ポートDコントロールレジスタ2 (PDCR2)

<P4領域アドレス : H'FFFF 5414番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PD7MD			—	PD6MD			—	PD5MD			—	PD4MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PD7MD	000	R	W	PD7モードビット 000 : PD7 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA7 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
10~8	PD6MD	000	R	W	PD6モード 000: PD6入出力(ポート) 001: 設定禁止 010: PDIDATA6出力(PDAC) 011: 設定禁止 1xx: 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PD5MD	000	R	W	PD5モードビット 000: PD5入出力(ポート) 001: 設定禁止 010: PDIDATA5出力(PDAC) 011: 設定禁止 1xx: 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PD4MD	000	R	W	PD4モードビット 000: PD4入出力(ポート) 001: 設定禁止 010: PDIDATA4出力(PDAC) 011: 設定禁止 1xx: 設定禁止

(4) ポートDコントロールレジスタ1 (PDCR1)

ポートDコントロールレジスタ1 (PDCR1)

<P4領域アドレス: H'FFFF 5416番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PD3MD			—	PD2MD			—	PD1MD			—	PD0MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
14~12	PD3MD	000	R	W	PD3 モードビット 000 : PD3 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA3 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PD2MD	000	R	W	PD2 モードビット 000 : PD2 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA2 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PD1MD	000	R	W	PD1 モードビット 000 : PD1 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA1 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PD0MD	000	R	W	PD0 モードビット 000 : PD0 入出力 (ポート) 001 : 設定禁止 010 : PDIDATA0 出力 (PDAC) 011 : 設定禁止 1xx : 設定禁止

## 18.3.13 ポートEコントロールレジスタ3、4 (PECR3、PECR4)

PECR3、PECR4 レジスタは、ポートEにあるマルチプレクス端子の機能を選びます。

## (1) ポートEコントロールレジスタ4 (PECR4)

ポートEコントロールレジスタ4 (PECR4)

<P4領域アドレス : H'FFFF 5510番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PE15MD			—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PE15MD	000	R	W	PE15 モードビット 000 : PE15 入出力 (ポート) 001 : 設定禁止 010 : TO27 出力 (ATU-IIIS) 011 : 設定禁止 100 : PSLCLR 出力 (PSEL) 101 : 設定禁止 11x : 設定禁止
11~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (2) ポートEコントロールレジスタ3 (PECR3)

ポートEコントロールレジスタ3 (PECR3)

<P4領域アドレス : H'FFFF 5512番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。



## 18. I/Oポートとピンファンクションユニット

### 18.3.14 ポートFコントロールレジスタ 1、2 (PFCR1、PFCR2)

PFCR1、PFCR2 レジスタは、ポートFにあるマルチプレクス端子の機能を選びます。

#### (1) ポートFコントロールレジスタ 2 (PFCR2)

ポートFコントロールレジスタ2 (PFCR2)

<P4領域アドレス : H'FFFF 5614番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PF5MD		—	PF4MD			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

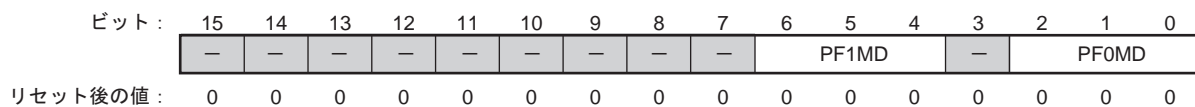
<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PF5MD	000	R	W	PF5 モードビット 000 : PF5 入出力 (ポート) 001 : SCL 入出力 (IIC3) 01x : 設定禁止 100 : 設定禁止 101 : CTX3 出力 (CAN) 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PF4MD	000	R	W	PF4 モードビット 000 : PF4 入出力 (ポート) 001 : SDA 入出力 (IIC3) 01x : 設定禁止 100 : 設定禁止 101 : CRX3 入力 (CAN) 11x : 設定禁止

## (2) ポートFコントロールレジスタ1 (PFCR1)

ポートFコントロールレジスタ1 (PFCR1)

&lt;P4領域アドレス : H'FFFF 5616番地&gt;



&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~7	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PF1MD	000	R	W	PF1 モードビット 000 : PF1 入出力 (ポート) 001 : CTX0 出力 (CAN) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PF0MD	000	R	W	PF0 モードビット 000 : PF0 入出力 (ポート) 001 : CRX0 入力 (CAN) 01x : 設定禁止 1xx : 設定禁止

## 18. I/Oポートとピンファンクションユニット

### 18.3.15 ポート G コントロールレジスタ 1、2 (PGCR1、PGCR2)

PGCR1、PGCR2 レジスタは、ポート G にあるマルチプレクス端子の機能を選びます。

#### (1) ポート G コントロールレジスタ 2 (PGCR2)

ポートGコントロールレジスタ2 (PGCR2)

<P4領域アドレス : H'FFFF 5814番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PG4MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PG4MD	000	R	W	PG4 モードビット 000 : PG4 入出力 (ポート) 001 : IRQ2 入力 (INTC) 010 : TO44 出力 (ATU-IIIS) 011 : SSL01 出力 (RSPI) 1xx : 設定禁止

#### (2) ポート G コントロールレジスタ 1 (PGCR1)

ポートGコントロールレジスタ1 (PGCR1)

<P4領域アドレス : H'FFFF 5816番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PG3MD			—	PG2MD			—	PG1MD			—	PG0MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
14~12	PG3MD	000	R	W	PG3 モードビット 000 : PG3 入出力 (ポート) 001 : 設定禁止 010 : TO43 出力 (ATU-IIIS) 011 : SSL00 入出力 (RSPI) 100 : 設定禁止 101 : IRQ7 入力 (INTC) 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PG2MD	000	R	W	PG2 モードビット 000 : PG2 入出力 (ポート) 001 : RSPCK0 入出力 (RSPI) 010 : TO42 出力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PG1MD	000	R	W	PG1 モードビット 000 : PG1 入出力 (ポート) 001 : MISO0 入出力 (RSPI) 010 : TO41 出力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PG0MD	000	R	W	PG0 モードビット 000 : PG0 入出力 (ポート) 001 : MOSI0 入出力 (RSPI) 010 : TO40 出力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止

## 18. I/Oポートとピンファンクションユニット

### 18.3.16 ポートHコントロールレジスタ 1~4 (PHCR1~PHCR4)

PHCR1~PHCR4 レジスタは、ポートHにあるマルチプレクス端子の機能を選びます。

#### (1) ポートHコントロールレジスタ 4 (PHCR4)

ポートHコントロールレジスタ4 (PHCR4)

<P4領域アドレス : H'FFFF 5910番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PH15MD			—	PH14MD			—	PH13MD			—	PH12MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PH15MD	000	R	W	PH15 モードビット 000 : PH15 入出力 (ポート) 001 : DROD7 出力 (DRO) 010 : TO37 出力 (ATU-IIIS) 011 : DDC15 入力 (DRI) 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PH14MD	000	R	W	PH14 モードビット 000 : PH14 入出力 (ポート) 001 : DROD6 出力 (DRO) 010 : TO36 出力 (ATU-IIIS) 011 : DDC14 入力 (DRI) 100 : 設定禁止 101 : IRQ1 入力 (INTC) 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PH13MD	000	R	W	PH13 モードビット 000 : PH13 入出力 (ポート) 001 : DROD5 出力 (DRO) 010 : TO35 出力 (ATU-IIIS) 011 : DDC13 入力 (DRI) 1xx : 設定禁止

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PH12MD	000	R	W	PH12 モードビット 000 : PH12 入出力 (ポート) 001 : DROD4 出力 (DRO) 010 : TO34 出力 (ATU-IIIS) 011 : DDC12 入力 (DRI) 1xx : 設定禁止

### (2) ポートHコントロールレジスタ 3 (PHCR3)

ポートHコントロールレジスタ3 (PHCR3)

<P4領域アドレス : H'FFFF 5912番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PH11MD			—	PH10MD			—	PH9MD			—	PH8MD		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PH11MD	000	R	W	PH11 モードビット 000 : PH11 入出力 (ポート) 001 : DROD3 出力 (DRO) 010 : TO33 出力 (ATU-IIIS) 011 : DDC11 入力 (DRI) 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PH10MD	000	R	W	PH10 モードビット 000 : PH10 入出力 (ポート) 001 : DROD2 出力 (DRO) 010 : TO32 出力 (ATU-IIIS) 011 : DDC10 入力 (DRI) 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
6~4	PH9MD	000	R	W	PH9 モードビット 000 : PH9 入出力 (ポート) 001 : DROD1 出力 (DRO) 010 : TO31 出力 (ATU-IIIS) 011 : DDC09 入力 (DRI) 100 : CTS2#入出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PH8MD	000	R	W	PH8 モードビット 000 : PH8 入出力 (ポート) 001 : DROD0 出力 (DRO) 010 : TO30 出力 (ATU-IIIS) 011 : DDC08 入力 (DRI) 100 : RTS2#入出力 (SCIF) 101 : 設定禁止 11x : 設定禁止

## (3) ポートHコントロールレジスタ2 (PHCR2)

ポートHコントロールレジスタ2 (PHCR2)

&lt;P4領域アドレス : H'FFFF 5914番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PH7MD			—	PH6MD			—	PH5MD			—	PH4MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PH7MD	000	R	W	PH7 モードビット 000 : PH7 入出力 (ポート) 001 : DROD15 出力 (DRO) 010 : TO27 出力 (ATU-IIIS) 011 : DDC07 入力 (DRI) 100 : TIA03 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PH6MD	000	R	W	PH6 モードビット 000 : PH6 入出力 (ポート) 001 : DROD14 出力 (DRO) 010 : TO26 出力 (ATU-IIIS) 011 : DDC06 入力 (DRI) 100 : TIA02 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PH5MD	000	R	W	PH5 モードビット 000 : PH5 入出力 (ポート) 001 : DROD13 出力 (DRO) 010 : TO25 出力 (ATU-IIIS) 011 : DDC05 入力 (DRI) 100 : TIA01 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止



## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PH4MD	000	R	W	PH4 モードビット 000 : PH4 入出力 (ポート) 001 : DROD12 出力 (DRO) 010 : TO24 出力 (ATU-IIIS) 011 : DDC04 入力 (DRI) 100 : TIA00 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止

### (4) ポートHコントロールレジスタ1 (PHCR1)

ポートHコントロールレジスタ1 (PHCR1)

<P4領域アドレス : H'FFFF 5916番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PH3MD			—	PH2MD			—	PH1MD			—	PH0MD		

リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PH3MD	000	R	W	PH3 モードビット 000 : PH3 入出力 (ポート) 001 : DROD11 出力 (DRO) 010 : TO23 出力 (ATU-IIIS) 011 : DDC03 入力 (DRI) 100 : TIF1B 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
10~8	PH2MD	000	R	W	PH2 モード 000 : PH2 入出力 (ポート) 001 : DROD10 出力 (DRO) 010 : TO22 出力 (ATU-IIIS) 011 : DDC02 入力 (DRI) 100 : TIF1A 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PH1MD	000	R	W	PH1 モードビット 000 : PH1 入出力 (ポート) 001 : DROD9 出力 (DRO) 010 : TO21 出力 (ATU-IIIS) 011 : DDC01 入力 (DRI) 100 : TIF0B 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PH0MD	000	R	W	PH0 モードビット 000 : PH0 入出力 (ポート) 001 : DROD8 出力 (DRO) 010 : TO20 出力 (ATU-IIIS) 011 : DDC00 入力 (DRI) 100 : TIF0A 入力 (ATU-IIIS) 101 : 設定禁止 11x : 設定禁止

## 18. I/Oポートとピンファンクションユニット

### 18.3.17 ポートJコントロールレジスタ 1~4 (PJCR1~PJCR4)

PJCR1~PJCR4 レジスタは、ポートJにあるマルチプレクス端子の機能を選びます。

#### (1) ポートJコントロールレジスタ 4 (PJCR4)

ポートJコントロールレジスタ4 (PJCR4)

<P4領域アドレス : H'FFFF 5A10番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PJ15MD			—	PJ14MD			—	PJ13MD			—	PJ12MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PJ15MD	000	R	W	PJ15 モードビット 000 : PJ15 入出力 (ポート) 001 : SCK1 入出力 (SCIF) 010 : RSPCK1 出力 (RSPI) 011 : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PJ14MD	000	R	W	PJ14 モードビット 000 : PJ14 入出力 (ポート) 001 : TXD1 出力 (SCIF) 010 : MOSI1 入出力 (RSPI) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PJ13MD	000	R	W	PJ13 モードビット 000 : PJ13 入出力 (ポート) 001 : RXD1 入力 (SCIF) 010 : MISO1 入出力 (RSPI) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
2~0	PJ12MD	000	R	W	PJ12 モードビット 000 : PJ12 入出力 (ポート) 001 : SCK0 入出力 (SCIF) 010 : TCLKB 入力 (ATU-IIIS) 011 : 設定禁止 100 : 設定禁止 101 : IRQ0 入力 (INTC) 11x : 設定禁止

## (2) ポートJコントロールレジスタ3 (PJCR3)

ポートJコントロールレジスタ3 (PJCR3)

&lt;P4領域アドレス : H'FFFF 5A12番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	PJ11MD			—	PJ10MD			—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PJ11MD	000	R	W	PJ11 モードビット 000 : PJ11 入出力 (ポート) 001 : TXD0 出力 (SCIF) 010 : 設定禁止 011 : 設定禁止 100 : ADOEND 出力 (ADC) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
10~8	PJ10MD	000	R	W	PJ10 モードビット 000 : PJ10 入出力 (ポート) 001 : RXD0 入力 (SCIF) 010 : PWMOFF4 入力 (ATU-IIIS) 011 : 設定禁止 100 : AD0TRG#入力 (ADC) 101 : 設定禁止 11x : 設定禁止
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

### (3) ポート J コントロールレジスタ 2 (PJCR2)

ポート J コントロールレジスタ 2 (PJCR2)

<P4領域アドレス : H'FFFF 5A14番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PJ7MD			—	PJ6MD			—	PJ5MD			—	PJ4MD		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PJ7MD	000	R	W	PJ7 モードビット 000 : PJ7 入出力 (ポート) 001 : CTX3 出力 (CAN) 010 : TIF2B 入力 (ATU-IIIS) 011 : 設定禁止 100 : TXD2 出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
10~8	PJ6MD	000	R	W	PJ6 モードビット 000 : PJ6 入出力 (ポート) 001 : CRX3 入力 (CAN) 010 : TIF2A 入力 (ATU-IIIS) 011 : 設定禁止 100 : RXD2 入力 (SCIF) 101 : TIA04 入力 (ATU-IIIS) 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PJ5MD	000	R	W	PJ5 モードビット 000 : PJ5 入出力 (ポート) 001 : CTX2 出力 (CAN) 010 : FTXENB 出力 (FlexRay) 011 : 設定禁止 100 : SCK2 入出力 (SCIF) 101 : 設定禁止 111 : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PJ4MD	000	R	W	PJ4 モードビット 000 : PJ4 入出力 (ポート) 001 : CRX2 入力 (CAN) 010 : FTXENA 出力 (FlexRay) 011 : 設定禁止 100 : CTS0#入出力 (SCIF) 101 : 設定禁止 111 : 設定禁止

【注】・SH7456 グループの場合、FlexRay 関連端子 (FRXA、FTXA、FRXB、FTXB、FTXENA、FTXENB) を選択しないでください。

## 18. I/Oポートとピンファンクションユニット

### (4) ポートJコントロールレジスタ1 (PJCR1)

ポートJコントロールレジスタ1 (PJCR1)

<P4領域アドレス : H'FFFF 5A16番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PJ3MD			—	PJ2MD			—	PJ1MD			—	PJ0MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PJ3MD	000	R	W	PJ3 モードビット 000 : PJ3 入出力 (ポート) 001 : CTX1 出力 (CAN) 010 : FTXB 出力 (FlexRay) 011 : 設定禁止 100 : RTS0#入出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PJ2MD	000	R	W	PJ2 モードビット 000 : PJ2 入出力 (ポート) 001 : CRX1 入力 (CAN) 010 : FRXB 入力 (FlexRay) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PJ1MD	000	R	W	PJ1 モードビット 000 : PJ1 入出力 (ポート) 001 : CTX0 出力 (CAN) 010 : FTXA 出力 (FlexRay) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
2~0	PJ0MD	000	R	W	PJ0 モードビット 000 : PJ0 入出力 (ポート) 001 : CRX0 入力 (CAN) 010 : FRXA 入力 (FlexRay) 011 : 設定禁止 1xx : 設定禁止

【注】・SH7456 グループの場合、FlexRay 関連端子 (FRXA、FTXA、FRXB、FTXB、FTXENA、FTXENB) を選択しないでください。



## 18. I/Oポートとピンファンクションユニット

### 18.3.18 ポートKコントロールレジスタ 1~4 (PKCR1~PKCR4)

PKCR1~PKCR4 レジスタは、ポート K にあるマルチプレクス端子の機能を選びます。

#### (1) ポート K コントロールレジスタ 4 (PKCR4)

ポートKコントロールレジスタ4 (PKCR4)

<P4領域アドレス : H'FFFF 5C10番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PK14MD		—	PK13MD		—	PK12MD				
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PK14MD	000	R	W	PK14 モードビット 000 : PK14 入出力 (ポート) 001 : AUDRSYN#入力 (AUDR) 01x : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PK13MD	000	R	W	PK13 モードビット 000 : PK13 入出力 (ポート) 001 : AUDRCLK 入力 (AUDR) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PK12MD	000	R	W	PK12 モードビット 000 : PK12 入出力 (ポート) 001 : AUDRD3 入出力 (AUDR) 01x : 設定禁止 1xx : 設定禁止

## (2) ポートKコントロールレジスタ3 (PKCR3)

ポートKコントロールレジスタ3 (PKCR3)

&lt;P4領域アドレス : H'FFFF 5C12番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK11MD			—	PK10MD			—	PK9MD			—	PK8MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PK11MD	000	R	W	PK11 モードビット 000 : PK11 入出力 (ポート) 001 : AUDRD2 入出力 (AUDR) 01x : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PK10MD	000	R	W	PK10 モードビット 000 : PK10 入出力 (ポート) 001 : AUDRD1 入出力 (AUDR) 01x : 設定禁止 100 : CTS3#入出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PK9MD	000	R	W	PK9 モードビット 000 : PK9 入出力 (ポート) 001 : AUDRD0 入出力 (AUDR) 01x : 設定禁止 100 : RTS3#入出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
2~0	PK8MD	000	R	W	PK8 モードビット 000 : PK8 入出力 (ポート) 001 : DREQ2 入力 (DMAC) 01x : 設定禁止 1xx : 設定禁止

### (3) ポートKコントロールレジスタ 2 (PKCR2)

ポートKコントロールレジスタ2 (PKCR2)

<P4領域アドレス : H'FFFF 5C14番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PK6MD		—	PK5MD		—	—	—	—		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

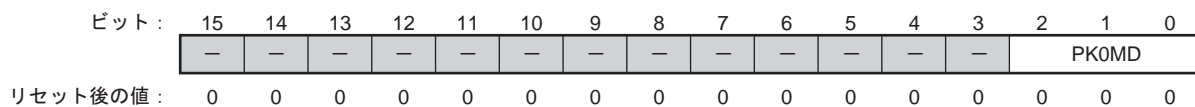
<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PK6MD	000	R	W	PK6 モードビット 000 : PK6 入出力 (ポート) 01x : 設定禁止 100 : TXD3 出力 (SCIF) 101 : 設定禁止 11x : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PK5MD	000	R	W	PK5 モードビット 000 : PK5 入出力 (ポート) 001 : 設定禁止 010 : 設定禁止 011 : DINC4 入力 (DRI) 100 : RXD3 入力 (SCIF) 101 : 設定禁止 11x : 設定禁止
3~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## (4) ポートKコントロールレジスタ1 (PKCR1)

ポートKコントロールレジスタ1 (PKCR1)

&lt;P4領域アドレス : H'FFFF 5C16番地&gt;



&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PK0MD	000	R	W	PK0モードビット 000 : PK0 入出力 (ポート) 001 : IRQ5 入力 (INTC) 010 : SSL10 入出力 (RSPI) 011 : 設定禁止 1xx : 設定禁止

## 18. I/Oポートとピンファンクションユニット

### 18.3.19 ポートLコントロールレジスタ 1~3 (PLCR1~PLCR3)

PLCR1~PLCR3 レジスタは、ポートLにあるマルチプレクス端子の機能を選びます。

#### (1) ポートLコントロールレジスタ 3 (PLCR3)

ポートLコントロールレジスタ3 (PLCR3)

<P4領域アドレス : H'FFFF 5D12番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PL9MD		—	PL8MD			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~7	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PL9MD	000	R	W	PL9 モードビット 000 : PL9 入出力 (ポート) 001 : TIA15 入力 (ATU-IIIS) 01x : 設定禁止 100 : 設定禁止 101 : AUDREVT#出力 (AUDR) 11x : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PL8MD	000	R	W	PL8 モード 000 : PL8 入出力 (ポート) 001 : TIA14 入力 (ATU-IIIS) 010 : IRQ7 入力 (INTC) 011 : 設定禁止 100 : DREQ3 入力 (DMAC) 101 : 設定禁止 11x : 設定禁止

## (2) ポートLコントロールレジスタ2 (PLCR2)

ポートLコントロールレジスタ2 (PLCR2)

&lt;P4領域アドレス : H'FFFF 5D14番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PL6MD			—	PL5MD			—	PL4MD		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

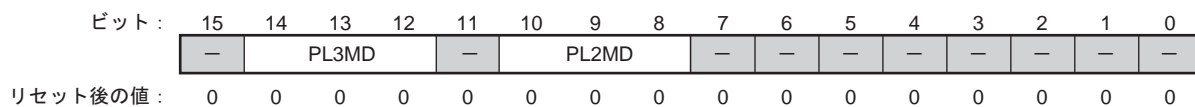
ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PL6MD	000	R	W	PL6 モードビット 000 : PL6 入出力 (ポート) 001 : TIA12 入力 (ATU-IIIS) 010 : TIF1A 入力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PL5MD	000	R	W	PL5 モードビット 000 : PL5 入出力 (ポート) 001 : TIA11 入力 (ATU-IIIS) 010 : TIF0B 入力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PL4MD	000	R	W	PL4 モードビット 000 : PL4 入出力 (ポート) 001 : TIA10 入力 (ATU-IIIS) 010 : TIF0A 入力 (ATU-IIIS) 011 : 設定禁止 1xx : 設定禁止

## 18. I/Oポートとピンファンクションユニット

### (3) ポートLコントロールレジスタ1 (PLCR1)

ポートLコントロールレジスタ1 (PLCR1)

<P4領域アドレス : H'FFFF 5D16番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PL3MD	000	R	W	PL3 モードビット 000 : PL3 入出力 (ポート) 001 : 設定禁止 010 : IRQ6 入力 (INTC) 011 : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PL2MD	000	R	W	PL2 モードビット 000 : PL2 入出力 (ポート) 001 : DROWR 出力 (DRO) 01x : 設定禁止 1xx : 設定禁止
7~0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18.3.20 ポート M コントロールレジスタ 1~4 (PMCR1~PMCR4)

PMCR1~PMCR4 レジスタは、ポート M にあるマルチプレクス端子の機能を選びます。

## (1) ポート M コントロールレジスタ 4 (PMCR4)

ポートMコントロールレジスタ4 (PMCR4)

<P4領域アドレス : H'FFFF 5E10番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PM15MD			—	PM14MD			—	PM13MD			—	PM12MD		
リセット後の値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

<リセット後の値 : H'1111>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PM15MD	001	R	W	PM15 モードビット 000 : PM15 入力 (ポート) 001 : AD0IN15 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PM14MD	001	R	W	PM14 モードビット 000 : PM14 入力 (ポート) 001 : AD0IN14 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PM13MD	001	R	W	PM13 モードビット 000 : PM13 入力 (ポート) 001 : AD0IN13 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。



## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
2~0	PM12MD	001	R	W	PM12 モードビット 000 : PM12 入力 (ポート) 001 : AD0IN12 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・ PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

### (2) ポート M コントロールレジスタ 3 (PMCR3)

ポートMコントロールレジスタ3 (PMCR3)

<P4領域アドレス : H'FFFF 5E12番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PM11MD			—	PM10MD			—	PM9MD			—	PM8MD		
リセット後の値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

<リセット後の値 : H'1111>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~12	PM11MD	001	R	W	PM11 モードビット 000 : PM11 入力 (ポート) 001 : AD0IN11 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PM10MD	001	R	W	PM10 モードビット 000 : PM10 入力 (ポート) 001 : AD0IN10 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
6~4	PM9MD	001	R	W	PM9 モードビット 000 : PM9 入力 (ポート) 001 : AD0IN9 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PM8MD	001	R	W	PM8 モードビット 000 : PM8 入力 (ポート) 001 : AD0IN8 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・ PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

(3) ポート M コントロールレジスタ 2 (PMCR2)

ポートMコントロールレジスタ2 (PMCR2)

<P4領域アドレス : H'FFFF 5E14番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PM6MD			—	—	—	—	—	PM4MD		
リセット後の値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

<リセット後の値 : H'1111>

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PM6MD	001	R	W	PM6 モードビット 000 : PM6 入力 (ポート) 001 : AD0IN6 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
4	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PM4MD	001	R	W	PM4 モード 000 : PM4 入力 (ポート) 001 : AD0IN4 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

### (4) ポート M コントロールレジスタ 1 (PMCR1)

ポートMコントロールレジスタ1 (PMCR1)

<P4領域アドレス : H'FFFF 5E16番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PM2MD			—	—	—	—	—	PM0MD		
リセット後の値 :	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

<リセット後の値 : H'1111>

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	PM2MD	001	R	W	PM2 モードビット 000 : PM2 入力 (ポート) 001 : AD0IN2 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。

## 18. I/Oポートとピンファンクションユニット

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PM0MD	001	R	W	PM0モードビット 000 : PM0 入力 (ポート) 001 : AD0IN0 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・ PM0~PM15 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

## 18. I/O ポートとピンファンクションユニット

### 18.3.21 ポート N コントロールレジスタ 1、2 (PNCR1、PNCR2)

PNCR1、PNCR2 レジスタは、ポート N にあるマルチプレクス端子の機能を選びます。

#### (1) ポート N コントロールレジスタ 2 (PNCR2)

ポートNコントロールレジスタ2 (PNCR2)

<P4領域アドレス : H'FFFF 5F14番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PN5MD		—	PN4MD			
リセット後の値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

<リセット後の値 : H'1111>

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
11~9	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PN5MD	001	R	W	PN5 モードビット 000 : PN5 入力 (ポート) 001 : AD1IN5 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PN4MD	001	R	W	PN4 モードビット 000 : PN4 入力 (ポート) 001 : AD1IN4 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・PN0~PN7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

## (2) ポートNコントロールレジスタ1 (PNCR1)

ポートNコントロールレジスタ1 (PNCR1)

&lt;P4領域アドレス : H'FFFF 5F16番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PN1MD		—	PN0MD			
リセット後の値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1

&lt;リセット後の値 : H'1111&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
11~9	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	PN1MD	001	R	W	PN1 モードビット 000 : PN1 入力 (ポート) 001 : AD1IN1 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	PN0MD	001	R	W	PN0 モード 000 : PN0 入力 (ポート) 001 : AD1IN0 入力 (ADC) 01x : 設定禁止 1xx : 設定禁止

【注】・PN0~PN7 をすべてアナログ入力端子またはすべて汎用ポートに設定してください。混在させての使用および設定は禁止です。

## 18. I/Oポートとピンファンクションユニット

### 18.3.22 ポート DRI 入力チャンネル切替レジスタ (PDRIR)

PDRIR レジスタは、DRI 端子に入力したデータを DRI0~DRI2 のどのチャンネルに使用するかを選びます。

ポートDRI入力チャンネル切替レジスタ (PDRIR)

<P4領域アドレス : H'FFFF 5340番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	PDRI2MD	PDRI1MD	PDRI0MD			
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5、4	PDRI2MD	00	R	W	PDRI2 モードビット DRI2 への入力をどの端子から与えるか選択します 00 : 入力無効 01 : DINB0、DINB1、DINB3、DDB00~DDB13 端子からの入力 10 : DINC4、DDC00~DDC15 端子からの入力 11 : 設定禁止
3、2	PDRI1MD	00	R	W	PDRI1 モードビット DRI1 への入力をどの端子から与えるか選択します 00 : 入力無効 01 : DINB0、DINB1、DINB3、DDB00~DDB13 端子からの入力 10 : DINC4、DDC00~DDC15 端子からの入力 11 : 設定禁止
1、0	PDRI0MD	00	R	W	PDRI0 モードビット DRI0 への入力をどの端子から与えるか選択します 00 : 入力無効 01 : DINB0、DINB1、DINB3、DDB00~DDB13 端子からの入力 10 : DINC4、DDC00~DDC15 端子からの入力 11 : 設定禁止

## 18.4 I/Oポートの初期設定順序例

I/Oポート関連レジスタの初期設定順序例を以下に示します。

### (1) 端子を入力ポートとして使用する場合の設定順序

1. ポートm・IOレジスタ (PmIOR) の予約ビットの設定  
下記の注\*1のビットを"1"にする
2. ポートmコントロールレジスタn (PmCRn) の設定  
端子をポート側にする (リセット解除後、ポート側)
3. ポートm・IOレジスタ (PmIOR) の設定  
ポート端子を入力にする (リセット解除後、ポート端子は入力)
4. ポートm入力しきい値切替レジスタ (PmLVR) の設定  
入力しきい値を設定する (ポート入力許可)

### (2) 端子を出力ポートとして使用する場合の設定順序

1. ポートm・IOレジスタ (PmIOR) の予約ビットの設定  
下記の注\*1のビットを"1"にする
2. ポートmコントロールレジスタn (PmCRn) の設定  
端子をポート側にする (リセット解除後、ポート側)
3. ポートmデータレジスタ (PmDR) の設定  
出力データを設定する
4. ポートmドライバビリティ設定レジスタ (PmDSR) の設定  
出力端子のドライブ能力を設定する
5. ポートm・IOレジスタ (PmIOR) の設定  
ポート端子を出力にする

### (3) 端子を周辺機能入力として使用する場合の設定順序

1. ポートm・IOレジスタ (PmIOR) の予約ビットの設定  
下記の注\*1のビットを"1"にする
2. ポートm入力しきい値切替レジスタ (PmLVR) の設定  
入力しきい値を設定する (ポート入力許可)
3. ポートmコントロールレジスタn (PmCRn) の設定  
端子を周辺機能側にする

### (4) 端子を周辺機能出力として使用する場合の設定順序

1. ポートm・IOレジスタ (PmIOR) の予約ビットの設定  
下記の注\*1のビットを"1"にする
2. ポートmドライバビリティ設定レジスタ (PmDSR) の設定  
出力端子のドライブ能力を設定する
3. ポートmコントロールレジスタn (PmCRn) の設定  
端子を周辺機能側にする

【注】 \*1 リセット解除後、以下の予約ビットは"1"に設定してください。

ポートA : PA15IOR ビット、PA14IOR ビット  
 ポートB : PB6IOR~PB4IOR ビット、PB2IOR ビット  
 ポートC : PC15IOR ビット、PC13IOR~PC7IOR ビット、PC4IOR ビット  
 ポートD : PD15IOR~PD11IOR ビット  
 ポートE : PE14IOR~PE0IOR ビット  
 ポートF : PF3IOR ビット、PF2IOR ビット  
 ポートG : PG7IOR~PG5IOR ビット  
 ポートJ : PJ9IOR ビット、PJ8IOR ビット  
 ポートK : PK7IOR ビット、PK4IOR~PK1IOR ビット  
 ポートL : PL7IOR ビット、PL1IOR ビット、PL0IOR ビット



### 18.5 ポート周辺回路

図 18.1～図 18.12 にポート周辺回路図を示します。

● 対象ポート

PA0～PA13、PB0、PB1、PB3、PC0～PC3、PC5、PC6、PC14、PD0～PD10、PE15、PF0、PF1、PG4、PH0～PH15、PJ0、PJ2、PJ6、PJ7、PJ10～PJ15、PK0、PK5、PK6、PK8～PK14、PL2～PL6、PL8、PL9

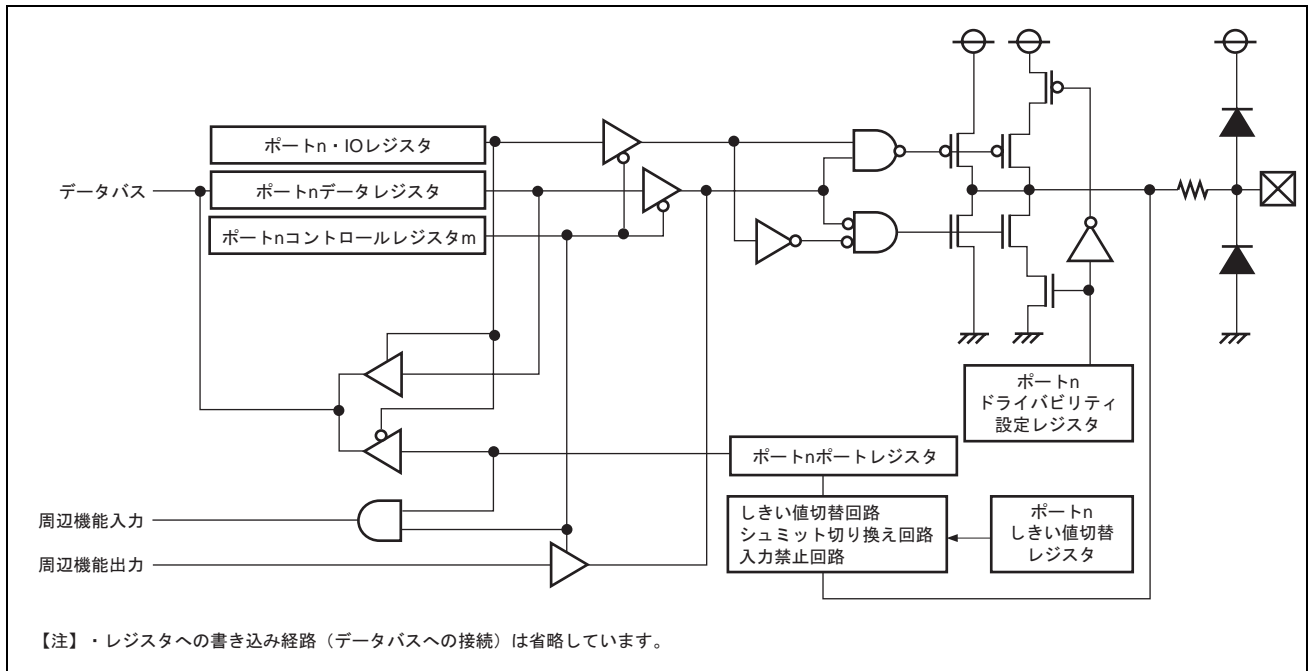


図 18.1 ポート周辺回路図（入力/出力ポート 1）

- 対象ポート

PG0~PG3、PJ1、PJ3、PJ4、PJ5

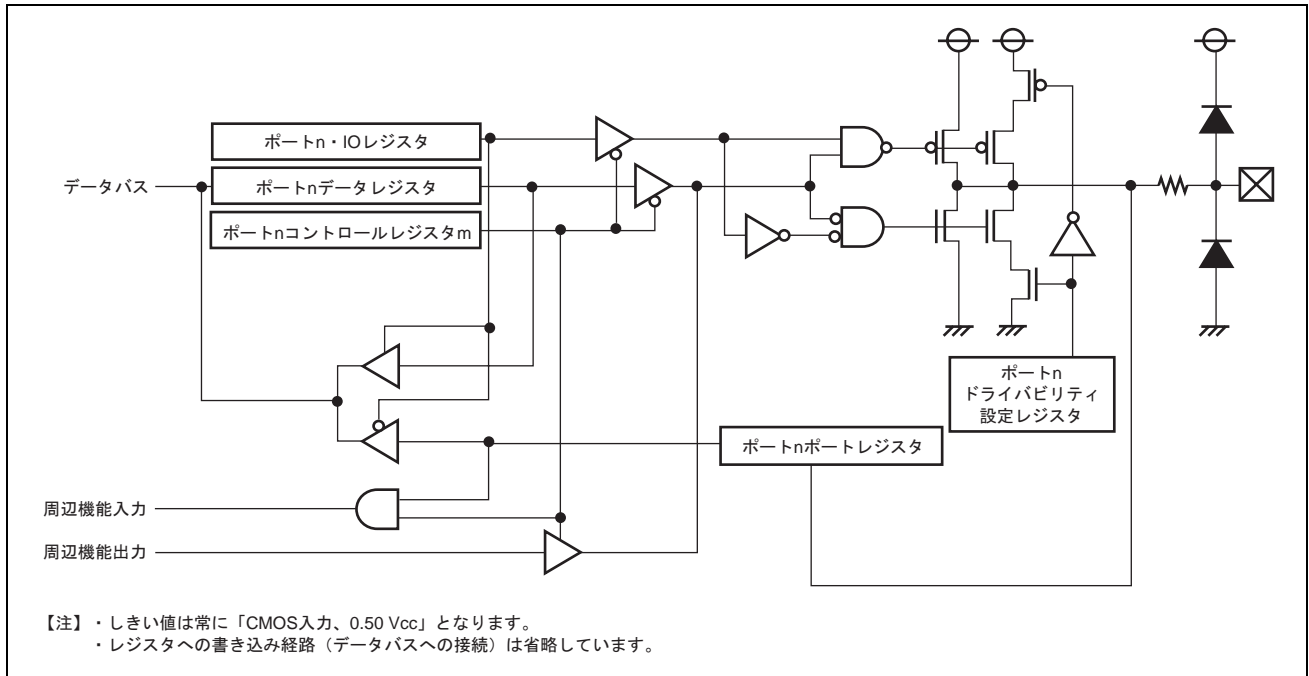


図 18.2 ポート周辺回路図（入力/出力ポート 2）

## 18. I/Oポートとピンファンクションユニット

- 対象ポート

PF4、PF5

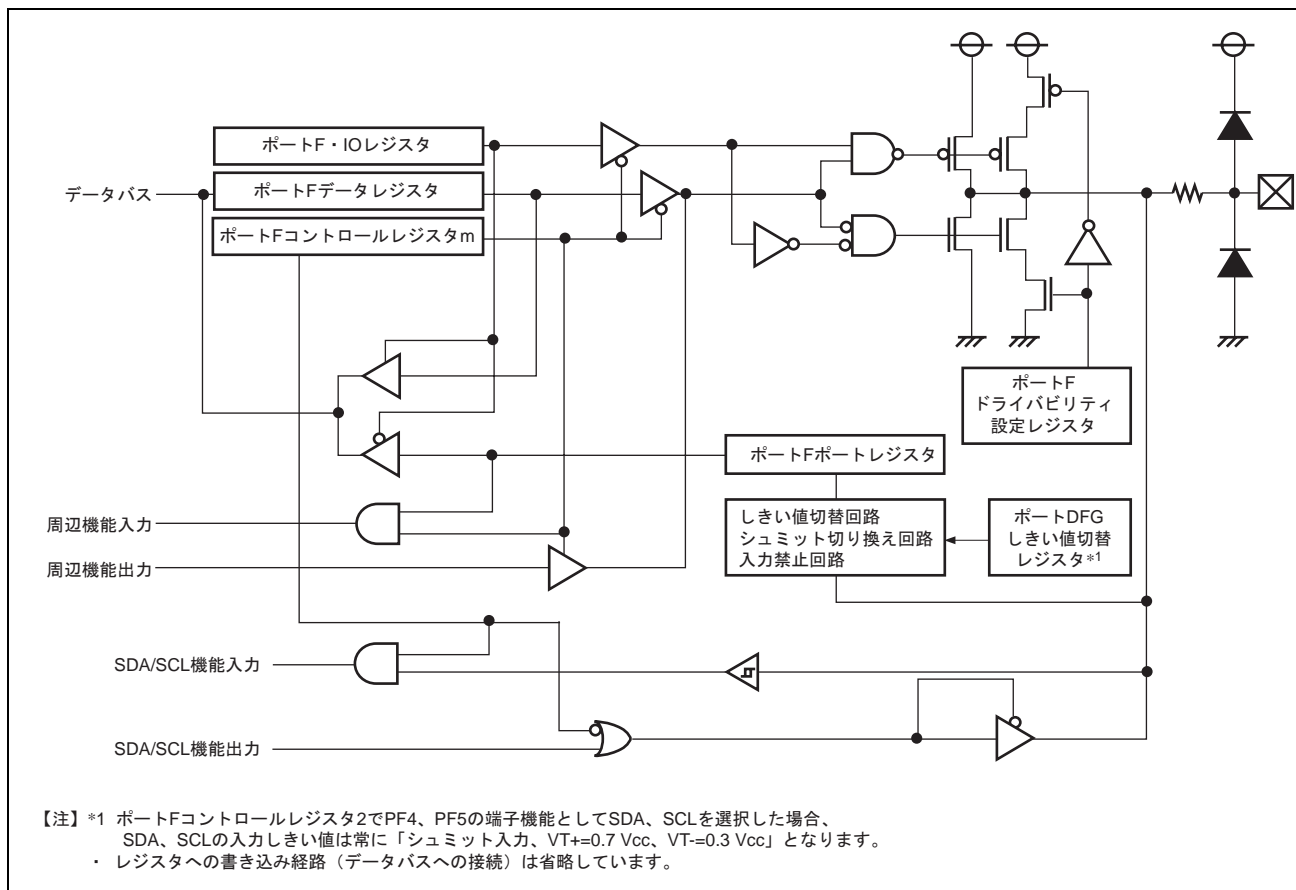


図 18.3 ポート周辺回路図（入力/出力ポート 3）

- 対象ポート

ASEBRK#/BRKACK

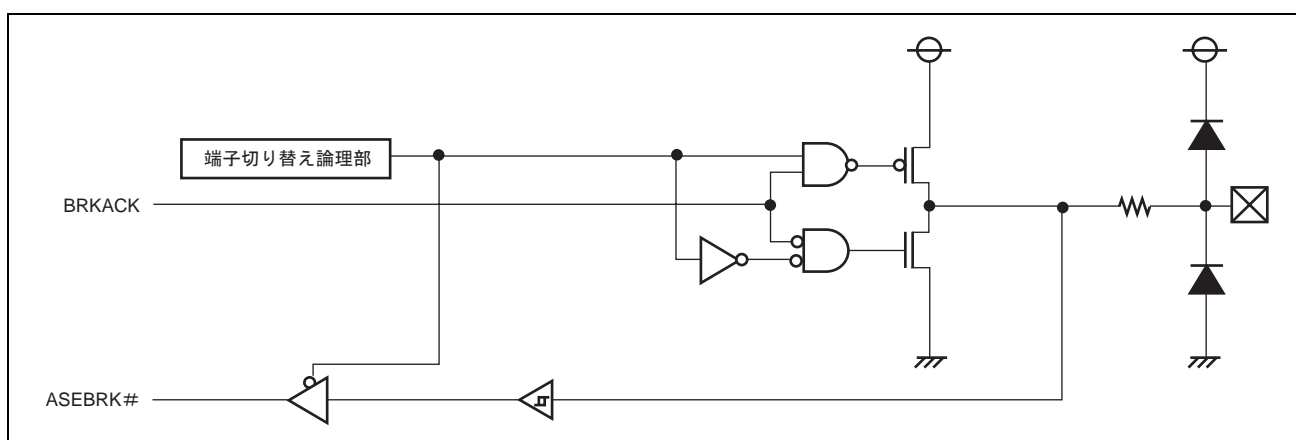


図 18.4 ポート周辺回路図（入力/出力ポート 4）

- 対象ポート（ポート入力/アナログ入力兼用）

PM0、PM2、PM4、PM6、PM8～PM15、PN0、PN1、PN4、PN5

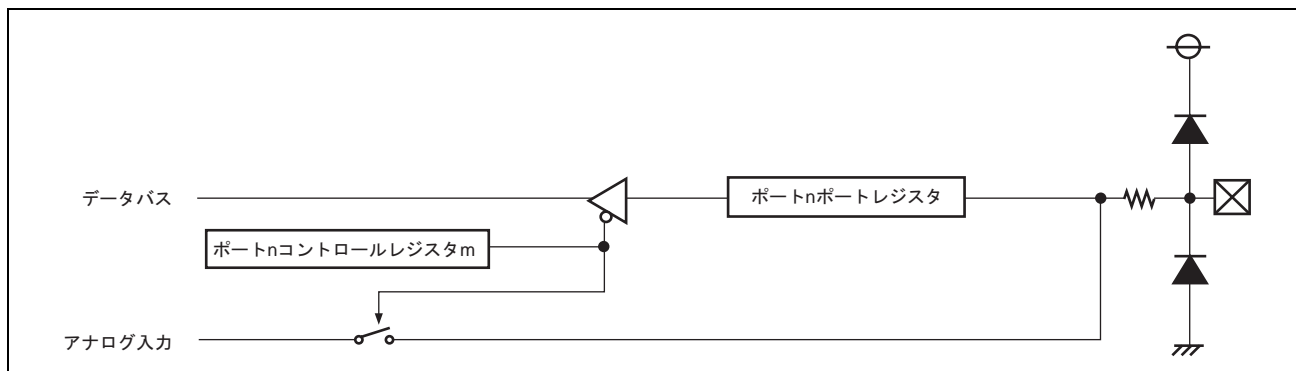


図 18.5 ポート周辺回路図（入力ポート 1）

- 対象ポート（ノイズキャンセラあり）

NMI、RESET#

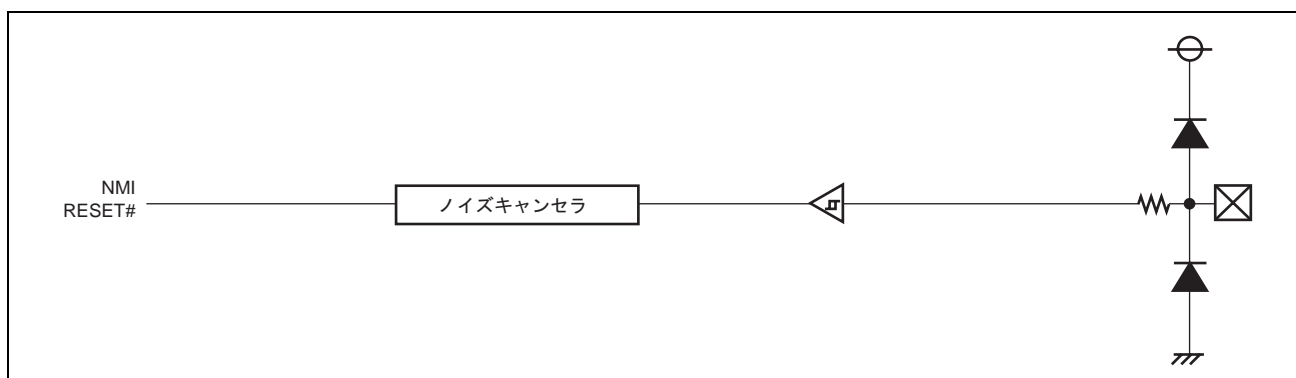


図 18.6 ポート周辺回路図（入力ポート 2）

- 対象ポート（プルアップあり）

MPMD、DET3OR5

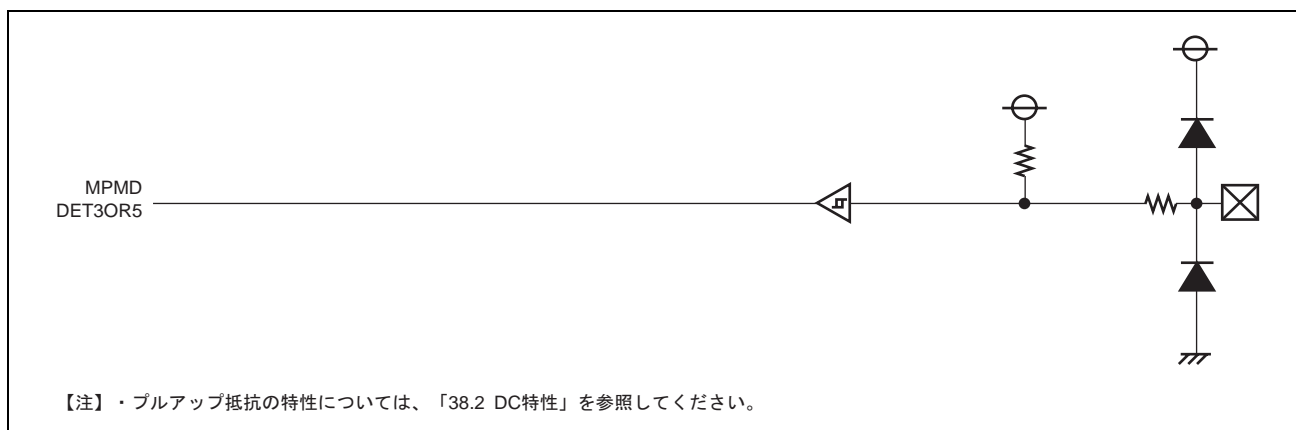


図 18.7 ポート周辺回路図（入力ポート 3）

## 18. I/Oポートとピンファンクションユニット

- 対象ポート（プルダウンあり）

MD0～MD2、FWE

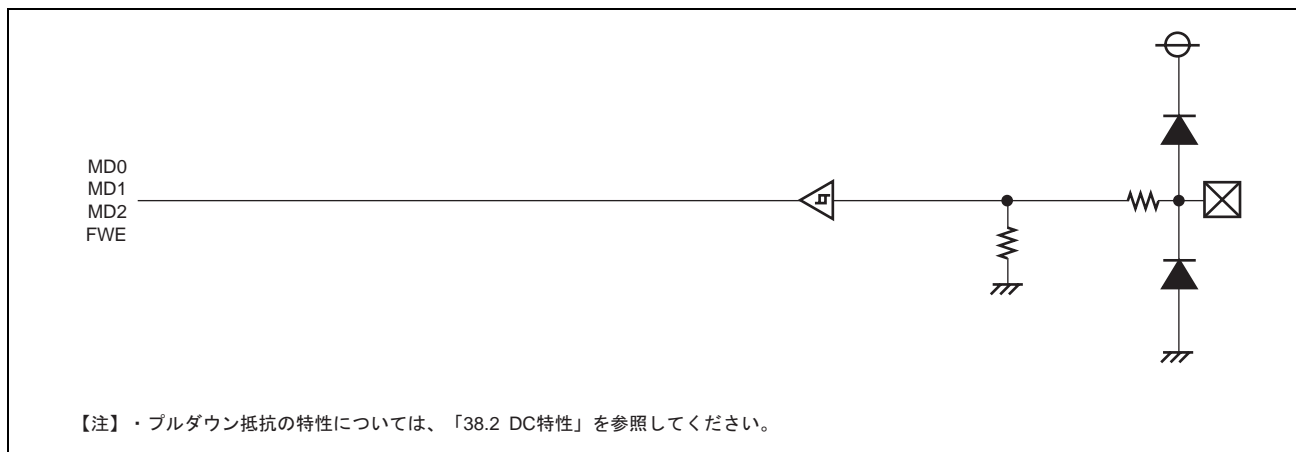


図 18.8 ポート周辺回路図（入力ポート 4）

- 対象ポート

TMS、TDI、TRST#

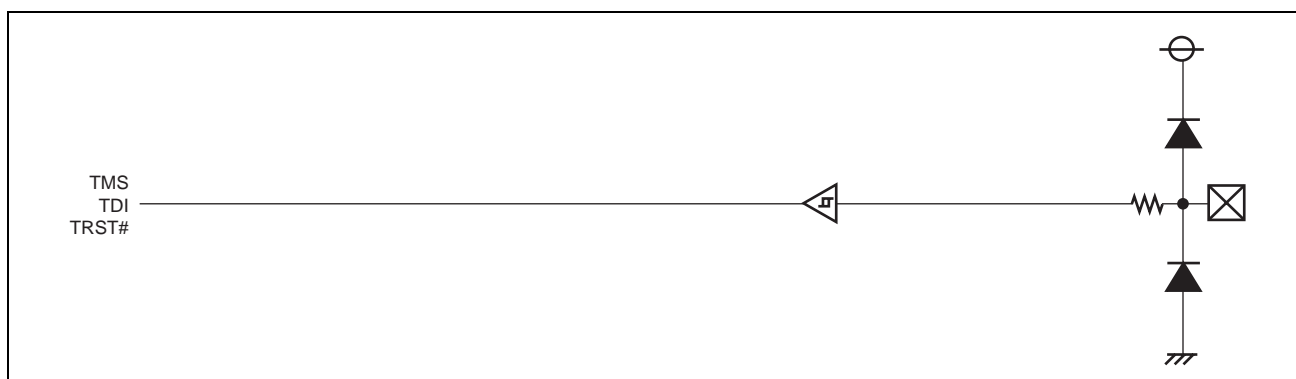


図 18.9 ポート周辺回路図（入力ポート 5）

- 対象ポート（クロック入力）

TCK

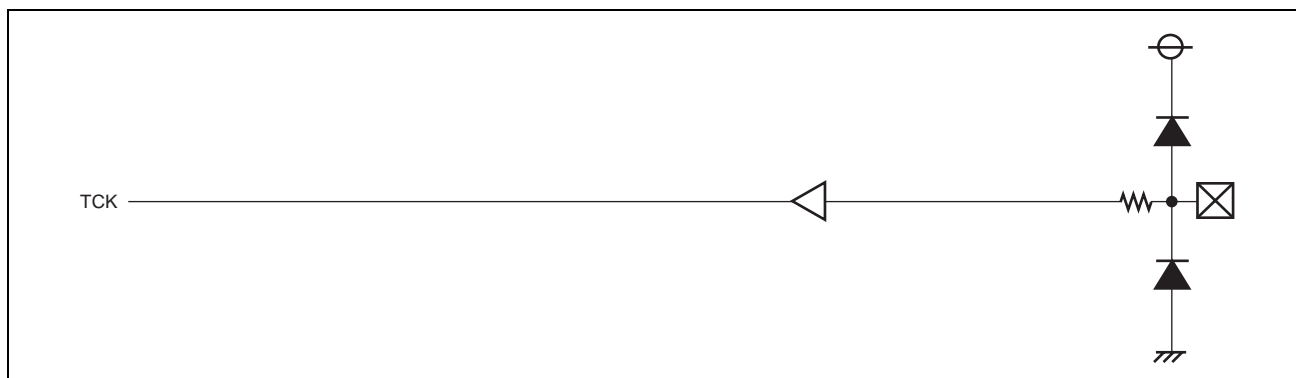


図 18.10 ポート周辺回路図（入力ポート 6）

- 対象ポート（クロック入力、クロック出力）  
EXTAL、XTAL

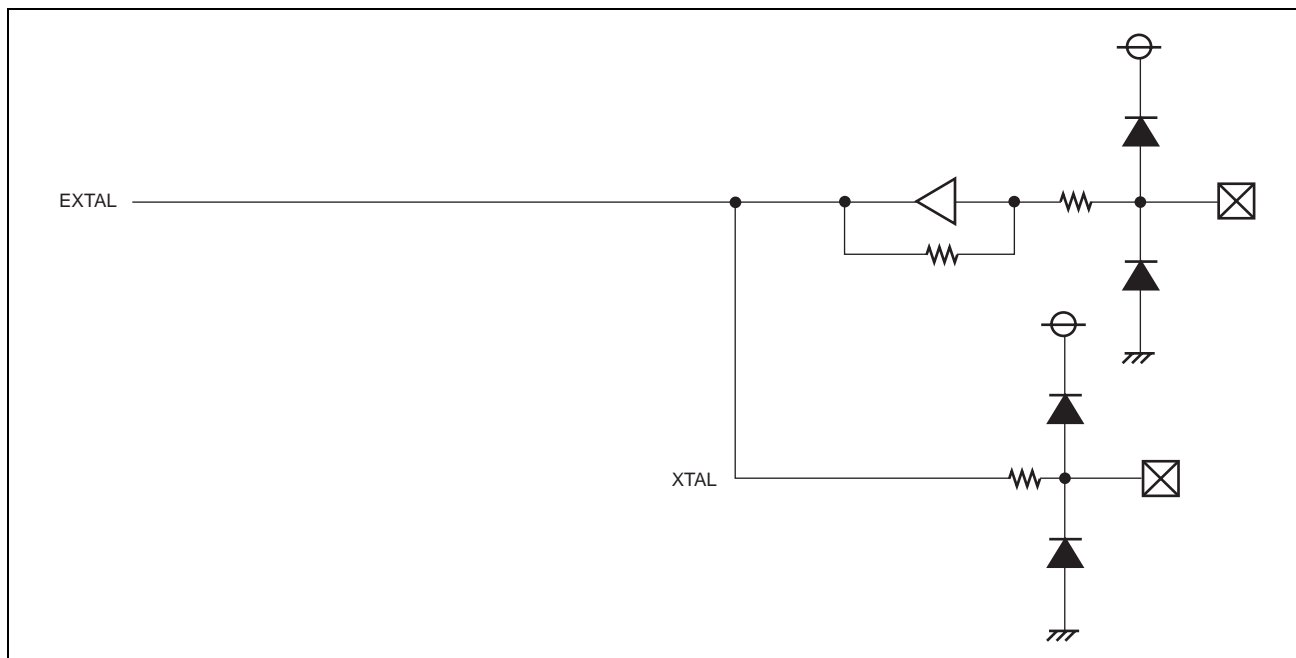


図 18.11 ポート周辺回路図（入力ポート、出力ポート）

- 対象ポート  
TDO、WDTOVF#

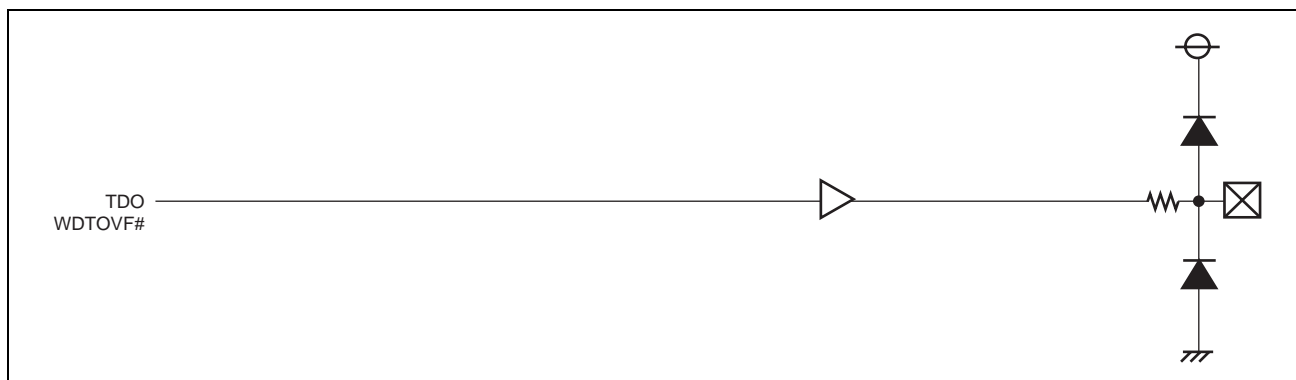


図 18.12 ポート周辺回路図（出力ポート1）

### 18.6 使用上の注意事項

#### 18.6.1 ポート入力禁止機能について

リセット解除時に入力禁止状態になっているポートは、入力機能を使用するためには、ポート入力しきい値切替レジスタのポート入力レベル設定ビットを"B'0xxx"以外にして入力許可に設定する必要があります。ポート入力禁止時には、端子に"H"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能を選択すると、"H"レベル入力により意図しない動作となる場合があります。

#### 18.6.2 汎用ポートに設定時の周辺機能入力について

以下の周辺機能入力、汎用ポートの兼用端子において、動作モードレジスタで汎用ポートに設定時、周辺機能入力には"H"レベルが入力されています。そのため、周辺機能入力端子に"L"レベルが入力されているときは、動作モードレジスタを操作時に、周辺機能入力にエッジ信号が入力されます。

CRX0~CRX3、RXD0~RXD3、RTS0#、RTS2#、RTS3#、CTS0#、CTS2#、CTS3#、SDA、SCL、AD0TRG#、IRQ0~IRQ2、IRQ5~IRQ7、AUDRSYN#

その他の周辺機能入力、汎用ポートの兼用端子は、動作モードレジスタで汎用ポートに設定時、周辺機能入力には"L"レベルが入力されています。

#### 18.6.3 I/Oポートの初期設定について

ポート m・IO レジスタ (PmIOR) は、リセット解除後、下記の注\*1の予約ビットを"1"に設定してください。設定手順は「18.4 I/Oポートの初期設定順序例」を参照してください。

- 【注】 \*1
- ポート A : PA15IOR ビット、PA14IOR ビット
  - ポート B : PB6IOR~PB4IOR ビット、PB2IOR ビット
  - ポート C : PC15IOR ビット、PC13IOR~PC7IOR ビット、PC4IOR ビット
  - ポート D : PD15IOR~PD11IOR ビット
  - ポート E : PE14IOR~PE0IOR ビット
  - ポート F : PF3IOR ビット、PF2IOR ビット
  - ポート G : PG7IOR~PG5IOR ビット
  - ポート J : PJ9IOR ビット、PJ8IOR ビット
  - ポート K : PK7IOR ビット、PK4IOR~PK1IOR ビット
  - ポート L : PL7IOR ビット、PL1IOR ビット、PL0IOR ビット

---

## 19. バスステートコントローラ (BSC)

---

SH7455 グループと SH7456 グループには、外部バスステートコントローラ (BSC) の機能はありません。



レイアウトの都合上、このページは白紙です。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

### 20.1 概要

本 MCU は、ダイレクトメモリアクセスコントローラ (DMAC) を 2 モジュール内蔵しています。DMAC0 モジュールは DMA0~DMA5 の 6 チャンネル、DMAC1 モジュールは DMA6~DMA11 の 6 チャンネルで構成されています。

DMAC は、内蔵周辺モジュール、IL メモリ/OL メモリ、SHwyRAM、ROM 間のデータ転送を、CPU に代わって高速に行うことができます。なお、本章中のレジスタ名や端子名などに示す DMA $i$  の  $i$  は 0~11、DMA $j$  の  $j$  は 0~3、6~9 と規定しています。表 20.1 に DMAC の概要を示します。

表 20.1 DMAC の概要

項目	概要
チャンネル数	6 チャンネル (DMA0~DMA5) +6 チャンネル (DMA6~DMA11)
転送要求要因	<ul style="list-style-type: none"><li>• オートリクエスト (ソフトウェアリクエスト)</li><li>• 内蔵周辺モジュールリクエスト (SCIF、RSPI、IIC3、ATU-IIIS、ADC、DRI)</li><li>• 外部リクエスト (DMA0、DMA2、DMA3 のみ)</li></ul>
最大転送回数	<ul style="list-style-type: none"><li>• 16,777,216 回</li></ul>
転送可能アドレス空間	<ul style="list-style-type: none"><li>• 4G バイト空間</li></ul>
転送領域	<ul style="list-style-type: none"><li>• 内蔵周辺モジュール、IL メモリ/OL メモリ、SHwyRAM、ROM 間の転送をサポート</li></ul>
転送データサイズ	<ul style="list-style-type: none"><li>• 1 バイト、2 バイト (ワード)、4 バイト (ロングワード)、16 バイト、32 バイト</li></ul>
転送アドレス方式	<ul style="list-style-type: none"><li>• デュアルアドレス</li></ul>
転送モード	<ul style="list-style-type: none"><li>• サイクルスチールモード 1、サイクルスチールモード 2、バーストモード</li></ul>
転送方向	<ul style="list-style-type: none"><li>• ソースとデスティネーションに対して、3 種類から選択可能</li></ul> アドレス固定 アドレスインクリメント アドレスデクリメント
チャンネル優先度	<ul style="list-style-type: none"><li>• モジュール間の優先順位 DMAC0 モジュール (DMA0~DMA5) と DMAC1 モジュール (DMA6~DMA11) の優先順位はラウンドロビンに固定</li><li>• モジュール内のチャンネル優先順位 DMA0~DMA5 内は、優先順位固定 (DMA0&gt;DMA1&gt;DMA2&gt;DMA3&gt;DMA4&gt;DMA5)、ラウンドロビンから選択可能 DMA6~DMA11 内は、優先順位固定 (DMA6&gt;DMA7&gt;DMA8&gt;DMA9&gt;DMA10&gt;DMA11)、ラウンドロビンから選択可能</li></ul>
割り込み要求	<ul style="list-style-type: none"><li>• データ転送ハーフエンド時</li><li>• データ転送終了時</li><li>• アドレスエラー発生時</li></ul>

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

項目	概要
外部リクエスト検出	• DREQ0、DREQ2、DREQ3 端子入力の立ち上がり、立ち下がりエッジから選択可能
その他	• リピート機能、リロード機能

図 20.1 に DMAC のブロック図を示します。

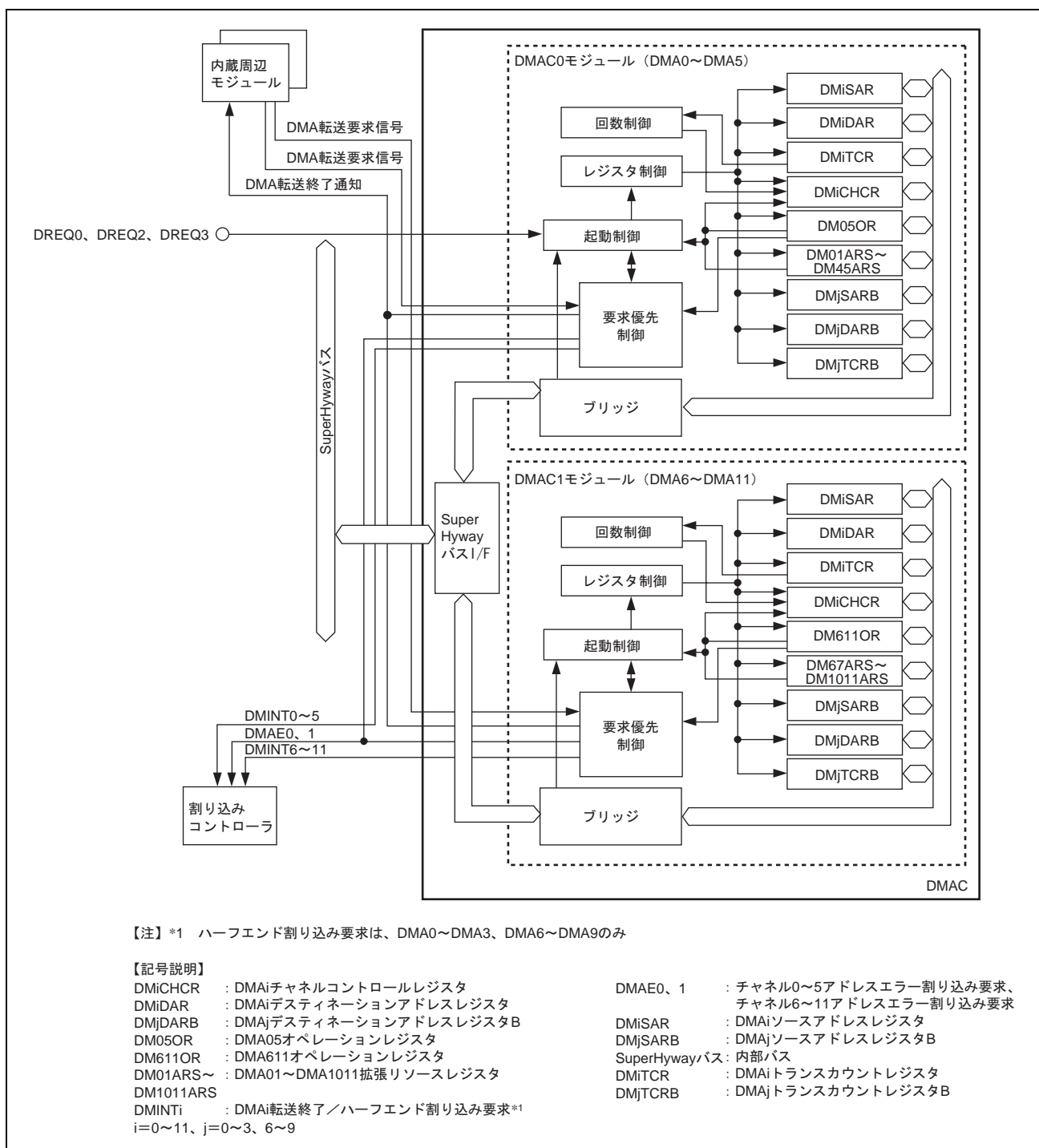


図 20.1 DMAC ブロック図

## 20.2 入出力端子

表 20.2 に外部デバイスに接続する端子構成を示します。DMAC としては、外部デバイス用に 3 チャンネル分の端子を持ちます。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 20.2 外部デバイスに対する端子構成

チャンネル	端子名	入出力	機能
DMA0	DREQ0	入力	外部デバイスから DMA0 への DMA 転送要求入力
DMA2	DREQ2	入力	外部デバイスから DMA2 への DMA 転送要求入力
DMA3	DREQ3	入力	外部デバイスから DMA3 への DMA 転送要求入力

【注】・DMA0、DMA2、DMA3 を外部リクエスト以外で使用する場合、DREQ0、DREQ2、DREQ3 端子への入力は無視されます。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

### 20.3 レジスタの説明

表 20.3 に DMAC0 モジュールのレジスタ構成を、表 20.4 に DMAC1 モジュールのレジスタ構成を示します。

表 20.3 DMAC0 モジュールのレジスタ構成

チャンネル	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
DMA0	DMA0 ソースアドレスレジスタ	DM0SAR	不定	H'FF60 8020	32	20-7
	DMA0 デスティネーションアドレスレジスタ	DM0DAR	不定	H'FF60 8024	32	20-9
	DMA0 トランスファカウントレジスタ	DM0TCR	不定	H'FF60 8028	32	20-11
	DMA0 チャンネルコントロールレジスタ	DM0CHCR	H'4000 0040	H'FF60 802C	32	20-13
	DMA0 ソースアドレスレジスタ B	DM0SARB	不定	H'FF60 8120	32	20-8
	DMA0 デスティネーションアドレスレジスタ B	DM0DARB	不定	H'FF60 8124	32	20-10
	DMA0 トランスファカウントレジスタ B	DM0TCRB	不定	H'FF60 8128	32	20-12
DMA1	DMA1 ソースアドレスレジスタ	DM1SAR	不定	H'FF60 8030	32	20-7
	DMA1 デスティネーションアドレスレジスタ	DM1DAR	不定	H'FF60 8034	32	20-9
	DMA1 トランスファカウントレジスタ	DM1TCR	不定	H'FF60 8038	32	20-11
	DMA1 チャンネルコントロールレジスタ	DM1CHCR	H'4000 0040	H'FF60 803C	32	20-13
	DMA1 ソースアドレスレジスタ B	DM1SARB	不定	H'FF60 8130	32	20-8
	DMA1 デスティネーションアドレスレジスタ B	DM1DARB	不定	H'FF60 8134	32	20-10
	DMA1 トランスファカウントレジスタ B	DM1TCRB	不定	H'FF60 8138	32	20-12
DMA2	DMA2 ソースアドレスレジスタ	DM2SAR	不定	H'FF60 8040	32	20-7
	DMA2 デスティネーションアドレスレジスタ	DM2DAR	不定	H'FF60 8044	32	20-9
	DMA2 トランスファカウントレジスタ	DM2TCR	不定	H'FF60 8048	32	20-11
	DMA2 チャンネルコントロールレジスタ	DM2CHCR	H'4000 0040	H'FF60 804C	32	20-13
	DMA2 ソースアドレスレジスタ B	DM2SARB	不定	H'FF60 8140	32	20-8
	DMA2 デスティネーションアドレスレジスタ B	DM2DARB	不定	H'FF60 8144	32	20-10
	DMA2 トランスファカウントレジスタ B	DM2TCRB	不定	H'FF60 8148	32	20-12
DMA3	DMA3 ソースアドレスレジスタ	DM3SAR	不定	H'FF60 8050	32	20-7
	DMA3 デスティネーションアドレスレジスタ	DM3DAR	不定	H'FF60 8054	32	20-9
	DMA3 トランスファカウントレジスタ	DM3TCR	不定	H'FF60 8058	32	20-11
	DMA3 チャンネルコントロールレジスタ	DM3CHCR	H'4000 0040	H'FF60 805C	32	20-13
	DMA3 ソースアドレスレジスタ B	DM3SARB	不定	H'FF60 8150	32	20-8
	DMA3 デスティネーションアドレスレジスタ B	DM3DARB	不定	H'FF60 8154	32	20-10
	DMA3 トランスファカウントレジスタ B	DM3TCRB	不定	H'FF60 8158	32	20-12
DMA4	DMA4 ソースアドレスレジスタ	DM4SAR	不定	H'FF60 8070	32	20-7
	DMA4 デスティネーションアドレスレジスタ	DM4DAR	不定	H'FF60 8074	32	20-9
	DMA4 トランスファカウントレジスタ	DM4TCR	不定	H'FF60 8078	32	20-11
	DMA4 チャンネルコントロールレジスタ	DM4CHCR	H'4000 0040	H'FF60 807C	32	20-13

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
DMA5	DMA5 ソースアドレスレジスタ	DM5SAR	不定	H'FF60 8080	32	20-7
	DMA5 デスティネーションアドレスレジスタ	DM5DAR	不定	H'FF60 8084	32	20-9
	DMA5 トランスファカウントレジスタ	DM5TCR	不定	H'FF60 8088	32	20-11
	DMA5 チャンネルコントロールレジスタ	DM5CHCR	H'4000 0040	H'FF60 808C	32	20-13
DMA0、DMA1	DMA01 拡張リソースセレクトレジスタ	DM01ARS	H'0000	H'FF60 9000	16	20-22
DMA2、DMA3	DMA23 拡張リソースセレクトレジスタ	DM23ARS	H'0000	H'FF60 9004	16	20-22
DMA4、DMA5	DMA45 拡張リソースセレクトレジスタ	DM45ARS	H'0000	H'FF60 9008	16	20-23
DMA0~5 共通	DMA05 オペレーションレジスタ	DM05OR	H'0000	H'FF60 8060	16	20-19

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

- ・ 指定アクセスサイズ以外のアクセスは行わないでください。

表 20.4 DMAC1 モジュールのレジスタ構成

チャンネル	レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
DMA6	DMA6 ソースアドレスレジスタ	DM6SAR	不定	H'FF61 8020	32	20-7
	DMA6 デスティネーションアドレスレジスタ	DM6DAR	不定	H'FF61 8024	32	20-9
	DMA6 トランスファカウントレジスタ	DM6TCR	不定	H'FF61 8028	32	20-11
	DMA6 チャンネルコントロールレジスタ	DM6CHCR	H'4000 0040	H'FF61 802C	32	20-13
	DMA6 ソースアドレスレジスタ B	DM6SARB	不定	H'FF61 8120	32	20-8
	DMA6 デスティネーションアドレスレジスタ B	DM6DARB	不定	H'FF61 8124	32	20-10
	DMA6 トランスファカウントレジスタ B	DM6TCRB	不定	H'FF61 8128	32	20-12
DMA7	DMA7 ソースアドレスレジスタ	DM7SAR	不定	H'FF61 8030	32	20-7
	DMA7 デスティネーションアドレスレジスタ	DM7DAR	不定	H'FF61 8034	32	20-9
	DMA7 トランスファカウントレジスタ	DM7TCR	不定	H'FF61 8038	32	20-11
	DMA7 チャンネルコントロールレジスタ	DM7CHCR	H'4000 0040	H'FF61 803C	32	20-13
	DMA7 ソースアドレスレジスタ B	DM7SARB	不定	H'FF61 8130	32	20-8
	DMA7 デスティネーションアドレスレジスタ B	DM7DARB	不定	H'FF61 8134	32	20-10
	DMA7 トランスファカウントレジスタ B	DM7TCRB	不定	H'FF61 8138	32	20-12
DMA8	DMA8 ソースアドレスレジスタ	DM8SAR	不定	H'FF61 8040	32	20-7
	DMA8 デスティネーションアドレスレジスタ	DM8DAR	不定	H'FF61 8044	32	20-9
	DMA8 トランスファカウントレジスタ	DM8TCR	不定	H'FF61 8048	32	20-11
	DMA8 チャンネルコントロールレジスタ	DM8CHCR	H'4000 0040	H'FF61 804C	32	20-13
	DMA8 ソースアドレスレジスタ B	DM8SARB	不定	H'FF61 8140	32	20-8
	DMA8 デスティネーションアドレスレジスタ B	DM8DARB	不定	H'FF61 8144	32	20-10
	DMA8 トランスファカウントレジスタ B	DM8TCRB	不定	H'FF61 8148	32	20-12

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
DMA9	DMA9 ソースアドレスレジスタ	DM9SAR	不定	H'FF61 8050	32	20-7
	DMA9 デスティネーションアドレスレジスタ	DM9DAR	不定	H'FF61 8054	32	20-9
	DMA9 トランスファカウントレジスタ	DM9TCR	不定	H'FF61 8058	32	20-11
	DMA9 チャンネルコントロールレジスタ	DM9CHCR	H'4000 0040	H'FF61 805C	32	20-13
	DMA9 ソースアドレスレジスタ B	DM9SARB	不定	H'FF61 8150	32	20-8
	DMA9 デスティネーションアドレスレジスタ B	DM9DARB	不定	H'FF61 8154	32	20-10
	DMA9 トランスファカウントレジスタ B	DM9TCRB	不定	H'FF61 8158	32	20-12
DMA10	DMA10 ソースアドレスレジスタ	DM10SAR	不定	H'FF61 8070	32	20-7
	DMA10 デスティネーションアドレスレジスタ	DM10DAR	不定	H'FF61 8074	32	20-9
	DMA10 トランスファカウントレジスタ	DM10TCR	不定	H'FF61 8078	32	20-11
	DMA10 チャンネルコントロールレジスタ	DM10CHCR	H'4000 0040	H'FF61 807C	32	20-13
DMA11	DMA11 ソースアドレスレジスタ	DM11SAR	不定	H'FF61 8080	32	20-7
	DMA11 デスティネーションアドレスレジスタ	DM11DAR	不定	H'FF61 8084	32	20-9
	DMA11 トランスファカウントレジスタ	DM11TCR	不定	H'FF61 8088	32	20-11
	DMA11 チャンネルコントロールレジスタ	DM11CHCR	H'4000 0040	H'FF61 808C	32	20-13
DMA6、DMA7	DMA67 拡張ソースセレクトレジスタ	DM67ARS	H'0000	H'FF61 9000	16	20-23
DMA8、DMA9	DMA89 拡張ソースセレクトレジスタ	DM89ARS	H'0000	H'FF61 9004	16	20-23
DMA10、DMA11	DMA1011 拡張ソースセレクトレジスタ	DM1011ARS	H'0000	H'FF61 9008	16	20-24
DMA6~11 共通	DMA611 オペレーションレジスタ	DM611OR	H'0000	H'FF61 8060	16	20-19

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

- ・ 指定アクセスサイズ以外のアクセスは行わないでください。

## 20.3.1 DMAi ソースアドレスレジスタ (DMiSAR)

DMiSAR レジスタは、DMA 転送元のアドレスを指定します。転送元として設定するアドレスは、転送サイズによるアライメント境界を考慮して設定してください。また、DMAC は 32 ビット物理アドレス空間で制御されますので、転送元には、P0 領域、P4 領域のアドレスを設定してください。

DMA0ソースアドレスレジスタ (DM0SAR)	<P4領域アドレス : H'FF60 8020番地>
DMA1ソースアドレスレジスタ (DM1SAR)	<P4領域アドレス : H'FF60 8030番地>
DMA2ソースアドレスレジスタ (DM2SAR)	<P4領域アドレス : H'FF60 8040番地>
DMA3ソースアドレスレジスタ (DM3SAR)	<P4領域アドレス : H'FF60 8050番地>
DMA4ソースアドレスレジスタ (DM4SAR)	<P4領域アドレス : H'FF60 8070番地>
DMA5ソースアドレスレジスタ (DM5SAR)	<P4領域アドレス : H'FF60 8080番地>
DMA6ソースアドレスレジスタ (DM6SAR)	<P4領域アドレス : H'FF61 8020番地>
DMA7ソースアドレスレジスタ (DM7SAR)	<P4領域アドレス : H'FF61 8030番地>
DMA8ソースアドレスレジスタ (DM8SAR)	<P4領域アドレス : H'FF61 8040番地>
DMA9ソースアドレスレジスタ (DM9SAR)	<P4領域アドレス : H'FF61 8050番地>
DMA10ソースアドレスレジスタ (DM10SAR)	<P4領域アドレス : H'FF61 8070番地>
DMA11ソースアドレスレジスタ (DM11SAR)	<P4領域アドレス : H'FF61 8080番地>



&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~0	DMiSAR	不定	R	W	DMA 転送元のアドレスを指定します。読み出した場合、次の DMA 転送元のアドレスが読み出されます。



## 20. ダイレクトメモリアクセスコントローラ (DMAC)

### 20.3.2 DMAj ソースアドレスレジスタ B (DMjSARB)

DMjSARB レジスタは、リピート機能/リロード機能で DMjSAR レジスタに再設定する DMA 転送元のアドレスを指定します。リピート機能については「20.4.7 リピート機能」を、リロード機能については「20.4.8 リロード機能」を参照してください。

DMjSAR レジスタへの書き込みデータが、自動的に DMjSARB レジスタにも書き込まれます。DMjSAR レジスタと異なるアドレスを設定したい場合は、DMjSAR レジスタ書き込み後に DMjSARB レジスタへの書き込みを行ってください。転送元として設定するアドレスは、転送サイズによるアライメント境界を考慮して設定してください。また、DMAC は 32 ビット物理アドレス空間で制御されますので、転送元には、P0 領域、P4 領域のアドレスを設定してください。

DMA0ソースアドレスレジスタB (DM0SARB)	<P4領域アドレス : H'FF60 8120番地>
DMA1ソースアドレスレジスタB (DM1SARB)	<P4領域アドレス : H'FF60 8130番地>
DMA2ソースアドレスレジスタB (DM2SARB)	<P4領域アドレス : H'FF60 8140番地>
DMA3ソースアドレスレジスタB (DM3SARB)	<P4領域アドレス : H'FF60 8150番地>
DMA6ソースアドレスレジスタB (DM6SARB)	<P4領域アドレス : H'FF61 8120番地>
DMA7ソースアドレスレジスタB (DM7SARB)	<P4領域アドレス : H'FF61 8130番地>
DMA8ソースアドレスレジスタB (DM8SARB)	<P4領域アドレス : H'FF61 8140番地>
DMA9ソースアドレスレジスタB (DM9SARB)	<P4領域アドレス : H'FF61 8150番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMjSARB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMjSARB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	DMjSARB	不定	R	W	リピート機能とリロード機能で DMjSAR レジスタに再設定する DMA 転送元のアドレスを指定します。

## 20.3.3 DMAi デスティネーションアドレスレジスタ (DMiDAR)

DMiDAR レジスタは、DMA 転送先のアドレスを指定します。転送先として設定するアドレスは、転送サイズによるアライメント境界を考慮して設定してください。また、DMAC は 32 ビット物理アドレス空間で制御されますので、転送先には、P0 領域、P4 領域のアドレスを設定してください。

DMA0デスティネーションアドレスレジスタ (DM0DAR)	<P4領域アドレス : H'FF60 8024番地>
DMA1デスティネーションアドレスレジスタ (DM1DAR)	<P4領域アドレス : H'FF60 8034番地>
DMA2デスティネーションアドレスレジスタ (DM2DAR)	<P4領域アドレス : H'FF60 8044番地>
DMA3デスティネーションアドレスレジスタ (DM3DAR)	<P4領域アドレス : H'FF60 8054番地>
DMA4デスティネーションアドレスレジスタ (DM4DAR)	<P4領域アドレス : H'FF60 8074番地>
DMA5デスティネーションアドレスレジスタ (DM5DAR)	<P4領域アドレス : H'FF60 8084番地>
DMA6デスティネーションアドレスレジスタ (DM6DAR)	<P4領域アドレス : H'FF61 8024番地>
DMA7デスティネーションアドレスレジスタ (DM7DAR)	<P4領域アドレス : H'FF61 8034番地>
DMA8デスティネーションアドレスレジスタ (DM8DAR)	<P4領域アドレス : H'FF61 8044番地>
DMA9デスティネーションアドレスレジスタ (DM9DAR)	<P4領域アドレス : H'FF61 8054番地>
DMA10デスティネーションアドレスレジスタ (DM10DAR)	<P4領域アドレス : H'FF61 8074番地>
DMA11デスティネーションアドレスレジスタ (DM11DAR)	<P4領域アドレス : H'FF61 8084番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

DMiDAR

リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DMiDAR

リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	DMiDAR	不定	R	W	DMA 転送先のアドレスを指定します。読み出した場合、次の DMA 転送先のアドレスが読み出されます。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

### 20.3.4 DMAj デスティネーションアドレスレジスタ B (DMjDARB)

DMjDARB レジスタは、リピート機能/リロード機能で DMjDAR レジスタに再設定する DMA 転送先のアドレスを指定します。リピート機能については「20.4.7 リピート機能」を、リロード機能については「20.4.8 リロード機能」を参照してください。

DMjDAR レジスタへの書き込みデータが、自動的に DMjDARB レジスタにも書き込まれます。DMjDAR レジスタと異なるアドレスを設定したい場合は、DMjDAR レジスタ書き込み後に DMjDARB レジスタへの書き込みを行ってください。転送先として設定するアドレスは、転送サイズによるアライメント境界を考慮して設定してください。また、DMAC は 32 ビット物理アドレス空間で制御されますので、転送先には、P0 領域、P4 領域のアドレスを設定してください。

DMA0デスティネーションアドレスレジスタB (DM0DARB)	<P4領域アドレス : H'FF60 8124番地>
DMA1デスティネーションアドレスレジスタB (DM1DARB)	<P4領域アドレス : H'FF60 8134番地>
DMA2デスティネーションアドレスレジスタB (DM2DARB)	<P4領域アドレス : H'FF60 8144番地>
DMA3デスティネーションアドレスレジスタB (DM3DARB)	<P4領域アドレス : H'FF60 8154番地>
DMA6デスティネーションアドレスレジスタB (DM6DARB)	<P4領域アドレス : H'FF61 8124番地>
DMA7デスティネーションアドレスレジスタB (DM7DARB)	<P4領域アドレス : H'FF61 8134番地>
DMA8デスティネーションアドレスレジスタB (DM8DARB)	<P4領域アドレス : H'FF61 8144番地>
DMA9デスティネーションアドレスレジスタB (DM9DARB)	<P4領域アドレス : H'FF61 8154番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMjDARB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMjDARB															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

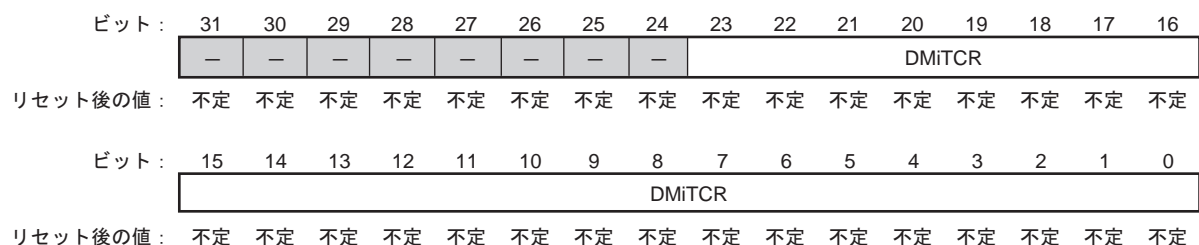
<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	DMjDARB	不定	R	W	リピート機能とリロード機能で DMjDAR レジスタに再設定する DMA 転送先のアドレスを指定します。

## 20.3.5 DMAi トランスファカウントレジスタ (DMiTCR)

DMiTCR レジスタは、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回（最大転送回数）になります。DMA 転送中は、残りの転送回数を示しています。

DMA0 トランスファカウントレジスタ (DM0TCR)	<P4 領域アドレス : H'FF60 8028 番地>
DMA1 トランスファカウントレジスタ (DM1TCR)	<P4 領域アドレス : H'FF60 8038 番地>
DMA2 トランスファカウントレジスタ (DM2TCR)	<P4 領域アドレス : H'FF60 8048 番地>
DMA3 トランスファカウントレジスタ (DM3TCR)	<P4 領域アドレス : H'FF60 8058 番地>
DMA4 トランスファカウントレジスタ (DM4TCR)	<P4 領域アドレス : H'FF60 8078 番地>
DMA5 トランスファカウントレジスタ (DM5TCR)	<P4 領域アドレス : H'FF60 8088 番地>
DMA6 トランスファカウントレジスタ (DM6TCR)	<P4 領域アドレス : H'FF61 8028 番地>
DMA7 トランスファカウントレジスタ (DM7TCR)	<P4 領域アドレス : H'FF61 8038 番地>
DMA8 トランスファカウントレジスタ (DM8TCR)	<P4 領域アドレス : H'FF61 8048 番地>
DMA9 トランスファカウントレジスタ (DM9TCR)	<P4 領域アドレス : H'FF61 8058 番地>
DMA10 トランスファカウントレジスタ (DM10TCR)	<P4 領域アドレス : H'FF61 8078 番地>
DMA11 トランスファカウントレジスタ (DM11TCR)	<P4 領域アドレス : H'FF61 8088 番地>



&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~24	—	不定	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
23~0	DMiTCR	不定	R	W	DMA 転送回数を指定します。読み出した場合は、残りの転送回数が読み出されます。転送完了後は"0"が読み出されます。

### 20.3.6 DMAj トランスファカウンタレジスタ B (DMjTCRB)

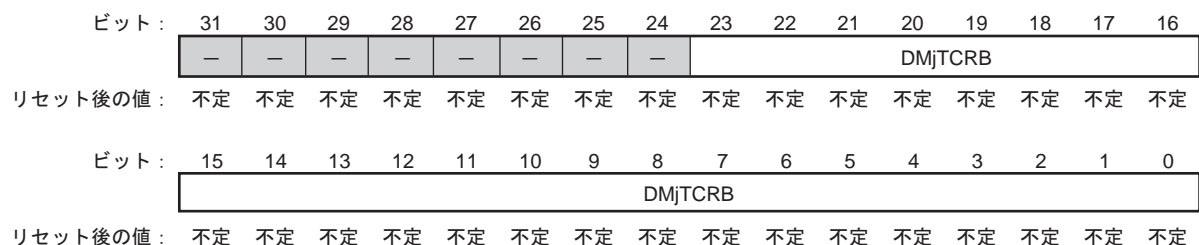
DMjTCCR レジスタへの書き込みデータが、自動的に DMjTCRB レジスタにも書き込まれます。DMjTCCR レジスタと異なる値を設定したい場合は、DMjTCCR レジスタ書き込み後に DMjTCRB レジスタへの書き込みを行ってください。

リピート機能有効時は、DMjTCCR レジスタに再設定する DMA 転送回数を指定します。また、ハーフエンド機能有効時は、ハーフエンド検出に使用する初期値保持レジスタとして用いられます。

リロード機能有効時は、DMA 転送回数の設定および転送回数カウンタとして用いられます。ビット 7~0 は転送回数カウンタとして動作し、値が"0"になると DMjSAR レジスタと DMjDAR レジスタが更新され、DMjTCRB レジスタのビット 23~16 がビット 7~0 にロードされます。ビット 23~16 はリロードするまでの転送回数を設定してください。ビット 23~16 とビット 7~0 は同じ値を設定し、ビット 15~8 は"0"を設定してください。また、リロード機能使用時は、DMjCHCR.HIE ビットを"0"とし、ハーフエンド機能を使用しないでください。

リピート機能については「20.4.7 リピート機能」を、リロード機能については「20.4.8 リロード機能」を参照してください。

DMA0トランスファカウンタレジスタB (DM0TCRB)	<P4領域アドレス : H'FF60 8128番地>
DMA1トランスファカウンタレジスタB (DM1TCRB)	<P4領域アドレス : H'FF60 8138番地>
DMA2トランスファカウンタレジスタB (DM2TCRB)	<P4領域アドレス : H'FF60 8148番地>
DMA3トランスファカウンタレジスタB (DM3TCRB)	<P4領域アドレス : H'FF60 8158番地>
DMA6トランスファカウンタレジスタB (DM6TCRB)	<P4領域アドレス : H'FF61 8128番地>
DMA7トランスファカウンタレジスタB (DM7TCRB)	<P4領域アドレス : H'FF61 8138番地>
DMA8トランスファカウンタレジスタB (DM8TCRB)	<P4領域アドレス : H'FF61 8148番地>
DMA9トランスファカウンタレジスタB (DM9TCRB)	<P4領域アドレス : H'FF61 8158番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~24	—	不定	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
23~0	DMjTCRB	不定	R	W	<ul style="list-style-type: none"> <li>・ リピート機能有効時は、DMjTCCR レジスタに再設定する DMA 転送回数を指定します。ハーフエンド機能有効時は、ハーフエンド検出に使用する初期値保持レジスタとして用いられます。</li> <li>・ リロード機能有効時                             <ul style="list-style-type: none"> <li>ビット 23~16 : リロードするまでの転送回数</li> <li>ビット 15~8 : "0"</li> <li>ビット 7~0 : DMA 転送回数カウンタ</li> </ul> </li> </ul> ビット 7~0 へ書き込む値はビット 23~16 と同じにしてください。リロード機能有効時は、DMjCHCR.HIE ビットを"0"とし、ハーフエンド機能を使用しないでください。

## 20.3.7 DMAi チャンネルコントロールレジスタ (DMiCHCR)

DMiCHCR レジスタは、DMA 転送モードを制御します。

DMA0チャンネルコントロールレジスタ (DM0CHCR)	<P4領域アドレス : H'FF60 802C番地>
DMA1チャンネルコントロールレジスタ (DM1CHCR)	<P4領域アドレス : H'FF60 803C番地>
DMA2チャンネルコントロールレジスタ (DM2CHCR)	<P4領域アドレス : H'FF60 804C番地>
DMA3チャンネルコントロールレジスタ (DM3CHCR)	<P4領域アドレス : H'FF60 805C番地>
DMA4チャンネルコントロールレジスタ (DM4CHCR)	<P4領域アドレス : H'FF60 807C番地>
DMA5チャンネルコントロールレジスタ (DM5CHCR)	<P4領域アドレス : H'FF60 808C番地>
DMA6チャンネルコントロールレジスタ (DM6CHCR)	<P4領域アドレス : H'FF61 802C番地>
DMA7チャンネルコントロールレジスタ (DM7CHCR)	<P4領域アドレス : H'FF61 803C番地>
DMA8チャンネルコントロールレジスタ (DM8CHCR)	<P4領域アドレス : H'FF61 804C番地>
DMA9チャンネルコントロールレジスタ (DM9CHCR)	<P4領域アドレス : H'FF61 805C番地>
DMA10チャンネルコントロールレジスタ (DM10CHCR)	<P4領域アドレス : H'FF61 807C番地>
DMA11チャンネルコントロールレジスタ (DM11CHCR)	<P4領域アドレス : H'FF61 808C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT			—	—	—	—	TS2	HE	HIE	—	—
リセット後の値 :	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM		SM		RS			DL	—	TB	TS1	TS0	IE	TE	DE	
リセット後の値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

<リセット後の値 : H'4000 0040>

ビット	シンボル	リセット後の値	R	W	説明
31	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
30	LCKN	1	R	W	バス権開放ビット 1 転送単位内の読み出しサイクル/書き込みサイクル間にバス権を保持するか、開放するかを設定します。バス権を開放することにより、他のバスマスタのバス権要求が受け付けられます。詳細は「20.4.2 DMA 転送モード」を参照してください。 バーストモード実行時には"0"を設定してください。 0 : バス権保持 1 : バス権開放
29, 28	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
27~25	RPT	すべて0	R	W	<p>リピート機能/リロード機能イネーブルビット</p> <p>本ビットは DMjCHCR レジスタでのみ有効となります。</p> <p>DMA4CHCR、DMA5CHCR、DMA10CHCR、DMA11CHCR レジスタでは、書き込む値は常に"000"にしてください。読み出すと常に"000"が読み出されます。</p> <p>000 : リピート機能、リロード機能無効</p> <p>001 : リピート機能有効 (SAR、DAR、TCR) DMjSARB→DMjSAR、DMjDARB→DMjDAR、DMjTCRB→DMjTCR へロード</p> <p>010 : リピート機能有効 (DAR、TCR) DMjDARB→DMjDAR、DMjTCRB→DMjTCR へロード</p> <p>011 : リピート機能有効(SAR、TCR) DMjSARB→DMjSAR、DMjTCRB→DMjTCR へロード</p> <p>100 : 予約 (設定禁止)</p> <p>101 : リロード機能有効 (SAR、DAR、TCRB) DMjSARB→DMjSAR、DMjDARB→DMjDAR、DMjTCRB[23:16]→ DMjTCRB[7:0]へロード</p> <p>110 : リロード機能有効 (DAR、TCRB) DMjDARB→DMjDAR、DMjTCRB[23:16]→DMjTCRB[7:0]へロード</p> <p>111 : リロード機能有効 (SAR、TCRB) DMjSARB→DMjSAR、DMjTCRB[23:16]→DMjTCRB[7:0]へロード</p>
24~21	—	すべて0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
20	TS2	0	R	W	<p>転送データサイズ設定ビット</p> <p>TS1、TS0 ビットと合わせて DMA 転送データサイズの設定を行います。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合、指定されたアクセスサイズを合わせて設定してください。また、転送元または転送先として設定するアドレスは、転送サイズによるアライメント境界を考慮して設定してください。</p> <p>b20 b4 b3</p> <p>0 0 0 : 1バイト単位</p> <p>0 0 1 : 2バイト (ワード) 単位</p> <p>0 1 0 : 4バイト (ロングワード) 単位</p> <p>0 1 1 : 16バイト単位 (8バイト×2回)</p> <p>1 0 0 : 32バイト単位 (8バイト×4回)</p> <p>上記以外 : 設定禁止</p> <p>【注】・IL メモリ/OL メモリ、SHwyRAM、ROM のみ 16 バイト、32 バイトアクセス可能です。</p>

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
19	HE	0	R	* <sup>1</sup>	<p>ハーフエンド割り込み要求ステータスフラグ</p> <p>HIE ビットに"1"を設定し、DMjTCR レジスタが DMjTCRB レジスタの値の 1/2 (右に 1 ビットシフトした値) になると、HE ビットは"1"になります。</p> <p>本ビットは DMjCHCR レジスタでのみ有効となります。DMA4CHCR、DMA5CHCR、DMA10CHCR、DMA11CHCR レジスタでは、書き込む値は常に"0"にしてください。読み出し時は常に"0"が読み出されます。</p> <p>0 : ハーフエンド割り込み要求なし 1 : ハーフエンド割り込み要求あり</p> <p>(DMjTCR レジスタ=DMjTCRB レジスタ÷2)</p> <p>[*0クリア条件] HE ビットの"1"読み出し後、"0"書き込み*<sup>1</sup></p>
18	HIE	0	R	W	<p>ハーフエンドイネーブルビット</p> <p>HIE ビットを"1"にセットした場合、HE ビットがセットされると INTC に対し割り込みを要求します。リロード機能を有効に設定時は、本ビットを"0"に設定してください。</p> <p>本ビットは DMjCHCR レジスタでのみ有効となります。DMA4CHCR、DMA5CHCR、DMA10CHCR、DMA11CHCR レジスタでは、書き込む値は常に"0"にしてください。読み出し時は常に"0"が読み出されます。</p> <p>0 : ハーフエンド割り込みを禁止 1 : ハーフエンド割り込みを許可</p>
17、16	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
15、14	DM	00	R	W	<p>デスティネーションアドレス方向選択ビット</p> <p>DMA 転送先のアドレスの増減および方向を選択します。</p> <p>00 : アドレス固定 01 : アドレスインクリメント</p> <p>1 バイト単位転送時は+1 2 バイト (ワード) 単位転送時は+2 4 バイト (ロングワード) 単位転送時は+4 16 バイト単位転送時は+16 32 バイト単位転送時は+32</p> <p>10 : アドレスデクリメント</p> <p>1 バイト単位転送時は-1 2 バイト (ワード) 単位転送時は-2 4 バイト (ロングワード) 単位転送時は-4 16/32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p> <p>【注】・TS0~TS2 ビットで転送データサイズを 16 バイトおよび 32 バイト単位に設定時は、本ビットをアドレスデクリメントに設定しないでください。</p>



20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
13、12	SM	00	R	W	<p>ソースアドレス方向選択ビット</p> <p>DMA 転送元のアドレスの増減および方向を選択します。</p> <p>00 : アドレス固定</p> <p>01 : アドレスインクリメント</p> <p>1 バイト単位転送時は+1</p> <p>2 バイト (ワード) 単位転送時は+2</p> <p>4 バイト (ロングワード) 単位転送時は+4</p> <p>16 バイト単位転送時は+16</p> <p>32 バイト単位転送時は+32</p> <p>10 : アドレスデクリメント</p> <p>1 バイト単位転送時は-1</p> <p>2 バイト (ワード) 単位転送時は-2</p> <p>4 バイト (ロングワード) 単位転送時は-4</p> <p>16/32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p> <p>【注】・TS0~TS2 ビットで転送データサイズを 16 バイトおよび 32 バイト単位に設定時は、本ビットをアドレスデクリメントに設定しないでください。</p>
11~8	RS	すべて 0	R	W	<p>リソースセレクトビット</p> <p>本ビットで転送要求要因を設定します。DE ビットが"0"の状態で行ってください。</p> <p>0000 : 外部リクエスト</p> <p>0100 : オートリクエスト (ソフトウェア)</p> <p>1000 : 内蔵周辺モジュールリクエスト</p> <p>DMA 拡張リソースセレクトレジスタ (DM01ARS~DM1011ARS) で選択</p> <p>上記以外 : 設定禁止</p> <p>【注】・DM1CHCR、DM4CHCR~DM11CHCR レジスタでは外部リクエストでの DMA 転送は禁止です。</p>
7	DL	0	R	W	<p>DREQ エッジセレクトビット</p> <p>DREQ 入力の検出方法を選択します。</p> <p>本ビットは DM0CHCR、DM2CHCR、DM3CHCR レジスタでのみ有効です。DM1CHCR、DM4CHCR~DM11CHCR レジスタ設定時は、書き込む値は常に"0"にしてください。読み出し時は常に"0"が読み出されます。また DMA0、DMA2、DMA3 でも転送要求要因を内蔵周辺モジュールリクエスト、またはオートリクエストに設定した場合、本ビットは無効です。</p> <p>0 : 立ち下がりエッジ検出</p> <p>1 : 立ち上がりエッジ検出</p>

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
6	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
5	TB	0	R	W	トランスファバスモードビット DMA 転送モードを選択します。 内蔵周辺モジュールリクエストを設定したときはサイクルスチールモード 1 またはサイクルスチールモード 2 を選択してください。 サイクルスチールモード 1 とサイクルスチールモード 2 の選択は DMiCHCR.LCKN ビットで行ってください。 0 : サイクルスチールモード 1 またはサイクルスチールモード 2 1 : バーストモード
4	TS1	0	R	W	転送データサイズ設定ビット
3	TS0	0	R	W	TS2 ビットの説明を参照してください。
2	IE	0	R	W	DMA 転送完了割り込みイネーブルビット DMA 最終転送時に TE ビットによる割り込み要求を INTC へ通知するか通知しないかを設定します。 0 : DMA 転送完了割り込みを禁止 1 : DMA 転送完了割り込みを許可
1	TE	0	R	*1	DMA 転送完了割り込み要求ステータスフラグ 最終転送時にバス権を取得し、DMiTCR レジスタ値が"0"になり、読み出しサイクルが行われ TE ビットが"1"にセットされます。このタイミングで IE ビットが"1"の場合、INTC へ割り込み要求を通知します。その後、最終転送の書き込みサイクルを行います。ただし、LCKN ビットが"1"の場合、バス権を一度開放し、再取得後に書き込みサイクルを行います。 DMA 動作中、DMiTCR レジスタ値が"0"になる前に DMA 転送完了条件が満たされ DMA 転送が強制終了した場合、TE ビットはセットされません。 0 : DMA 転送完了割り込み要求なし 1 : DMA 転送完了割り込み要求あり ["0"クリア条件] TE ビットの"1"読み出し後、"0"書き込み*1

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
0	DE	0	R	W	<p>DMA イネーブルビット</p> <p>DMA 転送を許可または禁止します。DMA 転送中に DE ビットの"0"クリアを含む DMA 転送終了条件が成立すると、転送を強制終了します。強制終了するときは、該当内蔵周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>また、バースト転送中に CPU が DE ビットに"1"を書き込もうとした場合、DMAC がバス権を保持しているため、バースト転送完了後に"1"セットされます。</p> <p>オートリクエストでは、DE ビットを含む DMA 転送開始条件が成立すると転送を開始します。</p> <p>外部リクエスト、内蔵周辺モジュールリクエストでは、DE ビットを含む DMA 転送開始条件が成立した後、該当デバイスまたは該当の内蔵周辺モジュールから DMA 転送要求があると転送を開始します。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p> <p>詳細は「20.4.3 DMA 転送開始条件、DMA 転送終了条件」を参照してください。</p>

【注】 \*1 TE ビット、HE ビットをクリアするためには、レジスタを読み出し、"1"が読み出せたフラグビットにのみ"0"を書き込んでください。"0"が読み出せたフラグビットには"1"を書き込んでください。フラグビットをクリアしないときには、常に"1"を書き込んでください。TE ビット、HE ビット以外のビットには前回値を書き込んでください。

## 20.3.8 DMA05、DMA611 オペレーションレジスタ (DM05OR、DM611OR)

DM05OR、DM611OR レジスタは、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DM05OR は DMA0~DMA5 の共通レジスタ、DM611OR は DMA6~DMA11 の共通レジスタです。

DMA05オペレーションレジスタ (DM05OR)  
DMA611オペレーションレジスタ (DM611OR)

<P4領域アドレス : H'FF60 8060番地>  
<P4領域アドレス : H'FF61 8060番地>

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  

—	—	—	—	—	—	PR	—	—	—	—	—	AE	NMIF	DME
---	---	---	---	---	---	----	---	---	---	---	---	----	------	-----

 リセット後の値:    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9、8	PR	00	R	W	プライオリティ選択ビット 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を選択するビットです。 DM05OR.PR ビットで"11"を設定した場合、DMA0~DMA5 でサイクルスチールモード 1 (サイクルスチールモード 2) とバーストモードは混在させないでください。また、DM611OR.PR ビットで"11"を設定した場合、DMA6~DMA11 でサイクルスチールモード 1 (サイクルスチールモード 2) とバーストモードは混在させないでください。 00 : DMA0>DMA1>DMA2>DMA3>DMA4>DMA5 (DM05OR レジスタ) DMA6>DMA7>DMA8>DMA9>DMA10>DMA11 (DM611OR レジスタ) 01 : DMA0>DMA2>DMA3>DMA1>DMA4>DMA5 (DM05OR レジスタ) DMA6>DMA8>DMA9>DMA7>DMA10>DMA11 (DM611OR レジスタ) 10 : 設定禁止 11 : DMA0~DMA5 のラウンドロビン (DM05OR レジスタ) DMA6~DMA11 のラウンドロビン (DM611OR レジスタ)
7~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
2	AE	0	R	* <sup>1</sup>	<p>アドレスエラーフラグ</p> <p>DMA 転送中に DMAC によるアドレスエラーが発生したことを示すフラグです。</p> <p>本ビットは、以下の条件で"1"にセットされます。</p> <ul style="list-style-type: none"> <li>• DMiSAR レジスタまたは DMiDAR レジスタに設定した値が転送サイズ境界と不一致の場合</li> <li>• 転送元または転送先が無効空間の場合</li> </ul> <p>0 : アドレスエラーなし 1 : アドレスエラーあり</p> <p>["0"クリア条件] AE ビットの"1"読み出し後、"0"書き込み*<sup>1</sup></p>
1	NMIF	0	R	* <sup>1</sup>	<p>NMI フラグ</p> <p>NMI が入力されたことを示すフラグです。</p> <p>NMI が入力されたとき、少なくとも現在実行中の DMA 転送の 1 転送単位を行い、その後、全チャネルの DMA 転送を強制終了します。新たな DMA 転送を行う場合は、NMI 割り込み復帰後に全チャネルを再設定してください。</p> <p>DMAC が動作していないときに NMI が入力されても、NMIF ビットは"1"にセットされず。また、ICR0 レジスタの NMI ブロックビット (NMIB) が"0"かつ SR レジスタの BL ビット="1"の状態でも NMI が入力されても NMIF ビットは"1"にセットされず。</p> <p>0 : NMI 割り込み要求なし 1 : NMI 割り込み要求あり</p> <p>["0"クリア条件] NMIF ビットの"1"読み出し後、"0"書き込み*<sup>1</sup></p>

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	シンボル	リセット後の値	R	W	説明
0	DME	0	R	W	<p>DMA マスタイネーブルビット</p> <p>DM05OR レジスタに対応する全チャンネル (DMA0~DMA5)、DM611OR レジスタに対応する全チャンネル (DMA6~DMA11) の DMA 転送を許可または禁止します。DMA 転送中に DME ビットの"0"クリアを含む DMA 転送終了条件が成立すると、転送を強制終了します。強制終了するときは、該当内蔵周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>また、バースト転送中に CPU が DME ビットに"1"を書き込もうとした場合、DMAC がバス権を保持しているため、バースト転送完了後に"1"セットされません。</p> <p>オートリクエストでは、DME ビットを含む DMA 転送開始条件が成立すると転送を開始します。</p> <p>外部リクエスト、内蔵周辺モジュールリクエストでは、DME ビットを含む DMA 転送開始条件が成立した後、該当デバイスまたは該当の内蔵周辺モジュールから DMA 転送要求があると転送を開始します。</p> <p>0 : DMA0~DMA5 の DMA 転送を禁止 (DM05OR レジスタ) DMA6~DMA11 の DMA 転送を禁止 (DM611OR レジスタ)</p> <p>1 : DMA0~DMA5 の DMA 転送を許可 (DM05OR レジスタ) DMA6~DMA11 の DMA 転送を許可 (DM611OR レジスタ)</p> <p>詳細は「20.4.3 DMA 転送開始条件、DMA 転送終了条件」を参照してください。</p>

【注】 \*1 AE ビット、NMIF ビットをクリアするためには、レジスタを読み出し、"1"が読み出せたフラグビットにのみ"0"を書き込んでください。"0"が読み出せたフラグビットには"1"を書き込んでください。フラグビットをクリアしないときには、常に"1"を書き込んでください。AE ビット、NMIF ビット以外のビットには前回値を書き込んでください。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

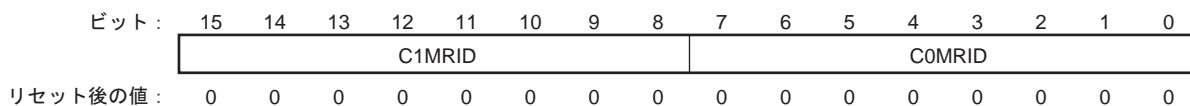
### 20.3.9 DMA01~DMA1011 拡張リソースセレクトレジスタ (DM01ARS~DM1011ARS)

DM01ARS~DM1011ARS レジスタで、内蔵周辺モジュールリクエストの転送要求要因 (SCIF、RSPI、IIC3、ATU-IHS、ADC、DRI) を設定できます。CnMRID ビットに表 20.5 以外の値を設定した場合、DMA 動作は保証できません。また、一つの内蔵周辺モジュールの転送要求を DMAC の複数のチャネルのリソースにして割り当てを行わないでください。割り当てを行った場合の動作の保証はできません。

#### (1) DMA01 拡張リソースセレクトレジスタ (DM01ARS)

DMA01 拡張リソースセレクトレジスタ (DM01ARS)

<P4領域アドレス : H'FF60 9000番地>



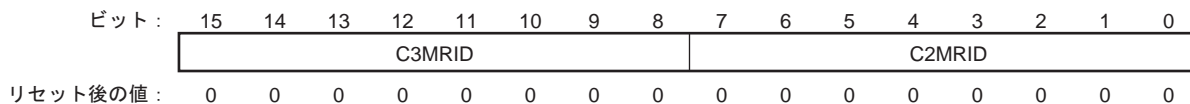
<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	C1MRID	すべて 0	R	W	DMA1 転送要求元モジュール ID (表 20.5 参照)
7~0	C0MRID	すべて 0	R	W	DMA0 転送要求元モジュール ID (表 20.5 参照)

#### (2) DMA23 拡張リソースセレクトレジスタ (DM23ARS)

DMA23 拡張リソースセレクトレジスタ (DM23ARS)

<P4領域アドレス : H'FF60 9004番地>



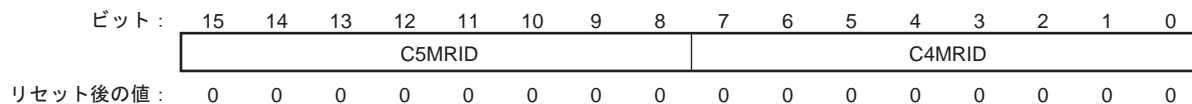
<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	C3MRID	すべて 0	R	W	DMA3 転送要求元モジュール ID (表 20.5 参照)
7~0	C2MRID	すべて 0	R	W	DMA2 転送要求元モジュール ID (表 20.5 参照)

## (3) DMA45 拡張リソースセレクトレジスタ (DM45ARS)

DMA45拡張リソースセレクトレジスタ (DM45ARS)

&lt;P4領域アドレス : H'FF60 9008番地&gt;



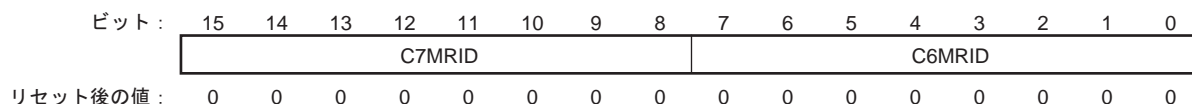
&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	C5MRID	すべて0	R	W	DMA5 転送要求元モジュール ID (表 20.5 参照)
7~0	C4MRID	すべて0	R	W	DMA4 転送要求元モジュール ID (表 20.5 参照)

## (4) DMA67 拡張リソースセレクトレジスタ (DM67ARS)

DMA67拡張リソースセレクトレジスタ (DM67ARS)

&lt;P4領域アドレス : H'FF61 9000番地&gt;



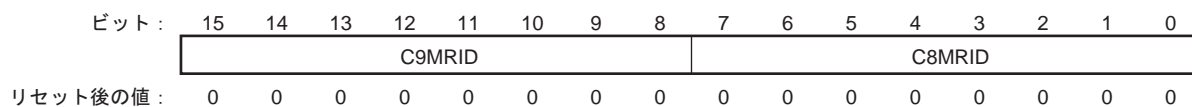
&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	C7MRID	すべて0	R	W	DMA7 転送要求元モジュール ID (表 20.5 参照)
7~0	C6MRID	すべて0	R	W	DMA6 転送要求元モジュール ID (表 20.5 参照)

## (5) DMA89 拡張リソースセレクトレジスタ (DM89ARS)

DMA89拡張リソースセレクトレジスタ (DM89ARS)

&lt;P4領域アドレス : H'FF61 9004番地&gt;



&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	C9MRID	すべて0	R	W	DMA9 転送要求元モジュール ID (表 20.5 参照)
7~0	C8MRID	すべて0	R	W	DMA8 転送要求元モジュール ID (表 20.5 参照)

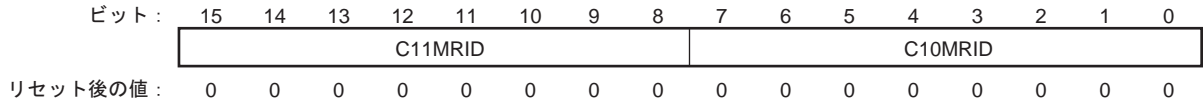


## 20. ダイレクトメモリアクセスコントローラ (DMAC)

### (6) DMA1011 拡張リソースセレクトレジスタ (DM1011ARS)

DMA1011拡張リソースセレクトレジスタ (DM1011ARS)

<P4領域アドレス : H'FF61 9008番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	C11MRID	すべて0	R	W	DMA11 転送要求元モジュール ID (表 20.5 参照)
7~0	C10MRID	すべて0	R	W	DMA10 転送要求元モジュール ID (表 20.5 参照)

表 20.5 内蔵周辺モジュールリクエストの DMA 転送要求要因

内蔵周辺 モジュール	DMA 転送要求要因	CnMRID ビットの 設定値	転送元	転送先
SCIF	SCIF0 送信 FIFO データエンプティ	H'01	任意	SC0FTDR
	SCIF0 受信 FIFO データフル	H'02	SC0FRDR	任意
	SCIF1 送信 FIFO データエンプティ	H'05	任意	SC1FTDR
	SCIF1 受信 FIFO データフル	H'06	SC1FRDR	任意
	SCIF2 送信 FIFO データエンプティ	H'09	任意	SC2FTDR
	SCIF2 受信 FIFO データフル	H'0A	SC2FRDR	任意
	SCIF3 送信 FIFO データエンプティ	H'0D	任意	SC3FTDR
	SCIF3 受信 FIFO データフル	H'0E	SC3FRDR	任意
RSPI	RSPI0 送信バッファエンプティ	H'11	任意	SP0DR
	RSPI0 受信バッファフル	H'12	SP0DR	任意
	RSPI1 送信バッファエンプティ	H'15	任意	SP1DR
	RSPI1 受信バッファフル	H'16	SP1DR	任意
	RSPI2 送信バッファエンプティ	H'19	任意	SP2DR
	RSPI2 受信バッファフル	H'1A	SP2DR	任意
IIC3	IIC3 送信データエンプティ	H'1D	任意	ICDRT
	IIC3 受信データフル	H'1E	ICDRR	任意
ATU-IIIS	タイマ A0 チャンネル 0 インพุットキャプチャ	H'27	任意	任意
	タイマ A0 チャンネル 1 インพุットキャプチャ	H'2B	任意	任意
	タイマ A0 チャンネル 2 インพุットキャプチャ	H'2F	任意	任意
	タイマ A0 チャンネル 3 インพุットキャプチャ	H'33	任意	任意
	タイマ A0 チャンネル 4 インพุットキャプチャ	H'37	任意	任意
	(予約)	H'3B	—	—
	タイマ F0 インพุットキャプチャ	H'3F	TF0CDR	任意
	タイマ F1 インพุットキャプチャ	H'43	TF1CDR	任意
	タイマ G3 コンペアマッチ	H'47	任意	任意
	タイマ G4 コンペアマッチ	H'4B	任意	任意
	タイマ G5 コンペアマッチ	H'4F	任意	任意
	タイマ TOU0_0 カウンタアンダフロー	H'53	任意	任意
	タイマ TOU0_7 カウンタアンダフロー	H'57	任意	任意
	タイマ TOU1_0 カウンタアンダフロー	H'5B	任意	任意
	タイマ TOU1_7 カウンタアンダフロー	H'5F	任意	任意
	タイマ TOU2_0 カウンタアンダフロー	H'63	任意	任意
	タイマ TOU2_7 カウンタアンダフロー	H'67	任意	任意
	タイマ TOU3_0 カウンタアンダフロー	H'6B	任意	任意

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

内蔵周辺 モジュール	DMA 転送要求要因	CnMRID ビットの 設定値	転送元	転送先
ATU-IIIS	タイマ TOU3_7 カウンタアンダフロー	H'6F	任意	任意
	タイマ TOU4_0 カウンタアンダフロー	H'73	任意	任意
	タイマ TOU4_7 カウンタアンダフロー	H'77	任意	任意
ADC	AD0 スキャン変換終了	H'7B	任意	任意
	AD1 スキャン変換終了	H'7F	任意	任意
	AD0IN0 割り込み変換終了	H'83	任意	任意
	(予約)	H'87	—	—
	AD0IN2 割り込み変換終了	H'8B	任意	任意
	(予約)	H'8F	—	—
	AD0IN15 割り込み変換終了	H'93	任意	任意
DRI	DRI0 DIN0 イベント検出	H'97	任意	任意
	DRI0 DIN1 イベント検出	H'9B	任意	任意
	(予約)	H'9F	—	—
	DRI0 DIN3 イベント検出	H'A3	任意	任意
	DRI0 DIN4 イベント検出	H'A7	任意	任意
	DRI0 DIN5 イベント検出	H'AB	任意	任意
	DRI0 DEC0 アンダフロー	H'AF	任意	任意
	DRI0 DEC1 アンダフロー	H'B3	任意	任意
	DRI0 DEC2 アンダフロー	H'B7	任意	任意
	DRI0 DEC3 アンダフロー	H'BB	任意	任意
	DRI0 DEC4 アンダフロー	H'BF	任意	任意
	DRI0 DEC5 アンダフロー	H'C3	任意	任意
	DRI0 DRI アドレスカウンタ 0 転送完了	H'C7	任意	任意
	DRI0 DRI アドレスカウンタ 1 転送完了	H'CB	任意	任意
	DRI0 DRI 取り込みイベントカウンタアンダフロー	H'CF	任意	任意
	DRI0 DRI 転送カウンタアンダフロー	H'D3	任意	任意

【注】・内蔵周辺モジュールリクエストを選択時は、サイクルスチールモード1 (サイクルスチールモード2) を選択してください。

## 20.4 動作説明

DMACはDMA転送開始条件を満たしDMA動作中となった状態でDMA転送要求があると決められたチャネルの優先順位に従って転送を開始し、DMA転送終了条件が満たされると転送を終了します。

DMiTCRレジスタ値が"0"になり最終のDMA転送を完了したときをDMA転送完了、DMiTCRレジスタ値が"0"になる前にDMA転送終了条件を満たしたときをDMA転送強制終了と呼びます。

### 20.4.1 DMA転送要求要因

DMA転送要求要因にはオートリクエスト(ソフトウェアリクエスト)、外部リクエスト、および内蔵周辺モジュールリクエストの3種類があります。DMA転送要求要因の選択はチャネルごとにDMiCHCR.RSビットおよびDM01ARS~DM1011ARSレジスタで行います。

#### (1) オートリクエスト(ソフトウェアリクエスト)

DMA転送要求要因としてオートリクエストを選択した場合、DMA転送開始条件が満たされるとDMAC内部で自動的に転送要求信号を発生させ、転送モード(サイクルスチールモード1、サイクルスチールモード2、バーストモード)に関わらず、DMiTCRレジスタが"0"になるまで転送されます。

表 20.6 にオートリクエストでのDMA転送区間を示します。

表 20.6 オートリクエストでのDMA転送区間

転送元 \ 転送先	外部アドレス空間	内蔵周辺モジュール* <sup>1</sup>	ILメモリ/OLメモリ	SHwyRAM	ROM
外部アドレス空間	×	×	×	×	×
内蔵周辺モジュール* <sup>1</sup>	×	○	○	○	×
ILメモリ/OLメモリ	×	○	○	○	×
SHwyRAM	×	○	○	○	×
ROM	×	○	○	○	×

【注】 \*<sup>1</sup> 転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合、指定されたアクセスサイズを合わせて設定してください。

【記号説明】 ○ : 転送可能  
× : 転送禁止

#### (2) 外部リクエスト

DMA転送要求要因として外部リクエストを選択した場合、DMA転送開始条件を満たした状態で本MCUの外部デバイスからの転送要求信号(DREQ0、DREQ2、DREQ3)によってDMA転送を行います。DMA0、DMA2、DMA3のみDMA転送要求要因として外部リクエストを選択できます。

DREQ信号を立ち下がりエッジで検出するか立ち上がりエッジで検出するかは、DM0CHCR、DM2CHCR、DM3CHCRレジスタのDLビットで選択します。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

表 20.7 に外部リクエストでの DMA 転送区間を示します。

表 20.7 外部リクエストでの DMA 転送区間\*<sup>2</sup>

転送元 \ 転送先	外部アドレス空間	内蔵周辺モジュール* <sup>1</sup>	IL メモリ/OL メモリ	SHwyRAM	ROM
外部アドレス空間	×	×	×	×	×
内蔵周辺モジュール* <sup>1</sup>	×	○	○	○	×
IL メモリ/OL メモリ	×	○	○	○	×
SHwyRAM	×	○	○	○	×
ROM	×	○	○	○	×

【注】 \*1 転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合、指定されたアクセスサイズを合わせて設定してください。

\*2 外部リクエストは DMA0、DMA2、DMA3 のみ

【記号説明】 ○：転送可能  
×：転送禁止

### (3) 内蔵周辺モジュールリクエスト

DMA 転送要求要因として内蔵周辺モジュールリクエストを選択した場合、DMA 転送開始条件を満たした状態で内蔵周辺モジュールからの DMA 転送要求信号を受け付けると DMA 転送が行われます。DMA 転送要求要因は、SCIF、RSPI、IIC3、ATU-IIIS、ADC、DRI のモジュールがあり、DM01ARS～DM1011ARS レジスタにて設定します。

表 20.8 に内蔵周辺モジュールリクエストでの DMA 転送区間を示します。

表 20.8 内蔵周辺モジュールリクエストでの DMA 転送区間\*<sup>2</sup>

転送元 \ 転送先	外部アドレス空間	内蔵周辺モジュール* <sup>1</sup>	IL メモリ/OL メモリ	SHwyRAM	ROM
外部アドレス空間	×	×	×	×	×
内蔵周辺モジュール* <sup>1</sup>	×	○	○	○	×
IL メモリ/OL メモリ	×	○	○	○	×
SHwyRAM	×	○	○	○	×
ROM	×	○	○	○	×

【注】 \*1 転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合、指定されたアクセスサイズを合わせて設定してください。

\*2 サイクルスチールモード 1、サイクルスチールモード 2 のみ設定可能

【記号説明】 ○：転送可能  
×：転送禁止

## 20.4.2 DMA 転送モード

DMA 転送モードには、サイクルスチールモード 1、サイクルスチールモード 2、およびバーストモードがあります。モードの選択は DMiCHCR.TB ビットと LCKN ビットによって行います。

本章中で示す 1 転送単位とは DMiCHCR.TS0~TS2 ビットで設定する 1~32 バイトの読み出しサイクルと書き込みサイクルを合わせて 1 転送単位と呼びます。また、他のバスマスタとは他の DMAC モジュール、CPU、H-UDI、AUDR を示します。

## (1) サイクルスチールモード 1 (TB ビット="0"、LCKN ビット="0")

サイクルスチールモード 1 では、DMAC は 1 転送単位の DMA 転送を終了するごとに SuperHyway バスのバス権を他のバスマスタに開放します。その後 DMA 転送要求があれば、次の転送要求を発行し、再び 1 転送単位の転送を行い、その転送を終了するとまた SuperHyway バスのバス権を他のバスマスタに開放します。これを転送終了条件が満たされるまで繰り返します。

図 20.2 にサイクルスチールモード 1 での DMA 転送タイミング例を示します。

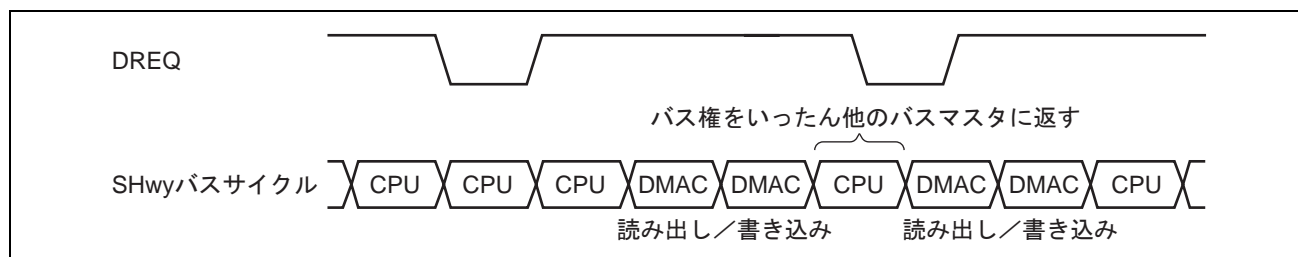


図 20.2 サイクルスチールモード 1 の DMA 転送例 (DREQ 信号立ち下がりエッジ有効設定時)

## (2) サイクルスチールモード 2 (TB ビット="0"、LCKN ビット="1")

サイクルスチールモード 2 では、DMAC は 1 転送単位の読み出しサイクル後に SuperHyway バスのバス権を他のバスマスタに開放した後、書き込みサイクルの転送要求を発行します。その後 DMA 転送要求があれば、次の読み出しサイクルの転送要求を発行し、読み出しサイクルが実行されます。これを転送終了条件が満たされるまで繰り返します。

図 20.3 にサイクルスチールモード 2 での DMA 転送タイミング例を示します。

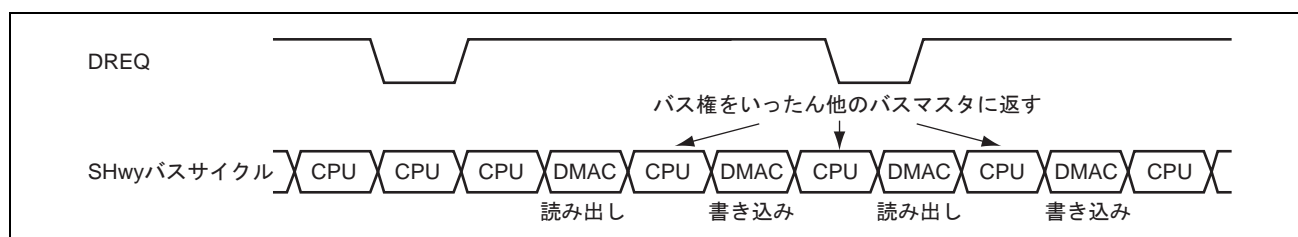


図 20.3 サイクルスチールモード 2 の DMA 転送例 (DREQ 信号立ち下がりエッジ有効設定時)

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

---

### (3) バーストモード (TB ビット="1"、LCKN ビット="0")

バーストモードでは DMAC は一度 SuperHyway バスのバス権を取ると、転送終了条件が満たされるまで SuperHyway バスのバス権を他のバスマスタに開放せずに転送を続けます。

DMA 転送要求要因として内蔵周辺モジュールリクエストを選択した場合、バーストモードで使用しないでください。

図 20.4 にバーストモードでの DMA 転送タイミングを示します。

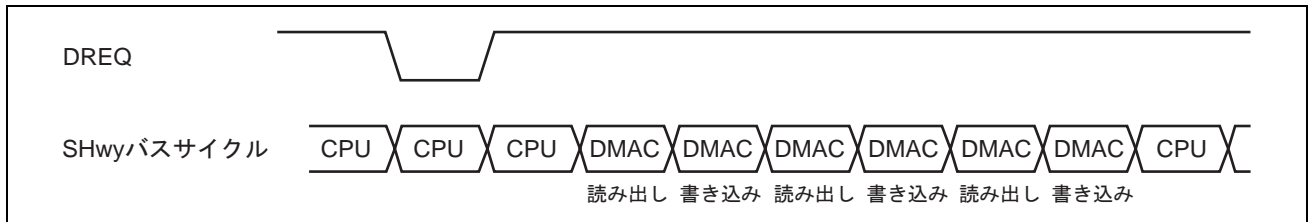


図 20.4 バーストモードでの DMA 転送例 (DREQ 信号立ち下がりエッジ有効設定時)

### 20.4.3 DMA 転送開始条件、DMA 転送終了条件

以下に DMA 転送開始条件と、DMA 転送終了条件を示します。

#### (1) DMA 転送開始条件

##### (a) リピート機能無効の場合またはリピート機能有効かつ DMiCHCR.HIE ビット="0"の場合

- DM05OR (DM611OR) .NMIFビット="0"かつAEビット="0"かつDMEビット="1"かつ、DMiCHCR.TEビット="0"かつDEビット="1"のとき

##### (b) リピート機能有効かつ DMiCHCR.HIE ビット="1"の場合

- DM05OR (DM611OR) .NMIFビット="0"かつAEビット="0"かつDMEビット="1"かつ、DMiCHCR.TEビット="0"かつHEビット="0"かつDEビット="1"のとき
- DM05OR (DM611OR) .NMIFビット="0"かつAEビット="0"かつDMEビット="1"かつ、DMiCHCR.TEビット="0"かつHEビット="1"かつDEビット="1"のとき
- DM05OR (DM611OR) .NMIFビット="0"かつAEビット="0"かつDMEビット="1"かつ、DMiCHCR.TEビット="1"かつHEビット="0"かつDEビット="1"のとき

#### (2) DMA 転送終了条件

##### (a) リピート機能無効の場合またはリピート機能有効かつ DMiCHCR.HIE ビット="0"の場合

- NMIが入力されたとき
- アドレスエラーが発生したとき
- DMiCHCR.DEビットを"0"にしたとき
- DM05OR (DM611OR) .DMEビットを"0"にしたとき
- DMiCHCR.TEビット="1"のとき

##### (b) リピート機能有効かつ DMiCHCR.HIE ビット="1"の場合

- NMIが入力されたとき
- アドレスエラーが発生したとき
- DMiCHCR.DEビットを"0"にしたとき
- DM05OR (DM611OR) .DMEビットを"0"にしたとき
- DMiCHCR.HEビット="1"かつTEビット="1"のとき



### 20.4.4 モジュール内のチャネルの優先順位

DMAC は、同一モジュール内に同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は優先順位固定、ラウンドロビンの 2 種類から選択できます。優先順位の選択は、DM05OR レジスタ (DMA0~5)、DM611OR レジスタ (DMA6~11) の PR ビットにより行います。

DMAC0 モジュール (DMA0~5) と DMAC1 モジュール (DMA6~11) の優先順位の関係はラウンドロビンです。詳細は「20.4.6 DMAC モジュール間の優先順位」を参照してください。

#### (1) 優先順位固定

チャネルの優先順位を優先順位固定に選択した場合、チャネルの優先順位は変化しません。優先順位固定には以下に示す 2 種類があります。

##### (a) DMA0~5

- DMA0>DMA1>DMA2>DMA3>DMA4>DMA5
- DMA0>DMA2>DMA3>DMA1>DMA4>DMA5

##### (b) DMA6~11

- DMA6>DMA7>DMA8>DMA9>DMA10>DMA11
- DMA6>DMA8>DMA9>DMA7>DMA10>DMA11

#### (2) ラウンドロビン

チャネルの優先順位をラウンドロビンに選択した場合、1 つのチャネルで、1 転送単位の転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。このとき、転送したチャネルより優先順位の高いすべてのチャネルを含め、優先順位が低くなるように優先順位を変更します。図 20.5 にこのチャネルの優先順位変更例を示します。なおリセット直後のラウンドロビンの優先順位を以下に示します。

##### (a) DMA0~5

- DMA0>DMA1>DMA2>DMA3>DMA4>DMA5

##### (b) DMA6~11

- DMA6>DMA7>DMA8>DMA9>DMA10>DMA11

チャネルの優先順位をラウンドロビンに選択した場合、DMA0~DMA5 でサイクルスチールモード 1 (サイクルスチールモード 2) とバーストモードは混在させないでください。また、DMA6~DMA11 でサイクルスチールモード 1 (サイクルスチールモード 2) とバーストモードは混在させないでください。

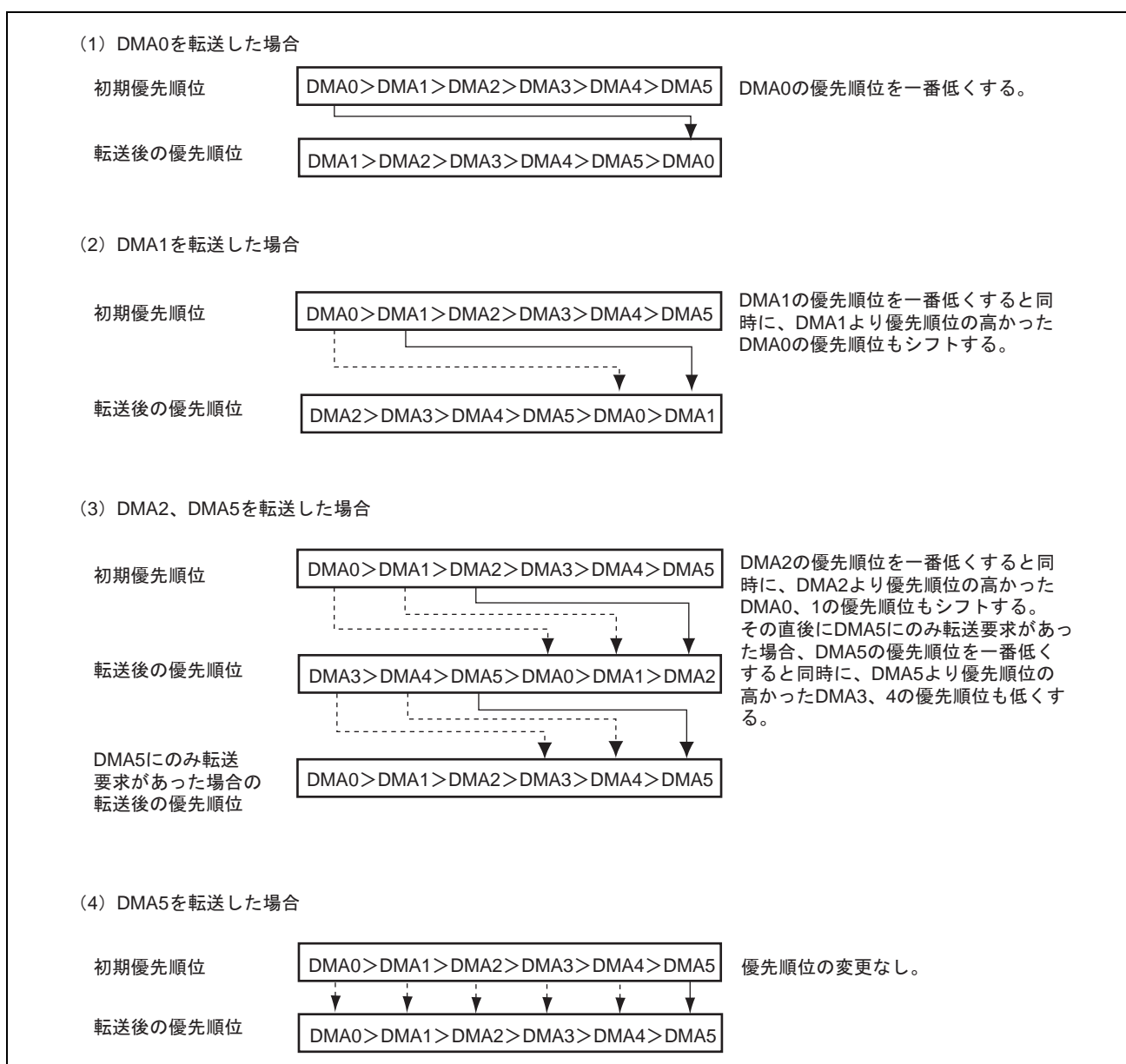


図 20.5 チャンルの優先順位変更例 1 (ラウンドロビン)

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

図 20.6 に DMA0 と DMA3 に同時に転送要求が発生し、DMA0 の転送中に DMA1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. DMA0とDMA3に同時に転送要求が発生します。
2. DMA0の方がDMA3より優先順位が高いため、DMA0の転送を開始します (DMA3は転送待ち)。
3. DMA0の転送中にDMA1に転送要求が発生します (DMA1とDMA3は転送待ち)。
4. DMA0の転送を終了すると、DMA0の優先順位を一番低くします。
5. この時点でDMA1のほうがDMA3より優先順位が高いため、DMA1の転送を開始します (DMA3は転送待ち)。
6. DMA1の転送を終了すると、DMA1の優先順位を一番低くします。
7. DMA3の転送を開始します。
8. DMA3の転送を終了すると、DMA3の優先順位が一番低くなるように、DMA3と一緒にDMA2の優先順位を低くします。

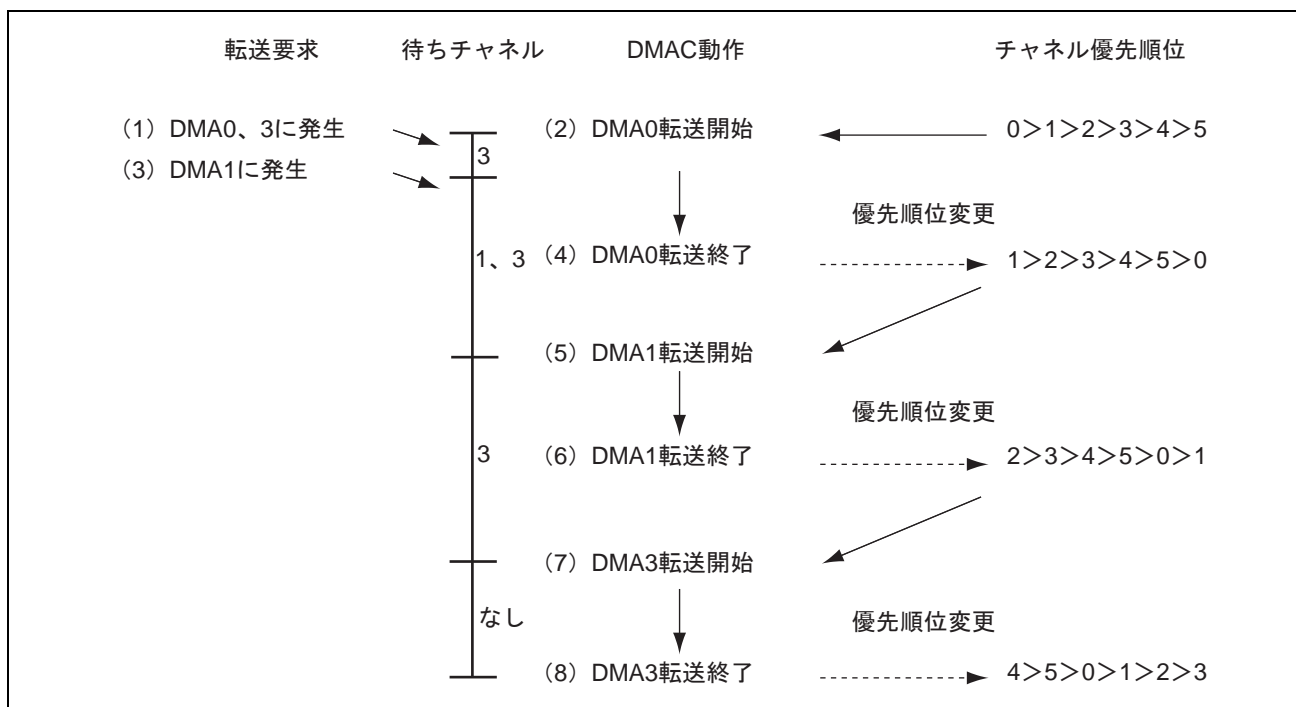


図 20.6 チャンネルの優先順位変更例 2 (ラウンドロビン)

## 20.4.5 同一 DMAC モジュール内の複数チャネルの動作例

同一 DMAC モジュール内のチャネルの優先順位は 1 転送単位ごとに判定が行われます。

同一 DMAC モジュール内にバーストモード転送中のチャネルがある場合、DMAC モジュールは他のバスマスタにバス権を解放しません。

同一 DMAC モジュール内の複数チャネルの動作について DMAC0 モジュールを例として以下に示します。

## (1) サイクルスチールモード 1 とバーストモードの混在例

DMA0 をサイクルスチールモード 1、DMA1 をバーストモードに設定した場合の動作例を以下に示します。

チャネルの優先順位を優先順位固定 (DMA0 > DMA1 > ..... > DMA5) に選択した場合において、DMA1 がバーストモード転送中でも、それより優先順位の高いサイクルスチールモード 1 の DMA0 に転送要求が発生すると、DMA1 の 1 転送単位の区切りで DMA0 の転送を開始します。

サイクルスチールモード 1 では、通常 1 転送単位ごとに他のバスマスタにバス権を開放しますが、DMAC0 モジュール内にバーストモード転送中のチャネルがある場合、まず優先順位の高いサイクルスチールモード 1 の DMA0 が 1 転送単位の転送を行った後、バス権を開放せずに連続して DMA1 が転送されます。その後も、DMA0 → DMA1 → DMA0 → DMA1 というように交互に転送が行われます。これをバーストモードの優先実行と呼びます。

図 20.7 にバーストモードの優先実行の動作例を示します。バーストモードが複数チャネルある場合は、その中で一番優先順位の高いチャネルのバーストモードが実行されます。DMA 転送を複数チャネルで行う場合は、すべてのバースト転送が終了するまで、他のバスマスタにバス権を解放しません。

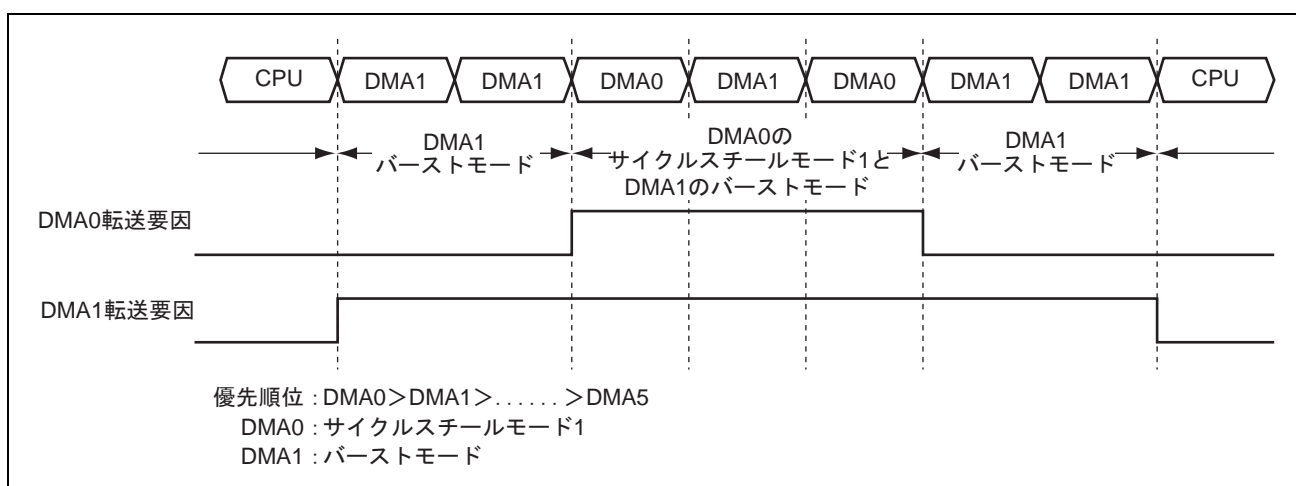


図 20.7 バーストモードの優先実行の動作例

## (2) バーストモードとバーストモードの混在例

DMA0 をバーストモード、DMA1 をバーストモードに設定した場合の動作例を以下に示します。

チャネルの優先順位を優先順位固定 (DMA0 > DMA1 > ..... > DMA5) に選択した場合において、DMA1 がバーストモード転送中にそれより優先順位の高い DMA0 に転送要求が発生すると、DMA1 の 1 転送単位の区切りで DMA0 の転送を開始します。DMA0 のすべてのバーストモード転送終了後、他のバスマスタにバス権を開放せずに DMA1 のバーストモード転送を行います。

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

---

チャンネルの優先順位をラウンドロビンに選択した場合において、DMA1 がバーストモード転送中にそれより優先順位の高い DMA0 に転送要求が発生すると、DMA1 の 1 転送単位の区切りで DMA0 の転送を開始します。チャンネルの優先順位は 1 転送単位ごと変更および判定が行われるので、DMA1 の 1 転送単位の転送後、他のバスマスタにバス権を開放せずに DMA0 の 1 転送単位のバーストモード転送を行います。その後も、DMA1→DMA0→DMA1→DMA0 というように交互に転送が行われます。

### 20.4.6 DMAC モジュール間の優先順位

DMAC 内の DMAC0 モジュール (DMA0~5) と DMAC1 モジュール (DMA6~11) の優先順位の関係はラウンドロビンです。リセット直後の優先順位は DMAC0>DMAC1 です。DMAC0 (DMAC1) モジュールがバス権を他のバスマスタに解放するごとに DMA 転送を行った DMAC0 (DMAC1) モジュールの優先順位が低くなるように優先順位を変更します。

### 20.4.7 リピート機能

DMAC のリピート機能を有効に設定すると、DMjTCR レジスタ値が"0"になるごとに DMjTCRB レジスタから DMjTCR レジスタにロードされます。このとき、DMjCHCR.RPT ビットの設定により、DMjSARB レジスタから DMjSAR レジスタ、DMjDARB レジスタから DMjDAR レジスタへのロードができます。ロード後に DMA 転送を開始するには、ソフトウェアで「20.4.3 DMA 転送開始条件、DMA 転送終了条件」で記載した条件を満たす必要があります。

図 20.8 にリピート機能無効時と有効時のデータ転送処理の動作を示します。

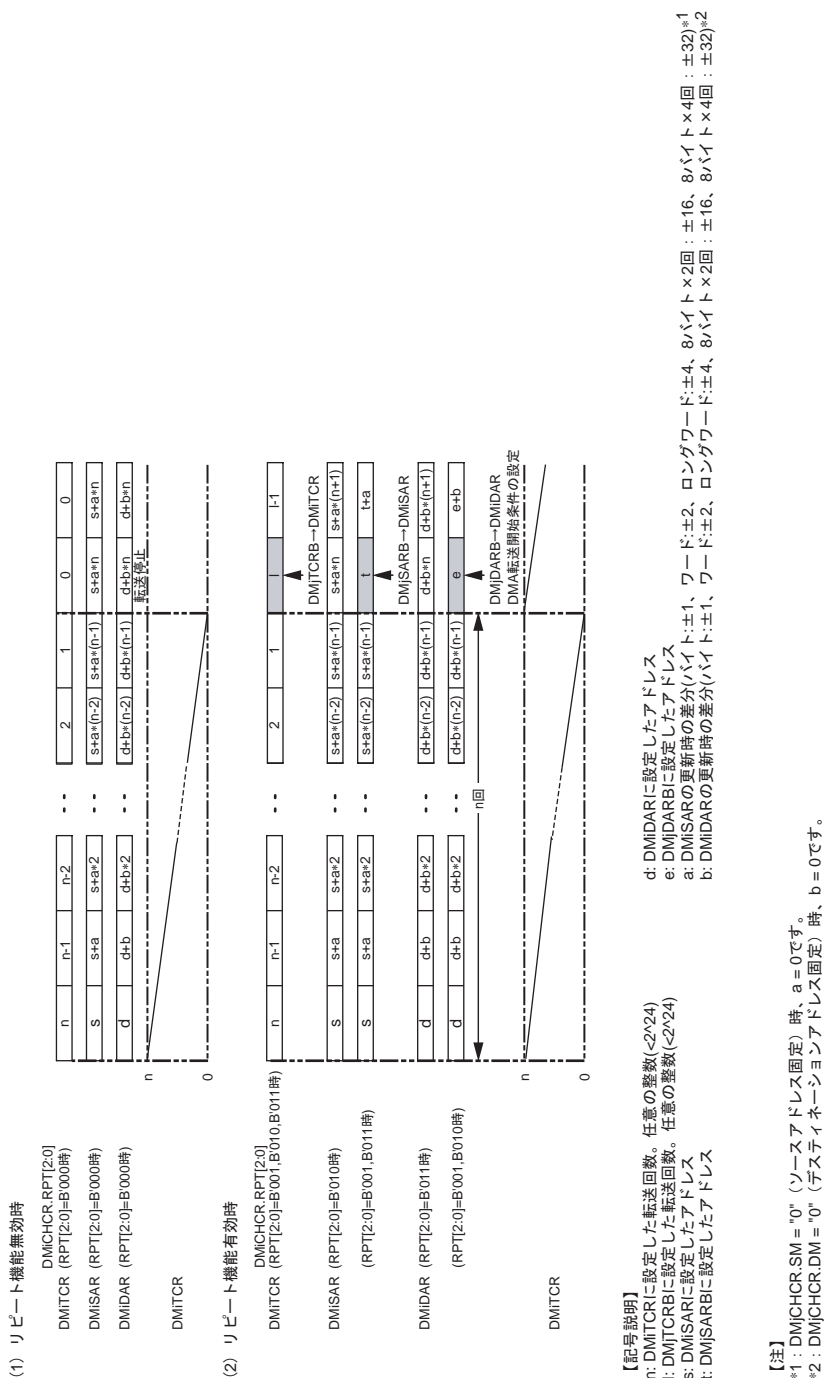


図 20.8 リピート機能無効時と有効時のデータ転送処理の動作

## 20. ダイレクトメモリアクセスコントローラ (DMAC)

---

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。ハーフエンド機能の設定例を以下に説明します。

ここでは 40 バイトのデータを取り込みごとに順次処理を行うことを仮定し、その際の処理を説明します。

### 1. DMACの設定

DMjSARレジスタにSCIFのSCi受信FIFOデータレジスタ (SCiFRDR) のアドレスを設定します。

DMjDARレジスタに内部メモリのデータ格納領域のアドレスを設定します。

DMjTCRレジスタに80 (H'50) を設定します。

DMjCHCRレジスタに以下の設定をします。

RPTビット=B'010 : リピート機能有効 (DMjDAR、DMjTCR)

HIEビット=B'1 : DMjTCRレジスタ/2の割り込み発生

DMビット=B'01 : DMjDARレジスタは増加

SMビット=B'00 : DMjSARレジスタは固定

IEビット=B'1 : 割り込み許可

DEビット=B'1 : DMA転送許可

この他、TBビットやTSビットなど使用条件に合わせて設定。

DM05OR、DM611ORレジスタのPRビットを使用条件に合わせて設定し、DMEビットに"1"を設定します。

### 2. 1.の設定によりDMA転送開始

### 3. DMjTCRレジスタが初期設定値の1/2になり割り込み発生。

割り込み処理にて、DMjCHCRレジスタを読み出しHEビットに"1"がセットされていることを確認後"0"にクリアし、DMjDARレジスタに設定したアドレスから40バイト分のデータの処理を実行。

### 4. DMjTCRレジスタが"0"になり割り込み発生。

割り込み処理にて、DMjCHCRレジスタを読み出しTEビットに"1"がセットされていることを確認後"0"にクリアし、DMjDARレジスタに設定したアドレスに40を足したアドレスから40バイト分のデータの処理を実行。

このときDMACでは、DMjDARレジスタとDMjTCRレジスタにそれぞれDMjDARBレジスタとDMjTCRBレジスタの値がコピーされます。

### 5. 以後、HE="1"かつTE="1"、DME="0"またはDE="0"の条件が成立するか、NMI割り込みが発生するまで、3.~4.が繰り返し実行されます。

つまり、本機能を使用することで、データ受信用格納バッファとデータ処理用バッファを交互に切り替えながらの逐次処理が可能となります。

### 20.4.8 リロード機能

リロード機能実行時は、DMjTCRB レジスタをリロードカウンタとして使用します。DMAC のリロード機能を有効に設定すると、DMjCHCR レジスタの RPT ビットの設定により、転送開始時と DMjTCRB レジスタのビット 7~0 に設定した回数の転送ごとに DMjSARB レジスタから DMjSAR レジスタ、DMjDARB レジスタから DMjDAR レジスタに、DMjTCRB レジスタのビット 23~16 から DMjTCRB レジスタのビット 7~0 にロードし、DMjTCR レジスタ値が"0"になるまで転送を再設定することなく繰り返し実行できます。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。

図 20.9 にリロード機能無効時と有効時のデータ転送処理の動作を示します。



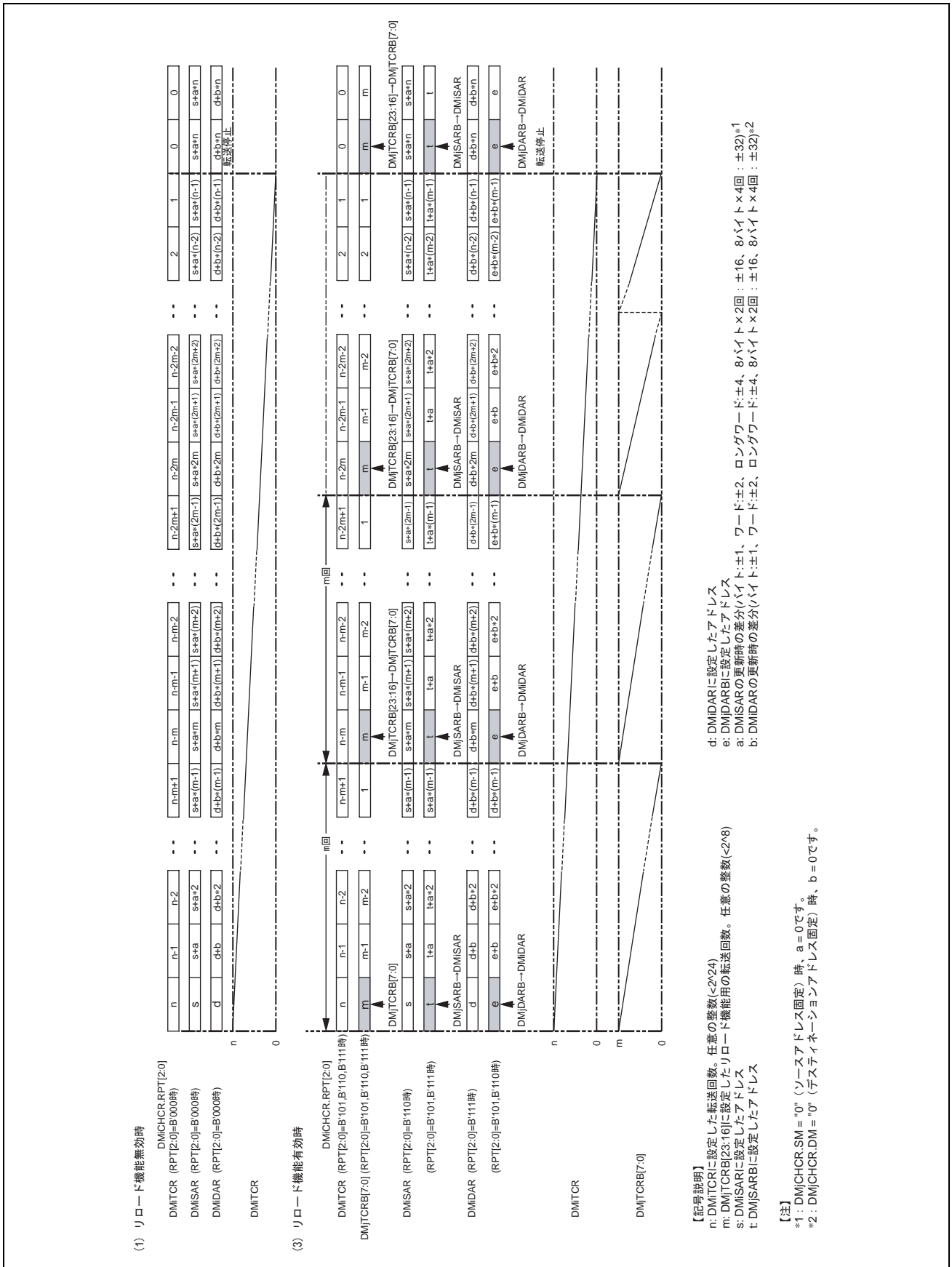


図 20.9 リロード機能無効時と有効時のデータ転送処理の動作

## 20.5 使用上の注意事項

### 20.5.1 アドレスエラーについて

DMA アドレスエラーが発生した場合、下記手順を行った後、DM05OR、DM611OR レジスタに対応する全チャンネルを再設定してから転送を開始してください。

1. 下記領域へのダミーリード。ただし、DMAでアクセス先に設定していない空間のダミーリードは省略可能です。
  - 内蔵周辺モジュール (Pck) : ダミーアクセス領域 (H'FFFF 5020~H'FFFF 5023番地) のダミーリード
  - 内蔵周辺モジュール (PAck) : ダミーアクセス領域 (H'FFFA0 0000~H'FFFA0 0003番地) のダミーリード
  - ILメモリ/OLメモリ : 任意のエリアをダミーリード
  - SHwyRAM : 任意のエリアをダミーリード
  - ROM : 任意のエリアをダミーリード
2. SYNC0命令を発行。
3. DMAアドレスエラーの発生したDM05OR、DM611ORレジスタに対応する全チャンネルの再設定。
  - DM05OR.AEビットが"1"にセットされた場合はDMA0~5の再設定をしてください。
  - DM611OR.AEビットが"1"にセットされた場合はDMA6~11の再設定をしてください。

### 20.5.2 DMAC への DMA 転送禁止

転送元、転送先に DMAC レジスタを設定して DMA 転送は行わないでください。

### 20.5.3 NMI 割り込みについて

NMI 割り込みが発生した場合、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルの再設定をした後、転送を開始してください。

### 20.5.4 DMA 動作中のレジスタアクセスについての注意

DMA 動作中 (DMA 開始条件を満たした状態) では以下のレジスタアクセスについて制約事項がありますので、ご注意ください。また、強制終了するときは該当内蔵周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。

- DMAC0モジュールの場合  
DM0CHCR~DM5CHCR.DEビット、HEビット、TEビット、DM05OR.DMEビット以外のレジスタはライトアクセスが禁止になります。DM0CHCR~DM5CHCRレジスタおよびDM05ORレジスタの他のビットは前回と同じ値を書き込んでください。
- DMAC1モジュールの場合  
DM6CHCR~DM11CHCR.DEビット、HEビット、TEビット、DM611OR.DMEビット以外のレジスタはライトアクセスが禁止になります。DM6CHCR~DM11CHCRレジスタおよびDM611ORレジスタの他のビットは前回と同じ値を書き込んでください。

レイアウトの都合上、このページは白紙です。

---

## 21. アドバンストタイマユニット-IIIS (ATU-IIIS)

---

### 21.1 概要

ATU-IIIS は、タイマ A (5 チャンネル×2 系統)、タイマ F (3 チャンネル)、タイマ G (6 チャンネル)、タイマ TOU (8 チャンネル×5 系統) のタイマブロックと、プリスケアラ、および共通制御部から構成されています。各タイマブロックは、それぞれが異なる機能を備えており、互いに独立して動作できます。また、クロックバスを介して複数のタイマを連動して動作させることもできます。タイマブロックは、同一の機能を持った 1 個以上のタイマサブブロックによって構成され、各サブブロックはさらに 1 個以上のチャンネルを備えています。

なお、本章では、各タイマのレジスタ名を以下の表記を使用して説明します。

- タイマ A のレジスタ :  $i=0, 1, k=0\sim 5$
- タイマ F のレジスタ :  $j=0\sim 2$
- タイマ G のレジスタ :  $k=0\sim 5$
- タイマ TOU のレジスタ :  $n=0\sim 4, m=0\sim 7$

表 21.1 に ATU-IIIS の概要を示します。

表 21.1 ATU-IIIS の概要

項目	概要
機能	<ul style="list-style-type: none"><li>• 59 本の割り込み要因を生成可能です。これによって、ダイレクトメモリアクセスコントローラ (DMAC) の起動または CPU による割り込み処理の起動が可能です。</li><li>• A/D 専用 に 6 本のパルス出力 (タイマ G) を備えています。</li><li>• 4 チャンネルのプリスケアラを内蔵しており、周辺クロック (Pck) を 1/1~1/1024 に分周した 4 種類のクロックを生成可能です。</li><li>• タイマの各チャンネルは、カウントソースとして、プリスケアラの生成する 4 つの分周クロック、2 本の外部クロックを選択可能です。</li></ul>
タイマ A	<p>タイマ A は、32 ビットフリーランカウンタと、10 本 (5 チャンネル×2 系統) の 32 ビットインプットキャプチャレジスタを備え、次の動作が可能です。</p> <ul style="list-style-type: none"><li>• 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。</li><li>• キャプチャタイミングで DMAC を起動可能。</li><li>• 各外部入力端子に最大 0.82ms のノイズキャンセル機能あり。</li><li>• キャプチャ割り込み、カウンタオーバフロー割り込み発生可能。</li></ul>

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	概要
タイマ F	<p>タイマ F は、3 個のサブブロックによって構成されます。各サブブロックは、2 本の 24 ビットカウンタと、1 本の 16 ビットカウンタ、3 本の 24 ビット汎用レジスタ、1 本の 16 ビット汎用レジスタを備え、次の動作が可能です。</p> <ul style="list-style-type: none"> <li>外部入力端子に最大 0.82ms のノイズキャンセル機能あり。</li> <li>7 つの動作モードをもち、一定時間内入力エッジカウント、有効エッジ入力間隔、入力"H"レベル/"L"レベル期間の計測、PWM 入力波形計測、回転速度/パルス計測、およびアップ/ダウンカウント、4 通りイベントカウントが可能。</li> <li>インプットキャプチャ割り込みによって DMAC を起動可能。</li> <li>オーバフロー割り込み発生可能。</li> </ul>
タイマ G	<p>タイマ G は、同一の機能を持つ 6 個のサブブロックによって構成されます。各サブブロックは、16 ビットフリーランカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。</p> <ul style="list-style-type: none"> <li>コンペアマッチをトリガにイベント出力可能であり、A/D 起動/割り込みトリガとして使用可能。</li> <li>コンペアマッチ割り込みによって DMAC を起動可能。</li> </ul>
タイマ TOU	<p>タイマ TOU (Timer Output Unification) は、40 チャンネル (8 チャンネル×5 系統) の出力系 24 ビットタイマで構成されます。タイマ TOU の各チャンネルはソフトウェアによるモード切り替えにより、以下のモードから 1 つを選択できます。</p> <ul style="list-style-type: none"> <li>PWM 出力モード</li> <li>ワンショット PWM 出力モード</li> <li>ワンショット出力モード</li> <li>連続出力モード</li> </ul>

表 21.2 ATU-IIIS の割り込み発生機能

信号名	割り込み要因	要因入力数
IRQ_TA_OVF	タイマ A オーバフロー	2
IRQ_TA_IC	タイマ A インプットキャプチャ	10
IRQ_TF_OVF	タイマ F オーバフロー	3
IRQ_TF_IC	タイマ F インプットキャプチャ	3
IRQ_TG0	タイマ G0 コンペアマッチ	1
IRQ_TG1	タイマ G1 コンペアマッチ	1
IRQ_TG2	タイマ G2 コンペアマッチ	1
IRQ_TG3	タイマ G3 コンペアマッチ	1
IRQ_TG4	タイマ G4 コンペアマッチ	1
IRQ_TG5	タイマ G5 コンペアマッチ	1
IRQ_TOU00	TOU0_0~TOU0_3 アンダフロー	4
IRQ_TOU04	TOU0_4~TOU0_7 アンダフロー	4
IRQ_TOU10	TOU1_0~TOU1_3 アンダフロー	4
IRQ_TOU14	TOU1_4~TOU1_7 アンダフロー	4
IRQ_TOU20	TOU2_0~TOU2_3 アンダフロー	4
IRQ_TOU24	TOU2_4~TOU2_7 アンダフロー	4
IRQ_TOU30	TOU3_0~TOU3_3 アンダフロー	4
IRQ_TOU34	TOU3_4~TOU3_7 アンダフロー	4
IRQ_TOU40	TOU4_0~TOU4_3 アンダフロー	4
IRQ_TOU44	TOU4_4~TOU4_7 アンダフロー	4

21.2 ブロック図

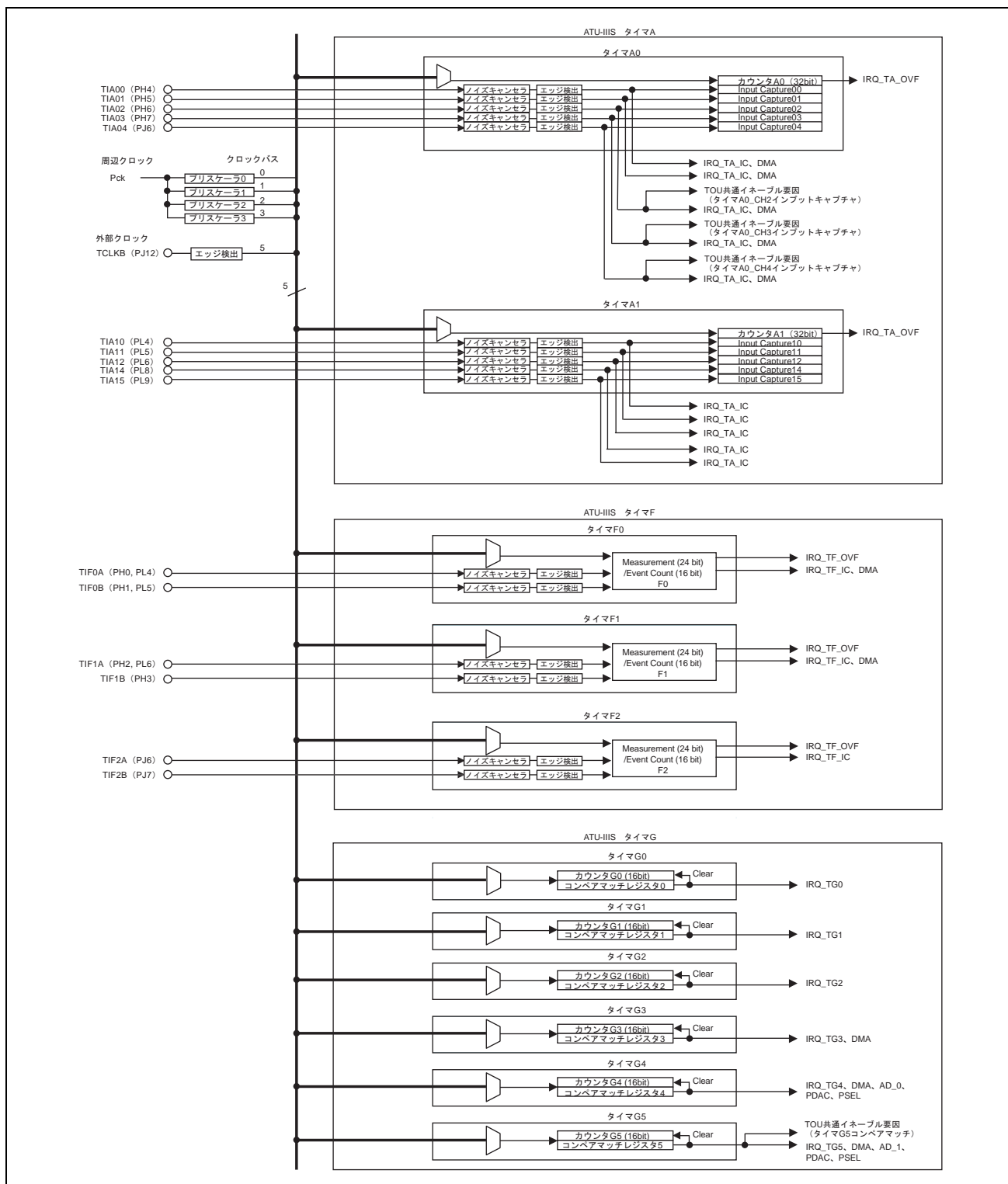


図 21.1 ATU-IIIS のブロック図 (1)

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

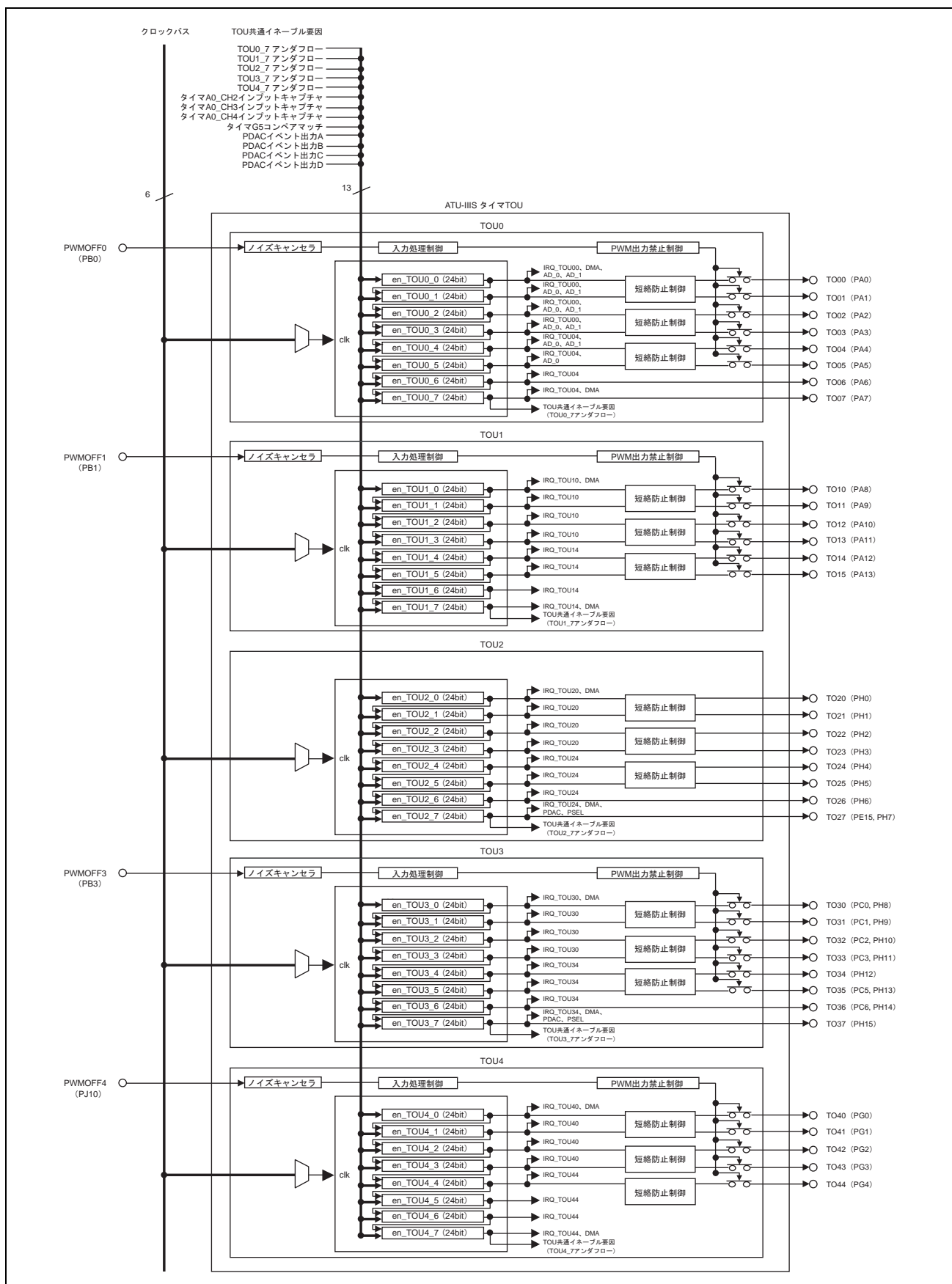


図 21.1 ATU-IIIS のブロック図 (2)

図 21.2 にイベント信号の配線図を示します。

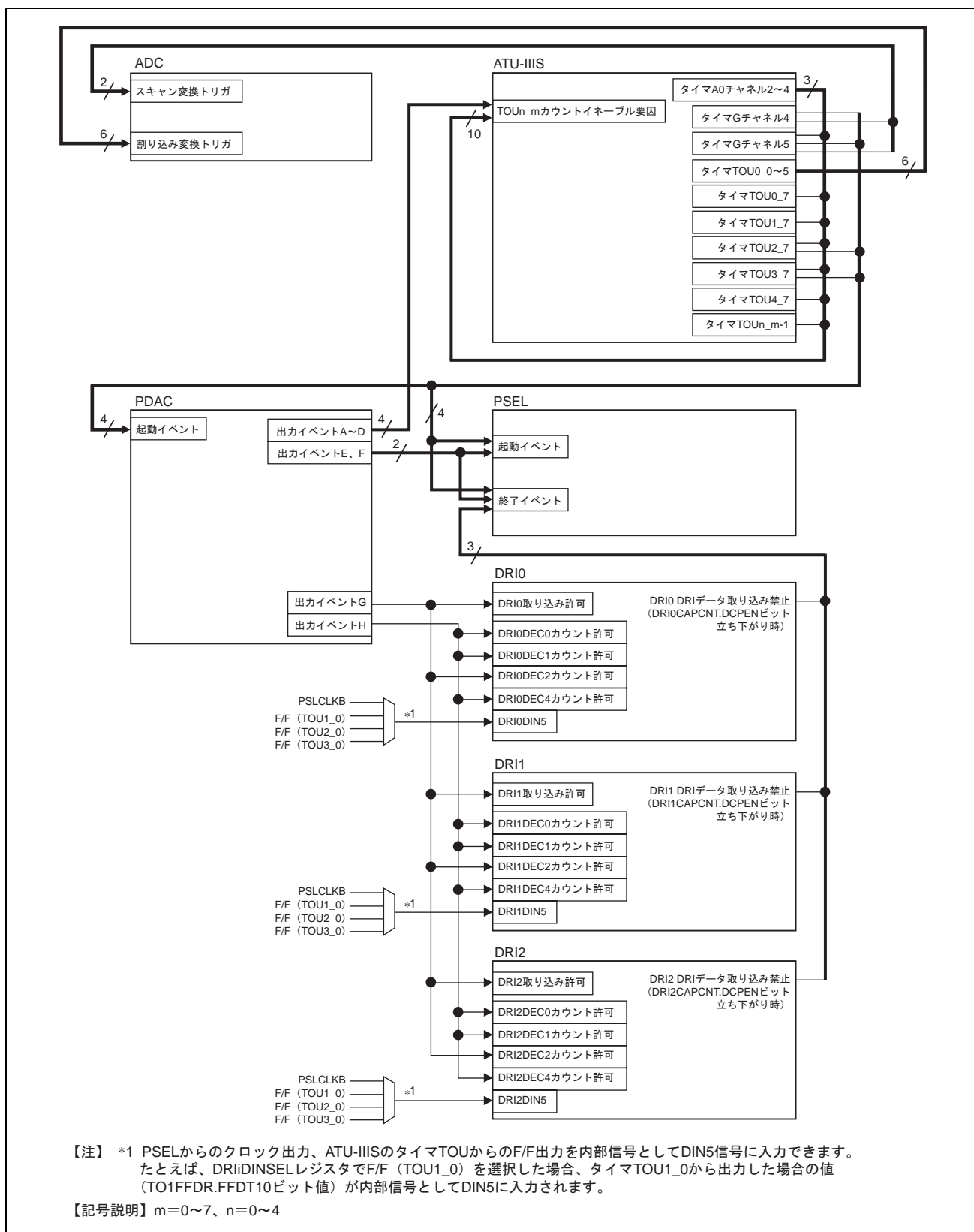


図 21.2 イベント信号の配線図



## 21.3 入出力端子

表 21.3 に ATU-IIIS の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 21.3 端子構成

項目	端子名	入出力	機能
共通制御部	TCLKB	入力	クロックバス 5 への外部クロック入力
タイマ A	TIA00~TIA04 TIA10~TIA12、TIA14、TIA15	入力	タイマ A の各チャンネルへのインプットキャプチャトリガ
タイマ F	TIF0A、TIF0B TIF1A、TIF1B TIF2A、TIF2B	入力	タイマ F の各チャンネルへのイベント入力
タイマ TOU	PWMOFF0、PWMOFF1、 PWMOFF3、PWMOFF4	入力	タイマ TOU の PWM 出力禁止制御信号入力
	TO00~TO07 TO10~TO15 TO20~TO27 TO30~TO37 TO40~TO44	出力	タイマ TOU の各チャンネルのパルス/PWM 出力

## 21.4 レジスタの説明

ATU-IIIS の各レジスタのアドレス配置について以下に示します。レジスタのアクセスについては、次の点に注意してください。

- 予約ビットへの書き込み動作では、必ず"0"を書き込んでください。
- 16ビットを超えるカウンタ、インプットキャプチャ、アウトプットコンペア、汎用レジスタへのアクセスは、書き込み、読み出しともに32ビットアクセスのみ可能です。16ビットおよび8ビットアクセスはできません。

表 21.4 レジスタ構成

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
共通制御部	ATU-IIIS マスタイネーブルレジスタ	ATUENR	H'0000	H'FFFF E000	16	21-20
	ATU-IIIS クロックバスコントロールレジスタ	ATCBCNT	H'00	H'FFFF E002	8	21-22
	ATU-IIIS ノイズキャンセルモードレジスタ	ATNCMR	H'00	H'FFFF E003	8	21-23
	ATU-IIIS インタラプトセレクトレジスタ A0	ATISRA0	H'00	H'FFFF E010	8	21-26
	ATU-IIIS インタラプトセレクトレジスタ A1	ATISRA1	H'00	H'FFFF E011	8	21-26
	ATU-IIIS インタラプトセレクトレジスタ F	ATISRF	H'00	H'FFFF E014	8	21-27
	ATU-IIIS インタラプトセレクトレジスタ G	ATISRG	H'00	H'FFFF E018	8	21-28
	ATU-IIIS インタラプトセレクトレジスタ TOU0	ATISRT0	H'00	H'FFFF E020	8	21-29
	ATU-IIIS インタラプトセレクトレジスタ TOU1	ATISRT1	H'00	H'FFFF E021	8	21-29
	ATU-IIIS インタラプトセレクトレジスタ TOU2	ATISRT2	H'00	H'FFFF E022	8	21-29
	ATU-IIIS インタラプトセレクトレジスタ TOU3	ATISRT3	H'00	H'FFFF E023	8	21-29
	ATU-IIIS インタラプトセレクトレジスタ TOU4	ATISRT4	H'00	H'FFFF E024	8	21-29
	ATU-IIIS プリスケアラレジスタ 0	ATPSCR0	H'0000	H'FFFF E100	16	21-31
	ATU-IIIS プリスケアラレジスタ 1	ATPSCR1	H'0000	H'FFFF E102	16	21-31
	ATU-IIIS プリスケアラレジスタ 2	ATPSCR2	H'0000	H'FFFF E104	16	21-31
	ATU-IIIS プリスケアラレジスタ 3	ATPSCR3	H'0000	H'FFFF E106	16	21-31
タイマ A0	TA0 コントロールレジスタ	TA0CR	H'00	H'FFFF E202	8	21-35
	TA0I/O コントロールレジスタ 1	TA0IO1	H'0000	H'FFFF E204	16	21-36
	TA0I/O コントロールレジスタ 2	TA0IO2	H'0000	H'FFFF E206	16	21-37
	TA0 ステータスレジスタ	TA0SR	H'00	H'FFFF E208	8	21-39
	TA0 インタラプトイネーブルレジスタ	TA0IER	H'00	H'FFFF E209	8	21-41
	TA00 ノイズキャンセルカウンタ	TA00NCNT	H'00	H'FFFF E210	8	21-45
	TA00 ノイズキャンセルレジスタ	TA00NCR	H'00	H'FFFF E211	8	21-46
	TA01 ノイズキャンセルカウンタ	TA01NCNT	H'00	H'FFFF E212	8	21-45
	TA01 ノイズキャンセルレジスタ	TA01NCR	H'00	H'FFFF E213	8	21-46
	TA02 ノイズキャンセルカウンタ	TA02NCNT	H'00	H'FFFF E214	8	21-45
	TA02 ノイズキャンセルレジスタ	TA02NCR	H'00	H'FFFF E215	8	21-46

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ A0	TA03 ノイズキャンセルカウンタ	TA03NCNT	H'00	H'FFFF E216	8	21-45
	TA03 ノイズキャンセルレジスタ	TA03NCR	H'00	H'FFFF E217	8	21-46
	TA04 ノイズキャンセルカウンタ	TA04NCNT	H'00	H'FFFF E218	8	21-45
	TA04 ノイズキャンセルレジスタ	TA04NCR	H'00	H'FFFF E219	8	21-46
	TA0 フリーランニングカウンタ	TA0TCNT	H'0000 0000	H'FFFF E220	32	21-43
	TA00 インพุットキャプチャレジスタ	TA00ICR	H'0000 0000	H'FFFF E228	32	21-42
	TA01 インพุットキャプチャレジスタ	TA01ICR	H'0000 0000	H'FFFF E22C	32	21-42
	TA02 インพุットキャプチャレジスタ	TA02ICR	H'0000 0000	H'FFFF E230	32	21-42
	TA03 インพุットキャプチャレジスタ	TA03ICR	H'0000 0000	H'FFFF E234	32	21-42
	TA04 インพุットキャプチャレジスタ	TA04ICR	H'0000 0000	H'FFFF E238	32	21-42
タイマ A1	TA1 コントロールレジスタ	TA1CR	H'00	H'FFFF E302	8	21-35
	TA1I/O コントロールレジスタ 1	TA1IO1	H'0000	H'FFFF E304	16	21-36
	TA1I/O コントロールレジスタ 2	TA1IO2	H'0000	H'FFFF E306	16	21-37
	TA1 ステータスレジスタ	TA1SR	H'00	H'FFFF E308	8	21-39
	TA1 インタラプトイネーブルレジスタ	TA1IER	H'00	H'FFFF E309	8	21-41
	TA10 ノイズキャンセルカウンタ	TA10NCNT	H'00	H'FFFF E310	8	21-45
	TA10 ノイズキャンセルレジスタ	TA10NCR	H'00	H'FFFF E311	8	21-46
	TA11 ノイズキャンセルカウンタ	TA11NCNT	H'00	H'FFFF E312	8	21-45
	TA11 ノイズキャンセルレジスタ	TA11NCR	H'00	H'FFFF E313	8	21-46
	TA12 ノイズキャンセルカウンタ	TA12NCNT	H'00	H'FFFF E314	8	21-45
	TA12 ノイズキャンセルレジスタ	TA12NCR	H'00	H'FFFF E315	8	21-46
	TA14 ノイズキャンセルカウンタ	TA14NCNT	H'00	H'FFFF E318	8	21-45
	TA14 ノイズキャンセルレジスタ	TA14NCR	H'00	H'FFFF E319	8	21-46
	TA15 ノイズキャンセルカウンタ	TA15NCNT	H'00	H'FFFF E31A	8	21-45
	TA15 ノイズキャンセルレジスタ	TA15NCR	H'00	H'FFFF E31B	8	21-46
	TA1 フリーランニングカウンタ	TA1TCNT	H'0000 0000	H'FFFF E320	32	21-43
	TA10 インพุットキャプチャレジスタ	TA10ICR	H'0000 0000	H'FFFF E328	32	21-42
	TA11 インพุットキャプチャレジスタ	TA11ICR	H'0000 0000	H'FFFF E32C	32	21-42
	TA12 インพุットキャプチャレジスタ	TA12ICR	H'0000 0000	H'FFFF E330	32	21-42
	TA14 インพุットキャプチャレジスタ	TA14ICR	H'0000 0000	H'FFFF E338	32	21-42
	TA15 インพุットキャプチャレジスタ	TA15ICR	H'0000 0000	H'FFFF E33C	32	21-42
	タイマ F 共通制御部	TF スタートレジスタ	TFSTR	H'0000 0000	H'FFFF E400	32
TF ノイズキャンセラコントロールレジスタ		TFNCCR	H'0000 0000	H'FFFF E404	32	21-55
タイマ F0	TF0 ノイズキャンセルカウンタ A	TF0NCNTA	H'00	H'FFFF E410	8	21-72
	TF0 ノイズキャンセルレジスタ A	TF0NCRA	H'00	H'FFFF E411	8	21-74
	TF0 ノイズキャンセルカウンタ B	TF0NCNTB	H'00	H'FFFF E450	8	21-73

## 21. アドバンストタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ F0	TF0 ノイズキャンセルレジスタ B	TF0NCRB	H'00	H'FFFF E451	8	21-75
	TF0 コントロールレジスタ	TF0CR	H'00	H'FFFF E480	8	21-57
	TF0 インタラプトイネーブルレジスタ	TF0IER	H'00	H'FFFF E481	8	21-60
	TF0 ステータスレジスタ	TF0SR	H'00	H'FFFF E483	8	21-61
	TF0 時間計測カウンタ A	TF0ECNTA	H'0000 0000	H'FFFF E484	32	21-63
	TF0 イベントカウンタ	TF0ECNTB	H'0000	H'FFFF E488	16	21-64
	TF0 汎用レジスタ B	TF0GRB	H'FFFF	H'FFFF E48A	16	21-67
	TF0 時間計測カウンタ C	TF0ECNTC	H'0000 0000	H'FFFF E48C	32	21-65
	TF0 汎用レジスタ A	TF0GRA	H'FFFF FF00	H'FFFF E490	32	21-66
	TF0 キャプチャ出力レジスタ	TF0CDR	H'FFFF FF00	H'FFFF E494	32	21-70
	TF0 汎用レジスタ C	TF0GRC	H'FFFF FF00	H'FFFF E498	32	21-68
	TF0 汎用レジスタ D	TF0GRD	H'FFFF FF00	H'FFFF E49C	32	21-69
タイマ F1	TF1 ノイズキャンセルカウンタ A	TF1NCNTA	H'00	H'FFFF E412	8	21-72
	TF1 ノイズキャンセルレジスタ A	TF1NCRA	H'00	H'FFFF E413	8	21-74
	TF1 ノイズキャンセルカウンタ B	TF1NCNTB	H'00	H'FFFF E452	8	21-73
	TF1 ノイズキャンセルレジスタ B	TF1NCRB	H'00	H'FFFF E453	8	21-75
	TF1 コントロールレジスタ	TF1CR	H'00	H'FFFF E4A0	8	21-57
	TF1 インタラプトイネーブルレジスタ	TF1IER	H'00	H'FFFF E4A1	8	21-60
	TF1 ステータスレジスタ	TF1SR	H'00	H'FFFF E4A3	8	21-61
	TF1 時間計測カウンタ A	TF1ECNTA	H'0000 0000	H'FFFF E4A4	32	21-63
	TF1 イベントカウンタ	TF1ECNTB	H'0000	H'FFFF E4A8	16	21-64
	TF1 汎用レジスタ B	TF1GRB	H'FFFF	H'FFFF E4AA	16	21-67
	TF1 時間計測カウンタ C	TF1ECNTC	H'0000 0000	H'FFFF E4AC	32	21-65
	TF1 汎用レジスタ A	TF1GRA	H'FFFF FF00	H'FFFF E4B0	32	21-66
	TF1 キャプチャ出力レジスタ	TF1CDR	H'FFFF FF00	H'FFFF E4B4	32	21-70
	TF1 汎用レジスタ C	TF1GRC	H'FFFF FF00	H'FFFF E4B8	32	21-68
	TF1 汎用レジスタ D	TF1GRD	H'FFFF FF00	H'FFFF E4BC	32	21-69
タイマ F2	TF2 ノイズキャンセルカウンタ A	TF2NCNTA	H'00	H'FFFF E414	8	21-72
	TF2 ノイズキャンセルレジスタ A	TF2NCRA	H'00	H'FFFF E415	8	21-74
	TF2 ノイズキャンセルカウンタ B	TF2NCNTB	H'00	H'FFFF E454	8	21-73
	TF2 ノイズキャンセルレジスタ B	TF2NCRB	H'00	H'FFFF E455	8	21-75
	TF2 コントロールレジスタ	TF2CR	H'00	H'FFFF E4C0	8	21-57
	TF2 インタラプトイネーブルレジスタ	TF2IER	H'00	H'FFFF E4C1	8	21-60
	TF2 ステータスレジスタ	TF2SR	H'00	H'FFFF E4C3	8	21-61
	TF2 時間計測カウンタ A	TF2ECNTA	H'0000 0000	H'FFFF E4C4	32	21-63
	TF2 イベントカウンタ	TF2ECNTB	H'0000	H'FFFF E4C8	16	21-64

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ F2	TF2 汎用レジスタ B	TF2GRB	H'FFFF	H'FFFF E4CA	16	21-67
	TF2 時間計測カウンタ C	TF2ECNTC	H'0000 0000	H'FFFF E4CC	32	21-65
	TF2 汎用レジスタ A	TF2GRA	H'FFFF FF00	H'FFFF E4D0	32	21-66
	TF2 キャプチャ出力レジスタ	TF2CDR	H'FFFF FF00	H'FFFF E4D4	32	21-70
	TF2 汎用レジスタ C	TF2GRC	H'FFFF FF00	H'FFFF E4D8	32	21-68
	TF2 汎用レジスタ D	TF2GRD	H'FFFF FF00	H'FFFF E4DC	32	21-69
タイマ G 共通制御部	TG スタートレジスタ	TGSTR	H'00	H'FFFF E501	8	21-90
タイマ G0	TG0 コントロールレジスタ	TG0CR	H'00	H'FFFF E580	8	21-91
	TG0 ステータスレジスタ	TG0SR	H'00	H'FFFF E581	8	21-92
	TG0 カウンタ	TG0CNT	H'0000	H'FFFF E584	16	21-94
	TG0 コンペアマッチレジスタ	TG0OCR	H'FFFF	H'FFFF E586	16	21-95
タイマ G1	TG1 コントロールレジスタ	TG1CR	H'00	H'FFFF E590	8	21-91
	TG1 ステータスレジスタ	TG1SR	H'00	H'FFFF E591	8	21-92
	TG1 カウンタ	TG1CNT	H'0000	H'FFFF E594	16	21-94
	TG1 コンペアマッチレジスタ	TG1OCR	H'FFFF	H'FFFF E596	16	21-95
タイマ G2	TG2 コントロールレジスタ	TG2CR	H'00	H'FFFF E5A0	8	21-91
	TG2 ステータスレジスタ	TG2SR	H'00	H'FFFF E5A1	8	21-92
	TG2 カウンタ	TG2CNT	H'0000	H'FFFF E5A4	16	21-94
	TG2 コンペアマッチレジスタ	TG2OCR	H'FFFF	H'FFFF E5A6	16	21-95
タイマ G3	TG3 コントロールレジスタ	TG3CR	H'00	H'FFFF E5B0	8	21-91
	TG3 ステータスレジスタ	TG3SR	H'00	H'FFFF E5B1	8	21-92
	TG3 カウンタ	TG3CNT	H'0000	H'FFFF E5B4	16	21-94
	TG3 コンペアマッチレジスタ	TG3OCR	H'FFFF	H'FFFF E5B6	16	21-95
タイマ G4	TG4 コントロールレジスタ	TG4CR	H'00	H'FFFF E5C0	8	21-91
	TG4 ステータスレジスタ	TG4SR	H'00	H'FFFF E5C1	8	21-92
	TG4 カウンタ	TG4CNT	H'0000	H'FFFF E5C4	16	21-94
	TG4 コンペアマッチレジスタ	TG4OCR	H'FFFF	H'FFFF E5C6	16	21-95
タイマ G5	TG5 コントロールレジスタ	TG5CR	H'00	H'FFFF E5D0	8	21-91
	TG5 ステータスレジスタ	TG5SR	H'00	H'FFFF E5D1	8	21-92
	TG5 カウンタ	TG5CNT	H'0000	H'FFFF E5D4	16	21-94
	TG5 コンペアマッチレジスタ	TG5OCR	H'FFFF	H'FFFF E5D6	16	21-95
タイマ TOU0	TOU0 コントロールレジスタ	TO0CR	H'00	H'FFFF E600	8	21-102
	TOU0 タイマインタラプトイネーブルレジスタ	TO0IER	H'00	H'FFFF E601	8	21-103
	TOU0 出力コントロールレジスタ	TO0OUCR	H'00	H'FFFF E602	8	21-104
	TOU0 ステータスレジスタ	TO0SR	H'00	H'FFFF E603	8	21-105

21. アドバンストタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOUT0	TOUT0 カウントイネーブルプロテクトレジスタ	TO0CEPR	H'00	H'FFFF E604	8	21-106
	TOUT0 短絡防止機能用フリップフロップ出力 プロテクトレジスタ	TO0SHFFPR	H'00	H'FFFF E605	8	21-109
	TOUT0 フリップフロップ出力プロテクトレジスタ	TO0FFPR	H'00	H'FFFF E606	8	21-111
	TOUT0 カウントイネーブルレジスタ	TO0CENR	H'00	H'FFFF E608	8	21-107
	TOUT0 短絡防止機能用フリップフロップ出力 データレジスタ	TO0SHFFDR	H'00	H'FFFF E609	8	21-110
	TOUT0 フリップフロップ出力データレジスタ	TO0FFDR	H'00	H'FFFF E60A	8	21-112
	TOUT0 ノイズキャンセラコントロールレジスタ	TO0NCCR	H'00	H'FFFF E60C	8	21-113
	TOUT0 ノイズキャンセルカウンタ	TO0NCNT	H'00	H'FFFF E60E	8	21-116
	TOUT0 ノイズキャンセルレジスタ	TO0NCR	H'00	H'FFFF E60F	8	21-117
	TOUT0PWMOFF 入力処理レジスタ	TO0POCR	H'0000	H'FFFF E610	16	21-118
	TOUT0PWMOFF 機能許可レジスタ	TO0POER	H'00	H'FFFF E613	8	21-119
	TOUT0PWM 出力禁止制御レジスタ	TO0PODISCR	H'0000	H'FFFF E614	16	21-120
	TOUT0PWM 出力禁止レベル制御レジスタ	TO0POLVCR	H'00	H'FFFF E617	8	21-121
	TOUT00 モードコントロールレジスタ	TO00MCR	H'00	H'FFFF E620	8	21-123
	TOUT00 カウンタ	TO00CNT	H'0000 0000	H'FFFF E624	32	21-126、 21-129
	TOUT00 リロードレジスタ	TO00RLD	H'0000 0000	H'FFFF E628	32	21-132、 21-135
	TOUT01 モードコントロールレジスタ	TO01MCR	H'00	H'FFFF E630	8	21-123
	TOUT01 カウンタ	TO01CNT	H'0000 0000	H'FFFF E634	32	21-126、 21-129
	TOUT01 リロードレジスタ	TO01RLD	H'0000 0000	H'FFFF E638	32	21-132、 21-135
	TOUT02 モードコントロールレジスタ	TO02MCR	H'00	H'FFFF E640	8	21-123
	TOUT02 カウンタ	TO02CNT	H'0000 0000	H'FFFF E644	32	21-126、 21-129
	TOUT02 リロードレジスタ	TO02RLD	H'0000 0000	H'FFFF E648	32	21-132、 21-135
	TOUT03 モードコントロールレジスタ	TO03MCR	H'00	H'FFFF E650	8	21-123
	TOUT03 カウンタ	TO03CNT	H'0000 0000	H'FFFF E654	32	21-126、 21-129
	TOUT03 リロードレジスタ	TO03RLD	H'0000 0000	H'FFFF E658	32	21-132、 21-135
	TOUT04 モードコントロールレジスタ	TO04MCR	H'00	H'FFFF E660	8	21-123
	TOUT04 カウンタ	TO04CNT	H'0000 0000	H'FFFF E664	32	21-126、 21-129

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU0	TOU04 リロードレジスタ	TO04RLD	H'0000 0000	H'FFFF E668	32	21-132、 21-135
	TOU05 モードコントロールレジスタ	TO05MCR	H'00	H'FFFF E670	8	21-123
	TOU05 カウンタ	TO05CNT	H'0000 0000	H'FFFF E674	32	21-126、 21-129
	TOU05 リロードレジスタ	TO05RLD	H'0000 0000	H'FFFF E678	32	21-132、 21-135
	TOU06 モードコントロールレジスタ	TO06MCR	H'00	H'FFFF E680	8	21-123
	TOU06 カウンタ	TO06CNT	H'0000 0000	H'FFFF E684	32	21-126、 21-129
	TOU06 リロードレジスタ	TO06RLD	H'0000 0000	H'FFFF E688	32	21-132、 21-135
	TOU07 モードコントロールレジスタ	TO07MCR	H'00	H'FFFF E690	8	21-123
	TOU07 カウンタ	TO07CNT	H'0000 0000	H'FFFF E694	32	21-126、 21-129
	TOU07 リロードレジスタ	TO07RLD	H'0000 0000	H'FFFF E698	32	21-132、 21-135
タイマ TOU1	TOU1 コントロールレジスタ	TO1CR	H'00	H'FFFF E700	8	21-102
	TOU1 タイマインタラプトイネーブルレジスタ	TO1IER	H'00	H'FFFF E701	8	21-103
	TOU1 出力コントロールレジスタ	TO1OUCR	H'00	H'FFFF E702	8	21-104
	TOU1 ステータスレジスタ	TO1SR	H'00	H'FFFF E703	8	21-105
	TOU1 カウントイネーブルプロテクトレジスタ	TO1CEPR	H'00	H'FFFF E704	8	21-106
	TOU1 短絡防止機能用フリップフロップ出力 プロテクトレジスタ	TO1SHFFPR	H'00	H'FFFF E705	8	21-109
	TOU1 フリップフロップ出力プロテクトレジスタ	TO1FFPR	H'00	H'FFFF E706	8	21-111
	TOU1 カウントイネーブルレジスタ	TO1CENR	H'00	H'FFFF E708	8	21-107
	TOU1 短絡防止機能用フリップフロップ出力 データレジスタ	TO1SHFFDR	H'00	H'FFFF E709	8	21-110
	TOU1 フリップフロップ出力データレジスタ	TO1FFDR	H'00	H'FFFF E70A	8	21-112
	TOU1 ノイズキャンセラコントロールレジスタ	TO1NCCR	H'00	H'FFFF E70C	8	21-113
	TOU1 ノイズキャンセルカウンタ	TO1NCNT	H'00	H'FFFF E70E	8	21-116
	TOU1 ノイズキャンセルレジスタ	TO1NCR	H'00	H'FFFF E70F	8	21-117
	TOU1PWMOFF 入力処理レジスタ	TO1POCR	H'0000	H'FFFF E710	16	21-118
	TOU1PWMOFF 機能許可レジスタ	TO1POER	H'00	H'FFFF E713	8	21-119
	TOU1PWM 出力禁止制御レジスタ	TO1PODISCR	H'0000	H'FFFF E714	16	21-120
	TOU1PWM 出力禁止レベル制御レジスタ	TO1POLVCR	H'00	H'FFFF E717	8	21-121
TOU10 モードコントロールレジスタ	TO10MCR	H'00	H'FFFF E720	8	21-123	

21. アドバンストタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU1	TOU10 カウンタ	TO10CNT	H'0000 0000	H'FFFF E724	32	21-127、 21-129
	TOU10 リロードレジスタ	TO10RLD	H'0000 0000	H'FFFF E728	32	21-133、 21-136
	TOU11 モードコントロールレジスタ	TO11MCR	H'00	H'FFFF E730	8	21-123
	TOU11 カウンタ	TO11CNT	H'0000 0000	H'FFFF E734	32	21-127、 21-129
	TOU11 リロードレジスタ	TO11RLD	H'0000 0000	H'FFFF E738	32	21-133、 21-136
	TOU12 モードコントロールレジスタ	TO12MCR	H'00	H'FFFF E740	8	21-123
	TOU12 カウンタ	TO12CNT	H'0000 0000	H'FFFF E744	32	21-127、 21-129
	TOU12 リロードレジスタ	TO12RLD	H'0000 0000	H'FFFF E748	32	21-133、 21-136
	TOU13 モードコントロールレジスタ	TO13MCR	H'00	H'FFFF E750	8	21-123
	TOU13 カウンタ	TO13CNT	H'0000 0000	H'FFFF E754	32	21-127、 21-129
	TOU13 リロードレジスタ	TO13RLD	H'0000 0000	H'FFFF E758	32	21-133、 21-136
	TOU14 モードコントロールレジスタ	TO14MCR	H'00	H'FFFF E760	8	21-123
	TOU14 カウンタ	TO14CNT	H'0000 0000	H'FFFF E764	32	21-127、 21-129
	TOU14 リロードレジスタ	TO14RLD	H'0000 0000	H'FFFF E768	32	21-133、 21-136
	TOU15 モードコントロールレジスタ	TO15MCR	H'00	H'FFFF E770	8	21-123
	TOU15 カウンタ	TO15CNT	H'0000 0000	H'FFFF E774	32	21-127、 21-129
	TOU15 リロードレジスタ	TO15RLD	H'0000 0000	H'FFFF E778	32	21-133、 21-136
	TOU16 モードコントロールレジスタ	TO16MCR	H'00	H'FFFF E780	8	21-123
	TOU16 カウンタ	TO16CNT	H'0000 0000	H'FFFF E784	32	21-127、 21-129
	TOU16 リロードレジスタ	TO16RLD	H'0000 0000	H'FFFF E788	32	21-133、 21-136
	TOU17 モードコントロールレジスタ	TO17MCR	H'00	H'FFFF E790	8	21-123
	TOU17 カウンタ	TO17CNT	H'0000 0000	H'FFFF E794	32	21-127、 21-129



## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU1	TOU17 リロードレジスタ	TO17RLD	H'0000 0000	H'FFFF E798	32	21-133、 21-136
タイマ TOU2	TOU2 コントロールレジスタ	TO2CR	H'00	H'FFFF E800	8	21-102
	TOU2 タイマインタラプトイネーブルレジスタ	TO2IER	H'00	H'FFFF E801	8	21-103
	TOU2 出力コントロールレジスタ	TO2OUCR	H'00	H'FFFF E802	8	21-104
	TOU2 ステータスレジスタ	TO2SR	H'00	H'FFFF E803	8	21-105
	TOU2 カウントイネーブルプロテクトレジスタ	TO2CEPR	H'00	H'FFFF E804	8	21-106
	TOU2 短絡防止機能用フリップフロップ出力 プロテクトレジスタ	TO2SHFFPR	H'00	H'FFFF E805	8	21-109
	TOU2 フリップフロップ出力プロテクトレジスタ	TO2FFPR	H'00	H'FFFF E806	8	21-111
	TOU2 カウントイネーブルレジスタ	TO2CENR	H'00	H'FFFF E808	8	21-107
	TOU2 短絡防止機能用フリップフロップ出力 データレジスタ	TO2SHFFDR	H'00	H'FFFF E809	8	21-110
	TOU2 フリップフロップ出力データレジスタ	TO2FFDR	H'00	H'FFFF E80A	8	21-112
	TOU20 モードコントロールレジスタ	TO20MCR	H'00	H'FFFF E820	8	21-124
	TOU20 カウンタ	TO20CNT	H'0000 0000	H'FFFF E824	32	21-127、 21-130
	TOU20 リロードレジスタ	TO20RLD	H'0000 0000	H'FFFF E828	32	21-133、 21-136
	TOU21 モードコントロールレジスタ	TO21MCR	H'00	H'FFFF E830	8	21-124
	TOU21 カウンタ	TO21CNT	H'0000 0000	H'FFFF E834	32	21-127、 21-130
	TOU21 リロードレジスタ	TO21RLD	H'0000 0000	H'FFFF E838	32	21-133、 21-136
	TOU22 モードコントロールレジスタ	TO22MCR	H'00	H'FFFF E840	8	21-124
	TOU22 カウンタ	TO22CNT	H'0000 0000	H'FFFF E844	32	21-127、 21-130
	TOU22 リロードレジスタ	TO22RLD	H'0000 0000	H'FFFF E848	32	21-133、 21-136
	TOU23 モードコントロールレジスタ	TO23MCR	H'00	H'FFFF E850	8	21-124
TOU23 カウンタ	TO23CNT	H'0000 0000	H'FFFF E854	32	21-127、 21-130	
TOU23 リロードレジスタ	TO23RLD	H'0000 0000	H'FFFF E858	32	21-133、 21-136	
TOU24 モードコントロールレジスタ	TO24MCR	H'00	H'FFFF E860	8	21-124	
TOU24 カウンタ	TO24CNT	H'0000 0000	H'FFFF E864	32	21-127、 21-130	

## 21. アドバンストタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU2	TOU24 リロードレジスタ	TO24RLD	H'0000 0000	H'FFFF E868	32	21-133、 21-136
	TOU25 モードコントロールレジスタ	TO25MCR	H'00	H'FFFF E870	8	21-124
	TOU25 カウンタ	TO25CNT	H'0000 0000	H'FFFF E874	32	21-127、 21-130
	TOU25 リロードレジスタ	TO25RLD	H'0000 0000	H'FFFF E878	32	21-133、 21-136
	TOU26 モードコントロールレジスタ	TO26MCR	H'00	H'FFFF E880	8	21-124
	TOU26 カウンタ	TO26CNT	H'0000 0000	H'FFFF E884	32	21-127、 21-130
	TOU26 リロードレジスタ	TO26RLD	H'0000 0000	H'FFFF E888	32	21-133、 21-136
	TOU27 モードコントロールレジスタ	TO27MCR	H'00	H'FFFF E890	8	21-124
	TOU27 カウンタ	TO27CNT	H'0000 0000	H'FFFF E894	32	21-127、 21-130
	TOU27 リロードレジスタ	TO27RLD	H'0000 0000	H'FFFF E898	32	21-133、 21-136
タイマ TOU3	TOU3 コントロールレジスタ	TO3CR	H'00	H'FFFF E900	8	21-102
	TOU3 タイマインタラプトイネーブルレジスタ	TO3IER	H'00	H'FFFF E901	8	21-103
	TOU3 出力コントロールレジスタ	TO3OUCR	H'00	H'FFFF E902	8	21-104
	TOU3 ステータスレジスタ	TO3SR	H'00	H'FFFF E903	8	21-105
	TOU3 カウントイネーブルプロテクトレジスタ	TO3CEPR	H'00	H'FFFF E904	8	21-106
	TOU3 短絡防止機能用フリップフロップ出力 プロテクトレジスタ	TO3SHFFPR	H'00	H'FFFF E905	8	21-109
	TOU3 フリップフロップ出力プロテクトレジスタ	TO3FFPR	H'00	H'FFFF E906	8	21-111
	TOU3 カウントイネーブルレジスタ	TO3CENR	H'00	H'FFFF E908	8	21-107
	TOU3 短絡防止機能用フリップフロップ出力 データレジスタ	TO3SHFFDR	H'00	H'FFFF E909	8	21-110
	TOU3 フリップフロップ出力データレジスタ	TO3FFDR	H'00	H'FFFF E90A	8	21-112
	TOU3 ノイズキャンセラコントロールレジスタ	TO3NCCR	H'00	H'FFFF E90C	8	21-113
	TOU3 ノイズキャンセルカウンタ	TO3NCNT	H'00	H'FFFF E90E	8	21-116
	TOU3 ノイズキャンセルレジスタ	TO3NCR	H'00	H'FFFF E90F	8	21-117
	TOU3PWMOFF 入力処理レジスタ	TO3POCR	H'0000	H'FFFF E910	16	21-118
	TOU3PWMOFF 機能許可レジスタ	TO3POER	H'00	H'FFFF E913	8	21-119
	TOU3PWM 出力禁止制御レジスタ	TO3PODISCR	H'0000	H'FFFF E914	16	21-120
	TOU3PWM 出力禁止レベル制御レジスタ	TO3POLVCR	H'00	H'FFFF E917	8	21-121
TOU30 モードコントロールレジスタ	TO30MCR	H'00	H'FFFF E920	8	21-124	

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU3	TOU30 カウンタ	TO30CNT	H'0000 0000	H'FFFF E924	32	21-128、 21-130
	TOU30 リロードレジスタ	TO30RLD	H'0000 0000	H'FFFF E928	32	21-134、 21-137
	TOU31 モードコントロールレジスタ	TO31MCR	H'00	H'FFFF E930	8	21-124
	TOU31 カウンタ	TO31CNT	H'0000 0000	H'FFFF E934	32	21-128、 21-130
	TOU31 リロードレジスタ	TO31RLD	H'0000 0000	H'FFFF E938	32	21-134、 21-137
	TOU32 モードコントロールレジスタ	TO32MCR	H'00	H'FFFF E940	8	21-124
	TOU32 カウンタ	TO32CNT	H'0000 0000	H'FFFF E944	32	21-128、 21-130
	TOU32 リロードレジスタ	TO32RLD	H'0000 0000	H'FFFF E948	32	21-134、 21-137
	TOU33 モードコントロールレジスタ	TO33MCR	H'00	H'FFFF E950	8	21-124
	TOU33 カウンタ	TO33CNT	H'0000 0000	H'FFFF E954	32	21-128、 21-130
	TOU33 リロードレジスタ	TO33RLD	H'0000 0000	H'FFFF E958	32	21-134、 21-137
	TOU34 モードコントロールレジスタ	TO34MCR	H'00	H'FFFF E960	8	21-124
	TOU34 カウンタ	TO34CNT	H'0000 0000	H'FFFF E964	32	21-128、 21-130
	TOU34 リロードレジスタ	TO34RLD	H'0000 0000	H'FFFF E968	32	21-134、 21-137
	TOU35 モードコントロールレジスタ	TO35MCR	H'00	H'FFFF E970	8	21-124
	TOU35 カウンタ	TO35CNT	H'0000 0000	H'FFFF E974	32	21-128、 21-130
	TOU35 リロードレジスタ	TO35RLD	H'0000 0000	H'FFFF E978	32	21-134、 21-137
	TOU36 モードコントロールレジスタ	TO36MCR	H'00	H'FFFF E980	8	21-124
	TOU36 カウンタ	TO36CNT	H'0000 0000	H'FFFF E984	32	21-128、 21-130
	TOU36 リロードレジスタ	TO36RLD	H'0000 0000	H'FFFF E988	32	21-134、 21-137
	TOU37 モードコントロールレジスタ	TO37MCR	H'00	H'FFFF E990	8	21-124
	TOU37 カウンタ	TO37CNT	H'0000 0000	H'FFFF E994	32	21-128、 21-130

## 21. アドバンストタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU3	TOU37 リロードレジスタ	TO37RLD	H'0000 0000	H'FFFF E998	32	21-134、 21-137
タイマ TOU4	TOU4 コントロールレジスタ	TO4CR	H'00	H'FFFF EA00	8	21-102
	TOU4 タイマインタラプトイネーブルレジスタ	TO4IER	H'00	H'FFFF EA01	8	21-103
	TOU4 出力コントロールレジスタ	TO4OUCR	H'00	H'FFFF EA02	8	21-104
	TOU4 ステータスレジスタ	TO4SR	H'00	H'FFFF EA03	8	21-105
	TOU4 カウントイネーブルプロテクトレジスタ	TO4CEPR	H'00	H'FFFF EA04	8	21-106
	TOU4 短絡防止機能用フリップフロップ出力 プロテクトレジスタ	TO4SHFFPR	H'00	H'FFFF EA05	8	21-109
	TOU4 フリップフロップ出力プロテクトレジスタ	TO4FFPR	H'00	H'FFFF EA06	8	21-111
	TOU4 カウントイネーブルレジスタ	TO4CENR	H'00	H'FFFF EA08	8	21-107
	TOU4 短絡防止機能用フリップフロップ出力 データレジスタ	TO4SHFFDR	H'00	H'FFFF EA09	8	21-110
	TOU4 フリップフロップ出力データレジスタ	TO4FFDR	H'00	H'FFFF EA0A	8	21-112
	TOU4 ノイズキャンセラコントロールレジスタ	TO4NCCR	H'00	H'FFFF EA0C	8	21-113
	TOU4 ノイズキャンセルカウンタ	TO4NCNT	H'00	H'FFFF EA0E	8	21-116
	TOU4 ノイズキャンセルレジスタ	TO4NCR	H'00	H'FFFF EA0F	8	21-117
	TOU4PWMOFF 入力処理レジスタ	TO4POCR	H'0000	H'FFFF EA10	16	21-118
	TOU4PWMOFF 機能許可レジスタ	TO4POER	H'00	H'FFFF EA13	8	21-119
	TOU4PWM 出力禁止制御レジスタ	TO4PODISCR	H'0000	H'FFFF EA14	16	21-120
	TOU4PWM 出力禁止レベル制御レジスタ	TO4POLVCR	H'00	H'FFFF EA17	8	21-121
	TOU40 モードコントロールレジスタ	TO40MCR	H'00	H'FFFF EA20	8	21-124
	TOU40 カウンタ	TO40CNT	H'0000 0000	H'FFFF EA24	32	21-128、 21-131
	TOU40 リロードレジスタ	TO40RLD	H'0000 0000	H'FFFF EA28	32	21-134、 21-137
	TOU41 モードコントロールレジスタ	TO41MCR	H'00	H'FFFF EA30	8	21-124
	TOU41 カウンタ	TO41CNT	H'0000 0000	H'FFFF EA34	32	21-128、 21-131
	TOU41 リロードレジスタ	TO41RLD	H'0000 0000	H'FFFF EA38	32	21-134、 21-137
TOU42 モードコントロールレジスタ	TO42MCR	H'00	H'FFFF EA40	8	21-124	
TOU42 カウンタ	TO42CNT	H'0000 0000	H'FFFF EA44	32	21-128、 21-131	
TOU42 リロードレジスタ	TO42RLD	H'0000 0000	H'FFFF EA48	32	21-134、 21-137	
TOU43 モードコントロールレジスタ	TO43MCR	H'00	H'FFFF EA50	8	21-124	

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

項目	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
タイマ TOU4	TOU43 カウンタ	TO43CNT	H'0000 0000	H'FFFF EA54	32	21-128、 21-131
	TOU43 リロードレジスタ	TO43RLD	H'0000 0000	H'FFFF EA58	32	21-134、 21-137
	TOU44 モードコントロールレジスタ	TO44MCR	H'00	H'FFFF EA60	8	21-124
	TOU44 カウンタ	TO44CNT	H'0000 0000	H'FFFF EA64	32	21-128、 21-131
	TOU44 リロードレジスタ	TO44RLD	H'0000 0000	H'FFFF EA68	32	21-134、 21-137
	TOU45 モードコントロールレジスタ	TO45MCR	H'00	H'FFFF EA70	8	21-124
	TOU45 カウンタ	TO45CNT	H'0000 0000	H'FFFF EA74	32	21-128、 21-131
	TOU45 リロードレジスタ	TO45RLD	H'0000 0000	H'FFFF EA78	32	21-134、 21-137
	TOU46 モードコントロールレジスタ	TO46MCR	H'00	H'FFFF EA80	8	21-124
	TOU46 カウンタ	TO46CNT	H'0000 0000	H'FFFF EA84	32	21-128、 21-131
	TOU46 リロードレジスタ	TO46RLD	H'0000 0000	H'FFFF EA88	32	21-134、 21-137
	TOU47 モードコントロールレジスタ	TO47MCR	H'00	H'FFFF EA90	8	21-124
	TOU47 カウンタ	TO47CNT	H'0000 0000	H'FFFF EA94	32	21-128、 21-131
	TOU47 リロードレジスタ	TO47RLD	H'0000 0000	H'FFFF EA98	32	21-134、 21-137

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 21.5 共通制御部の概要

共通制御部は、ATU-IIIS モジュール全体にかかわる動作を制御します。プリスケアラやタイマ A、F、G、TOU の各ブロックのタイマカウンタ動作許可/禁止の制御、クロックバスの制御がこれに該当します。

### 21.5.1 クロックバス

クロックバスは、タイマの各チャネルのカウンタソースとなるクロック信号（カウントイネーブル信号）を分配するためのものであり、5本の信号線によって構成されています。各タイマカウンタのカウンタ動作は、周辺クロック（Pck）に同期して行われます。クロックバス上の信号は、これらカウンタに対するカウントイネーブル信号として作用します。

表 21.5 に各クロックバスに入力可能な信号を示します。

表 21.5 各クロックバスに入力可能な信号

クロックバスビット番号	入力可能信号
5	外部クロック入力 B (TCLKB)
4	本 MCU はサポートしていませんので設定しないでください。
3	プリスケアラ 3 出力
2	プリスケアラ 2 出力
1	プリスケアラ 1 出力
0	プリスケアラ 0 出力

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.6 共通制御部のレジスタの説明

#### 21.6.1 ATU-IIIS マスタイネーブルレジスタ (ATUENR)

ATUENR レジスタは、ATU-IIIS モジュールに含まれる各タイマのカウント動作を制御します。対応するイネーブルビットがセットされている場合に各タイマは所定の動作を行います。対応するイネーブルビットがクリアされている場合、これらのタイマはカウント動作を行いません。ただし、イネーブルビットがクリアされている場合にも、対応するタイマの各レジスタをアクセスすることはできます。

本レジスタの複数のビットを同時にセットすることで、セットしたタイマ同士の同期をとることができます。ただし、動作中に他のサブブロックの動作を止めることなく、特定のサブブロックの同期をとり直すことはできません。

ATU-IIISマスタイネーブルレジスタ (ATUENR)

<P4領域アドレス : H'FFFF E000番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTE	—	—	—	—	—	—	—	TGE	TFE	—	—	—	—	TAE	PSCE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	TTE	0	R	W	<p>タイマ TOU イネーブルビット</p> <p>タイマ TOU0~4 のカウンタを動作させるか、停止させるかを設定します。停止時はカウンタ値をそのまま保持し、再度 TTE ビットを"1"にセットした場合には、その値から動作を再開します。ただし、動作モード、クロックソース、およびカウントイネーブル要因などの変更はしないでください。</p> <p>0 : タイマ TOU0~4 のカウント動作を停止</p> <p>1 : タイマ TOU0~4 のカウント動作を許可</p>
14~8	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
7	TGE	0	R	W	<p>タイマ G イネーブルビット</p> <p>タイマ G のカウンタを動作させるか、停止させるかを設定します。停止時はカウンタ値をそのまま保持し、再度 TGE ビットを"1"にセットした場合には、その値から動作を再開します。ただし、タイマ G スタートレジスタの対応ビットがセットされていない場合、TGE ビットがセットされても、そのサブブロックのカウンタは動作しません。</p> <p>0 : タイマ G のカウント動作を停止</p> <p>1 : タイマ G のカウント動作を許可</p>

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
6	TFE	0	R	W	<p>タイマ F イネーブルビット</p> <p>タイマ F のカウンタを動作させるか、停止させるかを設定します。</p> <p>停止時はカウンタ値をそのまま保持し、再度 TFE ビットを"1"にセットした場合には、その値から動作を再開します。ただし、タイマ F スタートレジスタの対応ビットがセットされていない場合、TFE ビットがセットされても、そのサブブロックのカウンタは動作しません。</p> <p>0 : タイマ F のカウント動作を停止 1 : タイマ F のカウント動作を許可</p>
5~2	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
1	TAE	0	R	W	<p>タイマ A<sub>i</sub> イネーブルビット</p> <p>タイマ A<sub>i</sub> のカウンタを動作させるか、停止させるかを設定します。</p> <p>停止時はカウンタ値をそのまま保持し、再度 TAE ビットを"1"にセットした場合には、その値から動作を再開します。</p> <p>0 : タイマ A<sub>i</sub> のカウント動作を停止 1 : タイマ A<sub>i</sub> のカウント動作を許可</p>
0	PSCE	0	R	W	<p>プリスケラ イネーブルビット</p> <p>プリスケラのカウンタを動作させるか、停止させるかを設定します。</p> <p>停止時はカウンタ値をそのまま保持し、再度 PSCE ビットを"1"にセットした場合には、その値から動作を再開します。</p> <p>0 : プリスケラのカウント動作を停止 1 : プリスケラのカウント動作を許可</p>



## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.6.2 ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT)

ATCBCNT レジスタは、クロックバスに供給するクロックソースの選択と外部クロックを選択した場合のエッジを選択します。

ATU-IIISクロックバスコントロールレジスタ (ATCBCNT)

<P4領域アドレス : H'FFFF E002番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CB5EG	
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1, 0	CB5EG	00	R	W	クロックバス5エッジセレクトビット クロックバス5に出力する外部クロック入力B (TCLKB) のエッジを選択します。クロックバス5をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。ただし、本ビットはクロックバス5ソースクロックにTCLKBを選択した場合にのみ有効です。  00 : 外部クロックのエッジ検出をしない 01 : 外部クロックの立ち上がりエッジ 10 : 外部クロックの立ち下がりエッジ 11 : 外部クロックの立ち上がり/立ち下がりの両エッジ

## 21.6.3 ATU-IIIS ノイズキャンセルモードレジスタ (ATNCMR)

ATNCMR レジスタは、タイマ A、F、TOU にあるノイズキャンセラの動作モードおよびカウントクロックを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

それぞれ期間の指定は、各ブロック (タイマ A、F、TOU) のノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 21.3 に後続エッジキャンセルモード、図 21.4 に先行エッジキャンセルモードでのノイズキャンセル動作 (タイマ A の TIA00 入力の例) の概略を示します。

各タイマ (A、F、TOU) は、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。図 21.3 と図 21.4 は、それぞれノイズキャンセラ通過後の信号に対して立ち上がりエッジ検出を行う場合の例を示しています。

ATU-IIISノイズキャンセルモードレジスタ (ATNCMR)

<P4領域アドレス : H'FFFF E003番地>

ビット :

7	6	5	4	3	2	1	0
NCCSEL	NCMT	—	—	—	NCMF	—	NCMA

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	NCCSEL	0	R	W	ノイズキャンセラカウントクロックセレクトビット ノイズキャンセラのカウントクロックを設定します。周辺クロック (Pck) の 128 分周と周辺クロックのいずれかを選択可能です。初期設定は 128 分周です。タイマごとに異なる動作カウントクロックを設定することはできません。クロックバス 5 もカウントソースに選択することが可能です。設定は「21.11.3 TAI/O コントロールレジスタ 2 (TAIO2)」を参照してください。 0 : 周辺クロック (Pck) の 128 分周でカウントアップ 1 : 周辺クロック (Pck) でカウントアップ
6	NCMT	0	R	W	タイマ TOU ノイズキャンセルモードビット タイマ TOU のノイズキャンセラの動作モードを設定します。タイマ TOU のチャンネルごとに異なる動作モードを設定することはできません。 0 : 後続エッジキャンセルモード 1 : 先行エッジキャンセルモード
5~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
2	NCMF	0	R	W	<p>タイマFノイズキャンセルモードビット</p> <p>タイマFのノイズキャンセラの動作モードを設定します。タイマFのチャンネルごとに異なる動作モードを設定することはできません。</p> <p>0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード</p>
1	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
0	NCMA	0	R	W	<p>タイマAノイズキャンセルモードビット</p> <p>タイマAのノイズキャンセラの動作モードを設定します。タイマAのチャンネルごとに異なる動作モードを設定することはできません。</p> <p>0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード</p>

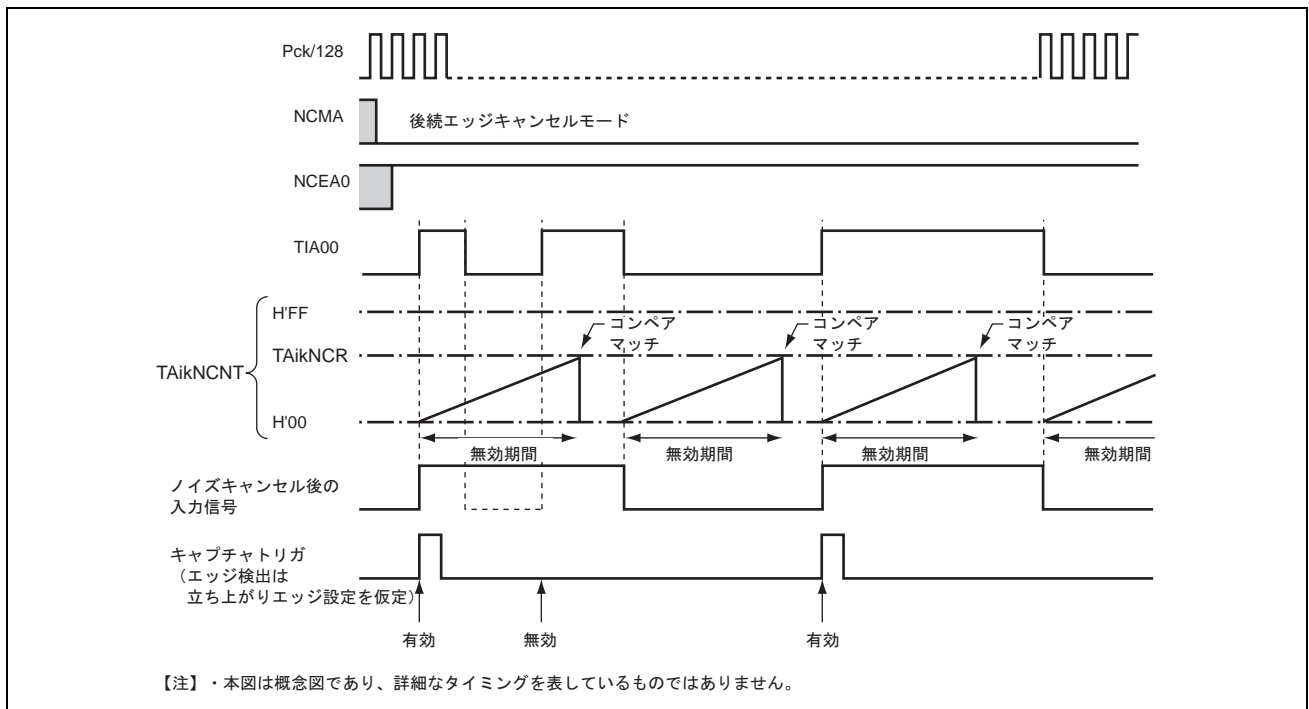


図 21.3 後続エッジキャンセルモードでのノイズキャンセル動作の概略図

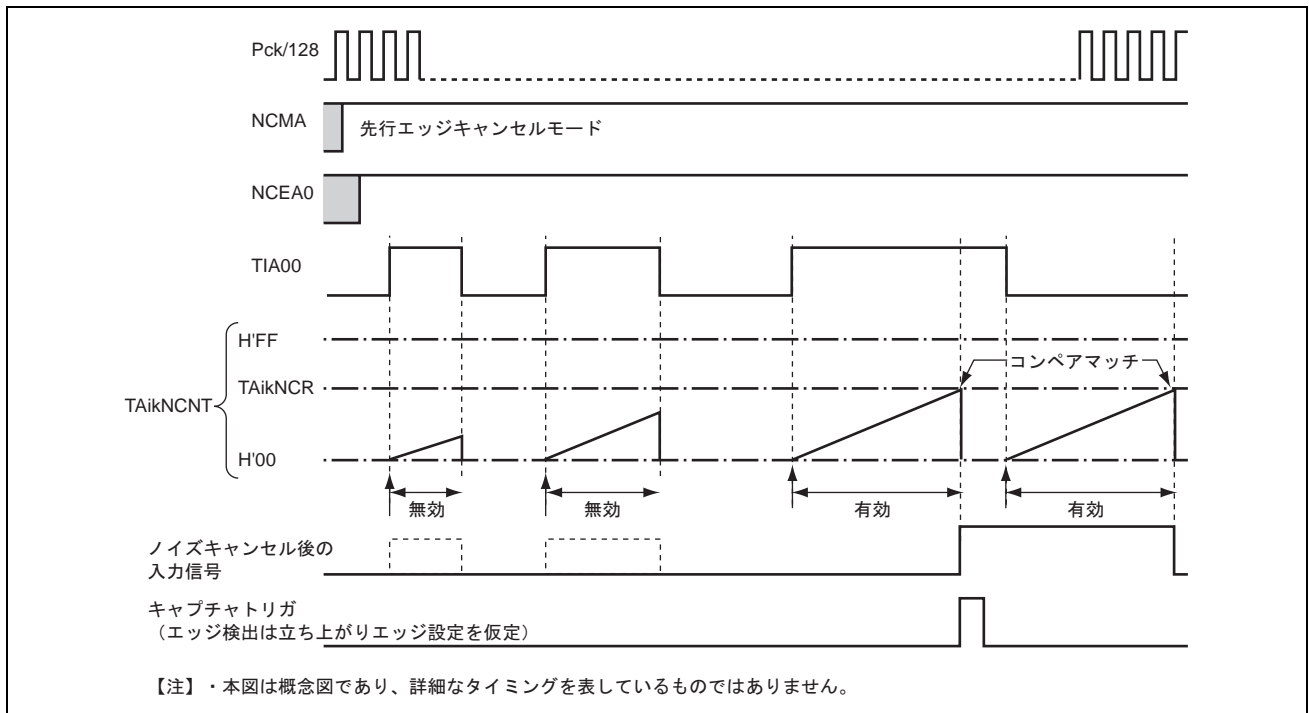


図 21.4 先行エッジキャンセルモードでのノイズキャンセル動作の概略図

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.6.4 ATU-IIIS インタラプトセレクトレジスタ Ai (ATISRAi)

ATISRAi レジスタは、TAi フリーランニングカウンタ (TAiTCNT) の TAik インพุットキャプチャレジスタ (TAikICR) のインพุットキャプチャによる割り込み要求を、INTC または DMAC のどちらへ出力するかを選択します。また、DMAC を選択することにより、このインพุットキャプチャによる割り込み要求で、DMAC の起動が可能です。

ATU-IIIS インタラプトセレクトレジスタ A0 (ATISRA0)  
ATU-IIIS インタラプトセレクトレジスタ A1 (ATISRA1)

<P4領域アドレス : H'FFFF E010番地>  
<P4領域アドレス : H'FFFF E011番地>

ビット :        7    6    5    4    3    2    1    0  

—	—	IRSEL	IRSEL	IRSEL	IRSEL	IRSEL	IRSEL
		Ai5	Ai4	Ai3	Ai2	Ai1	Ai0

  
リセット後の値 :    0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7, 6	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	IRSELAi5	0	R	W	割り込み要求選択ビット Aik TAISR レジスタの ICFak ビットが"1"にセットされているとき、ICFAk ビットによる割り込み要求の出力を INTC または DMAC のどちらへ出力するかを選択します。 タイマ A1 チャンネル 0~5 には、DMA 転送要求要因はないため、ATISRA1. IRSELA10~IRSELA15 ビットには常に"0"を書き込んでください。 0 : インพุットキャプチャ割り込み要求を INTC へ出力 1 : インพุットキャプチャ割り込み要求を DMAC へ出力
4	IRSELAi4	0	R	W	
3	IRSELAi3	0	R	W	
2	IRSELAi2	0	R	W	
1	IRSELAi1	0	R	W	
0	IRSELAi0	0	R	W	

【記号説明】 i=0, 1, k=0~5

## 21.6.5 ATU-IIIS インタラプトセレクトレジスタ F (ATISRF)

ATISRF レジスタは、TFjSR レジスタの ICFFj ビットによるインプットキャプチャ割り込みを、INTC または DMAC のどちらへ出力するかを選択します。また、DMAC を選択することにより、このインプットキャプチャによる割り込み要求で、DMAC の起動が可能です。

ATU-IIISインタラプトセレクトレジスタ F (ATISRF)

&lt;P4領域アドレス : H'FFFF E014番地&gt;

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	IRSELF2	IRSELF1	IRSELF0
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	IRSELF2	0	R	0	割り込み要求選択ビット Fj
1	IRSELF1	0	R	W	ICFFj ビットによるインプットキャプチャ割り込みを、INTC または DMAC のどちらへ出力するかを選択します。 タイマ F2 には、DMA 転送要求要因はないため、IRSELF2 ビットには常に"0"を書き込んでください。 0 : インプットキャプチャ割り込み要求を INTC へ出力 1 : インプットキャプチャ割り込み要求を DMAC へ出力
0	IRSELF0	0	R	W	

【記号説明】 j=0~2 : サブブロック F0~F2 に対応

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.6.6 ATU-IIIS インタラプトセレクトレジスタ G (ATISRG)

ATISRG レジスタは、TGk コンペアマッチレジスタ (TGkOCR) のコンペアマッチによる割り込み要求を、INTC または DMAC のどちらへ出力するかを選択します。また、DMAC を選択することにより、このコンペアマッチ割り込み要求で、DMAC の起動が可能です。

ATU-IIISインタラプトセレクトレジスタG (ATISRG)

<P4領域アドレス : H'FFFF E018番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	IRSEL G5	IRSEL G4	IRSEL G3	IRSEL G2	IRSEL G1	IRSEL G0
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	IRSELG5	0	R	W	割り込み要求選択ビット Gk TGkSR レジスタの CMFGk ビットが"1"にセットされているとき、CMFGk ビットによる割り込み要求の出力を、INTC または DMAC のどちらへ出力するかを選択します。また、DMAC を選択している状態で DMAC を設定することにより、割り込み要求による DMAC の起動ができます。 タイマ G0~G2 には、DMA 転送要求要因はないため、IRSELG0~IRSELG2 ビットには常に"0"を書き込んでください。 0 : コンペアマッチ割り込み要求を INTC へ出力 1 : コンペアマッチ割り込み要求を DMAC へ出力
4	IRSELG4	0	R	W	
3	IRSELG3	0	R	W	
2	IRSELG2	0	R	0	
1	IRSELG1	0	R	0	
0	IRSELG0	0	R	0	

【記号説明】 k=0~5 : サブブロック G0~G5 に対応

## 21.6.7 ATU-IIIS インタラプトセレクトレジスタ TOU0~4 (ATISRT0~4)

ATISRT0~4 レジスタは、タイマカウンタ TOU00~47 のアンダフローによる割り込み要求を、INTC または DMAC のどちらへ出力するかを選択します。また、DMAC を選択することにより、割り込み要求で、DMAC の起動が可能です。

ATU-IIISインタラプトセレクトレジスタTOU0 (ATISRT0)  
 ATU-IIISインタラプトセレクトレジスタTOU1 (ATISRT1)  
 ATU-IIISインタラプトセレクトレジスタTOU2 (ATISRT2)  
 ATU-IIISインタラプトセレクトレジスタTOU3 (ATISRT3)  
 ATU-IIISインタラプトセレクトレジスタTOU4 (ATISRT4)

<P4領域アドレス : H'FFFF E020番地>  
 <P4領域アドレス : H'FFFF E021番地>  
 <P4領域アドレス : H'FFFF E022番地>  
 <P4領域アドレス : H'FFFF E023番地>  
 <P4領域アドレス : H'FFFF E024番地>

ビット :     7     6     5     4     3     2     1     0  

IRSEL	IRSEL	IRSEL	IRSEL	IRSEL	IRSEL	IRSEL	IRSEL
Tn7	Tn6	Tn5	Tn4	Tn3	Tn2	Tn1	Tn0

リセット後の値 :   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	IRSEL <sub>Tn7</sub>	0	R	W	割り込み要求選択ビット Tnk タイマカウンタ TOU00~TOU47 のアンダフローによる割り込み要求を、INTC または DMAC のどちらへ出力するかを選択します。 タイマ TOUn_1~TOUn_6 には、DMA 転送要求要因はないため、IRSEL <sub>Tn1</sub> ~IRSEL <sub>Tn6</sub> ビットには常に"0"を書き込んでください。 0 : アンダフロー割り込み要求を INTC へ出力 1 : アンダフロー割り込み要求を DMAC へ出力
6	IRSEL <sub>Tn6</sub>	0	R	0	
5	IRSEL <sub>Tn5</sub>	0	R	0	
4	IRSEL <sub>Tn4</sub>	0	R	0	
3	IRSEL <sub>Tn3</sub>	0	R	0	
2	IRSEL <sub>Tn2</sub>	0	R	0	
1	IRSEL <sub>Tn1</sub>	0	R	0	
0	IRSEL <sub>Tn0</sub>	0	R	W	

【記号説明】 n=0~4、k=0~7



### 21.7 プリスケーラの概要

ATU-IIIS は、4 チャンネルの汎用プリスケーラとノイズキャンセルクロック用プリスケーラ 1 本を内蔵しています。

汎用プリスケーラは 10 ビットのダウンカウンタによって構成されており、周辺クロック (Pck) を  $1/N$  ( $1 \leq N \leq 1024$ ) に分周して新しいクロックを生成します。

プリスケーラの分周比は以下の計算式で計算されます。

- プリスケーラの分周比の計算式

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCn}[9:0] + 1} \quad (\text{分周設定範囲: } 1/1 \sim 1/1024)$$

また、プリスケーラの出力するクロックは、50%のデューティを保証していません。Pck クロックの 1 サイクル期間のみ "H" レベルであり、残りの期間はすべて "L" レベルとなります。分周比を 1/1 に指定した場合、クロックバスには常に "H" レベルの信号が出力されます。生成されたクロックは、クロックバスを介して各タイムに供給されます。各チャンネルのプリスケーラは互いに独立に動作可能です。リセット後にかぎり、プリスケーラの各チャンネルの設定後に ATUENR レジスタの PSCE ビットを "1" にセットすることで、チャンネル間の同期をとったスタートが可能です。動作開始後にプリスケーラの分周比を切り替え、かつ各チャンネルの同期をとることはできません。

一方、ノイズキャンセルクロック用プリスケーラは 7 ビットのダウンカウンタによって構成されており、周辺クロック (Pck) を 1/128 に分周してクロックを生成します。生成されたノイズキャンセルクロックは、タイマ A、F、TOU に供給されます。

ノイズキャンセル用クロックは、共通制御部の ATNCMR レジスタの NCCSEL ビットにより、周辺クロックの 1/1 分周または 1/128 分周から選択可能です。分周比設定用レジスタは設けておりません。

プリスケーラのダウンカウンタは、ハードウェアリセット時に H'000 に初期化されます。

## 21.8 プリスケーラのレジスタの説明

### 21.8.1 ATU-IIIS プリスケーラレジスタ 0~3 (ATPSCR0~3)

ATPSCR0~3 レジスタは、4 チャンネルのプリスケーラに 1 個ずつ用意されており、プリスケーラの分周比を設定します。

プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。設定値として、"H'000"から"H'3FF"の範囲の値を設定できます。

ATU-IIISプリスケーラレジスタ0 (ATPSCR0)	<P4領域アドレス : H'FFFF E100番地>
ATU-IIISプリスケーラレジスタ1 (ATPSCR1)	<P4領域アドレス : H'FFFF E102番地>
ATU-IIISプリスケーラレジスタ2 (ATPSCR2)	<P4領域アドレス : H'FFFF E104番地>
ATU-IIISプリスケーラレジスタ3 (ATPSCR3)	<P4領域アドレス : H'FFFF E106番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PSC									
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9~0	PSC	すべて 0	R	W	分周比 プリスケーラの分周比を設定します。

## 21.9 プリスケーラの動作説明

### 21.9.1 動作の開始

プリスケーラは、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の PSCE ビットが "1" にセットされると動作を開始し、PSC ビットに指定された分周比のクロックを生成します。プリスケーラの動作中、クロックには、カウンタのアンダフローに同期して、Pck クロックの 1 周期分の "H" レベルが出力されます。

動作中に PSC ビットの値が変更された場合、カウンタのアンダフローに同期して出力クロックの分周比が切り替わります。

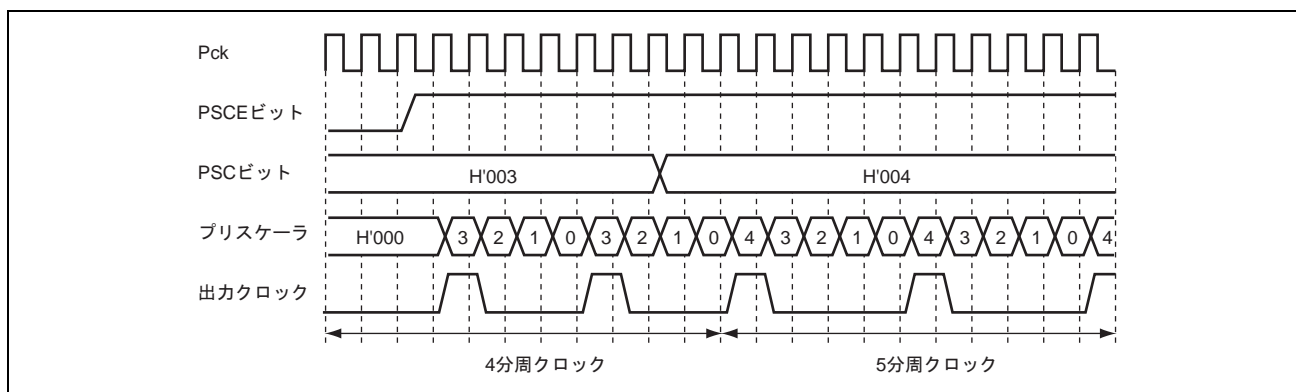


図 21.5 プリスケーラの動作開始

### 21.9.2 動作の停止と再開

プリスケーラは、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の PSCE ビットが "0" にクリアされると動作を停止します。停止期間中、クロックには "L" レベルが出力されます。また、停止期間中は、停止時のカウンタ値をそのまま保持します。再度 PSCE ビットを "1" にセットすると、停止時の値から動作を再開します。

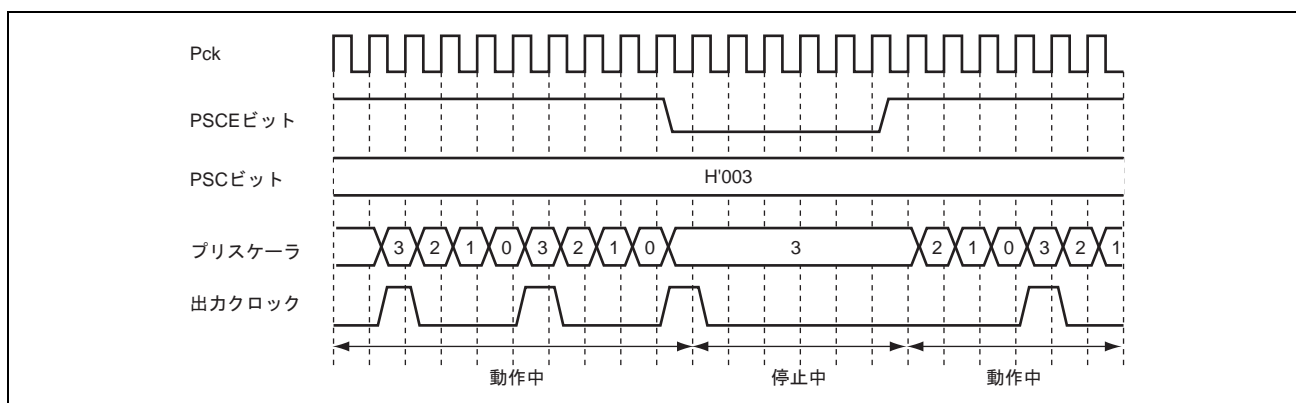


図 21.6 プリスケーラの動作停止

### 21.10 タイマ A の概要

本 MCU の ATU-IIIS は 5 チャンネルのタイマ A を 2 系統備えています。

タイマ A は TAI フリーランニングカウンタ (TAiTCNT) と 6 本の TAik インพุットキャプチャレジスタ (TAikICR) を内蔵しています。TAiTCNT カウンタはアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

6 本の TAik インพุットキャプチャレジスタ (TAikICR) は、それぞれに対応する外部信号入力端子 (TIAi0 ~ TIAi5) からの入力により TAI フリーランニングカウンタ (TAiTCNT) の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、TAi/O コントロールレジスタ 1 (TAiIO1) により立ち上がり/立ち下がり/両エッジから選択できます。それぞれ、キャプチャするタイミングで DMAC の起動および割り込み要求が可能です。

外部信号入力端子からの入力は、ノイズキャンセル機能を使用してノイズをキャンセルできます。

21.10.1 ブロック図

図 21.7 にタイマ Ai のブロック図を示します。

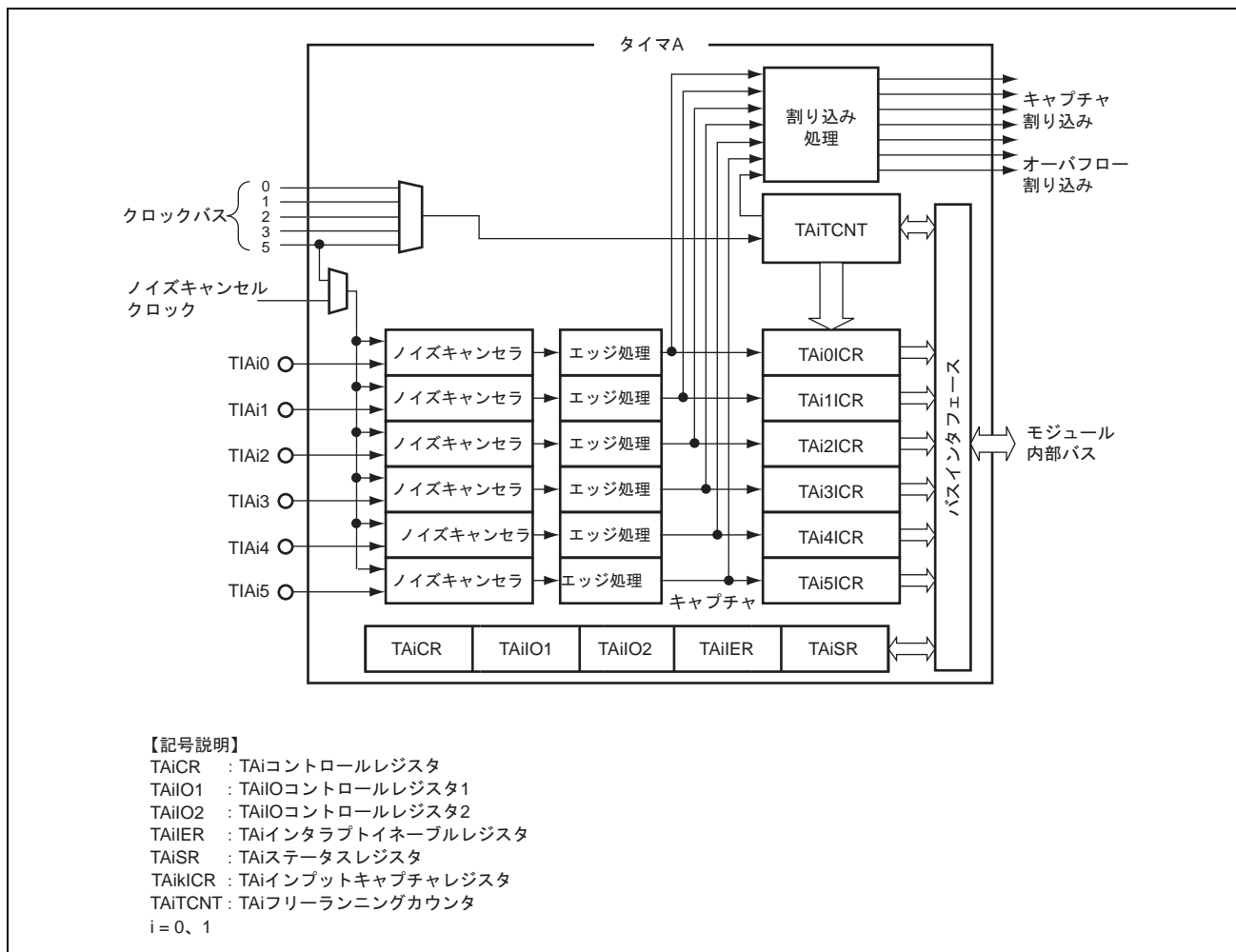


図 21.7 タイマ A のブロック図

## 21.11 タイマ A のレジスタの説明

## 21.11.1 TAi コントロールレジスタ (TAiCR)

TAiCR レジスタは、カウントクロックの選択を行います。

TA0コントロールレジスタ (TA0CR)  
TA1コントロールレジスタ (TA1CR)

<P4領域アドレス : H'FFFF E202番地>  
<P4領域アドレス : H'FFFF E302番地>

ビット:     7    6    5    4    3    2    1    0  
          ┌───┴───┬───┴───┬───┴───┬───┴───┬───┴───┬───┴───┬───┴───┬───┴───┐  
          │   ─   │   ─   │   ─   │   ─   │   ─   │   ─   │   ─   │   ─   │   ─   │  
          └───┬───┬───┬───┬───┬───┬───┬───┬───┘  
                  CKSELA  
リセット後の値:   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	CKSELA	000	R	W	<p>クロックセレクトビット A</p> <p>カウントクロックとしてクロックバス 0~3、5 のいずれかを選択します。クロックバス 0~3 はプリスケアラ 0~3 の出力する分周クロックに対応し、クロックバス 5 には、外部クロック入力 B (TCLKB) が出力されます。カウントクロックの選択は、タイマ A の動作が停止している状態で行ってください。</p> <p>000 : クロックバス 0 を選択 (プリスケアラ 0) 001 : クロックバス 1 を選択 (プリスケアラ 1) 010 : クロックバス 2 を選択 (プリスケアラ 2) 011 : クロックバス 3 を選択 (プリスケアラ 3) 100 : 設定禁止 101 : クロックバス 5 を選択 (TCLKB) 110 : 設定禁止 111 : 設定禁止</p>

【注】・外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 B を使用する場合には、ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) の CB5EG ビットで検出エッジを設定してください。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.11.2 TAIi/O コントロールレジスタ 1 (TAiIO1)

TAiIO1 レジスタは、外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) のエッジ検出の設定を行います。

TA0i/Oコントロールレジスタ1 (TA0iO1)

<P4領域アドレス : H'FFFF E204番地>

TA1i/Oコントロールレジスタ1 (TA1iO1)

<P4領域アドレス : H'FFFF E304番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	IOA5	IOA4	IOA3	IOA2	IOA1	IOA0						

リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11、10	IOA5	00	R	W	I/O コントロールビット Ak インプットキャプチャのトリガとなる外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) のエッジ検出を選択します。これらのビットを"B'00"にセットした場合、インプットキャプチャ動作は行われません。"B'00"以外にセットしたとき、選択したエッジを検出すると、TAiTCNT カウンタの値が、対応する TAiKICR レジスタに転送されます。 エッジ検出は、Pck クロックに同期して行われます。また、外部入力信号の周期が、Pck クロック周期の2倍以上なければ正しくエッジ検出が行われませんのでご注意ください。 また、エッジ検出は、ノイズキャンセル後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることとなります。 00 : TIA のインプットキャプチャ禁止 01 : TIA の立ち上がりで TAiKICR レジスタにキャプチャ 10 : TIA の立ち下がり で TAiKICR レジスタにキャプチャ 11 : TIA の立ち上がり/立ち下がり両エッジで TAiKICR レジスタにキャプチャ
9、8	IOA4	00	R	W	
7、6	IOA3	00	R	W	
5、4	IOA2	00	R	W	
3、2	IOA1	00	R	W	
1、0	IOA0	00	R	W	

【記号説明】 i=0、1、k=0~5

## 21.11.3 TAiI/O コントロールレジスタ 2 (TAiIO2)

TAiIO2 レジスタは、外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) のノイズキャンセラ機能の設定およびノイズキャンセルクロックの選択を行います。

TA0I/Oコントロールレジスタ2 (TA0IO2)

&lt;P4領域アドレス : H'FFFF E206番地&gt;

TA1I/Oコントロールレジスタ2 (TA1IO2)

&lt;P4領域アドレス : H'FFFF E306番地&gt;

ビット :    15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

—	—	NCKA5	NCKA4	NCKA3	NCKA2	NCKA1	NCKA0	—	—	NCEA5	NCEA4	NCEA3	NCEA2	NCEA1	NCEA0
---	---	-------	-------	-------	-------	-------	-------	---	---	-------	-------	-------	-------	-------	-------

リセット後の値 :    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15、14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13	NCKA5	0	R	W	ノイズキャンセルクロックセレクトビット Ak TAik ノイズキャンセルカウンタ (TAikNCNT) のカウントソースクロックを選択します。カウントソースクロックには、ノイズキャンセラカウントクロックまたはクロックバス 5 を選択することが可能です。ノイズキャンセラカウントクロックには、共通制御部の NCCSEL ビットの設定によって Pck クロックの 128 分周または Pck クロックのいずれかを選択できます。 0: TAikNCNT カウンタのカウントソースクロックにノイズキャンセラカウントクロックを選択 1: TAikNCNT カウンタのカウントソースクロックにクロックバス 5 を選択
12	NCKA4	0	R	W	
11	NCKA3	0	R	W	
10	NCKA2	0	R	W	
9	NCKA1	0	R	W	
8	NCKA0	0	R	W	
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 i=0、1、k=0~5



21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
5	NCEA5	0	R	W	ノイズキャンセライネーブルビット Ak
4	NCEA4	0	R	W	<p>外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) に対してノイズキャンセル機能の有効/無効を選択します。</p> <p>本ビットを"1"にセットしたあと、外部入力 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) のエッジを検出すると、共通制御部内の ATU-IIIS ノイズキャンセルモードレジスタ (ATNCMR) の設定にあわせて、後続エッジキャンセルモードまたは先行エッジキャンセルモードのいずれかの処理を開始します。</p> <p>後続エッジキャンセルモードでは、外部入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応する TAik ノイズキャンセルカウンタ (TAikNCNT) がアップカウントを開始します。この TAikNCNT カウンタが TAik ノイズキャンセルレジスタ (TAikNCR) の値とコンペアマッチするまでの間、外部入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの外部入力信号のレベルがノイズキャンセル後の信号として出力されます。</p> <p>TAikNCNT カウンタがカウント動作中にこれらのビットを"0"にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も TIA00~TIA04、TIA10~TIA12、TIA14、TIA15 のレベル変化はマスクされ続けます。</p> <p>先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応する TAik ノイズキャンセルカウンタ (TAikNCNT) がアップカウントを開始し、TAik ノイズキャンセルレジスタ (TAikNCR) の値とコンペアマッチするまでの間に、外部入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合は、ノイズとみなされ、ノイズキャンセルは外部入力信号のレベル変化がなかったものとして、ノイズキャンセル後の信号を変化させません。</p> <p>TAikNCNT カウンタがカウント動作中にこれらのビットを"0"にクリアした場合、クリア後もコンペアマッチするかまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。各キャンセルモードの動作例は、図 21.3、図 21.4 を参照してください。</p> <p>0 : TIA 入力のノイズキャンセル機能を無効 1 : TIA 入力のノイズキャンセル機能を有効</p>
3	NCEA3	0	R	W	
2	NCEA2	0	R	W	
1	NCEA1	0	R	W	
0	NCEA0	0	R	W	

【記号説明】 i=0、1、k=0~5

## 21.11.4 TAi ステータスレジスタ (TAiSR)

TAiSR レジスタは、TAi フリーランニングカウンタ (TAiTCNT) のオーバーフローの発生、TAik インプットキャプチャレジスタ (TAiICR) でのインプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、TAi インタラプトイネーブルレジスタ (TAiIER) の対応するビットの設定によって割り込みが許可されていれば、DMAC へ DMA 転送を要求したり、CPU に割り込みを要求したりすることができます。

TA0ステータスレジスタ (TA0SR)  
TA1ステータスレジスタ (TA1SR)

<P4領域アドレス : H'FFFF E208番地>  
<P4領域アドレス : H'FFFF E308番地>

ビット:           7   6   5   4   3   2   1   0  
                  OVFA  —  ICFA5 ICFA4 ICFA3 ICFA2 ICFA1 ICFA0  
リセット後の値:   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	OVFA	0	R	*1	<p>オーバーフローフラグ A</p> <p>TAi フリーランニングカウンタ (TAiTCNT) のオーバーフローの発生を示すステータスフラグです。本フラグの読み出し値が"1"であるとき、TAiTCNT カウンタでオーバーフローが発生したことが分かります。</p> <p>本フラグをソフトウェアにより"1"にセットすることはできません。</p> <p>フラグのクリアは、OVFA フラグが"1"の状態を読み出した後に"0"を書き込むことで行います。"1"を読み出さずに"0"を書き込んだ場合、その書き込みは無視されます。</p> <p>0 : オーバフローなし 1 : オーバフロー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>OVFA="1"の状態を読み出した後、OVFA に"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>TAiTCNT カウンタの値がオーバーフロー (H'FFFF FFFF→H'0000 0000) したとき</li> </ul>
6	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
5	ICFA5	0	R	*1	<p>入力キャプチャフラグ Ak</p> <p>TAik インพุットキャプチャレジスタ (TAikICR) のインพุットキャプチャ発生を示すステータスフラグです。本フラグの読み出し値が"1"であるとき、フラグに対応するインพุットキャプチャレジスタでインพุットキャプチャが発生したことが分かります。</p> <p>本フラグをソフトウェアにより"1"にセツトすることはできません。</p> <p>本フラグは、対応するインพุットキャプチャ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき自動的に"0"にクリアされます。また、インพุットキャプチャフラグが"1"であることを読み出した後"0"を書き込むことによってもフラグのクリアが可能です。"1"を読み出さずに"0"を書き込んだ場合、その書き込みは無視されます。</p> <p>0: インพุットキャプチャなし 1: インพุットキャプチャ発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ICFAk="1"の状態を読み出した後、ICFAkに"0"を書き込んだとき</li> <li>フラグに対応するインพุットキャプチャ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき</li> </ul> <p>["1"セツト条件]</p> <ul style="list-style-type: none"> <li>インพุットキャプチャ信号 (TIA) により TAITCNT カウンタの値が TAikICR レジスタに転送されたとき</li> </ul>
4	ICFA4	0	R	*1	
3	ICFA3	0	R	*1	
2	ICFA2	0	R	*1	
1	ICFA1	0	R	*1	
0	ICFA0	0	R	*1	

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。"1"の書き込みは無効です。

【記号説明】 k=0~5

## 21.11.5 TAI インタラプトイネーブルレジスタ (TAiIER)

TAiIER レジスタは、TAi フリーランニングカウンタ (TAiTCNT) のオーバフロー割り込み要求、TAik インタラプトキャプチャレジスタ (TAiICR) のインタラプトキャプチャ割り込み要求の許可/禁止を制御します。

TA0インタラプトイネーブルレジスタ (TA0IER)  
TA1インタラプトイネーブルレジスタ (TA1IER)

<P4領域アドレス : H'FFFF E209番地>  
<P4領域アドレス : H'FFFF E309番地>

ビット :

7	6	5	4	3	2	1	0
OVEA	—	ICEA5	ICEA4	ICEA3	ICEA2	ICEA1	ICEA0
0	0	0	0	0	0	0	0

リセット後の値 :

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	OVEA	0	R	W	オーバフローインタラプト A イネーブルビット TAi ステータスレジスタ (TAiSR) のオーバフローフラグ A (OVFA) が"1"にセットされているとき、OVFA による割り込み要求の出力を許可または禁止します。 0 : オーバフロー割り込み A 要求の出力を禁止する 1 : オーバフロー割り込み A 要求の出力を許可する
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	ICEA5	0	R	W	インプットキャプチャインタラプト Ak イネーブルビット TAiSR レジスタの ICFAk ビットが"1"にセットされているとき、ICFAk ビットによる割り込み要求の出力を許可または禁止します。 0 : インプットキャプチャ割り込み Ak 要求の出力を禁止する 1 : インプットキャプチャ割り込み Ak 要求の出力を許可する
4	ICEA4	0	R	W	
3	ICEA3	0	R	W	
2	ICEA2	0	R	W	
1	ICEA1	0	R	W	
0	ICEA0	0	R	W	

【記号説明】 i=0、1、k=0~5

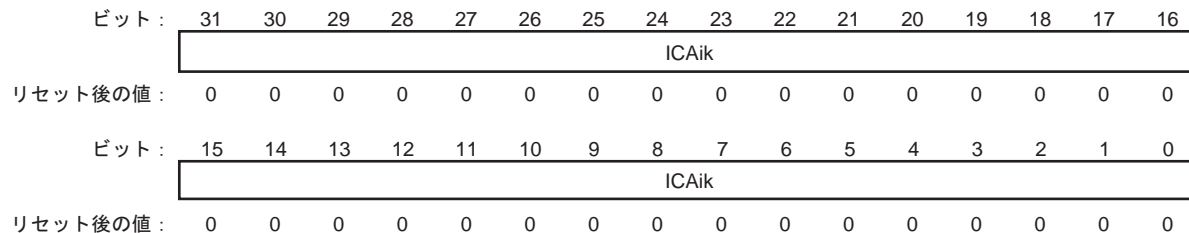
### 21.11.6 TA<sub>i</sub>k インプットキャプチャレジスタ (TA<sub>i</sub>kICR)

TA<sub>i</sub>kICR レジスタは、インプットキャプチャ専用です。ただし、本レジスタは、書き込み禁止です。

本レジスタは、外部からのインプットキャプチャ信号 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) を検出して、TA<sub>i</sub> フリーランニングカウンタ (TA<sub>i</sub>TCNT) の値を格納します。このとき、対応する TA<sub>i</sub> ステータスレジスタ (TA<sub>i</sub>SR) の ICFak ビットが"1"にセットされます。また、インプットキャプチャ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき、TA<sub>i</sub>SR レジスタの対応するインプットキャプチャフラグが"0"にクリアされます。

インプットキャプチャ信号の検出エッジは TA<sub>i</sub>I/O コントロールレジスタ 1 (TA<sub>i</sub>IO1) の I/O コントロールビット (IOA) により設定します。

TA00インプットキャプチャレジスタ (TA00ICR)	<P4領域アドレス : H'FFFF E228番地>
TA01インプットキャプチャレジスタ (TA01ICR)	<P4領域アドレス : H'FFFF E22C番地>
TA02インプットキャプチャレジスタ (TA02ICR)	<P4領域アドレス : H'FFFF E230番地>
TA03インプットキャプチャレジスタ (TA03ICR)	<P4領域アドレス : H'FFFF E234番地>
TA04インプットキャプチャレジスタ (TA04ICR)	<P4領域アドレス : H'FFFF E238番地>
TA10インプットキャプチャレジスタ (TA10ICR)	<P4領域アドレス : H'FFFF E328番地>
TA11インプットキャプチャレジスタ (TA11ICR)	<P4領域アドレス : H'FFFF E32C番地>
TA12インプットキャプチャレジスタ (TA12ICR)	<P4領域アドレス : H'FFFF E330番地>
TA14インプットキャプチャレジスタ (TA14ICR)	<P4領域アドレス : H'FFFF E338番地>
TA15インプットキャプチャレジスタ (TA15ICR)	<P4領域アドレス : H'FFFF E33C番地>



<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	ICAIk	すべて0	R	N	インプットキャプチャ A <sub>i</sub> k 32ビットのインプットキャプチャ値を格納します。

【記号説明】 i=0、1、k=0~5

### 21.11.7 TAi フリーランニングカウンタ (TAiTCNT)

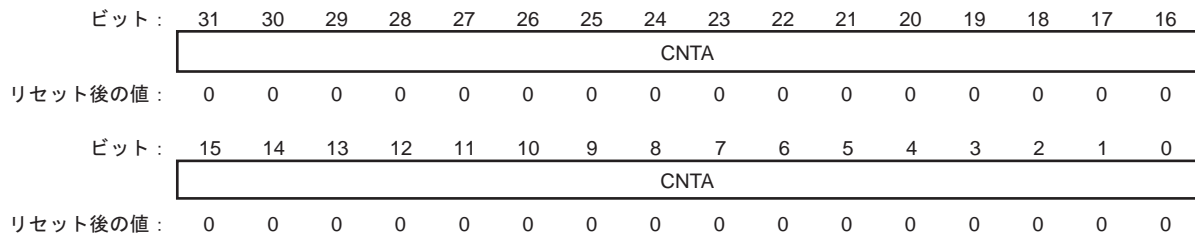
TAiTCNT カウンタは、クロックバス経由で入力されるプリスケアラ出力、外部入力クロックのいずれかでカウント動作を行います。

ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TAE ビットを"1"にセットすると、タイマ A はアップカウント動作を開始します。入力するクロックは、TAi コントロールレジスタ (TAiCR) のクロックセレクトビット (CKSELA) により選択します

TAiTCNT カウンタがオーバーフロー (H'FFFF FFFF→H'0000 0000) すると、TAi ステータスレジスタ (TAiSR) のオーバーフローフラグ A (OVFA) が"1"にセットされます。

TA0フリーランニングカウンタ (TA0TCNT)  
TA1フリーランニングカウンタ (TA1TCNT)

<P4領域アドレス : H'FFFF E220番地>  
<P4領域アドレス : H'FFFF E320番地>



<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CNTA	すべて0	R	W	タイマカウント A 32 ビットのカウンタ値を格納します。

### 21.11.8 TAik ノイズキャンセルカウンタ (TAikNCNT)

TAikNCNT カウンタは、TAi/O コントロールレジスタ 2 (TAiO2) のノイズキャンセライネーブルビット (NCEA5~0) でノイズキャンセラ機能を有効にしたとき、外部入力端子 (TIA00~TIA04、TIA10~TIA12、TIA14、TIA15) からの信号をトリガとして、アップカウント動作を行います。カウントソースには、TAiO2 レジスタのノイズキャンセルクロックセレクトビット (NCKA5~0) で、ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能です。

共通制御部にある ATNCMR レジスタの NCMA ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

#### ● 後続エッジキャンセルモード

NCEA5~0 ビットが 1 で、TAikNCNT カウンタがカウント停止しているとき、TIA00~TIA04、TIA10~TIA12、TIA14、TIA15 の入力信号レベルが変化すると、TAikNCNT カウンタはアップカウント動作を開始します。カウント値がTAiノイズキャンセルレジスタ (TAikNCR) と一致すると、次のPckクロックに同期してカウント値を"H'00"にクリアしてカウント動作を停止します。

TAikNCNT カウンタは、ATUENR レジスタのTAEビットの設定にかかわらず、カウント動作を行います。カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されてエッジ検出の対象となりますが、以降のカウント値がTAikNCR レジスタと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。カウント値がTAikNCR レジスタと一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

カウント動作中にNCEAビットがクリアされても、カウント値がTAikNCR レジスタと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

#### ● 先行エッジキャンセルモード

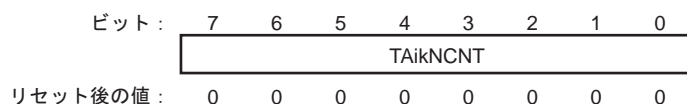
NCEA5~0 ビットが"1"で、TAikNCNT カウンタがカウント停止しているとき、TIA00~TIA04、TIA10~TIA12、TIA14、TIA15 の入力信号レベルが変化すると、TAikNCNT カウンタはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するかまたはカウント値がTAiノイズキャンセルレジスタ (TAikNCR) と一致した場合には、次のPckクロックに同期してカウント値を"H'00"にクリアしカウント動作を停止します。

TAikNCNT カウンタは、ATUENR レジスタのTAEビットの設定にかかわらず、カウント動作を行います。ノイズキャンセル後の信号は、カウント値がTAikNCR レジスタと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。TAikNCR レジスタと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中にNCEAビットがクリアされても、コンペアマッチまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずにノイズキャンセル処理を継続します。

## 21. アドバンストタイマユニット-IIIS (ATU-IIIS)

TA00ノイズキャンセルカウンタ (TA00NCNT)	<P4領域アドレス : H'FFFF E210番地>
TA01ノイズキャンセルカウンタ (TA01NCNT)	<P4領域アドレス : H'FFFF E212番地>
TA02ノイズキャンセルカウンタ (TA02NCNT)	<P4領域アドレス : H'FFFF E214番地>
TA03ノイズキャンセルカウンタ (TA03NCNT)	<P4領域アドレス : H'FFFF E216番地>
TA04ノイズキャンセルカウンタ (TA04NCNT)	<P4領域アドレス : H'FFFF E218番地>
TA10ノイズキャンセルカウンタ (TA10NCNT)	<P4領域アドレス : H'FFFF E310番地>
TA11ノイズキャンセルカウンタ (TA11NCNT)	<P4領域アドレス : H'FFFF E312番地>
TA12ノイズキャンセルカウンタ (TA12NCNT)	<P4領域アドレス : H'FFFF E314番地>
TA14ノイズキャンセルカウンタ (TA14NCNT)	<P4領域アドレス : H'FFFF E318番地>
TA15ノイズキャンセルカウンタ (TA15NCNT)	<P4領域アドレス : H'FFFF E31A番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TA <sub>i</sub> kNCNT	すべて0	R	W	TA <sub>i</sub> kノイズキャンセルカウント 8ビットのカウント値を格納します。

【記号説明】 i=0、1、k=0~5



## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.11.9 TAik ノイズキャンセルレジスタ (TAikNCR)

TAikNCR レジスタは、TAik ノイズキャンセルカウンタ (TAikNCNT) の上限値を設定します。Pck クロックの 128 分周をノイズキャンセルクロックに選択している場合、H'FF 設定で最大 0.82ms (Pck=40MHz 時) のノイズをキャンセルできます。

共通制御部にある ATNCMR レジスタの NCMA ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

#### ● 後続エッジキャンセルモード

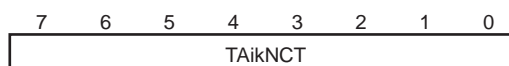
TAikNCNT カウンタのカウンタ動作中、後続する入力信号のレベル変化がマスクされます。TAikNCNT カウンタと TAikNCR レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TAikNCNT カウンタのカウンタ値をクリアし、カウンタ動作を停止させて入力信号のマスク解除を行います。

#### ● 先行エッジキャンセルモード

TAikNCNT カウンタのカウンタ動作中は、ノイズキャンセラの処理待ち状態となります。TAikNCNT カウンタと TAikNCR レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TAikNCNT カウンタのカウンタ値をクリアし、カウンタ動作を停止させると同時にノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

TA00 ノイズキャンセルレジスタ (TA00NCR)	<P4 領域アドレス : H'FFFF E211 番地>
TA01 ノイズキャンセルレジスタ (TA01NCR)	<P4 領域アドレス : H'FFFF E213 番地>
TA02 ノイズキャンセルレジスタ (TA02NCR)	<P4 領域アドレス : H'FFFF E215 番地>
TA03 ノイズキャンセルレジスタ (TA03NCR)	<P4 領域アドレス : H'FFFF E217 番地>
TA04 ノイズキャンセルレジスタ (TA04NCR)	<P4 領域アドレス : H'FFFF E219 番地>
TA10 ノイズキャンセルレジスタ (TA10NCR)	<P4 領域アドレス : H'FFFF E311 番地>
TA11 ノイズキャンセルレジスタ (TA11NCR)	<P4 領域アドレス : H'FFFF E313 番地>
TA12 ノイズキャンセルレジスタ (TA12NCR)	<P4 領域アドレス : H'FFFF E315 番地>
TA14 ノイズキャンセルレジスタ (TA14NCR)	<P4 領域アドレス : H'FFFF E319 番地>
TA15 ノイズキャンセルレジスタ (TA15NCR)	<P4 領域アドレス : H'FFFF E31B 番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TAikNCT	すべて 0	R	W	TAik ノイズキャンセルタイム TIA ノイズキャンセル期間 (8 ビットコンペア値)

【記号説明】 i=0、1、k=0~5

## 21.12 タイマ A の動作説明

### 21.12.1 ノイズキャンセル動作

ノイズキャンセラの動作モードは、後続エッジキャンセルモードと先行エッジキャンセルモードの 2 種類あります。共通制御部内の ATU-IIIS ノイズキャンセルモードレジスタ (ATNCMR) の NCMA ビットによって、どちらのモードに設定するかを選択できます。

図 21.8 に後続エッジキャンセルモードでのノイズキャンセル動作例、図 21.10 に先行エッジキャンセルモードでのノイズキャンセル動作例を示します。いずれも TIA00 入力を例にとり、図 21.8 および図 21.10 ではエッジ検出が立ち上がりエッジ検出設定の場合を示しています。

後続エッジキャンセルモードでは、TAik ノイズキャンセルカウンタ (TAikNCNT) は入力信号のレベル変化をトリガとしてカウント動作を開始します。また、カウント開始と同時に、入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。

カウント動作は、カウント値が TAik ノイズキャンセルレジスタ (TAikNCR) の設定値と一致するまで続きます。このカウント期間中の入力信号のレベル変化はすべて無視され、ノイズキャンセル処理後の信号として出力されません。カウント値が TAikNCR レジスタの設定値と一致したときは、ノイズキャンセル処理後の信号として、そのときの入力信号レベルを出力します。そのため、カウント動作開始時 (変化後のレベル) と、コンペアマッチ時で入力レベルが異なる場合は、コンペアマッチタイミングでノイズキャンセル処理後の信号が変化することになりますのでご注意ください。

図 21.9 に、後続エッジキャンセルモードでの 2 種類の入力波形に対するノイズキャンセル処理の例を示します。

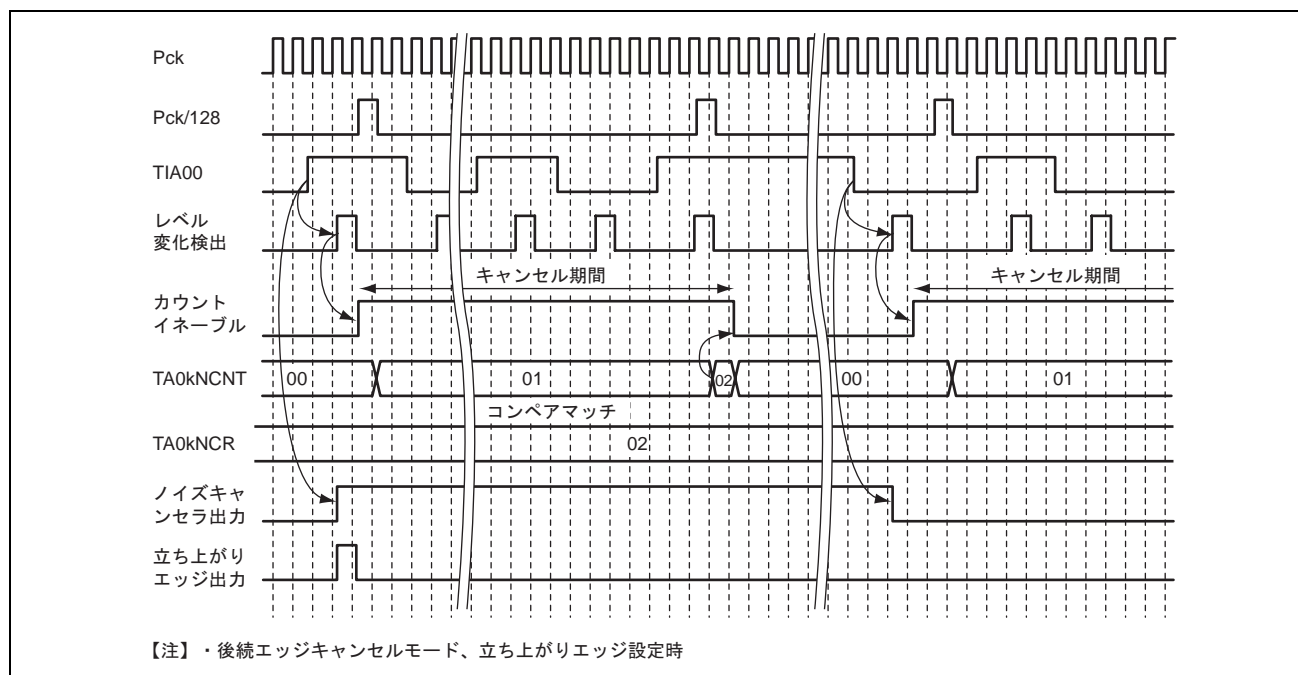


図 21.8 後続エッジキャンセルモードでのノイズキャンセル動作例

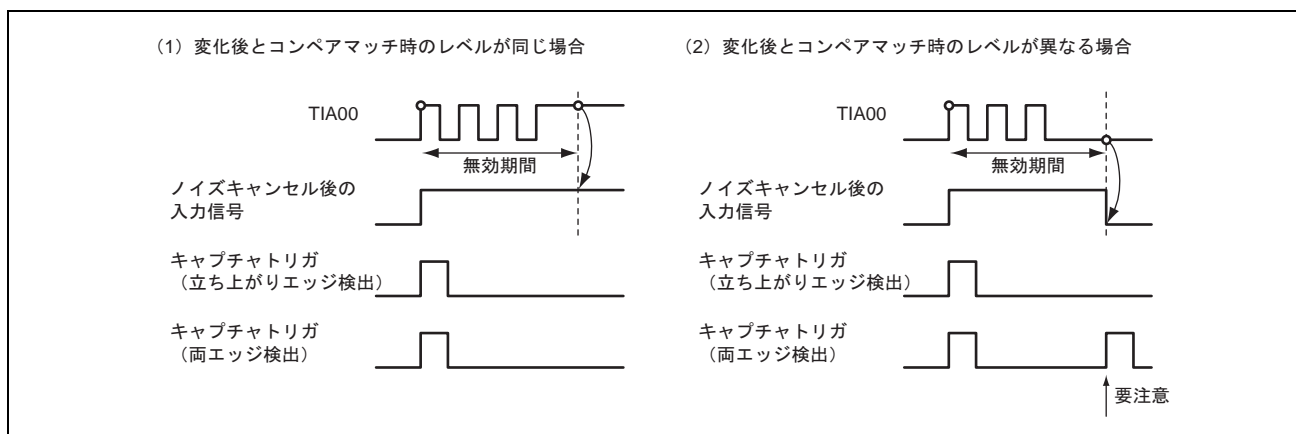


図 21.9 入力波形ごとのノイズキャンセル処理例 (後続エッジキャンセルモード)

先行エッジキャンセルモードでは、TA<sub>i</sub>k ノイズキャンセルカウンタ (TA<sub>i</sub>kNCNT) は入力信号のレベル変化をトリガとしてカウント動作を開始します。カウント動作は、カウント値が TA<sub>i</sub> ノイズキャンセルレジスタ (TA<sub>i</sub>kNCR) の設定値と一致するかまたはカウント開始後に入力信号のレベルが変化するまで続きます。

カウント値が TA<sub>i</sub> ノイズキャンセルレジスタの設定値と一致したとき、カウント動作開始時の入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。カウント値が TA<sub>i</sub> ノイズキャンセルレジスタ (TA<sub>i</sub>kNCR) の設定値と一致する前に入力信号のレベルが変化した場合、そのレベル変化とカウント動作開始時のレベル変化はノイズとみなされ、ノイズキャンセル処理後の信号として出力されません。

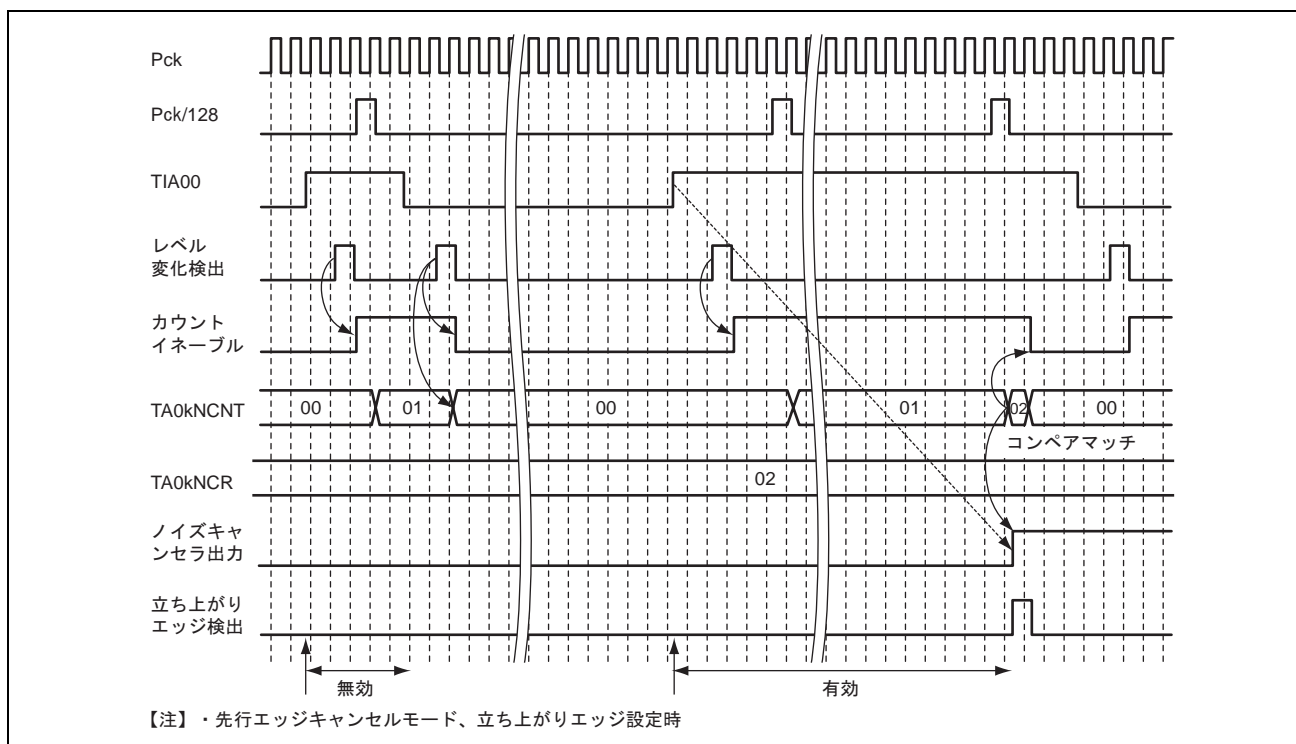


図 21.10 先行エッジキャンセルモードでのノイズキャンセル動作例

### 21.12.2 フリーランニング動作

TAi フリーランニングカウンタ (TAiTCNT) は、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TAE ビットを"1"にセットするとアップカウント動作を開始します。TAiTCNT カウンタがオーバーフロー (H'FFFF FFFF→H'0000 0000) すると TAi ステータスレジスタ (TAiSR) の OVFA ビットが"1"にセットされます。このとき、TAi インタラプトイネーブルレジスタ (TAiIER) の OVEA ビットが"1"ならば CPU に割り込みを要求します。TAiTCNT カウンタは、オーバーフロー後、H'0000 0000 からアップカウントを継続します。

TAiTCNT カウンタの動作中に ATUENR レジスタの TAE ビットを"0"にクリアすると、TAiTCNT カウンタは動作を停止します。このとき TAiTCNT カウンタはリセットされません。再び TAE ビットを"1"にセットした場合には、動作停止時のカウント値からカウント動作を再開します。

カウント動作中に TAiTCNT カウンタへの書き込みを行った場合、書き込みをカウント動作に優先して行い、以降書き込まれた値でカウント動作を継続します。また、書き込みはカウントソースに関係なく Pck クロックの 2 サイクルで完了します。

なお、プリスケアラは、TAE ビットの設定に関係なく動作しており、TAiTCNT カウンタの動作許可時にも初期化は行われません。したがって、起動から実際に TAiTCNT カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さが伴います。

図 21.11 に、TAi フリーランニングカウンタ (TAiTCNT) の動作を示します。

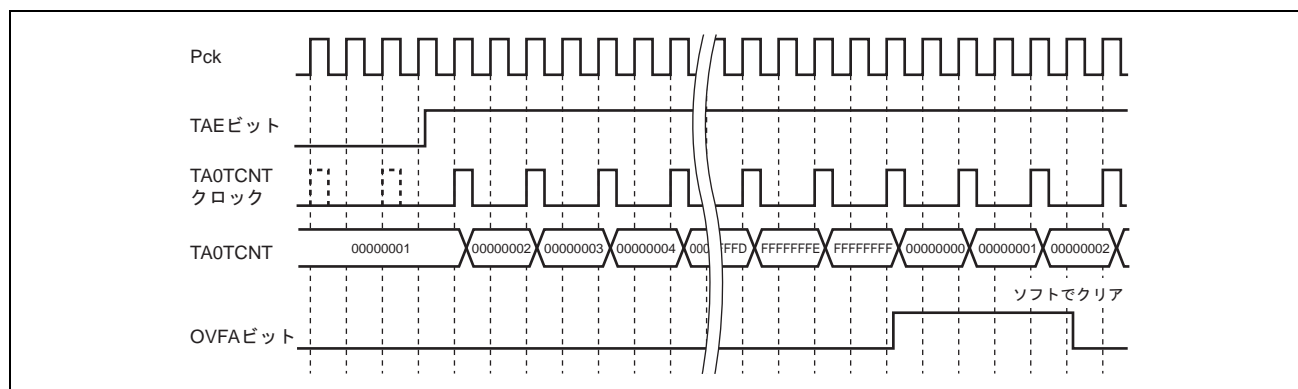


図 21.11 タイマ A フリーランニング動作、オーバーフロータイミング

### 21.12.3 インプットキャプチャ動作

TA<sub>i</sub>k インプットキャプチャレジスタ (TA<sub>i</sub>kICR) は、TA<sub>i</sub>I/O コントロールレジスタ 1 (TA<sub>i</sub>IO1) の IOA5 ~0 ビットにインプットキャプチャ動作を指定することにより、対応する外部入力端子 (TIA<sub>i</sub>k) からのエッジ入力にインプットキャプチャ動作を行います。

外部信号入力端子からのエッジは、ノイズキャンセル機能を使用してノイズをキャンセルできます。

ATUENR レジスタの TAE ビットの設定により、TA<sub>i</sub> フリーランニングカウンタ (TA<sub>i</sub>TCNT) がカウントアップを開始します。TA<sub>i</sub>kICR レジスタの対応する外部信号入力端子のエッジが入力されると、対応する TA<sub>i</sub> ステータスレジスタ (TA<sub>i</sub>SR) のビットがセットされ、TA<sub>i</sub>TCNT カウンタの値が TA<sub>i</sub>kICR レジスタに転送されます。入力されるエッジは、立ち上がり/立ち下がり/両エッジから選択できます。このとき、TA<sub>i</sub> インタラプトイネーブルレジスタ (TA<sub>i</sub>IER) の設定により CPU へ割り込みを要求できます。さらに、DMAC を設定することで割り込み要求で DMA 転送を開始することも可能です。

TA<sub>i</sub>k インプットキャプチャレジスタ (TA<sub>i</sub>kICR) と TA<sub>i</sub> フリーランニングカウンタ (TA<sub>i</sub>TCNT) への書き込みが同時に発生した場合、キャプチャされる値は書き込み前のカウンタ値となります。

図 21.12 に、TIA00 を立ち上がりエッジ、TIA01 を立ち下がりエッジ、TIA02 を両エッジトリガと指定したときのインプットキャプチャ動作を示します。

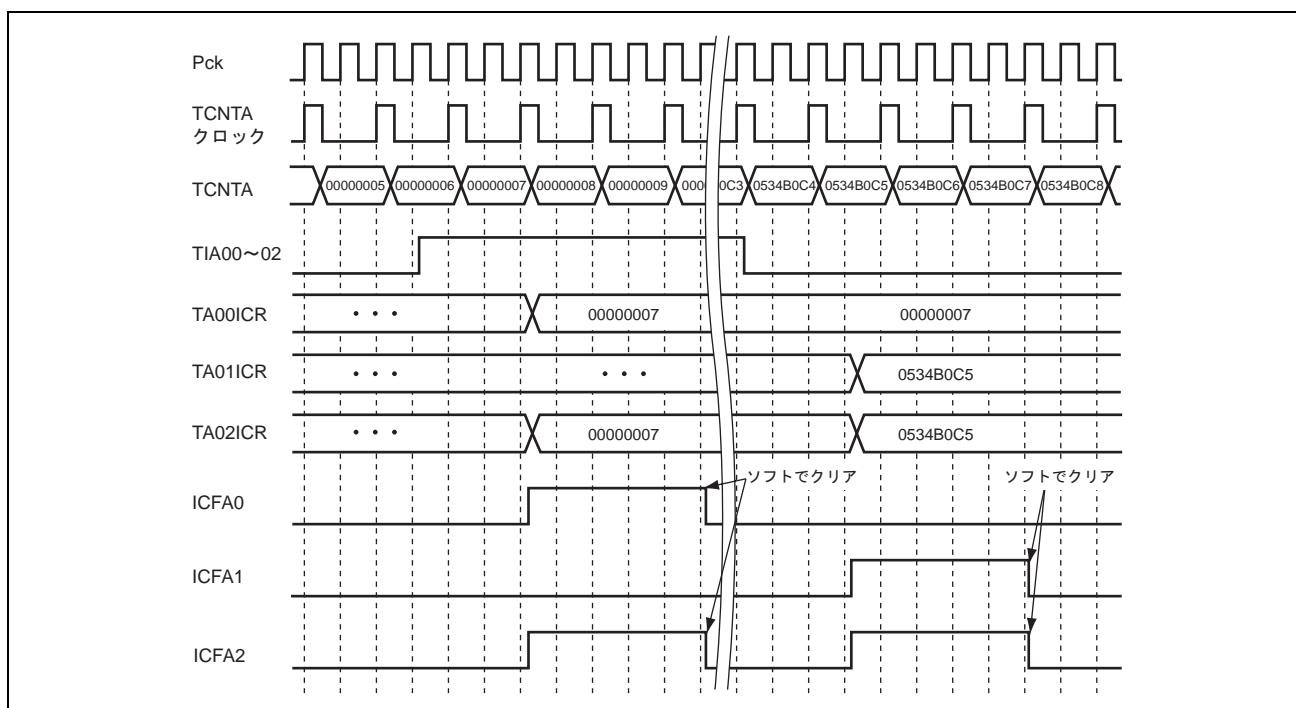


図 21.12 タイマ A のインプットキャプチャ動作

### 21.12.4 DMA 転送

DMAC を設定することで、タイマ A のインプットキャプチャ割り込み要求で DMAC の起動が可能です。インプットキャプチャ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき、TA<sub>i</sub> ステータスレジスタの対応するビットがクリアされます。

### 21.13 タイマ F の概要

タイマ F は、3 個のサブブロックによって構成され、以下の機能を実現できます。

- 一定時間内エッジカウント  
所定の時間内に外部入力端子 (TIFjA) に与えられたエッジをカウントします。
- 有効エッジ入力間隔計測  
外部入力端子 (TIFjA) に所定回数のエッジが与えられるまでに経過した時間を計測します。
- 入力"H"レベル/"L"レベル期間計測  
外部入力端子 (TIFjA) に"H" ("L") レベルの信号が与えられている時間を計測します。計測する期間は、外部入力端子に与えられるパルスの個数で指定できます。
- PWM入力波形計測  
外部入力端子 (TIFjA) に与えられるPWM波形のオフデューティ、サイクル時間を計測します。計測する期間は、外部入力端子に与えられるPWMサイクル数で指定できます。
- 回転速度/パルス計測  
外部入力端子 (TIFjA) にエッジ入力を与えられるたびに、エッジカウント値、エッジ入力時のタイムスタンプ、エッジ入力間隔 (サイクル)、直前の"H" ("L") レベル入力期間を保持します。
- アップ/ダウンイベントカウント  
2本の外部入力端子 (TIFjA、TIFjB) のうち、TIFjAをカウントソースとしてカウント動作を行います。TIFjBでアップカウント、ダウンカウントを切り替えます。
- 4通倍イベントカウント  
2本の外部入力端子 (TIFjA、TIFjB) をカウントソースとしてカウント動作を行います。2本の信号の入力状態によって、アップカウント、ダウンカウントを切り替えます。

各外部信号入力端子 TIFjA、TIFjB からの入力は、ノイズキャンセル機能を使用してノイズをキャンセルできます。

### 21.13.1 ブロック図

タイマFは、3個のサブブロックで構成されます。各サブブロックは、2本の24ビット時間計測カウンタ (TFjECNTA、TFjECNTC)、3本の24ビット汎用レジスタ (TFjGRA、TFjGRC、TFjGRD)、16ビットイベントカウンタ (TFjECNTB)、16ビット汎用レジスタ (TFjGRB)、入力処理部 (エッジ検出、ノイズキャンセラ)、および制御部などで構成されています。

図 21.13 に、タイマFのブロック図を示します。

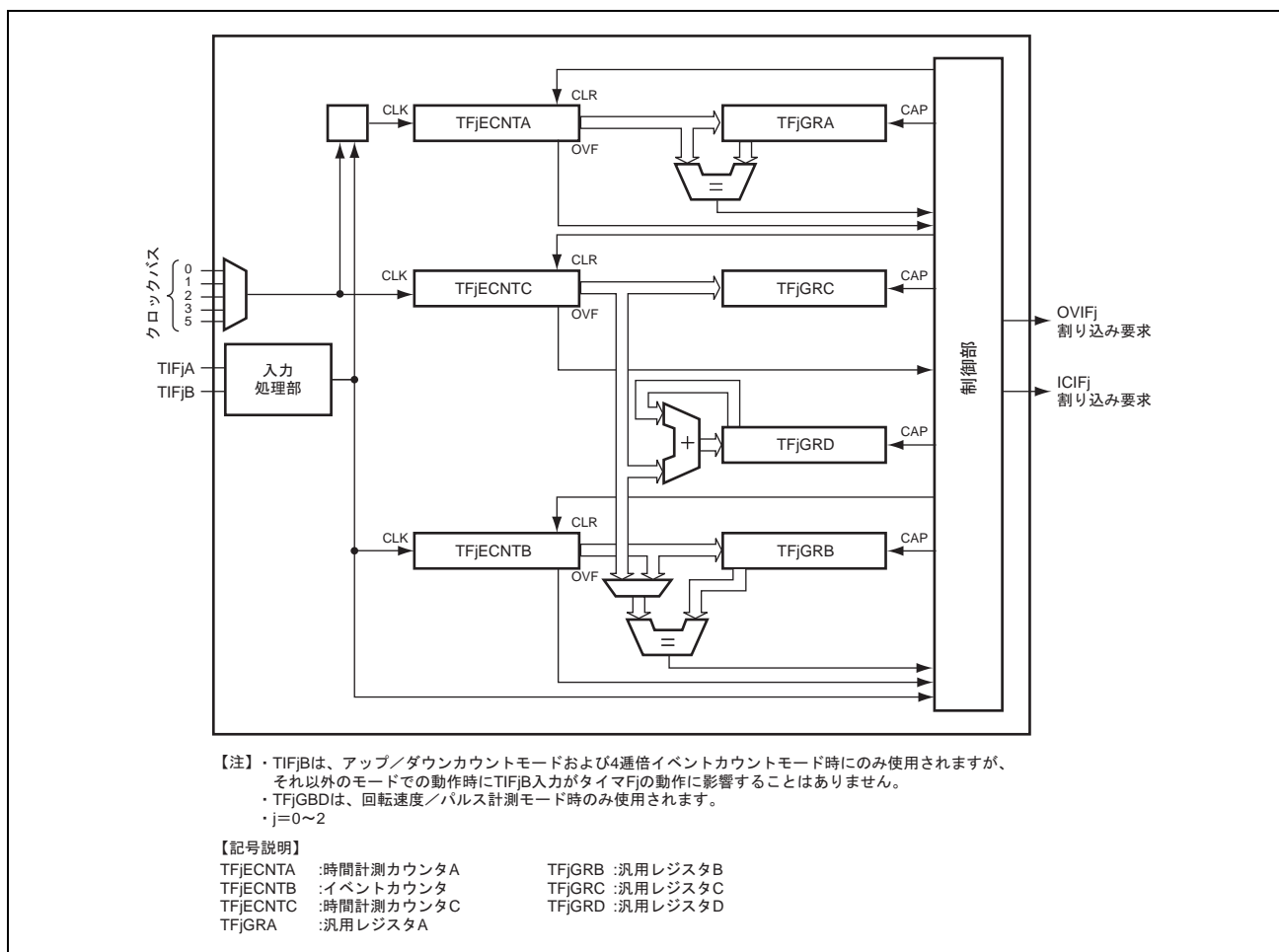


図 21.13 タイマFのサブブロック図

### 21.13.2 割り込み

タイマ F は以下に示す 2 種類、計 6 本の割り込み要求を出力できます。

- OVIF0~2割り込み

サブブロック Fj の備える 3 個のカウンタ (TFjECNTA、TFjECNTB、TFjECNTC) のいずれかがオーバーフローまたはアンダフロー (TFjECNTB のみ) した場合には出力されます。TFj ステータスレジスタ (TFjSR) を参照することで、どのカウンタによる割り込みか識別できます。この要求は INTC モジュールによって受け取られ、所定の処理が行われます。

- ICIF0~2割り込み

サブブロック Fj でカウント値のキャプチャが生じると出力されます。この要求は DMAC または INTC モジュールによって受け取られます。DMAC による DMA 転送によって、コンペアマッチをトリガとして得られたキャプチャデータを内蔵 SRAM (IL メモリ、OL メモリ、SHwyRAM) に転送することも、または割り込みによって所定の処理を行うことも可能です。DMAC による DMA 転送の詳細については、「**第 20 章** **ダイレクトメモリアクセスコントローラ (DMAC)**」を参照してください。



21.14 タイマ F のレジスタの説明

21.14.1 TF スタートレジスタ (TFSTR)

TFSTR レジスタは、タイマ F に含まれる各サブブロック (タイマ F0~タイマ F2) を動作させるか停止させるかを指定します。ただし、タイマ F のスタートビットをカウント動作許可に設定していても、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TFE ビットがイネーブルに設定されていなければカウント動作は行われません。

TF スタートレジスタ (TFSTR)

<P4領域アドレス : H'FFFF E400番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STRF2	STRF1	STRF0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	STRF2	0	R	W	カウンタ Fj スタートビット
1	STRF1	0	R	W	サブブロックの 2 本の時間計測カウンタ (TFJECNTA、TFJECNTC) およびイベントカウンタ (TFJECNTB) を動作させるか、停止させるかを設定します。停止時はカウンタ値をそのまま保持し、再度本ビットを"1"にセットした場合には、その値から動作を再開します。 ただし、本ビットを"1"にセットしても、ATUENR レジスタの TFE ビットが"1"にセットされていなければカウント動作は開始されません。 0 : TFJECNTA、TFJECNTB、および TFJECNTC のカウント動作を停止 1 : TFJECNTA、TFJECNTB、および TFJECNTC のカウント動作を許可 【注】・プリスケアラは、カウンタ F スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって、起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期 (分解能) 以下のハードウェア的な不確定さが伴います。
0	STRF0	0	R	W	

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.2 TF ノイズキャンセラコントロールレジスタ (TFNCCR)

TFNCCR レジスタは、サブブロック F0~F2 のノイズキャンセラ機能の有効/無効を設定します。

TFノイズキャンセラコントロールレジスタ (TFNCCR)

<P4領域アドレス : H'FFFF E404番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	NCEF 2	NCEF 1	NCEF 0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
2	NCEF2	0	R	W	ノイズキャンセラインーブルビット Fj
1	NCEF1	0	R	W	<p>各サブブロックのノイズキャンセル機能の有効/無効を選択します。サブブロック F0~F2 に関しては、TIFjA と TIFjB それぞれのノイズキャンセラがあります。個別に有効/無効を設定することはできません。NCEFj ビットを"1"にすると、TIFjA、TIFjB それぞれのノイズキャンセラが有効になります。</p> <p>ノイズキャンセル機能を有効にした場合、外部入力 (TIFjA、TIFjB) の入力信号のレベル変化を検出すると、共通制御部内の AUT-IIIS ノイズキャンセルモードレジスタ (ATNCMR) の設定にあわせて、後続エッジキャンセルモードまたは先行エッジキャンセルモードのいずれかの処理を開始します。後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応する TFj ノイズキャンセルカウンタ A、B (TFjNCNTA、TFjNCNTB) がアップカウントを開始します。このノイズキャンセルカウンタの値が、TFj ノイズキャンセルレジスタ A、B (TFjNCRA、TFjNCRB) の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。</p> <p>TFjNCNTA、TFjNCNTB カウンタがカウント動作中にこれらのビットを"0"にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も対応する外部入力 (TIFjA、TIFjB) のレベル変化はマスクされ続けます。</p> <p>先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応する TFjNCNTA、TFjNCNTB カウンタがアップカウントを開始し、TFjNCRA、TFjNCRB レジスタの値とコンペアマッチするまでの間に、入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合は、ノイズとみなされ、ノイズキャンセラは入力信号のレベルに変化がなかったものとしてノイズキャンセル後の信号を変化させません。TFjNCNTA、TFjNCNTB カウンタがカウント動作中にこれらのビットを"0"クリアした場合、クリア後もコンペアマッチするかまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。各キャンセルモードの動作例は、図 21.3 および図 21.4 を参照してください。</p> <p>0 : TIFjA、TIFjB のノイズキャンセル機能無効 1 : TIFjA、TIFjB のノイズキャンセル機能有効</p>
0	NCEF0	0	R	W	

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.3 TFj コントロールレジスタ (TFjCR)

TFjCR レジスタは、サブブロック F0~F2 の動作モードを指定します。

TF0コントロールレジスタ (TF0CR)  
TF1コントロールレジスタ (TF1CR)  
TF2コントロールレジスタ (TF2CR)

<P4領域アドレス : H'FFFF E480番地>  
<P4領域アドレス : H'FFFF E4A0番地>  
<P4領域アドレス : H'FFFF E4C0番地>

ビット :     7   6   5   4   3   2   1   0  
          ┌───┬───┬───┐  
          │CKSELFj│MDFj│EGSELFj│

リセット後の値 :   0   0   0   0   0   0   0   0

【記号説明】 j=0~2 : サブブロックF0~F2に対応。

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	CKSELFj	000	R	W	<p>クロックセレクトビット Fj</p> <p>サブブロック F0~F2 の 2 本の TFj 時間計測カウンタ A、C (TFjECNTA、TFjECNTC) のクロックソースとしてクロックバス 0~3、5 のいずれかを選択します。クロックバス 0~3 はプリスケアラ 0~3 の出力する分周クロックに対応し、クロックバス 5 は外部クロック入力 B (TCLKB) に対応します。カウントクロックの選択は、タイマ F の動作が停止している状態で行ってください。</p> <p>000 : クロックバス 0 を選択 (プリスケアラ 0) 001 : クロックバス 1 を選択 (プリスケアラ 1) 010 : クロックバス 2 を選択 (プリスケアラ 2) 011 : クロックバス 3 を選択 (プリスケアラ 3) 100 : 設定禁止 101 : クロックバス 5 を選択 (TCLKB) 110 : 設定禁止 111 : 設定禁止</p> <p>【注】・外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 B を使用する場合には、ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) の CB5EG ビットで検出エッジを設定してください。</p>

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
4~2	MDFj	000	R	W	<p>タイマ動作モードビット Fj</p> <p>対応するサブブロック F0~F2 の動作モードを指定します。動作モードには、アップ/ダウンイベントカウント、4 通倍イベントカウント、一定時間内エッジカウント、有効エッジ入力間隔計測、入力"H"レベル/"L"レベル期間計測、PWM 入力波形計測、回転速度/パルス計測の計 7 つのモードがあります。</p> <p>000 : 一定時間内エッジカウント            001 : 有効エッジ入力間隔計測            010 : 入力"H"レベル/"L"レベル期間計測            011 : 設定禁止            100 : PWM 入力波形計測            101 : 回転速度/パルス計測            110 : アップ/ダウンイベントカウント            111 : 4 通倍イベントカウント</p>

ビット	シンボル	リセット後の値	R	W	説明
1、0	EGSELFj	00	R	W	<p>エッジセレクトビット Fj</p> <p>サブブロック F0~F2 のイベント入力 (TIFjA) のエッジセンスモードを指定します。エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば、外部入力 (TIFjA、TIFjB) に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることとなります。</p> <p>入力"H"レベル/"L"レベル期間計測に指定した場合、本ビットで立ち下がりエッジを選択すると"H"レベル期間計測となり、立ち上がりエッジを選択すると"L"レベル期間計測を行います。両エッジは選択しないでください。</p> <p>PWM 入力波形計測および回転速度/パルス計測に指定した場合、本ビットで立ち上がりエッジを選択すると2つの立ち上がりエッジ間を PWM サイクルとみなし、"L"レベル期間をオフデューティサイクルとみなして計測を行います。また、立ち下がりエッジを選択した場合は、2つの立ち下がりエッジ間を PWM サイクル、"H"レベル期間をオフデューティサイクルと計測します。両エッジは選択しないでください。</p> <p>また、アップ/ダウンイベントカウントモード、および4 通倍イベントカウントモード指定時には、必ず立ち上がり/立ち下がり両エッジを指定してください。誤って他のエッジを選択した場合の動作は保証されません (表 21.16 を参照)。</p> <p>00 : エッジ検出無効 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ</p> <p>【注】・TIFjB は、アップ/ダウンイベントカウント、4 通倍イベントカウントモードにおいてのみ有効な端子です。常に立ち上がり/立ち下がり両エッジを検出して動作します。それ以外のモードでは TIFjB のエッジ検出は行われません。</p>

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.14.4 TFj インタラプトイネーブルレジスタ (TFjIER)

TFjIER レジスタは、TFj ステータスレジスタ (TFjSR) のステータスフラグに対応する割り込みを許可するか禁止するか指定します。

TF0インタラプトイネーブルレジスタ (TF0IER)  
 TF1インタラプトイネーブルレジスタ (TF1IER)  
 TF2インタラプトイネーブルレジスタ (TF2IER)

<P4領域アドレス : H'FFFF E481番地>  
 <P4領域アドレス : H'FFFF E4A1番地>  
 <P4領域アドレス : H'FFFF E4C1番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	OVE CFj	OVE BFj	OVE AFj	ICEFj

リセット後の値 :

0 0 0 0 0 0 0 0

【記号説明】 j=0~2 : サブブロックF0~F2に対応。

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3	OVECFj	0	R	W	オーバフローインタラプトイネーブルビット CFj* <sup>1</sup> TFj 時間計測カウンタ C (TFjECNTC) のオーバフロー (PWM 入力波形計測モード時)、または TFjECNTC カウンタと TFjGRB レジスタのコンペアマッチ (回転速度/パルス計測モード時) に対応するステータス (OVFCFj) の割り込みを許可するか禁止するか指定します。 0 : OVFCFj による割り込みを禁止 1 : OVFCFj による割り込みを許可
2	OVEBFj	0	R	W	オーバフローインタラプトイネーブルビット BFj* <sup>1</sup> TFj イベントカウンタ (TFjECNTB) のオーバフロー/アンダフローに対応するステータス (OVFBFj) の割り込みを許可するか禁止するか指定します。 0 : OVFBFj による割り込みを禁止 1 : OVFBFj による割り込みを許可
1	OVEAFj	0	R	W	オーバフローインタラプトイネーブルビット AFj* <sup>1</sup> TFj 時間計測カウンタ A (TFjECNTA) のオーバフローに対応するステータス (OVFAFj) の割り込みを許可するか禁止するか指定します。 0 : OVFAFj による割り込みを禁止 1 : OVFAFj による割り込みを許可
0	ICEFj	0	R	W	インプットキャプチャインタラプトイネーブルビット Fj サブブロック Fj におけるインプットキャプチャの検出に対応するステータス (ICFFj) の割り込みを許可するか禁止するか指定します。 0 : ICFFj による割り込みを禁止 1 : ICFFj による割り込みを許可

【注】 \*1 サブブロック Fj のオーバフロー割り込みは、OVFAFj、OVFBFj、OVFCFj による割り込みの論理和として要求されます。TFjSR レジスタを参照することによって、どのカウンタのオーバフローまたはアンダフローによる割り込みかを判断できます。

## 21.14.5 TFj ステータスレジスタ (TFjSR)

TFjSR レジスタは、時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローまたはアンダフローの発生、およびインプットキャプチャの発生を示します。これらのフラグは割り込み要因であり、TFj インタラプトイネーブルレジスタ (TFjIER) の対応するビットにより割り込みが許可されていれば、CPU に割り込みを要求します。

TF0ステータスレジスタ (TF0SR)  
TF1ステータスレジスタ (TF1SR)  
TF2ステータスレジスタ (TF2SR)

<P4領域アドレス : H'FFFF E483番地>  
<P4領域アドレス : H'FFFF E4A3番地>  
<P4領域アドレス : H'FFFF E4C3番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	OVF CFj	OVF BFj	OVF AFj	ICFFj
0	0	0	0	0	0	0	0

リセット後の値 :

【記号説明】 j=0~2 : サブブロックF0~F2に対応。

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3	OVFCFj	0	R	*1	オーバフロー/コンペアマッチフラグ CFj このフラグは動作モードによって、その値が示す状態が異なります。PWM 入力波形計測モード時には、TFj 時間計測カウンタ C (TFjECNTC) のオーバフローの状態を示します。また、回転速度/パルス計測モード時には、TFjECNTC カウンタと TFjGRB レジスタとのコンペアマッチ発生を示します。なお、このフラグをソフトウェアにより"1"にセットすることはできません。 0 : TFjECNTC カウンタにオーバフローなし 1 : TFjECNTC カウンタにオーバフロー発生 ["0"クリア条件] • OVFCFj="1"の状態を読み出した後、OVFCFjに"0"を書き込んだとき ["1"セット条件] • PWM 入力波形計測モード TFjECNTC カウンタの値がオーバフロー (H'FFFF FF→H'0000 00) したとき • 回転速度/パルス計測モード TFjECNTC カウンタと TFjGRB レジスタ (下位 8 ビットにゼロ拡張した値) が一致したとき



21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
2	OVFBFj	0	R	*1	<p>オーバーフローフラグ BFj</p> <p>TFj イベントカウンタ (TFjECNTB) のオーバーフローまたはアンダフローの状態を参照できます。このフラグをソフトウェアにより"1"にセットすることはできません。</p> <p>0 : TFjECNTB カウンタにオーバーフロー/アンダフローなし 1 : TFjECNTB カウンタにオーバーフロー/アンダフロー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• OVFBFj="1"の状態を読み出した後、OVFBFjに"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• TFjECNTB カウンタの値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき</li> </ul>
1	OVFAFj	0	R	*1	<p>オーバーフローフラグ AFj</p> <p>TFj 時間計測カウンタ A (TFjECNTA) のオーバーフローの状態を参照することができます。このフラグをソフトウェアにより"1"にセットすることはできません。</p> <p>0 : TFjECNTA カウンタにオーバーフローなし 1 : TFjECNTA カウンタにオーバーフロー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• OVFAFj="1"の状態を読み出した後、OVFAFjに"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• TFjECNTA カウンタの値がオーバーフロー (H'FFFF FF→H'0000 00) したとき</li> </ul>
0	ICFFj	0	R	*1	<p>インプットキャプチャフラグ Fj</p> <p>サブブロック Fj においてインプットキャプチャの検出状態を参照できます。このフラグをソフトウェアにより"1"にセットすることはできません。</p> <p>0 : サブブロック Fj にインプットキャプチャの検出なし 1 : サブブロック Fj にインプットキャプチャを検出</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• ICFFj="1"を読み出した後、ICFFjに"0"を書き込んだとき</li> <li>• TFj キャプチャ出力レジスタ (TFjCDR) が DMAC アクセスによって読み出されたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• サブブロック Fj でインプットキャプチャを検出したとき</li> </ul>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。"1"の書き込みは無効です。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.6 TFj 時間計測カウンタ A (TFjECNTA)

TFjECNTA カウンタは、各サブブロックに1個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0~5 のいずれかを選ぶことができます。TFjECNTA カウンタと TFjECNTC カウンタの入力クロックは同一です。個別にクロックソースを設定することはできません。

カウンタのクリアがカウントアップのタイミングで行われる場合、TFjECNTA カウンタは"H'0000 0100"にクリアされ、それ以外の場合では"H'0000 0000"にクリアされます。

TF0時間計測カウンタA (TF0ECNTA)

TF1時間計測カウンタA (TF1ECNTA)

TF2時間計測カウンタA (TF2ECNTA)

&lt;P4領域アドレス : H'FFFF E484番地&gt;

&lt;P4領域アドレス : H'FFFF E4A4番地&gt;

&lt;P4領域アドレス : H'FFFF E4C4番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TFjECNTA															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFjECNTA								-	-	-	-	-	-	-	-
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjECNTA	すべて0	R	W	TFj 時間計測カウンタ アップカウンタ A
7~0	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.14.7 TFj イベントカウンタ (TFjECNTB)

TFjECNTB カウンタは、各サブブロックに 1 個ずつ用意されており、入力クロックによりアップ/ダウンイベントカウント動作を行います。入力クロックには、2 本の外部入力端子 (TIFjA、TIFjB) が与えられ、対応するコントロールレジスタの設定 (動作モードおよびエッジセレクト) に応じて、カウント対象とする外部入力端子およびエッジが異なります。各モードにおける入力クロックは、表 21.6 のとおりです。

カウンタのクリアがカウントアップのタイミングで行われる場合、TFjECNTB カウンタは "H'0001" にクリアされ、それ以外の場合では "H'0000" にクリアされます。

TF0 イベントカウンタ (TF0ECNTB) <P4 領域アドレス : H'FFFF E488 番地>  
 TF1 イベントカウンタ (TF1ECNTB) <P4 領域アドレス : H'FFFF E4A8 番地>  
 TF2 イベントカウンタ (TF2ECNTB) <P4 領域アドレス : H'FFFF E4C8 番地>

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 TFjECNTB  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	TFjECNTB	すべて 0	R	W	TFj イベントカウンタ アップ/ダウンイベントカウンタ

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

表 21.6 タイマ F 動作モードごとのイベントカウンタ入力クロック、およびカウントエッジ

動作モード	入力クロック	カウントエッジ
一定時間内エッジカウント	TIFjA	TFjCR レジスタの EGSELfj ビットで選択可
有効エッジ入力間隔計測	TIFjA	TFjCR レジスタの EGSELfj ビットで選択可
入力 "H" レベル/"L" レベル期間計測	TIFjA	TFjCR レジスタの EGSELfj ビットで選択可 (両エッジ以外)
PWM 入力波形計測	TIFjA	TFjCR レジスタの EGSELfj ビットで選択可 (両エッジ以外)
回転速度/パルス計測	TIFjA	TFjCR レジスタの EGSELfj ビットで選択可 (両エッジ以外)
アップ/ダウンイベントカウント	TIFjA (TIFjB のレベルでカウント方向を指定)	立ち上がり/立ち下がり両エッジ
4 通りイベントカウント	TIFjA、TIFjB	立ち上がり/立ち下がり両エッジ

## 21.14.8 TFj 時間計測カウンタ C (TFjECNTC)

TFjECNTC カウンタは、各サブブロックに 1 個ずつ用意されており、PWM 入力波形計測および回転速度/パルス計測モード時のみ有効になるカウンタです。その他のモードではカウント動作を行いません。また、本カウンタは、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0~5 のいずれかを選ぶことができます。TFjECNTA カウンタと TFjECNTC カウンタの入力クロックは同一です。個別にクロックソースを設定することはできません。

外部入力のタイミングや TFjECNTB カウンタのコンペアマッチをトリガとするカウント値のクリアは、TFjECNTC カウンタのカウントクロックに同期して行われます。このとき TFjECNTC カウンタは"H'0000 0100"にクリアされます。

TF0時間計測カウンタC (TF0ECNTC)  
TF1時間計測カウンタC (TF1ECNTC)  
TF2時間計測カウンタC (TF2ECNTC)

<P4領域アドレス : H'FFFF E48C番地>  
<P4領域アドレス : H'FFFF E4AC番地>  
<P4領域アドレス : H'FFFF E4CC番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TFjECNTC															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFjECNTC								-	-	-	-	-	-	-	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjECNTC	すべて 0	R	W	TFj 時間計測カウンタ アップカウンタ C
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.14.9 TFj 汎用レジスタ A (TFjGRA)

TFjGRA レジスタは、各サブブロックに 1 個ずつ用意されており、TFj 時間計測カウンタ A (TFjECNTA) に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

アウトプットコンペアレジスタとして機能させるとき、TFjGRA レジスタには H'0000 0000 を設定しないでください。H'0000 0000 を設定した場合、正しく計測が行われなくなることがありますのでご注意ください。

TF0汎用レジスタA (TF0GRA)  
TF1汎用レジスタA (TF1GRA)  
TF2汎用レジスタA (TF2GRA)

<P4領域アドレス : H'FFFF E490番地>  
<P4領域アドレス : H'FFFF E4B0番地>  
<P4領域アドレス : H'FFFF E4D0番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TFjGRA															
リセット後の値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFjGRA								-	-	-	-	-	-	-	-
リセット後の値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

<リセット後の値 : H'FFFF FF00>

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjGRA	すべて 1	R	W	TFj 汎用レジスタ A 時間計測カウンタ A のインプットキャプチャ値またはアウトプットコンペア値
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.10 TFj 汎用レジスタ B (TFjGRB)

TFjGRB レジスタは、各サブブロックに 1 個ずつ用意されており、TFj イベントカウンタ (TFjECNTB) に対する入力キャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

アウトプットコンペアレジスタとして機能させるとき、TFjGRB レジスタには H'0000 を設定しないでください。H'0000 を設定した場合、正しく計測が行われなくなることがありますのでご注意ください。

TF0 汎用レジスタ B (TF0GRB) <P4 領域アドレス : H'FFFF E48A 番地>  
 TF1 汎用レジスタ B (TF1GRB) <P4 領域アドレス : H'FFFF E4AA 番地>  
 TF2 汎用レジスタ B (TF2GRB) <P4 領域アドレス : H'FFFF E4CA 番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 TFjGRB  
 リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

<リセット後の値 : H'FFFF>

ビット	シンボル	リセット後の値	R	W	説明
15~0	TFjGRB	すべて 1	R	W	TFj 汎用レジスタ B イベントカウンタの入力キャプチャ値またはアウトプットコンペア値

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

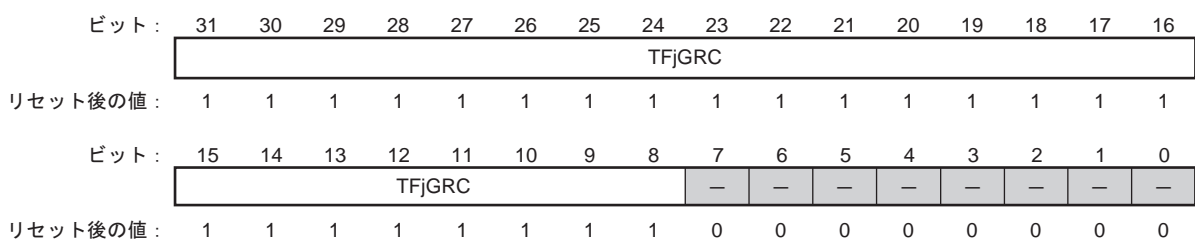
## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.14.11 TFj 汎用レジスタ C (TFjGRC)

TFjGRC レジスタは、各サブブロックに 1 個ずつ用意されており、TFj 時間計測カウンタ C (TFjECNTC) に対するインプットキャプチャレジスタの機能を持っています。TFjECNTB カウンタと TFjGRB レジスタとのコンペアマッチ (PWM 入力波形計測モード) または TIFjA 端子のエッジ入力 (回転速度/パルス計測モード) をトリガとして、次の TFjECNTC カウントアップタイミングで TFjECNTC のカウント値を取り込みます。

PWM 入力波形計測および回転速度/パルス計測モード時のみ有効になるレジスタであり、その他のモードではキャプチャ動作を行いません。

TF0汎用レジスタ C (TF0GRC) <P4領域アドレス : H'FFFF E498番地>  
 TF1汎用レジスタ C (TF1GRC) <P4領域アドレス : H'FFFF E4B8番地>  
 TF2汎用レジスタ C (TF2GRC) <P4領域アドレス : H'FFFF E4D8番地>



<リセット後の値 : H'FFFF FF00>

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjGRC	すべて 1	R	W	TFj 汎用レジスタ C 時間計測カウンタ C のインプットキャプチャ値
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.12 TFj 汎用レジスタ D (TFjGRD)

TFjGRD レジスタは、サブブロック F0~F2 のみに 1 個ずつ用意されています。TIFj 端子のエッジ入力をトリガとして、次の TFjECNTC カウントアップタイミングで、TFj 時間計測カウンタ A (TFjECNTA) の値を累積して取り込みます。

回転速度/パルス計測モード時のみ有効になるレジスタです。その他のモードではキャプチャ動作を行いません。

TF0汎用レジスタD (TF0GRD) <P4領域アドレス : H'FFFF E49C番地>  
 TF1汎用レジスタD (TF1GRD) <P4領域アドレス : H'FFFF E4BC番地>  
 TF2汎用レジスタD (TF2GRD) <P4領域アドレス : H'FFFF E4DC番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TFjGRD															
リセット後の値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFjGRD								-	-	-	-	-	-	-	-
リセット後の値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

<リセット後の値 : H'FFFF FF00>

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjGRD	すべて 1	R	W	TFj 汎用レジスタ D 時間計測カウンタ A のインプットキャプチャ値
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。



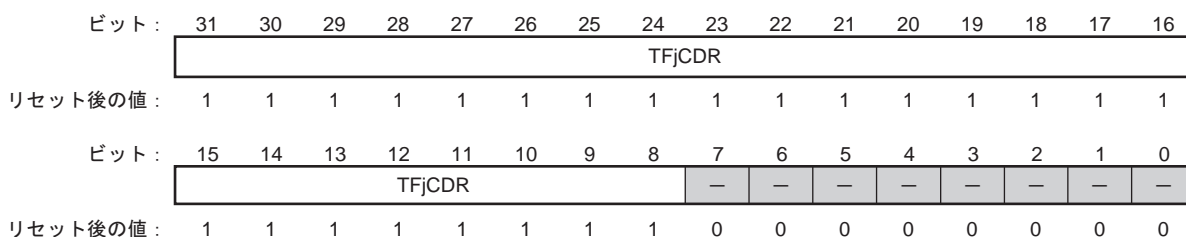
## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.14.13 TFj キャプチャ出力レジスタ (TFjCDR)

TFjCDR レジスタは、各サブブロックに 1 個ずつ用意されています。本レジスタの読み出しを行うと、動作モードに応じて、TFjGRA レジスタ、TFjGRB レジスタ、または TFjECNTB カウンタの値が読み出されます。16 ビットの TFjGRB レジスタ値は、TFjCDR ビットの上位 16 ビットから読み出されます。このとき TFjCDR ビットの下位 8 ビットには 0 が読み出されます。

TF0 キャプチャ出力レジスタ (TF0CDR)  
 TF1 キャプチャ出力レジスタ (TF1CDR)  
 TF2 キャプチャ出力レジスタ (TF2CDR)

<P4 領域アドレス : H'FFFF E494 番地>  
 <P4 領域アドレス : H'FFFF E4B4 番地>  
 <P4 領域アドレス : H'FFFF E4D4 番地>



<リセット後の値 : H'FFFF FF00>

ビット	シンボル	リセット後の値	R	W	説明
31~8	TFjCDR	H'FFFFFF	R	—	TFj キャプチャ出力レジスタ 動作モードに応じて、TFjGRA レジスタまたは TFjGRB レジスタに保持しているデータが読み出されます。各動作モードに対応するレジスタは以下のとおりです。また、本レジスタへの書き込みは無視されます。 一定時間内エッジカウントモード : TFjGRB レジスタ 有効エッジ入力間隔計測モード : TFjGRA レジスタ 入力"H"レベル期間計測モード : TFjGRA レジスタ 入力"L"レベル期間計測モード : TFjGRA レジスタ PWM 入力波形計測モード : TFjGRA レジスタ 回転速度/パルス計測モード : TFjECNTB カウンタ アップ/ダウンイベントカウントモード : TFjGRB レジスタ 4 通倍イベントカウントモード : TFjGRB レジスタ
7~0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

#### 21.14.14 TFj ノイズキャンセルカウンタ A (TFjNCNTA)

TFjNCNTA カウンタは、TF ノイズキャンセラコントロールレジスタ (TFNCCR) でノイズキャンセラ機能を有効にしたとき、外部入力端子 (TIFjA) のレベル変化をトリガとして、プリスケアラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。

共通制御部にある ATU-IIIS ノイズキャンセルモードレジスタ (ATNCFMR) のタイマ F ノイズキャンセルモードビット (NCMF) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモードの 2 通りの動作を行います。

- 後続エッジキャンセルモード

NCFj ビットが "1" であり、TFjNCNTA カウンタがカウント停止しているとき、TIFjA の入力信号レベルが変化すると、TFjNCNTA カウンタはアップカウント動作を開始します。カウント値が TFj ノイズキャンセルレジスタ A (TFjNCRA) と一致すると、次の Pck クロックに同期してカウント値を "H'00" にクリアしてカウント動作を停止します。

TFjNCNTA カウンタは、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力され、エッジ検出の対象となりますが、以降カウント値が TFjNCRA レジスタと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCFj ビットがクリアされても、カウント値が TFjNCRA レジスタと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- 先行エッジキャンセルモード

NCFj ビットが "1" であり、TFjNCNTA カウンタがカウント停止しているとき、TIFjA の入力信号レベルが変化すると、TFjNCNTA カウンタはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、またはカウント値が TFj ノイズキャンセルレジスタ A (TFjNCRA) と一致した場合には、次の Pck クロックに同期してカウント値を "H'00" にクリアしカウント動作を停止します。

TFjNCNTA カウンタは、ATU-III マスタイネーブルレジスタ (ATUENR) の TFE ビットの設定にかかわらずカウント動作を行います。

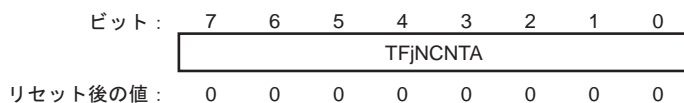
ノイズキャンセル後の信号は、カウント値が TFjNCRA レジスタと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。TFjNCRA レジスタと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCFj ビットがクリアされても、コンペアマッチまたは入力信号レベルに変化があるまでの間、カウント動作は停止せず、ノイズキャンセル処理を継続します。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

TF0ノイズキャンセルカウンタA (TF0NCNTA)  
 TF1ノイズキャンセルカウンタA (TF1NCNTA)  
 TF2ノイズキャンセルカウンタA (TF2NCNTA)

<P4領域アドレス : H'FFFF E410番地>  
 <P4領域アドレス : H'FFFF E412番地>  
 <P4領域アドレス : H'FFFF E414番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TFjNCNTA	すべて0	R	W	TFjノイズキャンセルカウンタA 8ビットカウント値

【記号説明】 j=0~2 : サブブロック F0~F2に対応。

### 21.14.15 TFjノイズキャンセルカウンタ B (TFjNCNTB)

TFjNCNTBカウンタは、アップ/ダウンイベントカウント、4 通倍イベントカウントモード時のみ有効です。

TFノイズキャンセラコントロールレジスタ (TFNCCR) でノイズキャンセラ機能を有効にしたとき、外部入力端子 (TIFjB) のレベル変化をトリガとして、プリスケアラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。

共通制御部にある ATU-IIIS ノイズキャンセルモードレジスタ (ATNCFMR) のタイマ F ノイズキャンセルモードビット (NCFM) の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモードの2通りの動作を行います。

#### ● 後続エッジキャンセルモード

NCFjビットが"1"でありTFjNCNTBカウンタがカウント停止しているとき、TIFjBの入力レベルが変化すると、TFjNCNTBカウンタはアップカウント動作を開始します。カウント値がTFjノイズキャンセルレジスタB (TFjNCRB) と一致すると、次のPckクロックに同期してカウント値を"H'00"にクリアしてカウント動作を停止します。

TFjNCNTBカウンタは、ATU-IIISマスタイネーブルレジスタ (ATUENR) のTFEビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値がTFjNCRBレジスタと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中にNCFjビットがクリアされても、カウント値がTFjNCRBレジスタと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

### ● 先行エッジキャンセルモード

NCEFjビットが"1"であり、TFjNCNTBカウンタがカウント停止しているとき、TIFjBの入力信号レベルが変化すると、TFjNCNTBカウンタはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、またはカウント値がTFjノイズキャンセルレジスタB (TFjNCRB) と一致した場合には、次のPckクロックに同期してカウント値を"H'00"にクリアしカウント動作を停止します。

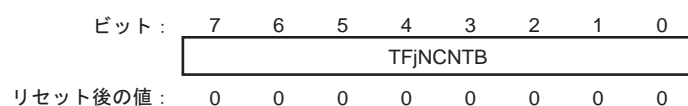
TFjNCNTBカウンタは、ATU-IIIマスタイネーブルレジスタ (ATUENR) のTFEビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値がTFjNCRBレジスタと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。TFjNCRBレジスタと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中にNCEFjビットがクリアされても、コンペアマッチまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

TF0ノイズキャンセルカウンタB (TF0NCNTB)  
TF1ノイズキャンセルカウンタB (TF1NCNTB)  
TF2ノイズキャンセルカウンタB (TF2NCNTB)

<P4領域アドレス : H'FFFF E450番地>  
<P4領域アドレス : H'FFFF E452番地>  
<P4領域アドレス : H'FFFF E454番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TFjNCNTB	すべて0	R	W	TFjノイズキャンセルカウンタB 8ビットカウント値

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

### 21.14.16 TFj ノイズキャンセルレジスタ A (TFjNCRA)

TFjNCRA レジスタは、TFj ノイズキャンセルカウンタ A (TFjNCNTA) の上限値を設定します。H'FF 設定で最大 0.82ms (Pck=40MHz 時) のノイズをキャンセルできます。

共通制御部にある ATU-IIIS ノイズキャンセルモードレジスタ (ATNCMR) のタイマ F ノイズキャンセルモードビット (NCMF) の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- 後続エッジキャンセルモード

TFjNCNTA カウンタのカウンタ動作中、後続する入力信号のレベル変化がマスクされます。TFjNCNTA カウンタと TFjNCRA レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TFjNCNTA カウンタのカウンタ値をクリアし、カウンタ動作を停止させて入力信号のマスク解除を行います。

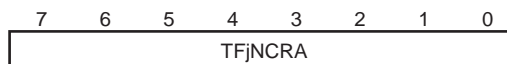
- 先行エッジキャンセルモード

TFjNCNTA カウンタのカウンタ動作中、ノイズキャンセラの処理待ち状態となります。TFjNCNTA カウンタと TFjNCRA レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TFjNCNTA カウンタのカウンタ値をクリアし、カウンタ動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

TF0 ノイズキャンセルレジスタ A (TF0NCRA)  
 TF1 ノイズキャンセルレジスタ A (TF1NCRA)  
 TF2 ノイズキャンセルレジスタ A (TF2NCRA)

<P4 領域アドレス : H'FFFF E411 番地>  
 <P4 領域アドレス : H'FFFF E413 番地>  
 <P4 領域アドレス : H'FFFF E415 番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TFjNCRA	すべて 0	R	W	TFj ノイズキャンセルタイム A TIFjA ノイズキャンセル期間 (8 ビットコンペア値)

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

## 21.14.17 TFj ノイズキャンセルレジスタ B (TFjNCRB)

TFjNCRB レジスタは、TFj ノイズキャンセルカウンタ B (TFjNCNTB) の上限値を設定します。HFF 設定で最大 0.82ms (Pck=40MHz 時) のノイズをキャンセルできます。アップダウンカウント、4 通倍イベントカウントモード時のみ有効なレジスタです。

共通制御部にある ATU-IIIS ノイズキャンセルモードレジスタ (ATNCFMR) のタイマ F ノイズキャンセルモードビット (NCMF) の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- 後続エッジキャンセルモード

TFjNCNTB カウンタのカウント動作中、後続する入力信号のレベル変化がマスクされます。TFjNCNTB カウンタと TFjNCRB レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TFjNCNTB カウンタのカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

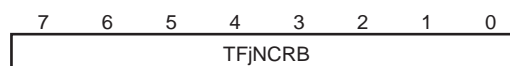
- 先行エッジキャンセルモード

TFjNCNTB カウンタのカウント動作中、ノイズキャンセラの処理待ち状態となります。TFjNCNTB カウンタと TFjNCRB レジスタの値は常時比較されており、コンペアマッチが発生すると、次の Pck クロックに同期して TFjNCNTB カウンタのカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

TF0 ノイズキャンセルレジスタ B (TF0NCRB)  
TF1 ノイズキャンセルレジスタ B (TF1NCRB)  
TF2 ノイズキャンセルレジスタ B (TF2NCRB)

<P4 領域アドレス : H'FFFF E451 番地>  
<P4 領域アドレス : H'FFFF E453 番地>  
<P4 領域アドレス : H'FFFF E455 番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TFjNCRB	すべて 0	R	W	TFj ノイズキャンセルタイム B TIFjB ノイズキャンセル期間 (8 ビットコンペア値)

【記号説明】 j=0~2 : サブブロック F0~F2 に対応。

### 21.15 タイマ F の動作説明

#### 21.15.1 一定時間内エッジカウント

TFjGRA レジスタにエッジをカウントする期間を指定すると、TFjGRB レジスタに指定期間内のエッジカウント数が得られます。まったくエッジがカウントされなかった場合は 0 が得られます。カウントする期間は、TFjECNTA カウントソースクロックの周期 (TFjGRA レジスタの値) となります。このときのタイマ Fj の動作は以下のとおりです。また動作例を図 21.14 に示します。これは、カウントソースクロックの 12 周期間に、8 個のエッジが与えられた例です。ここでの TFjECNTA クロックと TFjECNTB クロックは、それぞれ TFjECNTA カウンタと TFjECNTB カウンタがカウント動作やクリア動作を行うタイミングを示しています。一定時間内エッジカウントの動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA : クロックバス 0~5 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の Pck クロックに同期してカウント値をクリアします。
- TFjECNTB : TIFjA 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のために TIFjA には 2 サイクルの遅れが生じます。TFjECNTA カウンタのコンペアマッチの検出後、次の Pck クロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアと同時にカウント対象エッジが与えられた場合は、カウンタクリアとエッジカウントを 1 サイクルの間に行ったものと見なし、カウント値は H'0001 となります。この例を図 21.15 に示します。
- TFjGRA : TFjECNTA カウンタに対するコンペアマッチレジスタとして機能し、TFjECNTA カウンタのカウント値が TFjGRA と一致すると、コンペアマッチを検出します。
- TFjGRB : TFjECNTB カウンタに対するキャプチャレジスタとして機能します。TFjECNTA カウンタのコンペアマッチの検出後、次の Pck クロックに同期して TFjECNTB カウンタのカウント値をキャプチャします。
- ICFfj フラグ : TFjECNTA カウンタのコンペアマッチの検出後、次の Pck クロックに同期して ICFfj フラグをセットします。
- TFjECNTC、TFjGRC、TFjGRD : 機能しません。

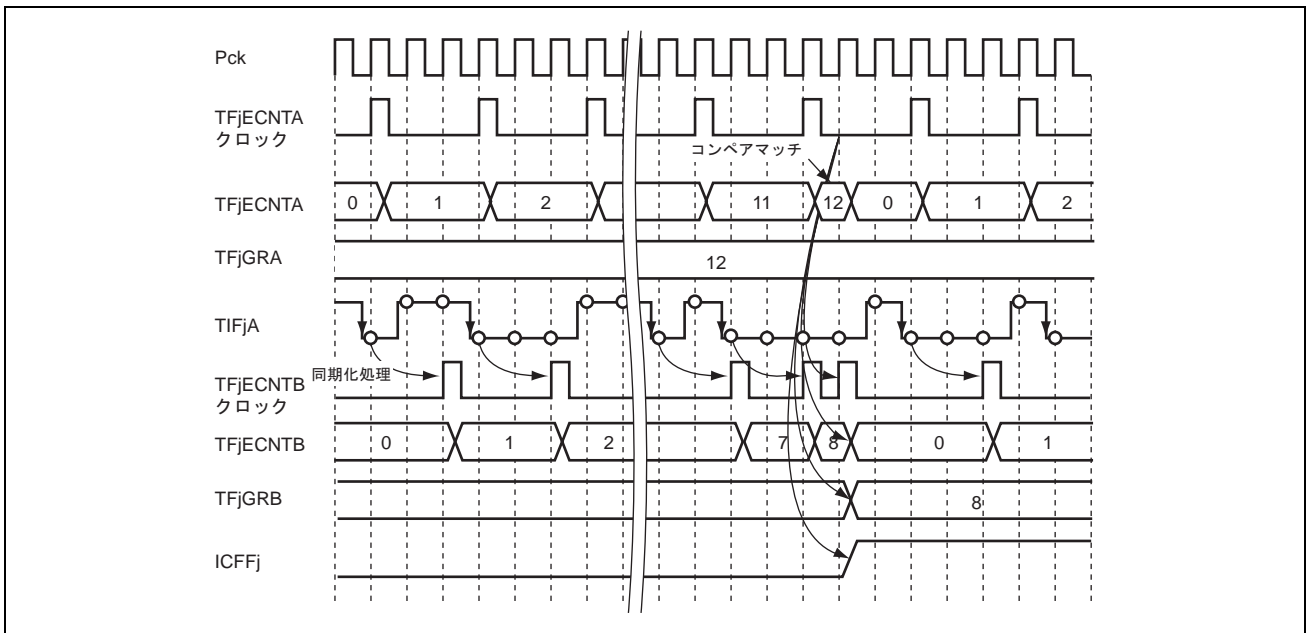


図 21.14 一定時間内エッジカウントの動作例

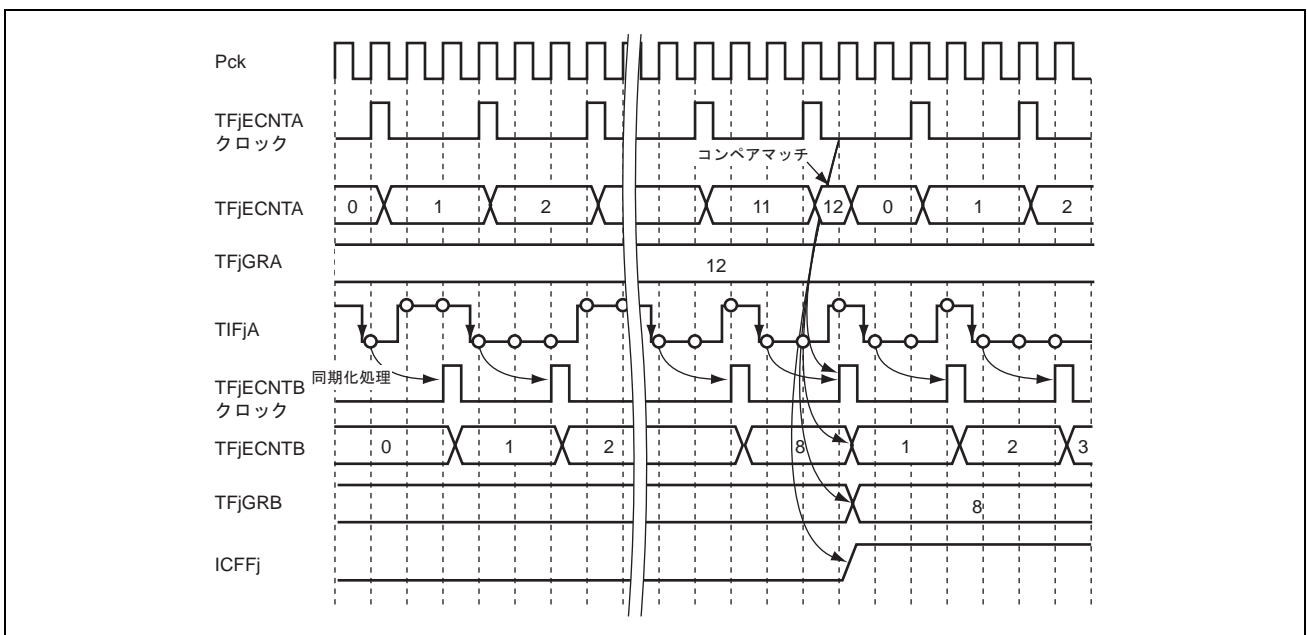


図 21.15 一定時間内エッジカウントの動作例 (コンペアマッチとイベントが同時)



### 21.15.2 有効エッジ入力間隔計測

TFjGRB レジスタに対象とするエッジの数 (TFjGRB レジスタの値) を指定すると、それだけのエッジをカウントするのに要した時間が TFjGRA レジスタに得られます。この時間を対象とするエッジの数で割ることによって、エッジ入力間隔の平均値を得ることができます。得られる時間は、TFjECNTA カウンタのカウントソースクロックの周期 (TFjGRA レジスタの値) として示されます。このときのタイマ Fj の動作は次のとおりです。また動作例を図 21.16 に示します。これは、12 個のエッジを入力するのにカウントソースクロック 13 周期を要した例です。ここでの TFjECNTA クロックと TFjECNTB クロックは、それぞれ TFjECNTA カウンタと TFjECNTB カウンタがカウント動作やクリア動作を行うタイミングを示しています。

有効エッジ入力間隔計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA : クロックバス0~5のいずれかをカウントソースとして時間を計測します。TFjECNTB カウンタとTFjGRBレジスタのコンペアマッチを検出すると、次のTFjECNTAクロックに同期してカウント値をクリアします。TFjECNTAカウンタのカウントクリアはカウントアップと同じタイミングとなるため、クリア値はH'0000 0100となります。
- TFjECNTB : TIFjAより与えられたエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のためにTIFjAには2サイクルの遅れが生じます。コンペアマッチを検出すると、次のPckクロックに同期してカウント値をクリアします。
- TFjGRA : TFjECNTAカウンタに対するキャプチャレジスタとして機能します。TFjECNTBカウンタのコンペアマッチの検出後、次のTFjECNTAクロックに同期してTFjECNTAカウンタのカウント値をキャプチャします。
- TFjGRB : TFjECNTBカウンタに対するコンペアマッチレジスタとして機能し、TFjECNTBカウンタのカウント値がTFjGRBレジスタと一致すると、コンペアマッチを検出します。
- ICFfjフラグ : TFjECNTBカウンタのコンペアマッチの検出後、次のTFjECNTAクロックに同期してICFfjフラグをセットします。
- TFjECNTC、TFjGRC、TFjGRD : 機能しません。

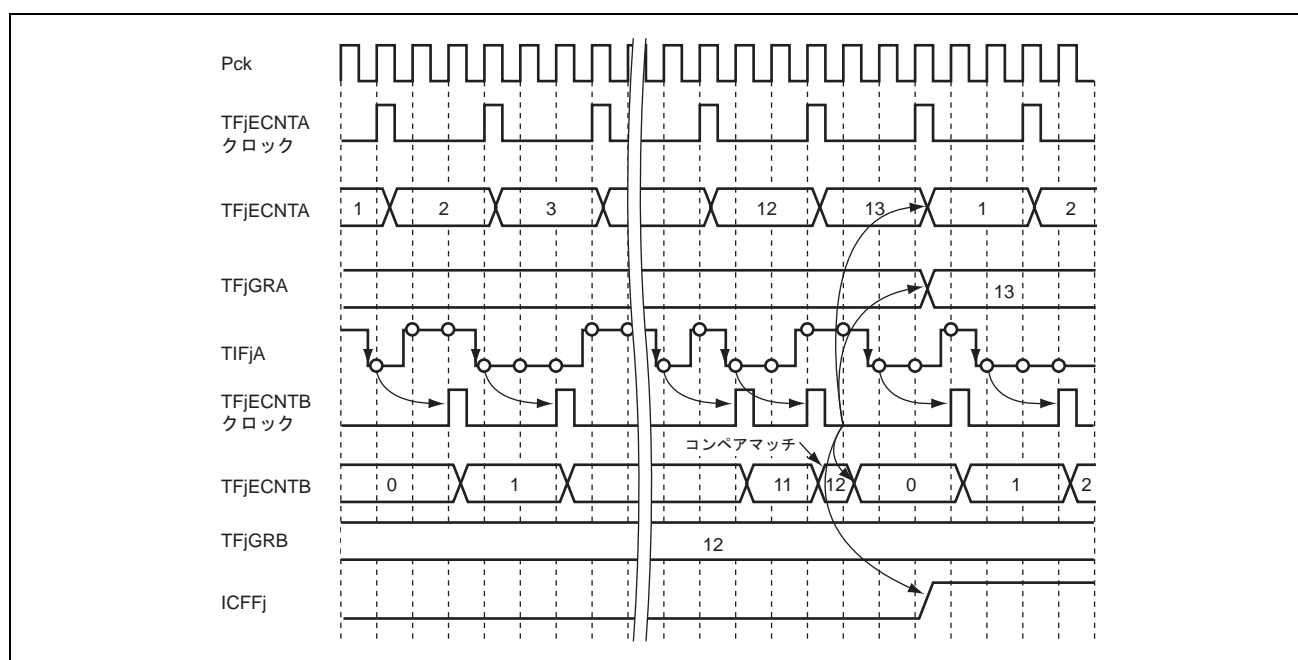


図 21.16 有効エッジ入力間隔計測の動作例

### 21.15.3 入力"H"レベル/"L"レベル期間計測

TIFjA に"H"レベルまたは"L"レベルが与えられた時間を計測します。得られる時間は、TFjECNTA カウンタのクロックソースを基準として示されます。TFjGRB レジスタには、時間を計測する範囲を、TIFjA に与えられるパルスの数 (TFjGRB レジスタの値) として指定します。このときのタイマ F の動作は次のようになります。また動作例を図 21.17 に示します。これは、3 個のパルスの"H"レベル期間がカウントソースクロック 9 周期と計測された例です。ここでの TFjECNTA クロックと TFjECNTB クロックは、それぞれ TFjECNTA カウンタと TFjECNTB カウンタが、カウント動作やクリア動作を行うタイミングを示しています。

入力"H"レベル/"L"レベル期間計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA: クロックバス0~5のいずれかをカウントソースとし、TIFjAをイネーブルとしてカウントアップを行います。すなわち、TIFjAに"H"レベルが与えられている時間を計測します。TFjECNTB カウンタのコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFjAに"H"レベルが与えられていた場合は、カウント値はH'0000 0100となります。この例を図21.18に示します。
- TFjECNTB: TIFjAの立ち下がりエッジをカウントします。また、同期化処理のためにTIFjAには2サイクルの遅れが生じます。コンペアマッチを検出すると、次のPckクロックに同期してカウント値をクリアします。
- TFjGRA: TFjECNTAカウンタに対するキャプチャレジスタとして機能します。TFjECNTBカウンタのコンペアマッチの検出後、次のTFjECNTAクロックに同期してTFjECNTAのカウント値をキャプチャします。
- TFjGRB: TFjECNTBカウンタに対するコンペアマッチレジスタとして機能し、TFjECNTBカウンタのカウント値がTFjGRBと一致すると、コンペアマッチを検出します。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

- ICFfjフラグ：TFjECNTBカウンタのコンペアマッチの検出後、次のTFjECNTAクロックに同期してICFfjフラグをセットします。
- TFjECNTC、TFjGRC、TFjGRD：機能しません。

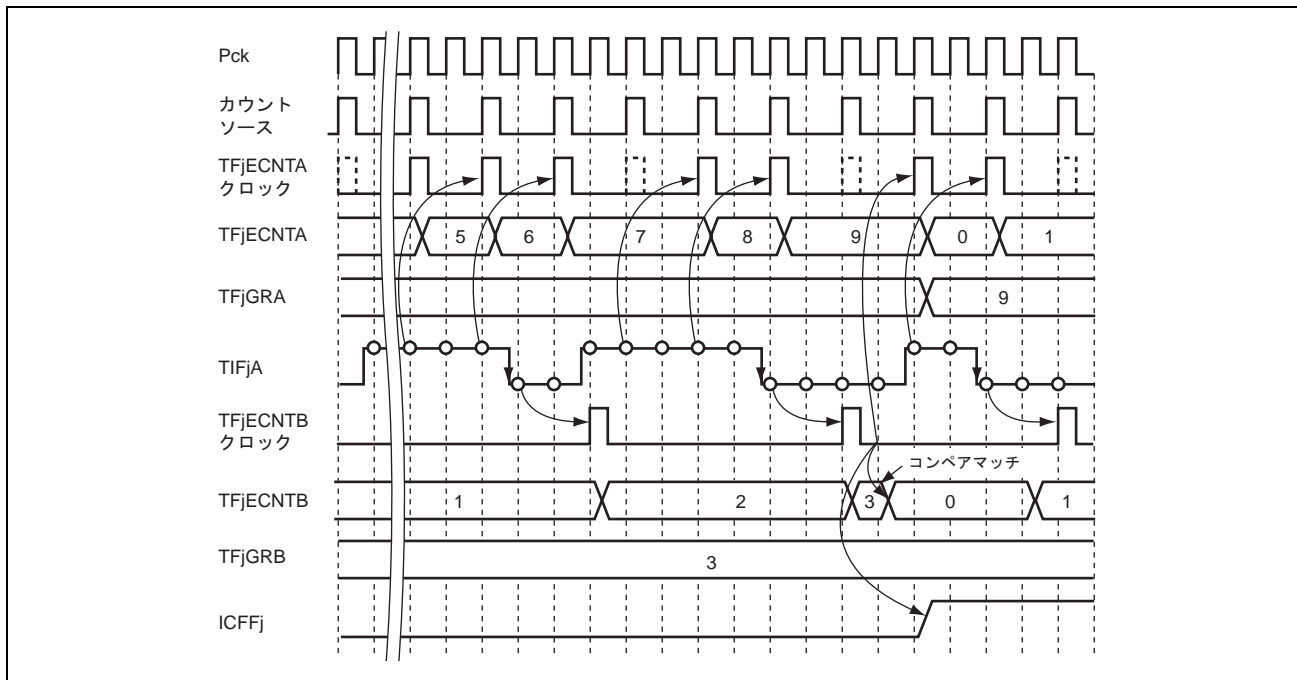


図 21.17 入力"H"レベル期間計測の動作例

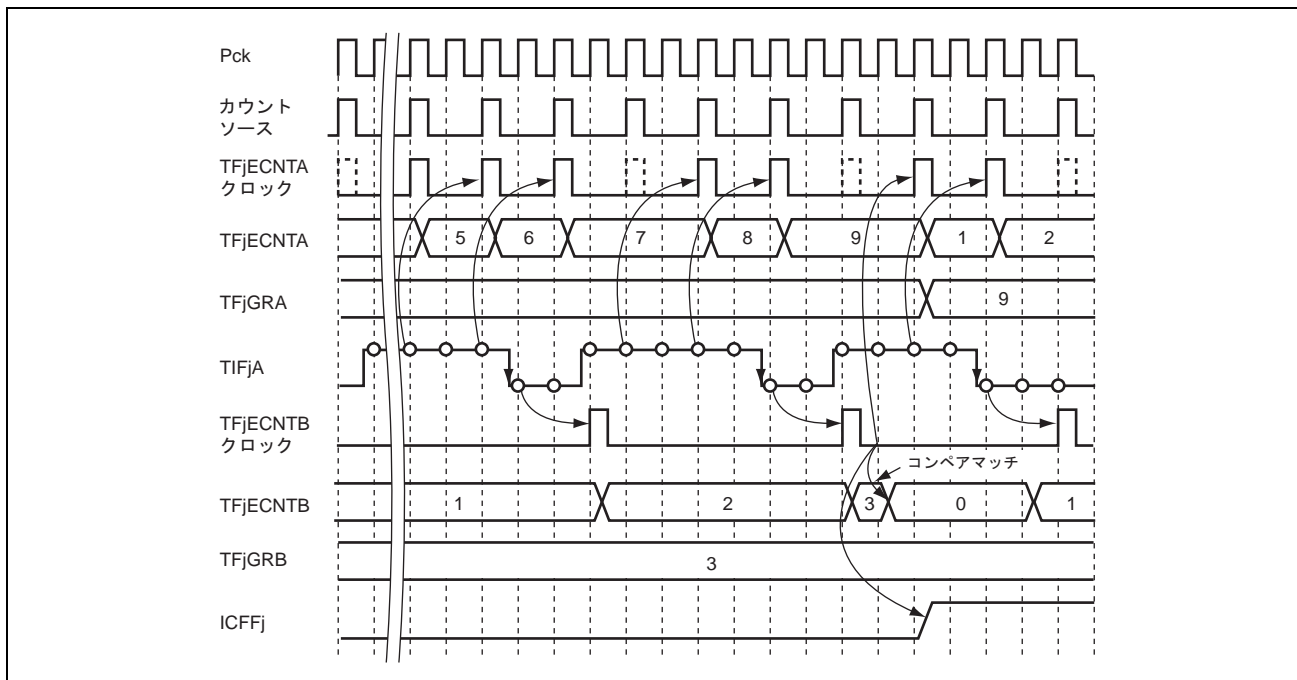


図 21.18 入力"H"レベル期間計測の動作例 (キャプチャ動作時に TIFjA が"H"レベル)

### 21.15.4 PWM 入力波形計測

TIFjA に入力された PWM 波形のオフデューティと PWM サイクルを計測します。TIFjA に "L" または "H" レベルが与えられた時間をオフデューティとして、エッジ入力の間隔を PWM サイクルとして同時に計測します。得られる時間は、TFjECNTA カウンタのクロックソースを基準として示されます。TFjGRB レジスタには、時間を計測する範囲を TIFjA に与えられる PWM 波形の数 (TFjGRB の値) として指定します。

このときのタイマ F の動作は次のようになります。また動作例を図 21.19 に示します。これは、2 個の PWM 波形の PWM サイクルがカウントソースクロック 6 周期、オフデューティ期間 ("L" 期間) がカウントソースクロック 4 周期と計測された例です。

ここでの TFjECNTA クロックは、TFjECNTA カウンタ、TFjECNTB クロックは TFjECNTB カウンタ、TFjECNTC クロックは TFjECNTC カウンタがカウント動作やクリア動作を行うタイミングを示しています。PWM 入力波形計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA : クロックバス 0~5 のいずれかをカウントソースとし、TIFjA の入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFjA に "L" レベルが与えられている時間を計測します。TFjECNTB カウンタのコンペアマッチ検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFjA に "L" レベルが与えられていた場合は、カウント値は H'0000 0100 となります。
- TFjECNTB : TIFjA の立ち上がりエッジをカウントします。また、同期化処理のために TIFjA には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の Pck クロックに同期してカウント値をクリアします。
- TFjGRA : TFjECNTA カウンタに対するキャプチャレジスタとして機能します。TFjECNTB カウンタのコンペアマッチ検出後、次の TFjECNTA クロックに同期して TFjECNTA カウンタのカウント値をキャプチャします。
- TFjGRB : TFjECNTB カウンタに対するコンペアマッチレジスタとして機能し、TFjECNTB カウンタのカウント値が TFjGRB と一致すると、コンペアマッチを検出します。
- TFjECNTC : TFjECNTA カウンタと同じカウントソースで時間を計測します。TFjECNTB カウンタのコンペアマッチ検出後、次の TFjECNTA クロックに同期してカウント値をクリアします。TFjECNTC カウンタのカウントクリアは、カウントアップと同じタイミングとなるため、クリア値は H'0000 0100 となります。
- TFjGRC : TFjECNTC カウンタに対するキャプチャレジスタとして機能します。TFjECNTB カウンタのコンペアマッチ検出後、次の TFjECNTA クロックに同期して TFjECNTC カウンタのカウント値をキャプチャします。
- ICFFj フラグ : TFjECNTB カウンタのコンペアマッチ検出後、次の TFjECNTA クロックに同期して ICFFj フラグをセットします。
- TFjGRD : 機能しません。

すなわち、TFjECNTB (TFjGRB) と TFjECNTA (TFjGRA) が "L" レベル期間計測モードで動作し、TFjECNTB (TFjGRB) と TFjECNTC (TFjGRC) が有効エッジ入力間隔計測モードで動作していることとなります。

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

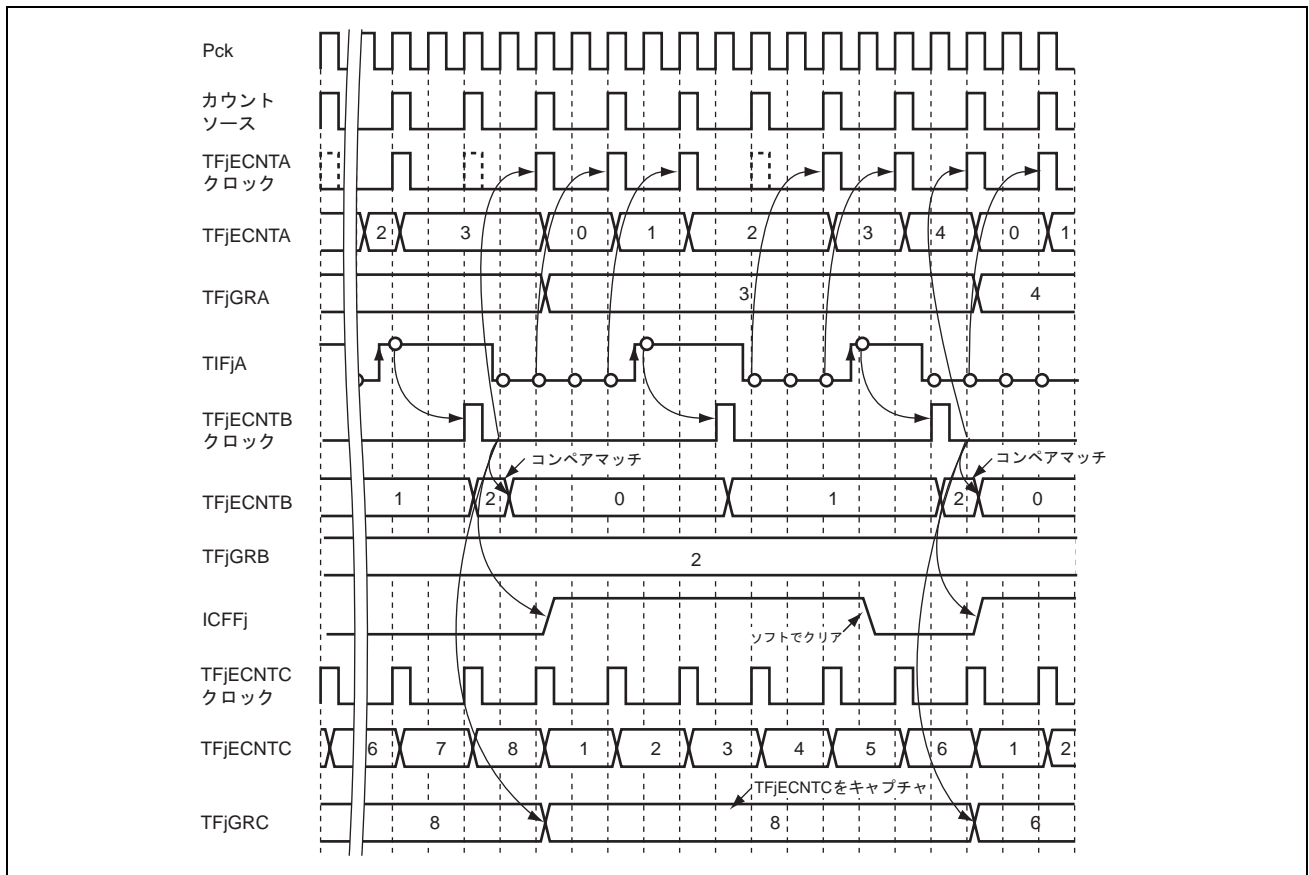


図 21.19 PWM 入力波形期間計測の動作例

### 21.15.5 回転速度/パルス計測

TIFjA に入力されたエッジ数およびエッジ入力時刻 (タイムスタンプ) を計測し、また直前の入力エッジとの間に現れる PWM 波形のオフデューティと PWM サイクルを計測します。

得られる時間は、TFjECNTA カウンタのクロックソースを基準として示されます。また、TFjGRB レジスタには、エッジ入力間隔の最大値を設定でき、エッジ入力間隔が最大値を超えた場合に割り込み要求を出力できます。

このときのタイマ F の動作は次のようになります。また動作例を図 21.20 に示します。

ここでの TFjECNTA クロックは、TFjECNTA カウンタ、TFjECNTB クロックは TFjECNTB カウンタ、TFjECNTC クロックは TFjECNTC カウンタがカウント動作やクリア動作を行うタイミングを示しています。回転速度/パルス計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA : クロックバス0~5のいずれかをカウントソースとし、TIFjAの入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFjAに"L"レベルが与えられている時間を計測します。TIFjAへのエッジ入力後、次のカウントソースクロックに同期してカウント値をクリアします。カウントクリアの際に、TIFjAに"L"レベルが与えられていた場合は、カウント値はH'0000 0100となります。
- TFjECNTB : TIFjAの立ち上がりエッジをカウントします。また、同期化処理のためにTIFjAには2サイクルの遅れが生じます。
- TFjGRA : TFjECNTAカウンタに対するキャプチャレジスタとして機能します。TIFjAへのエッジ入力後、次のTFjECNTAクロックに同期してTFjECNTAカウンタのカウント値をキャプチャします。
- TFjGRB : TFjECNTCカウンタに対するコンペアマッチレジスタとして機能します。TFjECNTCカウンタのカウント値と、TFjGRBレジスタの下位8ビットをゼロ拡張した値が一致すると、コンペアマッチを検出しOVFCFjフラグを"1"にセットします。
- TFjECNTC : TFjECNTAカウンタと同じカウントソースで時間を計測します。TIFjAへのエッジ入力後、次のTFjECNTAクロックに同期してカウント値をクリアします。TFjECNTCカウンタのカウントクリアは、カウントアップと同じタイミングとなるため、クリア値はH'0000 0100となります。
- TFjGRC : TFjECNTCカウンタに対するキャプチャレジスタとして機能します。TIFjAへのエッジ入力後、次のTFjECNTAクロックに同期してTFjECNTCカウンタのカウント値をキャプチャします。
- TFjGRD : TFjECNTCカウンタに対するキャプチャレジスタとして機能します。TIFjAへのエッジ入力後、次のTFjECNTAクロックに同期して、TFjECNTCカウンタのカウント値をTFjGRDレジスタの値に累算してキャプチャします。加算する値は、クリア前のTFjECNTCの値となります。
- ICFjフラグ : TIFjAへのエッジ入力後、次のTFjECNTAクロックに同期してICFjフラグをセットします。
- OVFCFjフラグ : TFjECNTCカウンタとTFjGRBレジスタの下位8ビットをゼロ拡張した値が一致した次のPckクロックに同期してOVFCFjフラグをセットします。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ICFFj フラグの"1"セット時に、TFjECNTB カウンタ、TFjGRA、TFjGRC、TFjGRD レジスタを読み出すことで、それぞれからエッジ数、オフデューティサイクル、PWM サイクル、およびエッジ入力時刻を得ることができます。

TFjGRA、TFjGRC、TFjGRD レジスタのキャプチャタイミングは、TFjECNTA カウンタのカウントクロックに同期します。TIFj へのエッジ入力周期が、TFjECNTA カウンタのカウントクロック周期よりも短くなると正しく計測できませんので、ご注意ください。

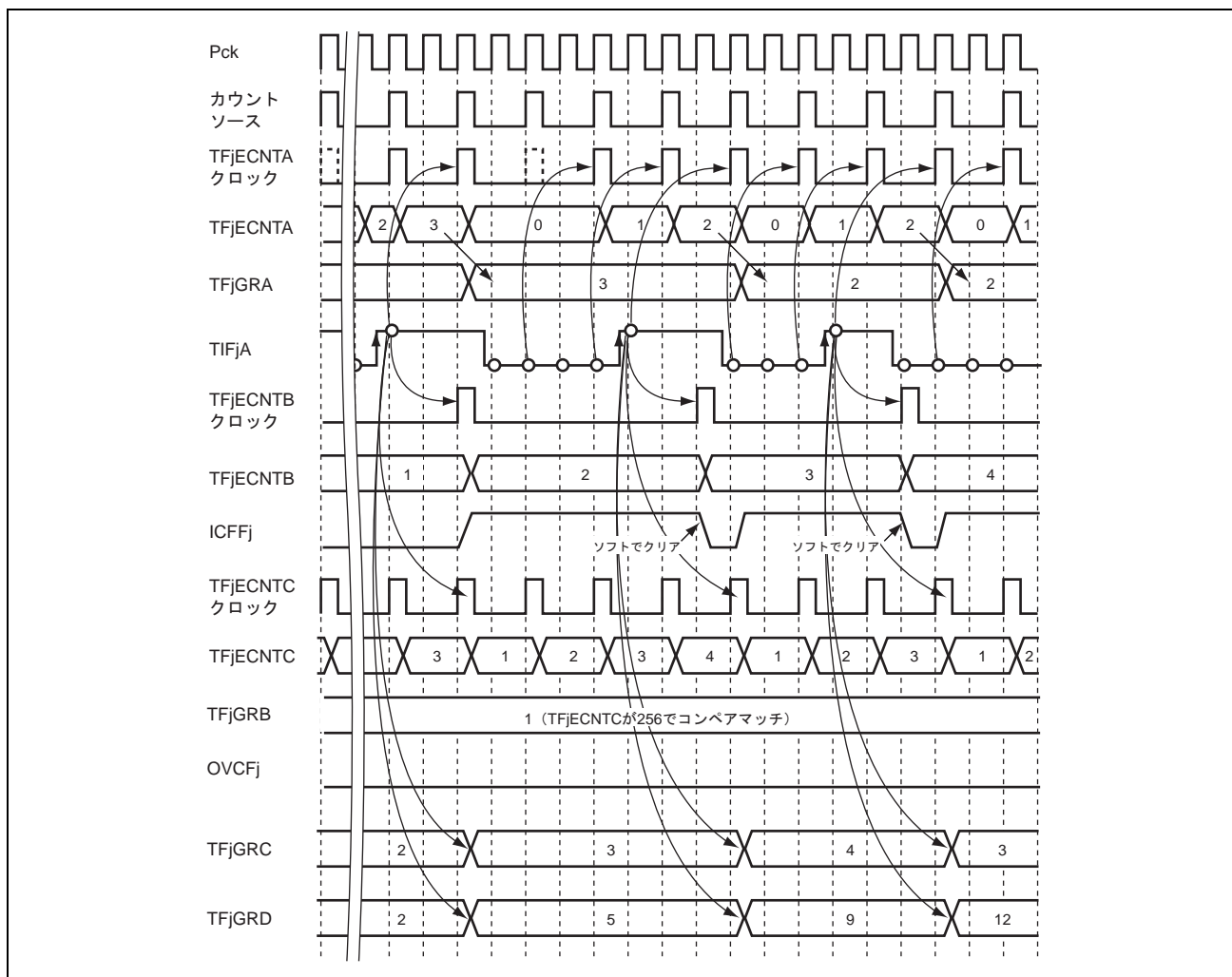






図 21.20 回転速度/パルス計測の動作例

### 21.15.6 アップ/ダウンイベントカウント

2本の外部入力端子 (TIFjA、TIFjB) のうち、TIFjA をカウントソースとしてカウント動作を行い、TIFjB でアップカウント、ダウンカウントを切り替えます。また、TFjGRA レジスタにカウントする期間を指定すると、TFjGRB レジスタに指定期間後のカウント値が得られます。カウントする期間は、TFjECNTA カウントソースクロックの周期 (TFjGRA の値) となります。このときのタイマ F の動作は次のようになります。また図 21.21 に動作例を示します。ここでの TFjECNTA クロックと TFjECNTB クロックは、それぞれ TFjECNTA カウンタと TFjECNTB カウンタがカウント動作やクリア動作を行うタイミングを示しています。アップ/ダウンイベントカウントの動作モードのときの各レジスタ動作は、以下のとおりです。

- TFjECNTA : クロックバス0~5のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次のPckクロックに同期してカウント値をクリアします。
- TFjECNTB : TIFjAの立ち上がり/立ち下がりエッジの両エッジでアップ/ダウンカウント動作を行います。カウントの方向は、TIFjBの入力レベルにより決定されます (表21.7を参照)。また、同期化処理のためにTIFjA、TIFjBには2サイクルの遅れが生じます。
- TFjGRA : TFjECNTAカウンタに対するコンペアマッチレジスタとして機能し、TFjECNTAカウンタのカウント値がTFjGRAレジスタと一致すると、コンペアマッチを検出します。
- TFjGRB : TFjECNTBカウンタに対するキャプチャレジスタとして機能します。TFjECNTAカウンタのコンペアマッチ検出後、次のPckクロックに同期してTFjECNTBカウンタのカウント値をキャプチャします。
- ICFjフラグ : TFjECNTAカウンタのコンペアマッチ検出後、次のPckクロックに同期してICFjフラグをセットします。
- TFjECNTC、TFjGRC、TFjGRD : 機能しません。

表 21.7 アップ/ダウンイベントカウントモード時のカウント方向

入力	カウント方向			
	アップカウント		ダウンカウント	
TIFjA				
TIFjB	"L"レベル		"H"レベル	



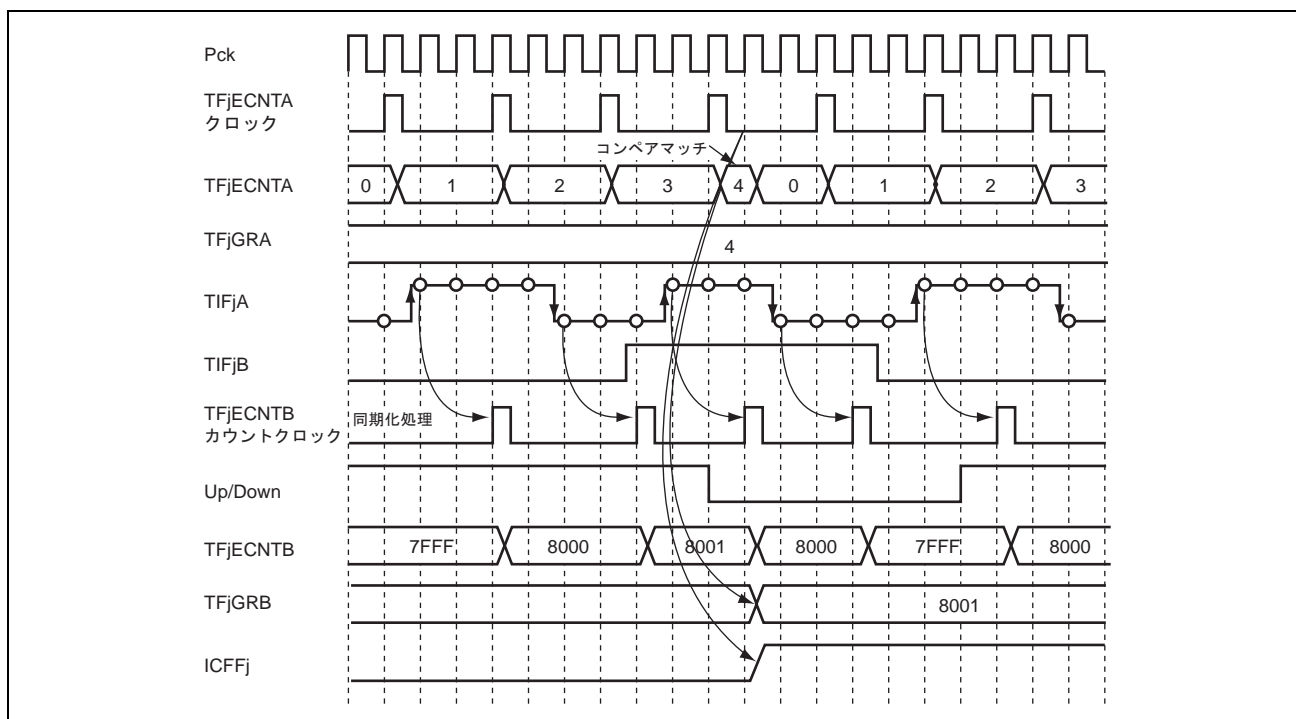


図 21.21 アップ/ダウンイベントカウンタの動作例

### 21.15.7 4 逓倍イベントカウンタ

2本の外部入力端子 (TIFjA、TIFjB) をカウントソースとしてカウント動作を行い、その2本の入力状態によってアップカウント、ダウンカウントを切り替えます。また、TFjGRA レジスタにカウントする期間を指定すると TFjGRB レジスタに指定期間後のカウント値が得られます。カウントする期間は、TFjECNTA カウントソースクロックの周期 (TFjGRA レジスタの値) となります。

このときのタイマ F の動作は次のようになります。また動作例を図 21.22 に示します。ここでの TFjECNTA クロックと TFjECNTB クロックは、それぞれ TFjECNTA カウンタと TFjECNTB カウンタが、カウント動作やクリア動作を行うタイミングを示しています。

4 逓倍イベントカウンタの動作モードのときの各レジスタの動作は、以下のとおりです。

- TFjECNTA : クロックバス0~5のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次のPckクロックに同期してカウント値をクリアします。
- TFjECNTB : TIFjA、TIFjBそれぞれの立ち上がり/立ち下がりエッジの両エッジでアップ/ダウンカウント動作を行います。カウントの方向は、他方の信号の入力レベルにより決定されます (表21.18を参照してください)。また、同期化処理のためにTIFjA、TIFjBには2サイクルの遅れが生じます。
- TFjGRA : TFjECNTAカウンタに対するコンペアマッチレジスタとして機能し、TFjECNTAカウンタのカウント値がTFjGRAレジスタと一致すると、コンペアマッチを検出します。
- TFjGRB : TFjECNTBカウンタに対するキャプチャレジスタとして機能します。TFjECNTAカウンタのコンペアマッチ検出後、次のPckクロックに同期してTFjECNTBカウンタのカウント値をキャプチャします。

- ICFfjフラグ：TFjECNTAカウンタのコンペアマッチ検出後、次のPckクロックに同期してICFFjフラグをセットします。
- TFjECNTC、TFjGRC、TFjGRD：機能しません。

表 21.18 4 通倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIFjA	"H"レベル		"L"レベル		"H"レベル		"L"レベル	
TIFjB		"H"レベル		"L"レベル		"L"レベル		"H"レベル

【注】・ TIFjA と TIFjB のエッジ入力を同時に検出した場合の動作は保証されません。TIFjA と TIFjB のエッジ入力間隔は、必ず 1.5 サイクル (Pck クロック) 以上となるようにしてください。

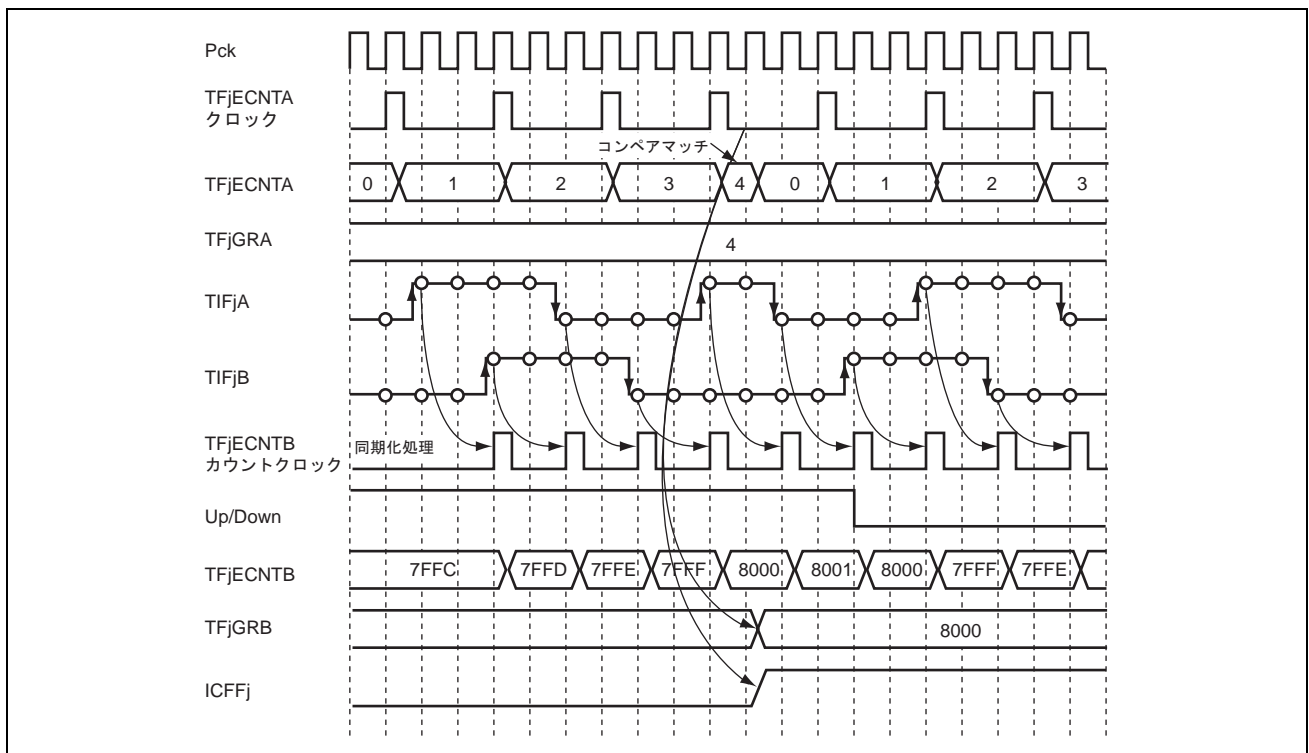


図 21.22 4 通倍イベントカウントの動作例

### 21.15.8 オーバフロー/アンダフロー

カウンタクリア処理以外でカウント値が H'FFFF FF00 (TFjECNTA、TFjECNTC) → H'0000 0000 (TFjECNTA、TFjECNTC) または H'FFFF (TFjECNTB) → H'0000 (TFjECNTB) となった場合にオーバフローを検出します。この場合、カウント値が H'0000 0000 (または H'0000) になると同時にフラグをセットします。TFjECNTA カウンタでオーバフローを検出した場合は OVFAFj を、TFjECNTB カウンタのときは OVFBFj を、TFjECNTC のときは OVFCFj をセットします。

また、カウント値が H'0000 (TFjECNTB) → H'FFFF (TFjECNTB) となった場合にアンダフローを検出します。この場合、カウント値が H'FFFF となると同時にフラグをセットします。アンダフローは TFjECNTB カウンタでのみ発生し、OVFBFj をセットします。

## 21.16 タイマ G の概要

タイマ G は、同一の機能を持つ 6 個のサブブロックによって構成されます。

サブブロックは、入力クロックをカウントし、所定の時間が経過すると Pck クロックで 1 サイクル期間の負論理パルス信号を生成します。生成した信号は、A/D 変換器の起動/割り込みトリガとして使用することができます。また、パルス信号とは別に割り込み要求も出力することができ、DMAC に DMA 転送の起動を要求することも可能です。なお、カウンタの入力クロックは、クロックバス上の 5 本のクロックから選択できます。

### 21.16.1 ブロック図

タイマ G のサブブロックは、1 本の 16 ビットの TGk カウンタ (TGkCNT) と、1 本の TGk コンペアマッチレジスタ (TGkOCR)、制御部などで構成されています。

図 21.23 に、タイマ G のブロック図を示します。

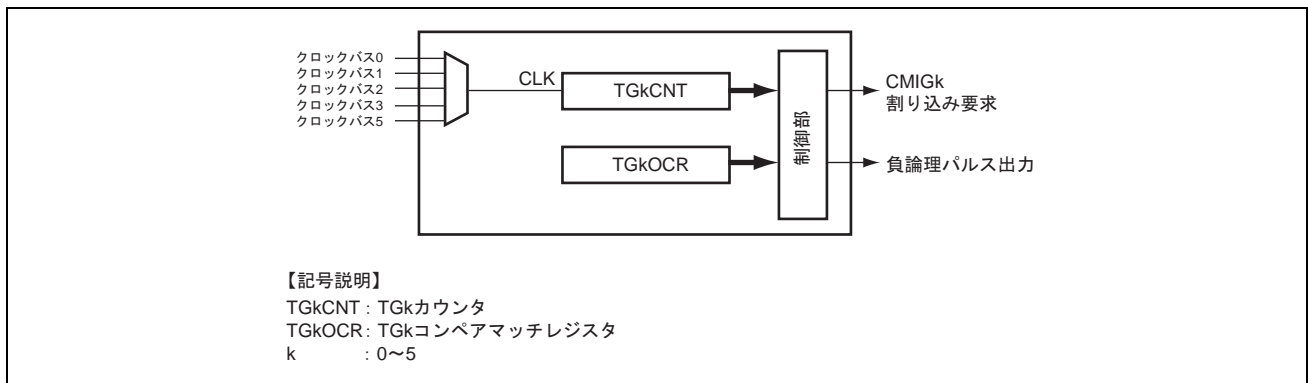


図 21.23 タイマ G のブロック図

### 21.16.2 割り込み

タイマ G の割り込みは、CMIG0~5 の 6 本あります。サブクロックでコンペアマッチが検出されると、割り込み要求は出力されます。この要求は、DMAC または INTC が受け取り、それぞれの設定に従って所定の処理を行います。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.17 タイマ G のレジスタの説明

#### 21.17.1 TG スタートレジスタ (TGSTR)

TGSTR レジスタは、タイマ G の各サブブロックを動作させるか停止させるかを指定します。ただし、STRGk ビットを"1"にセットしても、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TGE ビットがイネーブルに設定されていない場合はカウント動作は行われません。

TGスタートレジスタ (TGSTR)

<P4領域アドレス : H'FFFF E501番地>

ビット:

7	6	5	4	3	2	1	0
—	—	STRG5	STRG4	STRG3	STRG2	STRG1	STRG0

リセット後の値:

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7, 6	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	STRG5	0	R	W	カウンタ G スタートビット サブブロックの TGk カウンタ (TGkCNT) を動作させるか停止させるかを設定します。 STRGk ビットを"0"にクリアした場合、TGkCNT カウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを"1"にセットした場合には、その値から動作を再開します。ただし、本ビットを"1"にセットしても、ATUENR レジスタの TGE ビットが"1"にセットされていない場合はカウント動作は開始されません。 0 : TGkCNT カウンタのカウント動作を停止 1 : TGkCNT カウンタのカウント動作を許可 <b>【注】</b> ・プリスケラは、カウンタ G スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって、起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期(分解能)以下のハードウェア的な不確定さが伴います。
4	STRG4	0	R	W	
3	STRG3	0	R	W	
2	STRG2	0	R	W	
1	STRG1	0	R	W	
0	STRG0	0	R	W	

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

## 21.17.2 TGk コントロールレジスタ (TGkCR)

TGkCR レジスタは、タイマ G の各サブブロックの動作モードを指定します。

TG0コントロールレジスタ (TG0CR)	<P4領域アドレス : H'FFFF E580番地>
TG1コントロールレジスタ (TG1CR)	<P4領域アドレス : H'FFFF E590番地>
TG2コントロールレジスタ (TG2CR)	<P4領域アドレス : H'FFFF E5A0番地>
TG3コントロールレジスタ (TG3CR)	<P4領域アドレス : H'FFFF E5B0番地>
TG4コントロールレジスタ (TG4CR)	<P4領域アドレス : H'FFFF E5C0番地>
TG5コントロールレジスタ (TG5CR)	<P4領域アドレス : H'FFFF E5D0番地>

ビット :	7	6	5	4	3	2	1	0
	—	CKSELGk			—	—	CMPO EGk	CM EGk

リセット後の値 : 0 0 0 0 0 0 0 0 0

【記号説明】 k=0~5 : サブブロックG0~G5に対応。

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	CKSELGk	000	R	W	<p>クロックセレクトビット Gk</p> <p>サブブロックの TGk カウンタ (TGkCNT) のクロックソースとしてクロックバス 0~3、5 のいずれかを選択します。クロックバス 0~3 はプリスケアラ 0~3 の出力する分周クロックに対応し、クロックバス 5 は外部クロック入力 B (TCLKB) に対応します。カウントクロックの選択は、タイマ G の動作が停止している状態で行ってください。</p> <p>000 : クロックバス 0 を選択 (プリスケアラ 0)</p> <p>001 : クロックバス 1 を選択 (プリスケアラ 1)</p> <p>010 : クロックバス 2 を選択 (プリスケアラ 2)</p> <p>011 : クロックバス 3 を選択 (プリスケアラ 3)</p> <p>100 : 設定禁止</p> <p>101 : クロックバス 5 を選択 (TCLKB)</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p> <p>【注】・外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 B を使用する場合には、ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) の CB5EG ビットで検出エッジを設定してください。</p>
3、2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
1	CMPOEGk	0	R	W	パルス出カインーブルビット Gk サブブロックの TGk カウンタ (TGkCNT) と TGk コンペアマッチレジスタ (TGkOCR) の値が一致したときに、コンペアマッチパルスを外へ出力するかどうかを設定します。 0 : TGkCNT カウンタと TGkOCR レジスタのコンペアマッチでパルス出力しない 1 : TGkCNT カウンタと TGkOCR レジスタのコンペアマッチでパルス出力する
0	CMEGk	0	R	W	コンペアマッチインタラプトインーブルビット Gk 本フラグにより、サブブロックにおける TGk ステータスレジスタ (TGkSR) のコンペアマッチフラグ Gk (CMFGk) に対応する割り込みの許可/禁止を指定します。 0 : CMFGk による割り込みを禁止 1 : CMFGk による割り込みを許可

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

### 21.17.3 TGk ステータスレジスタ (TGkSR)

TGkSR レジスタは、TGk カウンタのオーバフローの発生、コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、TGk コントロールレジスタ (TGkCR) の対応するビットにより割り込みが許可されていれば、CPU に割り込みまたは DMAC に DMA 転送の起動を要求します。

TG0ステータスレジスタ (TG0SR)	<P4領域アドレス : H'FFFF E581番地>
TG1ステータスレジスタ (TG1SR)	<P4領域アドレス : H'FFFF E591番地>
TG2ステータスレジスタ (TG2SR)	<P4領域アドレス : H'FFFF E5A1番地>
TG3ステータスレジスタ (TG3SR)	<P4領域アドレス : H'FFFF E5B1番地>
TG4ステータスレジスタ (TG4SR)	<P4領域アドレス : H'FFFF E5C1番地>
TG5ステータスレジスタ (TG5SR)	<P4領域アドレス : H'FFFF E5D1番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	OVF Gk	CMF Gk

リセット後の値 :

0 0 0 0 0 0 0 0

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
1	OVFGk	0	R	*1	<p>オーバフローフラグ Gk</p> <p>本フラグにより、TGk カウンタ (TGkCNT) のオーバフローの状態を参照できます。本フラグをソフトウェアにより"1"にセットすることはできません。また、このフラグに対応した割り込みはありません。</p> <p>0 : TGkCNT カウンタにオーバフローなし 1 : TGkCNT カウンタにオーバフロー発生</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• OVFGk="1"の状態を読み出した後、OVFGkに"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• TGkCNT カウンタの値がオーバフロー (H'FFFF→H'0000) したとき</li> </ul>
0	CMFGk	0	R	*1	<p>コンペアマッチフラグ Gk</p> <p>本フラグにより、サブブロック Gk においてコンペアマッチの検出状態を参照できます。このフラグをソフトウェアにより"1"にセットすることはできません。タイマコントロールレジスタのCMEGkビットがセットされている場合、本フラグがセットされるとコンペアマッチ割り込みが出力されます。</p> <p>0 : サブブロック Gk にコンペアマッチの検出なし 1 : サブブロック Gk にコンペアマッチを検出</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• CMFGk="1"の状態を読み出した後、CMFGkに"0"を書き込んだとき</li> <li>• コンペアマッチ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• サブブロック Gk でコンペアマッチを検出したとき</li> </ul>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。"1"の書き込みは無効です。

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

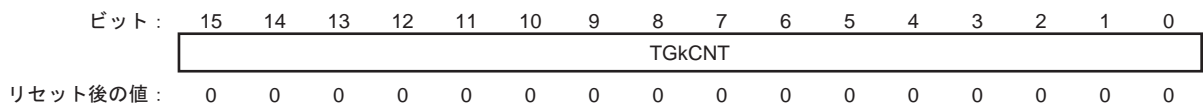


### 21.17.4 TGk カウンタ (TGkCNT)

TGkCNT カウンタは、各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0~5 のいずれかを選ぶことができます。

カウンタ値は TGk コンペアマッチレジスタ (TGkOCR) と比較されています。値が一致すると、次の Pck クロックでコンペアマッチフラグ G (CMFG) がセットされ、カウンタ値は "H'0000" にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TGkCNT カウンタは "H'0001" にクリアされます。これは、TGkCNT カウンタが Pck の 1 分周クロックでカウントする場合にのみ起こります。

TG0カウンタ (TG0CNT)	<P4領域アドレス : H'FFFF E584番地>
TG1カウンタ (TG1CNT)	<P4領域アドレス : H'FFFF E594番地>
TG2カウンタ (TG2CNT)	<P4領域アドレス : H'FFFF E5A4番地>
TG3カウンタ (TG3CNT)	<P4領域アドレス : H'FFFF E5B4番地>
TG4カウンタ (TG4CNT)	<P4領域アドレス : H'FFFF E5C4番地>
TG5カウンタ (TG5CNT)	<P4領域アドレス : H'FFFF E5D4番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	TGkCNT	すべて 0	R	W	TGk タイマカウンタ アップカウンタ

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

## 21.17.5 TGk コンペアマッチレジスタ (TGkOCR)

TGkOCR レジスタは、各サブブロックに1個ずつ用意されており、TGk カウンタ (TGkCNT) に対するアウトプットコンペアレジスタの機能を持っています。

TGkOCR レジスタにはH'0000を設定しないでください。H'0000を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

TG0コンペアマッチレジスタ (TG0OCR)	<P4領域アドレス : H'FFFF E586番地>
TG1コンペアマッチレジスタ (TG1OCR)	<P4領域アドレス : H'FFFF E596番地>
TG2コンペアマッチレジスタ (TG2OCR)	<P4領域アドレス : H'FFFF E5A6番地>
TG3コンペアマッチレジスタ (TG3OCR)	<P4領域アドレス : H'FFFF E5B6番地>
TG4コンペアマッチレジスタ (TG4OCR)	<P4領域アドレス : H'FFFF E5C6番地>
TG5コンペアマッチレジスタ (TG5OCR)	<P4領域アドレス : H'FFFF E5D6番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TGkOCR															
リセット後の値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

&lt;リセット後の値 : H'FFFF&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~0	TGkOCR	すべて1	R	W	TGk コンペアマッチ コンペアマッチ値を指定します。

【記号説明】 k=0~5 : サブブロック G0~G5 に対応。

## 21.18 タイマ G の動作説明

TGkOCR レジスタに時間を指定すると、指定した時間経過後に Pck クロックの 1 サイクル期間の負論理パルスを得ることができます。出力信号の初期値は 1 です。カウントする期間は、TGkCNT カウンタのクロックソースを基準として指定します。

TGk コントロールレジスタ (TGkCR) のコンペアマッチパルス出力イネーブルビット (CMPOEG) の設定により、生成した信号を A/D 変換器に出力することができ、A/D 起動/割り込みトリガとして使用できます。

また、コンペアマッチ時は、TGk ステータスレジスタ (TGkSR) のコンペアマッチフラグ (CMFG) がセットされ、TGkCR レジスタのコンペアマッチインタラプトイネーブルビット (CMEG) の設定により、DMAC および CPU に対して、それぞれ DMA 起動、割り込みを要求できます。

図 21.24 にカウント動作とコンペアマッチ動作の例を示します。ここで TGkCNT クロックは、TGkCNT カウンタがカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

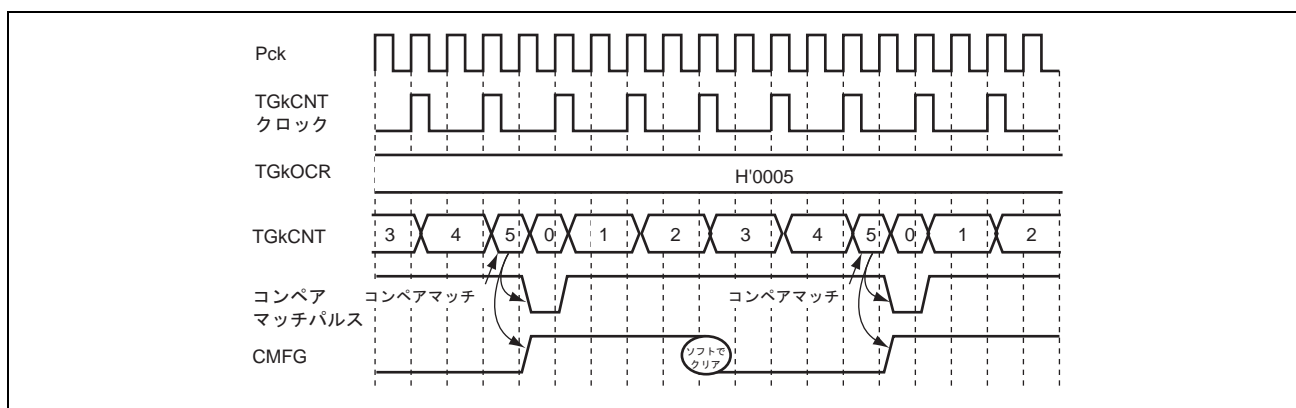


図 21.24 カウント動作とコンペアマッチ動作の例

## 21.19 タイマ TOU の概要

タイマ TOU (Timer Output Unification) は 40 チャンネル (8 チャンネル×5 系統) の出力系 24 ビットタイマで構成されます。タイマ TOU の各チャンネルはソフトウェアによるモード切り替えにより、以下のモードから 1 つを選択できます。

<補正機能なし出力モード>

- PWM出力モード
- ワンショットPWM出力モード
- ワンショット出力モード
- 連続出力モード

表 21.19 にタイマ TOU の仕様を示します。

表 21.19 タイマ TOU (出力系 24 ビットタイマ) の仕様

項目	仕様
チャンネル数	8 チャンネル×5 系統
カウンタ	24 ビットダウンカウンタ (PWM 出力/ワンショット PWM 出力モード時は、16 ビットダウンカウンタ)
リロードレジスタ	24 ビットリロードレジスタ (PWM 出力/ワンショット PWM 出力モード時は、16 ビットリロードレジスタ)
タイマの起動	<ul style="list-style-type: none"> <li>• TOU0_7 アンダフロー</li> <li>• TOU1_7 アンダフロー</li> <li>• TOU2_7 アンダフロー</li> <li>• TOU3_7 アンダフロー</li> <li>• TOU4_7 アンダフロー</li> <li>• タイマ A チャンネル 2 のインプットキャプチャ</li> <li>• タイマ A チャンネル 3 のインプットキャプチャ</li> <li>• タイマ A チャンネル 4 のインプットキャプチャ</li> <li>• タイマ G チャンネル 5 のコンペアマッチ</li> <li>• TOUn_m-1 (TOUn_0 以外)</li> <li>• PDAC イベント出力信号 A~D</li> </ul>
動作モード	<p>&lt;補正機能なし出力モード&gt;</p> <ul style="list-style-type: none"> <li>• PWM 出力モード</li> <li>• ワンショット PWM 出力モード</li> <li>• ワンショット出力モード</li> <li>• 連続出力モード</li> </ul>
割り込み要求発生	カウンタのアンダフローで発生可能
DMA 転送要求発生	カウンタのアンダフローで発生可能

21.19.1 ブロック図

図 21.25 に、タイマ TOU のブロック図を示します。

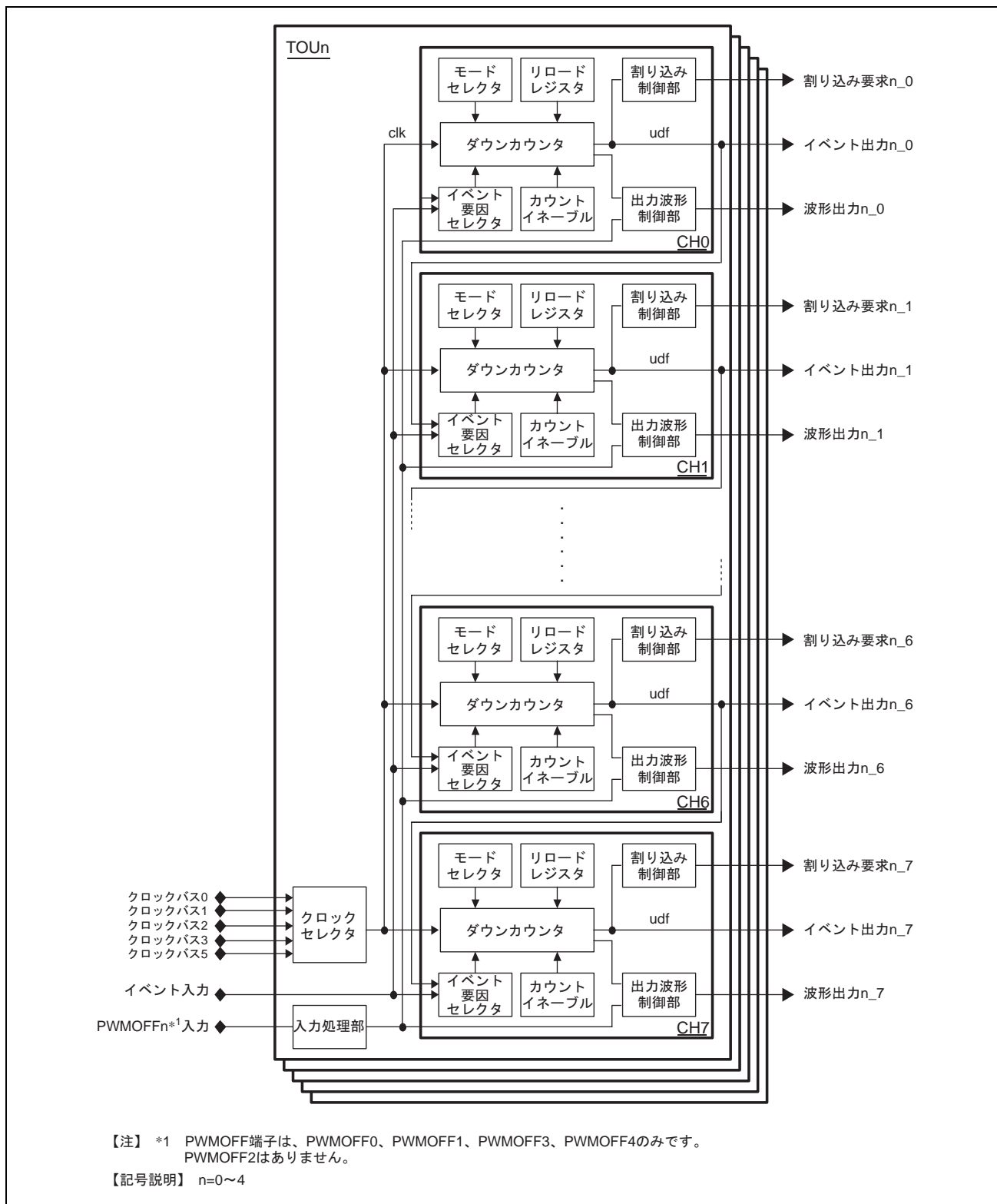


図 21.25 タイマ TOU (出力系 24 ビットタイマ) のブロック図

### 21.19.2 タイマ TOU 各モードの概要

以下にタイマ TOU の各モードの概要を示します。なおタイマ TOU 各チャネルのモードは、この中から 1 つだけを選択できます。

#### (1) PWM 出力モード (補正機能なし)

PWM 出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。PWM 出力モード時は、16 ビットタイマとして動作します。

リロード 0 レジスタと、リロード 1 レジスタに初期値を設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロード 0 レジスタの値をカウンタにロードし、ダウンカウントを開始します。1 回目のカウンタアンダフローのサイクルで、リロード 1 レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード 0 レジスタとリロード 1 レジスタのリロードを交互に繰り返します。リロード 0 レジスタの設定値+1、リロード 1 レジスタの設定値+1 が、それぞれカウント値として有効です。

タイマの停止は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時に行われます (PWM 出力周期には同期しません)。

PWM 出力モードの F/F 出力波形は、カウント開始時と偶数回目のアンダフロー発生時に TOUn 出力コントロールレジスタの反転値を、奇数回目のアンダフロー発生時には TOUn 出力コントロールレジスタの値を出力します。

また、カウント開始後の偶数回目のアンダフローで割り込み要求および DMA 転送要求を発生できます。

#### (2) ワンショット PWM 出力モード (補正機能なし)

ワンショット PWM 出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を 1 回だけ発生するモードです。ワンショット PWM 出力モード時は、16 ビットタイマとして動作します。

リロード 0 レジスタと、リロード 1 レジスタに初期値を設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロード 0 レジスタの値をカウンタにロードし、ダウンカウントを開始します。1 回目のカウンタアンダフローのサイクルで、リロード 1 レジスタの内容をカウンタにロードし、2 回目のカウンタアンダフローによりカウントを停止します。リロード 0 レジスタの設定値+1、リロード 1 レジスタの設定値+1 が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時に行われます (PWM 出力周期には同期しません)。

ワンショット PWM 出力モードの F/F 出力波形は、カウント開始時と 2 回目のアンダフロー発生時に TOUn 出力コントロールレジスタの値を、1 回目のアンダフロー発生時には TOUn 出力コントロールレジスタの反転値を出力します (PWM 出力モードと異なり、カウント開始時、F/F 出力は反転しません)。

また、1 回目と 2 回目のカウンタアンダフロー時に、それぞれ割り込み要求、および DMA 転送要求を発生できます。ただし、1 回目の割り込み要求、および DMA 転送要求の発生は、ソフトウェアにて許可/禁止の選択が可能です。

### (3) ワンショット出力モード (補正機能なし)

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して停止するモードです。

リロードレジスタ設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、カウント開始時にTOUn出力コントロールレジスタの反転値を、アンダフロー発生時にはTOUn出力コントロールレジスタの値を出力し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求、およびDMA転送要求を発生できます。

### (4) 連続出力モード (補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の反転する連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローのサイクルでリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時に行われます。

連続出力モードのF/F出力波形は、カウント開始時と偶数回目のアンダフロー発生時にTOUn出力コントロールレジスタの反転値を、奇数回目のアンダフロー発生時にはTOUn出力コントロールレジスタの値を出力し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA転送要求を発生できます。

#### <カウントクロック分のディレイ>

- タイマ動作はカウントクロックに同期しているため、カウントイネーブルビット書き込みからタイマ動作開始までに最大で1カウントクロック分のディレイが発生します。カウント開始時にF/F出力が反転する動作モードの場合は、F/F出力もカウントクロックに同期して反転します。

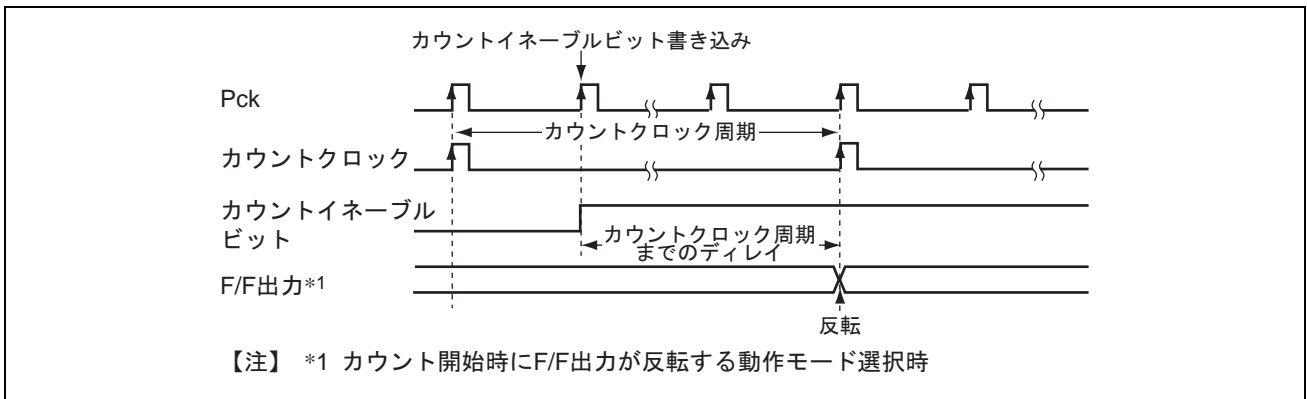


図 21.26 カウントクロック分のデレイ



## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.20 タイマ TOU のレジスタの説明

#### 21.20.1 TOUn コントロールレジスタ (TOnCR)

TOnCR レジスタは、カウントクロックの選択および短絡防止機能の有効/無効の設定を行います。

【注】・TOnCR レジスタの設定、変更は必ず ATUENR レジスタの TTE ビット="0"かつ該当する TOnCENR レジスタの TCENTnm ビット="0"のときにしてください。

TOU0コントロールレジスタ (TO0CR)  
 TOU1コントロールレジスタ (TO1CR)  
 TOU2コントロールレジスタ (TO2CR)  
 TOU3コントロールレジスタ (TO3CR)  
 TOU4コントロールレジスタ (TO4CR)

<P4領域アドレス : H'FFFF E600番地>  
 <P4領域アドレス : H'FFFF E700番地>  
 <P4領域アドレス : H'FFFF E800番地>  
 <P4領域アドレス : H'FFFF E900番地>  
 <P4領域アドレス : H'FFFF EA00番地>

ビット:     7     6     5     4     3     2     1     0  

—	—	—	—	—	—	—	—	—
CKSELTn							SHEN Tn	—

 リセット後の値:   0   0   0   0   0   0   0   0

【記号説明】 n=0~4

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~4	CKSELTn	000	R	W	クロックセレクトビット TOUn カウントクロックとしてクロックバス 0~3、5 のいずれかを選択します。クロックバス 0~3 はプリスケアラ 0~3 の出力する分周クロックに対応し、クロックバス 5 には外部クロック入力 B (TCLKB) が出力されます。カウントクロックの選択は、TOUn の動作が停止している状態で行ってください。 000 : クロックバス 0 を選択 (プリスケアラ 0) 001 : クロックバス 1 を選択 (プリスケアラ 1) 010 : クロックバス 2 を選択 (プリスケアラ 2) 011 : クロックバス 3 を選択 (プリスケアラ 3) 100 : 設定禁止 101 : クロックバス 5 を選択 (TCLKB) 110 : 設定禁止 111 : 設定禁止 【注】・外部クロック入力のエッジ検出は、クロックバスへの出力前に行われず、外部クロック入力 B を使用する場合には、ATU-IIIS クロックバスコントロールレジスタ (ATCBCNT) の CB5EG ビットで検出エッジを設定してください。
3~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	SHENTn	0	R	W	短絡防止機能許可ビット TOUn 0 : 短絡防止機能無効 1 : 短絡防止機能有効

## 21.20.2 TOUn タイマインタラプトイネーブルレジスタ (TOnIER)

TOnIER レジスタは、アンダフロー割り込み要求の許可/禁止を設定するためのレジスタです。割り込み許可時には"1"を、割り込み禁止時には"0"を設定します。

TOU0タイマインタラプトイネーブルレジスタ (TO0IER)	<P4領域アドレス : H'FFFF E601番地>
TOU1タイマインタラプトイネーブルレジスタ (TO1IER)	<P4領域アドレス : H'FFFF E701番地>
TOU2タイマインタラプトイネーブルレジスタ (TO2IER)	<P4領域アドレス : H'FFFF E801番地>
TOU3タイマインタラプトイネーブルレジスタ (TO3IER)	<P4領域アドレス : H'FFFF E901番地>
TOU4タイマインタラプトイネーブルレジスタ (TO4IER)	<P4領域アドレス : H'FFFF EA01番地>

ビット :

7	6	5	4	3	2	1	0
UDE Tn7	UDE Tn6	UDE Tn5	UDE Tn4	UDE Tn3	UDE Tn2	UDE Tn1	UDE Tn0

リセット後の値 :

0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	UDETn7	0	R	W	アンダフローインタラプトイネーブル TOUn_0~7 TOUn ステータスレジスタ (TOnSR) のアンダフローフラグ TOUn_0~7 (UDFTn0~7) が"1"にセットされているとき、UDFTn0~7 による割り込み要求の出力を許可または禁止します。 0 : アンダフロー割り込み要求 TOUn_0~7 の出力を禁止する 1 : アンダフロー割り込み要求 TOUn_0~7 の出力を許可する
6	UDETn6	0	R	W	
5	UDETn5	0	R	W	
4	UDETn4	0	R	W	
3	UDETn3	0	R	W	
2	UDETn2	0	R	W	
1	UDETn1	0	R	W	
0	UDETn0	0	R	W	

【記号説明】 n=0~4

### 21.20.3 TOUn 出力コントロールレジスタ (TOUnOUCR)

TOUnOUCR レジスタは、TOUn の各 F/F (フリップフロップ) 出力信号 (TOUn0~7) の初期値の設定を行います。このレジスタに書き込みを行うと、TOUn フリップフロップ出力データレジスタ (TOUnFFDR) にも同時に同じ値が書き込まれます。ただし、TOUnOUCR レジスタは、TOUnFFPR レジスタの設定が書き込み許可の場合のみ操作できます (図 21.43 参照)。

TOU0出力コントロールレジスタ (TO0OUCR)  
 TOU1出力コントロールレジスタ (TO1OUCR)  
 TOU2出力コントロールレジスタ (TO2OUCR)  
 TOU3出力コントロールレジスタ (TO3OUCR)  
 TOU4出力コントロールレジスタ (TO4OUCR)

<P4領域アドレス : H'FFFF E602番地>  
 <P4領域アドレス : H'FFFF E702番地>  
 <P4領域アドレス : H'FFFF E802番地>  
 <P4領域アドレス : H'FFFF E902番地>  
 <P4領域アドレス : H'FFFF EA02番地>

ビット :       7     6     5     4     3     2     1     0  

IOC	IOC	IOC	IOC	IOC	IOC	IOC	IOC
Tn7	Tn6	Tn5	Tn4	Tn3	Tn2	Tn1	Tn0

  
 リセット後の値 :   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	IOCTn7	0	R	W	出力コントロール TOUn_0~7 TOUn の F/F 出力信号の初期値の設定を行います。 0 : TOUn の F/F 出力信号 (TOUn0~7) の初期値を"L"レベルに設定する 1 : TOUn の F/F 出力信号 (TOUn0~7) の初期値を"H"レベルに設定する
6	IOCTn6	0	R	W	
5	IOCTn5	0	R	W	
4	IOCTn4	0	R	W	
3	IOCTn3	0	R	W	
2	IOCTn2	0	R	W	
1	IOCTn1	0	R	W	
0	IOCTn0	0	R	W	

【記号説明】 n=0~4

## 21.20.4 TOUn ステータスレジスタ (TOnSR)

TOnSR レジスタの各ビットは、割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることはできません。ステータスビットは、フラグをクリアするため、“1”を読み出した後に“0”を書き込むことのみ可能です。なお、TOnIER レジスタの各ビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用できます。割り込み処理実行時には、割り込み処理を行ったステータスビットのみクリアしてください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

TOU0ステータスレジスタ (TO0SR)

&lt;P4領域アドレス : H'FFFF E603番地&gt;

TOU1ステータスレジスタ (TO1SR)

&lt;P4領域アドレス : H'FFFF E703番地&gt;

TOU2ステータスレジスタ (TO2SR)

&lt;P4領域アドレス : H'FFFF E803番地&gt;

TOU3ステータスレジスタ (TO3SR)

&lt;P4領域アドレス : H'FFFF E903番地&gt;

TOU4ステータスレジスタ (TO4SR)

&lt;P4領域アドレス : H'FFFF EA03番地&gt;

ビット :

7	6	5	4	3	2	1	0
UDF Tn7	UDF Tn6	UDF Tn5	UDF Tn4	UDF Tn3	UDF Tn2	UDF Tn1	UDF Tn0

リセット後の値 :

0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	UDFTn7	0	R	*1	アンダフローフラグ TOUn_0~7 TOUnm カウンタ (TOnmCNT) のアンダフローの発生を示すステータスフラグです。本フラグの読み出し値が“1”であるとき、TOnmCNT カウンタでアンダフローが発生したことが分かります。 本フラグをソフトウェアにより“1”にセットすることはできません。 フラグのクリアは、UDFTn0~7 が“1”の状態でもフラグを読み出した後に“0”を書き込むことで行います。“1”を読み出さずに“0”を書き込んだ場合、その書き込みは無視されます。 0 : アンダフロー割り込み要求なし 1 : アンダフロー割り込み要求あり ["0"クリア条件] • UDFTn0~7=1 の状態を読み出した後、UDFTn0~7 に 0 を書き込んだとき • フラグに対応するアンダフロー割り込みによる DMA 転送要求が DMAC によって受け付けられたとき ["1"セット条件] • TOnmCNT カウンタの値がアンダフロー (H'00000000→H'FFFFFFF) したとき
6	UDFTn6	0	R	*1	
5	UDFTn5	0	R	*1	
4	UDFTn4	0	R	*1	
3	UDFTn3	0	R	*1	
2	UDFTn2	0	R	*1	
1	UDFTn1	0	R	*1	
0	UDFTn0	0	R	*1	

【注】 \*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。1の書き込みは無効です。

【記号説明】 n=0~4

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.20.5 TOUn カウントイネーブルプロテクトレジスタ (TOnCEPR)

TOnCEPR レジスタは、「21.20.6 TOUn カウントイネーブルレジスタ (TOnCENR)」に示すカウントイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

TOU0カウントイネーブルプロテクトレジスタ (TO0CEPR)  
 TOU1カウントイネーブルプロテクトレジスタ (TO1CEPR)  
 TOU2カウントイネーブルプロテクトレジスタ (TO2CEPR)  
 TOU3カウントイネーブルプロテクトレジスタ (TO3CEPR)  
 TOU4カウントイネーブルプロテクトレジスタ (TO4CEPR)

<P4領域アドレス : H'FFFF E604番地>  
 <P4領域アドレス : H'FFFF E704番地>  
 <P4領域アドレス : H'FFFF E804番地>  
 <P4領域アドレス : H'FFFF E904番地>  
 <P4領域アドレス : H'FFFF EA04番地>

ビット:     7     6     5     4     3     2     1     0  

TCEP Tn7	TCEP Tn6	TCEP Tn5	TCEP Tn4	TCEP Tn3	TCEP Tn2	TCEP Tn1	TCEP Tn0
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

リセット後の値:   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	TCEPTn7	0	R	W	タイマカウントイネーブルプロテクトビット TOUn_0~7 0 : カウントイネーブルビット書き換え許可 1 : カウントイネーブルビット書き換え禁止
6	TCEPTn6	0	R	W	
5	TCEPTn5	0	R	W	
4	TCEPTn4	0	R	W	
3	TCEPTn3	0	R	W	
2	TCEPTn2	0	R	W	
1	TCEPTn1	0	R	W	
0	TCEPTn0	0	R	W	

【記号説明】 n=0~4

## 21.20.6 TOUn カウントイネーブルレジスタ (TONCENR)

TONCENR レジスタは、TONmCNT カウンタの動作を制御します。カウンタをソフトウェアでカウントイネーブルにする場合は、該当するタイマカウントイネーブルプロテクトビットを書き換え許可にし、カウントイネーブルビットに"1"を書き込みます。ただし、タイマ TOU のタイマカウントイネーブルビットをカウント許可に設定していても、ATU-IIIS マスタイネーブルレジスタ (ATUENR) の TTE ビットがイネーブルに設定されていなければカウント動作は行われません。カウンタを停止する場合は、タイマカウントイネーブルプロテクトビットを書き換え許可にし、タイマカウントイネーブルビットに"0"を書き込みます。

ワンショット出力、ワンショット PWM 出力モードではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがって TONCENR レジスタを読み出した場合は、カウンタの動作状態 (動作中または停止) を示すステータスレジスタとなります。

TOU0カウントイネーブルレジスタ (TO0CENR)	<P4領域アドレス : H'FFFF E608番地>
TOU1カウントイネーブルレジスタ (TO1CENR)	<P4領域アドレス : H'FFFF E708番地>
TOU2カウントイネーブルレジスタ (TO2CENR)	<P4領域アドレス : H'FFFF E808番地>
TOU3カウントイネーブルレジスタ (TO3CENR)	<P4領域アドレス : H'FFFF E908番地>
TOU4カウントイネーブルレジスタ (TO4CENR)	<P4領域アドレス : H'FFFF EA08番地>

ビット :	7	6	5	4	3	2	1	0
	TCEN Tn7	TCEN Tn6	TCEN Tn5	TCEN Tn4	TCEN Tn3	TCEN Tn2	TCEN Tn1	TCEN Tn0

リセット後の値 : 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	TCENTn7	0	R	W	タイマカウントイネーブルビット TOUn_0~7 0 : カウント停止 1 : カウント許可
6	TCENTn6	0	R	W	
5	TCENTn5	0	R	W	
4	TCENTn4	0	R	W	
3	TCENTn3	0	R	W	
2	TCENTn2	0	R	W	
1	TCENTn1	0	R	W	
0	TCENTn0	0	R	W	

【記号説明】 n=0~4

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

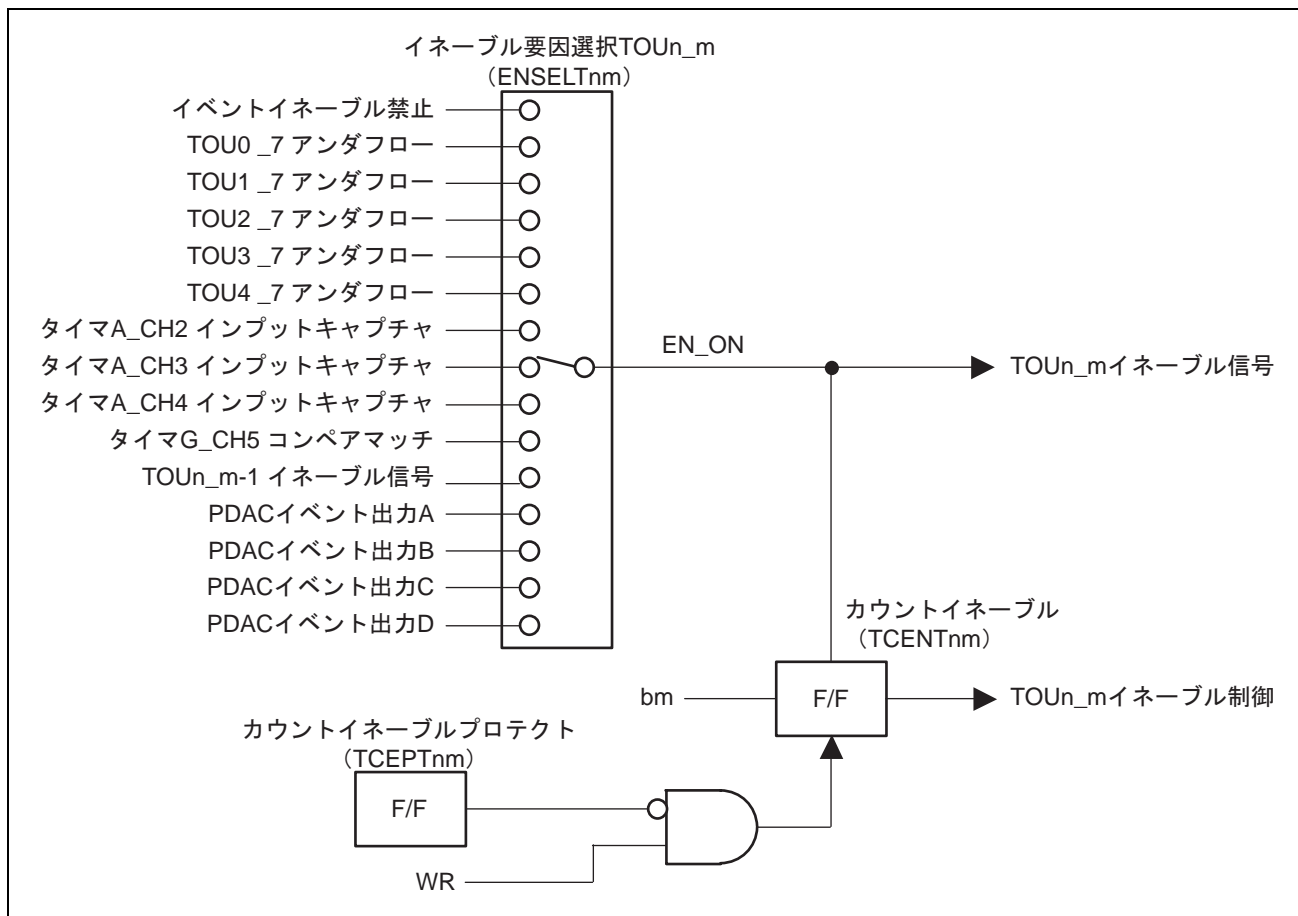


図 21.27 TOU イネーブル回路構成図

## 21.20.7 TOUn 短絡防止機能用フリップフロップ出力プロテクトレジスタ (TOnSHFFPR)

TOnSHFFPR レジスタは、各短絡防止機能用 F/F への書き込み許可/禁止制御を行うレジスタです。書き込みを禁止した場合は、TOnSHFFDR レジスタへの書き込みは無効となります。

TOU0短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO0SHFFPR)	<P4領域アドレス : H'FFFF E605番地>
TOU1短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO1SHFFPR)	<P4領域アドレス : H'FFFF E705番地>
TOU2短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO2SHFFPR)	<P4領域アドレス : H'FFFF E805番地>
TOU3短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO3SHFFPR)	<P4領域アドレス : H'FFFF E905番地>
TOU4短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO4SHFFPR)	<P4領域アドレス : H'FFFF EA05番地>

ビット :

7	6	5	4	3	2	1	0
—	—	SHFP Tn5	SHFP Tn4	SHFP Tn3	SHFP Tn2	SHFP Tn1	SHFP Tn0

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	SHFPTn5	0	R	W	短絡防止機能用 F/F 出力プロテクトビット TOUn_0~5 0 : 短絡防止機能用 F/F 出力データビットへの書き込み許可 1 : 短絡防止機能用 F/F 出力データビットへの書き込み禁止
4	SHFPTn4	0	R	W	
3	SHFPTn3	0	R	W	
2	SHFPTn2	0	R	W	
1	SHFPTn1	0	R	W	
0	SHFPTn0	0	R	W	

【記号説明】 n=0~4

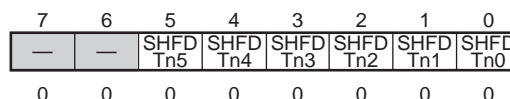


### 21.20.8 TOUn 短絡防止機能用フリップフロップ出力データレジスタ (TOnSHFFDR)

TOnSHFFDR レジスタは、各短絡防止機能用 F/F の出力を設定するためのレジスタです。TOnSHFFDR レジスタは、前述の TOnSHFFPR レジスタの設定が書き込み許可の場合のみ操作できます。

TOU0短絡防止機能用フリップフロップ出力データレジスタ (TO0SHFFDR)	<P4領域アドレス : H'FFFF E609番地>
TOU1短絡防止機能用フリップフロップ出力データレジスタ (TO1SHFFDR)	<P4領域アドレス : H'FFFF E709番地>
TOU2短絡防止機能用フリップフロップ出力データレジスタ (TO2SHFFDR)	<P4領域アドレス : H'FFFF E809番地>
TOU3短絡防止機能用フリップフロップ出力データレジスタ (TO3SHFFDR)	<P4領域アドレス : H'FFFF E909番地>
TOU4短絡防止機能用フリップフロップ出力データレジスタ (TO4SHFFDR)	<P4領域アドレス : H'FFFF EA09番地>

ビット :



リセット後の値 :

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	SHFDn5	0	R	W	短絡防止機能用 F/F 出力データビット TOUn_0~5 0 : 短絡防止機能用 F/F 出力データ=0 1 : 短絡防止機能用 F/F 出力データ=1
4	SHFDn4	0	R	W	
3	SHFDn3	0	R	W	
2	SHFDn2	0	R	W	
1	SHFDn1	0	R	W	
0	SHFDn0	0	R	W	

【記号説明】 n=0~4

## 21.20.9 TOUn フリップフロップ出力プロテクトレジスタ (TOnFFPR)

TOnFFPR レジスタは、タイマ TOU の各 F/F (フリップフロップ) 出力および TOnOUCR レジスタの出力コントロールビットへの書き込み許可/禁止制御を行うレジスタです。書き込みを禁止した場合は、TOnFFDR レジスタおよび TOnOUCR レジスタへの書き込みは無効になります。

TOU0フリップフロップ出力プロテクトレジスタ (TO0FFPR)  
 TOU1フリップフロップ出力プロテクトレジスタ (TO1FFPR)  
 TOU2フリップフロップ出力プロテクトレジスタ (TO2FFPR)  
 TOU3フリップフロップ出力プロテクトレジスタ (TO3FFPR)  
 TOU4フリップフロップ出力プロテクトレジスタ (TO4FFPR)

<P4領域アドレス : H'FFFF E606番地>  
 <P4領域アドレス : H'FFFF E706番地>  
 <P4領域アドレス : H'FFFF E806番地>  
 <P4領域アドレス : H'FFFF E906番地>  
 <P4領域アドレス : H'FFFF EA06番地>

ビット :        7        6        5        4        3        2        1        0  

FFP Tn7	FFP Tn6	FFP Tn5	FFP Tn4	FFP Tn3	FFP Tn2	FFP Tn1	FFP Tn0
------------	------------	------------	------------	------------	------------	------------	------------

リセット後の値 :    0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	FFPTn7	0	R	W	F/F 出力プロテクトビット TOUn_0~7 0 : F/F 出力ビットおよび出力コントロールビットへの書き込み許可 1 : F/F 出力ビットおよび出力コントロールビットへの書き込み禁止
6	FFPTn6	0	R	W	
5	FFPTn5	0	R	W	
4	FFPTn4	0	R	W	
3	FFPTn3	0	R	W	
2	FFPTn2	0	R	W	
1	FFPTn1	0	R	W	
0	FFPTn0	0	R	W	

【記号説明】 n=0~4

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.20.10 TOUn フリップフロップ出力データレジスタ (TOnFFDR)

TOnFFDR レジスタは、タイマ TOU の各 F/F (フリップフロップ) 出力を設定するためのレジスタです。このレジスタは、TOnOUCR レジスタに書き込みを行うと、同時に同じ値が書き込まれます。また、前述の TOnFFPR レジスタの設定が書き込み許可のときのみ書き込み可能で、通常 F/F 出力は TOnOUCR レジスタの値をもとにカウント開始またはアンダフロー発生時に変化しますが、このレジスタを操作することで F/F 出力を任意に変化させることができます (図 21.43 参照)。

TOU0フリップフロップ出力データレジスタ (TO0FFDR)	<P4領域アドレス : H'FFFF E60A番地>
TOU1フリップフロップ出力データレジスタ (TO1FFDR)	<P4領域アドレス : H'FFFF E70A番地>
TOU2フリップフロップ出力データレジスタ (TO2FFDR)	<P4領域アドレス : H'FFFF E80A番地>
TOU3フリップフロップ出力データレジスタ (TO3FFDR)	<P4領域アドレス : H'FFFF E90A番地>
TOU4フリップフロップ出力データレジスタ (TO4FFDR)	<P4領域アドレス : H'FFFF EA0A番地>

ビット :	7	6	5	4	3	2	1	0
	FFD Tn7	FFD Tn6	FFD Tn5	FFD Tn4	FFD Tn3	FFD Tn2	FFD Tn1	FFD Tn0
リセット後の値 :	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	FFDTn7	0	R	W	F/F 出力データビット TOUn_0~7 0 : F/F 出力ビット=0 1 : F/F 出力ビット=1
6	FFDTn6	0	R	W	
5	FFDTn5	0	R	W	
4	FFDTn4	0	R	W	
3	FFDTn3	0	R	W	
2	FFDTn2	0	R	W	
1	FFDTn1	0	R	W	
0	FFDTn0	0	R	W	

【記号説明】 n=0~4

## 21.20.11 TOUn ノイズキャンセラコントロールレジスタ (TOnNCCR)

TOnNCCR レジスタは、外部入力 (PWMOFFn) のノイズキャンセラ機能の設定およびノイズキャンセルクロックの選択を行います。

TOU0ノイズキャンセラコントロールレジスタ (TO0NCCR)

TOU1ノイズキャンセラコントロールレジスタ (TO1NCCR)

TOU3ノイズキャンセラコントロールレジスタ (TO3NCCR)

TOU4ノイズキャンセラコントロールレジスタ (TO4NCCR)

<P4領域アドレス : H'FFFF E60C番地>

<P4領域アドレス : H'FFFF E70C番地>

<P4領域アドレス : H'FFFF E90C番地>

<P4領域アドレス : H'FFFF EA0C番地>

ビット :	7	6	5	4	3	2	1	0
	—	—	—	NCK Tn	—	—	—	NCE Tn

リセット後の値 : 0 0 0 0 0 0 0 0

【記号説明】 n=0、1、3、4

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	NCKTn	0	R	W	ノイズキャンセルクロックセレクト TOUn TOUn ノイズキャンセルカウンタ (TOnNCNT) のカウントソースクロックを選択します。カウントソースクロックには、ノイズキャンセラカウントクロックまたはクロックバス5を選択することが可能です。ノイズキャンセラカウントクロックには、共通制御部の ATNCMR レジスタの NCCSEL ビットの設定によって Pck クロックの 128 分周または Pck クロックのいずれかを選択できます。 0 : TOnNCNT カウンタのカウントソースクロックにノイズキャンセラカウントクロックを選択 1 : TOnNCNT カウンタのカウントソースクロックにクロックバス5を選択
3~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
0	NCETn	0	R	W	<p>ノイズキャンセライネーブル TOUn</p> <p>外部入力 (PWMOFFn) に対してノイズキャンセル機能の有効/無効を選択します。</p> <p>本ビットを"1"にセットしたあと、外部入力PWMOFFnのエッジを検出すると、共通制御部内のノイズキャンセルモードレジスタ (NCMR) の設定にあわせて、後続エッジキャンセルモードまたは先行エッジキャンセルモードのいずれかの処理を開始します。</p> <p>後続エッジキャンセルモードでは、外部入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応する TOUn ノイズキャンセルカウンタ (TOnNCNT) がアップカウントを開始します。このノイズキャンセルカウンタが TOUn ノイズキャンセルレジスタ (TOnNCR) の値とコンペアマッチするまでの間、外部入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの外部入力信号のレベルがノイズキャンセル後の信号として出力されます。</p> <p>TOnNCNT カウンタがカウント動作中にこれらのビットを"0"にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も PWMOFFn のレベル変化はマスクされ続けます。</p> <p>先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応する TOUn ノイズキャンセルカウンタ (TOnNCNT) がアップカウントを開始し、TOUn ノイズキャンセルレジスタ (TOnNCR) の値とコンペアマッチするまでの間に、外部入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合は、ノイズとみなされ、ノイズキャンセラは外部入力信号のレベル変化がなかったものとして、ノイズキャンセル後の信号を変化させません。</p> <p>TOnNCNT カウンタがカウント動作中にこれらのビットを"0"にクリアした場合、クリア後もコンペアマッチするかまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。各キャンセルモードの動作例は、図 21.3、図 21.4 を参照してください。</p> <p>0 : PWMOFFn 入力のノイズキャンセル機能を無効 1 : PWMOFFn 入力のノイズキャンセル機能を有効</p>

【記号説明】 n=0、1、3、4

### 21.20.12 TOUn ノイズキャンセルカウンタ (TOnNCNT)

TOnNCNT カウンタは、TOUn ノイズキャンセラコントロールレジスタ (TOnNCCR) のノイズキャンセライネーブルビット (NCET4~0) でノイズキャンセラ機能を有効にしたとき、外部入力端子 (PWMOFFn) からの信号をトリガとして、アップカウント動作を行います。カウントソースには、NCCRT のノイズキャンセルクロックセレクトビット (NCKT4~0) で、ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能です。

共通制御部にある NCMR の NCMT ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- 後続エッジキャンセルモード

NCET4~0ビットが"1"で、TOnNCNTカウンタがカウント停止しているとき、PWMOFFnの入力信号レベルが変化すると、TOnNCNTカウンタはアップカウント動作を開始します。カウント値がTOUnノイズキャンセルレジスタ (TOnNCR) と一致すると、次のPckクロックに同期してカウント値を"H'00"にクリアしてカウント動作を停止します。

TOnNCNTカウンタは、ATUENRレジスタのTTEビットの設定にかかわらず、カウント動作を行います。カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されてエッジ検出の対象となりますが、以降のカウント値がTOnNCRレジスタと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。カウント値がTOnNCRレジスタと一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。カウント動作中にNCETビットがクリアされても、カウント値がTOnNCRレジスタと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- 先行エッジキャンセルモード

NCET4~0ビットが"1"で、TOnNCNTカウンタがカウント停止しているとき、PWMOFFnの入力信号レベルが変化すると、TOnNCNTカウンタはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、またはカウント値がTOUnノイズキャンセルレジスタ (TOnNCR) と一致した場合には、次のPckクロックに同期してカウント値を"H'00"にクリアしカウント動作を停止します。

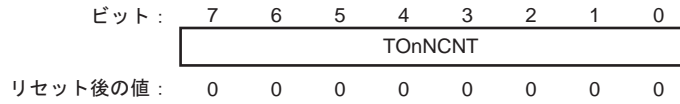
TOnNCNTカウンタは、ATUENRレジスタのTTEビットの設定にかかわらず、カウント動作を行います。ノイズキャンセル後の信号は、カウント値がTOnNCRレジスタと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。TOnNCRレジスタと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中にNCETビットがクリアされても、コンペアマッチまたは入力信号レベルに変化があるまでの間、カウント動作は停止せずにノイズキャンセル処理を継続します。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

TOU0ノイズキャンセルカウンタ (TO0NCNT)  
 TOU1ノイズキャンセルカウンタ (TO1NCNT)  
 TOU3ノイズキャンセルカウンタ (TO3NCNT)  
 TOU4ノイズキャンセルカウンタ (TO4NCNT)

<P4領域アドレス : H'FFFF E60E番地>  
 <P4領域アドレス : H'FFFF E70E番地>  
 <P4領域アドレス : H'FFFF E90E番地>  
 <P4領域アドレス : H'FFFF EA0E番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TOnNCNT	すべて 0	R	W	TOUn ノイズキャンセルカウンタ 8 ビットのカウンタ値を格納します。

【記号説明】 n=0、1、3、4

## 21.20.13 TOUn ノイズキャンセルレジスタ (TOnNCR)

TOnNCR レジスタは、TOUn ノイズキャンセルカウンタ (TOnNCNT) の上限値を設定します。Pck クロックの 128 分周をノイズキャンセルクロックに選択している場合、H'FF 設定で最大 0.82ms (Pck=40MHz 時) のノイズをキャンセルできます。

共通制御部にある NCMR の NCMT ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- 後続エッジキャンセルモード

TOnNCNTカウンタのカウンタ動作中、後続する入力信号のレベル変化がマスクされます。TOnNCNTカウンタとTOnNCRレジスタの値は常時比較されており、コンペアマッチが発生すると、次のPckクロックに同期してTOnNCNTカウンタのカウンタ値をクリアし、カウンタ動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード

TOnNCNTカウンタのカウンタ動作中は、ノイズキャンセラの処理待ち状態となります。TOnNCNTカウンタとTOnNCRレジスタの値は常時比較されており、コンペアマッチが発生すると、次のPckクロックに同期してTOnNCNTカウンタのカウンタ値をクリアし、カウンタ動作を停止させると同時にノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

TOU0ノイズキャンセルレジスタ (TO0NCR)  
 TOU1ノイズキャンセルレジスタ (TO1NCR)  
 TOU3ノイズキャンセルレジスタ (TO3NCR)  
 TOU4ノイズキャンセルレジスタ (TO4NCR)

<P4領域アドレス : H'FFFF E60F番地>  
 <P4領域アドレス : H'FFFF E70F番地>  
 <P4領域アドレス : H'FFFF E90F番地>  
 <P4領域アドレス : H'FFFF EA0F番地>

ビット:    7    6    5    4    3    2    1    0  
 ┌───────────────────────────────────┐  
 │  TOnNCR  │  
 └───────────────────────────────────┘  
 リセット後の値:    0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	TOnNCR	すべて 0	R	W	TOUn ノイズキャンセルタイム PWMOFFn ノイズキャンセル期間 (8 ビットコンペア値)

【記号説明】 n=0、1、3、4




## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.20.14 TOUnPWMOFF 入力処理レジスタ (TONPOCR)

TONPOCR レジスタは、外部端子による PWM 出力禁止制御を設定するレジスタです。PWM 出力禁止機能の詳細は「21.21.7 PWM 出力禁止機能」を参照してください。

TOU0PWMOFF入力処理レジスタ (TO0POCR) <P4領域アドレス : H'FFFF E610番地>  
 TOU1PWMOFF入力処理レジスタ (TO1POCR) <P4領域アドレス : H'FFFF E710番地>  
 TOU3PWMOFF入力処理レジスタ (TO3POCR) <P4領域アドレス : H'FFFF E910番地>  
 TOU4PWMOFF入力処理レジスタ (TO4POCR) <P4領域アドレス : H'FFFF EA10番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
  
 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	ATUKEY	すべて0	0	W	TONPOCR レジスタライトキーコードビット POSTn ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'C9 : POSTn ビットの書き換え許可 H'C9 以外 : POSTn ビットの書き換え禁止
7~3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	POSTn	000	R	W	PWMOFF 入力処理制御ビット TOUn 000 : 入力無効 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10x : "L"レベル 11x : "H"レベル

【記号説明】 n=0、1、3、4

## 21.20.15 TOUnPWMOFF 機能許可レジスタ (TONPOER)

TONPOER レジスタは、PWMOFF 入力端子による PWM 出力禁止機能の有効/無効を設定するレジスタです。PWM 出力禁止機能は、タイマ TOU のすべての出力モードで使用できます。I/O ポートがタイマ出力以外のモードの場合は使用できません。詳細については、「21.21.7 PWM 出力禁止機能」を参照してください。

TOU0PWMOFF機能許可レジスタ (TO0POER)

&lt;P4領域アドレス : H'FFFF E613番地&gt;

TOU1PWMOFF機能許可レジスタ (TO1POER)

&lt;P4領域アドレス : H'FFFF E713番地&gt;

TOU4PWMOFF機能許可レジスタ (TO4POER)

&lt;P4領域アドレス : H'FFFF EA13番地&gt;

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	POEN Tn
リセット後の値 :	0	0	0	0	0	0	0	0

TOU3PWMOFF機能許可レジスタ (TO3POER)

&lt;P4領域アドレス : H'FFFF E913番地&gt;

ビット :	7	6	5	4	3	2	1	0
	—	—	—	POEN 2Tp	—	—	—	POEN Tn
リセット後の値 :	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	POEN2Tp	0	R	W	端子グループ B 用 PWMOFF 機能選択ビット TOUp 端子グループ B (PH0~PH15) に割り当てられている端子の PWMOFF 機能の無効/有効を制御します。詳細は表 18.15 を参照してください。なお、TOU0、TOU1、TOU4 には端子グループ B はないため、TO0POER、TO1POER、TO4POER レジスタの本ビットは予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。 0 : PWMOFF 機能無効 1 : PWMOFF 機能有効
3~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	POENTn	0	R	W	PWMOFF 機能選択ビット TOUn 端子グループ B (PH0~PH15) 以外に割り当てられている端子の PWMOFF 機能の無効/有効を制御します。 0 : PWMOFF 機能無効 1 : PWMOFF 機能有効

【記号説明】 n=0、1、3、4、p=3

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### 21.20.16 TOUnPWM 出力禁止制御レジスタ (TO<sub>n</sub>PODISCR)

TO<sub>n</sub>PODISCR レジスタは、TO<sub>n</sub>0~TO<sub>n</sub>5 端子からの PWM 出力の許可/禁止を制御するレジスタです。これらの端子はタイマ TOU で 3 相 PWM 出力制御を行う場合に使用可能です。このレジスタを制御することにより、3 相 PWM 出力を強制的に禁止 (ハイインピーダンス状態) できます。タイマ TOU のすべての出力モードで使用できます。I/O ポートがタイマ出力以外のモードの場合は使用できません。詳細については、「21.21.7 PWM 出力禁止機能」を参照してください。また、PODIST<sub>n</sub> ビットを読み出した場合は、出力禁止状態を示すステータスビットとなります。

TOU0PWM出力禁止制御レジスタ (TO0PODISCR) <P4領域アドレス: H'FFFF E614番地>  
 TOU1PWM出力禁止制御レジスタ (TO1PODISCR) <P4領域アドレス: H'FFFF E714番地>  
 TOU4PWM出力禁止制御レジスタ (TO4PODISCR) <P4領域アドレス: H'FFFF EA14番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

ATUKEY								—	—	—	—	—	—	—	PODIS T <sub>n</sub>
--------	--	--	--	--	--	--	--	---	---	---	---	---	---	---	-------------------------

 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

TOU3PWM出力禁止制御レジスタ (TO3PODISCR) <P4領域アドレス: H'FFFF E914番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

ATUKEY								—	—	—	PODIS 2Tp	—	—	—	PODIS T <sub>n</sub>
--------	--	--	--	--	--	--	--	---	---	---	--------------	---	---	---	-------------------------

 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	ATUKEY	すべて 0	0	W	TO <sub>n</sub> PODISCR レジスタライトキーコードビット 下位ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'C9: 下位ビットの書き換え許可 H'C9 以外: 下位ビットの書き換え禁止
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	PODIS2Tp	0	R	W	端子グループ B 用 TO <sub>p</sub> 0~TO <sub>p</sub> 5 出力禁止選択ビット 端子グループ B (PH0~PH15) に割り当てられている端子の出力許可/禁止を制御します。詳細は表 18.15 を参照してください。なお、TOU0、TOU1、TOU4 には端子グループ B はないため、TO0PODISCR、TO1PODISCR、TO4PODISCR レジスタの本ビットは予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。 0: 出力許可 1: 出力禁止
3~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
0	PODISTn	0	R	W	TO <sub>n</sub> 0~TO <sub>n</sub> 5 出力禁止選択ビット 端子グループ B (PH0~PH15) 以外に割り当てられている端子の出力許可/禁止を制御します。 0 : 出力許可 1 : 出力禁止

【記号説明】 n=0、1、3、4、p=3

### 21.20.17 TOUnPWM 出力禁止レベル制御レジスタ (TO<sub>n</sub>POLVCR)

出力禁止レベル選択機能は、タイマの出力状態に応じてタイマ出力を強制的に禁止（ハイインピーダンス状態）する機能です。

出力禁止レベル選択機能は、3相 PWM の信号同時 ON の判定等で使用可能です。タイマ TOU のすべての出力モードで使用できます。I/O ポートがタイマ出力以外のモードの場合は使用できません。詳細については、「21.21.7 PWM 出力禁止機能」を参照してください。

TOU0PWM出力禁止レベル制御レジスタ (TO0POLVCR)

<P4領域アドレス : H'FFFF E617番地>

TOU1PWM出力禁止レベル制御レジスタ (TO1POLVCR)

<P4領域アドレス : H'FFFF E717番地>

TOU4PWM出力禁止レベル制御レジスタ (TO4POLVCR)

<P4領域アドレス : H'FFFF EA17番地>

ビット :     7     6     5     4     3     2     1     0  

—	—	—	—	—	—	—	POLV SELT <sub>n</sub>	POLV ENT <sub>n</sub>
---	---	---	---	---	---	---	---------------------------	--------------------------

リセット後の値 :   0   0   0   0   0   0   0   0

TOU3PWM出力禁止レベル制御レジスタ (TO3POLVCR)

<P4領域アドレス : H'FFFF E917番地>

ビット :     7     6     5     4     3     2     1     0  

—	—	POLV EL2 <sub>p</sub>	POLV EN2 <sub>p</sub>	—	—	POLV SELT <sub>n</sub>	POLV ENT <sub>n</sub>
---	---	--------------------------	--------------------------	---	---	---------------------------	--------------------------

リセット後の値 :   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	POLVSEL2Tp	0	R	W	端子グループ B 用出力禁止レベル選択ビット TOp0~TOp5 端子グループ B (PH0~PH15) に割り当てられている端子の出力禁止レベルを選択します。詳細は表 18.15 を参照してください。なお、TOU0、TOU1、TOU4 には端子グループ B はないため、TO0POLVCR、TO1POLVCR、TO4POLVCR レジスタの本ビットは予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。 0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

ビット	シンボル	リセット後の値	R	W	説明
4	POLVEN2Tp	0	R	W	端子グループ B 用出力禁止レベル有効/無効選択ビット TOUp 端子グループ B (PH0~PH15) に割り当てられている端子の出力禁止レベルの選択の無効/有効を制御します。詳細は表 18.15 を参照してください。 なお、TOU0、TOU1、TOU4 には端子グループ B はないため、TO0POLVCR、TO1POLVCR、TO4POLVCR レジスタの本ビットは予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。 0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効
3、2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	POLVSELTn	0	R	W	出力禁止レベル選択ビット TOn0~TOn5 端子グループ B (PH0~PH15) 以外に割り当てられている端子の出力禁止レベルを選択します。 0 : 出力禁止レベル"L"選択 1 : 出力禁止レベル"H"選択
0	POLVENTn	0	R	W	出力禁止レベル有効/無効選択ビット TOUn 端子グループ B (PH0~PH15) 以外に割り当てられている端子の出力禁止レベルの選択の無効/有効を制御します。 0 : 出力禁止レベル選択無効 1 : 出力禁止レベル選択有効

【記号説明】 n=0、1、3、4、p=3

### (1) POLVSELTn (出力禁止レベル選択) ビット (ビット 1)、POLVSEL2Tp (端子グループ B 用出力禁止レベル選択) ビット (ビット 5)

どの出力レベル ("L"レベル、"H"レベル) で出力を禁止するかを指定するビットです。

"L"レベルのとき出力を禁止するにはこのビットに 0 を、"H"レベルのとき出力を禁止するにはこのビットに"1"を設定します。

タイマの出力状態に応じてタイマ出力を OFF にする場合の条件を以下に示します。

#### ● POLVSELTn="0"

下記条件のうち、いずれか 1 つでも成立すれば、TOn0~TOn5 (TOUn\_0~TOUn\_5 出力端子) の出力が禁止されます。

TOn0 (TOUn\_0 出力端子) 出力、TOn1 (TOUn\_1 出力端子) 出力がともに"L"レベル  
TOn2 (TOUn\_2 出力端子) 出力、TOn3 (TOUn\_3 出力端子) 出力がともに"L"レベル  
TOn4 (TOUn\_4 出力端子) 出力、TOn5 (TOUn\_5 出力端子) 出力がともに"L"レベル

#### ● POLVSELTn="1"

下記条件のうち、いずれか 1 つでも成立すれば、TOn0~TOn5 (TOUn\_0~TOUn\_5 出力端子) の出力が禁止されます。

TO<sub>n</sub>0 (TOU<sub>n</sub>\_0 出力端子) 出力、TO<sub>n</sub>1 (TOU<sub>n</sub>\_1 出力端子) 出力がともに"H"レベル  
 TO<sub>n</sub>2 (TOU<sub>n</sub>\_2 出力端子) 出力、TO<sub>n</sub>3 (TOU<sub>n</sub>\_3 出力端子) 出力がともに"H"レベル  
 TO<sub>n</sub>4 (TOU<sub>n</sub>\_4 出力端子) 出力、TO<sub>n</sub>5 (TOU<sub>n</sub>\_5 出力端子) 出力がともに"H"レベル

(2) POLVENT<sub>n</sub> (出力禁止レベル有効/無効選択) ビット (ビット 0)、POLVEN2Tp (端子グループ B 用出力禁止レベル有効/無効選択) ビット (ビット 4)

POLVSEL<sub>Tn</sub> ビットで選択した出力禁止レベルの有効/無効を指定するビットです。このビットに"1"を設定した場合、POLVSEL<sub>Tn</sub> ビットで選択した出力禁止レベルが有効になり、このビットに"0"を設定した場合、POLVSEL<sub>Tn</sub> ビットで選択した出力禁止レベルは無効になります。

【記号説明】 n=0、1、3、4

### 21.20.18 TOU<sub>n</sub>m モードコントロールレジスタ (TO<sub>n</sub>mMCR)

TO<sub>n</sub>mMCR レジスタは、TOU 各チャンネルの動作モード選択、イネーブル要因の選択、およびワンショット PWM モード時の 1 回目のアンダフロー時の割り込み/DMA 転送要求発生禁止/許可の設定を行います。

【注】・TO<sub>n</sub>mMCR の設定、変更は必ず ATUENR レジスタの TTE ビット="0"かつ該当する TO<sub>n</sub>CENR レジスタの TCENT<sub>n</sub>m ビット="0"のときにしてください。

#### • タイマTOU0

TOU00モードコントロールレジスタ (TO00MCR)	<P4領域アドレス : H'FFFF E620番地>
TOU01モードコントロールレジスタ (TO01MCR)	<P4領域アドレス : H'FFFF E630番地>
TOU02モードコントロールレジスタ (TO02MCR)	<P4領域アドレス : H'FFFF E640番地>
TOU03モードコントロールレジスタ (TO03MCR)	<P4領域アドレス : H'FFFF E650番地>
TOU04モードコントロールレジスタ (TO04MCR)	<P4領域アドレス : H'FFFF E660番地>
TOU05モードコントロールレジスタ (TO05MCR)	<P4領域アドレス : H'FFFF E670番地>
TOU06モードコントロールレジスタ (TO06MCR)	<P4領域アドレス : H'FFFF E680番地>
TOU07モードコントロールレジスタ (TO07MCR)	<P4領域アドレス : H'FFFF E690番地>

ビット : 7 6 5 4 3 2 1 0

—	UD1E T0m	MDSELT0m	ENSELT0m
---	-------------	----------	----------

リセット後の値 : 0 0 0 0 0 0 0 0

【記号説明】 m=0~7

#### • タイマTOU1

TOU10モードコントロールレジスタ (TO10MCR)	<P4領域アドレス : H'FFFF E720番地>
TOU11モードコントロールレジスタ (TO11MCR)	<P4領域アドレス : H'FFFF E730番地>
TOU12モードコントロールレジスタ (TO12MCR)	<P4領域アドレス : H'FFFF E740番地>
TOU13モードコントロールレジスタ (TO13MCR)	<P4領域アドレス : H'FFFF E750番地>
TOU14モードコントロールレジスタ (TO14MCR)	<P4領域アドレス : H'FFFF E760番地>
TOU15モードコントロールレジスタ (TO15MCR)	<P4領域アドレス : H'FFFF E770番地>
TOU16モードコントロールレジスタ (TO16MCR)	<P4領域アドレス : H'FFFF E780番地>
TOU17モードコントロールレジスタ (TO17MCR)	<P4領域アドレス : H'FFFF E790番地>

ビット : 7 6 5 4 3 2 1 0

—	UD1E T1m	MDSELT1m	ENSELT1m
---	-------------	----------	----------

リセット後の値 : 0 0 0 0 0 0 0 0

【記号説明】 m=0~7

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### • タイマTOU2

TOU20モードコントロールレジスタ (TO20MCR)  
TOU21モードコントロールレジスタ (TO21MCR)  
TOU22モードコントロールレジスタ (TO22MCR)  
TOU23モードコントロールレジスタ (TO23MCR)  
TOU24モードコントロールレジスタ (TO24MCR)  
TOU25モードコントロールレジスタ (TO25MCR)  
TOU26モードコントロールレジスタ (TO26MCR)  
TOU27モードコントロールレジスタ (TO27MCR)

<P4領域アドレス : H'FFFF E820番地>  
<P4領域アドレス : H'FFFF E830番地>  
<P4領域アドレス : H'FFFF E840番地>  
<P4領域アドレス : H'FFFF E850番地>  
<P4領域アドレス : H'FFFF E860番地>  
<P4領域アドレス : H'FFFF E870番地>  
<P4領域アドレス : H'FFFF E880番地>  
<P4領域アドレス : H'FFFF E890番地>

ビット :    7    6    5    4    3    2    1    0  
          —  UD1E  MDSELT2m  ENSELT2m  
          —  T2m

リセット後の値 :    0    0    0    0    0    0    0    0

【記号説明】 m=0~7

### • タイマTOU3

TOU30モードコントロールレジスタ (TO30MCR)  
TOU31モードコントロールレジスタ (TO31MCR)  
TOU32モードコントロールレジスタ (TO32MCR)  
TOU33モードコントロールレジスタ (TO33MCR)  
TOU34モードコントロールレジスタ (TO34MCR)  
TOU35モードコントロールレジスタ (TO35MCR)  
TOU36モードコントロールレジスタ (TO36MCR)  
TOU37モードコントロールレジスタ (TO37MCR)

<P4領域アドレス : H'FFFF E920番地>  
<P4領域アドレス : H'FFFF E930番地>  
<P4領域アドレス : H'FFFF E940番地>  
<P4領域アドレス : H'FFFF E950番地>  
<P4領域アドレス : H'FFFF E960番地>  
<P4領域アドレス : H'FFFF E970番地>  
<P4領域アドレス : H'FFFF E980番地>  
<P4領域アドレス : H'FFFF E990番地>

ビット :    7    6    5    4    3    2    1    0  
          —  UD1E  MDSELT3m  ENSELT3m  
          —  T3m

リセット後の値 :    0    0    0    0    0    0    0    0

【記号説明】 m=0~7

### • タイマTOU4

TOU40モードコントロールレジスタ (TO40MCR)  
TOU41モードコントロールレジスタ (TO41MCR)  
TOU42モードコントロールレジスタ (TO42MCR)  
TOU43モードコントロールレジスタ (TO43MCR)  
TOU44モードコントロールレジスタ (TO44MCR)  
TOU45モードコントロールレジスタ (TO45MCR)  
TOU46モードコントロールレジスタ (TO46MCR)  
TOU47モードコントロールレジスタ (TO47MCR)

<P4領域アドレス : H'FFFF EA20番地>  
<P4領域アドレス : H'FFFF EA30番地>  
<P4領域アドレス : H'FFFF EA40番地>  
<P4領域アドレス : H'FFFF EA50番地>  
<P4領域アドレス : H'FFFF EA60番地>  
<P4領域アドレス : H'FFFF EA70番地>  
<P4領域アドレス : H'FFFF EA80番地>  
<P4領域アドレス : H'FFFF EA90番地>

ビット :    7    6    5    4    3    2    1    0  
          —  UD1E  MDSELT4m  ENSELT4m  
          —  T4m

リセット後の値 :    0    0    0    0    0    0    0    0

【記号説明】 m=0~7

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6	UD1ETnm	0	R	W	ワンショットPWMモード時の割り込み/DMA転送要求発生禁止/許可選択ビット TOUn_m MDSELTnmにてワンショットPWMモード選択時に、1回目のアンダフロー時の割り込み/DMA転送要求発生禁止/許可の選択を行います。 0 : 1回目のアンダフロー時の割り込み/DMA転送要求発生を禁止する。 1 : 1回目のアンダフロー時の割り込み/DMA転送要求発生を許可する。
5、4	MDSELTnm	00	R	W	動作モード選択ビット TOUn_m 00 : ワンショット出力モード 01 : ワンショットPWM出力モード 10 : 連続出力モード 11 : PWM出力モード
3~0	ENSELTnm	0000	R	W	イネーブル要因選択ビット TOUn_m タイマTOU各チャンネルのイネーブル要因の選択を行います。タイマTOU各チャンネルのイネーブル要因をイベントイネーブル禁止以外に設定していても、ATU-IIISマスタイネーブルレジスタ(ATUENR)のTTEビットがイネーブルに設定されていなければカウント動作は行われません。 0000 : イベントイネーブル禁止 0001 : TOU0_7アンダフロー 0010 : TOU1_7アンダフロー 0011 : TOU2_7アンダフロー 0100 : TOU3_7アンダフロー 0101 : TOU4_7アンダフロー 0110 : タイマAチャンネル2のインプットキャプチャ 0111 : タイマAチャンネル3のインプットキャプチャ 1000 : タイマAチャンネル4のインプットキャプチャ 1001 : 設定禁止 1010 : タイマGチャンネル5のコンペアマッチ 1011 : TOU前チャンネル (TOUn_0 : 設定禁止、TOUn_0以外 : TOUn_m-1) 1100 : PDACイベント出力信号A 1101 : PDACイベント出力信号B 1110 : PDACイベント出力信号C 1111 : PDACイベント出力信号D

【注】・このレジスタの設定、変更は必ずATUENRレジスタのTTEビット="0"かつ該当するTONCENRレジスタのTCENTnmビット="0"のときにしてください。



21.20.19 TOUnm カウンタ (TONmCNT)

TONmCNT カウンタは、タイマ TOU00~47 のカウンタです。このレジスタは、タイマの動作モードによって機能が異なります。

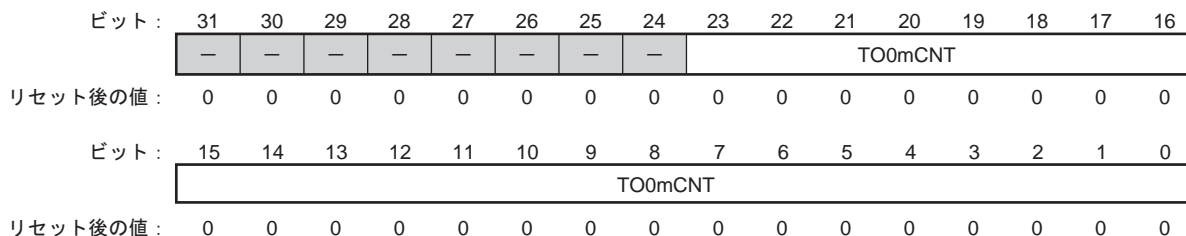
(1) ワンショット出力/連続出力モード時のタイマカウンタ TOU00~47

TONmCNT カウンタは、ワンショット出力/連続出力モード時には 24 ビットのダウンカウンタとなり、タイマのイネーブル (カウントイネーブルビットへのソフトウェア書き込み、またはイネーブル要因選択ビットで選択したイベント発生) 後、カウントクロックに同期してカウントを開始します。ビット 31~24 は無視されます。

PWM 出力/ワンショット PWM 出力モード時は、16 ビット (ビット 15~0) のみ有効な 16 ビットのダウンカウンタとなります。詳細は「21.20.19 (2) PWM 出力/ワンショット PWM 出力時のタイマカウンタ TOU00~47」を参照してください。

• タイマTOU0

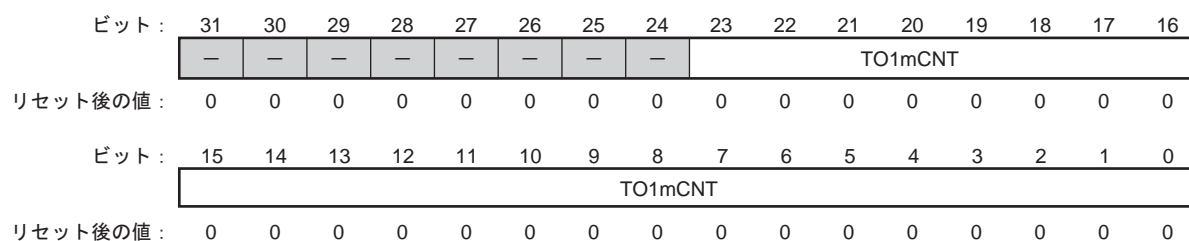
TOU00カウンタ (TO00CNT)	<P4領域アドレス : H'FFFF E624番地>
TOU01カウンタ (TO01CNT)	<P4領域アドレス : H'FFFF E634番地>
TOU02カウンタ (TO02CNT)	<P4領域アドレス : H'FFFF E644番地>
TOU03カウンタ (TO03CNT)	<P4領域アドレス : H'FFFF E654番地>
TOU04カウンタ (TO04CNT)	<P4領域アドレス : H'FFFF E664番地>
TOU05カウンタ (TO05CNT)	<P4領域アドレス : H'FFFF E674番地>
TOU06カウンタ (TO06CNT)	<P4領域アドレス : H'FFFF E684番地>
TOU07カウンタ (TO07CNT)	<P4領域アドレス : H'FFFF E694番地>



【記号説明】 m=0~7

### • タイマTOU1

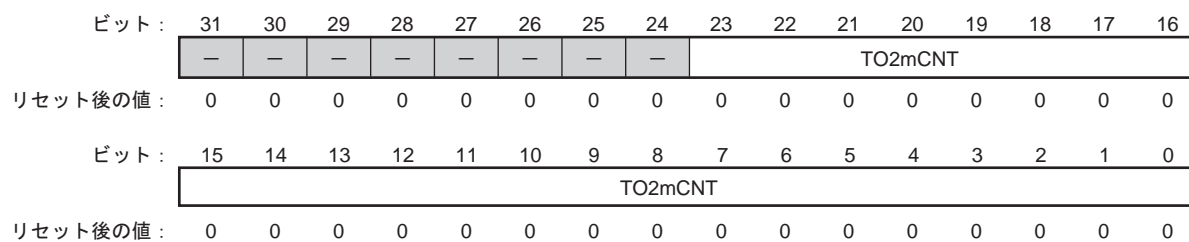
TOU10カウンタ (TO10CNT)	<P4領域アドレス : H'FFFF E724番地>
TOU11カウンタ (TO11CNT)	<P4領域アドレス : H'FFFF E734番地>
TOU12カウンタ (TO12CNT)	<P4領域アドレス : H'FFFF E744番地>
TOU13カウンタ (TO13CNT)	<P4領域アドレス : H'FFFF E754番地>
TOU14カウンタ (TO14CNT)	<P4領域アドレス : H'FFFF E764番地>
TOU15カウンタ (TO15CNT)	<P4領域アドレス : H'FFFF E774番地>
TOU16カウンタ (TO16CNT)	<P4領域アドレス : H'FFFF E784番地>
TOU17カウンタ (TO17CNT)	<P4領域アドレス : H'FFFF E794番地>



【記号説明】 m=0~7

### • タイマTOU2

TOU20カウンタ (TO20CNT)	<P4領域アドレス : H'FFFF E824番地>
TOU21カウンタ (TO21CNT)	<P4領域アドレス : H'FFFF E834番地>
TOU22カウンタ (TO22CNT)	<P4領域アドレス : H'FFFF E844番地>
TOU23カウンタ (TO23CNT)	<P4領域アドレス : H'FFFF E854番地>
TOU24カウンタ (TO24CNT)	<P4領域アドレス : H'FFFF E864番地>
TOU25カウンタ (TO25CNT)	<P4領域アドレス : H'FFFF E874番地>
TOU26カウンタ (TO26CNT)	<P4領域アドレス : H'FFFF E884番地>
TOU27カウンタ (TO27CNT)	<P4領域アドレス : H'FFFF E894番地>



【記号説明】 m=0~7

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### • タイマTOU3

TOU30カウンタ (TO30CNT)	<P4領域アドレス : H'FFFF E924番地>
TOU31カウンタ (TO31CNT)	<P4領域アドレス : H'FFFF E934番地>
TOU32カウンタ (TO32CNT)	<P4領域アドレス : H'FFFF E944番地>
TOU33カウンタ (TO33CNT)	<P4領域アドレス : H'FFFF E954番地>
TOU34カウンタ (TO34CNT)	<P4領域アドレス : H'FFFF E964番地>
TOU35カウンタ (TO35CNT)	<P4領域アドレス : H'FFFF E974番地>
TOU36カウンタ (TO36CNT)	<P4領域アドレス : H'FFFF E984番地>
TOU37カウンタ (TO37CNT)	<P4領域アドレス : H'FFFF E994番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO3mCNT							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO3mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### • タイマTOU4

TOU40カウンタ (TO40CNT)	<P4領域アドレス : H'FFFF EA24番地>
TOU41カウンタ (TO41CNT)	<P4領域アドレス : H'FFFF EA34番地>
TOU42カウンタ (TO42CNT)	<P4領域アドレス : H'FFFF EA44番地>
TOU43カウンタ (TO43CNT)	<P4領域アドレス : H'FFFF EA54番地>
TOU44カウンタ (TO44CNT)	<P4領域アドレス : H'FFFF EA64番地>
TOU45カウンタ (TO45CNT)	<P4領域アドレス : H'FFFF EA74番地>
TOU46カウンタ (TO46CNT)	<P4領域アドレス : H'FFFF EA84番地>
TOU47カウンタ (TO47CNT)	<P4領域アドレス : H'FFFF EA94番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO4mCNT							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO4mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
23~0	TOnmCNT	すべて0	R	W	24ビットダウンカウンタ値

【注】・このレジスタは必ずロングワード（32ビット）単位でアクセスしてください。

【記号説明】 n=0~4、m=0~7

## (2) PWM 出力/ワンショット PWM 出力時のタイマカウンタ TOU00~47

TONmCNT カウンタは、PWM 出力/ワンショット PWM 出力モード時には 16 ビットのダウンカウンタとなり、タイマのカウントイネーブル（カウントイネーブルビットへのソフトウェア書き込み、またはイネーブル要因選択ビットで選択したイベント発生）後、カウントクロックに同期してカウントを開始します。ビット 31~16 は無視されます。

ワンショット出力/連続出力モード時は、8 ビットを追加した 24 ビット（ビット 23~0）のダウンカウンタとなります。詳細は「21.20.19 (1) ワンショット出力/連続出力モード時のタイマカウンタ TOU00~47」を参照してください。

## • タイマTOU0

TOU00カウンタ (TO00CNT)	<P4領域アドレス : H'FFFF E624番地>
TOU01カウンタ (TO01CNT)	<P4領域アドレス : H'FFFF E634番地>
TOU02カウンタ (TO02CNT)	<P4領域アドレス : H'FFFF E644番地>
TOU03カウンタ (TO03CNT)	<P4領域アドレス : H'FFFF E654番地>
TOU04カウンタ (TO04CNT)	<P4領域アドレス : H'FFFF E664番地>
TOU05カウンタ (TO05CNT)	<P4領域アドレス : H'FFFF E674番地>
TOU06カウンタ (TO06CNT)	<P4領域アドレス : H'FFFF E684番地>
TOU07カウンタ (TO07CNT)	<P4領域アドレス : H'FFFF E694番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO0mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

## • タイマTOU1

TOU10カウンタ (TO10CNT)	<P4領域アドレス : H'FFFF E724番地>
TOU11カウンタ (TO11CNT)	<P4領域アドレス : H'FFFF E734番地>
TOU12カウンタ (TO12CNT)	<P4領域アドレス : H'FFFF E744番地>
TOU13カウンタ (TO13CNT)	<P4領域アドレス : H'FFFF E754番地>
TOU14カウンタ (TO14CNT)	<P4領域アドレス : H'FFFF E764番地>
TOU15カウンタ (TO15CNT)	<P4領域アドレス : H'FFFF E774番地>
TOU16カウンタ (TO16CNT)	<P4領域アドレス : H'FFFF E784番地>
TOU17カウンタ (TO17CNT)	<P4領域アドレス : H'FFFF E794番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO1mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### • タイマTOU2

TOU20カウンタ (TO20CNT)	<P4領域アドレス : H'FFFF E824番地>
TOU21カウンタ (TO21CNT)	<P4領域アドレス : H'FFFF E834番地>
TOU22カウンタ (TO22CNT)	<P4領域アドレス : H'FFFF E844番地>
TOU23カウンタ (TO23CNT)	<P4領域アドレス : H'FFFF E854番地>
TOU24カウンタ (TO24CNT)	<P4領域アドレス : H'FFFF E864番地>
TOU25カウンタ (TO25CNT)	<P4領域アドレス : H'FFFF E874番地>
TOU26カウンタ (TO26CNT)	<P4領域アドレス : H'FFFF E884番地>
TOU27カウンタ (TO27CNT)	<P4領域アドレス : H'FFFF E894番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO2mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### • タイマTOU3

TOU30カウンタ (TO30CNT)	<P4領域アドレス : H'FFFF E924番地>
TOU31カウンタ (TO31CNT)	<P4領域アドレス : H'FFFF E934番地>
TOU32カウンタ (TO32CNT)	<P4領域アドレス : H'FFFF E944番地>
TOU33カウンタ (TO33CNT)	<P4領域アドレス : H'FFFF E954番地>
TOU34カウンタ (TO34CNT)	<P4領域アドレス : H'FFFF E964番地>
TOU35カウンタ (TO35CNT)	<P4領域アドレス : H'FFFF E974番地>
TOU36カウンタ (TO36CNT)	<P4領域アドレス : H'FFFF E984番地>
TOU37カウンタ (TO37CNT)	<P4領域アドレス : H'FFFF E994番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO3mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### ● タイマTOU4

TOU40カウンタ (TO40CNT)	<P4領域アドレス : H'FFFF EA24番地>
TOU41カウンタ (TO41CNT)	<P4領域アドレス : H'FFFF EA34番地>
TOU42カウンタ (TO42CNT)	<P4領域アドレス : H'FFFF EA44番地>
TOU43カウンタ (TO43CNT)	<P4領域アドレス : H'FFFF EA54番地>
TOU44カウンタ (TO44CNT)	<P4領域アドレス : H'FFFF EA64番地>
TOU45カウンタ (TO45CNT)	<P4領域アドレス : H'FFFF EA74番地>
TOU46カウンタ (TO46CNT)	<P4領域アドレス : H'FFFF EA84番地>
TOU47カウンタ (TO47CNT)	<P4領域アドレス : H'FFFF EA94番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO4mCNT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~16	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
15~0	TO4mCNT	すべて0	R	W	16ビットダウンカウンタ値

【注】・このレジスタは必ずロングワード（32ビット）単位でアクセスしてください。

【記号説明】 n=0~4、m=0~7

21.20.20 TOUnm リロードレジスタ (TONmRLD)

TONmRLD レジスタは、TONmCNT カウンタへデータをリロードするためのレジスタです。このレジスタは、タイマの動作モードによって機能が異なります。

(1) ワンショット出力/連続出力モード時のリロードレジスタ TOU00~47

TONmRLD レジスタは、ワンショット出力/連続出力モード時には、24 ビットリロードレジスタとして動作します。このレジスタの 24 ビット (ビット 23~0) に設定した値が、カウンタにリロードされます。ビット 31~24 は無視されます。

以下のタイミングにリロードレジスタの内容がカウントクロックに同期してカウンタにロードされます。

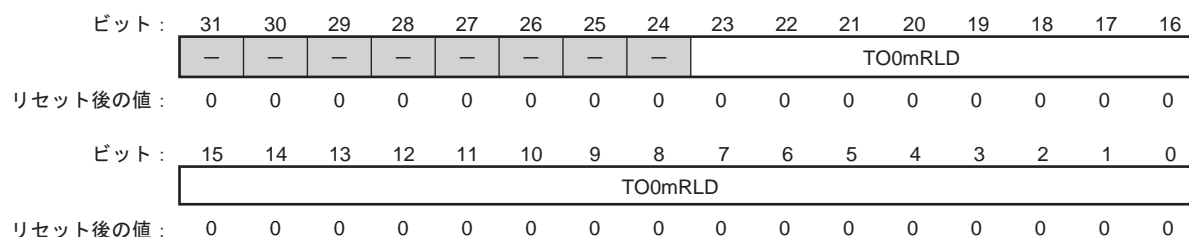
- ワンショット出力モードでカウンタがカウントイネーブルになった次サイクル
- 連続出力モードでカウンタがアンダフローしたサイクル

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

PWM 出力/ワンショット PWM 出力モード時は、16 ビットのリロード 0 レジスタ、リロード 1 レジスタとなります。詳細は「21.20.20 (2) PWM 出力/ワンショット PWM 出力時のリロードレジスタ TOU00~47」を参照してください。

• タイマTOU0

TOU00リロードレジスタ (TO00RLD)	<P4領域アドレス : H'FFFF E628番地>
TOU01リロードレジスタ (TO01RLD)	<P4領域アドレス : H'FFFF E638番地>
TOU02リロードレジスタ (TO02RLD)	<P4領域アドレス : H'FFFF E648番地>
TOU03リロードレジスタ (TO03RLD)	<P4領域アドレス : H'FFFF E658番地>
TOU04リロードレジスタ (TO04RLD)	<P4領域アドレス : H'FFFF E668番地>
TOU05リロードレジスタ (TO05RLD)	<P4領域アドレス : H'FFFF E678番地>
TOU06リロードレジスタ (TO06RLD)	<P4領域アドレス : H'FFFF E688番地>
TOU07リロードレジスタ (TO07RLD)	<P4領域アドレス : H'FFFF E698番地>



【記号説明】 m=0~7

### ● タイマTOU1

TOU10リロードレジスタ (TO10RLD)	<P4領域アドレス : H'FFFF E728番地>
TOU11リロードレジスタ (TO11RLD)	<P4領域アドレス : H'FFFF E738番地>
TOU12リロードレジスタ (TO12RLD)	<P4領域アドレス : H'FFFF E748番地>
TOU13リロードレジスタ (TO13RLD)	<P4領域アドレス : H'FFFF E758番地>
TOU14リロードレジスタ (TO14RLD)	<P4領域アドレス : H'FFFF E768番地>
TOU15リロードレジスタ (TO15RLD)	<P4領域アドレス : H'FFFF E778番地>
TOU16リロードレジスタ (TO16RLD)	<P4領域アドレス : H'FFFF E788番地>
TOU17リロードレジスタ (TO17RLD)	<P4領域アドレス : H'FFFF E798番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO1mRLD							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO1mRLD															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### ● タイマTOU2

TOU20リロードレジスタ (TO20RLD)	<P4領域アドレス : H'FFFF E828番地>
TOU21リロードレジスタ (TO21RLD)	<P4領域アドレス : H'FFFF E838番地>
TOU22リロードレジスタ (TO22RLD)	<P4領域アドレス : H'FFFF E848番地>
TOU23リロードレジスタ (TO23RLD)	<P4領域アドレス : H'FFFF E858番地>
TOU24リロードレジスタ (TO24RLD)	<P4領域アドレス : H'FFFF E868番地>
TOU25リロードレジスタ (TO25RLD)	<P4領域アドレス : H'FFFF E878番地>
TOU26リロードレジスタ (TO26RLD)	<P4領域アドレス : H'FFFF E888番地>
TOU27リロードレジスタ (TO27RLD)	<P4領域アドレス : H'FFFF E898番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO2mRLD							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO2mRLD															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7



## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### • タイマTOU3

TOU30リロードレジスタ (TO30RLD)	<P4領域アドレス : H'FFFF E928番地>
TOU31リロードレジスタ (TO31RLD)	<P4領域アドレス : H'FFFF E938番地>
TOU32リロードレジスタ (TO32RLD)	<P4領域アドレス : H'FFFF E948番地>
TOU33リロードレジスタ (TO33RLD)	<P4領域アドレス : H'FFFF E958番地>
TOU34リロードレジスタ (TO34RLD)	<P4領域アドレス : H'FFFF E968番地>
TOU35リロードレジスタ (TO35RLD)	<P4領域アドレス : H'FFFF E978番地>
TOU36リロードレジスタ (TO36RLD)	<P4領域アドレス : H'FFFF E988番地>
TOU37リロードレジスタ (TO37RLD)	<P4領域アドレス : H'FFFF E998番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO3mRLD							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO3mRLD															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### • タイマTOU4

TOU40リロードレジスタ (TO40RLD)	<P4領域アドレス : H'FFFF EA28番地>
TOU41リロードレジスタ (TO41RLD)	<P4領域アドレス : H'FFFF EA38番地>
TOU42リロードレジスタ (TO42RLD)	<P4領域アドレス : H'FFFF EA48番地>
TOU43リロードレジスタ (TO43RLD)	<P4領域アドレス : H'FFFF EA58番地>
TOU44リロードレジスタ (TO44RLD)	<P4領域アドレス : H'FFFF EA68番地>
TOU45リロードレジスタ (TO45RLD)	<P4領域アドレス : H'FFFF EA78番地>
TOU46リロードレジスタ (TO46RLD)	<P4領域アドレス : H'FFFF EA88番地>
TOU47リロードレジスタ (TO47RLD)	<P4領域アドレス : H'FFFF EA98番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TO4mRLD							
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO4mRLD															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
23~0	TOOnRLD	すべて0	R	W	24ビットリロードレジスタ値

【注】・このレジスタは必ずロングワード（32ビット）単位でアクセスしてください。

【記号説明】 n=0~4、m=0~7

## (2) PWM 出力/ワンショット PWM 出力時のリロードレジスタ TOUN00~47

TOUNmRLD は、PWM 出力/ワンショット PWM 出力モード時には、16 ビットタイマとして動作します。リロード 0 レジスタ、リロード 1 レジスタには、カウントイネーブル時にロードする 16 ビットの値を設定します。

以下のタイミングにリロードレジスタの内容がカウントクロックに同期してカウンタにロードされます。

- カウンタがカウントイネーブルになった次サイクル
  - PWM出力モードでリロードレジスタがセットしたカウント値がアンダフローしたサイクル
- リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

リロードレジスタに H'FFFF を設定すると、PWM 出力の反転を行わないカウント (デューティ 0%、100%) が可能です。詳細は「21.21.5 PWM 出力/ワンショット PWM 出力モード時のデューティ 0%、100%出力」を参照してください。

ワンショット出力/連続出力モード時は、リロード 0 レジスタ、リロード 1 レジスタを合わせて、24 ビット (ビット 23~0) のリロードレジスタとなります。詳細は「21.20.20 (1) ワンショット出力/連続出力モード時のリロードレジスタ TOUN00~47」を参照してください。

- タイマ TOUN0

TOU00リロードレジスタ (TO00RLD)	<P4領域アドレス : H'FFFF E628番地>
TOU01リロードレジスタ (TO01RLD)	<P4領域アドレス : H'FFFF E638番地>
TOU02リロードレジスタ (TO02RLD)	<P4領域アドレス : H'FFFF E648番地>
TOU03リロードレジスタ (TO03RLD)	<P4領域アドレス : H'FFFF E658番地>
TOU04リロードレジスタ (TO04RLD)	<P4領域アドレス : H'FFFF E668番地>
TOU05リロードレジスタ (TO05RLD)	<P4領域アドレス : H'FFFF E678番地>
TOU06リロードレジスタ (TO06RLD)	<P4領域アドレス : H'FFFF E688番地>
TOU07リロードレジスタ (TO07RLD)	<P4領域アドレス : H'FFFF E698番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TO0mRLD1															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO0mRLD0															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### • タイマTOU1

TOU10リロードレジスタ (TO10RLD)	<P4領域アドレス : H'FFFF E728番地>
TOU11リロードレジスタ (TO11RLD)	<P4領域アドレス : H'FFFF E738番地>
TOU12リロードレジスタ (TO12RLD)	<P4領域アドレス : H'FFFF E748番地>
TOU13リロードレジスタ (TO13RLD)	<P4領域アドレス : H'FFFF E758番地>
TOU14リロードレジスタ (TO14RLD)	<P4領域アドレス : H'FFFF E768番地>
TOU15リロードレジスタ (TO15RLD)	<P4領域アドレス : H'FFFF E778番地>
TOU16リロードレジスタ (TO16RLD)	<P4領域アドレス : H'FFFF E788番地>
TOU17リロードレジスタ (TO17RLD)	<P4領域アドレス : H'FFFF E798番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TO1mRLD1															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO1mRLD0															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### • タイマTOU2

TOU20リロードレジスタ (TO20RLD)	<P4領域アドレス : H'FFFF E828番地>
TOU21リロードレジスタ (TO21RLD)	<P4領域アドレス : H'FFFF E838番地>
TOU22リロードレジスタ (TO22RLD)	<P4領域アドレス : H'FFFF E848番地>
TOU23リロードレジスタ (TO23RLD)	<P4領域アドレス : H'FFFF E858番地>
TOU24リロードレジスタ (TO24RLD)	<P4領域アドレス : H'FFFF E868番地>
TOU25リロードレジスタ (TO25RLD)	<P4領域アドレス : H'FFFF E878番地>
TOU26リロードレジスタ (TO26RLD)	<P4領域アドレス : H'FFFF E888番地>
TOU27リロードレジスタ (TO27RLD)	<P4領域アドレス : H'FFFF E898番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TO2mRLD1															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO2mRLD0															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### ● タイマTOU3

TOU30リロードレジスタ (TO30RLD)	<P4領域アドレス : H'FFFF E928番地>
TOU31リロードレジスタ (TO31RLD)	<P4領域アドレス : H'FFFF E938番地>
TOU32リロードレジスタ (TO32RLD)	<P4領域アドレス : H'FFFF E948番地>
TOU33リロードレジスタ (TO33RLD)	<P4領域アドレス : H'FFFF E958番地>
TOU34リロードレジスタ (TO34RLD)	<P4領域アドレス : H'FFFF E968番地>
TOU35リロードレジスタ (TO35RLD)	<P4領域アドレス : H'FFFF E978番地>
TOU36リロードレジスタ (TO36RLD)	<P4領域アドレス : H'FFFF E988番地>
TOU37リロードレジスタ (TO37RLD)	<P4領域アドレス : H'FFFF E998番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TO3mRLD1															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO3mRLD0															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

### ● タイマTOU4

TOU40リロードレジスタ (TO40RLD)	<P4領域アドレス : H'FFFF EA28番地>
TOU41リロードレジスタ (TO41RLD)	<P4領域アドレス : H'FFFF EA38番地>
TOU42リロードレジスタ (TO42RLD)	<P4領域アドレス : H'FFFF EA48番地>
TOU43リロードレジスタ (TO43RLD)	<P4領域アドレス : H'FFFF EA58番地>
TOU44リロードレジスタ (TO44RLD)	<P4領域アドレス : H'FFFF EA68番地>
TOU45リロードレジスタ (TO45RLD)	<P4領域アドレス : H'FFFF EA78番地>
TOU46リロードレジスタ (TO46RLD)	<P4領域アドレス : H'FFFF EA88番地>
TOU47リロードレジスタ (TO47RLD)	<P4領域アドレス : H'FFFF EA98番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TO4mRLD1															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TO4mRLD0															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】 m=0~7

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~16	TONmRLD1	すべて0	R	W	16ビットリロード1レジスタ値
15~0	TONmRLD0	すべて0	R	W	16ビットリロード0レジスタ値

【注】・このレジスタは必ずロングワード（32ビット）単位でアクセスしてください。

【記号説明】 n=0~4、m=0~7

### 21.21 タイマ TOU の動作説明

#### 21.21.1 PWM 出力モードの動作説明

##### (1) PWM 出力モード概要

PWM 出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。PWM 出力モード時は、16 ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローのサイクルで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時に行われます (PWM 出力周期には同期しません)。

PWM 出力モードの F/F 出力波形は、カウント開始時と偶数回目のアンダフロー発生時に TOUn 出力コントロールレジスタの反転値を、奇数回目のアンダフロー発生時には TOUn 出力コントロールレジスタの値を出力します。

また、カウント開始後の偶数回目のアンダフローで割り込み要求、および DMA 転送要求を発生できます。

リロード0レジスタまたはリロード1レジスタのどちらかに H'FFFF を設定した場合は、割り込み要求は発生しますが F/F は反転しないデューティ 0%、100% の PWM 出力を行うことが可能です。詳細は「21.21.5 PWM 出力/ワンショット PWM 出力モード時のデューティ 0%、100%出力」を参照してください。

なお、タイマ TOU の PWM 出力モードには補正機能はありません。

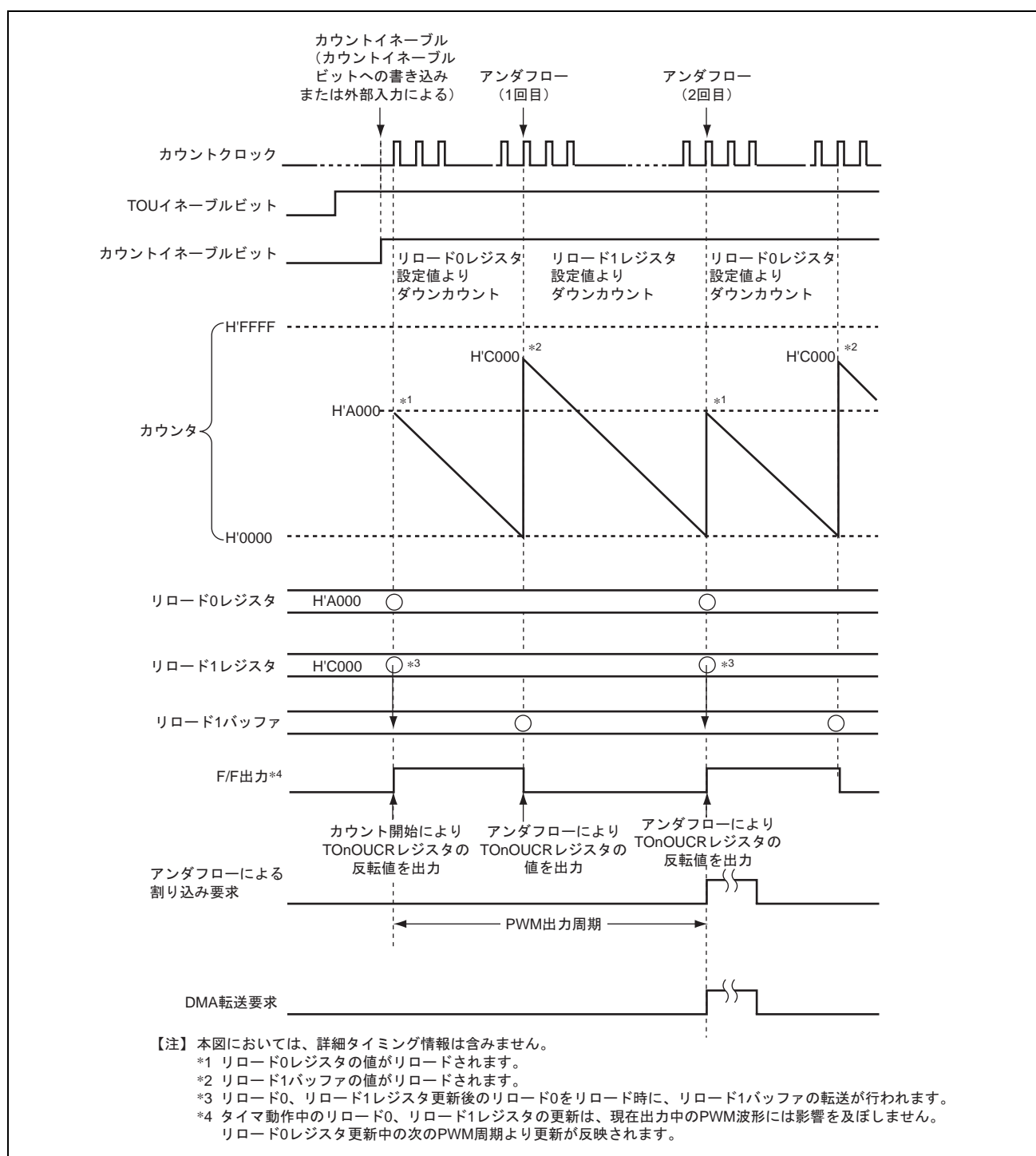


図 21.28 PWM 出力モードの動作例

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### (2) PWM 出力モードにおけるリロードレジスタの更新

PWM 出力モードで、リロード 0、1 レジスタの更新はレジスタへのデータ書き込みと同時に行われます。また、リロード 0、1 レジスタをリードすると、常に書き込んだデータが読み出されます。

カウント動作中において、リロード 0、1 レジスタ更新後のリロード 0 レジスタのリロード時に、リロード 1 レジスタからリロード 1 バッファへ転送が行われます。

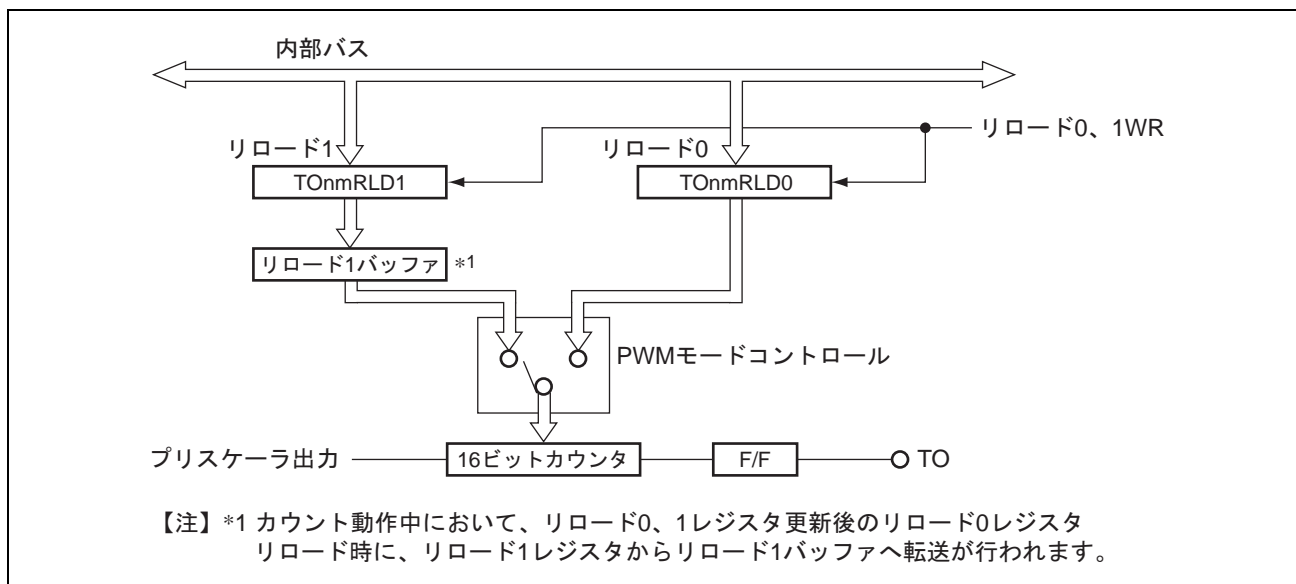


図 21.29 PWM 回路図

通常この操作はリロード 1 レジスタのアドレスから始まる 32 ビットのアクセスを行うことで、一括して行います。なお、PWM 周期書き換え中、リロード 0、1 の書き込みまでに PWM 周期が終了した場合、PWM 周期の更新は今回行われず次の周期に反映されます。

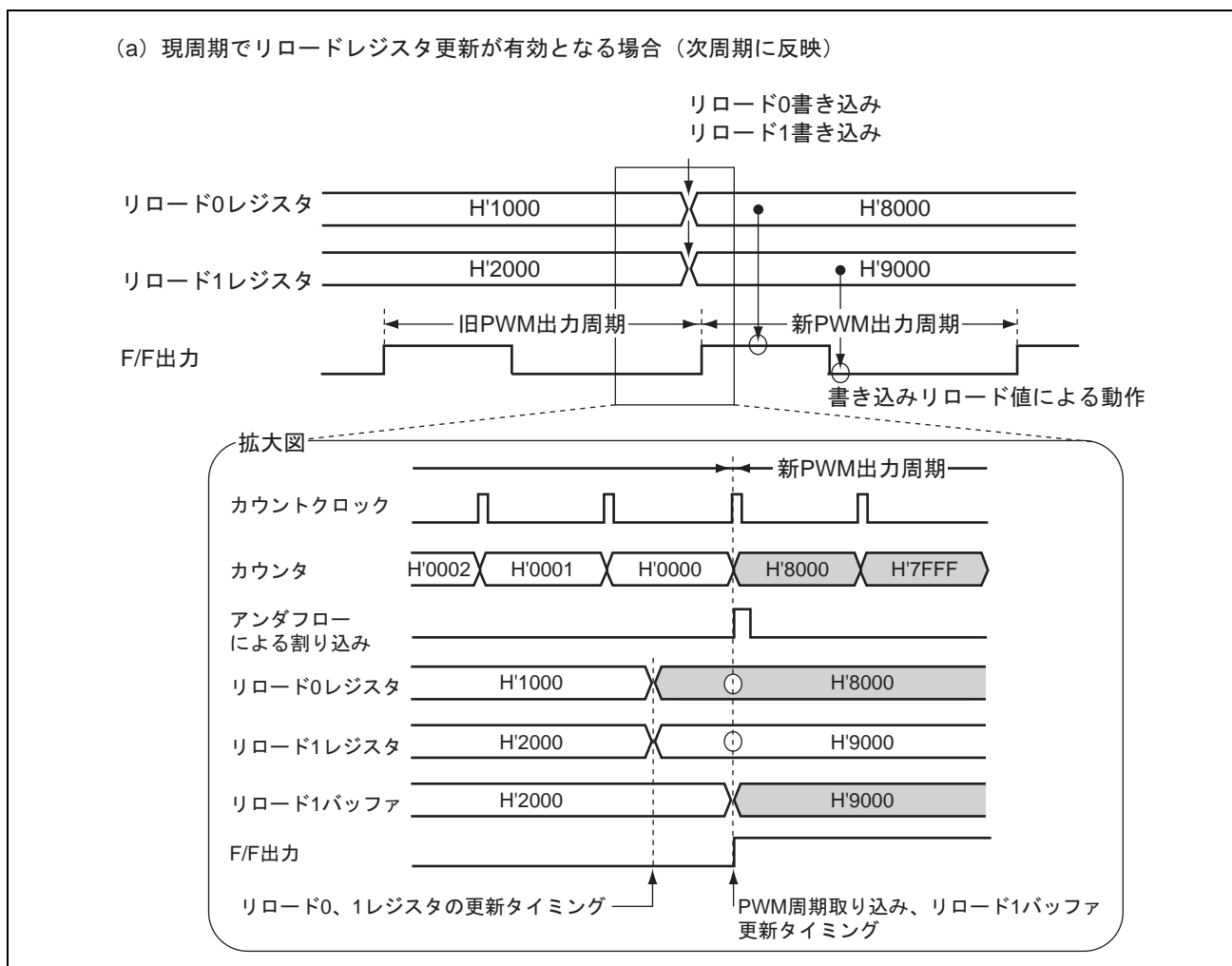


図 21.30 PWM 出力モードにおけるリロード 0、1 レジスタの更新



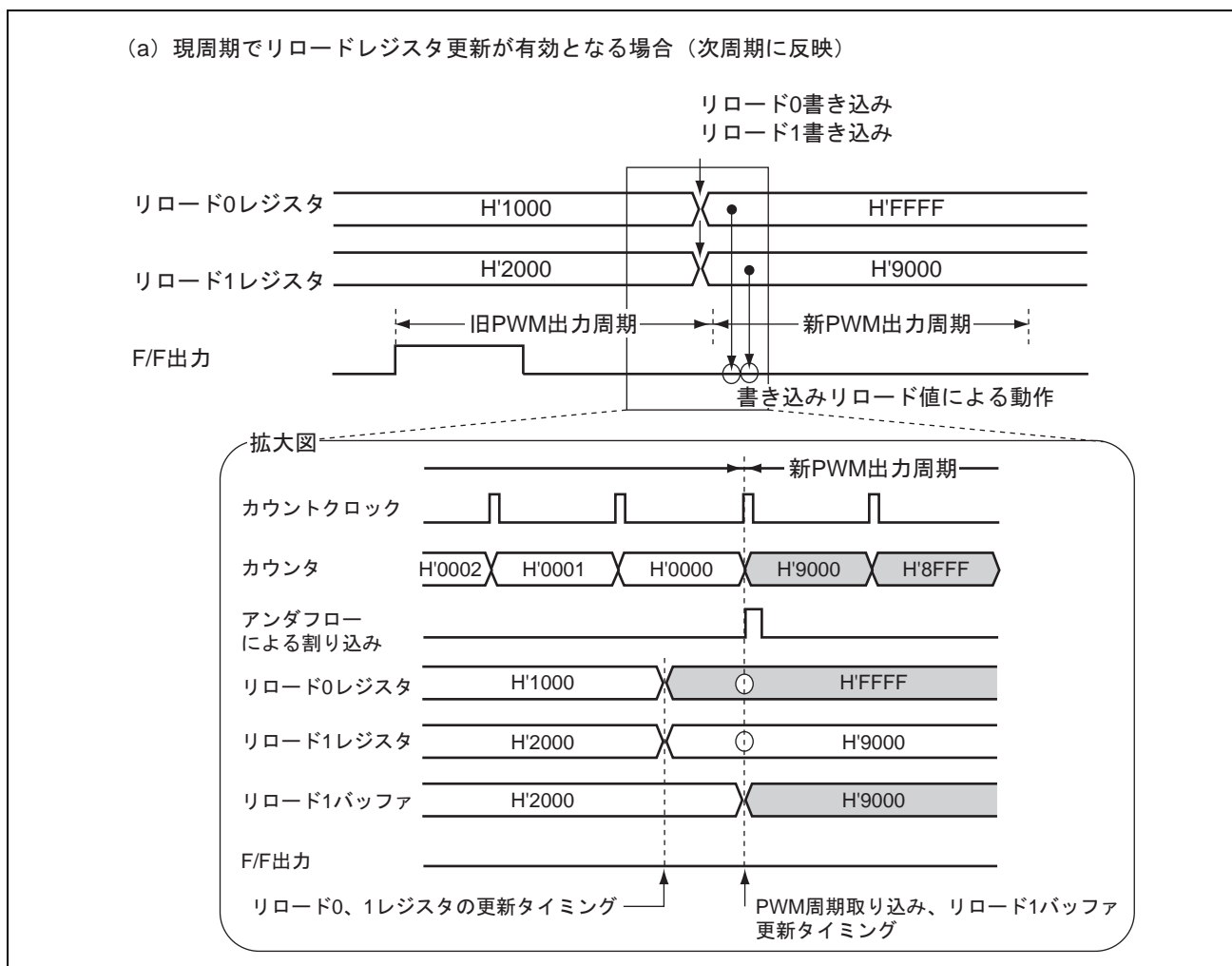


図 21.31 PWM 出力モードにおけるリロード 0、1 レジスタの更新（デューティ 0%出力時）

### (3) PWM 出力モード使用上の注意

PWM 出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるカウントイネーブルとカウントイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、カウントイネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、リロードレジスタ値が読み出されます。その直後のカウンタクロックでカウンタ値は「リロードレジスタ値-1」が読み出されます。
- タイマ動作はカウントクロックに同期しているため、カウントイネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

### 21.21.2 ワンショット PWM 出力モードの動作説明

#### (1) ワンショット PWM 出力モード概要

ワンショット PWM 出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を1回だけ発生するモードです。ワンショット PWM 出力モード時は、16ビットタイマとして動作します。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローのサイクルで、リロード1レジスタの内容をカウンタにロードし、2回目のカウンタアンダフローによりカウントを停止します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

ソフトウェアによるタイマの停止は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時に行われます (PWM 出力周期には同期しません)。

ワンショット PWM 出力モードの F/F 出力波形は、カウント開始時と2回目のアンダフロー発生時に TOUn 出力コントロールレジスタの値を、1回目のアンダフロー発生時には TOUn 出力コントロールレジスタの反転値を出力します (PWM 出力モードと異なり、カウント開始時、F/F 出力は反転しません)。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込み要求、および DMA 転送要求を発生できます。ただし、1回目の割り込み要求、および DMA 転送要求の発生は、ソフトウェアにて許可/禁止の選択が可能です。

リロード0レジスタまたはリロード1レジスタのどちらかに "H'FFFF" を設定した場合は、割り込み要求は発生しますが F/F は反転しないデューティ 0%、100% の PWM 出力を行うことが可能です。詳細は「21.21.5 PWM 出力/ワンショット PWM 出力モード時のデューティ 0%、100%出力」を参照してください。

なお、タイマ TOU のワンショット PWM 出力モードには補正機能はありません。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

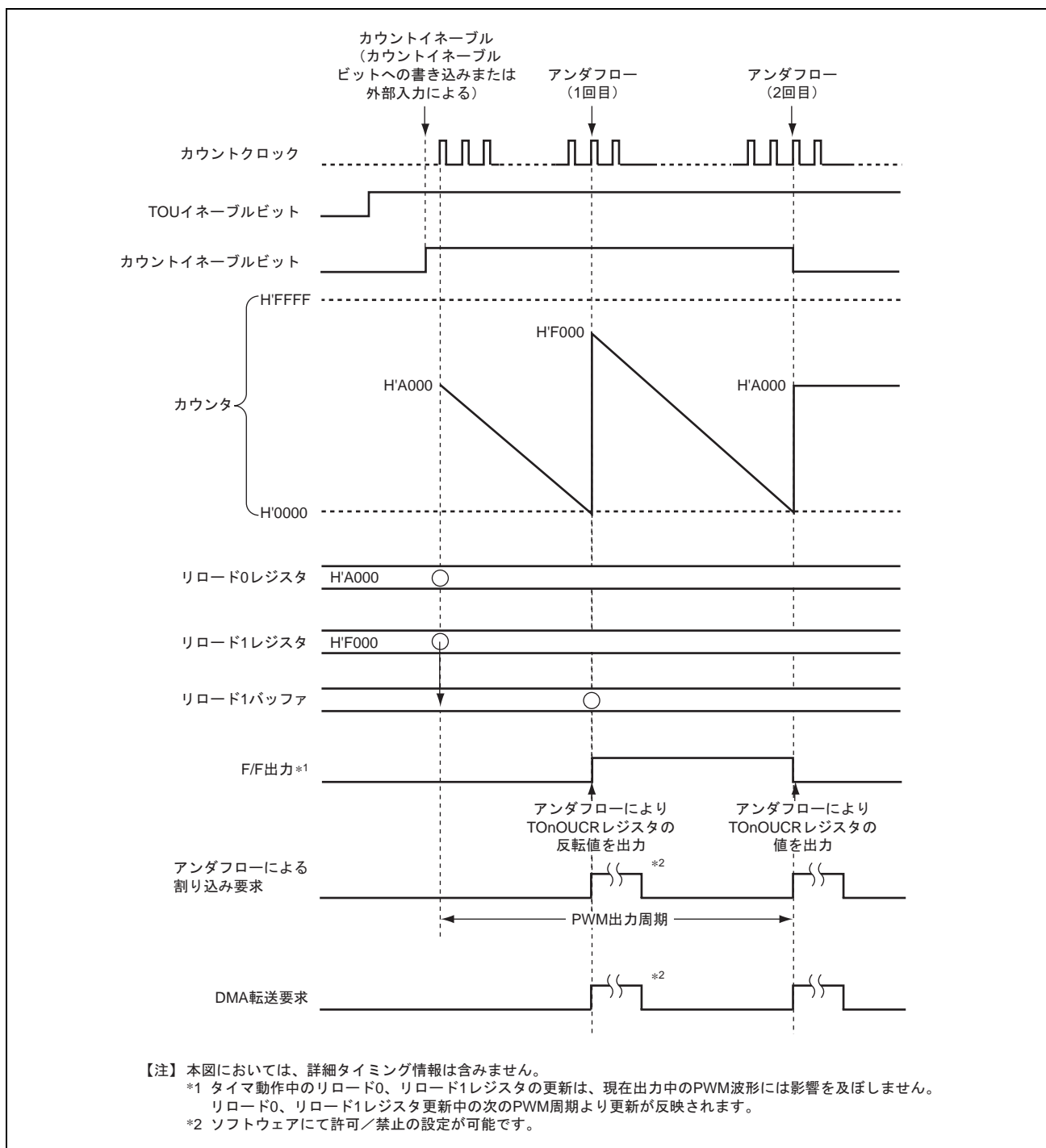


図 21.32 ワンショット PWM 出力モードの動作例

(2) ワンショット PWM 出力モード使用上の注意

ワンショット PWM 出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるカウントイネーブルとカウントイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、カウントイネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、リロードレジスタ値が読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値-1」が読み出されます。
- タイマ動作中のリロード0、リロード1レジスタの更新は、現在出力中のPWM波形には影響を及ぼしません。更新は、次のカウント開始時のPWM周期より反映されます。

## 21.21.3 ワンショット出力モードの動作説明

## (1) ワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して停止するモードです。

リロードレジスタ設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、カウント開始時に  $TOUn$  出力コントロールレジスタの反転値を、アンダフロー発生時には  $TOUn$  出力コントロールレジスタの値を出力し、リロードレジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込み要求、およびDMA転送要求を発生できます。

カウント値はリロードレジスタの設定値+1です。

たとえば、リロードレジスタの初期値が7の場合、カウント値は8となります。

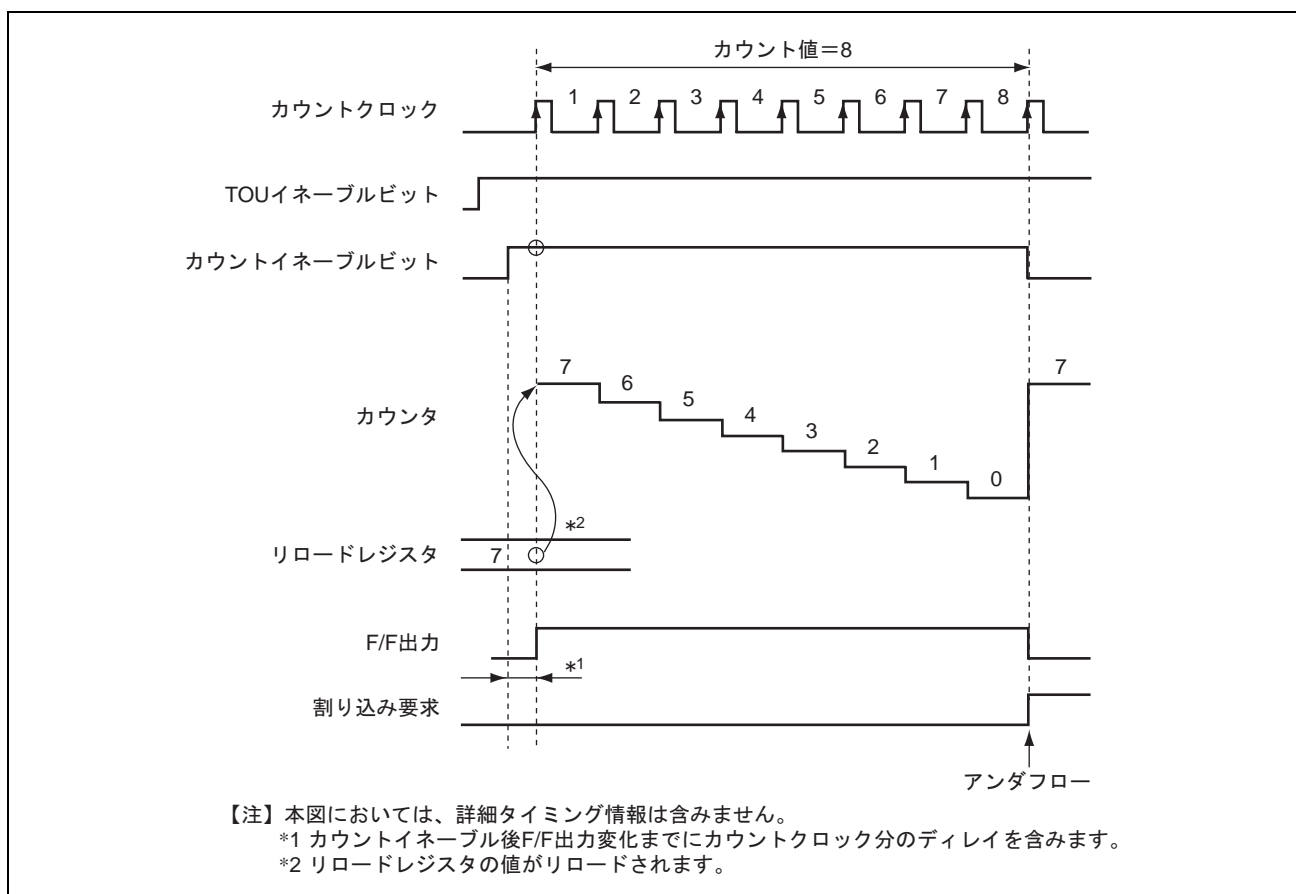


図 21.33 ワンショット出力モードのカウント例

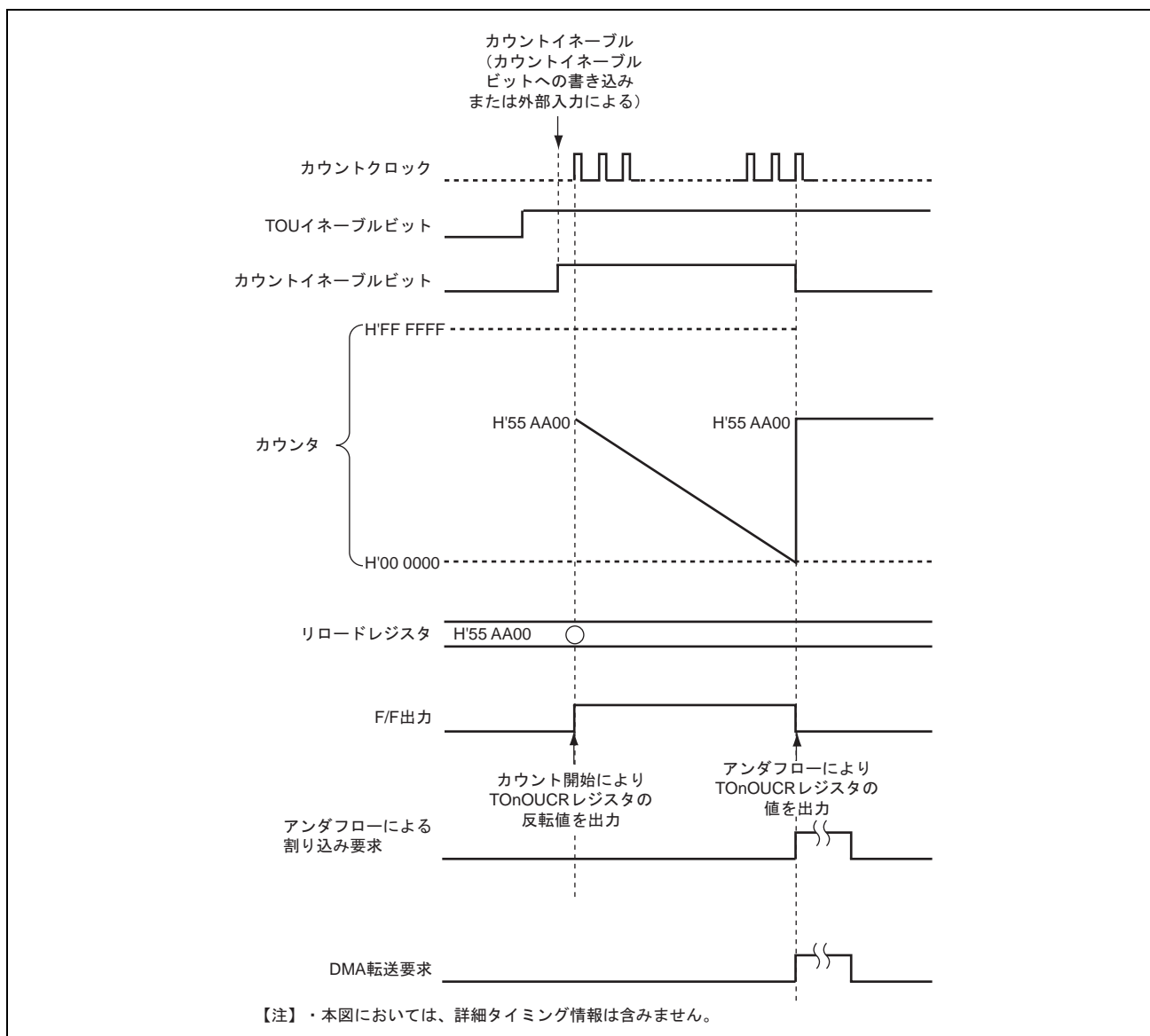


図 21.34 ワンショット出力モードの動作例

## (2) ワンショット出力モード使用上の注意

ワンショット出力モードを使用する場合の注意点を以下に示します。

- アンドアフローによるカウンタ停止と外部入力によるカウントイネーブルが同一クロックで重なった場合は、アンドアフローによるカウンタ停止が優先されます。
- アンドアフローによるカウンタ停止とカウントイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、カウントイネーブルビットへのカウント許可が優先されます。
- 外部入力によるカウントイネーブルとカウントイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、カウントイネーブルビットへのカウント禁止書き込みが優先されます。
- タイマ動作はカウントクロック出力に同期しているため、カウントイネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。

## 21.21.4 連続出力モードの動作説明

## (1) 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の反転する連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをカウントイネーブルにすると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローのサイクルでリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、カウントイネーブルビットへのカウント禁止書き込みを行うと同時にされます。

連続出力モードのF/F出力波形は、カウント開始時と偶数回目のアンダフロー発生時にTOUn出力コントロールレジスタの反転値を、奇数回目のアンダフロー発生時にはTOUn出力コントロールレジスタの値を出力し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込み要求、およびDMA転送要求を発生できます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。

たとえば、カウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

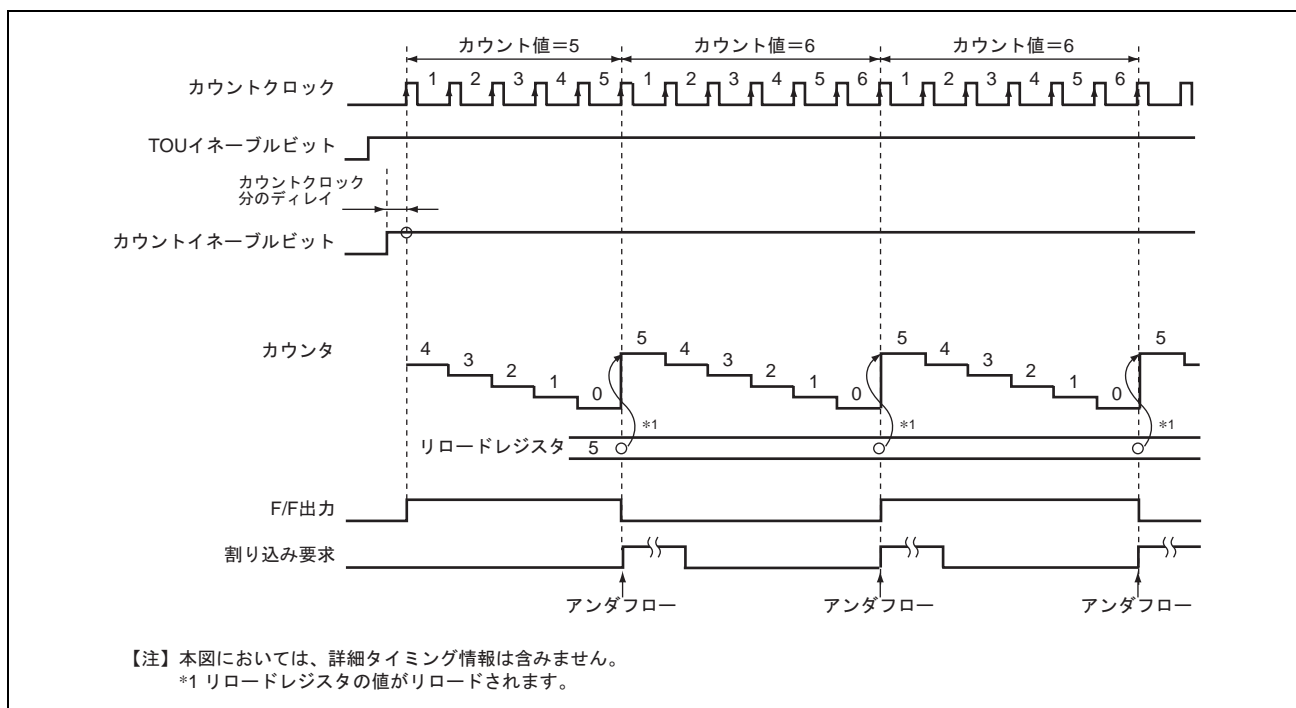


図 21.35 連続出力モードのカウンタ例

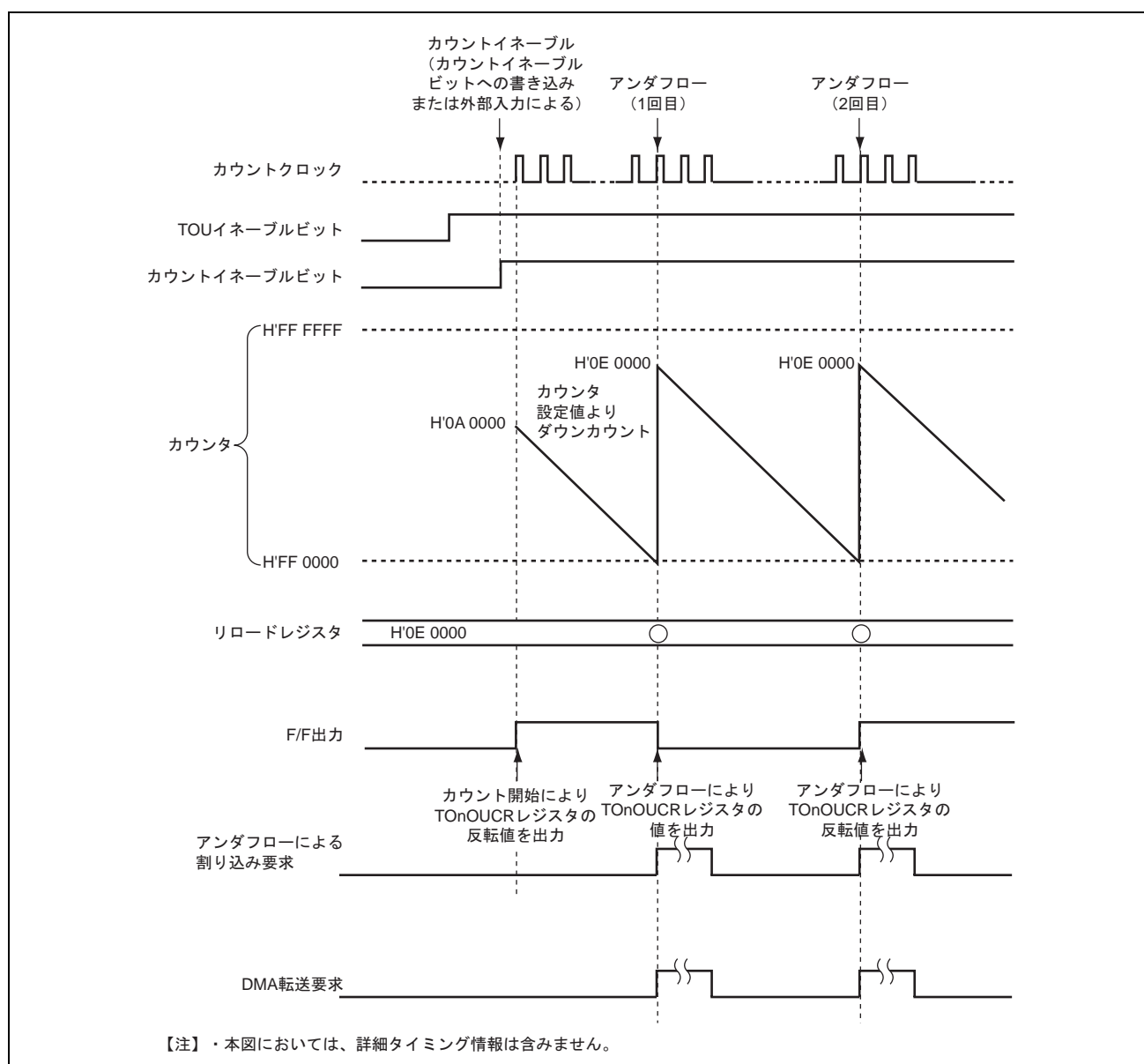


図 21.36 連続出力モードの動作例

## (2) 連続出力モード使用上の注意

連続出力モードを使用する場合の注意点を以下に示します。

- 外部入力によるカウントイネーブルとカウントイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、カウントイネーブルビットへのカウント禁止書き込みが優先されます。
- アンダフロー時のサイクルにカウンタを読むと、リロードレジスタ値が読み出されます。その直後のカウントクロックでカウンタ値は「リロードレジスタ値-1」が読み出されます。
- タイマ動作はカウントクロック出力に同期しているため、カウントイネーブルからF/F出力反転までに最大で1カウントクロック分のディレイが発生します。



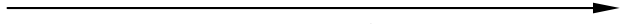
### 21.21.5 PWM 出力/ワンショット PWM 出力モード時のデューティ 0%、100%出力

PWM 出力/ワンショット PWM 出力モード時にリロード 0 レジスタ、またはリロード 1 レジスタに H'FFFF を書き込み、動作させると F/F を反転しない PWM 出力（デューティ 0%、100%）を設定できます。

PWM 出力/ワンショット PWM 出力モード時は、リロード値が H'FFFF かどうかを判定するため、下記の注意が必要です。

（例）出力したい周期が"10"カウントのとき

周期割合	50% : 50%	80% : 20%	90% : 10%	100% : 0%
カウント割合	5 : 5	8 : 2	9 : 1	10 : 0
レジスタ設定値	0004 : 0004	0007 : 0001	0008 : 0000	0009 : FFFF


  
 n+1 カウントするので実際の設定値はそれぞれ"-1"する必要があります。

- リロードレジスタにH'FFFFを設定した場合はデューティ0%、100%となるため、純粋なH'FFFFカウントはできません。
- リロード0レジスタ、およびリロード1レジスタともにH'FFFFを設定するのは、使用禁止です。
- 動作中のカウンタへのH'FFFF書き込みは、使用禁止です。
- デューティ0%、100%の場合でも、割り込み要求、他のタイマへの起動要求は発生します。

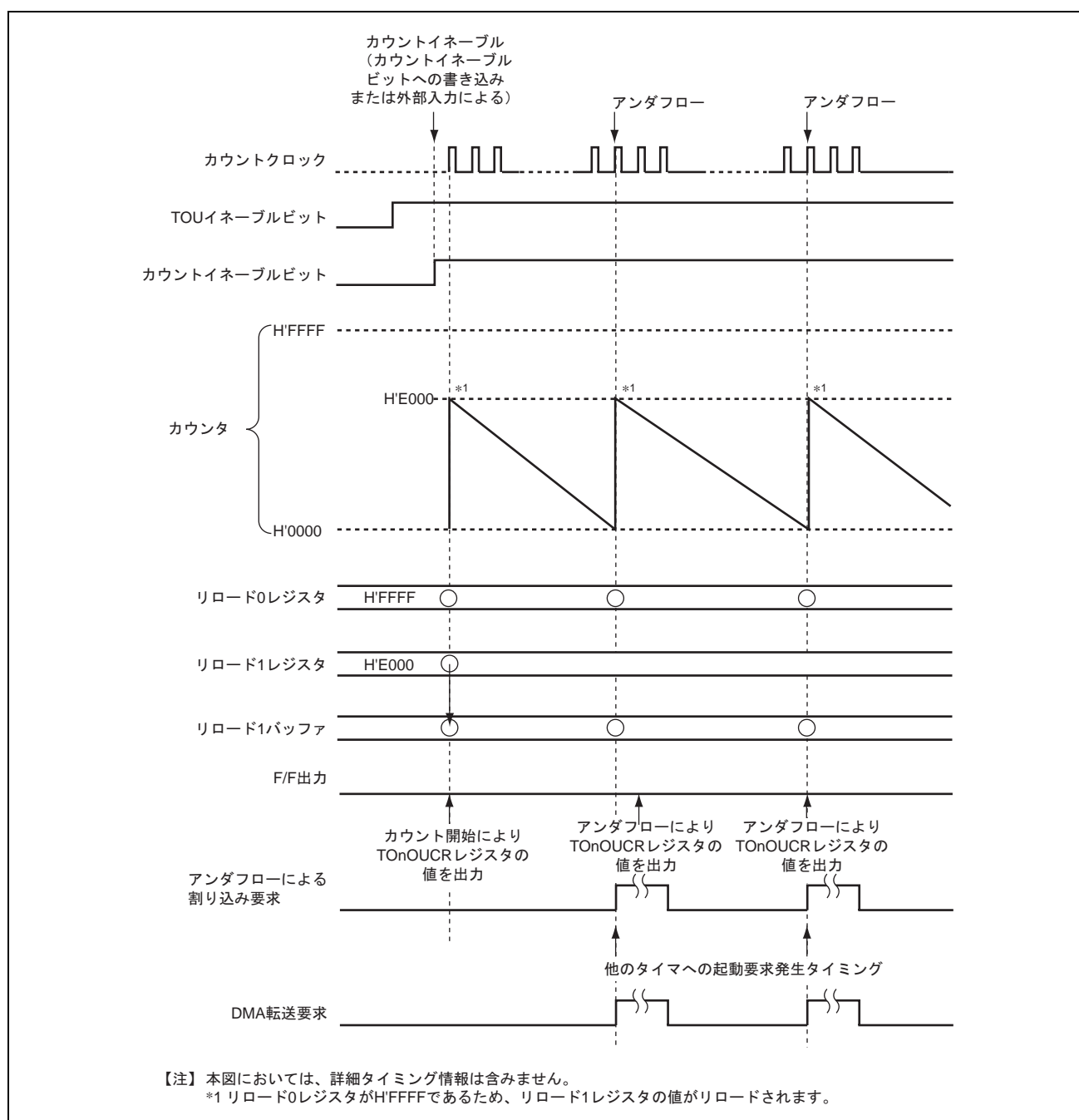


図 21.37 PWM 出力モードの動作例 (リロード0レジスタ : H'FFFF)

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

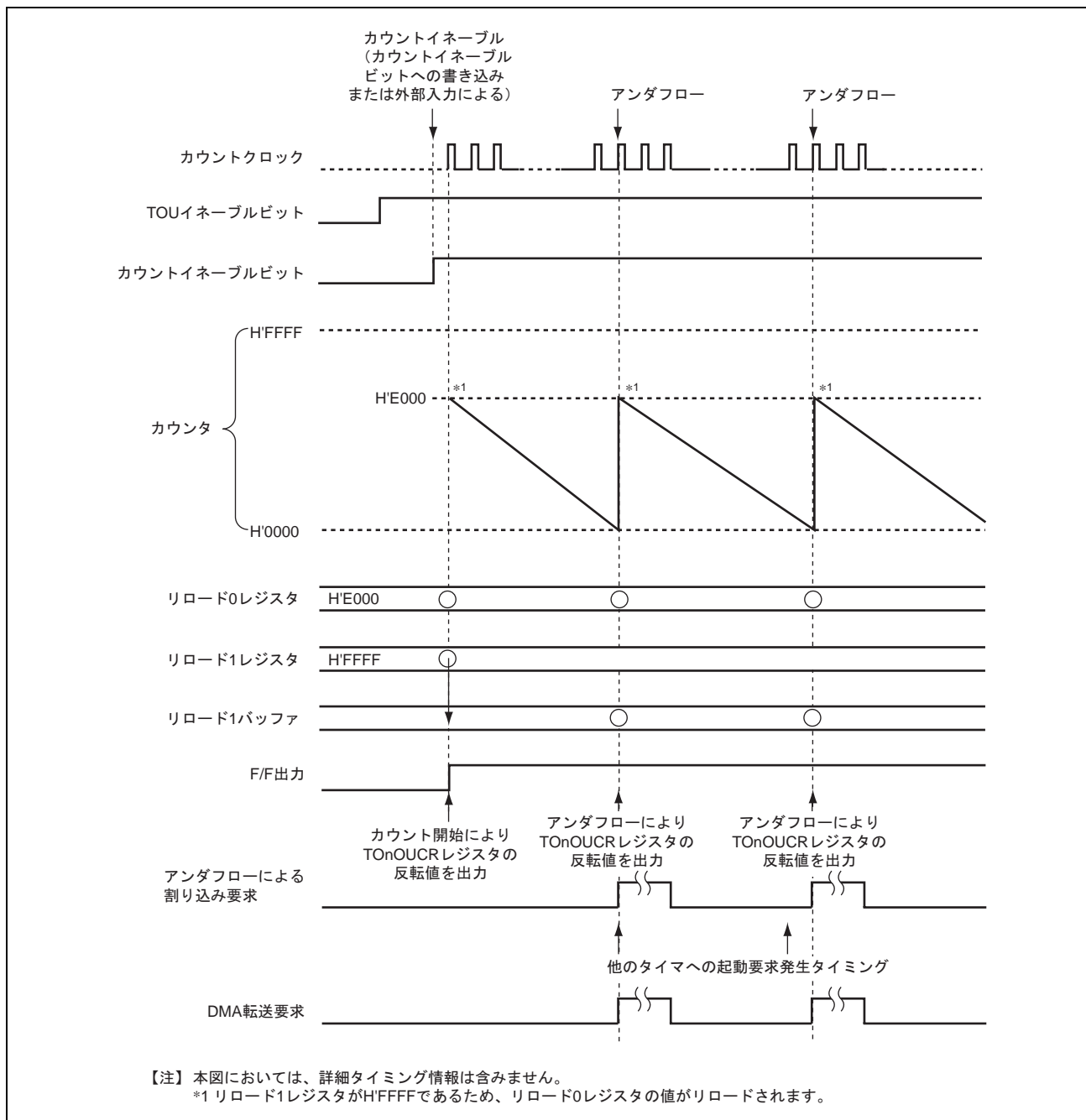


図 21.38 PWM 出力モードの動作例 (リロード1レジスタ : H'FFFF)

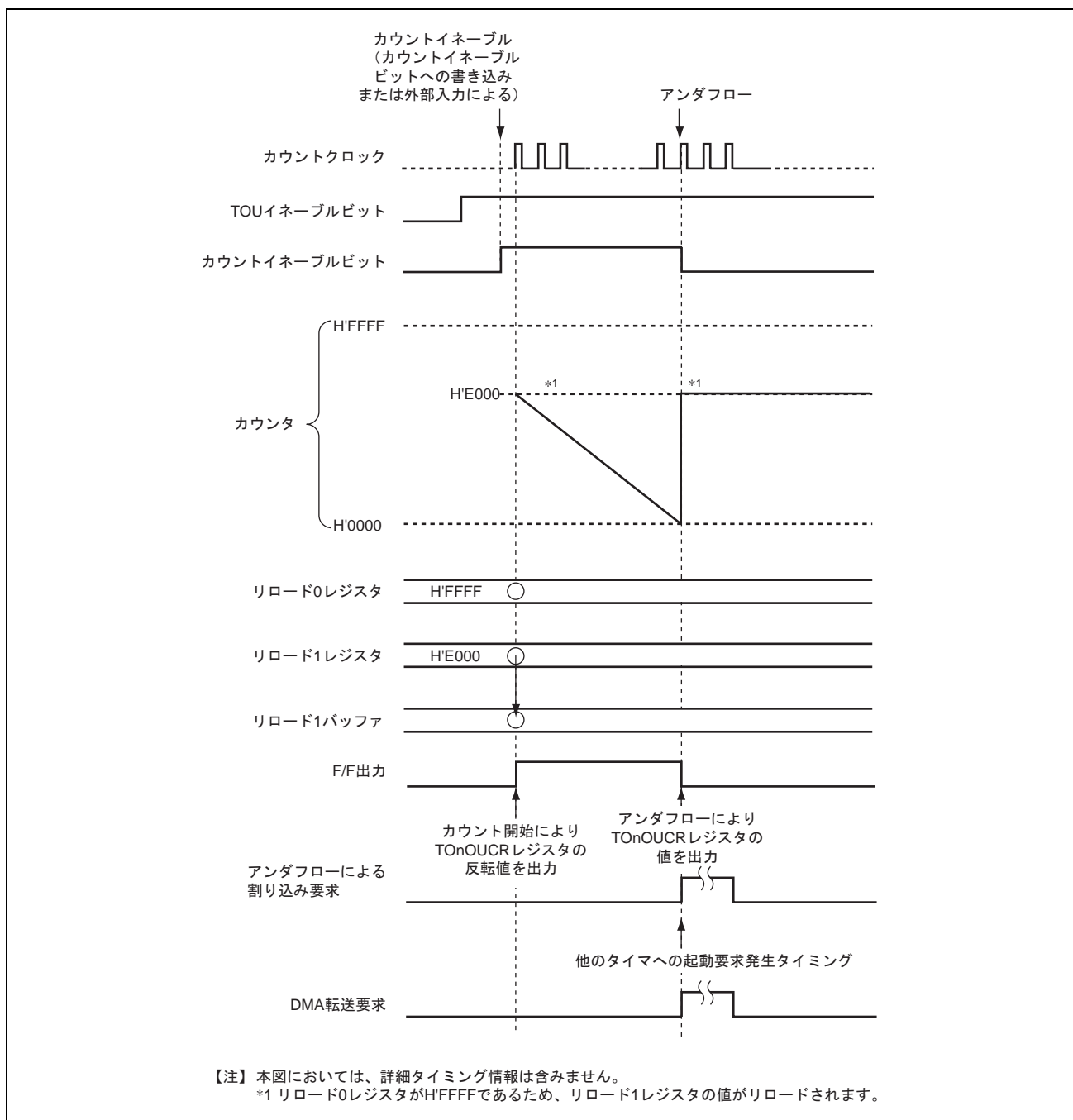


図 21.39 ワンショット PWM 出力モードの動作例 (リロード 0 レジスタ : H'FFFF)

21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

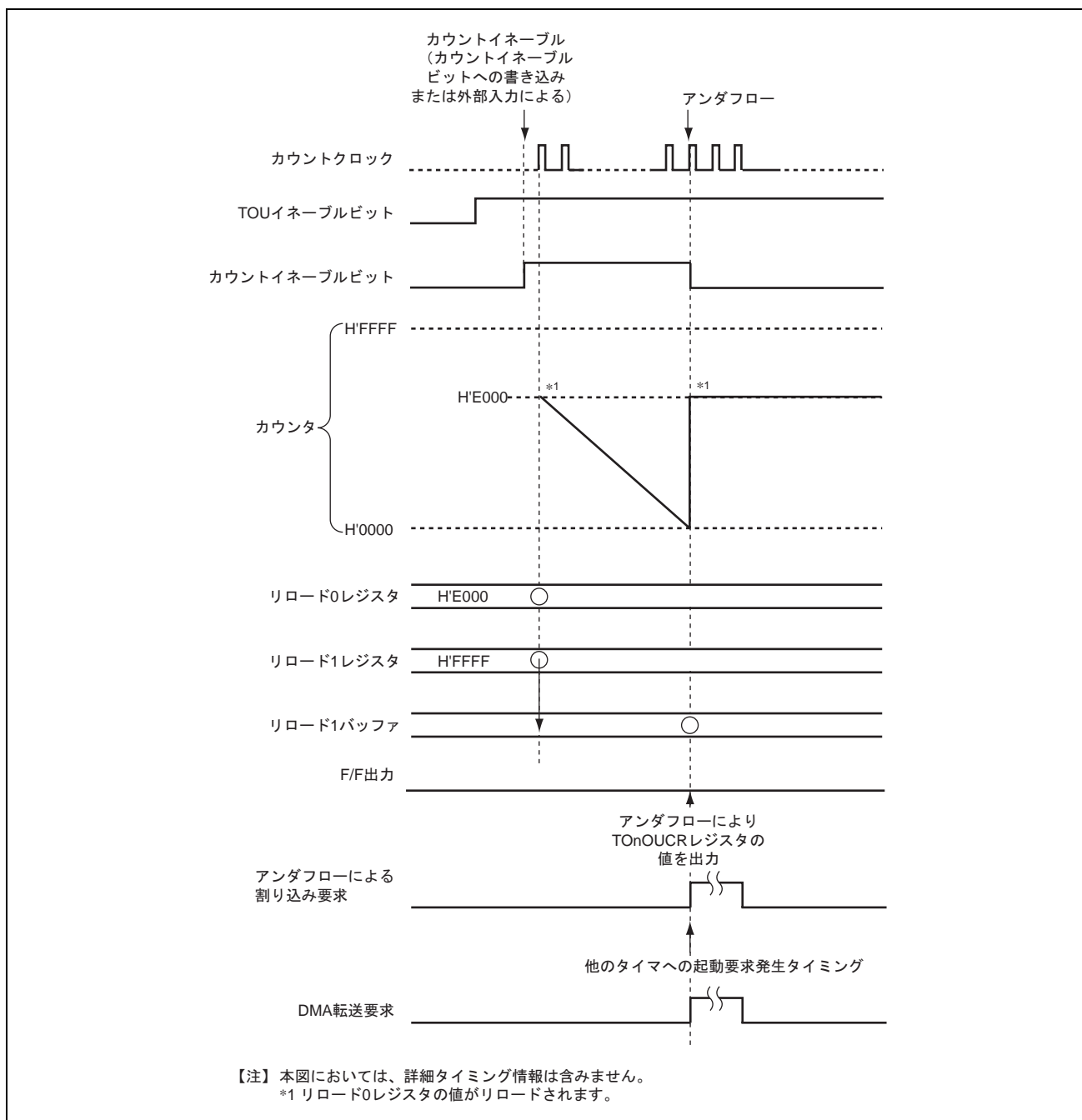


図 21.40 ワンショット PWM 出力モードの動作例 (リロード 1 レジスタ : H'FFFF)

PWM 出力モードおよびワンショット PWM 出力モード時のデューティ 0%、100%設定時、F/F 出力は以下のように動作します。

(1) PWM 出力モード

0% : TOnOUCR レジスタの値を出力します。

100% : TOnOUCR レジスタの反転値を出力します。

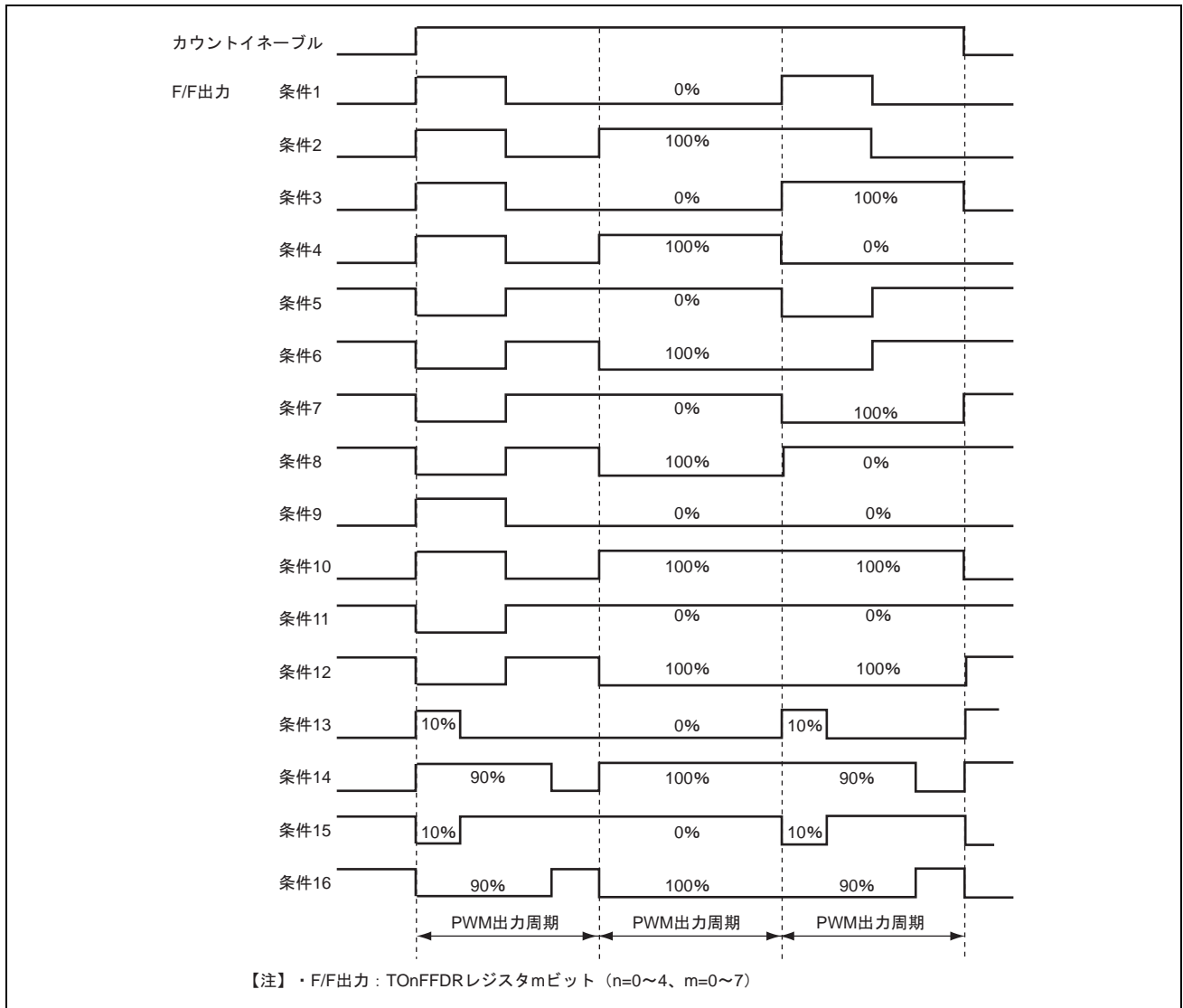


図 21.41 PWM 出力モードのデューティ 0%、100%の F/F 出力例

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### (2) ワンショット PWM 出力モード

0% : TOnOUCR レジスタの反転値を出力します。

100% : TOnOUCR レジスタの値を出力します。

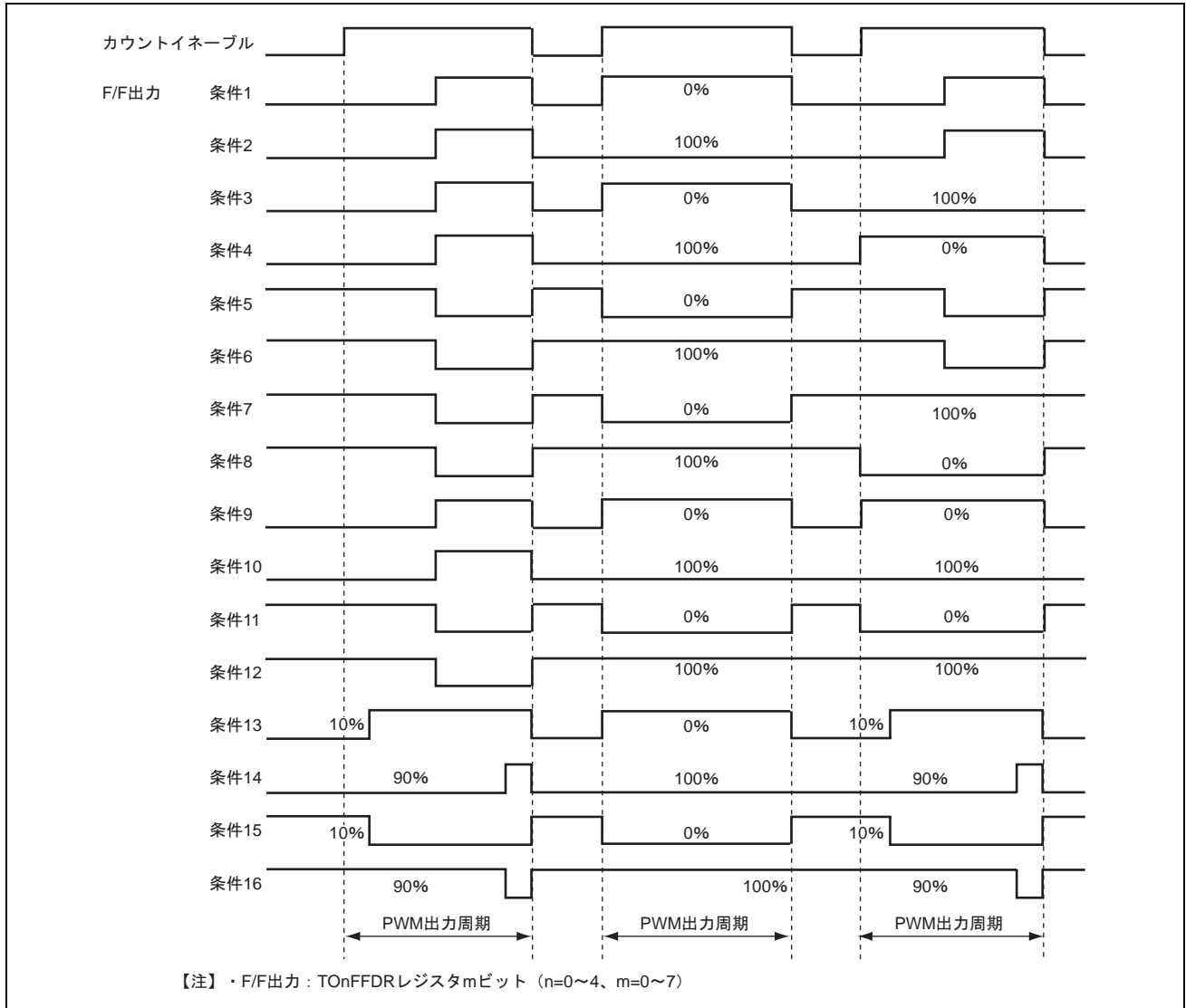


図 21.42 ワンショット PWM 出力モードのデューティ 0%、100%の F/F 出力例

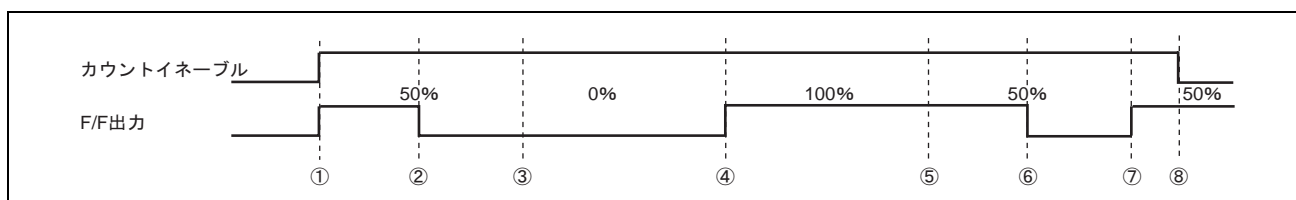
### 21.21.6 各モードにおける F/F 出力

各動作モードにおける F/F 出力は、TOUn フリップフロップ出力データレジスタ (TONFFDR) と TOUn 出力コントロールレジスタ (TONOUCR) 設定値により制御します。以下に TONFFDR レジスタと TONOUCR レジスタと F/F 出力の関係を示します。

#### (1) 各動作モード共通

- TONOUCRレジスタ書き込み時、TONOUCRレジスタとTONFFDRレジスタはともにTONOUCRレジスタ書き込み内容で更新されます。
- TONFFDRレジスタ書き込み時、TONFFDRレジスタのみがTONFFDRレジスタ書き込み内容で更新されます (TONFFDRレジスタの更新内容は、即F/F出力に反映されます)。
- カウントイネーブルの状態にかかわらず、TONOUCRレジスタ、TONFFDRレジスタは書き換え可能です。

#### (2) PWM 出力モードの F/F 出力

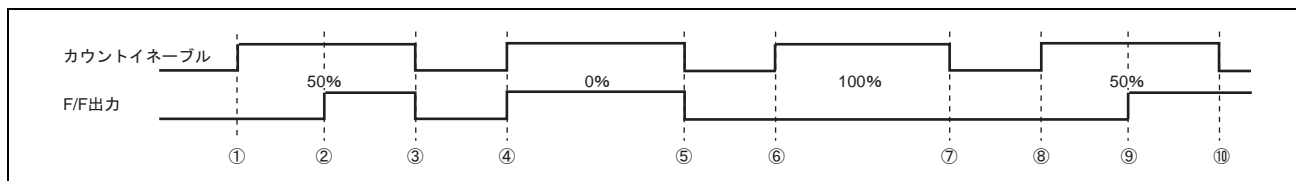


- ① カウントスタート時、F/F 出力は TONOUCR レジスタの反転値を出力します。
- ② アンダフロー時、F/F 出力は TONOUCR レジスタの値を出力します。
- ③ アンダフロー時、リロード 0 レジスタ値が H'FFFF、かつリロード 1 レジスタ値が H'xxxx (H'FFFF 以外の任意値) の場合、F/F 出力は TONOUCR レジスタの値を出力します。また、出力期間は、リロード 1 レジスタ値に従います。
- ④ アンダフロー時、リロード 0 レジスタ値が H'xxxx (H'FFFF 以外の任意値)、かつリロード 1 レジスタ値が H'FFFF の場合、F/F 出力は TONOUCR レジスタの反転値を出力します。また、出力期間は、リロード 0 レジスタ値に従います。
- ⑤ アンダフロー時、F/F 出力は TONOUCR レジスタの反転値を出力します。
- ⑥ アンダフロー時、F/F 出力は TONOUCR レジスタの値を出力します。
- ⑦ アンダフロー時、F/F 出力は TONOUCR レジスタの反転値を出力します。
- ⑧ カウントイネーブルを禁止 (動作停止) の場合、F/F 出力は TONFFDR レジスタの値を保持します。

【注】・ リロード 0 レジスタ、リロード 1 レジスタがともに H'FFFF の設定は禁止します。



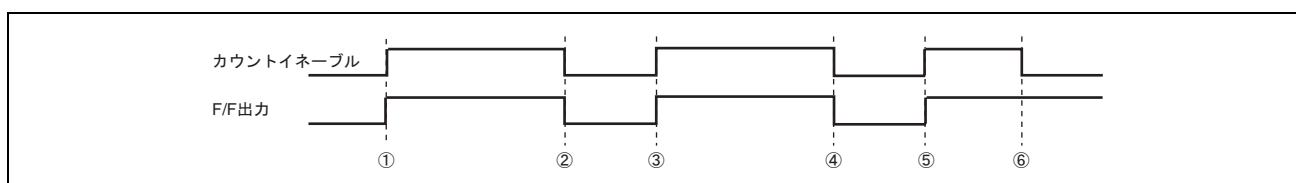
(3) ワンショット PWM 出力モードの F/F 出力



- ①カウントスタート時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ②アンダフロー時、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。
- ③アンダフローによるカウンタ停止時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ④カウントスタート時、リロード 0 レジスタ値が **H'FFFF**、かつリロード 1 レジスタ値が **H'xxxx** (**H'FFFF** 以外の任意値) の場合、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。また、出力期間は、リロード 1 レジスタ値に従います。
- ⑤アンダフローによるカウンタ停止時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ⑥カウントスタート時、リロード 0 レジスタ値が **H'xxxx** (**H'FFFF** 以外の任意値)、かつリロード 1 レジスタ値が **H'FFFF** の場合、F/F 出力は **TOnOUCR** レジスタの値を出力します。また、出力期間は、リロード 0 レジスタ値に従います。
- ⑦アンダフローによるカウンタ停止時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ⑧カウントスタート時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ⑨アンダフロー時、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。
- ⑩カウントイネーブルを禁止 (動作停止) の場合、F/F 出力は **TONFFDR** レジスタの値を保持します。

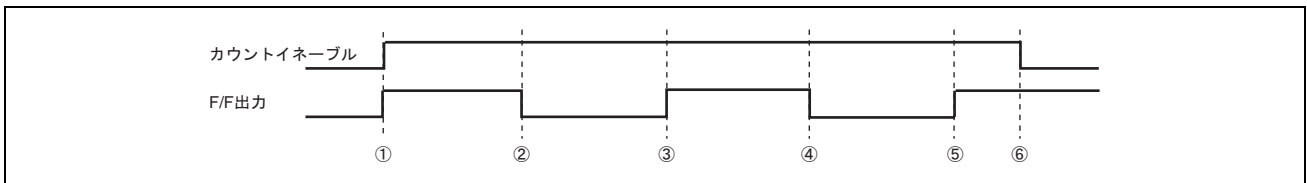
【注】・ リロード 0 レジスタ、リロード 1 レジスタがともに **H'FFFF** の設定は禁止します。

(4) ワンショット出力モードの F/F 出力



- ①カウントスタート時、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。
- ②アンダフローによるカウンタ停止時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ③カウントスタート時、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。
- ④アンダフローによるカウンタ停止時、F/F 出力は **TOnOUCR** レジスタの値を出力します。
- ⑤カウントスタート時、F/F 出力は **TOnOUCR** レジスタの反転値を出力します。
- ⑥カウントイネーブルを禁止 (動作停止) の場合、F/F 出力は **TONFFDR** レジスタの値を保持します。

## (5) 連続出力モードの F/F 出力



- ①カウントスタート時、F/F 出力は TOnOUCR レジスタの反転値を出力します。
- ②アンダフロー時、F/F 出力は TOnOUCR レジスタの値を出力します。
- ③アンダフロー時、F/F 出力は TOnOUCR レジスタの反転値を出力します。
- ④アンダフロー時、F/F 出力は TOnOUCR レジスタの値を出力します。
- ⑤アンダフロー時、F/F 出力は TOnOUCR レジスタの反転値を出力します。
- ⑥カウントイネーブルを禁止（動作停止）の場合、F/F 出力は TOnFFDR レジスタの値を保持します。

## 21.21.7 PWM 出力禁止機能

TOUn\_0~TOUn\_5 タイマの出力端子である TOn0~TOn5 からの出力を強制的に禁止する機能を備えています。この機能は 3 相 PWM 制御時に短絡等の異常状態検出時の保護機能として使用可能ですが、タイマ TOU のすべての出力モードで使用できます。I/O ポートがタイマ出力以外のモードの場合は使用できません。図 21.43 に PWM 出力禁止機能の回路構成を示します。

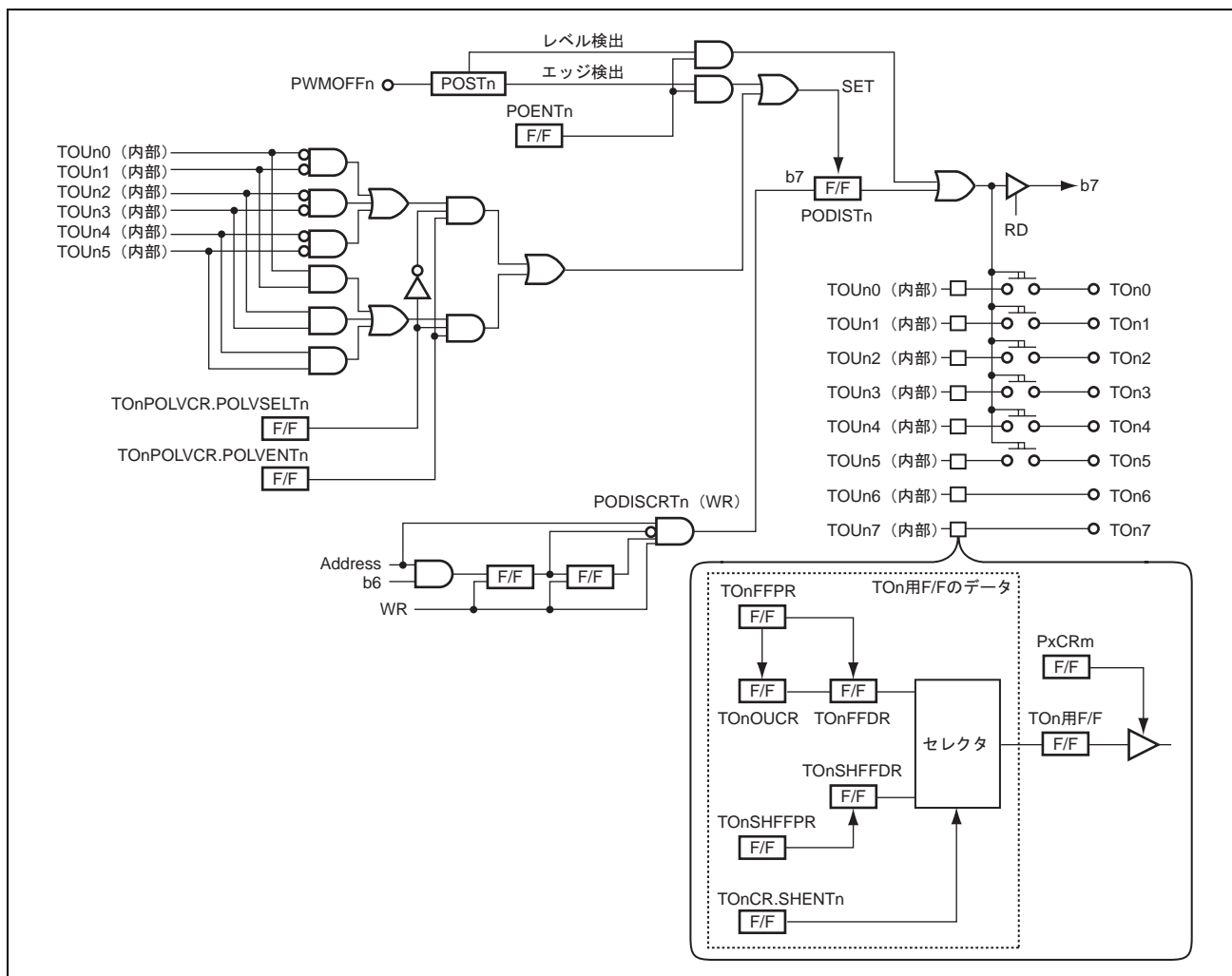


図 21.43 PWM 出力禁止機能の回路構成

PWM 出力を禁止するには次の 3 つの方法があります。

## (1) 外部端子 (PWMOFFn) から入力された信号による PWM 出力禁止

外部端子 PWMOFFn への入力信号によって、タイマ TOUn\_0~TOUn\_5 の PWM 出力に対応するポート TOn0~TOn5 への出力を禁止できます。

- TOUnPWMOFF入力処理レジスタ (TOnPOCR) の POSTn ビットにて立ち上がりエッジ、立ち下がりエッジ、両エッジを選択した場合

外部端子 (PWMOFFn) でのエッジ検出時に PWM 出力が禁止となります。このとき、TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) の PODISTn ビットが "1" にセットされます。

PWM 出力許可状態への復帰は、TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) の PODISTn ビットの

"0"クリアによって行います。

- TOUnPWMOFF入力処理レジスタ (TOnPOCR) のPOSTnビットにて、"L"レベル、"H"レベルを選択した場合

外部端子 (PWMOFFn) への PWM 出力禁止レベル入力期間中、PWM 出力が禁止となります。このとき、TOUnPWM 出力禁止制御レジスタの PODISTn ビットが"1"にセットされます。

PWM 出力許可状態への復帰は、外部端子 (PWMOFFn) への PWM 出力禁止レベル入力解除によって行われます。このとき、TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) の PODISTn ビットからは、最後に書き込みを行った設定値が読み出されます。

- 【注】・外部端子 (PWMOFFn) への PWM 出力禁止レベル入力中に TOUnPWM 出力禁止制御レジスタの PODISTn ビットへ書き込みを行った場合、書き込んだ値はレジスタに格納されます。ただし、読み出しを行った場合は、"1"が読み出されます。その後、外部端子への PWM 出力禁止レベル入力が解除されると PODISTn ビット設定内容が読み出し可能となり、その設定値に従って PWM 出力が制御されます。

外部端子 (PWMOFFn) への入力信号によって PWM 出力を禁止するためには、TOUnPWMOFF 入力処理制御レジスタ (TOnPOCR)、TOUnPWMOFF 機能許可レジスタ (TOnPOER) に対して下記の設定を行います。

- PWMOFFnから入力された信号によるPWM出力禁止の場合

- (a) TOnPOCRレジスタのPOSTnビットに設定値 ("001"、"010"、"011"、"10X"、または"11X") を書き込む。
- (b) TOnPOERレジスタのPOENTnビットに"1"を書き込み、PWMOFF機能を有効にする。

## (2) PWM 出力禁止制御レジスタによる PWM 出力禁止

TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) によってタイマ TOUn\_0~TOUn\_5 の PWM 出力に対応するポート TOn0~TOn5 への出力を禁止できます。

TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) によって PWM 出力を禁止するためには、下記の設定を行います。

- TOUnPWM出力禁止制御レジスタ (TOnPODISCR) によるPWM出力禁止の場合

- (a) TOnPODISCRレジスタのPODISTnビットに"1" (出力禁止) を設定。

## (3) ポート TOn0~TOn5 の端子レベルによる PWM 出力禁止

ポート TOn0~TOn5 の端子レベル("L"レベルまたは"H"レベル)によってタイマ TOUn\_0~TOUn\_5 の PWM 出力に対応するポート TOn0~TOn5 への出力を禁止できます。

ポート TOUn0~TOUn5 からの PWM 出力禁止レベル検出後、PWM 出力が禁止となります。PWM 出力禁止時、TOUnPWM 出力禁止制御レジスタ (TOnPODISCR) の PODISTn ビットに"1"がセットされます。PWM 出力許可状態への復帰は、ポート TOn0~TOn5 からの PWM 出力禁止レベルの出力を解除後、TOUnPWM 出力禁止制御レジスタの PODISTn ビットの"0"クリアによって行います。

- 【注】・ポート TOn0~TOn5 からの PWM 出力禁止レベルが出力時、TOUnPWM 出力禁止制御レジスタにある PODISTn ビットへの書き込みを行った場合は、そのときの書き込み動作は無効となります。

ポートの端子レベルによって PWM 出力を禁止するためには、TOUnPWM 出力禁止制御レジスタ (TOnPODISCR)、TOUnPWMOFF 機能許可レジスタ (TOnPOER) に対して下記の設定を行います。

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

---

- ポートTOn0~TOn5のレベルによるPWM出力禁止の場合

- (a) TOnPOLVCRレジスタのPOLVSELTnビットにどのレベル ("L"レベルまたは"H"レベル) のときにPWM出力禁止するかを設定する。
- (b) TOnPOLVCRレジスタのPOLVENTnビットに"1" (出力禁止有効) を設定する。
- (c) TOnPOERレジスタのPOENTnに"1"を書き込み、PWMOFF機能を有効にする。

### 21.21.8 短絡防止機能

#### (1) 短絡防止機能の概要

短絡防止機能有効/無効ビットを設定する際は、TOUn\_0~TOUn\_5のカウンタをカウント停止状態で実施してください (カウント許可状態でのビット設定は禁止します)。

短絡防止機能有効時の各タイマの動作モードは以下で実施してください (その他のタイマモードでは使用できません)。

TOUn\_0 (2, 4) ワンショット PWM 出力モード

TOUn\_1 (3, 5) ワンショット出力モード

【注】・ TOUn\_0 (2, 4) は、TOUn\_0、TOUn\_2、TOUn\_4を示します。

- ・ TOUn\_1 (3, 5) は、TOUn\_1、TOUn\_3、TOUn\_5を示します。

短絡防止機能有効時は、TOUn\_1 (3, 5) の TOUn イネーブル要因選択ビットは無効になり、それぞれ TOUn\_0 (2, 4) のアンダフローによって起動されます。

短絡防止時間は、TOUn\_1 (3, 5) のリロードレジスタに設定します。このとき、短絡防止時間は、リロードレジスタ設定値+2、となります。なお、リロードレジスタの設定値は、下記の条件を満たさなければなりません。

TOUn\_1 (3, 5) のリロードレジスタ設定値 ≤ TOUn\_0 (2, 4) のリロード1レジスタ設定値 - 2

短絡防止機能を有効とする場合、TOUn 出力コントロールレジスタと TOUn 短絡防止機能用フリップフロップ出力データレジスタに値を設定する必要があります。

- 最初に"H"レベルを出力する場合

TOUn 出力コントロールレジスタに"1"を、TOUn 短絡防止機能用フリップフロップ出力データレジスタに"0"を設定する。

- 最初に"L"レベルを出力する場合

TOUn 出力コントロールレジスタに"0"を TOUn 短絡防止機能用フリップフロップ出力データレジスタに"1"を設定する。

なお、TOUn 出力コントロールレジスタと、TOUn 短絡防止機能用フリップフロップ出力データレジスタに同じ値を書き込んだ場合、一定出力となります。

短絡防止機能を有効にした場合、TOUn\_0 (2, 4) リロードレジスタ 0、および TOUn\_0 (2, 4) リロードレジスタ 1 ~"HFFFF"を書き込むことは禁止します。

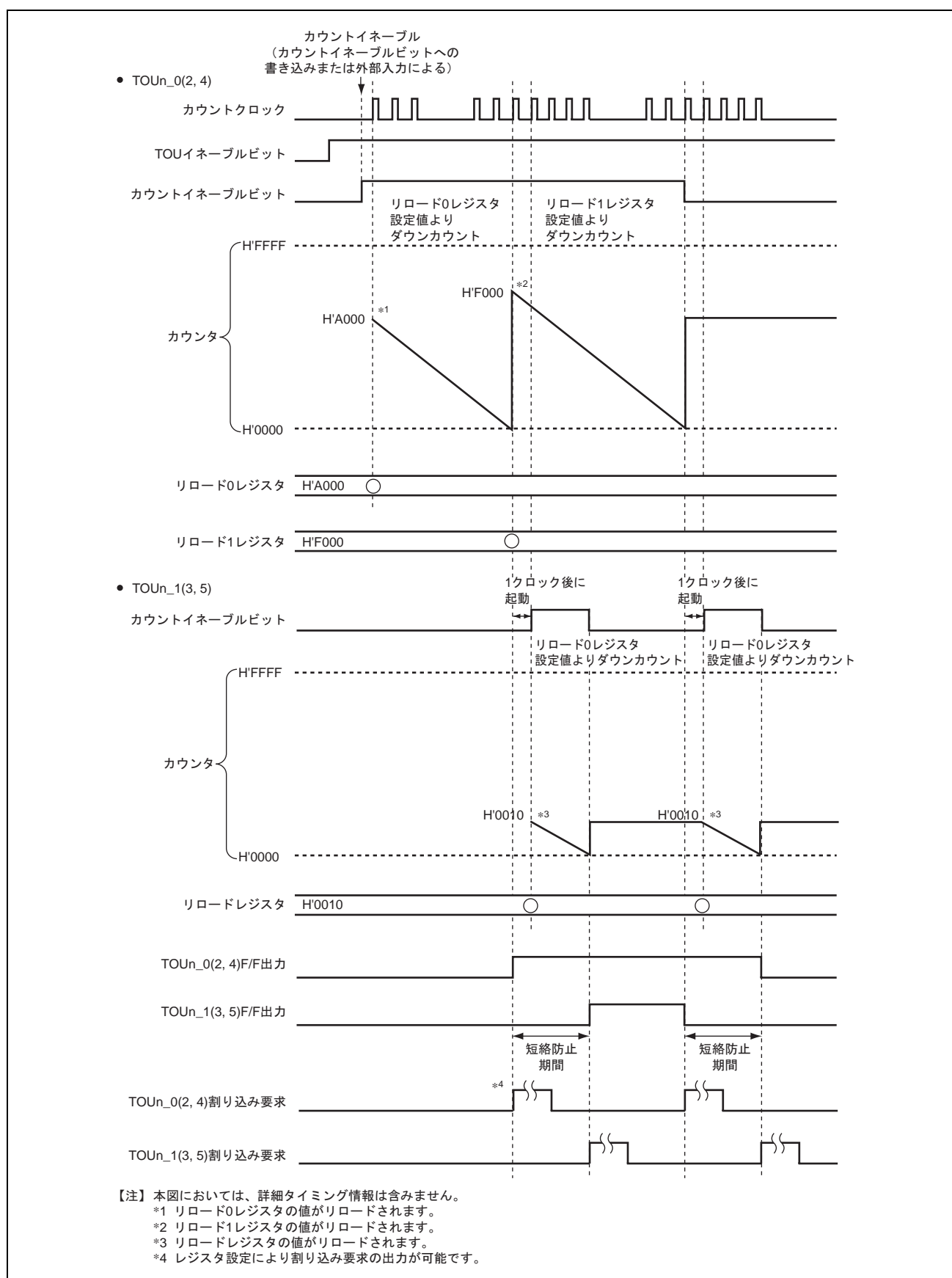


図 21.44 短絡防止機能の動作概要

## 21. アドバンスタイマユニット-IIIS (ATU-IIIS)

---

ソフトウェアで強制的に出力を固定させる場合に短絡防止機能を有効にするには、以下の手続きを行ってください。

- TOUn\_0 (2, 4) カウントイネーブルビットに"0"を書き込む
- TOUn\_1 (3, 5) のTOUn出力コントロールレジスタに短絡防止となるような値を書き込む
- TOUn\_1 (3, 5) のカウントイネーブルビットに"1"を書き込む

このとき、短絡防止時間は以下ようになります。

TOUn\_1 (3, 5) の TOUn 出力コントロールレジスタ書き込み～TOUn\_1 (3, 5) カウントイネーブルまでの時間+TOUn\_1 (3, 5) リロードレジスタ設定値+1

ソフトウェアでカウンタを停止する場合、TOUn\_0 (2, 4) と TOUn\_1 (3, 5) の両方がカウント停止状態になるように実施してください。

TOUn\_1 (3, 5) のカウントイネーブルビットに"1"を書き込む場合、TOUn\_0 (2, 4) および TOUn\_1 (3, 5) ともにカウント停止状態で実施してください。

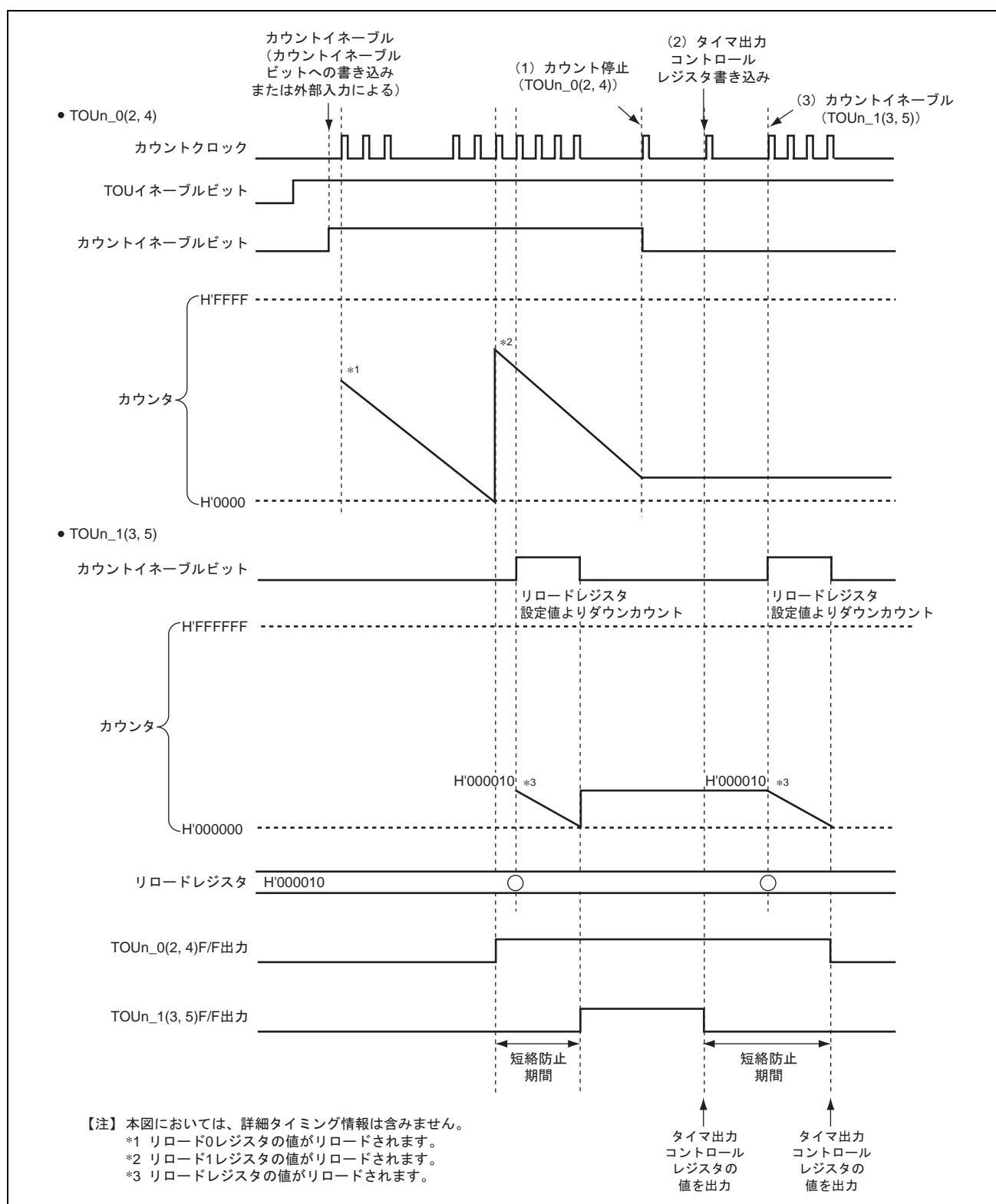


図 21.45 ソフトウェアで強制的に出力を固定させる場合の動作概要



(2) 短絡防止機能時の FF 出力とレジスタ設定

図 21.46 に短絡防止機能有効時の FF 出力とレジスタ設定値の関係を示します。

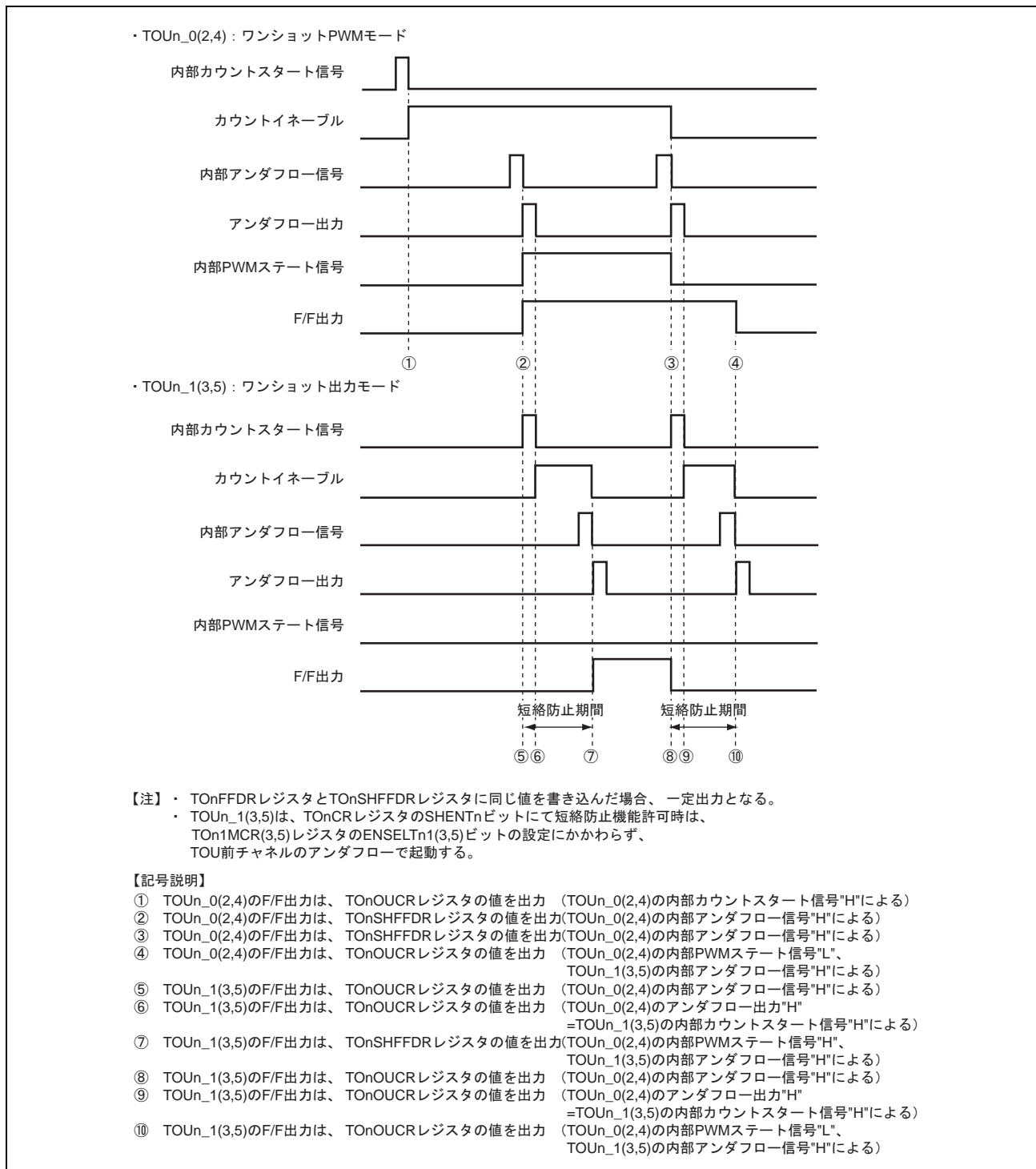


図 21.46 短絡防止機能の F/F 出力とレジスタ設定値の関係

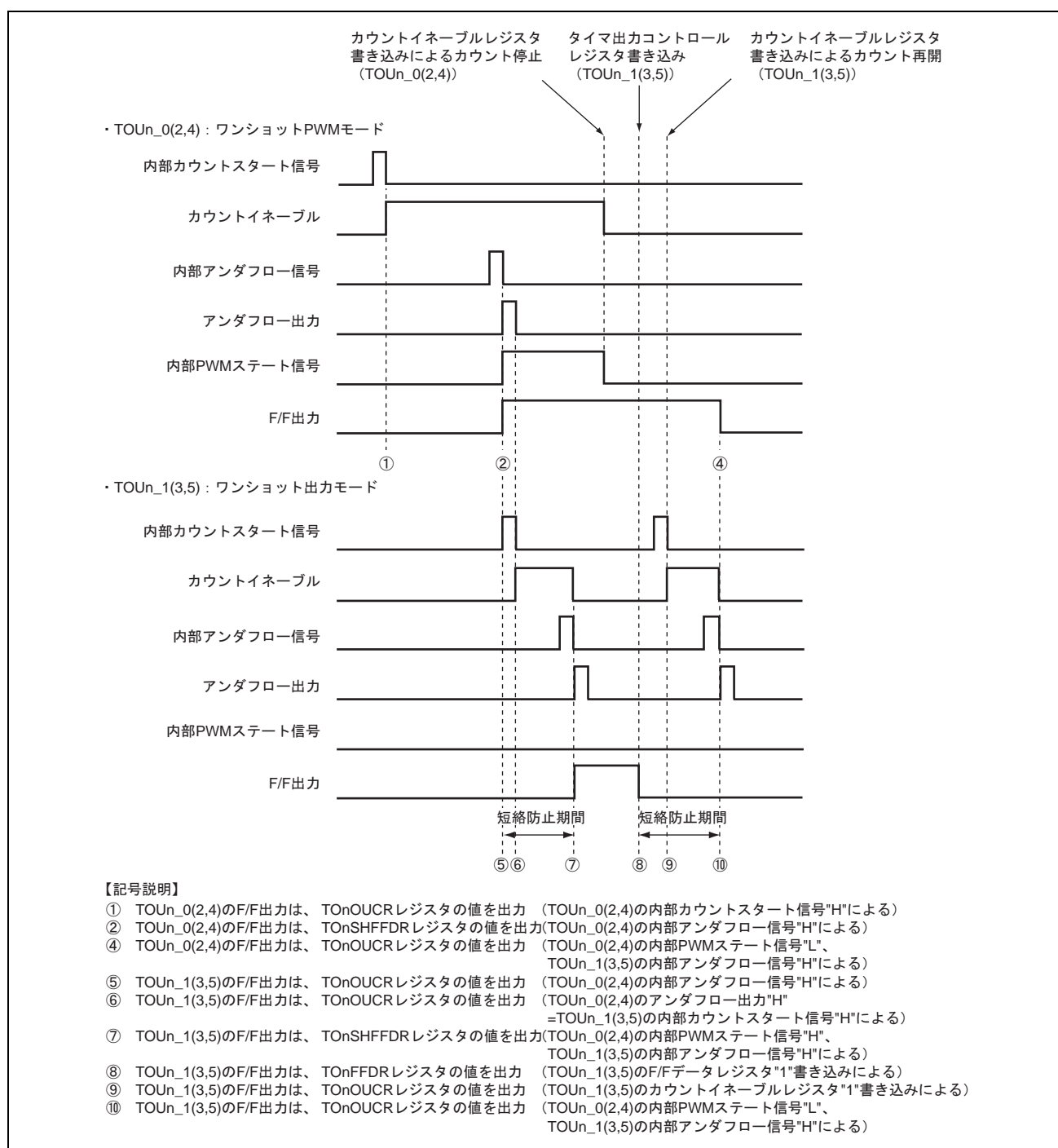


図 21.47 ソフトウェアで強制的に出力を固定したときの F/F 出力とレジスタ設定の関係

## 21. アドバンスドタイマユニット-IIIS (ATU-IIIS)

### (3) タイマ TOU の応用 (三相モータ制御)

タイマ TOU のカウントソースは、PWM の分解能を最大とするため、Pck (40MHz) をプリスケアラで 1 分周して使用します。

TOU0\_7 を連続出力モードに設定し、20kHz のキャリア周期を生成します。TOU0\_0、TOU0\_2、TOU0\_4 をワンショット PWM 出力モードに、TOU0\_6 をワンショット出力モードに設定し、TOU0\_7 のアンダフローで TOU0\_0、TOU0\_2、TOU0\_4、TOU0\_6 を起動します。

TOU0\_1、TOU0\_3、TOU0\_5 をワンショット出力モードに設定し、短絡防止機能として使用します。

TOU0\_0~TOU0\_5 で生成される PWM 出力波形は外部端子 TO00~TO05 から出力します。TO00~TO05 の初期値は TOUn 出力コントロールレジスタに設定します。

TOU0\_6 は、キャリア周期の 3/4 位置でアンダフローする値をリロードレジスタに設定します。

また、外部端子からの入力と、ポート端子レベルによる PWM 出力禁止機能を使用します。

図 21.48 にタイマ動作タイミング図を、図 21.49 にタイマ構成図を示します。

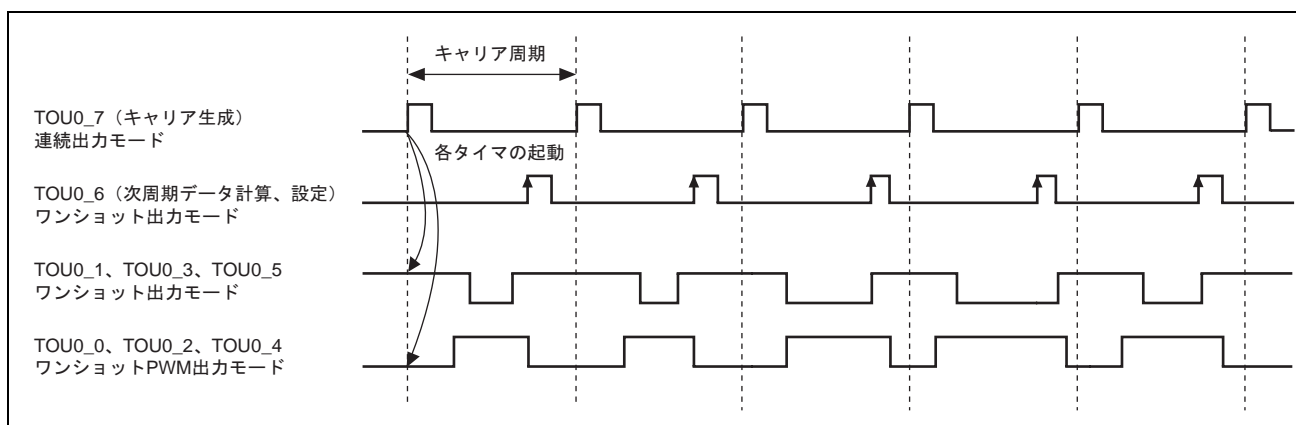


図 21.48 タイマ動作タイミング図

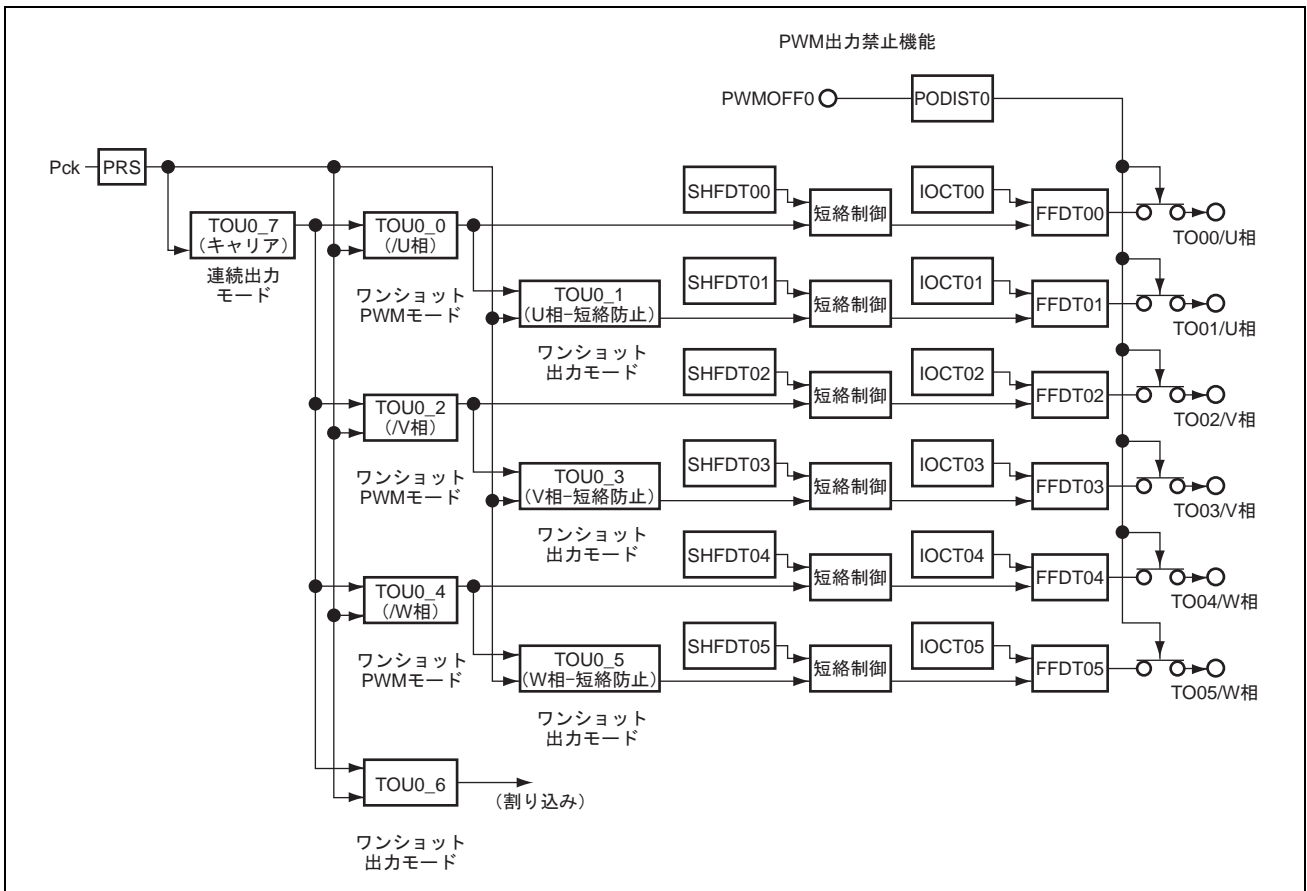


図 21.49 タイマ構成図

レイアウトの都合上、このページは白紙です。

---

## 22. タイマユニット (TMU)

---

本MCUは3チャンネル(TM0~TM2)の32ビットタイマにより構成されるタイマユニット(TMU)を内蔵しています。なお、本章では、TMnのnは0~2と規定しています。

### 22.1 概要

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- 各チャンネルとも、任意の時点で読み出し/書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- TM0~TM2は、5種類のカウンタ入力クロックを選択可能  
5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)
- 1種類の割り込み要因  
アンダフロー×1要因 (各チャンネル) があります。

## 22. タイマユニット (TMU)

図 22.1 に TMU のブロック図を示します。

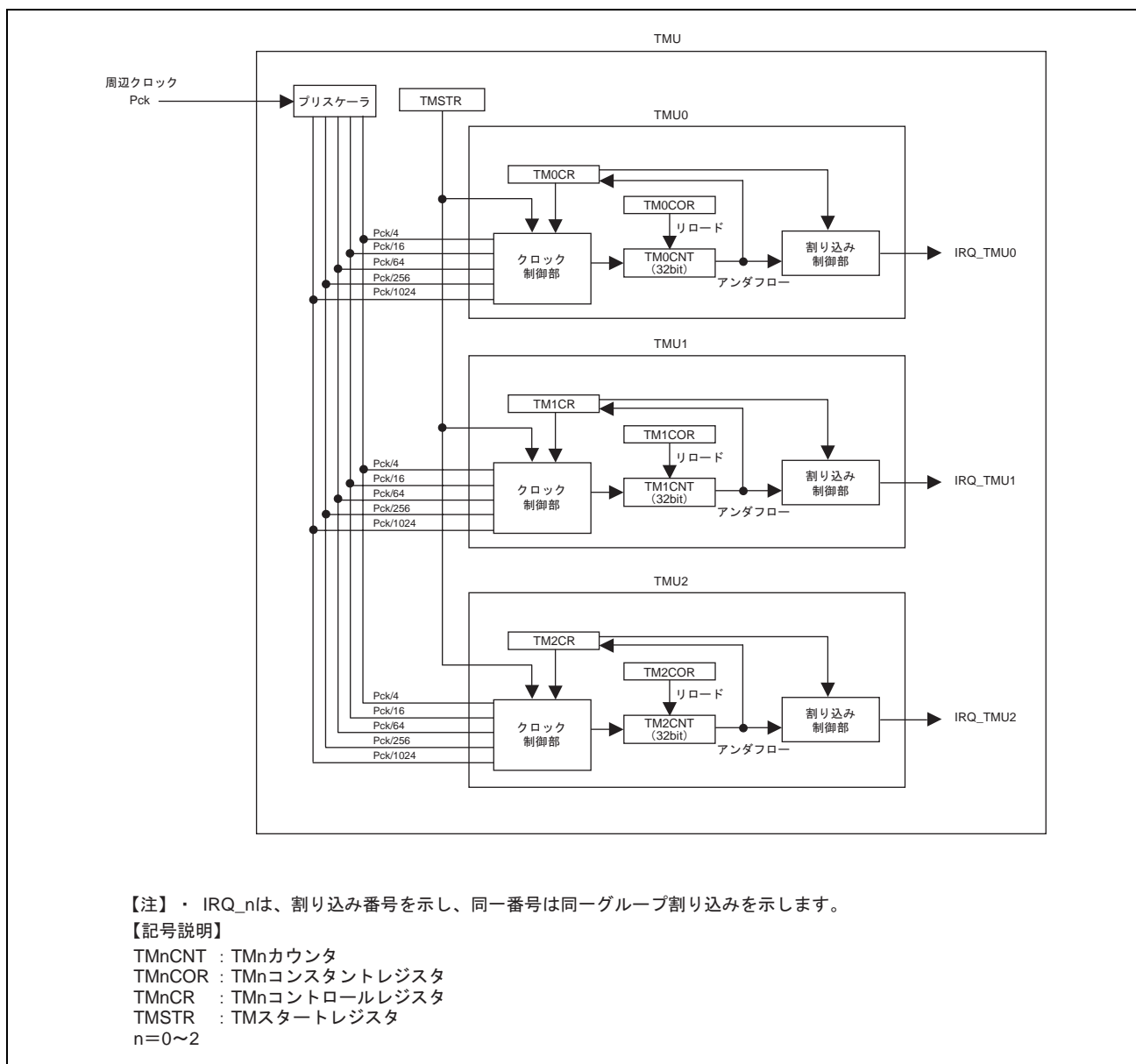


図 22.1 TMU のブロック図

## 22.2 レジスタの説明

表 22.1 に TMU のレジスタ構成を示します。

表 22.1 レジスタ構成

チャンネル	レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
共通	TM スタートレジスタ	TMSTR	H'00	H'FFFF D004	8	22-4
0	TM0 コンスタントレジスタ	TM0COR	H'FFFF FFFF	H'FFFF D008	32	22-5
	TM0 カウンタ	TM0CNT	H'FFFF FFFF	H'FFFF D00C	32	22-6
	TM0 コントロールレジスタ	TM0CR	H'0000	H'FFFF D010	16	22-7
1	TM1 コンスタントレジスタ	TM1COR	H'FFFF FFFF	H'FFFF D014	32	22-5
	TM1 カウンタ	TM1CNT	H'FFFF FFFF	H'FFFF D018	32	22-6
	TM1 コントロールレジスタ	TM1CR	H'0000	H'FFFF D01C	16	22-7
2	TM2 コンスタントレジスタ	TM2COR	H'FFFF FFFF	H'FFFF D020	32	22-5
	TM2 カウンタ	TM2CNT	H'FFFF FFFF	H'FFFF D024	32	22-6
	TM2 コントロールレジスタ	TM2CR	H'0000	H'FFFF D028	16	22-7

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。



## 22. タイマユニット (TMU)

### 22.2.1 TM スタートレジスタ (TMSTR)

TMSTR レジスタは、TMnCNT カウンタを動作させるか、停止させるかを選択します。

TMスタートレジスタ (TMSTR)

<P4領域アドレス : H'FFFF D004番地>

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
リセット後の値 :	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	STR2	0	R	W	TM2 カウンタスタートビット TM2CNT カウンタを動作させるか、停止させるかを選択します。 0 : TM2CNT カウンタのカウンタ動作は停止 1 : TM2CNT カウンタはカウンタ動作する
1	STR1	0	R	W	TM1 カウンタスタートビット TM1CNT カウンタを動作させるか、停止させるかを選択します。 0 : TM1CNT カウンタのカウンタ動作は停止 1 : TM1CNT カウンタはカウンタ動作する
0	STR0	0	R	W	TM0 カウンタスタートビット TM0CNT カウンタを動作させるか、停止させるかを選択します。 0 : TM0CNT カウンタのカウンタ動作は停止 1 : TM0CNT カウンタはカウンタ動作する

## 22.2.2 TMn コンスタントレジスタ (TMnCOR)

TMnCNT カウンタのカウントダウンの結果、アンダフローが発生すると、この TMnCOR レジスタの値が TMnCNT カウンタにセットされ、TMnCNT カウンタはセットされた値からカウントダウンを続けます。

TM0コンスタントレジスタ (TM0COR) <P4領域アドレス : H'FFFF D008番地>  
 TM1コンスタントレジスタ (TM1COR) <P4領域アドレス : H'FFFF D014番地>  
 TM2コンスタントレジスタ (TM2COR) <P4領域アドレス : H'FFFF D020番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 TMnCOR  
 リセット後の値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 TMnCOR  
 リセット後の値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

<リセット後の値 : H'FFFF FFFF>

ビット	シンボル	リセット後の値	R	W	説明
31~0	TMnCOR	すべて 1	R	W	TMnCNT カウンタアンダフロー時に TMnCNT カウンタにセットする 32 ビットレジスタ値。

## 22. タイムユニット (TMU)

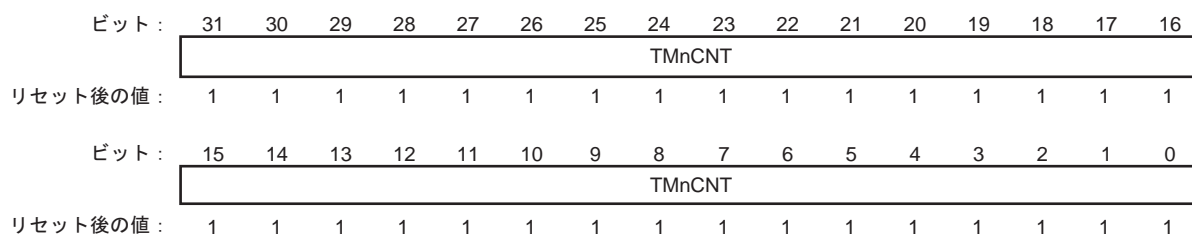
### 22.2.3 TMn カウンタ (TMnCNT)

TMnCNT カウンタは、TMnCR レジスタの TPSC ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TMnCNT カウンタのカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TMnCR レジスタの UNF ビットが"1"にセットされます。また、同時に TMnCNT カウンタには、TMnCOR レジスタの値が設定され、設定された値からカウントダウン動作を続けます。

TM0カウンタ (TM0CNT)  
 TM1カウンタ (TM1CNT)  
 TM2カウンタ (TM2CNT)

<P4領域アドレス : H'FFFF D00C番地>  
 <P4領域アドレス : H'FFFF D018番地>  
 <P4領域アドレス : H'FFFF D024番地>



<リセット後の値 : H'FFFF FFFF>

ビット	シンボル	リセット後の値	R	W	説明
31~0	TMnCNT	すべて1	R	W	32ビットカウンタ値。

## 22.2.4 TMn コントロールレジスタ (TMnCR)

TMnCR レジスタは、カウントクロックの選択、TMnCNT カウンタのアンダフロー発生を示すフラグが"1"にセットされたときの割り込み発生を制御を行います。

TM0コントロールレジスタ (TM0CR) <P4領域アドレス : H'FFFF D010番地>  
 TM1コントロールレジスタ (TM1CR) <P4領域アドレス : H'FFFF D01C番地>  
 TM2コントロールレジスタ (TM2CR) <P4領域アドレス : H'FFFF D028番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — UNF — — UNIE — — TPSC  
 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~9	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	UNF	0	R	*1	アンダフローフラグ TMnCNT カウンタのアンダフローの発生を示すステータスフラグです。 0 : TMnCNT カウンタがアンダフローを起こしていない 1 : TMnCNT カウンタがアンダフローを起こした [クリア条件] • UNF ビットに"0"を書き込んだとき [セット条件] • TMnCNT カウンタがアンダフローを起こしたとき
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	UNIE	0	R	W	アンダフロー割り込み制御ビット TMnCNT カウンタのアンダフローの発生を示すステータスフラグの UNF ビットが"1"にセットされたときに割り込み発生を許可するかどうかを制御します。 0 : アンダフローによる割り込み (TUNI) を禁止 1 : アンダフローによる割り込み (TUNI) を許可
4、3	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 22. タイムユニット (TMU)

ビット	シンボル	リセット後の値	R	W	説明
2~0	TPSC	000	R	W	タイマプリスケアラ TMnCNT カウンタのカウントクロックを選択します。 000 : Pck/4 でカウント 001 : Pck/16 でカウント 010 : Pck/64 でカウント 011 : Pck/256 でカウント 100 : Pck/1024 でカウント 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 \*1 "1"を書き込むと元の値が保持されます。

## 22.3 動作説明

各チャンネルには、32ビットのタイマカウンタ (TMnCNT) と 32ビットの TMn コンスタントレジスタ (TMnCOR) があります。TMnCNT カウンタは、カウントダウン動作を行います。オートリロード機能によって周期カウント動作が可能です。

### 22.3.1 カウンタの動作

TMSTR レジスタの STR2~STR0 ビットを"1"にセットすると、対応するチャンネルの TMnCNT カウンタはカウント動作を開始します。TMnCNT カウンタがアンダフローすると対応する TMnCR レジスタの UNF フラグが"1"にセットされます。このとき、TMnCR レジスタの UNIE ビットが"1"ならば、CPU に割り込みを要求します。また、このとき TMnCNT カウンタには TMnCOR レジスタから値がロードされ、カウントダウン動作を継続します (オートリロード機能)。

#### (1) カウント動作の設定手順例

図 22.2 にカウント動作の設定手順例を示します。

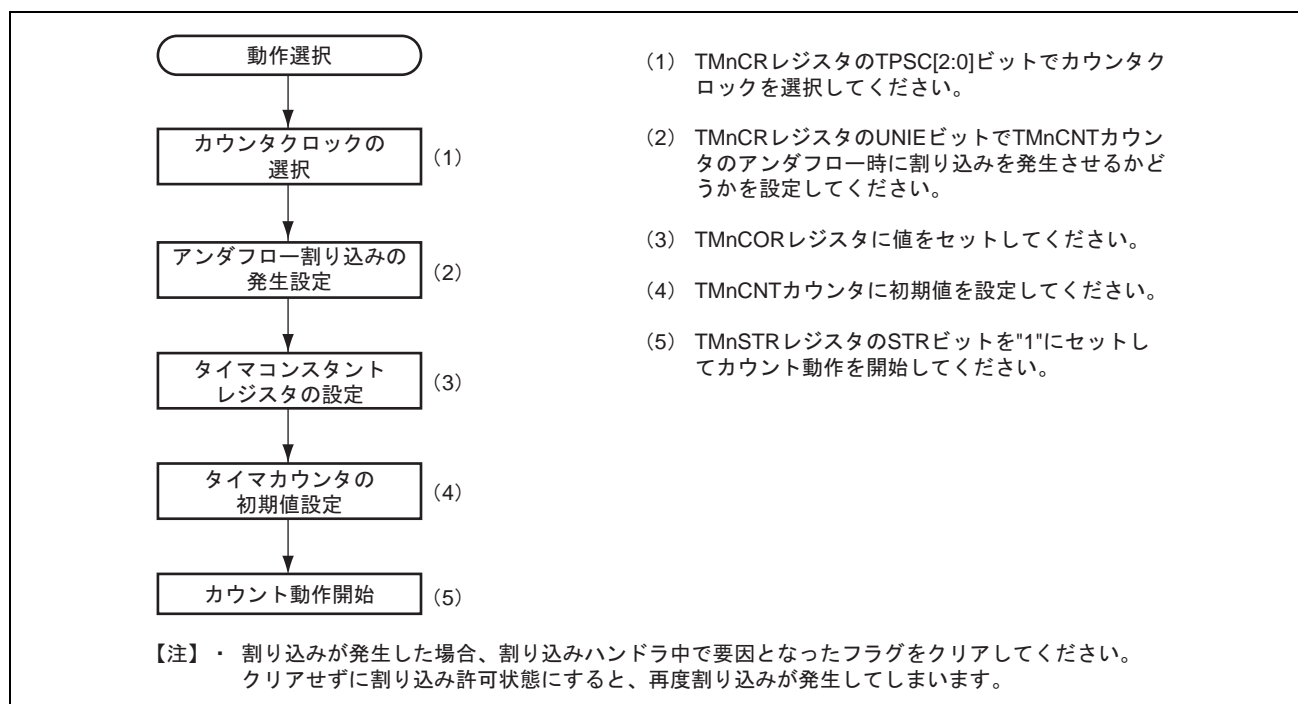


図 22.2 カウント動作設定手順例

## 22. タイムユニット (TMU)

### (2) オートリロードカウント動作

図 22.3 に TMnCNT カウンタのオートリロード動作を示します。

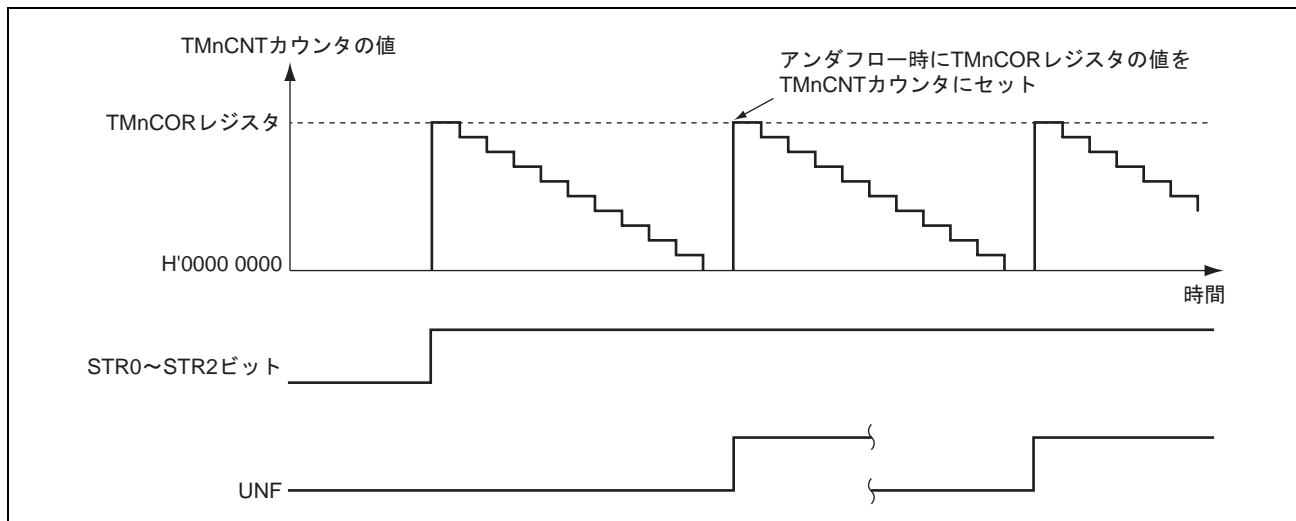


図 22.3 TMnCNT カウンタのオートリロード動作

### (3) TMnCNT カウンタのカウントタイミング

TMnCR レジスタの TPSC ビットにより、カウントクロックとして周辺クロックを分周した 5 種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

図 22.4 にこのときのタイミングを示します。

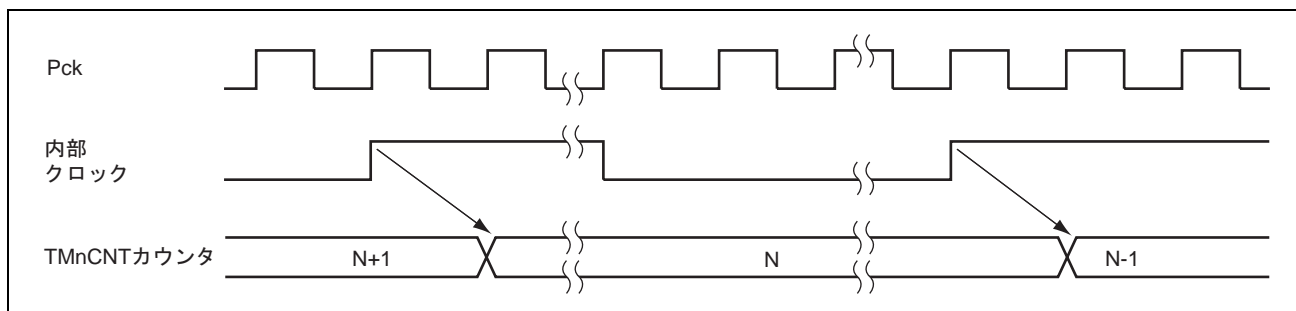


図 22.4 内部クロック動作時のカウントタイミング

## 22.4 割り込み

TMU の割り込み要因は、アンダフロー割り込みです。アンダフロー割り込みは各チャンネルで発生します。UNF ビットが"1"であり、そのチャンネルの割り込み許可ビットが"1"のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

表 22.2 に TMU の割り込み要因を示します。

表 22.2 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2

## 22.5 使用上の注意事項

### 22.5.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TMSTR レジスタの該当チャンネルのスタートビット (STR2~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

ただし、TMSTR レジスタの書き込み、TMnCR レジスタの UNF ビットのクリアは、カウンタ動作中に行うことができます。カウンタ動作中にフラグ (UNF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

### 22.5.2 TMnCNT カウンタの読み出しについて

TMnCNT カウンタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TMnCNT カウンタのカウンタダウン動作前の値が読み出されます。



レイアウトの都合上、このページは白紙です。

---

## 23. FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)

---

本MCUは、調歩同期式通信とクロック同期式通信の2方式をサポートする4チャンネル(SCIF0~SCIF3)のFIFO内蔵シリアルコミュニケーションインタフェース(SCIF)を備えています。また、各チャンネルとも独立に送信/受信に16段のFIFOレジスタを内蔵し、本MCUの効率的かつ高速な連続通信を可能にしています。なお、本章では、レジスタ名、端子名、および信号名で使用している*i*は0~3と規定しています(端子の仕様は表23.1を参照してください)。

### 23.1 概要

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) やAsynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

データ長: 7ビット、または8ビット

ストップビット長: 1ビット、または2ビット

パリティ: 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出: パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレイクの検出: フレーミングエラー発生後、引き続き1フレーム長以上スペース0 ("L"レベル) の場合、ブレイクが検出されます。またフレーミングエラー発生時にRXDi端子のレベルをSCiシリアルポートレジスタから直接読み出すことによってもブレイクを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは1種類です。

データ長: 8ビット

受信エラーの検出: オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに16段のFIFOバッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ(内部クロック)、またはSCKi端子(外部クロック)から選択可能

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 4種類の割り込み要因  
送信FIFOデータエンプティ割り込み、ブレーク割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求できます。
- 調歩同期式モードにおいて、モデムコントロール機能 (RTSi#端子およびCTSi#端子) を内蔵
- 送信およびSCi受信FIFOデータレジスタのデータ数、およびSCi受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー (DR) を検出できます。
- 調歩同期式モードにおいて、ビットレートの16または8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック/SCKi端子は入力端子において、ボーレートジェネレータ通常/倍速モード選択可能
- クロック同期式モード時の最大転送レートは3.3Mbpsです。
- 調歩同期式モード時の最大転送レートは5Mbpsです。

図 23.1 に SCIFi のブロック図を示します。

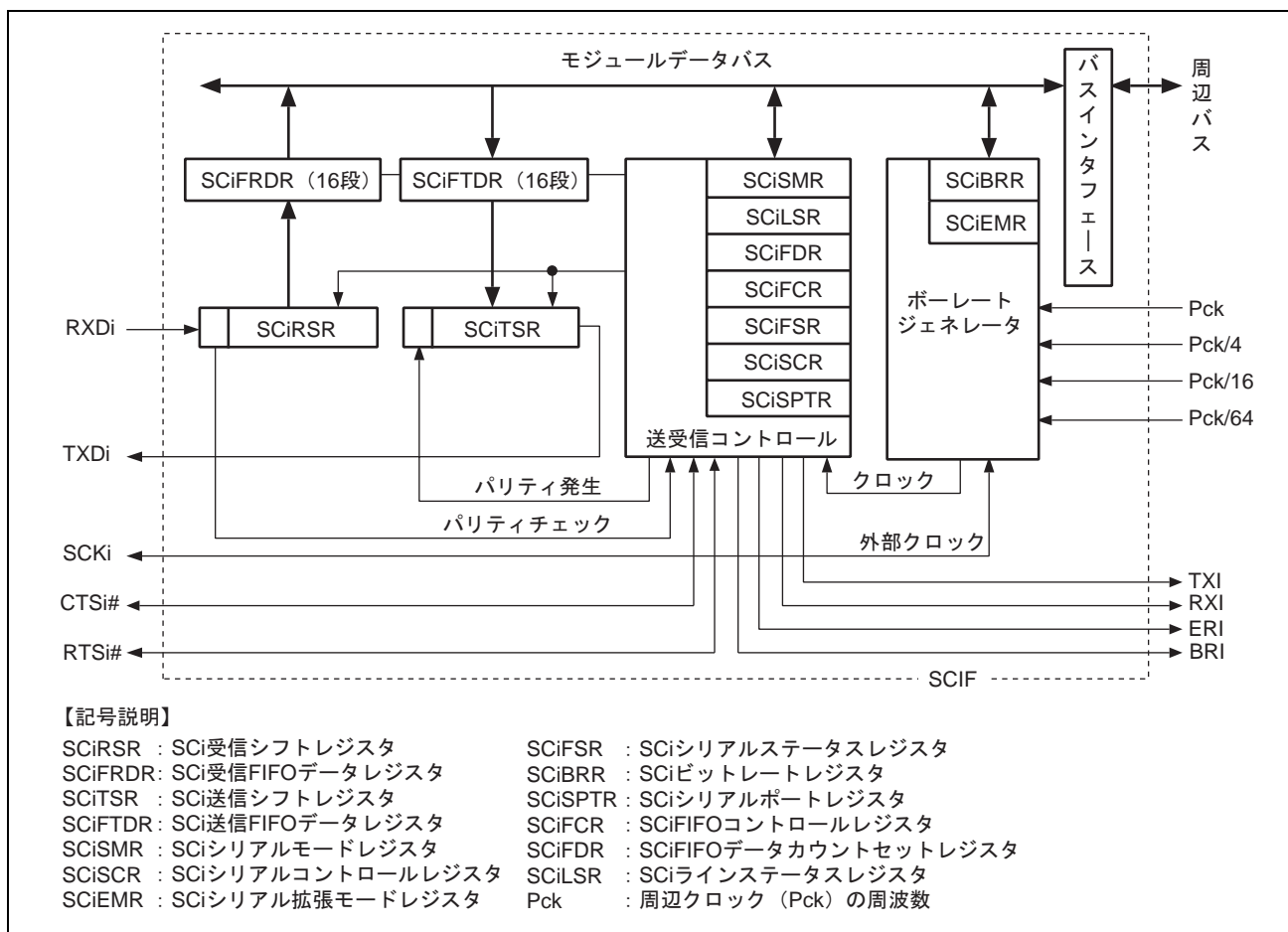


図 23.1 SCIFi のブロック図

## 23.2 入出力端子

表 23.1 に SCIFi の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 23.1 端子構成

チャンネル	端子名	入出力	機能
0	SCK0	入出力	クロック入出力
	RXD0	入力	受信データ入力
	TXD0	出力	送信データ出力
	RTS0#	入出力	リクエストツースェンド
	CTS0#	入出力	クリアツースェンド
1* <sup>1</sup>	SCK1	入出力	クロック入出力
	RXD1	入力	受信データ入力
	TXD1	出力	送信データ出力
2	SCK2	入出力	クロック入出力
	RXD2	入力	受信データ入力
	TXD2	出力	送信データ出力
	RTS2#	入出力	リクエストツースェンド
	CTS2#	入出力	クリアツースェンド
3* <sup>1</sup>	RXD3	入力	受信データ入力
	TXD3	出力	送信データ出力
	RTS3#	入出力	リクエストツースェンド
	CTS3#	入出力	クリアツースェンド

【注】\*1 本 MCU には、RTS1#、CTS1#、SCK3 はありません。

## 23.3 レジスタの説明

表 23.2 に SCIFi のレジスタ構成を示します。

表 23.2 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
SC0 シリアルモードレジスタ	SC0SMR	H'0000	H'FFFF C000	16	23-8
SC0 ビットレートレジスタ	SC0BRR	H'FF	H'FFFF C004	8	23-21
SC0 シリアルコントロールレジスタ	SC0SCR	H'0000	H'FFFF C008	16	23-11
SC0 送信 FIFO データレジスタ	SC0FTDR	不定	H'FFFF C00C	8	23-7
SC0 シリアルステータスレジスタ	SC0FSR	H'0060	H'FFFF C010	16	23-15
SC0 受信 FIFO データレジスタ	SC0FRDR	不定	H'FFFF C014	8	23-6
SC0FIFO コントロールレジスタ	SC0FCR	H'0000	H'FFFF C018	16	23-26
SC0FIFO データカウントセットレジスタ	SC0FDR	H'0000	H'FFFF C01C	16	23-29
SC0 シリアルポートレジスタ	SC0SPTR	H'0050	H'FFFF C020	16	23-30
SC0 ラインステータスレジスタ	SC0LSR	H'0000	H'FFFF C024	16	23-32
SC0 シリアル拡張モードレジスタ	SC0EMR	H'0000	H'FFFF C028	16	23-33
SC1 シリアルモードレジスタ	SC1SMR	H'0000	H'FFFF C100	16	23-8
SC1 ビットレートレジスタ	SC1BRR	H'FF	H'FFFF C104	8	23-21
SC1 シリアルコントロールレジスタ	SC1SCR	H'0000	H'FFFF C108	16	23-11
SC1 送信 FIFO データレジスタ	SC1FTDR	不定	H'FFFF C10C	8	23-7
SC1 シリアルステータスレジスタ	SC1FSR	H'0060	H'FFFF C110	16	23-15
SC1 受信 FIFO データレジスタ	SC1FRDR	不定	H'FFFF C114	8	23-6
SC1FIFO コントロールレジスタ	SC1FCR	H'0000	H'FFFF C118	16	23-26
SC1FIFO データカウントセットレジスタ	SC1FDR	H'0000	H'FFFF C11C	16	23-29
SC1 シリアルポートレジスタ	SC1SPTR	H'0050	H'FFFF C120	16	23-30
SC1 ラインステータスレジスタ	SC1LSR	H'0000	H'FFFF C124	16	23-32
SC1 シリアル拡張モードレジスタ	SC1EMR	H'0000	H'FFFF C128	16	23-33
SC2 シリアルモードレジスタ	SC2SMR	H'0000	H'FFFF C200	16	23-8
SC2 ビットレートレジスタ	SC2BRR	H'FF	H'FFFF C204	8	23-21
SC2 シリアルコントロールレジスタ	SC2SCR	H'0000	H'FFFF C208	16	23-11
SC2 送信 FIFO データレジスタ	SC2FTDR	不定	H'FFFF C20C	8	23-7
SC2 シリアルステータスレジスタ	SC2FSR	H'0060	H'FFFF C210	16	23-15
SC2 受信 FIFO データレジスタ	SC2FRDR	不定	H'FFFF C214	8	23-6
SC2FIFO コントロールレジスタ	SC2FCR	H'0000	H'FFFF C218	16	23-26
SC2FIFO データカウントセットレジスタ	SC2FDR	H'0000	H'FFFF C21C	16	23-29
SC2 シリアルポートレジスタ	SC2SPTR	H'0050	H'FFFF C220	16	23-30
SC2 ラインステータスレジスタ	SC2LSR	H'0000	H'FFFF C224	16	23-32

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
SC2 シリアル拡張モードレジスタ	SC2EMR	H'0000	H'FFFF C228	16	23-33
SC3 シリアルモードレジスタ	SC3SMR	H'0000	H'FFFF C300	16	23-8
SC3 ビットレートレジスタ	SC3BRR	H'FF	H'FFFF C304	8	23-21
SC3 シリアルコントロールレジスタ	SC3SCR	H'0000	H'FFFF C308	16	23-11
SC3 送信 FIFO データレジスタ	SC3FTDR	不定	H'FFFF C30C	8	23-7
SC3 シリアルステータスレジスタ	SC3FSR	H'0060	H'FFFF C310	16	23-15
SC3 受信 FIFO データレジスタ	SC3FRDR	不定	H'FFFF C314	8	23-6
SC3FIFO コントロールレジスタ	SC3FCR	H'0000	H'FFFF C318	16	23-26
SC3FIFO データカウントセットレジスタ	SC3FDR	H'0000	H'FFFF C31C	16	23-29
SC3 シリアルポートレジスタ	SC3SPTR	H'0050	H'FFFF C320	16	23-30
SC3 ラインステータスレジスタ	SC3LSR	H'0000	H'FFFF C324	16	23-32
SC3 シリアル拡張モードレジスタ	SC3EMR	H'0000	H'FFFF C328	16	23-33

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 23.3.1 SCi 受信シフトレジスタ (SCiRSR)

シリアルデータを受信するための内部レジスタです。SCiFi は、SCiRSR レジスタに RXDi 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCi 受信 FIFO データレジスタ (SCiFRDR) へ転送されます。

直接 SCiRSR レジスタを読み出し/書き込みすることはできません。

SC0受信シフトレジスタ (SC0RSR)  
 SC1受信シフトレジスタ (SC1RSR)  
 SC2受信シフトレジスタ (SC2RSR)  
 SC3受信シフトレジスタ (SC3RSR)



### 23.3.2 SCi 受信 FIFO データレジスタ (SCiFRDR)

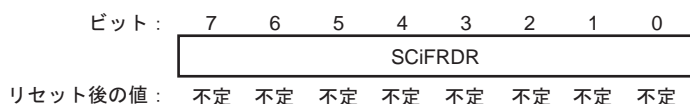
受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCiFi は、1 バイトのシリアルデータの受信が終了すると、SCi 受信シフトレジスタ (SCiRSR) から SCiFRDR レジスタへ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。

SCiFRDR レジスタは読み出し専用で書き込みはできません。SCi 受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCiFRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SC0受信FIFOデータレジスタ (SC0FRDR)  
 SC1受信FIFOデータレジスタ (SC1FRDR)  
 SC2受信FIFOデータレジスタ (SC2FRDR)  
 SC3受信FIFOデータレジスタ (SC3FRDR)

<P4領域アドレス: H'FFFF C014番地>  
 <P4領域アドレス: H'FFFF C114番地>  
 <P4領域アドレス: H'FFFF C214番地>  
 <P4領域アドレス: H'FFFF C314番地>



<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	SCiFRDR	不定	R	N	受信したシリアルデータを格納する 16 段 FIFO レジスタ

### 23.3.3 SCi 送信シフトレジスタ (SCiTSR)

シリアルデータを送信するための内部レジスタです。SCiFi は、SCi 送信 FIFO データレジスタ (SCiFTDR) から送信データをいったん SCiTSR レジスタに転送し、LSB (ビット 0) から順に TXDi 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCiFTDR レジスタから SCiTSR レジスタへ次の送信データを転送し、送信を開始します。

直接 SCiTSR レジスタを読み出し/書き込みすることはできません。

SC0送信シフトレジスタ (SC0TSR)  
 SC1送信シフトレジスタ (SC1TSR)  
 SC2送信シフトレジスタ (SC2TSR)  
 SC3送信シフトレジスタ (SC3TSR)



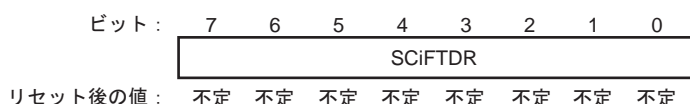
### 23.3.4 SCi 送信 FIFO データレジスタ (SCiFTDR)

シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCiFi は、SCi 送信シフトレジスタ (SCiTSR) の空を検出すると、SCiFTDR レジスタに書き込まれた送信データを SCiTSR レジスタに転送してシリアル送信を開始します。SCiFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。SCiFTDR レジスタは書き込み専用です。SCiSCR.TE ビット="0" (送信動作を禁止) の状態で SCiFTDR レジスタへの書き込みを行わないでください。

SCiFTDR レジスタが送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込んだデータは無視されます。

SC0送信FIFOデータレジスタ (SC0FTDR)  
 SC1送信FIFOデータレジスタ (SC1FTDR)  
 SC2送信FIFOデータレジスタ (SC2FTDR)  
 SC3送信FIFOデータレジスタ (SC3FTDR)

<P4領域アドレス: H'FFFF C00C番地>  
 <P4領域アドレス: H'FFFF C10C番地>  
 <P4領域アドレス: H'FFFF C20C番地>  
 <P4領域アドレス: H'FFFF C30C番地>



<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	SCiFTDR	不定	R	W	シリアル送信するデータを格納する 16 段 FIFO レジスタ



## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 23.3.5 SCi シリアルモードレジスタ (SCiSMR)

SCiFi のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SC0シリアルモードレジスタ (SC0SMR) <P4領域アドレス : H'FFFF C000番地>  
 SC1シリアルモードレジスタ (SC1SMR) <P4領域アドレス : H'FFFF C100番地>  
 SC2シリアルモードレジスタ (SC2SMR) <P4領域アドレス : H'FFFF C200番地>  
 SC3シリアルモードレジスタ (SC3SMR) <P4領域アドレス : H'FFFF C300番地>

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 - - - - - - - - CA CHR PE OE STOP - CKS  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	CA	0	R	W	コミュニケーションモードビット SCiFi の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード* <sup>1</sup> 【注】 *1 SC3 は設定しないでください。
6	CHR	0	R	W	キャラクタレングスビット 調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードでは、CHR ビットの設定にかかわらず、データ長は8ビットデータ固定です。 0 : 8ビットデータ 1 : 7ビットデータ* <sup>1</sup> 【注】 *1 7ビットデータを選択した場合、SCi 送信 FIFO データレジスタのMSB (ビット7) は送信されません。
5	PE	0	R	W	パリティイネーブルビット 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0 : パリティビットの付加およびチェックを禁止 1 : パリティビットの付加およびチェックを許可* <sup>1</sup> 【注】 *1 PE ビットに"1"をセットすると、送信時には OE ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが OE ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
4	OE	0	R	W	<p>パリティモードビット</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。OE ビットの設定は、調歩同期式モードで PE ビットに"1"を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、OE ビットの指定は無効です。</p> <p>0 : 偶数パリティ*<sup>1</sup></p> <p>1 : 奇数パリティ*<sup>2</sup></p> <p>【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の"1"の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の"1"の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の"1"の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の"1"の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R	W	<p>ストップビットレングスビット</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が"1"の場合はストップビットとして扱いますが、"0"の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1 ストップビット</p> <p>送信時には、送信キャラクタの最後尾に 1 ビットの"1" (ストップビット) を付加して送信する</p> <p>1 : 2 ストップビット</p> <p>送信時には、送信キャラクタの最後尾に 2 ビットの"1" (ストップビット) を付加して送信する</p>
2	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
1、0	CKS	00	R	W	<p>クロックセレクトビット</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。クロックソースと、SCi ビットレートレジスタの設定値、およびポーレートの関係については、「23.3.8 SCi ビットレートレジスタ (SCiBRR)」を参照してください。</p> <p>00 : Pck クロック</p> <p>01 : Pck/4 クロック</p> <p>10 : Pck/16 クロック</p> <p>11 : Pck/64 クロック</p>

### 23.3.6 SCi シリアルコントロールレジスタ (SCiSCR)

SCiFi の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SC0シリアルコントロールレジスタ (SC0SCR)	<P4領域アドレス : H'FFFF C008番地>
SC1シリアルコントロールレジスタ (SC1SCR)	<P4領域アドレス : H'FFFF C108番地>
SC2シリアルコントロールレジスタ (SC2SCR)	<P4領域アドレス : H'FFFF C208番地>
SC3シリアルコントロールレジスタ (SC3SCR)	<P4領域アドレス : H'FFFF C308番地>

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	—	CKE
---	---	---	---	---	---	---	---	-----	-----	----	----	------	---	---	-----

リセット後の値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	TIE	0	R	W	送信インタラプトイネーブルビット SCi 送信 FIFO データレジスタ (SCiFTDR) から SCi 送信シフトレジスタ (SCiTSR) へシリアル送信データが転送され、SCi 送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、SCi シリアルステータスレジスタ (SCiFSR) の TDFE フラグが"1"にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可/禁止します。TIE は、TXI 要求を許可/禁止するだけなので、TXI を解除しないかぎり要求を許可すれば、TXI 割り込みが発生します。  0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可*1  【注】 *1 TXI の解除は、SCiFTDR レジスタに指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの"1"を読み出した後"0"にクリアするか、または TIE を"0"にクリアすることで行えます。 DMAC との関係は、「23.5 SCiFi の割り込み要因と DMAC」を参照してください。

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
6	RIE	0	R	W	<p>受信インタラプトイネーブルビット</p> <p>SCi シリアルステータスレジスタ (SCiFSR) の RDF フラグまたは DR フラグが"1"にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCiFSR レジスタの ER フラグが"1"にセットされたときの受信エラー割り込み (ERI) 要求、および SCiFSR レジスタの BRK フラグまたは SCi ラインステータスレジスタ (SCiLSR) の ORER フラグが"1"にセットされたときのブレーク割り込み (BRI) 要求の発生を許可/禁止します。RIE は、RXI/ERI/BRI 要求を許可/禁止するだけなので、RXI/ERI/BRI を解除しないかぎり要求を許可すれば、RXI/ERI/BRI 割り込みが発生します。</p> <p>0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を禁止</p> <p>1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を許可*<sup>1</sup></p> <p>【注】 *1 RXI 割り込み要求の解除は、DR または RDF フラグの"1"を読み出した後、"0"にクリアするか、RIE ビットを"0"にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの"1"を読み出した後、"0"にクリアするか、RIE、REIE ビットを"0"にクリアすることで行えます。DMAC との関係は、「23.5 SCiFi の割り込み要因と DMAC」を参照してください。</p>
5	TE	0	R	W	<p>送信イネーブルビット</p> <p>シリアル送信動作の開始を許可/禁止します。送信中は TE ビットをクリアしないでください。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*<sup>1</sup></p> <p>【注】 *1 この状態で SCiFTDR レジスタに送信データを書き込むとシリアル送信を開始します。なお、TE ビットを"1"にセットする前に必ず SCiSMR レジスタおよび SCiFCR レジスタの設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
4	RE	0	R	W	<p>受信イネーブルビット</p> <p>シリアル受信動作の開始を許可/禁止します。受信中は RE ビットをクリアしないでください。</p> <p>0 : 受信動作を禁止*<sup>1</sup></p> <p>1 : 受信動作を許可*<sup>2</sup></p> <p>【注】 *1 RE ビットを"0"にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを"1"にセットする前に必ず SCi シリアルモードレジスタ (SCISMR)、SCIFIFO コントロールレジスタ (SCIFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R	W	<p>受信エラーインタラプトイネーブルビット</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが"0"のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*<sup>1</sup></p> <p>【注】 *1 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの"1"を読み出した後、"0"にクリアするか、RIE、REIE ビットを"0"にクリアすることで行えます。RIE を"0"に設定しても、REIE ビットを"1"に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。DMAC との関係は、「23.5 SCIFi の割り込み要因と DMAC」を参照してください。</p>
2	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
1、0	CKE	00	R	W	<p>クロックイネーブルビット</p> <p>SCIFiのクロックソースの選択、および SCKi 端子からのクロック出力の許可/禁止を設定します。CKE ビットによって SCKi 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCISMR レジスタの CA ビットを"1"に設定してから CKE ビットを設定してください。</p> <ul style="list-style-type: none"> <li>• 調歩同期式モード <ul style="list-style-type: none"> <li>00 : 内部クロック/SCKi 端子は入力端子 (入力信号は無視)</li> <li>01 : 内部クロック/SCKi 端子はクロック出力 (ビットレートの 16 または 8 倍の周波数のクロックを出力)</li> <li>10 : 外部クロック/SCKi 端子はクロック入力 (ビットレートの 16 または 8 倍の周波数のクロックを入力)</li> <li>11 : 設定禁止</li> </ul> </li> <li>• クロック同期式モード <ul style="list-style-type: none"> <li>0x : 内部クロック/SCKi 端子は同期クロック出力</li> <li>10 : 外部クロック/SCKi 端子は同期クロック入力</li> <li>11 : 設定禁止</li> </ul> </li> </ul>

【記号説明】 x : Don't care

### 23.3.7 SCi シリアルステータスレジスタ (SCiFSR)

上位 8 ビットは SCi 受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ"1"を書き込むことはできません。また、これらを"0"にクリアするためには、あらかじめ"1"を読み出ししておく必要があります。PER ビット、PERNUM ビット、FER ビット、FERNUM ビットは読み出し専用であり、書き込むことはできません。

SC0シリアルステータスレジスタ (SC0FSR)	<P4領域アドレス : H'FFFF C010番地>
SC1シリアルステータスレジスタ (SC1FSR)	<P4領域アドレス : H'FFFF C110番地>
SC2シリアルステータスレジスタ (SC2FSR)	<P4領域アドレス : H'FFFF C210番地>
SC3シリアルステータスレジスタ (SC3FSR)	<P4領域アドレス : H'FFFF C310番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERNUM				FERNUM				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
リセット後の値 :	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0

<リセット後の値 : H'0060>

ビット	シンボル	リセット後の値	R	W	説明
15~12	PERNUM	0000	R	0	パリティエラー数ビット SCi 受信 FIFO データレジスタ (SCiFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCiFSR レジスタの ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCiFRDR レジスタの 16 バイト受信データすべてがパリティエラーを伴う場合、PERNUM ビットは"0000"を表示します。
11~8	FERNUM	0000	R	0	フレーミングエラー数ビット SCi 受信 FIFO データレジスタ (SCiFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。SCiFSR レジスタの ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCiFRDR レジスタの 16 バイト受信データすべてがフレーミングエラーを伴う場合、FERNUM ビットは"0000"を表示します。



23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
7	ER	0	R	* <sup>1</sup>	<p>受信エラーフラグ</p> <p>フレーミングエラーまたはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*<sup>2</sup></p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ER="1"の状態を読み出した後、"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>1回のデータ受信の終わりで受信データの最後のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"の場合*<sup>3</sup></li> <li>受信時の受信データとパリティビットを合わせた"1"の数が、SCi シリアルモードレジスタ (SCiSMR) の OE ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき</li> </ul> <p>【注】 *<sup>2</sup> SCiSCR レジスタの RE ビットを"0"にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCiFRDR レジスタに転送され受信動作は続きます。SCiFRDR レジスタから読み出したデータに受信エラーが含まれるかどうかは、SCiFSR レジスタの FER ビットと PER ビットで判定できます。</p> <p>*<sup>3</sup> 2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。</p>
6	TEND	1	R	* <sup>1</sup>	<p>送信エンドフラグ</p> <p>送信キャラクタの最後尾ビットの送信時に SCiFTDR レジスタに有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>1: 送信を終了したことを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>SCiFTDR レジスタへ送信データを書き込み、TEND="1"の状態を読み出した後、TEND フラグに"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>SCiSCR レジスタの TE ビットが"0"のとき</li> <li>1バイトのシリアル送信キャラクタの最後尾ビット送信時に SCiFTDR レジスタに送信データがないとき</li> </ul>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
5	TDFE	1	R	* <sup>1</sup>	<p>送信 FIFO データエンptyフラグ</p> <p>SCI 送信 FIFO データレジスタ (SCI FTDR) から SCI 送信シフトレジスタ (SCITSR) にデータが転送され、SCI FTDR レジスタのデータ数が SCIFIFO コントロールレジスタ (SCIFCR) の TTRG ビットで指定した送信トリガデータ数より少なくなり、SCI FTDR レジスタへの送信データの書き込みが許可されることを示します。</p> <p>0: SCI FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>1: SCI FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下であること*<sup>2</sup>を表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• TDFE="1"の状態を読み出した後、指定送信トリガ数より多いデータを SCI FTDR レジスタに書き込み、TDFE フラグに"0"を書き込んだとき</li> <li>• 送信 FIFO データエンpty割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCI FTDR レジスタに書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• 送信の結果 SCI FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下のとき</li> </ul> <p>【注】*<sup>2</sup> SCI FTDR レジスタは 16 バイトの FIFO レジスタであるため、TDFE="1"の状態を書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCI FTDR レジスタのデータ数は SCIFDR レジスタの上位 8 ビットで示されます。</p>
4	BRK	0	R	* <sup>1</sup>	<p>ブレーク検出ビット</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>1: ブレーク信号を受信*<sup>2</sup></p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• BRK="1"の状態を読み出した後、BRK フラグに"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 ("L"レベル) の場合</li> </ul> <p>【注】*<sup>2</sup> ブレークが検出されると、検出後 SCIFRDR レジスタへの受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
3	FER	0	R	0	<p>フレーミングエラー表示フラグ</p> <p>調歩同期式モードで、SCI 受信 FIFO データレジスタ (SCIFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCIFRDR レジスタから読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>1: 次に SCIFRDR レジスタから読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• 次の SCIFRDR レジスタ読み出しデータにフレーミングエラーなし</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCIFRDR レジスタ読み出しデータにフレーミングエラーあり</li> </ul>
2	PER	0	R	0	<p>パリティエラー表示フラグ</p> <p>調歩同期式モードで、SCI 受信 FIFO データレジスタ (SCIFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCIFRDR レジスタから読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>1: 次に SCIFRDR レジスタから読み出す受信データにパリティエラーが発生したことを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• 次の SCIFRDR レジスタ読み出しデータにパリティエラーなし</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCIFRDR レジスタ読み出しデータにパリティエラーあり</li> </ul>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
1	RDF	0	R	* <sup>1</sup>	<p>受信 FIFO データフルフラグ</p> <p>受信データが SCI 受信 FIFO データレジスタ (SCIFRDR) に転送され、SCIFRDR レジスタのデータ数が SCIFIFO コントロールレジスタ (SCIFCR) の RTRG ビットで指定した受信トリガ数より多くなったことを示します。</p> <p>0: SCIFRDR レジスタの書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>1: SCIFRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• RDF="1"を読み出した後、SCIFRDR レジスタの受信データ数が指定受信トリガ数より少なくなるまで SCIFRDR レジスタを読み出し、RDFに"0"を書き込んだとき</li> <li>• 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCIFRDR レジスタの受信データ数が指定受信トリガ数より少なくなるまで SCIFRDR レジスタを読み出したとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• 指定受信トリガ数以上の受信データ数が SCIFRDR レジスタに格納されるとき*<sup>2</sup></li> </ul> <p>【注】 *<sup>2</sup> SCIFRDR レジスタは 16 バイトの FIFO レジスタであるため、RDF が"1"のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCIFRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCIFRDR レジスタの受信データ数は SCIFDR レジスタの下位 8 ビットで示されます。</p>

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
0	DR	0	R	* <sup>1</sup>	<p>受信データレディフラグ</p> <p>調歩同期式モードで、SCI 受信 FIFO データレジスタ (SCiFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCiFRDR レジスタに受信データが残っていないことを表示</p> <p>1 : 次の受信データが受信されていないことを表示</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DR="1"の状態を読み出した後、SCiFRDR レジスタ内の受信データをすべて読み出し、"0"を書き込んだとき</li> <li>受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCiFRDR レジスタ内の受信データをすべて読み出したとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>指定受信トリガ数未満のデータを SCiFRDR レジスタが格納して、最後のストップビットから 15ETU の時間経過*<sup>2</sup>後も次のデータが受信されないとき</li> </ul> <p>【注】 *<sup>2</sup> 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位=1 ビット分の転送周期)</p>

【注】 \*<sup>1</sup> フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

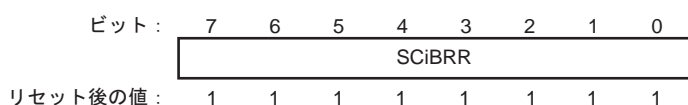
## 23.3.8 SCi ビットレートレジスタ (SCiBRR)

SCi シリアルモードレジスタ (SCiSMR) の CKS ビット、SCi シリアル拡張モードレジスタ (SCiEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

チャンネルごとにボーレートジェネレータのコントロールが独立していますので、4 つのチャンネルにはそれぞれ異なる値を設定できます。

SC0 ビットレートレジスタ (SC0BRR)  
 SC1 ビットレートレジスタ (SC1BRR)  
 SC2 ビットレートレジスタ (SC2BRR)  
 SC3 ビットレートレジスタ (SC3BRR)

<P4 領域アドレス : H'FFFF C004 番地>  
 <P4 領域アドレス : H'FFFF C104 番地>  
 <P4 領域アドレス : H'FFFF C204 番地>  
 <P4 領域アドレス : H'FFFF C304 番地>



&lt;リセット後の値 : H'FF&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	SCiBRR	すべて 1	R	W	ボーレートジェネレータの設定値 (0 ≤ N ≤ 255)

SCiBRR レジスタの設定値は以下の計算式で求められます。

## 【調歩同期式モード】

- ボーレートジェネレータ通常モード (SCiEMR レジスタの BGDM ビットが "0")

$$N = (\text{Pck} / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロックで動作時)

$$N = (\text{Pck} / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCiEMR レジスタの BGDM ビットが "1")

$$N = (\text{Pck} / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの 16 倍の基本クロックで動作時)

$$N = (\text{Pck} / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの 8 倍の基本クロックで動作時)

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 【クロック同期式モード】

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCiBRR レジスタの設定値 ( $0 \leq N \leq 255$ )

(電気的特性を満足する設定値としてください)

Pck : 周辺クロックの動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0~3)

(n とクロックの関係は、表 23.3 を参照してください)

表 23.3 SCiSMR レジスタの設定

n	クロック	SCiSMR レジスタの CKS ビットの設定値
0	Pck	00
1	Pck/4	01
2	Pck/16	10
3	Pck/64	11

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCiEMR レジスタの BGDM ビットが "0")

$$\text{誤差 (\%)} = \{ ( (Pck \times 10^6) / ( (N+1) \times B \times 64 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ( (Pck \times 10^6) / ( (N+1) \times B \times 32 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCiEMR レジスタの BGDM ビットが "1")

$$\text{誤差 (\%)} = \{ ( (Pck \times 10^6) / ( (N+1) \times B \times 32 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ( (Pck \times 10^6) / ( (N+1) \times B \times 16 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 23.4 に調歩同期式モードのビットレート設定例を示します。また、表 23.5 にクロック同期式モードのビットレート設定例を示します。

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 23.4 調歩同期式モードのビットレート設定例

ビットレート (bps)	SCIEMR.BGDM="0"かつ SCIEMR.ABCS="0"時				SCIEMR.BGDM="0"かつ SCIEMR.ABCS="1"時 または SCIEMR.BGDM="1"かつ SCIEMR.ABCS="0"時				SCIEMR.BGDM="1"かつ SCIEMR.ABCS="1"時			
	n	N	誤差 (%)	実際の ビットレート	n	N	誤差 (%)	実際の ビットレート	n	N	誤差 (%)	実際の ビットレート
110	3	177	-0.25	109.73	—	—	—	—	—	—	—	—
150	3	129	0.16	150.24	3	255	1.73	152.59	—	—	—	—
300	3	64	0.16	300.48	3	129	0.16	300.48	3	255	1.73	305.18
600	2	129	0.16	600.96	3	64	0.16	600.96	3	129	0.16	600.96
1200	2	64	0.16	1201.92	2	129	0.16	1201.92	3	64	0.16	1201.92
2400	1	129	0.16	2403.85	2	64	0.16	2403.85	2	129	0.16	2403.85
4800	1	64	0.16	4807.69	1	129	0.16	4807.69	2	64	0.16	4807.69
9600	0	129	0.16	9615.38	1	64	0.16	9615.38	1	129	0.16	9615.38
19200	0	64	0.16	19230.77	0	129	0.16	19230.77	1	64	0.16	19230.77
31250	0	39	0.00	31250.00	0	79	0.00	31250.00	0	159	0.00	31250.00
38400	0	32	-1.36	37878.79	0	64	0.16	38461.54	0	129	0.16	38461.54
57600	0	21	-1.36	56818.18	0	42	0.94	58139.53	0	86	-0.22	57471.26
62500	0	19	0.00	62500.00	0	39	0.00	62500.00	0	79	0.00	62500.00
115200	0	10	-1.36	113636.36	0	21	-1.36	113636.36	0	42	0.94	116279.07
125000	0	9	0.00	125000.00	0	19	0.00	125000.00	0	39	0.00	125000.00
250000	0	4	0.00	250000.00	0	9	0.00	250000.00	0	19	0.00	250000.00
500000	—	—	—	—	0	4	0.00	500000.00	0	9	0.00	500000.00
625000	0	1	0.00	625000.00	0	3	0.00	625000.00	0	7	0.00	625000.00
1000000	—	—	—	—	—	—	—	—	0	4	0.00	1000000.00
1250000	0	0	0.00	1250000.00	0	1	0.00	1250000.00	0	3	0.00	1250000.00
2500000	—	—	—	—	0	0	0.00	2500000.00	0	1	0.00	2500000.00

【注】・上記設定のビットレートでの通信を保証するものではありません。本 MCU と通信相手の電気的特性を満たすように設定してください。また、お客様の環境にて十分な評価と検証のうえ、ご使用ください。

- ・ n は SCiSMR レジスタのクロックセレクトビット (CKS) の設定値を示します。
- ・ N は SCiBRR レジスタのボーレートジェネレータの設定値を示します。



表 23.5 クロック同期式モードのビットレート設定例

ビットレート (bps)	n	N	実際の ビットレート
1000	3	155	1001.60
2500	3	62	2480.16
5000	2	124	5000.00
10000	2	62	9920.63
25000	1	99	25000.00
50000	1	49	50000.00
100000	0	99	100000.00
250000	0	39	250000.00
500000	0	19	500000.00
1000000	0	9	1000000.00
2000000	0	4	2000000.00
2500000	0	3	2500000.00
3333333	0	2	3333333.33

【注】・上記設定のビットレートでの通信を保証するものではありません。本 MCU と通信相手の電気的特性を満たすように設定してください。また、お客様の環境にて十分な評価と検証のうえ、ご使用ください。

- ・ n は SCiSMR レジスタのクロックセレクトビット (CKS) の設定値を示します。
- ・ N は SCiBRR レジスタのボーレートジェネレータの設定値を示します。

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 23.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 23.7 に外部クロック入力における調歩同期式モードの最大ビットレート、表 23.8 に外部クロック入力 ( $t_{\text{Scyc}}=12tc(\text{Pck})$ 時<sup>\*1</sup>) におけるクロック同期式モードの最大ビットレートを示します。

【注】 \*1 本 MCU と通信相手先の電気的特性を満足することを確認してください。

表 23.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

Pck (MHz)	設定値				最大ビットレート (bit/s)
	BGDM ビット	ABCS ビット	n	N	
40	0	0	0	0	1250000
		1	0	0	2500000
	1	0	0	0	2500000
		1	0	0	5000000

表 23.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pck (MHz)	外部入力クロック (MHz)	ABCS ビットの設定値	最大ビットレート (bit/s)
40	10	0	625000
		1	1250000

表 23.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{Scyc}}=12tc(\text{Pck})$ 時)

Pck (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
40	3.3333333	3333333.3

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 23.3.9 SCiFIFO コントロールレジスタ (SCiFCR)

SCi 送信 FIFO データレジスタおよび SCi 受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SC0FIFOコントロールレジスタ (SC0FCR) <P4領域アドレス : H'FFFF C018番地>  
 SC1FIFOコントロールレジスタ (SC1FCR) <P4領域アドレス : H'FFFF C118番地>  
 SC2FIFOコントロールレジスタ (SC2FCR) <P4領域アドレス : H'FFFF C218番地>  
 SC3FIFOコントロールレジスタ (SC3FCR) <P4領域アドレス : H'FFFF C318番地>

ビット :    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  
           — — — — —    RSTRG    RTRG    TTRG    MCE |TFRST|RFRST|LOOP  
 リセット後の値 :    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~8	RSTRG	000	R	W	RTS#出力アクティブトリガビット SCi 受信 FIFO データレジスタ (SCiFRDR) 内に格納された受信データ数が下記に示すトリガ設定数以上になったとき、RTS#信号は"H"レベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
7、6	RTRG	00	R	W	<p>受信 FIFO データ数トリガビット</p> <p>SCI シリアルステータスレジスタ (SCIFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。SCI 受信 FIFO データレジスタ (SCIFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは"1"にセットされます。</p> <ul style="list-style-type: none"> <li>• 調歩同期式モード           <ul style="list-style-type: none"> <li>00 : 1</li> <li>01 : 4</li> <li>10 : 8</li> <li>11 : 14</li> </ul> </li> <li>• クロック同期式モード           <ul style="list-style-type: none"> <li>00 : 1</li> <li>01 : 2</li> <li>10 : 8</li> <li>11 : 14</li> </ul> </li> </ul> <p>【注】・ クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を"1"に設定してください。"1"以外に設定した場合、受信データ数が受信トリガ数未満の場合は RXI 割り込みが発生しないため、CPU により SCIFRDR レジスタに残っている受信データを読み出す必要があります。</p>
5、4	TTRG	00	R	W	<p>送信 FIFO データ数トリガビット</p> <p>SCI シリアルステータスレジスタ (SCIFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。SCI 送信 FIFO データレジスタ (SCIFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは"1"にセットされます。</p> <ul style="list-style-type: none"> <li>00 : 8 (8)</li> <li>01 : 4 (12)</li> <li>10 : 2 (14)</li> <li>11 : 0 (16)</li> </ul> <p>【注】・ ( ) 内の数値は TDFE フラグが"1"にセットされるとき SCIFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R	W	<p>モデムコントロールイネーブルビット</p> <p>モデムコントロール信号 CTSi#、RTSi#を許可/禁止します。チャンネル 0~2、クロック同期モードでは MCE ビットを常に"0"にしてください。</p> <ul style="list-style-type: none"> <li>0 : モデム信号を禁止*1</li> <li>1 : モデム信号を許可</li> </ul> <p>【注】 *1 入力値に関係なく CTSi#はアクティブ"L"に固定され、RTSi#も"L"レベルに固定されます。</p>

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
2	TFRST	0	R	W	<p>SCi 送信 FIFO データレジスタリセットビット</p> <p>SCi 送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*<sup>1</sup></p> <p>1 : リセット動作を許可</p> <p>【注】 *<sup>1</sup> ハードウェアリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R	W	<p>SCi 受信 FIFO データレジスタリセットビット</p> <p>SCi 受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*<sup>1</sup></p> <p>1 : リセット動作を許可</p> <p>【注】 *<sup>1</sup> ハードウェアリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R	W	<p>ループバックテストビット</p> <p>送信出力端子 (TXDi) と受信入力端子 (RXDi)、RTSi#端子と CTSi#端子を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

## 23.3.10 SCiFIFO データカウントセットレジスタ (SCiFDR)

SCi 送信 FIFO データレジスタ (SCiFTDR) と SCi 受信 FIFO データレジスタ (SCiFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCiFTDR レジスタの送信データ数を、下位 8 ビットで SCiFRDR レジスタの受信データ数を示します。SCiFDR レジスタは読み出し専用です。

SC0FIFOデータカウントセットレジスタ (SC0FDR)	<P4領域アドレス : H'FFFF C01C番地>
SC1FIFOデータカウントセットレジスタ (SC1FDR)	<P4領域アドレス : H'FFFF C11C番地>
SC2FIFOデータカウントセットレジスタ (SC2FDR)	<P4領域アドレス : H'FFFF C21C番地>
SC3FIFOデータカウントセットレジスタ (SC3FDR)	<P4領域アドレス : H'FFFF C31C番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	T				—	—	—	R					
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
12~8	T	00000	R	N	SCiFTDR レジスタに格納された未送信データ数を示します。 "H'00"は送信データがないことを、"H'10"は送信データのすべてが SCiFTDR レジスタに格納されていることを示します。
7~5	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
4~0	R	00000	R	N	SCiFRDR レジスタに格納された受信データ数を示します。 "H'00"は受信データがないことを、"H'10"は受信データのすべてが SCiFRDR レジスタに格納されていることを示します。

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 23.3.11 SCi シリアルポートレジスタ (SCiSPTR)

SCiFi の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で RTSi#端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で CTSi#端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCKi 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RXDi 端子から入力データを読み出し、TXDi 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

SC0シリアルポートレジスタ (SC0SPTR) <P4領域アドレス : H'FFFF C020番地>  
 SC1シリアルポートレジスタ (SC1SPTR) <P4領域アドレス : H'FFFF C120番地>  
 SC2シリアルポートレジスタ (SC2SPTR) <P4領域アドレス : H'FFFF C220番地>  
 SC3シリアルポートレジスタ (SC3SPTR) <P4領域アドレス : H'FFFF C320番地>

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — RTSIO RTSDT CTSIO CTSDT SCKIO SCKDT SPB2IO SPB2DT  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 1 0 1 0 0 0 0

<リセット後の値 : H'0050>

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	RTSIO	0	R	W	RTS#ポート入出力ビット シリアルポートの RTSi#端子の入出力を指定します。実際に RTSi#端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCiFCR レジスタの MCE ビットを"0"に設定してください。 0 : RTSi#端子に RTSDT ビットの値を出力しない 1 : RTSi#端子に RTSDT ビットの値を出力する
6	RTSDT	1	R	W	RTS#ポートデータビット シリアルポートの RTSi#端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が RTSi#端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは RTSi#端子の値が読み出されます。ただし、ピンファンクションユニットで RTSi#入出力に設定しておく必要があります。 0 : 入出力データが"L"レベル 1 : 入出力データが"H"レベル
5	CTSIO	0	R	W	CTS#ポート入出力ビット シリアルポートの CTSi#端子の入出力を指定します。実際に CTSi#端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCiFCR レジスタの MCE ビットを"0"に設定してください。 0 : CTSi#端子に CTSDT ビットの値を出力しない 1 : CTSi#端子に CTSDT ビットの値を出力する

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	シンボル	リセット後の値	R	W	説明
4	CTSĐT	1	R	W	<p>CTS#ポートデータビット</p> <p>シリアルポートの CTSi#端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTSĐT ビットの値が CTSi#端子に出力されます。CTSIO ビットの値にかかわらず、CTSĐT ビットからは CTSi#端子の値が読み出されます。ただし、ピンファンクションユニットで CTSi#入出力に設定しておく必要があります。</p> <p>0 : 入出力データが"L"レベル 1 : 入出力データが"H"レベル</p>
3	SCKIO	0	R	W	<p>SCK ポート入出力ビット</p> <p>シリアルポートの SCKi 端子の入出力を指定します。実際に SCKi 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCiSCR レジスタの CKE ビットを"00"に設定してください。</p> <p>0 : SCKi 端子に SCKDT ビットの値を出力しない 1 : SCKi 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R	W	<p>SCK ポートデータビット</p> <p>シリアルポートの SCKi 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCKi 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCKi 端子の値が読み出されます。ただし、ピンファンクションユニットで SCKi 入出力に設定しておく必要があります。</p> <p>0 : 入出力データが"L"レベル 1 : 入出力データが"H"レベル</p>
1	SPB2IO	0	R	W	<p>シリアルポートブレイク入出力ビット</p> <p>シリアルポートの TXDi 端子の出力条件を指定します。実際に TXDi 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCiSCR レジスタの TE ビットを"0"に設定してください。</p> <p>0 : TXDi 端子に SPB2DT ビットの値を出力しない 1 : TXDi 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R	W	<p>シリアルポートブレイクデータビット</p> <p>シリアルポートの RXDi 端子の入力データおよび TXDi 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TXDi 端子を出力に設定した場合、SPB2DT ビットの値が TXDi 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RXDi 端子の値が読み出されます。ただし、ピンファンクションユニットで RXDi 入力、TXDi 出力に設定しておく必要があります。</p> <p>0 : 入出力データが"L"レベル 1 : 入出力データが"H"レベル</p>



## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 23.3.12 SCi ラインステータスレジスタ (SCiLSR)

SCiLSR レジスタは、受信時にオーバランエラーが発生して異常終了したことを示します。ORER ビットのステータスフラグへ"1"を書き込むことはできません。"0"にクリアするためには、あらかじめ"1"を読み出ししておく必要があります。

SC0ラインステータスレジスタ (SC0LSR)  
 SC1ラインステータスレジスタ (SC1LSR)  
 SC2ラインステータスレジスタ (SC2LSR)  
 SC3ラインステータスレジスタ (SC3LSR)

<P4領域アドレス : H'FFFF C024番地>  
 <P4領域アドレス : H'FFFF C124番地>  
 <P4領域アドレス : H'FFFF C224番地>  
 <P4領域アドレス : H'FFFF C324番地>

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  
           — — — — — — — — — — — — — — — ORER  
 リセット後の値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	ORER	0	R	*1	<p>オーバランエラーフラグ</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0 : 受信中、または正常に受信を完了したことを表示*2                      1 : 受信時にオーバランエラーが発生したことを表示*3</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ORER="1"の状態を読み出した後、"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>受信 FIFO に 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき</li> </ul> <p>【注】 *2 SCi シリアルコントロールレジスタ (SCiSCR) の RE ビットを"0"にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*3 SCi 受信 FIFO データレジスタ (SCiFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER が"1"にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

## 23.3.13 SCi シリアル拡張モードレジスタ (SCiEMR)

BGDM ビットを"1"にセットすることにより、調歩同期式モード (SCiSMR レジスタの CA ビットが"0") かつクロックソースを内部クロック/SCKi 端子は入力端子 (SCiSCR レジスタの CKE ビットが"00") のとき、SCiFi 内部のポーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択できます。

SC0シリアル拡張モードレジスタ (SC0EMR)  
 SC1シリアル拡張モードレジスタ (SC1EMR)  
 SC2シリアル拡張モードレジスタ (SC2EMR)  
 SC3シリアル拡張モードレジスタ (SC3EMR)

<P4領域アドレス : H'FFFF C028番地>  
 <P4領域アドレス : H'FFFF C128番地>  
 <P4領域アドレス : H'FFFF C228番地>  
 <P4領域アドレス : H'FFFF C328番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — BGDM — — — — — — — — ABCS  
 リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7	BGDM	0	R	W	ポーレートジェネレータ倍速モードビット BGDM ビットを"1"にセットすると、SCiFi 内部のポーレートジェネレータが倍速モードで動作します。BGDM ビットの設定は、調歩同期式モード (SCiSMR レジスタの CA ビットが"0") かつクロックソースを内部クロック/SCKi 端子は入力端子 (SCiSCR レジスタの CKE ビットが"00") のときに有効です。上記設定以外のときは通常モードを使用してください。 0 : 通常モード 1 : 倍速モード
6~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	ABCS	0	R	W	調歩同期式基本クロックセレクトビット 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCiSMR レジスタの CA ビットが"0") のとき有効です。 0 : ビットレートの 16 倍の周波数の基本クロックで動作 1 : ビットレートの 8 倍の周波数の基本クロックで動作

### 23.4 動作説明

#### 23.4.1 概要

SCIF<sub>i</sub> は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

送信/受信のそれぞれに16段のFIFOバッファを内蔵しており、CPUのオーバヘッドを減らし、高速連続通信が可能です。さらに、モデムコントロール信号としてRTSi#信号、CTSi#信号を用意しています。送受信フォーマットの選択は、SC<sub>i</sub>シリアルモードレジスタ(SC<sub>i</sub>SMR)で行います。これを表23.9に示します。また、SCIF<sub>i</sub>のクロックソースは、SC<sub>i</sub>シリアルコントロールレジスタ(SC<sub>i</sub>SCR)のCKEビットの組み合わせで決まります。これを表23.10に示します。

##### (1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能  
(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIF<sub>i</sub>のクロックソース：内部クロック/外部クロックから選択可能  
内部クロックを選択した場合：SCIF<sub>i</sub>はボーレートジェネレータのクロックで動作  
外部クロックを選択した場合：ビットレートの16または8倍の周波数のクロックを入力することが必要  
(内蔵ボーレートジェネレータを使用しない)

##### (2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIF<sub>i</sub>のクロックソース：内部クロック/外部クロックから選択可能  
内部クロックを選択した場合：SCIF<sub>i</sub>はボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力  
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 23.9 SCiSMR レジスタの設定値と SCiFi 送信/受信フォーマット

SCiSMR レジスタ				モード	SCiFi 送信/受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
CA	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	x	x	x	クロック同期式モード	8ビット	なし	なし

【記号説明】 x : Don't care

表 23.10 SCiSMR レジスタと SCiSCR レジスタの設定値と SCiFi のクロックソースの選択

SCiSMR レジスタ	SCiSCR レジスタ	モード	クロックソース	SCKi 端子の機能
ビット7	ビット1、0			
CA	CKE			
0	00	調歩同期式モード	内部	SCiFi は SCKi 端子を使用しません
	01			ビットレートの16または8倍の周波数のクロックを出力
	10		外部	ビットレートの16または8倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【注】 ・ ボーレートジェネレータ倍速モード (BGDM="1") を使用する際は、調歩同期式モード (CA="0") かつクロックソースを内部クロック/SCKi 端子を使用しない (CKE="00") 設定にしてください。

【記号説明】 x : Don't care

## 23.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信/受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIFi 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信/受信中にデータの読み出し/書き込みができるので、連続送信/受信が可能です。

図 23.2 に調歩同期式シリアル通信の一般的なフォーマットを示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 ("H"レベル) に保たれています。SCIF は通信回線を監視し、スペース ("L"レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット ("L"レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット ("H"レベル/"L"レベル)、最後にストップビット ("H"レベル) の順で構成されています。

調歩同期式モードでは、SCIFi は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIFi は、データを 1 ビット期間の 16 または 8 倍の周波数のクロックの 8 または 4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

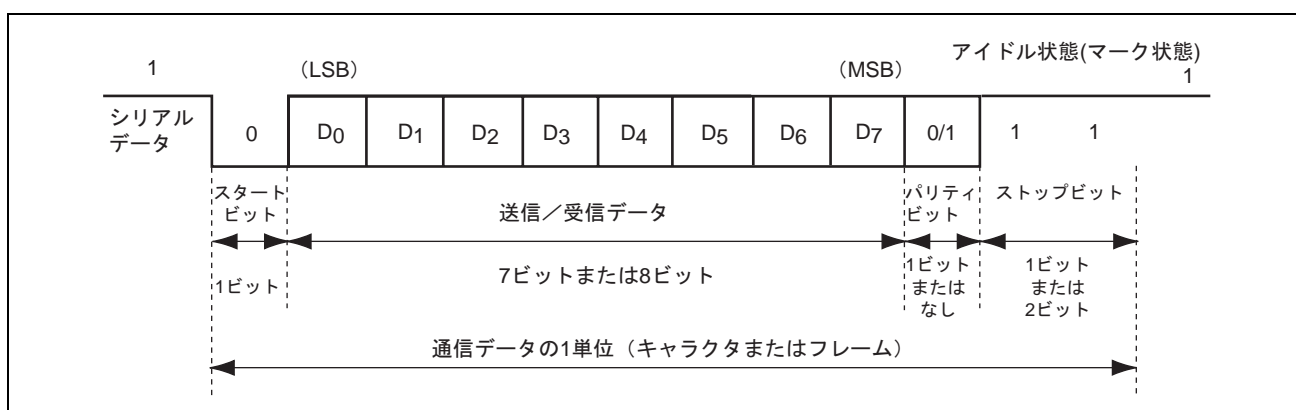


図 23.2 調歩同期式通信のデータフォーマット  
(8 ビットデータ/パリティあり/2 ストップビットの例)

## (1) 送信/受信フォーマット

表 23.11 に設定可能な送信/受信フォーマットを示します。

送信/受信フォーマットは 8 種類あり、SCi シリアルモードレジスタ (SCiSMR) の設定によって選択できます。

表 23.11 シリアル送信/受信フォーマット (調歩同期式モード)

SCiSMRレジスタの設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

## 【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

## (2) クロック

SCiFi の送受信クロックは、SCiSMR レジスタの CA ビットおよび SCi シリアルコントロールレジスタ (SCiSCR) の CKE ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは SCKi 端子から入力された外部クロックの 2 種類から選択できます。SCiFi のクロックソースの選択については表 23.10 を参照してください。

外部クロックを SCKi 端子に入力する場合には、使用するビットレートの 16 または 8 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCKi 端子からクロックを出力できます。このとき出力されるクロックの周波数はビットレートの 16 または 8 倍の周波数です。

(3) データの送信/受信動作

• SCiFi初期化 (調歩同期式モード)

データの送信/受信前には、まず SCi シリアルコントロールレジスタ (SCiSCR) の TE ビットおよび RE ビットを"0"にクリアした後、以下の順で SCiFi を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ず TE ビットおよび RE ビットを"0"にクリアしてから次の手順で変更を行ってください。TE ビットを"0"にクリアすると、SCi 送信シフトレジスタ (SCiTSR) は初期化されます。しかし、TE ビットと RE ビットを"0"にクリアしても、SCi シリアルステータスレジスタ (SCiFSR)、SCi 送信 FIFO データレジスタ (SCiFTDR)、SCi 受信 FIFO データレジスタ (SCiFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TE ビットの"0"クリアは、送信データをすべて送信し、SCiFSR レジスタの TEND フラグがセットされた後に行ってください。TE ビットは送信中でも"0"クリア可能ですが、送信データは"0"クリアした後、マーク状態になります。また再度 TE ビットを"1"にセットして送信開始する前に SCiFCR レジスタの TFRST ビットを"1"にセットして SCiFTDR レジスタをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図 23.3 に SCiFi の初期化フローチャートの例を示します。

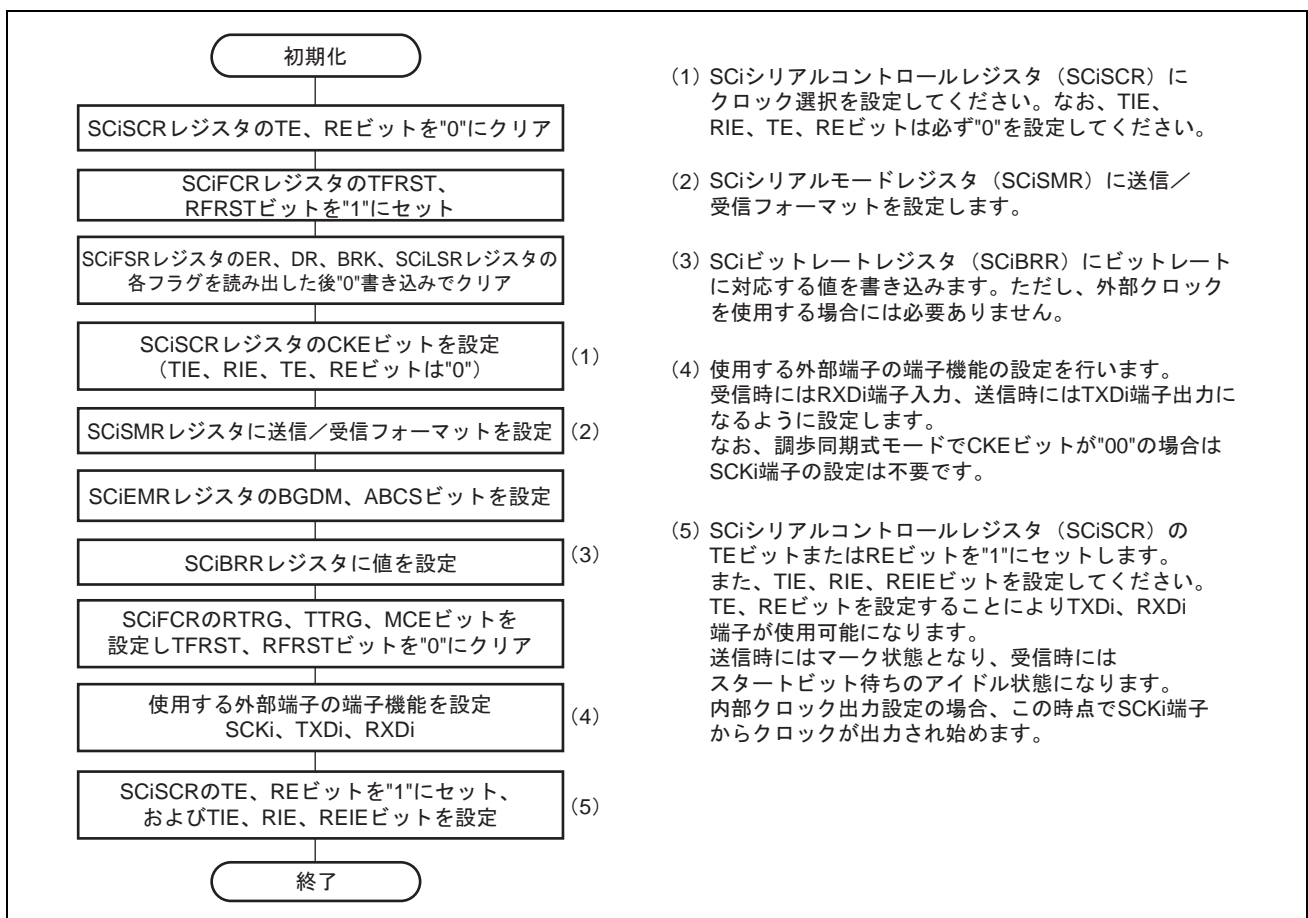


図 23.3 SCiFi 初期化フローチャートの例

### ● シリアルデータ送信 (調歩同期式モード)

図 23.4 にシリアル送信のフローチャートの例を示します。

SCiFi の送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

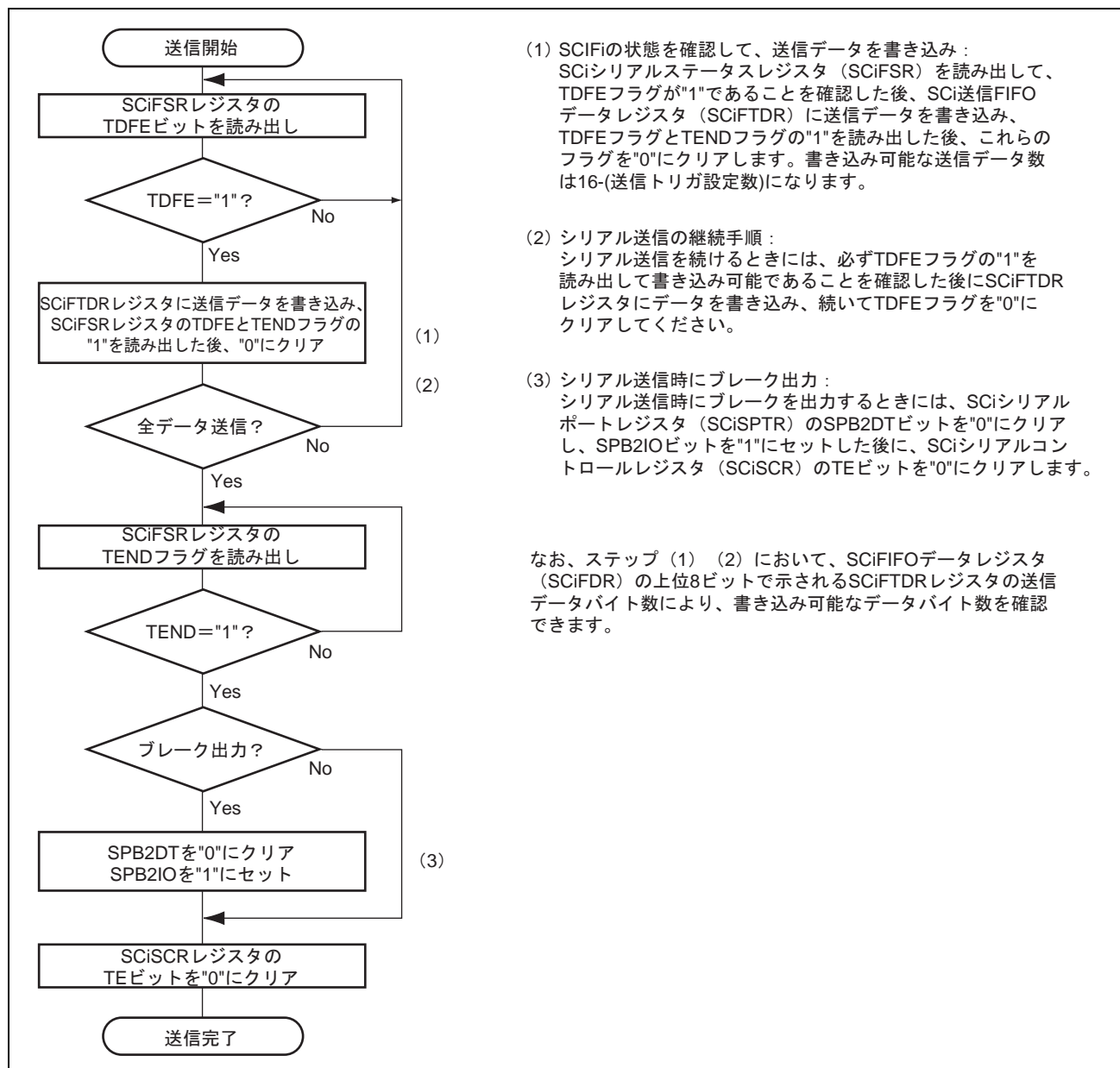


図 23.4 シリアル送信のフローチャートの例

SCiFi は、シリアル送信時には以下のように動作します。

1. SCiFiは、SCi送信FIFOデータレジスタ (SCiFTDR) にデータが書き込まれると、SCiFTDRレジスタからSCi送信シフトレジスタ (SCiTSR) にデータを転送します。送信データをSCiFTDRレジスタに書き込む前に、SCiシリアルステータスレジスタ (SCiFSR) のTDFEフラグが"1"にセットされていることを確認してください。書き込み可能な送信データバイト数は (16-送信トリガ設定数) です。



## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

2. SCiFTDRレジスタからSCiTSRレジスタへデータを転送し、送信を開始すると、SCiFTDRレジスタの送信データがなくなるまで連続して送信動作を実行します。SCiFTDRレジスタの送信データバイト数がSCiFIFOコントロールレジスタ (SCiFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、SCiシリアルコントロールレジスタ (SCiSCR) のTIEビットが"1"にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTXDi端子から送り出されます。

- (a) スタートビット：1ビットの"0"が出力されます。
  - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
  - (c) パリティビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
  - (d) ストップビット：1ビットまたは2ビットの"1"（ストップビット）が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで"1"を出力し続けます。
3. SCiFiは、ストップビットを送出するタイミングでSCiFTDRレジスタ送信データをチェックします。データがあると、SCiFTDRレジスタからSCiTSRレジスタにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

図 23.5 に調歩同期式モードでの送信時の動作例を示します。

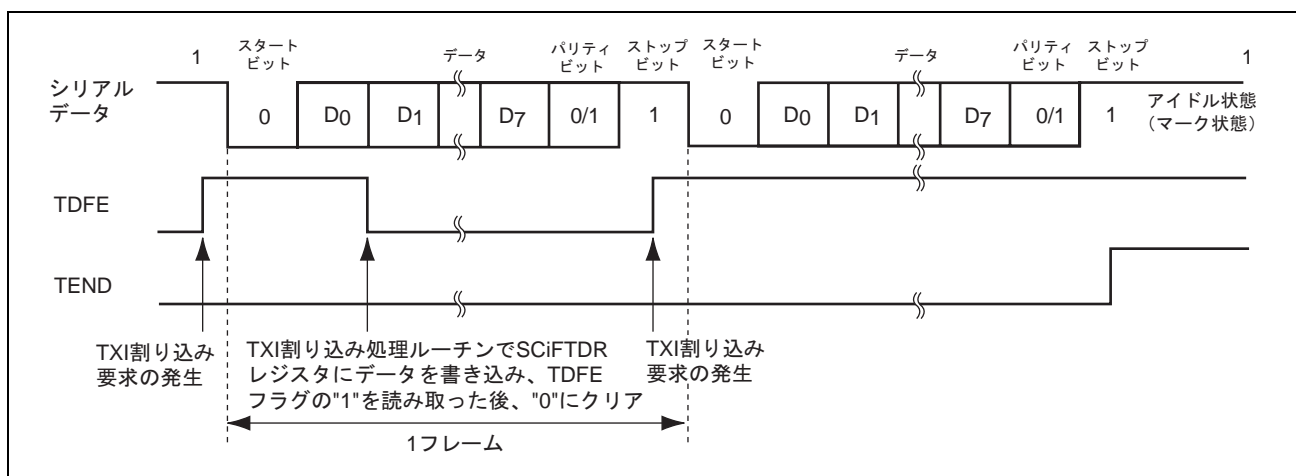


図 23.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

4. モデムコントロールを許可した場合、CTS#入力値によって送信を停止/再開できます。CTS#端子に"H"レベルが入力されると、送信中のときは1フレームの送信終了後マーク状態になります。CTS#端子に"L"レベルが入力されると、次の送信データがスタートビットを先頭に出力されます。

図 23.6 にモデムコントロールを使用した動作例を示します。

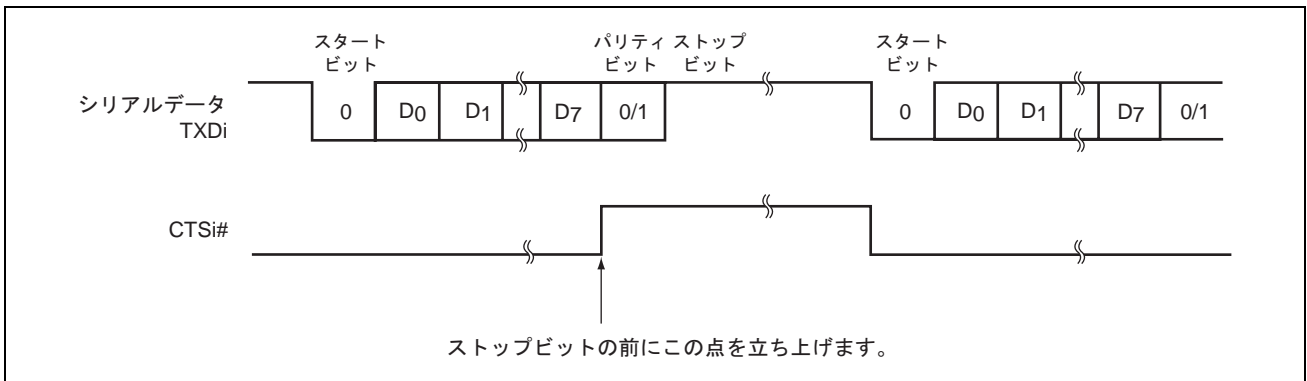
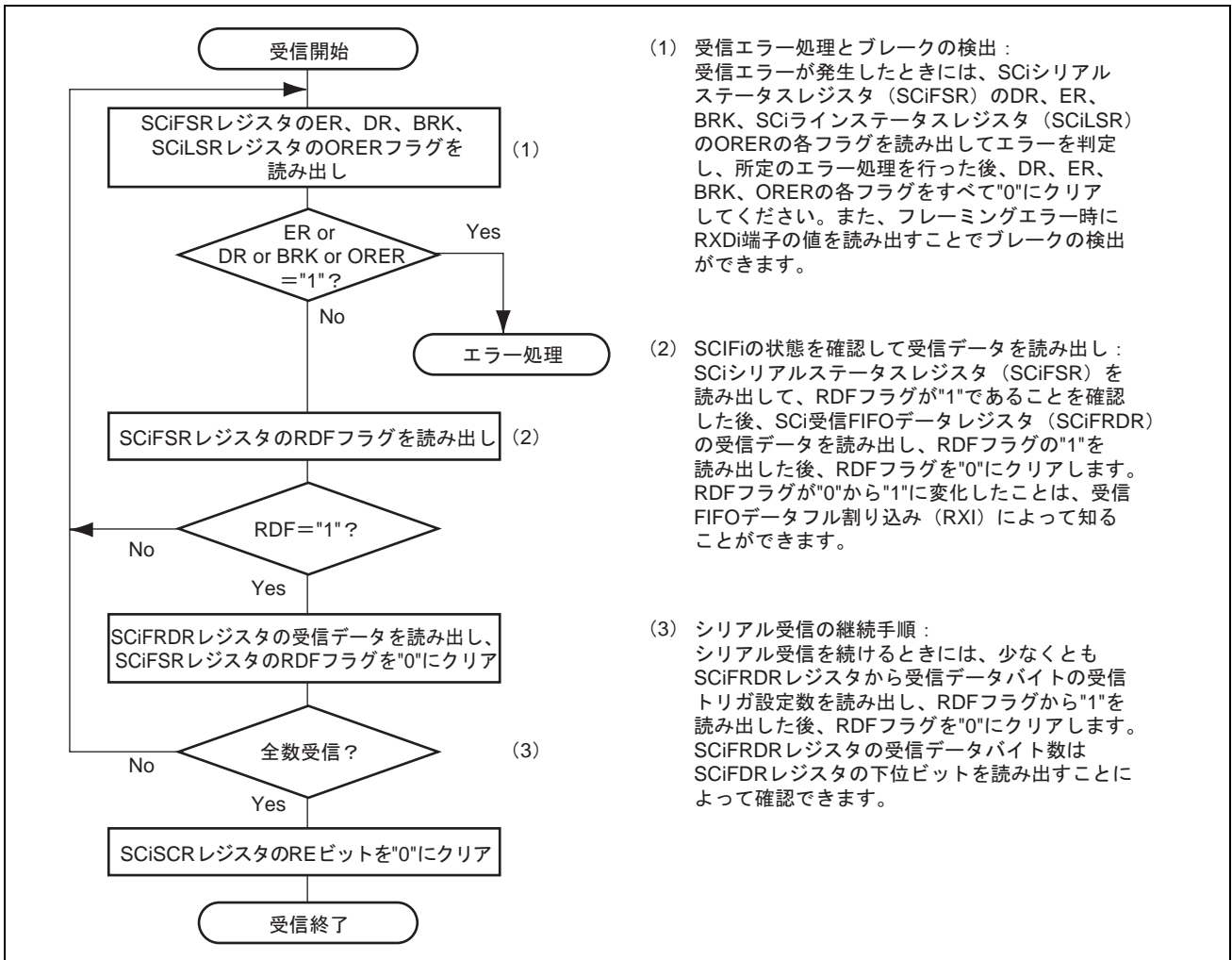


図 23.6 モデムコントロールを使用した動作例 (CTSi#)

● シリアルデータ受信 (調歩同期式モード)

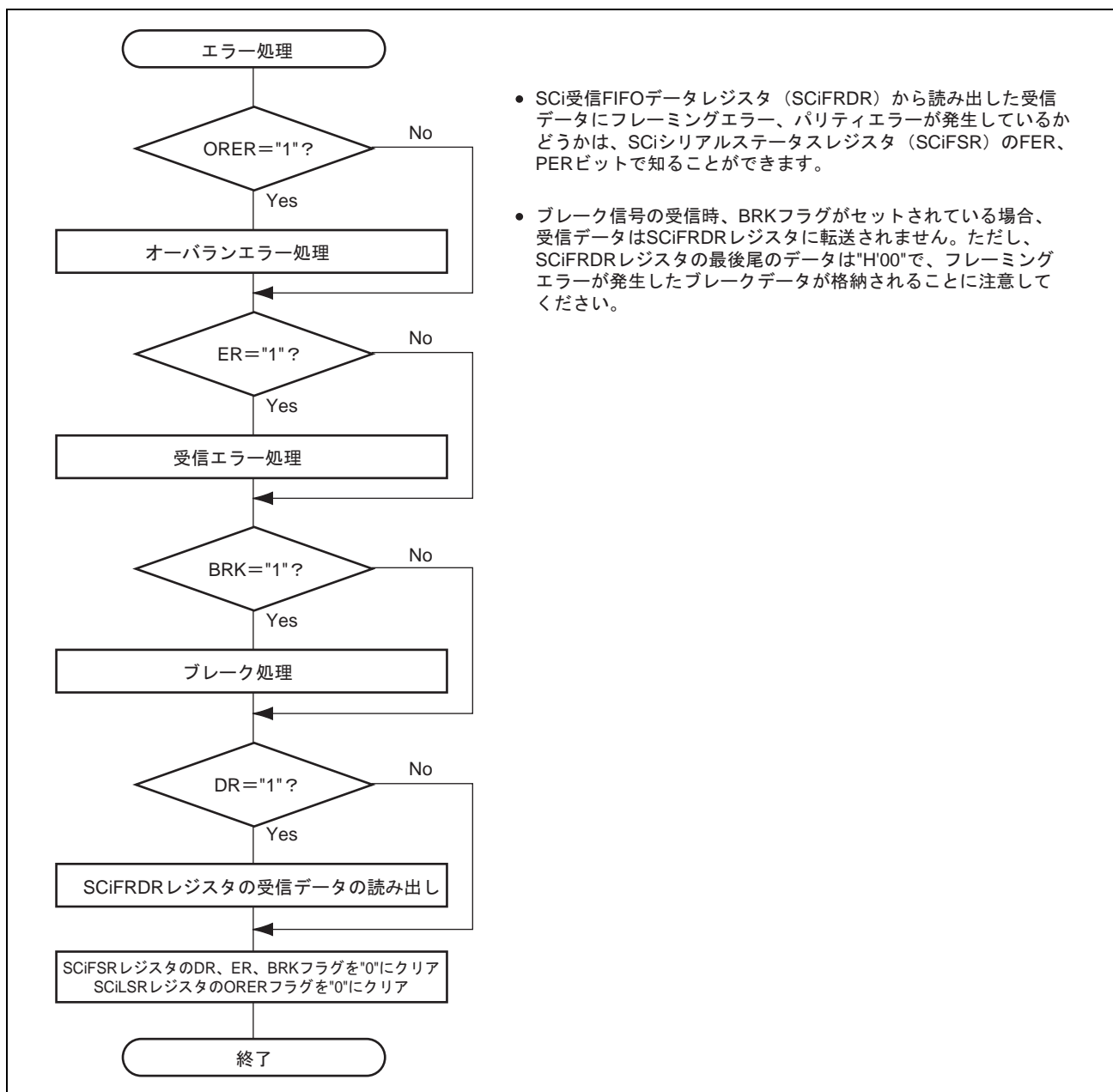
図 23.7、図 23.8 にシリアル受信フローチャートの例を示します。

SCIFi の受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。



- (1) 受信エラー処理とブレークの検出：  
受信エラーが発生したときには、SCiシリアルステータスレジスタ (SCiFSR) のDR、ER、BRK、SCiラインステータスレジスタ (SCiLSR) のORERの各フラグを読み出してエラーを判定し、所定のエラー処理を行った後、DR、ER、BRK、ORERの各フラグをすべて"0"にクリアしてください。また、フレーミングエラー時にRXDi端子の値を読み出すことでブレークの検出ができます。
- (2) SCIFiの状態を確認して受信データを読み出し：  
SCiシリアルステータスレジスタ (SCiFSR) を読み出して、RDFフラグが"1"であることを確認した後、SCi受信FIFOデータレジスタ (SCiFRDR) の受信データを読み出し、RDFフラグの"1"を読み出した後、RDFフラグを"0"にクリアします。RDFフラグが"0"から"1"に変化したことは、受信FIFOデータフル割り込み (RXI) によって知ることができます。
- (3) シリアル受信の継続手順：  
シリアル受信を続けるときには、少なくともSCiFRDRレジスタから受信データバイトの受信トリガ設定数を読み出し、RDFフラグから"1"を読み出した後、RDFフラグを"0"にクリアします。SCiFRDRレジスタの受信データバイト数はSCiFRDRレジスタの下位ビットを読み出すことによって確認できます。

図 23.7 シリアル受信のフローチャートの例 (1)



- SCi受信FIFOデータレジスタ (SCiFRDR) から読み出した受信データにフレーミングエラー、パリティエラーが発生しているかどうかは、SCiシリアルステータスレジスタ (SCiFSR) のFER、PERビットで知ることができます。
- ブレーク信号の受信時、BRKフラグがセットされている場合、受信データはSCiFRDRレジスタに転送されません。ただし、SCiFRDRレジスタの最後尾のデータは"H'00"で、フレーミングエラーが発生したブレークデータが格納されることに注意してください。

図 23.8 シリアル受信のフローチャートの例 (2)

SCiFi は受信時に以下のように動作します。

1. SCiFiは通信回線を監視し、スタートビットの"0"を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCiRSRレジスタのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCiFiは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが"1"であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCi受信シフトレジスタ (SCiRSR) からSCiFRDRレジスタに転送できる状態であるかをチェックします。

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが"0"であるかどうかをチェックします。

(d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが"0"であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCiFRDRレジスタに受信データが格納されます。

【注】・パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

- RDFまたはDRフラグが"1"になったとき、SCiSCRレジスタのRIEビットが"1"にセットされていると、受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが"1"になったとき、SCiSCRレジスタのRIEビットまたはREIEビットが"1"にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが"1"になったとき、SCiSCRレジスタのRIEビットまたはREIEビットが"1"にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

図 23.9 に調歩同期式モード受信時の動作例を示します。

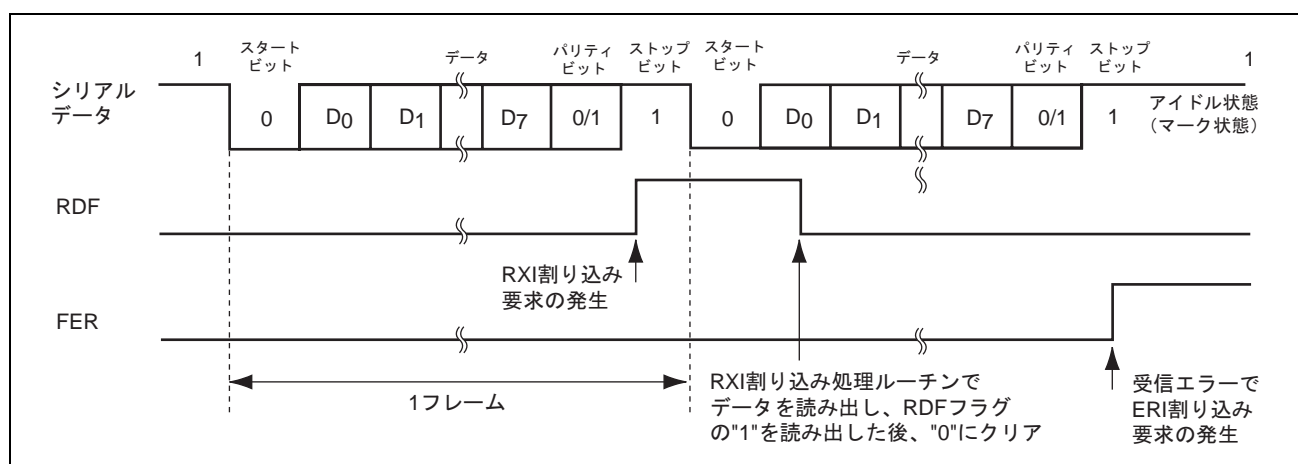


図 23.9 SCIFi の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

- モデムコントロールが有効であると、SCiFRDRレジスタが空のときRTSi#信号が出力されます。RTSi#信号が"L"レベルの場合、受信が可能です。RTSi#信号が"H"レベルの場合はSCiFRDRレジスタのデータ数がRTSi#出力アクティブトリガ設定数以上であることを示します。

図 23.10 にモデムコントロール使用時の動作例を示します。

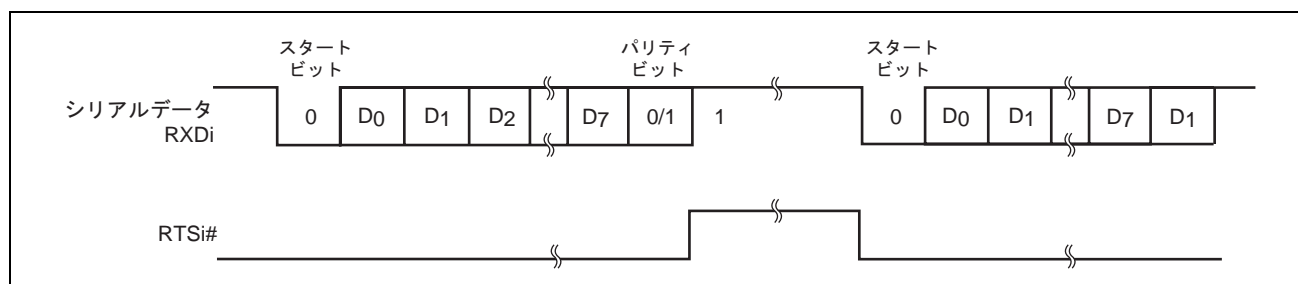


図 23.10 モデムコントロール使用時の動作例 (RTSi#)

### 23.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCIF<sub>i</sub> 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信/受信中にデータの読み出し/書き込みができ、連続送信/受信が可能です。

図 23.11 にクロック同期式シリアル通信の一般的なフォーマットを示します。

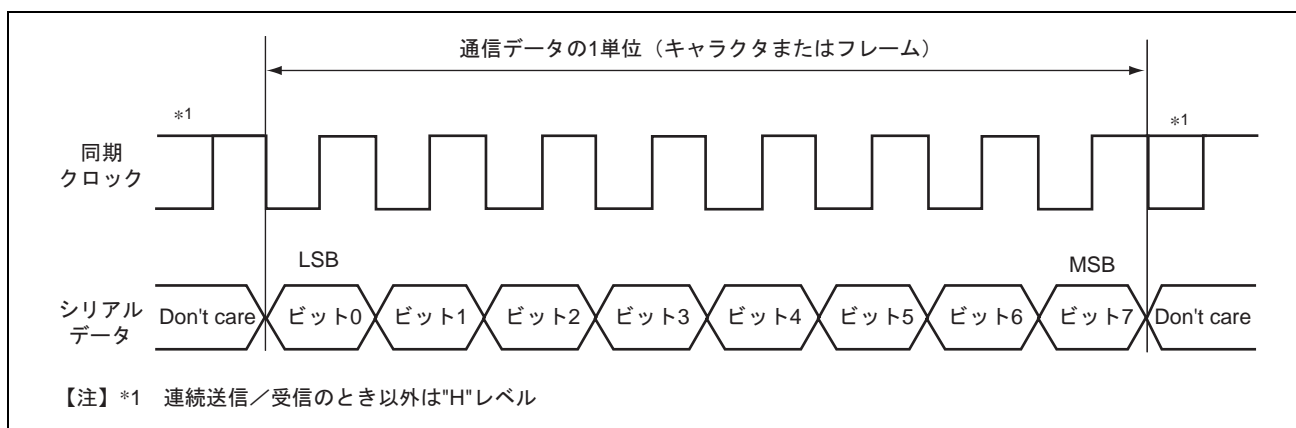


図 23.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF<sub>i</sub> は同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信/受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

#### (2) クロック

SCiSMR レジスタの CA ビットと SCiSCR レジスタの CKE ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK<sub>i</sub> 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK<sub>i</sub> 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信/受信を行わないときには「H」レベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCiSCR レジスタの RE ビットが「1」の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

## (3) データの送信/受信動作

## • SCIFiの初期化 (クロック同期式モード)

データの送信/受信前に SCi シリアルコントロールレジスタ (SCiSCR) の TE ビットと RE ビットを"0"にクリアした後、以下の手順で SCIFi を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE および RE ビットを"0"にクリアしてから下記手順で変更してください。TE ビットを"0"にクリアすると SCi 送信シフトレジスタ (SCiTSR) が初期化されます。RE ビットを"0"にクリアしても RDF、PER、FER、ORER の各フラグ、および SCi 受信データレジスタ (SCiRDR) の内容は保持されますので注意してください。

図 23.12 に SCIFi の初期化フローチャートの例を示します。

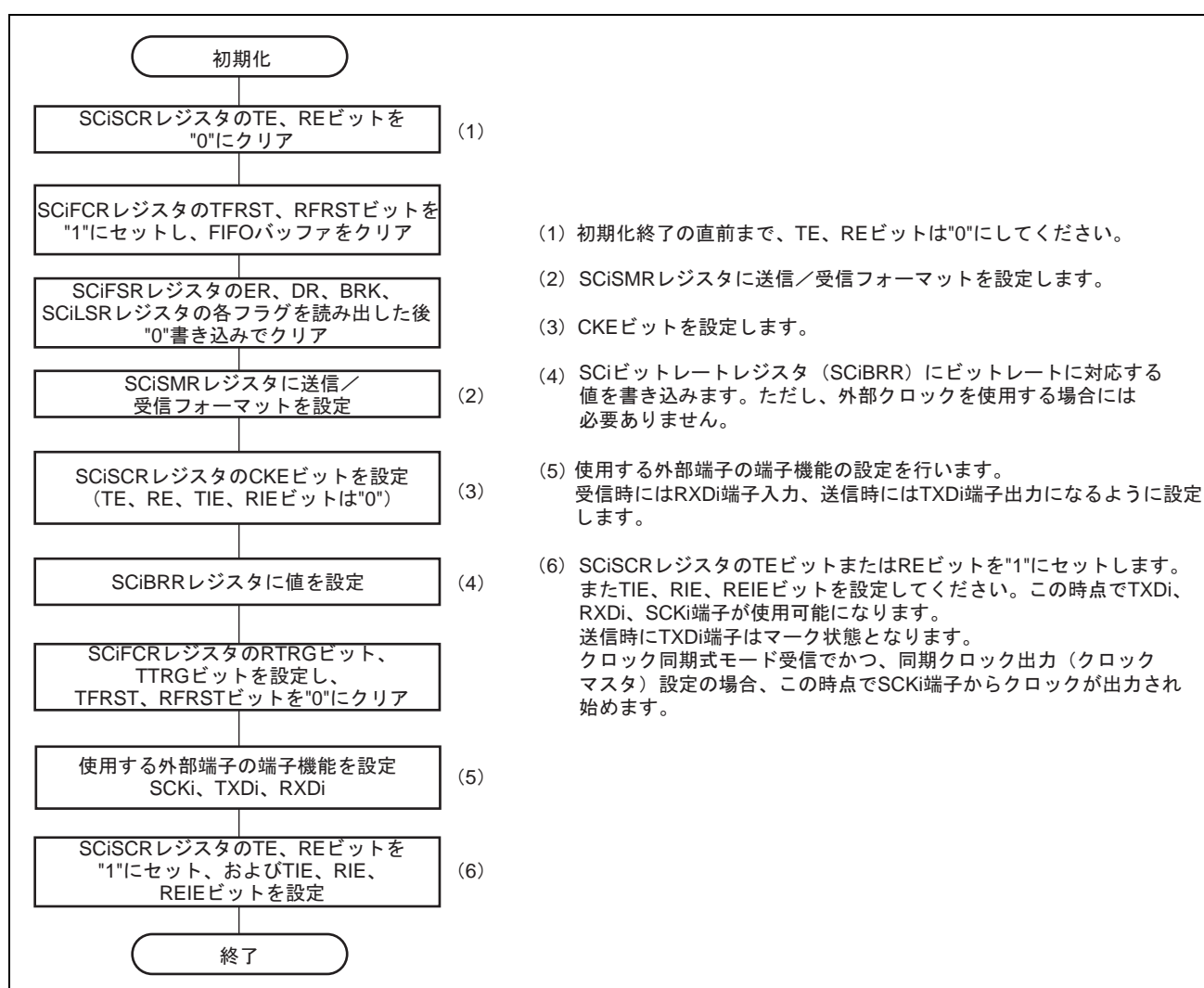


図 23.12 SCIFi 初期化フローチャートの例

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### • シリアルデータ送信 (クロック同期式モード)

図 23.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFi を送信動作可能状態に設定した後、以下の手順で行ってください。

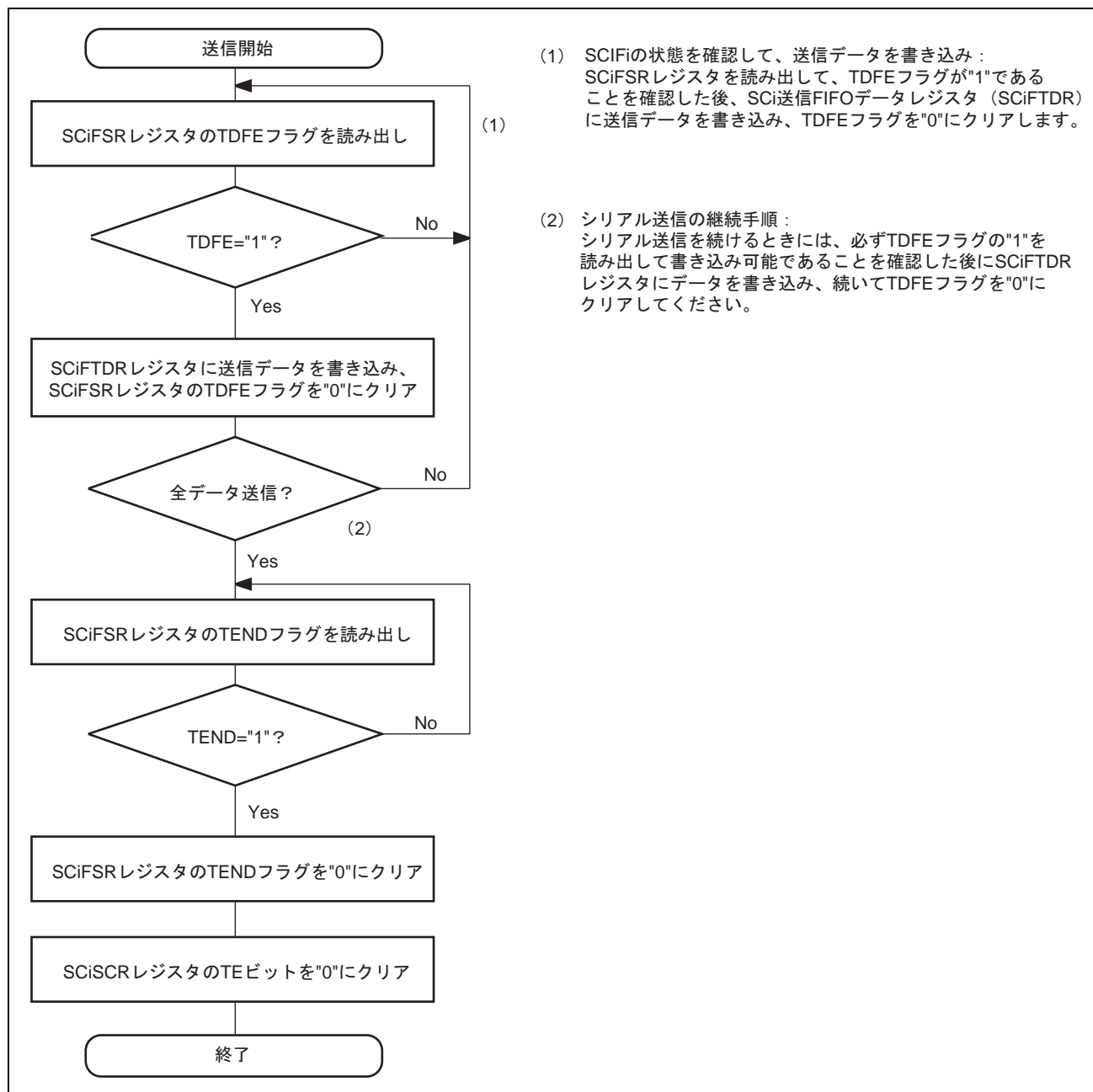


図 23.13 シリアル送信のフローチャートの例

SCIF<sub>i</sub> はシリアル送信時に以下のように動作します。

1. SCIF<sub>i</sub>は、SCi送信FIFOデータレジスタ (SCiFTDR) にデータが書き込まれると、SCiFTDRレジスタからSCi送信シフトレジスタ (SCiTSR) にデータを転送します。送信データをSCiFTDRレジスタに書き込む前に、SCiシリアルステータスレジスタ (SCiFSR) のTDFEフラグが"1"にセットされていることを確認してください。書き込み可能な送信データバイト数は (16-送信トリガ設定数) です。
2. SCiFTDRレジスタからSCiTSRレジスタへデータが転送され、送信を開始すると、SCiFTDRレジスタに送信データがなくなるまで連続して送信動作を続けます。SCiFTDRレジスタの送信データバイト数がSCiFIFOコントロールレジスタ (SCiFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、SCiシリアルコントロールレジスタ (SCiSCR) のTIEビットが"1"にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。  
クロック出力モードに設定したときには、SCIF<sub>i</sub>は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~MSB (ビット7) の順にTXD<sub>i</sub>端子から送り出されます。
3. SCIF<sub>i</sub>は、最終ビットを送出するタイミングでSCiFTDRレジスタ送信データをチェックします。送信データがあるとSCiFTDRレジスタからSCiTSRレジスタにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCiFSRレジスタのTENDフラグを"1"にセットし、最終ビットを送り出した後、TXD<sub>i</sub>端子は状態を保持します。
4. シリアル送信終了後は、SCK<sub>i</sub>端子は"H"レベル固定になります。

図 23.14 に SCIF<sub>i</sub> の送信時の動作例を示します。

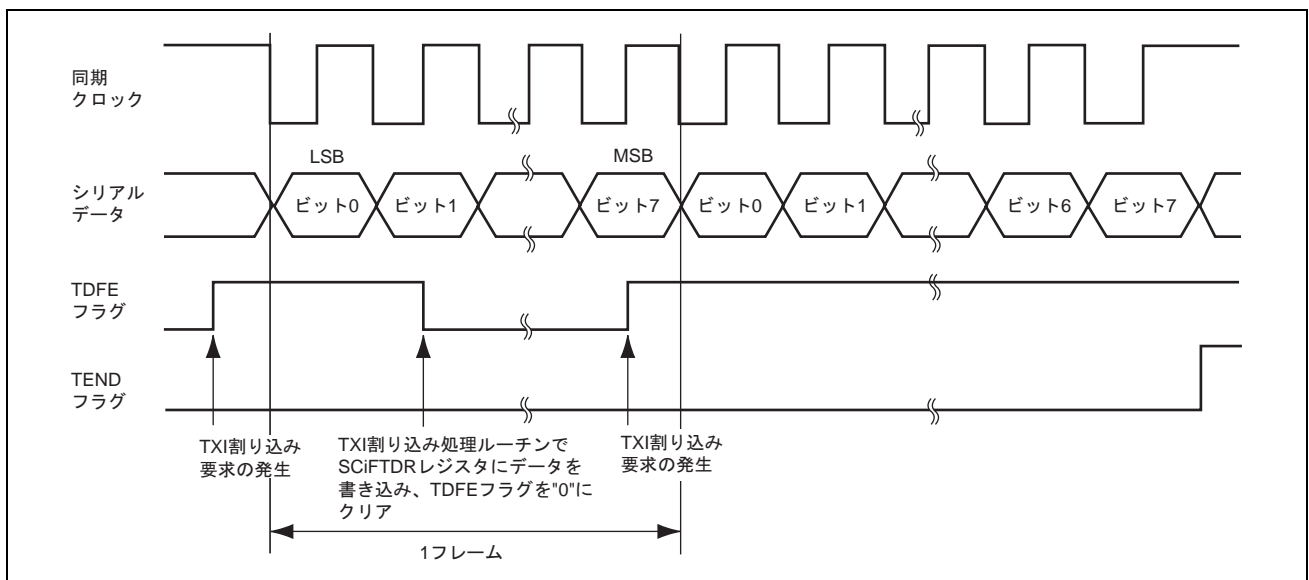


図 23.14 SCIF<sub>i</sub> の送信時の動作例



## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### • シリアルデータ受信 (クロック同期式モード)

図 23.15、図 23.16 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCiFi を受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCiFi の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが"0"にクリアされていることを確認してください。

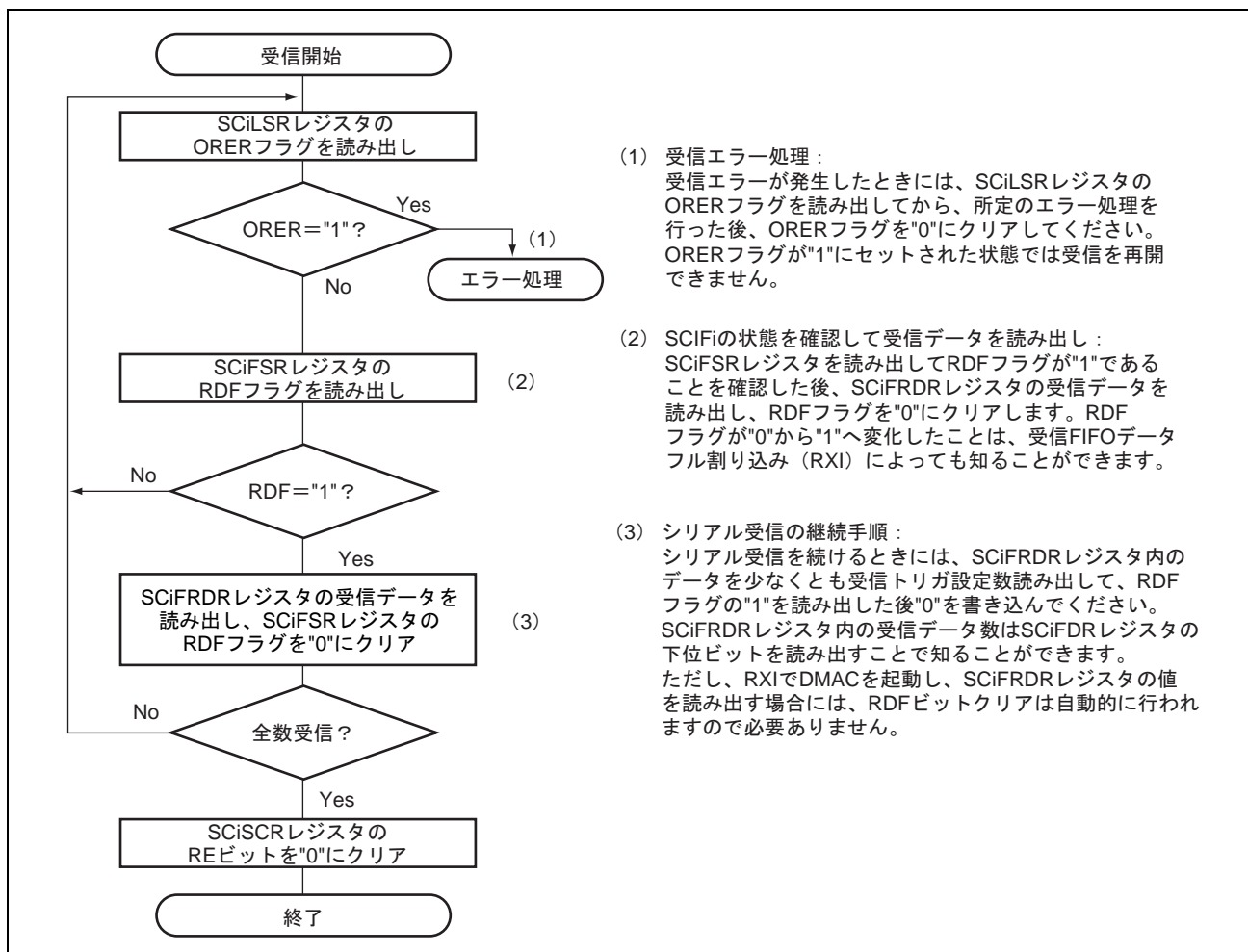


図 23.15 シリアル受信のフローチャートの例 (1)

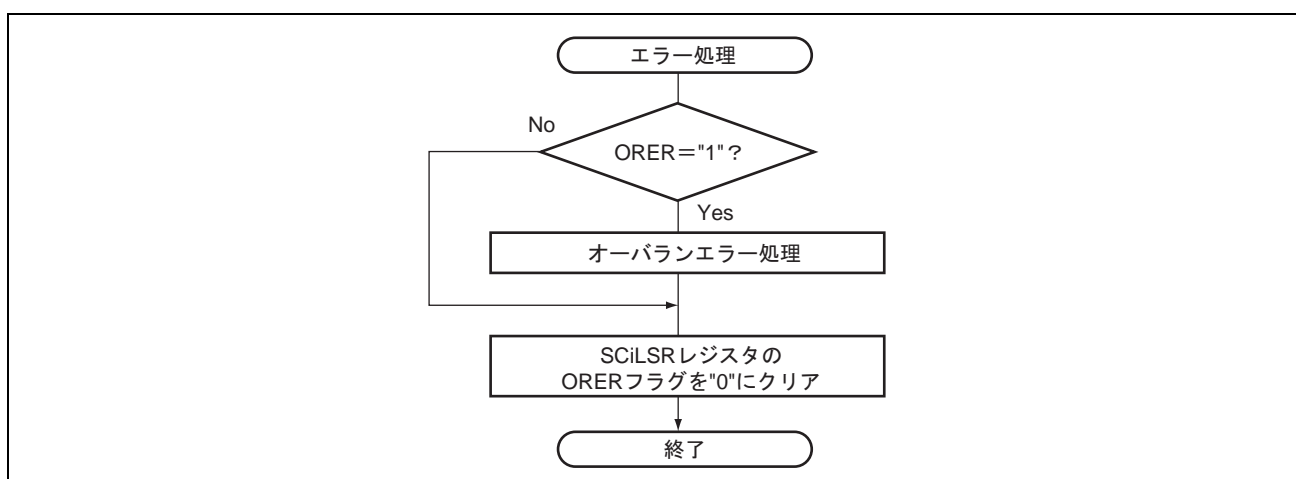


図 23.16 シリアル受信のフローチャートの例 (2)

SCIFi はシリアル受信時に以下のように動作します。

1. SCIFiは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをSCi受信シフトレジスタ (SCiRSR) のLSBからMSBの順に格納します。受信後、SCIFiは受信データをSCiRSRレジスタからSCiFRDRレジスタに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが"1"にセットされ、SCiFRDRレジスタに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが"1"になったとき、SCiシリアルコントロールレジスタ (SCiSCR) のRIEビットが"1"にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ORERフラグが"1"になったとき、SCiSCRレジスタのRIEビットまたはREIEビットが"1"にセットされているとブレイク割り込み (BRI) 要求が発生します。

図 23.17 に SCIFi の受信時の動作例を示します。

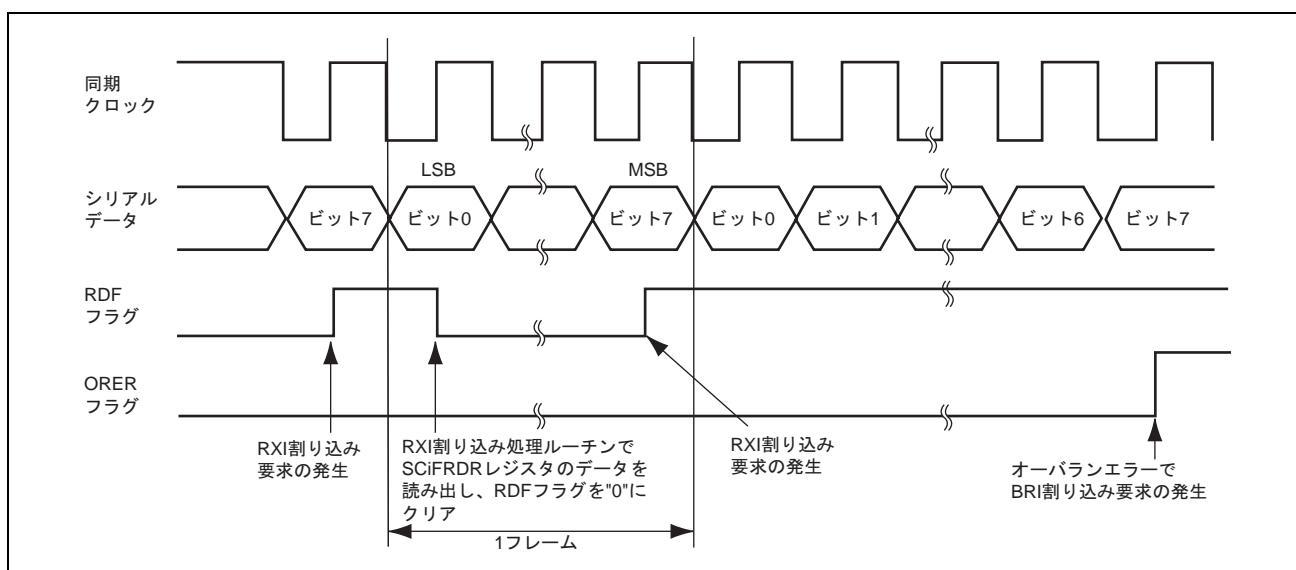


図 23.17 SCIFi の受信時の動作例

## 23. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ● シリアルデータ送受信同時動作 (クロック同期式モード)

図 23.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFi を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

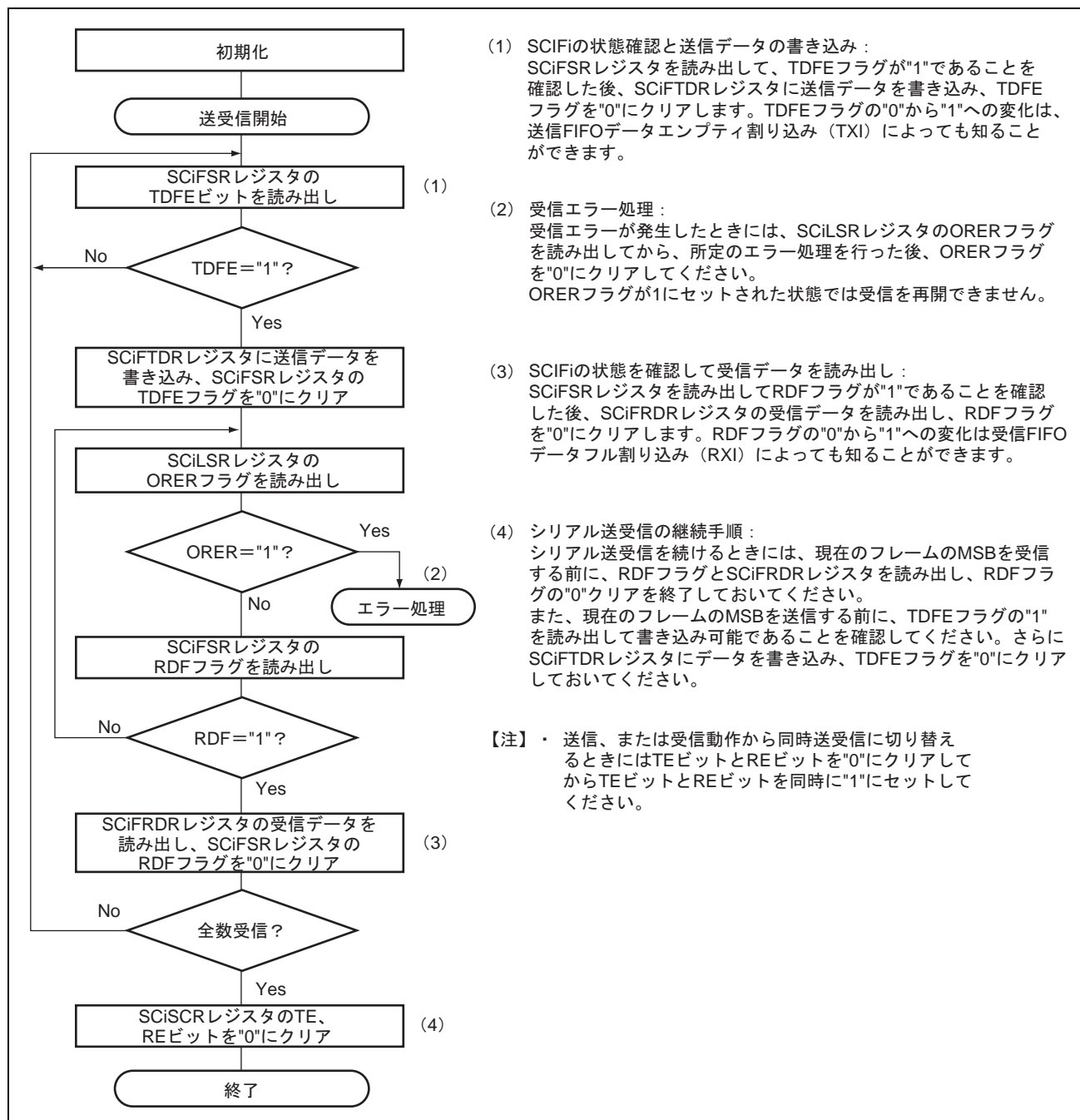


図 23.18 シリアルデータ送受信フローチャートの例

### 23.5 SCIFi の割り込み要因と DMAC

SCIFi は、送信 FIFO データエンpty割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 23.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCiSCR レジスタの TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCi シリアルステータスレジスタ (SCiFSR) の TDFE フラグが"1"にセットされると、TXI 割り込み要求と送信 FIFO データエンpty DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが"1"にセットされると、送信 FIFO データエンpty DMA 転送要求のみが発生します。送信 FIFO データエンpty DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCiFSR レジスタの RDF フラグまたは DR フラグが"1"にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが"1"にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが"1"にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCiFSR レジスタの BRK フラグまたは SCiLSR レジスタの ORER フラグが"1"にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIFi の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCiSCR レジスタの RIE ビットを"0"に設定し、REIE ビットを"1"に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 23.12 SCIFi 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
BRI	ブレーク (BRK) またはオーバラン (ORER) による割り込み	不可	
TXI	送信 FIFO データエンpty (TDFE) による割り込み	可	

### 23.6 使用上の注意事項

SCIFi を使用する際は、以下のことに注意してください。

#### 23.6.1 SCiFTDR レジスタへの書き込みと TDFE フラグ

SCi シリアルステータスレジスタ (SCiFSR) の TDFE フラグは、SCi 送信 FIFO データレジスタ (SCiFTDR) に書き込まれた送信データバイト数が SCiFIFO コントロールレジスタ (SCiFCR) の TTRG ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCiFTDR レジスタの空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCiFTDR レジスタに書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは"1"を読み出した後"0"にクリアしても再び"1"にセットされます。したがって、TDFE フラグのクリアは、SCiFTDR レジスタに書き込んだデータバイト数が送信トリガ数を上回るときに"1"を読み出した後に実行してください。SCiFTDR レジスタの送信データバイト数は SCiFIFO データカウントレジスタ (SCiFDR) の上位 8 ビットから知ることができます。

#### 23.6.2 SCiFRDR レジスタの読み出しと RDF フラグ

SCi シリアルステータスレジスタ (SCiFSR) の RDF フラグは、SCi 受信 FIFO データレジスタ (SCiFRDR) の受信データバイト数が SCiFIFO コントロールレジスタ (SCiFCR) の RTRG ビットで設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCiFRDR レジスタから読み出すことができ、効率のよい連続受信が可能です。

ただし、SCiFRDR レジスタのデータバイト数が受信トリガ数を上回る場合、RDF フラグは、"1"を読み出した後"0"にクリアしても再び"1"にセットされます。したがって、RDF フラグのクリアは、SCi 受信 FIFO データレジスタ (SCiFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの"1"を読み出し"0"にクリアしてください。SCiFRDR レジスタの受信データバイト数は、SCiFIFO データカウントレジスタ (SCiFDR) の下位 8 ビットから知ることができます。

#### 23.6.3 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RXDi 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RXDi 端子からの入力が入力がすべて"0"になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIFi は、ブレークを検出すると SCiFRDR レジスタへの受信データの転送は停止しますが、受信動作は続けます。

#### 23.6.4 ブレークの送り出し

TXDi 端子の入出力条件とレベルは、SCi シリアルポートレジスタ (SCiSPTR) の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを"1"にセット (送信可能) するまでは、TXDi 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを"1" ("H"レベル出力) に設定しておく必要があります。

シリアル送信時にブレイク信号を送り出すためには、SPB2DT ビットを"0"にクリア ("L"レベルを指定) した後、TE ビットを"0"にクリア (送信停止) します。TE ビットを"0"にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXDi 端子から"L"レベルが出力されます。

### 23.6.5 調歩同期式モードの受信データサンプリングタイミング

SCIFi はビットレートの 16 または 8 倍の周波数の基本クロックで動作しています。受信時に SCIFi は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 または 4 クロック目の立ち上がりエッジで内部に取り込みます。図 23.19 に調歩同期式モードの受信データサンプリングタイミングを示します。

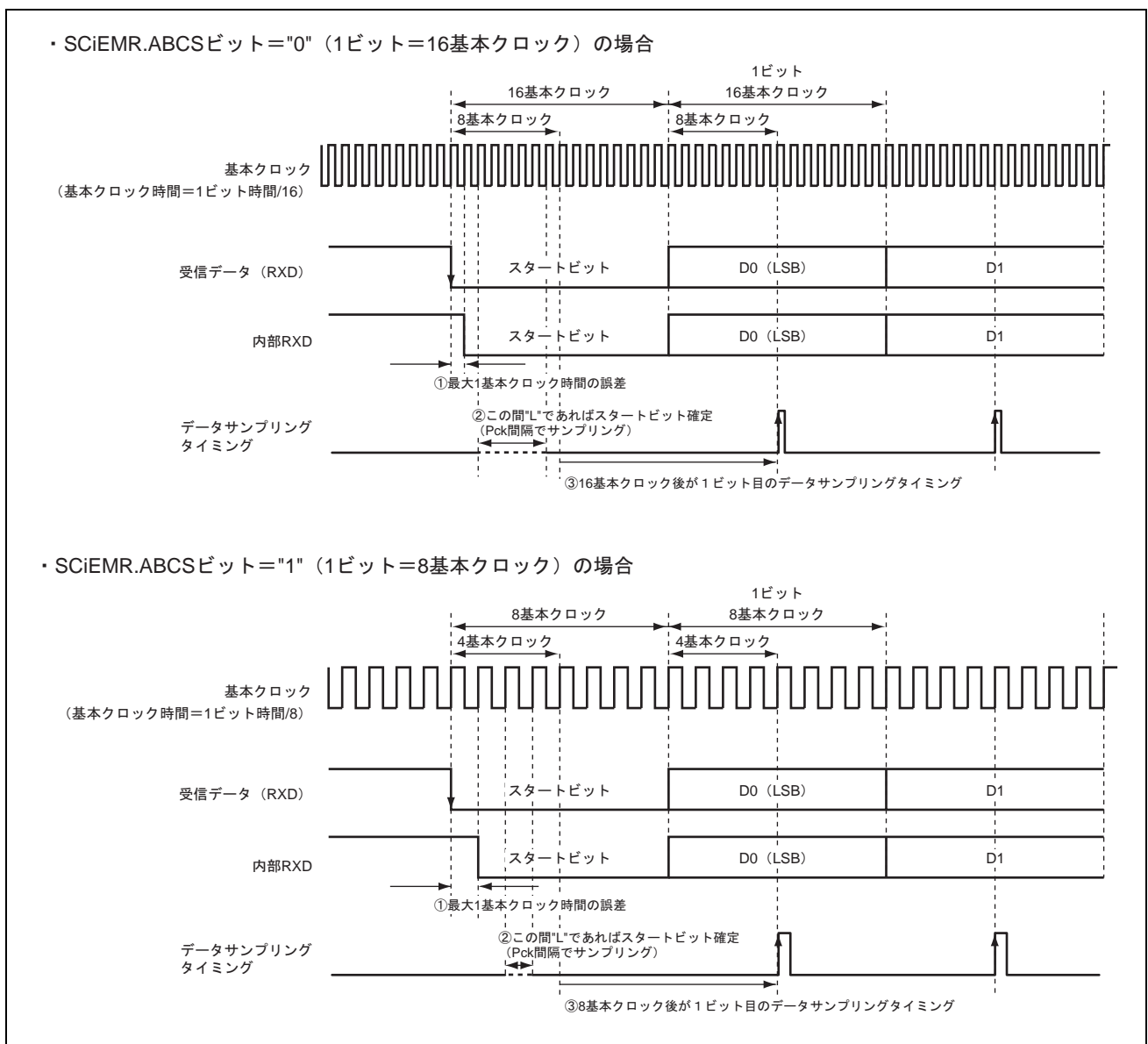


図 23.19 調歩同期式モードの受信データサンプリングタイミング

レイアウトの都合上、このページは白紙です。

---

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

---

本MCUは、独立した3チャンネル(RSPI0~RSPI2)のルネサスシリアルペリフェラルインタフェース(RSPI)を備えています。RSPIは、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。なお、本章では、RSPI $i$ の $i$ と端子名および信号名で使用している $i$ は0~2と規定しています(端子の仕様については表24.1を参照してください)。

### 24.1 概要

- RSPI転送機能

MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能。

マスタ/スレーブモードでのシリアル通信が可能。

モードフォルトエラー検出が可能。

オーバランエラー検出が可能。

シリアル転送クロックの極性を変更可能。

シリアル転送クロックの位相を変更可能。

- データフォーマット

MSBファースト/LSBファーストの切り替え可能。

転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能。

送信/受信バッファは128ビット。

一度の送受信で最大4フレームを転送(1フレームは最大32ビット)。

- バッファ構成

送信/受信バッファ構成はダブルバッファ。

- SSL制御機能

4本のSSL信号(SSL00、SSL01、SSL10、SSL20)あり。

シングルマスタ設定時には、SSL00、SSL01、SSL10、SSL20信号を出力。

マルチマスタ設定時には、SSL $i$ 0信号は入力、SSL01信号は出力またはHi-Z。

スレーブ設定時には、SSL $i$ 0信号は入力、SSL01信号はHi-Z。

SSL出力のアサートからRSPCK動作までの遅延(RSPCK遅延)を設定可能。

設定範囲：1~8 RSPCK 設定単位：1 RSPCK

RSPCK停止からSSL出力のネゲートまでの遅延(SSLネゲート遅延)を設定可能。

設定範囲：1~8 RSPCK 設定単位：1 RSPCK



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

---

次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

SSL極性変更機能。

- マスタ転送時の制御方式

最大4コマンドで構成された転送をシーケンシャルにループ実行可能。

各コマンドに設定可能な項目は以下のとおり。

SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。

CPUまたはDMACによる送信バッファへのライトで転送を起動可能。

CPUによるSPTEFビットクリアで転送を起動可能。

SSLネゲート時のMOSI信号値を設定可能。

- 割り込み要因

マスカブルな割り込み要因あり。

RSPI受信割り込み（受信バッファフル）。

RSPI送信割り込み（送信バッファエンプティ）。

RSPIエラー割り込み（モードフォルト、オーバラン）。

- その他

ループバックモードあり。

CMOS/オープンドレイン出力切り替え機能あり。

RSPIディスエーブル（初期化）機能あり。

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

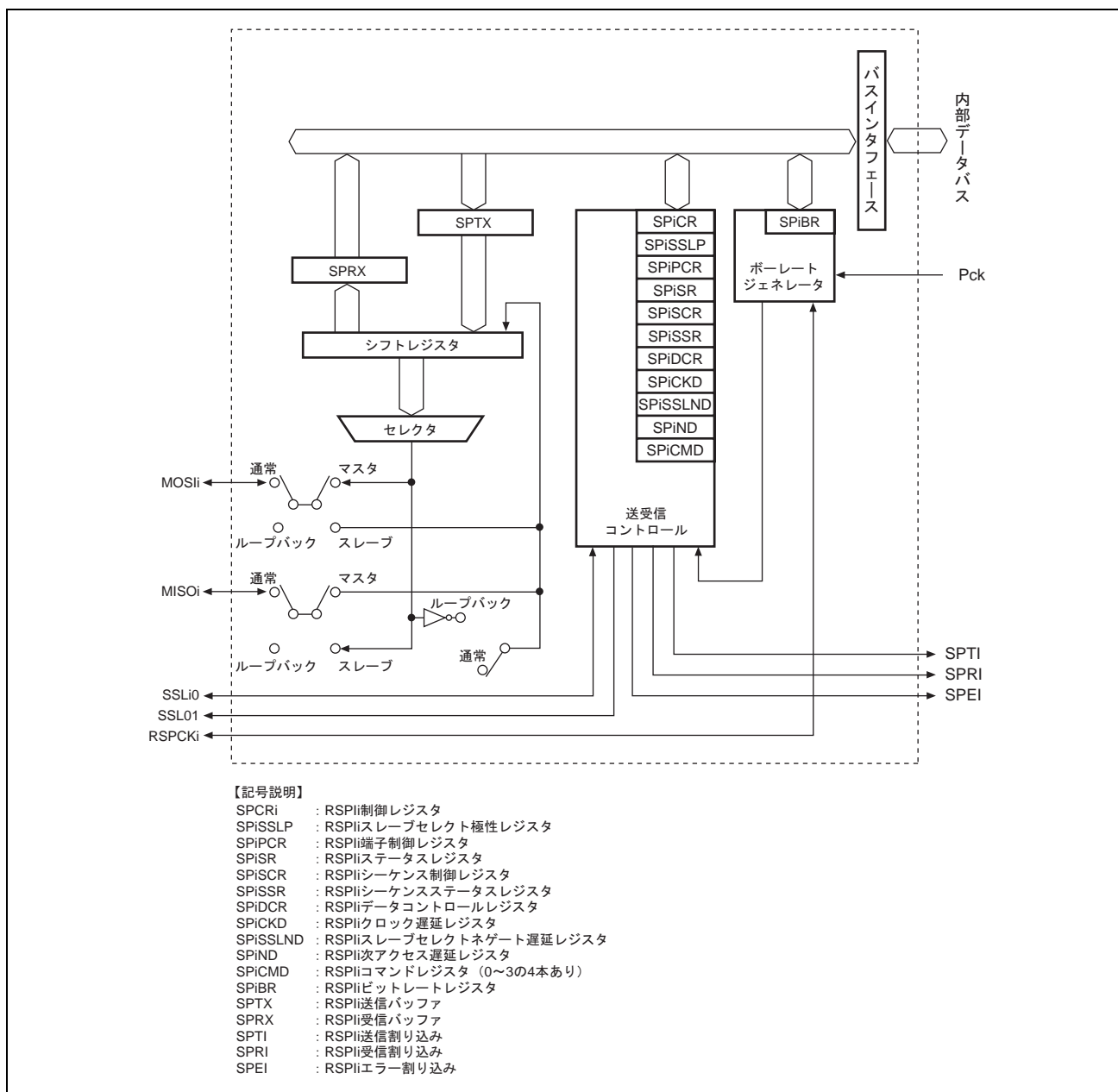


図 24.1 RSPIi のブロック図

## 24.2 入出力端子

表 24.1 に RSPI の端子構成を示します。SSLi0 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に、RSPIi が自動的に切り替えます。RSPCKi、MOSIi、MISOi 端子の入出力方向は、マスタ/スレーブ設定と SSLi0 端子の入力レベルに応じて、RSPIi が自動的に切り替えます（「24.4.2 RSPIi 端子の制御」を参照）。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 24.1 端子構成

チャンネル	端子名	入出力	機能
0	RSPCK0	入出力	RSPI0 のクロック入出力
	MOSI0	入出力	RSPI0 のマスタ送出データ
	MISO0	入出力	RSPI0 のスレーブ送出データ
	SSL00	入出力	RSPI0 のスレーブセレクト
	SSL01	出力	RSPI0 のスレーブセレクト
1	RSPCK1	入出力	RSPI1 のクロック入出力
	MOSI1	入出力	RSPI1 のマスタ送出データ
	MISO1	入出力	RSPI1 のスレーブ送出データ
	SSL10	入出力	RSPI1 のスレーブセレクト
2	RSPCK2	入出力	RSPI2 のクロック入出力
	MOSI2	入出力	RSPI2 のマスタ送出データ
	MISO2	入出力	RSPI2 のスレーブ送出データ
	SSL20	入出力	RSPI2 のスレーブセレクト

### 24.3 レジスタの説明

表 24.2 に RSPI のレジスタ構成を示します。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。

表 24.2 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
RSPI0 制御レジスタ	SP0CR	H'00	H'FFFF B000	8、16	24-7
RSPI0 スレーブセレクト極性レジスタ	SP0SSLP	H'00	H'FFFF B001	8、16	24-9
RSPI0 端子制御レジスタ	SP0PCR	H'00	H'FFFF B002	8、16	24-10
RSPI0 ステータスレジスタ	SP0SR	H'22	H'FFFF B003	8、16	24-12
RSPI0 データレジスタ	SP0DR	H'0000 0000	H'FFFF B004	16、32	24-15
RSPI0 シーケンス制御レジスタ	SP0SCR	H'00	H'FFFF B008	8、16	24-16
RSPI0 シーケンスステータスレジスタ	SP0SSR	H'00	H'FFFF B009	8、16	24-17
RSPI0 ビットレートレジスタ	SP0BR	H'FF	H'FFFF B00A	8、16	24-18
RSPI0 データコントロールレジスタ	SP0DCR	H'00	H'FFFF B00B	8、16	24-19
RSPI0 クロック遅延レジスタ	SP0CKD	H'00	H'FFFF B00C	8、16	24-22
RSPI0 スレーブセレクトネゲート遅延レジスタ	SP0SSLND	H'00	H'FFFF B00D	8、16	24-23
RSPI0 次アクセス遅延レジスタ	SP0ND	H'00	H'FFFF B00E	8	24-24
RSPI0 コマンドレジスタ 0	SP0CMD0	H'070D	H'FFFF B010	16	24-25
RSPI0 コマンドレジスタ 1	SP0CMD1	H'070D	H'FFFF B012	16	24-25
RSPI0 コマンドレジスタ 2	SP0CMD2	H'070D	H'FFFF B014	16	24-25
RSPI0 コマンドレジスタ 3	SP0CMD3	H'070D	H'FFFF B016	16	24-25
RSPI1 制御レジスタ	SP1CR	H'00	H'FFFF B100	8、16	24-7
RSPI1 スレーブセレクト極性レジスタ	SP1SSLP	H'00	H'FFFF B101	8、16	24-9
RSPI1 端子制御レジスタ	SP1PCR	H'00	H'FFFF B102	8、16	24-10
RSPI1 ステータスレジスタ	SP1SR	H'22	H'FFFF B103	8、16	24-12
RSPI1 データレジスタ	SP1DR	H'0000 0000	H'FFFF B104	16、32	24-15
RSPI1 シーケンス制御レジスタ	SP1SCR	H'00	H'FFFF B108	8、16	24-16
RSPI1 シーケンスステータスレジスタ	SP1SSR	H'00	H'FFFF B109	8、16	24-17
RSPI1 ビットレートレジスタ	SP1BR	H'FF	H'FFFF B10A	8、16	24-18
RSPI1 データコントロールレジスタ	SP1DCR	H'00	H'FFFF B10B	8、16	24-19
RSPI1 クロック遅延レジスタ	SP1CKD	H'00	H'FFFF B10C	8、16	24-22
RSPI1 スレーブセレクトネゲート遅延レジスタ	SP1SSLND	H'00	H'FFFF B10D	8、16	24-23
RSPI1 次アクセス遅延レジスタ	SP1ND	H'00	H'FFFF B10E	8	24-24
RSPI1 コマンドレジスタ 0	SP1CMD0	H'070D	H'FFFF B110	16	24-25
RSPI1 コマンドレジスタ 1	SP1CMD1	H'070D	H'FFFF B112	16	24-25
RSPI1 コマンドレジスタ 2	SP1CMD2	H'070D	H'FFFF B114	16	24-25

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
RSPI1 コマンドレジスタ 3	SP1CMD3	H'070D	H'FFFF B116	16	24-25
RSPI2 制御レジスタ	SP2CR	H'00	H'FFFF B200	8、16	24-7
RSPI2 スレーブセレクト極性レジスタ	SP2SSLP	H'00	H'FFFF B201	8、16	24-9
RSPI2 端子制御レジスタ	SP2PCR	H'00	H'FFFF B202	8、16	24-10
RSPI2 ステータスレジスタ	SP2SR	H'22	H'FFFF B203	8、16	24-12
RSPI2 データレジスタ	SP2DR	H'0000 0000	H'FFFF B204	16、32	24-15
RSPI2 シーケンス制御レジスタ	SP2SCR	H'00	H'FFFF B208	8、16	24-16
RSPI2 シーケンスステータスレジスタ	SP2SSR	H'00	H'FFFF B209	8、16	24-17
RSPI2 ビットレートレジスタ	SP2BR	H'FF	H'FFFF B20A	8、16	24-18
RSPI2 データコントロールレジスタ	SP2DCR	H'00	H'FFFF B20B	8、16	24-19
RSPI2 クロック遅延レジスタ	SP2CKD	H'00	H'FFFF B20C	8、16	24-22
RSPI2 スレーブセレクトネゲート遅延レジスタ	SP2SSLND	H'00	H'FFFF B20D	8、16	24-23
RSPI2 次アクセス遅延レジスタ	SP2ND	H'00	H'FFFF B20E	8	24-24
RSPI2 コマンドレジスタ 0	SP2CMD0	H'070D	H'FFFF B210	16	24-25
RSPI2 コマンドレジスタ 1	SP2CMD1	H'070D	H'FFFF B212	16	24-25
RSPI2 コマンドレジスタ 2	SP2CMD2	H'070D	H'FFFF B214	16	24-25
RSPI2 コマンドレジスタ 3	SP2CMD3	H'070D	H'FFFF B216	16	24-25

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 24.3.1 RSPIi 制御レジスタ (SPiCR)

SPiCR レジスタは、RSPIi の動作モードを設定するためのレジスタです。SPE ビットが"1"で RSPI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合、動作は保証されません。

RSPI0制御レジスタ (SP0CR)  
RSPI1制御レジスタ (SP1CR)  
RSPI2制御レジスタ (SP2CR)

<P4領域アドレス : H'FFFF B000番地>  
<P4領域アドレス : H'FFFF B100番地>  
<P4領域アドレス : H'FFFF B200番地>

ビット :	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MOD FEN	—	SPMS
リセット後の値 :	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	SPRIE	0	R	W	RSPI 受信割り込みイネーブルビット RSPIi がシリアル転送完了後の受信バッファ書き込みを検出し、RSPIi ステータスレジスタ (SPISR) の SPRF ビットを"1"にした場合の RSPIi 受信割り込み要求の発生を許可/禁止するためのビットです。 0 : RSPIi 受信割り込み要求の発生を禁止する 1 : RSPIi 受信割り込み要求の発生を許可する
6	SPE	0	R	W	RSPI 機能イネーブルビット 本ビットを"1"にすることにより、RSPI 機能が有効になります。RSPIi ステータスレジスタ (SPISR) の MODF ビットが"1"の場合には、SPE ビットを"1"に設定することはできません (「24.4.7 エラー検出」を参照)。SPE ビットを"0"にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます (「24.4.8 RSPI の初期化」を参照)。 0 : RSPIi 機能を無効化する 1 : RSPIi 機能を有効化する
5	SPTIE	0	R	W	RSPI 送信割り込みイネーブルビット RSPIi が送信バッファエンプティを検出し、RSPIi ステータスレジスタ (SPISR) の SPTEF ビットを"1"にした場合の RSPIi 送信割り込み要求の発生を許可/禁止するためのビットです。 RSPI ディスエーブル (SPE ビットが"0") の状態では、SPTEF ビットが"1"になります。このため、RSPI ディスエーブル状態で SPTIE を"1"に設定すると、RSPIi 送信割り込み要求が発生することに注意してください。 0 : RSPIi 送信割り込み要求の発生を禁止する 1 : RSPIi 送信割り込み要求の発生を許可する

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
4	SPEIE	0	R	W	<p>RSPI エラー割り込みイネーブルビット</p> <p>RSPLi がモードフォルトエラーを検出して RSPLi ステータスレジスタ (SPiSR) の MODF ビットを"1"にした場合、または RSPLi がオーバランエラーを検出して SPiSR レジスタの OVRF ビットを"1"にした場合の RSPLi エラー割り込み要求の発生を許可/禁止するためのビットです (「24.4.7 エラー検出」を参照)。</p> <p>0 : RSPLi エラー割り込み要求の発生を禁止する 1 : RSPLi エラー割り込み要求の発生を許可する</p>
3	MSTR	0	R	W	<p>RSPI マスタ/スレーブモード選択ビット</p> <p>RSPLi のマスタ/スレーブモードを選択するためのビットです。また、RSPLi は MSTR ビットの設定に従って、RSPCKi、MOSLi、MISOi、SSLi0、SSLi1 端子の方向を決定します。</p> <p>0 : スレーブモード 1 : マスタモード</p>
2	MODFEN	0	R	W	<p>モードフォルトエラー検出イネーブルビット</p> <p>モードフォルトエラーの検出を許可/禁止するためのビットです (「24.4.7 エラー検出」を参照)。また、RSPLi は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLi0 端子の入出力方向を決定します (「24.4.2 RSPLi 端子の制御」を参照)。</p> <p>0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する</p>
1	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
0	SPMS	0	R	W	<p>RSPI モード選択ビット</p> <p>SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。クロック同期式動作を行う場合は SSLi0、SSLi1 端子を使用せず、RSPCKi 端子、MOSLi 端子、MISOi 端子の 3 端子を用いて通信を行います。また、クロック同期式動作を行う場合は RSPLi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の CPHA ビットを"1"に設定してください。CPHA ビットを"0"に設定した場合の動作は保証されません。</p> <p>0 : SPI 動作 (4 線式) 1 : クロック同期式動作 (3 線式)</p>

【注】・RSPLi の動作モードの選択は、MODFEN ビット、MSTR ビット、SPMS ビットとの組み合わせで行います。詳細は、「24.4.1 RSPLi 動作の概要」を参照してください。

## 24.3.2 RSPIi スレーブセレクト極性レジスタ (SPiSSLP)

SPiSSLP レジスタは、RSPIi の SSLi0、SSLi1 信号の極性を設定するためのレジスタです。RSPIi 制御レジスタ (SPiCR) の SPE ビットが"1"で RSPI 機能がイネーブルである状態において、SPiSSLP レジスタを書き換えた場合、動作は保証されません。

RSPI0スレーブセレクト極性レジスタ (SP0SSLP)  
RSPI1スレーブセレクト極性レジスタ (SP1SSLP)  
RSPI2スレーブセレクト極性レジスタ (SP2SSLP)

<P4領域アドレス : H'FFFF B001番地>  
<P4領域アドレス : H'FFFF B101番地>  
<P4領域アドレス : H'FFFF B201番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	SSL1P	SSL0P

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	SSL1P*1	0	R	W	SSLi1 信号極性設定ビット SSLi1 信号の極性を設定するためのビットです。SSLi1 信号のアクティブ極性を示します。 0 : SSLi1 信号は"L"アクティブ 1 : SSLi1 信号は"H"アクティブ
0	SSL0P	0	R	W	SSLi0 信号極性設定ビット SSLi0 信号の極性を設定するためのビットです。SSLi0 信号のアクティブ極性を示します。 0 : SSLi0 信号は"L"アクティブ 1 : SSLi0 信号は"H"アクティブ

【注】 \*1 i=1、2 のときは予約ビットです。読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### 24.3.3 RSPIi 端子制御レジスタ (SPiPCR)

SPiPCR レジスタは、RSPIi の端子モードを設定するために使用されるレジスタです。SPiPCR レジスタの SPE ビットが"1"で RSPI 機能がイネーブルである状態において、SPiPCR レジスタを書き換えた場合、動作は保証されません。

RSPI0端子制御レジスタ (SP0PCR)  
RSPI1端子制御レジスタ (SP1PCR)  
RSPI2端子制御レジスタ (SP2PCR)

<P4領域アドレス : H'FFFF B002番地>  
<P4領域アドレス : H'FFFF B102番地>  
<P4領域アドレス : H'FFFF B202番地>

ビット :	7	6	5	4	3	2	1	0
	—	—	MOIFE	MOIFV	—	SPOM	—	SPLP
リセット後の値 :	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	MOIFE	0	R	W	MOSI アイドル値固定イネーブルビット マスタモードの RSPIi が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIi 出力値を固定するために使用するビットです。MOIFE ビットが"0"の場合には、RSPIi は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIi 端子に出力します。MOIFE ビットが"1"の場合には、RSPIi は MOIFV ビットに設定された固定値を MOSIi 端子に出力します。 0 : MOSIi 出力値は前回転送の最終データ 1 : MOSIi 出力値は MOIFV ビットの設定値
4	MOIFV	0	R	W	MOSI アイドル固定値ビット マスタモードで MOIFE ビットが"1"の場合には、RSPIi は MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIi 信号値を決定します。 0 : MOSIi アイドル固定値は"L"レベル 1 : MOSIi アイドル固定値は"H"レベル
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	SPOM	0	R	W	RSPI 出力端子モードビット RSPIi の出力端子を CMOS 出力/オープンドレイン出力に設定するためのビットです。 0 : CMOS 出力 1 : オープンドレイン出力
1	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット 後の値	R	W	説 明
0	SPLP	0	R	W	<p>RSPI ループバックビット</p> <p>SPLP ビットを"1"にすると、RSPIi は MISOi 端子とシフトレジスタ間、MOSIi 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。</p> <p>0：通常モード 1：ループバックモード</p>

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### 24.3.4 RSPIi ステータスレジスタ (SPiSR)

SPiSR レジスタは、RSPI の動作状態を示すフラグを格納したレジスタです。SPiSR レジスタへの書き込みは、一定条件下においてのみ有効です。

RSPI0ステータスレジスタ (SP0SR)  
 RSPI1ステータスレジスタ (SP1SR)  
 RSPI2ステータスレジスタ (SP2SR)

<P4領域アドレス : H'FFFF B003番地>  
 <P4領域アドレス : H'FFFF B103番地>  
 <P4領域アドレス : H'FFFF B203番地>

ビット :

7	6	5	4	3	2	1	0
SPRF	—	SPTEF	—	—	MODF	MIDLE	OVRF

リセット後の値 :

0 0 1 0 0 0 1 0

<リセット後の値 : H'22>

ビット	シンボル	リセット後の値	R	W	説明
7	SPRF	0	R	*1	<p>RSPI 受信バッファフルフラグ</p> <p>RSPIi データレジスタ (SPiDR) の受信バッファの状態を示すビットです。SPRF ビットが"0"の状態ではシリアル転送が終了すると、RSPIi はシフトレジスタから SPiDR レジスタに受信データを転送して、このビットを"1"にします。また、RSPIi は全二重同期式のシリアル通信を行いますので、送信データの最後尾ビットの送信時でもあります。SPRF ビットを"0"にクリアする条件は以下のとおりです。</p> <ul style="list-style-type: none"> <li>• SPRF ビットが"1"にされた状態の SPiSR レジスタを CPU が読み出した後、CPU が SPRF ビットに"0"を書き込む</li> <li>• CPU または DMAC が SPiDR レジスタから受信データを読み出す。</li> <li>• ハードウェアリセット</li> </ul> <p>SPRF ビットが"1"の状態ではシリアル転送が終了した場合には、RSPIi はシフトレジスタから SPiDR レジスタに受信データを転送しません。SPiSR レジスタの OVRF ビットが"1"の状態では、SPRF ビットを"0"から"1"に変化させることができません (「24.4.7 エラー検出」を参照)。</p> <p>0 : SPiDR レジスタに有効な受信データなし                      1 : SPiDR レジスタに有効な受信データあり</p>
6	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
5	SPTEF	1	R	*1	<p>RSPI 送信バッファエンプティフラグ</p> <p>RSPIi データレジスタ (SPiDR) の送信バッファの状態を示すビットです。RSPIi の初期化後、または送信バッファからシフトレジスタに送信データが転送された場合に、RSPIi が SPTEF ビットを"1"にします。SPTEF ビットを"0"にクリアする条件は以下のとおりです。SPTEF クリア状態で、かつシフトレジスタが空の場合、送信バッファからシフトレジスタへデータがコピーされます。</p> <ul style="list-style-type: none"> <li>• SPTEF ビットが"1"にされた状態の SPiSR レジスタを CPU が読み出した後、CPU が SPTEF ビットに"0"を書き込む</li> <li>• CPU または DMAC が SPiDR レジスタに送信データを書き込む</li> </ul> <p>CPU/DMAC による SPiDR レジスタに対する書き込みは、SPTEF ビットが"1"の場合にのみ有効です。SPTEF ビットが"0"の状態、CPU/DMAC が SPiDR レジスタの送信バッファを書き込んだ場合には、送信バッファのデータは更新されません。</p> <p>0 : 送信バッファにデータあり 1 : 送信バッファにデータなし</p>
4、3	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
2	MODF	0	R	*1	<p>モードフォルトエラーフラグ</p> <p>モードフォルトエラーの発生状況を示すビットです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットが"1"、MODFEN ビットが"1"で RSPI がマルチマスタモードの場合に、SSLi0 端子の入力レベルがアクティブレベルになると、RSPIi がモードフォルトエラー検出し MODF ビットを"1"にします。また、MSTR ビットが"0"で RSPIi がスレーブモードの場合に MODFEN ビットに"1"を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSLi0 端子がネゲートされると、RSPI がモードフォルトエラーを検出します。なお、SSLi0 信号のアクティブレベルは、RSPIi スレーブセレクト極性レジスタ (SPiSSLP) の SSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。</p> <ul style="list-style-type: none"> <li>• MODF ビットが"1"にされた状態の SPiSR レジスタを CPU が読み出した後、CPU が MODF ビットに"0"を書き込む</li> <li>• ハードウェアリセット</li> </ul> <p>0 : モードフォルトエラーなし 1 : モードフォルトエラー発生</p>

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
1	MIDLE	1	R	0	<p>RSPI アイドルフラグ</p> <p>MIDLE ビットは RSPIi の転送状況を示すビットです。</p> <p>マスターモード（シングル/マルチ）時における MIDLE ビットのセット条件は以下のとおりです。</p> <ul style="list-style-type: none"> <li>• SPiCR レジスタの SPE ビットが"0"（RSPIi 初期化）</li> </ul> <p>または、</p> <ul style="list-style-type: none"> <li>• SPiSR レジスタの SPTEF ビットが"1"（次転送データがセットされていない）</li> <li>• SPiSSR レジスタの SPCP ビットが"00"（シーケンス制御がループ先頭コマンドポインタに位置）</li> <li>• RSPIi 内部シーケンサがアイドル状態へ遷移（次アクセス遅延までが動作完了された状態）</li> </ul> <p>の条件すべて満たされた場合に MIDLE ビットはセットされます。上記条件を満たさない場合は、MIDLE ビットはクリアされます。</p> <p>スレーブモード時の MIDLE ビットのセット条件は以下のとおりです。</p> <ul style="list-style-type: none"> <li>• SPiCR レジスタの SPE ビットが"0"（RSPIi 初期化）</li> </ul> <p>SPE="1"にセットされると MIDLE ビットは"0"にクリアされます。</p> <p>0 : RSPIi 転送状態 1 : RSPIi アイドル状態</p>
0	OVRF	0	R	W	<p>オーバランエラーフラグ</p> <p>オーバランエラーの発生状況を示すビットです。SPRF ビットが"1"にされた状態でシリアル転送が終了した場合に、RSPIi はオーバランエラーを検出し、OVRF ビットを"1"にします。OVRF ビットのクリア条件は、以下のとおりです。</p> <ul style="list-style-type: none"> <li>• OVRF が"1"にされた状態の SPiSR レジスタを CPU が読み出した後、CPU が OVRF ビットに"0"を書き込む</li> <li>• ハードウェアリセット</li> </ul> <p>0 : オーバランエラーなし 1 : オーバランエラー発生</p>

【注】 \*1 フラグをクリアするため、"1"を読み出した後に"0"を書き込むことのみ可能です。

## 24.3.5 RSPIi データレジスタ (SPiDR)

SPiDR レジスタは、RSPIi 送受信のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPiDR レジスタにマッピングされています。

SPiDCR.SPLW ビットが"0"のとき、バッファは SPiDR レジスタのビット 31~ビット 16 に相当し、ビット 16 (LSB) から設定データ長分の範囲を転送データとして扱います。SPiDR レジスタへのリード/ライトはビット 31~ビット 16 にワードアクセスしてください。SPiDCR.SPLW ビットが"1"のとき、バッファは SPiDR レジスタのビット 31~ビット 0 に相当し、ビット 0 (LSB) から設定データ長分の範囲を転送データとして扱います。SPiDR レジスタへのリード/ライトはロングワードアクセスしてください。

SPLW ビットが"0"のとき、SPiDR レジスタは、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW ビットが"1"のとき、SPiDR レジスタは、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

SPiDR レジスタの使用するフレーム長は RSPIi データコントロールレジスタ (SPiDCR) のフレーム数設定ビット (SPFC) によって決定され、使用するビット長は RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の RSPI データ長設定ビット (SPB) によって決定されます。

CPU/DMAC が SPiDR レジスタへの書き込みを要求した場合には、RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"1"にされていれば、RSPIi が SPiDR レジスタの送信バッファにデータを書き込みます。SPTEF ビットが"0"の状態では、RSPIi は SPiDR レジスタの送信バッファを更新しません。

CPU/DMAC が SPiDR レジスタからの読み出しを要求した場合には、RSPIi データコントロールレジスタ (SPiDCR) の RSPI 受信/送信データ選択ビット (SPRDTD) が"0"であれば受信バッファを読み出し、"1"であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"0"の状態では、読み出した値がすべて"0"になります。

通常の使用方法では、SPRDTD ビットを"0"とし、SPiSR レジスタの SPRF ビットの"1"状態 (受信バッファに未リードのデータが格納された状態) で、CPU/DMAC による受信バッファ読み出しを実行します。SPiSR レジスタの SPRF ビットまたは OVRF ビットが"1"の状態では、RSPIi はシリアル転送終了時に SPiDR の受信バッファを更新しません。

RSPI0データレジスタ (SP0DR)  
RSPI1データレジスタ (SP1DR)  
RSPI2データレジスタ (SP2DR)

<P4領域アドレス : H'FFFF B004番地>  
<P4領域アドレス : H'FFFF B104番地>  
<P4領域アドレス : H'FFFF B204番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	SPD31~0	すべて 0	R	W	RSPIi 送受信のデータを格納するバッファ。

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### 24.3.6 RSPIi シーケンス制御レジスタ (SPiSCR)

SPiSCR レジスタは、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットと SPE ビットが "1" で、マスタモードの RSPI 機能がイネーブルである状態において、SPiSCR レジスタの SPSLN ビットを書き換える場合、RSPIi ステータスレジスタ (SPiSR) の MIDDLE ビットが "1" のときに書き換えてください。

RSPI0シーケンス制御レジスタ (SP0SCR)  
 RSPI1シーケンス制御レジスタ (SP1SCR)  
 RSPI2シーケンス制御レジスタ (SP2SCR)

<P4領域アドレス : H'FFFF B008番地>  
 <P4領域アドレス : H'FFFF B108番地>  
 <P4領域アドレス : H'FFFF B208番地>

ビット :     7   6   5   4   3   2   1   0  
 ┌───┬───┬───┬───┬───┬───┬───┬───┐  
 │ - │ - │ - │ - │ - │ - │ SPSLN │  
 └───┴───┴───┴───┴───┴───┴───┴───┘  
 リセット後の値 :   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明										
7~2	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。										
1, 0	SPSLN	00	R	W	<p>RSPI シーケンス長設定ビット</p> <p>マスタモードの RSPIi がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPIi は SPSLN ビットに設定されたシーケンス長に応じて、参照する RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) と参照順を変更します。SPSLN ビットの設定値とシーケンス長、RSPI が参照する SPiCMD0~SPiCMD3 レジスタの関係は以下のとおりです。なお、スレーブモードの RSPIi では、常に SPiCMD0 レジスタが参照されます。</p> <table border="0" style="margin-left: 40px;"> <tr> <td style="text-align: right;">シーケンス長</td> <td style="text-align: left;">参照する SPiCMD レジスタ (番号)</td> </tr> <tr> <td>00 :</td> <td>1           0→0→...</td> </tr> <tr> <td>01 :</td> <td>2           0→1→0→...</td> </tr> <tr> <td>10 :</td> <td>3           0→1→2→0→...</td> </tr> <tr> <td>11 :</td> <td>4           0→1→2→3→0→...</td> </tr> </table>	シーケンス長	参照する SPiCMD レジスタ (番号)	00 :	1           0→0→...	01 :	2           0→1→0→...	10 :	3           0→1→2→0→...	11 :	4           0→1→2→3→0→...
シーケンス長	参照する SPiCMD レジスタ (番号)														
00 :	1           0→0→...														
01 :	2           0→1→0→...														
10 :	3           0→1→2→0→...														
11 :	4           0→1→2→3→0→...														

## 24.3.7 RSPIi シーケンスステータスレジスタ (SPiSSR)

SPiSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPiSSR レジスタは読み出し専用レジスタです。

RSPI0シーケンスステータスレジスタ (SP0SSR)  
RSPI1シーケンスステータスレジスタ (SP1SSR)  
RSPI2シーケンスステータスレジスタ (SP2SSR)

<P4領域アドレス : H'FFFF B009番地>  
<P4領域アドレス : H'FFFF B109番地>  
<P4領域アドレス : H'FFFF B209番地>

ビット :

7	6	5	4	3	2	1	0
—	—	SPECM	—	—	—	SPCP	—

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
5、4	SPECM	00	R	N	RSPI エラーコマンドビット RSPIi のシーケンス制御で、エラー検出時にコマンドポインタ (SPCP) で指されていた RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) を示すビットです。RSPIi はエラー検出時にのみ SPECM ビットを更新します。 RSPIi ステータスレジスタ (SPiSR) の OVRF ビットと MODF ビットがともに"0"で、エラーが発生していない場合には、SPECM ビットの値には意味がありません。SPECM ビットの値と SPiCMD0~SPiCMD3 レジスタの対応は以下のとおりです。なお、RSPIi のエラー検出機能については、「24.4.7 エラー検出」を参照してください。また、RSPIi のシーケンス制御については、「24.4.9 (1) マスタモード動作」を参照してください。 00 : SPiCMD0 レジスタ 01 : SPiCMD1 レジスタ 10 : SPiCMD2 レジスタ 11 : SPiCMD3 レジスタ
3、2	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
1、0	SPCP	00	R	N	RSPI コマンドポインタビット RSPIi のシーケンス制御で、現在ポインタで指されている RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) を示すビットです。SPCP ビットの値と SPiCMD0~SPiCMD3 レジスタの対応は以下のとおりです。 なお、RSPI のシーケンス制御については、「24.4.9 (1) マスタモード動作」を参照してください。 00 : SPiCMD0 レジスタ 01 : SPiCMD1 レジスタ 10 : SPiCMD2 レジスタ 11 : SPiCMD3 レジスタ



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### 24.3.8 RSPIi ビットレートレジスタ (SPiBR)

SPiBR レジスタは、マスタモード時のビットレート設定に使用するレジスタです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットと SPE ビットが "1" で、マスタモードの RSPI 機能がイネーブルである状態において、SPiBR レジスタを書き換えた場合、動作は保証されません。

RSPI0ビットレートレジスタ (SP0BR)  
RSPI1ビットレートレジスタ (SP1BR)  
RSPI2ビットレートレジスタ (SP2BR)

<P4領域アドレス : H'FFFF B00A番地>  
<P4領域アドレス : H'FFFF B10A番地>  
<P4領域アドレス : H'FFFF B20A番地>

ビット :

7	6	5	4	3	2	1	0
SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0

リセット後の値 :

1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---

<リセット後の値 : H'FF>

ビット	シンボル	リセット後の値	R	W	説明
7~0	SPR7~0	すべて 1	R	W	マスタモード時のビットレートを設定。

RSPIi をスレーブモードで使用する場合には、SPiBR レジスタ、SPiCMD0~3 レジスタの BRDV ビットの設定に関係なく、入力クロックのビットレートに依存します (電気的特性を満足するビットレートとしてください)。

ビットレートは SPiBR レジスタの設定値と RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の BRDV ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPiBR レジスタの設定値 (0、1、2、……、255)、N は BRDV ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(\text{Pck})}{2 \times (n+1) \times 2^N}$$

表 24.3 に SPiBR レジスタ、BRDV ビットの設定値とビットレートの関係の例を示します。

表 24.3 SPiBR レジスタ、BRDV ビットの設定値とビットレート

SPiBR レジスタの設定値 (n)	BRDV ビットの設定値 (N)	分周比
1	0	4
2	0	6
3	0	8
4	0	10
5	0	12
5	1	24
5	2	48
5	3	96
255	3	4096

## 24.3.9 RSPIi データコントロールレジスタ (SPiDCR)

SPiDCR レジスタは、SPiDR レジスタに格納できるフレーム数、SPiDR レジスタの読み出し、SPiDR レジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の RSPI データ長設定ビット (SPB)、RSPIi シーケンス制御レジスタ (SPiSCR) のシーケンス長設定ビット (SPSLN)、RSPIi データコントロールレジスタ (SPiDCR) のフレーム数設定ビット (SPFC) の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

RSPIi 制御レジスタ (SPiCR) の SPE ビットが "1" で RSPI 機能がイネーブルである状態において、CPU が SPiDCR レジスタの SPFC ビットを書き換える場合、RSPIi ステータスレジスタ (SPiSR) の MIDLE ビットが "1" のときに書き換えてください。

RSPI0データコントロールレジスタ (SP0DCR)  
RSPI1データコントロールレジスタ (SP1DCR)  
RSPI2データコントロールレジスタ (SP2DCR)

<P4領域アドレス : H'FFFF B00B番地>  
<P4領域アドレス : H'FFFF B10B番地>  
<P4領域アドレス : H'FFFF B20B番地>

ビット :

7	6	5	4	3	2	1	0
—	—	SPLW	SP RDTD	—	—	SPFC	
0	0	0	0	0	0	0	0

リセット後の値 :

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
5	SPLW	0	R	W	RSPI ロングワードアクセス/ワードアクセス設定ビット RSPIi データレジスタ (SPiDR) へのアクセス幅を設定します。SPLW ビットが "0" のときはビット 31~ビット 16 にワードアクセス、SPLW ビットが "1" のときはロングワードアクセスで SPiDR レジスタにアクセスしてください。 また、SPLW ビットが "0" のとき、RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の RSPI データ長設定ビット (SPB) の設定は、8~16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。 0 : SPiDR レジスタへはワードアクセス 1 : SPiDR レジスタへはロングワードアクセス
4	SPRDTD	0	R	W	RSPI 受信/送信データ選択ビット RSPIi データレジスタ (SPiDR) の読み出す値を受信バッファとするか、送信バッファとするか選択します。 送信バッファを読み出した場合、SPiDR レジスタへ直前に書き込んだ値が読み出されます。送信バッファの読み出しは、RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが "1" の状態であるときに行ってください。 0 : SPiDR レジスタは受信バッファを読み出す 1 : SPiDR レジスタは送信バッファを読み出す (ただし、SPTEF ビットが "1" のとき)

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

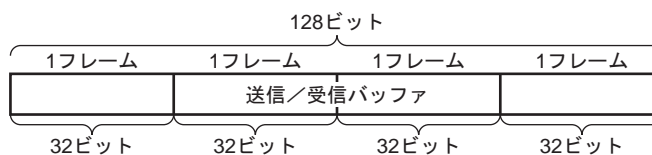
ビット	シンボル	リセット後の値	R	W	説明
3、2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1、0	SPFC	00	R	W	<p>フレーム数設定ビット</p> <p>SPiDR レジスタに格納できるフレーム数を設定するビットです。RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の RSPI データ長設定ビット (SPB)、RSPIi シーケンス制御レジスタ (SPiSCR) の RSPI シーケンス長設定ビット (SPSLN)、RSPIi データコントロールレジスタ (SPiDCR) のフレーム数設定ビット (SPFC) の設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC ビットは、RSPIi ステータスレジスタ (SPiSR) の RSPI 受信バッファフルフラグ (SPRF) をセットする受信データ数の設定を行います。表 24.4 および図 24.2 に、SPiDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。</p> <p>00 : 1 01 : 2 10 : 3 11 : 4</p>

表 24.4 各ビットによるフレームの設定

設定	SPB ビット	SPSLN ビット	SPFC ビット	転送するフレーム数	SPRF ビットを"1"にセット、SPTEF ビットを"0"にクリアするフレーム数
1-1	N	00	00	1	1
1-2	N	00	01	2	2
1-3	N	00	10	3	3
1-4	N	00	11	4	4
2-1	N、M	01	01	2	2
2-2	N、M	01	11	4	4
3	N、M、O	10	10	3	3
4	N、M、O、P	11	11	4	4

【記号説明】 N、M、O、P : SPB ビットで設定できるデータ長

- フレームの構成



- 送受信設定の組み合わせ例

1回の起動で表24.4の1-1~4の設定時に以下のようにデータが送受信できます。

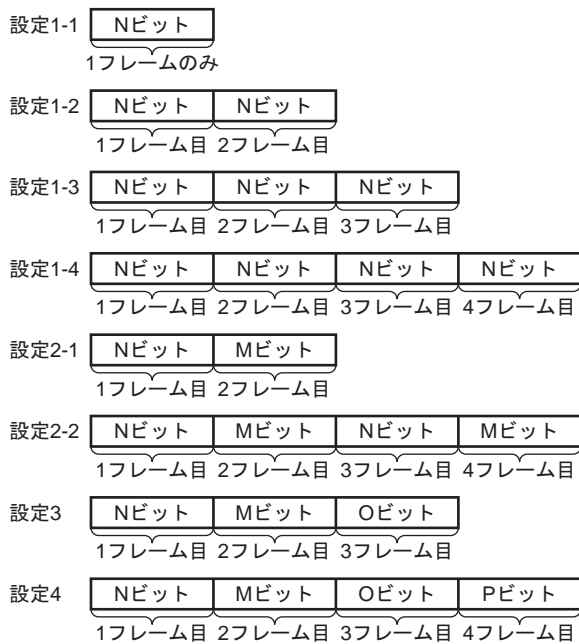


図 24.2 フレームの構成と送受信設定の組み合わせ例

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

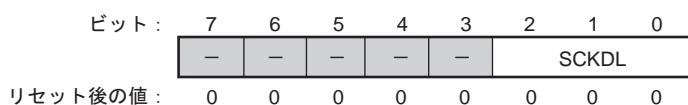
### 24.3.10 RSPIi クロック遅延レジスタ (SPiCKD)

SPiCKD レジスタは、RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の SCKDEN ビットが"1"の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットと SPE ビットが"1"で、マスタモードの RSPIi がイネーブルである状態において、SPiCKD レジスタを書き換えた場合、動作は保証されません。

RSPI をスレーブモードで使用する場合には、SCKDL ビットを B'000 に設定してください。

RSPI0クロック遅延レジスタ (SP0CKD)  
 RSPI1クロック遅延レジスタ (SP1CKD)  
 RSPI2クロック遅延レジスタ (SP2CKD)

<P4領域アドレス : H'FFFF B00C番地>  
 <P4領域アドレス : H'FFFF B10C番地>  
 <P4領域アドレス : H'FFFF B20C番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	-	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	SCKDL	000	R	W	RSPCK 遅延設定ビット SPiCMD0~SPiCMD3 レジスタの SCKDEN ビットが"1"の場合の RSPCK 遅延値を設定するためのビットです。SCKDL ビットの設定値と RSPCK 遅延値の関係は以下のとおりです。  000 : 1 RSPCK 001 : 2 RSPCK 010 : 3 RSPCK 011 : 4 RSPCK 100 : 5 RSPCK 101 : 6 RSPCK 110 : 7 RSPCK 111 : 8 RSPCK

## 24.3.11 RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND)

SPiSSLND レジスタは、マスタモードの RSPIi がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットと SPE ビットが "1" で、マスタモードの RSPIi がイネーブルである状態において、SPiSSLND レジスタを書き換えた場合、動作は保証されません。

RSPIi をスレーブモードで使用する場合には、SLNDL ビットを B'000 に設定してください。

RSPI0スレーブセレクトネゲート遅延レジスタ (SP0SSLND)  
 RSPI1スレーブセレクトネゲート遅延レジスタ (SP1SSLND)  
 RSPI2スレーブセレクトネゲート遅延レジスタ (SP2SSLND)

<P4領域アドレス : H'FFFF B00D番地>  
 <P4領域アドレス : H'FFFF B10D番地>  
 <P4領域アドレス : H'FFFF B20D番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
2~0	SLNDL	000	R	W	SSL ネゲート遅延設定ビット マスタモードの RSPIi の SSL ネゲート遅延値を設定するためのビットです。 SLNDL ビットの設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000 : 1 RSPCK 001 : 2 RSPCK 010 : 3 RSPCK 011 : 4 RSPCK 100 : 5 RSPCK 101 : 6 RSPCK 110 : 7 RSPCK 111 : 8 RSPCK

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

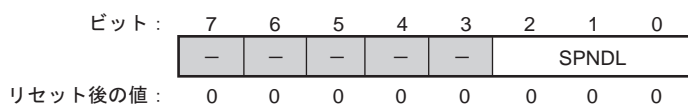
### 24.3.12 RSPIi 次アクセス遅延レジスタ (SPiND)

SPiND レジスタは、RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3) の SPNDEN ビットが"1"の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。RSPIi 制御レジスタ (SPiCR) の MSTR ビットと SPE ビットが"1"で、マスタモードの RSPIi がイネーブルである状態において、SPiND レジスタを書き換えた場合、動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPNDL ビットを B'000 に設定してください。

RSPI0次アクセス遅延レジスタ (SP0ND)  
 RSPI1次アクセス遅延レジスタ (SP1ND)  
 RSPI2次アクセス遅延レジスタ (SP2ND)

<P4領域アドレス : H'FFFF B00E番地>  
 <P4領域アドレス : H'FFFF B10E番地>  
 <P4領域アドレス : H'FFFF B20E番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2~0	SPNDL	000	R	W	RSPI 次アクセス遅延設定ビット SPiCMD0~SPiCMD3 レジスタの SPNDEN ビットが"1"の場合の次アクセス遅延を設定するためのビットです。SPNDL ビットの設定値と次アクセス遅延値の関係は以下のとおりです。  000 : 1 RSPCK+2 Pck 001 : 2 RSPCK+2 Pck 010 : 3 RSPCK+2 Pck 011 : 4 RSPCK+2 Pck 100 : 5 RSPCK+2 Pck 101 : 6 RSPCK+2 Pck 110 : 7 RSPCK+2 Pck 111 : 8 RSPCK+2 Pck

### 24.3.13 RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3)

1チャンネルのRSPIには、RSPIi コマンドレジスタ (SPiCMD) が4本あります (SPiCMD0~SPiCMD3)。SPiCMD0~SPiCMD3 レジスタは、マスタモードのRSPIiの転送フォーマットを設定するために使用されます。また、SPiCMD0 レジスタの一部のビットは、スレーブモードのRSPIiの転送フォーマットを設定するためにも使用されます。マスタモードのRSPIiはRSPIiシーケンス制御レジスタ (SPiSCR)のSPSLNビットの設定に従ってシーケンシャルにSPiCMD0~SPiCMD3レジスタを参照し、参照したSPiCMDレジスタに設定されたシリアル転送を実行します。

SPiCMDレジスタの設定は、RSPIiステータスレジスタ (SPiSR)のSPTEFビットが"1"の状態でのそのSPiCMDレジスタを参照して送信するデータを設定する前に実施してください。

マスタモードのRSPIiが参照しているSPiCMDレジスタは、RSPIiシーケンスステータスレジスタ (SPiSSR)のSPCPビットにより確認できます。また、スレーブモードのRSPIiがイネーブルな状態において、SPiCMD0レジスタを書き換えた場合、動作は保証されません。

RSPI0コマンドレジスタ0~3 (SP0CMD0~SP0CMD3) <P4領域アドレス : H'FFFF B010~H'FFFF B016番地>  
 RSPI1コマンドレジスタ0~3 (SP1CMD0~SP1CMD3) <P4領域アドレス : H'FFFF B110~H'FFFF B116番地>  
 RSPI2コマンドレジスタ0~3 (SP2CMD0~SP2CMD3) <P4領域アドレス : H'FFFF B210~H'FFFF B216番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

SCKD EN	SLND EN	SPND EN	LSBF	SPB			SSLKP	SSLA		BRDV	CPOL	CPHA
---------	---------	---------	------	-----	--	--	-------	------	--	------	------	------

 リセット後の値: 0 0 0 0 0 1 1 1 0 0 0 0 1 1 0 1

<リセット後の値 : H'070D>

ビット	シンボル	リセット後の値	R	W	説明
15	SCKDEN	0	R	W	RSPCK 遅延設定イネーブルビット マスタモードのRSPIiが、SSL信号をアクティブにしてからRSPCKを発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。SCKDENビットが"0"の場合には、RSPIiはRSPCK遅延を1RSPCKにします。SCKDENビットが"1"の場合には、RSPIiはRSPIiクロック遅延レジスタ (SPiCKD)の設定に従ったRSPCK遅延でRSPCKの発振を開始します。 RSPIiをスレーブモードで使用する場合には、SCKDENビットに"0"を設定してください。 0 : RSPCK 遅延は1RSPCK 1 : RSPCK 遅延はRSPIiクロック遅延レジスタ (SPiCKD)の設定値



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
14	SLNDEN	0	R	W	<p>SSL ネゲート遅延設定イネーブルビット</p> <p>マスタモードの RSPIi が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN ビットが"0"の場合には、RSPIi は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが"1"の場合には、RSPIi は RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。RSPIi をスレーブモードで使用する場合には、SLNDEN ビットに"0"を設定してください。</p> <p>0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延は RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND) の設定値</p>
13	SPNDEN	0	R	W	<p>RSPI 次アクセス遅延イネーブルビット</p> <p>マスタモードの RSPIi がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN ビットが"0"の場合には、RSPIi は次アクセス遅延を 1RSPCK にします。SPNDEN ビットが"1"の場合には、RSPIi は RSPIi 次アクセス遅延レジスタ (SPiIND) の設定に従った次アクセス遅延を挿入します。RSPIi をスレーブモードで使用する場合には、SPNDEN ビットに"0"を設定してください。</p> <p>0 : 次アクセス遅延は 1RSPCK 1 : 次アクセス遅延は RSPIi 次アクセス遅延レジスタ (SPiIND) の設定値</p>
12	LSBF	0	R	W	<p>RSPI LSB ファースト</p> <p>マスタモード/スレーブモードの RSPIi のデータフォーマットを、MSB ファースト/LSB ファーストに設定するためのビットです。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
11~8	SPB	0111	R	W	<p>RSPI データ長設定ビット</p> <p>マスタモード/スレーブモードの RSPIi の転送データ長を設定するためのビットです。SPIDCR.SPLW ビットが"0"のとき、SPB ビットの設定は 8~16 ビットに設定してください。20~32 ビットに設定した場合の動作は保証されません。</p> <p>0100~0111 : 8 ビット            1000 : 9 ビット            1001 : 10 ビット            1010 : 11 ビット            1011 : 12 ビット            1100 : 13 ビット            1101 : 14 ビット            1110 : 15 ビット            1111 : 16 ビット            0000 : 20 ビット            0001 : 24 ビット            0010、0011 : 32 ビット</p>
7	SSLKP	0	R	W	<p>SSL 信号レベル保持ビット</p> <p>マスタモードの RSPIi がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するビットです。RSPIi をスレーブモードで使用する場合には、SSLKP ビットに"0"を設定してください。</p> <p>0 : 転送終了時に全 SSL 信号をネゲート            1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持</p>

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット後の値	R	W	説明
6~4	SSLA	000	R	W	<p>SSL 信号アサート設定ビット</p> <p>マスタモードの RSPIi がシリアル転送する場合の SSLi 信号のアサートを制御するためのビットです。SSLA ビットの設定値が、SSLi0、SSLi1 信号のアサートを制御します。SSL 信号アサート時の信号極性は、RSPIi スレーブセレクト極性レジスタ (SPiSSLP) の設定値に依存します。マルチマスタモードで SSLA ビットに "B'000" または "B'1xx" を設定した場合には、全 SSLi 信号がネゲート状態でシリアル転送が実行されます (SSLi0 端子は入力になるため)。また、シングルマスタモードで SSLA ビットに B'1xx を設定した場合にも、全 SSL 信号がネゲート状態でシリアル転送が実行されます。</p> <p>RSPIi をスレーブモードで使用する場合には、SSLA ビットに B'000 を設定してください。</p> <p>000 : SSL0 001 : SSL1*<sup>1</sup> 010 : 設定禁止 011 : 設定禁止 1xx : -</p> <p>【注】 *1 RSPI0 のみ設定できます。</p>
3、2	BRDV	11	R	W	<p>ビットレート分周設定ビット</p> <p>ビットレートを決定するために使用します。BRDV ビットと RSPIi ビットレートレジスタ (SPiBR) の設定値の組み合わせでビットレートを決定します (「24.3.8 RSPIi ビットレートレジスタ (SPiBR)」を参照)。SPiBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV ビットの設定値は、ベースのビットレートに対して分周なし/2 分周/4 分周/8 分周したビットレートを選択するために使用します。SPiCMD0~SPiCMD3 レジスタにはそれぞれ異なる BRDV ビットの設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレートを選択 01 : ベースのビットレートの 2 分周を選択 10 : ベースのビットレートの 4 分周を選択 11 : ベースのビットレートの 8 分周を選択</p>
1	CPOL	0	R	W	<p>RSPCK 極性設定ビット</p> <p>マスタモード/スレーブモードの RSPIi の RSPCK 極性を設定するためのビットです。RSPIi モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。</p> <p>0 : アイドル時の RSPCK が "0" 1 : アイドル時の RSPCK が "1"</p>

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

ビット	シンボル	リセット 後の値	R	W	説 明
0	CPHA	1	R	W	<p>RSPCK 位相設定ビット</p> <p>マスターモード/スレーブモードの RSPIi の RSPCK 位相を設定するためのビットです。RSPIi モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。</p> <p>0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル</p>

## 24.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

### 24.4.1 RSPIi 動作の概要

RSPIi は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送が可能です。RSPI のモードは、RSPIi 制御レジスタ (SPiCR) の MSTR ビットと MODFEN ビット、SPMS ビットによって設定可能です。表 24.5 に RSPI のモードと SPiCR レジスタ設定の関係および各モードの概要をまとめます。

表 24.5 RSPIi のモードと SPiCR レジスタ設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック 同期式動作)	マスタ (クロック 同期式動作)
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKi 信号	入力	出力	出力/Hi-Z	入力	出力
MOSLi 信号	入力	出力	出力/Hi-Z	入力	出力
MISOi 信号	出力/Hi-Z	入力	入力	出力	入力
SSLi0 信号	入力	出力	入力	Hi-Z	Hi-Z
SSL01 信号	Hi-Z	出力	出力/Hi-Z	Hi-Z	Hi-Z
出力端子モード	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン	CMOS/ オープンドレイン
SSL 極性変更機能	あり	あり	あり	—	—
クロックソース	RSPCK 入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK 入力	内蔵ポーレート ジェネレータ
クロック極性	2 種	2 種	2 種	2 種	2 種
クロック位相	2 種	2 種	2 種	1 種 (CPHA="1")	1 種 (CPHA="1")
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8~32 ビット	8~32 ビット	8~32 ビット	8~32 ビット	8~32 ビット
バースト転送	可能 (CPHA="1")	可能 (CPHA="0", "1")	可能 (CPHA="0", "1")	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	マルチマスタ (SPI 動作)	スレーブ (クロック 同期式動作)	マスタ (クロック 同期式動作)
転送起動方法	SSL 入力 アクティブ または RSPCK 発振	SPTEF="1"で 送信バッファ 書き込み	SPTEF="1"で 送信バッファ 書き込み	RSPCK 発振	SPTEF="1"で 送信バッファ 書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ 検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり	あり	あり	あり	あり
オーバランエラー検出	あり	あり	あり	あり	あり
モードフォルトエラー 検出	あり (MODFEN="1")	なし	あり	なし	なし

## 24.4.2 RSPIi 端子の制御

RSPIi は、RSPIi 制御レジスタ (SPiCR) の MSTR ビット、MODFEN ビット、SPMS ビットと RSPIi 端子制御レジスタ (SPiPCR) の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。表 24.6 に端子状態と各ビットの設定値の関係を示します。

表 24.6 RSPIi 端子の状態と制御ビット設定値の関係

モード	端子	端子状態*1	
		SPOM="0"	SPOM="1"
シングルマスタ (SPI 動作) (MSTR="1", MODFEN="0", SPMS="0")	RSPCKi	CMOS 出力	オープンドレイン出力
	SSLi0, SSL01	CMOS 出力	オープンドレイン出力
	MOSli	CMOS 出力	オープンドレイン出力
	MISOi	入力	入力
マルチマスタ (SPI 動作) (MSTR="1", MODFEN="1", SPMS="0")	RSPCKi*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLi0	入力	入力
	SSL01*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSli*2	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ (SPI 動作) (MSTR="0", SPMS="0")	RSPCKi	入力	入力
	SSLi0	入力	入力
	SSL01	Hi-Z	Hi-Z
	MOSli	入力	入力
マスタ (クロック同期式動作) (MSTR="1", MODFEN="0", SPMS="1")	RSPCKi	CMOS 出力	オープンドレイン出力
	SSLi0, SSL01*4	Hi-Z	Hi-Z
	MOSli	CMOS 出力	オープンドレイン出力
	MISOi	入力	入力
スレーブ (クロック同期式動作) (MSTR="0", SPMS="1")	RSPCKi	入力	入力
	SSLi0, SSL01*4	Hi-Z	Hi-Z
	MOSli	入力	入力
	MISOi	CMOS 出力	オープンドレイン出力

【注】 \*1 RSPIi 機能が選択されていないマルチファンクションピンには RSPIi の設定値は反映されません。

\*2 SSLi0 端子がアクティブレベルの場合、端子状態が Hi-Z になります。

\*3 SSLi0 端子が非アクティブレベルまたは SPiCR レジスタの SPE ビットが "0" の場合、端子状態が Hi-Z になります。

\*4 クロック同期式動作時は、SSLi0、SSL01 端子を I/O ポートとして使用可能です。

シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作) の RSPI<sub>i</sub> は、SPiPCR レジスタの MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI<sub>i</sub> 信号値を表 24.7 のように決定します。

表 24.7 SSL ネゲート期間の MOSI<sub>i</sub> 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI <sub>i</sub> 信号値
0	0、1	前回転送の最終データ
1	0	常に"L"
1	1	常に"H"

### 24.4.3 RSPI システム構成例

#### (1) シングルマスタ/シングルスレーブ (本 MCU=マスタ、i=0)

図 24.3 に、本 MCU をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPI システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 MCU (マスタ) の SSL<sub>i0</sub>、SSL<sub>i1</sub> 出力は使用しません。RSPI スレーブの SSL 入力は"L"レベルに固定して、RSPI スレーブを常にセレクト状態にします。RSPI<sub>i</sub> コマンドレジスタ (SPiCMD) の CPHA ビットが"0"の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定できない場合には、本 MCU の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 MCU (マスタ) は、RSPCK<sub>i</sub> と MOSI<sub>i</sub> を常にドライブします。RSPI スレーブは、MISO<sub>i</sub> を常にドライブします。

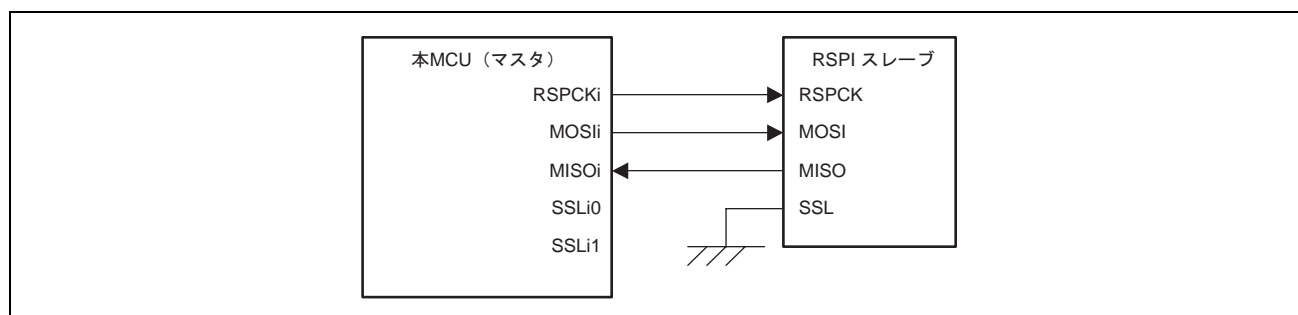


図 24.3 シングルマスタ/シングルスレーブの構成例 (本 MCU=マスタ、i=0)



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (2) シングルマスタ/シングルスレーブ (本 MCU=スレーブ、 $i=0$ )

図 24.4 に、本 MCU をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLi0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 MCU (スレーブ) は、MISOi を常にドライブします。SSLi0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

RSPIi コマンドレジスタ (SiPCMD) の CPHA ビットを "1" に設定したシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLi0 入力を "L" レベルに固定して本 MCU (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 24.5)。

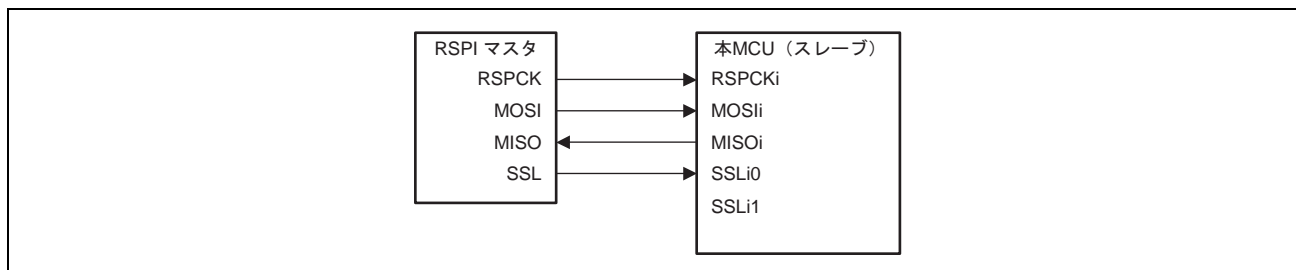


図 24.4 シングルマスタ/シングルスレーブの構成例 (本 MCU=スレーブ、 $i=0$ )

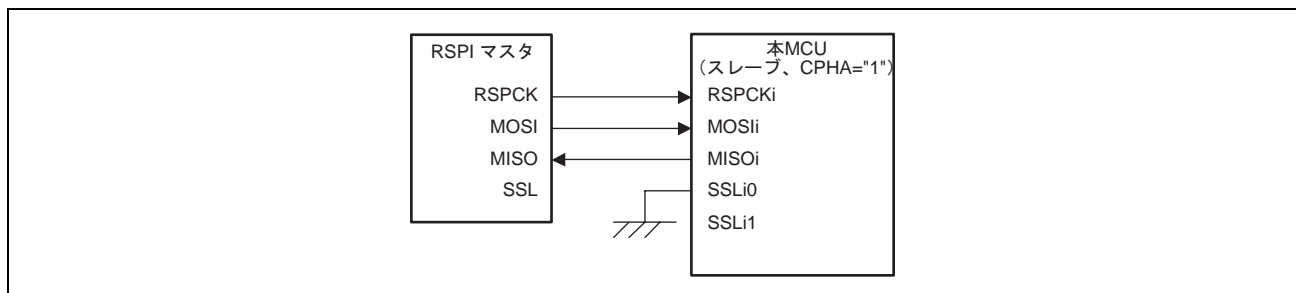


図 24.5 シングルマスタ/シングルスレーブの構成例 (本 MCU=スレーブ、CPHA="1"、 $i=0$ )

(3) シングルマスタ/マルチスレーブ (本 MCU=マスタ、 $i=0$ )

図 24.6 に、本 MCU をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 24.6 の例では、本 MCU (マスタ) と 2 つのスレーブ (RSPI スレーブ 0、RSPI スレーブ 1) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCK $i$  出力と MOSI $i$  出力は、RSPI スレーブ 0、RSPI スレーブ 1 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0、RSPI スレーブ 1 の MISO 出力は、すべて本 MCU (マスタ) の MISO $i$  入力に接続します。本 MCU (マスタ) の SSL $i0$ 、SSL $i1$  出力は、それぞれ RSPI スレーブ 0、RSPI スレーブ 1 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCK $i$ 、MOSI $i$ 、SSL $i0$ 、SSL $i1$  を常にドライブします。RSPI スレーブ 0、RSPI スレーブ 1 のうち、SSL 入りに "L" レベルを入力されているスレーブが、MISO をドライブします。

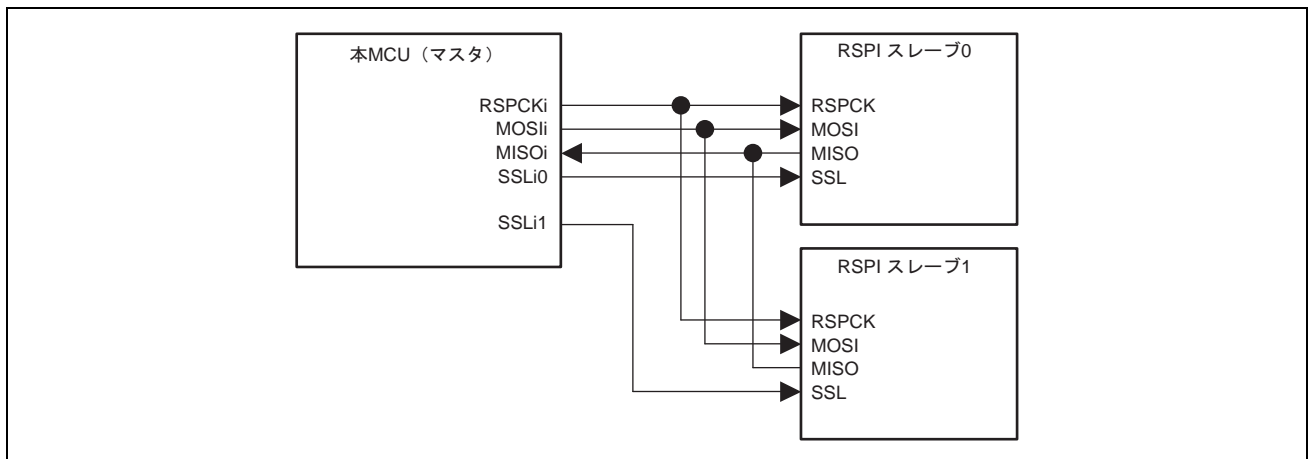


図 24.6 シングルマスタ/マルチスレーブの構成例 (本 MCU=マスタ、 $i=0$ )

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (4) シングルマスタ/マルチスレーブ (本 MCU=スレーブ、 $i=0$ )

図 24.7 に、本 MCU をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 24.7 の例では、RSPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCK<sub>i</sub> 入力と MOSI<sub>i</sub> 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISO<sub>i</sub> 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLi0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLi0 入みに "L" レベルを入力されているスレーブが MISO をドライブします。

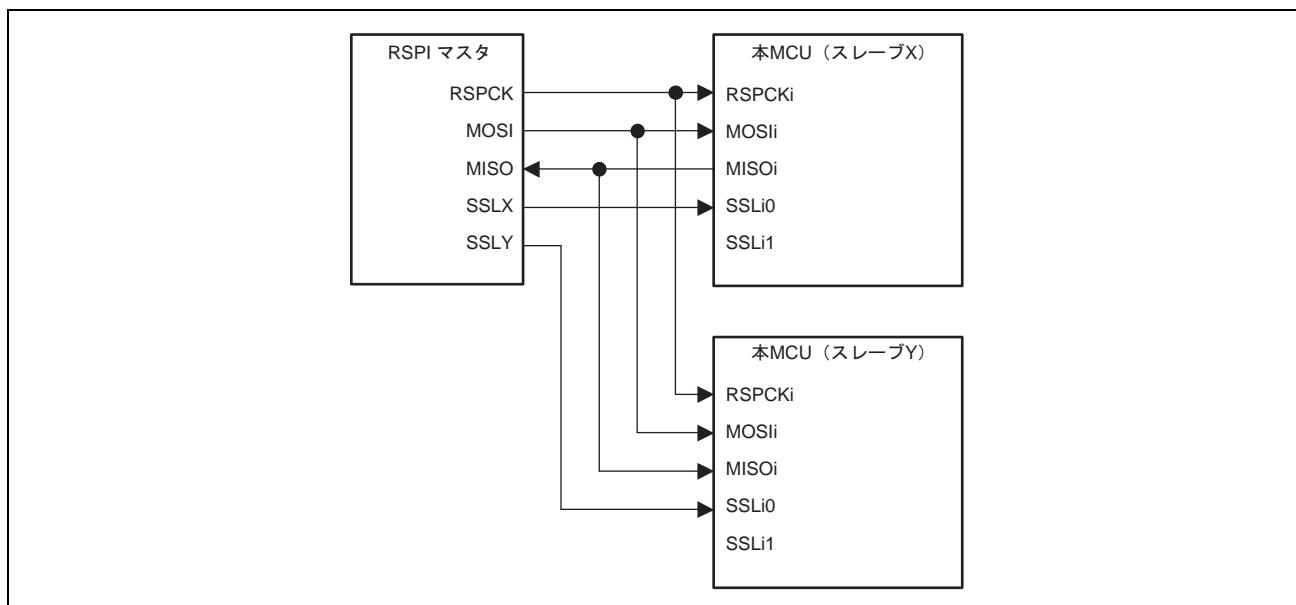


図 24.7 シングルマスタ/マルチスレーブの構成例 (本 MCU=スレーブ、 $i=0$ )

(5) マルチマスタ/マルチスレーブ (本 MCU=マスタ、 $i=0$ )

図 24.8 に、本 MCU をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 24.8 の例では、2 つの本 MCU (マスタ X、マスタ Y) と RSPI スレーブ 1 から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCK $i$  出力と MOSI $i$  出力は、RSPI スレーブ 1 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISO $i$  入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLi0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLi0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLi1 出力は、RSPI スレーブ 1 の SSL 入力に接続します。

本 MCU は、SSLi0 入力レベルが "H" レベルの場合には、RSPCK $i$ 、MOSI $i$ 、SSLi1 をドライブします。SSLi0 入力レベルが "L" レベルの場合には、モードフォルトエラーを検出し、RSPCK $i$ 、MOSI $i$ 、SSLi1 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。

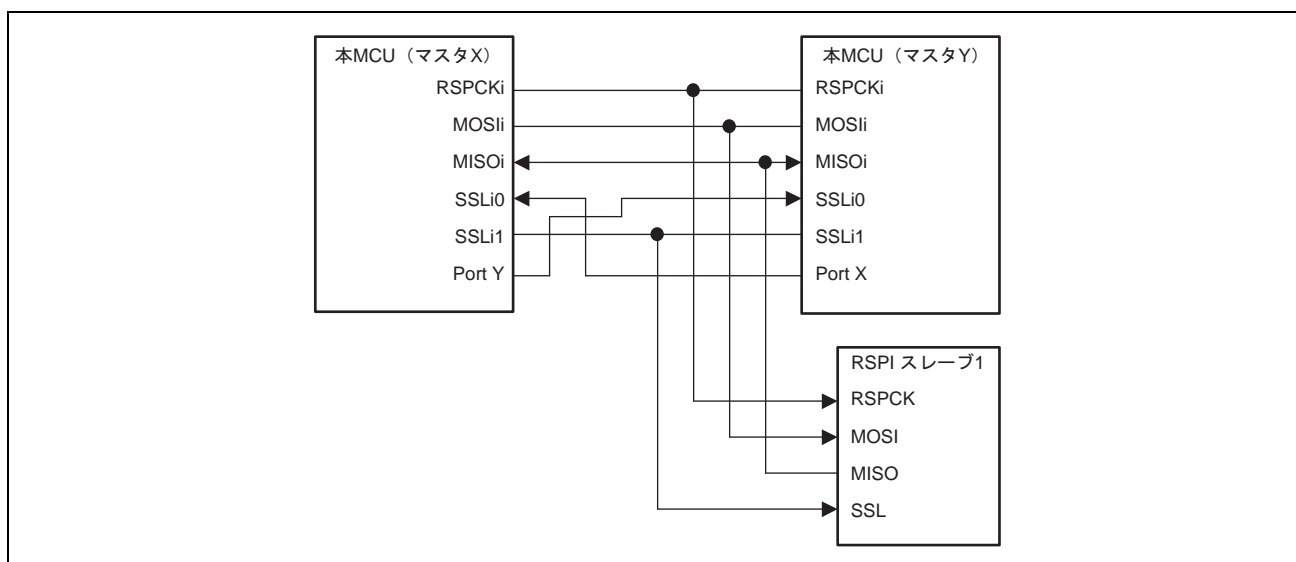


図 24.8 マルチマスタ/マルチスレーブの構成例 (本 MCU=マスタ、 $i=0$ )

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

(6) マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 MCU をマスタとして使用した場合、 $i=0$ )

図 24.9 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の  $SSLi0$ 、 $SSLi1$  は使用しません。本 MCU (マスタ) は、 $RSPCKi$  と  $MOSIi$  を常にドライブします。RSPI スレーブは、 $MISO$  を常にドライブします。

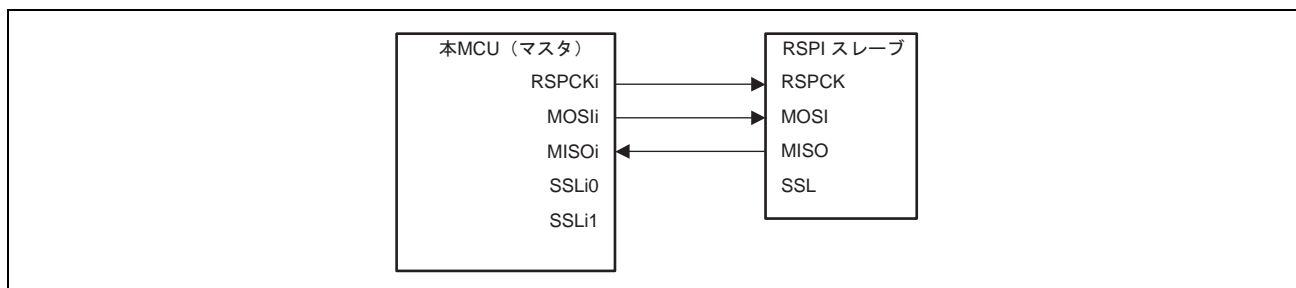


図 24.9 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成例  
(本 MCU=マスタ、 $i=0$ )

(7) マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 MCU をスレーブとして使用した場合、 $i=0$ )

図 24.10 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は  $MISOi$  を常にドライブし、RSPI マスタは  $RSPCK$  と  $MOSI$  を常にドライブします。RSPI コマンドレジスタ (SPiCMD) の  $CPHA$  ビットを "1" に設定したシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

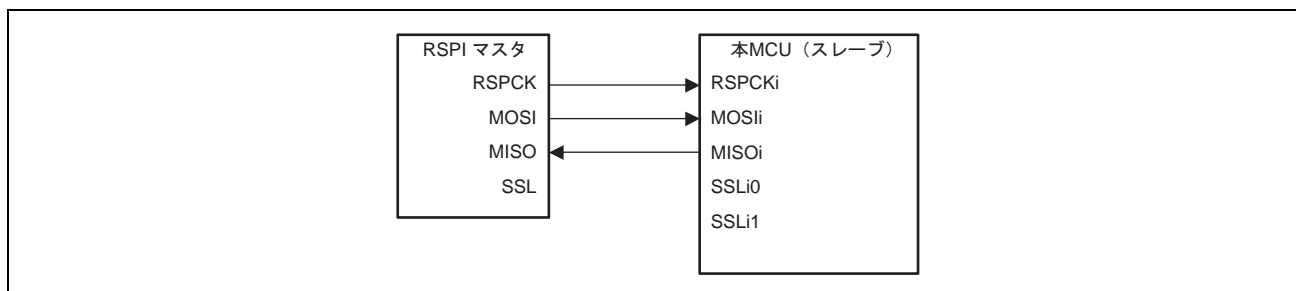


図 24.10 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成例  
(本 MCU=スレーブ、 $CPHA="1"$ 、 $i=0$ )

## 24.4.4 転送フォーマット

## (1) CPHA="0"の場合

図 24.11 に RSPIi コマンドレジスタ (SPiCMD) の CPHA ビットが"0"の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、CPHA ビットが"0"の場合のクロック同期式動作 (RSPIi 制御レジスタ (SPiCR) の SPMS ビットが"1"の場合) は保証しません。図 24.11 において、RSPCK (CPOL="0") は SPiCMD レジスタの CPOL ビットが"0"の場合、RSPCK (CPOL="1") は CPOL ビットが"1"の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPIi がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPIi の設定に依存します。詳細は「24.4.2 RSPIi 端子の制御」を参照してください。

CPHA ビットが"0"の場合には、SSLi 信号のアサートタイミングで、MOSIi 信号への有効データの出力と MISOi 信号への有効データのドライブが開始されます。SSLi 信号のアサート後に発生する最初の RSPCKi 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIi 信号と MISOi 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKi 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLi 信号のアサートから RSPCKi 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKi 発振停止から SSLi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「24.4.9 (1) マスタモード動作」を参照してください。

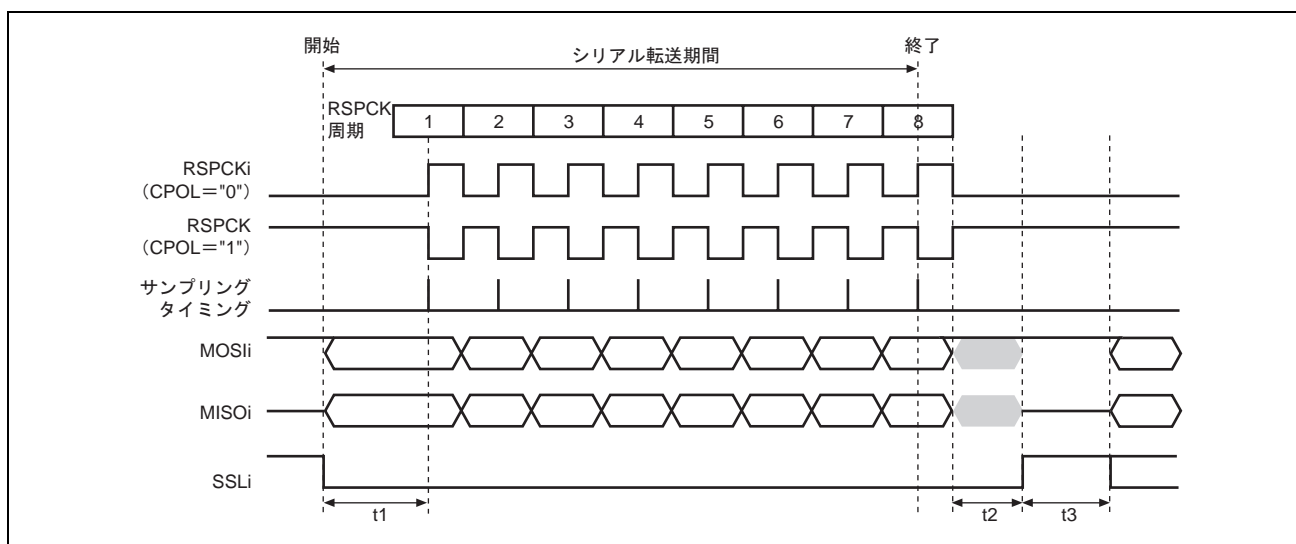


図 24.11 RSPI 転送フォーマット (CPHA="0")

## (2) CPHA="1"の場合

図 24.12 に RSPIi コマンドレジスタ (SPiCMD) の CPHA ビットが"1"の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPIi 制御レジスタ (SPiCR) の SPMS ビットが"1"の場合は SSLi 信号を用いず、RSPCKi 信号、MOSLi 信号、MISOi 信号のみで通信を行います。図 24.12 において、RSPCK (CPOL="0") は SPiCMD レジスタの CPOL ビットが"0"の場合、RSPCK (CPOL="1") は CPOL ビットが"1"の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスター/スレーブ) に依存します。詳細は「24.4.2 RSPIi 端子の制御」を参照してください。

CPHA ビットが"1"の場合には、SSLi 信号のアサートタイミングで、MISOi 信号に無効データのドライブが開始されます。SSLi 信号のアサート後に発生する最初の RSPCKi 信号変化タイミングで、MOSLi 信号と MISOi 信号への有効データの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCKi 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA="0"の場合と同様です。本 MCU の RSPI がマスターモードである場合の t1、t2、t3 については、「24.4.9 (1) マスタモード動作」を参照してください。

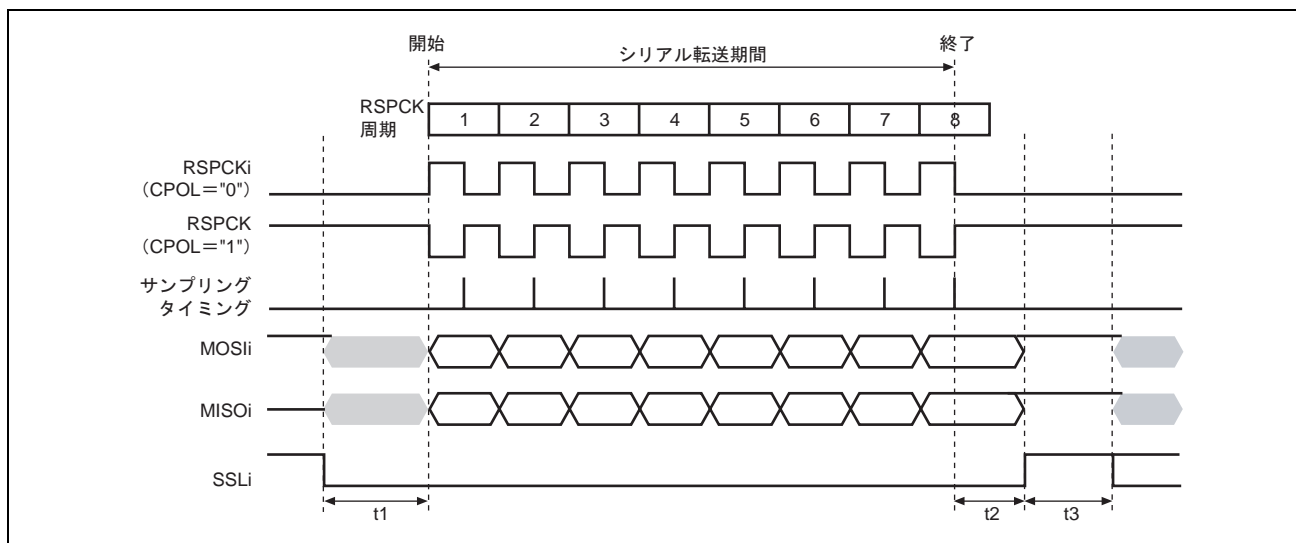


図 24.12 RSPI 転送フォーマット (CPHA="1")

## 24.4.5 データフォーマット

RSPIi のデータフォーマットは、RSPIi コマンドレジスタ (SPiCMD) の設定値に依存します。MSB/LSB ファーストにかかわらず、RSPIi は RSPIi データレジスタ (SPiDR) の LSB から設定データ長分の範囲を転送データとして扱います。SPiDCR.SPLW ビットが"0"のとき、SPiDR レジスタのビット 16 が LSB、SPiDCR.SPLW ビットが"1"のとき、SPiDR レジスタのビット 0 が LSB です。

## (1) MSB ファースト転送 (32 ビットデータ)

図 24.13 に、RSPIi がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPIi データレジスタ (SPiDR) とシフトレジスタの動作内容を示します。

CPU または DMAC は、SPiDR レジスタの送信バッファに T31~T00 を書き込みます。RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"0"かつシフトレジスタが空であれば、RSPIi が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPIi はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31~R00 が格納されます。この状態で、RSPIi はシフトレジスタから SPiDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DMAC が SPiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31~R00 がシフトレジスタからシフトアウトされます。

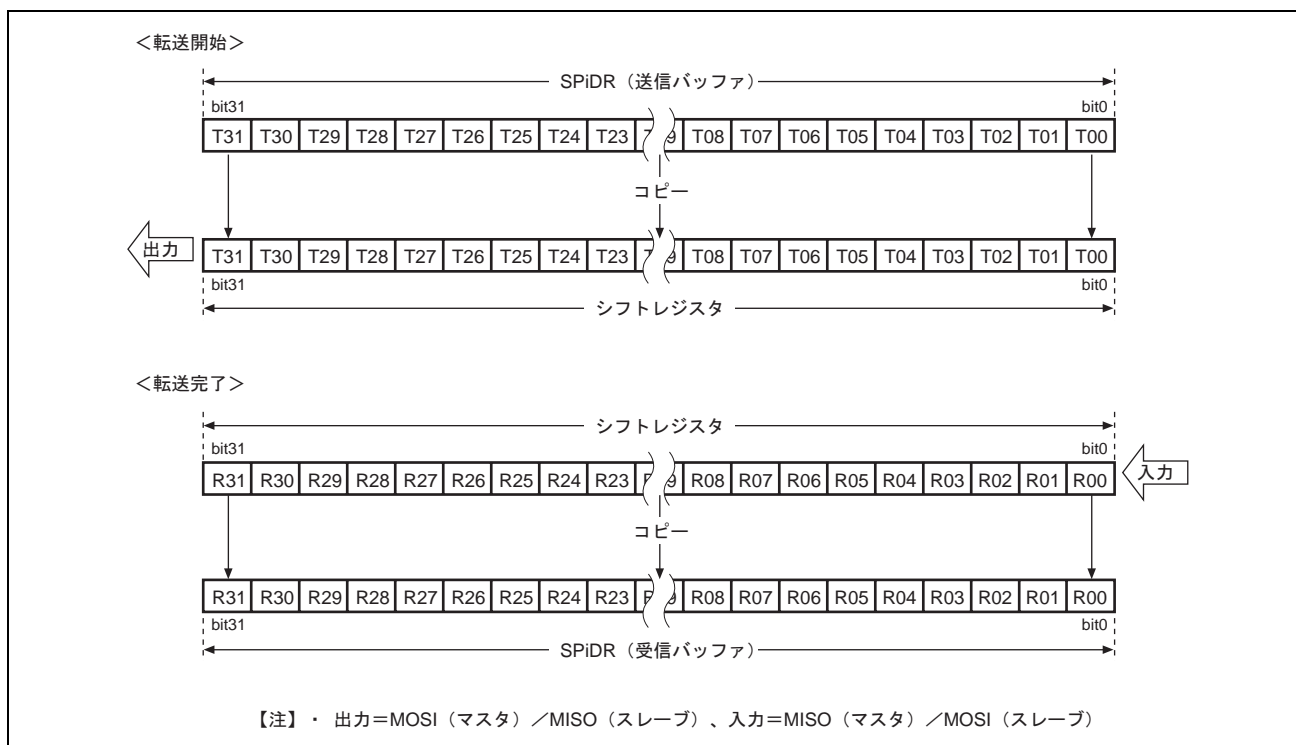


図 24.13 MSB ファースト転送 (32 ビットデータ)



## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (2) MSB ファースト転送 (24 ビットデータ)

図 24.14 に、RSPIi が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPIi データレジスタ (SPiDR) とシフトレジスタの動作内容を示します。

CPU または DMAC は、SPiDR レジスタの送信バッファに T31~T00 を書き込みます。RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"0"かつシフトレジスタが空であれば、RSPIi が SPiDR レジスタの送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPIi はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23~0 には受信データ R23~R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31~24 には、転送前のデータが保持されています。この状態で、RSPIi がシフトレジスタから SPiDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または DMAC が SPiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23~R00 がシフトレジスタからシフトアウトされます。

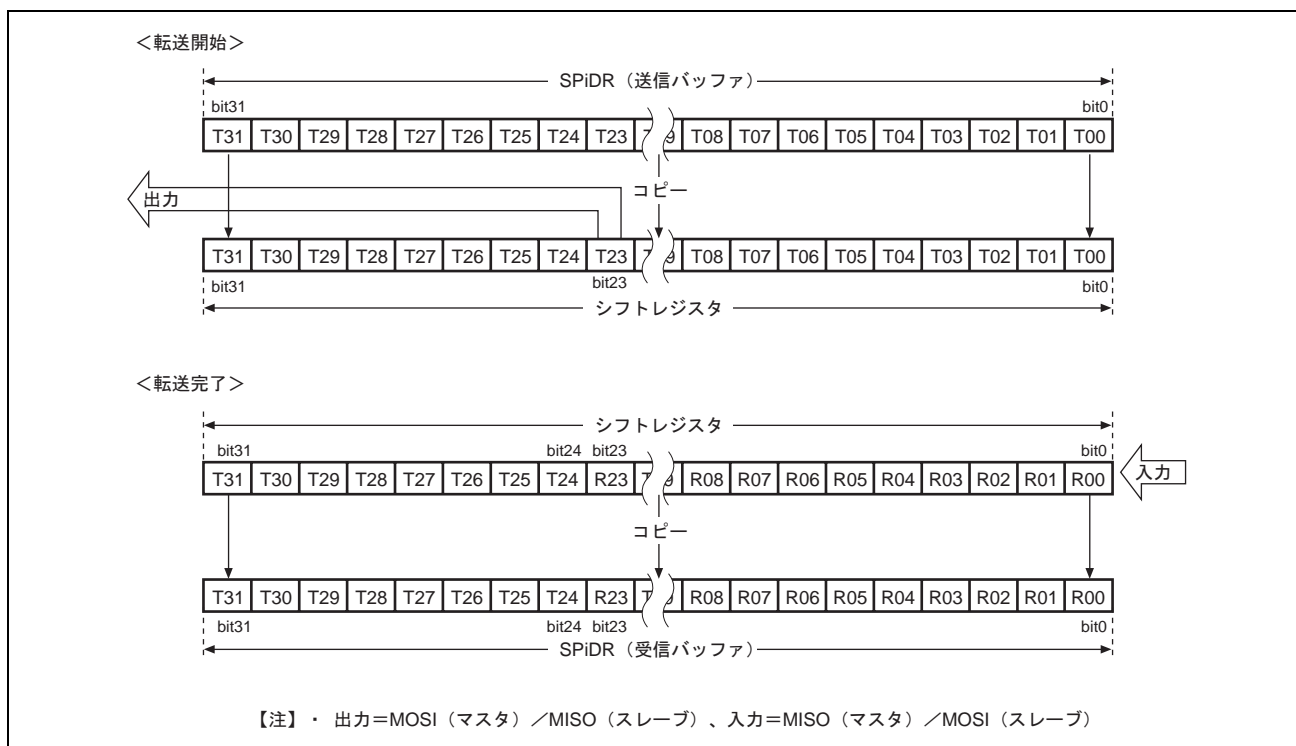


図 24.14 MSB ファースト転送 (24 ビットデータ)

## (3) LSB ファースト転送 (32 ビットデータ)

図 24.15 に、RSPIi がデータ長 32 ビットの LSB ファースト転送を実施する場合の RSPIi データレジスタ (SPiDR) とシフトレジスタの動作内容を示します。

CPU または DMAC は、SPiDR レジスタの送信バッファに T31~T00 を書き込みます。RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPIi が SPiDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPIi はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00~R31 が格納されます。この状態で、RSPIi はシフトレジスタから SPiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DMAC が SPiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R31 がシフトレジスタからシフトアウトされます。

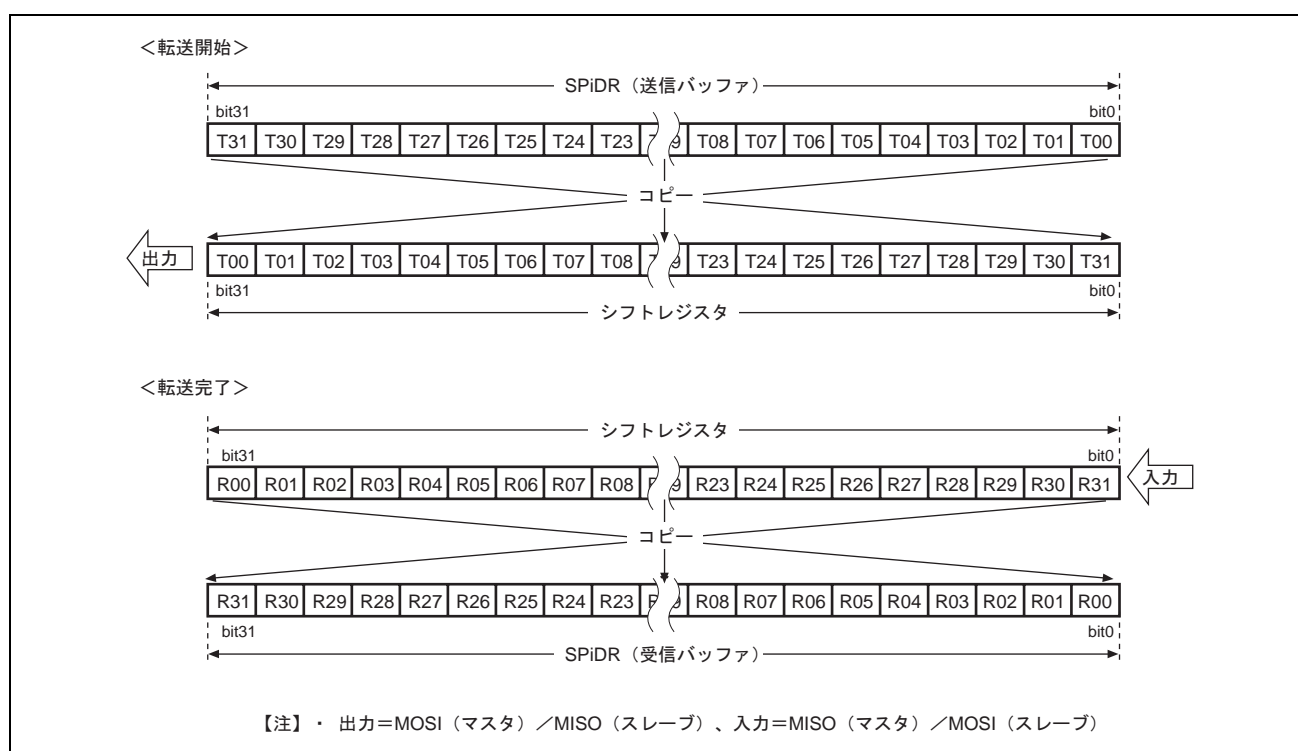


図 24.15 LSB ファースト転送 (32 ビットデータ)

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (4) LSB ファースト転送 (24 ビットデータ)

図 24.16 に、RSPIi が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPIi データレジスタ (SPiDR) とシフトレジスタの動作内容を示します。

CPU または DMAC は、SPiDR レジスタの送信バッファに T31~T00 を書き込みます。RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"0"かつシフトレジスタが空であれば、RSPI が SPiDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPIi はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31~8 には受信データ R00~R23 が格納されます。シリアル転送完了後のシフトレジスタのビット 7~0 には、転送前のデータが保持されています。この状態で、RSPIi がシフトレジスタから SPiDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または DMAC が SPiDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R23 がシフトレジスタからシフトアウトされます。

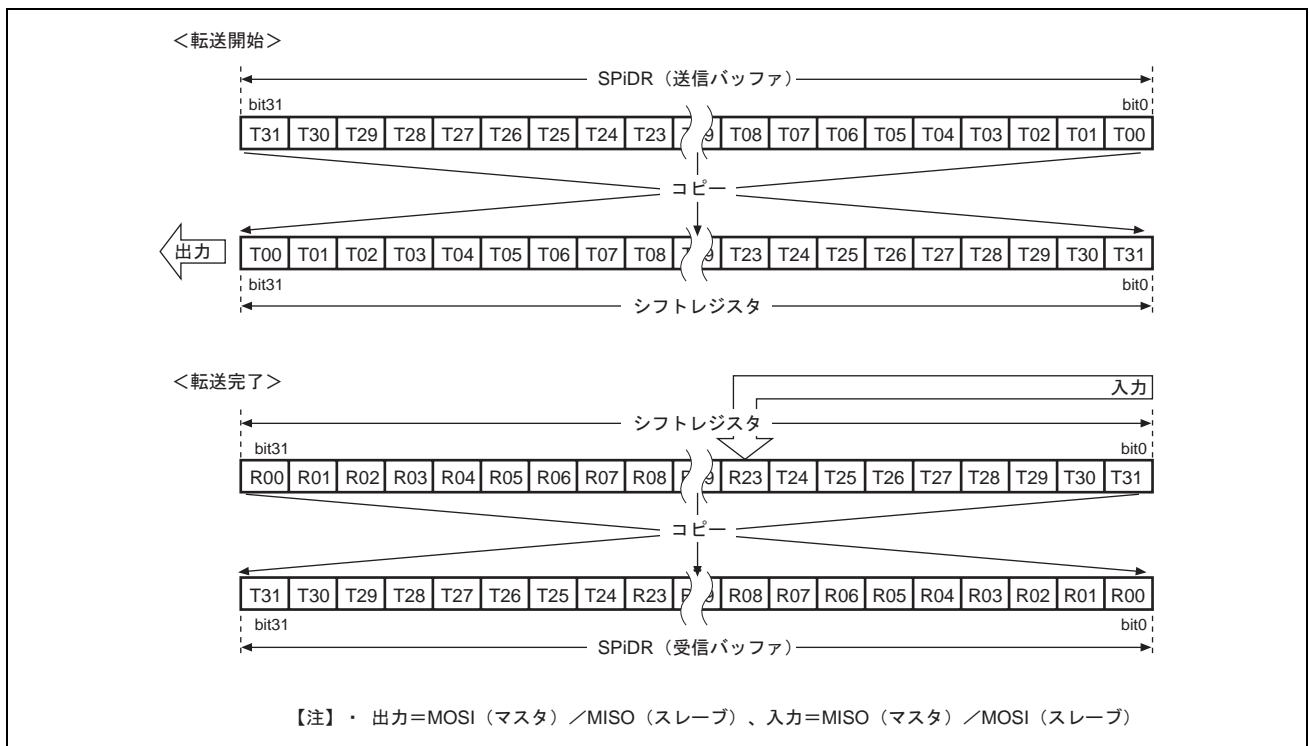


図 24.16 LSB ファースト (24 ビットデータ)

## 24.4.6 送信バッファエンプティ/受信バッファフルフラグ

図 24.17 に RSPI ステータスレジスタ (SPiSR) の RSPI 送信バッファエンプティフラグ (SPTEF) と RSPI 受信バッファフルフラグ (SPRF) の動作例を示します。図 24.17 に記載した SPiDR アクセスは、CPU または DMAC から RSPI データレジスタ (SPiDR) へのアクセス状況を示しています。I はアイドルサイクル、W は書き込みサイクル、R は読み出しサイクルを示しています。図 24.17 の例では、RSPI データコントロールレジスタ (SPiDCR) の SPFC ビットが "00"、RSPI コマンドレジスタ (SPiCMD) の CPHA が "1"、CPOL が "0" の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKi 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

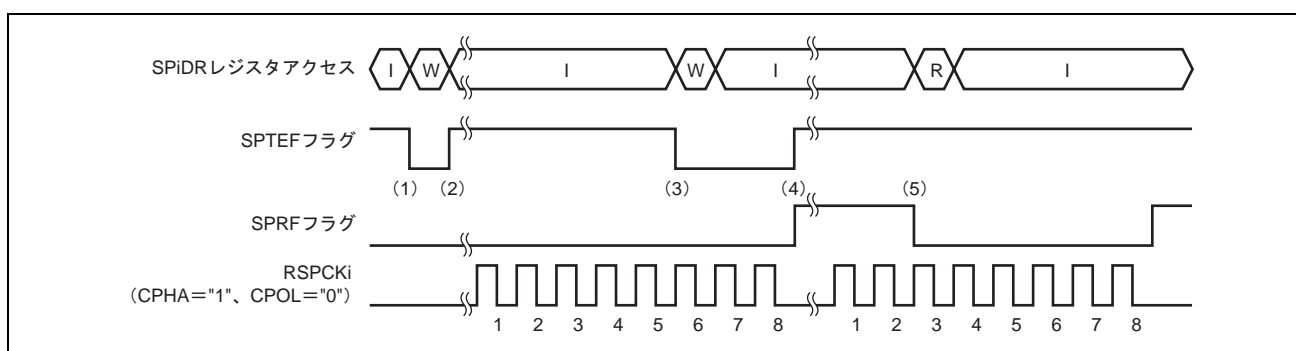


図 24.17 SPTEF、SPRF ビットの動作例

以下に、図中の (1) ~ (5) に示したタイミングでのフラグの動作内容を説明します。

1. SPiDR レジスタの送信バッファが空の状態、SPiDR レジスタに送信データを書き込むと、RSPI は SPTEF ビットを "0" にして送信バッファにデータを書き込みます。SPRF フラグは変化しません。
2. シフトレジスタが空の場合には、RSPI は SPTEF ビットを "1" にして送信バッファのデータをシフトレジスタにコピーします。SPRF フラグは変化しません。なお、シリアル転送の開始方法は、RSPI のモードに依存します。詳細は、「24.4.9 SPI 動作」および「24.4.10 クロック同期式動作」を参照してください。
3. SPiDR レジスタの送信バッファが空の状態、CPU または DMAC が SPiDR レジスタに送信データを書き込むと、RSPI が SPTEF ビットを "0" にして送信バッファにデータを書き込みます。SPRF フラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPiDR レジスタの受信バッファが空の状態、シリアル転送が終了すると、RSPI は SPRF を 1 にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPTEF ビットを "1" にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフルの状態、CPU または DMAC が SPiDR レジスタを読み出すと、RSPI は SPRF を "0" にして、受信バッファのデータを内部バスに送出します。

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

SPTEF ビットが"0"の状態、CPU または DMAC が SPiDR レジスタへ書き込んだ場合には、RSPIi は送信バッファのデータを更新しません。SPiDR レジスタを書き込む場合には、必ず SPTEF が"1"であることを確認してください。SPTEF が"1"であることは、SPiSR レジスタの読み出しまたは RSPI 送信割り込みの利用によって確認できます。RSPIi 送信割り込みを利用する場合には、SPiCR レジスタの SPTIE ビットを"1"にしてください。

RSPI ディスエーブル (SPiCR レジスタの SPE ビットが"0") の場合には、SPTEF ビットが"1"に初期化されます。このため RSPIi ディスエーブル状態で SPiCR レジスタの SPTIE ビットを"1"にすると、RSPIi 送信割り込みが発生します。

SPRF ビットが"1"の状態、シリアル転送が終了した場合には、RSPIi はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「24.4.7 エラー検出」を参照)。受信データのオーバランを防ぐためには、シリアル転送の終了よりも前に SPRF ビットを"0"にしてください。SPRF が"1"であることは、SPiSR レジスタの読み出しまたは RSPIi 受信割り込みの利用によって確認できます。RSPIi 受信割り込みを利用する場合には、SPiCR レジスタの SPRIE ビットを"1"にしてください。

### 24.4.7 エラー検出

通常の RSPIi のシリアル転送では、CPU または DMAC が RSPIi データレジスタ (SPiDR) の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを CPU または DMAC が SPiDR レジスタの受信バッファから読み出すことができます。CPU または DMAC から SPiDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の RSPIi の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIi はオーバランエラーまたはモードフォルトエラーとして検出します。表 24.8 に、通常以外の転送動作と RSPIi のエラー検出機能の関係を示します。

表 24.8 通常以外の転送の発生条件と RSPIi のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態、CPU または DMAC が SPiDR レジスタへ書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態、CPU または DMAC が SPiDR レジスタを読み出し。	前回シリアル受信データを CPU または DMAC へ出力。	なし
D	受信バッファフルの状態、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー検出
E	マルチマスタモードでシリアル転送アイドル時に SSLi0 入力信号アサート。	RSPCKi、MOSi、SSL01 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

	発生条件	RSPI 動作	エラー検出
F	マルチマスタモードでシリアル転送中に SSLi0 入力信号アサート。	シリアル転送を中断。 送受信データ欠落。 RSPCKi、MOSli、SSL01 出力信号の ドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出
G	スレーブモードでシリアル転送中に SSLi0 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 MISOi 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

表 24.8 の A に示した動作に対しては、RSPIi はエラーを検出しません。CPU または DMAC からの SPiDR レジスタへの書き込み時にデータを欠落させないために、必ず RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"1"の状態 SPiDR レジスタへの書き込みを実施してください。

B に示した動作に対しても、RSPIi はエラーを検出しません。RSPIi では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPiDR レジスタの受信バッファに保持されているので、CPU または DMAC から正しく読み出されます（シリアル転送が終了する前に SPiDR レジスタを読み出さないと、オーバランエラーが発生します）。

C に示した動作に対しても、RSPIi はエラーを検出しません。CPU または DMAC が不必要なデータを読み出さないようにするためには、SPiSR レジスタの SPRF ビットが"1"の状態 SPiDR レジスタの読み出しを実行するようにしてください。

D に示したオーバランエラーについては、「24.4.7 (1) オーバランエラー」で詳しく説明します。また、E~G に示したモードフォルトエラーについては、「24.4.7 (2) モードフォルトエラー」で説明します。なお、SPiSR レジスタの SPTEF ビットと SPRF ビットの動作については、「24.4.6 送信バッファエンプティ/受信バッファフルフラグ」を参照してください。

## (1) オーバランエラー

RSPIi データレジスタ (SPiDR) の受信バッファフル状態でシリアル転送が終了すると、RSPIi はオーバランエラーを検出して SPiSR レジスタの OVRF ビットを"1"にします。OVRF ビットが"1"の状態では、RSPIi はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPiSR レジスタの OVRF ビットを"0"にするためには、ハードウェアリセットを実施するか、OVRF ビットが"1"にセットされた状態の SPiSR レジスタを CPU が読み出した後に、OVRF に"0"を書き込む必要があります。

図 24.18 に、SPiSR レジスタの SPRF ビットと OVRF ビットの動作を示します。図 24.18 に記載した SPiSR レジスタアクセスと SPiDR アクセスは、それぞれ CPU から SPiSR レジスタ、DMAC から SPiDR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 24.18 の例では、RSPIi コマンドレジスタ (SPiCMD) の CPHA が"1"、CPOL が"0"の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKi 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。

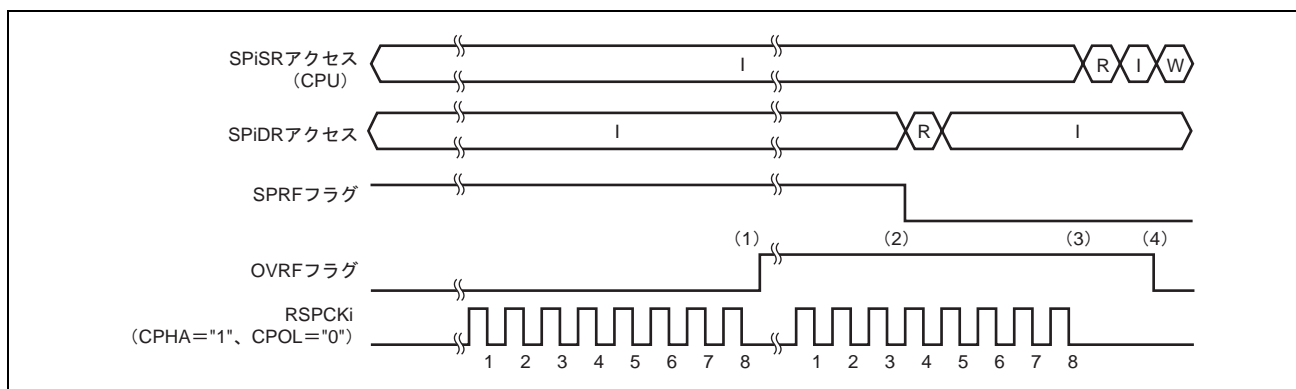


図 24.18 SPRF、OVRF ビットの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. SPRF ビットが"1"の状態 (受信バッファフル) でシリアル転送が終了すると、RSPIi がオーバランエラーを検出し、OVRF ビットを"1"にします。RSPIi はシフトレジスタのデータを受信バッファにコピーしません。また、マスタモードの場合には、RSPIi は RSPIi シーケンスステータスレジスタ (SPiSSR) の SPECM ビットに、RSPIi コマンドレジスタ (SPiCMD) に対するポインタの値をコピーします。
2. CPU または DMAC が SPiDR レジスタを読み出すと、RSPIi は SPRF ビットを"0"にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRF ビットはクリアされません。
3. OVRF ビットが"1"の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPIi は SPRF ビットを"0"のまま更新しません。また、RSPIi はシフトレジスタのデータを受信バッファにコピーしません。マスタモードの RSPIi の場合に、RSPIi は SPiSSR レジスタの SPECM ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPIi はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが"1"の状態 CPU が SPiSR レジスタを読み出した後、CPU が OVRF に"0"を書き込むと、RSPIi は OVRF ビットをクリアします。

オーバランの発生は、SPiSR レジスタの読み出しまたは RSPI エラー割り込みと SPiSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ (SPiCR) の SPEIE ビットを"1"にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPiDR レジスタの読み出し直後に SPiSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPiSSR レジスタの SPECM ビットを読み出すことで、エラー発生時の SPiCMD レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF ビットが"1"になると、OVRF ビットをクリアするまで正常な受信動作ができなくなります。OVRF ビットを"0"にクリアする条件は以下のとおりです。

- OVRF ビットが"1"にセットされた状態の SPiSR レジスタを CPU が読み出した後、CPU が OVRF ビットに"0"を書き込む
- ハードウェアリセット

## (2) モードフォルトエラー

RSPI 制御レジスタ (SPiCR) の MSTR ビットが"1"、SPMS ビットが"0"、MODFEN ビットが"1"の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLi0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して RSPI ステータスレジスタ (SPiSR) の MODF ビットを"1"にします。モードフォルトエラーを検出すると、RSPI は RSPI シーケンスステータスレジスタ (SPiSSR) の SPECM ビットに、RSPI コマンドレジスタ (SPiCMD) に対するポインタの値をコピーします。なお、SSL0 信号のアクティブレベルは、RSPI スレーブセレクト極性レジスタ (SPiSSLP) の SSL0P ビットによって決定されます。

MSTR ビットが"0"の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが"1"、SPMS ビットが"0"の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSLi0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると出力信号のドライブ停止および SPiCR レジスタの SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます (「24.4.8 RSPI の初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPiSR レジスタの読み出しまたは RSPI エラー割り込みと SPiSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ (SPiCR) の SPEIE ビットを"1"にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPiSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPiSSR レジスタの SPECM ビットを読み出すことで、エラー発生時の SPiCMD レジスタに対するポインタ値を確認できます。

MODF ビットが"1"の状態では、RSPI は CPU による SPE ビットへの"1"の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、必ず MODF ビットを"0"にしてください。MODF ビットを"0"にクリアする条件は以下のとおりです。

- MODF ビットが"1"にされた状態の SPSR レジスタを CPU が読み出した後、CPU が MODF ビットに"0"を書き込む
- ハードウェアリセット



### 24.4.8 RSPIの初期化

CPUがRSPI<sub>i</sub>制御レジスタ (SPiCR) のSPEビットに"0"を書き込んだ場合、またはモードフォルトエラー検出によりRSPI<sub>i</sub>がSPEビットを"0"にクリアした場合には、RSPI<sub>i</sub>はRSPI機能を無効化し、モジュール機能の一部を初期化します。また、ハードウェアリセットが発生した場合には、RSPI<sub>i</sub>はモジュール機能をすべて初期化します。以下に、SPEビットのクリアによる初期化とハードウェアリセットによる初期化について説明します。

#### (1) SPEビットのクリアによる初期化

SPiCRレジスタのSPEビットがクリアされた場合には、RSPI<sub>i</sub>は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI<sub>i</sub>内部ステータスの初期化
- RSPI<sub>i</sub>ステータスレジスタ (SPiSR) のSPTEFビットの初期化

SPEビットのクリアによる初期化では、RSPI<sub>i</sub>の制御ビットは初期化されません。このため、CPUがSPEビットに"1"を再設定すれば初期化前と同じ転送モードでRSPIを起動できます。

SPiSRレジスタのSPRFビット、OVRFビット、MODFビットの値は初期化されません。また、RSPI<sub>i</sub>シーケンスステータスレジスタ (SPiSSR) の値も初期化されません。このため、RSPI<sub>i</sub>の初期化後も受信バッファのデータの読み出し、RSPI<sub>i</sub>転送時のエラー発生状況の確認が可能です。

SPiSRレジスタのSPTEFビットの値は、"1"に初期化されます。このため、RSPI<sub>i</sub>初期化後にSPiCRレジスタのSPTIEビットが"1"に設定されていると、RSPI<sub>i</sub>送信割り込みが発生します。CPUでRSPI<sub>i</sub>を初期化する場合に、RSPI<sub>i</sub>送信割り込みを禁止するためには、SPEビットへの"0"書き込みと同時にSPTIEビットにも"0"を書き込んでください。モードフォルトエラー検出後のRSPI<sub>i</sub>送信割り込みを禁止するためには、エラー処理ルーチンでSPTIEビットに"0"を書き込んでください。

#### (2) ハードウェアリセット

ハードウェアリセットによる初期化では、「24.4.8 (1) SPEビットのクリアによる初期化」に記載の事項に加え、RSPI<sub>i</sub>制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI<sub>i</sub>が完全に初期化されます。

### 24.4.9 SPI 動作

#### (1) マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「24.4.7 エラー検出」を参照）のみです。シングルマスタモードの RSPI<sub>i</sub> ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI<sub>i</sub> ではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

#### (a) シリアル転送の開始

RSPI<sub>i</sub> ステータスレジスタ (SPISR) の SPTEF ビットが"1"の状態、CPU または DMAC が RSPI<sub>i</sub> データレジスタ (SPiDR) にデータを書き込むと、RSPI<sub>i</sub> は SPiDR レジスタの送信バッファのデータを更新します。SPiDR レジスタへの書き込みまたは CPU から SPTEF の"1"を読み出した後の"0"の書き込みによって SPTEF ビットを"0"にクリアした状態で、シフトレジスタが空の場合には、RSPI<sub>i</sub> は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI<sub>i</sub> は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI<sub>i</sub> の転送フォーマットの詳細については「24.4.4 転送フォーマット」を参照してください。SSL<sub>i</sub> 出力信号の極性は、RSPI<sub>i</sub> スレーブセレクト極性レジスタ (SPiSSLP) の設定値に依存します。

#### (b) シリアル転送の終了

RSPI<sub>i</sub> コマンドレジスタ (SPiCMD) の CPHA ビットにかかわらず、RSPI<sub>i</sub> はサンプリングタイミングに対応する RSPCK<sub>i</sub> エッジを送出するとシリアル転送を終了します。RSPI<sub>i</sub> ステータスレジスタ (SPISR) の SPRF ビットが"0"で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI<sub>i</sub> データレジスタ (SPiDR) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI<sub>i</sub> のデータ長は、RSPI<sub>i</sub> コマンドレジスタ (SPiCMD) の SPB ビットの設定値に依存します。SSL<sub>i</sub> 出力信号の極性は、RSPI<sub>i</sub> スレーブセレクト極性レジスタ (SPiSSLP) の設定値に依存します。RSPI<sub>i</sub> の転送フォーマットの詳細については「24.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、RSPIi シーケンス制御レジスタ (SPiSCR)、RSPI コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3)、RSPIi ビットレートレジスタ (SPiBR)、RSPIi クロック遅延レジスタ (SPiCKD)、RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND)、RSPIi 次アクセス遅延レジスタ (SPiND) によって決定されます。

SPiSCR レジスタは、マスタモードの RSPIi で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPiCMD0~SPiCMD3 レジスタには、SSLi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPiCKD レジスタの参照要否、SPiSSLND レジスタの参照要否、SPiND レジスタの参照要否が設定されています。SPiBR レジスタにはビットレート設定の一部、SPiCKD レジスタには RSPI クロック遅延値、SPiSSLND レジスタには SSL ネゲート遅延、SPiND レジスタには次アクセス遅延値が設定されています。

RSPIi は、SPiSCR に設定されたシーケンス長に従って、SPiCMD0~SPiCMD3 レジスタの一部/全部からなるシーケンスを構成します。RSPIi には、シーケンスを構成している SPiCMD レジスタに対するポインタが存在します。このポインタの値は、RSPIi シーケンスステータスレジスタ (SPiSSR) の SPCP ビットの読み出しによって CPU から確認可能です。RSPIi 制御レジスタ (SPiCR) の SPE ビットを"1"にして RSPIi 機能をイネーブルにすると、RSPIi はコマンドに対するポインタを SPiCMD0 レジスタにセットし、シリアル転送の開始時に SPiCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIi は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIi はポインタを SPiCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

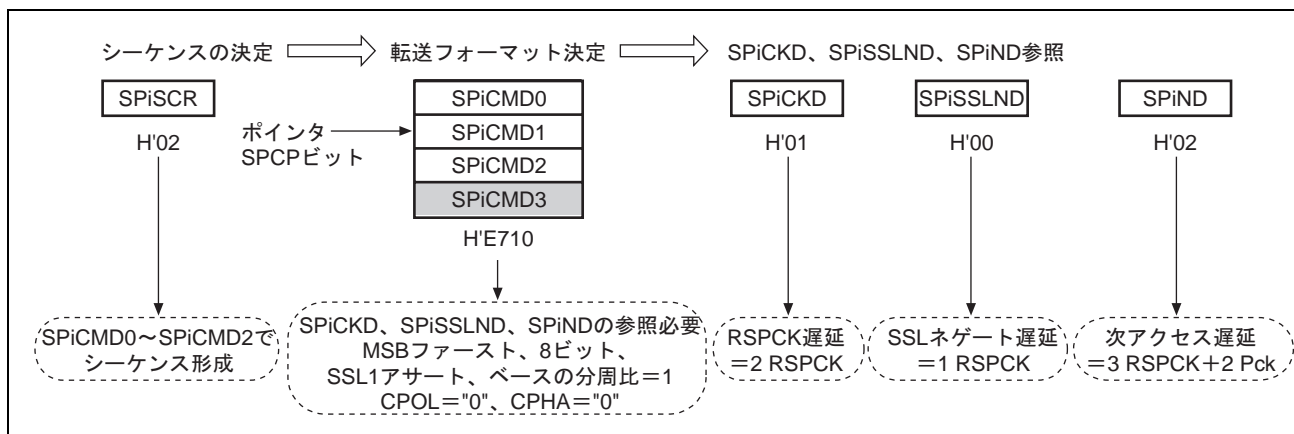


図 24.19 マスタモードでのシリアル転送方式の決定方法

## (d) バースト転送

RSPIi が現在のシリアル転送で参照している RSPIi コマンドレジスタ (SPiCMD) の SSLKP ビットが"1"の場合には、RSPIi はシリアル転送中の SSLi 信号レベルを次のシリアル転送の SSLi 信号アサート開始まで保持します。次のシリアル転送での SSLi 信号レベルが、現在のシリアル転送での SSLi 信号レベルと同じであれば、RSPIi は SSLi 信号アサート状態を保持したまま連続的にシリアル転送を実行できます (バースト転送)。

図 24.20 に、SPiCMD0 レジスタと SPiCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLi 信号動作例を示します。図 24.20 に記載した (1) ~ (7) の RSPIi 動作内容について、以下に説明します。なお、SSLi 出力信号の極性は、RSPIi スレーブセレクト極性レジスタ (SPiSSLP) の設定値に依存します。

1. SPiCMD0 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
2. SPiCMD0 レジスタに従ったシリアル転送を実行します。
3. SSL ネゲート遅延を挿入します。
4. SPiCMD0 レジスタの SSLKP ビットが"1"であるため、SPiCMD0 レジスタでの SSL 信号値を保持します。この期間は、最短の場合には SPiCMD0 レジスタの次アクセス遅延 + 2Pck 継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPiCMD1 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
6. SPiCMD1 レジスタに従ったシリアル転送を実行します。
7. SPiCMD1 レジスタの SSLKP ビットが"0"であるため、SSLi 信号をネゲートします。また、SPiCMD1 レジスタに従った次アクセス遅延が挿入されます。

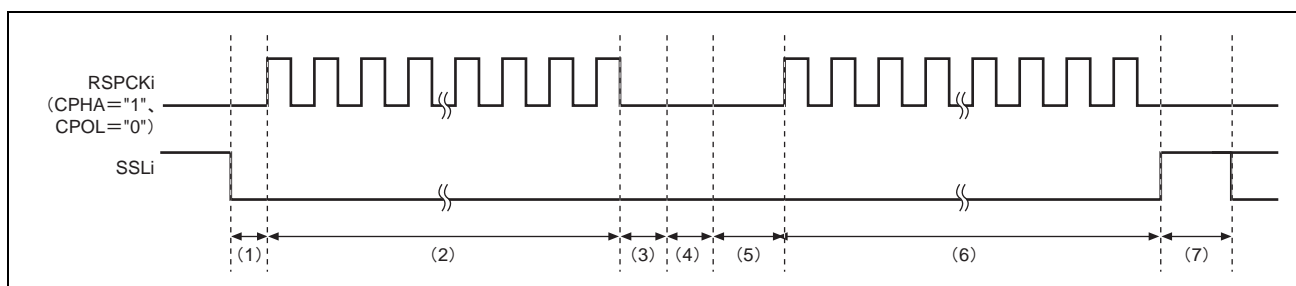


図 24.20 SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに"1"を設定した SPiCMD レジスタでの SSLi 信号出力設定と、次転送で使用する SPiCMD レジスタでの SSLi 信号出力設定が異なる場合、RSPIi は次転送のコマンドに対応した SSLi 信号のアサート時(図 24.20 の (5) ) に SSLi 信号状態を切り替えます。このような SSLi 信号の切り替えが発生した場合、MISOi をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPIi は、SSLKP ビットを使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPiCMD レジスタの CPHA ビットが"0"の場合でも、RSPIi は内部で検出した次転送の SSLi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます (「24.4.9 (2) スレーブモード動作」を参照)。

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (e) RSPCK 遅延 (t1)

マスタモードの RSPIi の RSPCK 遅延値は、RSPIi コマンドレジスタ (SPiCMD) の SCKDEN ビットの設定と RSPIi クロック遅延レジスタ (SPiCKD) の設定に依存します。RSPIi は、シリアル転送で参照する SPiCMD レジスタをポインタ制御によって決定し、選択した SPiCMD レジスタの SCKDEN ビットと SPiCKD レジスタを使用して、表 24.9 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「24.4.4 転送フォーマット」を参照してください。

表 24.9 SCKDEN ビット、SPiCKD レジスタと RSPCK 遅延値の関係

SCKDEN ビット	SCKDL ビット	RSPCK 遅延値
0	000~111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

### (f) SSL ネゲート遅延 (t2)

マスタモードの RSPIi の SSL ネゲート遅延値は、RSPIi コマンドレジスタ (SPiCMD) の SLNDEN ビットの設定と RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND) の設定に依存します。RSPIi は、シリアル転送で参照する SPiCMD レジスタをポインタ制御によって決定し、選択した SPiCMD レジスタの SLNDEN ビットと SPiSSLND レジスタを使用して、表 24.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「24.4.4 転送フォーマット」を参照してください。

表 24.10 SLNDEN ビット、SPiSSLND レジスタと SSL ネゲート遅延値の関係

SLNDEN ビット	SLNDL ビット	SSL ネゲート遅延値
0	000~111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

## (g) 次アクセス遅延 (t3)

マスタモードの RSPI の次アクセス遅延は、RSPI<sub>i</sub> コマンドレジスタ (SPiCMD) の SPNDEN ビットの設定と RSPI<sub>i</sub> 次アクセス遅延レジスタ (SPiND) の設定に依存します。RSPI<sub>i</sub> は、シリアル転送で参照する SPiCMD レジスタをポインタ制御によって決定し、選択した SPiCMD レジスタの SPNDEN ビットと SPiND レジスタを使用して、表 24.11 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「24.4.4 転送フォーマット」を参照してください。

表 24.11 SPNDEN ビット、SPiND レジスタと次アクセス遅延値の関係

SPNDEN ビット	SPiND レジスタ	次アクセス遅延値
0	000~111	1 RSPCK+2 Pck
1	000	1 RSPCK+2 Pck
	001	2 RSPCK+2 Pck
	010	3 RSPCK+2 Pck
	011	4 RSPCK+2 Pck
	100	5 RSPCK+2 Pck
	101	6 RSPCK+2 Pck
	110	7 RSPCK+2 Pck
	111	8 RSPCK+2 Pck

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (h) 初期化フロー

図 24.21 に、SPI 動作時、RSPIi をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

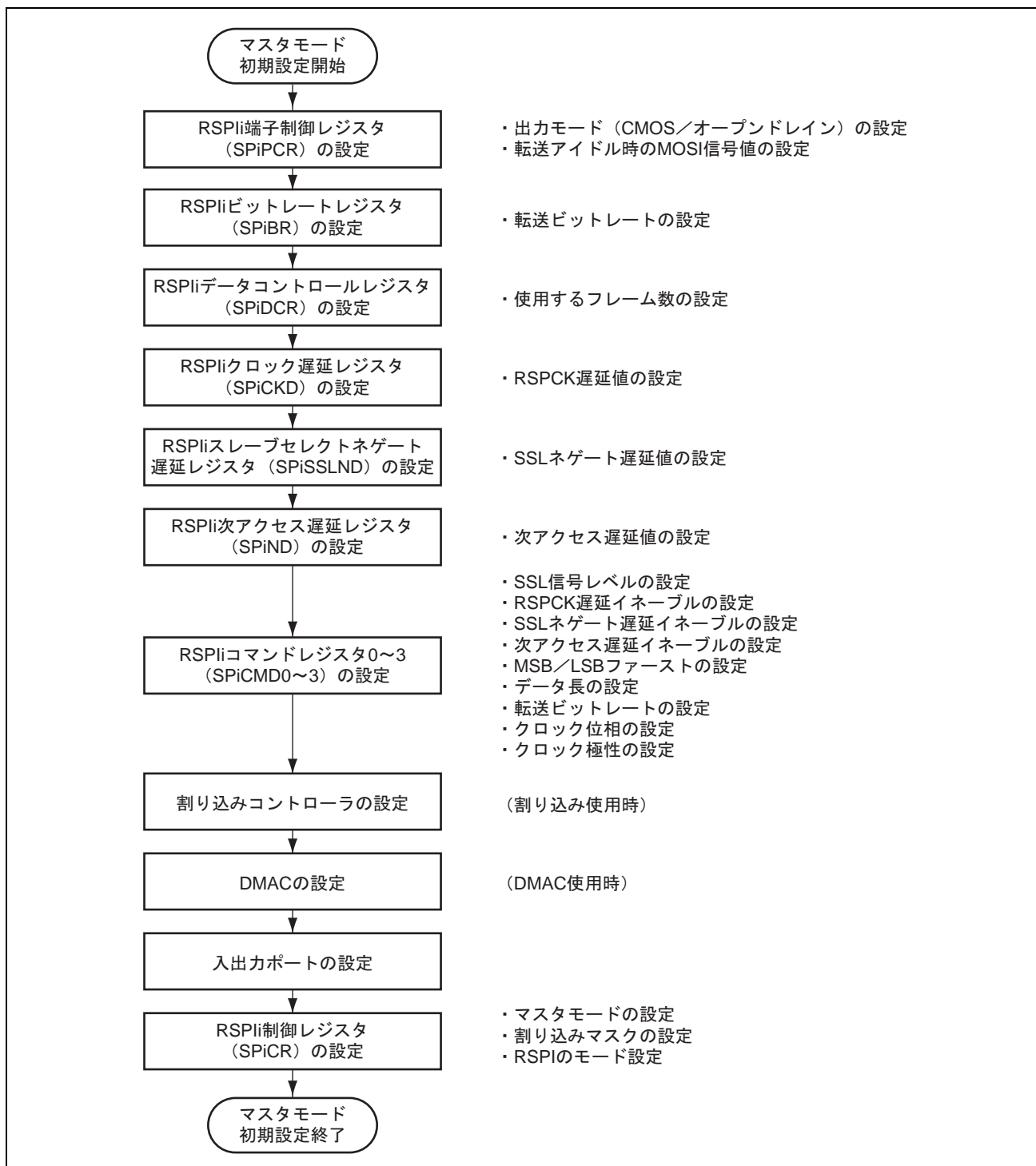


図 24.21 マスターモード時の初期化フロー例

## (i) 転送動作フロー

図 24.22 に、SPI 動作時、マスタモードの RSPIi の転送動作フローを示します。

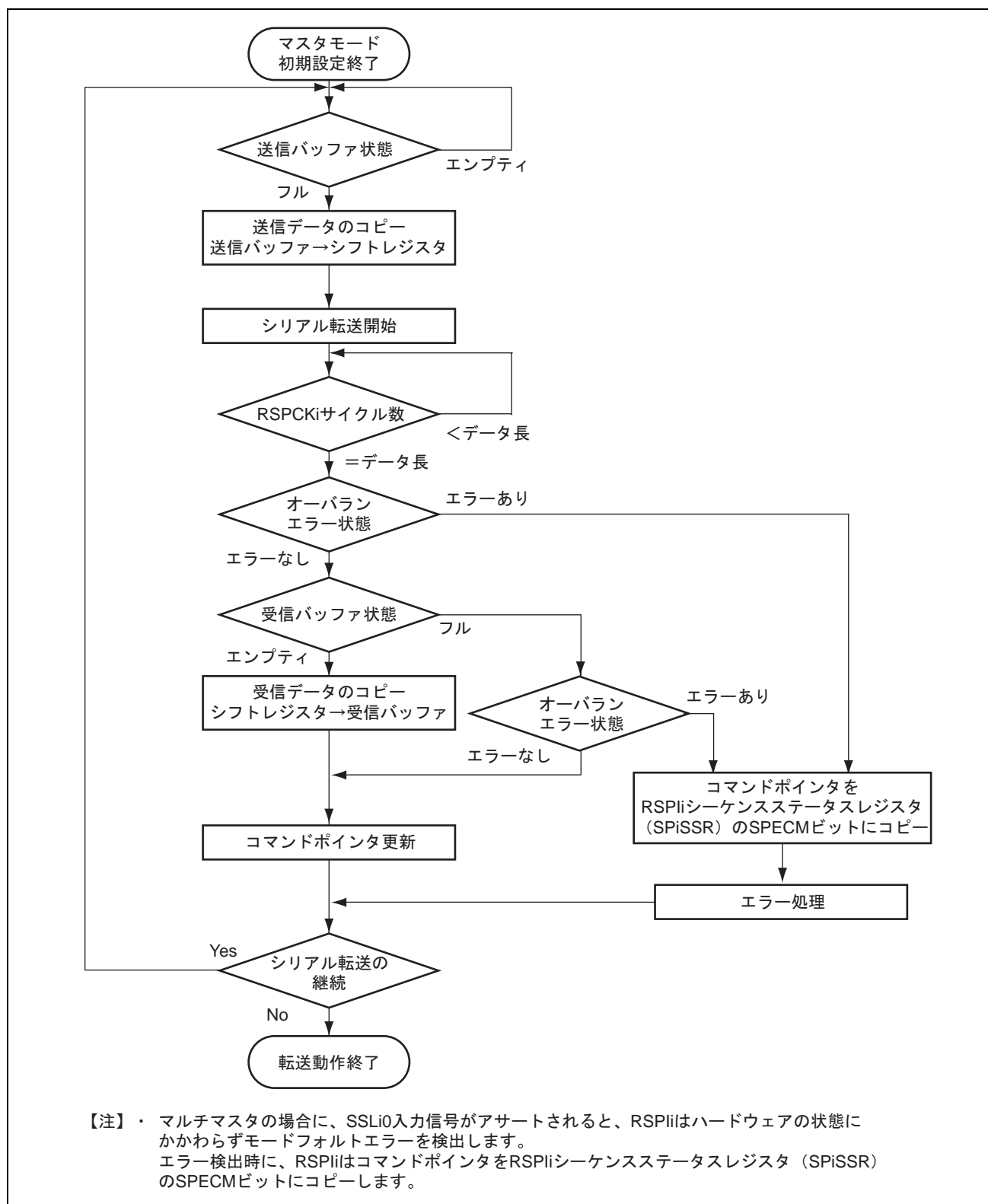


図 24.22 マスタモード時の転送動作フロー



### (2) スレーブモード動作

#### (a) シリアル転送の開始

RSPI コマンドレジスタ 0 (SPiCMD0) の CPHA ビットが"0"の場合、RSPI は SSLi0 入力信号のアサートを検出すると、MISOi 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが"0"の場合には、SSLi0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが"1"の場合には、RSPI は SSLi0 入力信号のアサート状態で最初の RSPCKi エッジを検出すると、MISOi 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが"1"の場合には、SSLi0 信号アサート状態における最初の RSPCKi エッジがシリアル転送開始のトリガになります。RSPI は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISOi 出力信号のドライブを開始するタイミングは、SSLi0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効/無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。SSLi0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SPiSSLP) の SSLi0P ビットの設定値に依存します。

#### (b) シリアル転送の終了

RSPI コマンドレジスタ 0 (SPiCMD0) の CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKi エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ (SPiSR) の SPRF ビットが"0"で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ (SPiDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLi0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「24.4.7 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPiCMD0 レジスタの SPB ビットの設定値に依存します。SSLi0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ (SPiSSLP) の SSLi0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。

#### (c) シングルスレーブ時の注意点

RSPI コマンドレジスタ 0 (SPiCMD0) の CPHA ビットが"0"の場合には、RSPI は SSLi0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 24.5 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLi0 入力信号が常にアクティブ状態に固定されるため、CPHA を"0"に設定した RSPI ではシリアル転送を正しく開始できません。SSLi0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを"1"にしてください。CPHA ビットを"0"にする必要がある場合には、SSLi0 入力信号を固定しないでください。

## (d) バースト転送

RSPIi コマンドレジスタ 0 (SPiCMD0) の CPHA ビットが"1"の場合には、SSLi0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが"1"の場合には、SSLi0 入力信号アクティブ状態における最初の RSPCKi エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLi0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが"0"の場合には、「24.4.9 (2) スレーブモード動作」の「(c) シングルスレーブ時の注意点」と同じ理由のために、バースト転送の2回目以降のシリアル転送を正しく実行できません。

## (e) 初期化フロー

図 24.23 に、SPI 動作時、RSPIi をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

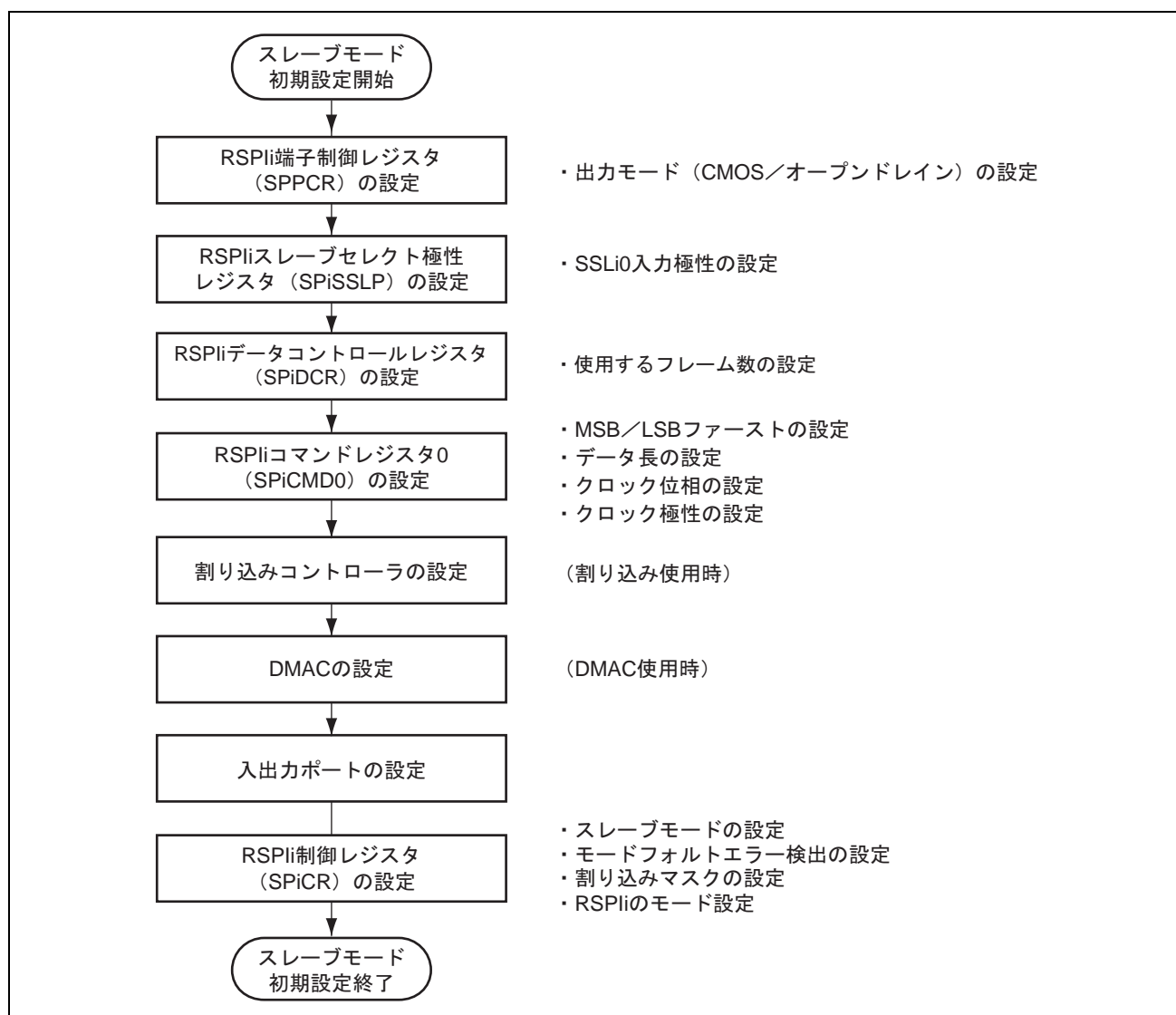


図 24.23 スレーブモード時の初期化フロー例

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

(f) 転送動作フロー (CPHA="0")

図 24.24 に、SPI 動作時、RSPIi コマンドレジスタ 0 (SPiCMD0) の CPHA ビットを"0"に設定したスレーブモードの RSPIi の転送動作フローを示します。

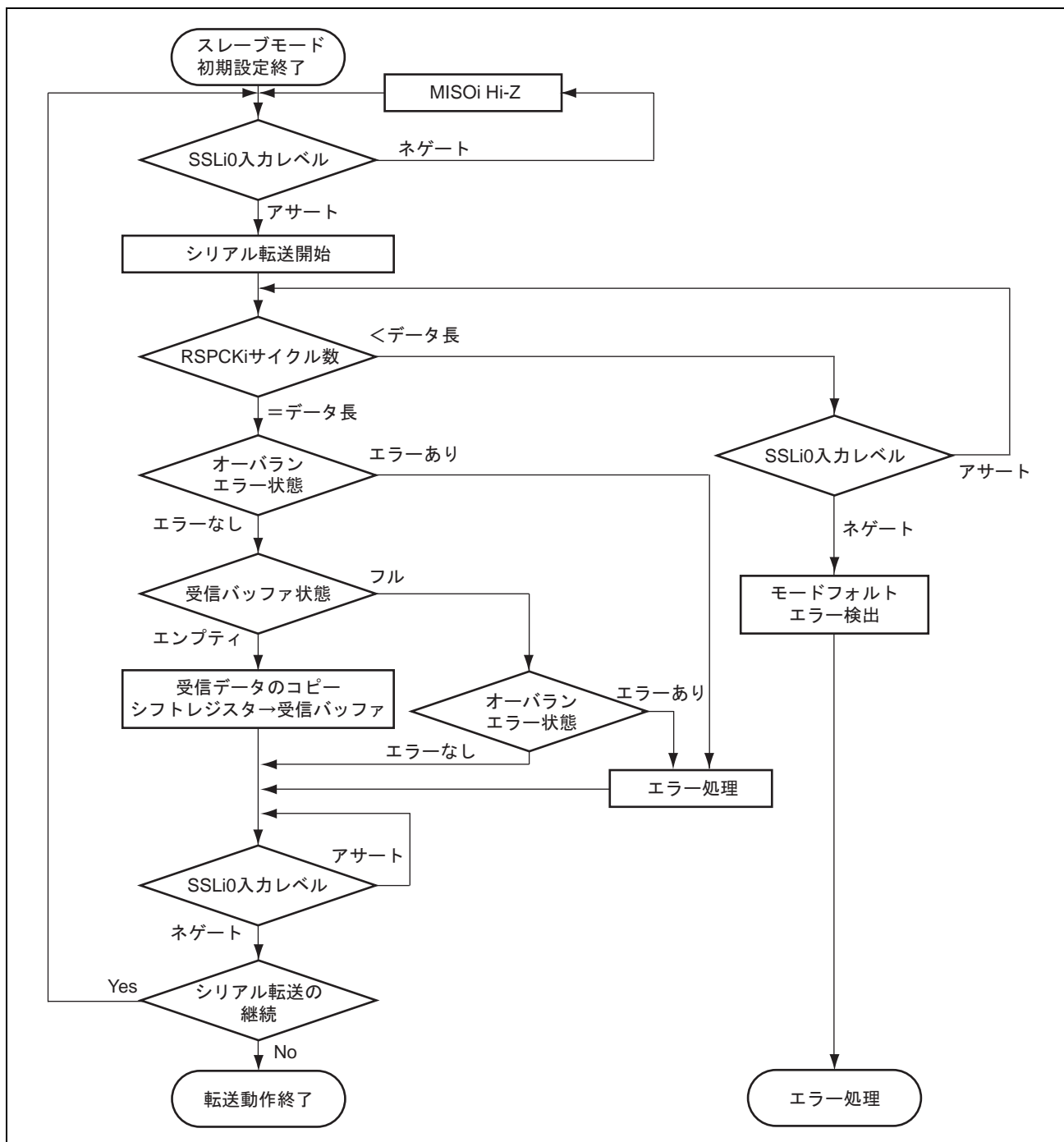


図 24.24 スレーブモード時の転送動作フロー (CPHA="0")

(g) 転送動作フロー (CPHA="1")

図 24.25 に、SPI 動作時、RSPIi コマンドレジスタ 0 (SPiCMD0) の CPHA ビットを"1"に設定したスレーブモードの RSPIi の転送動作フローを示します。

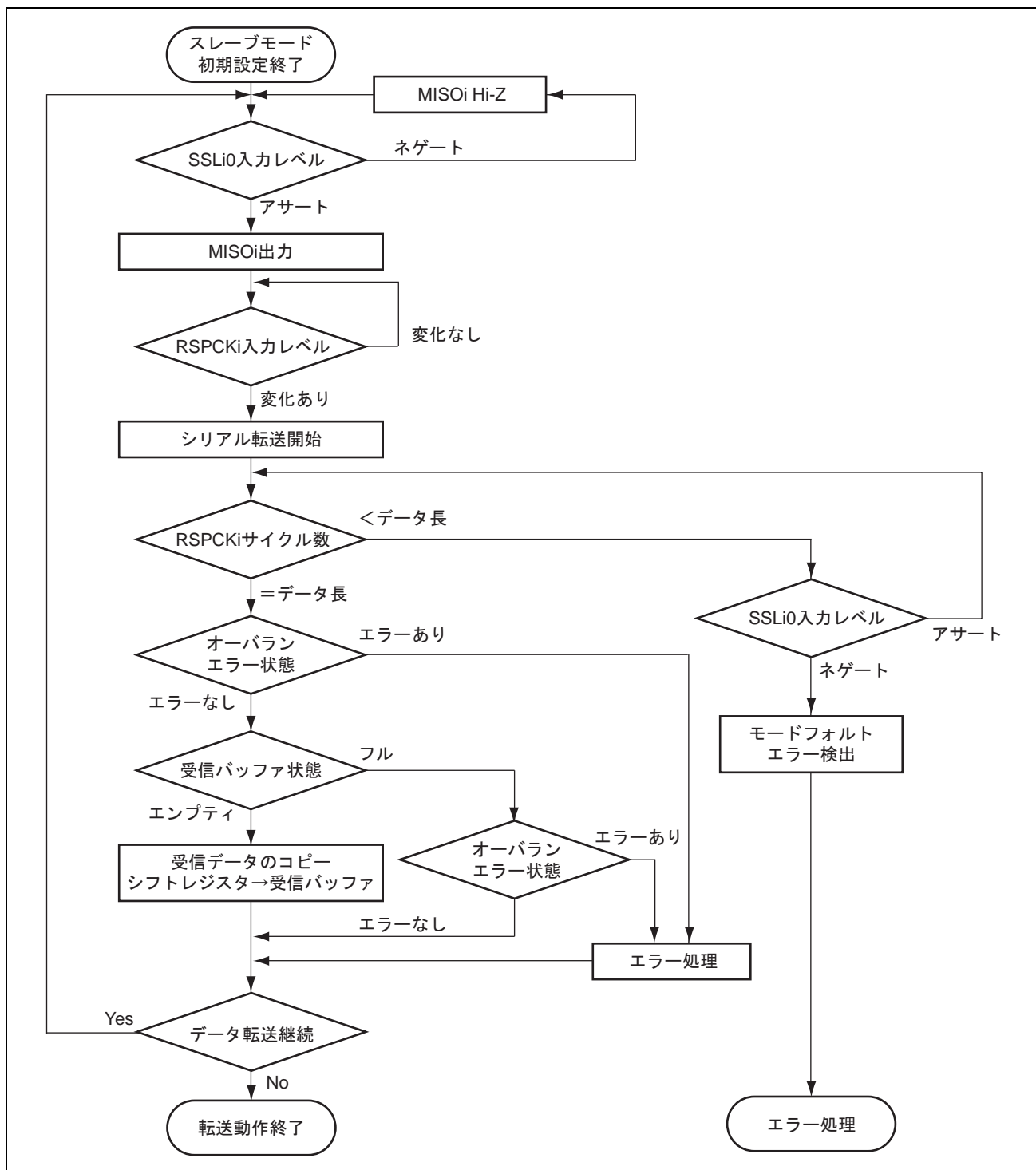


図 24.25 スレーブモード時の転送動作フロー (CPHA="1")

### 24.4.10 クロック同期式動作

RSPIi は、RSPIi 制御レジスタ (SPiCR) の SPMS ビットが"1"であるとき、クロック同期式動作となります。クロック同期式動作は、SSLi 端子を使用せず、RSPCKi、MOSIi、MISOi の 3 本の端子を用いて通信を行い、SSLi 端子は I/O ポートとして使用できます。

クロック同期式動作は、SSLi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、RSPIi コマンドレジスタ (SPiCMD) の CPHA ビットを"0"に設定した場合の動作について保証していません。

#### (1) マスタモード動作

##### (a) シリアル転送の開始

RSPIi ステータスレジスタ (SPiSR) の SPTEF ビットが"1"の状態、CPU または DMAC が RSPIi データレジスタ (SPiDR) ヘデータを書き込むと、RSPIi は SPiDR レジスタの送信バッファのデータを更新します。CPU または DMAC から SPiDR レジスタへの書き込みまたは CPU から SPTEF の"1"読み出し後の"0"書き込みによって SPTEF ビットを"0"にクリアした状態で、シフトレジスタが空の場合には、RSPIi は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIi は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPIi の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSLi0 出力信号を用いずに通信を行います。

##### (b) シリアル転送の終了

RSPIi はサンプリングタイミングに対応する RSPCKi エッジを送出するとシリアル転送を終了します。RSPIi ステータスレジスタ (SPiSR) の SPRF ビットが"0"で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPIi データレジスタ (SPiDR) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPIi のデータ長は、RSPIi コマンドレジスタ (SPiCMD) の SPB ビットの設定値に依存します。RSPIi の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSLi0 出力信号を用いずに通信を行います。

##### (c) シーケンス制御

マスタモード時の転送フォーマットは、RSPIi シーケンス制御レジスタ (SPiSCR)、RSPIi コマンドレジスタ 0~3 (SPiCMD0~SPiCMD3)、RSPIi ビットレートレジスタ (SPiBR)、RSPIi クロック遅延レジスタ (SPiCKD)、RSPIi スレーブセレクトネゲート遅延レジスタ (SPiSSLND)、RSPIi 次アクセス遅延レジスタ (SPiIND) によって決定されます。クロック同期式動作時は、SSLi 信号の出力を行いませんが、これらの設定は有効です。

SPiSCR レジスタは、マスタモードの RSPIi で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPiCMD0~SPiCMD3 レジスタには、SSLi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKi 極性/位相、SPiCKD レジスタの参照要否、SPiSSLND レジスタの参照要否、SPiIND

レジスタの参照要否が設定されています。SPiBR レジスタにはビットレート設定の一部、SPiCKD レジスタには RSPIi クロック遅延値、SPiSSLND レジスタには SSL ネゲート遅延、SPiND レジスタには次アクセス遅延値が設定されています。

RSPIi は、SPiSCR レジスタに設定されたシーケンス長に従って、SPiCMD0～SPiCMD3 レジスタの一部/全部からなるシーケンスを構成します。RSPIi には、シーケンスを構成している SPiCMD レジスタに対するポインタが存在します。このポインタの値は、RSPIi シーケンスステータスレジスタ (SPiSSR) の SPCP ビットの読み出しによって CPU から確認可能です。RSPIi 制御レジスタ (SPiCR) の SPE ビットを "1" にして RSPI 機能をイネーブルにすると、RSPIi はコマンドに対するポインタを SPiCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIi は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIi はポインタを SPiCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

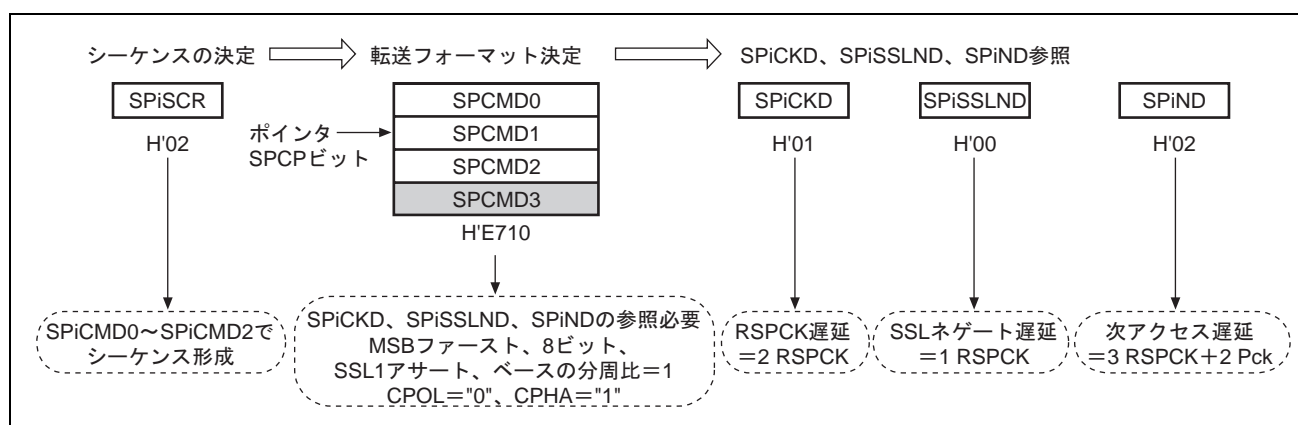


図 24.26 マスタモードでのシリアル転送方式の決定方法

## 24. ルネサスシリアルペリフェラルインタフェース (RSPI)

### (d) 初期化フロー

図 24.27 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

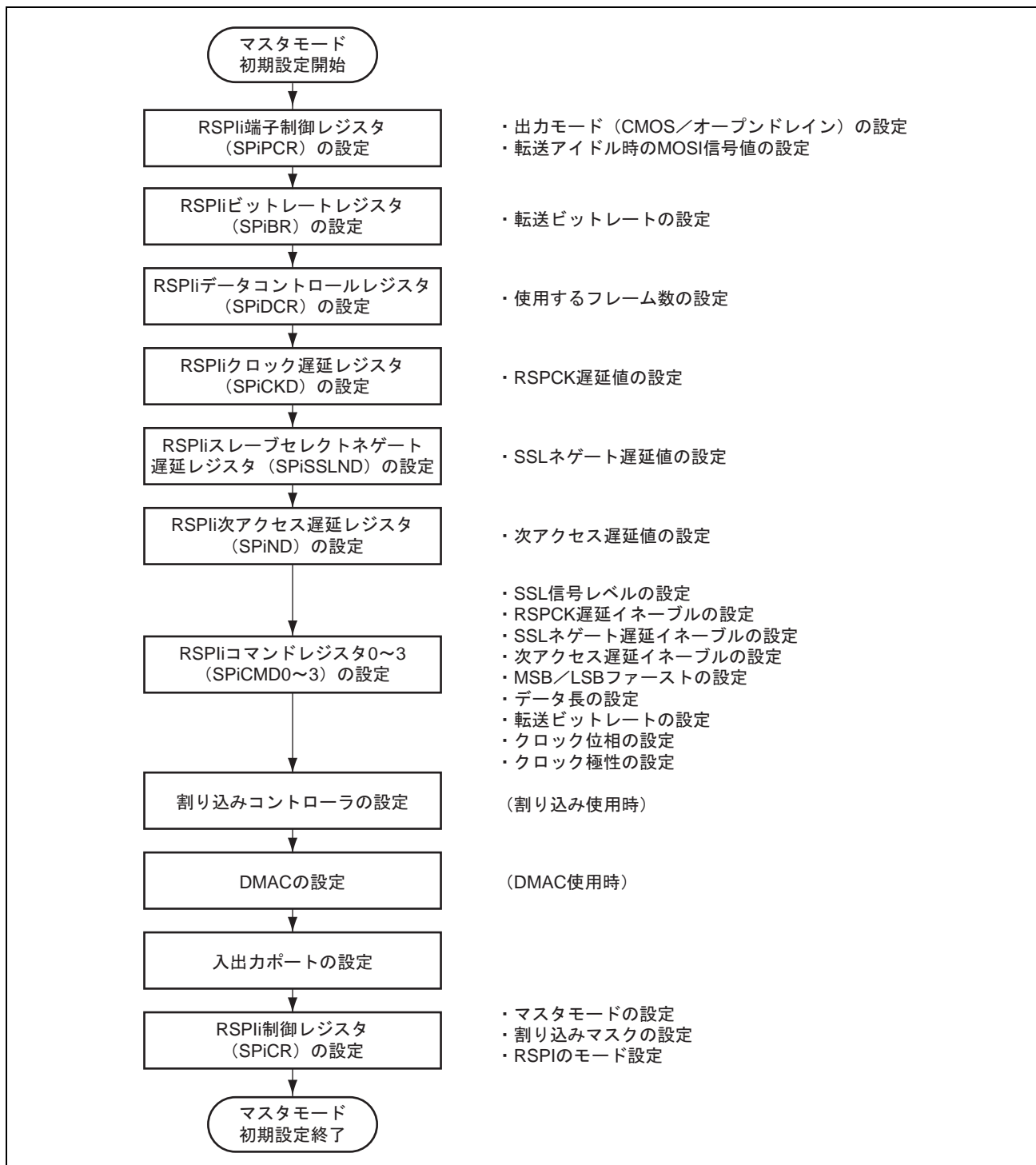


図 24.27 マスターモード時の初期化フロー例

(e) 転送動作フロー

図 24.28 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

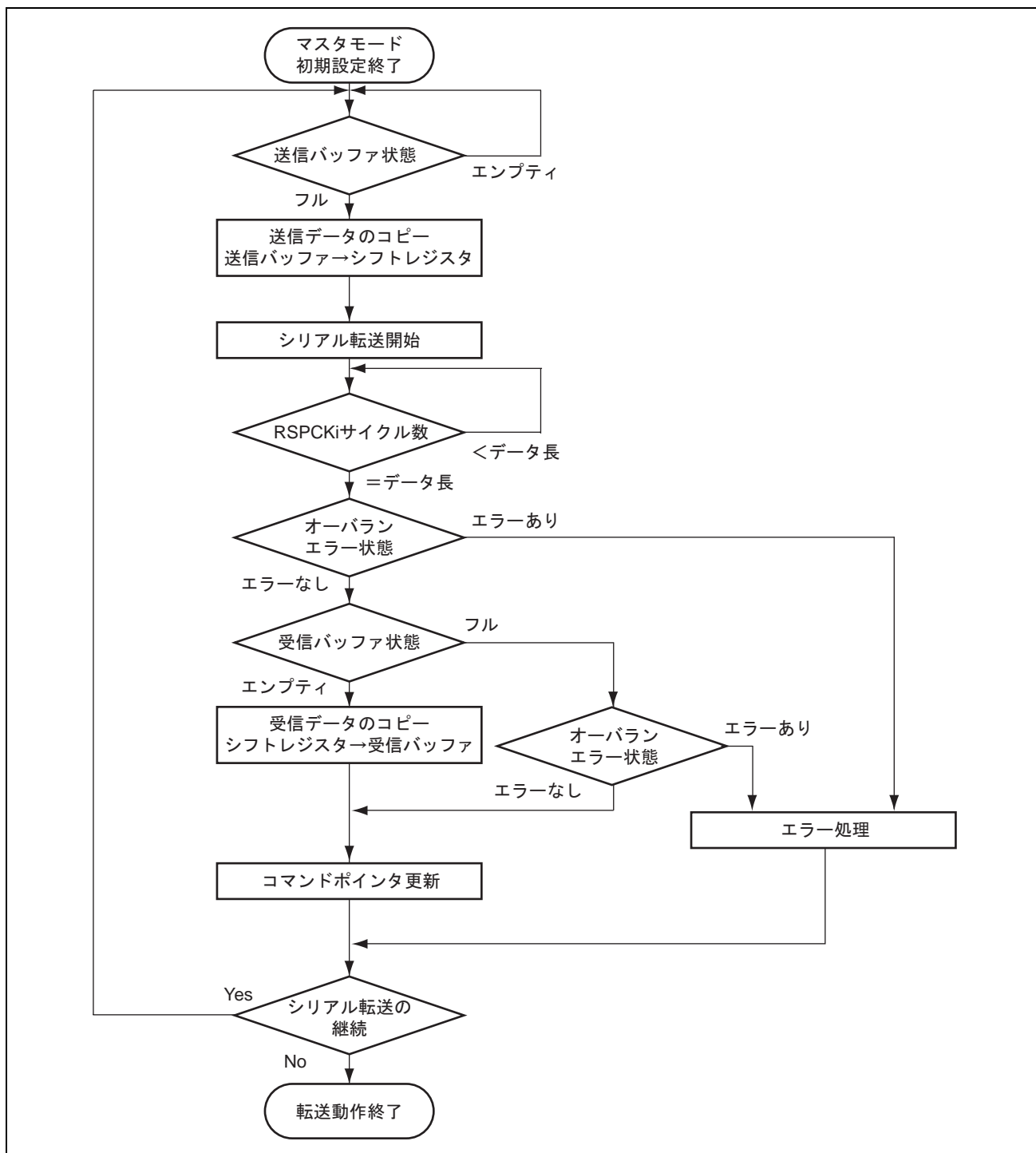


図 24.28 マスタモード時の転送動作フロー



### (2) スレーブモード動作

#### (a) シリアル転送の開始

RSPI<sub>i</sub> は、RSPI<sub>i</sub> 制御レジスタ (SPiCR) の SPMS ビットが"1"であるとき、最初の RSPCK<sub>i</sub> エッジがシリアル転送開始のトリガになります。

RSPI<sub>i</sub> は、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI<sub>i</sub> はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが"1"であるときは、RSPI<sub>i</sub> は MISO<sub>i</sub> 出力信号を常にドライブします。

なお、RSPI<sub>i</sub> の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL<sub>i0</sub> 入力信号を用いません。

#### (b) シリアル転送の終了

RSPI<sub>i</sub> は最終サンプリングタイミングに相当する RSPCK<sub>i</sub> エッジを検出するとシリアル転送を終了します。RSPI<sub>i</sub> ステータスレジスタ (SPiSR) の SPRF ビットが"0"で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI<sub>i</sub> はシフトレジスタから RSPI<sub>i</sub> データレジスタ (SPiDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値に関わらず、RSPI<sub>i</sub> はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI<sub>i</sub> のデータ長は SPiCMD0 レジスタの SPB ビットの設定値に依存します。RSPI<sub>i</sub> の転送フォーマットの詳細については、「24.4.4 転送フォーマット」を参照してください。

## (c) 初期化フロー

図 24.29 に、クロック同期式動作時の RSPIi をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

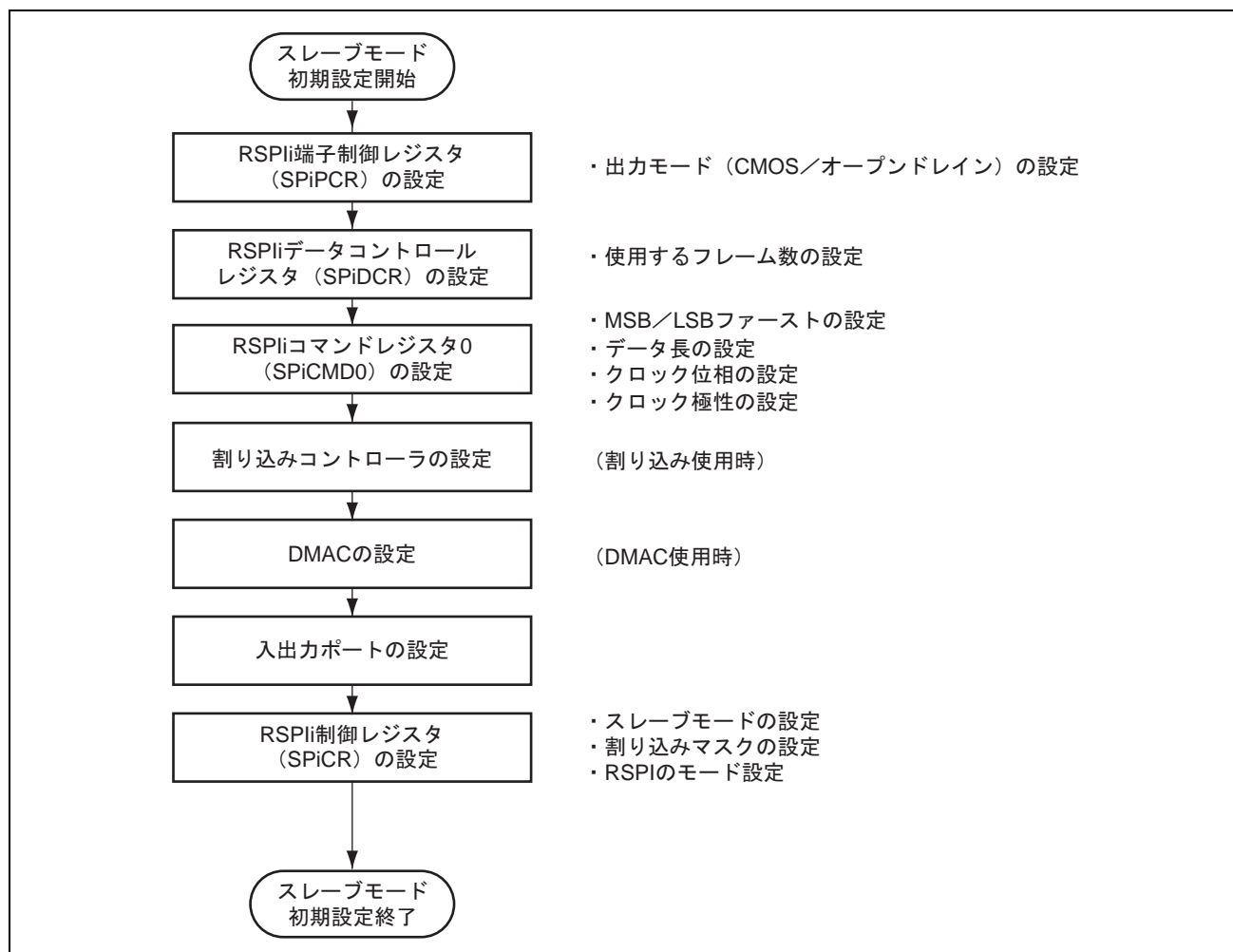


図 24.29 スレーブモード時の初期化フロー例

24. ルネサスシリアルペリフェラルインタフェース (RSPI)

(d) 転送動作フロー

図 24.30 に、クロック同期式動作時の RSPIi の転送動作フローを示します。

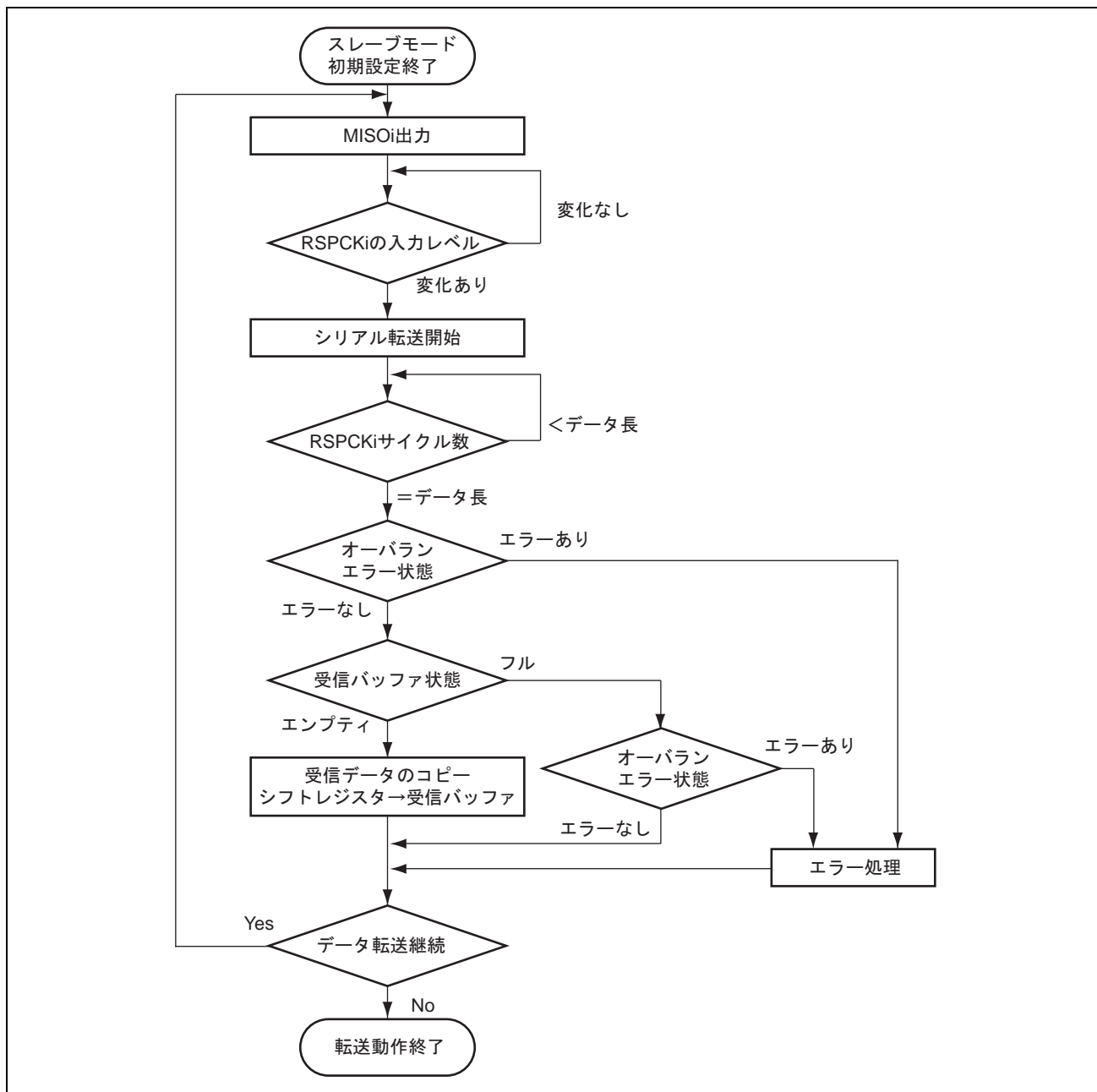


図 24.30 スレーブモード時の転送動作フロー (CPHA="1")

## 24.4.11 エラー処理

図 24.31、図 24.32 に、RSPI のエラー処理を示します。マスターモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

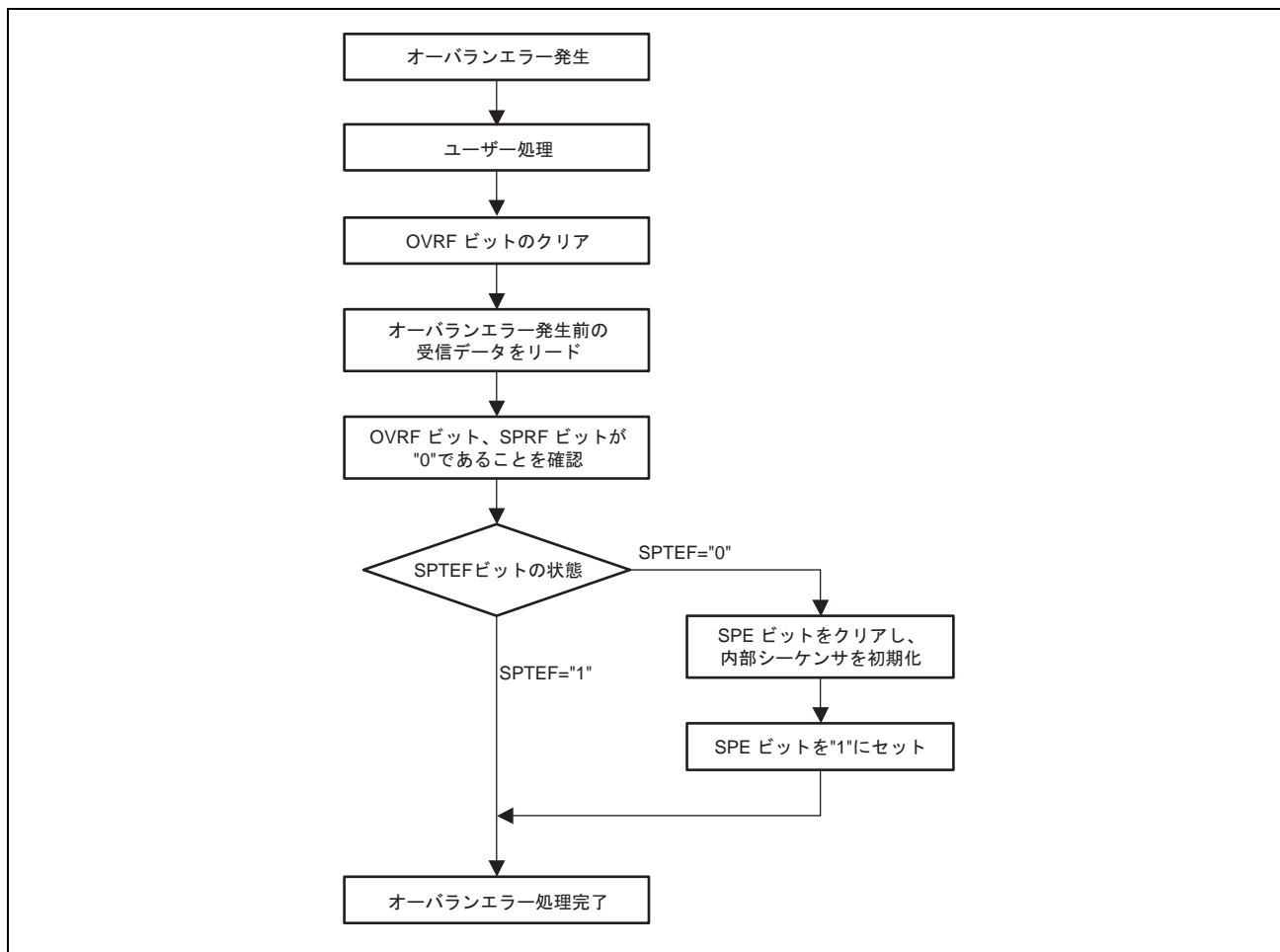


図 24.31 エラー処理 (オーバーランエラー)

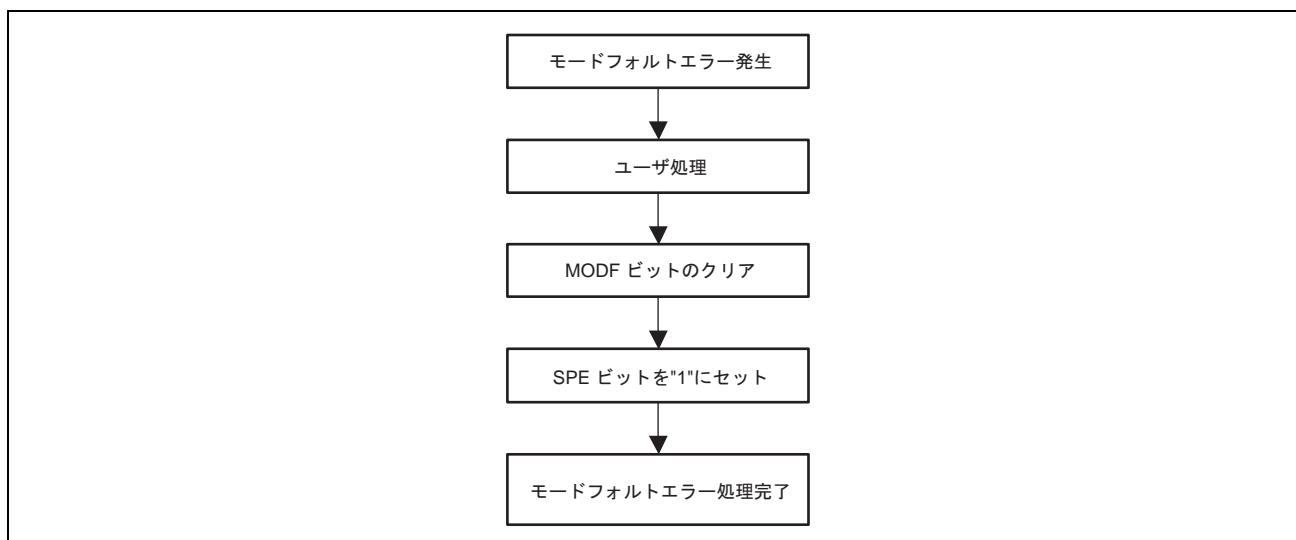


図 24.32 エラー処理 (モードフォルトエラー)

### 24.4.12 ループバックモード

CPU が RSPIi 端子制御レジスタ (SPiPCR) の SPLP ビットに"1"を書き込むと、RSPIi は MISOi 端子とシフトレジスタ間、MOSIi 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPIi の送信データが RSPIi の受信データになります。図 24.33 に、マスタモードの RSPIi をループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

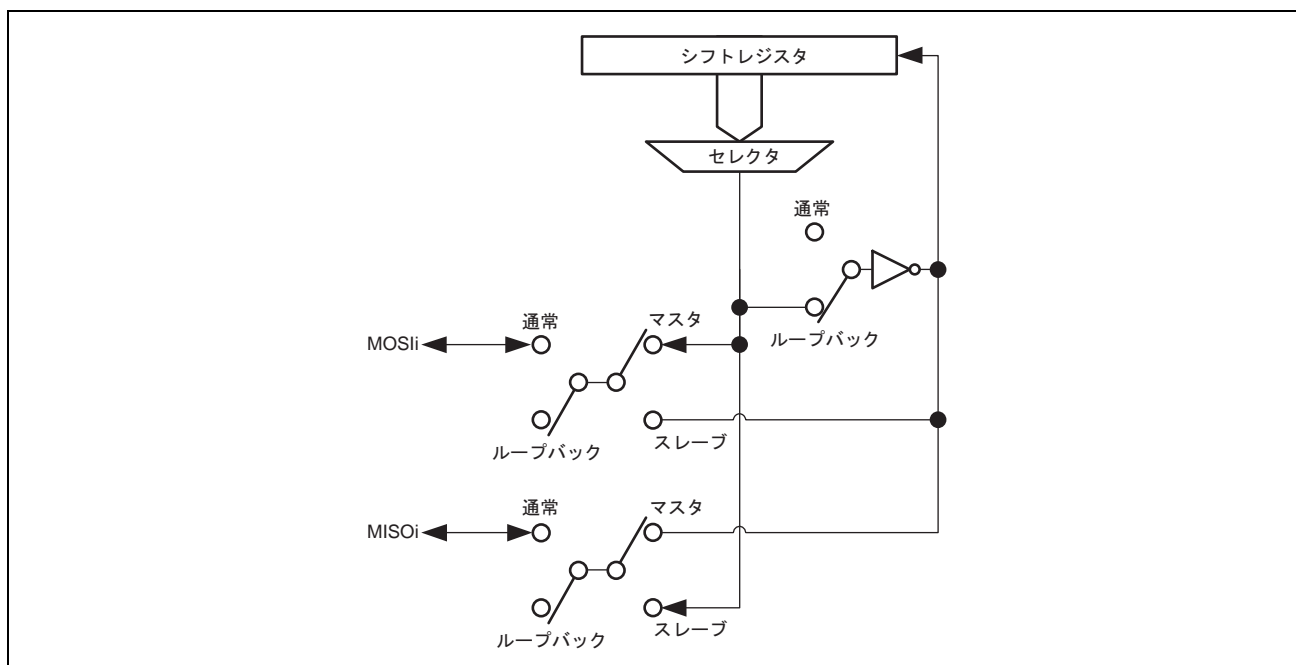


図 24.33 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

### 24.4.13 割り込み要因

RSPIi の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバーランがあります。

受信バッファフルの割り込み要求が SPRIn、送信バッファエンプティの割り込み要求が SPTIn、モードフォルト、オーバーランの割り込み要求が SPEIn に割り付けられているため、フラグによる要因の判断が必要です。

表 24.12 に、RSPIi の割り込み要因を示します。

表 24.12 の割り込み条件が成立すると、割り込みが発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 24.12 RSPIi の割り込み要因

割り込み要因	割り込み条件
受信バッファフル	(SPiCR.SPRIE=1)・(SPiSR.SPRF=1)
送信バッファエンプティ	(SPiCR.SPTIE=1)・(SPiSR.SPTEF=1)
モードフォルト	(SPiCR.SPEIE=1)・(SPiSR.MODF=1)
オーバーラン	(SPiCR.SPEIE=1)・(SPiSR.OVRF=1)

### 24.4.14 DMA 転送要因

RSPI の DMA 転送要求要因には、受信バッファフル、送信バッファエンプティがあります。表 24.13 の RSPIi の DMA 転送要求要因が成立すると RSPIi は DMA 転送要求を発行します。DMAC の起動設定を行っている場合は DMAC を起動し、データ転送を行うことができます。また、DMAC の起動設定により送信データエンプティ DMA 転送要求を許可している場合は SPTIE ビット、受信データフル DMA 転送要求を許可している場合は SPRIE ビットのセットにより、同時に割り込み要求の許可をしないでください。

表 24.13 RSPIi の DMA 転送要求要因

DMA 転送要求要因	DMA 転送要求条件
受信バッファフル	SPiSR.SPRF=1
送信バッファエンプティ	SPiSR.SPTEF=1

レイアウトの都合上、このページは白紙です。

---

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

---

I<sup>2</sup>C バスインタフェース 3 は、フィリップス社が提唱した I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

### 25.1 概要

- I<sup>2</sup>C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信/受信可能  
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信/受信が可能

#### I<sup>2</sup>C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵  
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を "L" レベルにして待機させます。
- 割り込み要因：6種類  
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能  
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

#### クロック同期式シリアルフォーマット

- 割り込み要因：4種類  
送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。



25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

図 25.1 に I<sup>2</sup>C バスインタフェース 3 のブロック図を示します。

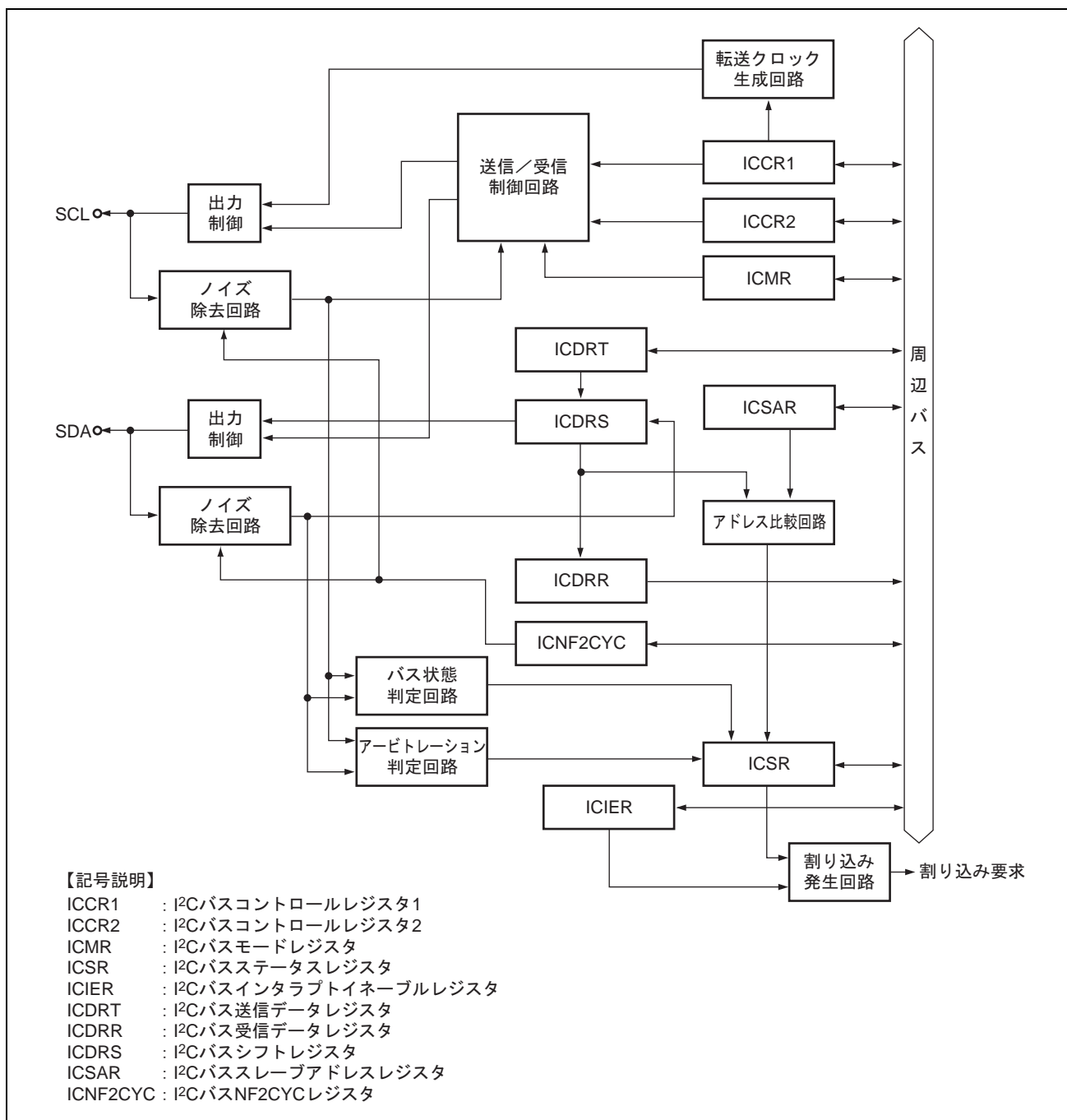


図 25.1 I<sup>2</sup>C バスインタフェース 3 のブロック図

## 25.2 入出力端子

表 25.1 に I<sup>2</sup>C バスインタフェース 3 で使用する端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 25.1 端子構成

端子名	入出力	機能
SCL	入出力	I <sup>2</sup> C シリアルクロック入出力端子
SDA	入出力	I <sup>2</sup> C シリアルデータ入出力端子

図 25.2 に入出力端子の外部回路接続例を示します。

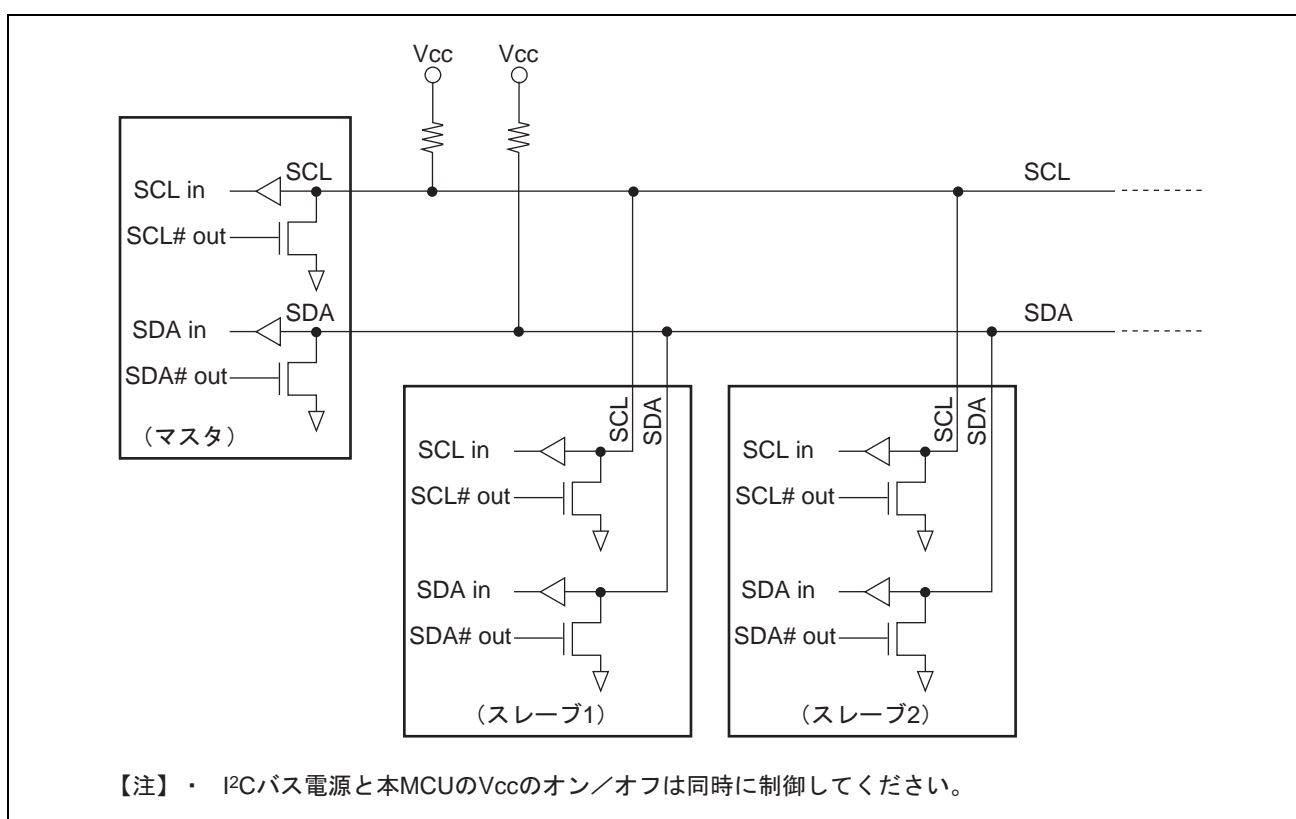


図 25.2 入出力端子の外部回路接続例

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

### 25.3 レジスタの説明

表 25.2 に I<sup>2</sup>C バスインタフェース 3 のレジスタ構成を示します。

表 25.2 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1	H'00	H'FFFE E000	8	25-4
I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2	H'7D	H'FFFE E001	8	25-7
I <sup>2</sup> C バスモードレジスタ	ICMR	H'38	H'FFFE E002	8	25-8
I <sup>2</sup> C バスインタラプトイネーブルレジスタ	ICIER	H'00	H'FFFE E003	8	25-10
I <sup>2</sup> C バスステータスレジスタ	ICSR	H'00	H'FFFE E004	8	25-12
I <sup>2</sup> C バススレーブアドレスレジスタ	ICSAR	H'00	H'FFFE E005	8	25-14
I <sup>2</sup> C バス送信データレジスタ	ICDRT	H'FF	H'FFFE E006	8	25-15
I <sup>2</sup> C バス受信データレジスタ	ICDRR	H'FF	H'FFFE E007	8	25-15
I <sup>2</sup> C バス NF2CYC レジスタ	ICNF2CYC	H'00	H'FFFE E008	8	25-16

【注】・P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

#### 25.3.1 I<sup>2</sup>C バスコントロールレジスタ 1 (ICCR1)

I<sup>2</sup>C バスインタフェース 3 の動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

I<sup>2</sup>C バスコントロールレジスタ 1 (ICCR1)

<P4 領域アドレス : H'FFFE E000 番地>

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS			

リセット後の値: 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	ICE	0	R	W	I <sup>2</sup> C バスインタフェース 3 イネーブルビット 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R	W	受信ディスエーブルビット TRS="0"の状態(ICDRR レジスタをリードしたときに次の動作の継続/禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止

ビット	シンボル	リセット 後の値	R	W	説明
5 4	MST TRS	0 0	R R	W W	<p>マスタ/スレーブ選択ビット</p> <p>送信/受信選択ビット</p> <p>I<sup>2</sup>C バスフォーマットのマスタモードでバス競合負けをすると、MST ビットと TRS ビットともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS ビットの変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが ICSAR レジスタに設定したスレーブアドレスと一致し、8 ビット目が"1"の場合、TRS ビットが自動的に"1"にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST ビットは"0"にクリアされ、スレーブ受信モードに変わります。</p> <p>MST ビットと TRS ビットとの組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST="1"のとき、クロック出力となります。</p> <p>00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード</p>
3~0	CKS	0000	R	W	<p>転送クロック選択ビット</p> <p>マスタモードのとき、必要な転送レート（表 25.3 参照）にあわせて設定してください。マスタモード時の転送レートは、CKS ビットの設定と IIC3 モジュールに与えられる動作クロック Pck の組み合わせによって決まります。本 MCU では Pck=40MHz の場合を示します。</p>

25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

表 25.3 転送レート

ビット 3	ビット 2	ビット 1	ビット 0	クロック	転送レート (kHz)
CKS[3]	CKS[2]	CKS[1]	CKS[0]		Pck=40MHz
0	0	0	0	Pck/44	909
			1	Pck/52	769
		1	0	Pck/64	625
			1	Pck/72	556
	1	0	0	Pck/84	476
			1	Pck/92	434
		1	0	Pck/100	400
			1	Pck/108	370
1	0	0	0	Pck/176	227
			1	Pck/208	192
		1	0	Pck/256	156
			1	Pck/288	139
	1	0	0	Pck/336	119
			1	Pck/368	108
		1	0	Pck/400	100
			1	Pck/432	92.6

【注】・ 外部仕様を満足するように設定してください。

25.3.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I<sup>2</sup>C バスのコントロール部のリセットを制御します。

I<sup>2</sup>Cバスコントロールレジスタ2 (ICCR2)

&lt;P4領域アドレス : H'FFFE E001番地&gt;

ビット:

7	6	5	4	3	2	1	0
BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—

リセット後の値:

0 1 1 1 1 1 0 1

&lt;リセット後の値 : H'7D&gt;

ビット	シンボル	リセット後の値	R	W	説明
7	BBSY	0	R	W	<p>バスビジーフラグ</p> <p>I<sup>2</sup>C バスの占有/開放状態を示すフラグ機能とマスターモードの開始/停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に"0"が読み出されます。I<sup>2</sup>C バスフォーマットの場合、SCL="H"レベルの状態では SDA が"H"レベルから"L"レベルに変化すると、開始条件が発行されたとして認識して"1"にセットされます。SCL="H"レベルの状態では SDA が"L"レベルから"H"レベルに変化すると、停止条件が発行されたとして認識して"0"にクリアされます。開始条件を発行する場合は BBSY フラグに"1"、SCP ビットに"0"をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY フラグに"0"、SCP ビットに"0"をライトすることで行います。</p>
6	SCP	1	R	W	<p>開始/停止条件発行禁止ビット</p> <p>SCP ビットはマスターモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY フラグに"1"、SCP ビットに"0"をライトします。開始条件の再送時と同様に行います。停止条件の発行は BBSY フラグに"0"、SCP ビットに"0"をライトすることで行います。本ビットはリードすると常に"1"が読み出されます。"1"をライトしてもデータは格納されません。</p>
5	SDAO	1	R	W	<p>SDA 出力値制御ビット</p> <p>SDAO ビットは SDA 端子の出力レベルを変更する場合に、ビット 4 の SDAOP ビットと組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が"L"レベル ライト時、SDA 端子出力を"L"レベルに変更</p> <p>1 : リード時、SDA 端子出力が"H"レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により"H"レベル出力)</p>
4	SDAOP	1	R	W	<p>SDAO ライトプロテクトビット</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO ビットに"0"かつ SDAOP ビットに"0"、または SDAO ビットに"1"かつ SDAOP ビットに"0"をライトします。本ビットは読み出すと常に"1"が読み出されます。</p>

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

ビット	シンボル	リセット後の値	R	W	説明
3	SCLO	1	R	0	SCL 出力レベルフラグ SCLO ビットは SCL 端子の出力レベルをモニタします。 0 : リード時、SCL 端子出力は"L"レベル 1 : リード時、SCL 端子出力は"H"レベル
2	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
1	IICRST	0	R	W	IIC コントロール部リセットビット IICRST ビットは I <sup>2</sup> C バスのレジスタを除くコントロール部をリセットします。 I <sup>2</sup> C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを"1"にセットすると IIC3 の一部のレジスタとコントロール部をリセットできます。
0	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。

### 25.3.3 I<sup>2</sup>C バスモードレジスタ (ICMR)

MSB ファースト/LSB ファーストの選択、転送ビット数の選択を行います。ICCR2 レジスタの IICRST ビットにより BC ビットが H'0 に初期化されます。

I<sup>2</sup>C バスモードレジスタ (ICMR)

<P4領域アドレス : H'FFFE E002番地>

ビット :	7	6	5	4	3	2	1	0
	MLS	—	—	—	BCWP		BC	

リセット後の値 : 0 0 1 1 1 0 0 0

<リセット後の値 : H'38>

ビット	シンボル	リセット後の値	R	W	説明
7	MLS	0	R	W	MSB ファースト/LSB ファースト選択ビット 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときは"0"に設定してください。
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5、4	—	すべて1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。

ビット	シンボル	リセット後の値	R	W	説明																		
3	BCWP	1	R	W	<p>BC ライトプロテクトビット</p> <p>BC ビットの書き込みを制御します。BC ビットを書き換える場合は、本ビットを"0"に設定してください。なおクロック同期式シリアルフォーマットでは BC ビットの書き換えは行わないでください。</p> <p>0 : ライト時、BC ビットの値を設定 1 : リード時、常に"1"をリード ライト時、BC ビット設定値は無効</p>																		
2~0	BC	000	R	W	<p>ビットカウンタビット</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I<sup>2</sup>C バスフォーマットでは、データにアクリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL 端子が"L"レベルの状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、ハードウェアリセットおよび ICCR2 レジスタの IICRST ビットを"1"にセットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <thead> <tr> <th>I<sup>2</sup>C バスフォーマット</th> <th>クロック同期式シリアルフォーマット</th> </tr> </thead> <tbody> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </tbody> </table>	I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット																						
000 : 9 ビット	000 : 8 ビット																						
001 : 2 ビット	001 : 1 ビット																						
010 : 3 ビット	010 : 2 ビット																						
011 : 4 ビット	011 : 3 ビット																						
100 : 5 ビット	100 : 4 ビット																						
101 : 6 ビット	101 : 5 ビット																						
110 : 7 ビット	110 : 6 ビット																						
111 : 8 ビット	111 : 7 ビット																						



## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

### 25.3.4 I<sup>2</sup>C バスインタラプトイネーブルレジスタ (ICIER)

各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

I<sup>2</sup>Cバスインタラプトイネーブルレジスタ (ICIER)

<P4領域アドレス : H'FFFE E003番地>

ビット:

7	6	5	4	3	2	1	0
TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT

リセット後の値:

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	TIE	0	R	W	送信インタラプトイネーブルビット ICSR レジスタの TDRE フラグがセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R	W	送信エンドインタラプトイネーブルビット TEIE ビットは、ICSR レジスタの TDRE フラグが"1"の状態に9クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお、TEI 割り込みは、TEND フラグを"0"にクリアするか、TEIE ビットを"0"にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R	W	受信インタラプトイネーブルビット RIE ビットは受信データが ICDRS レジスタから ICDRR レジスタに転送され、ICSR レジスタの RDRF フラグが"1"にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお、RXI 割り込みは、RDRF フラグを"0"にクリアするか、または RIE ビットを"0"にクリアすることで解除できます。 0 : 受信データフル割り込み要求 (RXI) の禁止 1 : 受信データフル割り込み要求 (RXI) の許可

ビット	シンボル	リセット 後の値	R	W	説明
4	NAKIE	0	R	W	<p>NACK 受信インタラプトイネーブルビット</p> <p>NAKIE ビットは、ICSR レジスタの NACKF フラグまたは ALOVE フラグがセットされたとき、NACK 検出兼アービトレーションロスト/オーバランエラー割り込み要求 (NAKI) の許可/禁止を選択します。なお、NAKI 割り込みは、NACKF フラグまたは ALOVE フラグを"0"にクリアするか、NAKIE ビットを"0"にクリアすることで解除できます。</p> <p>0 : NACK 検出兼アービトレーションロスト/オーバランエラー割り込み要求 (NAKI) の禁止</p> <p>1 : NACK 検出兼アービトレーションロスト/オーバランエラー割り込み要求 (NAKI) の許可</p>
3	STIE	0	R	W	<p>停止条件検出インタラプトイネーブルビット</p> <p>ICSR レジスタの STOP フラグがセットされたとき、停止条件検出割り込み要求 (STPI) の許可/禁止を選択します。</p> <p>0 : 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1 : 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R	W	<p>アクノリッジビット判定選択ビット</p> <p>0 : 受信アクノリッジの内容を無視して連続的に転送を行う</p> <p>1 : 受信アクノリッジが"1"の場合、転送を中断する</p>
1	ACKBR	0	R	—	<p>受信アクノリッジビット</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。また本ビットは、ICCR2 レジスタの BBSY フラグを"1"にセットするとクリアされます。</p> <p>0 : 受信アクノリッジ="0"</p> <p>1 : 受信アクノリッジ="1"</p>
0	ACKBT	0	R	W	<p>送信アクノリッジビット</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0 : アクノリッジのタイミングで"0"を送出</p> <p>1 : アクノリッジのタイミングで"1"を送出</p>

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

### 25.3.5 I<sup>2</sup>C バスステータスレジスタ (ICSR)

各種割り込み要求フラグおよびステータスの確認を行います。

I<sup>2</sup>Cバスステータスレジスタ (ICSR)

<P4領域アドレス : H'FFFE E004番地>

ビット:    7    6    5    4    3    2    1    0  

TDRE	TEND	RDRF	NACKF	STOP	ALOVE	AAS	ADZ
------	------	------	-------	------	-------	-----	-----

リセット後の値:    0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	TDRE	0	R	W	送信データエンプティフラグ ["0"クリア条件] <ul style="list-style-type: none"> <li>• "1"の状態をリードした後、"0"をライトしたとき</li> <li>• ICDRT レジスタヘデータをライトしたとき</li> </ul> ["1"セット条件] <ul style="list-style-type: none"> <li>• ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタがエンプティになったとき</li> <li>• ICCR1 レジスタの TRS ビットをセットしたとき</li> <li>• 開始条件 (再送含む) を発行したとき</li> <li>• スレーブモードで受信モードから送信モードになったとき</li> </ul>
6	TEND	0	R	W	送信エンドフラグ ["0"クリア条件] <ul style="list-style-type: none"> <li>• "1"の状態をリードした後、"0"をライトしたとき</li> <li>• ICDRT レジスタヘデータをライトしたとき</li> </ul> ["1"セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットの場合、TDRE フラグが"1"の状態 SCL の 9 クロック目が立ち上がったとき</li> <li>• クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき</li> </ul>
5	RDRF	0	R	W	受信データフルフラグ ["0"クリア条件] <ul style="list-style-type: none"> <li>• "1"の状態をリードした後、"0"をライトしたとき</li> <li>• ICDRR レジスタをリードしたとき</li> </ul> ["1"セット条件] <ul style="list-style-type: none"> <li>• ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき</li> </ul>

ビット	シンボル	リセット後の値	R	W	説明
4	NACKF	0	R	W	<p>ノーアクノリッジ検出フラグ</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>"1"の状態をリードした後、"0"をライトしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ICIER レジスタの ACKE ビットが"1"の状態、送信時、受信デバイスからアクノリッジがなかったとき</li> </ul>
3	STOP	0	R	W	<p>停止条件検出フラグ</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>"1"の状態をリードした後、"0"をライトしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>フレームの転送の完了後に停止条件を検出したとき</li> </ul>
2	ALOVE	0	R	W	<p>アービトラクションロストフラグ/オーバランエラーフラグ</p> <p>I<sup>2</sup>C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF="1"の状態最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI<sup>2</sup>C バスインタフェース 3 は SDA をモニタし、自分が出したデータと異なった場合、ALOVE フラグを"1"にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>"1"の状態をリードした後、"0"をライトしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき</li> <li>マスタモードの場合、開始条件検出時、SDA 端子が"H"レベルのとき</li> <li>クロック同期式シリアルフォーマットの場合、RDRF="1"の状態最終ビットを受信したとき</li> </ul>
1	AAS	0	R	W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが ICSAR レジスタの SVA ビットと一致した場合にセットされます。</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>"1"の状態をリードした後、"0"をライトしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードでスレーブアドレスを検出したとき</li> <li>スレーブ受信モードでゼネラルコールアドレスを検出したとき</li> </ul>

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

ビット	シンボル	リセット後の値	R	W	説明
0	ADZ	0	R	W	ゼネラルコールアドレス認識フラグ I <sup>2</sup> C バスフォーマットのスレーブ受信モードのとき有効です。 ["0"クリア条件] • "1"の状態をリードした後、"0"をライトしたとき ["1"セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

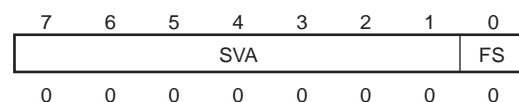
### 25.3.6 I<sup>2</sup>C バススレーブアドレスレジスタ (ICSAR)

フォーマットの選択、スレーブアドレスを設定します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第1フレームの上位7ビットと ICSAR レジスタの上位7ビットが一致したとき、スレーブデバイスとして動作します。

I<sup>2</sup>Cバススレーブアドレスレジスタ (ICSAR)

<P4領域アドレス : H'FFFE E005番地>

ビット :



リセット後の値 :

<リセット後の値 : H'00>

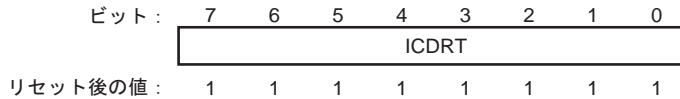
ビット	シンボル	リセット後の値	R	W	説明
7~1	SVA	すべて0	R	W	スレーブアドレスビット I <sup>2</sup> C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R	W	フォーマットセレクトビット 0 : I <sup>2</sup> C バスフォーマット選択 1 : クロック同期式シリアルフォーマット選択

### 25.3.7 I<sup>2</sup>C バス送信データレジスタ (ICDRT)

シフトレジスタ (ICDRS) の空きを検出すると ICDRT レジスタに書き込まれた送信データを ICDRS レジスタに転送し、データ送信を開始します。ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタにライトしておくこと、連続送信が可能です。

I<sup>2</sup>Cバス送信データレジスタ (ICDRT)

&lt;P4領域アドレス : H'FFFE E006番地&gt;



&lt;リセット後の値 : H'FF&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	ICDRT	すべて 1	R	W	送信データを書き込むレジスタ。

### 25.3.8 I<sup>2</sup>C バス受信データレジスタ (ICDRR)

1 バイトのデータの受信が終了すると、受信したデータを ICDRS レジスタから ICDRR レジスタへ転送し、次のデータを受信可能にします。なお、ICDRR レジスタは受信専用レジスタですので、CPU からライトできません。

I<sup>2</sup>Cバス受信データレジスタ (ICDRR)

&lt;P4領域アドレス : H'FFFE E007番地&gt;



&lt;リセット後の値 : H'FF&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	ICDRR	すべて 1	R	N	受信データを格納するレジスタ。

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

### 25.3.9 I<sup>2</sup>C バスシフトレジスタ (ICDRS)

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。直接 ICDRS レジスタを読み出し/書き込みすることはできません。

I<sup>2</sup>Cバスシフトレジスタ (ICDRS)

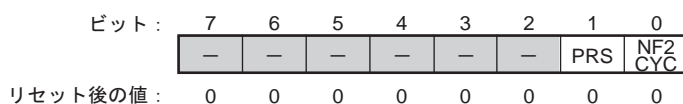


### 25.3.10 I<sup>2</sup>C バス NF2CYC レジスタ (ICNF2CYC)

SCL 端子、SDA 端子のノイズ除去幅を選択できます。詳細動作については、「25.4.7 ノイズ除去回路」を参照してください。

I<sup>2</sup>CバスNF2CYCレジスタ (ICNF2CYC)

<P4領域アドレス: H'FFFE E008番地>



<リセット後の値: H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	PRS	0	R	W	パルス幅比率選択ビット SCL の"H"レベル幅と"L"レベル幅の比率を指定します。 0: "H": "L"=0.5 : 0.5 1: "H": "L"≒0.4 : 0.6
0	NF2CYC	0	R	W	ノイズ除去幅選択ビット 0: 周辺クロックで1サイクル周期以内のノイズを除去 1: 周辺クロックで2サイクル周期以内のノイズを除去

## 25.4 動作説明

I<sup>2</sup>C バスインタフェース 3 は、ICSAR レジスタの FS ビットの設定により、I<sup>2</sup>C バスフォーマットとクロック同期式シリアルフォーマットで通信できます。

### 25.4.1 I<sup>2</sup>C バスフォーマット

I<sup>2</sup>C バスフォーマットを図 25.3 に、I<sup>2</sup>C バスのタイミングを図 25.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

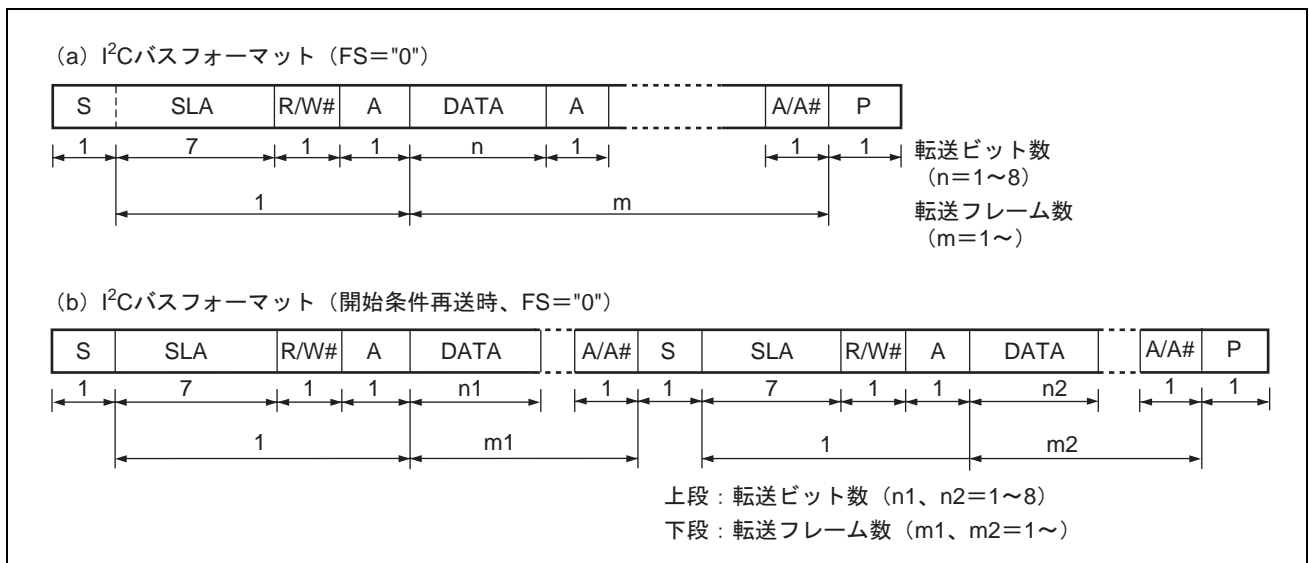
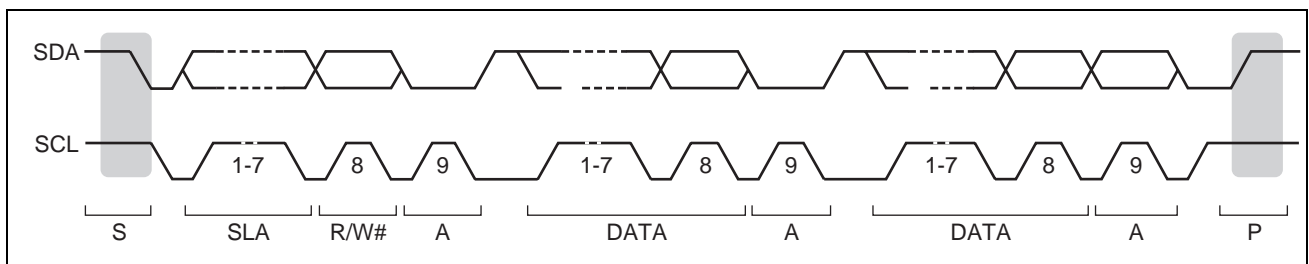


図 25.3 I<sup>2</sup>C バスフォーマット



#### 【記号説明】

- S : 開始条件。マスタデバイスが SCL="H" レベルの状態です。SDA を "H" レベルから "L" レベルに変化させます。
- SLA : スレーブアドレス
- R/W# : 送受信の方向を示します。"1" のときスレーブデバイスからマスタデバイスへ、"0" のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を "L" レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL="H" レベルの状態です。SDA を "L" レベルから "H" レベルに変化させます。



### 25.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 25.5 と図 25.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1レジスタのICEビットを"1"に設定します。また、ICCR1レジスタのCKSビットなどを設定します(初期設定)。
2. ICCR2レジスタのBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1レジスタのMSTビットとTRSビットをマスタ送信モードに設定します。その後、BBSY="1"とSCP="0"をライトします(開始条件発行)。これにより開始条件を生成します。
3. ICSRレジスタのTDREフラグがセットされたことを認識した後、ICDRTレジスタに送信データ(1バイト目はスレーブアドレスとR/W#を示すデータ)をライトします。このときTDREフラグは自動的に"0"にクリアされ、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREフラグがセットされます。
4. TDREフラグがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRレジスタのTENDフラグがセットされます。ICIERレジスタのACKBRビットをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTレジスタにライトします。ACKBRビットが"1"のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY="0"とSCP="0"を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLが"L"レベルに固定されます。
5. 2バイト目以降の送信データは、TDREフラグがセットされるたびにICDRTレジスタにデータをライトします。
6. 送信するバイト数をICDRTレジスタにライトしたら、その後はTDREフラグがセットされた状態でTENDフラグがセット(最終バイト送出完了)されるまで待ちます。または、ICIERレジスタのACKEビットをセットした状態で受信デバイスからのNACK(ICSRレジスタのNACKFビットが"1")を待ちます。その後、停止条件を発行してTENDフラグまたはNACKFフラグをクリアします。
7. ICSRレジスタのSTOPフラグがセットされたらスレーブ受信モードに戻します。

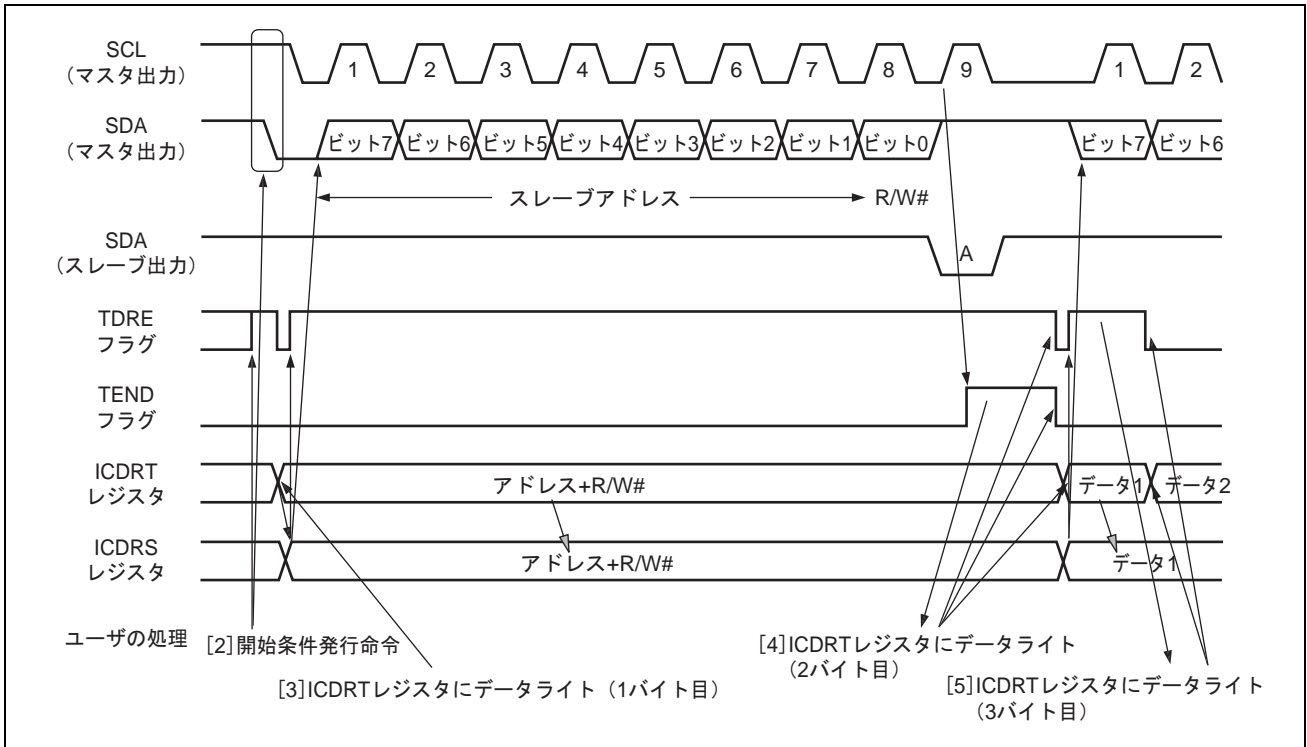


図 25.5 マスタ送信モード動作タイミング (1)

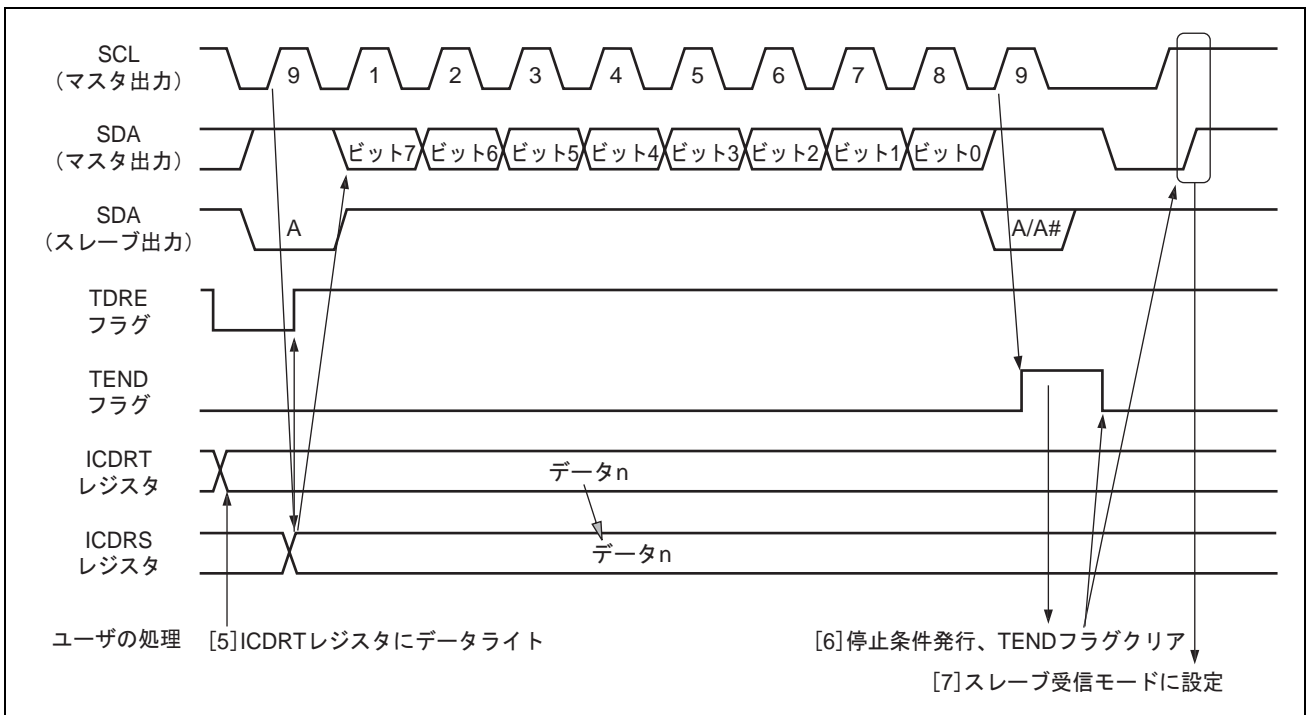


図 25.6 マスタ送信モード動作タイミング (2)

### 25.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 25.7 と図 25.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRレジスタのTENDフラグをクリア後、ICCR1レジスタのTRSビットをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREフラグをクリアします。
2. ICDRRレジスタをダミーリードすると受信を開始\*1し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERレジスタのACKBTビットに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRレジスタのRDRFフラグがセットされます。このとき、ICDRRレジスタをリードすることにより、受信したデータを読み出すことができ、同時にRDRFフラグはクリアされます。
4. RDRFフラグがセットされるたびにICDRRレジスタをリードすることにより、連続的に受信できます。なお別処理でRDRFフラグがセットされた状態でICDRRレジスタのリードが遅れて8クロック目が立ち下がった場合、ICDRRレジスタをリードするまでSCLが"L"レベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRレジスタをリードする前にICCR1レジスタのRCVDビットをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFフラグがセットされたら、停止条件を発行します。
7. ICSRレジスタのSTOPフラグがセットされたらICDRRレジスタをリードします。その後、RCVDビットをクリアします。
8. スレーブ受信モードに戻します。

【注】 \*1 1バイトだけ受信したい場合は、ICCR1レジスタのRCVDビットをセット後、ICDRRレジスタのダミーリードを行ってください。

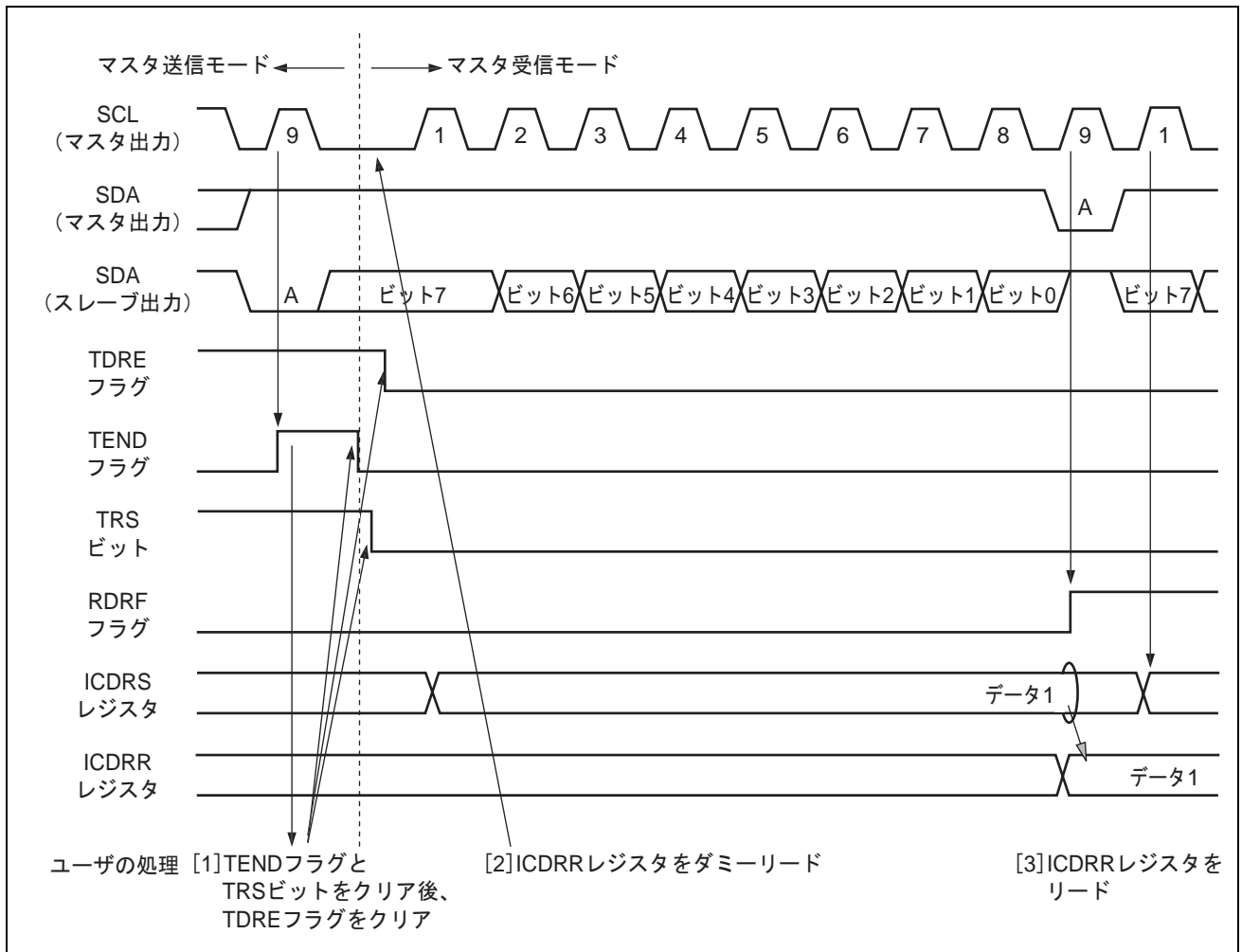


図 25.7 マスタ受信モード動作タイミング (1)

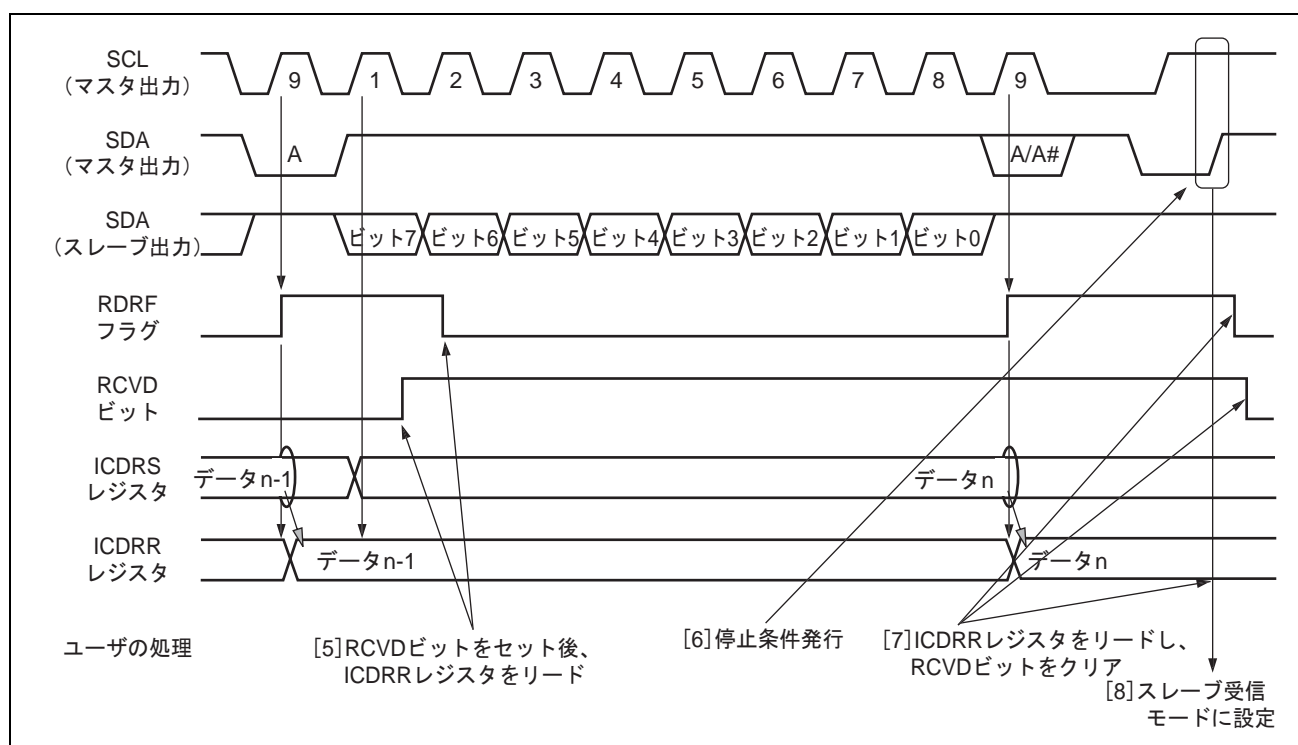


図 25.8 マスタ受信モード動作タイミング (2)

#### 25.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 25.9 と図 25.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1レジスタのICEビットを"1"にセットします。また、ICCR1レジスタのCKSビットなどを設定します (初期設定)。ICCR1レジスタのMSTビットとTRSビットをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERレジスタのACKBTビットに設定したレベルを出力します。このとき、8ビット目のデータ (R/W) が"1"のとき、ICCR1レジスタのTRSビットおよびICSRレジスタのTDREフラグがセットされ、自動的にスレーブ送信モードに切り替わります。TDREフラグがセットされるたびにICDRTレジスタに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTレジスタにライトした後にTDREフラグがセットされたとき、TDREフラグが"1"の状態、ICSRレジスタのTENDフラグがセットされるまで待ちます。TENDフラグがセットされたら、TENDフラグをクリアします。
4. 終了処理のためTRSビットをクリアし、ICDRRレジスタをダミーリードします。これによりSCLを開放します。
5. TDREフラグをクリアします。

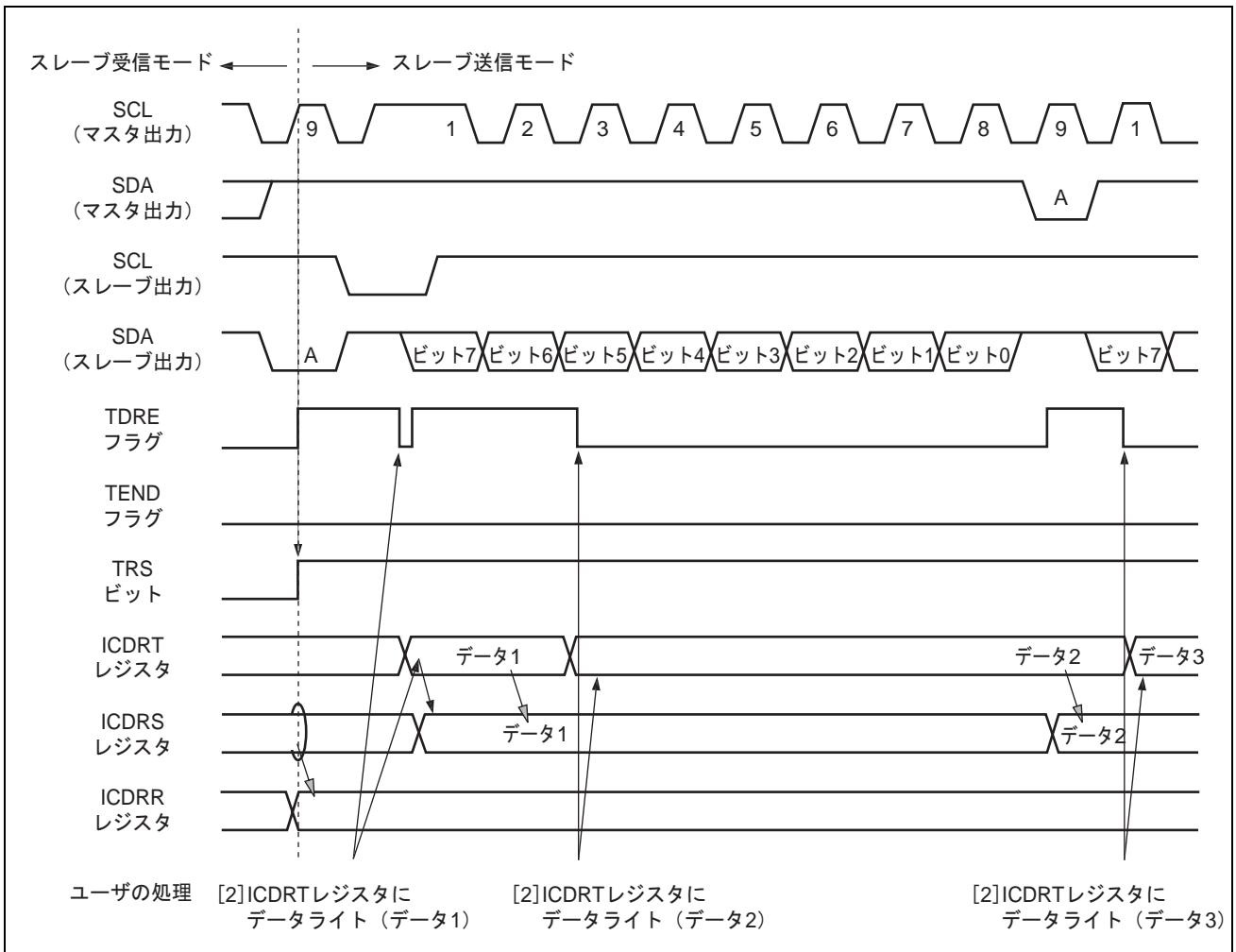


図 25.9 スレーブ送信モード動作タイミング (1)

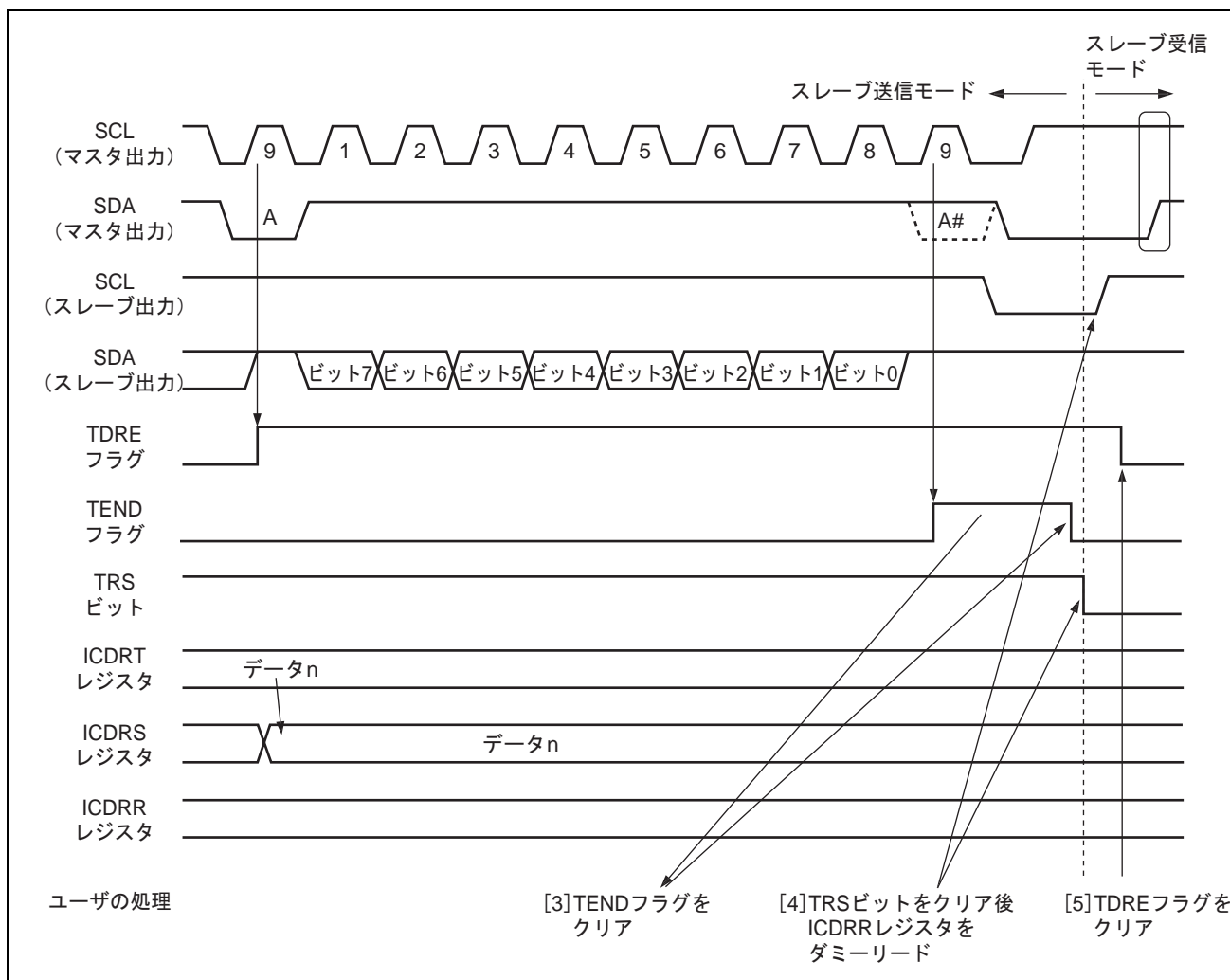


図 25.10 スレーブ送信モード動作タイミング (2)

### 25.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 25.11 と図 25.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1レジスタのICEビットを"1"にセットします。また、ICCR1レジスタのCKSビットなどを設定します（初期設定）。ICCR1レジスタのMSTビットとTRSビットをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERレジスタのACKBTビットに設定したレベルを出力します。同時にICDRRレジスタのRDRFフラグがセットされますので、ICDRRレジスタをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFフラグがセットされるたびにICDRRレジスタをリードします。RDRFフラグがセットされた状態で8クロック目が立ち下がるとICDRRレジスタをリードするまでSCLを"L"レベルに固定します。ICDRRレジスタをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRレジスタのリードにより行います。

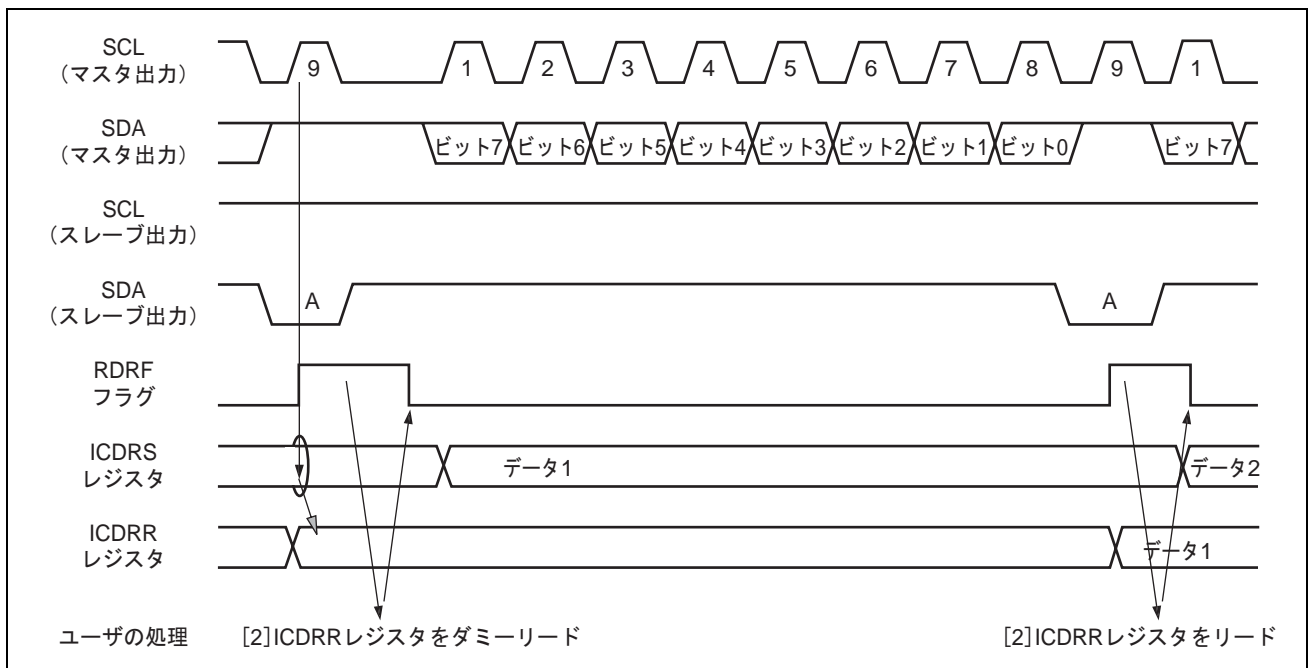


図 25.11 スレーブ受信モード動作タイミング (1)



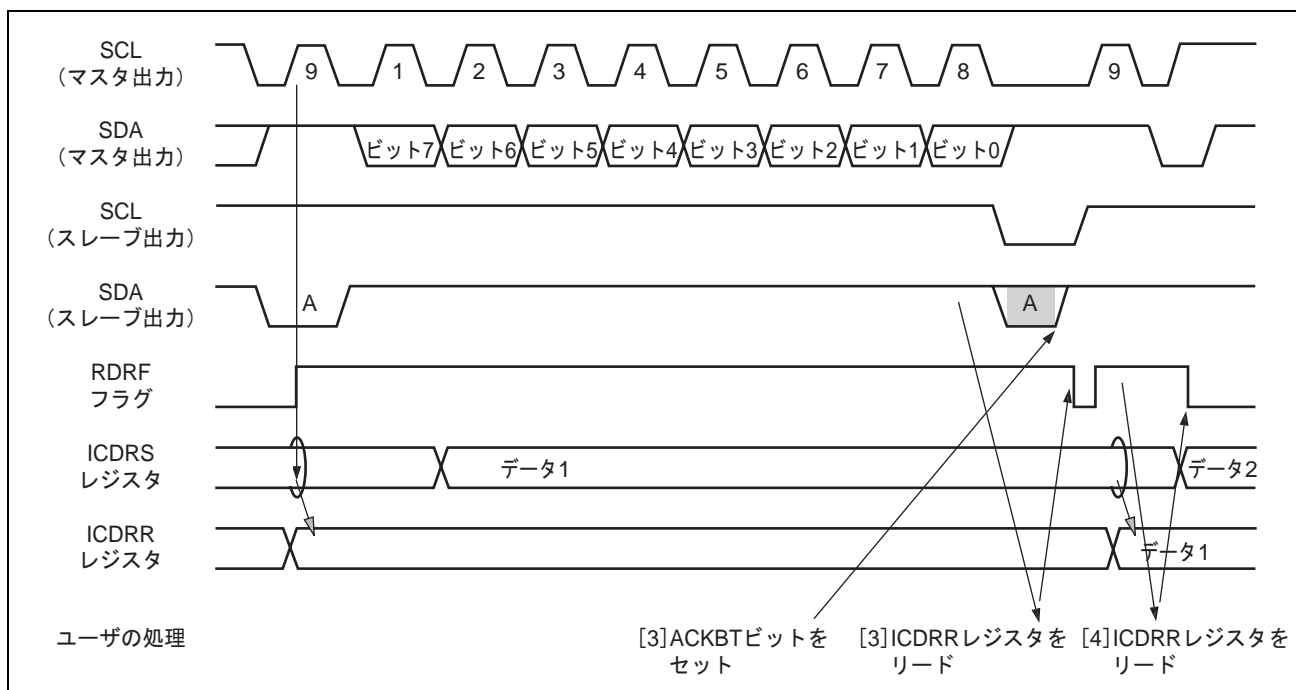


図 25.12 スレーブ受信モード動作タイミング (2)

#### 25.4.6 クロック同期式シリアルフォーマット

本モジュールは、IC SAR レジスタの FS ビットを "1" にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 レジスタの MST ビットが "1" のとき SCL から転送クロック出力となり、MST ビットが "0" のとき転送クロック入力となります。

##### (1) データ転送フォーマット

図 25.13 にクロック同期式シリアルフォーマットの転送フォーマットを示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR レジスタの MLS ビットにより、MSB ファーストか LSB ファーストかを選択可能です。また、ICCR2 レジスタの SDAO ビットにより、転送待機中に SDA の出力レベルを変更できます。

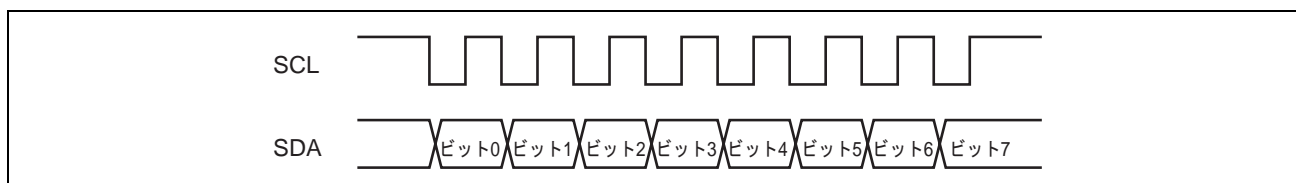


図 25.13 クロック同期式シリアルフォーマットの転送フォーマット

## (2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 レジスタの MST ビットが"1"のとき出力、MST ビットが"0"のとき入力となります。送信モード動作タイミングは図 25.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1 レジスタの ICE ビットを"1"にセットします。また、ICCR1 レジスタの MST ビットや CKS ビットなどを設定します (初期設定)。
2. ICCR1 レジスタの TRS ビットを設定して送信モードにします。これにより、ICSR レジスタの TDRE フラグがセットされます。
3. TDRE フラグがセットされていることを認識したら、ICDRT レジスタに送信データをライトします。これにより ICDRT レジスタから ICDRS レジスタにデータが転送され、自動的に TDRE フラグがセットされます。TDRE フラグがセットされるたびに ICDRT レジスタにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDRE フラグがセットされた状態で TRS ビットをクリアしてください。

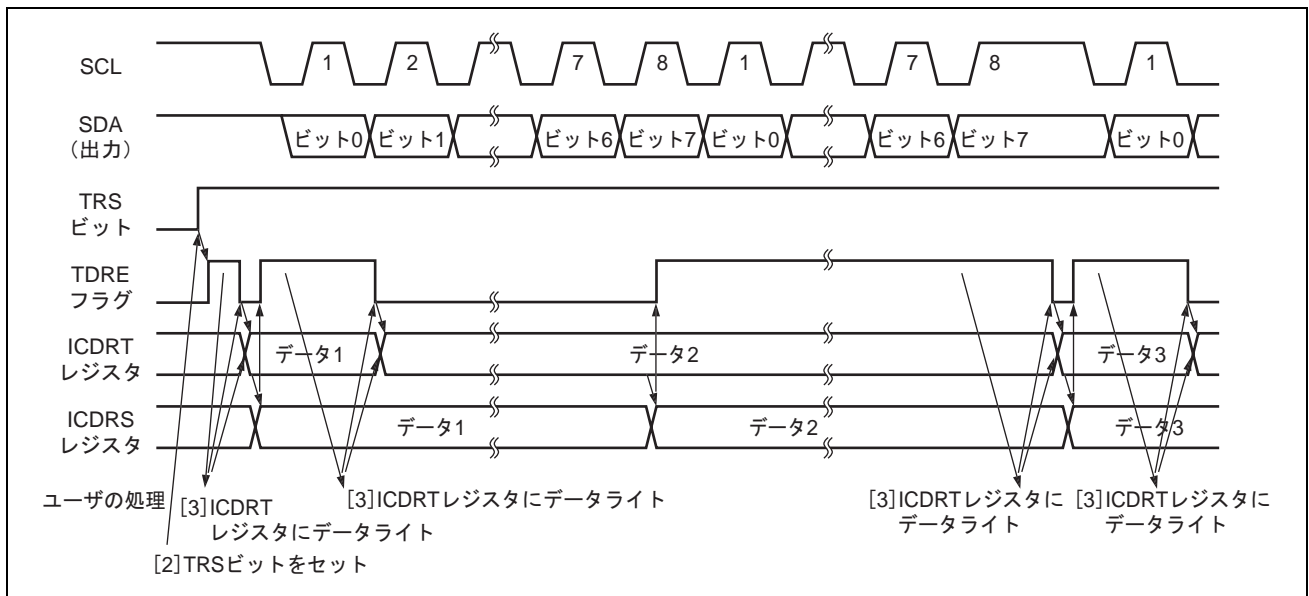


図 25.14 送信モード動作タイミング

## (3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 レジスタの MST ビットが"1"のとき出力、MST ビットが"0"のとき入力となります。受信モード動作タイミングについては図 25.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1 レジスタの ICE ビットを"1"にセットします。また、ICCR1 レジスタの CKS ビットなどを設定します (初期設定)。
2. 転送クロックを出力時、MST ビットを"1"にセットします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRS レジスタから ICDRR レジスタにデータが転送され、ICSR レジスタの RDRF フラグがセットされます。MST ビットが"1"のときは次バイトが受信可能状態のため、連続してクロックを

## 25. I<sup>2</sup>C バスインタフェース 3 (IIC3)

出力します。RDRFフラグがセットされるたびにICDRRレジスタをリードすることにより連続的に受信可能です。RDRFフラグがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRレジスタのALOVEビットがセットされます。このときICDRRレジスタの値は前の受信データを保持します。

4. MSTビットが"1"のとき、受信を停止するためには、ICCR1レジスタのRCVDビットをセットしてから、ICDRRレジスタをリードします。これにより次バイトの受信完了後、SCLが"H"レベルに固定されます。

【注】・ MST="1"で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 25.16 を参照してください。

1. ICCR1レジスタのICEビットを"1"にセットします。また、ICCR1レジスタのCKSビットなどを設定します（初期設定）。
2. ICCR1レジスタのRCVDビットが"0"の状態、MSTビットを"1"にセットします。これにより受信クロックの出力を開始します。
3. ICMRレジスタのBCビットが"1xx"にセットされたことを確認後、ICCR1レジスタのRCVDビットを"1"にセットしてください。これにより受信クロックを1バイト分出力した後、SCLが"H"レベルに固定されます。

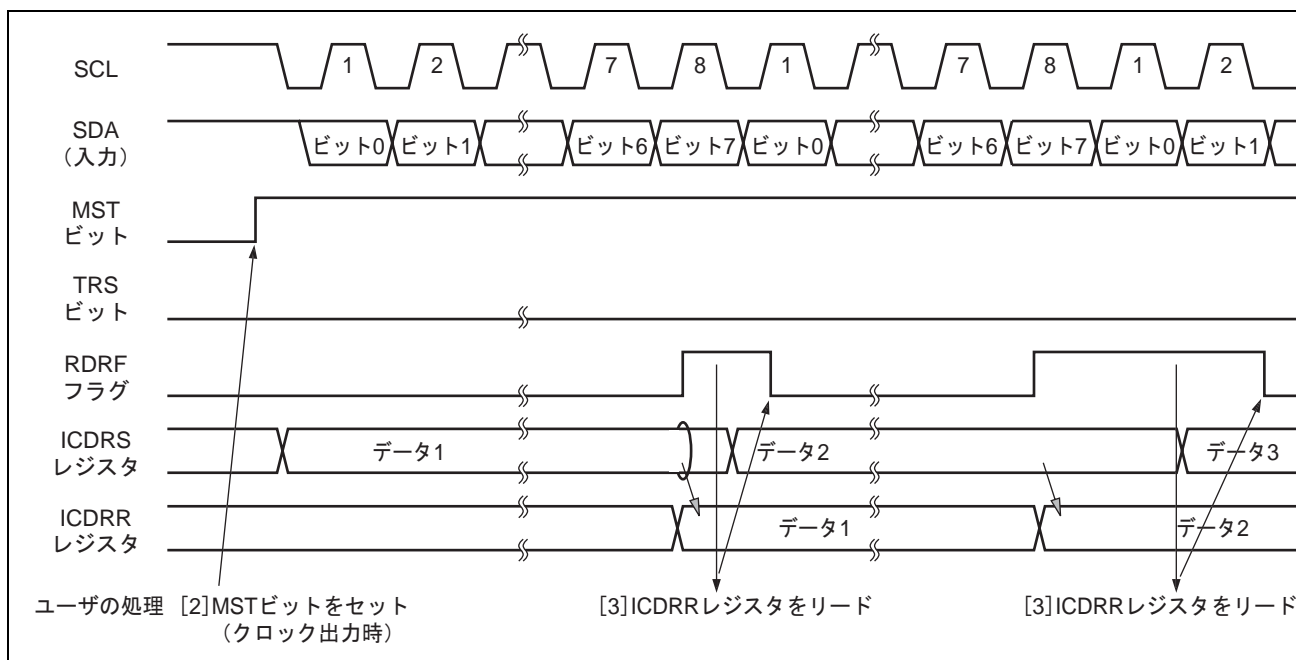


図 25.15 受信モード動作タイミング

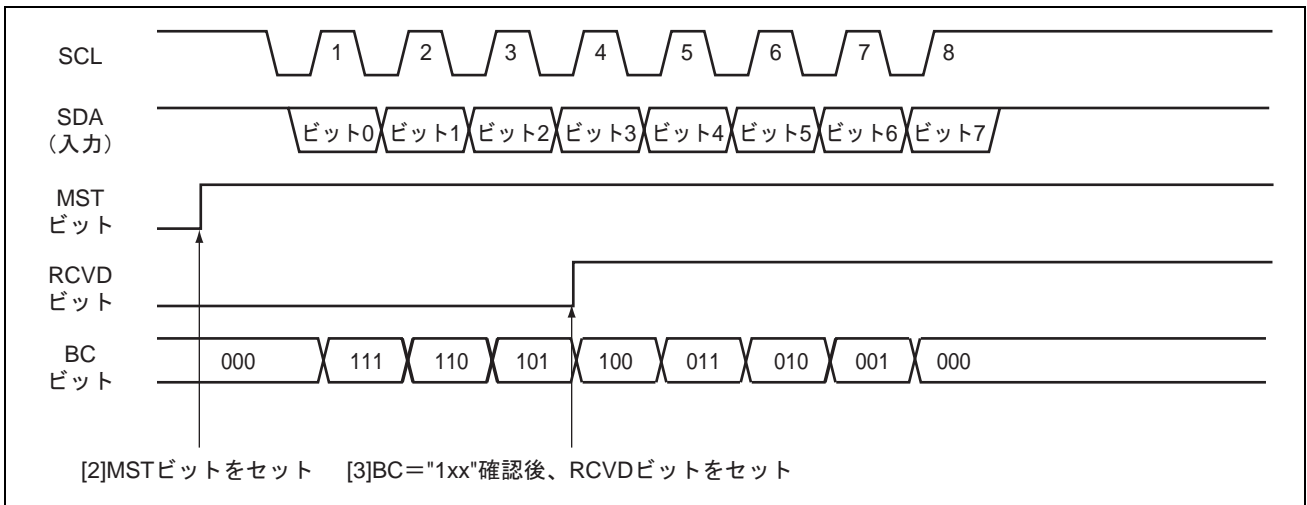


図 25.16 1 バイト受信動作タイミング (MST="1")

### 25.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 25.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号(または SDA 端子入力信号)が周辺クロックでサンプリングされ、ICNF2CYC レジスタが"0"のときは、2つのラッチ出力が一致したときに後段へレベルを伝えます。また ICNF2CYC レジスタが"1"のときは、3つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

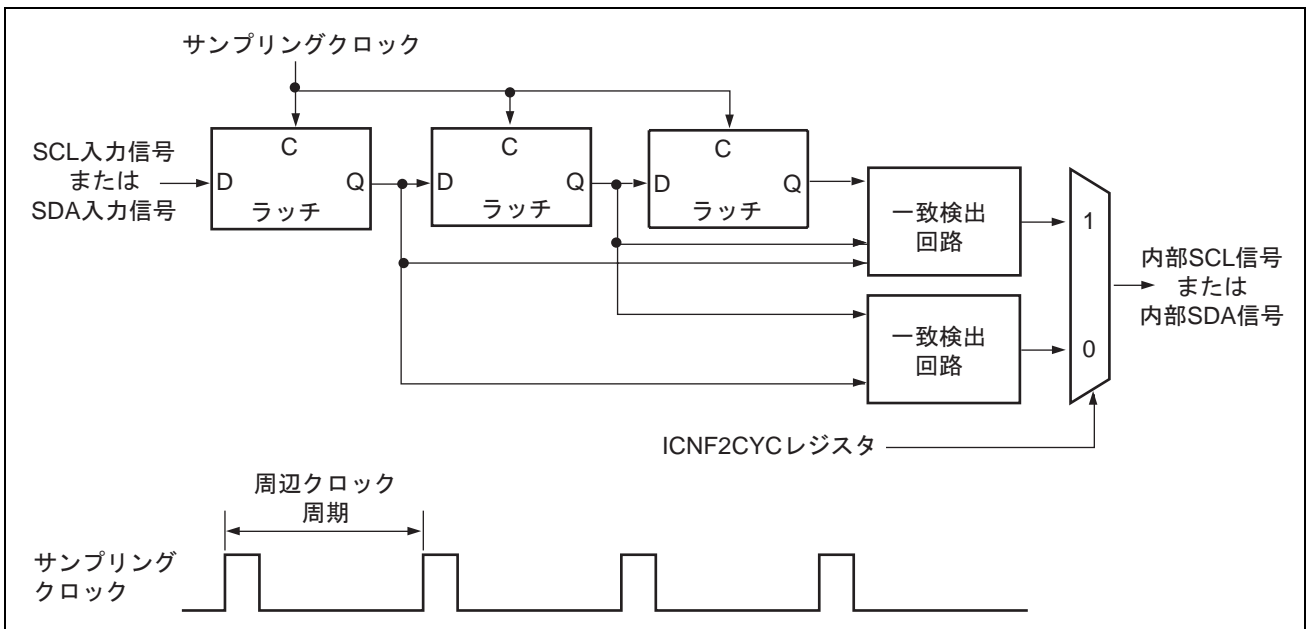


図 25.17 ノイズ除去回路のブロック図

25.4.8 IICRST ビットによる I<sup>2</sup>C バスインタフェース 3 のリセット

I<sup>2</sup>C バスインタフェース 3 は、ICCR2 レジスタの IICRST ビットに"1"をライトすることで、I<sup>2</sup>C の一部レジスタとコントロール部をリセットすることができます。図 25.18 に IICRST ビットによる I<sup>2</sup>C バスインタフェース 3 のリセット手順の例を示します。

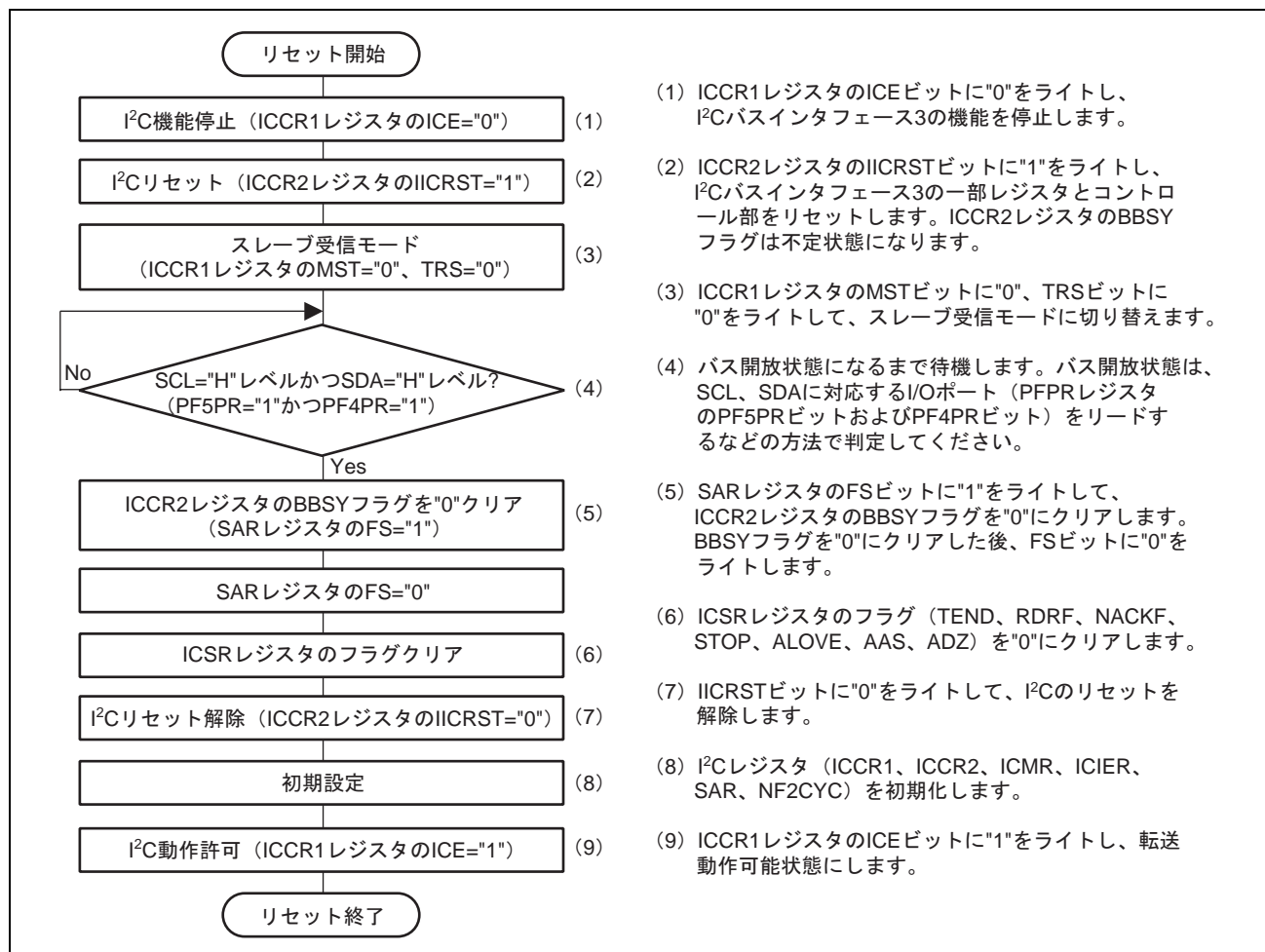


図 25.18 IICRST ビットによる I<sup>2</sup>C バスインタフェース 3 のリセット手順の例

25.4.9 使用例

図 25.19～図 25.22 に I<sup>2</sup>C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を示します。

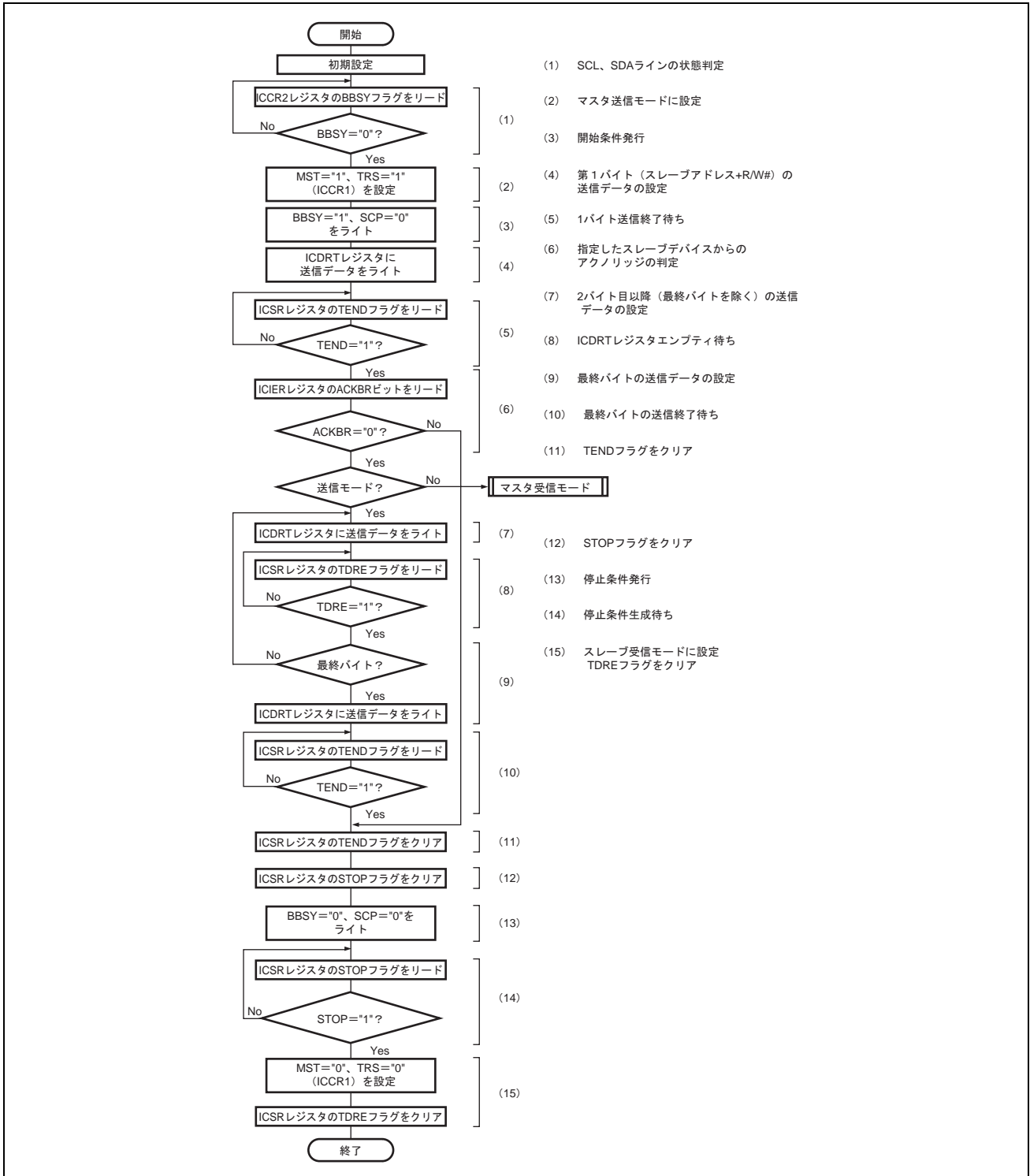


図 25.19 マスタ送信モードのフローチャート例

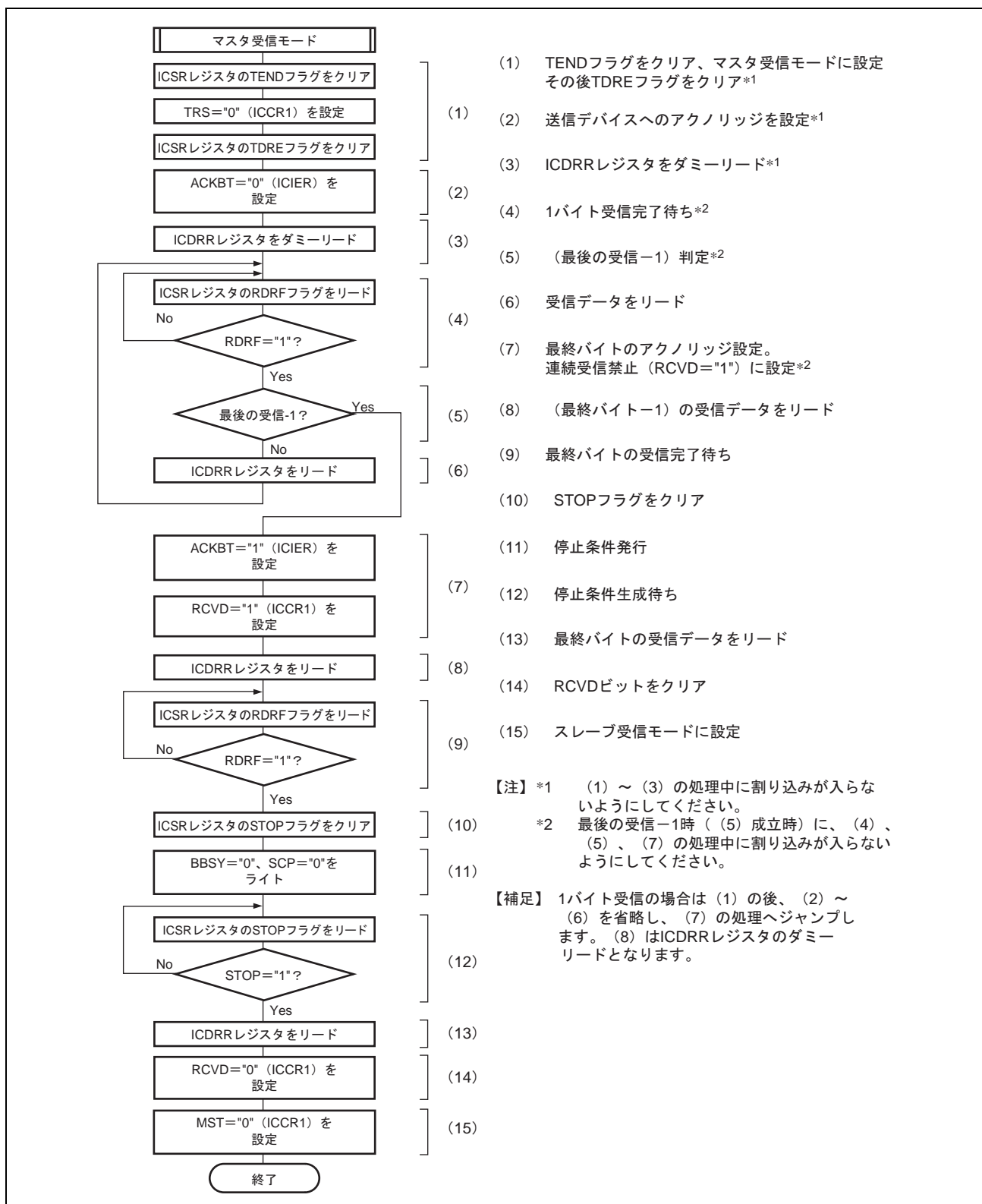


図 25.20 マスタ受信モードのフローチャート例

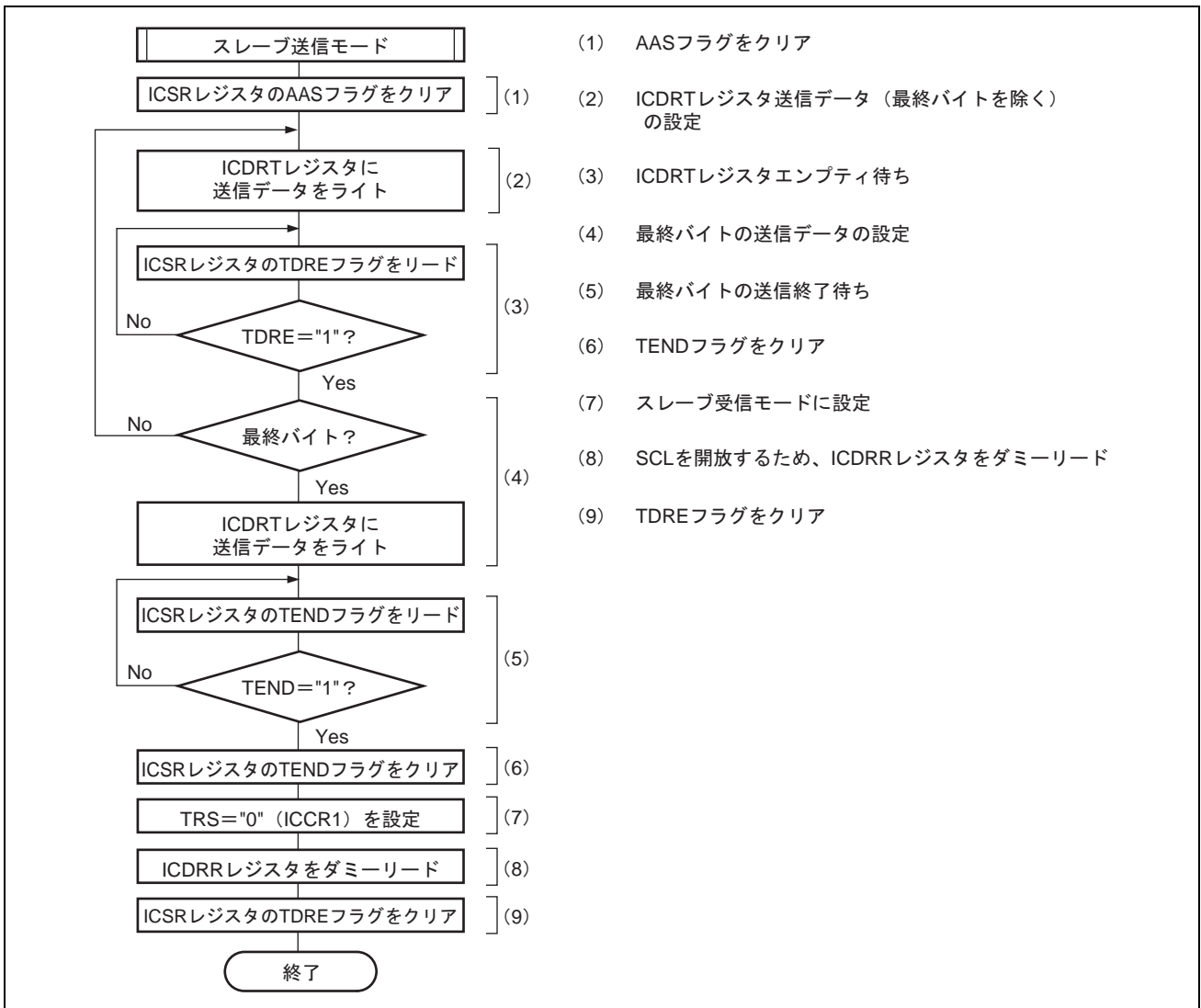


図 25.21 スレーブ送信モードのフローチャート例



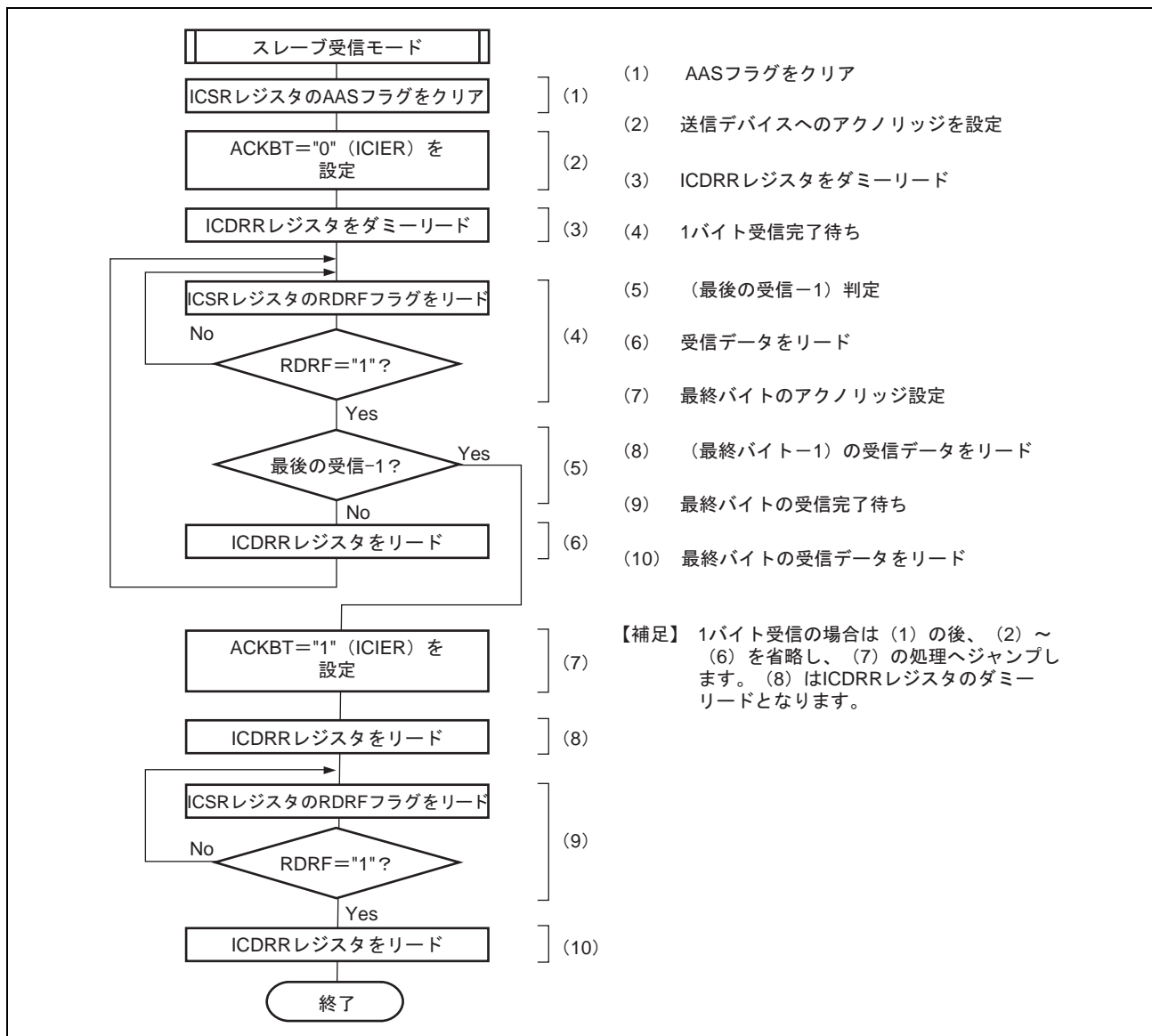


図 25.22 スレーブ受信モードのフローチャート例

## 25.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 25.4 に各割り込み要求の内容を示します。

表 25.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I <sup>2</sup> C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	(TDRE=1)・(TIE=1)	○	○
送信終了	TEI	(TEND=1)・(TEIE=1)	○	○
受信データフル	RXI	(RDRF=1)・(RIE=1)	○	○
停止条件検出	STPI	(STOP=1)・(STIE=1)	○	×
NACK 検出	NAKI	{(NACKF=1)+(ALOVE=1)}・(NAKIE=1)	○	×
アービトレーションロスト			○	×
オーバランエラー			×	○

表 25.4 の割り込み条件が 1 のとき、IIC3 は CPU へ割り込み例外処理を要求します。IIC3 の割り込みはすべての要因の論理和を取り、割り込みコントローラ (INTC) へ発行されます。例外処理のなかで ICSR レジスタのリードを行い、割り込み要因を特定してください。特定した上で割り込み例外処理とそれぞれの割り込み要因のクリアを行ってください。ただし、TDRE フラグと TEND フラグは ICDRT レジスタに送信データをライトすることで、RDRF フラグは ICDRR レジスタをリードすることで自動的にクリアされますので注意してください。特に TDRE フラグは ICDRT レジスタに送信データをライトしたとき同時に再度 TDRE フラグがセットされ、さらに TDRE フラグをクリアすると、余分に 1 バイト送信する場合があります。

## 25.6 DMA 転送要求

本モジュールの DMA 転送要求には、送信データエンプティ、受信データフルがあります。

表 25.5 に DMA 転送要求の内容を示します。

表 25.5 DMA 転送要求一覧

DMA 転送要求	DMA 転送条件
送信データエンプティ	TDRE="1"
受信データフル	RDRF="1"

表 25.5 の DMA 転送条件が 1 のとき、IIC3 は DMA 転送要求を発行します。DMAC の起動設定を行っている場合は DMAC を起動できます。また、DMAC の起動設定により送信データエンプティ DMA 転送要求を許可している場合は TIE ビット、受信データフル DMA 転送要求を許可している場合は RIE ビットのセットにより、割り込み要求を許可しないでください。

## 25.7 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLが"L"レベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で"H"レベル期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信を行います。

図 25.23 にビット同期回路のタイミングを、表 25.6 に SCL を"L"レベル出力→Hi-Z にしてから SCL をモニタするまでの時間を示します。

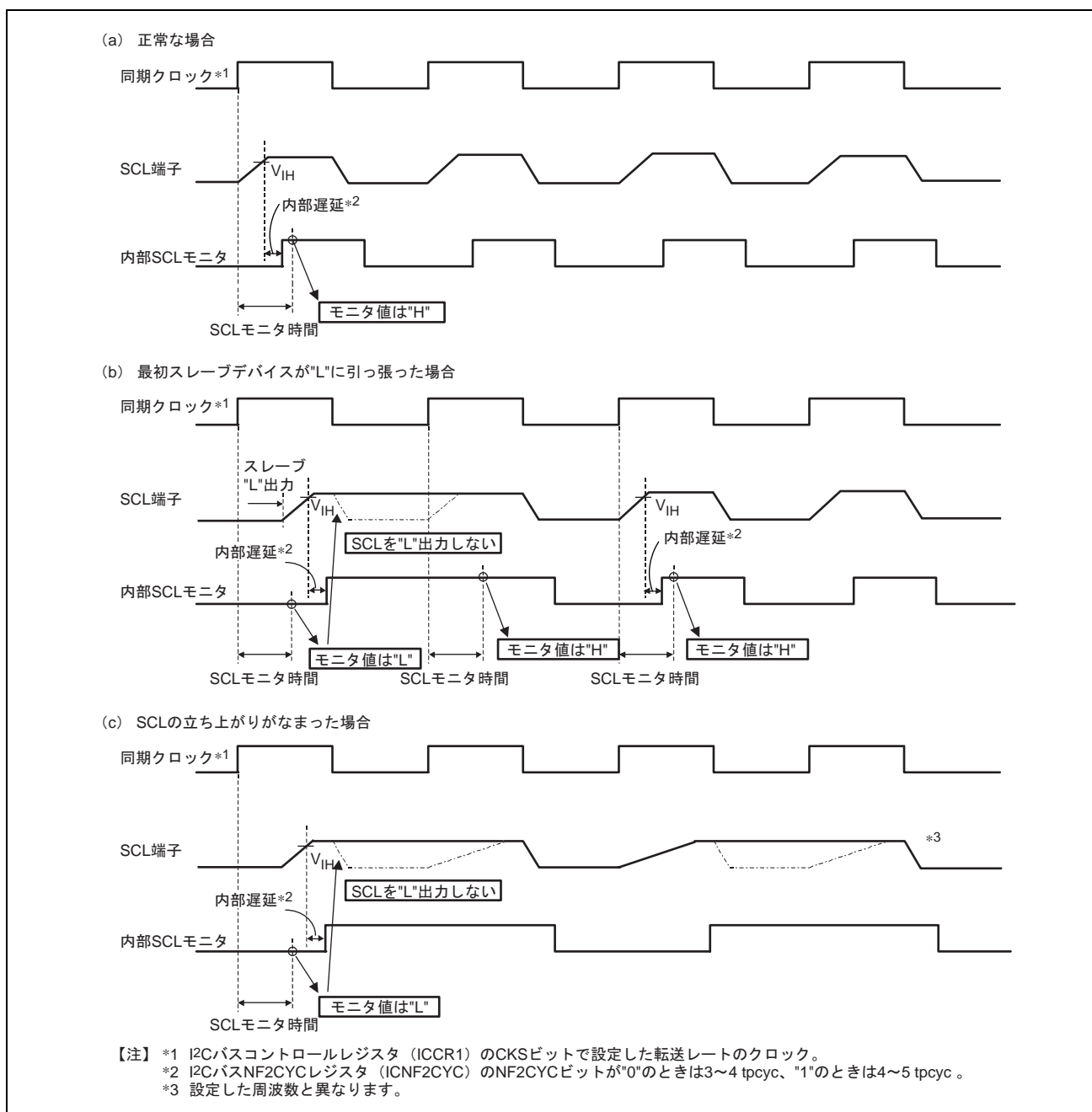


図 25.23 ビット同期回路のタイミング

表 25.6 SCL をモニタする時間

CKS ビットのビット 3	CKS ビットのビット 2	SCL をモニタする時間* <sup>1</sup>
0	0	9 tpcyc* <sup>2</sup>
	1	21 tpcyc* <sup>2</sup>
1	0	39 tpcyc* <sup>2</sup>
	1	87 tpcyc* <sup>2</sup>

【注】 \*1 「SCL モニタタイミング基準クロック」立ち上がりから数えて「SCL をモニタする時間」 (pcyc) 後の「(ボード上) SCL」レベルをモニタします。

\*2 tpcyc は周辺クロック (Pck) の周期を示します。

### 25.8 使用上の注意事項

#### 25.8.1 マルチマスタで使用時の注意

マルチマスタで使用し、本 MCU の IIC 転送レートの設定 (ICCR レジスタ CKS ビット) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番早い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

#### 25.8.2 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR レジスタをリードした場合、受信データが取れなくなる場合があります。また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD="1" に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRレジスタをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVDビットを"1"にし、1バイトごとの通信で処理を行ってください。

#### 25.8.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に、ACKBT ビットを設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

#### 25.8.4 アービトレーションロスト時の MST と TRN ビット状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、ICSR レジスタの ALOVE ビットが"1"かつマスタ送信モード (MST="1"、TRS="1") のように矛盾した状態になっている場合があります。この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MSTビットとTRSビットの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST="0"、TRS="0"を確認してください。

万一、MST="0"、TRS="0"以外の状態の場合、MST="0"、TRS="0"を設定しなおしてください。

#### 25.8.5 DMA 転送要求設定時の注意

DMA 転送要求を行う場合、TDRE フラグまたは RDRF フラグにより同時に割り込み処理要求が起こらないように TIE、RIE の設定を行ってください。

#### 25.8.6 I<sup>2</sup>C バスのプルアップ電圧の注意

I<sup>2</sup>C バスのプルアップ電圧は、本 MCU の Vcc 端子と同じ値にしてください。Vcc 以上の電圧を印加しないでください。

### 25.8.7 I<sup>2</sup>C バス動作中における ICE ビットおよび IICRST ビットのアクセス

下記 1.~4.のいずれかの状態で、ICCR1 レジスタの ICE ビットに"0"をライトもしくは ICCR2 レジスタの IICRST ビットに"1"をライトすると、ICCR2 レジスタの BBSY フラグと ICSR レジスタの STOP フラグは不定となります。

1. マスタ送信モード (ICCR1 レジスタの MST="1"、TRS="1") において、本モジュールが I<sup>2</sup>C のバス権を保有しているとき。
2. マスタ受信モード (ICCR1 レジスタの MST="1"、TRS="0") において、本モジュールが I<sup>2</sup>C のバス権を保有しているとき。
3. スレーブ送信モード (ICCR1 レジスタの MST="0"、TRS="1") において、本モジュールがデータ送信中のとき。
4. スレーブ受信モード (ICCR1 レジスタの MST="0"、TRS="0") において、本モジュールがアクリッジを送信しているとき。

ICCR2 レジスタの BBSY フラグの不定状態は、以下のいずれかで解消することができます。

- 開始条件 (SCL="H" レベルかつ SDA 立ち下がり) を入力すると、BBSY フラグは"1"にセットされます。
- 停止条件 (SCL="H" レベルかつ SDA 立ち上がり) を入力すると、BBSY フラグは"0"にクリアされます。
- マスタ送信モードにおいて、SCL="H" レベルかつ SDA="H" レベルの状態、ICCR2 レジスタの BBSY フラグに"1"、SCP ビットに"0"をライトして開始条件を発行します。開始条件 (SCL="H" レベルかつ SDA 立ち下がり) が出力されると、BBSY フラグは"1"にセットされます。
- マスタ送信モードもしくはマスタ受信モードにおいて、SDA="L" レベルかつ本モジュール以外に SCL を "L" レベルにするデバイスがない状態で、ICCR2 レジスタの BBSY フラグに"0"、SCP ビットに"0"をライトして停止条件を発行します。停止条件 (SCL="H" レベルかつ SDA 立ち上がり) が出力されると、BBSY フラグは"0"にクリアされます。
- ICSAR レジスタの FS ビットに"1"をライトすると、BBSY フラグは"0"にクリアされます。

### 25.8.8 IICRST ビットによるレジスタ初期化

- IICRST ビットに"1"をライトすると、ICCR2 レジスタの SDAO ビットおよび SCLO ビットは"1"にセットされます。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST ビットに"1"をライトすると、ICSR レジスタの TDRE フラグは"1"にセットされます。
- IICRST="1"によるリセット期間中は、ICCR2 レジスタの BBSY フラグ、SCP ビット、SDAO ビットへのライトは無効です。
- IICRST="1"によるリセット期間中でも、SCL、SDA に開始条件 (SCL="H" レベルかつ SDA 立ち下がり)、停止条件 (SCL="H" レベルかつ SDA 立ち上がり) を入力すると、BBSY フラグは"1"にセット、"0"にクリアされます。

### 25.8.9 ICE="0"における I<sup>2</sup>C バスインタフェース 3 の動作

ICCR1 レジスタの ICE ビットに"0"をライトすると SCL、SDA 出力は禁止されますが、SCL、SDA への入力は有効です。SCL、SDA へ入力された信号に従って、本モジュールは動作します。

### 25.8.10 I<sup>2</sup>C バスインタフェースモードのマスタ受信モード時の注意

停止条件の発行または開始条件の再発行が SCL の 9 クロック目の立ち下がり重なった場合、9 クロック目の後に SCL が 1 クロック余分に出力されます。

マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから停止条件を発行または開始条件を再発行してください。

また、SCL の 9 クロック目の立ち下がり、以下の方法で確認してください。

- ICSRレジスタのRDRFフラグ（受信データフルフラグ）が"1"になったことを確認後、ICCR2レジスタのSCLOフラグ（SCL出力レベルフラグ）が"0"（SCL端子の出力が"L"レベル）になったことを確認してください。

### 25.8.11 マスタ送信モードで停止条件発行時の注意

マスタ送信モードかつ ICIER レジスタの ACKE ビット="1"設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

マスタ送信モードかつ ICIER レジスタの ACKE ビット="1"設定時における停止条件の発行は、SCL の 9 クロック目の立ち下がりを確認してから行ってください。

また、SCL の 9 クロック目の立ち下がり、以下の方法で確認してください。

- ICSRレジスタのRDRFフラグ（受信データフルフラグ）が"1"になったことを確認後、ICCR2レジスタのSCLOフラグ（SCL出力レベルフラグ）が"0"（SCL端子の出力が"L"レベル）になったことを確認してください。

---

## 26. CAN モジュール

---

### 26.1 概要

ISO11898-1 仕様に準拠した CAN (Controller Area Network) モジュールを 4 チャンネル (CAN0~CAN3) 内蔵しています。CAN モジュールは標準 (11 ビット) IDentifier (以下、ID と略す) と拡張 (29 ビット) ID の両フォーマットのメッセージを送受信できます。

表 26.1 に CAN モジュールの概要、図 26.1 に CAN モジュールブロック図を示します。

なお、CAN バストランシーバは外付けしてください。

表 26.1 CAN モジュールの概要

項目	概要
プロトコル	<ul style="list-style-type: none"><li>ISO11898-1 仕様準拠</li></ul>
ビットレート	<ul style="list-style-type: none"><li>最大 1Mbps</li></ul>
メッセージボックス	<ul style="list-style-type: none"><li>64 メールボックス：2 種類のメールボックスモードを選択可能 通常メールボックスモード：64 メールボックスのうち、32 メールボックスを送信または受信用に設定可能 (32 メールボックスは受信専用) FIFO メールボックスモード：24 メールボックスを送信または受信用に設定可能 (32 メールボックスは受信専用) また、送信用に 4 段、受信用に 4 段の FIFO を設定可能</li></ul>
受信	<ul style="list-style-type: none"><li>データフレームとリモートフレームを受信可能</li><li>受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能</li><li>ワンショット受信機能を選択可能</li><li>オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能</li><li>受信完了割り込みの許可/禁止をメールボックスごとに設定可能</li></ul>
アクセプタンスフィルタ	<ul style="list-style-type: none"><li>8 つのアクセプタンスマスク (4 メールボックスごとに個別のマスク)</li><li>2 つのアクセプタンスマスク (16 メールボックスごとに個別のマスク)</li><li>メールボックスごとにマスクの有効/無効を設定可能</li></ul>
送信	<ul style="list-style-type: none"><li>データフレームとリモートフレームを送信可能</li><li>送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能</li><li>ワンショット送信機能を選択可能</li><li>ID 優先送信モードかメールボックス番号優先送信モードを選択可能</li><li>送信要求をアポート可能 (フラグでアポート完了を確認可能)</li><li>送信完了割り込みの許可/禁止をメールボックスごとに設定可能</li></ul>



## 26. CAN モジュール

項目	概要
バスオフ復帰方法	<ul style="list-style-type: none"> <li>バスオフ状態からの復帰モード遷移を選択可能</li> <li>ISO11898-1 仕様準拠</li> <li>バスオフ開始で CAN Halt モードへ自動遷移</li> <li>バスオフ終了で CAN Halt モードへ自動遷移</li> <li>プログラムによる CAN Halt モードへの遷移</li> <li>プログラムによるエラーアクティブ状態への遷移</li> </ul>
エラー状態の監視	<ul style="list-style-type: none"> <li>CAN バスエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー）を監視可能</li> <li>エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰）</li> <li>エラーカウンタを読み出し可能</li> </ul>
タイムスタンプ機能	<ul style="list-style-type: none"> <li>16 ビットカウンタによるタイムスタンプ機能</li> <li>基準クロックは、1、2、4、8 ビットタイムから選択可能</li> </ul>
割り込み機能	<ul style="list-style-type: none"> <li>5 種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み）</li> </ul>
CAN スリープモード	<ul style="list-style-type: none"> <li>CAN クロックを停止することで消費電流を低減可能</li> </ul>
ソフトウェアサポート ユニット	<ul style="list-style-type: none"> <li>3 つのソフトウェアサポートユニット</li> <li>アクセプタンスフィルタサポート</li> <li>メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索）</li> <li>チャンネル検索サポート</li> </ul>
CAN クロックソース (fCAN)	<ul style="list-style-type: none"> <li>周辺クロック (Pck) かメインクロックを選択可能</li> </ul>
テストモード	<ul style="list-style-type: none"> <li>ユーザ評価用に 3 つのテストモードを用意</li> <li>リッスンオンリモード</li> <li>セルフテストモード 0（外部ループバック）</li> <li>セルフテストモード 1（内部ループバック）</li> </ul>

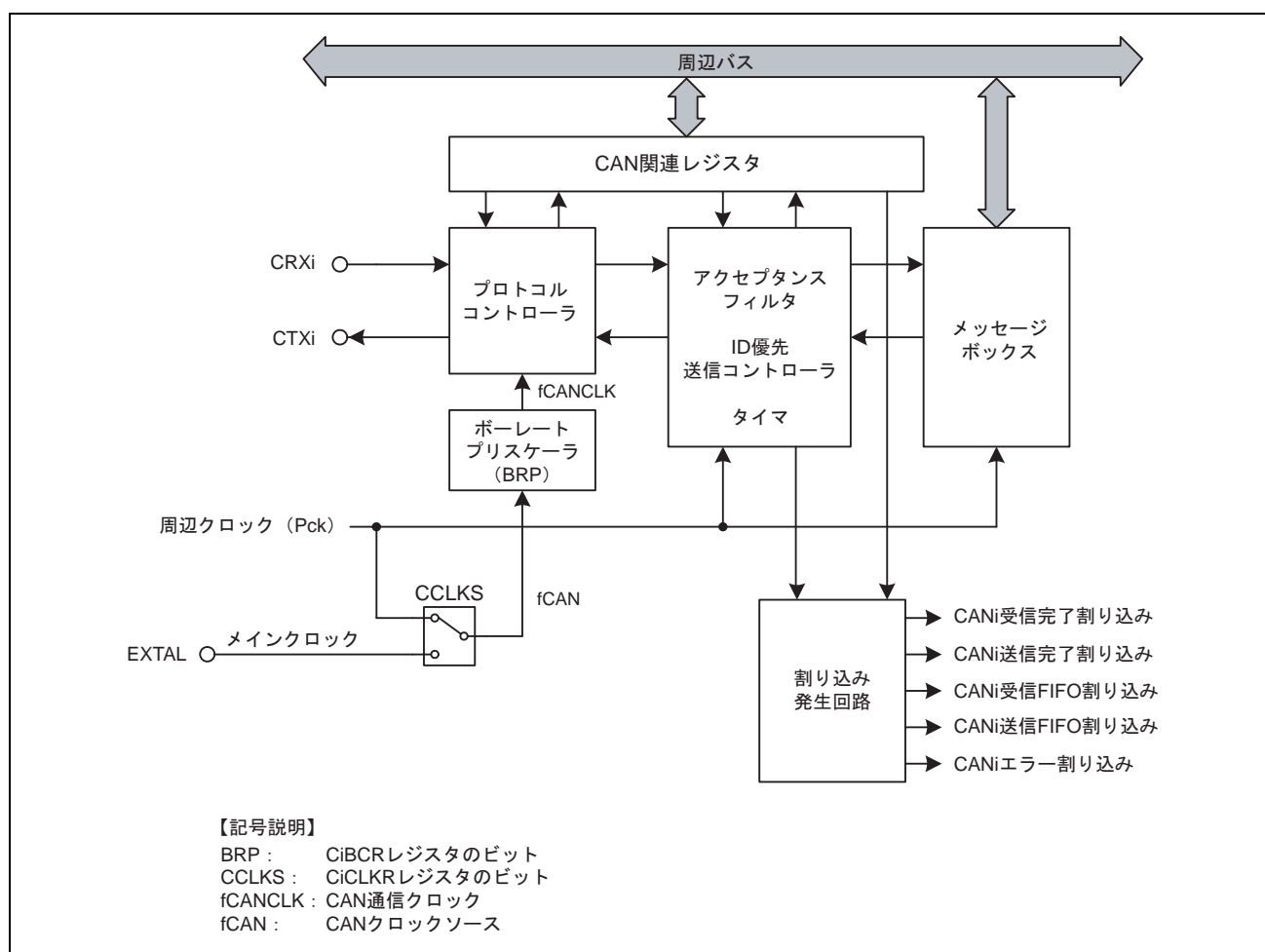


図 26.1 CAN モジュールブロック図 (i=0~3)

- CRXi/CTXi (i=0~3)  
CANの入出力端子です。
- プロトコルコントローラ  
バスアービトラージョンや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス  
送信または受信メールボックスとして使用可能な64個のメールボックスで構成されています。固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ  
受信メッセージのフィルタ処理を行います。このフィルタ処理には、CiMKR0~CiMKR1、CiMKR2~CiMKR9レジスタを使用します。
- タイマ  
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- 割り込み発生回路  
次の5種類の割り込み要求を発生させることができます。
  - CANi受信完了割り込み
  - CANi送信完了割り込み
  - CANi受信FIFO割り込み
  - CANi送信FIFO割り込み
  - CANiエラー割り込み

## 26.2 入出力端子

表 26.2 に CAN モジュールで使用する端子を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 26.2 端子構成

端子名	入出力	機 能
CRXi	入力	データ受信用端子です。
CTXi	出力	データ送信用端子です。

【記号説明】 i : 0~3

## 26.3 レジスタの説明

表 26.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
CAN0 制御レジスタ	COCTLR	H'0500	H'FFFF 6840	8、16、32	26-10
CAN0 クロック選択レジスタ	COCLKR	H'00	H'FFFF 6847	8、16、32	26-16
CAN0 ビットコンフィグレーションレジスタ	COBCR	H'00 0000	H'FFFF 6844	8、16、32	26-17
CAN0 マスクレジスタ 0	COMKR0	不定	H'FFFF 6430	8、16、32	26-20
CAN0 マスクレジスタ 1	COMKR1	不定	H'FFFF 6434	8、16、32	26-20
CAN0 マスクレジスタ 2	COMKR2	不定	H'FFFF 6400	8、16、32	26-20
CAN0 マスクレジスタ 3	COMKR3	不定	H'FFFF 6404	8、16、32	26-20
CAN0 マスクレジスタ 4	COMKR4	不定	H'FFFF 6408	8、16、32	26-20
CAN0 マスクレジスタ 5	COMKR5	不定	H'FFFF 640C	8、16、32	26-20
CAN0 マスクレジスタ 6	COMKR6	不定	H'FFFF 6410	8、16、32	26-20
CAN0 マスクレジスタ 7	COMKR7	不定	H'FFFF 6414	8、16、32	26-20
CAN0 マスクレジスタ 8	COMKR8	不定	H'FFFF 6418	8、16、32	26-20
CAN0 マスクレジスタ 9	COMKR9	不定	H'FFFF 641C	8、16、32	26-20
CAN0 FIFO 受信 ID 比較レジスタ 0	COFIDCR0	不定	H'FFFF 6420	8、16、32	26-21
CAN0 FIFO 受信 ID 比較レジスタ 1	COFIDCR1	不定	H'FFFF 6424	8、16、32	26-21
CAN0 マスク無効レジスタ 0	COMKIVLR0	不定	H'FFFF 6438	8、16、32	26-24
CAN0 マスク無効レジスタ 1	COMKIVLR1	不定	H'FFFF 6428	8、16、32	26-23
CAN0 メールボックスレジスタ 0~63	COMB0~63	不定	H'FFFF 6000~ H'FFFF 63FF	8、16、32	26-24
CAN0 メールボックス割り込み許可レジスタ 0	COMIER0	不定	H'FFFF 643C	8、16、32	26-32
CAN0 メールボックス割り込み許可レジスタ 1	COMIER1	不定	H'FFFF 642C	8、16、32	26-30
CAN0 メッセージ制御レジスタ 0~63	COMCTL0~63	H'00	H'FFFF 6800~ H'FFFF 683F	8、16、32	26-33
CAN0 受信 FIFO 制御レジスタ	CORFCR	H'80	H'FFFF 6848	8、16、32	26-39
CAN0 受信 FIFO ポインタ制御レジスタ	CORFPCR	不定	H'FFFF 6849	8、16、32	26-43
CAN0 送信 FIFO 制御レジスタ	COTFCR	H'80	H'FFFF 684A	8、16、32	26-44
CAN0 送信 FIFO ポインタ制御レジスタ	COTFPCR	不定	H'FFFF 684B	8、16、32	26-47
CAN0 ステータスレジスタ	COSTR	H'0500	H'FFFF 6842	8、16、32	26-48
CAN0 メールボックスサーチモードレジスタ	COMSMR	H'00	H'FFFF 6853	8、16、32	26-51
CAN0 メールボックスサーチステータスレジスタ	COMSSR	H'80	H'FFFF 6852	8、16、32	26-52
CAN0 チャネルサーチサポートレジスタ	COCSSR	不定	H'FFFF 6851	8、16、32	26-54
CAN0 アクセプタンスフィルタサポートレジスタ	COAFSR	不定	H'FFFF 6856	8、16、32	26-55
CAN0 エラー割り込み許可レジスタ	COEIER	H'00	H'FFFF 684C	8、16、32	26-56

## 26. CAN モジュール

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
CAN0 エラー割り込み要因判定レジスタ	C0EIFR	H'00	H'FFFF 684D	8、16、32	26-58
CAN0 受信エラーカウントレジスタ	C0RECR	H'00	H'FFFF 684E	8、16、32	26-62
CAN0 送信エラーカウントレジスタ	C0TECR	H'00	H'FFFF 684F	8、16、32	26-62
CAN0 エラーコード格納レジスタ	C0ECSR	H'00	H'FFFF 6850	8、16、32	26-63
CAN0 タイムスタンプレジスタ	C0TSR	H'0000	H'FFFF 6854	8、16、32	26-65
CAN0 テスト制御レジスタ	C0TCR	H'00	H'FFFF 6858	8	26-66
CAN0 割り込み許可レジスタ	C0IER	H'00	H'FFFF 6860	8、16	26-71
CAN0 割り込みステータスレジスタ	C0ISR	H'00	H'FFFF 6861	8、16	26-69
CAN0 メールボックスサーチマスクレジスタ	C0BMSMR	H'00	H'FFFF 6863	8、16、32	26-73
CAN1 制御レジスタ	C1CTRLR	H'0500	H'FFFF 7840	8、16、32	26-10
CAN1 クロック選択レジスタ	C1CLKR	H'00	H'FFFF 7847	8、16、32	26-16
CAN1 ビットコンフィグレーションレジスタ	C1BCR	H'00 0000	H'FFFF 7844	8、16、32	26-17
CAN1 マスクレジスタ 0	C1MKR0	不定	H'FFFF 7430	8、16、32	26-20
CAN1 マスクレジスタ 1	C1MKR1	不定	H'FFFF 7434	8、16、32	26-20
CAN1 マスクレジスタ 2	C1MKR2	不定	H'FFFF 7400	8、16、32	26-20
CAN1 マスクレジスタ 3	C1MKR3	不定	H'FFFF 7404	8、16、32	26-20
CAN1 マスクレジスタ 4	C1MKR4	不定	H'FFFF 7408	8、16、32	26-20
CAN1 マスクレジスタ 5	C1MKR5	不定	H'FFFF 740C	8、16、32	26-20
CAN1 マスクレジスタ 6	C1MKR6	不定	H'FFFF 7410	8、16、32	26-20
CAN1 マスクレジスタ 7	C1MKR7	不定	H'FFFF 7414	8、16、32	26-20
CAN1 マスクレジスタ 8	C1MKR8	不定	H'FFFF 7418	8、16、32	26-20
CAN1 マスクレジスタ 9	C1MKR9	不定	H'FFFF 741C	8、16、32	26-20
CAN1 FIFO 受信 ID 比較レジスタ 0	C1FIDCR0	不定	H'FFFF 7420	8、16、32	26-21
CAN1 FIFO 受信 ID 比較レジスタ 1	C1FIDCR1	不定	H'FFFF 7424	8、16、32	26-21
CAN1 マスク無効レジスタ 0	C1MKIVLR0	不定	H'FFFF 7438	8、16、32	26-24
CAN1 マスク無効レジスタ 1	C1MKIVLR1	不定	H'FFFF 7428	8、16、32	26-23
CAN1 メールボックスレジスタ 0~63	C1MB0~63	不定	H'FFFF 7000~ H'FFFF 73FF	8、16、32	26-24
CAN1 メールボックス割り込み許可レジスタ 0	C1MIER0	不定	H'FFFF 743C	8、16、32	26-32
CAN1 メールボックス割り込み許可レジスタ 1	C1MIER1	不定	H'FFFF 742C	8、16、32	26-30
CAN1 メッセージ制御レジスタ 0~63	C1MCTL0~63	H'00	H'FFFF 7800~ H'FFFF 783F	8、16、32	26-33
CAN1 受信 FIFO 制御レジスタ	C1RFRCR	H'80	H'FFFF 7848	8、16、32	26-39
CAN1 受信 FIFO ポインタ制御レジスタ	C1RFPCR	不定	H'FFFF 7849	8、16、32	26-43
CAN1 送信 FIFO 制御レジスタ	C1TFRCR	H'80	H'FFFF 784A	8、16、32	26-44
CAN1 送信 FIFO ポインタ制御レジスタ	C1TFPCR	不定	H'FFFF 784B	8、16、32	26-47

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
CAN1 ステータスレジスタ	C1STR	H'0500	H'FFFF 7842	8、16、32	26-48
CAN1 メールボックスサーチモードレジスタ	C1MSMR	H'00	H'FFFF 7853	8、16、32	26-51
CAN1 メールボックスサーチステータスレジスタ	C1MSSR	H'80	H'FFFF 7852	8、16、32	26-52
CAN チャンネルサーチサポートレジスタ	C1CSSR	不定	H'FFFF 7851	8、16、32	26-54
CAN1 アクセプタンスフィルタサポートレジスタ	C1AFSR	不定	H'FFFF 7856	8、16、32	26-55
CAN1 エラー割り込み許可レジスタ	C1EIER	H'00	H'FFFF 784C	8、16、32	26-56
CAN1 エラー割り込み要因判定レジスタ	C1EIFR	H'00	H'FFFF 784D	8、16、32	26-58
CAN1 受信エラーカウントレジスタ	C1RECR	H'00	H'FFFF 784E	8、16、32	26-62
CAN1 送信エラーカウントレジスタ	C1TECR	H'00	H'FFFF 784F	8、16、32	26-62
CAN1 エラーコード格納レジスタ	C1ECSR	H'00	H'FFFF 7850	8、16、32	26-63
CAN1 タイムスタンプレジスタ	C1TSR	H'0000	H'FFFF 7854	8、16、32	26-65
CAN1 テスト制御レジスタ	C1TCR	H'00	H'FFFF 7858	8	26-66
CAN1 割り込み許可レジスタ	C1IER	H'00	H'FFFF 7860	8、16	26-71
CAN1 割り込みステータスレジスタ	C1ISR	H'00	H'FFFF 7861	8、16	26-69
CAN1 メールボックスサーチマスクレジスタ	C1MBSMR	H'00	H'FFFF 7863	8、16、32	26-73
CAN2 制御レジスタ	C2CTRLR	H'0500	H'FFFF 8840	8、16、32	26-10
CAN2 クロック選択レジスタ	C2CLKR	H'00	H'FFFF 8847	8、16、32	26-16
CAN2 ビットコンフィグレーションレジスタ	C2BCR	H'00 0000	H'FFFF 8844	8、16、32	26-17
CAN2 マスクレジスタ 0	C2MKR0	不定	H'FFFF 8430	8、16、32	26-20
CAN2 マスクレジスタ 1	C2MKR1	不定	H'FFFF 8434	8、16、32	26-20
CAN2 マスクレジスタ 2	C2MKR2	不定	H'FFFF 8400	8、16、32	26-20
CAN2 マスクレジスタ 3	C2MKR3	不定	H'FFFF 8404	8、16、32	26-20
CAN2 マスクレジスタ 4	C2MKR4	不定	H'FFFF 8408	8、16、32	26-20
CAN2 マスクレジスタ 5	C2MKR5	不定	H'FFFF 840C	8、16、32	26-20
CAN2 マスクレジスタ 6	C2MKR6	不定	H'FFFF 8410	8、16、32	26-20
CAN2 マスクレジスタ 7	C2MKR7	不定	H'FFFF 8414	8、16、32	26-20
CAN2 マスクレジスタ 8	C2MKR8	不定	H'FFFF 8418	8、16、32	26-20
CAN2 マスクレジスタ 9	C2MKR9	不定	H'FFFF 841C	8、16、32	26-20
CAN2 FIFO 受信 ID 比較レジスタ 0	C2FIDCR0	不定	H'FFFF 8420	8、16、32	26-21
CAN2 FIFO 受信 ID 比較レジスタ 1	C2FIDCR1	不定	H'FFFF 8424	8、16、32	26-21
CAN2 マスク無効レジスタ 0	C2MKIVLR0	不定	H'FFFF 8438	8、16、32	26-24
CAN2 マスク無効レジスタ 1	C2MKIVLR1	不定	H'FFFF 8428	8、16、32	26-23
CAN2 メールボックスレジスタ 0~63	C2MB0~63	不定	H'FFFF 8000~ H'FFFF 83FF	8、16、32	26-24
CAN2 メールボックス割り込み許可レジスタ 0	C2MIER0	不定	H'FFFF 843C	8、16、32	26-32
CAN2 メールボックス割り込み許可レジスタ 1	C2MIER1	不定	H'FFFF 842C	8、16、32	26-30

## 26. CAN モジュール

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
CAN2 メッセージ制御レジスタ 0~63	C2MCTL0~63	H'00	H'FFFF 8800~ H'FFFF 883F	8、16、32	26-33
CAN2 受信 FIFO 制御レジスタ	C2RFCR	H'80	H'FFFF 8848	8、16、32	26-39
CAN2 受信 FIFO ポインタ制御レジスタ	C2RFPCR	不定	H'FFFF 8849	8、16、32	26-43
CAN2 送信 FIFO 制御レジスタ	C2TFPCR	H'80	H'FFFF 884A	8、16、32	26-44
CAN2 送信 FIFO ポインタ制御レジスタ	C2TFPCR	不定	H'FFFF 884B	8、16、32	26-47
CAN2 ステータスレジスタ	C2STR	H'0500	H'FFFF 8842	8、16、32	26-48
CAN2 メールボックスサーチモードレジスタ	C2MSMR	H'00	H'FFFF 8853	8、16、32	26-51
CAN2 メールボックスサーチステータスレジスタ	C2MSSR	H'80	H'FFFF 8852	8、16、32	26-52
CAN2 チャネルサーチサポートレジスタ	C2CSSR	不定	H'FFFF 8851	8、16、32	26-54
CAN2 アクセプタンスフィルタサポートレジスタ	C2AFSR	不定	H'FFFF 8856	8、16、32	26-55
CAN2 エラー割り込み許可レジスタ	C2EIER	H'00	H'FFFF 884C	8、16、32	26-56
CAN2 エラー割り込み要因判定レジスタ	C2EIFR	H'00	H'FFFF 884D	8、16、32	26-58
CAN2 受信エラーカウントレジスタ	C2RECR	H'00	H'FFFF 884E	8、16、32	26-62
CAN2 送信エラーカウントレジスタ	C2TECR	H'00	H'FFFF 884F	8、16、32	26-62
CAN2 エラーコード格納レジスタ	C2ECSR	H'00	H'FFFF 8850	8、16、32	26-63
CAN2 タイムスタンプレジスタ	C2TSR	H'0000	H'FFFF 8854	8、16、32	26-65
CAN2 テスト制御レジスタ	C2TCR	H'00	H'FFFF 8858	8	26-66
CAN2 割り込み許可レジスタ	C2IER	H'00	H'FFFF 8860	8、16	26-71
CAN2 割り込みステータスレジスタ	C2ISR	H'00	H'FFFF 8861	8、16	26-69
CAN2 メールボックスサーチマスクレジスタ	C2MBSMR	H'00	H'FFFF 8863	8、16、32	26-73
CAN3 制御レジスタ	C3CTLR	H'0500	H'FFFF 9840	8、16、32	26-10
CAN3 クロック選択レジスタ	C3CLKR	H'00	H'FFFF 9847	8、16、32	26-16
CAN3 ビットコンフィグレーションレジスタ	C3BCR	H'00 0000	H'FFFF 9844	8、16、32	26-17
CAN3 マスクレジスタ 0	C3MKR0	不定	H'FFFF 9430	8、16、32	26-20
CAN3 マスクレジスタ 1	C3MKR1	不定	H'FFFF 9434	8、16、32	26-20
CAN3 マスクレジスタ 2	C3MKR2	不定	H'FFFF 9400	8、16、32	26-20
CAN3 マスクレジスタ 3	C3MKR3	不定	H'FFFF 9404	8、16、32	26-20
CAN3 マスクレジスタ 4	C3MKR4	不定	H'FFFF 9408	8、16、32	26-20
CAN3 マスクレジスタ 5	C3MKR5	不定	H'FFFF 940C	8、16、32	26-20
CAN3 マスクレジスタ 6	C3MKR6	不定	H'FFFF 9410	8、16、32	26-20
CAN3 マスクレジスタ 7	C3MKR7	不定	H'FFFF 9414	8、16、32	26-20
CAN3 マスクレジスタ 8	C3MKR8	不定	H'FFFF 9418	8、16、32	26-20
CAN3 マスクレジスタ 9	C3MKR9	不定	H'FFFF 941C	8、16、32	26-20
CAN3 FIFO 受信 ID 比較レジスタ 0	C3FIDCR0	不定	H'FFFF 9420	8、16、32	26-21
CAN3 FIFO 受信 ID 比較レジスタ 1	C3FIDCR1	不定	H'FFFF 9424	8、16、32	26-21

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
CAN3 マスク無効レジスタ 0	C3MKIVLR0	不定	H'FFFF 9438	8、16、32	26-24
CAN3 マスク無効レジスタ 1	C3MKIVLR1	不定	H'FFFF 9428	8、16、32	26-23
CAN3 メールボックスレジスタ 0~63	C3MB0~63	不定	H'FFFF 9000~ H'FFFF 93FF	8、16、32	26-24
CAN3 メールボックス割り込み許可レジスタ 0	C3MIER0	不定	H'FFFF 943C	8、16、32	26-32
CAN3 メールボックス割り込み許可レジスタ 1	C3MIER1	不定	H'FFFF 942C	8、16、32	26-30
CAN3 メッセージ制御レジスタ 0~63	C3MCTL0~63	H'00	H'FFFF 9800~ H'FFFF 983F	8、16、32	26-33
CAN3 受信 FIFO 制御レジスタ	C3RFCR	H'80	H'FFFF 9848	8、16、32	26-39
CAN3 受信 FIFO ポインタ制御レジスタ	C3RFPCR	不定	H'FFFF 9849	8、16、32	26-43
CAN3 送信 FIFO 制御レジスタ	C3TFCR	H'80	H'FFFF 984A	8、16、32	26-44
CAN3 送信 FIFO ポインタ制御レジスタ	C3TFPCR	不定	H'FFFF 984B	8、16、32	26-47
CAN3 ステータスレジスタ	C3STR	H'0500	H'FFFF 9842	8、16、32	26-48
CAN3 メールボックスサーチモードレジスタ	C3MSMR	H'00	H'FFFF 9853	8、16、32	26-51
CAN3 メールボックスサーチステータスレジスタ	C3MSSR	H'80	H'FFFF 9852	8、16、32	26-52
CAN3 チャネルサーチサポートレジスタ	C3CSSR	不定	H'FFFF 9851	8、16、32	26-54
CAN3 アクセプタンスフィルタサポートレジスタ	C3AFSR	不定	H'FFFF 9856	8、16、32	26-55
CAN3 エラー割り込み許可レジスタ	C3EIER	H'00	H'FFFF 984C	8、16、32	26-56
CAN3 エラー割り込み要因判定レジスタ	C3EIFR	H'00	H'FFFF 984D	8、16、32	26-58
CAN3 受信エラーカウントレジスタ	C3RECR	H'00	H'FFFF 984E	8、16、32	26-62
CAN3 送信エラーカウントレジスタ	C3TECR	H'00	H'FFFF 984F	8、16、32	26-62
CAN3 エラーコード格納レジスタ	C3ECSR	H'00	H'FFFF 9850	8、16、32	26-63
CAN3 タイムスタンプレジスタ	C3TSR	H'0000	H'FFFF 9854	8、16、32	26-65
CAN3 テスト制御レジスタ	C3TCR	H'00	H'FFFF 9858	8	26-66
CAN3 割り込み許可レジスタ	C3IER	H'00	H'FFFF 9860	8、16	26-71
CAN3 割り込みステータスレジスタ	C3ISR	H'00	H'FFFF 9861	8、16	26-69
CAN3 メールボックスサーチマスクレジスタ	C3MBSMR	H'00	H'FFFF 9863	8、16、32	26-73

【注】 ・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。



## 26. CAN モジュール

### 26.3.1 CANi 制御レジスタ (CiCTRL) (i=0~3)

CAN0制御レジスタ (C0CTRL) <P4領域アドレス : H'FFFF 6840番地>  
 CAN1制御レジスタ (C1CTRL) <P4領域アドレス : H'FFFF 7840番地>  
 CAN2制御レジスタ (C2CTRL) <P4領域アドレス : H'FFFF 8840番地>  
 CAN3制御レジスタ (C3CTRL) <P4領域アドレス : H'FFFF 9840番地>

ビット :    15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0  
           —    —    RBOC    BOM    SLPM    CANM    TSPS    TSRC    TPM    MLM    IDFM    MBM  
 リセット後の値 :    0    0    0    0    0    1    0    1    0    0    0    0    0    0    0

<リセット後の値 : H'0500>

ビット	シンボル	リセット後の値	R	W	説明
15, 14	—	すべて0	0	0	予約ビット "0"にしてください。
13	RBOC	0	R	W	<p>バスオフ強制復帰ビット*1</p> <p>バスオフ状態時に RBOC ビットを"1" (バスオフからの強制復帰) にするとバスオフ状態から強制的に復帰します。このビットは自動的に"0"になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを"1"にすると、CiRECR、CiTECR レジスタは"H'00"になり、CiSTR レジスタの BOST ビットは"0" (CAN モジュールはバスオフ状態ではない) になります。他のレジスタは RBOC ビットを"1"にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM ビットが"00" (ノーマルモード) のときのみ使用してください。</p> <p>0 : 何もしない 1 : バスオフからの強制復帰*2</p>

ビット	シンボル	リセット後の値	R	W	説明
12, 11	BOM	すべて 0	R	W	<p>バスオフ復帰モード選択ビット*<sup>3</sup></p> <p>BOM ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。BOM ビットが"00"の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。</p> <p>BOM ビットが"01"の場合、CAN モジュールがバスオフ状態に達すると、CiCTRL レジスタの CANM ビットが"10"（CAN Halt モード）になってから CAN Halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR レジスタと CiRECR レジスタは"H'00"になります。</p> <p>BOM ビットが"10"の場合、CAN モジュールがバスオフ状態に達すると、CANM ビットが"10"になり、バスオフ状態から復帰した（11 の連続するレセシブビットを 128 回検出）後に、CAN Halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CiTECR レジスタと CiRECR レジスタは"H'00"になります。</p> <p>BOM ビットが"11"の場合、CAN モジュールがまだバスオフ状態のときに CANM ビットを"10"にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR レジスタと CiRECR レジスタは"H'00"になります。しかし、CANM ビットを"10"にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。</p> <p>CAN モジュールが CAN Halt モードに遷移するのと同様（BOM ビット="01" のとき：バスオフ開始、または BOM ビット="10" のとき：バスオフ終了）に、CPU が CAN リセットモードへの遷移を要求した場合は、CPU の要求が優先されます。</p> <p>00：ノーマルモード（ISO11898-1 仕様準拠）  01：バスオフ開始で自動的に CAN Halt モードへ遷移  10：バスオフ終了で自動的に CAN Halt モードへ遷移  11：プログラムによる要求で CAN Halt モードへ遷移（バスオフ復帰期間中）</p>
10	SLPM	1	R	W	<p>CAN スリープモードビット*<sup>4</sup>*<sup>5</sup></p> <p>SLPM ビットを"1"にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを"0"にすると、CAN スリープモードは解除されます。詳細は、「26.4 動作モード」を参照してください。</p> <p>0：CAN スリープモードではない  1：CAN スリープモード</p>

## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
9、8	CANM	01	R	W	<p>CAN 動作モード選択ビット*<sup>4</sup></p> <p>CANM ビットは、CAN モジュールのモード（CAN オペレーションモード、CAN リセットモード、CAN Halt モード）を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「26.4 動作モード」を参照してください。</p> <p>BOM ビットの設定によって CAN Halt モードへ遷移した場合は、CANM ビットは自動的に"10"になります。</p> <p>00 : CAN オペレーションモード            01 : CAN リセットモード            10 : CAN Halt モード            11 : CAN リセットモード（強制遷移）</p>
7、6	TSPS	すべて 0	R	W	<p>タイムスタンププリスケアラ選択ビット*<sup>3</sup></p> <p>タイムスタンプ用のプリスケアラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。</p> <p>00 : 1 ビットタイムごと            01 : 2 ビットタイムごと            10 : 4 ビットタイムごと            11 : 8 ビットタイムごと</p>
5	TSRC	0	R	W	<p>タイムスタンプカウンタリセットビット*<sup>6</sup></p> <p>タイムスタンプカウンタをリセットするために使用します。</p> <p>TSRC ビットを"1"にすると CiTSR レジスタは H'0000 になります。このビットは自動的に"0"になります。</p> <p>0 : リセットしない            1 : リセットする*<sup>2</sup></p>

ビット	シンボル	リセット後の値	R	W	説明
4	TPM	0	R	W	<p>送信優先順位モード選択ビット*<sup>3</sup></p> <p>メッセージを送信する場合の優先順のモードを指定します。</p> <p>TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。</p> <p>TPM ビットが"0"の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトレーションルール (ISO11898-1 仕様) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス[0]~[63]、FIFO メールボックスモードのときメールボックス[0]~[55]と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。</p> <p>次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。</p> <p>TPM ビットが"1"の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス[0]~[55]) よりも優先順位が低くなります。</p> <p>0 : ID 優先送信モード 1 : メールボックス番号優先送信モード</p>
3	MLM	0	R	W	<p>メッセージロストモード選択ビット*<sup>3</sup></p> <p>未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。</p> <p>MLM ビットが"0"の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。</p> <p>MLM ビットが"1"の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。</p> <p>0 : オーバライトモード 1 : オーバランモード</p>

26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
2, 1	IDFM	すべて 0	R	W	<p>ID フォーマットモードビット*<sup>3</sup></p> <p>IDFM ビットは、ID フォーマットを決定します。</p> <p>00 : 標準 ID モード すべてのメールボックス (FIFO メールボックスを含む) は標準 ID のみに対応します。</p> <p>01 : 拡張 ID モード すべてのメールボックス (FIFO メールボックスを含む) は拡張 ID のみに対応します。</p> <p>10 : ミックス ID モード すべてのメールボックス (FIFO メールボックスを含む) は、標準 ID と拡張 ID の両方に対応します。標準 ID と拡張 ID の選択は、通常メールボックスモードの場合、対応するメールボックスの IDE ビットで指定します。FIFO メールボックスモードの場合、メールボックス[0]~[55]は対応するメールボックスの IDE ビット、受信 FIFO は CiFIDCR0、CiFIDCR1 レジスタの IDE ビット、送信 FIFO はメールボックス[56]の IDE ビットで指定します。</p> <p>11 : 設定禁止</p>
0	MBM	0	R	W	<p>送受信メールボックスモード選択ビット*<sup>3</sup></p> <p>MBM ビットが"0" (通常メールボックスモード) の場合、メールボックス[0]~[63]は送信または受信メールボックスに設定されます。</p> <p>MBM ビットが"1" (FIFO メールボックスモード) の場合、メールボックス[0]~[55]は送信または受信メールボックスに設定され、メールボックス[56]~[59]は送信 FIFO に、メールボックス[60]~[63]は受信 FIFO に設定されます。送信データはメールボックス[56]に書き込み (メールボックス[56]は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス[60]から読み出します (メールボックス[60]は受信 FIFO のウィンドウメールボックスです)。</p> <p>表 26.4 にメールボックスの設定を示します。</p> <p>0 : 通常メールボックスモード 1 : FIFO メールボックスモード</p>

- 【注】 \*1 RBOC ビットはバスオフ状態時に"1"にしてください。
- \*2 "1"にした後自動的に"0"に戻ります。読んだ場合"0"が読めます。
- \*3 BOM、MBM、IDFM、MLM、TPM、TSPS ビットは、CAN リセットモード時に変更してください。
- \*4 CANM、SLPM ビットを変更した場合は、CiSTR レジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM、SLPM ビットは変更しないでください。
- \*5 SLPM ビットは、CAN リセットモードまたは CAN Halt モード時に変更してください。SLPM ビットを書き換える場合は、本ビットのみ"0"または"1"にしてください。
- \*6 TSRC ビットは CAN オペレーションモード時に"1"にしてください

表 26.4 メールボックスの設定

メールボックス	MBM ビット="0" (通常メールボックスモード)	MBM ビット="1" (FIFO メールボックスモード)
メールボックス[0]~[55]	通常メールボックス	通常メールボックス
メールボックス[56]~[59]		送信 FIFO
メールボックス[60]~[63]		受信 FIFO

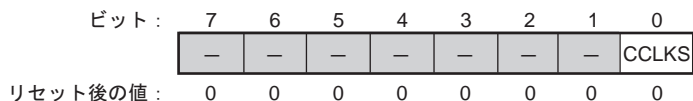
【注】 ・ MBM ビットが"1"のときは以下の 1.~5.の点に注意してください。

1. 送信 FIFO は CiTFCR レジスタで制御します。メールボックス[56]~[59]の CiMCTLj レジスタは無効です。CiMCTL56~CiMCTL59 レジスタは使用できません。
2. 受信 FIFO は CiRFCR レジスタで制御します。メールボックス[60]~[63]の CiMCTLj レジスタは無効です。CiMCTL60~CiMCTL63 レジスタは使用できません。
3. FIFO 割り込みについては CiMIER1 レジスタを参照してください。
4. CiMKIVLR1 レジスタのメールボックス[56]~[63]に対応するビットは無効です。これらのビットには"0"を設定してください。
5. 送信/受信 FIFO はデータフレーム/リモートフレームを使用可能です。

26.3.2 CAN<sub>i</sub> クロック選択レジスタ (CiCLKR) (i=0~3)

CAN0クロック選択レジスタ (C0CLKR)  
 CAN1クロック選択レジスタ (C1CLKR)  
 CAN2クロック選択レジスタ (C2CLKR)  
 CAN3クロック選択レジスタ (C3CLKR)

<P4領域アドレス : H'FFFF 6847番地>  
 <P4領域アドレス : H'FFFF 7847番地>  
 <P4領域アドレス : H'FFFF 8847番地>  
 <P4領域アドレス : H'FFFF 9847番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット "0"にしてください。
6, 5	—	すべて0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
4	—	0	?	0	予約ビット 書く場合、"0"を書いてください。読んだ場合、その値は不定。
3	—	0	0	0	予約ビット "0"にしてください。
2	—	0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
1	—	0	0	0	予約ビット "0"にしてください。
0	CCLKS	0	R	W	CAN クロックソース選択ビット*1*2 CCLKS ビットを"0"にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザから生成された周辺クロック (Pck) が使用されます。 CCLKS ビットを"1"にすると、CAN クロックソース (fCAN) は PLL 周波数シンセサイザを使用せず、外部の EXTAL 端子から入力されたメインクロックが使用されます。 0 : 周辺クロック (Pck) 1 : メインクロック

【注】 \*1 CCLKS ビットは、CAN リセットモード時のみ変更してください。  
 \*2 CCLKS ビットを"1"にする場合は、周辺クロック (Pck) の周波数はメインクロックの周波数以上にしてください。

### 26.3.3 CAN<sub>i</sub> ビットコンフィグレーションレジスタ (CiBCR) (i=0~3)

ビットタイミングの設定については、「26.5 CAN 通信速度の設定」を参照してください。

CiBCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ遷移する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できません。

CiBCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、CiCLKR レジスタを書き換えないように注意してください。

CAN0ビットコンフィグレーションレジスタ (C0BCR)	<P4領域アドレス : H'FFFF 6844番地>
CAN1ビットコンフィグレーションレジスタ (C1BCR)	<P4領域アドレス : H'FFFF 7844番地>
CAN2ビットコンフィグレーションレジスタ (C2BCR)	<P4領域アドレス : H'FFFF 8844番地>
CAN3ビットコンフィグレーションレジスタ (C3BCR)	<P4領域アドレス : H'FFFF 9844番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSEG1				—	—	BRP									
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8								
	—	—	SJW		—	TSEG2										
リセット後の値 :	0	0	0	0	0	0	0	0								



26. CAN モジュール

<リセット後の値 : H'000000>

ビット	シンボル	リセット後の値	R	W	説明
31~28	TSEG1	すべて 0	R	W	<p>タイムセグメント 1 制御ビット</p> <p>プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Time Quantum (Tq) 値で指定します。</p> <p>4~16Tq の値が設定可能です。</p> <p>0000 : 設定禁止                      0001 : 設定禁止                      0010 : 設定禁止                      0011 : 4Tq                      0100 : 5Tq                      0101 : 6Tq                      0110 : 7Tq                      0111 : 8Tq                      1000 : 9Tq                      1001 : 10Tq                      1010 : 11Tq                      1011 : 12Tq                      1100 : 13Tq                      1101 : 14Tq                      1110 : 15Tq                      1111 : 16Tq</p>
27	—	0	0	0	<p>空きビット</p> <p>書く場合、"0"を書いてください。読んだ場合、その値は"0"。</p>
26	—	0	0	0	<p>予約ビット</p> <p>"0"にしてください。</p>
25~16	BRP	すべて 0	R	W	<p>プリスケアラ分周比選択ビット</p> <p>CAN 通信クロック (fCANCLK) の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P (0~1023) とすると、ポーレートプリスケアラは fCAN を P+1 で分周します。</p>
15、14	—	すべて 0	0	0	<p>空きビット</p> <p>書く場合、"0"を書いてください。読んだ場合、その値は"0"。</p>

ビット	シンボル	リセット後の値	R	W	説明
13、12	SJW	すべて 0	R	W	再同期ジャンプ幅制御ビット 再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1~4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。 00 : 1Tq 01 : 2Tq 10 : 3Tq 11 : 4Tq
11	—	0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
10~8	TSEG2	すべて 0	R	W	タイムセグメント 2 制御ビット フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。2~8Tq の値が設定可能です。TSEG1 ビットより小さな値を設定してください。 000 : 設定禁止 001 : 2Tq 010 : 3Tq 011 : 4Tq 100 : 5Tq 101 : 6Tq 110 : 7Tq 111 : 8Tq

26.3.4 CANi マスクレジスタ k (CiMKRk) (i=0~3、k=0~9)

レジスタ構成は、「26.6 メールボックスとマスクレジスタの構成」を参照してください。

FIFO メールボックスモードでのマスク機能については、「26.7 アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、CiMKR0~CiMKR9 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

CAN0マスクレジスタ0 (C0MKR0)	<P4領域アドレス : H'FFFF 6430番地>
CAN0マスクレジスタ1 (C0MKR1)	<P4領域アドレス : H'FFFF 6434番地>
CAN0マスクレジスタ2 (C0MKR2)	<P4領域アドレス : H'FFFF 6400番地>
:	:
CAN0マスクレジスタ9 (C0MKR9)	<P4領域アドレス : H'FFFF 641C番地>
CAN1マスクレジスタ0 (C1MKR0)	<P4領域アドレス : H'FFFF 7430番地>
CAN1マスクレジスタ1 (C1MKR1)	<P4領域アドレス : H'FFFF 7434番地>
CAN1マスクレジスタ2 (C1MKR2)	<P4領域アドレス : H'FFFF 7400番地>
:	:
CAN1マスクレジスタ9 (C1MKR9)	<P4領域アドレス : H'FFFF 741C番地>
CAN2マスクレジスタ0 (C2MKR0)	<P4領域アドレス : H'FFFF 8430番地>
CAN2マスクレジスタ1 (C2MKR1)	<P4領域アドレス : H'FFFF 8434番地>
CAN2マスクレジスタ2 (C2MKR2)	<P4領域アドレス : H'FFFF 8400番地>
:	:
CAN2マスクレジスタ9 (C2MKR9)	<P4領域アドレス : H'FFFF 841C番地>
CAN3マスクレジスタ0 (C3MKR0)	<P4領域アドレス : H'FFFF 9430番地>
CAN3マスクレジスタ1 (C3MKR1)	<P4領域アドレス : H'FFFF 9434番地>
CAN3マスクレジスタ2 (C3MKR2)	<P4領域アドレス : H'FFFF 9400番地>
:	:
CAN3マスクレジスタ9 (C3MKR9)	<P4領域アドレス : H'FFFF 941C番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~29	-	不定	0	0	リセット後の値は不定です。書き込む場合は"0"を書き込んでください。 "0"を書いた後は"0"が読み出せます。
28~18	SID	不定	R	W	標準 ID ビット SID ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。 標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。 SID ビットが"0"の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較しません。 SID ビットが"1"の場合、対応する SID ビットは、受信した ID とメールボックスの ID を比較します。 0 : 対応する SID ビットは比較されない 1 : 対応する SID ビットは比較される

ビット	シンボル	リセット後の値	R	W	説明
17~0	EID	不定	R	W	<p>拡張 ID ビット</p> <p>EID ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信する場合に使用します。</p> <p>EID ビットが"0"の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較しません。</p> <p>EID ビットが"1"の場合、対応する EID ビットは、受信した ID とメールボックスの ID を比較します。</p> <p>0 : 対応する EID ビットは比較されない</p> <p>1 : 対応する EID ビットは比較される</p>

### 26.3.5 CANi FIFO 受信 ID 比較レジスタ (CiFIDCR0、CiFIDCR1) (i=0~3)

CiFIDCR0、CiFIDCR1 レジスタは、CiCTLR レジスタの MBM ビットが"1" (FIFO メールボックスモード) のとき有効です。CiMB60~CiMB63 レジスタの EID、SID、RTR、IDE ビットは無効です。

レジスタ構成は、「26.6 メールボックスとマスクレジスタの構成」を参照してください。

CiFIDCR0、CiFIDCR1 レジスタの使用方法については、「26.7 アクセプタンスフィルタ機能とマスク機能」を参照してください。

CiFIDCR0、CiFIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

CAN0 FIFO受信ID比較レジスタ0 (C0FIDCR0)	<P4領域アドレス : H'FFFF 6420番地>
CAN0 FIFO受信ID比較レジスタ1 (C0FIDCR1)	<P4領域アドレス : H'FFFF 6424番地>
CAN1 FIFO受信ID比較レジスタ0 (C1FIDCR0)	<P4領域アドレス : H'FFFF 7420番地>
CAN1 FIFO受信ID比較レジスタ1 (C1FIDCR1)	<P4領域アドレス : H'FFFF 7424番地>
CAN2 FIFO受信ID比較レジスタ0 (C2FIDCR0)	<P4領域アドレス : H'FFFF 8420番地>
CAN2 FIFO受信ID比較レジスタ1 (C2FIDCR1)	<P4領域アドレス : H'FFFF 8424番地>
CAN3 FIFO受信ID比較レジスタ0 (C3FIDCR0)	<P4領域アドレス : H'FFFF 9420番地>
CAN3 FIFO受信ID比較レジスタ1 (C3FIDCR1)	<P4領域アドレス : H'FFFF 9424番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IDE	RTR	—	SID											EID	
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EID															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

&lt;リセット後の値：不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	IDE	不定	R	W	<p>ID 拡張ビット*1</p> <p>IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CiCTRL レジスタの IDFM ビットが"10"（ミックス ID モード）のとき有効です。IDFM ビットが"10"のとき、IDE ビットは以下の動作を指定します。</p> <ul style="list-style-type: none"> <li>• CiFIDCR0、CiFIDCR1 レジスタの両方の IDE ビットが"0"の場合、標準 ID フレームのみ受信できます。</li> <li>• CiFIDCR0、CiFIDCR1 レジスタの両方の IDE ビットが"1"の場合、拡張 ID フレームのみ受信できます。</li> <li>• CiFIDCR0、CiFIDCR1 レジスタの IDE ビットが"0"と"1"のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。</li> </ul> <p>0：標準 ID 1：拡張 ID</p>
30	RTR	不定	R	W	<p>リモートフレーム要求ビット</p> <p>RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。RTR ビットは、以下の動作を指定します。</p> <ul style="list-style-type: none"> <li>• CiFIDCR0、CiFIDCR1 レジスタの両方の RTR ビットが"0"の場合、データフレームのみ受信できます。</li> <li>• CiFIDCR0、CiFIDCR1 レジスタの両方の RTR ビットが"1"の場合、リモートフレームのみ受信できます。</li> <li>• CiFIDCR0、CiFIDCR1 レジスタの RTR ビットが"0"と"1"のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。</li> </ul> <p>0：データフレーム 1：リモートフレーム</p>
29	—	不定	0	0	<p>リセット後の値は不定です。書き込む場合は"0"を書き込んでください。"0"を書いた後は"0"が読み出せません。</p>
28~18	SID	不定	R	W	<p>標準 ID ビット</p> <p>SID ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。</p> <p>0：対応する SID ビットは"0" 1：対応する SID ビットは"1"</p>
17~0	EID	不定	R	W	<p>拡張 ID ビット</p> <p>EID ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信する場合に使用します。</p> <p>0：対応する EID ビットは"0" 1：対応する EID ビットは"1"</p>

【注】 \*1 IDFM ビットが"10"以外のときは IDE ビットには"0"を書いてください。

26.3.6 CAN<sub>i</sub> マスク無効レジスタ (CiMKIVLR0、CiMKIVLR1) (i=0~3)

CiMKIVLR0 レジスタ、CiMKIVLR1 レジスタには、各メールボックスに対応するビットが含まれます。各ビットの対応を以下に示します。

- CiMKIVLR0レジスタのビット0はメールボックス0 (MB0) に対応
- CiMKIVLR0レジスタのビット31はメールボックス31 (MB31) に対応
- CiMKIVLR1レジスタのビット0はメールボックス32 (MB32) に対応
- CiMKIVLR1レジスタのビット31はメールボックス63 (MB63) に対応

"1"の場合、ビットの番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージの ID と CiMB<sub>j</sub> レジスタの SID、EID ビットが一致する場合にのみ受信します。

なお、CiMKIVLR0 レジスタ、CiMKIVLR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

CAN0マスク無効レジスタ1 (C0MKIVLR1)	<P4領域アドレス : H'FFFF 6428番地>
CAN1マスク無効レジスタ1 (C1MKIVLR1)	<P4領域アドレス : H'FFFF 7428番地>
CAN2マスク無効レジスタ1 (C2MKIVLR1)	<P4領域アドレス : H'FFFF 8428番地>
CAN3マスク無効レジスタ1 (C3MKIVLR1)	<P4領域アドレス : H'FFFF 9428番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MB63	MB62	MB61	MB60	MB59	MB58	MB57	MB56	MB55	MB54	MB53	MB52	MB51	MB50	MB49	MB48
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB47	MB46	MB45	MB44	MB43	MB42	MB41	MB40	MB39	MB38	MB37	MB36	MB35	MB34	MB33	MB32
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MB63~32	不定	R	W	ビット 31 はメールボックス 63 (MB63)、ビット 0 はメールボックス 32 (MB32) にそれぞれ対応しています。 <sup>*1</sup> 0 : マスク有効 1 : マスク無効

【注】 \*1 FIFO メールボックスモード時はビット 31~ビット 24 を"0"にしてください。

## 26. CAN モジュール

CAN0マスク無効レジスタ0 (C0MKIVLR0) <P4領域アドレス : H'FFFF 6438番地>  
 CAN1マスク無効レジスタ0 (C1MKIVLR0) <P4領域アドレス : H'FFFF 7438番地>  
 CAN2マスク無効レジスタ0 (C2MKIVLR0) <P4領域アドレス : H'FFFF 8438番地>  
 CAN3マスク無効レジスタ0 (C3MKIVLR0) <P4領域アドレス : H'FFFF 9438番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  

MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------

 リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
------	------	------	------	------	------	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

 リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MB31~0	不定	R	W	ビット 31 はメールボックス 31 (MB31)、ビット 0 はメールボックス 0 (MB0) にそれぞれ対応しています。 0 : マスク有効 1 : マスク無効

### 26.3.7 CAN<sub>i</sub> メールボックスレジスタ j (CiMB<sub>j</sub>) (i=0~3, j=0~63)

表 26.5 に CAN<sub>i</sub> メールボックスのメモリ配置、表 26.6 に CAN データフレームの構成を示します。  
 CAN<sub>i</sub> メールボックスのリセット後の値は不定です。

CiMB<sub>j</sub> レジスタは、関連する CiMCTL<sub>j</sub> レジスタ (i=0~3, j=0~63) が"H'00"で、かつアボート処理中でないときにのみ CiMB<sub>j</sub> レジスタの設定を変更してください。

レジスタアドレスの詳細については表 26.5 を参照してください。

レジスタ構成は、「26.6 メールボックスとマスクレジスタの構成」を参照してください。

表 26.5 CAN<sub>i</sub> メールボックスのメモリ配置 (i=0~3)

アドレス				メッセージ内容
CAN0	CAN1	CAN2	CAN3	メモリ配置
H'FFFF 6000+16×j+0	H'FFFF 7000+16×j+0	H'FFFF 8000+16×j+0	H'FFFF 9000+16×j+0	IDE、RTR、SID10~SID6
H'FFFF 6000+16×j+1	H'FFFF 7000+16×j+1	H'FFFF 8000+16×j+1	H'FFFF 9000+16×j+1	SID5~SID0、EID17、EID16
H'FFFF 6000+16×j+2	H'FFFF 7000+16×j+2	H'FFFF 8000+16×j+2	H'FFFF 9000+16×j+2	EID15~EID8
H'FFFF 6000+16×j+3	H'FFFF 7000+16×j+3	H'FFFF 8000+16×j+3	H'FFFF 9000+16×j+3	EID7~EID0
H'FFFF 6000+16×j+4	H'FFFF 7000+16×j+4	H'FFFF 8000+16×j+4	H'FFFF 9000+16×j+4	—
H'FFFF 6000+16×j+5	H'FFFF 7000+16×j+5	H'FFFF 8000+16×j+5	H'FFFF 9000+16×j+5	データ長コード (DLC)
H'FFFF 6000+16×j+6	H'FFFF 7000+16×j+6	H'FFFF 8000+16×j+6	H'FFFF 9000+16×j+6	データバイト 0
H'FFFF 6000+16×j+7	H'FFFF 7000+16×j+7	H'FFFF 8000+16×j+7	H'FFFF 9000+16×j+7	データバイト 1
⋮	⋮	⋮	⋮	⋮
H'FFFF 6000+16×j+13	H'FFFF 7000+16×j+13	H'FFFF 8000+16×j+13	H'FFFF 9000+16×j+13	データバイト 7
H'FFFF 6000+16×j+14	H'FFFF 7000+16×j+14	H'FFFF 8000+16×j+14	H'FFFF 9000+16×j+14	タイムスタンプ上位バイト
H'FFFF 6000+16×j+15	H'FFFF 7000+16×j+15	H'FFFF 8000+16×j+15	H'FFFF 9000+16×j+15	タイムスタンプ下位バイト

表 26.6 CAN データフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC0	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

CAN0メールボックスレジスタ0~63 (C0MB0~63)	<P4領域アドレス : H'FFFF 6000~H'FFFF 63FF番地>
CAN1メールボックスレジスタ0~63 (C1MB0~63)	<P4領域アドレス : H'FFFF 7000~H'FFFF 73FF番地>
CAN2メールボックスレジスタ0~63 (C2MB0~63)	<P4領域アドレス : H'FFFF 8000~H'FFFF 83FF番地>
CAN3メールボックスレジスタ0~63 (C3MB0~63)	<P4領域アドレス : H'FFFF 9000~H'FFFF 93FF番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	IDE	RTR	—	SID											EID		
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	EID																
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31	IDE	不定	R	W	<p>ID 拡張ビット*1</p> <p>IDE ビットは、標準 ID または拡張 ID の ID フォーマットを設定します。IDE ビットは、CiCTLR レジスタの IDFM ビットが"10" (ミックス ID モード) のとき有効です。IDFM ビットが"10"のとき、IDE ビットは以下の動作を指定します。</p> <ul style="list-style-type: none"> <li>受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する</li> <li>送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う</li> <li>受信 FIFO メールボックスは、CiFIDCR0、CiFIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する</li> <li>送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する</li> </ul> <p>0 : 標準 ID 1 : 拡張 ID</p>



26. CAN モジュール

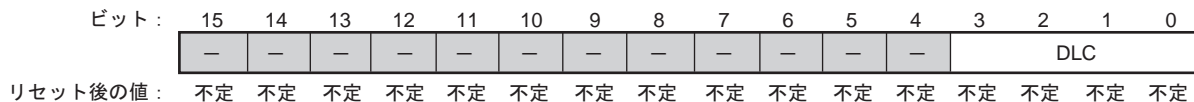
ビット	シンボル	リセット後の値	R	W	説明
30	RTR	不定	R	W	<p>リモートフレーム要求ビット</p> <p>RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。RTR ビットは、以下の動作を指定します。</p> <ul style="list-style-type: none"> <li>受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する</li> <li>送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う</li> <li>受信 FIFO メールボックスは、CiFIDCR0、CiFIDCR1 レジスタの RTR ビットで選択したデータフレーム、リモートフレームまたは両フレームを受信する</li> <li>送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する</li> </ul> <p>0：データフレーム 1：リモートフレーム</p>
29	—	不定	0	0	<p>リセット後の値は不定です。書き込む場合は"0"を書き込んでください。"0"を書いた後は"0"が読み出せます。</p>
28~18	SID	不定	R	W	<p>標準 ID ビット</p> <p>SID ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを送受信する場合の両方で使用します。</p> <p>0：対応する SID ビットは"0" 1：対応する SID ビットは"1"</p>
17~0	EID	不定	R	W	<p>拡張 ID ビット*<sup>2</sup></p> <p>EID ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信する場合に使用します。</p> <p>0：対応する EID ビットは"0" 1：対応する EID ビットは"1"</p>

【注】 \*1 IDFM ビットが"10"以外のときには IDE ビットに"0"を書いてください。

\*2 メールボックスが標準 ID のメッセージを受信すると、メールボックスの EID ビットの値は不定になります。

・レジスタ構成は、「26.6 メールボックスとマスクレジスタの構成」を参照してください。

CAN0メールボックスレジスタ0~63 (C0MB0~63) <P4領域アドレス : H'FFFF 6000~H'FFFF 63FF番地>  
 CAN1メールボックスレジスタ0~63 (C1MB0~63) <P4領域アドレス : H'FFFF 7000~H'FFFF 73FF番地>  
 CAN2メールボックスレジスタ0~63 (C2MB0~63) <P4領域アドレス : H'FFFF 8000~H'FFFF 83FF番地>  
 CAN3メールボックスレジスタ0~63 (C3MB0~63) <P4領域アドレス : H'FFFF 9000~H'FFFF 93FF番地>



<リセット後の値 : 不定>

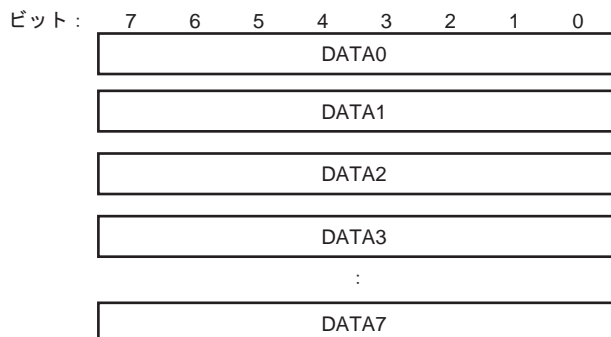
ビット	シンボル	リセット後の値	R	W	説明
15~4	—	不定	0	0	リセット後の値は不定です。書き込む場合は"0"を書き込んでください。 "0"を書いた後は"0"が読み出せます。
3~0	DLC	不定	R	W	データ長コードビット*1 DLC はデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。 データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されません。 0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト 【記号説明】 x : 任意の値です。

【注】 \*1 メールボックスが8より小さいDLCのメッセージを受信すると、メールボックスのDLCより大きいDATAは不定になります。

## 26. CAN モジュール

CAN0 メールボックスレジスタ0~63 (C0MB0~63)  
 CAN1 メールボックスレジスタ0~63 (C1MB0~63)  
 CAN2 メールボックスレジスタ0~63 (C2MB0~63)  
 CAN3 メールボックスレジスタ0~63 (C3MB0~63)

<P4領域アドレス : H'FFFF 6000~H'FFFF 63FF番地>  
 <P4領域アドレス : H'FFFF 7000~H'FFFF 73FF番地>  
 <P4領域アドレス : H'FFFF 8000~H'FFFF 83FF番地>  
 <P4領域アドレス : H'FFFF 9000~H'FFFF 93FF番地>



リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	DATA0~7	不定	R	W	データバイト0~7*1*2 DATA0~7は送信または受信したCANメッセージデータを格納します。 DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

- 【注】 \*1 メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA<sub>n</sub>~DATA7の値は不定になります。
- \*2 メールボックスがリモートフレームを受信した場合、メールボックスのDATA0~DATA7は以前の値が保持されます。

CAN0メールボックスレジスタ0~63 (C0MB0~63)

&lt;P4領域アドレス : H'FFFF 6000~H'FFFF 63FF番地&gt;

CAN1メールボックスレジスタ0~63 (C1MB0~63)

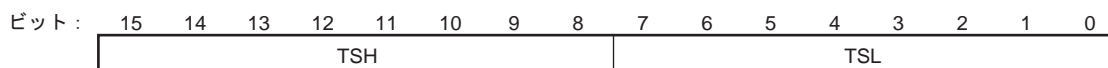
&lt;P4領域アドレス : H'FFFF 7000~H'FFFF 73FF番地&gt;

CAN2メールボックスレジスタ0~63 (C2MB0~63)

&lt;P4領域アドレス : H'FFFF 8000~H'FFFF 83FF番地&gt;

CAN3メールボックスレジスタ0~63 (C3MB0~63)

&lt;P4領域アドレス : H'FFFF 9000~H'FFFF 93FF番地&gt;



リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	TSH	不定	R	W	タイムスタンプ上位バイト TSH と TSL は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。
7~0	TSL	不定	R	W	タイムスタンプ下位バイト TSH と TSL は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

### 26.3.8 CANi メールボックス割り込み許可レジスタ (CiMIER0、CiMIER1) (i=0~3)

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード (すべてのビット) と FIFO メールボックスモード (CiMIER1 レジスタのビット 23~0、CiMIER0 レジスタのビットすべて) では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

- CiMIER0 レジスタのビット0はメールボックス0 (MB0) に対応
- CiMIER0 レジスタのビット31はメールボックス31 (MB31) に対応
- CiMIER1 レジスタのビット0はメールボックス32 (MB32) に対応
- CiMIER1 レジスタのビット31はメールボックス63 (MB63) に対応

FIFO メールボックスモードの CiMIER1 レジスタのビット 29、28、25、24 は送信/受信 FIFO 割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

CiMIER0 および CiMIER1 レジスタは、関連する CiMCTLj レジスタ (j=0~63) が "H'00" で、対応するメールボックスが送受信アポートの処理をしていないときのみ変更してください。また、FIFO 動作モード時は、CiTFCR レジスタの TFE ビットが "0" で TFEST ビットが "1"、CiRFCR レジスタの RFE ビットが "0" で RFEST ビットが "1" のときのみ、関連する FIFO の CiMIER1 レジスタのビットを変更してください。

CAN0メールボックス割り込み許可レジスタ1 (C0MIER1)	<P4領域アドレス : H'FFFF 642C番地>
CAN1メールボックス割り込み許可レジスタ1 (C1MIER1)	<P4領域アドレス : H'FFFF 742C番地>
CAN2メールボックス割り込み許可レジスタ1 (C2MIER1)	<P4領域アドレス : H'FFFF 842C番地>
CAN3メールボックス割り込み許可レジスタ1 (C3MIER1)	<P4領域アドレス : H'FFFF 942C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MB63	MB62	MB61	MB60	MB59	MB58	MB57	MB56	MB55	MB54	MB53	MB52	MB51	MB50	MB49	MB48
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB47	MB46	MB45	MB44	MB43	MB42	MB41	MB40	MB39	MB38	MB37	MB36	MB35	MB34	MB33	MB32
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

• 通常メールボックスモード

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MB63~32	不定	R	W	割り込み許可ビット ビット 31 はメールボックス 63 (MB63) 、ビット 0 はメールボックス 32 (MB32) にそれぞれ対応しています。 0 : 割り込み禁止 1 : 割り込み許可

• FIFOメールボックスモード (CiMIER1のみ)

<リセット後の値：不定>

ビット	シンボル	リセット後の値	R	W	説明
31、30	MB63、62	不定	0	0	予約ビット "0"にしてください。
29	MB61	不定	R	W	受信 FIFO 割り込み発生タイミング制御ビット*1 受信 FIFO 割り込み要求は、 0：毎回の受信完了後発生 1：受信完了により受信 FIFO がバッファワーニングになったとき発生
28	MB60	不定	R	W	受信 FIFO 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
27、26	MB59、58	不定	0	0	予約ビット "0"にしてください。
25	MB57	不定	R	W	送信 FIFO 割り込み発生タイミング制御ビット 送信 FIFO 割り込み要求は、 0：毎回の送信完了後発生 1：送信完了により送信 FIFO が空き状態になったとき発生
24	MB56	不定	R	W	送信 FIFO 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
23~0	MB55~32	不定	R	W	割り込み許可ビット ビット 23 はメールボックス 55 (MB55)、ビット 0 はメールボックス 32 (MB32) にそれぞれ対応しています。 0：割り込み禁止 1：割り込み許可

【注】 \*1 受信 FIFO がフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信 FIFO に 3 つ目のメッセージが格納された状態です。

## 26. CAN モジュール

CAN0メールボックス割り込み許可レジスタ0 (C0MIER0)

<P4領域アドレス : H'FFFF 643C番地>

CAN1メールボックス割り込み許可レジスタ0 (C1MIER0)

<P4領域アドレス : H'FFFF 743C番地>

CAN2メールボックス割り込み許可レジスタ0 (C2MIER0)

<P4領域アドレス : H'FFFF 843C番地>

CAN3メールボックス割り込み許可レジスタ0 (C3MIER0)

<P4領域アドレス : H'FFFF 943C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16

リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0

リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MB31~0	不定	R	W	割り込み許可ビット ビット 31 はメールボックス 31 (MB31) 、ビット 0 はメールボックス 0 (MB0) にそれぞれ対応しています。 0 : 割り込み禁止 1 : 割り込み許可

26.3.9 CAN<sub>i</sub> メッセージ制御レジスタ j (CiMCTL<sub>j</sub>) (i=0~3、j=0~63)

CiMCTL<sub>j</sub> レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

FIFO メールボックスモードでは、CiMCTL56~CiMCTL63 レジスタは使用しないでください。

CAN0メッセージ制御レジスタ0~63 (C0MCTL0~C0MCTL63)

<P4領域アドレス : H'FFFF 6800~H'FFFF 683F番地>

CAN1メッセージ制御レジスタ0~63 (C1MCTL0~C1MCTL63)

<P4領域アドレス : H'FFFF 7800~H'FFFF 783F番地>

CAN2メッセージ制御レジスタ0~63 (C2MCTL0~C2MCTL63)

<P4領域アドレス : H'FFFF 8800~H'FFFF 883F番地>

CAN3メッセージ制御レジスタ0~63 (C3MCTL0~C3MCTL63)

<P4領域アドレス : H'FFFF 9800~H'FFFF 983F番地>

## ■ CiMCTL32~CiMCTL63レジスタ

- ・送信モード (TRMREQビットが"1"、RECREQビットが"0"の場合)

ビット:	7	6	5	4	3	2	1	0
	TRM REQ	REC REQ	—	ONE SHOT	—	TRM ABT	TRM ACTIVE	SENT DATA

リセット後の値: 0 0 0 0 0 0 0 0 0

- ・受信モード (TRMREQビットが"0"、RECREQビットが"1"の場合)

ビット:	7	6	5	4	3	2	1	0
	TRM REQ	REC REQ	—	ONE SHOT	—	MSG LOST	INVAL DATA	NEW DATA

リセット後の値: 0 0 0 0 0 0 0 0 0

## ■ CiMCTL0~CiMCTL31レジスタ

ビット:	7	6	5	4	3	2	1	0
	—	REC REQ	—	—	—	MSG LOST	INVAL DATA	NEW DATA

リセット後の値: 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	TRMREQ	0	R	W	送信メールボックス設定ビット*2*4 TRMREQ ビットは表 26.11 に示す送信モードを選択します。 TRMREQ ビットを"1"にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。 TRMREQ ビットを"0"にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。 送信要求をキャンセルするために、TRMREQ ビットを"1"から"0"に変更すると、TRMABT ビットまたは SENTDATA ビットが"1"になります。 TRMREQ ビットを"1"にする場合は、RECREQ ビットを"1"にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そして NEWDATA ビットと MSGLOST ビットを"0"にしてください。 0 : 送信メールボックスに設定しない 1 : 送信メールボックスに設定する
—	—	0	0	0	空きビット (CiMCTL0~CiMCTL31 レジスタ) 書く場合、"0"を書いてください。読んだ場合、その値は"0"。



26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
6	RECREQ	0	R	W	<p>受信メールボックス設定ビット*2*4*5</p> <p>RECREQ ビットは表 26.11 に示す受信モードを選択します。</p> <p>RECREQ ビットを"1"にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。</p> <p>RECREQ ビットを"0"にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。</p> <p>以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで"0"を書いても"0"になりません。</p> <ul style="list-style-type: none"> <li>ハードウェアプロテクトの開始 アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)</li> <li>ハードウェアプロテクトの解除 —メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで) —その他のメールボックスは、アクセプタンスフィルタ処理後 —受信するメールボックスがない場合は、アクセプタンスフィルタ処理後</li> </ul> <p>RECREQ ビットを"1"にする場合は、TRMREQ ビットを"1"にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアポートし、そして SENTDATA ビットと TRMABT ビットを"0"にしてください。</p> <p>0 : 受信メールボックスに設定しない 1 : 受信メールボックスに設定する</p>
5	—	0	0	0	<p>空きビット</p> <p>書く場合、"0"を書いてください。読んだ場合、その値は"0"。</p>

ビット	シンボル	リセット後の値	R	W	説明
4	ONESHOT	0	R	W	<p>ワンショット許可ビット*<sup>3</sup></p> <p>ONESHOT ビットは受信モードと送信モードの2つの使い方があります。</p> <ul style="list-style-type: none"> <li>ワンショット受信モード 受信モード (RECREQ ビットが"1"、TRMREQ ビットが"0") のとき ONESHOT ビットを"1"にすると、メールボックスはメッセージを1回のみ受信します (メッセージを1回受信完了した後は受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOST ビットは"1"にはなりません。ONESHOT ビットを"0"にする場合、RECREQ ビットへ"0"を書いた後、RECREQ ビットが"0"になることを確認してから行ってください。</li> <li>ワンショット送信モード 送信モード (RECREQ ビットが"0"、TRMREQ ビットが"1") のとき ONESHOT ビットを"1"にすると、CAN モジュールはメッセージを1回のみ送信します (CAN バスエラーまたは CAN バスアービトラクションロストの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA ビットが"1"になります。CAN バスエラーまたは CAN バスアービトラクションロストによって送信が完了しない場合は、TRMABT ビットが"1"になります。ONESHOT ビットを"0"にする場合は、SENTDATA ビットが"1"または TRMABT ビットが"1"になった後に行ってください。</li> </ul> <p>0: ワンショット受信またはワンショット送信禁止 1: ワンショット受信またはワンショット送信許可</p>
	—	0	0	0	<p>空きビット (CiMCTL0~CiMCTL31 レジスタ)</p> <p>書く場合、"0"を書いてください。読んだ場合、その値は"0"。</p>
3	—	0	0	0	<p>空きビット</p> <p>書く場合、"0"を書いてください。読んだ場合、その値は"0"。</p>

26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
2	TRMABT	0	R	W	<p>送信アボート完了フラグ（送信メールボックス設定時有効）*1*2</p> <p>TRMABT ビットは、次の場合、"1"（送信アボート完了）になります。</p> <ul style="list-style-type: none"> <li>送信アボート要求に続いて、送信を開始する前に送信アボートが完了する</li> <li>送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合</li> <li>ワンショット送信モード (RECREQ ビットが"0"、TRMREQ ビットが"1"、ONESHOT ビットが"1") で、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合</li> </ul> <p>TRMABT ビットは、データ送信が完了しても"1"にはなりません。データ送信が完了した場合は SENTDATA ビットが"1"になります。TRMABT ビットは、プログラムで"0"を書くと"0"になります。</p> <p>0 : 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない</p> <p>1 : 送信アボート完了</p>
	MSGLOST	0	R	W	<p>メッセージロストフラグ（受信メールボックス設定時有効）*1*2</p> <p>MSGLOST ビットは、NEWDATA ビットが"1"の間、メールボックスが新しい受信メッセージによってメッセージが書き換えられたり破棄された場合、"1"になります。EOF の 6 番目のビットの終わりで"1"になります。</p> <p>MSGLOST ビットは、プログラムで"0"を書くと"0"になります。</p> <p>オーバーライトモードとオーバーランモードの両方において、EOF の 6 番目のビットに続く周辺クロック (Pck) の 5 サイクルの間は、MSGLOST ビットはプログラムで"0"を書いても"0"にはなりません。</p> <p>0 : メッセージはオーバーライトまたはオーバーランされていない</p> <p>1 : メッセージはオーバーライトまたはオーバーランされた</p>

ビット	シンボル	リセット後の値	R	W	説明
1	TRMACTIVE	0	R	0	<p>送信中ステータスビット (送信メールボックス設定時有効)</p> <p>TRMACTIVE ビットは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると"1"になります。TRMACTIVE ビットは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、またはデータ送信が完了すると"0"になります。</p> <p>0 : 送信待機中または送信要求なし 1 : 送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで</p>
	INVALIDDATA	0	R	0	<p>受信ステータスビット (受信メールボックス設定時有効)</p> <p>INVALIDDATA ビットは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に"1"になります。INVALIDDATA ビットは、メッセージの格納完了時点で"0"になります。INVALIDDATA ビットが"1"の間にメールボックスを読んだ場合、データは不定値になります。</p> <p>0 : メッセージは有効 1 : メッセージを更新中</p>
0	SENTDATA	0	R	W	<p>送信完了フラグ (送信メールボックス設定時有効) *1*2</p> <p>SENTDATA ビットは、対応するメールボックスからのデータ送信が完了すると"1"になります。SENTDATA ビットは、プログラムで"0"を書くと"0"になります。</p> <p>SENTDATA ビットを"0"にする場合は、TRMREQ ビットを"0"にしてから SENTDATA ビットを"0"にしてください。SENTDATA ビットと TRMREQ ビットは同時に"0"になりません。メールボックスから新しいメッセージを送信するには、SENTDATA ビットを"0"にしてください。</p> <p>0 : 送信が終了していない 1 : 送信完了</p>
	NEWDATA	0	R	W	<p>受信完了フラグ (受信メールボックス設定時有効) *1*2</p> <p>NEWDATA ビットは、メールボックスに新しいメッセージを格納中または格納が完了したときに"1"になります。"1"になるタイミングは、INVALIDDATA ビットと同時です。NEWDATA ビットは、プログラムで"0"を書くと"0"になります。関連する INVALIDDATA ビットが"1"の間は、NEWDATA ビットはプログラムで"0"を書いても"0"になりません。</p> <p>0 : データが受信されていない、または NEWDATA ビットに"0"を書いた場合 1 : 新しいメッセージをメールボックスに格納中または格納された</p>

【注】 \*1 "0"のみ書けます ("1"を書いても変化しません)。

\*2 NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、および TRMREQ ビットにプログラムで"0"を書く場合は、MOV 命令を使用し、"0"にしたいビットを"0"、そうでないビットを"1"にしてください。

\*3 ワンショット受信モードに移行するときは、RECREQ ビットを"1"にするのと同時に、ONESHOT ビットに"1"を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに"0"を書いた後、RECREQ ビット

ットが"0"になったのを確認してから ONESHOT ビットに"0"を書いてください。ワンショット送信モードに移行するときは、TRMREQ ビットを"1"にするのと同時に、ONESHOT ビットに"1"を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後に ONESHOT ビットに"0"を書いてください。

- \*4 RECREQ ビットと TRMREQ ビットの両方を"1"にしないでください。
- \*5 RECREQ ビットを"0"にするときには、NEWDATA、MSGLOST ビットと RECREQ ビットは同時に"0"にしてください。

26.3.10 CAN<sub>i</sub> 受信 FIFO 制御レジスタ (CiRFCR) (i=0~3)

CiRFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

CAN0 受信 FIFO 制御レジスタ (C0RFCR)

<P4 領域アドレス : H'FFFF 6848 番地>

CAN1 受信 FIFO 制御レジスタ (C1RFCR)

<P4 領域アドレス : H'FFFF 7848 番地>

CAN2 受信 FIFO 制御レジスタ (C2RFCR)

<P4 領域アドレス : H'FFFF 8848 番地>

CAN3 受信 FIFO 制御レジスタ (C3RFCR)

<P4 領域アドレス : H'FFFF 9848 番地>

ビット :	7	6	5	4	3	2	1	0
	RFEST	RFWST	RFFST	RFMLF	RFUST		RFE	

リセット後の値 : 1 0 0 0 0 0 0 0 0

<リセット後の値 : H'80>

ビット	シンボル	リセット後の値	R	W	説明
7	RFEST	1	R	0	<p>受信 FIFO 空ステータスフラグ</p> <p>受信 FIFO 内の未読メッセージがなくなると、RFEST ビットは"1" (受信 FIFO に未読メッセージなし) になります。RFE ビットを"0"にすると、RFEST ビットは"1"になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST ビットは"0" (受信 FIFO に未読メッセージあり) になります。</p> <p>0 : 受信 FIFO に未読メッセージあり 1 : 受信 FIFO に未読メッセージなし</p>
6	RFWST	0	R	0	<p>受信 FIFO バッファワーニングステータスフラグ</p> <p>受信 FIFO 内の未読メッセージが 3 件になると、RFWST ビットは"1" (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST ビットは"0" (受信 FIFO はバッファワーニングではない) になります。RFE ビットを"0"にすると、RFWST ビットは"0"になります。</p> <p>0 : 受信 FIFO はバッファワーニングではない 1 : 受信 FIFO はバッファワーニング (未読メッセージ 3 件)</p>
5	RFFST	0	R	0	<p>受信 FIFO フルステータスフラグ</p> <p>受信 FIFO 内の未読メッセージが 4 件になると、RFFST ビットは"1" (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST ビットは"0" (受信 FIFO はフルではない) になります。RFE ビットを"0"にすると、RFFST ビットは"0"になります。</p> <p>0 : 受信 FIFO はフルではない 1 : 受信 FIFO はフル (未読メッセージ 4 件)</p>

26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
4	RFMLF	0	R	0	<p>受信 FIFO メッセージロスフラグ</p> <p>受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは"1" (受信 FIFO メッセージロス発生) になります。"1"になるタイミングは、EOF の 6 番目のビットの終わりです。</p> <p>RFMLF ビットはプログラムで"0"を書くと"0"になります。"1"を書いても変化しません。オーバランモードとオーバーライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺クロック (Pck) の 5 サイクルの間は、RFMLF ビットはプログラムで"0" (受信 FIFO メッセージロス未発生) になりません。</p> <p>0 : 受信 FIFO メッセージロス未発生 1 : 受信 FIFO メッセージロス発生</p>
3~1	RFUST	すべて 0	R	0	<p>受信 FIFO 未読メッセージ数ステータスフラグ</p> <p>RFUST ビットは、受信 FIFO 内の未読メッセージの数を示します。</p> <p>RFE ビットを"0"にすると、RFUST ビットの値は"000"に初期化されます。</p> <p>000 : 未読メッセージなし 001 : 未読メッセージ 1 件あり 010 : 未読メッセージ 2 件あり 011 : 未読メッセージ 3 件あり 100 : 未読メッセージ 4 件あり 101 : 予約ビット 110 : 予約ビット 111 : 予約ビット</p>

ビット	シンボル	リセット後の値	R	W	説明
0	RFE	0	R	W	<p>受信 FIFO 許可ビット</p> <p>RFE ビットを"1"にすると、受信 FIFO が受信許可になります。</p> <p>RFE ビットを"0"にすると、受信 FIFO は受信禁止になり、空状態（RFEST ビットが"1"）になります。RFMLF ビットと同時に RFE ビットに"0"を書いてください。</p> <p>通常メールボックスモード（CiCTLR レジスタの MBM ビットが"0"）では RFE ビットを"1"にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで"0"を書いても"0"にできません。</p> <ul style="list-style-type: none"> <li>• ハードウェアプロテクトの開始 <ul style="list-style-type: none"> <li>– アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）</li> </ul> </li> <li>• ハードウェアプロテクトの解除 <ul style="list-style-type: none"> <li>– メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）</li> <li>– 受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後</li> </ul> </li> </ul> <p>0 : 受信 FIFO 禁止 1 : 受信 FIFO 許可</p>



図 26.2 に受信 FIFO メールボックスの動作を示します。

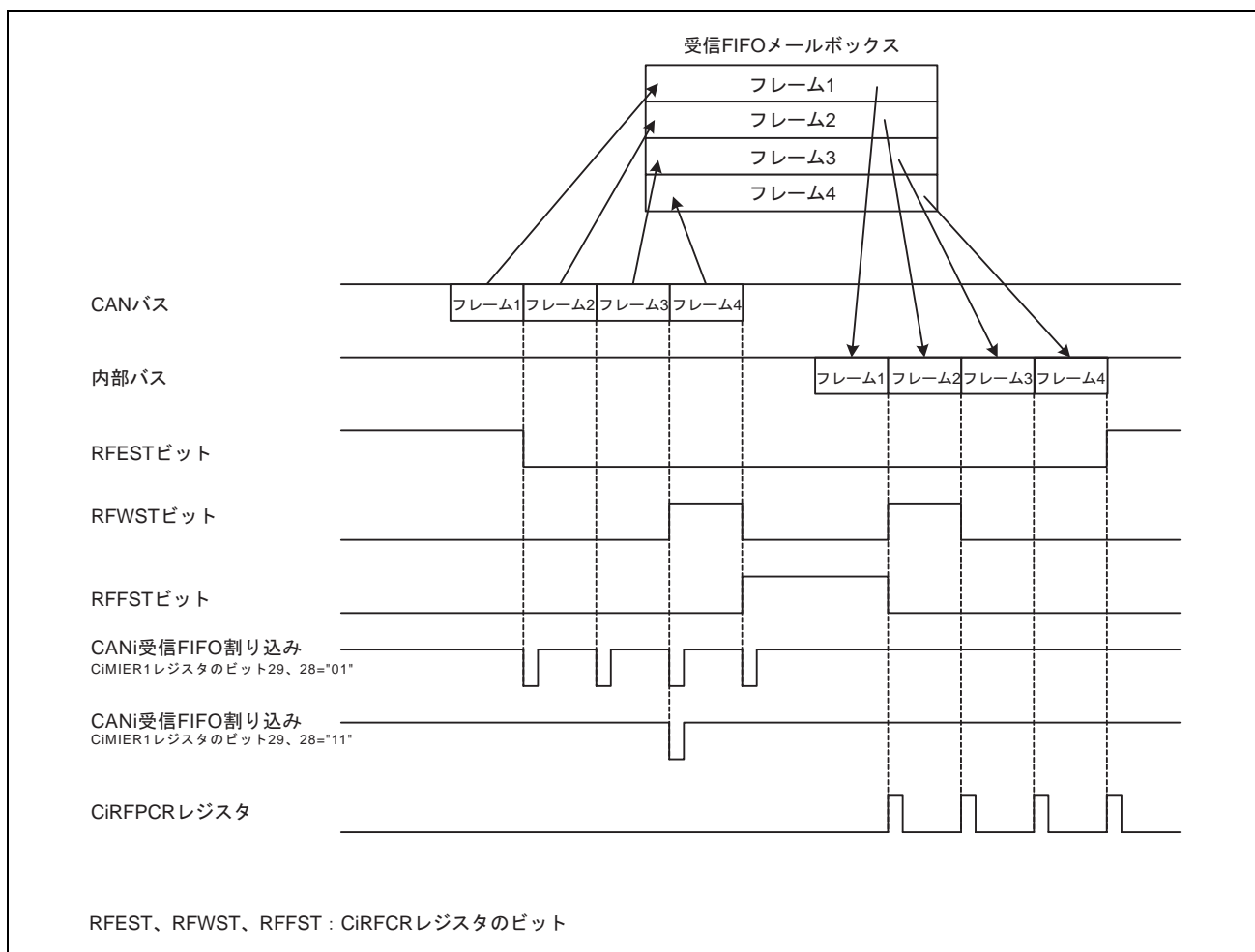


図 26.2 受信 FIFO メールボックスの動作(CiMIER1 レジスタのビット 29、28 が"01"または"11") (i=0~3)

### 26.3.11 CAN<sub>i</sub> 受信 FIFO ポインタ制御レジスタ (CiRFPCR) (i=0~3)

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、CiRFPCR レジスタにプログラムで"H'FF"を書いてください。

CiRFPCR レジスタの RFE ビットが"0" (受信 FIFO 禁止) のときは、CiRFPCR レジスタに書かないでください。受信オーバーライトモードで RFFST ビットが"1" (受信 FIFO はフル) のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF ビットが"1"のとき、プログラムで CiRFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

CAN0受信FIFOポインタ制御レジスタ (C0RFPCR)

<P4領域アドレス : H'FFFF 6849番地>

CAN1受信FIFOポインタ制御レジスタ (C1RFPCR)

<P4領域アドレス : H'FFFF 7849番地>

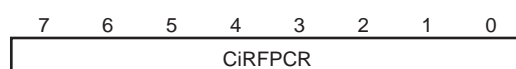
CAN2受信FIFOポインタ制御レジスタ (C2RFPCR)

<P4領域アドレス : H'FFFF 8849番地>

CAN3受信FIFOポインタ制御レジスタ (C3RFPCR)

<P4領域アドレス : H'FFFF 9849番地>

ビット :



リセット後の値 :

不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CiRFPCR	不定	R	W	CiRFPCR レジスタに"H'FF"を書き込むと、受信 FIFO の CPU 側ポインタが移動

26.3.12 CAN<sub>i</sub> 送信 FIFO 制御レジスタ (CiTFCR) (i=0~3)

CiTFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

CAN0送信FIFO制御レジスタ (C0TFCR)

<P4領域アドレス : H'FFFF 684A番地>

CAN1送信FIFO制御レジスタ (C1TFCR)

<P4領域アドレス : H'FFFF 784A番地>

CAN2送信FIFO制御レジスタ (C2TFCR)

<P4領域アドレス : H'FFFF 884A番地>

CAN3送信FIFO制御レジスタ (C3TFCR)

<P4領域アドレス : H'FFFF 984A番地>

ビット:	7	6	5	4	3	2	1	0
	TFEST	TFFST	—	—	TFUST		TFE	

リセット後の値: 1 0 0 0 0 0 0 0

<リセット後の値 : H'80>

ビット	シンボル	リセット後の値	R	W	説明
7	TFEST	1	R	0	送信 FIFO 空ステータスビット 送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは"1" (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アボートが完了すると、TFEST ビットは"1"になります。送信 FIFO 内の未送信メッセージの数が1件以上になると、TFEST ビットは"0" (送信 FIFO にメッセージあり) になります。 0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし
6	TFFST	0	R	0	送信 FIFO フルスステータスビット 送信 FIFO 内の未送信メッセージの数が4件になると、TFFST ビットは"1" (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が4未満になると、TFFST ビットは"0" (送信 FIFO はフルではない) になります。送信 FIFO の送信アボートが完了すると、TFFST ビットは"0"になります。 0 : 送信 FIFO はフルではない 1 : 送信 FIFO はフル (未送信4件)
5	—	0	?	0	予約ビット 書く場合、"0"を書いてください。読んだ場合、その値は不定。
4	—	0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。

ビット	シンボル	リセット後の値	R	W	説明
3~1	TFUST	すべて 0	R	0	<p>送信 FIFO 未送信メッセージ数ステータスビット</p> <p>TFUST ビットは、送信 FIFO 内の未送信メッセージの数を表示します。</p> <p>TFE ビットを"0"にした後、送信アボート完了または送信完了すると、"000"になります。</p> <p>000 : 未送信メッセージなし  001 : 未送信メッセージ 1 件  010 : 未送信メッセージ 2 件  011 : 未送信メッセージ 3 件  100 : 未送信メッセージ 4 件  101 : 予約ビット  110 : 予約ビット  111 : 予約ビット</p>
0	TFE	0	R	W	<p>送信 FIFO 許可ビット</p> <p>TFE ビットを"1"にすると、送信 FIFO が送信許可になります。</p> <p>TFE ビットを"0"にすると、送信 FIFO は空状態 (TFEST ビットが"1")になり、次のように送信 FIFO からの未送信メッセージが失われます。</p> <ul style="list-style-type: none"> <li>送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。</li> <li>送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトレーションロスト、または CAN Halt モードへの遷移に続いて空状態になります。</li> </ul> <p>TFE ビットを再度"1"にする前に、TFEST ビットが"1"になっているか確認してください。TFE ビットを"1"にした後、送信データを CiMB56 レジスタに書いてください。</p> <p>通常メールボックスモード (CiCTLR レジスタの MBM ビットが"0") では、TFE ビットを"1"にしないでください。</p> <p>0 : 送信 FIFO 禁止  1 : 送信 FIFO 許可</p>

図 26.3 に送信 FIFO メールボックスの動作を示します。

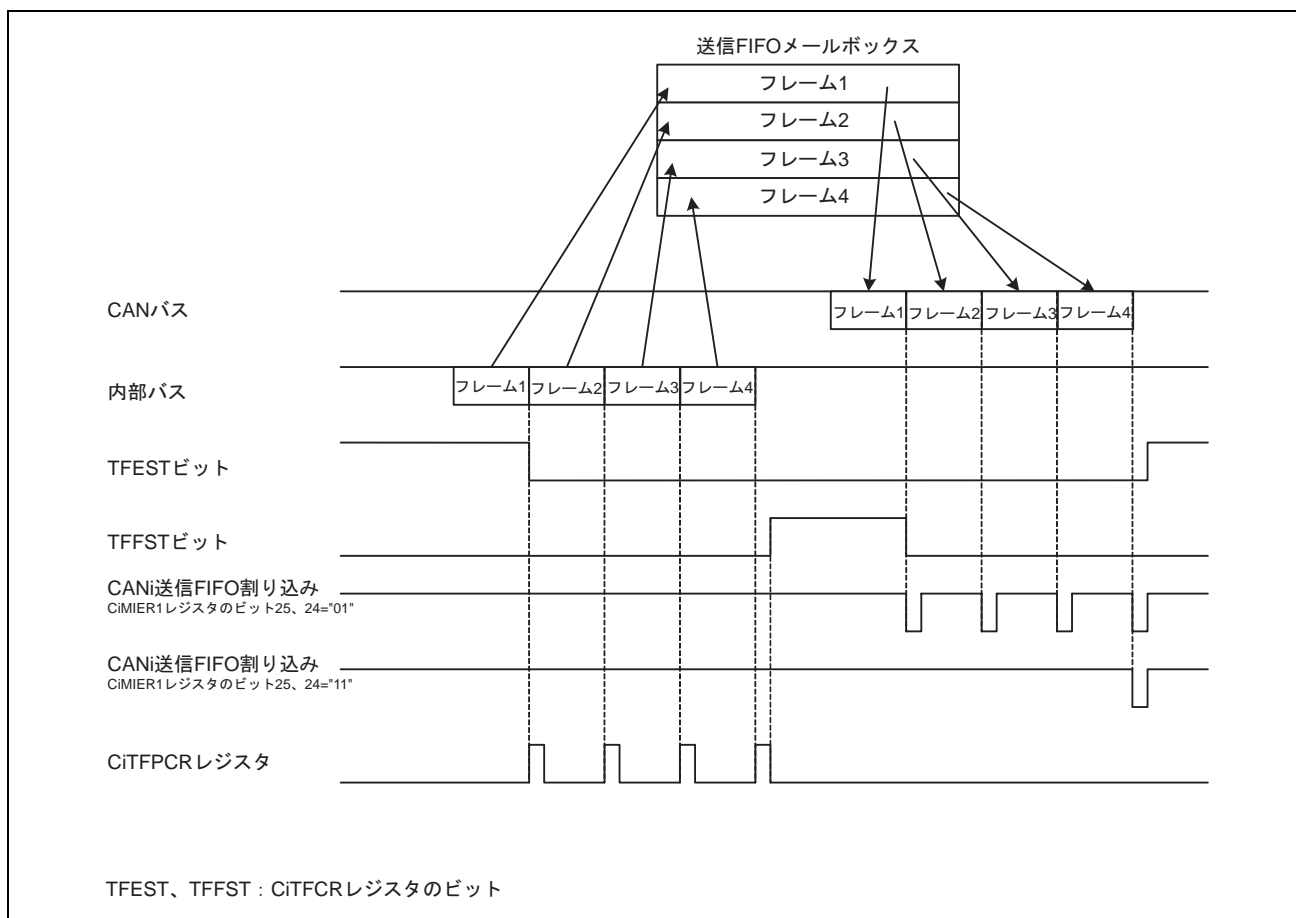


図 26.3 送信 FIFO メールボックスの動作 (CiMIER1 レジスタのビット 25、24 が"01"または"11") (i=0~3)

26.3.13 CAN<sub>i</sub> 送信 FIFO ポインタ制御レジスタ (CiTFPCR) (i=0~3)

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールアドレスに移動させるためには、CiTFPCR レジスタにプログラムで"H'FF"を書いてください。

CiTFPCR レジスタの TFE ビットが"0" (送信 FIFO 禁止) のときは、CiTFPCR レジスタに書かないでください。

CAN0送信FIFOポインタ制御レジスタ (C0TFPCR)

<P4領域アドレス : H'FFFF 684B番地>

CAN1送信FIFOポインタ制御レジスタ (C1TFPCR)

<P4領域アドレス : H'FFFF 784B番地>

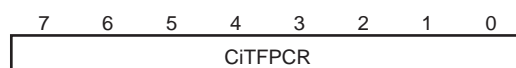
CAN2送信FIFOポインタ制御レジスタ (C2TFPCR)

<P4領域アドレス : H'FFFF 884B番地>

CAN3送信FIFOポインタ制御レジスタ (C3TFPCR)

<P4領域アドレス : H'FFFF 984B番地>

ビット :



リセット後の値 :

不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CiTFPCR	不定	R	W	CiTFPCR レジスタに"H'FF"を書き込むと、CPU 側の送信 FIFO ポインタが移動します。

26.3.14 CANi ステータスレジスタ (CiSTR) (i=0~3)

CAN0ステータスレジスタ (C0STR) <P4領域アドレス : H'FFFF 6842番地>  
 CAN1ステータスレジスタ (C1STR) <P4領域アドレス : H'FFFF 7842番地>  
 CAN2ステータスレジスタ (C2STR) <P4領域アドレス : H'FFFF 8842番地>  
 CAN3ステータスレジスタ (C3STR) <P4領域アドレス : H'FFFF 9842番地>

ビット :   15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  

—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
---	-------	-------	------	------	-------	-------	-------	-----	-------	-------	-------	------	------	------	------

  
 リセット後の値 :   0   0   0   0   0   1   0   1   0   0   0   0   0   0   0   0

<リセット後の値 : H'0500>

ビット	シンボル	リセット後の値	R	W	説明
15	—	0	0	N	空きビット 読んだ場合、その値は"0"。
14	RECST	0	R	N	受信ステータスフラグ (receiver) CAN モジュールが受信ノードになると RECST ビットは"1"になります。送信ノードかバスアイドル状態になると RECST ビットは"0"になります。 0 : バスアイドルまたは送信中 1 : 受信中
13	TRMST	0	R	N	送信ステータスフラグ (transmitter) CAN モジュールが送信ノードかバスオフ状態になると TRMST ビットは"1"になります。受信ノードかバスアイドル状態になると TRMST ビットは"0"になります。 0 : バスアイドルまたは受信中 1 : 送信中またはバスオフ状態
12	BOST	0	R	N	バスオフステータスフラグ CiTECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 (TEC ≥ 256) になると、BOST ビットは"1"になります。バスオフ状態以外になると、BOST ビットは"0"になります。 0 : バスオフ状態ではない 1 : バスオフ状態
11	EPST	0	R	N	エラーパッシブステータスフラグ CiTECR または CiRECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 (128 ≤ TEC < 256 または 128 ≤ REC < 256) になると、EPST ビットは"1"になります。エラーパッシブ状態以外になると、EPST ビットは"0"になります。 TEC は送信エラーカウンタ (CiTECR レジスタ)、REC は受信エラーカウンタ (CiRECR レジスタ) の値です。 0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態

ビット	シンボル	リセット後の値	R	W	説明
10	SLPST	1	R	N	<p>CAN スリープステータスフラグ</p> <p>SLPST ビットは、CAN スリープモードになると"1"になります。CAN スリープモード以外になると"0"になります。</p> <p>0 : CAN スリープモードではない 1 : CAN スリープモード</p>
9	HLTST	0	R	N	<p>CAN Halt ステータスフラグ</p> <p>HLTST ビットは、CAN Halt モードになると"1"になります。CAN Halt モード以外になると"0"になります。CAN Halt モードから CAN スリープモードに遷移しても、HLTST ビットは"1"のままです。</p> <p>0 : CAN Halt モードではない 1 : CAN Halt モード</p>
8	RSTST	1	R	N	<p>CAN リセットステータスフラグ</p> <p>RSTST ビットは、CAN リセットモードになると"1"になります。CAN リセットモード以外になると"0"になります。CAN リセットモードから CAN スリープモードに遷移しても、RSTST ビットは"1"のままです。</p> <p>0 : CAN リセットモードではない 1 : CAN リセットモード</p>
7	EST	0	R	N	<p>エラーステータスフラグ</p> <p>CiEIFR レジスタで一つでもエラーが検出されると、CiEIER レジスタの値とは無関係に EST ビットは"1"になります。CiEIFR レジスタで一つもエラーが検出されない場合は、EST ビットは"0"になります。</p> <p>0 : エラーなし 1 : エラー発生</p>
6	TABST	0	R	N	<p>送信アボートステータスフラグ</p> <p>CiMCTLj レジスタの TRMABT ビットが一つでも"1"になると、CiMIER レジスタの値とは無関係に TABST ビットは"1"になります。TRMABT ビットがすべて"0"になると、TABST ビットは"0"になります。</p> <p>0 : TRMABT ビットが"1"のメールボックスなし 1 : TRMABT ビットが"1"のメールボックスあり</p>
5	FMLST	0	R	N	<p>FIFO メッセージロスステータスフラグ</p> <p>CiRFCR レジスタの RFMLF ビットが"1"になると、CiMIER レジスタの値とは無関係に FMLST ビットは"1"になります。RFMLF ビットが"0"のとき、FMLST ビットは"0"になります。</p> <p>0 : RFMLF ビットが"0" 1 : RFMLF ビットが"1"</p>



## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
4	NMLST	0	R	N	<p>通常メッセージロストステータスフラグ</p> <p>CiMCTLj レジスタの MSGLOST ビットが一つでも"1"になると、CiMIER レジスタの値とは無関係に NMLST ビットは"1"になります。MSGLOST ビットがすべて"0"になると、NMLST ビットは"0"になります。</p> <p>0 : MSGLOST ビットが"1"のメールボックスなし 1 : MSGLOST ビットが"1"のメールボックスあり</p>
3	TFST	0	R	N	<p>送信 FIFO ステータスフラグ</p> <p>TFST ビットは、送信 FIFO がフル以外になると"1"になります。送信 FIFO がフルか通常メールボックスモードになると"0"になります。</p> <p>0 : 送信 FIFO はフル 1 : 送信 FIFO はフルではない</p>
2	RFST	0	R	N	<p>受信 FIFO ステータスフラグ</p> <p>RFST ビットは、受信 FIFO が空状態以外になると"1"になります。受信 FIFO が空状態か通常メールボックスモードになると"0"になります。</p> <p>0 : 受信 FIFO にメッセージなし (空) 1 : 受信 FIFO にメッセージあり</p>
1	SDST	0	R	N	<p>SENTDATA ステータスフラグ</p> <p>CiMCTLj (j=32~63) レジスタの SENTDATA ビットが一つでも"1"になると、CiMIER レジスタの値とは無関係に SDST ビットは"1"になります。SENTDATA ビットがすべて"0"になると、SDST ビットは"0"になります。</p> <p>0 : SENTDATA ビットが"1"のメールボックスなし 1 : SENTDATA ビットが"1"のメールボックスあり</p>
0	NDST	0	R	N	<p>NEWDATA ステータスビット</p> <p>CiMCTLj (j=0~63) レジスタの NEWDATA ビットが一つでも"1"になると、CiMIER レジスタの値とは無関係に NDST ビットは"1"になります。NEWDATA ビットがすべて"0"になると、NDST ビットは"0"になります。</p> <p>0 : NEWDATA ビットが"1"のメールボックスなし 1 : NEWDATA ビットが"1"のメールボックスあり</p>

## 26.3.15 CANi メールボックスサーチモードレジスタ (CiMSMR) (i=0~3)

CiMSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

CAN0メールボックスサーチモードレジスタ (C0MSMR)

<P4領域アドレス : H'FFFF 6853番地>

CAN1メールボックスサーチモードレジスタ (C1MSMR)

<P4領域アドレス : H'FFFF 7853番地>

CAN2メールボックスサーチモードレジスタ (C2MSMR)

<P4領域アドレス : H'FFFF 8853番地>

CAN3メールボックスサーチモードレジスタ (C3MSMR)

<P4領域アドレス : H'FFFF 9853番地>

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MBSM	

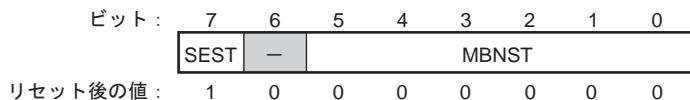
リセット後の値 : 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
1、0	MBSM	すべて0	R	W	<p>MBSM ビットはメールボックス検索機能のための検索モードを選択します。MBSM ビットが"00"の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタ (j=0~63) の通常メールボックスでの NEWDATA ビットと CiRFCR レジスタの RFEST ビットです。</p> <p>MBSM ビットが"01"の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの SENTDATA ビットです。</p> <p>MBSM ビットが"10"の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CiRFCR レジスタの RFMLF ビットです。</p> <p>MBSM ビットが"11"の場合、チャンネル検索モードになります。</p> <p>このモードで検索対象となるレジスタは CiCSSR レジスタです。「26.3.17 CANi チャンネルサーチサポートレジスタ (CiCSSR) (i=0~3)」を参照してください。</p> <p>00 : 受信メールボックス検索モード 01 : 送信メールボックス検索モード 10 : メッセージロスト検索モード 11 : チャンネル検索モード</p>

26.3.16 CANi メールボックスサーチステータスレジスタ (CiMSSR) (i=0~3)

CAN0メールボックスサーチステータスレジスタ (C0MSSR) <P4領域アドレス : H'FFFF 6852番地>  
 CAN1メールボックスサーチステータスレジスタ (C1MSSR) <P4領域アドレス : H'FFFF 7852番地>  
 CAN2メールボックスサーチステータスレジスタ (C2MSSR) <P4領域アドレス : H'FFFF 8852番地>  
 CAN3メールボックスサーチステータスレジスタ (C3MSSR) <P4領域アドレス : H'FFFF 9852番地>



<リセット後の値 : H'80>

ビット	シンボル	リセット後の値	R	W	説明
7	SEST	1	R	0	検索結果空ステータスビット すべてのメールボックスの検索で該当するメールボックスがない場合、SEST ビットは"1" (検索結果なし) になります。たとえば、送信メールボックス検索モードで、SENTDATA ビットが"1"のメールボックスがひとつもない場合、SEST ビットは"1"になり、ひとつでもある場合、"0"になります。SEST ビットが"1"の場合、MBNST ビットの値は不定です。 0 : 検索結果あり 1 : 検索結果なし
6	—	0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
5~0	MBNST	すべて 0	R	0	検索結果メールボックス番号ステータスビット MBNST ビットは、CiMSMR レジスタの各モードで検索された、最小のメールボックス番号が出力されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。 <ul style="list-style-type: none"> <li>• 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが"0"になる</li> <li>• より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが"1"になる</li> </ul> MBSM ビットが"00" (受信メールボックス検索モード) および"10" (メッセージロスト検索モード) のとき、受信 FIFO が空状態でなく、すべての通常メールボックス (メールボックス[0]~[55]) に未読の受信メッセージもロストメッセージもない場合、受信 FIFO (メールボックス[60]) が出力されます。MBSM ビットが"01" (送信メールボックス検索モード) のとき、送信 FIFO (メールボックス[56]) は出力されません。表 26.7 に FIFO メールボックスモードでの MBNST ビットの動作を示します。 チャンネル検索モードでは、MBNST ビットはチャンネル番号が出力されません。MBNST ビットは CiMSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

表 26.7 FIFO メールボックスモードでの MBNST ビットの動作

MBSM ビット	メールボックス[56] (送信 FIFO)	メールボックス[60] (受信 FIFO)
"00"	メールボックス[56]は 出力されない	通常メールボックスのどの NEWDATA ビットも"1" (新しいメッセージがメールボックスに格納中または格納された) にならず、また受信 FIFO が空でない場合はメールボックス[60]が出力される。
"01"		メールボックス[60]は出力されない。
"10"		通常メールボックスのどの MSGLOST ビットも"1" (メッセージはオーバライトまたはオーバーランされた) にならず、受信 FIFO 内の RFMLF ビットが"1" (受信 FIFO メッセージロスト発生) になるとメールボックス[60]が出力される。
"11"		メールボックス[60]は出力されない。

### 26.3.17 CANi チャンルサーチサポートレジスタ (CiCSSR) (i=0~3)

"1"が設定された CiCSSR レジスタのビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、CiMSSR レジスタの MBNST ビットに出力されます。

CiMSSR レジスタは、CiMSSR レジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CiCSSR レジスタは、CiMSMR レジスタの MBSM ビットが"11" (チャンネル検索モード) のときのみ変更してください。CiCSSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

CAN0チャンネルサーチサポートレジスタ (C0CSSR)	<P4領域アドレス : H'FFFF 6851番地>
CAN1チャンネルサーチサポートレジスタ (C1CSSR)	<P4領域アドレス : H'FFFF 7851番地>
CAN2チャンネルサーチサポートレジスタ (C2CSSR)	<P4領域アドレス : H'FFFF 8851番地>
CAN3チャンネルサーチサポートレジスタ (C3CSSR)	<P4領域アドレス : H'FFFF 9851番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CiCSSR	不定	R	W	チャンネル検索の値が入力された場合、チャンネル番号を CiMSSR レジスタに出力

図 26.4 に CiCSSR、CiMSSR レジスタの書き込みと読み出しを示します。

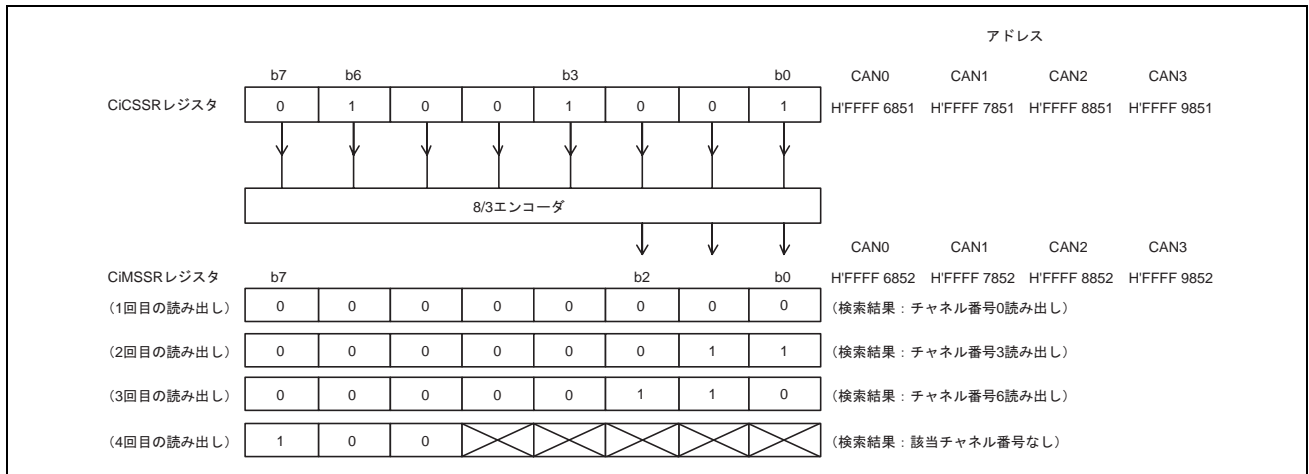


図 26.4 CiCSSR、CiMSSR レジスタの書き込みと読み出し (i=0~3)

CiCSSR レジスタの値も CiMSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

### 26.3.18 CAN<sub>i</sub> アクセプタンスフィルタサポートレジスタ (CiAFSR) (i=0~3)

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル (8 ビット×256) の検索に使用できます。受信した標準 ID が格納された CiMB<sub>j</sub> レジスタ (j=0~63) の SID ビットを含む 16 ビット単位のデータを CiAFSR レジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合

(例) 受信する ID : H'078、H'087、H'111

- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合

なお、CiAFSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

CAN0 アクセプタンスフィルタサポートレジスタ (C0AFSR)	<P4 領域アドレス : H'FFFF 6856 番地>
CAN1 アクセプタンスフィルタサポートレジスタ (C1AFSR)	<P4 領域アドレス : H'FFFF 7856 番地>
CAN2 アクセプタンスフィルタサポートレジスタ (C2AFSR)	<P4 領域アドレス : H'FFFF 8856 番地>
CAN3 アクセプタンスフィルタサポートレジスタ (C3AFSR)	<P4 領域アドレス : H'FFFF 9856 番地>

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CiAFSR

リセット後の値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
15~0	CiAFSR	不定	R	W	受信メッセージの標準 ID を書いた後に、データテーブル検索用に変換された値を読みます。

図 26.5 に CiAFSR レジスタの書き込み、読み出しを示します。

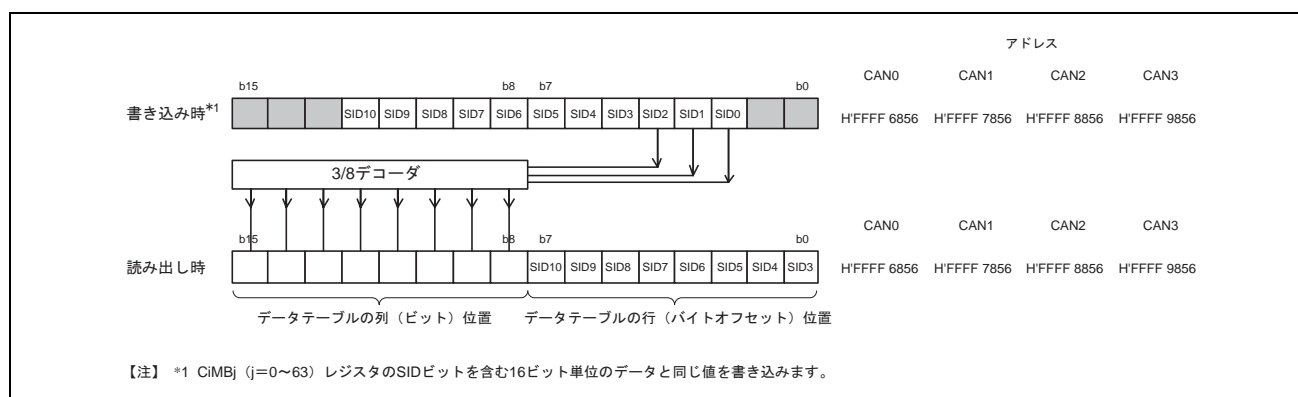


図 26.5 CiAFSR レジスタの書き込み、読み出し (i=0~3)

26.3.19 CAN<sub>i</sub> エラー割り込み許可レジスタ (CiEIER) (i=0~3)

CiEIER レジスタは、CiEIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込み許可/禁止を設定できます。

CiEIER レジスタは、CAN リセットモード時のみ変更してください。

CAN0エラー割り込み許可レジスタ (C0EIER)  
 CAN1エラー割り込み許可レジスタ (C1EIER)  
 CAN2エラー割り込み許可レジスタ (C2EIER)  
 CAN3エラー割り込み許可レジスタ (C3EIER)

<P4領域アドレス : H'FFFF 684C番地>  
 <P4領域アドレス : H'FFFF 784C番地>  
 <P4領域アドレス : H'FFFF 884C番地>  
 <P4領域アドレス : H'FFFF 984C番地>

ビット :     7     6     5     4     3     2     1     0  

BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
------	------	------	-------	-------	------	------	------

 リセット後の値 :   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	BLIE	0	R	W	バスロック割り込み許可ビット BLIE ビットを"0"にすると、CiEIFR レジスタの BLIF ビットが"1"になっても、エラー割り込み要求は発生しません。BLIE ビットを"1"にすると、BLIF ビットが"1"になった場合、エラー割り込み要求が発生します。 0 : バスロック割り込み禁止 1 : バスロック割り込み許可
6	OLIE	0	R	W	オーバーロードフレーム送信割り込み許可ビット OLIE ビットを"0"にすると、CiEIFR レジスタの OLIF ビットが"1"になっても、エラー割り込み要求は発生しません。OLIE ビットを"1"にすると、OLIF ビットの設定条件が"1"になった場合、エラー割り込み要求が発生します。 0 : オーバロードフレーム送信割り込み禁止 1 : オーバロードフレーム送信割り込み許可
5	ORIE	0	R	W	受信オーバラン割り込み許可ビット ORIE ビットを"0"にすると、CiEIFR レジスタの ORIF ビットが"1"になっても、エラー割り込み要求は発生しません。ORIE ビットを"1"にすると、ORIF ビットが"1"になった場合、エラー割り込み要求が発生します。 0 : 受信オーバラン割り込み禁止 1 : 受信オーバラン割り込み許可

ビット	シンボル	リセット後の値	R	W	説明
4	BORIE	0	R	W	<p>バスオフ復帰割り込み許可ビット</p> <p>BORIE ビットを"0"にすると、CiEIFR レジスタの BORIF ビットが"1"になっても、エラー割り込み要求は発生しません。BORIE ビットを"1"にすると、BORIF ビットが"1"になった場合、エラー割り込み要求が発生します。</p> <p>0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可</p>
3	BOEIE	0	R	W	<p>バスオフ開始割り込み許可ビット</p> <p>BOEIE ビットを"0"にすると、CiEIFR レジスタの BOEIF ビットが"1"になっても、エラー割り込み要求は発生しません。BOEIE ビットを"1"にすると、BOEIF ビットが"1"になった場合、エラー割り込み要求が発生します。</p> <p>0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可</p>
2	EPIE	0	R	W	<p>エラーパッシブエントリ割り込み許可ビット</p> <p>EPIE ビットを"0"にすると、CiEIFR レジスタの EPIF ビットが"1"になっても、エラー割り込み要求は発生しません。EPIE ビットを"1"にすると、EPIF ビットが"1"になった場合、エラー割り込み要求が発生します。</p> <p>0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可</p>
1	EWIE	0	R	W	<p>エラーワーニング割り込み許可ビット</p> <p>EWIE ビットを"0"にすると、CiEIFR レジスタの EWIF ビットが"1"になっても、エラー割り込み要求は発生しません。EWIE ビットを"1"にすると、EWIF ビットが"1"になった場合、エラー割り込み要求が発生します。</p> <p>0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可</p>
0	BEIE	0	R	W	<p>バスエラー割り込み許可ビット</p> <p>BEIE ビットを"0"にすると、CiEIFR レジスタの BEIF ビットが"1"になっても、エラー割り込み要求は発生しません。BEIE ビットを"1"にすると、BEIF ビットが"1"になった場合、エラー割り込み要求が発生します。</p> <p>0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可</p>



### 26.3.20 CANi エラー割り込み要因判定レジスタ (CiEIFR) (i=0~3)

CiEIFR レジスタは、各ビットに対応する現象が発生すると、CiEIER レジスタの設定にかかわらず対応するビットが"1"になります。

各ビットを"0"にする場合は、プログラムで"0"を書いてください。"1"になるタイミングとプログラムで"0"にするタイミングが同時の場合、そのビットは"1"になります。

各ビットにプログラムで"0"を書く場合は MOV 命令を使用し、"0"にしたいビットを"0"、そうでないビットを"1"にしてください。"1"を書いてもこれらのビットの値は変化しません。

CAN0エラー割り込み要因判定レジスタ (C0EIFR)	<P4領域アドレス : H'FFFF 684D番地>
CAN1エラー割り込み要因判定レジスタ (C1EIFR)	<P4領域アドレス : H'FFFF 784D番地>
CAN2エラー割り込み要因判定レジスタ (C2EIFR)	<P4領域アドレス : H'FFFF 884D番地>
CAN3エラー割り込み要因判定レジスタ (C3EIFR)	<P4領域アドレス : H'FFFF 984D番地>

ビット :

7	6	5	4	3	2	1	0
BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	BLIF	0	R	W	<p>バスロック検出フラグ*1</p> <p>CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF ビットは"1"になります。</p> <p>"1"になった後、次のどちらかで再検出します。</p> <ul style="list-style-type: none"> <li>このビットを"1"から"0"にした後、レセシブビットを検出。</li> <li>このビットを"1"から"0"にした後、CAN リセットモードまたは CAN Halt モードに遷移し、再度 CAN オペレーションモードに遷移。</li> </ul> <p>0 : バスロック未検出 1 : バスロック検出</p>
6	OLIF	0	R	W	<p>オーバーロードフレーム送信検出フラグ*1</p> <p>CAN モジュールが受信または送信を行う場合にオーバーロードフレームの送信条件が検出されると、OLIF ビットは"1"になります。</p> <p>0 : オーバロードフレーム送信未検出 1 : オーバロードフレーム送信検出</p>

ビット	シンボル	リセット後の値	R	W	説明
5	ORIF	0	R	W	<p>受信オーバラン検出フラグ*<sup>1</sup></p> <p>受信オーバランが発生すると、ORIF ビットは"1"になります。ORIF ビットはオーバーライトモードでは"1"になりません。</p> <p>オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF ビットは"1"にはなりません。</p> <p>通常メールボックスモードの場合、オーバランモードで、メールボックス[0]~[63]のいずれかでオーバランが発生すると、ORIF ビットは"1"になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス[0]~[55]のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF ビットは"1"になります。</p> <p>0 : 受信オーバラン未検出 1 : 受信オーバラン検出</p>
4	BORIF	0	R	W	<p>バスオフ復帰検出フラグ*<sup>1</sup></p> <p>CAN モジュールが次の条件でバスオフ状態から通常復帰（11 の連続するレセシブビットを 128 回検出）した場合、BORIF ビットは"1"になります。</p> <ul style="list-style-type: none"> <li>• CiCTLR レジスタの BOM ビットが"00"のとき</li> <li>• BOM ビットが"10"のとき</li> <li>• BOM ビットが"11"のとき</li> </ul> <p>なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF ビットは"1"になりません。</p> <ul style="list-style-type: none"> <li>• CiCTLR レジスタの CANM ビットを"01"または"11"（CAN リセットモード）にしたとき</li> <li>• CiCTLR レジスタの RBOC ビットを"1"（バスオフからの強制復帰）にしたとき</li> <li>• BOM ビットが"01"のとき</li> <li>• BOM ビットが"11"で、通常復帰が発生する前に、CANM ビットを"10"（CAN Halt モード）にしたとき</li> </ul> <p>0 : バスオフ復帰未検出 1 : バスオフ復帰検出</p>

## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
3	BOEIF	0	R	W	<p>バスオフ開始検出フラグ*<sup>1</sup></p> <p>CAN エラーステートがバスオフ状態（TEC（送信エラーカウンタ）の値が 255 を超える）になると、BOEIF ビットは"1"になります。CiCTLR レジスタの BOM ビットが"01"（バスオフ開始で自動的に CAN Halt モードへ遷移）で、CAN モジュールがバスオフ状態になった場合も、BOEIF ビットは"1"になります。</p> <p>0：バスオフ開始未検出 1：バスオフ開始検出</p>
2	EPIF	0	R	W	<p>エラーパッシブ検出フラグ*<sup>1</sup></p> <p>CAN エラーステートがエラーパッシブ状態（REC（受信エラーカウンタ）または TEC の値が 127 を超える）になると、EPIF ビットは"1"になります。EPIF ビットは、REC または TEC が最初に 127 を超えたときのみ"1"になります。したがって、REC または TEC が 127 を超えたままで、EPIF ビットにプログラムで"0"を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは"1"にはなりません。</p> <p>0：エラーパッシブ未検出 1：エラーパッシブ検出</p>
1	EWIF	0	R	W	<p>エラーワーニング検出フラグ*<sup>1</sup></p> <p>REC または TEC の値が 95 を超えると、EWIF ビットは"1"になります。EWIF ビットは、REC または TEC が最初に 95 を超えたときのみ"1"になります。したがって、REC または TEC が 95 を超えたままで、EWIF ビットにプログラムで"0"を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは"1"にはなりません。</p> <p>0：エラーワーニング未検出 1：エラーワーニング検出</p>
0	BEIF	0	R	W	<p>バスエラー検出フラグ*<sup>1</sup></p> <p>バスエラーが検出されると、BEIF ビットは"1"になります。</p> <p>0：バスエラー未検出 1：バスエラー検出</p>

【注】 \*1 "0"のみ書けます（"1"を書いても変化しません）。各ビットにプログラムで"0"を書く場合は、MOV 命令を使用し、"0"にしたいビットを"0"、そうではないビットを"1"にしてください。

表 26.8 に BOM ビットの設定による BOEIF、BORIF ビットの動作を示します。

表 26.8 BOM ビットの設定による BOEIF、BORIF ビットの動作

BOM ビット	BOEIF ビット	BORIF ビット
00	バスオフ状態への遷移時"1"になる	バスオフ状態からの復帰時"1"になる
01		"1"にはならない
10		バスオフ状態からの復帰時"1"になる
11		CANM ビットが"10" (CAN Halt モード) になる前に、通常のバスオフ状態からの復帰が発生した場合"1"になる

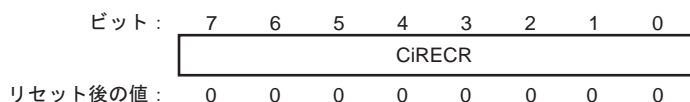
### 26.3.21 CAN<sub>i</sub> 受信エラーカウントレジスタ (CiRECR) (i=0~3)

CiRECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1) を参照してください。

CiRECR レジスタは、バスオフ状態時の値は不定になります。

CAN0受信エラーカウントレジスタ (C0RECR)	<P4領域アドレス : H'FFFF 684E番地>
CAN1受信エラーカウントレジスタ (C1RECR)	<P4領域アドレス : H'FFFF 784E番地>
CAN2受信エラーカウントレジスタ (C2RECR)	<P4領域アドレス : H'FFFF 884E番地>
CAN3受信エラーカウントレジスタ (C3RECR)	<P4領域アドレス : H'FFFF 984E番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CiRECR	すべて0	R	N	受信エラーカウンタ機能 受信中の CAN モジュールのエラー状態によってカウンタ値を増減させます。

### 26.3.22 CAN<sub>i</sub> 送信エラーカウントレジスタ (CiTECR) (i=0~3)

CiTECR レジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件については、CAN 仕様 (ISO11898-1) を参照してください。

CiTECR レジスタは、バスオフ状態時の値は不定になります。

CAN0送信エラーカウントレジスタ (C0TECR)	<P4領域アドレス : H'FFFF 684F番地>
CAN1送信エラーカウントレジスタ (C1TECR)	<P4領域アドレス : H'FFFF 784F番地>
CAN2送信エラーカウントレジスタ (C2TECR)	<P4領域アドレス : H'FFFF 884F番地>
CAN3送信エラーカウントレジスタ (C3TECR)	<P4領域アドレス : H'FFFF 984F番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CiTECR	すべて0	R	N	送信エラーカウンタ機能 送信中の CAN モジュールのエラー状態によってカウンタ値を増減させます。

## 26.3.23 CANi エラーコード格納レジスタ (CiECSR) (i=0~3)

CiECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN 仕様 (ISO11898-1) を参照してください。

EDPM ビット以外の各ビットを"0"にする場合は、プログラムで"0"を書いてください。各ビットが"1"になるタイミングとプログラムで"0"を書くタイミングが同じ場合、そのビットは"1"になります。

CAN0エラーコード格納レジスタ (C0ECSR)  
 CAN1エラーコード格納レジスタ (C1ECSR)  
 CAN2エラーコード格納レジスタ (C2ECSR)  
 CAN3エラーコード格納レジスタ (C3ECSR)

<P4領域アドレス : H'FFFF 6850番地>  
 <P4領域アドレス : H'FFFF 7850番地>  
 <P4領域アドレス : H'FFFF 8850番地>  
 <P4領域アドレス : H'FFFF 9850番地>

ビット:	7	6	5	4	3	2	1	0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF

リセット後の値: 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	EDPM	0	R	W	エラー表示モード選択ビット*1*2 EDPM ビットは、CiECSR レジスタの出力モードを設定します。EDPM ビットを"0"にすると、CiECSR レジスタは最初のエラーコードを出力します。EDPM ビットを"1"にすると、CiECSR レジスタは蓄積したエラーコードを出力します。 0 : 最初に検出されたエラーコードを出力 1 : 蓄積したエラーコードを出力
6	ADEF	0	R	W	ACK デリミタエラーフラグ*3*4 送信中の ACK デリミタでフォームエラーを検出すると、ADEF ビットは"1"になります。 0 : ACK デリミタエラー未検出 1 : ACK デリミタエラー検出
5	BE0F	0	R	W	ビットエラー (ドミナント) フラグ*3*4 ドミナントビットエラーを検出すると、BE0F ビットは"1"になります。 0 : ビットエラー未検出 1 : ビットエラー (ドミナント) 検出
4	BE1F	0	R	W	ビットエラー (レセシブ) フラグ*3*4 レセシブビットエラーを検出すると、BE1F ビットは"1"になります。 0 : ビットエラー未検出 1 : ビットエラー (レセシブ) 検出
3	CEF	0	R	W	CRC エラーフラグ*3*4 CRC エラーを検出すると、CEF ビットは"1"になります。 0 : CRC エラー未検出 1 : CRC エラー検出

## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
2	AEF	0	R	W	ACK エラーフラグ* <sup>3</sup> * <sup>4</sup> ACK エラーを検出すると、AEF ビットは"1"になります。 0 : ACK エラー未検出 1 : ACK エラー検出
1	FEF	0	R	W	フォームエラーフラグ* <sup>3</sup> * <sup>4</sup> フォームエラーを検出すると、FEF ビットは"1"になります。 0 : フォームエラー未検出 1 : フォームエラー検出
0	SEF	0	R	W	スタッフエラーフラグ* <sup>3</sup> * <sup>4</sup> スタッフエラーを検出すると、SEF ビットは"1"になります。 0 : スタッフエラー未検出 1 : スタッフエラー検出

- 【注】 \*1 EDPM ビットは、CAN リセットモードまたは CAN Halt モード時に変更してください。
- \*2 同時に 1 つ以上のエラー条件が検出された場合は、関係するすべてのビットが"1"になります。
- \*3 "1"を書いてもこれらのビットの値は変化しません。
- \*4 SEF、FEF、AEF、CEF、BE1F、BE0F、および ADEF ビットにプログラムで"0"を書く場合は、MOV 命令を使用し、"0"にしたいビットを"0"、そうでないビットを"1"にしてください。

### 26.3.24 CANi タイムスタンプレジスタ (CiTSR) (i=0~3)

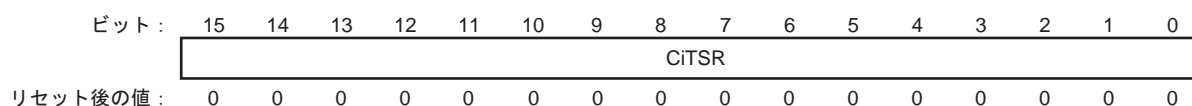
CiTSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は 1 ビットタイムを逡倍したもので、CiCTLR レジスタの TSPS ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納される際のタイムスタンプカウンタの値が CiMBj レジスタの TSL、TSH へ格納されます。

CAN0タイムスタンプレジスタ (C0TSR)	<P4領域アドレス : H'FFFF 6854番地>
CAN1タイムスタンプレジスタ (C1TSR)	<P4領域アドレス : H'FFFF 7854番地>
CAN2タイムスタンプレジスタ (C2TSR)	<P4領域アドレス : H'FFFF 8854番地>
CAN3タイムスタンプレジスタ (C3TSR)	<P4領域アドレス : H'FFFF 9854番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	CiTSR	すべて 0	R	N	タイムスタンプ機能のためのフリーランカウンタ値です。

【注】・ CiTSR レジスタの読み出しは 16 ビット単位で実行してください。



## 26.3.25 CANi テスト制御レジスタ (CiTCR) (i=0~3)

CiTCR レジスタは、CAN Halt モード時のみ変更してください。

CAN0テスト制御レジスタ (C0TCR)  
 CAN1テスト制御レジスタ (C1TCR)  
 CAN2テスト制御レジスタ (C2TCR)  
 CAN3テスト制御レジスタ (C3TCR)

<P4領域アドレス : H'FFFF 6858番地>  
 <P4領域アドレス : H'FFFF 7858番地>  
 <P4領域アドレス : H'FFFF 8858番地>  
 <P4領域アドレス : H'FFFF 9858番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSTM	TSTE	
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて0	0	0	予約ビット "0"にしてください。
2、1	TSTM	すべて0	R	W	CAN テストモード選択ビット TSTM ビットは CAN テストモードを選択するビットです。各 CAN テストモードの詳細を「26.3.25 (1) リッスンオンリモード」、「26.3.25 (2) セルフテストモード0 (外部ループバック)」、「26.3.25 (3) セルフテストモード1 (内部ループバック)」で説明します。 00 : CAN テストモードではない 01 : リッスンオンリモード 10 : セルフテストモード0 (外部ループバック) 11 : セルフテストモード1 (内部ループバック)
0	TSTE	0	R	W	テストモード許可ビット TSTE ビットを"0"にすると、CAN テストモードは禁止になります。 TSTE ビットを"1"にすると、CAN テストモードは許可になります。 0 : CAN テストモード禁止 1 : CAN テストモード許可

## (1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 26.6 にリッスンオンリモード選択時の接続を示します。

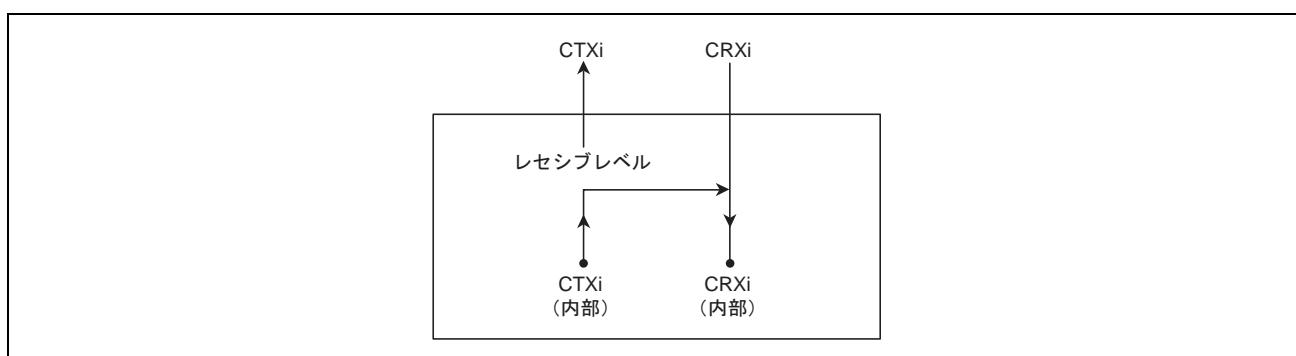


図 26.6 リッスンオンリモード選択時の接続

## (2) セルフテストモード 0 (外部ループバック)

セルフテストモード 0 は CAN トランシーバテスト用です。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

CTXi/CRXi 端子は CAN トランシーバに接続してください。

図 26.7 にセルフテストモード 0 選択時の接続を示します。

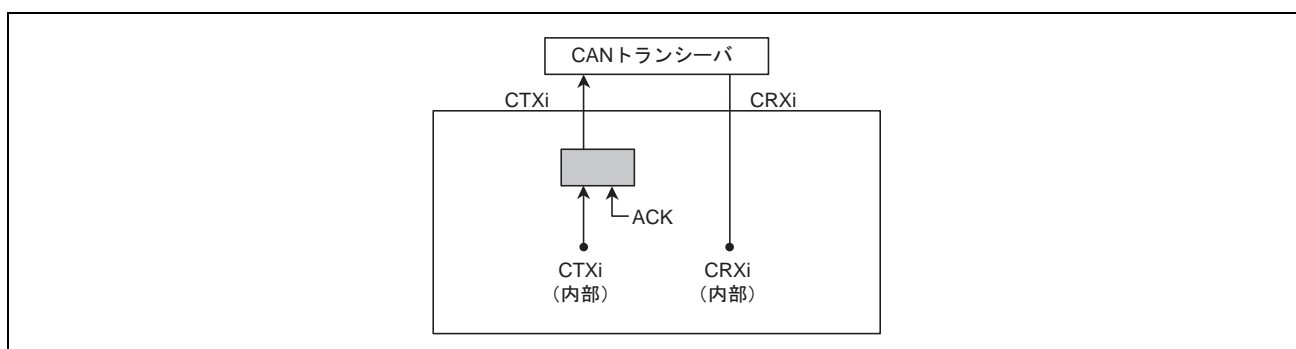


図 26.7 セルフテストモード 0 選択時の接続

### (3) セルフテストモード 1 (内部ループバック)

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力の値は無視されます。外部 CTXi 端子はレセプティブビットのみ出力します。CTXi/CRXi 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 26.8 にセルフテストモード 1 選択時の接続を示します。

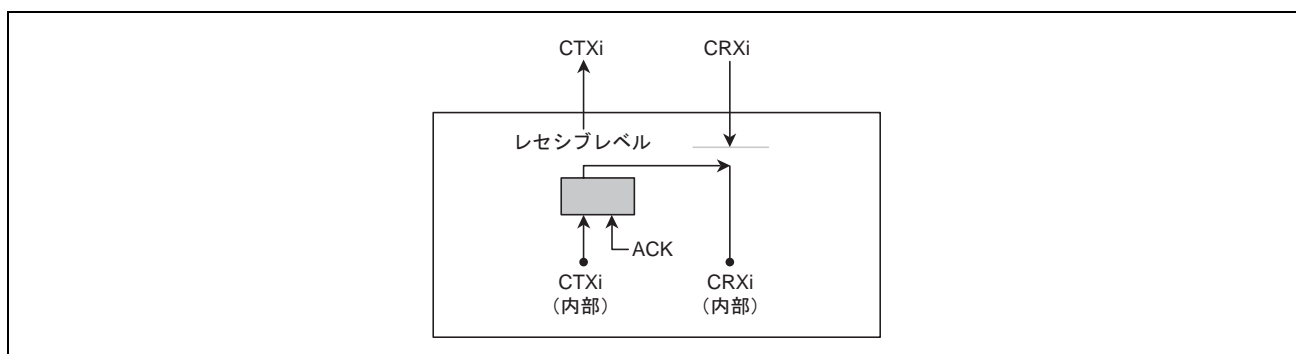


図 26.8 セルフテストモード 1 選択時の接続

26.3.26 CAN<sub>i</sub> 割り込みステータスレジスタ (CiISR) (i=0~3)

CiISR レジスタは CiIER レジスタによってマスクされる前の割り込み要因を示します。

CAN0割り込みステータスレジスタ (C0ISR)  
 CAN1割り込みステータスレジスタ (C1ISR)  
 CAN2割り込みステータスレジスタ (C2ISR)  
 CAN3割り込みステータスレジスタ (C3ISR)

<P4領域アドレス : H'FFFF 6861番地>  
 <P4領域アドレス : H'FFFF 7861番地>  
 <P4領域アドレス : H'FFFF 8861番地>  
 <P4領域アドレス : H'FFFF 9861番地>

ビット :

7	6	5	4	3	2	1	0
—	—	ERSF	RXFF	TXFF	RXM0F	RXM1F	TXMF

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
5	ERSF	0	R	0	エラー (ERS) 割り込みステータスビット* <sup>1</sup> ERSF ビットはエラー割り込み要因の状態を示します。 0 : ERS 割り込み要因を未検出 1 : ERS 割り込み要因を検出
4	RXFF	0	R	W	受信 FIFO (RXF) 割り込みステータスビット* <sup>2</sup> RXFF ビットは FIFO 受信割り込み要因の状態を示します。 0 : RXF 割り込み要因を未検出 1 : RXF 割り込み要因を検出 RXFF ビットは、プログラムで"0"を書くと"0"になります ("1"を書いても変化しません)。
3	TXFF	0	R	W	送信 FIFO (TXF) 割り込みステータスビット* <sup>3</sup> TXFF ビットは FIFO 送信割り込み要因の状態を示します。 0 : TXF 割り込み要因を未検出 1 : TXF 割り込み要因を検出 TXFF ビットは、プログラムで"0"を書くと"0"になります ("1"を書いても変化しません)。
2	RXM0F	0	R	0	メールボックス 0 受信完了 (RXM0) 割り込みステータスビット* <sup>4</sup> RXM0F ビットはメールボックス 0 の受信完了割り込み要因の状態を示します。 0 : RXM0 割り込み要因を未検出 1 : RXM0 割り込み要因を検出
1	RXM1F	0	R	0	メールボックス 1~63 受信完了 (RXM1) 割り込みステータスビット* <sup>5</sup> RXM1F ビットはメールボックス 1~63 の受信完了割り込み要因の状態を示します。 0 : RXM1 割り込み要因を未検出 1 : RXM1 割り込み要因を検出

## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
0	TXMF	0	R	0	<p>メールボックス 32~63 送信完了 (TXM) 割り込みステータスビット*<sup>6</sup></p> <p>TXMF ビットはメールボックス 32~63 の送信完了割り込み要因の状態を示します。</p> <p>0 : TXM 割り込み要因を未検出</p> <p>1 : TXM 割り込み要因を検出</p>

- 【注】 \*1 通信エラーにより、CiEIFR[j]のいずれかがセットされた場合、対応する CiEIER[j]が"1"に設定されていると、ERSF ビットが"1"になります (j=0~7)。
- \*2 CiMIER1[29]の設定により、受信 FIFO フルまたはワーニングによる CiRFCR[6:5]がセットされた場合、RXFF がセットされます。"0"を書くとクリアされます。
- \*3 CiMIER1[25]の設定により、送信 FIFO メッセージカウントが所定回数進んだ場合、TXFF がセットされます。"0"を書くとクリアされます。
- \*4 受信完了による CiMCTL0.NEWDATA ビットがセットされた後、受信データの格納が完了した場合 (対応する INVALIDDATA ビットが"1"→"0"に変化)、CiMIER0[0]が"1"に設定されていると、RXM0F ビットが"1"になります。
- \*5 受信完了による CiMCTLj.NEWDATA ビットがセットされた後、受信データの格納が完了した場合 (対応する INVALIDDATA ビットが"1"→"0"に変化)、CiMIER0 または CiMIER1 のメールボックス j に対応するビットが"1"に設定されていると、RXM1F ビットが"1"になります (j=1~63)。
- \*6 送信完了による CiMCTLj.SENTDATA がセットされた場合、CiMIER1 のメールボックス j に対応するビットが"1"に設定されていると、TXMF ビットが"1"になります (j=32~63)。

## 26.3.27 CANi 割り込み許可レジスタ (CiER) (i=0~3)

CiER レジスタは割り込みサービスルーチン进行处理している間、アプリケーションで一時的に一部の割り込みを無効にできます。各ビットはそれぞれ個別の割り込み要因に対し有効です。

CAN0 割り込み許可レジスタ (C0IER)  
 CAN1 割り込み許可レジスタ (C1IER)  
 CAN2 割り込み許可レジスタ (C2IER)  
 CAN3 割り込み許可レジスタ (C3IER)

<P4 領域アドレス : H'FFFF 6860 番地>  
 <P4 領域アドレス : H'FFFF 7860 番地>  
 <P4 領域アドレス : H'FFFF 8860 番地>  
 <P4 領域アドレス : H'FFFF 9860 番地>

ビット :     7    6    5    4    3    2    1    0  
           — — — ERS RXF TXF RXM0 RXM1 TXM  
               IE IE IE IE IE IE IE

リセット後の値 :   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて 0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
5	ERSIE	0	R	W	エラー (ERS) 割り込み許可ビット ERSIE ビットは ERS 割り込みの割り込みコントローラに対する許可/禁止を制御します。 0 : ERS 割り込みを禁止 1 : ERS 割り込みを許可
4	RXFIE	0	R	W	受信 FIFO (RXF) 割り込み許可ビット RXFIE ビットは RXF 割り込みの割り込みコントローラに対する許可/禁止を制御します。 0 : RXF 割り込みを禁止 1 : RXF 割り込みを許可
3	TXFIE	0	R	W	送信 FIFO (TXF) 割り込み許可ビット TXFIE ビットは TXF 割り込みの割り込みコントローラに対する許可/禁止を制御します。 0 : TXF 割り込みを禁止 1 : TXF 割り込みを許可
2	RXM0IE	0	R	W	メールボックス 0 受信完了 (RXM0) 割り込み許可ビット RXM0IE ビットは RXM0 割り込みの割り込みコントローラに対する許可/禁止を制御します。 0 : RXM0 割り込みを禁止 1 : RXM0 割り込みを許可
1	RXM1IE	0	R	W	メールボックス 1~63 受信完了 (RXM1) 割り込み許可ビット RXM1IE ビットは RXM1 割り込みの割り込みコントローラに対する許可/禁止を制御します。 0 : RXM1 割り込みを禁止 1 : RXM1 割り込みを許可

## 26. CAN モジュール

ビット	シンボル	リセット後の値	R	W	説明
0	TXMIE	0	R	W	<p>メールボックス 32~63 送信完了 (TXM) 割り込み許可ビット</p> <p>TXMIE ビットは TXM 割り込みの割り込みコントローラに対する許可/禁止を制御します。</p> <p>0 : TXM 割り込みを禁止</p> <p>1 : TXM 割り込みを許可</p>

## 26.3.28 CANi メールボックスサーチマスクレジスタ (CiMBSMR) (i=0~3)

CiMBSMR レジスタは、CAN Halt モード時のみ変更してください。

CAN0メールボックスサーチマスクレジスタ (C0MBSMR)  
 CAN1メールボックスサーチマスクレジスタ (C1MBSMR)  
 CAN2メールボックスサーチマスクレジスタ (C2MBSMR)  
 CAN3メールボックスサーチマスクレジスタ (C3MBSMR)

<P4領域アドレス : H'FFFF 6863番地>  
 <P4領域アドレス : H'FFFF 7863番地>  
 <P4領域アドレス : H'FFFF 8863番地>  
 <P4領域アドレス : H'FFFF 9863番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	MB0SM

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	空きビット 書く場合、"0"を書いてください。読んだ場合、その値は"0"。
0	MB0SM	0	R	W	メールボックス0サーチマスクビット* <sup>1</sup> MB0SM ビットを"1"にすると、CANi メールボックスサーチステータスレジスタ (CiMSSR) の検索対象からメールボックス0が除外されます。

【注】 \*1 MB0SM ビットは、CiMBSMR レジスタのチャンネル検索モードを除いた検索モードで有効です。RXM1 割り込み処理にあたって、CiMSSR レジスタの受信メールボックス検索モードでの検索対象からメールボックス0を除外したい場合に適しています。



## 26.4 動作モード

CAN モジュールには、次の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 26.9 に CAN 動作モード間の遷移を示します。

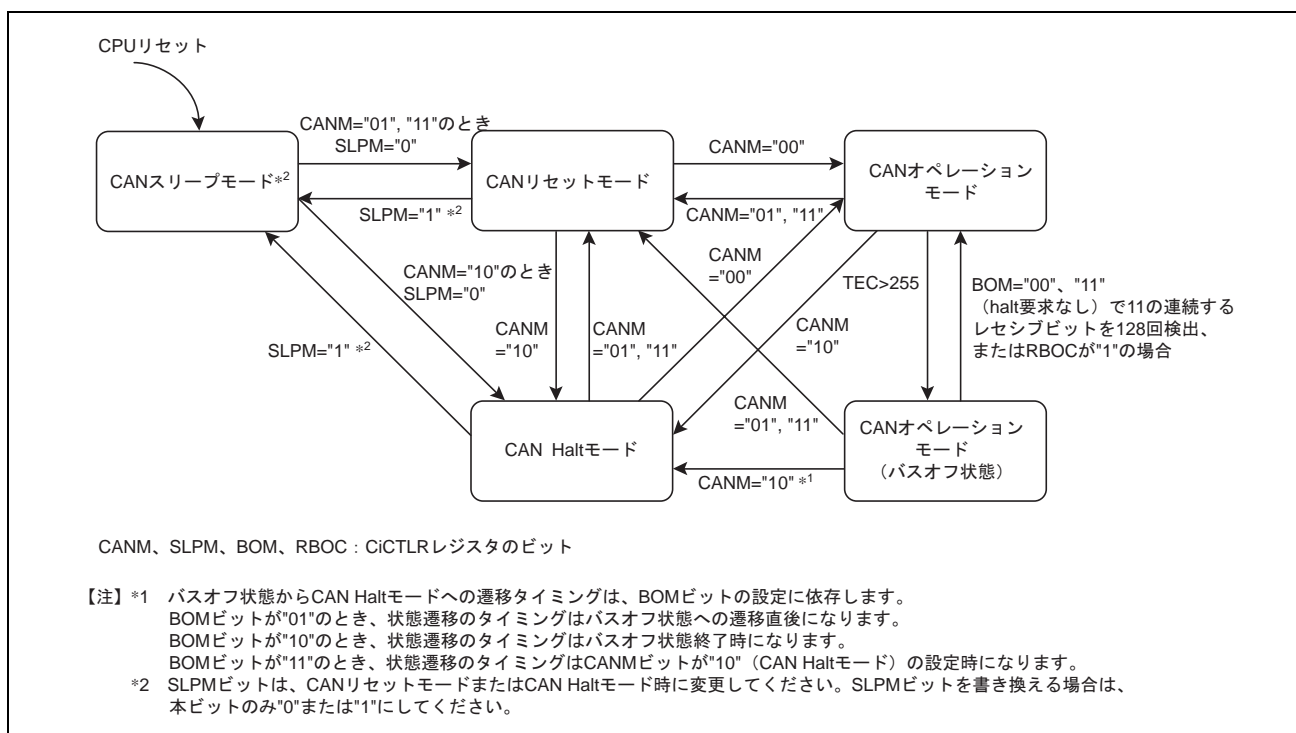


図 26.9 CAN 動作モード間の遷移 (i=0~3)

### 26.4.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CiCTLR レジスタの CANM ビットを"01"または"11"にすると、CAN モジュールは CAN リセットモードになります。そのとき、CiSTR レジスタの RSTST ビットが"1"になります。RSTST ビットが"1"になるまで、CANM ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、CiBCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに遷移した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- CiMCTLj レジスタ
- CiSTR レジスタ (SLPST ビットと TFST ビットを除く)
- CiEIFR レジスタ
- CiRECR レジスタ
- CiTECR レジスタ
- CiTSR レジスタ
- CiMSSR レジスタ
- CiMSMR レジスタ
- CiRFCR レジスタ
- CiTFPCR レジスタ
- CiTCR レジスタ
- CiECSR レジスタ (EDPM ビットを除く)
- CiISR レジスタ
- CiMBSMR レジスタ

以下のレジスタは、CAN リセットモードに遷移した後も以前の値を保持します。

- CiCLKR レジスタ
- CiCTLR レジスタ
- CiSTR レジスタ (SLPST ビットと TFST ビット)
- CiMIER0、CiMIER1 レジスタ
- CiEIERS レジスタ
- CiBCR レジスタ
- CiCSSR レジスタ
- CiECSR レジスタ (EDPM ビットのみ)
- CiMBj レジスタ
- CiMKR0～CiMKR9 レジスタ
- CiFIDCR0、CiFIDCR1 レジスタ
- CiMKIVLR0、CiMKIVLR1 レジスタ
- CiAFSR レジスタ
- CiRFPCR レジスタ
- CiTFPCR レジスタ
- CiIER レジスタ

## 26.4.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CiCTRL レジスタの CANM ビットを"10"にすると、CAN Halt モードになります。そのとき、CiSTR レジスタの HLTST ビットが"1"になります。HLTST ビットが"1"になるまで CANM ビットを変更しないでください。

送信または受信時の状態遷移の条件は、表 26.9 を参照してください。

CAN Halt モードへの遷移では、CiSTR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CiCLKR レジスタ、CiCTRL レジスタ (CANM ビットおよび SLPM ビットを除く) および CiEIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで CiBCR レジスタを変更できません。

表 26.9 CAN リセットモードと CAN Halt モードでの動作

モード	受信	送信	バスオフ
CAN リセットモード (強制遷移) CANM="11"	CAN モジュールは受信メッセージの終了を待たずに CAN リセットモードに遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードに遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードに遷移
CAN リセットモード CANM="01"	CAN モジュールは受信メッセージの終了を待たずに CAN リセットモードに遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードに遷移 <sup>*1*4</sup>	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードに遷移
CAN Halt モード	CAN モジュールは受信メッセージの終了を待って CAN Halt モードに遷移 <sup>*2*3</sup>	CAN モジュールはメッセージ送信の終了を待って CAN Halt モードに遷移 <sup>*1*4</sup>	<p>[BOM ビットが"00"の場合] CAN モジュールはバスオフ復帰後のみ、プログラムの Halt 要求を受け付ける</p> <p>[BOM ビットが"01"の場合] CAN モジュールはバスオフ復帰の終了を待たずに自動的に CAN Halt モードに遷移 (プログラムの Halt 要求とは無関係に)</p> <p>[BOM ビットが"10"の場合] CAN モジュールはバスオフ復帰の終了を待って自動的に CAN Halt モードに遷移 (プログラムの Halt 要求とは無関係に)</p> <p>[BOM ビットが"11"の場合] CAN モジュールはバスオフ中にプログラムによる Halt 要求があると、CAN Halt モードに遷移 (バスオフ復帰の終了を待たずに)</p>

【注】 \*1 いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトラン

スミッション中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールが受信になったときに、モードを遷移します。

- \*2 CAN バスがドミナントレベルでロックされた場合、CiEIFR レジスタの BLIF ビットをモニタすると、プログラムはバスロック状態を検出できます。
- \*3 CAN Halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN Halt モードに遷移します。
- \*4 CAN リセットモードまたは CAN Halt モードが要求された後、送信中に CAN バスエラーまたは CAN アービトレーションロストが発生すると、要求された CAN モードに遷移します。

【記号説明】 BOM ビット : CiCTRL レジスタのビット (i=0~3)

### 26.4.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU のハードウェアリセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CiCTRL レジスタの SLPB ビットを"1"にすると、CAN スリープモードになります。そのとき、CiSTR レジスタの SLPST ビットが"1"になります。SLPST ビットが"1"になるまで、SLPB ビットの値を変更しないでください。CAN スリープモードへの遷移時は、他のレジスタは変化しません。

SLPB ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPB ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPB ビットを"0"にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

### 26.4.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは CAN 通信をするモードです。

CiCTRL レジスタの CANM ビットを"00"にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、CiSTR レジスタの RSTST ビットと HLTST ビットが"0"になります。RSTST ビットと HLTST ビットが"0"になるまで、CANM ビットの値を変更しないでください。

CAN オペレーションモードに遷移した後、11 の連続するレセプティブビットを検出すると、CAN モジュールは次の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード: CANモジュールは、送受信を行っていない状態です。
- 受信モード: CANモジュールは、他のノードが送信したCANメッセージを受信しています。
- 送信モード: CANモジュールは、CANメッセージを送信しています。セルフテストモード0 (CiTCR レジスタの TSTM ビットが"10") またはセルフテストモード1 (TSTM ビットが"11") が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 26.10 に CAN オペレーションモードのサブモードを示します。

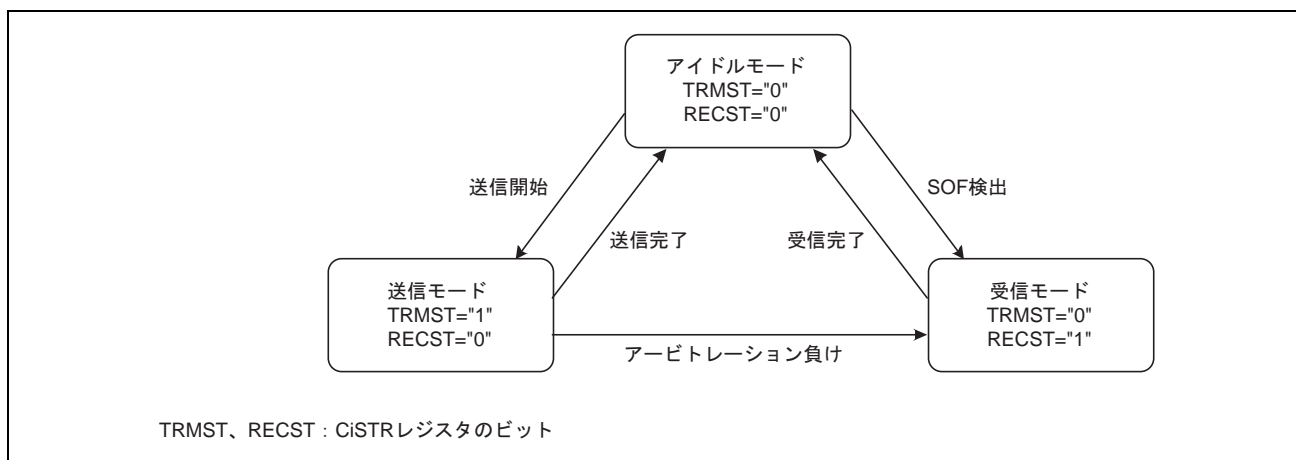


図 26.10 CAN オペレーションモードのサブモード (i=0~3)

#### 26.4.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に遷移します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、CiSTR、CiEIFR、CiRECR、CiTECR および CiTISR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

##### (1) CiCTLR レジスタの BOM ビットが"00"の場合 (ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN 通信ができるようになります。このとき、CiEIFR レジスタの BORIF ビットが"1" (バスオフ復帰検出) になります。

##### (2) CiCTLR レジスタの RBOC ビットを"1"にしたとき (バスオフからの強制復帰)

バスオフ状態になり、RBOC ビットが"1"になると、CAN モジュールはエラーアクティブ状態に遷移し、11 の連続するレセンプビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF ビットは"1"になりません。

##### (3) BOM ビットが"01"の場合 (バスオフ開始で自動的に CAN Halt モードへ遷移)

バスオフ状態に達すると CAN Halt モードになります。このとき BORIF ビットは"1"になりません。

##### (4) BOM ビットが"10"の場合 (バスオフ終了で自動的に CAN Halt モードへ遷移)

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF ビットは"1"になります。

##### (5) BOM ビットが"11"の場合 (プログラムにより CAN Halt モードへ遷移) に

###### バスオフ状態で CiCTLR レジスタの CANM ビットを"10"にしたとき (CAN Halt モード)

バスオフ状態時に CANM ビットが"10" (CAN Halt モード) に設定されると、CAN Halt モードになります。このとき、BORIF ビットは"1"になりません。

バスオフ中に CANM ビットが"10"に設定されないときは、(1) と同じ動作になります。

## 26.5 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

### 26.5.1 CAN クロックの設定

本 MCU は MCU クロック選択回路を内蔵しています。

CAN クロックは、CiCLKR レジスタの CCLKS ビットと CiBCR レジスタの BRP ビットで設定できます。

図 26.11 に CAN クロック発生回路ブロック図を示します。

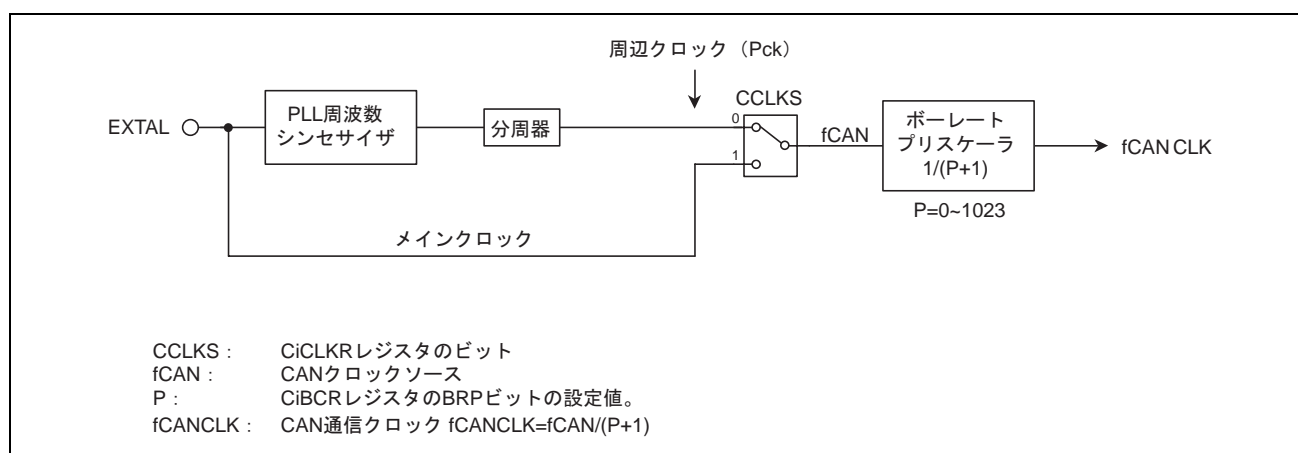


図 26.11 CAN クロック発生回路ブロック図 (i=0~3)

### 26.5.2 ビットタイミングの設定

ビットタイムは、次の3つのセグメントからなります。

図 26.12 にビットタイミング図を示します。

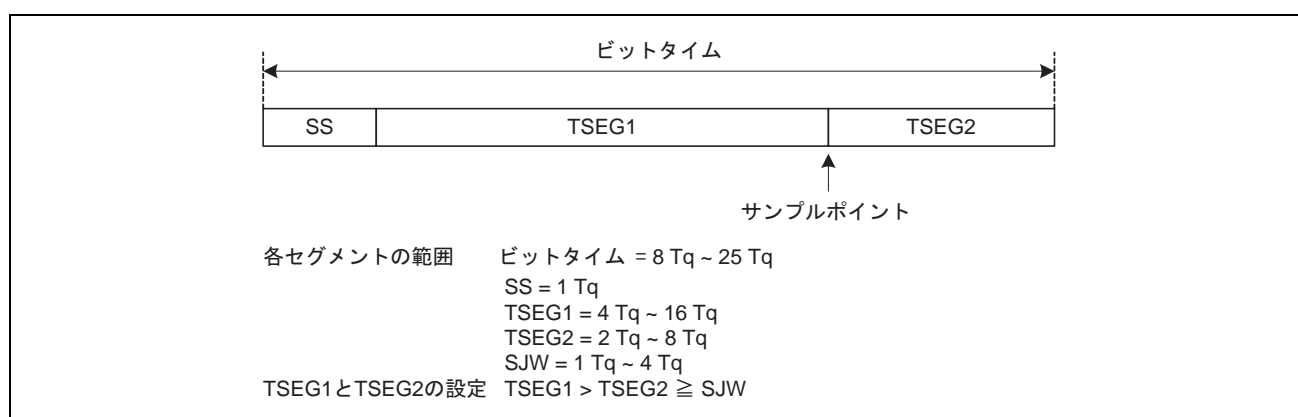


図 26.12 ビットタイミング図

## 26.5.3 ビットレート

ビットレートは、fCAN（CAN クロックソース）、ボーレートプリスケアラ分周値、および1ビットの Tq の数に依存します。

$$\text{ビットレート[bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値}^*1 \times 1 \text{ ビットタイムの Tq 数}} = \frac{f_{\text{CANCLK}}}{1 \text{ ビットタイムの Tq 数}}$$

【注】 \*1 ボーレートプリスケアラ分周値=P+1 (P=0~1023)

P : CiBCR レジスタ (i=0~3) の BRP ビットの設定値

表 26.10 にビットレートの例を示します。

表 26.10 ビットレートの例

fCAN	40MHz		32MHz		20MHz		16MHz	
	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1
1 Mbps	10Tq	4	8Tq	4	10Tq	2	8Tq	2
	20Tq	2	16Tq	2	20Tq	1	16Tq	1
500 kbps	10Tq	8	8Tq	8	10Tq	4	8Tq	4
	20Tq	4	16Tq	4	20Tq	2	16Tq	2
250 kbps	10Tq	16	8Tq	16	10Tq	8	8Tq	8
	20Tq	8	16Tq	8	20Tq	4	16Tq	4
83.3 kbps	8Tq	60	8Tq	48	8Tq	30	8Tq	24
	10Tq	48	16Tq	24	10Tq	24	16Tq	12
	16Tq	30			16Tq	15		
	20Tq	24			20Tq	12		
33.3 kbps	8Tq	150	8Tq	120	8Tq	75	8Tq	60
	10Tq	120	10Tq	96	10Tq	60	10Tq	48
	20Tq	60	16Tq	60	20Tq	30	16Tq	30
			20Tq	48			20Tq	24

## 26.6 メールボックスとマスクレジスタの構成

図 26.13 に CiMBj レジスタの構成を示します。

同じ構成の 64 のメールボックスがあります。

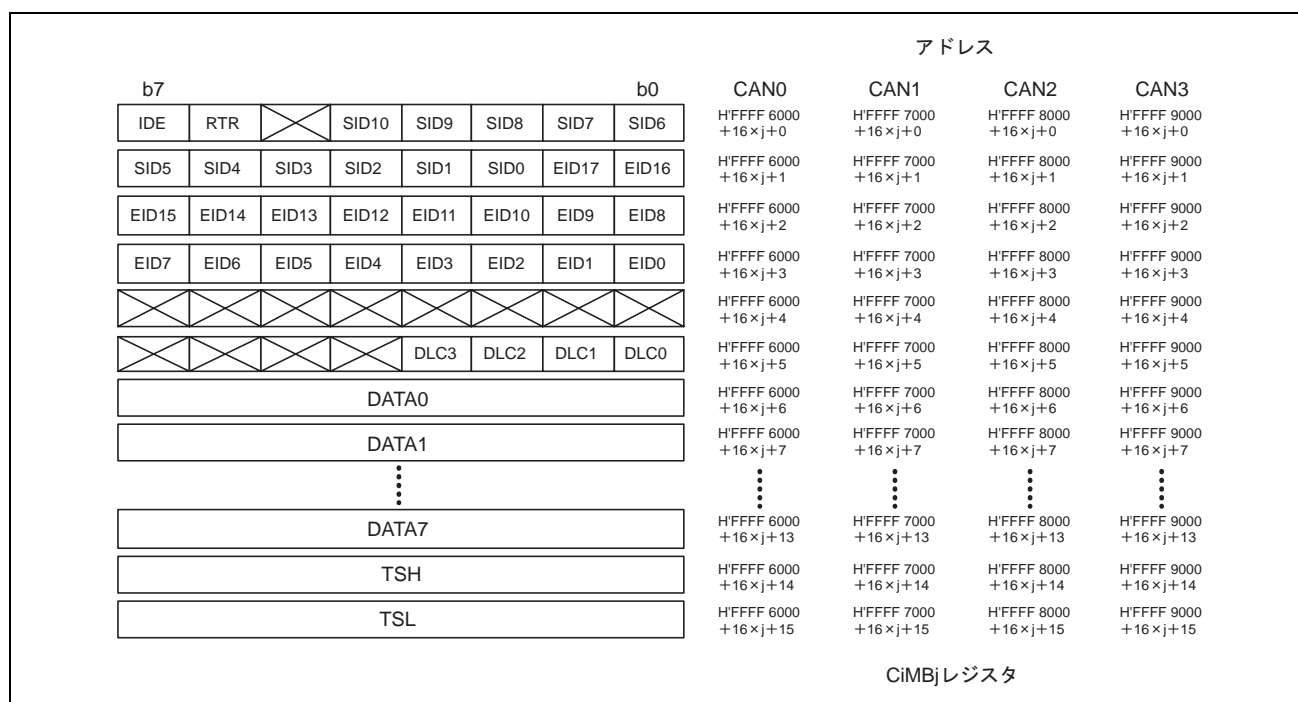


図 26.13 CiMBj レジスタの構成 (i=0~3、j=0~63)

図 26.14 に CiMKR0、CiMKR1 レジスタおよび CiMKR2~CiMKR9 レジスタの構成を示します。

同じ構成の 10 つのマスクレジスタがあります。

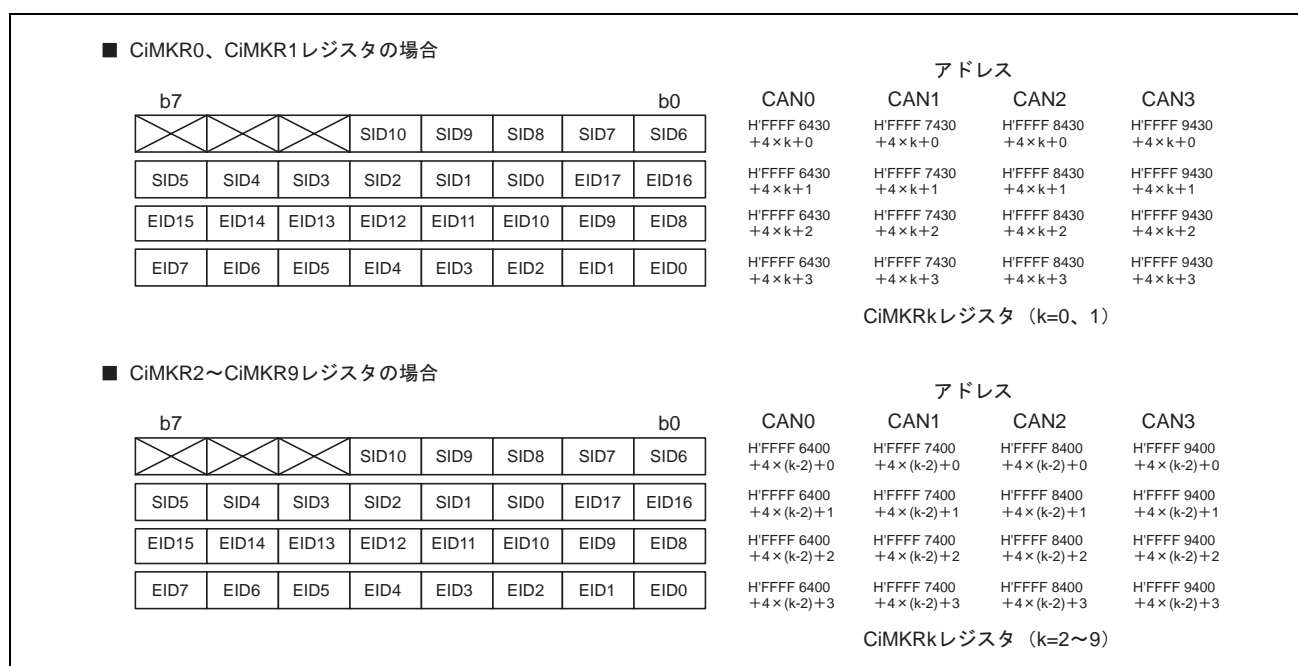


図 26.14 CiMKRk レジスタの構成 (i=0~3、k=0~9)



図 26.15 に CiFIDCR0、CiFIDCR1 レジスタの構成を示します。  
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

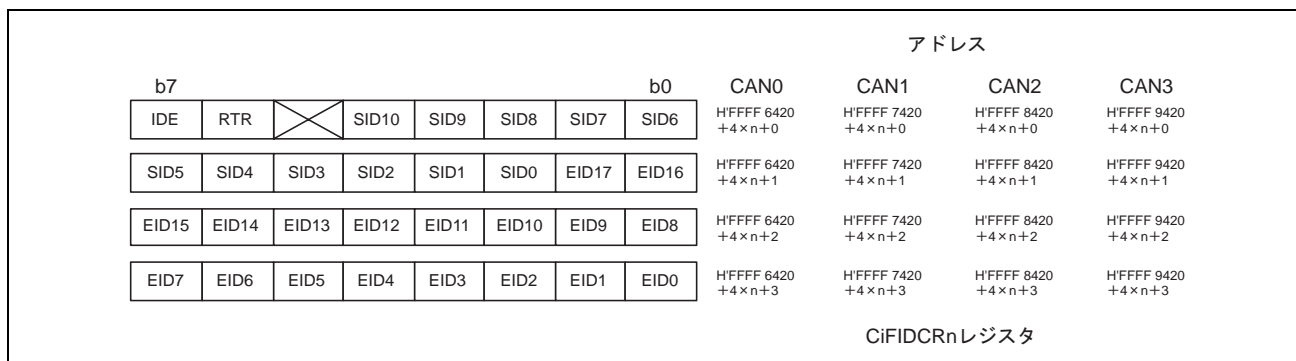


図 26.15 CiFIDCRn レジスタの構成 (i=0~3、n=0、1)

## 26.7 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。  
CiMKR0~CiMKR9 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- CiMKR0レジスタは、メールボックス[0]~[15]に対応
- CiMKR1レジスタは、メールボックス[16]~[31]に対応
- CiMKR2レジスタは、メールボックス[32]~[35]に対応
- CiMKR3レジスタは、メールボックス[36]~[39]に対応
- CiMKR4レジスタは、メールボックス[40]~[43]に対応
- CiMKR5レジスタは、メールボックス[44]~[47]に対応
- CiMKR6レジスタは、メールボックス[48]~[51]に対応
- CiMKR7レジスタは、メールボックス[52]~[55]に対応
- CiMKR8レジスタは、通常メールボックスモードの場合はメールボックス[56]~[59]、FIFOメールボックスモードの場合は受信FIFOメールボックス[60]~[63]に対応
- CiMKR9レジスタは、通常メールボックスモードの場合はメールボックス[60]~[63]、FIFOメールボックスモードの場合は受信FIFOメールボックス[60]~[63]に対応

CiMKIVLR0、CiMKIVLR1 レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

CiMBj レジスタの IDE ビットは、CiCTLR レジスタの IDFM ビットが"10" (ミックス ID モード) のとき有効です。

CiMBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス (メールボックス[0]~[55]) は、CiMKR0~CiMKR7 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス (メールボックス[60]~[63]) は、CiMKR8、CiMKR9 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。

また、受信 FIFO は CiFIDCR0、CiFIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO

の CiMB60~CiMB63 レジスタの EID、SID、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信できます。

CiMKIVLR0、CiMKIVLR1 レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ CiFIDCR0、CiFIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ CiFIDCR0、CiFIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 26.16 にマスクレジスタとメールボックスの対応、図 26.17 にアクセプタンスフィルタ処理を示します。

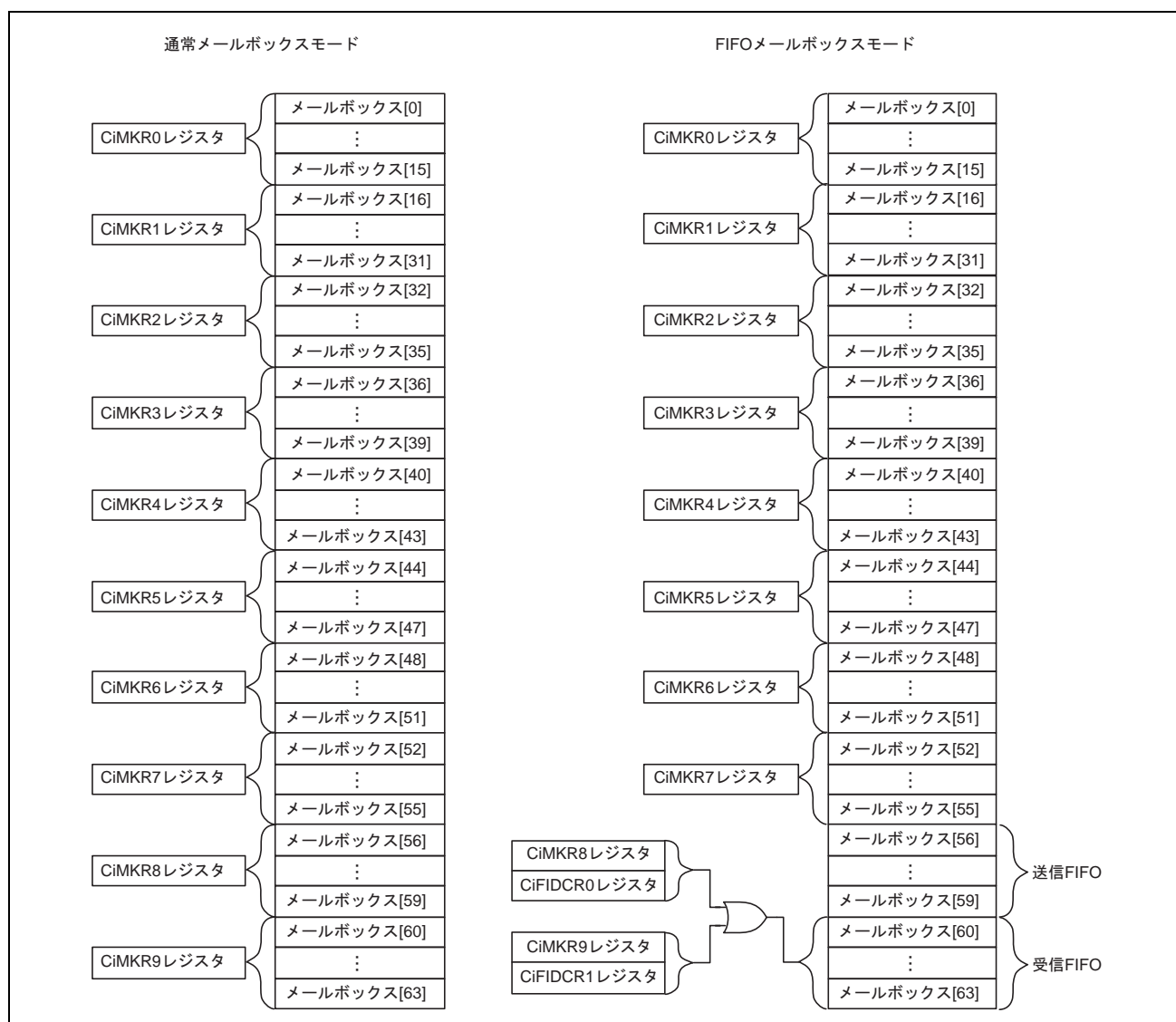


図 26.16 マスクレジスタとメールボックスの対応 (i=0~3)

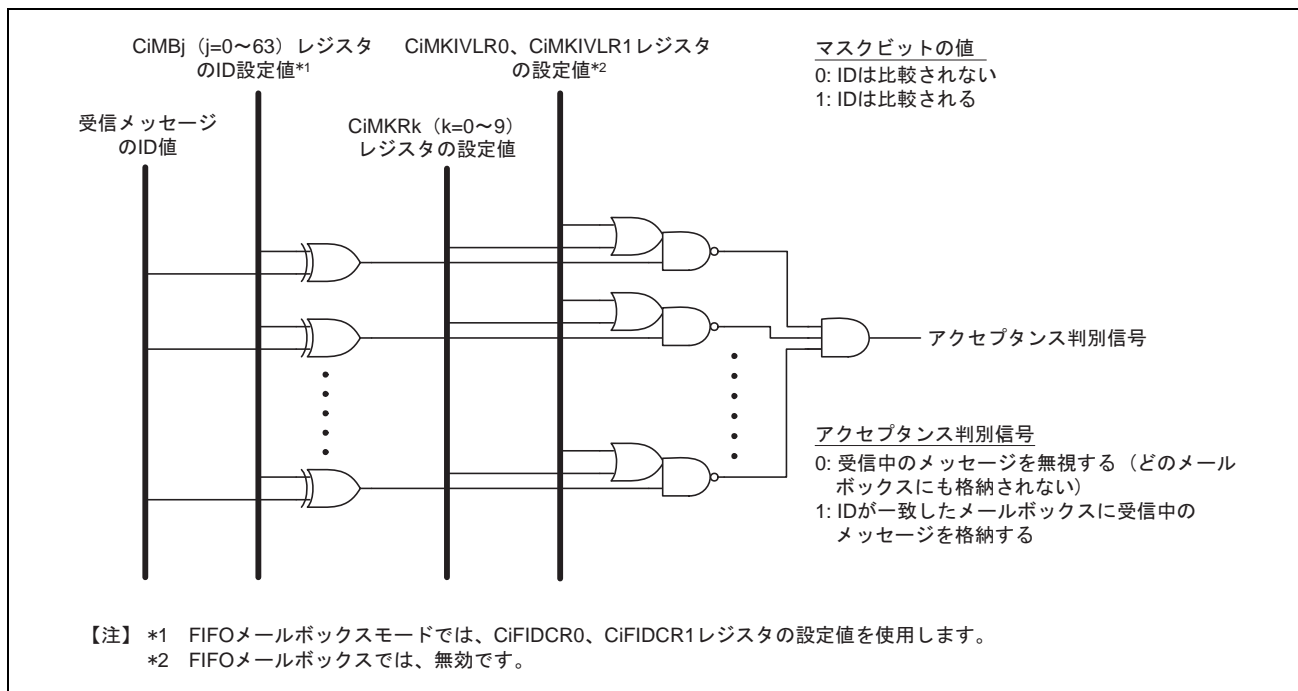


図 26.17 アクセプタンスフィルタ処理 (i=0~3)

## 26.8 受信、送信

表 26.11 に CAN 通信モードの設定方法を示します。

表 26.11 CAN 受信モードと CAN 送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

【記号説明】 TRMREQ、RECREQ、ONESHOT : CiMCTLj レジスタのビット (i=0~3、j=32~63)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CiMCTLjレジスタを"H'00"にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CANオペレーションモードで、受信メッセージに設定したメールボックスのID/マスクセットに一致するメッセージを送信した場合、CANモジュールは送信データを受信しません。しかしセルフテストモードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CiMCTLjレジスタを"H'00"にして、さらに、アボート処理中でないことを確認してください。

## 26.8.1 受信

図 26.18 にデータフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、示された CiMCTLj レジスタ (j=0~63) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

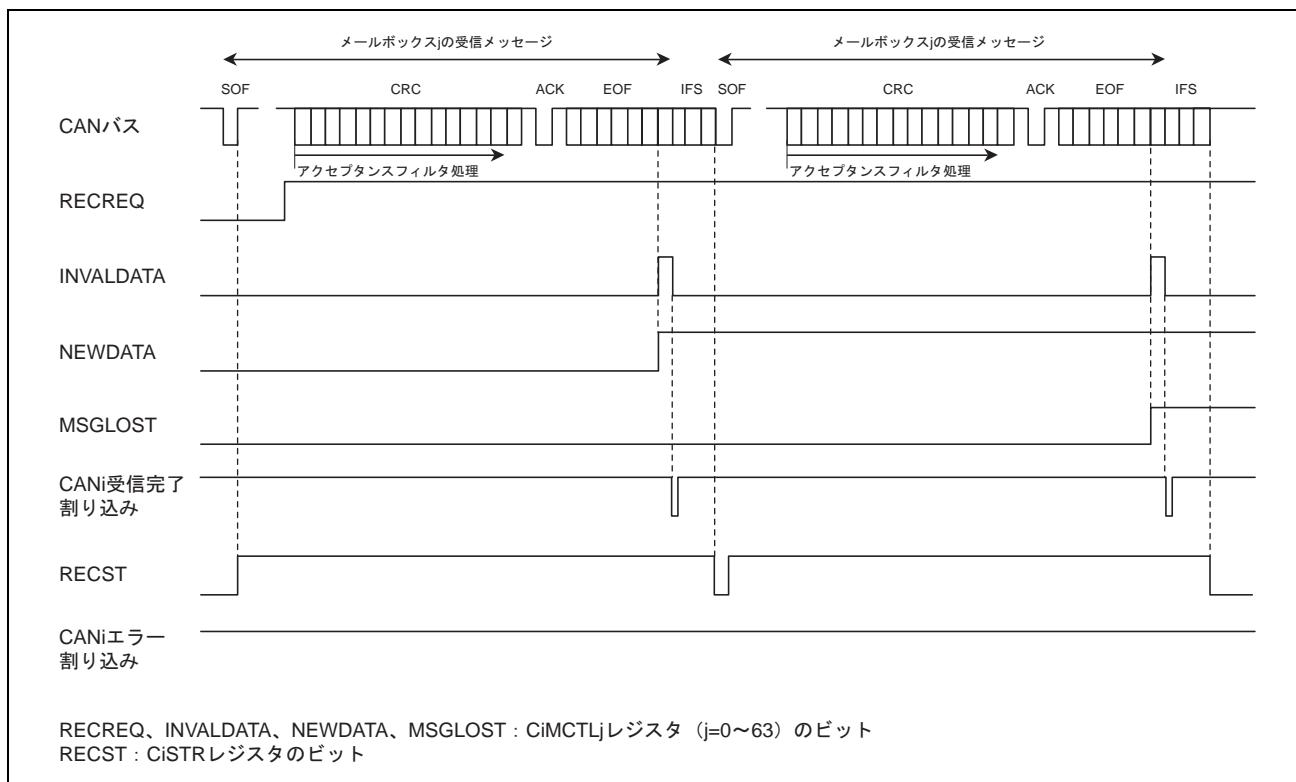


図 26.18 データフレーム受信時の動作例（オーバーライトモードの場合） (i=0~3)

1. CANバス上でSOFを検知すると、CANモジュールに送信開始するメッセージがない場合、CiSTRレジスタのRECSTビットが"1"（受信中）になります。
2. 受信メールボックスを選択するために、CRCフィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスのCiMCTLjレジスタのNEWDATAビットが"1"（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時にCiMCTLjレジスタのINVALIDDATAビットが"1"（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATAビットは"0"（メッセージは有効）に戻ります。
4. 受信メールボックスのCiMIER0、CiMIER1レジスタの割り込み許可ビットが"1"（割り込み許可）の場合、CANi受信完了割り込み要求が発生します。INVALIDDATAビットが"0"になると、この割り込み（CANi受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATAビットをプログラムで"0"にする必要があります。
6. オーバライトモードでは、NEWDATAビットがまだ"1"に設定されているメールボックスに次のCANメッ

メッセージの受信が完了すると、CiMCTLjレジスタのMSGLOSTビットが"1"（メッセージはオーバライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CANi受信完了割り込み要求は、4.と同様に発生します。

図 26.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された CiMCTLj レジスタ (j=0~63) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

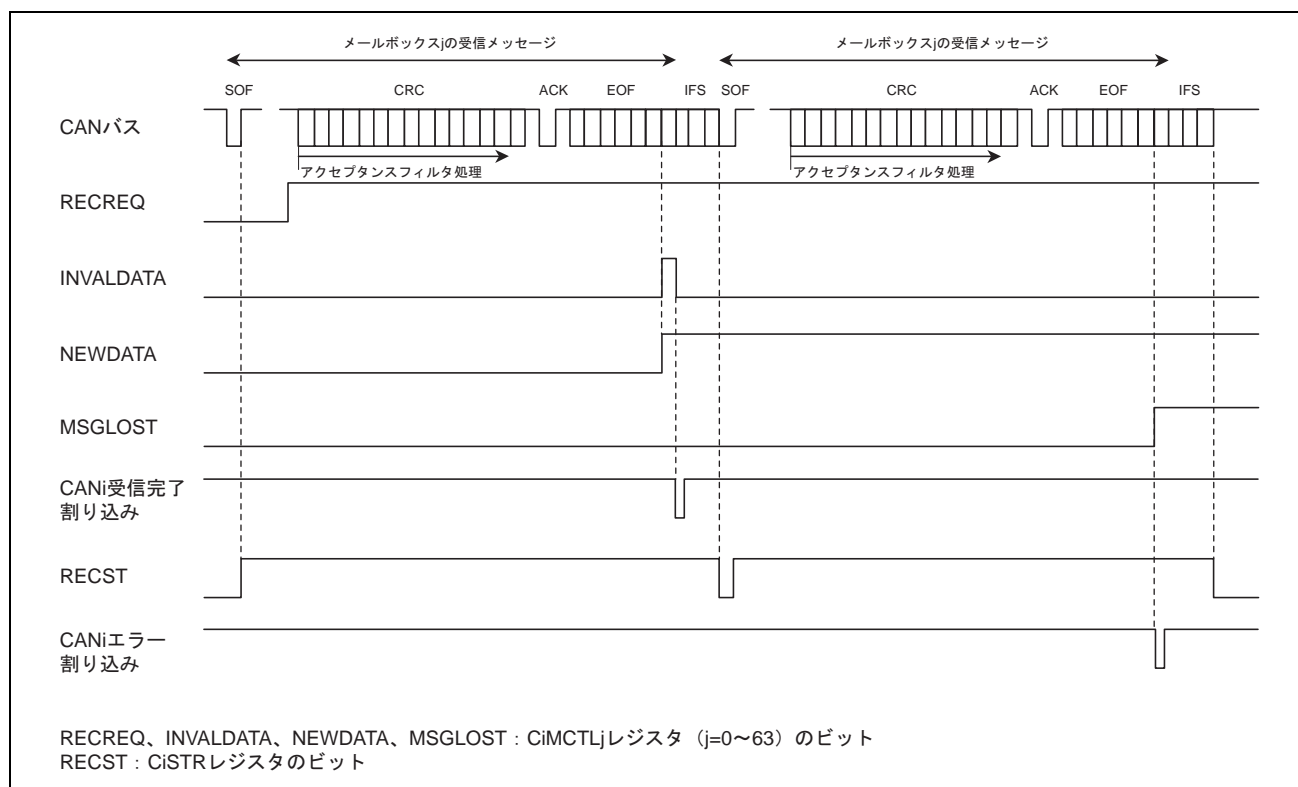


図 26.19 データフレーム受信時の動作例（オーバランモードの場合） (i=0~3)

- 1.~5.はオーバライトモードと同じです。
6. オーバランモードでは、NEWDATAビットが"0"に設定される前に、次のCANメッセージの受信が完了すると、CiMCTLjレジスタのMSGLOSTビットが"1"（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、CiEIERレジスタの対応する割り込み許可ビットが"1"（割り込み許可）の場合、CANiエラー割り込み要求が発生します。

## 26.8.2 送信

図 26.20 にデータフレーム送信時の動作例を示します。

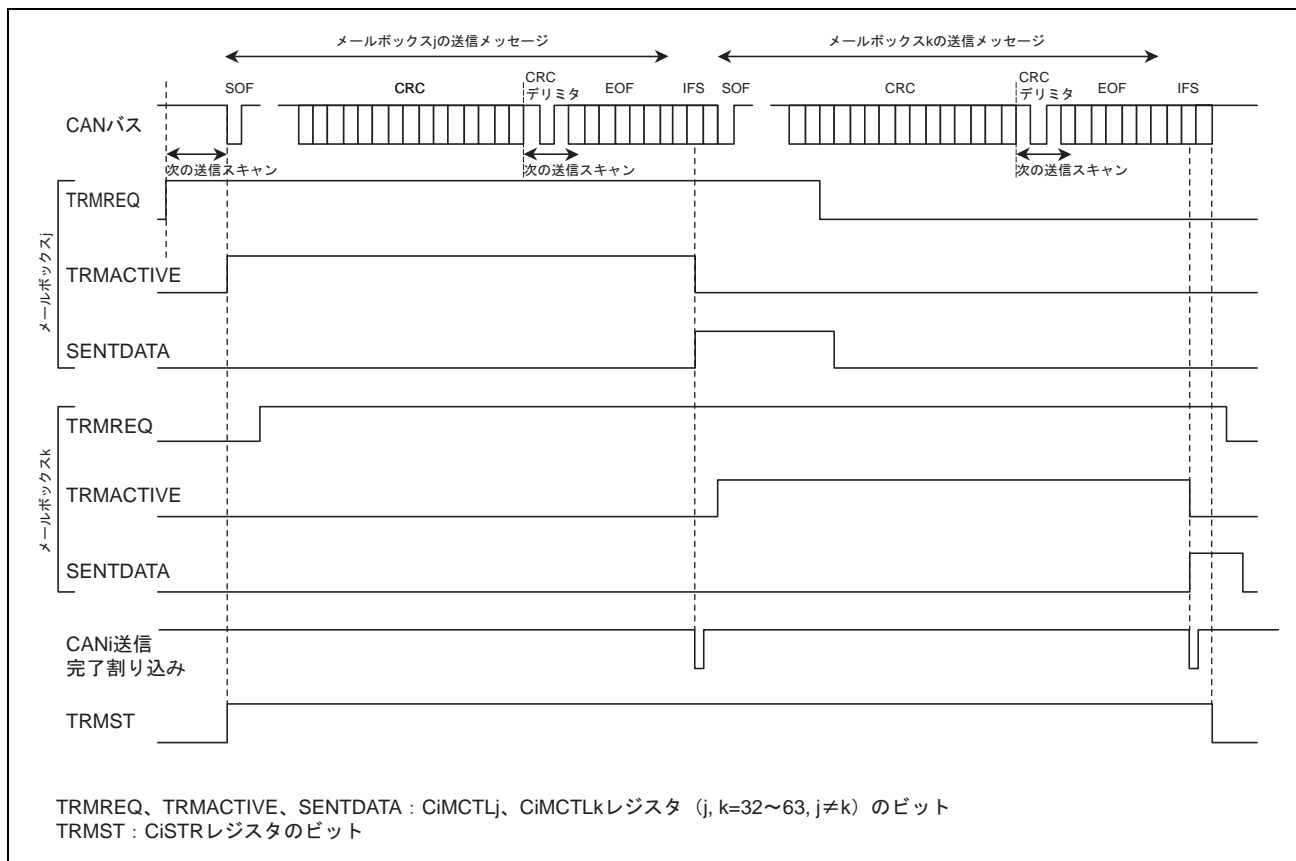


図 26.20 データフレーム送信時の動作例 (i=0~3)

1. バスアイドル状態で、CiMCTLjレジスタ (i=0~3, j=32~63) のTRMREQビットを"1" (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CiMCTLjレジスタのTRMACTIVEビットが"1" (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CiSTRレジスタのTRMSTビットが"1" (送信中) になり、CANモジュールは送信を開始します\*1。
2. 他のTRMREQビットが設定されている場合は、CRCデリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、CiMCTLjレジスタのSENTDATAビットが"1" (送信完了) に、TRMACTIVEビットが"0" (送信待機中または送信要求なし) になります。そして、CiMIERレジスタの割り込み許可ビットが"1" (割り込み許可) の場合はCANi送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATAビットとTRMREQビットを"0"にして、SENTDATAビットとTRMREQビットが"0"になるのを確認した後、TRMREQビットを"1"にしてください。

【注】 \*1 CANモジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVEビットは"0"になります。CRCデリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

## 26.9 CAN 割り込み

CAN モジュールには、チャンネルごとに以下の CAN 割り込みがあります。表 26.12 に CAN 割り込み一覧表を示します。

- CAN<sub>i</sub>受信完了割り込み（メールボックス0）[RXM0<sub>i</sub>]
- CAN<sub>i</sub>受信完了割り込み（メールボックス1～63）[RXM1<sub>i</sub>]
- CAN<sub>i</sub>送信完了割り込み（メールボックス32～63）[TXM<sub>i</sub>]
- CAN<sub>i</sub>受信FIFO割り込み[RXF<sub>i</sub>]
- CAN<sub>i</sub>送信FIFO割り込み[TXF<sub>i</sub>]
- CAN<sub>i</sub>エラー割り込み[ERS<sub>i</sub>]

CAN<sub>i</sub>エラー割り込みには、8つの要因があります。これらの要因は、CiEIFRレジスタをチェックすることで確認できます。

- －バスエラー
- －エラーワーニング
- －エラーパッシブ
- －バスオフ開始
- －バスオフ復帰
- －受信オーバラン
- －オーバロードフレーム送信
- －バスロック

表 26.12 CAN 割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN <sub>i</sub>	ERS <sub>i</sub>	バスロック検出	CiEIFR.BLIF
		オーバロードフレーム送信検出	CiEIFR.OLIF
		オーバラン検出	CiEIFR.ORIF
		バスオフ復帰検出	CiEIFR.BORIF
		バスオフ開始検出	CiEIFR.BOEIF
		エラーパッシブ検出	CiEIFR.EPIF
		エラーワーニング検出	CiEIFR.EWIF
		バスエラー検出	CiEIFR.BEIF
	RXF <sub>i</sub>	受信 FIFO メッセージ受信 (CiMIER1[29]=0)	CiISR.RXFF
		受信 FIFO ワーニング (CiMIER1[29]=1)	
	TXF <sub>i</sub>	送信 FIFO メッセージ送信完了 (CiMIER1[25]=0)	CiISR.TXFF
		FIFO ラストメッセージ送信完了 (CiMIER1[25]=1)	
	RXM0 <sub>i</sub>	メールボックス 0 メッセージ受信	CiMCTL0.NEWDATA
	RXM1 <sub>i</sub>	メールボックス 1～63 メッセージ受信	CiMCTL1.NEWDATA～ CiMCTL63.NEWDATA
	TXM <sub>i</sub>	メールボックス 32～63 メッセージ送信完了	CiMCTL32.SENTDATA～ CiMCTL63.SENTDATA

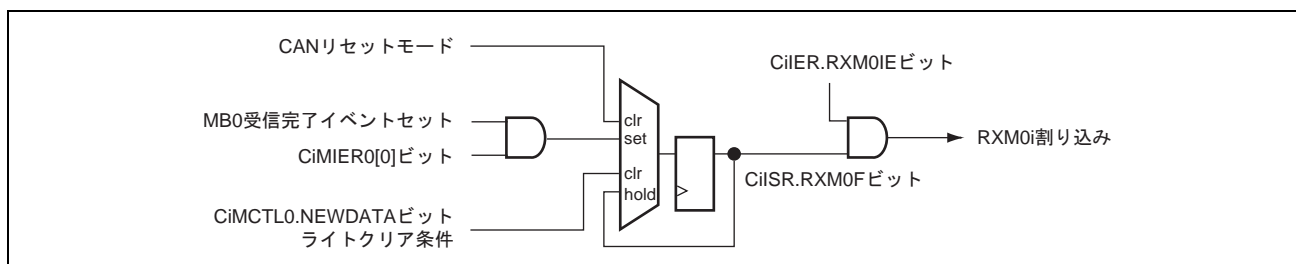
【記号説明】 i = 0～3



(1) CAN<sub>i</sub> 受信完了割り込み (メールボックス 0) [RXM0<sub>i</sub>]

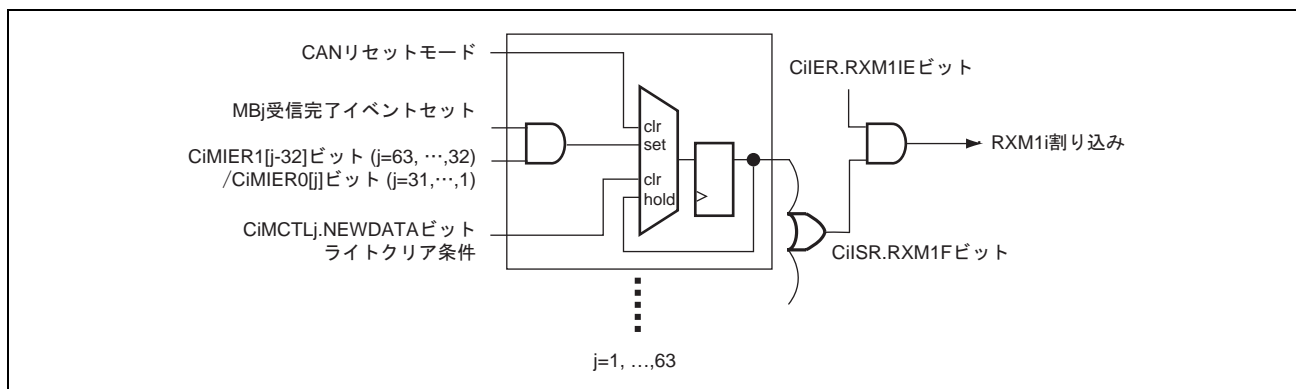
受信完了による CiMCTL0 の NEWDATA ビットがセットされた後、受信データの格納が完了した場合 (対応する INVALIDDATA ビットが "1"→"0" に変化)、CiMIER0[0] が "1" に設定されていると、CiISR の RXM0F ビットが "1" になります。CiIER の RXM0IE ビットにてメールボックス 0 受信完了 (RXM0) 割り込みが許可されていると、割り込みコントローラに RXM0 割り込みを要求します。

RXM0 割り込みをクリアするには RXM0 割り込み処理ルーチンにて、CiMCTL0 の NEWDATA ビットのクリアを行ってください。CiIER の RXM0IE ビットを設定後に禁止に変更する場合、RXM0 割り込みが発生しない状態か RXM0 割り込み処理ルーチン内で行ってください。CiMIER0[0] についても同様です。

図 26.21 CAN<sub>i</sub> 受信完了割り込み (メールボックス 0) [RXM0<sub>i</sub>]のブロック図(2) CAN<sub>i</sub> 受信完了割り込み (メールボックス 1~63) [RXM1<sub>i</sub>]

受信完了による CiMCTL<sub>j</sub> の NEWDATA ビットがセットされた後、受信データの格納が完了した場合 (対応する INVALIDDATA ビットが "1"→"0" に変化)、CiMIER0 または CiMIER1 のメールボックス  $j$  に対応するビットが "1" に設定されていると、CiISR の RXM1F ビットが "1" になります。CiIER の RXM1IE ビットにてメールボックス 1~63 受信完了 (RXM1) 割り込みが許可されていると、割り込みコントローラに RXM1 割り込みを要求します。

RXM1 割り込みをクリアするには RXM1 割り込み処理ルーチンにて、CiMCTL<sub>j</sub> の NEWDATA ビットのクリアを行ってください。CiIER の RXM1IE ビットを設定後に禁止に変更する場合、RXM1 割り込みが発生しない状態か RXM1 割り込み処理ルーチン内で行ってください。CiMIER0[ $j$ ] ( $j=1\sim 31$ ) または CiMIER1[ $j-32$ ] ( $j=32\sim 63$ ) についても同様です。

図 26.22 CAN<sub>i</sub> 受信完了割り込み (メールボックス 1~63) [RXM1<sub>i</sub>]のブロック図

### (3) CANi 送信完了割り込み (メールボックス 32~63) [TXMi]

送信完了による CiMCTLj の SENTDATA がセットされた場合、CiMIER1 のメールボックス j に対応するビットが"1"に設定されていると、CiISR の TXMF ビットが"1"になります。CiIER の TXMIE ビットにてメールボックス 32~63 送信完了 (TXM) 割り込みが許可されていると、割り込みコントローラに TXM 割り込みを要求します。

TXM 割り込みをクリアするには TXM 割り込み処理ルーチンにて、CiMCTLj の SENTDATA ビットのクリアを行ってください。CiIER の TXMIE ビットを設定後に禁止に変更する場合、TXM 割り込みが発生しない状態か TXM 割り込み処理ルーチン内で行ってください。CiMIER1[j-32]についても同様です (j=32~63)。

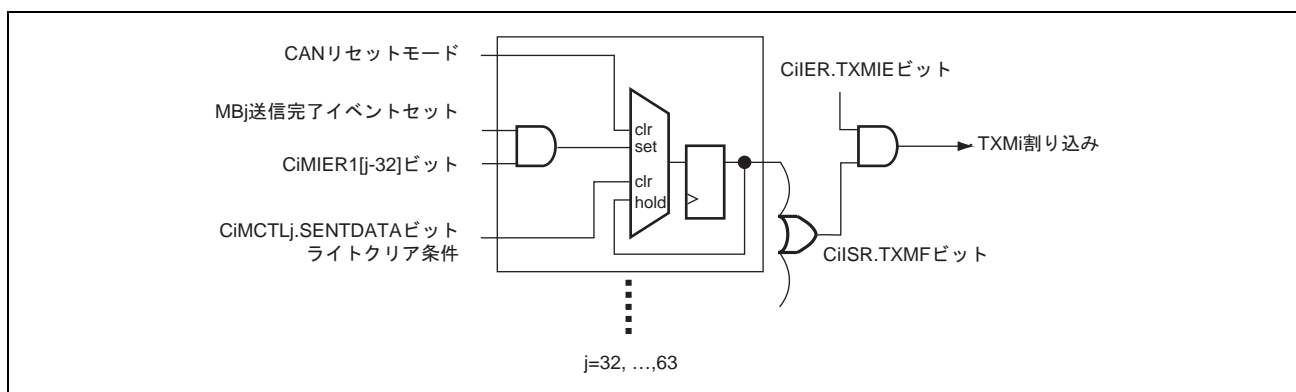


図 26.23 CANi 送信完了割り込み (メールボックス 32~63) [TXMi]のブロック図

### (4) CANi 受信 FIFO 割り込み[RXFj]

CiMIER1[29:28]の設定により、受信 FIFO メッセージ受信またはワーニングによる CiRFCR[6:5]がセットされた場合、CiISR の RXFF ビットが"1"になります。CiIER の RXFIE ビットにて受信 FIFO (RXF) 割り込みが許可されていると、割り込みコントローラに RXF 割り込みを要求します。

RXF 割り込みをクリアするには RXF 割り込み処理ルーチンにて、CiISR の RXFF ビットのクリアを行ってください。CiIER の RXFIE ビットを設定後に禁止に変更する場合、RXF 割り込みが発生しない状態か RXF 割り込み処理ルーチン内で行ってください。CiMIER1[28]についても同様です。

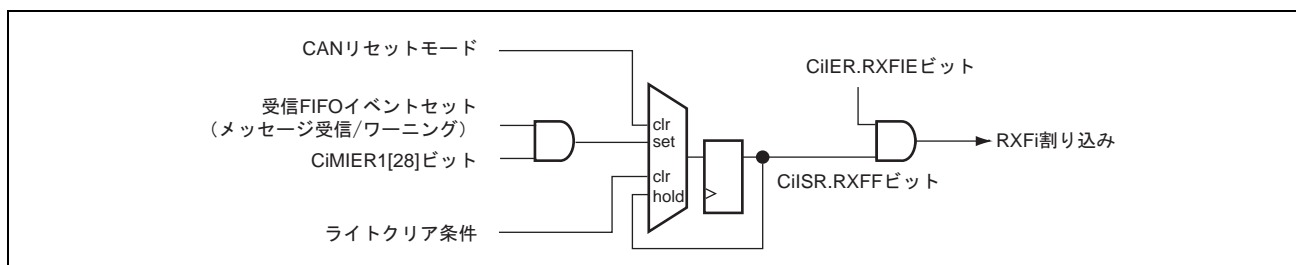


図 26.24 CANi 受信 FIFO 割り込み[RXFj]のブロック図

(5) CANi 送信 FIFO 割り込み[TXFi]

CiMIER1[25:24]の設定により、送信 FIFO メッセージ送信カウン트가所定回数進んだ場合、CiISR の TXFF ビットが"1"になります。CiIER の TXFIE ビットにて送信 FIFO (TXF) 割り込みが許可されていると、割り込みコントローラに TXF 割り込みを要求します。

TXF 割り込みをクリアするには TXF 割り込み処理ルーチンにて、CiISR の TXFF ビットのクリアを行ってください。CiIER の TXFIE ビットを設定後に禁止に変更する場合、TXF 割り込みが発生しない状態か TXF 割り込み処理ルーチン内で行ってください。CiMIER1[24]についても同様です。

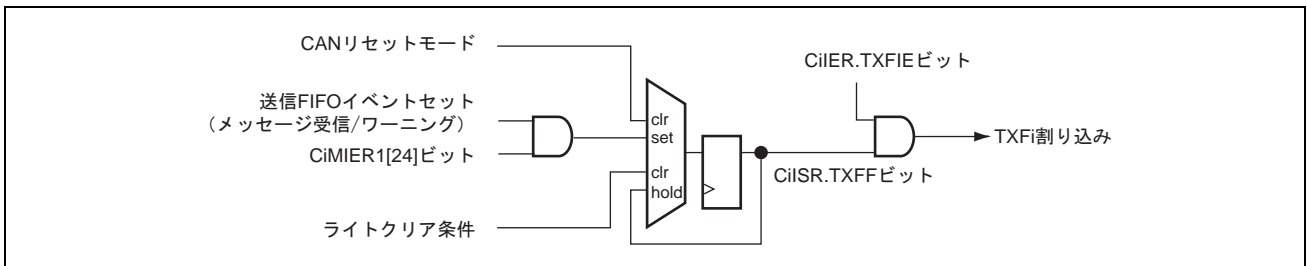


図 26.25 CANi 送信 FIFO 割り込み[TXFi]のブロック図

(6) CANi エラー割り込み[ERSi]

通信エラーにより CiEIFR[j]がセットされた場合、対応する CiEIER[j]が"1"に設定されていると、CiISR の ERSF ビットが"1"になります。CiIER の ERSIE ビットにてエラー (ERS) 割り込みが許可されていると、割り込みコントローラに ERS 割り込みを要求します。

ERS 割り込みをクリアするには ERS 割り込み処理ルーチンにて、CiEIFR[j]の各ビットのクリアを行ってください。CiIER の ERSIE ビットを設定後に禁止に変更する場合、ERS 割り込みが発生しない状態か ERS 割り込み処理ルーチン内で行ってください。CiEIER[j]についても同様です (j=7~0)。

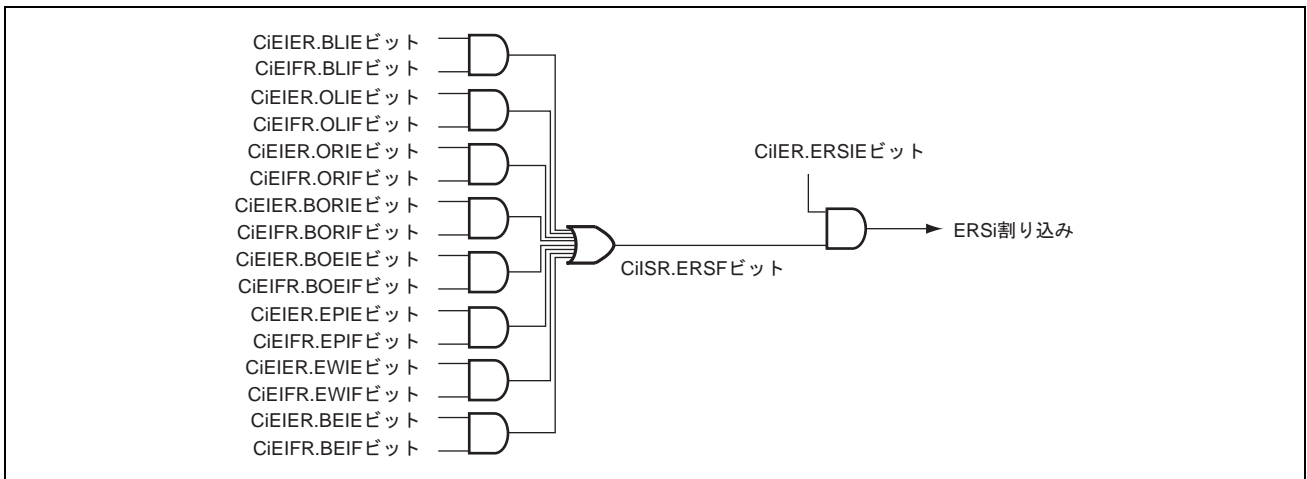


図 26.26 CANi エラー割り込み[ERSi]のブロック図

## 27. A/D 変換器 (ADC)

### 27.1 概要

本MCUは、逐次比較方式の12ビットA/D変換器を内蔵しています。A/D変換器は、独立した2つのモジュール (AD0、AD1) により構成されています。また、ソフトウェアにより最大16チャンネルのアナログ入力を選択できます。なお、本章では、ADiのiとレジスタ名、端子名、および信号名で使用しているiは0および1、mは0、2、4、6、8~15、nは0、1、4、5と規定しています (端子の様子は表27.2を参照してください)。

表27.1にADCの概要を示します。

表 27.1 ADC の概要

項目	概要
分解能	• 12ビット
入力チャンネル	• 16チャンネル AD0: 12チャンネル (AD0INm (m=0、2、4、6、8~15))、AD1: 4チャンネル (AD1INn (n=0、1、4、5))
最小変換時間	• 1チャンネル当たり 1.25 $\mu$ s (Pck=40MHz 動作時、変換ステート=50ステート)
スキャン変換モード	• 2種類 1 サイクルスキャンモード: スキャンを1回だけ実施 連続スキャンモード: スキャンを無制限に繰り返し実施 スキャン変換の対象チャンネルは任意に選択可能で、チャンネル番号の小さい順 (AD0はAD0IN0→AD0IN15、AD1はAD1IN0→AD1IN5) にA/D変換します。
A/D変換値加算モード	同じチャンネルを2~4回連続でA/D変換し、その変換値の合計をA/Dデータレジスタに保持 (AD0IN0、AD0IN2、AD0IN4、AD0IN6、AD1IN0、AD1IN1、AD1IN4、AD1IN5チャンネルのみサポート)
レジスタ	• 16本の12ビットA/Dデータ
サンプル&ホールド機能	サンプル&ホールド回路を各A/D変換器 (AD0、AD1) に内蔵
2種類のスキャン変換の開始	• AD0: ソフトウェア (AD0CSRレジスタのADSTビット) /外部トリガ (AD0TRG#)、ATU-IIISのタイマトリガ (タイマG4) の選択が可能 • AD1: ソフトウェア (AD1CSRレジスタのADSTビット)、ATU-IIISのタイマトリガ (タイマG5) の選択が可能
割り込み変換	スキャン変換とは独立して、ATU-IIISのタイマトリガまたはソフトウェアトリガで要求されたチャンネルを優先的にA/D変換することが可能です。AD0INm、AD1INnがサポートしています。割り込み変換がスキャン変換と競合した場合、スキャン変換でA/D変換しているチャンネルを途中で中断し、割り込み変換が要求されたチャンネルを優先的にA/D変換します。また、割り込み変換終了後、スキャン変換で中断されたチャンネルのA/D変換から再開します。

## 27. A/D 変換器 (ADC)

項目	概要
スキャン変換終了割り込み (ADI) と割り込み変換終了割り込みと DMA 転送機能をサポート	スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求 (AD0I、AD1I) の発生または DMAC の起動が可能です。また、AD0INm、AD1INn の割り込み変換終了時に、割り込み変換終了割り込み要求 (AD0IDm、AD1IDn) の発生または DMAC の起動 (AD0ID0、AD0ID2、AD0ID15) が可能です。
アナログ変換の電圧の範囲を設定可能	AVREFH 端子により、アナログ変換の電圧の範囲を設定可能です。
ADEND 出力	AD0END 端子により、AD0IN0 をスキャン変換で使用する場合の変換タイミングを出力します。
A/D 変換器の自己診断機能	内部で生成する電圧値 (AVREF (AVREFH) × 0、AVREF × 1/2、AVREF × 1) を A/D 変換し、AD0DRD レジスタ、AD1DRD レジスタに A/D 変換値と変換した電圧の情報を返します。その後、ソフトウェアで AD0DRD レジスタ、AD1DRD レジスタを読み出し、A/D 変換値が正常範囲にあるか異常範囲にあるかをソフトウェアで判定し、A/D 変換器の故障を検出します。

図 27.1 に A/D 変換器のブロック図を示します。

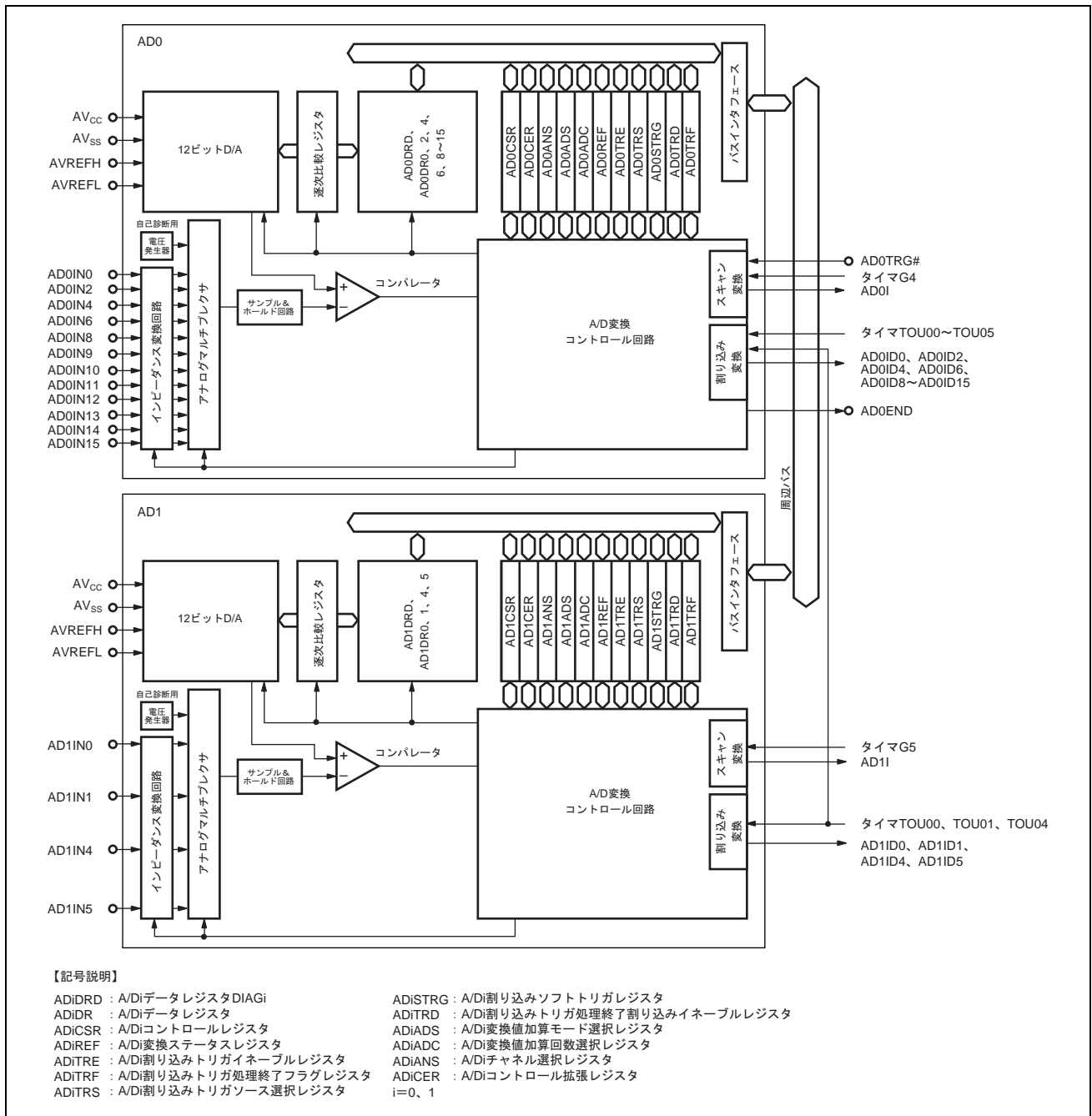


図 27.1 A/D 変換器のブロック図

## 27.2 入出力端子

表 27.2 に A/D 変換器の端子構成を示します。

MCU の信頼性確保のため、A/D 変換器を使用するときは、AVcc、AVss と Vcc、Vss との関係には注意が必要です。詳細は、「27.8 使用上の注意事項」を参照してください。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 27.2 端子構成

端子名	入出力	機能
AVcc	入力	アナログ部の電源端子
AVss	入力	アナログ部のグランド端子
AVREFL	入力	アナログ部の基準電圧端子 (AVREFL<AVREFH)
AVREFH	入力	アナログ部の基準電圧端子 (AVREFL<AVREFH)
AD0IN0	入力	AD0 アナログ入力端子 0
AD0IN2	入力	AD0 アナログ入力端子 2
AD0IN4	入力	AD0 アナログ入力端子 4
AD0IN6	入力	AD0 アナログ入力端子 6
AD0IN8	入力	AD0 アナログ入力端子 8
AD0IN9	入力	AD0 アナログ入力端子 9
AD0IN10	入力	AD0 アナログ入力端子 10
AD0IN11	入力	AD0 アナログ入力端子 11
AD0IN12	入力	AD0 アナログ入力端子 12
AD0IN13	入力	AD0 アナログ入力端子 13
AD0IN14	入力	AD0 アナログ入力端子 14
AD0IN15	入力	AD0 アナログ入力端子 15
AD1IN0	入力	AD1 アナログ入力端子 0
AD1IN1	入力	AD1 アナログ入力端子 1
AD1IN4	入力	AD1 アナログ入力端子 4
AD1IN5	入力	AD1 アナログ入力端子 5
AD0TRG#	入力	AD0 のスキャン変換起動トリガ入力端子
AD0END	出力	AD0 の AD0IN0 の変換タイミングモニタ出力端子

27.3 チャンネル別割り当て機能一覧表

表 27.3 に、チャンネル別割り当て機能一覧を示します。

表 27.3 チャンネル別割り当て機能一覧表

A/D変換器		A/D変換時間(1チャンネル当たり)		スキャン変換										割り込み変換																							
				自己診断 (内部生成電圧) または 端子名		A/D変換チャンネル		起動トリガ		自己診断選択または チャンネル選択		スキャン変換モード		DMA転送機能(DMAC)		終了フラグ(1スキャン終了)		A/D変換値の格納レジスタ		A/D変換増加算モード		A/D変換タイミニングモニタ端子(AD0END)		起動トリガ		DMA転送要求信号		DMA転送機能		イーネープル (チャンネル選択)		トリガソース選択		終了フラグ		終了割り込み イーネープル	
				略称		ソース1	ソース2	ソース3	ADICER または ADIAN5	ATU-III5	スキャン変換モード	終了割り込み兼DMA転送要求信号	DMA転送機能(DMAC)	終了フラグ(1スキャン終了)	ADデータレジスタ (A/D変換値の格納レジスタ)	ADIADS	AD変換タイミニングモニタ端子(AD0END)	ソース1	ソース2	ソース3	終了割り込み兼DMA転送要求信号	DMAC	イーネープル (チャンネル選択)	トリガソース選択	終了フラグ	終了割り込み イーネープル											
				ソフト	ハード	ATU-III5	ADICER または ADIAN5	スキャン変換モード	終了割り込み兼DMA転送要求信号	DMA転送機能(DMAC)	終了フラグ(1スキャン終了)	A/Dデータレジスタ (A/D変換値の格納レジスタ)	ADIADS	AD変換タイミニングモニタ端子(AD0END)	ソース1	ソース2	ソース3	終了割り込み兼DMA転送要求信号	DMAC	イーネープル (チャンネル選択)	トリガソース選択	終了フラグ	終了割り込み イーネープル														
A/D変換器0(AD0)	1.25μs	自己診断0	DIAG0			ADICER	ATU-III5	スキャン変換モード	終了割り込み兼DMA転送要求信号	DMA転送機能(DMAC)	終了フラグ(1スキャン終了)	AD0DRD	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x						
		AD0アナログ入力端子0	AD0IN0			AD0ANS0	AD0ANS1					AD0DR0	AD0ADS0	○	タイマTOU00	タイマTOU00	AD0STRG0	AD0ID0	○	AD0TRGE0	AD0TRS0	AD0TF0	AD0IDE0														
		AD0アナログ入力端子2	AD0IN2			AD0ANS2	AD0ANS3					AD0DR2	AD0ADS2	x	タイマTOU00	タイマTOU02	AD0STRG2	AD0ID2	○	AD0TRGE2	AD0TRS2	AD0TF2	AD0IDE2														
		AD0アナログ入力端子4	AD0IN4			AD0ANS4	AD0ANS5					AD0DR4	AD0ADS4	x	タイマTOU01	タイマTOU04	AD0STRG4	AD0ID4	x	AD0TRGE4	AD0TRS4	AD0TF4	AD0IDE4														
		AD0アナログ入力端子6	AD0IN6			AD0ANS6	AD0ANS7					AD0DR6	AD0ADS6	x	タイマTOU02	タイマTOU04	AD0STRG6	AD0ID6	x	AD0TRGE6	AD0TRS6	AD0TF6	AD0IDE6														
		AD0アナログ入力端子8	AD0IN8			AD0ANS8	AD0ANS9					AD0DR8	x	x	タイマTOU03	タイマTOU05	AD0STRG8	AD0ID8	x	AD0TRGE8	AD0TRS8	AD0TF8	AD0IDE8														
		AD0アナログ入力端子9	AD0IN9			AD0ANS9	AD0ANS10					AD0DR9	x	x	タイマTOU03	タイマTOU05	AD0STRG9	AD0ID9	x	AD0TRGE9	AD0TRS9	AD0TF9	AD0IDE9														
		AD0アナログ入力端子10	AD0IN10			AD0ANS10	AD0ANS11					AD0DR10	x	x	タイマTOU04	タイマTOU05	AD0STRG10	AD0ID10	x	AD0TRGE10	AD0TRS10	AD0TF10	AD0IDE10														
		AD0アナログ入力端子11	AD0IN11			AD0ANS11	AD0ANS12					AD0DR11	x	x	タイマTOU04	タイマTOU05	AD0STRG11	AD0ID11	x	AD0TRGE11	AD0TRS11	AD0TF11	AD0IDE11														
		AD0アナログ入力端子12	AD0IN12			AD0ANS12	AD0ANS13					AD0DR12	x	x	タイマTOU05	タイマTOU05	AD0STRG12	AD0ID12	x	AD0TRGE12	AD0TRS12	AD0TF12	AD0IDE12														
		AD0アナログ入力端子13	AD0IN13			AD0ANS13	AD0ANS14					AD0DR13	x	x	タイマTOU05	タイマTOU05	AD0STRG13	AD0ID13	x	AD0TRGE13	AD0TRS13	AD0TF13	AD0IDE13														
		AD0アナログ入力端子14	AD0IN14			AD0ANS14	AD0ANS15					AD0DR14	x	x	タイマTOU05	タイマTOU05	AD0STRG14	AD0ID14	x	AD0TRGE14	AD0TRS14	AD0TF14	AD0IDE14														
		AD0アナログ入力端子15	AD0IN15			AD0ANS15						AD0DR15	x	x	タイマTOU05	タイマTOU05	AD0STRG15	AD0ID15	○	AD0TRGE15	AD0TRS15	AD0TF15	AD0IDE15														
		A/D変換器1(AD1)	1.25μs	自己診断1	DIAG1			ADICER	ATU-III5	スキャン変換モード	終了割り込み兼DMA転送要求信号	DMA転送機能(DMAC)	終了フラグ(1スキャン終了)	AD1DRD	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
				AD1アナログ入力端子0	AD1IN0			AD1ANS0	AD1ANS1					AD1DR0	AD1ADS0	x	タイマTOU00	タイマTOU00	AD1STRG0	AD1ID0	x	AD1TRGE0	AD1TRS0	AD1TF0	AD1IDE0												
				AD1アナログ入力端子1	AD1IN1			AD1ANS1	AD1ANS2					AD1DR1	AD1ADS1	x	タイマTOU00	タイマTOU01	AD1STRG1	AD1ID1	x	AD1TRGE1	AD1TRS1	AD1TF1	AD1IDE1												
AD1アナログ入力端子4	AD1IN4					AD1ANS4	AD1ANS5					AD1DR4	AD1ADS4	x	タイマTOU01	タイマTOU04	AD1STRG4	AD1ID4	x	AD1TRGE4	AD1TRS4	AD1TF4	AD1IDE4														
AD1アナログ入力端子5	AD1IN5					AD1ANS5						AD1DR5	AD1ADS5	x	タイマTOU01	タイマTOU04	AD1STRG5	AD1ID5	x	AD1TRGE5	AD1TRS5	AD1TF5	AD1IDE5														



## 27. A/D 変換器 (ADC)

### 27.4 レジスタの説明

表 27.4 に A/D 変換器のレジスタ構成を示します。

表 27.4 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ*1	掲載 ページ
A/D0 データレジスタ DIAG0	AD0DRD	H'0000	H'FFFF 403E	16	27-11
A/D0 データレジスタ 0	AD0DR0	H'0000	H'FFFF 4040	16	27-8
A/D0 データレジスタ 2	AD0DR2	H'0000	H'FFFF 4044	16	27-8
A/D0 データレジスタ 4	AD0DR4	H'0000	H'FFFF 4048	16	27-8
A/D0 データレジスタ 6	AD0DR6	H'0000	H'FFFF 404C	16	27-8
A/D0 データレジスタ 8	AD0DR8	H'0000	H'FFFF 4050	16	27-10
A/D0 データレジスタ 9	AD0DR9	H'0000	H'FFFF 4052	16	27-10
A/D0 データレジスタ 10	AD0DR10	H'0000	H'FFFF 4054	16	27-10
A/D0 データレジスタ 11	AD0DR11	H'0000	H'FFFF 4056	16	27-10
A/D0 データレジスタ 12	AD0DR12	H'0000	H'FFFF 4058	16	27-10
A/D0 データレジスタ 13	AD0DR13	H'0000	H'FFFF 405A	16	27-10
A/D0 データレジスタ 14	AD0DR14	H'0000	H'FFFF 405C	16	27-10
A/D0 データレジスタ 15	AD0DR15	H'0000	H'FFFF 405E	16	27-10
A/D1 データレジスタ DIAG1	AD1DRD	H'0000	H'FFFF 443E	16	27-11
A/D1 データレジスタ 0	AD1DR0	H'0000	H'FFFF 4440	16	27-8
A/D1 データレジスタ 1	AD1DR1	H'0000	H'FFFF 4442	16	27-8
A/D1 データレジスタ 4	AD1DR4	H'0000	H'FFFF 4448	16	27-8
A/D1 データレジスタ 5	AD1DR5	H'0000	H'FFFF 444A	16	27-8
A/D0 コントロールレジスタ	AD0CSR	H'00	H'FFFF 4000	8	27-13
A/D1 コントロールレジスタ	AD1CSR	H'00	H'FFFF 4400	8	27-13
A/D0 変換ステータスレジスタ	AD0REF	H'00	H'FFFF 4002	8	27-20
A/D1 変換ステータスレジスタ	AD1REF	H'00	H'FFFF 4402	8	27-20
A/D0 割り込みトリガイネーブルレジスタ	AD0TRE	H'0000	H'FFFF 4004	8、16	27-26
A/D1 割り込みトリガイネーブルレジスタ	AD1TRE	H'00	H'FFFF 4410	8	27-27
A/D0 割り込みトリガ処理終了フラグレジスタ	AD0TRF	H'0000	H'FFFF 4006	8、16	27-32
A/D1 割り込みトリガ処理終了フラグレジスタ	AD1TRF	H'00	H'FFFF 4412	8	27-34
A/D0 割り込みトリガソース選択レジスタ	AD0TRS	H'0000	H'FFFF 4008	8、16	27-28
A/D1 割り込みトリガソース選択レジスタ	AD1TRS	H'00	H'FFFF 4414	8	27-29
A/D0 割り込みソフトトリガレジスタ	AD0STRG	H'0000	H'FFFF 400A	8、16	27-30
A/D1 割り込みソフトトリガレジスタ	AD1STRG	H'00	H'FFFF 4416	8	27-31
A/D0 割り込みトリガ処理終了割り込み イネーブルレジスタ	AD0TRD	H'0000	H'FFFF 400C	8、16	27-35

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ*1	掲載 ページ
A/D1 割り込みトリガ処理終了割り込み イネーブルレジスタ	AD1TRD	H'00	H'FFFF 4418	8	27-36
A/D0 変換値加算モード選択レジスタ	AD0ADS	H'00	H'FFFF 401C	8	27-22
A/D1 変換値加算モード選択レジスタ	AD1ADS	H'00	H'FFFF 441C	8	27-23
A/D0 変換値加算回数選択レジスタ	AD0ADC	H'00	H'FFFF 401E	8	27-25
A/D1 変換値加算回数選択レジスタ	AD1ADC	H'00	H'FFFF 441E	8	27-25
A/D0 チャンネル選択レジスタ	AD0ANS	H'0000	H'FFFF 4020	8、16	27-18
A/D1 チャンネル選択レジスタ	AD1ANS	H'0000	H'FFFF 4420	8、16	27-19
A/D0 コントロール拡張レジスタ	AD0CER	H'0000	H'FFFF 4030	8、16	27-16
A/D1 コントロール拡張レジスタ	AD1CER	H'0000	H'FFFF 4430	8、16	27-16

【注】 \*1 16 ビットアクセスはワード境界のみ可能です。

- ・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 27.4.1 A/D0 データレジスタ m、DIAG0 (AD0DRm、AD0DRD) A/D1 データレジスタ n、DIAG1 (AD1DRn、AD1DRD)

AD0DRm、AD1DRn レジスタは、AD0INm、AD1INn を A/D 変換した結果を格納する読み出し専用レジスタです。レジスタの読み出しは、必ずワード単位で行ってください。AD0DRm レジスタと AD0INm、AD1DRn レジスタと AD1INn の対応については表 27.3 を参照してください。AD0DRD、AD1DRD レジスタは、A/D0、A/D1 の自己診断で A/D 変換した結果を格納する読み出し専用レジスタです。レジスタの読み出しは、必ずワード単位で行ってください。

AD0DRm、AD1DRn、AD0DRD、AD1DRD レジスタは、A/D データレジスタフォーマット選択ビット (ADRFMT) および A/D 変換値加算チャンネル選択ビット (AD0ADS0~7、AD1ADS0~7) の設定値によってフォーマットが異なります。ただし、A/D 変換値加算モードは、AD0DR0、2、4、6、AD1DR0、1、4、5 のみ設定できます。なお、AD0DRD、AD1DRD には、自己診断のステータスビットが付加されます。

- (1) A/D0 データレジスタ 0、2、4、6、A/D1 データレジスタ 0、1、4、5 (AD0DR0、2、4、6、AD1DR0、1、4、5)

A/D 変換値加算モードに設定していないときは、A/D コントロール拡張レジスタの ADRFMT ビットの設定により、左詰めまたは右詰めフォーマットのいずれかを設定できます。このとき、AD11~AD0 ビットは 12 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読み出すと常に"0"が読み出されます。

A/D 変換値加算モードに設定したときは、ADRFMT ビットの設定は無効となります。このとき、AD13~AD0 ビットは A/D 変換値加算モード時の全変換値を加算した値を示します。それ以外のビットは予約ビットです。読み出すと常に"0"が読み出されます。

A/D 変換値加算モードを選択したチャンネルに対しての最小値と最大値を次に示します。

1回変換時 :  $H'0000 \leq AD0DR0、2、4、6、AD1DR0、1、4、5 \leq H'3FFC$

2回変換時 :  $H'0000 \leq AD0DR0、2、4、6、AD1DR0、1、4、5 \leq H'7FF8$

3回変換時 :  $H'0000 \leq AD0DR0、2、4、6、AD1DR0、1、4、5 \leq H'BFF4$

4回変換時 :  $H'0000 \leq AD0DR0、2、4、6、AD1DR0、1、4、5 \leq H'FFF0$

- A/D変換値加算モードに設定していないとき

A/D0データレジスタ0 (AD0DR0)	<P4領域アドレス : H'FFFF 4040番地>
A/D0データレジスタ2 (AD0DR2)	<P4領域アドレス : H'FFFF 4044番地>
A/D0データレジスタ4 (AD0DR4)	<P4領域アドレス : H'FFFF 4048番地>
A/D0データレジスタ6 (AD0DR6)	<P4領域アドレス : H'FFFF 404C番地>
A/D1データレジスタ0 (AD1DR0)	<P4領域アドレス : H'FFFF 4440番地>
A/D1データレジスタ1 (AD1DR1)	<P4領域アドレス : H'FFFF 4442番地>
A/D1データレジスタ4 (AD1DR4)	<P4領域アドレス : H'FFFF 4448番地>
A/D1データレジスタ5 (AD1DR5)	<P4領域アドレス : H'FFFF 444A番地>

・左詰めフォーマットに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~4	AD11~AD0	すべて0	R	-	12ビットのA/D変換値
3~0	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。

・右詰めフォーマットに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。
11~0	AD11~AD0	すべて0	R	-	12ビットのA/D変換値

- A/D変換値加算モードに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~2	AD13~AD0	すべて0	R	-	A/D変換値加算モード時の全変換値を加算した値
1、0	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。

## 27. A/D 変換器 (ADC)

### (2) A/D0 データレジスタ 8~15 (AD0DR8~15)

AD0CER レジスタの ADRFMT ビットの設定により、左詰めまたは右詰めのフォーマットのいずれかを設定できます。このとき、AD11~AD0 ビットは 12 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読み出すと常に"0"が読み出されます。なお、AD0DR8~15 レジスタは、A/D 変換値加算モードに設定することはできません。

A/D0データレジスタ8~15 (AD0DR8~15)

<P4領域アドレス : H'FFFF 4050~H'FFFF 405E番地>

・左詰めフォーマットに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~4	AD11~AD0	すべて0	R	-	12 ビットの A/D 変換値
3~0	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。

・右詰めフォーマットに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。
11~0	AD11~AD0	すべて0	R	-	12 ビットの A/D 変換値

## (3) A/D0 データレジスタ DIAG0、A/D1 データレジスタ DIAG1 (AD0DRD、AD1DRD)

ADiCER レジスタの ADRFMT ビットの設定により、左詰めまたは右詰めフォーマットのどちらかを設定できます。このとき、AD11~0 ビットは 12 ビットの変換値を示します。また、自己診断のステータスビット (DIAGST) が付加されます。それ以外のビットは予約ビットです。読み出すと常に"0"が読み出されます。なお、AD0DRD、AD1DRD レジスタは、A/D 変換値加算モードに設定することはできません。

A/D0 データレジスタ DIAG0 (AD0DRD)  
A/D1 データレジスタ DIAG1 (AD1DRD)

<P4 領域アドレス : H'FFFF 403E 番地>  
<P4 領域アドレス : H'FFFF 443E 番地>

・左詰めフォーマットに設定したとき

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	DIAGST	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~4	AD11~AD0	すべて 0	R	-	12 ビットの A/D 変換値
3、2	—	すべて 0	0	-	予約ビット 読み出すと常に"0"が読み出されます。
1、0	DIAGST	すべて 0	R	-	自己診断ステータス 自己診断の変換電圧を示します。自己診断の詳細は「27.4.3 A/Di コントロール拡張レジスタ (ADiCER)」を参照してください。 00: ハードウェアリセットから 1 度も自己診断を実施していないことを示す 01: AVREF×0 の電圧値の自己診断を実施したことを示す 10: AVREF×1/2 の電圧値の自己診断を実施したことを示す 11: AVREF×1 の電圧値の自己診断を実施したことを示す

## 27. A/D 変換器 (ADC)

・右詰めフォーマットに設定したとき

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DIAGST	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15、14	DIAGST	すべて0	R	-	自己診断ステータス 自己診断の変換電圧を示します。自己診断の詳細は「27.4.3 A/Di コントロール拡張レジスタ (ADiCER)」を参照してください。 00:ハードウェアリセットから1度も自己診断を実施していないことを示す 01: AVREF×0の電圧値の自己診断を実施したことを示す 10: AVREF×1/2の電圧値の自己診断を実施したことを示す 11: AVREF×1の電圧値の自己診断を実施したことを示す
13、12	—	すべて0	0	-	予約ビット 読み出すと常に"0"が読み出されます。
11~0	AD11~AD0	すべて0	R	-	12ビットのA/D変換値

## 27.4.2 A/Di コントロールレジスタ (ADiCSR)

ADiCSR レジスタは、スキャン変換モードなどを設定するためのレジスタです。

A/D0コントロールレジスタ (AD0CSR)

<P4領域アドレス : H'FFFF 4000番地>

A/D1コントロールレジスタ (AD1CSR)

<P4領域アドレス : H'FFFF 4400番地>

ビット :	7	6	5	4	3	2	1	0
	ADST	ADCS	—	ADIE	—	—	TRGE	EXTRG

リセット後の値 : 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	ADST	0	R	W	<p>スキャン変換開始ビット</p> <p>スキャン変換の開始/停止を制御します。</p> <p>ADST ビットを"0"の状態から"1"にセットすると、ADST ビットの立ち上がりエッジを検出してスキャン変換を開始します。ADST ビットを"1"の状態から"0"にクリアすると、ADST ビットの立ち下がりエッジを検出してスキャン変換を停止します。また、ADST ビットは割り込み変換には影響しません。スキャン変換が実施されていることを確認するには、ADiREF レジスタの ADSCACT ビットを読み出してください。</p> <p>0 : スキャン変換停止 1 : スキャン変換開始</p>
6	ADCS	0	R	W	<p>スキャン変換モード選択ビット</p> <p>スキャン変換のモードを選択します。なお、誤動作を防ぐため、ADCS ビットの切り替えは、必ず ADiREF レジスタの ADSCACT ビットが"0"の状態で行ってください。</p> <p>1 サイクルスキャンモードは、スキャンを 1 回実施し、終了するとスキャン変換を停止します。連続スキャンモードは、無制限にスキャンを繰り返します。ADST ビットが"1"の状態では"0"を書き込むとスキャン変換を停止できます。スキャン変換は、AD0 は AD0IN0→AD0IN15 のチャンネル番号の小さい順に変換し、AD1 は AD1IN0→AD1IN5 のチャンネル番号の小さい順に変換を実施します。連続スキャンモードの場合、選択されたすべてのチャンネルの変換が終了すると、最初のチャンネルに戻ります。</p> <p>0 : 1 サイクルスキャンモード 1 : 連続スキャンモード</p>
5	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>



## 27. A/D 変換器 (ADC)

ビット	シンボル	リセット後の値	R	W	説明
4	ADIE	0	R	W	<p>インタラプトイネーブルビット</p> <p>A/D スキャン変換終了割り込み (ADI) の発生を許可/禁止します。なお、誤動作を防ぐため、ADIE ビットの切り替えは、必ず ADiREF レジスタの ADSCACT ビットが"0"の状態で行ってください。</p> <p>スキャン変換の各スキャンが終了して ADiREF レジスタの ADF ビットが"1"にセットされたとき、ADIE ビットが"1"にセットされていると ADI 割り込みが発生します。ADF ビットを"0"にクリアするか、ADIE ビットを"0"にクリアすることで、ADI 割り込みのクリアが可能です。</p> <p>0: スキャン終了後の ADI 割り込み発生禁止 1: スキャン終了後の ADI 割り込み発生許可</p>
3、2	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
1	TRGE	0	R	W	<p>トリガイネーブルビット</p> <p>外部トリガ (AD0TGR) または ATU-IIIS のタイマトリガ (AD0 はタイマ G4、AD1 はタイマ G5) によるスキャン変換の起動を許可/禁止します。</p> <p>0: 外部トリガまたは ATU-IIIS のタイマトリガによるスキャン変換の起動を禁止 1: 外部トリガまたは ATU-IIIS のタイマトリガによるスキャン変換の起動を許可</p>
0	EXTRG	0	R	W	<p>トリガ選択ビット</p> <p>スキャン変換のトリガソースを選択します。トリガソースとして外部トリガ (AD0TGR) または ATU-IIIS のタイマトリガ (AD0 はタイマ G4、AD1 はタイマ G5) のどちらかを選択します。</p> <p>0: ATU-IIIS のタイマトリガによるスキャン変換の起動 1: 外部トリガによるスキャン変換の起動</p> <p>【注】・AD1CSR レジスタでは常に"0"を書き込んでください。</p>

【注】・AD0 と AD1 のスキャン変換を同時に起動する方法。

AD0、AD1 の TRGE ビットに"1"、EXTRG ビットに"0"を設定し、ATU-IIIS のタイマ G4 トリガおよびタイマ G5 トリガを同時に入れると、AD0、AD1 のスキャン変換を同時に起動できます。タイマ G の詳細については「第 21 章 アドバンスドタイムユニット-IIIS (ATU-IIIS)」を参照してください。

・AD0 と AD1 のスキャン変換の開始タイミングを変えて起動する方法。

AD0、AD1 の TRGE ビットに"1"、EXTRG ビットに"0"を設定し、ATU-IIIS のタイマ G4 トリガとタイマ G5 トリガのタイミングの与え方を変えると、AD0、AD1 の開始タイミングを変えて起動できます。タイマ G の詳細については「第 21 章 アドバンスドタイムユニット-IIIS (ATU-IIIS)」を参照してください。

・割り込み変換とスキャン変換を同時に起動する方法。

AD0 の TRGE ビットに"1"、EXTRG ビットに"0"を設定し、AD0TRE レジスタの AD0TRGE4 ビットに"1"、AD0TRGE6 ビットに"1"を設定して、ATU-IIIS のタイマ G4 トリガとタイマ TOU01 トリガを同時に入れると、AD0 は AD0IN4 の割り込み変換→AD0IN6 の割り込み変換→スキャン変換の順番に実施します。スキャン変換のみ実施したい場合は、AD0TRGE4 ビット、AD0TRGE6 ビットのどちらも"0"にしてください。AD0IN4、AD0IN6 のどちらか 1 チャンネルの

みの割り込み変換も実施できます。ATU-IIIS のタイマ G5 トリガとタイマ TOUT01 トリガで AD1 のスキャン変換、AD1IN4 の割り込み変換の組み合わせでも同様な動作ができます。

- ・ 外部トリガでスキャン変換を起動する方法。

外部トリガ端子 (AD0TRG#) に "H" レベルを入力した状態で、TRGE ビットに "1"、EXTRG ビットに "1" を設定します。その後、AD0TRG# 端子に "L" レベルのパルスを入力すると、AD0 はパルスの立ち下がりエッジを検出し、スキャン変換を開始します。このときの "L" パルス幅は、1.5Pck クロック以上である必要があります。また、"H" パルスの必要な幅は、ADICER レジスタの CKS ビットの設定によって異なります。

CKS="0" 時 : 2Pck クロック以上

CKS="1" 時 : 4Pck クロック以上

- ・ ADST ビット、外部トリガ、ATU-IIIS のタイマトリガによらずスキャン変換の起動は、ADiREF レジスタの ADSCACT ビットが "0" の状態であるときに有効です。スキャン変換の起動要因は保持されません。
- ・ ATU-IIIS のタイマトリガによるスキャン変換の起動周期および割り込み変換の起動周期について、スキャン変換時間 (たとえば、1 チャネルを変換する場合、CKS ビットが "0" のとき 56 ステート、CKS ビットが "1" のとき 112 ステート) および割り込み変換時間 (たとえば、1 トリガソースで 1 チャネルを変換する場合、CKS ビットが "0" のとき 50 ステート、CKS ビットが "1" のとき 100 ステート) を超えるように ATU-IIIS のタイマトリガ周期を設定してください。タイマトリガ周期の詳細な設定は、「第 21 章 アドバンスドタイマユニット-IIIS (ATU-IIIS)」を参照してください。

## 27. A/D 変換器 (ADC)

### 27.4.3 A/Di コントロール拡張レジスタ (ADiCER)

ADiCER レジスタは、自己診断モードやデータフォーマット、クロック選択など設定するためのレジスタです。

A/D0コントロール拡張レジスタ (AD0CER)

<P4領域アドレス : H'FFFF 4030番地>

A/D1コントロール拡張レジスタ (AD1CER)

<P4領域アドレス : H'FFFF 4430番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR FMT	—	—	—	DIAG M	DIAG LD	DIAGVAL	CKS	—	—	—	—	—	—	—	IT TRGS
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15	ADRFMT	0	R	W	A/D データレジスタフォーマット選択ビット A/D 変換値加算モードが選択されているチャンネルに対応する A/D データレジスタのフォーマットは、ADRFMT ビットによらず左詰めに固定です。A/D データレジスタのフォーマットの詳細は、「27.4.1 A/D0 データレジスタ m、DIAG0 (AD0DRm、AD0DRD) A/D1 データレジスタ n、DIAG1 (AD1DRn、AD1DRD)」を参照してください。 0 : A/D データレジスタのフォーマットを左詰めにする 1 : A/D データレジスタのフォーマットを右詰めにする
14~12	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	DIAGM	0	R	W	自己診断イネーブルビット 自己診断は、A/D 変換器 (AD0、AD1) の故障を検出するための機能です。内部で生成する AVREF (AVREFH) × 0、AVREF × 1/2、AVREF × 1 の 3 つの電圧値を AD0、AD1 で変換します。その後、ソフトウェアで AD0DRD、AD1DRD を読み出し、変換値が正常の範囲である (正常) か正常の範囲ではない (異常) かを判断します。 自己診断は、スキャン変換にて最も小さいチャンネルを変換する前に実施されます。自己診断の実行時間は、1 チャンネルの A/D 変換時間と同じです。なお、誤動作を防ぐため、DIAGM ビットの切り替えは、必ず ADiREF レジスタの ADSCACT ビットが"0"の状態で行ってください。 0 : A/D 変換器の自己診断を実施しない 1 : A/D 変換器の自己診断を実施する

ビット	シンボル	リセット後の値	R	W	説明
10	DIAGLD	0	R	W	<p>自己診断モード選択ビット</p> <p>自己診断で変換する3つの電圧値をローテーションするか固定するかを選択します。DIAGLD ビットを"0"に設定すると、AVREF×0→AVREF×1/2→AVREF×1の順番に電圧値をローテーションして変換していきます。ハードウェアリセットでAVREF×0から自己診断を行った場合、スキャン変換が終了してもAVREF×0に戻らず、再びスキャン変換を実施すると、前回の続きからローテーションします。DIAGLD ビットを"1"に設定すると、ADiCER レジスタのDIAGVAL ビットで選択した電圧に固定して変換します（自動ローテーションを行いません）。また、再度、DIAGLD ビットを"0"に設定すると、固定した電圧値からローテーションを開始します（ロード機能）。</p> <p>0：自己診断は自動的にローテーションして実施する 1：自己診断はDIAGVAL ビットの設定に固定して実施する</p>
9、8	DIAGVAL	00	R	W	<p>自己診断電圧選択ビット</p> <p>詳細はDIAGLD ビットの説明を参照してください。また、本ビットの値が"B'00"の状態ではDIAGLD ビットを"1"に設定して、自己診断を実施しないでください。</p> <p>00：予約 01：AVREF×0の電圧値の自己診断を実施する 10：AVREF×1/2の電圧値の自己診断を実施する 11：AVREF×1の電圧値の自己診断を実施する</p>
7	CKS	0	R	W	<p>クロック選択ビット</p> <p>A/D 変換時間を選択します。誤動作を防ぐためCKS ビットの切り替えは、必ずADiREF レジスタのADSCACT ビットとADITACT ビットの値がどちらも"0"の状態で行ってください。</p> <p>0：A/D 変換時間=50 ステート（Pck 換算） 1：A/D 変換時間=100 ステート（Pck 換算）</p>
6~1	—	すべて0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
0	ITTRGS	0	R	W	<p>割り込み変換トリガソース選択拡張ビット</p> <p>AD0INm、AD1INnの割り込み変換トリガソースをソース1のタイマにするかソース2のタイマにするかを選択します。ITTRGS ビットは、ADiTRE レジスタのAD0TRGEm、AD1TRGEn ビットが"1"、ADiTRS レジスタのAD0TRSm、AD1TRSn ビットが"0"のときのみ有効です。表 27.3 を参照してください。</p> <p>0：ソース1のタイマのトリガによるAD0INm、AD1INnの割り込み変換の起動 1：ソース2のタイマのトリガによるAD0INm、AD1INnの割り込み変換の起動</p>

【記号説明】 m=0、2、4、6、8~15、n=0、1、4、5

### 27.4.4 A/Di チャンネル選択レジスタ (ADiANS)

ADiANS レジスタは、スキャン変換で変換するチャンネルを選択するレジスタです。

誤動作を防ぐために、ADiANS レジスタの変更は、必ず ADiREF レジスタの ADSCACT ビットが"0"の状態  
で実施してください。

- 【注】・ ADiANS レジスタは、スキャン変換のチャンネルを選択するレジスタであり、割り込み変換のチャンネルの選択とは関係がありません。割り込み変換のチャンネルの選択は、ADITRE レジスタで選択します。  
また、ADiANS レジスタと ADITRE レジスタの両方で選択されたチャンネルは、スキャン変換と割り込み変換の両方で実施されます。さらに、ADITRE レジスタでのみ選択されたチャンネルは、スキャン変換の対象から外れ、割り込み変換でのみ実施されます。

#### (1) A/D0 チャンネル選択レジスタ (AD0ANS)

A/D0チャンネル選択レジスタ (AD0ANS)

<P4領域アドレス : H'FFFF 4020番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD0 ANS15	AD0 ANS14	AD0 ANS13	AD0 ANS12	AD0 ANS11	AD0 ANS10	AD0 ANS9	AD0 ANS8	AD0 ANS7	AD0 ANS6	AD0 ANS5	AD0 ANS4	AD0 ANS3	AD0 ANS2	AD0 ANS1	AD0 ANS0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	AD0ANS15 ~AD0ANS0	すべて 0	R	W	AD0ANSm ビットを"1"に選択することにより AD0INm が選択されます。 AD0INm と AD0ANSn ビットの対応については表 27.3 を参照してください。 0 : AD0INm の非選択 1 : AD0INm の選択

【注】・ AD0INm (m=1、3、5、7) には"0"を設定してください。

【記号説明】 m=0~15

## (2) A/D1 チャンネル選択レジスタ (AD1ANS)

A/D1チャンネル選択レジスタ (AD1ANS)

&lt;P4領域アドレス : H'FFFF 4420番地&gt;

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0

—	—	—	—	—	—	—	—	—	AD1 ANS7	AD1 ANS6	AD1 ANS5	AD1 ANS4	AD1 ANS3	AD1 ANS2	AD1 ANS1	AD1 ANS0
---	---	---	---	---	---	---	---	---	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------

リセット後の値:    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7~0	AD1ANS7 ~ AD1ANS0	すべて0	R	W	AD1ANSn ビットを"1"に選択することにより AD1INn が選択されます。 AD1INn と AD1ANSn ビットの対応については表 27.3 を参照してください。 0 : AD1INn の非選択 1 : AD1INn の選択

【注】・ AD1INn (n=2、3、6、7) には"0"を設定してください。

【記号説明】 n=0~7

## 27. A/D 変換器 (ADC)

### 27.4.5 A/Di 変換ステータスレジスタ (ADiREF)

ADiREF レジスタは、A/D 変換器の状態を示すレジスタです。

A/D0変換ステータスレジスタ (AD0REF)

<P4領域アドレス : H'FFFF 4002番地>

A/D1変換ステータスレジスタ (AD1REF)

<P4領域アドレス : H'FFFF 4402番地>

ビット :

7	6	5	4	3	2	1	0
ADSCACT	ADITACT	—	—	—	—	—	ADF

リセット後の値 : 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	ADSCACT	0	R	-	スキャン変換ステータスビット スキャン変換がアイドル状態か変換中かを示します。 スキャン変換中に割り込み変換が起動された場合、スキャン変換を中断し、割り込み変換を優先的に実行しますが、スキャン変換のすべての処理が終了するまで ADSCACT ビットは"1"を維持し、"0"にクリアされません。 0 : スキャン変換がアイドル状態 1 : スキャン変換中
6	ADITACT	0	R	-	割り込み変換ステータスビット 割り込み変換がアイドル状態か変換中かを示します。 ADSCACT ビットと ADITACT ビットの状態を AD0、AD1 の状態を把握できます。詳細については表 27.5 を参照してください。 0 : 割り込み変換がアイドル状態 1 : 割り込み変換中
5~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明
0	ADF	0	R	*1	<p>1 スキャン終了フラグ</p> <p>スキャン変換でスキャンが終了する（選択されたすべてのチャンネルを一通り変換する）たびに"1"がセットされます。なお、ADF ビットに"1"を書き込むことはできません。</p> <p>ADF ビットに"1"がセットされたときにスキャン変換終了割り込みか DMAC への DMA 転送要求のどちらかを発生できます。これにより A/D データレジスタを SHwYRAM などに退避するといった処理を、ソフトウェアまたは DMAC で実現できます。</p> <p>0 : スキャン変換がアイドル状態</p> <p>1 : 1 スキャンが終了し、選択されたすべての AD0INm、AD1INn の A/D 変換値が A/D データレジスタに転送された</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ADF="1"の状態を読み出した後、"0"を書き込んだとき</li> <li>ADIにより DMAC が DMA 転送要求を受け付けたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>スキャン変換の各スキャンにおいてすべてのアナログ変換が終了したとき</li> </ul>

【注】 \*1 ADF ビットに"1"を書き込むことはできません。フラグをクリアするため、ADF ビットの値が"1"の状態を読み出した後に"0"を書き込むことのみできます。

表 27.5 ADSCACT ビットと ADITACT ビットの設定による AD0 と AD1 の状態についての関係

ADSCACT ビット	ADITACT ビット	AD0 と AD1 の状態	スキャン変換要因	割り込み変換要因
0	0	アイドル状態	なし	なし
	1	割り込み変換	なし	あり
1	0	スキャン変換	あり	なし
	1	割り込み変換	あり	あり



## 27. A/D 変換器 (ADC)

### 27.4.6 A/Di 変換値加算モード選択レジスタ (ADiADS)

ADiADS レジスタは、A/D 変換を連続 2~4 回実施して加算 (積算) する AD0INm (m=0、2、4、6)、AD1INn (n=0、1、4、5) を選択するレジスタです。

#### (1) A/D0 変換値加算モード選択レジスタ (AD0ADS)

A/D0変換値加算モード選択レジスタ (AD0ADS)

<P4領域アドレス : H'FFFF 401C番地>

ビット:

7	6	5	4	3	2	1	0
AD0 ADS7	AD0 ADS6	AD0 ADS5	AD0 ADS4	AD0 ADS3	AD0 ADS2	AD0 ADS1	AD0 ADS0

リセット後の値: 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD0ADS7 ~ AD0ADS0	すべて 0	R	W	<p>A/D 変換値加算チャンネル選択ビット</p> <p>AD0ADS<sub>n</sub> ビットを"1"にセットすると、AD0IN<sub>n</sub> を連続 2~4 回変換し加算 (積算) した値を AD0DR<sub>n</sub> レジスタに返します。AD0ADS<sub>n</sub> が"0"の AD0IN<sub>n</sub> に関しては、通常の 1 回変換を実施し、AD0DR<sub>n</sub> レジスタに値を返します。また、スキャン変換および割り込み変換にかかわらず、AD0ADS<sub>n</sub> の設定により加算するかないかが決定されます。誤動作を防ぐため AD0ADS<sub>n</sub> の切り替えは、必ず AD0REF の ADSCACT ビットと ADITACT ビットの値がどちらも"0"の状態を実施してください。</p> <p>AD0IN<sub>n</sub> と AD0ADS<sub>n</sub> ビットの対応については表 27.3 を参照してください。加算回数の選択については、「27.4.7 A/Di 変換値加算回数選択レジスタ (ADiADC)」の説明を参照してください。</p> <p>0 : A/D 変換値加算モード非選択 1 : A/D 変換値 2~4 回連続加算モード選択</p>

【注】・ AD0ADS<sub>n</sub> (n=1、3、5、7) には"0"を設定してください。

【記号説明】 n=0~7

## (2) A/D1 変換値加算モード選択レジスタ (AD1ADS)

A/D1変換値加算モード選択レジスタ (AD1ADS)

&lt;P4領域アドレス : H'FFFF 441C番地&gt;

ビット :

7	6	5	4	3	2	1	0
AD1 ADS7	AD1 ADS6	AD1 ADS5	AD1 ADS4	AD1 ADS3	AD1 ADS2	AD1 ADS1	AD1 ADS0

リセット後の値 :    0    0    0    0    0    0    0    0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1ADS7 ~ AD1ADS0	すべて 0	R	W	<p>A/D 変換値加算チャネル選択ビット</p> <p>AD1ADS<sub>n</sub> ビットを"1"にセットすると、AD1IN<sub>n</sub> を連続 2~4 回変換し加算 (積算) した値を AD1DR<sub>n</sub> レジスタに返します。AD1ADS<sub>n</sub> ビットが"0" の AD1IN<sub>n</sub> に関しては、通常の 1 回変換を実施し、AD1DR<sub>n</sub> レジスタに値を返します。また、スキャン変換および割り込み変換にかかわらず、AD1ADS<sub>n</sub> ビットの設定により加算するかしないかが決定されます。誤動作を防ぐため AD1ADS<sub>n</sub> の切り替えは、必ず AD1REF レジスタの ADSCACT ビットと ADITACT ビットの値がどちらも"0"の状態で行ってください。</p> <p>AD1IN<sub>n</sub> と AD1ADS<sub>n</sub> ビットの対応については表 27.3 を参照してください。加算回数の選択については、「27.4.7 A/D<sub>i</sub> 変換値加算回数選択レジスタ (ADiADC)」の説明を参照してください。</p> <p>0 : A/D 変換値加算モード非選択 1 : A/D 変換値 2~4 回連続加算モード選択</p>

【注】・ AD1ADS<sub>n</sub> (n=2, 3, 6, 7) には"0"を設定してください。

【記号説明】 n=0~7

## 27. A/D 変換器 (ADC)

図 27.2 に AD0ADS2 ビットと AD0ADS6 ビットを"1"にセットしたときのスキャン変換シーケンスを示します。加算回数は 4 回に設定、AD0IN0、AD0IN2、AD0IN4、AD0IN6 が選択されているものとします。AD0IN から変換を開始します。AD0IN2 の変換は、4 回連続変換し、加算（積算）値をデータレジスタに返します。その後、AD0IN4 の変換を開始します。

スキャン変換中に割り込み変換が要求された場合は、スキャン変換を途中で中断し、割り込み変換要求のチャンネルの変換を開始します。割り込み変換が終了すると、中断されたスキャン変換で A/D 変換中であったチャンネルから、スキャン変換を再開します。ただし、中断されたチャンネル (AD0IN<sub>n</sub>) の AD0ADS<sub>n</sub> ビットが 1 に設定されていた場合、2~4 回の途中まで A/D 変換されていたとしても 1 回目の変換から実施し直します。

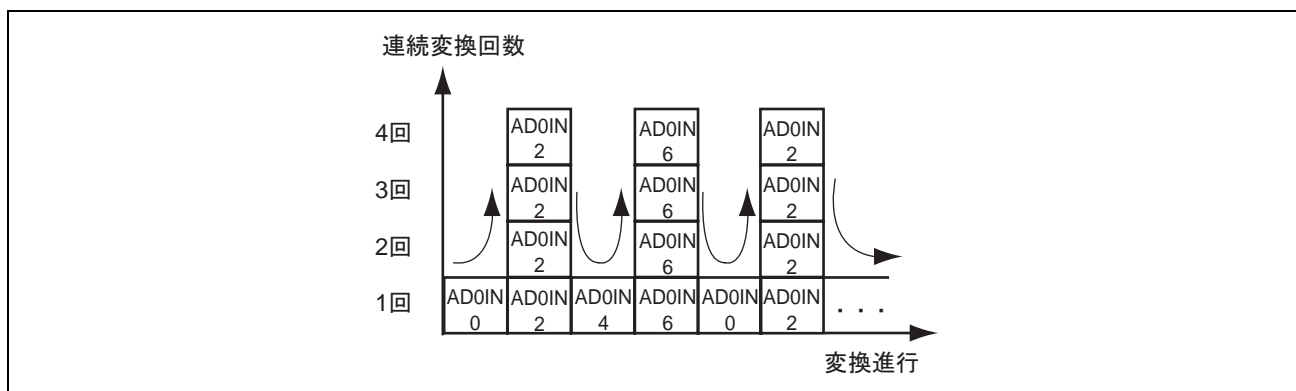


図 27.2 AD0ADS2 ビットと AD0ADS6 ビットを"1"にセットしたときのスキャン変換シーケンス

## 27.4.7 A/Di 変換値加算回数選択レジスタ (ADiADC)

ADiADC レジスタは、A/D 変換値加算モードが選択されたチャンネルに対して加算回数を設定するレジスタです。

A/D0変換値加算回数選択レジスタ (AD0ADC)

<P4領域アドレス : H'FFFF 401E番地>

A/D1変換値加算回数選択レジスタ (AD1ADC)

<P4領域アドレス : H'FFFF 441E番地>

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ADC	

リセット後の値 : 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1, 0	ADC	00	R	W	加算回数選択ビット A/D 変換値加算モードでの加算回数を選択します。ただし、A/D 変換値加算モードが選択されていないチャンネルの A/D 変換では、本ビットの設定は無効です。 また、誤動作を防ぐため、本ビットの切り替えは、必ず ADiREF レジスタの ADSCACT ビットと ADITACT ビットの値がどちらも"0"の状態を実施してください。 00 : 1 回変換 (通常の変換と同じ) 01 : 2 回変換 10 : 3 回変換 11 : 4 回変換

## 27. A/D 変換器 (ADC)

### 27.4.8 A/Di 割り込みトリガイネーブルレジスタ (ADiTRE)

ADiTRE レジスタは、AD0INm、AD1INn に対しての割り込み変換要求を禁止/許可を設定するレジスタです。割り込み変換を許可しているチャンネルは、対応した割り込み変換要求が入ると割り込み変換されます。

#### (1) A/D0 割り込みトリガイネーブルレジスタ (AD0TRE)

A/D0 割り込みトリガイネーブルレジスタ (AD0TRE)

<P4領域アドレス : H'FFFF 4004番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD0TRGE15	AD0TRGE14	AD0TRGE13	AD0TRGE12	AD0TRGE11	AD0TRGE10	AD0TRGE9	AD0TRGE8	AD0TRGE7	AD0TRGE6	AD0TRGE5	AD0TRGE4	AD0TRGE3	AD0TRGE2	AD0TRGE1	AD0TRGE0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	AD0TRGE15 ~ AD0TRGE0	すべて 0	R	W	割り込み変換要求イネーブルビット AD0TRGE <sub>m</sub> ビットを"1"にセットすると、そのビットに対応した AD0IN <sub>m</sub> の割り込み変換要求を許可します。AD0TRGE <sub>m</sub> ビットと AD0IN <sub>m</sub> および割り込み要求トリガソースの対応については表 27.3 を参照してください。 0 : AD0IN <sub>m</sub> に対して ATU-IIIS のタイマまたはソフトトリガ (AD0STRG <sub>m</sub> ) からの割り込み変換要求禁止 1 : AD0IN <sub>m</sub> に対して ATU-IIIS のタイマまたはソフトトリガ (AD0STRG <sub>m</sub> ) からの割り込み変換要求許可

【注】・ AD0TRGE<sub>m</sub> (m=1, 3, 5, 7) には"0"を設定してください。

【記号説明】 m=0~15

## (2) A/D1 割り込みトリガイネーブルレジスタ (AD1TRE)

A/D1 割り込みトリガイネーブルレジスタ (AD1TRE)

&lt;P4領域アドレス : H'FFFF 4410番地&gt;

ビット:       7    6    5    4    3    2    1    0

AD1TRGE7	AD1TRGE6	AD1TRGE5	AD1TRGE4	AD1TRGE3	AD1TRGE2	AD1TRGE1	AD1TRGE0
7	6	5	4	3	2	1	0

リセット後の値:   0    0    0    0    0    0    0    0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1TRGE7 ~ AD1TRGE0	すべて0	R	W	割り込み変換要求イネーブルビット AD1TRGE <sub>n</sub> ビットを"1"にセットすると、そのビットに対応した AD1IN <sub>n</sub> の割り込み変換要求を許可します。AD1TRGE <sub>n</sub> ビットと AD1IN <sub>n</sub> および割り込み要求トリガソースの対応については表 27.3 を参照してください。 0: AD1IN <sub>n</sub> に対して ATU-IIIS のタイマまたはソフトトリガ (AD1STRG <sub>n</sub> ) からの割り込み変換要求禁止 1: AD1IN <sub>n</sub> に対して ATU-IIIS のタイマまたはソフトトリガ (AD1STRG <sub>n</sub> ) からの割り込み変換要求許可

【注】・ AD1TRGE<sub>n</sub> (n=2、3、6、7) には"0"を設定してください。

【記号説明】 n=0~7

### 27.4.9 A/Di 割り込みトリガソース選択レジスタ (ADiTRS)

ADiTRS レジスタは、割り込み変換のトリガソースを選択するレジスタです。トリガソースとして、ATU-IIIS のタイマトリガまたは ADiTRS レジスタのライトによるソフトトリガのどちらかを選択できます。

#### (1) A/D0 割り込みトリガソース選択レジスタ (AD0TRS)

A/D0 割り込みトリガソース選択レジスタ (AD0TRS)

<P4領域アドレス : H'FFFF 4008番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD0TRS15	AD0TRS14	AD0TRS13	AD0TRS12	AD0TRS11	AD0TRS10	AD0TRS9	AD0TRS8	AD0TRS7	AD0TRS6	AD0TRS5	AD0TRS4	AD0TRS3	AD0TRS2	AD0TRS1	AD0TRS0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	AD0TRS15 ~ AD0TRS0	すべて 0	R	W	<p>割り込み変換トリガソース選択ビット</p> <p>AD0TRS<sub>m</sub> ビットを"0"にセットし、さらに AD0TRE レジスタの AD0TRE<sub>m</sub> ビットを"1"にしたときは、トリガソース 1 またはソース 2 のタイマのタイマトリガが入るとエッジを検出して AD0IN<sub>m</sub> の割り込み変換を開始します。AD0TRS<sub>m</sub> ビットを"1"にセットしたときは、AD0STRG レジスタの AD0STRG<sub>m</sub> ビットに"1"をライトするとエッジを検出して AD0IN<sub>m</sub> の割り込み変換を開始します。トリガソース 1 またはソース 2 の選択は、AD0CER レジスタの ITTRGS ビットで設定します。AD0TRS<sub>m</sub> ビットと AD0IN<sub>m</sub> および割り込み要求トリガソースの対応は、表 27.3 を参照してください。</p> <p>0 : AD0IN<sub>m</sub> の割り込み変換要求としてトリガソース 1 またはソース 2 のタイマを選択</p> <p>1 : AD0IN<sub>m</sub> の割り込み変換要求としてソフトトリガ (AD0STRG<sub>m</sub>) を選択</p>

【注】・ AD0TRS<sub>m</sub> (m=1, 3, 5, 7) には"0"を設定してください。

【記号説明】 m=0~15

## (2) A/D1 割り込みトリガソース選択レジスタ (AD1TRS)

A/D1 割り込みトリガソース選択レジスタ (AD1TRS)

&lt;P4 領域アドレス : H'FFFF 4414 番地&gt;

ビット :

7	6	5	4	3	2	1	0
AD1TRS7	AD1TRS6	AD1TRS5	AD1TRS4	AD1TRS3	AD1TRS2	AD1TRS1	AD1TRS0

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1TRS7 ~ AD1TRS0	すべて 0	R	W	<p>割り込み変換トリガソース選択ビット</p> <p>AD1TRS<sub>n</sub> ビットを"0"にセットし、さらに AD1TRE レジスタの AD1TRE<sub>n</sub> ビットを"1"にしたときは、トリガソース 1 またはソース 2 のタイマのタイマトリガが入るとエッジを検出して AD1IN<sub>n</sub> の割り込み変換を開始します。</p> <p>AD1TRS<sub>n</sub> ビットを"1"にセットしたときは、AD1STRG レジスタの AD1STRG<sub>n</sub> ビットに"1"をライトするとエッジを検出して AD1IN<sub>n</sub> の割り込み変換を開始します。トリガソース 1 またはソース 2 の選択は、AD1CER レジスタの ITTRGS ビットで設定します。AD1TRS<sub>n</sub> ビットと AD1IN<sub>n</sub> および割り込み要求トリガソースの対応は、表 27.3 を参照してください。</p> <p>0 : AD1IN<sub>n</sub> の割り込み変換要求としてトリガソース 1 またはソース 2 のタイマを選択</p> <p>1 : AD1IN<sub>n</sub> の割り込み変換要求としてソフトトリガ (AD1STRG<sub>n</sub>) を選択</p>

【注】・ AD1TRS<sub>n</sub> (n=2, 3, 6, 7) には"0"を設定してください。

【記号説明】 n=0~7



## 27. A/D 変換器 (ADC)

### 27.4.10 A/Di 割り込みソフトトリガレジスタ (ADiSTRG)

ADiSTRG レジスタは、ソフトウェアで割り込み変換を起動するレジスタです。ADiSTRG レジスタは書き込み専用のレジスタで、読み出すと常に"0"が読み出されます。

#### (1) A/D0 割り込みソフトトリガレジスタ (AD0STRG)

A/D0 割り込みソフトトリガレジスタ (AD0STRG)

<P4領域アドレス : H'FFFF 400A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD0STRG <sub>15</sub>	AD0STRG <sub>14</sub>	AD0STRG <sub>13</sub>	AD0STRG <sub>12</sub>	AD0STRG <sub>11</sub>	AD0STRG <sub>10</sub>	AD0STRG <sub>9</sub>	AD0STRG <sub>8</sub>	AD0STRG <sub>7</sub>	AD0STRG <sub>6</sub>	AD0STRG <sub>5</sub>	AD0STRG <sub>4</sub>	AD0STRG <sub>3</sub>	AD0STRG <sub>2</sub>	AD0STRG <sub>1</sub>	AD0STRG <sub>0</sub>
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	AD0STRG <sub>15</sub> ~ AD0STRG <sub>0</sub>	すべて 0	0	W	<p>割り込み変換ソフトトリガビット</p> <p>AD0INm に対応した AD0TRS レジスタの AD0TRSm ビットを"1"にセットし、さらに AD0TRE レジスタの AD0TREm ビットを"1"にしたとき、AD0STRGm ビットに"1"をライトするとエッジを検出して AD0INm の割り込み変換を開始します。また、割り込み変換の要求をしない AD0INm には"0"を書き込んでください。"0"が書き込まれた AD0INm は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を AD0INm 単位に保持します。要因のある AD0INm の割り込み変換が実施され終了すると AD0INm の要因をクリアします。したがって、一度 AD0STRGm ビットに"1"を書き込むと、その後"0"を書き込んでも AD0INm の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに AD0STRGm ビットに"1"を書き込んでも AD0INm の割り込み変換を 2 回実施するわけではありません。</p> <p>1 チャンネルにつき 1 要因です。これは、ATU-IIIS のタイマトリガの要求で割り込み変換を実施する場合も同様です。AD0STRGm ビットと AD0INm の対応は、表 27.3 を参照してください。</p> <p>0 : AD0INm に対して割り込み変換要求 (ソフトトリガ) なし 1 : AD0INm に対して割り込み変換要求 (ソフトトリガ) あり</p>

【注】・ AD0STRGm (m=1, 3, 5, 7) には"0"を設定してください。

【記号説明】 m=0~15

## (2) A/D1 割り込みソフトトリガレジスタ (AD1STRG)

A/D1 割り込みソフトトリガレジスタ (AD1STRG)

&lt;P4 領域アドレス : H'FFFF 4416 番地&gt;

ビット :	7	6	5	4	3	2	1	0
	AD1STRG7	AD1STRG6	AD1STRG5	AD1STRG4	AD1STRG3	AD1STRG2	AD1STRG1	AD1STRG0
リセット後の値 :	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1STRG7 ~ AD1STRG0	すべて 0	0	W	<p>割り込み変換ソフトトリガビット</p> <p>AD1INn に対応した AD1TRS レジスタの AD1TRSn ビットを "1" にセットし、さらに AD1TRE レジスタの AD1TREN ビットを "1" にしたとき、AD1STRGn ビットに "1" をライトするとエッジを検出して AD1INn の割り込み変換を開始します。また、割り込み変換の要求をしない AD1INn には "0" を書き込んでください。"0" が書き込まれた AD1INn は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を AD1INn 単位に保持します。要因のある AD1INn の割り込み変換が実施され終了すると AD1INn の要因をクリアします。したがって、一度 AD1STRGn ビットに "1" を書き込むと、その後 "0" を書き込んでも AD1INn の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに AD1STRGn ビットに "1" を書き込んでも AD1INn の割り込み変換を 2 回実施するわけではありません。</p> <p>1 チャンネルにつき 1 要因です。これは、ATU-IIS のタイマトリガの要求で割り込み変換を実施する場合も同様です。AD1STRGn ビットと AD1INn の対応は、表 27.3 を参照してください。</p> <p>0 : AD1INn に対して割り込み変換要求 (ソフトトリガ) なし 1 : AD1INn に対して割り込み変換要求 (ソフトトリガ) あり</p>

【注】・ AD1STRGn (n=2、3、6、7) には "0" を設定してください。

【記号説明】 n=0~7

### 27.4.11 A/Di 割り込みトリガ処理終了フラグレジスタ (ADiTRF)

ADiTRF レジスタは、割り込み変換が終了したことを知らせるステータスレジスタです。割り込み変換が終了したら、そのチャンネル (AD0INm、AD1INn) 対応した割り込み変換終了フラグ (AD0TFm、AD1TFn) ビットを"1"にセットします。

#### (1) A/D0 割り込みトリガ処理終了フラグレジスタ (AD0TRF)

A/D0割り込みトリガ処理終了フラグレジスタ (AD0TRF)

<P4領域アドレス : H'FFFF 4006番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD0TF15	AD0TF14	AD0TF13	AD0TF12	AD0TF11	AD0TF10	AD0TF9	AD0TF8	AD0TF7	AD0TF6	AD0TF5	AD0TF4	AD0TF3	AD0TF2	AD0TF1	AD0TF0
---------	---------	---------	---------	---------	---------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
14~4	AD0TF14 ~ AD0TF4	すべて 0	R	*1	<p>割り込み変換終了フラグ</p> <p>AD0TFp は、割り込み変換が終了したことを示すステータスフラグです。AD0TFp に"1"を書き込むことはできません。AD0TFp に"1"がセットされたときに AD0INp の割り込み変換終了割り込み (AD0IDp) を発生できます。AD0TFp と AD0INp の対応については表 27.3 を参照してください。</p> <p>0 : AD0INp の割り込み変換がアイドル状態</p> <p>1 : AD0INp の割り込み変換が終了し、A/D 変換値が AD0DRp レジスタに転送された</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>AD0TFp="1"の状態を読み出した後、"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>AD0INp の割り込み変換が終了したとき</li> </ul>

ビット	シンボル	リセット後の値	R	W	説明
15、 3~0	AD0TF15、 AD0TF3~ AD0TF0	すべて 0	R	*1	<p>割り込み変換終了フラグ</p> <p>AD0TFq は、割り込み変換が終了したことを示すステータスフラグです。AD0TFq に"1"を書き込むことはできません。AD0TFq に"1"がセットされたときに AD0INq の割り込み変換終了割り込み (AD0IDq) を発生できます。AD0TFq と AD0INq の対応については表 27.3 を参照してください。</p> <p>0 : AD0INq の割り込み変換がアイドル状態</p> <p>1 : AD0INq の割り込み変換が終了し、A/D 変換値が AD0DRq レジスタに転送された</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>• AD0TFq="1"の状態を読み出した後、"0"を書き込んだとき</li> <li>• AD0IDq により DMAC が DMA 転送要求を受け付けたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>• AD0INq の割り込み変換が終了したとき</li> </ul>

【注】 \*1 AD0TFp、AD0TFq ビットに"1"を書き込むことはできません。フラグをクリアするため、AD0TFp、AD0TFq ビットの値が"1"の状態を読み出した後に"0"を書き込むことのみできます。

- AD0TFp、AD0TFq を"0"にクリアしなくても AD0INp、AD0INq の割り込み変換要求は受け付けます。AD0DRm レジスタの退避タイミングは、注意してください。
- AD0TFm (m=1、3、5、7) には"0"を設定してください。

【記号説明】 p=4~14、q=0~3、15

## 27. A/D 変換器 (ADC)

### (2) A/D1 割り込みトリガ処理終了フラグレジスタ (AD1TRF)

A/D1 割り込みトリガ処理終了フラグレジスタ (AD1TRF)

<P4 領域アドレス : H'FFFF 4412 番地>

ビット :

7	6	5	4	3	2	1	0
AD1TF7	AD1TF6	AD1TF5	AD1TF4	AD1TF3	AD1TF2	AD1TF1	AD1TF0

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1TF7~ AD1TF0	すべて 0	R	*1	<p>割り込み変換終了フラグ</p> <p>AD1TFn は、割り込み変換が終了したことを示すステータスフラグです。AD1TFn に"1"を書き込むことはできません。AD1TFn に"1"がセットされたときに AD1INn の割り込み変換終了割り込み (AD1IDn) を発生できます。ADTFn と AD1INn の対応については表 27.3 を参照してください。</p> <p>0 : AD1INn の割り込み変換がアイドル状態</p> <p>1 : AD1INn の割り込み変換が終了し、A/D 変換値が AD1DRn レジスタに転送された</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>AD1TFn="1"の状態を読み出した後、"0"を書き込んだとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>AD1INn の割り込み変換が終了したとき</li> </ul>

【注】 \*1 AD1TFn ビットに"1"を書き込むことはできません。フラグをクリアするため、AD1TFn ビットの値が"1"の状態を読み出した後に"0"を書き込むことのみできます。

- AD1TFn を"0"にクリアしなくても AD1INn の割り込み変換要求は受け付けます。AD1DRn レジスタの退避タイミングは、注意してください。
- AD1TFm (m=2、3、6、7) には"0"を設定してください。

【記号説明】 n=0~7

## 27.4.12 A/Di 割り込みトリガ処理終了割り込みイネーブルレジスタ (ADiTRD)

ADiTRD レジスタは、ADiTRF レジスタの割り込み変換終了フラグ (AD0TFm、AD1TFn) が"1"にセットされたときに A/D 割り込み変換終了割り込みの発生を禁止/許可をするレジスタです。

## (1) A/D0 割り込みトリガ処理終了割り込みイネーブルレジスタ (AD0TRD)

A/D0 割り込みトリガ処理終了割り込みイネーブルレジスタ (AD0TRD)

&lt;P4領域アドレス : H'FFFF 400C番地&gt;

ビット :      15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0  

AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE	AD0IDE
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

  
リセット後の値 :    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
14~4	AD0IDE14~ AD0IDE4	すべて 0	R	W	割り込み変換終了割り込みイネーブルビット AD0IDEp ビットは、AD0INp の割り込み変換終了割り込み (AD0IDp) の発生を許可/禁止するビットです。なお、誤動作を防ぐため、AD0IDEp の切り替えは、必ず AD0REF レジスタの ADITACT ビットが"0"の状態で行ってください。AD0INp の割り込み変換が終了して、割り込み変換終了フラグレジスタの AD0TFp ビットが"1"にセットされたとき、AD0IDEp ビットが"1"にセットされていると AD0IDp 信号が発生します。AD0TFp ビットを"0"にクリアするか、AD0IDEp ビットを"0"にクリアすることで、AD0IDp 信号のクリアが可能です。AD0IDEp ビットと AD0INp および AD0IDp の対応は、表 27.3 を参照してください。 0 : AD0INp の割り込み変換終了後の割り込み要求 (AD0IDp) を禁止 1 : AD0INp の割り込み変換終了後の割り込み要求 (AD0IDp) を許可
15、3~0	AD0IDE15、 AD0IDE3~ AD0IDE0	すべて 0	R	W	割り込み変換終了割り込みイネーブルビット AD0IDEq ビットは、AD0INq の割り込み変換終了割り込み (AD0IDq) の発生を許可/禁止するビットです。なお、誤動作を防ぐため、AD0IDEq の切り替えは、必ず AD0REF レジスタの ADITACT ビットが"0"の状態で行ってください。AD0INq の割り込み変換が終了して、割り込み変換終了フラグレジスタの AD0TFq ビットが"1"にセットされたとき、AD0IDEq が"1"にセットされていると AD0IDq 信号が発生します。AD0TFq を"0"にクリアするか、AD0IDEq を"0"にクリアすることで、AD0IDq 信号のクリアが可能です。AD0IDEq と AD0INq および AD0IDq の対応は、表 27.3 を参照してください。 0 : AD0INq の割り込み変換終了後の割り込み要求 (AD0IDq) または DMA 転送要求を禁止 1 : AD0INq の割り込み変換終了後の割り込み要求 (AD0IDq) または DMA 転送要求を許可

【注】・ AD0IDEm (m=1、3、5、7) には"0"を設定してください。

【記号説明】 p=4~14、q=0~3、15

## 27. A/D 変換器 (ADC)

### (2) A/D1 割り込みトリガ処理終了割り込みイネーブルレジスタ (AD1TRD)

A/D1 割り込みトリガ処理終了割り込みイネーブルレジスタ (AD1TRD)

<P4 領域アドレス : H'FFFF 4418 番地>

ビット :       7    6    5    4    3    2    1    0  

AD1IDE	AD1IDE	AD1IDE	AD1IDE	AD1IDE	AD1IDE	AD1IDE	AD1IDE
7	6	5	4	3	2	1	0

  
 リセット後の値 :   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	AD1IDE7~ AD1IDE0	すべて 0	R	W	割り込み変換終了割り込みイネーブルビット AD1IDEn ビットは、AD1INn の割り込み変換終了割り込み (AD1IDn) の発生を許可/禁止するビットです。なお、誤動作を防ぐため、AD1IDEn ビットの切り替えは、必ず AD1REF レジスタの ADITACT ビットが"0"の状態で行ってください。AD1INn の割り込み変換が終了して、割り込み変換終了フラグレジスタの AD1TFn ビットが"1"にセットされたとき、AD1IDEn ビットが"1"にセットされていると AD1IDn 信号が発生します。AD1TFn ビットを"0"にクリアするか、AD1IDEn ビットを"0"にクリアすることで、AD1IDn 信号のクリアが可能です。 AD1IDEn ビットと AD1INn および AD1IDn の対応は、表 27.3 を参照してください。 0 : AD1INn の割り込み変換終了後の割り込み要求 (AD1IDn) を禁止 1 : AD1INn の割り込み変換終了後の割り込み要求 (AD1IDn) を許可

【注】・ AD1IDEn (n=2、3、6、7) には"0"を設定してください。

【記号説明】 n=0~7

### 27.4.13 CPU とのインターフェース

AD0DRm、AD1DRn レジスタは 16 ビットのレジスタであり、32 ビット幅の周辺バスを介して CPU と結合しています。AD0DRm、AD1DRn レジスタの読み出しは、必ずワード単位で行ってください。バイト (8 ビット) 単位で上位バイト/下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト (8 ビット) 単位の読み出しは行わないでください。

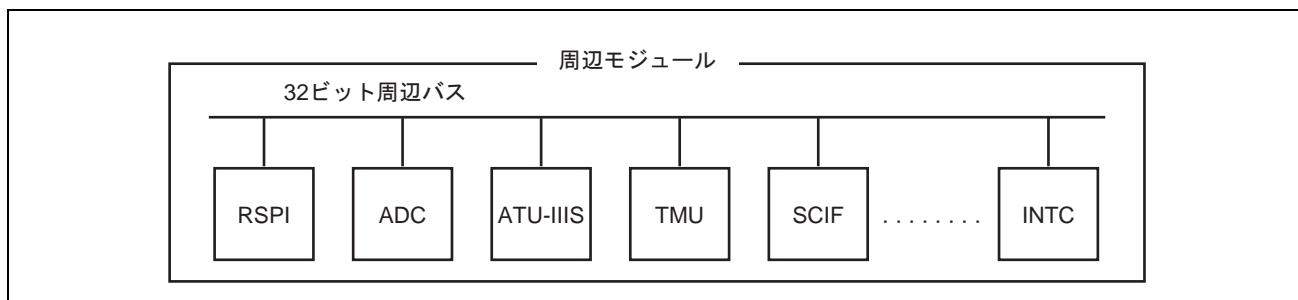


図 27.3 CPU と A/D 変換器 (ADC) のインターフェース

## 27.5 動作説明

### 27.5.1 スキャン変換動作

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの2種類の動作モードがあります。1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADSTビットを"0" ("1"の状態から"0") にクリアするまで無制限に繰り返し実施するモードです。

1 サイクルスキャンモードの選択は、ADiCSR レジスタのADCSビットを"0"にセットすることにより行います。連続スキャンモードの選択は、ADCSビットを"1"にセットすることにより行います。スキャン変換は、AD0はAD0INn (n=0、2、4、6、8~15) のチャンネル番号の小さい順、AD1はAD1INn (n=0、1、4、5) のチャンネル番号の小さい順に実施されます。

1 サイクルスキャンの場合、選択したすべてのチャンネルを1通りA/D変換(スキャン)するとADiREFレジスタのADFビットを"1"にセット、ADiREFレジスタのADSCACTビットを"0"にクリアしてスキャン変換を終了します。連続スキャンの場合、選択したすべてのチャンネルを1通りA/D変換(スキャン)するとADFビットを"1"にセットし、さらにスキャン変換を続けます。ADFビットは、選択したすべてのチャンネルを1通りA/D変換(スキャン)が終了するたびに"1"にセットされます。

スキャン変換を停止する場合、ADSTビットが"1"の状態のときに"0"を書き込んでください。ADSTビットが"0"の状態でも"0"を書き込んでも、A/D変換器には何も影響しません。同様に、ADSTビットが"1"の状態のときに"1"を書き込んでも、A/D変換器には何も影響しません。したがって、ADSTビット以外のスキャン変換要求でスキャン変換を起動し、途中でスキャン変換を停止させる場合は、一度ADSTビットに"1"を書き込んでから"0"を書き込んでください。

ADFビットが"1"にセットされたとき、ADiCSRレジスタのADIEビットが"1"にセットされているとADI割り込み要求が発生します。ADFビットを"0"にクリアするときには、ADFビットが"1"の状態を読み出した後、"0"を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には自動的に"0"にクリアされ、ADI割り込みもクリアされます。

### 27.5.2 1 サイクルスキャンモード

AD0IN0、AD0IN2、AD0IN9を選択し、さらにAD0I割り込みを許可し3チャンネルの1サイクルスキャンモードでスキャン変換を行う場合の動作例を次に示します。AD1に関しても動作は同じです。

1. AD0CSRレジスタのADCSビットに"0"を、ADIEビットに"1"を設定します。
2. AD0ANSレジスタのAD0ANS0、AD0ANS2、AD0ANS9ビットにそれぞれ"1"を設定します。
3. AD0CSRレジスタのADSTビットに"1"をセットし、スキャン変換を開始します。すでにADSTビットが"1"にセットされている場合は、一度"0"にクリアしてから"1"をセットします。  
この場合、一定時間\*1以上の間隔を開けて、ADSTビットに"1"を書き込んでください。

**【注】** \*1 CKS="0"時 : Pckの2クロック分  
CKS="1"時 : Pckの4クロック分

4. スキャン変換が開始すると、ADSCACTビットが"1"にセットされます。次にAD0IN0のA/D変換が開始されます。A/D変換が終了すると、A/D変換値をAD0DR0レジスタに転送します。その後は、AD0IN2→



## 27. A/D 変換器 (ADC)

AD0IN9の順番でAD0IN0と同じように順次処理されていきます。

5. 設定したすべてのチャンネル (AD0IN0、AD0IN2、AD0IN9) のA/D変換値がAD0DR0、AD0DR2、AD0DR9レジスタに転送されると、ADFビットが"1"にセットされます。このとき、ADIEビットが"1"に設定されているため、AD0I割り込みを発生します。また、ADSCACTビットは"0"にクリアされ、スキャン変換が終了します。
6. AD0Iの割り込みルーチンが開始されます。割り込みルーチンでADFビットの"1"を読み出した後に"0"を書き込んでAD0Iをクリアします。次にAD0DR0、AD0DR2、AD0DR9レジスタを読み出し、処理します。
7. AD0Iの割り込みルーチンを終了します。

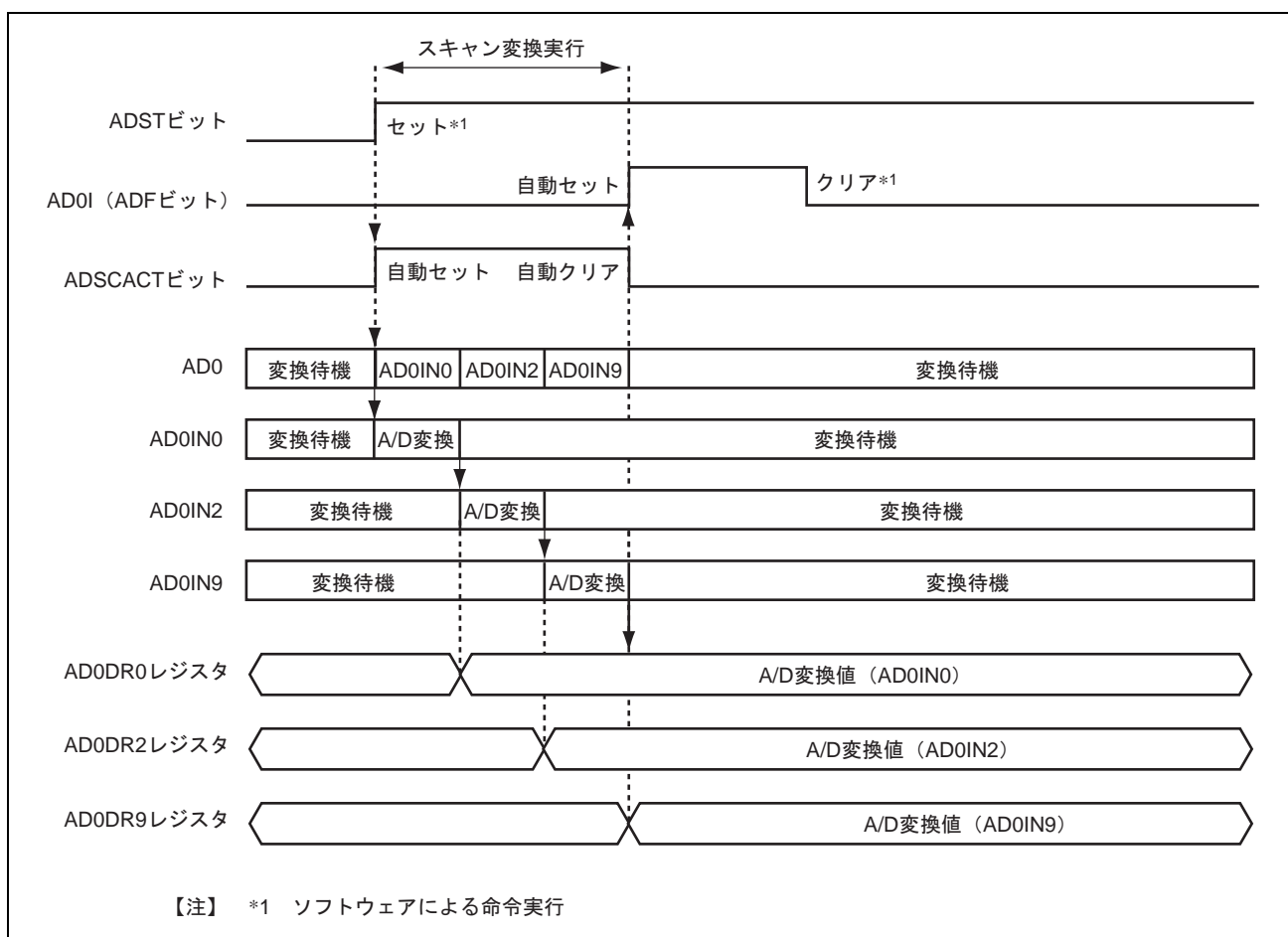


図 27.4 1 サイクルスキャンモードの動作例

### 27.5.3 連続スキャンモード

AD0IN0、AD0IN2、AD0IN9 を選択し、さらに AD0I 割り込みを許可し、3 チャンネルの連続スキャンモードでスキャン変換を行う場合の動作例を次に示します。AD1 に関しても操作は同じです。

1. AD0CSRレジスタのADCSビットに"1"を、ADIEビットに"1"を設定します。
2. AD0ANSレジスタのAD0ANS0、AD0ANS2、AD0ANS9ビットにそれぞれ"1"を設定します。
3. AD0CSRレジスタのADSTビットに"1"をセットし、スキャン変換を開始します。すでにADSTが"1"にセットされている場合は、一度"0"にクリアしてから"1"をセットします。  
この場合、一定時間\*<sup>1</sup>以上の間隔を開けて、ADSTビットに"1"を書き込んでください。

【注】 \*<sup>1</sup> CKS="0"時 : Pck の 2 クロック分  
CKS="1"時 : Pck の 4 クロック分

4. スキャン変換が開始すると、ADSCACTビットが"1"にセットされます。次にAD0IN0のA/D変換が開始されます。A/D変換が終了すると、A/D変換値をAD0DR0レジスタに転送します。その後は、AD0IN2→AD0IN9の順番でAD0IN0と同じように順次処理されていきます。
5. 設定したすべてのチャンネル (AD0IN0、AD0IN2、AD0IN9) のA/D変換値がAD0DR0、AD0DR2、AD0DR9レジスタに転送されると、ADFビットが"1"にセットされます。このとき、ADIEビットが"1"に設定されているため、AD0I割り込みを発生します。また、スキャン変換は、スキャンの先頭に戻ります。
6. AD0Iの割り込みルーチンが開始されます。割り込みルーチンでADFビットの"1"を読み出した後"0"を書き込んでAD0Iをクリアします。次にAD0DR0、AD0DR2、AD0DR9レジスタを読み出し、処理します。
7. AD0Iの割り込みルーチンを終了します。
8. ADSTビットが"1"にセットされている間は、4.~7.を繰り返します。ADSTビットを"0"にクリアすると、ADSCACTビットが"0"にクリアされ、スキャン変換が終了します。その後、ADSTビットを"1"にセットすると再びスキャン変換を開始します。

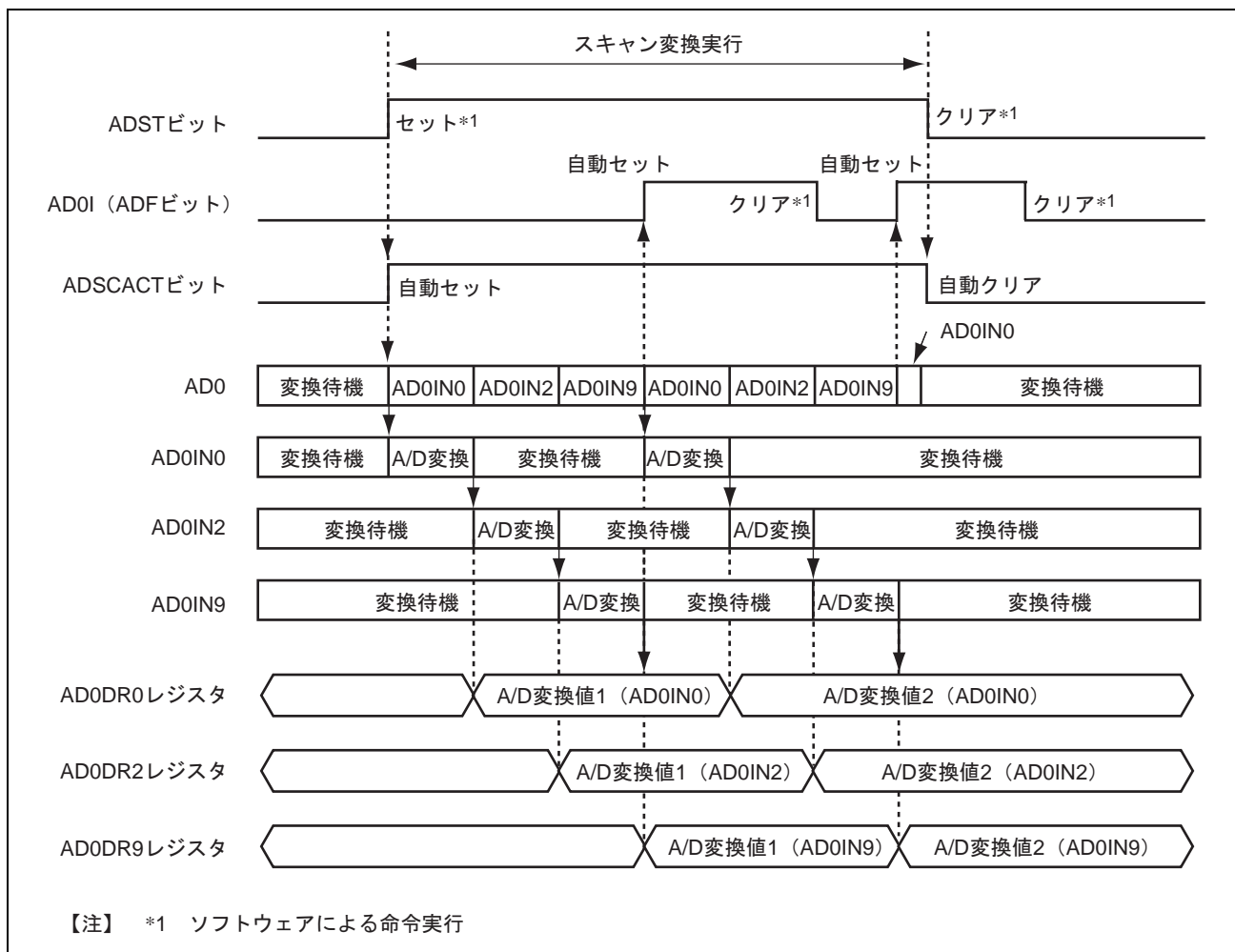


図 27.5 連続スキャンモードの動作例

### 27.5.4 割り込み変換

割り込み変換は、AD0IN<sub>m</sub>、AD1IN<sub>n</sub>に対して、ATU-IHS のタイマトリガまたはソフトトリガの要求が発生した場合、要求のあったチャンネルを A/D 変換します。スキャン変換が、要求により選択されたすべてのチャンネルを変換するのに対して、割り込み変換は各要求によりチャンネル単位で変換します。

割り込み変換を行う場合、ADiTRE レジスタの AD0TRGEm、AD1TRGEn ビットに"1"を設定し、ADiTRS レジスタの AD0TRSm、AD1TRSn ビットによりトリガソースを選択します。この状態で選択したトリガソースから割り込み変換要求が入ると、対応する AD0IN<sub>m</sub>、AD1IN<sub>n</sub> の A/D 変換を実施します。AD0IN<sub>m</sub>、AD1IN<sub>n</sub> の割り込み変換が終了すると ADiTRF レジスタの AD0TFm、AD1TFn ビットを"1"にセットします。AD0TFm、AD1TFn ビットは、AD0IN<sub>m</sub>、AD1IN<sub>n</sub> の割り込み変換が終了するたびに"1"にセットされます。さらに、いずれかの割り込み変換が実施されると、ADiREF レジスタの ADITACT ビットは"1"にセットされます。割り込み変換要求のあるすべての AD0IN<sub>m</sub>、AD1IN<sub>n</sub> の A/D 変換が終了すると、ADITACT ビットは"0"にクリアされます。

割り込み変換が競合した場合、優先順位に従って A/D 変換します。AD0 は、AD0IN0>AD0IN2>…>AD0IN14>AD0IN15 のように、優先順位は番号の小さいチャンネルが高くなります。AD1 は、AD1IN0>AD1IN1>AD1IN4>AD1IN5 のように、優先順位は AD1IN0 が 1 番高く、AD1IN5 が 1 番低くなります。ただし、あるチャンネル (AD0IN<sub>i</sub>) の割り込み変換中に別のチャンネル (AD0IN<sub>j</sub>、AD0IN<sub>k</sub>) の割り込み変換要求が入った場合、優先順位にかかわらず途中で A/D 変換を中断しません。この場合には、A/D 変換中の AD0IN<sub>i</sub> が終了した後に、処理されていない割り込み変換要求のあるすべてのチャンネル (この場合 AD0IN<sub>j</sub>、AD0IN<sub>k</sub>) を優先順位に従った順番で A/D 変換します。したがって、割り込み変換の優先順位は、次に処理する割り込み変換のチャンネルを決定するものです。一つのトリガソースで 2 チャンネルに対して割り込み変換要求を発生した場合や、複数のトリガソースが同時に割り込み変換要求を発生した場合にも、この優先順位に従った順番で A/D 変換します。

スキャン変換中に割り込み変換を行う場合、スキャン変換で A/D 変換中のチャンネル (AD0IN<sub>i</sub>) を途中で中断し、割り込み変換要求のあったチャンネル (AD0AN<sub>j</sub>) の A/D 変換を実施します。AD0AN<sub>j</sub> の割り込み変換が終了すると、途中で中断されたチャンネル (AD0IN<sub>i</sub>) の A/D 変換からスキャン変換を再開します。これにより、割り込み変換要求から割り込み変換終了までの時間は常に同じ時間となります。たとえば、MCU 外部の A/D 変換ソースの動作に同期させ、ピンポイントで A/D 変換を実施するというようなことが可能となります。

AD0TFm、AD1TFn ビットが"1"にセットされたとき、ADiTRD レジスタの AD0IDEm、AD1IDEn ビットが"1"にセットされていると、AD0IDm、AD1IDn 割り込み要求を発生します。AD0TFm、AD1TFn ビットを"0"にクリアするときには、AD0TFm、AD1TFn ビットが"1"の状態を読み出した後、"0"を書き込んでください。ただし、AD0IDm、AD1IDn 割り込みで DMAC を起動した場合には自動的に"0"にクリアされ、AD0IDm、AD1IDn 割り込みもクリアされます。DMAC の DMA 転送がサポートされているのは、AD0IN0 (AD0ID0)、AD0IN2 (AD0ID2)、AD0IN15 (AD0ID15) です。

### 27.5.5 割り込み変換の動作例

AD1IN0 のトリガソースをタイマ TOU00 に、AD1IN4、AD1IN5 のトリガソースをタイマ TOU01 に選択し、割り込み変換を行う場合の動作例を次に示します。

1. AD1TREレジスタのAD1TRGE0ビット、AD1TRGE4ビット、AD1TRGE5ビットにそれぞれ"1"を設定します。
2. AD1CERレジスタのITTRGSビットに"0"を設定します。AD1TRSレジスタのAD1TRS0ビット、AD1TRS4ビット、AD1TRS5ビットにそれぞれ"0"を設定します。
3. 以降は、ATU-IIISのレジスタの設定に従った周期で、タイマTOU00、タイマTOU01の割り込み変換要求が発生します。ATU-IIISのレジスタについては、「第21章 アドバンスドタイマユニット-IIIS (ATU-IIIS)」を参照してください。
4. タイマTOU00の割り込み変換要求が発生すると、AD1REFレジスタのADITACTビットが"1"にセットされ、AD1IN0の割り込み変換が実施されます。AD1IN0のA/D変換が終了すると、AD1IN0のA/D変換値をAD1DR0レジスタに転送し、AD1TRFレジスタのAD1TF0ビットを"1"にセットします。また、ADITACTビットが"0"にクリアされ、割り込み変換が終了します。さらに、AD1TRDレジスタのAD1IDE0ビットが"1"にセットされていると、CPUに対してAD1ID0割り込みが発生します。
5. タイマTOU01の割り込み変換要求が発生すると、AD1REFレジスタのADITACTビットが"1"にセットされ、AD1IN4とAD1IN5の割り込み変換が実施されます。AD1IN4のA/D変換が実施され、終了すると、AD1IN4のA/D変換値をAD1DR4レジスタに転送し、AD1TRFレジスタのAD1TF4ビットを"1"にセットします。次にAD1IN5のA/D変換が実施され終了すると、AD1IN5のA/D変換値をAD1DR5レジスタに転送し、AD1TRFレジスタのAD1TF5ビットを"1"にセットします。また、ADITACTビットが"0"にクリアされ、割り込み変換を終了します。さらに、AD1TF4ビットまたはAD1TF5ビットが"1"にセットされたときに、AD1TRDレジスタのAD1IDE4ビットとAD1IDE5ビットが"1"にセットされていると、CPUに対してそれぞれAD1ID4、AD1ID5の割り込みが発生します。
6. 以降は4.~5.を繰り返します。タイマTOU00とタイマTOU01が競合したときの動作例を次に示します。

#### (1) 動作例 1

タイマ TOU01 の割り込み変換要求による AD1IN4 の A/D 変換中に、タイマ TOU00 の割り込み変換要求が入った場合、次のように処理します。

タイマ TOU00 の要因を A/D 内部で保持します。AD1IN4 が処理されるのを待ちます。AD1IN4 の A/D 変換が終了すると、現時点の要因である AD1IN5 と AD1IN0 に優先順位が適用され、AD1IN0→AD1IN5 の順に A/D 変換されます。

#### (2) 動作例 2

タイマ TOU00 の割り込み変換要求とタイマ TOU01 の割り込み変換要求が同時に入った場合、次のように処理します。タイマ TOU00 の要因とタイマ TOU01 の要因を A/D 内部で保持します。現時点の要因である AD1IN0、AD1IN4、および AD1IN5 に優先順位が適用され、AD1IN0→AD1IN4→AD1IN5 の順に A/D 変換されます。

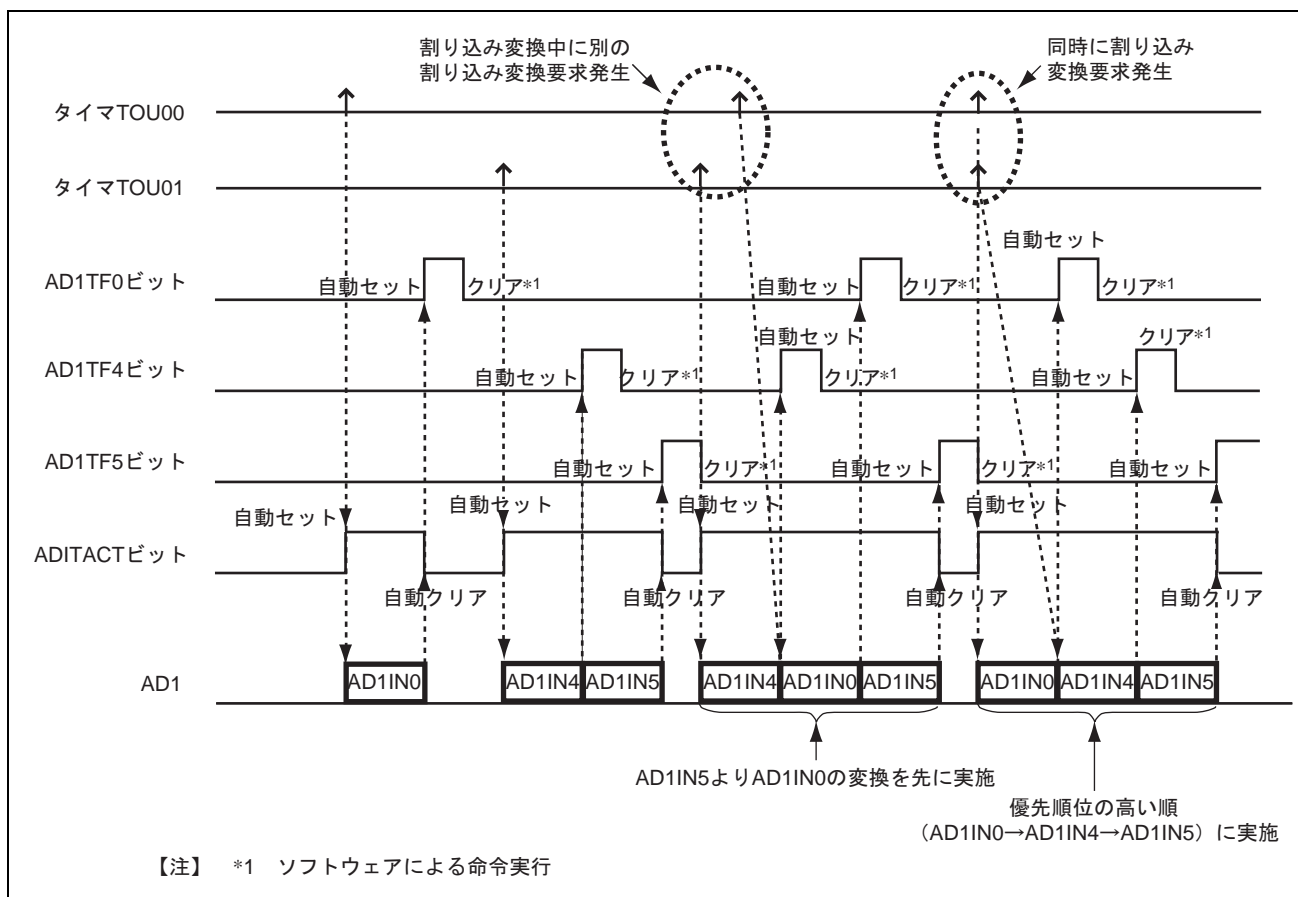


図 27.6 割り込み変換の動作例

### 27.5.6 スキャン変換中の割り込み変換

AD0IN0、AD0IN2、AD0IN9 を選択し、3 チャンネルの 1 サイクルスキャンモードをタイマ G4 のスキャン変換要求で起動し、AD0IN6 のトリガソースをタイマ TOUT2 に選択し、割り込み変換を行う場合の動作例を次に示します。

1. AD0CSRレジスタのADCSビットに"0"、TRGEビットに"1"、EXTRGビットに"0"を設定します。
2. AD0ANSレジスタのAD0ANS0、AD0ANS2、AD0ANS9ビットにそれぞれ"1"を設定します。
3. AD0TREレジスタのAD0TRGE6ビットに"1"を設定します。
4. AD0CERレジスタのITTRGSビットに"0"を設定します。AD0TRSレジスタのAD0TRS6ビットに"0"を設定します。
5. 以降は、ATU-IHSのレジスタの設定に従った周期でタイマG4のスキャン変換要求、タイマTOUT2の割り込み変換要求が発生します。ATU-IHSのレジスタについては、「第21章 アドバンスドタイマユニット-IHS (ATU-IHS)」を参照してください。
6. タイマG4のスキャン変換要求が発生すると、ADSCACTビットが"1"にセットされます。次に、AD0IN0 → AD0IN2 → AD0IN9の順にA/D変換を実施し終了すると、ADFビットを"1"にセットし、ADSCACTビットを"0"にクリアしてスキャン変換が終了します。
7. タイマTOUT2の割り込み変換要求が発生すると、ADITACTビットが"1"にセットされ、AD0IN6の割り込み変換が実施されます。AD0IN6のA/D変換を実施し終了すると、AD0TRFレジスタのAD0TF6ビットを"1"にセットし、ADITACTビットを"0"にクリアして割り込み変換が終了します。
8. 以降は6.~7.を繰り返します。スキャン変換と割り込み変換が競合したときの動作例を次に示します。

#### (1) 動作例

タイマ G4 のスキャン変換要求によるスキャン変換で AD0IN2 の A/D 変換中に、タイマ TOUT2 の割り込み変換要求が入った場合、次のように処理します。

タイマ TOUT2 の要因を A/D 内部で保持し、スキャン変換の AD0IN2 の A/D 変換を中断します。現時点の未処理であるスキャン変換の AD0IN2 と AD0IN9 および現時点の要因である割り込み変換の AD0IN6 に優先順位が適用され、AD0IN6 → AD0IN2 → AD0IN9 の順に A/D 変換されます。

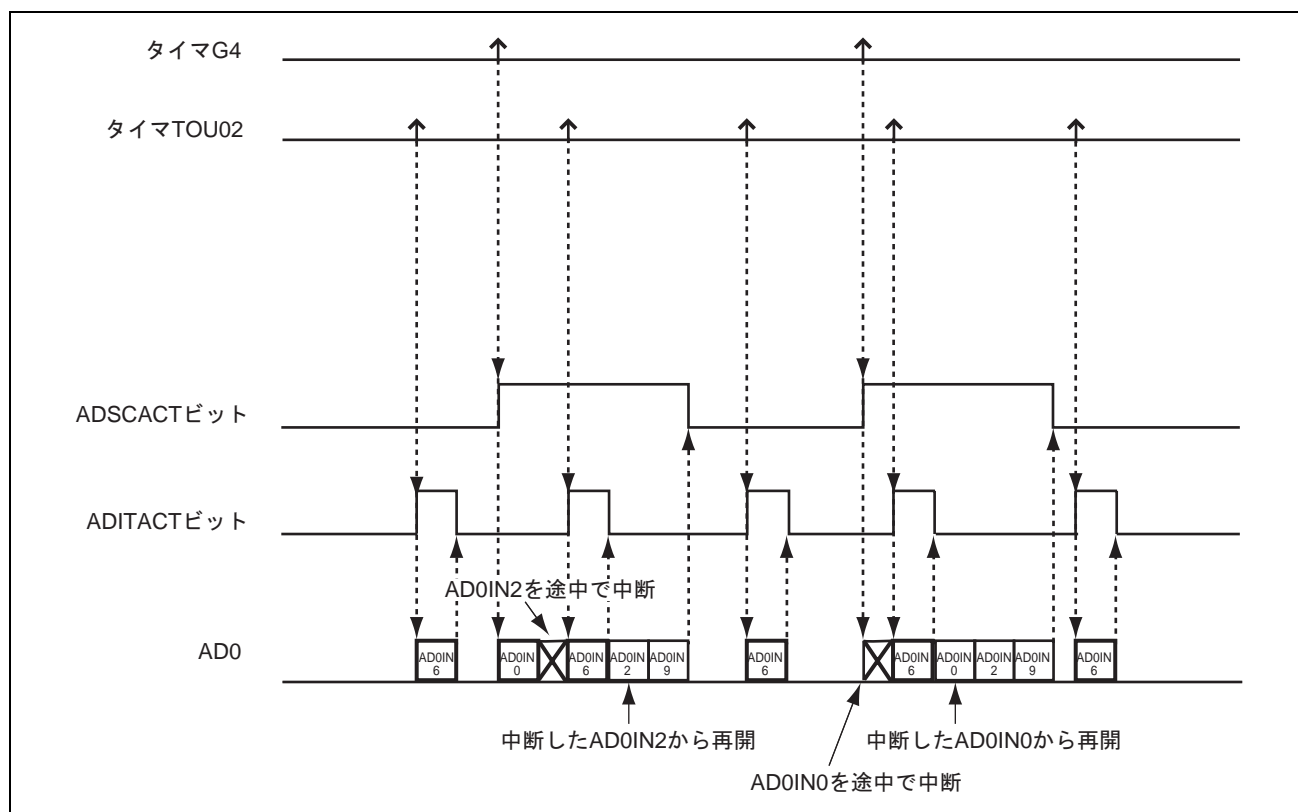


図 27.7 スキャン変換中の割り込み変換の動作例



## 27.5.7 アナログ入力のサンプリングとスキャン変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADiCSR レジスタの ADST ビットが"1"にセットされてから、スキャン変換開始遅延時間 ( $t_D$ ) の経過後にアナログ入力のサンプリングを行い、その後変換を開始します。

図 27.8 に、1 チャンネルの 1 サイクルスキャンでスキャン変換を行う場合のタイミングを示します。スキャン変換時間 ( $t_{SCAN}$ ) は、スキャン変換開始遅延時間 ( $t_D$ )、アナログ入力サンプリング時間 ( $t_{SPL}$ )、A/D 変換処理時間 ( $t_{CONV}$ )、スキャン変換終了遅延時間 ( $t_{ED}$ ) を含めた時間となります。表 27.6 にスキャン変換時間を示します。

選択チャンネル数が  $n$  の 1 サイクルスキャンのスキャン変換時間 ( $t_{SCAN}$ ) は、以下の計算式で求められます。

$$t_{SCAN} = t_D + \{(t_{SPL} + t_{CONV}) \times n\} + t_{ED}$$

連続スキャンの 1 サイクル目のスキャン変換時間は、1 サイクルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省いた時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間は、 $\{(t_{SPL} + t_{CONV}) \times n\}$  に固定された時間となります。

表 27.6 スキャン変換時間

項目	記号	Pck=40MHz (Pck 換算)		単位
		CKS="0"	CKS="1"	
スキャン変換開始遅延時間	$t_D$	7	11~12	ステート
ライトサイクル	$t_{D1}$	2	2	
同期化時間	$t_{D2}$	2	3~4	
ADSCACT ビット立ち上がりからサンプリング開始までの時間	$t_{D3}$	3	6	
アナログ入力サンプリング時間	$t_{SPL}$	20	40	
A/D 変換処理時間	$t_{CONV}$	30	60	
スキャン変換終了遅延時間	$t_{ED}$	4	7	
スキャン変換時間	$t_{SCAN}$	61	118~119	

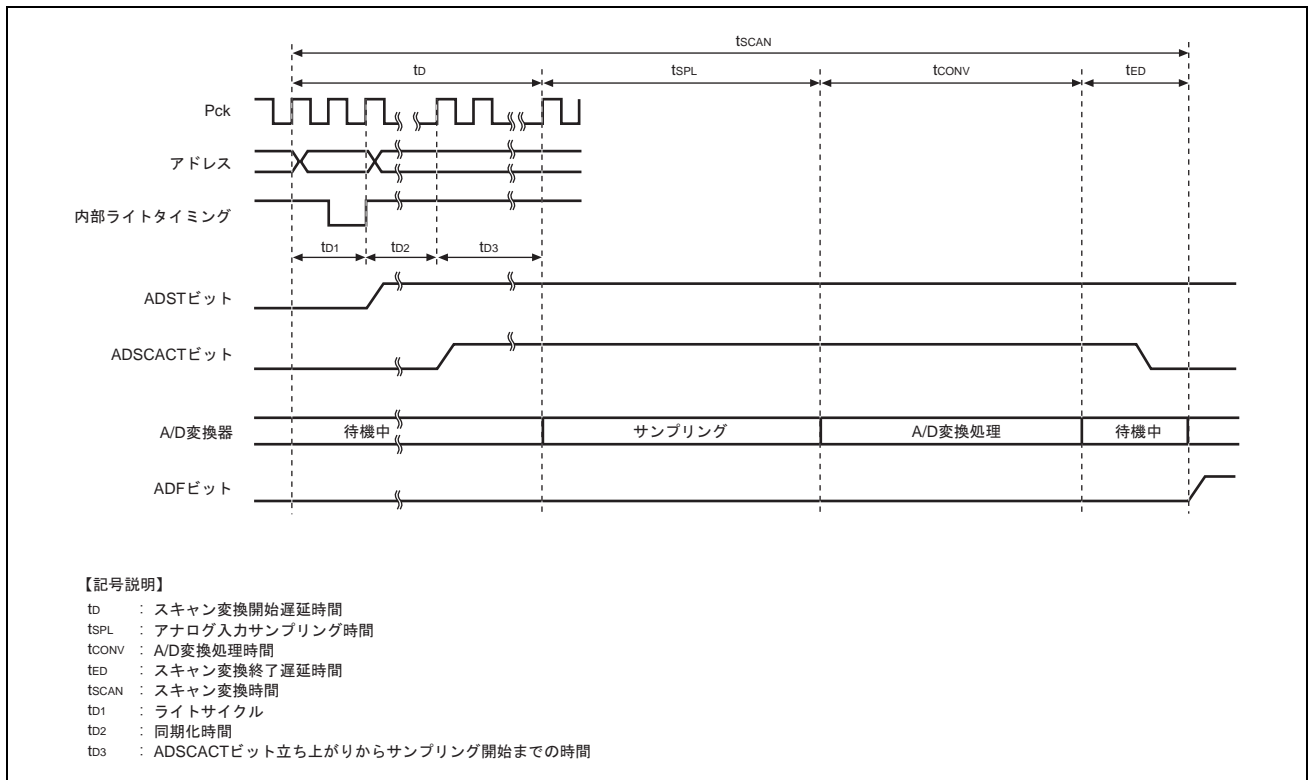


図 27.8 スキャン変換のタイミング (1チャンネル、1サイクルスキャン)

## 27.5.8 外部トリガによるスキャン変換の起動

外部トリガの入力で、A/D 変換器を起動できます。外部トリガで A/D 変換器を起動するときには、ピンファンクションユニットで端子機能を設定します。AD0TRG#端子に"H"レベルを入力した後、A/D0 コントロールレジスタ (AD0CSR) の TRGE ビットを"1"、EXTRG ビットを"1"にセットします。この状態で AD0TRG#端子に"L"レベルを入力すると、A/D 変換器はパルスの立ち下がりエッジを検出して ADSCACT ビットを"1"にセットします。

図 27.9 に外部トリガ入力タイミングを示します。表 27.7 に外部トリガ入力時のスキャン変換時間を示します。

ADSCACT ビットが"1"にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットが"0"の状態から"1"にセットされた場合と同じです。端子機能の設定については、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに"1"を書き込んでから"0"を書き込んでください。

表 27.7 外部トリガ入力時のスキャン変換時間

項目	記号	Pck=40MHz (Pck 換算)		単位
		CKS="0"	CKS="1"	
スキャン変換開始遅延時間	tD	8	13~14	ステート
AD0TRG#端子立ち下がりサンプリングから ADSCACT ビット立ち上がりまでの時間	tD4	5	7~8	
ADSCACT ビット立ち下がりからサンプリング開始までの時間	tD3	3	6	
アナログ入力サンプリング時間	tSPL	20	40	
A/D 変換処理時間	tCONV	30	60	
スキャン変換終了遅延時間	tED	4	7	
スキャン変換時間	tSCAN	62	120~121	

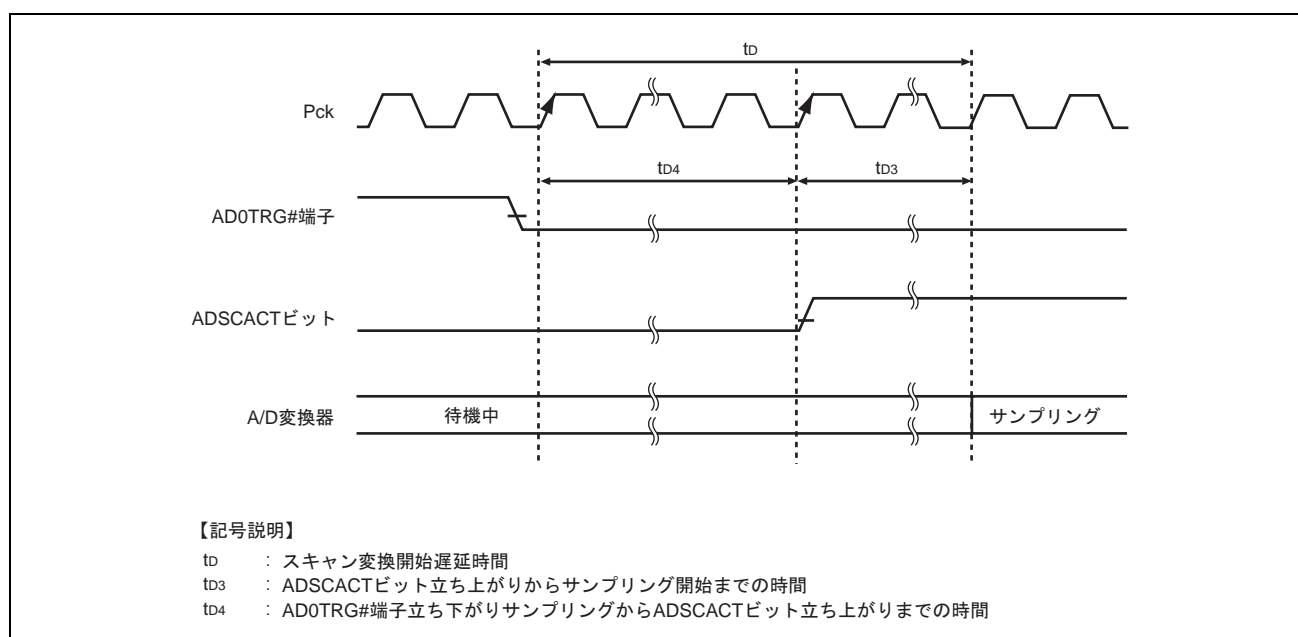


図 27.9 外部トリガ入力タイミング

### 27.5.9 ATU-IIIS のタイマトリガによるスキャン変換の起動

ATU-IIIS のタイマトリガによって、スキャン変換を起動できます。ATU-IIIS のタイマトリガでスキャン変換を起動するときには、ADiCSR レジスタの TRGE ビットを"1"、EXTRG ビットを"0"にセットします。この状態でタイマトリガ (タイマ G4、タイマ G5) が入ると、ADSCACT ビットを"1"にセットします。ADSCACT ビットが"1"にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットが"0"の状態を"1"にセットされた場合と同じです。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに"1"を書き込んでから"0"を書き込んでください。

## 27.5.10 AD0END 端子によるモニタ機能

AD0END 端子によって、AD0IN0 をスキャン変換で使用する場合の変換タイミングをモニタできます。端子の設定に関しては、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

図 27.10 に AD0END 端子の出力例を示します。ピンファンクションユニットで、AD0END 端子出力を選択した場合は、AD0IN0 の変換処理中に、AD0END 端子からそれぞれモニタ信号を出力します。AD0IN0 のサンプリング終了した時点で、AD0END 端子からそれぞれ出力されます。

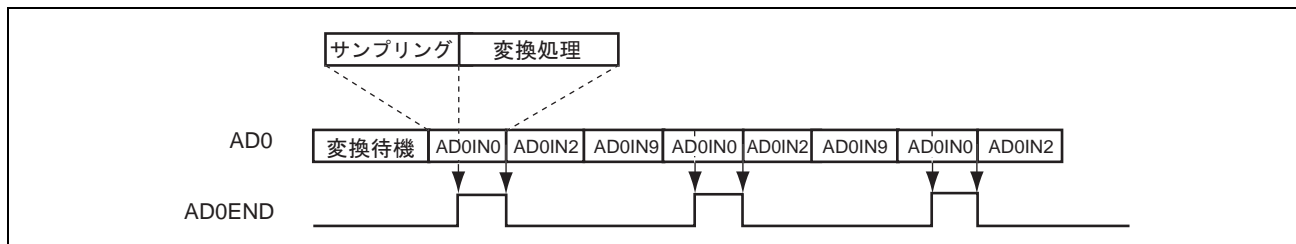


図 27.10 AD0END 端子の出力例

- 【注】・ AD0END 端子が"H"レベルを出力しているときに割り込み変換が実施された場合、一度"L"レベルを出力します。そのあとに再度スキャン変換で AD0IN0 が変換されるため、AD0END 端子は再び"H"レベルを出力します。また、割り込み変換で AD0IN0 を変換した場合も、AD0END 端子から"H"レベルが出力されます。さらに、AD0IN0 が A/D 変換値加算モードに設定されている場合は、最後の A/D 変換（4 回変換の場合、4 回目の変換）でのみ AD0END 端子から"H"レベルが出力されます。

## 27.6 割り込み要因と DMA 転送要求

### 27.6.1 スキャン変換終了時の割り込み要求

A/D 変換器は、CPU へのスキャン変換終了割り込み要求 (ADI) を発生できます。ADiCSR レジスタの ADIE ビットを"1"にセットすると、ADI 割り込みを許可、"0"にクリアすると ADI 割り込みを禁止できます。また、ADI 割り込み発生時に DMAC を起動できます。このとき、CPU への割り込みは発生しません。ADI 割り込みで DMAC を起動する場合、DMAC によるデータ転送要求が受け付けられたときに ADiREF レジスタの ADF ビットは自動的に"0"にクリアされます。

DMAC の設定については「第 20 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

【注】・ ADF ビットは、CPU への割り込み要求ではクリアされません。

### 27.6.2 割り込み変換終了時の割り込み要求

割り込み変換終了時に、CPU への割り込み変換終了割り込み要求 (AD0IDm、AD1IDn) を発生できます。ADiTRD レジスタの該当する AD0IDEm、AD1IDEn ビットをそれぞれ"1"にセットすると AD0IDm、AD1IDn を許可、"0"にクリアすると AD0IDm、AD1IDn を禁止できます。また、AD0ID0、AD0ID2、AD0ID15 で DMAC を起動する場合、DMAC によるデータ転送要求が受け付けられたときに AD0TRF レジスタの AD0ID0、AD0ID2、AD0ID15 ビットは自動的に"0"にクリアされます。

DMAC の設定については「第 20 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

【注】・ ADiTF ビットは、CPU への割り込み要求ではクリアされません。

## 27.7 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能

A/D変換器のデジタル変換出力コード数

- 量子化誤差

A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる (図27.11)。

- オフセット誤差

デジタル出力が最小電圧値B'000000000000からB'000000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない (図27.11)。

- フルスケール誤差

デジタル出力がB'111111111110からB'111111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない (図27.11)。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない (図27.11)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線性誤差を含む。

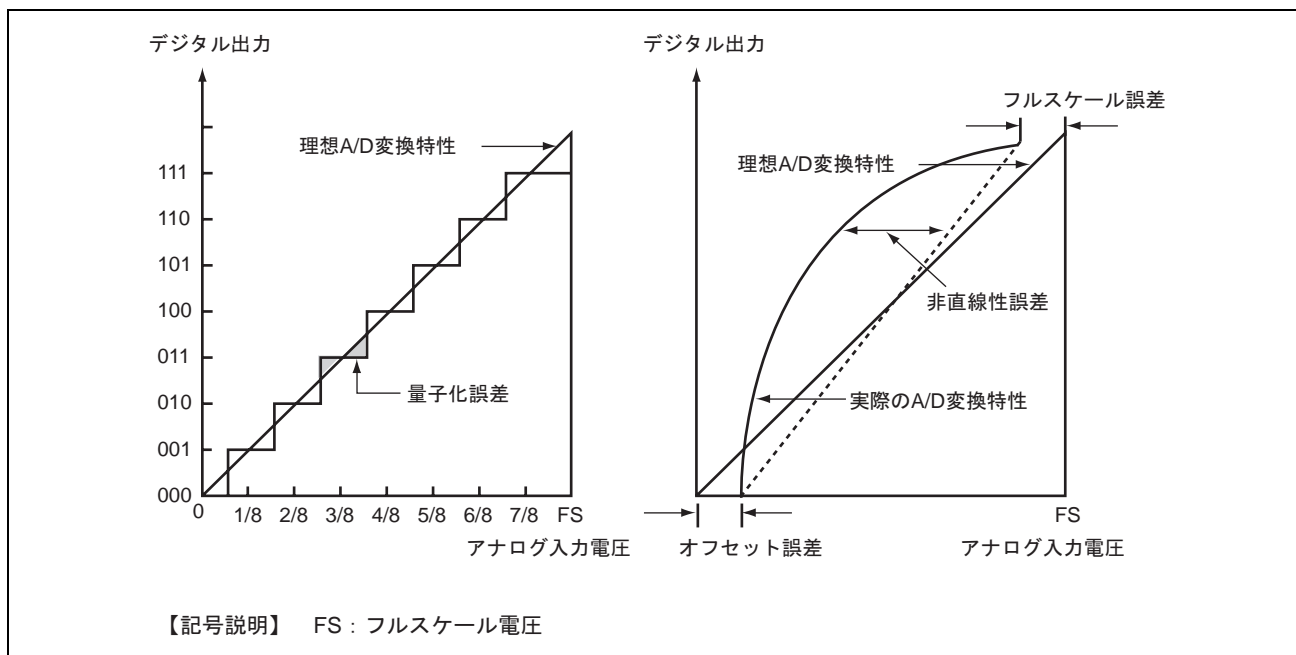


図 27.11 A/D 変換精度の定義

## 27.8 使用上の注意事項

### 27.8.1 アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 (AD0IN<sub>m</sub>、AD1IN<sub>n</sub>) に印加する電圧は、 $AVREFL \leq AD0IN_m$  ( $m=0, 2, 4, 6, 8 \sim 15$ ) /  $AD1IN_n$  ( $n=0, 1, 4, 5$ )  $\leq AVREFH$  の範囲としてください。

### 27.8.2 AVcc、AVss と Vcc、Vss の関係

A/D 変換器を使用するときは、AVcc、AVss と Vcc、Vss の関係は、 $AVcc \geq Vcc$ 、 $AVss = Vss$  としてください。

一方、A/D 変換器を使用しないときは、 $AVss = Vss$  としてください。また、AVcc 端子はオープンにしないでください。

### 27.8.3 AVREFH、AVREFL 端子の設定範囲

AVREFH の設定範囲は、次のとおりです。

A/D 変換器を使用するとき :  $AVcc = 5.0V$  時  $AVREFH = 4.5V \sim AVcc$

$AVcc = 3.3V$  時  $AVREFH = 3.0V \sim AVcc$

A/D 変換器を使用しないとき :  $AVREFH \leq AVcc$

上記した範囲以外の値を設定した場合、MCU の信頼性に悪影響を及ぼすことがあります。また、AVREFL に関しては、 $AVREFL = AVss = Vss$  としてください。

### 27.8.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力端子 (AD0IN<sub>m</sub>、AD1IN<sub>n</sub>)、アナログ基準電圧 (AVREFH、AVREFL)、アナログ電源 (AVcc) は、アナロググランド (AVss) で、デジタル回路と必ず分離してください。さらにアナロググランド (AVss) は、ボード上の安定したデジタルグランド (Vss) に一点接続してください。



## 27.8.5 ノイズ対策上の注意事項

過大なサージなどの異常電圧によるアナログ入力端子 (AD0INm、AD1INn) の破壊を防ぐために接続する保護回路は、図 27.12 に示すように、AVcc—AVss 間に接続してください。また、AVREFH 端子、AVREFL 端子に接続するバイパスコンデンサ、アナログ入力端子 (AD0INm、AD1INn) に接続するフィルタのコンデンサは、AVss に接続してください。なお、図 27.12 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AD0INm、AD1INn) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討のうえ決定してください。

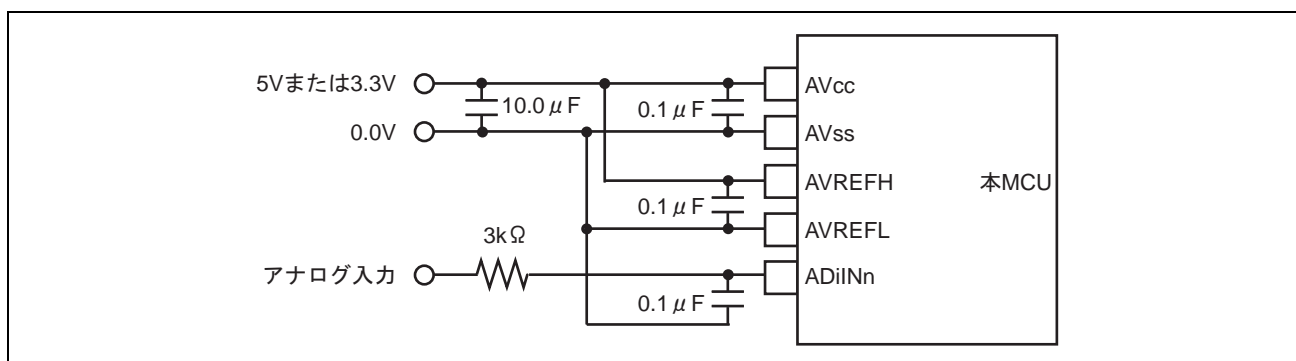


図 27.12 アナログ入力端子の保護回路例

## 27.8.6 アナログ入力端子をデジタル入力として使用する際の注意事項

アナログ入力端子をデジタル入力として使用する場合は、ピンファンクションユニットで機能を選択しますが、以下のことに注意して使用してください。

複数のアナログ入力端子をアナログ入力とデジタル入力を混在して使用する場合、同一モジュール内で混在するような設定はしないでください (例: AD0IN0 がアナログ入力、AD0IN2 がデジタル入力)。

表 27.8 アナログ入力端子をデジタル入力として使用する際の注意

AD0	AD1	設定
混在	Don't care	禁止
Don't care	混在	禁止
デジタルのみ	アナログのみ	可能
アナログのみ	デジタルのみ	可能
デジタルのみ	デジタルのみ	可能
アナログのみ	アナログのみ	可能

---

## 28. ダイレクト RAM インพุットインタフェース (DRI)

---

### 28.1 概要

ダイレクト RAM インพุットインタフェース (DRI) は、クロックに同期して本 MCU へ入力されるパラレルデータを SHwyRAM へ取り込むためのパラレルインタフェースです。DRli から SHwyRAM へのデータ書き込みは、CPU とは別に用意された DRI/DRO 専用バスを通じて行うため、CPU の動作を停止させることなくデータを取り込みます。また、DRli 内部のイベントカウンタを利用した間引き制御機能による選択的なデータ取り込みができます。なお、本章では、DRli の i とレジスタ名で使用している i は 0~2 と規定しています。また、DINj 端子および DDj 端子で使用している j は B、C と規定しています (端子の仕様は表 28.3 を参照してください)。

表 28.1 に DRli の概要、表 28.2 に DRli の割り込み要求、DMA 転送要求発生機能を示します。

表 28.1 DRli の概要

項目	概要
チャンネル数	3 チャンネル
動作周波数	80MHz (PAck=80MHz 時)
転送方式	クロック同期型パラレル入力
アクセス領域	SHwyRAM 全領域 (256K バイト)
最大転送速度	80M バイト/秒 (DRli 動作周波数が 80MHz のとき)
データ取り込み最小周期	下記いずれも DRli 動作周波数が 80MHz のときの最小周期です。 43.75ns (特殊モード禁止、入力データバス幅 16/8 ビット時) 25ns (特殊モード許可時)
データ取り込みバス幅	16、8 ビット
イベントカウンタ	16 ビット×6 本 (DEC5~DEC0)
バンク切り替え機能	データ格納先を SHwyRAM 上に 2 バンク指定可能
データ取り込みエッジ	立ち上がり、立ち下がり、両エッジから選択
取り込みタイミング調整機能	データ取り込みエッジ検出からデータ取り込みまでのタイミングを設定可能
間引き制御機能	イベントカウンタ (DEC5~DEC0) を使用して選択的にデータ取り込み可能

28. ダイレクトRAM インพุットインタフェース (DRI)

表 28.2 DRIi の割り込み要求要因、DMA 転送要求要因

要因	INTC 割り込み要求要因	DMAC 転送要求要因* <sup>1</sup>
DIN0 イベント検出	DRIi イベント検出割り込み	DRI0 DIN0 イベント検出
DIN1 イベント検出		DRI0 DIN1 イベント検出
DIN2 イベント検出		DRI0 DIN2 イベント検出
DIN3 イベント検出		DRI0 DIN3 イベント検出
DIN4 イベント検出		DRI0 DIN4 イベント検出
DIN5 イベント検出		DRI0 DIN5 イベント検出
DEC0 アンダフロー	DRIi カウンタ割り込み	DRI0 DEC0 アンダフロー
DEC1 アンダフロー		DRI0 DEC1 アンダフロー
DEC2 アンダフロー		DRI0 DEC2 アンダフロー
DEC3 アンダフロー		DRI0 DEC3 アンダフロー
DEC4 アンダフロー		DRI0 DEC4 アンダフロー
DEC5 アンダフロー		DRI0 DEC5 アンダフロー
DRI アドレスカウンタ 0 転送完了	DRIi 転送割り込み	DRI0 DRI アドレスカウンタ 0 転送完了
DRI アドレスカウンタ 1 転送完了		DRI0 DRI アドレスカウンタ 1 転送完了
オーバランエラー		—
取り込み許可エラー		—
DRI 転送カウンタアンダフロー		DRI0 DRI 転送カウンタアンダフロー
DRI 取り込みイベントカウンタアンダフロー	—	DRI0 DRI 取り込みイベントカウンタアンダフロー

【注】 \*1 DRI0 のみ DMA 転送が可能です。DRI1 および DRI2 には DMA 転送要求発生機能はありません。

詳細は「第 20 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

図 28.1 に DRli のブロック図を示します。

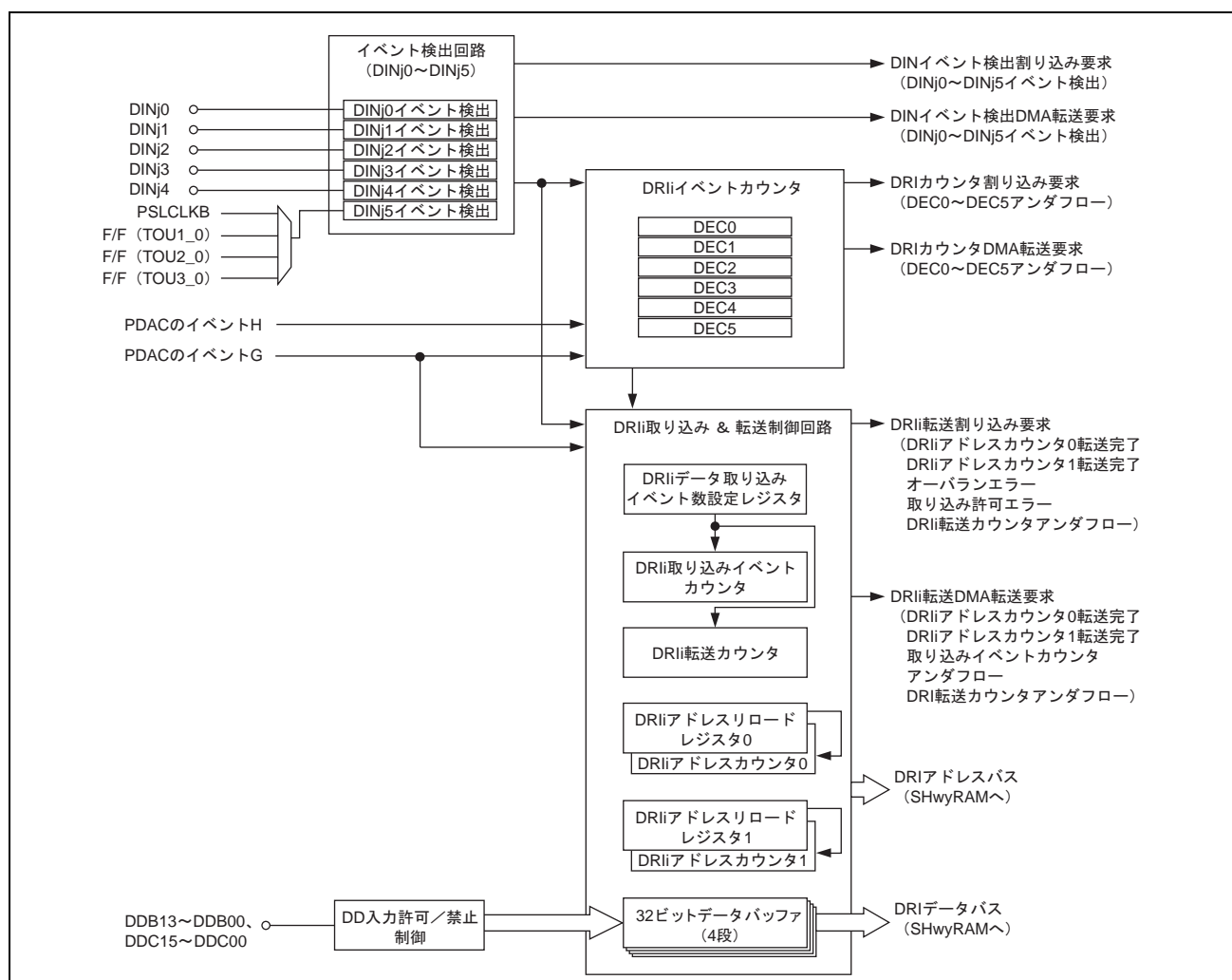


図 28.1 DRli のブロック図

## 28.2 入出力端子

表 28.3 に DRIi の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 28.3 端子構成

端子名	入出力	機能
DDB13~DDB00	入力	入力データ
DDC15~DDC00	入力	入力データ
DINB3、DINB1、DINB0	入力	入カイベント信号
DINC4	入力	入カイベント信号

以下、本章における端子の表記は、特に断りがないかぎり、上記の端子グループから選択されたそれぞれの入力を表します。

## 28.3 レジスタの説明

表 28.4 に DRIi のレジスタ構成を示します。

表 28.4 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
DRI0DIN 割り込み要求ステータスレジスタ	DRI0DINIST	H'00	H'FFBF C000	8	28-12
DRI0DIN 割り込み要求許可レジスタ	DRI0DINIEN	H'00	H'FFBF C001	8	28-13
DRI0DIN DMA 転送要求ステータスレジスタ	DRI0DINDST	H'00	H'FFBF C002	8	28-14
DRI0DIN DMA 転送許可レジスタ	DRI0DINDEN	H'00	H'FFBF C003	8	28-16
DRI0DEC 割り込み要求ステータスレジスタ	DRI0DECIST	H'00	H'FFBF C004	8	28-17
DRI0DEC 割り込み要求許可レジスタ	DRI0DECIEEN	H'00	H'FFBF C005	8	28-18
DRI0DEC DMA 転送要求ステータスレジスタ	DRI0DECDST	H'00	H'FFBF C006	8	28-19
DRI0DEC DMA 転送許可レジスタ	DRI0DEC DEN	H'00	H'FFBF C007	8	28-21
DRI0 転送割り込み要求ステータスレジスタ	DRI0TRMIST	H'00	H'FFBF C008	8	28-22
DRI0 転送割り込み要求許可レジスタ	DRI0TRMIEN	H'00	H'FFBF C009	8	28-24
DRI0 DMA 転送要求ステータスレジスタ	DRI0TRMDST	H'00	H'FFBF C00A	8	28-25
DRI0 DMA 転送許可レジスタ	DRI0TRMDEN	H'00	H'FFBF C00B	8	28-27
DRI0 転送制御レジスタ	DRI0TRMCNT	H'00	H'FFBF C00C	8	28-28
DRI0 特殊モードレジスタ	DRI0SPMOD	H'00	H'FFBF C00D	8	28-32
DRI0 データ取り込み制御レジスタ	DRI0DCAPCNT	H'0000	H'FFBF C00E	16	28-36
DRI0 データ間引き制御レジスタ	DRI0DSELCNT	H'00	H'FFBF C010	8	28-40
DRI0 データ間引きイベント選択レジスタ	DRI0DEVTCNT	H'00	H'FFBF C011	8	28-41
DRI0DIN 入力イベント選択レジスタ	DRI0DINSEL	H'00	H'FFBF C012	8	28-42
DRI0DD 入力許可レジスタ	DRI0DDEN	H'0000 0000	H'FFBF C014	32	28-43
DRI0 データ取り込みイベント数設定レジスタ	DRI0DCAPNUM	H'0000 0000	H'FFBF C018	32	28-44
DRI0 取り込みイベントカウンタ	DRI0DCAPCT	H'0000 0000	H'FFBF C01C	32	28-45
DRI0 転送カウンタ	DRI0TRMCT	H'0000 0000	H'FFBF C020	32	28-46
DRI0 アドレスリロードレジスタ 0	DRI0ADR0RLD	H'0000 0000	H'FFBF C024	32	28-47
DRI0 アドレスカウンタ 0	DRI0ADR0CT	H'0000 0000	H'FFBF C028	32	28-48
DRI0 アドレスリロードレジスタ 1	DRI0ADR1RLD	H'0000 0000	H'FFBF C02C	32	28-47
DRI0 アドレスカウンタ 1	DRI0ADR1CT	H'0000 0000	H'FFBF C030	32	28-48
DRI0 入力処理制御レジスタ	DRI0DINCNT	H'0000	H'FFBF C034	16	28-49
DRI0DEC0 制御レジスタ	DRI0DEC0CNT	H'00	H'FFBF C036	8	28-51
DRI0DEC0 リロードレジスタ	DRI0DEC0RLD	H'0000	H'FFBF C038	16	28-60
DRI0DEC0 カウンタ	DRI0DEC0CT	H'0000	H'FFBF C03A	16	28-62
DRI0DEC1 制御レジスタ	DRI0DEC1CNT	H'00	H'FFBF C03C	8	28-52
DRI0DEC1 リロードレジスタ	DRI0DEC1RLD	H'0000	H'FFBF C03E	16	28-60

## 28. ダイレクトRAM インプットインタフェース (DRI)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
DRI0DEC1 カウンタ	DRI0DEC1CT	H'0000	H'FFBF C040	16	28-62
DRI0DEC2 制御レジスタ	DRI0DEC2CNT	H'00	H'FFBF C042	8	28-54
DRI0DEC2 リロードレジスタ	DRI0DEC2RLD	H'0000	H'FFBF C044	16	28-60
DRI0DEC2 カウンタ	DRI0DEC2CT	H'0000	H'FFBF C046	16	28-62
DRI0DEC3 制御レジスタ	DRI0DEC3CNT	H'00	H'FFBF C048	8	28-55
DRI0DEC3 リロードレジスタ	DRI0DEC3RLD	H'0000	H'FFBF C04A	16	28-60
DRI0DEC3 カウンタ	DRI0DEC3CT	H'0000	H'FFBF C04C	16	28-62
DRI0DEC4 制御レジスタ	DRI0DEC4CNT	H'00	H'FFBF C04E	8	28-57
DRI0DEC4 リロードレジスタ	DRI0DEC4RLD	H'0000	H'FFBF C050	16	28-60
DRI0DEC4 カウンタ	DRI0DEC4CT	H'0000	H'FFBF C052	16	28-62
DRI0DEC5 制御レジスタ	DRI0DEC5CNT	H'00	H'FFBF C054	8	28-58
DRI0DEC5 リロードレジスタ	DRI0DEC5RLD	H'0000	H'FFBF C056	16	28-61
DRI0DEC5 カウンタ	DRI0DEC5CT	H'0000	H'FFBF C058	16	28-63
DRI1DIN 割り込み要求ステータスレジスタ	DRI1DINIST	H'00	H'FFBF D000	8	28-12
DRI1DIN 割り込み要求許可レジスタ	DRI1DINIEN	H'00	H'FFBF D001	8	28-13
DRI1DEC 割り込み要求ステータスレジスタ	DRI1DECIST	H'00	H'FFBF D004	8	28-17
DRI1DEC 割り込み要求許可レジスタ	DRI1DECIEN	H'00	H'FFBF D005	8	28-18
DRI1 転送割り込み要求ステータスレジスタ	DRI1TRMIST	H'00	H'FFBF D008	8	28-22
DRI1 転送割り込み要求許可レジスタ	DRI1TRMIEN	H'00	H'FFBF D009	8	28-24
DRI1 転送制御レジスタ	DRI1TRMCNT	H'00	H'FFBF D00C	8	28-28
DRI1 特殊モードレジスタ	DRI1SPMOD	H'00	H'FFBF D00D	8	28-32
DRI1 データ取り込み制御レジスタ	DRI1DCAPCNT	H'0000	H'FFBF D00E	16	28-36
DRI1 データ間引き制御レジスタ	DRI1DSELCNT	H'00	H'FFBF D010	8	28-40
DRI1 データ間引きイベント選択レジスタ	DRI1DEVTCNT	H'00	H'FFBF D011	8	28-41
DRI1DIN 入力イベント選択レジスタ	DRI1DINSEL	H'00	H'FFBF D012	8	28-42
DRI1DD 入力許可レジスタ	DRI1DDEN	H'0000 0000	H'FFBF D014	32	28-43
DRI1 データ取り込みイベント数設定レジスタ	DRI1DCAPNUM	H'0000 0000	H'FFBF D018	32	28-44
DRI1 取り込みイベントカウンタ	DRI1DCAPCT	H'0000 0000	H'FFBF D01C	32	28-45
DRI1 転送カウンタ	DRI1TRMCT	H'0000 0000	H'FFBF D020	32	28-46
DRI1 アドレスリロードレジスタ 0	DRI1ADR0RLD	H'0000 0000	H'FFBF D024	32	28-47
DRI1 アドレスカウンタ 0	DRI1ADR0CT	H'0000 0000	H'FFBF D028	32	28-48
DRI1 アドレスリロードレジスタ 1	DRI1ADR1RLD	H'0000 0000	H'FFBF D02C	32	28-47
DRI1 アドレスカウンタ 1	DRI1ADR1CT	H'0000 0000	H'FFBF D030	32	28-48
DRI1 入力処理制御レジスタ	DRI1DINCNT	H'0000	H'FFBF D034	16	28-49
DRI1DEC0 制御レジスタ	DRI1DEC0CNT	H'00	H'FFBF D036	8	28-51
DRI1DEC0 リロードレジスタ	DRI1DEC0RLD	H'0000	H'FFBF D038	16	28-60

28. ダイレクト RAM インプットインタフェース (DRI)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
DRI1DEC0 カウンタ	DRI1DEC0CT	H'0000	H'FFBF D03A	16	28-62
DRI1DEC1 制御レジスタ	DRI1DEC1CNT	H'00	H'FFBF D03C	8	28-52
DRI1DEC1 リロードレジスタ	DRI1DEC1RLD	H'0000	H'FFBF D03E	16	28-60
DRI1DEC1 カウンタ	DRI1DEC1CT	H'0000	H'FFBF D040	16	28-62
DRI1DEC2 制御レジスタ	DRI1DEC2CNT	H'00	H'FFBF D042	8	28-54
DRI1DEC2 リロードレジスタ	DRI1DEC2RLD	H'0000	H'FFBF D044	16	28-60
DRI1DEC2 カウンタ	DRI1DEC2CT	H'0000	H'FFBF D046	16	28-62
DRI1DEC3 制御レジスタ	DRI1DEC3CNT	H'00	H'FFBF D048	8	28-55
DRI1DEC3 リロードレジスタ	DRI1DEC3RLD	H'0000	H'FFBF D04A	16	28-60
DRI1DEC3 カウンタ	DRI1DEC3CT	H'0000	H'FFBF D04C	16	28-62
DRI1DEC4 制御レジスタ	DRI1DEC4CNT	H'00	H'FFBF D04E	8	28-57
DRI1DEC4 リロードレジスタ	DRI1DEC4RLD	H'0000	H'FFBF D050	16	28-60
DRI1DEC4 カウンタ	DRI1DEC4CT	H'0000	H'FFBF D052	16	28-62
DRI1DEC5 制御レジスタ	DRI1DEC5CNT	H'00	H'FFBF D054	8	28-58
DRI1DEC5 リロードレジスタ	DRI1DEC5RLD	H'0000	H'FFBF D056	16	28-61
DRI1DEC5 カウンタ	DRI1DEC5CT	H'0000	H'FFBF D058	16	28-63
DRI2DIN 割り込み要求ステータスレジスタ	DRI2DINIST	H'00	H'FFBF E000	8	28-12
DRI2DIN 割り込み要求許可レジスタ	DRI2DINIEN	H'00	H'FFBF E001	8	28-13
DRI2DEC 割り込み要求ステータスレジスタ	DRI2DECIST	H'00	H'FFBF E004	8	28-17
DRI2DEC 割り込み要求許可レジスタ	DRI2DECIEN	H'00	H'FFBF E005	8	28-18
DRI2 転送割り込み要求ステータスレジスタ	DRI2TRMIST	H'00	H'FFBF E008	8	28-22
DRI2 転送割り込み要求許可レジスタ	DRI2TRMIEN	H'00	H'FFBF E009	8	28-24
DRI2 転送制御レジスタ	DRI2TRMCNT	H'00	H'FFBF E00C	8	28-28
DRI2 特殊モードレジスタ	DRI2SPMOD	H'00	H'FFBF E00D	8	28-32
DRI2 データ取り込み制御レジスタ	DRI2DCAPCNT	H'0000	H'FFBF E00E	16	28-36
DRI2 データ間引き制御レジスタ	DRI2DSELCNT	H'00	H'FFBF E010	8	28-40
DRI2 データ間引きイベント選択レジスタ	DRI2DEVTCNT	H'00	H'FFBF E011	8	28-41
DRI2DIN 入カイベント選択レジスタ	DRI2DINSEL	H'00	H'FFBF E012	8	28-42
DRI2DD 入力許可レジスタ	DRI2DDEN	H'0000 0000	H'FFBF E014	32	28-43
DRI2 データ取り込みイベント数設定レジスタ	DRI2DCAPNUM	H'0000 0000	H'FFBF E018	32	28-44
DRI2 取り込みイベントカウンタ	DRI2DCAPCT	H'0000 0000	H'FFBF E01C	32	28-45
DRI2 転送カウンタ	DRI2TRMCT	H'0000 0000	H'FFBF E020	32	28-46
DRI2 アドレスリロードレジスタ 0	DRI2ADR0RLD	H'0000 0000	H'FFBF E024	32	28-47
DRI2 アドレスカウンタ 0	DRI2ADR0CT	H'0000 0000	H'FFBF E028	32	28-48
DRI2 アドレスリロードレジスタ 1	DRI2ADR1RLD	H'0000 0000	H'FFBF E02C	32	28-47
DRI2 アドレスカウンタ 1	DRI2ADR1CT	H'0000 0000	H'FFBF E030	32	28-48



## 28. ダイレクトRAM インプットインタフェース (DRI)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
DRI2 入力処理制御レジスタ	DRI2DINCNT	H'0000	H'FFBF E034	16	28-49
DRI2DEC0 制御レジスタ	DRI2DEC0CNT	H'00	H'FFBF E036	8	28-51
DRI2DEC0 リロードレジスタ	DRI2DEC0RLD	H'0000	H'FFBF E038	16	28-60
DRI2DEC0 カウンタ	DRI2DEC0CT	H'0000	H'FFBF E03A	16	28-62
DRI2DEC1 制御レジスタ	DRI2DEC1CNT	H'00	H'FFBF E03C	8	28-52
DRI2DEC1 リロードレジスタ	DRI2DEC1RLD	H'0000	H'FFBF E03E	16	28-60
DRI2DEC1 カウンタ	DRI2DEC1CT	H'0000	H'FFBF E040	16	28-62
DRI2DEC2 制御レジスタ	DRI2DEC2CNT	H'00	H'FFBF E042	8	28-54
DRI2DEC2 リロードレジスタ	DRI2DEC2RLD	H'0000	H'FFBF E044	16	28-60
DRI2DEC2 カウンタ	DRI2DEC2CT	H'0000	H'FFBF E046	16	28-62
DRI2DEC3 制御レジスタ	DRI2DEC3CNT	H'00	H'FFBF E048	8	28-55
DRI2DEC3 リロードレジスタ	DRI2DEC3RLD	H'0000	H'FFBF E04A	16	28-60
DRI2DEC3 カウンタ	DRI2DEC3CT	H'0000	H'FFBF E04C	16	28-62
DRI2DEC4 制御レジスタ	DRI2DEC4CNT	H'00	H'FFBF E04E	8	28-57
DRI2DEC4 リロードレジスタ	DRI2DEC4RLD	H'0000	H'FFBF E050	16	28-60
DRI2DEC4 カウンタ	DRI2DEC4CT	H'0000	H'FFBF E052	16	28-62
DRI2DEC5 制御レジスタ	DRI2DEC5CNT	H'00	H'FFBF E054	8	28-58
DRI2DEC5 リロードレジスタ	DRI2DEC5RLD	H'0000	H'FFBF E056	16	28-61
DRI2DEC5 カウンタ	DRI2DEC5CT	H'0000	H'FFBF E058	16	28-63

【注】・P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

DRI<sub>i</sub> 割り込み関連レジスタ (DRI<sub>i</sub>DINIST レジスタ、DRI<sub>i</sub>DINIEN レジスタ、DRI<sub>i</sub>DECIST レジスタ、DRI<sub>i</sub>DECIEN レジスタ、DRI<sub>i</sub>TRMIST レジスタ、DRI<sub>i</sub>TRMIEN レジスタ) は、DRI<sub>i</sub> から割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

### ● 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生すると"1"にセットされます。このビットはソフトウェアで"1"にセットできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求許可ビットの影響を受けずに動作しますので、周辺機能の動作確認用にも使用できます。割り込み処理時には、割り込み処理を行ったステータスビットのみクリアしてください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

### ● 割り込み要求許可ビット

割り込み要求を許可するためのビットです。割り込み要求許可時には"1"、割り込み要求禁止時には"0"を設定します。

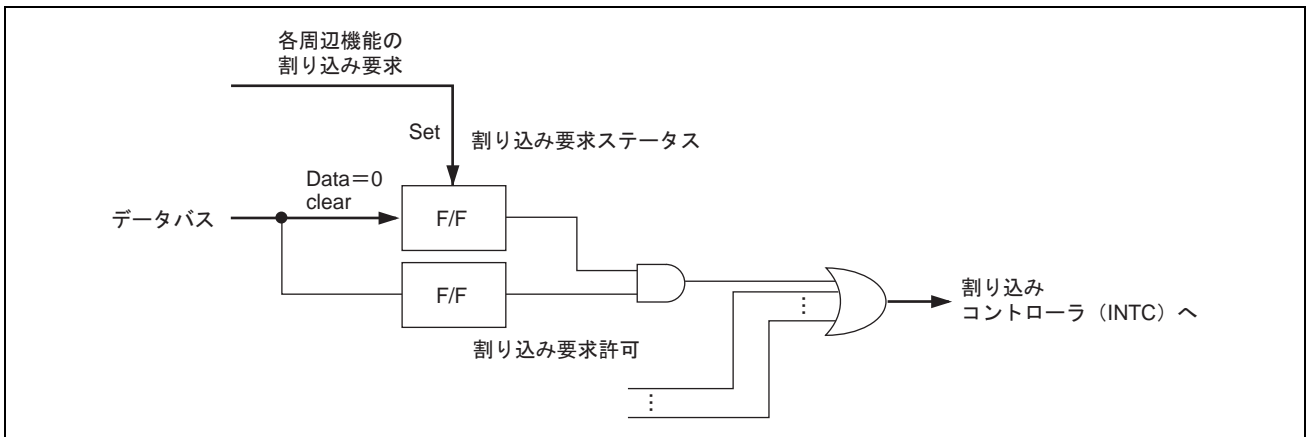


図 28.2 割り込み要求ステータスレジスタと割り込み要求許可レジスタ

## 28. ダイレクト RAM インพุットインタフェース (DRI)

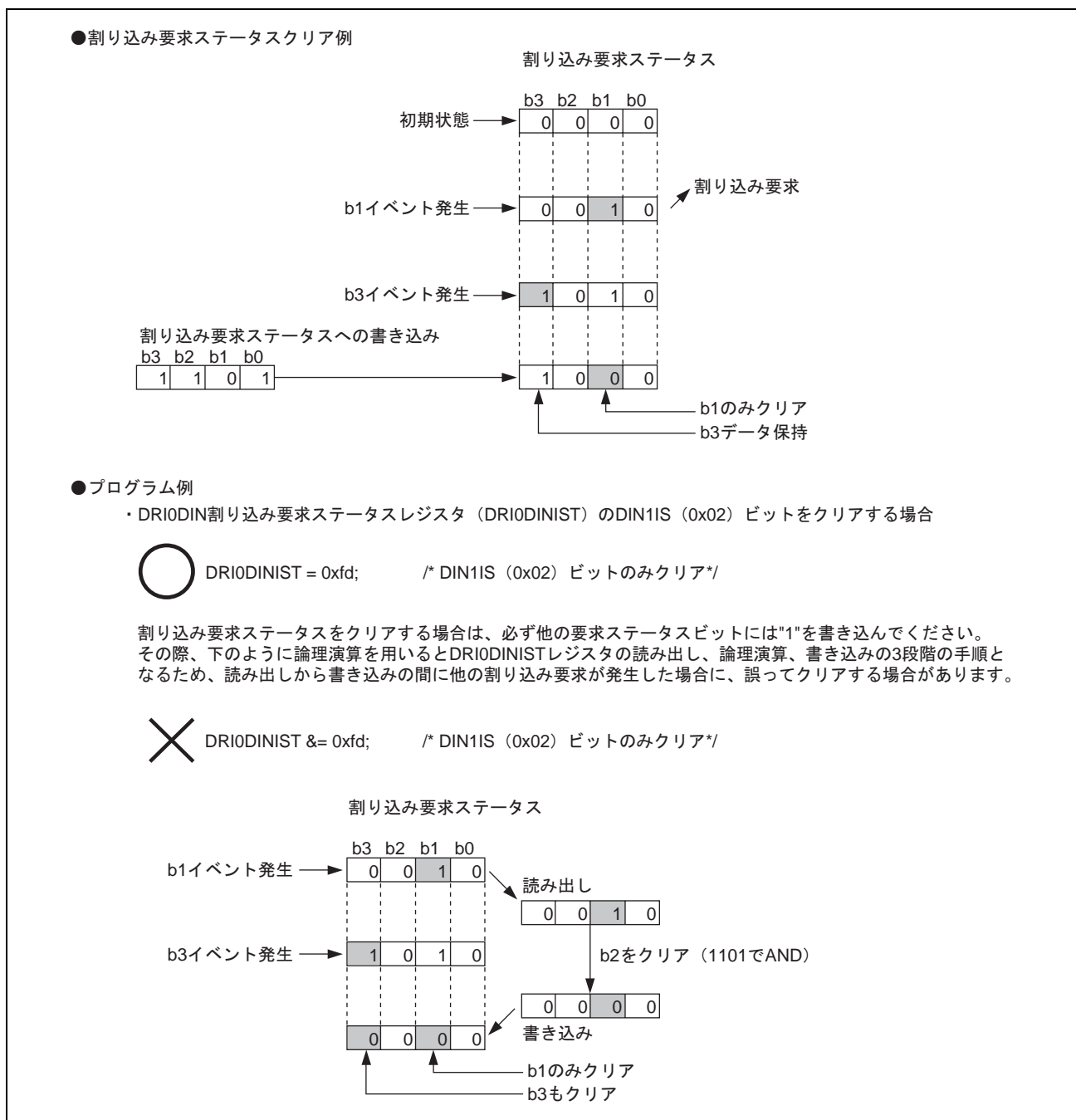


図 28.3 割り込み要求ステータスクリア例

DRiDMAC 関連レジスタ (DRI0DINDST レジスタ、DRI0DINDEN レジスタ、DRI0DECDST レジスタ、DRI0DEC DEN レジスタ、DRI0TRMDST レジスタ、DRI0TRMDEN レジスタ) は、DRi から DMAC に出力する DMA 要求信号を制御するレジスタです。

### ● DMA転送要求ステータスビット

DMA転送要求の有無を判別するためのステータスビットです。DMA転送要求許可ビットが"1"のとき、DMA転送要求が発生すると"1"にセットされ、DMAが転送要求を受け付けると自動的に"0"にクリアされます。DMA転送要求許可ビットが"0"のとき、DMA転送要求は発生しません。また、DMA転送要求許可

ビットを"1"から"0"に変更するとそれ以降DMA転送要求は発生しません。すでにDMA転送要求が発生していた場合は、DMA転送要求が受け付けられるまで"1"の状態を保持し、受け付けられると"0"にクリアされます。

本ビットをソフトウェアで"0"にクリアすると、現在出力中のDMA転送要求を強制停止できます。"1"書き込みはできません。

- **DMA転送要求許可ビット**

DMA転送要求を許可するためのビットです。DMA転送要求許可時には"1"、DMA転送要求禁止時には"0"を設定します。

また、DMAの誤動作を防ぐため、DRI取り込み許可 (DRIIDCAPCNT.DCPENビット="1") 時はDMA転送マスクからDMA転送許可への書き換えのみとしてください。DRI取り込み許可時にDMA転送許可からDMA転送マスクへの書き換えをすると正常にDMA要求が処理されない場合がありますので行わないでください。

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.1 DRIiDIN 割り込み要求ステータスレジスタ (DRIiDINIST)

DRIi 入力処理制御レジスタ (DRIiDINCNT) の設定に従って DINn イベントを検出した場合に、その DINn に対応したステータスビットが"1"にセットされます。

割り込み要求によるステータスのセットと、ソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

【記号説明】 n=0~5

DRI0DIN割り込み要求ステータスレジスタ (DRI0DINIST)  
 DRI1DIN割り込み要求ステータスレジスタ (DRI1DINIST)  
 DRI2DIN割り込み要求ステータスレジスタ (DRI2DINIST)

<P4領域アドレス : H'FFBF C000番地>  
 <P4領域アドレス : H'FFBF D000番地>  
 <P4領域アドレス : H'FFBF E000番地>

ビット:     7     6     5     4     3     2     1     0  

—	—	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0
		IS	IS	IS	IS	IS	IS

  
 リセット後の値:   0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DIN5IS	0	R	*1	DIN5 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり
4	DIN4IS	0	R	*1	DIN4 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり
3	DIN3IS	0	R	*1	DIN3 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり
2	DIN2IS	0	R	*1	DIN2 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり
1	DIN1IS	0	R	*1	DIN1 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり
0	DIN0IS	0	R	*1	DIN0 割り込み要求ステータスビット 0: 割り込み要求なし 1: 割り込み要求あり

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

## 28.3.2 DRIiDIN 割り込み要求許可レジスタ (DRIiDINIEN)

DINn イベント検出による割り込み要求の許可/禁止を制御するレジスタです。各ビットに"1"をセットした場合、対応する DINn イベント検出による割り込み要求が許可されます。

【記号説明】 n=0~5

DRI0DIN割り込み要求許可レジスタ (DRI0DINIEN)  
 DRI1DIN割り込み要求許可レジスタ (DRI1DINIEN)  
 DRI2DIN割り込み要求許可レジスタ (DRI2DINIEN)

<P4領域アドレス : H'FFBF C001番地>  
 <P4領域アドレス : H'FFBF D001番地>  
 <P4領域アドレス : H'FFBF E001番地>

ビット :

7	6	5	4	3	2	1	0
—	—	DIN5 IEN	DIN4 IEN	DIN3 IEN	DIN2 IEN	DIN1 IEN	DIN0 IEN

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DIN5IEN	0	R	W	DIN5 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
4	DIN4IEN	0	R	W	DIN4 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
3	DIN3IEN	0	R	W	DIN3 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
2	DIN2IEN	0	R	W	DIN2 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
1	DIN1IEN	0	R	W	DIN1 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
0	DIN0IEN	0	R	W	DIN0 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.3 DRI0DIN DMA 転送要求ステータスレジスタ (DRI0DINDST)

DRI0 入力処理制御レジスタ (DRI0DINCNT) の設定に従って DIN<sub>n</sub> イベントを検出した場合の DMA 転送要求の有無を各ビットで表します。DRI0DIN DMA 転送許可レジスタ (DRI0DINDEN) で設定されているビットのみ、DMA 転送要求許可状態での DMA 転送要求発生でセットされます。DMA 転送要求によるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合は、DMA 転送要求によるステータスのセットが優先されます。

【記号説明】 n=0~5

DRI0DIN DMA転送要求ステータスレジスタ (DRI0DINDST)

<P4領域アドレス : H'FFBF C002番地>

ビット: 7 6 5 4 3 2 1 0

—	—	DIN5 DS	DIN4 DS	DIN3 DS	DIN2 DS	DIN1 DS	DIN0 DS
---	---	------------	------------	------------	------------	------------	------------

リセット後の値: 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DIN5DS	0	R	*1	DIN5 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生
4	DIN4DS	0	R	*1	DIN4 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生

28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
3	DIN3DS	0	R	*1	<p>DIN3 DMA 転送要求ステータスビット</p> <p>0 : DMA 転送要求なし</p> <p>1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>
2	DIN2DS	0	R	*1	<p>DIN2 DMA 転送要求ステータスビット</p> <p>0 : DMA 転送要求なし</p> <p>1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>
1	DIN1DS	0	R	*1	<p>DIN1 DMA 転送要求ステータスビット</p> <p>0 : DMA 転送要求なし</p> <p>1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>
0	DIN0DS	0	R	*1	<p>DIN0 DMA 転送要求ステータスビット</p> <p>0 : DMA 転送要求なし</p> <p>1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。



## 28. ダイレクトRAM インพุットインタフェース (DRI)

### 28.3.4 DRI0DIN DMA 転送許可レジスタ (DRI0DINDEN)

DINn イベント検出による DMA 転送要求の許可/禁止を制御するレジスタです。各ビットに"1"をセットした場合、対応する DINn イベント検出による DMA 転送要求出力が許可されます。DMA 転送禁止マスク (禁止) 設定と内部 DMA 転送要求が同時に発生した場合は、DMA 転送マスク (禁止) が優先されます。

また、DRI 取り込み許可 (DRIiDCAPCNT.DCPEN ビット="1") 時における DRI0DINDEN レジスタの書き換えは、転送マスクから転送許可に書き換えることのみ可能です。DRI 取り込み許可時は、転送許可から転送マスクへの書き換えを行わないでください。

【記号説明】 n=0~5

DRI0DIN DMA転送許可レジスタ (DRI0DINDEN)

<P4領域アドレス : H'FFBF C003番地>

ビット :

7	6	5	4	3	2	1	0
—	—	DIN5 DEN	DIN4 DEN	DIN3 DEN	DIN2 DEN	DIN1 DEN	DIN0 DEN

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DIN5DEN	0	R	W	DIN5 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
4	DIN4DEN	0	R	W	DIN4 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
3	DIN3DEN	0	R	W	DIN3 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
2	DIN2DEN	0	R	W	DIN2 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
1	DIN1DEN	0	R	W	DIN1 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
0	DIN0DEN	0	R	W	DIN0 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可

## 28.3.5 DRIiDEC 割り込み要求ステータスレジスタ (DRIiDECIST)

DRIi が内蔵している 6 本のイベントカウンタ (DEC5~DEC0) のアンダフローによって、対応する割り込みステータスビットが"1"にセットされます。割り込み要求によるステータスビットのセットと、ソフトウェアによるステータスビットのクリアが同時に発生した場合は、割り込み要求によるステータスビットのセットが優先されます。

DRI0DEC割り込み要求ステータスレジスタ (DRI0DECIST)  
 DRI1DEC割り込み要求ステータスレジスタ (DRI1DECIST)  
 DRI2DEC割り込み要求ステータスレジスタ (DRI2DECIST)

<P4領域アドレス : H'FFBF C004番地>  
 <P4領域アドレス : H'FFBF D004番地>  
 <P4領域アドレス : H'FFBF E004番地>

ビット:     7     6     5     4     3     2     1     0  
           —     —   DEC5  DEC4  DEC3  DEC2  DEC1  DEC0  
           —     —   IS    IS    IS    IS    IS    IS  
 リセット後の値:   0     0     0     0     0     0     0     0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DEC5IS	0	R	*1	DEC5 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり
4	DEC4IS	0	R	*1	DEC4 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり
3	DEC3IS	0	R	*1	DEC3 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり
2	DEC2IS	0	R	*1	DEC2 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり
1	DEC1IS	0	R	*1	DEC1 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり
0	DEC0IS	0	R	*1	DEC0 割り込み要求ステータスビット 0 : 割り込み要求なし 1 : 割り込み要求あり

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.6 DRIiDEC 割り込み要求許可レジスタ (DRIiDECIEN)

イベントカウンタのアンダフローによる割り込み要求の許可/禁止を制御するレジスタです。ビットに"1"をセットした場合、対応するイベントカウンタのアンダフローによる割り込み要求が許可されます。

DRI0DEC割り込み要求許可レジスタ (DRI0DECIEN)  
 DRI1DEC割り込み要求許可レジスタ (DRI1DECIEN)  
 DRI2DEC割り込み要求許可レジスタ (DRI2DECIEN)

<P4領域アドレス : H'FFBF C005番地>  
 <P4領域アドレス : H'FFBF D005番地>  
 <P4領域アドレス : H'FFBF E005番地>

ビット :

7	6	5	4	3	2	1	0
—	—	DEC5 IEN	DEC4 IEN	DEC3 IEN	DEC2 IEN	DEC1 IEN	DEC0 IEN

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DEC5IEN	0	R	W	DEC5 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
4	DEC4IEN	0	R	W	DEC4 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
3	DEC3IEN	0	R	W	DEC3 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
2	DEC2IEN	0	R	W	DEC2 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
1	DEC1IEN	0	R	W	DEC1 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
0	DEC0IEN	0	R	W	DEC0 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可

## 28.3.7 DRI0DEC DMA 転送要求ステータスレジスタ (DRI0DECDST)

イベントカウンタのアンダフローによる DMA 転送要求の有無を各ビットで表します。DRI0DEC DMA 転送許可レジスタ (DRI0DEC DEN) で要求出力許可に設定されているビットのみ、DMA 転送要求許可状態での DMA 転送要求発生でセットされます。DMA 転送要求によるステータスビットのセットと、ソフトウェアによるステータスビットのクリアが同時に発生した場合は、DMA 転送要求によるステータスビットのセットが優先されます。

DRI0DEC DMA 転送要求ステータスレジスタ (DRI0DECDST)

&lt;P4領域アドレス : H'FFBF C006番地&gt;

ビット:	7	6	5	4	3	2	1	0
	—	—	DEC5 DS	DEC4 DS	DEC3 DS	DEC2 DS	DEC1 DS	DEC0 DS
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DEC5DS	0	R	*1	DEC5 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生
4	DEC4DS	0	R	*1	DEC4 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生

28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
3	DEC3DS	0	R	*1	DEC3 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生
2	DEC2DS	0	R	*1	DEC2 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生
1	DEC1DS	0	R	*1	DEC1 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生
0	DEC0DS	0	R	*1	DEC0 DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態での DMA 転送要求発生

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

## 28.3.8 DRI0DEC DMA 転送許可レジスタ (DRI0DEC DEN)

イベントカウンタのアンダフローによる DMA 転送要求の許可/禁止を制御するレジスタです。各ビットに "1" をセットした場合、対応するイベントカウンタのアンダフローによる DMA 転送要求出力が許可されます。

DMA 転送禁止マスク (禁止) 設定と内部 DMA 転送要求が同時に発生した場合は、DMA 転送マスク (禁止) が優先されます。

また、DEC 動作許可 (DRIiDECnCNT.DECnEN ビット="1") 時における DRI0DEC DEN レジスタの書き換えは、転送マスクから転送許可に書き換えることのみ可能です。DEC 動作許可時は、転送許可から転送マスクへの書き換えを行わないでください。

DRI0DEC DMA 転送許可レジスタ (DRI0DEC DEN)

&lt;P4領域アドレス : H'FFBF C007番地&gt;

ビット :

7	6	5	4	3	2	1	0
—	—	DEC5 DEN	DEC4 DEN	DEC3 DEN	DEC2 DEN	DEC1 DEN	DEC0 DEN

リセット後の値 :

0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DEC5DEN	0	R	W	DEC5 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
4	DEC4DEN	0	R	W	DEC4 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
3	DEC3DEN	0	R	W	DEC3 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
2	DEC2DEN	0	R	W	DEC2 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
1	DEC1DEN	0	R	W	DEC1 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
0	DEC0DEN	0	R	W	DEC0 DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.9 DRli 転送割り込み要求ステータスレジスタ (DRIiTRMIST)

DRI 転送による割り込み要求の有無を各ビットで表します。割り込み要求によるステータスビットのセットとソフトウェアによるステータスビットのクリアが同時に発生した場合は、割り込み要求によるステータスのセットが優先されます。

DRI0転送割り込み要求ステータスレジスタ (DRI0TRMIST)  
 DRI1転送割り込み要求ステータスレジスタ (DRI1TRMIST)  
 DRI2転送割り込み要求ステータスレジスタ (DRI2TRMIST)

<P4領域アドレス : H'FFBF C008番地>  
 <P4領域アドレス : H'FFBF D008番地>  
 <P4領域アドレス : H'FFBF E008番地>

ビット :     7     6     5     4     3     2     1     0  

—	—	—	DTRF IS	DCPE IS	OVRE IS	ADR1 IS	ADR0 IS
---	---	---	------------	------------	------------	------------	------------

  
 リセット後の値 :     0     0     0     0     0     0     0     0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	DTRFIS	0	R	*1	DRli 転送カウンタ割り込み要求ステータスビット DRli 転送カウンタ (DRIiTRMCT) がアンダフロー (H'0000 0000 : カウント停止) になった時点でセットされます。 0 : 割り込み要求なし 1 : 割り込み要求あり
3	DCPEIS	0	R	*1	取り込み許可エラー割り込み要求ステータスビット DRli 取り込みイベントカウンタ (DRIiDCAPCT) または DRli 転送カウンタ (DRIiTRMCT) のどちらかがアンダフロー (H'0000 0000 : カウント停止) する前に、DRli データ取り込み制御レジスタ (DRIiDCAPCNT) の DCPEN (取り込み許可) ビットが"0"から"1"に変化、または外部イベントを検出した場合、このビットが"1"にセットされます。 0 : 割り込み要求なし 1 : 割り込み要求あり ["1"セット条件] <ul style="list-style-type: none"> <li>• DRli データ取り込み制御レジスタ (DRIiDCAPCNT) の DEXSL (取り込み許可外部要因選択) ビットで外部イベントによる取り込み許可を選択時                             <ol style="list-style-type: none"> <li>1. DCPEN (取り込み許可) ビットがデータ取り込み許可の状態、選択した外部イベントを検出した場合*<sup>2</sup></li> <li>2. DRli 転送カウンタ (DRIiTRMCT) がアンダフロー (H'0000 0000 : カウント停止) する前に、選択した外部イベントを検出した場合*<sup>3</sup></li> </ol> </li> <li>• DRli 転送カウンタ (DRIiTRMCT) がアンダフロー (H'0000 0000 : カウント停止) する前に、ソフトウェアによって DCPEN (取り込み許可) ビットを"0"から"1"に変化させた場合*<sup>3</sup></li> </ul>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
2	OVREIS	0	R	*1	<p>オーバランエラー割り込み要求ステータスビット</p> <p>DRli は他のバスマスタとの SHwyRAM アクセスの競合による取り込みデータロス为了避免のため、32 ビット×4 段の中間バッファを内蔵していますが、そのすべてがフルの状態、データ取り込みイベントが検出された場合にこのビットが"1"にセットされます。バッファフルの状態検出されたデータ取り込みイベントは無視されます。</p> <p>0 : 割り込み要求なし 1 : 割り込み要求あり</p>
1	ADR1IS	0	R	*1	<p>DRli アドレスカウンタ 1 割り込み要求ステータス</p> <p>取り込んだデータの転送先として DRli アドレスカウンタ 1 (DRliADR1CT) が有効な状態で、DRli 転送カウンタ (DRliTRMCT) がアンダフロー (H'0000 0000 : カウント停止) したときに"1"にセットされます。</p> <p>0 : 割り込み要求なし 1 : 割り込み要求あり</p>
0	ADR0IS	0	R	*1	<p>DRli アドレスカウンタ 0 割り込み要求ステータス</p> <p>取り込んだデータの転送先として DRli アドレスカウンタ 0 (DRliADR0CT) が有効な状態で、DRli 転送カウンタ (DRliTRMCT) がアンダフロー (H'0000 0000 : カウント停止) したときに"1"にセットされます。</p> <p>0 : 割り込み要求なし 1 : 割り込み要求あり</p>

- 【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。
- \*2 取り込み許可イベントは無視されます。
- \*3 DRli 転送制御レジスタ (DRliTRMCNT) と DRli データ取り込み制御レジスタ (DRliDCAPCNT) を"0"にクリアし、割り込み制御部を初期化する必要があります。



## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.10 DRli 転送割り込み要求許可レジスタ (DRIiTRMIEN)

DRli 転送関連の割り込み要求の許可/禁止を制御するレジスタです。各ビットに"1"をセットした場合、対応する各ビットの割り込みが許可されます。

DRI0転送割り込み要求許可レジスタ (DRI0TRMIEN)  
 DRI1転送割り込み要求許可レジスタ (DRI1TRMIEN)  
 DRI2転送割り込み要求許可レジスタ (DRI2TRMIEN)

<P4領域アドレス : H'FFBF C009番地>  
 <P4領域アドレス : H'FFBF D009番地>  
 <P4領域アドレス : H'FFBF E009番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	DTRFIEN	DCPEIEN	OVREIEN	ADR1IEN	ADR0IEN

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	DTRFIEN	0	R	W	DRli 転送カウンタ割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
3	DCPEIEN	0	R	W	取り込み許可エラー割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
2	OVREIEN	0	R	W	オーバランエラー割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
1	ADR1IEN	0	R	W	DRli アドレスカウンタ 1 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可
0	ADR0IEN	0	R	W	DRli アドレスカウンタ 0 割り込み要求許可ビット 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可

## 28.3.11 DRI0DMA 転送要求ステータスレジスタ (DRI0TRMDST)

DRI 転送による DMA 転送要求の有無を各ビットで表します。

DMA 転送要求によるステータスビットのセットと、ソフトウェアによるステータスビットのクリアが同時に発生した場合は、DMA 転送要求によるステータスのセットが優先されます。

DRI0 DMA転送要求ステータスレジスタ (DRI0TRMDST)

<P4領域アドレス : H'FFBF C00A番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	DTRF DS	DUDF DS	—	ADR1 DS	ADR0 DS
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	DTRFDS	0	R	*1	DRI0 転送カウンタ DMA 転送要求ステータスビット 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態で DRI0 転送カウンタ (DRI0TRMCT) がアンダフロー (H'0000 0000 : カウント停止)
3	DUDFDS	0	R	*1	DRI0 取り込みイベントカウンタアンダフローDMA 転送要求ステータスビット DRI0 データ取り込みイベントカウンタ (DRI0DCAPCT) がアンダフロー (H'0000 0000 : カウント停止) になった時点でセットされます。 0 : DMA 転送要求なし 1 : DMA 転送要求あり ["0"クリア条件] • DMAC での DMA 転送要求受け付け • ソフトウェアによる"0"書き込み (強制リクエストクリア) ["1"セット条件] • DMA 転送要求許可状態で DRI0 取り込みイベントカウンタ (DRI0DCAPCT) がアンダフロー (H'0000 0000 : カウント停止)
2	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
1	ADR1DS	0	R	*1	<p>DRI0 アドレスカウンタ 1 DMA 転送要求ステータスビット</p> <p>ADR1DS ビットは DRI0 転送割り込み要求ステータスレジスタ (DRI0TRMIST) と同条件でセットされます。</p> <p>0 : DMA 転送要求なし 1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>
0	ADR0DS	0	R	*1	<p>DRI0 アドレスカウンタ 0 DMA 転送要求ステータスビット</p> <p>ADR0DS ビットは DRI0 転送割り込み要求ステータスレジスタ (DRI0TRMIST) と同条件でセットされます。</p> <p>0 : DMA 転送要求なし 1 : DMA 転送要求あり</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>DMAC での DMA 転送要求受け付け</li> <li>ソフトウェアによる"0"書き込み (強制リクエストクリア)</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>DMA 転送要求許可状態での DMA 転送要求発生</li> </ul>

【注】 \*1 書き込みは"0"のみ有効。"1"を書き込んだ場合は前の値を保持します。

## 28.3.12 DRI0DMA 転送許可レジスタ (DRI0TRMDEN)

DRI0 転送関連の DMA 転送要求の許可/禁止を制御するレジスタです。各ビットに"1"をセットした場合、対応するビットによる DMA 転送要求信号出力が許可されます。DMA 転送禁止マスク (禁止) 設定と内部 DMA 転送要求が同時に発生した場合は、DMA 転送マスク (禁止) が優先されます。また、DRI 取り込み許可 (DRIiDCAPCNT.DCPEN ビット="1") 時における DRI0TRMDEN レジスタの書き換えは、転送マスクから転送許可に書き換えることのみ可能です。DRI 取り込み許可時は、転送許可から転送マスクへの書き換えを行わないでください。

DRI0 DMA転送許可レジスタ (DRI0TRMDEN)

&lt;P4領域アドレス : H'FFBF C00B番地&gt;

ビット :

7	6	5	4	3	2	1	0
—	—	—	DTRF DEN	DUDF DEN	—	ADR1 DEN	ADR0 DEN
0	0	0	0	0	0	0	0

リセット後の値 :

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	DTRFDEN	0	R	W	DRI0 転送カウンタ DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
3	DUDFDEN	0	R	W	DRI0 取り込みイベントカウンタアンダフロー DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
2	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	ADR1DEN	0	R	W	DRI0 アドレスカウンタ 1DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可
0	ADR0DEN	0	R	W	DRI0 アドレスカウンタ 0DMA 転送要求許可ビット 0 : DMA 転送要求マスク (禁止) 1 : DMA 転送要求許可

## 28. ダイレクト RAM インพุットインタフェース (DRI)

### 28.3.13 DRli 転送制御レジスタ (DRIiTRMCNT)

DRI 取り込み許可 (DRIiDCAPCNT.DCPEN ビット="1") 時における DRIiTRMCNT レジスタの書き換えは、DRST ビットを"1"から"0"に書き換えることのみとし、それ以外の変更およびその他のビットは DRI 取り込み許可時に書き換えないでください。

DRI0転送制御レジスタ (DRI0TRMCNT)  
 DRI1転送制御レジスタ (DRI1TRMCNT)  
 DRI2転送制御レジスタ (DRI2TRMCNT)

<P4領域アドレス : H'FFBF C00C番地>  
 <P4領域アドレス : H'FFBF D00C番地>  
 <P4領域アドレス : H'FFBF E00C番地>

ビット :       7   6   5   4   3   2   1   0  

ADEV	—	ADSL	ADMD	ADST	DBST	DRST
------	---	------	------	------	------	------

  
 リセット後の値 :   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	ADEV	0	R	W	アドレスカウンタ切り替え選択ビット DRli は転送先である SHwyRAM のアドレスを指定するためのアドレスカウンタを 2 本内蔵しており、どのアドレスカウンタを使用するかを選択できます。ADSL ビットの設定が「DRli アドレスカウンタ 0/1 交互」を選択時のみ有効なビットで、取り込みデータの転送先である SHwyRAM 上のアドレスを指定する DRli アドレスカウンタ 0 (DRIiADROCT) と DRli アドレスカウンタ 1 (DRIiADR1CT) を切り替えるイベントを選択します。 0 : DRli 転送カウンタアンダフロー 1 : DEC4 アンダフロー 【注】・アドレスカウンタ切り替えイベントとして DEC4 アンダフローを選択した場合、DEC4 のカウントイベントとして、DIN1 イベント検出/取り込みイベントを選択することは禁止です。
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
5、4	ADSL	00	R	W	<p>アドレスカウンタ選択ビット</p> <ul style="list-style-type: none"> <li>• DRIi アドレスカウンタ 0 選択 DRIi アドレスカウンタ 0 (DRIiADR0CT) で指定された SHwyRAM 上にデータを転送します。</li> <li>• DRIi アドレスカウンタ 1 選択 DRIi アドレスカウンタ 1 (DRIiADR1CT) で指定された SHwyRAM 上にデータを転送します。</li> <li>• DRIi アドレスカウンタ 0/1 交互切り替え ADEV (アドレスカウンタ切り替え選択) ビットによって選択されたイベントにより、DRIi アドレスカウンタがハードウェア的に切り替わります。マイコンのリセット解除後は、DRIi アドレスカウンタ 0 (DRIiADR0CT) がアクティブになっています。また DRST (DRIi リセット) ビットを"0"へクリアすると、有効な DRIi アドレスカウンタが DRIi アドレスカウンタ 0 (DRIiADR0CT) へ初期化されます。</li> </ul> <p>00 : DRIi アドレスカウンタ 0 選択 01 : DRIi アドレスカウンタ 1 選択 10 : DRIi アドレスカウンタ 0/1 交互切り替え 11 : 設定禁止</p>

28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
3	ADMD	0	R	W	<p>アドレスカウンタ動作モード選択ビット</p> <p>DRli アドレスカウンタ 0 (DRliADR0CT) および DRli アドレスカウンタ 1 (DRliADR1CT) の動作モードを選択するビットです。どちらの DRli アドレスカウンタも同じ動作モードとなります。</p> <ul style="list-style-type: none"> <li>連続モード選択時 DRli 転送完了ごとにアクティブな DRli アドレスカウンタの値が+4 されます。連続モードでは、DRli アドレスリロードレジスタ値は使用されません。</li> <li>リロードモード選択時 DRli データ取り込み制御レジスタ (DRliDCAPCNT) の DCPEN (取り込み許可) ビットが「取り込み禁止」から「取り込み許可」へ変化した場合に、DRli アドレスカウンタに対応した DRli アドレスリロードレジスタから値をリロードし、以後 DRli 転送完了ごとに、アクティブな DRli アドレスカウンタの値が+4 されます。 0 : 連続モード 1 : リロードモード</li> </ul> <p>【注】・外部から入力されるデータ 32 ビット分のデータ取り込みイベント発生ごと (入力バス幅を 8 ビット選択時は 4 回のデータ取り込みイベント発生ごと、16 ビット選択時は 2 回のデータ取り込みイベント発生ごと) に DRli 転送が実行されます。</p> <p>DRli データ取り込みイベント数設定レジスタ (DRliDCAPNUM) の設定回数が 32 ビット分で割り切れない場合 (バス幅を 8 ビット選択時は 4n 回以外、16 ビット選択時は 2n 回以外) は最後の取り込みイベント発生で DRli 転送が実行されます。</p> <p>32 ビット分で割り切れない場合でも、DRli の転送は 32 ビット単位で行われます。32 ビットに満たない部分は"0"で埋めて 32 ビット単位で転送されます。</p>
2	ADST	0	R	0	<p>アドレスカウンタステータスビット</p> <p>DRli 転送先のアドレス指定が、DRli アドレスカウンタ 0 で行われているのか、DRli アドレスカウンタ 1 で行われているのかを示すステータスビットです。</p> <p>0 : DRli アドレスカウンタ 0 がアクティブ 1 : DRli アドレスカウンタ 1 がアクティブ</p>
1	DBST	0	R	0	<p>DRli バッファステータスビット</p> <p>DRli の DRI 転送完了していないデータの有無を示すビットです。</p> <p>DRI は、DRI 転送のデータロス为避免のため、32 ビット×4 段の中間バッファを内蔵しています。この中間バッファにデータがある状態のときに DBST ビットが"1"を示し、データがない状態のときに"0"を示します。また、DRST ビットを"0"にクリアすると、本ビットも"0"にクリアされます。</p> <p>0 : DRli バッファにデータなし 1 : DRli バッファにデータあり</p>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DRST	0	R	W	<p>DRli リセットビット</p> <p>DRli 制御部のソフトウェアリセットビットで、このビットが"0"の状態ではデータ取り込み、DRli 転送は行われません。DRli を動作させる場合はこのビットを"1"にセットする必要があります。DRI 取り込み許可 (DRliDCAPCNT、DCPEN ビット="1") 時にこのビットを"0"クリアした場合、DRli 取り込み制御部、DRli 転送制御部が初期化され、DRli に転送完了していないデータがあればその転送はすべてキャンセルされるとともに、データ取り込みも行われなくなります。このビットの影響を受けるレジスタ、ビットは以下のとおりです。</p> <ul style="list-style-type: none"> <li>• ADST ビット ADSL ビットで、DRli アドレスカウンタ 0/1 切り替えを選択していた場合、DRST ビットを"0"にすることで DRli アドレスカウンタ 0 (DRliADR0CT) がアクティブになり、ADST ビットが"0"にクリアされます。</li> <li>• DBST (DRli バッファステータス) ビット DRST ビットを"0"にクリアすることで、"0"に初期化されます。</li> <li>• DRli 転送カウンタ (DRliTRMCT) DRST ビットを"0"にクリアすることで、DRli 転送カウンタ (DRliTRMCT) が"0"に初期化されます。 0 : DRli リセット 1 : 動作許可</li> </ul> <p>【注】・DIN 入力処理制御、DEC5~0 の動作には DRST ビットの操作は影響を与えません。</p> <ul style="list-style-type: none"> <li>・DRST ビットの値を変更してから有効になるまで 4PAck 必要となります。その間、DRST ビットを再度変更することは禁止です。</li> <li>・DRST ビット操作後、ADST ビット、DBST ビットが初期化されるまでに 1PAck 必要となります。</li> <li>・DRST ビットが"1"の状態、ADMD (アドレスカウンタ動作モード選択) ビット、ADSL (アドレスカウンタ選択) ビット、ADEV (アドレスカウンタ切り替え) ビットの各ビット値を変更することは禁止です。</li> </ul>



## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.14 DRIi 特殊モードレジスタ (DRIiSPMOD)

特殊モードを選択することによって、より高速なデータ取り込みが可能となります。ただし、特殊モードで使用時の入力データバス幅は、8ビットまたは16ビットのいずれかとなります。取り込みクロックはDINj3、DINj4から選択可能です。また、DRIiのイベント検出部およびデータ取り込み部には、図28.6に示すように外部比で転送レートを半分にした信号が渡されます。

DRI0特殊モードレジスタ (DRI0SPMOD)  
 DRI1特殊モードレジスタ (DRI1SPMOD)  
 DRI2特殊モードレジスタ (DRI2SPMOD)

<P4領域アドレス : H'FFBF C00D番地>  
 <P4領域アドレス : H'FFBF D00D番地>  
 <P4領域アドレス : H'FFBF E00D番地>

ビット:

7	6	5	4	3	2	1	0
SP CPSL	—	—	SP MEN	SP ISL	SP RSM	SP SSL	
0	0	0	0	0	0	0	0

リセット後の値:

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	SPCPSL	00	R	W	特殊モード制御部取り込みクロック選択ビット 特殊モード選択時の取り込みクロックを入力する端子を選択するビットです。 00 : DINj3 01 : DINj4 10 : 設定禁止 11 : 設定禁止
5、4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
3	SPMEN	0	R	W	<p>特殊モード許可ビット</p> <p>特殊モードでの動作の禁止/許可を設定します。</p> <p>特殊モード許可を選択した場合、以下の制限事項があります。</p> <ul style="list-style-type: none"> <li>• DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) <ol style="list-style-type: none"> <li>1. DWDSL (入力データバス幅選択) ビット <p>特殊モードで入力できるデータ幅は 8 ビットまたは 16 ビットです。入力するデータ幅に応じて DWDSL ビットを以下に示す設定にしてください。</p> <p>入力データが 8 ビットの場合 : DWDSL ビットを 16 ビットに設定</p> <p>入力データが 16 ビットの場合 : DWDSL ビットを 32 ビットに設定</p> </li> <li>2. DCPSL (取り込みイベント選択) ビット <p>SPCPSL ビットにて選択したものと同一取り込みイベントを選択してください。</p> </li> <li>3. DTMSL (取り込みタイミング選択) ビット <p>"デフォルト"を選択してください。</p> </li> </ol> </li> <li>• DRIi 入力処理制御レジスタ (DRIiDINCNT) <ol style="list-style-type: none"> <li>1. DINnED (DINn イベント検出制御) ビット <p>DCPSL (取り込みイベント選択) ビット、SPCPSL (特殊モード制御部取り込みクロック選択) ビットにて選択した DIN について立ち下がり検出を選択してください。</p> <p>0 : 特殊モード禁止</p> <p>1 : 特殊モード許可</p> </li> </ol> </li> </ul> <p>【注】・このレジスタの設定は DRIi 転送制御レジスタ (DRIiTRMCNT) の DRST (DRIi リセット) ビットが"0" (禁止) の状態で行ってください。</p> <p>【記号説明】 n=0~5</p>

28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
2	SPISL	0	R	W	<p>特殊モード制御部初期化 DIN1 レベル選択ビット</p> <p>DIN1 から入力される信号で特殊モード制御回路部を初期化することができます。このビットでは DIN1 がどのレベルにあるときに初期化を行うかを選択します。DIN1 が初期化レベルになると、"イベント検出部への出力信号"および"データ取り込み部への出力信号"はすべて"L"レベルとなり、データの取り込み動作は行われません。逆に DIN1 が初期化レベルにないときは、データの取り込み動作を行い、図 28.6 に示す信号がイベント検出部/データ取り込み部へ渡されます。初期化のタイミングは SPRSM (特殊モード制御部初期化方式選択) ビットが"0"設定時は、DIN1 が初期化レベルになったとき、"1"設定時は取り込みクロックで 4 クロック後に初期化されます。なお、DIN1 による特殊モード制御回路部の初期化機能は、DRli 入力処理制御レジスタ (DRIIDINCNT) の DIN1ED ビットの設定の影響を受けません。また、本ビットの変更は DRli 転送制御レジスタ (DRIITRMCNT) の DRST (DRli リセット) ビットが"0"の状態で行ってください。</p> <p>0 : "L"レベル 1 : "H"レベル</p> <p><b>【注】</b>・DRli データ取り込み制御レジスタ (DRIIDCAPCNT) の DCPEN (取り込み許可) ビットが"1"の状態、DIN1 が初期化レベルへ変化した場合、以下の現象が発生する可能性があります。</p> <ol style="list-style-type: none"> <li>DRli が誤ったデータを取り込んでしまう</li> <li>リセット状態に変化する前の 8 つのデータに関する取り込みが行われない</li> </ol> <p>・SPRSM (特殊モード制御部初期化方式選択) ビットにてディレイドリセット方式を選択し、DIN1 に初期化レベル入力中も、特殊モード制御部取り込みクロックを入力することで上記現象を回避できます。</p>
1	SPRSM	0	R	W	<p>特殊モード制御部初期化方式選択ビット</p> <p>特殊モード制御部の初期化方式を選択するビットです。</p> <p>本ビットが"0"のときは DIN1 の入力が直接特殊モード制御部の初期化信号として使用されます。本ビットが"1"のときは DIN1 を特殊モード制御部取り込みクロックで 4 クロック遅らせた信号を初期化信号として使用します。</p> <p>0 : DIN1 ダイレクトリセット 1 : DIN1 ディレイドリセット</p>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	SPSSL	0	R	W	<p>取り込みエッジ選択ビット</p> <p>図 28.4 に示す転送方式であれば立ち下がリエッジを、図 28.5 に示す方式であれば立ち上がりエッジを取り込みエッジとして選択します。このビットの変更は、DRII 転送制御レジスタ (DRII TRMCNT) の DRST (DRI リセット) ビットが"0"の状態で行ってください。なお、特殊モードでの取り込みクロックは SPCPSL ビットの設定により、DIN4、DIN3 からのみ選択可能です。また、特殊モードでは DRII 入力処理制御レジスタ (DRII DINCNT) の DINIED (DIN<sub>i</sub> イベント検出制御) ビットで制御される信号は、DIN<sub>n</sub> (SPCPSL で選択されたもの) からの入力信号ではなく、図 28.6 で示す「イベント検出部への出力信号」となります。</p> <p style="margin-left: 20px;">0 : 立ち上がり 1 : 立ち下がり</p> <p>【記号説明】 n=2~4</p>

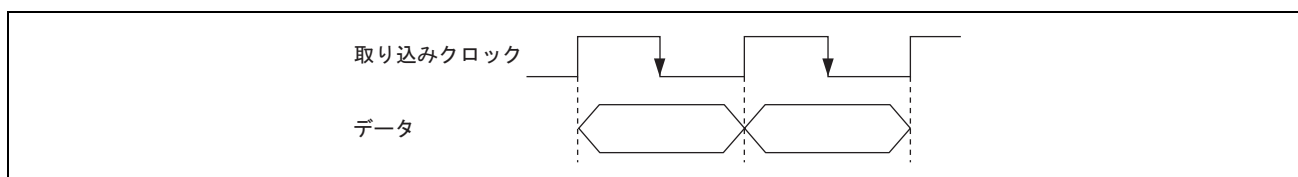


図 28.4 データ転送方式 1

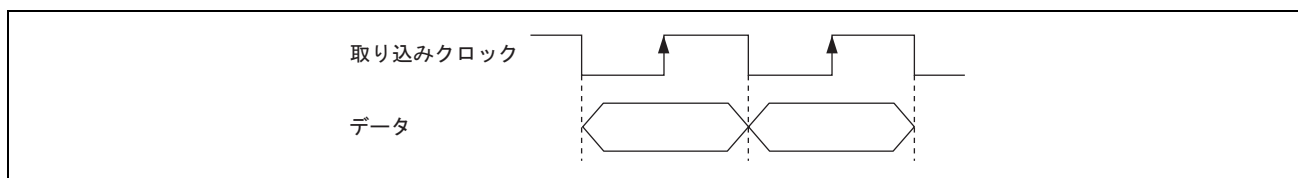


図 28.5 データ転送方式 2

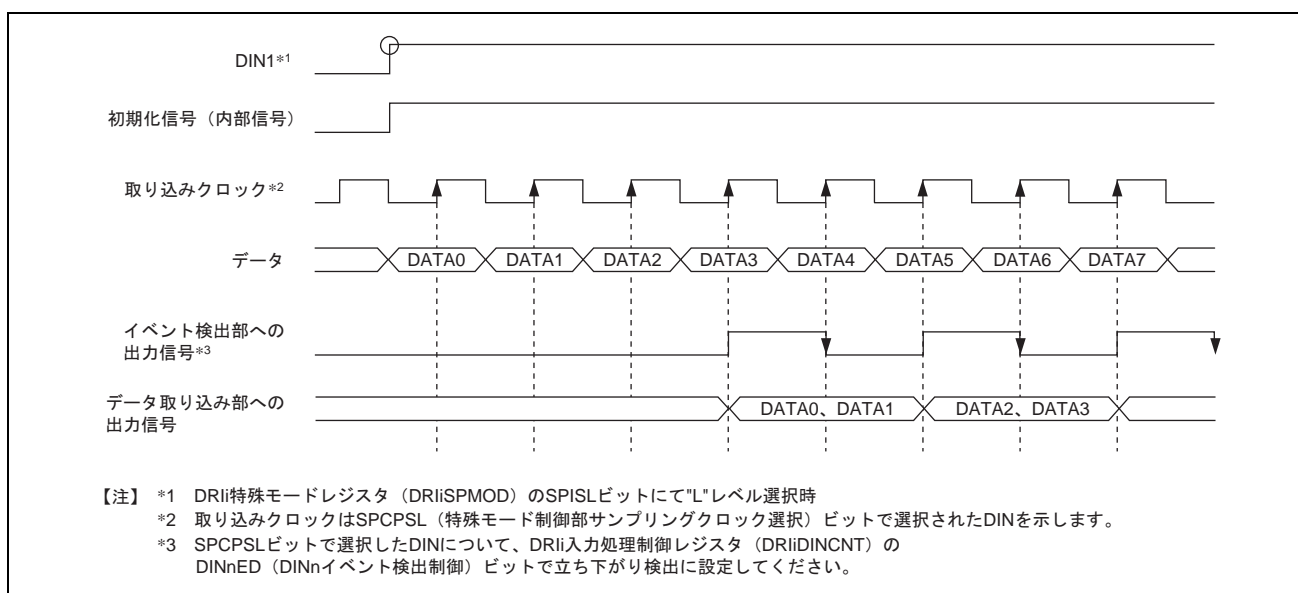


図 28.6 特殊モード ON 時のタイミングチャート

## 28. ダイレクトRAM インพุットインタフェース (DRI)

### 28.3.15 DRIi データ取り込み制御レジスタ (DRIiDCAPCNT)

取り込みクロックに同期して入力されるデータの取り込みにかかわる設定を行うレジスタです。本レジスタの設定は、DRIi 転送制御レジスタ (DRIiTRMCNT) の DRST (DRI リセット) ビットを"1"に設定した後に行ってください。また、DRST ビットを"0"クリアした場合は、本レジスタも"0"クリアしてください。

DRI 取り込み許可時 (DCPEN ビット="1") における DRIiDCAPCNT レジスタの書き換えは、DCPEN (取り込み許可) ビットを"1"から"0" (データ取り込み禁止) にするアクセスのみとしてください。DRI 取り込み許可時にその他のビットの変更は行わないでください。

DRI0データ取り込み制御レジスタ (DRI0DCAPCNT) <P4領域アドレス : H'FFBF C00E番地>  
 DRI1データ取り込み制御レジスタ (DRI1DCAPCNT) <P4領域アドレス : H'FFBF D00E番地>  
 DRI2データ取り込み制御レジスタ (DRI2DCAPCNT) <P4領域アドレス : H'FFBF E00E番地>

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

DTMSL				DWR PR	DCPSL	DWDSL	DDSSL	DEXSL			DCP EN
-------	--	--	--	-----------	-------	-------	-------	-------	--	--	-----------

 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	DTMSL	00000	R	W	取り込みタイミング選択ビット データ取り込みイベント検出からデータを取り込むまでの時間を選択します。DRIi はイベント検出を PAck の立ち上がりごとに行っており、デフォルト選択時はイベントを検出した時点の PAck 立ち上がりエッジでデータを取り込みます。そこを起点として 1PAck~31PAck 後まで選択可能です。 図 28.7 にデータ取り込みのタイミングチャートを示します。 00000 : デフォルト 10000 : 16PAck 後 00001 : 1PAck 後 10001 : 17PAck 後 00010 : 2PAck 後 10010 : 18PAck 後 00011 : 3PAck 後 10011 : 19PAck 後 00100 : 4PAck 後 10100 : 20PAck 後 00101 : 5PAck 後 10101 : 21PAck 後 00110 : 6PAck 後 10110 : 22PAck 後 00111 : 7PAck 後 10111 : 23PAck 後 01000 : 8PAck 後 11000 : 24PAck 後 01001 : 9PAck 後 11001 : 25PAck 後 01010 : 10PAck 後 11010 : 26PAck 後 01011 : 11PAck 後 11011 : 27PAck 後 01100 : 12PAck 後 11100 : 28PAck 後 01101 : 13PAck 後 11101 : 29PAck 後 01110 : 14PAck 後 11110 : 30PAck 後 01111 : 15PAck 後 11111 : 31PAck 後 【注】・特殊モード選択時は、必ずデフォルトを選択してください。

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
10	DWRPR	0	R	W	<p>取り込み制御書き込みプロテクトビット</p> <p>本レジスタへの書き込み時、このビットの値により DCPEN (取り込み許可) ビット、および DEXSL (取り込み許可外部要因選択) ビットの書き込み許可/禁止を制御できます。書き込み時、このビット値が"0"であれば書き込みが許可されます。このビットが"1"であれば書き込みは無視されます (本ビットは書き込んだ値によらず常に"0"が読み出されます)。</p> <p>0 : DCPEN ビットおよび DEXSL ビット書き込み許可 1 : DCPEN ビットおよび DEXSL ビット書き込み禁止</p>
9、8	DCPSL	00	R	W	<p>取り込みイベント選択ビット</p> <p>データを取り込むイベントを選択します。DRli 転送制御レジスタ (DRliTRMCNT) の DRST (DRli リセット) ビットが「動作許可」、DCPEN (取り込み許可) ビットが「データ取り込み許可」の状態、かつ間引き制御を使用している場合は取り込みイベント検出条件を満たしているときに、選択したイベントが検出されるとデータ取り込みが行われます。</p> <p>なお、DCPEN (取り込み許可) ビットのセットと同時にデータ取り込みイベントが検出された場合、データ取り込みは行われます。</p> <p>00 : 設定禁止 01 : DIN3 イベント検出 10 : DIN4 イベント検出 11 : DIN5 イベント検出</p> <p>【注】・特殊モード選択時は、必ず SPCPSL (特殊モード制御部取り込みクロック選択ビット) で選択した DIN を選択してください。</p>
7、6	DWDSL	00	R	W	<p>入力データバス幅選択ビット</p> <p>外部から入力されるデータのバス幅を選択します。8 ビット選択時は 4 回ごとのデータ取り込みイベント発生後、16 ビット選択時は 2 回ごとのデータ取り込みイベント発生後、32 ビット選択時は 1 回ごとのデータ取り込みイベント発生後に DRli 転送が実行されます。ただし、DRli データ取り込みイベント数設定レジスタ (DRliDCAPNUM) の設定回数が 32 ビット分で割り切れない場合 (バス幅を 8 ビット選択時は 4n 回以外、16 ビット選択時は 2n 回以外) は最後の取り込みイベント発生で DRli 転送が実行されます。表 28.5 に各データバス幅選択時にデータとして取り込まれるビットを示します。</p> <p>00 : 8 ビット 01 : 16 ビット 10 : 32 ビット (特殊モードのみ設定可能) 11 : 設定禁止</p> <p>【注】・特殊モード選択時は、入力データバス幅選択ビットの設定に制限があります。詳細については「28.3.14 DRli 特殊モードレジスタ (DRliSPMOD)」を参照してください。</p>

## 28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
5、4	DDSSL	00	R	W	<p>取り込み外部制御禁止要因選択ビット</p> <p>このビットで取り込み許可外部要因選択ビットを"0"クリアするイベントを選択します。</p> <p>00 : 禁止要因非選択            01 : DRIi 取り込みイベントカウンタアンダフロー            10 : DEC3 アンダフロー            11 : DEC4 アンダフロー</p>
3~1	DEXSL	000	R	W	<p>取り込み許可外部要因選択ビット</p> <p>このビットでDCPEN (取り込み許可) ビットをデータ取り込み許可にする外部要因を選択します。ここで選択したイベントが検出された場合に取り込み許可ビットが"1"にセットされます。非選択時は外部要因による許可ビットのセットは行われません。また、DDSSL (取り込み外部制御禁止要因選択) ビットの設定により、ハードウェアによって"0"クリアすることもできます。</p> <p>000 : 外部要因非選択            001 : DIN0 イベント検出            010 : DIN1 イベント検出            011 : DIN2 イベント検出            100 : DIN5 イベント検出            101 : DEC0 アンダフロー            110 : DEC5 アンダフロー            111 : PDAC のイベント G</p>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DCPEN	0	R	W	<p>取り込み許可ビット</p> <p>このビットが"1"のとき、データ取り込みが許可されます。</p> <p>0 : データ取り込み禁止 1 : データ取り込み許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアで"0"を書き込む</li> <li>DRli 取り込みイベントカウンタ (DRliDCAPCT) でアンダフロー (H'0000 0000 : カウント停止) が発生した場合</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアで"1"を書き込む</li> <li>DEXSL (取り込み許可外部要因選択) ビットで選択したイベントが検出された場合</li> </ul> <p>【注】・DEXSL (取り込み許可外部要因選択) ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。</p> <ul style="list-style-type: none"> <li>ソフトウェアで"1"をセットする場合は、必ず DRli 転送カウンタ (DRliTRMCT) を読み出し、アンダフロー (H'0000 0000 : カウント停止) 状態であることを確認してから行ってください。</li> <li>セット条件とクリア条件が競合した場合は、必ずクリア動作が優先されます。</li> </ul>

表 28.5 取り込みデータ位置

	DD31~DD24	DD23~DD16	DD15~DD08	DD07~DD00
8 ビット選択時	Don't care			取り込みデータ
16 ビット選択時	Don't care		取り込みデータ	
32 ビット選択時	取り込みデータ			

【注】・特殊モードで動作させる場合は、実際のデータバス幅と入力データバス幅選択ビット設定値との関係が変わります。詳細は、「28.3.14 DRli 特殊モードレジスタ (DRliSPMOD)」を参照してください。

・"DD31"が MSB、"DD00"が LSB になります。

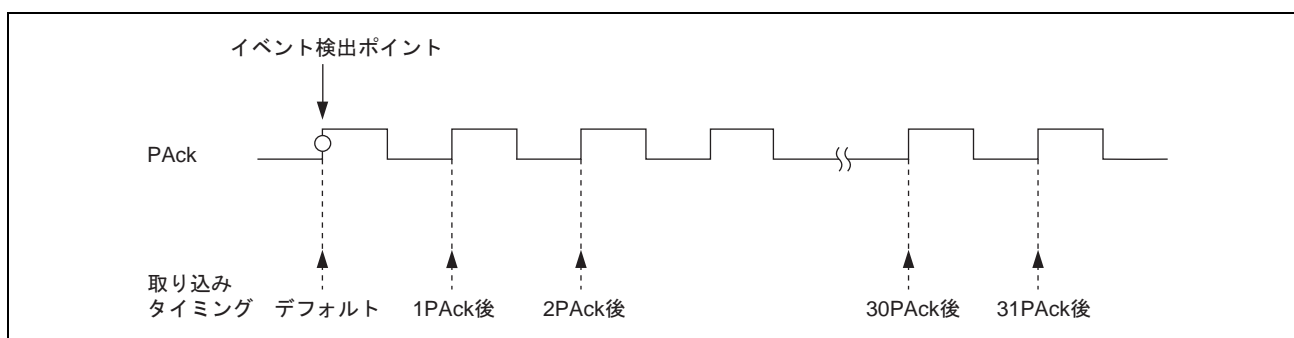


図 28.7 データ取り込みタイミングイメージ



## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.16 DRIn データ間引き制御レジスタ (DRInDSELCNT)

DRIn は内蔵している 6 本のイベントカウンタを使用して、ハードウェア的にデータを間引いて取り込むことができます。本レジスタでは間引き制御に関する設定を行います。

各ビットを"0"に設定した場合、対応する DEC カウンタによるデータ間引き制御は行われません。"1"に設定した場合、対応する DEC カウンタが DRIn データ間引きイベント選択レジスタ (DRInDEVTCNT) で設定した状態以外のとき、データ取り込みは行われません。

複数のイベントカウンタによる間引き制御を有効にした場合、間引き制御ビットが"1"にセットされた DECn カウンタすべてが DSEVTn (DECn 間引きイベント選択) ビットで設定した状態である間に入力されたデータ取り込みイベントのみ、データ取り込みは行われます。

カウンタが DSEVTn (DECn 間引きイベント選択) ビットで設定した状態になった次のイベントから取り込みイベントとして有効になります。

#### 【記号説明】 n=0~5

DRIn データ間引き制御レジスタ (DRInDSELCNT)  
 DRIn1 データ間引き制御レジスタ (DRIn1DSELCNT)  
 DRIn2 データ間引き制御レジスタ (DRIn2DSELCNT)

<P4領域アドレス : H'FFBF C010番地>  
 <P4領域アドレス : H'FFBF D010番地>  
 <P4領域アドレス : H'FFBF E010番地>

ビット :	7	6	5	4	3	2	1	0
	—	—	DSD5	DSD4	DSD3	DSD2	DSD1	DSD0
リセット後の値 :	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DSD5	0	R	W	DEC5 データ間引き制御ビット 0 : 間引きなし 1 : DEC5CT による間引きあり
4	DSD4	0	R	W	DEC4 データ間引き制御ビット 0 : 間引きなし 1 : DEC4CT による間引きあり
3	DSD3	0	R	W	DEC3 データ間引き制御ビット 0 : 間引きなし 1 : DEC3CT による間引きあり
2	DSD2	0	R	W	DEC2 データ間引き制御ビット 0 : 間引きなし 1 : DEC2CT による間引きあり
1	DSD1	0	R	W	DEC1 データ間引き制御ビット 0 : 間引きなし 1 : DEC1CT による間引きあり

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DSD0	0	R	W	DEC0 データ間引き制御ビット 0 : 間引きなし 1 : DEC0CT による間引きあり

### 28.3.17 DRli データ間引きイベント選択レジスタ (DRliDEVTCNT)

間引き制御によるデータ取り込み条件を設定します。各ビットを"0"に設定すると対応する DEC カウンタがアンダフロー（カウンタ値=H'FFFF）のときのみデータ取り込みを行います。"1"に設定した場合は、DEC カウンタがアンダフロー状態以外のときのみデータ取り込みを行います。

DRi0データ間引きイベント選択レジスタ (DRi0DEVTCNT)  
DRi1データ間引きイベント選択レジスタ (DRi1DEVTCNT)  
DRi2データ間引きイベント選択レジスタ (DRi2DEVTCNT)

<P4領域アドレス : H'FFBF C011番地>  
<P4領域アドレス : H'FFBF D011番地>  
<P4領域アドレス : H'FFBF E011番地>

ビット :

7	6	5	4	3	2	1	0
—	—	DSEVT5	DSEVT4	DSEVT3	DSEVT2	DSEVT1	DSEVT0

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	DSEVT5	0	R	W	DEC5 データ間引きイベント選択ビット 0 : DEC5 カウンタがアンダフロー時のみデータ取り込み 1 : DEC5 カウンタがアンダフロー時以外データ取り込み
4	DSEVT4	0	R	W	DEC4 データ間引きイベント選択ビット 0 : DEC4 カウンタがアンダフロー時のみデータ取り込み 1 : DEC4 カウンタがアンダフロー時以外データ取り込み
3	DSEVT3	0	R	W	DEC3 データ間引きイベント選択ビット 0 : DEC3 カウンタがアンダフロー時のみデータ取り込み 1 : DEC3 カウンタがアンダフロー時以外データ取り込み
2	DSEVT2	0	R	W	DEC2 データ間引きイベント選択ビット 0 : DEC2 カウンタがアンダフロー時のみデータ取り込み 1 : DEC2 カウンタがアンダフロー時以外データ取り込み
1	DSEVT1	0	R	W	DEC1 データ間引きイベント選択ビット 0 : DEC1 カウンタがアンダフロー時のみデータ取り込み 1 : DEC1 カウンタがアンダフロー時以外データ取り込み
0	DSEVT0	0	R	W	DEC0 データ間引きイベント選択ビット 0 : DEC0 カウンタがアンダフロー時のみデータ取り込み 1 : DEC0 カウンタがアンダフロー時以外データ取り込み

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.18 DRIiDIN 入カイベント選択レジスタ (DRIiDINSEL)

DRI0DIN入カイベント選択レジスタ (DRI0DINSEL)  
 DRI1DIN入カイベント選択レジスタ (DRI1DINSEL)  
 DRI2DIN入カイベント選択レジスタ (DRI2DINSEL)

<P4領域アドレス : H'FFBF C012番地>  
 <P4領域アドレス : H'FFBF D012番地>  
 <P4領域アドレス : H'FFBF E012番地>

ビット :    7    6    5    4    3    2    1    0  

-	-	-	-	-	-	-	DIN5SL
---	---	---	---	---	---	---	--------

  
 リセット後の値 :    0    0    0    0    0    0    0    0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1、0	DIN5SL	00	R	W	DIN5 入カイベント選択ビット DIN5 (内部信号) への入力信号を本ビットで設定します。PSEL からのクロック出力、ATU-ⅢS のタイマ TOU からの F/F 出力を内部信号として DIN5 信号に入力できます。たとえば、DIN5SL="01" (F/F (TOU1_0)) を選択した場合、タイマ TOU1_0 から出力した場合の値 (TO1FFDR.FFDT10 ビット値) が内部信号として DIN5 に入力されます。  00 : PSLCLKB 01 : F/F (TOU1_0) 10 : F/F (TOU2_0) 11 : F/F (TOU3_0)

## 28.3.19 DRIiDD 入力許可レジスタ (DRIiDDEN)

DRIiDDEN レジスタは、DRIi へのデータ入力の禁止/許可を制御するレジスタです。

DDn 入力許可ビットを"0"に設定した場合、対応する端子の入力レベルにかかわらず DRIi への入力は"0"固定となります。DDn 入力許可ビットを"1"に設定した場合、対応する端子の入力レベルに応じて DRIi へのデータ入力が行われます。

【記号説明】 n=0~15

DRI0DD入力許可レジスタ (DRI0DDEN)

<P4領域アドレス : H'FFBF C014番地>

DRI1DD入力許可レジスタ (DRI1DDEN)

<P4領域アドレス : H'FFBF D014番地>

DRI2DD入力許可レジスタ (DRI2DDEN)

<P4領域アドレス : H'FFBF E014番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DD15 EN	DD14 EN	DD13 EN	DD12 EN	DD11 EN	DD10 EN	DD9 EN	DD8 EN	DD7 EN	DD6 EN	DD5 EN	DD4 EN	DD3 EN	DD2 EN	DD1 EN	DD0 EN
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~16	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
15~0	DD15EN~ DD00EN	すべて0	R	W	DD15~DD00 入力許可ビット 0 : 入力禁止 1 : 入力許可

## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.20 DRIi データ取り込みイベント数設定レジスタ (DRIiDCAPNUM)

データ取り込みを行うイベント数を設定するレジスタです。また、ここに設定した値は、DRIi 取り込みイベントカウンタ (DRIiDCAPCT) および DRIi 転送カウンタ (DRIiTRMCT) のリロード値として使用されます。DRIi は 32 ビット単位で DRIi 転送を行います。設定値が 32 ビット単位に満たない場合でも 32 ビット単位での転送となります。32 ビットに満たない余剰部分はすべて"0"で埋めて転送されます。特殊モード選択時は DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) の DWDSL (入力データバス幅選択) ビットの設定に応じて、本レジスタへの設定値は表 28.6 を満たす値を設定してください。

また、総取り込みデータ容量が DRIi のサポートしている SHwyRAM 領域を越えないようご注意ください。このレジスタの書き換えは、DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) の DCPEN (取り込み許可) ビットが"0"の状態で行ってください。

DRI0データ取り込みイベント数設定レジスタ (DRI0DCAPNUM) <P4領域アドレス: H'FFBF C018番地>  
 DRI1データ取り込みイベント数設定レジスタ (DRI1DCAPNUM) <P4領域アドレス: H'FFBF D018番地>  
 DRI2データ取り込みイベント数設定レジスタ (DRI2DCAPNUM) <P4領域アドレス: H'FFBF E018番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DCAPNUM		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCAPNUM															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~0	DCAPNUM	すべて0	R	W	転送イベント数ビット [特殊モード禁止時] 任意の値を設定してください。 [特殊モード許可時] 下記の回数を設定してください。 32 ビット選択時 (16 ビット取り込み時) : 任意 (1 以上) 16 ビット選択時 (8 ビット取り込み時) : 2 の倍数 (2 以上) 8 ビット選択時 : 使用禁止

表 28.6 特殊モード時のバス幅・取り込みイベント設定、取り込み回数の関係

DWDSL (入力データバス幅選択)	取り込みデータバス幅	DRIiDCAPNUM (取り込みイベント数)	外部から取り込まれる回数
8 ビット (00)	(使用禁止)	(使用禁止)	(使用禁止)
16 ビット (01)	8 ビット取り込み	2 の倍数 (2 以上)	DRIiDCAPNUM 設定値 × 2
32 ビット (10)	16 ビット取り込み	任意 (1 以上)	DRIiDCAPNUM 設定値 × 2

## 28.3.21 DRIi 取り込みイベントカウンタ (DRIiDCAPCT)

DRIiDCAPCT カウンタは、データ取り込みイベントをカウントする 19 ビットカウンタです。DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) の DCPEN (取り込み許可) ビットがデータ取り込み禁止から許可に変化すると、DRIi データ取り込みイベント数設定レジスタ (DRIiDCAPNUM) の値がリロードされます。その後、データ取り込みが行われるたびに DRIi 取り込みイベントカウンタが-1 されます。

DRIi 取り込みイベントカウンタが H'0000 0000 となった時点でカウント動作が停止し、DCPEN ビットが"0"にクリアされます。

DRI0取り込みイベントカウンタ (DRI0DCAPCT)  
DRI1取り込みイベントカウンタ (DRI1DCAPCT)  
DRI2取り込みイベントカウンタ (DRI2DCAPCT)

<P4領域アドレス : H'FFBF C01C番地>  
<P4領域アドレス : H'FFBF D01C番地>  
<P4領域アドレス : H'FFBF E01C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DCAPCT		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCAPCT															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
18~0	DCAPCT	H'000	R	N	取り込みイベントカウンタ

28.3.22 DRli 転送カウンタ (DRIiTRMCT)

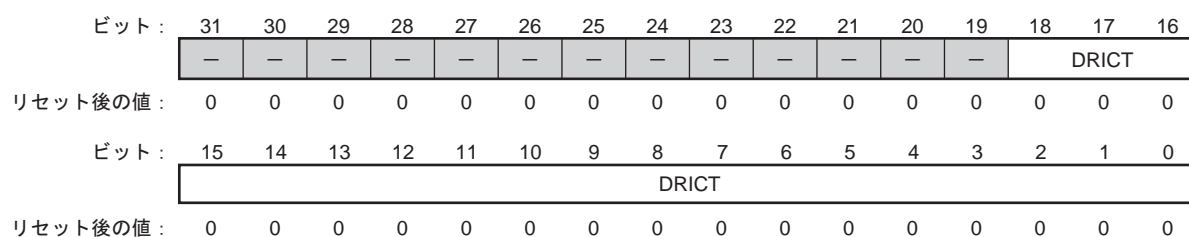
DRiTRMCT カウンタは、DRli 転送データ取り込みをカウントする 19 ビットカウンタです。DRli データ取り込み制御レジスタ (DRiDCAPCNT) の DCPEN (取り込み許可) ビットがデータ取り込み禁止から許可に変化すると、DRli データ取り込みイベント数設定レジスタ (DRiDCAPNUM) の設定値と DRiDCAPCNT レジスタの DWDSL (入力データバス幅選択) ビットの設定値とによって所定のカウンタ値がリロードされます。DRli は 32 ビット単位で転送を行いますので、以下に示す値がカウンタ値としてリロードされます。

- 8ビット選択時 : DRiDCAPNUMレジスタ値/4
- 16ビット選択時 : DRiDCAPNUMレジスタ値/2
- 32ビット選択時 : DRiDCAPNUMレジスタ値

**[注]** ・ DRli データ取り込みイベント数設定レジスタ (DRiDCAPNUM) の設定値が 32 ビット単位で割り切れない場合、割り切れない分は繰り上げてリロードカウンタ値とし、必ず 32 ビット単位で転送します。

特殊モード禁止時は、外部から入力されるデータのバス幅を、8 ビット選択時は 4 回のデータ取り込みイベント発生ごと、16 ビット選択時は 2 回のデータ取り込みイベント発生ごとに DRli 転送が実行されます。DRli データ取り込みイベント数設定レジスタ (DRiDCAPNUM) の設定回数が 32 ビット分で割り切れない場合 (バス幅を 8 ビット選択時は 4n 回以外、16 ビット選択時は 2n 回以外) は最後の取り込みイベント発生で DRli 転送が実行されます。DRli の転送は 32 ビット単位で行われるため、転送回数が 32 ビットで割り切れない場合、32 ビットに満たない余剰部分は"0"で埋めて転送されます。本カウンタは DRli 転送が完了するたびに DRli 転送カウンタが-1 され、カウンタがアンダフロー (H'0000 0000) となった時点でカウント動作が停止し、DRli 転送カウンタ割り込み要求が発生します。DRli 転送カウンタのアンダフローは、H'0000 0000 (カウント停止) となった時点です。

DRi0転送カウンタ (DRI0TRMCT) <P4領域アドレス : H'FFBF C020番地>  
 DRi1転送カウンタ (DRI1TRMCT) <P4領域アドレス : H'FFBF D020番地>  
 DRi2転送カウンタ (DRI2TRMCT) <P4領域アドレス : H'FFBF E020番地>



<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
18~0	DRICT	すべて 0	R	N	DRli 転送カウンタ

## 28.3.23 DRIi アドレスリロードレジスタ 0、1 (DRIiADR0RLD、DRIiADR1RLD)

DRIiADR0CT、DRIiADR1CT カウンタのリロード値を格納するレジスタです。DRIi 転送制御レジスタ (DRIiTRMCNT) の ADMD (アドレスカウンタ動作モード選択) ビットでリロードモードを選択した場合、DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) の DCPEN (取り込み許可) ビットが"0"から"1"へ変化したときに、ここに設定した値が対応する DRIi アドレスカウンタにリロードされます。

【注】・ このレジスタの書き換えは、DRIi データ取り込み制御レジスタ (DRIiDCAPCNT) の DCPEN (取り込み許可) ビットが"0"の状態で行ってください。

DRI0アドレスリロードレジスタ0 (DRI0ADR0RLD) <P4領域アドレス : H'FFBF C024番地>  
 DRI1アドレスリロードレジスタ0 (DRI1ADR0RLD) <P4領域アドレス : H'FFBF D024番地>  
 DRI2アドレスリロードレジスタ0 (DRI2ADR0RLD) <P4領域アドレス : H'FFBF E024番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 — — — — — — — — — — — — — — DRIAD0RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — — — — — — — DRIAD0RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

DRI0アドレスリロードレジスタ1 (DRI0ADR1RLD) <P4領域アドレス : H'FFBF C02C番地>  
 DRI1アドレスリロードレジスタ1 (DRI1ADR1RLD) <P4領域アドレス : H'FFBF D02C番地>  
 DRI2アドレスリロードレジスタ1 (DRI2ADR1RLD) <P4領域アドレス : H'FFBF E02C番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 — — — — — — — — — — — — — — DRIAD1RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — — — — — — — DRIAD1RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~2	DRIADmRLD	すべて0	R	W	アドレス 18~2 リロード値 (256K バイト領域)
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 m=0、1



## 28. ダイレクトRAM インプットインタフェース (DRI)

### 28.3.24 DRIi アドレスカウンタ 0、1 (DRIiADROCT、DRIiADR1CT)

DRIiADROCT、DRIiADR1CT カウンタは、DRIi 転送先である SHwyRAM 上のアドレスの A18~A2 を指定するためのカウンタで、A31~A19 は"0"固定となっています。DRIi 転送が完了するたびに+4 されます。DRIi アドレスカウンタには2つの動作モードがあり、DRIi 転送制御レジスタ (DRIiTRMCNT) の ADMD ビットでモード選択できます。

- 【注】
- ・ DRIi アドレスカウンタ値が SHwyRAM の配置されている領域以外の値であった場合、DRIi はあたかも DRIi 転送が完了したかのように動作しますが、取り込みデータの書き込みはどこにも行われません。
  - ・ DRIi 転送が完了したとき+4 される DRIi アドレスカウンタは、DRIi 転送制御レジスタ (DRIiTRMCNT) の ADSL (アドレスカウンタ選択) ビットの設定により、そのときアクティブなものに対して行われます。
  - ・ このレジスタの書き換えは、必ず DRIi 転送カウンタ (DRIiTRMCT) がアンダフロー (H'0000 0000 : カウント停止) した状態で行ってください。

DRI0アドレスカウンタ0 (DRI0ADROCT) <P4領域アドレス : H'FFBF C028番地>  
 DRI1アドレスカウンタ0 (DRI1ADROCT) <P4領域アドレス : H'FFBF D028番地>  
 DRI2アドレスカウンタ0 (DRI2ADROCT) <P4領域アドレス : H'FFBF E028番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD0		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD0													—	—	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DRI0アドレスカウンタ1 (DRI0ADR1CT) <P4領域アドレス : H'FFBF C030番地>  
 DRI1アドレスカウンタ1 (DRI1ADR1CT) <P4領域アドレス : H'FFBF D030番地>  
 DRI2アドレスカウンタ1 (DRI2ADR1CT) <P4領域アドレス : H'FFBF E030番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD1		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD1													—	—	
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~2	DRIADn	すべて0	R	W	デスティネーションアドレスの 18~2 (256K バイト領域)
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0、1

## 28.3.25 DRIi 入力処理制御レジスタ (DRIiDINCNT)

DRIi 外部から入力される信号のイベント検出方法を選択します。イベント検出は立ち上がり/立ち下がり/両エッジから選択可能です。入力無効を選択した場合は、イベント検出を行いません。

DRI0入力処理制御レジスタ (DRI0DINCNT)

&lt;P4領域アドレス : H'FFBF C034番地&gt;

DRI1入力処理制御レジスタ (DRI1DINCNT)

&lt;P4領域アドレス : H'FFBF D034番地&gt;

DRI2入力処理制御レジスタ (DRI2DINCNT)

&lt;P4領域アドレス : H'FFBF E034番地&gt;

ビット:    15    14    13    12    11    10    9    8    7    6    5    4    3    2    1    0

—	—	—	—	DIN5ED	DIN4ED	DIN3ED	DIN2ED	DIN1ED	DIN0ED						
---	---	---	---	--------	--------	--------	--------	--------	--------	--	--	--	--	--	--

リセット後の値:    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11、10	DIN5ED	00	R	W	DIN5 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出
9、8	DIN4ED	00	R	W	DIN4 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出
7、6	DIN3ED	00	R	W	DIN3 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出
5、4	DIN2ED	00	R	W	DIN2 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出
3、2	DIN1ED	00	R	W	DIN1 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出

## 28. ダイレクトRAM インプットインタフェース (DRI)

---

ビット	シンボル	リセット後の値	R	W	説明
1、0	DIN0ED	00	R	W	DIN0 イベント検出制御ビット 00 : 入力無効 01 : 立ち上がり検出 10 : 立ち下がり検出 11 : 両エッジ検出

## 28.3.26 DRIiDEC0 制御レジスタ (DRIiDEC0CNT)

DRIi が内蔵しているイベントカウンタ DEC0 を制御するためのレジスタです。

DRI0DEC0制御レジスタ (DRI0DEC0CNT)  
 DRI1DEC0制御レジスタ (DRI1DEC0CNT)  
 DRI2DEC0制御レジスタ (DRI2DEC0CNT)

<P4領域アドレス : H'FFBF C036番地>  
 <P4領域アドレス : H'FFBF D036番地>  
 <P4領域アドレス : H'FFBF E036番地>

ビット :     7     6     5     4     3     2     1     0  

DEC0 MOD	—	DEC0 CS	DEC0 EXT	DEC0 EN
-------------	---	------------	-------------	------------

リセット後の値 :   0   0   0   0   0   0   0   0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC0MOD	0	R	W	DEC0 動作モード選択ビット DRIiDEC0 カウンタ (DRIiDEC0CNT) の動作モードを選択します。 0 : ワンショットモード 1 : 連続動作モード
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5、4	DEC0CS	00	R	W	DEC0 カウントイベント選択ビット DRIiDEC0CNT カウンタのカウントソースとなるイベントを選択します。 DEC0EN ビットが"1"の状態を選択した要因からイベントが検出された場合、DEC0 カウンタ (DEC0CNT) の値が-1 されます。 00 : DIN0 イベント検出 01 : DIN1 イベント検出 10 : 設定禁止 11 : DRIi 取り込みイベントカウンタアンダフロー
3~1	DEC0EXT	000	R	W	DEC0 カウント許可要因選択ビット DRIiDEC0CNT カウンタを外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC0EN ビットが"1"にセットされます。 000 : 外部要因禁止 001 : DIN0 イベント検出 010 : DIN1 イベント検出 011 : 設定禁止 100 : 取り込み許可 101 : PDAC イベント H 110 : 設定禁止 111 : 設定禁止

## 28. ダイレクトRAM インพุットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DEC0EN	0	R	W	<p>DEC0 カウント許可ビット</p> <p>DEC0 のカウント動作許可/禁止を制御するビットです。外部イベントによって"1"にセットできます。また、動作モードでワンショットモード選択時は、DEC0 カウンタアンダフローによって"0"にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"0"書き込み</li> <li>ワンショットモード選択時、DEC0 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"1"書き込み</li> <li>DEC0EXT ビットで選択したイベントが発生したとき</li> </ul> <p>【注】・DEC0EXT ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。</p> <p>・DEC 動作許可時には DEC0EN ビットを"0"にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えしないでください。</p>

### 28.3.27 DRIiDEC1 制御レジスタ (DRIiDEC1CNT)

DRIi が内蔵しているイベントカウンタ DEC1 を制御するためのレジスタです。

DRI0DEC1制御レジスタ (DRI0DEC1CNT)  
DRI1DEC1制御レジスタ (DRI1DEC1CNT)  
DRI2DEC1制御レジスタ (DRI2DEC1CNT)

<P4領域アドレス : H'FFBF C03C番地>  
<P4領域アドレス : H'FFBF D03C番地>  
<P4領域アドレス : H'FFBF E03C番地>

ビット :     7     6     5     4     3     2     1     0

DEC1 MOD	—	DEC1 CS	DEC1 EXT	DEC1 EN
-------------	---	------------	-------------	------------

リセット後の値 :   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC1MOD	0	R	W	<p>DEC1 動作モード選択ビット</p> <p>DRIiDEC1 カウンタ (DRIiDEC1CT) の動作モードを選択します。</p> <p>0 : ワンショットモード 1 : 連続動作モード</p>
6	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
5、4	DEC1CS	00	R	W	<p>DEC1 カウントイベント選択ビット</p> <p>DRIiDEC1CT カウンタのカウンソースとなるイベントを選択します。DEC1EN ビットが"1"の状態を選択した要因からイベントが検出された場合、DEC1 カウンタ (DEC1CT) の値が-1 されます。</p> <p>00 : DIN1 イベント検出 01 : 設定禁止 10 : DIN3 イベント検出 11 : DEC0 アンダフロー</p>
3~1	DEC1EXT	000	R	W	<p>DEC1 カウント許可要因選択ビット</p> <p>DRIiDEC1 カウンタ (DRIiDEC1CT) を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC1EN (DEC1 カウント許可) ビットが"1"にセットされます。</p> <p>000 : 外部要因禁止 001 : DIN0 イベント検出 010 : DIN1 イベント検出 011 : DEC0 アンダフロー 100 : 取り込み許可 101 : PDAC イベント H 11x : 設定禁止</p>
0	DEC1EN	0	R	W	<p>DEC1 カウント許可ビット</p> <p>DEC1 のカウント動作許可/禁止を制御するビットです。外部イベントによって"1"にセットできます。また、動作モードでワンショットモード選択時は、DEC1 カウンタアンダフローによって"0"にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"0"書き込み</li> <li>ワンショットモード選択時、DEC1 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"1"書き込み</li> <li>DEC1EXT ビットで選択したイベントが発生したとき</li> </ul> <p>【注】・ DEC1EXT ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。</p> <ul style="list-style-type: none"> <li>DEC 動作許可時には DEC1EN ビットを"0"にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えないでください。</li> </ul>

## 28. ダイレクト RAM インพุットインタフェース (DRI)

### 28.3.28 DRIiDEC2 制御レジスタ (DRIiDEC2CNT)

DRIi が内蔵しているイベントカウンタ DEC2 を制御するためのレジスタです。

DRI0DEC2制御レジスタ (DRI0DEC2CNT)  
 DRI1DEC2制御レジスタ (DRI1DEC2CNT)  
 DRI2DEC2制御レジスタ (DRI2DEC2CNT)

<P4領域アドレス : H'FFBF C042番地>  
 <P4領域アドレス : H'FFBF D042番地>  
 <P4領域アドレス : H'FFBF E042番地>

ビット:     7     6     5     4     3     2     1     0

DEC2 MOD	—	DEC2 CS	DEC2 EXT	DEC2 EN
-------------	---	------------	-------------	------------

リセット後の値:   0   0   0   0   0   0   0   0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC2MOD	0	R	W	DEC2 動作モード選択ビット DRIiDEC2 カウンタ (DRIiDEC2CT) の動作モードを選択します。 0 : ワンショットモード 1 : 連続動作モード
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5、4	DEC2CS	00	R	W	DEC2 カウントイベント選択ビット DRIiDEC2 カウンタ (DRIiDEC2CT) のカウントソースとなるイベントを選択します。DEC2EN (DEC2 カウント許可) ビットが"1"の状態では選択した要因からイベントが検出された場合、DEC2 カウンタ (DEC2CT) の値が-1 されません。 00 : DIN1 イベント検出 01 : 設定禁止 10 : DIN3 イベント検出 11 : 取り込みイベント
3~1	DEC2EXT	000	R	W	DEC2 カウント許可要因選択ビット DRIiDEC2 カウンタ (DRIiDEC2CT) を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC2EN (DEC2 カウント許可) ビットが"1"にセットされます。 000 : 外部要因禁止 001 : DIN0 イベント検出 010 : DIN1 イベント検出 011 : 設定禁止 100 : 取り込み許可 101 : PDAC イベント G 11x : 設定禁止

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DEC2EN	0	R	W	<p>DEC2 カウント許可ビット</p> <p>DEC2 のカウント動作許可/禁止を制御するビットです。外部イベントによって "1" にセットできます。また、動作モードでワンショットモード選択時は、DEC2 カウンタアンダフローによって "0" にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる "0" 書き込み</li> <li>ワンショットモード選択時、DEC2 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる "1" 書き込み</li> <li>DEC2EXT ビットで選択したイベントが発生したとき</li> </ul> <p>【注】</p> <ul style="list-style-type: none"> <li>DEC2EXT ビットで外部要因を選択した場合、ソフトウェアで "1" をセットすることは禁止です。</li> <li>DEC 動作許可時には DEC2EN ビットを "0" にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えないでください。</li> </ul>

### 28.3.29 DRIiDEC3 制御レジスタ (DRIiDEC3CNT)

DRIi が内蔵しているイベントカウンタ DEC3 を制御するためのレジスタです。

DRI0DEC3制御レジスタ (DRI0DEC3CNT)

<P4領域アドレス : H'FFBF C048番地>

DRI1DEC3制御レジスタ (DRI1DEC3CNT)

<P4領域アドレス : H'FFBF D048番地>

DRI2DEC3制御レジスタ (DRI2DEC3CNT)

<P4領域アドレス : H'FFBF E048番地>

ビット :

7	6	5	4	3	2	1	0
DEC3 MOD	—	DEC3 CS		DEC3 EXT		DEC3 EN	

リセット後の値 : 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC3MOD	0	R	W	<p>DEC3 動作モード選択ビット</p> <p>DRIiDEC3 カウンタ (DRIiDEC3CNT) の動作モードを選択します。</p> <p>0 : ワンショットモード 1 : 連続動作モード</p>
6	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。</p>



28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
5、4	DEC3CS	00	R	W	<p>DEC3 カウントイベント選択ビット</p> <p>DRiDEC3 カウンタ (DRiDEC3CT) のカウントソースとなるイベントを選択します。DEC3EN (DEC3 カウント許可) ビットが"1"の状態では選択した要因からイベントが検出された場合、DEC3 カウンタ (DEC3CT) の値が-1 されます。</p> <p>00 : 設定禁止 01 : DIN3 イベント検出 10 : DIN4 イベント検出 11 : DIN5 イベント検出</p>
3~1	DEC3EXT	000	R	W	<p>DEC3 カウント許可要因選択ビット</p> <p>DRiDEC3 カウンタ (DRiDEC3CT) を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC3EN (DEC3 カウント許可) ビットが"1"にセットされます。</p> <p>000 : 外部要因禁止 001 : DIN0 イベント検出 010 : DIN1 イベント検出 011 : DEC2 アンダフロー 100 : 取り込み許可 101 : 設定禁止 11x : 設定禁止</p>
0	DEC3EN	0	R	W	<p>DEC3 カウント許可ビット</p> <p>DEC3 のカウント動作許可/禁止を制御するビットです。外部イベントによって"1"にセットできます。また、動作モードでワンショットモード選択時は、DEC3 カウンタアンダフローによって"0"にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"0"書き込み</li> <li>ワンショットモード選択時、DEC3 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"1"書き込み</li> <li>DEC3EXT ビットで選択したイベントが発生したとき</li> </ul> <p><b>【注】</b> ・ DEC3EXT ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。 ・ DEC 動作許可時には DEC3EN ビットを"0"にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えないでください。</p>

## 28.3.30 DRIiDEC4 制御レジスタ (DRIiDEC4CNT)

DRIi が内蔵しているイベントカウンタ DEC4 を制御するためのレジスタです。

DRI0DEC4制御レジスタ (DRI0DEC4CNT)

DRI1DEC4制御レジスタ (DRI1DEC4CNT)

DRI2DEC4制御レジスタ (DRI2DEC4CNT)

<P4領域アドレス : H'FFBF C04E番地>

<P4領域アドレス : H'FFBF D04E番地>

<P4領域アドレス : H'FFBF E04E番地>

ビット :	7	6	5	4	3	2	1	0
	DEC4 MOD	—	DEC4 CS		DEC4 EXT		DEC4 EN	

リセット後の値 : 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC4MOD	0	R	W	DEC4 動作モード選択ビット DRIiDEC4 カウンタ (DRIiDEC4CT) の動作モードを選択します。 0 : ワンショットモード 1 : 連続動作モード
6	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5、4	DEC4CS	00	R	W	DEC4 カウントイベント選択ビット DRIiDEC4 カウンタ (DRIiDEC4CT) のカウントソースとなるイベントを選択します。DEC4EN (DEC4 カウント許可) ビットが"1"の状態を選択した要因からイベントが検出された場合、DEC4 カウンタ (DEC4CT) の値が-1 されます。 00 : DIN1 イベント検出 01 : 取り込みイベント 10 : DRIi 転送 1 回完了 11 : DRIi 転送カウンタアンダフロー
3~1	DEC4EXT	000	R	W	DEC4 カウント許可要因選択ビット DRIiDEC4 カウンタ (DRIiDEC4CT) を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC4EN (DEC4 カウント許可) ビットが"1"にセットされます。 000 : 外部要因禁止 001 : DIN0 イベント検出 010 : DIN1 イベント検出 011 : DEC3 アンダフロー 100 : 取り込み許可 101 : PDAC イベント H 11x : 設定禁止

## 28. ダイレクトRAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
0	DEC4EN	0	R	W	<p>DEC4 カウント許可ビット</p> <p>DEC4 のカウント動作許可/禁止を制御するビットです。外部イベントによって "1" にセットできます。また、動作モードでワンショットモード選択時は、DEC4 カウンタアンダフローによって "0" にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる "0" 書き込み</li> <li>ワンショットモード選択時、DEC4 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる "1" 書き込み</li> <li>DEC4EXT ビットで選択したイベントが発生したとき</li> </ul> <p>【注】</p> <ul style="list-style-type: none"> <li>DEC4EXT ビットで外部要因を選択した場合、ソフトウェアで "1" をセットすることは禁止です。</li> <li>DEC 動作許可時には DEC4EN ビットを "0" にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えないでください。</li> </ul>

### 28.3.31 DRIiDEC5 制御レジスタ (DRIiDEC5CNT)

DRIi が内蔵しているイベントカウンタ DEC5 を制御するためのレジスタです。

DRI0DEC5制御レジスタ (DRI0DEC5CNT)  
DRI1DEC5制御レジスタ (DRI1DEC5CNT)  
DRI2DEC5制御レジスタ (DRI2DEC5CNT)

<P4領域アドレス : H'FFBF C054番地>  
<P4領域アドレス : H'FFBF D054番地>  
<P4領域アドレス : H'FFBF E054番地>

ビット :

7	6	5	4	3	2	1	0
DEC5 MOD	—	DEC5 CS		DEC5 EXT		DEC5 EN	

リセット後の値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DEC5MOD	0	R	W	<p>DEC5 動作モード選択ビット</p> <p>DRIiDEC5 カウンタ (DRIiDEC5CT) の動作モードを選択します。</p> <p>0 : ワンショットモード 1 : 連続動作モード</p>
6	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。</p>

## 28. ダイレクト RAM インプットインタフェース (DRI)

ビット	シンボル	リセット後の値	R	W	説明
5、4	DEC5CS	00	R	W	<p>DEC5 カウントイベント選択ビット</p> <p>DRIiDEC5 カウンタ (DRIiDEC5CT) のカウントソースとなるイベントを選択します。DEC5EN (DEC5 カウント許可) ビットが"1"の状態を選択した要因からイベントが検出された場合、DEC5 カウンタ (DEC5CT) の値が-1 されます。</p> <p>00 : DIN0 イベント検出 01 : DIN1 イベント検出 10 : DIN3 イベント検出 11 : DIN4 イベント検出</p>
3~1	DEC5EXT	000	R	W	<p>DEC5 カウント許可要因選択ビット</p> <p>DRIiDEC5 カウンタ (DRIiDEC5CT) を外部イベントによってカウント許可としたい場合は、このビットでカウント許可要因を選択します。選択した要因からイベントが検出されると、DEC5EN (DEC5 カウント許可) ビットが"1"にセットされます。</p> <p>000 : 外部要因禁止 001 : DIN0 イベント検出 010 ; DIN1 イベント検出 011 ; DEC2 アンダフロー 100 : 取り込み許可 101 : 設定禁止 11x : 設定禁止</p>
0	DEC5EN	0	R	W	<p>DEC5 カウント許可ビット</p> <p>DEC5 のカウント動作許可/禁止を制御するビットです。外部イベントによって"1"にセットできます。また、動作モードでワンショットモード選択時は、DEC5 カウンタアンダフローによって"0"にクリアされます。</p> <p>0 : カウント禁止 1 : カウント許可</p> <p>["0"クリア条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"0"書き込み</li> <li>ワンショットモード選択時、DEC5 カウンタがアンダフローしたとき</li> </ul> <p>["1"セット条件]</p> <ul style="list-style-type: none"> <li>ソフトウェアによる"1"書き込み</li> <li>DEC5EXT ビットで選択したイベントが発生したとき</li> </ul> <p>【注】・ DEC5EXT ビットで外部要因を選択した場合、ソフトウェアで"1"をセットすることは禁止です。</p> <ul style="list-style-type: none"> <li>DEC 動作許可時にはDEC5ENビットを"0"にクリアする書き込みのみとしてください。その他のビットは DEC 動作許可のときには書き換えしないでください。</li> </ul>

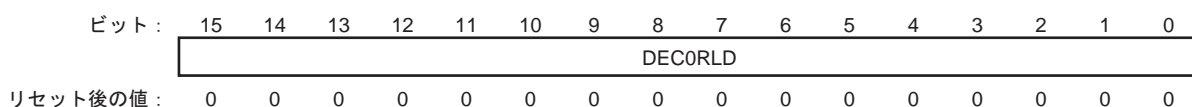
### 28.3.32 DRIiDEC0~DRIiDEC5 リロードレジスタ (DRIiDEC0RLD~DRIiDEC5RLD)

DRIiDEC0~DRIiDEC5 リロードレジスタは、DECm カウンタヘデータをロードするためのレジスタです。リロードレジスタの内容がカウンタにリロードされるのは、以下の場合です。

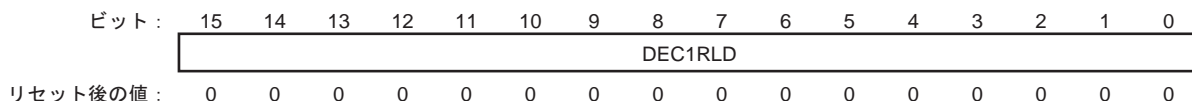
- ワンショットモードで、カウント禁止から許可に変化したとき
- 連続動作モードでDECmカウンタがアンダフローしたとき

**【記号説明】** m=0~5

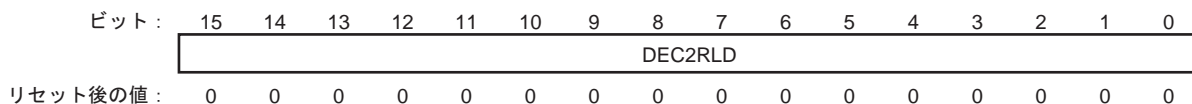
DRI0DEC0リロードレジスタ (DRI0DEC0RLD) <P4領域アドレス : H'FFBF C038番地>  
 DRI1DEC0リロードレジスタ (DRI1DEC0RLD) <P4領域アドレス : H'FFBF D038番地>  
 DRI2DEC0リロードレジスタ (DRI2DEC0RLD) <P4領域アドレス : H'FFBF E038番地>



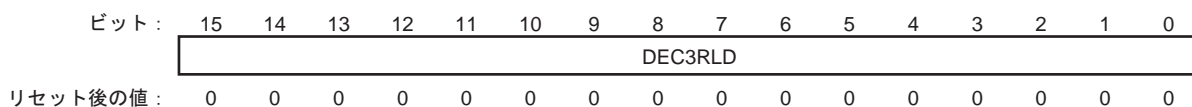
DRI0DEC1リロードレジスタ (DRI0DEC1RLD) <P4領域アドレス : H'FFBF C03E番地>  
 DRI1DEC1リロードレジスタ (DRI1DEC1RLD) <P4領域アドレス : H'FFBF D03E番地>  
 DRI2DEC1リロードレジスタ (DRI2DEC1RLD) <P4領域アドレス : H'FFBF E03E番地>



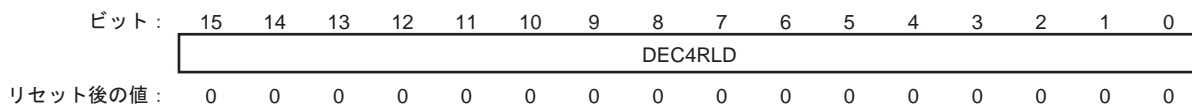
DRI0DEC2リロードレジスタ (DRI0DEC2RLD) <P4領域アドレス : H'FFBF C044番地>  
 DRI1DEC2リロードレジスタ (DRI1DEC2RLD) <P4領域アドレス : H'FFBF D044番地>  
 DRI2DEC2リロードレジスタ (DRI2DEC2RLD) <P4領域アドレス : H'FFBF E044番地>



DRI0DEC3リロードレジスタ (DRI0DEC3RLD) <P4領域アドレス : H'FFBF C04A番地>  
 DRI1DEC3リロードレジスタ (DRI1DEC3RLD) <P4領域アドレス : H'FFBF D04A番地>  
 DRI2DEC3リロードレジスタ (DRI2DEC3RLD) <P4領域アドレス : H'FFBF E04A番地>



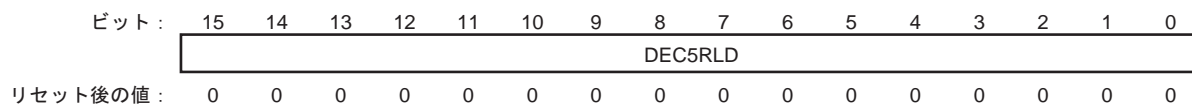
DRI0DEC4リロードレジスタ (DRI0DEC4RLD) <P4領域アドレス : H'FFBF C050番地>  
 DRI1DEC4リロードレジスタ (DRI1DEC4RLD) <P4領域アドレス : H'FFBF D050番地>  
 DRI2DEC4リロードレジスタ (DRI2DEC4RLD) <P4領域アドレス : H'FFBF E050番地>



## 28. ダイレクト RAM インプットインタフェース (DRI)

DRI0DEC5リロードレジスタ (DRI0DEC5RLD)  
 DRI1DEC5リロードレジスタ (DRI1DEC5RLD)  
 DRI2DEC5リロードレジスタ (DRI2DEC5RLD)

<P4領域アドレス : H'FFBF C056番地>  
 <P4領域アドレス : H'FFBF D056番地>  
 <P4領域アドレス : H'FFBF E056番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	DECmRLD	H'0000	R	W	DECm リロード値

【注】・このレジスタは必ずワード境界からワード単位でアクセスしてください。

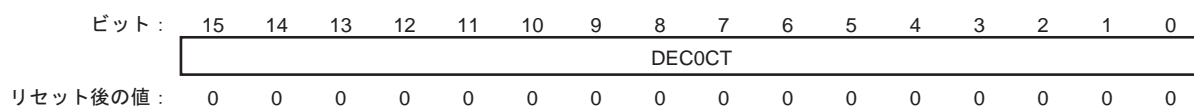
【記号説明】 m=0~5

### 28.3.33 DRIiDEC0~DRIiDEC5 カウンタ (DRIiDEC0CT~DRIiDEC5CT)

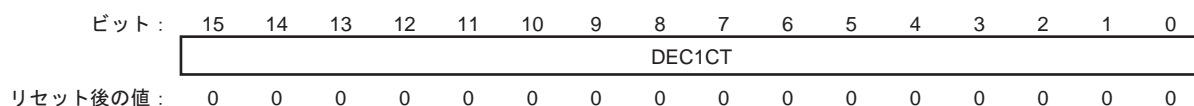
DRIiDEC0CT~DRIiDEC5CT カウンタは 16 ビットのダウンカウンタで、カウント許可後イベント検出に同期してカウント動作を行います。DECm カウンタをワンショットモードで使用する場合、対応する DECm カウンタがカウント許可の状態では DRIiDEC0CT~DRIiDEC5CT カウンタへ書き込みを行わないでください。

**【記号説明】** m=0~5

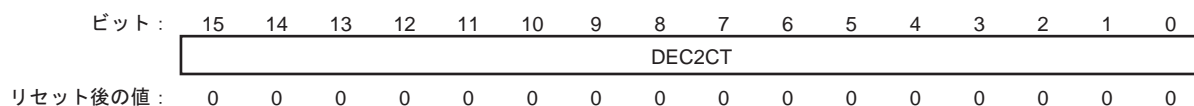
DRI0DEC0カウンタ (DRI0DEC0CT) <P4領域アドレス : H'FFBF C03A番地>  
 DRI1DEC0カウンタ (DRI1DEC0CT) <P4領域アドレス : H'FFBF D03A番地>  
 DRI2DEC0カウンタ (DRI2DEC0CT) <P4領域アドレス : H'FFBF E03A番地>



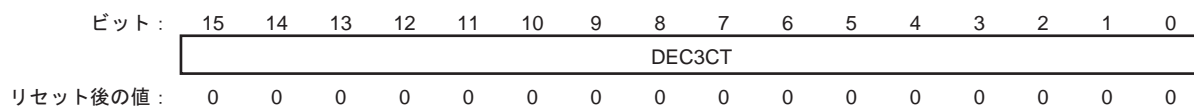
DRI0DEC1カウンタ (DRI0DEC1CT) <P4領域アドレス : H'FFBF C040番地>  
 DRI1DEC1カウンタ (DRI1DEC1CT) <P4領域アドレス : H'FFBF D040番地>  
 DRI2DEC1カウンタ (DRI2DEC1CT) <P4領域アドレス : H'FFBF E040番地>



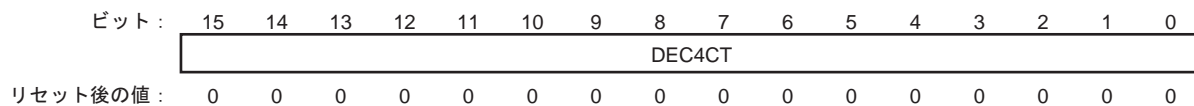
DRI0DEC2カウンタ (DRI0DEC2CT) <P4領域アドレス : H'FFBF C046番地>  
 DRI1DEC2カウンタ (DRI1DEC2CT) <P4領域アドレス : H'FFBF D046番地>  
 DRI2DEC2カウンタ (DRI2DEC2CT) <P4領域アドレス : H'FFBF E046番地>



DRI0DEC3カウンタ (DRI0DEC3CT) <P4領域アドレス : H'FFBF C04C番地>  
 DRI1DEC3カウンタ (DRI1DEC3CT) <P4領域アドレス : H'FFBF D04C番地>  
 DRI2DEC3カウンタ (DRI2DEC3CT) <P4領域アドレス : H'FFBF E04C番地>



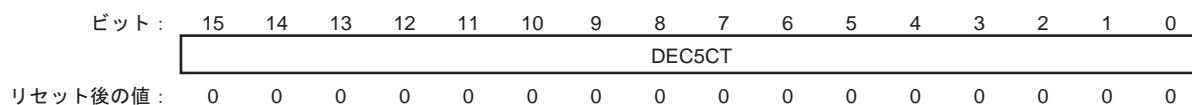
DRI0DEC4カウンタ (DRI0DEC4CT) <P4領域アドレス : H'FFBF C052番地>  
 DRI1DEC4カウンタ (DRI1DEC4CT) <P4領域アドレス : H'FFBF D052番地>  
 DRI2DEC4カウンタ (DRI2DEC4CT) <P4領域アドレス : H'FFBF E052番地>



## 28. ダイレクト RAM インプットインタフェース (DRI)

DRI0DEC5カウンタ (DRI0DEC5CT)  
 DRI1DEC5カウンタ (DRI1DEC5CT)  
 DRI2DEC5カウンタ (DRI2DEC5CT)

<P4領域アドレス : H'FFBF C058番地>  
 <P4領域アドレス : H'FFBF D058番地>  
 <P4領域アドレス : H'FFBF E058番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	DECmCT	H'0000	R	W	DECm カウンタ

【注】 ・このレジスタは必ずワード境界からワード単位でアクセスしてください。

【記号説明】 m=0~5



## 28.4 動作説明

### 28.4.1 DRI 初期設定フロー

図 28.8 に DRI 初期設定フローを示します。

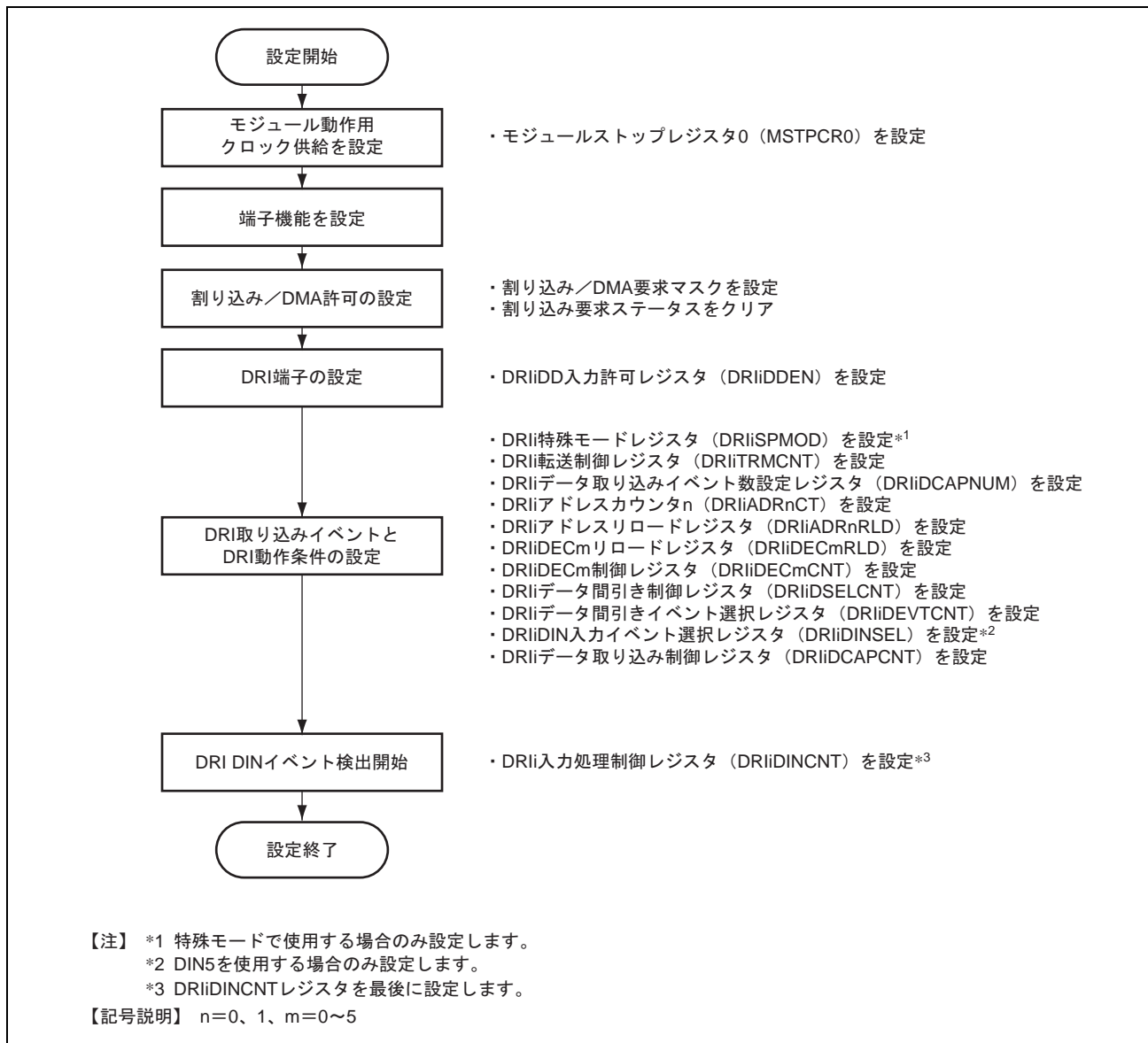


図 28.8 DRI 初期設定フロー図

## 28.4.2 イベントカウンタ (DEC) 動作モード

## (1) ワンショットモード

DRIiDECm 制御レジスタ (DRIiDECmCNT) の DECmEN (DECm カウント許可) ビットが禁止から許可に変化すると、DRIiDECm リロードレジスタ (DRIiDECmRLD) の内容を DRIiDECm カウンタ (DRIiDECmCT) にロードします。以降、DECmCS (DECm カウントイベント選択) ビットで選択したイベントが発生するたびにダウンカウントします。"DECm リロードレジスタ設定値 (DRIiDECmRLD) +1"だけイベントをカウントするとアンダフロー状態 (カウンタ値=H'FFFF) でカウント動作を停止し、DECmEN (DECm カウント許可) ビットを"0"クリアします。

- 【注】
- ・ カウント許可時にカウンタへリロードしたリロード値を読み出すことはできません。読み出した場合、リロード前のカウンタ値が読み出されます。
  - ・ 外部イベントによるカウント許可とカウントソースが同時に発生した場合、外部イベントによるカウント許可ビットの"1"へのセットは行われますが、カウント動作は行われません。
  - ・ アンダフローによるカウンタ停止と外部イベントによるカウント許可が同時に発生した場合、アンダフローによるカウンタ停止が優先されます。
  - ・ 外部イベントによるカウント許可とカウント許可ビットへのカウント禁止書き込みが同時に発生した場合、カウント禁止が優先されます。

【記号説明】 m=0~5

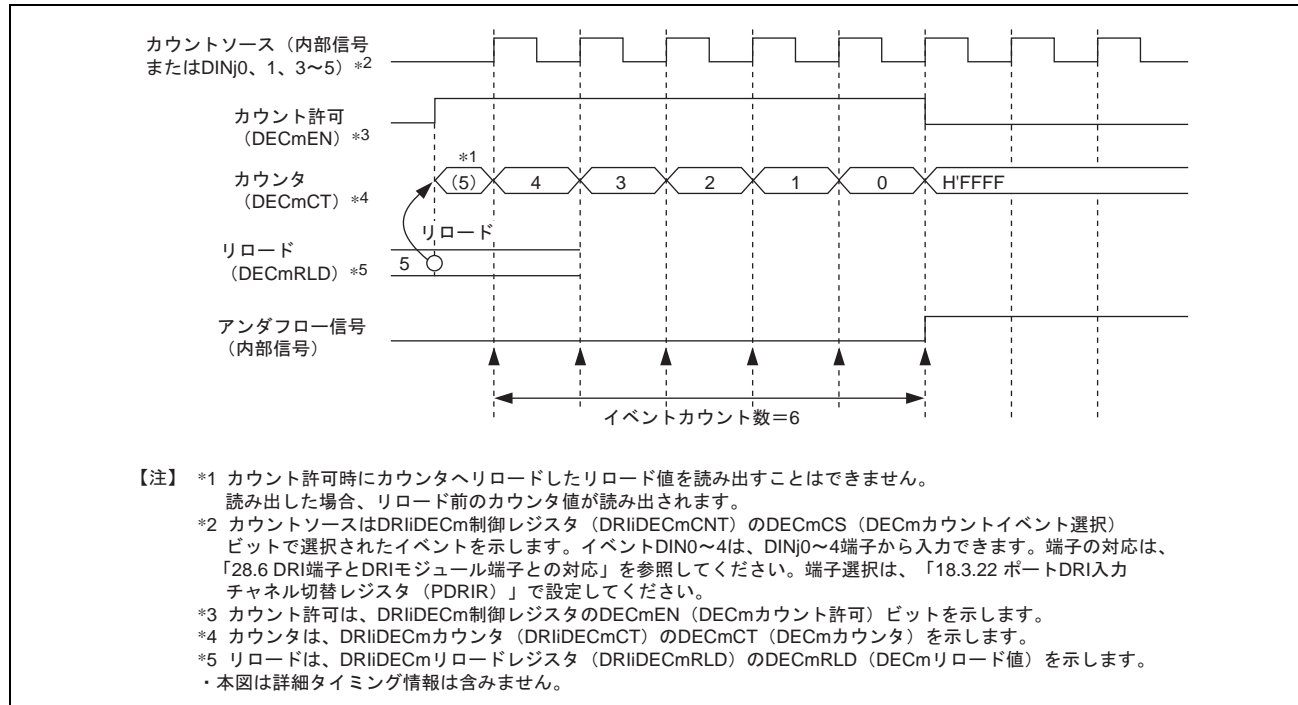


図 28.9 DEC ワンショットモードのカウント例

## 28. ダイレクトRAM インプットインタフェース (DRI)

### (2) 連続動作モード

DECmEN (DECm カウント許可) ビットが許可になると、DECmCS (DECm カウントイベント選択) ビットで選択したイベントが発生するたびに DRliDECm カウンタ (DRliDECmCT) 設定値からダウンカウントを行い、DECm カウンタアンダフロー (カウンタ値=H'FFFF) で DRliDECm リロードレジスタ (DRliDECmRLD) の値をリロードします。以後、DRliDECm カウンタ (DRliDECmCT) のアンダフローごとにこの動作を繰り返します。

- 【注】
- 外部イベントによるカウント許可とカウントソースが同時に発生した場合、外部イベントによるカウント許可ビットの"1"へのセットは行われますが、カウント動作は行われません。
  - 外部イベントによるカウント許可と DECmEN (カウント許可) ビットへのカウント禁止書き込みが同時に発生した場合、カウント禁止が優先されます。
  - リロードとカウンタへの書き込みが同時に発生した場合、カウンタへの書き込みが優先されます。このとき、DECm カウンタアンダフローによる割り込みは発生しません。
  - カウントソースとカウンタへの書き込みが同時に発生した場合、カウンタへの書き込みが優先されます。このとき、カウントソースは無視されます。

【記号説明】 m=0~5

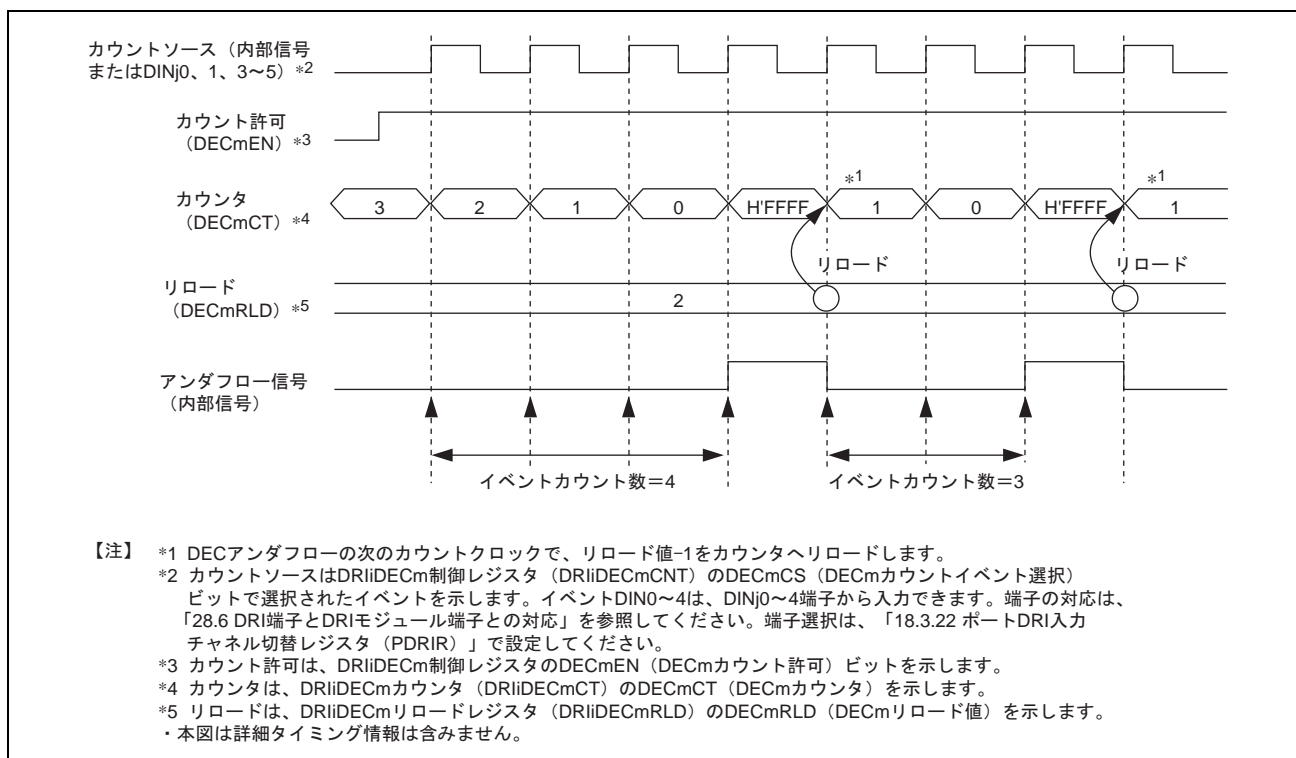


図 28.10 DEC 連続動作モードのカウンタ例

## 28.5 各 DEC の接続構成図

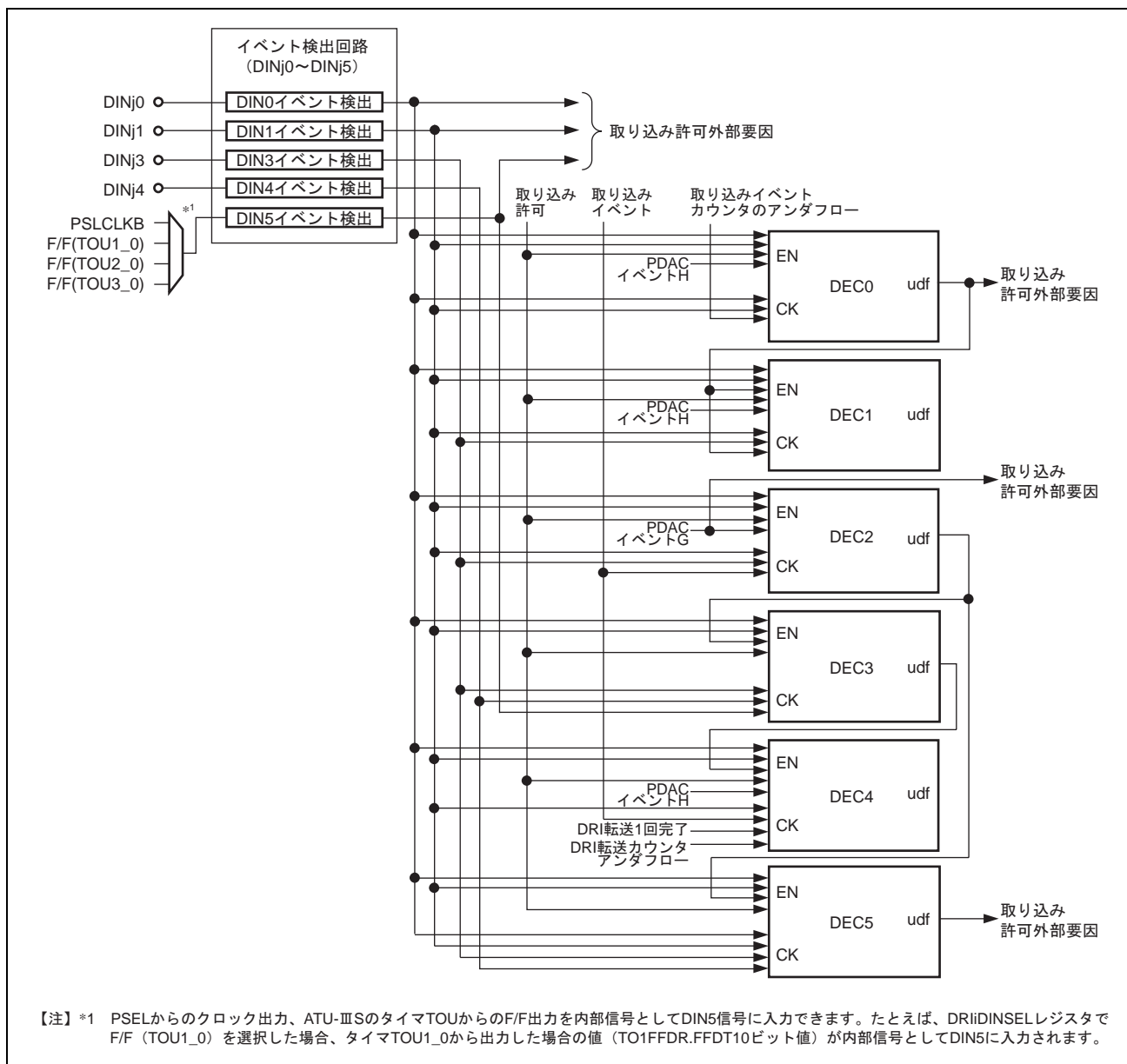


図 28.11 各 DEC の接続構成図

28.6 DRI 端子と DRI モジュール端子との対応

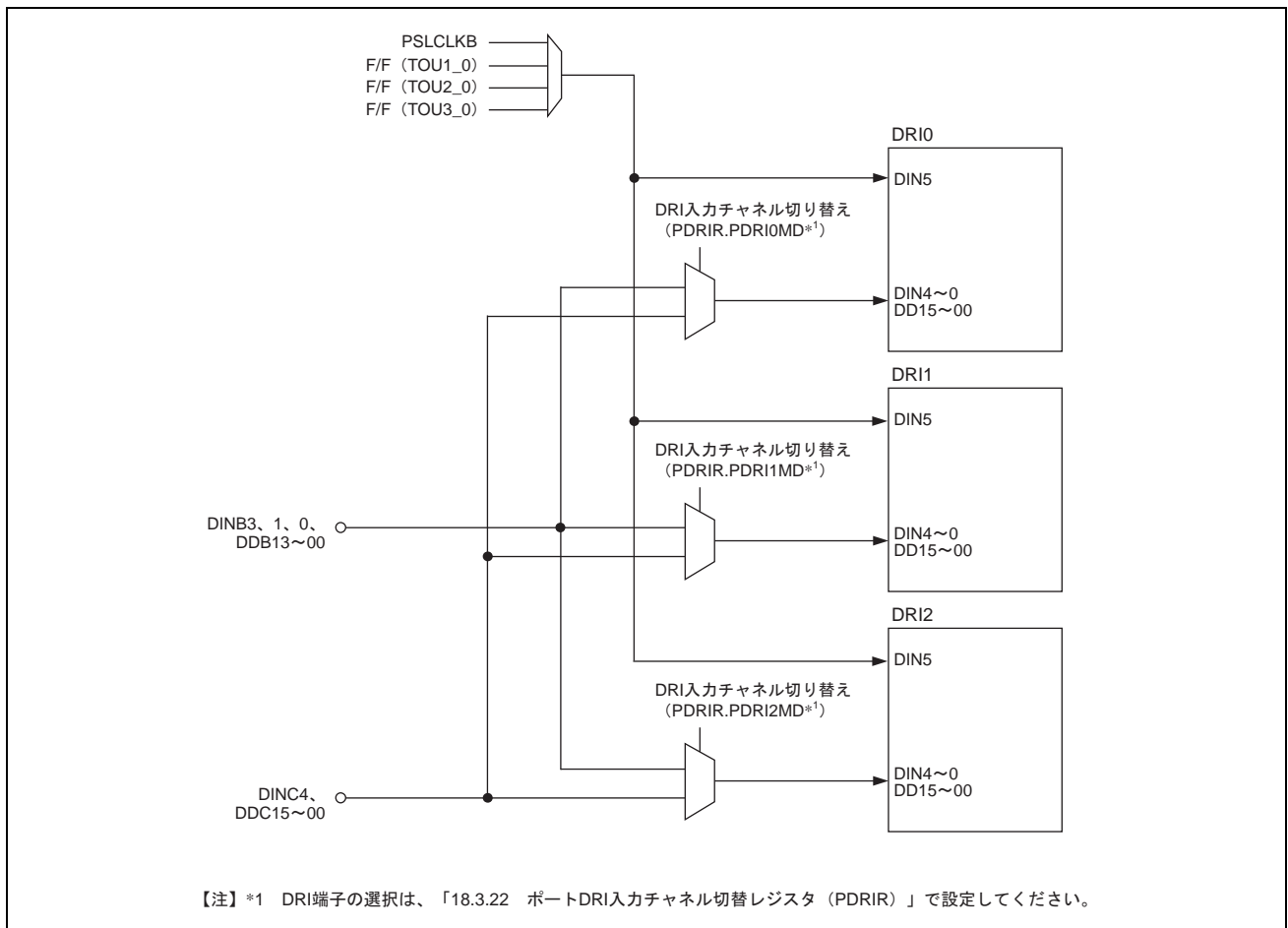


図 28.12 DRI 端子と DRI モジュール端子との接続イメージ

### 28.7 DRIi 特殊モードについて

DRIi 特殊モードレジスタ (DRIiSPMOD) により、DRI の特殊モードを ON (許可) にすると、より高速なデータ取り込みが可能となります。表 28.7 に特殊モード ON 時と OFF 時の動作仕様の相違点、図 28.13 に信号接続イメージを示します。

表 28.7 特殊モード ON 時と OFF 時の動作仕様の相違点

項目	特殊モード ON 時	特殊モード OFF 時
データ取り込みクロック	DIN3、DIN4 から選択*1	DIN3、DIN4、DIN5 から選択*1
特殊モード制御部初期化信号	DIN1*1	—
データ取り込みエッジ	立ち上がり、立ち下がりから選択	立ち上がり、立ち下がり、両エッジから選択
データ取り込み最小周期	2 tc (PAck)	3.5 tc (PAck)

【注】 \*1 DIN1、DIN3、DIN4 は、DINj1、DINj3、DINj4 端子から入力できます。端子の対応は、「28.6 DRI 端子と DRI モジュール端子との対応」を参照してください。端子の選択は、「18.3.22 ポート DRI 入力チャンネル切替レジスタ (PDRIR)」で設定してください。

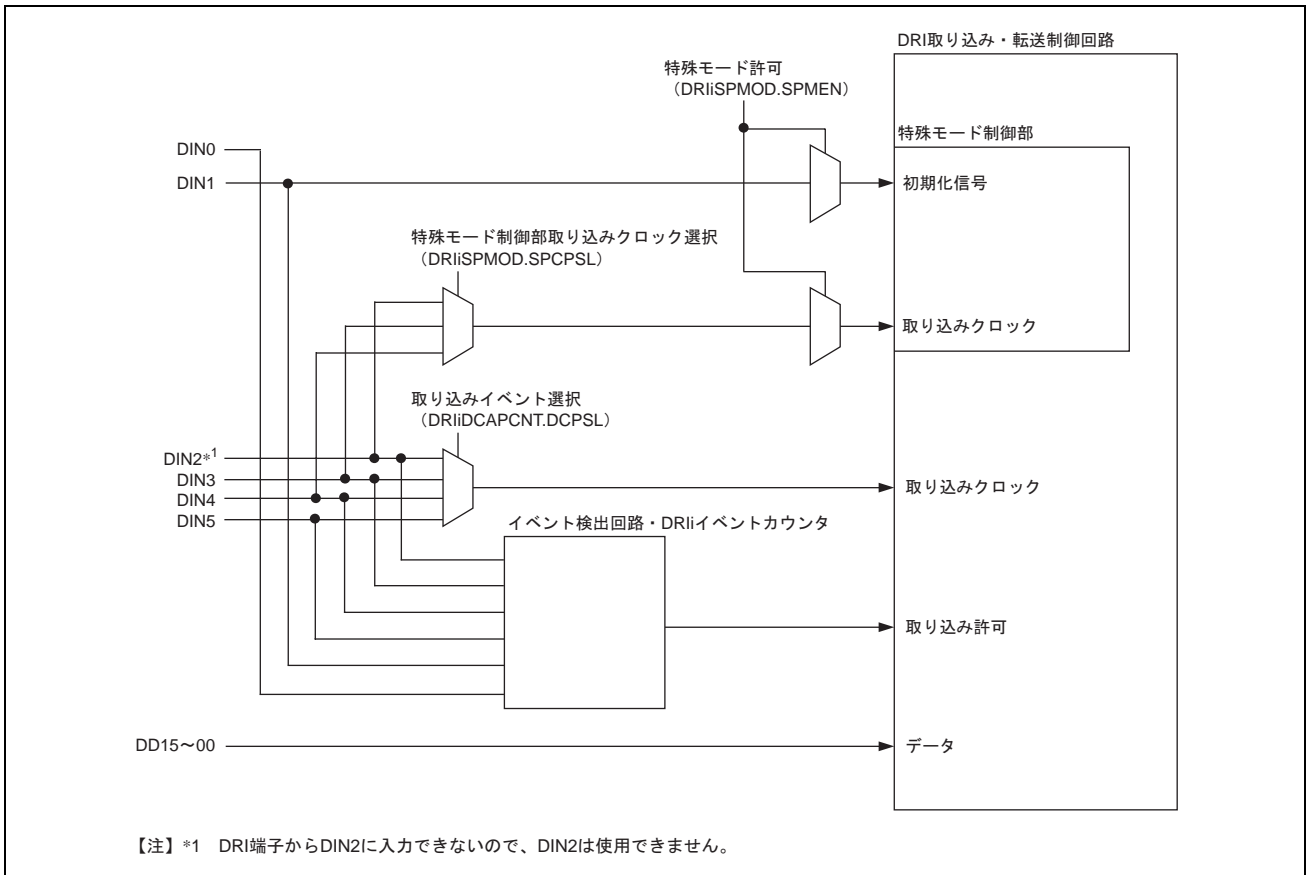


図 28.13 特殊モード ON/OFF 時の接続イメージ

### 28.8 使用上の注意事項

#### 28.8.1 DRI 使用前のモジュールストップ機能の設定について

DRI チャンネル  $i$  を使用するには、DRI $i$  関連レジスタを設定する前に、モジュールストップレジスタ 0 (MSTPCR0) の DRI $i$  ビットの値を"0"にして"DRI $i$  は動作"に設定してください。DRI $i$  ビットの値を"0"にしない場合、DRI $i$  モジュールへのクロック供給が停止するため、DRI $i$  関連レジスタを設定しても DRI $i$  は動作しません。

#### 28.8.2 DRO/DRI と SuperHyway バスマスタの競合について

DRI0~DRI2、DRO から SHwyRAM へのアクセスは、SuperHyway バスとは別に用意された DRI/DRO 専用バスを使用 (兼用) します。DRI0~DRI2、DRO のアクセスが同時または重なった場合はアクセス競合が発生します。

DRI0~DRI2、DRO 内で競合が発生した場合、DRI0 が最優先で、以下の順で固定です。

- DRI0 > DRI1 > DRI2 > DRO

DRI0~DRI2、DRO は DRI/DRO 専用バスで接続されているため、通常 SuperHyway バスマスタ (CPU、DMA など) とのアクセス競合は発生しません。ただし、SHwyRAM 上の 64K バイト単位の同一領域に対して、DRI/DRO 専用バスと SuperHyway バスからのアクセス (読み出し/書き込み) が同時または重なった場合にはアクセス競合が発生します。

アクセス競合が発生した場合、以下の優先順位に従って調停します。

- SuperHywayバス > DRI/DRO専用バス

#### 28.8.3 特殊モード使用時の取り込みイベント数について

通常モード使用時はデータ取り込みイベント回数として任意の回数を指定可能ですが、特殊モード使用時は DRI $i$  データ取り込み制御レジスタ (DRI $i$ DCAPCNT) の DWDSL (入力データバス幅選択) ビットの設定に応じて、設定可能な値に制限があります。

「28.3.20 DRI $i$  データ取り込みイベント数設定レジスタ (DRI $i$ DCAPNUM)」を参照して適切な値を設定してください。

## 28.8.4 動作中の書き換え禁止レジスタについて

誤動作を防ぐため、表 28.8 に示すレジスタについては動作中に書き換えないでください。

表 28.8 動作中の書き換え禁止レジスタ一覧

レジスタ名	シンボル	動作状態	備考
DRliDIN DMA 転送許可レジスタ	DRliDINDEN	DRI	*1
DRliDEC DMA 転送許可レジスタ	DRliDEC DEN	DEC	*1
DRli DMA 転送許可レジスタ	DRliTRMDEN	DRI	*1
DRli 転送制御レジスタ	DRliTRMCNT	DRI	*2
DRli 特殊モードレジスタ	DRliSPMOD	DRI/DEC	
DRli データ取り込み制御レジスタ	DRliDCAPCNT	DRI/DEC	*3
DRli データ間引き制御レジスタ	DRliDSELCNT	DEC	
DRli データ間引きイベント選択レジスタ	DRliDEVT CNT	DEC	
DRliDIN 入力イベント選択レジスタ	DRliDINSEL	DRI/DEC	
DRliDD 入力許可レジスタ	DRliDDEN	DRI	
DRli データ取り込みイベント数設定レジスタ	DRliDCAPNUM	DRI	
DRli アドレスリロードレジスタ 0	DRliADR0RLD	DRI	
DRli アドレスカウンタ 0	DRliADR0CT	DRI	
DRli アドレスリロードレジスタ 1	DRliADR1RLD	DRI	
DRli アドレスカウンタ 1	DRliADR1CT	DRI	
DRliDIN 入力処理制御レジスタ	DRliDINCNT	DRI/DEC	
DRliDEC0 制御レジスタ	DRliDEC0CNT	DEC	*4
DRliDEC1 制御レジスタ	DRliDEC1CNT	DEC	*4
DRliDEC2 制御レジスタ	DRliDEC2CNT	DEC	*4
DRliDEC3 制御レジスタ	DRliDEC3CNT	DEC	*4
DRliDEC4 制御レジスタ	DRliDEC4CNT	DEC	*4
DRliDEC5 制御レジスタ	DRliDEC5CNT	DEC	*4

【注】 \*1 DMA を使用していないとき (DE="0") に DE="1" に設定する場合のみ許可。

\*2 DRST (DRI リセット) ビットを"1"から"0"に変更する書き換えのみ許可。

\*3 DCPEN (取り込み許可) ビットを"1"から"0"に変更する書き換えのみ許可。

\*4 連続動作モード時のみ書き換え可。ワンショットモード時は変更禁止。

・動作状態の欄で DRI と示しているものは DRI 取り込み許可時は書き換え禁止、DEC と記しているものは該当する DECn が DEC 動作許可時は書き換え禁止です。

・DRI 取り込み許可時は DRliDCAPCNT レジスタの DCPEN ビットが"1"の状態、DEC 動作許可時は DRliDECnCNT レジスタの DECnEN ビットが"1"の状態を示します。

【記号説明】 n=0~5



レイアウトの都合上、このページは白紙です。

---

## 29. ダイレクト RAM アウトプットインタフェース (DRO)

---

### 29.1 概要

ダイレクト RAM アウトプットインタフェース (DRO) は、RAM 上のデータを外部に出力するためのパラレルインタフェースです。データとともに、そのサンプリングタイミングを示すためのストロブ信号が出力されます。SHwyRAM からのデータ読み出しは CPU や DMAC とは独立した DRI/DRO 専用バスを介して行われるため、それらの動作を停止させることなく、効率的にデータを外部へ出力できます。

表 29.1 に DRO の概要を示します。

表 29.1 DRO の概要

項目	概要
転送方式	ストロブ方式パラレル出力
アクセス領域	SHwyRAM 全領域 (256K バイト)
出力データ幅	8 ビットと 16 ビットから選択
最大転送クロック	10MHz
最大転送レート	20M バイト/秒 (16 ビット幅選択時、Pck = 40MHz 時)
ストロブ極性	"H"アクティブ/"L"アクティブから選択
タイミング調整機能	ストロブエッジに対して、セットアップおよびホールドを 1Pck 単位でプログラム可能
割り込み要求	あらかじめ設定した数のデータ出力が完了した時点で割り込み要求を発生

## 29. ダイレクトRAM アウトプットインタフェース (DRO)

図 29.1 に DRO のブロック図を示します。

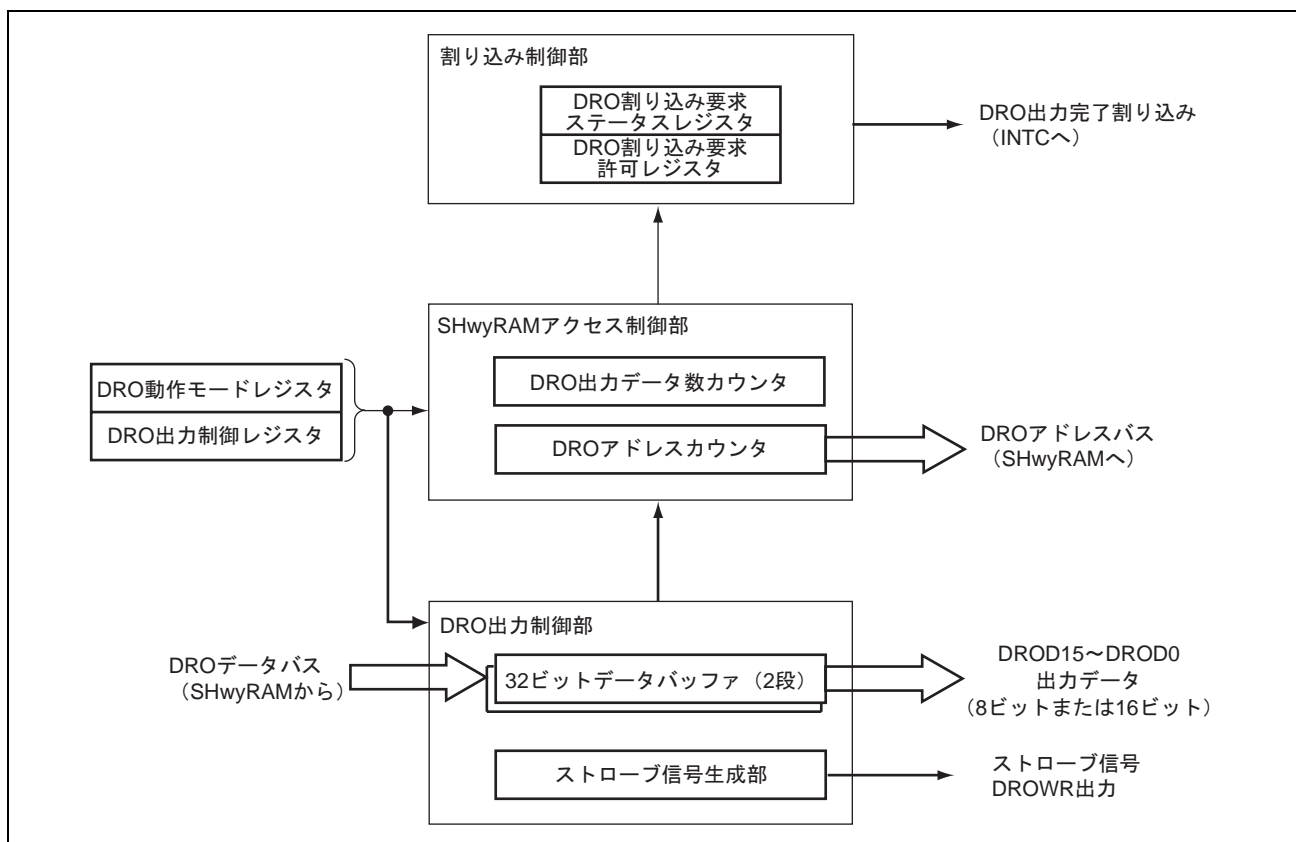


図 29.1 DRO のブロック図

### 29.2 入出力端子

表 29.2 に DRO の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 29.2 端子構成

端子名	入出力	機能
DROD15~DROD0	出力	出カデータバス
DROWR	出力	出カデータストローブ

## 29.3 レジスタの説明

表 29.3 に DRO のレジスタ構成を示します。

表 29.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
DRO 割り込み要求ステータスレジスタ	DROIST	H'00	H'FFFE F000	8、16	29-4
DRO 割り込み要求許可レジスタ	DROIEN	H'00	H'FFFE F001	8、16	29-5
DRO 動作モードレジスタ	DROMOD	H'0000	H'FFFE F004	16	29-6
DRO 出力制御レジスタ	DROCNT	H'00	H'FFFE F006	8	29-9
DRO 出力データ数カウンタ	DRODCT	H'0000 0000	H'FFFE F008	32	29-10
DRO アドレスカウンタ	DROADRCT	H'0000 0000	H'FFFE F00C	32	29-11

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

DRO 割り込み関連レジスタ (DROIST レジスタ、DROIEN レジスタ) は、DRO から割り込みコントローラに出力する割り込み要求信号を制御するレジスタです。

- 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生すると"1"にセットされます。このビットはソフトウェアで"1"にセットできません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込み要求許可ビットの影響を受けずに動作しますので、周辺機能の動作確認用にも使用することができます。割り込み処理時には、割り込み処理を行ったステータスビットのみクリアしてください。割り込み処理を行っていないステータスビットをクリアすると未実行の割り込み要求もクリアされます。

- 割り込み要求許可ビット

割り込み要求を許可するためのビットです。割り込み要求許可時には"1"、割り込み要求禁止時には"0"を設定します。

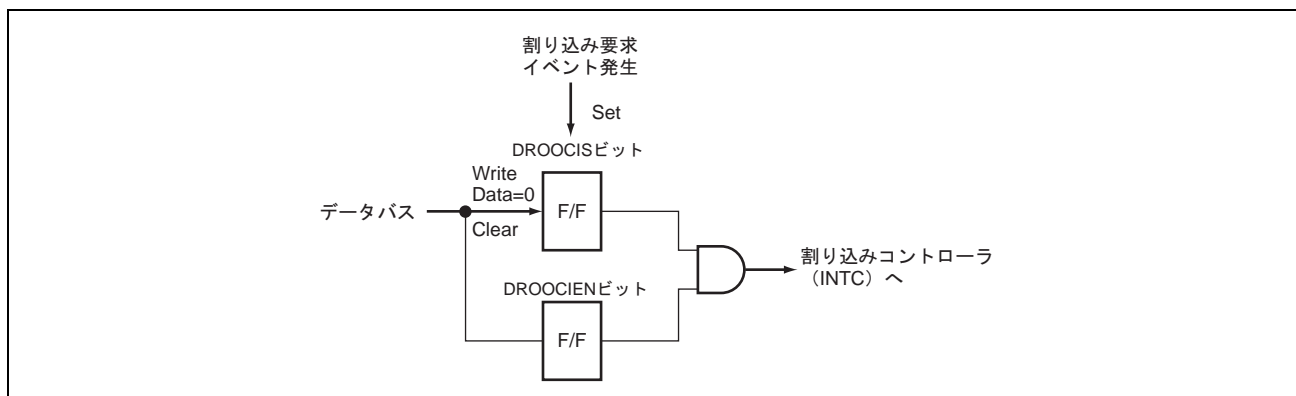


図 29.2 DROIST レジスタと DROIEN レジスタの関係

## 29. ダイレクトRAM アウトプットインタフェース (DRO)

### 29.3.1 DRO 割り込み要求ステータスレジスタ (DROIST)

DRO割り込み要求ステータスレジスタ (DROIST)

<P4領域アドレス : H'FFFE F000番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DRO OCIS
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット 後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	DROOCIS	0	R	*1	DRO 出力完了割り込み要求ステータスビット DRO 出力データ数カウンタ (DRODCT) に設定しておいたデータ数の出力が完了した場合 (DRODCT カウンタ値がすべて"1") に"1"にセットされます。"0"にクリアする場合は"0"を書き込んでください。"1"を書き込んだ場合は前の値を保持します。また、DRO 割り込み要求許可レジスタ (DROIEN) の影響は受けず、データ転送が完了すると本ビットは"1"にセットされます。 DROIEN レジスタの DRO 出力完了割り込み要求許可ビット (DROOCIEN) が"1"に設定されている場合は、データ転送完了時に割り込みコントローラに対して、割り込み要求が出力されます。全データ出力完了時の"1"セットと、ソフトウェアによる"0"クリアが同時に発生した場合は、"1"セットが優先されます。 0 : 割り込み要求なし 1 : 割り込み要求あり

【注】 \*1 書き込みは"0"のみ有効です。"1"を書き込んだときは前の値を保持します。

## 29.3.2 DRO 割り込み要求許可レジスタ (DROIEN)

DRO割り込み要求許可レジスタ (DROIEN)

&lt;P4領域アドレス : H'FFFE F001番地&gt;

ビット:

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	DRO OCIEN

リセット後の値:

0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	DROOCIEN	0	R	W	DRO 出力完了割り込み要求許可ビット DRO 出力データ数カウンタ (DRODCT) に設定しておいたデータ数の出力が完了したときの INTC に対する割り込み要求の許可/禁止を制御するビットです。本ビットに"1"をセットした場合、INTC への割り込み要求が許可されます。 0 : 割り込み要求マスク (禁止) 1 : 割り込み要求許可

## 29. ダイレクトRAM アウトプットインタフェース (DRO)

### 29.3.3 DRO 動作モードレジスタ (DROMOD)

DRO動作モードレジスタ (DROMOD)

<P4領域アドレス : H'FFFE F004番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DROSU				DROHD				—	—	—	—	—	DRO SSL	DRO ODS	DRO RST
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	DROSU	0000	R	W	<p>DRO セットアップ設定ビット</p> <p>ストローブ信号の立ち上がり (DRO ストローブ極性選択ビット (DROSSL) で "L" アクティブ選択時) または立ち下がり (DROSSL ビットで "H" アクティブを選択時) に対する出力データ (DROD15~DROD0) のセットアップ時間を選択します。セットアップ時間は Pck 単位で、1~16Pck の範囲で選択できます。</p> <p>0000 : 1Pck 0001 : 2Pck 0010 : 3Pck 0011 : 4Pck 0100 : 5Pck 0101 : 6Pck 0110 : 7Pck 0111 : 8Pck 1000 : 9Pck 1001 : 10Pck 1010 : 11Pck 1011 : 12Pck 1100 : 13Pck 1101 : 14Pck 1110 : 15Pck 1111 : 16Pck</p> <p>【注】 セットアップ時間は、DROHD ビットのホールド時間との合計が 4Pck 以上になる値を設定してください。</p>

29. ダイレクトRAMアウトプットインタフェース (DRO)

ビット	シンボル	リセット後の値	R	W	説明
11~8	DROHD	0000	R	W	<p>DRO ホールド設定ビット</p> <p>ストローブ信号の立ち上がり (DRO ストローブ極性選択ビット (DROSSL) で "L" アクティブ選択時) または立ち下がり (DROSSL ビットで "H" アクティブを選択時) に対する出力データ (DROD15~DROD0) のホールド時間を選択します。ホールド時間は Pck 単位で、1~16Pck の範囲で選択できます。</p> <p>0000 : 1Pck            0001 : 2Pck            0010 : 3Pck            0011 : 4Pck            0100 : 5Pck            0101 : 6Pck            0110 : 7Pck            0111 : 8Pck            1000 : 9Pck            1001 : 10Pck            1010 : 11Pck            1011 : 12Pck            1100 : 13Pck            1101 : 14Pck            1110 : 15Pck            1111 : 16Pck</p> <p>【注】 ホールド時間は、DROSU ビットのセットアップ時間との合計が 4Pck 以上になる値を設定してください。</p>
7~3	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。</p>
2	DROSSL	0	R	W	<p>DRO ストローブ極性選択ビット</p> <p>DRO は出力データとともに DROWR 信号を出力しますが、本ビットでその極性を選択できます。</p> <p>0 : "L" アクティブ            データ未出力時の DROWR 信号は "H" レベルです。DROWR 信号が立ち下がる時に有効データも同時に出力されます。DRO セットアップ設定ビット (DROSU) 設定サイクル後、DROWR 信号は "H" レベルとなります。その後、DROHD ビット設定サイクル後まで出力データは保持されません。</p> <p>1 : "H" アクティブ            データ未出力時の DROWR 信号は "L" レベルです。DROWR 信号が立ち上がる時に有効データも同時に出力されます。DROSU ビット設定サイクル後、DROWR 信号は "L" レベルとなります。その後、DROHD ビット設定サイクル後まで出力データは保持されます。</p>



## 29. ダイレクトRAM アウトプットインタフェース (DRO)

ビット	シンボル	リセット後の値	R	W	説明
1	DROODS	0	R	W	<p>DRO 出力データ幅選択ビット</p> <p>出力するデータ幅を 8 ビットおよび 16 ビットから選択します。8 ビット幅を選択したとき、DROD15~DROD8 出力および DROD7~DROD0 出力には同じ値が出力されます。</p> <p>0 : 8 ビット幅 1 : 16 ビット幅</p>
0	DRORST	0	R	W	<p>DRO リセットビット</p> <p>本ビットは DRO 出力制御部のリセットまたは動作許可を選択します。本ビットが"0"の状態ではデータを出力できません。DRO 動作中に本ビットを"0"にクリアした場合、DRO 出力制御部は初期化され、以下の状態になります。</p> <ul style="list-style-type: none"> <li>• DRO 内に未出力データが格納されている場合、その出力はすべてキャンセル</li> <li>• データ出力中の場合、DROWR 信号は非アクティブ状態に遷移し、データ出力 (DROD15~DROD0) は不定</li> <li>• DRO 出力制御レジスタ (DROCNT) の DRO 出カインーブルビット (DROOEN) が"0"にクリア</li> </ul> <p>0 : DRO リセット 1 : DRO 動作許可</p>

## 29.3.4 DRO 出力制御レジスタ (DROCNT)

DRO出力制御レジスタ (DROCNT)

&lt;P4領域アドレス : H'FFFE F006番地&gt;

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DRO OEN
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	DROOEN	0	R	*1	DRO 出力イネーブルビット DRO 動作モードレジスタ (DROMOD)、DRO 出力データ数カウンタ (DRODCT)、DRO アドレスカウンタ (DROADRCT) 設定後、本ビットを"1"にセットすると DRO からのデータ出力が開始されます。設定した全データの出力が完了し、DRODCT カウンタがすべて"1"となったとき、または DROMOD レジスタの DRO リセットビット (DRORST) が"0"にクリアされた場合に、本ビットは"0"クリアされます。本ビットはソフトウェアによって直接"0"にクリアすることはできません。なお、書き込みは DRORST ビットが"1"のときのみ有効です。 本ビットの"0"クリア (DRODCT カウンタ=すべて"1"または DRORST ビットに"0"書き込み時) とソフトウェアによる"1"セットが同時に発生した場合、"0"クリアが優先されます。 0 : 出力禁止 1 : 出力許可

【注】 \*1 書き込みは"1"のみ有効です。"0"を書き込んだときは前の値を保持します。

## 29. ダイレクトRAM アウトプットインタフェース (DRO)

### 29.3.5 DRO 出力データ数カウンタ (DRODCT)

DRO出力データ数カウンタ (DRODCT)

<P4領域アドレス : H'FFFE F008番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRODNUM		
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRODNUM															
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~0	DRODNUM	すべて0	R	W	DRO 出力データ数カウンタビット データ出力する回数を設定する 19 ビットカウンタです。"設定値+1"がデータ出力回数となります。本カウンタへの書き込みは DRO 出力制御レジスタ (DROCNT) の DRO 出カインエーブルビット (DROOEN) が"0"の状態で行います。DRO 動作中 (DROOEN ビット="1") での書き込みは無視されます。本カウンタ設定後、DROOEN ビットを"1"にセットすると、DRO からのデータ出力に対して"1"ダウンカウントを行い、すべて"1"となった時点で、DROOEN ビットを"0"クリアし、同時に動作を停止します。 DRO 動作中に本カウンタを読み出した場合、残りのデータ出力回数を読むことができます。

【注】・ SHwyRAM のアドレス範囲を超えないように、本カウンタおよび DRO アドレスカウンタ (DROADRCT) を設定してください。超えた場合、DRO からのデータ出力値は"不定"となります。

## 29.3.6 DRO アドレスカウンタ (DROADRCT)

DROアドレスカウンタ (DROADRCT)

&lt;P4領域アドレス : H'FFFE F00C番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DROADR		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DROADR															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~2	DROADR	すべて0	R	W	DRO アドレスカウンタビット SHwyRAM 上データのアドレス下位 19 ビットを示すカウンタです。転送元となる SHwyRAM の先頭アドレスを DRO 出力制御レジスタ (DROCNT) の DRO 出カインエーブルビット (DROOEN) = "0" の状態で設定してください。先頭アドレスは必ずロングワード境界に配置されている必要があります。また、DROOEN ビット = "1" での書き込みは無視されます。本カウンタ設定後、DROOEN ビットを "1" にセットすると、SHwyRAM から 32 ビット単位でデータを読み出し、そのたびに DRO アドレスカウンタは 4 インクリメントされます。 DRO 動作中に本カウンタを読み出した場合、次回転送元となる SHwyRAM のアドレスを読むことができます。
1、0			0	0	常に"0"が設定されます。書き込む値も常に"0"にしてください。

【注】・ SHwyRAM のアドレス範囲を超えないように、本カウンタおよび DRO 出力データ数カウンタ (DRODCT) を設定してください。超えた場合、DRO からのデータ出力値は"不定"となります。

## 29.4 初期設定例

### 29.4.1 DRO 初期設定例

図 29.3 に DRO 初期設定例を示します。

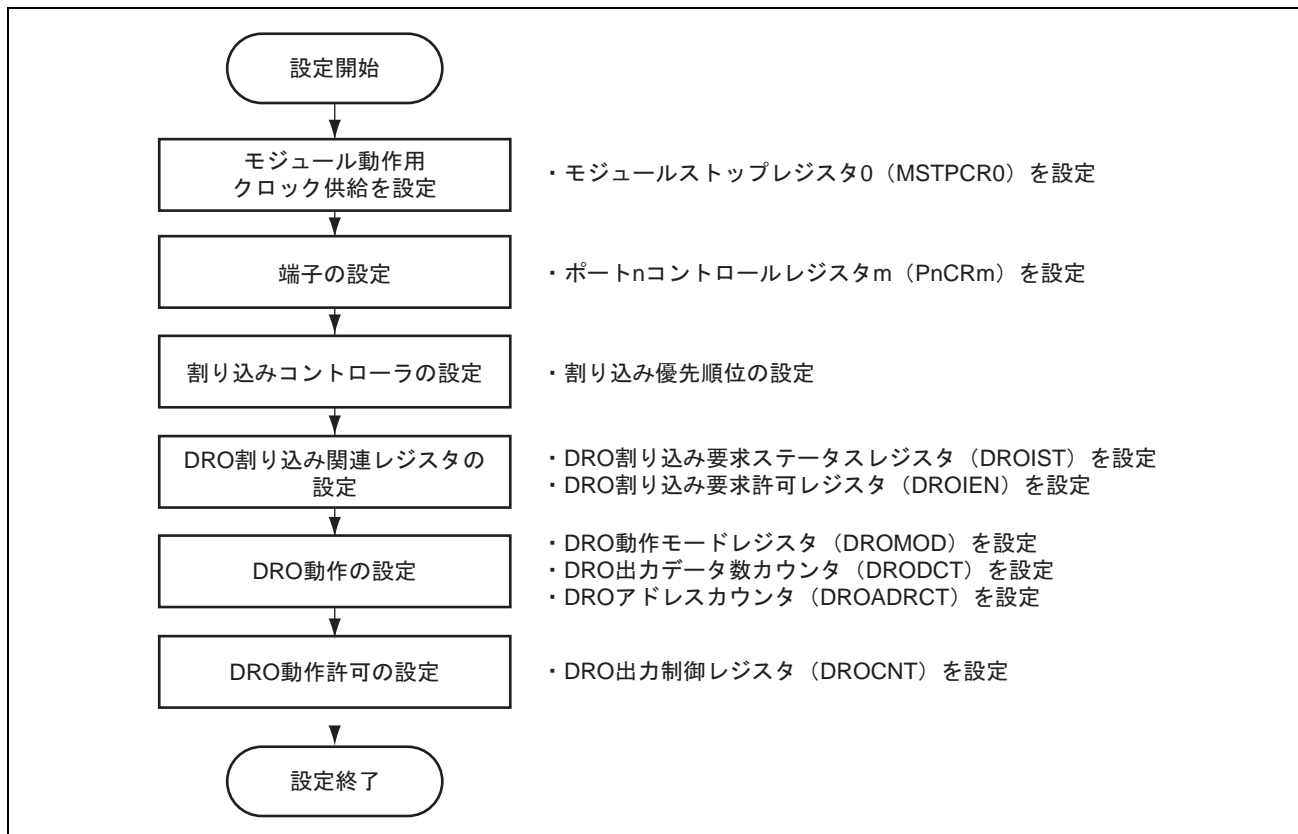


図 29.3 DRO 初期設定例

## 29.4.2 出力データフォーマット

図 29.4 に SHwyRAM 上のデータ配置と出力フォーマットの関係を示します。

DRO はサイクルスチール方式で SHwyRAM 上のデータを読み出し外部に出力するため、内部のバス状態によって定周期出力とはならない場合があります。定周期出力とならない場合、ホールド期間が延長されたデータ出力フォーマットとなります。

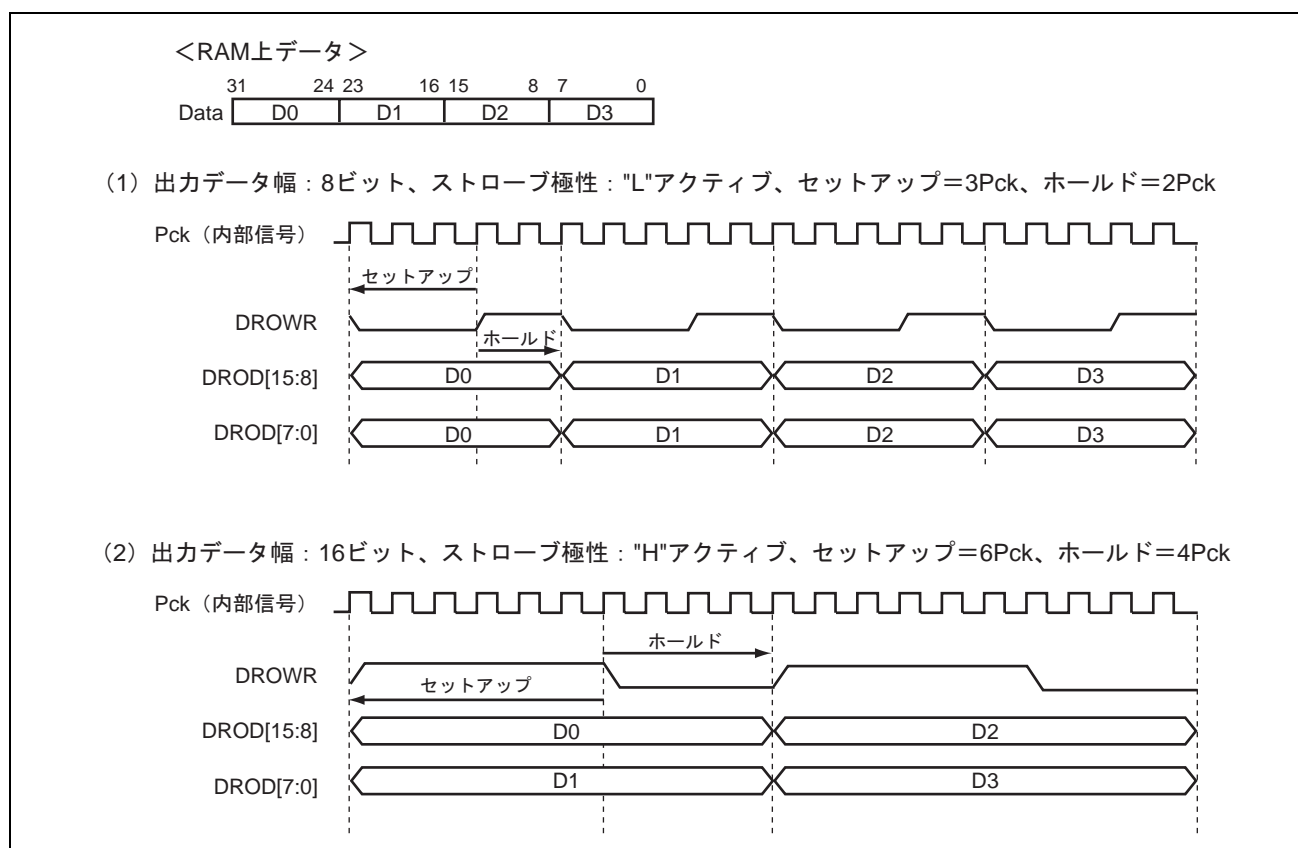


図 29.4 定周期出力のデータフォーマット例

29. ダイレクトRAM アウトプットインタフェース (DRO)

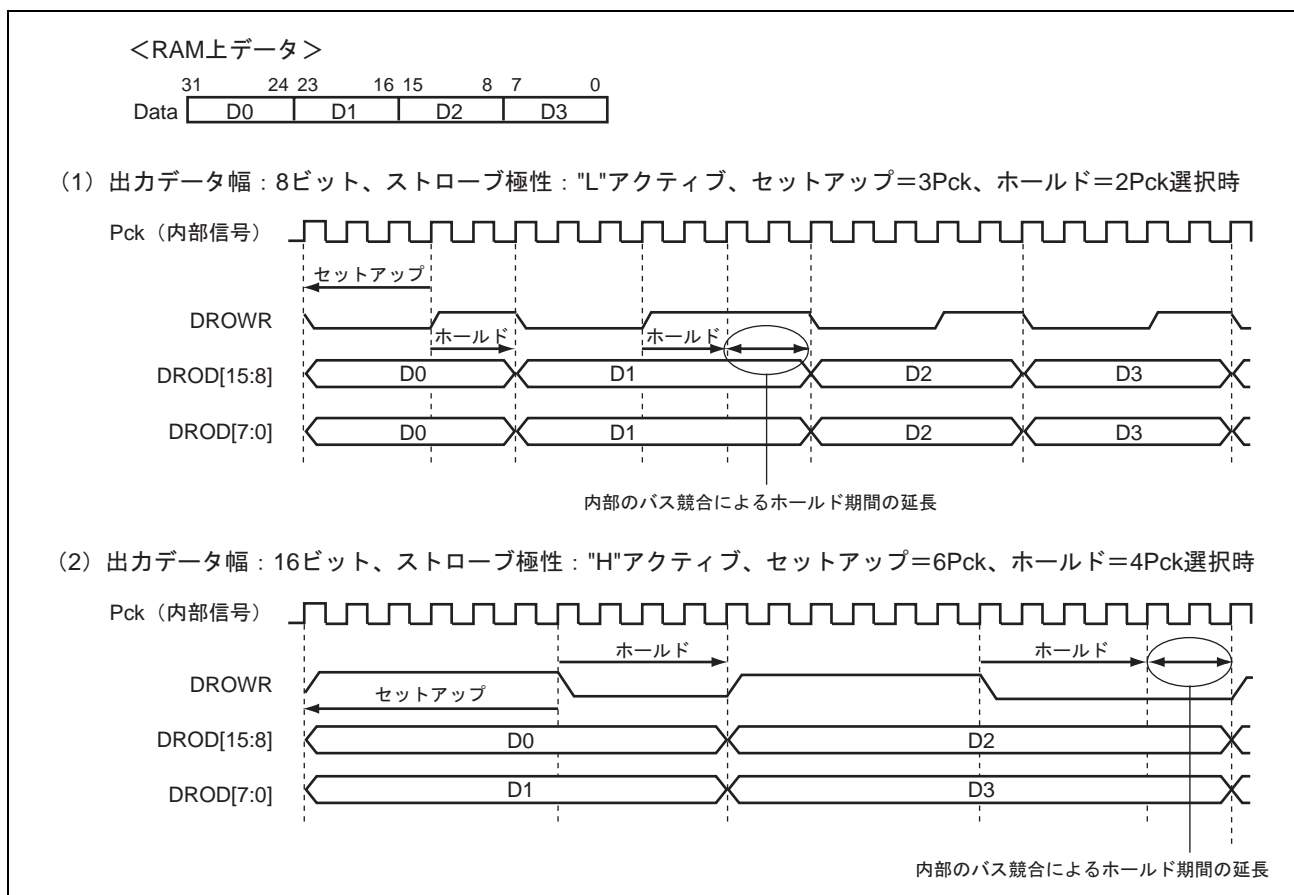


図 29.5 定周期出力とならないデータフォーマット例

## 29.5 使用上の注意事項

### 29.5.1 DRO 使用前のモジュールストップ機能の設定について

DRO を使用するには、DRO 関連レジスタを設定する前に、モジュールストップレジスタ 0 (MSTPCR0) の DRO ビットの値を"0"にして"DRO は動作"に設定してください。DRO ビットの値を"0"にしない場合、DRO モジュールへのクロック供給が停止するため、DRO 関連レジスタを設定しても DRO は動作しません。

### 29.5.2 DRO/DRI と SuperHyway バスマスタの競合について

DRI0~DRI2、DRO から SHwyRAM へのアクセスは、SuperHyway バスとは別に用意された DRI/DRO 専用バスを使用 (兼用) します。DRI0~DRI2、DRO のアクセスが同時または重なった場合はアクセス競合が発生します。

DRI0~DRI2、DRO 内で競合が発生した場合、DRI0 が最優先で、以下の順で固定です。

- DRI0 > DRI1 > DRI2 > DRO

DRI0~DRI2、DRO は DRI/DRO 専用バスで接続されているため、通常 SuperHyway バスマスタ (CPU、DMA など) とのアクセス競合は発生しません。ただし、SHwyRAM 上の 64K バイト単位の同一領域に対して、DRI/DRO 専用バスと SuperHyway バスからのアクセス (読み出し/書き込み) が同時または重なった場合にはアクセス競合が発生します。

アクセス競合が発生した場合、以下の優先順位に従って調停します。

- SuperHywayバス > DRI/DRO専用バス



レイアウトの都合上、このページは白紙です。

## 30. パラレル DAC 制御 (PDAC)

### 30.1 概要

本 MCU は、D/A コンバータを制御するためのパラレル DAC 制御回路 (PDAC) を内蔵しています。PDAC は、制御周期内で変調 A・変調 B・変調 C それぞれの出力波形を D/A コンバータがどの様に出力するか管理するためのモジュールです。

表 30.1 に PDAC の概要を示します。

表 30.1 PDAC の概要

項目	概要
変調波形出力制御	<ul style="list-style-type: none"><li>基本分解能：周辺クロック (Pck) とプリスケアラで設定 Pck=40MHz 動作時、50ns、75ns、100ns、...、375ns で制御可能</li><li>3 種類 (変調 A・変調 B・変調 C) の波形出力の時間管理をそれぞれ制御可能 設定できるステップ数は以下のとおり 変調 A：240 ステップ、変調 B：400 ステップ、変調 C：1200 ステップ</li><li>変調ごとに出力波形を管理するレジスタを内蔵 立ち上がりと立ち下がりに対して、遷移時間、ステップ数、初期値、デルタ値を設定可能</li><li>波形出力開始前、立ち上がり後、立ち下がり後に待ち時間を設定可能</li><li>起動イベント ATU-IIIS のタイマ TOU2_7、タイマ TOU3_7、タイマ G チャンネル 4、タイマ G チャンネル 5 を選択可能</li><li>ソフトウェアによる強制停止可能</li></ul>
イベント出力	<ul style="list-style-type: none"><li>ATU-IIIS、PSEL、DRI に対して、波形出力に応じたタイミングでイベント出力可能</li><li>ATU-IIIS へ 4 系統、PSEL へ 2 系統、DRI へ 2 系統のイベント出力可能</li><li>イベント出力は、制御周期の先頭、各波形の立ち上がり・立ち下がり時、各変調の終了時、最終変調の終了時から選択可能</li></ul>
書き込み信号 (PDIWR 信号)	<ul style="list-style-type: none"><li>セットアップ期間、イネーブル期間、極性を設定可能</li></ul>
割り込み要因	<ul style="list-style-type: none"><li>変調波形出力終了後に割り込み要求を発生可能</li></ul>

### 30. パラレル DAC 制御 (PDAC)

#### 30.2 ブロック図

図 30.1 に PDAC のブロック図を示します。

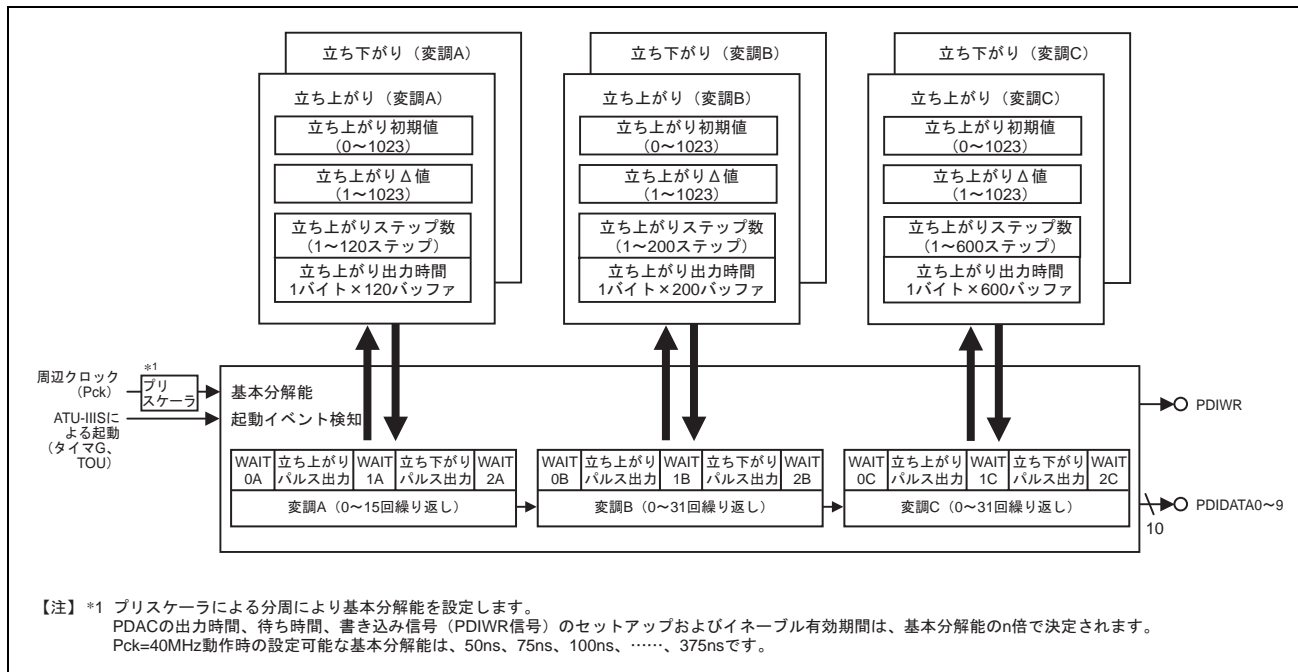


図 30.1 PDAC のブロック図

### 30.3 入出力端子

表 30.2 に PDAC の端子構成を示します。PDIDATA0~PDIDATA9 端子からは D/A コンバータへの設定データ、PDIWR 端子からは D/A コンバータへのデータ書き込み信号が出力されます。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 30.2 端子構成

端子名	入出力	機能
PDIDATA0~9	出力	D/A コンバータへの設定データ
PDIWR	出力	D/A コンバータへの書き込み信号

## 30. パラレル DAC 制御 (PDAC)

### 30.4 レジスタの説明

表 30.3 に PDAC のレジスタ構成を示します。

表 30.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
PDAC 強制停止レジスタ	PDISTOP	H'00	H'FFFF 3400	8、16	30-6
PDAC 基本分解能設定レジスタ	PDIPRE	H'0F	H'FFFF 3401	8、16	30-7
PDAC 制御周期イベント選択レジスタ	PDICPT	H'00	H'FFFF 3402	8	30-8
PDAC ステータスレジスタ	PDISTATUS	H'00	H'FFFF 3404	8、16、32	30-9
PDAC ステータスレジスタ A	PDISTAA	H'00	H'FFFF 3405	8、16、32	30-10
PDAC ステータスレジスタ B	PDISTAB	H'00	H'FFFF 3406	8、16、32	30-10
PDAC ステータスレジスタ C	PDISTAC	H'00	H'FFFF 3407	8、16、32	30-11
PDAC 割り込み制御レジスタ	PDIINT	H'00	H'FFFF 3408	8	30-11
PDAC 書き込み信号期間調整レジスタ	PDIWRC	H'0101	H'FFFF 340A	8、16	30-12
PDAC 待ち時間制御レジスタ	PDIWTEN	H'0000	H'FFFF 340C	16	30-14
PDAC 出カイベント選択 A レジスタ	PDISELA	H'0000	H'FFFF 3410	16、32	30-16
PDAC 出カイベント選択 B レジスタ	PDISELB	H'0000	H'FFFF 3412	16、32	30-17
PDAC 出カイベント選択 C レジスタ	PDISELC	H'0000	H'FFFF 3414	16、32	30-18
PDAC 出カイベント選択 D レジスタ	PDISELD	H'0000	H'FFFF 3416	16、32	30-19
PDAC 出カイベント選択 E レジスタ	PDISELE	H'0000	H'FFFF 3418	16、32	30-20
PDAC 出カイベント選択 F レジスタ	PDISELF	H'0000	H'FFFF 341A	16、32	30-21
PDAC 出カイベント選択 G レジスタ	PDISELG	H'0000	H'FFFF 341C	16、32	30-22
PDAC 出カイベント選択 H レジスタ	PDISELH	H'0000	H'FFFF 341E	16、32	30-23
PDAC 変調 A 立ち上がりステップ数レジスタ	PDIRSA	H'01	H'FFFF 3430	8、16	30-24
PDAC 変調 A 立ち下がりステップ数レジスタ	PDIFFSA	H'01	H'FFFF 3431	8、16	30-25
PDAC 変調 A 立ち上がり初期値レジスタ	PDIRIA	H'0000	H'FFFF 3434	16、32	30-26
PDAC 変調 A 立ち下がり初期値レジスタ	PDIFFIA	H'0000	H'FFFF 3436	16、32	30-26
PDAC 変調 A 立ち上がりデルタ値レジスタ	PDIRDA	H'0001	H'FFFF 3438	16、32	30-27
PDAC 変調 A 立ち下がりデルタ値レジスタ	PDIFFDA	H'0001	H'FFFF 343A	16、32	30-27
PDAC 変調 A 出力開始待ち時間レジスタ	PDIWT0A	H'0000	H'FFFF 343C	16、32	30-28
PDAC 変調 A 立ち上がり後待ち時間レジスタ	PDIWT1A	H'0000	H'FFFF 343E	16、32	30-28
PDAC 変調 A 立ち下がり後待ち時間レジスタ	PDIWT2A	H'0000	H'FFFF 3440	16	30-29
PDAC 変調 A 繰り返し回数レジスタ	PDIREPA	H'00	H'FFFF 3442	8	30-29
PDAC 変調 B 立ち上がりステップ数レジスタ	PDIRSB	H'01	H'FFFF 3450	8、16	30-30
PDAC 変調 B 立ち下がりステップ数レジスタ	PDIFFSB	H'01	H'FFFF 3451	8、16	30-31
PDAC 変調 B 立ち上がり初期値レジスタ	PDIRIB	H'0000	H'FFFF 3454	16、32	30-31
PDAC 変調 B 立ち下がり初期値レジスタ	PDIFFIB	H'0000	H'FFFF 3456	16、32	30-32

## 30. パラレル DAC 制御 (PDAC)

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
PDAC 変調 B 立ち上がりデルタ値レジスタ	PDIRDB	H'0001	H'FFFF 3458	16、32	30-32
PDAC 変調 B 立ち下がりデルタ値レジスタ	PDIADB	H'0001	H'FFFF 345A	16、32	30-33
PDAC 変調 B 出力開始待ち時間レジスタ	PDIWT0B	H'0000	H'FFFF 345C	16、32	30-33
PDAC 変調 B 立ち上がり後待ち時間レジスタ	PDIWT1B	H'0000	H'FFFF 345E	16、32	30-34
PDAC 変調 B 立ち下がり後待ち時間レジスタ	PDIWT2B	H'0000	H'FFFF 3460	16	30-34
PDAC 変調 B 繰り返し回数レジスタ	PDIAREPB	H'00	H'FFFF 3462	8	30-35
PDAC 変調 C 立ち上がりステップ数レジスタ	PDIRSC	H'0001	H'FFFF 3470	16、32	30-35
PDAC 変調 C 立ち下がりステップ数レジスタ	PDIASC	H'0001	H'FFFF 3472	16、32	30-36
PDAC 変調 C 立ち上がり初期値レジスタ	PDIRIC	H'0000	H'FFFF 3474	16、32	30-37
PDAC 変調 C 立ち下がり初期値レジスタ	PDIIC	H'0000	H'FFFF 3476	16、32	30-37
PDAC 変調 C 立ち上がりデルタ値レジスタ	PDIRDC	H'0001	H'FFFF 3478	16、32	30-38
PDAC 変調 C 立ち下がりデルタ値レジスタ	PDIADC	H'0001	H'FFFF 347A	16、32	30-38
PDAC 変調 C 出力開始待ち時間レジスタ	PDIWT0C	H'0000	H'FFFF 347C	16、32	30-39
PDAC 変調 C 立ち上がり後待ち時間レジスタ	PDIWT1C	H'0000	H'FFFF 347E	16、32	30-39
PDAC 変調 C 立ち下がり後待ち時間レジスタ	PDIWT2C	H'0000	H'FFFF 3480	16	30-40
PDAC 変調 C 繰り返し回数レジスタ	PDIAREPC	H'00	H'FFFF 3482	8	30-40
PDAC 変調 A 立ち上がり出力時間レジスタ 1~120	PDIRTA1~ PDIRTA120	不定	H'FFFF 3800~ H'FFFF 3877	8、16、32	30-41
PDAC 変調 A 立ち下がり出力時間レジスタ 1~120	PDIFTA1~ PDIFTA120	不定	H'FFFF 3880~ H'FFFF 38F7	8、16、32	30-42
PDAC 変調 B 立ち上がり出力時間レジスタ 1~200	PDIRTB1~ PDIRTB200	不定	H'FFFF 3900~ H'FFFF 39C7	8、16、32	30-43
PDAC 変調 B 立ち下がり出力時間レジスタ 1~200	PDIFTB1~ PDIFTB200	不定	H'FFFF 3A00~ H'FFFF 3AC7	8、16、32	30-44
PDAC 変調 C 立ち上がり出力時間レジスタ 1~600	PDIRTC1~ PDIRTC600	不定	H'FFFF 3B00~ H'FFFF 3D57	8、16、32	30-45
PDAC 変調 C 立ち下がり出力時間レジスタ 1~600	PDIFTC1~ PDIFTC600	不定	H'FFFF 3D80~ H'FFFF 3FD7	8、16、32	30-46

【注】・P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 30.4.1 PDAC 強制停止レジスタ (PDISTOP)

PDISTOP レジスタは、PDAC の波形出力中における強制停止を行うレジスタです。

STOP ビットに"1"を書き込むことで強制停止処理が行われます（書き込んだ値を読み出しても"0"が読み出されます）。

強制停止を行った際、すべての動作は停止して、PDICPT レジスタのイネーブルビット (ENB)、PDISTATUS レジスタの変調波形出力フラグビット (DWOUT)、PDISTATUS レジスタの波形出力状態モニタビット (DWMON) は"0"になります。出力データ (PDIDATA9~0) は強制停止直前の出力値を保持します。また、書き込み制御信号 (PDIWR) は非アクティブになります。

次回の PDICPT レジスタの ENB ビットを"1"に設定する前に PDAC 関連レジスタを必要に応じて再設定してください。32 ビットアクセスの際には、PDISTOP レジスタと PDICPT レジスタを同時にアクセスできますが、STOP ビットと ENB ビットは同時に"1"に設定しないでください。

STOP ビットへの"1"書き込みと起動イベントが同時に発生した場合、強制停止が優先されます。STOP ビットの読み出し値は常に"0"となります。

PDAC強制停止レジスタ (PDISTOP)

<P4領域アドレス : H'FFFF 3400番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	STOP
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
0	STOP	0	R	W	強制停止ビット 0 : 通常動作 1 : 強制停止指示 (本ビットへの書き込みデータは保持されませんので、読み出し値は常に"0"になります)。

## 30.4.2 PDAC 基本分解能設定レジスタ (PDIPRE)

PDIPRE レジスタは、基本分解能を生成するためのプリスケアラ基数を設定します。Pck の周波数により PRE ビットの値を変更し、PDAC の動作クロック (PDAC クロック) を選択してください (2 から 15 の間を指定)。PDAC クロックの値の計算式は以下のとおりです。

$$\text{PDACクロック} = \frac{1}{\text{PREの設定値}} \times \text{Pck}, \quad \text{基本分解能} = \frac{1}{\text{PDACクロック}}$$

PDAC基本分解能設定レジスタ (PDIPRE)

&lt;P4領域アドレス : H'FFFF 3401番地&gt;

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	PRE			
0	0	0	0	1	1	1	1

リセット後の値 :

&lt;リセット後の値 : H'0F&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
3~0	PRE	1111	R	W	基本分解能設定ビット 表 30.4 を参照。

表 30.4 に Pck の周波数による設定値と基本分解能の関係を示します。

表 30.4 Pck の周波数による設定値と基本分解能の関係 (Pck=40MHz 動作時)

PRE ビットの設定値	基本分解能
0000	設定禁止
0001	設定禁止
0010	50ns
0011	75ns
0100	100ns
0101	125ns
0110	150ns
0111	175ns
1000	200ns
1001	225ns
1010	250ns
1011	275ns
1100	300ns
1101	325ns
1110	350ns
1111	375ns



## 30.4.3 PDAC 制御周期イベント選択レジスタ (PDICPT)

PDICPT レジスタは、起動イベント取り込みの可否を決定するイネーブル制御と、ATU-IIIS のどのタイマから起動イベントを受け付けするかを選択するレジスタです。

選択対象は、ATU-IIIS のタイマ TOU2\_7、タイマ TOU3\_7、タイマ G チャンネル 4、タイマ G チャンネル 5 の 4 種類です。

ENB ビットはソフトウェア側からの動作制御なので、波形出力中に ENB ビットに"0"を書き込むことにより、今後の ATU-IIIS からの起動イベントを取り込まなくなります (波形出力動作は停止しません)。動作としては、波形出力中にイネーブルビットに"0"が書き込まれると、波形出力後に PDAC は動作を停止します。動作中の判定は、ステータスレジスタを参照してください。

また、強制停止ビットに"1"を書き込んだ場合、ENB ビットは"0"になります。波形出力中 (PDISTATUS レジスタの DWOUT ビットが"1") に起動イベントを発生した場合、その起動イベントは無視されます (起動イベントは受け付けません)。

PDAC制御周期イベント選択レジスタ (PDICPT)

&lt;P4領域アドレス : H'FFFF 3402番地&gt;

ビット:	7	6	5	4	3	2	1	0
	—	—	—	ENB	—	—	CPT	
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
4	ENB	0	R	W	イネーブルビット 0 : 停止状態または停止要求状態 (起動イベントを受け付けない)。 1 : 動作可能状態 (起動イベントを受け付ける)。
3、2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
1、0	CPT	00	R	W	起動イベント選択ビット 起動イベントの発行元を選択します。 00 : ATU-IIIS タイマ TOU2_7 のアンダフロー 01 : ATU-IIIS タイマ TOU3_7 のアンダフロー 10 : ATU-IIIS タイマ G チャンネル 4 のコンペアマッチ 11 : ATU-IIIS タイマ G チャンネル 5 のコンペアマッチ

## 30.4.4 PDAC ステータスレジスタ (PDISTATUS)

PDISTATUS レジスタは、PDAC の動作状況を示すレジスタです。

図 30.6 に DWMON ビットの詳細タイミングを示します。

PDACステータスレジスタ (PDISTATUS)

<P4領域アドレス : H'FFFF 3404番地>

ビット :	7	6	5	4	3	2	1	0
	DW OUT	DWMON			—	—	—	DO END
リセット後の値 :	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	DWOUT	0	R	—	変調波形出力フラグビット 変調波形出力の有効/無効を示します。 0 : 変調波形出力は無効 1 : 変調波形出力は有効 (変調 A・変調 B・変調 C・待ち時間全部)
6~4	DWMON	000	R	—	波形出力状態モニタビット 波形出力の状態を示します。 000 : 波形出力停止状態 010 : 変調 A 波形出力待ち 011 : 変調 A 波形出力中 100 : 変調 B 波形出力待ち 101 : 変調 B 波形出力中 110 : 変調 C 波形出力待ち 111 : 変調 C 波形出力中
3~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
0	DOEND	0	R	0	最終変調終了割り込要求ステータスフラグビット すべての波形を出力し終わったことを示します。全波形出力終了 (指定した変調波形の出力 (待ち時間も含む) が終了したとき) に"1"がセットされます。"0"を書き込むことにより、クリアされます。"1"を書き込んでも何も起きません。 "0"書き込みより、"1"セットが優先されます。 0 : 最終変調終了割り込要求なし 1 : 最終変調終了割り込要求あり

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.5 PDAC ステータスレジスタ A (PDISTAA)

PDISTAA レジスタは、制御周期内の変調 A における波形出力の回数をモニタできます。出力回数のカウンタ値は、次の有効な起動イベントが発生されるまで保持されます。

図 30.8 に STATUSA ビットと変調波形との関係を示します。

PDAC ステータスレジスタ A (PDISTAA)

<P4 領域アドレス : H'FFFF 3405 番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
3~0	STATUSA	0000	R	N	変調 A 波形出力回数モニタビット 現在出力している変調 A における波形出力の回数を示します (0~15)。

#### 30.4.6 PDAC ステータスレジスタ B (PDISTAB)

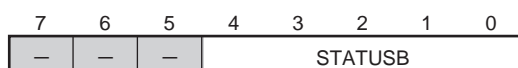
PDISTAB レジスタは、制御周期内の変調 B における波形出力の回数をモニタできます。出力回数のカウンタ値は、次の有効な起動イベントが発生されるまで保持されます。

図 30.8 に STATUSB ビットと変調波形との関係を示します。

PDAC ステータスレジスタ B (PDISTAB)

<P4 領域アドレス : H'FFFF 3406 番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
4~0	STATUSB	00000	R	N	変調 B 波形出力回数モニタビット 現在出力している変調 B における波形出力の回数を示します (0~31)。

## 30.4.7 PDAC ステータスレジスタ C (PDISTAC)

PDISTAC レジスタは、制御周期内の変調 C における波形出力の回数をモニタできます。  
出力回数のカウント値は、次の有効な起動イベントが発生されるまで保持されます。

図 30.8 に STATUSC ビットと変調波形との関係を示します。

PDACステータスレジスタC (PDISTAC)

<P4領域アドレス : H'FFFF 3407番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	STATUSC				

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
4~0	STATUSC	00000	R	N	変調 C 波形出力回数モニタビット 現在出力している変調 C における波形出力の回数を示します (0~31)。

## 30.4.8 PDAC 割り込み制御レジスタ (PDIINT)

PDIINT レジスタは、全波形出力終了時に割り込み要求を発生させるか制御するためのレジスタです。

PDAC割り込み制御レジスタ (PDIINT)

<P4領域アドレス : H'FFFF 3408番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	DO ENDE

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
0	DOENDE	0	R	W	最終変調終了割り込み許可フラグビット 波形出力が終了した際に割り込みを発生させるか制御します。 0 : 出力終了割り込み要求の発生を禁止 1 : 出力終了割り込み要求の発生を許可

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)

PDIWRC レジスタは、D/A コンバータへの書き込み信号のイネーブル期間の設定を行うレジスタです。

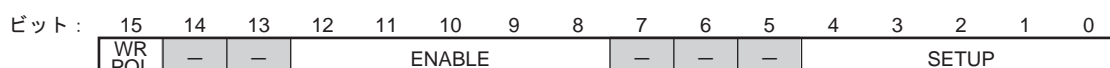
16 ビットレジスタですが、上位 8 ビット/下位 8 ビット個別にバイトアクセスすることが可能です。

また、WRPOL ビットにより、PDIWR 信号の極性を変更することが可能です。

極性変更後、次の Pck サイクルから PDIWR 信号に反映されます。ただし、波形出力中 (PDISTATUS レジスタの変調波形出力フラグビット (DWOUT) が"1"のとき) の PDIWRC レジスタへの書き込みは禁止です。

PDAC書き込み信号期間調整レジスタ (PDIWRC)

<P4領域アドレス : H'FFFF 340A番地>



リセット後の値: 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1

<リセット後の値 : H'0101>

ビット	シンボル	リセット後の値	R	W	説明
15	WRPOL	0	R	W	書き込み制御信号極性ビット PDIWR 信号の極性を設定します。 0 : "L"アクティブ。 1 : "H"アクティブ。
14~13	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
12~8	ENABLE	00001	R	W	イネーブル期間設定ビット PDIWR 信号のイネーブル期間 (アクティブな期間) を設定します (1~31)。 "0"は設定しないでください。 イネーブル期間 = 基本分解能 × ENABLE
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
4~0	SETUP	00001	R	W	セットアップ期間設定ビット PDIWR 信号のセットアップ期間を設定します (1~31) 。"0"は設定しないでください。 セットアップ期間 = 基本分解能 × SETUP

図 30.2 に D/A コンバータへの書き込みタイミングを示します。

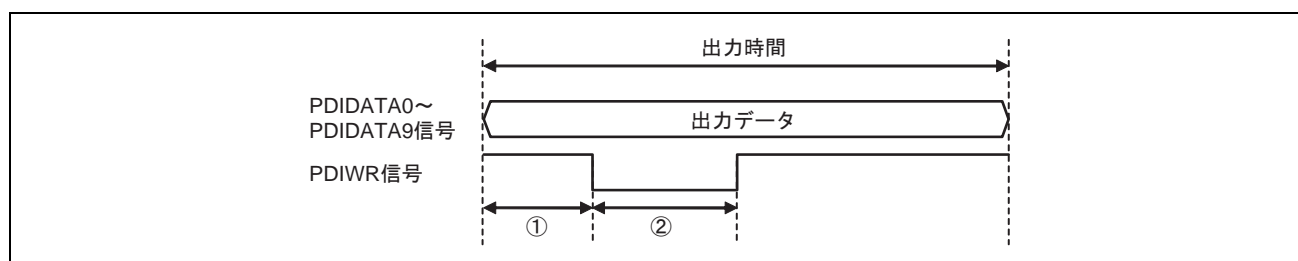


図 30.2 D/A コンバータへの書き込みタイミング

書き込み信号の制御については、PDIWRC レジスタのセットアップ期間とイネーブル期間の設定により変更が可能となります（基本分解能×PDIWRC レジスタの各情報）。

セットアップ期間（図中①）：PDIWRC レジスタの SETUP ビットで指定した期間"H"レベル。

イネーブル期間（図中②）：PDIWRC レジスタの ENABLE ビットで指定した期間"L"レベル。

出力データの出力時間とは、 $WT_{jkT}$  ( $j=0\sim 2, k=A, B, C$ )、 $PDIRT_{nm}$  および  $PDIFT_{nm}$  ( $n=A, B, C, m=1\sim$ ) を示します。各時間は以下条件を満たすように設定してください。

- $SETUP + ENABLE < WT_{jkT}$
- $SETUP + ENABLE < PDIRT_{nm}$
- $SETUP + ENABLE < PDIFT_{nm}$

## 30. パラレル DAC 制御 (PDAC)

### 30.4.10 PDAC 待ち時間制御レジスタ (PDIWTEN)

PDIWTEN レジスタは、波形出力中の待ち時間の有効/無効を制御するレジスタです。  
各変調の待ち時間設定レジスタへの設定と PDIWTEN レジスタへの設定も必要です。

PDAC待ち時間制御レジスタ (PDIWTEN)

<P4領域アドレス : H'FFFF 340C番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	WT0AE	WT1AE	WT2AE	—	WT0BE	WT1BE	WT2BE	—	WT0CE	WT1CE	WT2CE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10	WT0AE	0	R	W	WT0A イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
9	WT1AE	0	R	W	WT1A イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
8	WT2AE	0	R	W	WT2A イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
6	WT0BE	0	R	W	WT0B イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
5	WT1BE	0	R	W	WT1B イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
4	WT2BE	0	R	W	WT2B イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
2	WT0CE	0	R	W	WT0C イネーブルビット 0 : 待ち時間なし 1 : 待ち時間あり

30. パラレル DAC 制御 (PDAC)

ビット	シンボル	リセット後の値	R	W	説明
1	WT1CE	0	R	W	WT1C イネーブルビット 0: 待ち時間なし 1: 待ち時間あり
0	WT2CE	0	R	W	WT2C イネーブルビット 0: 待ち時間なし 1: 待ち時間あり



### 30. パラレル DAC 制御 (PDAC)

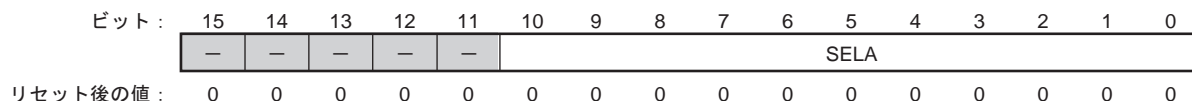
#### 30.4.11 PDAC 出カイベント選択 A レジスタ (PDISELA)

PDISELA レジスタは、モジュールの外へ通知するイベント A に対して、その出カイベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Aレジスタ (PDISELA)

<P4領域アドレス : H'FFFF 3410番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELA	H'000	R	W	出カイベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

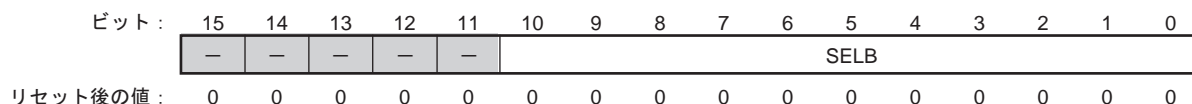
## 30.4.12 PDAC 出カイベント選択 B レジスタ (PDISELB)

PDISELB レジスタは、モジュールの外へ通知するイベント B に対して、その出カイベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Bレジスタ (PDISELB)

<P4領域アドレス : H'FFFF 3412番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELB	H'000	R	W	出カイベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

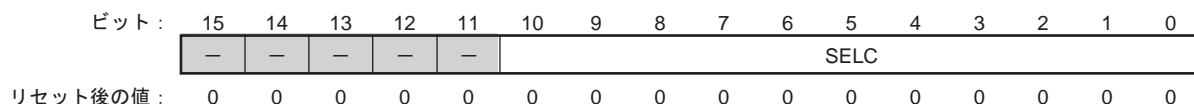
### 30.4.13 PDAC 出カイベント選択 C レジスタ (PDISELC)

PDISELC レジスタは、モジュールの外へ通知するイベント C に対して、その出カイベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Cレジスタ (PDISELC)

<P4領域アドレス : H'FFFF 3414番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELC	H'000	R	W	出カイベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

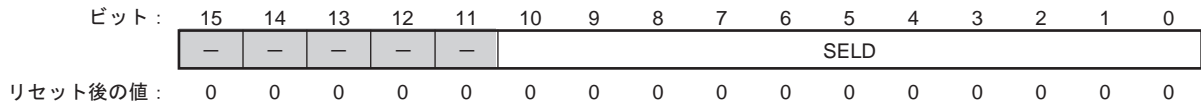
## 30.4.14 PDAC 出イベント選択 D レジスタ (PDISELD)

PDISELD レジスタは、モジュールの外へ通知するイベント D に対して、その出イベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出イベントの発生タイミングを示します。

PDAC出イベント選択Dレジスタ (PDISELD)

<P4領域アドレス : H'FFFF 3416番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELD	H'000	R	W	出イベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

### 30. パラレル DAC 制御 (PDAC)

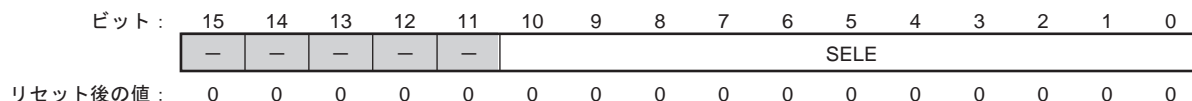
#### 30.4.15 PDAC 出カイベント選択 E レジスタ (PDISELE)

PDISELE レジスタは、モジュールの外へ通知するイベント E に対して、その出カイベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Eレジスタ (PDISELE)

<P4領域アドレス : H'FFFF 3418番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELE	H'000	R	W	出カイベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

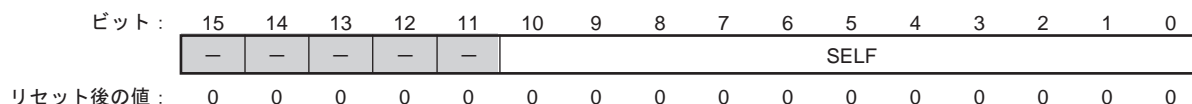
## 30.4.16 PDAC 出カイベント選択 F レジスタ (PDISELF)

PDISELF レジスタは、モジュールの外へ通知するイベント F に対して、その出カイベントを選択するレジスタです。選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Fレジスタ (PDISELF)

<P4領域アドレス : H'FFFF 341A番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELF	H'000	R	W	出カイベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)

## 30. パラレル DAC 制御 (PDAC)

### 30.4.17 PDAC 出カイベント選択 G レジスタ (PDISELG)

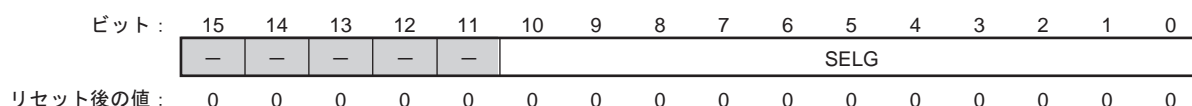
PDISELG レジスタは、モジュールの外へ通知するイベント G に対して、その出カイベントを選択するレジスタです。

選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出カイベントの発生タイミングを示します。

PDAC出カイベント選択Gレジスタ (PDISELG)

<P4領域アドレス : H'FFFF 341C番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELG	H'000	R	W	出カイベント選択ビット bit10: 最終変調終了時 bit9: 変調 C 終了時 bit8: 変調 B 終了時 bit7: 変調 A 終了時 bit6: 変調 C の立ち下がり開始時 bit5: 変調 C の立ち上がり開始時 bit4: 変調 B の立ち下がり開始時 bit3: 変調 B の立ち上がり開始時 bit2: 変調 A の立ち下がり開始時 bit1: 変調 A の立ち上がり開始時 bit0: 起動時 (制御周期先頭)

## 30.4.18 PDAC 出イベント選択 H レジスタ (PDISELH)

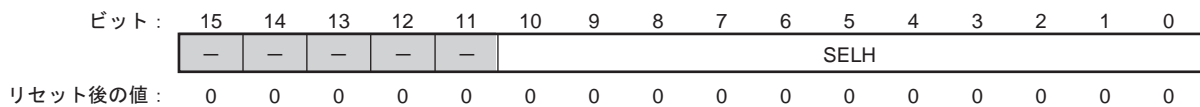
PDISELH レジスタは、モジュールの外へ通知するイベント H に対して、その出イベントを選択するレジスタです。

選択可能イベントは、起動時、各変調の終了時、最終変調の終了時、各変調内での立ち上がり立ち下がり波形出力開始時となります。

図 30.12 に出イベントの発生タイミングを示します。

PDAC出イベント選択Hレジスタ (PDISELH)

<P4領域アドレス : H'FFFF 341E番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
10~0	SELH	H'000	R	W	出イベント選択ビット bit10 : 最終変調終了時 bit9 : 変調 C 終了時 bit8 : 変調 B 終了時 bit7 : 変調 A 終了時 bit6 : 変調 C の立ち下がり開始時 bit5 : 変調 C の立ち上がり開始時 bit4 : 変調 B の立ち下がり開始時 bit3 : 変調 B の立ち上がり開始時 bit2 : 変調 A の立ち下がり開始時 bit1 : 変調 A の立ち上がり開始時 bit0 : 起動時 (制御周期先頭)



### 30. パラレル DAC 制御 (PDAC)

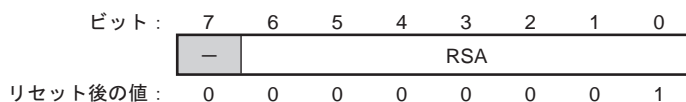
#### 30.4.19 PDAC 変調 A 立ち上がりステップ数レジスタ (PDIRSA)

PDIRSA レジスタは、変調の立ち上がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち上がり出力時間レジスタ (PDIRTA) の個数が決定されます。各ステップの経過時間は、PDAC 変調 A 立ち上がり出力時間レジスタ 1~120 (PDIRTA1~120) で設定します。

PDAC変調A立ち上がりステップ数レジスタ (PDIRSA)

<P4領域アドレス : H'FFFF 3430番地>



<リセット後の値 : H'01>

ビット	シンボル	リセット後の値	R	W	説明
7	-	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
6~0	RSA	H'01	R	W	変調 A 立ち上がりステップ数ビット 変調 A における立ち上がり期間のステップ数を設定します。 1~120 の範囲で設定してください。 上記以外の設定は禁止です (設定した場合の動作は保証されません)。 以下に例を示します。 <ul style="list-style-type: none"> <li>RSA に 5 を設定した場合、変調 A の立ち上がり波形の期間は PDIRTA1~PDIRTA5 が有効になります。</li> </ul>

## 30.4.20 PDAC 変調 A 立ち下がりステップ数レジスタ (PDIFSA)

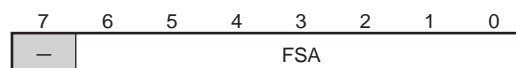
PDIFSA レジスタは、変調の立ち下がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち下がり出力時間レジスタ (PDIFTA) の個数が決定されます。各ステップの経過時間は、PDAC 変調 A 立ち下がり出力時間レジスタ 1~120 (PDIFTA1~120) で設定します。

PDAC変調A立ち下がりステップ数レジスタ (PDIFSA)

<P4領域アドレス : H'FFFF 3431番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 1

<リセット後の値 : H'01>

ビット	シンボル	リセット後の値	R	W	説明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
6~0	FSA	H'01	R	W	変調 A 立ち下がりステップ数ビット 変調 A における立ち下がり期間のステップ数を設定します。 1~120 の範囲で設定してください。 上記以外の設定は禁止です (設定した場合の動作は保証されません)。 以下に例を示します。 <ul style="list-style-type: none"> <li>FSA に 5 を設定した場合、変調 A の立ち下がり波形の期間は PDIFTA1~PDIFTA5 が有効になります。</li> </ul>

## 30. パラレル DAC 制御 (PDAC)

### 30.4.21 PDAC 変調 A 立ち上がり初期値レジスタ (PDIRIA)

PDIRIA レジスタは、波形出力時の出力起点となる値を設定するレジスタです。

ここで設定した値が、変調 A の立ち上がり時に出力され、以降、変調 A における立ち上がりデルタ値 (PDIRDA) が随時加算されます。

PDAC変調A立ち上がり初期値レジスタ (PDIRIA)

<P4領域アドレス : H'FFFF 3434番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RIA	H'000	R	W	変調 A 立ち上がり初期値ビット 変調 A における立ち上がり時の初期値を設定します (0~)。

### 30.4.22 PDAC 変調 A 立ち下がり初期値レジスタ (PDIFIA)

PDIFIA レジスタは、波形出力時の立ち下がり起点となる値を設定するレジスタです。

ここで設定した値が、変調 A の立ち下がり時に出力され、以降、変調 A における立ち下がりデルタ値 (PDIFDA) が随時減算されます。

PDAC変調A立ち下がり初期値レジスタ (PDIFIA)

<P4領域アドレス : H'FFFF 3436番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FIA	H'000	R	W	変調 A 立ち下がり初期値ビット 変調 A における立ち下がり時の初期値を設定します (0~)。

## 30.4.23 PDAC 変調 A 立ち上がりデルタ値レジスタ (PDIRDA)

PDIRDA レジスタは、波形出力時の時間遷移ごとの変動値（加算分）を設定するレジスタです。

ここで設定した値が変調 A における立ち上がり波形出力時に、PDAC 変調 A 立ち上がり出力時間レジスタ 1~120 (PDIRTA1~120) で設定された時間（基本分解能×PDIRTAn）を経過後、出力値に加算されます。

加算値の総和 (PDIRIA+今までの PDIRDA の加算結果) がオーバフローした場合も通常の加算動作が行われますので最大値を超えないように注意してください。

PDAC変調A立ち上がりデルタ値レジスタ (PDIRDA)

<P4領域アドレス : H'FFFF 3438番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RDA									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RDA	H'001	R	W	変調 A 立ち上がりデルタ値ビット 変調 A における立ち上がり時の変動値（加算分）を設定します（1~）。

## 30.4.24 PDAC 変調 A 立ち下がりデルタ値レジスタ (PDIFDA)

PDIFDA レジスタは、波形出力時の時間遷移ごとの変動値（減算分）を設定するレジスタです。

ここで設定した値が変調 A における立ち下がり波形出力時に、変調 A 立ち下がり出力時間レジスタ (PDIFTAn) で設定された時間（基本分解能×PDIFTAn）を経過後、出力値に減算されます。

減算値の総和 (PDIFIA+今までの PDIFDA の減算結果) がアンダフローした場合も通常の減算動作が行われますので最小値を超えないように注意してください。

PDAC変調A立ち下がりデルタ値レジスタ (PDIFDA)

<P4領域アドレス : H'FFFF 343A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FDA									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FDA	H'001	R	W	変調 A 立ち下がりデルタ値ビット 変調 A における立ち下がり時の変動値（減算分）を設定します（1~）。

## 30. パラレル DAC 制御 (PDAC)

### 30.4.25 PDAC 変調 A 出力開始待ち時間レジスタ (PDIWT0A)

PDIWT0A レジスタは、起動後、変調 A の波形出力を開始するまでの待ち時間を設定します (基本分解能 × WT0A)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT0A の待ち時間ありに設定した場合に有効です。

PDAC変調A出力開始待ち時間レジスタ (PDIWT0A)

<P4領域アドレス: H'FFFF 343C番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WT0AT

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	WT0AT	H'0000	R	W	変調 A 出力開始待ち時間ビット 起動開始から変調 A の波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT0AE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

### 30.4.26 PDAC 変調 A 立ち上がり後待ち時間レジスタ (PDIWT1A)

PDIWT1A レジスタは、変調 A の立ち上がり波形出力後の待ち時間を設定します (基本分解能 × WT1A)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT1A の待ち時間ありに設定した場合に有効です。

PDAC変調A立ち上がり後待ち時間レジスタ (PDIWT1A)

<P4領域アドレス: H'FFFF 343E番地>

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

WT1AT

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値: H'0000>

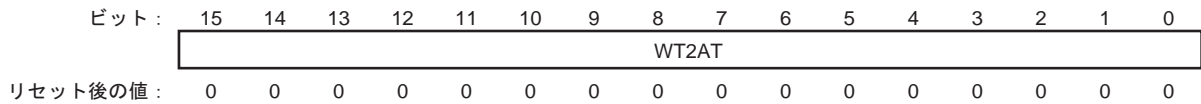
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT1AT	H'0000	R	W	変調 A 立ち上がり後待ち時間ビット 変調 A における立ち上がり波形出力後、立ち下がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT1AE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

## 30.4.27 PDAC 変調 A 立ち下がり後待ち時間レジスタ (PDIWT2A)

PDIWT2A レジスタは、変調 A の立ち下がり波形出力後の待ち時間を設定します (基本分解能×WT2A)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT2A の待ち時間ありに設定した場合に有効です。

PDAC変調A立ち下がり後待ち時間レジスタ (PDIWT2A)

&lt;P4領域アドレス: H'FFFF 3440番地&gt;



&lt;リセット後の値: H'0000&gt;

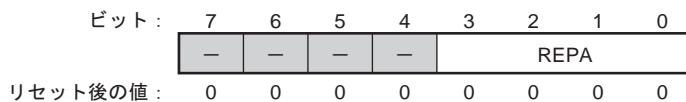
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT2AT	H'0000	R	W	変調 A 立ち下がり後待ち時間ビット 変調 A における立ち下がり波形出力後、次の立ち上がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT2AE ビットが "1" (待ち時間あり) のとき、このビットは "0" に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

## 30.4.28 PDAC 変調 A 繰り返し回数レジスタ (PDIREPA)

PDIREPA レジスタは、制御周期内の変調 A による出力波形の個数を設定します。

PDAC変調A繰り返し回数レジスタ (PDIREPA)

&lt;P4領域アドレス: H'FFFF 3442番地&gt;



&lt;リセット後の値: H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~4	-	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込み時も常に "0" にしてください。
3~0	REPA	0000	R	W	変調 A 繰り返し回数設定ビット 変調 A における制御周期内に出力したい波形数を設定してください (0~15)。変調 A/変調 B/変調 C の繰り返し回数がすべて 0 になる設定は行わないでください。

## 30. パラレル DAC 制御 (PDAC)

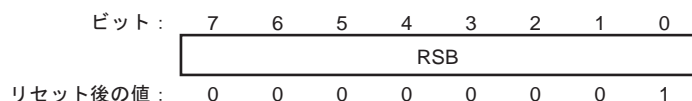
### 30.4.29 PDAC 変調 B 立ち上がりステップ数レジスタ (PDIRSB)

PDIRSB レジスタは、変調の立ち上がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち上がり出力時間レジスタ (PDIRTB) の個数が決定されます。各ステップの経過時間は、PDAC 変調 B 立ち上がり出力時間レジスタ 1~200 (PDIRTB1~200) で設定します。

PDAC変調B立ち上がりステップ数レジスタ (PDIRSB)

<P4領域アドレス : H'FFFF 3450番地>



<リセット後の値 : H'01>

ビット	シンボル	リセット後の値	R	W	説明
7~0	RSB	H'01	R	W	<p>変調 B 立ち上がりステップ数ビット</p> <p>変調 B における立ち上がり期間のステップ数を設定します。</p> <p>1~200 の範囲で設定してください。</p> <p>上記以外の設定は禁止です (設定した場合の動作は保証されません)。</p> <p>以下に例を示します。</p> <ul style="list-style-type: none"> <li>RSB に 5 を設定した場合、変調 B の立ち上がり波形の期間は PDIRTB1~PDIRTB5 が有効となります。</li> </ul>

## 30.4.30 PDAC 変調 B 立ち下がリステップ数レジスタ (PDIFSB)

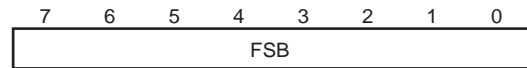
PDIFSB レジスタは、変調の立ち下がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち下がリ出力時間レジスタ (PDIFTB) の個数が決定されます。各ステップの経過時間は、PDAC 変調 B 立ち下がリ出力時間レジスタ 1~200 (PDIFTB1~200) で設定します。

PDAC変調B立ち下がリステップ数レジスタ (PDIFSB)

<P4領域アドレス : H'FFFF 3451番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 1

<リセット後の値 : H'01>

ビット	シンボル	リセット後の値	R	W	説明
7~0	FSB	H'01	R	W	<p>変調 B 立ち下がリステップ数ビット</p> <p>変調 B における立ち下がリ期間のステップ数を設定します。</p> <p>1~200 の範囲で設定してください。</p> <p>上記以外の設定は禁止です (設定した場合の動作は保証されません)。</p> <p>以下に例を示します。</p> <ul style="list-style-type: none"> <li>FSB に 5 を設定した場合、変調 B の立ち下がリ波形の期間は PDIFTB1~PDIFTB5 が有効となります。</li> </ul>

## 30.4.31 PDAC 変調 B 立ち上がり初期値レジスタ (PDIRIB)

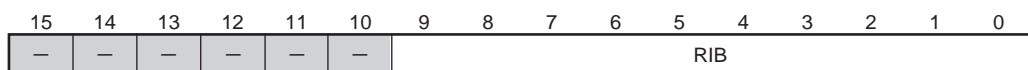
PDIRIB レジスタは、波形出力時の出力起点となる値を設定するレジスタです。

ここで設定した値が、変調 B の立ち上がり時に出力され、以降、変調 B における立ち上がりデルタ値 (PDIRDB) が随時加算されます。

PDAC変調B立ち上がり初期値レジスタ (PDIRIB)

<P4領域アドレス : H'FFFF 3454番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	-	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。</p>
9~0	RIB	H'000	R	W	<p>変調 B 立ち上がり初期値ビット</p> <p>変調 B における立ち上がり時の初期値を設定します (0~)。</p>



## 30.4.32 PDAC 変調 B 立ち下がり初期値レジスタ (PDIFIB)

PDIFIB レジスタは、波形出力時の立ち下がり起点となる値を設定するレジスタです。

ここで設定した値が、変調 B の立ち下がり時に出力され、以降、変調 B における立ち下がりデルタ値 (PDIFDB) が随時減算されます。

PDAC変調B立ち下がり初期値レジスタ (PDIFIB)

<P4領域アドレス : H'FFFF 3456番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FIB	H'000	R	W	変調 B 立ち下がり初期値ビット 変調 B における立ち下がり時の初期値を設定します (0~)。

## 30.4.33 PDAC 変調 B 立ち上がりデルタ値レジスタ (PDIRDB)

PDIRDB レジスタは、波形出力時の時間遷移ごとの変動値 (加算分) を設定するレジスタです。

ここで設定した値が変調 B における立ち上がり波形出力時に、PDAC 変調 B 立ち上がり出力時間レジスタ 1~200 (PDIRTB1~200) で設定された時間 (基本分解能×PDIRTBn) を経過後、出力値に加算されます。

加算値の総和 (PDIRIB+今までの PDIRDB の加算結果) がオーバーフローした場合も通常の加算動作が行われますので最大値を超えないように注意してください。

PDAC変調B立ち上がりデルタ値レジスタ (PDIRDB)

<P4領域アドレス : H'FFFF 3458番地>



<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RDB	H'001	R	W	変調 B 立ち上がりデルタ値ビット 変調 B における立ち上がり時の変動値 (加算分) を設定します (1~)。

## 30.4.34 PDAC 変調 B 立ち下がりデルタ値レジスタ (PDIFDB)

PDIFDB レジスタは、波形出力時の時間遷移ごとの変動値 (減算分) を設定するレジスタです。

ここで設定した値が変調 B における立ち下がり波形出力時に、PDAC 変調 B 立ち下がり出力時間レジスタ 1~200 (PDIFTB1~200) で設定された時間 (基本分解能×PDIFTBn) を経過後、出力値に減算されます。

減算値の総和 (PDIFIB+今までの PDIFDB の減算結果) がアンダフローした場合も通常の減算動作が行われますので最小値を超えないように注意してください。

PDAC変調B立ち下がりデルタ値レジスタ (PDIFDB)

<P4領域アドレス : H'FFFF 345A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FDB	H'001	R	W	変調 B 立ち下がりデルタ値ビット 変調 B における立ち下がり時の変動値 (減算分) を設定します (1~)。

## 30.4.35 PDAC 変調 B 出力開始待ち時間レジスタ (PDIWT0B)

PDIWT0B レジスタは、起動後、変調 B の波形出力を開始するまでの待ち時間を設定します (基本分解能×WT0B)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT0B の待ち時間ありに設定した場合に有効です。

PDAC変調B出力開始待ち時間レジスタ (PDIWT0B)

<P4領域アドレス : H'FFFF 345C番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	WT0BT	H'0000	R	W	変調 B 出力開始待ち時間ビット 変調 A 出力終了後から変調 B の波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT0BE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

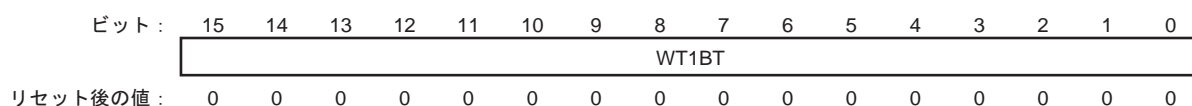
## 30. パラレル DAC 制御 (PDAC)

### 30.4.36 PDAC 変調 B 立ち上がり後待ち時間レジスタ (PDIWT1B)

PDIWT1B レジスタは、変調 B の立ち上がり波形出力後の待ち時間を設定します (基本分解能×WT1B)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT1B の待ち時間ありに設定した場合に有効です。

PDAC変調B立ち上がり後待ち時間レジスタ (PDIWT1B)

<P4領域アドレス : H'FFFF 345E番地>



<リセット後の値 : H'0000>

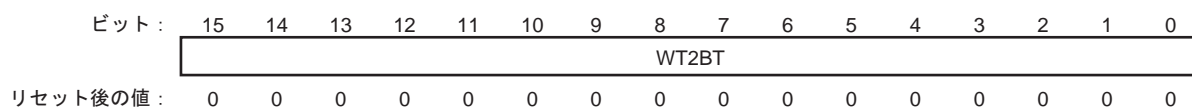
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT1BT	H'0000	R	W	変調 B 立ち上がり後待ち時間ビット 変調 B における立ち上がり波形出力後、立ち下がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT1BE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

### 30.4.37 PDAC 変調 B 立ち下がり後待ち時間レジスタ (PDIWT2B)

PDIWT2B レジスタは、変調 B の立ち下がり波形出力後の待ち時間を設定します (基本分解能×WT2B)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT2B の待ち時間ありに設定した場合に有効です。

PDAC変調B立ち下がり後待ち時間レジスタ (PDIWT2B)

<P4領域アドレス : H'FFFF 3460番地>



<リセット後の値 : H'0000>

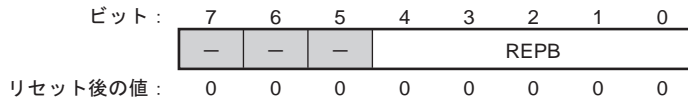
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT2BT	H'0000	R	W	変調 B 立ち下がり後待ち時間ビット 変調 B における立ち下がり波形出力後、次の立ち上がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT2BE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

## 30.4.38 PDAC 変調 B 繰り返し回数レジスタ (PDIREPB)

PDIREPB レジスタは、制御周期内に変調 B のよる出力波形の個数を設定します。

PDAC変調B繰り返し回数レジスタ (PDIREPB)

<P4領域アドレス : H'FFFF 3462番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
4~0	REPB	00000	R	W	変調 B 繰り返し回数設定ビット 変調 B における制御周期内に出力したい波形数を設定してください(0~31)。 変調 A/変調 B/変調 C の繰り返し回数がすべて 0 になる設定は行わないでください。

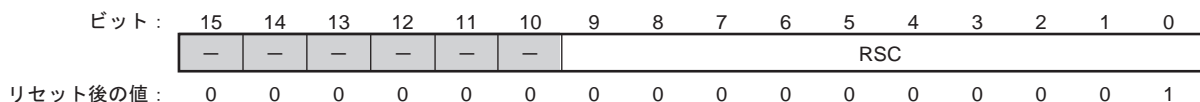
## 30.4.39 PDAC 変調 C 立ち上がりステップ数レジスタ (PDIRSC)

PDIRSC レジスタは、変調の立ち上がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち上がり出力時間レジスタ (PDIRTC) の個数が決定されます。各ステップの経過時間は、PDAC 変調 C 立ち上がり出力時間レジスタ 1~600 (PDIRTC1~600) で設定します。

PDAC変調C立ち上がりステップ数レジスタ (PDIRSC)

<P4領域アドレス : H'FFFF 3470番地>



<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RSC	H'001	R	W	変調 C 立ち上がりステップ数ビット 変調 C における立ち上がり期間のステップ数を設定します。 1~600 の範囲で設定してください。 上記以外の設定は禁止です (設定した場合の動作は保証されません)。 以下に例を示します。 <ul style="list-style-type: none"> <li>RSC に 5 を設定した場合、変調 C の立ち上がり波形の期間は PDIRTC1~PDIRTC5 が有効となります。</li> </ul>

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.40 PDAC 変調 C 立ち下がりステップ数レジスタ (PDIFSC)

PDIFSC レジスタは、変調の立ち下がりに必要なステップ数を設定します。

ステップ数を指定することにより、参照される立ち下がり出力時間レジスタ (PDIFTC) の個数が決定されます。各ステップの経過時間は、PDAC 変調 C 立ち下がり出力時間レジスタ 1~600 (PDIFTC1~600) で設定します。

PDAC変調C立ち下がりステップ数レジスタ (PDIFSC)

<P4領域アドレス : H'FFFF 3472番地>



<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FSC	H'001	R	W	変調 C 立ち下がりステップ数ビット 変調 C における立ち下がり期間のステップ数を設定します。 1~600 の範囲で設定してください。 上記以外の設定は禁止です (設定した場合の動作は保証されません)。 以下に例を示します。 <ul style="list-style-type: none"> <li>• FSC に 5 を設定した場合、変調 C の立ち下がり波形の期間は PDIFTC1~PDIFTC5 が有効となります。</li> </ul>

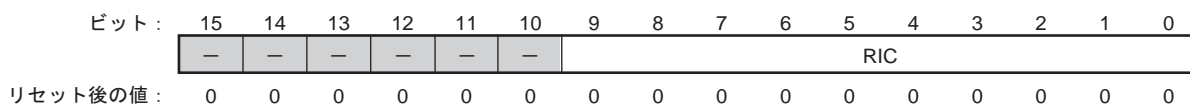
## 30.4.41 PDAC 変調 C 立ち上がり初期値レジスタ (PDIRIC)

PDIRIC レジスタは、波形出力時の出力起点となる値を設定するレジスタです。

ここで設定した値が、変調 C の立ち上がり時に出力され、以降、変調 C における立ち上がりデルタ値 (PDIRDC) が随時加算されます。

PDAC変調C立ち上がり初期値レジスタ (PDIRIC)

<P4領域アドレス : H'FFFF 3474番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RIC	H'000	R	W	変調 C 立ち上がり初期値ビット 変調 C における立ち上がり時の初期値を設定します (0~)。

## 30.4.42 PDAC 変調 C 立ち下がり初期値レジスタ (PDIFIC)

PDIFIC レジスタは、波形出力時の立ち下がり起点となる値を設定するレジスタです。

ここで設定した値が、変調 C の立ち下がり時に出力され、以降、変調 C における立ち下がりデルタ値 (PDIFDC) が随時減算されます。

PDAC変調C立ち下がり初期値レジスタ (PDIFIC)

<P4領域アドレス : H'FFFF 3476番地>



<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FIC	H'000	R	W	変調 C 立ち下がり初期値ビット 変調 C における立ち下がり時の初期値を設定します (0~)。

## 30. パラレル DAC 制御 (PDAC)

### 30.4.43 PDAC 変調 C 立ち上がりデルタ値レジスタ (PDIRDC)

PDIRDC レジスタは、波形出力時の時間遷移ごとの変動値（加算分）を設定するレジスタです。

ここで設定した値が変調 C における立ち上がり波形出力時に、PDAC 変調 C 立ち上がり出力時間レジスタ 1~600 (PDIRTC1~600) で設定された時間（基本分解能×PDIRTCn）を経過後、出力値に加算されます。

加算値の総和 (PDIRIC+今までの PDIRDC の加算結果) がオーバフローした場合も通常の加算動作が行われますので最大値を超えないように注意してください。

PDAC変調C立ち上がりデルタ値レジスタ (PDIRDC)

<P4領域アドレス : H'FFFF 3478番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RDC									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	RDC	H'001	R	W	変調 C 立ち上がりデルタ値ビット 変調 C における立ち上がり時の変動値（加算分）を設定します（1~）。

### 30.4.44 PDAC 変調 C 立ち下がりデルタ値レジスタ (PDIFDC)

PDIFDC レジスタは、波形出力時の時間遷移ごとの変動値（減算分）を設定するレジスタです。

ここで設定した値が変調 C における立ち下がり波形出力時に、PDAC 変調 C 立ち下がり出力時間レジスタ 1~600 (PDIFTC1~600) で設定された時間（基本分解能×PDIFTCn）を経過後、出力値に減算されます。

減算値の総和 (PDIFIC+今までの PDIFDC の減算結果) がアンダフローした場合も通常の減算動作が行われますので最小値を超えないように注意してください。

PDAC変調C立ち下がりデルタ値レジスタ (PDIFDC)

<P4領域アドレス : H'FFFF 347A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FDC									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

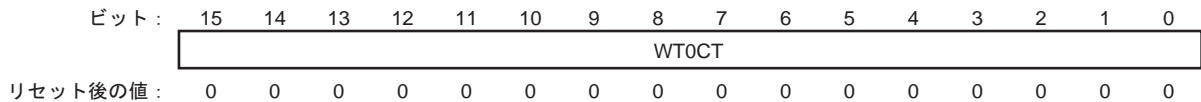
ビット	シンボル	リセット後の値	R	W	説明
15~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
9~0	FDC	H'001	R	W	変調 C 立ち下がりデルタ値ビット 変調 C における立ち下がり時の変動値（減算分）を設定します（1~）。

## 30.4.45 PDAC 変調 C 出力開始待ち時間レジスタ (PDIWT0C)

PDIWT0C レジスタは、起動後、変調 C の波形出力を開始するまでの待ち時間を設定します (基本分解能×WT0C)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT0C の待ち時間ありに設定した場合に有効です。

PDAC変調C出力開始待ち時間レジスタ (PDIWT0C)

&lt;P4領域アドレス : H'FFFF 347C番地&gt;



&lt;リセット後の値 : H'0000&gt;

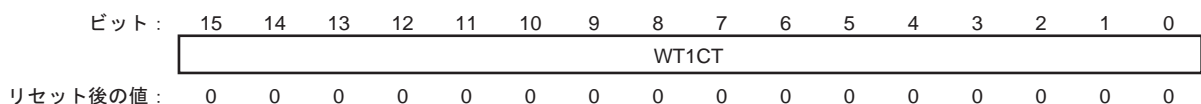
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT0CT	H'0000	R	W	変調 C 出力開始待ち時間ビット 変調 A 出力終了または変調 B 出力終了後から変調 C の波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT0CE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

## 30.4.46 PDAC 変調 C 立ち上がり後待ち時間レジスタ (PDIWT1C)

PDIWT1C レジスタは、変調 C の立ち上がり波形出力後の待ち時間を設定します (基本分解能×WT1C)。また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT1C の待ち時間ありに設定した場合に有効です。

PDAC変調C立ち上がり後待ち時間レジスタ (PDIWT1C)

&lt;P4領域アドレス : H'FFFF 347E番地&gt;



&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~0	WT1CT	H'0000	R	W	変調 C 立ち上がり後待ち時間ビット 変調 C における立ち上がり波形出力後、立ち下がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT1CE ビットが"1" (待ち時間あり) のとき、このビットは"0"に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。



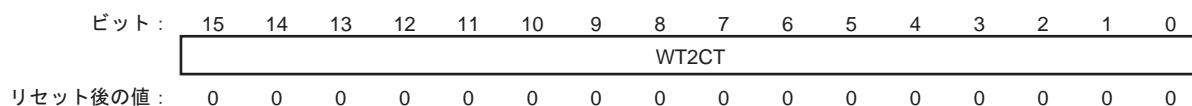
## 30. パラレル DAC 制御 (PDAC)

### 30.4.47 PDAC 変調 C 立ち下がり後待ち時間レジスタ (PDIWT2C)

PDIWT2C レジスタは、変調 C の立ち下がり波形出力後の待ち時間を設定します (基本分解能×WT2C)。  
また、本レジスタは PDAC 待ち時間制御レジスタ (PDIWTEN) で WT2C の待ち時間ありに設定した場合に有効です。

PDAC変調C立ち下がり後待ち時間レジスタ (PDIWT2C)

<P4領域アドレス : H'FFFF 3480番地>



<リセット後の値 : H'0000>

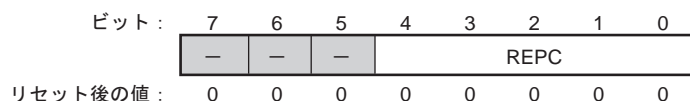
ビット	シンボル	リセット後の値	R	W	説明
15~0	WT2CT	H'0000	R	W	変調 C 立ち下がり後待ち時間ビット 変調 C における立ち下がり波形出力後、次の立ち上がり波形出力までの待ち時間を設定してください (1~)。PDIWTEN レジスタの WT2CE ビットが "1" (待ち時間あり) のとき、このビットは "0" に設定しないでください。本ビットへの設定可能な値には条件があります。詳細は「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

### 30.4.48 PDAC 変調 C 繰り返し回数レジスタ (PDIREPC)

PDIREPC レジスタは、制御周期内の変調 C による出力波形の個数を設定します。

PDAC変調C繰り返し回数レジスタ (PDIREPC)

<P4領域アドレス : H'FFFF 3482番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込み時も常に "0" にしてください。
4~0	REPC	00000	R	W	変調 C 繰り返し回数設定ビット 変調 C における制御周期内に出力したい波形数を設定してください (0~31)。変調 A/変調 B/変調 C の繰り返し回数がすべて 0 になる設定は行わないでください。

## 30.4.49 PDAC 変調 A 立ち上がり出力時間レジスタ 1~120 (PDIRTA1~120)

PDIRTA1~120 レジスタは、変調 A 波形出力における立ち上がり時の遷移時間を設定します (最大 120 ステップ)。現在の出力値を、このレジスタで指定した時間保持します (基本分解能×PDIRTAn)。

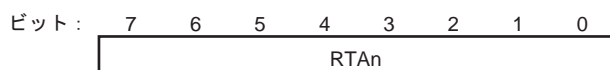
その後、変調 A における立ち上がりデルタ値 (PDIRDA) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIRTA1 ならば PDIRTA2) の時間保持されます。

PDIRTA1~120 レジスタが立ち上がり第 1 ステップから第 120 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調A立ち上がり出力時間レジスタ1~120 (PDIRTA1~120)

<P4領域アドレス : H'FFFF 3800~H'FFFF 3877番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	RTAn	不定	R	W	変調 A 立ち上がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~120

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.50 PDAC 変調 A 立ち下がり出力時間レジスタ 1~120 (PDIFTA1~120)

PDIFTA1~120 レジスタは、変調 A 波形出力における立ち下がり時の遷移時間を設定します (最大 120 ステップ)。現在の出力値を、このレジスタで指定した時間保持します (基本分解能×PDIFTA<sub>n</sub>)。

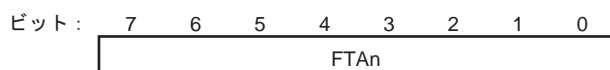
その後、変調 A における立ち下がりデルタ値 (PDIFDA) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIFTA1 ならば PDIFTA2) の時間保持されます。

PDIFTA1~120 レジスタが立ち下がり第 1 ステップから第 120 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調A立ち下がり出力時間レジスタ1~120 (PDIFTA1~120)

<P4領域アドレス : H'FFFF 3880~H'FFFF 38F7番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	FTAn	不定	R	W	変調 A 立ち下がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~120

## 30.4.51 PDAC 変調 B 立ち上がり出力時間レジスタ 1~200 (PDIRTB1~200)

PDIRTB1~200 レジスタは、変調 B 波形出力における立ち上がり時の遷移時間を設定します (最大 200 ステップ)。現在の出力値を、このレジスタで設定した時間保持します (基本分解能×PDIRTBn)。

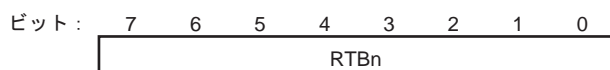
その後、変調 B における立ち上がりデルタ値 (PDIRDB) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIRTB1 ならば PDIRTB2) の時間保持されます。

PDIRTB1~200 レジスタが立ち上がり第 1 ステップから第 200 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調B立ち上がり出力時間レジスタ1~200 (PDIRTB1~200)

<P4領域アドレス: H'FFFF 3900~H'FFFF 39C7番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	RTBn	不定	R	W	変調 B 立ち上がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~200

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.52 PDAC 変調 B 立ち下がり出力時間レジスタ 1~200 (PDIFTB1~200)

PDIFTB1~200 レジスタは、変調 B 波形出力における立ち下がり時の遷移時間を設定します (最大 200 ステップ)。現在の出力値を、このレジスタで設定した時間保持します (基本分解能×PDIFTBn)。

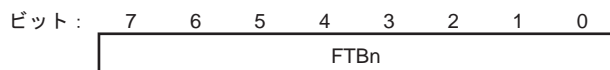
その後、変調 B における立ち下がりデルタ値 (PDIFDB) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIFTB1 ならば PDIFTB2) の時間保持されます。

PDIFTB1~200 レジスタが立ち下がり第 1 ステップから第 200 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調B立ち下がり出力時間レジスタ1~200 (PDIFTB1~200)

<P4領域アドレス: H'FFFF 3A00~H'FFFF 3AC7番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	FTBn	不定	R	W	変調 B 立ち下がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~200

## 30.4.53 PDAC 変調 C 立ち上がり出力時間レジスタ 1~600 (PDIRTC1~600)

PDIRTC1~600 レジスタは、変調 C 波形出力における立ち上がり時の遷移時間を設定します (最大 600 ステップ)。現在の出力値を、このレジスタで指定した時間保持します (基本分解能×PDIRTCn)。

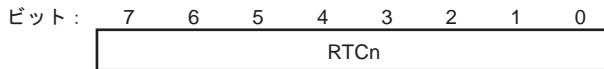
その後、変調 C における立ち上がりデルタ値 (PDIRDC) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIRTC1 ならば PDIRTC2) の時間保持されます。

PDIRTC1~600 レジスタが立ち上がり第 1 ステップから第 600 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調C立ち上がり出力時間レジスタ1~600 (PDIRTC1~600)

<P4領域アドレス: H'FFFF 3B00~H'FFFF 3D57番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	RTCn	不定	R	W	変調 C 立ち上がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。 上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~600

### 30. パラレル DAC 制御 (PDAC)

#### 30.4.54 PDAC 変調 C 立ち下がり出力時間レジスタ 1~600 (PDIFTC1~600)

PDIFTC1~600 レジスタは、変調 C 波形出力における立ち下がり時の遷移時間を設定します (最大 600 ステップ)。現在の出力値を、このレジスタで指定した時間保持します (基本分解能×PDIFTCn)。

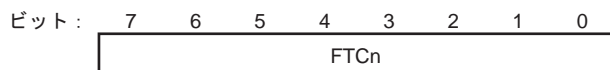
その後、変調 C における立ち下がりデルタ値 (PDIFDC) が加算され、次の出力値として出力後、次の出力時間レジスタ (例: 現時点が PDIFTC1 ならば PDIFTC2) の時間保持されます。

PDIFTC1~600 レジスタが立ち下がり第 1 ステップから第 600 ステップの出力値保持時間 (遷移時間) を指定します。動作中に読み出しを行った場合、"0"が読み出されます。

本レジスタへの設定可能な値には条件があります。詳細は、「30.4.9 PDAC 書き込み信号期間調整レジスタ (PDIWRC)」を参照してください。

PDAC変調C立ち下がり出力時間レジスタ1~600 (PDIFTC1~600)

<P4領域アドレス: H'FFFF 3D80~H'FFFF 3FD7番地>



リセット後の値: 不定 不定 不定 不定 不定 不定 不定 不定 不定

<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	FTCn	不定	R	W	変調 C 立ち下がり時間設定ビット D/A コンバータへの出力を保持するカウント値を設定してください (1~255)。上記以外の設定は禁止です (設定した場合の動作は保証されません)。

【記号説明】 n=1~600

## 30.5 動作説明

### 30.5.1 概要

PDAC は、ATU-IHS のタイマ TOU2\_7、タイマ TOU3\_7、タイマ G チャンネル 4、タイマ G チャンネル 5 からの起動イベントにより起動し、制御周期内に変調 A・変調 B・変調 C それぞれの波形を生成するための D/A コンバータへ与えるデータを時系列で出力します。

起動開始から変調 A の開始までの期間、変調 A 終了後から変調 B 出力までの期間、変調 B 終了後から変調 C 出力までの期間の一定の待ち時間を設定できます。

最終変調出力後、割り込みが発生しますので各パラメータの書き換えが可能になります。それ以前にパラメータを書き換えないように注意してください（動作は保証されません）。

波形出力中に起動イベントが発生した場合、その起動イベントは無視します（受け付けません）ので、設定値には充分注意してください。

図 30.3 に PDAC の動作イメージ図を示します。

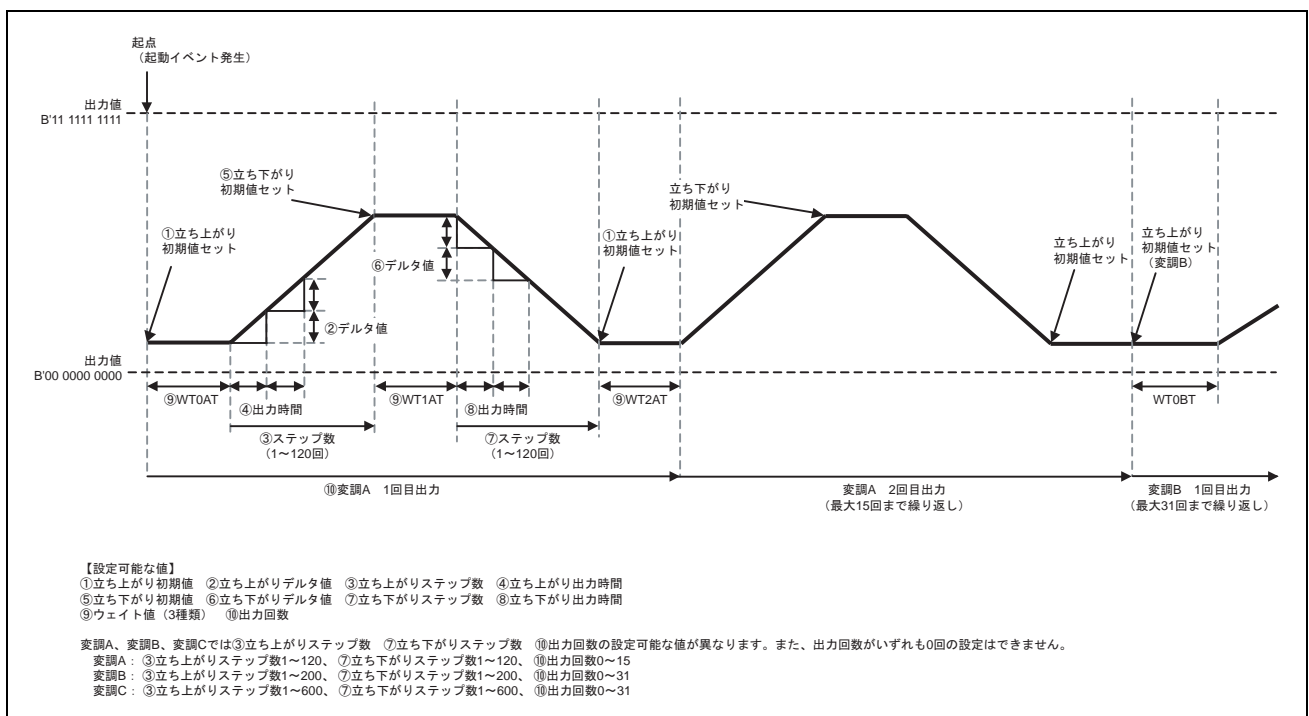


図 30.3 PDAC の動作イメージ図



### 30. パラレル DAC 制御 (PDAC)

図 30.4 に PDAC の制御周期における動作概要を示します。

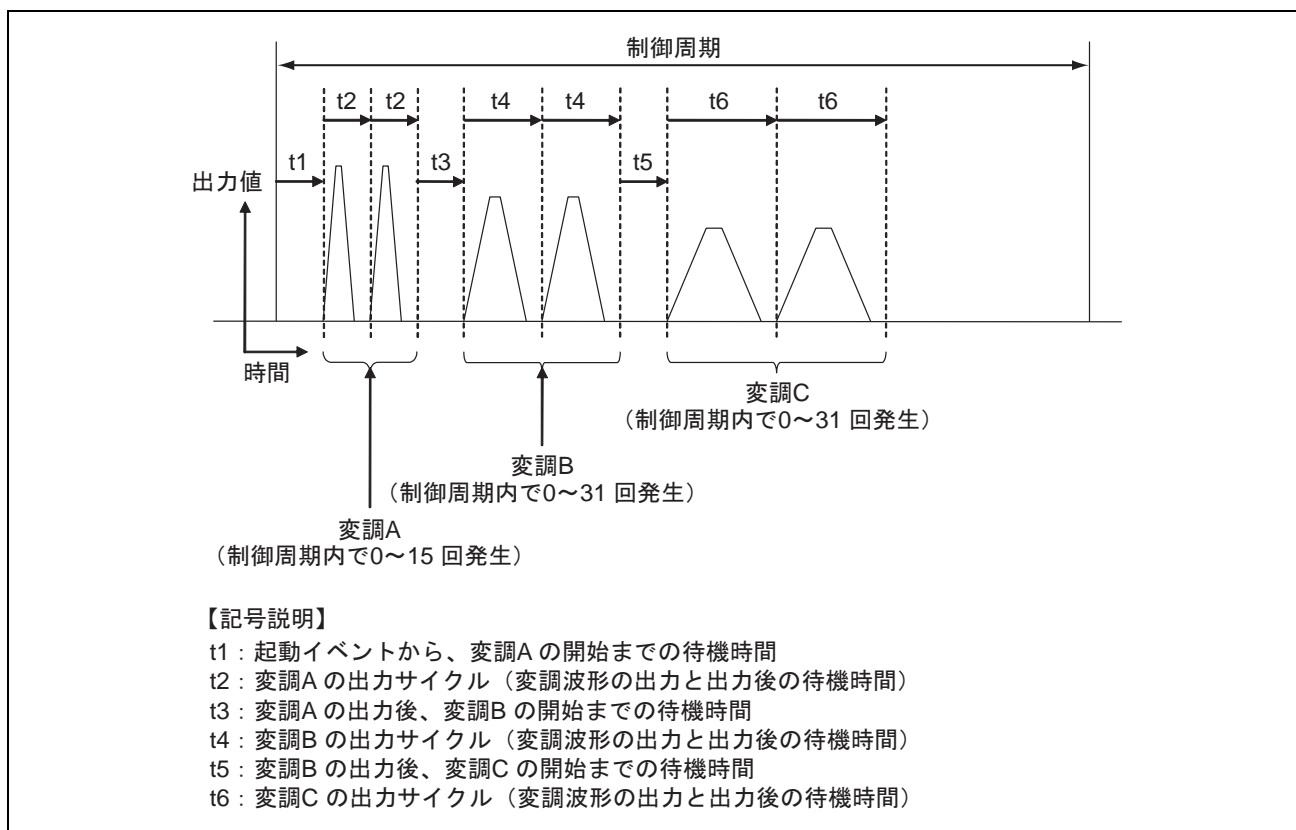


図 30.4 PDAC の制御周期における動作概要

図 30.5 に PDAC の制御周期内における出力波形と待ち時間設定レジスタの関係を示します。

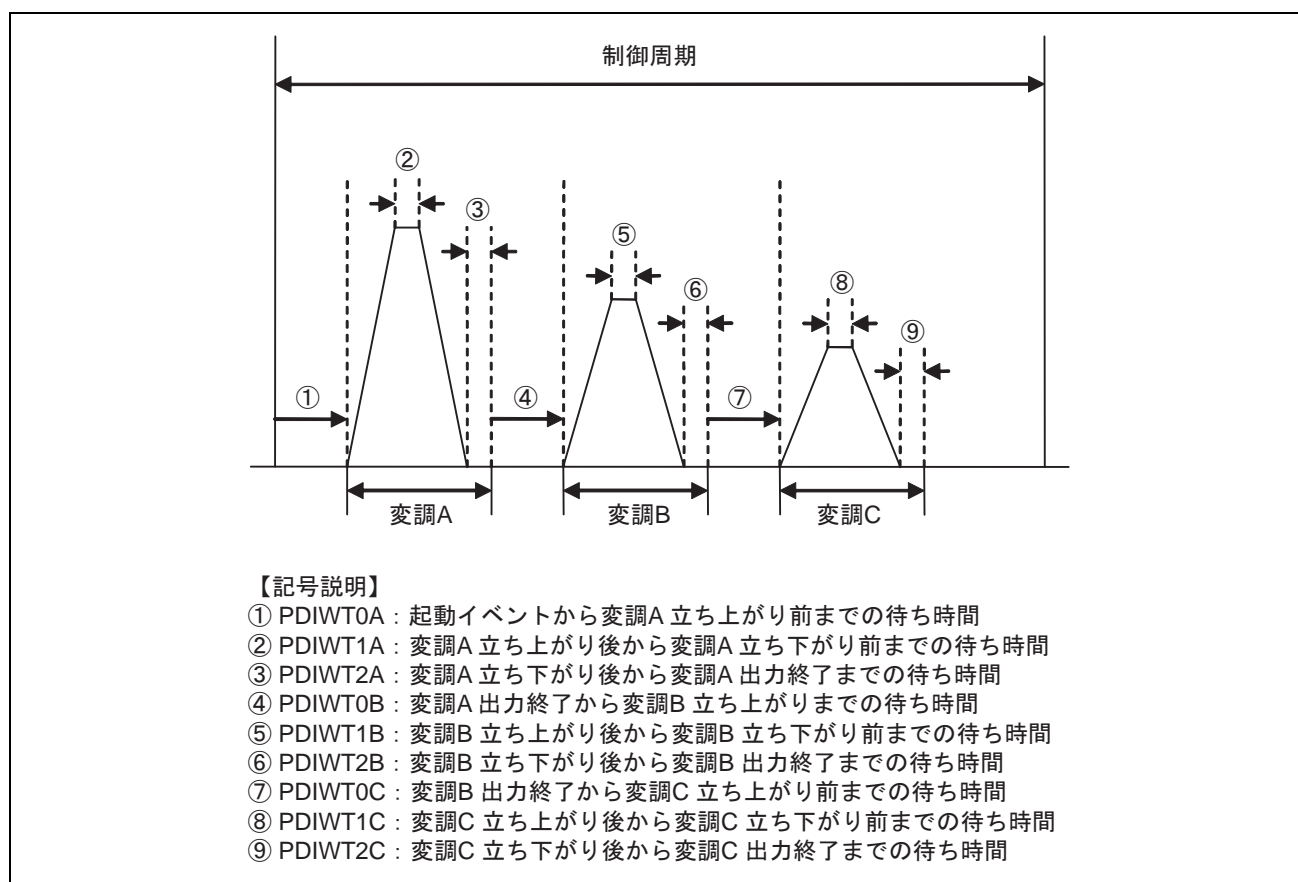


図 30.5 PDAC の制御周期内における出力波形と待ち時間設定レジスタの関係

### 30. パラレル DAC 制御 (PDAC)

図 30.6 に PDAC の起動イベントと動作イネーブルの関係、動作モニタの関係を示します (通常動作時)。

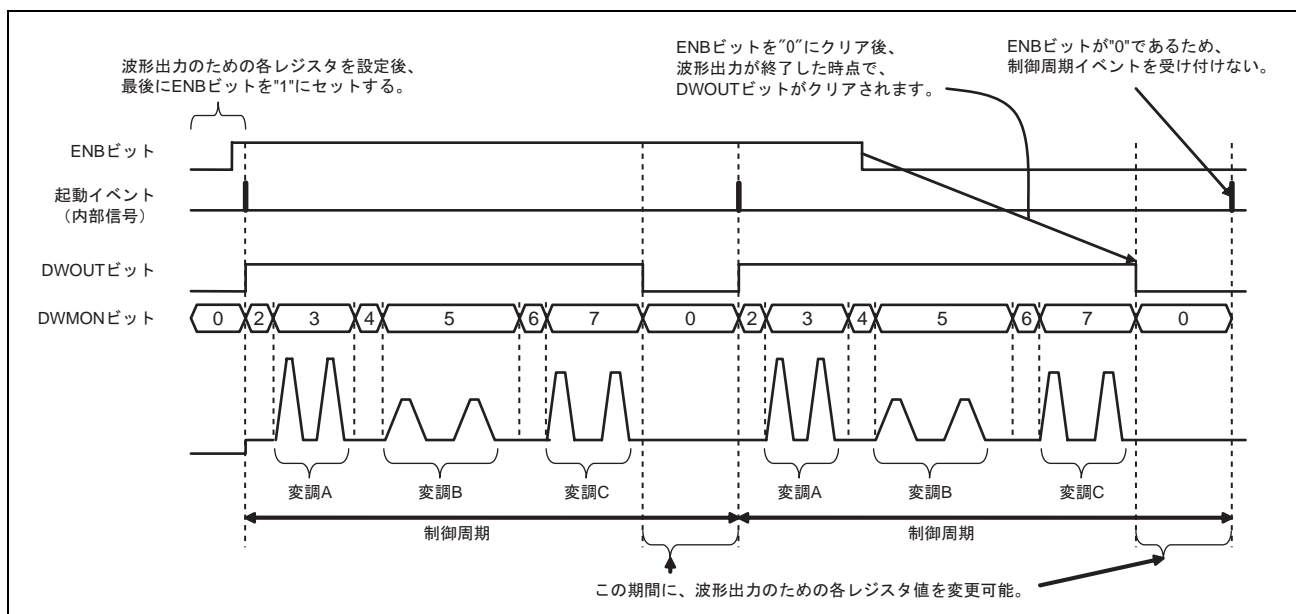


図 30.6 PDAC の起動イベントと動作イネーブルの関係、動作モニタの関係 (通常動作時)

図 30.7 に PDAC の起動イベントと動作イネーブルの関係、動作モニタの関係を示します (強制停止処理)。

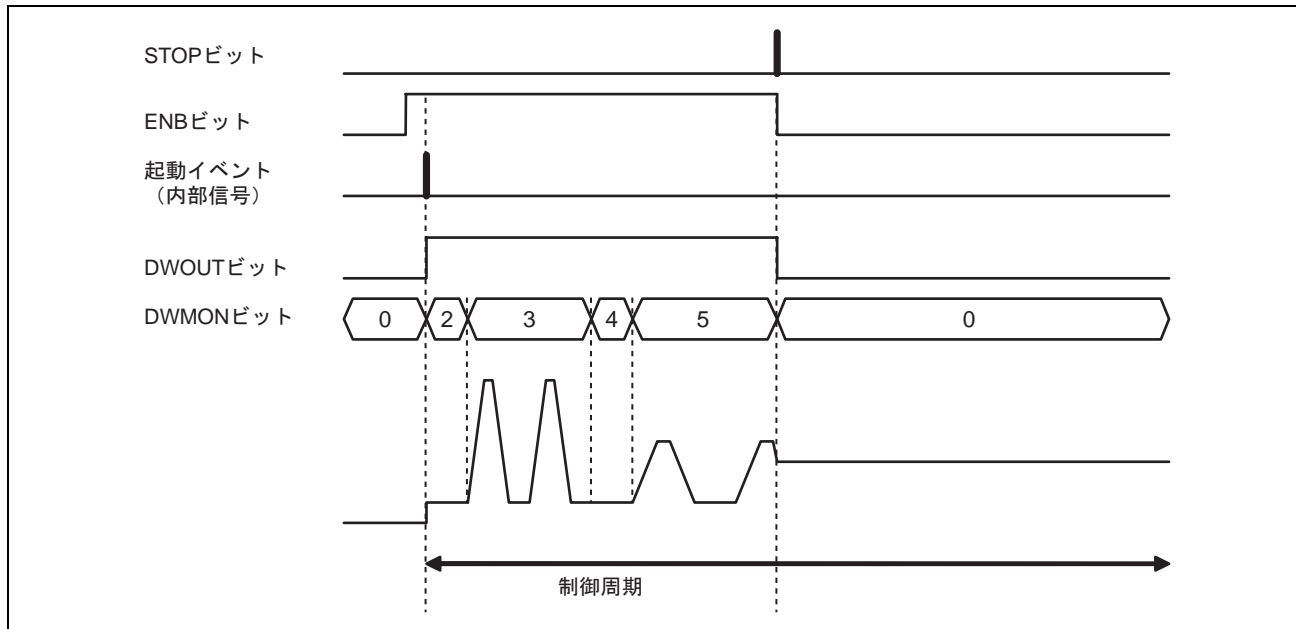


図 30.7 PDAC の起動イベントと動作イネーブルの関係、動作モニタの関係 (強制停止処理)

強制停止ビット (STOP ビット) に"1"を書き込んだ場合、PDICPT レジスタの ENB ビットと PDISTATUS レジスタの DWOUT ビットは"0"になります。ENB ビットと STOP ビットは同時に"1"に設定しないでください。

図 30.8 に PDAC の制御周期内における各変調ステータス情報を示します。

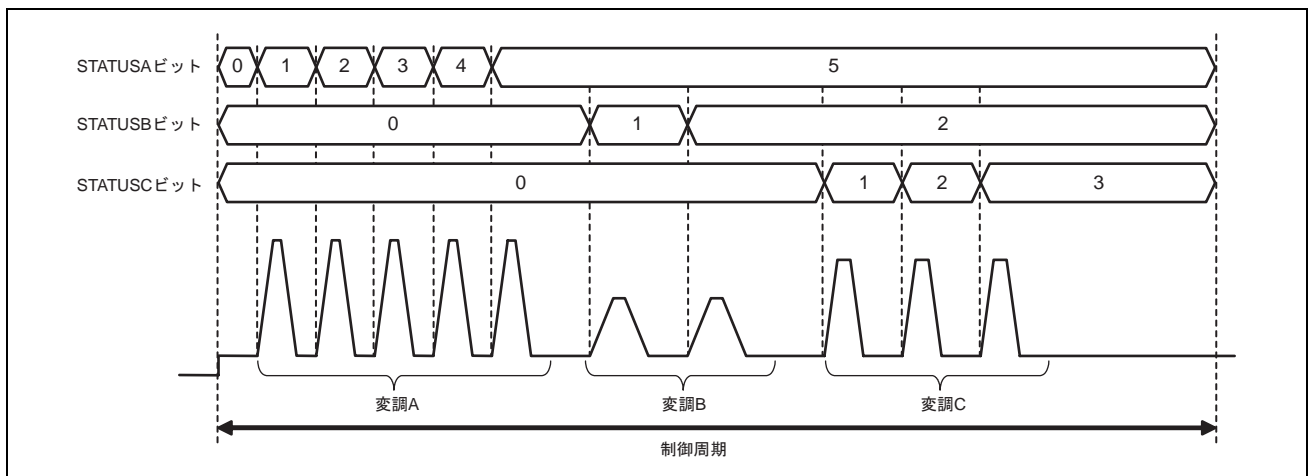


図 30.8 PDAC の制御周期内における各変調ステータス情報

### 30.5.2 変調 A の出力処理について

変調 A では、以下の①～④の動作を制御周期内で最大 15 回まで繰り返します。

- ① 変調 A 立ち上がり初期値の出力
- ② 変調 A 立ち上がりデルタ値の出力
- ③ 変調 A 立ち下がり初期値の出力
- ④ 変調 A 立ち下がりデルタ値の出力

図 30.9 に変調 A 波形出力の動作概要を示します。

設定時間の詳細については「30.6 タイミングチャート」を参照してください。

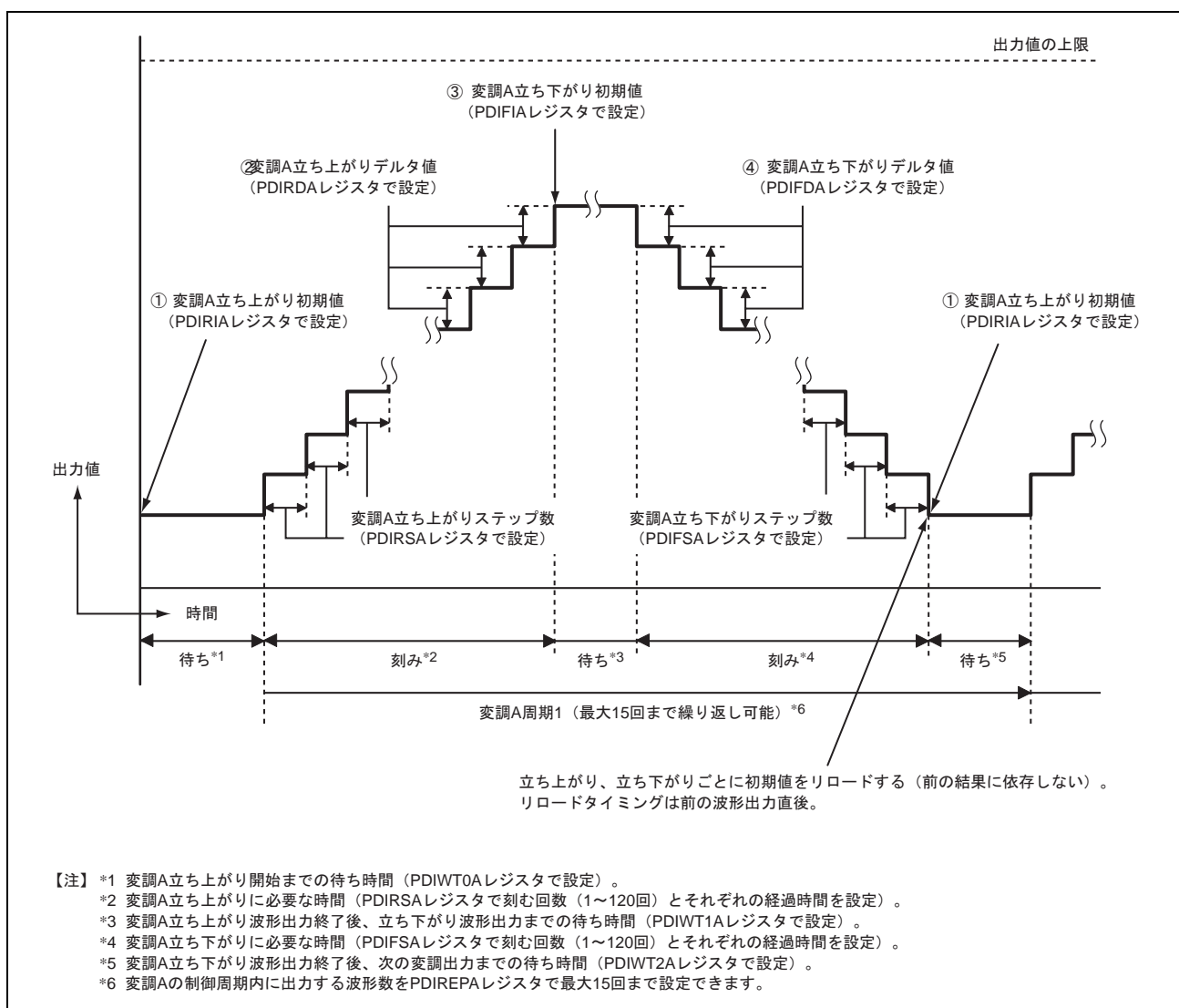


図 30.9 変調 A 波形出力に関する動作概要

## 30.5.3 変調 B の出力処理について

変調 B では、以下の①～④の動作を制御周期内で最大 31 回まで繰り返します。

- ① 変調 B 立ち上がり初期値の出力
- ② 変調 B 立ち上がりデルタ値の出力
- ③ 変調 B 立ち下がり初期値の出力
- ④ 変調 B 立ち下がりデルタ値の出力

図 30.10 に変調 B 波形出力の動作概要を示します。

設定時間の詳細については「30.6 タイミングチャート」を参照してください。

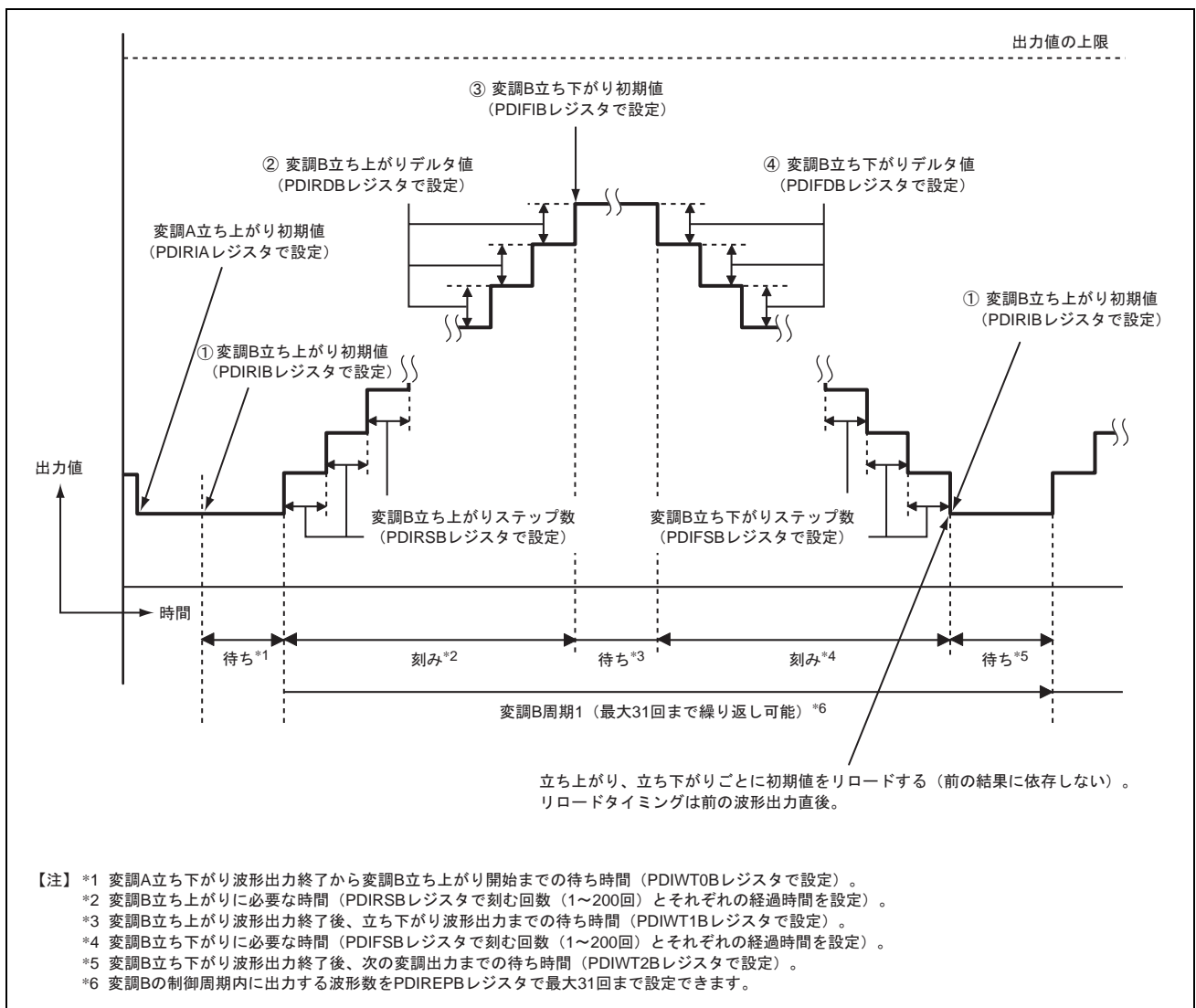


図 30.10 変調 B 波形出力に関する動作概要

## 30.5.4 変調 C の出力処理について

変調 C では、以下の①～④の動作を制御周期内で最大 31 回まで繰り返します。

- ① 変調 C 立ち上がり初期値の出力
- ② 変調 C 立ち上がりデルタ値の出力
- ③ 変調 C 立ち下がり初期値の出力
- ④ 変調 C 立ち下がりデルタ値の出力

図 30.11 に変調 C 波形出力の動作概要を示します。

設定時間の詳細については「30.6 タイミングチャート」を参照してください。

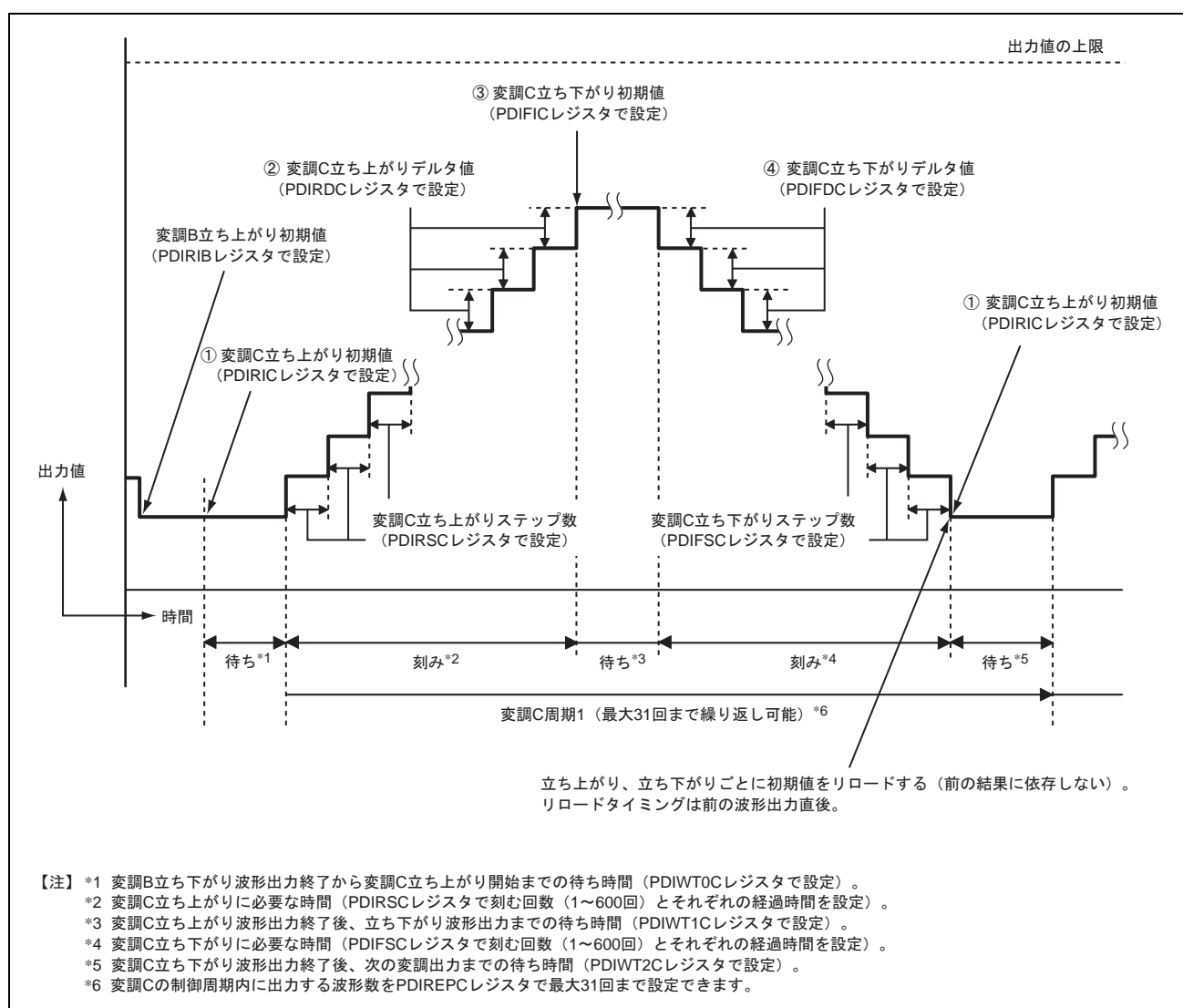


図 30.11 変調 C 波形出力に関する動作概要

## 30.5.5 他のモジュールとの連携について

PDAC では、各変調出力波形に他のモジュール (DRI、ATU-IHS、PSEL) を連動させるため、出力イベントを発生します。

起動直後と各変調 (変調 A・変調 B・変調 C) 波形出力後、各変調の出力波形に対しての立ち上がり・立ち下がりが発生します (合計 10 要因+最終変調終了=11 要因)。

これらの起動要因は、各要因出力信号 (内部信号) に対応するレジスタで他のモジュールへ通知/非通知を選択できます (出力イベント選択レジスタを参照)。

各変調の出力がない (該当する変調の繰り返し回数が 0) 場合、波形出力後の出力イベントは発生しません。ただし、いずれかの変調の波形出力を使用した場合、最終変調終了時の出力イベントは発生します。

変調出力が終了した際、割り込みを発生させることにより次の出力波形の情報を書き替えることができます (波形出力中は書き替えないでください)。

図 30.12 に出力イベントと割り込みの発生タイミングを示します。

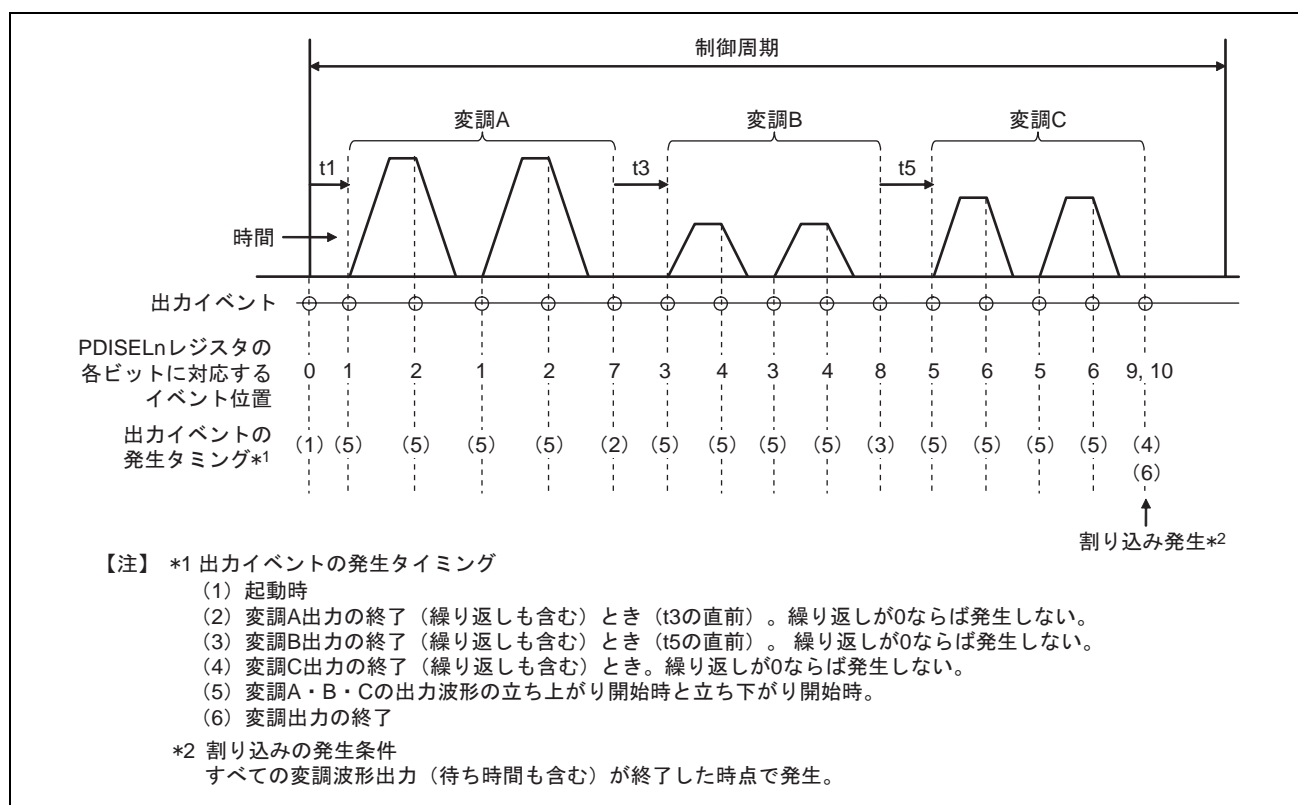


図 30.12 出力イベントと割り込みの発生タイミング



30.5.6 PDAC の初期設定手順例

図 30.13 に PDAC を起動する際の初期設定手順例を示します。

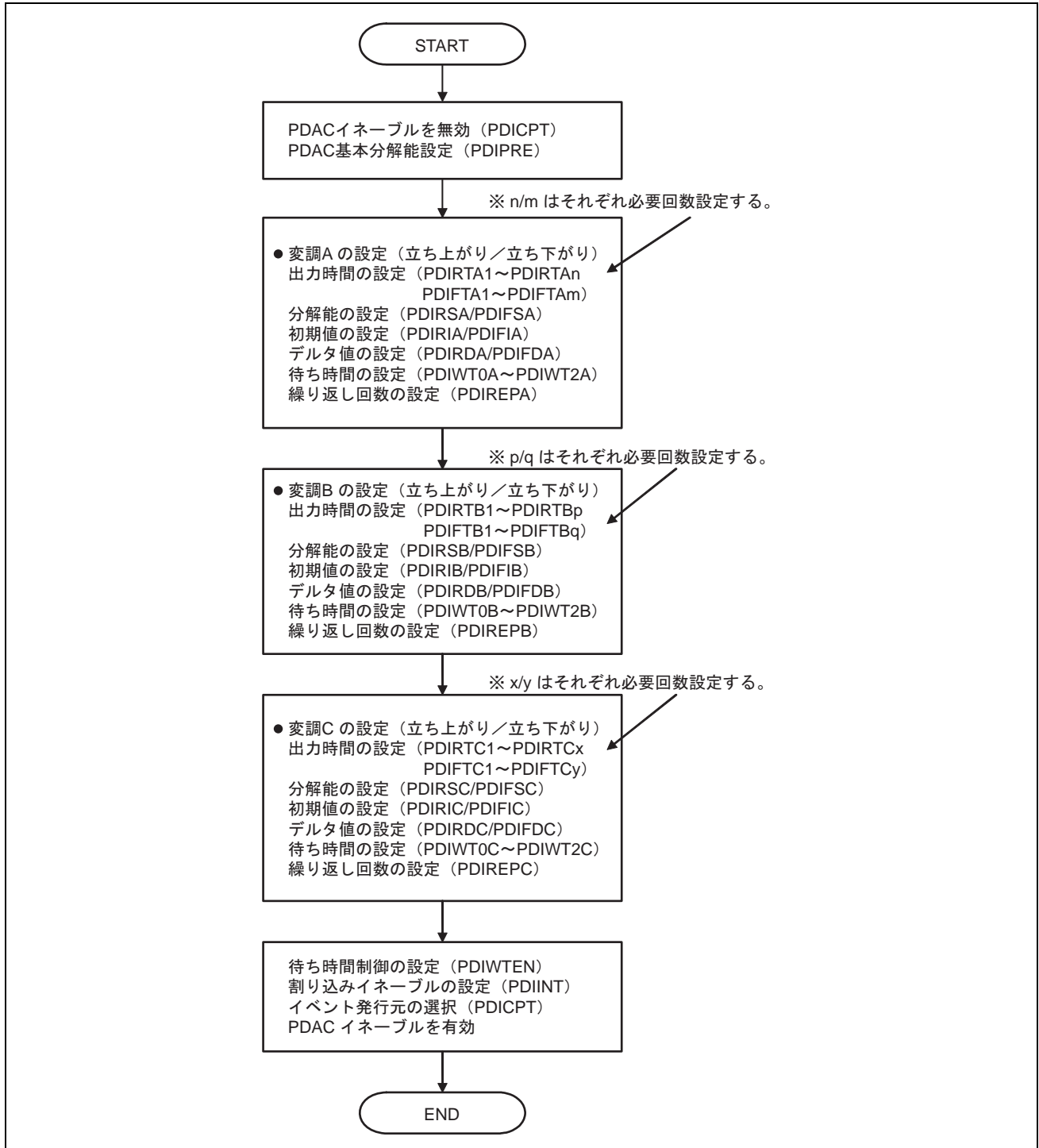


図 30.13 初期設定手順例 (初回起動時)

図 30.14 に PDAC 動作中 (PDICPT レジスタの ENB ビットが"1"の状態) で各レジスタを変更する場合の手順例を示します。

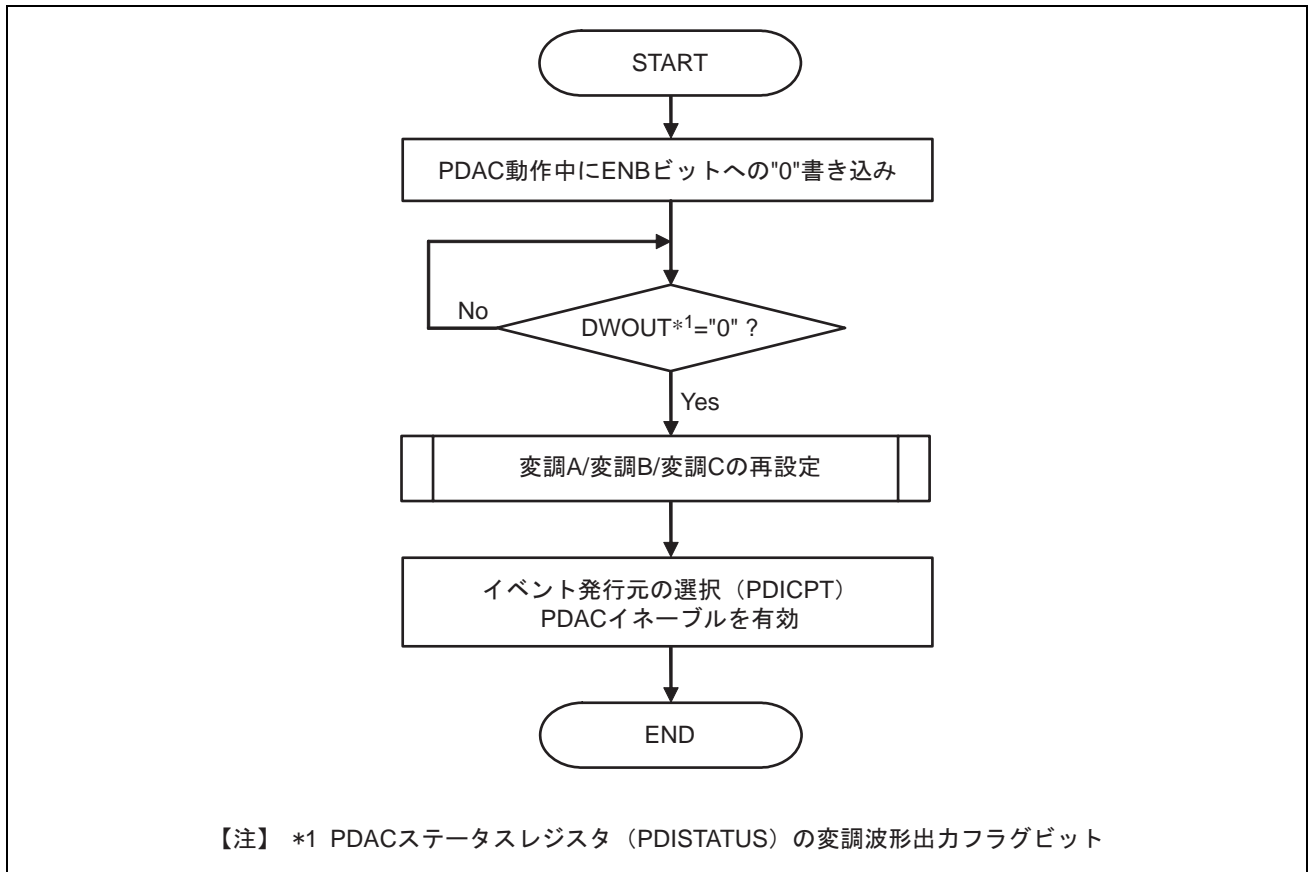


図 30.14 PDAC 動作中の各レジスタ変更手順例

図 30.15 に強制停止とその後の復帰処理手順例を示します。

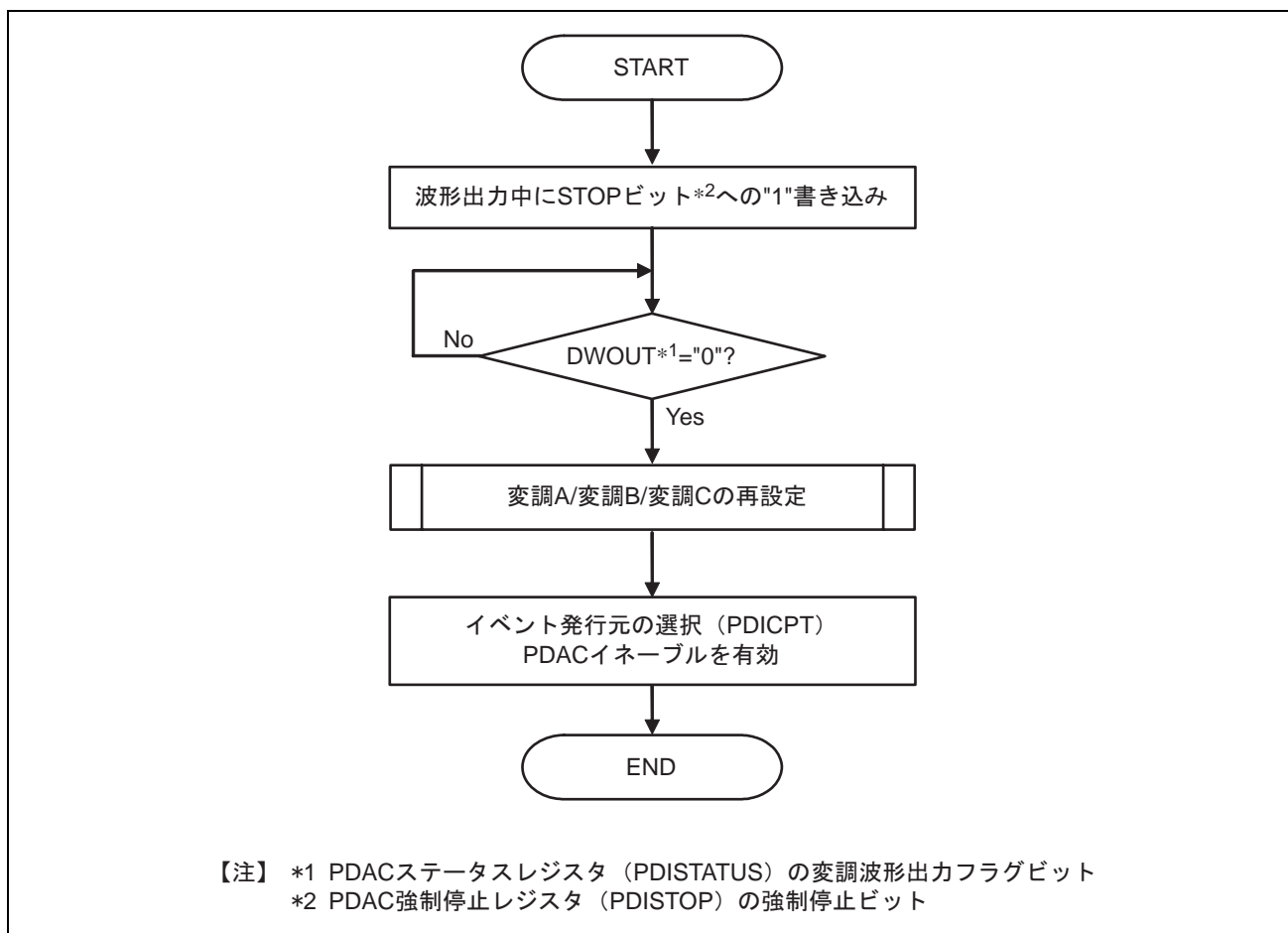


図 30.15 強制停止とその後の復帰処理手順例

## 30.6 タイミングチャート

図 30.16 に各レジスタと波形出力の関係を示します。

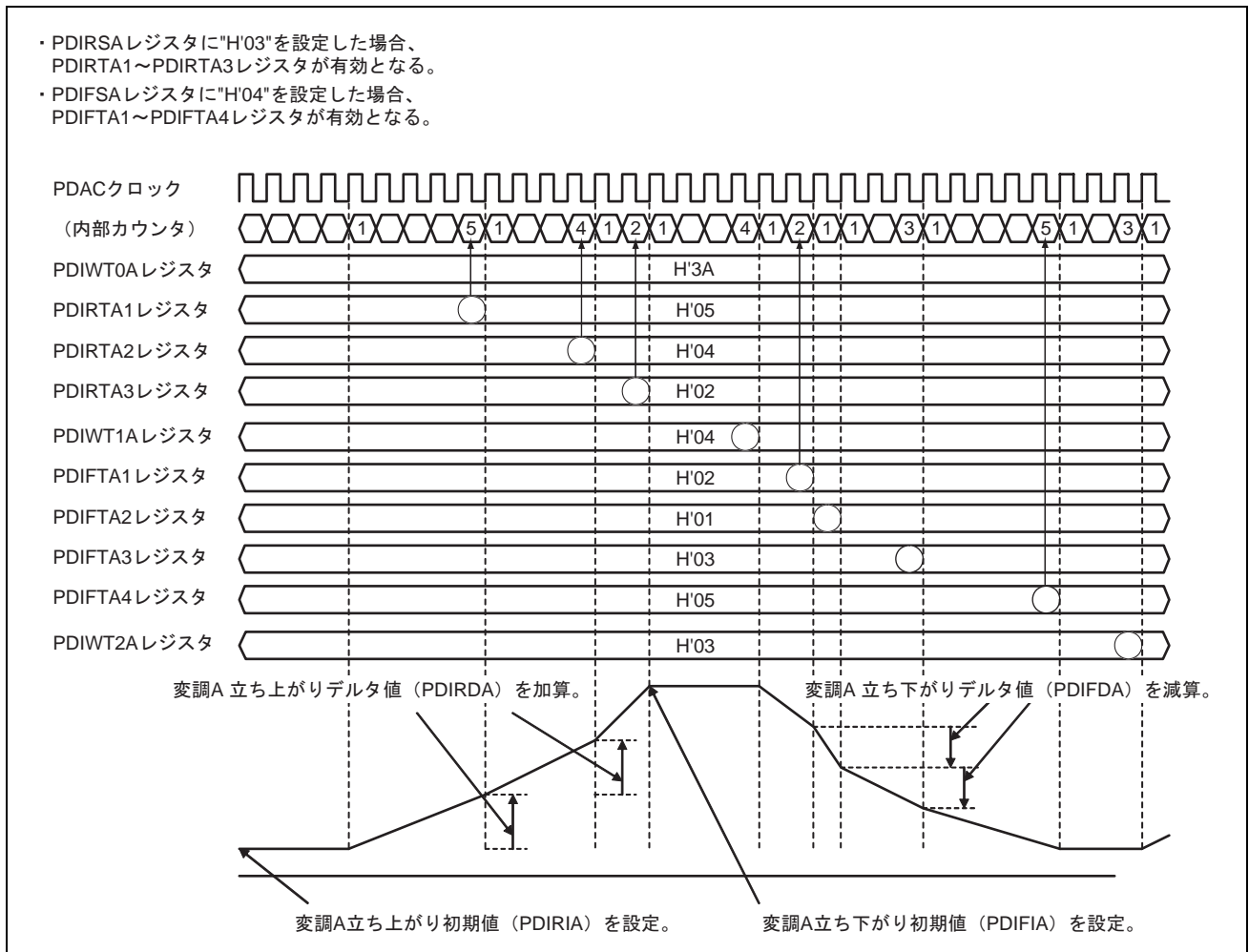


図 30.16 変調波形出力タイミング (例：変調 A の場合)

- 立ち上がり動作

PDIRSAレジスタで指定したステップ数を元に (この場合3)、PDIRTA1レジスタからPDIRTA3レジスタを立ち上がりの設定時間として処理を行います。

立ち上がり波形出力の前に、PDIRIAレジスタで設定されている初期値を適用します。

- 立ち下がり動作

PDIFSAレジスタで指定したステップ数を元に (この場合4)、PDIFTA1レジスタからPDIFTA4レジスタを立ち下がりの設定時間として処理を行います。

立ち下がり波形出力の前に、PDIFIAレジスタで設定されている初期値を適用します。

### 30. パラレル DAC 制御 (PDAC)

図 30.17 に待ち時間がある (WT0AE~WT2AE ビットが"1") 場合の初期値・デルタ値の反映タイミングを示します。

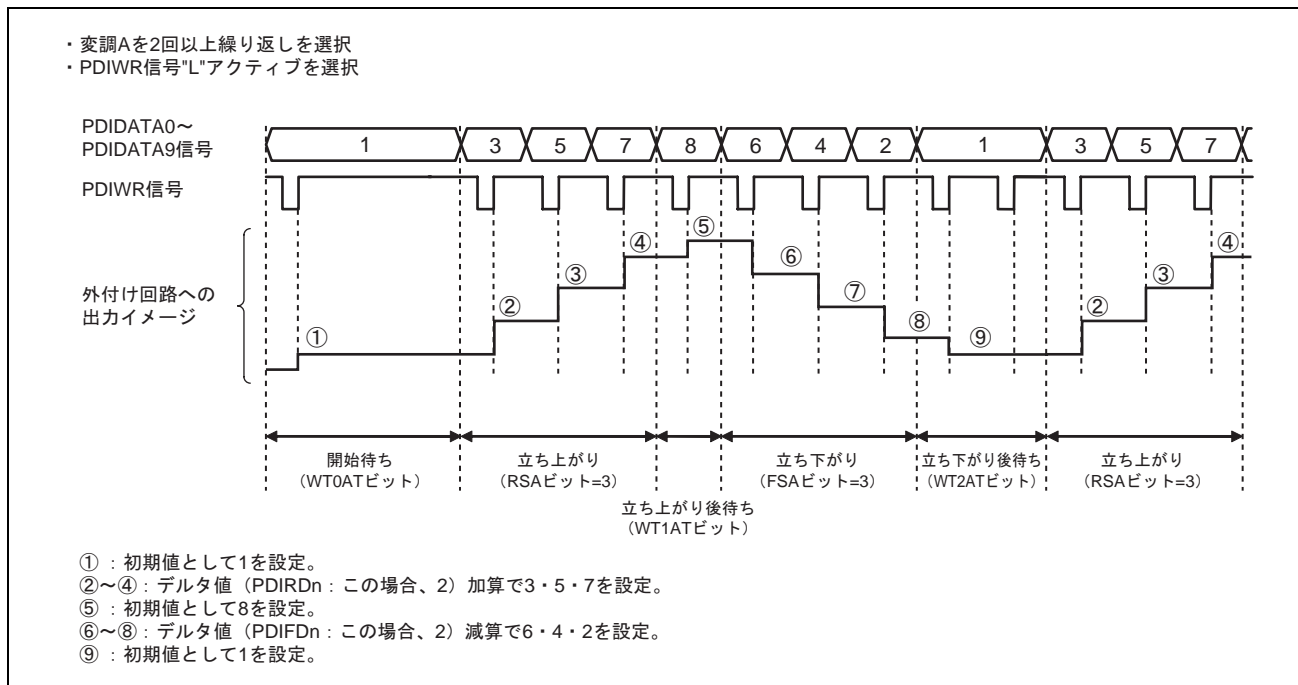


図 30.17 各変調の初期値・デルタ値反映タイミング (待ち時間あり)

図 30.18 に待ち時間がない (WT1AE~WT2AE ビットが"1") 場合の初期値・デルタ値の反映タイミングを示します。

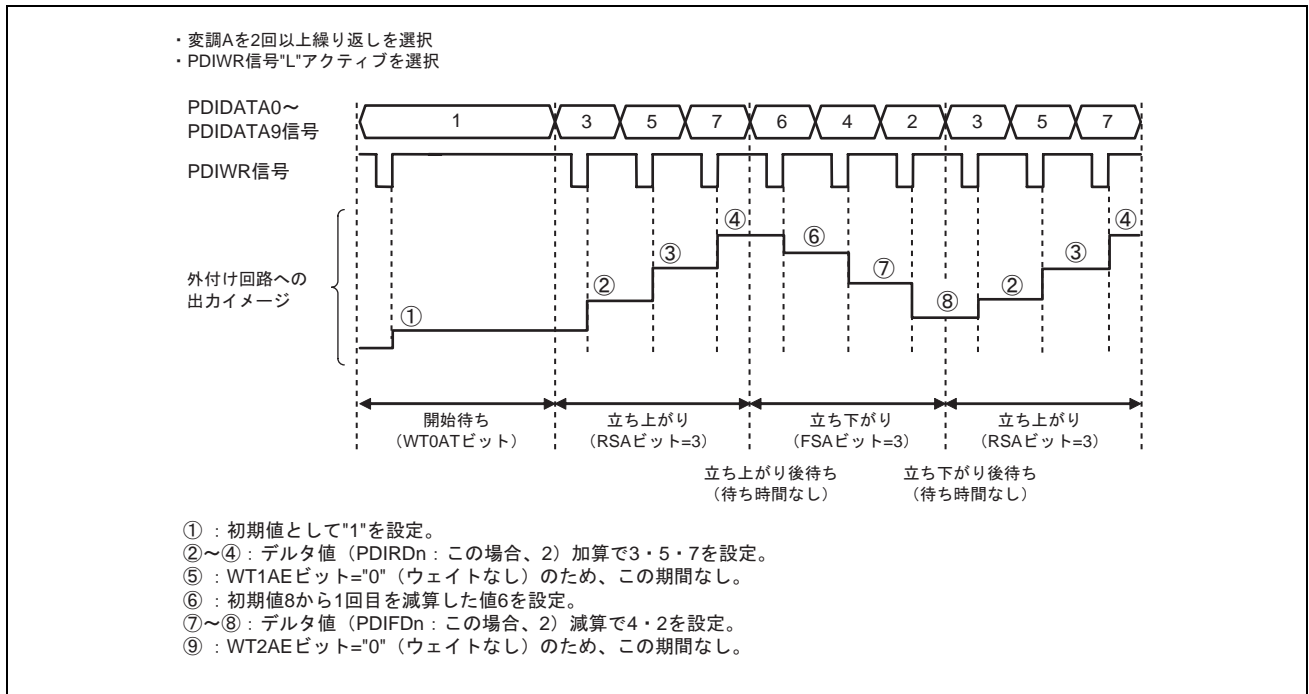


図 30.18 各変調の初期値・デルタ値反映タイミング (待ち時間なし)

● 待ち時間がない場合

初期値を設定後、設定された待ち時間分出力が維持され、立ち下がり (または立ち上がり) を開始する場合は特に問題ありませんが、待ち時間がない場合は初期値設定と加算 (または減算) 処理を同時に行わなければなりません。

処理としては、波形出力の初回時は、直前の待ち時間設定が"0"の場合、初期値と加算 (または減算) 値を合わせた値を初期値として設定します。

### 30.7 イベントフラグの配線について

PDAC より 8 要因のイベント通知信号が出力され、ATU-IIIS に 4 要因、PSEL に 2 要因、DRI に 2 要因それぞれ分配されます。

PDAC、PSEL には、ATU-IIIS より 4 要因のイベント信号が入力されます。

図 30.19 にイベントフラグの配線図を示します。

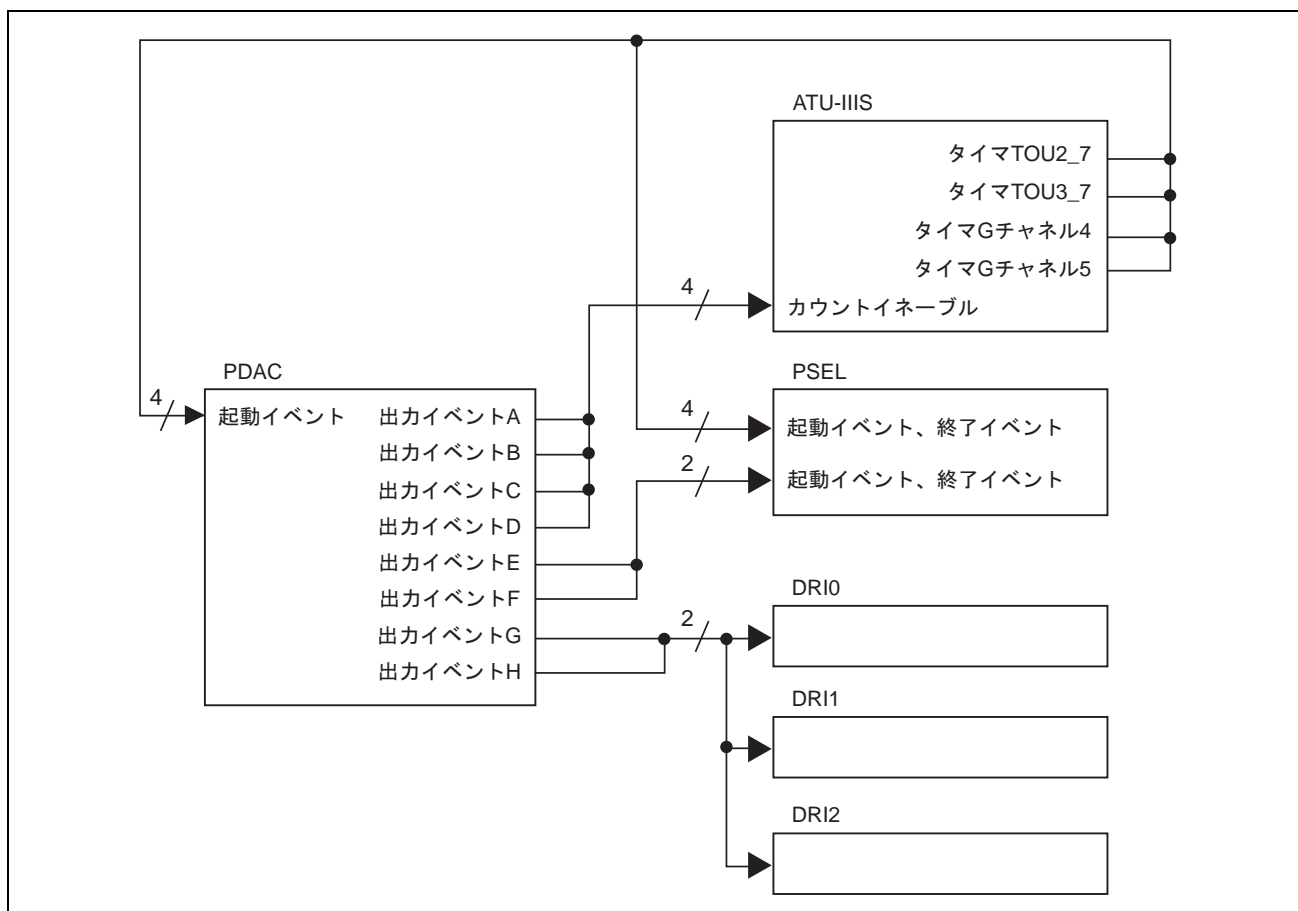


図 30.19 イベントフラグの配線図

### 30.8 使用上の注意事項

- PDACを使用するには、PDAC関連レジスタを設定する前に、モジュールストップレジスタ0 (MSTPCR0)のPDACビットの値を"0"にして"PDACおよびPSELは動作"に設定してください。PDACビットの値を"0"にしない場合、PDACモジュールへのクロック供給が停止するため、PDAC関連レジスタを設定してもPDACは動作しません。
- 特定のレジスタ (PDIRTn・PDIFTn (n=A、B、C)) は、初期値が入っていませんので使用する際に必ず書き込んでから使用してください。書き込まずに使用した場合、動作を保証できません。
- 波形出力中 (PDISTATUSレジスタのDWOUTビットが"1") に起動イベントが発生した場合、その起動イベントは無視されます (起動イベントは受け付けません)。
- 波形出力中 (PDISTATUSレジスタのDWOUTビットが"1") では以下レジスタアクセスについて制約事項がありますので、ご注意ください。

PDISTOPレジスタ、PDICPTレジスタ、PDISTATUSレジスタを除くPDACのすべてのレジスタは、ライトアクセスが禁止になります。ただし、PDICPTレジスタのENBビットのみ変更可能です (CPTビットは前回と同じ値を設定してください)。

また、以下のレジスタ群については、リード/ライトアクセスが禁止になります。

PDIRTA1～PDIRTA120レジスタ

PDIFTA1～PDIFTA120レジスタ

PDIRTB1～PDIRTB200レジスタ

PDIFTB1～PDIFTB200レジスタ

PDIRTC1～PDIRTC600レジスタ

PDIFTC1～PDIFTC600レジスタ



レイアウトの都合上、このページは白紙です。

---

## 31. パラレルセクタ (PSEL)

---

### 31.1 概要

本 MCU は、外部セクタなどを周期的に変化させるためのパラレルセクタ回路 (PSEL) を内蔵しています。PSEL は起動イベントによって起動し、指定された数のセレクトデータ (出力データ値はレジスタによる指定) を周期的に出力します。また、終了イベントにより出力を停止させることが可能です。

表 31.1 に PSEL の概要を示します。

表 31.1 PSEL の概要

項目	概要
セレクトデータ出力	外部に存在するセクタなどへセレクトデータを出力できます。 セレクトデータは 16 種類の任意の値を設定できます。別途指定している個数分だけ繰り返して出力できます。また、初期値は別に設定できます。
クロック出力	プリスケラで分周した周辺クロック (Pck) を 2 系統 (PSLCLKA、PSLCLKB) 出力できます。起動イベント後、遅延させて出力開始させることができます。また、出力極性を選択できます。
イベント出力	起動イベントにより起動し、指定したチャンネル数分セレクトデータを出力し続けます。起動イベントには、ソフトウェア、ATU-IIIS (タイマ G、TOU)、PDAC からのイベントがあります。 PSEL 起動後、終了イベントにより停止させることができます。終了イベントには、ATU-IIIS (タイマ G、TOU)、DRI、PDAC からのイベントがあります。
クリア信号出力	起動イベント後、遅延させてクリア信号を出力させることができます。また、クリア信号のイネーブル期間の設定、単発/連続の出力方法、出力極性を選択できます。
その他の機能	PSEL ステータスレジスタ (PSLSTATUS) で PSEL の動作状態を確認できます。

### 31. パラレルセレクタ (PSEL)

図 31.1 に PSEL のブロック図を示します。

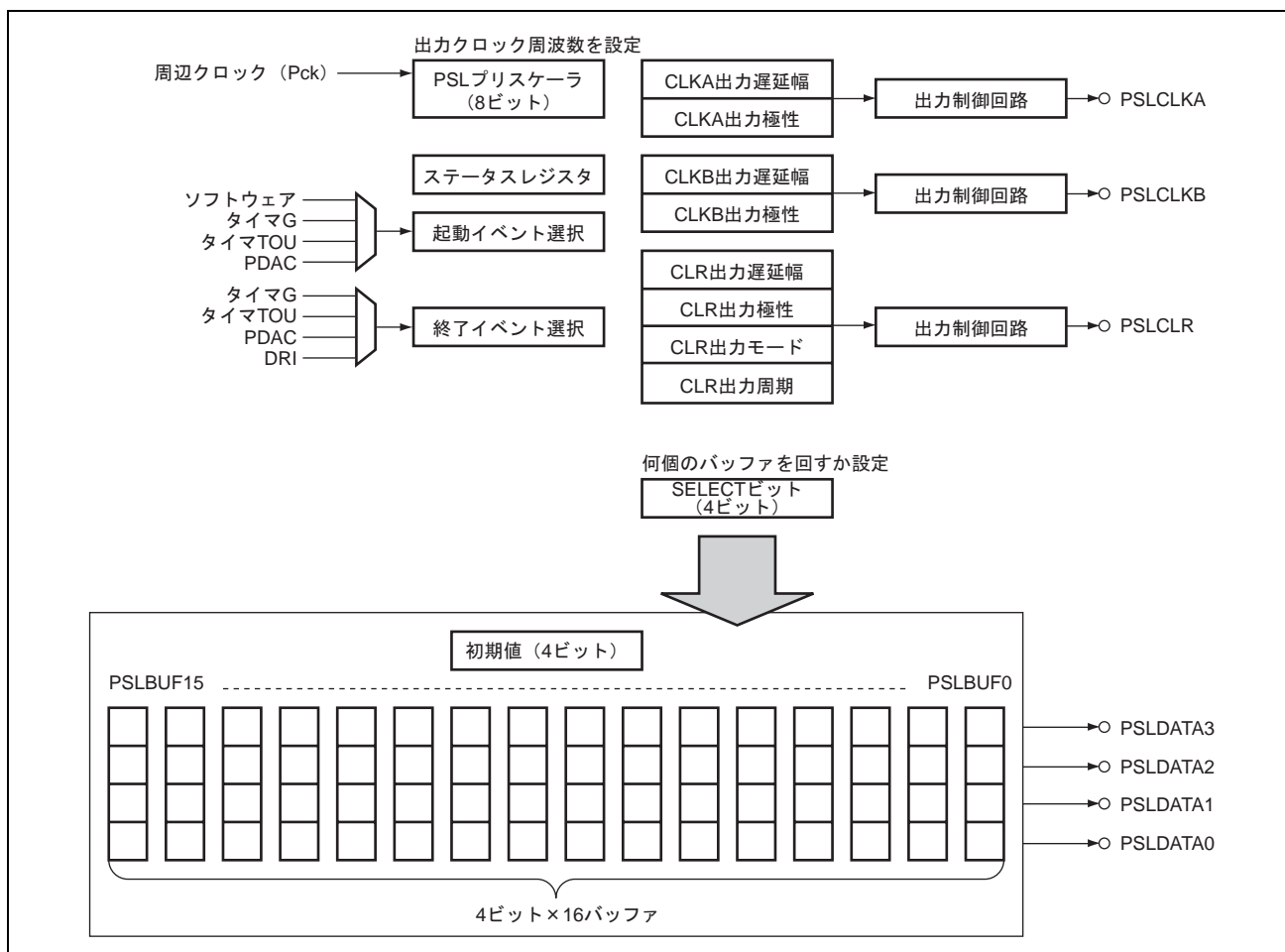


図 31.1 PSEL のブロック図

### 31.2 入出力端子

表 31.2 に PSEL の端子構成を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 31.2 端子構成

端子名	入出力	機能
PSLCLKA	出力	PSEL クロック A 出力
PSLCLKB	出力	PSEL クロック B 出力
PSLDATA3~PSLDATA0	出力	PSEL セレクトデータ出力
PSLCLR	出力	PSEL クリアパルス出力

### 31.3 レジスタの説明

表 31.3 に PSEL のレジスタ構成を示します。

表 31.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
PSEL イベント選択レジスタ	PSLCTRL	H'00	H'FFFF 3000	8、16、32	31-5
PSEL 出力クロック分周設定レジスタ	PSLPRE	H'FF	H'FFFF 3001	8、16、32	31-7
PSEL チャネル数選択レジスタ	PSLSEL	H'00	H'FFFF 3002	8、16、32	31-8
PSEL 出力極性制御レジスタ	PSLPOL	H'06	H'FFFF 3003	8、16、32	31-9
PSEL トリガレジスタ	PSLTRIG	H'00	H'FFFF 3004	8	31-11
PSEL ステータスレジスタ	PSLSTATUS	H'00	H'FFFF 3006	8	31-12
PSEL クロック A 遅延レジスタ	PSLDLYA	H'0001	H'FFFF 3008	16、32	31-12
PSEL クロック B 遅延レジスタ	PSLDLYB	H'0001	H'FFFF 300A	16、32	31-13
PSEL クリア遅延期間レジスタ	PSLCLRD	H'0001	H'FFFF 300C	16、32	31-13
PSEL クリア制御レジスタ	PSLCLRC	H'0101	H'FFFF 300E	16、32	31-14
PSEL データバッファ 0・1 レジスタ	PSLDT0001	H'00	H'FFFF 3010	8	31-15
PSEL データバッファ 2・3 レジスタ	PSLDT0203	H'00	H'FFFF 3011	8	31-16
PSEL データバッファ 4・5 レジスタ	PSLDT0405	H'00	H'FFFF 3012	8	31-17
PSEL データバッファ 6・7 レジスタ	PSLDT0607	H'00	H'FFFF 3013	8	31-18
PSEL データバッファ 8・9 レジスタ	PSLDT0809	H'00	H'FFFF 3014	8	31-19
PSEL データバッファ 10・11 レジスタ	PSLDT1011	H'00	H'FFFF 3015	8	31-20
PSEL データバッファ 12・13 レジスタ	PSLDT1213	H'00	H'FFFF 3016	8	31-21

### 31. パラレルセレクタ (PSEL)

---

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
PSEL データバッファ 14・15 レジスタ	PSLDT1415	H'00	H'FFFF 3017	8	31-22
PSEL データ初期値レジスタ	PSLINIT	H'00	H'FFFF 3018	8	31-23

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 31.3.1 PSEL イベント選択レジスタ (PSLCTRL)

PSLCTRL レジスタは、PSEL の動作許可/禁止および起動/終了イベントを選択するレジスタです。

PSEL 動作中に各イベント条件 (START ビットと END ビット) を変更しないでください (ENB ビットの書き換えによる動作停止は行えます)。なお、起動イベントと終了イベントが同時に来た場合、終了イベントが優先されます。

PSEL イベント選択レジスタ (PSLCTRL)

<P4領域アドレス : H'FFFF 3000番地>

ビット:	7	6	5	4	3	2	1	0
	ENB	START			END			
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7	ENB	0	R	W	イネーブルビット 0 : 動作禁止状態 (PSEL を初期化。起動・終了イベントを受け付けない) 1 : 動作許可状態 (起動・終了イベントを受け付ける) 【注】・本設定は、設定した次の Pck サイクルから有効になります。
6~4	START	000	R	W	起動イベント選択ビット 起動イベントの発行元を選択します。 000 : ソフトウェア制御 (PSLTRIG レジスタを参照) 001 : ATU-IIIS タイマ TOU2_7 のアンダフロー 010 : ATU-IIIS タイマ TOU3_7 のアンダフロー 011 : ATU-IIIS タイマ G チャンネル 4 のコンペアマッチ 100 : ATU-IIIS タイマ G チャンネル 5 のコンペアマッチ 101 : PDAC のイベント E 110 : PDAC のイベント F 上記以外 : 設定禁止

### 31. パラレルセレクト (PSEL)

ビット	シンボル	リセット後の値	R	W	説明
3~0	END	0000	R	W	<p>終了イベント選択ビット</p> <p>終了イベントの発行元を選択します。</p> <p>0000 : 選択しない</p> <p>0001 : ATU-IIIS タイマ TOU2_7 のアンダフロー</p> <p>0010 : ATU-IIIS タイマ TOU3_7 のアンダフロー</p> <p>0011 : ATU-IIIS タイマ G チャンネル 4 のコンペアマッチ</p> <p>0100 : ATU-IIIS タイマ G チャンネル 5 のコンペアマッチ</p> <p>0101 : PDAC のイベント E</p> <p>0110 : PDAC のイベント F</p> <p>1000 : DRI チャンネル 0 の DRI データ取り込み禁止 (DRI0DCAPCNT レジスタの DCPEN ビットの立ち下がり時) 条件</p> <p>1001 : DRI チャンネル 1 の DRI データ取り込み禁止 (DRI1DCAPCNT レジスタの DCPEN ビットの立ち下がり時) 条件</p> <p>1010 : DRI チャンネル 2 の DRI データ取り込み禁止 (DRI2DCAPCNT レジスタの DCPEN ビットの立ち下がり時) 条件</p> <p>上記以外 : 設定禁止</p>

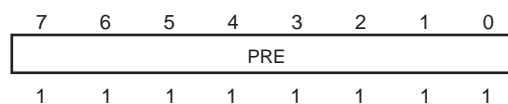
## 31.3.2 PSEL 出カクロック分周設定レジスタ (PSLPRE)

PSLPRE レジスタは、PSLCLKA と PSLCLKB のクロック出力の分周比を設定するレジスタです。

PSEL出カクロック分周設定レジスタ (PSLPRE)

<P4領域アドレス : H'FFFF 3001番地>

ビット:



リセット後の値:

<リセット後の値 : H'FF>

ビット	シンボル	リセット後の値	R	W	説明
7~0	PRE	H'FF	R	W	分周比設定ビット 出カクロックの分周比を設定します (1~255)。 出カクロックの周波数は、周辺クロック (Pck) の周波数/(分周比×2)となります。設定値に対する出力例は表 31.4 を参照してください。PRE ビット=H'01~H'FF でご使用ください。PRE ビット="0"での動作は保証されません。

表 31.4 出力周波数の設定例 (周辺クロック 40MHz の場合)

PRE ビット設定値	出力周波数
1	20MHz
2	10MHz
3	6.67MHz
4	5MHz
5	4MHz
6	3.33MHz
7	2.86MHz
8	2.5MHz
9	2.22MHz
10	2MHz
11	1.82MHz
12	1.67MHz
13	1.54MHz
14	1.43MHz
15	1.33MHz
16	1.25MHz
17	1.18MHz
18	1.11MHz

PRE ビット設定値	出力周波数
19	1.05MHz
20	1MHz
⋮	⋮
⋮	⋮
242	83kHz
243	82kHz
244	82kHz
245	82kHz
246	81kHz
247	81kHz
248	81kHz
249	80kHz
250	80kHz
251	80kHz
252	79kHz
253	79kHz
254	79kHz
255	78kHz



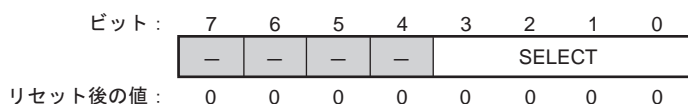
## 31. パラレルセクタ (PSEL)

### 31.3.3 PSEL チャンネル数選択レジスタ (PSLSEL)

PSLSEL レジスタは、セレクトデータの出力バッファ数を設定するレジスタです。PSLCTRL レジスタのENB ビットが動作許可状態の設定で起動イベントを受け付けると、終了イベントを受け付けるまで、SELECT ビットで指定された数のセレクトデータ（出力データ値は PSEL データバッファ n レジスタで設定）を周期的に出力します。

PSELチャンネル数選択レジスタ (PSLSEL)

<P4領域アドレス : H'FFFF 3002番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
3~0	SELECT	0000	R	W	チャンネル数指定ビット 出力するチャンネル数を指定してください (0~15)。 表 31.5 にチャンネルデータ出力の動作イメージを示します。

表 31.5 チャンネルデータ出力の動作イメージ

SELECT ビット設定値	出力するバッファ
0	0
1	0→1 (→0→1…)
2	0→1→2 (→0→1…)
3	0→1→2→3 (→0→1…)
4	0→1→2→3→4 (→0→1…)
5	0→1→2→3→4→5 (→0→1…)
6	0→1→2→3→4→5→6 (→0→1…)
7	0→1→2→3→4→5→6→7 (→0→1…)
8	0→1→2→3→4→5→6→7→8 (→0→1…)
9	0→1→2→3→4→5→6→7→8→9 (→0→1…)
10	0→1→2→3→4→5→6→7→8→9→10 (→0→1…)
11	0→1→2→3→4→5→6→7→8→9→10→11 (→0→1…)
12	0→1→2→3→4→5→6→7→8→9→10→11→12 (→0→1…)
13	0→1→2→3→4→5→6→7→8→9→10→11→12→13 (→0→1…)
14	0→1→2→3→4→5→6→7→8→9→10→11→12→13→14 (→0→1…)
15	0→1→2→3→4→5→6→7→8→9→10→11→12→13→14→15 (→0→1…)

## 31.3.4 PSEL 出力極性制御レジスタ (PSLPOL)

PSLPOL レジスタは、PSLCLKA、PSLCLKB、および PSLCLR 出力信号の極性を設定するレジスタです。

PSEL 動作禁止状態 (PSLCTRL レジスタの ENB ビットが "0") 時に PSLPOL レジスタを設定してください。本設定は、設定した次の Pck サイクルで反映されます。

PSEL出力極性制御レジスタ (PSLPOL)

<P4領域アドレス : H'FFFF 3003番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	CLKA POL	CLKB POL	CLR POL

リセット後の値 :

0 0 0 0 0 1 1 0

<リセット後の値 : H'06>

ビット	シンボル	リセット後の値	R	W	説明
7~3	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込み時も常に "0" にしてください。
2	CLKAPOL	1	R	W	PSLCLKA 出力極性ビット 0 : 負極性で出力 1 : 正極性で出力
1	CLKBPOL	1	R	W	PSLCLKB 出力極性ビット 0 : 負極性で出力 1 : 正極性で出力
0	CLRPOL	0	R	W	PSLCLR 信号出力極性ビット 0 : 負極性で出力 1 : 正極性で出力

クロック出力、クリア出力の極性については、PSEL 出力極性制御レジスタ (PSLPOL) で制御することが可能です。正極性は、リセット後の値は "L"、有効時には "H" を示す状態を示します。同じく負極性は、リセット後の値は "H"、有効時には "L" を示す状態を示します。

図 31.2 に PSEL の出力信号極性について示します。

### 31. パラレルセレクト (PSEL)

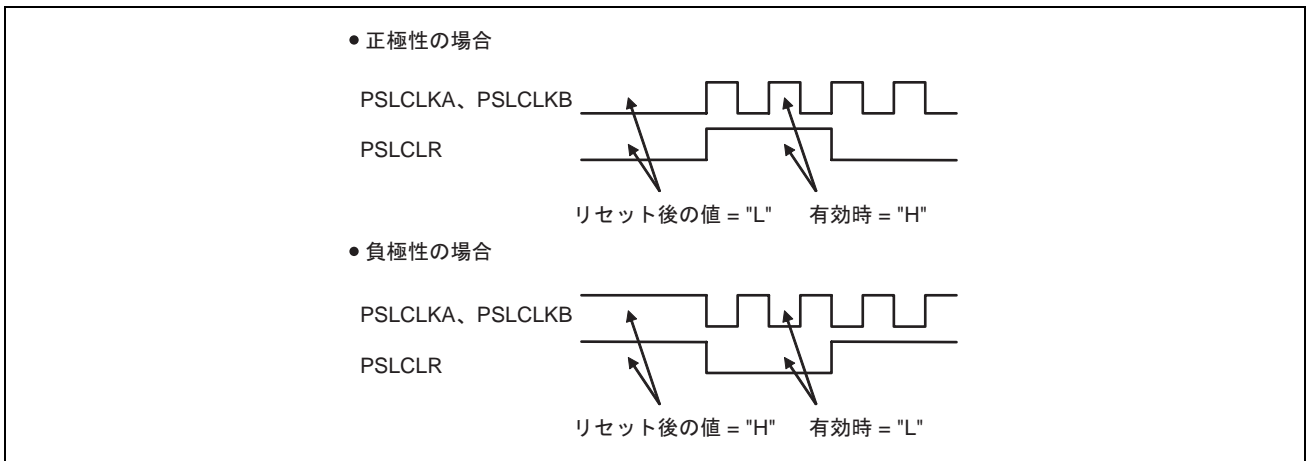


図 31.2 PSEL の出力信号極性について

## 31.3.5 PSEL トリガレジスタ (PSLTRIG)

PSLTRIG レジスタは、起動イベントをソフトウェア書き込みにより発生させるレジスタです。ソフトウェア起動を行う場合は、PSLCTRL レジスタの START ビットでソフトウェア制御を選択 (START="B'000") してください。ソフトウェア制御以外を設定している場合、ST ビットへの"1"の書き込みは禁止です。ST ビットへ書き込んだ値を読み出しても"0"が読み出されます。

PSELトリガレジスタ (PSLTRIG)

&lt;P4領域アドレス : H'FFFF 3004番地&gt;

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ST
リセット後の値:	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
0	ST	0	0	W	ソフトトリガビット "1"を書き込むことで起動イベントが発生します。このビットに"1"を書き込む前に PSLCTRL レジスタの ENB ビットを"1"にセットしてください。 "0"の書き込みは無効です。

## 31. パラレルセクタ (PSEL)

### 31.3.6 PSEL ステータスレジスタ (PSLSTATUS)

PSLSTATUS レジスタは、PSEL が動作中かどうかを判定するレジスタです。PSLCTRL レジスタの ENB ビットが動作許可状態の設定で起動イベントを受け付けたとき、STATUS ビットは"1"になります。ENB ビットが動作禁止状態の設定または終了イベントを受け取ると、STATUS ビットは"0"になります。

PSELステータスレジスタ (PSLSTATUS)

<P4領域アドレス : H'FFFF 3006番地>

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	STATUS
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~1	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
0	STATUS	0	R	N	モニタビット 0 : PSEL は停止中 1 : PSEL は動作中 (出力開始までの遅延中も含む)

### 31.3.7 PSEL クロック A 遅延レジスタ (PSLDLYA)

PSLDLYA レジスタは、起動イベントから PSLCLKA 出力およびチャネルデータの出力開始までの遅延時間を設定するレジスタです。

PSELクロックA遅延レジスタ (PSLDLYA)

<P4領域アドレス : H'FFFF 3008番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DLYA																
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

<リセット後の値 : H'0001>

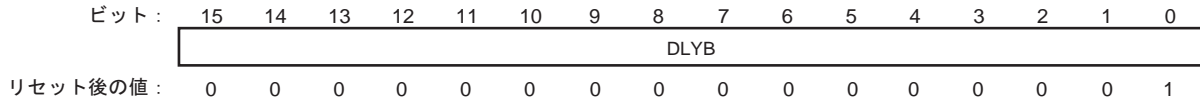
ビット	シンボル	リセット後の値	R	W	説明
15~0	DLYA	H'0001	R	W	PSLCLKA 遅延時間設定ビット 起動イベントを受け付けてから PSLCLKA およびチャネルデータを出力するまでの遅延時間を設定します。このビットには"H'0000"を設定しないでください。 遅延時間は $1Pck \times DLYA$ で算出されます。分周比に左右されないことにご注意ください。

### 31.3.8 PSEL クロック B 遅延レジスタ (PSLDLYB)

PSLDLYB レジスタは、起動イベントから PSLCLKB 出力の出力開始までの遅延時間を設定するレジスタです。

PSELクロックB遅延レジスタ (PSLDLYB)

<P4領域アドレス : H'FFFF 300A番地>



<リセット後の値 : H'0001>

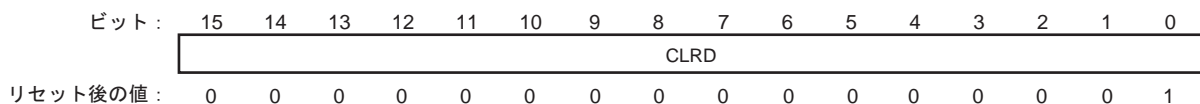
ビット	シンボル	リセット後の値	R	W	説明
15~0	DLYB	H'0001	R	W	PSLCLKB 遅延時間設定ビット 起動イベントを受け付けてから PSLCLKB を出力するまでの遅延時間を設定します。このビットには"H'0000"を設定しないでください。 遅延時間は $1Pck \times DLYB$ で算出されます。分周比に左右されないことにご注意ください。

### 31.3.9 PSEL クリア遅延期間レジスタ (PSLCLRD)

PSLCLRD レジスタは、起動イベントから PSLCLR 信号の有効期間までの遅延時間を設定するレジスタです。

PSELクリア遅延期間レジスタ (PSLCLRD)

<P4領域アドレス : H'FFFF 300C番地>



<リセット後の値 : H'0001>

ビット	シンボル	リセット後の値	R	W	説明
15~0	CLRD	H'0001	R	W	PSLCLR 遅延時間設定ビット 起動イベントを受け付けてから PSLCLR 信号の有効期間までの遅延時間を設定します。このビットには"H'0000"を設定しないでください。 遅延時間は $1Pck \times CLRD$ で算出されます。分周比に左右されないことにご注意ください。

## 31. パラレルセレクト (PSEL)

### 31.3.10 PSEL クリア制御レジスタ (PSLCLRC)

PSLCLRC レジスタは、PSLCLR 信号の有効期間、単発/連続制御、連続時における周期を設定するレジスタです。PSLCLR 信号の単発動作とは、起動イベント受付・遅延待ち後、一度だけ指定した PSLCLR 信号 (パルス波形) を出力します。連続動作とは、起動イベントを受付・遅延待ち後、動作禁止状態 (PSLCTRL レジスタの ENB ビットが "0") にするか、終了イベントが来るまで信号出力を繰り返します。詳細は「31.4.2 タイミングチャート」を参照してください。

PSLクリア制御レジスタ (PSLCLRC)

<P4領域アドレス : H'FFFF 300E番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOD SEL	—	CYCLE						—	—	—	ACTIVE				
リセット後の値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

<リセット後の値 : H'0101>

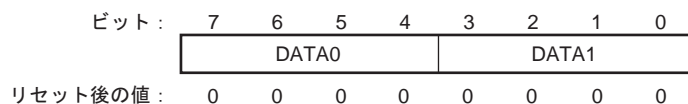
ビット	シンボル	リセット後の値	R	W	説明
15	MODSEL	0	R	W	単発/連続切り替えビット 0 : PSLCLR 信号を単発で出力 1 : PSLCLR 信号を連続周期で出力
14	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
13~8	CYCLE	000001	R	W	連続周期設定ビット PSLCLR 信号を連続出力する際の発生周期を指定します。 "1"~"63"を設定してください。"0"を設定しないでください。 MODSEL ビットが"1"のときは、ACTIVE ビットよりも大きな値を指定してください (CYCLE > ACTIVE 以外の動作は保証されません)。MODSEL ビットが"0"のときは、CYCLE ビットの設定は無視されます。 発生周期は、CYCLE / クロック A 出力周波数で算出されます。出力周波数は、PSLPRE レジスタで設定した分周比に左右されるのでご注意ください。
7~5	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
4~0	ACTIVE	00001	R	W	PSLCLR 有効期間設定ビット 起動イベント受け付け後、PSLCLR 信号の遅延時間が経過してからの PSLCLR 信号の有効期間を設定します。"1"~"31"を設定してください。 "0"を設定した場合の動作は保証されません。 有効期間は、ACTIVE / クロック A 出力周波数で算出されます。出力周波数は、PSLPRE レジスタで設定した分周比に左右されるのでご注意ください。

## 31.3.11 PSEL データバッファ 0・1 レジスタ (PSLDT0001)

PSLDT0001 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ0・1レジスタ (PSLDT0001)

<P4領域アドレス : H'FFFF 3010番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA0	0000	R	W	データバッファ 0 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA1	0000	R	W	データバッファ 1 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15



## 31. パラレルセクタ (PSEL)

### 31.3.12 PSEL データバッファ 2・3 レジスタ (PSLDT0203)

PSLDT0203 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ2・3レジスタ (PSLDT0203)

<P4領域アドレス : H'FFFF 3011番地>

ビット :

7	6	5	4	3	2	1	0
DATA2				DATA3			

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

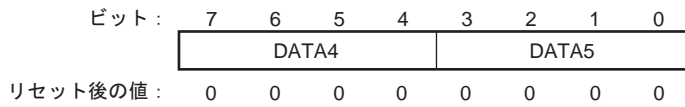
ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA2	0000	R	W	データバッファ 2 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA3	0000	R	W	データバッファ 3 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31.3.13 PSEL データバッファ 4・5 レジスタ (PSLDT0405)

PSLDT0405 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ4・5レジスタ (PSLDT0405)

<P4領域アドレス : H'FFFF 3012番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA4	0000	R	W	データバッファ 4 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA5	0000	R	W	データバッファ 5 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31. パラレルセクタ (PSEL)

### 31.3.14 PSEL データバッファ 6・7 レジスタ (PSLDT0607)

PSLDT0607 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ6・7レジスタ (PSLDT0607)

<P4領域アドレス : H'FFFF 3013番地>

ビット :

7	6	5	4	3	2	1	0
DATA6				DATA7			

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

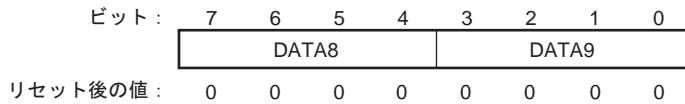
ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA6	0000	R	W	データバッファ 6 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA7	0000	R	W	データバッファ 7 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31.3.15 PSEL データバッファ 8・9 レジスタ (PSLDT0809)

PSLDT0809 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ8・9レジスタ (PSLDT0809)

<P4領域アドレス : H'FFFF 3014番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA8	0000	R	W	データバッファ 8 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA9	0000	R	W	データバッファ 9 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31. パラレルセクタ (PSEL)

### 31.3.16 PSEL データバッファ 10・11 レジスタ (PSLDT1011)

PSLDT1011 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ10・11レジスタ (PSLDT1011)

<P4領域アドレス : H'FFFF 3015番地>

ビット:

7	6	5	4	3	2	1	0
DATA10				DATA11			

リセット後の値:

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

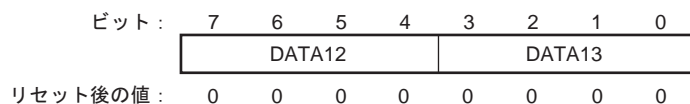
ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA10	0000	R	W	データバッファ 10 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA11	0000	R	W	データバッファ 11 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31.3.17 PSEL データバッファ 12・13 レジスタ (PSLDT1213)

PSLDT1213 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ12・13レジスタ (PSLDT1213)

<P4領域アドレス : H'FFFF 3016番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA12	0000	R	W	データバッファ 12 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA13	0000	R	W	データバッファ 13 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31. パラレルセクタ (PSEL)

### 31.3.18 PSEL データバッファ 14・15 レジスタ (PSLDT1415)

PSLDT1415 レジスタは、出力するチャンネルデータの値を設定するレジスタです。

PSELデータバッファ14・15レジスタ (PSLDT1415)

<P4領域アドレス : H'FFFF 3017番地>

ビット:

7	6	5	4	3	2	1	0
DATA14				DATA15			

リセット後の値:

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	DATA14	0000	R	W	データバッファ 14 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15
3~0	DATA15	0000	R	W	データバッファ 15 出力するチャンネルデータ値を指定してください。 0000 : 0 0001 : 1 0010 : 2 : 1101 : 13 1110 : 14 1111 : 15

## 31.3.19 PSEL データ初期値レジスタ (PSLINIT)

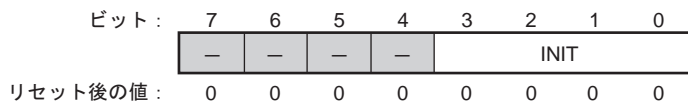
PSLINIT レジスタは、PSEL 起動前の状態に出力されるセレクトデータの初期値を設定するレジスタです。PSEL を動作可能状態にしてから起動イベントを受け付けるまでの期間、この値がチャンネルデータ値として選択されます。PSEL 起動後、PSLCTRL レジスタの END ビットで選択された終了イベント発生時も INIT ビットで設定された初期値がセレクトデータ出力端子から出力されます。

INIT ビットの値がモジュール出力に反映されるタイミングは以下のとおりです。

- 出力動作期間中以外のPSLINITレジスタへのライトアクセス
- 起動トリガ受け付け
- 終了トリガ受け付け
- PSEL動作中、PSLCTRLレジスタのENBビットに"0"（動作禁止状態）をライトしたとき

PSELデータ初期値レジスタ (PSLINIT)

<P4領域アドレス : H'FFFF 3018番地>



<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込み時も常に"0"にしてください。
3~0	INIT	0000	R	W	セレクトデータ初期値指定ビット 出力するセレクトデータの初期値を指定してください (0~15)。



## 31.4 動作説明

## 31.4.1 概要

PSEL は、起動イベントにより動作を開始、イネーブルの無効か終了イベントが来るまでの間、選択したチャンネルデータを出し続けます（チャンネルデータの内容については、データバッファ 0~15 レジスタで設定した値を順次出力）。

PSLCLKA 端子と PSLDATA3~PSLDATA0 端子は、起動イベントからの PSLCLKA 出力およびチャンネルデータ出力開始までの遅延時間を PSEL クロック A 遅延レジスタ (PSLDLYA) で制御します。

PSLCLKB 端子は、起動イベントからの PSLCLKB 出力開始までの遅延時間を PSEL クロック B 遅延レジスタ (PSLDLYB) で制御します。PSLCLR 端子は、起動イベントからの遅延時間を PSEL クリア遅延期間レジスタ (PSLCLRD)、有効期間・単発/連続制御・連続時の発生周期を PSEL クリア制御レジスタ (PSLCLRC) で制御します。

出力中に再度起動イベントが来た場合、出力中のチャンネルデータはリセットされて 0 から出力を再開します（クロックの分周位置も初期化されます）。また、アサート中のクリア信号はすぐにネゲートし、クリア遅延期間レジスタ (PSLCLRD) で設定した遅延時間後に再アサートされます。なお、起動イベントまたは PSLCTRL レジスタの ENB ビットの動作許可設定と終了イベントが同時に来た場合、終了イベントが優先されます（PSEL は動作しません）。

図 31.3 に PSEL の動作概要を示します。

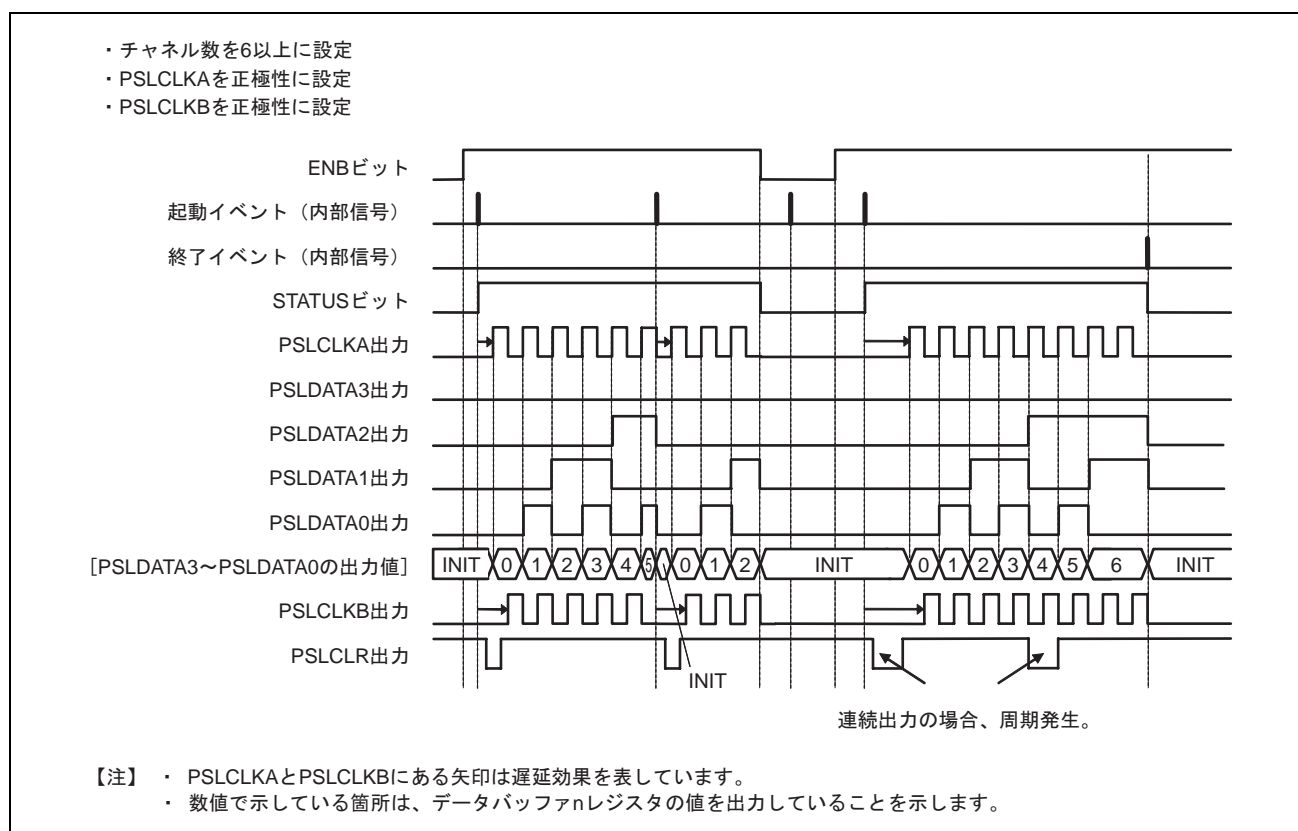


図 31.3 PSEL の動作概要

## 31.4.2 タイミングチャート

図 31.4 に PSEL データ出力タイミングを示します。

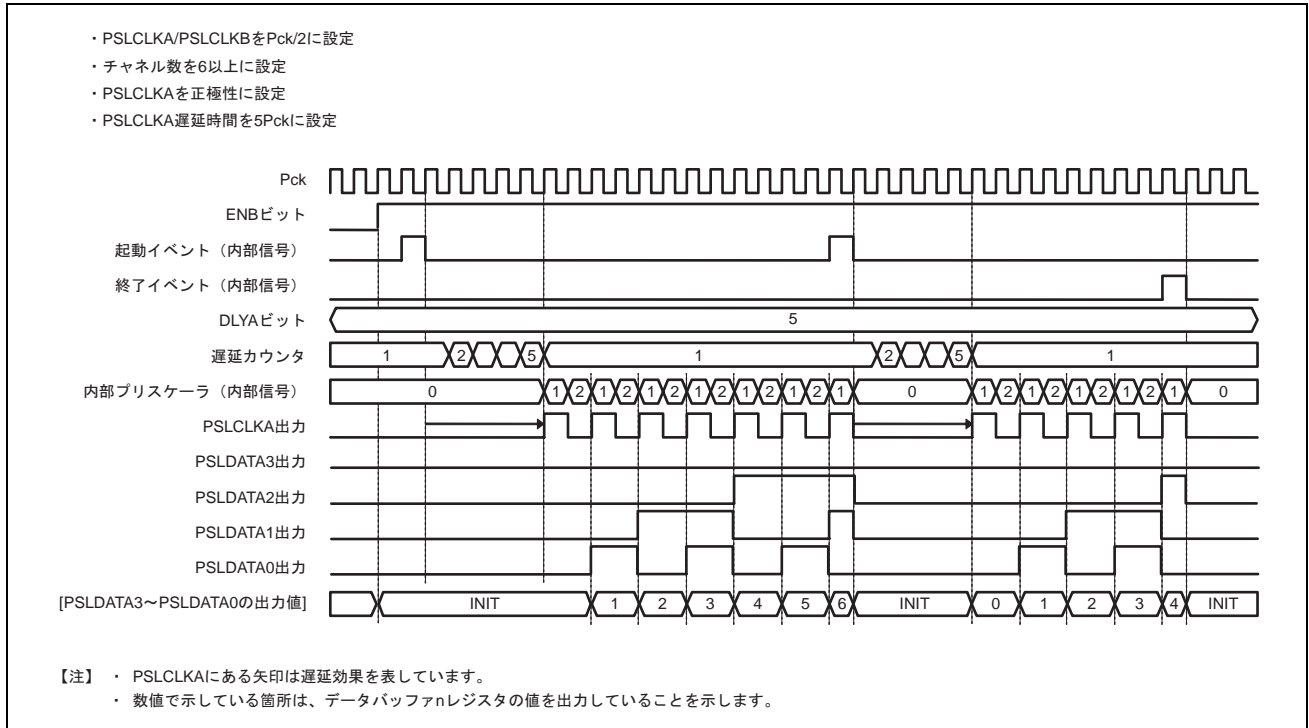


図 31.4 PSEL データ出力タイミング

### 31. パラレルセレクト (PSEL)

図 31.5 に PSLCLR 信号出力タイミングを示します。

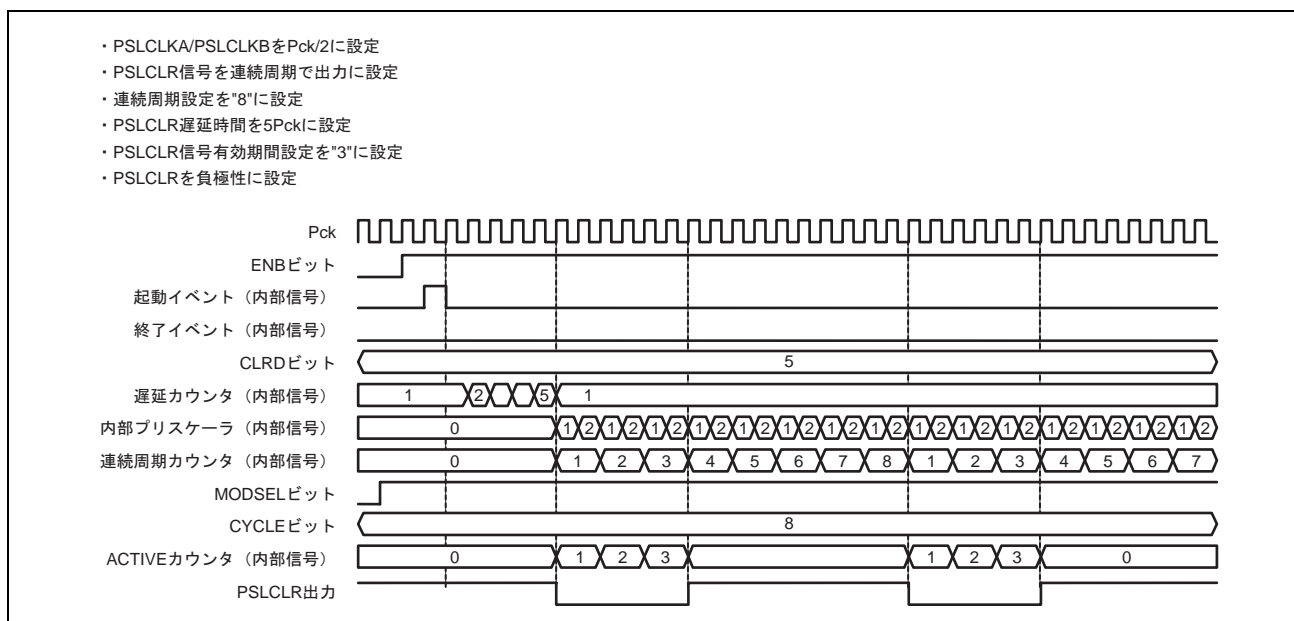


図 31.5 PSLCLR 信号出力タイミング

## 31.5 使用上の注意事項

### 31.5.1 PSEL 使用前のモジュールストップ機能の設定について

PSEL を使用するには、PSEL 関連レジスタを設定する前に、モジュールストップレジスタ 0 (MSTPCR0) の PDAC ビットの値を"0"にして"PDAC および PSEL は動作"に設定してください。PDAC ビットの値を"0"にしない場合、PSEL モジュールへのクロック供給が停止するため、PSEL 関連レジスタを設定しても PSEL は動作しません。

### 31.5.2 PSEL 動作中のレジスタアクセスについての注意

PSEL 動作中 (PSLSTATUS レジスタの STATUS ビットが"1") では以下のレジスタアクセスについて制約事項がありますので、ご注意ください。

PSLCTRL レジスタ、PSLTRIG レジスタを除く PSEL のすべてのレジスタは、ライトアクセスが禁止になります。ただし、PSLCTRL レジスタは ENB ビットのみ変更可能です (START ビットと END ビットは前回と同じ値を設定してください)。

レイアウトの都合上、このページは白紙です。

## 32. FlexRay モジュール

### 32.1 概要

SH7455 グループは、FlexRay プロトコル仕様書 2.1 準拠の FlexRay モジュールを 2 チャンネル（チャンネル A 用とチャンネル B 用）内蔵しています。表 32.1 に FlexRay モジュールの概要を示します。

SH7456 グループは、FlexRay モジュールを内蔵していません。FlexRay 関連レジスタ (H'FFBF F000~H'FFBF FFFF) は使用禁止領域です。読み出した場合、不定値が読み出されます。書き込みは行わないでください。

表 32.1 FlexRay モジュールの概要\*<sup>1</sup>

項目	概要
プロトコル	FlexRay Communications System Protocol Specification 2.1 準拠
チャンネル	2 本（チャンネル A 用とチャンネル B 用）
メッセージ RAM	8K バイト • 最大 30 個（ペイロード長：254 バイト）～128 個（ペイロード長：48 バイト以下）の送受信バッファが構成可能
受信 FIFO	0～128 段（送受信バッファとメッセージ RAM を共用）
メッセージフィルタリング	フレーム ID フィルタリング チャンネル ID フィルタリング サイクルカウンタフィルタリング • 送受信バッファで設定可能
NM データ送受信	12 バイトまでフルサポート • NM ベクタの変化により割り込みを発生
タイマ	タイマ 0：絶対値タイマ タイマ 1：相対値タイマ ストップウォッチタイマ：サイクルカウンタ値と MT カウンタ値のキャプチャ • Macrotick 精度でタイマ値を設定可能
動作クロック* <sup>2</sup>	• 周辺 A クロック（PAck） プロトコルコントローラ以外の部分で使用 • FlexRay クロック（FRck） プロトコルコントローラで使用
ビットレート	$\text{ビットレート} = \frac{1}{\text{サンプルクロック周期} \times 8}$ サンプルクロック周期：FRPRTC1 レジスタの BRP0 ビットの設定値に依存し、FRck の 1～2 分周
強制リセット	強制的に FlexRay モジュールをリセット

## 32. FlexRay モジュール

【注】 \*1 FlexRay は Daimler AG の日本およびその他の国における登録商標または商標です。

\*2 クロックの設定は DEFAULT\_CONFIG 状態で実施してください。

図 32.1 に FlexRay モジュールのブロック図を示します。

メッセージ RAM は、CPU から直接アクセスできません。アクセスする場合は、入力バッファ (IBF) または出力バッファ (OBF) を通じてアクセスします。

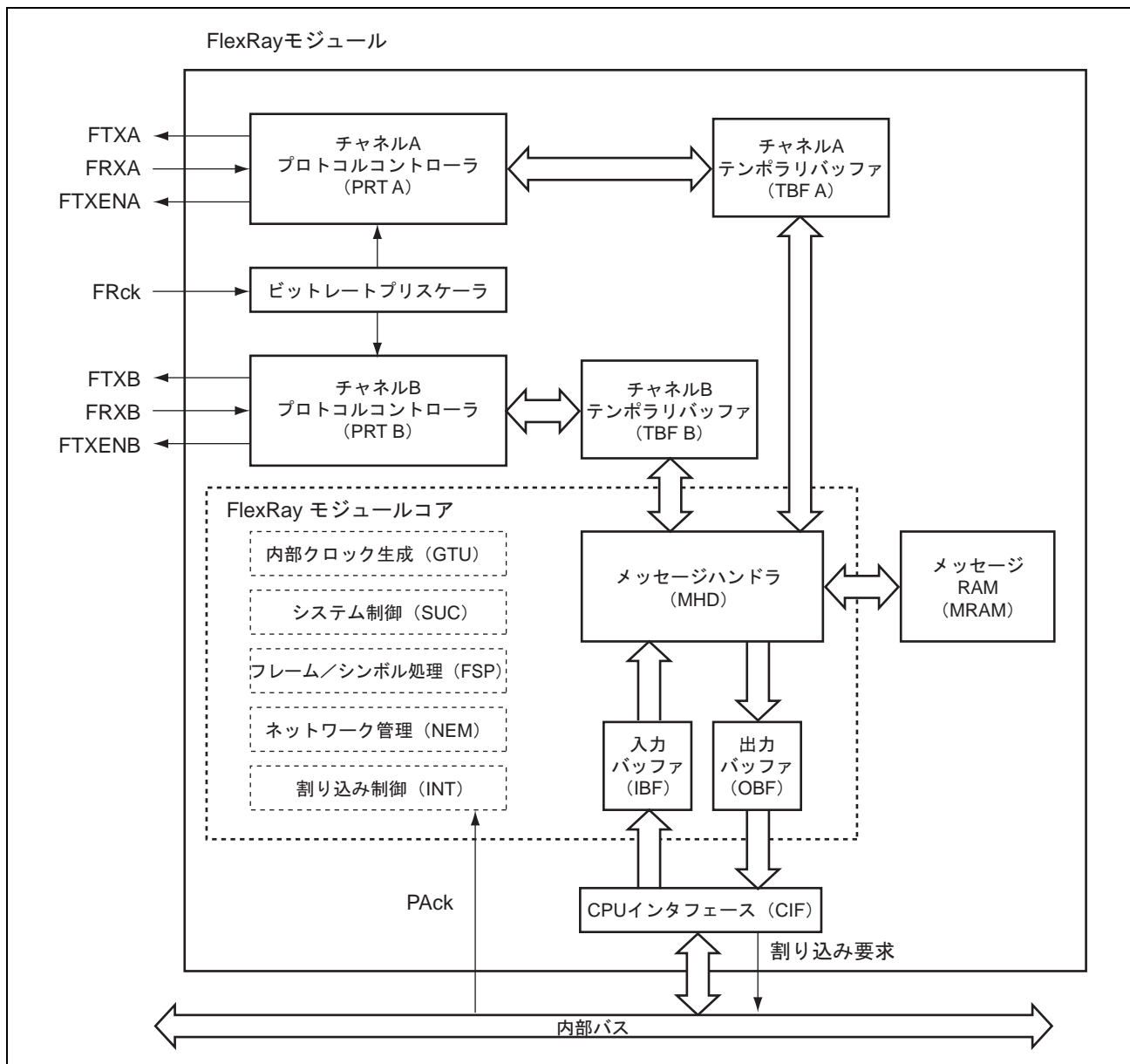


図 32.1 FlexRay モジュールブロック図

表 32.2 に FlexRay モジュールの端子の説明を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。

表 32.2 端子構成

端子名	機能
FRXA	チャンネル A 受信データ入力端子
FTXA	チャンネル A 送信データ出力端子
FTXENA	チャンネル A 送信データ許可端子 "H": 送信禁止 "L": 送信許可
FRXB	チャンネル B 受信データ入力端子
FTXB	チャンネル B 送信データ出力端子
FTXENB	チャンネル B 送信データ許可端子 "H": 送信禁止 "L": 送信許可



## 32.2 レジスタの説明

表 32.3 に FlexRay モジュールのレジスタ構成を示します。

なお、SH7456 グループは、FlexRay モジュールを内蔵していません。FlexRay 関連レジスタ（H'FFBF F000～H'FFBF FFFF）は使用禁止領域です。読み出した場合、不定値が読み出されます。書き込みは行わないでください。

表 32.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
FlexRay 動作制御レジスタ	FXROC	H'04	H'FFBF F004	8	32-12
FlexRay タイマ割り込み要求ステータスレジスタ	FXRTISR	H'00	H'FFBF F00C	8	32-55
FlexRay タイマ割り込み許可レジスタ	FXRTIER	H'00	H'FFBF F00D	8	32-56
FlexRay ロックレジスタ	FRLCK	H'00	H'FFBF F01F	8	32-15
FlexRay エラー割り込みレジスタ	FREIR	H'0000 0000	H'FFBF F020	32	32-17
FlexRay ステータス割り込みレジスタ	FRSIR	H'0000 0000	H'FFBF F024	32	32-21
FlexRay エラー割り込み出力選択レジスタ	FREILS	H'0000 0000	H'FFBF F028	32	32-25
FlexRay ステータス割り込み出力選択レジスタ	FRSILS	H'0303 FFFF	H'FFBF F02C	32	32-27
FlexRay エラー割り込み許可レジスタ	FREIES	H'0000 0000	H'FFBF F030	32	32-30
FlexRay エラー割り込み禁止レジスタ	FREIER	H'0000 0000	H'FFBF F034	32	32-34
FlexRay ステータス割り込み許可レジスタ	FRSIES	H'0000 0000	H'FFBF F038	32	32-39
FlexRay ステータス割り込み禁止レジスタ	FRSIER	H'0000 0000	H'FFBF F03C	32	32-44
FlexRay 割り込み出力許可レジスタ	FRILE	H'00	H'FFBF F043	8	32-49
FlexRay タイマ 0 設定レジスタ	FRT0C	H'0000 0000	H'FFBF F044	32	32-50
FlexRay タイマ 1 設定レジスタ	FRT1C	H'0002 0000	H'FFBF F048	32	32-51
FlexRay ストップウォッチレジスタ 1	FRSTPW1	H'0000 0000	H'FFBF F04C	32	32-52
FlexRay ストップウォッチレジスタ 2	FRSTPW2	H'0000 0000	H'FFBF F050	32	32-54
FlexRay SUC 設定レジスタ 1	FRSUCC1	H'0C40 1080	H'FFBF F080	32	32-57
FlexRay SUC 設定レジスタ 2	FRSUCC2	H'0100 0504	H'FFBF F084	32	32-63
FlexRay SUC 設定レジスタ 3	FRSUCC3	H'11	H'FFBF F08B	8	32-64
FlexRay NEM 設定レジスタ	FRNEMC	H'00	H'FFBF F08F	8	32-65
FlexRay PRT 設定レジスタ 1	FRPRTC1	H'084C 0633	H'FFBF F090	32	32-66
FlexRay PRT 設定レジスタ 2	FRPRTC2	H'0F2D 0A0E	H'FFBF F094	32	32-68
FlexRay MHD 設定レジスタ	FRMHDC	H'0000 0000	H'FFBF F098	32	32-69
FlexRay GTU 設定レジスタ 1	FRGTUC1	H'0000 0280	H'FFBF F0A0	32	32-70
FlexRay GTU 設定レジスタ 2	FRGTUC2	H'0002 000A	H'FFBF F0A4	32	32-71
FlexRay GTU 設定レジスタ 3	FRGTUC3	H'0202 0000	H'FFBF F0A8	32	32-72
FlexRay GTU 設定レジスタ 4	FRGTUC4	H'0008 0007	H'FFBF F0AC	32	32-73
FlexRay GTU 設定レジスタ 5	FRGTUC5	H'0E00 0000	H'FFBF F0B0	32	32-74

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
FlexRay GTU 設定レジスタ 6	FRGTUC6	H'0002 0000	H'FFBF F0B4	32	32-75
FlexRay GTU 設定レジスタ 7	FRGTUC7	H'0002 0004	H'FFBF F0B8	32	32-76
FlexRay GTU 設定レジスタ 8	FRGTUC8	H'0000 0002	H'FFBF F0BC	32	32-77
FlexRay GTU 設定レジスタ 9	FRGTUC9	H'0000 0101	H'FFBF F0C0	32	32-78
FlexRay GTU 設定レジスタ 10	FRGTUC10	H'0002 0005	H'FFBF F0C4	32	32-79
FlexRay GTU 設定レジスタ 11	FRGTUC11	H'0000 0000	H'FFBF F0C8	32	32-80
FlexRay CC ステータスペクタレジスタ	FRCCSV	不定	H'FFBF F100	32	32-81
FlexRay CC エラーベクタレジスタ	FRCCVEV	H'0000	H'FFBF F106	16	32-85
FlexRay スロットカウンタ値レジスタ	FRSCV	H'0000 0000	H'FFBF F110	32	32-86
FlexRay MT 値/サイクルカウンタ値レジスタ	FRMTCCV	H'0000 0000	H'FFBF F114	32	32-87
FlexRay レート補正值レジスタ	FRRCV	H'0000	H'FFBF F11A	16	32-88
FlexRay オフセット補正值レジスタ	FROCV	H'0000 0000	H'FFBF F11C	32	32-88
FlexRay Sync フレームステータスレジスタ	FRSFS	H'0000 0000	H'FFBF F120	32	32-89
FlexRay シンボルウィンドウ/NIT ステータスレジスタ	FRSWNIT	H'0000	H'FFBF F126	16	32-90
FlexRay チャネルステータス集計レジスタ	FRACS	H'0000	H'FFBF F12A	16	32-92
FlexRay 偶数 Sync ID レジスタ 1	FRESID1	H'0000	H'FFBF F132	16	32-95
FlexRay 偶数 Sync ID レジスタ 2	FRESID2	H'0000	H'FFBF F136	16	32-95
FlexRay 偶数 Sync ID レジスタ 3	FRESID3	H'0000	H'FFBF F13A	16	32-95
FlexRay 偶数 Sync ID レジスタ 4	FRESID4	H'0000	H'FFBF F13E	16	32-95
FlexRay 偶数 Sync ID レジスタ 5	FRESID5	H'0000	H'FFBF F142	16	32-95
FlexRay 偶数 Sync ID レジスタ 6	FRESID6	H'0000	H'FFBF F146	16	32-95
FlexRay 偶数 Sync ID レジスタ 7	FRESID7	H'0000	H'FFBF F14A	16	32-95
FlexRay 偶数 Sync ID レジスタ 8	FRESID8	H'0000	H'FFBF F14E	16	32-95
FlexRay 偶数 Sync ID レジスタ 9	FRESID9	H'0000	H'FFBF F152	16	32-95
FlexRay 偶数 Sync ID レジスタ 10	FRESID10	H'0000	H'FFBF F156	16	32-95
FlexRay 偶数 Sync ID レジスタ 11	FRESID11	H'0000	H'FFBF F15A	16	32-95
FlexRay 偶数 Sync ID レジスタ 12	FRESID12	H'0000	H'FFBF F15E	16	32-95
FlexRay 偶数 Sync ID レジスタ 13	FRESID13	H'0000	H'FFBF F162	16	32-95
FlexRay 偶数 Sync ID レジスタ 14	FRESID14	H'0000	H'FFBF F166	16	32-95
FlexRay 偶数 Sync ID レジスタ 15	FRESID15	H'0000	H'FFBF F16A	16	32-95
FlexRay 奇数 Sync ID レジスタ 1	FROSID1	H'0000	H'FFBF F172	16	32-96
FlexRay 奇数 Sync ID レジスタ 2	FROSID2	H'0000	H'FFBF F176	16	32-96
FlexRay 奇数 Sync ID レジスタ 3	FROSID3	H'0000	H'FFBF F17A	16	32-96
FlexRay 奇数 Sync ID レジスタ 4	FROSID4	H'0000	H'FFBF F17E	16	32-96
FlexRay 奇数 Sync ID レジスタ 5	FROSID5	H'0000	H'FFBF F182	16	32-96
FlexRay 奇数 Sync ID レジスタ 6	FROSID6	H'0000	H'FFBF F186	16	32-96

## 32. FlexRay モジュール

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
FlexRay 奇数 Sync ID レジスタ 7	FROSID7	H'0000	H'FFBF F18A	16	32-96
FlexRay 奇数 Sync ID レジスタ 8	FROSID8	H'0000	H'FFBF F18E	16	32-96
FlexRay 奇数 Sync ID レジスタ 9	FROSID9	H'0000	H'FFBF F192	16	32-96
FlexRay 奇数 Sync ID レジスタ 10	FROSID10	H'0000	H'FFBF F196	16	32-96
FlexRay 奇数 Sync ID レジスタ 11	FROSID11	H'0000	H'FFBF F19A	16	32-96
FlexRay 奇数 Sync ID レジスタ 12	FROSID12	H'0000	H'FFBF F19E	16	32-96
FlexRay 奇数 Sync ID レジスタ 13	FROSID13	H'0000	H'FFBF F1A2	16	32-96
FlexRay 奇数 Sync ID レジスタ 14	FROSID14	H'0000	H'FFBF F1A6	16	32-96
FlexRay 奇数 Sync ID レジスタ 15	FROSID15	H'0000	H'FFBF F1AA	16	32-96
FlexRay ネットワーク管理ベクタレジスタ 1	FRNMV1	H'0000 0000	H'FFBF F1B0	32	32-97
FlexRay ネットワーク管理ベクタレジスタ 2	FRNMV2	H'0000 0000	H'FFBF F1B4	32	32-97
FlexRay ネットワーク管理ベクタレジスタ 3	FRNMV3	H'0000 0000	H'FFBF F1B8	32	32-97
FlexRay メッセージ RAM 設定レジスタ	FRMRC	H'0180 0000	H'FFBF F300	32	32-99
FlexRay FIFO リジェクションフィルタレジスタ	FRFRF	H'0180 0000	H'FFBF F304	32	32-102
FlexRay FIFO リジェクションフィルタマスクレジスタ	FRFRFM	H'0000	H'FFBF F30A	16	32-103
FlexRay FIFO クリティカルレベルレジスタ	FRFCL	H'80	H'FFBF F30F	8	32-104
FlexRay メッセージハンドラステータスレジスタ	FRMHDS	H'0000 0080	H'FFBF F310	32	32-105
FlexRay 最終ダイナミック送信スロットレジスタ	FRLDTS	H'0000 0000	H'FFBF F314	32	32-107
FlexRay FIFO ステータスレジスタ	FRFSR	H'0000	H'FFBF F31A	16	32-108
FlexRay メッセージハンドラ制限フラグレジスタ	FRMHDF	H'0000	H'FFBF F31E	16	32-109
FlexRay 送信要求レジスタ 1	FRTXRQ1	H'0000 0000	H'FFBF F320	32	32-111
FlexRay 送信要求レジスタ 2	FRTXRQ2	H'0000 0000	H'FFBF F324	32	32-112
FlexRay 送信要求レジスタ 3	FRTXRQ3	H'0000 0000	H'FFBF F328	32	32-113
FlexRay 送信要求レジスタ 4	FRTXRQ4	H'0000 0000	H'FFBF F32C	32	32-114
FlexRay 新データレジスタ 1	FRNDAT1	H'0000 0000	H'FFBF F330	32	32-115
FlexRay 新データレジスタ 2	FRNDAT2	H'0000 0000	H'FFBF F334	32	32-116
FlexRay 新データレジスタ 3	FRNDAT3	H'0000 0000	H'FFBF F338	32	32-117
FlexRay 新データレジスタ 4	FRNDAT4	H'0000 0000	H'FFBF F33C	32	32-118
FlexRay メッセージバッファステータス変化レジスタ 1	FRMBSC1	H'0000 0000	H'FFBF F340	32	32-119
FlexRay メッセージバッファステータス変化レジスタ 2	FRMBSC2	H'0000 0000	H'FFBF F344	32	32-120
FlexRay メッセージバッファステータス変化レジスタ 3	FRMBSC3	H'0000 0000	H'FFBF F348	32	32-121
FlexRay メッセージバッファステータス変化レジスタ 4	FRMBSC4	H'0000 0000	H'FFBF F34C	32	32-122
FlexRay データセクションライトレジスタ 1	FRWRDS1	H'0000 0000	H'FFBF F400	32	32-124
FlexRay データセクションライトレジスタ 2	FRWRDS2	H'0000 0000	H'FFBF F404	32	32-124
FlexRay データセクションライトレジスタ 3	FRWRDS3	H'0000 0000	H'FFBF F408	32	32-124
FlexRay データセクションライトレジスタ 4	FRWRDS4	H'0000 0000	H'FFBF F40C	32	32-124

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
FlexRay データセクションライトレジスタ 5	FRWRDS5	H'0000 0000	H'FFBF F410	32	32-124
FlexRay データセクションライトレジスタ 6	FRWRDS6	H'0000 0000	H'FFBF F414	32	32-124
FlexRay データセクションライトレジスタ 7	FRWRDS7	H'0000 0000	H'FFBF F418	32	32-124
FlexRay データセクションライトレジスタ 8	FRWRDS8	H'0000 0000	H'FFBF F41C	32	32-124
FlexRay データセクションライトレジスタ 9	FRWRDS9	H'0000 0000	H'FFBF F420	32	32-124
FlexRay データセクションライトレジスタ 10	FRWRDS10	H'0000 0000	H'FFBF F424	32	32-124
FlexRay データセクションライトレジスタ 11	FRWRDS11	H'0000 0000	H'FFBF F428	32	32-124
FlexRay データセクションライトレジスタ 12	FRWRDS12	H'0000 0000	H'FFBF F42C	32	32-124
FlexRay データセクションライトレジスタ 13	FRWRDS13	H'0000 0000	H'FFBF F430	32	32-124
FlexRay データセクションライトレジスタ 14	FRWRDS14	H'0000 0000	H'FFBF F434	32	32-124
FlexRay データセクションライトレジスタ 15	FRWRDS15	H'0000 0000	H'FFBF F438	32	32-124
FlexRay データセクションライトレジスタ 16	FRWRDS16	H'0000 0000	H'FFBF F43C	32	32-124
FlexRay データセクションライトレジスタ 17	FRWRDS17	H'0000 0000	H'FFBF F440	32	32-124
FlexRay データセクションライトレジスタ 18	FRWRDS18	H'0000 0000	H'FFBF F444	32	32-124
FlexRay データセクションライトレジスタ 19	FRWRDS19	H'0000 0000	H'FFBF F448	32	32-124
FlexRay データセクションライトレジスタ 20	FRWRDS20	H'0000 0000	H'FFBF F44C	32	32-124
FlexRay データセクションライトレジスタ 21	FRWRDS21	H'0000 0000	H'FFBF F450	32	32-124
FlexRay データセクションライトレジスタ 22	FRWRDS22	H'0000 0000	H'FFBF F454	32	32-124
FlexRay データセクションライトレジスタ 23	FRWRDS23	H'0000 0000	H'FFBF F458	32	32-124
FlexRay データセクションライトレジスタ 24	FRWRDS24	H'0000 0000	H'FFBF F45C	32	32-124
FlexRay データセクションライトレジスタ 25	FRWRDS25	H'0000 0000	H'FFBF F460	32	32-124
FlexRay データセクションライトレジスタ 26	FRWRDS26	H'0000 0000	H'FFBF F464	32	32-124
FlexRay データセクションライトレジスタ 27	FRWRDS27	H'0000 0000	H'FFBF F468	32	32-124
FlexRay データセクションライトレジスタ 28	FRWRDS28	H'0000 0000	H'FFBF F46C	32	32-124
FlexRay データセクションライトレジスタ 29	FRWRDS29	H'0000 0000	H'FFBF F470	32	32-124
FlexRay データセクションライトレジスタ 30	FRWRDS30	H'0000 0000	H'FFBF F474	32	32-124
FlexRay データセクションライトレジスタ 31	FRWRDS31	H'0000 0000	H'FFBF F478	32	32-124
FlexRay データセクションライトレジスタ 32	FRWRDS32	H'0000 0000	H'FFBF F47C	32	32-124
FlexRay データセクションライトレジスタ 33	FRWRDS33	H'0000 0000	H'FFBF F480	32	32-124
FlexRay データセクションライトレジスタ 34	FRWRDS34	H'0000 0000	H'FFBF F484	32	32-124
FlexRay データセクションライトレジスタ 35	FRWRDS35	H'0000 0000	H'FFBF F488	32	32-124
FlexRay データセクションライトレジスタ 36	FRWRDS36	H'0000 0000	H'FFBF F48C	32	32-124
FlexRay データセクションライトレジスタ 37	FRWRDS37	H'0000 0000	H'FFBF F490	32	32-124
FlexRay データセクションライトレジスタ 38	FRWRDS38	H'0000 0000	H'FFBF F494	32	32-124
FlexRay データセクションライトレジスタ 39	FRWRDS39	H'0000 0000	H'FFBF F498	32	32-124
FlexRay データセクションライトレジスタ 40	FRWRDS40	H'0000 0000	H'FFBF F49C	32	32-124

## 32. FlexRay モジュール

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
FlexRay データセクションライトレジスタ 41	FRWRDS41	H'0000 0000	H'FFBF F4A0	32	32-124
FlexRay データセクションライトレジスタ 42	FRWRDS42	H'0000 0000	H'FFBF F4A4	32	32-124
FlexRay データセクションライトレジスタ 43	FRWRDS43	H'0000 0000	H'FFBF F4A8	32	32-124
FlexRay データセクションライトレジスタ 44	FRWRDS44	H'0000 0000	H'FFBF F4AC	32	32-124
FlexRay データセクションライトレジスタ 45	FRWRDS45	H'0000 0000	H'FFBF F4B0	32	32-124
FlexRay データセクションライトレジスタ 46	FRWRDS46	H'0000 0000	H'FFBF F4B4	32	32-124
FlexRay データセクションライトレジスタ 47	FRWRDS47	H'0000 0000	H'FFBF F4B8	32	32-124
FlexRay データセクションライトレジスタ 48	FRWRDS48	H'0000 0000	H'FFBF F4BC	32	32-124
FlexRay データセクションライトレジスタ 49	FRWRDS49	H'0000 0000	H'FFBF F4C0	32	32-124
FlexRay データセクションライトレジスタ 50	FRWRDS50	H'0000 0000	H'FFBF F4C4	32	32-124
FlexRay データセクションライトレジスタ 51	FRWRDS51	H'0000 0000	H'FFBF F4C8	32	32-124
FlexRay データセクションライトレジスタ 52	FRWRDS52	H'0000 0000	H'FFBF F4CC	32	32-124
FlexRay データセクションライトレジスタ 53	FRWRDS53	H'0000 0000	H'FFBF F4D0	32	32-124
FlexRay データセクションライトレジスタ 54	FRWRDS54	H'0000 0000	H'FFBF F4D4	32	32-124
FlexRay データセクションライトレジスタ 55	FRWRDS55	H'0000 0000	H'FFBF F4D8	32	32-124
FlexRay データセクションライトレジスタ 56	FRWRDS56	H'0000 0000	H'FFBF F4DC	32	32-124
FlexRay データセクションライトレジスタ 57	FRWRDS57	H'0000 0000	H'FFBF F4E0	32	32-124
FlexRay データセクションライトレジスタ 58	FRWRDS58	H'0000 0000	H'FFBF F4E4	32	32-124
FlexRay データセクションライトレジスタ 59	FRWRDS59	H'0000 0000	H'FFBF F4E8	32	32-124
FlexRay データセクションライトレジスタ 60	FRWRDS60	H'0000 0000	H'FFBF F4EC	32	32-124
FlexRay データセクションライトレジスタ 61	FRWRDS61	H'0000 0000	H'FFBF F4F0	32	32-124
FlexRay データセクションライトレジスタ 62	FRWRDS62	H'0000 0000	H'FFBF F4F4	32	32-124
FlexRay データセクションライトレジスタ 63	FRWRDS63	H'0000 0000	H'FFBF F4F8	32	32-124
FlexRay データセクションライトレジスタ 64	FRWRDS64	H'0000 0000	H'FFBF F4FC	32	32-124
FlexRay ヘッダセクションライトレジスタ 1	FRWRHS1	H'0000 0000	H'FFBF F500	32	32-125
FlexRay ヘッダセクションライトレジスタ 2	FRWRHS2	H'0000 0000	H'FFBF F504	32	32-127
FlexRay ヘッダセクションライトレジスタ 3	FRWRHS3	H'0000	H'FFBF F50A	16	32-128
FlexRay 入力バッファコマンドマスクレジスタ	FRIBCM	H'0000 0000	H'FFBF F510	32	32-128
FlexRay 入力バッファコマンド要求レジスタ	FRIBCR	H'0000 0000	H'FFBF F514	32	32-130
FlexRay データセクションリードレジスタ 1	FRRDDS1	H'0000 0000	H'FFBF F600	32	32-132
FlexRay データセクションリードレジスタ 2	FRRDDS2	H'0000 0000	H'FFBF F604	32	32-132
FlexRay データセクションリードレジスタ 3	FRRDDS3	H'0000 0000	H'FFBF F608	32	32-132
FlexRay データセクションリードレジスタ 4	FRRDDS4	H'0000 0000	H'FFBF F60C	32	32-132
FlexRay データセクションリードレジスタ 5	FRRDDS5	H'0000 0000	H'FFBF F610	32	32-132
FlexRay データセクションリードレジスタ 6	FRRDDS6	H'0000 0000	H'FFBF F614	32	32-132
FlexRay データセクションリードレジスタ 7	FRRDDS7	H'0000 0000	H'FFBF F618	32	32-132

レジスタ名	シンボル	リセット後の 値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
FlexRay データセクションリードレジスタ 8	FRRDDS8	H'0000 0000	H'FFBF F61C	32	32-132
FlexRay データセクションリードレジスタ 9	FRRDDS9	H'0000 0000	H'FFBF F620	32	32-132
FlexRay データセクションリードレジスタ 10	FRRDDS10	H'0000 0000	H'FFBF F624	32	32-132
FlexRay データセクションリードレジスタ 11	FRRDDS11	H'0000 0000	H'FFBF F628	32	32-132
FlexRay データセクションリードレジスタ 12	FRRDDS12	H'0000 0000	H'FFBF F62C	32	32-132
FlexRay データセクションリードレジスタ 13	FRRDDS13	H'0000 0000	H'FFBF F630	32	32-132
FlexRay データセクションリードレジスタ 14	FRRDDS14	H'0000 0000	H'FFBF F634	32	32-132
FlexRay データセクションリードレジスタ 15	FRRDDS15	H'0000 0000	H'FFBF F638	32	32-132
FlexRay データセクションリードレジスタ 16	FRRDDS16	H'0000 0000	H'FFBF F63C	32	32-132
FlexRay データセクションリードレジスタ 17	FRRDDS17	H'0000 0000	H'FFBF F640	32	32-132
FlexRay データセクションリードレジスタ 18	FRRDDS18	H'0000 0000	H'FFBF F644	32	32-132
FlexRay データセクションリードレジスタ 19	FRRDDS19	H'0000 0000	H'FFBF F648	32	32-132
FlexRay データセクションリードレジスタ 20	FRRDDS20	H'0000 0000	H'FFBF F64C	32	32-132
FlexRay データセクションリードレジスタ 21	FRRDDS21	H'0000 0000	H'FFBF F650	32	32-132
FlexRay データセクションリードレジスタ 22	FRRDDS22	H'0000 0000	H'FFBF F654	32	32-132
FlexRay データセクションリードレジスタ 23	FRRDDS23	H'0000 0000	H'FFBF F658	32	32-132
FlexRay データセクションリードレジスタ 24	FRRDDS24	H'0000 0000	H'FFBF F65C	32	32-132
FlexRay データセクションリードレジスタ 25	FRRDDS25	H'0000 0000	H'FFBF F660	32	32-132
FlexRay データセクションリードレジスタ 26	FRRDDS26	H'0000 0000	H'FFBF F664	32	32-132
FlexRay データセクションリードレジスタ 27	FRRDDS27	H'0000 0000	H'FFBF F668	32	32-132
FlexRay データセクションリードレジスタ 28	FRRDDS28	H'0000 0000	H'FFBF F66C	32	32-132
FlexRay データセクションリードレジスタ 29	FRRDDS29	H'0000 0000	H'FFBF F670	32	32-132
FlexRay データセクションリードレジスタ 30	FRRDDS30	H'0000 0000	H'FFBF F674	32	32-132
FlexRay データセクションリードレジスタ 31	FRRDDS31	H'0000 0000	H'FFBF F678	32	32-132
FlexRay データセクションリードレジスタ 32	FRRDDS32	H'0000 0000	H'FFBF F67C	32	32-132
FlexRay データセクションリードレジスタ 33	FRRDDS33	H'0000 0000	H'FFBF F680	32	32-132
FlexRay データセクションリードレジスタ 34	FRRDDS34	H'0000 0000	H'FFBF F684	32	32-132
FlexRay データセクションリードレジスタ 35	FRRDDS35	H'0000 0000	H'FFBF F688	32	32-132
FlexRay データセクションリードレジスタ 36	FRRDDS36	H'0000 0000	H'FFBF F68C	32	32-132
FlexRay データセクションリードレジスタ 37	FRRDDS37	H'0000 0000	H'FFBF F690	32	32-132
FlexRay データセクションリードレジスタ 38	FRRDDS38	H'0000 0000	H'FFBF F694	32	32-132
FlexRay データセクションリードレジスタ 39	FRRDDS39	H'0000 0000	H'FFBF F698	32	32-132
FlexRay データセクションリードレジスタ 40	FRRDDS40	H'0000 0000	H'FFBF F69C	32	32-132
FlexRay データセクションリードレジスタ 41	FRRDDS41	H'0000 0000	H'FFBF F6A0	32	32-132
FlexRay データセクションリードレジスタ 42	FRRDDS42	H'0000 0000	H'FFBF F6A4	32	32-132
FlexRay データセクションリードレジスタ 43	FRRDDS43	H'0000 0000	H'FFBF F6A8	32	32-132

## 32. FlexRay モジュール

レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
FlexRay データセクションリードレジスタ 44	FRRDDS44	H'0000 0000	H'FFBF F6AC	32	32-132
FlexRay データセクションリードレジスタ 45	FRRDDS45	H'0000 0000	H'FFBF F6B0	32	32-132
FlexRay データセクションリードレジスタ 46	FRRDDS46	H'0000 0000	H'FFBF F6B4	32	32-132
FlexRay データセクションリードレジスタ 47	FRRDDS47	H'0000 0000	H'FFBF F6B8	32	32-132
FlexRay データセクションリードレジスタ 48	FRRDDS48	H'0000 0000	H'FFBF F6BC	32	32-132
FlexRay データセクションリードレジスタ 49	FRRDDS49	H'0000 0000	H'FFBF F6C0	32	32-132
FlexRay データセクションリードレジスタ 50	FRRDDS50	H'0000 0000	H'FFBF F6C4	32	32-132
FlexRay データセクションリードレジスタ 51	FRRDDS51	H'0000 0000	H'FFBF F6C8	32	32-132
FlexRay データセクションリードレジスタ 52	FRRDDS52	H'0000 0000	H'FFBF F6CC	32	32-132
FlexRay データセクションリードレジスタ 53	FRRDDS53	H'0000 0000	H'FFBF F6D0	32	32-132
FlexRay データセクションリードレジスタ 54	FRRDDS54	H'0000 0000	H'FFBF F6D4	32	32-132
FlexRay データセクションリードレジスタ 55	FRRDDS55	H'0000 0000	H'FFBF F6D8	32	32-132
FlexRay データセクションリードレジスタ 56	FRRDDS56	H'0000 0000	H'FFBF F6DC	32	32-132
FlexRay データセクションリードレジスタ 57	FRRDDS57	H'0000 0000	H'FFBF F6E0	32	32-132
FlexRay データセクションリードレジスタ 58	FRRDDS58	H'0000 0000	H'FFBF F6E4	32	32-132
FlexRay データセクションリードレジスタ 59	FRRDDS59	H'0000 0000	H'FFBF F6E8	32	32-132
FlexRay データセクションリードレジスタ 60	FRRDDS60	H'0000 0000	H'FFBF F6EC	32	32-132
FlexRay データセクションリードレジスタ 61	FRRDDS61	H'0000 0000	H'FFBF F6F0	32	32-132
FlexRay データセクションリードレジスタ 62	FRRDDS62	H'0000 0000	H'FFBF F6F4	32	32-132
FlexRay データセクションリードレジスタ 63	FRRDDS63	H'0000 0000	H'FFBF F6F8	32	32-132
FlexRay データセクションリードレジスタ 64	FRRDDS64	H'0000 0000	H'FFBF F6FC	32	32-132
FlexRay ヘッダセクションリードレジスタ 1	FRRDHS1	H'0000 0000	H'FFBF F700	32	32-134
FlexRay ヘッダセクションリードレジスタ 2	FRRDHS2	H'0000 0000	H'FFBF F704	32	32-135
FlexRay ヘッダセクションリードレジスタ 3	FRRDHS3	H'0000 0000	H'FFBF F708	32	32-136
FlexRay メッセージバッファステータスレジスタ	FRMBS	H'0000 0000	H'FFBF F70C	32	32-138
FlexRay 出力バッファコマンドマスクレジスタ	FROBCM	H'0000 0000	H'FFBF F710	32	32-141
FlexRay 出力バッファコマンド要求レジスタ	FROBCR	H'0000 0000	H'FFBF F714	32	32-142

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 32.3 用語

表 32.4 に本章で使用する略語を示します。

表 32.4 略語一覧

略語	意味	説明
CAS	Collision Avoidance Symbol	衝突回避シンボル
CC	Communication Controller	通信コントローラ
CHI	Controller Host Interface	CPU インタフェース
FSM	Finite State Machine	有限ステートマシン
GTU	Global Time Unit Block	内部クロック生成ブロック
IBF	Input Buffer	入力バッファ
MHD	Message Handler Block	メッセージハンドラ
MT	Macro tick	マクロティック (FlexRay で使用する時間単位の一つ)
$\mu$ T	Micro tick	マイクロティック (FlexRay で使用する時間単位の一つ)
MTS	Media Access Test Symbol	メディアアクセステストシンボル
NCT	Network Communication Time	ネットワークコミュニケーション時間
NEM	Network Management Block	ネットワーク管理ブロック
NIT	Network Idle Time	ネットワークアイドル時間
NM	Network Management	ネットワーク管理
OBF	Output Buffer	出力バッファ
POC	Protocol Operation Control	プロトコル動作制御
PRT	Protocol Controller Block	プロトコルコントローラ
SUC	System Universal Control Block	システムコントローラ
TBF	Transient Buffer	テンポラリバッファ
TDMA	Time Division Multiple Access	時分割多重アクセス
TT-D	Time Triggered Distributed Synchronization	タイムトリガ式分散同期
WUP	Wakeup Pattern	ウェイクアップパターン
WUS	Wakeup Symbol	Wakeup シンボル



### 32.4 特殊機能レジスタ

#### 32.4.1 FlexRay 動作制御レジスタ (FXROC)

FlexRay動作制御レジスタ (FXROC)

<P4領域アドレス : H'FFBF F004番地>

ビット:	7	6	5	4	3	2	1	0
	FOPC	—	—	—	—	FBSEN	FRSTAT	FOPEN
リセット後の値:	0	0	0	0	0	1	0	0

<リセット後の値 : H'04>

ビット	シンボル	リセット後の値	R	W	説明
7	FOPC	0	R	W	FlexRay 動作制御プロテクトビット FOPC ビットは、FXROC レジスタの FOPEN ビットへの間違った書き込みアクセスを防ぎます。 0 : プロテクトなし FXROC レジスタの FOPEN ビットへの書き込みアクセスは許可 1 : プロテクトあり FXROC レジスタの FOPEN ビットへの書き込みアクセスは禁止
6~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット後の値	R	W	説明																																																																																																																																																																																																																																																																								
2	FBSEN	1	R	W	<p>FlexRay バイトスワップ許可ビット</p> <p>FBSEN ビットは、FlexRay ネットワーク管理ベクタレジスタ (FRNMVn)、FlexRay データセクションライトレジスタ (FRWRDSn) および FlexRay データセクションリードレジスタ (FRRDDSn) を読み書きする際のバイト順位を制御します。FRNMVn、FRWRDSn、および FRRDDSn セクションの参照は、このセクションになります。</p> <p>0 : 禁止 FRNMVn、FRWRDSn、FRRDDSn のバイト配列はリトルエディアン形式です。</p> <p>・ FRNMVn</p> <table border="1"> <tr> <td></td> <td>31</td> <td>30</td> <td>29</td> <td>28</td> <td>27</td> <td>26</td> <td>25</td> <td>24</td> <td>23</td> <td>22</td> <td>21</td> <td>20</td> <td>19</td> <td>18</td> <td>17</td> <td>16</td> <td>15</td> <td>14</td> <td>13</td> <td>12</td> <td>11</td> <td>10</td> <td>9</td> <td>8</td> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>NMV1</td> <td colspan="8">Data3</td> <td colspan="8">Data2</td> <td colspan="8">Data1</td> <td colspan="8">Data0</td> </tr> <tr> <td>NMV2</td> <td colspan="8">Data7</td> <td colspan="8">Data6</td> <td colspan="8">Data5</td> <td colspan="8">Data4</td> </tr> <tr> <td>NMV3</td> <td colspan="8">Data11</td> <td colspan="8">Data10</td> <td colspan="8">Data9</td> <td colspan="8">Data8</td> </tr> </table> <p>・ FRWRDSn</p> <p>FRWRDSn.MD[7:0]=DW<sub>n</sub>, byte<sub>n-1</sub>  FRWRDSn.MD[15:8]=DW<sub>n</sub>, byte<sub>n</sub>  FRWRDSn.MD[23:16]=DW<sub>n+1</sub>, byte<sub>n+1</sub>  FRWRDSn.MD[31:24]=DW<sub>n+1</sub>, byte<sub>n+2</sub></p> <p>・ FRRDDSn</p> <p>FRRDDSn.MD[7:0]=DW<sub>n</sub>, byte<sub>n-1</sub>  FRRDDSn.MD[15:8]=DW<sub>n</sub>, byte<sub>n</sub>  FRRDDSn.MD[23:16]=DW<sub>n+1</sub>, byte<sub>n+1</sub>  FRRDDSn.MD[31:24]=DW<sub>n+1</sub>, byte<sub>n+2</sub></p> <p>1 : 許可 FRNMVn、FRWRDSn、FRRDDSn のバイト配列はビッグエディアン形式です。</p> <p>・ FRNMVn</p> <table border="1"> <tr> <td></td> <td>31</td> <td>30</td> <td>29</td> <td>28</td> <td>27</td> <td>26</td> <td>25</td> <td>24</td> <td>23</td> <td>22</td> <td>21</td> <td>20</td> <td>19</td> <td>18</td> <td>17</td> <td>16</td> <td>15</td> <td>14</td> <td>13</td> <td>12</td> <td>11</td> <td>10</td> <td>9</td> <td>8</td> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td>NMV1</td> <td colspan="8">Data0</td> <td colspan="8">Data1</td> <td colspan="8">Data2</td> <td colspan="8">Data3</td> </tr> <tr> <td>NMV2</td> <td colspan="8">Data4</td> <td colspan="8">Data5</td> <td colspan="8">Data6</td> <td colspan="8">Data7</td> </tr> <tr> <td>NMV3</td> <td colspan="8">Data8</td> <td colspan="8">Data9</td> <td colspan="8">Data10</td> <td colspan="8">Data11</td> </tr> </table> <p>・ FRWRDSn</p> <p>FRWRDSn.MD[7:0]=DW<sub>n+1</sub>, byte<sub>n+2</sub>  FRWRDSn.MD[15:8]=DW<sub>n+1</sub>, byte<sub>n+1</sub>  FRWRDSn.MD[23:16]=DW<sub>n</sub>, byte<sub>n</sub>  FRWRDSn.MD[31:24]=DW<sub>n</sub>, byte<sub>n-1</sub></p> <p>・ FRRDDSn</p> <p>FRRDDSn.MD[7:0]=DW<sub>n</sub>, byte<sub>n-1</sub>  FRRDDSn.MD[15:8]=DW<sub>n</sub>, byte<sub>n</sub>  FRRDDSn.MD[23:16]=DW<sub>n+1</sub>, byte<sub>n+1</sub>  FRRDDSn.MD[31:24]=DW<sub>n+1</sub>, byte<sub>n+2</sub></p> <p>【注】・ FRNMVn の場合、n は 0~11 の範囲。</p>		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	NMV1	Data3								Data2								Data1								Data0								NMV2	Data7								Data6								Data5								Data4								NMV3	Data11								Data10								Data9								Data8									31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	NMV1	Data0								Data1								Data2								Data3								NMV2	Data4								Data5								Data6								Data7								NMV3	Data8								Data9								Data10								Data11							
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																													
NMV1	Data3								Data2								Data1								Data0																																																																																																																																																																																																																																																				
NMV2	Data7								Data6								Data5								Data4																																																																																																																																																																																																																																																				
NMV3	Data11								Data10								Data9								Data8																																																																																																																																																																																																																																																				
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																													
NMV1	Data0								Data1								Data2								Data3																																																																																																																																																																																																																																																				
NMV2	Data4								Data5								Data6								Data7																																																																																																																																																																																																																																																				
NMV3	Data8								Data9								Data10								Data11																																																																																																																																																																																																																																																				

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
1	FRSTAT	0	R	-	<p>FlexRay リセットステータスビット</p> <p>FRSTAT ビットは、FlexRay がリセット状態にあるか、動作状態にあるかを示します。</p> <p>0 : FlexRay はリセット状態 この状態では、FlexRay アドレス領域 (H'FFBF F010~H'FFBF FFFF) に配置されたレジスタにアクセスすることはできず、FlexRay モジュールはリセット状態になります。FXROC レジスタの FOPEN ビットを動作禁止としてから、FRSTAT ビットがリセット状態になるまで、最大で周辺 A クロック (PAck) の 24 サイクルかかります。</p> <p>1 : FlexRay は動作状態 この状態では、FlexRay アドレス領域 (H'FFBF F010~H'FFBF FFFF) に配置されたレジスタにアクセスできます。FXROC レジスタの FOPEN ビットを動作許可としてから、FRSTAT ビットが動作状態になるまで、最大で周辺 A クロック (PAck) の 24 サイクルかかります。</p>
0	FOPEN	0	R	W	<p>FlexRay イネーブルビット</p> <p>FOPEN ビットは、FlexRay モジュールの動作、リセットを制御します。このレジスタビットに対する前回の書き込みアクセスで、FXROC レジスタの FOPC ビットがプロテクトなしの場合のみ、このビットへの書き込みアクセスできます。FXROC レジスタの FOPC ビットがプロテクトありになっている場合にかぎり、このビットへの書き込みアクセスは無視されます。</p> <p>0 : 動作禁止 FOPEN ビットが動作禁止のとき、FlexRay モジュールの状態にかかわらず、強制的にリセット状態にします。動作禁止の状態では、FlexRay アドレス領域 (H'FFBF F010~H'FFBF FFFF) に配置されたレジスタすべてが初期化されます。設定変更 (動作許可→動作禁止) から FlexRay モジュールが実際にリセット状態に遷移するまでに、周辺 A クロック (PAck) で最大 24 サイクルかかります。FlexRay リセットビット (FRSTAT) は、FlexRay モジュールがリセット状態かどうかを示します。設定を動作許可から動作禁止に変更した場合、FRXROC レジスタの FRSTAT ビットがリセット状態を示すまで、再び動作許可に変更しないでください。動作禁止の状態では、アドレス領域 (H'FFBF F010~H'FFBF FFFF) に配置されたレジスタにアクセスしないでください。</p> <p>1 : 動作許可 FOPEN ビットが動作許可のとき、FlexRay モジュールのリセット状態は解除されます。FlexRay アドレス領域 (H'FFBF F010~H'FFBF FFFF) に配置されたレジスタへのアクセスが可能になります。FlexRay 通信を行うためには、このビットを動作許可にする必要があります。設定変更 (動作許可→動作禁止) から FlexRay モジュールが実際に動作状態に遷移するまでに、周辺 A クロック (PAck) で最大 24 サイクルかかります。設定を動作禁止から動作許可に変更した場合、FRXROC レジスタの FRSTAT ビットが動作状態を示すまで、再び動作禁止に変更しないでください。</p>

### 32.4.2 FlexRay ロックレジスタ (FRLCK)

FRLCK レジスタは、FRSUCC1 レジスタへの意図しない書き込みにより、コントローラが CONFIG 状態から READY 状態に遷移するのを防ぐためのロックを解除するためのレジスタです。

FlexRayロックレジスタ (FRLCK)

<P4領域アドレス : H'FFBF F01F番地>

ビット :

7	6	5	4	3	2	1	0
CLK7	CLK6	CLK5	CLK4	CLK3	CLK2	CLK1	CLK0

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CLK7~ CLK0	すべて0	0	W	<p>CONFIG 状態ロックキービット</p> <p>FRSUCC1 レジスタの CMD3~CMD0 ビットに対する意図しない書き込みにより、コントローラが CONFIG 状態から READY 状態に遷移しないようにロックがかかっています。FRSUCC1 レジスタの CMD3~CMD0 ビットに READY コマンドを書く前に、このレジスタに連続して"H'CE"、"H'31"を書く（ロック解除シーケンス）ことによりロックが解除されます。ロック解除シーケンスと FRSUCC1 レジスタへの書き込みサイクルの間に他の書き込みサイクルが発生した場合、コマンドは無効になります。</p> <p>設定範囲 : "H'00"~"H'FF"</p>

## 32.5 割り込み関連レジスタ

FlexRay モジュールからの割り込み要求を制御するレジスタです。

割り込み要求にはエラーによって発生するものと、状態の変化によって発生するものがあります。これらは許可/禁止レジスタや出力選択レジスタなどによって、FlexRay0 割り込みと FlexRay1 割り込みに集約されます。

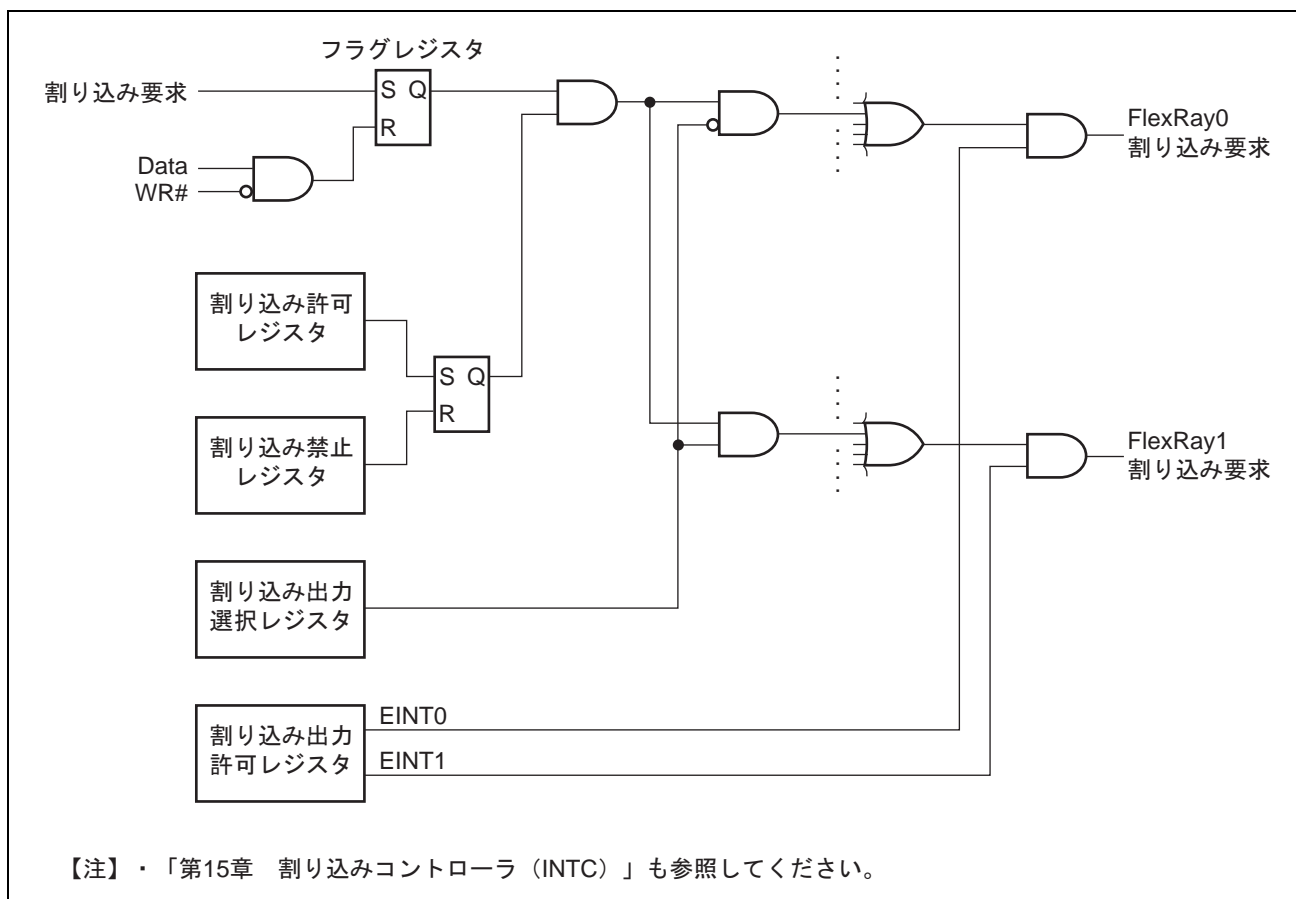


図 32.2 FlexRay0/1 割り込み概略ブロック図

FlexRay モジュールには、上記 FlexRay0/1 割り込み以外に、タイマ 0 とタイマ 1 の割り込みだけを抜き出した FlexRay タイマ 0/1 割り込みがあります。

### 32.5.1 FlexRay エラー割り込みレジスタ (FREIR)

CC がエラーを検出すると各フラグが"1"になります。フラグはプログラムで消さないかぎり"0"にはなりません。フラグを"0"にするには"1"を書いてください。"0"を書いてもフラグに影響を与えません。

FlexRayエラー割り込みレジスタ (FREIR)

&lt;P4領域アドレス : H'FFBF F020番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDB	—	—	—	—	—	TABA	LTVA	EDA
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHF	IOBA	IIBA	EFA	RFO	PERR	CCL	CCF	SFO	SFBM	CNA	PEMC
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26	TABB	0	R	W	チャンネルB スロット境界送信違反フラグ チャンネルB でスロット境界をまたがった送信を検出した場合、検出と同時に"1"になります。 0: エラーなし 1: エラーあり
25	LTVB	0	R	W	チャンネルB 最終送信違反フラグ チャンネルB で最終送信違反を検出した場合、検出と同時に"1"になります。 0: エラーなし 1: エラーあり
24	EDB	0	R	W	チャンネルB エラー検出フラグ チャンネルB でエラーが検出されたことを表します。FRACS レジスタのSEDBビット、CEDBビット、CIBビット、SBVBビットのいずれかが"0"から"1"になると"1"になります。 0: エラーなし 1: エラーあり
23~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
18	TABA	0	R	W	<p>チャンネル A スロット境界送信違反フラグ</p> <p>チャンネル A でスロット境界をまたがった送信を検出した場合、検出と同時に"1"になります。</p> <p>0: エラーなし 1: エラーあり</p>
17	LTVA	0	R	W	<p>チャンネル A 最終送信違反フラグ</p> <p>チャンネル A で最終送信違反を検出した場合、検出と同時に"1"になります。</p> <p>0: エラーなし 1: エラーあり</p>
16	EDA	0	R	W	<p>チャンネル A エラー検出フラグ</p> <p>チャンネル A でエラーが検出されたことを表します。FRACS レジスタの SEDA ビット、CEDA ビット、CIA ビット、SBVA ビットのいずれかが"0"から"1"になると"1"になります。</p> <p>0: エラーなし 1: エラーあり</p>
15~12	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
11	MHF	0	R	W	<p>メッセージハンドラ制約違反フラグ</p> <p>FRMHDF レジスタの SNUA ビット、SNUB ビット、FNFA ビット、FNFB ビット、TBFA ビット、TBFB ビット、WAHP ビットのいずれかが"0"から"1"になると"1"になります。</p> <p>0: メッセージハンドラ制約違反なし 1: メッセージハンドラ制約違反発生</p>
10	IOBA	0	R	W	<p>OBF 不正アクセスフラグ</p> <p>OBF への不正なアクセスを検出します。FROBCR レジスタの OBSYS ビットが"1"のとき、メッセージバッファから OBF への転送要求が発生すると"1"になります。</p> <p>0: OBF への不正アクセスなし 1: OBF への不正アクセス発生</p>

ビット	シンボル	リセット 後の値	R	W	説 明
9	IIBA	0	R	W	<p>IBF 不正アクセスフラグ</p> <p>下記のいずれかの入力バッファへの不正アクセスが発生したとき"1"になります。</p> <p>[CONFIG 状態または DEFAULT_CONFIG 状態以外で、次の不正データの FRIBCR レジスタへの書き込み]</p> <ul style="list-style-type: none"> <li>• キースロットとして設定されているメッセージバッファ 0 または 1 のヘッダセクション</li> <li>• FRMRC レジスタの SEC ビットが"01"のとき、FDB ビットで設定したバッファ番号より小さいバッファ番号を持つスタティックメッセージバッファのヘッダセクション</li> <li>• FRMRC レジスタの SEC ビットが"10"または"11"のとき、スタティックメッセージバッファまたはダイナミックメッセージバッファのヘッダセクション</li> <li>• 受信 FIFO として設定されているメッセージバッファのヘッダおよび/またはデータセクション</li> </ul> <p>[FRIBCR レジスタの IBSYH ビットが"1"のとき、入力バッファ関連のレジスタへの書き込み]</p> <p>0 : IBF への不正アクセスなし 1 : IBF への不正アクセス発生</p>
8	EFA	0	R	W	<p>空 FIFO アクセスフラグ</p> <p>空 FIFO に対してデータ読み出しを実行したことを検出します。データが格納されていない FIFO から OBF へのデータ転送要求を実行した場合、実行と同時に"1"になります。</p> <p>受信 FIFO にデータがないとき</p> <p>0 : FIFO から出力バッファへの転送要求なし 1 : FIFO から出力バッファへの転送要求あり</p>
7	RFO	0	R	W	<p>受信 FIFO オーバランフラグ</p> <p>受信 FIFO オーバランを検出します。フレームの FIFO への格納時に、受信 FIFO オーバラン（受信 FIFO を読み出す前に次のフレームを受信）を検出した場合、"1"になります。受信 FIFO 内の一番古いメッセージに新しいメッセージが上書きされます。FIFO の現在の状態は FRFSR レジスタで読むことができます。</p> <p>0 : 受信 FIFO オーバランなし 1 : 受信 FIFO オーバラン発生</p>
6	PERR	0	R	W	<p>パリティエラーフラグ</p> <p>パリティエラー（FlexRay モジュール内部でのデータ化け）が発生した場合、発生検出と同時に"1"になります。FRMHDS レジスタの PIBF ビット、POBF ビット、PMR ビット、PTBF1 ビット、PTBF2 ビットのいずれかが"0"から"1"になると"1"になります。</p> <p>0 : パリティエラーなし 1 : パリティエラー発生</p>



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
5	CCL	0	R	W	CHI コマンドロックフラグ 前の CHI コマンドの実行が完了していないために、FRSUC1 レジスタの CMD3 ~CMD0 ビットへの CHI コマンド書き込みが無効になったことを示します。 0 : CHI コマンド受け付け 1 : CHI コマンド拒否*5
4	CCF	0	R	W	クロック補正失敗フラグ 下記のうちいずれかを検出した場合、コミュニケーションサイクルの終端で"1"になります。 • レート補正が実行されなかった • オフセット補正が実行されなかった • クロック補正値が制限値に達した クロック補正の状態は、FRCCEV レジスタ、FRSFS レジスタで読むことができます。 0 : クロック補正成功 1 : クロック補正失敗*4
3	SFO	0	R	W	Sync フレーム数オーバーフローフラグ 1 コミュニケーションサイクル中で受信した Sync フレーム数、または偶数サイクルと奇数サイクル中で受信した Sync フレーム数の総和が FRGTUC2 レジスタの SNM ビットで設定した「Sync フレームの最大数」を超過した場合、「1」になります。1 コミュニケーションサイクル中で受信した Sync フレーム数、または偶数サイクルと奇数サイクル中で受信した Sync フレーム数の総和が 0 : 設定した最大数以下 1 : 設定した最大数を超過
2	SFBM	0	R	W	Sync フレーム数最小値未満フラグ 1 コミュニケーションサイクル中で受信した Sync フレーム数が 0 : プロトコル規定された最小数以上 1 : プロトコル規定された最小数未満*3*4
1	CNA	0	R	W	コマンド無効フラグ 許可されていない状態遷移要求または状態遷移中に CHI コマンドを実行したことにより、FRSUC1 レジスタの CMD3 ~CMD0 ビットへのコマンドが無効であることを検出します。 0 : CHI コマンド受け付け 1 : CHI コマンド無効*2
0	PEMC	0	R	W	POC エラーモード変化フラグ FRCCEV レジスタの ERRM ビットが変化すると"1"になります。 0 : エラーモード変化せず 1 : エラーモード変化*1

【注】 \*1 FRCCEV レジスタの ERRM フラグが変化すると"1"になります。

- \*2 状態遷移中に CHI コマンドが実行された場合、同時に CCL ビットも"1"になります。
- \*3 自ノードが Sync ノードの場合は 1 つ以上、Sync ノード以外の場合は 2 つ以上の Sync フレームの受信が規定されています。
- \*4 スタートアップ中に"1"になる可能性があります。NORMAL\_ACTIVE 状態に遷移後、"0"にしてください。
- \*5 このフラグが"1"になると同時に、CNA フラグも"1"になります。

### 32.5.2 FlexRay ステータス割り込みレジスタ (FRSIR)

CC がイベントを検出すると各フラグが"1"になります。フラグはプログラムで消さないかぎり"0"にはなりません。フラグを"0"にするには"1"を書いてください。"0"を書いてもフラグに影響を与えません。

FlexRayステータス割り込みレジスタ (FRSIR)

<P4領域アドレス : H'FFBF F024番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSB	WUPB	—	—	—	—	—	—	MTSA	WUPA
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~26	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25	MTSB	0	R	W	チャンネル B MTS 受信フラグ (vSSIValidMTSB) 前のチャンネル B シンボルウィンドウで MTS を受信した場合、シンボルウィンドウの終端で"1"になります。 0 : チャンネル B で MTS (Media access Test Symbol) の受信なし 1 : チャンネル B で MTS を受信
24	WUPB	0	R	W	チャンネル B WUP 受信フラグ チャンネル B でウェイクアップパターンを受信したときに"1"になります。 0 : チャンネル B で WUP (ウェイクアップパターン) の受信なし 1 : チャンネル B で WUP を受信* <sup>1</sup>
23~18	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
17	MTSA	0	R	W	チャンネル A MTS 受信フラグ (vSSIValidMTSA) 前のチャンネル A シンボルウィンドウで MTS を受信した場合、シンボルウィンドウの終端で"1"になります。 0 : チャンネル A で MTS (Media access Test Symbol) の受信なし 1 : チャンネル A で MTS を受信

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
16	WUPA	0	R	W	チャンネル A WUP 受信フラグ チャンネル A でウェイクアップパターンを受信したときに"1"になります。 0: チャンネル A で WUP (ウェイクアップパターン) の受信なし 1: チャンネル A で WUP を受信* <sup>1</sup>
15	SDS	0	R	W	ダイナミックセグメント開始フラグ 0: ダイナミックセグメント未開始 1: ダイナミックセグメント開始
14	MBSI	0	R	W	メッセージバッファステータス割り込みフラグ 該当するメッセージバッファの MBI ビットが"1"のとき、メッセージバッファのステータス (MBS) が変化すると"1"になります。 MBI ビットが"1"のメッセージバッファの 0: ステータス変化なし 1: ステータスが変化
13	SUCS	0	R	W	スタートアップ正常終了フラグ スタートアップが正常に終了した場合、コミュニケーションコントローラは NORMAL_ACTIVE 状態に遷移します。 0: スタートアップ未終了 1: スタートアップ正常終了
12	SWE	0	R	W	ストップウォッチイベントフラグ 現在のサイクルカウンタ値と MT 値が FRSTPW1 レジスタに格納されたとき、ストップウォッチ有効化の後"1"になります。 0: ストップウォッチイベントなし 1: ストップウォッチイベントあり
11	TOBC	0	R	W	OBF 転送完了フラグ このビットが"1"になると同時に、FROBCR レジスタの OBSYS フラグが"0"になります。 0: 転送未完了 1: メッセージ RAM から出力バッファへの転送完了
10	TIBC	0	R	W	IBF 転送完了フラグ このビットが"1"になると同時に、FRIBCR レジスタの IBSYS フラグが"0"になります。 0: 転送未完了 1: 入力バッファからメッセージ RAM への転送完了

ビット	シンボル	リセット 後の値	R	W	説明
9	T11	0	R	W	<p>タイマ1 割り込みフラグ</p> <p>FRT1C レジスタで設定した条件が満たされ、タイマ1 割り込み要求が発生したとき"1"になります。</p> <p>0 : タイマ1 割り込み要求なし 1 : タイマ1 割り込み要求あり</p>
8	T10	0	R	W	<p>タイマ0 割り込みフラグ</p> <p>FRT0C レジスタで設定した条件が満たされ、タイマ0 割り込み要求が発生したとき"1"になります。</p> <p>0 : タイマ0 割り込み要求なし 1 : タイマ0 割り込み要求あり</p>
7	NMVC	0	R	W	<p>NM ベクタ変化フラグ</p> <p>ネットワーク管理ベクタ (NM ベクタ) が変化したとき"1"になります。</p> <p>0 : NM ベクタ変化せず 1 : NM ベクタ変化</p>
6	RFCL	0	R	W	<p>受信 FIFO クリティカルフラグ</p> <p>FRFSR レジスタの RFFL ビットで示される FIFO データ量が RFCL レジスタの CL ビットの設定値以上の場合"1"になります。</p> <p>受信 FIFO 中のデータが</p> <p>0 : クリティカルレベル未満 1 : クリティカルレベルに達した</p>
5	RFNE	0	R	W	<p>受信 FIFO データありフラグ</p> <p>有効なフレームが受信 FIFO に格納されたことを検出します。現在の受信 FIFO の状態は FRFSR レジスタで読むことができます。</p> <p>0 : 受信 FIFO にデータなし 1 : 受信 FIFO にデータあり</p>
4	RXI	0	R	W	<p>受信割り込みフラグ</p> <p>受信したフレームがメッセージバッファのフィルタ設定と一致すると、ND ビットが"1"になります。このとき、メッセージバッファの MBI ビットが"1"に設定されていると"1"になります。</p> <p>MBI ビットが"1"の受信バッファの</p> <p>0 : 新データフラグが"1"に変化せず 1 : 新データフラグが"1"に変化</p>
3	TXI	0	R	W	<p>送信割り込みフラグ</p> <p>MBI ビットが"1"の送信バッファから</p> <p>0 : フレームの送信なし 1 : フレームを送信</p>

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
2	CYCS	0	R	W	サイクル開始割り込みフラグ コミュニケーションサイクル開始ごとに"1"になります。 0 : コミュニケーションサイクル開始せず 1 : コミュニケーションサイクル開始
1	CAS	0	R	W	衝突回避シンボル受信フラグ STARTUP 状態のとき CAS (衝突回避シンボル) と同じビットパターンを受信すると"1"になります。 0 : CAS シンボルと同じビットパターンを受信せず 1 : CAS シンボルと同じビットパターンを受信
0	WST	0	R	W	ウェイクアップ状態変化フラグ FRCCSV レジスタの WSV2~WSV0 ビットが変化すると"1"になります。 0 : ウェイクアップ状態変化せず 1 : ウェイクアップ状態変化

【注】 \*1 WAKEUP 状態、READY 状態、または STARTUP 状態で WUP を受信すると"1"になります。

## 32.5.3 FlexRay エラー割り込み出力選択レジスタ (FREILS)

FlexRay エラー割り込みを、FlexRay0 割り込み要求と FlexRay1 割り込み要求のどちらに割り当てるかを選択するレジスタです。

FlexRayエラー割り込み出力選択レジスタ (FREILS)

&lt;P4領域アドレス : H'FFBF F028番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBL	LTVBL	EDBL	—	—	—	—	—	TABAL	LTVBL	EDAL
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFL	IOBAL	IIBAL	EFAL	RFOL	PERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26	TABBL	0	R	W	チャンネル B スロット境界送信違反割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
25	LTVBL	0	R	W	チャンネル B 最終送信違反割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
24	EDBL	0	R	W	チャンネル B エラー検出割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
23~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18	TABAL	0	R	W	チャンネル A スロット境界送信違反割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
17	LTVBL	0	R	W	チャンネル A 最終送信違反割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
16	EDAL	0	R	W	チャンネル A エラー検出割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説 明
15~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	MHFL	0	R	W	メッセージハンドラ制限違反割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
10	IOBAL	0	R	W	OBF 不正アクセス割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
9	IIBAL	0	R	W	IBF 不正アクセス割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
8	EFAL	0	R	W	空 FIFO アクセス割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
7	RFOL	0	R	W	受信 FIFO オーバラン割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
6	PERRL	0	R	W	パリティエラー割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
5	CCLL	0	R	W	CHI コマンドロック割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
4	CCFL	0	R	W	クロック補正失敗割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
3	SFOL	0	R	W	Sync フレーム数オーバフロー割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
2	SFBML	0	R	W	Sync フレーム数最小値未滿割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
1	CNAL	0	R	W	コマンド無効割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て

ビット	シンボル	リセット後の値	R	W	説明
0	PEMCL	0	R	W	POC エラーモード変化割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て

### 32.5.4 FlexRay ステータス割り込み出力選択レジスタ (FRSILS)

FlexRay ステータス割り込みを、FlexRay0 割り込み要求または FlexRay1 割り込み要求のどちらかに割り当てるかを選択するレジスタです。

FlexRayステータス割り込み出力選択レジスタ (FRSILS)

<P4領域アドレス : H'FFBF F02C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBL	WUPBL	—	—	—	—	—	—	MTSAL	WUPAL
リセット後の値 :	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
リセット後の値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

<リセット後の値 : H'0303 FFFF>

ビット	シンボル	リセット後の値	R	W	説明
31~26	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25	MTSBL	1	R	W	チャンネル B MTS 受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
24	WUPBL	1	R	W	チャンネル B WUP 受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
23~18	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
17	MTSAL	1	R	W	チャンネル A MTS 受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
16	WUPAL	1	R	W	チャンネル A WUP 受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て



## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
15	SDSL	1	R	W	ダイナミックセグメント開始割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
14	MBSIL	1	R	W	メッセージバッファステータス割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
13	SUCSL	1	R	W	スタートアップ正常終了割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
12	SWEL	1	R	W	ストップウォッチイベント割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
11	TOBCL	1	R	W	OBF 転送完了割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
10	TIBCL	1	R	W	IBF 転送完了割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
9	TI1L	1	R	W	タイマ 1 割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
8	TI0L	1	R	W	タイマ 0 割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
7	NMVCL	1	R	W	NM ベクタ変化割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
6	RFCLL	1	R	W	受信 FIFO データクリティカル割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
5	RFNEL	1	R	W	受信 FIFO データあり割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
4	RXIL	1	R	W	受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て

ビット	シンボル	リセット 後の値	R	W	説 明
3	TXIL	1	R	W	送信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
2	CYCSL	1	R	W	サイクル開始割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
1	CASL	1	R	W	衝突回避シンボル受信割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て
0	WSTL	1	R	W	ウェイクアップ状態変化割り込み出力選択ビット 0 : FlexRay0 割り込み要求に割り当て 1 : FlexRay1 割り込み要求に割り当て

## 32.5.5 FlexRay エラー割り込み許可レジスタ (FREIES)

エラー割り込みの許可を設定します。

エラー割り込みを許可するには対応するビットに"1"を書きます。"0"を書いた場合、ビット値に影響を与えません。

FlexRayエラー割り込み許可レジスタ (FREIES)

<P4領域アドレス : H'FFBF F030番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	PERRE	CCLC	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26	TABBE	0	R	W	チャンネルB スロット境界送信違反割り込み許可ビット <ul style="list-style-type: none"> <li>読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>
25	LTVBE	0	R	W	チャンネルB 最終送信違反割り込み許可ビット <ul style="list-style-type: none"> <li>読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>

ビット	シンボル	リセット 後の値	R	W	説 明
24	EDBE	0	R	W	チャンネル B エラー検出割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
23~19	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18	TABAE	0	R	W	チャンネル A スロット境界送信違反割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
17	LTVAE	0	R	W	チャンネル A 最終送信違反割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
16	EDAE	0	R	W	チャンネル A エラー検出割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
15~12	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説 明
11	MHFE	0	R	W	メッセージハンドラ制限違反割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
10	IOBAE	0	R	W	OBF 不正アクセス割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
9	IIBAE	0	R	W	IBF 不正アクセス割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
8	EFAE	0	R	W	空 FIFO アクセス割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
7	RFOE	0	R	W	受信 FIFO オーバラン割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>

ビット	シンボル	リセット 後の値	R	W	説 明
6	PERRE	0	R	W	パリティエラー割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
5	CCLE	0	R	W	CHI コマンドロック割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
4	CCFE	0	R	W	クロック補正失敗割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
3	SFOE	0	R	W	Sync フレーム数オーバーフロー割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
2	SFBME	0	R	W	Sync フレーム数最小値未滿割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
1	CNAE	0	R	W	コマンド無効割り込み許可ビット • 読み出し時 0: 割り込み禁止 1: 割り込み許可 • 書き込み時 0: 無効 1: 割り込み許可
0	PEMCE	0	R	W	POC エラーモード変化割り込み許可ビット • 読み出し時 0: 割り込み禁止 1: 割り込み許可 • 書き込み時 0: 無効 1: 割り込み許可

### 32.5.6 FlexRay エラー割り込み禁止レジスタ (FREIER)

エラー割り込みの禁止を設定します。

エラー割り込みを禁止するには対応するビットに"1"を書きます。"0"を書いた場合、ビット値に影響を与えません。

FlexRayエラー割り込み禁止レジスタ (FREIER)

<P4領域アドレス: H'FFBF F034番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	PERRE	CCLC	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット 後の値	R	W	説 明
26	TABBE	0	R	W	チャンネル B スロット境界送信違反割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
25	LTVBE	0	R	W	チャンネル B 最終送信違反割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
24	EDBE	0	R	W	チャンネル B エラー検出割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
23~19	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18	TABAE	0	R	W	チャンネル A スロット境界送信違反割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
17	LTVAE	0	R	W	チャンネル A 最終送信違反割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
16	EDAE	0	R	W	チャンネル A エラー検出割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
15~12	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11	MHFE	0	R	W	メッセージハンドラ制限違反割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
10	IOBAE	0	R	W	OBF 不正アクセス割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>

ビット	シンボル	リセット 後の値	R	W	説明
9	IIBAE	0	R	W	IBF 不正アクセス割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
8	EFAE	0	R	W	空 FIFO アクセス割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
7	RFOE	0	R	W	受信 FIFO オーバーラン割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
6	PERRE	0	R	W	パリティエラー割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
5	CCLE	0	R	W	CHI コマンドロック割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説 明
4	CCFE	0	R	W	クロック補正失敗割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
3	SFOE	0	R	W	Sync フレーム数オーバーフロー割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
2	SFBME	0	R	W	Sync フレーム数最小値未満割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
1	CNAE	0	R	W	コマンド無効割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>
0	PEMCE	0	R	W	POC エラーモード変化割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み禁止</li> </ul> </li> </ul>

## 32.5.7 FlexRay ステータス割り込み許可レジスタ (FRSIES)

ステータス割り込みの許可を設定します。

ステータス割り込みを許可するにはFRSIESレジスタの対応するビットに"1"を書きます。"0"を書いた場合、ビット値に影響を与えません。

FlexRayステータス割り込み許可レジスタ (FRSIES)

<P4領域アドレス : H'FFBF F038番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLC	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~26	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25	MTSBE	0	R	W	チャンネル B MTS 受信割り込み許可ビット <ul style="list-style-type: none"> <li>読み出し時 <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>書き込み時 <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
24	WUPBE	0	R	W	チャンネル B WUP 受信割り込み許可ビット <ul style="list-style-type: none"> <li>読み出し時 <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>書き込み時 <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
23~18	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
17	MTSAE	0	R	W	チャンネル A MTS 受信割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
16	WUPAE	0	R	W	チャンネル A WUP 受信割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
15	SDSE	0	R	W	ダイナミックセグメント開始割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
14	MBSIE	0	R	W	メッセージバッファステータス割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>
13	SUCSE	0	R	W	スタートアップ正常終了割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0: 割り込み禁止</li> <li>1: 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0: 無効</li> <li>1: 割り込み許可</li> </ul> </li> </ul>

ビット	シンボル	リセット 後の値	R	W	説 明
12	SWEE	0	R	W	ストップウォッチイベント割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>• 書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>
11	TOBCE	0	R	W	OBf 転送完了割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>• 書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>
10	TIBCE	0	R	W	IBF 転送完了割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>• 書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>
9	TI1E	0	R	W	タイマ 1 割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>• 書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>
8	TI0E	0	R	W	タイマ 0 割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>• 書き込み時 0 : 無効 1 : 割り込み許可</li> </ul>

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説 明
7	NMVCE	0	R	W	NM ベクタ変化割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
6	RFCLE	0	R	W	受信 FIFO データクリティカル割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
5	RFNEE	0	R	W	受信 FIFO データあり割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
4	RXIE	0	R	W	受信割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
3	TXIE	0	R	W	送信割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>

ビット	シンボル	リセット 後の値	R	W	説 明
2	CYCSE	0	R	W	サイクル開始割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
1	CASE	0	R	W	衝突回避シンボル受信割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>
0	WSTE	0	R	W	ウェイクアップ状態変化割り込み許可ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み許可</li> </ul> </li> </ul>



## 32.5.8 FlexRay ステータス割り込み禁止レジスタ (FRSIER)

ステータス割り込みの禁止を設定します。

ステータス割り込みを禁止するには FRSIER レジスタの対応するビットに"1"を書きます。"0"を書いた場合、ビットの値に影響を与えません。

FlexRayステータス割り込み禁止レジスタ (FRSIER)

<P4領域アドレス : H'FFBF F03C番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	T11E	T10E	NMVCE	RFCLC	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~26	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25	MTSBE	0	R	W	チャンネル B MTS 受信割り込み禁止ビット <ul style="list-style-type: none"> <li>読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>書き込み時 0 : 無効 1 : 割り込み禁止</li> </ul>
24	WUPBE	0	R	W	チャンネル B WUP 受信割り込み禁止ビット <ul style="list-style-type: none"> <li>読み出し時 0 : 割り込み禁止 1 : 割り込み許可</li> <li>書き込み時 0 : 無効 1 : 割り込み禁止</li> </ul>
23~18	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット 後の値	R	W	説明
17	MTSAE	0	R	W	チャンネル A MTS 受信割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
16	WUPAE	0	R	W	チャンネル A WUP 受信割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
15	SDSE	0	R	W	ダイナミックセグメント開始割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
14	MBSIE	0	R	W	メッセージバッファステータス割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
13	SUCSE	0	R	W	スタートアップ正常終了割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
12	SWEE	0	R	W	ストップウォッチイベント割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
11	TOBCE	0	R	W	OBf 転送完了割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
10	TIBCE	0	R	W	IBF 転送完了割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
9	TI1E	0	R	W	タイマ1 割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>
8	TI0E	0	R	W	タイマ0 割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時 0: 割り込み禁止 1: 割り込み許可</li> <li>• 書き込み時 0: 無効 1: 割り込み禁止</li> </ul>

ビット	シンボル	リセット 後の値	R	W	説 明
7	NMVCE	0	R	W	NM ベクタ変化割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
6	RFCLE	0	R	W	受信 FIFO データクリティカル割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
5	RFNEE	0	R	W	受信 FIFO データあり割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
4	RXIE	0	R	W	受信割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
3	TXIE	0	R	W	送信割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>

## 32. FlexRay モジュール

ビット	シンボル	リセット 後の値	R	W	説明
2	CYCSE	0	R	W	サイクル開始割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
1	CASE	0	R	W	衝突回避シンボル受信割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>
0	WSTE	0	R	W	ウェイクアップ状態変化割り込み禁止ビット <ul style="list-style-type: none"> <li>• 読み出し時               <ul style="list-style-type: none"> <li>0 : 割り込み禁止</li> <li>1 : 割り込み許可</li> </ul> </li> <li>• 書き込み時               <ul style="list-style-type: none"> <li>0 : 無効</li> <li>1 : 割り込み禁止</li> </ul> </li> </ul>

## 32.5.9 FlexRay 割り込み出力許可レジスタ (FRILE)

FlexRay0 割り込み要求および FlexRay1 割り込み要求の出力許可/禁止を個別に設定します。

FlexRay 割り込み出力許可レジスタ (FRILE)

<P4領域アドレス : H'FFBF F043番地>

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	—	—	EINT1	EINT0

リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	EINT1	0	R	W	割り込み出力1許可ビット 0 : FlexRay1 割り込み要求出力禁止 1 : FlexRay1 割り込み要求出力許可
0	EINT0	0	R	W	割り込み出力0許可ビット 0 : FlexRay0 割り込み要求出力禁止 1 : FlexRay0 割り込み要求出力許可

## 32.5.10 FlexRay タイマ 0 設定レジスタ (FRT0C)

絶対値タイマです。割り込み発生タイミングをサイクルカウンタ値とサイクル開始からのオフセット値 (MT 値) で設定します。タイマ 0 割り込みが発生すると、1MT の間に FlexRay タイマ 0 割り込み要求が出力され、FRSIR レジスタの TIO ビットが "1" になります。

タイマ 0 は NORMAL\_ACTIVE または NORMAL\_PASSIVE 状態のとき動作可能です。この 2 つの状態間の遷移を除き、他の状態に遷移すると停止します。

タイマ 0 の設定を変更する場合には、T0RC ビットに "0" を書き、タイマ 0 を停止させてから設定してください。

- 【注】** ・ タイマ 0 は内部 MT カウンタの値と FRT0C レジスタの設定値を比較することで実現しています。  
タイマ 0 用に独立したカウンタがあるわけではありません。

FlexRay タイマ 0 設定レジスタ (FRT0C)

&lt;P4 領域アドレス : H'FFBF F044 番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TOMO13	TOMO12	TOMO11	TOMO10	TOMO9	TOMO8	TOMO7	TOMO6	TOMO5	TOMO4	TOMO3	TOMO2	TOMO1	TOMO0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T0CC6	T0CC5	T0CC4	T0CC3	T0CC2	T0CC1	T0CC0	—	—	—	—	—	—	T0MS	T0RC
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
29~16	TOMO13~ TOMO0	すべて 0	R	W	タイマ 0 MT 値設定ビット* <sup>1</sup> タイマ 0 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。本ビットは、タイマ 0 割り込みを発生させるタイミングを、通信サイクルの開始位置からのオフセット値 (MT 値) で設定します。
15	—	0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
14~8	T0CC6~ T0CC0	すべて 0	R	W	タイマ 0 サイクルコード設定ビット* <sup>1</sup> タイマ 0 割り込みを発生させるサイクルセットをサイクルコードで設定します。詳細は「32.18.2 サイクルカウンタフィルタリング」を参照してください。
7~2	—	すべて 0	0	0	予約ビット 読み出すと常に "0" が読み出されます。書き込む値も常に "0" にしてください。
1	T0MS	0	R	W	タイマ 0 モード選択ビット 0 : シングルショットモード 1 : 連続モード

ビット	シンボル	リセット後の値	R	W	説明
0	T0RC	0	R	W	タイマ0制御ビット 0: タイマ0停止 1: タイマ0動作開始

【注】 \*1 タイマ0の設定値を変更する場合は、T0RC ビットに"0"を書き、タイマ0を停止させてから設定してください。

### 32.5.11 FlexRay タイマ1 設定レジスタ (FRT1C)

相対値タイマです。一定の時間 (MT 値) が経過すると、タイマ1 割り込みが発生し、1MT の間に FlexRay タイマ1 割り込み要求が出力され、FRSIR レジスタの TI1 ビットが"1"になります。

タイマ1 は NORMAL\_ACTIVE または NORMAL\_PASSIVE 状態のとき動作可能です。この2つの状態間の遷移を除き、他の状態に遷移すると停止します。

タイマ1 の設定を変更する場合には、T1RC ビットに"0"を書き、タイマ1 を停止させてから設定してください。

FlexRayタイマ1設定レジスタ (FRT1C)

<P4領域アドレス: H'FFBF F048番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T1MC13	T1MC12	T1MC11	T1MC10	T1MC9	T1MC8	T1MC7	T1MC6	T1MC5	T1MC4	T1MC3	T1MC2	T1MC1	T1MC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	T1MS	T1RC
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0002 0000>

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
29~16	T1MC13~ T1MC0	H'0002	R	W	タイマ1 MT 値設定ビット*1 タイマ1 スタートからタイマ1 割り込みを発生させるまでの時間を MT 値で設定します。タイマ1 の値が設定した MT 値になるとタイマ1 割り込みが発生します。有効範囲は以下のとおりです。 連続モード時: 2~16383MT シングルショットモード時: 1~16383MT
15~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
1	T1MS	0	R	W	タイマ1モード選択ビット 0: シングルショットモード 1: 連続モード
0	T1RC	0	R	W	タイマ1制御ビット 0: タイマ1停止 1: タイマ1動作開始

【注】 \*1 タイマ1の設定値を変更する場合は、T1RC ビットに"0"を書き、タイマ1を停止させてから設定してください。

### 32.5.12 FlexRay ストップウォッチレジスタ 1 (FRSTPW1)

ストップウォッチタイマは、以下のトリガイベントにより起動します。

- FlexRay0割り込みまたはFlexRay1割り込み要求の発生
- FRSTPW1レジスタのSSWTビットへの"1"書き込み

ストップウォッチが起動してから発生した最初の MT カウンタのインクリメント発生時に、サイクルカウンタ値と MT 値が FRSTPW1 レジスタに、チャンネル A および B のスロットカウンタ値が FRSTPW2 レジスタに取り込まれます。

FlexRayストップウォッチレジスタ1 (FRSTPW1)

<P4領域アドレス: H'FFBF F04C番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SMTV13	SMTV12	SMTV11	SMTV10	SMTV9	SMTV8	SMTV7	SMTV6	SMTV5	SMTV4	SMTV3	SMTV2	SMTV1	SMTV0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCCV5	SCCV4	SCCV3	SCCV2	SCCV1	SCCV0	—	EINT1	EINT0	—	SSWT	—	SWMS	ESWT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
29~16	SMTV13~ SMTV0	すべて0	R	0	ストップウォッチイベント発生 MT 値 ストップウォッチイベント発生時の MT カウンタ値を格納します。 有効範囲は 0~15999MT
15、14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~8	SCCV5~ SCCV0	すべて0	R	0	ストップウォッチイベント発生サイクルカウンタ値 ストップウォッチイベント発生時のサイクルカウンタ値を格納します。 有効範囲は 0~63

ビット	シンボル	リセット 後の値	R	W	説 明
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6	EINT1	0	R	W	FlexRay1 割り込みトリガ許可ビット* <sup>4</sup> 0 : FlexRay1 割り込みによるトリガ禁止 1 : FlexRay1 割り込みによるトリガ許可
5	EINT0	0	R	W	FlexRay0 割り込みトリガ許可ビット* <sup>4</sup> 0 : FlexRay0 割り込みによるトリガ禁止 1 : FlexRay0 割り込みによるトリガ許可
4	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3	SSWT	0	R	W	ソフトウェアストップウォッチトリガビット* <sup>1*3</sup> ソフトウェアトリガです。 "1"を書くと、ストップウォッチが起動されます。サイクルカウンタ値および MT 値が SCCV ビットおよび SMTV ビットに取り込まれた後、自動的に"0"になります。 0 : ソフトウェアトリガリセット 1 : ストップウォッチトリガ発生
2	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	SWMS	0	R	W	ストップウォッチモード選択ビット 0 : シングルショットモード 1 : 連続モード
0	ESWT	0	R	W	ハードウェアストップウォッチトリガ許可ビット* <sup>1*2</sup> "1"のとき、FlexRay0 割り込みまたは FlexRay1 割り込みによりストップウォッチイベントが発生します。 0 : ハードウェアトリガ禁止 1 : ハードウェアトリガ許可

【注】 \*1 ESWT ビットと SSWT ビットの両方を"1"にすることはできません。両方のビットに"1"を書いた場合、いずれのビットも以前の値を保持します。ハードウェアトリガまたはソフトウェアトリガのいずれか一方のみ使用できます。

\*2 シングルショットモード時、このビットはサイクルカウンタ値と MT 値が格納された後"0"になります。

\*3 ESWT ビットが"0"のときのみ書き込み可能です。

\*4 ESWT ビットが"1"のときのみ有効です。

## 32.5.13 FlexRay ストップウォッチレジスタ 2 (FRSTPW2)

FlexRayストップウォッチレジスタ2 (FRSTPW2)

&lt;P4領域アドレス : H'FFBF F050番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	SSCVB10	SSCVB9	SSCVB8	SSCVB7	SSCVB6	SSCVB5	SSCVB4	SSCVB3	SSCVB2	SSCVB1	SSCVB0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	SSCVA10	SSCVA9	SSCVA8	SSCVA7	SSCVA6	SSCVA5	SSCVA4	SSCVA3	SSCVA2	SSCVA1	SSCVA0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	-	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
26~16	SSCVB10 ~SSCVB0	すべて0	R	N	チャンネルBストップウォッチイベント発生スロットカウンタ値 ストップウォッチイベント発生時のチャンネルBのスロットカウンタ値を格納します。有効範囲は0~2047です。
15~11	-	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
10~0	SSCVA10 ~SSCVA0	すべて0	R	N	チャンネルAストップウォッチイベント発生スロットカウンタ値 ストップウォッチイベント発生時のチャンネルAのスロットカウンタ値を格納します。有効範囲は0~2047です。

### 32.5.14 FlexRay タイマ割り込み要求ステータスレジスタ (FXRTISR)

FXRTISR レジスタの各ビットは、FlexRay タイマ割り込み許可レジスタ (FXRTIER) の設定値にかかわらず、対応するタイマ割り込みイベントが発生したときにセットされます。FXRTIER レジスタの対応するビットが許可された場合のみ、割り込みは発生します。

FXRTISR レジスタの対応するビット位置に"1"を書き込むと、ステータスがクリアされます。"0"を書いてもフラグに影響はありません。また、"1"にセットできるビットだけ"0"にできます。

FlexRayタイマ割り込み要求ステータスレジスタ (FXRTISR)

<P4領域アドレス : H'FFBF F00C番地>

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	FT1IS	FT0IS
リセット後の値:	0	0	0	0	0	0	0	0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	-	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	FT1IS	0	R	W	FlexRay タイマ 1 割り込みステータスビット このフラグは、FlexRay タイマ 1 が FlexRay タイマ 1 設定レジスタ (FRT1C) に設定した条件に一致したとき常にセットされます。 0 : FlexRay タイマ 1 割り込み発生なし 1 : FlexRay タイマ 1 割り込み発生
0	FT0IS	0	R	W	FlexRay タイマ 0 割り込みステータスビット このフラグは、FlexRay タイマ 0 が FlexRay タイマ 0 設定レジスタ (FRT0C) に設定した条件に一致したとき常にセットされます。 0 : FlexRay タイマ 0 割り込み発生なし 1 : FlexRay タイマ 0 割り込み発生

### 32.5.15 FlexRay タイマ割り込み許可レジスタ (FXRTIER)

FlexRay タイマ 0、FlexRay タイマ 1 それぞれに、タイマ割り込みの許可を個別に設定できます。

FlexRayタイマ割り込み許可レジスタ (FXRTIER)

<P4領域アドレス : H'FFBF F00D番地>

ビット :



リセット後の値 :

0 0 0 0 0 0 0 0

<リセット後の値 : H'00>

ビット	シンボル	リセット後の値	R	W	説明
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	FT1IEN	0	R	W	FlexRay タイマ 1 割り込み許可ビット 0 : FlexRay タイマ 1 割り込み発生を禁止 1 : FlexRay タイマ 1 割り込み発生を許可
0	FT0IEN	0	R	W	FlexRay タイマ 0 割り込み許可ビット 0 : FlexRay タイマ 0 割り込み発生を禁止 1 : FlexRay タイマ 0 割り込み発生を許可

## 32.6 CC 制御レジスタ

この節では CC の動作を制御するレジスタについて述べています。FlexRay プロトコル仕様書では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。しかし、各設定レジスタは DEFAULT\_CONFIG 状態での書き換えからは保護されていないので、DEFAULT\_CONFIG 状態で書き換えられないようご注意ください。

リセット後 DEFAULT\_CONFIG 状態になると設定データは初期化されます。FlexRay モジュールを DEFAULT\_CONFIG 状態から CONFIG 状態に遷移させるには CHI コマンドの CONFIG コマンドを使用します。CONFIG 状態から抜けるには、「32.4.2 FlexRay ロックレジスタ (FRLCK)」に記載の処理を行います。

### 32.6.1 FlexRay SUC 設定レジスタ 1 (FRSUC1)

FlexRay SUC設定レジスタ1 (FRSUC1)

&lt;P4領域アドレス : H'FFBF F080番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CCHB	CCHA	MTSB	MTSA	HCSE	TSM	WUCS	PTA4	PTA3	PTA2	PTA1	PTA0
リセット後の値:	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA4	CSA3	CSA2	CSA1	CSA0	—	TXSY	TXST	PBSY	—	—	—	CMD3	CMD2	CMD1	CMD0
リセット後の値:	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0C40 1080&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~28	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
27	CCHB	1	R	W	チャンネル B 接続設定ビット (pChannels) 0: ノードがチャンネル B に接続されていない 1: ノードがチャンネル B に接続されている (リセット後の初期設定)
26	CCHA	1	R	W	チャンネル A 接続設定ビット (pChannels) 0: ノードがチャンネル A に接続されていない 1: ノードがチャンネル A に接続されている (リセット後の初期設定)
25	MTSB	0	R	W	チャンネル B MTS 送信設定ビット *2*5*6 0: チャンネル B で MTS シンボルを送信しない 1: チャンネル B で MTS シンボルを送信する
24	MTSA	0	R	W	チャンネル A MTS 送信設定ビット *2*5*6 0: チャンネル A で MTS シンボルを送信しない 1: チャンネル A で MTS シンボルを送信する
23	HCSE	0	R	W	クロック同期エラー時 HALT 遷移ビット (pAllowHaltDueToClock) *2 0: NORMAL_PASSIVE 状態への遷移/状態維持 1: HALT 状態への遷移

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
22	TSM	1	R	W	送信スロットモード選択ビット (pSingleSlotEnabled) * <sup>2</sup> 送信スロットモードのリセット後の値を設定します。SINGLE スロットモードでは事前に設定されたキースロットでのみ送信できます。キースロット ID は FRMRC レジスタの SPLM ビットの設定に従い、メッセージバッファ 0、またはメッセージバッファ 0、1 両方の各ヘッダセクションで設定されます。このビットが"1"のとき、メッセージバッファ 0、またはメッセージバッファ 0、1 両方は CONFIG 状態でのみ設定 (または変更) できます。ALL スロットモードでは、すべてのスロットで送信可能です。このビットの設定は CPU からのみ可能です。また CONFIG 状態でのみ設定できます。NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で CMD3~CMD0 ビットに"B'0101" (ALL_SLOTS コマンド) を設定すると SINGLE スロットモードから ALL スロットモードへ遷移します。現在の送信モードは FRCCSV レジスタの SLM1~SLM0 ビットで確認できます。 0 : ALL スロットモード 1 : SINGLE スロットモード (リセット後の初期設定)
21	WUCS	0	R	W	ウェイクアップチャンネル選択ビット (pWakeupChannel) * <sup>2</sup> 0 : チャンネル A で WUP (ウェイクアップパターン) を送信する 1 : チャンネル B で WUP を送信する
20~16	PTA4~PTA0	すべて 0	R	W	Passive-to-Active 遷移条件設定ビット (pAllowPassiveToActive) * <sup>2</sup> CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移する条件となるクロック補正成功の回数を、連続する偶数/奇数サイクルペアの組数で設定します。有効範囲は 0~31 です。"B'00000"に設定されている場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。
15~11	CSA4~CSA0	H'02	R	W	Coldstart 試行回数設定ビット (gColdStartAttempts) * <sup>2</sup> * <sup>4</sup> Coldstart ノードでの Startup 試行回数を設定します。有効範囲は 2~31 です。
10	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9	TXSY	0	R	W	Sync フレーム送信ビット (pKeySlotUsedForSync) * <sup>2</sup> * <sup>3</sup> 0 : キースロットで Sync フレームを送信しない (Sync ノード、Coldstart ノード以外) 1 : キースロットを Sync フレーム送信に使用 (Sync ノード用)
8	TXST	0	R	W	Startup フレーム送信ビット (pKeySlotUsedForStartup) * <sup>2</sup> * <sup>3</sup> 0 : キースロットで Startup フレームを送信しない (非 Coldstart ノード) 1 : キースロットを Startup フレーム送信に使用 (Leading Coldstart ノードまたは Following Coldstart ノード用)
7	PBSY	1	R	-	POC ビジーフラグ* <sup>1</sup> 0 : CMD ビットへの書き込み可能 1 : CMD ビットへの書き込み無効

ビット	シンボル	リセット後の値	R	W	説明
6~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3~0	CMD3~ CMD0	すべて0	R	W	<p>CHI コマンドベクタ</p> <p>コマンドの書き込みは随時可能ですが、コマンドによっては、特定の状態でのみ有効となります。コマンドが無効の場合、そのコマンドは実行されず、CMD3~CMD0 ビットに"B'0000" (コマンド無効) が書かれ FREIR レジスタの CNA ビットが"1"になります。前のコマンドが完了していないときは、FREIR レジスタの CNA ビットとともに CCL ビットも"1"になり、コマンドを繰り返すことが要求されます。HALT 状態を除いて、POC がすでに要求された状態にあるときにその状態への遷移コマンドが入力された場合、そのコマンドは無視されます。</p> <p>CMD3~CMD0 ビットを読むとコマンドが受け付けられたかどうかわかります。現在の POC の状態は FRCCSV レジスタの POCS ビットで確認できます。各コマンドの説明については、本表の次の項目に記載します。</p> <p>0000 : 無効コマンド  0001 : CONFIG コマンド  0010 : READY コマンド  0011 : WAKEUP コマンド  0100 : RUN コマンド  0101 : ALL_SLOTS コマンド  0110 : HALT コマンド  0111 : FREEZE コマンド  1000 : SEND_MTS コマンド  1001 : ALLOW_COLDSTART コマンド  1010 : RESET_STATUS_INDICATORS コマンド  1011 : MONITOR_MODE コマンド  1100 : CLEAR_RAMMS コマンド  1101~1111 : 予約</p>

- 【注】 \*1 リセット後内部 RAM ブロックの初期化中に"1"になります。
- \*2 CONFIG 状態でのみ設定変更できます。
- \*3 プロトコル規定ではこのビットは Coldstart ノード用に設定されています。
- \*4 クラスタ内の全ノードで同じ設定にしてください。
- \*5 MTSA ビットおよび MTSB ビットともに"1"の場合、CHI コマンド SEND\_MTS を設定すると両チャンネルで MTS シンボルが送信されます。
- \*6 MTSA および MTSB ビットは、FRLCK レジスタでロックを解除する直前に設定した場合、DEFAULT\_CONFIG 状態または CONFIG 状態でも変化する可能性があります。



### (1) コマンド無効 (CMD3~0="B'0000")

以下の条件のいずれかが満たされると"B'0000"に設定されます。

- 不正コマンドが入力されたとき
- ロック解除シーケンスを行わずにCONFIG状態から抜けるコマンドが入力されたとき
- 一つ前のコマンド処理が完了する前に新しいコマンドが入力されたとき
- "B'0000"が書かれたとき

"B'0000"になった場合、FREIR レジスタの CNA ビットが"1"になり、割り込みが許可されていれば、割り込み要求が発生します。なお、受け付けられなかったコマンドは実行されません。

### (2) CONFIG コマンド (CMD3~0="B'0001")

DEFAULT\_CONFIG、READY、MONITOR\_MODE 状態にあるときにこのコマンドを設定すると、CONFIG 状態へ遷移します。HALT 状態で設定した場合、DEFAULT\_CONFIG 状態へ遷移します。

その他の状態で設定した場合"B'0000"になります。

### (3) READY コマンド (CMD3~0="B'0010")

CONFIG、NORMAL\_ACTIVE、NORMAL\_PASSIVE、STARTUP、WAKEUP 状態にあるときにこのコマンドを設定すると、READY 状態へ遷移します。

その他の状態で設定した場合"B'0000"になります。

### (4) WAKEUP コマンド (CMD3~0="B'0011")

READY 状態にあるときにこのコマンドを設定すると、WAKEUP 状態へ遷移します。

その他の状態で設定した場合"B'0000"になります。

### (5) RUN コマンド (CMD3~0="B'0100")

READY 状態にあるときにこのコマンドを設定すると、STARTUP 状態へ遷移します。

その他の状態で設定した場合"B'0000"になります。

### (6) ALL\_SLOTS コマンド (CMD3~0="B'0101")

スタートアップ/統合処理が正常に終了し、NORMAL\_ACTIVE、NORMAL\_PASSIVE 状態にあるときにこのコマンドを設定すると、次のコミュニケーションサイクルの終端で SINGLE スロットモードから抜けます。

その他の状態で設定した場合"B'0000"になります。

**(7) HALT コマンド (CMD3~0="B'0110")**

NORMAL\_ACTIVE、NORMAL\_PASSIVE 状態にあるときにこのコマンドを設定すると、FRCCSV レジスタの HRQ ビットが"1"になり、コミュニケーションサイクルの終端で HALT 状態へ遷移します。

その他の状態で設定した場合"B'0000"になります。

**(8) FREEZE コマンド (CMD3~0="B'0111")**

どの状態からでも設定可能です。FRCCSV レジスタの FSI ビットが"1"になり、ただちに HALT 状態へ遷移します。

**(9) SEND\_MTS コマンド (CMD3~0="B'1000")**

NORMAL\_ACTIVE 状態で ALL スロットモード (FRCCSV レジスタの SLM1~SLM0 ビット="B'11") に遷移したときのみ設定可能です。シンボルウィンドウ開始の 1MT 前までにこのコマンドを設定すると、当該シンボルウィンドウ内で MTS シンボルを送信します。間に合わなかった場合はその次のサイクルのシンボルウィンドウ内で MTS シンボルを送信します。

送信するチャンネルは、MTSA ビットおよび MTSB ビットで選択します。

NORMAL\_ACTIVE 状態以外のとき、または先に要求された MTS シンボルの送信が完了していない場合無効になります。

**(10) ALLOW\_COLDSTART コマンド (CMD3~0="B'1001")**

FRCCSV レジスタの CSI ビットを"0"にし、ノードを LeadingColdstart ノードとして動作できるようにします。DEFAULT\_CONFIG 状態、CONFIG 状態、または HALT 状態では無効になります。

また、LeadingColdstart ノードに設定するには、TXST ビットおよび TXSY ビットを"1"に設定してください。

**(11) RESET\_STATUS\_INDICATORS コマンド (CMD3~0="B'1010")**

READY 状態および STARTUP 状態で設定可能です。FRCCSV レジスタの CSN1 ビット、CSAI ビットおよび WSV ビットをリセット時の状態にします。

その他の状態で設定した場合、"B'0000"になります。

**(12) CLEAR\_RAMs コマンド (CMD3~0="B'1100")**

DEFAULT\_CONFIG 状態または CONFIG 状態で設定可能です。その他の状態で設定した場合"B'0000"になります。リセット後、または CLEAR\_RAMs コマンドにより、FRMHDS レジスタの CRAM ビットが"1"になり、すべての FlexRay モジュール内部 RAM が"0"に初期化されます。初期化実行中は PBSY ビットが"1"になります。

CLEAR\_RAMs コマンドが実行中でも制御レジスタおよびステータスレジスタへのアクセスは可能です。

FlexRay モジュール内部 RAM ブロックの初期化には、PACk で 2048 サイクル必要です。

リセット後または CLEAR\_RAMs コマンド実行後、内部 RAM の初期化中は IBF (入力バッファ) または OBF (出力バッファ) へのアクセスはしないでください。CLEAR\_RAMs コマンド実行前に、メッセージ RAM と IBF/OBF とが通信中でないことを確認してください。このコマンドによりメッセージバッファステータスレジスタ (FRMHDS、FRLDTS、FRFSR、FRMHDF、FRTXRQ1~FRTXRQ4、FRNDAT1~FRNDAT4、FRMBSC1~FRMBSC4) も初期化されます。

## 32. FlexRay モジュール

【注】・ CLEAR\_RAMs コマンドおよび SEND\_MTS コマンドを除き、コマンドが受け付けられると、コマンド入力時に POC はビジー状態でなく、この期間バスアクティビティによる POC 状態変化は起こらないと仮定すると、PAck と FRck の遅い方のクロックの遅くとも 8 サイクル後の FlexRay 内に POC 状態が変更されます。FRCCSV レジスタを読んだとき、結果が確認できるためには、最大で PAck と FRck の遅い方のクロックの 12 サイクル遅延します。

表 32.5 に FlexRay プロトコル仕様書 v2.1 の CHI コマンドと、本モジュールの CHI コマンドベクタ CMD3 ~CMD0 ビットとの対応を示します。

表 32.5 CHI コマンド対応表

CHI コマンド	コマンドを発行できる POC の状態	CHI コマンドベクタ
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	POC:default config, POC:config, POC:halt 以外のすべての状態	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	FRLCK レジスタ操作+ READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	すべての状態	FREEZE
HALT	POC:normal active, POC:normal passive	HALT
READY	POC:default config, POC:config, POC:ready, POC:halt 以外のすべての状態	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

## 32.6.2 FlexRay SUC 設定レジスタ 2 (FRSUCC2)

【注】・ ウェイクアップ/スタートアップノイズタイムアウト値は  $LT \times (LTN+1)$  で計算されます。

FlexRay SUC設定レジスタ2 (FRSUCC2)

&lt;P4領域アドレス : H'FFBF F084番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	LTN3	LTN2	LTN1	LTN0	—	—	—	LT20	LT19	LT18	LT17	LT16
リセット後の値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LT15	LT14	LT13	LT12	LT11	LT10	LT9	LT8	LT7	LT6	LT5	LT4	LT3	LT2	LT1	LT0
リセット後の値:	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0

&lt;リセット後の値 : H'0100 0504&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~28	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
27~24	LTN3~ LTN0	0001	R	W	Listen Timeout Noise 値設定ビット (gListenNoise - 1) * <sup>1</sup> ノイズがある状態でのウェイクアップ/スタートアップ時の Listen timeout 値の上限を Listen timeout 値の倍数で設定します。有効範囲は 2~16 です。
23~21	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
20~0	LT20~ LT0	H'000504	R	W	Listen Timeout 値設定ビット (pdListenTimeout) ウェイクアップ/スタートアップ時の Listen timeout 値を $\mu\text{T}$ 単位で設定します。有効範囲は 1284~1283846 $\mu\text{T}$ です。

【注】 \*<sup>1</sup> クラスタ内の全ノードで同じ設定にしてください。

- ・ CONFIG 状態でのみ設定変更できます。

## 32.6.3 FlexRay SUC 設定レジスタ 3 (FRSUCC3)

FlexRay SUC設定レジスタ3 (FRSUCC3)

&lt;P4領域アドレス : H'FFBF F08B番地&gt;

ビット :

7	6	5	4	3	2	1	0
WCF3	WCF2	WCF1	WCF0	WCP3	WCP2	WCP1	WCP0
0	0	0	1	0	0	0	1

リセット後の値 :

&lt;リセット後の値 : H'11&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~4	WCF3~ WCF0	0001	R	W	クロック補正エラー回数設定ビット (HALT 状態への遷移条件) (gMaxWithoutClockCorrectionFatal) * <sup>1</sup> NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数/奇数サイクルペアの組数で設定します。有効範囲は 1~15 です。
3~0	WCP3~ WCP0	0001	R	W	クロック補正エラー回数設定ビット (NORMAL_PASSIVE 状態への遷移条件) (gMaxWithoutClockCorrectionPassive) NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数/奇数サイクルペアの組数で設定します。有効範囲は 1~15 です。

【注】 \*1 FRSUCC1 レジスタの HCSE ビットが"1"でない場合、HALT 状態へは遷移しません。

- ・ CONFIG 状態でのみ設定変更できます。
- ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.4 FlexRay NEM 設定レジスタ (FRNEMC)

FlexRay NEM設定レジスタ (FRNEMC)

&lt;P4領域アドレス : H'FFBF F08F番地&gt;

ビット :

7	6	5	4	3	2	1	0
—	—	—	—	NML3	NML2	NML1	NML0

リセット後の値 :

0 0 0 0 0 0 0 0

&lt;リセット後の値 : H'00&gt;

ビット	シンボル	リセット後の値	R	W	説明
7~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3~0	NML3~ NML0	すべて0	R	W	NM ベクタ長設定ビット (gNetworkManagementVectorLength) NM ベクタ長をバイト単位で設定します。有効範囲は 0~12 です。

【注】・ CONFIG 状態でのみ設定変更できます。

- ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.5 FlexRay PRT 設定レジスタ 1 (FRPRTC1)

FlexRay PRT設定レジスタ1 (FRPRTC1)

&lt;P4領域アドレス : H'FFBF F090番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RWP5	RWP4	RWP3	RWP2	RWP1	RWP0	—	RXW8	RXW7	RXW6	RXW5	RXW4	RXW3	RXW2	RXW1	RXW0
リセット後の値:	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BRP0	SPP1	SPP0	—	CASM6	CASM5	CASM4	CASM3	CASM2	CASM1	CASM0	TSST3	TSST2	TSST1	TSST0
リセット後の値:	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1

&lt;リセット後の値 : H'084C 0633&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~26	RWP5~RWP0	H'02	R	W	送信ウェイクアップパターン繰り返し回数設定ビット (pWakeupPattern) 送信 Wakeup シンボルの繰り返し回数を設定します。 有効範囲は 2~63 です。
25	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
24~16	RXW8~RXW0	H'04C	R	W	Wakeup シンボル受信ウィンドウ幅設定ビット (gdWakeupSymbolRxWindow) *1 受信したウェイクアップパターンを評価する期間をビットタイムで設定します。 有効範囲は 76~301 です。
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14	BRP0	0	R	W	ビットレートプリスケール設定ビット (gdSampleClockPeriod, pSamplesPerMicrotick) FlexRay バスのビットレートを設定します。ビットレートにかかわらず、1 ビットタイムは必ず 8 サンプルとなります。  0 : FlexRay バスは 10Mbps で動作する gdSampleClockPeriod = 12.5 ns = 1 × FRck pSamplesPerMicrotick = 2 (1μT = 25 ns)  1 : FlexRay バスは 5Mbps で動作する gdSampleClockPeriod = 25 ns = 2 × FRck pSamplesPerMicrotick = 1 (1μT = 25 ns)
13、12	SPP1、SPP0	00	R	W	ストローブポイント設定ビット*4 CC が受信ビットをストローブするサンプルカウンタの位置を設定します。  00 : サンプル 5 (初期値) 01 : サンプル 4 10 : サンプル 6 11 : サンプル 5
11	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

ビット	シンボル	リセット 後の値	R	W	説 明
10	CASM6	1	R	-	衝突回避シンボル最大長設定ビット (gdCASRxLowMax) * <sup>3</sup>
9~4	CASM5~ CASM0	100011	R	W	衝突回避シンボル (CAS) の受信可能な最大許容長をビットタイムで設定します。 有効範囲は 67~99 です。
3~0	TSST3~ TSST0	0011	R	W	送信 TSS 長設定ビット (gdTSSTransmitter) * <sup>1</sup> 送信時の送信開始シーケンス (TSS) 幅をビットタイムで設定します。* <sup>2</sup> 有効範囲は 3~15 です。

【注】 \*1 クラスタ内の全ノードで同じ設定にしてください。

\*2 1 ビットタイム=4 $\mu$ T=100ns@10Mbps。

\*3 CASM6 ビットは"1"固定です。

\*4 FlexRay 仕様書 Version2.1 では"B'00"に規定しています。その他の設定値は物理レイヤの不均衡を補正するために使用されます。

・ CONFIG 状態でのみ設定変更できます。



## 32.6.6 FlexRay PRT 設定レジスタ 2 (FRPRTC2)

FlexRay PRT設定レジスタ2 (FRPRTC2)

&lt;P4領域アドレス : H'FFBF F094番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TXL5	TXL4	TXL3	TXL2	TXL1	TXL0	TXI7	TXI6	TXI5	TXI4	TXI3	TXI2	TXI1	TXI0
リセット後の値:	0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXL5	RXL4	RXL3	RXL2	RXL1	RXL0	—	—	RXI5	RXI4	RXI3	RXI2	RXI1	RXI0
リセット後の値:	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0

&lt;リセット後の値 : H'0F2D 0A0E&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
29~24	TXL5~ TXL0	H'0F	R	W	送信 Wakeup シンボル Low 幅設定ビット (gdWakeupSymbolTxLow) 送信する Wakeup シンボルの"L"幅をビットタイムで設定します。有効範囲は 15~60 です。
23~16	TXI7~ TXI0	H'2D	R	W	送信 Wakeup シンボルアイドル幅設定ビット (gdWakeupSymbolTxIdle) 送信する Wakeup シンボルのアイドル幅をビットタイムで設定します。有効範囲は 45~180 です。
15、14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~8	RXL5~ RXL0	H'0A	R	W	受信 Wakeup シンボル Low 幅設定ビット (gdWakeupSymbolRxLow) 受信時の Wakeup シンボルの最小"L"幅をビットタイムで設定します。有効範囲は 10~55 です。
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	RXI5~ RXI0	H'0E	R	W	受信 Wakeup シンボルアイドル幅設定ビット (gdWakeupSymbolRxIdle) 受信時の Wakeup シンボルの最小アイドル幅をビットタイムで設定します。有効範囲は 14~59 です。

【注】・ CONFIG 状態でのみ設定変更できます。

・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.7 FlexRay MHD 設定レジスタ (FRMHDC)

FlexRay MHD設定レジスタ (FRMHDC)

&lt;P4領域アドレス : H'FFBF F098番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SLT12	SLT11	SLT10	SLT9	SLT8	SLT7	SLT6	SLT5	SLT4	SLT3	SLT2	SLT1	SLT0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SFDL6	SFDL5	SFDL4	SFDL3	SFDL2	SFDL1	SFDL0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~16	SLT12~ SLT0	すべて0	R	W	最終送信開始位置設定ビット (pLatestTx) * <sup>2</sup> ダイナミックセグメント内で送信を開始できる最終のミニスロット値を設定します。有効範囲は0~7981です。
15~7	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~0	SFDL6~ SFDL0	すべて0	R	W	スタティックフレームデータ長設定ビット (gPayloadLengthStatic) * <sup>1</sup> スタティックフレームのペイロードデータ長を2バイト単位で設定します。有効範囲は0~127です。

【注】 \*1 クラスタ内の全ノードで同じ設定にしてください。

\*2 このビットが"0"の場合、ダイナミックセグメントでの送信はありません。

・ CONFIG 状態でのみ設定変更できます。

## 32.6.8 FlexRay GTU 設定レジスタ 1 (FRGTUC1)

FlexRay GTU設定レジスタ1 (FRGTUC1)

&lt;P4領域アドレス : H'FFBF F0A0番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	UT19	UT18	UT17	UT16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UT15	UT14	UT13	UT12	UT11	UT10	UT9	UT8	UT7	UT6	UT5	UT4	UT3	UT2	UT1	UT0
リセット後の値 :	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0280&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~20	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
19~0	UT19~ UT0	H'00280	R	W	コミュニケーションサイクル $\mu$ T 数設定ビット (pMicroPerCycle) コミュニケーションサイクル長を $\mu$ T 単位で設定します。 有効範囲は 640~640000 $\mu$ T です。

【注】・ CONFIG 状態でのみ設定変更できます。

## 32.6.9 FlexRay GTU 設定レジスタ 2 (FRGTUC2)

FlexRay GTU設定レジスタ2 (FRGTUC2)

&lt;P4領域アドレス : H'FFBF F0A4番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SNM3	SNM2	SNM1	SNM0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MPC13	MPC12	MPC11	MPC10	MPC9	MPC8	MPC7	MPC6	MPC5	MPC4	MPC3	MPC2	MPC1	MPC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

&lt;リセット後の値 : H'0002 000A&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~20	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
19~16	SNM3~ SNM0	0010	R	W	最大 SYNC ノード数設定ビット (gSyncNodeMax) 1 コミュニケーションサイクル中に含まれる SYNC フレームの最大数を設定します。有効範囲は 2~15 です。
15、14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~0	MPC13~ MPC0	H'000A	R	W	コミュニケーションサイクル MT 数設定ビット (gMacroPerCycle) コミュニケーションサイクル長を MT 単位で設定します。 有効範囲は 10~16000MT です。

【注】・ CONFIG 状態でのみ設定変更できます。

- ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.10 FlexRay GTU 設定レジスタ 3 (FRGTUC3)

FlexRay GTU設定レジスタ3 (FRGTUC3)

&lt;P4領域アドレス : H'FFBF F0A8番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MIOB6	MIOB5	MIOB4	MIOB3	MIOB2	MIOB1	MIOB0	—	MIOA6	MIOA5	MIOA4	MIOA3	MIOA2	MIOA1	MIOA0
リセット後の値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UIOB7	UIOB6	UIOB5	UIOB4	UIOB3	UIOB2	UIOB1	UIOB0	UIOA7	UIOA6	UIOA5	UIOA4	UIOA3	UIOA2	UIOA1	UIOA0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0202 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
30~24	MIOB6~ MIOB0	H'02	R	W	チャンネル B MT 初期オフセット設定ビット (pMacroInitialOffset[B]) * <sup>1</sup> スタティックスロット境界から Secondary TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します* <sup>2</sup> 。有効範囲は 2~72MT です。
23	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22~16	MIOA6~ MIOA0	H'02	R	W	チャンネル A MT 初期オフセット設定ビット (pMacroInitialOffset[A]) * <sup>1</sup> スタティックスロット境界から Secondary TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します* <sup>2</sup> 。有効範囲は 2~72MT です。
15~8	UIOB7~ UIOB0	すべて 0	R	W	チャンネル B $\mu$ T 初期オフセット設定ビット (pMicroInitialOffset[B]) チャンネル B の Secondary TRP (Time Reference Point) から直後の MT 境界までの時間を $\mu$ T 単位で設定します。有効範囲は 0~240 $\mu$ T です。 パラメータは FRGTUC5 レジスタの DCB7~DCB0 ビットの設定値に依存しますので、チャンネルごとに設定する必要があります。
7~0	UIOA7~ UIOA0	すべて 0	R	W	チャンネル A $\mu$ T 初期オフセット設定ビット (pMicroInitialOffset[A]) チャンネル A の Secondary TRP (Time Reference Point) から直後の MT 境界までの時間を $\mu$ T 単位で設定します。有効範囲は 0~240 $\mu$ T です。 パラメータは FRGTUC5 レジスタの DCA7~DCA0 ビットの設定値に依存しますので、チャンネルごとに設定する必要があります。

【注】 \*1 クラスタ内の全ノードで同じ値を設定してください。

\*2 公称 MT とはオフセット補正およびレート補正されていない MT のことを表します。

・ CONFIG 状態でのみ設定変更できます。

## 32.6.11 FlexRay GTU 設定レジスタ 4 (FRGTUC4)

NIT13～NIT0 ビットと OCS13～OCS0 ビットの詳細は、「32.12.5 NIT 開始位置設定、オフセット補正開始位置の設定」を参照してください。

FlexRay GTU設定レジスタ4 (FRGTUC4)

&lt;P4領域アドレス : H'FFBF F0AC番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OCS13	OCS12	OCS11	OCS10	OCS9	OCS8	OCS7	OCS6	OCS5	OCS4	OCS3	OCS2	OCS1	OCS0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NIT13	NIT12	NIT11	NIT10	NIT9	NIT8	NIT7	NIT6	NIT5	NIT4	NIT3	NIT2	NIT1	NIT0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

&lt;リセット後の値 : H'0008 0007&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
29～16	OCS13～ OCS0	H'0008	R	W	オフセット補正開始位置設定ビット (gOffsetCorrectionStart-1) NIT 内でのオフセット補正の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。有効範囲は 8～15998MT です。
15、14	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13～0	NIT13～ NIT0	H'0007	R	W	NIT 開始位置設定ビット (gMacroPerCycle-gdNIT-1) NIT (Network Idle Time) の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。有効範囲は 7～15997MT です。 MT 値が NIT13～NIT0 の設定値に一致し、MT のインクリメントパルスがセットされたとき NIT の開始位置と認識されます。

【注】・ CONFIG 状態でのみ設定変更できます。

・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.12 FlexRay GTU 設定レジスタ 5 (FRGTUC5)

FlexRay GTU設定レジスタ5 (FRGTUC5)

&lt;P4領域アドレス : H'FFBF F0B0番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEC7	DEC6	DEC5	DEC4	DEC3	DEC2	DEC1	DEC0	—	—	—	CDD4	CDD3	CDD2	CDD1	CDD0
リセット後の値:	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCB7	DCB6	DCB5	DCB4	DCB3	DCB2	DCB1	DCB0	DCA7	DCA6	DCA5	DCA4	DCA3	DCA2	DCA1	DCA0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0E00 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~24	DEC7~ DEC0	H'0E	R	W	デコード補正值設定ビット (pDecodingCorrection) Primary TRP (time reference point) を決定するために使用するデコード補正值を $\mu\text{T}$ 単位で設定します。有効範囲は 14~143 $\mu\text{T}$ です。
23~21	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
20~16	CDD4~ CDD0	すべて 0	R	W	クラスタドリフトダンピング値設定ビット (pClusterDriftDamping) クロック同期において丸め誤差の蓄積を最小限にするために使用するクラスタドリフトダンピング値を $\mu\text{T}$ 単位で設定します。有効範囲は 0~20 $\mu\text{T}$ です。
15~8	DCB7~ DCB0	すべて 0	R	W	チャンネル B 遅延補正值設定ビット (pDelayCompensation[B]) チャンネル B での遅延補正值を $\mu\text{T}$ 単位で設定します。このビットは 0.0125~0.05 $\mu\text{s}$ の範囲の $\mu\text{T}$ に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際は全 Sync ノードの最小伝播遅延値が適用されます。有効範囲は 0~200 $\mu\text{T}$ です。
7~0	DCA7~ DCA0	すべて 0	R	W	チャンネル A 遅延補正值設定ビット (pDelayCompensation[A]) チャンネル A での遅延補正值を $\mu\text{T}$ 単位で設定します。このビットは 0.0125~0.05 $\mu\text{s}$ の範囲の $\mu\text{T}$ に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際は全 Sync ノードの最小伝播遅延値が適用されます。有効範囲は 0~200 $\mu\text{T}$ です。

【注】・ CONFIG 状態でのみ設定変更できます。

## 32.6.13 FlexRay GTU 設定レジスタ 6 (FRGTUC6)

FlexRay GTU設定レジスタ6 (FRGTUC6)

&lt;P4領域アドレス : H'FFBF F0B4番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MOD10	MOD9	MOD8	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ASR10	ASR9	ASR8	ASR7	ASR6	ASR5	ASR4	ASR3	ASR2	ASR1	ASR0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0002 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26~16	MOD10~ MOD0	H'002	R	W	最大発振偏移設定ビット (pdMaxDrift) 異なるクロックで動作している二つのノード間における1コミュニケーションサイクル間での最大偏移量を $\mu\text{T}$ 単位で設定します。有効範囲は2~1923 $\mu\text{T}$ です。
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~0	ASR10~ ASR0	すべて0	R	W	許容 Startup 範囲設定ビット (pdAcceptedStartupRange) 統合中の Startup フレームの許容誤差範囲を拡張して $\mu\text{T}$ 単位で設定します。有効範囲は0~1875 $\mu\text{T}$ です。

【注】・ CONFIG 状態でのみ設定変更できます。



## 32.6.14 FlexRay GTU 設定レジスタ 7 (FRGTUC7)

FlexRay GTU設定レジスタ7 (FRGTUC7)

&lt;P4領域アドレス : H'FFBF F0B8番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NSS9	NSS8	NSS7	NSS6	NSS5	NSS4	NSS3	NSS2	NSS1	NSS0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL9	SSL8	SSL7	SSL6	SSL5	SSL4	SSL3	SSL2	SSL1	SSL0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

&lt;リセット後の値 : H'0002 0004&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~26	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
25~16	NSS9~ NSS0	H'002	R	W	スタティックスロット数設定ビット (gNumberOfStaticSlots) * <sup>1</sup> 1 サイクル当たりのスタティックスロット数を設定します。有効範囲は 2~1023MT です。
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9~0	SSL9~ SSL0	H'004	R	W	スタティックスロット長設定ビット (gdStaticSlot) スタティックスロット長を MT 単位で設定します。有効範囲は 4~659MT

【注】 \*1 FlexRay ネットワークを立ち上げるには、2 つ以上の Coldstart ノードが必要です。

- ・ CONFIG 状態でのみ設定変更できます。
- ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.15 FlexRay GTU 設定レジスタ 8 (FRGTUC8)

FlexRay GTU設定レジスタ8 (FRGTUC8)

&lt;P4領域アドレス : H'FFBF F0BC番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NMS12	NMS11	NMS10	NMS9	NMS8	NMS7	NMS6	NMS5	NMS4	NMS3	NMS2	NMS1	NMS0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSL5	MSL4	MSL3	MSL2	MSL1	MSL0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

&lt;リセット後の値 : H'0000 0002&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~29	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
28~16	NMS12~ NMS0	すべて0	R	W	ミニスロット数設定ビット (gNumberOfMinislots) 1サイクル中のダイナミックセグメント内のミニスロット数をMT単位で設定します。有効範囲は0~7986MTです。
15~6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	MSL5~ MSL0	H'02	R	W	ミニスロット長設定ビット (gdMinislot) ミニスロット長をMT単位で設定します。有効範囲は2~63MTです。

- 【注】
- ・ CONFIG 状態でのみ設定変更できます。
  - ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.16 FlexRay GTU 設定レジスタ 9 (FRGTUC9)

FlexRay GTU設定レジスタ9 (FRGTUC9)

&lt;P4領域アドレス : H'FFBF F0C0番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSI1	DSI0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MAPO4	MAPO3	MAPO2	MAPO1	MAPO0	—	—	APO5	APO4	APO3	APO2	APO1	APO0
リセット後の値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

&lt;リセット後の値 : H'0000 0101&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~18	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
17、16	DSI1、DSI0	00	R	W	ダイナミックスロットアイドル時間設定ビット (gdDynamicSlotIdlePhase) * <sup>1</sup> ダイナミックスロットアイドル時間をミニスロット数で設定します。有効範囲は0~2です。
15~13	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12~8	MAPO4~ MAPO0	H'01	R	W	ミニスロットアクションポイントオフセット設定ビット (gdMinislotActionPointOffset) ダイナミックセグメントのミニスロット内のアクションポイントの位置を MT 単位で設定します。有効範囲は 1~31MT です。
7、6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5~0	APO5~ APO0	H'01	R	W	アクションポイントオフセット設定ビット (gdActionPointOffset) スタティックスロットおよびシンボルウィンドウ内のアクションポイントの位置を MT 単位で設定します。有効範囲は 1~63MT です。

【注】 \*<sup>1</sup> ダイナミックスロットアイドル時間は、アイドル検出時間以上である必要があります。

- ・ CONFIG 状態でのみ設定変更できます。
- ・ クラスタ内の全ノードで同じ設定にしてください。

## 32.6.17 FlexRay GTU 設定レジスタ 10 (FRGTUC10)

FlexRay GTU設定レジスタ10 (FRGTUC10)

&lt;P4領域アドレス : H'FFBF F0C4番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MRC10	MRC9	MRC8	MRC7	MRC6	MRC5	MRC4	MRC3	MRC2	MRC1	MRC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOC13	MOC12	MOC11	MOC10	MOC9	MOC8	MOC7	MOC6	MOC5	MOC4	MOC3	MOC2	MOC1	MOC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

&lt;リセット後の値 : H'0002 0005&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26~16	MRC10~ MRC0	H'002	R	W	最大レート補正值設定ビット (pRateCorrectionOut) クロック同期アルゴリズムで使用されるレート補正值の最大許容値(絶対値)を $\mu$ T 単位で保持します。CC は最大レート補正值と内部レート補正值を比較確認します。有効範囲は 2~1923 $\mu$ T です。
15、14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13~0	MOC13~ MOC0	H'0005	R	W	最大オフセット補正值設定ビット (pOffsetCorrectionOut) クロック同期アルゴリズムで使用されるオフセット補正值の最大許容値(絶対値)を $\mu$ T 単位で保持します。CC は最大オフセット補正值と内部オフセット補正值を比較確認します。有効範囲は 5~15266 $\mu$ T です。

【注】・ CONFIG 状態でのみ設定変更できます。

## 32.6.18 FlexRay GTU 設定レジスタ 11 (FRGTUC11)

FlexRay GTU設定レジスタ11 (FRGTUC11)

&lt;P4領域アドレス : H'FFBF F0C8番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ERC2	ERC1	ERC0	—	—	—	—	—	EOC2	EOC1	EOC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ERCC1	ERCC0	—	—	—	—	—	—	EOCC1	EOCC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26~24	ERC2~ ERC0	すべて0	R	W	外部レート補正值設定ビット (pExternRateCorrection) *2*3 クロック同期アルゴリズムで使用される外部レート補正值を $\mu\text{T}$ 単位で保持します。値は計算されたレート補正值から減算または加算されます。 有効範囲は0~7 $\mu\text{T}$ です。
23~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~16	EOC2~ EOC0	すべて0	R	W	外部オフセット補正值設定ビット (pExternOffsetCorrection) *2*3 クロック同期アルゴリズムで使用される外部オフセット補正值を $\mu\text{T}$ 単位で保持します。値は計算されたオフセット補正值から減算または加算されます。 有効範囲は0~7 $\mu\text{T}$ です。
15~10	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9、8	ERCC1、 ERCC0	00	R	W	外部レート補正制御ビット (vExternRateControl) *1 0x : 外部レート補正禁止 10 : 内部レート補正值 - 外部レート補正值 11 : 内部レート補正值 + 外部レート補正值
7~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1、0	EOCC1、 EOCC0	00	R	W	外部オフセット補正制御ビット (vExternOffsetControl) *1 0x : 外部オフセット補正禁止 10 : 内部オフセット補正值 - 外部オフセット補正值 11 : 内部オフセット補正值 + 外部オフセット補正值

【注】 \*1 設定変更はNIT (ネットワークアイドル時間) 以外で行ってください。

\*2 CONFIG 状態でのみ設定変更できます。

\*3 設定値はNIT 期間に使用されます。

## 32.7 CC ステータスレジスタ

9/17 ビット以上のステータスフラグに対し 8/16 ビットアクセスを行った場合、2 回のアクセスの間に CC によって値が更新される可能性があります。PAck の周波数によっては、CPU でポーリングする速度よりステータスベクタの変化速度のほうが速くなる場合があります。

### 32.7.1 FlexRay CC ステータスベクタレジスタ (FRCCSV)

FlexRay CC ステータスベクタレジスタ (FRCCSV)

&lt;P4領域アドレス : H'FFBF F100番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PSL5	PSL4	PSL3	PSL2	PSL1	PSL0	RCA4	RCA3	RCA2	RCA1	RCA0	WSV2	WSV1	WSV0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	不定	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CSI	CSAI	CSNI	—	—	SLM1	SLM0	HRQ	FSI	POCS5	POCS4	POCS3	POCS2	POCS1	POCS0
リセット後の値 :	0	不定	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31, 30	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
29~24	PSL5~ PSL0	すべて 0	R	N	POC 状態ログ HALT 状態へ遷移するとき、直前の POCS5~POCS0 ビットの値が設定されます。このビットは、HALT 状態へ遷移するとき設定されます。HALT 状態時に FREEZE コマンドが受け付けられた場合は HALT ("B'000100") が設定され、FSI ビットはまだ"1"になりません。つまり、FREEZE コマンドによって HALT 状態へ遷移したのではないことを示します。HALT 状態から抜けると、"B'000000"になります。
23~19	RCA4~ RCA0	不定	R	N	Coldstart 試行残数 (vRemainingColdstartAttempts) Coldstart の試行回数の残数を表示します。RUN コマンドにより、FRSUCC1 レジスタの CSA4~CSA0 ビットで設定した Coldstart の試行回数の最大値に初期化されます。CONFIG 状態での初期値も、FRSUCC1 レジスタの CSA4~CSA0 ビットで設定した値です。

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
18~16	WSV2~WSV0	すべて 0	R	N	<p>ウェイクアップ状態 (vPOC!WakeupStatus) *<sup>6</sup></p> <p>現在のウェイクアップ試行状態を示します。</p> <p>000 : UNDEFINED 状態 ウェイクアップ処理が未実行のとき</p> <p>001 : RECEIVED_HEADER 状態 WAKEUP_LISTEN 状態時に、いずれのチャネルでもコーディング違反のないフレームヘッダを受信して CC がウェイクアップ処理を完了したとき</p> <p>010 : RECEIVED_WUP 状態 WAKEUP_LISTEN 状態時に、FRSUCC1 レジスタの WUCS ビットで選択したチャネルで有効なウェイクアップパターンを受信して、CC がウェイクアップ処理を完了したとき</p> <p>011 : COLLISION_HEADER 状態 ウェイクアップパターン送信中に、いずれかのチャネルで有効なフレームのヘッダセクションを受信したため衝突検出し、CC がウェイクアップ処理を停止したとき</p> <p>100 : COLLISION_WUP 状態 ウェイクアップパターン送信中に、FRSUCC1 レジスタの WUCS ビットで選択したチャネルで有効なウェイクアップパターンを受信したため衝突検出し、CC がウェイクアップ処理を停止したとき</p> <p>101 : COLLISION_UNKNOWN 状態 有効なウェイクアップパターンも有効なフレームヘッダも受信せず内部ウェイクアップタイマが規定値に達し、CC が WAKEUP_DETECT 状態から抜けてウェイクアップ処理を停止したとき</p> <p>110 : TRANSMITTED 状態 CC がウェイクアップパターンの送信に成功したとき</p> <p>111 : 予約</p>
15	—	0	0	N	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。</p>
14	CSI	不定	R	N	<p>Coldstart 禁止フラグ (vColdStartInhibit) *<sup>5</sup></p> <p>Coldstart が許可されている状態かどうかを示すフラグです。POC が CHI コマンドにより READY 状態に遷移したときは常に"1"になります。"0"にするときは CHI コマンドの ALLOW_COLDSTART コマンドを発行 (FRSUCC1 レジスタの CMD3 ~CMD0 ビットに"B'1001"を設定) してください。</p> <p>0 : Coldstart 許可</p> <p>1 : Coldstart 禁止</p>
13	CSAI	0	R	N	<p>Coldstart アポート表示フラグ*<sup>4</sup></p> <p>0 : 状態変化なし</p> <p>1 : Coldstart アポート</p>

ビット	シンボル	リセット後の値	R	W	説明
12	CSNI	0	R	N	Coldstart ノイズ表示フラグ (vPOC!ColdstartNoise) * <sup>4</sup> 0 : 状態変化なし 1 : ノイズ有での Coldstart 処理発生
11、10	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
9、8	SLM1、 SLM0	00	R	N	スロットモードフラグ (vPOC!SlotMode) * <sup>3</sup> READY 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態のときの、POC のスロットモードを示します。デフォルトは SINGLE です。ALL に変化するかどうかは FRSUCC1 レジスタの TSM ビットの値によります。NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のときに CHI コマンドの ALL_SLOT コマンドを設定すると、SINGLE から ALL_PENDING を経て ALL になります。NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態以外は FRSUCC1 レジスタの TSM ビットを SINGLE スロットモードに設定してください。 00 : SINGLE 01 : 予約 10 : ALL_PENDING 11 : ALL
7	HRQ	0	R	N	ホールド要求フラグ (vPOC!CHIHaltRequest) * <sup>2</sup> 0 : 状態変化なし 1 : HALT 状態への遷移要求受付
6	FSI	0	R	N	フリーズ状態フラグ (vPOC!Freeze) * <sup>1</sup> 0 : 状態変化なし 1 : FREEZE コマンドまたはエラー発生により HALT 状態へ遷移
5~0	POCS5~ POCS0	すべて 0	R	N	POC 状態フラグ POCS5、4 ビットで CC が現在どのステートにあるのかを大まかに示し、POCS3 ~POCS0 ビットで詳細なステートを示します。詳細な内容については表 32.6 を参照してください。 00 : 通常動作 01 : ウェイクアップ処理中 10 : スタートアップ処理中 11 : 予約

【注】 \*1 HALT 状態から DEFAULT\_CONFIG 状態への遷移により"0"になります。

\*2 HALT 状態から DEFAULT\_CONFIG 状態への遷移により"0"になります。また、READY 状態に入ると"0"になります。

\*3 NORMAL\_ACTIVE および NORMAL\_PASSIVE 状態以外のとき、RESET\_STATUS\_INDICATOR コマンドにより FRSUCC1 レジスタの TSM ビットで設定した値を"0"にします。



- \*4 RESET\_STATUS\_INDICATOR コマンド、HALT 状態から DEFAULT\_CONFIG 状態への遷移または READY 状態から STARTUP 状態への遷移により"0"になります。
  - \*5 POC が CHI コマンドによって READY 状態に遷移すると"1"になります。ALLOW\_COLDSTART コマンド (FRSUCC1 レジスタの CMD3~CMD0 ビットが"B'1001") により"0"になります。
  - \*6 RESET\_STATUS\_INDICATORS コマンド (FRSUCC1 レジスタの CMD3~CMD0 ビットが"B'1010")、HALT 状態から DEFAULT\_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により"0"になります。
- ・ FRCCSV レジスタの各フラグの中には、短い時間で次へ遷移する状態が含まれており、すべての状態を確認することができない場合があります。

表 32.6 POC 状態フラグの詳細

POCS5~POCS0 ビット	POC の状態	
B'00 0000	通常動作中	DEFAULT_CONFIG 状態
B'00 0001		READY 状態
B'00 0010		NORMAL_ACTIVE 状態
B'00 0011		NORMAL_PASSIVE 状態
B'00 0100		HALT 状態
B'00 0101~B'00 1110		予約
B'00 1111	ウェイクアップ処理中	CONFIG 状態
B'01 0000		WAKEUP_STANDBY 状態
B'01 0001		WAKEUP_LISTEN 状態
B'01 0010		WAKEUP_SEND 状態
B'01 0011		WAKEUP_DETECT 状態
B'01 0100~B'01 1111		予約
B'10 0000	スタートアップ処理中	STARTUP_PREPARE 状態
B'10 0001		COLDSTART_LISTEN 状態
B'10 0010		COLDSTART_COLLISION_RESOLUTION 状態
B'10 0011		COLDSTART_CONSISTENCY_CHECK 状態
B'10 0100		COLDSTART_GAP 状態
B'10 0101		COLDSTART_JOIN 状態
B'10 0110		INTEGRATION_COLDSTART_CHECK 状態
B'10 0111		INTEGRATION_LISTEN 状態
B'10 1000		INTEGRATION_CONSISTENCY_CHECK 状態
B'10 1001		INITIALIZE_SCHEDULE 状態
B'10 1010		ABORT_STARTUP 状態
B'10 1011		STARTUP_SUCCESS 状態
B'10 1100~B'11 1111		予約

## 32.7.2 FlexRay CC エラーベクタレジスタ (FRCCEV)

FlexRay CCエラーベクタレジスタ (FRCCEV)

&lt;P4領域アドレス : H'FFBF F106番地&gt;

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PTAC4	PTAC3	PTAC2	PTAC1	PTAC0	ERRM1	ERRM0	—	—	CCFC3	CCFC2	CCFC1	CCFC0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
12~8	PTAC4~PTAC0	すべて0	R	N	Passive-to-Active カウンタ (vAllowPassiveToActive) ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を待っている間に、有効なレート/オフセット補正量で通過した連続する偶数/奇数サイクルペアの組数を表示します。 FRSUCC1 レジスタの PTA4~PTA0 ビットで設定した値-1 と PTAC4~PTAC0 ビットの値が一致したとき、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移します。
7、6	ERRM1、ERRM0	00	R	N	エラーモードフラグ (vPOC!ErrorMode) 00 : ACTIVE (Green) 01 : PASSIVE (Yellow) 10 : COMM_HALT (Red) 11 : 予約
5、4	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
3~0	CCFC3~CCFC0	すべて0	R	N	クロック補正失敗カウンタ (vClockCorrectionFailed) CC 内部のクロック補正失敗カウンタの値 (0~15) を表示します。 オフセット補正欠落またはレート補正欠落を検出した場合、奇数コミュニケーションサイクル終了時にインクリメントされます。クロック同期に成功した場合、奇数コミュニケーションサイクル終了時に"B'0000"になります。クロック補正失敗カウンタは 15 までカウントすると停止します。

【注】・ HALT 状態から DEFAULT\_CONFIG 状態への遷移、または READY 状態に入ると"H'0000"になります。

## 32.7.3 FlexRay スロットカウンタ値レジスタ (FRSCV)

FlexRayスロットカウンタ値レジスタ (FRSCV)

&lt;P4領域アドレス : H'FFBF F110番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SCCB10	SCCB9	SCCB8	SCCB7	SCCB6	SCCB5	SCCB4	SCCB3	SCCB2	SCCB1	SCCB0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCCA10	SCCA9	SCCA8	SCCA7	SCCA6	SCCA5	SCCA4	SCCA3	SCCA2	SCCA1	SCCA0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
26~16	SCCB10~ SCCB0	すべて0	R	N	チャンネルBスロットカウンタ (vSlotCounter[B]) チャンネルBのスロットカウンタ値を表示します。有効範囲は0~2047です。値はCCによってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。
15~12	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
11~0	SCCA10~ SCCA0	すべて0	R	N	チャンネルAスロットカウンタ (vSlotCounter[A]) チャンネルAのスロットカウンタ値を表示します。有効範囲は0~2047です。値はCCによってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

## 32.7.4 FlexRay MT 値/サイクルカウンタ値レジスタ (FRMTCCV)

FlexRay MT値/サイクルカウンタ値レジスタ (FRMTCCV)

&lt;P4領域アドレス : H'FFBF F114番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	CCV5	CCV4	CCV3	CCV2	CCV1	CCV0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MTV13	MTV12	MTV11	MTV10	MTV9	MTV8	MTV7	MTV6	MTV5	MTV4	MTV3	MTV2	MTV1	MTV0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~22	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
21~16	CCV5~ CCV0	すべて0	R	N	サイクルカウンタ値 (vCycleCounter) サイクルカウンタ値を表示します。有効範囲は0~63です。値はコミュニケーションサイクルの開始時にCCによってインクリメントされます。
15、14	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
13~0	MTV13~ MTV0	すべて0	R	N	MT 値 (vMacrotick) MT 値を表示します。有効範囲は0~15999です。値はCCによってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

【注】・このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

## 32.7.5 FlexRay レート補正值レジスタ (FRRCV)

FlexRayレート補正值レジスタ (FRRCV)

&lt;P4領域アドレス: H'FFBF F11A番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCV11	RCV10	RCV9	RCV8	RCV7	RCV6	RCV5	RCV4	RCV3	RCV2	RCV1	RCV0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
11~0	RCV11~ RCV0	すべて0	R	N	レート補正值 (vRateCorrection) 範囲制限前の内部レート補正值を2の補数で表示します。 <sup>*1</sup> 計算値がFRGTUC10レジスタのMRC10~MRC0ビットで設定した範囲を超えた場合は、FRSFSレジスタのRCLRビットが"1"になります。

【注】 \*1 外部レート補正值には、この値を範囲制限した値が加算されます。

- ・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

## 32.7.6 FlexRay オフセット補正值レジスタ (FROCV)

FlexRayオフセット補正值レジスタ (FROCV)

&lt;P4領域アドレス: H'FFBF F11C番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	OCV18	OCV17	OCV16
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCV15	OCV14	OCV13	OCV12	OCV11	OCV10	OCV9	OCV8	OCV7	OCV6	OCV5	OCV4	OCV3	OCV2	OCV1	OCV0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
18~0	OCV18~ OCV0	すべて0	R	N	オフセット補正值 (vOffsetCorrection) 範囲制限前の内部オフセット補正值を2の補数で表示します。 <sup>*1</sup> 計算値がFRGTUC10レジスタのMOC13~MOC0ビットで設定した範囲を超えた場合は、FRSFSレジスタのOCLRビットが"1"になります。

【注】 \*1 外部オフセット補正值には、この値を範囲制限した値が加算されます。

- ・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

## 32.7.7 FlexRay Sync フレームステータスレジスタ (FRSFS)

1 コミュニケーションサイクル中の有効な Sync フレームの最大数は 15 です。

FlexRay Sync フレームステータスレジスタ (FRSFS)

<P4領域アドレス : H'FFBF F120番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RCLR	MRCS	OCLR	MOCS
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSBO3	VSBO2	VSBO1	VSBO0	VSBE3	VSBE2	VSBE1	VSBE0	VSAO3	VSAO2	VSAO1	VSAO0	VSAE3	VSAE2	VSAE1	VSAE0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~20	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
19	RCLR	0	R	N	レート補正值制限到達フラグ レート補正值が FRGTUC10 レジスタの MRC10~MRC0 ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。 0 : レート補正值が制限値未満 1 : レート補正值が制限値に到達
18	MRCS	0	R	N	レート補正欠落フラグ レート補正欠落フラグは、一对の偶数/奇数 Sync フレームが受信されなかったためにレート補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。 0 : レート補正有効 1 : レート補正欠落
17	OCLR	0	R	N	オフセット補正值制限到達フラグ オフセット補正值が FRGTUC10 レジスタの MOC13~MOC0 ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。 0 : オフセット補正值が制限値未満 1 : オフセット補正值が制限値に到達
16	MOCS	0	R	N	オフセット補正欠落フラグ オフセット補正欠落フラグは、Sync フレームが受信されなかったためにオフセット補正を実行できなかったことを示します。このフラグは、オフセット補正開始時に CC によって更新されます。 0 : オフセット補正有効 1 : オフセット補正欠落

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
15~12	VSBO3~VSBO0	すべて 0	R	N	奇数サイクル中チャンネル B 有効 Sync フレーム数* <sup>1</sup> * <sup>3</sup> 奇数コミュニケーションサイクル中にチャンネル B で受信した有効な Sync フレーム数を表示します。 値は奇数コミュニケーションサイクルの NIT 中に更新されます。
11~8	VSBE3~VSBE0	すべて 0	R	N	偶数サイクル中チャンネル B 有効 Sync フレーム数* <sup>1</sup> * <sup>3</sup> 偶数コミュニケーションサイクル中にチャンネル B で受信した有効な Sync フレーム数を表示します。 値は偶数コミュニケーションサイクルの NIT 中に更新されます。
7~4	VSAO3~VSAO0	すべて 0	R	N	奇数サイクル中チャンネル A 有効 Sync フレーム数* <sup>1</sup> * <sup>2</sup> 奇数コミュニケーションサイクル中にチャンネル A で受信した有効な Sync フレーム数を表示します。 値は奇数コミュニケーションサイクルの NIT 中に更新されます。
3~0	VSAE3~VSAE0	すべて 0	R	N	偶数サイクル中チャンネル A 有効 Sync フレーム数* <sup>1</sup> * <sup>2</sup> 偶数コミュニケーションサイクル中にチャンネル A で受信した有効な Sync フレーム数を表示します。 値は偶数コミュニケーションサイクルの NIT 中に更新されます。

【注】 \*1 FRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合値は、1 ずつインクリメントされます。

\*2 FRSUCC1 レジスタの CCHA ビットが"1"のとき有効です。

\*3 FRSUCC1 レジスタの CCHB ビットが"1"のとき有効です。

・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

### 32.7.8 FlexRay シンボルウィンドウ/NIT ステータスレジスタ (FRSWNIT)

ビット 7~0 は、シンボルウィンドウ関連のステータスを表示します。各チャンネルのシンボルウィンドウの終端で更新されます。スタートアップ中は更新されません。

ビット 11~8 は、NIT 関連のステータスを表示します。各チャンネルの NIT の終端で更新されます。

FlexRayシンボルウィンドウ/NITステータスレジスタ (FRSWNIT)

<P4領域アドレス : H'FFBF F126番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~12	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。

ビット	シンボル	リセット 後の値	R	W	説明
11	SBNB	0	R	N	チャンネル B NIT 内スロット境界違反検出フラグ (vSSI!ViolationB) 0: スロット境界違反検出なし 1: チャンネル B で NIT 内スロット境界違反検出
10	SENB	0	R	N	チャンネル B NIT 内シンタックスエラー検出フラグ (vSSI!SyntaxErrorB) 0: シンタックスエラー検出なし 1: チャンネル B で NIT 内シンタックスエラー検出
9	SBNA	0	R	N	チャンネル A NIT 内スロット境界違反検出フラグ (vSSI!ViolationA) 0: スロット境界違反検出なし 1: チャンネル A で NIT 内スロット境界違反検出
8	SENA	0	R	N	チャンネル A NIT 内シンタックスエラー検出フラグ (vSSI!SyntaxErrorA) 0: シンタックスエラー検出なし 1: チャンネル A で NIT 内シンタックスエラー検出
7	MTSB	0	R	N	チャンネル B MTS 受信フラグ (vSSI!ValidMTSB) * <sup>2</sup> 直前のシンボルウィンドウ区間内で MTS シンボル (Media Access Test Symbol) をチャンネル B で受信したことを示します。 0: チャンネル B で MTS シンボル受信なし 1: チャンネル B で MTS シンボル受信
6	MTSA	0	R	N	チャンネル A MTS 受信フラグ (vSSI!ValidMTSA) * <sup>1</sup> 直前のシンボルウィンドウ区間内で MTS シンボル (Media Access Test Symbol) をチャンネル A で受信したことを示します。 0: チャンネル A で MTS シンボル受信なし 1: チャンネル A で MTS シンボル受信
5	TCSB	0	R	N	チャンネル B シンボルウィンドウ内送信競合検出フラグ (vSSI!TxConflictB) 0: 送信競合検出なし 1: チャンネル B でシンボルウィンドウ内送信競合検出
4	SBSB	0	R	N	チャンネル B シンボルウィンドウ内スロット境界違反検出フラグ (vSSI!BViolationB) 0: スロット境界違反検出なし 1: チャンネル B でシンボルウィンドウ内スロット境界違反検出
3	SESB	0	R	N	チャンネル B シンボルウィンドウ内シンタックスエラー検出フラグ (vSSI!SyntaxErrorB) 0: シンタックスエラー検出なし 1: チャンネル B でシンボルウィンドウ内シンタックスエラー検出
2	TCSA	0	R	N	チャンネル A シンボルウィンドウ内送信競合検出フラグ (vSSI!TxConflictA) 0: 送信競合検出なし 1: チャンネル A でシンボルウィンドウ内送信競合検出



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
1	SBSA	0	R	N	チャンネル A シンボルウィンドウ内スロット境界違反検出フラグ (vSS!BViolationA) 0 : スロット境界違反検出なし 1 : チャンネル A でシンボルウィンドウ内スロット境界違反検出
0	SESA	0	R	N	チャンネル A シンボルウィンドウ内シンタックスエラー検出フラグ (vSS!SyntaxErrorA) 0 : シンタックスエラー検出なし 1 : チャンネル A でシンボルウィンドウ内シンタックスエラー検出

【注】 \*1 このビットが"1"になると、FRSIR レジスタの MTSA ビットも"1"になります。

\*2 このビットが"1"になると、FRSIR レジスタの MTSB ビットも"1"になります。

・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

### 32.7.9 FlexRay チャンネルステータス集計レジスタ (FRACS)

チャンネルステータス集計レジスタは、各チャンネルが送信/受信のどちらになっているかに関係なく、すべてのコミュニケーションスロットに対するチャンネルの動作の結果生じたステータスを保持します。このレジスタにはシンボルウィンドウおよび NIT からのステータスデータも含まれます。ステータスデータは、各スロットの終わりで更新 ("1"に) され、プログラムによってリセット ("0"に) されるまで集計されます。スタートアップ中は更新されません。各フラグは、該当するビットに"1"を書くと"0"になります。"0"を書いてもフラグに影響を与えません。MCU がリセットされると"0"になります。CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

FlexRayチャンネルステータス集計レジスタ (FRACS)

<P4領域アドレス : H'FFBF F12A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SBVB	CIB	CEDB	SEDB	VFRB	—	—	—	SBVA	CIA	CEDA	SEDA	VFRA
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12	SBVB	0	R	W	チャンネル B スロット境界違反検出フラグ (vSS!BViolationB) *1 観測期間中 (スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で)、チャンネル B でスロット境界違反を検出したことを示します。 0 : スロット境界違反検出なし 1 : チャンネル B でスロット境界違反検出

ビット	シンボル	リセット後の値	R	W	説明
11	CIB	0	R	W	<p>チャンネル B 通信表示フラグ*<sup>1</sup>*<sup>2</sup></p> <p>観測期間中、チャンネル B のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。</p> <p>0 : 追加の通信を含む有効なフレームを受信せず</p> <p>1 : チャンネル B のスロットで追加の通信を含む有効なフレームを受信</p>
10	CEDB	0	R	W	<p>チャンネル B コンテンツエラー検出フラグ (vSSIContentErrorB) *<sup>1</sup></p> <p>観測期間中、チャンネル B のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。</p> <p>0 : コンテンツエラーを含むフレームを受信せず</p> <p>1 : チャンネル B でコンテンツエラーを含むフレームを受信</p>
9	SEDB	0	R	W	<p>チャンネル B シンタックスエラー検出フラグ (vSSISyntaxErrorB) *<sup>1</sup></p> <p>チャンネル B のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーを検出したことを示します。</p> <p>0 : シンタックスエラー検出なし</p> <p>1 : チャンネル B でシンタックスエラー検出</p>
8	VFRB	0	R	W	<p>チャンネル B 有効フレーム受信フラグ (vSSIValidFrameB)</p> <p>観測期間中、チャンネル B のスタティックセグメントまたはダイナミックセグメントで有効なフレームを 1 つ以上受信したことを示します。</p> <p>0 : 有効なフレームを受信せず</p> <p>1 : チャンネル B で有効なフレームを受信</p>
7~5	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
4	SBVA	0	R	W	<p>チャンネル A スロット境界違反検出フラグ (vSSIBViolationA) *<sup>1</sup></p> <p>観測期間中 (スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で)、チャンネル A でスロット境界違反を検出したことを示します。</p> <p>0 : スロット境界違反検出なし</p> <p>1 : チャンネル A でスロット境界違反検出</p>
3	CIA	0	R	W	<p>チャンネル A 通信表示フラグ*<sup>1</sup>*<sup>2</sup></p> <p>観測期間中、チャンネル A のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。</p> <p>0 : 追加の通信を含む有効なフレームを受信せず</p> <p>1 : チャンネル A のスロットで追加の通信を含む有効なフレームを受信</p>

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
2	CEDA	0	R	W	チャンネル A コンテンツエラー検出フラグ (vSSIContentErrorA) * <sup>1</sup> 観測期間中、チャンネル A のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。 0 : コンテンツエラーを含むフレームを受信せず 1 : チャンネル A でコンテンツエラーを含むフレームを受信
1	SEDA	0	R	W	チャンネル A シンタックスエラー検出フラグ (vSSI!SyntaxErrorA) * <sup>1</sup> チャンネル A のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーを検出したことを示します。 0 : シンタックスエラー検出なし 1 : チャンネル A でシンタックスエラー検出
0	VFRA	0	R	W	チャンネル A 有効フレーム受信フラグ (vSSIValidFrameA) 観測期間中、チャンネル A のスタティックセグメントまたはダイナミックセグメントで有効なフレームを 1 つ以上受信したことを示します。 0 : 有効なフレームを受信せず 1 : チャンネル A で有効なフレームを受信

【注】 \*1 SEDA、CEDA、CIA、SBVA ビットのいずれかが"0"から"1"に変化すると、FREIR レジスタの EDA ビットが"1"になります。また SEDB、CEDB、CIB、SBVB ビットのいずれかが"0"から"1"に変化すると、FREIR レジスタの EDB ビットが"1"になります。

\*2 スロットにフレームが一つしかなく、チャンネルアイドル認識フェーズ中に、そのスロットの終端にあるスロット境界に到達した場合も CIA ビットおよび CIB ビットの設定条件は満たされます。

・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

## 32.7.10 FlexRay 偶数 SyncID レジスタ 1~15 (FRESID1~15)

偶数コミュニケーションサイクルで受信した Sync フレーム ID を gSyncNodeMax 数まで、FRESID1 レジスタからフレーム ID の昇順に格納します。これらの値は、クロック同期のために使用されます。自ノードが偶数コミュニケーションサイクルで Sync フレームを送信する場合は、FRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、RXEA フラグと RXEB フラグが"1"になります。レジスタの内容は、偶数コミュニケーションサイクルの NIT 期間中に更新されます。

FlexRay偶数SyncIDレジスタ1 (FRESID1)	<P4領域アドレス : H'FFBF F132番地>
FlexRay偶数SyncIDレジスタ2 (FRESID2)	<P4領域アドレス : H'FFBF F136番地>
FlexRay偶数SyncIDレジスタ3 (FRESID3)	<P4領域アドレス : H'FFBF F13A番地>
⋮	⋮
FlexRay偶数SyncIDレジスタ13 (FRESID13)	<P4領域アドレス : H'FFBF F162番地>
FlexRay偶数SyncIDレジスタ14 (FRESID14)	<P4領域アドレス : H'FFBF F166番地>
FlexRay偶数SyncIDレジスタ15 (FRESID15)	<P4領域アドレス : H'FFBF F16A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXEB	RXEA	—	—	—	—	EID9	EID8	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	RXEB	0	R	N	偶数 Sync ID チャンネル B 受信フラグ 保存した偶数 SyncID に対応する Sync フレームをチャンネル B で受信したか、そのノードが EID9~EID0 ビット (FRESID1 レジスタのみ) で示すキースロット番号を持った Sync ノードに設定されていることを示します。 0 : Sync フレームはチャンネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1 : 保存した偶数 Sync ID に対応する Sync フレームはチャンネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXEA	0	R	N	偶数 Sync ID チャンネル A 受信フラグ 保存した偶数 SyncID に対応する Sync フレームをチャンネル A で受信したか、そのノードが EID9~EID0 ビット (FRESID1 レジスタのみ) で示すキースロット番号を持った Sync ノードに設定されていることを示します。 0 : Sync フレームはチャンネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1 : 保存した偶数 Sync ID に対応する Sync フレームはチャンネル A で受信、またはノードが Sync フレーム送信用に設定
13~10	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
9~0	EID9~EID0	すべて 0	R	N	偶数 Sync ID (vsSyncIDListA,B even) *1 偶数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

【注】 \*1 Sync フレームのフレーム ID は 1023 以下ですので、EID10 ビットはありません。

- ・ このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

## 32.7.11 FlexRay 奇数 SyncID レジスタ 1~15 (FROSID1~15)

奇数コミュニケーションサイクルで受信した Sync フレーム ID を gSyncNodeMax 数まで、FROSID1 レジスタからフレーム ID の昇順に格納します。これらの値は、クロック同期のために使用されます。自ノードが奇数コミュニケーションサイクルで Sync フレームを送信する場合は、FROSID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、RXOA フラグと RXOB フラグが"1"になります。レジスタの内容は、奇数コミュニケーションサイクルの NIT 期間中に更新されます。

FlexRay奇数SyncIDレジスタ1 (FROSID1)	<P4領域アドレス : H'FFBF F172番地>
FlexRay奇数SyncIDレジスタ2 (FROSID2)	<P4領域アドレス : H'FFBF F176番地>
FlexRay奇数SyncIDレジスタ3 (FROSID3)	<P4領域アドレス : H'FFBF F17A番地>
⋮	⋮
FlexRay奇数SyncIDレジスタ13 (FROSID13)	<P4領域アドレス : H'FFBF F1A2番地>
FlexRay奇数SyncIDレジスタ14 (FROSID14)	<P4領域アドレス : H'FFBF F1A6番地>
FlexRay奇数SyncIDレジスタ15 (FROSID15)	<P4領域アドレス : H'FFBF F1AA番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXOB	RXOA	—	—	—	—	OID9	OID8	OID7	OID6	OID5	OID4	OID3	OID2	OID1	OID0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15	RXOB	0	R	N	奇数 Sync ID チャンネル B 受信フラグ 保存した奇数 SyncID に対応する Sync フレームをチャンネル B で受信したか、そのノードが OID9~OID0 ビット (FROSID1 レジスタのみ) で示すキースロット番号を持った Sync ノードに設定されていることを示します。 0 : Sync フレームはチャンネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1 : 保存した奇数 Sync ID に対応する Sync フレームはチャンネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXOA	0	R	N	奇数 Sync ID チャンネル A 受信フラグ 保存した奇数 SyncID に対応する Sync フレームをチャンネル A で受信したか、そのノードが OID9~OID0 ビット (FROSID1 レジスタのみ) で示すキースロット番号を持った Sync ノードに設定されていることを示します。 0 : Sync フレームはチャンネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1 : 保存した奇数 Sync ID に対応する Sync フレームはチャンネル A で受信、またはノードが Sync フレーム送信用に設定
13~10	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
9~0	OID9~OID0	すべて 0	R	N	奇数 Sync ID (vsSyncIDListA,B odd) *1 奇数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

【注】 \*1 Sync フレームのフレーム ID は 1023 以下ですので OID10 ビットはありません。

- このレジスタは、CONFIG 状態から遷移したとき、または STARTUP 状態へ遷移したときに初期化されます。

### 32.7.12 FlexRay ネットワーク管理ベクタレジスタ 1~3 (FRNMV1~3)

生成された NM ベクタ値 (0~12 バイト設定可能) を 3 つのレジスタで保持します。

保持される NM ベクタは、各チャネルで受信された NM ベクタ (PPI ビットが "1" になっている有効なステックフレーム) をビットごとの論理 OR をとって生成されます (「32.17 ネットワーク管理」参照)。

レジスタの内容は CC が NORMAL\_ACTIVE 状態または NORMAL\_PASSIVE 状態にあるかぎり、コミュニケーションサイクル終了時ごとに更新されます。

FRNEMC レジスタで設定された NM ベクタ長を超えるデータは無効です。

FlexRay ネットワーク管理ベクタレジスタ 1 (FRNMV1)

<P4 領域アドレス : H'FFBF F1B0 番地>

FlexRay ネットワーク管理ベクタレジスタ 2 (FRNMV2)

<P4 領域アドレス : H'FFBF F1B4 番地>

FlexRay ネットワーク管理ベクタレジスタ 3 (FRNMV3)

<P4 領域アドレス : H'FFBF F1B8 番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NM31	NM30	NM29	NM28	NM27	NM26	NM25	NM24	NM23	NM22	NM21	NM20	NM19	NM18	NM17	NM16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NM15	NM14	NM13	NM12	NM11	NM10	NM9	NM8	NM7	NM6	NM5	NM4	NM3	NM2	NM1	NM0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~24	NM31~ NM24	すべて 0	R	N	生成された NM ベクタ (ネットワーク管理ベクタ) を保持します。 <sup>*1</sup> 保持される NM ベクタは各チャネルで受信した NM ベクタをビットごとの OR をとって生成されます。 NM ベクタは 0~12 バイトです。
23~16	NM23~ NM16	すべて 0	R	N	
15~8	NM15~ NM8	すべて 0	R	N	
7~0	NM7~ NM0	すべて 0	R	N	

【注】 \*1 受信したペイロードのデータは以下のように配置されます。

レジスタ名	NM31~NM24	NM23~NM16	NM15~NM8	NM7~NM0
FRNMV1 レジスタ	Data 3	Data 2	Data 1	Data 0
FRNMV2 レジスタ	Data 7	Data 6	Data 5	Data 4
FRNMV3 レジスタ	Data 11	Data 10	Data 9	Data 8

このレジスタへの読み出し時のバイト順位を FXROC レジスタの FBSEN ビットでリトルエンディアン形式かビッグエンディアン形式を選択できます。

## 32. FlexRay モジュール

---

- FXROCレジスタのFBSENビットが"1" (ビッグエンディアン形式) のとき

レジスタ名	NM31~NM24	NM23~NM16	NM15~NM8	NM7~NM0
FRNMV1 レジスタ	Data 0	Data 1	Data 2	Data 3
FRNMV2 レジスタ	Data 4	Data 5	Data 6	Data 7
FRNMV3 レジスタ	Data 8	Data 9	Data 10	Data 11

- FXROCレジスタのFBSENビットが"0" (リトルエンディアン形式) のとき

レジスタ名	NM31~NM24	NM23~NM16	NM15~NM8	NM7~NM0
FRNMV1 レジスタ	Data 3	Data 2	Data 1	Data 0
FRNMV2 レジスタ	Data 7	Data 6	Data 5	Data 4
FRNMV3 レジスタ	Data 11	Data 10	Data 9	Data 8

## 32.8 メッセージバッファ制御レジスタ

### 32.8.1 FlexRay メッセージ RAM 設定レジスタ (FRMRC)

スタティックセグメント、ダイナミックセグメントおよび FIFO に割り当てられたメッセージバッファ数を設定するレジスタです。

FlexRayメッセージRAM設定レジスタ (FRMRC)

<P4領域アドレス : H'FFBF F300番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPLM	SEC1	SEC0	LCB7	LCB6	LCB5	LCB4	LCB3	LCB2	LCB1	LCB0
リセット後の値:	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FFB7	FFB6	FFB5	FFB4	FFB3	FFB2	FFB1	FFB0	FDB7	FDB6	FDB5	FDB4	FDB3	FDB2	FDB1	FDB0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0180 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
26	SPLM	0	R	W	Sync フレームペイロード Multiplex ビット Sync ノードの場合 (FRSUCC1 レジスタの TXSY ビットが"1"のとき) または SINGLE スロットモードに設定されている場合 (TSM ビットが"1"のとき) 有効です。このビットを"1"にすると、メッセージバッファ 0 および 1 はチャンネル A および B で個別のペイロードデータを持つ Sync フレーム送信専用のメッセージバッファとなります。"0"にした場合、両チャンネルで同一のペイロードデータを持つ Sync フレームがメッセージバッファ 0 から送信されます。メッセージバッファ 0 およびメッセージバッファ 1 用のチャンネルフィルタは SPLM ビット設定に応じて選択されます。  0: メッセージバッファ 0 への書き込み禁止 1: メッセージバッファ 0 および 1 への書き込み禁止  【注】・Sync ノードの場合、または SINGLE スロットモードに設定されている場合、メッセージバッファ 0 および 1 は Sync フレーム用または SINGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 は他のメッセージバッファと同様に扱われます。



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
25 24	SEC1 SEC0	0 1	R R	W W	保護バッファビット*1 00: メッセージバッファ (<FFB) への書き込み許可*2 01: メッセージバッファ (<FDB かつ ≥FFB) への書き込み禁止、およびメッセージバッファ (≥FDB) のスタティックセグメントへの送信禁止 10: すべてのメッセージバッファへの書き込み禁止 11: すべてのメッセージバッファへの書き込み禁止、およびメッセージバッファ (≥FDB) のスタティックセグメントへの送信禁止
23~16	LCB7~ LCB0	H'80	R	W	最終バッファ番号設定ビット 0~127: メッセージバッファ数は LCB+1 128 以上: メッセージバッファ設定なし
15~8	FFB7~ FFB0	すべて 0	R	W	FIFO バッファ先頭位置設定ビット 0: すべて FIFO バッファに設定 1~127: メッセージバッファ FFB~LCB を FIFO バッファに設定 128 以上: FIFO バッファ設定なし
7~0	FDB7~ FDB0	すべて 0	R	W	ダイナミックバッファ先頭位置設定ビット 0: スタティックセグメント用にメッセージバッファなし 1~127: メッセージバッファ 0~FDB-1 をスタティックセグメント用に確保 128 以上: ダイナミックバッファなし

【注】 \*1 CONFIG 状態では、これらのビットの設定は無視されます。

\*2 ノードが Sync フレーム送信用または SINGLE スロットモードに設定されている場合、メッセージバッファ 0 (SPLM ビットが"1"のときはメッセージバッファ 1 も同様) への書き込みは禁止です。

- ・ Sync ノードの場合、または SINGLE スロットモードに設定されている場合、メッセージバッファ 0 および 1 は Sync フレーム用または SINGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 は他のメッセージバッファと同様に扱われます。
- ・ CONFIG 状態でのみ設定できます。

図 32.3 に FDB、FFB、LCB ビットによるメッセージバッファの構成例を示します。

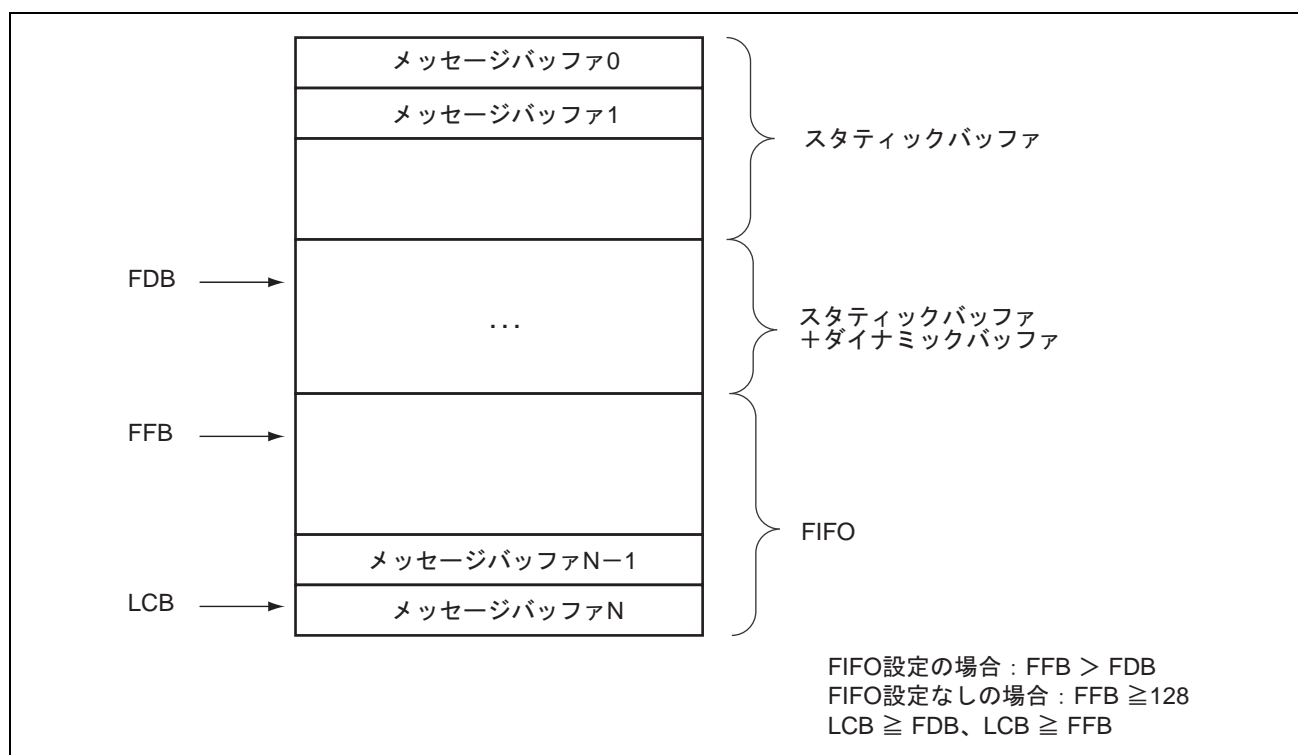


図 32.3 メッセージバッファの構成例

- 【注】
- ・ FDB、FEB および LCB 各ビットの設定が有効であることを必ず確認してください。CC での誤設定チェック機能はありません。
  - ・ ヘッダセクション数は最大で 128、すなわちメッセージバッファは最大 128 個まで設定できます。データセクションの最大長は 254 バイトです。データセクション長はメッセージバッファごとに設定できます。詳細は「32.23 メッセージ RAM」を参照してください。
  - ・ サイクルフィルタリングを使用することで、2 つ以上のメッセージバッファをスロット 1 にアサインする場合、それらはすべて「スタティックバッファ」か「スタティック+ダイナミックバッファ」セクションの先頭に配置しなければいけません。
  - ・ ペイロード長およびデータセクション長は、FIFO 内のすべてのメッセージバッファで同じ値を設定してください。設定には FRWRHS2 レジスタの PLC ビットおよび FRWRHS3 レジスタの DP ビットを使用します。CONFIG 状態以外の場合、FIFO のメッセージバッファへの書き込みはできません。
  - ・ FlexRay プロトコル仕様書は、各ノードがキースロット中でフレームを送信することを要求しています。そのため、少なくともメッセージバッファ 0 はキースロットでの送信のために予約されるべきです。この要求のために、最大 127 のメッセージバッファが FIFO に配置できます。しかしながら、プロトコルに準拠せず、スタティックセグメント中に送信スロットがない場合も、動作させることができます

## 32.8.2 FlexRay FIFO リジェクションフィルタレジスタ (FRFRF)

FRFRF レジスタは、フィルタリング関連の各種設定を行います。

FRFRFM レジスタとともに FIFO のメッセージ受諾/拒否を設定するレジスタです。

FlexRay FIFOリジェクションフィルタレジスタ (FRFRF)

<P4領域アドレス : H'FFBF F304番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RNF	RSS	CYF6	CYF5	CYF4	CYF3	CYF2	CYF1	CYF0
リセット後の値:	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0	CH1	CH0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0180 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~25	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
24	RNF	1	R	W	Null フレームのリジェクトビット 0 : Null フレームを FIFO に格納 1 : 全 Null フレームを除外
23	RSS	1	R	W	スタティックセグメントリジェクトビット 0 : FIFO をスタティックセグメントにも使用 1 : スタティックセグメント内のメッセージを除外
22~16	CYF6~ CYF0	すべて0	R	W	サイクルカウンタフィルタビット サイクルカウンタフィルタリングに使用するサイクルコード値を設定します。 このビットで設定されていないサイクルではすべての受信フレームが拒否されます。サイクルカウンタフィルタ設定の詳細は、「32.18.2 サイクルカウンタフィルタリング」を参照してください。
15~13	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12~2	FID10~ FID0	すべて0	R	W	フレーム ID フィルタ FIFO で除外するフレーム ID を設定します。*2*3 有効範囲は 0~2047 です。
1 0	CH1 CH0	0 0	R R	W W	チャンネルフィルタ 00 : チャンネル A およびチャンネル B で受信*1 01 : チャンネル B で受信 10 : チャンネル A で受信 11 : 受信禁止

【注】 \*1 CH1~CH0 ビットが"B'00"の場合、スタティックセグメントでも両チャンネルのフレームを受信します。

\*2 FRFRFM レジスタの設定をすることで、対応するビットを無視させることができます。

- \*3 FRFRFM レジスタの MFID10~MFID0 ビットが"H'000"の場合、FID10~FID0 ビットに"H'000"を設定するとすべてのフレーム ID を受信します。
- ・ CONFIG 状態でのみ設定変更できます。

### 32.8.3 FlexRay FIFO リジェクションフィルタマスクレジスタ (FRFRFM)

FRFRFM レジスタは、除外フィルタリングに関連するフレーム ID フィルタビットを指定します。ビットに"1"を設定すると、FRFRFM レジスタの対応する FID ビットは除外フィルタリングに使用されません。

FlexRayFIFOリジェクションフィルタマスクレジスタ (FRFRFM)

<P4領域アドレス : H'FFBF F30A番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MFID10	MFID9	MFID8	MFID7	MFID6	MFID5	MFID4	MFID3	MFID2	MFID1	MFID0	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~13	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
12~2	MFID10~MFID0	すべて 0	R	W	マスクフレーム ID フィルタビット 0 : 対応するフレーム ID フィルタビットを除外フィルタリングに使用する 1 : 対応するフレーム ID フィルタビットを無視
1、0	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【注】 ・ CONFIG 状態でのみ設定変更できます。

### 32.8.4 FlexRay FIFO クリティカルレベルレジスタ (FRFCL)

FlexRay FIFOクリティカルレベルレジスタ (FRFCL)

<P4領域アドレス : H'FFBF F30F番地>

ビット :

7	6	5	4	3	2	1	0
CL7	CL6	CL5	CL4	CL3	CL2	CL1	CL0

リセット後の値 :

1 0 0 0 0 0 0 0

<リセット後の値 : H'80>

ビット	シンボル	リセット後の値	R	W	説明
7~0	CL7~CL0	H'80	R	W	<p>FIFO クリティカルレベル設定ビット</p> <p>受信 FIFO 内のデータ量がここで設定した値以上になると、FRFSR レジスタの RFCL ビットが"1"になります。</p> <p>FIFO フィルレベル(未読データ数) (FRFSR レジスタの RFFL7~RFFL0 ビット) が CL7~CL0 ビットで設定されるクリティカルレベル以上の場合、FRFSR レジスタの RFCL ビットが"1"になります。128 を超える値を設定した場合、RFCL ビットが"1"になることはありません。RFCL ビットが"0"から"1"になるとき、FRSIR レジスタの RFCL ビットが"1"になり、割り込みが許可されている場合、割り込み要求が発生します。</p>

【注】 ・ CONFIG 状態でのみ設定変更できます。

## 32.9 メッセージバッファステータスレジスタ

### 32.9.1 FlexRay メッセージハンドラステータスレジスタ (FRMHDS)

各フラグは、該当するビットに"1"を書くと"0"になります。"0"を書いてもフラグに影響を与えません。CLEAR\_RAMs コマンドの実行、またはリセットで"0"にすることも可能です。

FlexRayメッセージハンドラステータスレジスタ (FRMHDS)

<P4領域アドレス : H'FFBF F310番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MBU6	MBU5	MBU4	MBU3	MBU2	MBU1	MBU0	—	MBT6	MBT5	MBT4	MBT3	MBT2	MBT1	MBT0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	FMB6	FMB5	FMB4	FMB3	FMB2	FMB1	FMB0	CRAM	MFMB	FMBD	PTBF2	PTBF1	PMR	POBF	PIBF
リセット後の値 :	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0080>

ビット	シンボル	リセット後の値	R	W	説明
31	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
30~24	MBU6~ MBU0	すべて0	R	0	メッセージバッファ更新 <sup>*3</sup> 最後に更新されたメッセージバッファ番号を表示します。 <sup>*6</sup>
23	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22~16	MBT6~ MBT0	すべて0	R	0	メッセージバッファ送信完了 <sup>*4</sup> 最後にフレーム送信が成功したメッセージバッファ番号を表示します。 <sup>*5</sup>
15	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
14~8	FMB6~ FMB0	すべて0	R	0	誤りメッセージバッファ番号 メッセージバッファ読み出し時または入力バッファまたはテンポラリバッファ 1、2からこのビットで示すメッセージバッファヘデータを転送したときにパリティエラーが発生したことを示します。 <sup>*2*3</sup>
7	CRAM	1	R	0	内部 RAM クリアフラグ CHI コマンドの CLEAR_RAMs コマンドが実行中であることを示します (内部 RAM すべてのビットが"0"になります)。このフラグはリセットまたは CLEAR_RAMs コマンドの実行で"1"になります。 0 : CLEAR_RAMs コマンド非実行 1 : CLEAR_RAMs コマンド実行中

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
6	MFMB	0	R	W	誤りメッセージバッファ複数検出フラグ 0: 追加の誤りメッセージバッファなし 1: FMBD フラグが"1"のとき別の誤りメッセージバッファを検出
5	FMBD	0	R	W	誤りメッセージバッファ検出フラグ パリティエラーのある誤りデータをメッセージバッファ (FMB6~FMB0 ビットでバッファ番号を参照可能) が保持していることを示します。 0: 誤りメッセージバッファなし 1: FMB6~FMB0 で示すメッセージバッファにパリティエラーのある誤りデータを格納
4	PTBF2	0	R	W	テンポラリバッファ RAM B パリティエラーフラグ 0: パリティエラーなし 1: リード時パリティエラー検出*1
3	PTBF1	0	R	W	テンポラリバッファ RAM A パリティエラーフラグ 0: パリティエラーなし 1: リード時パリティエラー検出*1
2	PMR	0	R	W	メッセージ RAM パリティエラーフラグ 0: パリティエラーなし 1: リード時パリティエラー検出*1
1	POBF	0	R	W	出力バッファ RAM1、2 パリティエラーフラグ 0: パリティエラーなし 1: リード時パリティエラー検出*1
0	PIBF	0	R	W	入力バッファ RAM1、2 パリティエラーフラグ 0: パリティエラーなし 1: リード時パリティエラー検出*1

- 【注】 \*1 PIBF、POBF、PMR、PTBF1、PTBF2 のいずれかのフラグが"0"から"1"になると FREIR レジスタの PERR フラグが"1"になります。
- \*2 PIBF、PMR、PTBF1、PTBF2 のいずれかのフラグと、FMBD フラグが"1"のとき有効です。
- \*3 このビットは FMBD ビットが"1"のときは更新されません。
- \*4 CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このフラグは"0"になります。
- \*5 メッセージバッファがシングルショットモードの場合、FRTRXQ1~FRTRXQ4 レジスタの対応する TXR フラグは"0"になっています。
- \*6 FRNDAT1~FRNDAT4 レジスタの対応する新データフラグ、FRMBSC1~FRMBSC4 レジスタの対応するメッセージバッファステータス変化フラグの両方または一方も"1"になります。

## 32.9.2 FlexRay 最終ダイナミック送信スロットレジスタ (FRLDTS)

FlexRay最終ダイナミック送信スロットレジスタ (FRLDTS)

&lt;P4領域アドレス : H'FFBF F314番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	LDTB10	LDTB9	LDTB8	LDTB7	LDTB6	LDTB5	LDTB4	LDTB3	LDTB2	LDTB1	LDTB0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LDTA10	LDTA9	LDTA8	LDTA7	LDTA6	LDTA5	LDTA4	LDTA3	LDTA2	LDTA1	LDTA0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~27	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
26~16	LDTB10~ LDTB0	すべて0	R	N	チャンネルB 最終ダイナミック送信スロット* <sup>1</sup> ダイナミックセグメントでチャンネルB から最後にフレームを送信したときのスロットカウンタ値を格納します。
15~11	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
10~0	LDTA10~ LDTA0	すべて0	R	N	チャンネルA 最終ダイナミック送信スロット* <sup>1</sup> ダイナミックセグメントでチャンネルA から最後にフレームを送信したときのスロットカウンタ値を格納します。

【注】 \*1 ダイナミックセグメントの終端で更新されます。ダイナミックセグメント中にフレームが送信されなかった場合、"0"になります。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。



## 32.9.3 FlexRay FIFO ステータスレジスタ (FRFSR)

FlexRay FIFOステータスレジスタ (FRFSR)

&lt;P4領域アドレス: H'FFBF F31A番地&gt;

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RFFL7	RFFL6	RFFL5	RFFL4	RFFL3	RFFL2	RFFL1	RFFL0	—	—	—	—	—	RFO	RFCL	RFNE
-------	-------	-------	-------	-------	-------	-------	-------	---	---	---	---	---	-----	------	------

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

&lt;リセット後の値: H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~8	RFFL7~RFFL0	すべて0	R	N	受信 FIFO フィルレベル 未読の受信データを格納している FIFO バッファ数を表示します。 最大値は 128 です。
7~3	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
2	RFO	0	R	N	受信 FIFO オーバランフラグ 受信 FIFO オーバランが起こると一番古いメッセージに最新の受信メッセージが上書きされます。また FREIR レジスタの RFO ビットが"1"になります。FIFO が読まれると"0"になります。 0: 受信 FIFO オーバラン未検出 1: 受信 FIFO オーバラン検出
1	RFCL	0	R	N	受信 FIFO クリティカルフラグ RFFL7~RFFL0 ビットの値が RFCL レジスタの CL7~CL0 ビットに設定した値以上になると"1"になります。RFFL7~RFFL0 ビットの値がそれ未満になると"0"になります。 このフラグが"0"から"1"になると FRSIR レジスタの RFCL ビットが"1"になり、割り込みが許可されている場合、割り込み要求が発生します。 受信 FIFO のフィルレベルが 0: クリティカルレベル未満 1: クリティカルレベル以上
0	RFNE	0	R	N	受信 FIFO データありフラグ 受信した有効なフレーム(データまたはリジェクションマスク設定によっては Null フレーム)が FIFO に格納されると"1"になります。さらに FRSIR レジスタの RFNE ビットも"1"になります。FIFO のメッセージがすべて読まれると"0"になります。 0: 受信 FIFO 空 1: 受信 FIFO にデータあり

【注】・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

### 32.9.4 FlexRay メッセージハンドラ制限フラグレジスタ (FRMHDF)

メッセージハンドラには PAck の周波数、メッセージ RAM 設定、FlexRay バストラフィックに関していくつかの制限事項があります。ソフトウェア開発を容易にするため、このレジスタのフラグによって制限違反がわかるようになっています。

各フラグは、該当するビットに"1"を書くと"0"になります。"0"を書いてもフラグに影響を与えません。またリセットで"0"にすることも可能です。

FlexRayメッセージハンドラ制限フラグレジスタ (FRMHDF)

<P4領域アドレス : H'FFBF F31E番地>

ビット:    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  
           — — — — — — — WAHP — — TBFB TBFA FNFB FNFA SNUB SNUA  
 リセット後の値:   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~9	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
8	WAHP	0	R	W	ヘッダパーティションへの書き込みトライフラグ* <sup>1</sup> DEFAULT_CONFIG 状態と CONFIG 状態を除き、メッセージバッファの誤設定により、メッセージハンドラがメッセージ RAM のヘッダパーティションにデータを書き込もうとすると"1"になります。意図しない書き込みからヘッダパーティションを保護するため、書き込み自体は実行されません。 0: 書き込みトライなし 1: 書き込みトライあり
7, 6	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
5	TBFB	0	R	W	テンポラリバッファ B アクセス失敗フラグ* <sup>1</sup> プロトコルコントローラ (PRT) B が要求するテンポラリバッファ B への読み出しまたは書き込みが所定の時間内に完了しなかった場合"1"になります。 0: アクセス成功 1: アクセス失敗
4	TBFA	0	R	W	テンポラリバッファ A アクセス失敗フラグ* <sup>1</sup> プロトコルコントローラ (PRT) A が要求するテンポラリバッファ A への読み出しまたは書き込みが所定の時間内に完了しなかった場合"1"になります。 0: アクセス成功 1: アクセス失敗

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
3	FNFB	0	R	W	<p>チャンネル B 検査処理未完了フラグ<sup>*1*2</sup></p> <p>メッセージハンドラが、過負荷のために検査処理を完了できなかったときに"1"になります。</p> <p>0 : チャンネル B で完了しなかった検査処理なし</p> <p>1 : チャンネル B で検査処理完了せず</p>
2	FNFA	0	R	W	<p>チャンネル A 検査処理未完了フラグ<sup>*1*2</sup></p> <p>メッセージハンドラが、過負荷のために検査処理を完了できなかったときに"1"になります。</p> <p>0 : チャンネル A で完了しなかった検査処理なし</p> <p>1 : チャンネル A で検査処理完了せず</p>
1	SNUB	0	R	W	<p>チャンネル B ステータス未更新フラグ<sup>*1</sup></p> <p>メッセージハンドラが、過負荷のためにメッセージバッファステータス (MBS) を更新できなかったときに"1"になります。</p> <p>0 : チャンネル B のメッセージバッファステータス (MBS) 更新時に過負荷状態なし</p> <p>1 : チャンネル B の MBS 更新なし</p>
0	SNUA	0	R	W	<p>チャンネル A ステータス未更新フラグ<sup>*1</sup></p> <p>メッセージハンドラが、過負荷のためにメッセージバッファステータス (MBS) を更新できなかったときに"1"になります。</p> <p>0 : チャンネル A のメッセージバッファステータス (MBS) 更新時に過負荷状態なし</p> <p>1 : チャンネル A の MBS 更新なし</p>

【注】 \*1 SNUA、SNUB、FNFA、FNFB、TBFA、TBFB、WAHP のいずれかのフラグが"0"から"1"になると FREIR レジスタの MHF フラグが"1"になります。

\*2 検査処理とはメッセージ RAM をスキャンして、符合するメッセージバッファを探すことです。

・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

### 32.9.5 FlexRay 送信要求レジスタ 1~4 (FRTXRQ1~4)

FRTXRQ1~FRTXRQ4 の4つのレジスタで全メッセージバッファの送信要求フラグの状態を示します。

送信バッファに設定されたメッセージバッファのみ評価されます。設定したメッセージバッファ数が128未満のとき使用していないTXRフラグは無効です。

#### (1) FlexRay 送信要求レジスタ 1 (FRTXRQ1)

FlexRay送信要求レジスタ1 (FRTXRQ1)

<P4領域アドレス : H'FFBF F320番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXR 31	TXR 30	TXR 29	TXR 28	TXR 27	TXR 26	TXR 25	TXR 24	TXR 23	TXR 22	TXR 21	TXR 20	TXR 19	TXR 18	TXR 17	TXR 16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXR 15	TXR 14	TXR 13	TXR 12	TXR 11	TXR 10	TXR 9	TXR 8	TXR 7	TXR 6	TXR 5	TXR 4	TXR 3	TXR 2	TXR 1	TXR 0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	TXR31~ TXR0	すべて0	R	N	送信要求フラグ*1 このビットが"1"のとき対応するメッセージバッファの送信準備ができています、または送信中であることを示します。 シングルショットモードでは送信完了後"0"になります

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないTXRフラグは無効です。

## 32. FlexRay モジュール

### (2) FlexRay 送信要求レジスタ 2 (FRTXRQ2)

FlexRay送信要求レジスタ2 (FRTXRQ2)

<P4領域アドレス : H'FFBF F324番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXR 63	TXR 62	TXR 61	TXR 60	TXR 59	TXR 58	TXR 57	TXR 56	TXR 55	TXR 54	TXR 53	TXR 52	TXR 51	TXR 50	TXR 49	TXR 48
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXR 47	TXR 46	TXR 45	TXR 44	TXR 43	TXR 42	TXR 41	TXR 40	TXR 39	TXR 38	TXR 37	TXR 36	TXR 35	TXR 34	TXR 33	TXR 32
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	TXR63~ TXR32	すべて0	R	N	送信要求フラグ*1  このビットが"1"のとき対応するメッセージバッファの送信準備ができています、または送信中であることを示します。  シングルショットモードでは送信完了後"0"になります

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないTXRフラグは無効です。

## (3) FlexRay 送信要求レジスタ 3 (FRTXRQ3)

FlexRay送信要求レジスタ3 (FRTXRQ3)

&lt;P4領域アドレス : H'FFBF F328番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXR 95	TXR 94	TXR 93	TXR 92	TXR 91	TXR 90	TXR 89	TXR 88	TXR 87	TXR 86	TXR 85	TXR 84	TXR 83	TXR 82	TXR 81	TXR 80
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXR 79	TXR 78	TXR 77	TXR 76	TXR 75	TXR 74	TXR 73	TXR 72	TXR 71	TXR 70	TXR 69	TXR 68	TXR 67	TXR 66	TXR 65	TXR 64
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	TXR95~ TXR64	すべて0	R	N	送信要求フラグ*1  このビットが"1"のとき対応するメッセージバッファの送信準備ができています、または送信中であることを示します。  シングルショットモードでは送信完了後"0"になります

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないTXRフラグは無効です。

## 32. FlexRay モジュール

### (4) FlexRay 送信要求レジスタ 4 (FRTXRQ4)

FlexRay送信要求レジスタ4 (FRTXRQ4)

<P4領域アドレス : H'FFBF F32C番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXR 127	TXR 126	TXR 125	TXR 124	TXR 123	TXR 122	TXR 121	TXR 120	TXR 119	TXR 118	TXR 117	TXR 116	TXR 115	TXR 114	TXR 113	TXR 112
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXR 111	TXR 110	TXR 109	TXR 108	TXR 107	TXR 106	TXR 105	TXR 104	TXR 103	TXR 102	TXR 101	TXR 100	TXR 99	TXR 98	TXR 97	TXR 96
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	TXR127~ TXR96	すべて0	R	N	送信要求フラグ*1  このビットが"1"のとき対応するメッセージバッファの送信準備ができています、または送信中であることを示します。  シングルショットモードでは送信完了後"0"になります

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないTXRフラグは無効です。

### 32.9.6 FlexRay 新データレジスタ 1~4 (FRNDAT1~4)

FRNDAT1~FRNDAT4 の 4 つのレジスタで全メッセージバッファの新データフラグの状態を示します。  
送信バッファに設定されたメッセージバッファの新データフラグは無効です。設定したメッセージバッファ数が 128 未満のとき使用していない新データフラグは無効です。

#### (1) FlexRay 新データレジスタ 1 (FRNDAT1)

FlexRay新データレジスタ1 (FRNDAT1)

&lt;P4領域アドレス : H'FFBF F330番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~0	ND31~ND0	すべて 0	R	N	<p>新データフラグ*1</p> <p>有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき"1"になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は"1"になりません</p> <p>新データフラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき"0"になります。</p>

【注】 \*1 メッセージバッファ数が 128 個未満の場合、使用していない新データフラグは無効です。また送信バッファに割り当てられているフラグも無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。



## 32. FlexRay モジュール

### (2) FlexRay 新データレジスタ 2 (FRNDAT2)

FlexRay新データレジスタ2 (FRNDAT2)

<P4領域アドレス : H'FFBF F334番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ND 63	ND 62	ND 61	ND 60	ND 59	ND 58	ND 57	ND 56	ND 55	ND 54	ND 53	ND 52	ND 51	ND 50	ND 49	ND 48
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND 47	ND 46	ND 45	ND 44	ND 43	ND 42	ND 41	ND 40	ND 39	ND 38	ND 37	ND 36	ND 35	ND 34	ND 33	ND 32
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット 後の値	R	W	説明
31~0	ND63~ ND32	すべて0	R	N	<p>新データフラグ*1</p> <p>有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき"1"になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は"1"になりません</p> <p>新データフラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき"0"になります。</p>

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していない新データフラグは無効です。また送信バッファに割り当てられているフラグも無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

## (3) FlexRay 新データレジスタ 3 (FRNDAT3)

FlexRay新データレジスタ3 (FRNDAT3)

&lt;P4領域アドレス : H'FFBF F338番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ND 95	ND 94	ND 93	ND 92	ND 91	ND 90	ND 89	ND 88	ND 87	ND 86	ND 85	ND 84	ND 83	ND 82	ND 81	ND 80
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND 79	ND 78	ND 77	ND 76	ND 75	ND 74	ND 73	ND 72	ND 71	ND 70	ND 69	ND 68	ND 67	ND 66	ND 65	ND 64
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	ND95~ ND64	すべて 0	R	N	<p>新データフラグ*1</p> <p>有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき"1"になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は"1"になりません</p> <p>新データフラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき"0"になります。</p>

【注】 \*1 メッセージバッファ数が 128 個未満の場合、使用していない新データフラグは無効です。また送信バッファに割り当てられているフラグも無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

## (4) FlexRay 新データレジスタ 4 (FRNDAT4)

FlexRay新データレジスタ4 (FRNDAT4)

&lt;P4領域アドレス : H'FFBF F33C番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND
	127	126	125	124	123	122	121	120	119	118	117	116	115	114	113	112
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND	ND
	111	110	109	108	107	106	105	104	103	102	101	100	99	98	97	96
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~0	ND127~ ND96	すべて 0	R	N	<p>新データフラグ*1</p> <p>有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき"1"になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は"1"になりません</p> <p>新データフラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき"0"になります。</p>

【注】 \*1 メッセージバッファ数が 128 個未満の場合、使用していない新データフラグは無効です。また送信バッファに割り当てられているフラグも無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

### 32.9.7 FlexRay メッセージバッファステータス変化レジスタ 1~4 (FRMBSC1~4)

FRMBSC1~FRMBSC4 の 4 つのレジスタで全メッセージバッファのステータスフラグの状態を示します。設定したメッセージバッファ数が 128 未満のとき使用していない MBC ビットは無効です。

#### (1) FlexRay メッセージバッファステータス変化レジスタ 1 (FRMBSC1)

FlexRayメッセージバッファステータス変化レジスタ1 (FRMBSC1)

<P4領域アドレス : H'FFBF F340番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MBC31~MBC0	すべて 0	R	N	<p>メッセージバッファステータス変化フラグ*<sup>1</sup></p> <p>メッセージバッファのヘッダセクションに関するステータスフラグ</p> <p>(VFRA、VFRB、SEOA、SEOB、CEOA、CEOB、SVOA、SVOB、TCIA、TCIB、ESA、ESB、MLST、FTA、FTB) の変化の有無を表示します。メッセージバッファのステータスが変化したときに"1"になり、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると"0"になります。</p> <p>0 : 変化なし</p> <p>1 : 変化あり</p>

【注】 \*1 メッセージバッファ数が 128 個未満の場合、使用していないメッセージバッファステータス変化フラグは無効です。

・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

## 32. FlexRay モジュール

### (2) FlexRay メッセージバッファステータス変化レジスタ 2 (FRMBSC2)

FlexRayメッセージバッファステータス変化レジスタ2 (FRMBSC2)

<P4領域アドレス: H'FFBF F344番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値: H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MBC63~ MBC32	すべて0	R	N	メッセージバッファステータス変化フラグ*1 メッセージバッファのヘッダセクションに関するステータスフラグ (VFRA、VFRB、SEOA、SEOB、CEOA、CEOB、SVOA、SVOB、TCIA、TCIB、 ESA、ESB、MLST、FTA、FTB) の変化の有無を表示します。メッセージバッファ のステータスが変化したときに"1"になり、対応するメッセージバッファのヘッダ セクションの設定が変更されるか OBF への転送が完了すると"0"になります。 0: 変化なし 1: 変化あり

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないメッセージバッファステータス変化フラグは無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

## (3) FlexRay メッセージバッファステータス変化レジスタ 3 (FRMBSC3)

FlexRayメッセージバッファステータス変化レジスタ3 (FRMBSC3)

&lt;P4領域アドレス: H'FFBF F348番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBC 95	MBC 94	MBC 93	MBC 92	MBC 91	MBC 90	MBC 89	MBC 88	MBC 87	MBC 86	MBC 85	MBC 84	MBC 83	MBC 82	MBC 81	MBC 80
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBC 79	MBC 78	MBC 77	MBC 76	MBC 75	MBC 74	MBC 73	MBC 72	MBC 71	MBC 70	MBC 69	MBC 68	MBC 67	MBC 66	MBC 65	MBC 64
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値: H'0000 0000&gt;

ビット	シンボル	リセット 後の値	R	W	説 明
31~0	MBC95~ MBC64	すべて0	R	N	<p>メッセージバッファステータス変化フラグ*1</p> <p>メッセージバッファのヘッダセクションに関するステータスフラグ</p> <p>(VFRA、VFRB、SEOA、SEOB、CEOA、CEOB、SVOA、SVOB、TCIA、TCIB、ESA、ESB、MLST、FTA、FTB) の変化の有無を表示します。メッセージバッファのステータスが変化したときに"1"になり、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると"0"になります。</p> <p>0: 変化なし 1: 変化あり</p>

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないメッセージバッファステータス変化フラグは無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

## 32. FlexRay モジュール

### (4) FlexRay メッセージバッファステータス変化レジスタ 4 (FRMBSC4)

FlexRayメッセージバッファステータス変化レジスタ4 (FRMBSC4)

<P4領域アドレス : H'FFBF F34C番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	127	126	125	124	123	122	121	120	119	118	117	116	115	114	113	112
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC	MBC
	111	110	109	108	107	106	105	104	103	102	101	100	99	98	97	96
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MBC127~ MBC96	すべて0	R	N	<p>メッセージバッファステータス変化フラグ*1</p> <p>メッセージバッファのヘッダセクションに関するステータスフラグ (VFRA、VFRB、SEOA、SEOB、CEOA、CEOB、SVOA、SVOB、TCIA、TCIB、ESA、ESB、MLST、FTA、FTB) の変化の有無を表示します。メッセージバッファのステータスが変化したときに"1"になり、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると"0"になります。</p> <p>0 : 変化なし 1 : 変化あり</p>

【注】 \*1 メッセージバッファ数が128個未満の場合、使用していないメッセージバッファステータス変化フラグは無効です。

- ・ CONFIG 状態から抜けたとき、または STARTUP 状態に入ったとき、このレジスタは初期化されます。

### 32.10 入力バッファ (IBF)

入力バッファ (IBF) は、IBF ホストと IBF シャドウの 2 段バッファ構成になっています。CPU からの書き込みアクセスは IBF ホストへ、メッセージ RAM への転送は IBF シャドウから行います。IBF はメッセージ RAM 内の選択されたメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。メッセージ RAM 内のメッセージバッファを設定するため、および送信バッファのデータセクションを更新するために IBF を使用します。メッセージ RAM 内のメッセージバッファのヘッダセクションを IBF から更新すると、「32.11.5 FlexRay メッセージバッファステータスレジスタ (FRMBS)」に記載のメッセージバッファステータスは自動的に"0"になります。

受信 FIFO に設定したメッセージバッファのヘッダセクションを設定または変更できるのは、CONFIG 状態のときのみです。これらのメッセージバッファに関しては、FRWRHS2 レジスタの PLC6~PLC0 ビットと FRWRHS3 レジスタの DP10~DP0 ビットにより、設定ペイロード長およびデータポインタの 2 つだけが設定できます。アクセプタンスフィルタリングに必要な情報はすべて FRFRF レジスタおよび FRFRFM レジスタから得ます。受信バッファ (IBF) とメッセージ RAM 間のデータ転送については、「32.22.2 (1) 入力バッファからメッセージ RAM へのデータ転送」に詳述しています。



## 32.10.1 FlexRay データセクションライトレジスタ 1~64 (FRWRDS1~64)

入力バッファから指定したメッセージバッファのデータセクションへ転送するデータを設定します。データワード ( $DW_i$ ) は  $DW_1$  (byte0, byte1) から  $DW_{PL}$  ( $PL$ =設定ペイロード長 (FRWRHS2 レジスタの PLC6~PLC0 ビット) によって定義されたデータワード数) の順にメッセージ RAM に書かれます。

FlexRayデータセクションライトレジスタ1 (FRWRDS1)	<P4領域アドレス : H'FFBF F400番地>
FlexRayデータセクションライトレジスタ2 (FRWRDS2)	<P4領域アドレス : H'FFBF F404番地>
FlexRayデータセクションライトレジスタ3 (FRWRDS3)	<P4領域アドレス : H'FFBF F408番地>
⋮	⋮
FlexRayデータセクションライトレジスタ62 (FRWRDS62)	<P4領域アドレス : H'FFBF F4F4番地>
FlexRayデータセクションライトレジスタ63 (FRWRDS63)	<P4領域アドレス : H'FFBF F4F8番地>
FlexRayデータセクションライトレジスタ64 (FRWRDS64)	<P4領域アドレス : H'FFBF F4FC番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~0	MD31~MD0	すべて0	R	W	メッセージデータ MD7~MD0 : $DW_{n+1}$ , byte $_{n+2}$ MD15~MD8 : $DW_{n+1}$ , byte $_{n+1}$ MD23~MD16 : $DW_n$ , byte $_n$ MD32~MD24 : $DW_n$ , byte $_{n-1}$

【注】・  $DW_{127}$  は FRWRDS64 レジスタの MD15~MD0 ビットに位置します。この場合、MD31~MD16 ビットは使用されません。リセット後または CLEAR\_RAMs コマンドにより入力バッファは 0 に初期化されます。

このレジスタへの読み出し/書き込み時のバイト順位を FXROC レジスタの FBSSEN ビットでリトルエンディアン形式かビッグエンディアン形式を選択できます。

- FXROC レジスタの FBSSEN ビットが "1" (ビッグエンディアン形式) のとき  
FRWRDS $_n$  レジスタの MD7~MD0 =  $DW_{n+1}$ , byte $_{n+2}$   
FRWRDS $_n$  レジスタの MD15~MD8 =  $DW_{n+1}$ , byte $_{n+1}$   
FRWRDS $_n$  レジスタの MD23~MD16 =  $DW_n$ , byte $_n$   
FRWRDS $_n$  レジスタの MD31~MD24 =  $DW_n$ , byte $_{n-1}$
- FXROC レジスタの FBSSEN ビットが "0" (リトルエンディアン形式) のとき  
FRWRDS $_n$  レジスタの MD7~MD0 =  $DW_n$ , byte $_{n-1}$   
FRWRDS $_n$  レジスタの MD15~MD8 =  $DW_n$ , byte $_n$   
FRWRDS $_n$  レジスタの MD23~MD16 =  $DW_{n+1}$ , byte $_{n+1}$   
FRWRDS $_n$  レジスタの MD31~MD24 =  $DW_{n+1}$ , byte $_{n+2}$

【記号説明】  $n=0\sim11$

## 32.10.2 FlexRay ヘッダセクションライトレジスタ 1 (FRWRHS1)

FlexRayヘッダセクションライトレジスタ1 (FRWRHS1)

&lt;P4領域アドレス : H'FFBF F500番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CHB	CHA	—	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
29	MBI	0	R	W	メッセージバッファ割り込み許可ビット メッセージバッファ割り込みの許可/禁止を設定します。メッセージ割り込みが許可の場合メッセージバッファに受信フレームが格納されると、FRSIR レジスタのRXI ビットまたはおよびMBSI ビットが"1"になります。また、メッセージバッファからのフレーム送信が完了したときFRSIR レジスタのTXI ビットが"1"になります。 0: メッセージバッファ割り込み禁止 1: メッセージバッファ割り込み許可
28	TXM	0	R	W	送信モード設定ビット 本ビットの設定に関する詳細は「32.19.3 送信バッファ」を参照してください。 0: 連続送信モード 1: シングルショットモード
27	PPIT	0	R	W	ペイロードプリアンブルインジケータ送信ビット 送信フレームのペイロードプリアンブルインジケータの状態を制御します。スタティックメッセージバッファでこのビットを"1"にすると、対応するメッセージバッファにネットワーク管理情報が含まれます。ダイナミックメッセージバッファでこのビットを"1"にすると、ペイロードセグメントの最初の2バイトが受信側のメッセージIDフィルタリングに使用されます。本FlexRay モジュールでは、メッセージIDフィルタリングはサポートしていません。 0: PPI ビットを"0"にする 1: PPI ビットを"1"にする
26	CFG	0	R	W	メッセージバッファ方向設定ビット* <sup>3</sup> 0: 受信バッファに設定 1: 送信バッファに設定

## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
25 24	CHB CHA	0 0	R R	W W	チャンネルフィルタ制御ビット* <sup>2</sup> • 送信バッファ時 00: 送信禁止 01: チャンネル A でフレーム送信 10: チャンネル B でフレーム送信 11: 両チャンネルでフレーム送信 (スタティックセグメントのみ) • 受信バッファ時 00: 受信フレームを無視する 01: チャンネル A で受信したフレームをメッセージバッファへ格納 10: チャンネル B で受信したフレームをメッセージバッファへ格納 11: チャンネル A または B で最初に受信した有効なフレームをメッセージバッファへ格納 (スタティックセグメントのみ)
23	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22~16	CYC6~ CYC0	すべて 0	R	W	サイクルコード設定ビット サイクルカウンタフィルタリングで使用するサイクルセットを定義する 7 ビットのサイクルコードを設定します。サイクルコードの設定に関する詳細は「32.18.2 サイクルカウンタフィルタリング」を参照してください。
15~11	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~0	FID10~ FID0	すべて 0	R	W	フレーム ID 設定ビット* <sup>1</sup> 選択したメッセージバッファのフレーム ID を設定します。 フレーム ID はそれぞれのメッセージを送受信するためのスロット番号です。

【注】 \*1 フレーム ID に"H'000"を設定したメッセージバッファは無効となります。

\*2 メッセージバッファがダイナミックセグメントに設定されており、かつ CHA ビットと CHB ビットの両方が"1"に設定されている場合、フレームの送受信は行われません (両方のビットを"0"にしたのと同じ機能になります)。

\*3 受信 FIFO に設定したメッセージバッファについては、このビットは無効です。

## 32.10.3 FlexRay ヘッダセクションライトレジスタ 2 (FRWRHS2)

FlexRayヘッダセクションライトレジスタ2 (FRWRHS2)

&lt;P4領域アドレス : H'FFBF F504番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~23	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22~16	PLC6~ PLC0	すべて0	R	W	ペイロード長設定ビット ペイロード長（データセクションの長さ）を2バイト単位で設定します。 スタティックセグメントでは、FRMHDC レジスタの SFDL6~SFDL0 ビットで設定したスタティックフレームのペイロード長により全スタティックフレームのペイロード長が決定します。PLC6~PLC0 ビットで設定したペイロード長がこの値より短い場合、適切な物理長になるようパディングバイトが追加されます。パディングバイトの内容は"H'0000"です。
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~0	CRC10~ CRC0	すべて0	R	W	ヘッダ CRC 設定ビット (vRF!Header!HeaderCRC) *1 送信バッファの場合ヘッダ CRC を設定します。 ヘッダ CRC の計算では、送信フレームのペイロード長を考慮する必要があります。スタティックセグメントでは全フレームのペイロード長を FRMHDC レジスタの SFDL6~SFDL0 ビットで設定します。

【注】 \*1 受信バッファの場合、設定不要です。

## 32. FlexRay モジュール

### 32.10.4 FlexRay ヘッダセクションライトレジスタ 3 (FRWRHS3)

FlexRayヘッダセクションライトレジスタ3 (FRWRHS3)

<P4領域アドレス : H'FFBF F50A番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~11	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
10~0	DP10~ DP0	すべて0	R	W	データポインタ設定ビット メッセージRAM内のメッセージバッファのデータセクションの最初の32ビットワードの位置を設定します。

### 32.10.5 FlexRay 入力バッファコマンドマスクレジスタ (FRIBCM)

FRIBCR レジスタで選択したメッセージRAM内のメッセージバッファの更新方法を設定します。IBFホストとIBFシャドウが切り替わる時、LHSH、LDSH、STXRHビットとLHSS、LDSS、STXRSビットも切り替わります。

FlexRay入力バッファコマンドマスクレジスタ (FRIBCM)

<P4領域アドレス : H'FFBF F510番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRS	LDSS	LHSS
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRH	LDSH	LHSH
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18	STXRS	0	R	0	送信要求 (TXR ビット) フラグ (シャドウ) 0 : TXR フラグを"0"に設定 1 : TXR フラグを"1"に設定し送信予約 (転送中または転送完了)
17	LDSS	0	R	0	データセクション転送フラグ (シャドウ) 0 : データセクションを更新しない 1 : データセクションを転送する (転送中または転送完了)

ビット	シンボル	リセット 後の値	R	W	説 明
16	LHSS	0	R	0	ヘッダセクション転送フラグ (シャドウ) 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する (転送中または転送完了)
15~3	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2	STXRH	0	R	W	送信要求 (TXR ビット) 設定ビット (ホスト) *1*2 0: TXR ビットを"0"に設定 1: TXR ビットを"1"に設定し送信予約
1	LDSH	0	R	W	データセクション転送設定ビット (ホスト) 0: データセクションを更新しない 1: データセクションを転送する
0	LHSH	0	R	W	ヘッダセクション転送設定ビット (ホスト用) 0: ヘッダセクションを更新しない 1: ヘッダセクションを転送する

- 【注】 \*1 シングルショットモードの場合、送信完了時に該当メッセージバッファの送信要求フラグ (FRTXRQ1~FRTXRQ4 レジスタの TXR フラグ) は"0"になります。
- \*2 STXRH ビットを"1"にセットすると、送信バッファ・受信バッファに関わらず TXR ビットが"1"になります。送信バッファ用の TXR ビットのみチェックされるため、受信バッファでは TXR ビットが"1"であっても送信は行われません。
- IBF ホストと IBF シャドウが切り替わるとき、LHSH、LDSH、STXRH ビットと LHSS、LDSS、STXRS ビットもそれぞれ切り替わります。

## 32.10.6 FlexRay 入力バッファコマンド要求レジスタ (FRIBCR)

転送先であるメッセージ RAM のメッセージバッファ番号を IBRH ビットに書くと、IBF ホストと IBF シャドウが切り替わります。また IBRH ビットおよび IBRS ビットに格納されているメッセージバッファ番号も切り替わります。「32.22.2 (1) 入力バッファからメッセージ RAM へのデータ転送」を参照してください。

この書き込みにより IBSYS ビットが"1"になります。次に、メッセージハンドラにより IBF シャドウから IBRS ビットで選択されたメッセージバッファへの転送が始まります。

転送中 IBF ホストに次の転送データを書くことができます。IBF シャドウとメッセージ RAM 間の転送が完了すると、IBSYS ビットは再び"0"になり、IBRH ビットに次のメッセージバッファ番号が書かれると次のデータ転送が始まります。

IBSYS ビットが"1"のときに IBRH ビットへ書き込もうとすると、IBSYH ビットが"1"になります。

データ転送が完了すると IBF ホストと IBF シャドウが切り替わり、IBSYH ビットは"0"になります。IBSYS ビットは"1"のまま、次の転送が始まります。また IBRH ビットおよび IBRS ビットに格納されているメッセージバッファ番号も入れ替わります。

IBSYS ビットおよび IBSYH ビットが"1"のときに IBF レジスタへ書き込もうとすると、FREIR レジスタの IIBA ビットが"1"になります。この場合 IBF は切り替わりません。

FlexRay入力バッファコマンド要求レジスタ (FRIBCR)

&lt;P4領域アドレス : H'FFBF F514番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IBSYS	—	—	—	—	—	—	—	—	IBRS6	IBRS5	IBRS4	IBRS3	IBRS2	IBRS1	IBRS0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IBSYH	—	—	—	—	—	—	—	—	IBRH6	IBRH5	IBRH4	IBRH3	IBRH2	IBRH1	IBRH0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	IBSYS	0	R	0	入力バッファビジーフラグ (シャドウ) IBRH ビットへの書き込み (転送要求をセット) により"1"になり、IBF シャドウからメッセージ RAM への転送完了により"0"になります。"0"のとき、IBF シャドウからメッセージ RAM へ転送が終了したことを示します。 0 : IBF シャドウからメッセージ RAM へ転送完了 1 : IBF シャドウからメッセージ RAM へ転送中
30~23	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22~16	IBRS6~ IBRS0	すべて 0	R	0	入力バッファ転送要求ビット (シャドウ) * <sup>1</sup> 更新中または最後に更新した転送先メッセージバッファ番号を保存します。 有効範囲は 0~127 です。

ビット	シンボル	リセット 後の値	R	W	説 明
15	IBSYH	0	R	0	<p>入力バッファビジーフラグ (ホスト)</p> <p>IBSYS ビットが"1"のときに IBRH ビットへの書き込み (次の転送要求をセット) を行うと"1"になり、IBF シャドウからメッセージ RAM への転送完了で"0"になります。</p> <p>0 : 保留中の転送要求なし 1 : IBF シャドウからメッセージ RAM への転送中に次の転送要求あり</p>
14~7	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
6~0	IBRH6~ IBRH0	すべて 0	R	W	<p>入力バッファ転送要求ビット (ホスト) *<sup>1</sup></p> <p>転送先メッセージバッファ番号を書くと、データ転送を開始します。</p> <p>有効範囲は 0~127</p>

【注】 \*1 転送開始と同時に IBRH ビットと IBRS ビットの値は入れ替わります。



## 32.11 出力バッファ (OBF)

出力バッファ (OBF) は、OBF ホストと OBF シャドウの二重構成になっており、メッセージ RAM からメッセージバッファのデータを読み出すのに使用します。ホストでの読み出しは OBF ホストから、メッセージ RAM からの転送は OBF シャドウから行います。

「32.22.2 (2) メッセージ RAM から出力バッファへのデータ転送」に OBF とメッセージ RAM 間の転送の詳細を記載しています。

## 32.11.1 FlexRay データセクションリードレジスタ 1~64 (FRRDDS1~64)

FlexRayデータセクションリードレジスタ1 (FRRDDS1)	<P4領域アドレス : H'FFBF F600番地>
FlexRayデータセクションリードレジスタ2 (FRRDDS2)	<P4領域アドレス : H'FFBF F604番地>
FlexRayデータセクションリードレジスタ3 (FRRDDS3)	<P4領域アドレス : H'FFBF F608番地>
:	:
FlexRayデータセクションリードレジスタ62 (FRRDDS62)	<P4領域アドレス : H'FFBF F6F4番地>
FlexRayデータセクションリードレジスタ63 (FRRDDS63)	<P4領域アドレス : H'FFBF F6F8番地>
FlexRayデータセクションリードレジスタ64 (FRRDDS64)	<P4領域アドレス : H'FFBF F6FC番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD31	MD30	MD29	MD28	MD27	MD26	MD25	MD24	MD23	MD22	MD21	MD20	MD19	MD18	MD17	MD16
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD15	MD14	MD13	MD12	MD11	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~0	MD31~MD0	すべて0	R	N	<p>メッセージデータ</p> <p>指定したメッセージバッファのデータセクションから出力バッファに転送されたデータを保持します。データワード (DW<sub>i</sub>) は DW<sub>1</sub> (byte0, byte1) から DW<sub>PL</sub> (PL = 設定ペイロード長 (FRWRHS2 レジスタの PLC6~PLC0 ビット) によって定義されたデータワード数) の順にメッセージ RAM から読み出されます。</p> <p>MD7~MD0 : DW<sub>n+1</sub>, byte<sub>n+2</sub></p> <p>MD15~MD8 : DW<sub>n+1</sub>, byte<sub>n+1</sub></p> <p>MD23~MD16 : DW<sub>n</sub>, byte<sub>n</sub></p> <p>MD32~MD24 : DW<sub>n</sub>, byte<sub>n-1</sub></p>

【注】・ DW127 は FRRDDS64 レジスタの MD15~MD0 ビットに位置します。この場合、MD31~MD16 ビットは使用されません。リセット後または CLEAR\_RAMs コマンドにより入力バッファは 0 に初期化されます。

このレジスタへの読み出し時のバイト順位を FXROC レジスタの FBSEN ビットでリトルエンディアン形式かビッグエンディアン形式を選択できます。

- FXROCレジスタのFBSENビットが"1" (ビッグエンディアン形式) のとき  
FRRDDS<sub>n</sub>レジスタのMD7～MD0=DW<sub>n+1</sub>, byte<sub>n+2</sub>  
FRRDDS<sub>n</sub>レジスタのMD15～MD8=DW<sub>n+1</sub>, byte<sub>n+1</sub>  
FRRDDS<sub>n</sub>レジスタのMD23～MD16=DW<sub>n</sub>, byte<sub>n</sub>  
FRRDDS<sub>n</sub>レジスタのMD31～MD24=DW<sub>n</sub>, byte<sub>n-1</sub>
- FXROCレジスタのFBSENビットが"0" (リトルエンディアン形式) のとき  
FRRDDS<sub>n</sub>レジスタのMD7～MD0=DW<sub>n</sub>, byte<sub>n-1</sub>  
FRRDDS<sub>n</sub>レジスタのMD15～MD8=DW<sub>n</sub>, byte<sub>n</sub>  
FRRDDS<sub>n</sub>レジスタのMD23～MD16=DW<sub>n+1</sub>, byte<sub>n+1</sub>  
FRRDDS<sub>n</sub>レジスタのMD31～MD24=DW<sub>n+1</sub>, byte<sub>n+2</sub>

## 32.11.2 FlexRay ヘッダセクションリードレジスタ 1 (FRRDHS1)

FlexRayヘッダセクションリードレジスタ1 (FRRDHS1)

&lt;P4領域アドレス : H'FFBF F700番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CHB	CHA	—	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
29	MBI	0	R	N	メッセージバッファ割り込み許可ビット FRWRHS1 レジスタで設定したメッセージバッファ割り込み許可ビットが読み出せません。
28	TXM	0	R	N	送信モード設定ビット FRWRHS1 レジスタで設定した送信モード設定ビットが読み出せません。
27	PPIT	0	R	N	ペイロードプリアンプインジケータ送信ビット FRWRHS1 レジスタで設定したペイロードプリアンプインジケータ送信ビットが読み出せません。
26	CFG	0	R	N	メッセージバッファ方向ビット FRWRHS1 レジスタで設定したメッセージバッファ方向制御ビットが読み出せません。
25	CHB	0	R	N	チャンネルフィルタ制御ビット
24	CHA	0	R	N	FRWRHS1 レジスタで設定したチャンネルフィルタ制御ビットが読み出せません。
23	—	0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
22~16	CYC6~ CYC0	すべて0	R	N	サイクルコード FRWRHS1 レジスタで設定したサイクルコードが読み出せません。
15~11	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
10~0	FID10~ FID0	すべて0	R	N	フレーム ID FRWRHS1 レジスタで設定したフレーム ID が読み出せません。

【注】・受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、FID10~FID0 ビットは受信フレーム ID が格納されていますが、CYC6~CYC0、CHA、CHB、CFG、PPIT、TXM、MBI の各ビットは"0"になります。

## 32.11.3 FlexRay ヘッダセクションリードレジスタ 2 (FRRDHS2)

本レジスタはデータフレームによってのみ更新されます。

FlexRayヘッダセクションリードレジスタ2 (FRRDHS2)

<P4領域アドレス : H'FFBF F704番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLR6	PLR5	PLR4	PLR3	PLR2	PLR1	PLR0	—	PLC6	PLC5	PLC4	PLC3	PLC2	PLC1	PLC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC10	CRC9	CRC8	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31	—	0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
30~24	PLR6~ PLR0	すべて0	R	N	受信フレームペイロード長 (vRF!Header!Length) * <sup>1</sup> 受信したデータフレームにより更新されたペイロード長が読めます。
23	—	0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
22~16	PLC6~ PLC0	すべて0	R	N	設定ペイロード長 設定したデータセクションの長さ (2 バイトワードの数) が読めます。
15~11	—	すべて0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
10~0	CRC10~ CRC0	すべて0	R	N	ヘッダ CRC (vRF!Header!HeaderCRC) <ul style="list-style-type: none"> <li>受信バッファ時 受信したデータフレームのヘッダ CRC が読めます。</li> <li>送信バッファ時 設定したヘッダ CRC が読めます。</li> </ul>

【注】 \*<sup>1</sup> 受信 FIFO に設定したメッセージバッファでは null フレームを受信しても更新されません。

- PLR > PLC の場合      メッセージバッファに格納されるペイロードデータは、PLC が偶数の場合は PLC ビットのサイズ、PLC が奇数の場合 PLC + 1 のサイズに切り詰められます。
- PLR ≤ PLC の場合      受信したペイロードデータはメッセージバッファのデータセクションに格納されます。データセクションの残りのデータバイトには不定値が入ります。
- PLR = 0 の場合          メッセージバッファのデータセクションにはすべて不定値が入ります。
- PLC = 0 の場合          メッセージバッファにデータセクションが構成されません。メッセージバッファのデータセクションにデータは格納されません。

## 32. FlexRay モジュール

【注】・メッセージ RAM はロングワード (4 バイト) 構成です。受信データがメッセージバッファのデータセクションに格納される場合、メッセージバッファに書かれる 2 バイトデータの数は次の偶数値に丸められた PLC6~PLC0 ビットの値になります。受信 FIFO に設定されたメッセージバッファの PLC6~PLC0 ビットの値はすべて同じ値にしてください。

### 32.11.4 FlexRay ヘッダセクションリードレジスタ 3 (FRRDHS3)

本レジスタはデータフレームによってのみ更新されます。

FlexRayヘッダセクションライトレジスタ3 (FRRDHS3)

<P4領域アドレス : H'FFBF F708番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES	PPI	NFI	SYN	SFI	RCI	—	—	RCC5	RCC4	RCC3	RCC2	RCC1	RCC0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
29	RES	0	R	N	予約ビット表示フラグ (vRF!Header!Reserved) 受信フレームのヘッダにある予約ビットの値が読めます。*1
28	PPI	0	R	N	ペイロードプリアンプルインジケータ表示フラグ (vRF!Header!PPIIndicator) 0 : 受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない 1 : スタティックセグメントの場合 : ペイロードの先頭部分に NM ベクタを含む ダイナミックセグメントの場合 : ペイロードの先頭部分にメッセージ ID を含む
27	NFI	0	R	N	Null フレームインジケータ表示フラグ (vRF!Header!NFIndicator) 0 : 受信フレームは null フレーム 1 : 受信フレームは非 null フレーム
26	SYN	0	R	N	Sync フレームインジケータ表示フラグ (vRF!Header!SyFIndicator) 0 : 受信フレームは非 sync フレーム 1 : 受信フレームは sync フレーム
25	SFI	0	R	N	Startup フレームインジケータ表示フラグ (vRF!Header!SuFIndicator) 0 : 受信フレームは非 startup フレーム 1 : 受信フレームは startup フレーム

ビット	シンボル	リセット 後の値	R	W	説明
24	RCI	0	R	N	受信チャンネル表示フラグ (vSSIChannel) 0 : チャンネル B でフレーム受信 1 : チャンネル A でフレーム受信
23、22	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
21~16	RCC5~ RCC0	すべて 0	R	N	受信サイクルカウンタ値 (vRF!Header!CycleCount) 受信データフレームによって更新されたサイクルカウンタ値が読めます。
15~11	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
10~0	DP10~ DP0	すべて 0	R	N	データポインタ メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビット ワードの位置を示します。

【注】 \*1 予約ビットは"0"で送信します。

## 32.11.5 FlexRay メッセージバッファステータスレジスタ (FRMBS)

メッセージバッファステータスは、メッセージバッファに割り当てられた次のスロットの開始以降、次のスロットの終わりまでに更新されます。フラグは NORMAL\_ACTIVE 状態または NORMAL\_PASSIVE 状態のときのみ更新されます。

チャンネル A かチャンネル B のいずれか一方だけがメッセージバッファに割り当てられている場合、割り当てられていないチャンネルだけに関するステータスフラグは"0"になります。両方のチャンネルがメッセージバッファに割り当てられている場合、両方のチャンネルのフラグが更新されます。スロットカウンタが設定したフレーム ID の値に到達し、サイクルカウンタフィルタが一致したときだけメッセージバッファステータスが更新されます。入力バッファを介してメッセージバッファを更新する場合、FRIBCM レジスタの設定にかかわらず FRMBS レジスタのフラグはすべて"0"になります。

送受信フィルタリングの詳細については「32.18 フィルタリングとマスキング」、「32.19 送信プロセス」、「32.20 受信プロセス」を参照してください。VFRA、VFRB、SEOA、SEOB、CEOA、CEOB、SVOA、SVOB、TCIA、TCIB、ESA、ESB、MLST、FTA、FTB フラグのいずれかが変化すると、FRMBSC1～FRMBSC4 レジスタの対応するメッセージバッファの MBC ビットが"1"になります。

FlexRayメッセージバッファステータスレジスタ (FRMBS)

&lt;P4領域アドレス : H'FFBF F70C番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	—	—	CCS5	CCS4	CCS3	CCS2	CCS1	CCS0
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTB	FTA	—	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31、30	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
29	RESS	0	R	N	予約ビットステータスフラグ* <sup>4</sup> 受信フレームのヘッダにある予約ビットの値が読めます。* <sup>6</sup>
28	PPIS	0	R	N	ペイロードプリアンブルインジケータステータスフラグ* <sup>4</sup> 0 : 受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない 1 : スタティックセグメントの場合 : ペイロードの先頭部分に NM ベクタを含む ダイナミックセグメントの場合 : ペイロードの先頭部分にメッセージ ID を含む
27	NFIS	0	R	N	Null フレームインジケータステータスフラグ (vRF!Header!NFIndicator) * <sup>4</sup> 0 : 受信フレームは Null フレーム* <sup>5</sup> 1 : 受信フレームは非 Null フレーム

ビット	シンボル	リセット後の値	R	W	説明
26	SYNS	0	R	N	Sync フレームインジケータステータスフラグ (vRF!Header!SyFIndicator) * <sup>4</sup> 0 : Sync フレームを受信せず 1 : 受信フレームは Sync フレーム
25	SFIS	0	R	N	Startup フレームインジケータステータスフラグ (vRF!Header!SuFIndicator) * <sup>4</sup> 0 : Startup フレームを受信せず 1 : 受信フレームは Startup フレーム
24	RCIS	0	R	N	受信チャンネル表示ステータスフラグ (vSSIChannel) * <sup>4</sup> 0 : チャンネル B でフレーム受信 1 : チャンネル A でフレーム受信
23, 22	—	すべて 0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
21~16	CCS5~ CCS0	すべて 0	R	N	サイクルカウンタステータス ステータスが更新されたときのサイクルカウンタ値が読めます。
15	FTB	0	R	N	チャンネル B フレーム送信フラグ* <sup>3</sup> 0 : チャンネル B でデータフレーム送信せず 1 : チャンネル B でデータフレーム送信
14	FTA	0	R	N	チャンネル A フレーム送信フラグ* <sup>3</sup> 0 : チャンネル A でデータフレーム送信せず 1 : チャンネル A でデータフレーム送信
13	—	0	0	N	予約ビット 読み出すと常に"0"が読み出されます。
12	MLST	0	R	N	メッセージロスト検出フラグ CPU がメッセージデータを読む前に、受信したデータフレームによってメッセージバッファが上書きされたとき"1"になります。受信 FIFO に設定したメッセージバッファを除き、Null フレームの受信による影響はありません。入力バッファを介してメッセージバッファに書き込みを行うか、出力バッファを介してメッセージを読み出すことで ND ビットが"0"になった後、新しいメッセージがメッセージバッファに格納されると、このフラグは"0"になります。 0 : メッセージロストなし 1 : 受信バッファのフレームを読む前に次のフレームが上書きされた
11	ESB	0	R	N	チャンネル B 空スロットフラグ* <sup>2</sup> 0 : チャンネル B で空きスロットの検出なし 1 : チャンネル B で空きスロットを検出
10	ESA	0	R	N	チャンネル A 空スロットフラグ* <sup>2</sup> 0 : チャンネル A で空きスロットの検出なし 1 : チャンネル A で空きスロットを検出



## 32. FlexRay モジュール

ビット	シンボル	リセット後の値	R	W	説明
9	TCIB	0	R	N	チャンネル B 送信競合検出フラグ 0: エラーなし 1: チャンネル B で送信競合を検出
8	TCIA	0	R	N	チャンネル A 送信競合検出フラグ 0: エラーなし 1: チャンネル A で送信競合を検出
7	SVOB	0	R	N	チャンネル B スロット境界違反検出フラグ* <sup>1</sup> 0: エラーなし 1: チャンネル B でスロット境界違反検出
6	SVOA	0	R	N	チャンネル A スロット境界違反検出フラグ* <sup>1</sup> 0: エラーなし 1: チャンネル A でスロット境界違反検出
5	CEOB	0	R	N	チャンネル B コンテンツエラー検出フラグ 0: エラーなし 1: チャンネル B でコンテンツエラーを検出
4	CEOA	0	R	N	チャンネル A コンテンツエラー検出フラグ 0: エラーなし 1: チャンネル A でコンテンツエラーを検出
3	SEOB	0	R	N	チャンネル B シンタックスエラー検出フラグ 0: エラーなし 1: チャンネル B でシンタックスエラーを検出
2	SEOA	0	R	N	チャンネル A シンタックスエラー検出フラグ 0: エラーなし 1: チャンネル A でシンタックスエラーを検出
1	VFRB	0	R	N	チャンネル B 有効フレーム受信フラグ 0: チャンネル B で有効フレーム受信せず 1: チャンネル B で有効フレームを受信
0	VFRA	0	R	N	チャンネル A 有効フレーム受信フラグ 0: チャンネル A で有効フレーム受信せず 1: チャンネル A で有効フレームを受信

- 【注】 \*1 スロット境界違反とは、指定したスロットの先頭または終端でチャンネルがアクティブになっている状態です。  
\*2 状態はスタティックスロットおよびダイナミックスロットでチェックされます。  
\*3 対応する CCS5~CCS0 ビットは、このフラグが"1"のサイクルのみ有効です。  
\*4 受信バッファに関しては、有効な受信フレームおよび Null フレームにより更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。  
送信バッファに関しては、これらのフラグは意味を持ちません。  
\*5 "0"の場合、受信フレームのペイロードセグメントのデータは無効です。  
\*6 予約ビットは"0"で送信されます。

## 32.11.6 FlexRay 出力バッファコマンドマスクレジスタ (FROBCM)

FROBCR レジスタの OBR50~OBR56 ビットで選択したメッセージ RAM 内のメッセージバッファから出力バッファ (OBF) への更新方法を設定します。メッセージ RAM の転送が FROBCR レジスタの REQ ビットによって要求されたとき、RDSS ビットと RHSS ビットの内容がそのレジスタの内部記憶装置にコピーされます。OBF ホストと OBF シャドウが切り替わるとき、RDSH ビットおよび RSHH ビットはそれぞれそのレジスタの内部記憶装置に切り替わります。

FlexRay出力バッファコマンドマスクレジスタ (FROBCM)

&lt;P4領域アドレス : H'FFBF F710番地&gt;

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSH	RHSH
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSS	RHSS
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~18	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
17	RDSH	0	R	0	データセクション転送情報フラグ (ホスト) 0: データセクションを読み出さない 1: データセクションを読み出す
16	RHSH	0	R	0	ヘッダセクション転送情報フラグ (ホスト) 0: ヘッダセクションを読み出さない 1: ヘッダセクションを読み出す
15~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	RDSS	0	R	W	データセクション転送情報設定ビット (シャドウ) 0: データセクションを読み出さない 1: データセクションを読み出す
0	RHSS	0	R	W	ヘッダセクション転送情報設定ビット (シャドウ) 0: ヘッダセクションを読み出さない 1: ヘッダセクションを読み出す

【注】・ヘッダセクションがメッセージ RAM から OBF シャドウへ転送された後、FRMBSC1~FRMBSC4 レジスタの選択されたメッセージバッファの MBC ビットが"0"になります。データセクションがメッセージ RAM から OBF シャドウへ転送されると、FRNDAT1~FRNDAT4 レジスタの選択されたメッセージバッファの ND ビットが"0"になります。

## 32.11.7 FlexRay 出力バッファコマンド要求レジスタ (FROBCR)

OBSYS ビットが"0"の間に、REQ ビットに"1"を書くと、OBSYS ビットは自動的に"1"になります。OBSR6～OBSR0 ビットはレジスタ内部記憶装置に、FROBCM レジスタの RDSS ビットと RHSS ビットは、FROBCM レジスタの内部記憶装置にコピーされ、OBSR6～OBSR0 ビットで選択されたメッセージ RAM 内のメッセージバッファの OBF シャドウへの転送が始まります。転送が完了すると、OBSYS ビットが"0"に戻ります。

OBSYS ビットが"0"のときに VIEW ビットを"1"にすると、OBF ホストと OBF シャドウが切り替わります。加えて、FROBCM レジスタの RDSH ビットと RHSH ビットが、FROBCM レジスタの内部記憶装置と切り替わります。OBRH6～OBRH0 ビットには、現在アクセス可能なメッセージバッファ番号が示されます。

OBSYS ビットが"0"のとき、REQ ビットと VIEW ビットを同じ書き込みアクセスで"1"にすると、OBSYS ビットは自動的に"1"になり、OBF ホストと OBF シャドウが切り替わります。加えて、FROBCM レジスタの RDSH ビットと RHSH ビットが、そのレジスタの内部記憶と切り替わります。その後、OBSR6～OBSR0 ビットは、そのレジスタの内部記憶にコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送中に、OBF ホストから、前の転送でメッセージバッファから転送されたデータを読むことができます。メッセージ RAM と OBF シャドウの現在の転送が完了したとき、OBSYS ビットは"0"になります。

OBSYS ビットが"1"の間に、出力バッファレジスタへ書き込みをしようとする、FREIR レジスタの IOBA ビットが"1"になります。この場合、出力バッファは変化しません

FlexRay出力バッファコマンド要求レジスタ (FROBCR)

&lt;P4領域アドレス : H'FFBF F714番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	OBRH6	OBRH5	OBRH4	OBRH3	OBRH2	OBRH1	OBRH0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OBSYS	—	—	—	—	—	REQ	VIEW	—	OBSR6	OBSR5	OBSR4	OBSR3	OBSR2	OBSR1	OBSR0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31～23	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
22～16	OBRH6～ OBRH0	すべて 0	R	0	出力バッファ転送元 (ホスト) 現在 CPU からアクセスできるメッセージバッファ番号を示します。 有効範囲は 0～127 です。
15	OBSYS	0	R	0	OBF シャドウビジーフラグ REQ ビットに"1"を書くと"1"になります。メッセージ RAM から OBF シャドウへの転送が完了すると、"0"になります。 0 : 実行中の転送なし 1 : メッセージ RAM から OBF シャドウへの転送中

ビット	シンボル	リセット 後の値	R	W	説 明
14~10	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
9	REQ	0	R	W	メッセージ RAM 転送要求ビット*1*2 0 : 要求なし 1 : OBF シャドウへの転送を開始する
8	VIEW	0	R	W	出力バッファトグルビット*1*2 0 : 切り替えなし 1 : OBF シャドウと OBF ホストを切り替える
7	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
6~0	OBRS6~ OBRS0	すべて 0	R	W	出力バッファ転送元設定ビット (シャドウ) メッセージ RAM から OBF シャドウに転送する際の転送元メッセージバッファ番号を設定します。受信 FIFO の先頭のメッセージバッファ番号をこのレジスタに書いた場合、GIDX レジスタ (「32.21 FIFO 機能」参照) で示されるメッセージバッファが OBF シャドウに転送されます。 有効範囲は 0~127 です。

【注】 \*1 OBSYS フラグが"0"のときのみ"1"にできます。

\*2 処理が終わっても"0"には戻りません。一方だけ"1"にするときは、同時にもう一方に"0"を書いてください。また、OBRS6~OBRS0 ビットだけに値を設定するときは、両方とも"0"を書いてください。

### 32.12 コミュニケーションサイクル

FlexRay ネットワークでの通信はフレームとシンボルをベースにしています。Wakeup シンボル (WUS) および衝突回避シンボル (CAS) はタイムスケジュールを構成するために、コミュニケーションサイクル外で送信されます。フレームとメディアアクセステストシンボル (MTS) はコミュニケーションサイクル内で送信されます。

FlexRay コミュニケーションサイクルは以下の 4 つの部分で構成されます。

- スタティックセグメント
- ダイナミックセグメント (オプション)
- シンボルウィンドウ (オプション)
- ネットワークアイドル時間 (NIT)

スタティックセグメント、ダイナミックセグメント、およびシンボルウィンドウでネットワークコミュニケーション時間 (NCT) が構成されます。通信チャンネルごとにスロットカウンタは 1 から始まりダイナミックセグメントの終端に到達するまでカウントアップされます。両チャンネルは同じ同期 MT 値を使用します。

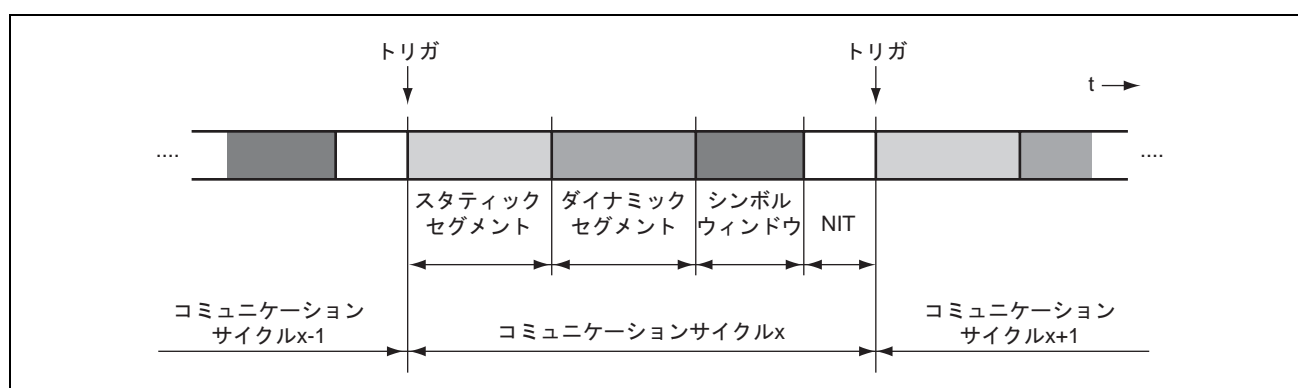


図 32.4 コミュニケーションサイクルの構成

#### 32.12.1 スタティックセグメント

スタティックセグメントには以下の特徴があります。

- タイムスロットが固定長 (オプションとしてバスガーディアンによるプロテクトあり)
- 各スタティックスロットのアクションポイントでフレーム送信開始
- 両チャンネルのすべてのフレームで同じペイロード長

##### [パラメータ]

- スタティックスロット数 (FRGTUC7レジスタのNSS9~NSS0ビット)
- スタティックスロット長 (FRGTUC7レジスタのSSL9~SSL0ビット)
- スタティックフレームペイロード長 (FRMHDCレジスタのSFDL6~SFDL0ビット)
- アクションポイントオフセット (FRGTUC9レジスタのAPO5~APO0ビット)

### 32.12.2 ダイナミックセグメント

ダイナミックセグメントには以下の特徴があります。

- すべてのコントローラにバスアクセスあり（バスガーディアンによるプロテクト不可）
- 可変ペイロード長、可変スロット長、チャンネルごとに異なる設定
- ミニスロットアクションポイントでフレーム送信開始

#### [パラメータ]

- ミニスロット数（FRGTUC8レジスタのNMS12～NMS0ビット）
- ミニスロット長（FRGTUC8レジスタのMSL5～MSL0ビット）
- ミニスロットアクションポイントオフセット（FRGTUC9レジスタのMAPO4～MAPO0ビット）
- 最終送信開始（最終ミニスロット）（FRMHDCレジスタのSLT12～SLT0ビット）

### 32.12.3 シンボルウィンドウ

シンボルウィンドウ期間中、メディアアクセステストシンボル（MTS）は各チャンネルで1回だけ送信できます。MTSシンボルはNORMAL\_ACTIVE状態でバスガーディアンをテストするために送信されます。

シンボルウィンドウには以下の特徴があります。

- 1つのシンボル送信
- MTSシンボルの送信はシンボルウィンドウアクションポイントで開始

#### [パラメータ]

- シンボルウィンドウアクションポイントオフセット（FRGTUC9レジスタのAPO4～APO0ビット）（スタティックスロットと同じ）
- ネットワークアイドル時間開始位置（FRGTUC4レジスタのNIT13～NIT0ビット）

### 32.12.4 ネットワークアイドル時間（NIT）

ネットワークアイドル時間中、CCは以下の処理を行います。

- クロック補正項（オフセットおよびレート）の計算
- オフセット補正開始後、複数のMTにわたってオフセット補正値を分散
- タスク関連のクラスタサイクル実行

#### [パラメータ]

- ネットワークアイドル時間開始位置（FRGTUC4レジスタのNIT13～NIT0ビット）
- オフセット補正開始位置（FRGTUC4レジスタのOCS13～OCS0ビット）

## 32.12.5 NIT 開始位置設定、オフセット補正開始位置の設定

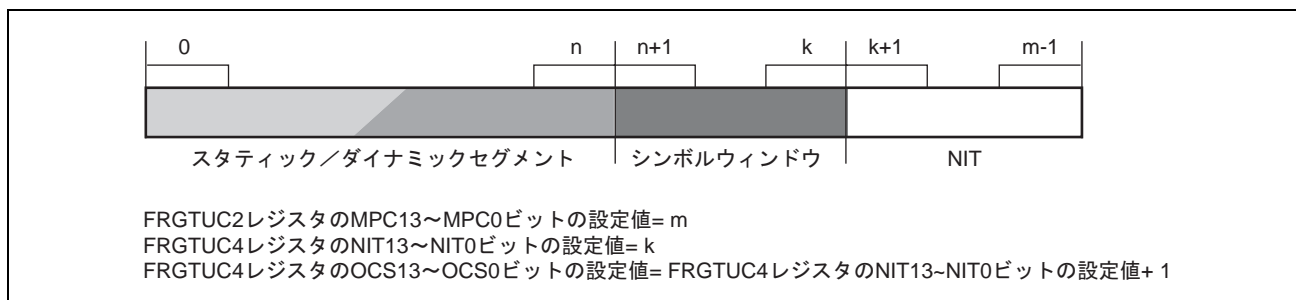


図 32.5 NIT 開始位置、オフセット補正開始位置の設定

サイクル当たりの MT 数 ( $g_{MacroPerCycle}$ ) を  $m$  とすると、FRGTUC2 レジスタの MPC13~MPC0 ビットの設定値は  $m$  となります。

スタティック/ダイナミックセグメントは、MT 値 0 で開始、 $n$  で終了します。ここで  $n$  は、  
 $n = \text{スタティックセグメント長} + \text{ダイナミックセグメントオフセット} + \text{ダイナミックセグメント長} - 1MT$   
 $n = g_{NumberOfStaticSlots} \times gd_{StaticSlot} + \text{ダイナミックセグメントオフセット}$   
 $+ g_{NumberOfMinislots} \times gd_{Minislot} - 1MT$

スタティックセグメント長は FRGTUC7 レジスタの SSL9~SSL0 ビットおよび NSS9~NSS0 ビットで設定します。ダイナミックセグメント長は FRGTUC8 レジスタの MSL5~MSL0 ビットおよび NMS12~NMS0 ビットで設定します。

ダイナミックセグメントオフセットは、

- $gd_{ActionPointOffset} \leq gd_{MinislotActionPointOffset}$  の場合  
ダイナミックセグメントオフセット =  $0MT$
- $gd_{ActionPointOffset} > gd_{MinislotActionPointOffset}$  の場合  
ダイナミックセグメントオフセット =  $gd_{ActionPointOffset} - gd_{MinislotActionPointOffset}$

NIT は MT 値  $k+1$  で開始、サイクルの最終 MT:  $m-1$  で終了します。NIT は、FRGTUC4 レジスタの NIT13~NIT0 ビット =  $k$  と設定します。本 FlexRay モジュールでは、オフセット補正開始位置は次の式を満たす必要があります。

FRGTUC4 レジスタの OCS13~OCS0 ビット  $\geq$  FRGTUC4 レジスタの NIT13~NIT0 ビット + 1 =  $k+1$

シンボルウィンドウ長は、スタティック/ダイナミックセグメントの終端から NIT の開始点までの MT 数 ( $k-n$ ) で決まります。

## 32.13 通信モード

FlexRay プロトコル仕様書 2.1 ではタイムトリガ式分散 (TT-D : Time-TriggeredDistributed) モードを定義しています。

### 32.13.1 タイムトリガ式分散 (TT-D)

TT-D モードでは以下の設定が可能です。

- Purestatic : スタティックスロット2個以上+シンボルウィンドウ (オプション)
- Mixedstatic/dynamic : スタティックスロット2個以上+ダイナミックセグメント+シンボルウィンドウ (オプション)

タイムトリガ式分散動作には、最低2つの Coldstart ノードが必要です。クラスタスタートアップには2つの正常な Coldstart ノードが必要です。各 Startup フレームは Sync フレームでなければならず、そのためすべての Coldstart ノードは Sync ノードになります。

## 32.14 クロック同期

TT-D モードでは分散クロック同期が使用されます。各ノードは他のノードから受信した Sync フレームのタイミングに応じて個別にクラスタに同期します。

### 32.14.1 グローバルタイム

FlexRay ノードにおいて、通信などの動作は、グローバルタイムという概念に基づいて行われます。

FlexRay クラスタと個別のクロックメカニズムを持つ他のノード群とを区別しているのは、このクロック同期メカニズムです。グローバルタイムは、サイクル (サイクルカウンタ) とサイクルタイム (MT カウンタ) という2つの値からなるベクタです。

#### [クラスタ定義]

- MT=FlexRayネットワークにおける時間計測の基本単位、1MTは整数個の $\mu T$ で構成されます。
- サイクル長=MT単位のコミュニケーションサイクル時間

### 32.14.2 ローカルタイム

内部的には、ノードは自らの動作を  $\mu T$  の解像度で計測します。 $\mu T$  は特定のノードにおける発振クロックから得られる時間の単位です。したがって  $\mu T$  はコントローラ個別の単位です。 $\mu T$  はコントローラによって長さが異なる可能性があります。ひとつのノードのローカルタイムの誤差計測の精度が  $\mu T$  です。

#### [ノード定義]

発振クロック→プリスケラ→ $\mu T$

$\mu T=CC$  における時間計測の基本単位、クロック補正は  $\mu T$  単位で行うサイクルカウンタ+MT カウンタ=ノードから見たグローバルタイム



### 32.14.3 同期プロセス

クロック同期は Sync フレームを用いて行われます。Sync フレームを送信できるのは、事前に設定されたノード (Sync ノード) のみです。2 チャンネル構成のクラスタでは、Sync ノードは両方のチャンネルに Sync フレームを送信しなければいけません。

FlexRay で同期を行うには、以下の制限を考慮する必要があります。

- 1 コミュニケーションサイクルにおけるノードあたりの Sync フレーム数は最大1
- 1 コミュニケーションサイクルにおけるクラスタあたりの Sync フレーム数は最大15
- 各ノードは事前に設定された Sync フレーム数 (FRGTUC2 レジスタの SNM3~SNM0 ビット) をクロック同期に使用しなければならない
- クロック同期およびスタートアップ用として最低2つの Sync ノードが必要

クロック同期を行うには、スタティックセグメント内で受信された Sync フレームの到達時間の期待値と実測値の差を計測します。2 チャンネル構成のクラスタでは、両チャンネルで Sync フレームを送信するように Sync ノードを設定してください。補正項の計算は NIT 期間中 (オフセットはすべてのサイクル、レートはすべての奇数サイクル) に FTM アルゴリズムによって行います。詳細は FlexRay プロトコル仕様書 v2.1 の第 8 章を参照してください。

#### (1) オフセット (位相) 補正

- 通信中のサイクルで計測、格納された偏差値のみを使用
- 2チャンネルノードの場合、より小さい値の方を採用
- すべてのコミュニケーションサイクルの NIT 期間に計算
- 偶数サイクルで計算されたオフセット補正值はエラーチェックのみに使用
- 上限値をチェック
- 補正值は符号付き整数の  $\mu T$  値
- 奇数サイクルで計算された補正值を、次のサイクルの開始位置をずらすために、オフセット補正開始からサイクルの終わり (NITの終端) までの MT に分散 (MT長設定)

#### (2) レート (周波数) 補正

- 偶数/奇数サイクルペアで計測、格納された1対の偏差値を使用
- 2チャンネルノードの場合、両チャンネルの差の平均値を使用
- 奇数サイクルの NIT 期間に計算
- クラスタドリフトダンピングにグローバルダンピング値を使用
- 上限値をチェック
- 補正值は符号付き整数の  $\mu T$  値
- 次の偶数/奇数サイクルペアを構成する MT に分散 (MT長設定)

### (3) Sync フレーム送信

Sync フレームの送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 が Sync フレーム送信となるのは、2つのチャンネルで Sync フレームのペイロードが異なる場合です。この場合、FRMRC レジスタの SPLM ビットを"1" (メッセージバッファ 0、1 への書き込み禁止) にしてください。

Sync フレーム送信に使用するメッセージバッファにはキースロット ID の設定が必要です。設定は CONFIG 状態でのみ可能です。Sync フレームを送信するノードでは、FRSUCC1 レジスタの TXSY ビットを"1"にしてください。

#### 32.14.4 外部クロック同期

通常の実運用において、独立したクラスタ間ではかなりのクロック誤差が生じる可能性があります。独立したクラスタ間の同期をとるには、各クラスタ内のノード間が同期しているかどうかにかかわらず、外部同期が必要となります。外部同期にはクラスタに対するレート補正值、オフセット補正值を推測する同期アプリケーションが必要です。

- 外部オフセット/レート補正值は符号付き整数
- 外部オフセット/レート補正值は、計算されたオフセット/レート補正值に加算されます
- 総合オフセット/レート補正值 (内部+外部) は設定された上限値に対しチェックされません

### 32.15 エラー処理

本モジュールにおけるエラー処理は、単一ノードで下位レイヤのプロトコルエラーが発生しても、影響しないノード間の通信は継続できることを保証することを意図しています。場合によっては、通常オペレーションを再開するために上位レイヤでのプログラム処理が必要な場合もあります。エラー処理状態が変化すると FREIR レジスタの PEMC ビットが"1"になります。また割り込みが許可されている場合、割り込み要求が発生します。FRCCEV レジスタの ERRM1~ERRM0 ビットにより現在のエラーモードを確認できます。

表 32.7 POC のエラーモード

エラーモード	動作
ACTIVE (Green)	完全稼働 状態 : NORMAL_ACTIVE CC が完全に同期し、クラスタ内クロック同期をサポートしている。CPU はすべてのエラーとステータス変化を、割り込み (許可されている場合) または FREIR レジスタ、FRSIR レジスタのエラー/ステータス割り込みフラグを読むことで知ることができる。
PASSIVE (Yellow)	縮小稼働 状態 : NORMAL_PASSIVE、CC 自動復帰可能 CC はフレームとシンボルの送信を停止、受信済みフレームの処理のみ実行。クロック同期メカニズムは受信済みフレームに基づき継続。クラスタ内クロック同期に関しては積極的に関与しない。CPU はすべてのエラーとステータス変化を、割り込み (許可されている場合) または FREIR レジスタ、FRSIR レジスタのエラー/ステータス割り込みフラグを読むことで知ることができる。

エラーモード	動作
COMM_HALT (Red)	稼働停止 状態：NORMAL_ACTIVE、CC 自動復帰禁止 CC はフレーム、シンボルの処理、クロック同期処理、MT 生成を停止。CPU は FREIR レジスタ、FRSIR レジスタのエラー/ステータス割り込みフラグを読むことで、エラー/ステータス情報にアクセスすることができる。バスドライバは無効。

### 32.15.1 クロック補正失敗カウンタ

クロック補正失敗カウンタが、FRSUCC3 レジスタの WCP3~WCP0 ビットで定義している「クロック補正エラー回数最大値 (NORMAL\_PASSIVE 状態への遷移条件)」に達すると、POC は NORMAL\_ACTIVE 状態から NORMAL\_PASSIVE 状態に遷移します。また、WCF3~WCF0 ビットで定義している「クロック補正エラー回数最大値 (HALT 状態への遷移条件)」に達すると、NORMAL\_ACTIVE 状態または NORMAL\_PASSIVE 状態から HALT 状態に遷移します。

CC がプロトコルスタートアップフェーズを終了した後、クロック補正失敗カウンタ (FRCCEV レジスタの CCFC3~CCFC0 ビット) を読むと、ノードがクロック補正項の計算ができなかった期間を知ることができます。クロック補正失敗カウンタは、オフセット補正欠落フラグ (FRSFS レジスタの MOCS ビット) またはレート補正欠落フラグ (MRCS ビット) のいずれかが"1"のとき、奇数コミュニケーションサイクルの終端でインクリメントされます。

いずれのフラグも"1"でない場合、クロック補正失敗カウンタは奇数コミュニケーションサイクルの終端で 0 になります。

「クロック補正エラー回数最大値 (HALT 状態への遷移条件)」に達すると、クロック補正失敗カウンタは停止します (最大値に達してからインクリメントしても 0 に戻りません)。CC が READY 状態に入るか、NORMAL\_ACTIVE 状態になると、クロック補正失敗カウンタは 0 に初期化されます。

【注】・ FRSUCC1 レジスタの HCSE ビットが"1"ではないとき、HALT 状態へは遷移しません。

### 32.15.2 Passive-to-Active カウンタ

Passive-to-Active カウンタは、NORMAL\_PASSIVE 状態から NORMAL\_ACTIVE 状態への遷移を制御します。FRSUCC1 レジスタの PTA4~PTA0 ビットは、NORMAL\_PASSIVE 状態から NORMAL\_ACTIVE 状態への遷移が許可される前に必要となる、クロック補正に成功した連続した偶数/奇数サイクルペア数を設定します。PTA4~PTA0 ビットが"0"の場合、NORMAL\_PASSIVE 状態から NORMAL\_ACTIVE 状態への遷移はできません。

### 32.15.3 HALT コマンド

ローカルノードの FlexRay 通信を停止するには、HALT コマンドを発行することで CC を HALT 状態にします。HALT コマンドは FRSUCC1 レジスタの CMD3~CMD0 ビットに" B'0110"を書くことで実現します。FlexRay ネットワーク全体の通信を停止する場合は、すべてのノードが同時に HALT コマンドを適用するように、上位レイヤプロトコルが保証する必要があります。

HALT 状態へ遷移する前の POC の状態は、FRCCSV レジスタの PSL5~PSL0 ビットで読めます。

NORMAL\_ACTIVE 状態または NORMAL\_PASSIVE 状態で HALT コマンドが発行された場合、POC は現行サイクルの終端で HALT 状態に遷移します。他の状態で発行された場合、CMD3～CMD0 ビットは"B'0000" (コマンド無効) になり、FREIR レジスタの CNA ビットが"1"になります。割り込みが許可されている場合、割り込み要求が発生します。

### 32.15.4 FREEZE コマンド

重大なエラー状態を検出した場合、FREEZE コマンドを発行することで CC を HALT 状態にします。FREEZE コマンドは FRSUCC1 レジスタの CMD3～CMD0 ビットに"B'0111"を書くことで実現します。FREEZE コマンドは、現在の POC の状態に関係なく直ちに HALT 状態に遷移させます。HALT 状態へ遷移する前の POC の状態は、FRCCSV レジスタの PSL5～PSL0 ビットで読めます。

## 32.16 CC の状態

### 32.16.1 CC 状態遷移図

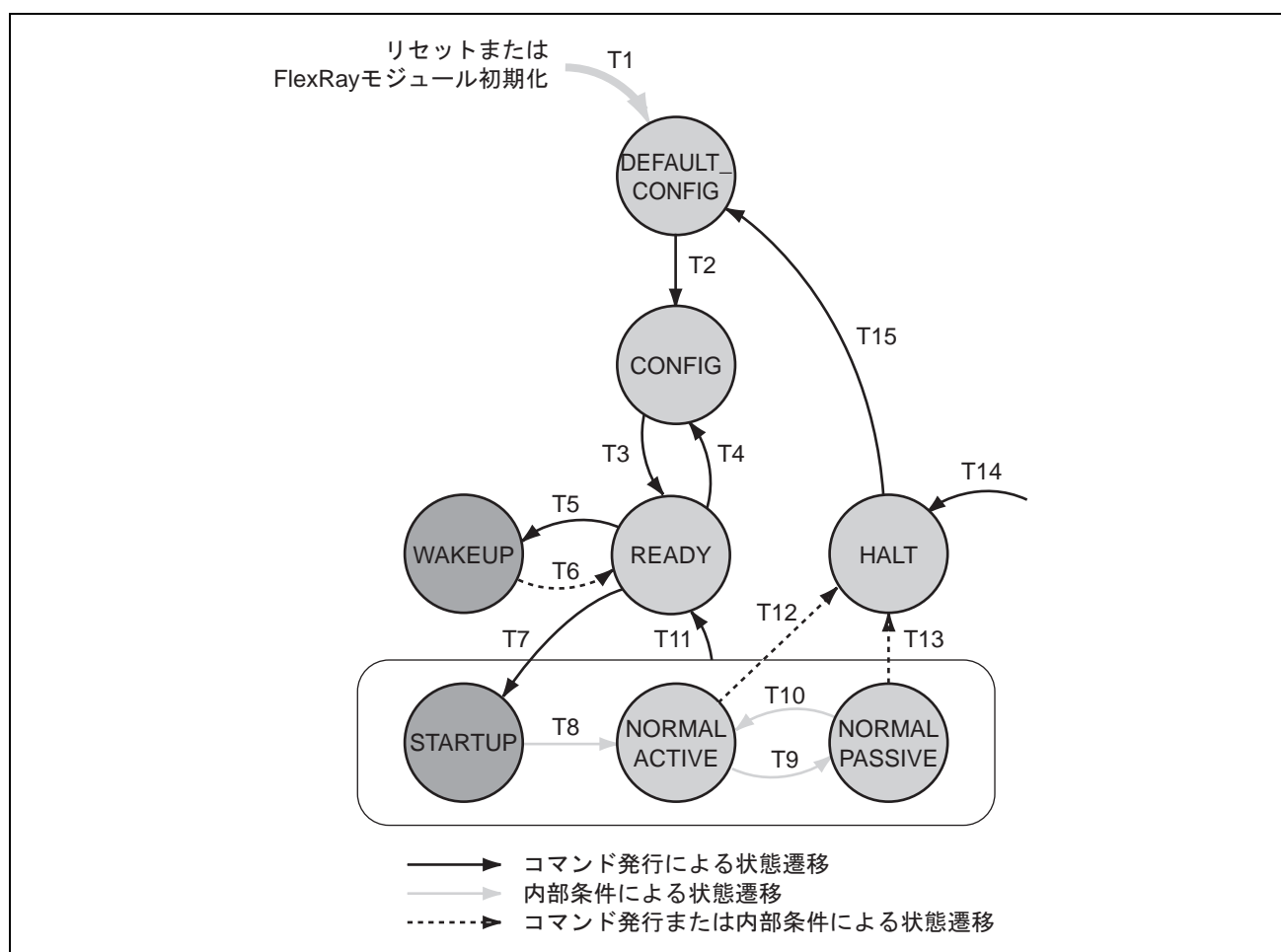


図 32.6 FlexRay モジュールの状態遷移図

## 32. FlexRay モジュール

状態遷移は、RESET 端子、FRXA 端子、FRXB 端子、POC ステートマシンおよび CHI コマンドベクタ (FRSUCC1 レジスタの CMD3~CMD0 ビット) で制御します。

FREEZE コマンド (CMD3~CMD0 ビット="B'0111") 実行後、CC はいずれの状態にあっても、HALT 状態に遷移します。

表 32.8 FlexRay モジュールの状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
T1	リセット	すべての状態	DEFAULT_CONFIG
T2	CONFIG コマンド発行 (CMD3~CMD0 ビット="B'0001")	DEFAULT_CONFIG	CONFIG
T3	ロック解除シーケンス+READY コマンド発行 (CMD3~CMD0 ビット="B'0010")	CONFIG	READY
T4	CONFIG コマンド発行 (CMD3~CMD0 ビット="B'0001")	READY	CONFIG
T5	WAKEUP コマンド発行 (CMD3~CMD0 ビット="B'0011")	READY	WAKEUP
T6	Wakeup パターン送信完了 Wakeup パターン受信完了 フレームヘッダ受信完了 Wakeup 衝突検出 READY コマンド発行 (CMD3~CMD0 ビット="B'0010")	WAKEUP	READY
T7	RUN コマンド発行 (CMD3~CMD0 ビット="B'0100")	READY	STARTUP
T8	STARTUP 成功	STARTUP	NORMAL_ACTIVE
T9	クロック補正失敗カウンタ値が FRSUCC3 レジスタの WCP3~WCP0 ビットの設定値に到達	NORMAL_ACTIVE	NORMAL_PASSIVE
T10	クロック補正成功サイクルペア数が FRSUCC1 レジスタの PTA4~PTA0 ビットの設定値に到達	NORMAL_PASSIVE	NORMAL_ACTIVE
T11	READY コマンド発行 (CMD3~CMD0 ビット="B'0010")	STARTUP NORMAL_ACTIVE NORMAL_PASSIVE	READY
T12	FRSUCC1 レジスタの HCSE ビットが"1"のときにクロック補正失敗カウンタ値が FRSUCC3 レジスタの WCF3~WCF0 ビットの設定値に到達、または、HALT コマンド発行 (CMD3~CMD0 ビット="B'0110")	NORMAL_ACTIVE	HALT
T13	FRSUCC1 レジスタの HCSE ビットが"1"のときにクロック補正失敗カウンタ値が FRSUCC3 レジスタの WCF3~WCF0 ビットの設定値に到達、または、HALT コマンド発行 (CMD3~CMD0 ビット="B'0110")	NORMAL_PASSIVE	HALT
T14	FREEZE コマンド発行 (CMD3~CMD0 ビット="B'0111")	すべての状態	HALT
T15	CONFIG コマンド発行 (CMD3~CMD0 ビット="B'0001")	HALT	DEFAULT_CONFIG

### 32.16.2 DEFAULT\_CONFIG 状態

DEFAULT\_CONFIG 状態では、CC は停止しています。端子は非アクティブ状態です。FlexRay プロトコル仕様書では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。なお、各制御レジスタは DEFAULT\_CONFIG 状態での書き換えからは保護されていないので、DEFAULT\_CONFIG 状態で書き換えないようご注意ください。

CC は以下の場合に DEFAULT\_CONFIG 状態へ遷移します。

- リセット後
- HALT 状態から抜けたとき

DEFAULT\_CONFIG 状態を抜けるには、FRSUCC1 レジスタの CMD3～CMD0 ビットに"B'0001" (CONFIG コマンド) を書くことで、CONFIG 状態に遷移します。

### 32.16.3 CONFIG 状態

CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。この状態で CC の初期設定を行います。

CC は以下の場合に CONFIG 状態へ遷移します。

- DEFAULT\_CONFIG 状態から抜けたとき
- READY 状態から抜けたとき

HALT 状態と DEFAULT\_CONFIG 状態を経由して CONFIG 状態に遷移した場合、ステータス情報と設定内容を解析できます。CONFIG 状態から抜ける前に設定に間違いがないか確認する必要があります。

CONFIG 状態から抜けるには、FlexRay ロックレジスタ (FRLCK) に記載のロック解除シーケンスを実行します。CONFIG 状態のロックを解除した直後に、FRSUCC1 レジスタの CMD3～CMD0 ビットに次の状態に遷移するためのコマンドを書く必要があります。

**【注】**・ FRMHDS レジスタの下位 15 ビット、FRTXRQ1～FRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、CONFIG 状態から READY 状態への遷移による影響を受けません。

CONFIG 状態では、モジュールクロック (FRck、PAck) を停止することで、CC を省電力モードにできます。クロックを停止する前に、すべてのメッセージ RAM の転送が完了していることを確認する必要があります。

### 32.16.4 READY 状態

CONFIG 状態のロックを解除し、FRSUCC1 レジスタの CMD3～CMD0 ビットに"B'0010" (READY コマンド) を書くと、READY 状態に遷移します。この状態から WAKEUP 状態に遷移してクラスタウェイクアップを実行したり、STARTUP 状態に遷移して Coldstart を実行したり稼働中のクラスタに統合できます。

CC は以下の場合に READY 状態へ遷移します。

- FRSUCC1 レジスタの CMD3～CMD0 ビットに"B'0010" (READY コマンド) を書いて、CONFIG 状態、WAKEUP 状態、STARTUP 状態、NORMAL\_ACTIVE 状態、NORMAL\_PASSIVE 状態から抜けたとき

CC は以下の場合に READY 状態から抜けます。

- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0001" (CONFIGコマンド) を書いて、CONFIG状態に遷移したとき
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0011" (WAKEUPコマンド) を書いて、WAKEUP状態に遷移したとき
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0100" (RUNコマンド) を書いて、STARTUP状態に遷移したとき
- STARTUP状態に遷移すると、内部カウンタおよびCCステータスフラグが初期化されます。

**[注]** ・ FRMHDS レジスタの下位 15 ビット、FRTXRQ1～FRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、READY 状態から STARTUP 状態への遷移による影響を受けません。

### 32.16.5 WAKEUP 状態

本項では FlexRay モジュールのウェイクアップについて説明します。ウェイクアップ処理の詳細および関連図については FlexRay プロトコル仕様書 v2.1 の 7.1 節を参照してください。

CC は以下の場合に WAKEUP 状態へ遷移します。

- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0011" (WAKEUPコマンド) を書いて、READY状態から抜けたとき

CC は以下の場合に WAKEUP 状態を抜けて READY 状態へ遷移します。

- ウェイクアップパターン (WUP) の送信が中断されることなく完了した後
- WUP受信後
- WUP衝突検出後
- フレームヘッダ受信後
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0010" (READYコマンド) を書いたとき

クラスタ内のすべてのノードがウェイクアップしていることを保証するために、通信スタートアップ処理の前にクラスタのウェイクアップ処理を行う必要があります。クラスタのウェイクアップ処理を行うには、すべてのバスドライバに電源が供給されていることが必須です。バスドライバは、ウェイクアップパターンを受信すると自ノードの他のコンポーネントをウェイクアップさせることができます。クラスタ内の少なくとも 1 つのノードに対し外部ウェイクアップソースが必要です。

ウェイクアップ処理はすべてプログラムで制御されます。プログラムによって、バスドライバや CC からクラスタの状態に関する情報を得、クラスタのウェイクアップ処理を実行するために、バスガーディアン (使用できる場合) と CC を設定します。CC によって、有効なチャンネルのそれぞれに個別にウェイクアップパターンを送信できます。

ウェイクアップ処理は一度に 1 つのチャンネルでのみ実行可能です。CC が CONFIG 状態のときに FRSUCC1 レジスタの WUCS ビットで使用するチャンネルを選択してください。CC は選択されたチャンネル上での通信を妨害しないように動作します。選択したチャンネルに接続されているすべてのノードがウェイクアップパターンの送信でウェイクアップすることは保証できません。これらのノードからはスタートアップフェーズに移

行するまでフィードバックを受けられないからです。ウェイクアップ処理は2チャンネルシステムのシングルチャンネルデバイスに対し、それらが接続されているチャンネル上にウェイクアップパターンを送信するだけで、ウェイクアップ処理を起こさせることができます。システムスタートアップが必要と思われる Coldstart ノードがあれば、通信スタートアップ処理を開始する前にもう一方のチャンネルをウェイクアップさせます。

ウェイクアップ処理では、いくつものノードが同時にシングルチャンネルをウェイクアップさせようとするのを黙認しますが、ウェイクアップパターンを送信できるノードは1つだけです。またウェイクアップパターンは衝突耐性があり、2つのノードが同時にウェイクアップパターンを送信しようとしてエラーが発生しても、衝突した信号も他のノードをウェイクアップさせることができます。ウェイクアップ処理が終了すると、CCはREADY状態に戻ります。また、FRSIRレジスタのWSTビットが"1"になり、ウェイクアップ状態に変化があったことがわかります。

ウェイクアップ処理の状態は、FRCCSVレジスタのWSV2～WSV0ビットで確認できます。有効なウェイクアップパターンを受信した場合、FRSIRレジスタのWUPAビットまたはWUPBビットも"1"になります。

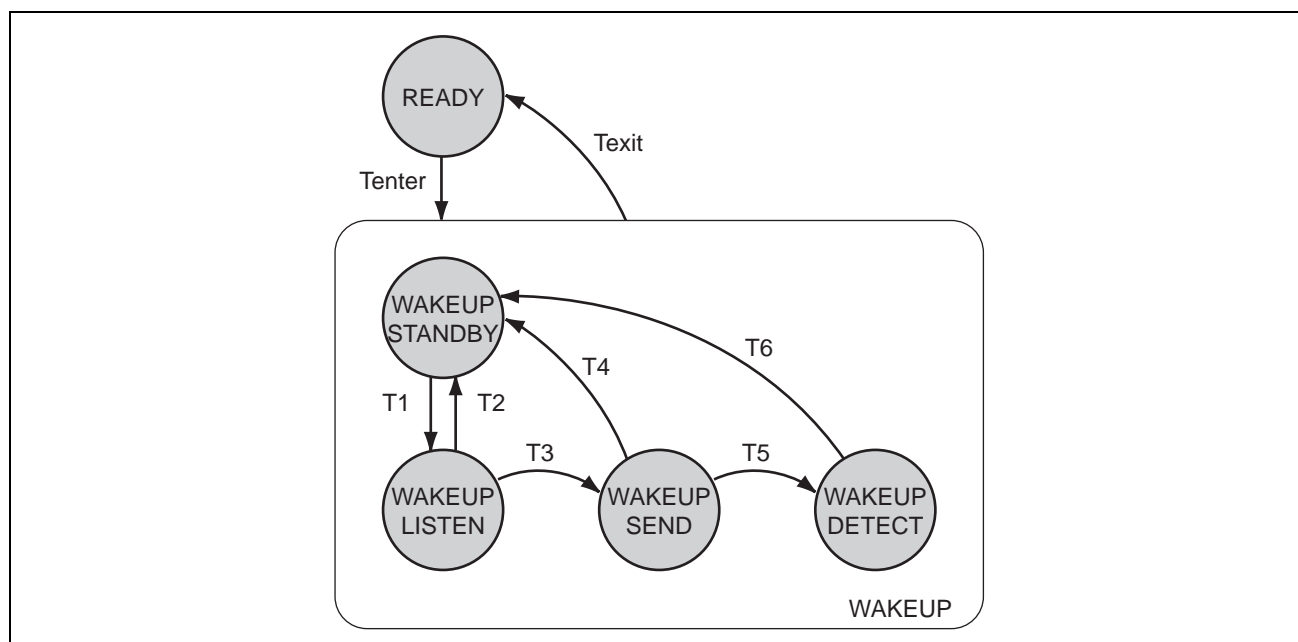


図 32.7 WAKEUP 時の状態遷移図



表 32.9 WAKEUP 時の状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
Tenter	FRSUCC1 レジスタの CMD3~CMD0 ビットに"B'0011" (WAKEUP コマンド) を書いて WAKEUP 状態に遷移	READY	WAKEUP
T1	WAKEUP コマンドにより WakeupFSM が WAKEUP_LISTEN 状態へ遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
T2	FRSUCC1 レジスタの WUCS ビットで設定したチャンネル で WUP を受信、またはどちらかの有効なチャンネルでフレー ムヘッダを受信	WAKEUP_LISTEN	WAKEUP_STANDBY
T3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
T4	ウェイクアップパターンが中断せずに送信完了	WAKEUP_SEND	WAKEUP_STANDBY
T5	衝突を検出	WAKEUP_SEND	WAKEUP_DETECT
T6	ウェイクアップタイムがタイムアウト、FRSUCC1 レジス タの WUCS ビットで選択したチャンネルで WUP を検出、ま たはどちらかの有効なチャンネルでフレームヘッダを受信	WAKEUP_DETECT	WAKEUP_STANDBY
Texit	ウェイクアップ処理が完了 (T2、T4、T6 の遷移後) また は、FRSUCC1 レジスタの CMD3~CMD0 ビットに"B'0010" (READY コマンド) を書いて READY 状態に遷移  READY コマンドにより WakeupFSM を WAKEUP_STANDBY 状態にリセット	WAKE	READY

WAKEUP\_LISTEN 状態はウェイクアップタイムとウェイクアップノイズタイムにより制御されます。これら 2 つのタイムは、ListenTimeout 値 (FRSUCC2 レジスタの LT20~LT0 ビット)、ListenTimeoutNoise 値 (同 LTN3~LTN0 ビット) で制御します。ListenTimeout 値はノイズがない環境で高速なクラスタのウェイクアップ処理を、ListenTimeoutNoise 値はノイズ干渉に関してより困難な条件下でのウェイクアップ処理を可能にします。

WAKEUP\_SEND 状態では、CC は設定されたチャンネルにウェイクアップパターンを送信し、衝突の有無をチェックします。ウェイクアップ処理から戻った後、CHI コマンドの RUN コマンドを発行して STARTUP 状態に遷移する必要があります。

WAKEUP\_DETECT 状態では、CC は WAKEUP\_SEND 状態で検出された衝突の原因を特定しようとします。モニタリングは FRSUCC2 レジスタの LT20~LT0 ビットで設定した ListenTimeout 値になると制限されます。他のノードによるウェイクアップ試行を意味するウェイクアップパターン検出または通信が行われていることを意味するフレームヘッダ受信により、直接 READY 状態に遷移します。それ以外の場合、ListenTimeout 値に到達後 WAKEUP\_DETECT 状態を抜け、衝突原因は不明となります。

プログラムでは考えられうるウェイクアップエラーを推察し、適切に対処することが必要です。ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。

FlexRay プロトコル仕様書 v2.1 では、2 つの別々の CC が 2 つのチャンネルをウェイクアップさせることを推奨しています。

### (1) CPU の役割

CPU はプログラムにより、2つのチャンネルのウェイクアップ処理を調整し、指定したチャンネルをウェイクアップさせるか否か決定する必要があります。ウェイクアップパターンの送信はプログラムで制御されます。ウェイクアップパターンはリモートバスドライバで検出され、それぞれのCPUに通知されます。

プログラム制御によるウェイクアップ処理（シングルチャンネルウェイクアップ）

- CONFIG状態でCCを設定する
  - FRSUCC1レジスタのWUCSビットでウェイクアップチャンネルを選択
- WUPを受信したかどうかローカルバスドライバをチェックする
- 選択したウェイクアップチャンネルのバスドライバを有効にする
- READY状態に遷移するようCCに命令
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0011"（WAKEUPコマンド）を書いて、選択したチャンネルでウェイクアップ処理を開始するようCCに命令
  - CCはWAKEUP状態に遷移
  - CCはREADY状態に戻り、ウェイクアップ試行ステータスをCPUに通知
- 他のノードがウェイクアップして設定が完了できるように一定時間待機
- Coldstartノードの場合
  - 2チャンネル構成のクラスタでは、もう一方のチャンネルのWUPを待つ
  - FRSUCC1レジスタのCMD3～CMD0ビットに"B'1001"（ALLOW\_COLDSTARTコマンド）を書いて、FRCCSVレジスタのCSIビットを"0"（Coldstart許可）にする
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0100"（RUNコマンド）を書いて、スタートアップ処理に移行するようCCに命令

バスドライバがトリガとなるウェイクアップ処理

- バスドライバがウェイクアップ処理を認識
- バスドライバによるマイコンの電源投入（必要な場合）
- バスドライバによるウェイクアップイベントのCPUへの通知
- CPUがローカルCCを設定
- 必要であれば2番目のチャンネルのウェイクアップ処理を指示、他のノードがウェイクアップして設定が完了できるように一定時間待機
- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0100"（RUNコマンド）を書いて、STARTUP状態に遷移するようCCに命令

## (2) ウェイクアップパターン (WUP)

ウェイクアップパターン (WUP) は、2つ以上の Wakeup シンボル (WUS) で構成されています。Wakeup シンボル、ウェイクアップパターンは FRPRTC1 レジスタ、FRPRTC2 レジスタで設定されます。

- シングルチャネルウェイクアップでは、Wakeup シンボルは一度に両方のチャンネルで送信することはできません。
- 2つ以上の送信ノードに対し、Wakeup シンボルは衝突耐性あり (2つのWakeup シンボルがオーバーラップしても正常に認識されます)。
- Wakeup シンボルはクラスタ内のすべてのノードで同じ設定にしてください。
- FRPRTC2 レジスタの TXL5~TXL0 ビットで Wakeup シンボルの "L" 幅を設定します。
- FRPRTC2 レジスタの TXI7~TXI0 ビットでバスのアクティビティ検出に使用する Wakeup シンボルのアイドル幅を設定します。
- ウェイクアップには、2つ以上の送信 Wakeup シンボルからなるウェイクアップパターンが必要です。
- FRPRTC1 レジスタの RWP5~RWP0 ビットで Wakeup シンボルの繰り返し回数を 2~63 の範囲で設定します。
- FRPRTC1 レジスタの RXW8~RXW0 ビットで Wakeup シンボルの受信ウィンドウ幅を設定します。
- FRPRTC2 レジスタの RXL5~RXL0 ビットで Wakeup シンボルの受信 "L" 幅を設定します。
- FRPRTC2 レジスタの RXI5~RXI0 ビットで Wakeup シンボルの受信アイドル幅を設定します。

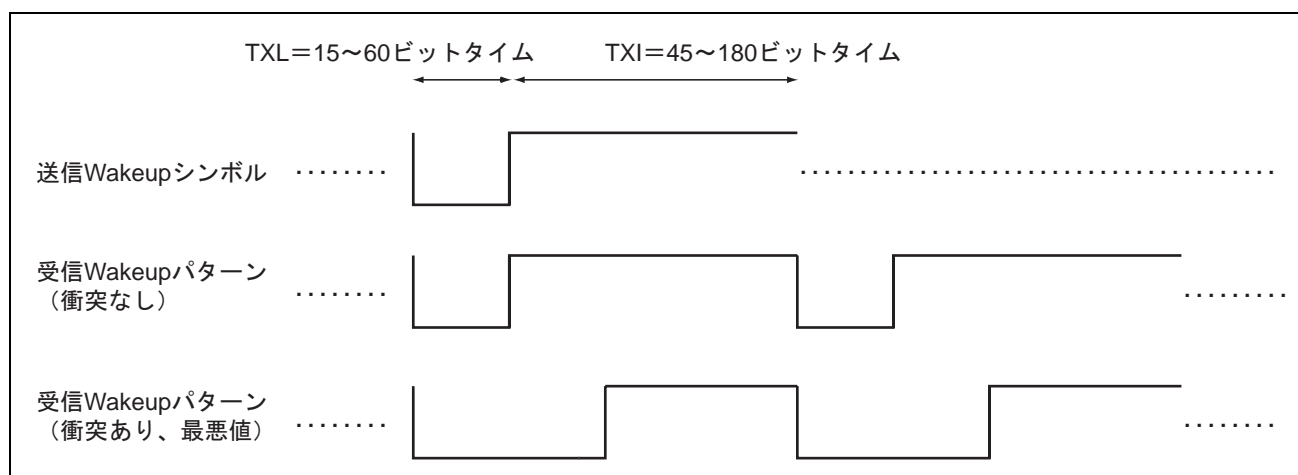


図 32.8 ウェイクアップパターンのタイミング

### 32.16.6 STARTUP 状態

本項では FlexRay モジュールのスタートアップについて説明します。スタートアップ処理の詳細および関連図については FlexRay プロトコル仕様書 v2.1 の 7.2 節を参照してください。

Coldstart が可能なノードが STARTUP 状態に遷移する場合は、Coldstart 開始前に自ノードのチャンネルが 2 つともウェイクアップしていることを確認してください。

全ノードおよびスターが完全にウェイクアップして、設定が完了するのに要する時間はさまざまです。クラスタ通信を開始するには少なくとも 2 つのノードが必要なので、ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。ご使用のハードウェアによっては、全ノードおよびスターがウェイクアップして設定完了するまでに数百 ms 要する場合があります。

スタートアップ処理はすべてのチャンネルで同期して実行されます。スタートアップ処理中、ノードは Startup フレームのみ送信します。Startup フレームは Sync フレームと Null フレームの両方です。

耐故障性がある分散スタートアップ手順は、全ノードの最初の同期で決まります。通常、NORMAL\_ACTIVE 状態に遷移するには以下の経路をたどります (図 32.9 参照)。

- スケジュール同期を開始する Coldstart パス (LeadingColdstart ノード)
- 他の Coldstart ノードに参加する Coldstart パス (FollowingColdstart ノード)
- 既存の通信スケジュールに統合する統合パス (その他のノード)

Coldstart 試行は衝突回避シンボル (CAS) の送信で開始します。CAS シンボルを送信した 1 つの Coldstart ノードが、CAS シンボル送信後最初の 4 サイクルでフレームを送信します。その後もう一つの Coldstart ノード、次いでその他のすべてのノードが参加します。

Coldstart ノードでは FRSUCC1 レジスタの TXST ビットと TXSY ビットが "1" に設定されています。

メッセージバッファ 0 には Startup フレームを送信するスロット番号を指定するキースロット ID があります。Startup フレームのフレームヘッダでは Startup フレームインジケータビットが "1" になっています。

ノードが 3 つ以上あるクラスタの場合、少なくとも 3 つのノードを Coldstart ノードに設定します。ノードが 2 つのクラスタの場合は、両ノード共 Coldstart ノードになります。クラスタをスタートアップさせるには少なくとも 2 つの正常な Coldstart ノードが必要です。

各 Startup フレームは Sync フレームでもあります。したがって各 Coldstart ノードは Sync ノードでもあります。Coldstart 試行回数は FRSUCC1 レジスタの CSA4~CSA0 ビットで設定します。

非 Coldstart ノードが他のノードと統合するには、他のノードからの 2 つ以上の Startup フレームが必要です。Coldstart ノードのスタートアップ処理が完了する前に、統合を開始できます。2 つ以上の Coldstart ノードがスタートアップ処理を完了するまで、非 Coldstart ノードのスタートアップ処理は完了しません。

非 Coldstart ノード、Coldstart ノードともに、TDMA スケジュール情報を引き出す Sync フレームを受信すると、統合パスを通して統合を開始します。統合中は、ノードのクロックをグローバルクロック (レートおよびオフセット) に同期させ、サイクル時間をネットワークで観測できるグローバルスケジュールに一致させる必要があります。その後これらの設定は、すべての有効なネットワークノードと一致しているかチェックされます。チェックが問題なく終了すると、ノードは統合フェーズを抜けて通信に参加できます。

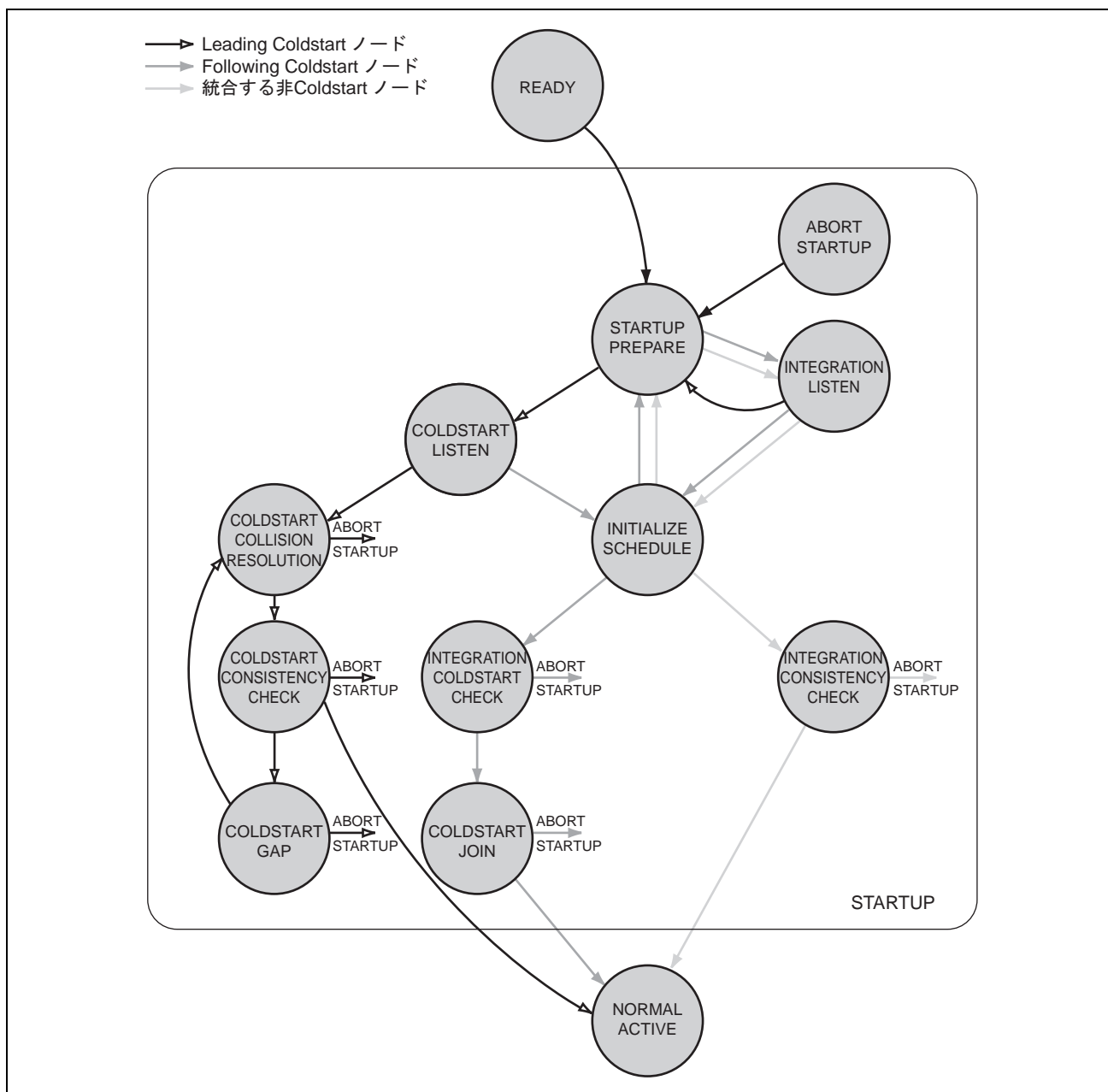


図 32.9 スタートアップ状態遷移図

### (1) Coldstart 禁止モード

Coldstart 禁止モードではノードは TDMA 通信スケジュールを初期化できません。FRCCSV レジスタの CSI ビットが"1" (Coldstart 禁止) の場合、ノードはクラスタ通信の初期化が禁止、すなわち Coldstart パスへの遷移が禁止されます。稼働中のクラスタへの統合または Startup フレーム送信が許可されるのは、他の Coldstart ノードがクラスタ通信の初期化を開始してからになります。

Coldstart 禁止ビット (FRCCSV レジスタの CSI ビット) は、POC が READY 状態に遷移すると"1"になります。プログラムで ALLOW\_COLDSTART コマンド (FRSUCC1 レジスタの CMD3~CMD0 ビット="1001b") を発行することで"0"にします。

## (2) スタートアップタイムアウト

スタートアップタイムアウトとスタートアップノイズタイムアウトの2つのタイムアウト値を管理するために2つの $\mu\text{T}$ タイマがあります。これらのタイマはCCがCOLDSTART\_LISTEN状態に遷移するとスタートします。いずれかのタイマがタイムアウトすると、ノードは通信スタートアップ処理のために初期センシングフェーズ(COLDSTART\_LISTEN状態)を抜けます。

**【注】**・スタートアップタイマとスタートアップノイズタイマはウェイクアップタイマおよびウェイクアップノイズタイマと同じもので、FRSUCC2レジスタのLT20~LT0ビットおよびLTN3~LTN0ビットという同じ設定値を使用します。

スタートアップタイムアウトは、他のノード間がすでに通信中か他のノードとの統合要求をしているColdstartノードが1つでもあるかをノードが判断するために使用する監視時間を制限するものです。スタートアップタイマはFRSUCC2レジスタのLT20~LT0ビットで設定します。

$$\begin{aligned} \text{スタートアップタイムアウト} &= \text{pdListenTimeout} \\ &= \text{FRSUCC2 レジスタの LT20~LT0 ビット} \end{aligned}$$

スタートアップタイマは以下のとき再スタートします。

- COLDSTART\_LISTEN状態に入ったとき
  - COLDSTART\_LISTEN状態中に両チャンネルがアイドル状態になったとき
- スタートアップタイマは以下のとき停止します。
- COLDSTART\_LISTEN状態中、設定されたチャンネルの1つで通信チャンネルアクティビティを検出したとき
  - COLDSTART\_LISTEN状態から抜けたとき

一度スタートアップタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。

スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートする(STARTUP\_PREPARE状態からCOLDSTART\_LISTEN状態への遷移時)と同時に、スタートアップノイズタイマもスタートします。この付加的なタイムアウトは、ノイズの多い環境におけるスタートアップ処理の信頼性を高めるために使用されます。スタートアップノイズタイムアウトはFRSUCC2レジスタのLTN3~LTN0ビットで設定します。

$$\begin{aligned} \text{スタートアップノイズタイムアウト} &= \text{pdListenTimeout} \times \text{gListenNoise} \\ &= \text{FRSUCC2 レジスタの LT20~LT0 ビット} \times (\text{LTN3~LTN0 ビット} + 1) \end{aligned}$$

スタートアップノイズタイマは以下のとき再スタートします。

- COLDSTART\_LISTEN状態に入ったとき
  - COLDSTART\_LISTEN状態中に正常にデコードされたヘッダまたはCASシンボルを受信したとき
- スタートアップノイズタイマはCOLDSTART\_LISTEN状態を抜けると停止します。

一度スタートアップノイズタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。ランダムチャンネルアクティ

ビティがあるときはスタートアップノイズタイムは再スタートしませんので、このタイムアウトによりノイズの多い環境でも通信クラスタをスタートアップさせることを保証する代替ソリューションが提供されています。

### (3) LeadingColdstart ノードの状態遷移 (Coldstart の開始)

Coldstart ノードが COLDSTART\_LISTEN 状態に入ると、自ノードのチャンネルを監視します。

通信が検出されなかった場合、COLDSTART\_COLLISION\_RESOLUTION 状態に移り、Coldstart 試行を開始します。最初の CAS シンボルの送信の後に、最初の正規のサイクルが続きます。このサイクルがサイクル番号 0 となります。

サイクル 0 から当該ノードはスタートアップフレームを送信します。各 Coldstart ノードがそれぞれ Coldstart 試行を実行するかもしれませんから、複数のノードが同時に CAS シンボルを送信し、Coldstart パスに入る可能性があります。この状況は、CAS シンボルが送信された後の最初の 4 サイクルで解決されます。

Coldstart 試行を開始したノードがこの 4 サイクル間に CAS シンボルやフレームヘッダを受信すると、すぐに COLDSTART\_LISTEN 状態に再遷移します。その結果、Coldstart パスに残るのは 1 つのノードのみになります。サイクル番号 4 に入ると、他の Coldstart ノードが Startup フレームの送信を開始します。

COLDSTART\_COLLISION\_RESOLUTION 状態での 4 サイクルの後、Coldstart を開始したノードは COLDSTART\_CONSISTENCY\_CHECK 状態に入ります。サイクル番号 4 および 5 の Startup フレームをすべて集めクロック補正を行います。クロック補正にエラーがなく、一組以上の有効な Startup フレームを受信した場合、COLDSTART\_CONSISTENCY\_CHECK 状態を抜けて NORMAL\_ACTIVE 状態に移ります。

1 つのノードが実行できる Coldstart 試行回数は、FRSUCC1 レジスタの CSA4~CSA0 ビットで設定します。Coldstart 試行残数は FRCCSV レジスタの RCA4~RCA0 ビットで読めます。Coldstart 試行が実行されるたび残数は 1 ずつ減算されます。ノードは、この値が 2 以上のときのみ COLDSTART\_LISTEN 状態に、1 以上のときのみ COLDSTART\_COLLISION\_RESOLUTION 状態に遷移できます。Coldstart 試行回数が 1 回の場合、Coldstart は禁止されますが、統合は可能です。

### (4) FollowingColdstart ノードの状態遷移 (LeadingColdstart ノードへの応答)

Coldstart ノードが COLDSTART\_LISTEN 状態に入ると、LeadingColdstart ノードからスケジュールとクロック補正を引き出すため、有効な Startup フレームのペアを受信しようとします。

有効な Startup フレームを受信すると直ちに INITIALIZE\_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION\_COLDSTART\_CHECK 状態に移ります。

INTEGRATION\_COLDSTART\_CHECK 状態では、クロック補正が正しく実行され、ノードのスケジュールを初期化した Coldstart ノードがまだ有効であることを保証します。ノードはすべての Sync フレームを集め、次の一对のサイクルでクロック補正を実行します。クロック補正でエラーがなく、統合した同じノードから引き続きフレームを受信している場合、COLDSTART\_JOIN 状態に入ります。

COLDSTART\_JOIN 状態では、FollowingColdstart ノードが Startup フレームの送信を開始し、次のサイクルでも Startup フレームを送信します。その結果 LeadingColdstart ノードとそこに統合するノードが、互いのスケジュールが一致しているかどうかをチェックできます。クロック補正でエラーがあった場合、ノードは統合するのを中断します。この状態にあるノードがすべての偶数サイクルで有効な Startup フレームを 1 つ以上

観測し、すべての一対のサイクルで有効な Startup フレームを 1 つ以上観測した場合、ノードは COLDSTART\_JOIN 状態を抜け NORMAL\_ACTIVE 状態に遷移します。結果として Coldstart を開始したノードの最低 1 サイクル後に、FollowingColdstart ノードは STARTUP 状態から抜けます。

#### (5) 非 Coldstart ノードの状態遷移

非 Coldstart ノードが INTEGRATION\_LISTEN 状態に入ると、自分が接続されたチャンネルを監視します。

有効な Startup フレームを受信すると直ちに INITIALIZE\_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION\_CONSISTENCY\_CHECK 状態に移ります。

INTEGRATION\_CONSISTENCY\_CHECK 状態では、クロック補正が正しく実行されたか、十分な数 (2 つ以上) の Coldstart ノードがノードのスケジュールに一致する Startup フレーム送信をしているかを確認します。クロック補正が実行され、エラーが検出されると、ノードは統合するのを中断します。

この状態での最初の偶数サイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームかのどちらかが受信されなければいけません。そうでなければ、ノードは統合するのを中断します。

この状態での最初の一対のサイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームペアかのどちらかが受信されなければいけません。そうでなければ、ノードは統合するのを中断します。

最初の一対のサイクルが終わった後、偶数サイクルで受信した有効な Startup フレームが 2 つ未満の場合、一対のサイクルで受信した有効な Startup フレームペアが 2 つ未満の場合、スタートアップは中断されます。

STARTUP 状態を抜け NORMAL\_OPERATION 状態に入るためには、この状態においてノードは 2 つの連続した一対のサイクルそれぞれに対し 2 つの有効な Startup フレームペアを観測することが必要です。

結果として、Coldstart を開始したノードの最低 1 サイクル対後、かつ奇数サイクルの終端で、非 Coldstart ノードは STARTUP 状態から抜けます。

### 32.16.7 NORMAL\_ACTIVE 状態

最初の CAS シンボルを送信したノード (衝突を回避して Coldstart パスを経て STARTUP に遷移) と、もう一つのノードが NORMAL\_ACTIVE 状態に入ると、クラスタのスタートアップフェーズが完了します。

NORMAL\_ACTIVE 状態ではすべての設定されたメッセージが設定どおりに送信されます。ここには Sync フレームだけでなく、データフレームも含まれます。レートおよびオフセット計測は偶数サイクル (偶数/奇数サイクルペアが必要) で行われます。

NORMAL\_ACTIVE 状態では以下の標準の通信機能がサポートされます。

- FlexRayバス上での送受信を設定されたとおりに実行
- クロック同期は実施
- CPUインタフェースは動作

CC は以下の場合に NORMAL\_ACTIVE 状態を抜けます。

- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0110" (HALTコマンド) を書くことで、現サイクルの終端でHALT状態に遷移
- CMD3～CMD0ビットに"B'0111" (FREEZEコマンド) を書くことで、直ちにHALT状態に遷移
- ACTIVEからCOMM\_HALTへエラーステータスが増加したことによりHALT状態に遷移
- ACTIVEからPASSIVEへエラーステータスが増加したことによりNORMAL\_PASSIVE状態に遷移



- CMD3～CMD0ビットに"B'0010" (READYコマンド) を書くことでREADY状態に遷移

### 32.16.8 NORMAL\_PASSIVE 状態

エラーステータスが ACTIVE から PASSIVE に変化すると、NORMAL\_ACTIVE 状態から NORMAL\_PASSIVE 状態へ遷移します。

NORMAL\_PASSIVE 状態では、ノードはすべてのフレームを受信できます (ノードが完全に同期していてクロック同期を行う場合)。NORMAL\_ACTIVE 状態と違い、ノードは積極的には通信に参加しません、つまりシンボルもフレームも送信しません。

NORMAL\_PASSIVE 状態では、

- FlexRayバス上での受信は実行
- FlexRayバス上にフレームもシンボルも送信しない
- クロック同期は実施
- CPUインタフェースは動作

CC は以下の場合に NORMAL\_PASSIVE 状態を抜けます。

- FRSUCC1レジスタのCMD3～CMD0ビットに"B'0110" (HALTコマンド) を書くことで、現サイクルの終端でHALT状態に遷移
- CMD3～CMD0ビットに"B'0111" (FREEZEコマンド) を書くことで、直ちにHALT状態に遷移
- PASSIVEからCOMM\_HALTへエラーステータスが変化したことによりHALT状態に遷移
- PASSIVEからACTIVEへエラーステータスが変化したことによりNORMAL\_ACTIVE状態に遷移 (この変化はFRCCEVレジスタのPTAC4～PTAC0ビットの値がFRSUCC1レジスタのPTA4～PTA0ビットの設定値-1になったときに起こります)
- CMD3～CMD0ビットに"B'0010" (READYコマンド) を書くことで、READY状態に遷移

### 32.16.9 HALT 状態

この状態ではすべての通信 (送受信) が停止します。

CC は以下の場合に HALT 状態へ遷移します。

- NORMAL\_ACTIVE状態またはNORMAL\_PASSIVE状態で、FRSUCC1レジスタのCMD3～CMD0ビットに"B'0110" (HALTコマンド) を設定
- 状態にかかわらず、CMD3～CMD0ビットに"B'0111" (FREEZEコマンド) を設定
- クロック補正失敗カウンタが「クロック補正エラー回数 (HALT状態への遷移条件)」に達したため NORMAL\_ACTIVE状態から抜けたとき
- クロック補正失敗カウンタが「クロック補正エラー回数 (HALT状態への遷移条件)」に達したため NORMAL\_PASSIVE状態から抜けたとき

CC は以下の場合に HALT 状態から DEFAULT\_CONFIG 状態へ遷移します。

- CMD3～CMD0ビットに"B'0001" (CONFIGコマンド) を設定

HALT 状態に遷移すると、すべてのレジスタ設定やステータスは解析のために保存されます。

プログラムで CMD3~CMD0 ビットに "B'0110" (HALT コマンド) を書くと、FRCCSV レジスタの HRQ ビットが "1" になり、現コミュニケーションサイクルの終了後、HALT 状態に遷移します。

プログラムで CMD3~CMD0 ビットに "B'0111" (FREEZE コマンド) を書くと、直ちに HALT 状態に遷移し、FRCCSV レジスタの FSI ビットが "1" になります。

HALT 状態への遷移前の POC の状態は FRCCSV レジスタの PSL5~PSL0 ビットで読むことができます。

### 32.17 ネットワーク管理

生成されたネットワーク管理 (NM) ベクタは FRNMV1~FRNMV3 レジスタで読むことができます。CC は、ペイロードプリアンブルインジケータ (PPI) ビットが "1" になっているすべての有効な受信 NM フレームの中から、すべての NM ベクタをビットごとに OR 演算します。スタティックフレームだけが NM 情報を持つように設定されています。CC は各サイクルの終端で NM ベクタを更新します。

NM ベクタ長は FRNEMC レジスタの NML3~NML0 ビットで設定します。設定範囲は 0~12 です。NM ベクタ長はクラスタ内のすべてのノードで同じ値にしてください。

FlexRay フレームを PPI ビットを "1" にして送信するように送信バッファを設定するには、それぞれの送信バッファのヘッダセクションにある PPIT ビットを、FRWRHS1 レジスタの PPIT ビットを使って "1" にしなければいけません。さらにプログラムで NM 情報をそれぞれの送信バッファのデータセクションに書く必要があります。

NM ベクタの評価はアプリケーションプログラム側で行う必要があります。

- 【注】
- ・メッセージバッファがネットワーク管理フレームの送信/受信用に設定されている場合、メッセージバッファのヘッダ 2 で設定するペイロード長は、FRNEMC レジスタの NML3~NML0 ビットで設定した NM ベクタ長以上にする必要があります。
  - ・CC が HALT 状態に遷移したとき、サイクルカウンタはインクリメントされませんので、NM ベクタも更新されません。このとき FRNMV1~FRNMV3 レジスタは以前のサイクルの値を保持します。

### 32.18 フィルタリングとマスキング

フィルタリングは、指定されたメッセージバッファの設定と、実際のスロットカウンタ値、サイクルカウンタ値およびチャンネル ID（チャンネル A、B）とを比較することで行われます。比較した値が一致したときだけ、メッセージバッファは更新/送信されます。

フィルタリングは以下の条件でされます。

- スロットカウンタ
- サイクルカウンタ
- チャンネルID

以下のフィルタの組み合わせがアクセプタンス/送信フィルタリングに使用できます。

- スロットカウンタ+チャンネルID
- スロットカウンタ+サイクルカウンタ+チャンネルID

メッセージバッファに受信メッセージを格納するには、設定されたすべてのフィルタが一致する必要があります。

**【注】**・ FIFO については、アクセプタンスフィルタは FlexRayFIFO リジェクションフィルタレジスタ（FRFRF）と、FlexRayFIFO リジェクションフィルタマスクレジスタ（FRFRFM）で設定されます。

設定したチャンネルの設定したフレーム ID に相当するタイムスロットでメッセージは送信されます。サイクルカウンタフィルタリングが有効な場合、設定されたサイクルフィルタ値も一致する必要があります。

#### 32.18.1 スロットカウンタフィルタリング

すべての送信/受信バッファは、ヘッダセクションにフレーム ID を持っています。このフレーム ID が実際のスロットカウンタ値と比較されて、受信/送信バッファを対応するスロットに割り当てます。

2 つ以上のメッセージバッファが同じフレーム ID を持つように設定され、同じスロットに対してサイクルカウンタフィルタ値が一致した場合、メッセージバッファ番号が一番小さいメッセージバッファが使用されます。

#### 32.18.2 サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットという概念に基づきます。フィルタリングという目的においては、サイクルセットの項目が一つでも一致すると、一致と検出されます。サイクルセットは各メッセージバッファのヘッダセクション 1 にあるサイクルコードフィールドで定義されます。

メッセージバッファ 0 または 1 が、FRSUCC1 レジスタの TXST ビット、TXSY ビット、TSM ビットによって、Startup フレーム/Sync フレーム、または SINGLE スロットフレームになるように設定されている場合、該当するメッセージバッファのサイクルカウンタフィルタリングは禁止する必要があります。

**【注】**・ FlexRay ネットワークの異なるノード間で、サイクルカウンタフィルタリングを使用してスタティックタイムスロットを共有することは禁止されています。

サイクルセットに含まれるサイクル番号のセットは表 32.10 のように定義されています。

表 32.10 サイクルセットの定義

サイクルコード	一致するサイクルカウンタ値
B'000000x	全サイクル
B'000001c	2 サイクルごと サイクルカウンタ値を 2 で割った剰余= c のとき
B'00001cc	4 サイクルごと サイクルカウンタ値を 4 で割った剰余= cc のとき
B'0001ccc	8 サイクルごと サイクルカウンタ値を 8 で割った剰余= ccc のとき
B'001cccc	16 サイクルごと サイクルカウンタ値を 16 で割った剰余= cccc のとき
B'01ccccc	32 サイクルごと サイクルカウンタ値を 32 で割った剰余= ccccc のとき
B'1cccccc	64 サイクルごと サイクルカウンタ値を 64 で割った剰余= cccccc のとき

表 32.11 にサイクルカウンタフィルタリングに使用する有効なサイクルセットの例を示します。

表 32.11 有効なサイクルセットの例

サイクルコード	一致するサイクルカウンタ値
B'0000011	1-3-5-7- .... -63
B'0000100	0-4-8-12- .... -60
B'0001110	6-14-22-30- .... -62
B'0011000	8-24-40-56
B'0100011	3-35
B'1001001	9

メッセージが受信されたサイクルのサイクルカウンタ値と受信バッファのサイクルセットの要素が一致したときのみ、受信メッセージが格納されます。チャンネル ID およびフレーム ID も一致する必要があります。

送信バッファに設定したサイクルコードが現在のサイクルカウンタ値に一致した場合、フレームを送信します。他のフィルタ（チャンネル ID およびフレーム ID）も一致する必要があります。

### 32.18.3 チャネル ID フィルタリング

メッセージ RAM の各メッセージバッファのヘッダセクションには 2 ビットのチャネルフィルタリング制御フィールド（CHA、CHB ビット）があります。これらは受信バッファのフィルタおよび送信バッファの制御ビットとして使用します（表 32.12 参照）。

表 32.12 チャネルフィルタリング設定

CHA	CHB	送信バッファのフレーム送信	受信バッファの有効受信フレーム格納
1	1	両チャンネル (スタティックセグメントのみ)	チャンネル A または B で受信 (最初のセマンティックス的に有効なフレームを格納、スタティックセグメントのみ)
1	0	チャンネル A	チャンネル A で受信
0	1	チャンネル B	チャンネル B で受信
0	0	送信禁止	フレーム無視

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、送信バッファの内容は、チャネルフィルタリング制御フィールドで設定したチャンネルに送信されます。送信バッファは、スタティックセグメントでのみ両方のチャンネル（CHA ビット=CHB ビット="1"）に送信するように設定できます。

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、チャネルフィルタリング制御フィールドで設定したチャンネルで受信した有効な受信フレームが格納されます。受信バッファは、スタティックセグメントでのみ両方のチャンネル（CHA ビット=CHB ビット="1"）から受信するように設定できます。

【注】・メッセージバッファがダイナミックセグメント用に設定されており、チャネルフィルタリング制御フィールド両ビットが"1"のとき、フレームの送信は行われず、受信フレームは無視されます（CHA ビット=CHB ビット="0"と同じ機能）。

### 32.18.4 FIFO フィルタリング

FIFO フィルタリングでは FRFRF レジスタおよび FRFRFM レジスタを使用します。FIFO フィルタはチャネルフィルタ（FRFRF レジスタの CH1~CH0 ビット）、フレーム ID フィルタ（同 FID10~FID0 ビット）およびサイクルカウンタフィルタ（同 CYF6~CYF0 ビット）から構成されています。FRFRF レジスタおよび FRFRFM レジスタは CONFIG 状態でのみ設定できます。FIFO に割り当てられたメッセージバッファのヘッダセクションに対するフィルタ設定は無視されます。

7 ビットのサイクルカウンタフィルタはフレーム ID フィルタとチャンネル除去フィルタが適用されるサイクルセットを決定します。FRFRF レジスタの CYF6~CYF0 ビットで設定されたサイクルセットに当てはまらないサイクルでは、すべてのフレームが除外されます。

FRFRF レジスタと FRFRFM レジスタの設定によってチャネル ID、フレーム ID およびサイクルカウンタが除外されず、かつ一致する専用受信バッファがない場合、有効な受信フレームが FIFO に格納されます。

## 32.19 送信プロセス

### 32.19.1 スタティックセグメント

スタティックセグメントでは、送信待ちメッセージがある場合、次の送信スロットに対応するフレーム ID を持ったメッセージが送信するために選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終端まで更新できます。つまり、遅くともこのときまでに入力バッファコマンド要求レジスタ (FRIBCR) に書いて、入力バッファからの転送を開始させる必要があります。

### 32.19.2 ダイナミックセグメント

ダイナミックセグメントでは、送信待ちメッセージがある場合、優先度が高い(フレーム ID の小さい)メッセージが次の送信に選択されます。このセグメントではチャンネル A とチャンネル B で異なるスロットカウンタシーケンスを使用できます(両チャンネルで異なるフレーム ID の同時送信が可能)。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終端まで更新できます。つまり、遅くともこのときまでに入力バッファコマンド要求レジスタ (FRIBCR) に書いて、入力バッファからの転送を開始させる必要があります。

FRMHDC レジスタの SLT12~SLT0 ビットで設定される最終送信開始位置により、最大ミニスロット値が定義されます。このスロット以降、現サイクルのダイナミックセグメントでは新たなフレーム送信は禁止になります。

### 32.19.3 送信バッファ

FlexRay メッセージバッファは、FRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに "1" を書くことで、送信バッファに設定できます。

送信バッファの CC チャンネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャンネルAまたはチャンネルB  
チャンネル A とチャンネル B の両方
- ダイナミックセグメント：チャンネルAまたはチャンネルB

メッセージバッファ 0、1 は、それぞれ FRSUCC1 レジスタの TXST、TXSY、TSM ビットで設定したとおり、Startup フレーム、Sync フレーム、指定された SINGLE スロットフレーム専用となります。この場合、CONFIG 状態でのみ設定変更ができます。このため各ノードは、1 つのコミュニケーションサイクルに多くとも 1 つの Startup フレーム/Sync フレームしか送信できません。他のメッセージバッファから Startup フレーム/Sync フレームを送信することはできません。

スタティックセグメントまたはダイナミックセグメントでの送信用に設定されている他のメッセージバッファはすべて、FRMRC レジスタの SEC1~SEC0 ビットの設定次第でランタイム中に設定変更可能です(「32.22.1 メッセージバッファの設定変更」参照)(データポインタによって参照されるという)。

メッセージ RAM のデータパーティションの構成上、メッセージバッファのヘッダセクションのペイロード長とデータポインタの設定変更はエラーを引き起こす可能性があります。

ランタイム中にメッセージバッファが設定変更(ヘッダセクションを更新)された場合、当該メッセージ

バッファは、対応するコミュニケーションサイクル中に送信されない場合があります。

CCにはヘッダCRCを計算する機能はありません。プログラムですべての送信バッファにヘッダCRCを用意する必要があります。ネットワーク管理が必要な場合、該当するメッセージバッファのヘッダセクションにあるPPITビットを"1"に設定し、データセクションにネットワーク管理情報を書く必要があります(「32.17 ネットワーク管理」参照)。

ペイロード長フィールドは2バイト単位でペイロード長を設定します。スタティック送信バッファのペイロード長がFRMHDCレジスタのSFDLビットに設定したスタティックセグメントでのペイロード長より短い場合、CCはフレームが正しい物理長になるようにパディングバイトを生成します。パディングパターンは"H'00"です。

**【注】**・ペイロード長が奇数の場合(PLC=1、3、5、...)、パディングパターンが"0"であることを保証するために、メッセージバッファの最後16ビットにすべて"0"を書いてください

各送信バッファの送信モードフラグ(TXM)により送信バッファの送信モードを設定できます。このビットが"1"の場合シングルショットモードに"0"の場合連続送信モードになります。

シングルショットモードでは、送信完了後に対応するTXRビットが"0"になります。このとき送信バッファの更新が可能です。

連続送信モードでは、送信が完了しても対応する送信要求フラグ(TXRビット)は"0"になりません。この場合フィルタ条件が一致するごとにフレームが送信されます。TXRビットを"0"にするには、FRIBCMレジスタのSTXRHビットが"0"の間に当該メッセージバッファ番号をFRIBCRレジスタに書きます。

2つ以上の送信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい送信バッファが対応するスロットで送信されます。

### 32.19.4 フレーム送信

以下にメッセージバッファを送信するための手順を示します。

- FRWRHS1~FRWRHS3レジスタによりメッセージRAMの送信バッファを設定する。
- FRWRDSiレジスタ(i=1~64)により送信バッファのデータセクションを書き込む。
- 対象となるメッセージバッファ番号をFRIBCRレジスタに書くことで、入力バッファからメッセージRAMに設定値とメッセージデータを転送する。
- FRIBCMレジスタで設定した場合、転送完了次第、対象のメッセージバッファの送信要求フラグ(TXRビット)が"1"になり、メッセージバッファの送信準備が完了する。
- FRTRXQ1~FRTRXQ4レジスタの対応するTXRビットをチェックする(TXRビット="0")ことで、メッセージバッファが送信されたかどうかを確認をする(シングルショットモードのみ)。

送信完了後、FRTRXQ1~FRTRXQ4レジスタの対応するTXRビットが"0"になります(シングルショットモードのみ)。また、メッセージバッファのヘッダセクションのMBIビットが"1"の場合、FRSIRレジスタのTXIビットが"1"になります。割り込みが許可されている場合、割り込み要求が発生します。

### 32.19.5 Null フレーム送信

スタティックセグメントにおいて、送信前に送信要求フラグが"1"になっておらず、フィルタ条件に合致する送信バッファがない場合、CC は、Null フレームインジケータビットを"0"、ペイロードデータを 0 にして Null フレームを送信します。

以下の場合 Null フレームが送信されます。

- フィルタ条件に合致するメッセージバッファ番号が最も小さいメッセージバッファの送信要求フラグが "1"になっていない場合 (TXRビット="0")
- そのスロットに設定された送信バッファのサイクルカウンタフィルタが、現在のサイクルに一致しない場合。この場合、メッセージバッファステータス (MBS) は更新されません。

ダイナミックセグメントでは Null フレームを送信しません。



## 32.20 受信プロセス

### 32.20.1 専用受信バッファ

FRWRHS1 レジスタにより対応するメッセージバッファのヘッダセクションにある CFG ビットに"0"を書くことで、FlexRay メッセージバッファの一部は専用受信バッファとして設定できます。

受信バッファの CC チャンネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャンネルAまたはチャンネルB  
チャンネルAとチャンネルBの両方（最初のセマンティクス的に有効なフレームを格納）
- ダイナミックセグメント：チャンネルAまたはチャンネルB

有効な受信メッセージのペイロードデータは、FlexRay チャンネルプロトコルコントローラ（チャンネル A または B）のシフトレジスタからフィルタ設定に一致する受信バッファに転送されます。受信バッファはフレーム CRC を除くすべてのフレームエレメントを格納します。

スタティックセグメントまたはダイナミックセグメントで受信用に設定されているメッセージバッファはすべて、FRMRC レジスタの SEC1~SEC0 ビットの設定次第でランタイム中に設定変更が可能です（「32.22.1 メッセージバッファの設定変更」参照）。ランタイム中にメッセージバッファが設定変更（ヘッダセクションが更新）された場合、対応するコミュニケーションサイクルにおける受信メッセージは失われる場合があります。

2 つ以上の受信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい受信バッファが受信メッセージにより更新されます。

### 32.20.2 フレーム受信

以下に専用受信メッセージバッファに受信準備をする手順を示します。

- FRWRHS1~FRWRHS3レジスタによりメッセージRAMの受信バッファを設定する。
- 対象となるメッセージバッファ番号をFRIBCRレジスタに書くことで、入力バッファからメッセージRAMに設定値を転送する。

一度上記の手順が実行されると、メッセージバッファは受信バッファとして機能し、メッセージを受信するたびに行われる内部アクセプタンスフィルタリング処理を実行します。最初に一致した受信バッファが受信メッセージにより更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納された場合、FRNDAT1~FRNDAT4 レジスタの対応する ND ビットが"1"になります。また、メッセージバッファのヘッダセクションにある MBI ビットが"1"の場合、FRSIR レジスタの RXI ビットが"1"になります。割り込みが許可されている場合、割り込み要求が発生します。

メッセージハンドラがメッセージバッファを更新したときに ND ビットがすでに"1"になっていた場合、対応するメッセージバッファの MBS にある MLST ビットが"1"になり、未処理のメッセージデータは失われます。

フレームを受信しなかった場合、または Null フレームや破損したフレームを受信した場合、このスロット

に設定されたメッセージバッファのデータセクションは更新されません。この場合、当該メッセージバッファステータス (MBS) のみ更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにあるメッセージバッファステータス (MBS) を変化させたとき、FRMBSC1~FRMBSC4 レジスタの対応する MBC ビットが"1"になります。また、メッセージバッファのヘッダセクションにある MBI ビットが"1"の場合、FRSIR レジスタの MBSI ビットが"1"になります。割り込みが許可されている場合、割り込み要求が発生します。

受信したフレームのペイロード長 (PLR6~PLR0) が、対応するメッセージバッファのヘッダセクションにある PLC6~PLC0 ビットの設定値より長い場合、メッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

出力バッファを介してメッセージ RAM から受信バッファを読むには、「32.22.2 (2) メッセージ RAM から出力バッファへのデータ転送」に記載の処理を行ってください。

**【注】**・受信メッセージのペイロードデータとヘッダが出力バッファに転送された場合、ND ビットと MBC ビットは自動的に"0"になります

### 32.20.3 Null フレーム受信

受信した Null フレームのペイロードセグメントは、一致した専用受信バッファにコピーされません。

Null フレームが受信されると、一致したメッセージバッファのメッセージバッファステータス (MBS) だけが受信した Null フレームにより更新されます。一致したメッセージバッファのヘッダ 2 と 3 にあるビットはいずれも変化しません。これらのビットの内容は受信データフレームによってのみ更新されます。

メッセージバッファのヘッダセクションにあるメッセージバッファステータス (MBS) が変化すると、FRMBSC1~FRMBSC4 レジスタの対応する MBC ビットが"1"になります。また、メッセージバッファのヘッダセクションにある MBI ビットが"1"の場合、FRSIR レジスタの MBSI ビットが"1"になります。割り込みが許可されている場合、割り込み要求が発生します。

## 32.21 FIFO 機能

### 32.21.1 解説

メッセージバッファの一部を FIFO バッファとして設定できます。FIFO に設定したメッセージバッファは、FRMRC レジスタの FFB7~FFB0 ビットで指定したメッセージバッファから始まり、FRMRC レジスタの LCB7~LCB0 ビットで指定したメッセージバッファで終わるレジスタマップ内で、連続しています。最大 128 のメッセージバッファを FIFO に割り当てることができます。

専用受信バッファには一致しなかったが、プログラマブル FIFO フィルタはパスした有効な受信メッセージはすべて FIFO に格納されます。この場合、指示された FIFO メッセージバッファのフレーム ID、ペイロード長、受信サイクルカウント、メッセージバッファステータス (MBS) にはそれぞれ受信フレームの値が上書きされます。FRSIR レジスタの RFNE ビットが"1"の場合、受信 FIFO が空でないことを、RFCL ビットが"1"の場合、受信 FIFO フィルレベル (FRFSR レジスタの RFFL7~RFFL0 ビット) が FRFCL レジスタの CL7~CL0 ビットで設定されたクリティカルレベル以上であることを、また FREIR レジスタの RFO ビットが"1"の場合、FIFO オーバランが検出されたことを示します。割り込みが許可されている場合、割り込み要求が発生します。

Null フレームが FIFO リジェクションフィルタで除去されなかった場合、その Null フレームは FIFO に格納されたときデータフレームとして扱われます。

FIFO に関連した 2 つのインデックスレジスタ (PUT インデックスレジスタ (PIDX) と GET インデックスレジスタ (GIDX)) があります。PIDX レジスタは FIFO 内で次に使用可能な場所を示すインデックスです。

新しいメッセージを受信したとき、当該メッセージは PIDX レジスタに示されるメッセージバッファに書き込まれます。その後 PIDX レジスタはインクリメントされ、次に使用可能なメッセージバッファを示します。PIDX レジスタが FIFO のメッセージバッファ番号の最大値を超えると、PIDX レジスタには FIFO チェーン内の先頭 (最も値が小さい) メッセージバッファの番号が設定されます。GIDX レジスタは次に読み出される FIFO のメッセージバッファを示すために使用します。FIFO 内のメッセージバッファの内容が出力バッファへ転送されると、GIDX レジスタはインクリメントされます。PIDX レジスタと GIDX レジスタへは CPU からアクセスできません。

PIDX レジスタの値が GIDX レジスタの値に達したとき、FIFO は一杯になります。一番古いメッセージが読まれる前に新しいメッセージが書かれると、両レジスタはインクリメントされ、新しいメッセージが一番古いメッセージに上書きされます。このとき FIFO オーバランフラグ (FREIR レジスタの RFO ビット) が"1"になります。

PIDX レジスタの値が GIDX レジスタの値と異なる場合、FIFO が空でないことがわかります。このとき FRSIR レジスタの RFNE ビットが"1"になります。これは少なくとも一つの受信メッセージが FIFO にあることを示します。FIFO エンプティ、FIFO 非エンプティ、FIFO オーバランの状態を、3 つのメッセージバッファからなる FIFO を例に図 32.10 に示します。

プログラマブル FIFO リジェクションフィルタ (FRFRF) は、除去されるメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ、フレーム ID フィルタ、サイクルカウンタフィルタで構成されます。FRFRF レジスタの RSS ビットが"1" (リセット後の値) の場合、スタティックセグメントで受信したメッセージはすべて FIFO に除去されます。RNF ビットが"1" (リセット後の値) の場合、受信した Null フレームは FIFO に格納されません。

FIFO リジェクションフィルタマスク (FRFRFM) では、FRFRF レジスタのフレーム ID フィルタのどのビットを除外フィルタリングで "Don't care" にするかを指定します。

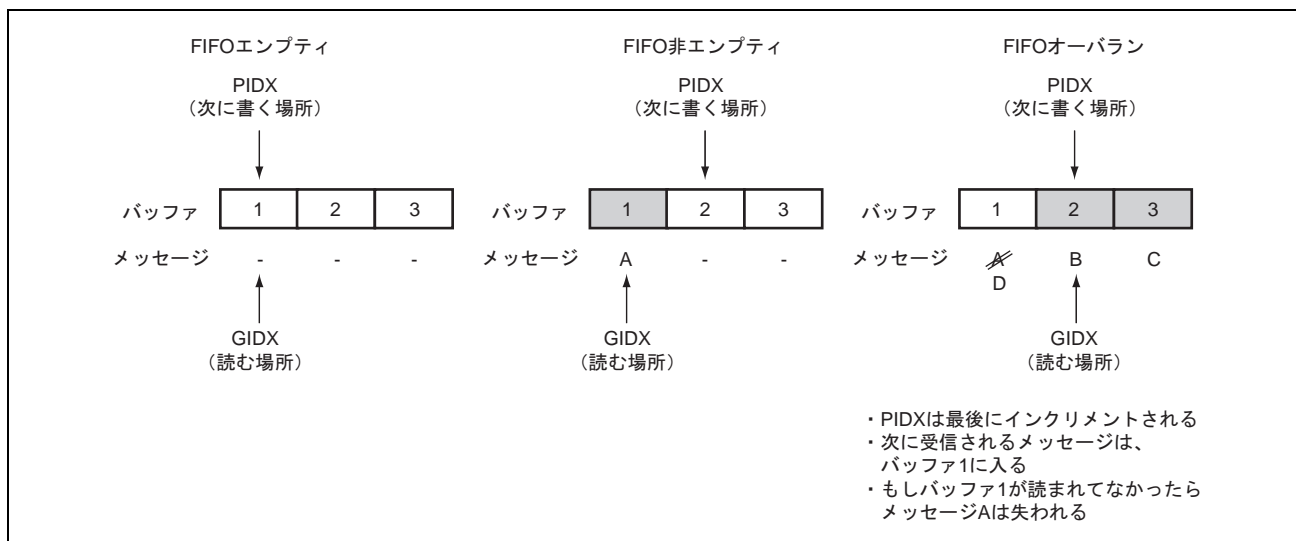


図 32.10 FIFO ステータス : エンプティ、非エンプティ、オーバラン

### 32.21.2 FIFO の設定

FIFO に設定したメッセージバッファの設定（または設定変更）は、CONFIG 状態でのみ可能です。CC が CONFIG 状態にあるとき、FIFO 機能は使用できません。

FIFO に設定したすべてのメッセージバッファにおいて、FRWRHS2 レジスタの PLC6~PLC0 ビットで設定するペイロード長は同じ値にする必要があります。メッセージ RAM の各メッセージバッファのデータセクションの最初の 32 ビットへのデータポインタは、FRWRHS3 レジスタの DP10~DP0 ビットで設定します。

アクセプタンスフィルタリングに必要な情報はすべて FIFO リジェクションフィルタ (FRFRF) と FIFO リジェクションフィルタマスク (FRFRFM) から得られます。FIFO に設定したメッセージバッファのヘッダセクションに設定されている値は、DP10~DP0 ビットおよび PLC6~PLC0 ビットを除いて、意味を持ちません。

- 【注】
- ・ 受信割り込み要求が発生しないよう、FIFO に設定したメッセージバッファの MBI ビットは"0"にすることを推奨します。
  - ・ 受信したフレームのペイロード長が、対応するメッセージバッファのヘッダセクションにある FRWRHS2 レジスタの PLC6~PLC0 ビットの設定値より長い場合、FIFO のメッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

### 32.21.3 FIFO へのアクセス

DEFAULT\_CONFIG 状態または CONFIG 状態以外で FIFO にアクセスするには、(FRMRC レジスタの FFB7 ~ FFB0 ビットで参照される) FIFO の先頭メッセージバッファ番号を FROBCR レジスタに書いて、メッセージ RAM から出力バッファへの転送を起こす必要があります。そうすると、メッセージハンドラが GET インデックスレジスタ (GIDX) で示されるメッセージバッファを出力バッファに転送します。この転送の後、GIDX レジスタはインクリメントされます。

## 32.22 メッセージハンドリング

メッセージハンドラは、入力バッファ/出力バッファとメッセージ RAM 間、メッセージ RAM と 2 つのテンポラリバッファ RAM 間のデータ転送を制御します。内部 RAM へのアクセスはすべて 32+1 ビットアクセスです。追加の 1 ビットはパリティチェックに使用します。

メッセージ RAM に格納されたメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これにより、2 つの FlexRay チャネルプロトコルコントローラと CPU がメッセージ RAM へアクセスする際の衝突が避けられます。

スタティックセグメントに割り当てられたメッセージバッファのフレーム ID は、1 から FRGTUC7 レジスタの NSS9~NSS0 ビットの設定値までの範囲にする必要があります。ダイナミックセグメントに割り当てられたメッセージバッファのフレーム ID は、「NSS9~NSS0 ビットの設定値+1~2047」にする必要があります。

一致する専用受信バッファ (スタティックセグメントまたはダイナミックセグメント) がない受信メッセージは、FIFO リジェクションフィルタをパスした場合、受信 FIFO (設定していれば) に格納されます。

### 32.22.1 メッセージバッファの設定変更

アプリケーションが 128 を超えるメッセージを扱う必要がある場合、FlexRay オペレーション中にスタティックおよびダイナミックメッセージバッファの設定を変更できます。入力バッファレジスタ (FRWRHS1～FRWRHS3) で、各メッセージバッファのヘッダセクションを更新してください。

設定変更はメッセージ RAM 設定レジスタ (FRMRC) の SEC1～SEC0 ビットで行います。

設定変更を始める前にメッセージバッファが送信されなかったまたは受信フレームにより更新されなかった場合、そのメッセージは失われます。

設定変更されたメッセージバッファが、設定変更されたフレーム ID に従って送信/受信される準備が整う時点は、ヘッダセクションの更新が完了したときのスロットカウンタの実際の状態に依存します。

このため、設定変更されたメッセージバッファが、設定変更されたサイクルで送信されないまたは受信フレームにより更新されない場合があります。

表 32.13 に従ってメッセージ RAM はスキャンされます。

表 32.13 メッセージ RAM のスキャン

スキャンの開始スロット	スロットのスキャン
1	2…15、1 (次のサイクル)
8	16… 23、1 (次のサイクル)
16	24… 31、1 (次のサイクル)
24	32… 39、1 (次のサイクル)
…	…

メッセージ RAM のスキャンは、スキャンが終了したかどうかにかかわらず NIT の開始とともに終了させられます。スロット 2～15 に対応するメッセージ RAM のスキャンは、現行のサイクルのスロット 1 の先頭で開始します。スロット 1 に対応するメッセージ RAM のスキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあるかどうかを、各メッセージ RAM のスキャンと並行してチェックすることで、その前のサイクルで行われます。

ダイナミックメッセージバッファの先頭番号は FRMRC レジスタの FDB7～FDB0 ビットで設定します。メッセージ RAM のスキャンをダイナミックセグメント中に開始する場合、FDB7～FDB0 ビットで設定されたメッセージバッファ番号からスキャンを開始します。

次のサイクルのスロット 1 でメッセージバッファを使用するように再設定するには、以下の点を考慮してください。

- スロット1用に再設定するメッセージバッファが「スタティックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージRAMスキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- スロット1用に再設定するメッセージバッファが「スタティックバッファ+ダイナミックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージRAMスキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- NITが始まるとメッセージRAMスキャンは終了します。この時点までにメッセージRAMスキャンが再設

## 32. FlexRay モジュール

定されたメッセージバッファを評価していない場合、そのメッセージバッファは次のサイクル用だとは認識されません。

- 【注】・メッセージバッファの設定変更は、メッセージが失われる可能性がありますので、注意して実施してください。  
最悪の場合（連続サイクルでの設定変更時）、メッセージバッファがまったく送信されないまたは受信フレームによって更新されないこともあります。

### 32.22.2 メッセージ RAM へのアクセス

入力バッファとメッセージ RAM 間、メッセージ RAM と出力バッファ間のメッセージ転送は、プログラムで、それぞれ転送先/転送元メッセージバッファ番号を FRIBCR レジスタ/FROBCR レジスタに書くことで起動されます。

FRIBCM レジスタ、FROBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを個別に書き込んだり読み出したりするのに使用します。

FRIBCM レジスタの STXR ビットが"1"の場合、選択されたメッセージバッファが更新された後、このメッセージバッファの送信要求フラグ (TXR ビット) は自動的に"1"になります。STXR ビットに"0"を書くと、選択されたメッセージバッファの送信要求フラグ (TXR ビット) は"0"になります。これは、連続モードで動作しているメッセージバッファからの送信を停止するのに使用できます。

入力バッファ (IBF) と出力バッファ (OBF) は、二重バッファ構成になっています。この二重バッファの構成の一方は、CPU からアクセスでき (IBF ホスト/OBF ホスト)、もう一方 (IBF シャドウ/OBF シャドウ) は、IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

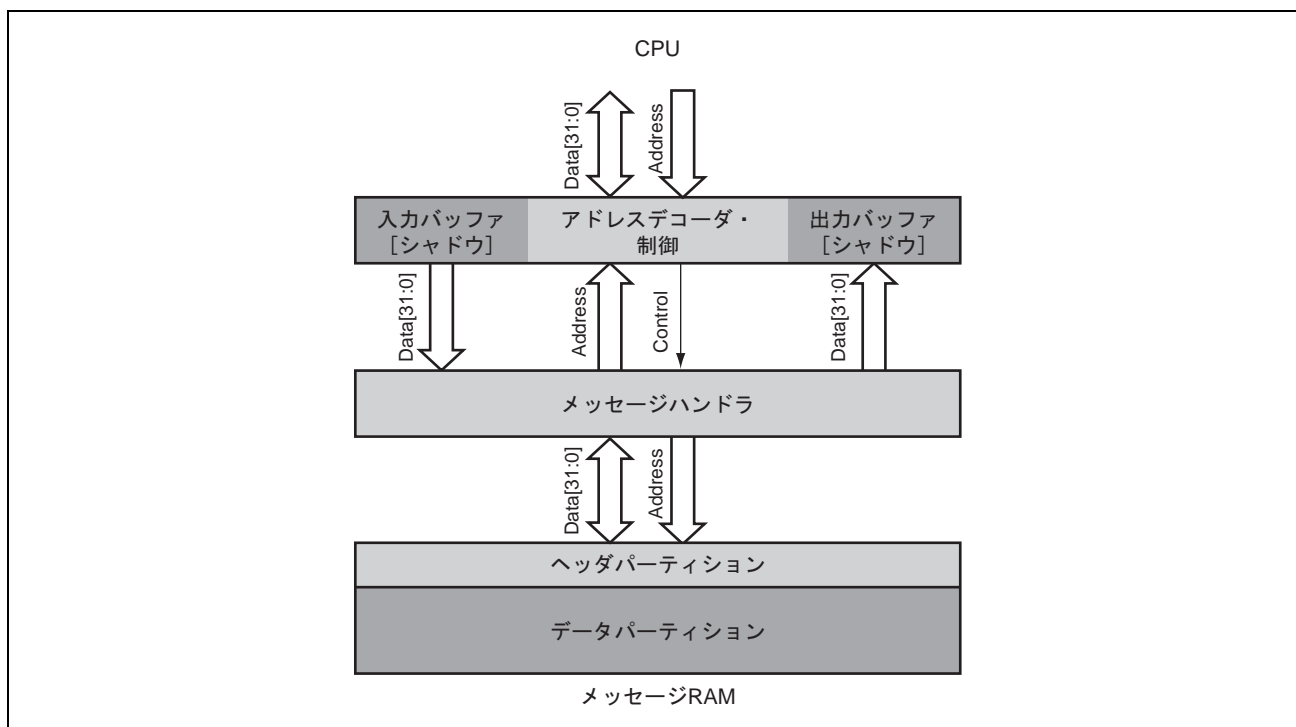


図 32.11 メッセージ RAM へのアクセス

## (1) 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを設定または更新するには、データを FRWRDS<sub>i</sub> レジスタ (i=1~64) に、ヘッダを FRWRHS1~FRWRHS3 に書く必要があります。特殊な動作は入力バッファコマンドマスクレジスタ (FRIBCM) を設定することで選択されます。

FRIBCR レジスタの IBRH6~IBRH0 ビットにメッセージ RAM 内の転送先メッセージバッファ番号を書くと、IBF ホストと IBF シャドウが切り替わります (図 32.12 参照)。

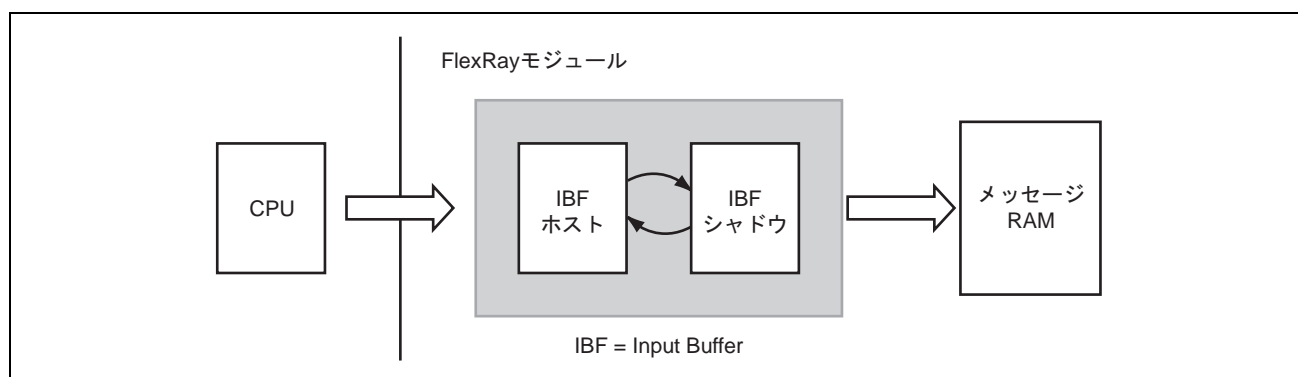


図 32.12 入力バッファのダブルバッファ構造

さらに FRIBCM レジスタと FRIBCR レジスタの各ビットも、各 IBF セクションにある値を維持したまま切り替わります (図 32.13 参照)。

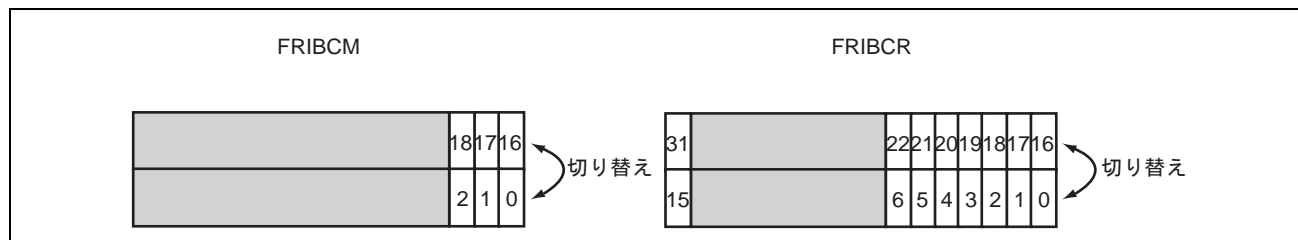


図 32.13 FRIBCM レジスタと FRIBCR レジスタのビットの切り替え

この書き込み動作により FRIBCR レジスタの IBSYS ビットが "1" になります。その後、メッセージハンドラが IBF シャドウの内容を、メッセージ RAM 内の IBRS6~IBRS0 ビットで選択されたメッセージバッファへ転送し始めます。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の目的のメッセージバッファヘデータを転送している間、次のメッセージを IBF ホストに書くことができます。IBF シャドウとメッセージ RAM 間の転送が完了した後、IBSYS ビットは "0" になり、IBRH6~IBRH0 ビットに次の転送先メッセージバッファ番号を書くことで、メッセージ RAM への次の転送が開始できます。

IBSYS ビットが "1" (IBF シャドウからメッセージ RAM へ転送中) のときに、IBRH6~IBRH0 に値を書くと、IBSYH ビットが "1" (最後の要求は保留中) になります。実行中の IBF シャドウからメッセージ RAM へのデータ転送が完了した後、IBF ホストと IBF シャドウが切り替わり、IBSYH ビットは "0" になります。また、IBSYS ビットは "1" のままになり、次のメッセージ RAM への転送が始まります。さらに、IBRH6~IBRH0 ビットと IBRS6~IBRS0 ビットに入っているメッセージバッファ番号とコマンドマスクフラグも入れ替わります。



メッセージバッファへのアクセス例

IBF を介し  $n$  番目のメッセージバッファを設定/更新

- FRIBCRレジスタのIBSYHビットが"0"になるまで待つ
- データセクションをFRWRDSiレジスタ ( $i=1\sim 64$ ) に書き込む
- ヘッダセクションをFRWRHS1~FRWRHS3レジスタに書き込む
- コマンドマスクを書く:FRIBCMレジスタのSTXRH、LDSH、LHSHビットの設定
- 目的のメッセージバッファへのデータ転送を要求する:FRIBCRレジスタのIBRH6~IBRH0ビットの設定

IBF を介し  $n+1$  番目のメッセージバッファを設定/更新

- FRIBCRレジスタのIBSYHビットが"0"になるまで待つ
- データセクションをFRWRDSiレジスタ ( $i=1\sim 64$ ) に書き込む
- ヘッダセクションをFRWRHS1~FRWRHS3レジスタに書き込む
- コマンドマスクを書く:FRIBCMレジスタのSTXRH、LDSH、LHSHビットの設定
- 目的のメッセージバッファへのデータ転送を要求する:FRIBCRレジスタのIBRH6~IBRH0ビットの設定

【注】・ FRIBCR レジスタの IBSYH ビットが"1"のときに IBF に書き込みアクセスすると、FREIR レジスタの IIBA ビットが"1"になります。この場合その書き込みアクセスは無視されます。

表 32.14 FRIBCM レジスタのビットアサイン

ビット番号	アクセス	ビットシンボル	機 能
18	R	STXRS	送信要求フラグ (シャドウ) (転送中または転送完了)
17	R	LDSS	データセクション転送フラグ (シャドウ) (転送中または転送完了)
16	R	LHSS	ヘッダセクション転送フラグ (シャドウ) (転送中または転送完了)
2	W	STXRH	送信要求設定ビット (ホスト)
1	W	LDSH	データセクション転送設定ビット (ホスト)
0	W	LHSH	ヘッダセクション転送設定ビット (ホスト)

表 32.15 FRIBCR レジスタのビットアサイン

ビット番号	アクセス	ビットシンボル	機 能
31	R	IBSYS	入力バッファ転送中フラグ (シャドウ) IBF シャドウからメッセージ RAM に転送中
22~16	R	IBRS6~IBRS0	入力バッファ転送要求ビット (シャドウ) 転送中または最後に転送したメッセージバッファ番号
15	R	IBSYH	入力バッファ転送要求待ちフラグ (ホスト) IBRH6~IBRH0 で示されるメッセージバッファへの転送が保留中
6~0	R/W	IBRH6~IBRH0	入力バッファ転送要求ビット (ホスト) 次に転送されるメッセージバッファ番号

## (2) メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファのデータを読み出すには、FROBCR レジスタに値を書き、FROBCM レジスタで設定したデータ転送を行う必要があります。転送完了後、転送されたデータは FRRDDSi レジスタ (i=1~64)、FRRDHS1~FRRDHS3、FRMBS レジスタから読み出せます。

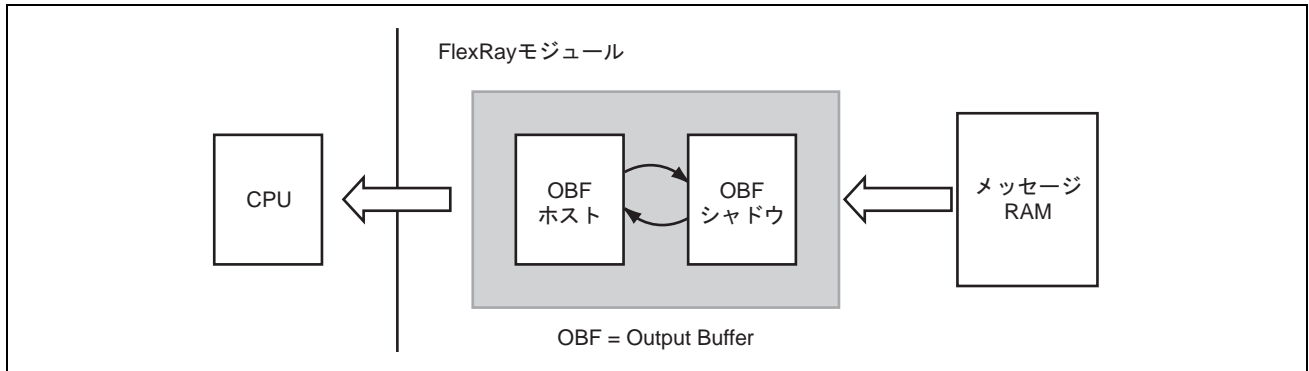


図 32.14 出力バッファのダブルバッファ構造

OBF ホストと OBF シャドウ、FROBCM レジスタの RHSS、RDSS ビットと RSHH、RDSH ビット、FROBCR レジスタの OBR6~OBR0 ビットと OBRH ビットが、FROBCR レジスタの VIEW ビットと REQ ビットの設定に従って切り替わります。

FROBCR レジスタの REQ ビットに"1"を書くと、FROBCM レジスタの RHSS、RDSS、OBR6~OBR0 ビットの内容が内部メモリにコピーされます (図 32.15 参照)。

REQ ビットを"1"にした後、OBSYS ビットが"1"になり、OBR6~OBR0 ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。メッセージ RAM から OBF シャドウへの転送が完了すると、OBSYS ビットは"0"に戻ります。REQ ビットと VIEW ビットは、OBSYS ビットが"0"のときのみ"1"を書けます。

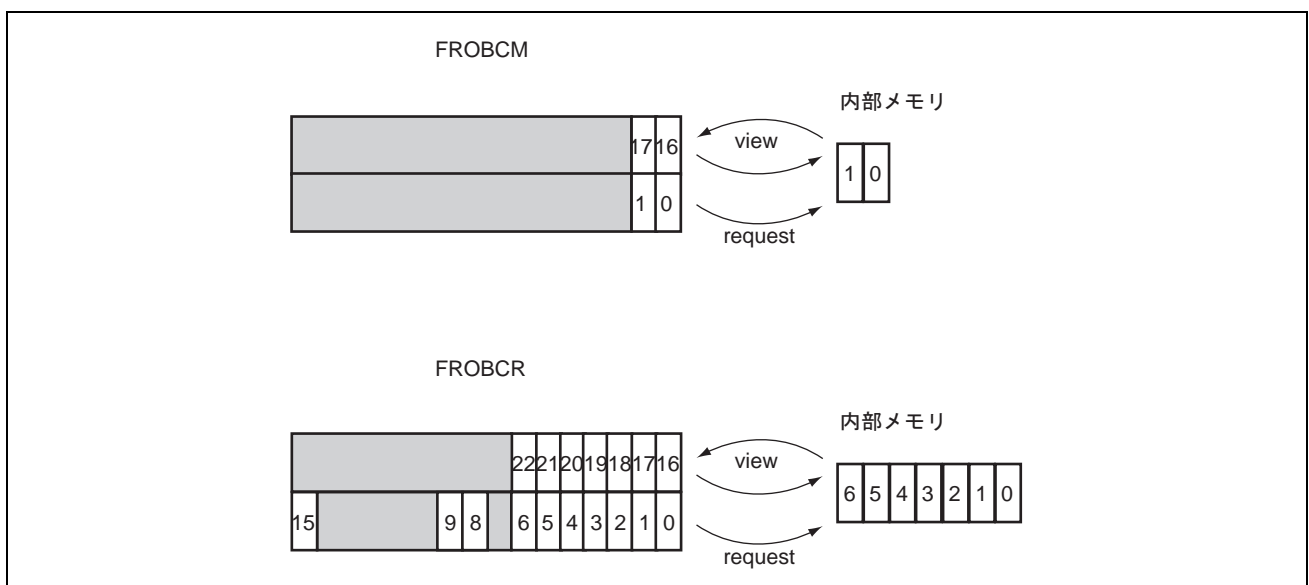


図 32.15 FROBCM レジスタと FROBCR レジスタのビットの切り替え

FROBCR レジスタの OBSYS ビットが"0"のときに VIEW ビットに"1"を書くと、OBF ホストと OBF シャドウが切り替わります (図 32.14 参照)。

同時に OBRH6~OBRH0 ビット、FROBCM レジスタの RSHH ビット、RDSH ビットの値も内部メモリの値と切り替わります (図 32.15 参照)。このように、OBRH6~OBRH0 ビットに格納されたメッセージバッファ番号と、RSHH ビット、RDSH ビットに格納されたマスク設定が、OBF ホストに書かれた転送データと一致することが保証されます。メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送している間に、CPU は転送されたメッセージバッファを OBF ホストから読み出すことができます。

OBSYS ビットが"0"のとき、REQ ビットと VIEW ビットを同時に"1"にすると、OBSYS ビットは自動的に"1"になり、OBF シャドウと OBF ホストが切り替わります。加えて、FROBCM レジスタの RDSH ビットと RSHH ビットがそのレジスタの内部記憶装置と切り替わります。その後、OBR6~OBR0 ビットがレジスタ内部記憶装置にコピーされ、FROBCM レジスタの RDSS ビットと RHSS ビットが FROBCM レジスタの内部記憶装置にコピーされ、選択したメッセージバッファのメッセージ RAM から OBF シャドウへの転送が開始します。転送中に OBF ホストから前回転送されたメッセージバッファの内容を読むことができます。現在のメッセージ RAM から OBF シャドウへの転送が完了すると、OBSYS ビットは"0"になります。

### 1つのメッセージバッファへのアクセス例

1つのメッセージバッファを読み出すには、FROBCR レジスタの REQ ビットと VIEW ビットに対して個々に書き込みをする必要があります。

- FROBCR レジスタの OBSYS ビットが"0"になるまで待つ
- 出力バッファコマンドマスクを書く : FROBCM レジスタの RHSS、RDSS ビットの設定
- FROBCR レジスタの OBR6~OBR0 ビットと REQ ビットに値を書くことで、メッセージバッファの OBF シャドウへの転送を要求する
- FROBCR レジスタの OBSYS ビットが"0"になるまで待つ
- FROBCR レジスタの VIEW ビットに"1"、REQ ビットに"0"を書いて、OBF シャドウと OBF ホストを切り替える
- FRRDDSi (i=1~64)、FRRDHS1~FRRDHS3、FRMBS レジスタを読むことで、転送されたメッセージバッファを読み出す

### メッセージバッファへの連続アクセス例

1回目のメッセージバッファの OBF シャドウへの転送要求を行う。

- FROBCR レジスタの OBSYS ビットが"0"になるまで待つ
- 1回目のメッセージバッファに対する出力バッファコマンドマスクを書く:FROBCM レジスタの RHSS、RDSS ビットの設定
- FROBCR レジスタの OBR6~OBR0 ビットと REQ ビットに値を書くことで、1回目のメッセージバッファの OBF シャドウへの転送を要求する

OBF シャドウと OBF ホストを切り替え、1回目に転送されたメッセージバッファの読み出しと2回目のメッセージバッファの転送要求を行う。

- FROBCR レジスタの OBSYS ビットが"0"になるまで待つ

- 2回目のメッセージバッファに対する出力バッファコマンドマスクを書く:FROBCMレジスタのRHSS、RDSSビットの設定
- 2回目のメッセージバッファのメッセージバッファ番号をFROBCRレジスタのOBRS6~OBRS0ビットに書き、REQビット、VIEWビットに値を書くことで、OBFシャドウとOBFホストを切り替え、同時に2回目のメッセージバッファのOBFシャドウへの転送を要求する
- FRRDDSi (i=1~64)、FRRDHS1~FRRDHS3、FRMBSレジスタを読むことで、1回目に転送されたメッセージバッファを読み出す

他のメッセージバッファへの要求をせずに、最後に転送要求したメッセージバッファへのアクセスを要求します。

- FROBCRレジスタのOBSYSビットが"0"になるまで待つ
- FROBCRレジスタのVIEWビットに"1"、REQビットに"0"を書いて、最後に転送したメッセージバッファへのアクセスを要求する
- FRRDDSi (i=1~64)、FRRDHS1~FRRDHS3、FRMBSレジスタを読むことで、最後に転送されたメッセージバッファを読み出す

表 32.16 FROBCM レジスタのビットアサイン

ビット番号	アクセス	ビットシンボル	機 能
17	R	RDSH	データセクションアクセス可能
16	R	RHSH	ヘッダセクションアクセス可能
1	R/W	RDSS	データセクション転送設定ビット (シャドウ)
0	R/W	RHSS	ヘッダセクション転送設定ビット (シャドウ)

表 32.17 FROBCR レジスタのビットアサイン

ビット番号	アクセス	ビットシンボル	機 能
22~16	R	OBRH6~OBRH0	出力バッファ転送元 (ホスト) アクセスできるメッセージバッファ番号
15	R	OBSYS	OBF シャドウビジーフラグ メッセージ RAM から OBF シャドウへ転送中
9	R/W	REQ	メッセージ RAM から OBF シャドウへの転送要求
8	R/W	VIEW	OBF シャドウの閲覧、OBF シャドウと OBF ホストの切り替え
6~0	R/W	OBRS6~OBRS0	出力バッファ転送要求ビット (シャドウ) 次に転送されるメッセージバッファ番号

## 32.22.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス

2つのテンポラリバッファ RAM (TBFA、TBFB) は、2つの FlexRay プロトコルコントローラとメッセージ RAM 間で転送されるデータのバッファとして使用されます。

各テンポラリバッファ RAM はダブルバッファ構成になっており、完全な FlexRay メッセージを2つ格納できます。常に一方のバッファは対応するプロトコルコントローラに割り当てられ、もう一方はメッセージハンドラからアクセスできます。

たとえば、メッセージハンドラが送信テンポラリバッファに次に送信するメッセージを書いた場合、FlexRay チャンネルプロトコルコントローラは受信テンポラリバッファにアクセスしてそのとき受信しているメッセージを格納できます。送信テンポラリバッファに格納されたメッセージの送信中、メッセージハンドラは受信テンポラリバッファに格納されている最後に受信したメッセージをメッセージ RAM に転送し（アクセプタンスフィルタリングをパスした場合）、対応するメッセージバッファを更新します。

テンポラリバッファ RAM と、FlexRay チャンネルプロトコルコントローラのシフトレジスタ間のデータ転送は32ビット単位で行われます。このため FlexRay のメッセージ長にかかわらず、32ビットのシフトレジスタを使うことができます。

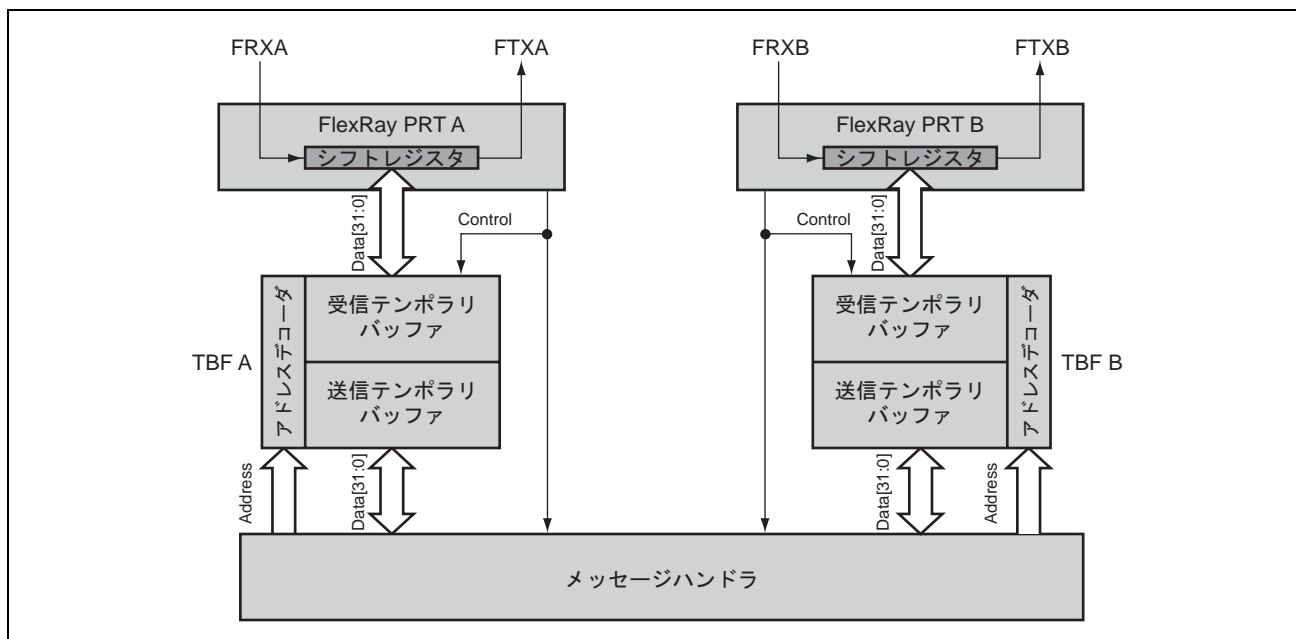


図 32.16 テンポラリバッファへのアクセス

### 32.23 メッセージ RAM

CPU のメッセージ RAM へのアクセスと、FlexRay メッセージ送受信との衝突を避けるために、CPU はメッセージ RAM 内のメッセージバッファに直接アクセスすることはできません。これらのアクセスは入力バッファと出力バッファを介して行います。メッセージ RAM には、設定したペイロード長に応じて最大 128 個のメッセージバッファを持つことができます。

メッセージ RAM は、 $2048 \times 33 = 67584$  ビットで構成されています。各 32 ビットのワードはパリティビットで保護されています。FlexRay フレームごとにデータサイズが異なる (0~254 バイト) ということに対して、必要とされる柔軟性を持たせるために、メッセージ RAM は図 32.17 に示すような構造になっています。

データパーティションは、(FRMRC レジスタの LCB7~LCB0 ビットの設定値+1)  $\times$  4 で計算されるメッセージ RAM ワード番号から開始できます。

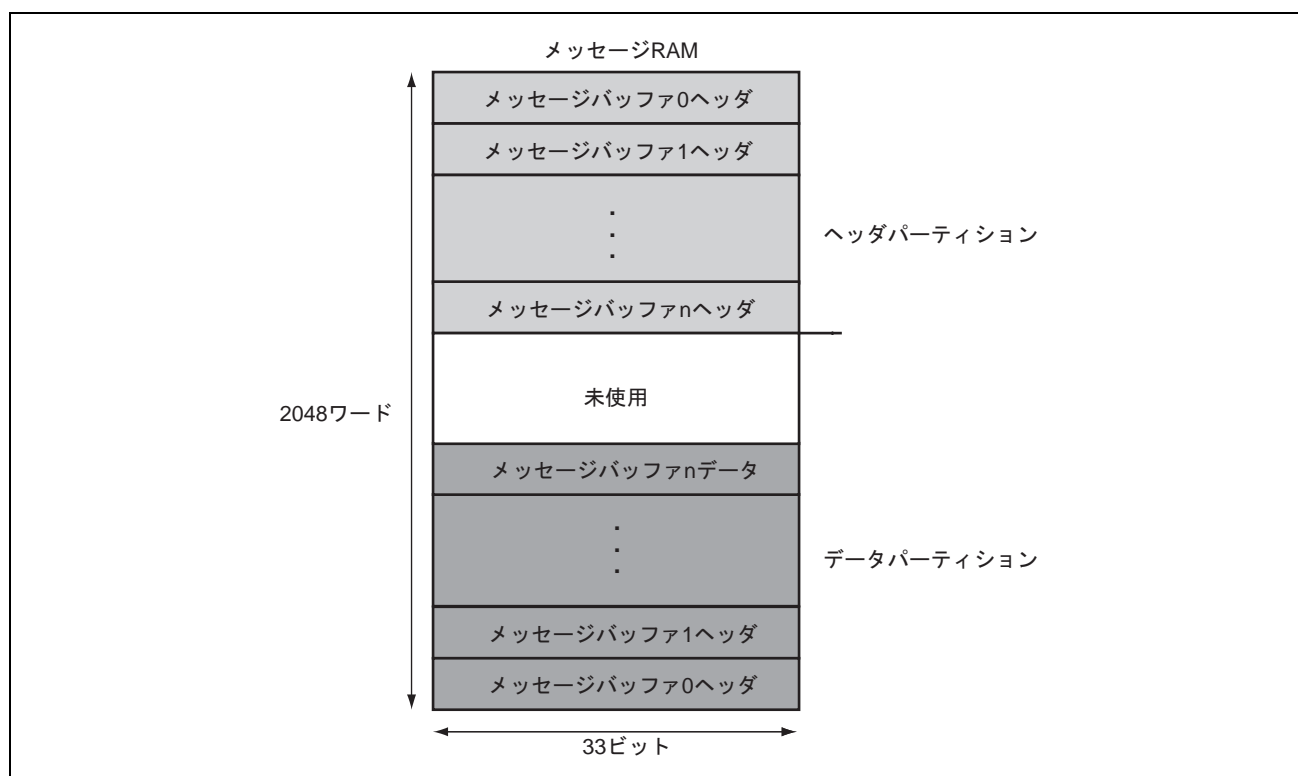


図 32.17 メッセージ RAM 内のメッセージバッファの設定例

#### [ヘッダパーティション]

指定されたメッセージバッファのヘッダセクションを格納します。

- 最大128個のメッセージバッファをサポート
- 各メッセージバッファのヘッダセクションは  $(32+1)$  ビット  $\times$  4ワード
- 各メッセージバッファのヘッダセクション3に、データパーティション内の対応するデータセクションへの11ビットのデータポインタを格納

#### [データパーティション]

異なるデータ長のデータセクションに対するフレキシブルなメモリ。最大値の一例は下記のとおりです。

- データセクションが254バイト場合、30個のメッセージバッファ
- データセクションが128バイトの場合、56個のメッセージバッファ
- データセクションが48バイトの場合、128個のメッセージバッファ

【注】・ ヘッダパーティションとデータパーティションの合計サイズは2048ワード以下にしてください。

### 32.23.1 ヘッダパーティション

メッセージバッファの設定に使用される各要素と、メッセージバッファステータスは、メッセージRAMのヘッダパーティションに図 32.18 に示すように格納されています。メッセージバッファのヘッダセクションの設定はIBF (FRWRHS1~FRWRHS3) を介して行います。ヘッダセクションの読み出しはOBF (FRRDHS1~FRRDHS3 レジスタ、FRMBS) を介して行います。データポインタは、メッセージRAMのデータパーティション内の対応するメッセージバッファに対するデータセクションの開始位置を定義するもので、事前に計算しておく必要があります。動作中はデータポインタを変更しないでください。受信FIFOに設定したメッセージバッファの設定/再設定は、CONFIG状態でのみできます。

各メッセージバッファのヘッダセクションは、メッセージRAMのヘッダパーティションのうち4ワード(1ワード=33ビット)使用します。メッセージバッファ0のヘッダは、メッセージRAMの先頭から始まります。

送信バッファのヘッダCRCはプログラムで計算する必要があります。

受信ペイロード長 (PLR6~PLR0 ビット)、受信サイクルカウンタ値 (RCC5~RCC0 ビット)、受信チャネルインジケータ (RCI ビット)、Startup フレームインジケータ (SFI ビット)、Sync フレームインジケータ (SYN ビット)、Null フレームインジケータ (NFI ビット)、ペイロードプリアンブルインジケータ (PPI ビット)、予約ビット (RES ビット) は、有効なデータフレームを受信したときのみ更新されます。

設定した各メッセージバッファのヘッダのワード3には、対応するメッセージバッファステータス (MBS) が格納されています。

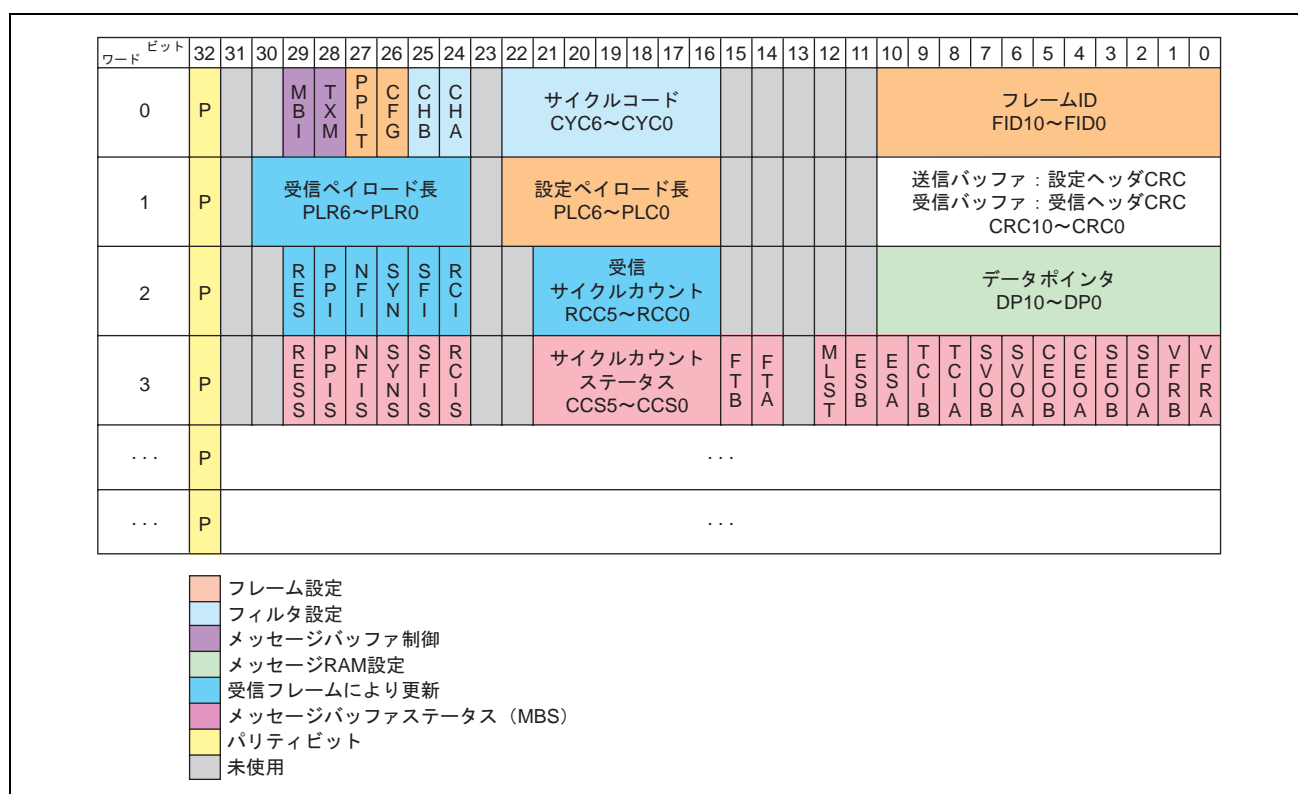


図 32.18 メッセージ RAM 内のメッセージバッファのヘッダセクション

## [ヘッダ 1 (ワード 0)]

FRWRHS1 レジスタを介して書き込み、FRRDHS1 レジスタを介して読み出し

- フレームID：スロットカウンタフィルタリング設定
- サイクルコード：サイクルカウンタフィルタリング設定
- CHA、CHBビット：チャネルフィルタリング設定
- CFGビット：メッセージバッファ方向設定（受信/送信）
- PPITビット：送信ペイロードプリアンブルインジケータ
- TXMビット：送信モード設定（シングルショットモード/連続モード）
- MBIビット：メッセージバッファ受信/送信割り込み許可

## [ヘッダ 2 (ワード 1)]

FRWRHS2 レジスタを介して書き込み、FRRDHS2 レジスタを介して読み出し

- ヘッダCRC：送信バッファ:プログラムで設定（フレームヘッダから計算）
- 受信バッファ：受信フレームにより更新
- 設定ペイロード長：プログラムで設定したデータセクション長（2バイト=1単位）
- 受信ペイロード長：受信フレームから格納されたペイロードセグメント長（2バイト=1単位）

## [ヘッダ 3 (ワード 2)]

FRWRHS3 レジスタを介して書き込み、FRRDHS3 レジスタを介して読み出し



- データポインタ：データパーティション内での対応するデータセクションの先頭へのポインタFRRDHS3レジスタを介して読み出し、受信バッファでのみ有効、受信フレームにより更新
- 受信サイクルカウント：受信フレームのサイクルカウント値
- RCIビット：受信チャンネルインジケータ
- SFIビット：Startupフレームインジケータ
- SYNビット：Syncフレームインジケータ
- NFIビット：Nullフレームインジケータ
- PPIビット：ペイロードプリアンブルインジケータ
- RESビット：予約ビット

### [メッセージバッファステータス (MBS) (ワード3)]

FRMBS レジスタを介して読み出し、設定したスロットの終端でCCにより更新

- VFRAビット：チャンネルA有効フレーム受信
- VFRBビット：チャンネルB有効フレーム受信
- SEOAビット：チャンネルAシンタックスエラー検出
- SEOBビット：チャンネルBシンタックスエラー検出
- CEOAビット：チャンネルAコンテンツエラー検出
- CEOBビット：チャンネルBコンテンツエラー検出
- SVOAビット：チャンネルAスロット境界違反検出
- SVOBビット：チャンネルBスロット境界違反検出
- TCIAビット：チャンネルA送信競合検出
- TCIBビット：チャンネルB送信競合検出
- ESAビット：チャンネルA空スロット
- ESBビット：チャンネルB空スロット
- MLSTビット：メッセージロスト
- FTAビット：チャンネルAフレーム送信
- FTBビット：チャンネルBフレーム送信
- サイクルカウント：ステータスが更新されたときの現在のサイクルカウント
- RCISビット：受信チャンネルインジケータステータス
- SFISビット：Startupフレームインジケータステータス
- SYNSビット：Syncフレームインジケータステータス
- NFISビット：Nullフレームインジケータステータス
- PPISビット：ペイロードプリアンブルインジケータステータス
- RESSビット：予約ビットステータス

### 32.23.2 データパーティション

メッセージ RAM のデータパーティションは、受信/送信に設定されたメッセージバッファのデータセクションを、ヘッダパーティションで定義されたとおりに格納します。メッセージバッファのデータサイズは、それぞれ 0~254 バイトの範囲で異なる値を持ちます。2つの FlexRay プロトコルコントローラのシフトレジスタとメッセージ RAM との間、CPU インタフェースとメッセージ RAM との間でのデータ転送を最適化するために、メッセージ RAM の物理幅は 4 バイト+1 パリティビットになっています。

データパーティションはヘッダパーティションの最終ワードの後から始まります。メッセージ RAM 内のメッセージバッファを設定するときは、データポインタが確実にデータパーティション内のアドレスを指すようにしてください。設定されたメッセージバッファのデータセクションが、メッセージ RAM のデータパーティションにどのように格納されるかの一例を図 32.19 に示します。

メッセージバッファのデータセクションの始めと終わりは、それぞれメッセージバッファのヘッダセクションで設定されたデータポインタとペイロード長により決まります。これにより、使用できる RAM 空間を、異なるデータ長を持ったメッセージバッファの記憶装置として柔軟に使用できます。

データセクションのサイズが奇数ワード (1 ワード=2 バイト) の場合、最後の 32 ビットの残り 16 ビットは使用されません (図 32.19 参照)。

ワード	ビット	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	P	未使用				未使用				未使用				未使用																				
...	P	未使用				未使用				未使用				未使用																				
...	P	MBnデータ3				MBnデータ2				MBnデータ1				MBnデータ0																				
...	P	...				...				...				...																				
...	P	...				...				...				...																				
...	P	MBnデータ (m)				MBnデータ (m-1)				MBnデータ (m-2)				MBnデータ (m-3)																				
...	P	...				...				...				...																				
...	P	...				...				...				...																				
...	P	...				...				...				...																				
...	P	MB1データ3				MB1データ2				MB1データ1				MB1データ0																				
...	P	...				...				...				...																				
...	P	MB1データ (k)				MB1データ (k-1)				MB1データ (k-2)				MB1データ (k-3)																				
2046	P	MB0データ3				MB0データ2				MB0データ1				MB0データ0																				
2047	P	未使用				未使用				MB0データ5				MB0データ4																				

図 32.19 メッセージ RAM 内のデータパーティションの構成例

## 32.23.3 パリティチェック

FlexRay モジュールには、パリティチェック機能が搭載されており、7つの RAM ブロックに格納されたデータの完全性を保証しています。図 32.20 に示すように、RAM ブロックにはパリティジェネレータとパリティチェッカが取り付けられています。RAM ブロックにデータが書かれると、ローカルのパリティジェネレータはパリティビットを生成します。FlexRay モジュールでは偶数パリティを使用します（32 ビットの中に"1"の数が偶数個あるとパリティビットは"0"になります）。パリティビットは各データワードとともに格納されます。RAM ブロックからデータワードが読み出されるたびにパリティが照合されます。FlexRay モジュールの内部データバス幅は 32 ビットです。

パリティエラーが検出されると、対応するエラーフラグが"1"になります。パリティエラーフラグ (FRMHDS レジスタの PIBF、POBF、PRM、PTBF1、PTBF2 ビット) および誤りメッセージバッファ検出フラグ (FMBD、MFMB、FMB6~FMB0 ビット) はメッセージハンドラステータスレジスタにあります。

これらの単一のエラーごとのフラグによってエラー割り込みフラグ (FREIR レジスタの PERR ビット) が制御されます。

図 32.20 に RAM ブロック間のデータバスとパリティジェネレータ、パリティチェッカを示します。

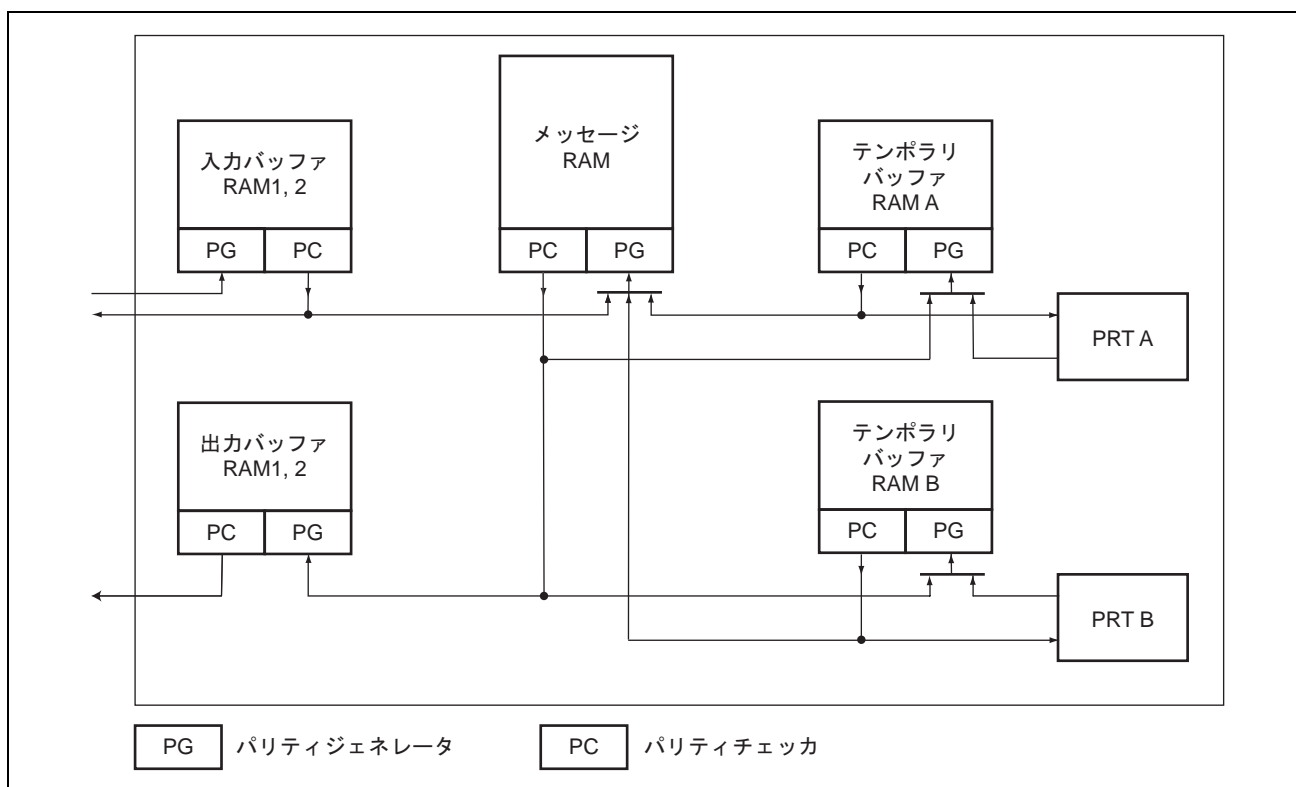


図 32.20 パリティ生成、照合

パリティエラーが検出されると、以下の処置が実行されます。

すべての場合において、

- FRMHDS レジスタの対応するパリティエラーフラグが"1"になります。
- パリティエラーフラグ (FREIR レジスタの PERR ビット) が"1"になり、許可されている場合、割り込み要求が発生します。

上記に加え、特殊な場合において

(1) 入力バッファ RAM1、2 からメッセージ RAM へのデータ転送中のパリティエラー

(a) ヘッダセクションとデータセクションの転送

- FRMHDSレジスタのPIBFビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。
- 送信バッファ：当該メッセージバッファへの送信要求は"1"になりません。

(b) データセクションのみの転送

メッセージ RAM から対応するメッセージバッファのヘッダセクションを読み出しているときのパリティエラーを示します。

- FRMHDSレジスタのPMRビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。
- 当該メッセージバッファのデータセクションは更新されません。
- 送信バッファ:当該メッセージバッファへの送信要求は"1"になりません。

(2) 入力バッファ RAM1、2 を CPU が読んでいるときのパリティエラー

- FRMHDSレジスタのPIBFビットが"1"になります。

(3) メッセージ RAM でヘッダセクションをスキャンしているときのパリティエラー

- FRMHDSレジスタのPMRビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。
- メッセージバッファは無視（スキップ）されます。

(4) メッセージ RAM からテンポラリバッファ RAM1、2 へのデータ転送中のパリティエラー

- FRMHDSレジスタのPMRビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。
- フレームは送信されません。送信中のフレームはフレームCRCが0に設定されて無効になります。

(5) テンポラリバッファ RAM1、2 からプロトコルコントローラ 1、2 へのデータ転送中のパリティエラー

- FRMHDSレジスタのPTBF1、PTBF2ビットが"1"になります。
- 送信中のフレームはフレームCRCが0に設定されて無効になります。

(6) テンポラリバッファ RAM1、2 からメッセージ RAM へのデータ転送中のパリティエラー

(a) メッセージ RAM から対応するメッセージバッファのヘッダセクションを読み出しているときのパリティエラー

- FRMHDSレジスタのPMRビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。
- 当該メッセージバッファのデータセクションは更新されません。

(b) テンポラリバッファ RAM1、2 を読み出しているときのパリティエラー

- FRMHDSレジスタのPTBF1、PTBF2ビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。

(7) メッセージ RAM から出力バッファ RAM へのデータ転送中のパリティエラー

- FRMHDSレジスタのPMRビットが"1"になります。
- FMBDビットが"1"になり、FMB6～FMB0ビットが指しているメッセージバッファにエラーがあることを示します。
- FMB6～FMB0ビットがエラーのあるメッセージバッファの番号を表示します。

(8) 出力バッファ RAM1、2 を CPU が読んでいるときのパリティエラー

- FRMHDSレジスタのPOBFビットが"1"になります。

(9) テンポラリバッファ RAM1、2 を読み出しているときのパリティエラー

メッセージハンドラがテンポラリバッファ RAM1、2 から、ネットワークマネジメント情報 (PPI="1") を持ったフレームを読み出しているときにパリティエラーが発生し、そのフレーム用に設定されたメッセージバッファがない場合、ネットワークマネジメントベクタ (FRNMV1～FRNMV3) は更新されません。

## 32.24 割り込み

### 32.24.1 FlexRay0 割り込み、FlexRay1 割り込み

CCによってエラーやステータス変化が検出されたとき、フレームの送受信が完了したとき、設定したタイマ割り込みが有効になったとき、またはストップウォッチイベントが起こったとき、ただちに割り込み要求が発生するというように、割り込みはプロトコルタイミングと密接な関係があります。これにより CPU は、特定のエラー状態やステータス変化、タイマイイベントに対し即応できます。一方で、割り込み要求が多すぎると、アプリケーションが要求する期限に間に合わない状況を生むことになります。このため、CCは個々の割り込み要因に対し個別に許可/禁止を制御できるようになっています。

割り込み要求は、次の場合に発生します。

- エラーが検出されたとき
- ステータスフラグが"1"になったとき
- タイマが設定された値に達したとき
- 入力バッファからメッセージRAMまたはメッセージRAMから出力バッファへのメッセージ転送が完了したとき
- ストップウォッチイベントが起こったとき

状態が変化したりエラーが発生したとき、状態を感知することと、割り込み要求を生成することは、独立したタスクです。割り込みが許可されているか禁止されているかにかかわらず、CCは対応する状態を感知し、表示します。現在のステータス情報とエラー情報は、FREIR レジスタと FRSIR レジスタを読むことで知ることができます。

表 32.18 割り込み要求フラグと割り込み出力許可ビット

レジスタ	ビット	機能
FREIR	PEMC	POC エラーモード変化フラグ
	CNA	コマンド無効フラグ
	SFBM	Sync フレーム数最小値未満フラグ
	SFO	Sync フレーム数オーバーフローフラグ
	CCF	クロック補正失敗フラグ
	CCL	CHI コマンドロックフラグ
	PERR	パリティエラーフラグ
	RFO	受信 FIFO オーバフローフラグ
	EFA	空 FIFO アクセスフラグ
	IIBA	入力バッファ不正アクセスフラグ
	IOBA	出力バッファ不正アクセスフラグ
	MHF	メッセージハンドラ制約違反フラグ
	EDA	チャンネル A エラー検出フラグ
LTVA	チャンネル A 最終送信違反フラグ	

## 32. FlexRay モジュール

レジスタ	ビット	機 能
FREIR	TABA	チャンネル A スロット境界送信違反フラグ
	EDB	チャンネル B エラー検出フラグ
	LTVB	チャンネル B 最終送信違反フラグ
	TABB	チャンネル B スロット境界送信違反フラグ
FRSIR	WST	ウェイクアップ状態変化フラグ
	CAS	衝突回避シンボル受信フラグ
	CYCS	サイクル開始割り込みフラグ
	TXI	送信割り込みフラグ
	RXI	受信割り込みフラグ
	RFNE	受信 FIFO データありフラグ
	RFCL	受信 FIFO クリティカルフラグ
	NMVC	ネットワーク管理ベクタ変化フラグ
	TIO	タイマ 0 割り込みフラグ
	TI1	タイマ 1 割り込みフラグ
	TIBC	入力バッファ転送完了フラグ
	TOBC	出力バッファ転送完了フラグ
	SWE	ストップウォッチイベントフラグ
	SUCS	スタートアップ正常終了フラグ
	MBSI	メッセージバッファステータス割り込みフラグ
	SDS	ダイナミックセグメント開始フラグ
	WUPA	チャンネル A ウェイクアップパターン受信フラグ
	MTSA	チャンネル A MTS 受信フラグ
	WUPB	チャンネル B ウェイクアップパターン受信フラグ
	MTSB	チャンネル B MTS 受信フラグ
FRILE	EINT0	FlexRay0 割り込み許可ビット
	EINT1	FlexRay1 割り込み許可ビット

FlexRay0 割り込みと FlexRay1 割り込みは、許可になっている割り込みの変化に従って変化します。これら 2 つの割り込み要求は、FRILE レジスタの EINT0 ビットと EINT1 ビットを設定することで、独立して許可/禁止できます。

IBF/OBF とメッセージ RAM 間のデータ転送が完了すると、FRSIR レジスタの TIBC ビットまたは TOBC ビットが"1"になります。

### 32.24.2 FlexRay タイマ 0 割り込み、FlexRay タイマ 1 割り込み

割り込みタイマ 0、1 によって生成される 2 つのタイマ割り込みは、FlexRay タイマ 0 割り込みと FlexRay タイマ 1 割り込みに割り当てられています。これらは FRT0C レジスタと FRT1C レジスタで設定できます。



## 32.25 FlexRay 設定パラメータ

表 32.19 FlexRay 設定パラメータ (1/2)

パラメータ	レジスタ	ビット	ページ
pKeySlotUsedForStartup	FRSUCC1	TXST	32-58
pKeySlotUsedForSync	FRSUCC1	TXSY	32-58
gColdStartAttempts	FRSUCC1	CSA4~CSA0	32-58
pAllowPassiveToActive	FRSUCC1	PTA4~PTA0	32-58
pWakeupChannel	FRSUCC1	WUCS	32-58
pSingleSlotEnabled	FRSUCC1	TSM	32-58
pAllowHaltDueToClock	FRSUCC1	HCSE	32-57
pChannels	FRSUCC1	CCHA、CCHB	32-57
pdListenTimeout	FRSUCC2	LT20~LT0	32-63
gListenNoise	FRSUCC2	LTN3~LTN0	32-63
gMaxWithoutClockCorrectionPassive	FRSUCC3	WCP3~WCP0	32-64
gMaxWithoutClockCorrectionFatal	FRSUCC3	WCF3~WCF0	32-64
gNetworkManagementVectorLength	FRNEMC	NML3~NML0	32-65
gdTSSTransmitter	FRPRTC1	TSST3~TSST0	32-67
gdCASRxLowMax	FRPRTC1	CASM6~CASM0	32-67
gdSampleClockPeriod	FRPRTC1	BRP0	32-66
pSamplePerMicrotick	FRPRTC1	BRP0	32-66
gdWakeupSymbolRxWindow	FRPRTC1	RXW8~RXW0	32-66
pWakeupPattern	FRPRTC1	RWP5~RWP0	32-66
gdWakeupSymbolRxIdle	FRPRTC2	RX15~RXI0	32-68
gdWakeupSymbolRxLow	FRPRTC2	RXL5~RXL0	32-68
gdWakeupSymbolTxIdle	FRPRTC2	TXI7~TXI0	32-68
gdWakeupSymbolTxLow	FRPRTC2	TXL5~TXL0	32-68
gPayloadLengthStatic	FRMHDC	SFDL6~SFDL0	32-69
pLatestTx	FRMHDC	SLT12~SLT0	32-69
pMicroPerCycle	FRGTUC1	UT19~UT0	32-70
gMacroPerCycle	FRGTUC2	MPC13~MPC0	32-71
gSyncNodeMax	FRGTUC2	SNM3~SNM0	32-71
pMicroInitialOffset[A]	FRGTUC3	UIOA7~UIOA0	32-72
pMicroInitialOffset[B]	FRGTUC3	UIOB7~UIOB0	32-72
pMacroInitialOffset[A]	FRGTUC3	MIOA6~MIOA0	32-72
pMacroInitialOffset[B]	FRGTUC3	MIOB6~MIOB0	32-72
gdNIT	FRGTUC4	NIT13~NIT0	32-73
gOffsetCorrectionStart	FRGTUC4	OCS13~OCS0	32-73

表 32.20 FlexRay 設定パラメータ (2/2)

パラメータ	レジスタ	ビット	ページ
pDelayCompensation[A]	FRGTUC5	DCA7~DCA0	32-74
pDelayCompensation[B]	FRGTUC5	DCB7~DCB0	32-74
pClusterDriftDamping	FRGTUC5	CDD4~CDD0	32-74
pDecodingCorrection	FRGTUC5	DEC7~DEC0	32-74
pdAcceptedStartupRange	FRGTUC6	ASR10~ASR0	32-75
pdMaxDrift	FRGTUC6	MOD10~MOD0	32-75
gdStaticSlot	FRGTUC7	SSL9~SSL0	32-76
gNumberOfStaticSlots	FRGTUC7	NSS9~NSS0	32-76
gdMinislot	FRGTUC8	MSL5~MSL0	32-77
gNumberOfMinislots	FRGTUC8	NMS12~NMS0	32-77
gdActionPointOffset	FRGTUC9	APO5~APO0	32-78
gdMinislotActionPointOffset	FRGTUC9	MAPO4~MAPO0	32-78
gdDynamicSlotIdlePhase	FRGTUC9	DS11~DSI0	32-78
pOffsetCorrectionOut	FRGTUC10	MOC13~MOC0	32-79
pRateCorrectionOut	FRGTUC10	MRC10~MRC0	32-79
pExternOffsetCorrection	FRGTUC11	EOC2~EOC0	32-80
pExternRateCorrection	FRGTUC11	ERC2~ERC0	32-80

レイアウトの都合上、このページは白紙です。

---

## 33. モジュールストップ機能

---

### 33.1 概要

本 MCU は、一部のモジュールの動作を停止させることができるモジュールストップ機能があります。

#### 33.1.1 モジュールストップ機能

モジュールストップ可能な内蔵周辺モジュールについて、クロックの供給を停止してモジュールの動作を停止させることができます。モジュールストップレジスタ 0 (MSTPCR0) の各ビットにより、対象とするモジュールへのクロックの供給をそれぞれ制御できます。対象のモジュールは次のとおりです。

- パラレルDAC制御 (PDAC)
- パラレルセレクタ (PSEL)
- ダイレクトRAMインプットインタフェース (DRI0、DRI1、DRI2)
- ダイレクトRAMアウトプットインタフェース (DRO)

### 33.2 レジスタの説明

表 33.1 にモジュールストップ機能で使用するレジスタ構成を示します。

表 33.1 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
モジュールストップレジスタ 0	MSTPCR0	H'001F	H'FFFF 2800	8、16	33-2

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

## 33.2.1 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 レジスタは、割り当てられた各モジュールについて、動作/禁止を制御します。

MSTPCR0 レジスタへの書き込みはワード単位で行う必要があります。下位バイトの値を書き換える際には、同時に上位バイト (MSTPCR0KEY) に"H'3C"を書き込んでください。MSTPCR0KEY ビットに"H'3C"以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

MSTPCR0KEY ビットの読み出しは、ワード単位、バイト単位のどちらでも可能です。ただし、MSTPCR0KEY ビットへの書き込みデータは保持されませんので、MSTPCR0KEY ビットの読み出し値は常に"H'00"になります。

**【注】**・本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「33.2.2 レジスタアクセス時の注意事項」を参照してください。

モジュールストップレジスタ0 (MSTPCR0)

<P4領域アドレス : H'FFFF 2800番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	MSTPCR0KEY											—	—	—	DRO	DRI2	DRI1	DRI0	PDAC
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1		

<リセット後の値 : H'001F>

ビット	シンボル	リセット後の値	R	W	説明
15~8	MSTPCR0KEY	すべて0	0	W	MSTPCR0 レジスタライトキーコードビット 下位ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'3C : 下位ビットの書き換え許可 H'3C 以外 : 下位ビットの書き換え禁止
7~5	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
4	DRO	1	R	W	DRO モジュールストップビット 本ビットを"0"にクリアすると DRO へのクロックの供給を開始します。一度 DRO へのクロック供給を開始した後に本ビットに"1"を書き込み、再停止させることは禁止です。 0 : DRO は動作 1 : DRO のクロックの供給を停止

ビット	シンボル	リセット後の値	R	W	説明
3	DRI2	1	R	W	<p>DRI2 モジュールストップビット</p> <p>本ビットを"0"にクリアすると DRI2 へのクロックの供給を開始します。一度 DRI2 へのクロック供給を開始した後に本ビットに"1"を書き込み、再停止させることは禁止です。</p> <p>0 : DRI2 は動作 1 : DRI2 のクロックの供給を停止</p>
2	DRI1	1	R	W	<p>DRI1 モジュールストップビット</p> <p>本ビットを"0"にクリアすると DRI1 へのクロックの供給を開始します。一度 DRI1 へのクロック供給を開始した後に本ビットに"1"を書き込み、再停止させることは禁止です。</p> <p>0 : DRI1 は動作 1 : DRI1 のクロックの供給を停止</p>
1	DRI0	1	R	W	<p>DRI0 モジュールストップビット</p> <p>本ビットを"0"にクリアすると DRI0 へのクロックの供給を開始します。一度 DRI0 へのクロック供給を開始した後に本ビットに"1"を書き込み、再停止させることは禁止です。</p> <p>0 : DRI0 は動作 1 : DRI0 のクロックの供給を停止</p>
0	PDAC	1	R	W	<p>PDAC および PSEL モジュールストップビット</p> <p>本ビットを"0"にクリアすると PDAC および PSEL へのクロックの供給を開始します。一度 PDAC および PSEL へのクロック供給を開始した後に本ビットに"1"を書き込み、再停止させることは禁止です。</p> <p>0 : PDAC および PSEL は動作 1 : PDAC および PSEL へのクロックの供給を停止</p>



## 34. 電源回路

### 34.1 電源回路の構成

本 MCU は、 $5V \pm 0.5V$ 、 $3.3V \pm 0.3V$ 、 $1.5V + 0.15V$ 、 $-0.1V$  電源で動作します。

本章では注釈がない場合、 $5V \pm 0.5V$  は  $5V$ 、 $3.3V \pm 0.3V$  は  $3.3V$ 、 $1.5V + 0.15V$ 、 $-0.1V$  は  $1.5V$  と示します。

表 34.1 電源機能一覧

端子名	機能	電源種別
Vdd	MCU 内部ロジック回路用電源	1.5V
Vcc	システム、I/O ポート制御回路用電源	3.3V または 5V
DET3OR5	Vcc 電圧レベル指定端子	Vcc=3.3V 時 : Vss に接続またはプルダウン Vcc=5V 時 : Vcc に接続またはプルアップ
PLLvcc	PLL 通倍回路用電源	3.3V または 5V* <sup>1</sup>
AVcc	A/D 変換器用電源	3.3V または 5V* <sup>1</sup>
Vss	グランド端子。すべてグランド (GND) に接続してください。	—
PLLvss	PLL 通倍回路用グランド端子	—
AVss	A/D 変換器用グランド端子	—

【注】 \*<sup>1</sup> Vcc=5V 時は、Vcc=PLLvcc=AVcc=5V  
Vcc=3.3V 時は、Vcc=PLLvcc=3.3V

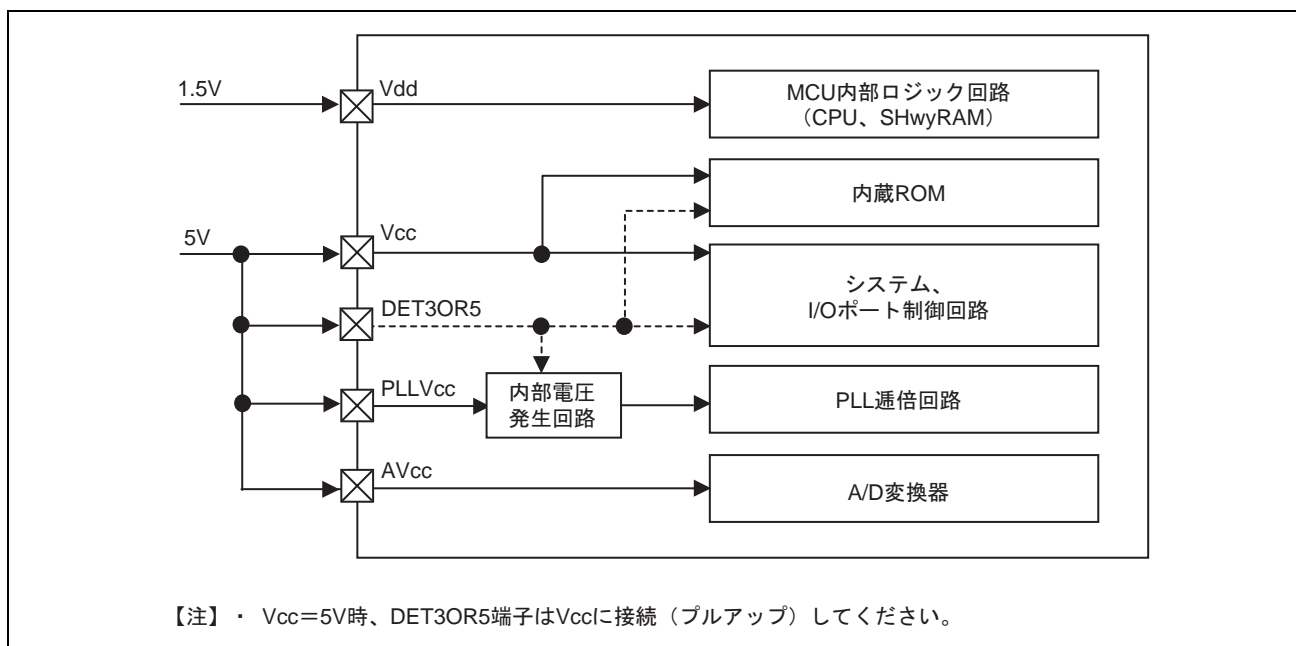


図 34.1 電源回路構成図 (Vcc=5V 時)



## 34. 電源回路

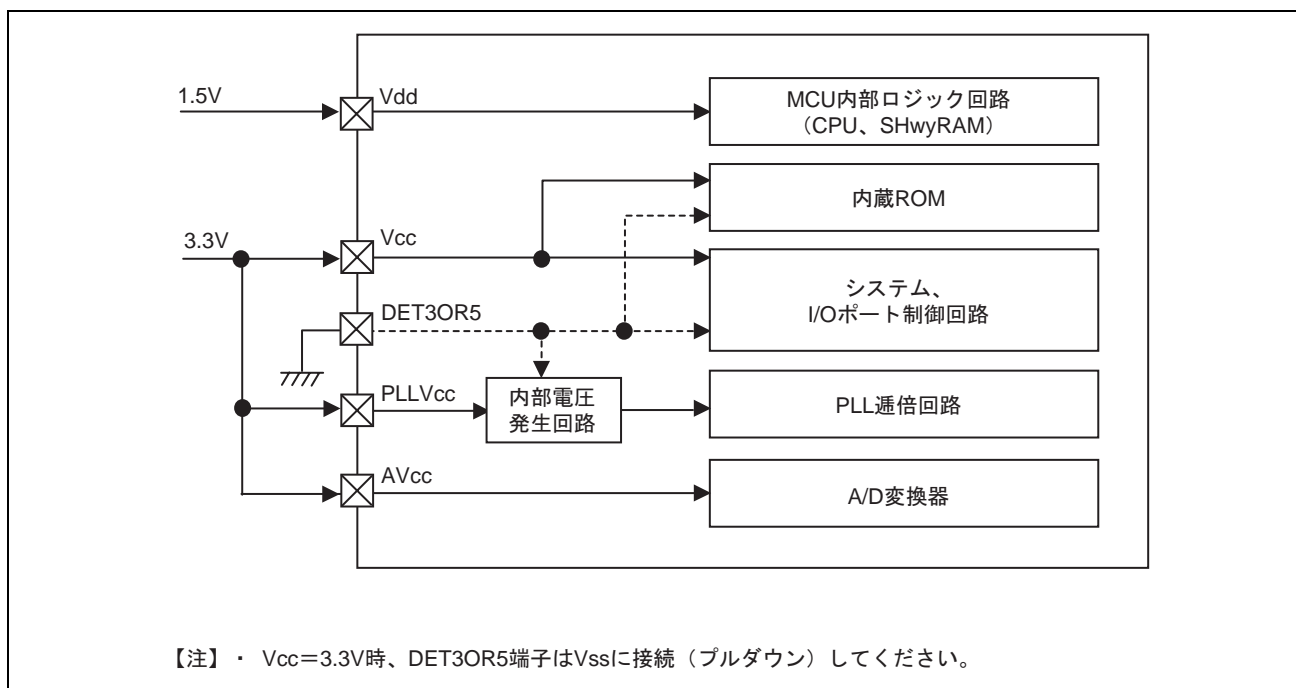


図 34.2 電源回路構成図 (Vcc=3.3V 時)

表 34.2 電源電圧組み合わせ

項目	Vdd (コア電源)	Vcc (バス用およびシステム系電源)	PLLVcc (PLL 用電源)	AVcc (ADC 用電源)
ケース 1	1.5V	3.3V		3.3V
ケース 2	1.5V	3.3V		5.0V
ケース 3	1.5V	5.0V		5.0V

【注】・ 上記の組み合わせでご利用ください。

- ・ 電源名と端子の関係は、「1.5 端子機能」を参照してください。

## 34.2 電源立ち上げシーケンス

図 34.3 に電源立ち上げシーケンスを示します。

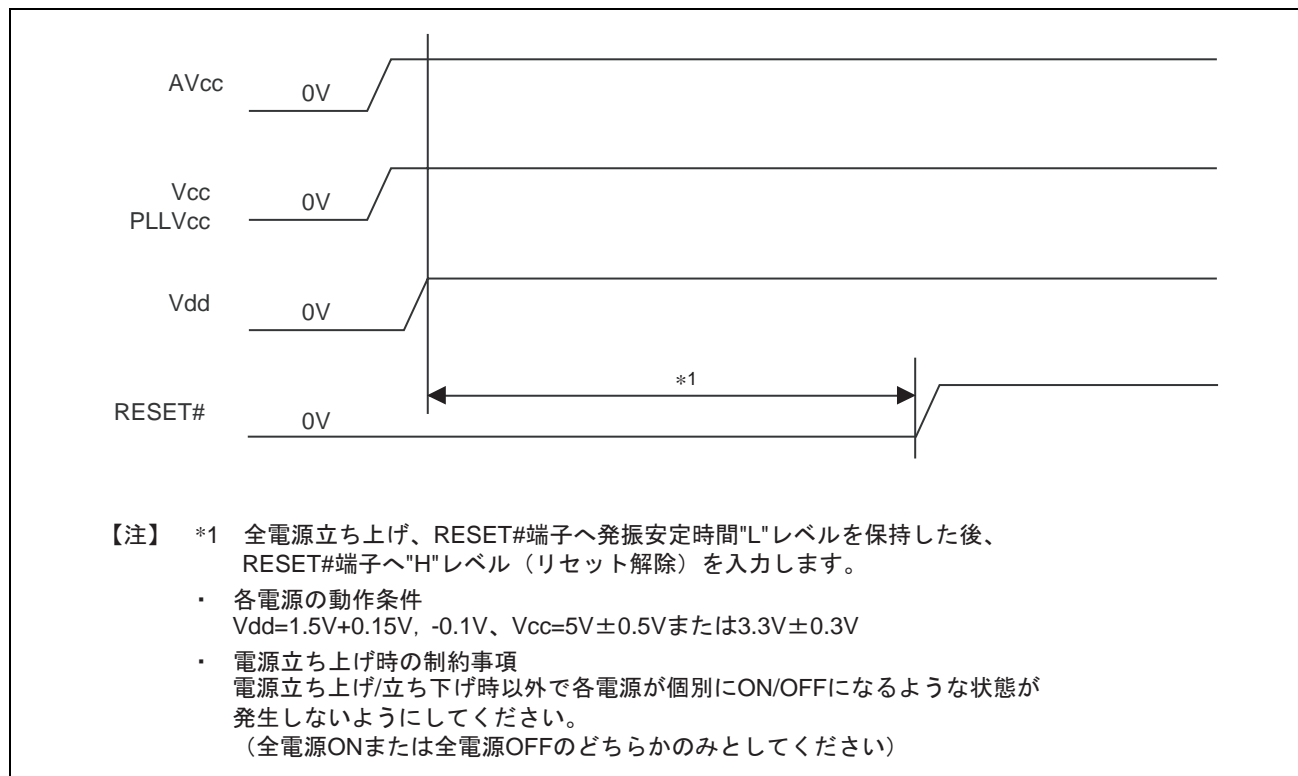


図 34.3 電源立ち上げシーケンス

## 34.3 電源立ち下げシーケンス

図 34.4 に電源立ち下げシーケンスを示します。

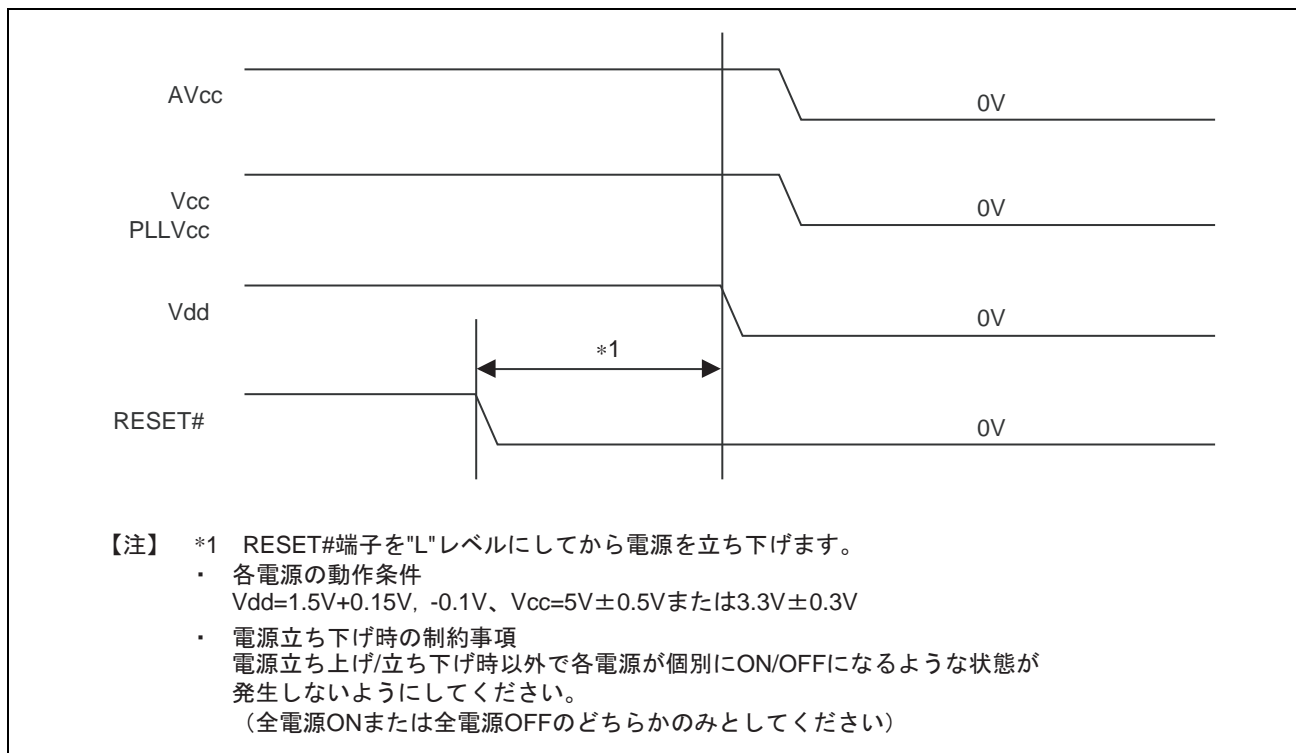


図 34.4 電源立ち下げシーケンス

---

## 35. ユーザブレイクコントローラ (UBC)

---

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 MCU 単体で手軽にプログラムをデバッグできます。UBC に設定できるブレイク条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

### 35.1 概要

1. 次のようなブレイク比較条件を設定できます

ブレイクチャンネル数 : 2 チャンネル (チャンネル 0 と 1)

ユーザブレイクは、チャンネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定できます (シーケンシャルブレイク設定 : チャンネル 0 のブレイク条件が一致した後チャンネル 1 のブレイク条件の一致が発生、またはチャンネル 1 のブレイク条件が一致した後チャンネル 0 のブレイク条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、または任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブレイク (PCブレイク) またはオペランドアクセスでのブレイク

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブレイク条件例外処理ルーチンを実行可能。
3. PC ブレイクにおいて、ブレイクを命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブレイク条件 (チャンネル 1 に対してのみ) として、最大  $2^{12}-1$  回まで繰り返し回数を指定可能。

### 35. ユーザブレイクコントローラ (UBC)

図 35.1 に UBC のブロック図を示します。

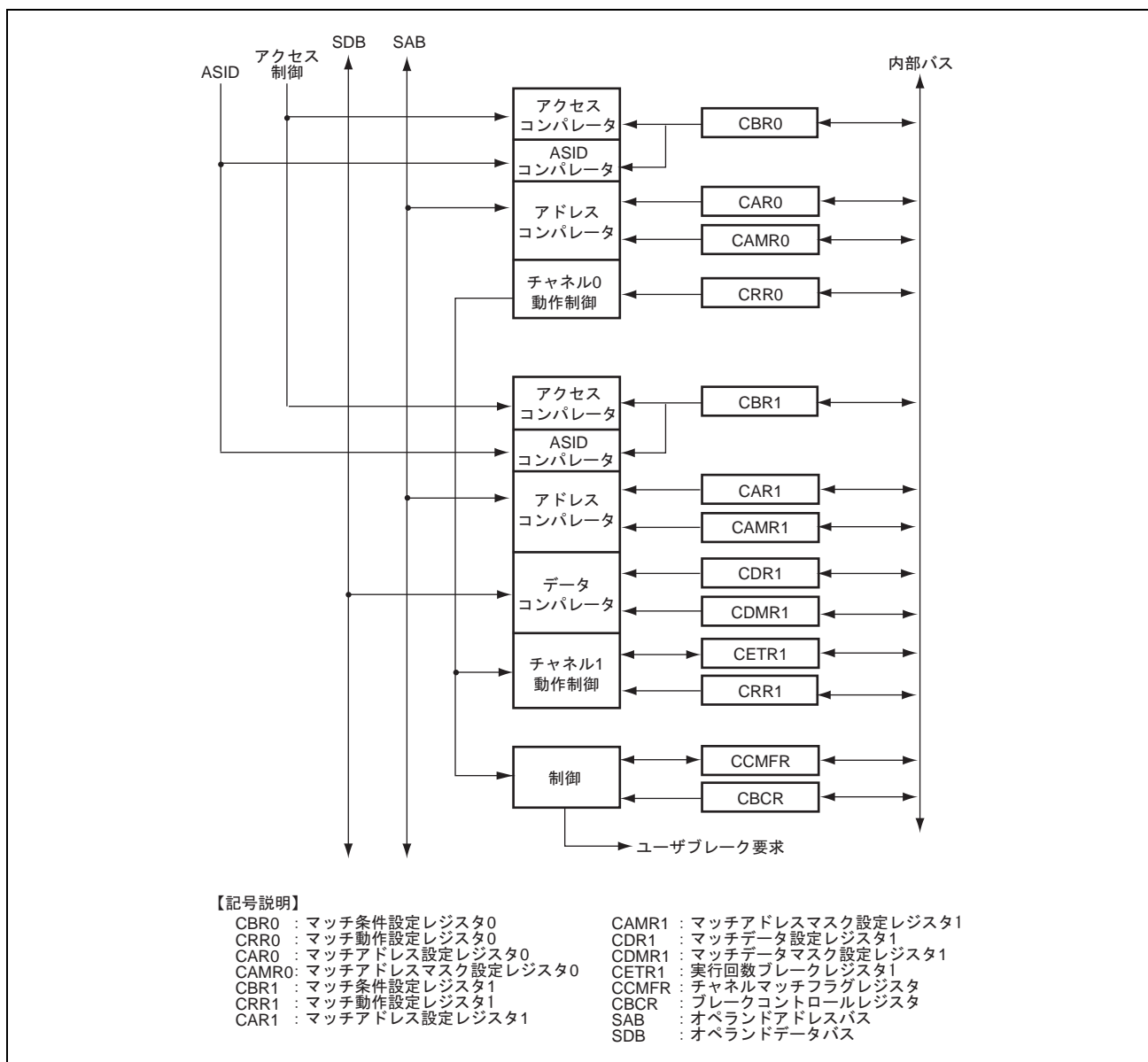


図 35.1 UBC のブロック図

## 35.2 レジスタの説明

表 35.1 に UBC のレジスタ構成を示します。

表 35.1 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	H'FF20 0000	32	35-4
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	H'FF20 0004	32	35-10
マッチアドレス設定レジスタ 0	CAR0	不定	H'FF20 0008	32	35-12
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	H'FF20 000C	32	35-13
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	H'FF20 0020	32	35-7
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	H'FF20 0024	32	35-11
マッチアドレス設定レジスタ 1	CAR1	不定	H'FF20 0028	32	35-12
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	H'FF20 002C	32	35-14
マッチデータ設定レジスタ 1	CDR1	不定	H'FF20 0030	32	35-15
マッチデータマスク設定レジスタ 1	CDMR1	不定	H'FF20 0034	32	35-16
実行回数ブレークレジスタ 1	CETR1	不定	H'FF20 0038	32	35-17
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	H'FF20 0600	32	35-18
ブレークコントロールレジスタ	CBCR	H'0000 0000	H'FF20 0620	32	35-19

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

## 35. ユーザブレイクコントローラ (UBC)

### 35.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0 レジスタ、CBR1 レジスタは、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) バス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

#### (1) マッチ条件設定レジスタ 0 (CBR0)

マッチ条件設定レジスタ 0 (CBR0)

<P4領域アドレス : H'FF20 0000番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
リセット後の値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD	ID	—	RW	CE			
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'2000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31	MFE	0	R	W	マッチフラグイネーブルビット マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が"1"のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R	W	ASID イネーブルビット マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める

## 35. ユーザブ레이크コントローラ (UBC)

ビット	シンボル	リセット後の値	R	W	説明
29~24	MFI	100000	R	W	<p>マッチフラグ指定ビット</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : 予約 (設定禁止)</p> <p>【注】・初期値は予約 (設定禁止) の状態になりますが、CBR0[0]に"1"を書き込む際に必ず"000000"または"000001"を設定してください。また CCMFR レジスタの MF0 ビットが"0"の状態、本レジスタの MFE ビットを"1"に、MFI ビットを"000000"に設定するとチャンネル 0 でヒットしなくなりますので注意してください。</p>
23~16	AIV	H'00	R	W	<p>ASID 指定ビット</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	—	0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
14~12	SZ	すべて 0	R	W	<p>オペランドサイズセレクトビット</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *<sup>1</sup></p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする*<sup>2</sup></p> <p>その他 : 予約 (設定禁止)</p>
11~8	—	すべて 0	0	0	<p>予約ビット</p> <p>読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。</p>
7、6	CD	00	R	W	<p>バスセレクトビット</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00 : オペランドアクセスにおいてオペランドバスを対象とする</p> <p>その他 : 予約 (設定禁止)</p>



### 35. ユーザブ레이크コントローラ (UBC)

ビット	シンボル	リセット後の値	R	W	説明
5、4	ID	00	R	W	命令フェッチ/オペランドアクセスセレクトビット マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクル、またはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクル、またはオペランドアクセスサイクルを対象とする
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2、1	RW	00	R	W	バスコマンドセレクトビット マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R	W	チャンネルイネーブルビット チャンネルを有効にするかどうかを指定します。本ビットに"0"を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

- 【注】 \*1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- \*2 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64ビットデータの上位32ビットまたは下位32ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

## (2) マッチ条件設定レジスタ 1 (CBR1)

マッチ条件設定レジスタ1 (CBR1)

&lt;P4領域アドレス : H'FF20 0020番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
リセット後の値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ		ETBE	—	—	—	CD	ID	—	RW	CE				
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'2000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31	MFE	0	R	W	<p>マッチフラグイネーブルビット</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が"1"のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R	W	<p>ASID イネーブルビット</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29~24	MFI	100000	R	W	<p>マッチフラグ指定ビット</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : 予約 (設定禁止)</p> <p>【注】・初期値は予約 (設定禁止) の状態になりますが、CBR1[0]に"1"を書き込む際に必ず"000000"または"000001"を設定してください。また、CCMFR レジスタの MF1 ビットが"0"の状態、本レジスタの MFE ビットを"1"に、MFI ビットを"000001"に設定するとチャンネル 1 でヒットしなくなりますので注意してください。</p>
23~16	AIV	すべて 0	R	W	<p>ASID 指定ビット</p> <p>マッチ条件とする ASID 値を指定します。</p>

### 35. ユーザブレイクコントローラ (UBC)

ビット	シンボル	リセット後の値	R	W	説明
15	DBE	0	R	W	データ値イネーブルビット* <sup>2</sup> マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0 : データ値はマッチ条件に含まれず、チェックされない 1 : マッチ条件にデータ値を含める
14~12	SZ	000	R	W	オペランドサイズセレクトビット マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) * <sup>1</sup> 001 : バイトアクセスを対象とする 010 : ワードアクセスを対象とする 011 : ロングワードアクセスを対象とする 100 : クワッドワードアクセスを対象とする* <sup>3</sup> その他 : 予約 (設定禁止)
11	ETBE	0	R	W	実行回数値イネーブルビット マッチ条件に実行回数値を含めるかどうかを指定します。このビットが"1"の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0 : 実行回数値はマッチ条件に含まれず、チェックされない 1 : マッチ条件に実行回数値を含める
10~8	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
7、6	CD	00	R	W	バスセレクトビット マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00 : オペランドアクセスにおいてオペランドバスを対象とする その他 : 予約 (設定禁止)
5、4	ID	00	R	W	命令フェッチ/オペランドアクセスセレクトビット マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00 : 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01 : 命令フェッチサイクルを対象とする 10 : オペランドアクセスサイクルを対象とする 11 : 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする

ビット	シンボル	リセット後の値	R	W	説明
3	—	0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
2、1	RW	00	R	W	バスコマンドセレクトビット マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R	W	チャンネルイネーブルビット チャンネルを有効にするかどうかを指定します。本ビットに"0"を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

- 【注】 \*1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- \*2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- \*3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

## 35. ユーザブレークコントローラ (UBC)

### 35.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0 レジスタ、CRR1 レジスタは、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレークタイミング、(2) ブレーク要求の有無です。

#### (1) マッチ動作設定レジスタ 0 (CRR0)

マッチ動作設定レジスタ 0 (CRR0)

<P4領域アドレス : H'FF20 0004番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
リセット後の値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 2000>

ビット	シンボル	リセット後の値	R	W	説明
31~14	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
12~2	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	PCB	0	R	W	PC ブレークセレクトビット 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R	W	ブレークイネーブルビット チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

## (2) マッチ動作設定レジスタ 1 (CRR1)

マッチ動作設定レジスタ1 (CRR1)

&lt;P4領域アドレス : H'FF20 0024番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
リセット後の値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 2000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~14	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
13	—	1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。
12~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	PCB	0	R	W	PC ブレークセレクトビット 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R	W	ブレークイネーブルビット チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

## 35. ユーザブレークコントローラ (UBC)

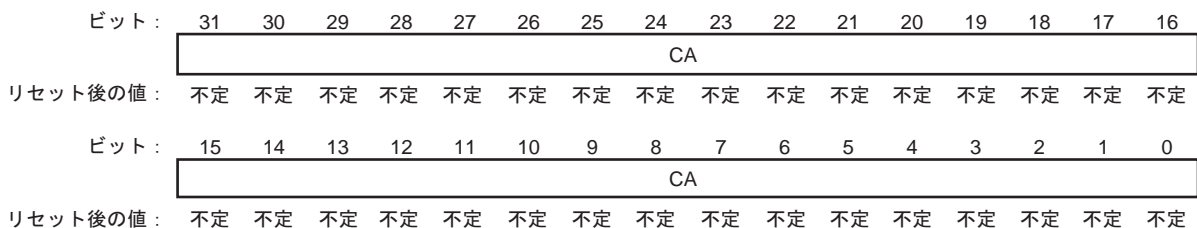
### 35.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0 レジスタ、CAR1 レジスタは、チャンネル0、チャンネル1のブレーク条件とする仮想アドレスを指定します。

#### (1) マッチアドレス設定レジスタ 0 (CAR0)

マッチアドレス設定レジスタ0 (CAR0)

<P4領域アドレス : H'FF20 0008番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CA	不定	R	W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

#### (2) マッチアドレス設定レジスタ 1 (CAR1)

マッチアドレス設定レジスタ1 (CAR1)

<P4領域アドレス : H'FF20 0028番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CA	不定	R	W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

## 35.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0 レジスタ、CAMR1 レジスタは、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに"1"を設定します）。

## (1) マッチアドレスマスク設定レジスタ 0 (CAMR0)

マッチアドレスマスク設定レジスタ0 (CAMR0)

&lt;P4領域アドレス : H'FF20 000C番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
リセット後の値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~0	CAM	不定	R	W	比較アドレスマスクビット CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに"1"を指定します）。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない <b>【記号説明】</b> n = 31~0



### 35. ユーザブレークコントローラ (UBC)

#### (2) マッチアドレスマスク設定レジスタ 1 (CAMR1)

マッチアドレスマスク設定レジスタ1 (CAMR1)

<P4領域アドレス : H'FF20 002C番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CAM	不定	R	W	比較アドレスマスクビット CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに"1"を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない <b>【記号説明】</b> n = 31~0

## 35.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 レジスタは、チャンネル 1 のブ레이크条件とするデータ値を指定します。

マッチデータ設定レジスタ1 (CDR1)

<P4領域アドレス : H'FF20 0030番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CD	不定	R	W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 35.2 マッチデータ設定レジスタの指定

CBR1 レジスタでのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

【注】・データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。

- ・ OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- ・ クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

### 35. ユーザブレークコントローラ (UBC)

#### 35.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 レジスタは、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに"1"を設定します)。

マッチデータマスク設定レジスタ1 (CDMR1)

<P4領域アドレス : H'FF20 0034番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~0	CDM	不定	R	W	<p>比較データ値マスクビット</p> <p>CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに"1"を指定します)。</p> <p>0 : データ値ビット CD[n]は、ブレーク条件に含まれる</p> <p>1 : データ値ビット CD[n]はマスクされ、ブレーク条件に含まれない</p> <p>【記号説明】 n = 31~0</p>

## 35.2.7 実行回数ブレークレジスタ 1 (CETR1)

CETR1 レジスタは、ブレークが発生するまでのチャンネルヒット回数を指定します。指定できる最大値は  $2^{12} - 1$  です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブレークが発生します。

実行回数ブレークレジスタ1 (CETR1)

&lt;P4領域アドレス : H'FF20 0038番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
リセット後の値 :	0	0	0	0	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定

&lt;リセット後の値 : 不定&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~12	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
11~0	CET	不定	R	W	実行回数ビット ブレーク条件とする実行回数を指定します。

## 35. ユーザブレイクコントローラ (UBC)

### 35.2.8 チャネルマッチフラグレジスタ (CCMFR)

CCMFR レジスタは、各チャネルのマッチ条件が成立したかどうかを示します。チャネルのマッチ条件が成立した場合、対応するフラグビットに"1"が設定されます。フラグのクリアは、クリアしたいビットを"0"、それ以外のビットを"1"にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャネルによるシーケンシャル動作を実現できます。

チャネルマッチフラグレジスタ (CCMFR)

<P4領域アドレス : H'FF20 0600番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~2	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
1	MF1	0	R	W	チャネル1条件一致フラグ チャネル1にセットしたマッチ条件が成立すると、このフラグは"1"にセットされます。フラグをクリアするには、このビットに"0"を書き込みます。 0 : チャネル1のマッチ条件不一致 1 : チャネル1のマッチ条件一致
0	MF0	0	R	W	チャネル0条件一致フラグ チャネル0にセットしたマッチ条件が成立すると、このフラグは"1"にセットされます。フラグをクリアするには、このビットに"0"を書き込みます。 0 : チャネル0のマッチ条件不一致 1 : チャネル0のマッチ条件一致

## 35.2.9 ブレークコントロールレジスタ (CBCR)

CBCR レジスタは、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「35.4 ユーザブレークデバッグサポート機能」を参照してください。

ブレークコントロールレジスタ (CBCR)

&lt;P4領域アドレス : H'FF20 0620番地&gt;

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000 0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
31~1	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	UBDE	0	R	W	ユーザブレークデバッグサポート機能イネーブルビット ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

### 35.3 動作説明

#### 35.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 `MOV.W @(disp,PC),Rn` のアドレス ( $PC + \text{disp} \times 2 + 4$ ) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- `PREF`、`OCBP`および`OCBWB`命令 : 読み出しアクセスとして扱います。
- `MOVCA.L`および`OCBI`命令 : 書き込みアクセスとして扱います。
- `TAS.B`命令 : 1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

`PREF`、`OCBP`、`OCBWB`、`OCBI` 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。`PREF`、`OCBP`、`OCBWB`、`MOVCA.L`、`OCBI` 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

#### 35.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (`CBR0`または`CBR1`) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (`CAR0`、`CAR1`)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (`CAMR0`、`CAMR1`) により指定します。マッチ条件に`ASID`を含める場合は、マッチ条件設定レジスタの`AIE`ビットをセットし、`AIV`ビットにより`ASID`を指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタの`DBE`ビットをセットし、ブレイクデータをマッチデータ設定レジスタ (`CDR1`)、データのマスク条件をマッチデータマスク設定レジスタ (`CDMR1`) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタの`ETBE`ビットをセットし、実行回数条件を実行回数ブレイクレジスタ (`CETR1`) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタの`MFE`ビットをセットし、シーケンス元チャンネル番号を`MFI`により指定します。
2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (`CRR0`、`CRR1`) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの`CE`ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの`CE`ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコント

ロールレジスタからマッチ条件設定レジスタのCEビットをセットした場合、意図しないブレークが発生する場合があります。

3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレーク要求が発生します。SRレジスタのBLビットにより、ブレーク要求に対するCPUの動作が異なります。BLビットが"0"のとき、ブレーク要求は受理され所定の例外処理が行われますが、BLビットが"1"の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用できます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により"0"を書き込んでください。
5. チャンネル0およびチャンネル1で設定したブレークがほぼ同時に発生する場合があります。CPUに対するブレーク要求は1つだけであっても、これらのブレークに対する条件一致フラグが2つともセットされる場合があります。
6. SRレジスタのBLビットが"1"の期間は、すべてのブレーク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。



### 35.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求が発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを"0"にクリアしてください。このビットが"1"にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ (CBR1) のDBEビットは無効となり、マッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

### 35.3.4 オペランドアクセスサイクルブ레이크

1. オペランドアクセスサイクルブ레이크の場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 35.3 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31~A3
ロングワード	アドレスビット A31~A2
ワード	アドレスビット A31~A1
バイト	アドレスビット A31~A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31~A3 ロングワードアクセス時のアドレスビット A31~A2 ワードアクセス時のアドレスビット A31~A1 バイトアクセス時のアドレスビット A31~A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'0000 1003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'0000 1000に対するロングワードアクセス

アドレスH'0000 1002に対するワードアクセス

アドレスH'0000 1003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1レジスタおよびCDMR1レジスタのビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

## 35. ユーザブレークコントローラ (UBC)

- オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレークが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。RTE命令の遅延スロットには、オペランドブレークを設定しないでください。また、データ値を条件に含める場合は、RTE命令の1.~6.命令前でブレークを発生させないでください。

### 35.3.5 シーケンシャルブレーク

- マッチ条件設定レジスタ (CBR0、CBR1) のMFEビットおよびMFI ビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定できます。シーケンス元チャンネルについては、マッチ条件設定レジスタのMFE、およびマッチ動作設定レジスタのBIEビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIで指定します。シーケンシャル条件成立時のブレーク要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
- シーケンシャル条件指定では、チャンネル1については実行回数ブレーク条件も指定できます。
- シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。
  - シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネル、シーケンス先チャンネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

### 35.3.6 回避されるプログラムカウンタの値

ブレーク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレークの発生する命令を一意に決定できます。

1. 命令フェッチサイクル（命令実行前）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレークが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

2. 命令フェッチサイクル（命令実行後）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレークが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

3. オペランドアクセス（アドレスのみ）をマッチ条件として指定する場合

SPC には、ブレーク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

4. オペランドアクセス（アドレス+データ）をマッチ条件として指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレークが発生し、その命令のアドレスが SPC に回避されます。ブレークが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレークが発生する場合があります。この場合も、SPC には分岐先のアドレスが回避されます。

### 35.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更できます。ブレイクコントロールレジスタ CBCR レジスタの UBDE ビットを"1"にセットすることにより、[VBR+オフセット]で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。図 35.2 にユーザブレイクデバッグサポート機能のフローチャートを示します。

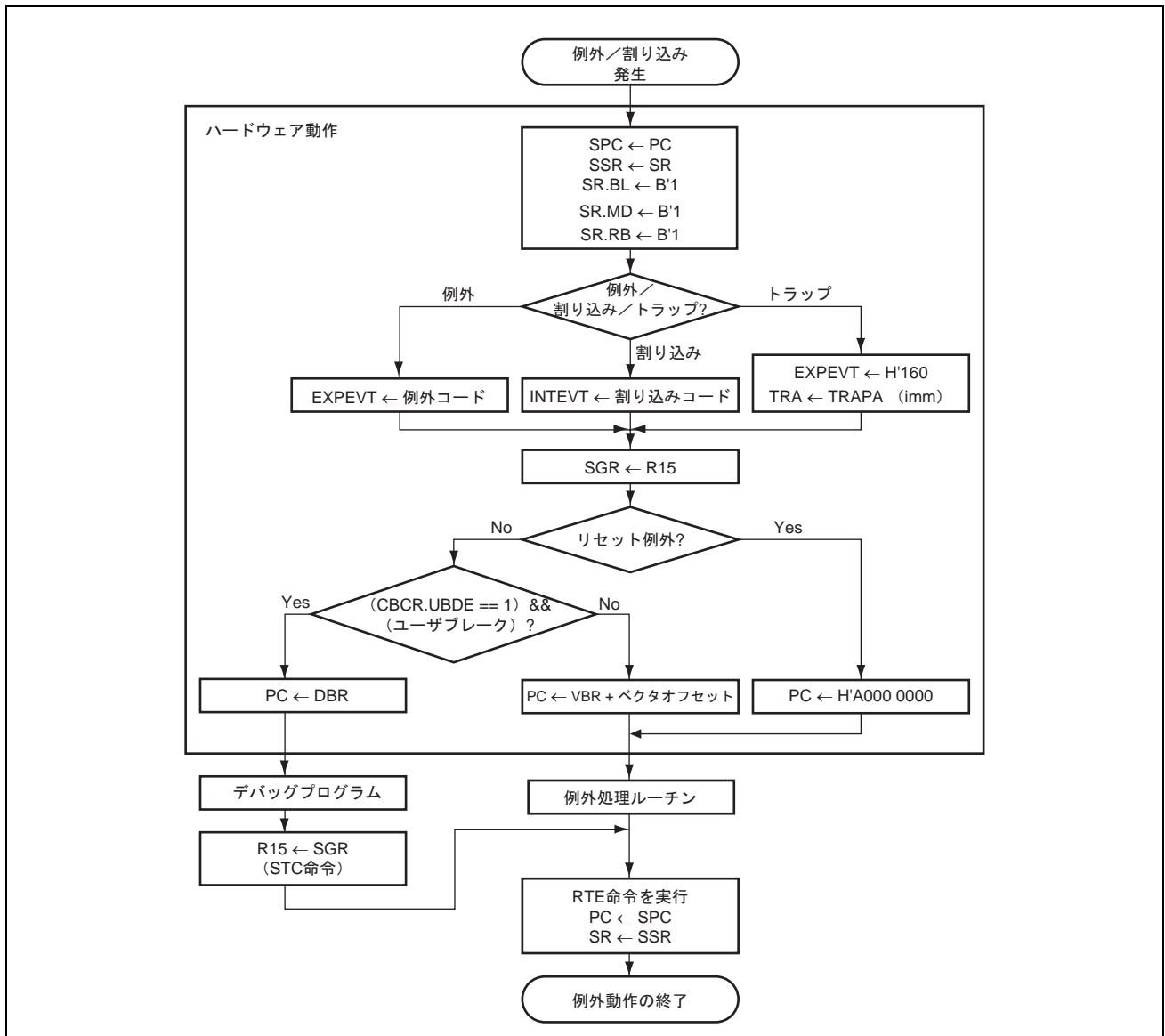


図 35.2 ユーザブレイクデバッグサポート機能のフローチャート

## 35.5 ユーザブレーク使用例

### (1) 命令フェッチサイクルに指定したマッチ条件

#### • 例1-1

レジスタ設定

CBR0 = H'0000 0013/CRR0 = H'0000 2003/CAR0 = H'0000 0404/CAMR0 = H'0000 0000/

CBR1 = H'0000 0013/CRR1 = H'0000 2001/CAR1 = H'0000 8010/CAMR1 = H'0000 0006/

CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/

CBCR = H'0000 0000

指定条件：チャンネル 0/チャンネル 1 独立条件

#### 【チャンネル 0】

アドレス：H'0000 0404、アドレスマスク：H'0000 0000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

#### 【チャンネル 1】

アドレス：H'0000 8010、アドレスマスク：H'0000 0006

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレークは、アドレス H'0000 0404 の命令実行後、またはアドレス H'0000 8010～H'0000 8016 の命令実行前に発生します。

## 35. ユーザブレークコントローラ (UBC)

---

- 例1-2

レジスタ設定

CBR0 = H'4080 0013/CRR0 = H'0000 2000/CAR0 = H'0003 7226/CAMR0 = H'0000 0000/  
CBR1 = H'C070 0013/CRR1 = H'0000 2001/CAR1 = H'0003 722E/CAMR1 = H'0000 0000/  
CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/  
CBCR = H'0000 0000

指定条件：チャンネル0 → チャンネル1 シーケンシャルモード

**【チャンネル0】**

アドレス：H'0003 7226、アドレスマスク：H'0000 0000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

**【チャンネル1】**

アドレス：H'0003 722E、アドレスマスク：H'0000 0000、ASID：H'70

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'0003 7226 の命令が実行された後、ASID = H'70 かつアドレス H'0003 722E の命令実行前にユーザブレークが発生します。

- 例1-3

レジスタ設定

CBR0 = H'0000 0013/CRR0 = H'0000 2001/CAR0 = H'0002 7128/CAMR0 = H'0000 0000/

CBR1 = H'0000 0013/CRR1 = H'0000 2001/CAR1 = H'0003 1415/CAMR1 = H'0000 0000/

CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/

CBCR = H'0000 0000

指定条件：チャンネル0/チャンネル1 独立条件

**【チャンネル0】**

アドレス：H'0002 7128、アドレスマスク：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

**【チャンネル1】**

アドレス：H'0003 1415、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'0002 7128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレークは発生しません。

- 例1-4

レジスタ設定

CBR0 = H'4080 0013/CRR0 = H'0000 2000/CAR0 = H'0003 7226/CAMR0 = H'0000 0000/

CBR1 = H'C070 0013/CRR1 = H'0000 2001/CAR1 = H'0003 722E/CAMR1 = H'0000 0000/

CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/

CBCR = H'0000 0000

指定条件：チャンネル0 → チャンネル1 シーケンシャルモード

**【チャンネル0】**

アドレス：H'0003 7226、アドレスマスク：H'0000 0000、ASID = H'80

バスサイクル：命令フェッチ（命令実行前）

**【チャンネル1】**

アドレス：H'0003 722E、アドレスマスク：H'0000 0000、ASID = H'70

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'0003 7226 の命令が実行された後、ASID = H'70 かつアドレス H'0003 722E の命令実行前にブレークが発生します。



## 35. ユーザブレイクコントローラ (UBC)

---

- 例1-5

レジスタ設定

CBR0 = H'0000 0013/CRR0 = H'0000 2001/CAR0 = H'0000 0500/CAMR0 = H'0000 0000/

CBR1 = H'0000 0813/CRR1 = H'0000 2001/CAR1 = H'0000 1000/CAMR1 = H'0000 0000/

CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0005/

CBCR = H'0000 0000

指定条件：チャンネル 0/チャンネル 1 独立条件

**【チャンネル 0】**

アドレス：H'0000 0500、アドレスマスク：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

**【チャンネル 1】**

アドレス：H'0000 1000、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5 回

ASID、データ値は条件に含まれない

チャンネル 0 では、ユーザブレイクはアドレス H'0000 0500 の命令の実行前に生じます。チャンネル 1 では、ユーザブレイクは、アドレス H'0000 1000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

## • 例1-6

レジスタ設定

CBR0 = H'4080 0013/CRR0 = H'0000 2003/CAR0 = H'0000 8404/CAMR0 = H'0000 00FFF/

CBR1 = H'4070 0013/CRR1 = H'0000 2001/CAR1 = H'0000 8010/CAMR1 = H'0000 0006/

CDR1 = H'0000 0000/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/

CBCR = H'0000 0000

指定条件：チャンネル0/チャンネル1 独立条件

## 【チャンネル0】

アドレス：H'0000 8404、アドレスマスク：H'0000 0FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

## 【チャンネル1】

アドレス：H'0000 8010、アドレスマスク：H'0000 0006、ASID：H'70

データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレークは、ASID = H'80 でアドレス H'0000 8000～H'0000 8FFE の命令の実行後、または、ASID = H'70 でアドレス H'0000 8010～H'0000 8016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'4080 0023/CRR0 = H'0000 2001/CAR0 = H'0012 3456/CAMR0 = H'0000 0000/

CBR1 = H'4070 A025/CRR1 = H'0000 2001/CAR1 = H'000A BCDE/CAMR1 = H'0000 00FF/

CDR1 = H'0000 A512/CDMR1 = H'0000 0000/CETR1 = H'0000 0000/

CBCR = H'0000 0000

指定条件：チャンネル 0/チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'0012 3456、アドレスマスク：H'0000 0000、ASID：H'80

バスサイクル：オペランドバス/オペランドアクセス/読み出し

(オペランドサイズは条件に含まれない)

【チャンネル 1】

アドレス：H'000A BCDE、アドレスマスク：H'0000 00FF、ASID：H'70

データ：H'0000 A512、データマスク：H'0000 0000、実行回数：H'0000 0000

バスサイクル：オペランドバス/オペランドアクセス/書き込み/ワード

実行回数は条件に含まれない

チャンネル 0 では、ユーザブレークは、ASID = H'80 でアドレス H'0012 3454 に対するロングワードの読み出し、アドレス H'0012 3456 に対するワード読み出し、またはアドレス H'0012 3456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレークは ASID = H'70 で H'000A BC00~H'000A BCFE にワード H'A512 を書き込むときに生じます。

### 35.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。UBCレジスタを変更後、ブレーク対象の命令を実行する前に、以下の (1) ~ (3) のいずれかを実行してください。
  - (1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください (レジスタリードとRTE命令は連続している必要はありません)。
  - (2) 変更したレジスタをリードした後、任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください (レジスタリードとICBI命令は連続している必要はありません)。
  - (3) UBCレジスタの変更前にIRMCR.R1 = "0" (初期値) と設定しておき、レジスタライト→レジスタリード→ (もう一度同じ値を) レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0レジスタ、およびCRR1レジスタのPCBビットは、命令フェッチをマッチ条件にしたときのみ有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレークは発生しません。
4. ユーザブレークと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレークは発生しません。
  - 命令実行前のブレークは他のどの例外よりも優先して受け付けられます。
  - 命令実行後ブレークやデータアクセスブレークは、より優先度の高い再実行型の例外 (命令実行前ブレークを含む) と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレークが発生し、フラグがセットされます。
  - 命令実行後ブレークやオペランドアクセスブレークが、より優先度の高い完了型の例外 (TRAPA) と同時に発生した場合は、ブレークは発生しませんが、条件一致を示すフラグはセットされます。
5. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果SPCの値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
 

アドレス110の命令 (チャンネル0で命令フェッチに対する実行後ブレーク) →SPC = 112, CCMFR.MF0 = "1"  
 アドレス112の命令 (チャンネル1で命令フェッチに対する実行前ブレーク) →SPC = 112, CCMFR.MF1 = "1"

## 35. ユーザブレークコントローラ (UBC)

---

6. RTE命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE命令の1~6命令前でブレークを発生させないでください。
7. 実行ステートが2以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0（またはCCMFR.MF1）ビットが"1"にセットされる場合と、セットされない場合があります。

---

## 36. AUD RAM モニタ (AUDR)

---

### 36.1 概要

AUD RAM モニタ (AUDR) には、RAM モニタ機能とイベント出力機能があります。AUDR には専用の DMA が内蔵されており、内蔵 RAM などへのアクセスは本 DMA を用いて行われます。

表 36.1 に AUDR の概要を示します。

表 36.1 AUDR の概要

項目	概要
転送方式	クロック同期形パラレルインタフェース (4 ビット)
転送クロックの発生	外部ホスト側が発生
アクセス領域	SHwy 上の物理アドレス領域
アクセスサイズ	8/16/32 ビット
最大転送速度	12.5MHz
入出力端子	7 本 (AUDRD3~AUDRD0、AUDRCLK、AUDRSYN#、AUDREVT#)
機能	<ul style="list-style-type: none"><li>• RAM モニタ機能 SHwy よりアクセス可能な物理アドレス領域に対して読み出し/書き込みを行う機能です。本機能により RAM データなどの参照、変更ができます。 周辺バス、周辺 A バス経由の周辺モジュールへのアクセスは可能です。また、SH-4A コア内部の ILRAM、OLRAM について、AUDR よりアクセス可能です。SH-4A コア内部のキャッシュメモリと TLB については、CPU 専用リソースのため AUDR よりアクセスできません。</li><li>• イベント出力機能 AUDREVNT レジスタへのライトアクセスが発生したことを検知して、AUDREVT#端子より“L”レベルを出力する機能です。</li><li>• Configuration 情報保持 (startup communication) 機能 リセット時の AUDRD3~AUDRD0 端子の値を保持する機能です。RAM モニタツールとの通信に使用します。</li><li>• 同期通信 (メッセージボード) 機能 CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレジスタです。</li></ul>

36. AUD RAM モニタ (AUDR)

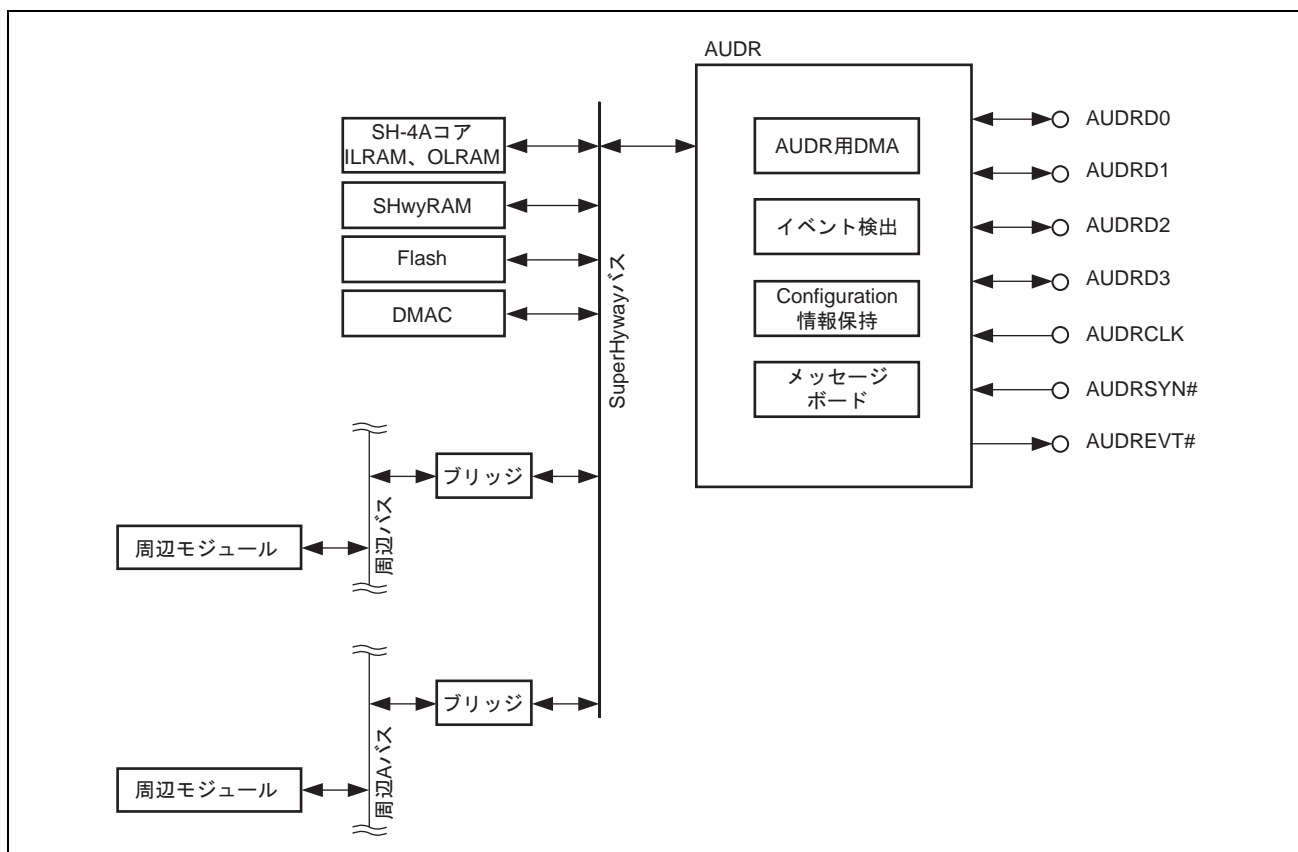


図 36.1 AUD RAM モニタ (AUDR) のブロック図

## 36.2 AUDR 使用例

### 36.2.1 使用例 1 : RAM モニタ/キャリブレーション

図 36.2 に RAM モニタ/キャリブレーション動作例のタイミング概略を示します。

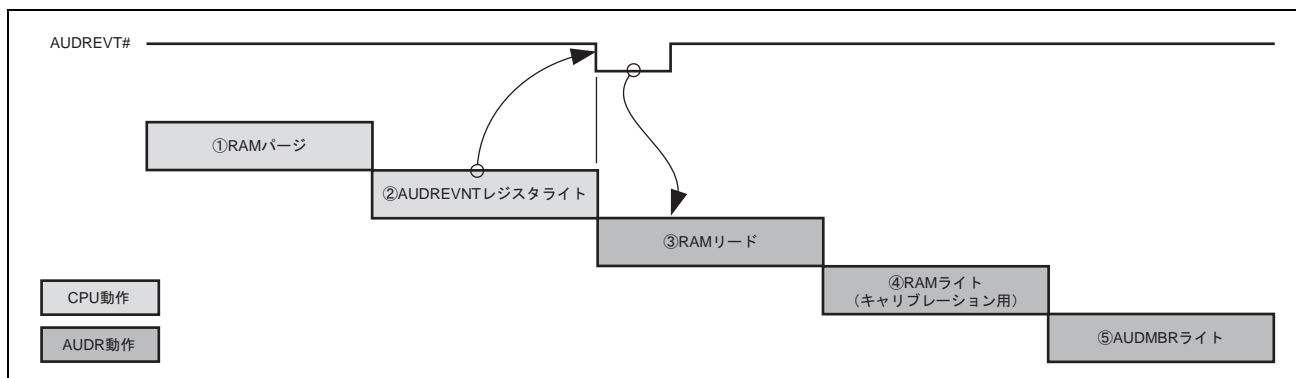


図 36.2 AUDR 使用例 (RAM モニタ/キャリブレーション手順)

1. AUDRよりRAMのデータを読み出す際、キャッシュ上のデータとの一致を判断できないため事前にRAMパージを行い、キャッシュとRAMのデータを一致させます。
2. イベント発生により1.が終了したことをRAMモニタツールに通知します。
3. イベントを検知後、AUDRよりRAM読み出しを行います。
4. AUDRよりRAM書き込み (キャリブレーション) を行います。
5. AUDRでのキャリブレーションが終了したことを、AUDMBRレジスタを用いてCPUに通知します。

### 36.2.2 使用例 2 : FLASH 書き換え

図 36.3 に FLASH 書き換え動作例のタイミング概略を示します。

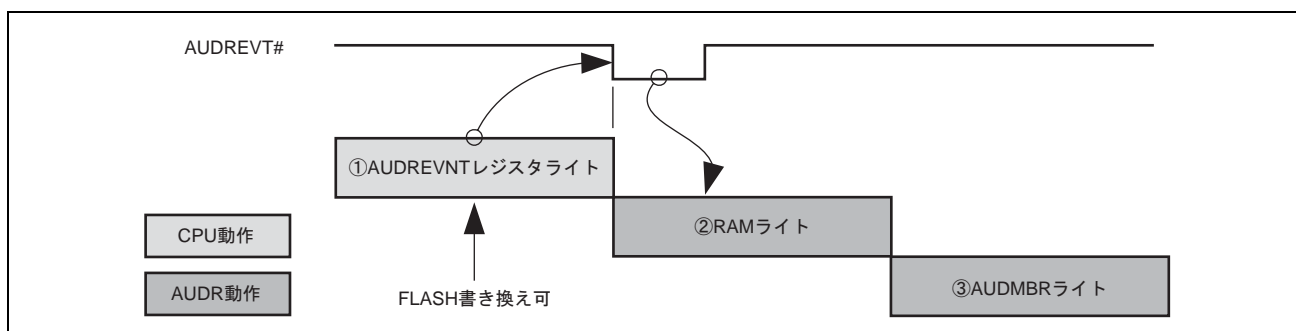


図 36.3 AUDR 使用例 (AUDR 経由の FLASH 書き換え手順)

1. CPUよりイベント発生により、FLASH書き換え許可を通知します。
2. AUDRよりFLASH書き換えを行います。
3. FLASH書き換え終了を、AUDMBRレジスタを用いてCPUに通知します。



## 36.3 入出力端子

表 36.2 に AUDR の端子構成を示します。AUDR の各端子を使用する場合、ピンファンクションユニットでの端子設定が必要です。詳細は「第 18 章 I/O ポートとピンファンクションユニット」を参照してください。プログラムによる端子設定が完了するまでは、アクセスを行わないでください。

表 36.2 端子構成

端子名	入出力	機能
AUDRCLK	入力	同期クロック入力 本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は 12.5MHz 以下です。
AUDRSYN#	入力	データ先頭位置認識信号入力 1: 読み出しデータを出力 0: 書き込みアドレス、データ、DIR コマンドを入力 Ready フラグを出力 【注】・本端子は外部から AUDRD 端子にコマンドが入力されて、必要なデータが出るまでアサートしないでください。詳細は後述のプロトコルを参照してください。
AUDRD3~0	入出力	コマンド、アドレス/データ入出力 下記情報が時分割で入出力されます。 コマンド アドレス データ 外部からコマンドを入力すると Ready 送信後データを出力します。出力は AUDRSYN#端子がネゲートされてから開始します。詳細は後述のプロトコルを参照してください。また、外部でのプルアップが必要です。
AUDREVT#	出力	イベント出力 (イベント発生時に 2Pck 幅の "L" レベルを出力)

## 36.4 レジスタの説明

表 36.3 に AUDR 関連のレジスタ構成を示します。

表 36.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域 アドレス	アクセス サイズ	掲載 ページ
AUDR イネーブルレジスタ	AUDRENB	H'0000	H'FE40 0000	16	36-5
AUDR イベント発生レジスタ	AUDREVNT	不定	H'FE40 0008	8	36-12
AUDR Configuration 情報保持レジスタ	AUDISR	不定*1	H'FE40 0010	16	36-13
AUDR メッセージボードレジスタ	AUDMBR	H'0000	H'FE40 0018	16	36-14

【注】 \*1 AUDISR レジスタはリセット解除時の AUDRD3~AUDRD0 端子の値を保持します。詳細は「36.7.2 AUDR Configuration 情報保持レジスタ (AUDISR)」を参照してください。

- ・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### 36.4.1 AUDR イネーブルレジスタ (AUDRENB)

AUDRENB レジスタはライトキー付きであるため、書き込みはワード単位で行う必要があります。AUDREN ビットの値を書き換えるには、同時に AUDREKEY ビットに"H'17"を書き込んでください。AUDREKEY ビットに"H'17"以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。AUDRENB レジスタの読み出しは、ワード単位、バイト単位のどちらでも可能です。ただし、AUDREKEY ビットへの書き込みデータは保持されませんので、AUDREKEY ビットの読み出し値は常に"H'00"になります。

AUDR イネーブルレジスタ (AUDRENB)

<P4 領域アドレス : H'FE40 0000 番地>

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AUDREKEY								—	—	—	—	—	—	—	AUDREN
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000>

ビット	シンボル	リセット 後の値	R	W	説 明
15~8	AUDREKEY	すべて 0	0	W	AUDRENB レジスタライトキーコードビット AUDREN ビットの書き換え許可/禁止を制御します。本ビットへの書き込みデータは保持されません。読み出すと常に"0"が読み出されます。 H'17 : AUDREN ビットの書き換え許可 H'17 以外 : AUDREN ビットの書き換え禁止
7~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

### 36. AUD RAM モニタ (AUDR)

ビット	シンボル	リセット 後の値	R	W	説 明
0	AUDREN	0	R	W	<p>AUDR 動作許可ビット</p> <p>AUDREN ビットは AUDR 機能の許可/禁止を切り替えるビットです。</p> <p>AUDREN ビットが"0"の状態、AUDR はリセット状態となり、各レジスタの値はリセット解除時の値に戻ります。AUDR 機能を使用する場合は他の AUDR レジスタの設定前に、このビットに"1"をセットする必要があります。</p> <p>AUDREN ビットが"0"のとき、AUDRENB レジスタ以外の AUDR レジスタへのアクセスは禁止です。</p> <p>0 : AUDR 動作禁止 1 : AUDR 動作許可</p>

【注】・ AUDREN ビットを禁止から許可に変更した場合、AUDR が動作可能となるまで 6 AUDRCLK 必要です。

## 36.5 RAM モニタ機能

### 36.5.1 通信プロトコル

AUDR は、AUDRSYN#端子がアサートされると AUDRD 端子に入力された内容を取り込みます。AUDRD 端子に入力するコマンド、アドレス、データは、**図 36.4** に示すフォーマットで入力してください。

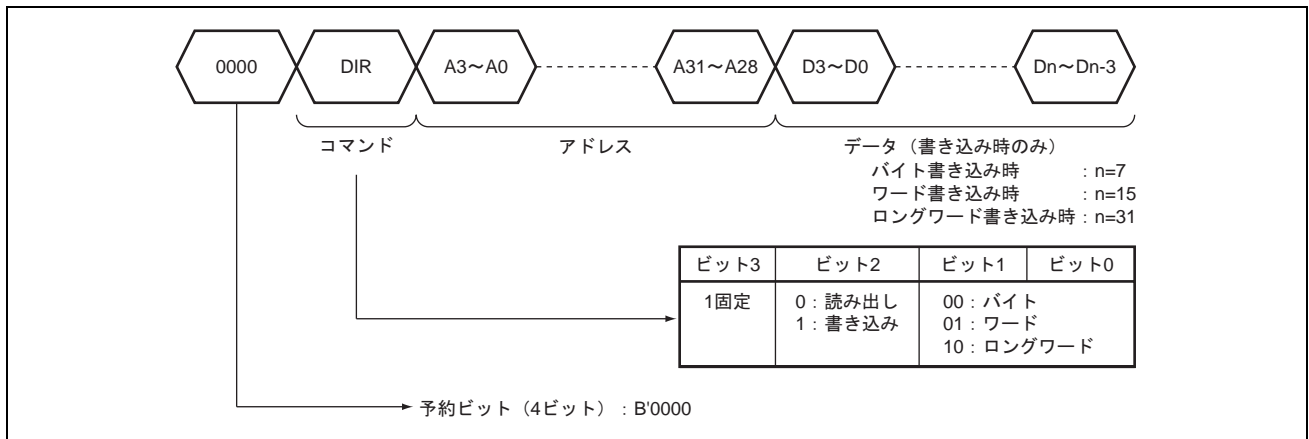


図 36.4 AUDRD 入力フォーマット

### 36.5.2 動作説明

図 36.5 にリード動作の例、図 36.6 にライト動作の例を示します。

AUDRSYN#端子がアサートされると、AUDRD 端子から入力を開始します。図 36.4 に示すフォーマットでコマンド、アドレス、データ（書き込み時のみ）が入力されると、指定されたアドレスの読み出し/書き込みの実行を開始します。内部実行中 AUDR は Not Ready ("0000") を返します。実行が完了すると、Ready フラグ ("0001") を返します（図 36.5、図 36.6）。表 36.4 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、AUDRSYN#端子をネゲートすると指定されたサイズのデータを出力します（図 36.5）。DIR に上記以外のコマンドが入力された場合、AUDR はコマンドエラーとして処理を無効にし、Ready フラグ内の CFLG ビットを"1"にセットします。また、DIR 内で指定されたコマンドによる読み出し/書き込み動作がバスエラーを起こすとき、処理を無効にし Ready フラグ内 BFLG ビットを"1"にセットします（図 36.7）。

表 36.4 Ready フラグフォーマットのビット配置

ビット配置	ビット名	機能	内容
AUDRD3	0	—	—
AUDRD2	BFLG	バスエラーの発生を示します	0: 正常状態 1: バスエラー発生
AUDRD1	CFLG	コマンドエラーの発生を示します	0: 正常状態 1: コマンドエラー発生
AUDRD0	RFLG	AUDR の動作完了を示します	0: Not Ready 1: Ready

## 36. AUD RAM モニタ (AUDR)

### (1) コマンドエラー条件

表 36.5 にコマンドエラー条件を示します。

表 36.5 コマンド (DIR) 判定条件

ビット3 (IT)	ビット2 (RW)	ビット1 (SIZ1)	ビット0 (SIZ0)	内 容
0	x	x	x	コマンドエラー
1	0	0	0	リード (バイト)
1	0	0	1	リード (ワード)
1	0	1	0	リード (ロングワード)
1	1	0	0	ライト (バイト)
1	1	0	1	ライト (ワード)
1	1	1	0	ライト (ロングワード)
x	x	1	1	コマンドエラー

### (2) バスエラー条件

1.  $4n+1$ 、 $4n+3$ 番地にワードアクセス
2.  $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス
3. SuperHywayバスよりエラーレスポンスを受信

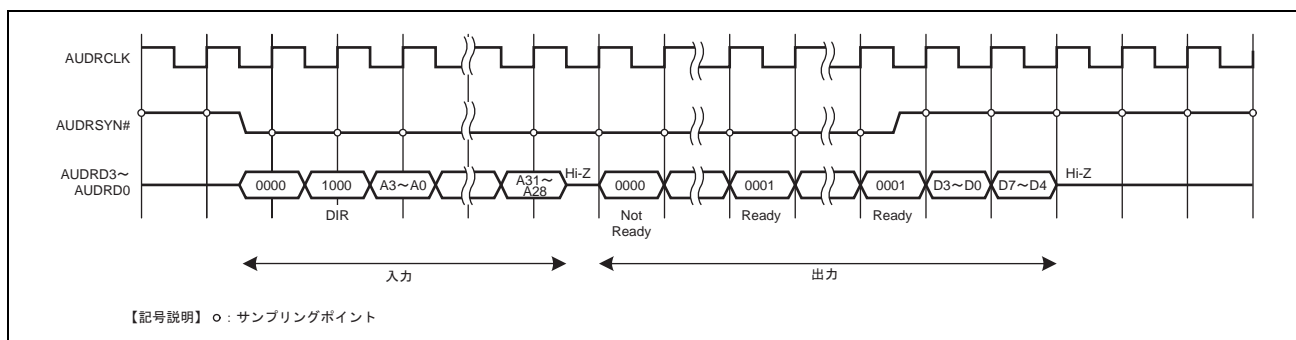


図 36.5 リード動作例 (バイトリード)

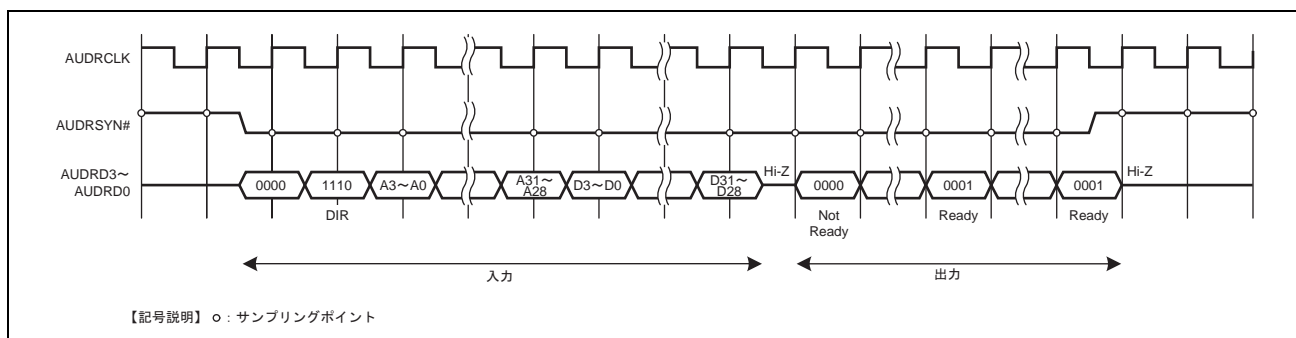


図 36.6 ライト動作例 (ロングワードライト)

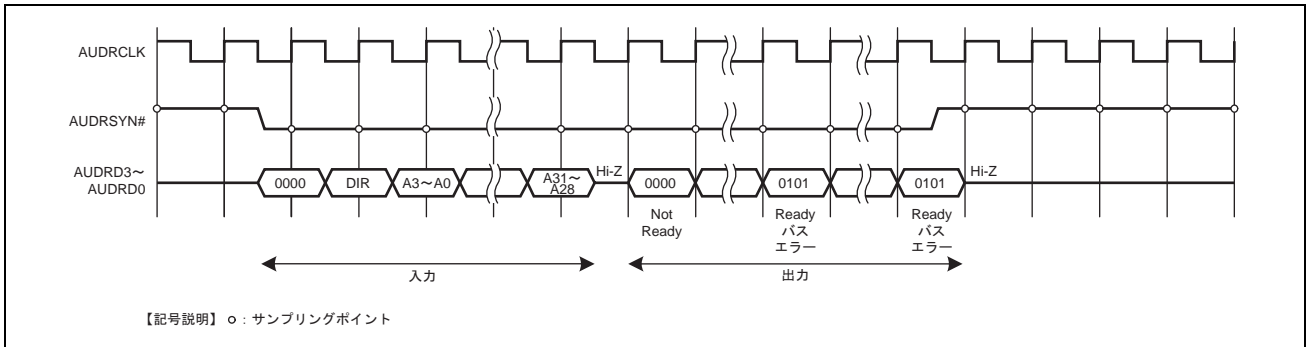


図 36.7 エラー発生例 (ロングワードリード)

### 36.5.3 AUDRD データフォーマットの説明

AUDRD 端子に入力される AUDRD のフォーマットの内容について説明します。

#### (1) 入力フォーマット

表 36.6 入力フォーマットのビット配置

入力順	フォーマット名	ビット配置				○ : 必要、- : 不要			
		AUDRD3	AUDRD2	AUDRD1	AUDRD0	リード時	バイト ライト時	ワード ライト時	ロング ワード ライト時
先 ↓ 後	リザーブビット	aux3	aux2	aux1	aux0	○	○	○	○
	DIR コマンド	IT	RW	SI21	SI20	○	○	○	○
	アドレス	A3	A2	A1	A0	○	○	○	○
		A7	A6	A5	A4	○	○	○	○
		A11	A10	A9	A8	○	○	○	○
		A15	A14	A13	A12	○	○	○	○
		A19	A18	A17	A16	○	○	○	○
		A23	A22	A21	A20	○	○	○	○
		A27	A26	A25	A24	○	○	○	○
		A31	A30	A29	A28	○	○	○	○
	データ (ライト時のみ)	D3	D2	D1	D0	-	○	○	○
		D7	D6	D5	D4	-	○	○	○
		D11	D10	D9	D8	-	-	○	○
		D15	D14	D13	D12	-	-	○	○
		D19	D18	D17	D16	-	-	-	○
		D23	D22	D21	D20	-	-	-	○
		D27	D26	D25	D24	-	-	-	○
	D31	D30	D29	D28	-	-	-	○	

## 36. AUD RAM モニタ (AUDR)

### • 予約ビット

ビット名	機能	内 容
aux3	将来拡張用	"0"に設定してください。
aux2	将来拡張用	"0"に設定してください。
aux1	将来拡張用	"0"に設定してください。
aux0	将来拡張用	"0"に設定してください。

【注】・他の設定を行ったときの動作は保証されません。

### • DIRコマンド

ビット名	機能	内 容
IT	アクセス空間を指定	"1"に設定してください*1。
RW	リード/ライトを指定	0：リード 1：ライト
SIZ[1:0]	アクセスサイズを指定	00：バイト（8ビット） 01：ワード（16ビット） 10：ロングワード（32ビット） 11：設定禁止

【注】 \*1 他の設定を行ったときの動作は保証されません。

### • アドレスフォーマット

ビット名	機能	内 容
A31~A0	アドレスを指定	アクセス先のアドレスを指定します。

### • データフォーマット（ライト時のみ）

ビット名	機能	内 容
D31~D0	ライトデータを指定	制御フィールドのRWビットおよびSIZ[1:0]ビットの指定により必要なビット数が変化します（詳細は表 36.6 を参照してください）。

## (2) Ready フラグフォーマット

表 36.4 を参照してください。

## (3) リードデータフォーマット (出力)

表 36.7 リードデータフォーマットのビット配置

出力順	ビット配置				○：必要、－：不要			
	AUDRD3	AUDRD2	AUDRD1	AUDRD0	バイト リード時	ワード リード時	ロング ワード リード時	ライト時
先 ↓ 後	D3	D2	D1	D0	○	○	○	－
	D7	D6	D5	D4	○	○	○	－
	D11	D10	D9	D8	－	○	○	－
	D15	D14	D13	D12	－	○	○	－
	D19	D18	D17	D16	－	－	○	－
	D23	D22	D21	D20	－	－	○	－
	D27	D26	D25	D24	－	－	○	－
	D31	D30	D29	D28	－	－	○	－

ビット名	機能	内 容
D31～D0	リードデータ出力	制御フィールドの RW ビットおよび SIZ[1:0]ビットの指定により出力されるビット数が変わります (詳細は表 36.7 を参照してください)。

## 36.5.4 RAM モニタ機能に関する使用上の注意事項

- AUDRSYN#端子は、AUDRD端子にコマンドが入力されて、Readyが返されるまではネゲートしないでください。



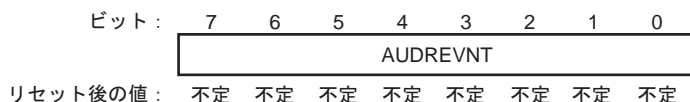
### 36.6 イベント検出機能

AUDR は AUDREVNT レジスタへのライトアクセスが発生したことを検知するイベント出力機能を持っています。イベント出力は"L"レベルが有効で、有効期間は 2Pck です。

#### 36.6.1 AUDR イベント発生レジスタ (AUDREVNT)

AUDR イベント発生レジスタ (AUDREVNT)

<P4領域アドレス: H'FE40 0008番地>



<リセット後の値: 不定>

ビット	シンボル	リセット後の値	R	W	説明
7~0	AUDREVNT	不定	?	W	本レジスタへ任意のデータを書き込むと、AUDREVT#端子により 2Pck の"L"レベルが出力されます。リード時は不定データが読み出されます。

【注】・複数のイベントが時間的に近接して発生した場合、AUDREVT#端子から出力される"L"レベルが 2Pck 分 (1 イベント分) しか出力されない場合があります。また、イベント発生状況により 2Pck 分の"L"レベルが連続して出力される場合があります。

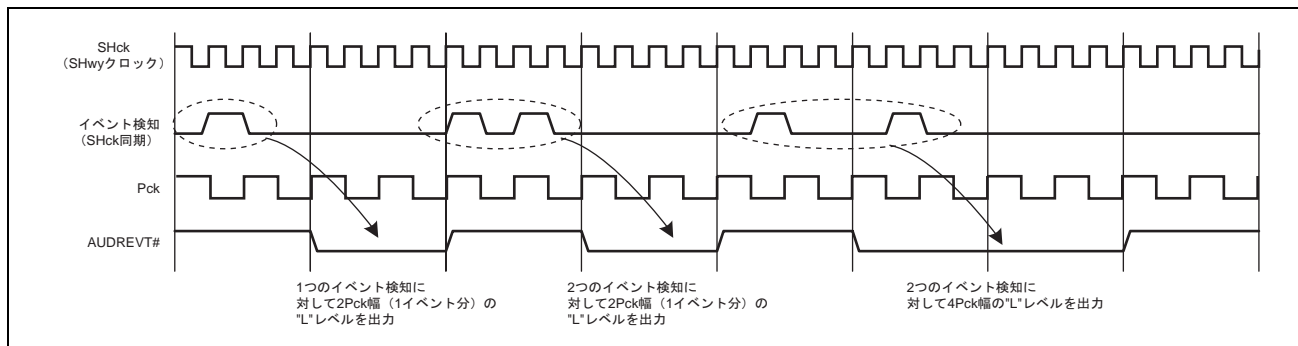


図 36.8 AUDR のイベント検知と AUDREVT#端子の動作

## 36.7 Configuration 情報保持機能

リセット時の AUDRD3~AUDRD0 端子の値を保持する機能です。

### 36.7.1 ブロック図

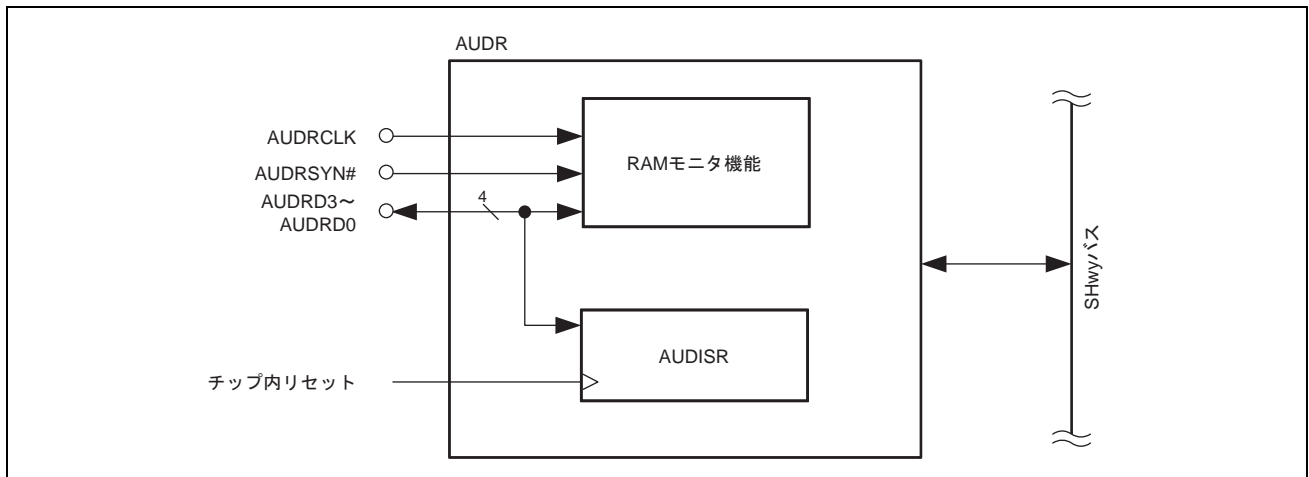
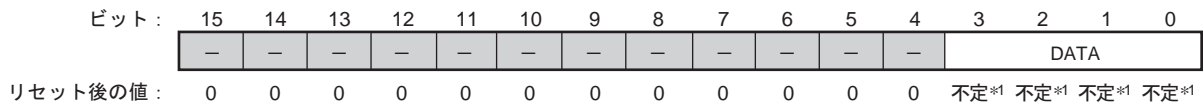


図 36.9 Configuration 情報保持機能ブロック図

### 36.7.2 AUDR Configuration 情報保持レジスタ (AUDISR)

AUDR Configuration 情報保持レジスタ (AUDISR)

<P4領域アドレス : H'FE40 0010番地>



<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
15~4	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
3~0	DATA	不定*1	R	-	リセット解除時の AUDRD3~AUDRD0 端子の値を保持します。AUDRD3~AUDRD0 端子はツール未接続時には外部でプルアップが必要です。

【注】 \*1 リセット解除時の端子の状態により値が確定します。

### 36.7.3 動作説明

リセット後の AUDRD 端子の値を AUDISR レジスタに保持します。

### 36.8 同期通信 (メッセージボード) 機能

CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレジスタです。本機能のレジスタは CPU および AUDR の RAM モニタ機能でアクセス可能です。

#### 36.8.1 ブロック図

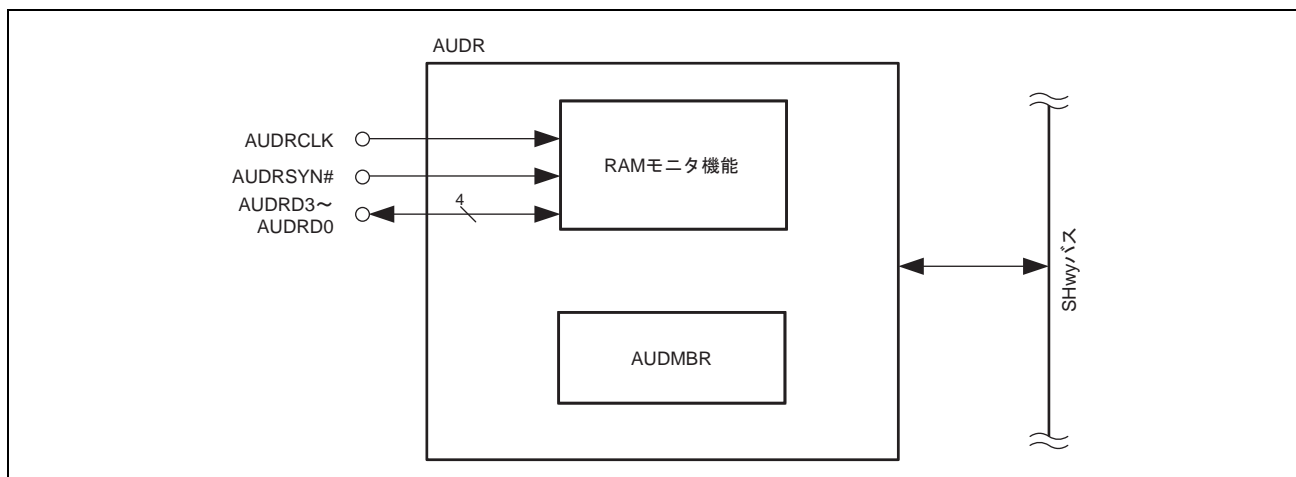


図 36.10 同期通信 (AUDR メッセージボードレジスタ) ブロック図

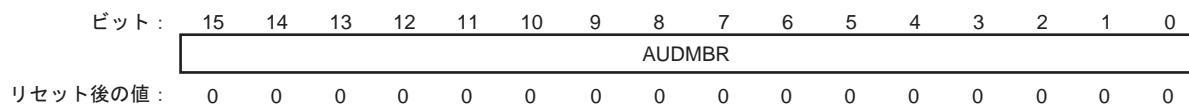
#### 36.8.2 AUDR メッセージボードレジスタ (AUDMBR)

AUDMBR レジスタは、AUDR による読み出しで全ビットがクリアされます。CPU による読み出しではクリアされません。

AUDR、CPU による書き込みが可能です。ただし、各ビットへは"1"のみ書き込み可能で"0"の書き込みは無視されます。AUDMBR レジスタは、AUDR による読み出しでも、ワード (16 ビット) 以外のサイズでアクセスされた場合はクリアされません。

AUDRメッセージボードレジスタ (AUDMBR)

<P4領域アドレス: H'FE40 0018番地>



<リセット後の値: H'0000>

ビット	シンボル	リセット後の値	R	W	説明
15~0	AUDMBR	すべて0	R	W	RAM モニタ、CPU 間通信用フラグ*1

【注】 \*1 表 36.8 にアクセス方法を示します。

表 36.8 AUDMBR レジスタのアクセス方法

ホスト	アクセス方向	アクセス可否	備考
AUDR	ライト	"1"のみ書き込み可能。"0"を書き込んだ場合は無視されます。	—
	リード	リード可	ワードサイズでのリード時 AUDMBR レジスタは読み出し 後にクリアされます。
CPU	ライト	"1"のみ書き込み可能。"0"を書き込んだ場合は無視されます。	—
	リード	リード可	クリア動作はありません。

### 36.8.3 同期通信機能に関する使用上の注意事項

#### (1) AUDR と CPU アクセスの競合について

AUDMBR レジスタは、CPU と AUDR (RAM モニタ機能) から、SHwy 経由でアクセス可能です。したがって、CPU と AUDR からのアクセスの排他制御は SHwy の機能としておのずと実現されます。

レイアウトの都合上、このページは白紙です。

---

## 37. ユーザデバッグインタフェース (H-UDI)

---

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

### 37.1 概要

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、TRST#、ASEBRK#/BRKACK) からなります。ASEBRK#/BRKACK 端子を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらに、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 MCU の H-UDI は、バウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、TRST#端子への"L"レベル入力によりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

H-UDI 回路は内部に TAP コントローラと、SDBPR レジスタ、SDBSR レジスタ、SDIR レジスタ、SDINT レジスタの計 4 本のレジスタを持ちます。SDBPR レジスタは JTAG のバイパスモードをサポートするためのレジスタ、SDBSR レジスタは JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR レジスタはコマンド用のレジスタ、SDINT レジスタは H-UDI 割り込み用のレジスタです。SDIR レジスタは TDI 端子と TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、TRST#端子を"L"レベルにするか、TMS 端子を"H"レベルに設定して TCK 信号を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

図 37.1 に H-UDI のブロック図を示します。

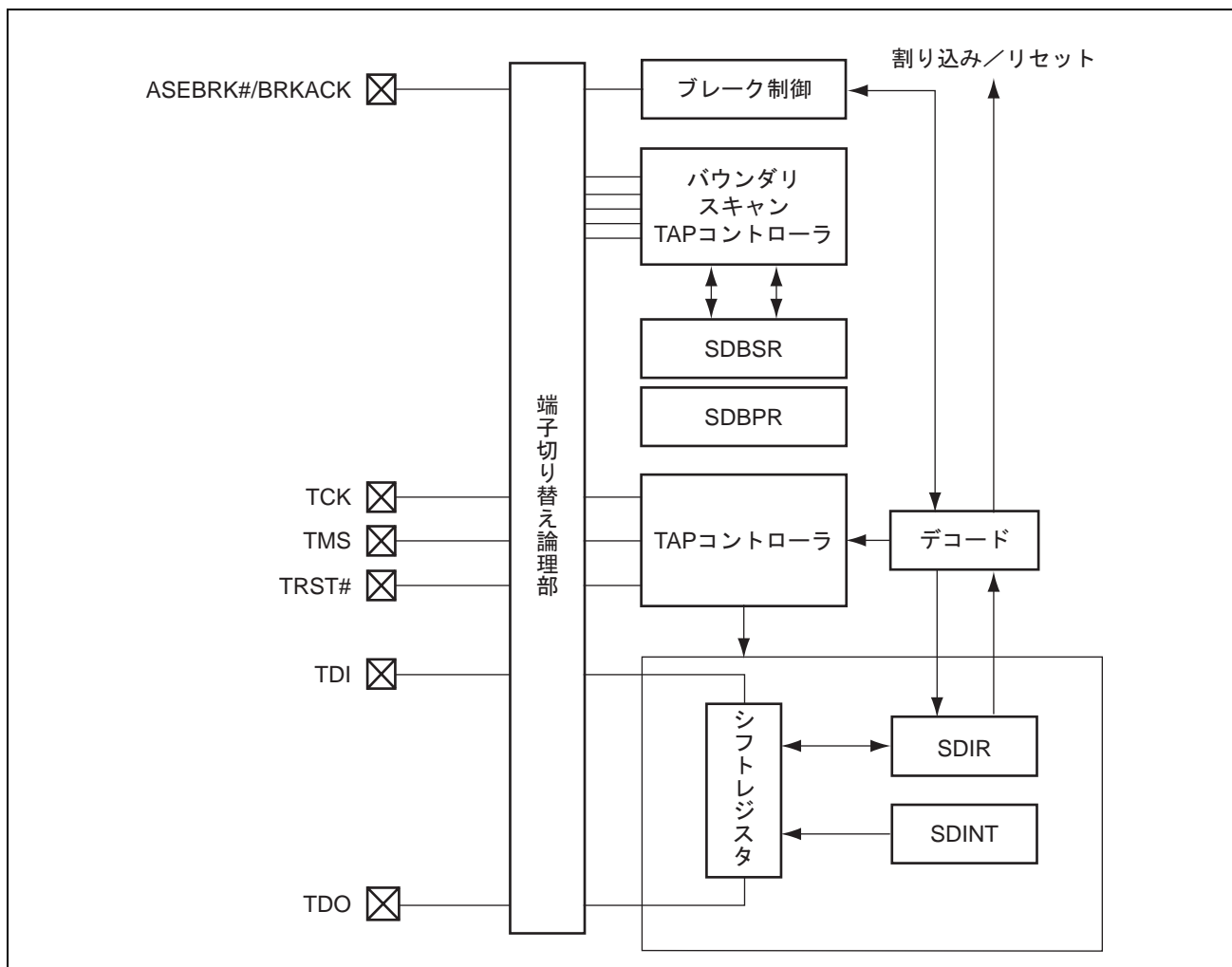


図 37.1 H-UDI のブロック図

## 37.2 入出力端子

表 37.1 に H-UDI の端子構成を示します。

以下に示す端子は他の端子とマルチプレクスされていません。

表 37.1 端子構成

端子名	入出力	機能	未使用時
TCK	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	プルアップ
TMS	入力	モードセレクト入力端子です。TCK 信号に同期してこの信号を変化させることで、TDI 端子から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	プルアップ
TRST# <sup>*2</sup>	入力	H-UDI をリセットする入力端子です。TCK 信号とは非同期に受け付け、"L"レベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST#を一定期間"L"レベルにしなければなりません。これは IEEE の規格と異なります。	<sup>*3</sup>
TDI	入力	データ入力端子です。TCK 信号に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	プルアップ
TDO	出力	データ出力端子です。TCK 信号に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	プルアップ またはオープン
ASEBRK#/BRKACK	入出力	エミュレータ専用の端子です。	プルアップ
MPMD	入力	エミュレーションサポートモードとして動作させる (MPMD="L"レベル) か、通常動作モードとして動作させる (MPMD="H"レベル) かを指定します。	オープン <sup>*1</sup>

【注】 \*1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、または H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

\*2 エミュレータを使用可能なボードを設計する場合または H-UDI 経由で割り込み/リセットを利用する場合は、電源投入時に RESET#と重複する期間 TRST#を"L"レベルにし、かつ TRST#単独でも制御可能となるようにしてください。

\*3 0~100kΩの抵抗を介して Vss に接続または RESET#接続してください。

TCK (TMS、TDI、TDO) の周波数は本 MCU の内蔵周辺クロックの周波数より低くなるように設定を行ってください。製品として保証する動作周波数の上限は、「第 38 章 電気的特性」を参照してください。



### 37.3 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ)

本 MCU の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、TRST#端子への"L"レベル入力によりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 MCU の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL) はバウンダリスキャンの対象から外れます。
- リセット関連信号 (RESET#) はバウンダリスキャンの対象から外れます。
- H-UDI関連信号 (TCK、TDI、TDO、TMS、TRST#、MPMD) はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、CLAMP、HIGHZ、H-UDI 切り替えコマンド) 実行時、TCKの最大周波数は2MHzです。
- H-UDI側 (外部コントローラ) からバウンダリスキャンTAPコントローラへのアクセスサイズは4ビットです。

以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】・ バウンダリスキャン時、RESET#端子を"L"レベル固定にしてください。また、図 37.2 にバウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを示します。

表 37.2 バウンダリスキャン TAP コントローラのサポートコマンド

ビット3	ビット2	ビット1	ビット0	説明
1	1	1	1	BYPASS
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	1	0	0	IDCODE
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
0	0	1	1	H-UDI 切り替えコマンド
上記以外				予約 (BYPASS)

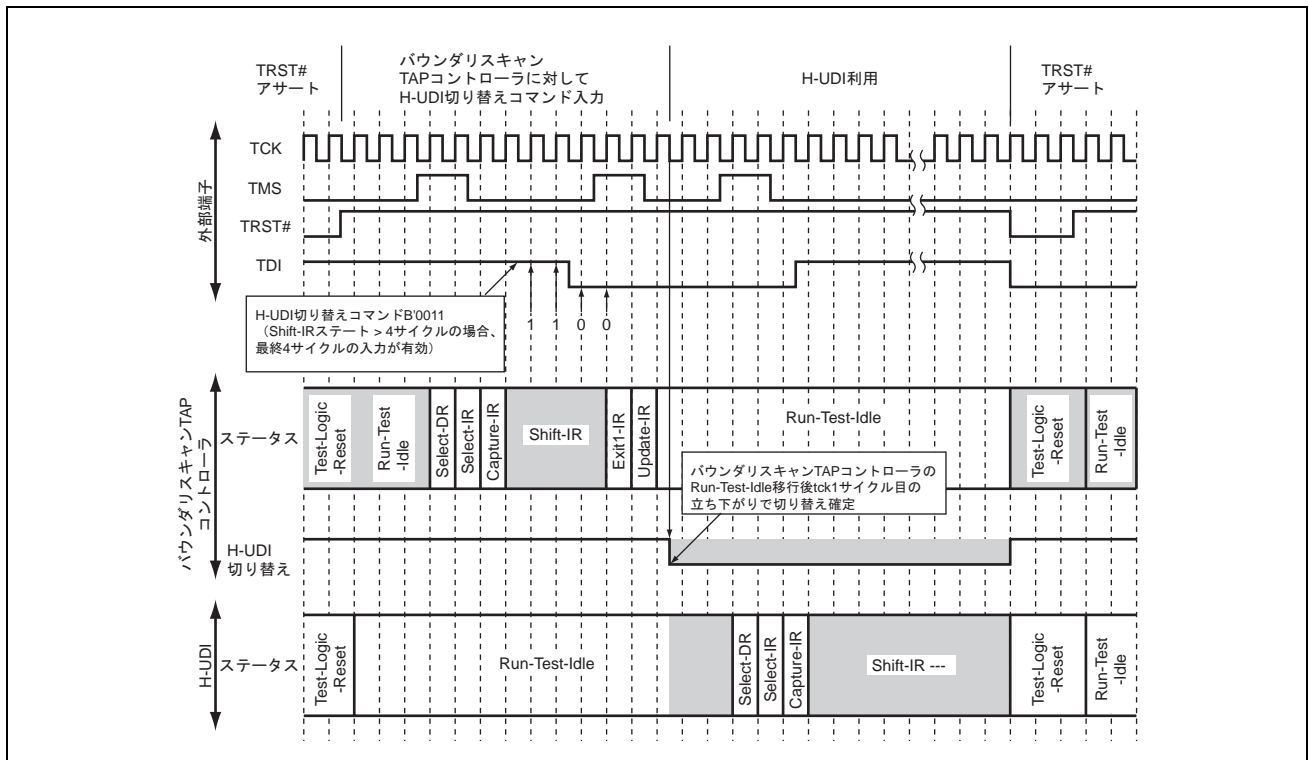


図 37.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

## 37.4 レジスタの説明

表 37.3、表 37.4 に H-UDI のレジスタ構成を示します。

表 37.3 レジスタ構成 (1)

レジスタ名	シンボル	CPU 側			
		リセット後の値* <sup>1</sup>	P4 領域 アドレス	アクセス サイズ	掲載 ページ
インストラクションレジスタ	SDIR	H'0EFF	H'FC11 0000	16	37-7
割り込み要因レジスタ	SDINT	H'0000	H'FC11 0018	16	37-8
バウンダリスキャンレジスタ	SDBSR	—	—	—	37-9
バイパスレジスタ	SDBPR	不定	—	—	37-8

【注】 \*1 TRST#端子が"L"レベルまたは TAP が Test-Logic-Reset 状態で初期化されます。

- ・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 37.4 レジスタ構成 (2)

レジスタ名	シンボル	H-UDI 端子側	
		リセット後の値* <sup>1</sup>	アクセスサイズ
インストラクションレジスタ	SDIR	H'FFFF FFFD (固定値* <sup>2</sup> )	32
割り込み要因レジスタ	SDINT	H'0000 0000	32
バウンダリスキャンレジスタ	SDBSR	—	—
バイパスレジスタ	SDBPR	不定	1

【注】 \*1 TRST#端子が"L"レベルまたは TAP が Test-Logic-Reset 状態で初期化されます。

- \*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

## 37.4.1 インストラクションレジスタ (SDIR)

シリアル入力端子 (TDI) から値 (コマンド) をセットします。TRST#または TAP の Test Logic Reset ステータスで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。また、予約となっているコマンドをセットした場合の動作は保証しません。

インストラクションレジスタ (SDIR)

<P4領域アドレス : H'FC11 0000番地>

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								-	-	-	-	-	-	-	-
リセット後の値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1

<リセット後の値 : H'0EFF>

ビット	シンボル	リセット後の値	R	W	説明
15~8	TI	00001110	R	-	テストインストラクションビット 0110xxxx : H-UDI リセットのネゲート 0111xxxx : H-UDI リセットのアサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて1	1	1	予約ビット 読み出すと常に"1"が読み出されます。書き込む値も常に"1"にしてください。

【注】・ H-UDI リセットを行っても、クロック発振器 (CPG) およびウォッチドッグタイマ (WDT) は初期化されません。

## 37.4.2 割り込み要因レジスタ (SDINT)

H-UDI 端子側からは、SDIR レジスタに「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが"1"になります。SDIR レジスタが「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI 端子と TDO 端子の間に SDINT レジスタが接続され、32 ビットのレジスタとして読み出し可能です。その場合、上位 16 ビットが"H'00"に、下位 16 ビットが SDINT レジスタになります。

CPU 側からは INTREQ ビットに"0"を書き込むことしかできません。INTREQ ビットが"1"の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず"0"にクリアするようにしてください。このレジスタ値は TRST#または TAP の Test Logic Reset ステートで初期状態になります。

割り込み要因レジスタ (SDINT)

&lt;P4領域アドレス : H'FC11 0018番地&gt;

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

&lt;リセット後の値 : H'0000&gt;

ビット	シンボル	リセット後の値	R	W	説明
15~1	—	すべて 0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
0	INTREQ	0	R	W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からは INTREQ ビットに"0"を書き込むことにより割り込み要求をクリアできます。INTREQ ビットに"1"を書き込んだ場合は、直前の値を保持します。

## 37.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。バウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI 端子と TDO 端子の間に SDBPR レジスタが接続されます。すべての動作モードで CPU からのアクセスはできません。本レジスタはハードウェアリセットまたは TRST#信号のアサートでも初期化されません。ただし、Capture-DR ステートでは"0"に初期化されます。

#### 37.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD コマンド、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格に準拠したバウンダリスキャンテストを行うことができます。すべての動作モードで CPU からのアクセスはできません。本レジスタはハードウェアリセットまたは TRST#端子への "L" レベル入力でも初期化されません。

## 37.5 動作説明

## 37.5.1 TAP 制御

図 37.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCK信号の立ち上がりエッジにおけるTMS値です。
- TDI値はTCK信号の立ち上がりエッジでサンプリングし、TCK信号の立ち下がりエッジでシフトします。
- TDO値はTCK信号の立ち下がりエッジで変化します。また、TDO信号は、Shift-DR、Shift-IR ステート以外ではハイインピーダンス状態です。
- TRST#="0"への遷移でTCK信号とは非同期でTest-Logic-Reset状態へ遷移します。

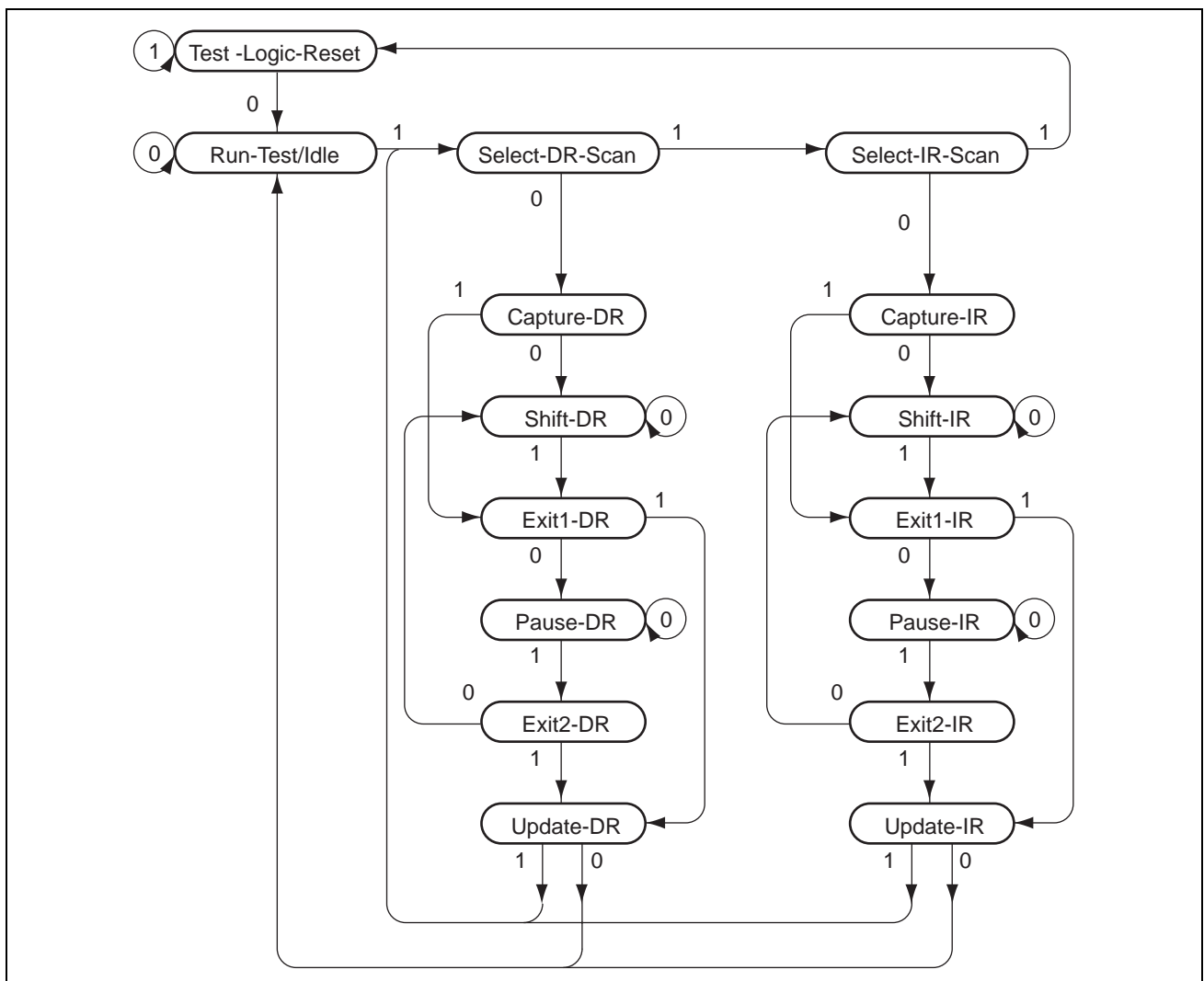


図 37.3 TAP 制御状態遷移図

### 37.5.2 H-UDI リセット

H-UDI コマンド (SDIR) によりハードウェアリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます (図 37.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、ハードウェアリセットをかけるためにリセット端子を"L"レベルに保つ時間と同じです。

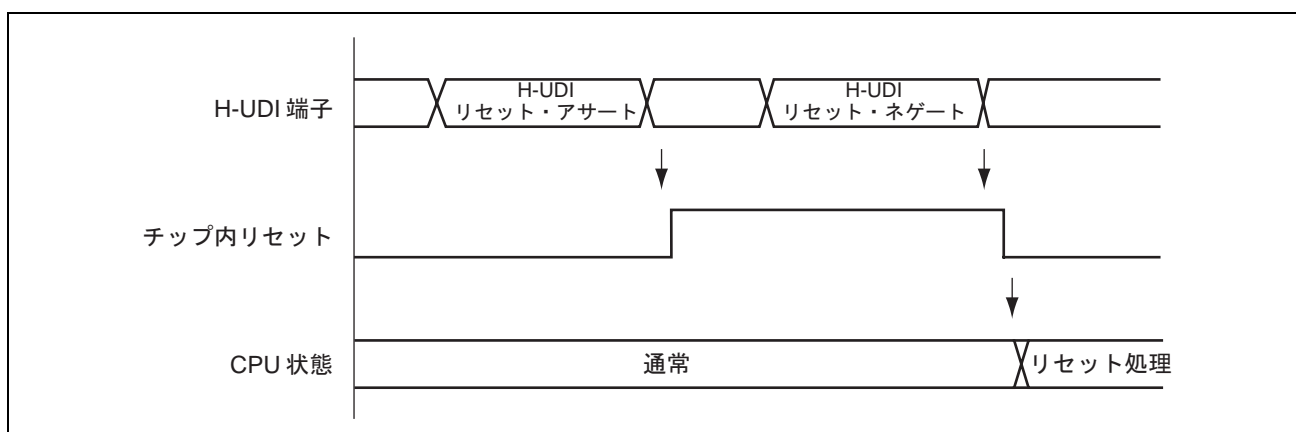


図 37.4 H-UDI リセット

### 37.5.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR レジスタにコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが"1"になることにより出力されます (内部信号)。ソフトウェアにより INTREQ ビットに"0"を書き込まないかぎり割り込み要求はクリアされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR レジスタにセットされている間は、TDI 端子と TDO 端子の間に SDINT レジスタが接続されます。

## 37.6 使用上の注意事項

一度設定した SDIR コマンドは、TRST#端子への"L"レベル入力または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まないかぎり変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。



レイアウトの都合上、このページは白紙です。

## 38. 電气的特性

### 38.1 絶対最大定格

表 38.1 に絶対最大定格を示します。

表 38.1 絶対最大定格

項目		記号	定格値	単位	備考
電源電圧	Vdd	Vdd	-0.3~+2.0	V	
	Vcc、PLLVcc	Vcc	-0.3~+6.5	V	
入力電圧	Vcc 電源関連端子	Vin	-0.3~Vcc+0.3	V	
アナログ電源電圧		AVcc	-0.3~+6.5	V	
アナログ基準電圧		AVREFH	-0.3~AVcc+0.3	V	AVREFH>AVREFL
		AVREFL	-0.3~AVss+0.3	V	
アナログ入力電圧		VAN	-0.3~AVcc+0.3	V	
Vss 差動電圧		Vss-PLLVss	-0.1~+0.1	V	
		Vss-AVss	-0.1~+0.1	V	
		PLLVss-AVss	-0.1~+0.1	V	
最大入力電流* <sup>2</sup> (1 端子当たり)	デジタル入力端子	I <sub>max</sub>	-20~+20	mA	
	アナログ入力端子	I <sub>max</sub>	-20~+20	mA	
消費電力		P <sub>d</sub>	1000	mW	T <sub>a</sub> =-40°C~+125°C
動作温度* <sup>1</sup>		topr	-40~+125	°C	
保存温度		tstg	-55~+125	°C	実装前

#### 【使用上の注意】

絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での MCU の使用は MCU の永久破壊、MCU を実装したシステムへのダメージを生じる場合があります。

【注】 \*1 85°Cを超える連続動作を保証するものではありません。85°Cを超える応用を検討されているお客様は弊社までお問い合わせください。

\*2 電流注入時間の最大は 10ms 以内、合計は 100mA 以内としてください。

## 38. 電気的特性

---

### 38.2 DC 特性

表 38.2～表 38.15 に DC 特性を示します。

表 38.2 DC 特性（電源電圧）

記号	Min.	Typ.	Max.	単位
Vdd	1.4	1.5	1.65	V
Vcc	3.0	3.3	3.6	V
	4.5	5.0	5.5	V
PLLVcc	3.0	3.3	3.6	V
	4.5	5.0	5.5	V
AVcc	3.0	3.3	3.6	V
	4.5	5.0	5.5	V
AVREFH* <sup>1</sup>	3.0	3.3	3.6	V
	4.5	5.0	5.5	V

【注】 \*1 AVcc を超えない値を設定してください。

・各電源電圧の組み合わせは、表 34.2 を参照してください。

表 38.3 DC 特性 (入力電圧 : 5.0V 使用時)

推奨動作条件 :  $V_{cc}=PLL_{Vcc}=5.0V \pm 0.5V$ 、 $AV_{cc}=5.0V \pm 0.5V$ 

項目				記号	定格値			単位	測定条件
					Min.	Typ.	Max.		
"H"レベル 入力電圧	しきい値切り 替え機能があ る端子* <sup>1</sup>	Vcc 電源端子 CMOS 入力 選択時	しきい値選択 : 0.35Vcc	V <sub>IH</sub>	0.45Vcc		Vcc	V	
			しきい値選択 : 0.5Vcc		0.6Vcc		Vcc	V	
			しきい値選択 : 0.7Vcc		0.8Vcc		Vcc	V	
		Vcc 電源端子 シュミット入力 選択時	VT+/VT- : 0.5Vcc/0.35Vcc		0.6Vcc		Vcc	V	
			VT+/VT- : 0.7Vcc/0.35Vcc		0.8Vcc		Vcc	V	
			VT+/VT- : 0.7Vcc/0.5Vcc		0.8Vcc		Vcc	V	
	しきい値切り 替え機能がな い端子	(Vcc 電源端子) PG0~3、PJ1、PJ3~5、TCK		0.6Vcc		Vcc	V		
		(AVcc 電源端子) PM0、PM2、PM4、PM6、 PM8~15、PN0、PN1、PN4、PN5		0.6AVcc		AVcc	V		
		NMI、FWE、MD0~MD2、MPMD、DET3OR5、 TRST#、TMS、TDI、ASEBRK#/BRKACK、 RESET#		0.8Vcc		Vcc	V		
		EXTAL		0.7Vcc		Vcc	V		

### 38. 電气的特性

項目				記号	定格値			単位	測定条件
					Min.	Typ.	Max.		
"L"レベル 入力電圧	しきい値切り 替え機能があ る端子*1	Vcc 電源端子 CMOS 入力 選択時	しきい値選択 : 0.35Vcc	V <sub>IL</sub>	0		0.25Vcc	V	
			しきい値選択 : 0.5Vcc		0		0.4Vcc	V	
			しきい値選択 : 0.7Vcc		0		0.6Vcc	V	
		Vcc 電源端子 シュミット入力 選択時	VT+/VT- : 0.5Vcc/0.35Vcc		0		0.25Vcc	V	
			VT+/VT- : 0.7Vcc/0.35Vcc		0		0.25Vcc	V	
			VT+/VT- : 0.7Vcc/0.5Vcc		0		0.4Vcc	V	
	しきい値切り 替え機能がな い端子	(Vcc 電源端子) PG0~3, PJ1, PJ3~5, TCK			0		0.4Vcc	V	
		(AVcc 電源端子) PM0, PM2, PM4, PM6, PM8~15, PN0, PN1, PN4, PN5			0		0.4AVcc	V	
		NMI, FWE, MD0~MD2, MPMD, DET3OR5, TRST#, TMS, TDI, ASEBRK#/BRKACK, RESET#			0		0.25Vcc	V	
		EXTAL			0		0.125Vcc	V	

【注】 \*1 PF4、PF5 で SDA、SCL を選択した場合、V<sub>IH</sub> は 0.7Vcc 固定、V<sub>IL</sub> は 0.3Vcc 固定です。

表 38.4 DC 特性 (出力電圧 : 5.0V 使用時)

推奨動作条件 :  $V_{CC}=PLL V_{CC}=5.0V \pm 0.5V$ 、 $AV_{CC}=5.0V \pm 0.5V$ 

項目	記号	定格値			単位	測定条件	
		Min.	Typ.	Max.			
出力"H"レベル電圧 (通常出力およびドライブ能力増加)* <sup>1</sup>	PA0~PA13、PB0、PB1、PB3、PC0~PC3、 PC5、PC6、PC14、PD0~PD10、PE15、 PF0、PF1、PF4、PF5、PG0~PG4、 PH0~PH15、PJ0~PJ7、PJ10~PJ15、 PK0、PK5、PK6、PK8~PK14、PL2~PL6、 PL8、PL9  WDTOVF#、ASEBRK#/BRKACK  TDO	V <sub>OH</sub>	V <sub>CC</sub> -0.5	-	-	V	I <sub>OH</sub> =200μA
			V <sub>CC</sub> -1.0	-	-	V	I <sub>OH</sub> =1mA
		V <sub>CC</sub> -0.5	-	-	V	I <sub>OH</sub> =200μA	
			V <sub>CC</sub> -1.0	-	-	V	I <sub>OH</sub> =1mA
		V <sub>CC</sub> -0.5	-	-	V	I <sub>OH</sub> =200μA	
			V <sub>CC</sub> -1.0	-	-	V	I <sub>OH</sub> =1mA
出力"L"レベル電圧 (通常出力およびドライブ能力増加)* <sup>1</sup>	PA0~PA13、PB0、PB1、PB3、PC0~PC3、 PC5、PC6、PC14、PD0~PD10、PE15、 PF0、PF1、PF4、PF5、PG0~PG4、 PH0~PH15、PJ0~PJ7、PJ10~PJ15、 PK0、PK5、PK6、PK8~PK14、PL2~PL6、 PL8、PL9  WDTOVF#、ASEBRK#/BRKACK  TDO	V <sub>OL</sub>	-	-	0.4	V	I <sub>OL</sub> =1.6mA
			-	-	1.2	V	I <sub>OL</sub> =4mA
			-	-	0.4	V	I <sub>OL</sub> =1.6mA
			-	-	1.2	V	I <sub>OL</sub> =4mA
			-	-	0.4	V	I <sub>OL</sub> =1.6mA
			-	-	1.2	V	I <sub>OL</sub> =4mA

【注】 \*1 ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応ビットを"0"および"1"にした場合。

38. 電気的特性

表 38.5 DC 特性 (入力電圧 : 3.3V 使用時)

推奨動作条件 :  $V_{cc}=PLL_{Vcc}=3.3V \pm 0.3V$ 、 $AV_{cc}=3.3V \pm 0.3V$

項目				記号	定格値			単位	測定条件
					Min.	Typ.	Max.		
"H"レベル 入力電圧	しきい値切り 替え機能があ る端子*1	Vcc 電源端子 CMOS 入力 選択時	しきい値選択 : 0.35Vcc	VIH	0.5Vcc		Vcc	V	
			しきい値選択 : 0.5Vcc		0.65Vcc		Vcc	V	
			しきい値選択 : 0.7Vcc		0.8Vcc		Vcc	V	
		Vcc 電源端子 シュミット入力 選択時	VT+/VT- : 0.5Vcc/0.35Vcc		0.65Vcc		Vcc	V	
			VT+/VT- : 0.7Vcc/0.35Vcc		0.8Vcc		Vcc	V	
			VT+/VT- : 0.7Vcc/0.5Vcc		0.8Vcc		Vcc	V	
	しきい値切り 替え機能がな い端子	(Vcc 電源端子) PG0~3、PJ1、PJ3~5、TCK		0.65Vcc		Vcc	V		
		(AVcc 電源端子) PM0、PM2、PM4、PM6、 PM8~15、PN0、PN1、PN4、PN5		0.65AVcc		AVcc	V		
		NMI、FWE、MD0~MD2、MPMD、DET3OR5、 TRST#、TMS、TDI、ASEBRK#/BRKACK、 RESET#		0.8Vcc		Vcc	V		
		EXTAL		0.7Vcc		Vcc	V		

項目				記号	定格値			単位	測定条件
					Min.	Typ.	Max.		
"L"レベル 入力電圧	しきい値切り 替え機能があ る端子*1	Vcc 電源端子 CMOS 入力 選択時	しきい値選択 : 0.35Vcc	V <sub>IL</sub>	0		0.2Vcc	V	
			しきい値選択 : 0.5Vcc		0		0.35Vcc	V	
			しきい値選択 : 0.7Vcc		0		0.5Vcc	V	
		Vcc 電源端子 シュミット入力 選択時	VT+/VT- : 0.5Vcc/0.35Vcc		0		0.2Vcc	V	
			VT+/VT- : 0.7Vcc/0.35Vcc		0		0.2Vcc	V	
			VT+/VT- : 0.7Vcc/0.5Vcc		0		0.35Vcc	V	
	しきい値切り 替え機能がな い端子	(Vcc 電源端子) PG0~3, PJ1, PJ3~5, TCK			0		0.35Vcc	V	
		(AVcc 電源端子) PM0, PM2, PM4, PM6, PM8~15, PN0, PN1, PN4, PN5			0		0.35AVcc	V	
		NMI, FWE, MD0~MD2, MPMD, DET3OR5, TRST#, TMS, TDI, ASEBRK#/BRKACK, RESET#			0		0.2Vcc	V	
		EXTAL			0		0.2Vcc	V	

【注】 \*1 PF4、PF5 で SDA、SCL を選択した場合、V<sub>IH</sub> は 0.7Vcc 固定、V<sub>IL</sub> は 0.3Vcc 固定です。



### 38. 電気的特性

表 38.6 DC 特性（出力電圧：3.3V 使用時、ドライブ能力を"増加"に設定した場合）

推奨動作条件：Vcc=PLL Vcc=3.3V±0.3V、AVcc=3.3V±0.3V

項目	記号	定格値			単位	測定条件
		Min.	Typ.	Max.		
出力"H"レベル電圧 (ドライブ能力"増加") *1	VoH	Vcc-0.5	—	—	V	IOH=200 μA
出力"L"レベル電圧 (ドライブ能力"増加") *1	VoL	—	—	0.4	V	IOL=1.6mA

【注】 \*1 ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを "1"にした場合。

表 38.7 DC 特性（出力電圧：3.3V 使用時、"通常出力"に設定した場合）

推奨動作条件：Vcc=PLL Vcc=3.3V±0.3V、AVcc=3.3V±0.3V

項目	記号	定格値			単位	測定条件	
		Min.	Typ.	Max.			
出力"H"レベル電圧 (“通常出力”) *1	VoH	Vcc-1.1	—	—	V	IOH=200 μA	
		WDTOVF#, ASEBRK#/BRKACK	Vcc-1.1	—	—	V	IOH=200 μA
		TDO	Vcc-0.5	—	—	V	IOH=200 μA
出力"L"レベル電圧 (“通常出力”) *1	VoL	—	—	0.9	V	IOL=1.6mA	
		WDTOVF#, ASEBRK#/BRKACK	—	—	0.9	V	IOL=1.6mA
		TDO	—	—	0.4	V	IOL=1.6mA

【注】 \*1 ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを "0"にした場合。

表 38.8 DC 特性（入力リーク電流）

推奨動作条件：Vcc=PLLvcc=5.0V±0.5V/3.3V±0.3V、AVcc=5.0V±0.5V/3.3V±0.3V

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	RESET#、NMI、EXTAL、 TRST#、TCK、TMS、TDI、 ASEBRK#/BRKACK、 PA0~PA13、PB0、PB1、PB3、 PC0~PC3、PC5、PC6、PC14、 PD0~PD10、PE15、PF0、PF1、 PF4、PF5、PG0~PG4、 PH0~PH15、PJ0~PJ7、 PJ10~PJ15、PK0、PK5、PK6、 PK8~PK14、PL2~PL6、PL8、 PL9	lin	—	—	2.0	μA	Vin = 0.3V~Vcc-0.3V
	PM0、PM2、PM4、PM6、 PM8~PM15、PN0、PN1、 PN4、PN5 (機能1：ポート選択時)		—	—	2.0	μA	Vin = 0.3V~AVcc-0.3V
	PM0、PM2、PM4、PM6、 PM8~PM15、PN0、PN1、 PN4、PN5 (機能2：アナログ入力選択時)		—	—	2.0	μA	Vin = 0.3V~AVcc-0.3V

表 38.9 DC 特性（プルアップ/プルダウン MOS 電流：入力電圧 5.0V 時）

推奨動作条件：Vcc=PLLvcc=5.0V±0.5V

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	MPMD、DET3OR5	-lpu	50	—	300	μA	Vin=0V
入力プルダウン MOS 電流	MD0~MD2、FWE	lpd	50	—	300	μA	Vin=Vcc

【注】・プルアップ/プルダウン機能は上記の表に記載した端子のみにあります。

表 38.10 DC 特性（プルアップ/プルダウン MOS 電流：入力電圧 3.3V 時）

推奨動作条件：Vcc=PLLvcc=3.3V±0.3V

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	MPMD、DET3OR5	-lpu	10	—	150	μA	Vin=0V
入力プルダウン MOS 電流	MD0~MD2、FWE	lpd	10	—	150	μA	Vin=Vcc

【注】・プルアップ/プルダウン機能は上記の表に記載した端子のみにあります。

## 38. 電気的特性

表 38.11 DC 特性（許容出力電流）

推奨動作条件：V<sub>CC</sub>=PLL<sub>VCC</sub>=5.0V±0.5V/3.3V±0.3V、AV<sub>CC</sub>=5.0V±0.5V/3.3V±0.3V

項目	記号	Min.	Typ.	Max.	単位
出力"L"レベル許容電流（1端子当たり）	I <sub>OL</sub>	—	—	4.0	mA
出力"L"レベル許容電流	PA0~PA13、PB0、PB1、PB3、PC0~PC3、PC5、PC6、PC14、PD0~PD10、PE15、PF0、PF1、PF4、PF5、PG0~PG4 PH0~PH15、PJ0~PJ7、PJ10~PJ15、PK0、PK5、PK6、PK8~PK14、PL2~PL6、PL8、PL9	—	—	52.4	mA
		—	—	27.6	mA
出力"H"レベル許容電流（1端子当たり）	I <sub>OH</sub>	—	—	2.0	mA
出力"H"レベル許容電流	PA0~PA13、PB0、PB1、PB3、PC0~PC3、PC5、PC6、PC14、PD0~PD10、PE15、PF0、PF1、PF4、PF5、PG0~PG4 PH0~PH15、PJ0~PJ7、PJ10~PJ15、PK0、PK5、PK6、PK8~PK14、PL2~PL6、PL8、PL9	—	—	16.4	mA
		—	—	8.6	mA

表 38.12 DC 特性（注入電流）

推奨動作条件：Vcc=PLL Vcc=5.0V±0.5V/3.3V±0.3V、AVcc=5.0V±0.5V/3.3V±0.3V

項目		記号	Min.	Typ.	Max.	単位
DC 注入電流(1端子当たり)	ロジック	I <sub>ic</sub>	-1.0	—	1.0	mA
	アナログ		-0.1	—	0.1	mA
DC 注入電流	PA0~PA13、PB0、PB1、PB3、PC0~PC3、PC5、PC6、PC14、PD0~PD10、PE15、PF0、PF1、PF4、PF5、PG0~PG4	Σ I <sub>ic</sub>	—	—	25.6	mA
	PH0~PH15、PJ0~PJ7、PJ10~PJ15、PK0、PK5、PK6、PK8~PK14、PL2~PL6、PL8、PL9		—	—	17.2	mA
	PM0、PM2、PM4、PM6、PM8~PM15、PN0、PN1、PN4、PN5		—	—	7.2	mA

表 38.13 DC 特性（入力容量）

推奨動作条件：Vcc=PLL Vcc=5.0V±0.5V/3.3V±0.3V、AVcc=5.0V±0.5V/3.3V±0.3V

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力容量	C <sub>in</sub>	—	10	20	pF	V <sub>in</sub> = 0V、 f = 1MHz、 T <sub>a</sub> = 25°C

【注】・アナログ入力容量は表 38.36 を参照してください。

## 38. 電気的特性

表 38.14 DC 特性（消費電流）

推奨動作条件：Vcc=PLLVcc=5.0V±0.5V/3.3V±0.3V、AVcc=5.0V±0.5V/3.3V±0.3V

項目		記号	Min.	Typ.	Max.	単位	測定条件
コア消費電流（Vdd 電源）		I <sub>DD</sub>	—	—	480	mA	I <sub>ck</sub> = 160MHz
システム系の消費電流（Vcc 電源）* <sup>1</sup> （フラッシュメモリ書き込み/消去動作を含む）		I <sub>CC</sub>	—	—	90	mA	P <sub>ck</sub> = 40MHz
PLL 消費電流（PLLVcc 電源）		I <sub>PLL</sub>	—	—	10	mA	
アナログ電源電流 （AVcc 電源）	A/D 変換中	I <sub>AVcc</sub>	—	—	10	mA	2 モジュール、 P <sub>ck</sub> = 40MHz
	A/D 変換待機中		—	—	1	mA	
ADC 基準電源電流 （AVREF）	A/D 変換中	I <sub>AVREF</sub>	—	—	4	mA	2 モジュール、 P <sub>ck</sub> = 40MHz
	A/D 変換待機中		—	—	3.5	mA	

【注】 \*<sup>1</sup> 電源立ち上げ時に 100mA 程度の突入電流が発生します。

- ・ A/D 変換器を使用しないとき、AVcc 端子、AVREF 端子、AVss 端子を開放しないでください。
- ・ 消費電流値はすべての出力端子を無負荷状態で、V<sub>IHmin</sub> = V<sub>cc</sub> - 0.5V、V<sub>IL</sub> = 0.5V のときの値です。

表 38.15 DC 特性（出力負荷容量）

項目	記号	Min.	Max.	単位
出力負荷容量	CL	15	50	pF

### 38.3 AC 特性

- 指定のないタイミング条件は、  
 $V_{dd}=1.5V+0.15V, -0.1V$ 、 $V_{cc}=PLL V_{cc}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、  
 $A V_{cc}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $AV_{REFH}=4.5V\sim AV_{cc}/3.0V\sim AV_{cc}$ 、  
 $V_{ss}=PLL V_{ss}=AV_{ss}=AV_{REFL}=0V$ 、 $T_a=-40^{\circ}C\sim +125^{\circ}C$   
 です。

指定のない入力しきい値は、同一チャンネルにおけるモジュールの入力端子をすべて同じ特性で設定した条件の値です。

指定のない出力ドライブ能力については、同一チャンネルにおけるモジュールの出力端子をすべて同じドライブ能力で設定した条件の値です。

- 規格値は測定端子の出力負荷容量が $15pF\sim 50pF$ のときの保証値です。  
 ただし、CLKOUT端子は $15pF\sim 30pF$ です。

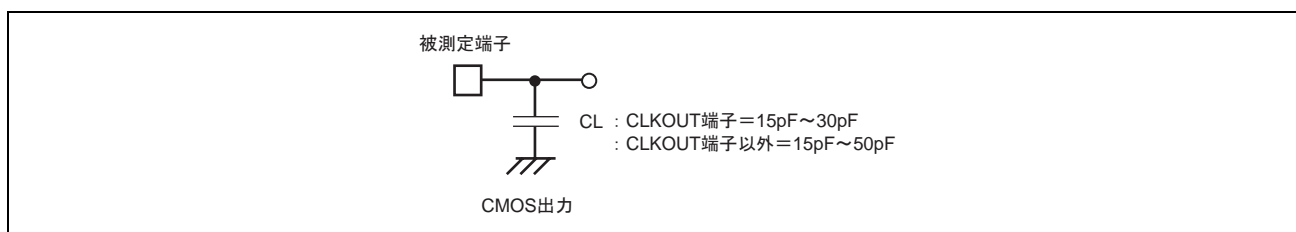


図 38.1 出カスイッチング特性測定回路

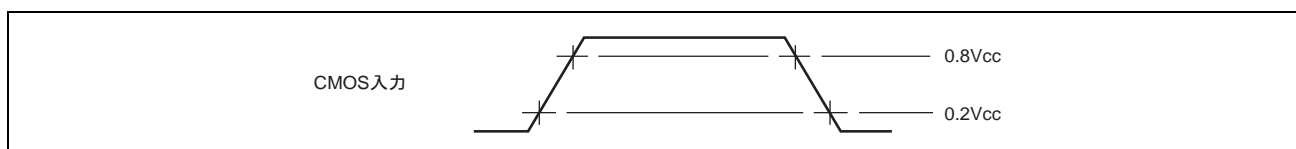


図 38.2 特性測定時入力波形とタイミング判定点

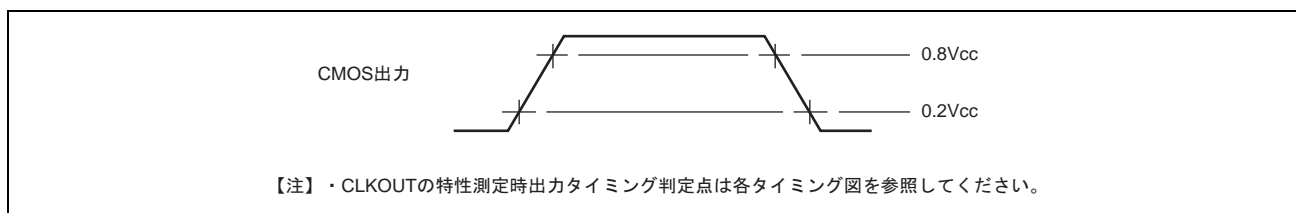


図 38.3 特性測定時出カタイミング判定点

## 38. 電気的特性

### 38.3.1 電源投入・切断タイミング

表 38.16 に電源投入・切断タイミングを示します。

表 38.16 電源投入・切断タイミング

項目	記号	Min.	Max.	単位	参照図
Vdd 投入時間	$t_{VDDS}$	10	—	$\mu\text{s}$	38.4
Vdd 切断時 Vcc ホールド時間	$t_{VDDH}$	—	0	$\mu\text{s}$	
電源立ち下げ時の Vcc 電圧	VCCL	0	1.0	V	
電源立ち上げ時の Vdd 電圧	VDDL	0	0.5	V	

- 【注】
- ・  $AV_{CC} \geq V_{CC}$  を満たしてください。満たせない場合は電流が流れる可能性があります。
  - ・ パワーオン、パワーオフ時も含め、常に  $AV_{REFH} \leq AV_{CC} + 0.3$  を満足する必要があります。

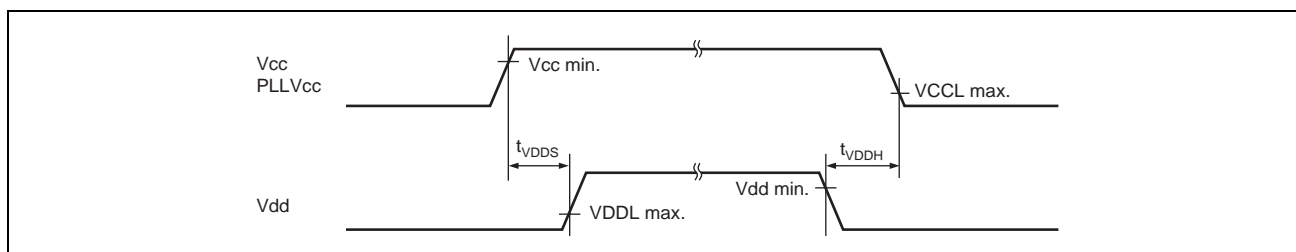


図 38.4 電源投入・切断タイミング

## 38.3.2 動作モードと発振タイミング

表 38.17 に動作モードと発振タイミングを示します。

表 38.17 動作モードと発振タイミング

項目	記号	Min.	Max.	単位	参照図
発振安定時間*1	tOSC1	10	—	ms	38.5
動作モードセットアップ時間 (スタートアップ時)	tMDS1	10	—	ms	
動作モードセットアップ時間 (動作中)	tMDS2	10	—	μs	
動作モードホールド時間 (リセット解除後)	tMDH1	30	—	μs	
動作モードホールド時間 (パワーオフ時)	tMDH2	0	—	ms	
リセット後の Vcc ホールド時間*2	tRES-VCCH	1	—	ms	
リセット後の Vdd ホールド時間*2	tRES-VDDH	1	—	ms	
RESET#パルス幅	tRESW	100	—	μs	38.6

【注】 \*1 発振安定時間 (tOSC1) は、発振回路の安定時間を含まない PLL 発振安定時間のみの規定値となります。外部発振子を含めた発振回路の安定時間につきましては、発振子メーカーとご相談のうえ決定頂き、電源立ち上げ時には発振回路の安定時間と PLL 発振安定時間の総和の期間において RESET#を入力してください。

\*2 tRES-VCCH および tRES-VDDH = 1ms (min.) は、内蔵フラッシュメモリの書き込み/消去時の規定になります。内蔵フラッシュメモリの書き込み/消去以外では、tRES-VCCH および tRES-VDDH = 0ms (min.) となります。

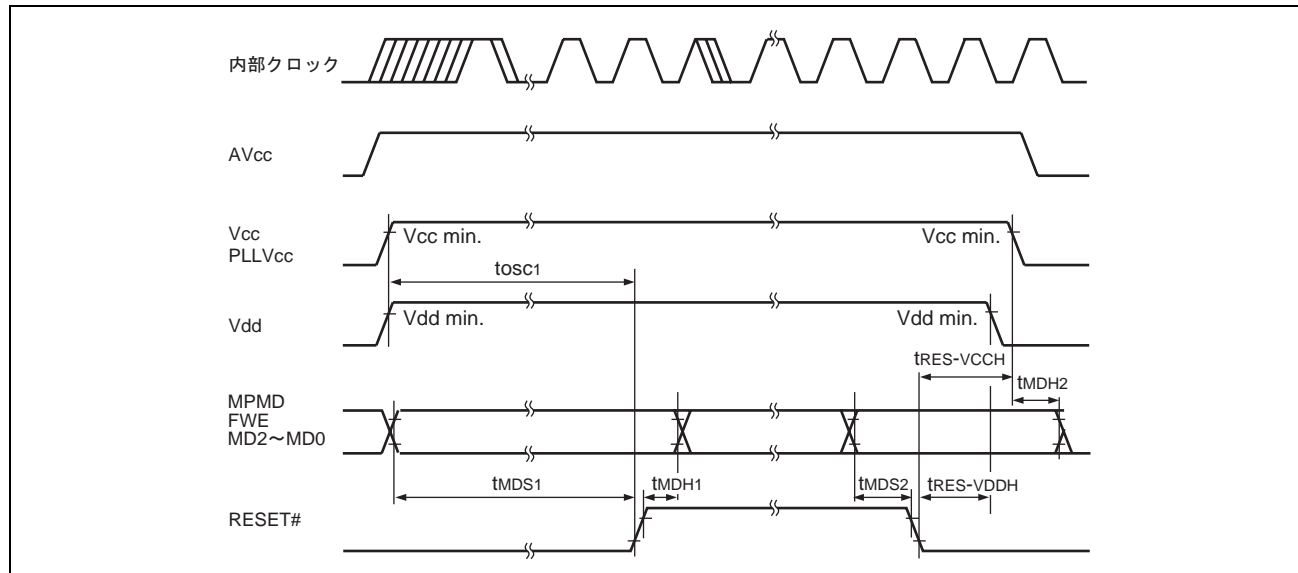


図 38.5 パワーオン/パワーオフ時の動作モードと発振タイミング



38. 電気的特性

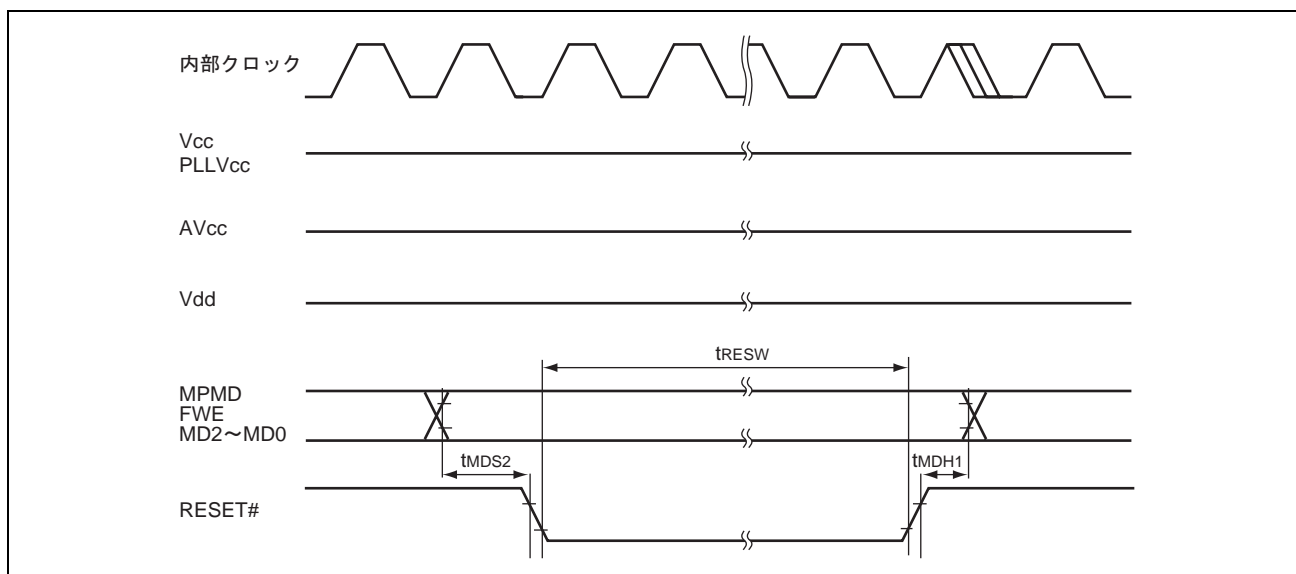


図 38.6 動作中の動作モードと発振タイミング

## 38.3.3 クロックタイミング

表 38.18 にクロックタイミングを示します。

表 38.18 クロックタイミング

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	$f_{EX}$	16	20	MHz	38.7
EXTAL クロック入力サイクル時間	$t_{EXcyc}$	50	62.5	ns	
EXTAL クロック入力"L"レベルパルス幅	$t_{EXL}$	15	—	ns	
EXTAL クロック入力"H"レベルパルス幅	$t_{EXH}$	15	—	ns	
EXTAL クロック立ち上がり時間	$t_{EXR}$	—	4	ns	
EXTAL クロック立ち下がり時間	$t_{EXF}$	—	4	ns	
クロック周波数*1	$f_{op}$	—	40	MHz	38.8
クロックサイクル時間	$t_{cyc}$	25	—	ns	
クロック"L"レベルパルス幅	$t_{CL}$	4	—	ns	
クロック"H"レベルパルス幅	$t_{CH}$	4	—	ns	

【注】 \*1 CLKOUT 端子から出力するクロックは周辺クロック (Pck) です。

## 【使用上の注意】

EXTAL、XTAL、CLKOUT 端子は  $V_{CC}=3.3V\pm 0.3V$  または  $5.0V\pm 0.5V$  電源の回路です。DC 特性に規定されている入力、出力電圧の規定値で使用してください。

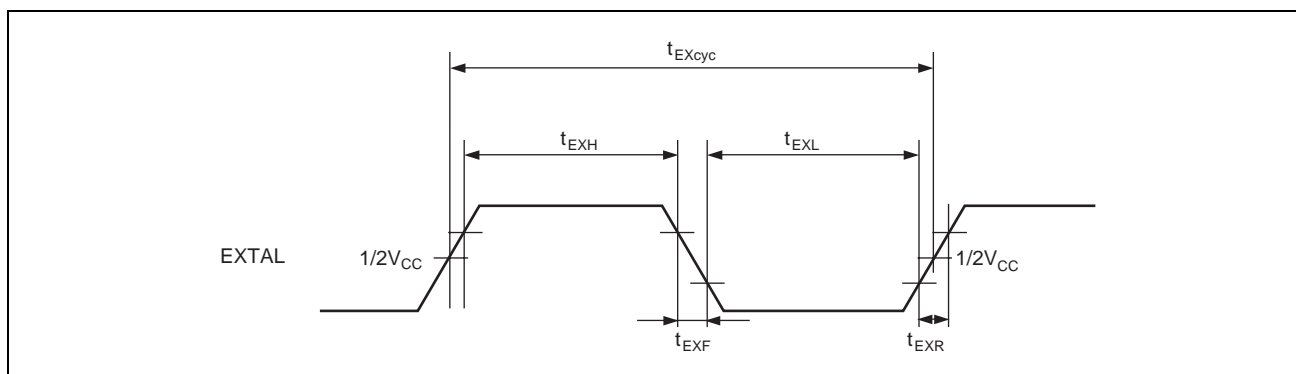


図 38.7 EXTAL クロック入力タイミング

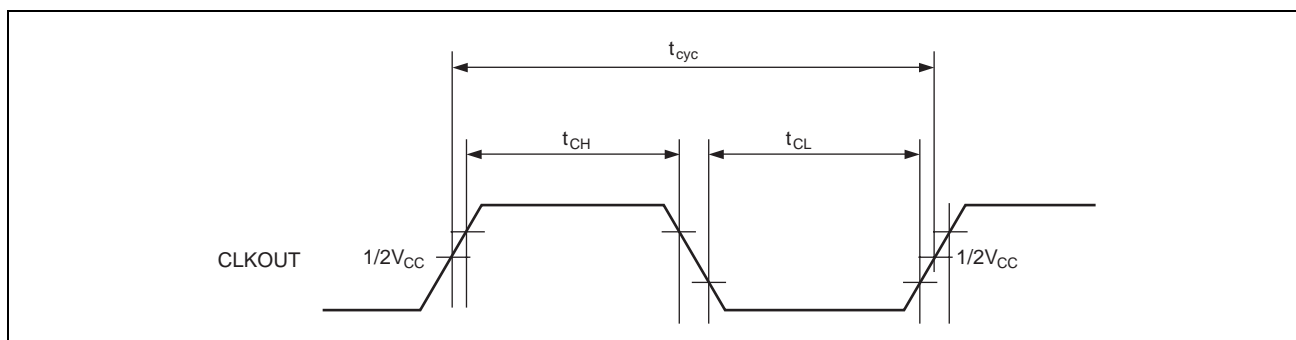


図 38.8 システムクロックタイミング

## 38.3.4 制御信号タイミング

表 38.19 に制御信号タイミングを示します。

表 38.19 制御信号タイミング

項目	記号	Min.	Max.	単位	参照図
RESET#パルス幅	$t_{RESW}$	100	—	$\mu s$	38.9
RESET#ノイズキャンセル幅	$t_{RESNCW}$	25	300	ns	
NMIパルス幅	$t_{NMIW}$	$300+6tc(Pck)$	—	ns	38.10
IRQn セットアップ時間 (エッジ検出時)	$t_{IRQS}$	$23+tc(Pck)$	—	ns	38.11
IRQn ホールド時間 (エッジ検出時)	$t_{IRQH}$	23	—	ns	
IRQn パルス幅 (レベル検出時)	$t_{IRQW}$	$6tc(Pck)$	—	ns	

【注】・  $tc(Pck)$ は周辺クロック (Pck) の周期を示します。

## 【使用上の注意】

RESET#、NMI、および IRQn 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がりで変化が生じたものとして判定されます。セットアップを守れない場合、次のクロックの立ち上がりまで認識が遅れることがあります。

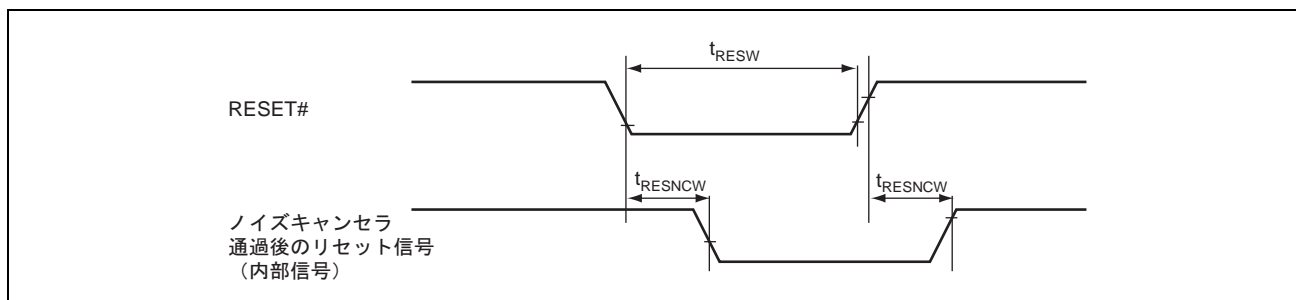


図 38.9 リセット入力タイミング

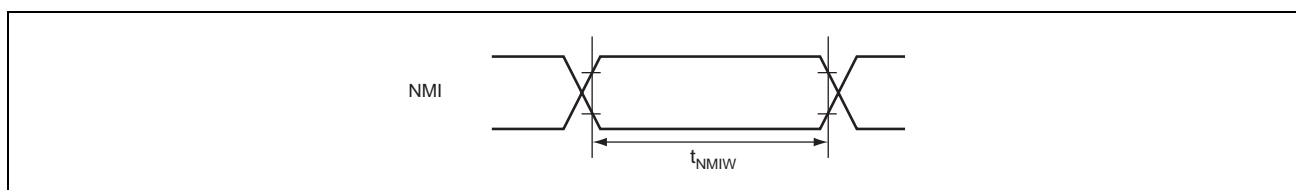


図 38.10 NMI タイミング

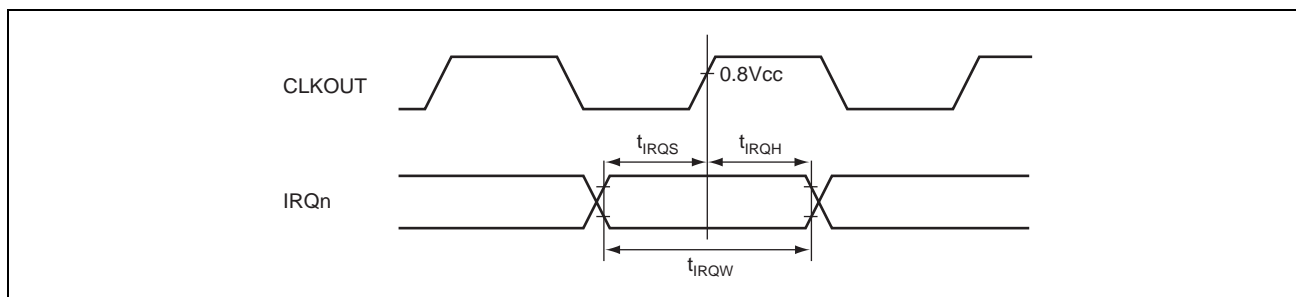


図 38.11 割り込み信号入力タイミング

## 38.3.5 DMAC タイミング

表 38.20 に DMAC タイミングを示します。

表 38.20 DMAC タイミング

条件：すべてドライブ能力増加に設定の値<sup>\*1</sup>

項目	記号	Min.	Max.	単位	参照図
DREQn セットアップ時間	tDRQS	20	—	ns	38.12
DREQn ホールド時間	tDRQH	20	—	ns	

【注】 \*1 ドライブ能力の増加は、ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

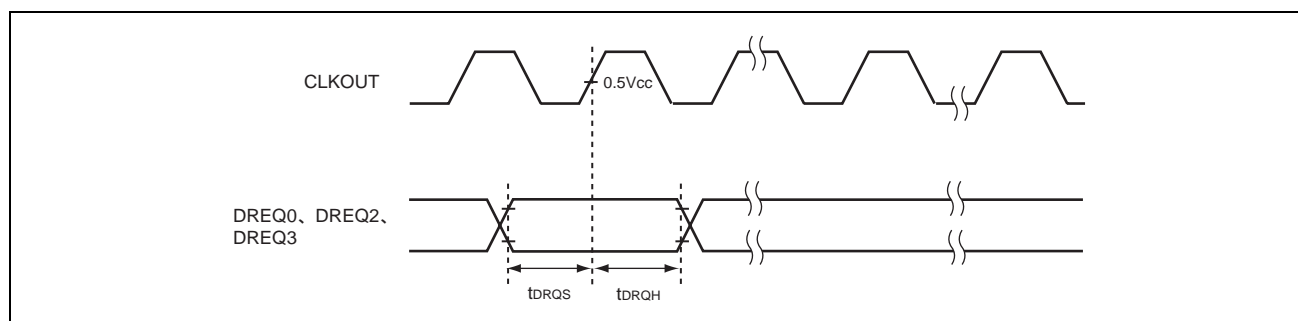


図 38.12 DMAC タイミング

## 38.3.6 ATU-IIIS モジュールタイミング

表 38.21 に ATU-IIIS モジュールタイミングを示します。

表 38.21 ATU-IIIS モジュールタイミング

項目	記号	Min.	Max.	単位	参照図
タイマ出力遅延時間	$t_{TOD}$	—	100	ns	38.13
タイマ入力セットアップ時間	$t_{TIS}$	100	—	ns	
タイマクロック入力セットアップ時間	$t_{TCKS}$	100	—	ns	38.14
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH}$ , $t_{TCKWL}$	$1.5t_c(Pck)$	—	ns	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH}$ , $t_{TCKWL}$	$2.5t_c(Pck)$	—	ns	

【注】・  $t_c(Pck)$  は周辺クロック (Pck) の周期を示します。

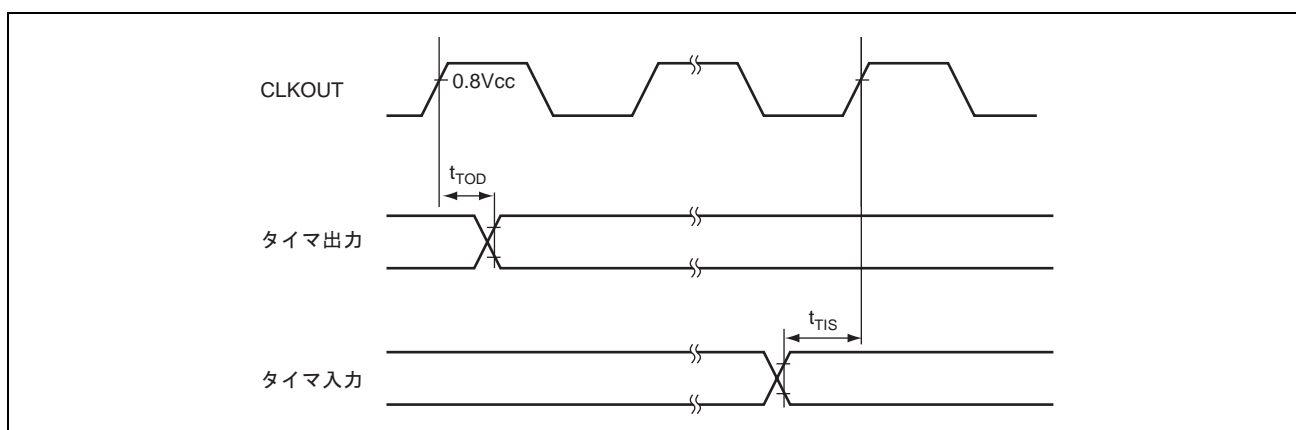


図 38.13 ATU-IIIS 入出力タイミング

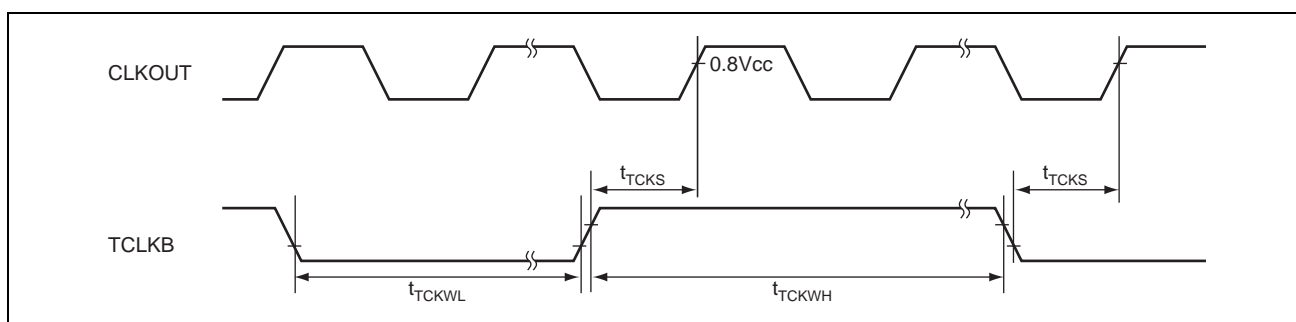


図 38.14 ATU-IIIS クロック入力タイミング

## 38.3.7 I/O ポートタイミング

表 38.22 に I/O ポートタイミングを示します。

表 38.22 I/O ポートタイミング

項目	記号	Min.	Max.	単位	参照図
ポート入力セットアップ時間	tsu (P-E)	100	—	ns	38.15
ポート入力ホールド時間	th (E-P)	0	—	ns	
ポート出力データ遅延時間	td (E-P)	—	100	ns	

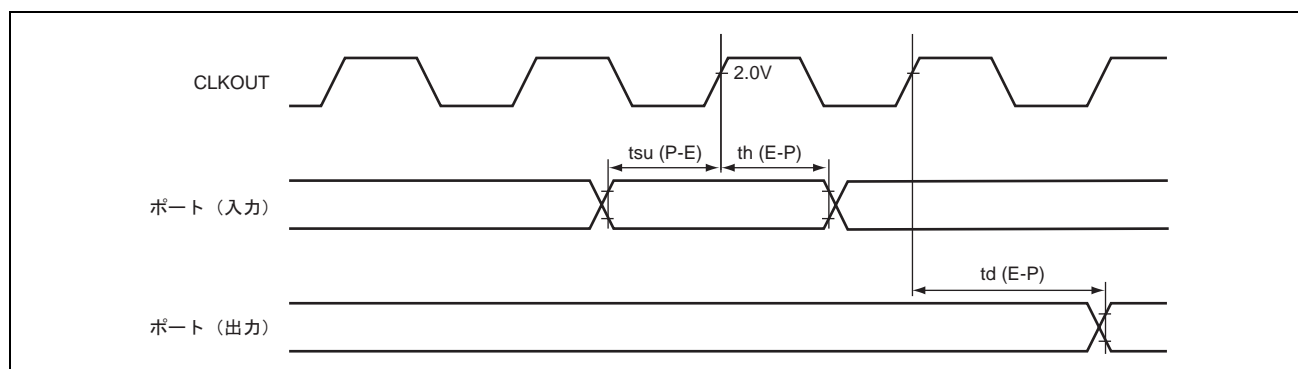


図 38.15 I/O ポート入出力タイミング

## 38. 電気的特性

### 38.3.8 WDT タイミング

表 38.23 に WDT タイミングを示します。

表 38.23 WDT タイミング

項目	記号	Min.	Max.	単位	参照図
WDTOVF#遅延時間	$t_{WOVD}$	—	100	ns	38.16

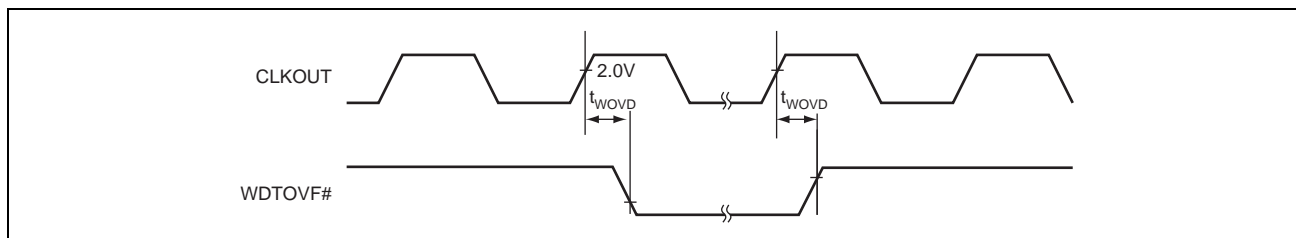


図 38.16 WDT タイミング

## 38.3.9 SCIF インタフェースタイミング

表 38.24 に SCIF インタフェースタイミングを示します。

表 38.24 SCIF インタフェースタイミング

条件：すべてドライブ能力増加に設定の値\*<sup>1</sup>

項目		記号	Min.	Max.	単位	参照図
クロックサイクル	クロック同期	tscyc	12tc(Pck)	—	ns	38.17、38.18
	調歩同期		4tc(Pck)	—	ns	
入カクロック立ち上がり時間		tSCKr	—	1.5tc(Pck)	ns	
入カクロック立ち下がり時間		tSCKf	—	1.5tc(Pck)	ns	
入カクロックパルス幅		tSCKW	0.4tscyc	0.6tscyc	ns	
送信データ遅延時間 (クロック同期)	内部クロック選択時	tTXD	-50	4tc(Pck)+45	ns	
	外部クロック選択時		0	4tc(Pck)+45	ns	
受信データセットアップ時間 (クロック同期)		tRXS	4tc(Pck)+70	—	ns	
受信データホールド時間 (クロック同期)		tRXH	tc(Pck)+15	—	ns	

【注】 \*<sup>1</sup> ドライブ能力の増加は、ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

・ tc(Pck)は周辺クロック (Pck) の周期を示します。

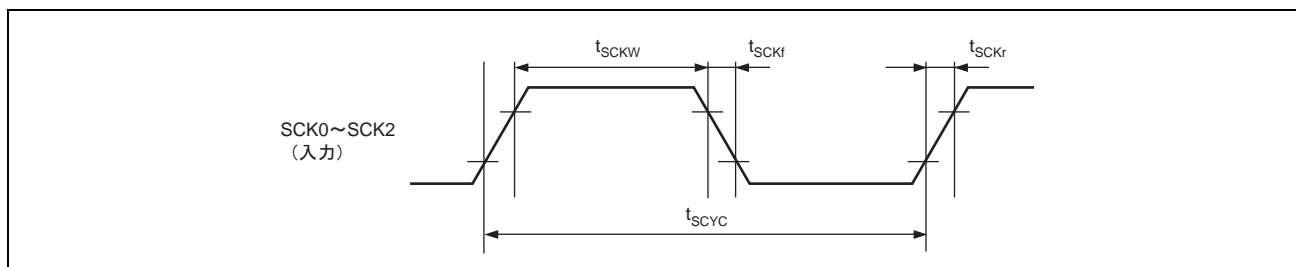


図 38.17 SCK 入力タイミング

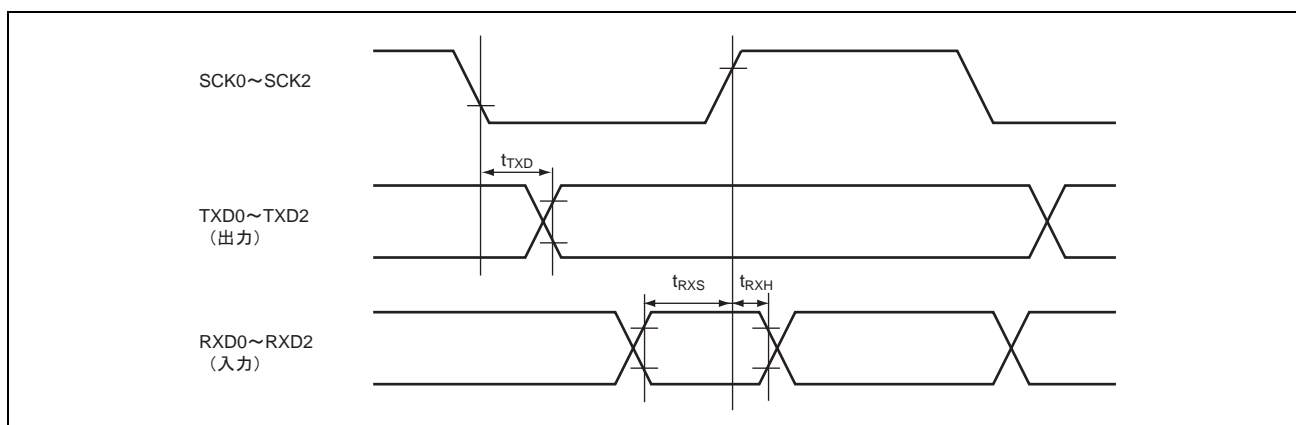


図 38.18 SCI 入出力タイミング



## 38. 電気的特性

### 38.3.10 RSPI タイミング

表 38.25 に RSPI タイミングを示します。

表 38.25 RSPI タイミング

条件：すべてドライブ能力増加に設定の値\*<sup>1</sup>

項 目		記号	Min.	Max.	単位	参照図
RSPCK クロックサイクル	マスタ	tSPcyc	4	4096	tcyc	38.19
	スレーブ		16	4096		
RSPCK クロックパルス幅	マスタ	tSPCKW	$(tSPcyc - tSPCKR - tSPCKF) / 2 - 5$	—	ns	
	スレーブ		$(tSPcyc - tSPCKR - tSPCKF) / 2$	—		
RSPCK クロック入力 立ち上がり/立ち下がり時間	マスタ	tSPCKR、tSPCKF	—	8	ns	
	スレーブ		—	1	μs	
データ入力セットアップ時間	マスタ	tsu	25	—	ns	38.20~ 28.23
	スレーブ		$25 - 2 \times tcyc$	—	ns	
データ入力ホールド時間	マスタ	th	0	—	ns	
	スレーブ		$20 + 2 \times tcyc$	—	ns	
SSL セットアップ時間	マスタ	tLEAD	1	8	tSPcyc	
	スレーブ		4	—	tcyc	
SSL ホールド時間	マスタ	tLAG	1	8	tSPcyc	
	スレーブ		4	—	tcyc	
データ出力遅延時間	マスタ	tOD	—	20	ns	
	スレーブ		—	$3 \times tcyc + 32$	ns	
データ出力ホールド時間	マスタ	toH	-10	—	ns	
	スレーブ		0	—	ns	
連続送信遅延時間	マスタ	tTD	$tSPcyc + 2 \times tcyc$	$8 \times tSPcyc + 2 \times tcyc$	ns	
	スレーブ		$4 \times tcyc$	—	ns	
MOSI、MISO 立ち上がり/立ち下がり時間	出力	tDR、	—	8	ns	
	入力	tDF	—	1	μs	
SSL 立ち上がり/立ち下がり時間	出力	tSSLR、	—	8	ns	
	入力	tSSLF	—	1	μs	
スレーブアクセス時間		tSA	—	4	tcyc	38.22、
スレーブ出力解放時間		tREL	—	3	tcyc	38.23

【注】 \*1 ドライブ能力の増加は、ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

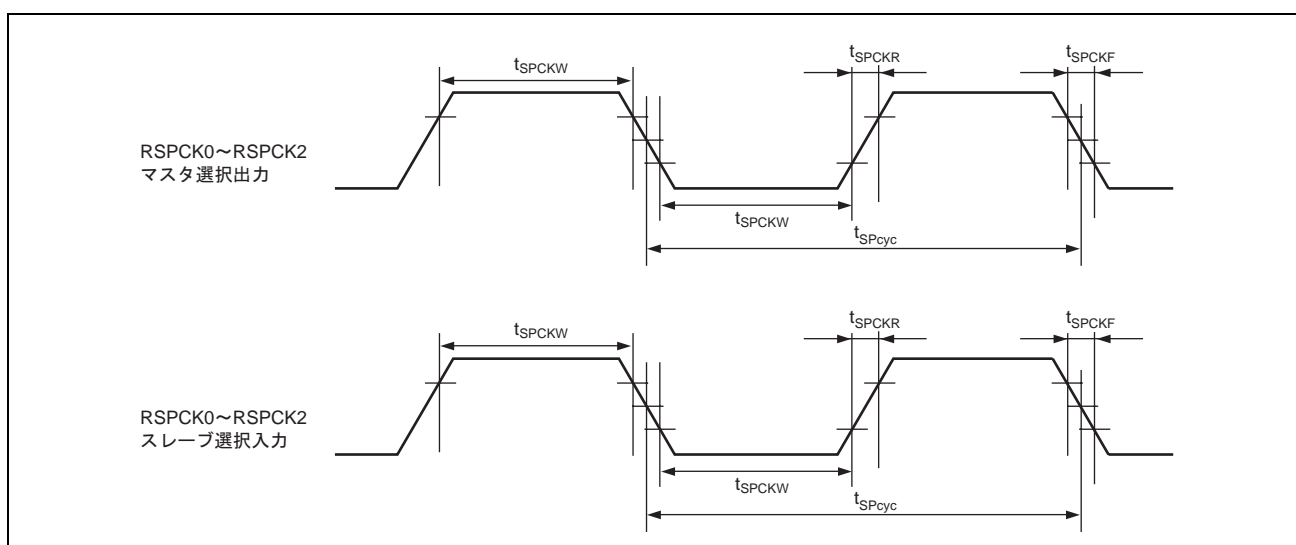


図 38.19 RSPCK クロックタイミング

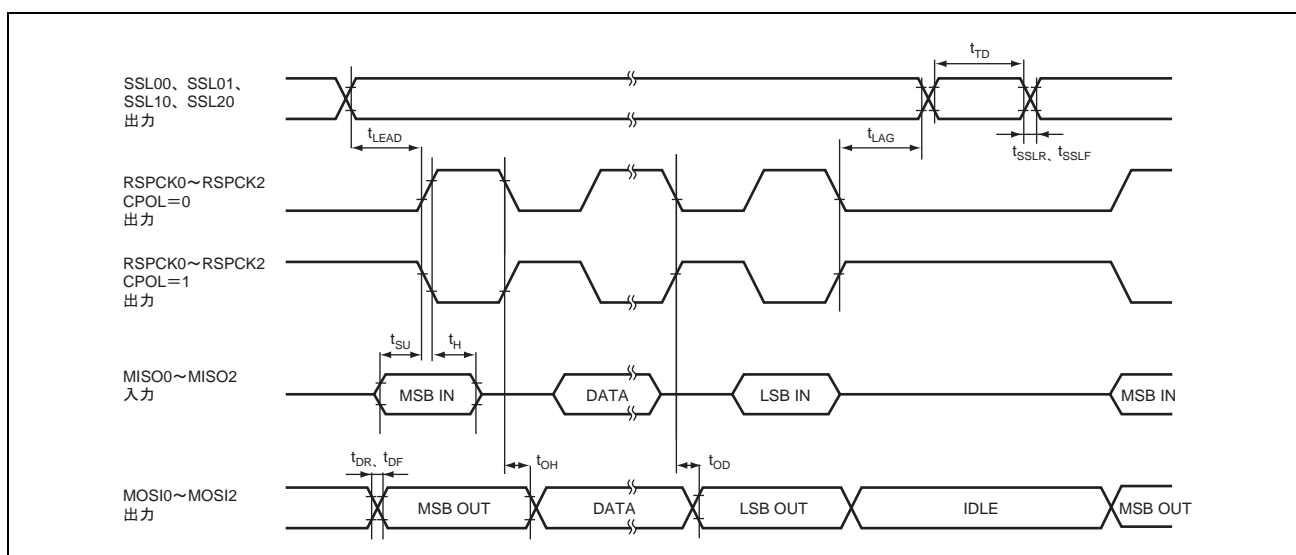


図 38.20 RSPCK タイミング (マスタ、CPHA="0")

### 38. 電気的特性

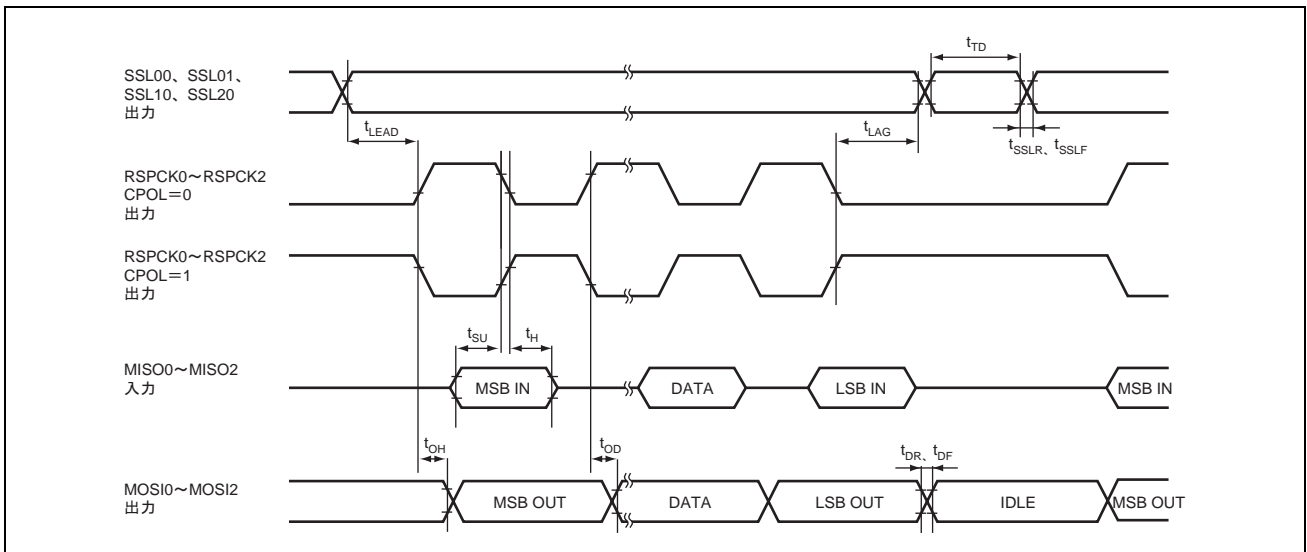


図 38.21 RSPI タイミング (マスター、CPHA="1")

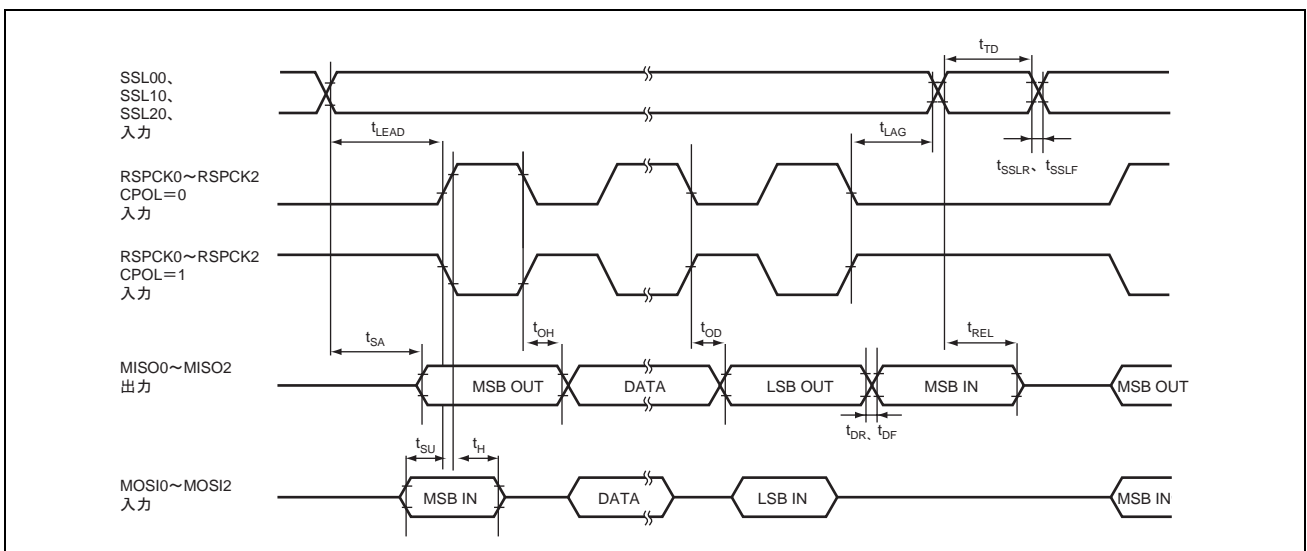


図 38.22 RSPI タイミング (スレーブ、CPHA="0")

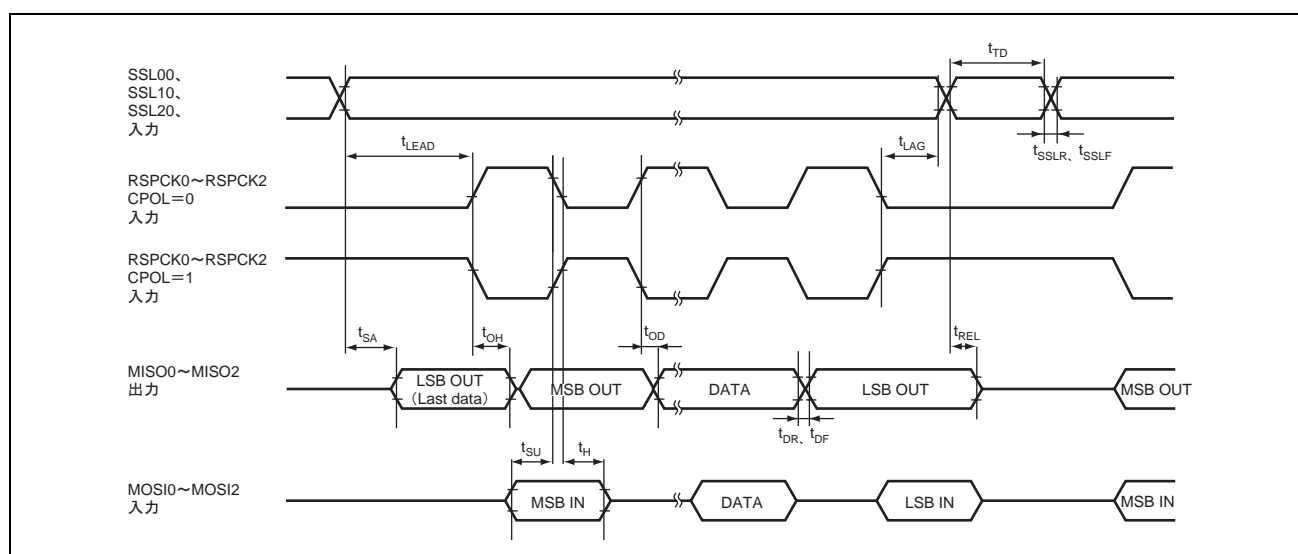


図 38.23 RSPI タイミング (スレーブ、CPHA="1")

## 38. 電気的特性

### 38.3.11 IIC3 タイミング

表 38.26 に IIC3 タイミングを示します。

表 38.26 IIC3 タイミング

入力波形のタイミング判定点 "H"レベル ( $V_{IH}$ ) : 0.7V<sub>CC</sub>、"L"レベル ( $V_{IL}$ ) : 0.3V<sub>CC</sub>

出力参照レベル "H"レベル ( $V_{OH}$ ) : 0.7V<sub>CC</sub>、"L"レベル ( $V_{OL}$ ) : 0.3V<sub>CC</sub>

項目	記号	Min.	Max.	単位	参照図	
SCL 入力サイクル時間	$t_{SCL}$	$12t_c(Pck)+600$	—	ns	38.24	
SCL 入力"H"レベルパルス幅	$t_{SCLH}$	$3t_c(Pck)+300$	—	ns		
SCL 入力"L"レベルパルス幅	$t_{SCLL}$	$5t_c(Pck)+300$	—	ns		
SCL、SDA 入力立ち上がり時間	$t_{sr}$	—	300	ns		
SCL、SDA 入力立ち下がり時間	$t_{sf}$	—	300	ns		
SCL、SDA 入カスパイクパルス除去時間	ICNF2CYC. NF2CYC="0"	$t_{SP}$	—	$t_c(Pck)$		ns
				ICNF2CYC. NF2CYC="1"		$2t_c(Pck)$
SDA 入カバスフリー時間	$t_{BUF}$	$5t_c(Pck)$	—	ns		
開始条件入力ホールド時間	$t_{STAH}$	$3t_c(Pck)$	—	ns		
再送開始条件入力セットアップ時間	$t_{STAS}$	$3t_c(Pck)$	—	ns		
停止条件入力セットアップ時間	$t_{STOS}$	$3t_c(Pck)$	—	ns		
データ入力セットアップ時間	$t_{SDAS}$	$t_c(Pck)+20$	—	ns		
データ入力ホールド時間	$t_{SDAH}$	0	—	ns		
SCL、SDA の容量性負荷	$C_b$	0	400	pF		
SCL、SDA 出力立ち下がり時間*1	$t_{sf}$	—	250	ns		

【注】 \*1 I/O バッファの特性を示しています。

・  $t_c(Pck)$ は周辺クロック (Pck) の周期を示します。

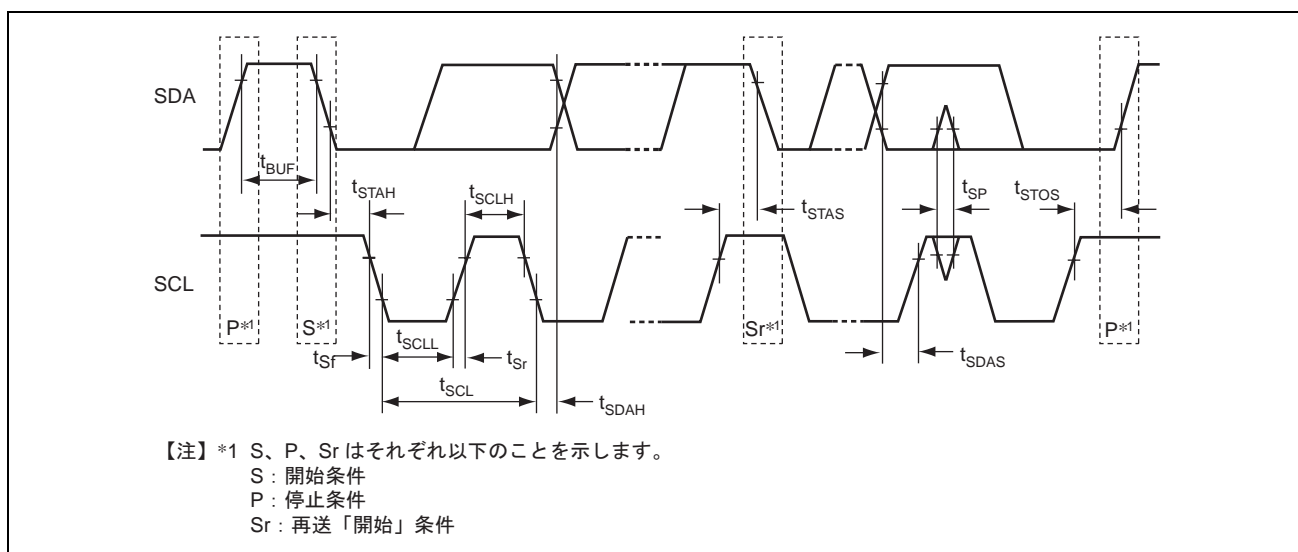


図 38.24 IIC3 モジュール入出力タイミング

## 38.3.12 DRI タイミング

表 38.27 と表 38.28 に DRI タイミングを示します。

表 38.27 DRI タイミング (特殊モード OFF 時)

項目	記号	Min.	Max.	単位	参照図
DIN 入力パルス幅	tw(DIN)	1.5tc(PAck)	—	ns	38.25、 38.26
取り込み周期 (8 ビット、16 ビット幅)	tc(DCAP)	3.5tc(PAck)	—	ns	
DD 入力-取り込みエッジセットアップ時間 (DIN3、DIN4)	tsu(DD-E)	15	—	ns	
DD 入力-取り込みエッジセットアップ時間 (DIN5)	tsu(DD-E)	60-2tc(PAck)	—	ns	
取り込みエッジ-DD 入力ホールド時間	th(E-DD)	15+tc(PAck)	—	ns	
DIN5-DD 入力ホールド時間	th(E-DD)	5+3tc(PAck)	—	ns	
イベント検出が同時とならないための間隔	ts(E-E)	15+tc(PAck)	—	ns	

【注】・DIN5 イベント検出 (DRIiDINSEL レジスタで指定したイベント) を使用する場合はドライブ能力を増加してください。  
ドライブ能力の増加は、ポート A~H、J~L ドライバピリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

・tc(PAck)は周辺 A クロックの周期を示します。

表 38.28 DRI タイミング (特殊モード ON 時)

項目	記号	Min.	Max.	単位	参照図
DIN 入力パルス幅 (DIN0、DIN1、DIN3、DIN4)	tw(DIN)	1.5tc(PAck)	—	ns	38.25~ 38.28
DIN3、DIN4 取り込みパルス選択時	tw(DIN)	0.8tc(PAck)	—	ns	
取り込み周期 (8 ビット、16 ビット幅)	tc(DCAP)	2tc(PAck)	—	ns	
DD 入力-取り込みエッジセットアップ時間 (DIN3、DIN4)	tsu(DD-E)	8	—	ns	
取り込みエッジ-DD 入力ホールド時間	th(E-DD)	12	—	ns	
イベント検出が同時とならないための間隔	ts(E-E)	15+tc(PAck)	—	ns	
DIN1 による初期化レベル解除前の DIN3、DIN4 サンプリングエッジ不定期間 (ダイレクトリセット選択時)	tar	8	—	ns	
DIN1 による初期化レベル解除後の DIN3、DIN4 サンプリングエッジ不定期間	tbr	12	—	ns	
ディレイドリセットモード時の DIN1 による初期化 レベルの最低 DIN エッジ数 (初期化レベル最低幅)	twDLYDIN1	8tc(DCAP)*1	—		

【注】 \*1 特殊モード時、取り込みイベントとして選択した DINn の周期を示します。

・tc(PAck)は周辺 A クロックの周期を示します。

38. 電气的特性

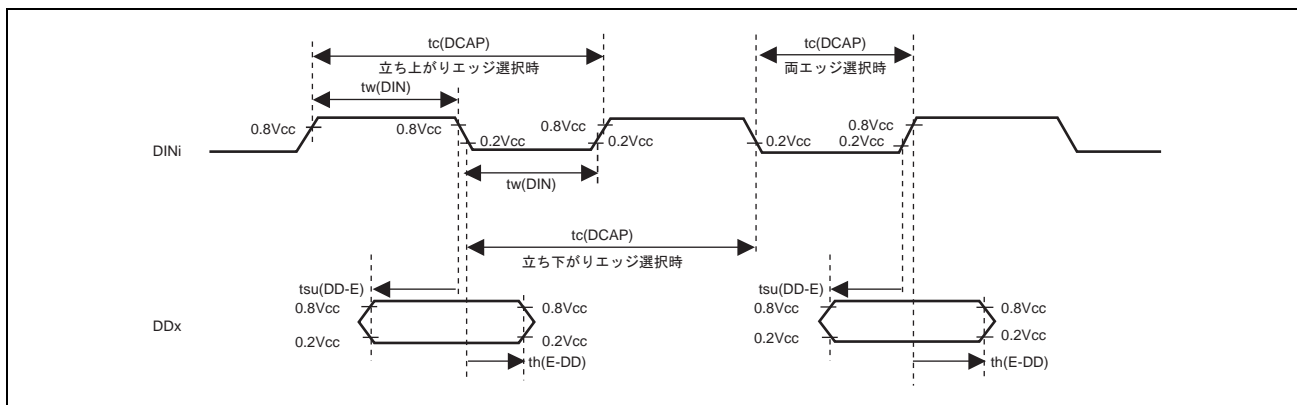


図 38.25 データ取り込み関連タイミング

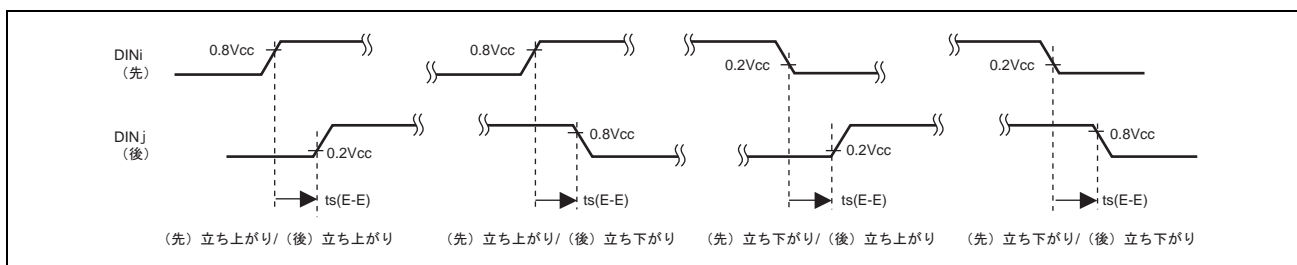


図 38.26 エッジ検出タイミング (DRI 内部でエッジ検出タイミングが同時にならないためのエッジ間隔)

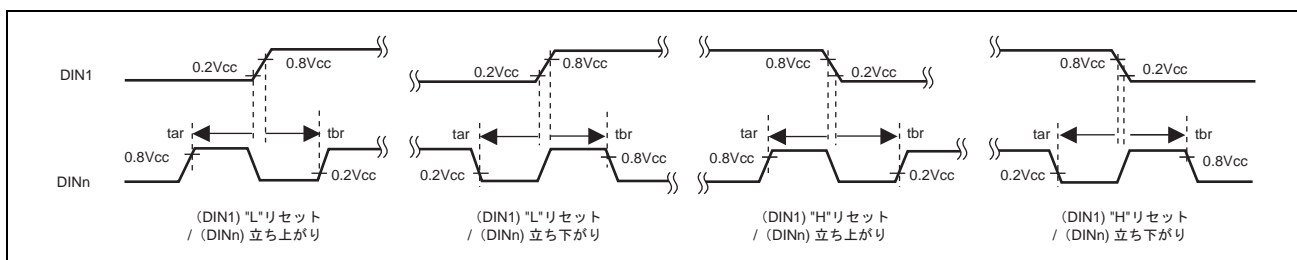


図 38.27 特殊モード時の DIN1/DIN3、DIN4 に関わるタイミング (DIN1 によるリセット解除エッジとその前後のサンプリングエッジ間隔)

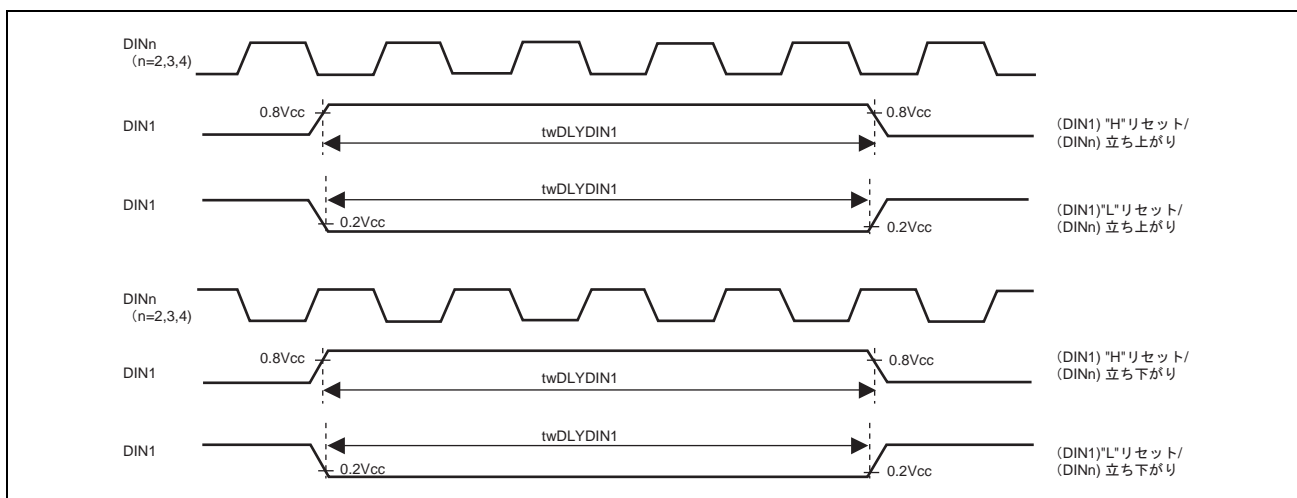


図 38.28 デイレイドリセットモード時の DIN1 による初期化レベルの最低 DIN エッジ数 (初期化レベル最低幅)

## 38.3.13 DRO タイミング

表 38.29 に DRO タイミングを示します。

表 38.29 DRO タイミング

条件：すべてドライブ能力増加に設定の値\*<sup>1</sup>

項目	記号	Min.	Max.	単位	参照図
出力データストロブ幅	twDROWR	$(DROSU+1) \times tc(Pck) - 20$	—	ns	38.29、 38.30
出力データストロブディスエーブル幅	twDROWROFF	$(DROHD+1) \times tc(Pck) - 20$	—	ns	
出力データストロブアサートからの データ出力遅延時間	tdDROD	—	15	ns	
出力データストロブネゲートからの データ有効期間	tvDROD	-15	—	ns	

【注】 \*1 ドライブ能力の増加は、ポート A~H、J~L ドライバピリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

- ・ DROSU については、DRO 動作モードレジスタの DROSU ビットを参照してください。
- ・ DROHD については、DRO 動作モードレジスタの DROHD ビットを参照してください。
- ・  $tc(Pck)$  は周辺クロック (Pck) の周期を示します。

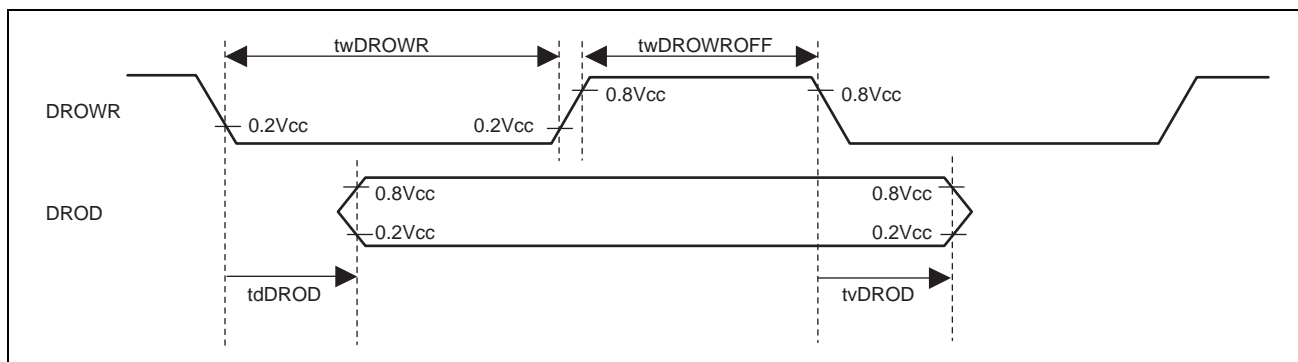


図 38.29 "L"アクティブ選択時のストロブ極性

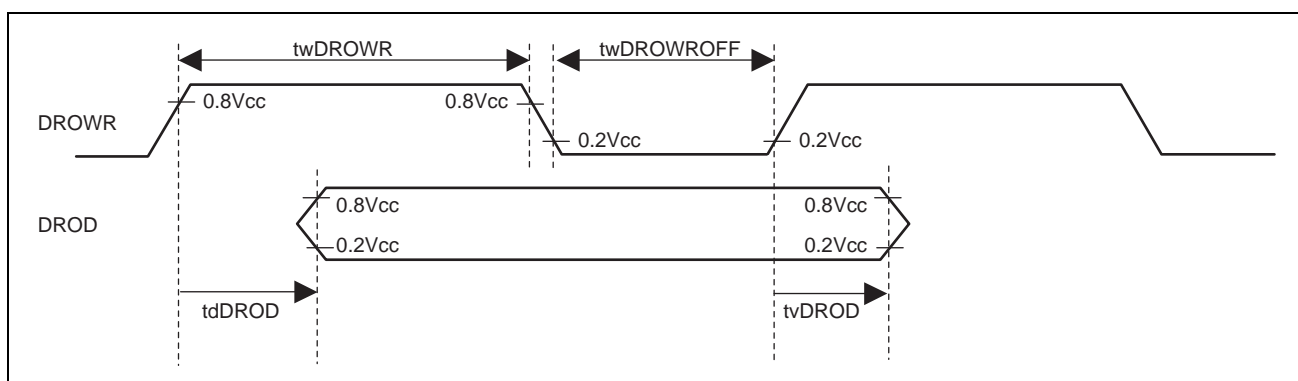


図 38.30 "H"アクティブ選択時のストロブ極性



## 38.3.14 PDAC タイミング

表 38.30 に PDAC タイミングを示します。

表 38.30 PDAC タイミング

項目	記号	Min.	Max.	単位	参照図
設定データ (PDIDATA9~0) 更新から書き込み信号 (PDIWR) アサートまでのタイミング	tdPDID	$tc(Pck) \times PDI\_PRE \times SETUP$ -20	$tc(Pck) \times PDI\_PRE \times SETUP$ +20	ns	38.31
書き込み信号 (PDIWR) アサートからネゲートまでのタイミング	twPDIWR	$tc(Pck) \times PDI\_PRE \times ENABLE$ -20	$tc(Pck) \times PDI\_PRE \times ENABLE$ +20	ns	

【注】・  $tc(Pck)$  は周辺クロック (Pck) の周期を示します。

【記号説明】 PDI\_PRE : PDAC 基本分解能設定レジスタ設定値 ("0"、"1"設定は禁止)

SETUP : PDAC 書き込み信号期間調整レジスタ設定値 ("0"は設定禁止)

ENABLE : PDAC 書き込み信号期間調整レジスタ設定値 ("0"は設定禁止)

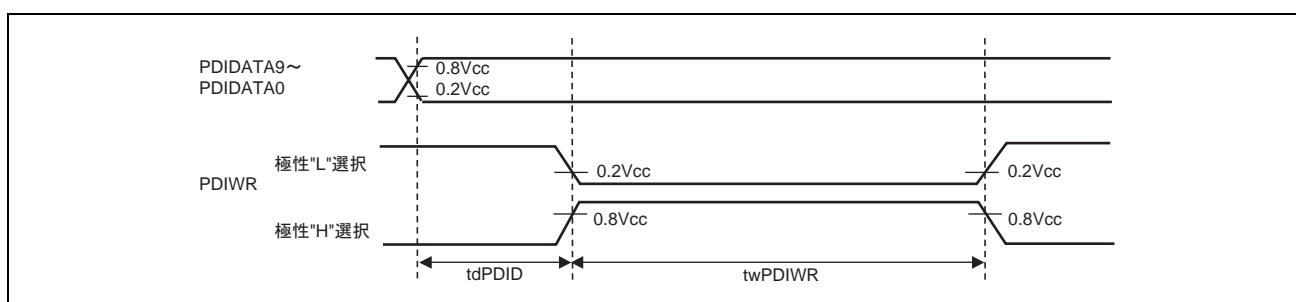


図 38.31 PDAC 出力タイミング

## 38.3.15 PSEL タイミング

表 38.31 に PSEL タイミングを示します。

表 38.31 PSEL タイミング

項目	記号	Min.	Max.	単位	参照図
PSLCLKA/PSLCLKB 出力パルス幅	twPSLCLK	$t_c(Pck) \times PSL\_PRE - 20$	—	ns	38.32
PSLCLKA—PSLDATA 出力遅延時間	tdPSLDATA	—	20	ns	
PSLCLKA—PSLDATA 出力保持時間	thPSLDATA	-15	—	ns	
PSLCLKA—PSLCLR 間出力遅延時間	tdPSLCLR	-15	25	ns	

【注】・  $t_c(Pck)$ は周辺クロック (Pck) の周期を示します。

【記号説明】 PSL\_PRE : PSEL 出カクロック分周設定レジスタ設定値 ("0"設定は禁止)

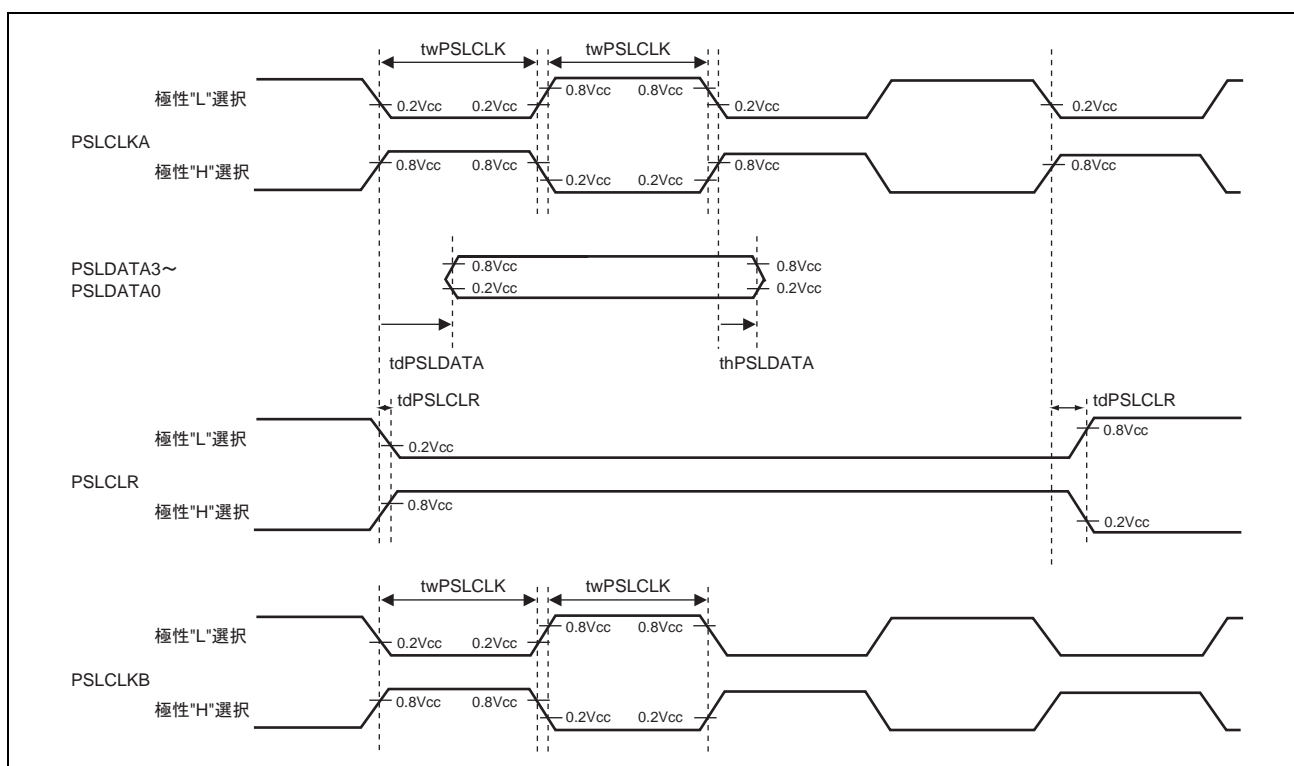


図 38.32 PSEL 出力タイミング

### 38.3.16 A/D 変換器タイミング

表 38.32 に A/D 変換器タイミングを示します。

表 38.32 A/D 変換器タイミング

項目	記号	Min.	Max.	単位	参照図
外部トリガ入力開始遅延時間	t <sub>TRGS</sub>	50	—	ns	38.33
ADEND 出力遅延時間	t <sub>ADENDD</sub>	—	100	ns	38.34

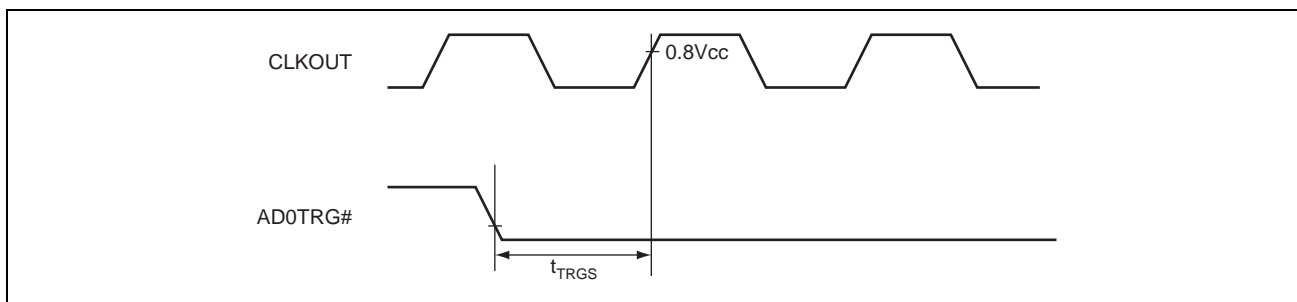


図 38.33 外部トリガ入力タイミング

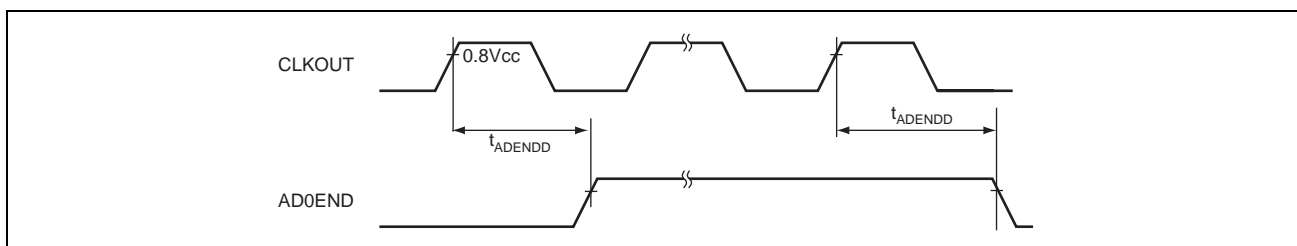


図 38.34 アナログ変換タイミング

## 38.3.17 H-UDI インタフェースタイミング

表 38.33 に H-UDI インタフェースタイミングを示します。

表 38.33 H-UDI インタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
TCK クロックサイクル	$t_{TCKcyc}$	$2t_c(Pck)$	—	ns	38.35
TCK クロックパルス幅	$t_{TCKw}$	$0.4t_c(TCK)$	$0.6t_c(TCK)$	ns	
TRST#パルス幅	$t_{TRSTw}$	$20t_c(TCK)$	—	ns	38.36
TMS セットアップ時間	$t_{TMSS}$	15	—	ns	38.37
TMS ホールド時間	$t_{TMSH}$	15	—	ns	
TDI セットアップ時間	$t_{TDIS}$	15	—	ns	
TDI ホールド時間	$t_{TDIH}$	15	—	ns	
TDO データ遅延時間	$t_{TDOD}$	—	40	ns	

【注】・  $t_c(Pck)$ は周辺クロック (Pck) の周期を示します。

・  $t_c(TCK)$ は TCK の周期を示します。

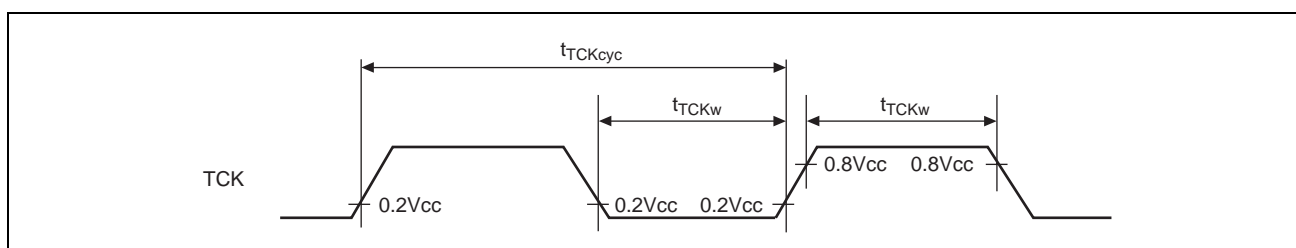


図 38.35 TCK 入力タイミング

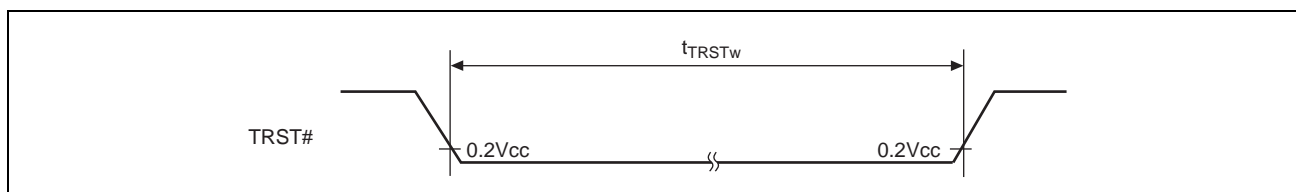


図 38.36 TRST#入力タイミング

38. 電気的特性

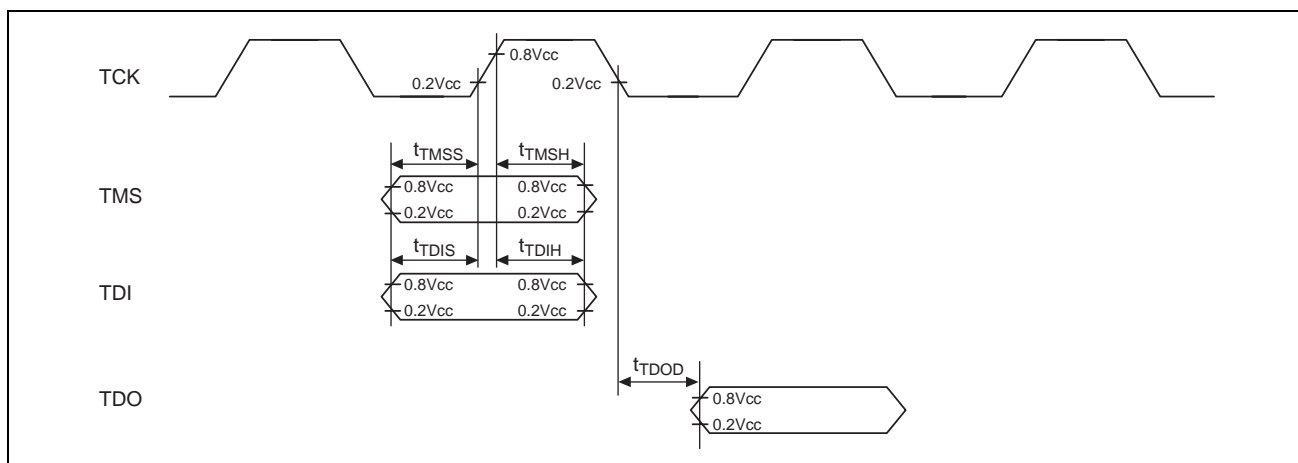


図 38.37 H-UDI データ転送タイミング

## 38.3.18 AUDR モジュールタイミング

表 38.34 と表 38.35 に AUDR モジュールタイミングを示します。

表 38.34 AUDR モジュールタイミング (Vcc=5.0V 時)

条件：すべてドライブ能力増加に設定の値\*1

Vcc=5.0V±0.5V

項目	記号	Min.	Max.	単位	参照図
AUDRCLK サイクル時間	tc(AUDRCLK)	80	—	ns	38.38
AUDRCLK 入力パルス幅	tw(AUDRCLK)	35	—	ns	
AUDRCLK 前 AUDRD 入力セットアップ時間	tsu(AUDRD-AUDRCLKH)	20	—	ns	
AUDRCLK 後 AUDRD 入力ホールド時間	th(AUDRCLKH-AUDRD)	7	—	ns	
AUDRCLK 前 AUDRSYN# 入力セットアップ時間	tsu(AUDRSYNL-AUDRCLKH)	20	—	ns	
AUDRCLK 後 AUDRSYN# 入力ホールド時間	th(AUDRCLKH-AUDRSYNL)	7	—	ns	
AUDRCLK 後 AUDRD 出力遅延時間	td(AUDRCLKH-AUDRD)	—	35	ns	
AUDRCLK 後 AUDRD 出力有効時間	tv(AUDRCLKH-AUDRD)	3	—	ns	
AUDREVT#出力"L"パルス幅	tw(AUDREVTL)	2tc(Pck)−20	—	ns	

【注】 \*1 ドライブ能力の増加は、ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

- ・ tc(Pck)は周辺クロック (Pck) の周期を示します。

38. 電気的特性

表 38.35 AUDR モジュールタイミング (Vcc=3.3V 時)

条件：すべてドライブ能力増加に設定の値\*1

Vcc=3.3V±0.3V

項目	記号	Min.	Max.	単位	参照図
AUDRCLK サイクル時間	tc(AUDRCLK)	80	—	ns	38.38
AUDRCLK 入力パルス幅	tw(AUDRCLK)	35	—	ns	
AUDRCLK 前 AUDRD 入力セットアップ時間	tsu(AUDRD-AUDRCLKH)	20	—	ns	
AUDRCLK 後 AUDRD 入力ホールド時間	th(AUDRCLKH-AUDRD)	7	—	ns	
AUDRCLK 前 AUDRSYN# 入力セットアップ時間	tsu(AUDRSYNL-AUDRCLKH)	20	—	ns	
AUDRCLK 後 AUDRSYN# 入力ホールド時間	th(AUDRCLKH-AUDRSYNL)	7	—	ns	
AUDRCLK 後 AUDRD 出力遅延時間	td(AUDRCLKH-AUDRD)	—	40	ns	
AUDRCLK 後 AUDRD 出力有効時間	tv(AUDRCLKH-AUDRD)	3	—	ns	
AUDREVT#出力"L"パルス幅	tw(AUDREVTL)	2tc(Pck)−20	—	ns	

【注】 \*1 ドライブ能力の増加は、ポート A~H、J~L ドライバビリティ設定レジスタ (PADSR~PHDSR、PJDSR~PLDSR) の対応するビットを"1"に設定してください。

・ tc(Pck)は周辺クロック (Pck) の周期を示します。

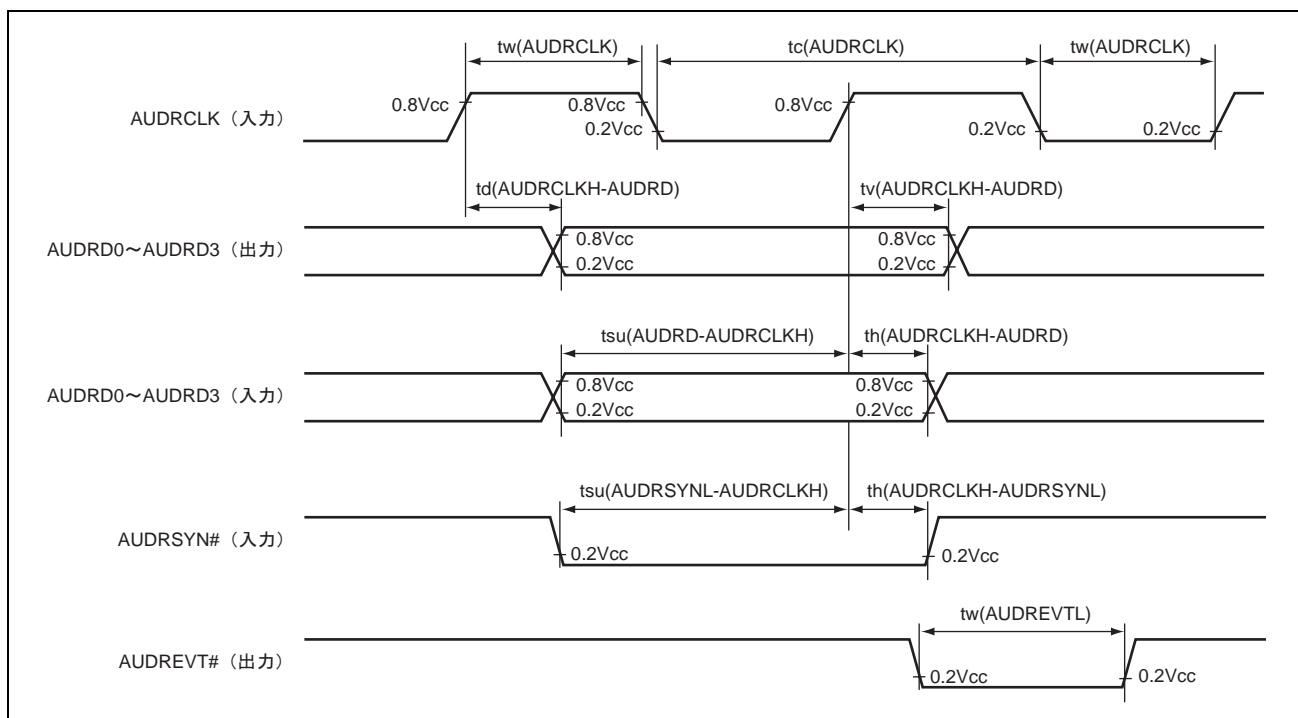


図 38.38 AUDR モジュールタイミング

## 38.4 A/D 変換器特性

表 38.36 に A/D 変換器特性を示します。

表 38.36 A/D 変換器特性

項目		記号	Min.	Typ.	Max.	単位	
デジタル分解能		—	12	—	12	bit	
電圧分解能* <sup>1</sup>	AVcc=5.0V 時	—	1.10	—	1.34	mV	
	AVcc=3.3V 時	—	0.73	—	0.88	mV	
A/D 変換時間* <sup>2</sup>	AVcc=5.0V 時	高速変換	—	—	50 × tc(Pck)	—	ns
		低速変換	—	—	100 × tc(Pck)	—	ns
	AVcc=3.3V 時	高速変換	—	—	50 × tc(Pck)	—	ns
		低速変換	—	—	100 × tc(Pck)	—	ns
非直線性誤差	AVcc=5.0V 時	高速変換	—	—	—	±8	LSB
		低速変換	—	—	—	±4	LSB
	AVcc=3.3V 時	高速変換	—	—	—	±16	LSB
		低速変換	—	—	—	±16	LSB
オフセット誤差	AVcc=5.0V 時	高速変換	—	—	—	±15.5	LSB
		低速変換	—	—	—	±7.5	LSB
	AVcc=3.3V 時	高速変換	—	—	—	±31.5	LSB
		低速変換	—	—	—	±31.5	LSB
フルスケール誤差	AVcc=5.0V 時	高速変換	—	—	—	±15.5	LSB
		低速変換	—	—	—	±7.5	LSB
	AVcc=3.3V 時	高速変換	—	—	—	±31.5	LSB
		低速変換	—	—	—	±31.5	LSB
量子化誤差		—	0.5	0.5	0.5	LSB	
絶対誤差	AVcc=5.0V 時	高速変換	—	—	—	±16	LSB
		低速変換	—	—	—	±8	LSB
	AVcc=3.3V 時	高速変換	—	—	—	±32	LSB
		低速変換	—	—	—	±32	LSB
自己診断時の絶対誤差	AVcc=5.0V 時	高速変換	—	—	—	±80	LSB
		低速変換	—	—	—	±40	LSB
	AVcc=3.3V 時	高速変換	—	—	—	±160	LSB
		低速変換	—	—	—	±160	LSB
アナログ入力容量	待機中	—	—	—	20	pF	
	サンプリング中	—	—	—	40	pF	
許容アナログ信号源インピーダンス		—	—	—	3	kΩ	



## 38. 電气的特性

---

- 【注】 \*1 AVREFH-AVREFL=3.0V の場合、分解能は 0.73mV です。AVREFH-AVREFL=3.6V の場合、分解能は 0.88mV です。  
AVREFH-AVREFL=4.5V の場合、分解能は 1.10mV です。AVREFH-AVREFL=5.5V の場合、分解能は 1.34mV です。
- \*2 A/D 変換時間は、AD0CER レジスタおよび AD1CER レジスタの CKS ビットの設定に基づきます。
- ・  $t_c(Pck)$ は周辺クロック (Pck) の周期を示します。

## 38.5 フラッシュメモリ特性

表 38.37 にフラッシュメモリ特性を示します。

表 38.37 フラッシュメモリ特性

項目		記号	Min.	Typ.	Max.	単位
書き込み時間	256 バイト	tP256	—	2	12	ms
消去時間	8K バイト	tE8K	—	50	150	ms
	32K バイト* <sup>1</sup>	tE32K	—	200	560	ms
	64K バイト	tE64K	—	400	1120	ms
	128K バイト	tE128K	—	800	2240	ms
再書き込み/消去回数* <sup>2</sup>		NPEC	100* <sup>3</sup>	—	—	回
FRESET"1"設定時間		tRESW2	100	—	—	μs

【注】 \*1 ユーザブートマットのサイズは 32K バイトです。

\*2 再書き込み/消去回数の定義

再書き込み/消去回数はブロックごとの消去回数です。回数が 100 回の場合、ブロックごとに、それぞれ 100 回ずつ消去できます。ただし、消去 1 回に対して、同一番地に複数回の書き込みを行うことはできません（上書き禁止）。

\*3 再書き込み/消去後のすべての特性を保証する最小回数です（保証は 1~"最小"値の範囲です）。

レイアウトの都合上、このページは白紙です。

# 付録

## 付録 A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM レジスタは、CPU の動作モードを切り替えるために使用します。本レジスタは H'FF2F 0000 から 32 ビットサイズで読み出し/書き込みが可能です。本レジスタへ書き込む際には、必ず予約ビットに初期値を書き込むようにしてください。予約ビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM レジスタの更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU の MOV 命令で行ってください。また、CPUOPM レジスタ更新後、一度 CPUOPM レジスタを読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。

1.または 2.の実行後、CPU は更新後の CPUOPM レジスタの値を用いて動作することが保証されます。

CPU動作モードレジスタ (CPUOPM)

<P4領域アドレス : H'FF2F 0000番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
リセット後の値 :	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0

<リセット後の値 : H'0000 03C0>

ビット	シンボル	リセット後の値	R	W	説明
31~6	—	H'000000F	R	*1	予約ビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R	W	サブルーチン復帰投機実行ビット 0 : サブルーチンからの復帰時に命令フェッチを投機的に発行する 本ビットを"0"に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1 : サブルーチンからの復帰時に命令フェッチを投機的に発行しない
4	—	0	R	*1	予約ビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R	W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しない 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定する

付録

---

ビット	シンボル	リセット後の値	R	W	説明
2~0	—	すべて0	R	*1	予約ビット 書き込み時は、必ず初期値を書き込むようにしてください。

【注】 \*1 書き込み時は、必ず初期値を書き込むようにしてください。

## 付録 B. 命令プリフェッチとその副作用について

SH-4A は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

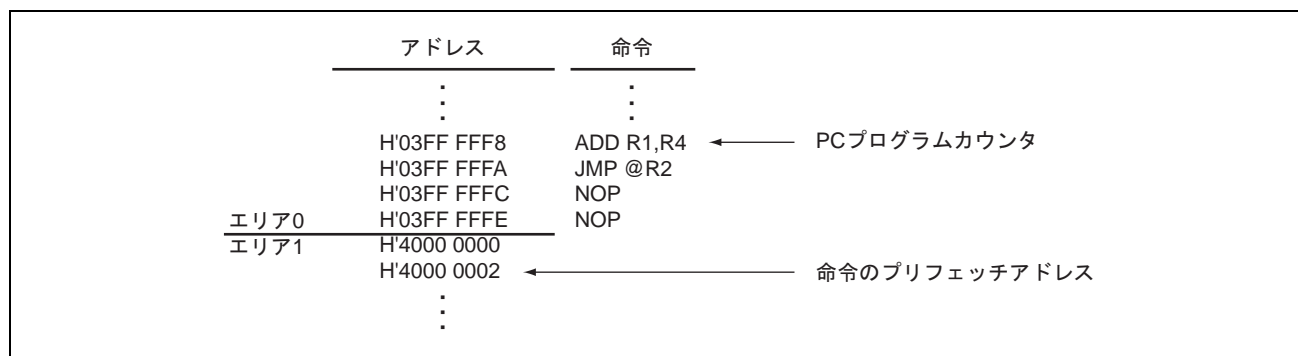


図 B.1 命令のプリフェッチ

図 B.1 では、PC（プログラムカウンタ）が指し示す命令（ADD）と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス（命令のプリフェッチ）が発生する可能性があります。

### (1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

### (2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

## 付録 C. サブルーチン復帰投機実行

SH-4A はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮できます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を"0"に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B. (1) 命令のプリフェッチの副作用」を参照してください。

### (1) 使用条件

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

## 付録 D. プロセッサバージョンレジスタ (PVR)

SH-4A は、プロセッサコアのバージョンを示す読み出し専用のレジスタを内蔵しています。このレジスタの値を用いることにより、ソフトウェアからプロセッサのバージョンを区別することができ拡張性の高いシステムを構築することが可能となります。

【注】・ PVR レジスタのビット 7~0 の値は必ずマスクをし、ソフトウェアに影響を与えないようにしてください。

表 D.1 レジスタ構成

レジスタ名	シンボル	リセット後の値	P4 領域アドレス	アクセスサイズ	掲載ページ
プロセッサバージョンレジスタ	PVR	不定	H'FF00 0030	32	付録-5

【注】・ P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

プロセッサバージョンレジスタ (PVR)

<P4領域アドレス : H'FF00 0030番地>

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
リセット後の値 :	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								—	—	—	—	—	—	—	—
リセット後の値 :	0	0	0	0	1	0	0	0	—	—	—	—	—	—	—	—

<リセット後の値 : 不定>

ビット	シンボル	リセット後の値	R	W	説明
31~24	CHIP	H'10	R	—	プロセッサファミリの種別を示します。 SH-4A シリーズでは、必ず"H'10"が読み出されます。
23~16	VER	H'30	R	—	バージョンを示します。 SH-4A シリーズに大幅な機能拡張を行う場合に変更します。
15~8	CUT	H'08	R	—	バージョンを示します。 SH-4A シリーズに小規模な修正を行う場合に変更します。
7~0	—	不定	R	—	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。



付録 E. 外形寸法図

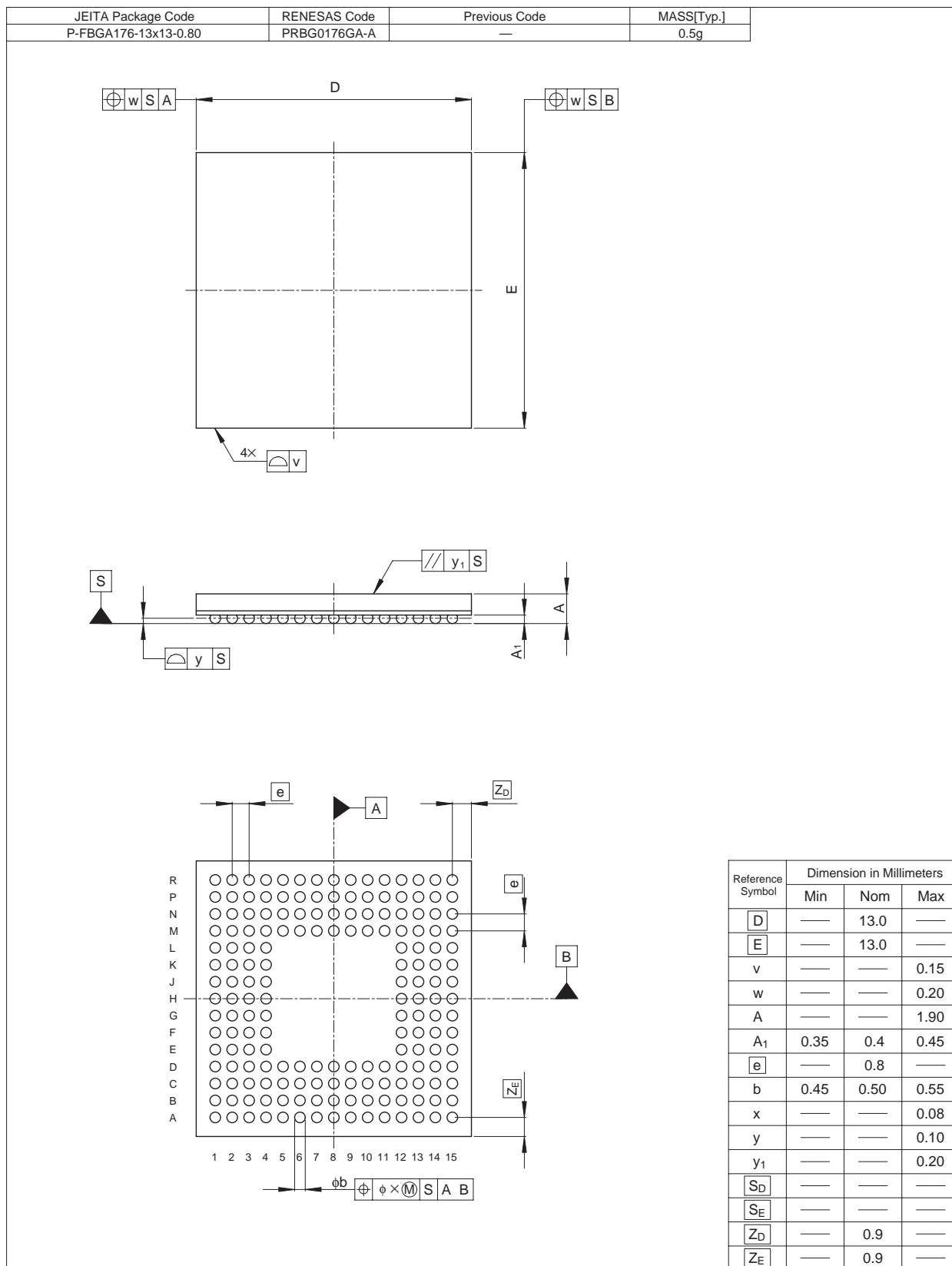


図 E.1 外形寸法図

## 付録 F. インデックスの見方

図 F.1 にインデックスの見方を示します。チップに印字する内容はお客様の製品仕様によって異なります。詳細な情報は、ルネサスへお問い合わせをお願い致します。

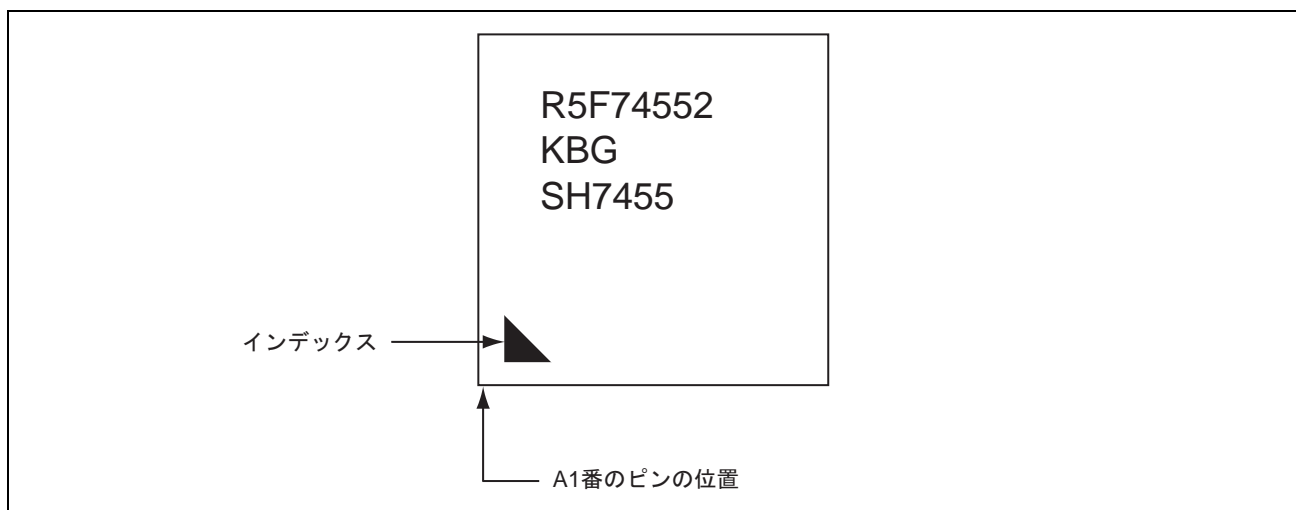


図 F.1 インデックスの見方 (例 : SH74552)

## 付録 G. レジスタ配置一覧表

### (1) 番地欄の見方

本章の表 G.1 のレジスタ配置一覧表に示す番地は P4 領域アドレスを指しています。P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。P4 領域アドレスの 32 ビットアドレスで上位 3 ビットを"0"にしたものがエリア 7 アドレスとなります。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

### (2) ダミーアクセス領域

H'FFFA0 0000~H'FFFA0 0003 番地は、周辺 A バス (PAck) 上のダミーアクセス領域 (DUMMYHPB1) となります。H'FFFF 5020~H'FFFF 5023 番地は、周辺バス (Pck) のダミーアクセス領域 (DUMMYHPB0) となります。この領域へのアクセスは、書き込み値無効、読み出し値不定となります。また、ダミーアクセス領域への書き込み、読み出し動作による、他のレジスタ領域への影響はありません。

### (3) アクセスサイズ欄の見方

1 行、32 ビット構成で記載しています。

8 ビットアクセスは"8"、16 ビットアクセスは"16"、32 ビットアクセスは"32"と表記しています。

使用禁止領域のアクセスサイズは "-" と表記しています。

ひとつのレジスタのアクセスが複数のアクセスを許可しているレジスタは、"/"で区切って表記しています。"/"で区切っていない場合は、表記しているアクセスサイズのみ許可されています。

- 32ビットレジスタで、32ビットアクセスと16ビットアクセスが可能な場合

アクセスサイズは"16/32"と表記しています。

- 8ビットレジスタで、8ビットアクセスの他にアライメントの取れた隣りの8ビットレジスタと同時に16ビットアクセスが可能な場合

アクセスサイズは"8/16"と表記しています。

- 1行の中に複数のレジスタが入っていて、アクセスサイズの単位がそれぞれ異なる場合

たとえば、"8/16, 8, 8"のように、アクセスサイズを","で区切って表記しています。

- 1行の中に複数のレジスタが入っていて、アクセスサイズの単位が同じ場合

たとえば、"8, 8, 8, 8"と区切らずに"8"として、アクセスサイズをまとめて表記しています。

### (4) SH7456 グループのレジスタアドレスの注意

SH7456 グループは、FlexRay モジュールを内蔵していません。FlexRay 関連レジスタ (H'FFBF F000~H'FFBF FFFF) は使用禁止領域です。読み出した場合、不定値が読み出されます。書き込みは行わないでください。

表 G.1 レジスタ配置一覧表

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FC11 0000	インストラクションレジスタ (SDIR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								
H'FC11 0018	割り込み要因レジスタ (SDINT)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								
H'FDFF A800	フラッシュ端子モニタレジスタ (FPMON)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								
H'FDFF A810	フラッシュアクセスステータス レジスタ (FASTAT)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								
H'FDFF A820	ROM マット選択レジスタ (ROMMAT)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								
H'FDFF A900	フラッシュステータスレジスタ 0 (FSTATR0)		フラッシュステータスレジスタ 1 (FSTATR1)		フラッシュ P/E モードエントリレジスタ (FENTRYR)				8/16
H'FDFF A904	フラッシュプロテクトレジスタ (FPROTR)				フラッシュリセットレジスタ (FRESETR)				8/16
~	(使用禁止領域)								
H'FDFF A91C	フラッシュ P/E ステータスレジスタ (FPESTAT)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								
H'FE40 0000	AUDR イネーブルレジスタ (AUDRENB)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								
H'FE40 0008	AUDR イベント発生レジスタ (AUDREVNT)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								
H'FE40 0010	AUDR Configuration 情報保持レジスタ (AUDISR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								
H'FE40 0018	AUDR メッセージボードレジスタ (AUDMBR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								
H'FF00 0000	ページテーブルエントリ上位レジスタ (PTEH)								32
H'FF00 0004	ページテーブルエントリ下位レジスタ (PTEL)								32
H'FF00 0008	変換テーブルベースレジスタ (TTB)								32
H'FF00 000C	TLB 例外アドレスレジスタ (TEA)								32
H'FF00 0010	MMU 制御レジスタ (MMUCR)								32
~	(使用禁止領域)								
H'FF00 001C	キャッシュ制御レジスタ (CCR)								32
H'FF00 0020	TRAPA 例外レジスタ (TRA)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FF00 0024	例外事象レジスタ (EXPEVT)								32
H'FF00 0028	割り込み事象レジスタ (INTEVT)								32
~	(使用禁止領域)								-
H'FF00 0030	プロセッサバージョンレジスタ (PVR)								32
H'FF00 0034	ページテーブルエントリアシスタンスレジスタ (PTEA)								32
H'FF00 0038	キューアドレス制御レジスタ 0 (QACR0)								32
H'FF00 003C	キューアドレス制御レジスタ 1 (QACR1)								32
~	(使用禁止領域)								-
H'FF00 0050	OL メモリ転送元アドレスレジスタ 0 (LSA0)								32
H'FF00 0054	OL メモリ転送元アドレスレジスタ 1 (LSA1)								32
H'FF00 0058	OL メモリ転送先アドレスレジスタ 0 (LDA0)								32
H'FF00 005C	OL メモリ転送先アドレスレジスタ 1 (LDA1)								32
~	(使用禁止領域)								-
H'FF00 0070	物理アドレス空間制御レジスタ (PASCR)								32
H'FF00 0074	内蔵メモリ制御レジスタ (RAMCR)								32
H'FF00 0078	命令再フェッチ抑止制御レジスタ (IRMCR)								32
~	(使用禁止領域)								-
H'FF20 0000	マッチ条件設定レジスタ 0 (CBR0)								32
H'FF20 0004	マッチ動作設定レジスタ 0 (CRR0)								32
H'FF20 0008	マッチアドレス設定レジスタ 0 (CAR0)								32
H'FF20 000C	マッチアドレスマスク設定レジスタ 0 (CAMR0)								32
~	(使用禁止領域)								-
H'FF20 0020	マッチ条件設定レジスタ 1 (CBR1)								32
H'FF20 0024	マッチ動作設定レジスタ 1 (CRR1)								32
H'FF20 0028	マッチアドレス設定レジスタ 1 (CAR1)								32
H'FF20 002C	マッチアドレスマスク設定レジスタ 1 (CAMR1)								32
H'FF20 0030	マッチデータ設定レジスタ 1 (CDR1)								32
H'FF20 0034	マッチデータマスク設定レジスタ 1 (CDMR1)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FF20 0038	実行回数ブレークレジスタ 1 (CETR1)								32
~	(使用禁止領域)								-
H'FF20 0600	チャンネルマッチフラグレジスタ (CCMFR)								32
~	(使用禁止領域)								-
H'FF20 0620	ブレークコントロールレジスタ (CBCR)								32
~	(使用禁止領域)								-
H'FF2F 0000	CPU 動作モードレジスタ (CPUOPM)								32
H'FF2F 0004	非サポート検出例外レジスタ (EXPMASK)								32
~	(使用禁止領域)								-
H'FF60 8020	DMA0 ソースアドレスレジスタ (DM0SAR)								32
H'FF60 8024	DMA0 デスティネーションアドレスレジスタ (DM0DAR)								32
H'FF60 8028	DMA0 トランスファカウントレジスタ (DM0TCR)								32
H'FF60 802C	DMA0 チャンネルコントロールレジスタ (DM0CHCR)								32
H'FF60 8030	DMA1 ソースアドレスレジスタ (DM1SAR)								32
H'FF60 8034	DMA1 デスティネーションアドレスレジスタ (DM1DAR)								32
H'FF60 8038	DMA1 トランスファカウントレジスタ (DM1TCR)								32
H'FF60 803C	DMA1 チャンネルコントロールレジスタ (DM1CHCR)								32
H'FF60 8040	DMA2 ソースアドレスレジスタ (DM2SAR)								32
H'FF60 8044	DMA2 デスティネーションアドレスレジスタ (DM2DAR)								32
H'FF60 8048	DMA2 トランスファカウントレジスタ (DM2TCR)								32
H'FF60 804C	DMA2 チャンネルコントロールレジスタ (DM2CHCR)								32
H'FF60 8050	DMA3 ソースアドレスレジスタ (DM3SAR)								32
H'FF60 8054	DMA3 デスティネーションアドレスレジスタ (DM3DAR)								32
H'FF60 8058	DMA3 トランスファカウントレジスタ (DM3TCR)								32
H'FF60 805C	DMA3 チャンネルコントロールレジスタ (DM3CHCR)								32
H'FF60 8060	DMA05 オペレーションレジスタ (DM05OR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FF60 8070	DMA4 ソースアドレスレジスタ (DM4SAR)								32
H'FF60 8074	DMA4 デスティネーションアドレスレジスタ (DM4DAR)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FF60 8078	DMA4 トランスファカウントレジスタ (DM4TCR)								32
H'FF60 807C	DMA4 チャンネルコントロールレジスタ (DM4CHCR)								32
H'FF60 8080	DMA5 ソースアドレスレジスタ (DM5SAR)								32
H'FF60 8084	DMA5 デスティネーションアドレスレジスタ (DM5DAR)								32
H'FF60 8088	DMA5 トランスファカウントレジスタ (DM5TCR)								32
H'FF60 808C	DMA5 チャンネルコントロールレジスタ (DM5CHCR)								32
~	(使用禁止領域)								-
H'FF60 8120	DMA0 ソースアドレスレジスタ B (DM0SARB)								32
H'FF60 8124	DMA0 デスティネーションアドレスレジスタ B (DM0DARB)								32
H'FF60 8128	DMA0 トランスファカウントレジスタ B (DM0TCRB)								32
~	(使用禁止領域)								-
H'FF60 8130	DMA1 ソースアドレスレジスタ B (DM1SARB)								32
H'FF60 8134	DMA1 デスティネーションアドレスレジスタ B (DM1DARB)								32
H'FF60 8138	DMA1 トランスファカウントレジスタ B (DM1TCRB)								32
~	(使用禁止領域)								-
H'FF60 8140	DMA2 ソースアドレスレジスタ B (DM2SARB)								32
H'FF60 8144	DMA2 デスティネーションアドレスレジスタ B (DM2DARB)								32
H'FF60 8148	DMA2 トランスファカウントレジスタ B (DM2TCRB)								32
~	(使用禁止領域)								-
H'FF60 8150	DMA3 ソースアドレスレジスタ B (DM3SARB)								32
H'FF60 8154	DMA3 デスティネーションアドレスレジスタ B (DM3DARB)								32
H'FF60 8158	DMA3 トランスファカウントレジスタ B (DM3TCRB)								32
~	(使用禁止領域)								-
H'FF60 9000	DMA01 拡張リソースセレクトレジスタ (DM01ARS)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FF60 9004	DMA23 拡張リソースセレクトレジスタ (DM23ARS)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FF60 9008	DMA45 拡張リソースセレクトレジスタ (DM45ARS)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FF61 8020	DMA6 ソースアドレスレジスタ (DM6SAR)								32
H'FF61 8024	DMA6 デスティネーションアドレスレジスタ (DM6DAR)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FF61 8028	DMA6 トランスファカウントレジスタ (DM6TCR)								32
H'FF61 802C	DMA6 チャンネルコントロールレジスタ (DM6CHCR)								32
H'FF61 8030	DMA7 ソースアドレスレジスタ (DM7SAR)								32
H'FF61 8034	DMA7 デスティネーションアドレスレジスタ (DM7DAR)								32
H'FF61 8038	DMA7 トランスファカウントレジスタ (DM7TCR)								32
H'FF61 803C	DMA7 チャンネルコントロールレジスタ (DM7CHCR)								32
H'FF61 8040	DMA8 ソースアドレスレジスタ (DM8SAR)								32
H'FF61 8044	DMA8 デスティネーションアドレスレジスタ (DM8DAR)								32
H'FF61 8048	DMA8 トランスファカウントレジスタ (DM8TCR)								32
H'FF61 804C	DMA8 チャンネルコントロールレジスタ (DM8CHCR)								32
H'FF61 8050	DMA9 ソースアドレスレジスタ (DM9SAR)								32
H'FF61 8054	DMA9 デスティネーションアドレスレジスタ (DM9DAR)								32
H'FF61 8058	DMA9 トランスファカウントレジスタ (DM9TCR)								32
H'FF61 805C	DMA9 チャンネルコントロールレジスタ (DM9CHCR)								32
H'FF61 8060	DMA611 オペレーションレジスタ (DM611OR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FF61 8070	DMA10 ソースアドレスレジスタ (DM10SAR)								32
H'FF61 8074	DMA10 デスティネーションアドレスレジスタ (DM10DAR)								32
H'FF61 8078	DMA10 トランスファカウントレジスタ (DM10TCR)								32
H'FF61 807C	DMA10 チャンネルコントロールレジスタ (DM10CHCR)								32
H'FF61 8080	DMA11 ソースアドレスレジスタ (DM11SAR)								32
H'FF61 8084	DMA11 デスティネーションアドレスレジスタ (DM11DAR)								32
H'FF61 8088	DMA11 トランスファカウントレジスタ (DM11TCR)								32
H'FF61 808C	DMA11 チャンネルコントロールレジスタ (DM11CHCR)								32
~	(使用禁止領域)								-
H'FF61 8120	DMA6 ソースアドレスレジスタ B (DM6SARB)								32
H'FF61 8124	DMA6 デスティネーションアドレスレジスタ B (DM6DARB)								32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FF61 8128	DMA6 トランスファカウンタレジスタ B (DM6TCRB)								32
~	(使用禁止領域)								-
H'FF61 8130	DMA7 ソースアドレスレジスタ B (DM7SARB)								32
H'FF61 8134	DMA7 デスティネーションアドレスレジスタ B (DM7DARB)								32
H'FF61 8138	DMA7 トランスファカウンタレジスタ B (DM7TCRB)								32
~	(使用禁止領域)								-
H'FF61 8140	DMA8 ソースアドレスレジスタ B (DM8SARB)								32
H'FF61 8144	DMA8 デスティネーションアドレスレジスタ B (DM8DARB)								32
H'FF61 8148	DMA8 トランスファカウンタレジスタ B (DM8TCRB)								32
~	(使用禁止領域)								-
H'FF61 8150	DMA9 ソースアドレスレジスタ B (DM9SARB)								32
H'FF61 8154	DMA9 デスティネーションアドレスレジスタ B (DM9DARB)								32
H'FF61 8158	DMA9 トランスファカウンタレジスタ B (DM9TCRB)								32
~	(使用禁止領域)								-
H'FF61 9000	DMA67 拡張リソースセレクトレジスタ (DM67ARS)			(使用禁止領域)		(使用禁止領域)			16, -, -
H'FF61 9004	DMA89 拡張リソースセレクトレジスタ (DM89ARS)			(使用禁止領域)		(使用禁止領域)			16, -, -
H'FF61 9008	DMA1011 拡張リソースセレクトレジスタ (DM1011ARS)			(使用禁止領域)		(使用禁止領域)			16, -, -
~	(使用禁止領域)								-
H'FFA0 0000	ダミーアクセス領域 (DUMMYHPB1)								8/16/32
~	(使用禁止領域)								-
H'FFBF C000	DRI0DIN 割り込み要求ステータス レジスタ (DRI0DINIST)	DRI0DIN 割り込み要求許可 レジスタ (DRI0DINIEN)	DRI0DIN DMA 転送要求ステータス レジスタ (DRI0DINDST)	DRI0DIN DMA 転送許可 レジスタ (DRI0DINDEN)					8
H'FFBF C004	DRI0DEC 割り込み要求ステータス レジスタ (DRI0DECIST)	DRI0DEC 割り込み要求許可 レジスタ (DRI0DECIEN)	DRI0DEC DMA 転送要求ステータ スレジスタ (DRI0DEC DST)	DRI0DEC DMA 転送許可 レジスタ (DRI0DEC DEN)					8
H'FFBF C008	DRI0 転送割り込み要求ステータス レジスタ (DRI0TRMIST)	DRI0 転送割り込み要求許可 レジスタ (DRI0TRMIEN)	DRI0DMA 転送要求ステータス レジスタ (DRI0TRMDST)	DRI0DMA 転送許可 レジスタ (DRI0TRMDEN)					8
H'FFBF C00C	DRI0I 転送制御レジスタ (DRI0TRMCNT)	DRI0 特殊モードレジスタ (DRI0SPMOD)	DRI0 データ取り込み制御レジスタ (DRI0DCAPCNT)					8, 8, 16	
H'FFBF C010	DRI0 データ間引き制御レジスタ (DRI0DSELCNT)	DRI0 データ間引きイベント選択 レジスタ (DRI0DEVTCNT)	DRI0DIN 入カイベント選択 レジスタ (DRI0DINSEL)	(使用禁止領域)					8, 8, 8, -
H'FFBF C014	DRI0DD 入力許可レジスタ (DRI0DDEN)								32
H'FFBF C018	DRI0 データ取り込みイベント数設定レジスタ (DRI0DCAPNUM)								32
H'FFBF C01C	DRI0 取り込みイベントカウンタ (DRI0DCAPCT)								32
H'FFBF C020	DRI0 転送カウンタ (DRI0TRMCT)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF C024	DRI0 アドレスリロードレジスタ 0 (DRI0ADR0RLD)								32
H'FFBF C028	DRI0 アドレスカウンタ 0 (DRI0ADR0CT)								32
H'FFBF C02C	DRI0 アドレスリロードレジスタ 1 (DRI0ADR1RLD)								32
H'FFBF C030	DRI0 アドレスカウンタ 1 (DRI0ADR1CT)								32
H'FFBF C034	DRI0 入力処理制御レジスタ (DRI0INCNT)			DRI0DEC0 制御レジスタ (DRI0DEC0CNT)			(使用禁止領域)		16, 8, -
H'FFBF C038	DRI0DEC0 リロードレジスタ (DRI0DEC0RLD)			DRI0DEC0 カウンタ (DRI0DEC0CT)					16
H'FFBF C03C	DRI0DEC1 制御レジスタ (DRI0DEC1CNT)		(使用禁止領域)		DRI0DEC1 リロードレジスタ (DRI0DEC1RLD)				8, -, 16
H'FFBF C040	DRI0DEC1 カウンタ (DRI0DEC1CT)			DRI0DEC2 制御レジスタ (DRI0DEC2CNT)			(使用禁止領域)		16, 8, -
H'FFBF C044	DRI0DEC2 リロードレジスタ (DRI0DEC2RLD)			DRI0DEC2 カウンタ (DRI0DEC2CT)					16
H'FFBF C048	DRI0DEC3 制御レジスタ (DRI0DEC3CNT)		(使用禁止領域)		DRI0DEC3 リロードレジスタ (DRI0DEC3RLD)				8, -, 16
H'FFBF C04C	DRI0DEC3 カウンタ (DRI0DEC3CT)			DRI0DEC4 制御レジスタ (DRI0DEC4CNT)			(使用禁止領域)		16, 8, -
H'FFBF C050	DRI0DEC4 リロードレジスタ (DRI0DEC4RLD)			DRI0DEC4 カウンタ (DRI0DEC4CT)					16
H'FFBF C054	DRI0DEC5 制御レジスタ (DRI0DEC5CNT)		(使用禁止領域)		DRI0DEC5 リロードレジスタ (DRI0DEC5RLD)				8, -, 16
H'FFBF C058	DRI0DEC5 カウンタ (DRI0DEC5CT)			(使用禁止領域)		(使用禁止領域)			16, -, -
~	(使用禁止領域)								-
H'FFBF D000	DRI1DIN 割り込み要求ステータス レジスタ (DRI1DINIST)		DRI1DIN 割り込み要求許可 レジスタ (DRI1DINIEN)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFBF D004	DRI1DEC 割り込み要求ステータス レジスタ (DRI1DECIST)		DRI1DEC 割り込み要求許可 レジスタ (DRI1DECIEN)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFBF D008	DRI1 転送割り込み要求ステータス レジスタ (DRI1TRMIST)		DRI1 転送割り込み要求許可 レジスタ (DRI1TRMIEN)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFBF D00C	DRI11 転送制御レジスタ (DRI1TRMCNT)		DRI1 特殊モードレジスタ (DRI1SPMOD)		DRI1 データ取り込み制御レジスタ (DRI1DCAPCNT)				8, 8, 16
H'FFBF D010	DRI1 データ間引き制御レジスタ (DRI1DSELCNT)		DRI1 データ間引きイベント選択 レジスタ (DRI1DEVTCNT)		DRI1DIN 入力イベント選択 レジスタ (DRI1DINSEL)		(使用禁止領域)		8, 8, 8, -
H'FFBF D014	DRI1DD 入力許可レジスタ (DRI1DDEN)								32
H'FFBF D018	DRI1 データ取り込みイベント数設定レジスタ (DRI1DCAPNUM)								32
H'FFBF D01C	DRI1 取り込みイベントカウンタ (DRI1DCAPCT)								32
H'FFBF D020	DRI1 転送カウンタ (DRI1TRMCT)								32
H'FFBF D024	DRI1 アドレスリロードレジスタ 0 (DRI1ADR0RLD)								32
H'FFBF D028	DRI1 アドレスカウンタ 0 (DRI1ADR0CT)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ	
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0		
H'FFBF D02C	DRI1 アドレスリロードレジスタ 1 (DRI1ADR1RLD)								32	
H'FFBF D030	DRI1 アドレスカウンタ 1 (DRI1ADR1CT)								32	
H'FFBF D034	DRI1 入力処理制御レジスタ (DRI1DINCNT)			DRI1DEC0 制御レジスタ (DRI1DEC0CNT)		(使用禁止領域)			16, 8, -	
H'FFBF D038	DRI1DEC0 リロードレジスタ (DRI1DEC0RLD)				DRI1DEC0 カウンタ (DRI1DEC0CNT)				16	
H'FFBF D03C	DRI1DEC1 制御レジスタ (DRI1DEC1CNT)		(使用禁止領域)		DRI1DEC1 リロードレジスタ (DRI1DEC1RLD)				8, -, 16	
H'FFBF D040	DRI1DEC1 カウンタ (DRI1DEC1CT)				DRI1DEC2 制御レジスタ (DRI1DEC2CNT)		(使用禁止領域)			16, 8, -
H'FFBF D044	DRI1DEC2 リロードレジスタ (DRI1DEC2RLD)				DRI1DEC2 カウンタ (DRI1DEC2CT)				16	
H'FFBF D048	DRI1DEC3 制御レジスタ (DRI1DEC3CNT)		(使用禁止領域)		DRI1DEC3 リロードレジスタ (DRI1DEC3RLD)				8, -, 16	
H'FFBF D04C	DRI1DEC3 カウンタ (DRI1DEC3CT)				DRI1DEC4 制御レジスタ (DRI1DEC4CNT)		(使用禁止領域)			16, 8, -
H'FFBF D050	DRI1DEC4 リロードレジスタ (DRI1DEC4RLD)				DRI1DEC4 カウンタ (DRI1DEC4CT)				16	
H'FFBF D054	DRI1DEC5 制御レジスタ (DRI1DEC5CNT)		(使用禁止領域)		DRI1DEC5 リロードレジスタ (DRI1DEC5RLD)				8, -, 16	
H'FFBF D058	DRI1DEC5 カウンタ (DRI1DEC5CT)				(使用禁止領域)		(使用禁止領域)			16, -, -
~	(使用禁止領域)								-	
H'FFBF E000	DRI2DIN 割り込み要求ステータス レジスタ (DRI2DINIST)		DRI2DIN 割り込み要求許可 レジスタ (DRI2DINIEN)		(使用禁止領域)		(使用禁止領域)			8, 8, -, -
H'FFBF E004	DRI2DEC 割り込み要求ステータス レジスタ (DRI2DECIST)		DRI2DEC 割り込み要求許可 レジスタ (DRI2DECIEN)		(使用禁止領域)		(使用禁止領域)			8, 8, -, -
H'FFBF E008	DRI2 転送割り込み要求ステータス レジスタ (DRI2TRMIST)		DRI2 転送割り込み要求許可 レジスタ (DRI2TRMIEN)		(使用禁止領域)		(使用禁止領域)			8, 8, -, -
H'FFBF E00C	DRI2 転送制御レジスタ (DRI2TRMCNT)		DRI2 特殊モードレジスタ (DRI2SPMOD)		DRI2 データ取り込み制御レジスタ (DRI2DCAPCNT)				8, 8, 16	
H'FFBF E010	DRI2 データ間引き制御レジスタ (DRI2DSELCNT)		DRI2 データ間引きイベント選択 レジスタ (DRI2DEVTCNT)		DRI2DIN 入力イベント選択 レジスタ (DRI2DINSEL)		(使用禁止領域)			8, 8, 8, -
H'FFBF E014	DRI2DD 入力許可レジスタ (DRI2DDEN)								32	
H'FFBF E018	DRI2 データ取り込みイベント数設定レジスタ (DRI2DCAPNUM)								32	
H'FFBF E01C	DRI2 取り込みイベントカウンタ (DRI2DCAPCT)								32	
H'FFBF E020	DRI2 転送カウンタ (DRI2TRMCT)								32	
H'FFBF E024	DRI2 アドレスリロードレジスタ 0 (DRI2ADR0RLD)								32	
H'FFBF E028	DRI2 アドレスカウンタ 0 (DRI2ADR0CT)								32	
H'FFBF E02C	DRI2 アドレスリロードレジスタ 1 (DRI2ADR1RLD)								32	
H'FFBF E030	DRI2 アドレスカウンタ 1 (DRI2ADR1CT)								32	

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF E034	DRI2 入力処理制御レジスタ (DRI2DINCNT)				DRI2DEC0 制御レジスタ (DRI2DEC0CNT)		(使用禁止領域)		16, 8, -
H'FFBF E038	DRI2DEC0 リロードレジスタ (DRI2DEC0RLD)				DRI2DEC0 カウンタ (DRI2DEC0CNT)				16
H'FFBF E03C	DRI2DEC1 制御レジスタ (DRI2DEC1CNT)		(使用禁止領域)		DRI2DEC1 リロードレジスタ (DRI2DEC1RLD)				8, -, 16
H'FFBF E040	DRI2DEC1 カウンタ (DRI2DEC1CT)				DRI2DEC2 制御レジスタ (DRI2DEC2CNT)		(使用禁止領域)		16, 8, -
H'FFBF E044	DRI2DEC2 リロードレジスタ (DRI2DEC2RLD)				DRI2DEC2 カウンタ (DRI2DEC2CT)				16
H'FFBF E048	DRI2DEC3 制御レジスタ (DRI2DEC3CNT)		(使用禁止領域)		DRI2DEC3 リロードレジスタ (DRI2DEC3RLD)				8, -, 16
H'FFBF E04C	DRI2DEC3 カウンタ (DRI2DEC3CT)				DRI2DEC4 制御レジスタ (DRI2DEC4CNT)		(使用禁止領域)		16, 8, -
H'FFBF E050	DRI2DEC4 リロードレジスタ (DRI2DEC4RLD)				DRI2DEC4 カウンタ (DRI2DEC4CT)				16
H'FFBF E054	DRI2DEC5 制御レジスタ (DRI2DEC5CNT)		(使用禁止領域)		DRI2DEC5 リロードレジスタ (DRI2DEC5RLD)				8, -, 16
H'FFBF E058	DRI2DEC5 カウンタ (DRI2DEC5CT)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFBF F004	FlexRay 動作制御レジスタ (FXROC)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								-
H'FFBF F00C	FlexRay タイマ割り込み要求 ステータスレジスタ (FXRTISR)		FlexRay タイマ割り込み 許可レジスタ (FXRTIER)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
~	(使用禁止領域)								-
H'FFBF F01C	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		FlexRay ロックレジスタ (FRLCK)		-, -, -, 8
H'FFBF F020	FlexRay エラー割り込みレジスタ (FREIR)								32
H'FFBF F024	FlexRay ステータス割り込みレジスタ (FRSIR)								32
H'FFBF F028	FlexRay エラー割り込み出力選択レジスタ (FREILS)								32
H'FFBF F02C	FlexRay ステータス割り込み出力選択レジスタ (FRSILS)								32
H'FFBF F030	FlexRay エラー割り込み許可レジスタ (FREIES)								32
H'FFBF F034	FlexRay エラー割り込み禁止レジスタ (FREIER)								32
H'FFBF F038	FlexRay ステータス割り込み許可レジスタ (FRSIES)								32
H'FFBF F03C	FlexRay ステータス割り込み禁止レジスタ (FRSIER)								32
H'FFBF F040	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		FlexRay 割り込み出力許可 レジスタ (FRILE)		-, -, -, 8
H'FFBF F044	FlexRay タイマ 0 設定レジスタ (FRT0C)								32
H'FFBF F048	FlexRay タイマ 1 設定レジスタ (FRT1C)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F04C	FlexRay ストップウォッチレジスタ 1 (FRSTPW1)								32
H'FFBF F050	FlexRay ストップウォッチレジスタ 2 (FRSTPW2)								32
~	(使用禁止領域)								-
H'FFBF F080	FlexRay SUC 設定レジスタ 1 (FRSUCC1)								32
H'FFBF F084	FlexRay SUC 設定レジスタ 2 (FRSUCC2)								32
H'FFBF F088	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	FlexRay SUC 設定レジスタ 3 (FRSUCC3)		-, -, -, 8
H'FFBF F08C	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	FlexRay NEM 設定レジスタ (FRNEMC)		-, -, -, 8
H'FFBF F090	FlexRay PRT 設定レジスタ 1 (FRPRTC1)								32
H'FFBF F094	FlexRay PRT 設定レジスタ 2 (FRPRTC2)								32
H'FFBF F098	FlexRay MHD 設定レジスタ (FRMHDC)								32
~	(使用禁止領域)								-
H'FFBF F0A0	FlexRay GTU 設定レジスタ 1 (FRGTUC1)								32
H'FFBF F0A4	FlexRay GTU 設定レジスタ 2 (FRGTUC2)								32
H'FFBF F0A8	FlexRay GTU 設定レジスタ 3 (FRGTUC3)								32
H'FFBF F0AC	FlexRay GTU 設定レジスタ 4 (FRGTUC4)								32
H'FFBF F0B0	FlexRay GTU 設定レジスタ 5 (FRGTUC5)								32
H'FFBF F0B4	FlexRay GTU 設定レジスタ 6 (FRGTUC6)								32
H'FFBF F0B8	FlexRay GTU 設定レジスタ 7 (FRGTUC7)								32
H'FFBF F0BC	FlexRay GTU 設定レジスタ 8 (FRGTUC8)								32
H'FFBF F0C0	FlexRay GTU 設定レジスタ 9 (FRGTUC9)								32
H'FFBF F0C4	FlexRay GTU 設定レジスタ 10 (FRGTUC10)								32
H'FFBF F0C8	FlexRay GTU 設定レジスタ 11 (FRGTUC11)								32
~	(使用禁止領域)								-
H'FFBF F100	FlexRay CC ステータスペクタレジスタ (FRCCSV)								32
H'FFBF F104	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)	FlexRay CC エラーベクタレジスタ (FRCCEV)		-, -, 16
~	(使用禁止領域)								-
H'FFBF F110	FlexRay スロットカウンタ値レジスタ (FRSCV)								32
H'FFBF F114	FlexRay MT 値/サイクルカウンタ値レジスタ (FRMTCCV)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F118	(使用禁止領域)		(使用禁止領域)		FlexRay レート補正值レジスタ (FRRCV)				-, -, 16
H'FFBF F11C	FlexRay オフセット補正值レジスタ (FROCV)								32
H'FFBF F120	FlexRay Sync フレームステータスレジスタ (FRSFS)								32
H'FFBF F124	(使用禁止領域)		(使用禁止領域)		FlexRay シンボルウィンドウ/NIT ステータスレジスタ (FRSWNIT)				-, -, 16
H'FFBF F128	(使用禁止領域)		(使用禁止領域)		FlexRay チャネルステータス集計レジスタ (FRACS)				-, -, 16
~	(使用禁止領域)								-
H'FFBF F130	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 1 (FRESID1)				-, -, 16
H'FFBF F134	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 2 (FRESID2)				-, -, 16
H'FFBF F138	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 3 (FRESID3)				-, -, 16
H'FFBF F13C	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 4 (FRESID4)				-, -, 16
H'FFBF F140	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 5 (FRESID5)				-, -, 16
H'FFBF F144	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 6 (FRESID6)				-, -, 16
H'FFBF F148	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 7 (FRESID7)				-, -, 16
H'FFBF F14C	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 8 (FRESID8)				-, -, 16
H'FFBF F150	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 9 (FRESID9)				-, -, 16
H'FFBF F154	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 10 (FRESID10)				-, -, 16
H'FFBF F158	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 11 (FRESID11)				-, -, 16
H'FFBF F15C	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 12 (FRESID12)				-, -, 16
H'FFBF F160	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 13 (FRESID13)				-, -, 16
H'FFBF F164	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 14 (FRESID14)				-, -, 16
H'FFBF F168	(使用禁止領域)		(使用禁止領域)		FlexRay 偶数 Sync ID レジスタ 15 (FRESID15)				-, -, 16
~	(使用禁止領域)								-
H'FFBF F170	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 1 (FROSID1)				-, -, 16
H'FFBF F174	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 2 (FROSID2)				-, -, 16
H'FFBF F178	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 3 (FROSID3)				-, -, 16
H'FFBF F17C	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 4 (FROSID4)				-, -, 16
H'FFBF F180	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 5 (FROSID5)				-, -, 16

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F184	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 6 (FROSID6)				-, -, 16
H'FFBF F188	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 7 (FROSID7)				-, -, 16
H'FFBF F18C	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 8 (FROSID8)				-, -, 16
H'FFBF F190	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 9 (FROSID9)				-, -, 16
H'FFBF F194	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 10 (FROSID10)				-, -, 16
H'FFBF F198	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 11 (FROSID11)				-, -, 16
H'FFBF F19C	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 12 (FROSID12)				-, -, 16
H'FFBF F1A0	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 13 (FROSID13)				-, -, 16
H'FFBF F1A4	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 14 (FROSID14)				-, -, 16
H'FFBF F1A8	(使用禁止領域)		(使用禁止領域)		FlexRay 奇数 Sync ID レジスタ 15 (FROSID15)				-, -, 16
~	(使用禁止領域)								-
H'FFBF F1B0	FlexRay ネットワーク管理ベクタレジスタ 1 (FRNMV1)								32
H'FFBF F1B4	FlexRay ネットワーク管理ベクタレジスタ 2 (FRNMV2)								32
H'FFBF F1B8	FlexRay ネットワーク管理ベクタレジスタ 3 (FRNMV3)								32
~	(使用禁止領域)								-
H'FFBF F300	FlexRay メッセージ RAM 設定レジスタ (FRMRC)								32
H'FFBF F304	FlexRay FIFO リジェクションフィルタレジスタ (FRFRF)								32
H'FFBF F308	(使用禁止領域)		(使用禁止領域)		FlexRay FIFO リジェクションフィルタマスクレジスタ (FRFRFM)				-, -, 16
H'FFBF F30C	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		FlexRay FIFO クリティカルレベル レジスタ (FRFCL)		-, -, -, 8
H'FFBF F310	FlexRay メッセージハンドラステータスレジスタ (FRMHDS)								32
H'FFBF F314	FlexRay 最終ダイナミック送信スロットレジスタ (FRLDTS)								32
H'FFBF F318	(使用禁止領域)		(使用禁止領域)		FlexRay FIFO ステータスレジスタ (FRFSR)				-, -, 16
H'FFBF F31C	(使用禁止領域)		(使用禁止領域)		FlexRay メッセージハンドラ制限フラグレジスタ (FRMHDF)				-, -, 16
H'FFBF F320	FlexRay 送信要求レジスタ 1 (FRTXRQ1)								32
H'FFBF F324	FlexRay 送信要求レジスタ 2 (FRTXRQ2)								32
H'FFBF F328	FlexRay 送信要求レジスタ 3 (FRTXRQ3)								32
H'FFBF F32C	FlexRay 送信要求レジスタ 4 (FRTXRQ4)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F330	FlexRay 新データレジスタ 1 (FRNDAT1)								32
H'FFBF F334	FlexRay 新データレジスタ 2 (FRNDAT2)								32
H'FFBF F338	FlexRay 新データレジスタ 3 (FRNDAT3)								32
H'FFBF F33C	FlexRay 新データレジスタ 4 (FRNDAT4)								32
H'FFBF F340	FlexRay メッセージバッファステータス変化レジスタ 1 (FRMBSC1)								32
H'FFBF F344	FlexRay メッセージバッファステータス変化レジスタ 2 (FRMBSC2)								32
H'FFBF F348	FlexRay メッセージバッファステータス変化レジスタ 3 (FRMBSC3)								32
H'FFBF F34C	FlexRay メッセージバッファステータス変化レジスタ 4 (FRMBSC4)								32
~	(使用禁止領域)								-
H'FFBF F400	FlexRay データセクションライトレジスタ 1 (FRWRDS1)								32
H'FFBF F404	FlexRay データセクションライトレジスタ 2 (FRWRDS2)								32
H'FFBF F408	FlexRay データセクションライトレジスタ 3 (FRWRDS3)								32
H'FFBF F40C	FlexRay データセクションライトレジスタ 4 (FRWRDS4)								32
H'FFBF F410	FlexRay データセクションライトレジスタ 5 (FRWRDS5)								32
H'FFBF F414	FlexRay データセクションライトレジスタ 6 (FRWRDS6)								32
H'FFBF F418	FlexRay データセクションライトレジスタ 7 (FRWRDS7)								32
H'FFBF F41C	FlexRay データセクションライトレジスタ 8 (FRWRDS8)								32
H'FFBF F420	FlexRay データセクションライトレジスタ 9 (FRWRDS9)								32
H'FFBF F424	FlexRay データセクションライトレジスタ 10 (FRWRDS10)								32
H'FFBF F428	FlexRay データセクションライトレジスタ 11 (FRWRDS11)								32
H'FFBF F42C	FlexRay データセクションライトレジスタ 12 (FRWRDS12)								32
H'FFBF F430	FlexRay データセクションライトレジスタ 13 (FRWRDS13)								32
H'FFBF F434	FlexRay データセクションライトレジスタ 14 (FRWRDS14)								32
H'FFBF F438	FlexRay データセクションライトレジスタ 15 (FRWRDS15)								32
H'FFBF F43C	FlexRay データセクションライトレジスタ 16 (FRWRDS16)								32
H'FFBF F440	FlexRay データセクションライトレジスタ 17 (FRWRDS17)								32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F444	FlexRay データセクションライトレジスタ 18 (FRWRDS18)								32
H'FFBF F448	FlexRay データセクションライトレジスタ 19 (FRWRDS19)								32
H'FFBF F44C	FlexRay データセクションライトレジスタ 20 (FRWRDS20)								32
H'FFBF F450	FlexRay データセクションライトレジスタ 21 (FRWRDS21)								32
H'FFBF F454	FlexRay データセクションライトレジスタ 22 (FRWRDS22)								32
H'FFBF F458	FlexRay データセクションライトレジスタ 23 (FRWRDS23)								32
H'FFBF F45C	FlexRay データセクションライトレジスタ 24 (FRWRDS24)								32
H'FFBF F460	FlexRay データセクションライトレジスタ 25 (FRWRDS25)								32
H'FFBF F464	FlexRay データセクションライトレジスタ 26 (FRWRDS26)								32
H'FFBF F468	FlexRay データセクションライトレジスタ 27 (FRWRDS27)								32
H'FFBF F46C	FlexRay データセクションライトレジスタ 28 (FRWRDS28)								32
H'FFBF F470	FlexRay データセクションライトレジスタ 29 (FRWRDS29)								32
H'FFBF F474	FlexRay データセクションライトレジスタ 30 (FRWRDS30)								32
H'FFBF F478	FlexRay データセクションライトレジスタ 31 (FRWRDS31)								32
H'FFBF F47C	FlexRay データセクションライトレジスタ 32 (FRWRDS32)								32
H'FFBF F480	FlexRay データセクションライトレジスタ 33 (FRWRDS33)								32
H'FFBF F484	FlexRay データセクションライトレジスタ 34 (FRWRDS34)								32
H'FFBF F488	FlexRay データセクションライトレジスタ 35 (FRWRDS35)								32
H'FFBF F48C	FlexRay データセクションライトレジスタ 36 (FRWRDS36)								32
H'FFBF F490	FlexRay データセクションライトレジスタ 37 (FRWRDS37)								32
H'FFBF F494	FlexRay データセクションライトレジスタ 38 (FRWRDS38)								32
H'FFBF F498	FlexRay データセクションライトレジスタ 39 (FRWRDS39)								32
H'FFBF F49C	FlexRay データセクションライトレジスタ 40 (FRWRDS40)								32
H'FFBF F4A0	FlexRay データセクションライトレジスタ 41 (FRWRDS41)								32
H'FFBF F4A4	FlexRay データセクションライトレジスタ 42 (FRWRDS42)								32
H'FFBF F4A8	FlexRay データセクションライトレジスタ 43 (FRWRDS43)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F4AC	FlexRay データセクションライトレジスタ 44 (FRWRDS44)								32
H'FFBF F4B0	FlexRay データセクションライトレジスタ 45 (FRWRDS45)								32
H'FFBF F4B4	FlexRay データセクションライトレジスタ 46 (FRWRDS46)								32
H'FFBF F4B8	FlexRay データセクションライトレジスタ 47 (FRWRDS47)								32
H'FFBF F4BC	FlexRay データセクションライトレジスタ 48 (FRWRDS48)								32
H'FFBF F4C0	FlexRay データセクションライトレジスタ 49 (FRWRDS49)								32
H'FFBF F4C4	FlexRay データセクションライトレジスタ 50 (FRWRDS50)								32
H'FFBF F4C8	FlexRay データセクションライトレジスタ 51 (FRWRDS51)								32
H'FFBF F4CC	FlexRay データセクションライトレジスタ 52 (FRWRDS52)								32
H'FFBF F4D0	FlexRay データセクションライトレジスタ 53 (FRWRDS53)								32
H'FFBF F4D4	FlexRay データセクションライトレジスタ 54 (FRWRDS54)								32
H'FFBF F4D8	FlexRay データセクションライトレジスタ 55 (FRWRDS55)								32
H'FFBF F4DC	FlexRay データセクションライトレジスタ 56 (FRWRDS56)								32
H'FFBF F4E0	FlexRay データセクションライトレジスタ 57 (FRWRDS57)								32
H'FFBF F4E4	FlexRay データセクションライトレジスタ 58 (FRWRDS58)								32
H'FFBF F4E8	FlexRay データセクションライトレジスタ 59 (FRWRDS59)								32
H'FFBF F4EC	FlexRay データセクションライトレジスタ 60 (FRWRDS60)								32
H'FFBF F4F0	FlexRay データセクションライトレジスタ 61 (FRWRDS61)								32
H'FFBF F4F4	FlexRay データセクションライトレジスタ 62 (FRWRDS62)								32
H'FFBF F4F8	FlexRay データセクションライトレジスタ 63 (FRWRDS63)								32
H'FFBF F4FC	FlexRay データセクションライトレジスタ 64 (FRWRDS64)								32
H'FFBF F500	FlexRay ヘッドセクションライトレジスタ 1 (FRWRHS1)								32
H'FFBF F504	FlexRay ヘッドセクションライトレジスタ 2 (FRWRHS2)								32
H'FFBF F508	(使用禁止領域)	(使用禁止領域)	FlexRay ヘッドセクションライトレジスタ 3 (FRWRHS3)					-, -, 16	
H'FFBF F50C	(使用禁止領域)								-
H'FFBF F510	FlexRay 入力バッファコマンドマスクレジスタ (FRIBCM)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F514	FlexRay 入力バッファコマンド要求レジスタ (FRIBCR)								32
~	(使用禁止領域)								-
H'FFBF F600	FlexRay データセクションリードレジスタ 1 (FRRDDS1)								32
H'FFBF F604	FlexRay データセクションリードレジスタ 2 (FRRDDS2)								32
H'FFBF F608	FlexRay データセクションリードレジスタ 3 (FRRDDS3)								32
H'FFBF F60C	FlexRay データセクションリードレジスタ 4 (FRRDDS4)								32
H'FFBF F610	FlexRay データセクションリードレジスタ 5 (FRRDDS5)								32
H'FFBF F614	FlexRay データセクションリードレジスタ 6 (FRRDDS6)								32
H'FFBF F618	FlexRay データセクションリードレジスタ 7 (FRRDDS7)								32
H'FFBF F61C	FlexRay データセクションリードレジスタ 8 (FRRDDS8)								32
H'FFBF F620	FlexRay データセクションリードレジスタ 9 (FRRDDS9)								32
H'FFBF F624	FlexRay データセクションリードレジスタ 10 (FRRDDS10)								32
H'FFBF F628	FlexRay データセクションリードレジスタ 11 (FRRDDS11)								32
H'FFBF F62C	FlexRay データセクションリードレジスタ 12 (FRRDDS12)								32
H'FFBF F630	FlexRay データセクションリードレジスタ 13 (FRRDDS13)								32
H'FFBF F634	FlexRay データセクションリードレジスタ 14 (FRRDDS14)								32
H'FFBF F638	FlexRay データセクションリードレジスタ 15 (FRRDDS15)								32
H'FFBF F63C	FlexRay データセクションリードレジスタ 16 (FRRDDS16)								32
H'FFBF F640	FlexRay データセクションリードレジスタ 17 (FRRDDS17)								32
H'FFBF F644	FlexRay データセクションリードレジスタ 18 (FRRDDS18)								32
H'FFBF F648	FlexRay データセクションリードレジスタ 19 (FRRDDS19)								32
H'FFBF F64C	FlexRay データセクションリードレジスタ 20 (FRRDDS20)								32
H'FFBF F650	FlexRay データセクションリードレジスタ 21 (FRRDDS21)								32
H'FFBF F654	FlexRay データセクションリードレジスタ 22 (FRRDDS22)								32
H'FFBF F658	FlexRay データセクションリードレジスタ 23 (FRRDDS23)								32
H'FFBF F65C	FlexRay データセクションリードレジスタ 24 (FRRDDS24)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F660	FlexRay データセクションリードレジスタ 25 (FRRDDS25)								32
H'FFBF F664	FlexRay データセクションリードレジスタ 26 (FRRDDS26)								32
H'FFBF F668	FlexRay データセクションリードレジスタ 27 (FRRDDS27)								32
H'FFBF F66C	FlexRay データセクションリードレジスタ 28 (FRRDDS28)								32
H'FFBF F670	FlexRay データセクションリードレジスタ 29 (FRRDDS29)								32
H'FFBF F674	FlexRay データセクションリードレジスタ 30 (FRRDDS30)								32
H'FFBF F678	FlexRay データセクションリードレジスタ 31 (FRRDDS31)								32
H'FFBF F67C	FlexRay データセクションリードレジスタ 32 (FRRDDS32)								32
H'FFBF F680	FlexRay データセクションリードレジスタ 33 (FRRDDS33)								32
H'FFBF F684	FlexRay データセクションリードレジスタ 34 (FRRDDS34)								32
H'FFBF F688	FlexRay データセクションリードレジスタ 35 (FRRDDS35)								32
H'FFBF F68C	FlexRay データセクションリードレジスタ 36 (FRRDDS36)								32
H'FFBF F690	FlexRay データセクションリードレジスタ 37 (FRRDDS37)								32
H'FFBF F694	FlexRay データセクションリードレジスタ 38 (FRRDDS38)								32
H'FFBF F698	FlexRay データセクションリードレジスタ 39 (FRRDDS39)								32
H'FFBF F69C	FlexRay データセクションリードレジスタ 40 (FRRDDS40)								32
H'FFBF F6A0	FlexRay データセクションリードレジスタ 41 (FRRDDS41)								32
H'FFBF F6A4	FlexRay データセクションリードレジスタ 42 (FRRDDS42)								32
H'FFBF F6A8	FlexRay データセクションリードレジスタ 43 (FRRDDS43)								32
H'FFBF F6AC	FlexRay データセクションリードレジスタ 44 (FRRDDS44)								32
H'FFBF F6B0	FlexRay データセクションリードレジスタ 45 (FRRDDS45)								32
H'FFBF F6B4	FlexRay データセクションリードレジスタ 46 (FRRDDS46)								32
H'FFBF F6B8	FlexRay データセクションリードレジスタ 47 (FRRDDS47)								32
H'FFBF F6BC	FlexRay データセクションリードレジスタ 48 (FRRDDS48)								32
H'FFBF F6C0	FlexRay データセクションリードレジスタ 49 (FRRDDS49)								32
H'FFBF F6C4	FlexRay データセクションリードレジスタ 50 (FRRDDS50)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFBF F6C8	FlexRay データセクションリードレジスタ 51 (FRRDDS51)								32
H'FFBF F6CC	FlexRay データセクションリードレジスタ 52 (FRRDDS52)								32
H'FFBF F6D0	FlexRay データセクションリードレジスタ 53 (FRRDDS53)								32
H'FFBF F6D4	FlexRay データセクションリードレジスタ 54 (FRRDDS54)								32
H'FFBF F6D8	FlexRay データセクションリードレジスタ 55 (FRRDDS55)								32
H'FFBF F6DC	FlexRay データセクションリードレジスタ 56 (FRRDDS56)								32
H'FFBF F6E0	FlexRay データセクションリードレジスタ 57 (FRRDDS57)								32
H'FFBF F6E4	FlexRay データセクションリードレジスタ 58 (FRRDDS58)								32
H'FFBF F6E8	FlexRay データセクションリードレジスタ 59 (FRRDDS59)								32
H'FFBF F6EC	FlexRay データセクションリードレジスタ 60 (FRRDDS60)								32
H'FFBF F6F0	FlexRay データセクションリードレジスタ 61 (FRRDDS61)								32
H'FFBF F6F4	FlexRay データセクションリードレジスタ 62 (FRRDDS62)								32
H'FFBF F6F8	FlexRay データセクションリードレジスタ 63 (FRRDDS63)								32
H'FFBF F6FC	FlexRay データセクションリードレジスタ 64 (FRRDDS64)								32
H'FFBF F700	FlexRay ヘッダセクションリードレジスタ 1 (FRRDHS1)								32
H'FFBF F704	FlexRay ヘッダセクションリードレジスタ 2 (FRRDHS2)								32
H'FFBF F708	FlexRay ヘッダセクションリードレジスタ 3 (FRRDHS3)								32
H'FFBF F70C	FlexRay メッセージバッファステータスレジスタ (FRMBS)								32
H'FFBF F710	FlexRay 出力バッファコマンドマスクレジスタ (FROBCM)								32
H'FFBF F714	FlexRay 出力バッファコマンド要求レジスタ (FROBCR)								32
~	(使用禁止領域)								-
H'FFFE E000	i <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1)	i <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2)	i <sup>2</sup> C バスモードレジスタ (ICMR)	i <sup>2</sup> C バスインタラプティブル レジスタ (ICIER)				8	
H'FFFE E004	i <sup>2</sup> C バステータスレジスタ (ICSR)	i <sup>2</sup> C バススレーブアドレス レジスタ (ICSAR)	i <sup>2</sup> C バス送信データレジスタ (ICDRT)	i <sup>2</sup> C バス受信データレジスタ (ICDRR)				8	
H'FFFE E008	i <sup>2</sup> C バス NF2CYC レジスタ (ICNF2CYC)	(使用禁止領域)	(使用禁止領域)	(使用禁止領域)				8, -, -, -	
~	(使用禁止領域)								-
H'FFFE F000	DRO 割り込み要求ステータス レジスタ (DROIST)	DRO 割り込み要求許可レジスタ (DROIEN)	(使用禁止領域)		(使用禁止領域)			8/16, 8/16, -, -	
H'FFFE F004	DRO 動作モードレジスタ (DROMOD)			DRO 出力制御レジスタ (DROCNT)		(使用禁止領域)			16, 8, -

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFE F008	DRO 出力データ数カウンタ (DRODCT)								32
H'FFFE F00C	DRO アドレスカウンタ (DROADRCT)								32
~	(使用禁止領域)								-
H'FFFF 1000	ウォッチドッグタイマストップタイムレジスタ (WDTST)								32
H'FFFF 1004	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)								32
H'FFFF 1008	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)								32
~	(使用禁止領域)								-
H'FFFF 1010	ウォッチドッグタイマカウンタ (WDTCNT)								32
~	(使用禁止領域)								-
H'FFFF 1018	ウォッチドッグタイマベースカウンタ (WDTBCNT)								32
~	(使用禁止領域)								-
H'FFFF 2000	(使用禁止領域)	モードコントローラレジスタ (MDCR)		(使用禁止領域)	(使用禁止領域)			-	-, 8, -, -
~	(使用禁止領域)								-
H'FFFF 2800	モジュールストップレジスタ 0 (MSTPCR0)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 2810	発振ステータスレジスタ (OSCSR)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF 2814	発振コントロールレジスタ (OSCCR)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF 3000	PSEL イベント選択レジスタ (PSLCTRL)	PSEL 出力クロック分周設定 レジスタ (PSLPRE)		PSEL チャネル数選択レジスタ (PSLSEL)		PSEL 出力極性制御レジスタ (PSLPOL)		8/16/32	
H'FFFF 3004	PSEL トリガレジスタ (PSLTRIG)	(使用禁止領域)		PSEL ステータスレジスタ (PSLSTATUS)		(使用禁止領域)		8 -, 8, -	
H'FFFF 3008	PSEL クロック A 遅延レジスタ (PSLDLYA)			PSEL クロック B 遅延レジスタ (PSLDLYB)				16/32	
H'FFFF 300C	PSEL クリア遅延期間レジスタ (PSLCLRD)			PSEL クリア制御レジスタ (PSLCLRC)				16/32	
H'FFFF 3010	PSEL データバッファ 0・1 レジスタ (PSLDT0001)	PSEL データバッファ 2・3 レジスタ (PSLDT0203)		PSEL データバッファ 4・5 レジスタ (PSLDT0405)		PSEL データバッファ 6・7 レジスタ (PSLDT0607)		8	
H'FFFF 3014	PSEL データバッファ 8・9 レジスタ (PSLDT0809)	PSEL データバッファ 10・11 レジスタ (PSLDT1011)		PSEL データバッファ 12・13 レジスタ (PSLDT1213)		PSEL データバッファ 14・15 レジスタ (PSLDT1415)		8	
H'FFFF 3018	PSEL データ初期値レジスタ (PSLINIT)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF 3400	PDAC 強制停止レジスタ (PDISTOP)	PDAC 基本分解能設定レジスタ (PDIPRE)		PDAC 制御周期イベント選択 レジスタ (PDICPT)		(使用禁止領域)		8/16, 8/16, 8, -	
H'FFFF 3404	PDAC ステータスレジスタ (PDISTATUS)	PDAC ステータスレジスタ A (PDISTAA)		PDAC ステータスレジスタ B (PDISTAB)		PDAC ステータスレジスタ C (PDISTAC)		8/16/32	
H'FFFF 3408	PDAC 割り込み制御レジスタ (PDIINT)	(使用禁止領域)		PDAC 書き込み信号期間調整レジスタ (PDIWRC)				8, -, 8/16	

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 340C	PDAC 待ち時間制御レジスタ (PDIWTEN)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF 3410	PDAC 出カイベント選択 A レジスタ (PDISELA)				PDAC 出カイベント選択 B レジスタ (PDISELB)				16/32
H'FFFF 3414	PDAC 出カイベント選択 C レジスタ (PDISELC)				PDAC 出カイベント選択 D レジスタ (PDISELD)				16/32
H'FFFF 3418	PDAC 出カイベント選択 E レジスタ (PDISELE)				PDAC 出カイベント選択 F レジスタ (PDISELF)				16/32
H'FFFF 341C	PDAC 出カイベント選択 G レジスタ (PDISELG)				PDAC 出カイベント選択 H レジスタ (PDISELH)				16/32
~	(使用禁止領域)								-
H'FFFF 3430	PDAC 変調 A 立ち上がり ステップ数レジスタ (PDIRSA)	PDAC 変調 A 立ち下がり ステップ数レジスタ (PDIFSA)		(使用禁止領域)		(使用禁止領域)		8/16, 8/16, -, -	
H'FFFF 3434	PDAC 変調 A 立ち上がり初期値レジスタ (PDIRIA)				PDAC 変調 A 立ち下がり初期値レジスタ (PDIFIA)				16/32
H'FFFF 3438	PDAC 変調 A 立ち上がりデルタ値レジスタ (PDIRDA)				PDAC 変調 A 立ち下がりデルタ値レジスタ (PDIFDA)				16/32
H'FFFF 343C	PDAC 変調 A 出力開始待ち時間レジスタ (PDIWTOA)				PDAC 変調 A 立ち上がり後待ち時間レジスタ (PDIWT1A)				16/32
H'FFFF 3440	PDAC 変調 A 立ち下がり後待ち時間レジスタ (PDIWT2A)				PDAC 変調 A 繰り返し回数 レジスタ (PDIREPA)		(使用禁止領域)		16, 8/, -
~	(使用禁止領域)								-
H'FFFF 3450	PDAC 変調 B 立ち上がり ステップ数レジスタ (PDIRSB)	PDAC 変調 B 立ち下がり ステップ数レジスタ (PDIFSB)		(使用禁止領域)		(使用禁止領域)		8/16, 8/16, -, -	
H'FFFF 3454	PDAC 変調 B 立ち上がり初期値レジスタ (PDIRIB)				PDAC 変調 B 立ち下がり初期値レジスタ (PDIFIB)				16/32
H'FFFF 3458	PDAC 変調 B 立ち上がりデルタ値レジスタ (PDIRDB)				PDAC 変調 B 立ち下がりデルタ値レジスタ (PDIFDB)				16/32
H'FFFF 345C	PDAC 変調 B 出力開始待ち時間レジスタ (PDIWTOB)				PDAC 変調 B 立ち上がり後待ち時間レジスタ (PDIWT1B)				16/32
H'FFFF 3460	PDAC 変調 B 立ち下がり後待ち時間レジスタ (PDIWT2B)				PDAC 変調 B 繰り返し回数 レジスタ (PDIREPB)		(使用禁止領域)		16, 8, -
~	(使用禁止領域)								-
H'FFFF 3470	PDAC 変調 C 立ち上がりステップ数レジスタ (PDIRSC)				PDAC 変調 C 立ち下がりステップ数レジスタ (PDIFSC)				16/32
H'FFFF 3474	PDAC 変調 C 立ち上がり初期値レジスタ (PDIRIC)				PDAC 変調 C 立ち下がり初期値レジスタ (PDIFIC)				16/32
H'FFFF 3478	PDAC 変調 C 立ち上がりデルタ値レジスタ (PDIRDC)				PDAC 変調 C 立ち下がりデルタ値レジスタ (PDIFDC)				16/32
H'FFFF 347C	PDAC 変調 C 出力開始待ち時間レジスタ (PDIWTOC)				PDAC 変調 C 立ち上がり後待ち時間レジスタ (PDIWT1C)				16/32
H'FFFF 3480	PDAC 変調 C 立ち下がり後待ち時間レジスタ (PDIWT2C)				PDAC 変調 C 繰り返し回数 レジスタ (PDIREPC)		(使用禁止領域)		16, 8, -
~	(使用禁止領域)								-
H'FFFF 3800	PDAC 変調 A 立ち上がり出力時間 レジスタ 1 (PDIRTA1)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 2 (PDIRTA2)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 3 (PDIRTA3)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 4 (PDIRTA4)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 5 (PDIRTA5)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 6 (PDIRTA6)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 7 (PDIRTA7)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 8 (PDIRTA8)	8/16/32
H'FFFF 3804	PDAC 変調 A 立ち上がり出力時間 レジスタ 5 (PDIRTA5)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 6 (PDIRTA6)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 7 (PDIRTA7)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 8 (PDIRTA8)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 9 (PDIRTA9)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 10 (PDIRTA10)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 11 (PDIRTA11)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 12 (PDIRTA12)	8/16/32
H'FFFF 3808	PDAC 変調 A 立ち上がり出力時間 レジスタ 9 (PDIRTA9)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 10 (PDIRTA10)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 11 (PDIRTA11)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 12 (PDIRTA12)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 13 (PDIRTA13)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 14 (PDIRTA14)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 15 (PDIRTA15)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 16 (PDIRTA16)	8/16/32
H'FFFF 380C	PDAC 変調 A 立ち上がり出力時間 レジスタ 13 (PDIRTA13)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 14 (PDIRTA14)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 15 (PDIRTA15)	PDAC 変調 A 立ち上がり出力時間レ ジスタ 16 (PDIRTA16)					8/16/32















番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 3ABC	PDAC 変調 B 立ち下がり出力時間 レジスタ 189 (PDIFTB189)		PDAC 変調 B 立ち下がり出力時間 レジスタ 190 (PDIFTB190)		PDAC 変調 B 立ち下がり出力時間 レジスタ 191 (PDIFTB191)		PDAC 変調 B 立ち下がり出力時間 レジスタ 192 (PDIFTB192)		8/16/32
H'FFFF 3AC0	PDAC 変調 B 立ち下がり出力時間 レジスタ 193 (PDIFTB193)		PDAC 変調 B 立ち下がり出力時間 レジスタ 194 (PDIFTB194)		PDAC 変調 B 立ち下がり出力時間 レジスタ 195 (PDIFTB195)		PDAC 変調 B 立ち下がり出力時間 レジスタ 196 (PDIFTB196)		8/16/32
H'FFFF 3AC4	PDAC 変調 B 立ち下がり出力時間 レジスタ 197 (PDIFTB197)		PDAC 変調 B 立ち下がり出力時間 レジスタ 198 (PDIFTB198)		PDAC 変調 B 立ち下がり出力時間 レジスタ 199 (PDIFTB199)		PDAC 変調 B 立ち下がり出力時間 レジスタ 200 (PDIFTB200)		8/16/32
~	(使用禁止領域)								-
H'FFFF 3B00~ H'FFFF 3D57	PDAC 変調 C 立ち上がり出力時間レジスタ 1~600 (PDIRTC1~PDIRTC600)								8/16/32
~	(使用禁止領域)								-
H'FFFF 3D80~ H'FFFF 3FD7	PDAC 変調 C 立ち下がり出力時間レジスタ 1~600 (PDIFTC1~PDIFTC600)								8/16/32
~	(使用禁止領域)								-
H'FFFF 4000	A/D0 コントロールレジスタ (AD0CSR)		(使用禁止領域)		A/D0 変換ステータスレジスタ (AD0REF)		(使用禁止領域)		8, -, 8, -
H'FFFF 4004	A/D0 割り込みトリガインエーブルレジスタ (AD0TRE)				A/D0 割り込みトリガ処理終了フラグレジスタ (AD0TRF)				8/16
H'FFFF 4008	A/D0 割り込みトリガソース選択レジスタ (AD0TRS)				A/D0 割り込みソフトトリガレジスタ (AD0STRG)				8/16
H'FFFF 400C	A/D0 割り込みトリガ処理終了割り込みインエーブルレジスタ (AD0TRD)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 401C	A/D0 変換値加算モード選択 レジスタ (AD0ADS)		(使用禁止領域)		A/D0 変換値加算回数選択レジスタ (AD0ADC)		(使用禁止領域)		8, -, 8, -
H'FFFF 4020	A/D0 チャンネル選択レジスタ (AD0ANS)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 4030	A/D0 コントロール拡張レジスタ (AD0CER)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 403C	(使用禁止領域)		(使用禁止領域)		A/D0 データレジスタ DIAG0 (AD0DRD)				-, -, 16
H'FFFF 4040	A/D0 データレジスタ 0 (AD0DR0)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF 4044	A/D0 データレジスタ 2 (AD0DR2)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF 4048	A/D0 データレジスタ 4 (AD0DR4)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF 404C	A/D0 データレジスタ 6 (AD0DR6)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF 4050	A/D0 データレジスタ 8 (AD0DR8)				A/D0 データレジスタ 9 (AD0DR9)				16
H'FFFF 4054	A/D0 データレジスタ 10 (AD0DR10)				A/D0 データレジスタ 11 (AD0DR11)				16
H'FFFF 4058	A/D0 データレジスタ 12 (AD0DR12)				A/D0 データレジスタ 13 (AD0DR13)				16
H'FFFF 405C	A/D0 データレジスタ 14 (AD0DR14)				A/D0 データレジスタ 15 (AD0DR15)				16
~	(使用禁止領域)								-
H'FFFF 4400	A/D1 コントロールレジスタ (AD1CSR)		(使用禁止領域)		A/D1 変換ステータスレジスタ (AD1REF)		(使用禁止領域)		8, -, 8, -

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
~	(使用禁止領域)								-
H'FFFF 4410	A/D1 割り込みトリガイネーブルレジスタ (AD1TRE)		(使用禁止領域)		A/D1 割り込みトリガ処理終了フラグレジスタ (AD1TRF)		(使用禁止領域)		8, -, 8, -
H'FFFF 4414	A/D1 割り込みトリガソース選択レジスタ (AD1TRS)		(使用禁止領域)		A/D1 割り込みソフトトリガレジスタ (AD1STRG)		(使用禁止領域)		8, -, 8, -
H'FFFF 4418	A/D1 割り込みトリガ処理終了割り込みイネーブルレジスタ (AD1TRD)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF 441C	A/D1 変換値加算モード選択レジスタ (AD1ADS)		(使用禁止領域)		A/D1 変換値加算回数選択レジスタ (AD1ADC)		(使用禁止領域)		8, -, 8, -
H'FFFF 4420	A/D1 チャンネル選択レジスタ (AD1ANS)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 4430	A/D1 コントロール拡張レジスタ (AD1CER)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 443C	(使用禁止領域)		(使用禁止領域)		A/D1 データレジスタ DIAG1 (AD1DRD)			-, -, 16	
H'FFFF 4440	A/D1 データレジスタ 0 (AD1DR0)				A/D1 データレジスタ 1 (AD1DR1)				16
H'FFFF 4444	(使用禁止領域)								-
H'FFFF 4448	A/D1 データレジスタ 4 (AD1DR4)				A/D1 データレジスタ 5 (AD1DR5)				16
~	(使用禁止領域)								-
H'FFFF 5000	(使用禁止領域)		(使用禁止領域)		ポート A データレジスタ (PADR)				-, -, 8/16
H'FFFF 5004	(使用禁止領域)		(使用禁止領域)		ポート A・IO レジスタ (PAIOR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5010	ポート A コントロールレジスタ 4 (PACR4)				ポート A コントロールレジスタ 3 (PACR3)				8/16/32
H'FFFF 5014	ポート A コントロールレジスタ 2 (PACR2)				ポート A コントロールレジスタ 1 (PACR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 501C	(使用禁止領域)		(使用禁止領域)		ポート A ポートレジスタ (PAPR)				-, -, 8/16
H'FFFF 5020	ダミーアクセス領域 (DUMMYHPB0)								8/16/32
~	(使用禁止領域)								-
H'FFFF 5098	(使用禁止領域)		(使用禁止領域)		ポート A ドライバビリティ設定レジスタ (PADSR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5100	(使用禁止領域)		(使用禁止領域)		ポート B データレジスタ (PBDR)				-, -, 8/16
H'FFFF 5104	(使用禁止領域)		(使用禁止領域)		ポート B・IO レジスタ (PBIOR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5114	ポート B コントロールレジスタ 2 (PBCR2)				ポート B コントロールレジスタ 1 (PBCR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 511C	(使用禁止領域)		(使用禁止領域)		ポート B ポートレジスタ (PBPR)				-, -, 8/16

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
~	(使用禁止領域)								-
H'FFFF 5198	(使用禁止領域)		(使用禁止領域)		ポート B ドライバリティ設定レジスタ (PBDSR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5200	(使用禁止領域)		(使用禁止領域)		ポート C データレジスタ (PCDR)				-, -, 8/16
H'FFFF 5204	(使用禁止領域)		(使用禁止領域)		ポート C・IO レジスタ (PCIOR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5210	ポート C コントロールレジスタ 4 (PCCR4)				ポート C コントロールレジスタ 3 (PCCR3)				8/16/32
H'FFFF 5214	ポート C コントロールレジスタ 2 (PCCR2)				ポート C コントロールレジスタ 1 (PCCR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 521C	(使用禁止領域)		(使用禁止領域)		ポート C ポートレジスタ (PCPR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5298	(使用禁止領域)		(使用禁止領域)		ポート C ドライバリティ設定レジスタ (PCDSR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5300	ポート ABC 入力しきい値切替レジスタ (PALVR)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 5340	ポート DRI 入力チャネル切替 レジスタ (PDRIR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								-
H'FFFF 5400	(使用禁止領域)		(使用禁止領域)		ポート D データレジスタ (PDDR)				-, -, 8/16
H'FFFF 5404	(使用禁止領域)		(使用禁止領域)		ポート D・IO レジスタ (PDIOR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5410	ポート D コントロールレジスタ 4 (PDCR4)				ポート D コントロールレジスタ 3 (PDCR3)				8/16/32
H'FFFF 5414	ポート D コントロールレジスタ 2 (PDCR2)				ポート D コントロールレジスタ 1 (PDCR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 541C	(使用禁止領域)		(使用禁止領域)		ポート D ポートレジスタ (PDPR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5498	(使用禁止領域)		(使用禁止領域)		ポート D ドライバリティ設定レジスタ (PDDSR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5500	(使用禁止領域)		(使用禁止領域)		ポート E データレジスタ (PEDR)				-, -, 8/16
H'FFFF 5504	(使用禁止領域)		(使用禁止領域)		ポート E・IO レジスタ (PEIOR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5510	ポート E コントロールレジスタ 4 (PECR4)				ポート E コントロールレジスタ 3 (PECR3)				8/16/32
~	(使用禁止領域)								-



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 551C	(使用禁止領域)		(使用禁止領域)		ポート E ポートレジスタ (PEPR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5598	(使用禁止領域)		(使用禁止領域)		ポート E ドライバリティ設定レジスタ (PEDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5600	(使用禁止領域)		(使用禁止領域)		ポート F データレジスタ (PFDR)				-, -, 8/16
H'FFFF 5604	(使用禁止領域)		(使用禁止領域)		ポート F・IO レジスタ (PFIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5614	ポート F コントロールレジスタ 2 (PFCR2)				ポート F コントロールレジスタ 1 (PFCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 561C	(使用禁止領域)		(使用禁止領域)		ポート F ポートレジスタ (PFPR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5698	(使用禁止領域)		(使用禁止領域)		ポート F ドライバリティ設定レジスタ (PFDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5700	ポート DEF 入力しきい値切替レジスタ (PDLVR)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								
H'FFFF 5800	(使用禁止領域)		(使用禁止領域)		ポート G データレジスタ (PGDR)				-, -, 8/16
H'FFFF 5804	(使用禁止領域)		(使用禁止領域)		ポート G・IO レジスタ (PGIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5814	ポート G コントロールレジスタ 2 (PGCR2)				ポート G コントロールレジスタ 1 (PGCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 581C	(使用禁止領域)		(使用禁止領域)		ポート G ポートレジスタ (GPR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5898	(使用禁止領域)		(使用禁止領域)		ポート G ドライバリティ設定レジスタ (PGDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5900	(使用禁止領域)		(使用禁止領域)		ポート H データレジスタ (PHDR)				-, -, 8/16
H'FFFF 5904	(使用禁止領域)		(使用禁止領域)		ポート H・IO レジスタ (PHIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5910	ポート H コントロールレジスタ 4 (PHCR4)				ポート H コントロールレジスタ 3 (PHCR3)				8/16/32
H'FFFF 5914	ポート H コントロールレジスタ 2 (PHCR2)				ポート H コントロールレジスタ 1 (PHCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 591C	(使用禁止領域)		(使用禁止領域)		ポート H ポートレジスタ (PHPR)				-, -, 8/16
~	(使用禁止領域)								

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 5998	(使用禁止領域)		(使用禁止領域)		ポート H ドライバリティ設定レジスタ (PHDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5A00	(使用禁止領域)		(使用禁止領域)		ポート J データレジスタ (PJDR)				-, -, 8/16
H'FFFF 5A04	(使用禁止領域)		(使用禁止領域)		ポート J・IO レジスタ (PJIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5A10	ポート J コントロールレジスタ 4 (PJCR4)				ポート J コントロールレジスタ 3 (PJCR3)				8/16/32
H'FFFF 5A14	ポート J コントロールレジスタ 2 (PJCR2)				ポート J コントロールレジスタ 1 (PJCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 5A1C	(使用禁止領域)		(使用禁止領域)		ポート J ポートレジスタ (PJPR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5A98	(使用禁止領域)		(使用禁止領域)		ポート J ドライバリティ設定レジスタ (PJDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5B00	ポート GHJ 入力しきい値切替レジスタ (PGLVR)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								
H'FFFF 5C00	(使用禁止領域)		(使用禁止領域)		ポート K データレジスタ (PKDR)				-, -, 8/16
H'FFFF 5C04	(使用禁止領域)		(使用禁止領域)		ポート K・IO レジスタ (PKIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5C10	ポート K コントロールレジスタ 4 (PKCR4)				ポート K コントロールレジスタ 3 (PKCR3)				8/16/32
H'FFFF 5C14	ポート K コントロールレジスタ 2 (PKCR2)				ポート K コントロールレジスタ 1 (PKCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 5C1C	(使用禁止領域)		(使用禁止領域)		ポート K ポートレジスタ (PKPR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5C98	(使用禁止領域)		(使用禁止領域)		ポート K ドライバリティ設定レジスタ (PKDSR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5D00	(使用禁止領域)		(使用禁止領域)		ポート L データレジスタ (PLDR)				-, -, 8/16
H'FFFF 5D04	(使用禁止領域)		(使用禁止領域)		ポート L・IO レジスタ (PLIOR)				-, -, 8/16
~	(使用禁止領域)								
H'FFFF 5D10	(使用禁止領域)		(使用禁止領域)		ポート L コントロールレジスタ 3 (PLCR3)				-, -, 8/16
H'FFFF 5D14	ポート L コントロールレジスタ 2 (PLCR2)				ポート L コントロールレジスタ 1 (PLCR1)				8/16/32
~	(使用禁止領域)								
H'FFFF 5D1C	(使用禁止領域)		(使用禁止領域)		ポート L ポートレジスタ (PLPR)				-, -, 8/16
~	(使用禁止領域)								

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 5D98	(使用禁止領域)		(使用禁止領域)		ポート L ドライバリティ設定レジスタ (PLDSR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5E00	ポート KL 入力しきい値切替レジスタ (PKLVR)				(使用禁止領域)		(使用禁止領域)		8/16, -, -
~	(使用禁止領域)								-
H'FFFF 5E10	ポート M コントロールレジスタ 4 (PMCR4)				ポート M コントロールレジスタ 3 (PMCR3)				8/16/32
H'FFFF 5E14	ポート M コントロールレジスタ 2 (PMCR2)				ポート M コントロールレジスタ 1 (PMCR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 5E1C	(使用禁止領域)		(使用禁止領域)		ポート M ポートレジスタ (PMPR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 5F14	ポート N コントロールレジスタ 2 (PNCR2)				ポート N コントロールレジスタ 1 (PNCR1)				8/16/32
~	(使用禁止領域)								-
H'FFFF 5F1C	(使用禁止領域)		(使用禁止領域)		ポート N ポートレジスタ (PNPR)				-, -, 8/16
~	(使用禁止領域)								-
H'FFFF 6000	CAN0 メールボックスレジスタ 0 (COMB0)								8/16/32
H'FFFF 6004	CAN0 メールボックスレジスタ 0 (COMB0)								8/16/32
H'FFFF 6008	CAN0 メールボックスレジスタ 0 (COMB0)								8/16/32
H'FFFF 600C	CAN0 メールボックスレジスタ 0 (COMB0)								8/16/32
H'FFFF 6010	CAN0 メールボックスレジスタ 1 (COMB1)								8/16/32
H'FFFF 6014	CAN0 メールボックスレジスタ 1 (COMB1)								8/16/32
H'FFFF 6018	CAN0 メールボックスレジスタ 1 (COMB1)								8/16/32
H'FFFF 601C	CAN0 メールボックスレジスタ 1 (COMB1)								8/16/32
H'FFFF 6020	CAN0 メールボックスレジスタ 2 (COMB2)								8/16/32
H'FFFF 6024	CAN0 メールボックスレジスタ 2 (COMB2)								8/16/32
H'FFFF 6028	CAN0 メールボックスレジスタ 2 (COMB2)								8/16/32
H'FFFF 602C	CAN0 メールボックスレジスタ 2 (COMB2)								8/16/32
H'FFFF 6030	CAN0 メールボックスレジスタ 3 (COMB3)								8/16/32
H'FFFF 6034	CAN0 メールボックスレジスタ 3 (COMB3)								8/16/32
H'FFFF 6038	CAN0 メールボックスレジスタ 3 (COMB3)								8/16/32
H'FFFF 603C	CAN0 メールボックスレジスタ 3 (COMB3)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6040	CAN0 メールボックスレジスタ 4 (C0MB4)								8/16/32
H'FFFF 6044	CAN0 メールボックスレジスタ 4 (C0MB4)								8/16/32
H'FFFF 6048	CAN0 メールボックスレジスタ 4 (C0MB4)								8/16/32
H'FFFF 604C	CAN0 メールボックスレジスタ 4 (C0MB4)								8/16/32
H'FFFF 6050	CAN0 メールボックスレジスタ 5 (C0MB5)								8/16/32
H'FFFF 6054	CAN0 メールボックスレジスタ 5 (C0MB5)								8/16/32
H'FFFF 6058	CAN0 メールボックスレジスタ 5 (C0MB5)								8/16/32
H'FFFF 605C	CAN0 メールボックスレジスタ 5 (C0MB5)								8/16/32
H'FFFF 6060	CAN0 メールボックスレジスタ 6 (C0MB6)								8/16/32
H'FFFF 6064	CAN0 メールボックスレジスタ 6 (C0MB6)								8/16/32
H'FFFF 6068	CAN0 メールボックスレジスタ 6 (C0MB6)								8/16/32
H'FFFF 606C	CAN0 メールボックスレジスタ 6 (C0MB6)								8/16/32
H'FFFF 6070	CAN0 メールボックスレジスタ 7 (C0MB7)								8/16/32
H'FFFF 6074	CAN0 メールボックスレジスタ 7 (C0MB7)								8/16/32
H'FFFF 6078	CAN0 メールボックスレジスタ 7 (C0MB7)								8/16/32
H'FFFF 607C	CAN0 メールボックスレジスタ 7 (C0MB7)								8/16/32
H'FFFF 6080	CAN0 メールボックスレジスタ 8 (C0MB8)								8/16/32
H'FFFF 6084	CAN0 メールボックスレジスタ 8 (C0MB8)								8/16/32
H'FFFF 6088	CAN0 メールボックスレジスタ 8 (C0MB8)								8/16/32
H'FFFF 608C	CAN0 メールボックスレジスタ 8 (C0MB8)								8/16/32
H'FFFF 6090	CAN0 メールボックスレジスタ 9 (C0MB9)								8/16/32
H'FFFF 6094	CAN0 メールボックスレジスタ 9 (C0MB9)								8/16/32
H'FFFF 6098	CAN0 メールボックスレジスタ 9 (C0MB9)								8/16/32
H'FFFF 609C	CAN0 メールボックスレジスタ 9 (C0MB9)								8/16/32
H'FFFF 60A0	CAN0 メールボックスレジスタ 10 (C0MB10)								8/16/32
H'FFFF 60A4	CAN0 メールボックスレジスタ 10 (C0MB10)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 60A8	CAN0 メールボックスレジスタ 10 (C0MB10)								8/16/32
H'FFFF 60AC	CAN0 メールボックスレジスタ 10 (C0MB10)								8/16/32
H'FFFF 60B0	CAN0 メールボックスレジスタ 11 (C0MB11)								8/16/32
H'FFFF 60B4	CAN0 メールボックスレジスタ 11 (C0MB11)								8/16/32
H'FFFF 60B8	CAN0 メールボックスレジスタ 11 (C0MB11)								8/16/32
H'FFFF 60BC	CAN0 メールボックスレジスタ 11 (C0MB11)								8/16/32
H'FFFF 60C0	CAN0 メールボックスレジスタ 12 (C0MB12)								8/16/32
H'FFFF 60C4	CAN0 メールボックスレジスタ 12 (C0MB12)								8/16/32
H'FFFF 60C8	CAN0 メールボックスレジスタ 12 (C0MB12)								8/16/32
H'FFFF 60CC	CAN0 メールボックスレジスタ 12 (C0MB12)								8/16/32
H'FFFF 60D0	CAN0 メールボックスレジスタ 13 (C0MB13)								8/16/32
H'FFFF 60D4	CAN0 メールボックスレジスタ 13 (C0MB13)								8/16/32
H'FFFF 60D8	CAN0 メールボックスレジスタ 13 (C0MB13)								8/16/32
H'FFFF 60DC	CAN0 メールボックスレジスタ 13 (C0MB13)								8/16/32
H'FFFF 60E0	CAN0 メールボックスレジスタ 14 (C0MB14)								8/16/32
H'FFFF 60E4	CAN0 メールボックスレジスタ 14 (C0MB14)								8/16/32
H'FFFF 60E8	CAN0 メールボックスレジスタ 14 (C0MB14)								8/16/32
H'FFFF 60EC	CAN0 メールボックスレジスタ 14 (C0MB14)								8/16/32
H'FFFF 60F0	CAN0 メールボックスレジスタ 15 (C0MB15)								8/16/32
H'FFFF 60F4	CAN0 メールボックスレジスタ 15 (C0MB15)								8/16/32
H'FFFF 60F8	CAN0 メールボックスレジスタ 15 (C0MB15)								8/16/32
H'FFFF 60FC	CAN0 メールボックスレジスタ 15 (C0MB15)								8/16/32
H'FFFF 6100	CAN0 メールボックスレジスタ 16 (C0MB16)								8/16/32
H'FFFF 6104	CAN0 メールボックスレジスタ 16 (C0MB16)								8/16/32
H'FFFF 6108	CAN0 メールボックスレジスタ 16 (C0MB16)								8/16/32
H'FFFF 610C	CAN0 メールボックスレジスタ 16 (C0MB16)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6110	CAN0 メールボックスレジスタ 17 (C0MB17)								8/16/32
H'FFFF 6114	CAN0 メールボックスレジスタ 17 (C0MB17)								8/16/32
H'FFFF 6118	CAN0 メールボックスレジスタ 17 (C0MB17)								8/16/32
H'FFFF 611C	CAN0 メールボックスレジスタ 17 (C0MB17)								8/16/32
H'FFFF 6120	CAN0 メールボックスレジスタ 18 (C0MB18)								8/16/32
H'FFFF 6124	CAN0 メールボックスレジスタ 18 (C0MB18)								8/16/32
H'FFFF 6128	CAN0 メールボックスレジスタ 18 (C0MB18)								8/16/32
H'FFFF 612C	CAN0 メールボックスレジスタ 18 (C0MB18)								8/16/32
H'FFFF 6130	CAN0 メールボックスレジスタ 19 (C0MB19)								8/16/32
H'FFFF 6134	CAN0 メールボックスレジスタ 19 (C0MB19)								8/16/32
H'FFFF 6138	CAN0 メールボックスレジスタ 19 (C0MB19)								8/16/32
H'FFFF 613C	CAN0 メールボックスレジスタ 19 (C0MB19)								8/16/32
H'FFFF 6140	CAN0 メールボックスレジスタ 20 (C0MB20)								8/16/32
H'FFFF 6144	CAN0 メールボックスレジスタ 20 (C0MB20)								8/16/32
H'FFFF 6148	CAN0 メールボックスレジスタ 20 (C0MB20)								8/16/32
H'FFFF 614C	CAN0 メールボックスレジスタ 20 (C0MB20)								8/16/32
H'FFFF 6150	CAN0 メールボックスレジスタ 21 (C0MB21)								8/16/32
H'FFFF 6154	CAN0 メールボックスレジスタ 21 (C0MB21)								8/16/32
H'FFFF 6158	CAN0 メールボックスレジスタ 21 (C0MB21)								8/16/32
H'FFFF 615C	CAN0 メールボックスレジスタ 21 (C0MB21)								8/16/32
H'FFFF 6160	CAN0 メールボックスレジスタ 22 (C0MB22)								8/16/32
H'FFFF 6164	CAN0 メールボックスレジスタ 22 (C0MB22)								8/16/32
H'FFFF 6168	CAN0 メールボックスレジスタ 22 (C0MB22)								8/16/32
H'FFFF 616C	CAN0 メールボックスレジスタ 22 (C0MB22)								8/16/32
H'FFFF 6170	CAN0 メールボックスレジスタ 23 (C0MB23)								8/16/32
H'FFFF 6174	CAN0 メールボックスレジスタ 23 (C0MB23)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6178	CAN0 メールボックスレジスタ 23 (C0MB23)								8/16/32
H'FFFF 617C	CAN0 メールボックスレジスタ 23 (C0MB23)								8/16/32
H'FFFF 6180	CAN0 メールボックスレジスタ 24 (C0MB24)								8/16/32
H'FFFF 6184	CAN0 メールボックスレジスタ 24 (C0MB24)								8/16/32
H'FFFF 6188	CAN0 メールボックスレジスタ 24 (C0MB24)								8/16/32
H'FFFF 618C	CAN0 メールボックスレジスタ 24 (C0MB24)								8/16/32
H'FFFF 6190	CAN0 メールボックスレジスタ 25 (C0MB25)								8/16/32
H'FFFF 6194	CAN0 メールボックスレジスタ 25 (C0MB25)								8/16/32
H'FFFF 6198	CAN0 メールボックスレジスタ 25 (C0MB25)								8/16/32
H'FFFF 619C	CAN0 メールボックスレジスタ 25 (C0MB25)								8/16/32
H'FFFF 61A0	CAN0 メールボックスレジスタ 26 (C0MB26)								8/16/32
H'FFFF 61A4	CAN0 メールボックスレジスタ 26 (C0MB26)								8/16/32
H'FFFF 61A8	CAN0 メールボックスレジスタ 26 (C0MB26)								8/16/32
H'FFFF 61AC	CAN0 メールボックスレジスタ 26 (C0MB26)								8/16/32
H'FFFF 61B0	CAN0 メールボックスレジスタ 27 (C0MB27)								8/16/32
H'FFFF 61B4	CAN0 メールボックスレジスタ 27 (C0MB27)								8/16/32
H'FFFF 61B8	CAN0 メールボックスレジスタ 27 (C0MB27)								8/16/32
H'FFFF 61BC	CAN0 メールボックスレジスタ 27 (C0MB27)								8/16/32
H'FFFF 61C0	CAN0 メールボックスレジスタ 28 (C0MB28)								8/16/32
H'FFFF 61C4	CAN0 メールボックスレジスタ 28 (C0MB28)								8/16/32
H'FFFF 61C8	CAN0 メールボックスレジスタ 28 (C0MB28)								8/16/32
H'FFFF 61CC	CAN0 メールボックスレジスタ 28 (C0MB28)								8/16/32
H'FFFF 61D0	CAN0 メールボックスレジスタ 29 (C0MB29)								8/16/32
H'FFFF 61D4	CAN0 メールボックスレジスタ 29 (C0MB29)								8/16/32
H'FFFF 61D8	CAN0 メールボックスレジスタ 29 (C0MB29)								8/16/32
H'FFFF 61DC	CAN0 メールボックスレジスタ 29 (C0MB29)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 61E0	CAN0 メールボックスレジスタ 30 (COMB30)								8/16/32
H'FFFF 61E4	CAN0 メールボックスレジスタ 30 (COMB30)								8/16/32
H'FFFF 61E8	CAN0 メールボックスレジスタ 30 (COMB30)								8/16/32
H'FFFF 61EC	CAN0 メールボックスレジスタ 30 (COMB30)								8/16/32
H'FFFF 61F0	CAN0 メールボックスレジスタ 31 (COMB31)								8/16/32
H'FFFF 61F4	CAN0 メールボックスレジスタ 31 (COMB31)								8/16/32
H'FFFF 61F8	CAN0 メールボックスレジスタ 31 (COMB31)								8/16/32
H'FFFF 61FC	CAN0 メールボックスレジスタ 31 (COMB31)								8/16/32
H'FFFF 6200	CAN0 メールボックスレジスタ 32 (COMB32)								8/16/32
H'FFFF 6204	CAN0 メールボックスレジスタ 32 (COMB32)								8/16/32
H'FFFF 6208	CAN0 メールボックスレジスタ 32 (COMB32)								8/16/32
H'FFFF 620C	CAN0 メールボックスレジスタ 32 (COMB32)								8/16/32
H'FFFF 6210	CAN0 メールボックスレジスタ 33 (COMB33)								8/16/32
H'FFFF 6214	CAN0 メールボックスレジスタ 33 (COMB33)								8/16/32
H'FFFF 6218	CAN0 メールボックスレジスタ 33 (COMB33)								8/16/32
H'FFFF 621C	CAN0 メールボックスレジスタ 33 (COMB33)								8/16/32
H'FFFF 6220	CAN0 メールボックスレジスタ 34 (COMB34)								8/16/32
H'FFFF 6224	CAN0 メールボックスレジスタ 34 (COMB34)								8/16/32
H'FFFF 6228	CAN0 メールボックスレジスタ 34 (COMB34)								8/16/32
H'FFFF 622C	CAN0 メールボックスレジスタ 34 (COMB34)								8/16/32
H'FFFF 6230	CAN0 メールボックスレジスタ 35 (COMB35)								8/16/32
H'FFFF 6234	CAN0 メールボックスレジスタ 35 (COMB35)								8/16/32
H'FFFF 6238	CAN0 メールボックスレジスタ 35 (COMB35)								8/16/32
H'FFFF 623C	CAN0 メールボックスレジスタ 35 (COMB35)								8/16/32
H'FFFF 6240	CAN0 メールボックスレジスタ 36 (COMB36)								8/16/32
H'FFFF 6244	CAN0 メールボックスレジスタ 36 (COMB36)								8/16/32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6248	CAN0 メールボックスレジスタ 36 (COMB36)								8/16/32
H'FFFF 624C	CAN0 メールボックスレジスタ 36 (COMB36)								8/16/32
H'FFFF 6250	CAN0 メールボックスレジスタ 37 (COMB37)								8/16/32
H'FFFF 6254	CAN0 メールボックスレジスタ 37 (COMB37)								8/16/32
H'FFFF 6258	CAN0 メールボックスレジスタ 37 (COMB37)								8/16/32
H'FFFF 625C	CAN0 メールボックスレジスタ 37 (COMB37)								8/16/32
H'FFFF 6260	CAN0 メールボックスレジスタ 38 (COMB38)								8/16/32
H'FFFF 6264	CAN0 メールボックスレジスタ 38 (COMB38)								8/16/32
H'FFFF 6268	CAN0 メールボックスレジスタ 38 (COMB38)								8/16/32
H'FFFF 626C	CAN0 メールボックスレジスタ 38 (COMB38)								8/16/32
H'FFFF 6270	CAN0 メールボックスレジスタ 39 (COMB39)								8/16/32
H'FFFF 6274	CAN0 メールボックスレジスタ 39 (COMB39)								8/16/32
H'FFFF 6278	CAN0 メールボックスレジスタ 39 (COMB39)								8/16/32
H'FFFF 627C	CAN0 メールボックスレジスタ 39 (COMB39)								8/16/32
H'FFFF 6280	CAN0 メールボックスレジスタ 40 (COMB40)								8/16/32
H'FFFF 6284	CAN0 メールボックスレジスタ 40 (COMB40)								8/16/32
H'FFFF 6288	CAN0 メールボックスレジスタ 40 (COMB40)								8/16/32
H'FFFF 628C	CAN0 メールボックスレジスタ 40 (COMB40)								8/16/32
H'FFFF 6290	CAN0 メールボックスレジスタ 41 (COMB41)								8/16/32
H'FFFF 6294	CAN0 メールボックスレジスタ 41 (COMB41)								8/16/32
H'FFFF 6298	CAN0 メールボックスレジスタ 41 (COMB41)								8/16/32
H'FFFF 629C	CAN0 メールボックスレジスタ 41 (COMB41)								8/16/32
H'FFFF 62A0	CAN0 メールボックスレジスタ 42 (COMB42)								8/16/32
H'FFFF 62A4	CAN0 メールボックスレジスタ 42 (COMB42)								8/16/32
H'FFFF 62A8	CAN0 メールボックスレジスタ 42 (COMB42)								8/16/32
H'FFFF 62AC	CAN0 メールボックスレジスタ 42 (COMB42)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 62B0	CAN0 メールボックスレジスタ 43 (COMB43)								8/16/32
H'FFFF 62B4	CAN0 メールボックスレジスタ 43 (COMB43)								8/16/32
H'FFFF 62B8	CAN0 メールボックスレジスタ 43 (COMB43)								8/16/32
H'FFFF 62BC	CAN0 メールボックスレジスタ 43 (COMB43)								8/16/32
H'FFFF 62C0	CAN0 メールボックスレジスタ 44 (COMB44)								8/16/32
H'FFFF 62C4	CAN0 メールボックスレジスタ 44 (COMB44)								8/16/32
H'FFFF 62C8	CAN0 メールボックスレジスタ 44 (COMB44)								8/16/32
H'FFFF 62CC	CAN0 メールボックスレジスタ 44 (COMB44)								8/16/32
H'FFFF 62D0	CAN0 メールボックスレジスタ 45 (COMB45)								8/16/32
H'FFFF 62D4	CAN0 メールボックスレジスタ 45 (COMB45)								8/16/32
H'FFFF 62D8	CAN0 メールボックスレジスタ 45 (COMB45)								8/16/32
H'FFFF 62DC	CAN0 メールボックスレジスタ 45 (COMB45)								8/16/32
H'FFFF 62E0	CAN0 メールボックスレジスタ 46 (COMB46)								8/16/32
H'FFFF 62E4	CAN0 メールボックスレジスタ 46 (COMB46)								8/16/32
H'FFFF 62E8	CAN0 メールボックスレジスタ 46 (COMB46)								8/16/32
H'FFFF 62EC	CAN0 メールボックスレジスタ 46 (COMB46)								8/16/32
H'FFFF 62F0	CAN0 メールボックスレジスタ 47 (COMB47)								8/16/32
H'FFFF 62F4	CAN0 メールボックスレジスタ 47 (COMB47)								8/16/32
H'FFFF 62F8	CAN0 メールボックスレジスタ 47 (COMB47)								8/16/32
H'FFFF 62FC	CAN0 メールボックスレジスタ 47 (COMB47)								8/16/32
H'FFFF 6300	CAN0 メールボックスレジスタ 48 (COMB48)								8/16/32
H'FFFF 6304	CAN0 メールボックスレジスタ 48 (COMB48)								8/16/32
H'FFFF 6308	CAN0 メールボックスレジスタ 48 (COMB48)								8/16/32
H'FFFF 630C	CAN0 メールボックスレジスタ 48 (COMB48)								8/16/32
H'FFFF 6310	CAN0 メールボックスレジスタ 49 (COMB49)								8/16/32
H'FFFF 6314	CAN0 メールボックスレジスタ 49 (COMB49)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6318	CAN0 メールボックスレジスタ 49 (COMB49)								8/16/32
H'FFFF 631C	CAN0 メールボックスレジスタ 49 (COMB49)								8/16/32
H'FFFF 6320	CAN0 メールボックスレジスタ 50 (COMB50)								8/16/32
H'FFFF 6324	CAN0 メールボックスレジスタ 50 (COMB50)								8/16/32
H'FFFF 6328	CAN0 メールボックスレジスタ 50 (COMB50)								8/16/32
H'FFFF 632C	CAN0 メールボックスレジスタ 50 (COMB50)								8/16/32
H'FFFF 6330	CAN0 メールボックスレジスタ 51 (COMB51)								8/16/32
H'FFFF 6334	CAN0 メールボックスレジスタ 51 (COMB51)								8/16/32
H'FFFF 6338	CAN0 メールボックスレジスタ 51 (COMB51)								8/16/32
H'FFFF 633C	CAN0 メールボックスレジスタ 51 (COMB51)								8/16/32
H'FFFF 6340	CAN0 メールボックスレジスタ 52 (COMB52)								8/16/32
H'FFFF 6344	CAN0 メールボックスレジスタ 52 (COMB52)								8/16/32
H'FFFF 6348	CAN0 メールボックスレジスタ 52 (COMB52)								8/16/32
H'FFFF 634C	CAN0 メールボックスレジスタ 52 (COMB52)								8/16/32
H'FFFF 6350	CAN0 メールボックスレジスタ 53 (COMB53)								8/16/32
H'FFFF 6354	CAN0 メールボックスレジスタ 53 (COMB53)								8/16/32
H'FFFF 6358	CAN0 メールボックスレジスタ 53 (COMB53)								8/16/32
H'FFFF 635C	CAN0 メールボックスレジスタ 53 (COMB53)								8/16/32
H'FFFF 6360	CAN0 メールボックスレジスタ 54 (COMB54)								8/16/32
H'FFFF 6364	CAN0 メールボックスレジスタ 54 (COMB54)								8/16/32
H'FFFF 6368	CAN0 メールボックスレジスタ 54 (COMB54)								8/16/32
H'FFFF 636C	CAN0 メールボックスレジスタ 54 (COMB54)								8/16/32
H'FFFF 6370	CAN0 メールボックスレジスタ 55 (COMB55)								8/16/32
H'FFFF 6374	CAN0 メールボックスレジスタ 55 (COMB55)								8/16/32
H'FFFF 6378	CAN0 メールボックスレジスタ 55 (COMB55)								8/16/32
H'FFFF 637C	CAN0 メールボックスレジスタ 55 (COMB55)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 6380	CAN0 メールボックスレジスタ 56 (COMB56)								8/16/32
H'FFFF 6384	CAN0 メールボックスレジスタ 56 (COMB56)								8/16/32
H'FFFF 6388	CAN0 メールボックスレジスタ 56 (COMB56)								8/16/32
H'FFFF 638C	CAN0 メールボックスレジスタ 56 (COMB56)								8/16/32
H'FFFF 6390	CAN0 メールボックスレジスタ 57 (COMB57)								8/16/32
H'FFFF 6394	CAN0 メールボックスレジスタ 57 (COMB57)								8/16/32
H'FFFF 6398	CAN0 メールボックスレジスタ 57 (COMB57)								8/16/32
H'FFFF 639C	CAN0 メールボックスレジスタ 57 (COMB57)								8/16/32
H'FFFF 63A0	CAN0 メールボックスレジスタ 58 (COMB58)								8/16/32
H'FFFF 63A4	CAN0 メールボックスレジスタ 58 (COMB58)								8/16/32
H'FFFF 63A8	CAN0 メールボックスレジスタ 58 (COMB58)								8/16/32
H'FFFF 63AC	CAN0 メールボックスレジスタ 58 (COMB58)								8/16/32
H'FFFF 63B0	CAN0 メールボックスレジスタ 59 (COMB59)								8/16/32
H'FFFF 63B5	CAN0 メールボックスレジスタ 59 (COMB59)								8/16/32
H'FFFF 63B8	CAN0 メールボックスレジスタ 59 (COMB59)								8/16/32
H'FFFF 63BC	CAN0 メールボックスレジスタ 59 (COMB59)								8/16/32
H'FFFF 63C0	CAN0 メールボックスレジスタ 60 (COMB60)								8/16/32
H'FFFF 63C4	CAN0 メールボックスレジスタ 60 (COMB60)								8/16/32
H'FFFF 63C8	CAN0 メールボックスレジスタ 60 (COMB60)								8/16/32
H'FFFF 63CC	CAN0 メールボックスレジスタ 60 (COMB60)								8/16/32
H'FFFF 63D0	CAN0 メールボックスレジスタ 61 (COMB61)								8/16/32
H'FFFF 63D4	CAN0 メールボックスレジスタ 61 (COMB61)								8/16/32
H'FFFF 63D8	CAN0 メールボックスレジスタ 61 (COMB61)								8/16/32
H'FFFF 63DC	CAN0 メールボックスレジスタ 61 (COMB61)								8/16/32
H'FFFF 63E0	CAN0 メールボックスレジスタ 62 (COMB62)								8/16/32
H'FFFF 63E4	CAN0 メールボックスレジスタ 62 (COMB62)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 63E8	CAN0 メールボックスレジスタ 62 (COMB62)								8/16/32
H'FFFF 63EC	CAN0 メールボックスレジスタ 62 (COMB62)								8/16/32
H'FFFF 63F0	CAN0 メールボックスレジスタ 63 (COMB63)								8/16/32
H'FFFF 63F4	CAN0 メールボックスレジスタ 63 (COMB63)								8/16/32
H'FFFF 63F8	CAN0 メールボックスレジスタ 63 (COMB63)								8/16/32
H'FFFF 63FC	CAN0 メールボックスレジスタ 63 (COMB63)								8/16/32
H'FFFF 6400	CAN0 マスクレジスタ 2 (COMKR2)								8/16/32
H'FFFF 6404	CAN0 マスクレジスタ 3 (COMKR3)								8/16/32
H'FFFF 6408	CAN0 マスクレジスタ 4 (COMKR4)								8/16/32
H'FFFF 640C	CAN0 マスクレジスタ 5 (COMKR5)								8/16/32
H'FFFF 6410	CAN0 マスクレジスタ 6 (COMKR6)								8/16/32
H'FFFF 6414	CAN0 マスクレジスタ 7 (COMKR7)								8/16/32
H'FFFF 6418	CAN0 マスクレジスタ 8 (COMKR8)								8/16/32
H'FFFF 641C	CAN0 マスクレジスタ 9 (COMKR9)								8/16/32
H'FFFF 6420	CAN0 FIFO 受信 ID 比較レジスタ 0 (COFIDCR0)								8/16/32
H'FFFF 6424	CAN0 FIFO 受信 ID 比較レジスタ 1 (COFIDCR1)								8/16/32
H'FFFF 6428	CAN0 マスク無効レジスタ 1 (COMKIVLR1)								8/16/32
H'FFFF 642C	CAN0 メールボックス割り込み許可レジスタ 1 (COMIER1)								8/16/32
H'FFFF 6430	CAN0 マスクレジスタ 0 (COMKR0)								8/16/32
H'FFFF 6434	CAN0 マスクレジスタ 1 (COMKR1)								8/16/32
H'FFFF 6438	CAN0 マスク無効レジスタ 0 (COMKIVLR0)								8/16/32
H'FFFF 643C	CAN0 メールボックス割り込み許可レジスタ 0 (COMIER0)								8/16/32
~	(使用禁止領域)								-
H'FFFF 6800	CAN0 メッセージ制御レジスタ 0 (COMCTL0)	CAN0 メッセージ制御レジスタ 1 (COMCTL1)	CAN0 メッセージ制御レジスタ 2 (COMCTL2)	CAN0 メッセージ制御レジスタ 3 (COMCTL3)					8/16/32
H'FFFF 6804	CAN0 メッセージ制御レジスタ 4 (COMCTL4)	CAN0 メッセージ制御レジスタ 5 (COMCTL5)	CAN0 メッセージ制御レジスタ 6 (COMCTL6)	CAN0 メッセージ制御レジスタ 7 (COMCTL7)					8/16/32
H'FFFF 6808	CAN0 メッセージ制御レジスタ 8 (COMCTL8)	CAN0 メッセージ制御レジスタ 9 (COMCTL9)	CAN0 メッセージ制御レジスタ 10 (COMCTL10)	CAN0 メッセージ制御レジスタ 11 (COMCTL11)					8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 680C	CAN0 メッセージ制御レジスタ 12 (COMCTL12)		CAN0 メッセージ制御レジスタ 13 (COMCTL13)		CAN0 メッセージ制御レジスタ 14 (COMCTL14)		CAN0 メッセージ制御レジスタ 15 (COMCTL15)		8/16/32
H'FFFF 6810	CAN0 メッセージ制御レジスタ 16 (COMCTL16)		CAN0 メッセージ制御レジスタ 17 (COMCTL17)		CAN0 メッセージ制御レジスタ 18 (COMCTL18)		CAN0 メッセージ制御レジスタ 19 (COMCTL19)		8/16/32
H'FFFF 6814	CAN0 メッセージ制御レジスタ 20 (COMCTL20)		CAN0 メッセージ制御レジスタ 21 (COMCTL21)		CAN0 メッセージ制御レジスタ 22 (COMCTL22)		CAN0 メッセージ制御レジスタ 23 (COMCTL23)		8/16/32
H'FFFF 6818	CAN0 メッセージ制御レジスタ 24 (COMCTL24)		CAN0 メッセージ制御レジスタ 25 (COMCTL25)		CAN0 メッセージ制御レジスタ 26 (COMCTL26)		CAN0 メッセージ制御レジスタ 27 (COMCTL27)		8/16/32
H'FFFF 681C	CAN0 メッセージ制御レジスタ 28 (COMCTL28)		CAN0 メッセージ制御レジスタ 29 (COMCTL29)		CAN0 メッセージ制御レジスタ 30 (COMCTL30)		CAN0 メッセージ制御レジスタ 31 (COMCTL31)		8/16/32
H'FFFF 6820	CAN0 メッセージ制御レジスタ 32 (COMCTL32)		CAN0 メッセージ制御レジスタ 33 (COMCTL33)		CAN0 メッセージ制御レジスタ 34 (COMCTL34)		CAN0 メッセージ制御レジスタ 35 (COMCTL35)		8/16/32
H'FFFF 6824	CAN0 メッセージ制御レジスタ 36 (COMCTL36)		CAN0 メッセージ制御レジスタ 37 (COMCTL37)		CAN0 メッセージ制御レジスタ 38 (COMCTL38)		CAN0 メッセージ制御レジスタ 39 (COMCTL39)		8/16/32
H'FFFF 6828	CAN0 メッセージ制御レジスタ 40 (COMCTL40)		CAN0 メッセージ制御レジスタ 41 (COMCTL41)		CAN0 メッセージ制御レジスタ 42 (COMCTL42)		CAN0 メッセージ制御レジスタ 43 (COMCTL43)		8/16/32
H'FFFF 682C	CAN0 メッセージ制御レジスタ 44 (COMCTL44)		CAN0 メッセージ制御レジスタ 45 (COMCTL45)		CAN0 メッセージ制御レジスタ 46 (COMCTL46)		CAN0 メッセージ制御レジスタ 47 (COMCTL47)		8/16/32
H'FFFF 6830	CAN0 メッセージ制御レジスタ 48 (COMCTL48)		CAN0 メッセージ制御レジスタ 49 (COMCTL49)		CAN0 メッセージ制御レジスタ 50 (COMCTL50)		CAN0 メッセージ制御レジスタ 51 (COMCTL51)		8/16/32
H'FFFF 6834	CAN0 メッセージ制御レジスタ 52 (COMCTL52)		CAN0 メッセージ制御レジスタ 53 (COMCTL53)		CAN0 メッセージ制御レジスタ 54 (COMCTL54)		CAN0 メッセージ制御レジスタ 55 (COMCTL55)		8/16/32
H'FFFF 6838	CAN0 メッセージ制御レジスタ 56 (COMCTL56)		CAN0 メッセージ制御レジスタ 57 (COMCTL57)		CAN0 メッセージ制御レジスタ 58 (COMCTL58)		CAN0 メッセージ制御レジスタ 59 (COMCTL59)		8/16/32
H'FFFF 683C	CAN0 メッセージ制御レジスタ 60 (COMCTL60)		CAN0 メッセージ制御レジスタ 61 (COMCTL61)		CAN0 メッセージ制御レジスタ 62 (COMCTL62)		CAN0 メッセージ制御レジスタ 63 (COMCTL63)		8/16/32
H'FFFF 6840	CAN0 制御レジスタ (COCTLR)				CAN0 ステータスレジスタ (COSTR)				8/16/32
H'FFFF 6844	CAN0 ビットコンフィグレーションレジスタ (COBCR)						CAN0 クロック選択レジスタ (COCLKR)		8/16/32
H'FFFF 6848	CAN0 受信 FIFO 制御レジスタ (CORFCR)	CAN0 受信 FIFO ポインタ制御 レジスタ (CORFPCR)		CAN0 送信 FIFO 制御レジスタ (COTFCR)		CAN0 送信 FIFO ポインタ制御 レジスタ (COTFPCR)		8/16/32	
H'FFFF 684C	CAN0 エラー割り込み許可 レジスタ (COEIER)	CAN0 エラー割り込み要因判定 レジスタ (COEIFR)		CAN0 受信エラーカウン トレジスタ (CORECR)		CAN0 送信エラーカウン トレジスタ (COTECR)		8/16/32	
H'FFFF 6850	CAN0 エラーコード格納レジスタ (COECSR)	CAN0 チャネルサーチサポート レジスタ (COCSSR)		CAN0 メールボックスサー チステータスレジスタ (COMSSR)		CAN0 メールボックスサー チモードレジスタ (COMSMR)		8/16/32	
H'FFFF 6854	CAN0 タイムスタンプレジスタ (COTSR)				CAN0 アクセプタンスフィルタサ ポートレジスタ (COAFSR)				8/16/32
H'FFFF 6858	CAN0 テスト制御レジスタ (COTCR)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF 6860	CAN0 割り込み許可レジスタ (COIER)	CAN0 割り込みステータ スレジスタ (COISR)		(使用禁止領域)		CAN0 メールボックスサー チマスクレジスタ (COMBSMR)		8/16, 8/16, -, 8	
~	(使用禁止領域)								-
H'FFFF 7000	CAN1 メールボックスレジスタ 0 (C1MB0)								8/16/32
H'FFFF 7004	CAN1 メールボックスレジスタ 0 (C1MB0)								8/16/32
H'FFFF 7008	CAN1 メールボックスレジスタ 0 (C1MB0)								8/16/32
H'FFFF 700C	CAN1 メールボックスレジスタ 0 (C1MB0)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7010	CAN1 メールボックスレジスタ 1 (C1MB1)								8/16/32
H'FFFF 7014	CAN1 メールボックスレジスタ 1 (C1MB1)								8/16/32
H'FFFF 7018	CAN1 メールボックスレジスタ 1 (C1MB1)								8/16/32
H'FFFF 701C	CAN1 メールボックスレジスタ 1 (C1MB1)								8/16/32
H'FFFF 7020	CAN1 メールボックスレジスタ 2 (C1MB2)								8/16/32
H'FFFF 7024	CAN1 メールボックスレジスタ 2 (C1MB2)								8/16/32
H'FFFF 7028	CAN1 メールボックスレジスタ 2 (C1MB2)								8/16/32
H'FFFF 702C	CAN1 メールボックスレジスタ 2 (C1MB2)								8/16/32
H'FFFF 7030	CAN1 メールボックスレジスタ 3 (C1MB3)								8/16/32
H'FFFF 7034	CAN1 メールボックスレジスタ 3 (C1MB3)								8/16/32
H'FFFF 7038	CAN1 メールボックスレジスタ 3 (C1MB3)								8/16/32
H'FFFF 703C	CAN1 メールボックスレジスタ 3 (C1MB3)								8/16/32
H'FFFF 7040	CAN1 メールボックスレジスタ 4 (C1MB4)								8/16/32
H'FFFF 7044	CAN1 メールボックスレジスタ 4 (C1MB4)								8/16/32
H'FFFF 7048	CAN1 メールボックスレジスタ 4 (C1MB4)								8/16/32
H'FFFF 704C	CAN1 メールボックスレジスタ 4 (C1MB4)								8/16/32
H'FFFF 7050	CAN1 メールボックスレジスタ 5 (C1MB5)								8/16/32
H'FFFF 7054	CAN1 メールボックスレジスタ 5 (C1MB5)								8/16/32
H'FFFF 7058	CAN1 メールボックスレジスタ 5 (C1MB5)								8/16/32
H'FFFF 705C	CAN1 メールボックスレジスタ 5 (C1MB5)								8/16/32
H'FFFF 7060	CAN1 メールボックスレジスタ 6 (C1MB6)								8/16/32
H'FFFF 7064	CAN1 メールボックスレジスタ 6 (C1MB6)								8/16/32
H'FFFF 7068	CAN1 メールボックスレジスタ 6 (C1MB6)								8/16/32
H'FFFF 706C	CAN1 メールボックスレジスタ 6 (C1MB6)								8/16/32
H'FFFF 7070	CAN1 メールボックスレジスタ 7 (C1MB7)								8/16/32
H'FFFF 7074	CAN1 メールボックスレジスタ 7 (C1MB7)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7078	CAN1 メールボックスレジスタ 7 (C1MB7)								8/16/32
H'FFFF 707C	CAN1 メールボックスレジスタ 7 (C1MB7)								8/16/32
H'FFFF 7080	CAN1 メールボックスレジスタ 8 (C1MB8)								8/16/32
H'FFFF 7084	CAN1 メールボックスレジスタ 8 (C1MB8)								8/16/32
H'FFFF 7088	CAN1 メールボックスレジスタ 8 (C1MB8)								8/16/32
H'FFFF 708C	CAN1 メールボックスレジスタ 8 (C1MB8)								8/16/32
H'FFFF 7090	CAN1 メールボックスレジスタ 9 (C1MB9)								8/16/32
H'FFFF 7094	CAN1 メールボックスレジスタ 9 (C1MB9)								8/16/32
H'FFFF 7098	CAN1 メールボックスレジスタ 9 (C1MB9)								8/16/32
H'FFFF 709C	CAN1 メールボックスレジスタ 9 (C1MB9)								8/16/32
H'FFFF 70A0	CAN1 メールボックスレジスタ 10 (C1MB10)								8/16/32
H'FFFF 70A4	CAN1 メールボックスレジスタ 10 (C1MB10)								8/16/32
H'FFFF 70A8	CAN1 メールボックスレジスタ 10 (C1MB10)								8/16/32
H'FFFF 70AC	CAN1 メールボックスレジスタ 10 (C1MB10)								8/16/32
H'FFFF 70B0	CAN1 メールボックスレジスタ 11 (C1MB11)								8/16/32
H'FFFF 70B4	CAN1 メールボックスレジスタ 11 (C1MB11)								8/16/32
H'FFFF 70B8	CAN1 メールボックスレジスタ 11 (C1MB11)								8/16/32
H'FFFF 70BC	CAN1 メールボックスレジスタ 11 (C1MB11)								8/16/32
H'FFFF 70C0	CAN1 メールボックスレジスタ 12 (C1MB12)								8/16/32
H'FFFF 70C4	CAN1 メールボックスレジスタ 12 (C1MB12)								8/16/32
H'FFFF 70C8	CAN1 メールボックスレジスタ 12 (C1MB12)								8/16/32
H'FFFF 70CC	CAN1 メールボックスレジスタ 12 (C1MB12)								8/16/32
H'FFFF 70D0	CAN1 メールボックスレジスタ 13 (C1MB13)								8/16/32
H'FFFF 70D4	CAN1 メールボックスレジスタ 13 (C1MB13)								8/16/32
H'FFFF 70D8	CAN1 メールボックスレジスタ 13 (C1MB13)								8/16/32
H'FFFF 70DC	CAN1 メールボックスレジスタ 13 (C1MB13)								8/16/32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 70E0	CAN1 メールボックスレジスタ 14 (C1MB14)								8/16/32
H'FFFF 70E4	CAN1 メールボックスレジスタ 14 (C1MB14)								8/16/32
H'FFFF 70E8	CAN1 メールボックスレジスタ 14 (C1MB14)								8/16/32
H'FFFF 70EC	CAN1 メールボックスレジスタ 14 (C1MB14)								8/16/32
H'FFFF 70F0	CAN1 メールボックスレジスタ 15 (C1MB15)								8/16/32
H'FFFF 70F4	CAN1 メールボックスレジスタ 15 (C1MB15)								8/16/32
H'FFFF 70F8	CAN1 メールボックスレジスタ 15 (C1MB15)								8/16/32
H'FFFF 70FC	CAN1 メールボックスレジスタ 15 (C1MB15)								8/16/32
H'FFFF 7100	CAN1 メールボックスレジスタ 16 (C1MB16)								8/16/32
H'FFFF 7104	CAN1 メールボックスレジスタ 16 (C1MB16)								8/16/32
H'FFFF 7108	CAN1 メールボックスレジスタ 16 (C1MB16)								8/16/32
H'FFFF 710C	CAN1 メールボックスレジスタ 16 (C1MB16)								8/16/32
H'FFFF 7110	CAN1 メールボックスレジスタ 17 (C1MB17)								8/16/32
H'FFFF 7114	CAN1 メールボックスレジスタ 17 (C1MB17)								8/16/32
H'FFFF 7118	CAN1 メールボックスレジスタ 17 (C1MB17)								8/16/32
H'FFFF 711C	CAN1 メールボックスレジスタ 17 (C1MB17)								8/16/32
H'FFFF 7120	CAN1 メールボックスレジスタ 18 (C1MB18)								8/16/32
H'FFFF 7124	CAN1 メールボックスレジスタ 18 (C1MB18)								8/16/32
H'FFFF 7128	CAN1 メールボックスレジスタ 18 (C1MB18)								8/16/32
H'FFFF 712C	CAN1 メールボックスレジスタ 18 (C1MB18)								8/16/32
H'FFFF 7130	CAN1 メールボックスレジスタ 19 (C1MB19)								8/16/32
H'FFFF 7134	CAN1 メールボックスレジスタ 19 (C1MB19)								8/16/32
H'FFFF 7138	CAN1 メールボックスレジスタ 19 (C1MB19)								8/16/32
H'FFFF 713C	CAN1 メールボックスレジスタ 19 (C1MB19)								8/16/32
H'FFFF 7140	CAN1 メールボックスレジスタ 20 (C1MB20)								8/16/32
H'FFFF 7144	CAN1 メールボックスレジスタ 20 (C1MB20)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7148	CAN1 メールボックスレジスタ 20 (C1MB20)								8/16/32
H'FFFF 714C	CAN1 メールボックスレジスタ 20 (C1MB20)								8/16/32
H'FFFF 7150	CAN1 メールボックスレジスタ 21 (C1MB21)								8/16/32
H'FFFF 7154	CAN1 メールボックスレジスタ 21 (C1MB21)								8/16/32
H'FFFF 7158	CAN1 メールボックスレジスタ 21 (C1MB21)								8/16/32
H'FFFF 715C	CAN1 メールボックスレジスタ 21 (C1MB21)								8/16/32
H'FFFF 7160	CAN1 メールボックスレジスタ 22 (C1MB22)								8/16/32
H'FFFF 7164	CAN1 メールボックスレジスタ 22 (C1MB22)								8/16/32
H'FFFF 7168	CAN1 メールボックスレジスタ 22 (C1MB22)								8/16/32
H'FFFF 716C	CAN1 メールボックスレジスタ 22 (C1MB22)								8/16/32
H'FFFF 7170	CAN1 メールボックスレジスタ 23 (C1MB23)								8/16/32
H'FFFF 7174	CAN1 メールボックスレジスタ 23 (C1MB23)								8/16/32
H'FFFF 7178	CAN1 メールボックスレジスタ 23 (C1MB23)								8/16/32
H'FFFF 717C	CAN1 メールボックスレジスタ 23 (C1MB23)								8/16/32
H'FFFF 7180	CAN1 メールボックスレジスタ 24 (C1MB24)								8/16/32
H'FFFF 7184	CAN1 メールボックスレジスタ 24 (C1MB24)								8/16/32
H'FFFF 7188	CAN1 メールボックスレジスタ 24 (C1MB24)								8/16/32
H'FFFF 718C	CAN1 メールボックスレジスタ 24 (C1MB24)								8/16/32
H'FFFF 7190	CAN1 メールボックスレジスタ 25 (C1MB25)								8/16/32
H'FFFF 7194	CAN1 メールボックスレジスタ 25 (C1MB25)								8/16/32
H'FFFF 7198	CAN1 メールボックスレジスタ 25 (C1MB25)								8/16/32
H'FFFF 719C	CAN1 メールボックスレジスタ 25 (C1MB25)								8/16/32
H'FFFF 71A0	CAN1 メールボックスレジスタ 26 (C1MB26)								8/16/32
H'FFFF 71A4	CAN1 メールボックスレジスタ 26 (C1MB26)								8/16/32
H'FFFF 71A8	CAN1 メールボックスレジスタ 26 (C1MB26)								8/16/32
H'FFFF 71AC	CAN1 メールボックスレジスタ 26 (C1MB26)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 71B0	CAN1 メールボックスレジスタ 27 (C1MB27)								8/16/32
H'FFFF 71B4	CAN1 メールボックスレジスタ 27 (C1MB27)								8/16/32
H'FFFF 71B8	CAN1 メールボックスレジスタ 27 (C1MB27)								8/16/32
H'FFFF 71BC	CAN1 メールボックスレジスタ 27 (C1MB27)								8/16/32
H'FFFF 71C0	CAN1 メールボックスレジスタ 28 (C1MB28)								8/16/32
H'FFFF 71C4	CAN1 メールボックスレジスタ 28 (C1MB28)								8/16/32
H'FFFF 71C8	CAN1 メールボックスレジスタ 28 (C1MB28)								8/16/32
H'FFFF 71CC	CAN1 メールボックスレジスタ 28 (C1MB28)								8/16/32
H'FFFF 71D0	CAN1 メールボックスレジスタ 29 (C1MB29)								8/16/32
H'FFFF 71D4	CAN1 メールボックスレジスタ 29 (C1MB29)								8/16/32
H'FFFF 71D8	CAN1 メールボックスレジスタ 29 (C1MB29)								8/16/32
H'FFFF 71DC	CAN1 メールボックスレジスタ 29 (C1MB29)								8/16/32
H'FFFF 71E0	CAN1 メールボックスレジスタ 30 (C1MB30)								8/16/32
H'FFFF 71E4	CAN1 メールボックスレジスタ 30 (C1MB30)								8/16/32
H'FFFF 71E8	CAN1 メールボックスレジスタ 30 (C1MB30)								8/16/32
H'FFFF 71EC	CAN1 メールボックスレジスタ 30 (C1MB30)								8/16/32
H'FFFF 71F0	CAN1 メールボックスレジスタ 31 (C1MB31)								8/16/32
H'FFFF 71F4	CAN1 メールボックスレジスタ 31 (C1MB31)								8/16/32
H'FFFF 71F8	CAN1 メールボックスレジスタ 31 (C1MB31)								8/16/32
H'FFFF 71FC	CAN1 メールボックスレジスタ 31 (C1MB31)								8/16/32
H'FFFF 7200	CAN1 メールボックスレジスタ 32 (C1MB32)								8/16/32
H'FFFF 7204	CAN1 メールボックスレジスタ 32 (C1MB32)								8/16/32
H'FFFF 7208	CAN1 メールボックスレジスタ 32 (C1MB32)								8/16/32
H'FFFF 720C	CAN1 メールボックスレジスタ 32 (C1MB32)								8/16/32
H'FFFF 7210	CAN1 メールボックスレジスタ 33 (C1MB33)								8/16/32
H'FFFF 7214	CAN1 メールボックスレジスタ 33 (C1MB33)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7218	CAN1 メールボックスレジスタ 33 (C1MB33)								8/16/32
H'FFFF 721C	CAN1 メールボックスレジスタ 33 (C1MB33)								8/16/32
H'FFFF 7220	CAN1 メールボックスレジスタ 34 (C1MB34)								8/16/32
H'FFFF 7224	CAN1 メールボックスレジスタ 34 (C1MB34)								8/16/32
H'FFFF 7228	CAN1 メールボックスレジスタ 34 (C1MB34)								8/16/32
H'FFFF 722C	CAN1 メールボックスレジスタ 34 (C1MB34)								8/16/32
H'FFFF 7230	CAN1 メールボックスレジスタ 35 (C1MB35)								8/16/32
H'FFFF 7234	CAN1 メールボックスレジスタ 35 (C1MB35)								8/16/32
H'FFFF 7238	CAN1 メールボックスレジスタ 35 (C1MB35)								8/16/32
H'FFFF 723C	CAN1 メールボックスレジスタ 35 (C1MB35)								8/16/32
H'FFFF 7240	CAN1 メールボックスレジスタ 36 (C1MB36)								8/16/32
H'FFFF 7244	CAN1 メールボックスレジスタ 36 (C1MB36)								8/16/32
H'FFFF 7248	CAN1 メールボックスレジスタ 36 (C1MB36)								8/16/32
H'FFFF 724C	CAN1 メールボックスレジスタ 36 (C1MB36)								8/16/32
H'FFFF 7250	CAN1 メールボックスレジスタ 37 (C1MB37)								8/16/32
H'FFFF 7254	CAN1 メールボックスレジスタ 37 (C1MB37)								8/16/32
H'FFFF 7258	CAN1 メールボックスレジスタ 37 (C1MB37)								8/16/32
H'FFFF 725C	CAN1 メールボックスレジスタ 37 (C1MB37)								8/16/32
H'FFFF 7260	CAN1 メールボックスレジスタ 38 (C1MB38)								8/16/32
H'FFFF 7264	CAN1 メールボックスレジスタ 38 (C1MB38)								8/16/32
H'FFFF 7268	CAN1 メールボックスレジスタ 38 (C1MB38)								8/16/32
H'FFFF 726C	CAN1 メールボックスレジスタ 38 (C1MB38)								8/16/32
H'FFFF 7270	CAN1 メールボックスレジスタ 39 (C1MB39)								8/16/32
H'FFFF 7274	CAN1 メールボックスレジスタ 39 (C1MB39)								8/16/32
H'FFFF 7278	CAN1 メールボックスレジスタ 39 (C1MB39)								8/16/32
H'FFFF 727C	CAN1 メールボックスレジスタ 39 (C1MB39)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7280	CAN1 メールボックスレジスタ 40 (C1MB40)								8/16/32
H'FFFF 7284	CAN1 メールボックスレジスタ 40 (C1MB40)								8/16/32
H'FFFF 7288	CAN1 メールボックスレジスタ 40 (C1MB40)								8/16/32
H'FFFF 728C	CAN1 メールボックスレジスタ 40 (C1MB40)								8/16/32
H'FFFF 7290	CAN1 メールボックスレジスタ 41 (C1MB41)								8/16/32
H'FFFF 7294	CAN1 メールボックスレジスタ 41 (C1MB41)								8/16/32
H'FFFF 7298	CAN1 メールボックスレジスタ 41 (C1MB41)								8/16/32
H'FFFF 729C	CAN1 メールボックスレジスタ 41 (C1MB41)								8/16/32
H'FFFF 72A0	CAN1 メールボックスレジスタ 42 (C1MB42)								8/16/32
H'FFFF 72A4	CAN1 メールボックスレジスタ 42 (C1MB42)								8/16/32
H'FFFF 72A8	CAN1 メールボックスレジスタ 42 (C1MB42)								8/16/32
H'FFFF 72AC	CAN1 メールボックスレジスタ 42 (C1MB42)								8/16/32
H'FFFF 72B0	CAN1 メールボックスレジスタ 43 (C1MB43)								8/16/32
H'FFFF 72B4	CAN1 メールボックスレジスタ 43 (C1MB43)								8/16/32
H'FFFF 72B8	CAN1 メールボックスレジスタ 43 (C1MB43)								8/16/32
H'FFFF 72BC	CAN1 メールボックスレジスタ 43 (C1MB43)								8/16/32
H'FFFF 72C0	CAN1 メールボックスレジスタ 44 (C1MB44)								8/16/32
H'FFFF 72C4	CAN1 メールボックスレジスタ 44 (C1MB44)								8/16/32
H'FFFF 72C8	CAN1 メールボックスレジスタ 44 (C1MB44)								8/16/32
H'FFFF 72CC	CAN1 メールボックスレジスタ 44 (C1MB44)								8/16/32
H'FFFF 72D0	CAN1 メールボックスレジスタ 45 (C1MB45)								8/16/32
H'FFFF 72D4	CAN1 メールボックスレジスタ 45 (C1MB45)								8/16/32
H'FFFF 72D8	CAN1 メールボックスレジスタ 45 (C1MB45)								8/16/32
H'FFFF 72DC	CAN1 メールボックスレジスタ 45 (C1MB45)								8/16/32
H'FFFF 72E0	CAN1 メールボックスレジスタ 46 (C1MB46)								8/16/32
H'FFFF 72E4	CAN1 メールボックスレジスタ 46 (C1MB46)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 72E8	CAN1 メールボックスレジスタ 46 (C1MB46)								8/16/32
H'FFFF 72EC	CAN1 メールボックスレジスタ 46 (C1MB46)								8/16/32
H'FFFF 72F0	CAN1 メールボックスレジスタ 47 (C1MB47)								8/16/32
H'FFFF 72F4	CAN1 メールボックスレジスタ 47 (C1MB47)								8/16/32
H'FFFF 72F8	CAN1 メールボックスレジスタ 47 (C1MB47)								8/16/32
H'FFFF 72FC	CAN1 メールボックスレジスタ 47 (C1MB47)								8/16/32
H'FFFF 7300	CAN1 メールボックスレジスタ 48 (C1MB48)								8/16/32
H'FFFF 7304	CAN1 メールボックスレジスタ 48 (C1MB48)								8/16/32
H'FFFF 7308	CAN1 メールボックスレジスタ 48 (C1MB48)								8/16/32
H'FFFF 730C	CAN1 メールボックスレジスタ 48 (C1MB48)								8/16/32
H'FFFF 7310	CAN1 メールボックスレジスタ 49 (C1MB49)								8/16/32
H'FFFF 7314	CAN1 メールボックスレジスタ 49 (C1MB49)								8/16/32
H'FFFF 7318	CAN1 メールボックスレジスタ 49 (C1MB49)								8/16/32
H'FFFF 731C	CAN1 メールボックスレジスタ 49 (C1MB49)								8/16/32
H'FFFF 7320	CAN1 メールボックスレジスタ 50 (C1MB50)								8/16/32
H'FFFF 7324	CAN1 メールボックスレジスタ 50 (C1MB50)								8/16/32
H'FFFF 7328	CAN1 メールボックスレジスタ 50 (C1MB50)								8/16/32
H'FFFF 732C	CAN1 メールボックスレジスタ 50 (C1MB50)								8/16/32
H'FFFF 7330	CAN1 メールボックスレジスタ 51 (C1MB51)								8/16/32
H'FFFF 7334	CAN1 メールボックスレジスタ 51 (C1MB51)								8/16/32
H'FFFF 7338	CAN1 メールボックスレジスタ 51 (C1MB51)								8/16/32
H'FFFF 733C	CAN1 メールボックスレジスタ 51 (C1MB51)								8/16/32
H'FFFF 7340	CAN1 メールボックスレジスタ 52 (C1MB52)								8/16/32
H'FFFF 7344	CAN1 メールボックスレジスタ 52 (C1MB52)								8/16/32
H'FFFF 7348	CAN1 メールボックスレジスタ 52 (C1MB52)								8/16/32
H'FFFF 734C	CAN1 メールボックスレジスタ 52 (C1MB52)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7350	CAN1 メールボックスレジスタ 53 (C1MB53)								8/16/32
H'FFFF 7354	CAN1 メールボックスレジスタ 53 (C1MB53)								8/16/32
H'FFFF 7358	CAN1 メールボックスレジスタ 53 (C1MB53)								8/16/32
H'FFFF 735C	CAN1 メールボックスレジスタ 53 (C1MB53)								8/16/32
H'FFFF 7360	CAN1 メールボックスレジスタ 54 (C1MB54)								8/16/32
H'FFFF 7364	CAN1 メールボックスレジスタ 54 (C1MB54)								8/16/32
H'FFFF 7368	CAN1 メールボックスレジスタ 54 (C1MB54)								8/16/32
H'FFFF 736C	CAN1 メールボックスレジスタ 54 (C1MB54)								8/16/32
H'FFFF 7370	CAN1 メールボックスレジスタ 55 (C1MB55)								8/16/32
H'FFFF 7374	CAN1 メールボックスレジスタ 55 (C1MB55)								8/16/32
H'FFFF 7378	CAN1 メールボックスレジスタ 55 (C1MB55)								8/16/32
H'FFFF 737C	CAN1 メールボックスレジスタ 55 (C1MB55)								8/16/32
H'FFFF 7380	CAN1 メールボックスレジスタ 56 (C1MB56)								8/16/32
H'FFFF 7384	CAN1 メールボックスレジスタ 56 (C1MB56)								8/16/32
H'FFFF 7388	CAN1 メールボックスレジスタ 56 (C1MB56)								8/16/32
H'FFFF 738C	CAN1 メールボックスレジスタ 56 (C1MB56)								8/16/32
H'FFFF 7390	CAN1 メールボックスレジスタ 57 (C1MB57)								8/16/32
H'FFFF 7394	CAN1 メールボックスレジスタ 57 (C1MB57)								8/16/32
H'FFFF 7398	CAN1 メールボックスレジスタ 57 (C1MB57)								8/16/32
H'FFFF 739C	CAN1 メールボックスレジスタ 57 (C1MB57)								8/16/32
H'FFFF 73A0	CAN1 メールボックスレジスタ 58 (C1MB58)								8/16/32
H'FFFF 73A4	CAN1 メールボックスレジスタ 58 (C1MB58)								8/16/32
H'FFFF 73A8	CAN1 メールボックスレジスタ 58 (C1MB58)								8/16/32
H'FFFF 73AC	CAN1 メールボックスレジスタ 58 (C1MB58)								8/16/32
H'FFFF 73B0	CAN1 メールボックスレジスタ 59 (C1MB59)								8/16/32
H'FFFF 73B5	CAN1 メールボックスレジスタ 59 (C1MB59)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 73B8	CAN1 メールボックスレジスタ 59 (C1MB59)								8/16/32
H'FFFF 73BC	CAN1 メールボックスレジスタ 59 (C1MB59)								8/16/32
H'FFFF 73C0	CAN1 メールボックスレジスタ 60 (C1MB60)								8/16/32
H'FFFF 73C4	CAN1 メールボックスレジスタ 60 (C1MB60)								8/16/32
H'FFFF 73C8	CAN1 メールボックスレジスタ 60 (C1MB60)								8/16/32
H'FFFF 73CC	CAN1 メールボックスレジスタ 60 (C1MB60)								8/16/32
H'FFFF 73D0	CAN1 メールボックスレジスタ 61 (C1MB61)								8/16/32
H'FFFF 73D4	CAN1 メールボックスレジスタ 61 (C1MB61)								8/16/32
H'FFFF 73D8	CAN1 メールボックスレジスタ 61 (C1MB61)								8/16/32
H'FFFF 73DC	CAN1 メールボックスレジスタ 61 (C1MB61)								8/16/32
H'FFFF 73E0	CAN1 メールボックスレジスタ 62 (C1MB62)								8/16/32
H'FFFF 73E4	CAN1 メールボックスレジスタ 62 (C1MB62)								8/16/32
H'FFFF 73E8	CAN1 メールボックスレジスタ 62 (C1MB62)								8/16/32
H'FFFF 73EC	CAN1 メールボックスレジスタ 62 (C1MB62)								8/16/32
H'FFFF 73F0	CAN1 メールボックスレジスタ 63 (C1MB63)								8/16/32
H'FFFF 73F4	CAN1 メールボックスレジスタ 63 (C1MB63)								8/16/32
H'FFFF 73F8	CAN1 メールボックスレジスタ 63 (C1MB63)								8/16/32
H'FFFF 73FC	CAN1 メールボックスレジスタ 63 (C1MB63)								8/16/32
H'FFFF 7400	CAN1 マスクレジスタ 2 (C1MKR2)								8/16/32
H'FFFF 7404	CAN1 マスクレジスタ 3 (C1MKR3)								8/16/32
H'FFFF 7408	CAN1 マスクレジスタ 4 (C1MKR4)								8/16/32
H'FFFF 740C	CAN1 マスクレジスタ 5 (C1MKR5)								8/16/32
H'FFFF 7410	CAN1 マスクレジスタ 6 (C1MKR6)								8/16/32
H'FFFF 7414	CAN1 マスクレジスタ 7 (C1MKR7)								8/16/32
H'FFFF 7418	CAN1 マスクレジスタ 8 (C1MKR8)								8/16/32
H'FFFF 741C	CAN1 マスクレジスタ 9 (C1MKR9)								8/16/32





番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 7844	CAN1 ビットコンフィグレーションレジスタ (C1BCR)						CAN1 クロック選択レジスタ (C1CLKR)		8/16/32
H'FFFF 7848	CAN1 受信 FIFO 制御レジスタ (C1RFCR)	CAN1 受信 FIFO ポインタ制御 レジスタ (C1RFPCR)		CAN1 送信 FIFO 制御レジスタ (C1TFCR)		CAN1 送信 FIFO ポインタ制御 レジスタ (C1TFPCR)		8/16/32	
H'FFFF 784C	CAN1 エラー割り込み許可 レジスタ (C1EIER)	CAN1 エラー割り込み要因判定 レジスタ (C1EIFR)		CAN1 受信エラーカウン トレジスタ (C1RECR)		CAN1 送信エラーカウン トレジスタ (C1TECR)		8/16/32	
H'FFFF 7850	CAN1 エラーコード格納レジスタ (C1ECSR)	CAN1 チャネルサーチサポート レジスタ (C1CSSR)		CAN1 メールボックスサー チステータスレジスタ (C1MSSR)		CAN1 メールボックスサー チモードレジスタ (C1MSMR)		8/16/32	
H'FFFF 7854	CAN1 タイムスタンプレジスタ (C1TSR)				CAN1 アクセプタンスフィルタサ ポートレジスタ (C1AFSR)				8/16/32
H'FFFF 7858	CAN1 テスト制御レジスタ (C1TCR)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF 7860	CAN1 割り込み許可レジスタ (C1IER)	CAN1 割り込みステータ スレジスタ (C1ISR)		(使用禁止領域)		CAN1 メールボックスサー チマスクレジスタ (C1MBSMR)		8/16, 8/16, -, 8	
~	(使用禁止領域)								-
H'FFFF 8000	CAN2 メールボックスレジスタ 0 (C2MB0)								8/16/32
H'FFFF 8004	CAN2 メールボックスレジスタ 0 (C2MB0)								8/16/32
H'FFFF 8008	CAN2 メールボックスレジスタ 0 (C2MB0)								8/16/32
H'FFFF 800C	CAN2 メールボックスレジスタ 0 (C2MB0)								8/16/32
H'FFFF 8010	CAN2 メールボックスレジスタ 1 (C2MB1)								8/16/32
H'FFFF 8014	CAN2 メールボックスレジスタ 1 (C2MB1)								8/16/32
H'FFFF 8018	CAN2 メールボックスレジスタ 1 (C2MB1)								8/16/32
H'FFFF 801C	CAN2 メールボックスレジスタ 1 (C2MB1)								8/16/32
H'FFFF 8020	CAN2 メールボックスレジスタ 2 (C2MB2)								8/16/32
H'FFFF 8024	CAN2 メールボックスレジスタ 2 (C2MB2)								8/16/32
H'FFFF 8028	CAN2 メールボックスレジスタ 2 (C2MB2)								8/16/32
H'FFFF 802C	CAN2 メールボックスレジスタ 2 (C2MB2)								8/16/32
H'FFFF 8030	CAN2 メールボックスレジスタ 3 (C2MB3)								8/16/32
H'FFFF 8034	CAN2 メールボックスレジスタ 3 (C2MB3)								8/16/32
H'FFFF 8038	CAN2 メールボックスレジスタ 3 (C2MB3)								8/16/32
H'FFFF 803C	CAN2 メールボックスレジスタ 3 (C2MB3)								8/16/32
H'FFFF 8040	CAN2 メールボックスレジスタ 4 (C2MB4)								8/16/32
H'FFFF 8044	CAN2 メールボックスレジスタ 4 (C2MB4)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8048	CAN2 メールボックスレジスタ 4 (C2MB4)								8/16/32
H'FFFF 804C	CAN2 メールボックスレジスタ 4 (C2MB4)								8/16/32
H'FFFF 8050	CAN2 メールボックスレジスタ 5 (C2MB5)								8/16/32
H'FFFF 8054	CAN2 メールボックスレジスタ 5 (C2MB5)								8/16/32
H'FFFF 8058	CAN2 メールボックスレジスタ 5 (C2MB5)								8/16/32
H'FFFF 805C	CAN2 メールボックスレジスタ 5 (C2MB5)								8/16/32
H'FFFF 8060	CAN2 メールボックスレジスタ 6 (C2MB6)								8/16/32
H'FFFF 8064	CAN2 メールボックスレジスタ 6 (C2MB6)								8/16/32
H'FFFF 8068	CAN2 メールボックスレジスタ 6 (C2MB6)								8/16/32
H'FFFF 806C	CAN2 メールボックスレジスタ 6 (C2MB6)								8/16/32
H'FFFF 8070	CAN2 メールボックスレジスタ 7 (C2MB7)								8/16/32
H'FFFF 8074	CAN2 メールボックスレジスタ 7 (C2MB7)								8/16/32
H'FFFF 8078	CAN2 メールボックスレジスタ 7 (C2MB7)								8/16/32
H'FFFF 807C	CAN2 メールボックスレジスタ 7 (C2MB7)								8/16/32
H'FFFF 8080	CAN2 メールボックスレジスタ 8 (C2MB8)								8/16/32
H'FFFF 8084	CAN2 メールボックスレジスタ 8 (C2MB8)								8/16/32
H'FFFF 8088	CAN2 メールボックスレジスタ 8 (C2MB8)								8/16/32
H'FFFF 808C	CAN2 メールボックスレジスタ 8 (C2MB8)								8/16/32
H'FFFF 8090	CAN2 メールボックスレジスタ 9 (C2MB9)								8/16/32
H'FFFF 8094	CAN2 メールボックスレジスタ 9 (C2MB9)								8/16/32
H'FFFF 8098	CAN2 メールボックスレジスタ 9 (C2MB9)								8/16/32
H'FFFF 809C	CAN2 メールボックスレジスタ 9 (C2MB9)								8/16/32
H'FFFF 80A0	CAN2 メールボックスレジスタ 10 (C2MB10)								8/16/32
H'FFFF 80A4	CAN2 メールボックスレジスタ 10 (C2MB10)								8/16/32
H'FFFF 80A8	CAN2 メールボックスレジスタ 10 (C2MB10)								8/16/32
H'FFFF 80AC	CAN2 メールボックスレジスタ 10 (C2MB10)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 80B0	CAN2 メールボックスレジスタ 11 (C2MB11)								8/16/32
H'FFFF 80B4	CAN2 メールボックスレジスタ 11 (C2MB11)								8/16/32
H'FFFF 80B8	CAN2 メールボックスレジスタ 11 (C2MB11)								8/16/32
H'FFFF 80BC	CAN2 メールボックスレジスタ 11 (C2MB11)								8/16/32
H'FFFF 80C0	CAN2 メールボックスレジスタ 12 (C2MB12)								8/16/32
H'FFFF 80C4	CAN2 メールボックスレジスタ 12 (C2MB12)								8/16/32
H'FFFF 80C8	CAN2 メールボックスレジスタ 12 (C2MB12)								8/16/32
H'FFFF 80CC	CAN2 メールボックスレジスタ 12 (C2MB12)								8/16/32
H'FFFF 80D0	CAN2 メールボックスレジスタ 13 (C2MB13)								8/16/32
H'FFFF 80D4	CAN2 メールボックスレジスタ 13 (C2MB13)								8/16/32
H'FFFF 80D8	CAN2 メールボックスレジスタ 13 (C2MB13)								8/16/32
H'FFFF 80DC	CAN2 メールボックスレジスタ 13 (C2MB13)								8/16/32
H'FFFF 80E0	CAN2 メールボックスレジスタ 14 (C2MB14)								8/16/32
H'FFFF 80E4	CAN2 メールボックスレジスタ 14 (C2MB14)								8/16/32
H'FFFF 80E8	CAN2 メールボックスレジスタ 14 (C2MB14)								8/16/32
H'FFFF 80EC	CAN2 メールボックスレジスタ 14 (C2MB14)								8/16/32
H'FFFF 80F0	CAN2 メールボックスレジスタ 15 (C2MB15)								8/16/32
H'FFFF 80F4	CAN2 メールボックスレジスタ 15 (C2MB15)								8/16/32
H'FFFF 80F8	CAN2 メールボックスレジスタ 15 (C2MB15)								8/16/32
H'FFFF 80FC	CAN2 メールボックスレジスタ 15 (C2MB15)								8/16/32
H'FFFF 8100	CAN2 メールボックスレジスタ 16 (C2MB16)								8/16/32
H'FFFF 8104	CAN2 メールボックスレジスタ 16 (C2MB16)								8/16/32
H'FFFF 8108	CAN2 メールボックスレジスタ 16 (C2MB16)								8/16/32
H'FFFF 810C	CAN2 メールボックスレジスタ 16 (C2MB16)								8/16/32
H'FFFF 8110	CAN2 メールボックスレジスタ 17 (C2MB17)								8/16/32
H'FFFF 8114	CAN2 メールボックスレジスタ 17 (C2MB17)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8118	CAN2 メールボックスレジスタ 17 (C2MB17)								8/16/32
H'FFFF 811C	CAN2 メールボックスレジスタ 17 (C2MB17)								8/16/32
H'FFFF 8120	CAN2 メールボックスレジスタ 18 (C2MB18)								8/16/32
H'FFFF 8124	CAN2 メールボックスレジスタ 18 (C2MB18)								8/16/32
H'FFFF 8128	CAN2 メールボックスレジスタ 18 (C2MB18)								8/16/32
H'FFFF 812C	CAN2 メールボックスレジスタ 18 (C2MB18)								8/16/32
H'FFFF 8130	CAN2 メールボックスレジスタ 19 (C2MB19)								8/16/32
H'FFFF 8134	CAN2 メールボックスレジスタ 19 (C2MB19)								8/16/32
H'FFFF 8138	CAN2 メールボックスレジスタ 19 (C2MB19)								8/16/32
H'FFFF 813C	CAN2 メールボックスレジスタ 19 (C2MB19)								8/16/32
H'FFFF 8140	CAN2 メールボックスレジスタ 20 (C2MB20)								8/16/32
H'FFFF 8144	CAN2 メールボックスレジスタ 20 (C2MB20)								8/16/32
H'FFFF 8148	CAN2 メールボックスレジスタ 20 (C2MB20)								8/16/32
H'FFFF 814C	CAN2 メールボックスレジスタ 20 (C2MB20)								8/16/32
H'FFFF 8150	CAN2 メールボックスレジスタ 21 (C2MB21)								8/16/32
H'FFFF 8154	CAN2 メールボックスレジスタ 21 (C2MB21)								8/16/32
H'FFFF 8158	CAN2 メールボックスレジスタ 21 (C2MB21)								8/16/32
H'FFFF 815C	CAN2 メールボックスレジスタ 21 (C2MB21)								8/16/32
H'FFFF 8160	CAN2 メールボックスレジスタ 22 (C2MB22)								8/16/32
H'FFFF 8164	CAN2 メールボックスレジスタ 22 (C2MB22)								8/16/32
H'FFFF 8168	CAN2 メールボックスレジスタ 22 (C2MB22)								8/16/32
H'FFFF 816C	CAN2 メールボックスレジスタ 22 (C2MB22)								8/16/32
H'FFFF 8170	CAN2 メールボックスレジスタ 23 (C2MB23)								8/16/32
H'FFFF 8174	CAN2 メールボックスレジスタ 23 (C2MB23)								8/16/32
H'FFFF 8178	CAN2 メールボックスレジスタ 23 (C2MB23)								8/16/32
H'FFFF 817C	CAN2 メールボックスレジスタ 23 (C2MB23)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8180	CAN2 メールボックスレジスタ 24 (C2MB24)								8/16/32
H'FFFF 8184	CAN2 メールボックスレジスタ 24 (C2MB24)								8/16/32
H'FFFF 8188	CAN2 メールボックスレジスタ 24 (C2MB24)								8/16/32
H'FFFF 818C	CAN2 メールボックスレジスタ 24 (C2MB24)								8/16/32
H'FFFF 8190	CAN2 メールボックスレジスタ 25 (C2MB25)								8/16/32
H'FFFF 8194	CAN2 メールボックスレジスタ 25 (C2MB25)								8/16/32
H'FFFF 8198	CAN2 メールボックスレジスタ 25 (C2MB25)								8/16/32
H'FFFF 819C	CAN2 メールボックスレジスタ 25 (C2MB25)								8/16/32
H'FFFF 81A0	CAN2 メールボックスレジスタ 26 (C2MB26)								8/16/32
H'FFFF 81A4	CAN2 メールボックスレジスタ 26 (C2MB26)								8/16/32
H'FFFF 81A8	CAN2 メールボックスレジスタ 26 (C2MB26)								8/16/32
H'FFFF 81AC	CAN2 メールボックスレジスタ 26 (C2MB26)								8/16/32
H'FFFF 81B0	CAN2 メールボックスレジスタ 27 (C2MB27)								8/16/32
H'FFFF 81B4	CAN2 メールボックスレジスタ 27 (C2MB27)								8/16/32
H'FFFF 81B8	CAN2 メールボックスレジスタ 27 (C2MB27)								8/16/32
H'FFFF 81BC	CAN2 メールボックスレジスタ 27 (C2MB27)								8/16/32
H'FFFF 81C0	CAN2 メールボックスレジスタ 28 (C2MB28)								8/16/32
H'FFFF 81C4	CAN2 メールボックスレジスタ 28 (C2MB28)								8/16/32
H'FFFF 81C8	CAN2 メールボックスレジスタ 28 (C2MB28)								8/16/32
H'FFFF 81CC	CAN2 メールボックスレジスタ 28 (C2MB28)								8/16/32
H'FFFF 81D0	CAN2 メールボックスレジスタ 29 (C2MB29)								8/16/32
H'FFFF 81D4	CAN2 メールボックスレジスタ 29 (C2MB29)								8/16/32
H'FFFF 81D8	CAN2 メールボックスレジスタ 29 (C2MB29)								8/16/32
H'FFFF 81DC	CAN2 メールボックスレジスタ 29 (C2MB29)								8/16/32
H'FFFF 81E0	CAN2 メールボックスレジスタ 30 (C2MB30)								8/16/32
H'FFFF 81E4	CAN2 メールボックスレジスタ 30 (C2MB30)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 81E8	CAN2 メールボックスレジスタ 30 (C2MB30)								8/16/32
H'FFFF 81EC	CAN2 メールボックスレジスタ 30 (C2MB30)								8/16/32
H'FFFF 81F0	CAN2 メールボックスレジスタ 31 (C2MB31)								8/16/32
H'FFFF 81F4	CAN2 メールボックスレジスタ 31 (C2MB31)								8/16/32
H'FFFF 81F8	CAN2 メールボックスレジスタ 31 (C2MB31)								8/16/32
H'FFFF 81FC	CAN2 メールボックスレジスタ 31 (C2MB31)								8/16/32
H'FFFF 8200	CAN2 メールボックスレジスタ 32 (C2MB32)								8/16/32
H'FFFF 8204	CAN2 メールボックスレジスタ 32 (C2MB32)								8/16/32
H'FFFF 8208	CAN2 メールボックスレジスタ 32 (C2MB32)								8/16/32
H'FFFF 820C	CAN2 メールボックスレジスタ 32 (C2MB32)								8/16/32
H'FFFF 8210	CAN2 メールボックスレジスタ 33 (C2MB33)								8/16/32
H'FFFF 8214	CAN2 メールボックスレジスタ 33 (C2MB33)								8/16/32
H'FFFF 8218	CAN2 メールボックスレジスタ 33 (C2MB33)								8/16/32
H'FFFF 821C	CAN2 メールボックスレジスタ 33 (C2MB33)								8/16/32
H'FFFF 8220	CAN2 メールボックスレジスタ 34 (C2MB34)								8/16/32
H'FFFF 8224	CAN2 メールボックスレジスタ 34 (C2MB34)								8/16/32
H'FFFF 8228	CAN2 メールボックスレジスタ 34 (C2MB34)								8/16/32
H'FFFF 822C	CAN2 メールボックスレジスタ 34 (C2MB34)								8/16/32
H'FFFF 8230	CAN2 メールボックスレジスタ 35 (C2MB35)								8/16/32
H'FFFF 8234	CAN2 メールボックスレジスタ 35 (C2MB35)								8/16/32
H'FFFF 8238	CAN2 メールボックスレジスタ 35 (C2MB35)								8/16/32
H'FFFF 823C	CAN2 メールボックスレジスタ 35 (C2MB35)								8/16/32
H'FFFF 8240	CAN2 メールボックスレジスタ 36 (C2MB36)								8/16/32
H'FFFF 8244	CAN2 メールボックスレジスタ 36 (C2MB36)								8/16/32
H'FFFF 8248	CAN2 メールボックスレジスタ 36 (C2MB36)								8/16/32
H'FFFF 824C	CAN2 メールボックスレジスタ 36 (C2MB36)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8250	CAN2 メールボックスレジスタ 37 (C2MB37)								8/16/32
H'FFFF 8254	CAN2 メールボックスレジスタ 37 (C2MB37)								8/16/32
H'FFFF 8258	CAN2 メールボックスレジスタ 37 (C2MB37)								8/16/32
H'FFFF 825C	CAN2 メールボックスレジスタ 37 (C2MB37)								8/16/32
H'FFFF 8260	CAN2 メールボックスレジスタ 38 (C2MB38)								8/16/32
H'FFFF 8264	CAN2 メールボックスレジスタ 38 (C2MB38)								8/16/32
H'FFFF 8268	CAN2 メールボックスレジスタ 38 (C2MB38)								8/16/32
H'FFFF 826C	CAN2 メールボックスレジスタ 38 (C2MB38)								8/16/32
H'FFFF 8270	CAN2 メールボックスレジスタ 39 (C2MB39)								8/16/32
H'FFFF 8274	CAN2 メールボックスレジスタ 39 (C2MB39)								8/16/32
H'FFFF 8278	CAN2 メールボックスレジスタ 39 (C2MB39)								8/16/32
H'FFFF 827C	CAN2 メールボックスレジスタ 39 (C2MB39)								8/16/32
H'FFFF 8280	CAN2 メールボックスレジスタ 40 (C2MB40)								8/16/32
H'FFFF 8284	CAN2 メールボックスレジスタ 40 (C2MB40)								8/16/32
H'FFFF 8288	CAN2 メールボックスレジスタ 40 (C2MB40)								8/16/32
H'FFFF 828C	CAN2 メールボックスレジスタ 40 (C2MB40)								8/16/32
H'FFFF 8290	CAN2 メールボックスレジスタ 41 (C2MB41)								8/16/32
H'FFFF 8294	CAN2 メールボックスレジスタ 41 (C2MB41)								8/16/32
H'FFFF 8298	CAN2 メールボックスレジスタ 41 (C2MB41)								8/16/32
H'FFFF 829C	CAN2 メールボックスレジスタ 41 (C2MB41)								8/16/32
H'FFFF 82A0	CAN2 メールボックスレジスタ 42 (C2MB42)								8/16/32
H'FFFF 82A4	CAN2 メールボックスレジスタ 42 (C2MB42)								8/16/32
H'FFFF 82A8	CAN2 メールボックスレジスタ 42 (C2MB42)								8/16/32
H'FFFF 82AC	CAN2 メールボックスレジスタ 42 (C2MB42)								8/16/32
H'FFFF 82B0	CAN2 メールボックスレジスタ 43 (C2MB43)								8/16/32
H'FFFF 82B4	CAN2 メールボックスレジスタ 43 (C2MB43)								8/16/32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 82B8	CAN2 メールボックスレジスタ 43 (C2MB43)								8/16/32
H'FFFF 82BC	CAN2 メールボックスレジスタ 43 (C2MB43)								8/16/32
H'FFFF 82C0	CAN2 メールボックスレジスタ 44 (C2MB44)								8/16/32
H'FFFF 82C4	CAN2 メールボックスレジスタ 44 (C2MB44)								8/16/32
H'FFFF 82C8	CAN2 メールボックスレジスタ 44 (C2MB44)								8/16/32
H'FFFF 82CC	CAN2 メールボックスレジスタ 44 (C2MB44)								8/16/32
H'FFFF 82D0	CAN2 メールボックスレジスタ 45 (C2MB45)								8/16/32
H'FFFF 82D4	CAN2 メールボックスレジスタ 45 (C2MB45)								8/16/32
H'FFFF 82D8	CAN2 メールボックスレジスタ 45 (C2MB45)								8/16/32
H'FFFF 82DC	CAN2 メールボックスレジスタ 45 (C2MB45)								8/16/32
H'FFFF 82E0	CAN2 メールボックスレジスタ 46 (C2MB46)								8/16/32
H'FFFF 82E4	CAN2 メールボックスレジスタ 46 (C2MB46)								8/16/32
H'FFFF 82E8	CAN2 メールボックスレジスタ 46 (C2MB46)								8/16/32
H'FFFF 82EC	CAN2 メールボックスレジスタ 46 (C2MB46)								8/16/32
H'FFFF 82F0	CAN2 メールボックスレジスタ 47 (C2MB47)								8/16/32
H'FFFF 82F4	CAN2 メールボックスレジスタ 47 (C2MB47)								8/16/32
H'FFFF 82F8	CAN2 メールボックスレジスタ 47 (C2MB47)								8/16/32
H'FFFF 82FC	CAN2 メールボックスレジスタ 47 (C2MB47)								8/16/32
H'FFFF 8300	CAN2 メールボックスレジスタ 48 (C2MB48)								8/16/32
H'FFFF 8304	CAN2 メールボックスレジスタ 48 (C2MB48)								8/16/32
H'FFFF 8308	CAN2 メールボックスレジスタ 48 (C2MB48)								8/16/32
H'FFFF 830C	CAN2 メールボックスレジスタ 48 (C2MB48)								8/16/32
H'FFFF 8310	CAN2 メールボックスレジスタ 49 (C2MB49)								8/16/32
H'FFFF 8314	CAN2 メールボックスレジスタ 49 (C2MB49)								8/16/32
H'FFFF 8318	CAN2 メールボックスレジスタ 49 (C2MB49)								8/16/32
H'FFFF 831C	CAN2 メールボックスレジスタ 49 (C2MB49)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8320	CAN2 メールボックスレジスタ 50 (C2MB50)								8/16/32
H'FFFF 8324	CAN2 メールボックスレジスタ 50 (C2MB50)								8/16/32
H'FFFF 8328	CAN2 メールボックスレジスタ 50 (C2MB50)								8/16/32
H'FFFF 832C	CAN2 メールボックスレジスタ 50 (C2MB50)								8/16/32
H'FFFF 8330	CAN2 メールボックスレジスタ 51 (C2MB51)								8/16/32
H'FFFF 8334	CAN2 メールボックスレジスタ 51 (C2MB51)								8/16/32
H'FFFF 8338	CAN2 メールボックスレジスタ 51 (C2MB51)								8/16/32
H'FFFF 833C	CAN2 メールボックスレジスタ 51 (C2MB51)								8/16/32
H'FFFF 8340	CAN2 メールボックスレジスタ 52 (C2MB52)								8/16/32
H'FFFF 8344	CAN2 メールボックスレジスタ 52 (C2MB52)								8/16/32
H'FFFF 8348	CAN2 メールボックスレジスタ 52 (C2MB52)								8/16/32
H'FFFF 834C	CAN2 メールボックスレジスタ 52 (C2MB52)								8/16/32
H'FFFF 8350	CAN2 メールボックスレジスタ 53 (C2MB53)								8/16/32
H'FFFF 8354	CAN2 メールボックスレジスタ 53 (C2MB53)								8/16/32
H'FFFF 8358	CAN2 メールボックスレジスタ 53 (C2MB53)								8/16/32
H'FFFF 835C	CAN2 メールボックスレジスタ 53 (C2MB53)								8/16/32
H'FFFF 8360	CAN2 メールボックスレジスタ 54 (C2MB54)								8/16/32
H'FFFF 8364	CAN2 メールボックスレジスタ 54 (C2MB54)								8/16/32
H'FFFF 8368	CAN2 メールボックスレジスタ 54 (C2MB54)								8/16/32
H'FFFF 836C	CAN2 メールボックスレジスタ 54 (C2MB54)								8/16/32
H'FFFF 8370	CAN2 メールボックスレジスタ 55 (C2MB55)								8/16/32
H'FFFF 8374	CAN2 メールボックスレジスタ 55 (C2MB55)								8/16/32
H'FFFF 8378	CAN2 メールボックスレジスタ 55 (C2MB55)								8/16/32
H'FFFF 837C	CAN2 メールボックスレジスタ 55 (C2MB55)								8/16/32
H'FFFF 8380	CAN2 メールボックスレジスタ 56 (C2MB56)								8/16/32
H'FFFF 8384	CAN2 メールボックスレジスタ 56 (C2MB56)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8388	CAN2 メールボックスレジスタ 56 (C2MB56)								8/16/32
H'FFFF 838C	CAN2 メールボックスレジスタ 56 (C2MB56)								8/16/32
H'FFFF 8390	CAN2 メールボックスレジスタ 57 (C2MB57)								8/16/32
H'FFFF 8394	CAN2 メールボックスレジスタ 57 (C2MB57)								8/16/32
H'FFFF 8398	CAN2 メールボックスレジスタ 57 (C2MB57)								8/16/32
H'FFFF 839C	CAN2 メールボックスレジスタ 57 (C2MB57)								8/16/32
H'FFFF 83A0	CAN2 メールボックスレジスタ 58 (C2MB58)								8/16/32
H'FFFF 83A4	CAN2 メールボックスレジスタ 58 (C2MB58)								8/16/32
H'FFFF 83A8	CAN2 メールボックスレジスタ 58 (C2MB58)								8/16/32
H'FFFF 83AC	CAN2 メールボックスレジスタ 58 (C2MB58)								8/16/32
H'FFFF 83B0	CAN2 メールボックスレジスタ 59 (C2MB59)								8/16/32
H'FFFF 83B5	CAN2 メールボックスレジスタ 59 (C2MB59)								8/16/32
H'FFFF 83B8	CAN2 メールボックスレジスタ 59 (C2MB59)								8/16/32
H'FFFF 83BC	CAN2 メールボックスレジスタ 59 (C2MB59)								8/16/32
H'FFFF 83C0	CAN2 メールボックスレジスタ 60 (C2MB60)								8/16/32
H'FFFF 83C4	CAN2 メールボックスレジスタ 60 (C2MB60)								8/16/32
H'FFFF 83C8	CAN2 メールボックスレジスタ 60 (C2MB60)								8/16/32
H'FFFF 83CC	CAN2 メールボックスレジスタ 60 (C2MB60)								8/16/32
H'FFFF 83D0	CAN2 メールボックスレジスタ 61 (C2MB61)								8/16/32
H'FFFF 83D4	CAN2 メールボックスレジスタ 61 (C2MB61)								8/16/32
H'FFFF 83D8	CAN2 メールボックスレジスタ 61 (C2MB61)								8/16/32
H'FFFF 83DC	CAN2 メールボックスレジスタ 61 (C2MB61)								8/16/32
H'FFFF 83E0	CAN2 メールボックスレジスタ 62 (C2MB62)								8/16/32
H'FFFF 83E4	CAN2 メールボックスレジスタ 62 (C2MB62)								8/16/32
H'FFFF 83E8	CAN2 メールボックスレジスタ 62 (C2MB62)								8/16/32
H'FFFF 83EC	CAN2 メールボックスレジスタ 62 (C2MB62)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ	
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0		
H'FFFF 83F0	CAN2 メールボックスレジスタ 63 (C2MB63)								8/16/32	
H'FFFF 83F4	CAN2 メールボックスレジスタ 63 (C2MB63)								8/16/32	
H'FFFF 83F8	CAN2 メールボックスレジスタ 63 (C2MB63)								8/16/32	
H'FFFF 83FC	CAN2 メールボックスレジスタ 63 (C2MB63)								8/16/32	
H'FFFF 8400	CAN2 マスクレジスタ 2 (C2MKR2)								8/16/32	
H'FFFF 8404	CAN2 マスクレジスタ 3 (C2MKR3)								8/16/32	
H'FFFF 8408	CAN2 マスクレジスタ 4 (C2MKR4)								8/16/32	
H'FFFF 840C	CAN2 マスクレジスタ 5 (C2MKR5)								8/16/32	
H'FFFF 8410	CAN2 マスクレジスタ 6 (C2MKR6)								8/16/32	
H'FFFF 8414	CAN2 マスクレジスタ 7 (C2MKR7)								8/16/32	
H'FFFF 8418	CAN2 マスクレジスタ 8 (C2MKR8)								8/16/32	
H'FFFF 841C	CAN2 マスクレジスタ 9 (C2MKR9)								8/16/32	
H'FFFF 8420	CAN2 FIFO 受信 ID 比較レジスタ 0 (C2FIDCR0)								8/16/32	
H'FFFF 8424	CAN2 FIFO 受信 ID 比較レジスタ 1 (C2FIDCR1)								8/16/32	
H'FFFF 8428	CAN2 マスク無効レジスタ 1 (C2MKIVLR1)								8/16/32	
H'FFFF 842C	CAN2 メールボックス割り込み許可レジスタ 1 (C2MIER1)								8/16/32	
H'FFFF 8430	CAN2 マスクレジスタ 0 (C2MKR0)								8/16/32	
H'FFFF 8434	CAN2 マスクレジスタ 1 (C2MKR1)								8/16/32	
H'FFFF 8438	CAN2 マスク無効レジスタ 0 (C2MKIVLR0)								8/16/32	
H'FFFF 843C	CAN2 メールボックス割り込み許可レジスタ 0 (C2MIER0)								8/16/32	
~	(使用禁止領域)								-	
H'FFFF 8800	CAN2 メッセージ制御レジスタ 0 (C2MCTL0)	CAN2 メッセージ制御レジスタ 1 (C2MCTL1)	CAN2 メッセージ制御レジスタ 2 (C2MCTL2)	CAN2 メッセージ制御レジスタ 3 (C2MCTL3)						8/16/32
H'FFFF 8804	CAN2 メッセージ制御レジスタ 4 (C2MCTL4)	CAN2 メッセージ制御レジスタ 5 (C2MCTL5)	CAN2 メッセージ制御レジスタ 6 (C2MCTL6)	CAN2 メッセージ制御レジスタ 7 (C2MCTL7)						8/16/32
H'FFFF 8808	CAN2 メッセージ制御レジスタ 8 (C2MCTL8)	CAN2 メッセージ制御レジスタ 9 (C2MCTL9)	CAN2 メッセージ制御レジスタ 10 (C2MCTL10)	CAN2 メッセージ制御レジスタ 11 (C2MCTL11)						8/16/32
H'FFFF 880C	CAN2 メッセージ制御レジスタ 12 (C2MCTL12)	CAN2 メッセージ制御レジスタ 13 (C2MCTL13)	CAN2 メッセージ制御レジスタ 14 (C2MCTL14)	CAN2 メッセージ制御レジスタ 15 (C2MCTL15)						8/16/32
H'FFFF 8810	CAN2 メッセージ制御レジスタ 16 (C2MCTL16)	CAN2 メッセージ制御レジスタ 17 (C2MCTL17)	CAN2 メッセージ制御レジスタ 18 (C2MCTL18)	CAN2 メッセージ制御レジスタ 19 (C2MCTL19)						8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 8814	CAN2 メッセージ制御レジスタ 20 (C2MCTL20)		CAN2 メッセージ制御レジスタ 21 (C2MCTL21)		CAN2 メッセージ制御レジスタ 22 (C2MCTL22)		CAN2 メッセージ制御レジスタ 23 (C2MCTL23)		8/16/32
H'FFFF 8818	CAN2 メッセージ制御レジスタ 24 (C2MCTL24)		CAN2 メッセージ制御レジスタ 25 (C2MCTL25)		CAN2 メッセージ制御レジスタ 26 (C2MCTL26)		CAN2 メッセージ制御レジスタ 27 (C2MCTL27)		8/16/32
H'FFFF 881C	CAN2 メッセージ制御レジスタ 28 (C2MCTL28)		CAN2 メッセージ制御レジスタ 29 (C2MCTL29)		CAN2 メッセージ制御レジスタ 30 (C2MCTL30)		CAN2 メッセージ制御レジスタ 31 (C2MCTL31)		8/16/32
H'FFFF 8820	CAN2 メッセージ制御レジスタ 32 (C2MCTL32)		CAN2 メッセージ制御レジスタ 33 (C2MCTL33)		CAN2 メッセージ制御レジスタ 34 (C2MCTL34)		CAN2 メッセージ制御レジスタ 35 (C2MCTL35)		8/16/32
H'FFFF 8824	CAN2 メッセージ制御レジスタ 36 (C2MCTL36)		CAN2 メッセージ制御レジスタ 37 (C2MCTL37)		CAN2 メッセージ制御レジスタ 38 (C2MCTL38)		CAN2 メッセージ制御レジスタ 39 (C2MCTL39)		8/16/32
H'FFFF 8828	CAN2 メッセージ制御レジスタ 40 (C2MCTL40)		CAN2 メッセージ制御レジスタ 41 (C2MCTL41)		CAN2 メッセージ制御レジスタ 42 (C2MCTL42)		CAN2 メッセージ制御レジスタ 43 (C2MCTL43)		8/16/32
H'FFFF 882C	CAN2 メッセージ制御レジスタ 44 (C2MCTL44)		CAN2 メッセージ制御レジスタ 45 (C2MCTL45)		CAN2 メッセージ制御レジスタ 46 (C2MCTL46)		CAN2 メッセージ制御レジスタ 47 (C2MCTL47)		8/16/32
H'FFFF 8830	CAN2 メッセージ制御レジスタ 48 (C2MCTL48)		CAN2 メッセージ制御レジスタ 49 (C2MCTL49)		CAN2 メッセージ制御レジスタ 50 (C2MCTL50)		CAN2 メッセージ制御レジスタ 51 (C2MCTL51)		8/16/32
H'FFFF 8834	CAN2 メッセージ制御レジスタ 52 (C2MCTL52)		CAN2 メッセージ制御レジスタ 53 (C2MCTL53)		CAN2 メッセージ制御レジスタ 54 (C2MCTL54)		CAN2 メッセージ制御レジスタ 55 (C2MCTL55)		8/16/32
H'FFFF 8838	CAN2 メッセージ制御レジスタ 56 (C2MCTL56)		CAN2 メッセージ制御レジスタ 57 (C2MCTL57)		CAN2 メッセージ制御レジスタ 58 (C2MCTL58)		CAN2 メッセージ制御レジスタ 59 (C2MCTL59)		8/16/32
H'FFFF 883C	CAN2 メッセージ制御レジスタ 60 (C2MCTL60)		CAN2 メッセージ制御レジスタ 61 (C2MCTL61)		CAN2 メッセージ制御レジスタ 62 (C2MCTL62)		CAN2 メッセージ制御レジスタ 63 (C2MCTL63)		8/16/32
H'FFFF 8840	CAN2 制御レジスタ (C2CTLR)				CAN2 ステータスレジスタ (C2STR)				8/16/32
H'FFFF 8844	CAN2 ビットコンフィグレーションレジスタ (C2BCR)						CAN2 クロック選択レジスタ (C2CLKR)		8/16/32
H'FFFF 8848	CAN2 受信 FIFO 制御レジスタ (C2RFCR)	CAN2 受信 FIFO ポインタ制御 レジスタ (C2RFPCR)		CAN2 送信 FIFO 制御レジスタ (C2TFCR)		CAN2 送信 FIFO ポインタ制御 レジスタ (C2TFPCR)		8/16/32	
H'FFFF 884C	CAN2 エラー割り込み許可 レジスタ (C2EIER)		CAN2 エラー割り込み要因判定 レジスタ (C2EIFR)		CAN2 受信エラーカウンタ レジスタ (C2RECR)		CAN2 送信エラーカウンタレジスタ (C2TECR)		8/16/32
H'FFFF 8850	CAN2 エラーコード格納レジスタ (C2ECSR)		CAN2 チャネルサーチサポート レジスタ (C2CSSR)		CAN2 メールボックスサーチ ステータスレジスタ (C2MSSR)		CAN2 メールボックスサーチモード レジスタ (C2MSMR)		8/16/32
H'FFFF 8854	CAN2 タイムスタンプレジスタ (C2TSR)				CAN2 アクセプタンスフィルタサポートレジスタ (C2AFSR)				8/16/32
H'FFFF 8858	CAN2 テスト制御レジスタ (C2TCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								-
H'FFFF 8860	CAN2 割り込み許可レジスタ (C2IER)		CAN2 割り込みみステータス レジスタ (C2ISR)		(使用禁止領域)		CAN2 メールボックスサーチマスク レジスタ (C2MBSMR)		8/16, 8/16, -, 8
~	(使用禁止領域)								-
H'FFFF 9000	CAN3 メールボックスレジスタ 0 (C3MB0)								8/16/32
H'FFFF 9004	CAN3 メールボックスレジスタ 0 (C3MB0)								8/16/32
H'FFFF 9008	CAN3 メールボックスレジスタ 0 (C3MB0)								8/16/32
H'FFFF 900C	CAN3 メールボックスレジスタ 0 (C3MB0)								8/16/32
H'FFFF 9010	CAN3 メールボックスレジスタ 1 (C3MB1)								8/16/32
H'FFFF 9014	CAN3 メールボックスレジスタ 1 (C3MB1)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9018	CAN3 メールボックスレジスタ 1 (C3MB1)								8/16/32
H'FFFF 901C	CAN3 メールボックスレジスタ 1 (C3MB1)								8/16/32
H'FFFF 9020	CAN3 メールボックスレジスタ 2 (C3MB2)								8/16/32
H'FFFF 9024	CAN3 メールボックスレジスタ 2 (C3MB2)								8/16/32
H'FFFF 9028	CAN3 メールボックスレジスタ 2 (C3MB2)								8/16/32
H'FFFF 902C	CAN3 メールボックスレジスタ 2 (C3MB2)								8/16/32
H'FFFF 9030	CAN3 メールボックスレジスタ 3 (C3MB3)								8/16/32
H'FFFF 9034	CAN3 メールボックスレジスタ 3 (C3MB3)								8/16/32
H'FFFF 9038	CAN3 メールボックスレジスタ 3 (C3MB3)								8/16/32
H'FFFF 903C	CAN3 メールボックスレジスタ 3 (C3MB3)								8/16/32
H'FFFF 9040	CAN3 メールボックスレジスタ 4 (C3MB4)								8/16/32
H'FFFF 9044	CAN3 メールボックスレジスタ 4 (C3MB4)								8/16/32
H'FFFF 9048	CAN3 メールボックスレジスタ 4 (C3MB4)								8/16/32
H'FFFF 904C	CAN3 メールボックスレジスタ 4 (C3MB4)								8/16/32
H'FFFF 9050	CAN3 メールボックスレジスタ 5 (C3MB5)								8/16/32
H'FFFF 9054	CAN3 メールボックスレジスタ 5 (C3MB5)								8/16/32
H'FFFF 9058	CAN3 メールボックスレジスタ 5 (C3MB5)								8/16/32
H'FFFF 905C	CAN3 メールボックスレジスタ 5 (C3MB5)								8/16/32
H'FFFF 9060	CAN3 メールボックスレジスタ 6 (C3MB6)								8/16/32
H'FFFF 9064	CAN3 メールボックスレジスタ 6 (C3MB6)								8/16/32
H'FFFF 9068	CAN3 メールボックスレジスタ 6 (C3MB6)								8/16/32
H'FFFF 906C	CAN3 メールボックスレジスタ 6 (C3MB6)								8/16/32
H'FFFF 9070	CAN3 メールボックスレジスタ 7 (C3MB7)								8/16/32
H'FFFF 9074	CAN3 メールボックスレジスタ 7 (C3MB7)								8/16/32
H'FFFF 9078	CAN3 メールボックスレジスタ 7 (C3MB7)								8/16/32
H'FFFF 907C	CAN3 メールボックスレジスタ 7 (C3MB7)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9080	CAN3 メールボックスレジスタ 8 (C3MB8)								8/16/32
H'FFFF 9084	CAN3 メールボックスレジスタ 8 (C3MB8)								8/16/32
H'FFFF 9088	CAN3 メールボックスレジスタ 8 (C3MB8)								8/16/32
H'FFFF 908C	CAN3 メールボックスレジスタ 8 (C3MB8)								8/16/32
H'FFFF 9090	CAN3 メールボックスレジスタ 9 (C3MB9)								8/16/32
H'FFFF 9094	CAN3 メールボックスレジスタ 9 (C3MB9)								8/16/32
H'FFFF 9098	CAN3 メールボックスレジスタ 9 (C3MB9)								8/16/32
H'FFFF 909C	CAN3 メールボックスレジスタ 9 (C3MB9)								8/16/32
H'FFFF 90A0	CAN3 メールボックスレジスタ 10 (C3MB10)								8/16/32
H'FFFF 90A4	CAN3 メールボックスレジスタ 10 (C3MB10)								8/16/32
H'FFFF 90A8	CAN3 メールボックスレジスタ 10 (C3MB10)								8/16/32
H'FFFF 90AC	CAN3 メールボックスレジスタ 10 (C3MB10)								8/16/32
H'FFFF 90B0	CAN3 メールボックスレジスタ 11 (C3MB11)								8/16/32
H'FFFF 90B4	CAN3 メールボックスレジスタ 11 (C3MB11)								8/16/32
H'FFFF 90B8	CAN3 メールボックスレジスタ 11 (C3MB11)								8/16/32
H'FFFF 90BC	CAN3 メールボックスレジスタ 11 (C3MB11)								8/16/32
H'FFFF 90C0	CAN3 メールボックスレジスタ 12 (C3MB12)								8/16/32
H'FFFF 90C4	CAN3 メールボックスレジスタ 12 (C3MB12)								8/16/32
H'FFFF 90C8	CAN3 メールボックスレジスタ 12 (C3MB12)								8/16/32
H'FFFF 90CC	CAN3 メールボックスレジスタ 12 (C3MB12)								8/16/32
H'FFFF 90D0	CAN3 メールボックスレジスタ 13 (C3MB13)								8/16/32
H'FFFF 90D4	CAN3 メールボックスレジスタ 13 (C3MB13)								8/16/32
H'FFFF 90D8	CAN3 メールボックスレジスタ 13 (C3MB13)								8/16/32
H'FFFF 90DC	CAN3 メールボックスレジスタ 13 (C3MB13)								8/16/32
H'FFFF 90E0	CAN3 メールボックスレジスタ 14 (C3MB14)								8/16/32
H'FFFF 90E4	CAN3 メールボックスレジスタ 14 (C3MB14)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 90E8	CAN3 メールボックスレジスタ 14 (C3MB14)								8/16/32
H'FFFF 90EC	CAN3 メールボックスレジスタ 14 (C3MB14)								8/16/32
H'FFFF 90F0	CAN3 メールボックスレジスタ 15 (C3MB15)								8/16/32
H'FFFF 90F4	CAN3 メールボックスレジスタ 15 (C3MB15)								8/16/32
H'FFFF 90F8	CAN3 メールボックスレジスタ 15 (C3MB15)								8/16/32
H'FFFF 90FC	CAN3 メールボックスレジスタ 15 (C3MB15)								8/16/32
H'FFFF 9100	CAN3 メールボックスレジスタ 16 (C3MB16)								8/16/32
H'FFFF 9104	CAN3 メールボックスレジスタ 16 (C3MB16)								8/16/32
H'FFFF 9108	CAN3 メールボックスレジスタ 16 (C3MB16)								8/16/32
H'FFFF 910C	CAN3 メールボックスレジスタ 16 (C3MB16)								8/16/32
H'FFFF 9110	CAN3 メールボックスレジスタ 17 (C3MB17)								8/16/32
H'FFFF 9114	CAN3 メールボックスレジスタ 17 (C3MB17)								8/16/32
H'FFFF 9118	CAN3 メールボックスレジスタ 17 (C3MB17)								8/16/32
H'FFFF 911C	CAN3 メールボックスレジスタ 17 (C3MB17)								8/16/32
H'FFFF 9120	CAN3 メールボックスレジスタ 18 (C3MB18)								8/16/32
H'FFFF 9124	CAN3 メールボックスレジスタ 18 (C3MB18)								8/16/32
H'FFFF 9128	CAN3 メールボックスレジスタ 18 (C3MB18)								8/16/32
H'FFFF 912C	CAN3 メールボックスレジスタ 18 (C3MB18)								8/16/32
H'FFFF 9130	CAN3 メールボックスレジスタ 19 (C3MB19)								8/16/32
H'FFFF 9134	CAN3 メールボックスレジスタ 19 (C3MB19)								8/16/32
H'FFFF 9138	CAN3 メールボックスレジスタ 19 (C3MB19)								8/16/32
H'FFFF 913C	CAN3 メールボックスレジスタ 19 (C3MB19)								8/16/32
H'FFFF 9140	CAN3 メールボックスレジスタ 20 (C3MB20)								8/16/32
H'FFFF 9144	CAN3 メールボックスレジスタ 20 (C3MB20)								8/16/32
H'FFFF 9148	CAN3 メールボックスレジスタ 20 (C3MB20)								8/16/32
H'FFFF 914C	CAN3 メールボックスレジスタ 20 (C3MB20)								8/16/32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9150	CAN3 メールボックスレジスタ 21 (C3MB21)								8/16/32
H'FFFF 9154	CAN3 メールボックスレジスタ 21 (C3MB21)								8/16/32
H'FFFF 9158	CAN3 メールボックスレジスタ 21 (C3MB21)								8/16/32
H'FFFF 915C	CAN3 メールボックスレジスタ 21 (C3MB21)								8/16/32
H'FFFF 9160	CAN3 メールボックスレジスタ 22 (C3MB22)								8/16/32
H'FFFF 9164	CAN3 メールボックスレジスタ 22 (C3MB22)								8/16/32
H'FFFF 9168	CAN3 メールボックスレジスタ 22 (C3MB22)								8/16/32
H'FFFF 916C	CAN3 メールボックスレジスタ 22 (C3MB22)								8/16/32
H'FFFF 9170	CAN3 メールボックスレジスタ 23 (C3MB23)								8/16/32
H'FFFF 9174	CAN3 メールボックスレジスタ 23 (C3MB23)								8/16/32
H'FFFF 9178	CAN3 メールボックスレジスタ 23 (C3MB23)								8/16/32
H'FFFF 917C	CAN3 メールボックスレジスタ 23 (C3MB23)								8/16/32
H'FFFF 9180	CAN3 メールボックスレジスタ 24 (C3MB24)								8/16/32
H'FFFF 9184	CAN3 メールボックスレジスタ 24 (C3MB24)								8/16/32
H'FFFF 9188	CAN3 メールボックスレジスタ 24 (C3MB24)								8/16/32
H'FFFF 918C	CAN3 メールボックスレジスタ 24 (C3MB24)								8/16/32
H'FFFF 9190	CAN3 メールボックスレジスタ 25 (C3MB25)								8/16/32
H'FFFF 9194	CAN3 メールボックスレジスタ 25 (C3MB25)								8/16/32
H'FFFF 9198	CAN3 メールボックスレジスタ 25 (C3MB25)								8/16/32
H'FFFF 919C	CAN3 メールボックスレジスタ 25 (C3MB25)								8/16/32
H'FFFF 91A0	CAN3 メールボックスレジスタ 26 (C3MB26)								8/16/32
H'FFFF 91A4	CAN3 メールボックスレジスタ 26 (C3MB26)								8/16/32
H'FFFF 91A8	CAN3 メールボックスレジスタ 26 (C3MB26)								8/16/32
H'FFFF 91AC	CAN3 メールボックスレジスタ 26 (C3MB26)								8/16/32
H'FFFF 91B0	CAN3 メールボックスレジスタ 27 (C3MB27)								8/16/32
H'FFFF 91B4	CAN3 メールボックスレジスタ 27 (C3MB27)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 91B8	CAN3 メールボックスレジスタ 27 (C3MB27)								8/16/32
H'FFFF 91BC	CAN3 メールボックスレジスタ 27 (C3MB27)								8/16/32
H'FFFF 91C0	CAN3 メールボックスレジスタ 28 (C3MB28)								8/16/32
H'FFFF 91C4	CAN3 メールボックスレジスタ 28 (C3MB28)								8/16/32
H'FFFF 91C8	CAN3 メールボックスレジスタ 28 (C3MB28)								8/16/32
H'FFFF 91CC	CAN3 メールボックスレジスタ 28 (C3MB28)								8/16/32
H'FFFF 91D0	CAN3 メールボックスレジスタ 29 (C3MB29)								8/16/32
H'FFFF 91D4	CAN3 メールボックスレジスタ 29 (C3MB29)								8/16/32
H'FFFF 91D8	CAN3 メールボックスレジスタ 29 (C3MB29)								8/16/32
H'FFFF 91DC	CAN3 メールボックスレジスタ 29 (C3MB29)								8/16/32
H'FFFF 91E0	CAN3 メールボックスレジスタ 30 (C3MB30)								8/16/32
H'FFFF 91E4	CAN3 メールボックスレジスタ 30 (C3MB30)								8/16/32
H'FFFF 91E8	CAN3 メールボックスレジスタ 30 (C3MB30)								8/16/32
H'FFFF 91EC	CAN3 メールボックスレジスタ 30 (C3MB30)								8/16/32
H'FFFF 91F0	CAN3 メールボックスレジスタ 31 (C3MB31)								8/16/32
H'FFFF 91F4	CAN3 メールボックスレジスタ 31 (C3MB31)								8/16/32
H'FFFF 91F8	CAN3 メールボックスレジスタ 31 (C3MB31)								8/16/32
H'FFFF 91FC	CAN3 メールボックスレジスタ 31 (C3MB31)								8/16/32
H'FFFF 9200	CAN3 メールボックスレジスタ 32 (C3MB32)								8/16/32
H'FFFF 9204	CAN3 メールボックスレジスタ 32 (C3MB32)								8/16/32
H'FFFF 9208	CAN3 メールボックスレジスタ 32 (C3MB32)								8/16/32
H'FFFF 920C	CAN3 メールボックスレジスタ 32 (C3MB32)								8/16/32
H'FFFF 9210	CAN3 メールボックスレジスタ 33 (C3MB33)								8/16/32
H'FFFF 9214	CAN3 メールボックスレジスタ 33 (C3MB33)								8/16/32
H'FFFF 9218	CAN3 メールボックスレジスタ 33 (C3MB33)								8/16/32
H'FFFF 921C	CAN3 メールボックスレジスタ 33 (C3MB33)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9220	CAN3 メールボックスレジスタ 34 (C3MB34)								8/16/32
H'FFFF 9224	CAN3 メールボックスレジスタ 34 (C3MB34)								8/16/32
H'FFFF 9228	CAN3 メールボックスレジスタ 34 (C3MB34)								8/16/32
H'FFFF 922C	CAN3 メールボックスレジスタ 34 (C3MB34)								8/16/32
H'FFFF 9230	CAN3 メールボックスレジスタ 35 (C3MB35)								8/16/32
H'FFFF 9234	CAN3 メールボックスレジスタ 35 (C3MB35)								8/16/32
H'FFFF 9238	CAN3 メールボックスレジスタ 35 (C3MB35)								8/16/32
H'FFFF 923C	CAN3 メールボックスレジスタ 35 (C3MB35)								8/16/32
H'FFFF 9240	CAN3 メールボックスレジスタ 36 (C3MB36)								8/16/32
H'FFFF 9244	CAN3 メールボックスレジスタ 36 (C3MB36)								8/16/32
H'FFFF 9248	CAN3 メールボックスレジスタ 36 (C3MB36)								8/16/32
H'FFFF 924C	CAN3 メールボックスレジスタ 36 (C3MB36)								8/16/32
H'FFFF 9250	CAN3 メールボックスレジスタ 37 (C3MB37)								8/16/32
H'FFFF 9254	CAN3 メールボックスレジスタ 37 (C3MB37)								8/16/32
H'FFFF 9258	CAN3 メールボックスレジスタ 37 (C3MB37)								8/16/32
H'FFFF 925C	CAN3 メールボックスレジスタ 37 (C3MB37)								8/16/32
H'FFFF 9260	CAN3 メールボックスレジスタ 38 (C3MB38)								8/16/32
H'FFFF 9264	CAN3 メールボックスレジスタ 38 (C3MB38)								8/16/32
H'FFFF 9268	CAN3 メールボックスレジスタ 38 (C3MB38)								8/16/32
H'FFFF 926C	CAN3 メールボックスレジスタ 38 (C3MB38)								8/16/32
H'FFFF 9270	CAN3 メールボックスレジスタ 39 (C3MB39)								8/16/32
H'FFFF 9274	CAN3 メールボックスレジスタ 39 (C3MB39)								8/16/32
H'FFFF 9278	CAN3 メールボックスレジスタ 39 (C3MB39)								8/16/32
H'FFFF 927C	CAN3 メールボックスレジスタ 39 (C3MB39)								8/16/32
H'FFFF 9280	CAN3 メールボックスレジスタ 40 (C3MB40)								8/16/32
H'FFFF 9284	CAN3 メールボックスレジスタ 40 (C3MB40)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9288	CAN3 メールボックスレジスタ 40 (C3MB40)								8/16/32
H'FFFF 928C	CAN3 メールボックスレジスタ 40 (C3MB40)								8/16/32
H'FFFF 9290	CAN3 メールボックスレジスタ 41 (C3MB41)								8/16/32
H'FFFF 9294	CAN3 メールボックスレジスタ 41 (C3MB41)								8/16/32
H'FFFF 9298	CAN3 メールボックスレジスタ 41 (C3MB41)								8/16/32
H'FFFF 929C	CAN3 メールボックスレジスタ 41 (C3MB41)								8/16/32
H'FFFF 92A0	CAN3 メールボックスレジスタ 42 (C3MB42)								8/16/32
H'FFFF 92A4	CAN3 メールボックスレジスタ 42 (C3MB42)								8/16/32
H'FFFF 92A8	CAN3 メールボックスレジスタ 42 (C3MB42)								8/16/32
H'FFFF 92AC	CAN3 メールボックスレジスタ 42 (C3MB42)								8/16/32
H'FFFF 92B0	CAN3 メールボックスレジスタ 43 (C3MB43)								8/16/32
H'FFFF 92B4	CAN3 メールボックスレジスタ 43 (C3MB43)								8/16/32
H'FFFF 92B8	CAN3 メールボックスレジスタ 43 (C3MB43)								8/16/32
H'FFFF 92BC	CAN3 メールボックスレジスタ 43 (C3MB43)								8/16/32
H'FFFF 92C0	CAN3 メールボックスレジスタ 44 (C3MB44)								8/16/32
H'FFFF 92C4	CAN3 メールボックスレジスタ 44 (C3MB44)								8/16/32
H'FFFF 92C8	CAN3 メールボックスレジスタ 44 (C3MB44)								8/16/32
H'FFFF 92CC	CAN3 メールボックスレジスタ 44 (C3MB44)								8/16/32
H'FFFF 92D0	CAN3 メールボックスレジスタ 45 (C3MB45)								8/16/32
H'FFFF 92D4	CAN3 メールボックスレジスタ 45 (C3MB45)								8/16/32
H'FFFF 92D8	CAN3 メールボックスレジスタ 45 (C3MB45)								8/16/32
H'FFFF 92DC	CAN3 メールボックスレジスタ 45 (C3MB45)								8/16/32
H'FFFF 92E0	CAN3 メールボックスレジスタ 46 (C3MB46)								8/16/32
H'FFFF 92E4	CAN3 メールボックスレジスタ 46 (C3MB46)								8/16/32
H'FFFF 92E8	CAN3 メールボックスレジスタ 46 (C3MB46)								8/16/32
H'FFFF 92EC	CAN3 メールボックスレジスタ 46 (C3MB46)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 92F0	CAN3 メールボックスレジスタ 47 (C3MB47)								8/16/32
H'FFFF 92F4	CAN3 メールボックスレジスタ 47 (C3MB47)								8/16/32
H'FFFF 92F8	CAN3 メールボックスレジスタ 47 (C3MB47)								8/16/32
H'FFFF 92FC	CAN3 メールボックスレジスタ 47 (C3MB47)								8/16/32
H'FFFF 9300	CAN3 メールボックスレジスタ 48 (C3MB48)								8/16/32
H'FFFF 9304	CAN3 メールボックスレジスタ 48 (C3MB48)								8/16/32
H'FFFF 9308	CAN3 メールボックスレジスタ 48 (C3MB48)								8/16/32
H'FFFF 930C	CAN3 メールボックスレジスタ 48 (C3MB48)								8/16/32
H'FFFF 9310	CAN3 メールボックスレジスタ 49 (C3MB49)								8/16/32
H'FFFF 9314	CAN3 メールボックスレジスタ 49 (C3MB49)								8/16/32
H'FFFF 9318	CAN3 メールボックスレジスタ 49 (C3MB49)								8/16/32
H'FFFF 931C	CAN3 メールボックスレジスタ 49 (C3MB49)								8/16/32
H'FFFF 9320	CAN3 メールボックスレジスタ 50 (C3MB50)								8/16/32
H'FFFF 9324	CAN3 メールボックスレジスタ 50 (C3MB50)								8/16/32
H'FFFF 9328	CAN3 メールボックスレジスタ 50 (C3MB50)								8/16/32
H'FFFF 932C	CAN3 メールボックスレジスタ 50 (C3MB50)								8/16/32
H'FFFF 9330	CAN3 メールボックスレジスタ 51 (C3MB51)								8/16/32
H'FFFF 9334	CAN3 メールボックスレジスタ 51 (C3MB51)								8/16/32
H'FFFF 9338	CAN3 メールボックスレジスタ 51 (C3MB51)								8/16/32
H'FFFF 933C	CAN3 メールボックスレジスタ 51 (C3MB51)								8/16/32
H'FFFF 9340	CAN3 メールボックスレジスタ 52 (C3MB52)								8/16/32
H'FFFF 9344	CAN3 メールボックスレジスタ 52 (C3MB52)								8/16/32
H'FFFF 9348	CAN3 メールボックスレジスタ 52 (C3MB52)								8/16/32
H'FFFF 934C	CAN3 メールボックスレジスタ 52 (C3MB52)								8/16/32
H'FFFF 9350	CAN3 メールボックスレジスタ 53 (C3MB53)								8/16/32
H'FFFF 9354	CAN3 メールボックスレジスタ 53 (C3MB53)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 9358	CAN3 メールボックスレジスタ 53 (C3MB53)								8/16/32
H'FFFF 935C	CAN3 メールボックスレジスタ 53 (C3MB53)								8/16/32
H'FFFF 9360	CAN3 メールボックスレジスタ 54 (C3MB54)								8/16/32
H'FFFF 9364	CAN3 メールボックスレジスタ 54 (C3MB54)								8/16/32
H'FFFF 9368	CAN3 メールボックスレジスタ 54 (C3MB54)								8/16/32
H'FFFF 936C	CAN3 メールボックスレジスタ 54 (C3MB54)								8/16/32
H'FFFF 9370	CAN3 メールボックスレジスタ 55 (C3MB55)								8/16/32
H'FFFF 9374	CAN3 メールボックスレジスタ 55 (C3MB55)								8/16/32
H'FFFF 9378	CAN3 メールボックスレジスタ 55 (C3MB55)								8/16/32
H'FFFF 937C	CAN3 メールボックスレジスタ 55 (C3MB55)								8/16/32
H'FFFF 9380	CAN3 メールボックスレジスタ 56 (C3MB56)								8/16/32
H'FFFF 9384	CAN3 メールボックスレジスタ 56 (C3MB56)								8/16/32
H'FFFF 9388	CAN3 メールボックスレジスタ 56 (C3MB56)								8/16/32
H'FFFF 938C	CAN3 メールボックスレジスタ 56 (C3MB56)								8/16/32
H'FFFF 9390	CAN3 メールボックスレジスタ 57 (C3MB57)								8/16/32
H'FFFF 9394	CAN3 メールボックスレジスタ 57 (C3MB57)								8/16/32
H'FFFF 9398	CAN3 メールボックスレジスタ 57 (C3MB57)								8/16/32
H'FFFF 939C	CAN3 メールボックスレジスタ 57 (C3MB57)								8/16/32
H'FFFF 93A0	CAN3 メールボックスレジスタ 58 (C3MB58)								8/16/32
H'FFFF 93A4	CAN3 メールボックスレジスタ 58 (C3MB58)								8/16/32
H'FFFF 93A8	CAN3 メールボックスレジスタ 58 (C3MB58)								8/16/32
H'FFFF 93AC	CAN3 メールボックスレジスタ 58 (C3MB58)								8/16/32
H'FFFF 93B0	CAN3 メールボックスレジスタ 59 (C3MB59)								8/16/32
H'FFFF 93B5	CAN3 メールボックスレジスタ 59 (C3MB59)								8/16/32
H'FFFF 93B8	CAN3 メールボックスレジスタ 59 (C3MB59)								8/16/32
H'FFFF 93BC	CAN3 メールボックスレジスタ 59 (C3MB59)								8/16/32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 93C0	CAN3 メールボックスレジスタ 60 (C3MB60)								8/16/32
H'FFFF 93C4	CAN3 メールボックスレジスタ 60 (C3MB60)								8/16/32
H'FFFF 93C8	CAN3 メールボックスレジスタ 60 (C3MB60)								8/16/32
H'FFFF 93CC	CAN3 メールボックスレジスタ 60 (C3MB60)								8/16/32
H'FFFF 93D0	CAN3 メールボックスレジスタ 61 (C3MB61)								8/16/32
H'FFFF 93D4	CAN3 メールボックスレジスタ 61 (C3MB61)								8/16/32
H'FFFF 93D8	CAN3 メールボックスレジスタ 61 (C3MB61)								8/16/32
H'FFFF 93DC	CAN3 メールボックスレジスタ 61 (C3MB61)								8/16/32
H'FFFF 93E0	CAN3 メールボックスレジスタ 62 (C3MB62)								8/16/32
H'FFFF 93E4	CAN3 メールボックスレジスタ 62 (C3MB62)								8/16/32
H'FFFF 93E8	CAN3 メールボックスレジスタ 62 (C3MB62)								8/16/32
H'FFFF 93EC	CAN3 メールボックスレジスタ 62 (C3MB62)								8/16/32
H'FFFF 93F0	CAN3 メールボックスレジスタ 63 (C3MB63)								8/16/32
H'FFFF 93F4	CAN3 メールボックスレジスタ 63 (C3MB63)								8/16/32
H'FFFF 93F8	CAN3 メールボックスレジスタ 63 (C3MB63)								8/16/32
H'FFFF 93FC	CAN3 メールボックスレジスタ 63 (C3MB63)								8/16/32
H'FFFF 9400	CAN3 マスクレジスタ 2 (C3MKR2)								8/16/32
H'FFFF 9404	CAN3 マスクレジスタ 3 (C3MKR3)								8/16/32
H'FFFF 9408	CAN3 マスクレジスタ 4 (C3MKR4)								8/16/32
H'FFFF 940C	CAN3 マスクレジスタ 5 (C3MKR5)								8/16/32
H'FFFF 9410	CAN3 マスクレジスタ 6 (C3MKR6)								8/16/32
H'FFFF 9414	CAN3 マスクレジスタ 7 (C3MKR7)								8/16/32
H'FFFF 9418	CAN3 マスクレジスタ 8 (C3MKR8)								8/16/32
H'FFFF 941C	CAN3 マスクレジスタ 9 (C3MKR9)								8/16/32
H'FFFF 9420	CAN3 FIFO 受信 ID 比較レジスタ 0 (C3FIDCR0)								8/16/32
H'FFFF 9424	CAN3 FIFO 受信 ID 比較レジスタ 1 (C3FIDCR1)								8/16/32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ	
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0		
H'FFFF 9428	CAN3 マスク無効レジスタ 1 (C3MKIVLR1)								8/16/32	
H'FFFF 942C	CAN3 メールボックス割り込み許可レジスタ 1 (C3MIER1)								8/16/32	
H'FFFF 9430	CAN3 マスクレジスタ 0 (C3MKR0)								8/16/32	
H'FFFF 9434	CAN3 マスクレジスタ 1 (C3MKR1)								8/16/32	
H'FFFF 9438	CAN3 マスク無効レジスタ 0 (C3MKIVLR0)								8/16/32	
H'FFFF 943C	CAN3 メールボックス割り込み許可レジスタ 0 (C3MIER0)								8/16/32	
~	(使用禁止領域)								-	
H'FFFF 9800	CAN3 メッセージ制御レジスタ 0 (C3MCTL0)	CAN3 メッセージ制御レジスタ 1 (C3MCTL1)	CAN3 メッセージ制御レジスタ 2 (C3MCTL2)	CAN3 メッセージ制御レジスタ 3 (C3MCTL3)						8/16/32
H'FFFF 9804	CAN3 メッセージ制御レジスタ 4 (C3MCTL4)	CAN3 メッセージ制御レジスタ 5 (C3MCTL5)	CAN3 メッセージ制御レジスタ 6 (C3MCTL6)	CAN3 メッセージ制御レジスタ 7 (C3MCTL7)						8/16/32
H'FFFF 9808	CAN3 メッセージ制御レジスタ 8 (C3MCTL8)	CAN3 メッセージ制御レジスタ 9 (C3MCTL9)	CAN3 メッセージ制御レジスタ 10 (C3MCTL10)	CAN3 メッセージ制御レジスタ 11 (C3MCTL11)						8/16/32
H'FFFF 980C	CAN3 メッセージ制御レジスタ 12 (C3MCTL12)	CAN3 メッセージ制御レジスタ 13 (C3MCTL13)	CAN3 メッセージ制御レジスタ 14 (C3MCTL14)	CAN3 メッセージ制御レジスタ 15 (C3MCTL15)						8/16/32
H'FFFF 9810	CAN3 メッセージ制御レジスタ 16 (C3MCTL16)	CAN3 メッセージ制御レジスタ 17 (C3MCTL17)	CAN3 メッセージ制御レジスタ 18 (C3MCTL18)	CAN3 メッセージ制御レジスタ 19 (C3MCTL19)						8/16/32
H'FFFF 9814	CAN3 メッセージ制御レジスタ 20 (C3MCTL20)	CAN3 メッセージ制御レジスタ 21 (C3MCTL21)	CAN3 メッセージ制御レジスタ 22 (C3MCTL22)	CAN3 メッセージ制御レジスタ 23 (C3MCTL23)						8/16/32
H'FFFF 9818	CAN3 メッセージ制御レジスタ 24 (C3MCTL24)	CAN3 メッセージ制御レジスタ 25 (C3MCTL25)	CAN3 メッセージ制御レジスタ 26 (C3MCTL26)	CAN3 メッセージ制御レジスタ 27 (C3MCTL27)						8/16/32
H'FFFF 981C	CAN3 メッセージ制御レジスタ 28 (C3MCTL28)	CAN3 メッセージ制御レジスタ 29 (C3MCTL29)	CAN3 メッセージ制御レジスタ 30 (C3MCTL30)	CAN3 メッセージ制御レジスタ 31 (C3MCTL31)						8/16/32
H'FFFF 9820	CAN3 メッセージ制御レジスタ 32 (C3MCTL32)	CAN3 メッセージ制御レジスタ 33 (C3MCTL33)	CAN3 メッセージ制御レジスタ 34 (C3MCTL34)	CAN3 メッセージ制御レジスタ 35 (C3MCTL35)						8/16/32
H'FFFF 9824	CAN3 メッセージ制御レジスタ 36 (C3MCTL36)	CAN3 メッセージ制御レジスタ 37 (C3MCTL37)	CAN3 メッセージ制御レジスタ 38 (C3MCTL38)	CAN3 メッセージ制御レジスタ 39 (C3MCTL39)						8/16/32
H'FFFF 9828	CAN3 メッセージ制御レジスタ 40 (C3MCTL40)	CAN3 メッセージ制御レジスタ 41 (C3MCTL41)	CAN3 メッセージ制御レジスタ 42 (C3MCTL42)	CAN3 メッセージ制御レジスタ 43 (C3MCTL43)						8/16/32
H'FFFF 982C	CAN3 メッセージ制御レジスタ 44 (C3MCTL44)	CAN3 メッセージ制御レジスタ 45 (C3MCTL45)	CAN3 メッセージ制御レジスタ 46 (C3MCTL46)	CAN3 メッセージ制御レジスタ 47 (C3MCTL47)						8/16/32
H'FFFF 9830	CAN3 メッセージ制御レジスタ 48 (C3MCTL48)	CAN3 メッセージ制御レジスタ 49 (C3MCTL49)	CAN3 メッセージ制御レジスタ 50 (C3MCTL50)	CAN3 メッセージ制御レジスタ 51 (C3MCTL51)						8/16/32
H'FFFF 9834	CAN3 メッセージ制御レジスタ 52 (C3MCTL52)	CAN3 メッセージ制御レジスタ 53 (C3MCTL53)	CAN3 メッセージ制御レジスタ 54 (C3MCTL54)	CAN3 メッセージ制御レジスタ 55 (C3MCTL55)						8/16/32
H'FFFF 9838	CAN3 メッセージ制御レジスタ 56 (C3MCTL56)	CAN3 メッセージ制御レジスタ 57 (C3MCTL57)	CAN3 メッセージ制御レジスタ 58 (C3MCTL58)	CAN3 メッセージ制御レジスタ 59 (C3MCTL59)						8/16/32
H'FFFF 983C	CAN3 メッセージ制御レジスタ 60 (C3MCTL60)	CAN3 メッセージ制御レジスタ 61 (C3MCTL61)	CAN3 メッセージ制御レジスタ 62 (C3MCTL62)	CAN3 メッセージ制御レジスタ 63 (C3MCTL63)						8/16/32
H'FFFF 9840	CAN3 制御レジスタ (C3CTLR)			CAN3 ステータスレジスタ (C3STR)				8/16/32		
H'FFFF 9844	CAN3 ビットコンフィグレーションレジスタ (C3BCR)						CAN3 クロック選択レジスタ (C3CLKR)		8/16/32	
H'FFFF 9848	CAN3 受信 FIFO 制御レジスタ (C3RFCR)	CAN3 受信 FIFO ポインタ制御 レジスタ (C3RFPCR)	CAN3 送信 FIFO 制御レジスタ (C3TFCR)		CAN3 送信 FIFO ポインタ制御 レジスタ (C3TFPCR)			8/16/32		



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF 984C	CAN3 エラー割り込み許可 レジスタ (C3EIER)		CAN3 エラー割り込み要因判定 レジスタ (C3EIFR)		CAN3 受信エラーカウン トレジスタ (C3RECR)		CAN3 送信エラーカウン トレジスタ (C3TECR)		8/16/32
H'FFFF 9850	CAN3 エラーコード格納レジスタ (C3ECSR)		CAN3 チャネルサーチサポー トレジスタ (C3CSSR)		CAN3 メールボックスサーチ ステータスレジスタ (C3MSSR)		CAN3 メールボックスサーチモ ードレジスタ (C3MSMR)		8/16/32
H'FFFF 9854	CAN3 タイムスタンプレジスタ (C3TSR)				CAN3 アクセプタンスフィルタサポー トレジスタ (C3AFSR)				8/16/32
H'FFFF 9858	CAN3 テスト制御レジスタ (C3TCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
~	(使用禁止領域)								-
H'FFFF 9860	CAN3 割り込み許可レジスタ (C3IER)		CAN3 割り込みステータ スレジスタ (C3ISR)		(使用禁止領域)		CAN3 メールボックスサーチマ スクレジスタ (C3MBSMR)		8/16, 8/16, -, 8
~	(使用禁止領域)								-
H'FFFF B000	RSPi0 制御レジスタ (SP0CR)		RSPi0 スレーブセレクト極性 レジスタ (SP0SSLP)		RSPi0 端子制御レジスタ (SP0PCR)		RSPi0 ステータスレジスタ (SP0SR)		8/16
H'FFFF B004	RSPi0 データレジスタ (SP0DR)								16/32
H'FFFF B008	RSPi0 シーケンス制御レジスタ (SP0SCR)		RSPi0 シーケンスステータ スレジスタ (SP0SSR)		RSPi0 ビットレートレジスタ (SP0BR)		RSPi0 データコントロール レジスタ (SP0DCR)		8/16
H'FFFF B00C	RSPi0 クロック遅延レジスタ (SP0CKD)		RSPi0 スレーブセレクトネゲ ート遅延レジスタ (SP0SSLND)		RSPi0 次アクセス遅延レジ スタ (SP0ND)		(使用禁止領域)		8/16, 8/16, 8, -
H'FFFF B010	RSPi0 コマンドレジスタ 0 (SP0CMD0)				RSPi0 コマンドレジスタ 1 (SP0CMD1)				16
H'FFFF B014	RSPi0 コマンドレジスタ 2 (SP0CMD2)				RSPi0 コマンドレジスタ 3 (SP0CMD3)				16
~	(使用禁止領域)								-
H'FFFF B100	RSPi1 制御レジスタ (SP1CR)		RSPi1 スレーブセレクト極性 レジスタ (SP1SSLP)		RSPi1 端子制御レジスタ (SP1PCR)		RSPi1 ステータスレジスタ (SP1SR)		8/16
H'FFFF B104	RSPi1 データレジスタ (SP1DR)								16/32
H'FFFF B108	RSPi1 シーケンス制御レジスタ (SP1SCR)		RSPi1 シーケンスステータ スレジスタ (SP1SSR)		RSPi1 ビットレートレジスタ (SP1BR)		RSPi1 データコントロール レジスタ (SP1DCR)		8/16
H'FFFF B10C	RSPi1 クロック遅延レジスタ (SP1CKD)		RSPi1 スレーブセレクトネゲ ート遅延レジスタ (SP1SSLND)		RSPi1 次アクセス遅延レジ スタ (SP1ND)		(使用禁止領域)		8/16, 8/16, 8, -
H'FFFF B110	RSPi1 コマンドレジスタ 0 (SP1CMD0)				RSPi1 コマンドレジスタ 1 (SP1CMD1)				16
H'FFFF B114	RSPi1 コマンドレジスタ 2 (SP1CMD2)				RSPi1 コマンドレジスタ 3 (SP1CMD3)				16
~	(使用禁止領域)								-
H'FFFF B200	RSPi2 制御レジスタ (SP2CR)		RSPi2 スレーブセレクト極性 レジスタ (SP2SSLP)		RSPi2 端子制御レジスタ (SP2PCR)		RSPi2 ステータスレジスタ (SP2SR)		8/16
H'FFFF B204	RSPi2 データレジスタ (SP2DR)								16/32
H'FFFF B208	RSPi2 シーケンス制御レジスタ (SP2SCR)		RSPi2 シーケンスステータ スレジスタ (SP2SSR)		RSPi2 ビットレートレジスタ (SP2BR)		RSPi2 データコントロール レジスタ (SP2DCR)		8/16
H'FFFF B20C	RSPi2 クロック遅延レジスタ (SP2CKD)		RSPi2 スレーブセレクトネゲ ート遅延レジスタ (SP2SSLND)		RSPi2 次アクセス遅延レジ スタ (SP2ND)		(使用禁止領域)		8/16, 8/16, 8, -
H'FFFF B210	RSPi2 コマンドレジスタ 0 (SP2CMD0)				RSPi2 コマンドレジスタ 1 (SP2CMD1)				16
H'FFFF B214	RSPi2 コマンドレジスタ 2 (SP2CMD2)				RSPi2 コマンドレジスタ 3 (SP2CMD3)				16
~	(使用禁止領域)								-

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF C000	SC0 シリアルモードレジスタ (SC0SMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C004	SC0 ビットレートレジスタ (SC0BRR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C008	SC0 シリアルコントロールレジスタ (SC0SCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C00C	SC0 送信 FIFO データレジスタ (SC0FTDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C010	SC0 シリアルステータスレジスタ (SC0FSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C014	SC0 受信 FIFO データレジスタ (SC0FRDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C018	SC0FIFO コントロールレジスタ (SC0FCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C01C	SC0FIFO データカウントセットレジスタ (SC0FDR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C020	SC0 シリアルポートレジスタ (SC0SPTR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C024	SC0 ラインステータスレジスタ (SC0LSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C028	SC0 シリアル拡張モードレジスタ (SC0EMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFFF C100	SC1 シリアルモードレジスタ (SC1SMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C104	SC1 ビットレートレジスタ (SC1BRR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C108	SC1 シリアルコントロールレジスタ (SC1SCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C10C	SC1 送信 FIFO データレジスタ (SC1FTDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C110	SC1 シリアルステータスレジスタ (SC1FSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C114	SC1 受信 FIFO データレジスタ (SC1FRDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C118	SC1FIFO コントロールレジスタ (SC1FCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C11C	SC1FIFO データカウントセットレジスタ (SC1FDR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C120	SC1 シリアルポートレジスタ (SC1SPTR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C124	SC1 ラインステータスレジスタ (SC1LSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C128	SC1 シリアル拡張モードレジスタ (SC1EMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFFF C200	SC2 シリアルモードレジスタ (SC2SMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C204	SC2 ビットレートレジスタ (SC2BRR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C208	SC2 シリアルコントロールレジスタ (SC2SCR)				(使用禁止領域)		(使用禁止領域)		16, -, -

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF C20C	SC2 送信 FIFO データレジスタ (SC2FTDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C210	SC2 シリアルステータスレジスタ (SC2FSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C214	SC2 受信 FIFO データレジスタ (SC2FRDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C218	SC2FIFO コントロールレジスタ (SC2FCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C21C	SC2FIFO データカウントセットレジスタ (SC2FDR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C220	SC2 シリアルポートレジスタ (SC2SPTR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C224	SC2 ラインステータスレジスタ (SC2SLSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C228	SC2 シリアル拡張モードレジスタ (SC2EMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFFF C300	SC3 シリアルモードレジスタ (SC3SMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C304	SC3 ビットレートレジスタ (SC3BRR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C308	SC3 シリアルコントロールレジスタ (SC3SCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C30C	SC3 送信 FIFO データレジスタ (SC3FTDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C310	SC3 シリアルステータスレジスタ (SC3FSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C314	SC3 受信 FIFO データレジスタ (SC3FRDR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF C318	SC3FIFO コントロールレジスタ (SC3FCR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C31C	SC3FIFO データカウントセットレジスタ (SC3FDR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C320	SC3 シリアルポートレジスタ (SC3SPTR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C324	SC3 ラインステータスレジスタ (SC3SLSR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF C328	SC3 シリアル拡張モードレジスタ (SC3EMR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFFF D004	TM スタートレジスタ (TMSTR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF D008	TM0 コンスタントレジスタ (TM0COR)								32
H'FFFF D00C	TM0 カウンタ (TM0CNT)								32
H'FFFF D010	TM0 コントロールレジスタ (TM0CR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF D014	TM1 コンスタントレジスタ (TM1COR)								32
H'FFFF D018	TM1 カウンタ (TM1CNT)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF D01C	TM1 コントロールレジスタ (TM1CR)				(使用禁止領域)		(使用禁止領域)		16, -, -
H'FFFF D020	TM2 コンスタントレジスタ (TM2COR)								32
H'FFFF D024	TM2 カウンタ (TM2CNT)								32
H'FFFF D028	TM2 コントロールレジスタ (TM2CR)				(使用禁止領域)		(使用禁止領域)		16, -, -
~	(使用禁止領域)								-
H'FFFF E000	ATU-IIIS マスタイネーブルレジスタ (ATUENR)				ATU-IIIS クロックバス コントロールレジスタ (ATCBCNT)		ATU-IIIS ノイズキャンセルモード レジスタ (ATNCMR)		16, 8, 8
~	(使用禁止領域)								-
H'FFFF E010	ATU-IIIS インタラプトセレクト レジスタ A0 (ATISRA0)	ATU-IIIS インタラプトセレクト レジスタ A1 (ATISRA1)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -	
H'FFFF E014	ATU-IIIS インタラプトセレクト レジスタ F (ATISRF)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E018	ATU-IIIS インタラプトセレクト レジスタ G (ATISRG)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF E020	ATU-IIIS インタラプトセレクト レジスタ TOU0 (ATISRT0)	ATU-IIIS インタラプトセレクト レジスタ TOU1 (ATISRT1)		ATU-IIIS インタラプトセレクト レジスタ TOU2 (ATISRT2)		ATU-IIIS インタラプトセレクト レジスタ TOU3 (ATISRT3)		8	
H'FFFF E024	ATU-IIIS インタラプトセレクト レジスタ TOU4 (ATISRT4)	(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
~	(使用禁止領域)								-
H'FFFF E100	ATU-IIIS プリスケアラレジスタ 0 (ATPSCR0)				ATU-IIIS プリスケアラレジスタ 1 (ATPSCR1)				16
H'FFFF E104	ATU-IIIS プリスケアラレジスタ 2 (ATPSCR2)				ATU-IIIS プリスケアラレジスタ 3 (ATPSCR3)				16
~	(使用禁止領域)								-
H'FFFF E200	(使用禁止領域)		(使用禁止領域)		TA0 コントロールレジスタ (TA0CR)		(使用禁止領域)		-, -, 8, -
H'FFFF E204	TA0/O コントロールレジスタ 1 (TA0IO1)				TA0/O コントロールレジスタ 2 (TA0IO2)				16
H'FFFF E208	TA0 ステータスレジスタ (TA0SR)	TA0 インタラプトイネーブル レジスタ (TA0IER)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -	
~	(使用禁止領域)								-
H'FFFF E210	TA00 ノイズキャンセルカウンタ (TA00NCNT)	TA00 ノイズキャンセルレジスタ (TA00NCR)		TA01 ノイズキャンセルカウンタ (TA01NCNT)		TA01 ノイズキャンセルレジスタ (TA01NCR)		8	
H'FFFF E214	TA02 ノイズキャンセルカウンタ (TA02NCNT)	TA02 ノイズキャンセルレジスタ (TA02NCR)		TA03 ノイズキャンセルカウンタ (TA03NCNT)		TA03 ノイズキャンセルレジスタ (TA03NCR)		8	
H'FFFF E218	TA04 ノイズキャンセルカウンタ (TA04NCNT)	TA04 ノイズキャンセルレジスタ (TA04NCR)		(使用禁止領域)		(使用禁止領域)		8	
~	(使用禁止領域)								-
H'FFFF E220	TA0 フリーランニングカウンタ (TA0TCNT)								32
~	(使用禁止領域)								-
H'FFFF E228	TA00 インพุットキャプチャレジスタ (TA00ICR)								32
H'FFFF E22C	TA01 インพุットキャプチャレジスタ (TA01ICR)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E230	TA02 インพุットキャプチャレジスタ (TA02ICR)								32
H'FFFF E234	TA03 インพุットキャプチャレジスタ (TA03ICR)								32
H'FFFF E238	TA04 インพุットキャプチャレジスタ (TA04ICR)								32
~	(使用禁止領域)								-
H'FFFF E300	(使用禁止領域)	(使用禁止領域)	TA1 コントロールレジスタ (TA1CR)		(使用禁止領域)				-, -, 8, -
H'FFFF E304	TA1I/O コントロールレジスタ 1 (TA1IO1)				TA1I/O コントロールレジスタ 2 (TA1IO2)				16
H'FFFF E308	TA1 ステータスレジスタ (TA1SR)	TA1 インアラブトイネーブル レジスタ (TA1IER)		(使用禁止領域)		(使用禁止領域)			8, 8, -, -
~	(使用禁止領域)								-
H'FFFF E310	TA10 ノイズキャンセルカウンタ (TA10NCNT)	TA10 ノイズキャンセルレジスタ (TA10NCR)		TA11 ノイズキャンセルカウンタ (TA11NCNT)		TA11 ノイズキャンセルレジスタ (TA11NCR)			8
H'FFFF E314	TA12 ノイズキャンセルカウンタ (TA12NCNT)	TA12 ノイズキャンセルレジスタ (TA12NCR)		(使用禁止領域)		(使用禁止領域)			8
H'FFFF E318	TA14 ノイズキャンセルカウンタ (TA14NCNT)	TA14 ノイズキャンセルレジスタ (TA14NCR)		TA15 ノイズキャンセルカウンタ (TA15NCNT)		TA15 ノイズキャンセルレジスタ (TA15NCR)			8
~	(使用禁止領域)								-
H'FFFF E320	TA1 フリーランニングカウンタ (TA1TCNT)								32
~	(使用禁止領域)								-
H'FFFF E328	TA10 インพุットキャプチャレジスタ (TA10ICR)								32
H'FFFF E32C	TA11 インพุットキャプチャレジスタ (TA11ICR)								32
H'FFFF E330	TA12 インพุットキャプチャレジスタ (TA12ICR)								32
~	(使用禁止領域)								-
H'FFFF E338	TA14 インพุットキャプチャレジスタ (TA14ICR)								32
H'FFFF E33C	TA15 インพุットキャプチャレジスタ (TA15ICR)								32
H'FFFF E400	TF スタートレジスタ (TFSTR)								32
H'FFFF E404	TF ノイズキャンセラコントロールレジスタ (TFNCCR)								32
~	(使用禁止領域)								-
H'FFFF E410	TF0 ノイズキャンセルカウンタ A (TF0NCNTA)	TF0 ノイズキャンセルレジスタ A (TF0NCRA)		TF1 ノイズキャンセルカウンタ A (TF1NCNTA)		TF1 ノイズキャンセルレジスタ A (TF1NCRA)			8
H'FFFF E414	TF2 ノイズキャンセルカウンタ A (TF2NCNTA)	TF2 ノイズキャンセルレジスタ A (TF2NCRA)		(使用禁止領域)		(使用禁止領域)			8
~	(使用禁止領域)								-
H'FFFF E450	TF0 ノイズキャンセルカウンタ B (TF0NCNTB)	TF0 ノイズキャンセルレジスタ B (TF0NCRB)		TF1 ノイズキャンセルカウンタ B (TF1NCNTB)		TF1 ノイズキャンセルレジスタ B (TF1NCRB)			8
H'FFFF E454	TF2 ノイズキャンセルカウンタ B (TF2NCNTB)	TF2 ノイズキャンセルレジスタ B (TF2NCRB)		(使用禁止領域)		(使用禁止領域)			8
~	(使用禁止領域)								-

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E480	TF0 コントロールレジスタ (TF0CR)		TF0 インタラプトイネーブル レジスタ (TF0IER)		(使用禁止領域)		TF0 ステータスレジスタ (TF0SR)		8, 8, -, 8
H'FFFF E484	TF0 時間計測カウンタ A (TF0CNTA)								
H'FFFF E488	TF0 イベントカウンタ (TF0CNTB)				TF0 汎用レジスタ B (TF0GRB)				16
H'FFFF E48C	TF0 時間計測カウンタ C (TF0CNTC)								
H'FFFF E490	TF0 汎用レジスタ A (TF0GRA)								
H'FFFF E494	TF0 キャプチャ出力レジスタ (TF0CDR)								
H'FFFF E498	TF0 汎用レジスタ C (TF0GRC)								
H'FFFF E49C	TF0 汎用レジスタ D (TF0GRD)								
H'FFFF E4A0	TF1 コントロールレジスタ (TF1CR)		TF1 インタラプトイネーブル レジスタ (TF1IER)		(使用禁止領域)		TF1 ステータスレジスタ (TF1SR)		8, 8, -, 8
H'FFFF E4A4	TF1 時間計測カウンタ A (TF1CNTA)								
H'FFFF E4A8	TF1 イベントカウンタ (TF1CNTB)				TF1 汎用レジスタ B (TF1GRB)				16
H'FFFF E4AC	TF1 時間計測カウンタ C (TF1CNTC)								
H'FFFF E4B0	TF1 汎用レジスタ A (TF1GRA)								
H'FFFF E4B4	TF1 キャプチャ出力レジスタ (TF1CDR)								
H'FFFF E4B8	TF1 汎用レジスタ C (TF1GRC)								
H'FFFF E4BC	TF1 汎用レジスタ D (TF1GRD)								
H'FFFF E4C0	TF2 コントロールレジスタ (TF2CR)		TF2 インタラプトイネーブル レジスタ (TF2IER)		(使用禁止領域)		TF2 ステータスレジスタ (TF2SR)		8, 8, -, 8
H'FFFF E4C4	TF2 時間計測カウンタ A (TF2CNTA)								
H'FFFF E4C8	TF2 イベントカウンタ (TF2CNTB)				TF2 汎用レジスタ B (TF2GRB)				16
H'FFFF E4CC	TF2 時間計測カウンタ C (TF2CNTC)								
H'FFFF E4D0	TF2 汎用レジスタ A (TF2GRA)								
H'FFFF E4D4	TF2 キャプチャ出力レジスタ (TF2CDR)								
H'FFFF E4D8	TF2 汎用レジスタ C (TF2GRC)								
H'FFFF E4DC	TF2 汎用レジスタ D (TF2GRD)								
H'FFFF E4E0	TF3 コントロールレジスタ (TF3CR)		TF3 インタラプトイネーブル レジスタ (TF3IER)		(使用禁止領域)		TF3 ステータスレジスタ (TF3SR)		8, 8, -, 8
~	(使用禁止領域)								

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E500	(使用禁止領域)		TG スタートレジスタ (TGSTR)		(使用禁止領域)		(使用禁止領域)		-, 8, -, -
~	(使用禁止領域)								
H'FFFF E580	TG0 コントロールレジスタ (TG0CR)		TG0 ステータスレジスタ (TG0SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E584	TG0 カウンタ (TG0CNT)				TG0 コンペアマッチレジスタ (TG0OCR)				16
~	(使用禁止領域)								
H'FFFF E590	TG1 コントロールレジスタ (TG1CR)		TG1 ステータスレジスタ (TG1SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E594	TG1 カウンタ (TG1CNT)				TG1 コンペアマッチレジスタ (TG1OCR)				16
~	(使用禁止領域)								
H'FFFF E5A0	TG2 コントロールレジスタ (TG2CR)		TG2 ステータスレジスタ (TG2SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E5A4	TG2 カウンタ (TG2CNT)				TG2 コンペアマッチレジスタ (TG2OCR)				16
~	(使用禁止領域)								
H'FFFF E5B0	TG3 コントロールレジスタ (TG3CR)		TG3 ステータスレジスタ (TG3SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E5B4	TG3 カウンタ (TG3CNT)				TG3 コンペアマッチレジスタ (TG3OCR)				16
~	(使用禁止領域)								
H'FFFF E5C0	TG4 コントロールレジスタ (TG4CR)		TG4 ステータスレジスタ (TG4SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E5C4	TG4 カウンタ (TG4CNT)				TG4 コンペアマッチレジスタ (TG4OCR)				16
~	(使用禁止領域)								
H'FFFF E5D0	TG5 コントロールレジスタ (TG5CR)		TG5 ステータスレジスタ (TG5SR)		(使用禁止領域)		(使用禁止領域)		8, 8, -, -
H'FFFF E5D4	TG5 カウンタ (TG5CNT)				TG5 コンペアマッチレジスタ (TG5OCR)				16
~	(使用禁止領域)								
H'FFFF E600	TOU0 コントロールレジスタ (TO0CR)		TOU0 インタラプティブ レジスタ (TO0IER)		TOU0 出力コントロールレジスタ (TO0OUCR)		TOU0 ステータスレジスタ (TO0SR)		8
H'FFFF E604	TOU0 カウントイネーブル プロテクトレジスタ (TO0CEPR)		TOU0 短絡防止機能用フリップ フロップ出力プロテクトレジスタ (TO0SHFFPR)		TOU0 フリップフロップ出力 プロテクトレジスタ (TO0FFPR)		(使用禁止領域)		8, 8, 8, -
H'FFFF E608	TOU0 カウントイネーブル レジスタ (TO0CENR)		TOU0 短絡防止機能用フリップ フロップ出力データレジスタ (TO0SHFFDR)		TOU0 フリップフロップ出力 データレジスタ (TO0FFDR)		(使用禁止領域)		8, 8, 8, -
H'FFFF E60C	TOU0 ノイズキャンセラコン ロールレジスタ (TO0NCCR)		(使用禁止領域)		TOU0 ノイズキャンセルカウンタ (TO0NCNT)		TOU0 ノイズキャンセルレジスタ (TO0NCR)		8, -, 8, 8
H'FFFF E610	TOU0PWMOFF 入力処理レジスタ (TO0POCR)				(使用禁止領域)		TOU0PWMOFF 機能許可レジスタ (TO0POER)		16, -, 8
H'FFFF E614	TOU0PWM 出力禁止制御レジスタ (TO0PODISCR)				(使用禁止領域)		TOU0PWM 出力禁止レベル制御 レジスタ (TO0POLVCR)		16, -, 8
~	(使用禁止領域)								
H'FFFF E620	TOU00 モードコントロール レジスタ (TO00MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E624	TOU00 カウンタ (TO00CNT)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E628	TOU00 リロードレジスタ (TO00RLD)								32
~	(使用禁止領域)								-
H'FFFF E630	TOU01 モードコントロール レジスタ (TO01MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E634	TOU01 カウンタ (TO01CNT)								32
H'FFFF E638	TOU01 リロードレジスタ (TO01RLD)								32
~	(使用禁止領域)								-
H'FFFF E640	TOU02 モードコントロール レジスタ (TO02MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E644	TOU02 カウンタ (TO02CNT)								32
H'FFFF E648	TOU02 リロードレジスタ (TO02RLD)								32
~	(使用禁止領域)								-
H'FFFF E650	TOU03 モードコントロール レジスタ (TO03MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E654	TOU03 カウンタ (TO03CNT)								32
H'FFFF E658	TOU03 リロードレジスタ (TO03RLD)								32
~	(使用禁止領域)								-
H'FFFF E660	TOU04 モードコントロール レジスタ (TO04MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E664	TOU04 カウンタ (TO04CNT)								32
H'FFFF E668	TOU04 リロードレジスタ (TO04RLD)								32
~	(使用禁止領域)								-
H'FFFF E670	TOU05 モードコントロール レジスタ (TO05MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E674	TOU05 カウンタ (TO05CNT)								32
H'FFFF E678	TOU05 リロードレジスタ (TO05RLD)								32
~	(使用禁止領域)								-
H'FFFF E680	TOU06 モードコントロール レジスタ (TO06MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E684	TOU06 カウンタ (TO06CNT)								32
H'FFFF E688	TOU06 リロードレジスタ (TO06RLD)								32
~	(使用禁止領域)								-
H'FFFF E690	TOU07 モードコントロール レジスタ (TO07MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E694	TOU07 カウンタ (TO07CNT)								32
H'FFFF E698	TOU07 リロードレジスタ (TO07RLD)								32



付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
~	(使用禁止領域)								-
H'FFFF E700	TOU1 コントロールレジスタ (TO1CR)		TOU1 インタラプトイネーブルレジスタ (TO1IER)		TOU1 出カコントロールレジスタ (TO1OUCR)		TOU1 ステータスレジスタ (TO1SR)		8
H'FFFF E704	TOU1 カウントイネーブルプロテクトレジスタ (TO1CEPR)		TOU1 短絡防止機能用フリップフロップ出力プロテクトレジスタ (TO1SHFFPR)		TOU1 フリップフロップ出力プロテクトレジスタ (TO1FFPR)		(使用禁止領域)		8, 8, 8, -
H'FFFF E708	TOU1 カウントイネーブルレジスタ (TO1CENR)		TOU1 短絡防止機能用フリップフロップ出力データレジスタ (TO1SHFFDR)		TOU1 フリップフロップ出力データレジスタ (TO1FFDR)		(使用禁止領域)		8, 8, 8, -
H'FFFF E70C	TOU1 ノイズキャンセラコントロールレジスタ (TO1NCCR)		(使用禁止領域)		TOU1 ノイズキャンセルカウンタ (TO1NCNT)		TOU1 ノイズキャンセルレジスタ (TO1NCR)		8, -, 8, 8
H'FFFF E710	TOU1PWMOFF 入力処理レジスタ (TO1POCR)				(使用禁止領域)		TOU1PWMOFF 機能許可レジスタ (TO1POER)		16, -, 8
H'FFFF E714	TOU1PWM 出力禁止制御レジスタ (TO1PODISCR)				(使用禁止領域)		TOU1PWM 出力禁止レベル制御レジスタ (TO1POLVCR)		16, -, 8
~	(使用禁止領域)								-
H'FFFF E720	TOU10 モードコントロールレジスタ (TO10MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E724	TOU10 カウンタ (TO10CNT)								32
H'FFFF E728	TOU10 リロードレジスタ (TO10RLD)								32
~	(使用禁止領域)								-
H'FFFF E730	TOU11 モードコントロールレジスタ (TO11MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E734	TOU11 カウンタ (TO11CNT)								32
H'FFFF E738	TOU11 リロードレジスタ (TO11RLD)								32
~	(使用禁止領域)								-
H'FFFF E740	TOU12 モードコントロールレジスタ (TO12MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E744	TOU12 カウンタ (TO12CNT)								32
H'FFFF E748	TOU12 リロードレジスタ (TO12RLD)								32
~	(使用禁止領域)								-
H'FFFF E750	TOU13 モードコントロールレジスタ (TO13MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E754	TOU13 カウンタ (TO13CNT)								32
H'FFFF E758	TOU13 リロードレジスタ (TO13RLD)								32
~	(使用禁止領域)								-
H'FFFF E760	TOU14 モードコントロールレジスタ (TO14MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E764	TOU14 カウンタ (TO14CNT)								32
H'FFFF E768	TOU14 リロードレジスタ (TO14RLD)								32
~	(使用禁止領域)								-

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ	
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0		
H'FFFF E770	TOU15 モードコントロール レジスタ (TO15MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E774	TOU15 カウンタ (TO15CNT)								32	
H'FFFF E778	TOU15 リロードレジスタ (TO15RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E780	TOU16 モードコントロール レジスタ (TO16MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E784	TOU16 カウンタ (TO16CNT)								32	
H'FFFF E788	TOU16 リロードレジスタ (TO16RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E790	TOU17 モードコントロール レジスタ (TO17MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E794	TOU17 カウンタ (TO17CNT)								32	
H'FFFF E798	TOU17 リロードレジスタ (TO17RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E800	TOU2 コントロールレジスタ (TO2CR)	TOU2 インタラプティネーブル レジスタ (TO2IER)	TOU2 出カコントロールレジスタ (TO2OUCR)	TOU2 ステータスレジスタ (TO2SR)						8
H'FFFF E804	TOU2 カウントイネーブル プロテクトレジスタ (TO2CEPR)	TOU2 短絡防止機能用フリップ フロップ出力プロテクトレジスタ (TO2SHFFPR)	TOU2 フリップフロップ出力 プロテクトレジスタ (TO2FFPR)	(使用禁止領域)					8, 8, 8, -	
H'FFFF E808	TOU2 カウントイネーブル レジスタ (TO2CENR)	TOU2 短絡防止機能用フリップ フロップデータレジスタ (TO2SHFFDR)	TOU2 フリップフロップ出力 データレジスタ (TO2FFDR)	(使用禁止領域)					8, 8, 8, -	
~	(使用禁止領域)								-	
H'FFFF E820	TOU20 モードコントロール レジスタ (TO20MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E824	TOU20 カウンタ (TO20CNT)								32	
H'FFFF E828	TOU20 リロードレジスタ (TO20RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E830	TOU21 モードコントロール レジスタ (TO21MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E834	TOU21 カウンタ (TO21CNT)								32	
H'FFFF E838	TOU21 リロードレジスタ (TO21RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E840	TOU22 モードコントロール レジスタ (TO22MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E844	TOU22 カウンタ (TO22CNT)								32	
H'FFFF E848	TOU22 リロードレジスタ (TO22RLD)								32	
~	(使用禁止領域)								-	

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ	
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0		
H'FFFF E850	TOU23 モードコントロール レジスタ (TO23MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E854	TOU23 カウンタ (TO23CNT)								32	
H'FFFF E858	TOU23 リロードレジスタ (TO23RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E860	TOU24 モードコントロール レジスタ (TO24MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E864	TOU24 カウンタ (TO24CNT)								32	
H'FFFF E868	TOU24 リロードレジスタ (TO24RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E870	TOU25 モードコントロール レジスタ (TO25MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E874	TOU25 カウンタ (TO25CNT)								32	
H'FFFF E878	TOU25 リロードレジスタ (TO25RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E880	TOU26 モードコントロール レジスタ (TO26MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E884	TOU26 カウンタ (TO26CNT)								32	
H'FFFF E888	TOU26 リロードレジスタ (TO26RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E890	TOU27 モードコントロール レジスタ (TO27MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	
H'FFFF E894	TOU27 カウンタ (TO27CNT)								32	
H'FFFF E898	TOU27 リロードレジスタ (TO27RLD)								32	
~	(使用禁止領域)								-	
H'FFFF E900	TOU3 コントロールレジスタ (TO3CR)	TOU3 インタラプトイネーブル レジスタ (TO3IER)	TOU3 出カコントロールレジスタ (TO3OUCR)	TOU3 ステータスレジスタ (TO3SR)						8
H'FFFF E904	TOU3 カウンティネーブル プロテクトレジスタ (TO3CEPR)	TOU3 短絡防止機能用フリップ フロップ出力プロテクトレジスタ (TO3SHFFPR)	TOU3 フリップフロップ出力 プロテクトレジスタ (TO3FFPR)	(使用禁止領域)					8, 8, 8, -	
H'FFFF E908	TOU3 カウンティネーブル レジスタ (TO3CENR)	TOU3 短絡防止機能用フリップ フロップ出力データレジスタ (TO3SHFFDR)	TOU3 フリップフロップ出力 データレジスタ (TO3FFDR)	(使用禁止領域)					8, 8, 8, -	
H'FFFF E90C	TOU3 ノイズキャンセラコン ロールレジスタ (TO3NCCR)	(使用禁止領域)		TOU3 ノイズキャンセルカウンタ (TO3NCNT)	TOU3 ノイズキャンセルレジスタ (TO3NCR)		8, -, 8, 8			
H'FFFF E910	TOU3PWMOFF 入力処理レジスタ (TO3POCR)			(使用禁止領域)		TOU3PWMOFF 機能許可レジスタ (TO3POER)			16, -, 8	
H'FFFF E914	TOU3PWM 出力禁止制御レジスタ (TO3PODISCR)			(使用禁止領域)		TOU3PWM 出力禁止レベル制御 レジスタ (TO3POLVCR)			16, -, 8	
~	(使用禁止領域)								-	
H'FFFF E920	TOU30 モードコントロール レジスタ (TO30MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -	

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E924	TOU30 カウンタ (TO30CNT)								32
H'FFFF E928	TOU30 リロードレジスタ (TO30RLD)								32
~	(使用禁止領域)								-
H'FFFF E930	TOU31 モードコントロール レジスタ (TO31MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E934	TOU31 カウンタ (TO31CNT)								32
H'FFFF E938	TOU31 リロードレジスタ (TO31RLD)								32
~	(使用禁止領域)								-
H'FFFF E940	TOU32 モードコントロール レジスタ (TO32MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E944	TOU32 カウンタ (TO32CNT)								32
H'FFFF E948	TOU32 リロードレジスタ (TO32RLD)								32
~	(使用禁止領域)								-
H'FFFF E950	TOU33 モードコントロール レジスタ (TO33MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E954	TOU33 カウンタ (TO33CNT)								32
H'FFFF E958	TOU33 リロードレジスタ (TO33RLD)								32
~	(使用禁止領域)								-
H'FFFF E960	TOU34 モードコントロール レジスタ (TO34MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E964	TOU34 カウンタ (TO34CNT)								32
H'FFFF E968	TOU34 リロードレジスタ (TO34RLD)								32
~	(使用禁止領域)								-
H'FFFF E970	TOU35 モードコントロール レジスタ (TO35MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E974	TOU35 カウンタ (TO35CNT)								32
H'FFFF E978	TOU35 リロードレジスタ (TO35RLD)								32
~	(使用禁止領域)								-
H'FFFF E980	TOU36 モードコントロール レジスタ (TO36MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E984	TOU36 カウンタ (TO36CNT)								32
H'FFFF E988	TOU36 リロードレジスタ (TO36RLD)								32
~	(使用禁止領域)								-
H'FFFF E990	TOU37 モードコントロール レジスタ (TO37MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF E994	TOU37 カウンタ (TO37CNT)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF E998	TOU37 リロードレジスタ (TO37RLD)								32
~	(使用禁止領域)								-
H'FFFF EA00	TOU4 コントロールレジスタ (TO4CR)		TOU4 インタラプティネーブル レジスタ (TO4IER)		TOU4 出カコントロールレジスタ (TO4OUCR)		TOU4 ステータスレジスタ (TO4SR)		8
H'FFFF EA04	TOU4 カウントイネーブル プロテクトレジスタ (TO4CEPR)		TOU4 短絡防止機能用フリップ フロップ出力プロテクトレジスタ (TO4SHFFPR)		TOU4 フリップフロップ出力 プロテクトレジスタ (TO4FFPR)		(使用禁止領域)		8, 8, 8, -
H'FFFF EA08	TOU4 カウントイネーブル レジスタ (TO4CENR)		TOU4 短絡防止機能用フリップ フロップ出力データレジスタ (TO4SHFFDR)		TOU4 フリップフロップ出力 データレジスタ (TO4FFDR)		(使用禁止領域)		8, 8, 8, -
H'FFFF EA0C	TOU4 ノイズキャンセラコン ロールレジスタ (TO4NCCR)		(使用禁止領域)		TOU4 ノイズキャンセルカウンタ (TO4NCNT)		TOU4 ノイズキャンセルレジスタ (TO4NCR)		8, -, 8, 8
H'FFFF EA10	TOU4PWMOFF 入力処理レジスタ (TO4POCR)				(使用禁止領域)		TOU4PWMOFF 機能許可レジスタ (TO4POER)		16, -, 8
H'FFFF EA14	TOU4PWM 出力禁止制御レジスタ (TO4PODISCR)				(使用禁止領域)		TOU4PWM 出力禁止レベル制御 レジスタ (TO4POLVCR)		16, -, 8
~	(使用禁止領域)								-
H'FFFF EA20	TOU40 モードコントロール レジスタ (TO40MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA24	TOU40 カウンタ (TO40CNT)								32
H'FFFF EA28	TOU40 リロードレジスタ (TO40RLD)								32
~	(使用禁止領域)								-
H'FFFF EA30	TOU41 モードコントロール レジスタ (TO41MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA34	TOU41 カウンタ (TO41CNT)								32
H'FFFF EA38	TOU41 リロードレジスタ (TO41RLD)								32
~	(使用禁止領域)								-
H'FFFF EA40	TOU42 モードコントロール レジスタ (TO42MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA44	TOU42 カウンタ (TO42CNT)								32
H'FFFF EA48	TOU42 リロードレジスタ (TO42RLD)								32
~	(使用禁止領域)								-
H'FFFF EA50	TOU43 モードコントロール レジスタ (TO43MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA54	TOU43 カウンタ (TO43CNT)								32
H'FFFF EA58	TOU43 リロードレジスタ (TO43RLD)								32
~	(使用禁止領域)								-
H'FFFF EA60	TOU44 モードコントロール レジスタ (TO44MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA64	TOU44 カウンタ (TO44CNT)								32
H'FFFF EA68	TOU44 リロードレジスタ (TO44RLD)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
~	(使用禁止領域)								-
H'FFFF EA70	TOU45 モードコントロール レジスタ (TO45MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA74	TOU45 カウンタ (TO45CNT)								32
H'FFFF EA78	TOU45 リロードレジスタ (TO45RLD)								32
~	(使用禁止領域)								-
H'FFFF EA80	TOU46 モードコントロール レジスタ (TO46MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA84	TOU46 カウンタ (TO46CNT)								32
H'FFFF EA88	TOU46 リロードレジスタ (TO46RLD)								32
~	(使用禁止領域)								-
H'FFFF EA90	TOU47 モードコントロール レジスタ (TO47MCR)		(使用禁止領域)		(使用禁止領域)		(使用禁止領域)		8, -, -, -
H'FFFF EA94	TOU47 カウンタ (TO47CNT)								32
H'FFFF EA98	TOU47 リロードレジスタ (TO47RLD)								32
~	(使用禁止領域)								-
H'FFFF F000	割り込みコントロールレジスタ 0 (ICR0)								32
~	(使用禁止領域)								-
H'FFFF F010	割り込み優先順位設定レジスタ (INTPRI)								32
~	(使用禁止領域)								-
H'FFFF F01C	割り込みコントロールレジスタ 1 (ICR1)								32
~	(使用禁止領域)								-
H'FFFF F024	割り込み要因レジスタ (INTREQ)								32
~	(使用禁止領域)								-
H'FFFF F044	割り込みマスクレジスタ (INTMSK)								32
~	(使用禁止領域)								-
H'FFFF F064	割り込みマスククリアレジスタ (INTMSKCLR)								32
~	(使用禁止領域)								-
H'FFFF F0C0	NMI フラグコントロールレジスタ (NMIFCR)								32
~	(使用禁止領域)								-
H'FFFF F300	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)								32
~	(使用禁止領域)								-
H'FFFF F400	割り込み優先順位設定レジスタ 0 (INT2PRI0)								32
H'FFFF F404	割り込み優先順位設定レジスタ 1 (INT2PRI1)								32

付録

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF F408	割り込み優先順位設定レジスタ 2 (INT2PRI2)								32
H'FFFF F40C	割り込み優先順位設定レジスタ 3 (INT2PRI3)								32
H'FFFF F410	割り込み優先順位設定レジスタ 4 (INT2PRI4)								32
H'FFFF F414	割り込み優先順位設定レジスタ 5 (INT2PRI5)								32
H'FFFF F418	割り込み優先順位設定レジスタ 6 (INT2PRI6)								32
H'FFFF F41C	割り込み優先順位設定レジスタ 7 (INT2PRI7)								32
~	(使用禁止領域)								-
H'FFFF F430	割り込み要因レジスタ 00 (マスク状態の影響なし) (INT2A00)								32
H'FFFF F434	割り込み要因レジスタ 10 (マスク状態の影響あり) (INT2A10)								32
H'FFFF F438	割り込みマスクレジスタ 0 (INT2MSKR)								32
H'FFFF F43C	割り込みマスククリアレジスタ 0 (INT2MSKCR)								32
H'FFFF F440	モジュール別割り込み要因レジスタ 0 (INT2B0)								32
H'FFFF F444	モジュール別割り込み要因レジスタ 1 (INT2B1)								32
H'FFFF F448	モジュール別割り込み要因レジスタ 2 (INT2B2)								32
H'FFFF F44C	モジュール別割り込み要因レジスタ 3 (INT2B3)								32
H'FFFF F450	モジュール別割り込み要因レジスタ 4 (INT2B4)								32
H'FFFF F454	モジュール別割り込み要因レジスタ 5 (INT2B5)								32
H'FFFF F458	モジュール別割り込み要因レジスタ 6 (INT2B6)								32
H'FFFF F45C	モジュール別割り込み要因レジスタ 7 (INT2B7)								32
H'FFFF F460	モジュール別割り込み要因レジスタ 8 (INT2B8)								32
~	(使用禁止領域)								-
H'FFFF F468	モジュール別割り込み要因レジスタ 10 (INT2B10)								32
H'FFFF F46C	モジュール別割り込み要因レジスタ 11 (INT2B11)								32
~	(使用禁止領域)								-
H'FFFF F494	モジュール別割り込み要因レジスタ 12 (INT2B12)								32
~	(使用禁止領域)								-
H'FFFF F4A0	割り込み優先順位設定レジスタ 8 (INT2PRI8)								32
H'FFFF F4A4	割り込み優先順位設定レジスタ 9 (INT2PRI9)								32

番地	+0 番地		+1 番地		+2 番地		+3 番地		アクセス サイズ
	Bit 31	Bit 24	Bit 23	Bit 16	Bit 15	Bit 8	Bit 7	Bit 0	
H'FFFF F4A8	割り込み優先順位設定レジスタ 10 (INT2PRI10)								32
H'FFFF F4AC	割り込み優先順位設定レジスタ 11 (INT2PRI11)								32
H'FFFF F4B0	割り込み優先順位設定レジスタ 12 (INT2PRI12)								32
~	(使用禁止領域)								-
H'FFFF F4C0	割り込み要因レジスタ 01 (マスク状態の影響なし) (INT2A01)								32
H'FFFF F4C4	割り込み要因レジスタ 11 (マスク状態の影響あり) (INT2A11)								32
~	(使用禁止領域)								-
H'FFFF F4D0	割り込みマスクレジスタ 1 (INT2MSKR1)								32
H'FFFF F4D4	割り込みマスククリアレジスタ 1 (INT2MSKCR1)								32
~H'FFFF FFFF	(使用禁止領域)								-



## 付録 H. 未使用端子の処理について

表 H.1 に未使用端子の処理の例を示します。

表 H.1 未使用端子の処理の例

端子の分類		処理
ポート入力禁止機能のある端子 (PG0~PG3、PJ1、PJ3~PJ5、PM0、PM2、PM4、PM6、PM8~PM15、PN0、PN1、PN4、PN5) 以外		<ul style="list-style-type: none"> <li>ポート入力禁止状態を選択 (ポート n 入力レベル設定ビット)</li> <li>入力モードに設定し、端子ごとに 1~10kΩ の抵抗を介して Vcc または Vss に接続</li> <li>出力モードに設定し、出力オープン (開放)</li> </ul>
ポート入力禁止機能のない端子* <sup>1</sup> PG0~PG3、PJ1、PJ3~PJ5		<ul style="list-style-type: none"> <li>入力モードに設定し、端子ごとに 1~10kΩ の抵抗を介して Vcc または Vss に接続</li> <li>出力モードに設定し、出力オープン (開放)</li> </ul>
NMI		0~10kΩ の抵抗を介して Vss に接続
XTAL、WDT0VF#		開放
PM0/AD0IN0、 PM2/AD0IN2、 PM4/AD0IN4、 PM6/AD0IN6、 PM8/AD0IN8~ PM15/AD0IN15	アナログ入力端子 選択時	オープンまたは端子ごとに 0~10kΩ の抵抗を介して Vcc に接続または Vss に接続
	汎用ポート入力 選択時	端子ごとに 0~10kΩ の抵抗を介して Vcc に接続または Vss に接続。 PM0、PM2、PM4、PM6、PM8~PM15 をすべてアナログ入力端子または汎用ポートに設定してください。混在させての使用および設定は禁止です。
PN0/AD1IN0、 PN1/AD1IN1、 PN4/AD1IN4、 PN5/AD1IN5	アナログ入力端子 選択時	オープンまたは端子ごとに 0~10kΩ の抵抗を介して Vcc に接続または Vss に接続
	汎用ポート入力 選択時	端子ごとに 0~10kΩ の抵抗を介して Vcc に接続または Vss に接続。 PN0、PN1、PN4、PN5 をすべてアナログ入力端子または汎用ポートに設定してください。混在させての使用および設定は禁止です。
AVcc、AVREFH		AVcc=Vcc、AVREFH ≤ AVcc
AVss、AVREFL		Vss に接続
H-UDI	TCK、TMS、TDI、 MPMD	端子ごとに 0~100kΩ の抵抗を介して Vcc に接続 ただし、MPMD はオープンでも問題ありません。
	ASEBRK#/BRKACK、 TDO	端子ごとに 1~100kΩ の抵抗を介して Vcc に接続 ただし、TDO はオープンでも問題ありません。
	TRST#	0~100kΩ の抵抗を介して Vss に接続または RESET#接続

【注】 \*1 入力禁止機能のないポートの未使用端子処理を出力オープンで使用する場合、電源立ち上げから出力設定にするまでの期間、入力オープン状態となり、貫通電流が流れる可能性があります。

・未使用端子の処理は、マイコンの端子からできるだけ短い (20mm 以内) 配線で処理してください。

---

SH7455グループ、SH7456グループ ユーザーズマニュアル  
ハードウェア編

発行年月日 2011年9月16日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/inquiry>

SH7455 グループ、SH7456 グループ