

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7730 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH7780 シリーズ

SH7730

R8A77301

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認ください。

11. 索引

はじめに

SH7730 グループは、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者 このマニュアルは、SH7730 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7730 グループのハードウェア機能をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「SH-4A 拡張機能 ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について。
本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7730	R8A77301

- 機能全体を理解しようとするとき。
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- CPU機能の詳細を理解したいとき。
別冊の「SH-4A拡張機能 ソフトウェアマニュアル」を参照してください。

凡例 レジスタ表記 : FIFO 内蔵シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合、次の表記を使用します。
XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)
ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。
記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(<http://japan.renesas.com/>)

- SH7730グループに関するユーザーズマニュアル

資料名	資料番号
SH7730 グループ ハードウェアマニュアル	本マニュアル
SH-4A 拡張機能 ソフトウェアマニュアル	RJJ09B0235

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
SuperH™ RISC engine C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ V.9.00 ユーザーズマニュアル	RJJ10B0156
SuperH RISC engine High-performance Embedded Workshop 3 ユーザーズマニュアル	RJJ10B0028
SuperH RISC engine High-performance Embedded Workshop3 チュートリアル	RJJ10B0026

- アプリケーションノート

資料名	資料番号
SuperH RISC engine C/C++ コンパイラパッケージアプリケーションノート	RJJ05B0557

略語の説明

ACIA	Asynchronous Communication Interface Adapter 調歩同期インタフェース
AUD	Advanced User Debugger アドバンストユーザデバッガ
BSC	Bus State Controller バスステートコントローラ
CPG	Clock Pulse Generator クロック発振器
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
ETU	Elementary time unit 1 ビットの転送時間
FIFO	First-In First-Out 先入れ先出し
H-UDI	User Debug Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ

JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr
LSB	Least Significant Bit 最下位ビット
MFI	Multi-Functional Interface 多機能インタフェース
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
TLB	Translation Lookaside Buffer アドレス変換バッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watch Dog Timer ウォッチドッグタイマ

SuperH は、ルネサス エレクトロニクス株式会社の登録商標です。
すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 本LSIの特長	1-1
1.2 ブロック図	1-7
1.3 端子の説明	1-8
1.3.1 ピンの配置	1-8
1.3.2 端子機能	1-16
1.4 製品一覧	1-22
2. プログラミングモデル	2-1
2.1 データフォーマット	2-1
2.2 レジスタの構成	2-2
2.2.1 特権モードとバンク	2-2
2.2.2 汎用レジスタ	2-5
2.2.3 浮動小数点レジスタ	2-6
2.2.4 コントロールレジスタ	2-9
2.2.5 システムレジスタ	2-11
2.3 メモリ割り付けレジスタ	2-14
2.4 レジスタのデータ形式	2-14
2.5 メモリ上でのデータ形式	2-15
2.6 処理状態	2-16
2.7 使用上の注意事項	2-17
2.7.1 自己書き換えコードに対する注意事項	2-17
3. 命令セット	3-1
3.1 実行環境	3-1
3.2 アドレッシングモード	3-3
3.3 命令セット	3-6
4. バイブライン動作	4-1
4.1 バイブライン	4-1
4.2 並列実行性	4-12
4.3 発行レートと実行ステート	4-15

5.	例外処理	5-1
5.1	概要	5-1
5.2	レジスタの説明	5-1
5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-8
5.5.1	例外フロー	5-8
5.5.2	例外要因の受け付け	5-9
5.5.3	例外要求と BL ピット	5-10
5.5.4	例外処理からの復帰	5-10
5.6	各例外の説明	5-11
5.6.1	リセット	5-11
5.6.2	一般例外	5-12
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10
6.4	丸め	6-10
6.5	浮動小数点例外	6-11
6.6	グラフィックサポート機能	6-13
6.6.1	ジオメトリック演算命令	6-13
6.6.2	ペア単精度データ転送	6-14
6.7	FPU演算命令使用上の注意事項	6-15

7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4
7.2	レジスタの説明	7-10
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-11
7.2.2	ページテーブルエントリ下位レジスタ (PTL)	7-12
7.2.3	変換テーブルベースレジスタ (TTB)	7-13
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-13
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCRCR)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR)	7-18
7.3	TLBの機能 (TLB互換モード)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-28
7.4.3	アドレス変換方式	7-28
7.5	MMUの機能	7-31
7.5.1	MMU のハードウェア管理	7-31
7.5.2	MMU のソフトウェア管理	7-31
7.5.3	MMU の命令 (LDTLB)	7-32
7.5.4	ハードウェア ITLB ミスハンドリング	7-34
7.5.5	シノニム問題の回避	7-34
7.6	MMU例外	7-36
7.6.1	命令 TLB 多重ヒット例外	7-36
7.6.2	命令 TLB ミス例外	7-36
7.6.3	命令 TLB 保護違反例外	7-37
7.6.4	データ TLB 多重ヒット例外	7-38
7.6.5	データ TLB ミス例外	7-39
7.6.6	データ TLB 保護違反例外	7-40
7.6.7	初期ページ書き込み例外	7-41
7.7	メモリ割り付けTLBの構成	7-42
7.7.1	ITLB アドレスアレイ	7-42
7.7.2	ITLB データアレイ (TLB 互換モード)	7-43
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-44
7.7.4	UTLB アドレスアレイ	7-46
7.7.5	UTLB データアレイ (TLB 互換モード)	7-47

7.7.6	UTLB データアレイ (TLB 拡張モード)	7-48
7.8	使用上の注意事項	7-50
7.8.1	LDTLB 命令使用上の注意事項	7-50
7.8.2	アンバッファドライトの設定時のご注意について	7-50
8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-7
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-7
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-8
8.3	オペランドキャッシュの動作説明	8-10
8.3.1	読み出し動作	8-10
8.3.2	プリフェッチ動作	8-11
8.3.3	書き込み動作	8-12
8.3.4	ライトバックバッファ	8-13
8.3.5	ライトスルーバッファ	8-13
8.3.6	OC2 ウェイモード	8-13
8.4	命令キャッシュの動作説明	8-14
8.4.1	読み出し動作	8-14
8.4.2	プリフェッチ動作	8-14
8.4.3	IC2 ウェイモード	8-15
8.4.4	命令キャッシュウェイ予測	8-15
8.5	キャッシュ操作命令	8-16
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-16
8.5.2	プリフェッチ動作	8-18
8.6	メモリ割り付けキャッシュの構成	8-19
8.6.1	IC アドレスアレイ	8-19
8.6.2	IC データアレイ	8-20
8.6.3	OC アドレスアレイ	8-21
8.6.4	OC データアレイ	8-22
8.6.5	メモリ割り付け連想ライトの動作	8-23
8.7	ストアキュー	8-24
8.7.1	SQ の構成	8-24
8.7.2	SQ への書き込み	8-24
8.7.3	外部メモリへの転送	8-24
8.7.4	SQ アクセスの例外判定	8-26
8.7.5	SQ からの読み出し	8-26

9.	内蔵メモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-2
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-3
9.3	動作説明	9-4
9.3.1	CPU からの命令フェッチアクセス	9-4
9.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス	9-4
9.3.3	SuperHyway バスマスタモジュールからのアクセス	9-4
9.4	内蔵メモリの保護機能	9-5
9.5	使用上の注意事項	9-6
9.5.1	ページ競合	9-6
9.5.2	ページの切り替わり	9-6
9.5.3	IL メモリのコヒーレンシ	9-6
9.5.4	スリープモード	9-6
10.	割り込みコントローラ (INTC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-3
10.3.1	割り込みコントロールレジスタ 0 (ICR0)	10-6
10.3.2	割り込みコントロールレジスタ 1 (ICR1)	10-8
10.3.3	割り込み優先レベル設定レジスタ (INTPRI00)	10-9
10.3.4	割り込み優先レベル設定レジスタ A ~ K (IPRA ~ IPRK)	10-10
10.3.5	割り込み要因レジスタ 00 (INTREQ00)	10-11
10.3.6	割り込みマスクレジスタ 00 (INTMSK00)	10-12
10.3.7	割り込みマスククリアレジスタ 00 (INTMSKCLR00)	10-13
10.3.8	割り込みマスクレジスタ 0 ~ 12 (IMR0 ~ IMR12)	10-13
10.3.9	割り込みマスククリアレジスタ 0 ~ 11 (IMCR0 ~ IMCR12)	10-14
10.3.10	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)	10-16
10.3.11	NMI フラグコントロールレジスタ (NMIFCR)	10-17
10.4	割り込み要因	10-18
10.4.1	NMI 割り込み	10-18
10.4.2	IRQ 割り込み	10-18
10.4.3	IRL 割り込み	10-19
10.4.4	PINT 割り込み	10-19
10.4.5	周辺モジュール割り込み	10-20
10.4.6	割り込み例外処理と優先順位	10-20
10.5	動作説明	10-23
10.5.1	割り込み動作の流れ	10-23
10.5.2	多重割り込み	10-26

10.5.3	MAI ビットによる割り込みマスク	10-26
10.5.4	ユーザモードでの割り込み禁止機能	10-27
10.6	割り込み応答時間	10-28
10.7	使用上の注意事項	10-28
10.7.1	レベル割り込みについて	10-28
11.	バスステートコントローラ (BSC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-4
11.3	エリアの概要	11-5
11.3.1	空間分割	11-5
11.3.2	シャドウ空間	11-6
11.3.3	アドレスマップ	11-7
11.3.4	エリア 0 メモリタイプおよびメモリバス幅	11-9
11.3.5	データアライメント	11-10
11.4	レジスタの説明	11-11
11.4.1	共通コントロールレジスタ (CMNCR)	11-13
11.4.2	CSn 空間バスコントロールレジスタ (CSnBCR)	11-15
11.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR)	11-19
11.4.4	リセットバスウェイトカウンタ (RBWTCNT)	11-37
11.4.5	SDRAM コントロールレジスタ (SDCR)	11-38
11.4.6	リフレッシュタイマコントロール/ステータスレジスタ (RTCSCR)	11-40
11.4.7	リフレッシュタイマカウンタ (RTCNT)	11-41
11.4.8	リフレッシュタイムコンスタントレジスタ (RTCOR)	11-42
11.4.9	SDRAM モードレジスタ 2、3 (SDMR2、SDMR3)	11-42
11.5	動作説明	11-43
11.5.1	エンディアン / アクセスサイズとデータアライメント	11-43
11.5.2	通常空間インタフェース	11-48
11.5.3	アクセスウェイト制御	11-53
11.5.4	\overline{CSn} アサート期間拡張	11-55
11.5.5	SDRAM インタフェース	11-56
11.5.6	バースト ROM (クロック非同期) インタフェース	11-84
11.5.7	バイト選択付き SRAM インタフェース	11-85
11.5.8	PCMCIA インタフェース	11-90
11.5.9	アクセスサイクル間ウェイト	11-96
11.5.10	バスアービトレーション	11-96
11.6	使用上の注意事項	11-98
12.	ダイレクトメモリアクセスコントローラ (DMAC)	12-1
12.1	特長	12-1

12.2	入出力端子	12-3
12.3	レジスタの説明	12-3
12.3.1	DMA ソースアドレスレジスタ _{0~5} (SAR _{0~5})	12-6
12.3.2	DMA ソースアドレスレジスタ B _{0~3} (SARB _{0~3})	12-6
12.3.3	DMA デスティネーションアドレスレジスタ _{0~5} (DAR _{0~5})	12-7
12.3.4	DMA デスティネーションアドレスレジスタ B _{0~3} (DARB _{0~3})	12-7
12.3.5	DMA トランスファカウントレジスタ _{0~5} (TCR _{0~5})	12-8
12.3.6	DMA トランスファカウントレジスタ B _{0~3} (TCRB _{0~3})	12-8
12.3.7	DMA チャンネルコントロールレジスタ _{0~5} (CHCR _{0~5})	12-9
12.3.8	DMA オペレーションレジスタ (DMAOR)	12-14
12.3.9	DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)	12-16
12.4	動作説明	12-18
12.4.1	DMA 転送要求	12-18
12.4.2	チャンネルの優先順位	12-22
12.4.3	DMA 転送の種類	12-25
12.4.4	転送フロー	12-30
12.4.5	リピートモード転送	12-32
12.4.6	リロードモード転送	12-33
12.4.7	DREQ 端子のサンプリングタイミング	12-33
12.5	使用上の注意	12-37
12.5.1	周辺モジュールの DMA 転送について	12-37
12.5.2	モジュールストップについて	12-37
12.5.3	アドレスエラーについて	12-37
12.5.4	バーストモード転送時の注意	12-37
12.5.5	DMA 拡張リソースセクタの設定について	12-37
12.5.6	DMAC フラグビット使用上の注意	12-37
12.5.7	DMA 転送の中断後の再開について	12-38
13.	クロックパルス発振器 (CPG)	13-1
13.1	特長	13-1
13.2	入出力端子	13-4
13.3	クロック動作モード	13-4
13.4	レジスタの説明	13-5
13.4.1	周波数制御レジスタ (FRQCR)	13-5
13.4.2	PLL 制御レジスタ (PLLCR)	13-8
13.4.3	IrDA クロック制御レジスタ (IrDACLKCR)	13-8
13.4.4	発振安定期間監視タイマ制御レジスタ (OSCWTCR)	13-9
13.5	周波数変更方法	13-11
13.5.1	PLL 回路通倍率の変更	13-11
13.5.2	分周率の変更	13-11

13.5.3	クロック動作モードの変更.....	13-11
13.5.4	PLL 回路の ON / OFF 切り替え.....	13-11
13.6	ソフトウェアスタンバイ解除時の内部水晶発振安定時間確保の手順.....	13-11
13.7	ボード設計上の注意事項.....	13-12
14.	リセット、低消費電力モード.....	14-1
14.1	特長.....	14-1
14.1.1	低消費電力モードの種類.....	14-1
14.2	入出力端子.....	14-2
14.3	レジスタの説明.....	14-2
14.3.1	スタンバイコントロールレジスタ (STBCR).....	14-3
14.3.2	モジュールストップレジスタ 0 (MSTPCR0).....	14-3
14.3.3	モジュールストップレジスタ 1 (MSTPCR1).....	14-7
14.3.4	モジュールストップレジスタ 2 (MSTPCR2).....	14-8
14.4	動作説明.....	14-10
14.4.1	リセット.....	14-10
14.4.2	スリープモード.....	14-11
14.4.3	ソフトウェアスタンバイモード.....	14-12
14.4.4	モジュールスタンバイ機能.....	14-13
14.4.5	各種モード間の状態遷移.....	14-13
14.4.6	出力端子の変化タイミング.....	14-14
15.	RCLK ウォッチドッグタイマ (RWDТ).....	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-2
15.3	レジスタの説明.....	15-2
15.3.1	RCLK ウォッチドッグタイマカウンタ (RWTCNT).....	15-2
15.3.2	RCLK ウォッチドッグタイマコントロール / ステータスレジスタ (RWTC SR).....	15-3
15.3.3	レジスタアクセス時の注意.....	15-4
15.4	RWDТの使用方法.....	15-5
15.4.1	暴走制御.....	15-5
16.	16 ビットタイムパルスユニット (TPU).....	16-1
16.1	特長.....	16-1
16.2	ブロック図.....	16-3
16.3	入出力端子.....	16-4
16.4	レジスタの説明.....	16-5
16.4.1	タイマコントロールレジスタ (TPUn_TCR).....	16-8
16.4.2	タイマモードレジスタ (TPUn_TMDR).....	16-9
16.4.3	タイマ I/O コントロールレジスタ (TPUn_TIOR).....	16-10

16.4.4	タイムインタラプトイネーブルレジスタ (TPUn_TIER)	16-12
16.4.5	タイムステータスレジスタ (TPUn_TSR)	16-13
16.4.6	タイマカウンタ (TPUn_TCNT)	16-14
16.4.7	タイマジェネラルレジスタ (TPUn_TGR)	16-14
16.4.8	タイムスタートレジスタ (TPUn_TSTR)	16-14
16.5	動作説明	16-15
16.5.1	概要	16-15
16.5.2	基本機能	16-16
16.5.3	バッファ動作	16-20
16.5.4	PWM モード	16-22
17.	リアルタイムクロック (RTC)	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-3
17.3.1	64Hz カウンタ (R64CNT)	17-4
17.3.2	秒カウンタ (RSECCNT)	17-5
17.3.3	分カウンタ (RMINCNT)	17-6
17.3.4	時カウンタ (RHRCNT)	17-6
17.3.5	曜日カウンタ (RWKCNT)	17-7
17.3.6	日カウンタ (RDAYCNT)	17-8
17.3.7	月カウンタ (RMONCNT)	17-8
17.3.8	年カウンタ (RYRCNT)	17-9
17.3.9	秒アラームレジスタ (RSECAR)	17-10
17.3.10	分アラームレジスタ (RMINAR)	17-10
17.3.11	時アラームレジスタ (RHRAR)	17-11
17.3.12	曜日アラームレジスタ (RWKAR)	17-11
17.3.13	日アラームレジスタ (RDAYAR)	17-12
17.3.14	月アラームレジスタ (RMONAR)	17-13
17.3.15	年アラームレジスタ (RYRAR)	17-13
17.3.16	RTC コントロールレジスタ 1 (RCR1)	17-14
17.3.17	RTC コントロールレジスタ 2 (RCR2)	17-15
17.3.18	RTC コントロールレジスタ 3 (RCR3)	17-17
17.4	動作説明	17-17
17.4.1	電源投入後のレジスタの初期設定	17-17
17.4.2	時刻設定手順	17-17
17.4.3	時刻読み出し手順	17-18
17.4.4	アラーム機能	17-19
17.5	使用上の注意事項	17-20
17.5.1	RTC カウント動作時のレジスタ書き込みについて	17-20

17.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について	17-20
17.5.3	レジスタ設定後のスタンバイ遷移について	17-20
17.5.4	水晶発振回路	17-21
17.5.5	30 秒調整機能の使用について	17-22
18.	タイマユニット (TMU)	18-1
18.1	特長	18-1
18.2	レジスタの説明	18-3
18.2.1	タイマスタートレジスタ (TSTR)	18-4
18.2.2	タイマコントロールレジスタ (TCR)	18-5
18.2.3	タイマコンスタントレジスタ (TCOR)	18-6
18.2.4	タイマカウンタ (TCNT)	18-6
18.3	動作説明	18-7
18.3.1	カウンタの動作	18-7
18.4	割り込み	18-9
18.4.1	ステータスフラグのセットタイミング	18-9
18.4.2	ステータスフラグのクリアタイミング	18-9
18.4.3	割り込み要因と優先順位	18-10
18.5	使用上の注意事項	18-10
18.5.1	レジスタの書き込みについて	18-10
18.5.2	レジスタの読み出しについて	18-10
19.	コンペアマッチタイマ (CMT)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-3
19.3.1	コンペアマッチタイマスタートレジスタ (CMSTR)	19-4
19.3.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	19-5
19.3.3	コンペアマッチタイマカウンタ (CMCNT)	19-6
19.3.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	19-6
19.4	動作説明	19-7
19.4.1	カウンタ動作	19-7
19.4.2	カウンタサイズ	19-8
19.4.3	CMCNT カウントタイミング	19-8
19.4.4	DMA 転送要求と CPU への内部割り込み要求	19-8
19.4.5	コンペアマッチフラグのセットタイミング	19-9
20.	I ² C バスインタフェース (IIC)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3

20.3	レジスタの説明	20-4
20.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	20-5
20.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	20-7
20.3.3	I ² C バスモードレジスタ (ICMR)	20-8
20.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	20-9
20.3.5	I ² C バスステータスレジスタ (ICSR)	20-11
20.3.6	スレーブアドレスレジスタ (SAR)	20-13
20.3.7	I ² C バス送信データレジスタ (ICDRT)	20-13
20.3.8	I ² C バス受信データレジスタ (ICDRR)	20-13
20.3.9	I ² C バスシフトレジスタ (ICDRS)	20-14
20.3.10	NF2CYC レジスタ (NF2CYC)	20-14
20.4	動作説明	20-15
20.4.1	I ² C バスフォーマット	20-15
20.4.2	マスタ送信動作	20-16
20.4.3	マスタ受信動作	20-18
20.4.4	スレーブ送信動作	20-20
20.4.5	スレーブ受信動作	20-21
20.4.6	ノイズ除去回路	20-23
20.4.7	使用例	20-24
20.5	割り込み要求	20-28
20.6	ビット同期回路	20-28
20.7	使用上の注意事項	20-30
20.7.1	マルチマスタで使用時の転送レート設定値の制限について	20-30
20.7.2	マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について	20-30
20.7.3	マスタ受信モードの注意事項について	20-30
20.7.4	マスタ受信モード、ACKBT 設定時の注意	20-31
20.7.5	停止 / 開始条件発行時の注意	20-31
21.	シリアル I/O FIFO 付き (SIOF)	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	モードレジスタ (SIMDR)	21-5
21.3.2	コントロールレジスタ (SICTR)	21-7
21.3.3	送信データレジスタ (SITDR)	21-9
21.3.4	受信データレジスタ (SIRDR)	21-9
21.3.5	送信制御データレジスタ (SITCR)	21-10
21.3.6	受信制御データレジスタ (SIRCR)	21-11
21.3.7	ステータスレジスタ (SISTR)	21-11
21.3.8	割り込み許可レジスタ (SIHER)	21-16

21.3.9	FIFO コントロールレジスタ (SIFCTR)	21-17
21.3.10	クロックセレクトレジスタ (SISCR)	21-19
21.3.11	送信データアサインレジスタ (SITDAR)	21-20
21.3.12	受信データアサインレジスタ (SIRDAR)	21-21
21.3.13	制御データアサインレジスタ (SICDAR)	21-22
21.4	動作説明	21-23
21.4.1	シリアルクロック	21-23
21.4.2	シリアルタイミング	21-24
21.4.3	転送データフォーマット	21-25
21.4.4	転送データのレジスタ割り付け	21-27
21.4.5	制御データインタフェース	21-29
21.4.6	FIFO	21-30
21.4.7	送受信手順	21-32
21.4.8	割り込み	21-37
21.4.9	送受信タイミング	21-38
21.5	使用上の注意	21-43
21.5.1	スリープモード受信時の注意事項	21-43
21.5.2	転送中断時の注意事項	21-43
22.	FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-4
22.3.1	レシーブシフトレジスタ (SCRSR)	22-7
22.3.2	レシーブ FIFO データレジスタ (SCFRDR)	22-7
22.3.3	トランスミットシフトレジスタ (SCTSR)	22-7
22.3.4	トランスミット FIFO データレジスタ (SCFTDR)	22-7
22.3.5	シリアルモードレジスタ (SCSMR)	22-8
22.3.6	シリアルコントロールレジスタ (SCSCR)	22-10
22.3.7	シリアルステータスレジスタ (SCFSR)	22-12
22.3.8	ビットレートレジスタ (SCBRR)	22-17
22.3.9	FIFO コントロールレジスタ (SCFCR)	22-18
22.3.10	FIFO データ数レジスタ (SCFDR)	22-20
22.3.11	ラインステータスレジスタ (SCLSR)	22-21
22.4	動作説明	22-22
22.4.1	概要	22-22
22.4.2	調歩同期式モードの動作	22-23
22.4.3	クロック同期式モードの動作	22-33
22.5	SCIF割り込み要因とDMAC	22-41
22.6	使用上の注意事項	22-42

23. FIFO 内蔵シリアルコミュニケーション インタフェース A (SCIFA)	23-1
23.1 特長	23-1
23.2 入出力端子	23-4
23.3 レジスタの説明	23-5
23.3.1 レシーブシフトレジスタ (SCARSR)	23-7
23.3.2 レシーブ FIFO データレジスタ (SCAFRDR)	23-7
23.3.3 トランスミットシフトレジスタ (SCATSR)	23-7
23.3.4 トランスミット FIFO データレジスタ (SCAFTDR)	23-8
23.3.5 シリアルモードレジスタ (SCASMR)	23-8
23.3.6 シリアルコントロールレジスタ (SCASCRC)	23-10
23.3.7 FIFO エラー数レジスタ (SCAFER)	23-13
23.3.8 シリアルステータスレジスタ (SCASSR)	23-14
23.3.9 ビットレートレジスタ (SCABRR)	23-19
23.3.10 FIFO コントロールレジスタ (SCAFRCR)	23-21
23.3.11 FIFO データ数レジスタ (SCAFDR)	23-23
23.3.12 トランスミットデータストップレジスタ (SCATDSR)	23-23
23.4 動作説明	23-24
23.4.1 概要	23-24
23.4.2 調歩同期モード	23-24
23.4.3 調歩同期モードのシリアル動作	23-25
23.4.4 クロック同期モード	23-34
23.4.5 クロック同期モードのシリアル動作	23-35
23.5 割り込み要因とDMAC	23-45
23.6 使用上の注意事項	23-46
24. IrDA インタフェース (IrDA)	24-1
24.1 特長	24-1
24.2 入出力端子	24-2
24.3 レジスタの説明	24-3
24.3.1 DMA 受信割り込み要因クリアレジスタ (IRIF_RINTCLR)	24-6
24.3.2 DMA 送信割り込み要因クリアレジスタ (IRIF_TINTCLR)	24-6
24.3.3 IrDA-SIR10 コントロールレジスタ (IRIF_SIR0)	24-7
24.3.4 IrDA-SIR10 ボーレート誤差補正レジスタ (IRIF_SIR1)	24-7
24.3.5 IrDA-SIR10 ボーレートカウンタ設定レジスタ (IRIF_SIR2)	24-8
24.3.6 IrDA-SIR10 ステータスレジスタ (IRIF_SIR3)	24-9
24.3.7 ハードウェアフレーム処理設定レジスタ (IRIF_SIR_FRM)	24-9
24.3.8 EOF 値設定レジスタ (IRIF_SIR_EOF)	24-10
24.3.9 フラグクリアレジスタ (IRIF_SIR_FLG)	24-10
24.3.10 UART ステータスレジスタ 2 (IRIF_SIR_STS2)	24-10
24.3.11 UART コントロールレジスタ (IRIF_UART0)	24-11

24.3.12	UART ステータスレジスタ (IRIF_UART1)	24-12
24.3.13	UART モードレジスタ (IRIF_UART2)	24-13
24.3.14	UART 送信データレジスタ (IRIF_UART3)	24-14
24.3.15	UART 受信データレジスタ (IRIF_UART4)	24-14
24.3.16	UART 割り込みマスクレジスタ (IRIF_UART5)	24-15
24.3.17	UART ポーレート誤差補正レジスタ (IRIF_UART6)	24-16
24.3.18	UART ポーレートカウンタレジスタ (IRIF_UART7)	24-16
24.3.19	CRC エンジンコントロールレジスタ (IRIF_CRC0)	24-17
24.3.20	CRC エンジン入力データレジスタ (IRIF_CRC1)	24-17
24.3.21	CRC エンジン演算レジスタ (IRIF_CRC2)	24-18
24.3.22	CRC エンジン出力データレジスタ 1 (IRIF_CRC3)	24-18
24.3.23	CRC エンジン出力データレジスタ 2 (IRIF_CRC4)	24-18
24.4	機能説明	24-19
24.4.1	UART	24-19
24.4.2	発受光パルス変復調動作	24-22
24.4.3	CRC エンジン	24-25
24.4.4	送受信フロー	24-26
24.5	データ送受信における注意事項	24-30
25.	SIM カードモジュール (SIM)	25-1
25.1	特長	25-1
25.2	入出力端子	25-2
25.3	レジスタの説明	25-3
25.3.1	シリアルモードレジスタ (SCSMR)	25-4
25.3.2	ビットレートレジスタ (SCBRR)	25-5
25.3.3	シリアルコントロールレジスタ (SCSCR)	25-5
25.3.4	トランスミットシフトレジスタ (SCTSR)	25-7
25.3.5	トランスミットデータレジスタ (SCTDR)	25-7
25.3.6	シリアルステータスレジスタ (SCSSR)	25-8
25.3.7	レシーブシフトレジスタ (SCRSR)	25-12
25.3.8	レシーブデータレジスタ (SCRDR)	25-12
25.3.9	スマートカードモードレジスタ (SCSCMR)	25-12
25.3.10	シリアルコントロール 2 レジスタ (SCSC2R)	25-14
25.3.11	ガードエクステンションレジスタ (SCGRD)	25-14
25.3.12	ウェイトタイムレジスタ (SCWAIT)	25-15
25.3.13	サンプルレジスタ (SCSMPL)	25-15
25.3.14	DMA イネーブルレジスタ (SCDMAEN)	25-16
25.4	動作説明	25-16
25.4.1	概要	25-16
25.4.2	データフォーマット	25-17

25.4.3	レジスタ設定	25-18
25.4.4	クロック	25-20
25.4.5	データの送信 / 受信動作	25-21
25.5	使用上の注意事項	25-28
26.	A/D 変換器 (ADC)	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-3
26.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	26-4
26.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	26-4
26.4	動作説明	26-7
26.4.1	シングルモード	26-7
26.4.2	マルチモード	26-9
26.4.3	スキャンモード	26-11
26.4.4	入力サンプリングと A/D 変換時間	26-13
26.4.5	外部トリガ入力タイミング	26-14
26.5	割り込み要求	26-14
26.6	A/D 変換精度の定義	26-15
26.7	使用上の注意事項	26-16
26.7.1	許容信号源インピーダンスについて	26-16
26.7.2	絶対精度への影響	26-16
26.7.3	アナログ電源端子他の設定範囲	26-17
26.7.4	ボード設計上の注意事項	26-17
26.7.5	ノイズ対策上の注意事項	26-17
26.7.6	AD 変換時の注意事項	26-17
27.	D/A 変換器 (DAC)	27-1
27.1	特長	27-1
27.2	入出力端子	27-2
27.3	レジスタの説明	27-2
27.3.1	D/A データレジスタ 0, 1 (DADR0, DADR1)	27-3
27.3.2	D/A コントロールレジスタ (DACR)	27-3
27.4	動作説明	27-4
28.	I/O ポート	28-1
28.1	レジスタの説明	28-1
28.2	ポート A	28-3
28.2.1	ポート A データレジスタ (PADR)	28-3
28.3	ポート B	28-4

28.3.1	ポート B データレジスタ (PBDR)	28-4
28.4	ポート C	28-5
28.4.1	ポート C データレジスタ (PCDR)	28-6
28.5	ポート D	28-7
28.5.1	ポート D データレジスタ (PDDR)	28-7
28.6	ポート E	28-8
28.6.1	ポート E データレジスタ (PEDR)	28-9
28.7	ポート F	28-10
28.7.1	ポート F データレジスタ (PFDR)	28-10
28.8	ポート G	28-11
28.8.1	ポート G データレジスタ (PGDR)	28-12
28.9	ポート H	28-13
28.9.1	ポート H データレジスタ (PHDR)	28-13
28.10	ポート J	28-15
28.10.1	ポート J データレジスタ (PJDR)	28-15
28.11	ポート K	28-16
28.11.1	ポート K データレジスタ (PKDR)	28-17
28.12	ポート L	28-18
28.12.1	ポート L データレジスタ (PLDR)	28-18
28.13	ポート M	28-19
28.13.1	ポート M データレジスタ (PMDR)	28-19
28.14	ポート N	28-20
28.14.1	ポート N データレジスタ (PNDR)	28-21
28.15	ポート Q	28-23
28.15.1	ポート Q データレジスタ (PQDR)	28-23
28.16	ポート R	28-24
28.16.1	ポート R データレジスタ (PRDR)	28-25
28.17	ポート S	28-26
28.17.1	ポート S データレジスタ (PSDR)	28-26
28.18	ポート T	28-27
28.18.1	ポート T データレジスタ (PTDR)	28-28
29.	ピンファンクションコントローラ (PFC)	29-1
29.1	概要	29-1
29.2	レジスタの説明	29-5
29.2.1	ポート A コントロールレジスタ (PACR)	29-7
29.2.2	ポート B コントロールレジスタ (PBCR)	29-8
29.2.3	ポート C コントロールレジスタ (PCCR)	29-10
29.2.4	ポート D コントロールレジスタ (PDCR)	29-11
29.2.5	ポート E コントロールレジスタ (PECR)	29-13

29.2.6	ポート F コントロールレジスタ (PFCR)	29-14
29.2.7	ポート G コントロールレジスタ (PGCR)	29-15
29.2.8	ポート H コントロールレジスタ (PHCR)	29-16
29.2.9	ポート J コントロールレジスタ (PJCR)	29-18
29.2.10	ポート K コントロールレジスタ (PKCR)	29-19
29.2.11	ポート L コントロールレジスタ (PLCR)	29-20
29.2.12	ポート M コントロールレジスタ (PMCR)	29-22
29.2.13	ポート N コントロールレジスタ (PNCR)	29-23
29.2.14	ポート Q コントロールレジスタ (PQCR)	29-24
29.2.15	ポート R コントロールレジスタ (PRCR)	29-25
29.2.16	ポート S コントロールレジスタ (PSCR)	29-26
29.2.17	ポート T コントロールレジスタ (PTCR)	29-27
29.2.18	ピンセレクトレジスタ A (PSELA)	29-28
29.2.19	ピンセレクトレジスタ B (PSELB)	29-30
29.2.20	ピンセレクトレジスタ C (PSELC)	29-31
29.2.21	I/O バッファ Hi-Z 制御レジスタ A (HIZCRA)	29-33
29.2.22	I/O バッファ Hi-Z 制御レジスタ B (HIZCRB)	29-34
29.2.23	I/O バッファ Hi-Z 制御レジスタ C (HIZCRC)	29-35
29.2.24	I/O バッファ Hi-Z 制御レジスタ D (HIZCRD)	29-37
29.2.25	I/O バッファ Hi-Z 制御レジスタ E (HIZCRE)	29-38
29.2.26	I/O バッファ Hi-Z 制御レジスタ F (HIZCRF)	29-39
29.2.27	ブルアップダウン制御レジスタ (PULCR)	29-40
29.2.28	PINT 制御レジスタ A (PINTCRA)	29-40
29.2.29	PINT 制御レジスタ B (PINTCRB)	29-42
30.	ユーザブ레이크コントローラ (UBC)	30-1
30.1	特長	30-1
30.2	レジスタの説明	30-3
30.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	30-4
30.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	30-10
30.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	30-12
30.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	30-13
30.2.5	マッチデータ設定レジスタ 1 (CDR1)	30-14
30.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	30-15
30.2.7	実行回数ブ레이크レジスタ 1 (CETR1)	30-15
30.2.8	チャンネルマッチフラグレジスタ (CCMFR)	30-16
30.2.9	ブ레이크コントロールレジスタ (CBCR)	30-17
30.3	動作説明	30-18
30.3.1	アクセスに関する用語の説明	30-18
30.3.2	ユーザブ레이크動作の流れ	30-18

30.3.3	命令フェッチサイクルブ레이크.....	30-20
30.3.4	オペランドアクセスサイクルブ레이크.....	30-21
30.3.5	シーケンシャルブ레이크.....	30-22
30.3.6	退避されるプログラムカウンタの値.....	30-23
30.4	ユーザブ레이크デバッグサポート機能.....	30-24
30.5	ユーザブ레이크使用例.....	30-25
30.6	使用上の注意事項.....	30-30
31.	ユーザデバッグインタフェース (H-UDI)	31-1
31.1	特長.....	31-1
31.2	入出力端子.....	31-3
31.3	レジスタの説明.....	31-4
31.3.1	インストラクションレジスタ (SDIR)	31-5
31.3.2	データレジスタ H、L (SDDRH、SDDRL)	31-5
31.3.3	割り込み要因レジスタ (SDINT)	31-6
31.3.4	バイパスレジスタ (SDBPR)	31-6
31.4	動作説明.....	31-7
31.4.1	バウンダリスキャン TAP コントローラ.....	31-7
31.4.2	TAP 制御.....	31-7
31.4.3	H-UDI リセット.....	31-9
31.4.4	H-UDI 割り込み.....	31-9
31.5	注意事項.....	31-9
32.	レジスタ一覧.....	32-1
32.1	レジスタアドレス一覧.....	32-1
32.2	各処理モードにおけるレジスタの状態.....	32-14
33.	電气的特性.....	33-1
33.1	絶対最大定格.....	33-1
33.2	電源投入および切断順序.....	33-2
33.3	DC特性.....	33-4
33.4	AC特性.....	33-6
33.4.1	クロックタイミング.....	33-7
33.4.2	制御信号タイミング.....	33-8
33.4.3	AC バスタイミング仕様.....	33-10
33.4.4	基本タイミング.....	33-12
33.4.5	バースト ROM タイミング.....	33-19
33.4.6	SDRAM タイミング.....	33-20
33.4.7	PCMCIA タイミング.....	33-39
33.4.8	周辺モジュール信号タイミング.....	33-43

33.4.9	16 ビットタイマパルスユニット (TPU)	33-44
33.4.10	RTC 信号タイミング	33-44
33.4.11	I ² C バスインタフェースタイミング	33-45
33.4.12	SIOF モジュール信号タイミング	33-46
33.4.13	SCIF/SCIFA モジュール信号タイミング	33-49
33.4.14	SIM モジュール信号タイミング	33-50
33.4.15	H-UDI 関連端子のタイミング	33-51
33.5	A/D変換器特性	33-53
33.6	D/A変換器特性	33-53
33.7	AC特性測定条件	33-54
付録	付録-1
A.	CPU動作モードレジスタ (CPUOPM)	付録-1
B.	命令プリフェッチとその副作用について	付録-3
C.	サブルーチン復帰投機実行	付録-4
D.	外形寸法図	付録-5
E.	リセット、低消費電力状態での端子状態および未使用時の端子処理	付録-6
索引	索引-1

図目次

1. 概要	
図 1.1 ブロック図	1-7
図 1.2 ピン配置図 (208 ピン LQFP)	1-8
2. プログラミングモデル	
図 2.1 データフォーマット	2-1
図 2.2 処理モード別の CPU レジスタ構成	2-4
図 2.3 汎用レジスタ	2-5
図 2.4 浮動小数点レジスタ	2-8
図 2.5 SZ ビットとエンディアンの関係	2-13
図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式	2-14
図 2.7 メモリ上のデータ形式	2-15
図 2.8 処理状態遷移図	2-16
4. パイプライン動作	
図 4.1 基本パイプライン	4-1
図 4.2 命令実行パターン (1)	4-3
図 4.2 命令実行パターン (2)	4-4
図 4.2 命令実行パターン (3)	4-5
図 4.2 命令実行パターン (4)	4-6
図 4.2 命令実行パターン (5)	4-7
図 4.2 命令実行パターン (6)	4-8
図 4.2 命令実行パターン (7)	4-9
図 4.2 命令実行パターン (8)	4-10
図 4.2 命令実行パターン (9)	4-11
5. 例外処理	
図 5.1 命令実行と例外処理	5-8
図 5.2 一般例外の受け付け順序の例	5-9
6. 浮動小数点ユニット (FPU)	
図 6.1 単精度浮動小数点フォーマット	6-2
図 6.2 倍精度浮動小数点フォーマット	6-2
図 6.3 単精度の NaN ビットパターン	6-4
図 6.4 浮動小数点レジスタ	6-7
図 6.5 SZ ビットとエンディアンの関係	6-9
7. メモリマネジメントユニット (MMU)	
図 7.1 MMU の役割	7-3
図 7.2 仮想アドレス空間 (MMUCR.AT = 0)	7-4
図 7.3 仮想アドレス空間 (MMUCR.AT = 1)	7-5
図 7.4 P4 領域	7-6

図 7.5	物理アドレス空間	7-7
図 7.6	UTLB の構成 (TLB 互換モード)	7-20
図 7.7	ページサイズとアドレスの関係 (TLB 互換モード)	7-22
図 7.8	ITLB の構成 (TLB 互換モード)	7-22
図 7.9	UTLB を用いたメモリアクセスフロー (TLB 互換モード)	7-23
図 7.10	ITLB を用いたメモリアクセスフロー (TLB 互換モード)	7-24
図 7.11	UTLB の構成 (TLB 拡張モード)	7-25
図 7.12	ページサイズとアドレスの関係 (TLB 拡張モード)	7-27
図 7.13	ITLB の構成 (TLB 拡張モード)	7-28
図 7.14	UTLB を用いたメモリアクセスフロー (TLB 拡張モード)	7-29
図 7.15	ITLB を用いたメモリアクセスフロー (TLB 拡張モード)	7-30
図 7.16	LDTLB 命令の動作 (TLB 互換モード)	7-32
図 7.17	LDTLB 命令の動作 (TLB 拡張モード)	7-33
図 7.18	メモリ割り付け ITLB アドレスアレイ	7-43
図 7.19	メモリ割り付け ITLB データアレイ (TLB 互換モード)	7-44
図 7.20	メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)	7-44
図 7.21	メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)	7-45
図 7.22	メモリ割り付け UTLB アドレスアレイ	7-46
図 7.23	メモリ割り付け UTLB データアレイ (TLB 互換モード)	7-47
図 7.24	メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)	7-48
図 7.25	メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)	7-49
8. キャッシュ		
図 8.1	オペランドキャッシュの構成	8-2
図 8.2	命令キャッシュの構成	8-3
図 8.3	ライトバックバッファの構成	8-13
図 8.4	ライトスルーバッファの構成	8-13
図 8.5	メモリ割り付け IC アドレスアレイ	8-20
図 8.6	メモリ割り付け IC データアレイ	8-21
図 8.7	メモリ割り付け OC アドレスアレイ	8-22
図 8.8	メモリ割り付け OC データアレイ	8-23
図 8.9	ストアキューの構成	8-24
10. 割り込みコントローラ (INTC)		
図 10.1	INTC のブロック図	10-2
図 10.2	IRL 割り込み接続例	10-19
図 10.3	割り込み動作フロー (CPUOPM.INTMU = 0 のとき)	10-24
図 10.4	割り込み動作フロー (CPUOPM.INTMU = 1 のとき)	10-25
11. バスステートコントローラ (BSC)		
図 11.1	バスステートコントローラのブロック図	11-3
図 11.2	アドレス空間	11-6
図 11.3	通常空間基本アクセス (アクセスウェイト 0)	11-48
図 11.4	通常空間連続アクセス例 1 バス幅 16 ビット、ロングワードアクセス、 CSnWCR.WM ビット = 0 (アクセスウェイト 0、サイクル間ウェイト 0)	11-49
図 11.5	通常空間連続アクセス例 2 バス幅 16 ビット、ロングワードアクセス、 CSnWCR.WM ビット = 1 (アクセスウェイト 0、サイクル間ウェイト 0)	11-50
図 11.6	32 ビットデータ幅 SRAM 接続例	11-51

図 11.7	16 ビットデータ幅 SRAM 接続例	11-52
図 11.8	8 ビットデータ幅 SRAM 接続例	11-52
図 11.9	通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)	11-53
図 11.10	通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)	11-54
図 11.11	$\overline{\text{CSn}}$ アサート期間拡張	11-55
図 11.12	32 ビットデータ幅 SDRAM 接続例	11-57
図 11.13	16 ビットデータ幅 SDRAM 接続例	11-58
図 11.14	バーストリード基本タイミング (オートプリチャージ)	11-67
図 11.15	バーストリードウェイト指定タイミング (オートプリチャージ)	11-68
図 11.16	シングルリードの基本タイミング (オートプリチャージ)	11-69
図 11.17	バーストライト基本タイミング (オートプリチャージ)	11-70
図 11.18	シングルライト基本タイミング (オートプリチャージ)	11-71
図 11.19	バーストリードタイミング (オートプリチャージなし)	11-73
図 11.20	バーストリードタイミング (バンクアクティブ、同一ロウアドレス)	11-74
図 11.21	バーストリードタイミング (バンクアクティブ、異なるロウアドレス)	11-75
図 11.22	シングルライトタイミング (オートプリチャージなし)	11-76
図 11.23	シングルライトタイミング (バンクアクティブ、同一ロウアドレス)	11-77
図 11.24	シングルライトタイミング (バンクアクティブ、異なるロウアドレス)	11-78
図 11.25	オートリフレッシュタイミング	11-79
図 11.26	セルフリフレッシュタイミング	11-80
図 11.27	パワーダウンモードでのアクセスタイミング	11-81
図 11.28	SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)	11-83
図 11.29	バースト ROM (クロック非同期) アクセス (バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)	11-85
図 11.30	BAS = 0 バイト選択付き SRAM 基本アクセスタイミング	11-86
図 11.31	BAS = 1 バイト選択付き SRAM 基本アクセスタイミング	11-87
図 11.32	BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)	11-88
図 11.33	32 ビットデータ幅バイト選択付き SRAM 接続例	11-89
図 11.34	16 ビットデータ幅バイト選択付き SRAM 接続例	11-89
図 11.35	PCMCIA インタフェース接続例	11-90
図 11.36	PCMCIA メモリカードインタフェース基本タイミング	11-91
図 11.37	PCMCIA メモリカードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1)	11-92
図 11.38	PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10)	11-93
図 11.39	PCMCIA I/O カードインタフェース基本タイミング	11-94
図 11.40	PCMCIA I/O カードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェイト 1)	11-95
図 11.41	PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 3)	11-95
図 11.42	バスアービトレーション	11-98
12. ダイレクトメモリアクセスコントローラ (DMAC)		
図 12.1	DMAC ブロック図	12-2
図 12.2	ラウンドロビンモード	12-23
図 12.3	ラウンドロビンモードでのチャネル優先順位	12-24
図 12.4	デュアルアドレスモードのデータフロー	12-26
図 12.5	デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)	12-27
図 12.6	サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)	12-27

図 12.7	サイクルスチールインタミットモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)	12-28
図 12.8	バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)	12-28
図 12.9	複数チャンネルが動作する場合のバス状態	12-30
図 12.10	DMA 転送フローチャート	12-31
図 12.11	リロード機能図	12-33
図 12.12	サイクルスチールモード、エッジ検出時の DREQ 入力検出タイミング例	12-34
図 12.13	サイクルスチールモード、レベル検出時の DREQ 入力検出タイミング例	12-34
図 12.14	バーストモード、エッジ検出時の DREQ 入力検出タイミング例	12-34
図 12.15	バーストモード、レベル検出時の DREQ 入力検出タイミング例	12-35
図 12.16	DMA 転送終了信号タイミング (サイクルスチール、レベル検出)	12-35
図 12.17	BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル 1、 16 ビットデバイスへのロングワードアクセス)	12-36
13. クロックパルス発振器 (CPG)		
図 13.1	CPG のブロック図	13-2
図 13.2	PLL 発振回路使用時の注意	13-12
14. リセット、低消費電力モード		
図 14.1	各モード間の状態遷移図	14-13
図 14.2	パワーオンリセット時の各端子の出力状態	14-14
図 14.3	ソフトウェアスタンバイ 割り込み復帰時の各端子の出力状態	14-14
15. RCLK ウォッチドッグタイマ (RWDT)		
図 15.1	RWDT のブロック図	15-1
図 15.2	RWTCNT、RWTCSR への書き込み	15-4
16. 16 ビットタイマパルスユニット (TPU)		
図 16.1	TPU (TPU0、TPU1) のブロック図	16-3
図 16.2	カウンタ動作設定手順例	16-16
図 16.3	フリーランニングカウンタの動作	16-17
図 16.4	周期カウンタの動作	16-17
図 16.5	コンペアマッチによる波形出力動作例	16-18
図 16.6	0 出力 / 1 出力の動作例	16-19
図 16.7	トグル出力の動作例	16-19
図 16.8	コンペアマッチバッファ動作	16-20
図 16.9	バッファ動作の設定手順例	16-20
図 16.10	バッファ動作例	16-21
図 16.11	PWM モードの設定手順例	16-22
図 16.12	PWM モードの動作例 (1)	16-23
図 16.13	PWM モードの動作例 (2)	16-23
17. リアルタイムクロック (RTC)		
図 17.1	RTC のブロック図	17-2
図 17.2	時刻設定手順	17-17
図 17.3	時刻読み出し手順	17-18
図 17.4	アラーム機能の使用手順	17-19
図 17.5	周期割り込み機能の使用手順	17-20
図 17.6	水晶発振回路接続例	17-21

	図 17.7 30 秒調整機能使用	17-22
18.	タイマユニット (TMU)	
	図 18.1 TMU のブロック図	18-2
	図 18.2 カウント動作設定手順例	18-7
	図 18.3 オートリロードカウンタの動作	18-8
	図 18.4 内部クロック動作時のカウントタイミング	18-8
	図 18.5 UNF のセットタイミング	18-9
	図 18.6 ステータスフラグのクリアタイミング	18-9
19.	コンペアマッチタイマ (CMT)	
	図 19.1 CMT のブロック図	19-2
	図 19.2 カウント動作 (ワンショット動作時)	19-7
	図 19.3 カウント動作 (フリーラン動作時)	19-8
	図 19.4 CMF セットタイミング	19-9
20.	I ² C バスインタフェース (IIC)	
	図 20.1 I ² C バスインタフェースのブロック図	20-2
	図 20.2 入出力端子の外部回路接続例	20-3
	図 20.3 I ² C バスフォーマット	20-15
	図 20.4 I ² C バスタイミング	20-15
	図 20.5 マスタ送信モード動作タイミング (1)	20-17
	図 20.6 マスタ送信モード動作タイミング (2)	20-17
	図 20.7 マスタ受信モード動作タイミング (1)	20-19
	図 20.8 マスタ受信モード動作タイミング (2)	20-19
	図 20.9 スレーブ送信モード動作タイミング (1)	20-20
	図 20.10 スレーブ送信モード動作タイミング (2)	20-21
	図 20.11 スレーブ受信モード動作タイミング (1)	20-22
	図 20.12 スレーブ受信モード動作タイミング (2)	20-22
	図 20.13 ノイズ除去回路のブロック図	20-23
	図 20.14 マスタ送信モードのフローチャート例	20-24
	図 20.15 マスタ受信モードのフローチャート例	20-25
	図 20.16 スレーブ送信モードのフローチャート例	20-26
	図 20.17 スレーブ受信モードのフローチャート例	20-27
	図 20.18 ビット同期回路のタイミング	20-29
21.	シリアル I/O FIFO 付き (SIOF)	
	図 21.1 SIOF のブロック図	21-2
	図 21.2 シリアルクロック供給	21-23
	図 21.3 シリアルデータ同期タイミング	21-24
	図 21.4 SIOF 送受信タイミング	21-25
	図 21.5 送受信データビットアライメント	21-27
	図 21.6 制御データビットアライメント	21-28
	図 21.7 制御データインタフェース (スロット位置)	21-29
	図 21.8 制御データインタフェース (セカンダリ FS)	21-30
	図 21.9 マスタ時送信動作例	21-32
	図 21.10 マスタ時受信動作例	21-33
	図 21.11 スレーブ時送信動作例	21-34

図 21.12	スレーブ時受信動作例	21-35
図 21.13	送受信タイミング (8 ビットモノラル - 1)	21-38
図 21.14	送受信タイミング (8 ビットモノラル - 2)	21-39
図 21.15	送受信タイミング (16 ビットモノラル)	21-39
図 21.16	送受信タイミング (16 ビットステレオ - 1)	21-40
図 21.17	送受信タイミング (16 ビットステレオ - 2)	21-40
図 21.18	送受信タイミング (16 ビットステレオ - 3)	21-41
図 21.19	送受信タイミング (16 ビットステレオ - 4)	21-41
図 21.20	送受信タイミング (16 ビットステレオ)	21-42
図 21.21	SIOF スレーブモード受信データサンプリングタイミング	21-43
22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)		
図 22.1	SCIF のブロック図	22-2
図 22.2	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	22-24
図 22.3	SCIF の初期化フローチャートの例	22-25
図 22.4	シリアル送信のフローチャートの例	22-26
図 22.5	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	22-28
図 22.6	モデムコントロール ($\overline{\text{CTS}}$) 時の動作例	22-28
図 22.7	シリアル受信のフローチャートの例 (1)	22-29
図 22.8	シリアル受信のフローチャートの例 (2)	22-30
図 22.9	SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	22-32
図 22.10	モデムコントロール ($\overline{\text{RTS}}$) 時の動作例	22-32
図 22.11	クロック同期式通信のデータフォーマット	22-33
図 22.12	SCIF の初期化フローチャートの例	22-34
図 22.13	シリアル送信のフローチャートの例	22-35
図 22.14	SCIF の送信時の動作例	22-36
図 22.15	シリアル受信のフローチャートの例 (1)	22-37
図 22.16	シリアル受信のフローチャートの例 (2)	22-38
図 22.17	SCIF の受信時の動作例	22-39
図 22.18	シリアル送受信のフローチャートの例	22-40
図 22.19	受信データサンプリングタイミング	22-42
23. FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)		
図 23.1	SCIFA のブロック図	23-3
図 23.2	SCIFA の初期化フローチャートの例	23-26
図 23.3	シリアル送信のフローチャートの例	23-27
図 23.4	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	23-29
図 23.5	送信データストップ機能の動作例	23-30
図 23.6	送信データストップ機能のフローチャート	23-30
図 23.7	シリアル受信のフローチャートの例 (1)	23-31
図 23.8	シリアル受信のフローチャートの例 (2)	23-32
図 23.9	SCIFA の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	23-33
図 23.10	$\overline{\text{CTS}}$ 制御の動作例	23-33
図 23.11	$\overline{\text{RTS}}$ 制御の動作例	23-34
図 23.12	クロック同期式通信のデータフォーマット	23-35
図 23.13	送信動作時の初期化フローチャートの例 (1)	23-36
図 23.14	受信動作時の初期化フローチャートの例 (2)	23-37

図 23.15	同時送受信時の初期化フローチャートの例 (3)	23-38
図 23.16	送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)	23-39
図 23.17	送信動作時のフローチャートの例 (2 回目以降の送信動作) (2)	23-40
図 23.18	受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)	23-41
図 23.19	受信動作時のフローチャートの例 (2 回目以降の受信動作) (2)	23-42
図 23.20	同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)	23-43
図 23.21	同時送受信動作時のフローチャートの例 (2 回目以降の送受信動作) (2)	23-44
図 23.22	受信データサンプリングタイミング	23-47
24. IrDA インタフェース (IrDA)		
図 24.1	IrDA のブロック図	24-2
図 24.2	送受信データフォーマット	24-19
図 24.3	データ送信タイミング	24-20
図 24.4	データ受信タイミング	24-21
図 24.5	赤外線発光 (送信) パルスデータエンコードタイミング	24-22
図 24.6	赤外線受光パルス (受信) データデコードタイミング	24-23
図 24.7	CRC エンジンの構成	24-25
図 24.8	CRC エンジンの動作	24-25
図 24.9	送信フロー	24-26
図 24.10	IrDA 送信 (CRC 演算) フロー	24-27
図 24.11	受信フロー	24-28
図 24.12	IrDA 受信 (CRC 演算) フロー	24-29
25. SIM カードモジュール (SIM)		
図 25.1	スマートカードインタフェース	25-2
図 25.2	スマートカードインタフェースのデータフォーマット	25-17
図 25.3	開始キャラクタの波形例	25-19
図 25.4	初期化のフロー例	25-22
図 25.5	送信処理フローの例	25-24
図 25.6	受信処理フローの例	25-26
図 25.7	スマートカードモード時の受信データサンプリングタイミング	25-28
図 25.8	スマートカードインタフェース受信モードの場合の再転送動作	25-30
図 25.9	スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)	25-30
図 25.10	High 出力機能タイムチャート	25-31
図 25.11	クロック停止、再起動手順	25-32
図 25.12	スマートカードインタフェース端子接続例	25-33
26. A/D 変換器 (ADC)		
図 26.1	A/D 変換器のブロック図	26-2
図 26.2	A/D 変換器の動作例 (シングルモード チャネル 1 選択時)	26-8
図 26.3	A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャネル選択時)	26-10
図 26.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャネル選択時)	26-12
図 26.5	A/D 変換タイミング	26-13
図 26.6	外部トリガ入力タイミング	26-14
図 26.7	A/D 変換精度の定義	26-15
図 26.8	アナログ入力回路の例	26-16
図 26.9	アナログ入力保護回路の例	26-18

☒ 33.13	バイト選択付き SRAM バスサイクル (CSnWCR.SW[1:0]=B'01、CSnWCR.HW[1:0]=B'01、外部ウェイト 1 挿入、BAS=0 (ライトサイクル UB、LB コントロール))	33-17
☒ 33.14	バイト選択付き SRAM バスサイクル (CSnWCR.SW[1:0]=B'01、CSnWCR.HW[1:0]=B'01、外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))	33-18
☒ 33.15	バースト ROM リードバスサイクル (ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)	33-19
☒ 33.16	SDRAM シングルリードバスサイクル (オートプリチャージモード、CAS レイテンシ 2、TRCD=1 サイクル、TRP=1 サイクル)	33-20
☒ 33.17	SDRAM シングルリードバスサイクル (オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=2 サイクル)	33-21
☒ 33.18	SDRAM バーストリードバスサイクル (シングルリード×8) (オートプリチャージモード、CAS レイテンシ 2、TRCD=1 サイクル、TRP=2 サイクル)	33-22
☒ 33.19	SDRAM バーストリードバスサイクル (シングルリード×8) (オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=1 サイクル)	33-23
☒ 33.20	SDRAM シングルライトバスサイクル (オートプリチャージモード、TRWL=1 サイクル)	33-24
☒ 33.21	SDRAM シングルライトバスサイクル (オートプリチャージモード、TRCD=3 サイクル、TRWL=1 サイクル)	33-25
☒ 33.22	SDRAM バーストライトバスサイクル (シングルライト×8) (オートプリチャージモード、TRCD=1 サイクル、TRWL=1 サイクル)	33-26
☒ 33.23	SDRAM バーストライトバスサイクル (シングルライト×8) (オートプリチャージモード、TRCD=2 サイクル、TRWL=1 サイクル)	33-27
☒ 33.24	SDRAM バーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：ACTV+READ コマンド、CAS レイテンシ 2、TRCD=1 サイクル)	33-28
☒ 33.25	SDRAM バーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2、TRCD=1 サイクル)	33-29
☒ 33.26	SDRAM バーストリードバスサイクル (シングルリード×8) (バンクアクティブモード：PRE+ACTV+READ コマンド、異なるロウアドレス、CAS レイテンシ 2、TRCD=1 サイクル)	33-30
☒ 33.27	SDRAM バーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル)	33-31
☒ 33.28	SDRAM バーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル)	33-32
☒ 33.29	SDRAM バーストライトバスサイクル (シングルライト×8) (バンクアクティブモード、PRE+ACTV+WRIT コマンド、TRCD=1 サイクル)	33-33
☒ 33.30	SDRAM オートリフレッシュタイミング (TRP=2 サイクル)	33-34
☒ 33.31	SDRAM セルフリフレッシュタイミング (TRP=2 サイクル)	33-35
☒ 33.32	SDRAM パワーオンシーケンス (モードライトタイミング、TRP=2 サイクル)	33-36
☒ 33.33	SDRAM パワーダウンモードライトリードバスサイクル (オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、TRWL=1 サイクル)	33-37
☒ 33.34	SDRAM パワーダウンモードライトリードバスサイクル (オートプリチャージモード、TRCD=1 サイクル、TRP=1 サイクル、TRWL=1 サイクル)	33-38
☒ 33.35	PCMCIA メモリカードインタフェースバスタイミング	33-39

図 33.36	PCMCIA メモリカードインタフェースバスタイミング (TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェイト 1、ハードウェイト 1)	33-40
図 33.37	PCMCIA I/O カードインタフェースバスタイミング	33-41
図 33.38	PCMCIA I/O カードインタフェースバスタイミング (TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェイト 1、ハードウェイト 1)	33-42
図 33.39	$\overline{\text{REFOUT}}$ 、 $\overline{\text{IRQOUT}}$ 遅延時間	33-42
図 33.40	I/O ポートタイミング	33-43
図 33.41	DREQ 入力タイミング (DREQ ローレベル検出)	33-43
図 33.42	DACK 出力タイミング	33-43
図 33.43	TPU 出力タイミング	33-44
図 33.44	RTC 用水晶発振器パワーオン時発振安定時間	33-44
図 33.45	I ² C バスインタフェース入出力タイミング	33-45
図 33.46	SIOF_MCLK 入力タイミング	33-46
図 33.47	SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)	33-47
図 33.48	SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)	33-47
図 33.49	SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)	33-48
図 33.50	SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)	33-48
図 33.51	SIOF 送受信タイミング (スレーブモード 1・スレーブモード 2 時)	33-49
図 33.52	SCIF/SCIFA モジュール信号タイミング	33-49
図 33.53	クロック同期式モード時の SCIF/SCIFA 入出力タイミング	33-50
図 33.54	SIM モジュール信号タイミング	33-51
図 33.55	TCK 入力タイミング	33-51
図 33.56	$\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	33-52
図 33.57	H-UDI データ転送タイミング	33-52
図 33.58	$\overline{\text{MPMD}}$ 入力タイミング	33-52
図 33.59	出力負荷回路	33-54

付録

図 B.1	命令のプリフェッチ例	付録-3
図 D.1	外形寸法図	付録-5

表目次

1. 概要	
表 1.1 本 LSI の特長	1-1
表 1.2 端子配置表	1-9
表 1.3 端子機能表	1-16
表 1.4 製品一覧	1-22
2. プログラミングモデル	
表 2.1 レジスタの初期値	2-3
表 2.2 FPU 例外処理に関連するビットの割り付け	2-13
3. 命令セット	
表 3.1 遅延分岐命令の実行順序	3-1
表 3.2 アドレッシングモードと実効アドレス	3-3
表 3.3 命令リストの表記	3-6
表 3.4 固定小数点転送命令	3-8
表 3.5 算術演算命令	3-9
表 3.6 論理演算命令	3-11
表 3.7 シフト命令	3-11
表 3.8 分岐命令	3-12
表 3.9 システム制御命令	3-13
表 3.10 浮動小数点単精度命令	3-15
表 3.11 浮動小数点倍精度命令	3-16
表 3.12 浮動小数点制御命令	3-16
表 3.13 浮動小数点グラフィック強化命令	3-17
4. パイプライン動作	
表 4.1 命令実行パターン表記説明	4-2
表 4.2 命令グループ	4-12
表 4.3 先行・後行掛け合わせ表	4-14
表 4.4 発行レートと実行ステート	4-16
5. 例外処理	
表 5.1 レジスタ構成	5-1
表 5.2 各処理モードにおけるレジスタの状態	5-1
表 5.3 例外一覧	5-7
表 5.4 UTLB プロテクション情報 (TLB 互換モードの場合)	5-14
表 5.5 UTLB プロテクション情報 (TLB 拡張モードの場合)	5-15
表 5.6 ITLB プロテクション情報 (TLB 互換モードの場合)	5-16
表 5.7 ITLB プロテクション情報 (TLB 拡張モードの場合)	5-16
6. 浮動小数点ユニット (FPU)	
表 6.1 浮動小数点のフォーマットとパラメータ	6-3

表 6.2	浮動小数点の範囲	6-3
表 6.3	FPU 例外処理に関連するビットの割り付け	6-10
7.	メモリマネジメントユニット (MMU)	
表 7.1	レジスタ構成	7-10
表 7.2	各処理状態におけるレジスタの状態	7-10
表 7.3	キャッシュサイズとシノニム問題の回避策	7-35
8.	キャッシュ	
表 8.1	キャッシュの特長	8-1
表 8.2	ストアキューの特長	8-1
表 8.3	レジスタ構成	8-4
表 8.4	各処理モードにおけるレジスタの状態	8-4
9.	内蔵メモリ	
表 9.1	IL メモリアドレス	9-1
表 9.2	レジスタ構成	9-2
表 9.3	各処理状態におけるレジスタの状態	9-2
表 9.4	内蔵メモリへのアクセスに対する保護機能による例外	9-5
10.	割り込みコントローラ (INTC)	
表 10.1	端子構成	10-3
表 10.2	レジスタ構成	10-3
表 10.3	各処理モードにおけるレジスタの状態	10-5
表 10.4	割り込み要求元と IPRA ~ IPRK	10-10
表 10.5	周辺モジュールからの割り込み要因と IMR0 ~ IMR12、IMCR0 ~ IMCR12 の対応	10-15
表 10.6	外部端子からの割り込み要因と優先順位	10-21
表 10.7	周辺モジュールからの割り込み要因と優先順位	10-22
表 10.8	割り込み応答時間	10-28
11.	バスステートコントローラ (BSC)	
表 11.1	端子構成	11-4
表 11.2	アドレスマップ 1 (CMNCR.MAP[1:0] = B'00)	11-7
表 11.3	アドレスマップ 2 (CMNCR.MAP[1:0] = B'01)	11-8
表 11.4	アドレスマップ 3 (CMNCR.MAP[1:0] = B'10)	11-9
表 11.5	外部端子 (MD3) と CS0 メモリタイプ、メモリバス幅の対応	11-9
表 11.6	外部端子 (MD5) とデータアライメント対応	11-10
表 11.7	レジスタ構成	11-11
表 11.8	各処理モードにおけるレジスタの状態	11-12
表 11.9	32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	11-43
表 11.10	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	11-44
表 11.11	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	11-45
表 11.12	32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-46
表 11.13	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-46
表 11.14	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	11-47
表 11.15	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係 (1)	11-59
表 11.16	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係 (2)	11-60
表 11.17	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係 (3)	11-61
表 11.18	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係 (4)	11-62

表 11.19	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (5)	11-63
表 11.20	A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (6)	11-64
表 11.21	A3BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (7)	11-65
表 11.22	アクセスサイズとバースト数の関係	11-66
表 11.23	SDRAM モードレジスタライト時のアクセスアドレス	11-82
表 11.24	バス幅およびアクセスサイズとバースト数の関係	11-84
12. ダイレクトメモリアクセスコントローラ (DMAC)		
表 12.1	端子構成	12-3
表 12.2	レジスタ構成	12-3
表 12.3	各処理モードにおけるレジスタの状態	12-5
表 12.4	転送要求元一覧	12-17
表 12.5	DL、DS ビットによる外部リクエスト検出の選択	12-19
表 12.6	DO ビットによる外部リクエスト検出の選択	12-19
表 12.7	RS[3:0]ビットによる内蔵周辺モジュールリクエストモードの選択	12-20
表 12.8	サポートできる DMA 転送	12-25
表 12.9	DMA 転送区間とリクエストモード、バスモードとの関連一覧	12-29
13. クロックパルス発振器 (CPG)		
表 13.1	端子構成	13-4
表 13.2	クロック動作モード	13-4
表 13.3	レジスタ構成	13-5
表 13.4	各処理モードにおけるレジスタの状態	13-5
表 13.5	バイパスコンデンサ挿入位置	13-12
14. リセット、低消費電力モード		
表 14.1	低消費電力モードの状態	14-1
表 14.2	端子構成	14-2
表 14.3	レジスタ構成	14-2
表 14.4	各処理モードにおけるレジスタの状態	14-2
15. RCLK ウォッチドッグタイマ (RWDT)		
表 15.1	レジスタ構成	15-2
表 15.2	各処理モードにおけるレジスタの状態	15-2
16. 16 ビットタイマパルスユニット (TPU)		
表 16.1	TPU 機能一覧	16-2
表 16.2	端子構成	16-4
表 16.3	レジスタ構成	16-5
表 16.4	各処理モードにおけるレジスタの状態	16-7
表 16.5	TPU のクロックソース一覧	16-9
表 16.6	TPSC[2:0]ビットによるカウントクロックの選択	16-9
表 16.7	IOA[2:0]ビットによる TPU0_TO0 ~ 3 端子と TPU0_TGRA の設定	16-11
表 16.8	IOA[2:0]ビットによる TPU1_TO0、1 端子と TPU0_TGRA の設定	16-11
表 16.9	レジスタの組み合わせ	16-20
17. リアルタイムクロック (RTC)		
表 17.1	端子構成	17-3
表 17.2	レジスタ構成	17-3

表 17.3	各処理モードにおけるレジスタの状態	17-4
18.	タイマユニット (TMU)	
表 18.1	レジスタ構成	18-3
表 18.2	各処理モードにおけるレジスタの状態	18-3
表 18.3	TMU の割り込み要因	18-10
19.	コンペアマッチタイマ (CMT)	
表 19.1	レジスタ構成	19-3
表 19.2	各処理モードにおけるレジスタの状態	19-4
20.	I ² C バスインタフェース (IIC)	
表 20.1	端子構成	20-3
表 20.2	レジスタ構成	20-4
表 20.3	各処理モードにおけるレジスタの状態	20-5
表 20.4	転送レート	20-6
表 20.5	割り込み要求一覧	20-28
表 20.6	SCL をモニタする時間	20-30
21.	シリアル I/O FIFO 付き (SIOF)	
表 21.1	端子構成	21-3
表 21.2	レジスタ構成	21-4
表 21.3	各処理モードにおけるレジスタの状態	21-4
表 21.4	転送モードごとの動作	21-6
表 21.5	SIOF シリアルクロック周波数例	21-23
表 21.6	シリアル転送モード	21-25
表 21.7	フレーム長	21-26
表 21.8	送信データ音声モード	21-28
表 21.9	受信データ音声モード	21-28
表 21.10	制御データのチャンネル数設定	21-29
表 21.11	送信要求発行条件	21-31
表 21.12	受信要求発行条件	21-31
表 21.13	送受信リセット	21-36
表 21.14	SIOF 割り込み要因	21-37
22.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	
表 22.1	端子構成	22-3
表 22.2	レジスタ構成	22-4
表 22.3	各処理モードにおけるレジスタの状態	22-5
表 22.4	SCSMR の設定値	22-17
表 22.5	SCSMR の設定値とシリアル送信 / 受信フォーマット	22-23
表 22.6	シリアル送信 / 受信フォーマット (調歩同期式モード)	22-24
23.	FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)	
表 23.1	端子構成	23-4
表 23.2	レジスタ構成	23-5
表 23.3	各処理モードにおけるレジスタの状態	23-6
表 23.4	SCASMR の設定値	23-20
表 23.5	SCASMR の設定値とシリアル送信 / 受信フォーマット	23-24

表 23.6	シリアル送信 / 受信フォーマット	23-25
表 23.7	SCIFA の割り込み要因	23-45
24.	IrDA インタフェース (IrDA)	
表 24.1	端子構成	24-2
表 24.2	レジスタ構成	24-3
表 24.3	各処理モードにおけるレジスタの状態	24-4
25.	SIM カードモジュール (SIM)	
表 25.1	端子構成	25-2
表 25.2	レジスタ構成	25-3
表 25.3	各処理モードにおけるレジスタの状態	25-3
表 25.4	スマートカードインタフェースでのレジスタ設定	25-18
表 25.5	SCBRR の設定に対するビットレート (bits/秒) の例 (P = 19.8[MHz]、SCSMPL = 371)	25-20
表 25.6	スマートカードインタフェース割り込み要因	25-27
26.	A/D 変換器 (ADC)	
表 26.1	端子構成	26-3
表 26.2	レジスタ構成	26-3
表 26.3	各処理モードにおけるレジスタの状態	26-3
表 26.4	アナログ入力チャンネルと ADDR の対応	26-4
表 26.5	A/D 変換時間 (シングルモード)	26-14
表 26.6	アナログ端子の規格	26-18
27.	D/A 変換器 (DAC)	
表 27.1	端子構成	27-2
表 27.2	レジスタ構成	27-2
表 27.3	各処理モードにおけるレジスタの状態	27-2
28.	I/O ポート	
表 28.1	レジスタ構成	28-1
表 28.2	各処理モードにおけるレジスタの状態	28-2
表 28.3	ポート A データレジスタ (PADR) の読み出し / 書き込み動作	28-4
表 28.4	ポート B データレジスタ (PBDR) の読み出し / 書き込み動作	28-5
表 28.5	ポート C データレジスタ (PCDR) の読み出し / 書き込み動作	28-6
表 28.6	ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	28-8
表 28.7	ポート E データレジスタ (PEDR) の読み出し / 書き込み動作	28-9
表 28.8	ポート F データレジスタ (PFDR) の読み出し / 書き込み動作	28-11
表 28.9	ポート G データレジスタ (PGDR) の読み出し / 書き込み動作	28-12
表 28.10	ポート H データレジスタ (PHDR) の読み出し / 書き込み動作	28-14
表 28.11	ポート J データレジスタ (PJDR) の読み出し / 書き込み動作	28-16
表 28.12	ポート K データレジスタ (PKDR) の読み出し / 書き込み動作	28-17
表 28.13	ポート L データレジスタ (PLDR) の読み出し / 書き込み動作	28-19
表 28.14	ポート M データレジスタ (PMDR) の読み出し / 書き込み動作	28-20
表 28.15	ポート N データレジスタ (PNDR) の読み出し / 書き込み動作	28-21
表 28.16	ポート Q データレジスタ (PQDR) の読み出し / 書き込み動作	28-24
表 28.17	ポート R データレジスタ (PRDR) の読み出し / 書き込み動作	28-25
表 28.18	ポート S データレジスタ (PSDR) の読み出し / 書き込み動作	28-27
表 28.19	ポート T データレジスタ (PTDR) の読み出し / 書き込み動作	28-28

29. ピンファンクションコントローラ (PFC)	
表 29.1 マルチプレクスー覧表	29-1
表 29.2 レジスタ構成	29-5
表 29.3 各処理モードにおけるレジスタの状態	29-6
30. ユーザブ레이크コントローラ (UBC)	
表 30.1 レジスタ構成	30-3
表 30.2 各処理状態におけるレジスタの状態	30-3
表 30.3 マッチデータ設定レジスタの指定	30-14
表 30.4 オペランドサイズ指定と比較対象アドレス	30-21
31. ユーザデバッグインタフェース (H-UDI)	
表 31.1 H-UDI の端子構成	31-3
表 31.2 レジスタ構成 (1)	31-4
表 31.3 レジスタ構成 (2)	31-4
表 31.4 各処理状態におけるレジスタの状態	31-4
表 31.5 バウンダリスキャン TAP コントローラのサポートコマンド	31-7
32. レジスタ一覧	
表 32.1 レジスタ構成 (1)	32-1
表 32.1 レジスタ構成 (2)	32-2
表 32.1 レジスタ構成 (3)	32-13
表 32.2 各処理モードにおけるレジスタの状態 (1)	32-14
表 32.2 各処理モードにおけるレジスタの状態 (2)	32-14
表 32.2 各処理モードにおけるレジスタの状態 (3)	32-27
33. 電気的特性	
表 33.1 絶対最大定格	33-1
表 33.2 電源投入時間推奨値	33-2
表 33.3 電源切断時間推奨値	33-3
表 33.4 DC 特性 (1) 【共通項目】	33-4
表 33.4 DC 特性 (2-a) 【I ² C 関連端子をのぞく】	33-5
表 33.4 DC 特性 (2-b) 【I ² C 関連端子*】	33-5
表 33.5 出力許容電流値	33-6
表 33.6 動作周波数範囲	33-6
表 33.7 クロックタイミング	33-7
表 33.8 制御信号タイミング	33-8
表 33.9 バスタイミング	33-10
表 33.10 周辺モジュール信号タイミング	33-43
表 33.11 16 ビットタイムパルスユニット	33-44
表 33.12 RTC 信号タイミング	33-44
表 33.13 I ² C バスインタフェースタイミング	33-45
表 33.14 SIOF モジュール信号タイミング	33-46
表 33.15 SCIF/SCIFA モジュール信号タイミング (調歩同期)	33-49
表 33.16 SCIF/SCIFA モジュール信号タイミング (クロック同期)	33-50
表 33.17 SIM モジュール信号タイミング	33-50
表 33.18 H-UDI 関連端子のタイミング	33-51
表 33.19 A/D 変換器特性	33-53

表 33.20 D/A 変換器特性	33-53
-------------------------	-------

付録

表 E.1 端子状態および未使用時の処理	付録-6
表 E.2 CKO、CKE、RAS、CAS のバス解放時の端子状態	付録-14

1. 概要

1.1 本 LSI の特長

本 LSI は、32 ビット RISC タイプ Super H アーキテクチャの CPU をコアとして、浮動小数点ユニット (FPU : Floating Point Unit)、大容量 64K バイトキャッシュメモリ、16K バイトの内蔵メモリ、および割り込みコントローラなどを集積した RISC マイクロプロセッサです。

内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの接続が可能です。さらに、16 ビットタイマパルスユニット (TPU)、リアルタイムクロック (RTC)、コンペアマッチタイマ (CMT)、ステレオオーディオ録音再生機能インタフェース (SIOF)、I²C バスインタフェース (IIC)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、IrDA インタフェース (IrDA)、SIM カードインタフェース (SIM)、A/D 変換器、D/A 変換器を内蔵しています。

強力な内蔵パワー管理機能により、高速動作時にも電力消費を低く抑えることができます。本 LSI は、高速、低消費電力を同時に必要とするアプリケーションなどの電子機器に最適です。

本 LSI の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項目	特 長
CPU	<ul style="list-style-type: none">• ルネサス独自のアーキテクチャ• SH-1、SH-2、SH-3、SH-4 と命令セットレベルで上位互換• 32 ビット内部データバス• 汎用レジスタファイル<ul style="list-style-type: none">16 本の 32 ビット汎用レジスタ (8 本の 32 ビットシャドウレジスタ)7 本の 32 ビット制御レジスタ4 本の 32 ビットシステムレジスタ• RISC タイプ命令セット (SH-1、SH-2、SH-3、SH-4 と上位互換性あり)<ul style="list-style-type: none">命令長 : コードの効率改善のための 16 ビット固定長ロードストアアーキテクチャ遅延分岐命令条件付き実行C 言語に基づく命令セット• 2 命令同時実行型スーパスカラ• 命令実行時間 : 最大 2 命令 / サイクル• 仮想アドレス空間 : 4G バイト• 空間識別子 ASID : 8 ビット、256 仮想アドレス空間• 乗算器内蔵• 8 段パイプライン

項目	特 長
浮動小数点ユニット (FPU)	<ul style="list-style-type: none"> • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット × 16 レジスタ × 2 バンク (単精度 × 16 レジスタまたは倍精度 × 8 レジスタ) × 2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB): 1 サイクル (単精度 / 倍精度) ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています • 3D グラフィック命令 (単精度のみ) 4 次元ベクトル変換および行列演算 (FTRV): 4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積: 1 サイクル (ピッチ)、5 サイクル (レイテンシ) • 10 段パイプライン
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、64K、1M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能
キャッシュ メモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC) 32K バイト、4 ウェイセットアソシアティブ 32 バイトブロック長 • オペランドキャッシュ (OC) 32K バイト、4 ウェイセットアソシアティブ 32 バイトブロック長 • 選択可能な書き込み方式 (コピーバック / ライトスルー)

項目	特 長
内蔵メモリ (IL メモリ)	<ul style="list-style-type: none"> • 3本の独立した読み出し/書き込みポート CPU から命令フェッチアクセス CPU からの 8/16/32 ビットオペランドアクセス DMAC からの 8/16/32/64 ビットおよび 16/32 バイトアクセス • 容量 16K バイト
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 21本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0、PINTA7 ~ PINTA0、PINTB3 ~ PINTB0) NMI : 立ち下がり / 立ち上がり選択可能 IRQ : 立ち下がり / 立ち上がり / ハイレベル / ローレベル選択可能 • 15レベルの符号化した外部割り込み : $\overline{IRL3} \sim \overline{IRL0}$ (IRQ3 ~ IRQ0 と兼用) • 内蔵周辺割り込み : モジュールごとに優先順位を設定
バーステートコントローラ (BSC)	<ul style="list-style-type: none"> • 物理アドレス空間はそれぞれ最大 128M バイトの領域、最大 64M バイトの領域、および最大 32M バイトの領域をサポート • 各エリアには独立に次の機能を設定可能 <ul style="list-style-type: none"> - データバス幅 : 8/16/32 ビット (ただし、エリア 0 は 16/32 ビット) - アクセスウェイトサイクル数 : リード / ライトで独立ウェイト設定可のエリアあり - アイドルウェイトサイクル設定 : 同一エリア / 別エリア - エリアごとに接続するメモリを指定することによって SRAM、バースト ROM、SDRAM、バイト選択機能付 SRAM、PCMCIA をサポート - 該当する領域にチップセレクト信号 $\overline{CS0}$、$\overline{CS2} \sim \overline{CS4}$、$\overline{CS5A}/\overline{CS5B}$、$\overline{CS6A}/\overline{CS6B}$ を出力 • SDRAM <ul style="list-style-type: none"> - 最大 512M ビットのメモリを 2 個接続および最大 1G のビットのメモリを 1 個接続可能 - データバス幅 : 16 ビット / 32 ビット - オートリフレッシュ / セルフリフレッシュをサポート - オートプリチャージモード / バンクアクティブモード

項目	特 長
ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> • 6チャンネル内蔵、内2チャンネルは外部リクエスト受け付け可能 (チャンネル0/1) • アドレス空間：アーキテクチャ上は4Gバイト • データ転送長：バイト、ワード(2バイト)、ロングワード(4バイト)、8バイト、16バイト、32バイト • 最大転送回数：16,777,216回 • アドレスモード：デュアルアドレスモード • 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能 • バスモード：サイクルスチールモード(通常モードとインターミットモード)とバーストモードから選択可能 • 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能 • 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能 • リピート機能：DMA転送終了時に、転送元、転送先、転送回数を自動で再設定する機能 • リロード機能：指定回数分のDMA転送終了時に、転送元、転送先を自動で再設定する機能 • 外部リクエスト検出：DREQ入力ロー/ハイレベル検出、立ち上がり/立ち下がり検出から選択可能 • 転送要求受け付け信号：DACKおよびTENDはアクティブレベルを設定可能
クロックパルス 発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力 (EXTAL)、水晶振動子から選択可能 • 出力クロック：バスクロック (B) • 4種類のシステムクロックを生成 CPUクロック (I) : 最大 266.7MHz (266MHz品) 最大 200MHz (200MHz品) SH (SuperHyway) クロック (S) : 最大 133.4MHz バスクロック (B) : 最大 66.7MHz 周辺クロック (P) : 最大 33.4MHz • パワーダウンモードのサポート スリープモード ソフトウェアスタンバイモード モジュールスタンバイ機能
RCLK ウォッチドッグ タイマ (RWDT)	<ul style="list-style-type: none"> • 1チャンネルのウォッチドッグタイマ
16ビットタイマパルス ユニット (TPU)	<ul style="list-style-type: none"> • 6チャンネル16ビットタイマ • PWM機能サポート • 4種類のカウンタ入力クロック
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> • 時計/カレンダー機能 (BCD表示) • 30秒調整機能 • アラーム/周期/桁上げ割り込み • うるう年自動補正機能 <p>【注】 RTC以外の電源を切断しRTCだけを動作させることはできません。</p>

項目	特 長
タイマユニット (TMU)	<ul style="list-style-type: none"> • 32 ビットタイマ 3 チャンネル内蔵 • プリスケーラ内蔵 • オトリロード方式の 32 ビットダウンカウンタ
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • 32 ビットタイマ 5 チャンネル内蔵 (16 ビット / 32 ビット切り替え可) • プリスケーラ内蔵 • 全チャンネルコンペアマッチ機能内蔵 • 割り込み要求あり、DMAC 要求あり
I ² C バスインタフェース (IIC)	<ul style="list-style-type: none"> • 2 チャンネル内蔵 • マルチマスタ / スレーブ送受信対応
シリアル I/O FIFO 付 (SIOF)	<ul style="list-style-type: none"> • 1 チャンネル内蔵 • 送受信 FIFO おおの 64 バイト (32 ビット × 16 段) 内蔵 • 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応 • 外部端子からのサンプリングレートクロックを入力可 • プリスケーラ内蔵 • 割り込み要求あり、DMAC 要求あり
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> • 4 チャンネル内蔵 (SCIF0 ~ SCIF3) • 送受信 FIFO おおの 16 バイト (8 ビット × 16 段) 内蔵 • 調歩同期式モードおよびクロック同期式モードをサポート • モデムコントロール機能 (RTS、CTS) 内蔵 (チャンネル 2、3) • Bluetooth 対応の高速 UART • プリスケーラ内蔵 • 割り込み要求あり、DMAC 要求あり
FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)	<ul style="list-style-type: none"> • 2 チャンネル内蔵 (SCIF4、SCIF5) • 送受信 FIFO おおの 64 バイト (8 ビット × 64 段) 内蔵 • 調歩同期式モードおよびクロック同期式モードをサポート • モデムコントロール機能 (RTS、CTS) 内蔵 • Bluetooth 対応の高速 UART • プリスケーラ内蔵 • 割り込み要求あり、DMAC 要求あり
IrDA インタフェース (IrDA)	<ul style="list-style-type: none"> • 2 チャンネル内蔵 • バージョン 1.2a 対応

項目	特 長
SIM カード インタフェース (SIM)	<ul style="list-style-type: none"> • 1 チャンネル。ISO7816-3 データプロトコルに対応 (T=0、T=1) • 調歩同期式半二重キャラクタ伝送プロトコル • データ長 8 ビット • パリティビットの生成およびチェック • 1etu (Elementary time unit) 当たりの出力クロック数を選択可能 • ダイレクトコンベンション/インバースコンベンションの選択可能 • プリスケアラ内蔵 • アイドル時のクロック極性変更可 (ローまたはハイ) • 割り込み要求あり、DMAC 要求あり
A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 10 ビット ± 4LSB、4 チャンネル • 変換時間: 16 μs • 入力範囲: 0 ~ AV_{cc} (最大 3.6V)
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 10 ビット ± 4LSB、2 チャンネル • 変換時間: 10 μs • 出力範囲: 0 ~ AV_{cc} (最大 3.6V)
I/O ポート	<ul style="list-style-type: none"> • 17 組のポート (計 107 本) • 入出力兼用ポートはビットごとに入出力切り替え可能
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> • ユーザブレイク割り込みによるデバッグをサポート • 2 本のブレイクチャンネル • アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能 • シーケンシャルブレイク機能をサポート
ユーザデバッグインタ フェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • リアルタイム分岐トレース
パッケージ	<ul style="list-style-type: none"> • 208 ピン LQFP (PLQP0208KB-A)
電源電圧	<ul style="list-style-type: none"> • I/O: 3.3 \pm 0.3V • 内部: 1.2 \pm 0.1V
プロセス	<ul style="list-style-type: none"> • 90nm CMOS

1.2 ブロック図

ブロック図を図 1.1 に示します。

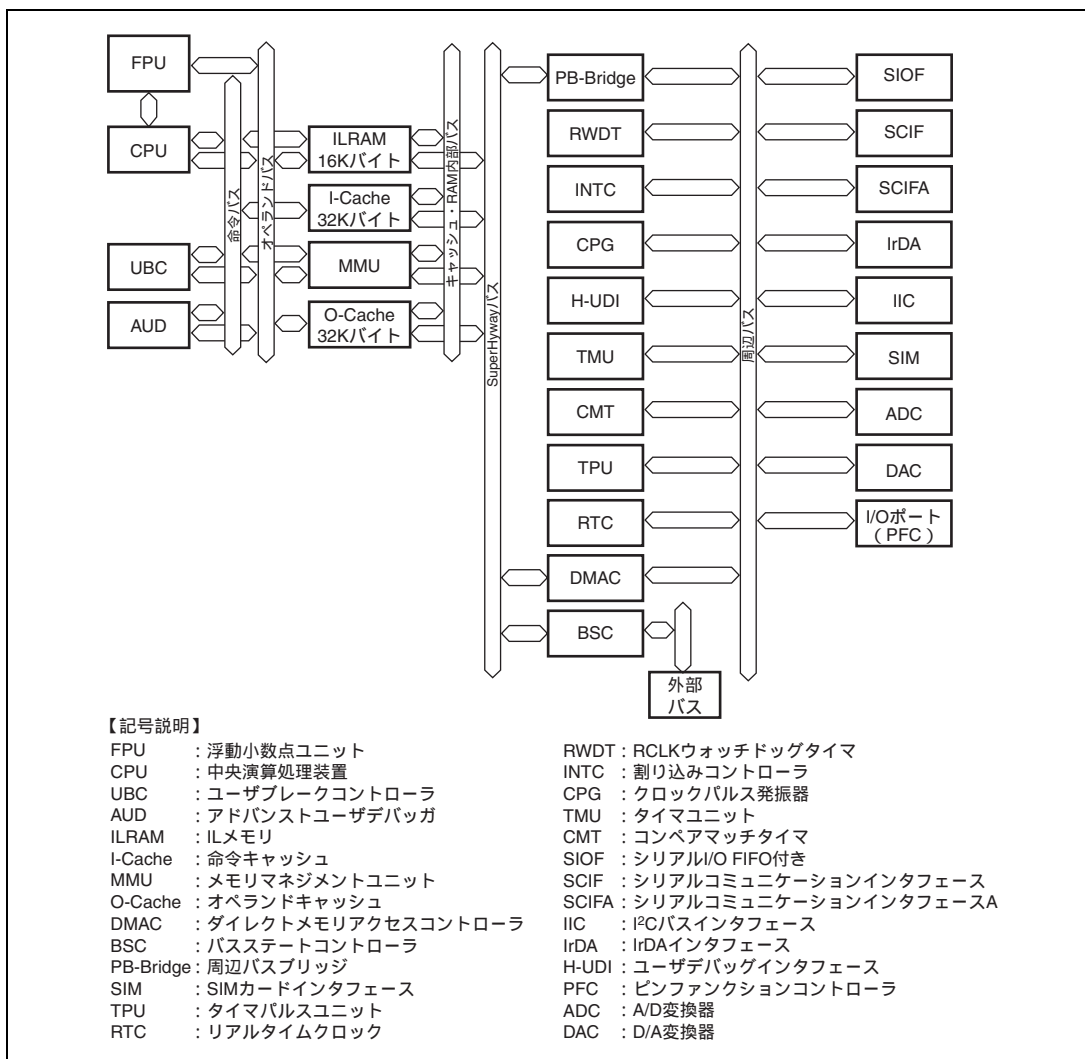


図 1.1 ブロック図

1.3 端子の説明

1.3.1 ピンの配置

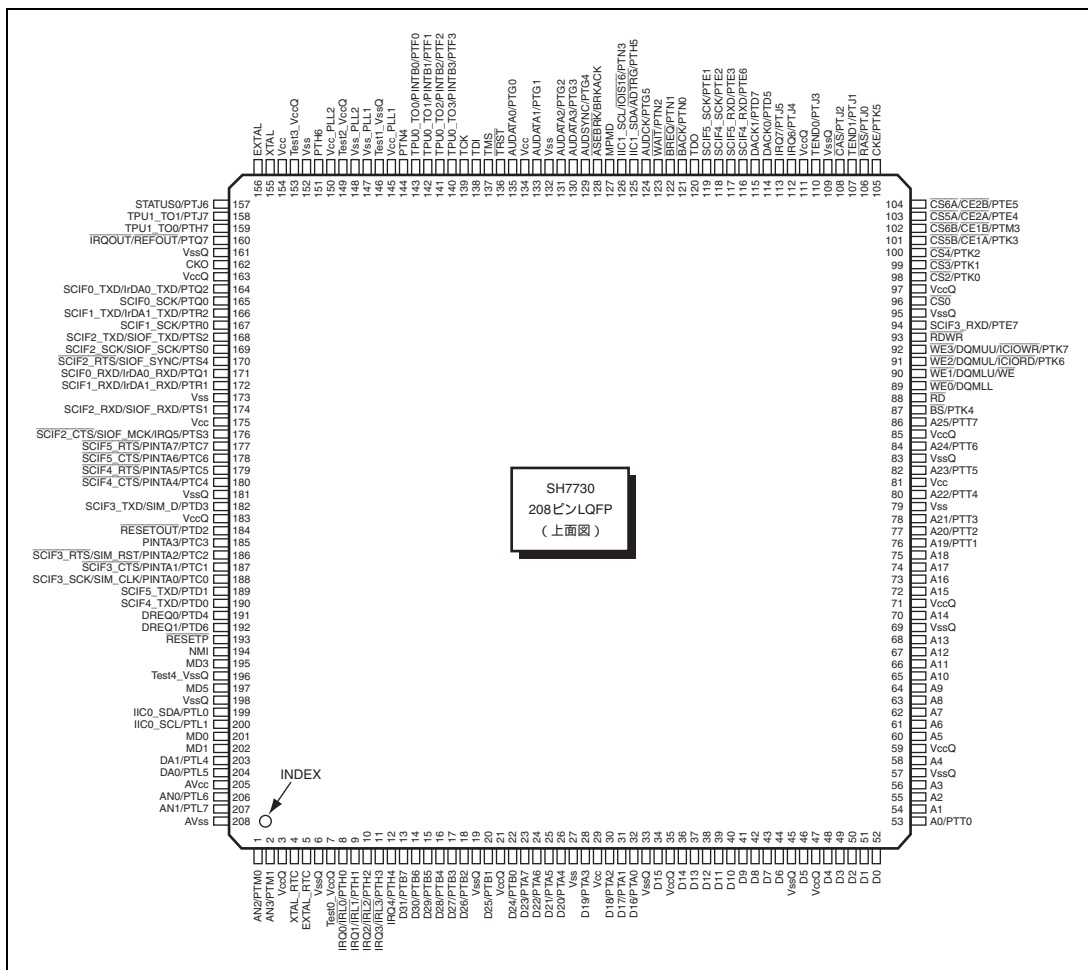


図 1.2 ピン配置図 (208ピン LQFP)

表 1.2 端子配置表

端子番号	端子名	入出力	機能	電源
1	AN2/PTM0	I/I	AD コンバータ入力 / 入力ポート M	AVcc
2	AN3/PTM1	I/I	AD コンバータ入力 / 入力ポート M	AVcc
3	VccQ	-	入出力用電源 (3.3V)	-
4	XTAL_RTC	O	RTC 用水晶振動子接続端子	VccQ
5	EXTAL_RTC	I	RTC 用水晶振動子接続端子	VccQ
6	VssQ	-	入出力用電源 (0V)	-
7	Test0_VccQ	I	テストモード 0	VccQ
8	IRQ0/IRL0/PTH0	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H	VccQ
9	IRQ1/IRL1/PTH1	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H	VccQ
10	IRQ2/IRL2/PTH2	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H	VccQ
11	IRQ3/IRL3/PTH3	I/I/I	外部割り込み要求 / 外部割り込み要求 / 入力ポート H	VccQ
12	IRQ4/PTH4	I/I	外部割り込み要求 / 入力ポート H	VccQ
13	D31/PTB7	IO/IO	データバス / 入出力ポート B	VccQ
14	D30/PTB6	IO/IO	データバス / 入出力ポート B	VccQ
15	D29/PTB5	IO/IO	データバス / 入出力ポート B	VccQ
16	D28/PTB4	IO/IO	データバス / 入出力ポート B	VccQ
17	D27/PTB3	IO/IO	データバス / 入出力ポート B	VccQ
18	D26/PTB2	IO/IO	データバス / 入出力ポート B	VccQ
19	VssQ	-	入出力用電源 (0V)	-
20	D25/PTB1	IO/IO	データバス / 入出力ポート B	VccQ
21	VccQ	-	入出力用電源 (3.3V)	-
22	D24/PTB0	IO/IO	データバス / 入出力ポート B	VccQ
23	D23/PTA7	IO/IO	データバス / 入出力ポート A	VccQ
24	D22/PTA6	IO/IO	データバス / 入出力ポート A	VccQ
25	D21/PTA5	IO/IO	データバス / 入出力ポート A	VccQ
26	D20/PTA4	IO/IO	データバス / 入出力ポート A	VccQ
27	Vss	-	内部電源 (0V)	-
28	D19/PTA3	IO/IO	データバス / 入出力ポート A	VccQ
29	Vcc	-	内部電源 (1.2V)	-
30	D18/PTA2	IO/IO	データバス / 入出力ポート A	VccQ
31	D17/PTA1	IO/IO	データバス / 入出力ポート A	VccQ
32	D16/PTA0	IO/IO	データバス / 入出力ポート A	VccQ
33	VssQ	-	入出力用電源 (0V)	-
34	D15	IO	データバス	VccQ

端子番号	端子名	入出力	機能	電源
35	VccQ	-	入出力用電源 (3.3V)	-
36	D14	IO	データバス	VccQ
37	D13	IO	データバス	VccQ
38	D12	IO	データバス	VccQ
39	D11	IO	データバス	VccQ
40	D10	IO	データバス	VccQ
41	D9	IO	データバス	VccQ
42	D8	IO	データバス	VccQ
43	D7	IO	データバス	VccQ
44	D6	IO	データバス	VccQ
45	VssQ	-	入出力用電源 (0V)	-
46	D5	IO	データバス	VccQ
47	VccQ	-	入出力用電源 (3.3V)	-
48	D4	IO	データバス	VccQ
49	D3	IO	データバス	VccQ
50	D2	IO	データバス	VccQ
51	D1	IO	データバス	VccQ
52	D0	IO	データバス	VccQ
53	A0/PTT0	O/IO	アドレスバス / 入出力ポート T	VccQ
54	A1	O	アドレスバス	VccQ
55	A2	O	アドレスバス	VccQ
56	A3	O	アドレスバス	VccQ
57	VssQ	-	入出力用電源 (0V)	-
58	A4	O	アドレスバス	VccQ
59	VccQ	-	入出力用電源 (3.3V)	-
60	A5	O	アドレスバス	VccQ
61	A6	O	アドレスバス	VccQ
62	A7	O	アドレスバス	VccQ
63	A8	O	アドレスバス	VccQ
64	A9	O	アドレスバス	VccQ
65	A10	O	アドレスバス	VccQ
66	A11	O	アドレスバス	VccQ
67	A12	O	アドレスバス	VccQ
68	A13	O	アドレスバス	VccQ
69	VssQ	-	入出力用電源 (0V)	-

端子番号	端子名	入出力	機能	電源
70	A14	O	アドレスバス	VccQ
71	VccQ	-	入出力用電源 (3.3V)	-
72	A15	O	アドレスバス	VccQ
73	A16	O	アドレスバス	VccQ
74	A17	O	アドレスバス	VccQ
75	A18	O	アドレスバス	VccQ
76	A19/PTT1	O/IO	アドレスバス / 入出力ポート T	VccQ
77	A20/PTT2	O/IO	アドレスバス / 入出力ポート T	VccQ
78	A21/PTT3	O/IO	アドレスバス / 入出力ポート T	VccQ
79	Vss	-	内部電源 (0V)	-
80	A22/PTT4	O/IO	アドレスバス / 入出力ポート T	VccQ
81	Vcc	-	内部電源 (1.2V)	-
82	A23/PTT5	O/IO	アドレスバス / 入出力ポート T	VccQ
83	VssQ	-	入出力用電源 (0V)	-
84	A24/PTT6	O/IO	アドレスバス / 入出力ポート T	VccQ
85	VccQ	-	入出力用電源 (3.3V)	-
86	A25/PTT7	O/IO	アドレスバス / 入出力ポート T	VccQ
87	BS/PTK4	O/IO	バスサイクル開始信号 / 入出力ポート K	VccQ
88	RD	O	リードストロープ	VccQ
89	WE0/DQMLL	O/O	D7 ~ D0 セレクト信号 / DQM (SDRAM)	VccQ
90	WE1/DQMLU/WE	O/O/O	D15 ~ D8 セレクト信号 / DQM (SDRAM) / PCMCIA ライトイネーブル	VccQ
91	WE2/DQMUL/ICIOR/PTK6	O/O/O/IO	D23 ~ D16 セレクト信号 / DQM (SDRAM) / PCMCIA/O リード / 入出力ポート K	VccQ
92	WE3/DQMUU/ICIOR/PTK7	O/O/O/IO	D31 ~ D24 セレクト信号 / DQM (SDRAM) / PCMCIA/O ライト / 入出力ポート K	VccQ
93	RDWR	O	リード / ライト	VccQ
94	SCIF3_RXD/PTE7	I/IO	SCIF3 受信データ / 入出力ポート E	VccQ
95	VssQ	-	入出力用電源 (0V)	-
96	CS0	O	チップセレクト 0	VccQ
97	VccQ	-	入出力用電源 (3.3V)	-
98	CS2/PTK0	O/IO	チップセレクト 2 / 入出力ポート K	VccQ
99	CS3/PTK1	O/IO	チップセレクト 3 / 入出力ポート K	VccQ
100	CS4/PTK2	O/IO	チップセレクト 4 / 入出力ポート K	VccQ
101	CS5B/CE1A/PTK3	O/O/IO	チップセレクト 5B / CE1 (エリア 5 PCMCIA) / 入出力ポート K	VccQ

端子番号	端子名	入出力	機能	電源
102	CS6B/CE1B/PTM3	O/O/IO	チップセレクト 6B / CE1 (エリア 6 PCMCIA) / 入出力ポート M	VccQ
103	CS5A/CE2A/PTE4	O/O/IO	チップセレクト 5A / CE2 (エリア 5 PCMCIA) / 入出力ポート E	VccQ
104	CS6A/CE2B/PTE5	O/O/IO	チップセレクト 6A / CE2 (エリア 6 PCMCIA) / 入出力ポート E	VccQ
105	CKE/PTK5	O/IO	CK イネーブル (SDRAM) / 入出力ポート K	VccQ
106	RAS/PTJ0	O/IO	RAS (SDRAM) / 入出力ポート J	VccQ
107	TEND1/PTJ1	O/IO	DMA 転送終了 / 入出力ポート J	VccQ
108	CAS/PTJ2	O/IO	CAS (SDRAM) / 入出力ポート J	VccQ
109	VssQ	-	入出力用電源 (0V)	-
110	TEND0/PTJ3	O/IO	DMA 転送終了 / 入出力ポート J	VccQ
111	VccQ	-	入出力用電源 (3.3V)	-
112	IRQ6/PTJ4	I/I	外部割り込み要求 / 入力ポート J	VccQ
113	IRQ7/PTJ5	I/I	外部割り込み要求 / 入力ポート J	VccQ
114	DACK0/PTD5	O/IO	DMA アクノリッジ 0 / 入出力ポート D	VccQ
115	DACK1/PTD7	O/IO	DMA アクノリッジ 1 / 入出力ポート D	VccQ
116	SCIF4_RXD/PTE6	I/I	SCIF4 受信データ / 入力ポート E	VccQ
117	SCIF5_RXD/PTE3	I/I	SCIF5 受信データ / 入力ポート E	VccQ
118	SCIF4_SCK/PTE2	IO/IO	SCIF4 シリアルクロック / 入出力ポート E	VccQ
119	SCIF5_SCK/PTE1	IO/IO	SCIF5 シリアルクロック / 入出力ポート E	VccQ
120	TDO	O	テストデータ出力	VccQ
121	BACK/PTN0	O/IO	バスアクノリッジ / 入出力ポート N	VccQ
122	BREQ/PTN1	I/I	バス要求 / 入力ポート N	VccQ
123	WAIT/PTN2	I/I	ハードウェアウェイト要求 / 入力ポート N	VccQ
124	AUDCK/PTG5	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
125	IIC1_SDA/ADTRG/PTH5	IO/I/I	IIC1 データ / アナログトリガ / 入力ポート H	VccQ
126	IIC1_SCL/IOIS16/PTN3	IO/I/I	IIC1 クロック / IOIS16 (PCMCIA) / 入力ポート N	VccQ
127	MPMD	I	ASE モード	VccQ
128	ASEBRK/BRKACK	I/O	エミュレータ専用端子	VccQ
129	AUDSYNC/PTG4	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
130	AUDATA3/PTG3	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
131	AUDATA2/PTG2	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
132	Vss	-	内部電源 (0V)	-
133	AUDATA1/PTG1	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
134	Vcc	-	内部電源 (1.2V)	-

端子番号	端子名	入出力	機能	電源
135	AUDATA0/PTG0	O/IO	エミュレータ専用端子 / 入出力ポート G	VccQ
136	TRST	I	テストリセット	VccQ
137	TMS	I	テストモードスイッチ	VccQ
138	TDI	I	テストデータ入力	VccQ
139	TCK	I	テストクロック	VccQ
140	TPU0_TO3/PINTB3/PTF3	O/IO	TPU0 アウトプットコンペア / ポート割り込み / 入出力ポート F	VccQ
141	TPU0_TO2/PINTB2/PTF2	O/IO	TPU0 アウトプットコンペア / ポート割り込み / 入出力ポート F	VccQ
142	TPU0_TO1/PINTB1/PTF1	O/IO	TPU0 アウトプットコンペア / ポート割り込み / 入出力ポート F	VccQ
143	TPU0_TO0/PINTB0/PTF0	O/IO	TPU0 アウトプットコンペア / ポート割り込み / 入出力ポート F	VccQ
144	PTN4	IO	入出力ポート N	VccQ
145	Vcc_PLL1	-	PLL1 用電源 (1.2V)	-
146	Test1_VssQ	I	テストモード 1	VccQ
147	Vss_PLL1	-	PLL1 用電源 (0V)	-
148	Vss_PLL2	-	PLL2 用電源 (0V)	-
149	Test2_VccQ	I	テストモード 2	VccQ
150	Vcc_PLL2	-	PLL2 用電源 (1.2V)	-
151	PTH6	I	入力ポート H	VccQ
152	Vss	-	内部電源 (0V)	-
153	Test3_VccQ	I	テストモード 3	VccQ
154	Vcc	-	内部電源 (1.2V)	-
155	XTAL	O	水晶振動子接続端子	VccQ
156	EXTAL	I	外部クロック / 水晶振動子接続端子	VccQ
157	STATUS0/PTJ6	O/IO	プロセッサステータス / 入出力ポート J	VccQ
158	TPU1_TO1/PTJ7	O/IO	TPU1 アウトプットコンペア / 入出力ポート J	VccQ
159	TPU1_TO0/PTH7	O/IO	TPU1 アウトプットコンペア / 入出力ポート H	VccQ
160	IRQOUT/REFOUT/PTQ7	O/O/IO	割り込み要求通知 / リフレッシュ出力 / 入出力ポート Q	VccQ
161	VssQ	-	入出力用電源 (0V)	-
162	CKO	O	システムクロック出力	VccQ
163	VccQ	-	入出力用電源 (3.3V)	-
164	SCIF0_TXD/IrDA0_TXD/ PTQ2	O/O/IO	SCIF0 送信データ / IrDA 送信データ / 入出力ポート Q	VccQ

端子番号	端子名	入出力	機能	電源
165	SCIF0_SCK/PTQ0	IO/IO	SCIF0 シリアルクロック / 入出力ポート Q	VccQ
166	SCIF1_TXD/IrDA1_TXD/ PTR2	O/O/IO	SCIF1 送信データ / IrDA 送信データ / 入出力ポート R	VccQ
167	SCIF1_SCK/PTR0	IO/IO	SCIF1 シリアルクロック / 入出力ポート R	VccQ
168	SCIF2_TXD/SIOF_TXD/PTS2	O/O/IO	SCIF2 送信データ / SIOF 送信データ / 入出力ポート S	VccQ
169	SCIF2_SCK/SIOF_SCK/ PTS0	IO/IO/IO	SCIF2 シリアルクロック / SIOF シリアルクロック / 入出力ポート S	VccQ
170	SCIF2_RTS/SIOF_SYNC/ PTS4	O/IO/IO	SCIF2 送信要求 / SIOF フレーム同期信号 / 入出力ポート S	VccQ
171	SCIF0_RXD/IrDA0_RXD/ PTQ1	I/I/I	SCIF0 受信データ / IrDA 受信データ / 入力ポート Q	VccQ
172	SCIF1_RXD/IrDA1_RXD/ PTR1	I/I/I	SCIF1 受信データ / IrDA 受信データ / 入力ポート R	VccQ
173	Vss	-	内部電源 (0V)	-
174	SCIF2_RXD/SIOF_RXD/ PTS1	I/I/I	SCIF2 受信データ / SIOF 受信データ / 入力ポート S	VccQ
175	Vcc	-	内部電源 (1.2V)	-
176	SCIF2_CTS/SIOF_MCLK/ IRQ5/PTS3	I/I/I	SCIF2 送信クリア / SIOF マスタクロック入力 / 外部割り込み要求 / 入力ポート S	VccQ
177	SCIF5_RTS/PINTA7/PTC7	O/I/IO	SCIF5 送信要求 / ポート割り込み / 入出力ポート C	VccQ
178	SCIF5_CTS/PINTA6/PTC6	I/I/IO	SCIF5 送信クリア / ポート割り込み / 入出力ポート C	VccQ
179	SCIF4_RTS/PINTA5/PTC5	O/I/IO	SCIF4 送信要求 / ポート割り込み / 入出力ポート C	VccQ
180	SCIF4_CTS/PINTA4/PTC4	I/I/IO	SCIF4 送信クリア / ポート割り込み / 入出力ポート C	VccQ
181	VssQ	-	入出力用電源 (0V)	-
182	SCIF3_TXD/SIM_D/PTD3	O/IO/IO	SCIF3 送信データ / スマートカード送受信データ / 入出力ポート D	VccQ
183	VccQ	-	入出力用電源 (3.3V)	-
184	RESETOUT/PTD2	O/IO	パワーオンリセット出力 / 入出力ポート D	VccQ
185	PINTA3/PTC3	I/IO	ポート割り込み / 入出力ポート C	VccQ
186	SCIF3_RTS/SIM_RST/ PINTA2/PTC2	O/O/IO	SCIF3 送信要求 / スマートカードリセット / ポート割り込み / 入出力ポート C	VccQ
187	SCIF3_CTS/PINTA1/PTC1	I/I/IO	SCIF3 送信クリア / ポート割り込み / 入出力ポート C	VccQ
188	SCIF3_SCK/SIM_CLK/ PINTA0/PTC0	IO/O/I/IO	SCIF3 シリアルクロック / スマートカードクロック / ポート割り込み / 入出力ポート C	VccQ
189	SCIF5_TXD/PTD1	O/IO	SCIF5 送信データ / 入出力ポート D	VccQ
190	SCIF4_TXD/PTD0	O/IO	SCIF4 送信データ / 入出力ポート D	VccQ

端子番号	端子名	入出力	機能	電源
191	DREQ0/PTD4	I/I	DMA 要求 0 / 入力ポート D	VccQ
192	DREQ1/PTD6	I/I	DMA 要求 1 / 入力ポート D	VccQ
193	RESET \bar{P}	I	パワーオンリセット要求	VccQ
194	NMI	I	ノンマスクブル割り込み要求	VccQ
195	MD3	I	エリア 0 用バス幅設定	VccQ
196	Test4_VssQ	I	テストモード 4	VccQ
197	MD5	I	データアライメント設定	VccQ
198	VssQ	-	入出力用電源 (0V)	-
199	IIC0_SDA/PTL0	IO/I	IIC0 データ / 入力ポート L	VccQ
200	IIC0_SCL/PTL1	IO/I	IIC0 クロック / 入力ポート L	VccQ
201	MD0	I	クロックモード設定	VccQ
202	MD1	I	クロックモード設定	VccQ
203	DA1/PTL4	O/I	DA コンバータ出力 / 入力ポート L	AVcc
204	DA0/PTL5	O/I	DA コンバータ出力 / 入力ポート L	AVcc
205	AVcc	-	アナログ用電源 (3.3V)	-
206	AN0/PTL6	I/I	AD コンバータ入力 / 入力ポート L	AVcc
207	AN1/PTL7	I/I	AD コンバータ入力 / 入力ポート L	AVcc
208	AVss	-	アナログ用電源 (0V)	-

1.3.2 端子機能

各端子の機能を表 1.3 に示します。

表 1.3 端子機能表

分類	端子名	機能	入出力	説明
電源	Vcc	電源	-	LSI 内部およびシステム系ポート用の電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	グランド	-	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	VccQ	電源	-	入出力端子用電源です。すべての VccQ 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VssQ	グランド	-	グランド端子です。すべての VssQ 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	Avcc	アナログ電源	-	アナログ部の電源です。
	Avss	アナロググランド	-	アナログ部のグランドおよび A/D 変換、D/A 変換の基準電圧です。
クロック	Vcc_PLL1	PLL1 用電源	-	内蔵 PLL1 発振器用の電源端子です。
	Vss_PLL1	PLL1 用グランド	-	内蔵 PLL1 発振器用のグランド端子です。
	Vcc_PLL2	PLL2 用電源	-	内蔵 PLL2 発振器用の電源端子です。
	Vss_PLL2	PLL2 用グランド	-	内蔵 PLL2 発振器用のグランド端子です。
	XTAL	水晶振動子接続端子	出力	水晶振動子を接続します。
	EXTAL	外部クロック / 水晶振動子接続端子	入力	水晶振動子を接続します。また、外部クロック入力端子として使用します。
	CKO	クロック出力端子	出力	外部クロック出力端子として使用します。
動作モード コントロール	MD0、MD1	クロックモード設定	入力	クロック動作モードを設定します。
	MD3	エリア 0 用バス幅設定	入力	エリア 0 のバス幅 (16/32 ビット) の選択をします。
	MD5	データアライメント設定	入力	データアライメント (ビッグまたはリトルエンディアン) の選択をします。
システム制御	RESETP	パワーオンリセット要求	入力	ローレベルでパワーオンリセット状態になります。
	RESETOUT	パワーオンリセット出力	出力	本 LSI がリセット中にローレベルになります。
	STATUS0	プロセッサステータス	出力	ソフトウェアスタンバイ状態でハイレベルになります。

分類	端子名	機能	入出力	説明
割り込み コントローラ (INTC)	NMI	ノンマスクابل 割り込み要求	入力	マスク不可能な割り込み要求端子
	IRQ7 ~ IRQ4、 IRQ3/IRL3 ~ IRQ0/IRL0	外部割り込み要求	入力	割り込み要求信号の入力端子です。
	IRQOUT	割り込み要求通知	出力	割り込み要求が発生したことを通知する信号です。
	PINTA7 ~ PINTA0、PINTB3 ~ PINTB0	ポート割り込み	入力	ポート割り込み信号の入力
バス制御	A25 ~ A0	アドレスバス	出力	アドレスを出力します。
	D31 ~ D0	データバス	入出力	データバス
	\overline{BS}	バスサイクル開始	出力	バスサイクルの開始を示す信号です。
	$\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 CS4	チップセレクト	出力	チップセレクト
	$\overline{CS5A/CE2A}$	チップセレクト	出力	チップセレクト アドレスマップ 1、3 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
	$\overline{CS5B/CE1A}$	チップセレクト	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
	$\overline{CS6A/CE2B}$	チップセレクト	出力	チップセレクト アドレスマップ 1、3 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
	$\overline{CS6B/CE1B}$	チップセレクト	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
	\overline{RDWR}	リード/ライト	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 WE 端子に接続
	\overline{RD}	リードストロープ	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すス トロープ信号
	$\overline{WE3/DQMUU}$ /CIOWR	D31 ~ D24 セレクト 信号 / DQM (SDRAM) / PCMCIA I/O ライト	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端 子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストロープ信 号

分類	端子名	機能	入出力	説明
バス制御	$\overline{WE2}/DQMUL/$ $\overline{ICIOR\overline{D}}$	D23～D16 セレクト 信号 / DQM (SDRAM) / PCMCIA I/O リード	出力	D23～D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端 子に接続 SDRAM 接続時は、D23～D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストロープ信 号
	$\overline{WE1}/DQMLU/\overline{WE}$	D15～D8 セレクト 信号 / DQM (SDRAM) / PCMCIA ライトイ ネーブル	出力	D15～D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端 子に接続 SDRAM 接続時は、D15～D8 対応の選択信号 PCMCIA 使用時は、メモリライトイネーブルを示す ストロープ信号
	$\overline{WE0}/DQMLL$	D7～D0 セレクト信 号 / DQM (SDRAM)	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端 子に接続 SDRAM 接続時は、D7～D0 対応の選択信号
	RAS	RAS (SDRAM)	出力	SDRAM 接続時は、RAS 端子に接続
	\overline{CAS}	CAS (SDRAM)	出力	SDRAM 接続時は、CAS 端子に接続
	CKE	CK イネーブル (SDRAM)	出力	SDRAM 接続時は、CKE 端子に接続
	$\overline{IOIS16}$	PCMCIA 16 ビット I/O	入力	PCMCIA の 16 ビット I/O を示す信号です。 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてくださ い。
	WAIT	ハードウェアウェイト 要求	入力	外部ウェイト入力です。
	\overline{BREQ}	バス要求	入力	バス権要求入力です。
	\overline{BACK}	バスアクノリッジ	出力	バス使用許可出力です。
REFOUT	リフレッシュ出力	出力	バス解放時リフレッシュ実行要求出力です。	
ダイレクトメモ リアクセスコン トローラ (DMAC)	$\overline{DREQ0}$ 、 $\overline{DREQ1}$	DMA 要求	入力	外部デバイスから DMA 転送要求の入力信号です。
	$\overline{DACK0}$ 、 $\overline{DACK1}$	DMA アクノリッジ	出力	外部デバイスへの DMA 転送要求に対するストロ ープを出力します。
	$\overline{TEND0}$ 、 $\overline{TEND1}$	DMA 終了通知	出力	外部デバイスへの DMA 転送終了の出力信号です。
16 ビットタイマ パルスユニット (TPU)	TPU0TO3～ TPU0TO0、 TPU1TO1、 TPU1TO0	アウトプット コンペア	出力	アウトプットコンペア出力 / PWM 出力端子です。

分類	端子名	機能	入出力	説明
リアルタイムクロック (RTC)	EXTAL_RTC	RTC 用水晶振動子接続	入力	RTC 用水晶振動子を接続します。
	XTAL_RTC	RTC 用水晶振動子接続	出力	RTC 用水晶振動子を接続します。
I2C バスインタフェース (IIC)	IIC0_SCL、 IIC1_SCL	I2C クロック入出力	入出力	I2C シリアルクロック入出力端子です。
	IIC0_SDA、 IIC1_SDA	I2C データ入出力	入出力	I2C シリアルデータ入出力端子です。
シリアル I/O FIFO 付き (SIOF)	SIOF_MCK	マスタクロック入力	入力	SIOF のマスタクロック入力端子です。
	SIOF_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通) です。
	SIOF_SYNC	フレーム同期信号	入出力	フレーム同期信号 (送受信共通) です。
	SIOF_TXD	送信データ	出力	送信データです。
	SIOF_RXD	受信データ	入力	受信データです。
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	SCIF3_TXD ~ SCIF0_TXD	送信データ	出力	送信データ用の端子です。
	SCIF3_RXD ~ SCIF0_RXD	受信データ	入力	受信データ用の端子です。
	SCIF3_SCK ~ SCIF0_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF3_RTS、 SCIF2_RTS	送信要求	出力	送信要求出力端子です。
	SCIF3_CTS、 SCIF2_CTS	送信クリア	入力	送信可入力端子です。
FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)	SCIF5_TXD、 SCIF4_TXD	送信データ	出力	送信データ用の端子です。
	SCIF5_RXD、 SCIF4_RXD	受信データ	入力	受信データ用の端子です。
	SCIF5_SCK、 SCIF4_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF5_RTS、 SCIF4_RTS	送信要求	出力	送信要求出力端子です。
	SCIF5_CTS、 SCIF4_CTS	送信クリア	入力	送信可入力端子です。
IrDA インタフェース (IrDA)	IrDA1_RXD、 IrDA0_RXD	IrDA 受信データ	入力	赤外線受光 (受信) パルス入力です。
	IrDA1_TXD、 IrDA0_TXD	IrDA 送信データ	出力	赤外線発光 (送信) パルス出力です。
SIM カード モジュール (SIM)	SIM_D	送受信データ	入出力	スマートカード送受信データ入出力です。
	SIM_CLK	クロック	出力	スマートカードクロック出力です。
	SIM_RST	リセット	出力	スマートカードリセット出力です。

分類	端子名	機能	入出力	説明	
A/D 変換器 (ADC)	AVcc	アナログ電源	-	アナログ部の電源です。	
	AVss	アナロググランド	-	アナログ部のグランドおよび A/D 変換の基準電圧です。	
	AN3 ~ AN0	アナログ入力	入力	アナログ入力端子です。	
	ADTRG	アナログトリガ	入力	A/D 変換開始のための外部トリガ	
D/A 変換器 (DAC)	AVcc	アナログ電源	-	アナログ部の電源です。	
	AVss	アナロググランド	-	アナログ部のグランドおよび D/A 変換基準電圧です。	
	DA1、DA0	アナログ出力	出力	アナログ出力端子です	
I/O ポート	PTA7 ~ PTA0	汎用ポート	入出力	8 ビットの汎用入出力ポート端子です。	
	PTB7 ~ PTB0	汎用ポート	入出力	8 ビットの汎用入出力ポート端子です。	
	PTC7 ~ PTC0	汎用ポート	入出力	8 ビットの汎用入出力ポート端子です。	
	PTD7	汎用ポート	入出力	8 ビットの汎用入出力、入力ポート端子です。	
	PTD6	汎用ポート	入力		
	PTD5	汎用ポート	入出力		
	PTD4	汎用ポート	入力		
	PTD3 ~ PTD0	汎用ポート	入出力		
	PTE7	汎用ポート	入出力		7 ビットの汎用入出力、入力ポート端子です。
	PTE6	汎用ポート	入力		
	PTE5、PTE4	汎用ポート	入出力		
	PTE3	汎用ポート	入力		
	PTE2、PTE1	汎用ポート	入出力		
	PTF3 ~ PTF0	汎用ポート	入出力	4 ビットの汎用入出力ポート端子です。	
	PTG5 ~ PTG0	汎用ポート	入出力	6 ビットの汎用入出力ポート端子です。	
	PTH7	汎用ポート	入出力	8 ビットの汎用入出力、入力ポート端子です。	
	PTH6 ~ PTH0	汎用ポート	入力		
	PTJ7、PTJ6	汎用ポート	入出力	8 ビットの汎用入出力、入力ポート端子です。	
	PTJ5、PTJ4	汎用ポート	入力		
	PTJ3 ~ PTJ0	汎用ポート	入出力		
	PTK7 ~ PTK0	汎用ポート	入出力	8 ビットの汎用入出力ポート端子です。	
	PTL7 ~ PTE4、 PTL1、PTL0	汎用ポート	入力	6 ビットの汎用入力ポート端子です。	
	PTM3	汎用ポート	入出力	3 ビットの汎用入出力、入力ポート端子です。	
	PTM1、PTM0	汎用ポート	入力		
	PTN4	汎用ポート	入出力	5 ビットの汎用入出力、入力ポート端子です。	
	PTN3 ~ PTN1	汎用ポート	入力		
	PTN0	汎用ポート	入出力		

分類	端子名	機能	入出力	説明
I/O ポート	PTQ7、PTQ2	汎用ポート	入出力	4 ビットの汎用入出力、入力ポート端子です。
	PTQ1	汎用ポート	入力	
	PTQ0	汎用ポート	入出力	
	PTR2	汎用ポート	入出力	3 ビットの汎用入出力、入力ポート端子です。
	PTR1	汎用ポート	入力	
	PTR0	汎用ポート	入出力	
	PTS4	汎用ポート	入出力	5 ビットの汎用入出力、入力ポート端子です。
	PTS3	汎用ポート	入力	
	PTS2	汎用ポート	入出力	
	PTS1	汎用ポート	入力	
	PTS0	汎用ポート	入出力	
	PTT7 ~ PTT0	汎用ポート	入出力	8 ビットの汎用入出力ポート端子です。
JTAG	TCK	テストクロック	入力	テストクロック入力端子です。
	TMS	テストモード スイッチ	入力	テストモードセレクト信号入力端子です。
	$\overline{\text{TRST}}$	テストリセット	入力	初期化信号入力端子です。
	TDI	テストデータ入力	入力	インストラクションとデータのシリアル入力端子です。
	TDO	テストデータ出力	出力	インストラクションとデータのシリアル出力端子です。
エミュレーション モード設定	MPMD	ASE モード	入力	ローレベルで ASE モードとなり、エミュレーションサポートモード機能が使用可能となります。E10A 等のエミュレータを使用する場合、ローレベルに固定してください。
エミュレータ用 端子	ASEBRK	エミュレータ用端子	入力	エミュレータのユーザマニュアルを参照してください。
	BRKACK	エミュレータ用端子	出力	エミュレータのユーザマニュアルを参照してください。
	AUDSYNC	エミュレータ用端子	出力	エミュレータのユーザマニュアルを参照してください。
	AUDCK	エミュレータ用端子	出力	エミュレータのユーザマニュアルを参照してください。
	AUDATA3 ~ AUDATA0	エミュレータ用端子	出力	エミュレータのユーザマニュアルを参照してください。

【注】 Test0_VccQ、Test1_VssQ、Test2_VccQ、Test3_VccQ、Test4_VssQ 端子はチップの出荷前テスト用の端子です。通常動作時はプルアップまたはプルダウンにより電位を固定してお使いください。

1.4 製品一覧

表 1.4 製品一覧

略称	製品型名	電源電圧		動作周波数	動作温度	パッケージ
		I/O	内部			
R8A77301	R8A77301C266FPV	3.3 ± 0.3V	1.2 ± 0.1V	266.7MHz	標準温度範囲品 -20 to 75	208 ピンプラスチック LQFP(PLQP0208KB-A)
	R8A77301C200FPV			200MHz		
	R8A77301D266FPV			266.7MHz	広温度範囲品 -40 to 85	
	R8A77301D200FPV			200MHz		

2. プログラミングモデル

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

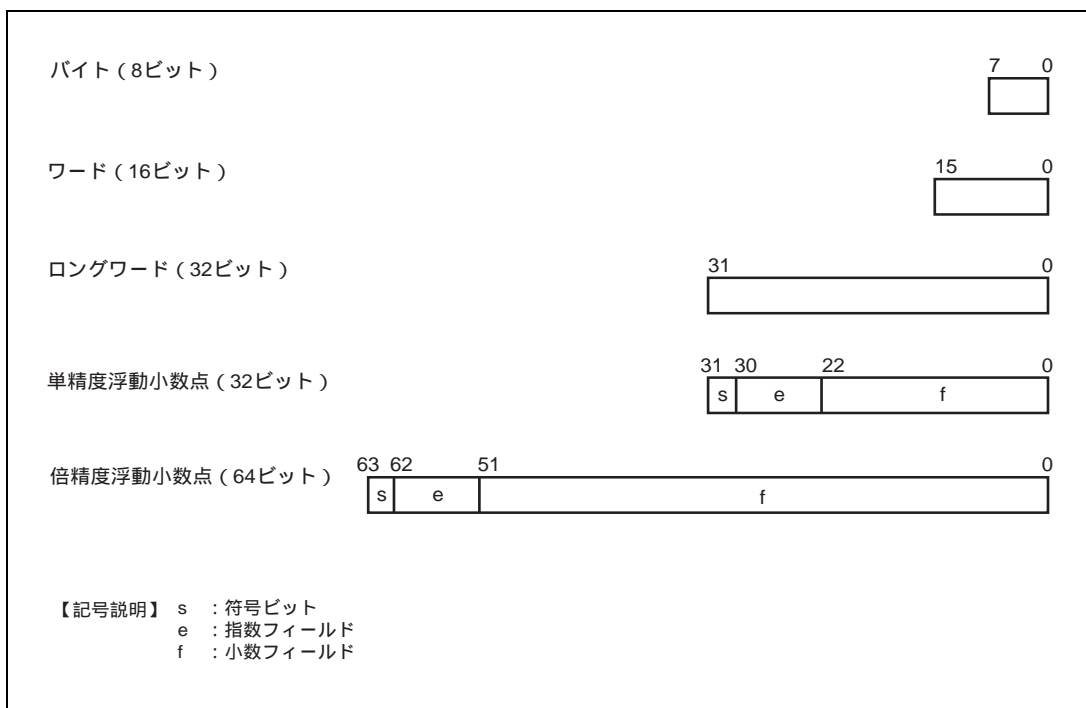


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスことができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(たとえばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15 の 32 本のレジスタがあります。FR0～FR15、XF0～XF15 をおのおの FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12(レジスタベクタ)の 4 本として使用でき、XF0～XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX(レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0～FR15、XF0～XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

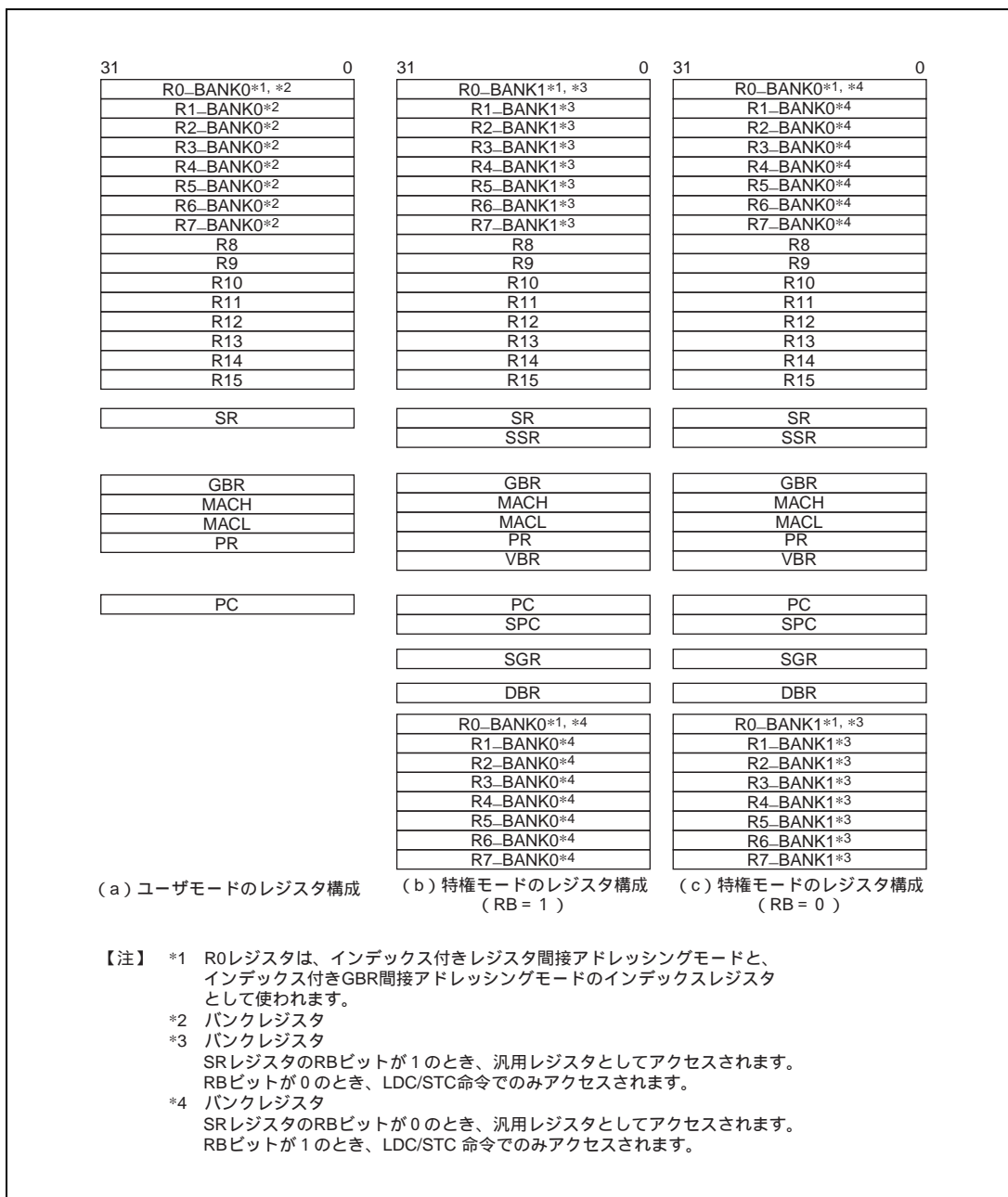


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)
R0	R0_BANK0	R0-BANK0
R1	R1_BANK0	R1-BANK0
R2	R2_BANK0	R2-BANK0
R3	R3_BANK0	R3-BANK0
R4	R4_BANK0	R4-BANK0
R5	R5_BANK0	R5-BANK0
R6	R6_BANK0	R6-BANK0
R7	R7_BANK0	R7-BANK0
R0-BANK1	R0_BANK1	R0
R1-BANK1	R1_BANK1	R1
R2-BANK1	R2_BANK1	R2
R3-BANK1	R3_BANK1	R3
R4-BANK1	R4_BANK1	R4
R5-BANK1	R5_BANK1	R5
R6-BANK1	R6_BANK1	R6
R7-BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0~R7 は R0_BANK0~R7_BANK0 に、例外・割り込み後の R0~R7 は R0_BANK1~R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0~R7 (R0_BANK0~R7_BANK0) を退避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0~FR15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0~FR15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8, XF9}, XD10 = {XF10, XF11},

XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
		FR4	FPR4_BANK0	XF4		XD4
FV4	DR4	FR5	FPR5_BANK0	XF5		
		FR6	FPR6_BANK0	XF6	XD6	
	DR6	FR7	FPR7_BANK0	XF7		
		FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10	
		FR11	FPR11_BANK0	XF11		
	DR10	FR12	FPR12_BANK0	XF12	XD12	
		FR13	FPR13_BANK0	XF13		
		FR14	FPR14_BANK0	XF14	XD14	
FV12	DR12	FR15	FPR15_BANK0	XF15		
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0
		XF1	FPR1_BANK1	FR1		
		XF2	FPR2_BANK1	FR2	DR2	
		XF3	FPR3_BANK1	FR3		
		XF4	FPR4_BANK1	FR4	DR4	FV4
		XF5	FPR5_BANK1	FR5		
		XF6	FPR6_BANK1	FR6	DR6	
		XF7	FPR7_BANK1	FR7		
		XF8	FPR8_BANK1	FR8	DR8	FV8
		XF9	FPR9_BANK1	FR9		
		XF10	FPR10_BANK1	FR10	DR10	
		XF11	FPR11_BANK1	FR11		
		XF12	FPR12_BANK1	FR12	DR12	FV12
		XF13	FPR13_BANK1	FR13		
		XF14	FPR14_BANK1	FR14	DR14	
XF15	FPR15_BANK1	FR15				

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		FD						M	Q	IMASK					S	T
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより1にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより1にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが1のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 一般例外または割り込みにより1にセットされます。
27 ~ 16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが1のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します(FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

ビット	ビット名	初期値	R/W	説明
14~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第3章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SSR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE=1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、

積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										FR	SZ	PR	DN	Cause		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。

ビット	ビット名	初期値	R/W	説明
20	SZ	0	R/W	<p>転送サイズモード</p> <p>0: FMOV 命令のデータサイズは 32 ビットです。</p> <p>1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
19	PR	0	R/W	<p>精度モード</p> <p>0: 浮動小数点命令を単精度演算として実行します。</p> <p>1: 浮動小数点命令を倍精度演算として実行します(グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0: 非正規化数を非正規化数として扱います。</p> <p>1: 非正規化数を 0 として扱います。</p>
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable(EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00: 近傍への丸め</p> <p>01: 0 方向への丸め</p> <p>10: リザーブ(設定禁止)</p> <p>11: リザーブ(設定禁止)</p>

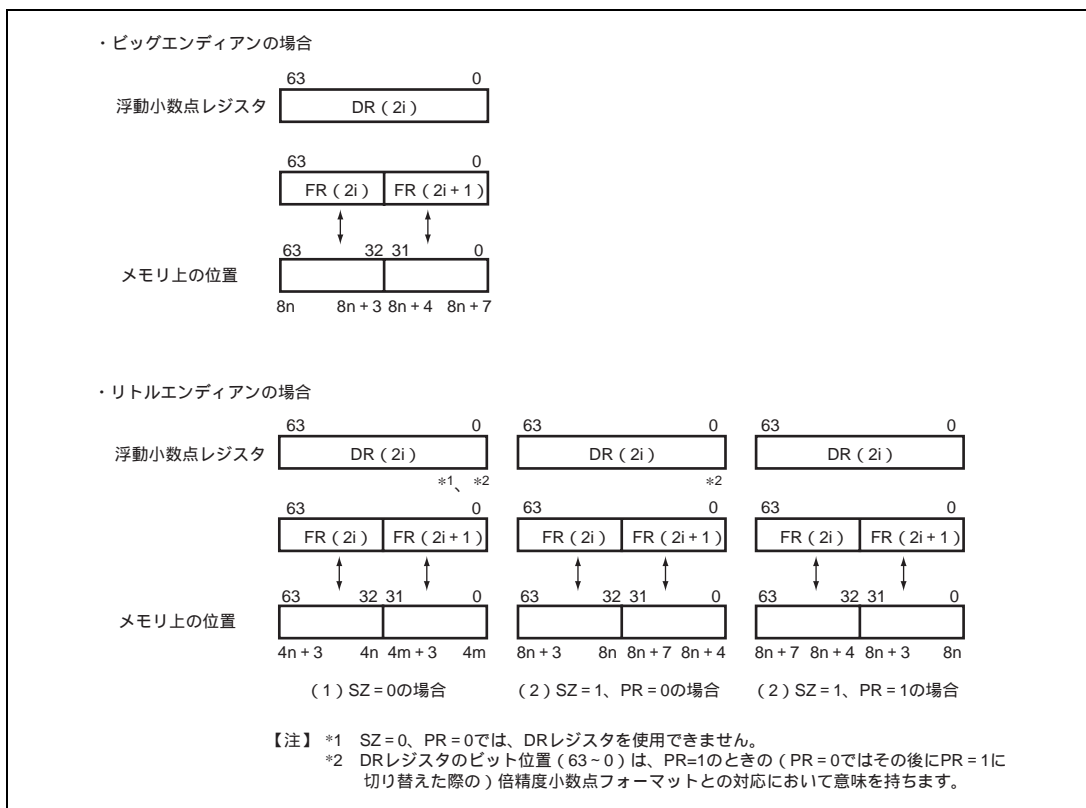


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

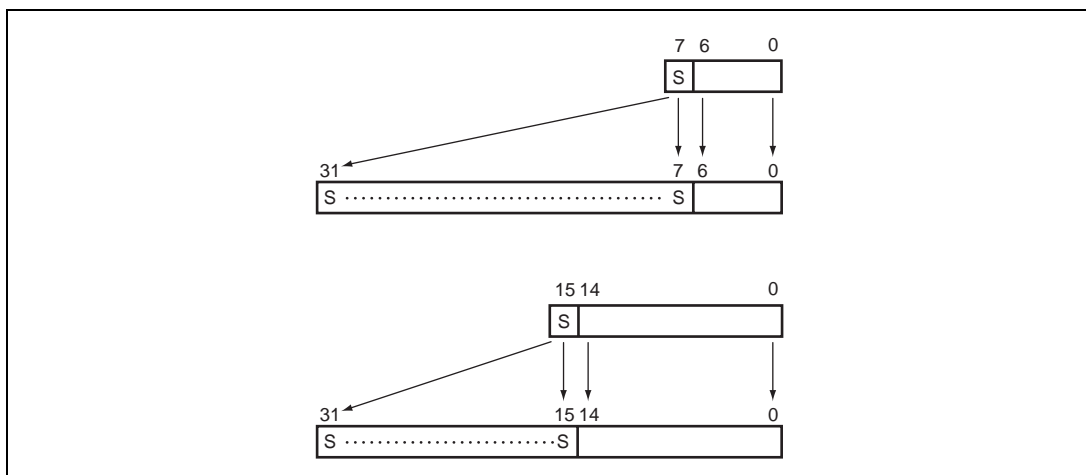


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.7 に示します。

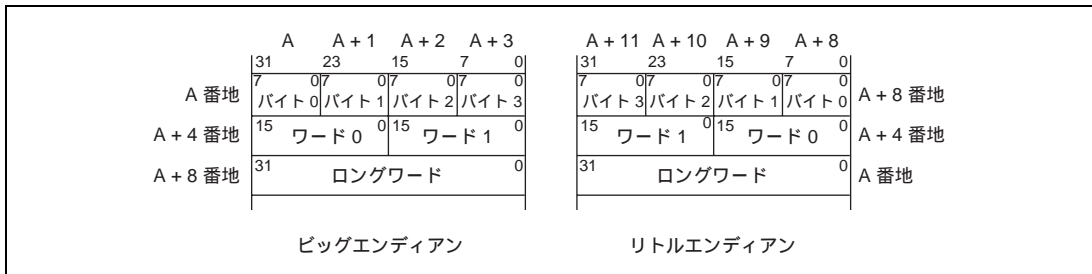


図 2.7 メモリ上のデータ形式

64 ビットのデータ形式については図 2.5 を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。

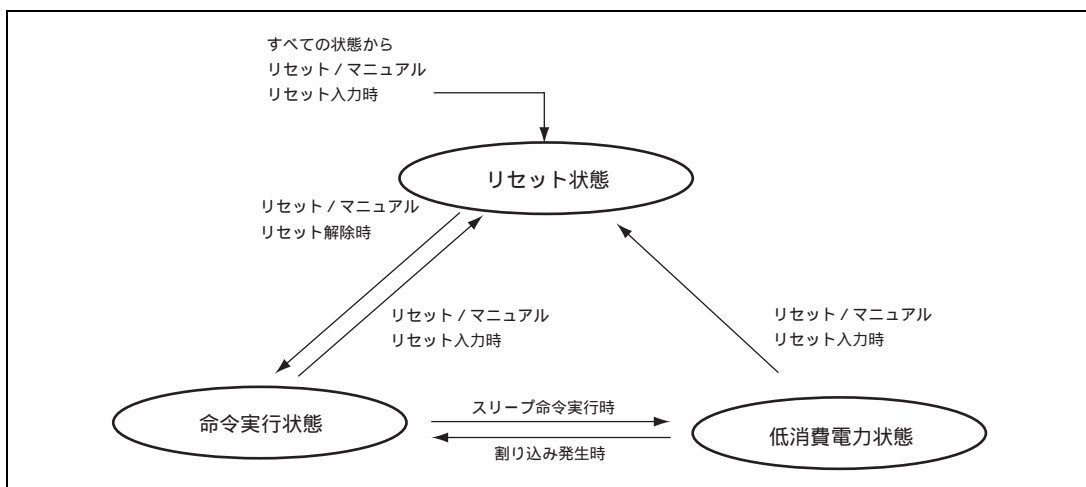


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコードに対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとすると、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

```
OCBP @Rn または OCBWB @Rn
```

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する命令列

3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD      #1, R0          ;T ビットは ADD 演算で変更されません。
CMP/EQ   R1, R0          ;R0=R1 のとき T ビットは 1 にセットされる。
BT       TARGET          ;T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。


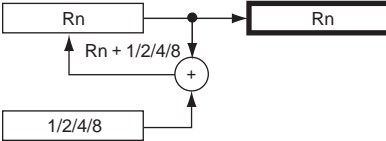
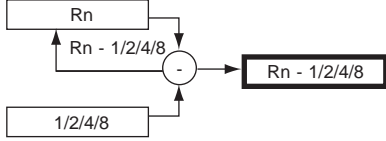
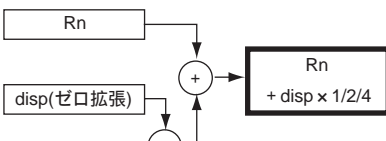
```
MOV.W    @(disp, PC), Rn
MOV.L    @(disp, PC), Rn
```

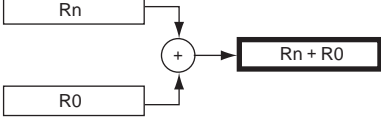
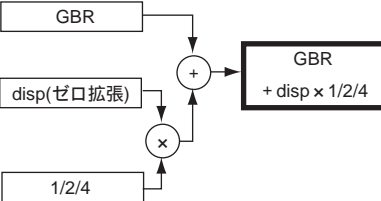
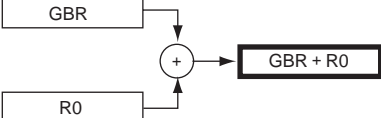
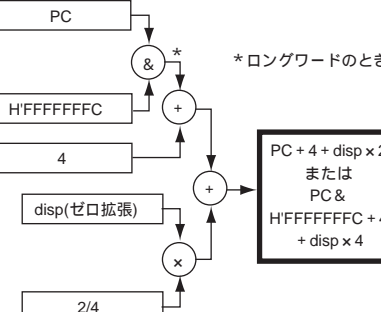
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA: 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト: Rn+1 Rn ワード: Rn+2 Rn ロングワード: Rn+4 Rn クワッドワード: Rn+8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト: Rn - 1 Rn ワード: Rn - 2 Rn ロングワード: Rn - 4 Rn クワッドワード: Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト: Rn + disp EA ワード: Rn + disp x 2 EA ロングワード: Rn + disp x 4 EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times EA$

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイメント付き PC 相対
- disp: 8, disp:12 ;PC 相対

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項目	フォーマット	説明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	- : 変更なし

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命 令	動 作	命令コード	特権	T ビット
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiiii	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnnddddddd	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-
MOV.B Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100	-	-
MOV.W Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101	-	-
MOV.L Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101	-	-
MOV.L @Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110	-	-
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnnddd	-	-
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnnddd	-	-
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd	-	-

命 令	動 作	命令コード	特権	T ビット
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み / 例外発生時 0 LDST	0000mmmm01100011	-	-
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001	-	-
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100mmmm11101001	-	-
MOVT Rn	T Rn	0000nnnn00101001	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (×1、×2、×4) の値を設定します。

表 3.5 算術演算命令

命 令	動 作	命令コード	特権	T ビット
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiiii	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110	-	キャリ
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111	-	オ - バ フロ -
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii	-	比較 結果
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000	-	比較 結果
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010	-	比較 結果
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011	-	比較 結果
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110	-	比較 結果
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111	-	比較 結果
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果

命 令	動 作	命令コード	特権	T ビット
CMP/PL Rn	Rn>0 のとき 1 T それ以外るとき 0 T	0100nnnn00010101	-	比較 結果
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	0010nnnnmmmm1100	-	比較 結果
DIV1 Rm,Rn	1 ステップ除算(Rn ÷ Rm)	0011nnnnmmmm0100	-	計算 結果
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111	-	計算 結果
DIV0U	0 M/Q/T	000000000011001	-	0
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101	-	-
DT Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外るとき 0 T	0100nnnn00010000	-	比較 結果
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm) + MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm) + MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnmmmm1111	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnmmmm1011	-	-
NEGC Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnmmmm1010	-	ボロー
SUB Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ボロー T	0011nnnnmmmm1010	-	ボロー
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnmmmm1011	-	アンダ フロー

表 3.6 論理演算命令

命 令	動 作	命令コード	特権	T ビット
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiii	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiii	-	-
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)の MSB	0100nnnn00011011	-	テスト 結果
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1 T それ以外とき 0 T	0010nnnnmmmm1000	-	テスト 結果
TST #imm,R0	$R0 \& imm$,結果が0のとき 1 T それ以外とき 0 T	11001000iiiiiii	-	テスト 結果
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外とき 0 T	11001100iiiiiii	-	テスト 結果
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii	-	-

表 3.7 シフト命令

命 令	動 作	命令コード	特権	T ビット
ROTL Rn	T Rn MSB	0100nnnn00000100	-	MSB
ROTR Rn	LSB Rn T	0100nnnn00000101	-	LSB
ROTCL Rn	T Rn T	0100nnnn00100100	-	MSB
ROTCR Rn	T Rn T	0100nnnn00100101	-	LSB
SHAD Rm, Rn	Rm 0のとき $Rn \ll Rm$ Rn, $Rm < 0$ のとき $Rn \gg Rm$ [MSB Rn]	0100nnnnmmmm1100	-	-
SHAL Rn	T Rn 0	0100nnnn00100000	-	MSB
SHAR Rn	MSB Rn T	0100nnnn00100001	-	LSB
SHLD Rm, Rn	Rm 0のとき $Rn \ll Rm$ Rn, $Rm < 0$ のとき $Rn \gg Rm$ [0 Rn]	0100nnnnmmmm1101	-	-
SHLL Rn	T Rn 0	0100nnnn00000000	-	MSB
SHLR Rn	0 Rn T	0100nnnn00000001	-	LSB
SHLL2 Rn	$Rn \ll 2$ Rn	0100nnnn00001000	-	-

命 令	動 作	命令コード	特権	T ビット
SHLR2 Rn	Rn>>2 Rn	0100nnnn00001001	-	-
SHLL8 Rn	Rn<<8 Rn	0100nnnn00011000	-	-
SHLR8 Rn	Rn>>8 Rn	0100nnnn00011001	-	-
SHLL16 Rn	Rn<<16 Rn	0100nnnn00101000	-	-
SHLR16 Rn	Rn>>16 Rn	0100nnnn00101001	-	-

表 3.8 分岐命令

命 令	動 作	命令コード	特権	T ビット
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000101111111111	-	-
BF/S label	遅延分岐,T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000111111111111	-	-
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000100111111111	-	-
BT/S label	遅延分岐,T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000110111111111	-	-
BRA label	遅延分岐,disp × 2+PC+4 PC	1010111111111111	-	-
BRAF Rn	遅延分岐,Rn+PC+4 PC	0000nnnn00100011	-	-
BSR label	遅延分岐,PC+4 PR, disp × 2+PC+4 PC	1011111111111111	-	-
BSRF Rn	遅延分岐,PC+4 PR, Rn+PC+4 PC	0000nnnn00000011	-	-
JMP @Rn	遅延分岐,Rn PC	0100nnnn00101011	-	-
JSR @Rn	遅延分岐,PC+4 PR,Rn PC	0100nnnn00001011	-	-
RTS	遅延分岐,PR PC	0000000000001011	-	-

表 3.9 システム制御命令

命 令	動 作	命令コード	特権	T ビット
CLRMACH	0 MACH,MACL	000000000101000	-	-
CLRS	0 S	000000001001000	-	-
CLRT	0 T	000000000001000	-	0
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	-	-
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権	-
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0-7)	0100mmmm1nnn1110	特権	-
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm0000111	特権	LSB
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権	-
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110	-	-
LDTLB	PTEH/PTEL/PTEA) TLB	000000000111000	特権	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせず に)R0 (Rn)	0000nnnn11000011	-	-
NOP	無操作	000000000001001	-	-
OCBI @Rn	オペランドキャッシュブロックを無 効にする	0000nnnn10010011	-	-
OCBP @Rn	オペランドキャッシュブロックをラ イトバックし無効にする	0000nnnn10100011	-	-

命 令	動 作	命令コード	特権	T ビット
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-
RTE	遅延分岐,SSR/SPC SR/PC	000000000101011	特権	-
SETS	1 S	000000001011000	-	-
SETT	1 T	000000000011000	-	1
SLEEP	スリープもしくはスタンバイ	000000000011011	特権	-
STC SR,Rn	SR Rn	0000nnnn0000010	特権	-
STC GBR,Rn	GBR Rn	0000nnnn00010010	-	-
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	-
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権	-
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	-
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	-
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	-
STC Rm_BANK,Rn	Rm_BANK Rn(m=0~7)	0000nnnn1mmm0010	特権	-
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmm0011	特権	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-
SYNCO	本命令に先行するデータアクセスの完了まで、本命令以降の命令によるデータアクセスを開始しません。	0000000010101011	-	-

命 令	動 作	命令コード	特権	T ビット
TRAPA #imm	imm<<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiiii	-	-

表 3.10 浮動小数点単精度命令

命 令	動 作	命令コード	特権	T ビット
FLDI0 FRn	H'00000000 FRn	1111nnnn10001101	-	-
FLDI1 FRn	H'3F800000 FRn	1111nnnn10011101	-	-
FMOV FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-
FMOV.S @Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-
FMOV.S @(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-
FMOV.S @Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-
FMOV.S FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-
FMOV.S FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-
FMOV.S FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-
FMOV DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-
FMOV @Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-
FMOV @(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-
FMOV @Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-
FMOV DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-
FMOV DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-
FMOV DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-
FLDS FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-
FSTS FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-
FABS FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-
FADD FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-
FCMP/EQ FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果
FCMP/GT FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果
FDIV FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-
FLOAT FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-
FMAC FR0,FRm,FRn	FR0 × FRm+FRn FRn	1111nnnnmmmm1110	-	-
FMUL FRm,FRn	FRn × FRm FRn	1111nnnnmmmm0010	-	-
FNEG FRn	FRn ^ H'80000000 FRn	1111nnnn01001101	-	-

命 令	動 作	命令コード	特権	T ビット
FSQRT FRn	sqrt(FRn) FRn*	1111nnnn01101101	-	-
FSUB FRm,FRn	FRn - FRm FRn	1111nnnnmmmm0001	-	-
FTRC FRm,FPUL	(long)FRm FPUL	1111mmmm001111101	-	-

【注】 * sqrt(FRn)は FRn の平方根を表します。

表 3.11 浮動小数点倍精度命令

命 令	動 作	命令コード	特権	T ビット
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF DRn	1111nnnn001011101	-	-
FADD DRm,DRn	DRn+DRm DRn	1111nnnn0mmmm00000	-	-
FCMP/EQ DRm,DRn	DRn=DRm のとき 1 T それ以外のとき 0 T	1111nnnn0mmmm00100	-	比較 結果
FCMP/GT DRm,DRn	DRn>DRm のとき 1 T それ以外のとき 0 T	1111nnnn0mmmm00101	-	比較 結果
FDIV DRm,DRn	DRn/DRm DRn	1111nnnn0mmmm00011	-	-
FCNVDS DRm,FPUL	double_to_float(DRm) FPUL	1111mmmm010111101	-	-
FCNVSD FPUL,DRn	float_to_double(FPUL) DRn	1111nnnn010101101	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnnn000101101	-	-
FMUL DRm,DRn	DRn × DRm DRn	1111nnnn0mmmm00010	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnnn001001101	-	-
FSQRT DRn	sqrt(DRn) DRn*	1111nnnn001101101	-	-
FSUB DRm,DRn	DRn - DRm DRn	1111nnnn0mmmm00001	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmmm000111101	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命 令	動 作	命令コード	特権	T ビット
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-

表 3.13 浮動小数点グラフィック強化命令

命 令	動 作	命令コード	特権	T ビット
FMOV DRm, XDn	DRm XDn	1111nnn1mmm01100	-	-
FMOV XDm, DRn	XDm DRn	1111nnn0mmm11100	-	-
FMOV XDm, XDn	XDm XDn	1111nnn1mmm11100	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmm1000	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmm1001	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) XDn	1111nnn1mmm0110	-	-
FMOV XDm, @Rn	XDm (Rn)	1111nnnnmm11010	-	-
FMOV XDm, @-Rn	Rn-8 Rn, XDm (Rn)	1111nnnnmm11011	-	-
FMOV XDm, @(R0, Rn)	XDm (R0+Rn)	1111nnnnmm10111	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) FR[n+3]	1111nnmm11101101	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) FVn	1111nn0111111101	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-
FSCA FPUL, DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

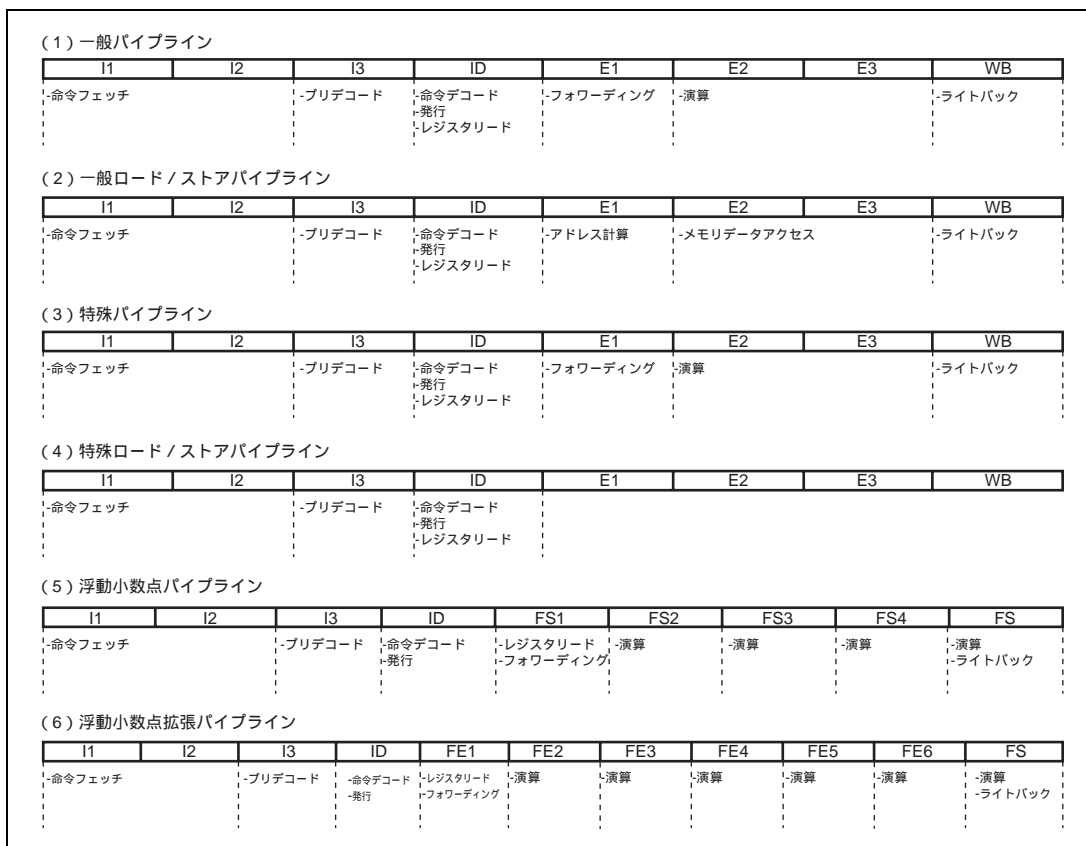


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1</td><td style="padding: 2px;">E2</td><td style="padding: 2px;">E3</td><td style="padding: 2px;">WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">S1</td><td style="padding: 2px;">S2</td><td style="padding: 2px;">S3</td><td style="padding: 2px;">WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">s1</td><td style="padding: 2px;">s2</td><td style="padding: 2px;">s3</td><td style="padding: 2px;">WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">M2</td><td style="padding: 2px;">M3</td><td style="padding: 2px;">MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">FE1</td><td style="padding: 2px;">FE2</td><td style="padding: 2px;">FE3</td><td style="padding: 2px;">FE4</td><td style="padding: 2px;">FE5</td><td style="padding: 2px;">FE6</td><td style="padding: 2px;">FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">FS1</td><td style="padding: 2px;">FS2</td><td style="padding: 2px;">FS3</td><td style="padding: 2px;">FS4</td><td style="padding: 2px;">FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">└</td></tr></table>	└	CPU と FPU 両方のパイプを占有						
└								

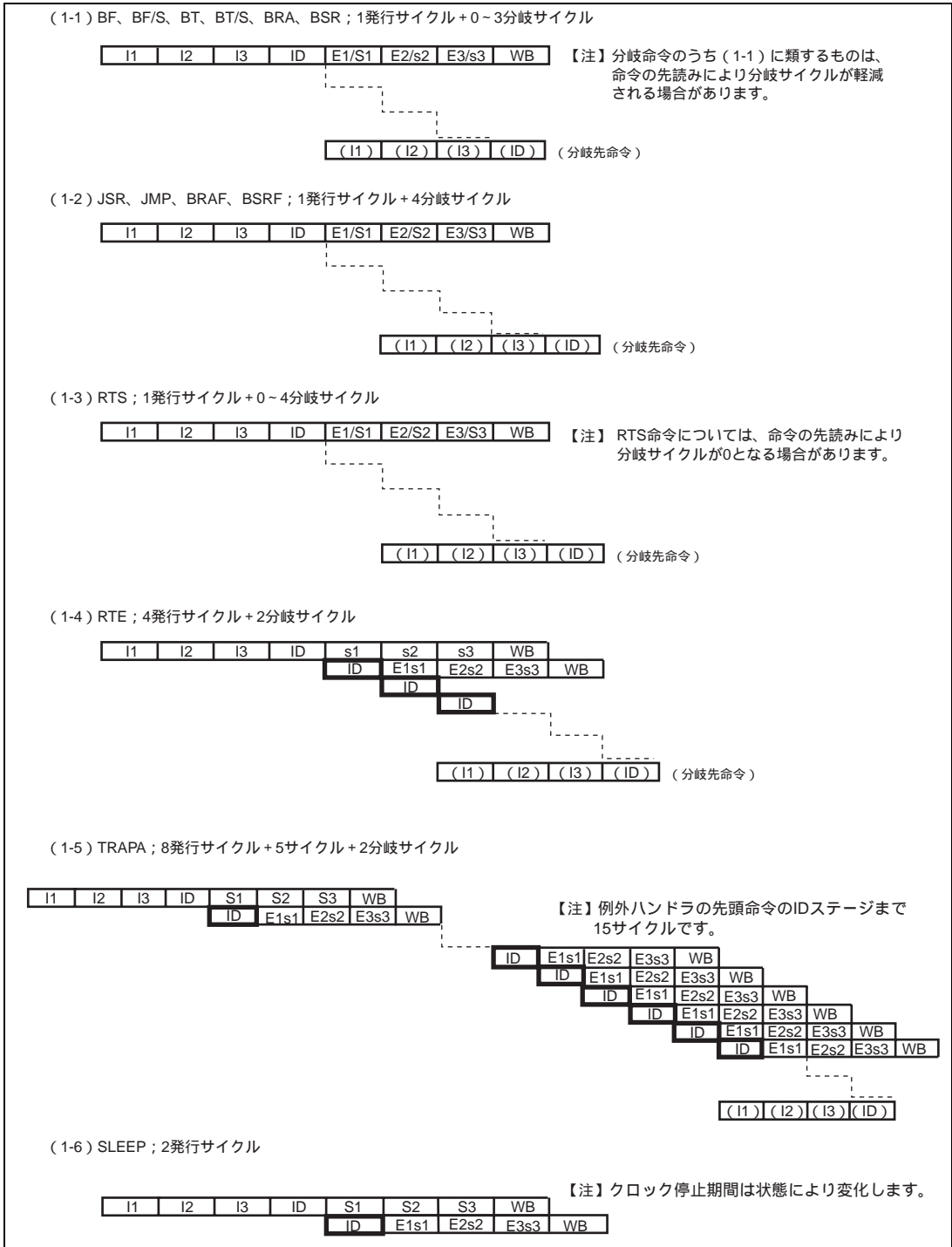


図 4.2 命令実行パターン(1)

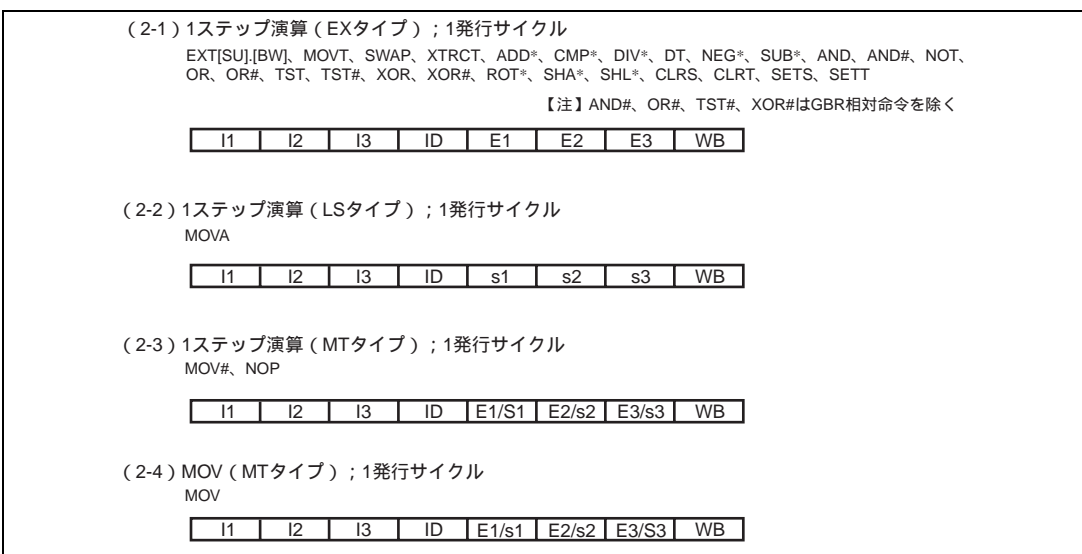


図 4.2 命令実行パターン (2)

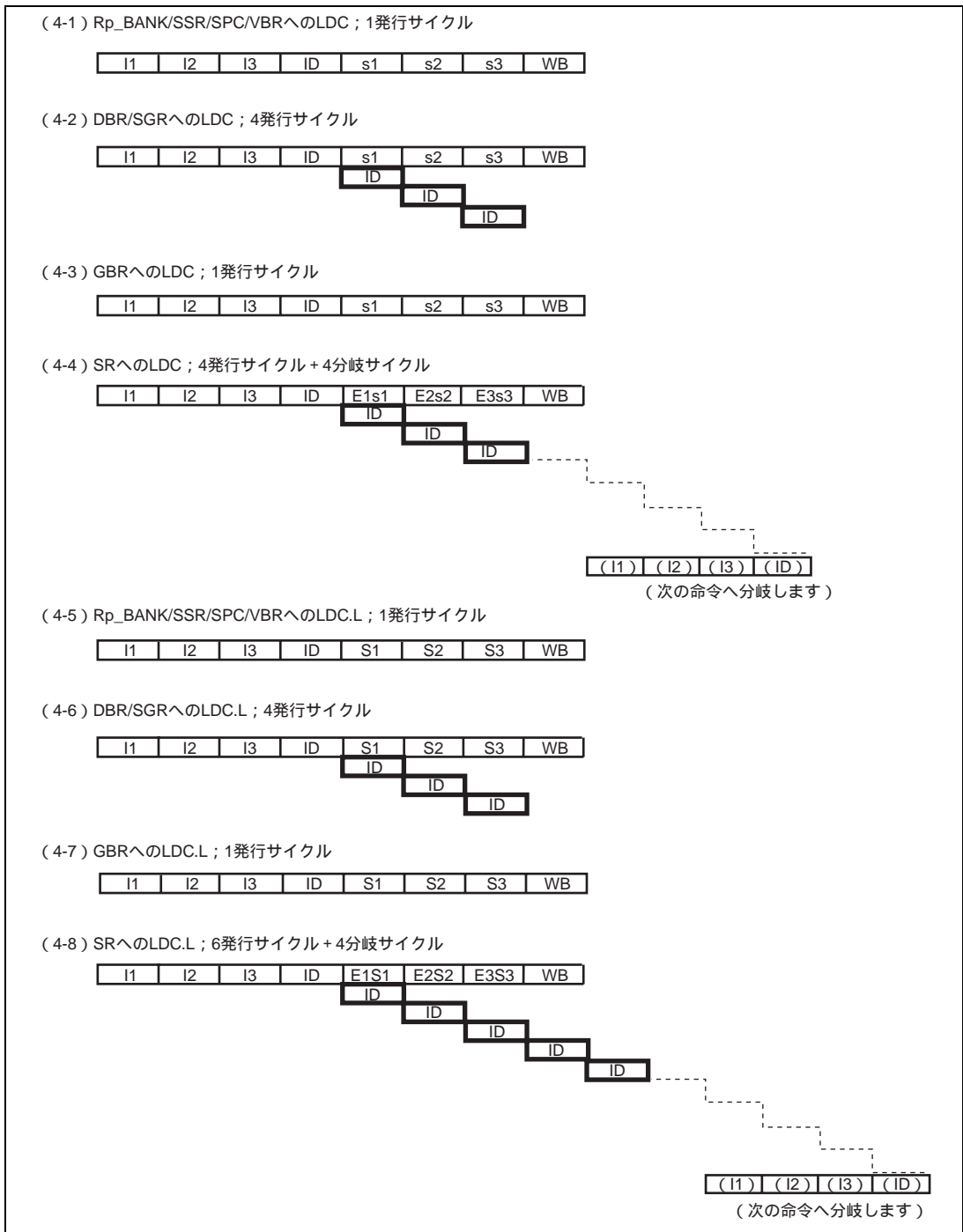


図 4.2 命令実行パターン (4)

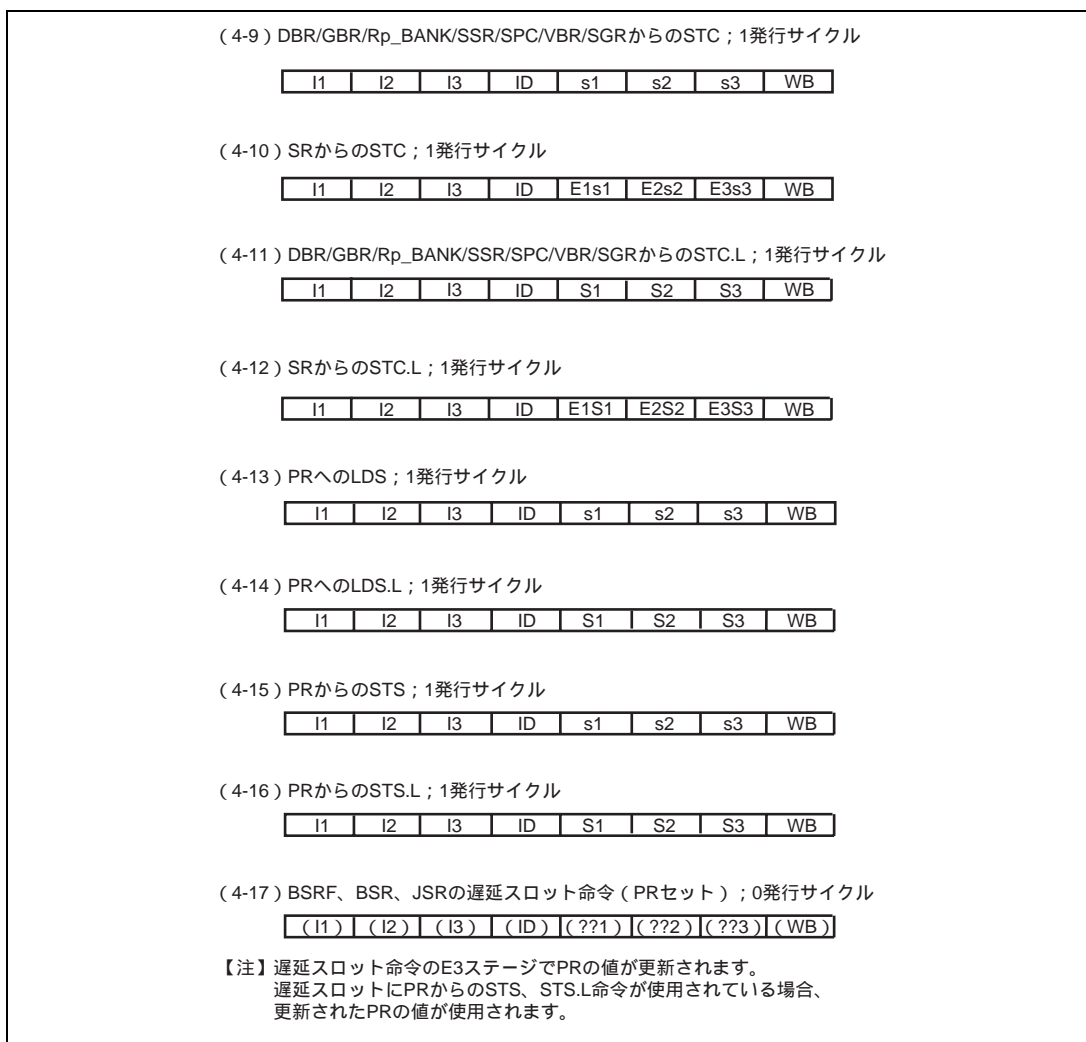


図 4.2 命令実行パターン (5)

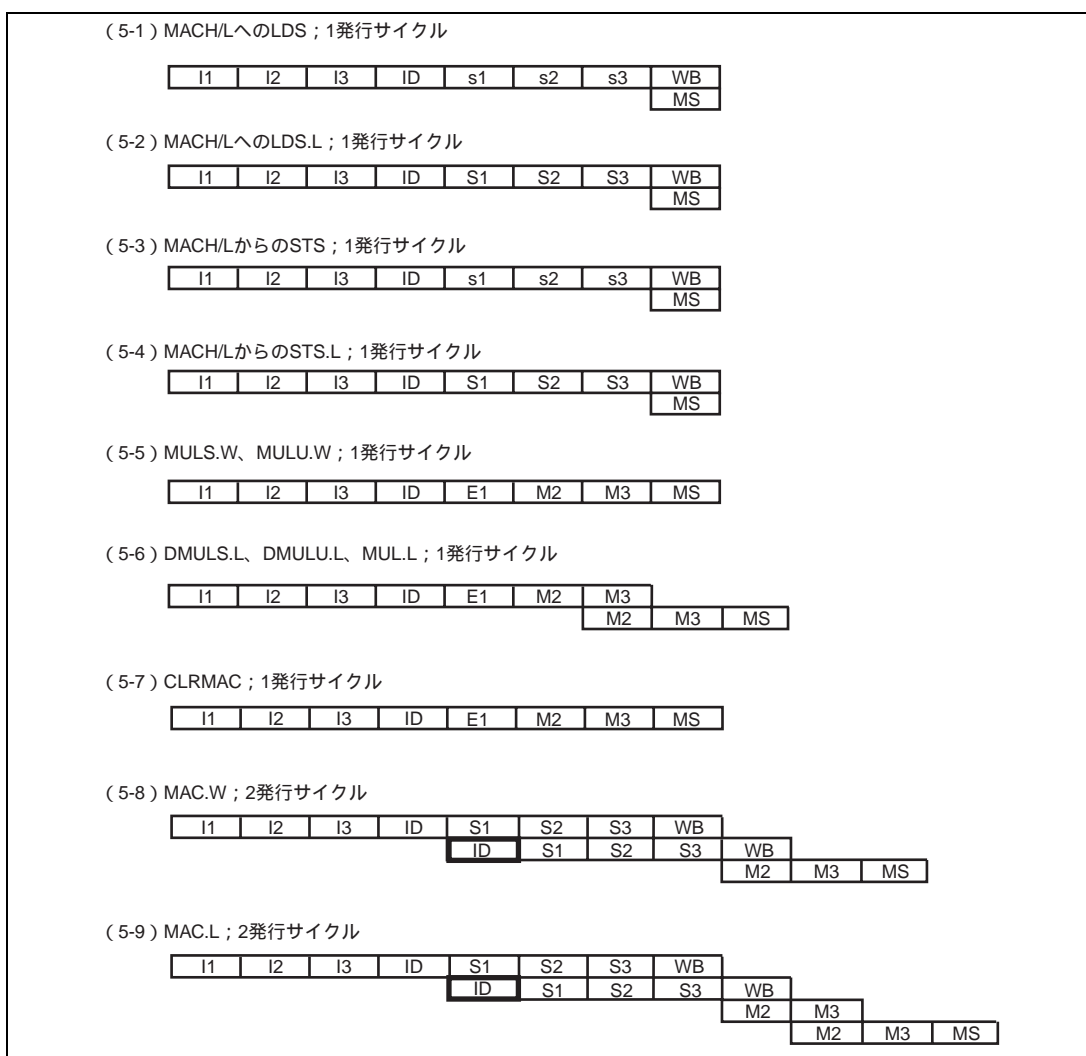


図 4.2 命令実行パターン (6)

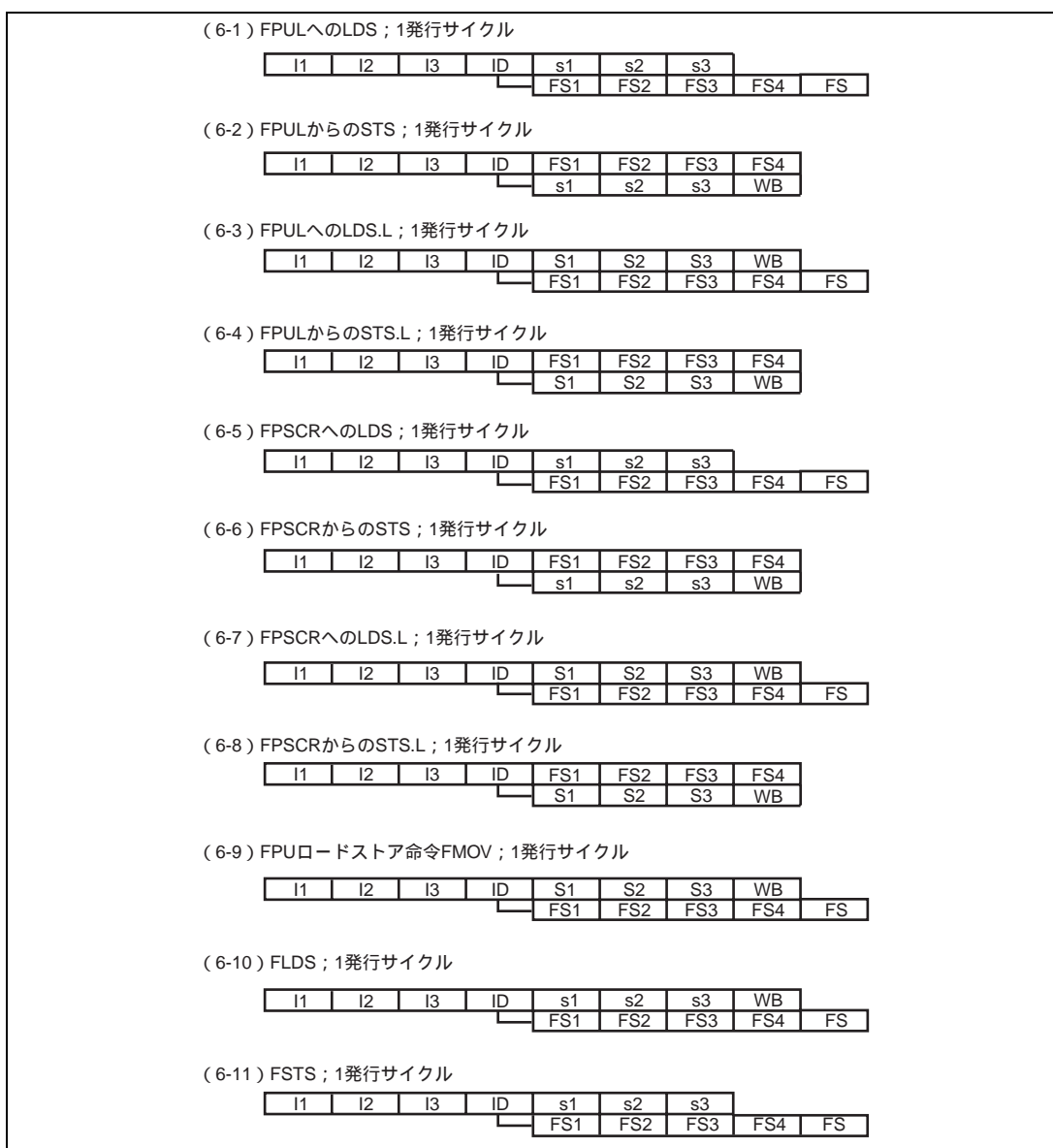


図 4.2 命令実行パターン (7)

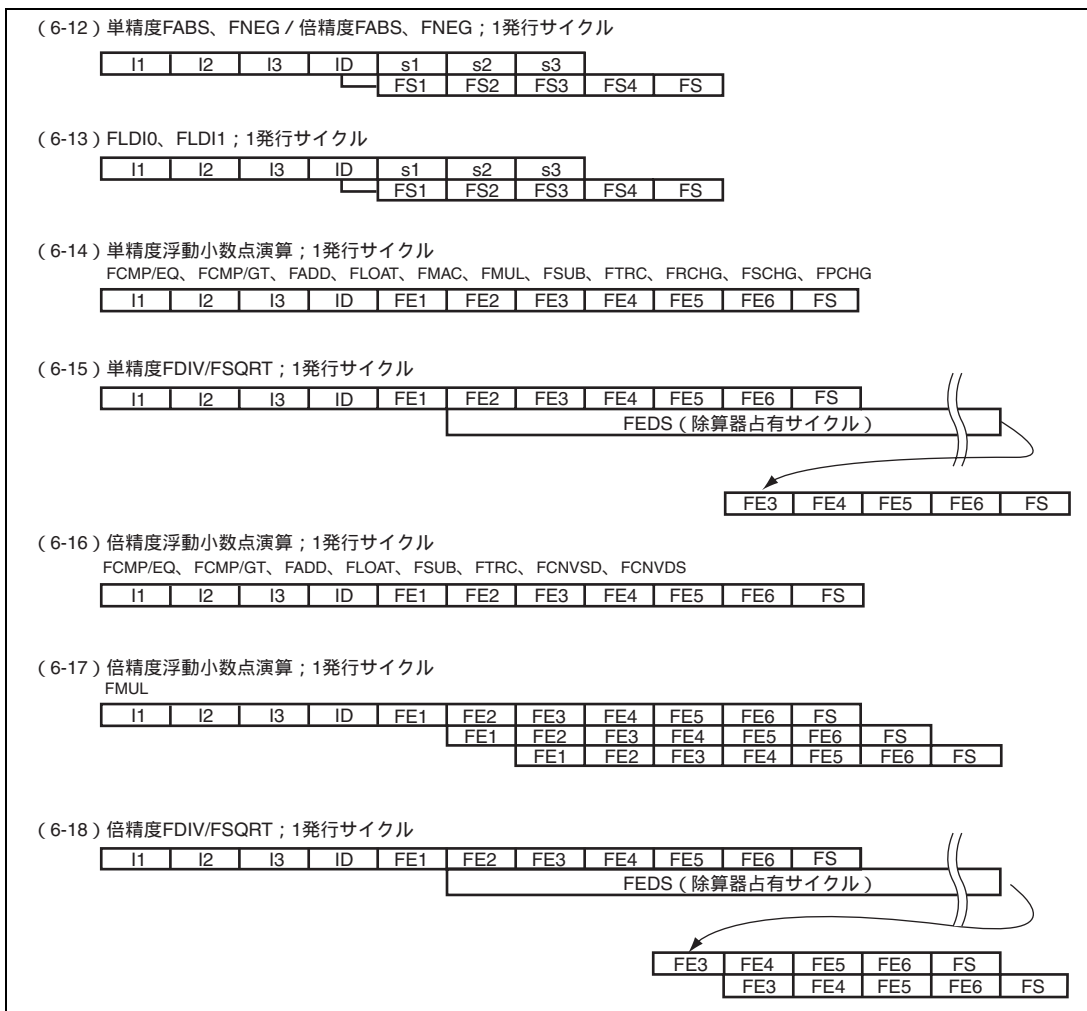


図 4.2 命令実行パターン (8)



図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

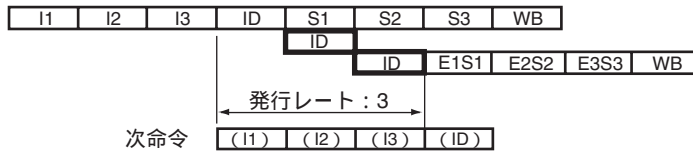
4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

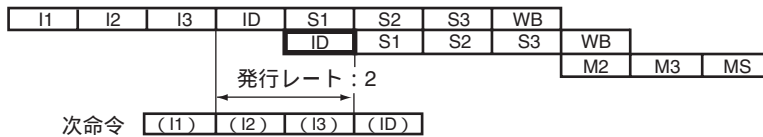
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

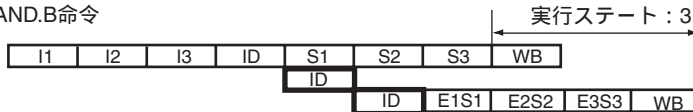


(2) 実行ステート

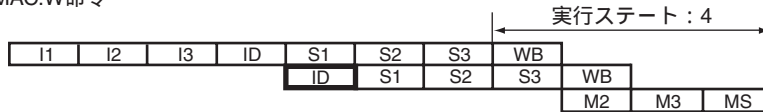
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・ CPU命令

(例) AND.B命令

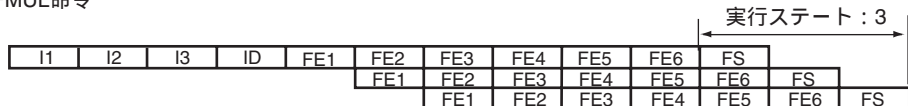


(例) MAC.W命令



・ FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVLIL	@Rm,R0	CO	1	1	3-8
	43	MOVUAL	@Rm,R0	LS	2	2	3-10
	44	MOVUAL	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1
72		MAC.L	@Rm+,@Rn+	CO	2	5	5-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	73	MAC.W	@Rm+,@Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
122	RTS		BR	1+0~3	1	1-3	
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
143	LDC	Rm,VBR	LS	1	1	4-1	
144	LDC.L	@Rm+,DBR	CO	4	4	4-6	
145	LDC.L	@Rm+,SGR	CO	4	4	4-6	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	14	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
203	FMOV	DRm,DRn	LS	1	1	6-9	
204	FMOV	@Rm,DRn	LS	1	1	6-9	
205	FMOV	@Rm+,DRn	LS	1	1	6-9	
206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
207	FMOV	DRm,@Rn	LS	1	1	6-9	
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	30	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
244	FSRRA	FRn	FE	1	1	6-21	
245	FSCA	FPUL,DRn	FE	1	3	6-22	
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
TRAPA 例外レジスタ	TRA	不定	不定	保持	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持	保持
非サポート検出例外レジスタ	EXPMASK	H'0000 001F	H'0000 001F	保持	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値:	0	0	0	0	0	0										0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値 :	0	0														
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	-	-	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。
3, 2	-	すべて 1	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	BRDSSLP	1	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SR および R15 の内容がそれぞれ SPC、SSR および SGR に退避されます。
2. SR のブロックビット (BL) が 1 に設定されます。
3. SR のモードビット (MD) が 1 に設定されます。
4. SR のレジスタバンクビット (RB) が 1 に設定されます。
5. リセット時、SR の FPU ディスエーブルビット (FD) が 0 に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット 13~0 に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/-	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/-	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
一般割り込み要求			4	-	(VBR)	H'600	-	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこのほかにもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数の例外が発生する場合の優先順位」を参照してください。

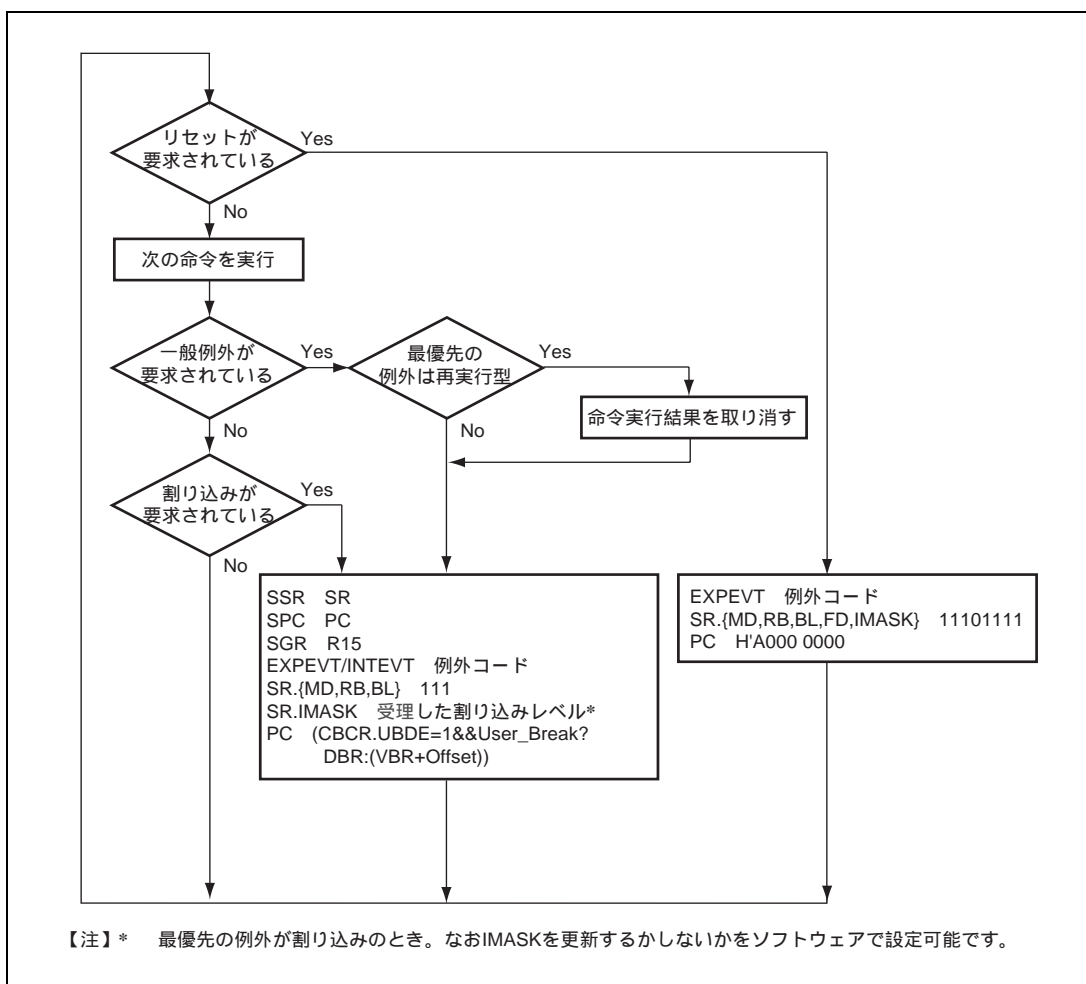


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序(プログラム順)に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

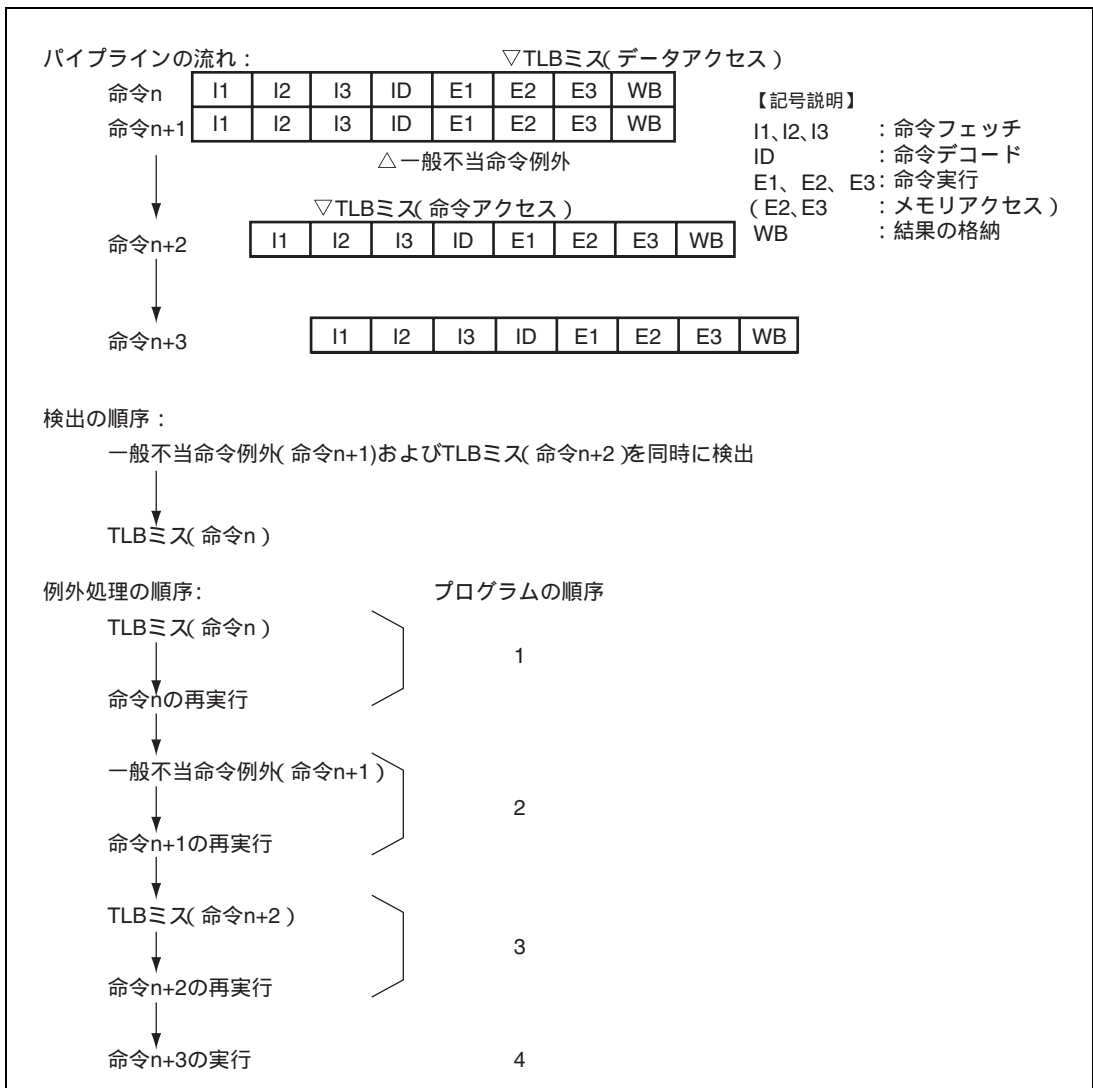


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、一般例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 30 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：
パワーオンリセット要求
- 動作：
EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、「第14章 リセット、低消費電力モード」および各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：
マニュアルリセット要求
- 動作：
EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、「第14章 リセット、低消費電力モード」または各章のレジスタの説明を参照してください。ただし各章のレジスタの説明にマニュアルリセットの説明がない場合、パワーオンリセットと同様の状態になります。

(3) H-UDI リセット

- 要因：SDIR.TI[7:0]がB'01100000（ネゲート）、またはB'01110000（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、「第31章 ユーザデバッグインタフェース（H-UDI）」および各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100

- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因：アクセスが表5.6、表5.7に示すITLBのプロテクション情報（PRビット）に反する。

表 5.6 ITLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.7 ITLB プロテクション情報（TLB 拡張モードの場合）

EPR[5], EPR[3]	特権モードでの実行の可否
11、01	実行可
10	ICBI のみ実行不可、他は実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11、01	実行可
10	ICBI のみ実行不可、他は実行可
00	実行不可

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
```

```
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(6) データアドレスエラー

• 要因:

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1, 4n+2, 4n+3$) からアクセス (ただし、MOVUA 命令は除きます)
- クワッドワードをクワッドワードデータ境界以外 ($8n+1, 8n+2, 8n+3, 8n+4, 8n+5, 8n+6, 8n+7$) からアクセス
- ユーザモードでの領域 $H'8000\ 0000 \sim H'FFFF\ FFFF$ へのアクセス
ただし、 $H'E000\ 0000 \sim H'E3FF\ FFFF$ および $H'E500\ 0000 \sim H'E5FF\ FFFF$ は、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。
- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み

• 遷移先アドレス: $VBR + H'0000\ 0100$

• 遷移時動作:

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コード $H'0E0$ を、書き込みの場合は例外コード $H'100$ をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、 $PC = VBR + H'0100$ に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```

Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;

    SPC = PC;
    SSR = SR;
    SGR = R15;

    EXPEVT = read_access? H'000000E0: H'00000100;

    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;

    PC = VBR + H'00000100;
}

```

(7) 命令アドレスエラー

• 要因：

- ワード境界以外 ($2n + 1$) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(8) 無条件トラップ

• 要因：TRAPA命令の実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。


```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(10) スロット不当命令例外

• 要因 :

- 遅延スロットにある未定義命令をデコード

遅延分岐命令 : JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令 : H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令 : JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+ ,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令 : LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス : VBR + H'0000 0100

• 遷移時動作 :

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{
```

```
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
```

```
}
```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令H'FFFDを除く)と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は「第30章 ユーザブレークコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}

```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()  
{  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000120;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

5.6.3 割り込み

(1) NMI (ノンマスクابل割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

(2) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレイクを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられませんが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令：

単精度、倍精度、グラフィックサポート、システム制御

- SH-4AでSH-4に対して下記の3命令を追加しました。

FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

本 LSI は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

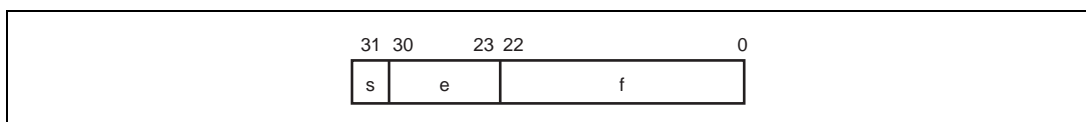


図 6.1 単精度浮動小数点フォーマット

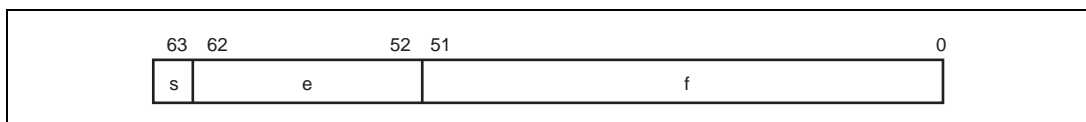


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{min} < E < E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイエット非数 (qNaN) です。

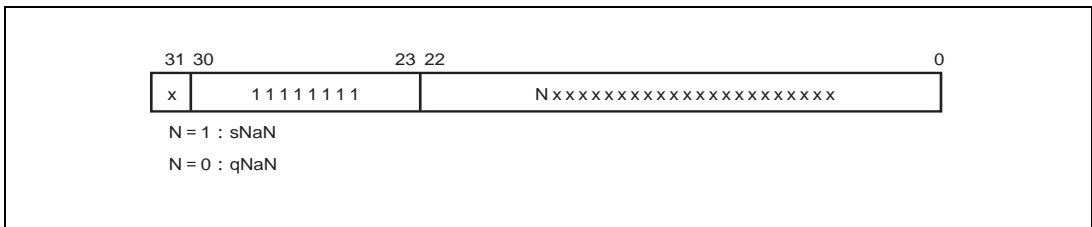


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNになります。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の 3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として本 LSI が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが 1 の場合、非正規化数 (ソースオペランドまたは演算結果) は、(レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCR の DN ビットが 0 の場合、非正規化数 (ソースオペランドまたは演算結果) はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}, DR2 = {FR2, FR3},

DR4 = {FR4, FR5}, DR6 = {FR6, FR7},

DR8 = {FR8, FR9}, DR10 = {FR10, FR11},

DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3},

FV4 = {FR4, FR5, FR6, FR7},

FV8 = {FR8, FR9, FR10, FR11},

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XDi (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8、XF9}、XD10 = {XF10、XF11}、
XD12 = {XF12、XF13}、XD14 = {XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX =

}	XF0	XF4	XF8	XF12
	XF1	XF5	XF9	XF13
	XF2	XF6	XF10	XF14
	XF3	XF7	XF11	XF15

FPSCR.FR = 0				FPSCR.FR = 1						
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX				
		FR1	FPR1 BANK0				XF1			
		DR2	FR2				FPR2 BANK0	XF2	XD2	
	FV4	DR4	FR3		FPR3 BANK0		XF3	XD4		
			FR4		FPR4 BANK0		XF4			
			FR5		FPR5 BANK0		XF5			
	FV8	DR6	FR6		FPR6 BANK0		XF6	XD6		
			FR7		FPR7 BANK0		XF7			
			FR8		FPR8 BANK0		XF8	XD8		
	FV12	DR8	FR9		FPR9 BANK0		XF9	XD10		
			DR10		FR10		FPR10 BANK0		XF10	
			FR11		FPR11 BANK0		XF11			
	FV12	DR12	FR12		FPR12 BANK0		XF12	XD12		
			FR13		FPR13 BANK0		XF13			
			DR14		FR14		FPR14 BANK0	XF14	XD14	
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0				
		XF1	FPR1 BANK1				FR1			
		XF2	FPR2 BANK1				FR2	DR2		
		XD2	XF3		FR3		FPR3 BANK1	FR3	DR4	FV4
					FR4		FPR4 BANK1	FR4		
					FR5		FPR5 BANK1	FR5		
		XD6	XF6		FR6		FPR6 BANK1	FR6	DR6	
					FR7		FPR7 BANK1	FR7		
					FR8		FPR8 BANK1	FR8	DR8	FV8
		XD8	XF9		FR9		FPR9 BANK1	FR9	DR10	
					FR10		FPR10 BANK1	FR10		
					FR11		FPR11 BANK1	FR11		
		XD10	XF12		FR12		FPR12 BANK1	FR12	DR12	FV12
					FR13		FPR13 BANK1	FR13		
					FR14		FPR14 BANK1	FR14	DR14	
XD14	XF15	FR15	FPR15 BANK1	FR15						

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	FR	SZ	PR	DN	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	Cause				Enable (EN)						Flag				RM	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	000000	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
11~7	Enable (EN)	00000	R/W	
6~2	Flag	00000	R/W	
1, 0	R	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

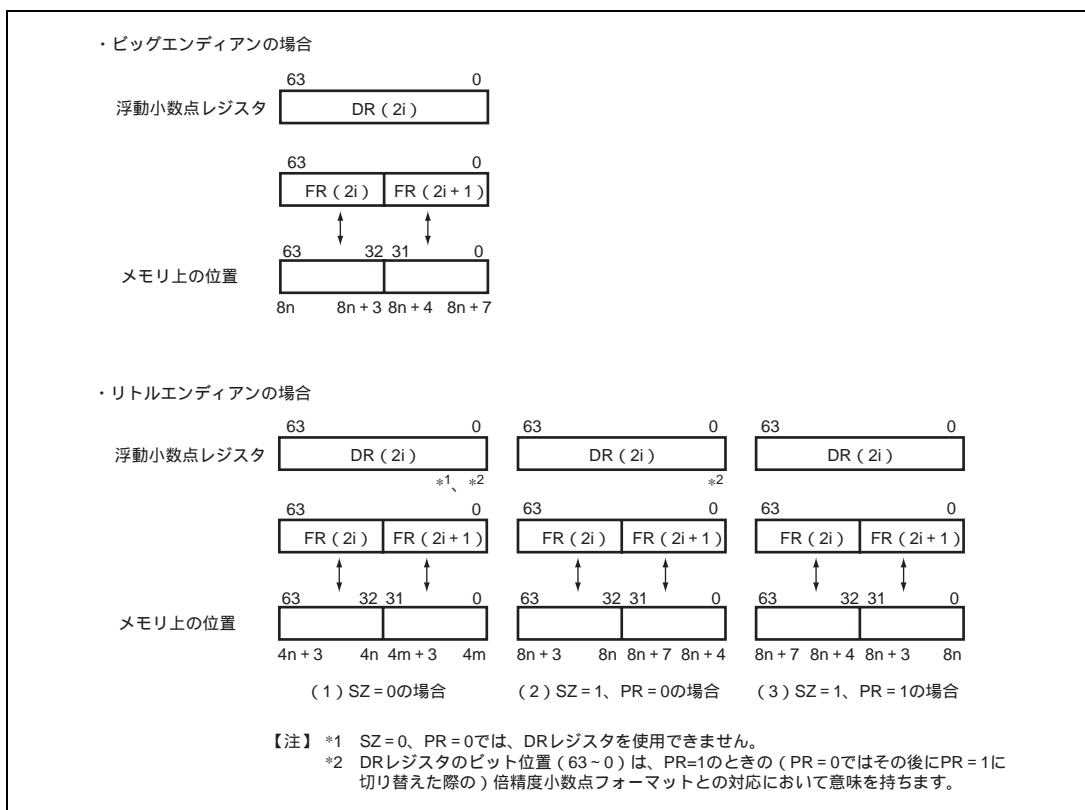


図 6.5 SZ ビットとエンディアンの関係

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}} (2 \cdot 2^{-p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバーフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

本 LSI は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、本 LSI は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m = n) :
一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、本 LSI は 4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

FTRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべての

データタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。たとえば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、本 LSI は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うが行わないかを高速に切り換えることができます。

6.7 FPU 演算命令使用上の注意事項

FPU に関して、FPU 演算命令使用上の注意事項があります。

(1) 内容

倍精度 FDIV もしくは倍精度 FSQRT 命令実行中(除算器占有サイクル中)に FPU 例外以外の例外または割り込みによって後続の FPU 演算命令が実行されず、さらに例外処理ルーチン開始後一定サイクル期間内に FPU 演算命令を実行した場合、FPSCR.CAUSE の値を誤ることがあります。

(2) 条件

次の条件 1) ~ 6) をすべて満たす場合、FPSCR.CAUSE の値を誤ることがあります。

1) FPU を倍精度に設定(FPSCR.PR=1)。

2) 倍精度 FDIV 命令、倍精度 FSQRT 命令のいずれかを実行。

この命令を以降"命令 1"と呼びます。

3) FDIV 命令、倍精度 FSQRT 命令実行中(除算器占有サイクル中)に FPU 例外以外の例外または割り込みにより後続 FPU 演算命令が実行されない。

なお、例外には完了型例外、再実行型例外両方を含み、このとき SPC が当該 FPU 演算命令を指すこと、または、当該 FPU 演算命令が遅延スロット付分岐命令の次の命令(遅延スロット命令の次の命令)であり、SPC が当該 FPU 演算命令の 2 番地前の分岐命令を指すこととします。

この実効されなかった命令を以降"命令 2"と呼びます。

4) 例外処理ルーチン開始以降に別の FPU 演算命令を実行します。

この演算命令を"命令 3"と呼びます。"命令 3"は例外処理ルーチン内または RTE で例外処理ルーチンから復帰した命令列にある場合があります。

5) 例外処理ルーチン開始から数えて、命令 3 までに実行した命令数が次の命令数の範囲の場合:

(5-1) 命令 3 が例外処理ルーチンから RTE で復帰する以前(RTE の遅延スロットを含む)である場合、26 命令以内。

(5-2) 命令 3 が例外処理ルーチンから RTE で復帰した以降である場合で例外処理ルーチンにて実行した命令数が奇数である場合、13 命令以内。

(5-3) 命令 3 が例外処理ルーチンから RTE で復帰した以降である場合で例外処理ルーチンにて実行した命令数が偶数である場合、14 命令以内。

6) 命令 1 から数えて、命令 3 までに実行した命令数が次の命令数の範囲の場合:

(6-1) 命令 3 が例外処理ルーチンから RTE で復帰する以前(RTE の遅延スロットを含む)である場合、29 命令以内。

(6-2) 命令 3 が例外ハンドラから RTE で復帰した以降である場合で例外処理ルーチンにて実行した命令数が奇数である場合、16 命令以内。

(6-3) 命令 3 が例外ハンドラから RTE で復帰した以降である場合で例外処理ルーチンにて実行した命令数が偶数である場合、17 命令以内。

なお、命令 2 は実行されなかったため、実行した命令数には含みません。

注) 上記で FPU 演算命令(命令 2、命令 3)とは、FADD、FSUB、FMUL、FMAC、FCMP、FIPR、FTRV、FSCA、

FSRRA、FCNVDS、FCNVSD、FTRC、FLOAT のいずれかを示します。ただし、命令 1 から命令 3 までの間に FPCHG 命令がなく、命令 2、命令 3 が倍精度命令の場合、命令 2、命令 3 は倍精度 FADD、倍精度 FSUB、倍精度 FMUL、倍精度 FCMP、FCNVDS、FCNVSD、倍精度 FTRC、倍精度 FLOAT 命令となります。

(3) 回避方法

CAUSE ビットの値を使用する場合、下記 1 または 2 いずれかの方法で回避できます。

下記で FPU 演算命令とは、FADD、FSUB、FMUL、FMAC、FCMP、FIPR、FTRV、FSCA、FSRRA、FCNVDS、FCNVSD、FTRC、FLOAT のいずれかを示します。また、例外処理ルーチンとは、FPU 例外以外の例外処理ルーチン (割り込み、例外) を示します。

1. 下記 1.1、1.2 の両方を満たすようにします。

1.1 例外処理ルーチン (例外発生 - RTE の遅延スロット命令まで) 内で、FPU 演算命令を実行する場合、例外処理ルーチン開始から 27 命令以降に実行します。

1.2 例外処理ルーチンから復帰した元プログラムの命令列で FPU 演算命令実行する場合、例外処理ルーチン内で、例外処理ルーチン開始から 13 命令以上実行して、元プログラムに復帰します。

2. 例外処理ルーチンの先頭から上記条件 5, 6 の命令数の範囲で FPU 演算命令がある場合には、その命令を実行する前に、FPSCR に対する、LDS、LDS.L、STS、STS.L 命令のいずれかを実行してください。

7. メモリマネジメントユニット (MMU)

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU: Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB: Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

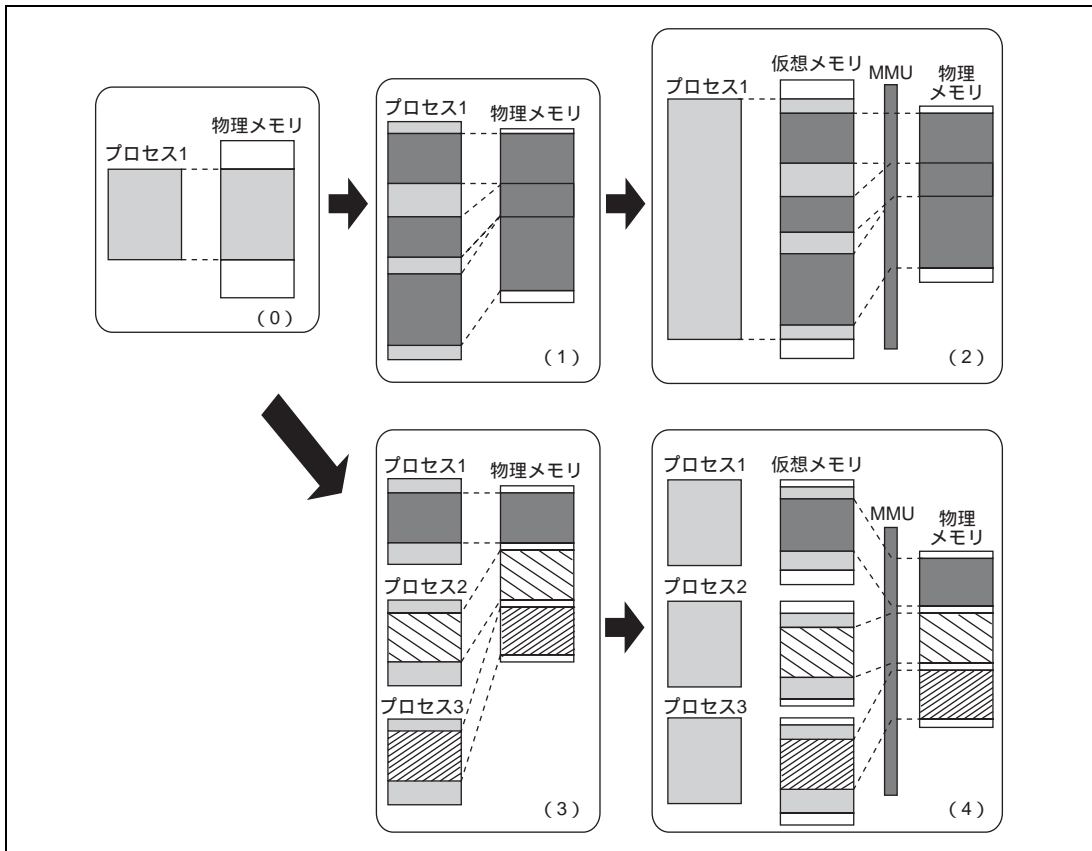


図 7.1 MMU の役割

7.1.1 アドレス空間

(1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

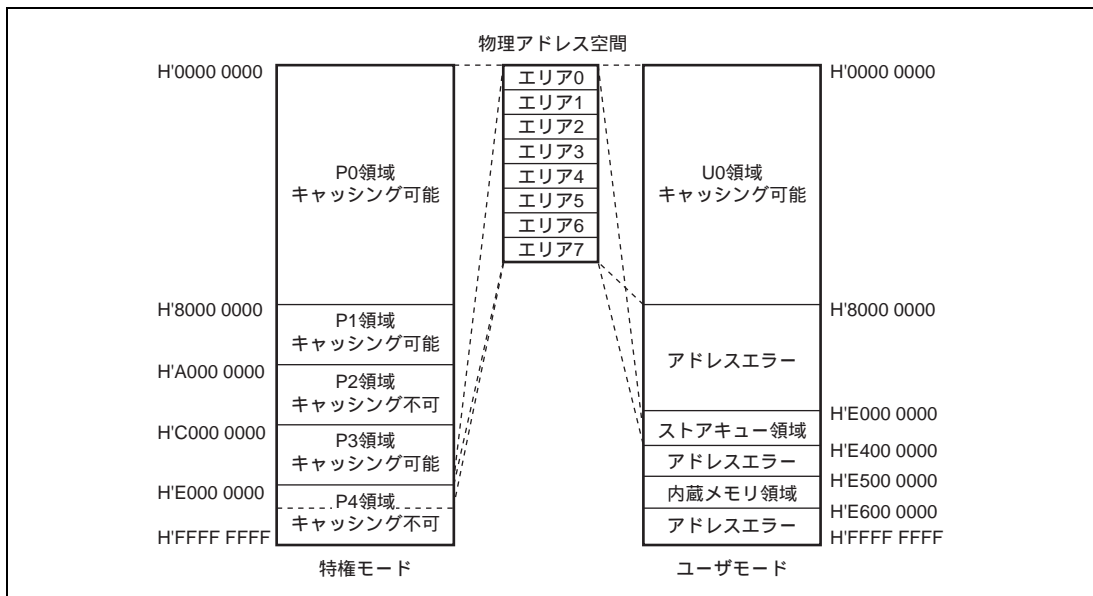


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

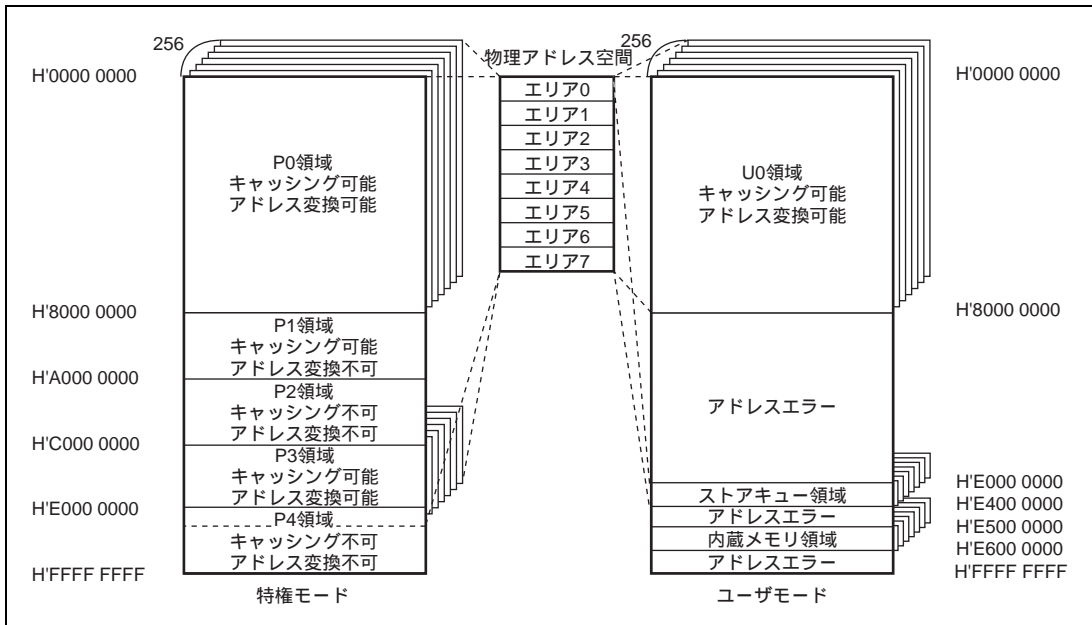


図 7.3 仮想アドレス空間 (MMUCR.AT=1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	
H'E600 0000	内蔵メモリ領域
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLBアドレスアレイ
H'F700 0000	共用TLBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'FOFF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は「第 11 章 バスステートコントローラ (BSC)」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を使います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	保持
ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持
ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 xxx0	保持	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持

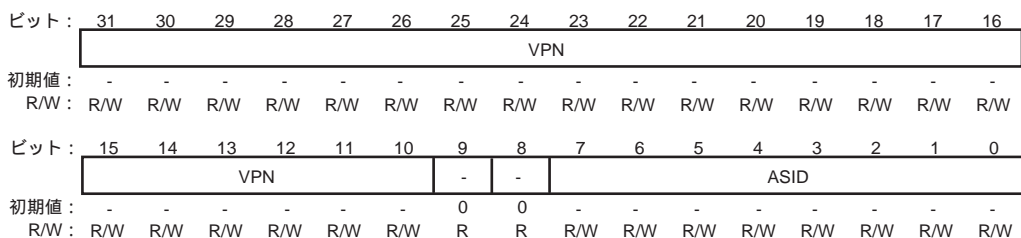
7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. PTEH 更新の前にあらかじめ IRMC.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	不定	R/W	仮想ページ番号
9、8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ASID	不定	R/W	アドレス空間識別子

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値 :	0	0	0													
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値 :							0									
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	PPN	不定	R/W	物理ページ番号
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	V	不定	R/W	ページ管理情報
7	SZ1	不定	R/W	各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード)」および「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA		MMU例外 / アドレスエラーを発生させた仮想アドレス													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA		MMU例外 / アドレスエラーを発生させた仮想アドレス													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	000000	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25, 24	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23~18	URB	000000	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17, 16	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
15~10	URC	000000	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一反想記憶モード / 多重反想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重反想記憶モード 1 : 単一反想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/TLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	EPR						ESZ				-	-	-	-
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												R2	R1	LT	MT	MC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令 TLB ミスのとき、ITLB へ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT

図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット
 4K バイトページのとき、仮想アドレスの上位 20 ビット
 64K バイトページのとき、仮想アドレスの上位 16 ビット
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット ページサイズを指定します。
 00 : 1K バイトページ
 01 : 4K バイトページ
 10 : 64K バイトページ
 11 : 1M バイトページ

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

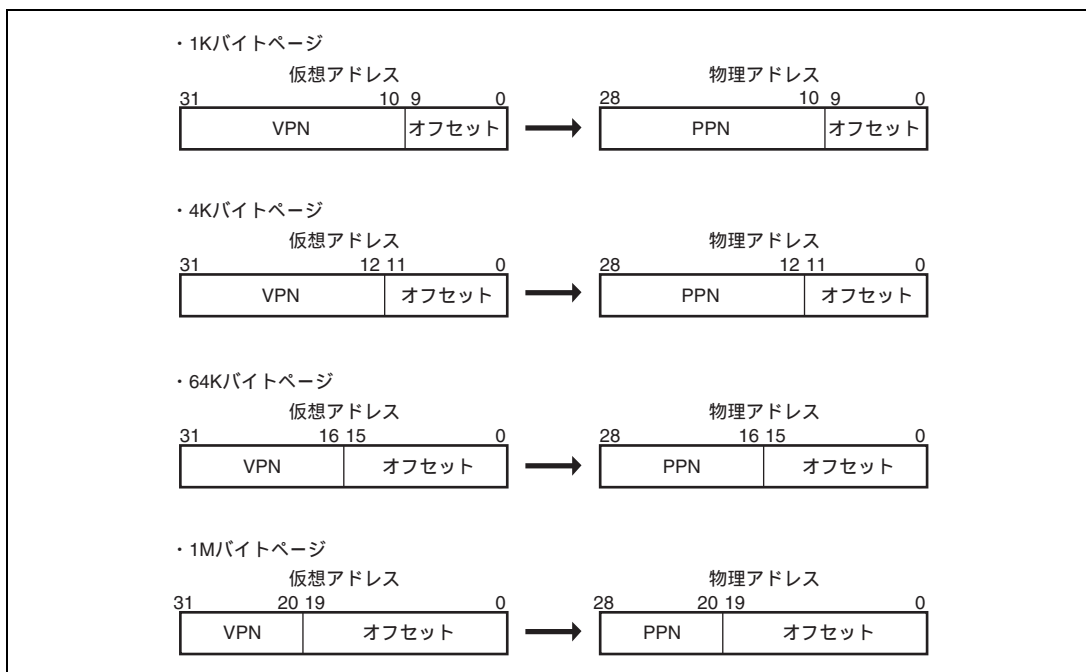


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

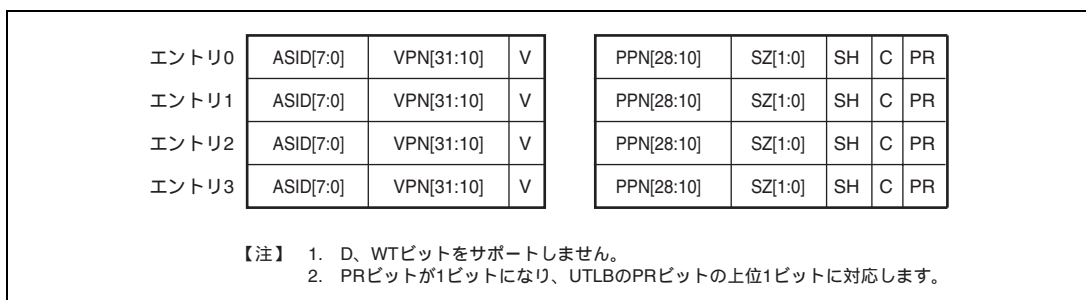


図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

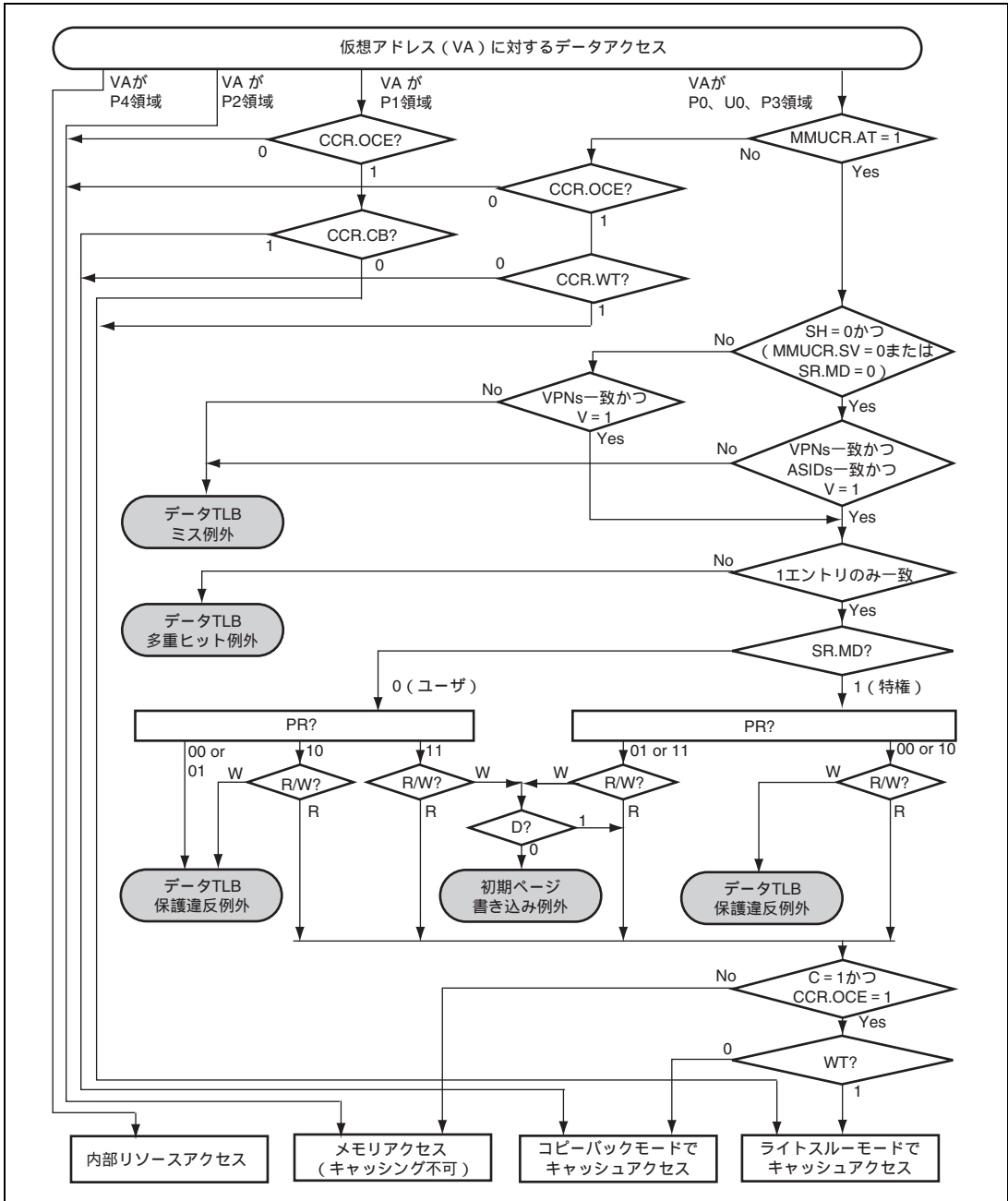


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

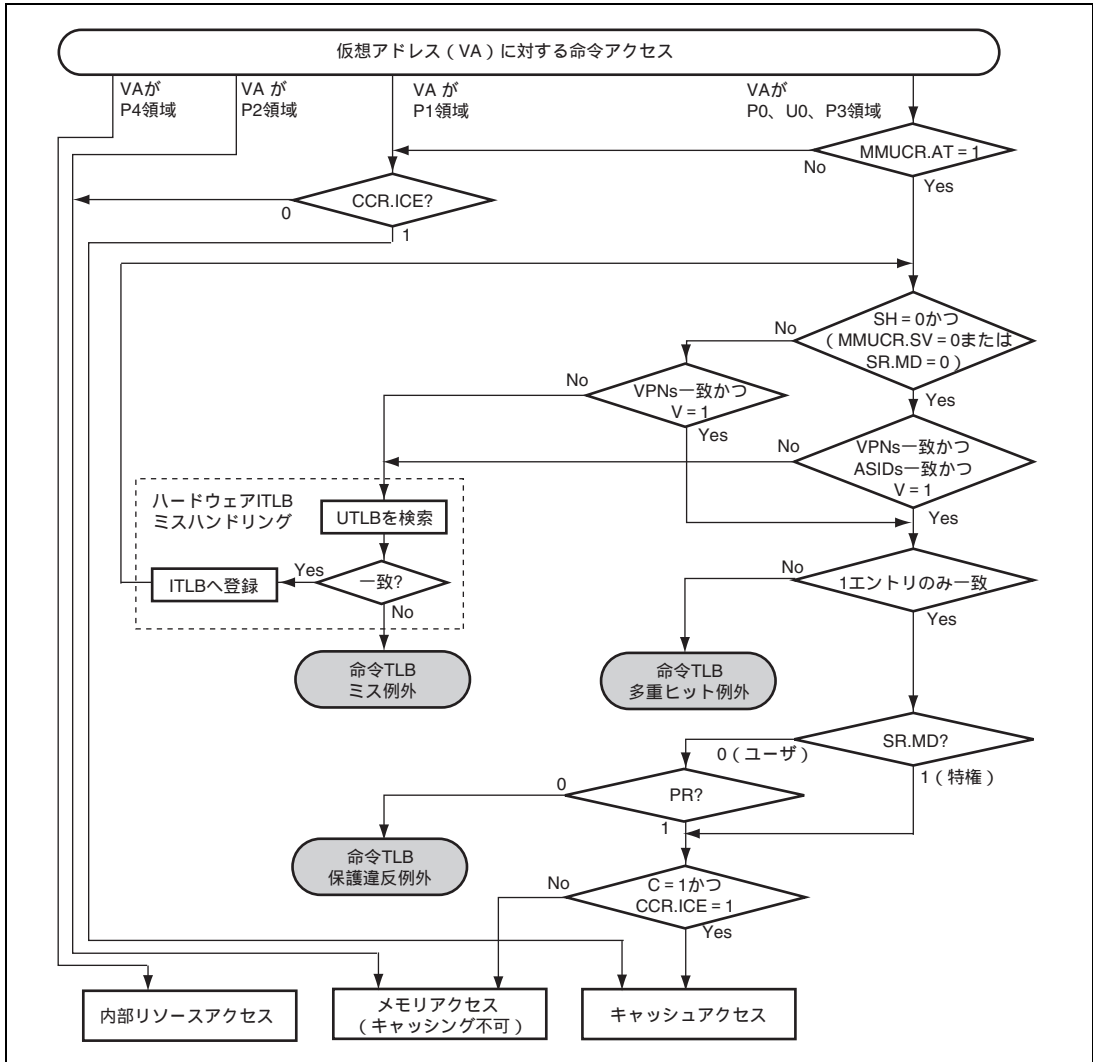


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号

1K バイトページのと看、仮想アドレスの上位 22 ビット
 4K バイトページのと看、仮想アドレスの上位 20 ビット
 8K バイトページのと看、仮想アドレスの上位 19 ビット
 64K バイトページのと看、仮想アドレスの上位 16 ビット
 256K バイトページのと看、仮想アドレスの上位 14 ビット
 1M バイトページのと看、仮想アドレスの上位 12 ビット
 4M バイトページのと看、仮想アドレスの上位 10 ビット
 64M バイトページのと看、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。

単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのと看で、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しません。

1 : 複数のプロセスでページを共有します。

ESZ : ページサイズビット

ページサイズを指定します。

0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ
 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

- V : 有効ビット エントリが有効かどうかを示します。
0 : 無効
1 : 有効
パワーオンリセット時に 0 にクリアされます。
マニュアルリセット時には変化しません。
- PPN : 物理ページ番号 物理アドレスの上位 19 ビット
1K バイトページのときは PPN[28:10]が有効です。
4K バイトページのときは PPN[28:12]が有効です。
8K バイトページのときは PPN[28:13]が有効です。
64K バイトページのときは PPN[28:16]が有効です。
256K バイトページのときは PPN[28:18]が有効です。
1M バイトページのときは PPN[28:20]が有効です。
4M バイトページのときは PPN[28:22]が有効です。
64M バイトページのときは PPN[28:26]が有効です。
また PPN の設定においてはシノニム問題に注意してください
(「7.5.5 シノニム問題の回避」参照)。
- EPR : 保護キーデータ ページのアクセス権をコードで表した 6 ビットデータ
特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。
EPR[5] : 特権モードでの読み出し
EPR[4] : 特権モードでの書き込み
EPR[3] : 特権モードでの実行 (命令フェッチ)
EPR[2] : ユーザモードでの読み出し
EPR[1] : ユーザモードでの書き込み
EPR[0] : ユーザモードでの実行 (命令フェッチ)
- C : キャッシング可能ビット ページがキャッシング可能かどうか示します。
0 : キャッシング不可能
1 : キャッシング可能
制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
- D : ダーティビット ページに書き込みが行われたかどうかを示します。
0 : 書き込みが行われていない
1 : 書き込みが行われた

WT : ライトスルービット キャッシュへの書き込みモードを指定します。
 0 : コピーバックモード
 1 : ライトスルーモード

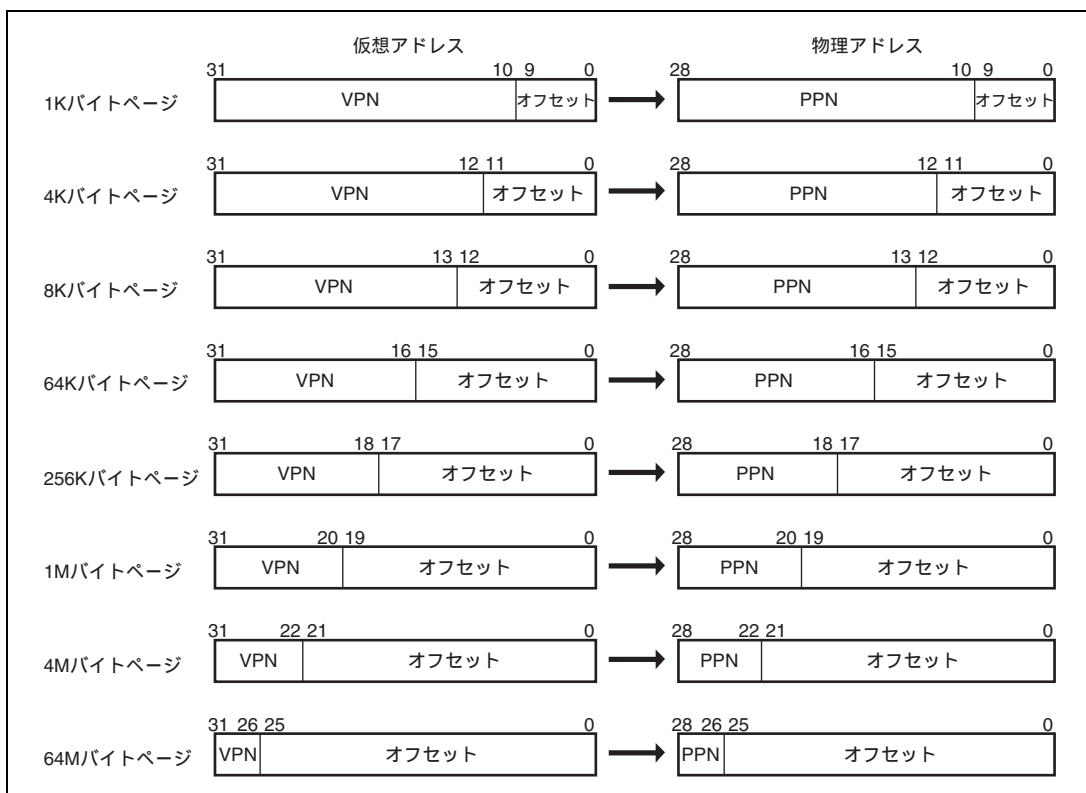


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

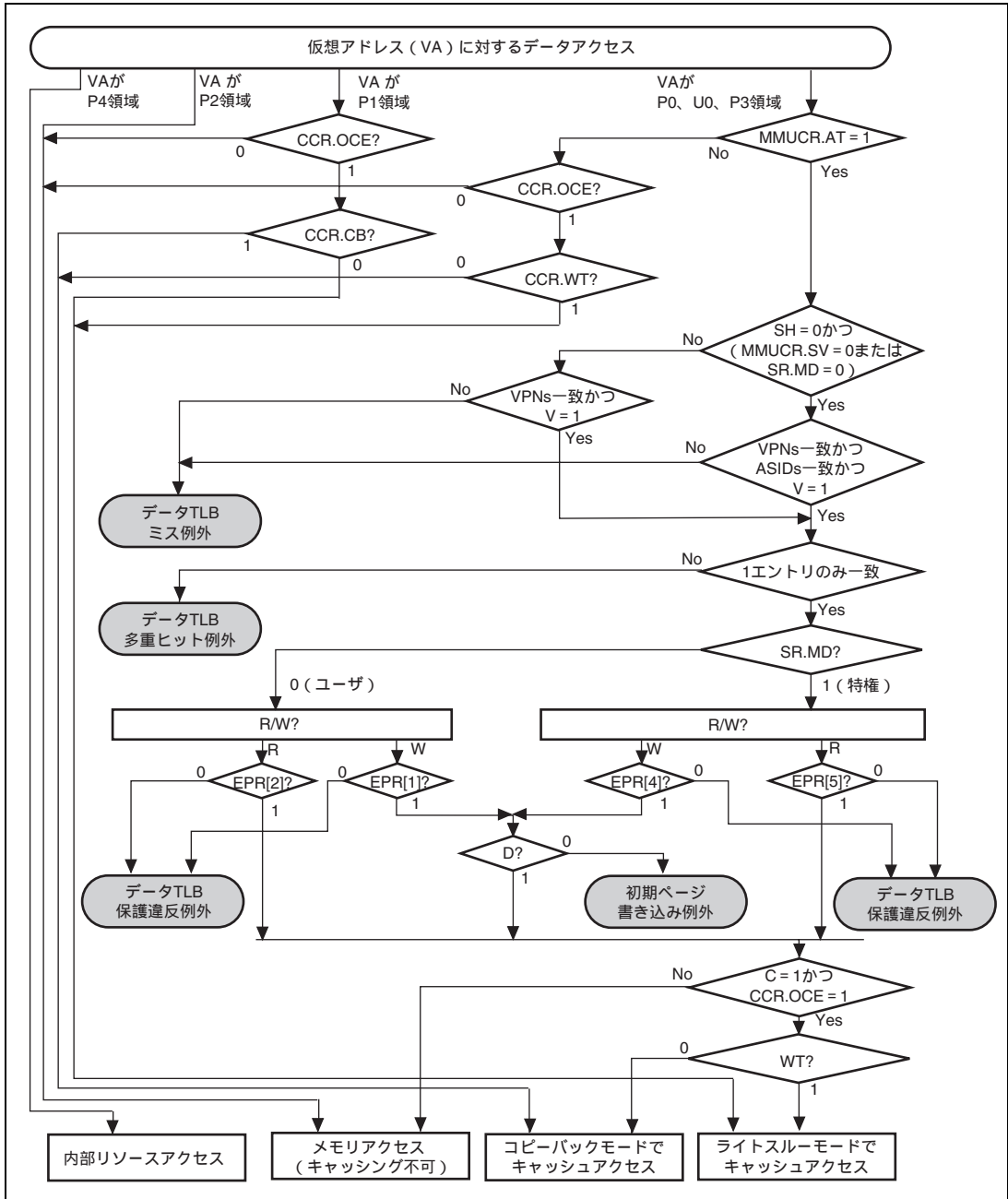


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

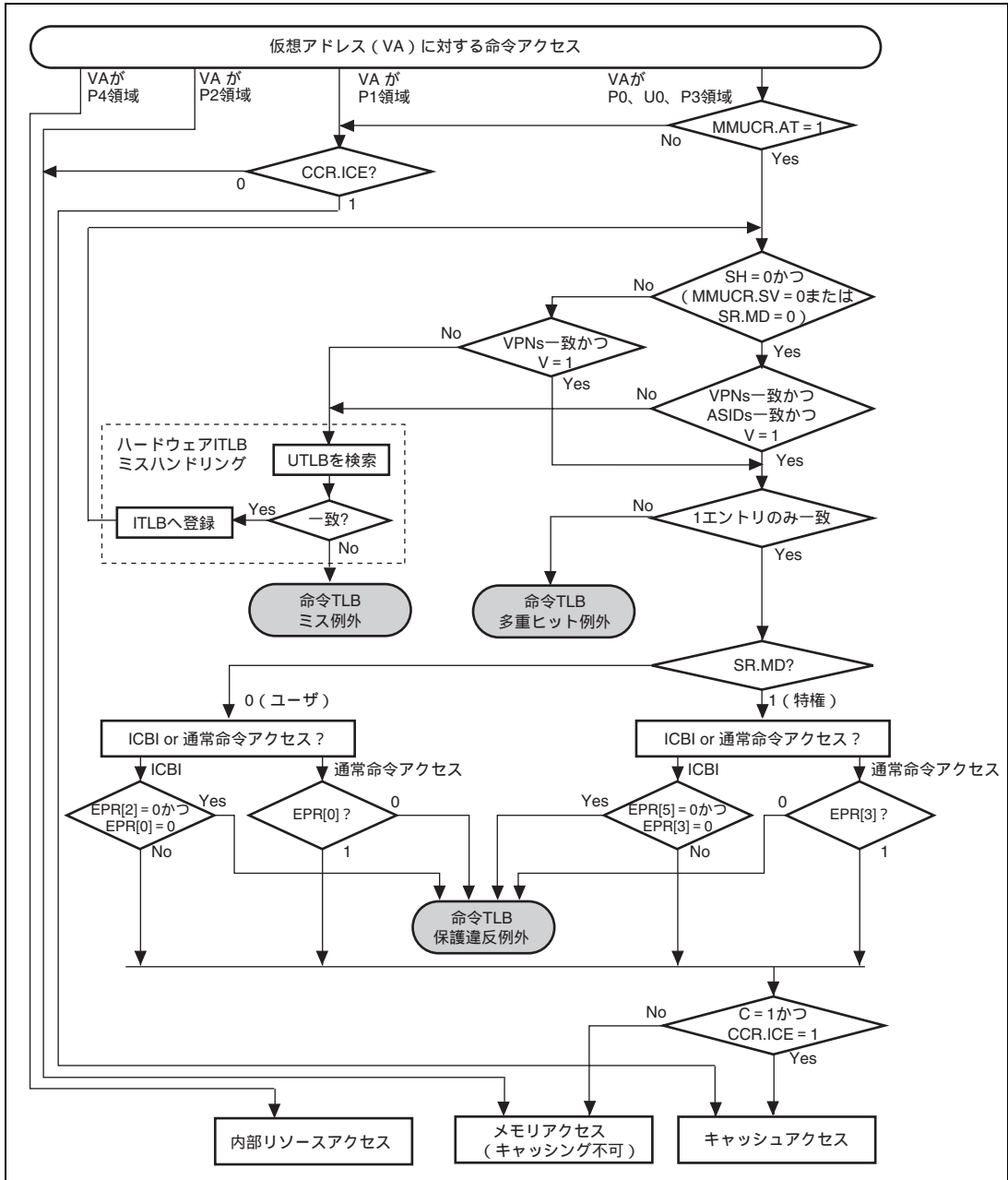


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

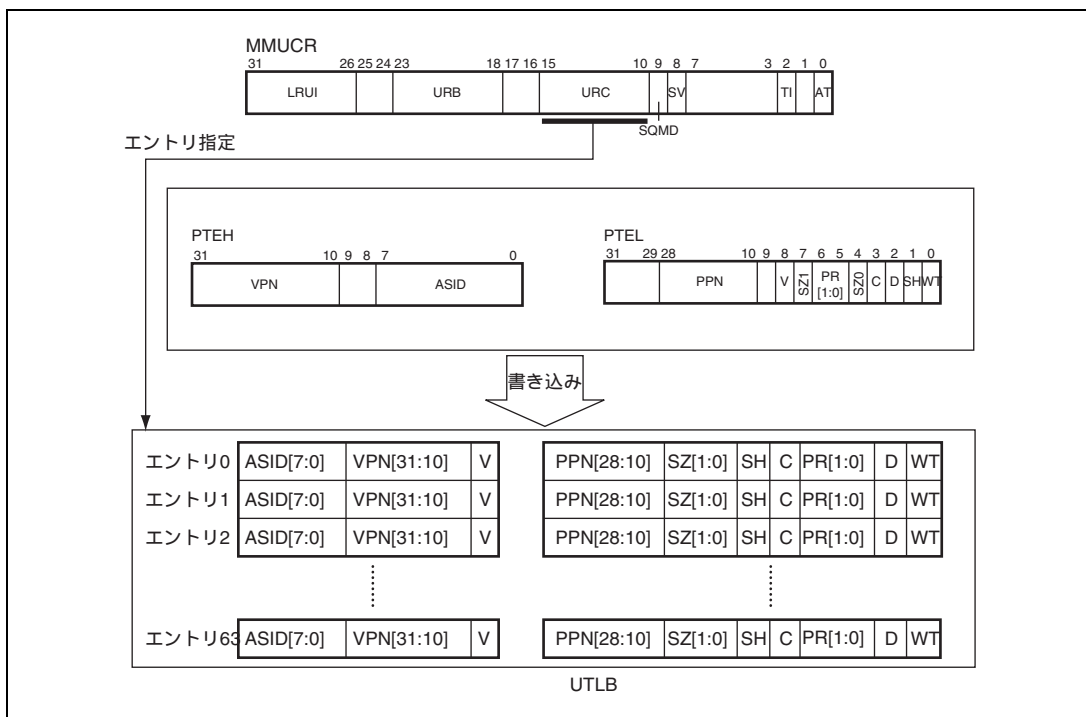


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

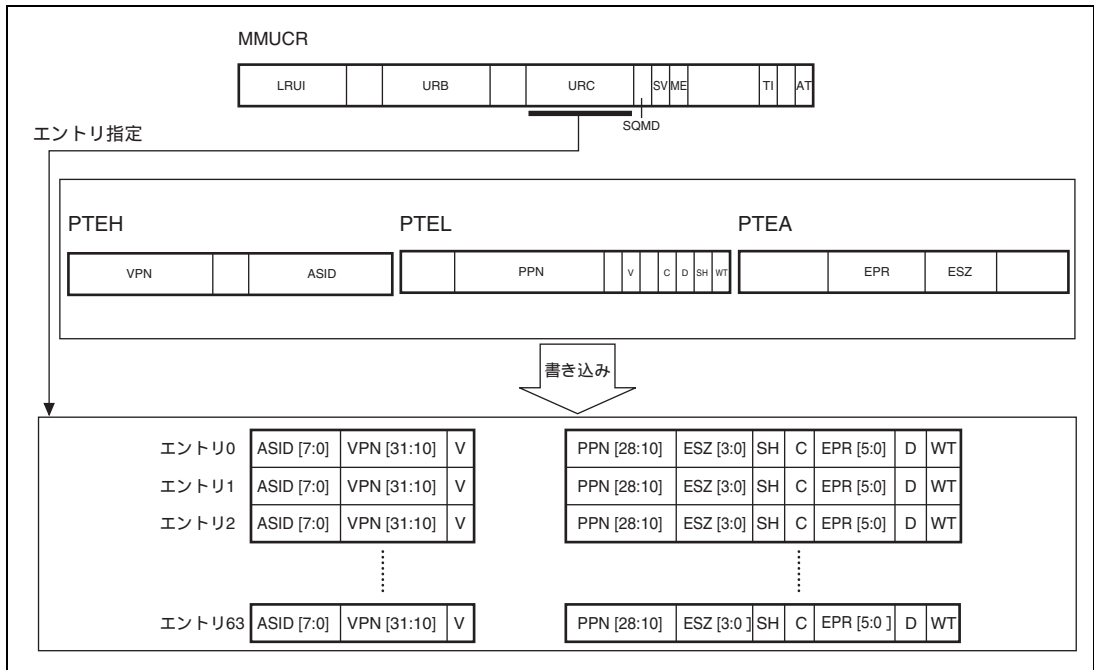


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7.5.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけれなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

以下ではオペランドキャッシュが 32K バイトのケースについて説明します。

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

キャッシュサイズが 32K バイトから変ると、シノニム問題が発生する可能性があるページサイズと、UTLB エントリ登録時に等しくなるようにする必要がある VPN のビット位置は、以上の説明から変わります。8K バイト～64K バイトのキャッシュサイズに対してシノニム問題が発生する可能性があるページサイズを表 7.3 に示します。

表 7.3 キャッシュサイズとシノニム問題の回避策

キャッシュサイズ	シノニム問題が発生する可能性のある ページサイズ	等しくなるように登録する VPN の ビット位置
8K バイト	1K バイトページ	VPN[10]
16K バイト	1K バイトページ	VPN[11 : 10]
32K バイト	1K バイトページ	VPN[12 : 10]
	4K バイトページ	VPN[12]
64K バイト	1K バイトページ	VPN[13 : 10]
	4K バイトページ	VPN[13 : 12]

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14 および図 7.15 を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットが発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
 7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
 8. SRのRBビットを1に設定します。
 9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。
- ソフトウェア処理 (命令TLBミス例外処理ルーチン)
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。
 1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
 2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
 3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
 4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR あるいは EPR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理
命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。
 1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
 2. 例外の発生した仮想アドレスをTEAに設定します。
 3. 例外コードH'0A0をEXPEVTに設定します。
 4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
 5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL、PTEA に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH、PTEL の内容を UTLB に書き込みます。TLB 拡張モードの場合は、PTEH、PTEL および PTEA の内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR または EPR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P1/P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP1/P2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]がITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

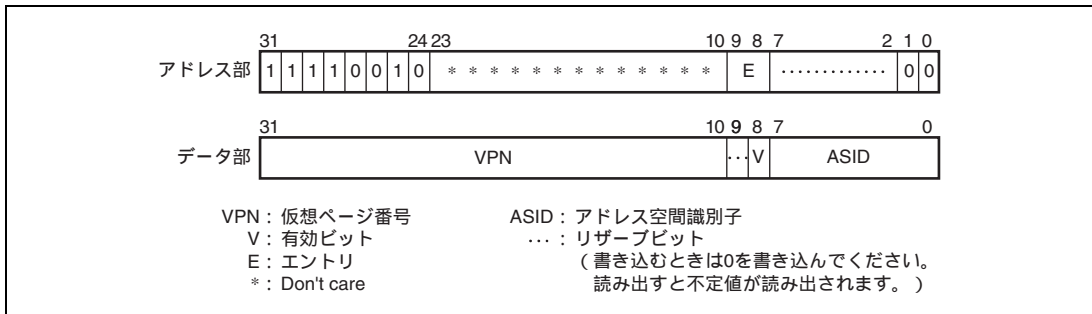


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。

2. ITLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

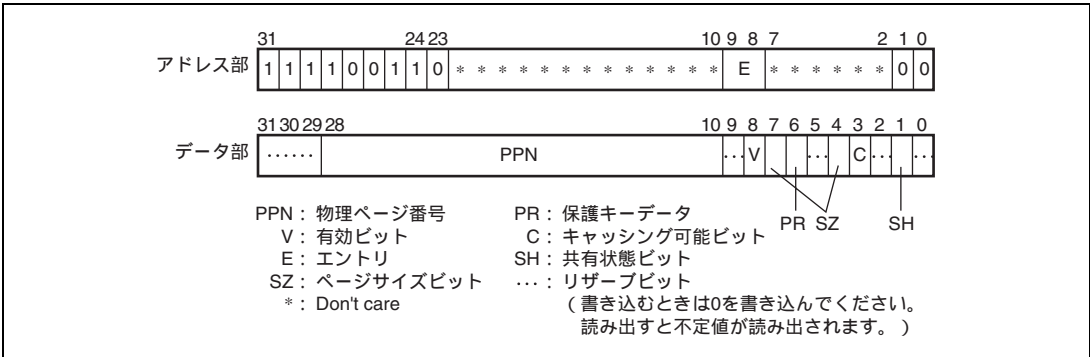


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2、のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

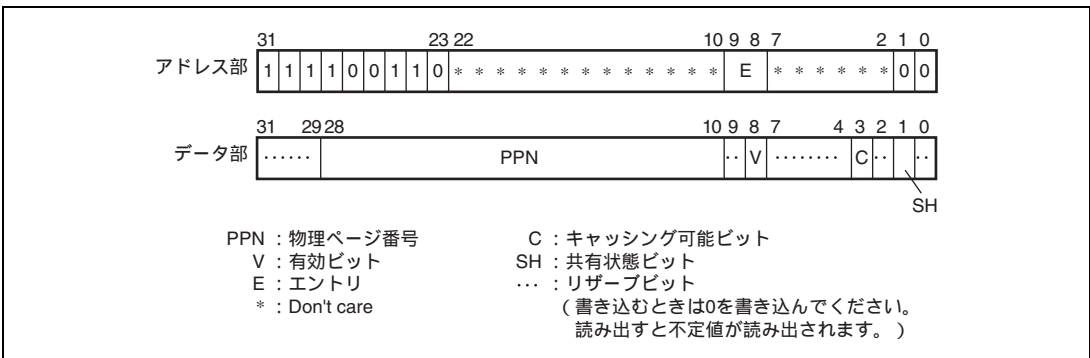


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

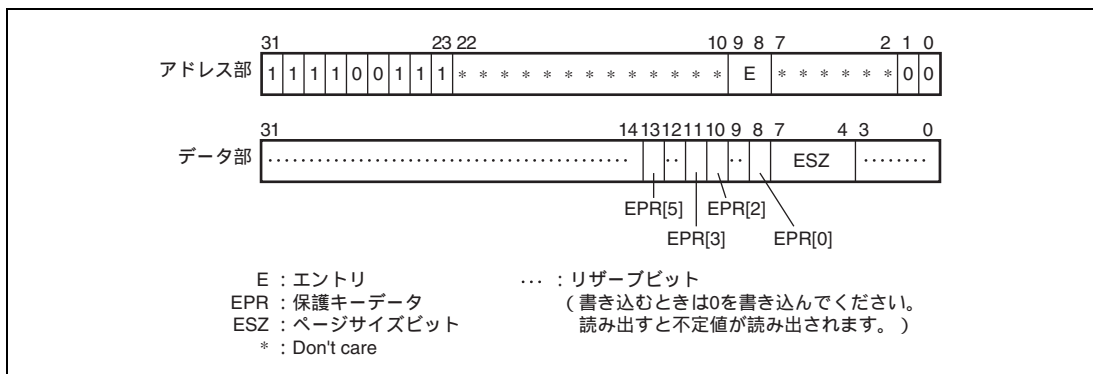


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20] が UTLB アドレスアレイを示す HF60 になっており、[13:8] でエントリを選択するようになっています。アドレス部 [7] の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10] が VPN を、[9] が D を、[8] が V を、[7:0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側のみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

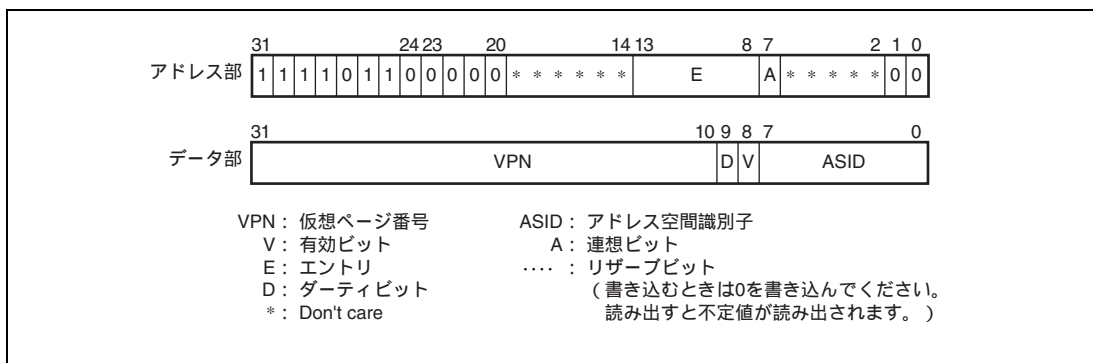


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

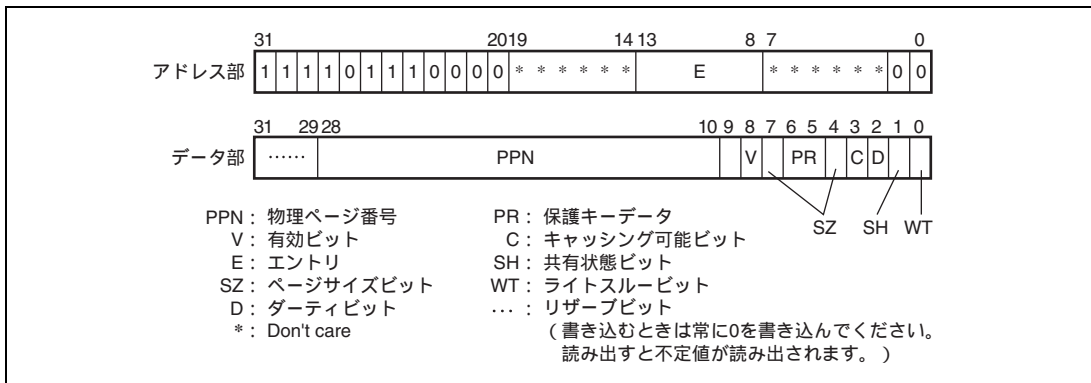


図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

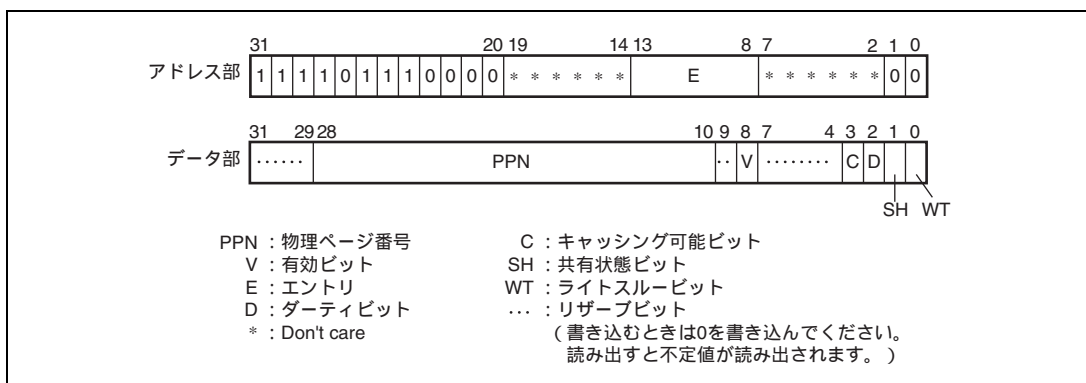


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の HF780 0000 ~ HF78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す HF78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

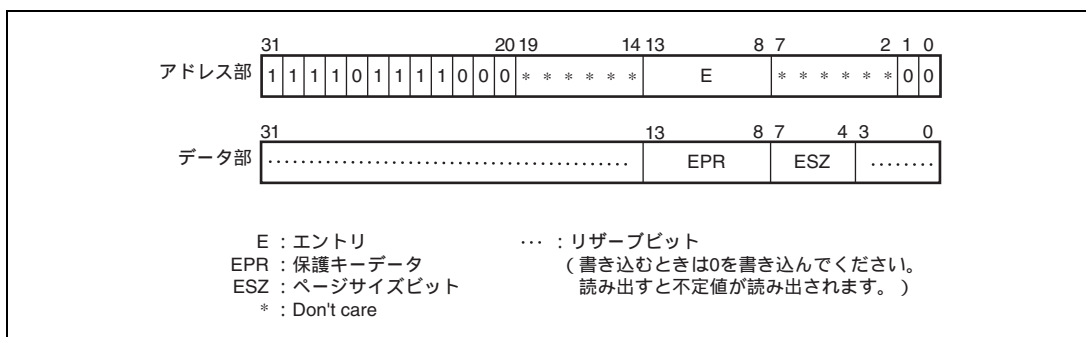


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 使用上の注意事項

7.8.1 LDTLB 命令使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の 1.または 2.のどちらかを行ってください。

1. TLBミス例外処理ルーチン*1はP1領域、P2領域あるいは内蔵メモリ領域のみに配置し、TLBミス例外処理ルーチンでの命令アクセス*2はP1領域、P2領域あるいは内蔵メモリ領域のみになるようにしてください。TLBミス例外処理ルーチンを内蔵メモリ領域に配置する場合は、RAMCRのRPビットを0(初期値)にしてください。

また、TLBミス例外処理ルーチンではFDIV命令またはFSQRT命令を使用しないでください。

2. TLBミス例外が発生した際は、MMUCR.URCに1を加算してからLDTLB命令を実行してください。

【注】 *1 例外処理ルーチン：例外発生時のVBR + オフセットの番地から、元のプログラムに復帰するRTEおよびRTEの遅延スロットに至るまでに実行されるすべての命令を意味します。

*2 命令アクセス：PREFI命令とICBI命令によるアクセスを含みます。

7.8.2 アンバッファードライトの設定時のご注意について

メモリマネジメントユニット(MMU)のUBビット設定によりバッファードライト制御が可能ですが、UB=1(アンバッファードライト)設定にも関わらずCPUが書き込みのバスアクセスの完了を待たずに、次のバスアクセスを行ってしまうことがあります。

MMUのUBビット(物理アドレス空間制御レジスタ(PASCR))は、UB=0(バッファードライト)のとき、CPUは書き込みのバスアクセスの完了を待たずに次のバスアクセスを行い、UB=1(アンバッファードライト)のとき、CPUは書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。

しかし、以下の周波数条件のもとでUB=1の設定にも関わらず、書き込みのバスアクセスの完了を待たずに、次のバスアクセスを行ってしまうことがあります。

- CPUクロックとSuperHywayバスクロックの周波数の比がN:1(N=4)のとき

アンバッファードライトにより、アンバッファードライト後の、リードまたはライトの順序関係を保つことを期待するソフトウェアについては、期待どおりの動作にならない場合があります。

これを回避するためには下記(1)または(2)の条件で使用してください。

(1) CPUクロックとSuperHywayバスクロックの周波数の比をN:1(N=3)で使用してください。

(2) アンバッファードライト設定の制限

CPUクロックとSuperHywayバスクロックの周波数の比をN:1(N=4)で使うときは、PASCR.UB[n](n=7:0)をアンバッファードライト設定(UB=1)にせず、バッファードライト設定(UB=0)で使用してください。

なお、バッファドライト設定にした場合、ライト後のリードまたはライトの順序関係を保つことを期待するソフトウェアの動作が期待どおりにならない可能性があります。順序関係を保証するためには、順序保証する必要のあるライト命令の後ろに SYNCO 命令を挿入するか、直前のライト先アドレスをリードする命令を実行するかのいずれかを実施してください。

8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

8.1 特長

キャッシュの特長を表 8.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

本 LSI は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

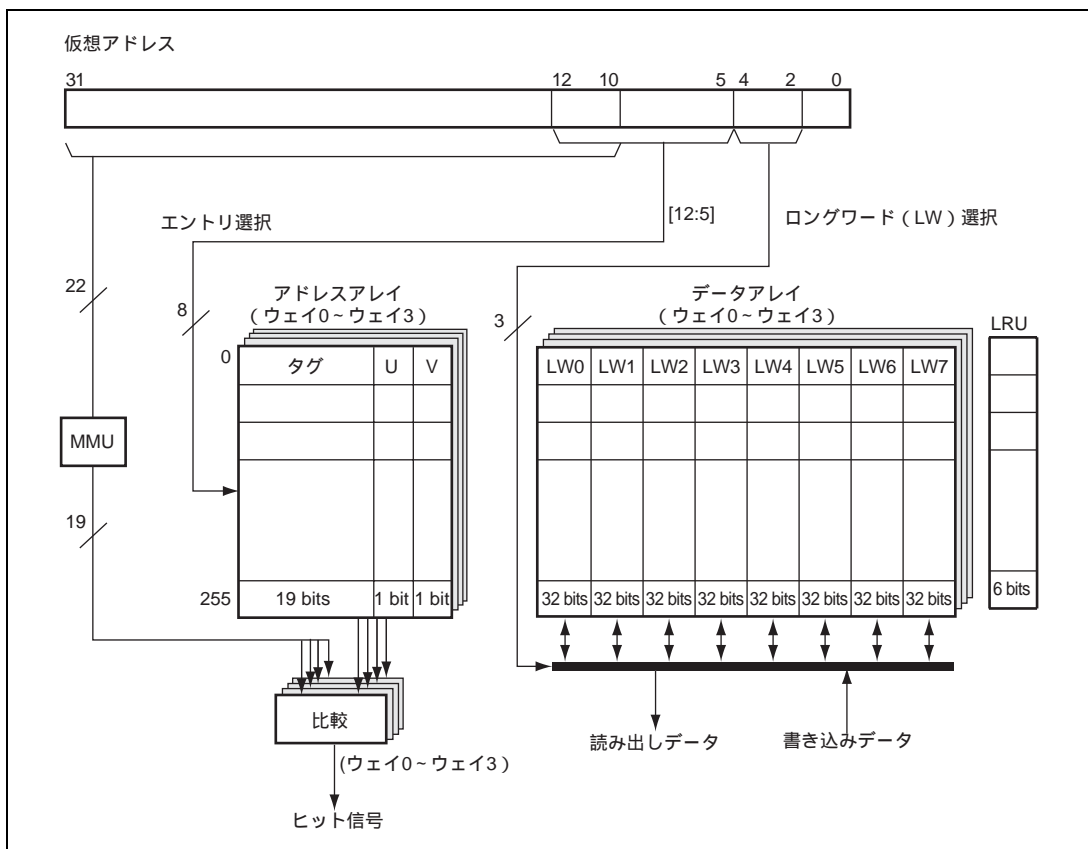


図 8.1 オペランドキャッシュの構成

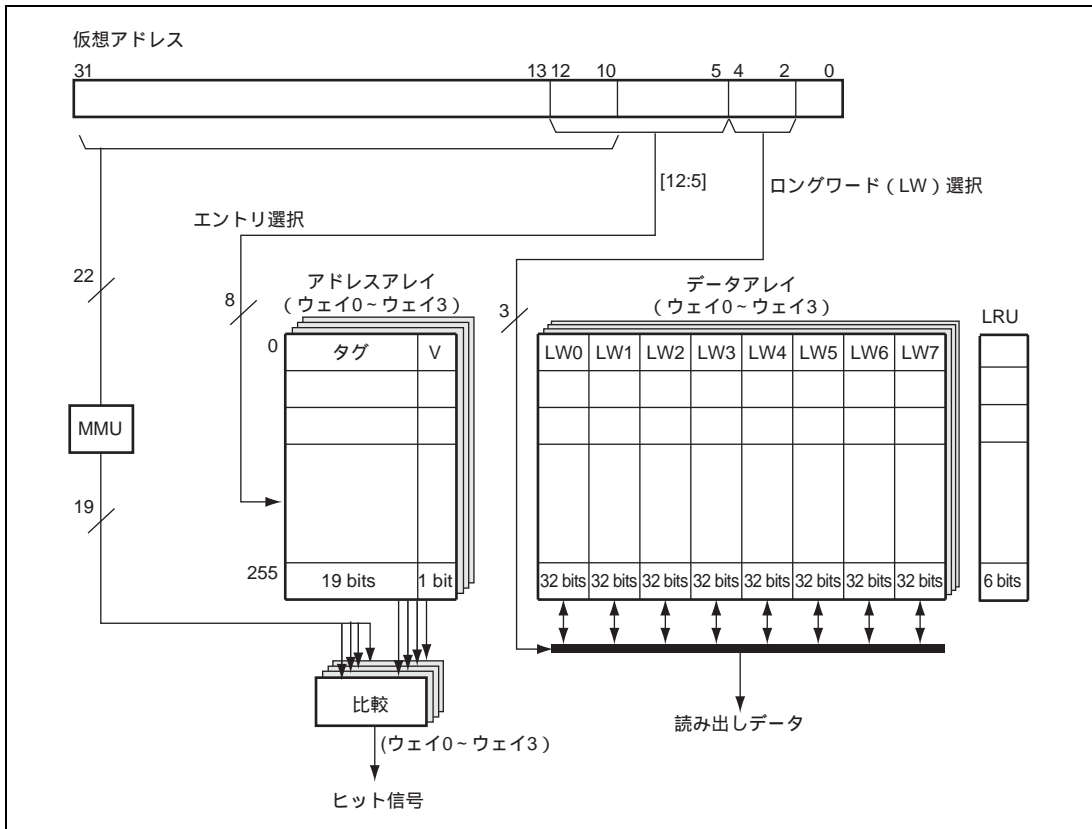


図 8.2 命令キャッシュの構成

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「8.6 メモリ割り付けキャッシュの構成」参照) をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
キューアドレス制御レジスタ 0	QACR0	不定	不定	保持	保持
キューアドレス制御レジスタ 1	QACR1	不定	不定	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0:ライトスルーモード 1:コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0:コピーバックモード 1:ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0:OCを使用しない 1:OCを使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域または IL メモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0 : IC は 4 ウェイ動作 1 : IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0 : OC は 4 ウェイ動作 1 : OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説明
5	ICWPD	0	R/W	IC ウェイ予測抑制ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みは該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みは該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- | | | |
|--|----|----|
| • タグが一致かつVビットが1のウェイが存在する場合 | 3. | 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 5. | 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 6. | 7. |
3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

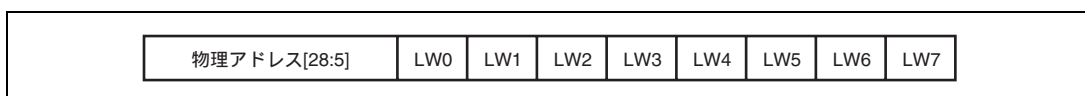


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

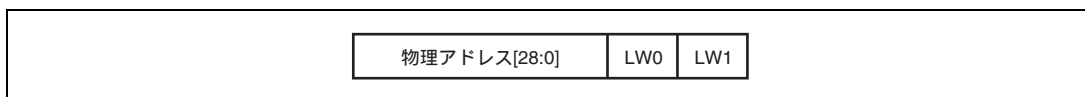


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを1にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

本LSIは消費電力を低減するために命令キャッシュ(IC)ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを1にセットすると、ICウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんがICの消費電力が増加します。また、ICWPD ビットの切り換えはキャッシング不可のP2領域を走行するプログラムで行ってください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュバージ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0,@Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- FLUSH トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(3) コヒーレンシ制御に関連した命令仕様

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWB のコヒーレンシ制御に関連した仕様の注意事項を以下に示します。

1. インバリデイト命令 : OCBI@Rn

Rnが指し示すアドレスが非キャッシュ領域のとき、Rn[31:24]がH'F4 (OCアドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

2. パージ命令 : OCBP @Rn

Rnが指し示すアドレスが非キャッシュ領域のとき、Rn[31:24]がH'F4 (OCアドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

3. ライトバック命令 : OCBWB @Rn

Rnが指し示すアドレスが非キャッシュ領域のとき、Rn[31:24]がH'F4 (OCアドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5]で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを0の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外が発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICデータアレイの内容の読み出し/書き込みが可能です。また特権モードのときP2領域のプログラムあるいはILメモリ領域のプログラムからMOV命令によってICアドレスアレイの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0(初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出

します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

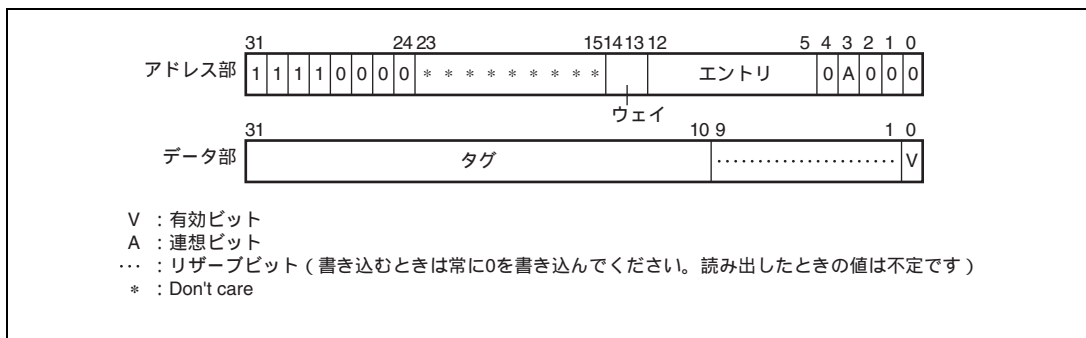


図 8.5 メモリ割り付け IC アドレスアレイ

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の HF100 0000 ~ HF1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す HF1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

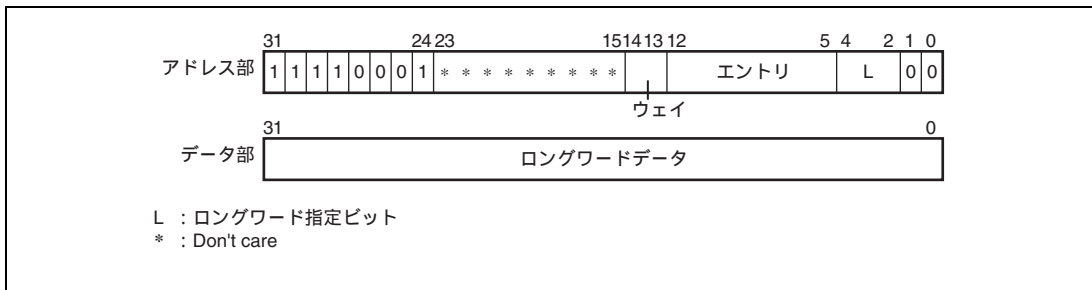


図 8.6 メモリ割り付け IC データアレイ

8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の HF400 0000 ~ HF4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す HF4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み（連想なし）

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

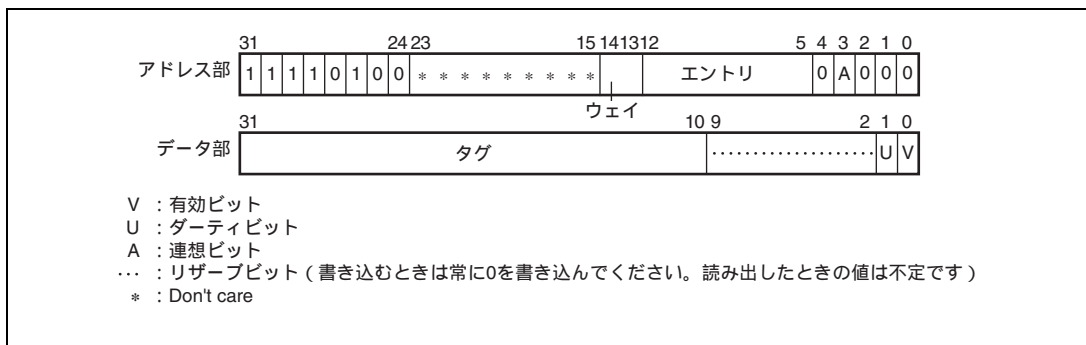


図 8.7 メモリ割り付け OC アドレスアレイ

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

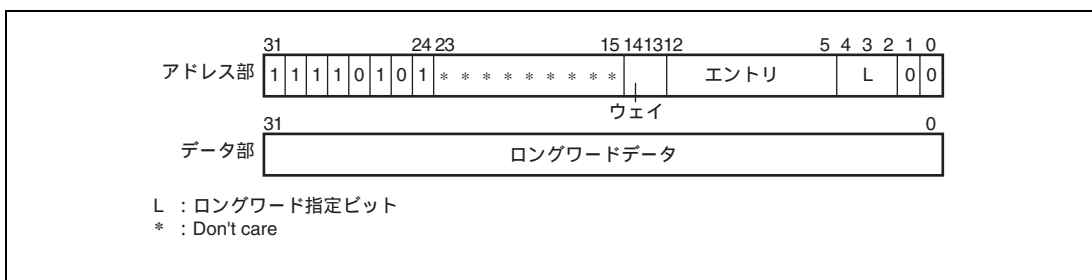


図 8.8 メモリ割り付け OC データアレイ

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。本 LSI では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (HFF2F0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

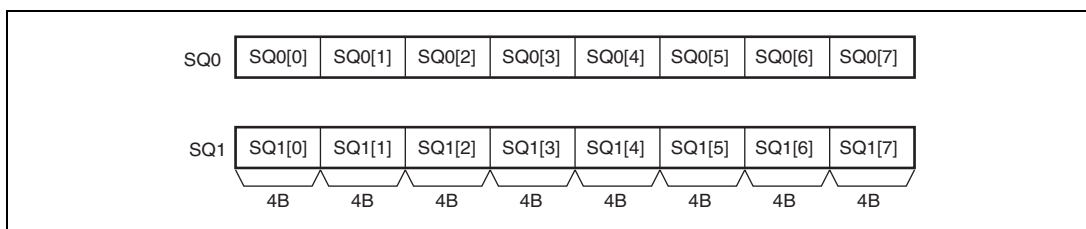


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの [4:0] は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス [31:0] は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス [25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス [5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス [28:26] は、QACR0、QACR1 から生成します。

QACR0 [4:2] : SQ0 に対する物理アドレス [28:26]

QACR1 [4:2] : SQ1 に対する物理アドレス [28:26]

物理アドレスの [4:0] は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されません。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

9. 内蔵メモリ

本 LSI は IL メモリを内蔵しています。IL メモリは命令の格納に適しています。

9.1 特長

- 容量：
ILメモリの容量は、16Kバイトです。
- ページ：
ILメモリは4ページ（ページ0～ページ3）に分かれています。
- メモリマップ：
ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.1に示されるアドレスに配置されています。

表 9.1 IL メモリアドレス

ページ	メモリサイズ
	16K バイト
ページ 0	H'E520 0000 ~ H'E520 0FFF
ページ 1	H'E520 1000 ~ H'E520 1FFF
ページ 2	H'E520 2000 ~ H'E520 2FFF
ページ 3	H'E520 3000 ~ H'E520 3FFF

- ポート：
3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.2 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 9.3 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ/特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

9.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.4 内蔵メモリの保護機能

本 LSI では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD=0のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定しません。

またMMUCR.AT = 1かつRAMCR.RP = 1のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.4にまとめます。

表 9.4 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
1	0	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
	1	1	0	0	アドレスエラー例外	-
				1	-	MMU 例外
			1	x	-	MMU 例外

【記号説明】 x : Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。たとえばページごとに独立したプログラムを配置すると効率がよくなります。

9.5.3 ILメモリのコヒーレンシ

ILメモリに命令を配置する場合、ILメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく(ILメモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

9.5.4 スリープモード

スリープモード中は、DMACなどのSuperHywayバスマスタモジュールからILメモリへのアクセスは行えません。

10. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求を処理します。

10.1 特長

INTC には次のような特長があります。

- 割り込み優先順位を15レベル設定可能

割り込み優先レベル設定レジスタにより、周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- ステータスレジスタ (SR) のブロックビット (BL) が1にセットされたときのNMI要求のマスク

SRレジスタのBLビットを1にセットしたとき、NMI要求をマスクするかどうかを選択できます。

- ユーザモード割り込み禁止機能

ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 10.1 に INTC のブロック図を示します。

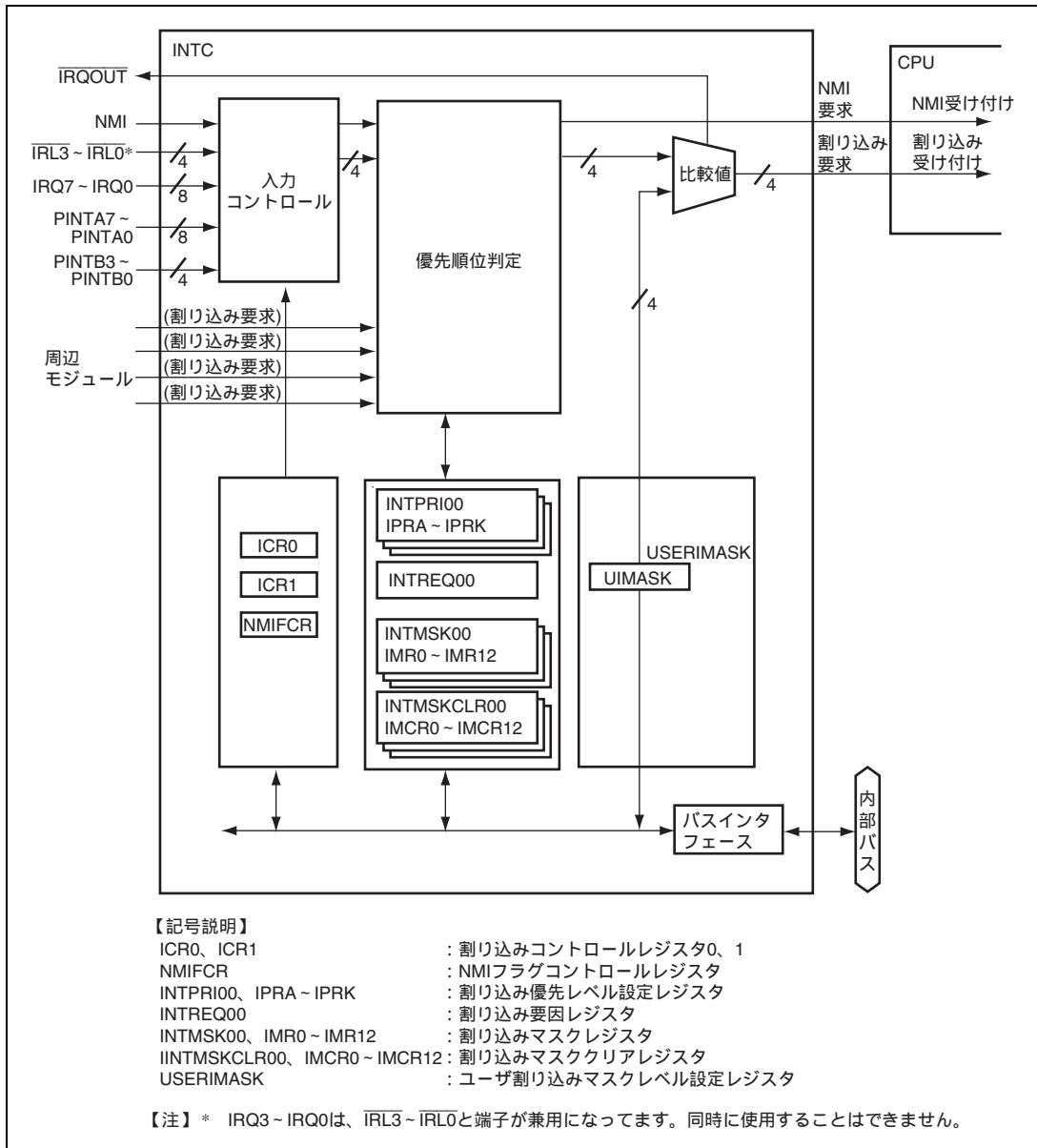


図 10.1 INTC のブロック図

10.2 入出力端子

INTC の端子構成を表 10.1 に示します。

表 10.1 端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み入力端子	入力	マスク不可能な割り込み要求端子
IRQ7 ~ IRQ0 IRL3 ~ IRL0*1	外部割り込み入力端子	入力	割り込み要求信号の入力
IRQOUT*2	割り込み要求出力端子	出力	割り込み要求が発生したことを通知する信号
PINTA7 ~ PINTA0 PINTB3 ~ PINTB0	ポート割り込み入力端子	入力	ポート割り込み信号の入力

【注】 *1 IRQ3 ~ IRQ0 は、IRL3 ~ IRL0 と端子が兼用になっています。同時に使用することはできません。

*2 IRQOUT は、REFOUT (バス開放時のリフレッシュ要求信号) と兼用になっています。

10.3 レジスタの説明

INTC のレジスタ構成を表 10.2 に示します。また、各処理モードにおけるレジスタの状態を表 10.3 に示します。

表 10.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'A414 0000	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'A414 001C	16
割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'A414 0010	32
割り込み要因レジスタ 00	INTREQ00	R/W	H'A414 0024	8
割り込みマスクレジスタ 00	INTMSK00	R/W	H'A414 0044	8
割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'A414 0064	8
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'A414 00C0	16
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'A470 0000	32
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'A408 0000	16
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'A408 0004	16
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'A408 0008	16
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'A408 000C	16
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'A408 0010	16
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'A408 0014	16
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'A408 0018	16
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'A408 001C	16
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'A408 0020	16
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'A408 0024	16

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'A408 0028	16
割り込みマスクレジスタ 0	IMR0	R/W	H'A408 0080	8
割り込みマスクレジスタ 1	IMR1	R/W	H'A408 0084	8
割り込みマスクレジスタ 2	IMR2	R/W	H'A408 0088	8
割り込みマスクレジスタ 3	IMR3	R/W	H'A408 008C	8
割り込みマスクレジスタ 4	IMR4	R/W	H'A408 0090	8
割り込みマスクレジスタ 5	IMR5	R/W	H'A408 0094	8
割り込みマスクレジスタ 6	IMR6	R/W	H'A408 0098	8
割り込みマスクレジスタ 7	IMR7	R/W	H'A408 009C	8
割り込みマスクレジスタ 8	IMR8	R/W	H'A408 00A0	8
割り込みマスクレジスタ 9	IMR9	R/W	H'A408 00A4	8
割り込みマスクレジスタ 10	IMR10	R/W	H'A408 00A8	8
割り込みマスクレジスタ 11	IMR11	R/W	H'A408 00AC	8
割り込みマスクレジスタ 12	IMR12	R/W	H'A408 00B0	8
割り込みマスククリアレジスタ 0	IMCR0	W	H'A408 00C0	8
割り込みマスククリアレジスタ 1	IMCR1	W	H'A408 00C4	8
割り込みマスククリアレジスタ 2	IMCR2	W	H'A408 00C8	8
割り込みマスククリアレジスタ 3	IMCR3	W	H'A408 00CC	8
割り込みマスククリアレジスタ 4	IMCR4	W	H'A408 00D0	8
割り込みマスククリアレジスタ 5	IMCR5	W	H'A408 00D4	8
割り込みマスククリアレジスタ 6	IMCR6	W	H'A408 00D8	8
割り込みマスククリアレジスタ 7	IMCR7	W	H'A408 00DC	8
割り込みマスククリアレジスタ 8	IMCR8	W	H'A408 00E0	8
割り込みマスククリアレジスタ 9	IMCR9	W	H'A408 00E4	8
割り込みマスククリアレジスタ 10	IMCR10	W	H'A408 00E8	8
割り込みマスククリアレジスタ 11	IMCR11	W	H'A408 00EC	8
割り込みマスククリアレジスタ 12	IMCR12	W	H'A408 00F0	8

表 10.3 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ICR0	初期化	保持	保持	保持
ICR1	初期化	保持	保持	保持
INTPRI00	初期化	保持	保持	保持
INTREQ00	初期化	保持	保持	保持
INTMSK00	初期化	保持	保持	保持
INTMSKCLR00	初期化	保持	保持	保持
NMIFCR	初期化	保持	保持	保持
USERIMASK	初期化	保持	保持	保持
IPRA	初期化	保持	保持	保持
IPRB	初期化	保持	保持	保持
IPRC	初期化	保持	保持	保持
IPRD	初期化	保持	保持	保持
IPRE	初期化	保持	保持	保持
IPRF	初期化	保持	保持	保持
IPRG	初期化	保持	保持	保持
IPRH	初期化	保持	保持	保持
IPRI	初期化	保持	保持	保持
IPRJ	初期化	保持	保持	保持
IPRK	初期化	保持	保持	保持
IMR0	初期化	保持	保持	保持
IMR1	初期化	保持	保持	保持
IMR2	初期化	保持	保持	保持
IMR3	初期化	保持	保持	保持
IMR4	初期化	保持	保持	保持
IMR5	初期化	保持	保持	保持
IMR6	初期化	保持	保持	保持
IMR7	初期化	保持	保持	保持
IMR8	初期化	保持	保持	保持
IMR9	初期化	保持	保持	保持
IMR10	初期化	保持	保持	保持
IMR11	初期化	保持	保持	保持
IMR12	初期化	保持	保持	保持
IMCR0	初期化	保持	保持	保持
IMCR1	初期化	保持	保持	保持
IMCR2	初期化	保持	保持	保持

略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
IMCR3	初期化	保持	保持	保持
IMCR4	初期化	保持	保持	保持
IMCR5	初期化	保持	保持	保持
IMCR6	初期化	保持	保持	保持
IMCR7	初期化	保持	保持	保持
IMCR8	初期化	保持	保持	保持
IMCR9	初期化	保持	保持	保持
IMCR10	初期化	保持	保持	保持
IMCR11	初期化	保持	保持	保持
IMCR12	初期化	保持	保持	保持

10.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み入力端子 NMI、IRQ、IRL、PINT 端子の入力信号検出モードを設定し、NMI 端子に入力されている信号レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM	IRLM2	LSH	—	—	—	—	—
初期値:	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。 書き込みは無効です。 0: NMI 端子にローレベルが入力されています 1: NMI 端子にハイレベルが入力されています
14	MAI	0	R/W	NMI 割り込みマスク SR レジスタの BL ビットにかかわらず、NMI 端子の入力レベルがローの間、すべての割り込みをマスクするかどうかを指定します。 0: NMI 端子がローレベルでも、割り込み許可 1: NMI 端子がローレベルの間、割り込み禁止
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	NMIB	0	R/W	NMI ブロックモード SR レジスタの BL ビットが 1 のとき、NMI 割り込みを BL ビットが 0 になるまで保留するか、即時検出するかを選択します。 0: SR の BL ビットが 1 の間、NMI 割り込み要求を保留します 1: SR の BL ビットが 1 の間、NMI 割り込み要求を検出します

ビット	ビット名	初期値	R/W	説明
8	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出
7	IRLM	0	R/W	IRL 端子モード IRQ3/ $\overline{\text{IRL3}}$ ~ IRQ0/ $\overline{\text{IRL0}}$ を、IRQ3 ~ IRQ0 の独立した割り込みとして使用するか、 $\overline{\text{IRL3}}$ ~ $\overline{\text{IRL0}}$ を H'F ~ H'1 とエンコードした 15 レベルの割り込み要求として使用するかを選択します。 0 : $\overline{\text{IRL3}}$ ~ $\overline{\text{IRL0}}$ としてエンコードした 15 レベルの割り込み端子として使用 1 : IRQ3 ~ IRQ0 として 4 本の独立した割り込み要求端子として使用
6	IRLM2	0	R/W	IRL 端子モード 2 IRQ7 ~ IRQ4 の割り込みを設定します。 0 : 初期値 1 : IRQ7 ~ IRQ4 の割り込みを使用する IRQ7 ~ IRQ4 の割り込みを使用する場合、本ビットに 1 を設定してください。0 に設定しているときは、ピンファンクションコントローラ (PFC) の設定で IRQ7 ~ IRQ4 の機能を選択しないようにしてください。意図しない割り込みが発生することがあります。 また、IRQ7 ~ IRQ4 の 4 本をエンコードした 15 レベルの IRL 割り込み端子としての使用はできません。
5	LSH	0	R/W	レベル検出時の保持機能 レベル検出時の IRQ、IRL、または PINT 割り込みの場合、割り込み要求を検出回路で保持するかしないかを選択します。 0 : 保持します 1 : 保持しません IRQ をレベル割り込みで使用する場合または IRL、PINT 割り込みを使用する場合は、通常 1 に設定してください。0 設定時は外部の割り込み要因が取り下げられた場合でも LSI 内部に割り込み要因が残る場合があります。
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * NMI 入力が高レベル時は 1、NMI 入力がローレベル時は 0 になります。

10.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7～IRQ0 に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを個別に設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明										
15、14	IRQ0S	00	R/W	IRQn センスセレクト IRQ0～IRQ7 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジまたはローレベル、ハイレベルのどれで検出するかを設定します。 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <thead> <tr> <th style="width: 15%;">IRQnS</th> <th style="width: 85%;">検出方法</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">00</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出</td> </tr> <tr> <td style="text-align: center;">01</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出</td> </tr> <tr> <td style="text-align: center;">10</td> <td>割り込み要求を IRQn 入力のローレベルで検出</td> </tr> <tr> <td style="text-align: center;">11</td> <td>割り込み要求を IRQn 入力のハイレベルで検出</td> </tr> </tbody> </table>	IRQnS	検出方法	00	割り込み要求を IRQn 入力の立ち下がりエッジで検出	01	割り込み要求を IRQn 入力の立ち上がりエッジで検出	10	割り込み要求を IRQn 入力のローレベルで検出	11	割り込み要求を IRQn 入力のハイレベルで検出
IRQnS	検出方法													
00	割り込み要求を IRQn 入力の立ち下がりエッジで検出													
01	割り込み要求を IRQn 入力の立ち上がりエッジで検出													
10	割り込み要求を IRQn 入力のローレベルで検出													
11	割り込み要求を IRQn 入力のハイレベルで検出													
13、12	IRQ1S	00	R/W											
11、10	IRQ2S	00	R/W											
9、8	IRQ3S	00	R/W											
7、6	IRQ4S	00	R/W											
5、4	IRQ5S	00	R/W											
3、2	IRQ6S	00	R/W											
1、0	IRQ7S	00	R/W											
【記号説明】 n = 0～7														

10.3.3 割り込み優先レベル設定レジスタ (INTPRI00)

INTPRI00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の優先順位 (レベル 15 ~ 0) を設定する 32 ビットのレジスタです。

各 4 ビットに HF (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は HF を設定すると優先レベル 15 (最高レベル) に、H'0 を設定すると優先レベル 0 (要求マスク) になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0				IRQ1				IRQ2				IRQ3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ4				IRQ5				IRQ6				IRQ7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	IRQ0	H'0	R/W	4 ビット単位で割り込み優先順位を設定します。
27 ~ 24	IRQ1	H'0	R/W	
23 ~ 20	IRQ2	H'0	R/W	
19 ~ 16	IRQ3	H'0	R/W	
15 ~ 12	IRQ4	H'0	R/W	
11 ~ 8	IRQ5	H'0	R/W	
7 ~ 4	IRQ6	H'0	R/W	
3 ~ 0	IRQ7	H'0	R/W	

10.3.4 割り込み優先レベル設定レジスタ A~K (IPRA~IPRK)

IPRA~IPRK は、周辺モジュールからの割り込み優先順位 (レベル 15~0) を設定する 16 ビットのレジスタです。

1本のレジスタに4つのモジュールが割り当てられます。各4ビットにH'F(1111)からH'0(0000)の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位はH'Fを設定すると優先レベル15(最高レベル)に、H'0を設定すると優先レベル0(要求マスク)になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPR0n				IPR1n				IPR2n				IPR3n			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	IPR0n	H'0	R/W	4ビット単位で割り込み優先レベルを指定します。 詳細は表 10.4 を参照してください。
11~8	IPR1n	H'0	R/W	
7~4	IPR2n	H'0	R/W	
3~0	IPR3n	H'0	R/W	

表 10.4 割り込み要求元と IPRA~IPRK

レジスタ名	IPR0n	IPR1n	IPR2n	IPR3n
IPRA	TMU0	TMU1	TMU2	RTC
IPRB	-	-	SIM	-
IPRC	-	-	-	-
IPRD	PINTA0~PINTA7	PINTB0~PINTB3	IrDA0	IrDA1
IPRE	DMAC (1)	DMAC (2)	-	ADC
IPRF	-	-	-	CMT
IPRG	SCIF0	SCIF1	SCIF2	SCIF3
IPRH	SCIF4	SCIF5	-	IIC0
IPRI	SIOF	-	-	IIC1
IPRJ	-	-	-	-
IPRK	TPU0	TPU1	-	-

【注】 - : リザーブビットです。読み出し値は保証しません。書き込み値は0にしてください。

10.3.5 割り込み要因レジスタ 00 (INTREQ00)

INTREQ00 は、IRQ 端子のどの割り込みが要求されているかを示す 8 ビットのレジスタです。INTPRI00、または INTMSK00 によって該当する割り込みがマスクされても本レジスタのビットは影響を受けません。

該当する IRQ 端子がエッジ検出に設定されているとき (ICR1.IRQnS = B'00 または B'01)、該当するビットが 1 であることを読み出した後に 0 を書き込むことで、割り込み要因をクリアすることができます。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時 (ICR1.IRQnS = B'00 または B'01)	レベル検出時 (ICR1.IRQnS = B'10 または B'11)
7	IRQ0	0	R/W	IRQn 割り込みを検出したことを示すフラグです。 • 読み込み時 0 : 割り込みが検出されていません 1 : 割り込みが検出されました • 書き込み時 0 : 1 を読み出したビットにかぎり 0 にクリアされます 1 : 1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください。 【注】クリアしたくないビットには 1 を書き込んでください。	【ICR0.LSH=1 の場合】 IRQn 端子から有効な割り込み要求が入力されていることを示します。 • 読み込み時 0 : 割り込みが入力されていません 1 : 割り込みが入力されています • 書き込みは無視されます 【ICR0.LSH=0 の場合】 IRQn 割り込みを検出したことを示すフラグです。 • 読み込み時 0 : 割り込みが検出されていません 1 : 割り込みが検出されました • 書き込み時は無視されます
6	IRQ1	0	R/W		
5	IRQ2	0	R/W		
4	IRQ3	0	R/W		
3	IRQ4	0	R/W		
2	IRQ5	0	R/W		
1	IRQ6	0	R/W		
0	IRQ7	0	R/W		

【記号説明】 n = 0 ~ 7

本レジスタのビットは以下の方法でクリアできます。

(1) エッジ検出の場合

該当するビットが 1 であることを読み出した後に 0 を書き込むことで、割り込み要因をクリアすることができます。このとき、クリアしたくないビットには 1 を書き込んでください。

(2) レベル検出の場合 (ICR0.LSH=1 のとき)

IRQ 端子状態を変更して割り込み要求を取り下げることにより自動的にクリアされます。ソフトウェアによるクリアは不要です。

(3) レベル検出の場合 (ICR0.LSH=0 のとき)

IRQ 端子状態を変更して要求を取り下げた後、INTMSK00 レジスタの該当するビットに 1 を書き込んでください。

10.3.6 割り込みマスクレジスタ 00 (INTMSK00)

INTMSK00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。

割り込みマスクを解除するには、INTMSKCLR00 の対応するビットに 1 を書き込みます。INTMSK00 の各ビットに 0 を書き込んで、値は変化しません。

割り込みコントロールレジスタ 0 (ICR0) の IRLM ビットを 0 とし、IRL3 ~ IRL0 端子で IRL 割り込みを使用する場合は、IRQ3 ~ IRQ0 ビットに 1 を書き込み、IRQ3 ~ IRQ0 端子の IRQ 割り込み要求をマスクしてください。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IRQ0	0	R/W	IRQn 割り込みマスク 0 : 対応する割り込みがマスクされていません 1 : 対応する割り込みがマスクされています
6	IRQ1	0	R/W	
5	IRQ2	0	R/W	
4	IRQ3	0	R/W	
3	IRQ4	0	R/W	
2	IRQ5	0	R/W	
1	IRQ6	0	R/W	
0	IRQ7	0	R/W	

【記号説明】 n = 0 ~ 7

10.3.7 割り込みマスククリアレジスタ 00 (INTMSKCLR00)

INTMSKCLR00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の各割り込み要求マスクをクリアする 8 ビットのレジスタです。

INTMSKCLR00 は、書き込み専用のレジスタです。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7	IRQ0	0	W	IRQn 割り込みマスクのクリア 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します
6	IRQ1	0	W	
5	IRQ2	0	W	
4	IRQ3	0	W	
3	IRQ4	0	W	
2	IRQ5	0	W	
1	IRQ6	0	W	
0	IRQ7	0	W	

【記号説明】 n = 0 ~ 7

10.3.8 割り込みマスクレジスタ 0 ~ 12 (IMR0 ~ IMR12)

IMR0 ~ IMR12 は、周辺モジュールからの各割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。IMR0 ~ IMR12 の対応するビットに 1 を書き込むことで、割り込み要求をマスクすることができます。

割り込みマスクを解除するには、IMCR0 ~ IMCR12 の対応するビットに 1 を書き込みます。割り込みマスクレジスタの各ビットに 0 を書き込んでも、値は変化しません。

IMR0 ~ IMR12 の各ビットと割り込み要求の関係は表 10.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	IMRn0	IMRn1	IMRn2	IMRn3	IMRn4	IMRn5	IMRn6	IMRn7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IMRn0	0	R/W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 10.5 を参照してください。 書き込み時 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求をマスクします 読み込み時 0 : 対応する割り込みを受け付けます 1 : 対応する割り込み要求はマスクされています
6	IMRn1	0	R/W	
5	IMRn2	0	R/W	
4	IMRn3	0	R/W	
3	IMRn4	0	R/W	
2	IMRn5	0	R/W	
1	IMRn6	0	R/W	
0	IMRn7	0	R/W	

【記号説明】 n = 0 ~ 12

10.3.9 割り込みマスククリアレジスタ 0~11 (IMCR0~IMCR12)

IMCR0~IMCR12 は書き込み専用のレジスタで、周辺モジュールの各割り込み要求マスクをクリアする 8 ビットのレジスタです。IMCR0~IMCR12 の各ビットと割り込み要求の関係は表 10.5 を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IMCRn0	IMCRn1	IMCRn2	IMCRn3	IMCRn4	IMCRn5	IMCRn6	IMCRn7
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7	IMCRn0	0	W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 10.5 を参照してください。 書き込み時： 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します 読み込み時： 読み出した値は保証しません
6	IMCRn1	0	W	
5	IMCRn2	0	W	
4	IMCRn3	0	W	
3	IMCRn4	0	W	
2	IMCRn5	0	W	
1	IMCRn6	0	W	
0	IMCRn7	0	W	

【記号説明】 n = 0 ~ 12

表 10.5 周辺モジュールからの割り込み要因と IMR0～IMR12、IMCR0～IMCR12 の対応

レジスタ名	ビット							
	【ビット名】							
	7	6	5	4	3	2	1	0
	【IMR/CR n0】	【IMR/CR n1】	【IMR/CR n2】	【IMR/CR n3】	【IMR/CR n4】	【IMR/CR n5】	【IMR/CR n6】	【IMR/CR n7】
IMR0/IMCR0	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-
IMR1/IMCR1	-	DADERR	DEI5	DEI4	DEI3	DEI2	DEI1	DEI0
	(DMAC (2))				(DMAC (1))			
IMR2/IMCR2	-	-	-	ADI	-	-	-	-
	-	-	-	(ADC)	-	-	-	-
IMR3/IMCR3	TEI	TXI	RXI	ERI	-	-	IrDAI1	IrDAI0
	(SIM)				-	-	(IrDA)	
IMR4/IMCR4	-	TUNI2	TUNI1	TUNI0	-	-	-	-
	-	(TMU2)	(TMU1)	(TMU0)	-	-	-	-
IMR5/IMCR5	-	-	SCIFI5	SCIFI4	SCIFI3	SCIFI2	SCIFI1	SCIFI0
	-	-	(SCIFA)		(SCIF)			
IMR6/IMCR6	-	-	-	-	-	-	-	SIOFI
	-	-	-	-	-	-	-	(SIOF)
IMR7/IMCR7	IICI0	-	-	-	-	-	-	-
	(IIC0)	-	-	-	-	-	-	-
IMR8/IMCR8	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-
IMR9/IMCR9	-	-	-	CMTI	-	-	-	-
	-	-	-	(CMT)	-	-	-	-
IMR10/IMCR10	-	-	-	-	-	CUI	PRI	ATI
	-	-	-	-	-	(RTC)		
IMR11/IMCR11	IIC11	-	-	-	-	-	PINTBI3-0	PINTAI7-0
	(IIC1)	-	-	-	-	-	(PINT)	
IMR12/IMCR12	-	-	-	-	-	-	TPUI1	TPUI0
	-	-	-	-	-	-	(TPU)	

【注】 - : リザーブビットです。読み出し値は保証しません。書き込む値は0にしてください。

下段の()内は、対象モジュール名です。

【記号説明】 n=0~12

10.3.10 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定します。INTC のその他のレジスタとは異なる 64K バイトページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換することにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外のすべての割り込みがマスクされます。UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスクレジスタが対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR レジスタの IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット、マニュアルリセット時は、H'0000 0000 (全割り込み許可) に初期化されます。

誤まった書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が、H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。UIMASK ビットに値を書き込むときは、H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	0000	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.3.11 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、ソフトウェアにより読み出し、クリアが可能な NMI フラグ (NMIFL ビット) を持つレジスタです。NMIFL ビットは、INTC により NMI が検出されるとハードウェアにより自動的に 1 になります。NMIFL ビットは、ソフトウェアにより 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

NMIL ビットの動作は ICR0 の NMIL ビットの動作と同一です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	NMIL	0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子の入力レベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
14~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	NMIFL	0	R/W	NMI 割り込み要求信号検出 NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求検出した場合、自動的に 1 に設定されます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 0 : NMI 割り込み要求信号が検出されていないことを示します 1 : NMI 割り込み要求信号が検出されたことを示します

10.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、PINT、周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値(16~0)で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

10.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRレジスタのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモードまたはソフトウェアスタンバイモード中はBLビットが1でも受け付けられません。

また、ICR0のNMIBビットをセットすることによりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIEビットの設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、NMI割り込み受け付けによってレベル15に自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、NMI割り込み受け付けによってSR.IMASKが影響されることはありません。

10.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ7~IRQ0端子から入力される割り込みです。ICR1のIRQnSビット(n=0~7)の設定により、エッジ検出、レベル検出の選択が可能です。レベル検出の場合、ICR0.LSHの設定値により動作が異なります。ICR0.LSHの初期値は0ですが、1に変更してからINTCを使用することを推奨します。

(1) ICR0.LSH=1の場合

割り込み要求は、INTC内部で保持されません。CPUが割り込みを受け付けて割り込み処理を開始するまでIRQ端子の状態を保持してください。

(2) ICR0.LSH=0の場合

IRQ端子からの割り込み要求がINTCで検出されると、INTREQ00レジスタに割り込み要求が保持されます。CPUが受け付ける前にIRQ端子からの割り込み要求が取り下げられた場合にも、INTREQ00の値は保持されます。IRQ端子からの要求を取り下げた後、CPUが何らかの割り込み(IRQ割り込みとは限りません)を受け付けるか、INTMSK00レジスタの該当するビットを1にセットすることでINTREQ00の値はクリアされます。BLビットクリアやRTE命令実行によって割り込みを許可する前にINTREQ00のフラグをクリアしてください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

10.4.3 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子でレベルとして入力される割り込みです。優先順位レベルは、端子 $\overline{IRL3} \sim \overline{IRL0}$ で示したより高い方のレベルです。 $\overline{IRL3} \sim \overline{IRL0}$ の値が 0 (B'0000) のときは、最高レベルの割り込み要求 (割り込み優先順位レベル 15) を示します。値が 15 (B'1111) の場合は、割り込み要求がない (割り込み優先順位レベル 0) を示します。図 10.2 に IRL 割り込み接続の例を示します。

IRL 割り込みは、ノイズキャンセラ機能が組み込まれ、周辺モジュールクロックごとにサンプリングされたレベルが 2 サイクル続けて同一の値になったときに初めて検出されます。これにより、 \overline{IRL} 端子の変化時の誤ったレベルを取りこむことを防止できます。また、スタンバイモード時は周辺モジュールクロックが停止しているため、代わりに RTC 用クロックを使用してノイズキャンセラの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによるスタンバイ復帰は行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理が開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。

ICR0.LSH ビットが 0 の場合、外部の割り込み要因が取り下げられても LSI 内部に割り込み要因が残る場合があります。LSH ビットは、通常 1 に設定してください。

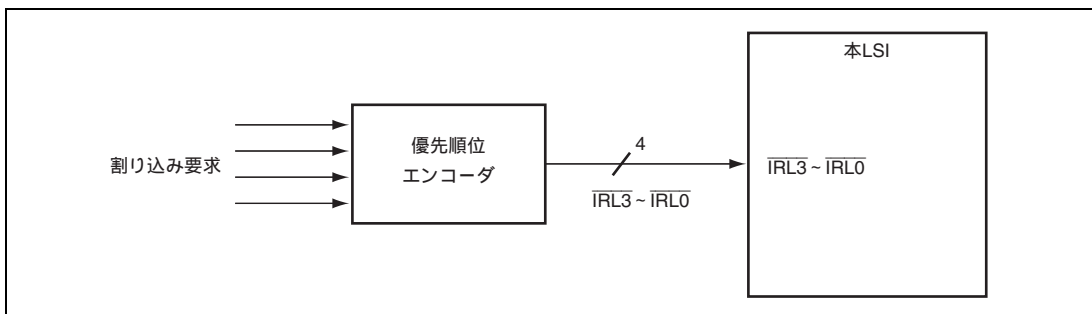


図 10.2 IRL 割り込み接続例

10.4.4 PINT 割り込み

PINT 割り込みは、PINTA7 ~ PINTA0、PINTB3 ~ PINTB0 端子からレベルで入力されます。優先レベルは、割り込み優先レベル設定レジスタ D (IPRD) により、PINTA7 ~ PINTA0 (PINTA)、PINTB3 ~ PINTB0 (PINTB) を一括して、レベル 0 ~ 15 の範囲で設定できます。PINT 割り込みは、割り込みを受け付けて割り込み処理を開始するまでのそのレベルを保持してください。

PINT 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。

ICR0.LSH ビットが 0 の場合、外部の割り込み要因が取り下げられても LSI 内部に割り込み要因が残る場合があります。LSH ビットは、通常 1 に設定してください。

10.4.5 周辺モジュール割り込み

周辺モジュール割り込みは、周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、IPRA ~ IPRK によってモジュールごとに優先レベル 15 ~ 0 の範囲で設定できます。

CPU 動作モードレジスタの INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR レジスタの BL ビットが 1 のとき、もしくは SR レジスタの IMASK ビット、IMR、USERIMASK のいずれかの割り込みマスク設定により該当する割り込み要求をマスクした状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出し、その後、表 10.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す)、BL ビットを 0 にするか、割り込みマスクの設定を更新して該当する割り込み要求のマスクを解除してください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと、INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これは、フラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

10.4.6 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 10.6 と表 10.7 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

周辺モジュールの優先順位は、IPRA ~ IPRK によって、優先レベル 15 ~ 0 の範囲で任意に設定できます。リセットによって、周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.6 と表 10.7 に示すデフォルト優先順位に従って処理されます。

割り込み優先レベル設定レジスタおよび割り込みマスクレジスタの更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

10.5 動作説明

10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.3 と図 10.4 に割り込み動作フローを示します。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタに従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表10.6と表10.7に従って最も優先順位の高い割り込みが選択されます。
3. INTCで選択された割り込みの優先レベルとCPUのSRレジスタの割り込みマスクレベル (IMASK) が比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. SRとプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのBLビット、MDビット、RBビットが1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 10.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す) BL ビットをクリアするか、RTE 命令を実行します。

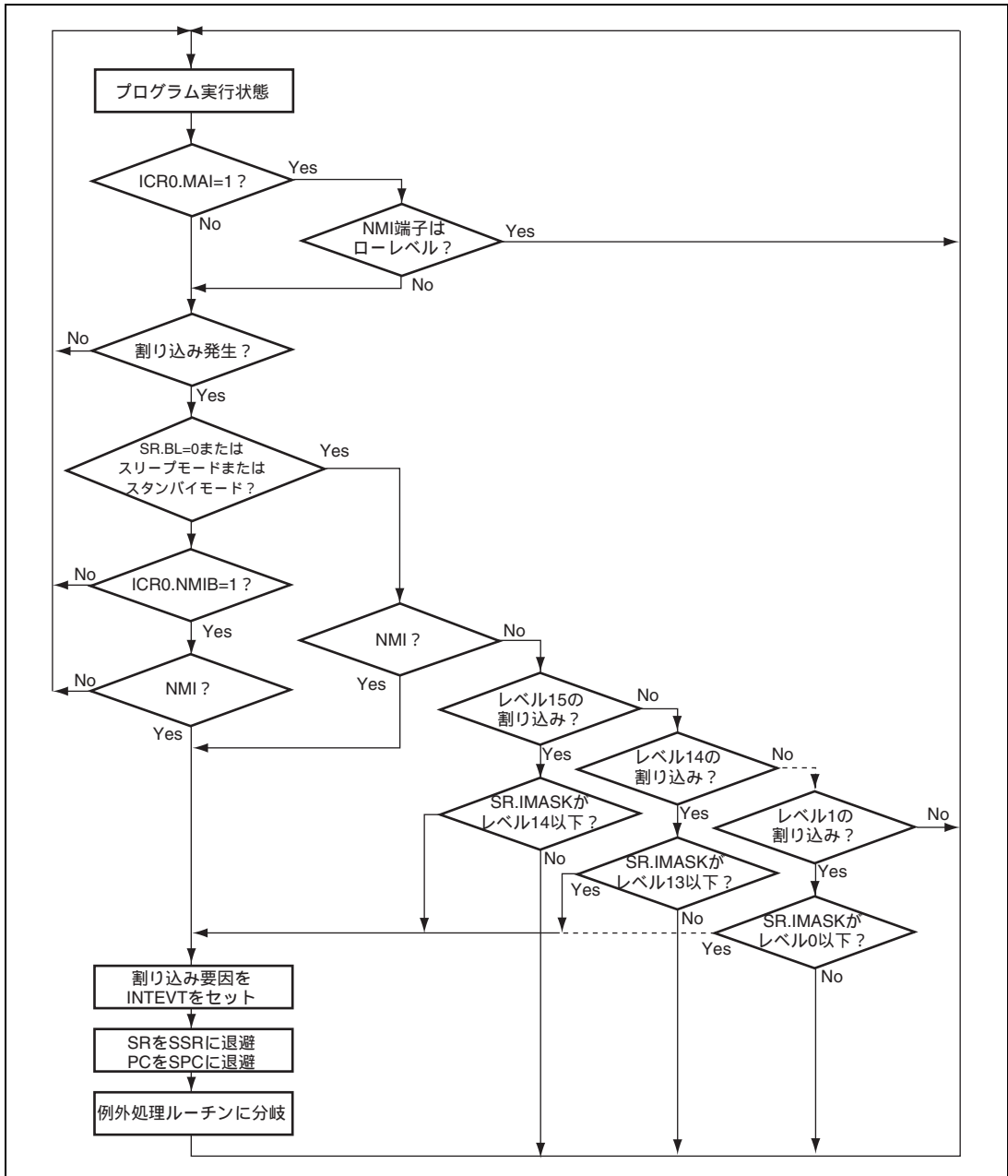


図 10.3 割り込み動作フロー (CPUOPM.INTMU = 0 のとき)

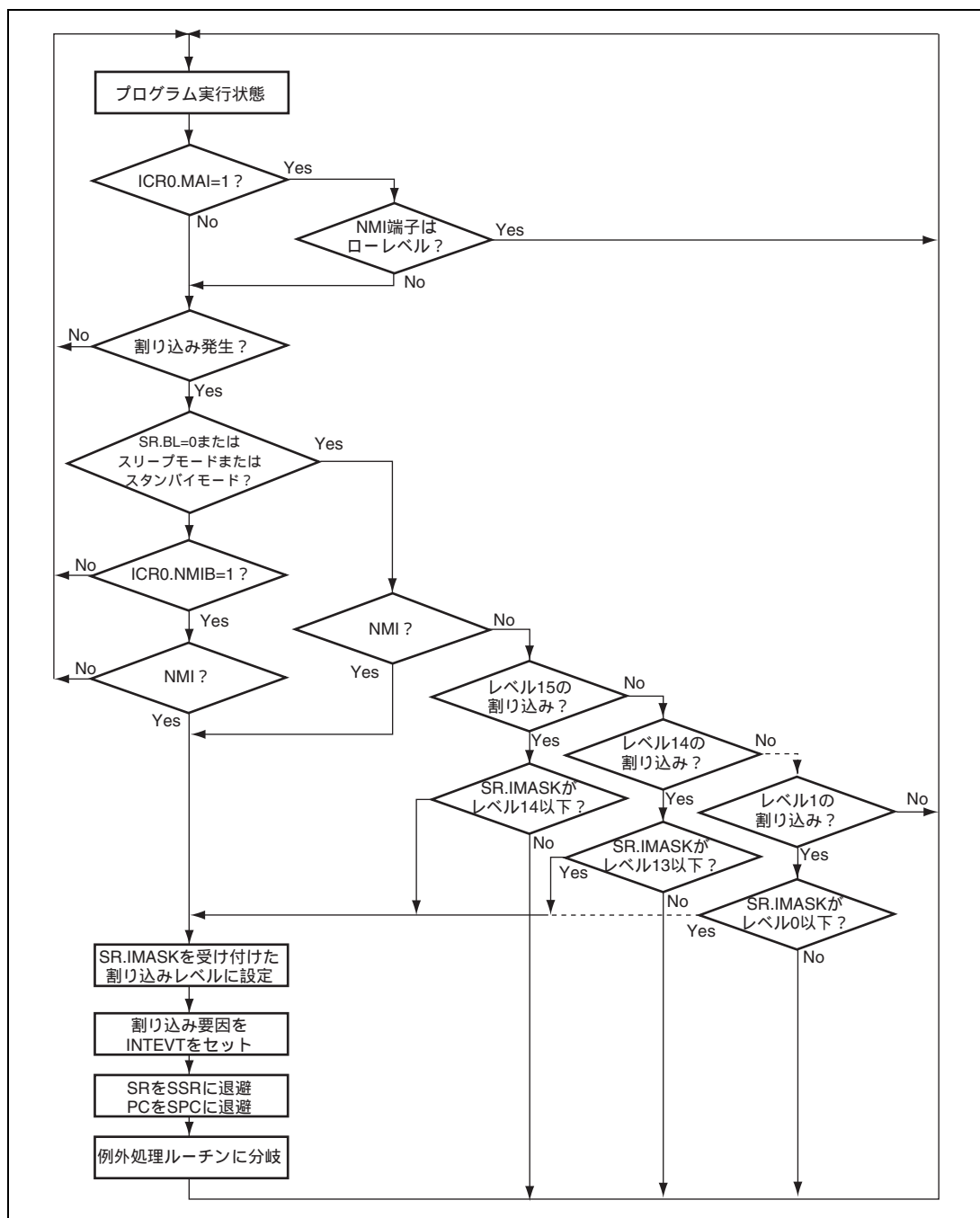


図 10.4 割り込み動作フロー (CPUOPM.INTMU = 1 のとき)

10.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU = 1のときは、SRの割り込みマスクレベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU = 0のときは、SRの割り込みマスクレベル (IMASK) をソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

10.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みでスタンバイの解除を行えません。

10.5.4 ユーザモードでの割り込み禁止機能

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64K バイト空間に配置されています。ユーザモードにより本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS では、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や、他のタスクに切り替える場合は、必ず本レジスタを 0 クリアしてからそのタスクを抜けてください。UIMASK ビットが誤って 0 以外の値が設定されたままになると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがありますのでご注意ください。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (a) と (b) に分類し、(b) より (a) の割り込みレベルを高くします。
 - (a) : デバイスドライバ中で割り込み受け付けられるべき割り込み
(OS で使用する割り込み : タイマ割り込みなど)
 - (b) : デバイスドライバ中で割り込み禁止されるべき割り込み
2. MMU の設定により、USERIMASK の存在するアドレス空間を割り込みを禁止したいデバイスドライバにのみアクセス可能に設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で (b) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

10.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 10.8 に示します。

表 10.8 割り込み応答時間

項目	ステート数			備考	
	NMI	IRQ	周辺モジュール		
優先順位判定時間	$5B_{cyc}+2P_{cyc}$	$4B_{cyc}+2P_{cyc}$	$5P_{cyc}$		
CPU が実行中のシーケンス終了までの待ち時間	$S - 1 (0) \times I_{cyc}$				
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチの SuperHyway バスリクエストを発行するまでの期間	$11I_{cyc}+1S_{cyc}$				
応答時間	合計	$(S+10)I_{cyc}+1S_{cyc}+5B_{cyc}+2P_{cyc}$	$(S+10)I_{cyc}+1S_{cyc}+4B_{cyc}+2P_{cyc}$	$(S+10)I_{cyc}+1S_{cyc}+5P_{cyc}$	
	最小時	$18I_{cyc}+S \times I_{cyc}$	$17I_{cyc}+S \times I_{cyc}$	$16I_{cyc}+S \times I_{cyc}$	$I_{cyc}:S_{cyc}:B_{cyc}:P_{cyc} = 1:1:1:1$ のとき

【記号説明】

I_{cyc} : CPU クロックの 1 サイクル期間

S_{cyc} : SH クロックの 1 サイクル期間

B_{cyc} : バスクロックの 1 サイクル期間

P_{cyc} : 周辺クロックの 1 サイクル期間

S : 命令実行ステート数

10.7 使用上の注意事項

10.7.1 レベル割り込みについて

IRQ をレベル割り込みで使用する場合は IRL、PINT 割り込みを使用する場合は、IC0 レジスタの LSH ビットを、通常 1 に設定してください。LSH ビットに、0 設定時または外部の割り込み要因が取り下げられた場合でも LSI 内部に割り込み要因が残る場合があります。

11. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを接続することができます。

11.1 特長

BSC には、次の特長があります。

(1) 外部アドレス空間

- エリア0、2、3、4、5A、5B、6A、および6Bの各空間をそれぞれ最大32Mバイトまたは最大64Mバイトまで、外部アドレス空間の合計を384Mバイト（8個の部分空間に分割）までサポート（アドレスマップ1）
- エリア0、2、3、4、5、および6の各空間はそれぞれ最大64Mバイトまで、外部アドレス空間の合計は384Mバイト（6個の部分空間に分割）までサポート（アドレスマップ2）
- エリア2およびエリア3空間は1つの空間として最大128Mバイトまでサポート（アドレスマップ3）
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM（クロック非同期）、SDRAM、およびPCMCIAのメモリ種類を指定可能
- 空間ごとに、データバス幅（8ビット、16ビット、または32ビット）を選択可能
ただし、エリア0のデータバス幅は、16ビットまたは32ビットです。
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト（同一空間または別空間）、リード - リード（同一空間または別空間）、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

(2) 通常空間インタフェース

- SRAMとの接続が可能なインタフェースをサポート

(3) バーストROM（クロック非同期）インタフェース

- ページモード機能を有するROMを高速にアクセス可能

(4) SDRAM インタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- ローパワー機能をサポート

(5) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの接続が可能なインタフェースをサポート

(6) PCMCIA インタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1) で定める「ICメモ리카ードおよびI/Oカードインタフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

(7) バスアービトレーション

- 外部からのバス権要求を受け、バス使用許可を出力可能

(8) リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

(9) リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチで割り込み要求発生可能

【注】 BSC によりサポートされる PCMCIA インタフェースは、表 11.1 に示された信号とバスプロトコルのサポートのみとなります。

BSC のブロック図を図 11.1 に示します。

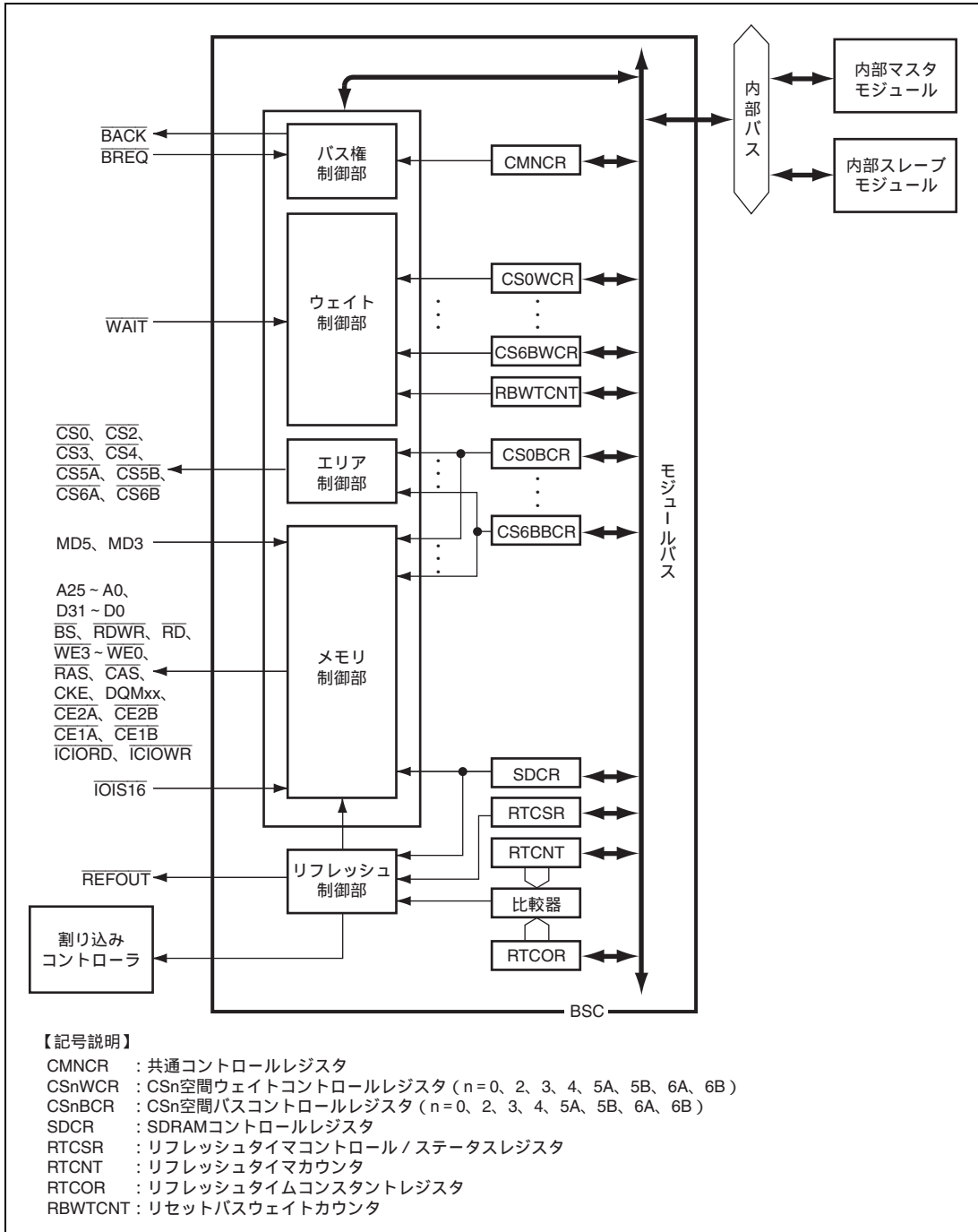


図 11.1 バスステートコントローラのブロック図

11.2 入出力端子

BSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号 通常空間、バースト ROM (クロック非同期)、および PCMCIA アクセス時にアサートされる。SDRAM アクセス時は、 $\overline{\text{CAS}}$ と同タイミングでアサートされる。
$\overline{\text{CS0}}$ 、 $\overline{\text{CS2}}$ 、 $\overline{\text{CS3}}$ 、 $\overline{\text{CS4}}$	出力	チップセレクト
$\overline{\text{CS5A/CE2A}}$	出力	チップセレクト アドレスマップ 1、3 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{\text{CS5B/CE1A}}$	出力	チップセレクト アドレスマップ 2 のときは、エリア 5 の CS 信号として有効 PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
$\overline{\text{CS6A/CE2B}}$	出力	チップセレクト アドレスマップ 1、3 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
$\overline{\text{CS6B/CE1B}}$	出力	チップセレクト アドレスマップ 2 のときは、エリア 6 の CS 信号として有効 PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
RDWR	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 $\overline{\text{WE}}$ 端子に接続
$\overline{\text{RD}}$	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
$\overline{\text{WE3/DQMUU/iCIOWR}}$	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストロープ信号
$\overline{\text{WE2/DQMUL/iCIORD}}$	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストロープ信号

端子名	入出力	機能
WE \bar /DQMLU/WE	出力	D15～D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15～D8 対応の選択信号 PCMCIA 使用時は、メモリアイトイネーブルを示すストロブ信号
WE \bar /DQMLL	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7～D0 対応の選択信号
RAS \bar	出力	SDRAM 接続時は、RAS \bar 端子に接続
CAS \bar	出力	SDRAM 接続時は、CAS \bar 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。
WAIT	入力	外部ウェイト入力
BREQ \bar	入力	バス権要求入力
BACK \bar	出力	バス使用許可出力
MD5、MD3	入力	MD5 : データアライメント (ビッグまたはリトルエンディアンの選択) MD3 : エリア 0 のバス幅 (16/32 ビット)
REFOUT	出力	バス解放時リフレッシュ実行要求出力

11.3 エリアの概要

11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットで P0～P4 領域に分類され、キャッシュアクセス方法を表します。詳細は、「第 8 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、10 空間 (アドレスマップ 1)、9 空間 (アドレスマップ 3) あるいは 8 空間 (アドレスマップ 2) に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 11.2～表 11.4 に示すように物理空間の 8 空間、7 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、おののに対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2}$ ～ $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および $\overline{CS6B}$) を出力します。エリア 0 のアクセス時には $\overline{CS0}$ がアサートします。また、アドレスマップ 1 選択時はエリア 5A のアクセス時に $\overline{CS5A}$ がアサートし、アドレスマップ 2 選択時は $\overline{CS5B}$ がアサートします。

11.3.2 シャドウ空間

エリア0、2~4、5A/5B、および6A/6Bは、物理アドレスのA28~A25でデコードされ、000~111のエリアに対応します。アドレスのA31~A29は、無視されます。このため、たとえば、エリア0のアドレスの範囲はH'00000000~H'03FFFFFFなのにに対し、H'20000000×n (n=1~6)を加えたP1~P3領域のアドレス空間はシャドウ空間となります。

また、エリア7のアドレスの範囲は、H'1C000000~H'1FFFFFFFです。エリア7のシャドウ空間に相当するアドレスを含めてH'1C000000+H'20000000×n~H'1FFFFFFF+H'20000000×n (n=0~6)は予約空間ですので、使用しないでください。

P4領域 (H'E0000000~H'EFFFFFFFFF)は、I/O領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

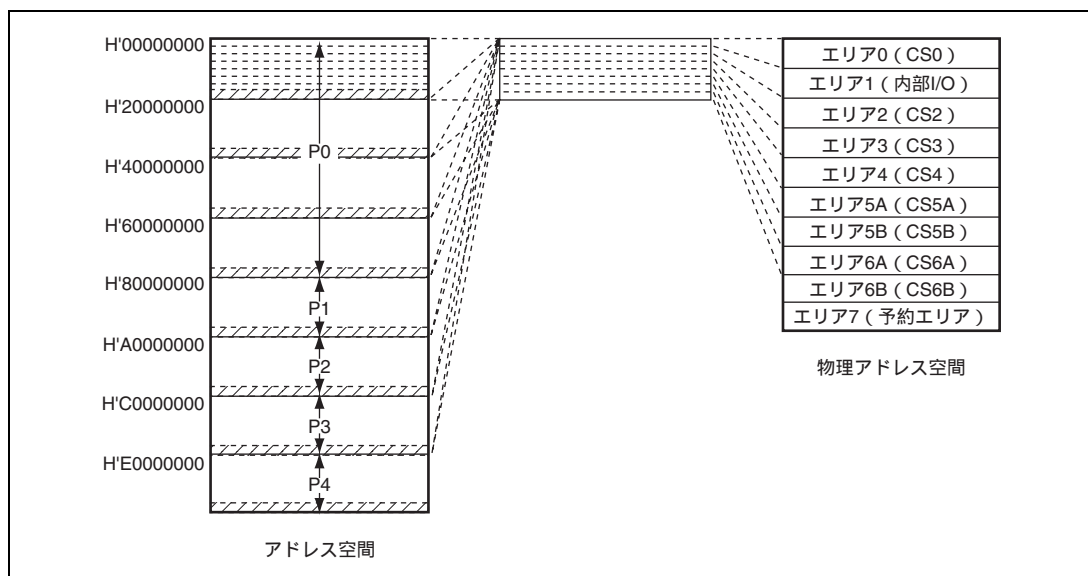


図 11.2 アドレス空間

11.3.3 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1)、7 空間 (アドレスマップ 3) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップを表 11.2~表 11.4 に示します。

表 11.2 アドレスマップ 1 (CMNCR.MAP[1:0]=B'00)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*2	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM*3	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM*3	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト
H'16000000 ~ H'17FFFFFF	エリア 5B	通常空間 バイト選択付き SRAM	32M バイト
H'18000000 ~ H'19FFFFFF	エリア 6A	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFF	エリア 6B	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

*3 1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

表 11.3 アドレスマップ 2 (CMNCR.MAP[1:0]=B'01)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間 ^{*3}	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付き SRAM SDRAM ^{*4}	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付き SRAM SDRAM ^{*4}	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'17FFFFFF	エリア 5 ^{*2}	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'18000000 ~ H'1BFFFFFF	エリア 6 ^{*2}	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア ^{*1}	64M バイト

【注】 *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。チップセレクト信号としては $\overline{\text{CS5B}}$ が有効になります。

エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。チップセレクト信号としては $\overline{\text{CS6B}}$ が有効になります。

*3 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

*4 1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

表 11.4 アドレスマップ 3 (CMNCR.MAP[1:0]=B'10)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*2	64M バイト
H'08000000 ~ H'0FFFFFFF	エリア 2/3*3	通常空間 バイト選択付き SRAM SDRAM	128M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付き SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト
H'16000000 ~ H'17FFFFFF	エリア 5B	通常空間 バイト選択付き SRAM	32M バイト
H'18000000 ~ H'19FFFFFF	エリア 6A	通常空間	32M バイト
H'1A8000000 ~ H'1BFFFFFF	エリア 6B	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア*1	64M バイト

【注】 *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 内部 I/O レジスタは、アドレスの先頭 3 ビットを 101 として P2 領域に配置してください。

*3 エリア 2、エリア 3 を一つの空間として扱います。この場合は、CS3BCR および CS3WCR レジスタが有効になります。チップセレクト信号としては $\overline{CS3}$ が有効になります。

11.3.4 エリア 0 メモリタイプおよびメモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子を用いてバスサイズを通常空間設定時は 16 ビット、32 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時のメモリタイプおよび外部端子 (MD3) とバス幅の関係は、以下のようになります。

表 11.5 外部端子 (MD3) と CS0 メモリタイプ、メモリバス幅の対応

MD3	メモリタイプ	バス幅
0	通常空間	16 ビット
1		32 ビット

11.3.5 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 11.6 外部端子 (MD5) とデータアライメント対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

11.4 レジスタの説明

BSC のレジスタ構成を表 11.7 に示します。また、各処理モードにおけるレジスタの状態を表 11.8 に示します。

表 11.7 レジスタ構成

名 称	略称	R/W	アドレス	サイズ
共通コントロールレジスタ	CMNCR	R/W	H'FEC1 0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'FEC1 0004	32
CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'FEC1 0008	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'FEC1 000C	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'FEC1 0010	32
CS5A 空間バスコントロールレジスタ	CS5ABCR	R/W	H'FEC1 0014	32
CS5B 空間バスコントロールレジスタ	CS5BBCR	R/W	H'FEC1 0018	32
CS6A 空間バスコントロールレジスタ	CS6ABCR	R/W	H'FEC1 001C	32
CS6B 空間バスコントロールレジスタ	CS6BBCR	R/W	H'FEC1 0020	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'FEC1 0024	32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'FEC1 0028	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'FEC1 002C	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'FEC1 0030	32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	R/W	H'FEC1 0034	32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	R/W	H'FEC1 0038	32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	R/W	H'FEC1 003C	32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	R/W	H'FEC1 0040	32
SDRAM コントロールレジスタ	SDCR	R/W	H'FEC1 0044	32
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	R/W	H'FEC1 0048	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'FEC1 004C	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FEC1 0050	32
SDRAM モードレジスタ	SDMR2	W	H'FEC1 4xxx	-
SDRAM モードレジスタ	SDMR3	W	H'FEC1 5xxx	-
リセットバスウェイトカウンタ	RBWTCNT	-	-	-

表 11.8 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
共通コントロールレジスタ	CMNCR	初期値	保持	-	保持
CS0 空間バスコントロールレジスタ	CS0BCR	初期値	保持	-	保持
CS2 空間バスコントロールレジスタ	CS2BCR	初期値	保持	-	保持
CS3 空間バスコントロールレジスタ	CS3BCR	初期値	保持	-	保持
CS4 空間バスコントロールレジスタ	CS4BCR	初期値	保持	-	保持
CS5A 空間バスコントロールレジスタ	CS5ABCR	初期値	保持	-	保持
CS5B 空間バスコントロールレジスタ	CS5BBCR	初期値	保持	-	保持
CS6A 空間バスコントロールレジスタ	CS6ABCR	初期値	保持	-	保持
CS6B 空間バスコントロールレジスタ	CS6BBCR	初期値	保持	-	保持
CS0 空間ウェイトコントロールレジスタ	CS0WCR	初期値	保持	-	保持
CS2 空間ウェイトコントロールレジスタ	CS2WCR	初期値	保持	-	保持
CS3 空間ウェイトコントロールレジスタ	CS3WCR	初期値	保持	-	保持
CS4 空間ウェイトコントロールレジスタ	CS4WCR	初期値	保持	-	保持
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	初期値	保持	-	保持
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	初期値	保持	-	保持
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	初期値	保持	-	保持
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	初期値	保持	-	保持
SDRAM コントロールレジスタ	SDCR	初期値	保持	-	保持
リフレッシュタイムコントロール / ステータスレジスタ	RTCSCR	初期値	保持	-	保持
リフレッシュタイムカウンタ	RTCNT	初期値	保持	-	保持
リフレッシュタイムコンスタントレジスタ	RTCOR	初期値	保持	-	保持
SDRAM モードレジスタ	SDMR2	-	-	-	-
SDRAM モードレジスタ	SDMR3	-	-	-	-
リセットバスウェイトカウンタ	RBWTCNT	初期化	保持	-	保持

11.4.1 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CKO STP	CKO DRV	—	—	—	—	—	—	—	DMSTP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BSD	MAP[1:0]	BLOCK	—	—	—	—	—	—	—	—	END IAN	—	HIZ MEM	HIZ CNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0/1*	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
25	CKOSTP	0	R/W	CKO 停止設定 0 : CKO 出力 1 : CKO 停止、ローレベル出力 【注】CKOSTP ビットを 1 に設定した直後、CKO がローレベルに安定する前に不正な波形が出る場合があります。
24	CKODRV	0	R/W	CKO、CKE ドライブコントロール 本ビットの値によって、ビット 0 (HIZCNT) の動作が変わります。 詳細はビット 0 (HIZCNT) を参照してください。
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
16	DMSTP	0	R/W	低消費電力モード BSC の低消費電力モードを設定します。0 に設定すると、BSC 内の外部バス権制御 (BREQ/BACK) 回路を停止するモードとなり、消費電力を低減できます。外部バス権制御 (BREQ/BACK) を使用する際は、1 を設定してください。 0 : BSC は低消費電力モードとなります。 1 : BSC の低消費電力モードを解除します。
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	BSD	0	R/W	バスアクノリッジの獲得後のアクセス開始タイミング指定 本ビットにより、外部バスアクノリッジの獲得後のアクセス開始タイミングを指定します。 0 : バスアクノリッジの獲得後に、アドレスドライブ開始タイミングと同時に外部アクセスを開始します。 1 : バスアクノリッジの獲得後に、アドレスドライブ開始タイミングの 1 サイクル後に外部アクセスを開始します。

ビット	ビット名	初期値	R/W	説明
13、12	MAP[1:0]	00	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 11.2～表 11.4 を参照してください。 00：アドレスマップ 1 を選択 01：アドレスマップ 2 を選択 10：アドレスマップ 3 を選択 11：設定禁止
11	BLOCK	0	R/W	バスロックビット $\overline{\text{BREQ}}$ を受け付けるかどうかを指定します。 0： $\overline{\text{BREQ}}$ を受け付けます。 1： $\overline{\text{BREQ}}$ を受け付けません。
10～5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
3	ENDIAN	0/1*	R	エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。 0：パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1：パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時も常に 0 にしてください。
1	HIZMEM	0	R/W	Hi-Z メモリコントロール 本ビットは、A25～A0、BS、 $\overline{\text{CSn}}$ 、RDWR、 $\overline{\text{WE}}/\overline{\text{DQMxx}}$ 、および $\overline{\text{RD}}$ のスタンバイモード時の端子状態を指定します。バス開放時は、本ビットにかかわらずハイインピーダンスになります。 0：スタンバイモード時にハイインピーダンス 1：スタンバイモード時にドライブ

ビット	ビット名	初期値	R/W	説明
0	HIZCNT	0	R/W	<p>Hi-Z コントロール</p> <p>本ビットは、CKO、CKE、\overline{RAS}、\overline{CAS} のスタンバイモード時およびバス権解放時の状態を指定します。</p> <p>ビット 24 (CKODRV) が 0 の場合</p> <p>0 : CKO、CKE、\overline{RAS}、\overline{CAS} は、スタンバイモード時およびバス権解放時にハイインピーダンス</p> <p>1 : CKO、CKE、\overline{RAS}、\overline{CAS} は、スタンバイモード時およびバス権解放時にドライブ</p> <p>ビット 24 (CKODRV) が 1 の場合</p> <p>0 : CKO、CKE はドライブ。\overline{RAS}、\overline{CAS} は、スタンバイモード時およびバス権解放時にハイインピーダンス</p> <p>1 : CKO、CKE、\overline{RAS}、\overline{CAS} は、スタンバイモード時およびバス権解放時にドライブ</p>

【注】 * エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリング
ビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。

11.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

(n=0、2、3、4、5A、5B、6A、6B)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値 :	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[3:0]				—	BSZ[1:0]		—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31		0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
30~28	IWW[2:0]	011	R/W	<p>ライト - リード / ライト - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。</p> <p>000 : 設定禁止</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>
27~25	IWRWD [2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS [2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説 明
21 ~ 19	IWRRD [2:0]	011	R/W	<p>別空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
18 ~ 16	IWRRS [2:0]	011	R/W	<p>同一空間リード - リードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
15~12	TYPE[3:0]	0000	R/W	<p>メモリ種類指定</p> <p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>0000：通常空間</p> <p>0001：バーストROM (クロック非同期)</p> <p>0010：設定禁止</p> <p>0011：バイト選択付きSRAM</p> <p>0100：SDRAM</p> <p>0101：PCMCIA</p> <p>0110：設定禁止</p> <p>0111：設定禁止</p> <p>1000：設定禁止</p> <p>1001：設定禁止</p> <p>1010：設定禁止</p> <p>1011：設定禁止</p> <p>1100：設定禁止</p> <p>1101：設定禁止</p> <p>1110：設定禁止</p> <p>1111：設定禁止</p> <p>【注】 エリア0のリセット直後のメモリタイプは、通常空間となります。 本ビットで通常空間およびバーストROM (クロック非同期) から選択可能です。 エリアごとのメモリタイプは表 11.2 ~ 表 11.4 を参照ください。</p>
11		0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
10, 9	BSZ[1:0]	11*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00：設定禁止</p> <p>01：8ビット</p> <p>10：16ビット</p> <p>11：32ビット</p> <p>【注】 1. エリア0のデータバス幅は、外部入力端子で設定します。 CS0BCRのBSZ[1:0]ビットの設定は無視されます。</p> <p>2. エリア5またはエリア6をPCMCIA空間に設定した場合は、バス幅は8または16ビットから設定が可能です。</p> <p>3. エリア2またはエリア3をSDRAM空間に設定した場合は、バス幅は16または32ビットから設定が可能です。</p>
8~0		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>

【注】 * CS0BCRは、バス幅を指定する外部端子 (MD3) の値をパワーオンリセット時にサンプリングします。

11.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[3:0]ビット) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR を設定後に設定してください。(n=0、2、3、4、5A、5B、6A、6B)

(1) 通常空間、バイト選択付き SRAM

- CS0WCR、CS6AWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR SFIX	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および \overline{RDWR} 信号のタイミングを設定します。 0: \overline{WEn} は、リードライトタイミングでアサート \overline{RDWR} は、ライトアクセスサイクル中アサート 1: \overline{WEn} は、リードライトアクセスサイクル中アサート \overline{RDWR} は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル

ビット	ビット名	初期値	R/W	説明
15	ADRSFIX	0	R/W	アドレス更新抑止 (CS6A のみ有効) 0 : アドレス通常出力 1 : バーストアクセスの 2 回目以降のアドレス更新を抑止
14, 13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
6	WM	1	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	HW[1:0]	00	R/W	RD、WEn ネゲート アドレス、CSn ネゲート遅延サイクル数 本ビットは、RD、WEn ネゲートから、アドレス、CSn ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

- CS2WCR、CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	BW[1:0]	PMD	BAS	—	—	—	—	WW[2:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	SW[1:0]	—	—	—	—	WR[3:0]	WM	—	—	—	—	—	HW[1:0]	
初期値 :	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~24		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23, 22	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 バイト選択付き SRAM かつページモード設定時 (PMD ビット=1) に有効です。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル 【注】バースト ROM (クロック非同期) とはビット位置が異なります。
21	PMD	0	R/W	バイト選択付き SRAM の場合、ページモード指定 本ビットは、バイト選択付き SRAM のページモードを指定します。 0 : 非ページモードアクセス 1 : ページモードアクセス

ビット	ビット名	初期値	R/W	説 明
20	BAS	0	R/W	<p>バイト選択付き SRAM バイトアクセス選択</p> <p>本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および \overline{RDWR} 信号のタイミングを設定します。</p> <p>0 : \overline{WEn} は、リードライトタイミングでアサート \overline{RDWR} は、ライトアクセスサイクル中アサート</p> <p>1 : \overline{WEn} は、リードライトアクセスサイクル中アサート \overline{RDWR} は、ライトタイミングでアサート</p>
19		0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
18~16	WW[2:0]	000	R/W	<p>ライトアクセスウェイトサイクル数</p> <p>本ビットは、ライトアクセスに必要なサイクル数を指定します。</p> <p>000 : WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001 : 0 サイクル 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル</p>
15~13		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
12, 11	SW[1:0]	00	R/W	<p>アドレス、\overline{CSn} アサート \overline{RD}、\overline{WEn} アサート遅延サイクル数</p> <p>本ビットは、アドレス、\overline{CSn} アサートから \overline{RD}、\overline{WEn} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE} ネゲート アドレス、\overline{CS} ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE} ネゲートからアドレス、\overline{CS} ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS4WCR、CS5AWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および \overline{RDWR} 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート \overline{RDWR} は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ は、リードライトアクセスサイクル中アサート \overline{RDWR} は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}n$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}n$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説 明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE}_n ネゲート アドレス、\overline{CS}_n ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE}_n ネゲートから、アドレス、\overline{CS}_n ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS5BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および \overline{RDWR} 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート \overline{RDWR} は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ は、リードライトアクセスサイクル中アサート \overline{RDWR} は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}n$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}n$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE}_n ネゲート アドレス、\overline{CS}_n ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE}_n ネゲートから、アドレス、\overline{CS}_n ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

(2) パースト ROM (クロック非同期)

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]	W[3:0]			WM	—	—	—	—	—	—	—	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストリードアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CS \bar{n} アサート RD、WE \bar{n} アサート遅延サイクル数 本ビットは、アドレス、CS \bar{n} アサートから RD、WE \bar{n} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE} ネゲート アドレス、\overline{CS} ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE} ネゲートから、アドレス、\overline{CS} ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
				SW[1:0]		W[3:0]			WM						HW[1:0]	
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~18		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0サイクル 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート、 \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから、 \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5サイクル 01: 1.5サイクル 10: 2.5サイクル 11: 3.5サイクル

ビット	ビット名	初期値	R/W	説 明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WE}_n ネゲート アドレス、\overline{CS}_n ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WE}_n ネゲートから、アドレス、\overline{CS}_n ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

(3) SDRAM

• CS2WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	A2CL[1:0]	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10		1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。
9		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8、7	A2CL[1:0]	10	R/W	エリア2CAS レイテンシ 本ビットは、エリア2のCAS レイテンシを指定します。 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル
6		1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。
5~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

• CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TRP[1:0]	—	TRCD[1:0]	—	A3CL[1:0]	—	—	TRWL[1:0]	—	—	TRC[1:0]	—	—	—	—
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
14、13	TRP[1:0]	00	R/W	オートプリチャージ/PRE コマンド ACTV コマンドサイクル数 本ビットは、オートプリチャージの起動または、PRE コマンド発行後から、同一バンクに対する ACTV コマンド発行までの最小サイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル
12		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11、10	TRCD[1:0]	01	R/W	ACTV コマンド READ(A)/WRIT(A)コマンドサイクル数 本ビットは、ACTV コマンド発行後、READ(A)/WRIT(A)コマンド発行までの最小サイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル
9		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8、7	A3CL[1:0]	10	R/W	エリア 3 の CAS レイテンシ 本ビットは、エリア 3 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル エリア 2、エリア 3 に SDRAM を接続する場合、CAS レイテンシ値を CS2WCR レジスタのビット 8、7、および CS3WCR レジスタのビット 8、7 に設定するとともに、SDRAM モード設定のための SDMR2、SDMR3 レジスタにも設定してください (表 11.23 参照)。
6		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
5		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4、3	TRWL[1:0]	00	R/W	WRITA/WRIT コマンド オートプリチャージ / PRE コマンドサイクル数 本ビットは、WRITA または WRIT コマンド発行後、オートプリチャージが起動されるまでのサイクル数、または PRE コマンド発行までのサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 0 サイクル 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1、0	TRC[1:0]	00	R/W	REF コマンド / セルフリフレッシュ解除 ACTV コマンドサイクル数 本ビットは、REF コマンド発行後、またはセルフリフレッシュ解除後から ACTV コマンド発行までの最小サイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : 3 サイクル 01 : 4 サイクル 10 : 6 サイクル 11 : 9 サイクル

【注】 エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、TRP[1:0]、TRCD[1:0]、TRWL[1:0]、TRC[1:0] ビットは、共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) PCMCIA

- CS5BWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	SA[1:0]	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TED[3:0]			PCW[3:0]			WM	—	—	TEH[3:0]			—	—	—
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
21, 20	SA[1:0]	00	R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモ리카ードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 SA[1] 0 : A25 = 1 の空間をメモ리카ードインタフェース指定 1 : A25 = 1 の空間を I/O カードインタフェース指定 SA[0] 0 : A25 = 0 の空間をメモ리카ードインタフェース指定 1 : A25 = 0 の空間を I/O カードインタフェース指定
19~15		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14~11	TED[3:0]	0000	R/W	<p>アドレス - \overline{RD}、\overline{WE} アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力から \overline{RD} と \overline{WE} アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル 0001 : 6 サイクル 0010 : 9 サイクル 0011 : 12 サイクル 0100 : 15 サイクル 0101 : 18 サイクル 0110 : 22 サイクル 0111 : 26 サイクル 1000 : 30 サイクル 1001 : 33 サイクル 1010 : 36 サイクル 1011 : 38 サイクル 1100 : 52 サイクル 1101 : 60 サイクル 1110 : 64 サイクル 1111 : 80 サイクル</p>

ビット	ビット名	初期値	R/W	説明
6	WM	1	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。 アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5, 4		すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3~0	TEH[3:0]	0000	R/W	\overline{RD} 、 \overline{WE} ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおける \overline{RD} と \overline{WE} ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル

11.4.4 リセットバスウェイトカウンタ (RBWTCNT)

RBWTCNT は、7 ビットのカウンタです。パワーオンリセットによりカウンタは0クリアされ、リセット期間中は0の状態を保持します。パワーオンリセット解除後、CKO に同期してカウントアップを開始し、レジスタの値が H'7F になるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリ等のリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタは存在します。本レジスタへの読み出し、書き込みは行えません。

11.4.5 SDRAM コントロールレジスタ (SDCR)

本レジスタは、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	A2ROW[1:0]	—	—	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RFSH	RMODE	PDOWN	BACTV	—	—	—	A3ROW[1:0]	—	—	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20, 19	A2ROW [1:0]	00	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 設定禁止
18		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17, 16	A2COL [1:0]	00	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 設定禁止
15~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0: リフレッシュしない 1: リフレッシュする
10	RMODE	0	R/W	リフレッシュ制御 本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0: オートリフレッシュを行う 1: セルフリフレッシュを行う

ビット	ビット名	初期値	R/W	説明
9	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットは 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0 : アクセス終了後、SDRAM をパワーダウンモードにしない 1 : アクセス終了後、SDRAM をパワーダウンモードにする</p>
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0 : オートプリチャージモード (READA および WRITA コマンドを使用) 1 : バンクアクティブモード (READ および WRIT コマンドを使用)</p> <p>【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。また、エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。</p>
7~5		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
4、3	A3ROW [1:0]	00	R/W	<p>エリア 3 ロウアドレスビット数</p> <p>本ビットは、エリア 3 のロウアドレスのビット数を指定します。</p> <p>00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 設定禁止</p>
2		0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
1、0	A3COL [1:0]	00	R/W	<p>エリア 3 カラムアドレスビット数</p> <p>本ビットは、エリア 3 のカラムアドレスのビット数を指定します。</p> <p>00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 設定禁止</p>

11.4.6 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

本レジスタは、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	—	CKS[2:0]			RRC[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、H'A55A00 を書き込んでください。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット / クリアされます。 0 : クリア条件 : CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1 : セット条件 : RTCNT = RTCOR になったとき
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~3	CKS[2:0]	000	R/W	クロックセレクト 本ビットは、リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。 000 : カウントアップ停止 001 : B /4 010 : B /16 011 : B /64 100 : B /256 101 : B /1024 110 : B /2048 111 : B /4096

ビット	ビット名	初期値	R/W	説 明
2~0	RRC[2:0]	000	R/W	リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000 : 1 回 001 : 2 回 010 : 4 回 011 : 6 回 100 : 8 回 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

11.4.7 リフレッシュタイマカウンタ (RTCNT)

本レジスタは、8ビットのカウンタで、RTCSCR の CKS[2:0]ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	CNT								—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説 明
31~8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、H'A55A00 を書き込んでください。
7~0	CNT	すべて 0	R/W	8 ビットのカウンタ

11.4.8 リフレッシュタイムコンスタントレジスタ (RTCOR)

本レジスタは、8ビットのカウンタの比較値で、RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが1にセットされ、RTCNT は0にクリアされます。

SDCR の RFSH ビットが1にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

CMF ビットのクリアによってリフレッシュ要求がクリアされることはありません。書き込み時には、書き込みデータの上位16ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COR							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00 を書き込んでください。
7~0	COR	すべて0	R/W	8ビットのカウンタの比較値

11.4.9 SDRAM モードレジスタ 2、3 (SDMR2、SDMR3)

SDRAM モードレジスタ (SDMR2、SDMR3) の設定については、表 11.23 を参照してください。

11.5 動作説明

11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.9 ~ 表 11.14 に示します。

表 11.9 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロングワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.10 16 ビット外部デバイス / ビッグエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 11.11 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート

表 11.12 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0 番地バイトアクセス				データ 7~0				アサート
1 番地バイトアクセス			データ 7~0				アサート	
2 番地バイトアクセス		データ 7~0				アサート		
3 番地バイトアクセス	データ 7~0				アサート			
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス	データ 15~8	データ 7~0			アサート	アサート		
0 番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.13 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0 番地バイトアクセス				データ 7~0				アサート
1 番地バイトアクセス			データ 7~0				アサート	
2 番地バイトアクセス				データ 7~0				アサート
3 番地バイトアクセス			データ 7~0				アサート	
0 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
2 番地ワードアクセス			データ 15~8	データ 7~0			アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)		データ 15~8	データ 7~0			アサート	アサート
	2 回目 (2 番地)		データ 31~24	データ 23~16			アサート	アサート

表 11.14 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}/$ DQMUU	$\overline{WE2}/$ DQMUL	$\overline{WE1}/$ DQMLU	$\overline{WE0}/$ DQMLL
0番地バイトアクセス					データ 7~0				アサート
1番地バイトアクセス					データ 7~0				アサート
2番地バイトアクセス					データ 7~0				アサート
3番地バイトアクセス					データ 7~0				アサート
0番地 ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
2番地 ワード アクセス	1回目 (2番地)				データ 7~0				アサート
	2回目 (3番地)				データ 15~8				アサート
0番地 ロング ワード アクセス	1回目 (0番地)				データ 7~0				アサート
	2回目 (1番地)				データ 15~8				アサート
	3回目 (2番地)				データ 23~16				アサート
	4回目 (3番地)				データ 31~24				アサート

11.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の接続を考慮してストロープ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「11.5.7 バイト選択付き SRAM インタフェース」を参照ください。図 11.3 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

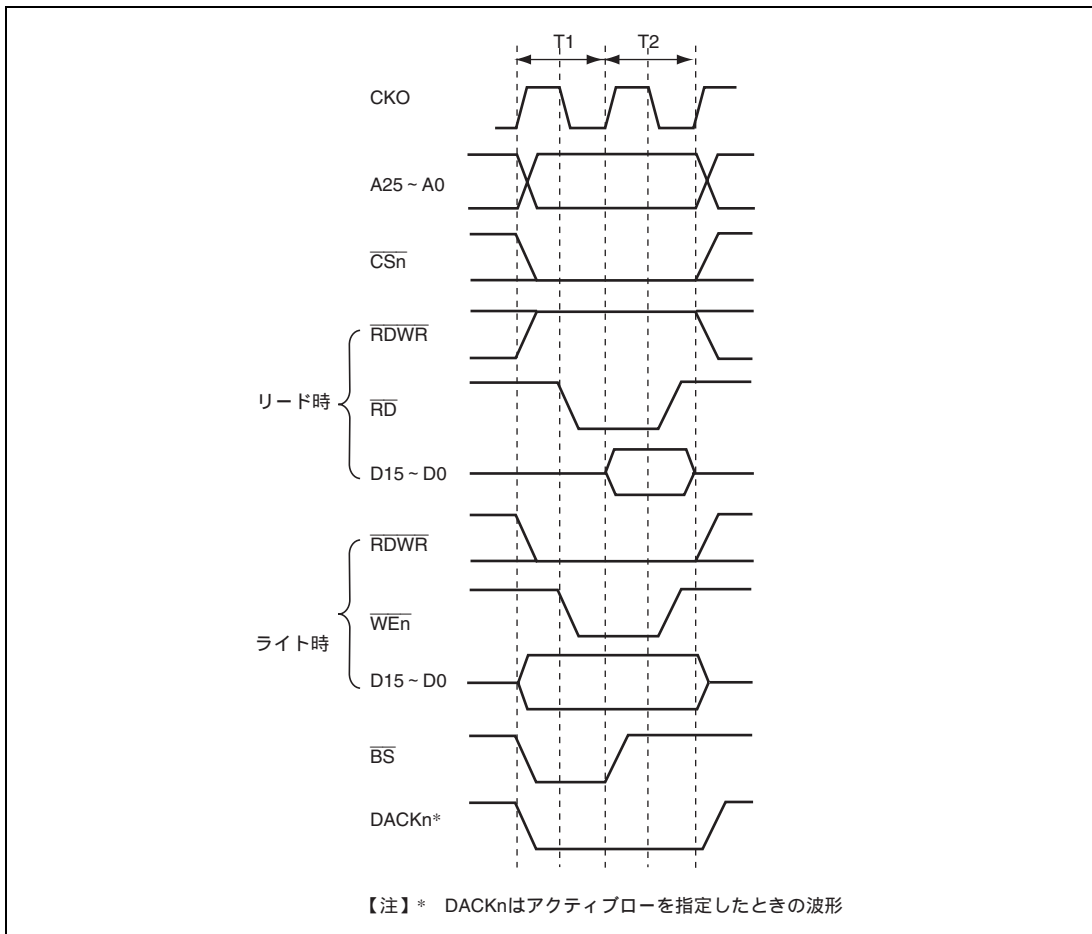


図 11.3 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 \overline{RDWR} 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 11.4、図 11.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 11.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます (図 11.5)。

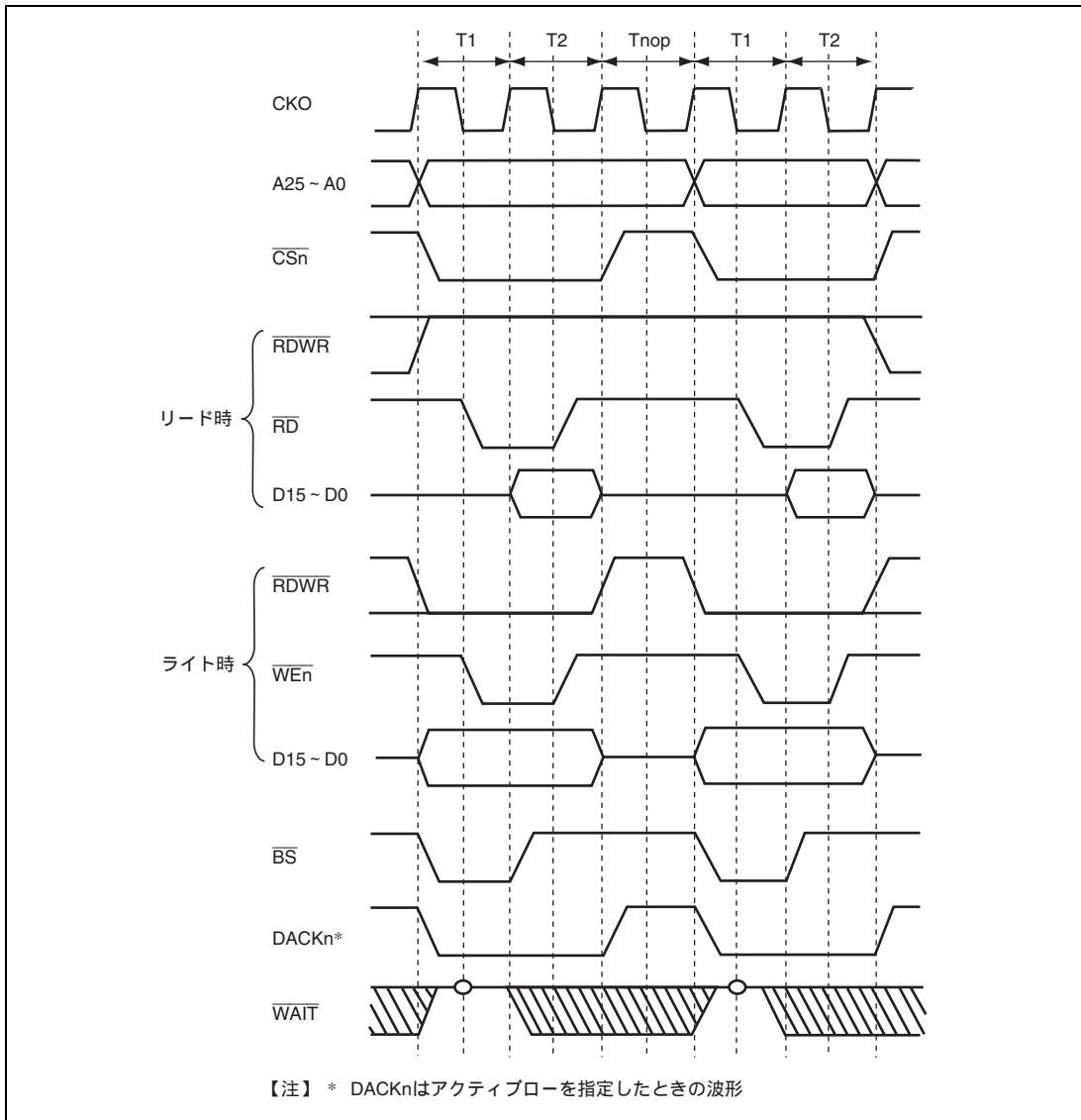


図 11.4 通常空間連続アクセス例 1
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
(アクセスウェイト 0、サイクル間ウェイト 0)

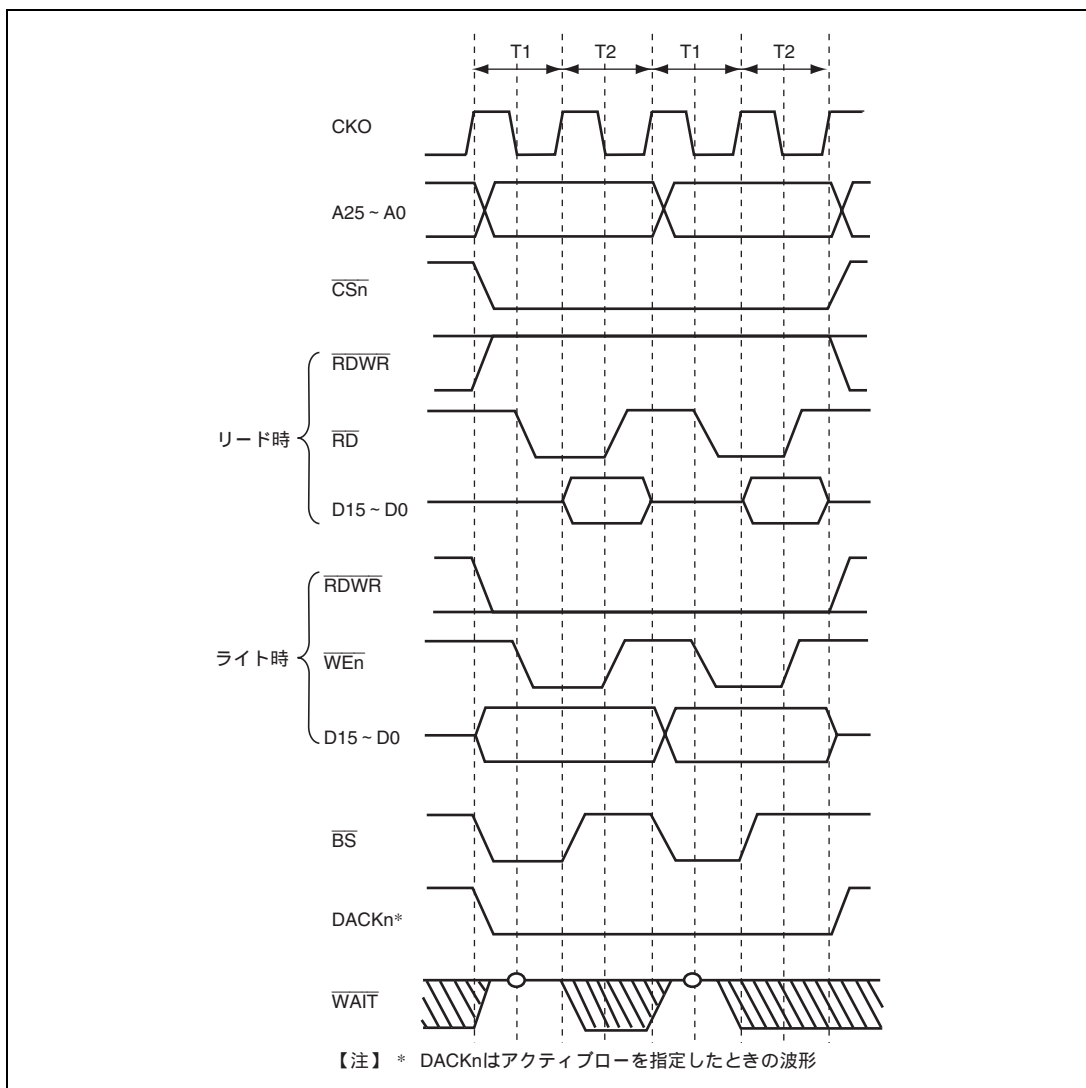


図 11.5 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

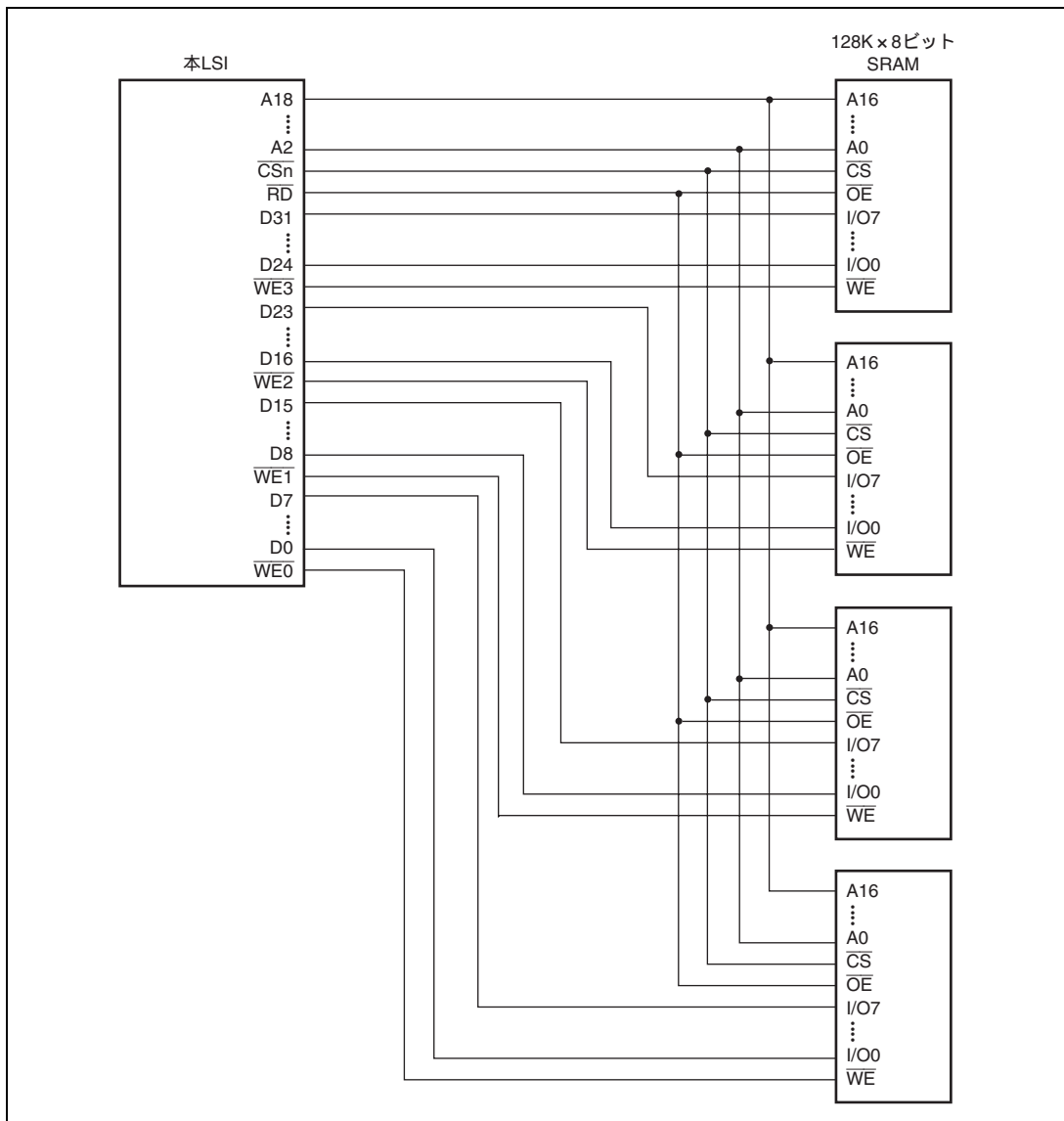


図 11.6 32 ビットデータ幅 SRAM 接続例

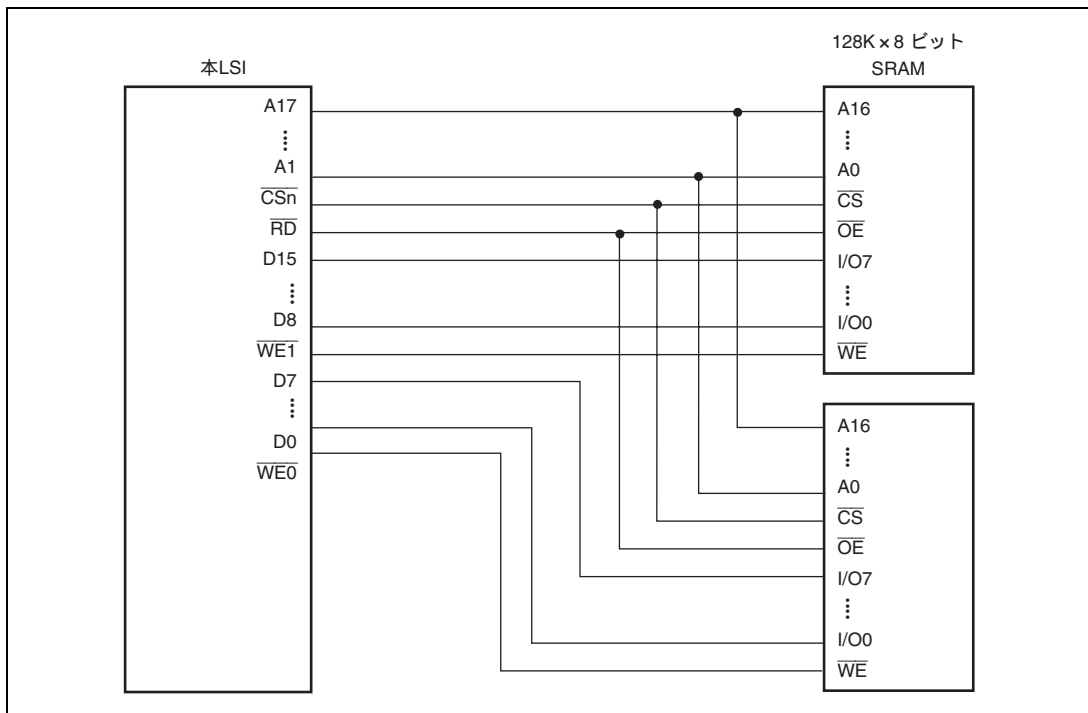


図 11.7 16 ビットデータ幅 SRAM 接続例

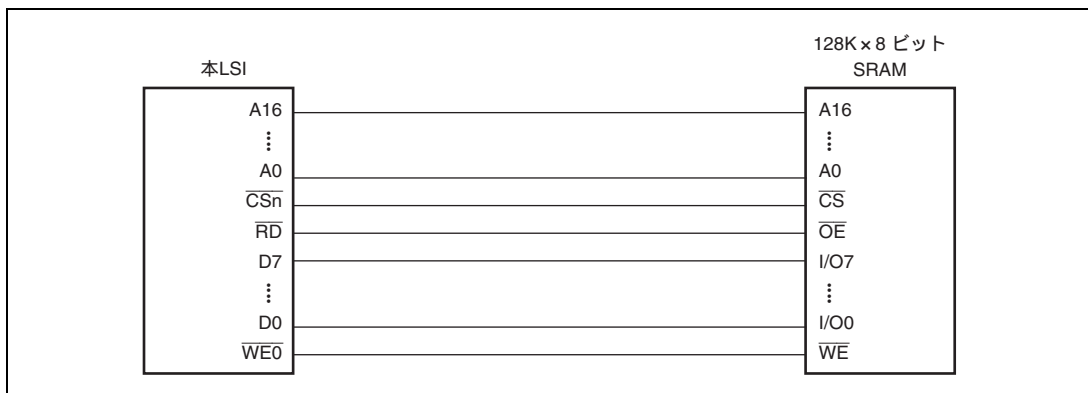


図 11.8 8 ビットデータ幅 SRAM 接続例

11.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]、および WW[2:0]の設定により、通常空間およびバイト選択付き SRAM アクセスのウェイトサイクルの挿入を制御できます。リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。図 11.9 に示す通常空間およびバイト選択付き SRAM のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

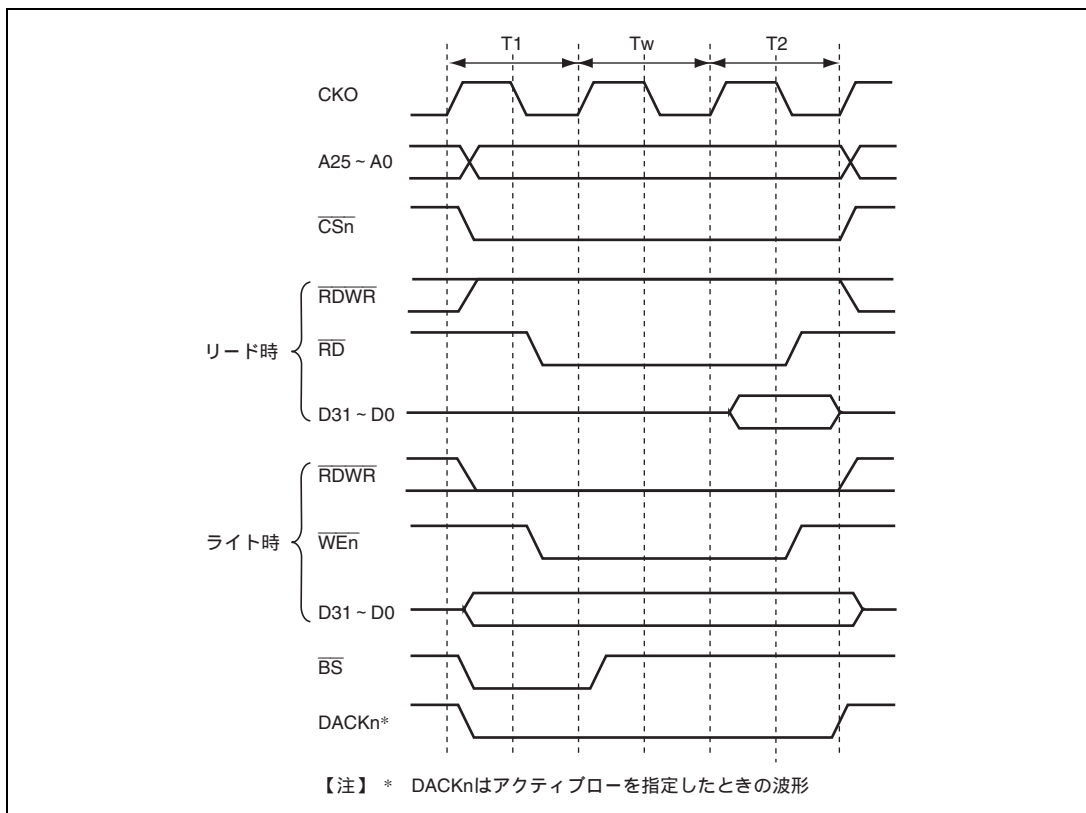


図 11.9 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 11.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または T_w サイクルから T2 サイクルに移行する際に、CKO の立ち下がりでサンプリングされます。

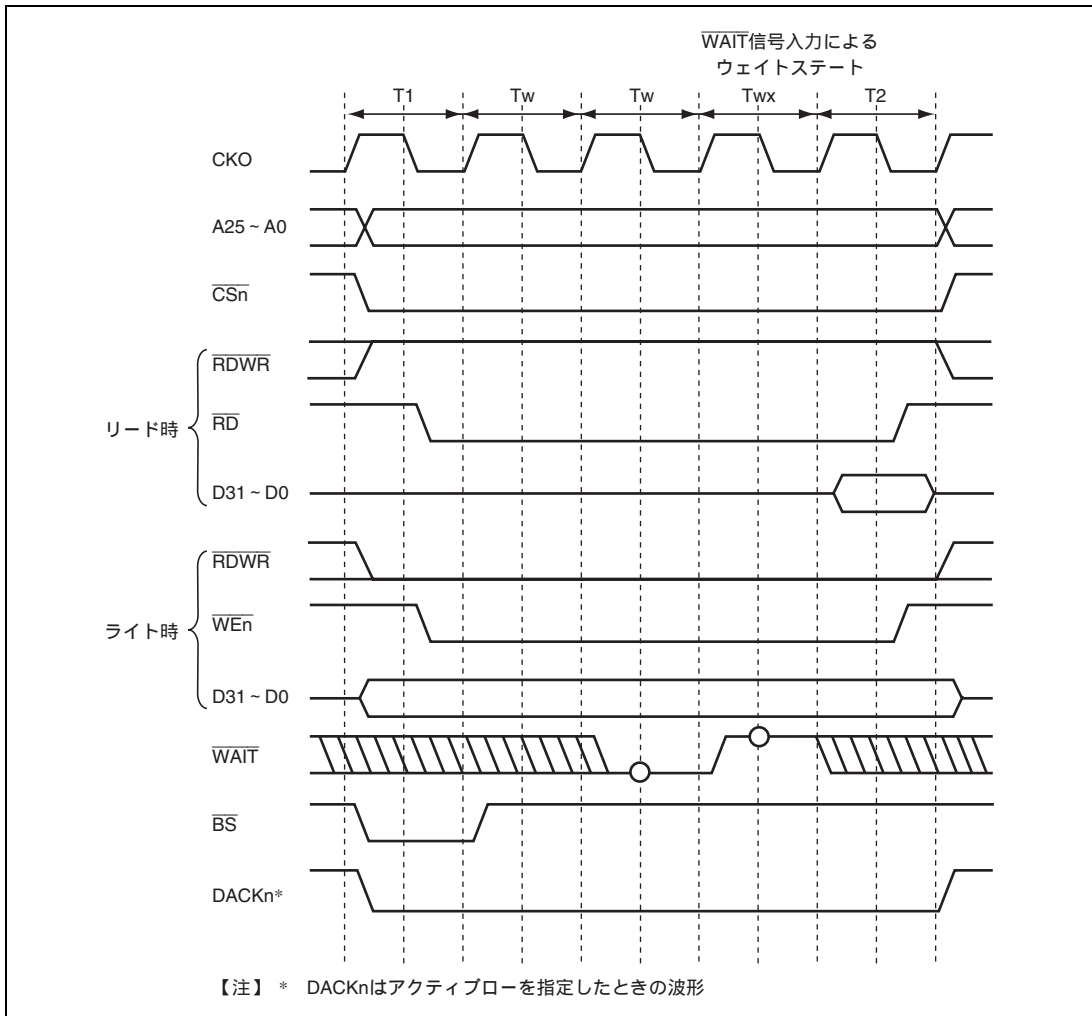


図 11.10 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

11.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と $\overline{WE_n}$ アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と $\overline{WE_n}$ ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 11.11 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と $\overline{WE_n}$ 以外はアサートされますが、 \overline{RD} と $\overline{WE_n}$ はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

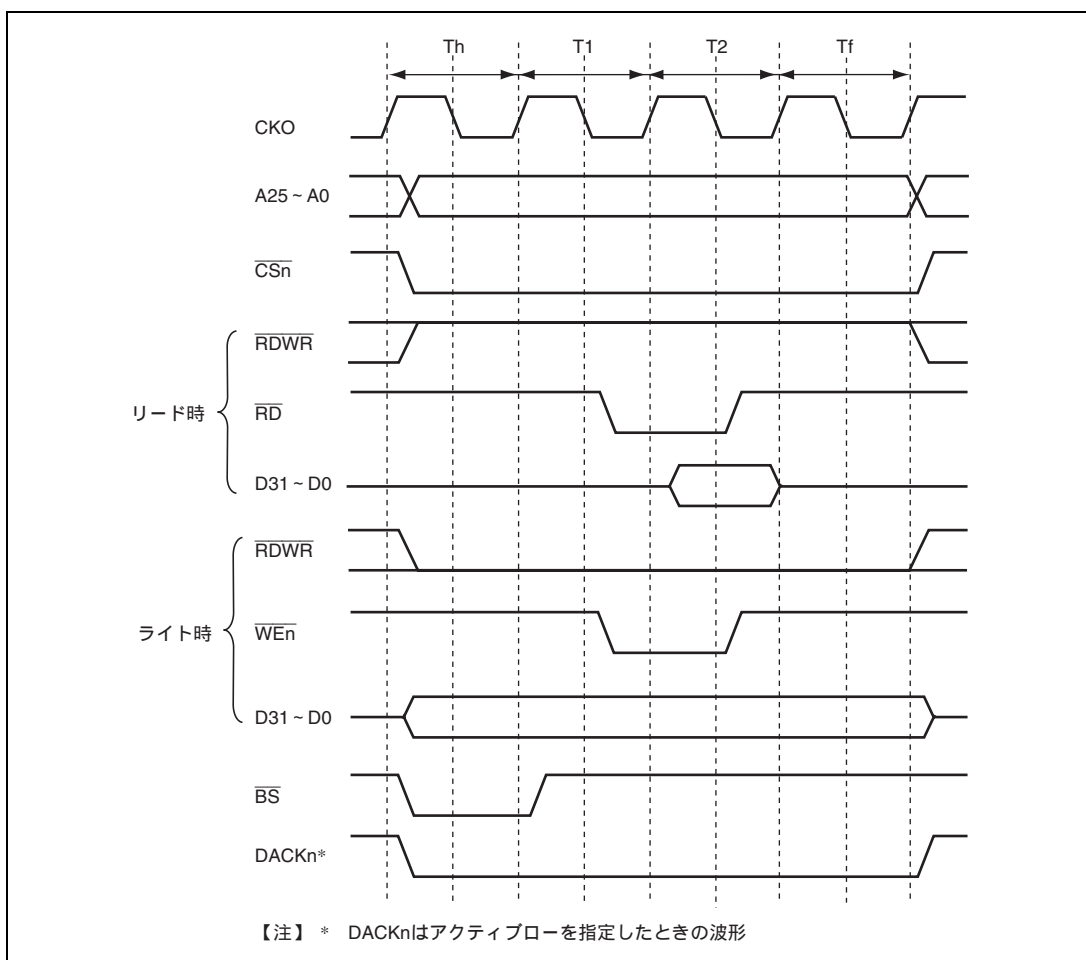


図 11.11 \overline{CSn} アサート期間拡張

11.5.5 SDRAM インタフェース

(1) SDRAM インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード/ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を接続するための制御信号は、 \overline{RAS} 、 \overline{CAS} 、 \overline{RDWR} 、DQMUU、DQMUL、DQMLU、DQMLL、CKE、および $\overline{CS2}$ と $\overline{CS3}$ です。 $\overline{CS2}$ と $\overline{CS3}$ を除く信号は各空間に共通であり、CKE を除く信号は $\overline{CS2}$ と $\overline{CS3}$ がアサートされているときのみに有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

\overline{RAS} 、 \overline{CAS} 、 \overline{RDWR} 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS) があります。

アクセスするバイトの指定は、DQMUU、DQMUL、DQMLU、および DQMLL によって行われます。該当する DQMxx がローレベルのバイトに対してリード/ライトが行われます。DQMxx とアクセスするバイトの関係は、「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は通常空間設定またはバイト選択付き SRAM 設定としてください。

図 11.12 および図 11.13 に本 LSI と SDRAM との接続例を示します。

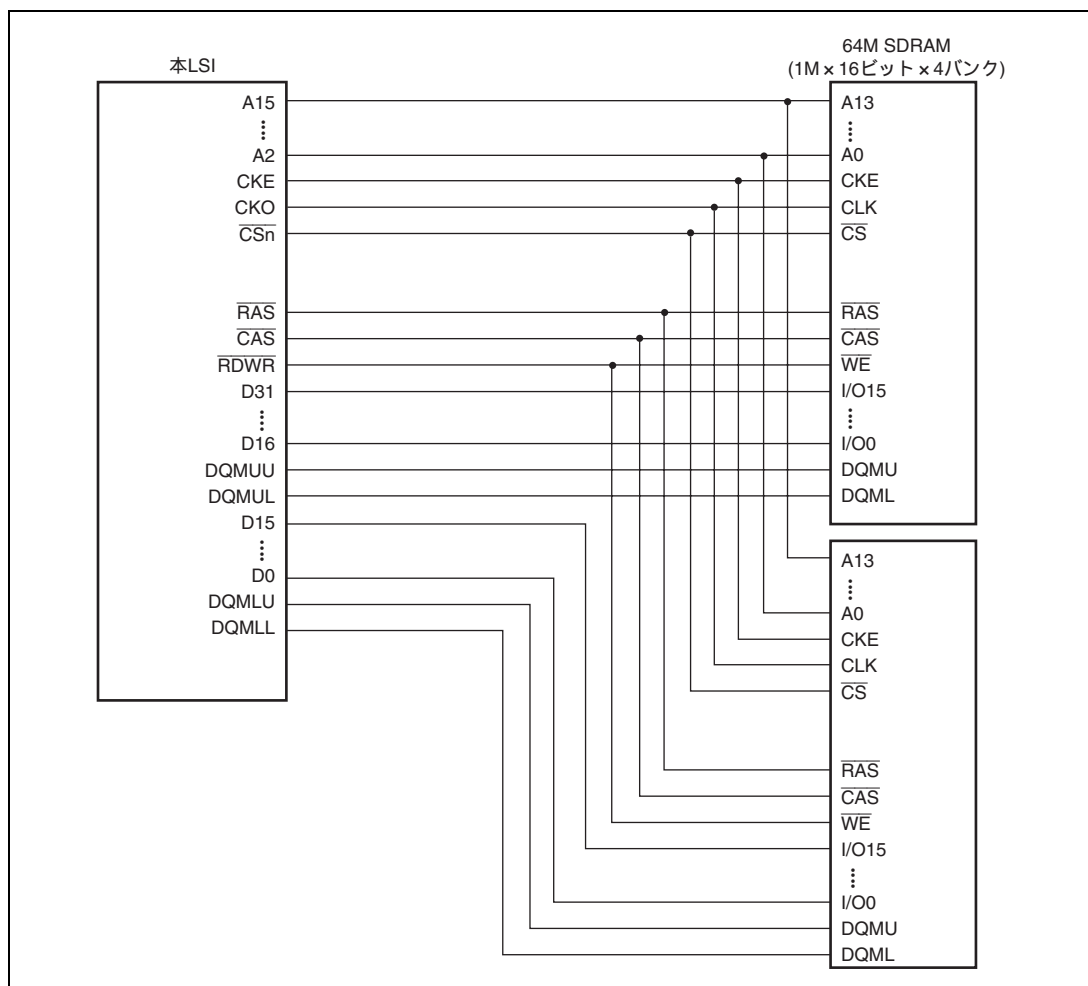


図 11.12 32 ビットデータ幅 SDRAM 接続例

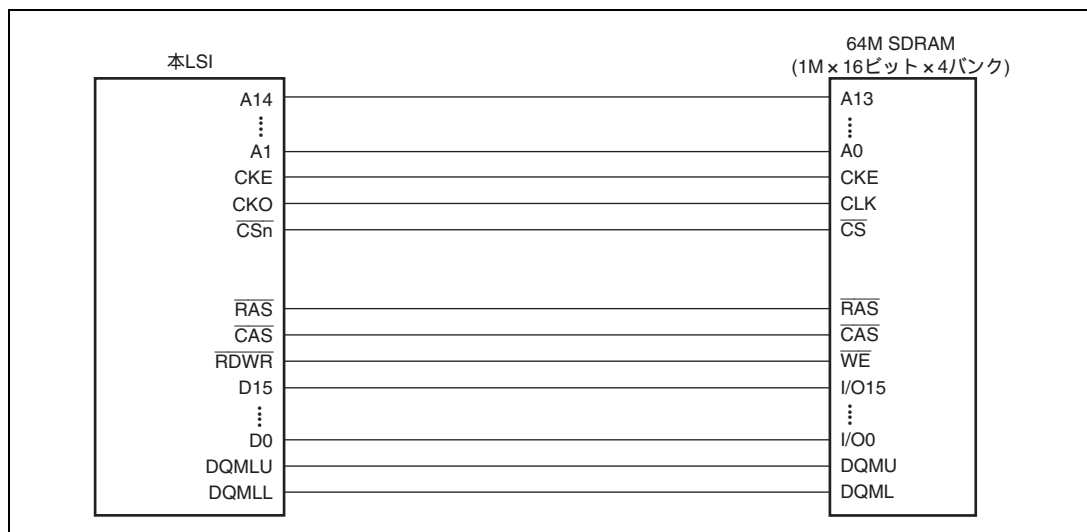


図 11.13 16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、および AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 11.15 ~ 表 11.20 に BSZ[1:0]、AxROW[1:0]、および AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 11.15 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設定					設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]			A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
11 (32bit)	00 (11bit)	00 (8bit)			11 (32bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能	本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用	A17	A24	A17		未使用
A16	A24	A16			A16	A23	A16		
A15	A23	A15			A15	A23*2	A23*2		
A14	A22*2	A22*2	A12 (BA1)	A14	A22*2	A22*2	A12 (BA0)		
A13	A21*2	A21*2	A11 (BA0)	バンク指定	A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP		アドレス/ プリチャージ 指定	A12	A20	L/H*1	A10/AP
A11	A19	A11	A9	アドレス	A11	A19	A11	A9	アドレス
A10	A18	A10	A8		A10	A18	A10	A8	
A9	A17	A9	A7		A9	A17	A9	A7	
A8	A16	A8	A6		A8	A16	A8	A6	
A7	A15	A7	A5		A7	A15	A7	A5	
A6	A14	A6	A4		A6	A14	A6	A4	
A5	A13	A5	A3		A5	A13	A5	A3	
A4	A12	A4	A2		A4	A12	A4	A2	
A3	A11	A3	A1		A3	A11	A3	A1	
A2	A10	A2	A0		A2	A10	A2	A0	
A1	A9	A1		未使用	A1	A9	A1		未使用
A0	A8	A0			A0	A8	A0		
接続メモリ例					接続メモリ例				
64M ビット品 (512Kワード×32ビット×4バンク、カラム8ビット品) 1個 16M ビット品 (512Kワード×16ビット×2バンク、カラム8ビット品) 2個					128M ビット品 (1Mワード×32ビット×4バンク、カラム8ビット品) 1個 64M ビット品 (1Mワード×16ビット×4バンク、カラム8ビット品) 2個				

【注】 *1 L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.16 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (2)

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
11 (32bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2		A13 (BA1)
A14	A23*2	A23*2	A12 (BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個 128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個				

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
11 (32bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される カラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2	A25*2		A13 (BA1)
A14	A24*2	A24*2	A12 (BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		
A0	A10	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個 256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.17 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
11 (32bit)	10 (13bit)	01 (9bit)		
本 LSI の出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25*2	A25*2	A14 (BA1)	バンク指定
A15	A24*2	A24*2	A13 (BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H*1	A10/AP	アドレス / プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、コラム 9 ビット品) 1 個				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 9 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.18 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (4)

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21*2	A21*2	A12 (BA1)	バンク指定
A12	A20*2	A20*2	A11 (BA0)	
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
16M ビット品 (512Kワード×16ビット×2バンク、コラム8ビット品) 1個				

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2		
A13	A21*2	A21*2	A12 (BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		
接続メモリ例				
64M ビット品 (1Mワード×16ビット×4バンク、コラム8ビット品) 1個				

【注】 *1 L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.19 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (5)

設定					設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]			A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	01 (12bit)	01 (9bit)			10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能	本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16				
A15	A24	A15			A15				
A14	A23*2	A23*2	A13 (BA1)	バンク指定	A14	A24*2	A24*2	A13 (BA1)	バンク指定
A13	A22*2	A22*2	A12 (BA0)		A12 (BA0)	A13	A23*2	A23*2	
A12	A21	A12	A11	アドレス	A12	A22	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス	A10	A20	A10	A9	アドレス
A9	A18	A9	A8		A9	A19	A9	A8	
A8	A17	A8	A7		A8	A18	A8	A7	
A7	A16	A7	A6		A7	A17	A7	A6	
A6	A15	A6	A5		A6	A16	A6	A5	
A5	A14	A5	A4		A5	A15	A5	A4	
A4	A13	A4	A3		A4	A14	A4	A3	
A3	A12	A3	A2		A3	A13	A3	A2	
A2	A11	A2	A1		A2	A12	A2	A1	
A1	A10	A1	A0		A1	A11	A1	A0	
A0	A9	A0		未使用	A0	A10	A0		未使用
接続メモリ例					接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個					256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.20 A2/3BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (6)

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24* ²	A24* ²		A14 (BA1)
A14	A23* ²	A23* ²	A13 (BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個				

設定				
A2/3 BSZ [1:0]	A2/3 ROW [1:0]	A2/3 COL [1:0]		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25* ²	A25* ²		A14 (BA1)
A14	A24* ²	A24* ²	A13 (BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 11.21 A3BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (7)

設定					
A3 BSZ [1:0]	A3 ROW [1:0]	A3 COL [1:0]			
11 (32bit)	10 (13bit)	10 (10bit)			
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	シンクロナス DRAM の端子	機能	
A17	A27	A17		未使用	
A16	A26*2	A26*2	A14 (BA1)	バンク指定	
A15	A25*2	A25*2	A13 (BA0)		
A14	A24	A14	A12	アドレス	
A13	A23	A13	A11	アドレス/ プリチャージ 指定	
A12	A22	L/H*1	A10/AP		
A11	A21	A11	A9	アドレス	
A10	A20	A10	A8		
A9	A19	A9	A7		
A8	A18	A8	A6		
A7	A17	A7	A5		
A6	A16	A6	A4		
A5	A15	A5	A3		
A4	A14	A4	A2		
A3	A13	A3	A1		
A2	A12	A2	A0		
A1	A11	A1			未使用
A0	A10	A0			
接続メモリ例					
512M ビット品 (8M ワード×16 ビット×4 バンク、コラム 10 ビット品) 2 個					

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の32バイト転送時
3. DMACでの8、16、32バイト転送 (ノンキャッシュブル領域アクセス) のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 4 回連続して行います。このときのアクセスをバースト数 4 と呼びます。表 11.22 にアクセスサイズとバースト数の関係を示します。

表 11.22 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	8 バイト	4
	16 バイト	8
	32 バイト	8 × 2 回
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	8 バイト	2
	16 バイト	4
	32 バイト	4 × 2 回

パーストリード時のタイミングチャートを図 11.14 と図 11.15 に示します。パーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CKO) の立ち上がりでリードデータを受け取ります。 T_{ap} サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の TRP1 および TRP0 の指定によって T_{ap} のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS_nWCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 11.15 となります。ACTV コマンド出力サイクル T_r から READ コマンド出力サイクル T_{c1} までのサイクル数は、CS₃WCR の TRCD1 および TRCD0 ビットによって指定することができます。TRCD1 および TRCD0 の設定が 2 サイクル以上の場合は、T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READ コマンド出力サイクル T_{c1} からリードデータ取り込みサイクル T_{d1} までのサイクル数は、CS₂WCR の A₂CL1 と A₂CL0 ビットおよび CS₃WCR の A₃CL1 と A₃CL0 ビットによって CS₂ と CS₃ の空間でそれぞれ独立に指定することができます。このサイクル数は、シンクロナス DRAM の CAS レイテンシに相当します。シンクロナス DRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI とシンクロナス DRAM の間にラッチを含む回路を設けて接続するためのものです。

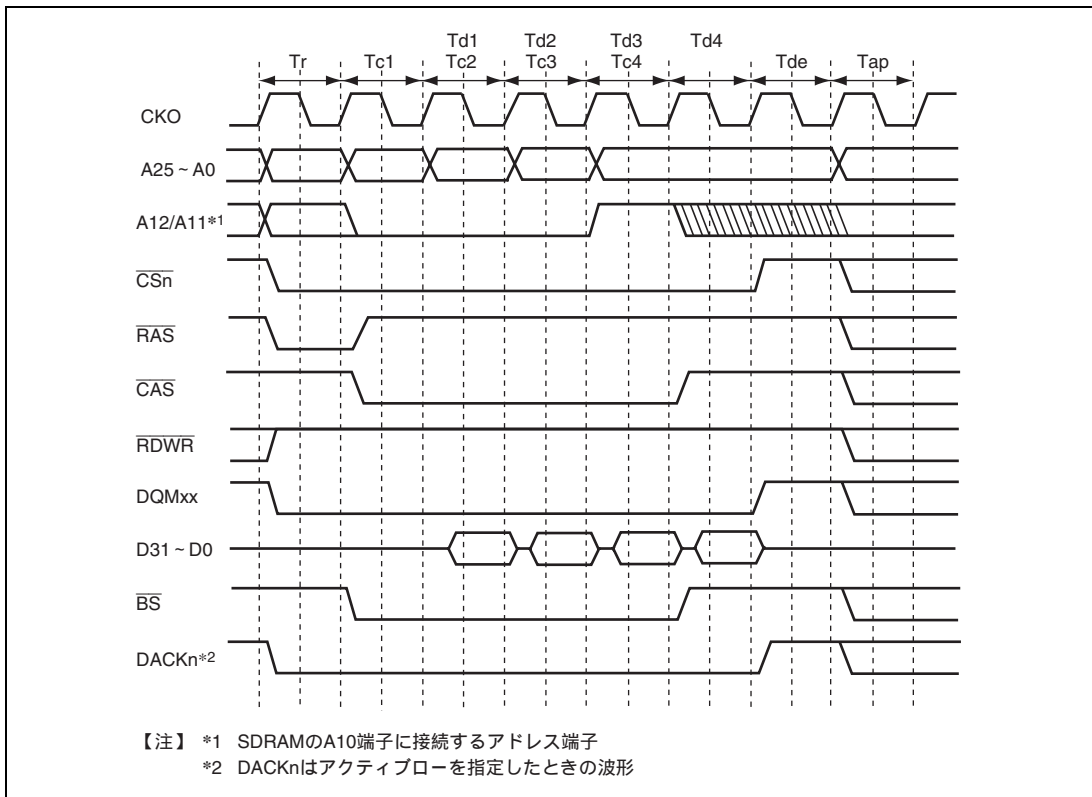


図 11.14 バーストリード基本タイミング (オートプリチャージ)

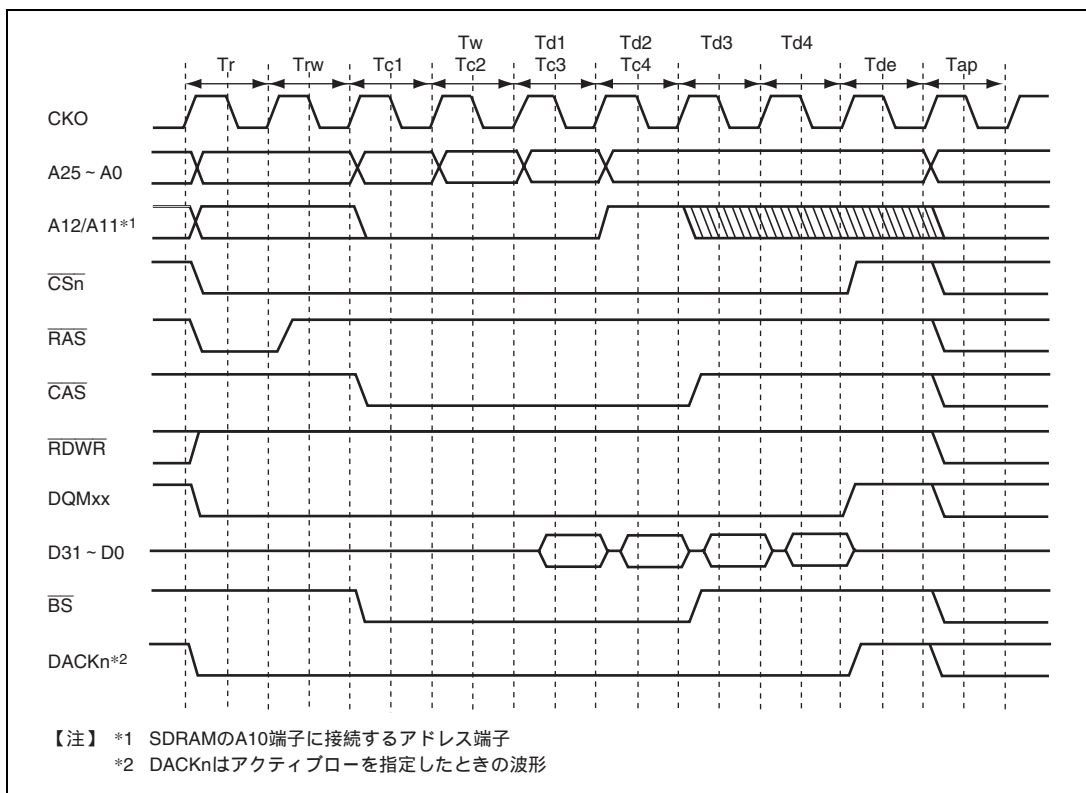


図 11.15 バーストリードウェイト指定タイミング (オートプリチャージ)

(4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードといいます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは、発生しません。

シングルリードの基本タイミングチャートを図 11.16 に示します。

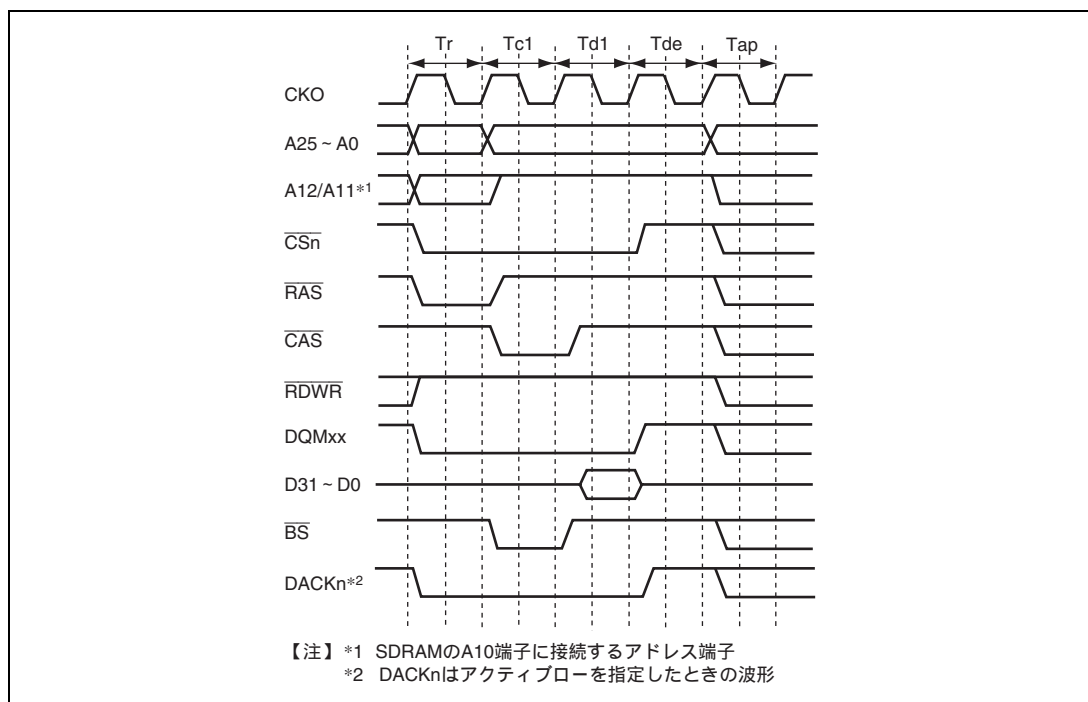


図 11.16 シングルリードの基本タイミング (オートプリチャージ)

(5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 4 回連続して行います。アクセスサイズとバースト数の関係は、表 11.22 に従います。

図 11.17 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う T_r サイクルに続いて WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ T_{rw1} サイクル、そしてオートプリチャージの完了を待つ T_{ap} サイクルが続きます。 T_{ap} サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 T_{rw1} サイクルは CS3WCR の TRWL1 と TRWL0 ビット、および T_{ap} サイクルは CS3WCR の TRP1 と TRP0 ビットの指定で決定されます。

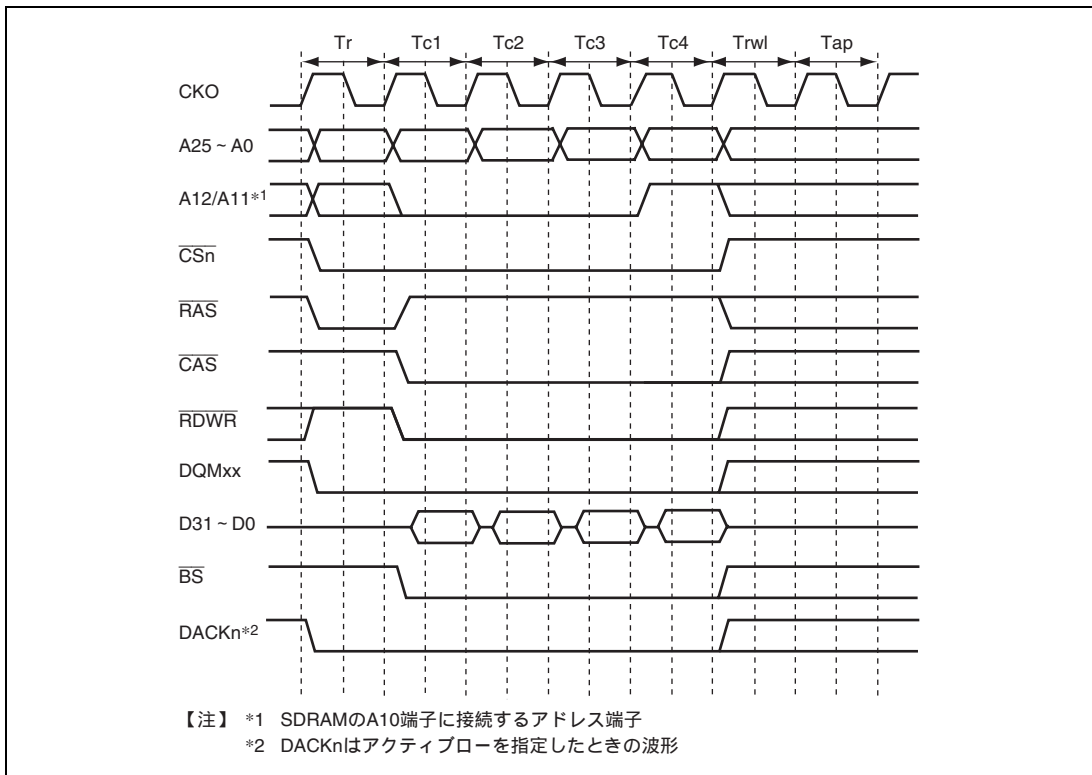


図 11.17 バーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 11.18 に示します。

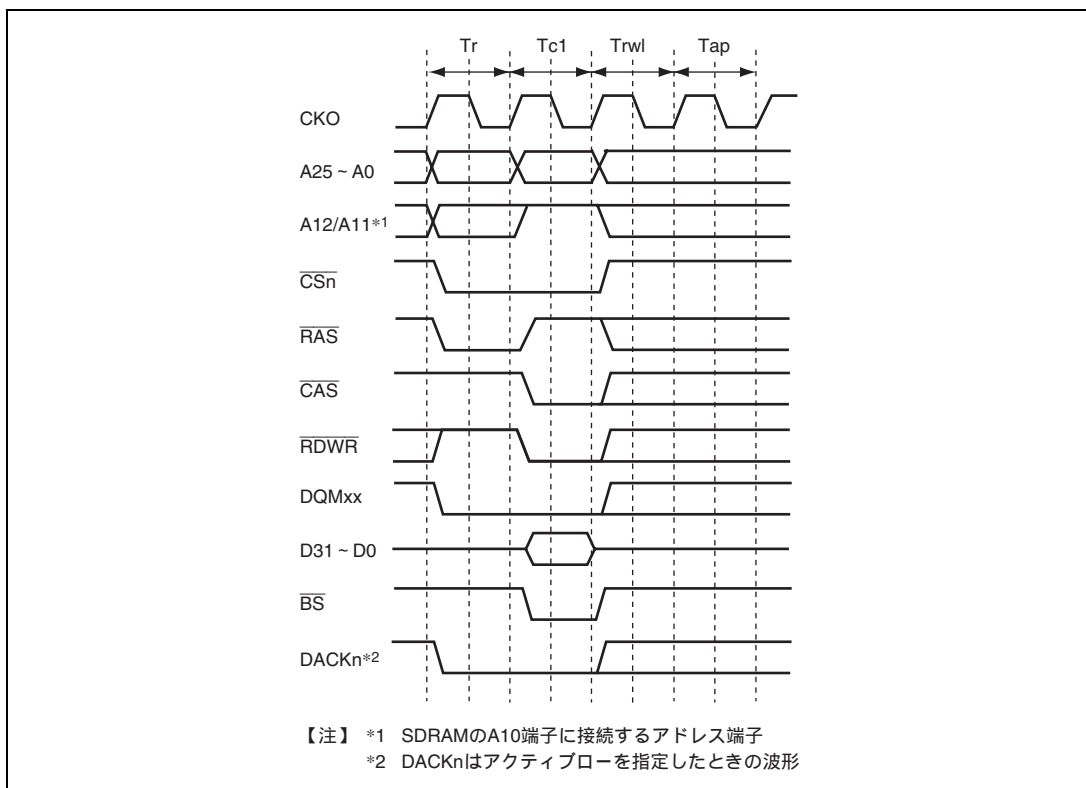


図 11.18 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CSnWCR の TRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 11.19 にオートプリチャージのないバーストリードサイクルを、図 11.20 には同一のロウアドレスに対するバーストリードサイクルを、図 11.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 11.22 にオートプリチャージのないシングルライトサイクルを、図 11.23 に同一のロウアドレスに対するシングルライトサイクルを、図 11.24 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 11.20 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続く限り、図 11.19 または図 11.22 で始まり、図 11.20 または図 11.23 をくり返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 11.20 または図 11.23 のかわりに図 11.21 または図 11.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

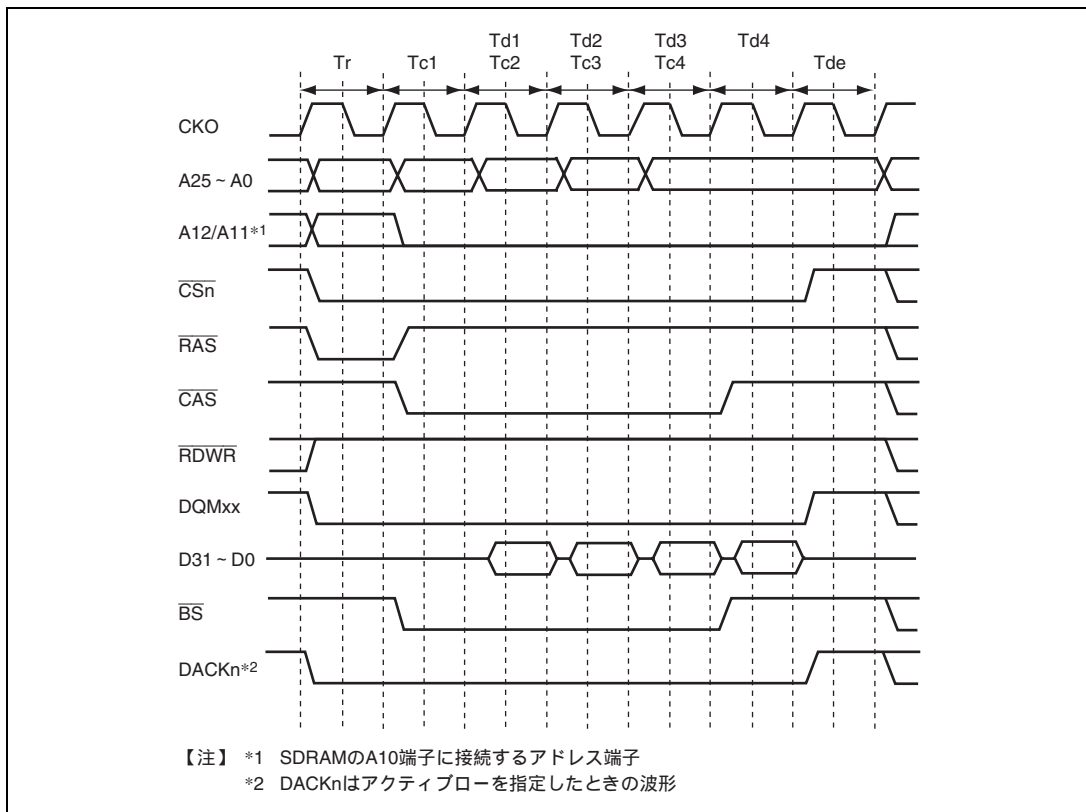


図 11.19 バーストリードタイミング (オートプリチャージなし)

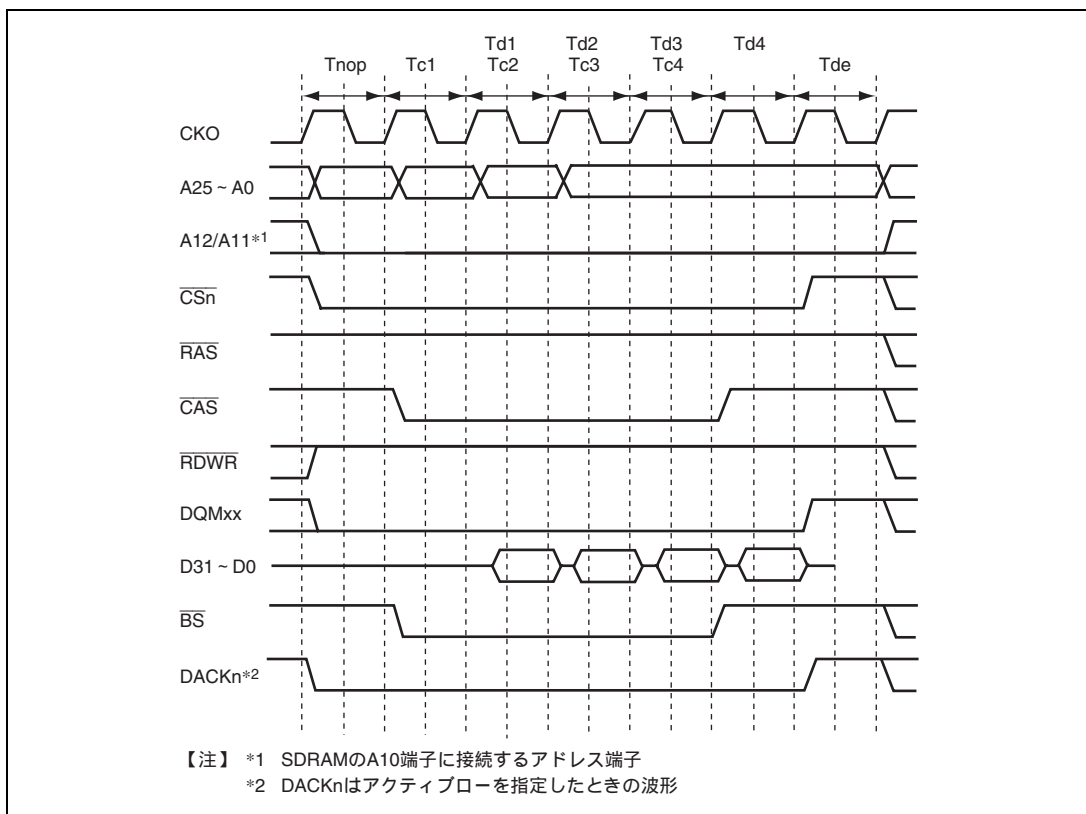


図 11.20 バーストリードタイミング (バンクアクティブ、同一ロウアドレス)

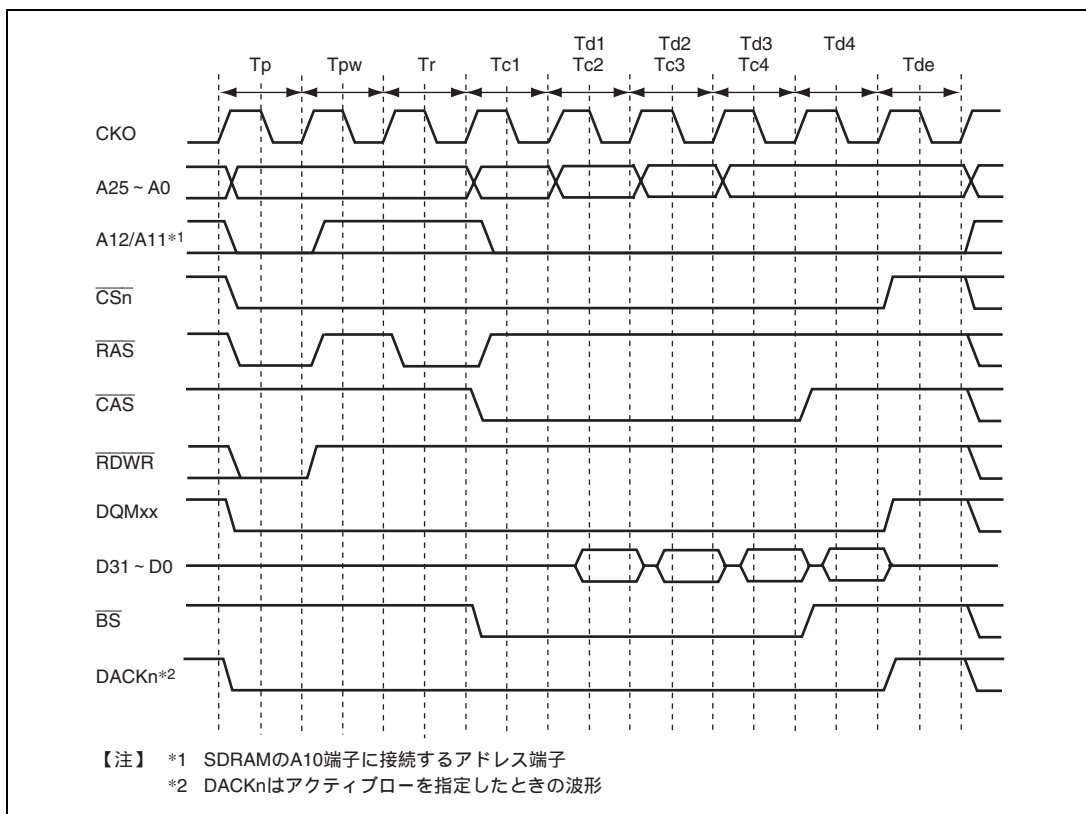


図 11.21 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

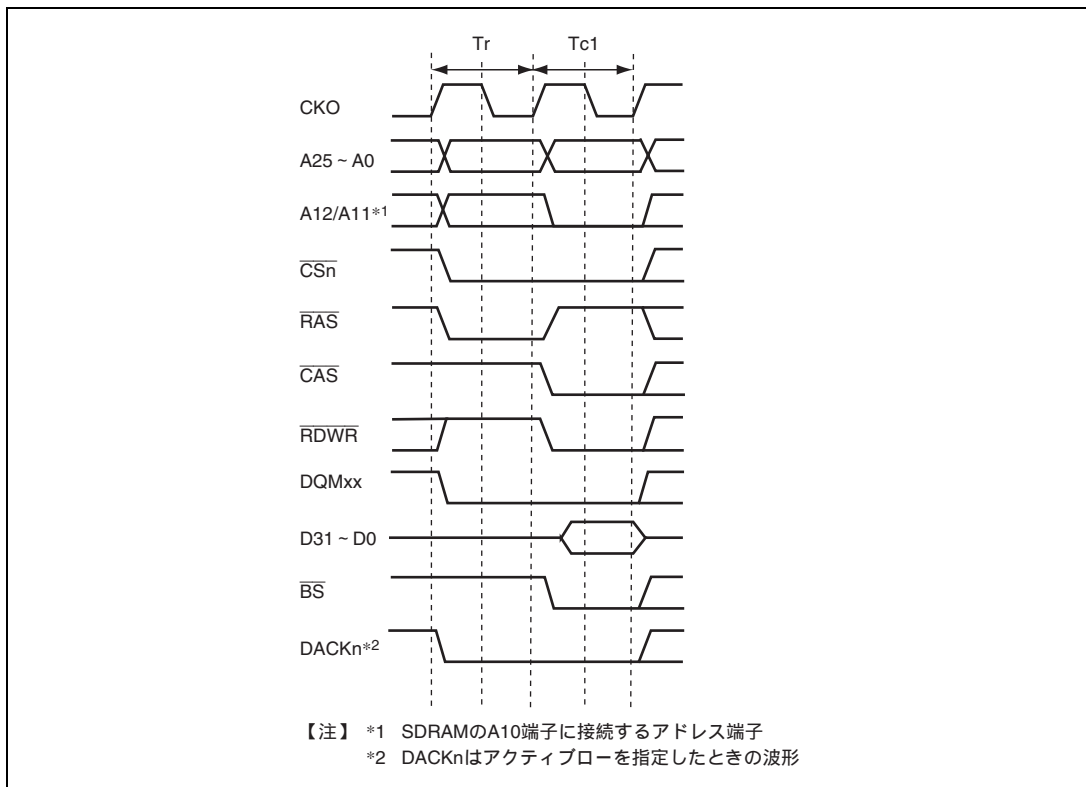


図 11.22 シングルライトタイミング (オートプリチャージなし)

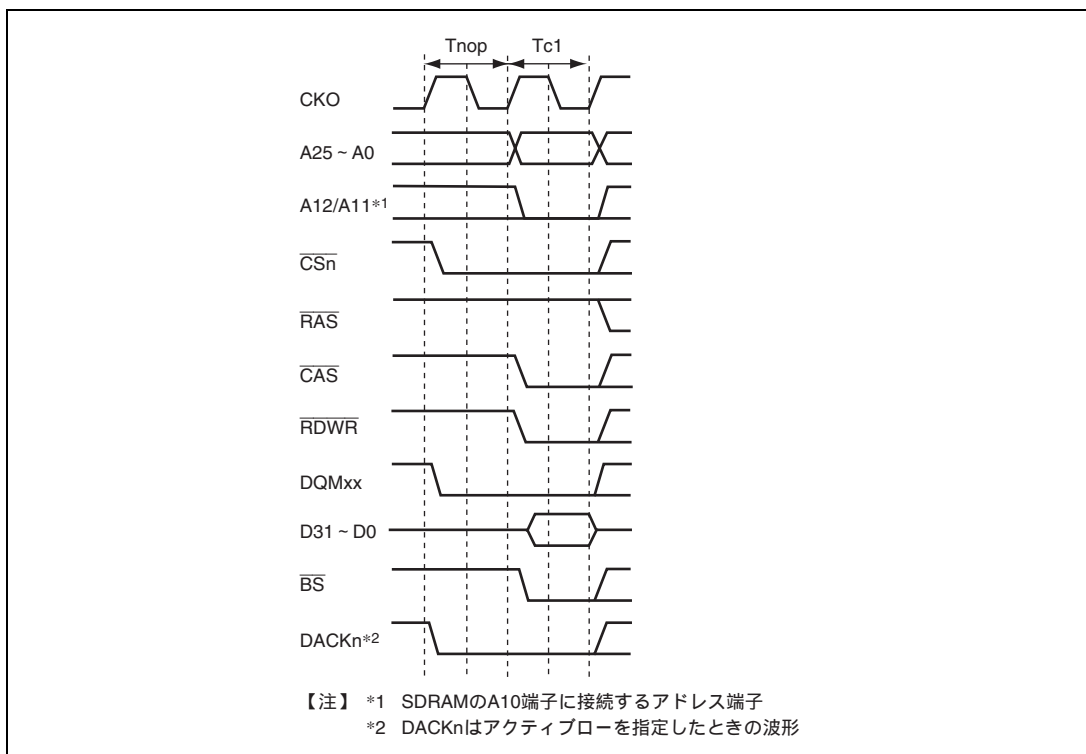


図 11.23 シングルライトタイミング (バンクアクティブ、同一ロウアドレス)

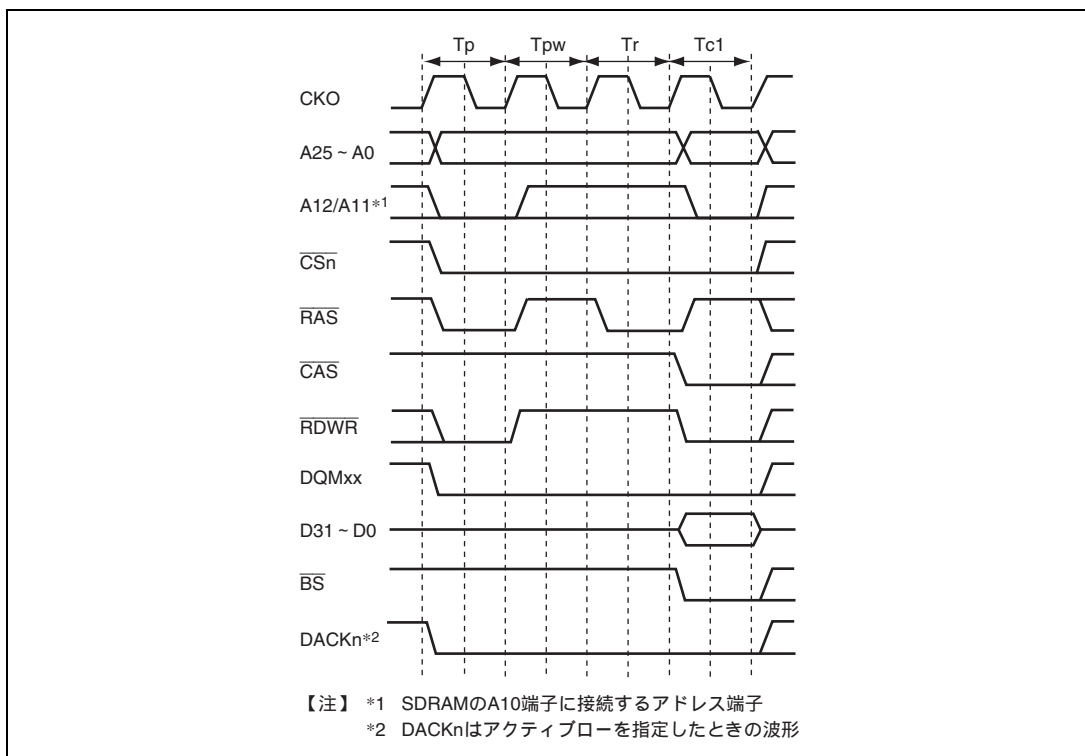


図 11.24 シングルライトタイミング (バンクアクティブ、異なるロウアドレス)

(8) リフレッシュ

BSC は、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] に設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] によって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] に設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 11.25 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、 CS_nWCR の $TRP[1:0]$ ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS_nWCR の $TRC[1:0]$ ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように $TRC[1:0]$ を設定する必要があります。 CS_nWCR の $TRP[1:0]$ ビットの設定値が 2 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間に NOP サイクルが挿入されます。

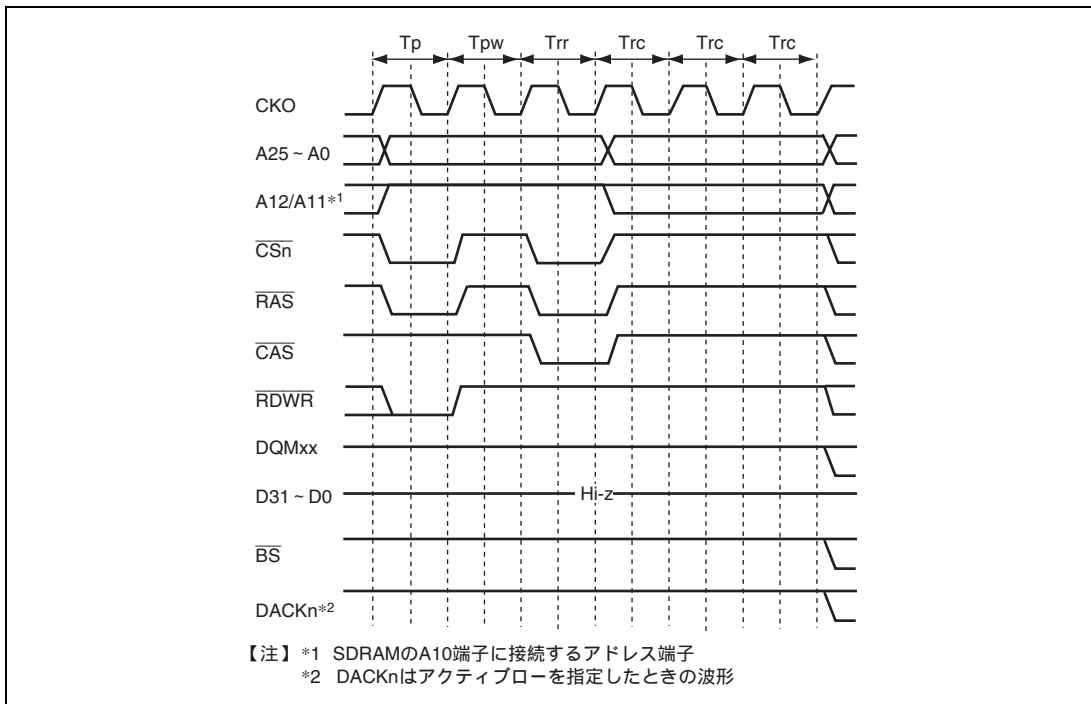


図 11.25 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の $RFSH$ ビットと $RMODE$ ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、 CS_nWCR の $TRP[1:0]$ ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、 $RMODE$ ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、 CS_nWCR の $TRC[1:0]$ ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 11.26 に示します。セルフリフレッシュ解除後、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、直ちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されません。

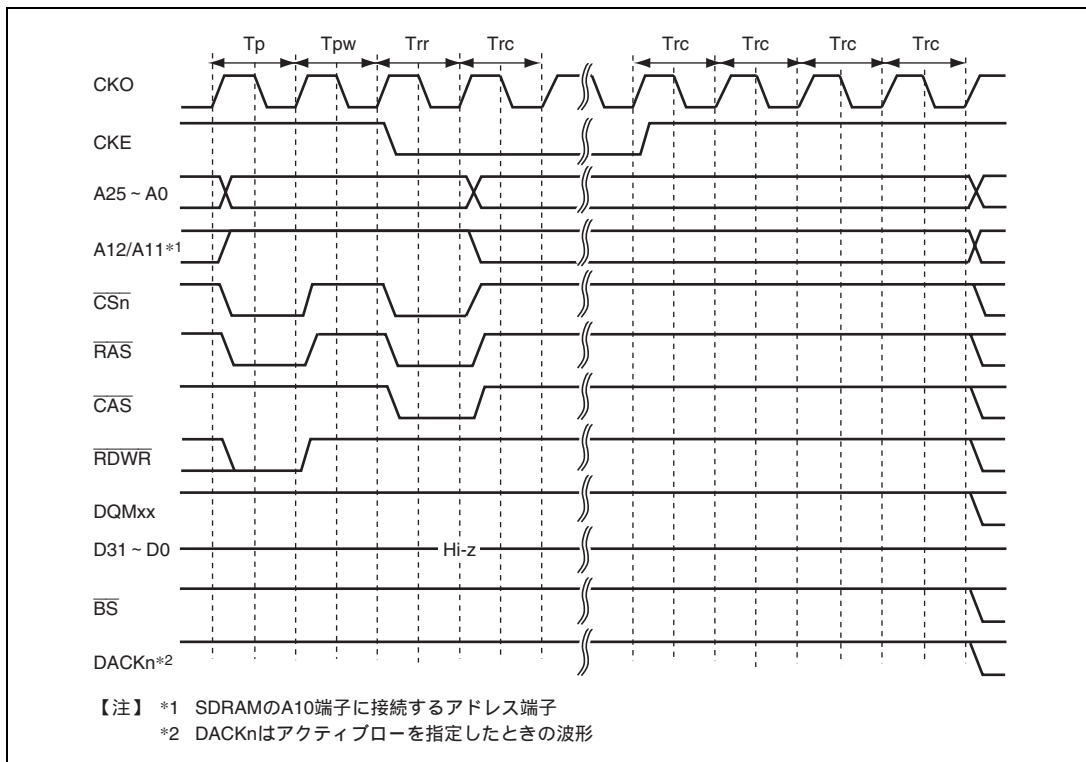


図 11.26 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトラージ機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間にバス権を要求する信号として、 $\overline{\text{REFOUT}}$ 端子を設けています。バス権を獲得するまで、 $\overline{\text{REFOUT}}$ をアサート (ローレベル) し続けます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起こらないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

(10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE をローレベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 11.27 にパワーダウンモードでのアクセスタイミングを示します。

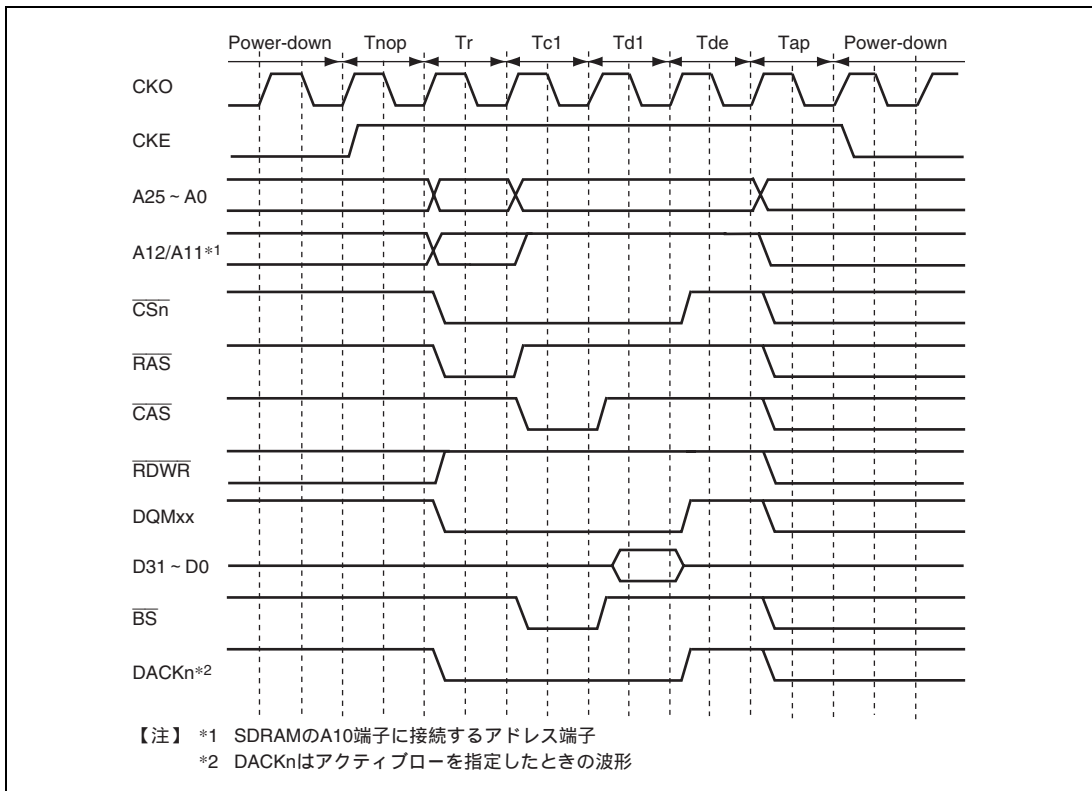


図 11.27 パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、SDRAM に対してモード設定を行う必要があります。SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDMR2 あるいは SDMR3 レジスタをアクセスすることにより SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は \overline{CSn} 、 \overline{RAS} 、 \overline{CAS} 、および \overline{RDWR} の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。

設定したい値を X とすると X + (エリア 2 : HFEC14000、エリア 3 : HFEC15000) 番地にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト(バースト長 1)またはバーストリード/バーストライト(バースト長 1)、CAS レイテンシ 2、3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 11.23 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 11.23 SDRAM モードレジスタライト時のアクセスアドレス

- エリア2設定 (SDMR2)

バーストリード/シングルライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	HFEC14440	H'0000440
	3	HFEC14460	H'0000460
32 ビット	2	HFEC14880	H'0000880
	3	HFEC148C0	H'00008C0

バーストリード/バーストライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	HFEC14040	H'0000040
	3	HFEC14060	H'0000060
32 ビット	2	HFEC14080	H'0000080
	3	HFEC140C0	H'00000C0

- エリア3設定 (SDMR3)

バーストリード/シングルライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	HFEC15440	H'0000440
	3	HFEC15460	H'0000460
32 ビット	2	HFEC15880	H'0000880
	3	HFEC158C0	H'00008C0

バーストリード/バーストライト(バースト長 1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	HFEC15040	H'0000040
	3	HFEC15060	H'0000060
32 ビット	2	HFEC15080	H'0000080
	3	HFEC150C0	H'00000C0

モードレジスタ設定タイミングを図 11.28 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CSnWCR の TRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および 8 回目の REF と MRS の間に CSnWCR の TRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM に関するマニュアルをご覧ください。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

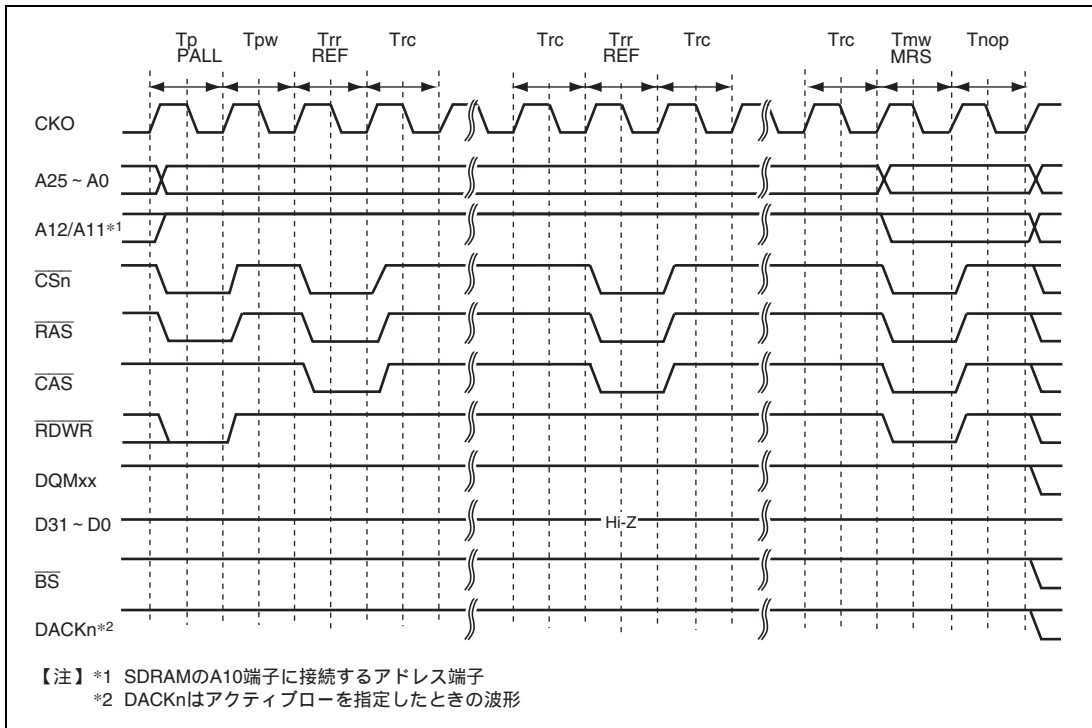


図 11.28 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

11.5.6 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り換えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 11.24 にバス幅およびアクセスサイズとバースト数の関係を、図 11.29 にタイムチャートを示します。

【注】 CS0 空間をバースト ROM として使用する場合は、CS0 以外の空間 (内蔵 RAM 等) のプログラムにて、CS0BCR、CS0WCR を設定後にバースト ROM をアクセスしてください。

表 11.24 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
8 ビット	8 ビット	1
	16 ビット	2
	32 ビット	4
	8 バイト	8
	16 バイト	16
	32 バイト	16 × 2 回
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	8 バイト	4
	16 バイト	8
	32 バイト	8 × 2 回
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	8 バイト	2
	16 バイト	4
	32 バイト	4 × 2 回

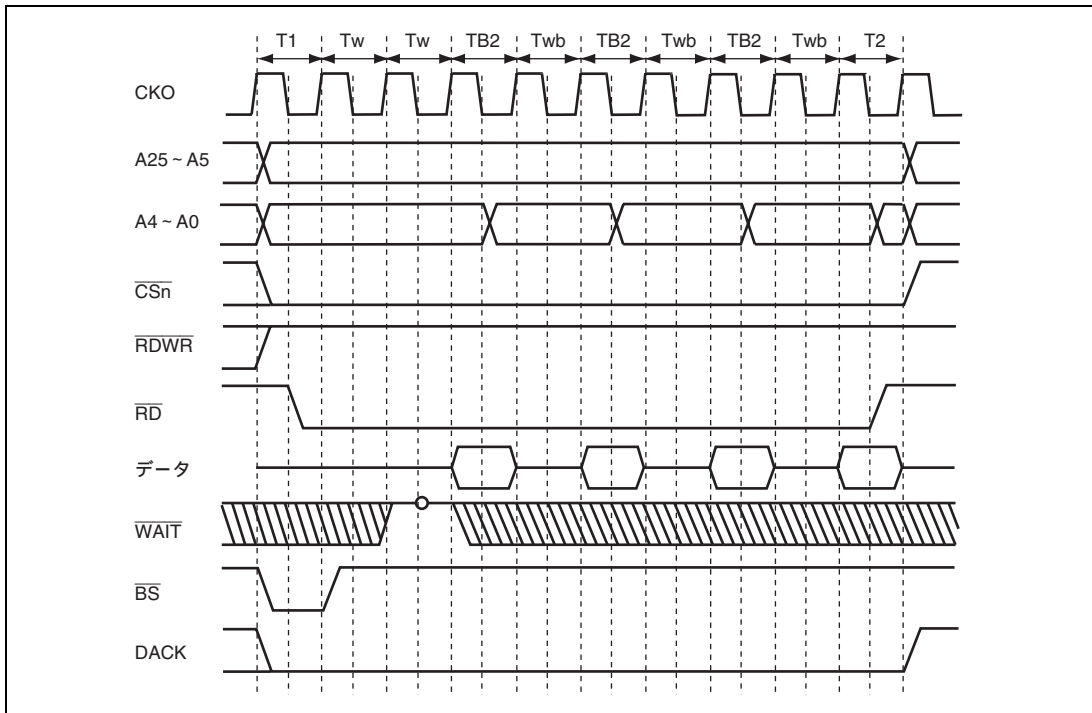


図 11.29 バースト ROM (クロック非同期) アクセス

(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

11.5.7 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{\text{WE}}_n$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{\text{WE}}_n$ 端子のタイミングが通常空間インタフェースと異なり、 $\overline{\text{WE}}_n$ 端子からバイト選択信号を出力します。図 11.30 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{\text{WE}}_n$) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR レジスタの BAS ビットが 1 のとき、 $\overline{\text{WE}}_n$ 端子と $\overline{\text{RDWR}}$ 端子のタイミングが変化します。図 11.31 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 ($\overline{\text{RDWR}}$) のタイミングでメモリに書き込まれます。 $\overline{\text{RDWR}}$ 端子のネグートタイミングからのライトデータのホールドタイミングは、 CSnWCR の $\text{HW}[1:0]$ ビットを設定することにより確保してください。図 11.32 にソフトウェア設定時のアクセスタイミングを示します。

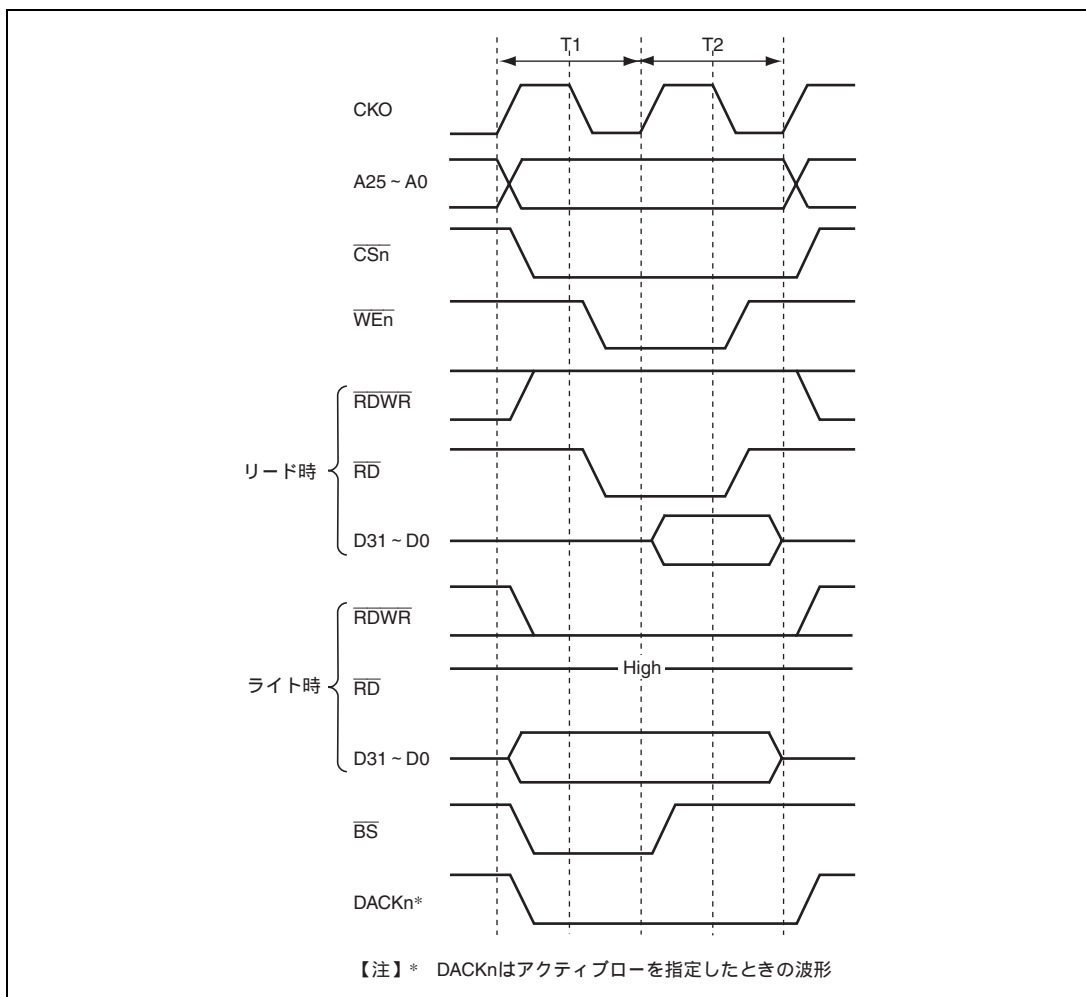


図 11.30 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

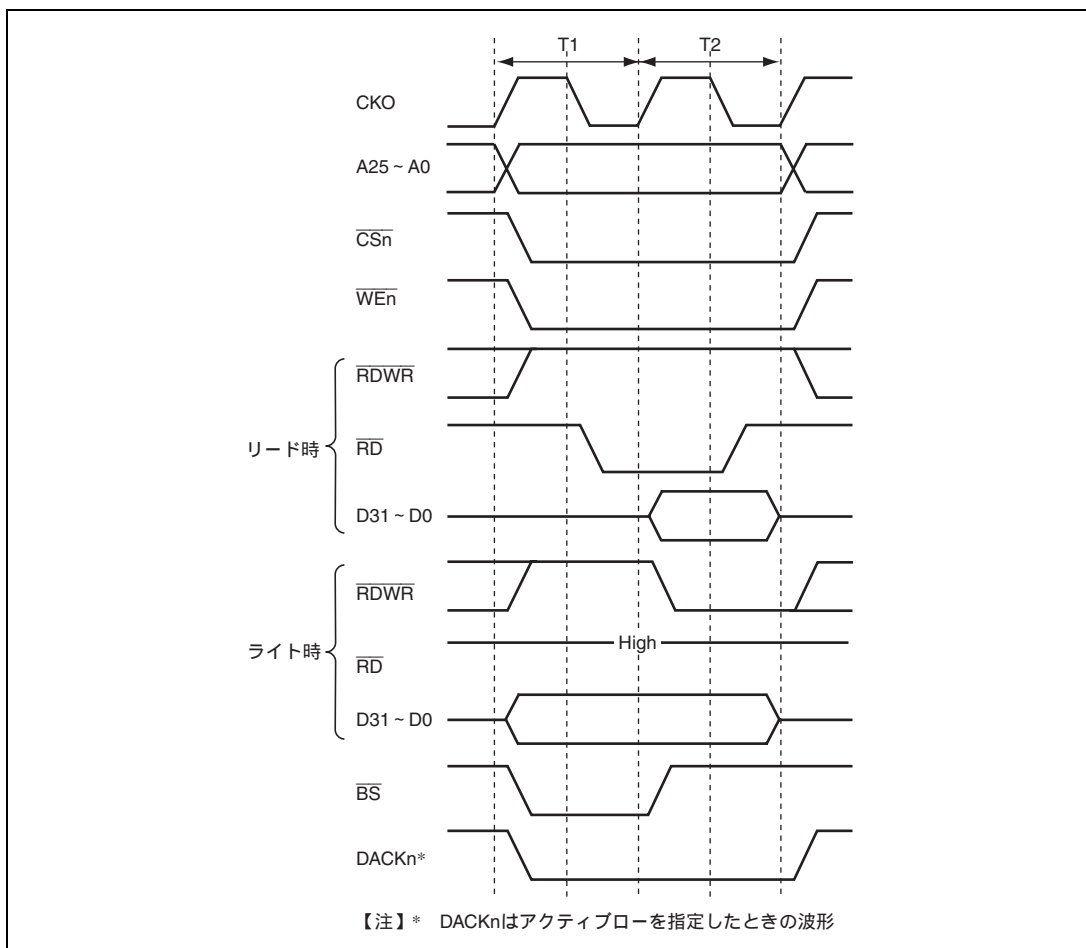


図 11.31 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

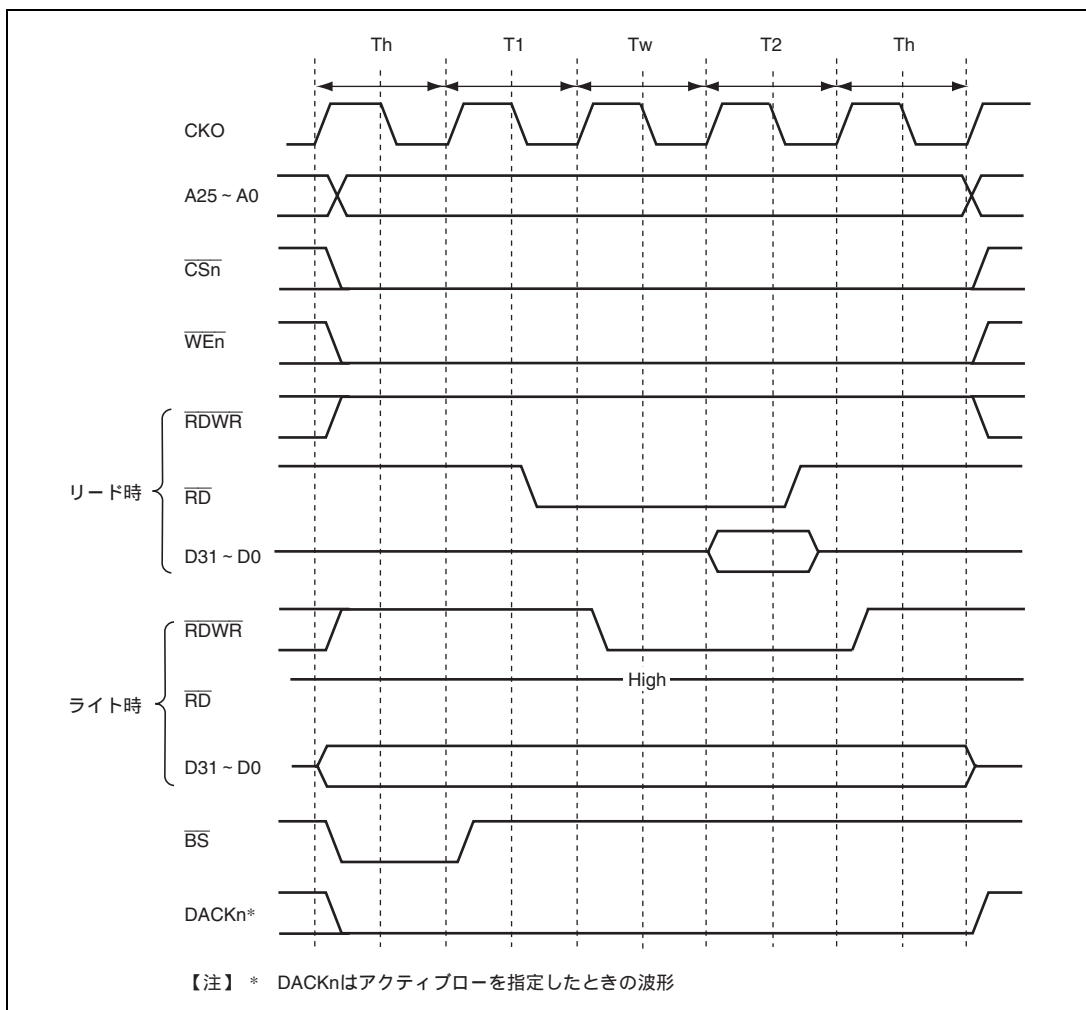


図 11.32 BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

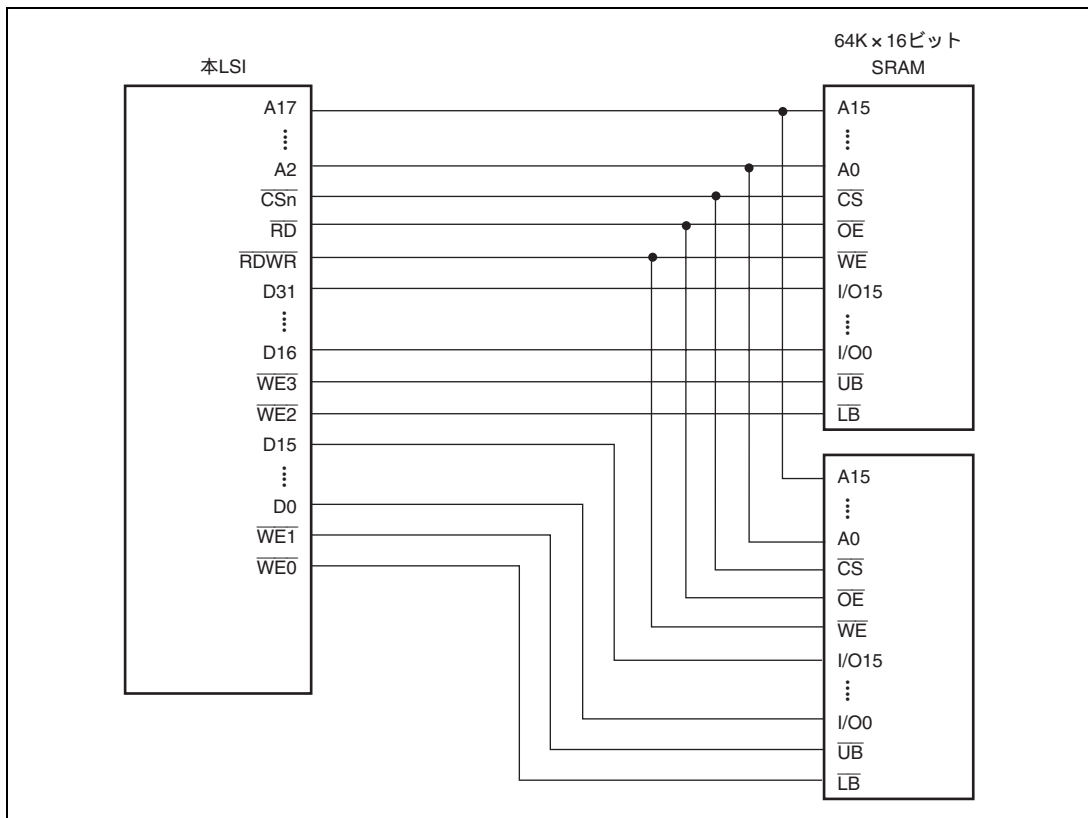


図 11.33 32 ビットデータ幅バイト選択付き SRAM 接続例

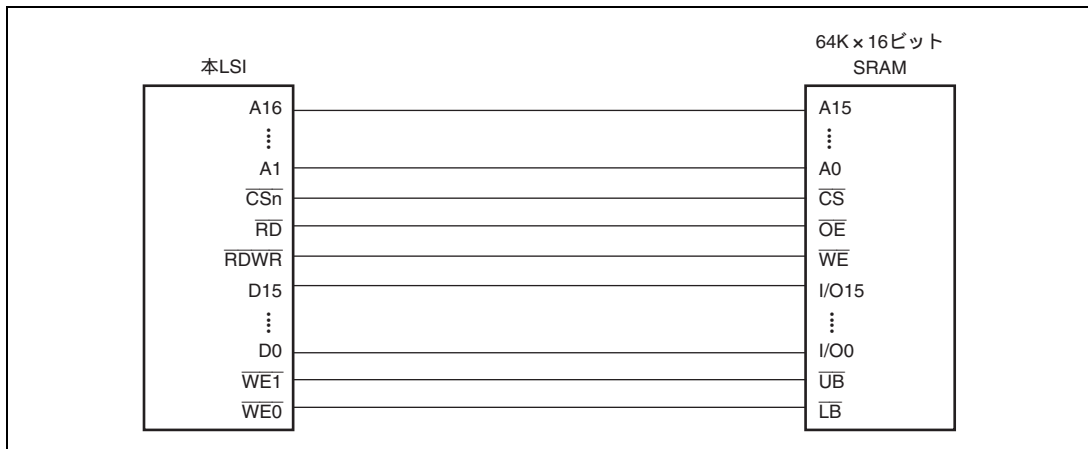


図 11.34 16 ビットデータ幅バイト選択付き SRAM 接続例

11.5.8 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ (2) を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n=5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n=5B、6B) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットもしくは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 11.35 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

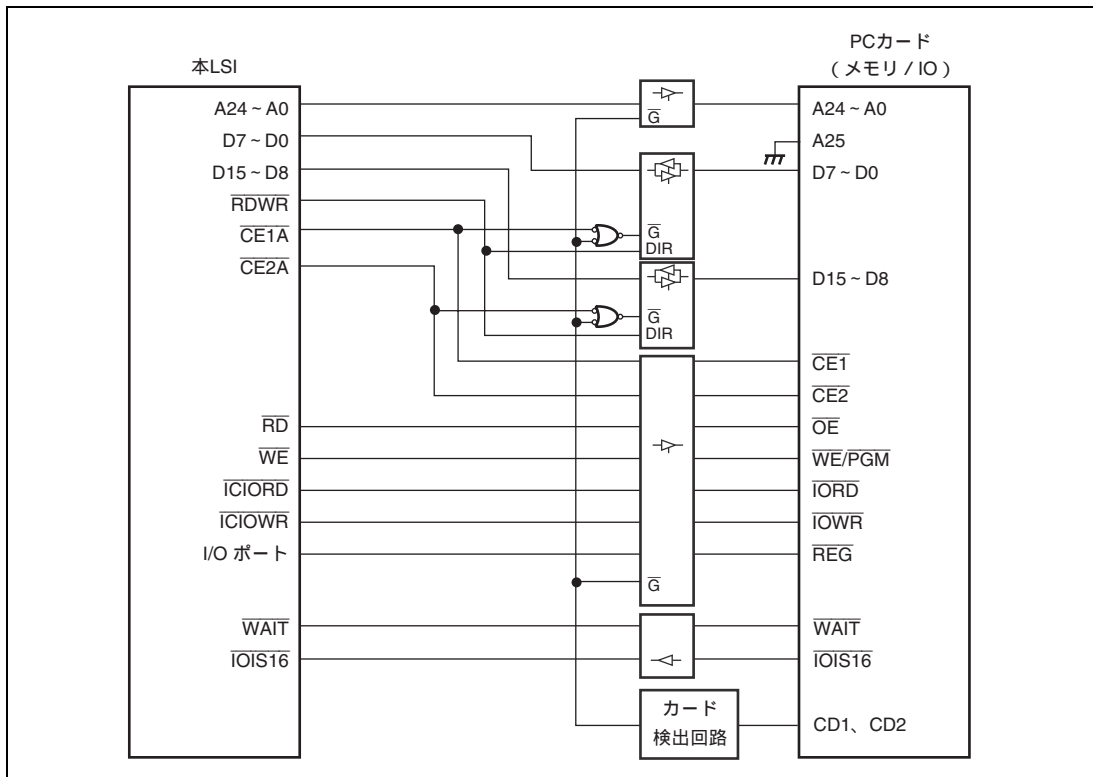


図 11.35 PCMCIA インタフェース接続例

(1) メモリカードインタフェース基本タイミング

図 11.36 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKO) が高くなると、 \overline{RD} や \overline{WE} に対してアドレス (A25 ~ A0)、カードイネーブル ($\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR もしくは CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 11.37 に PCMCIA メモリバスウェイトタイミングを示します。

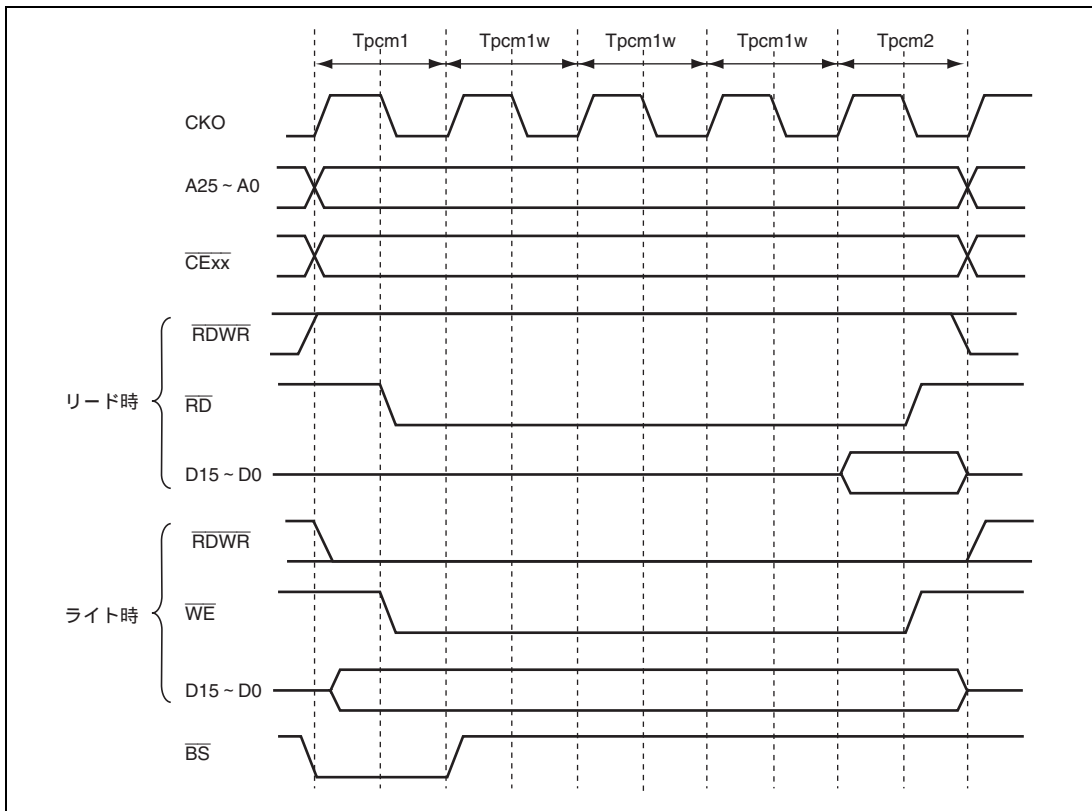


図 11.36 PCMCIA メモリカードインタフェース基本タイミング

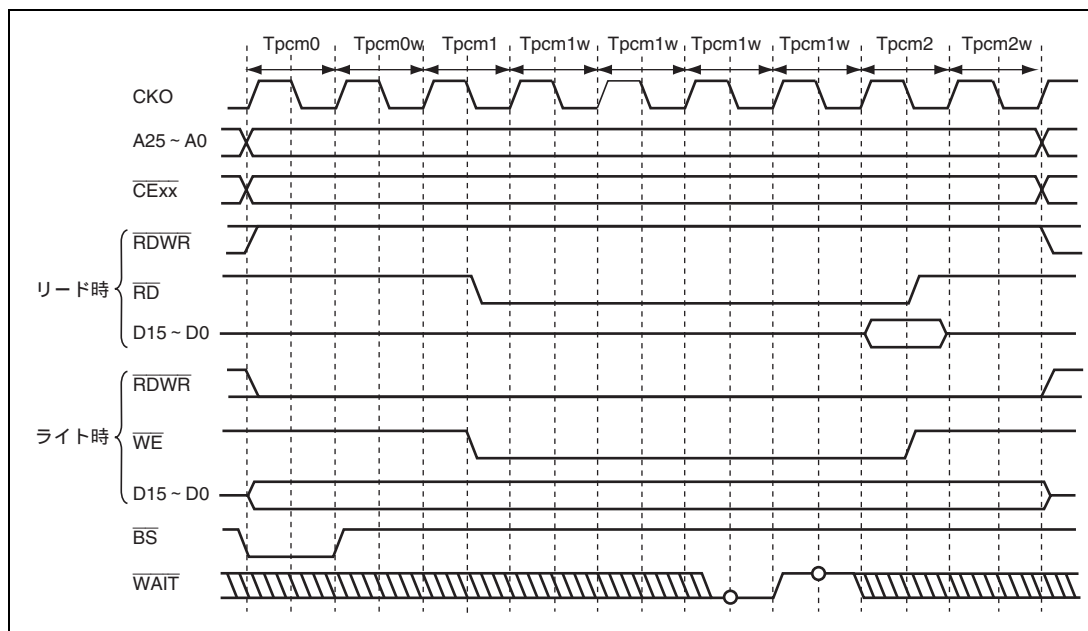


図 11.37 PCMCIA メモリカードインタフェースウェイトタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェイト1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、共通メモリとアトリビュートメモリの切り替え信号 $\overline{\text{REG}}$ はポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトづつ共通メモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を $\overline{\text{REG}}$ 信号として利用することができます。

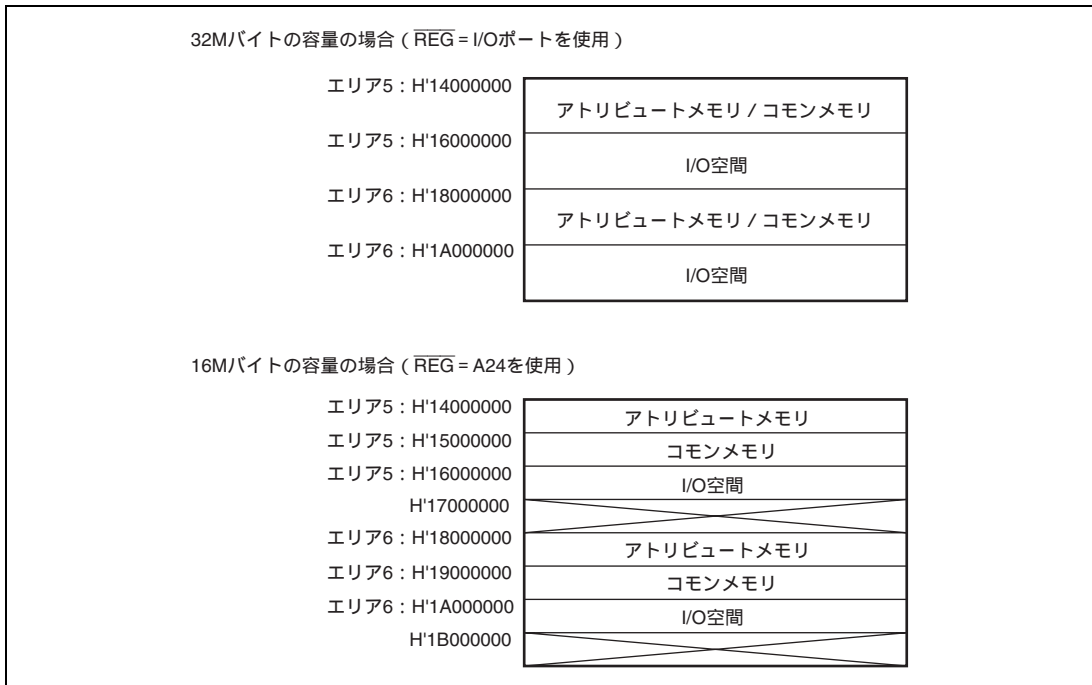


図 11.38 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10)

(2) I/O カードインタフェース基本タイミング

図 11.39 および図 11.40 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合は、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合は、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合は、論理空間のキャッシュ非対象領域 (P2 か P3 空間) が、MMU によってキャッシュ非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$ 信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKO の立ち下がりりでサンプリングされ、サンプリングポイントから CKO の 1.5 サイクル後に CE2 信号に反映されます。ご使用になる PC カードの $\overline{\text{ICIOR}}\overline{\text{D}}$ と $\overline{\text{ICIOR}}\overline{\text{W}}$ から CEn のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 11.41 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$ 信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$ 信号をローレベルに固定してください。

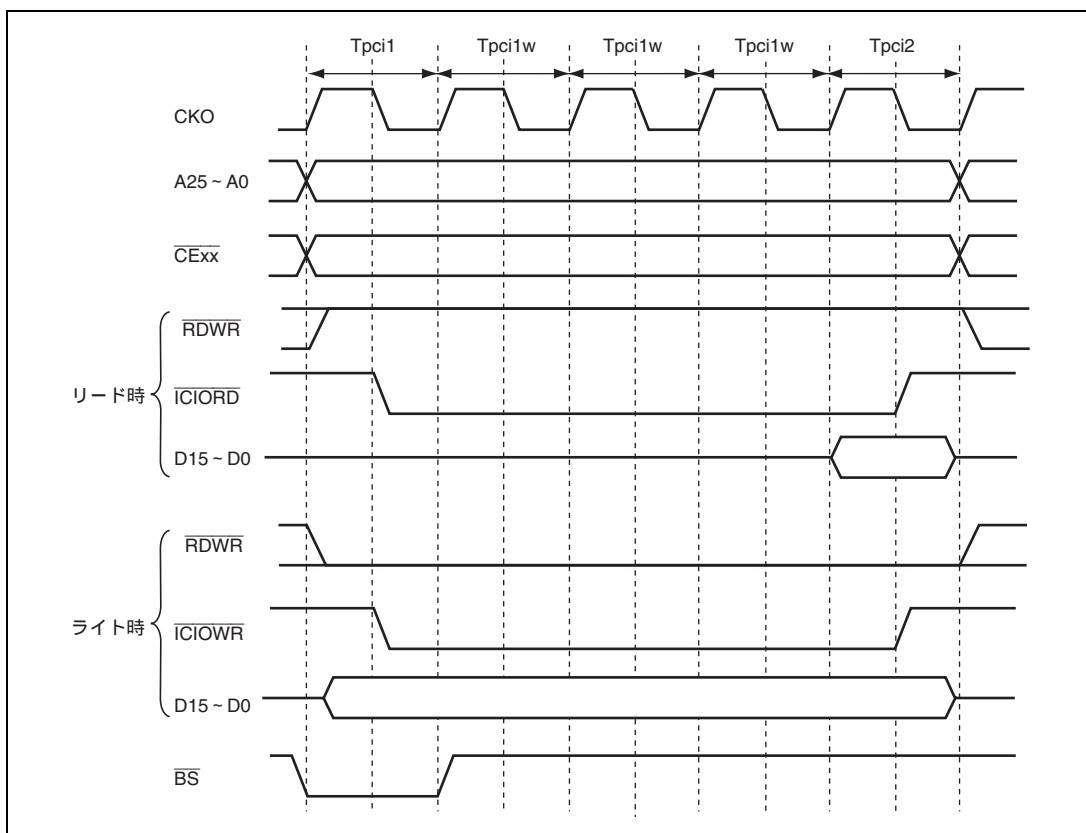


図 11.39 PCMCIA I/O カードインタフェース基本タイミング

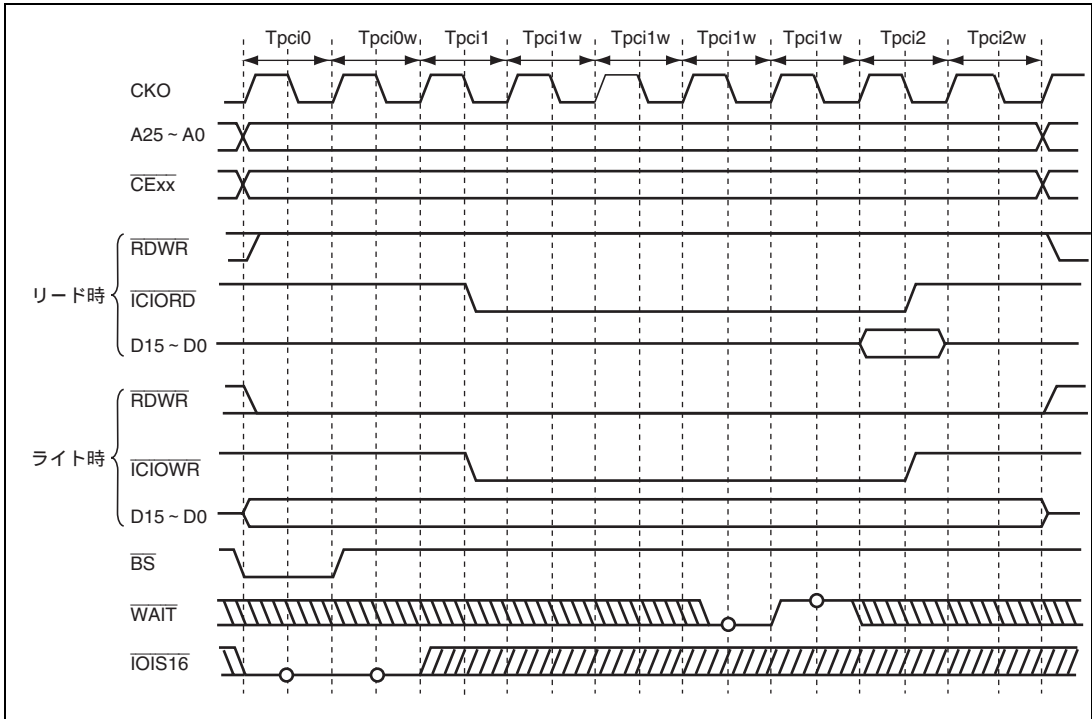


図 11.40 PCMCIA I/O カードインタフェースウェイトタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェア1)

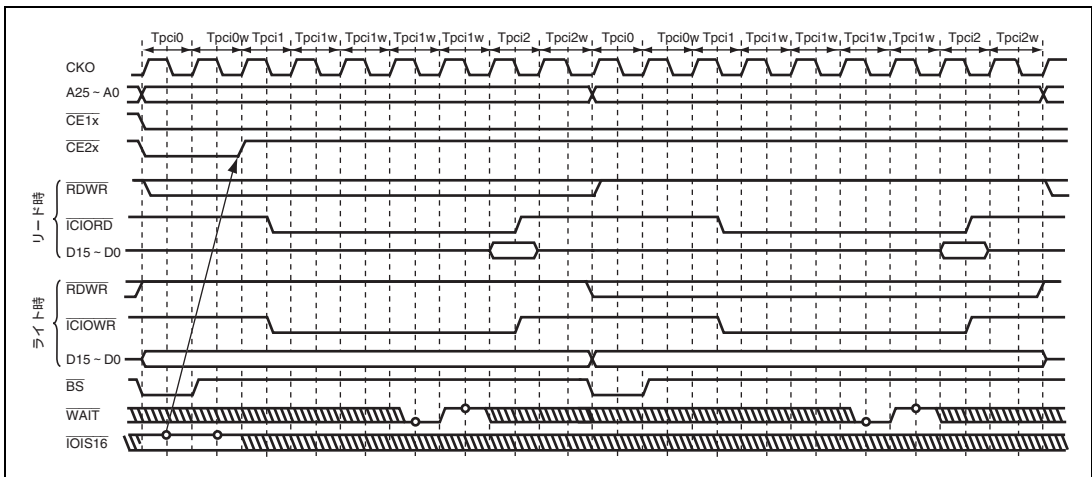


図 11.41 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア3)

11.5.9 アクセスサイクル間ウェイト

LSIの動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCRのIWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]ビットで指定します。アクセスサイクル間ウェイト(アイドルサイクル)は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合

11.5.10 バスアービトレーション

マスタとスレーブとの間でバス権を受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号をネゲート状態にします。バス権を受け取る場合にも、バス制御信号はネゲート状態からドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。バス制御信号のハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、これらの制御信号にはプルアップ抵抗が必要となります。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、直ちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 \overline{CSn} 信号その他のバス制御信号を見て、直ちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる32バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. DMACでの16バイトあるいは32バイト転送時
6. CMNCRレジスタのBLOCKビットを1に設定時

なお、DMA バースト転送中もリフレッシュ要求とバス権使用要求は受け付けます。

本 LSI は、バス権要求を受けない限りバス権を保有しています。外部からのバス権要求 $\overline{\text{BREQ}}$ のアサート (ローレベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 $\overline{\text{BACK}}$ をアサート (ローレベル) します。スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (ハイレベル) を受けて $\overline{\text{BACK}}$ をネゲート (ハイレベル) し、バスの使用を再開します。

SDRAM は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは、次のとおりです。まず、CKO の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKO の立ち下がりに同期してアサートします。これに続く CKO の立ち上がりで、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 DQMxx 、 $\overline{\text{WE}}_n$ 、 $\overline{\text{RD}}$ 、および $\overline{\text{RDWR}}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKO の立ち下がりで行います。

スレーブからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{\text{BREQ}}$ のネゲートを CKO の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がりで、 $\overline{\text{BACK}}$ をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトラクションタイミングを図 11.44 に示します。

ユーザが個別に設計したスレーブによっては、アービトラクションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。このようなケースでは、SDRAM の確実なリフレッシュを行うため、スレーブのバス占有時間がリフレッシュ周期を超えることなく、バス権を解放するように設計を行う必要があります。そこで、本 LSI では、リフレッシュの実行が待たされている間にバス権を要求する信号として $\overline{\text{REFOUT}}$ 端子を用意しています。そして、リフレッシュの実行が待たされている間バス権を獲得するまで、 $\overline{\text{REFOUT}}$ をアサート (ローレベル) します。 $\overline{\text{BACK}}$ ネゲート 1 サイクル後に $\overline{\text{REFOUT}}$ のネゲートになります。外部のスレーブデバイスがこれを受けてバス権を解放すれば、バス権が本 LSI に戻り、リフレッシュを実行することができます。

また、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ のハンドシェイクによる外部バス解放には、少なからずオーバーヘッドが存在します。スレーブモジュールのタスクが多い場合は一度のバス権獲得により、複数回のバスサイクルを実行するようにシステム設計を行ってください。バス権の受け渡しに必要なサイクルを減らすことによりシステム設計が容易になります。

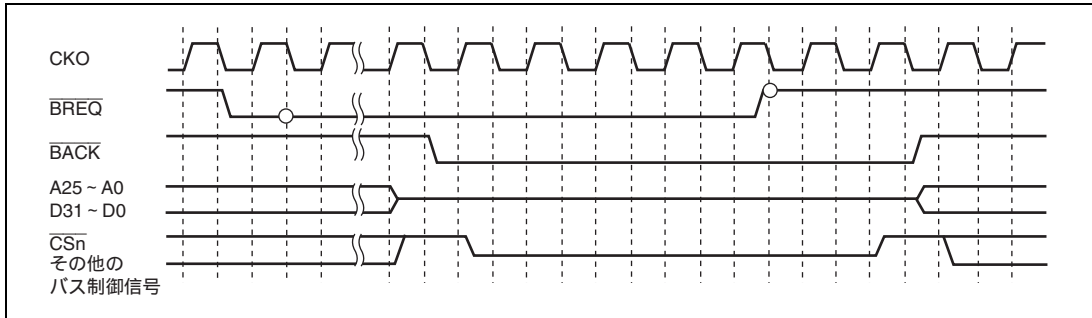


図 11.42 バスアービトレーション

11.6 使用上の注意事項

(1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。キャッシュおよびその他の LSI 内部バスマスタモジュールの 16 バイト転送を実行中の場合は、バスマスタがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合は、キャッシュの内容は保証されなくなりますので注意してください。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。また、マニュアルリセット信号のアサート中でも $\overline{\text{BREQ}}$ によるアービトレーション要求を受け付けます。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7 ビットのカウンタ (RBWTCNT) を用意しています。パワーオンリセットによりこのカウンタは 0 クリアされ、リセット期間中は 0 の状態を保持します。パワーオンリセット解除後は CKO に同期してカウントアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

(2) CPU、FPU からのアクセス

CPU、FPU からの読み出しのアクセスがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータがない場合には、キャッシュデータのフィルを行うため、32 バイトリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 32 バイトアクセスでフィルを行います。

キャッシュスルー領域に関しては、実際のアクセスアドレスにしたがってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

CPU、FPU からの書き込みのアクセスがキャッシュ領域の場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 32 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 32 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを經由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを經由して実際の書き込みのみ行われます。

読み出しでは、常に動作の完了まで CPU、FPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

(3) CPU、FPU を除く内部バスマスタからのアクセス

DMAC などの CPU、FPU を除く内部バスマスタからキャッシュメモリへのアクセスは行えません。このため、DMAC などから外部メモリへ書き込みが行われた場合、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。DMAC などの CPU、FPU を除く内部バスマスタにより外部メモリへの書き込みを行う場合、その番地へのデータがキャッシュメモリにある可能性があるときには、キャッシュメモリのページをソフトウェアから行ってください。

(4) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールレジスタへのアクセスは、内部バス (SuperHyway バス) から周辺モジュールクロック (P) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

(5) 外部バス優先順位

外部バスは下記優先順位に従いアクセスを行います。

$\overline{\text{BREQ}}$ > リフレッシュ > DMAC > CPU

ただし、各転送単位 (バーストなど) 完了までの次の転送は待たされます。

12. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

12.1 特長

- チャンネル数：6チャンネル (うち2チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、8バイト、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
 - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
 - 内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
 - SCIF0/1/2/3/4/5、IrDA0/1、SIOF、SIM、ADC、CMT0/1/2/3/4
- バスモード：サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力ロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号 (DACK)、DMA転送終了信号 (TEND) は、アクティブレベルを設定可能

DMAC のブロック図を図 12.1 に示します。

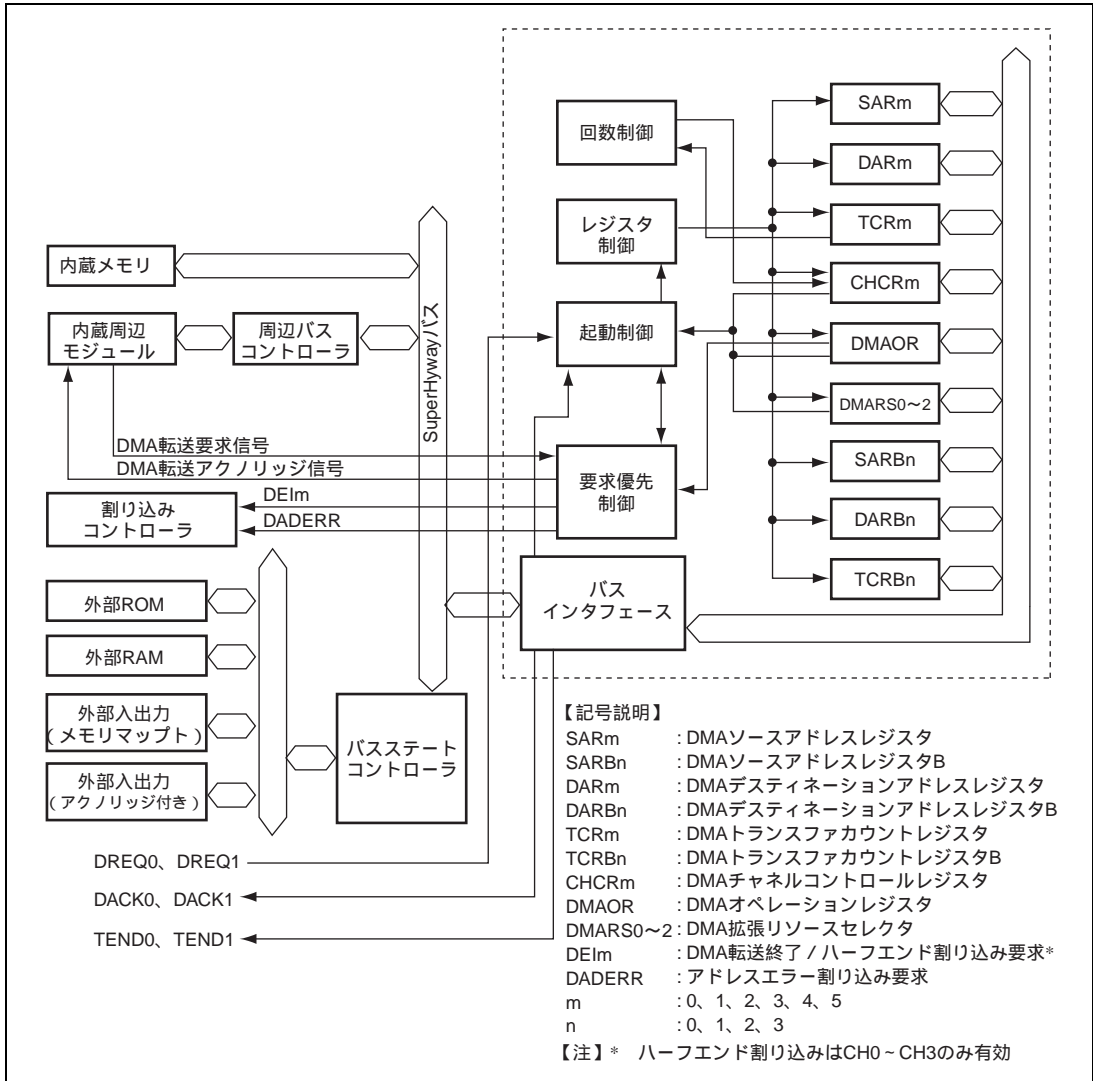


図 12.1 DMAC ブロック図

12.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 12.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、1) を持ちます。

表 12.1 端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0* ¹	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0* ²	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストロブを出力
	DMA 転送終了通知	TEND0* ²	出力	チャンネル 0 から外部デバイスへの DMA 転送終了出力
1	DMA 転送要求	DREQ1* ¹	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1* ²	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロブを出力
	DMA 転送終了通知	TEND1* ²	出力	チャンネル 1 から外部デバイスへの DMA 転送終了出力

【注】 *1 初期値はローレベル検出です。

*2 初期値はローアクティブです。

12.3 レジスタの説明

DMAC のレジスタ構成を表 12.2 に示します。また、各処理モードにおけるレジスタの状態を表 12.3 に示します。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

表 12.2 レジスタ構成

チャンネル	レジスタ名称	略称	R/W	アドレス	アクセスサイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'FE00 8020	32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	R/W	H'FE00 8024	32
	DMA トランスファカウントレジスタ_0	TCR_0	R/W	H'FE00 8028	32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W	H'FE00 802C	32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'FE00 8030	32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	R/W	H'FE00 8034	32
	DMA トランスファカウントレジスタ_1	TCR_1	R/W	H'FE00 8038	32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W	H'FE00 803C	32

チャンネル	レジスタ名称	略称	R/W	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'FE00 8040	32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	R/W	H'FE00 8044	32
	DMA トランスファカウントレジスタ_2	TCR_2	R/W	H'FE00 8048	32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W	H'FE00 804C	32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'FE00 8050	32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	R/W	H'FE00 8054	32
	DMA トランスファカウントレジスタ_3	TCR_3	R/W	H'FE00 8058	32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W	H'FE00 805C	32
0~5 共通	DMA オペレーションレジスタ	DMAOR	R/W	H'FE00 8060	16
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'FE00 8070	32
	DMA デスティネーションアドレスレジスタ_4	DAR_4	R/W	H'FE00 8074	32
	DMA トランスファカウントレジスタ_4	TCR_4	R/W	H'FE00 8078	32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W	H'FE00 807C	32
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'FE00 8080	32
	DMA デスティネーションアドレスレジスタ_5	DAR_5	R/W	H'FE00 8084	32
	DMA トランスファカウントレジスタ_5	TCR_5	R/W	H'FE00 8088	32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W	H'FE00 808C	32
0	DMA ソースアドレスレジスタ B_0	SARB_0	R/W	H'FE00 8120	32
	DMA デスティネーションアドレスレジスタ B_0	DARB_0	R/W	H'FE00 8124	32
	DMA トランスファカウントレジスタ B_0	TCRB_0	R/W	H'FE00 8128	32
1	DMA ソースアドレスレジスタ B_1	SARB_1	R/W	H'FE00 8130	32
	DMA デスティネーションアドレスレジスタ B_1	DARB_1	R/W	H'FE00 8134	32
	DMA トランスファカウントレジスタ B_1	TCRB_1	R/W	H'FE00 8138	32
2	DMA ソースアドレスレジスタ B_2	SARB_2	R/W	H'FE00 8140	32
	DMA デスティネーションアドレスレジスタ B_2	DARB_2	R/W	H'FE00 8144	32
	DMA トランスファカウントレジスタ B_2	TCRB_2	R/W	H'FE00 8148	32
3	DMA ソースアドレスレジスタ B_3	SARB_3	R/W	H'FE00 8150	32
	DMA デスティネーションアドレスレジスタ B_3	DARB_3	R/W	H'FE00 8154	32
	DMA トランスファカウントレジスタ B_3	TCRB_3	R/W	H'FE00 8158	32
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FE00 9000	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FE00 9004	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FE00 9008	16

表 12.3 各処理モードにおけるレジスタの状態

チャンネル	略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
0	SAR_0	初期化	保持	保持	保持
	DAR_0	初期化	保持	保持	保持
	TCR_0	初期化	保持	保持	保持
	CHCR_0	初期化	保持	保持	保持
1	SAR_1	初期化	保持	保持	保持
	DAR_1	初期化	保持	保持	保持
	TCR_1	初期化	保持	保持	保持
	CHCR_1	初期化	保持	保持	保持
2	SAR_2	初期化	保持	保持	保持
	DAR_2	初期化	保持	保持	保持
	TCR_2	初期化	保持	保持	保持
	CHCR_2	初期化	保持	保持	保持
3	SAR_3	初期化	保持	保持	保持
	DAR_3	初期化	保持	保持	保持
	TCR_3	初期化	保持	保持	保持
	CHCR_3	初期化	保持	保持	保持
0~5 共通	DMAOR	初期化	保持	保持	保持
4	SAR_4	初期化	保持	保持	保持
	DAR_4	初期化	保持	保持	保持
	TCR_4	初期化	保持	保持	保持
	CHCR_4	初期化	保持	保持	保持
5	SAR_5	初期化	保持	保持	保持
	DAR_5	初期化	保持	保持	保持
	TCR_5	初期化	保持	保持	保持
	CHCR_5	初期化	保持	保持	保持
0	SARB_0	初期化	保持	保持	保持
	DARB_0	初期化	保持	保持	保持
	TCRB_0	初期化	保持	保持	保持
1	SARB_1	初期化	保持	保持	保持
	DARB_1	初期化	保持	保持	保持
	TCRB_1	初期化	保持	保持	保持
2	SARB_2	初期化	保持	保持	保持
	DARB_2	初期化	保持	保持	保持
	TCRB_2	初期化	保持	保持	保持

チャンネル	略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
3	SARB_3	初期化	保持	保持	保持
	DARB_3	初期化	保持	保持	保持
	TCRB_3	初期化	保持	保持	保持
0/1	DMARS0	初期化	保持	保持	保持
2/3	DMARS1	初期化	保持	保持	保持
4/5	DMARS2	初期化	保持	保持	保持

12.3.1 DMA ソースアドレスレジスタ_0~5 (SAR_0~SAR_5)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.2 DMA ソースアドレスレジスタ B_0~3 (SARB_0~SARB_3)

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.3 DMA デスティネーションアドレスレジスタ_0~5 (DAR_0~5)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.4 DMA デスティネーションアドレスレジスタ B_0~3 (DARB_0~DARB_3)

DARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.5 DMA トランスファカウントレジスタ_0~5 (TCR_0~TCR_5)

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.6 DMA トランスファカウントレジスタ B_0~3 (TCRB_0~TCRB_3)

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、下位 16 ビットは転送回数カウンタとして動作し、値が 0 になると SAR/DAR が更新され、TCRB の上位 16 ビットが下位 16 ビットにロードされます。上位 16 ビットはリロードするまでの転送回数を設定してください。リロードモード使用時、下位側へは上位側と同じ値を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

ハーフエンド機能については「12.4.5 リピートモード転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.7 DMA チャンネルコントロールレジスタ_0 ~ 5 (CHCR_0 ~ CHCR_5)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			—	DO	—	TS[3:2]		HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	LCKN	0	R/W	サイクルスチールモードのバス権解放許可ビット サイクルスチールモードの読み出しと書き込みの間に、DMAC 以外のバスマスタにバス権を解放するかどうかを設定します。 初期状態では、DMAC がバス権を保持します。このビットを 1 に設定することにより、DMAC 以外のバスマスタのバス要求が受け付けられ、システム全体のバス使用率を上げることが可能です。 本ビットはサイクルスチールモード時に設定できます。バーストモード時には 1 を設定しないでください。 0 : 読み出しと書き込みの間にバス権を解放抑止 1 : 読み出しと書き込みの間にバス権を解放許可
29、28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27 ~ 25	RPT[2:0]	000	R/W	DMA 設定更新指定ビット 本ビットは CHCR_0 ~ 3 でのみ有効となります。 000 : 通常モード (従来 DMAC 動作) 001 : リピートモード : SAR/DAR/TCR をリピート領域として使用 010 : リピートモード : DAR/TCR をリピート領域として使用 011 : リピートモード : SAR/TCR をリピート領域として使用 100 : リザーブ (設定禁止) 101 : リロードモード : SAR/DAR/TCR をリロード領域として使用 110 : リロードモード : DAR/TCR をリロード領域として使用 111 : リロードモード : SAR/TCR をリロード領域として使用
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をレベル検出で使用する場合、オーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR_0、CHCR_1 で有効です。</p> <p>0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出</p>
22	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
21、20	TS[3:2]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0]と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。2 分割転送は、16/32 バイト転送を 1/2 サイズ 2 回に分割して転送するモードです。周辺モジュールで 16 バイト転送する場合は、16 バイト 2 分割を選択してください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[3:0]</p> <p>0000 : バイト単位 0001 : ワード (2 バイト) 単位 0010 : ロングワード (4 バイト) 単位 0011 : 16 バイト単位転送 0100 : 32 バイト単位転送 0111 : 8 バイト単位転送 1011 : 16 バイト 2 分割 (8 バイト単位 × 2) 1100 : 32 バイト 2 分割 (16 バイト単位 × 2) 上記以外 : 設定禁止</p>
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビットをクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。本ビットは CHCR_0-3 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、 TCR > (転送前にセットした TCR) / 2 [クリア条件] HE ビットの 1 読み出し後、0 書き込み 1 : TCR (転送前にセットした TCR) / 2</p>

ビット	ビット名	初期値	R/W	説明
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。TCR の値が 1/2 転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。</p> <p>リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR_0~3 でのみ有効となります。</p> <p>0 : ハーフエンドで割り込みを禁止 1 : ハーフエンドで割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。本ビットは CHCR_0、CHCR_1 でのみ有効となります。</p> <p>0 : 読み出しサイクルで DACK を出力 1 : 書き込みサイクルで DACK を出力</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK および TEND 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0、CHCR_1 で有効となります。</p> <p>0 : DACK および TEND をローアクティブ出力 1 : DACK および TEND をハイアクティブ出力</p>
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 DAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。16/32 バイト分割転送モード時、1 つ目の転送と 2 つ目の転送でアドレスがインクリメントされます。</p> <p>01 : デスティネーションアドレスは増加 バイト単位転送時は +1 ワード単位転送時は +2 ロングワード単位転送時は +4 8 バイト単位転送時は +8 16 バイト単位転送時は +16 32 バイト単位転送時は +32</p> <p>10 : デスティネーションアドレスは減少 バイト単位転送時は -1 ワード単位転送時は -2 ロングワード単位転送時は -4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : デスティネーションアドレスは固定 対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>

ビット	ビット名	初期値	R/W	説明
13, 12	SM[1:0]	00	R/W	<p>ソースアドレスモード DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定 SAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。16/32 バイト分割転送モード時、1 つ目の転送と 2 つ目の転送でアドレスがインクリメントされます。</p> <p>01 : ソースアドレスは増加 バイト単位転送時は +1 ワード単位転送時は +2 ロングワード単位転送時は +4 8 バイト単位転送時は +8 16 バイト単位転送時は +16 32 バイト単位転送時は +32</p> <p>10 : ソースアドレスは減少 バイト単位転送時は -1 ワード単位転送時は -2 ロングワード単位転送時は -4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : ソースアドレスは固定 対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>
11 ~ 8	RS[3:0]	0000	R/W	<p>リソースセレクト 転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト 0100 : オートリクエスト 1000 : DMA 拡張リソースセクタ (DMARS) で選択 上記以外 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0、CHCR_1 で有効です。CHCR_2 ~ 5 では外部リクエスト指定は設定できません。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。 本ビットは CHCR_0、CHCR_1 で有効となります。またチャンネル 0、1 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効となります。</p> <p>00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出</p>

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。 0: サイクルスチールモード 1: バーストモード
4, 3	TS[1:0]	00	R/W	DMA 転送サイズ指定ビット TS[3:2] (ビット 21、20) の説明を参照してください。
2	IE	0	R/W	インタラプトイネーブル DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DMINT) を要求します。最終転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。 0: 割り込み要求を禁止 1: 割り込み要求を許可
1	TE	0	R/(W)*	トランスファエンドフラグ DMA トランスファカウンレジスタ (TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。 TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。 0: DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み 1: TCR = 0 (DMA 最終転送中または DMA 転送終了)
0	DE	0	R/W	DMA イネーブル DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットを 0 にクリアすると、転送を中断することができます。 0: DMA 転送を禁止 1: DMA 転送を許可

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

12.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。DMAOR はチャンネル 0 ~ 5 に共通です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMS[3:0]			—	—	PR[1:0]	—	—	—	—	—	AE	NMIF	DME		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	

ビット	ビット名	初期値	R/W	説明
15~12	CMS[3:0]	0000	R/W	<p>サイクルスチールモードセレクト</p> <p>サイクルスチールモード時に通常モードとインタミットモードを選択します。</p> <p>インタミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。</p> <p>0000 : 通常モード</p> <p>0010 : インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行</p> <p>0011 : インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行</p> <p>0100 : インタミットモード 256 外部バスクロック 256 クロックに 1 回 DMA 転送を実行</p> <p>上記以外 : 設定禁止</p>
11, 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9, 8	PR[1:0]	00	R/W	<p>プライオリティーモード</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5</p> <p>01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5</p> <p>10 : 設定禁止</p> <p>11 : ラウンドロビンモード</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラー割り込みが発生したことを示すフラグです。本ビットは、以下の条件でセットされます。</p> <ul style="list-style-type: none"> • SAR または DAR に設定された値が転送サイズ境界と不一致の場合 • 転送元または転送先が無効空間の場合 • 転送元または転送先がモジュールストップ中の場合 <p>AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>0 : DMAC によるアドレスエラー割り込みなし [クリア条件] AE ビットの 1 読み出し後、0 書き込み 1 : DMA 転送中にアドレスエラー割り込み発生</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし [クリア条件] NMIF ビットの 1 読み出し後、0 書き込み 1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアするとすべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

12.3.9 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF、SCIFA、SIOF、IrDA、SIM、ADC、CMT の転送要求を設定できます。

表 12.4 以外の MID / RID を設定したときの動作は保証できません。DMARS からの転送要求は、CHCR_0~5 のリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

• DMARS0の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]					C1RID[1:0]		C0MID[5:0]					C0RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	000000	R/W	DMA チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
9、8	C1RID[1:0]	00	R/W	DMA チャンネル 1 転送要求元レジスタ ID1、0 (RID) 表 12.4 参照
7~2	C0MID[5:0]	000000	R/W	DMA チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
1、0	C0RID[1:0]	00	R/W	DMA チャンネル 0 転送要求元レジスタ ID1、0 (RID) 表 12.4 参照

• DMARS1の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]					C3RID[1:0]		C2MID[5:0]					C2RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	000000	R/W	DMA チャンネル 3 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
9、8	C3RID[1:0]	00	R/W	DMA チャンネル 3 転送要求元レジスタ ID1、0 (RID) 表 12.4 参照
7~2	C2MID[5:0]	000000	R/W	DMA チャンネル 2 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
1、0	C2RID[1:0]	00	R/W	DMA チャンネル 2 転送要求元レジスタ ID1、0 (RID) 表 12.4 参照

- DMARS2の設定

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

C5MID[5:0]					C5RID[1:0]		C4MID[5:0]					C4RID[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C5MID[5:0]	000000	R/W	DMA チャンネル 5 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
9, 8	C5RID[1:0]	00	R/W	DMA チャンネル 5 転送要求元レジスタ ID1, 0 (RID) 表 12.4 参照
7~2	C4MID[5:0]	000000	R/W	DMA チャンネル 4 転送要求元モジュール ID5~0 (MID) 表 12.4 参照
1, 0	C4RID[1:0]	00	R/W	DMA チャンネル 4 転送要求元レジスタ ID1, 0 (RID) 表 12.4 参照

表 12.4 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID + RID)	MID	RID	機能
CMT0	H'03	B'000000	B'11	-
CMT1	H'07	B'000001	B'11	-
CMT2	H'0B	B'000010	B'11	-
CMT3	H'0F	B'000011	B'11	-
CMT4	H'13	B'000100	B'11	-
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF1	H'25	B'001001	B'01	送信
	H'26		B'10	受信
SCIF2	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
SCIF3	H'2D	B'001011	B'01	送信
	H'2E		B'10	受信
SCIF4	H'31	B'001100	B'01	送信
	H'32		B'10	受信
SCIF5	H'35	B'001101	B'01	送信
	H'36		B'10	受信
IrDA0	H'39	B'001110	B'01	送信
	H'3A		B'10	受信
IrDA1	H'3D	B'001111	B'01	送信
	H'3E		B'10	受信

周辺モジュール	1チャンネル分の設定値 (MID + RID)	MID	RID	機能
SIOF	H'51	B'010100	B'01	送信
	H'52		B'10	受信
ADC	H'6B	B'011010	B'11	-
SIM	H'A1	B'101000	B'01	送信
	H'A2		B'10	受信

12.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスマードは、バーストモードとサイクルスチールモードを選択することができます。

12.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択は DMA チャンネルごとに CHCR の RS[3:0]ビットおよび DMARS0、DMARS1、DMARS2 によって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに CHCR の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0、DREQ1) によって転送を開始させるモードです。DMA チャンネル 0、1 のみ有効です。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

DREQ をエッジで検出するかレベルで検出するかは、表 12.5 に示す CHCR_0、CHCR_1 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 12.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR_0、CHCR_1		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 12.6 DO ビットによる外部リクエスト検出の選択

CHCR_0、CHCR_1	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0/1/2 にて設定する SCIF0/1/2/3/4/5、IfDA0/1、SIOF、SIM からの送信データエンpty転送要求と受信データフル転送要求、ADC、CMT0/1/2/3/4 からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンpty転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。これらは SIOF、SIM も同様です。

また、内蔵周辺モジュールによっては、受信 FIFO トリガ数を転送要求に設定できます。受信 FIFO トリガ条件が満たされない場合は、受信 FIFO にデータが残ることがありますので、DMA 転送終了後にデータを読み出す必要があります。

表 12.7 RS[3:0]ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード	
	MID	RID						
1000	000000	11	CMT0	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	000001	11	CMT1	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	000010	11	CMT2	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	000011	11	CMT3	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	000100	11	CMT4	コンペアマッチ転送要求	任意	任意	サイクル スチール	
	001000	01	SCIF0 送信部		TXI (送信 FIFO データエンプティ)	任意	SCFTDR0	サイクル スチール
		10	SCIF0 受信部		RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクル スチール
	001001	01	SCIF1 送信部		TXI (送信 FIFO データエンプティ)	任意	SCFTDR1	サイクル スチール
		10	SCIF1 受信部		RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクル スチール
	001010	01	SCIF2 送信部		TXI (送信 FIFO データエンプティ)	任意	SCFTDR2	サイクル スチール
		10	SCIF2 受信部		RXI (受信 FIFO データフル)	SCFRDR2	任意	サイクル スチール
	001011	01	SCIF3 送信部		TXI (送信 FIFO データエンプティ)	任意	SCFTDR3	サイクル スチール
		10	SCIF3 受信部		RXI (受信 FIFO データフル)	SCFRDR3	任意	サイクル スチール
	001100	01	SCIF4 送信部		TXI (送信 FIFO データエンプティ)	任意	SCFATDR4	サイクル スチール
		10	SCIF4 受信部		RXI (受信 FIFO データフル)	SCAFRDR4	任意	サイクル スチール
	001101	01	SCIF5 送信部		TXI (送信 FIFO データエンプティ)	任意	SCAFTDR5	サイクル スチール
		10	SCIF5 受信部		RXI (受信 FIFO データフル)	SCAFRDR5	任意	サイクル スチール
	001110	01	IrDA0 送信部		送信エンプティ転送要求	任意	IRIF0_UART3	サイクル スチール
		10	IrDA0 受信部		受信フル転送要求	IRIF0_UART4	任意	サイクル スチール

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1000	001111	01	IrDA1 送信部	送信エンプティ転送要求	任意	IRIF1_UART3	サイクル スチール
		10	IrDA1 受信部	受信フル転送要求	IRIF1_UART4	任意	サイクル スチール
	010100	01	SIOF 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR	サイクル スチール
		10	SIOF 受信部	RXI (受信 FIFO データフル)	SIRDR	任意	サイクル スチール
	011010	11	ADC	ADI (A/D 変換終了)	ADDR	任意	サイクル スチール
	101000	01	SIM 送信部	TXI (送信 FIFO データエンプティ)	任意	SCTDR	サイクル スチール
		10	SIM 受信部	RXI (受信 FIFO データフル)	SCRDR	任意	サイクル スチール

12.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択はDMAORのPR[1:0]ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5
- CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択はDMAORのPR[1:0]ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、8バイト、16バイト単位、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図12.2に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

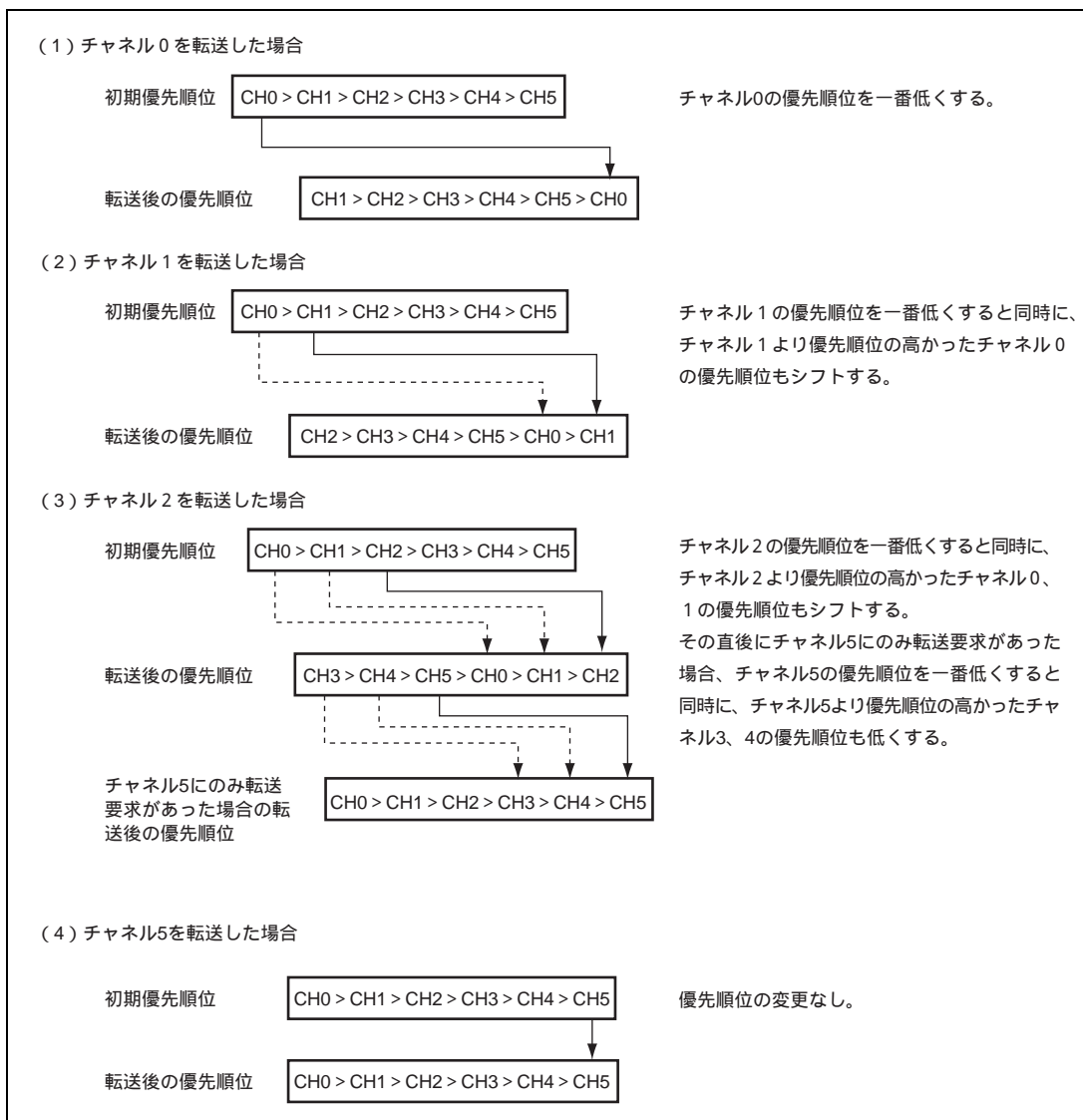


図 12.2 ラウンドロビンモード

図 12.3 にチャンネル0 とチャンネル3 に同時に転送要求が発生し、チャンネル0 の転送中にチャンネル1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

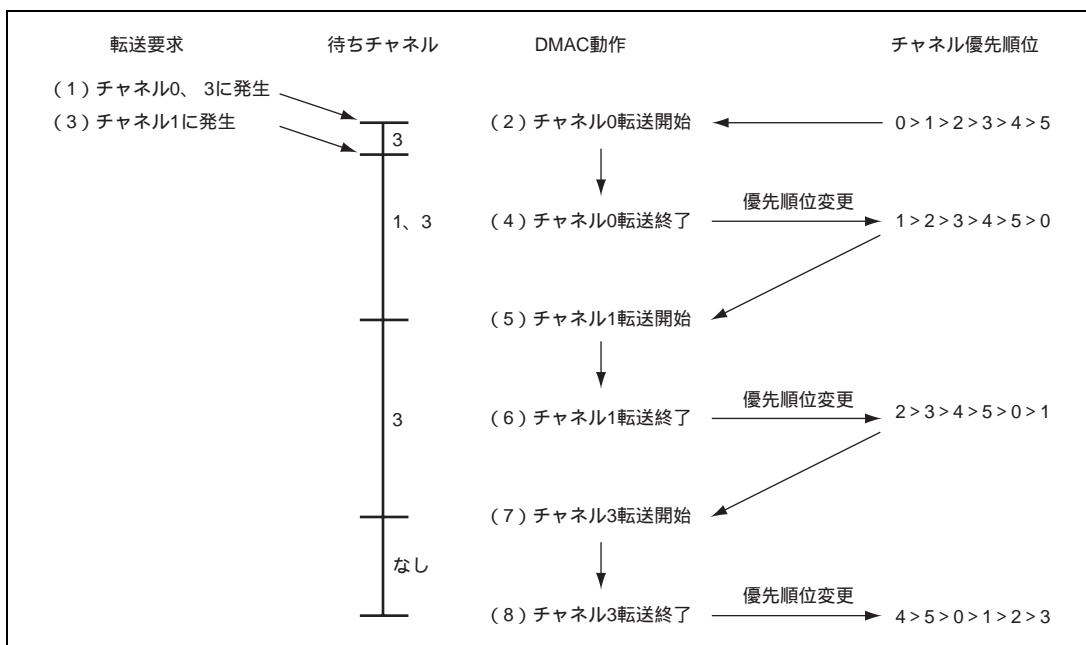


図 12.3 ラウンドロビンモードでのチャンネル優先順位

12.4.3 DMA 転送の種類

DMA 転送は、デュアルアドレスモード転送になります。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。表 12.8 に DMAC がサポートできる転送を示します。

表 12.8 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	IL メモリ
DACK 付外部デバイス	不可			不可	不可
外部メモリ					
メモリマップト外部デバイス					
内蔵周辺モジュール	不可				
IL メモリ	不可				

【記号説明】 : 転送可能

【注】 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図12.4のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

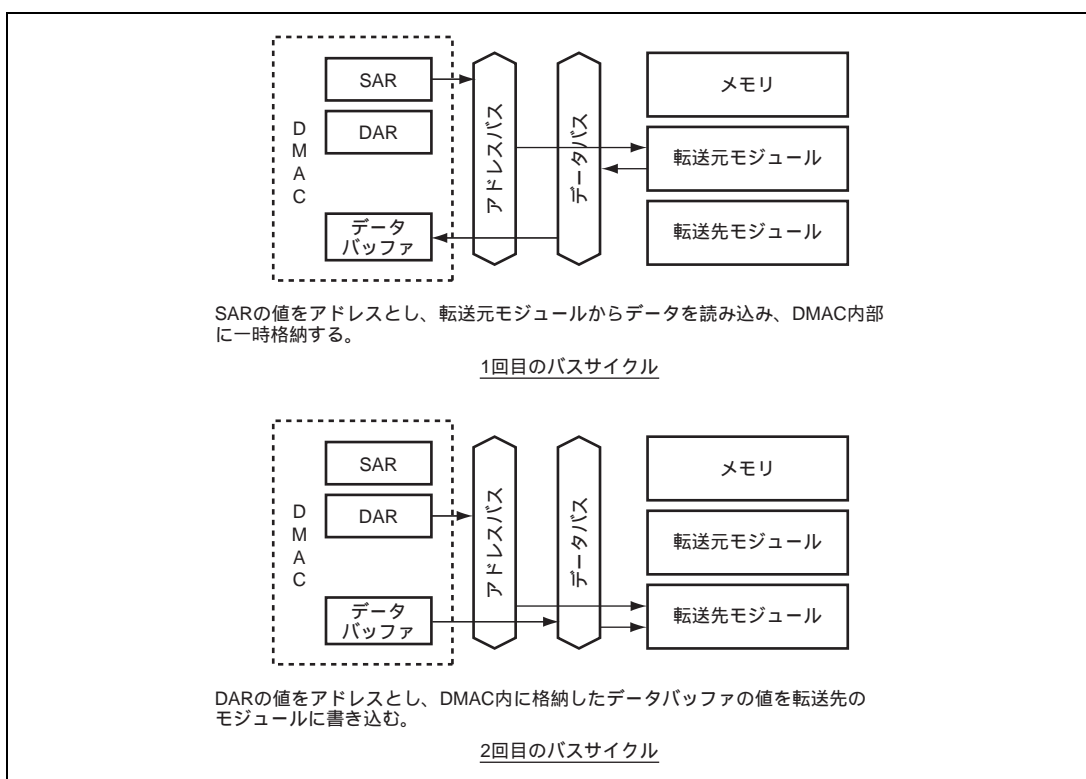


図 12.4 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCRによって設定可能です。

図12.5にデュアルアドレスモードでのDMA転送タイミング例を示します。

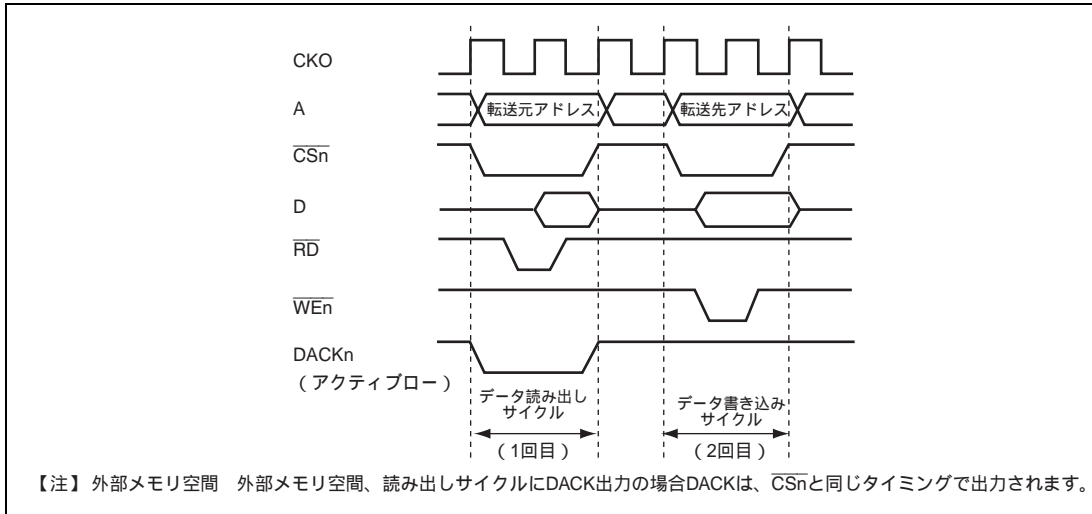


図 12.5 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR の TB ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモード時に通常モードまたはインタミットモードを DMAOR の CMS[3:0] ビットによって選択します。

- 通常モード

サイクルスチールの通常モードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 12.6 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

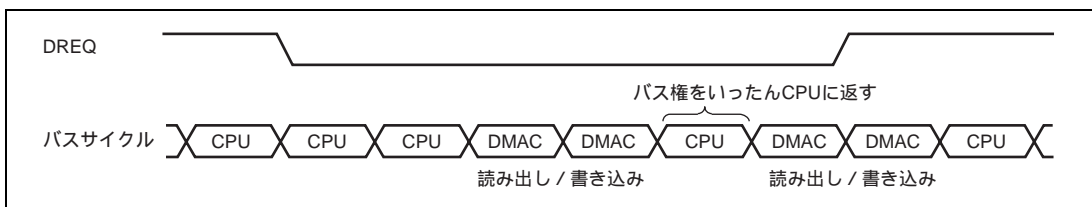


図 12.6 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インタミットモード16、インタミットモード64、インタミットモード256

サイクルスチールのインタミットモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B カウントで 16 クロック、64 クロックまたは 256 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA 転送がさらに待たされる場合があります。

インタミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図 12.7 にサイクルスチールインタミットモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQ ローレベル検出

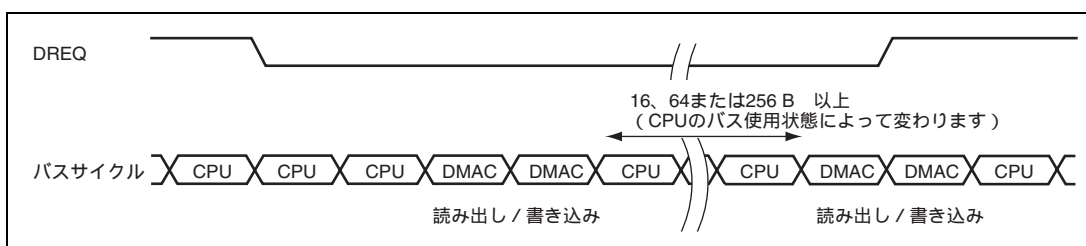


図 12.7 サイクルスチールインタミットモードの DMA 転送例
(デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図 12.8 にバーストモードでの DMA 転送タイミング例を示します。

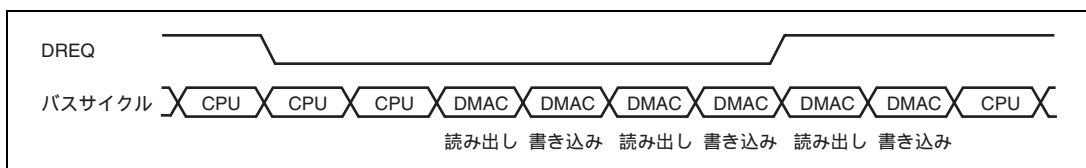


図 12.8 バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 12.9 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 12.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (バイト)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	1/2/4/8/16/32	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	1/2/4/8/16/32	0、1
	外部メモリと外部メモリ	外部、オート	B/C	1/2/4/8/16/32	0~5* ³
	外部メモリとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* ³
	メモリマップト外部デバイスとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* ³
	外部メモリと内蔵周辺モジュール	すべて可* ¹	C	1/2/4/8/16* ²	0~5* ³
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可* ¹	C	1/2/4/8/16* ²	0~5* ³
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可* ¹	C	1/2/4/8/16* ²	0~5* ³
	IL メモリとメモリマップト外部デバイス	外部、オート	B/C	1/2/4/8/16/32	0~5* ³
	IL メモリと内蔵周辺モジュール	すべて可* ¹	B/C	1/2/4/8/16* ²	0~5* ³
	IL メモリと外部メモリ	外部、オート	B/C	1/2/4/8/16/32	0~5* ³

【記号説明】 B : バーストモード

C : サイクルスチールモード

【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送元または転送先がそれぞれの要求元レジスタである必要があります。

*2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ

*3 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がバーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。つまり、バス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後、バーストモードの優先実行と呼びます)。

この例を図 12.9 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに解放しません。

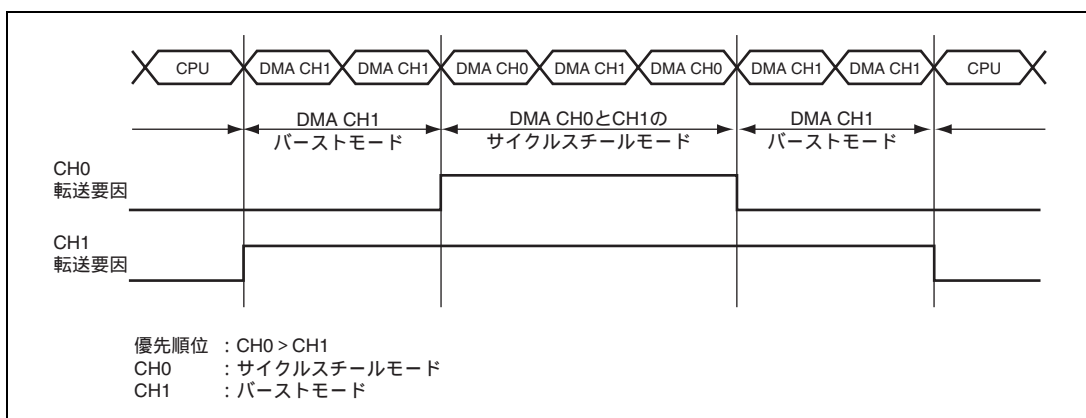


図 12.9 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 12.2 に示した仕様で優先順位が変化します。ただし、バーストモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

12.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位 (TS[3:0] の設定により決定) のデータを転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バーストモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 12.10 に DMA 転送のフローチャートを示します。

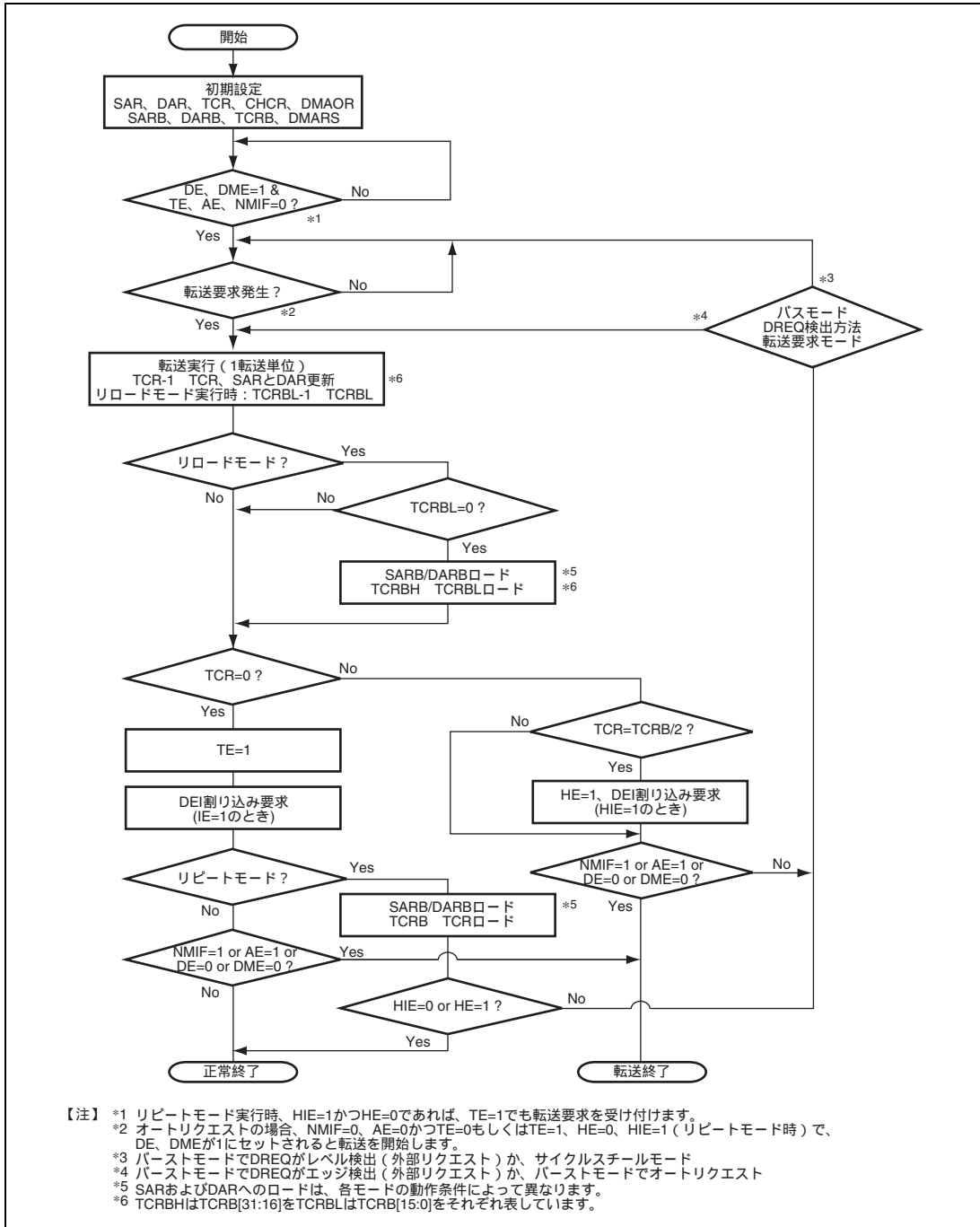


図 12.10 DMA 転送フローチャート

12.4.5 リピートモード転送

DMACのリピートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODECから音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは40ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データはSIOFにより受け取ることと仮定します。

1. DMACの設定

- SARにSIOFの受信データレジスタのアドレスを設定
- DARに内部メモリのデータ格納領域のアドレスを設定
- TCRに80 (H'50)を設定
- CHCRに以下を設定

RPT[2:0]ビット= B'010 : リピートモード (DARをリピート領域として使用)

HIEビット= B'1 : TCR/2の割り込み発生

DM[1:0]ビット= B'01 : DARは増加

SM[1:0]ビット= B'00 : SARは固定

IEビット= B'1 : 割り込み許可

DEビット= B'1 : DMA転送許可

- このほか、TB、TS[3:0]ビットなど使用条件に合わせて設定
- DMAORのCMS[1:0]、PR[1:0]ビットを使用条件に合わせて設定し、DMEビットにB'1を設定

2. 音声データの受信転送をSIOF/DMACが実行

3. TCRが初期設定値の1/2になり割り込み発生

割り込み処理にて、CHCRを読み出しHEビットに1がセットされていることを確認し、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行します。

4. TCRが0になり割り込み発生

割り込み処理にて、CHCRを読み出しTEビットに1がセットされていることを確認し、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行します。この際、DMACではDARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

5. 以後、2~3の処理が、DME = B'0もしくはDE = B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

12.4.6 リロードモード転送

DMACのリロードモード転送を使用すると、CHCRのRPT[2:0]ビットの設定により、TCRB[15:0]ビットに設定した回数の転送ごとにSARB/DARBに設定された値をSAR/DARに、TCRB[31:16]ビットに設定された値をTCRB[15:0]ビットに再設定し、TCRが0になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図12.11に示します。

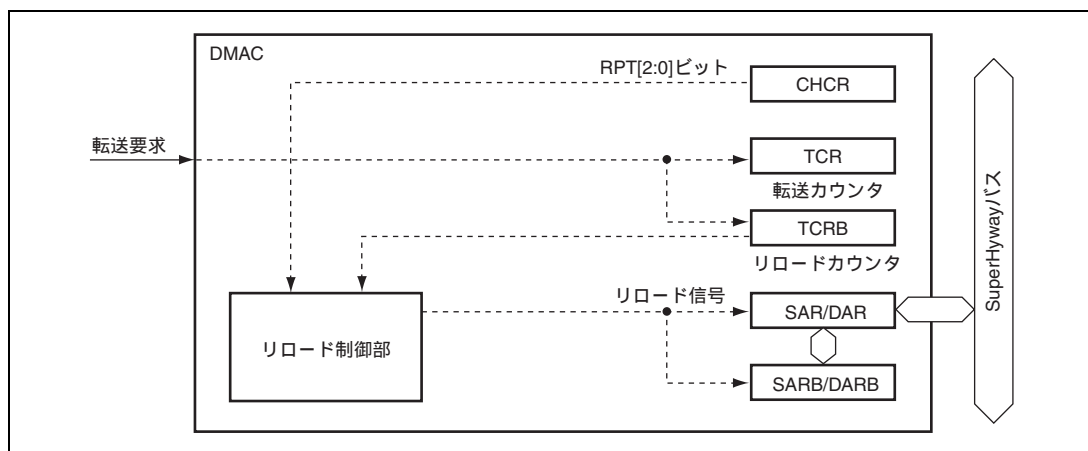


図 12.11 リロード機能図

リロードモード実行時は、TCRBをリロードカウンタとして使用します。「12.3.6 DMAトランスファカウンタレジスタB_0~3 (TCRB_0~TCRB_3)」の項を参照し、TCRBを設定してください。

12.4.7 DREQ端子のサンプリングタイミング

各バスモードに対するDREQ入力のサンプリングタイミングを図12.12~図12.15に示します。

DREQの検出(エッジ、レベル検出)は、アサート、ネゲートともにCKOの立ち上がりでサンプリングされません。

このため、DREQのセットアップ/ホールド時間を確保することができれば、クロックごとにアサート、ネゲートは可能です。

ただし、アサートに関しては不感帯の期間がありますので、この期間はリクエストは受け付けられないこととなります。

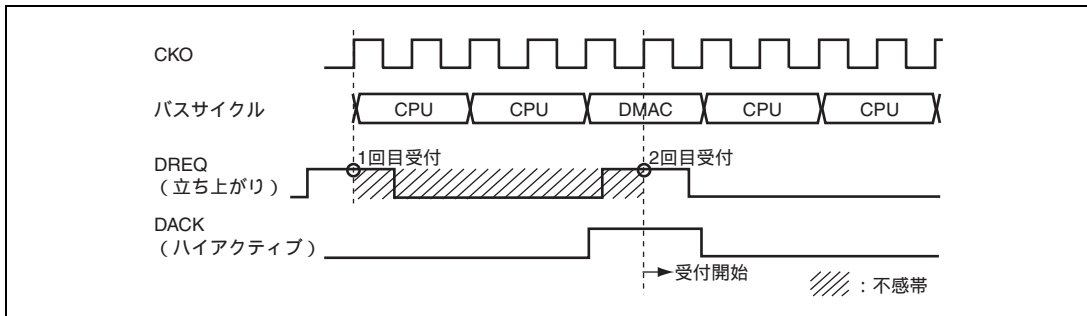


図 12.12 サイクルスチールモード、エッジ検出時の DREQ 入力検出タイミング例

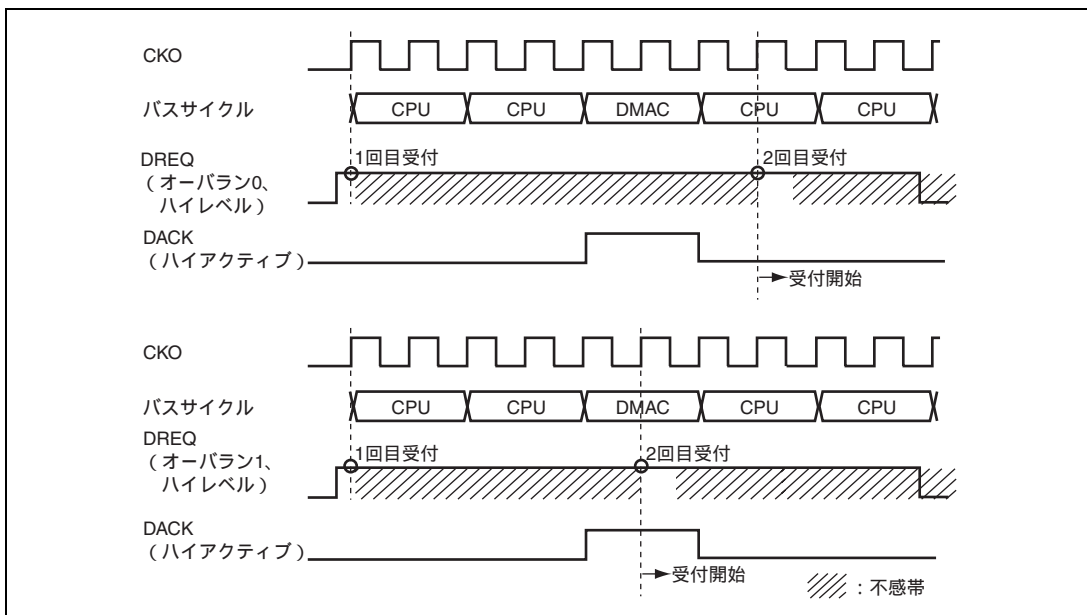


図 12.13 サイクルスチールモード、レベル検出時の DREQ 入力検出タイミング例

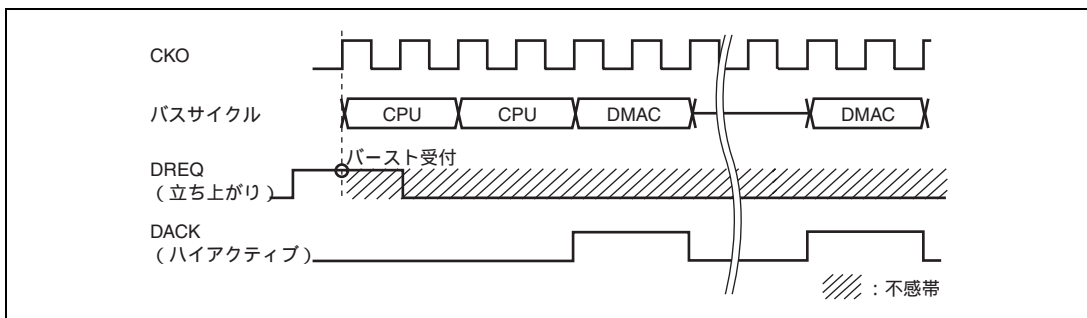


図 12.14 バーストモード、エッジ検出時の DREQ 入力検出タイミング例

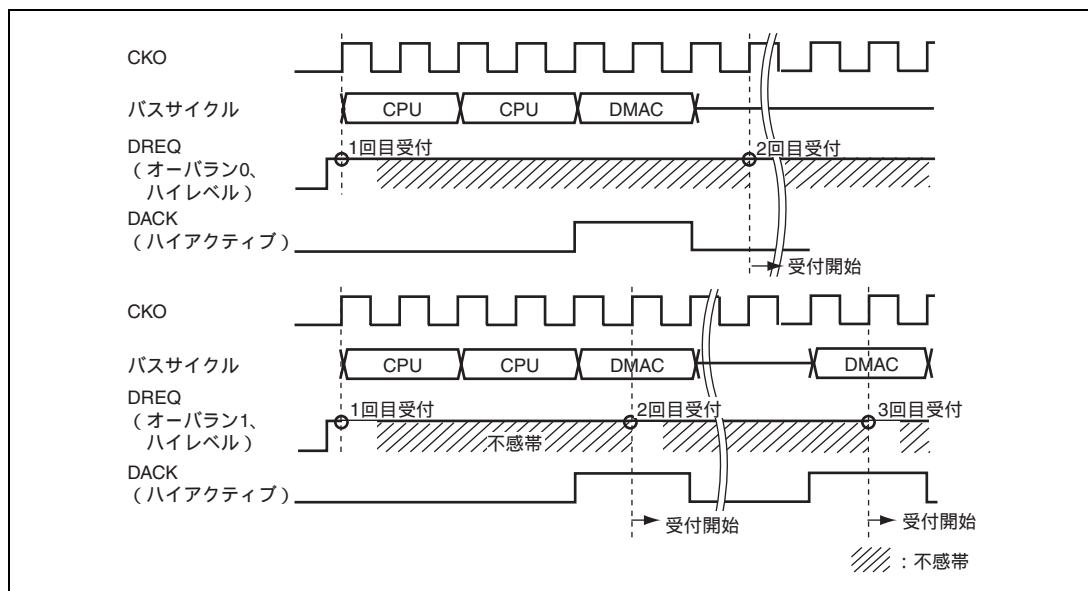


図 12.15 バーストモード、レベル検出時の DREQ 入力検出タイミング例

図 12.16 に TEND 出力のタイミングを示します。

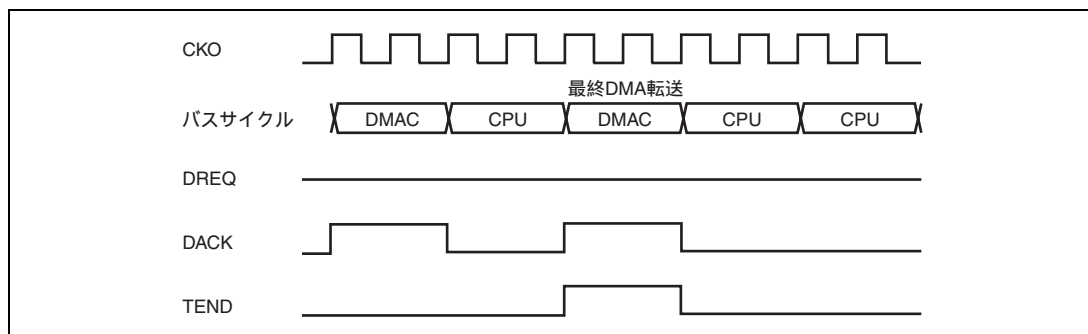


図 12.16 DMA 転送終了信号タイミング (サイクルスチール、レベル検出)

8 ビット外部デバイスや 16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合、データをアライメントするため DACK および TEND 出力が分割されるので注意してください。この例を図 12.17 に示します。

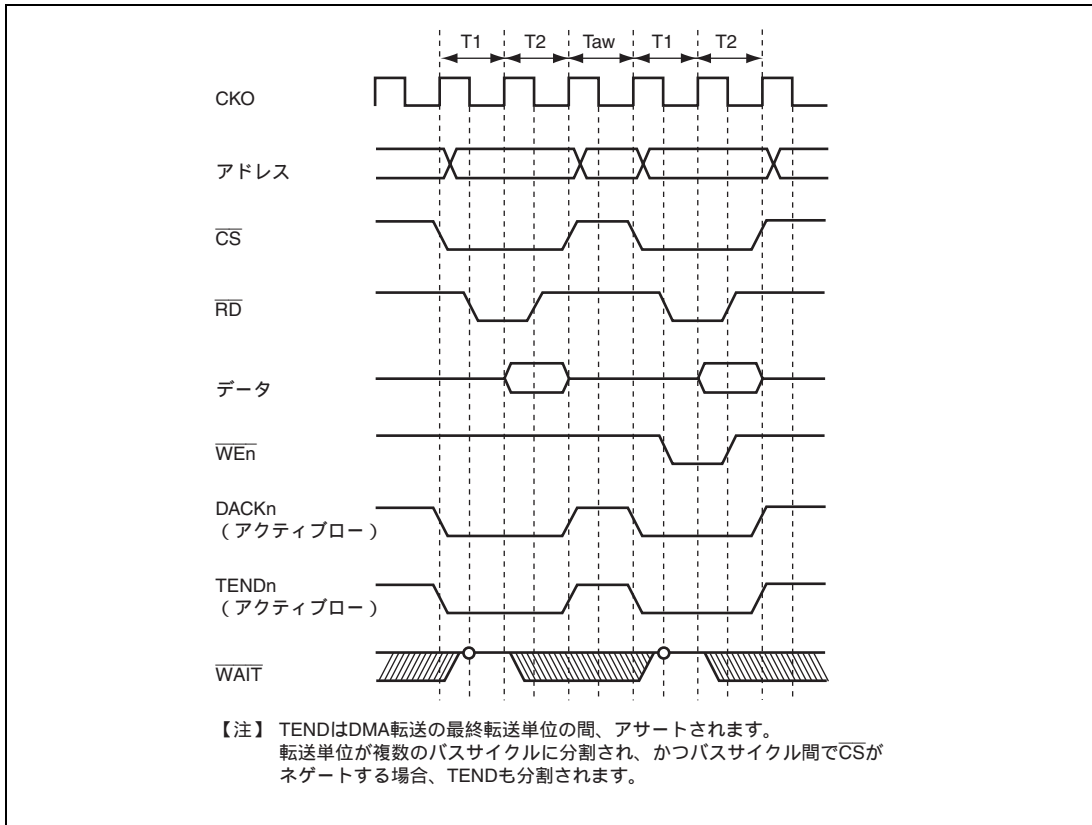


図 12.17 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス)

12.5 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

12.5.1 周辺モジュールの DMA 転送について

周辺モジュールの 16 バイト DMA 転送を行う場合、CHCR の TS[3:0] ビットを B'1011 にセットし、16 バイト 2 分割転送モードで実行してください。ただし、転送元または転送先として SAR または DAR に 16 バイト境界のアドレスを設定できる場合に限りです。転送元または転送先のアドレスが 16 バイト境界ではない場合、正しくデータを転送することができません。

12.5.2 モジュールストップについて

本 DMAC 動作中に、モジュールストップレジスタ (MSTPCR0) のレジスタ設定によるモジュールストップを行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

12.5.3 アドレスエラーについて

DMA アドレスエラーが発生した場合、全チャンネルのレジスタを再設定した後、転送を開始してください。

12.5.4 バーストモード転送時の注意

バーストモード転送中は、そのチャンネルの転送が完了するまで以下の操作を行わないでください。

1. 周波数を変更しないでください。
2. スリープモードに遷移させないでください。
3. スタンバイモードに遷移させないでください。

12.5.5 DMA 拡張リソースセクタの設定について

DMAC0 および DMAC1 の DMA 拡張リソースセクタ_{0~2} (DMA0_DMARS_0~DMA0_DMARS_2/DMA1_DMARS_0~DMA1_DMARS_2) に同一の DMA 転送要求を設定しないでください。

同一の DMA 転送要求を設定した場合、動作ならびに転送内容を保証できません。

12.5.6 DMAC フラグビット使用上の注意

HE、TE、AE、NMIF の各フラグビット使用上の注意事項があります。

チャンネルコントロールレジスタのハーフエンドフラグおよびトランスファエンドフラグ (CHCRm.HE および CHCRn.TE、m=0~3、n=0~5)、DMA オペレーションレジスタのアドレスエラーフラグおよび NMI フラグ (DMAOR.AE および DMAOR.NMIF) に関して、当該フラグが 1 にセットされるタイミングで読み出しを行うと、0 が読み出されますが、内部的に 1 を読み出した状態となる場合があります。そのため、0 の書き込みを行うと、当該フラグが 1 の読み出し後の 0 書き込みと同じ状態となり、0 にクリアされることがあります。

これを回避する方法として、当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方

法で読み出し、書き込みを行ってください。当該レジスタの書き込み時は、明示的にクリアする時以外は当該ビットへの1の書き込みを行い、明示的にクリアする時のみ1の読み出し後の0書き込みを行ってください。該当ビットへの1の書き込みはフラグの値に影響を及ぼしません。

なお、当該フラグビットを使用しない場合は、常に0書き込み（明示的にクリアする時は1読み出し後の0書き込み）で問題ありません。

12.5.7 DMA 転送の中断後の再開について

外部リクエストモードのとき、内蔵周辺モジュールリクエストモードのときの DMA 転送の中断後の再開については、以下の方法で行なってください。

(1) 外部リクエストモードのとき

アドレスエラー、NMIのアサート、CHCRn.DE (n=0~5)クリアまたはDMAOR0.DMEクリアでDMA転送を中断した場合、全チャンネルのレジスタの再設定をした後、DMA転送を開始してください。

(2) 内蔵周辺モジュールリクエストモードのとき

(a) アドレスエラー、NMIのアサートの場合

アドレスエラー、NMIのアサートでDMA転送を中断した場合、全チャンネルの周辺モジュールからの転送要求をクリア後に一度、DMEビットを0クリアしてDMAの転送を禁止し、その後全チャンネルのレジスタの再設定をした後、DMA転送を開始してください。

(b) DEビットを0クリアして転送を中断する場合

下記のいずれかの方法で回避できます。

- ・中断後に、当該チャンネルの周辺モジュールからの転送要求をクリアし、さらに当該チャンネルのレジスタの再設定をした後、転送を開始してください。
- ・中断後に、全チャンネルの周辺モジュールからの転送要求がクリアされている状態のときにDEビットのクリアを行ってください。

(c) DMEビットを0クリアして転送を中断する場合

下記のいずれかの方法で回避できます。

- ・中断後に、全チャンネルの周辺モジュールからの転送要求をクリアし、さらに、全チャンネルのレジスタの再設定をした後、DMA転送を開始してください。
- ・中断後に、全チャンネルの周辺モジュールからの転送要求がクリアされている状態のときにDMEビットの0クリアを行ってください。

13. クロックパルス発振器 (CPG)

クロックパルス発振器は、発振器、PLL回路、分周回路、およびこれらの制御回路で構成され、本 LSI で使用する各種クロックを生成します。

13.1 特長

- LSI内部動作の各種クロックを生成
 - CPUクロック (I) : CPU、FPU、キャッシュ、TLBなどで使用するクロック
 - SHクロック (S) : SuperHywayバスで使用するクロック
 - バスクロック (B) : BSC、DMACなどで使用するクロック、
 - 周辺クロック (P) : 周辺モジュールで使用するクロック
 - RCLKクロック (RCLK) : RWDTで使用するクロック
- 外部インタフェース用の各種クロックを生成
 - バスクロック (CKO) : BSCバスインタフェース用クロック (B と同じ)
 - IrDAクロック (IrDACK) : IrDA用クロック出力
- クロックモード
 - パワーオンリセット後のCPUクロック、SHクロック、バスクロック、周辺クロックの分周率の組み合わせを3種類のクロック動作モードから選択できます。
- 周波数変更機能
 - CPG内部のPLL回路や分周回路により、CPUクロック、SHクロック、バスクロック、周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
 - スリープモードとソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。詳細に関しては、「第14章 リセット、低消費電力モード」を参照してください。

CPG のブロック図を図 13.1 に示します。

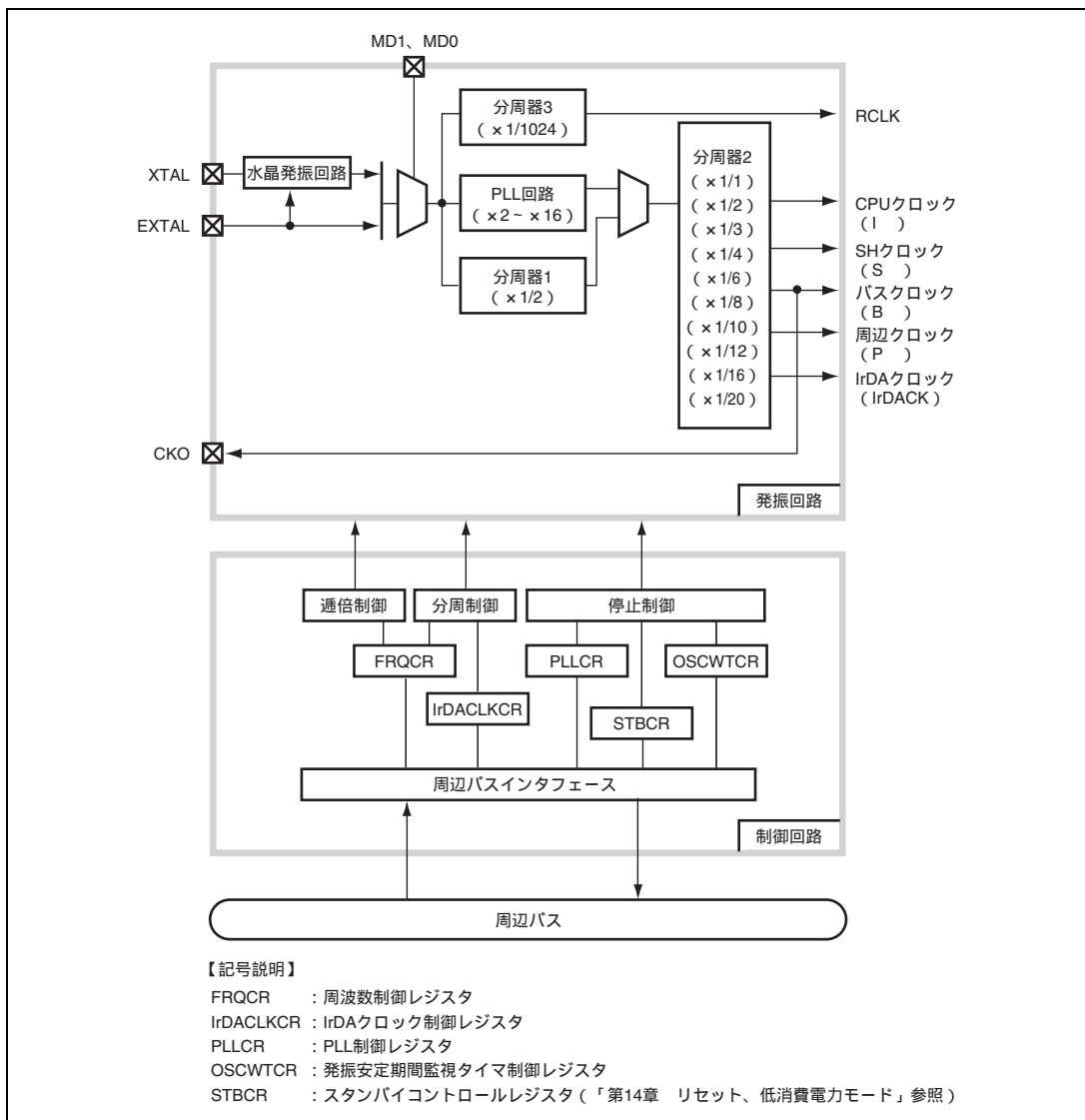


図 13.1 CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路

PLL 回路は、EXTAL 端子からの入力クロック周波数を 2 倍 ~ 16 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタ (FRQCR) で設定します。起動、停止は PLL 制御レジスタ (PLLCR) で設定します。

(2) 分周器 1

分周器 1 は、EXTAL 端子からの入力クロック周波数を 1/2 に分周します。PLL 回路が OFF の場合に、分周器 1 の出力クロックが分周器 2 に入力されます。

(3) 分周器 2

分周器 2 は、PLL 回路または分周器 1 の出力クロックを入力し、CPU クロック、SH クロック、バスクロック、周辺クロックを生成します。分周率は各周波数制御レジスタで設定します。

(4) 分周器 3

分周器 3 は、EXTAL 端子からの入力クロック周波数を 1/1024 に分周します。

(5) 制御回路

制御回路は、MD0、MD1 端子、および周波数制御レジスタの設定に従ってクロック周波数の制御を行います。また、各種低消費電力モードの制御を行います。

13.2 入出力端子

CPG の端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	機能	入出力	説明
MD0	モード制御端子	入力	クロック動作モードを設定します。
MD1		入力	クロック動作モードを設定します。
XTAL	水晶振動子接続端子	出力	水晶振動子を接続します。
EXTAL	水晶振動子接続端子 / 外部クロック入力端子	入力	水晶振動子を接続します。また、外部クロック入力端子として使用します。
CKO	クロック出力端子	出力	外部クロック出力端子として使用します。

13.3 クロック動作モード

モード制御端子 (MD1、MD0) の組み合わせと、パワーオンリセット後の初期クロック設定の関係を表 13.2 に示します。

表 13.2 クロック動作モード

クロックモード	端子設定		レジスタ初期値		クロックソース	PLL (逡倍率)	初期クロック比			
	MD1	MD0	FRQCR	PLLCR			I	S	B	P
0	0	0	H'0755 5558	H'0000 4000	EXTAL* ¹	ON (X8)	2	2	2	1
1	0	1	H'0700 0000	H'0000 0000	EXTAL* ¹	OFF	1/2	1/2	1/2	1/2
2	1	0	H'0755 5558	H'0000 4000	水晶発振* ²	ON (X8)	2	2	2	1
3	1	1	設定禁止							

【注】 *1 EXTAL 端子から外部クロックを入力します。

*2 水晶振動子を EXTAL 端子と XTAL 端子に接続します。

13.4 レジスタの説明

CPG のレジスタ構成を表 13.3 に示します。また、各処理モードにおけるレジスタの状態を表 13.4 に示します。

表 13.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'A415 0000	32
PLL 制御レジスタ	PLLCR	R/W	H'A415 0024	32
IrDA クロック制御レジスタ	IrDACLKCR	R/W	H'A415 0018	32
発振安定期間監視タイマ制御レジスタ	OSCWTCR	R/W	H'A415 0044	32

表 13.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
FRQCR	初期化	保持	-	保持
PLLCR	初期化	保持	-	保持
IrDACLKCR	初期化	保持	-	保持
OSCWTCR	初期化	保持	-	保持

13.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、PLL 回路の周波数通倍率、CPU クロック、SH クロック、バスクロック、周辺クロックの周波数分周率の指定ができます。FRQCR はロングワードサイズでのみアクセス可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HIGH[1:0]		—	STC[4:0]				IFC[3:0]				—	—	—	—	
初期値 :	0	0	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1
R/W :	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SFC[3:0]			BFC[3:0]			—	—	—	—	PFC[3:0]					
初期値 :	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1	—*1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 30	HIGH[1:0]	00	R/W	PLL 回路の VCO 選択 PLL 回路の出力周波数に合わせて設定してください。 00 : PLL 回路高速 (PLL 回路通倍出力 150MHz 以上) 01 : 設定禁止 10 : 設定禁止 11 : PLL 回路低速 (PLL 回路通倍出力 150MHz 以下)
29	-	不定*1	R	リザーブビット 書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
28 ~ 24	STC[4:0]	不定* ¹	R/W	PLL 回路の逡倍率設定 設定値 + 1 倍の逡倍を行います。 00001 : ×2 倍 00010 : ×3 倍 00011 : ×4 倍 00101 : ×6 倍 00111 : ×8 倍 01111 : ×16 倍 上記以外 : 設定禁止
23 ~ 20	IFC[3:0]	不定* ¹	R/W	CPU クロック (I) 周波数の分周率* ² 0000 : ×1/1 倍 0010 : ×1/2 倍 0101 : ×1/4 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外 : 設定禁止
19 ~ 16	-	不定* ¹	R	リザーブビット 書き込む値は常に 0 にしてください。
15 ~ 12	SFC[3:0]	不定* ¹	R/W	SH クロック (S) 周波数の分周率* ² 0000 : ×1/1 倍 0010 : ×1/2 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

ビット	ビット名	初期値	R/W	説明
11~8	BFC[3:0]	不定* ¹	R/W	バスクロック (B) 周波数の分周率* ² 0000 : ×1/1 倍 0010 : ×1/2 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止
7~4	-	不定* ¹	R	リザーブビット 書き込む値は常に 0 にしてください。
3~0	PFC[3:0]	不定* ¹	R/W	周辺クロック (P) 周波数の分周率* ² 0000 : ×1/1 倍 0010 : ×1/2 倍 0100 : ×1/3 倍 0101 : ×1/4 倍 0111 : ×1/6 倍 1000 : ×1/8 倍 1001 : ×1/10 倍 1010 : ×1/12 倍 1011 : ×1/16 倍 1100 : ×1/20 倍 上記以外設定禁止

【注】 *1 ビット 29~0 の初期値は、クロックモードに依存します。詳しくは表 13.2 を参照してください。

*2 各クロック周波数の設定時、以下のクロック比制約を守ってください。(N₁~N₃は自然数)

$$B : P = N_1 : 1$$

$$S : B = N_2 : 1$$

$$I : S = N_3 : 1$$

各クロックの周波数範囲については「第 33 章 電気的特性」の表 33.6 を参照してください。

13.4.2 PLL 制御レジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、PLL 回路の ON/OFF の指定ができます。PLLCR はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PLL1E	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	—*	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PLL1E	不定*	R/W	PLL1 イネーブル PLL 回路の ON/OFF を設定します。 0 : PLL 回路を OFF 1 : PLL 回路を ON
13~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * ビット 14 の初期値は、クロックモードに依存します。詳しくは表 13.2 を参照してください。

13.4.3 IrDA クロック制御レジスタ (IrDACLKCR)

IrDACLKCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IrDA クロックを制御します。IrDACLKCR はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EXSRC	—	—	—	DIV[3:0]			
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	EXSRC	1	R/W	クロックソースセレクト IrDA クロックソースを選択します。 0 : PLL 回路出力クロック 1 : クロック停止
6~4	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	DIV[3:0]	0000	R/W	分周率設定ビット IrDA クロックの分周率を設定します。 0000 : × 1/1 倍 0010 : × 1/2 倍 0100 : × 1/3 倍 0101 : × 1/4 倍 0111 : × 1/6 倍 1000 : × 1/8 倍 1001 : × 1/10 倍 1010 : × 1/12 倍 1011 : × 1/16 倍 1100 : × 1/20 倍 上記以外 : 設定禁止

13.4.4 発振安定期間監視タイマ制御レジスタ (OSCWTCR)

OSCWTCR は、読み出し / 書き込み可能なレジスタで、水晶振動子の発振安定期間監視タイマを制御します。

OSCWTCR は、ロングワードサイズでのみアクセス可能です。

発振安定期間監視タイマ制御レジスタには、ソフトウェアスタンバイ解除時に水晶発振クロックの発振安定期間を確保するための、各制御ビットが割り当てられています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT[7:0]								—	—	TIME	EXOEN	—	CKS[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15~8	CNT[7:0]	0000 0000	R/W	監視タイマカウンタ 発振安定期間監視タイマカウンタの初期値を設定してください。
7、6	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も0にしてください。
5	TIME	0	R/W	クロック安定期間確保ビット 本ビットを1にセットすると、スタンバイモードからの復帰時に、EXTAL クロック安定期間を確保します。 0: クロック安定期間を確保しない 1: クロック安定期間を確保する
4	EXOEN	0	R/W	EXTAL 停止 本ビットを1にセットすると、スタンバイモード時に、EXTAL からのクロ ック供給が停止し、内部水晶発振も停止します。 0: スタンバイモード時、EXTAL からのクロック供給を停止しない、あ るいは内部水晶発振を停止しない 1: スタンバイモード時、EXTAL からのクロック供給および内部水晶 発振を停止する
3	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も0にしてください。
2~0	CKS[2:0]	000	R/W	クロックセレクト EXTAL からのクロックを分周して得られる8種類のクロックから、クロッ ク発振安定期間監視タイマのカウントに使用するクロックを選択します。 括弧内に示すオーバーフロー周期は、EXTAL からのクロック = 15MHz の場 合の値です。 000: EXTAL からのクロック (17 μ s) 001: EXTAL からのクロック/4 (68 μ s) 010: EXTAL からのクロック/16 (273 μ s) 011: EXTAL からのクロック/32 (546 μ s) 100: EXTAL からのクロック/64 (1.09ms) 101: EXTAL からのクロック/256 (4.36ms) 110: EXTAL からのクロック/1024 (17.48ms) 111: EXTAL からのクロック/4096 (69.91ms)

13.5 周波数変更方法

周波数制御レジスタで制御される各クロックの周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

13.5.1 PLL 回路通倍率の変更

PLL 回路の通倍率を変更する場合、FRQCR の STC[4:0]ビットを書き換えるだけで通倍率の変更を行うことができます。FRQCR での通倍率変更により、CPU は停止します。CPU 停止後、PLL の発振が安定するまでの間、CKO 端子から不安定なクロックが出力されます。PLL 発振安定時間は内部で自動的に検出し、PLL の発振安定後、CPU は動作を再開します。

13.5.2 分周率の変更

分周率変更は、FRQCR の各分周設定ビットを書き換えることで行います。
FRQCR 変更後直ちに設定されたクロックに切り替わります。

13.5.3 クロック動作モードの変更

クロック動作モードを決めるモード制御端子 (MD1、MD0) はパワーオンリセット時にその値が取り込まれません。動作中に MD1、MD0 端子の設定変更は行わないでください。

13.5.4 PLL 回路の ON / OFF 切り替え

PLL 回路の ON / OFF を制御できます。
PLL 回路の通倍率変更時と同様に、PLL 回路の発振安定時間は内部で自動的に検出します。

13.6 ソフトウェアスタンバイ解除時の内部水晶発振安定時間確保の手順

水晶振動子を動作クロックの供給源としている場合で、かつソフトウェアスタンバイモード時に内部水晶発振を停止させる場合、ソフトウェアスタンバイモードを NMI 割り込みで解除するときは、OSCWTCR を用いて内部水晶発振クロックが安定するまでの期間を制御します。この手順を以下に示します。

1. ソフトウェアスタンバイモードへ遷移前に、OSCWTCRのTIMEビットとEXOENビットを1に設定してください。
2. OSCWTCRのCKS[2:0]ビットに使用するクロックの種類、CNT[7:0]ビットにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーまでの時間がクロック発振安定時間以上になるように設定してください。
3. STBCRのSTBYビットを1に設定した後、SLEEP命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。

4. NMI信号変化のエッジ検出により、OSCWTCCRのCNT[7:0]ビットのカウントを開始します。CNT[7:0]ビットがカウントオーバーフローすると、CPGがクロック供給を開始し、本LSIが動作を再開します。このときCNT[7:0]ビットは、設定した初期値で停止します。

13.7 ボード設計上の注意事項

(1) バイパスコンデンサについての注意

V_{SS} と V_{CC} のペアごとに 0.1 ~ 1.0 μ F 程度の積層セラミックコンデンサをバイパスコンデンサとして入れてください。ペアになる電源端子番号を表 13.5 に示します。

バイパスコンデンサは、LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

表 13.5 バイパスコンデンサ挿入位置

電源ペア電源名	電源ペア端子番号
AV _{CC} -AV _{SS}	205-208
V _{CC} -V _{SS}	29-27、81-79、134-132、154-152、175-173
V _{CC} _PLL1-V _{SS} _PLL1	145-147
V _{CC} _PLL2-V _{SS} _PLL2	150-148
V _{CC} Q-V _{SS} Q	3-6、21-19、35-33、47-45、59-57、71-69、85-83、97-95、111-109、163-161、183-181、183-198

(2) PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤作動を生じさせる可能性があります。このため、本アナログ電源系と V_{CC}、V_{CC}Q のデジタル電源系は、極力、基板上で同一リソースを供給しないでください。

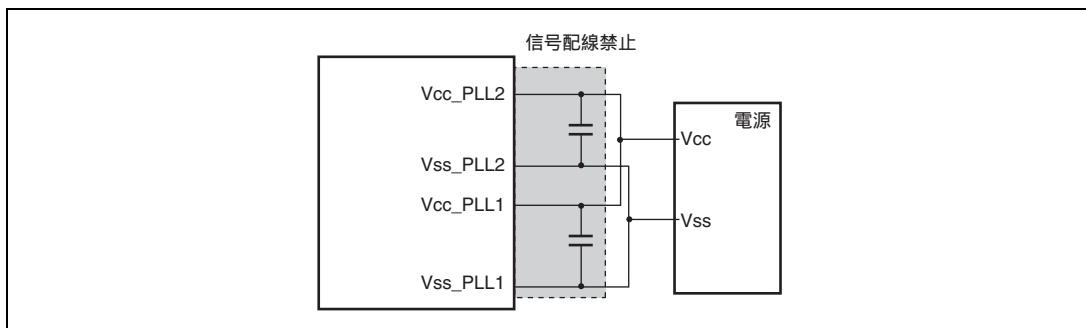


図 13.2 PLL 発振回路使用時の注意

14. リセット、低消費電力モード

本 LSI は、LSI への電源供給を監視し、また、LSI 内部への電源供給を制御する電源管理機能を内蔵します。また、LSI 内部へのクロック供給をきめ細かく制御し低電力化を可能とするスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能を内蔵します。

14.1 特長

動作不要なモジュール、あるいは LSI 全域へのクロックの供給を停止するスリープ/ソフトウェアスタンバイ/モジュールスタンバイをサポートします。

14.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード：CPUのクロックを停止
2. ソフトウェアスタンバイモード：CPUと内蔵周辺モジュールなどのクロックを停止
3. モジュールスタンバイ機能：使用しないモジュールのクロックをソフトウェアにより停止

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 14.1 に示します。

表 14.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPU	CPU レジスタ	内蔵周辺モジュール	ILメモリ	外部 SDRAM	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	動作	オートリフレッシュされません	● 割り込み ● パワーオンリセット
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	動作 / 停止	停止	保持	停止*	保持	セルフリフレッシュにしてください	● NMI、IRQ、PINT、RTC 割り込み ● パワーオンリセット
モジュールスタンバイ機能	MSTPCR の該当モジュールの MSTP ビットを 1 とする	動作	動作 / 停止	保持	指定モジュールが停止	動作	オートリフレッシュされます	● MSTP ビットを 0 にクリア

【注】 * RCLK 動作の RWDTP は動作します。

14.2 入出力端子

低消費電力モード関連の端子構成を表 14.2 に示します。

表 14.2 端子構成

端子名	機能	入出力	説明
STATUS0	処理状態 0	出力	ソフトウェアスタンバイ状態でハイレベルになります。
RESETP	リセット入力端子	入力	ローレベルでパワーオンリセット状態になります。
RESETOUT	パワーオンリセット出力信号	出力	本 LSI がパワーオンリセット中にローレベルになります。

14.3 レジスタの説明

消費電力モードのレジスタ構成を表 14.3 に示します。また、各処理モードにおけるレジスタの状態を表 14.4 に示します。

表 14.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'A415 0020	32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'A415 0030	32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'A415 0034	32
モジュールストップレジスタ 2	MSTPCR2	R/W	H'A415 0038	32

表 14.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
STBCR	初期化	保持	-	保持
MSTPCR0	初期化	保持	-	保持
MSTPCR1	初期化	保持	-	保持
MSTPCR2	初期化	保持	-	保持

14.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、スリープ、ソフトウェアスタンバイの指定ができます。

STBCR はロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	STBY	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
7	STBY	0	R/W	スタンバイビット 本ビットを 1 にセット後、SLEEP 命令を実行することによりソフトウェアスタンバイモードへ遷移します。
6~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

14.3.2 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR0 は、ロングワードアクセスのみ可能です。

命令キャッシュ (IC)、オペランドキャッシュ (OC)、TLB、および IL メモリに対するモジュールストップを解除した後、それらのモジュールにアクセスするときは、以下のいずれかの前処理を行ってください。なお、モジュールのアクセスには、該当モジュールからの命令フェッチ、および該当モジュールを利用した命令フェッチを含みます。

- 書き換えた MSTPn ビットを一度読み出した後、RTE 命令を実行してください。
- 書き換えた MSTPn ビットを一度読み出した後、任意のアドレスに対して ICBI 命令を実行してください。このとき、任意のアドレスはキャッシング不可領域でも構いません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSTP0 ₃₁	MSTP0 ₃₀	MSTP0 ₂₉	—	MSTP0 ₂₇	—	—	MSTP0 ₂₄	—	MSTP0 ₂₂	MSTP0 ₂₁	—	MSTP0 ₁₉	MSTP0 ₁₈	MSTP0 ₁₇	MSTP0 ₁₆
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP0 ₁₅	MSTP0 ₁₄	MSTP0 ₁₃	—	—	—	MSTP0 ₀₉	MSTP0 ₀₈	MSTP0 ₀₇	MSTP0 ₀₆	MSTP0 ₀₅	MSTP0 ₀₄	—	MSTP0 ₀₂	—	—
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31	MSTP031	0	R/W	モジュールストップビット 031 MSTP031 ビットを 1 にセットすると、TLB へのクロックの供給を停止します。 0 : TLB は動作 1 : TLB へのクロック供給を停止
30	MSTP030	0	R/W	モジュールストップビット 030 MSTP030 ビットを 1 にセットすると、命令キャッシュ (IC) へのクロックの供給を停止します。 0 : IC は動作 1 : IC へのクロック供給を停止
29	MSTP029	0	R/W	モジュールストップビット 029 MSTP029 ビットを 1 にセットすると、オペランドキャッシュ (OC) へのクロックの供給を停止します。 0 : OC は動作 1 : OC へのクロック供給を停止
28	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
27	MSTP027	0	R/W	モジュールストップビット 027 MSTP027 ビットを 1 にセットすると、IL メモリへのクロックの供給を停止します。 0 : IL メモリは動作 1 : IL メモリへのクロック供給を停止
26、25	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
24	MSTP024	0	R/W	モジュールストップビット 024 MSTP024 ビットを 1 にセットすると、FPU へのクロックの供給を停止します。 0 : FPU は動作 1 : FPU へのクロック供給を停止
23	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
22	MSTP022	0	R/W	モジュールストップビット 022 MSTP022 ビットを 1 にセットすると、INTC へのクロックの供給を停止します。 0 : INTC は動作 1 : INTC へのクロック供給を停止
21	MSTP021	0	R/W	モジュールストップビット 021 MSTP021 ビットを 1 にセットすると、DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
20	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
19	MSTP019	0	R/W	モジュールストップビット 019 MSTP019 ビットを 1 にセットすると、H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
18	MSTP018	0	R/W	モジュールストップビット 018 MSTP018 ビットを 1 にセットすると、LSI 内のデバッグ機能 (DBG) へのクロックの供給を停止します。H-UDI、UBC、AUD を使用する場合、本ビットは 0 にしてください。 0 : DBG は動作 1 : DBG へのクロック供給を停止
17	MSTP017	0	R/W	モジュールストップビット 017 MSTP017 ビットを 1 にセットすると、UBC へのクロックの供給を停止します。H-UDI や AUD を使用する場合、本ビットは 0 にしてください。 0 : UBC は動作 1 : UBC へのクロック供給を停止
16	MSTP016	0	R/W	モジュールストップビット 016 MSTP016 ビットを 1 にセットすると、LSI 内のデバッグ機能 (SUBC) へのクロックの供給を停止します。 0 : SUBC は動作 1 : SUBC へのクロック供給を停止
15	MSTP015	0	R/W	モジュールストップビット 015 MSTP015 ビットを 1 にセットすると、TMU へのクロックの供給を停止します。 0 : TMU は動作 1 : TMU へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
14	MSTP014	0	R/W	モジュールストップビット 014 MSTP014 ビットを 1 にセットすると、CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止
13	MSTP013	0	R/W	モジュールストップビット 013 MSTP013 ビットを 1 にセットすると、RWDT へのクロックの供給を停止します。 0 : RWDT は動作 1 : RWDT へのクロック供給を停止
12	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
11、10	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MSTP009	0	R/W	モジュールストップビット 009 MSTP009 ビットを 1 にセットすると、SCIF4 (SCIFA) へのクロックの供給を停止します。 0 : SCIF4 (SCIFA) は動作 1 : SCIF4 (SCIFA) へのクロック供給を停止
8	MSTP008	0	R/W	モジュールストップビット 008 MSTP008 ビットを 1 にセットすると、SCIF5 (SCIFA) へのクロックの供給を停止します。 0 : SCIF5 (SCIFA) は動作 1 : SCIF5 (SCIFA) へのクロック供給を停止
7	MSTP007	0	R/W	モジュールストップビット 007 MSTP007 ビットを 1 にセットすると、SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止
6	MSTP006	0	R/W	モジュールストップビット 006 MSTP006 ビットを 1 にセットすると、SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止
5	MSTP005	0	R/W	モジュールストップビット 005 MSTP005 ビットを 1 にセットすると、SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
4	MSTP004	0	R/W	モジュールストップビット 004 MSTP004 ビットを 1 にセットすると、SCIF3 へのクロックの供給を停止します。 0 : SCIF3 は動作 1 : SCIF3 へのクロック供給を停止
3	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP002	0	R/W	モジュールストップビット 002 MSTP002 ビットを 1 にセットすると、SIOF へのクロックの供給を停止します。 0 : SIOF は動作 1 : SIOF へのクロック供給を停止
1、0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR0 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR0 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR0 に書き戻してください。

14.3.3 モジュールストップレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR1 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MSTP1 13	—	—	—	MSTP1 09	MSTP1 08	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
13	MSTP113	0	R/W	モジュールストップビット 113 MSTP113 ビットを 1 にセットすると、RTC へのクロックの供給を停止します。 0 : RTC は動作 1 : RTC へのクロック供給を停止
12~10	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	MSTP109	0	R/W	モジュールストップビット 109 MSTP109 ビットを 1 にセットすると、IIC0 へのクロックの供給を停止します。 0 : IIC0 は動作 1 : IIC0 へのクロック供給を停止
8	MSTP108	0	R/W	モジュールストップビット 108 MSTP108 ビットを 1 にセットすると、IIC1 へのクロックの供給を停止します。 0 : IIC1 は動作 1 : IIC1 へのクロック供給を停止
7~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR1 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR1 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR1 に書き戻してください。

14.3.4 モジュールストップレジスタ 2 (MSTPCR2)

MSTPCR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR2 は、ロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	MSTP2 27	MSTP2 26	MSTP2 25	MSTP2 24	—	—	MSTP2 21	MSTP2 20	—	—	—	MSTP2 16
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
27	MSTP227	1	R/W	モジュールストップビット 227 MSTP227 ビットを 0 にセットすると、ADC へのクロックの供給を開始します。 0 : ADC は動作 1 : ADC へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
26	MSTP226	1	R/W	モジュールストップビット 226 MSTP226 ビットを 0 にセットすると、DAC へのクロックの供給を開始します。 0 : DAC は動作 1 : DAC へのクロック供給を停止
25	MSTP225	1	R/W	モジュールストップビット 225 MSTP225 ビットを 0 にセットすると、IrDA0 へのクロックの供給を開始します。 0 : IrDA0 は動作 1 : IrDA0 へのクロック供給を停止
24	MSTP224	1	R/W	モジュールストップビット 224 MSTP224 ビットを 0 にセットすると、IrDA1 へのクロックの供給を開始します。 0 : IrDA1 は動作 1 : IrDA1 へのクロック供給を停止
23、22	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
21	MSTP221	1	R/W	モジュールストップビット 221 MSTP221 ビットを 0 にセットすると、TPU0 へのクロックの供給を開始します。 0 : TPU0 は動作 1 : TPU0 へのクロック供給を停止
20	MSTP220	1	R/W	モジュールストップビット 220 MSTP220 ビットを 0 にセットすると、TPU1 へのクロックの供給を開始します。 0 : TPU1 は動作 1 : TPU1 へのクロック供給を停止
19~17	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
16	MSTP216	1	R/W	モジュールストップビット 216 MSTP216 ビットを 0 にセットすると、SIM へのクロックの供給を開始します。 0 : SIM は動作 1 : SIM へのクロック供給を停止
15~0	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】 MSTPCR2 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR2 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR2 に書き戻してください。

14.4 動作説明

14.4.1 リセット

(1) パワーオンリセット

電源投入時あるいは初期化状態から再実行する場合、パワーオンリセットを使用し本 LSI のリセットを行ってください。パワーオンリセットに使用する端子は $\overline{\text{RESETP}}$ です。パワーオンリセットは、すべての実行中の処理を中断し、いかなる未処理の事象も取り消して、リセット処理を直ちに実行します。同時に $\overline{\text{RESETOUT}}$ 端子をローレベルにします。パワーオンリセットが発生する条件を以下に示します。

1. $\overline{\text{RESETP}}$ 端子にローレベルを入力する。
2. RWDTCのカウンタを開始し、カウンタがオーバーフローしたとき。

(2) H-UDI リセット

H-UDI の端子から H-UDI リセットアサートコマンド送ると、パワーオンリセットと同様の状態になります。詳細は「第 31 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

(3) マニュアルリセット

マニュアルリセットは、ソフトウェアにより発生するリセットです。マニュアルリセットについては、「第 5 章 例外処理」を参照してください。

マニュアルリセット時、 $\overline{\text{RESETOUT}}$ 端子はローレベルになりません。

(4) 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外については、「第 5 章 例外処理」を参照してください。命令 TLB 多重ヒット例外時、 $\overline{\text{RESETOUT}}$ 端子はローレベルになりません。

(5) データ TLB 多重ヒット例外

データ TLB 多重ヒット例外については、「第 5 章 例外処理」を参照してください。データ TLB 多重ヒット例外時、 $\overline{\text{RESETOUT}}$ 端子はローレベルになりません。

14.4.2 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。スリープモードでは、CPU に対するクロック供給を停止します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。また、内蔵周辺モジュールは動作を続けます。CKO 端子にはクロックが出力され続けます。

スリープモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを0に設定します。
2. SLEEP命令を実行します。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺モジュール) およびリセットにより解除されます。

スリープモード中は、ステータスレジスタ (SR) の BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(a) 割り込みによる解除

NMI、IRQ、内蔵周辺モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。割り込み事象レジスタ (INTEVT) には、割り込み要因に対応したコードがセットされます。

(b) リセットによる解除

パワーオンリセットにより、スリープモードは解除されます。

14.4.3 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKO 端子からのクロック出力も停止します。ただし RCLK クロックで動作する RWDT は動作を続け、クロックを必要としない V_{CC} 動作 (I/O) 領域の機能 (NMI、IRQ 割り込み検出など) も動作します。

CPU、キャッシュのレジスタ内容は保持されます。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態については、各章のレジスタの説明を参照してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを1に設定します。
2. SLEEP命令を実行します。
3. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS0端子からハイレベルが出力されます。

(2) ソフトウェアスタンバイモードの解除

割り込み (NMI、IRQ、PINT、RTC) またはパワーオンリセットにより、ソフトウェアスタンバイモードは解除されます。

(a) 割り込みによる解除

外部入力クロックをクロック供給源としている場合、または、水晶振動子をクロック供給源としてソフトウェアスタンバイ時に水晶発振を停止させない場合、NMI、IRQ (エッジ検出)、PINT、RTC 割り込みが発生すると、ソフトウェアスタンバイモードが解除され、STATUS0 端子がローレベルになります。

なお、IRQ (レベル検出) 割り込みによってソフトウェアスタンバイモードが解除されるためには、EXTAL_RTC、XTAL_RTC に水晶振動子を接続して、クロックを供給する必要があります。

水晶振動子をクロック供給源としてソフトウェアスタンバイ時に水晶発振を停止させる場合、NMI 割り込みの発生でのみ、ソフトウェアスタンバイモードが解除され、STATUS0 端子がローレベルになります。水晶発振が停止しているときは、IRQ、PINT、RTC 割り込みでは、ソフトウェアスタンバイモードが解除されませんので注意してください。

この後、割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。また、ソフトウェアスタンバイモード中は、ステータスレジスタ (SR) の BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

SLEEP 命令実行後から、ソフトウェアスタンバイモードが解除されるまでの間、CKO 端子のクロック出力は停止します。

水晶発振を再開するときは、CPG の OSCWTCR を用いて、発振安定時間を確保してください。

(b) リセットによる解除

パワーオンリセットにより、ソフトウェアスタンバイモードは解除されます。

14.4.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

モジュールスタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時の消費電力を低減させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

【注】 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアすることにより行います。

14.4.5 各種モード間の状態遷移

図 14.1 に各種モードの状態遷移を示します。

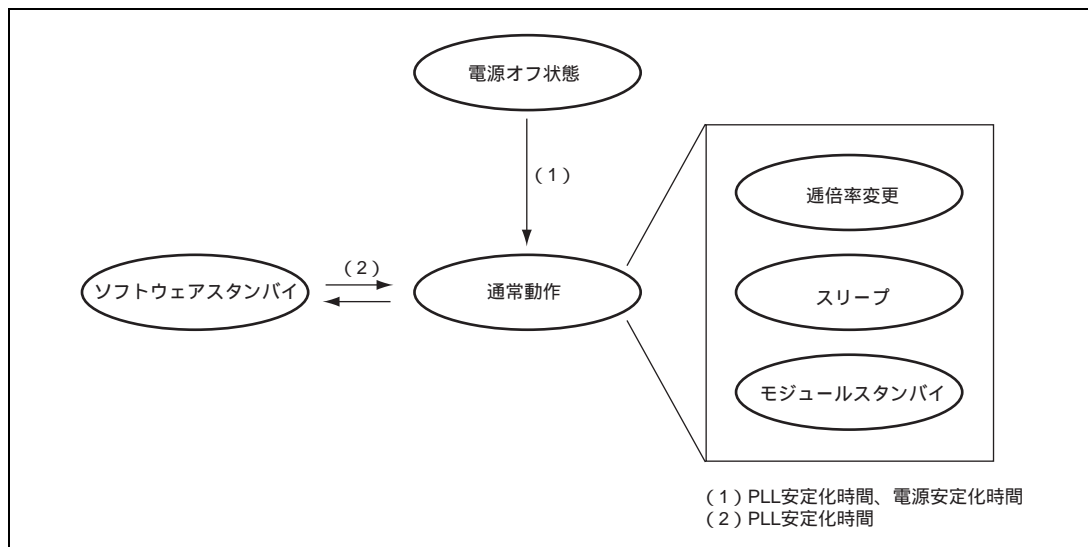


図 14.1 各モード間の状態遷移図

14.4.6 出力端子の変化タイミング

パワーオンリセット時における各端子の出力状態を図 14.2 に示します。

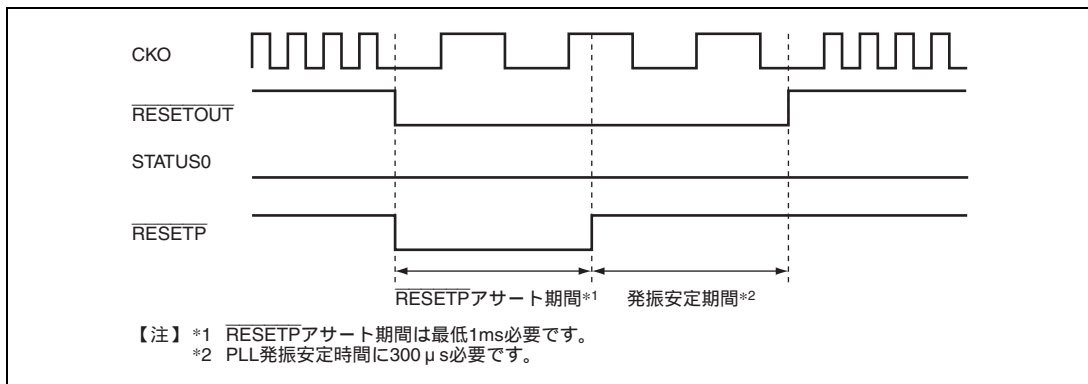


図 14.2 パワーオンリセット時の各端子の出力状態

ソフトウェアスタンバイの場合、各端子の出力状態を図 14.3 に示します。

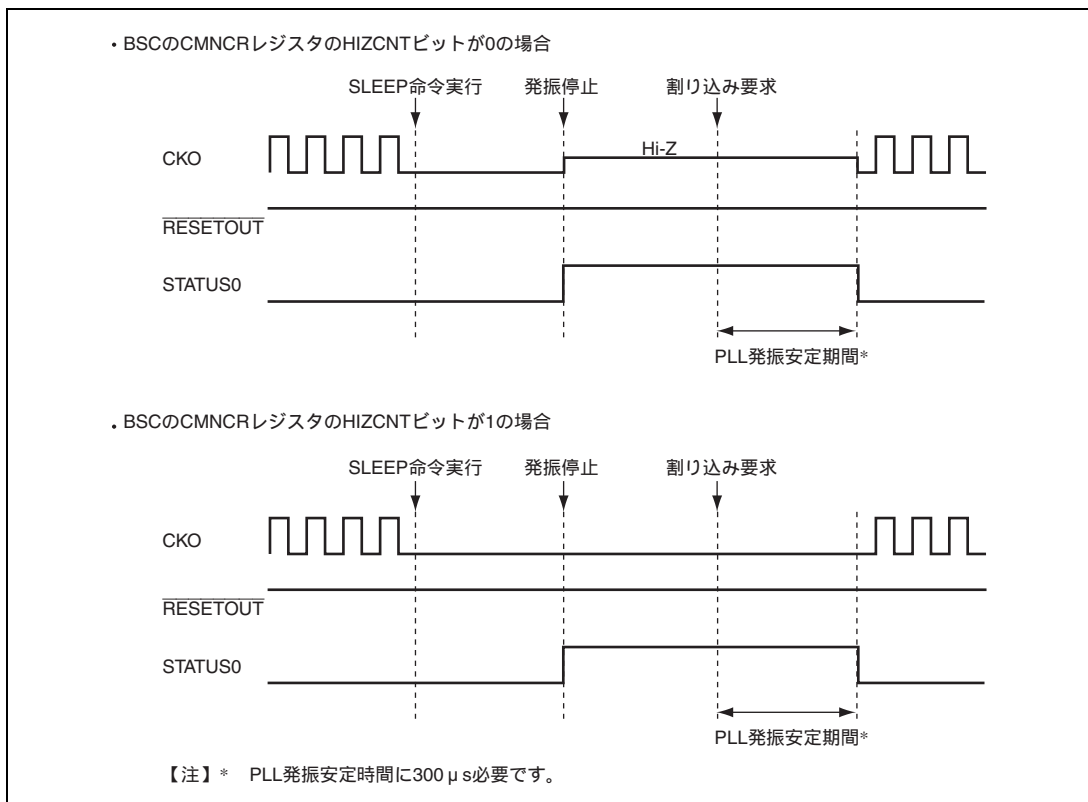


図 14.3 ソフトウェアスタンバイ 割り込み復帰時の各端子の出力状態

15. RCLK ウォッチドッグタイマ (RWDT)

本 LSI は、RCLK ウォッチドッグタイマ (RWDT) を内蔵しており、システムの暴走などにより、カウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

RWDT は 1 チャンネルのタイマであり、EXTAL の 1/1024 の周波数クロック (RCLK) を入力としウォッチドッグタイマとして使用可能です。

15.1 特長

- ウォッチドッグタイマとして使用でき、カウンタオーバーフローにより内部リセットが発生します。
- 8種類のカウント入力クロックを選択可能

RCLKを分周した8種類のクロック (RCLK/1 ~ RCLK/4096) から選択できます。

ブロック図を図 15.1 に示します。

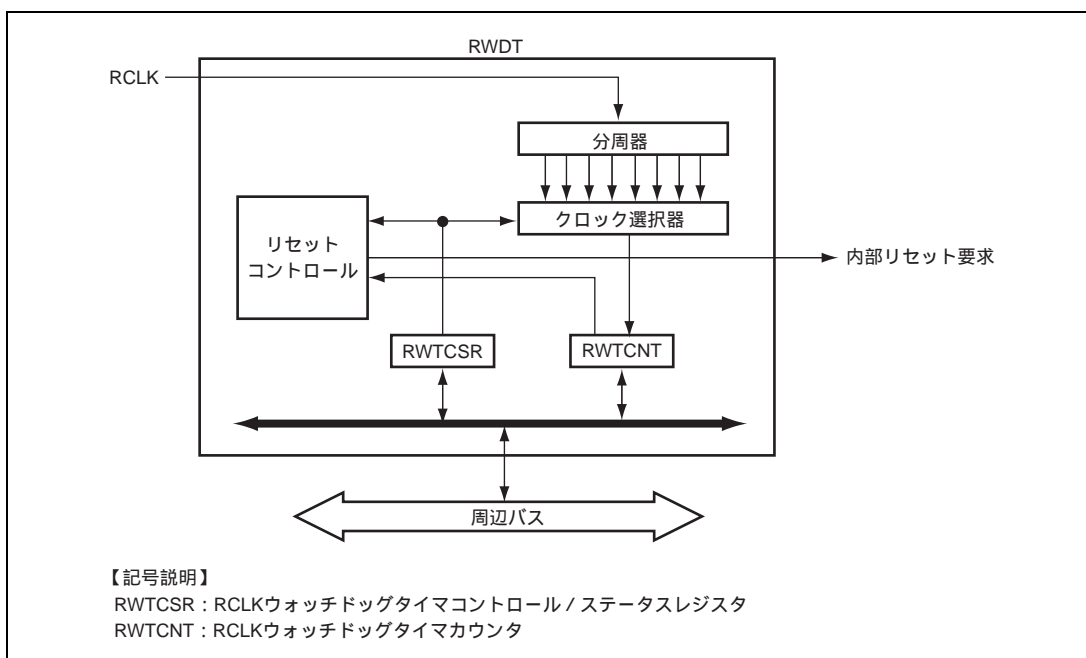


図 15.1 RWDT のブロック図

15.2 入出力端子

RWDT には、入出力端子はありません。

15.3 レジスタの説明

RWDT のレジスタ構成を表 15.1 に示します。また、各処理モードにおけるレジスタの状態を表 15.2 に示します。

表 15.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
RCLK ウォッチドッグタイマカウンタ	RWTCNT	R/W	H'A452 0000	8/16*
RCLK ウォッチドッグタイマコントロール/ステータスレジスタ	RWTCSR	R/W	H'A452 0004	8/16*

【注】 * 書き込みは 16 ビット、読み出しは 8 ビットです。

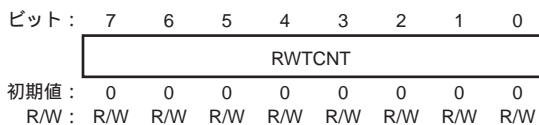
表 15.2 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
RWTCNT	初期化	保持	保持	保持
RWTCSR	初期化	保持	保持	保持

15.3.1 RCLK ウォッチドッグタイマカウンタ (RWTCNT)

RWTCNT は、読み出し / 書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバーフローすると、パワーオンリセットが発生します。RWTCNT カウンタは、パワーオンリセット (RWDT オーバフローリセット含む) 時、H'00 に初期化されます。

RWTCNT カウンタへの書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。



15.3.2 RCLK ウォッチドッグタイマコントロール/ステータスレジスタ (RWTCNR)

RWTCNR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバーフローフラグおよびイネーブルビットから成ります。

RWTCNR は、パワーオンリセット (RWDT オーバフローリセット含む) 時、H'87 に初期化されます。RWTCNR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

ビット :	7	6	5	4	3	2	1	0
	TME	—	WR FLG	WOVF	—	CKS[2:0]		
初期値 :	1*	0	0	0	0	1	1	1
R/W :	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TME	1*	R/W	タイマ動作の開始または停止を設定します。 0 : タイマディスエーブル。カウントアップを停止、RWTCNT の値は保持する 1 : タイマイネーブル
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	WRFLG	0	R	書き込み状態フラグ 本ビットが 1 の間、RWTCNT への書き込みが行えません。RWTCNT への書き込みを行った後、同期化のために一定期間 RWTCNT への書き込みがマスクされる期間を示します。連続して RWTCNT へ書き込む場合は、必ず本フラグが 0 になっていることを確認してください。
4	WOVF	0	R/W	RWTCNT がオーバーフローしたことを示します。RWDT を使用する前に必ず 0 を書いてください。 0 : オーバフローなし 1 : RWTCNT がオーバーフローした
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	CKS[2:0]	111	R/W	<p>RCLK クロックセレクト</p> <p>RCLK クロックを分周して得られる 8 種類のクロックから、RWCNT のカウントに使用するクロックを選択します。表中のオーバフロー周期は、RCLK クロック = 32.56KHz (EXTAL = 33.34MHz) の場合の値です。</p> <p>000 : R (7.9ms)</p> <p>001 : R /4 (31.5ms)</p> <p>010 : R /16 (126.0ms)</p> <p>011 : R /32 (252.0ms)</p> <p>100 : R /64 (503.0ms)</p> <p>101 : R /128 (1.0s)</p> <p>110 : R /1024 (8.1s)</p> <p>111 : R /4096 (32.2s)</p>

【注】 * RWDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず RWDT を停止させてください。

15.3.3 レジスタアクセス時の注意

RWCNT、RWCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- RWCNT、RWCSR へ書き込む時は、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。
- RWCNT へ書き込むときは、上位バイトを H'5A にし下位バイトを書き込むデータにして転送してください。RWCSR へ書き込むときは、上位バイトを H'A5 にし下位バイトを書き込むデータにして転送してください。

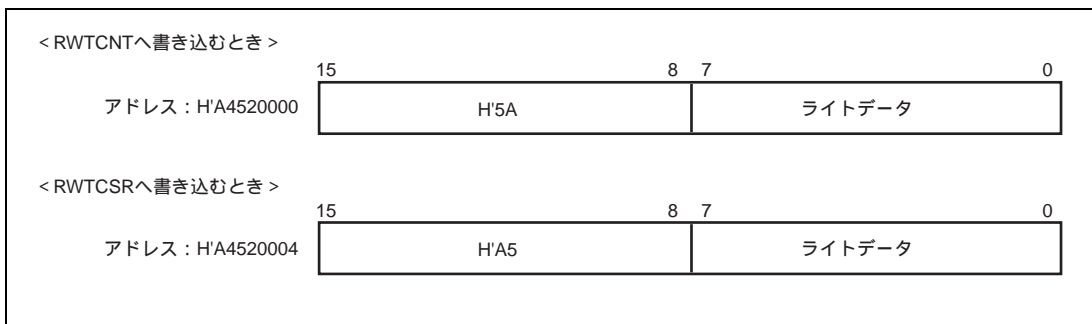


図 15.2 RWDCNT、RWDCSR への書き込み

15.4 RWDT の使用方法

15.4.1 暴走制御

RWTCSR の TME ビットに 1 を設定することによって RCLK でカウントが始まります。カウントオーバーフローすると再度内部リセットが発生します。この機能により本 LSI が暴走した場合にも自動的に内部リセットを発生させることが可能となります。

1. RWTCSRのWOVFビットを0クリアしてください。
2. RWTCSRのCKS[2:0]ビットにカウントクロックの種類を設定してください。
3. RWTCSRのTMEビットを1にセットしてカウントを開始してください。
4. RWCNTがオーバーフローしないように定期的にRWCNTをH'00に書き換えてください。
5. RWCNTがオーバーフローすると、RWDTはRWTCSRのWOVFフラグを1にセットし、パワーオンリセットが発生します。このとき、RWCNTおよびRWTCSRは初期化されます。

16. 16ビットタイマパルスユニット (TPU)

本 LSI は、2つの 16ビットタイマパルスユニット (TPU0、TPU1) を内蔵しています。TPU0 は、4チャンネルの 16ビットタイマにより構成され、TPU1 は、2チャンネルの 16ビットタイマにより構成されます。

16.1 特長

TPU0、TPU1 には次の特長があります。

- 最大4本のパルス出力が可能

TPU0、TPU1は、それぞれ各チャンネルごとに4本 (TPUn_TGRA、TPUn_TGRB、TPUn_TGRC、TPUn_TGRD) のタイマジェネラルレジスタを持ち、TPUn_TGRAはアウトプットコンペアの設定が可能

各チャンネルのTPUn_TGRB、TPUn_TGRC、TPUn_TGRDは、タイマカウンタクリア用レジスタとして使用可能。また、TPUn_TGRC、TPUn_TGRDは、バッファレジスタとして使用可能

- 各チャンネルごとに次の動作を設定可能

コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能

カウンタクリア動作：コンペアマッチによるカウンタクリアが可能

PWMモード：任意デューティのPWM出力が可能

最大4相のPWM出力が可能

- 各チャンネルはバッファ動作を設定可能

アウトプットコンペアレジスタの自動書き換えが可能

- TPU0、TPU1それぞれ1本の割り込み要求

コンペアマッチ / オーバフロー割り込み要求の許可・禁止を要因ごとに独立に設定可能

表 16.1 に TPU の機能一覧を示します。

表16.1 TPU 機能一覧

項 目	TPU0				TPU1	
	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 0	チャンネル 1
カウントクロック	P /1 P /4 P /16 P /64	P /1 P /4 P /16 P /64	P /1 P /4 P /16 P /64	P /1 P /4 P /16 P /64	P /1 P /4 P /16 P /64	P /1 P /4 P /16 P /64
ジェネラルレジスタ	TPU0_TGR0A TPU0_TGR0B	TPU0_TGR1A TPU0_TGR1B	TPU0_TGR2A TPU0_TGR2B	TPU0_TGR3A TPU0_TGR3B	TPU1_TGR0A TPU1_TGR0B	TPU1_TGR1A TPU1_TGR1B
ジェネラルレジスタ / バッファレジスタ	TPU0_TGR0C TPU0_TGR0D	TPU0_TGR1C TPU0_TGR1D	TPU0_TGR2C TPU0_TGR2D	TPU0_TGR3C TPU0_TGR3D	TPU1_TGR0C TPU1_TGR0D	TPU1_TGR1C TPU1_TGR1D
出力端子	TPU0_TO0	TPU0_TO1	TPU0_TO2	TPU0_TO3	TPU1_TO0	TPU1_TO1
カウンタクリア機能	TPU0_TGR の コンペアマッチ	TPU0_TGR の コンペアマッチ	TPU0_TGR の コンペアマッチ	TPU0_TGR の コンペアマッチ	TPU1_TGR の コンペアマッチ	TPU1_TGR の コンペアマッチ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル出力					
PWM モード						
バッファ動作						
割り込み要因	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用

16.2 ブロック図

TPU (TPU0、TPU1) のブロック図を図 16.1 に示します。

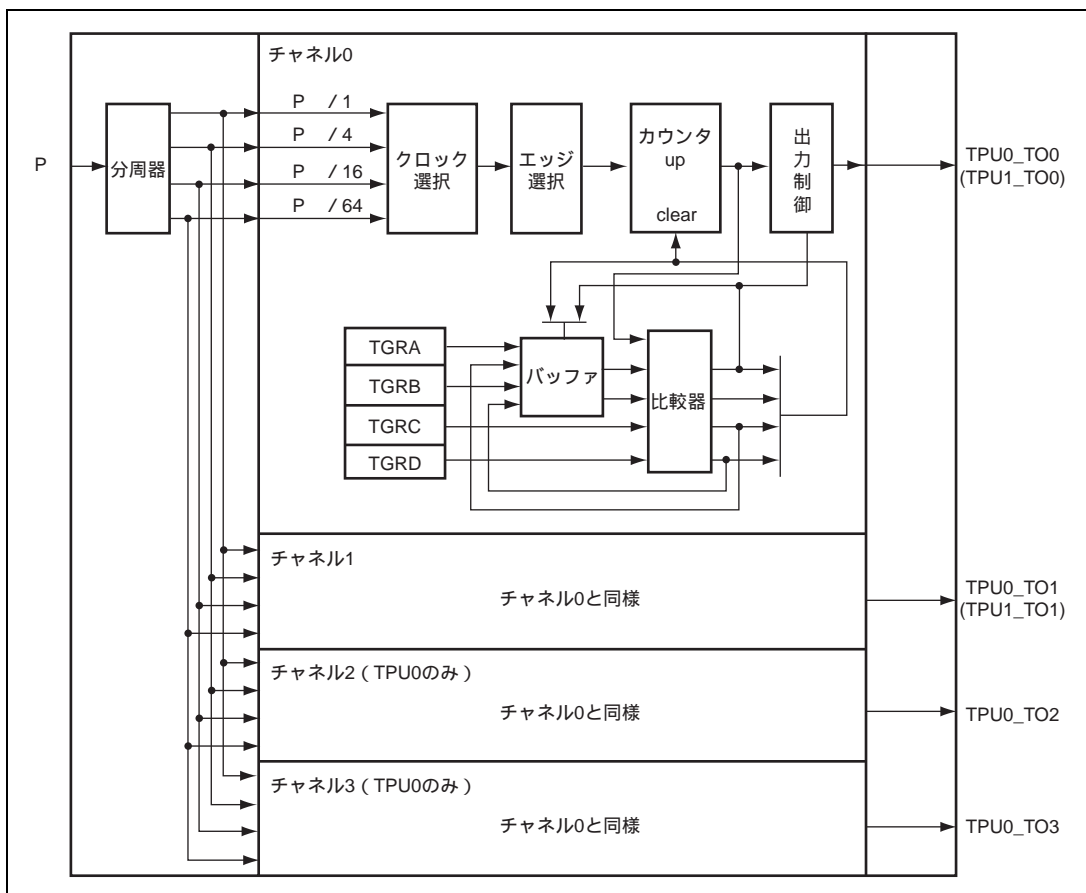


図16.1 TPU (TPU0、TPU1) のブロック図

16.3 入出力端子

TPU0、TPU1 の端子構成を表 16.2 に示します。

表16.2 端子構成

TPU0、TPU1	チャンネル	端子名	入出力	機能
TPU0	0	TPU0_TO0	出力	TPU0 アウトプットコンペアマッチ 0 TPU0_TGR0A のアウトプットコンペア出力 / PWM 出力端子
	1	TPU0_TO1	出力	TPU0 アウトプットコンペアマッチ 1 TPU0_TGR1A のアウトプットコンペア出力 / PWM 出力端子
	2	TPU0_TO2	出力	TPU0 アウトプットコンペアマッチ 2 TPU0_TGR2A のアウトプットコンペア出力 / PWM 出力端子
	3	TPU0_TO3	出力	TPU0 アウトプットコンペアマッチ 3 TPU0_TGR3A のアウトプットコンペア出力 / PWM 出力端子
TPU1	0	TPU1_TO0	出力	TPU1 アウトプットコンペアマッチ 0 TPU1_TGR0A のアウトプットコンペア出力 / PWM 出力端子
	1	TPU1_TO1	出力	TPU1 アウトプットコンペアマッチ 1 TPU1_TGR1A のアウトプットコンペア出力 / PWM 出力端子

16.4 レジスタの説明

TPU0、TPU1 のレジスタ構成を表 16.3 に示します。また、各処理モードにおけるレジスタの状態を表 16.4 に示します。

なお、本文中では TPU0、TPU1 およびチャンネルを省略し、TPUn_***でレジスタ名を表記します。

表16.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
タイマスタートレジスタ	TPU0_TSTR	R/W	H'A463 0000	16
タイマコントロールレジスタ 0	TPU0_TCR0	R/W	H'A463 0010	16
タイマモードレジスタ 0	TPU0_TMDR0	R/W	H'A463 0014	16
タイマ I/O コントロールレジスタ 0	TPU0_TIOR0	R/W	H'A463 0018	16
タイマインタラプトイネーブルレジスタ 0	TPU0_TIER0	R/W	H'A463 001C	16
タイマステータスレジスタ 0	TPU0_TSR0	R/W	H'A463 0020	16
タイマカウンタ 0	TPU0_TCNT0	R/W	H'A463 0024	16
タイマジェネラルレジスタ 0A	TPU0_TGR0A	R/W	H'A463 0028	16
タイマジェネラルレジスタ 0B	TPU0_TGR0B	R/W	H'A463 002C	16
タイマジェネラルレジスタ 0C	TPU0_TGR0C	R/W	H'A463 0030	16
タイマジェネラルレジスタ 0D	TPU0_TGR0D	R/W	H'A463 0034	16
タイマコントロールレジスタ 1	TPU0_TCR1	R/W	H'A463 0050	16
タイマモードレジスタ 1	TPU0_TMDR1	R/W	H'A463 0054	16
タイマ I/O コントロールレジスタ 1	TPU0_TIOR1	R/W	H'A463 0058	16
タイマインタラプトイネーブルレジスタ 1	TPU0_TIER1	R/W	H'A463 005C	16
タイマステータスレジスタ 1	TPU0_TSR1	R/W	H'A463 0060	16
タイマカウンタ 1	TPU0_TCNT1	R/W	H'A463 0064	16
タイマジェネラルレジスタ 1A	TPU0_TGR1A	R/W	H'A463 0068	16
タイマジェネラルレジスタ 1B	TPU0_TGR1B	R/W	H'A463 006C	16
タイマジェネラルレジスタ 1C	TPU0_TGR1C	R/W	H'A463 0070	16
タイマジェネラルレジスタ 1D	TPU0_TGR1D	R/W	H'A463 0074	16
タイマコントロールレジスタ 2	TPU0_TCR2	R/W	H'A463 0090	16
タイマモードレジスタ 2	TPU0_TMDR2	R/W	H'A463 0094	16
タイマ I/O コントロールレジスタ 2	TPU0_TIOR2	R/W	H'A463 0098	16
タイマインタラプトイネーブルレジスタ 2	TPU0_TIER2	R/W	H'A463 009C	16
タイマステータスレジスタ 2	TPU0_TSR2	R/W	H'A463 00A0	16
タイマカウンタ 2	TPU0_TCNT2	R/W	H'A463 00A4	16

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
タイマジェネラルレジスタ 2A	TPU0_TGR2A	R/W	H'A463 00A8	16
タイマジェネラルレジスタ 2B	TPU0_TGR2B	R/W	H'A463 00AC	16
タイマジェネラルレジスタ 2C	TPU0_TGR2C	R/W	H'A463 00B0	16
タイマジェネラルレジスタ 2D	TPU0_TGR2D	R/W	H'A463 00B4	16
タイマコントロールレジスタ 3	TPU0_TCR3	R/W	H'A463 00D0	16
タイマモードレジスタ 3	TPU0_TMDR3	R/W	H'A463 00D4	16
タイマ I/O コントロールレジスタ 3	TPU0_TIOR3	R/W	H'A463 00D8	16
タイマインタラプトイネーブルレジスタ 3	TPU0_TIER3	R/W	H'A463 00DC	16
タイマステータスレジスタ 3	TPU0_TSR3	R/W	H'A463 00E0	16
タイマカウンタ 3	TPU0_TCNT3	R/W	H'A463 00E4	16
タイマジェネラルレジスタ 3A	TPU0_TGR3A	R/W	H'A463 00E8	16
タイマジェネラルレジスタ 3B	TPU0_TGR3B	R/W	H'A463 00EC	16
タイマジェネラルレジスタ 3C	TPU0_TGR3C	R/W	H'A463 00F0	16
タイマジェネラルレジスタ 3D	TPU0_TGR3D	R/W	H'A463 00F4	16
タイマスタートレジスタ	TPU1_TSTR	R/W	H'A44F 0000	16
タイマコントロールレジスタ 0	TPU1_TCR0	R/W	H'A44F 0010	16
タイマモードレジスタ 0	TPU1_TMDR0	R/W	H'A44F 0014	16
タイマ I/O コントロールレジスタ 0	TPU1_TIOR0	R/W	H'A44F 0018	16
タイマインタラプトイネーブルレジスタ 0	TPU1_TIER0	R/W	H'A44F 001C	16
タイマステータスレジスタ 0	TPU1_TSR0	R/W	H'A44F 0020	16
タイマカウンタ 0	TPU1_TCNT0	R/W	H'A44F 0024	16
タイマジェネラルレジスタ 0A	TPU1_TGR0A	R/W	H'A44F 0028	16
タイマジェネラルレジスタ 0B	TPU1_TGR0B	R/W	H'A44F 002C	16
タイマジェネラルレジスタ 0C	TPU1_TGR0C	R/W	H'A44F 0030	16
タイマジェネラルレジスタ 0D	TPU1_TGR0D	R/W	H'A44F 0034	16
タイマコントロールレジスタ 1	TPU1_TCR1	R/W	H'A44F 0050	16
タイマモードレジスタ 1	TPU1_TMDR1	R/W	H'A44F 0054	16
タイマ I/O コントロールレジスタ 1	TPU1_TIOR1	R/W	H'A44F 0058	16
タイマインタラプトイネーブルレジスタ 1	TPU1_TIER1	R/W	H'A44F 005C	16
タイマステータスレジスタ 1	TPU1_TSR1	R/W	H'A44F 0060	16
タイマカウンタ 1	TPU1_TCNT1	R/W	H'A44F 0064	16
タイマジェネラルレジスタ 1A	TPU1_TGR1A	R/W	H'A44F 0068	16
タイマジェネラルレジスタ 1B	TPU1_TGR1B	R/W	H'A44F 006C	16
タイマジェネラルレジスタ 1C	TPU1_TGR1C	R/W	H'A44F 0070	16
タイマジェネラルレジスタ 1D	TPU1_TGR1D	R/W	H'A44F 0074	16

表16.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
TPU0_TSTR	初期化	保持	保持	保持
TPU0_TCR0 ~ 3	初期化	保持	保持	保持
TPU0_TMDR0 ~ 3	初期化	保持	保持	保持
TPU0_TIOR0 ~ 3	初期化	保持	保持	保持
TPU0_TIER0 ~ 3	初期化	保持	保持	保持
TPU0_TSR0 ~ 3	初期化	保持	保持	保持
TPU0_TCNT0 ~ 3	初期化	保持	保持	保持
TPU0_TGRnA (n = 0 ~ 3)	初期化	保持	保持	保持
TPU0_TGRnB (n = 0 ~ 3)	初期化	保持	保持	保持
TPU0_TGRnC (n = 0 ~ 3)	初期化	保持	保持	保持
TPU0_TGRnD (n = 0 ~ 3)	初期化	保持	保持	保持
TPU1_TSTR	初期化	保持	保持	保持
TPU1_TCR0, 1	初期化	保持	保持	保持
TPU1_TMDR0, 1	初期化	保持	保持	保持
TPU1_TIOR0, 1	初期化	保持	保持	保持
TPU1_TIER0, 1	初期化	保持	保持	保持
TPU1_TSR0, 1	初期化	保持	保持	保持
TPU1_TCNT0, 1	初期化	保持	保持	保持
TPU1_TGRnA (n = 0, 1)	初期化	保持	保持	保持
TPU1_TGRnB (n = 0, 1)	初期化	保持	保持	保持
TPU1_TGRnC (n = 0, 1)	初期化	保持	保持	保持
TPU1_TGRnD (n = 0, 1)	初期化	保持	保持	保持

16.4.1 タイマコントロールレジスタ (TPUn_TCR)

TPUn_TCR は、各チャンネルの TPUn_TCNT を制御するレジスタで、各チャンネルごとに 1 本の TPUn_TCR があります。TPUn_TCR は、リセット時に H'0000 に初期化されます。

TPUn_TCR の設定は、TPUn_TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
7~5	CCLR[2:0]	000	R/W	カウンタクリア TPUn_TCNT のクリア要因を選択します。 000: TPUn_TCNT のクリア禁止 001: TPUn_TGRA のコンペアマッチで TPUn_TCNT クリア 010: TPUn_TGRB のコンペアマッチで TPUn_TCNT クリア 011: 設定禁止 100: TPUn_TCNT のクリア禁止 101: TPUn_TGRC のコンペアマッチで TPUn_TCNT クリア 110: TPUn_TGRD のコンペアマッチで TPUn_TCNT クリア 111: 設定禁止
4, 3	CKEG[1:0]	00	R/W	クロックエッジ 入力クロックのエッジを選択します。 内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例: P /4 の両エッジ = P /2 の立ち上がりエッジ)。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント* 1x: 両エッジでカウント* 【記号説明】x: Don't care 【注】 * 入力クロックに P /1 を選択した場合、動作しません。
2~0	TPSC[2:0]	000	R/W	タイマプリスケアラ TPUn_TCNT のカウントクロックを選択します。 各チャンネル独立にクロックソースを選択することができます。表 16.5 に各チャンネルごとに設定可能なクロックソース一覧を示します。また、カウントクロック選択の詳細は、表 16.6 を参照してください。

表16.5 TPU のクロックソース一覧

チャンネル	内部クロック			
	P /1	P /4	P /16	P /64
0				
1				
2				
3				

【注】 : 設定あり、空欄: 設定なし

表16.6 TPSC[2:0]ビットによるカウントクロックの選択

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説明
0-3	0	0	0	内部クロック : P /1 でカウント (初期値)
			1	内部クロック : P /4 でカウント
	1	1	0	内部クロック : P /16 でカウント
			1	内部クロック : P /64 でカウント
1	*	*	設定禁止	

【注】 * Don't care

16.4.2 タイマモードレジスタ (TPUn_TMDR)

TPUn_TMDR は、各チャンネルの動作モードを設定するレジスタで、各チャンネルごとに 1 本の TPUn_TMDR があります。TPUn_TMDR は、リセット時に H'0000 に初期化されます。

TPUn_TMDR の設定は、TPUn_TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BFWT	BFB	BFA	—	MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TPUn_TGRC、TPUn_TGRD をコンペアマッチバッファ動作させた場合、TPUn_TGRA、TPUn_TGRB の更新タイミングを設定します。TPUn_TGRC、TPUn_TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TPUn_TGRA、TPUn_TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TPUn_TGRA、TPUn_TGRB は、カウンタクリア時に書き換え

ビット	ビット名	初期値	R/W	説明
5	BFB	0	R/W	バッファ動作 B TPUn_TGRB を通常動作させるか、TPUn_TGRB と TPUn_TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TPUn_TGRB 通常動作 1 : TPUn_TGRB と TPUn_TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TPUn_TGRA を通常動作させるか、TPUn_TGRA と TPUn_TGRC を組み合わせてバッファ動作させるかを設定します 0 : TPUn_TGRA は通常動作 1 : TPUn_TGRA と TPUn_TGRC はバッファ動作
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	MD[2:0]	000	R/W	動作モード タイマの動作モードを設定します。 000 : 通常動作 001 : 設定禁止 010 : PWM モード 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

16.4.3 タイマ I/O コントロールレジスタ (TPUn_TIOR)

TPUn_TIOR は、TPUn_TO0~3 端子を制御するレジスタで、各チャンネルごとに 1 本の TPUn_TIOR があります。TPUn_TIOR はリセット時に H'0000 に初期化されます。

TPUn_TIOR の設定は、TPUn_TCNT の動作が停止した状態で行ってください。また、TPUn_TIOR は、TPUn_TMDR の設定により影響を受けますので注意してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IOA[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	IOA[2:0]	000	R/W	I/O コントロール TPUn_TO0~3 端子と TPUn_TGRA の機能を設定します。詳細は表 16.7、表 16.8 を参照してください。

表16.7 IOA[2:0]ビットによる TPU0_TO0~3 端子と TPU0_TGRA の設定

チャンネル	IOA[2]	IOA[1]	IOA[0]	説 明	
0~3	0	0	0	常に 0 出力 (初期値)	
			1	TPU0_TO0~3 端子 の初期出力は 0 出力	TPU0_TGRA のコンペアマッチで 0 出力*
			0		TPU0_TGRA のコンペアマッチで 1 出力
		1	0	常に 1 出力	
			1	TPU0_TO0~3 端子 の初期出力は 1 出力	TPU0_TGRA のコンペアマッチで 0 出力
			0		TPU0_TGRA のコンペアマッチで 1 出力*
	1	0	0	常に 0 出力 (初期値)	
			1	TPU1_TO0、1 端子 の初期出力は 0 出力	TPU1_TGRA のコンペアマッチで 0 出力*
			0		TPU1_TGRA のコンペアマッチで 1 出力
1	1	0	常に 1 出力		
		1	TPU1_TO0、1 端子 の初期出力は 1 出力	TPU1_TGRA のコンペアマッチで 0 出力	
		0		TPU1_TGRA のコンペアマッチで 1 出力*	

【注】 * PWM モード時、本設定にしないでください。

表16.8 IOA[2:0]ビットによる TPU1_TO0、1 端子と TPU0_TGRA の設定

チャンネル	IOA[2]	IOA[1]	IOA[0]	説 明	
0~3	0	0	0	常に 0 出力 (初期値)	
			1	TPU1_TO0、1 端子 の初期出力は 0 出力	TPU1_TGRA のコンペアマッチで 0 出力*
			0		TPU1_TGRA のコンペアマッチで 1 出力
		1	0	常に 1 出力	
			1	TPU1_TO0、1 端子 の初期出力は 1 出力	TPU1_TGRA のコンペアマッチで 0 出力
			0		TPU1_TGRA のコンペアマッチで 1 出力*
	1	1	0	常に 0 出力 (初期値)	
			1	TPU1_TO0、1 端子 の初期出力は 0 出力	TPU1_TGRA のコンペアマッチで 0 出力*
			0		TPU1_TGRA のコンペアマッチで 1 出力
1	1	0	常に 1 出力		
		1	TPU1_TO0、1 端子 の初期出力は 1 出力	TPU1_TGRA のコンペアマッチで 0 出力	
		0		TPU1_TGRA のコンペアマッチで 1 出力*	

【注】 * PWM モード時、本設定にしないでください。

16.4.4 タイマインタラプトイネーブルレジスタ (TPUn_TIER)

TPUn_TIER は、各チャンネルの割り込み要求の許可、禁止を制御するレジスタで、各チャンネルごとに 1 本の TPUn_TIER があります。TPUn_TIER は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TC1 EV	TG1 ED	TG1 EC	TG1 EB	TG1 EA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TC1EV	0	R/W	オーバフローインタラプトイネーブル TPUn_TSR の TCFV フラグが 1 にセットされたとき (TCNT のオーバフロー発生)、TCFV フラグによる割り込み要求を許可または禁止します。 0 : TCFV フラグによる割り込み要求を禁止 1 : TCFV フラグによる割り込み要求を許可
3	TG1ED	0	R/W	TPUn_TGR インタラプトイネーブル D TPUn_TSR の TGFD ビットが 1 にセットされたとき (TPUn_TCNT と TPUn_TGRD のコンペアマッチ発生)、TGFD ビットによる割り込み要求を許可または禁止します。 0 : TGFD ビットによる割り込み要求を禁止 1 : TGFD ビットによる割り込み要求を許可
2	TG1EC	0	R/W	TPUn_TGR インタラプトイネーブル C TPUn_TSR の TGFC ビットが 1 にセットされたとき (TPUn_TCNT と TPUn_TGRC のコンペアマッチ発生)、TGFC ビットによる割り込み要求を許可または禁止します。 0 : TGFC ビットによる割り込み要求を禁止 1 : TGFC ビットによる割り込み要求を許可
1	TG1EB	0	R/W	TPUn_TGR インタラプトイネーブル B TPUn_TSR の TGFB ビットが 1 にセットされたとき (TPUn_TCNT と TPUn_TGRB のコンペアマッチ発生)、TGFB ビットによる割り込み要求を許可または禁止します。 0 : TGFB ビットによる割り込み要求を禁止 1 : TGFB ビットによる割り込み要求を許可
0	TG1EA	0	R/W	TPUn_TGR インタラプトイネーブル A TPUn_TSR の TGFA ビットが 1 にセットされたとき (TPUn_TCNT と TPUn_TGRA のコンペアマッチ発生)、TGFA ビットによる割り込み要求を許可または禁止します。 0 : TGFA ビットによる割り込み要求を禁止 1 : TGFA ビットによる割り込み要求を許可

16.4.5 タイマステータスレジスタ (TPUn_TSR)

TPUn_TSR は、各チャンネルのステータス情報を表示するレジスタで、各チャンネルごとに 1 本の TPUn_TSR があります。TPUn_TSR は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TCFV	0	R/(W)*	オーバフローフラグ TPUn_TCNT のオーバフローの発生を示すステータスフラグです。 [クリア条件] TCFV = 1 の状態で TCFV ビットを読み出し後、TCFV ビットに 0 を書き込んだとき [セット条件] TPUn_TCNT の値がオーバフロー (H'FFFF H'0000) したとき
3	TGFD	0	R/(W)*	コンペアフラグ D TPUn_TGRD のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFD = 1 の状態で TGFD ビットを読み出し後、TGFD ビットに 0 を書き込んだとき [セット条件] TPUn_TCNT = TPUn_TGRD になったとき
2	TGFC	0	R/(W)*	コンペアフラグ C TPUn_TGRC のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFC = 1 の状態で TGFC ビットを読み出し後、TGFC ビットに 0 を書き込んだとき [セット条件] TPUn_TCNT = TPUn_TGRC になったとき
1	TGFB	0	R/(W)*	コンペアフラグ B TPUn_TGRB のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFB = 1 の状態で TGFB ビットを読み出し後、TGFB ビットに 0 を書き込んだとき [セット条件] TPUn_TCNT = TPUn_TGRB になったとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	アウトプットコンペアフラグ A TPU _n _TGRA のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFA = 1 の状態で TGFA ビットを読み出し後、TGFA ビットに 0 を書き込んだとき [セット条件] TPU _n _TCNT = TPU _n _TGRA になったとき

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

16.4.6 タイマカウンタ (TPU_n_TCNT)

TPU_n_TCNT は 16 ビットのカウンタで、各チャンネルごとに 1 本の TPU_n_TCNT があります。

TPU_n_TCNT は、リセット時に H'0000 に初期化されます。

16.4.7 タイマジェネラルレジスタ (TPU_n_TGR)

TPU_n_TGR は 16 ビットのレジスタです。各チャンネルごとに 4 本 (TPU_n_TGRA、TPU_n_TGRB、TPU_n_TGRC、TPU_n_TGRD) のジェネラルレジスタがあります。TPU_n_TGRC と TPU_n_TGRD は、バッファレジスタとして動作設定することができます*。TPU_n_TGR はリセット時に H'FFFF に初期化されます。

【注】 * TPU_n_TGR とバッファレジスタの組み合わせは、TPU_n_TGRA ~ TPU_n_TGRC、TPU_n_TGRB ~ TPU_n_TGRD になります。

16.4.8 タイマスタートレジスタ (TPU_n_TSTR)

TPU_n_TSTR は、チャンネル 0 ~ 3 の TCNT の動作 / 停止を選択するレジスタです。

TPU_n_TSTR はリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3*	CST2*	CST1	CST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
3	CST3*	0	R/W	カウンタスタート
2	CST2*	0	R/W	TPU _n _TCNT の動作または停止を選択します。
1	CST1	0	R/W	0 : TPU _n _TCNT _m のカウント動作は停止
0	CST0	0	R/W	1 : TPU _n _TCNT _m はカウント動作
				【記号説明】 m = 3 ~ 0
				【注】 * TPU1 の場合は、チャンネル 0、1 のため CST3 と CST2 に書き込む値を 0 にしてください。

16.5 動作説明

16.5.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TPUn_TCNT と TPUn_TGR があります。TPUn_TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

(a) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TPUn_TGR に転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

(b) PWM モード

PWM 波形を出力するモードです。出力レベルは TPUn_TIOR により設定できます。

TPUn_TGRA、TPUn_TGRB の設定により、デューティ 0~100%の PWM 波形が出力できます。

16.5.2 基本機能

(1) カウンタの動作

TPUn_TSTR の CST[3:0]ビットを 1 にセットすると、対応するチャンネルの TPU_n_TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 16.2 に示します。

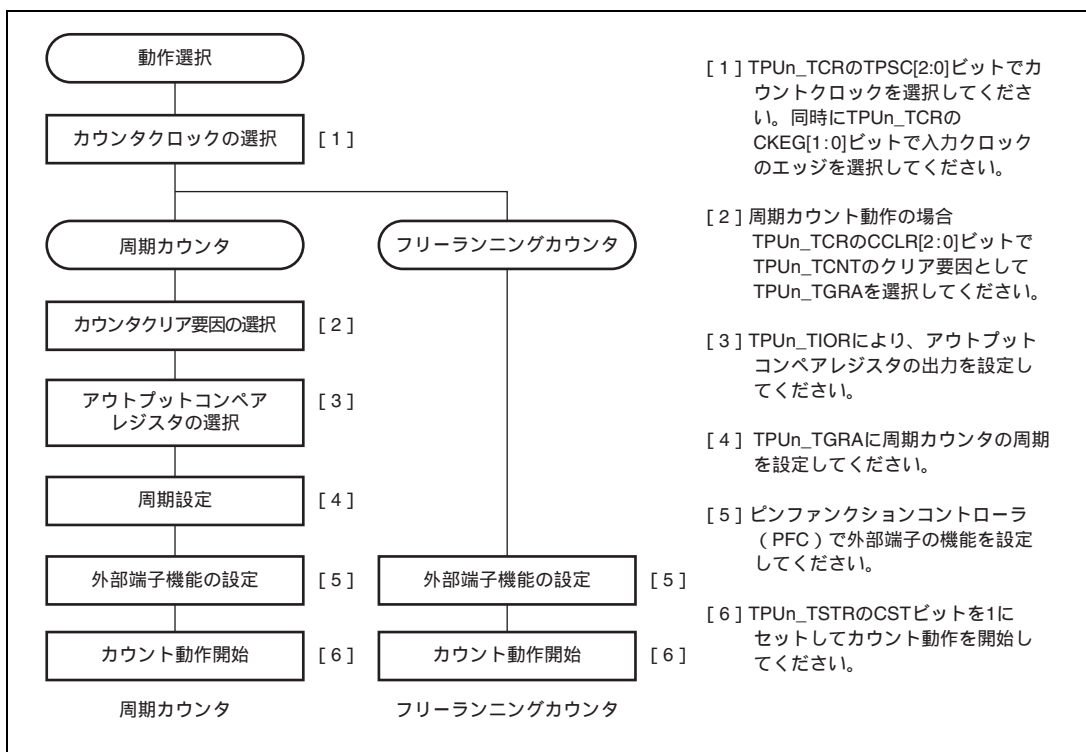


図16.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTPUn_TCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TPUn_TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。

TPUn_TCNTがオーバーフロー (H'FFFF H'0000) すると、TPUn_TSRのTCFVビットが1にセットされます。

TPUn_TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図16.3に示します。

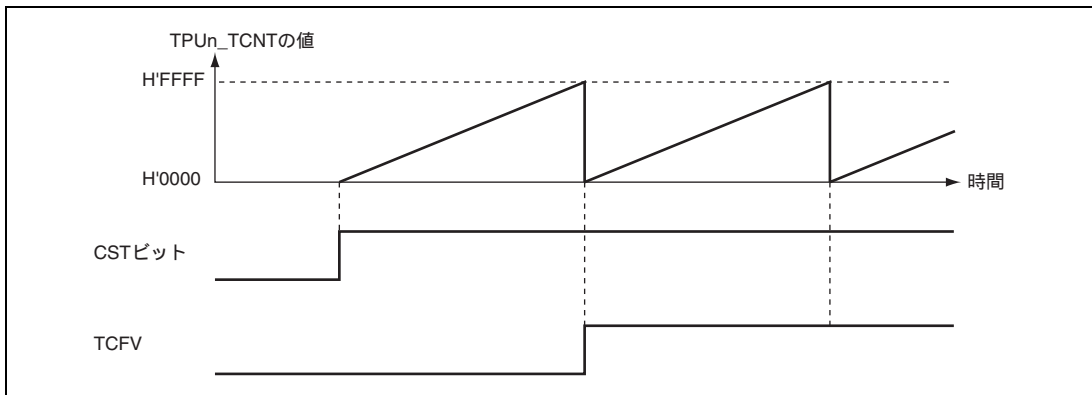


図16.3 フリーランニングカウンタの動作

TPUn_TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTPUn_TCNTは周期カウンタ動作を行います。周期設定用のTPUn_TGRAをアウトプットコンペアレジスタに設定し、TPUn_TCRのCCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TPUn_TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTPUn_TGRAの値と一致すると、TPUn_TSRのTGFビットが1にセットされ、TPUn_TCNTはH'0000にクリアされます。

TPUn_TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図16.4に示します。

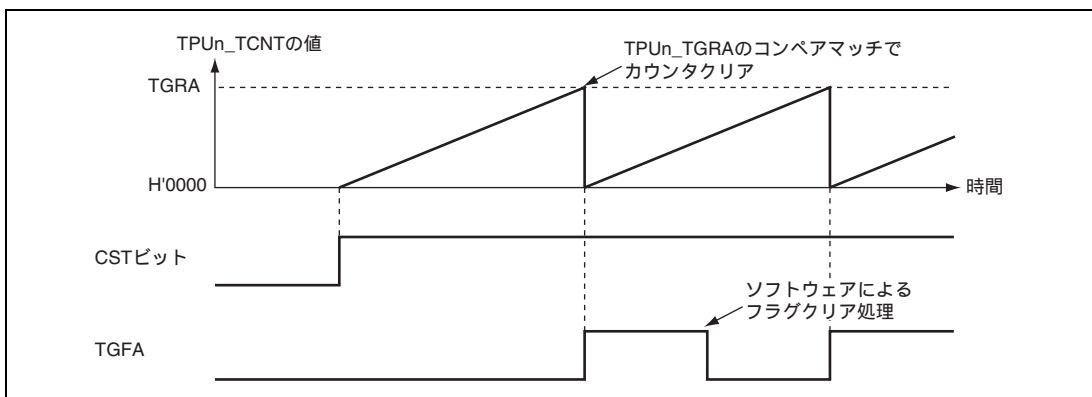


図16.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、TPUn_TGRA のコンペアマッチにより出力端子 (TPUn_TO0 ~ 3 端子) から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 16.5 に示します。

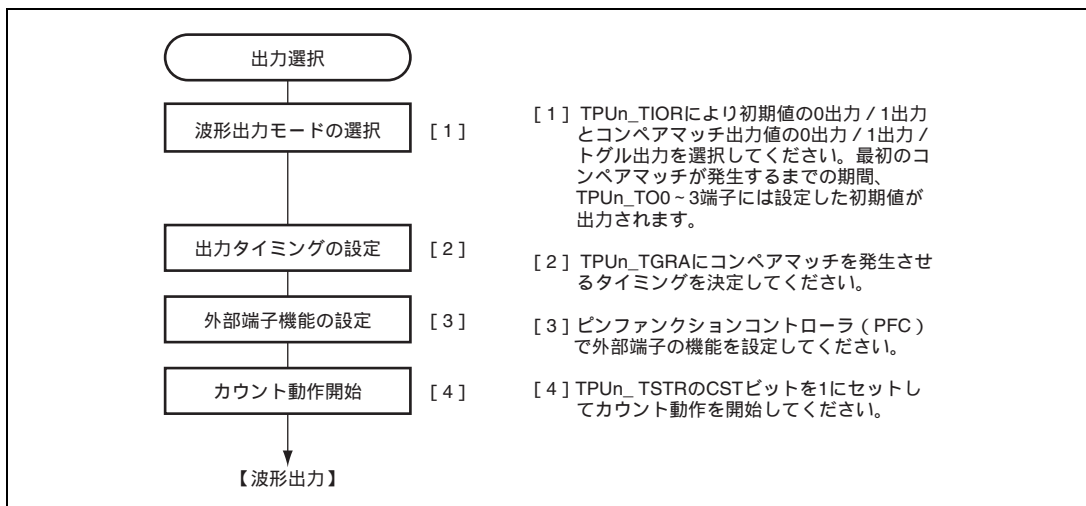


図16.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力を図 16.6 に示します。

TPUn_TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

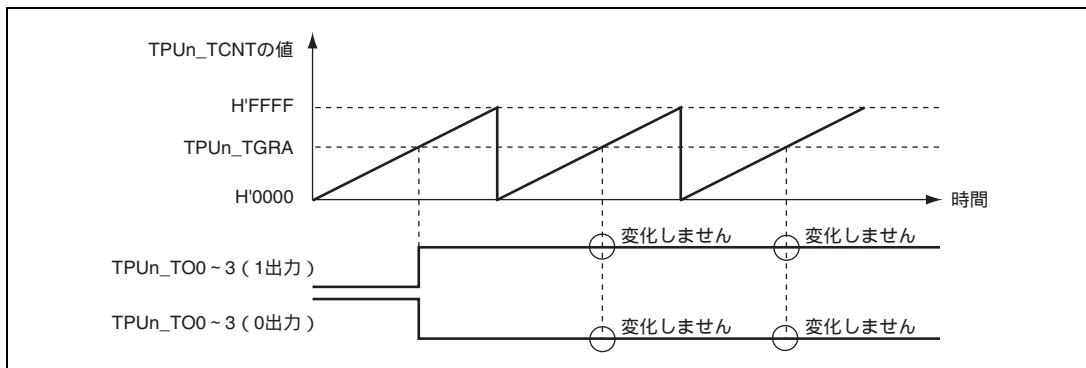


図16.6 0 出力 / 1 出力の動作例

トグル出力の例を図 16.7 に示します。

TPUn_TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

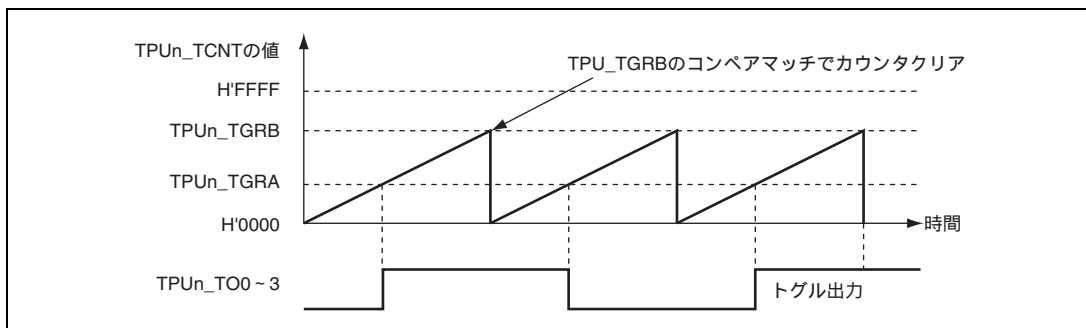


図16.7 トグル出力の動作例

16.5.3 バッファ動作

TPUn_TGRC と TPU_n_TGRD をバッファレジスタとして使用することができます。

表 16.8 にバッファ動作時のレジスタの組み合わせを示します。

表16.9 レジスタの組み合わせ

タイマジェネラルレジスタ	バッファレジスタ
TPUn_TGRA	TPUn_TGRC
TPUn_TGRB	TPUn_TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 16.8 に示します。

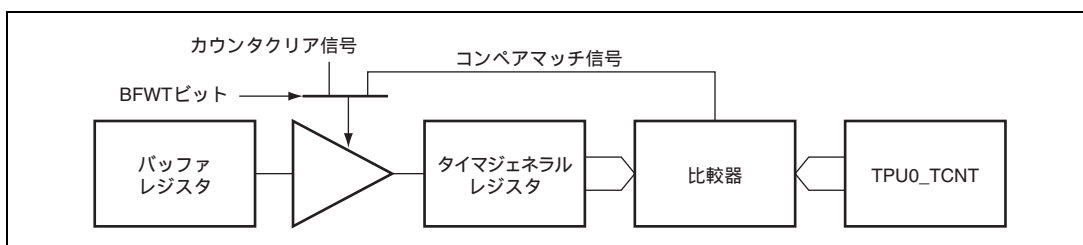


図16.8 コンペアマッチバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 16.9 に示します。

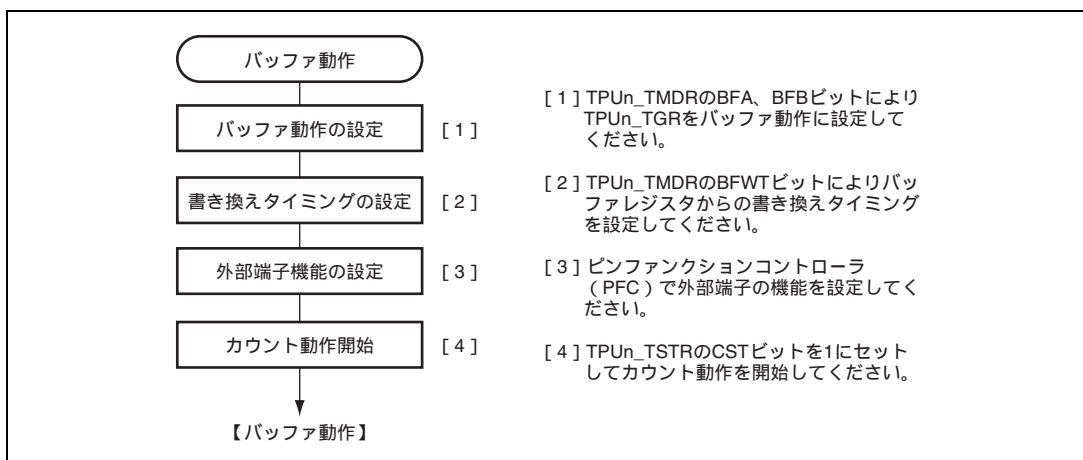


図16.9 バッファ動作の設定手順例

(2) バッファ動作例

チャンネル 0 を PWM モードに設定し、 $TPUn_TGRA$ と $TPUn_TGRC$ をバッファ動作に設定した場合の動作例を図 16.10 に示します。 $TPUn_TCNT$ はコンペアマッチ B によりクリア、出力 ($TPUn_TO0 \sim 3$ 端子) はコンペアマッチ A で 1 出力、カウンタクリアで初期値 0 出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。

コンペアマッチ A が発生すると出力を変化させます。 $TPUn_TGRB$ によってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタ $TPUn_TGRC$ の値がタイマジェネラルレジスタ $TPUn_TGRA$ に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「16.5.4 PWM モード」を参照してください。

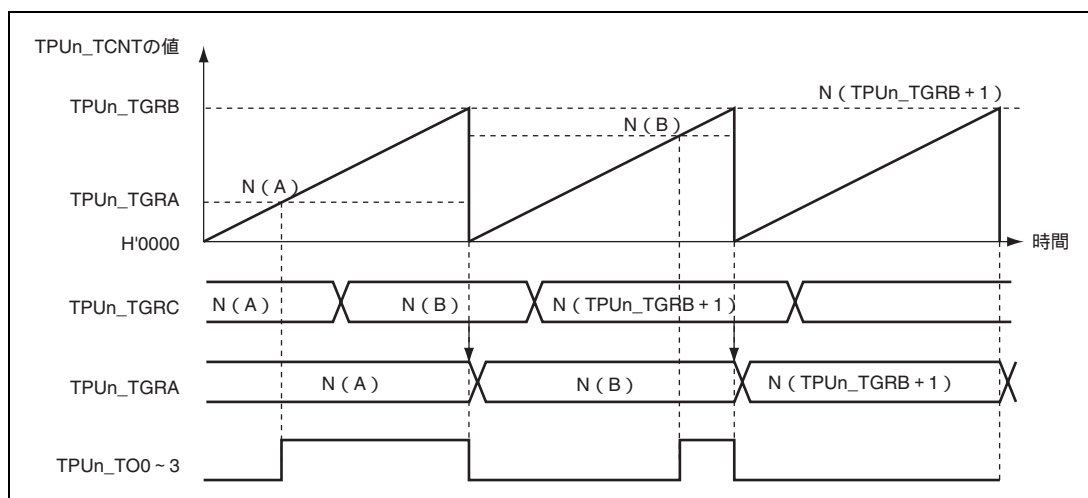


図16.10 バッファ動作例

16.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TPUn_TGRA のコンペアマッチによる出力レベルは 0 出力 / 1 出力の中から選択可能です。

TPUn_TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャネル独立に PWM モードに設定できます。

TPUn_TGRA をデューティレジスタ、TPUn_TGRB を周期レジスタに使用して、TPUn_TO0 ~ 3 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで TPUn_TO0 ~ 3 端子の出力値は TPUn_TIOR で設定した初期出力が出力されます。必ず TPUn_TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトグル出力を選択した場合、動作しません。

デューティ 0% と 100% の条件を以下に示します。

- デューティ 0% : デューティレジスタ (TPUn_TGRA) に対して周期レジスタ (TPUn_TGRB) の設定値を TGRB + 1 にした場合
- デューティ 100% : デューティレジスタ (TPUn_TGRA) の設定値が 0 の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 16.11 に示します。



図16.11 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 16.12 に示します。

図 16.12 は、TPUn_TCNT のクリア要因を TPUn_TGRB のコンペアマッチとし、TPUn_TGRA の初期出力値を 0、出力値を 1 に設定した場合の例です。

TPUn_TGRB に設定した値が周期となり、TPUn_TGRA に設定した値がデューティになります。

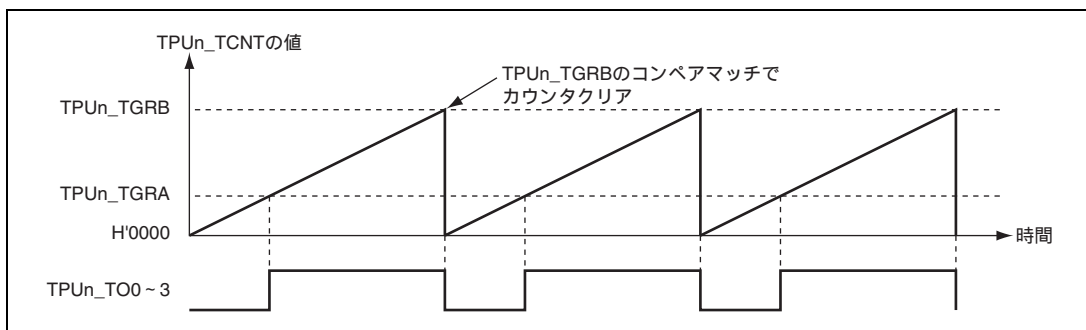


図16.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 16.13 に示します。

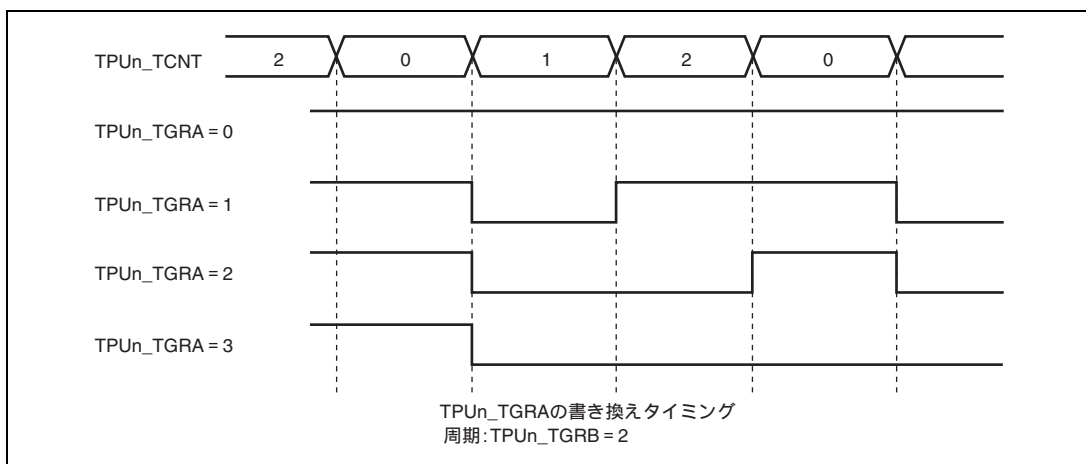


図16.13 PWM モードの動作例 (2)

17. リアルタイムクロック (RTC)

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

17.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1 ~ 64Hz タイマ (バイナリ表示) を搭載
64Hz カウンタが、RTC の分周回路のうち 64Hz ~ 1Hz の状態を示します。
- スタート / ストップ機能
- 30 秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256 秒、1/64 秒、1/16 秒、1/4 秒、1/2 秒、1 秒、2 秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

【注】 本 LSI は、RTC 用電源は分離しておらず、入出力用電源 (VccQ、VssQ) から給電します。RTC 以外の電源を切断し、RTC だけを動作させることはできません。

図 17.1 に RTC のブロック図を示します。

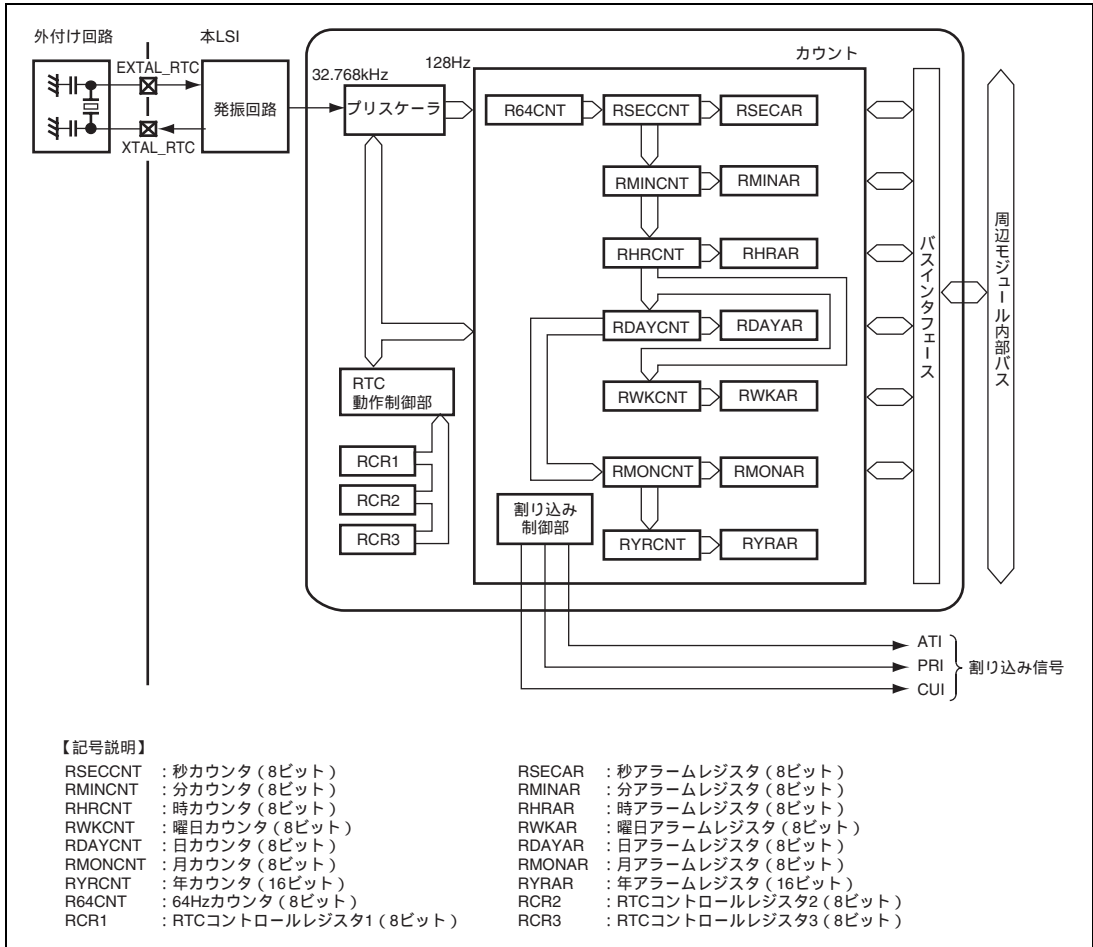


図 17.1 RTC のブロック図

17.2 入出力端子

RTC の端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	端子名	入出力	機能
内蔵 RTC 用水晶振動子接続端子	EXTAL_RTC	入力	RTC 用水晶振動子を接続します。
	XTAL_RTC	出力	RTC 用水晶振動子を接続します。

【注】 *1 RTC を使用しない場合、EXTAL_RTC では入出力用電源 (VccQ : 3.3V) でプルアップしてください。XTAL_RTC には何も接続しないでください。

*2 EXTAL_RTC は、水晶振動子と接続する端子であり、外部クロックの入力はできません。

17.3 レジスタの説明

RTC のレジスタ構成を表 17.2 に示します。また、各処理モードにおけるレジスタの状態を表 17.3 に示します。

表 17.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R/W	H'A465 FEC0	8
秒カウンタ	RSECCNT	R/W	H'A465 FEC2	8
分カウンタ	RMINCNT	R/W	H'A465 FEC4	8
時カウンタ	RHRCNT	R/W	H'A465 FEC6	8
曜日カウンタ	RWKCNT	R/W	H'A465 FEC8	8
日カウンタ	RDAYCNT	R/W	H'A465 FECA	8
月カウンタ	RMONCNT	R/W	H'A465 FECC	8
年カウンタ	RYRCNT	R/W	H'A465 FECE	16
秒アラームレジスタ	RSECAR	R/W	H'A465 FED0	8
分アラームレジスタ	RMINAR	R/W	H'A465 FED2	8
時アラームレジスタ	RHRAR	R/W	H'A465 FED4	8
曜日アラームレジスタ	RWKAR	R/W	H'A465 FED6	8
日アラームレジスタ	RDAYAR	R/W	H'A465 FED8	8
月アラームレジスタ	RMONAR	R/W	H'A465 FEDA	8
年アラームレジスタ	RYRAR	R/W	H'A465 FEE0	16
RTC コントロールレジスタ 1	RCR1	R/W	H'A465 FEDC	8
RTC コントロールレジスタ 2	RCR2	R/W	H'A465 FEDE	8
RTC コントロールレジスタ 3	RCR3	R/W	H'A465 FEE4	8

表 17.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
R64CNT	保持	保持	保持	保持
RSECCNT	保持	保持	保持	保持
RMINCNT	保持	保持	保持	保持
RHRCNT	保持	保持	保持	保持
RWKCNT	保持	保持	保持	保持
RDAYCNT	保持	保持	保持	保持
RMONCNT	保持	保持	保持	保持
RYRCNT	保持	保持	保持	保持
RSECAR	保持*	保持	保持	保持
RMINAR	保持*	保持	保持	保持
RHRAR	保持*	保持	保持	保持
RWKAR	保持*	保持	保持	保持
RDAYAR	保持*	保持	保持	保持
RMONAR	保持*	保持	保持	保持
RYRAR	初期化	保持	保持	保持
RCR1	初期化	保持	保持	保持
RCR2	保持	保持	保持	保持
RCR3	初期化	保持	保持	保持

【注】 * パワーオンリセット時に初期化されるビットがあります。

17.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

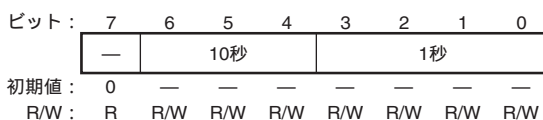
ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
6	1Hz	不定	R	RTCの分周回路のうち、1Hz～64Hzの状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

17.3.2 秒カウンタ (RSECCNT)

RSECCNTは、RTCのBCDコード化された秒部分の設定/カウント用のカウンタであり、64Hzカウンタの1秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00～59です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。



ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
6～4		不定	R/W	秒十位カウンタ 秒十位は0から5をカウントして、60秒のカウントを行います。
3～0		不定	R/W	秒一位カウンタ 秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が+1されます。

17.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された部分の設定 / カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	10分			1分			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
6~4		不定	R/W	分十位カウンタ 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0		不定	R/W	分一位カウンタ 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

17.3.4 時カウンタ (RHRCNT)

RHRCNT は、RTC の BCD コード化された時部分の設定 / カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4		不定	R/W	時十位カウント 時十位は0から2をカウントします。
3~0		不定	R/W	時一位カウント 時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が+1されます。

17.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、RTC の BCD コード化された曜日部分の設定 / カウント用のカウンタであり、時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0~6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	曜日		
初期値:	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
2~0		不定	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定しないでください。)

17.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定 / カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので。確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	10日		1日			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5、4		不定	R/W	日十位カウンタ
3~0		不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりを発生すると日十位が +1 されます。

17.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定 / カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	10月		1月		
初期値 :	0	0	0	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4		不定	R/W	月十位カウント
3~0		不定	R/W	月一位カウント 月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。

17.3.8 年カウンタ (RYRCNT)

RYRCNT は、RTC の BCD コード化された年部分の設定 / カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12		不定	R/W	年千位カウント
11~8		不定	R/W	年百位カウント
7~4		不定	R/W	年十位カウント
3~0		不定	R/W	年一位カウント

17.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RSECCNT の値と比較を行います。
6~4		不定	R/W	秒十位の設定値
3~0		不定	R/W	秒一位の設定値

17.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4		不定	R/W	分十位の設定値
3~0		不定	R/W	分一位の設定値

17.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	時十位の設定値
3~0		不定	R/W	時一位の設定値

17.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセット時は初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	曜日		
初期値 :	0	0	0	0	0	—	—	—
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
2~0		不定	R/W	曜日の設定値

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

17.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10日				1日	
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	日十位の設定値
3~0		不定	R/W	日一位の設定値

17.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR は、ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	10月	1月			
初期値 :	0	0	0	—	—	—	—	—
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4		不定	R/W	月十位の設定値
3~0		不定	R/W	月一位の設定値

17.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~12		不定	R/W	年千位の設定値
11~8		不定	R/W	年百位の設定値
7~4		不定	R/W	年十位の設定値
3~0		不定	R/W	年一位の設定値

17.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

パワーオンリセットおよびマニュアルリセット時は、H'00 に初期化されます。ただし、CF フラグは、分周回路がリセット (RCR2 の RESET と ADJ を 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。スタンバイモード時には、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CF	—	—	CIE	AIE	—	—	AF
初期値:	—	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ (CUI) このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき
6, 5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ (CUI) 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ (ATI) アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる

ビット	ビット名	初期値	R/W	説明
2, 1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
0	AF	0	R/W	アラームフラグ (ATI) アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0 : アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1 : アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

17.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット :	7	6	5	4	3	2	1	0
	PEF	PES[2:0]		RTCEN	ADJ	RESET	START	
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ (PRI) PES[2:0]ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みが発生します。 0 : PES[2:0]ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES[2:0]ビットで設定された周期で割り込み発生あり [セット条件] PES[2:0]ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説明
6~4	PES[2:0]	すべて 0	R/W	割り込みイネーブルフラグ (PRI) 周期割り込みの周期を設定します。 000: 周期割り込み発生なし 001: 周期割り込み発生の周期を 1/256 秒ごとにする 010: 周期割り込み発生の周期を 1/64 秒ごとにする 011: 周期割り込み発生の周期を 1/16 秒ごとにする 100: 周期割り込み発生の周期を 1/4 秒ごとにする 101: 周期割り込み発生の周期を 1/2 秒ごとにする 110: 周期割り込み発生の周期を 1 秒ごとにする 111: 周期割り込み発生の周期を 2 秒ごとにする
3		1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされます。自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 分周回路をリセット
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0: 秒、分、時、日、曜日、月、年カウンタは停止* 1: 秒、分、時、日、曜日、月、年カウンタは通常動作* 【注】* 64Hz カウンタは、RTCEN ビットで停止させない限り動作します

17.3.18 RTC コントロールレジスタ 3 (RCR3)

RCR3は、ENB ビットが1にセットされていると、RYRCNTの値と比較を行います。アラームレジスタ(RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3)のうち、ENB ビットが1にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1のアラームフラグが1にセットされます。

RYRARのENB ビットは、パワーオンリセットで初期化されます。RCR3の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1にセットされていると、RYRCNTの値と比較を行います。
6~0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。

17.4 動作説明

RTCの使用例を示します。

17.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

17.4.2 時刻設定手順

時刻設定手順例を図 17.2 に示します。

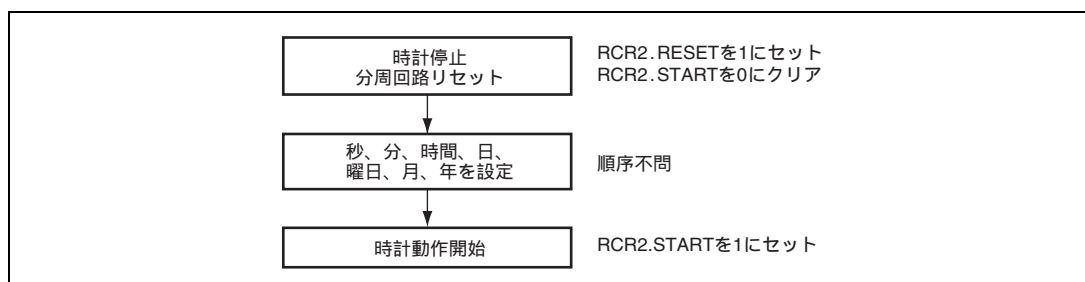


図 17.2 時刻設定手順

17.4.3 時刻読み出し手順

時刻読み出し手順を図 17.3 に示します。

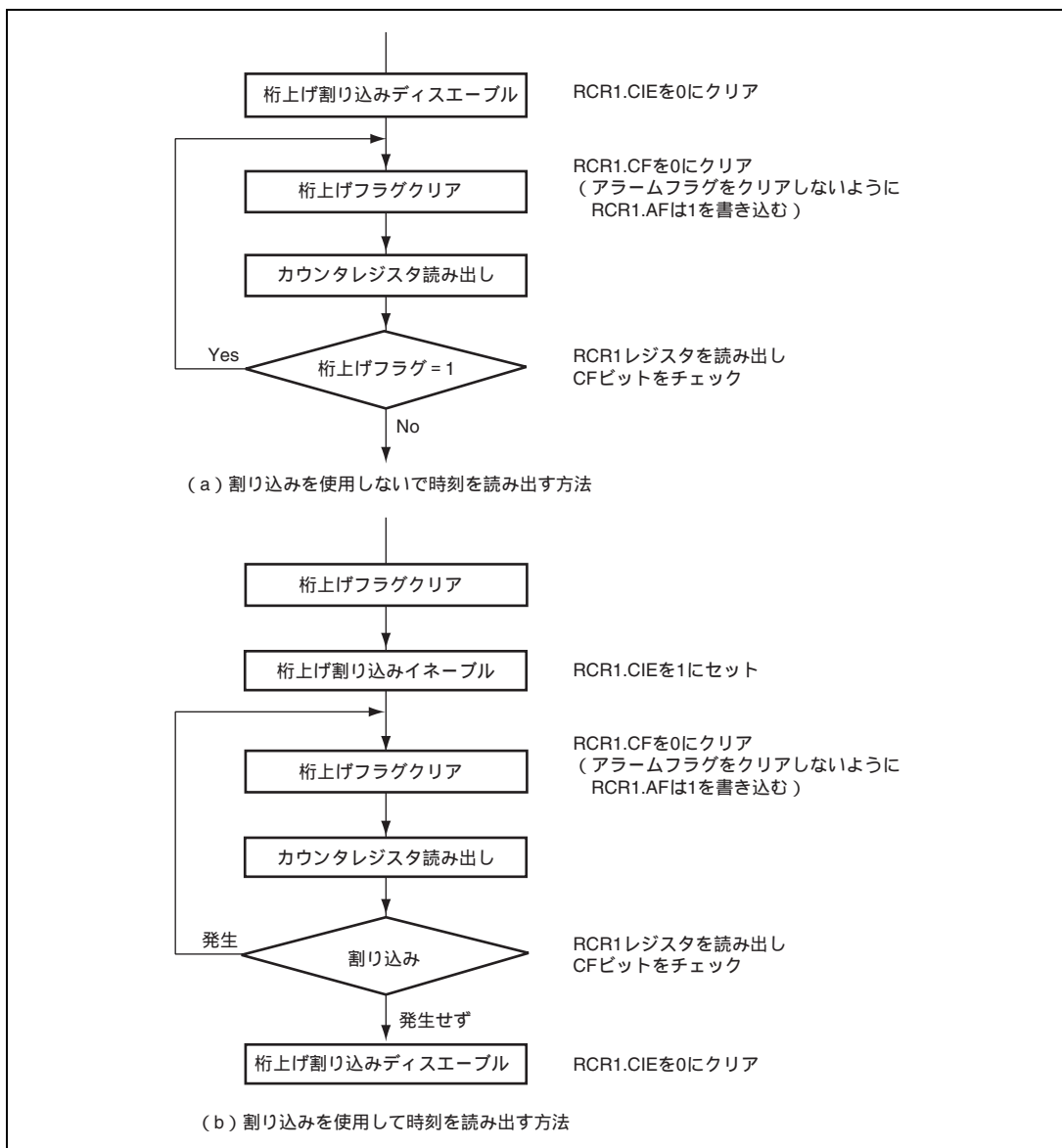


図 17.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 17.3 の (a) に、桁上げ割り込みを使用する方法を図 17.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

17.4.4 アラーム機能

アラーム機能の使用例を図 17.4 に示します。

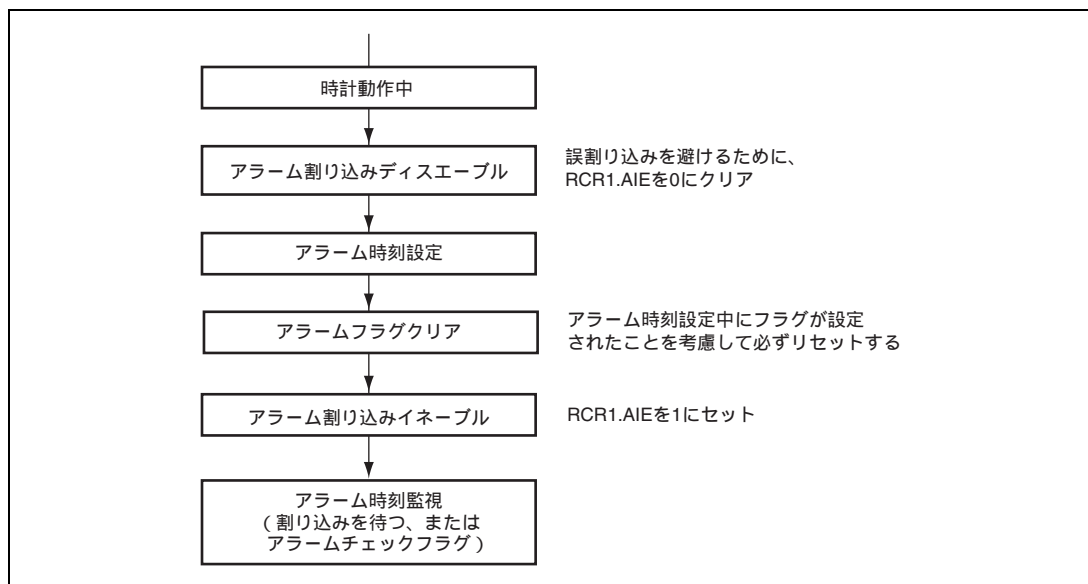


図 17.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENB ビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1.AFに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIEに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

17.5 使用上の注意事項

17.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0=1 のとき) は、以下の RTC レジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

17.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 17.5 に示します。

周期割り込みは、RCR2 の PES[2:0] で設定した周期で定期的に割り込みを発生させることができます。PES[2:0] で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] 設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

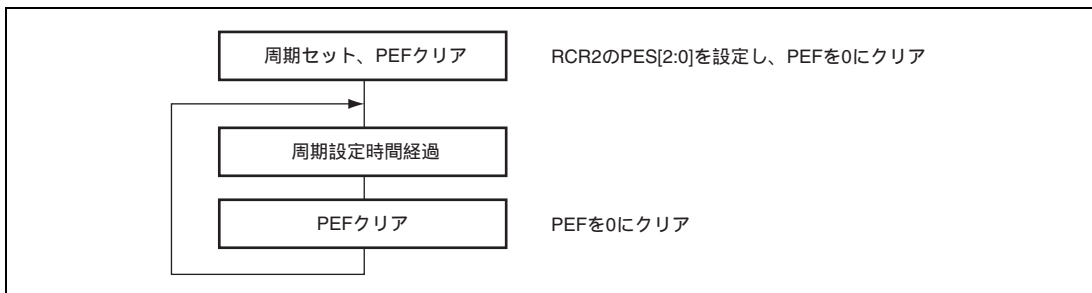


図 17.5 周期割り込み機能の使用方法

17.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2RTC クロック以上待ってからスタンバイ状態に遷移してください。

17.5.4 水晶発振回路

RTC 用水晶発振回路接続例を図 17.6 に示します。

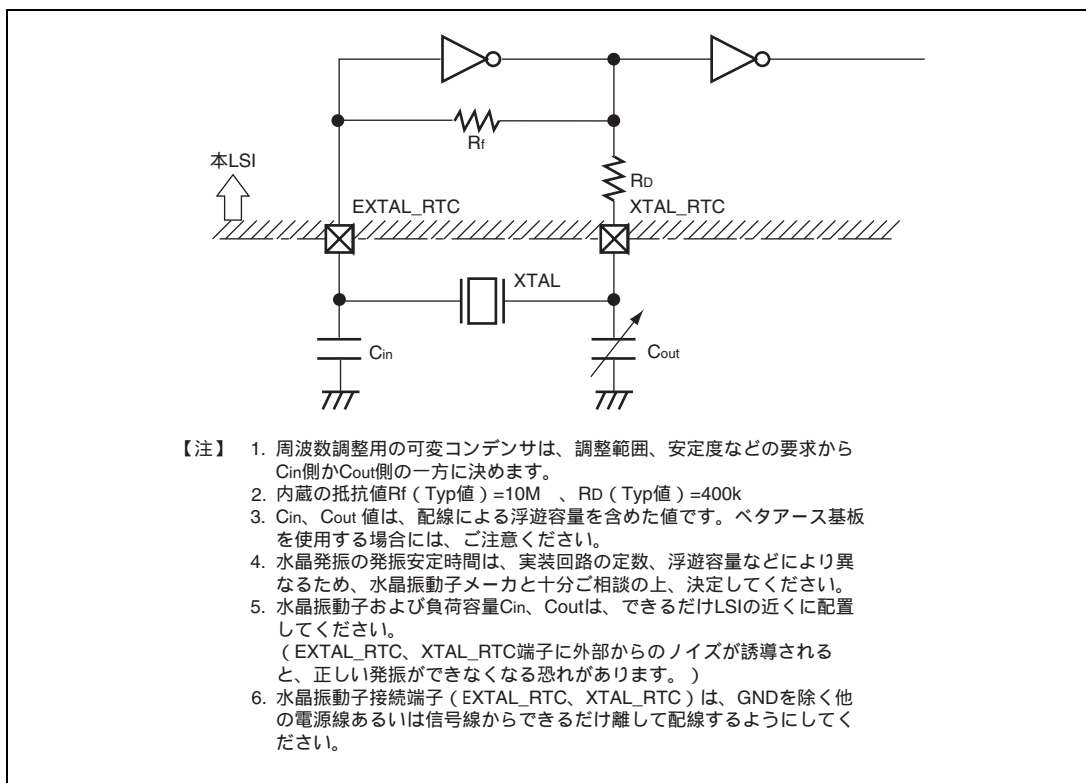


図 17.6 水晶発振回路接続例

17.5.5 30 秒調整機能の使用について

30 秒調整機能を使用する場合、図 15.7 に示す手順に従ってください。

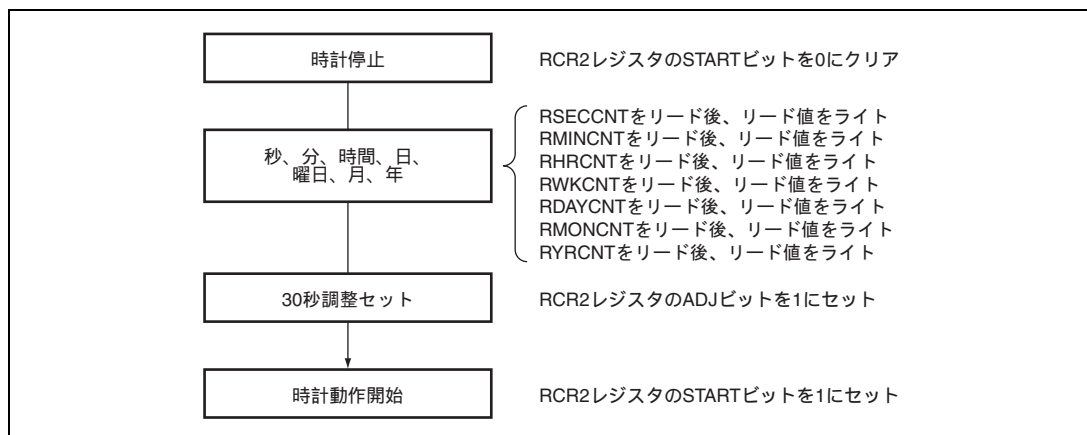


図 17.7 30 秒調整機能使用

30 秒調整を使用する場合、秒、分、時間、日、曜日、月、年カウンタに対し書き込みを行う必要があります。そのため RCR2 レジスタの START ビットを 0 にクリアし、分、時間、日、曜日、月、年カウンタを読み出し後、読み出し値を書き込んでから RCR2 レジスタの ADJ ビットを 1 にセットしてください。30 秒調整後、RCR2 レジスタの START ビット 1 にセットして時計動作を開始します。

18. タイマユニット (TMU)

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を内蔵しています。

18.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'0000 0000 H'FFFF FFFF)
- 各チャンネルとも、5種類のカウンタ入力クロックを選択可能
P /4、P /16、P /64、P /256、P /1024

TMU のブロック図を図 18.1 に示します。

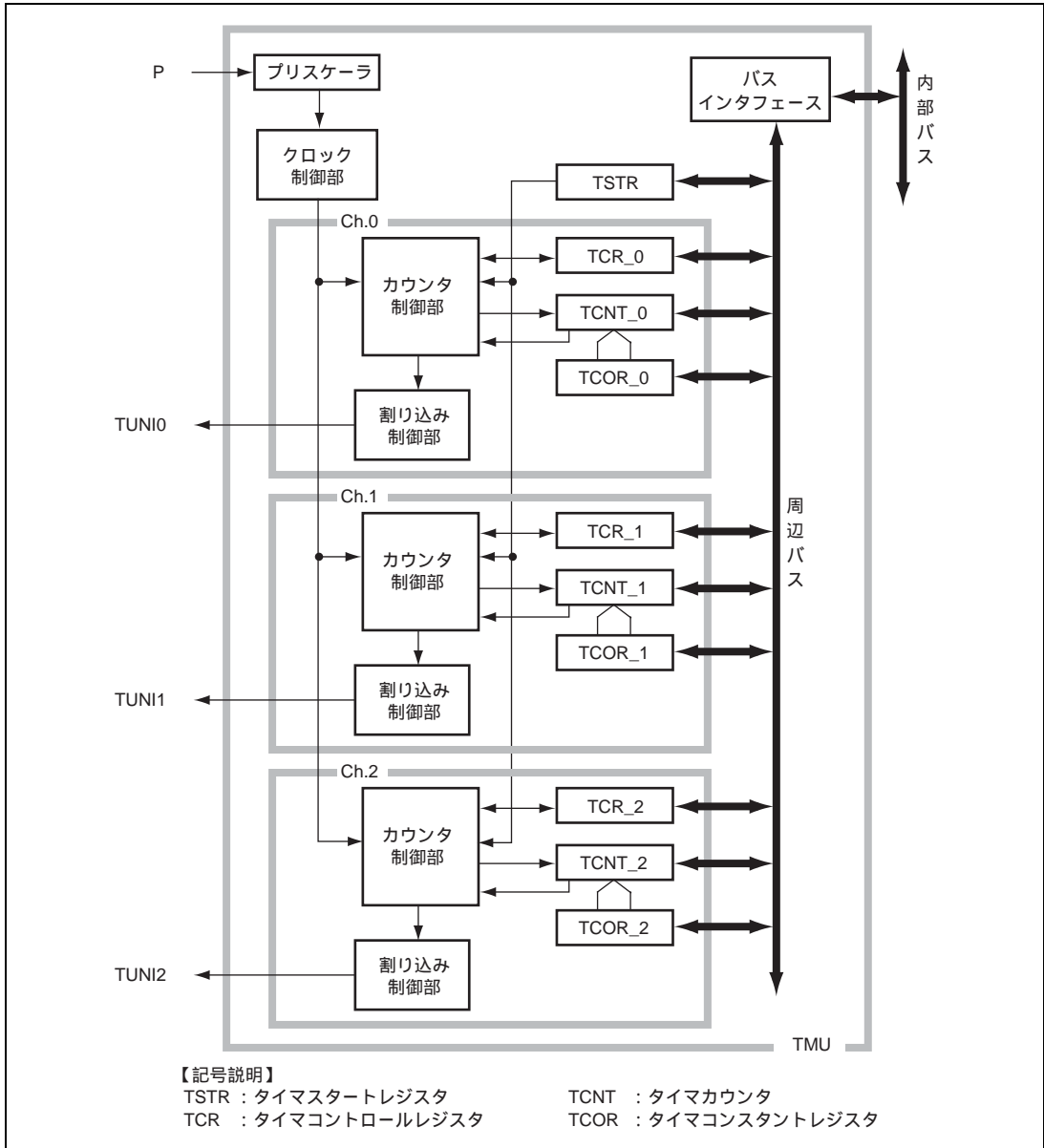


図 18.1 TMU のブロック図

18.2 レジスタの説明

TMU のレジスタ構成を表 18.1 に示します。また、各処理モードにおけるレジスタの状態を表 18.2 に示します。
 なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表 18.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
タイムスタートレジスタ	TSTR	R/W	H'FFD8 0004	8
タイムコンスタントレジスタ_0	TCOR_0	R/W	H'FFD8 0008	32
タイムカウンタ_0	TCNT_0	R/W	H'FFD8 000C	32
タイムコントロールレジスタ_0	TCR_0	R/W	H'FFD8 0010	16
タイムコンスタントレジスタ_1	TCOR_1	R/W	H'FFD8 0014	32
タイムカウンタ_1	TCNT_1	R/W	H'FFD8 0018	32
タイムコントロールレジスタ_1	TCR_1	R/W	H'FFD8 001C	16
タイムコンスタントレジスタ_2	TCOR_2	R/W	H'FFD8 0020	32
タイムカウンタ_2	TCNT_2	R/W	H'FFD8 0024	32
タイムコントロールレジスタ_2	TCR_2	R/W	H'FFD8 0028	16

表 18.2 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
TSTR	初期化	保持	保持	保持
TCOR_0	初期化	保持	保持	保持
TCNT_0	初期化	保持	保持	保持
TCR_0	初期化	保持	保持	保持
TCOR_1	初期化	保持	保持	保持
TCNT_1	初期化	保持	保持	保持
TCR_1	初期化	保持	保持	保持
TCOR_2	初期化	保持	保持	保持
TCNT_2	初期化	保持	保持	保持
TCR_2	初期化	保持	保持	保持

18.2.1 タイマスタートレジスタ (TSTR)

TSTR は、タイマカウンタ (TCNT) の動作 / 停止を選択する読み出し / 書き込み可能な 8 ビットのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

18.2.2 タイマコントロールレジスタ (TCR)

TCR は TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し / 書き込み可能な 16 ビットレジスタです。TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグ UNF が 1 にセットされたときの割り込み発生制御、カウンタクロック選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	—	—	TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	UNF	0	R/(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない 【クリア条件】 UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした 【セット条件】 TCNT がアンダフローを起こした
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を禁止 1 : UNF による割り込み (TUNI) を許可
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。 000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : P /1024 でカウント 101、110、111 : 設定禁止

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

18.2.3 タイマコンスタントレジスタ (TCOR)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタで、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.2.4 タイマカウンタ (TCNT)

TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、TCR の TPSC[1:0] ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'0000 0000 H'FFFF FFFF) が発生すると、対応するチャネルの TCR のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、TCOR の値がセットされ、セットされた値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3 動作説明

各チャンネルには、32 ビットの TCNT と TCOR があります。TCNT は、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作が可能です。

18.3.1 カウンタの動作

TSTR の STR[2:0] ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR の UNF フラグがセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 18.2 に示します。

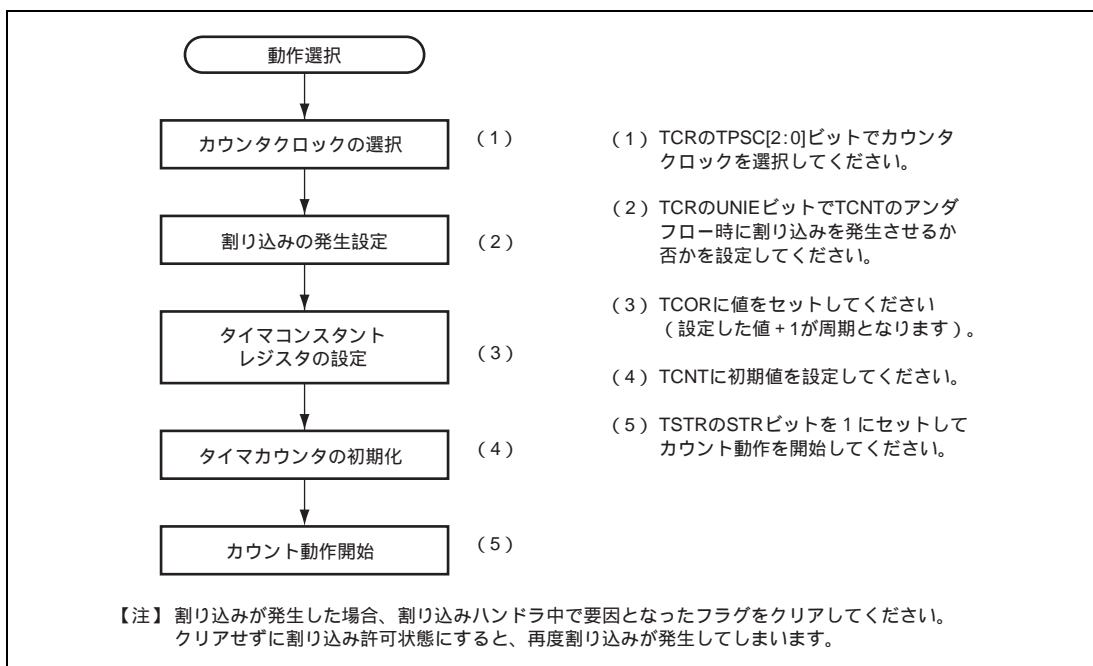


図 18.2 カウント動作設定手順例

(2) オートリロードカウント動作

TCNT のオートリロード動作を、図 18.3 に示します。

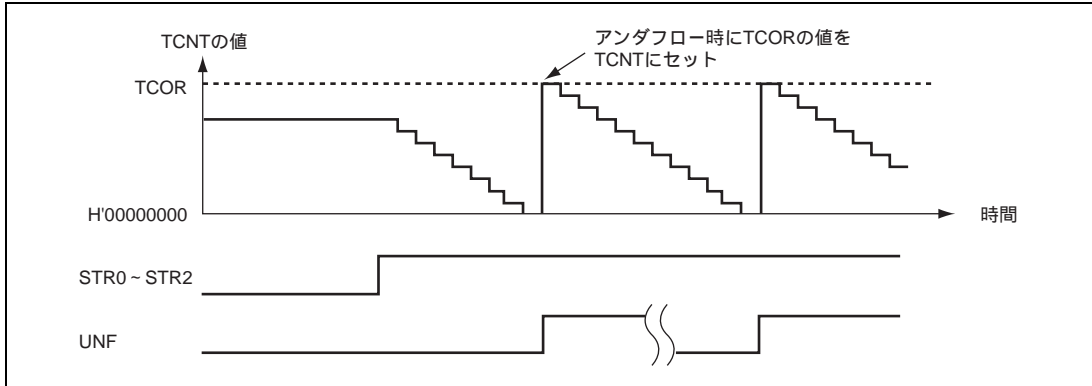


図 18.3 オートリロードカウンタの動作

(3) TCNT のカウントタイミング

TCR の TPSC[2:0]ビットにより、周辺モジュール用クロックを分周した 5 種類のクロック (P /4、P /16、P /64、P /256、P /1024) が選択できます。このときのタイミングを図 18.4 に示します。

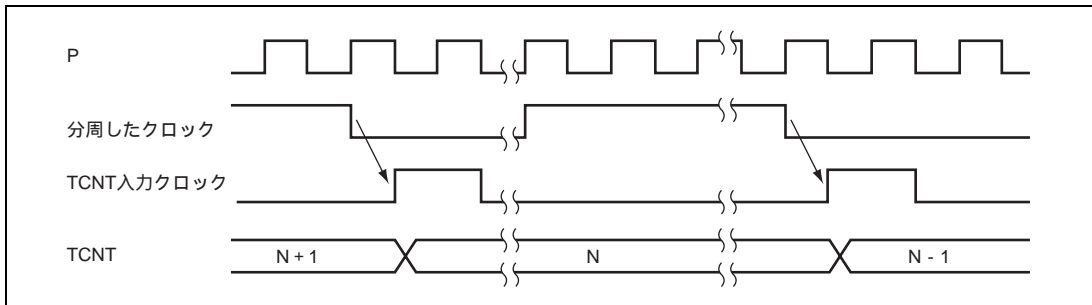


図 18.4 内部クロック動作時のカウントタイミング

18.4 割り込み

TMU の割り込み要因は、アンダフロー割り込み (TUNI) です。

18.4.1 ステータスフラグのセットタイミング

UNF ビットは、TCNT カウンタがアンダフローしたときに 1 にセットされます。このときのタイミングを図 18.5 に示します。

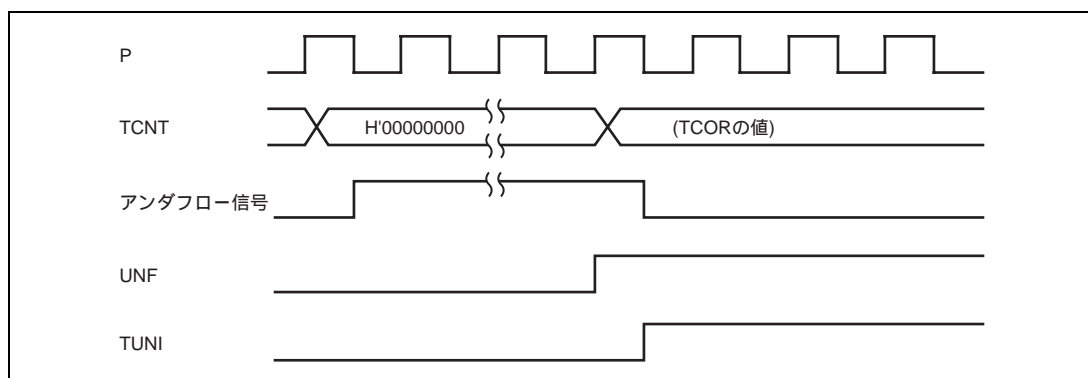


図 18.5 UNF のセットタイミング

18.4.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU から 0 を書き込むとクリアされます。このときのタイミングを図 18.6 に示します。

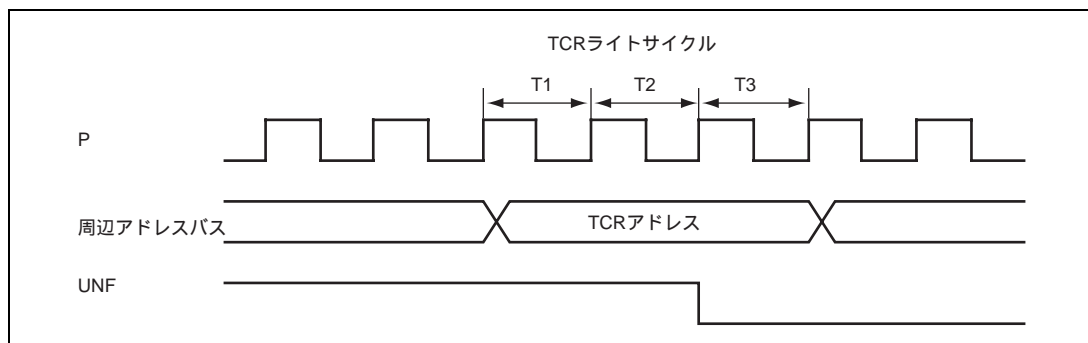


図 18.6 ステータスフラグのクリアタイミング

18.4.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 5 章 例外処理」、「第 10 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 18.3 に示します。

表 18.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

18.5 使用上の注意事項

18.5.1 レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウント動作の同期処理は行っておりません。レジスタの書き込みの際には、必ず TSTR の該当チャンネルのスタートビット STR2~0 をクリアして、タイマのカウント動作を停止させてください。

18.5.2 レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

19. コンペアマッチタイマ (CMT)

本 LSI は、5 チャンネル (チャンネル 0~4) の 32 ビット構成のコンペアマッチタイマ (CMT) を内蔵しています。

19.1 特長

- 16ビット / 32ビット切り換え可能なタイマ
- オートリロード方式のアップカウンタを搭載
- 任意の時点で書き込み/読み出し可能なオートリロード用32ビットコンスタントレジスタおよび32ビットアップカウンタを搭載
- チャンネル0からチャンネル4は3種類のカウンタ入力クロックを選択可能
周辺クロック (P) : 1/8、1/32、1/128
- ワンショット動作およびフリーラン動作を選択可能
- 割り込み要因にコンペアマッチまたはオーバフローを選択可能
- チャンネル0からチャンネル4はコンペアマッチまたはオーバフローによりDMA転送要求が可能
- モジュールスタンバイモードの設定可能

図 19.1 に CMT のブロック図を示します。

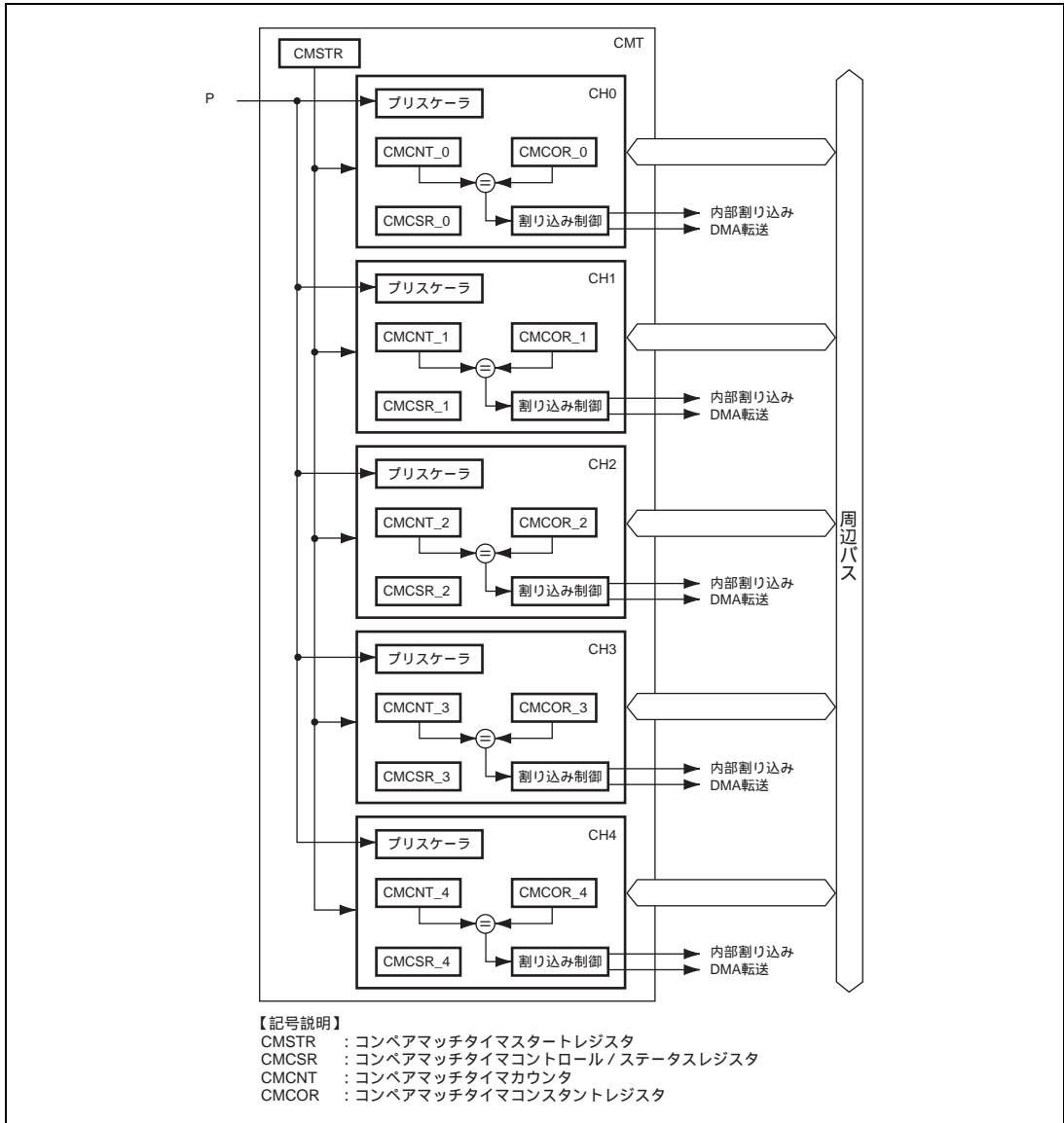


図 19.1 CMT のブロック図

19.2 入出力端子

CMT には入出力端子がありません。

19.3 レジスタの説明

CMT のレジスタ構成を表 19.1 に示します。また、各処理モードにおけるレジスタの状態を表 19.2 に示します。
 なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表 19.1 レジスタ構成

チャンネル	レジスタ名称	略称	R/W	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'A44A 0000	16
0	コンペアマッチタイマコントロール / ステータスレジスタ_0	CMCSR_0	R/W	H'A44A 0010	16
	コンペアマッチタイマカウンタ_0	CMCNT_0	R/W	H'A44A 0014	32
	コンペアマッチタイマコンスタントレジスタ_0	CMCOR_0	R/W	H'A44A 0018	32
1	コンペアマッチタイマコントロール / ステータスレジスタ 1	CMCSR_1	R/W	H'A44A 0020	16
	コンペアマッチタイマカウンタ 1	CMCNT_1	R/W	H'A44A 0024	32
	コンペアマッチタイマコンスタントレジスタ 1	CMCOR_1	R/W	H'A44A 0028	32
2	コンペアマッチタイマコントロール / ステータスレジスタ_2	CMCSR_2	R/W	H'A44A 0030	16
	コンペアマッチタイマカウンタ_2	CMCNT_2	R/W	H'A44A 0034	32
	コンペアマッチタイマコンスタントレジスタ_2	CMCOR_2	R/W	H'A44A 0038	32
3	コンペアマッチタイマコントロール / ステータスレジスタ_3	CMCSR_3	R/W	H'A44A 0040	16
	コンペアマッチタイマカウンタ_3	CMCNT_3	R/W	H'A44A 0044	32
	コンペアマッチタイマコンスタントレジスタ_3	CMCOR_3	R/W	H'A44A 0048	32
4	コンペアマッチタイマコントロール / ステータスレジスタ_4	CMCSR_4	R/W	H'A44A 0050	16
	コンペアマッチタイマカウンタ_4	CMCNT_4	R/W	H'A44A 0054	32
	コンペアマッチタイマコンスタントレジスタ_4	CMCOR_4	R/W	H'A44A 0058	32

表 19.2 各処理モードにおけるレジスタの状態

チャンネル	略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
共通	CMSTR	初期化	保持	保持	保持
0	CMCSR_0	初期化	保持	保持	保持
	CMCNT_0	初期化	保持	保持	保持
	CMCOR_0	初期化	保持	保持	保持
1	CMCSR_1	初期化	保持	保持	保持
	CMCNT_1	初期化	保持	保持	保持
	CMCOR_1	初期化	保持	保持	保持
2	CMCSR_2	初期化	保持	保持	保持
	CMCNT_2	初期化	保持	保持	保持
	CMCOR_2	初期化	保持	保持	保持
3	CMCSR_3	初期化	保持	保持	保持
	CMCNT_3	初期化	保持	保持	保持
	CMCOR_3	初期化	保持	保持	保持
4	CMCSR_4	初期化	保持	保持	保持
	CMCNT_4	初期化	保持	保持	保持
	CMCOR_4	初期化	保持	保持	保持

19.3.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、各チャンネルのコンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	STR[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	STR[4:0]	すべて 0	R/W	カウントスタート 各チャンネルのコンペアマッチタイマカウンタ (CMCNT_4~0) の動作 / 停止を選択します。 0 : CMCNTn はカウントを停止 1 : CMCNTn はカウントを開始 【注】 n : 4~0 チャンネル番号に相当します。

19.3.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、各チャンネルごとのコンペアマッチの発生の表示、割り込みと DMA 転送要求の許可、およびカウンタ入力クロックの設定を行います。

コンペアマッチタイマカウンタ(CMCNT)動作中に CMF ビット、OVF ビット以外の変更はしないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMF	OVF	—	—	—	—	CMS	CMM	—	—	CMR[1:0]	—	—	—	—	CKS[2:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。ソフトウェアによる 1 書き込みはできません。カウンタの動作にワンショット動作を選択した場合、本ビットをクリアするとカウント動作を再開します。</p> <p>0: CMCNT と CMCOR の値は不一致</p> <p>[クリア条件]</p> <p>CMF = 1 を読み出し後、CMF に 0 を書き込んだとき</p> <p>1: CMCNT と CMCOR の値が一致</p>
14	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>コンペアマッチタイマカウンタ (CMCNT) がオーバフローし 0 クリアしたかを示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>0: CMCNT はオーバフローしていない</p> <p>[クリア条件]</p> <p>OVF = 1 を読み出し後、OVF に 0 を書き込んだとき</p> <p>1: CMCNT はオーバフロー発生</p>
13~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	CMS	0	R/W	<p>コンペアマッチタイマカウンタサイズ</p> <p>コンペアマッチタイマカウンタ (CMCNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。</p> <p>本レジスタの設定がコンペアマッチタイマコンスタントレジスタ (CMCOR) の有効ビットサイズになります。</p> <p>0: 32 ビットカウンタ動作</p> <p>1: 16 ビットカウンタ動作</p>
8	CMM	0	R/W	<p>コンペアマッチモード</p> <p>カウンタのワンショット動作とフリーラン動作を選択します。</p> <p>0: ワンショット動作</p> <p>1: フリーラン動作</p>
7, 6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5, 4	CMR[1:0]	00	R/W	コンペアマッチリクエスト 1、0 コンペアマッチ時、DMA 転送要求または内部割り込み要求の許可 / 禁止を選択します。 00 : DMA 転送要求および内部割り込み要求の禁止 01 : DMA 転送要求を許可 10 : 内部割り込み要求を許可 11 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	000	R/W	クロックセレクト コンペアマッチタイムカウンタ (CMCNT) に入力するクロックを選択します。対応するチャンネルのカウンタスタート (STRn : n=4~0) が 1 にセットされると、CMCNT は本ビットで選択されたクロックでカウントを開始します。 000 : P /8 001 : P /32 010 : P /128 011 : 設定禁止 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.3.3 コンペアマッチタイムカウンタ (CMCNT)

CMCNT は 32 ビットのレジスタで、各チャンネルのアップカウンタとして使用されます。

コンペアマッチタイムコントロール / ステータスレジスタ (CMCSR) でカウンタ動作を設定します。このため、コンペアマッチタイムスタートレジスタ (CMSTR) で対応するチャンネルの動作を開始する前に、CMCSR の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CMCNT の初期値は、H'00000000 です。

19.3.4 コンペアマッチタイムコンスタントレジスタ (CMCOR)

CMCOR は 32 ビットのレジスタで、各チャンネルのコンペアマッチタイムカウンタ (CMCNT) とコンペアマッチするまでの期間を設定します。

コンペアマッチタイムコントロール / ステータスレジスタ (CMCSR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。オーバフロー検出は本レジスタが H'FFFFFF で CMCNT が 0 クリアされたときに検出されます。CMCOR の初期値は、H'FFFFFF です。

19.4 動作説明

19.4.1 カウンタ動作

CMT は、動作対象チャネルの設定後に CMSTR の対象チャネルの STRn ビットに 1 を書き込むことによってカウンタ動作を開始します。動作開始前にすべての設定を完了してください。フラグビットのクリア以外のレジスタ変更はしないでください。

カウンタ動作は 2 種類に分類することが可能です。

- ワンショット動作

CMCSRのCMMビットを0にセットした場合、ワンショット動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、動作を停止します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

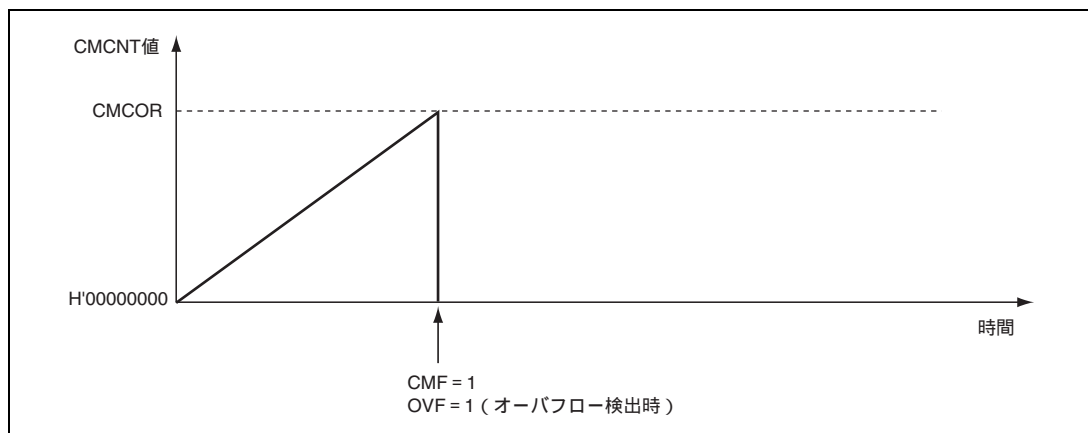


図 19.2 カウンタ動作 (ワンショット動作時)

- フリーラン動作

CMCSRのCMMビットを1にセットした場合、フリーラン動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットが1にセットされます。CMCNTはクリア後、カウントアップを再開します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットが1にセットされます。

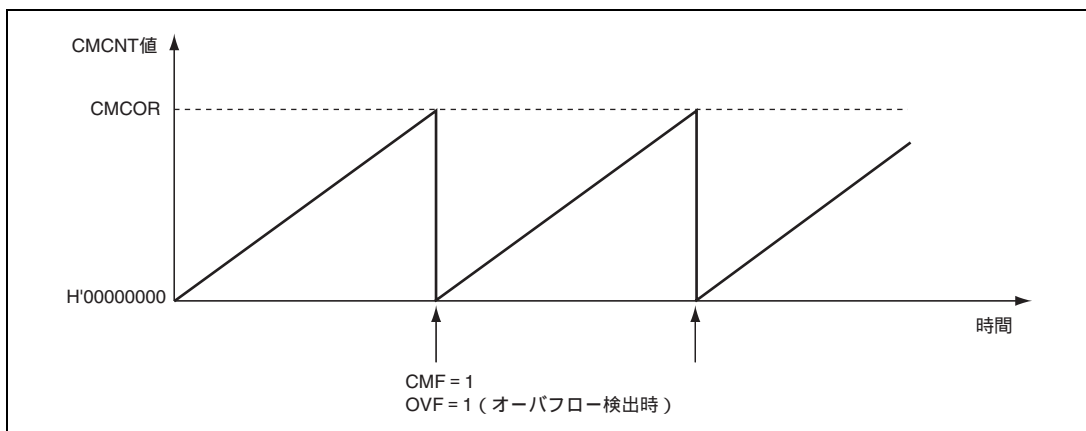


図 19.3 カウンタ動作 (フリーラン動作時)

19.4.2 カウンタサイズ

本モジュールはカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズの選択は CMCSR の CMS ビットで行います。

16 ビットカウンタとして使う場合、CMCOR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー割り込み検出を行うときは、H'0000FFFF とします。

19.4.3 CMCNT カウントタイミング

本モジュールは CMCNT のカウンタ用クロックに以下を設定することが可能です。

チャンネル0~4 周辺クロック (P) : 1/8、1/32、1/128

カウンタ用クロックは、CMCSR の CKS[2:0]ビットにより選択します。

CMCNT は CKS[2:0]により選択されたクロックの立ち上がりエッジにてインクリメントします。

19.4.4 DMA 転送要求と CPU への内部割り込み要求

CMCSR の CMR[1:0]ビットにより、コンペアマッチ時に DMA 転送要求 (または CPU への内部割り込み発生) を選択することができます。

DMA 転送要求は、CMT チャンネルによって次の仕様となります。

チャンネル 0、1 は、コンペアマッチ時に 1 回の DMA 転送要求を出します。

チャンネル 2、3、4 は、DMAC に設定した転送回数が終了するまで要求を出し続け、転送回数終了後自動的に要求出力を停止します。

割り込み要求をクリアするためには、CMF ビットに 0 をセットする必要があります。CMT による割り込みルーチン中に CMF = 0 とする動作を行ってください。

19.4.5 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 19.4 に CMF ビットのセットタイミングを示します。

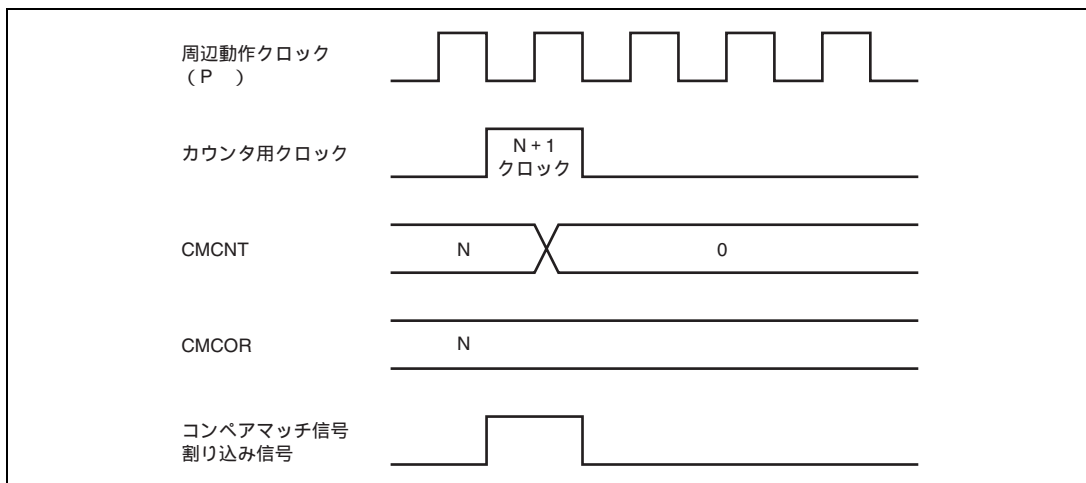


図 19.4 CMF セットタイミング

20. I²C バスインタフェース (IIC)

I²C バスインタフェースは、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式をサポートしており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は2チャンネルあります。

20.1 特長

- マスタモードおよびスレーブモードをサポート
- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵

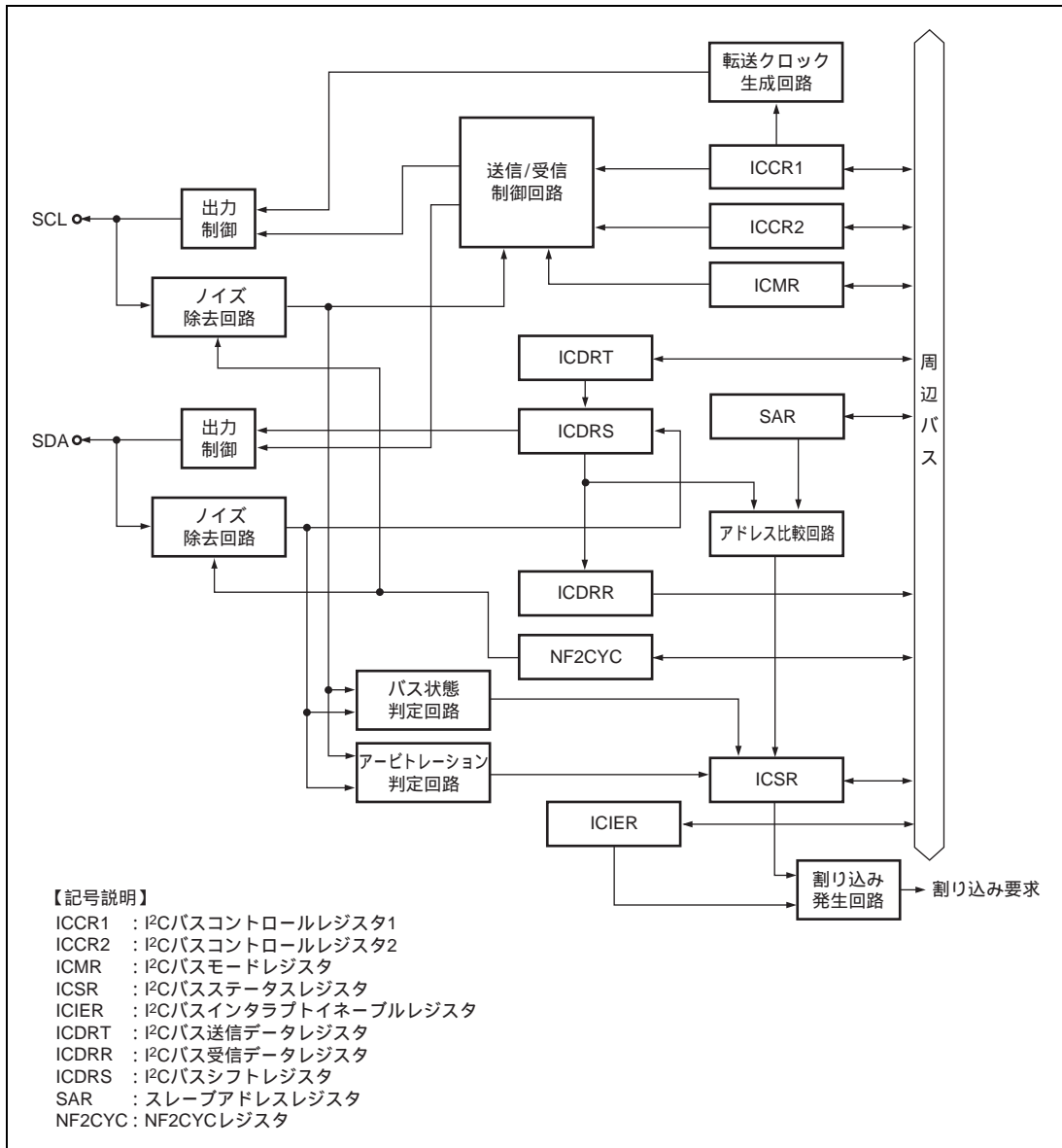
マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCLをLowレベルにして待機させます。

- 割り込み要因：6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出

- バスを直接駆動可能

SCL、SDAの2端子は、バス駆動機能選択時NMOSオープンドレイン出力

図 20.1 に I²C バスインタフェースのブロック図を示します。図 20.1 I²C バスインタフェースのブロック図

20.2 入出力端子

I²C バスインタフェースで使用する端子構成を表 20.1 に示します。

表 20.1 端子構成

チャンネル	端子名	入出力	機能
0	IIC0_SCL	入出力	I ² C シリアルクロック入出力端子
	IIC0_SDA	入出力	I ² C シリアルデータ入出力端子
1	IIC1_SCL	入出力	I ² C シリアルクロック入出力端子
	IIC1_SDA	入出力	I ² C シリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、総合の略称として SCL、SDA を使用します。

図 20.2 に入出力端子の外部回路接続例を示します。

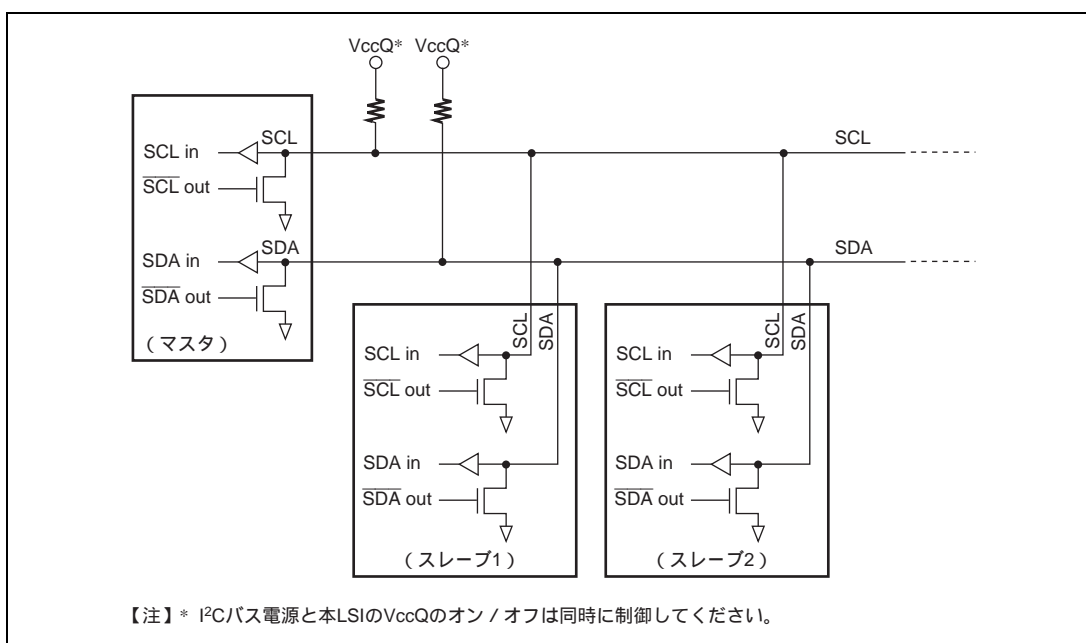


図 20.2 入出力端子の外部回路接続例

20.3 レジスタの説明

IIC のレジスタ構成を表 20.2 に示します。また、各処理モードにおけるレジスタの状態を表 20.3 に示します。
 なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表 20.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'A447 0000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'A447 0001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'A447 0002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_0	R/W	H'00	H'A447 0003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'A447 0004	8
	スレープアドレスレジスタ	SAR_0	R/W	H'00	H'A447 0005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'A447 0006	8
	I ² C バス受信データレジスタ	ICDRR_0	R	H'FF	H'A447 0007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'A447 0008	8
1	I ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'A475 0000	8
	I ² C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'A475 0001	8
	I ² C バスモードレジスタ	ICMR_1	R/W	H'38	H'A475 0002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_1	R/W	H'00	H'A475 0003	8
	I ² C バスステータスレジスタ	ICSR_1	R/W	H'00	H'A475 0004	8
	スレープアドレスレジスタ	SAR_1	R/W	H'00	H'A475 0005	8
	I ² C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'A475 0006	8
	I ² C バス受信データレジスタ	ICDRR_1	R	H'FF	H'A475 0007	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'A475 0008	8

表 20.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ICCR1_0	初期化	保持	保持	保持
ICCR2_0	初期化	保持	保持	保持
ICMR_0	初期化	保持	保持	保持
ICIER_0	初期化	保持	保持	保持
ICSR_0	初期化	保持	保持	保持
SAR_0	初期化	保持	保持	保持
ICDRT_0	初期化	保持	保持	保持
ICDRR_0	初期化	保持	保持	保持
NF2CYC_0	初期化	保持	保持	保持
ICCR1_1	初期化	保持	保持	保持
ICCR2_1	初期化	保持	保持	保持
ICMR_1	初期化	保持	保持	保持
ICIER_1	初期化	保持	保持	保持
ICSR_1	初期化	保持	保持	保持
SAR_1	初期化	保持	保持	保持
ICDRT_1	初期化	保持	保持	保持
ICDRR_1	初期化	保持	保持	保持
NF2CYC_1	初期化	保持	保持	保持

20.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェースの動作 / 停止、送信 / 受信制御、マスタモード / スリープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能停止状態 1 : 本モジュールは転送動作可能状態
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされず。</p> <p>MST と TRS との組み合わせにより、以下の動作モードになります。</p> <p>00 : スレーブ受信モード</p> <p>01 : スレーブ送信モード</p> <p>10 : マスタ受信モード</p> <p>11 : マスタ送信モード</p>
3~0	CKS[3:0]	0000	R/W	<p>転送クロック選択</p> <p>マスタモードのとき、必要な転送レート (表 20.4 参照) にあわせて設定してください。</p>

表 20.4 転送レート

ビット3	ビット2	ビット1	ビット0	クロック	転送レート (kHz)				
					P = 16.7MHz	P = 20.0MHz	P = 25.0MHz	P = 26.7MHz	P = 33.3MHz
0	0	0	0	P /44	379	455	568	606	758
			1	P /52	321	385	481	513	641
		1	0	P /64	260	313	391	417	521
			1	P /72	231	278	347	370	463
	1	0	0	P /84	198	238	298	317	397
			1	P /92	181	217	272	290	362
		1	0	P /100	167	200	250	267	333
			1	P /108	設定禁止				
1	0	0	0	P /176	94.7	114	142	152	189
			1	P /208	80.1	96.2	120	128	160
		1	0	P /256	65.1	78.1	97.7	104	130
			1	P /288	57.9	69.4	86.8	92.6	116
	1	0	0	P /336	49.6	59.5	74.4	79.4	99.2
			1	P /368	45.3	54.3	67.9	72.5	90.6
		1	0	P /400	41.7	50.0	62.5	66.7	83.3
			1	P /432	設定禁止				

【注】 外部仕様を満足するように設定してください。

20.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット :	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
初期値 :	0	1	1	1	1	1	0	1
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。I²C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令でライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C バスのレジスタを除くコントロール部をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると IIC の ICMR レジスタの BC[2:0] ビットと IIC の内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

20.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	MLS	—	—	—	BCWP	BC[2:0]		
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	BCWP	1	R/W	BC ライトプロテクト BC[2:0] の書き込みを制御します。BC[2:0] を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC[2:0] の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0] 設定値は無効

ビット	ビット名	初期値	R/W	説 明
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。</p> <p>I²C バスフォーマット</p> <p>000 : 9 ビット</p> <p>001 : 2 ビット</p> <p>010 : 3 ビット</p> <p>011 : 4 ビット</p> <p>100 : 5 ビット</p> <p>101 : 6 ビット</p> <p>110 : 7 ビット</p> <p>111 : 8 ビット</p>

20.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクリッジの有効 / 無効の選択、送信アクリッジの設定および受信アクリッジの確認を行います。

ビット :	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	<p>送信インタラプトイネーブル</p> <p>ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。</p> <p>0 : 送信データエンpty割り込み要求 (TXI) の禁止</p> <p>1 : 送信データエンpty割り込み要求 (TXI) の許可</p>
6	TEIE	0	R/W	<p>送信エンドインタラプトイネーブル</p> <p>TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。</p> <p>0 : 送信終了割り込み要求 (TEI) の禁止</p> <p>1 : 送信終了割り込み要求 (TEI) の許可</p>

ビット	ビット名	初期値	R/W	説明
5	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDDR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可 / 禁止を選択します。</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う 1: 受信アクノリッジが 1 の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。</p> <p>0: 受信アクノリッジ = 0 1: 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで 0 を送出 1: アクノリッジのタイミングで 1 を送出</p>

20.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

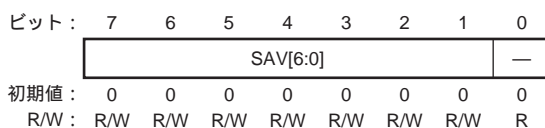
ビット :	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スLEEPモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき
5	RDRF	0	R/W	受信データフル [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき [セット条件] <ul style="list-style-type: none"> • ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

20.3.6 スレーブアドレスレジスタ (SAR)

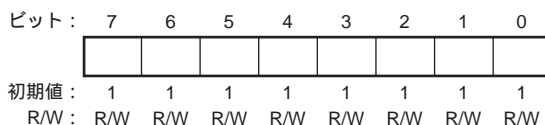
SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

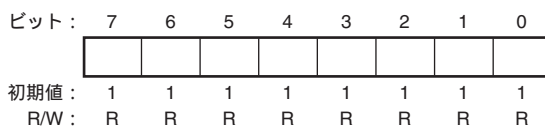
20.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。



20.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。



20.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—

20.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「20.4.6 ノイズ除去回路」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PRS	NF2 CYC
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low = 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

20.4 動作説明

20.4.1 I²C バスフォーマット

I²C バスフォーマットを図 20.3 に、I²C バスのタイミングを図 20.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

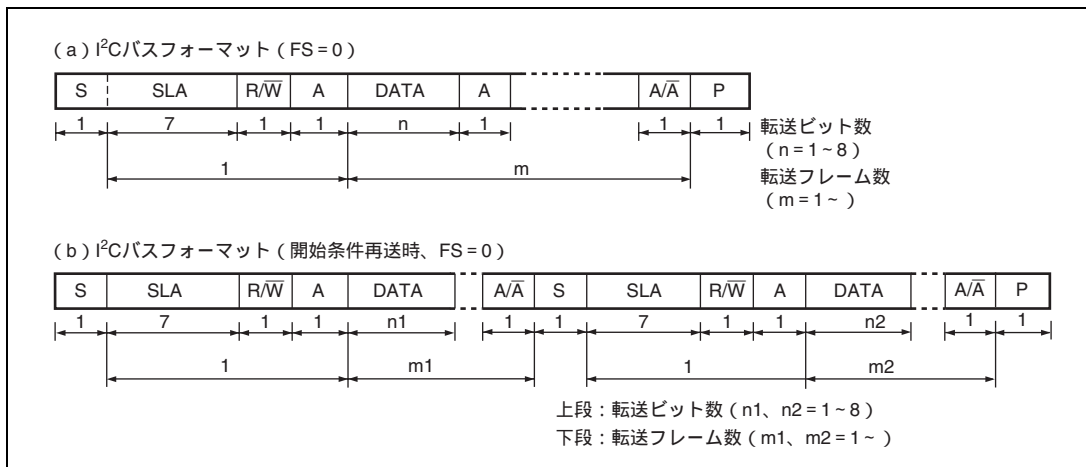


図 20.3 I²C バスフォーマット

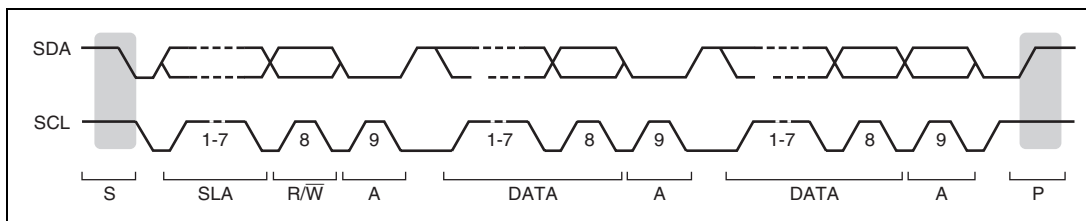


図 20.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

20.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 20.5 と図 20.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR \bar{W} を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

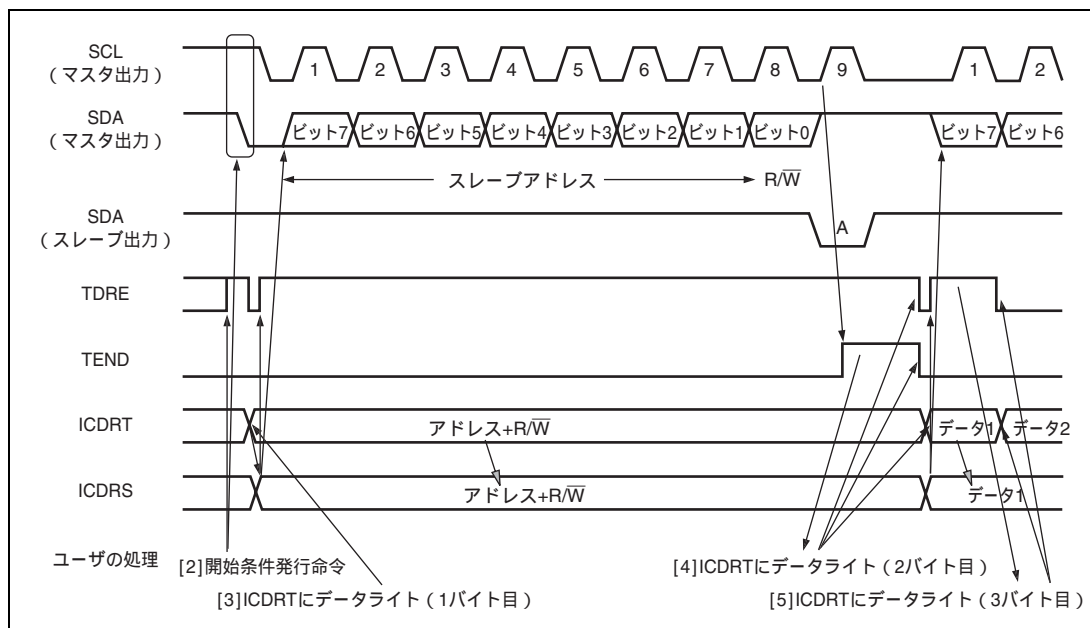


図 20.5 マスタ送信モード動作タイミング (1)

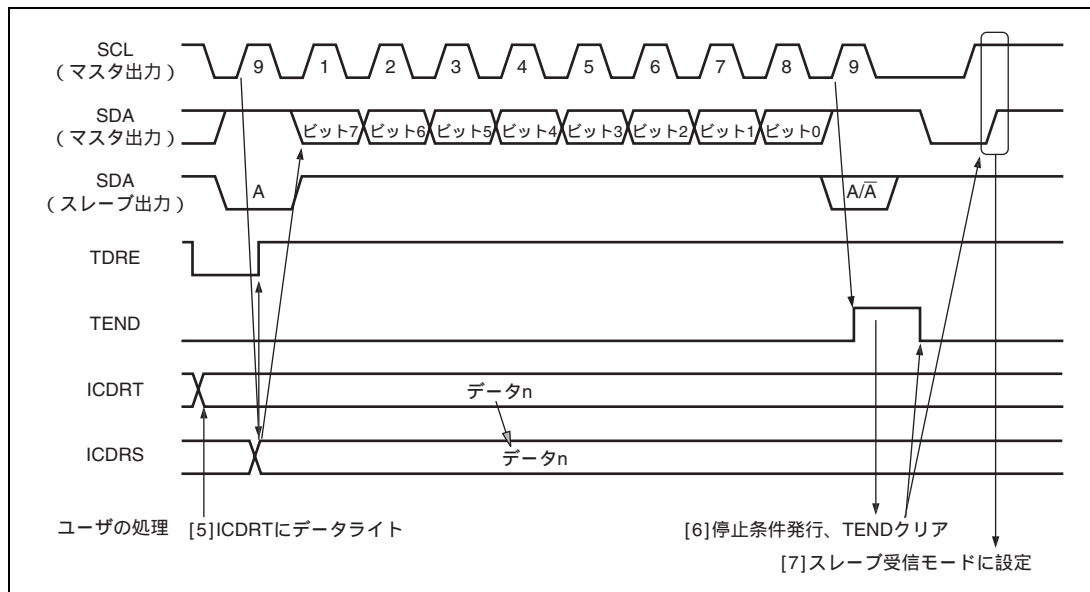


図 20.6 マスタ送信モード動作タイミング (2)

20.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 20.7 と図 20.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受
信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力し
ます。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが
セットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCL
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

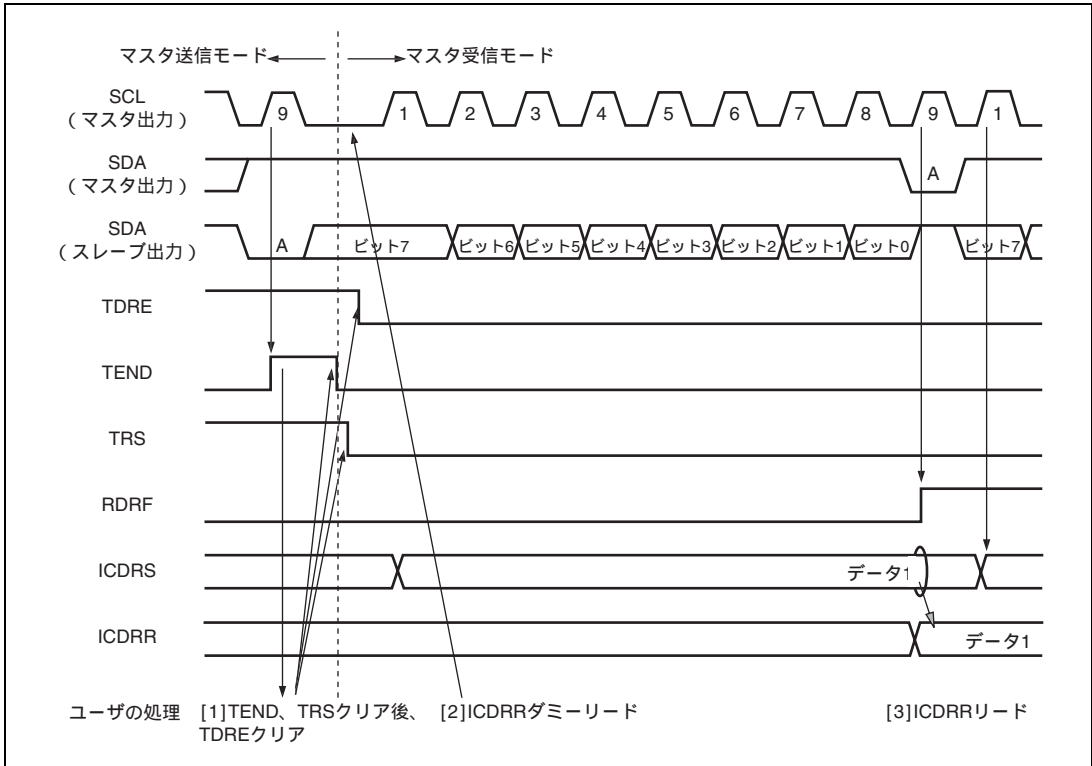


図 20.7 マスタ受信モード動作タイミング (1)

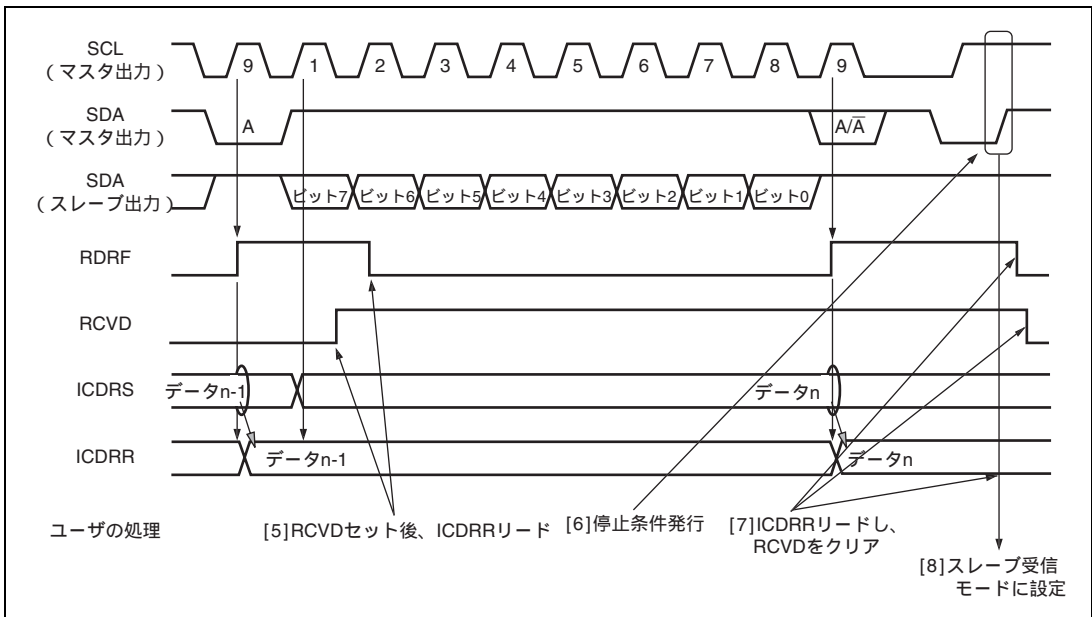


図 20.8 マスタ受信モード動作タイミング (2)

20.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアックノリッジを返します。スレーブ送信モードの動作タイミングについては図 20.9 と図 20.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

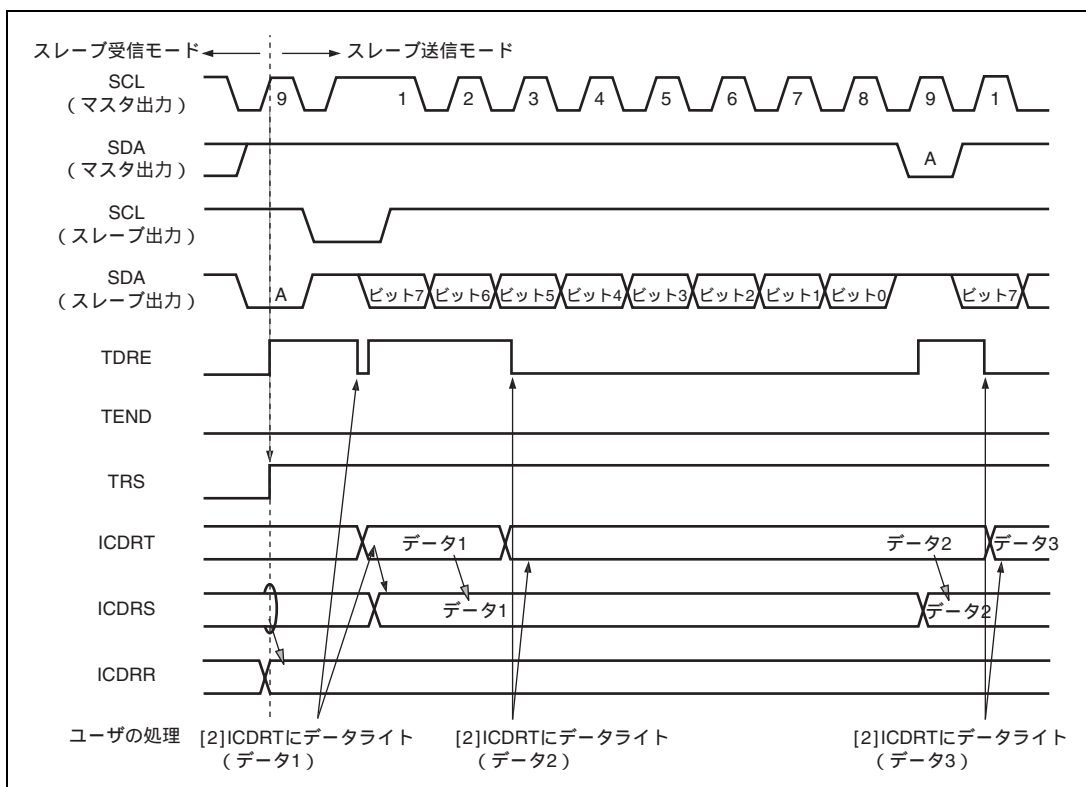


図 20.9 スレーブ送信モード動作タイミング (1)

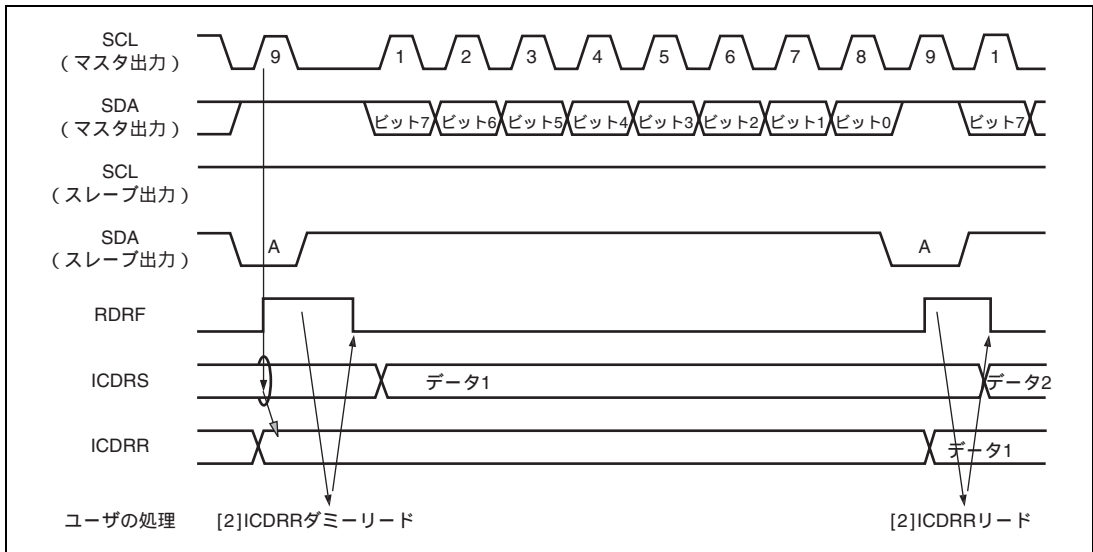


図 20.11 スレープ受信モード動作タイミング (1)

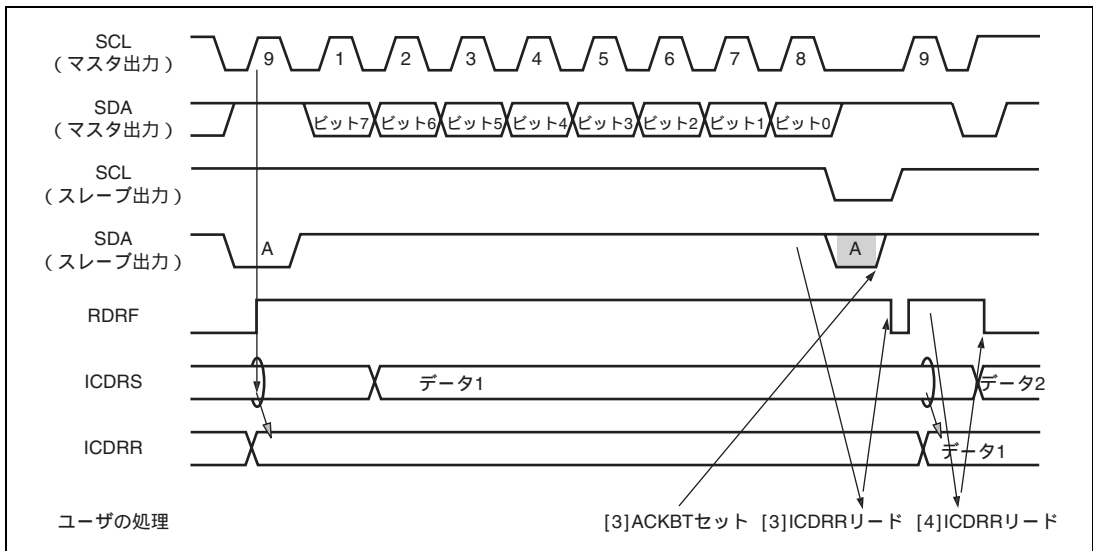


図 20.12 スレープ受信モード動作タイミング (2)

20.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 20.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

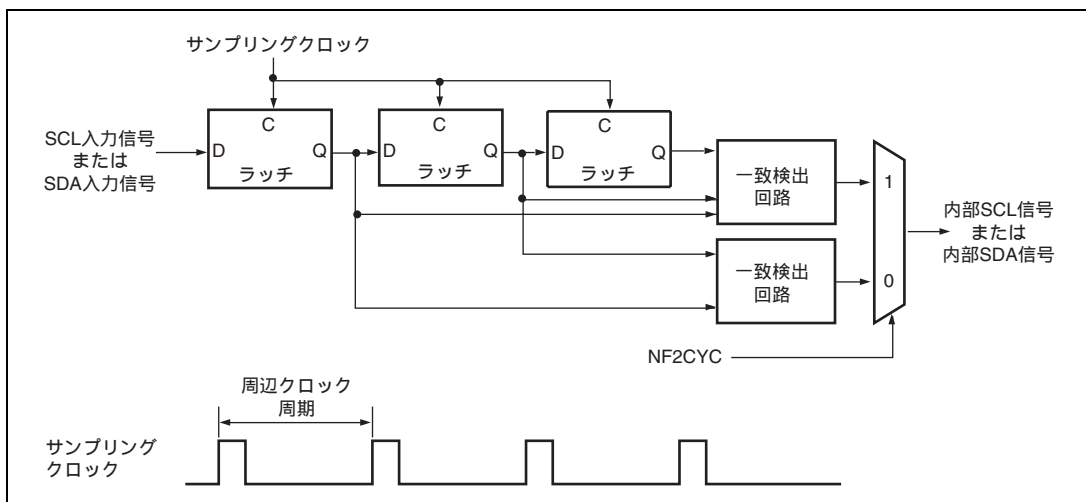


図 20.13 ノイズ除去回路のブロック図

20.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 20.14 ~ 図 20.17 に示します。

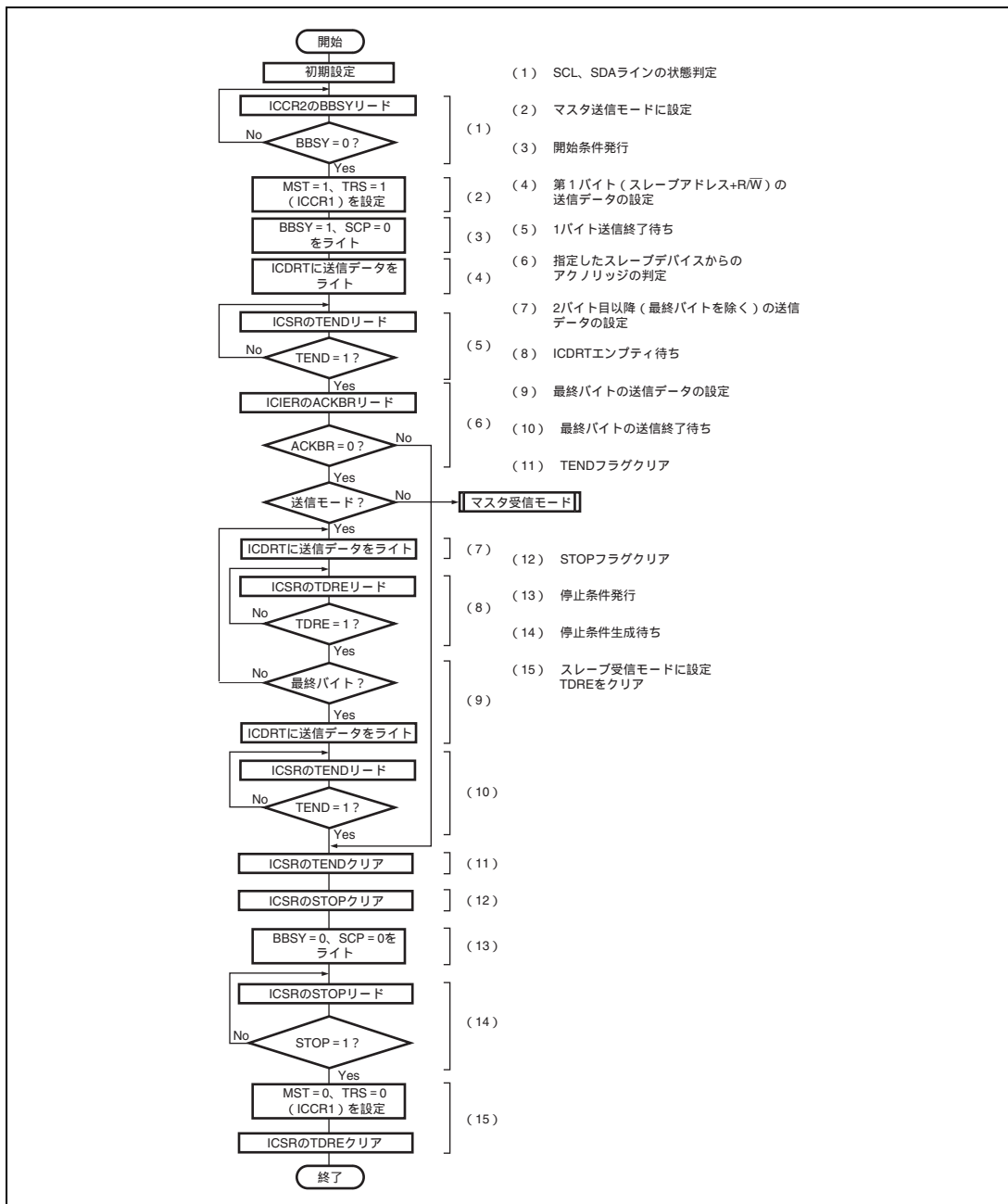


図 20.14 マスタ送信モードのフローチャート例

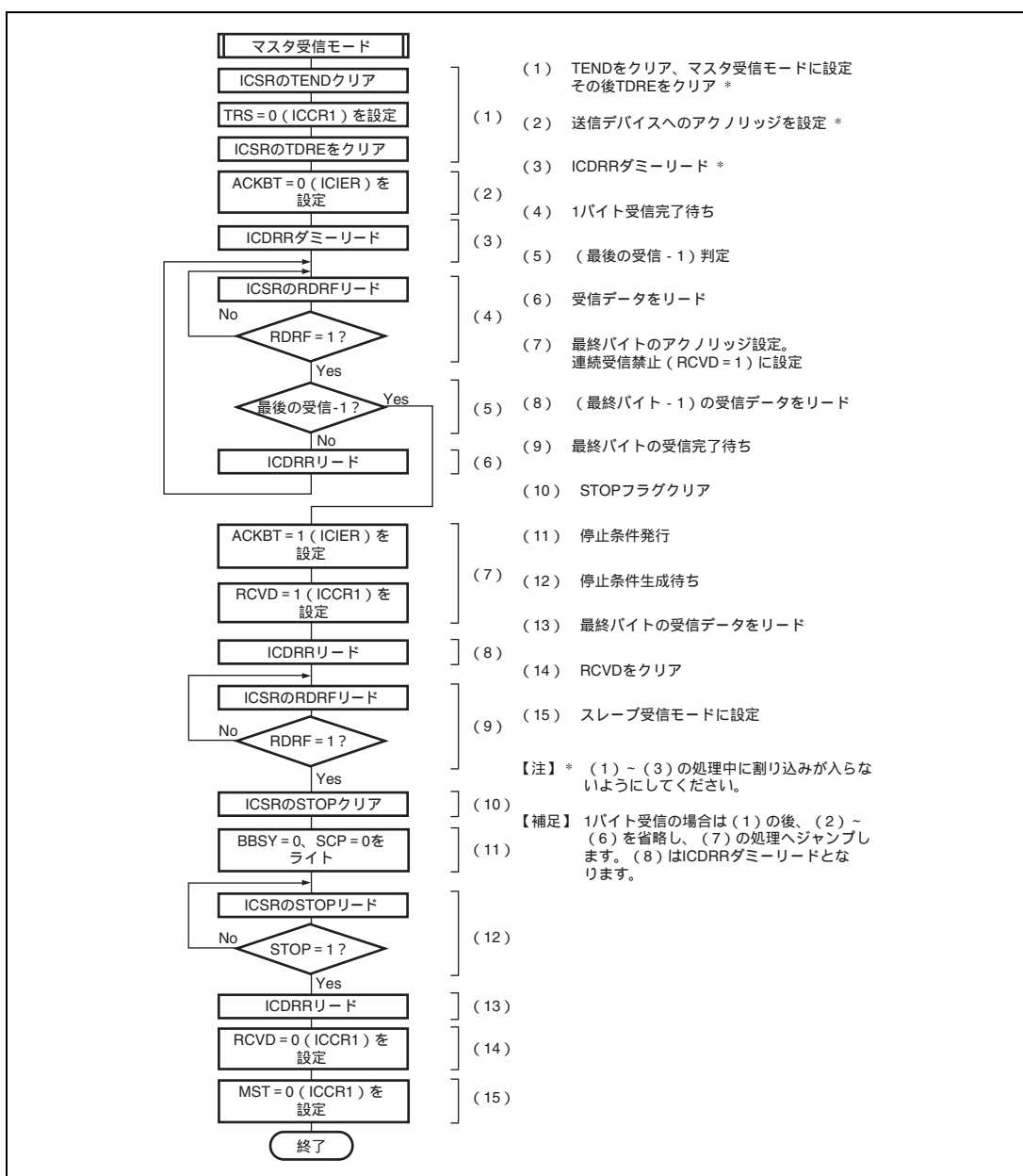


図 20.15 マスタ受信モードのフローチャート例

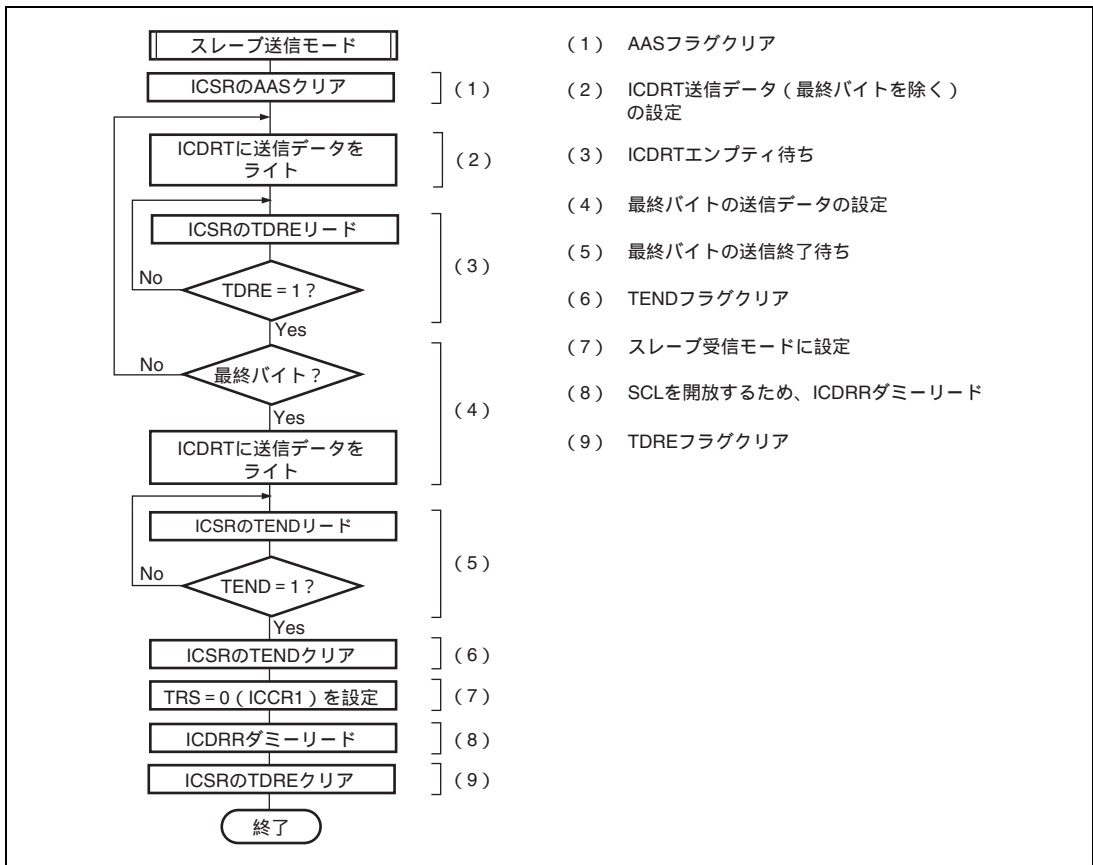


図 20.16 スレーブ送信モードのフローチャート例

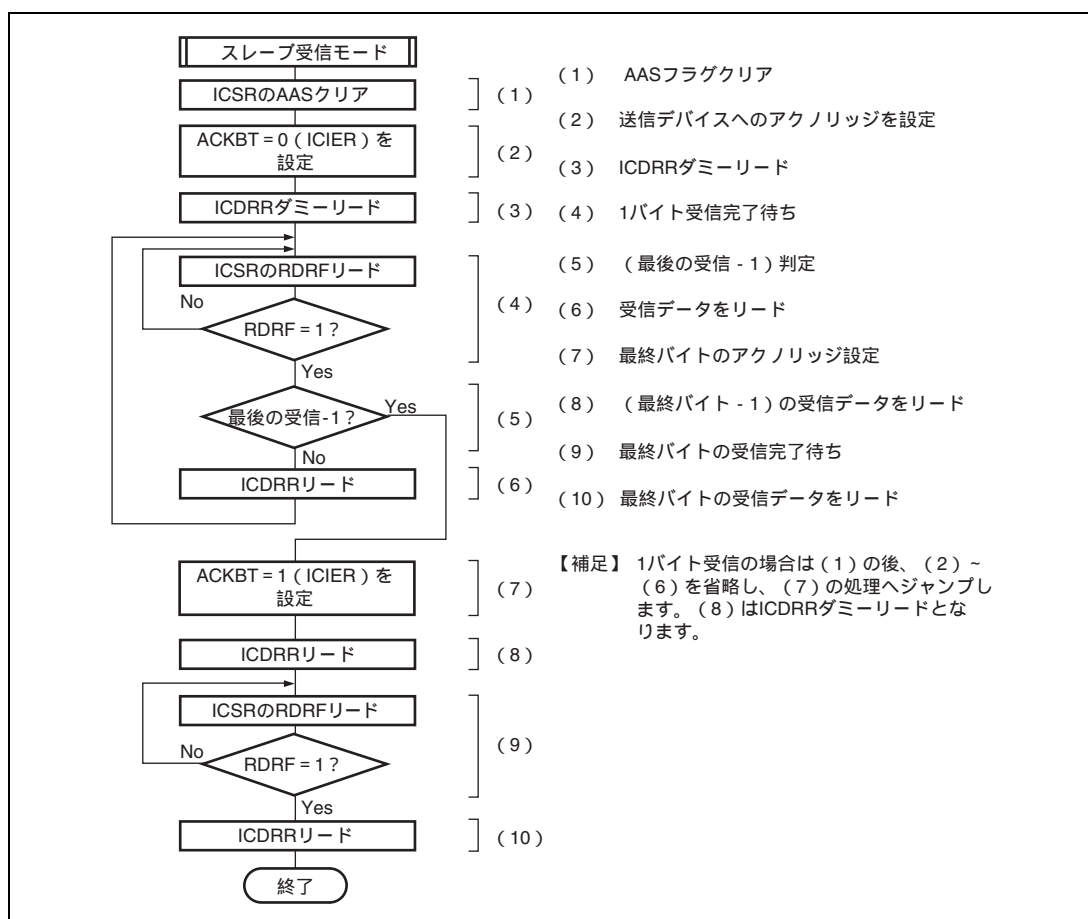


図 20.17 スレーブ受信モードのフローチャート例

20.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 20.5 に各割り込み要求の内容を示します。

表 20.5 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$
アービトレーションロスト / オーバランエラー		

表 20.5 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

20.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL が Low レベルに引っ張られた場合
- SCL ラインの負荷 (負荷容量、ブルアップ抵抗) により SCL の立ち上がりがなまった場合

の 2 つの状態 High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 20.18 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 20.6 に示します。

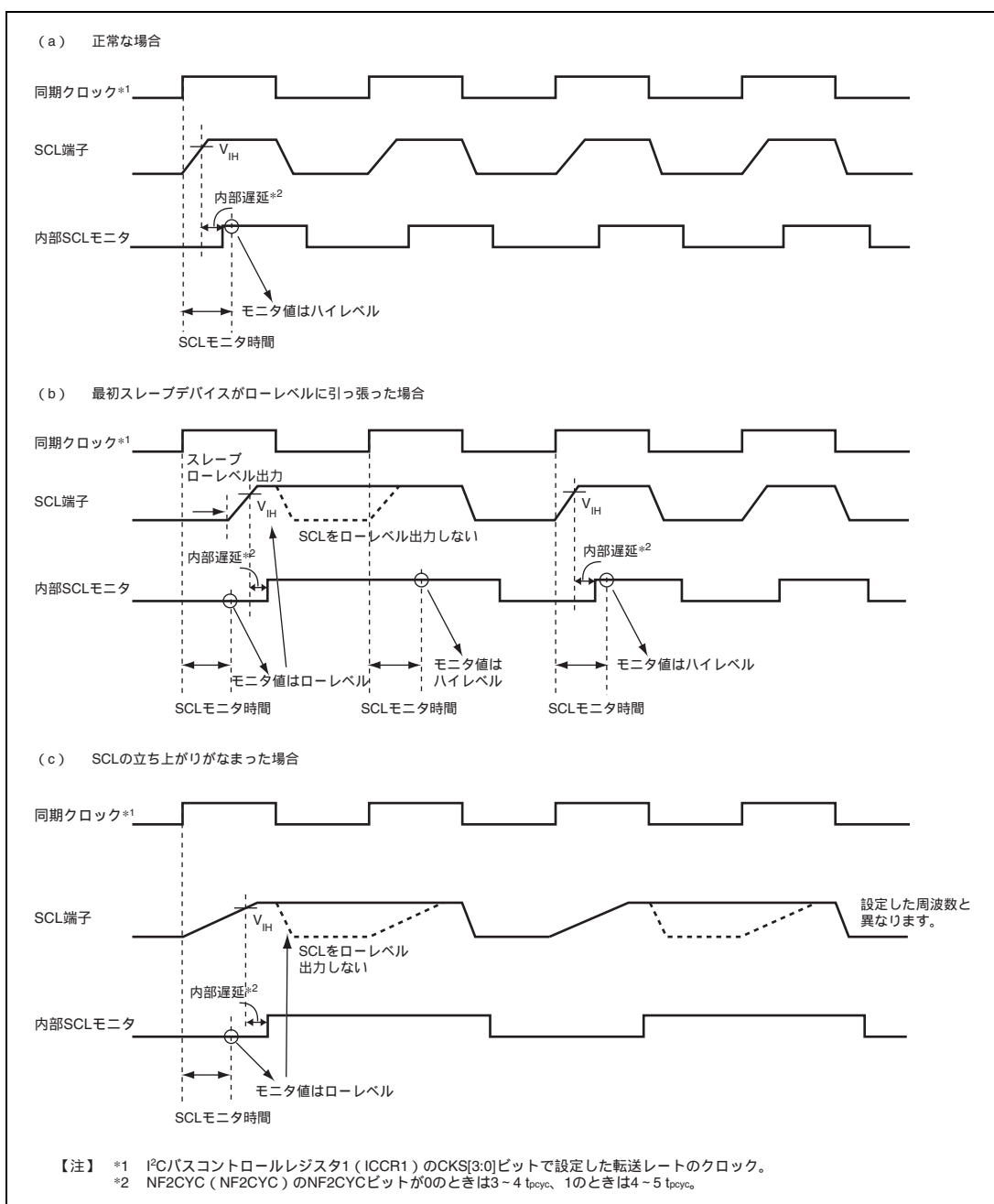


図 20.18 ビット同期回路のタイミング

表 20.6 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間*1
0	0	9tpcyc*2
	1	21tpcyc*2
1	0	39tpcyc*2
	1	87tpcyc*2

【注】 *1 「SCL モニタタイミング基準クロック」立ち上がりから数えて「SCL をモニタする時間」(pcyc)後の「(ボード上) SCL」レベルをモニタします。

*2 $pcyc = P \times cyc$

20.7 使用上の注意事項

20.7.1 マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本 LSI の IIC 転送レートの設定が、他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定してください。たとえば、他の一番速いマスタが 400Kbps の場合、本 LSI の IIC の転送レートは 223Kbps (=400/1.8) 以上の設定値にする必要があります。

20.7.2 マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中アービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。この現象を回避するためには下記の方法があります。

1. マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
2. アービトレーションロストした場合、MST=0、TRS=0 を確認してください。万が一、MST=0、TRS=0 以外の場合、MST=0、TRS=0 を設定しなおしてください。

20.7.3 マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF=1 の状態で 8 クロック目の立ち下がりがくると SCL を "L" に引っ張りますが、8 クロック目の立ち下がり付近で ICDRR をリードすると、次の受信データの 8 クロック目を 1 クロック分 "L" に固定するだけでその後 ICDRR をリードしなくても SCL の固定を解除し 9 クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記方法があります。

- マスタ受信モードで ICDRR をリードする処理は 8 クロック目の立ち上がりまでに行ってください。
- マスタ受信モードは RCVD=1 にし 1 バイトごとの通信で処理を行ってください。

20.7.4 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

20.7.5 停止 / 開始条件発行時の注意

停止条件の発行および開始条件 (再送) の発行は 9 クロック目の立ち下がりを読み取ってから行ってください。9 クロック目の立ち下がりには I²C バスコントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより認識することができます。下記 1. または 2. の条件下で、かつ特定のタイミングで停止条件の発行および開始条件 (再送) の発行を行ったとき、停止条件および開始条件 (再送) が正常に出力されない場合があります。この条件以外での使用は問題ありません。

1. SCLバスの負荷 (負荷容量、プルアップ抵抗) によりSCLの立ち上がり時間が「20.6 ビット同期回路」の項に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLowレベル期間を引っ張ってビット同期回路が働いた場合

21. シリアル I/O FIFO 付き (SIOF)

本 LSI は、FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を 1 チャンネル内蔵しています。

【注】 本 SIOF は、オーディオ CODEC 接続用の専用モジュールです。オーディオ CODEC 接続以外の用途には適しません。

21.1 特長

- シリアル転送

FIFO容量32ビット×16段(送受信独立)

8ビット/16ビット/16ビットステレオ音声入出力に対応

データの送受信はMSBが先頭(MSB First)

サンプリングレート最大48KHzに対応

同期方法はフレーム同期パルス/左右チャンネル切り替えに対応

CODEC制御データインタフェースに対応

リニア/オーディオ/A-Law、 μ -Law CODECチップに接続可能

マスタ/スレーブ両モードに対応

- シリアルクロック

クロックソースとして外部端子入力と内部クロック(P)からの選択が可能

- 割り込み：1種類

- DMA転送

送信の転送要求による、DMA転送を用いた送受信動作に対応

図 21.1 に SIOF のブロック図を示します。

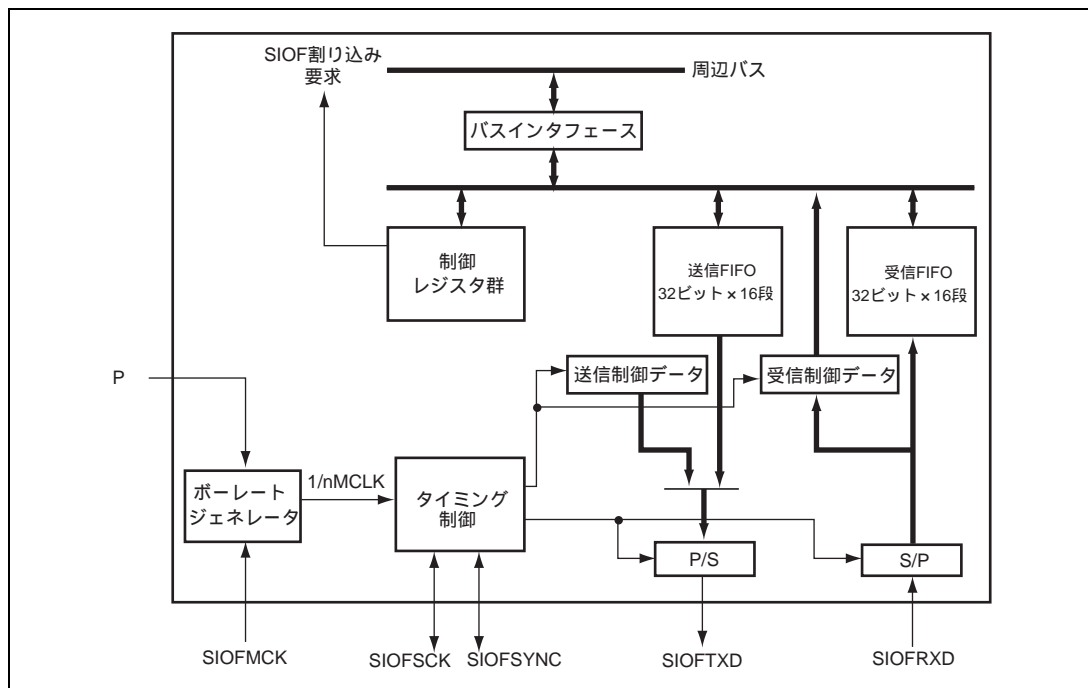


図 21.1 SIOF のブロック図

21.2 入出力端子

本モジュールの端子構成を表 21.1 に示します。

表 21.1 端子構成

端子名	略称*	入出力	機能
SIOF_MCLK	SIOFMCK	入力	マスタクロック入力
SIOF_SCK	SIOFSCK	入出力	シリアルクロック (送受信共通)
SIOF_SYNC	SIOFSYNC	入出力	フレーム同期信号 (送受信共通)
SIOF_TXD	SIOFTXD	出力	送信データ
SIOF_RXD	SIOFRXD	入力	受信データ

【注】 * 本文中では、総合の略称として SIOFMCK、SIOFSCK、SIOFSYNC、SIOFTXD、SIOFRXD を使用します。

21.3 レジスタの説明

SIOF のレジスタ構成を表 21.2 に示します。また、各処理モードにおけるレジスタの状態を表 21.3 に示します。

表 21.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
モードレジスタ	SIMDR	R/W	H'A441 0000	16
クロックセレクトレジスタ	SISCR	R/W	H'A441 0002	16
送信データアサインレジスタ	SITDAR	R/W	H'A441 0004	16
受信データアサインレジスタ	SIRDAR	R/W	H'A441 0006	16
制御データアサインレジスタ	SICDAR	R/W	H'A441 0008	16
コントロールレジスタ	SICTR	R/W	H'A441 000C	16
FIFO コントロールレジスタ	SIFCTR	R/W	H'A441 0010	16
ステータスレジスタ	SISTR	R/W	H'A441 0014	16
割り込み許可レジスタ	SIER	R/W	H'A441 0016	16
送信データレジスタ	SITDR	W	H'A441 0020	32
受信データレジスタ	SIRDR	R	H'A441 0024	32
送信制御データレジスタ	SITCR	R/W	H'A441 0028	32
受信制御データレジスタ	SIRCR	R/W	H'A441 002C	32

表 21.3 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SIMDR	初期化	保持	保持	保持
SISCR	初期化	保持	保持	保持
SITDAR	初期化	保持	保持	保持
SIRDAR	初期化	保持	保持	保持
SICDAR	初期化	保持	保持	保持
SICTR	初期化	保持	保持	保持
SIFCTR	初期化	保持	保持	保持
SISTR	初期化	保持	保持	保持
SIER	初期化	保持	保持	保持
SITDR	不定	保持	保持	保持
SIRDR	不定	保持	保持	保持
SITCR	初期化	保持	保持	保持
SIRCR	不定	保持	保持	保持

21.3.1 モードレジスタ (SIMDR)

SIMDR は、読み出し/書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD[1:0]		SYNCAT	REDG	FL[3:0]			TXDIZ	RCIM	SYNCAC	SYNCDL	—	—	—	—	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	TRMD[1:0]	10	R/W	転送モード 1、0 表 21.4 に示す転送モードを選択します。 00: スleepモード 1 01: スleepモード 2 10: マスタモード 1 11: マスタモード 2
13	SYNCAT	0	R/W	SIOFSYNC 端子有効タイミング SIOFSYNC 信号を同期パルスで出力する場合の出力位置を示します。 0: フレームの先頭ビットデータ 1: スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0: SIOFRXD を SIOFSCK の立ち下がりエッジでサンプリングする 1: SIOFRXD を SIOFSCK の立ち上がりエッジでサンプリングする 【注】 SIOFTXD の送出タイミングは、SIOFRXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。
11~8	FL[3:0]	0000	R/W	フレーム長 3~0 00xx: データ長は 8 ビット、フレーム長は 8 ビット 0100: データ長は 8 ビット、フレーム長は 16 ビット 0101: データ長は 8 ビット、フレーム長は 32 ビット 0110: データ長は 8 ビット、フレーム長は 64 ビット 0111: データ長は 8 ビット、フレーム長は 128 ビット 10xx: データ長は 16 ビット、フレーム長は 16 ビット 1100: データ長は 16 ビット、フレーム長は 32 ビット 1101: データ長は 16 ビット、フレーム長は 64 ビット 1110: データ長は 16 ビット、フレーム長は 128 ビット 1111: データ長は 16 ビット、フレーム長は 256 ビット 【注】 データ長 8 ビットを選択した場合、制御データの送受信は行えませ ん。 x: Don't care

ビット	ビット名	初期値	R/W	説明
7	TXDIZ	0	R/W	送信無効時* SIOFTXD 端子の出力 0: 無効時 1 出力 1: 無効時ハイインピーダンス状態 【注】* 無効時とは、ディスエーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合は。
6	RCIM	0	R/W	受信制御データ割り込みモード 0: SIRCR の内容が変化したときに SISTR の RCRDY ビットをセットする 1: SIRCR への制御データ受信タイミングごとに SISTR の RCRDY ビットをセットする
5	SYNCAC	0	R/W	SIOFSYNC 端子極性 SIOFSYNC 信号を同期パルスで出力する場合に有効となります。 0: ハイアクティブ 1: ローアクティブ
4	SYNCDL	0	R/W	SIOFSYNC 端子に対しデータ端子ビットの遅延 SIOFSYNC 信号が同期パルスの場合に有効となります。また、スレープモード時での送信時は 1 ビット遅延のみ有効です。 0: ビット遅延なし 1: 1 ビット遅延
3~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 21.4 に、転送モードごとの動作を示します。

表 21.4 転送モードごとの動作

転送モード	マスタ/スレープ	SIOFSYNC	ビット遅延	制御データ方式*
スレープモード 1	スレープ	同期パルス	SYNCDL ビット	スロット位置
スレープモード 2	スレープ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス		スロット位置
マスタモード 2	マスタ	L/R	なし	非対応

【注】 * 制御データ方式については、FL ビットに B'1xxx を設定した場合に有効となります。(x: Don't care)

21.3.2 コントロールレジスタ (SICTR)

SICTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	—	—	—	—	TXE	RXE	—	—	—	—	—	—	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOFSCK の出力を禁止 (0 を出力する) 1: SIOFSCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はポーレートジェネレータを初期化し、動作を開始すると同時に SIOFSCK にポーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOFSYNC の出力を禁止 (0 を出力する) 1: SIOFSYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。
13~10		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0: SIOFTXD からのデータ送出を禁止 1: SIOFTXD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、SIOFTXD から送信データの送出を開始します。 • 送信リセット時に初期化されます。

ビット	ビット名	初期値	R/W	説明
8	RXE	0	R/W	<p>受信イネーブル</p> <p>0 : SIOFRXD からのデータ受信を禁止 1 : SIOFRXD からのデータ受信を許可</p> <ul style="list-style-type: none"> 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 本ビットへの1設定が有効になると、SIOF は SIOFRXD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送要求を発行します。 受信リセット時に初期化されます。
7~2		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	TXRST	0	R/W	<p>送信リセット</p> <p>0 : 送信動作をリセットしない 1 : 送信動作をリセットする</p> <ul style="list-style-type: none"> 本ビットへの設定は、直ちに有効となります。 本ビットへの1設定が有効になると、SIOF は直ちに SIOFTXD からの送信データを 1 とし、送信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。 <ol style="list-style-type: none"> 送信 FIFO ライトポインタ SISTR の TCRDY、TFEMP、TDREQ ビット 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。
0	RXRST	0	R/W	<p>受信リセット</p> <p>0 : 受信動作をリセットしない 1 : 受信動作をリセットする</p> <ul style="list-style-type: none"> 本ビットへの設定は、直ちに有効となります。 本ビットへの1設定が有効になると、SIOF は SIOFRXD からの受信を停止し、受信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。 <ol style="list-style-type: none"> 受信 FIFO リードポインタ SISTR の RCRDY、RFFUL、RDREQ ビット 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。

21.3.3 送信データレジスタ (SITDR)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOFTXD から送出するデータを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITDL[15:0]	不定	W	左チャンネル送信データ 左チャンネルデータとして SIOFTXD から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR[15:0]	不定	W	右チャンネル送信データ 右チャンネルデータとして SIOFTXD から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

21.3.4 受信データレジスタ (SIRDR)

SIRDR は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRDL[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRDL[15:0]	不定	R	左チャンネル受信データ 左チャンネルデータとして SIOFRXD から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR[15:0]	不定	R	右チャンネル受信データ 右チャンネルデータとして SIOFRXD から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

21.3.5 送信制御データレジスタ (SITCR)

SITCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、各処理モードにおけるレジスタの状態に示す初期化条件(表 21.3 参照)のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	SITC0[15:0]	H'0000	R/W	制御 0 チャンネル送信データ 制御 0 チャンネル送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 0 チャンネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SITC1[15:0]	H'0000	R/W	制御 1 チャンネル送信データ 制御 1 チャンネル送信データとして SIOFTXD から送出するデータを設定します。送受信フレームにおける制御 1 チャンネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

21.3.6 受信制御データレジスタ (SIRCR)

SIRCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRC0[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRC1[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	SIRC0[15:0]	不定	R/W	制御 0 チャネル受信データ 制御 0 チャネル受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SIRC1[15:0]	不定	R/W	制御 1 チャネル受信データ 制御 1 チャネル受信データとして SIOFRXD から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

21.3.7 ステータスレジスタ (SISTR)

SISTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIER の対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDY	TFEMP	TDREQ	—	RCRDY	RFFUL	RDREQ	—	—	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
14	TCRDY	0	R	<p>送信制御データレディ</p> <p>0 : SITCR への書き込みが可能でない 1 : SITCR への書き込みが可能である</p> <ul style="list-style-type: none"> • 本ビットが 0 のときに SITCR への書き込みを行うと SICTR は上書きされ、以前の内容は SIOFTXD から送出されません。 • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
13	TFEMP	0	R	<p>送信 FIFO エンプティ</p> <p>0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えていない 1 : 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えた</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0 : SIRCR に有効データが格納されていない 1 : SIRCR に有効データが格納されている</p> <ul style="list-style-type: none"> • 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。 • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0 : 受信 FIFO が満杯でない 1 : 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えていない 1 : 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えた</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0 : スロットアサインエラー未発生 1 : スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOFTXD への送信および SIOFRXD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。

ビット	ビット名	初期値	R/W	説明
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0: 送信 FIFO アンダフロー未発生 1: 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO が空時に送信動作によるロードが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0: 受信 FIFO アンダフロー未発生 1: 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0: 受信 FIFO オーバフロー未発生 1: 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> • 本ビットは SICTR の RXE ビットが 1 のときに有効となります。 • 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。

21.3.8 割り込み許可レジスタ (SIER)

SIER は、読み出し / 書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAE	TCRDYE	TFEMPE	TDREQE	RDMAE	RCRDYE	RFFULE	RDREQE	—	—	SAERRE	FSERRE	TFOVFE	TFUDFE	RFUDFE	RFOVFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0 : 受信制御データレディによる割り込みを禁止 1 : 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0 : 受信 FIFO フルによる割り込みを禁止 1 : 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0 : 受信データ転送リクエストによる割り込みを禁止 1 : 受信データ転送リクエストによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0 : スロットアサインエラーによる割り込みを禁止 1 : スロットアサインエラーによる割り込みを許可
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0 : フレーム同期エラーによる割り込みを禁止 1 : フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0 : 送信 FIFO オーバフローによる割り込みを禁止 1 : 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0 : 送信 FIFO アンダフローによる割り込みを禁止 1 : 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0 : 受信 FIFO アンダフローによる割り込みを禁止 1 : 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0 : 受信 FIFO オーバフローによる割り込みを禁止 1 : 受信 FIFO オーバフローによる割り込みを許可

21.3.9 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM[2:0]			TFUA[4:0]				RFWM[2:0]			RFUA[4:0]					
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	TFWM[2:0]	000	R/W	送信 FIFO ウォータマーク 000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する • 送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。 • 本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。
12~8	TFUA[4:0]	10000	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (満杯) ~ B'10000 (空) で表示します。
7~5	RFWM[2:0]	000	R/W	受信 FIFO ウォータマーク 000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する 101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する 110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する 111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する • 受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。 • 本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。
4~0	RFUA[4:0]	00000	R	受信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'00000 (空) ~ B'10000 (満杯) で表示します。

21.3.10 クロックセレクトレジスタ (SISCR)

SISCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD[1:0] ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSEL	MSIMM	—	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSEL	1	R/W	マスタクロックソース選択 マスタクロックとは、ボーレートジェネレータに入力するクロックを指します。 0: マスタクロックとして SIOFMCK 端子入力信号を使用 1: マスタクロックとして P を使用
14	MSIMM	1	R/W	マスタクロック直接選択 0: シリアルクロックとしてボーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ボーレートジェネレータのプリスケアラのカウンタ値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 (×1/1) ~ B'11111 (×1/32) となります。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ボーレートジェネレータ分周比 ボーレートジェネレータにおける出力段の分周比を設定します。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 101: 設定禁止 110: 設定禁止 111: プリスケアラ出力 × 1/1 • 111 は BRPS[4:0] ビットが B'00000 または B'00001 の場合のみ設定可能です。 • ボーレートジェネレータの最終分周比は、BRPS × BRDV で決定します (最大 1/1024)。

21.3.11 送信データアサインレジスタ (SITDAR)

SITDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	—	—	—	TDLA[3:0]			TDRE	TLREP	—	—	TDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0: 左チャンネルデータの送信を許可しない 1: 左チャンネルデータの送信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TDLA[3:0]	0000	R/W	送信左チャンネルデータアサイン 3~0 送信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左チャンネルデータの送信データは SITDR の SITDL ビットに設定します。
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0: 右チャンネルデータの送信を許可しない 1: 右チャンネルデータの送信を許可する
6	TLREP	0	R/W	送信左チャンネルリピート 0: 右チャンネルデータとして SITDR の SITDR ビット設定値を送出する 1: 右チャンネルデータとして SITDR の SITDL ビット設定値を繰り返して送出的 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TDRA[3:0]	0000	R/W	送信右チャンネルデータアサイン 3~0 送信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右チャンネルデータの送信データは SITDR の SITDR ビットに設定します。

21.3.12 受信データアサインレジスタ (SIRDAR)

SIRDAR は、読み出し / 書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	—	—	—	RDLA[3:0]			RDRE	—	—	—	RDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0: 左チャンネルデータの受信を許可しない 1: 左チャンネルデータの受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	RDLA[3:0]	0000	R/W	受信左チャンネルデータアサイン 3~0 受信フレームにおける左チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 左チャンネルデータの受信データは SIRDAR の SIRDLE ビットに格納されま す。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0: 右チャンネルデータの受信を許可しない 1: 右チャンネルデータの受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RDRA[3:0]	0000	R/W	受信右チャンネルデータアサイン 3~0 受信フレームにおける右チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111: 設定禁止 • 右チャンネルデータの受信データは SIRDAR の SIRDRE ビットに格納されま す。

21.3.13 制御データアサインレジスタ (SICDAR)

SICDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	—	—	—	CD0A[3:0]				CD1E	—	—	—	CD1A[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CD0E	0	R/W	制御 0 チャンネルデータイネーブル 0 : 制御 0 チャンネルデータの送受信を許可しない 1 : 制御 0 チャンネルデータの送受信を許可する
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	CD0A[3:0]	0000	R/W	制御 0 チャンネルデータアサイン 3~0 送受信フレームにおける制御 0 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 0 チャンネルデータの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0 チャンネルデータの受信データは SIRCR の SIRD0 ビットに格納されます。
7	CD1E	0	R/W	制御 1 チャンネルデータイネーブル 0 : 制御 1 チャンネルデータの送受信を許可しない 1 : 制御 1 チャンネルデータの送受信を許可する
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CD1A[3:0]	0000	R/W	制御 1 チャンネルデータアサイン 3~0 送受信フレームにおける制御 1 チャンネルデータの位置を B'0000 (0) から B'1110 (14) で設定します。 1111 : 設定禁止 • 制御 1 チャンネルデータの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1 チャンネルデータの受信データは SIRCR の SIRD1 ビットに格納されます。

21.4 動作説明

21.4.1 シリアルクロック

(1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOFSCK、SIOFSYNCは入力
- マスタモード : SIOFSCK、SIOFSYNCは出力

(2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータ (BRG) を用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は、 $1/1 \sim 1/1024$ です。

図 21.2 にシリアルクロック供給系統図を示します。

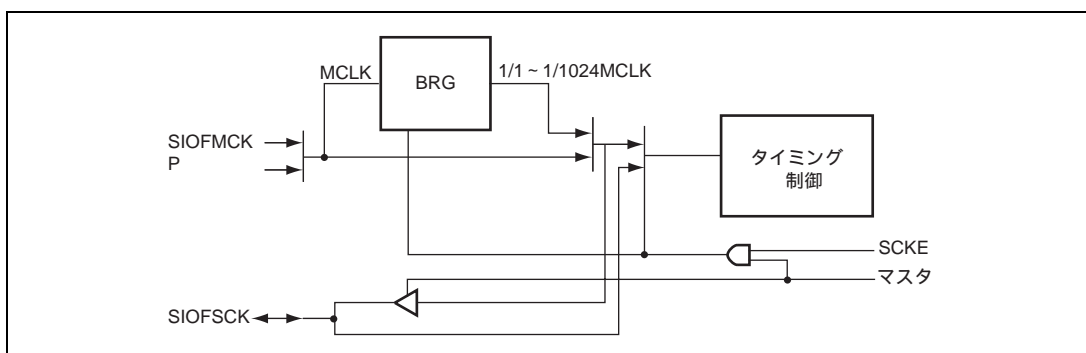


図 21.2 シリアルクロック供給

また、表 21.5 にシリアルクロック周波数の例を示します。

表 21.5 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.289MHz	12.289MHz

21.4.2 シリアルタイミング

(1) SIOFSYNC

SIOFSYNC はフレーム同期信号です。転送モードによって下記の 2 通りの機能を持ちます。

- 同期パルス：フレーム先頭を表す 1 ビット幅のパルス
- L/R : ステレオデータの左チャンネル (L) をハイレベル、右チャンネル (R) をローレベルで表す 1/2 フレーム幅のパルス

図 21.3 に SIOFSYNC による同期タイミングを示します。

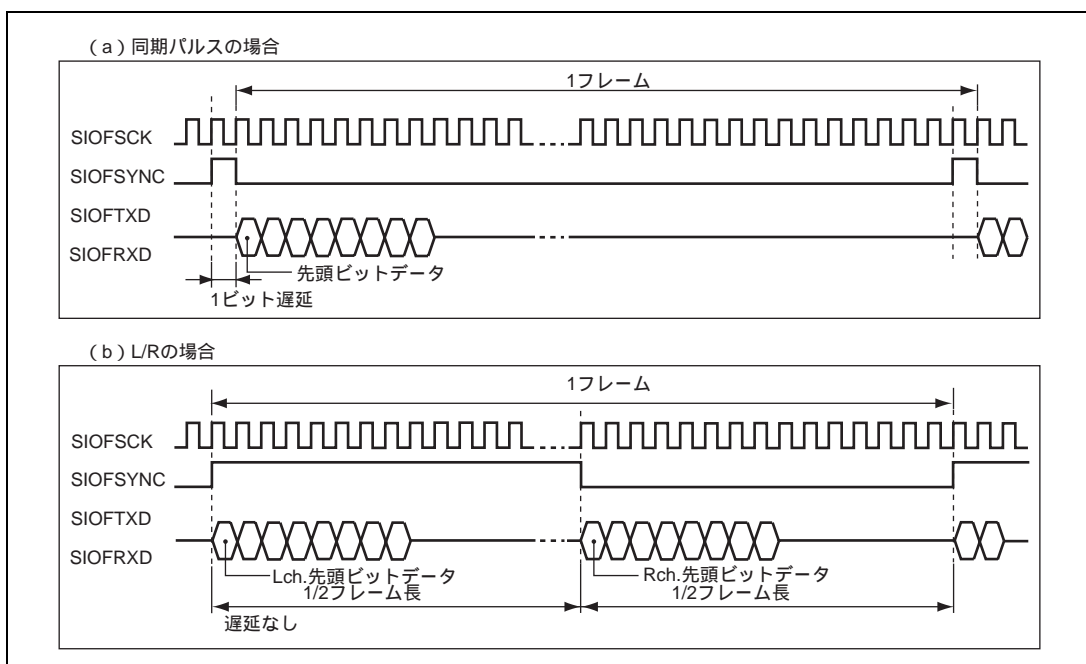


図 21.3 シリアルデータ同期タイミング

(2) 送受信タイミング

SIOFSCK に対する SIOFTXD の送信タイミングおよび SIOFRXD の受信タイミングは、サンプリングタイミングとして下記の 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットに行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 21.4 に送受信タイミングを示します。

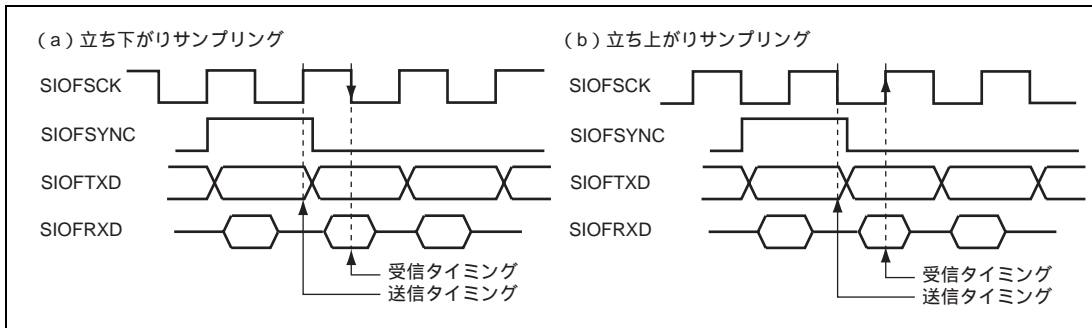


図 21.4 SIOF 送受信タイミング

21.4.3 転送データフォーマット

SIOF は、下記の転送を行います。

- 送受信データ 8ビット / 16ビット / 16ビットステレオの転送データ
- 制御データ 16ビット長 (専用レジスタを用いてインタフェースを行います)

(1) 転送モード

SIOF は、転送モードとして表 21.6 に示すように 4 通りのモードを持っています。転送モードの設定は SIMDR の TRMD[1:0] ビットに行います。

表 21.6 シリアル転送モード

転送モード	SIOFSYNC	ビット遅延	制御データ
スレーブモード 1	同期パルス	SYNCDL ビット	スロット位置
スレーブモード 2	同期パルス		セカンダリ FS
マスタモード 1	同期パルス		スロット位置
マスタモード 2	L/R	なし	非対応

(2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL[3:0]ビットに対して設定を行います。表 21.7 に設定値とフレーム長の関係を示します。

表 21.7 フレーム長

FL[3:0]	スロット長	1 フレーム当たりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラルステレオ
1101	16	64	16 ビットモノラルステレオ
1110	16	128	16 ビットモノラルステレオ
1111	16	256	16 ビットモノラルステレオ

【注】 x : Don't care

(3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ (送受信共通) の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記のレジスタに対して行います。

- 送信データ : SITDAR
- 受信データ : SIRDAR
- 制御データ : SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

21.4.4 転送データのレジスタ割り付け

(1) 送受信データ

送受信データの書き込み / 読み出しは下記のレジスタに対して行います。

- 送信データ書き込み : SITDR (32ビットアクセス)
- 受信データ読み出し : SIRDR (32ビットアクセス)

図 21.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

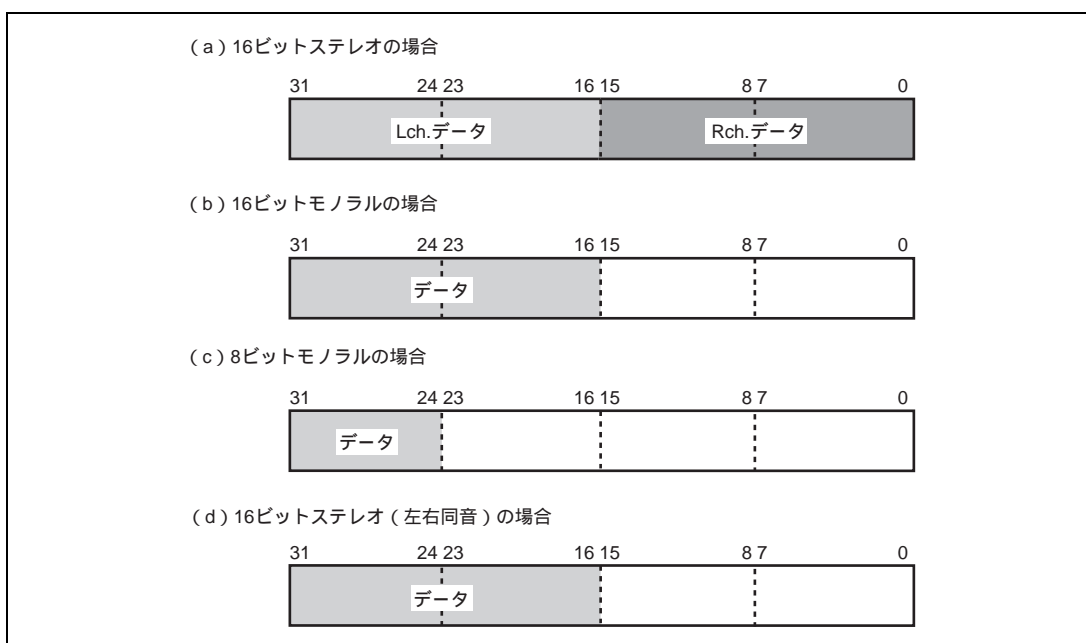


図 21.5 送受信データビットアライメント

【注】 ハッチングの部分だけが有効なデータとして送受信されます。ハッチングが掛かっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 21.8 に送信データにおける音声モードの設定を、表 21.9 に受信データにおける音声モードの設定を示します。

表 21.8 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 21.9 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8 ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

(2) 制御データ

制御データの書き込み/読み出しは下記のレジスタに対して行います。

- 送信制御データ書き込み : SITCR (32ビットアクセス)
- 受信制御データ読み出し : SIRCR (32ビットアクセス)

図 21.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

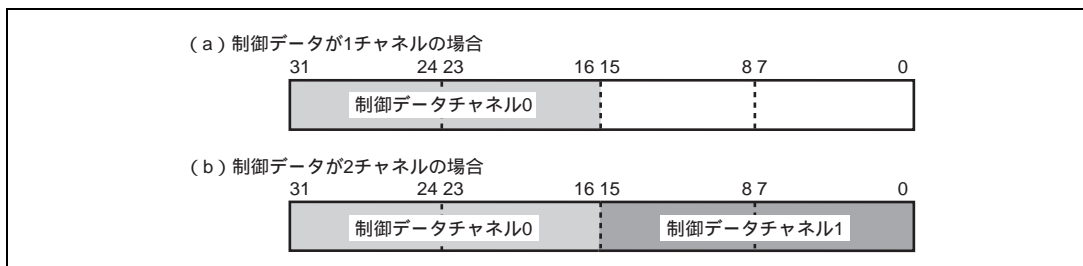


図 21.6 制御データビットアライメント

制御データのチャンネル数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 21.10 に制御データにおけるチャンネル数の設定を示します。

表 21.10 制御データのチャンネル数設定

チャンネル数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

21.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリFSによる制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

(1) スロット位置による制御 (マスタモード 1、スレーブモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 21.7 にスロット位置による制御データインタフェースのタイミング例を示します。

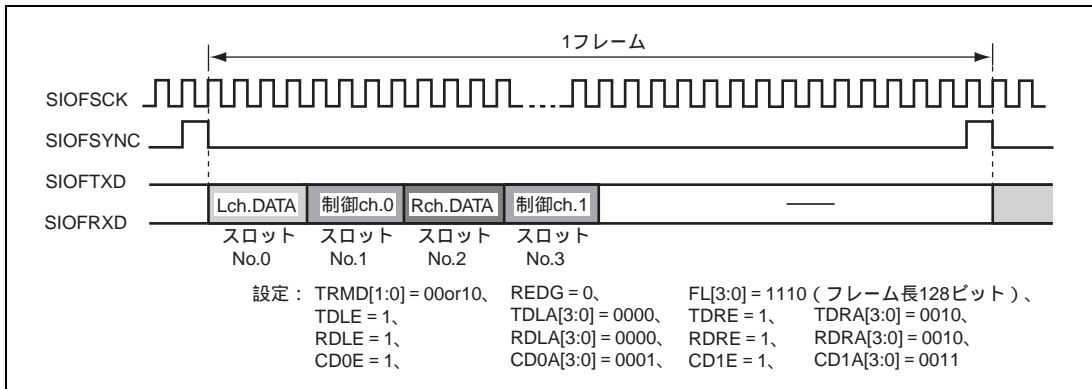


図 21.7 制御データインタフェース (スロット位置)

(2) セカンダリ FS による制御 (スレープモード 2)

SIOFSYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレープのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB = 0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB = 1 の送信データ送出 (SITCDR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCDR 設定データ) の送信および受信 (SIRCDR へ格納) を行う

図 21.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

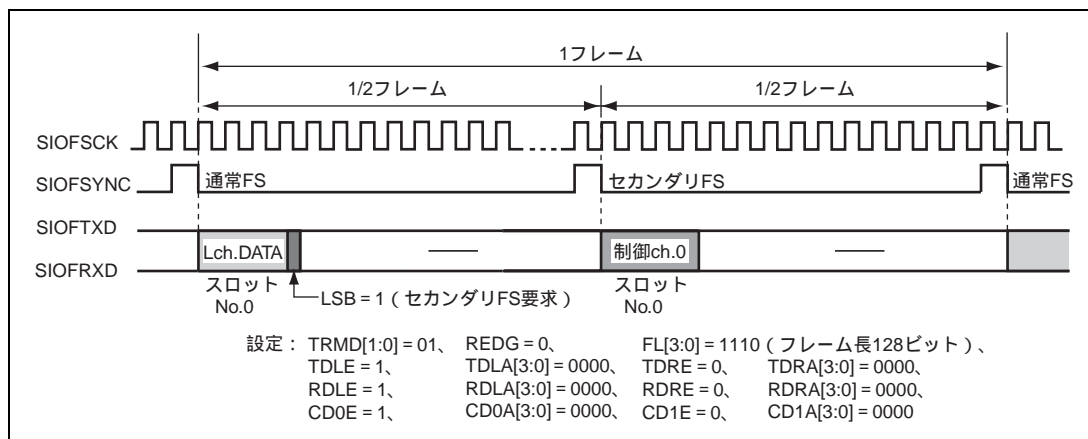


図 21.8 制御データインタフェース (セカンダリ FS)

21.4.6 FIFO

(1) 概要

SIOF 送受信 FIFO の特徴を以下に示します。

- 送受信それぞれ 32 ビット × 16 段の容量
- CPU、DMAC のアクセスサイズにかかわらず、1 回の読み出し / 書き込みサイクルでポインタは更新されます。
(1 段のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求：TDREQ (送信用割り込み要因)
- 受信要求：RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0]ビットに、受信 FIFO の転送要求は RFWM[2:0]ビットに設定します。表 21.11 に送信要求発行条件を、表 21.12 に受信要求発行条件を示します。

表 21.11 送信要求発行条件

TFWM[2:0]	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 21.12 受信要求発行条件

RFWM[2:0]	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

データ領域もしくは空き領域が上記の段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

(3) 段数表示

送受信 FIFO の使用状況を、下記の内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA[4:0]ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA[4:0]ビットに有効データの段数を表示

上記の内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

21.4.7 送受信手順

(1) マスタ時送信

図 21.9 にマスタ時送信の設定例および動作を示します。

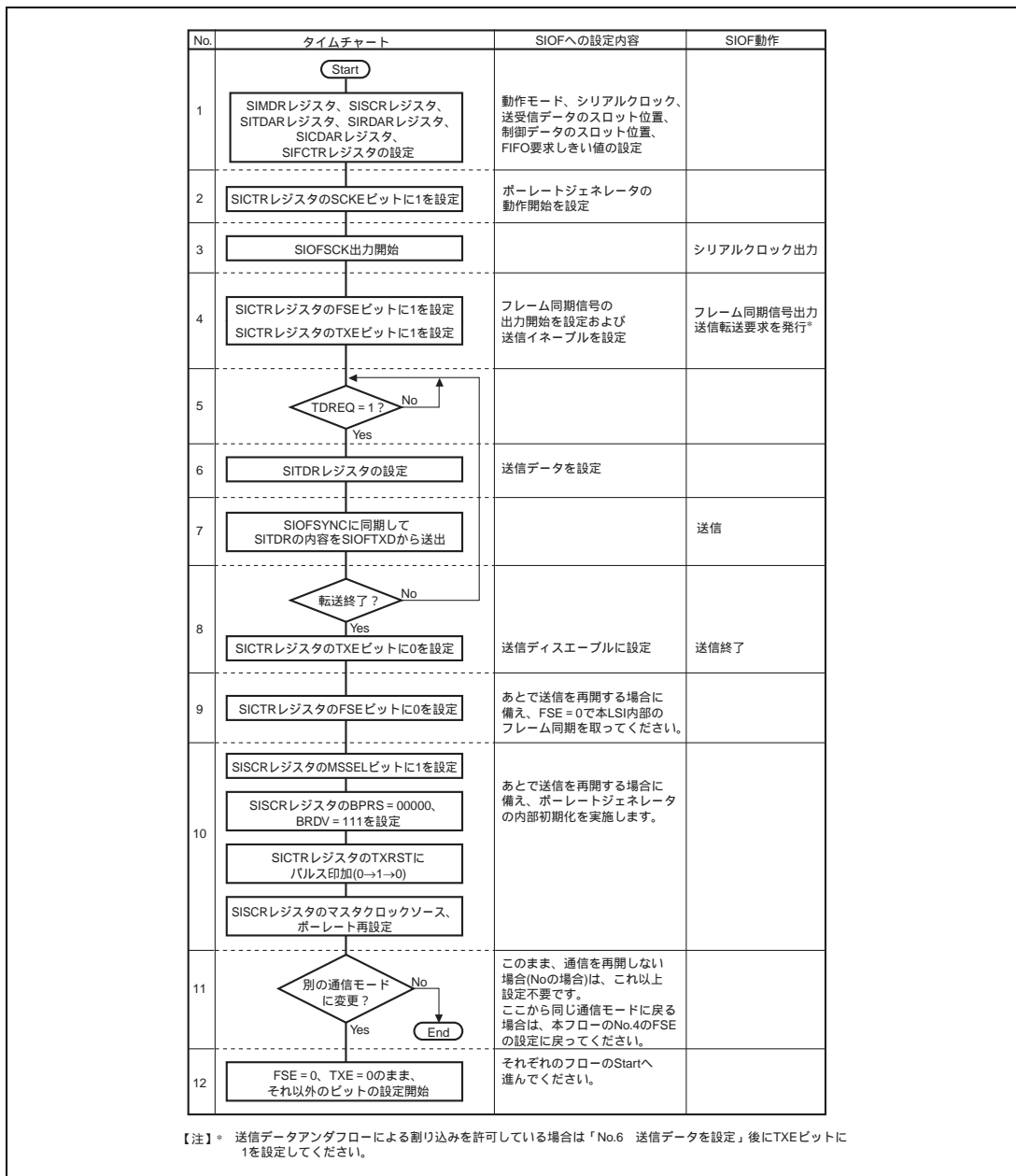


図 21.9 マスタ時送信動作例

(2) マスタ時受信

図 21.10 にマスタ時受信の設定例および動作を示します。

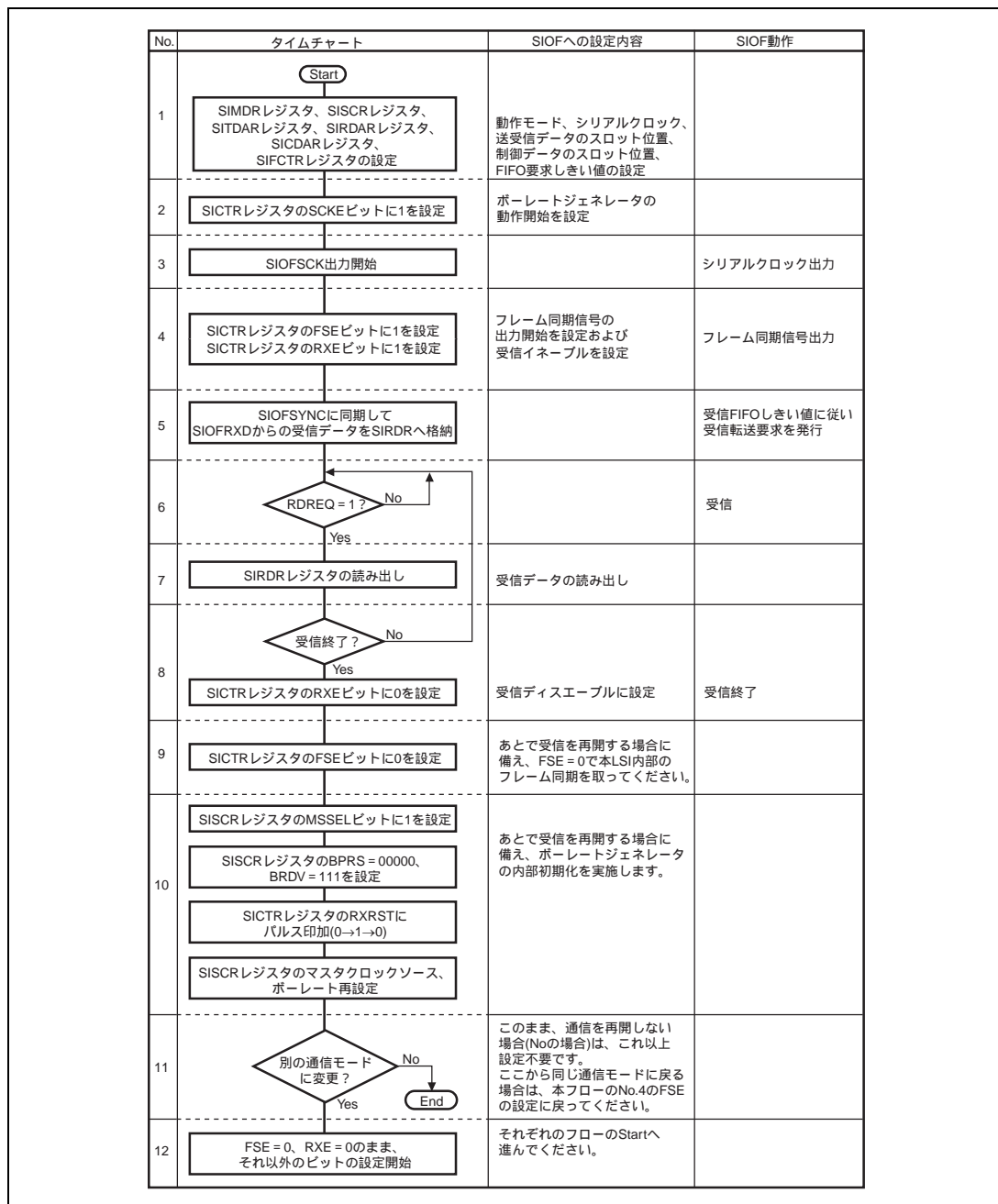


図 21.10 マスタ時受信動作例

(3) スレープ時送信

図 21.11 にスレープ時送信の設定例および動作を示します。

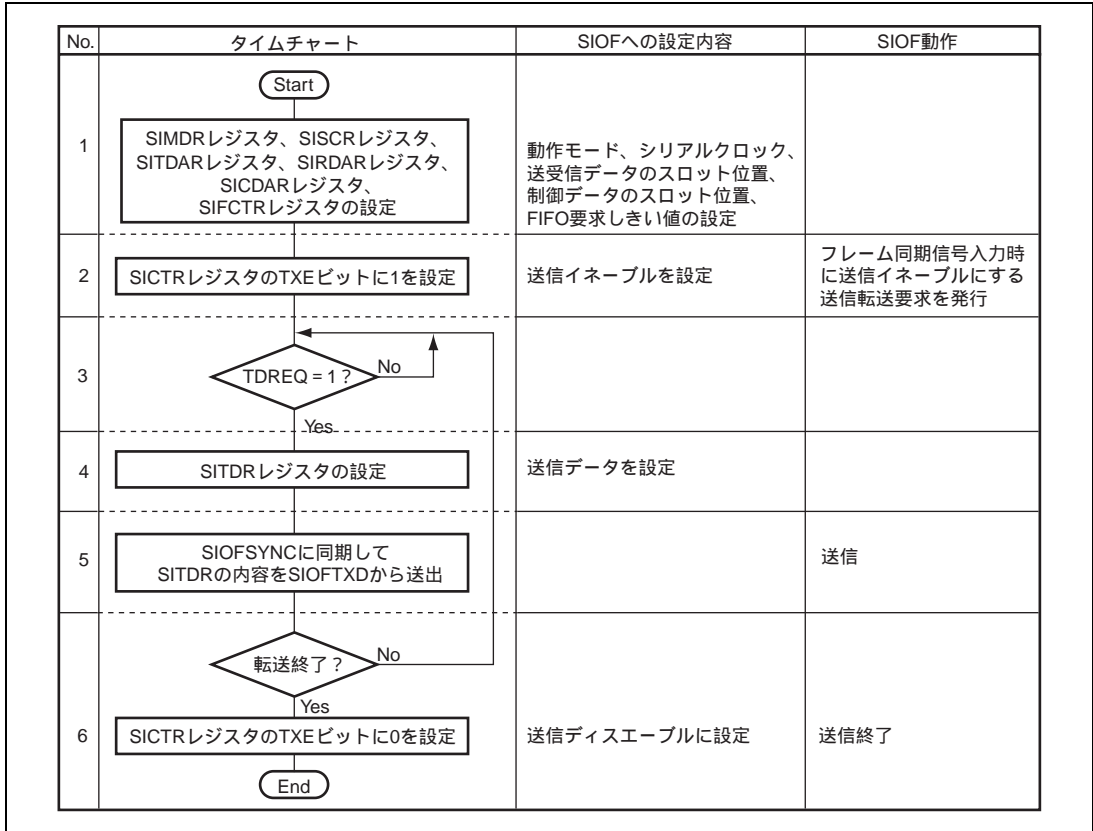


図 21.11 スレープ時送信動作例

(4) スレープ時受信

図 21.12 にスレープ時受信の設定例および動作を示します。

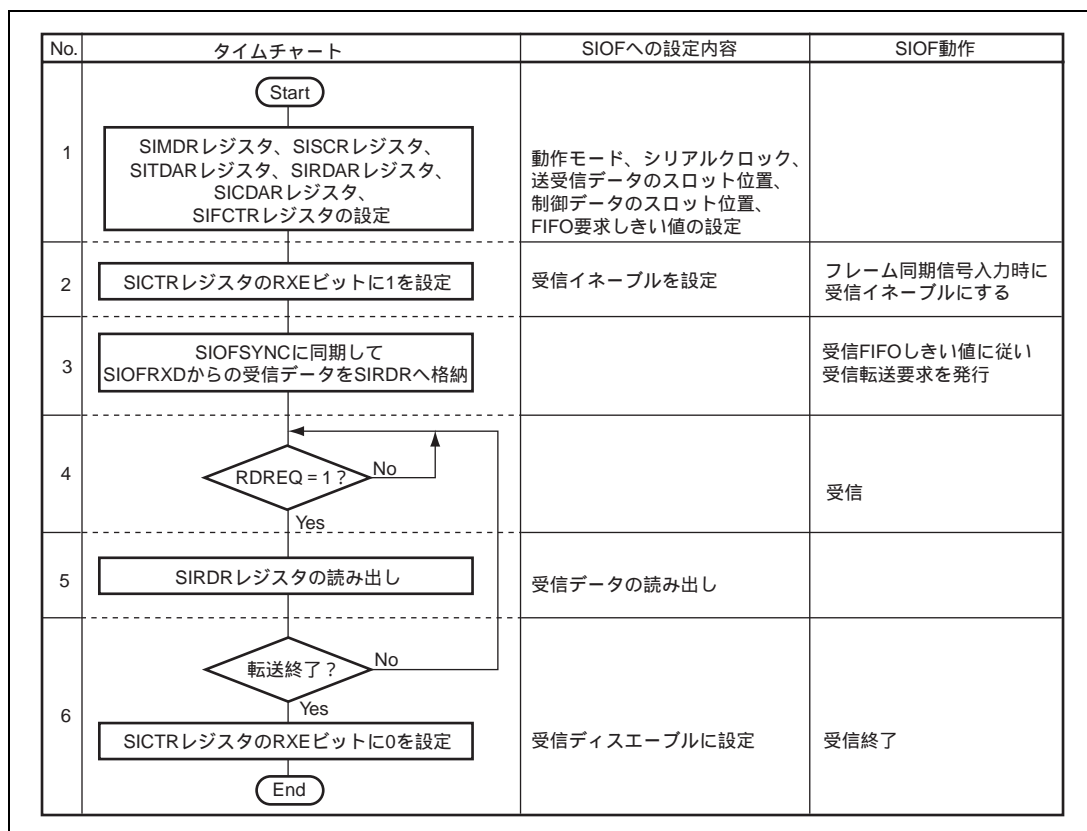


図 21.12 スレープ時受信動作例

(5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 21.13 に送受信リセットで初期化される内容を示します。

表 21.13 送受信リセット

種類	初期化対象
送信リセット	送信 FIFO ライトポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	受信 FIFO ライトポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

【注】 送信リセット、受信リセットを行う場合は下記の手順に従ってください。

1. マスタクロックソースを周辺クロックに設定してください。
(SISCR レジスタの MSSEL ビットに"1" (マスタクロック=P (周辺クロック) を書き込む))
2. ポーレートジェネレータのプリスケアラのカウンタ値を 1/1 倍に設定してください。
(SISCR レジスタの BRPS4-0 ビットに"00000" (分周比=1/1) を書き込む)
3. ポーレートジェネレータの出力段分周比を 1/1 倍に設定してください。
(SISCR レジスタの BRDV2-0 ビットに"111" (分周比=1/1) を書き込む)
4. 送受信動作をリセットしてください。
(SICTR レジスタの TXRST (または、RXRST) ビットに"1" (リセットする) を書き込む)

21.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

(1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 21.14 に SIOF 割り込み要因一覧を示します。

表 21.14 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレープ時)
12		SAERR	アサインエラー	シリアルデータ、制御データの-slot設定が重複している

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

(2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表す信号であり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送が終了した時点で、DMA 転送要求は必ず 1 サイクル期間 0 レベルとなります。

(3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記の動作を行います。

- 送信FIFOアンダフロー (TFUDF)
直前の送信データを再び送出します。
- 送信FIFOオーバーフロー (TFOVF)
送信FIFOの内容は保護され、オーバーフローとなった書き込みは無視します。
- 受信FIFOオーバーフロー (RFOVF)
オーバーフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー (RFUDF)
不定値がバス上に出力されます。
- FSエラー (FSERR)
エラーとなった同期信号に従って、内部カウンタはリセットされます。
- アサインエラー (SAERR)
シリアルデータと制御データが重複した場合には、シリアルデータが優先されます。
制御データ同志が重複した場合には、送受信データは保証されません。

21.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 21.13 ~ 図 21.20 に示します。

(1) 8ビットモノラルの場合 (その1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

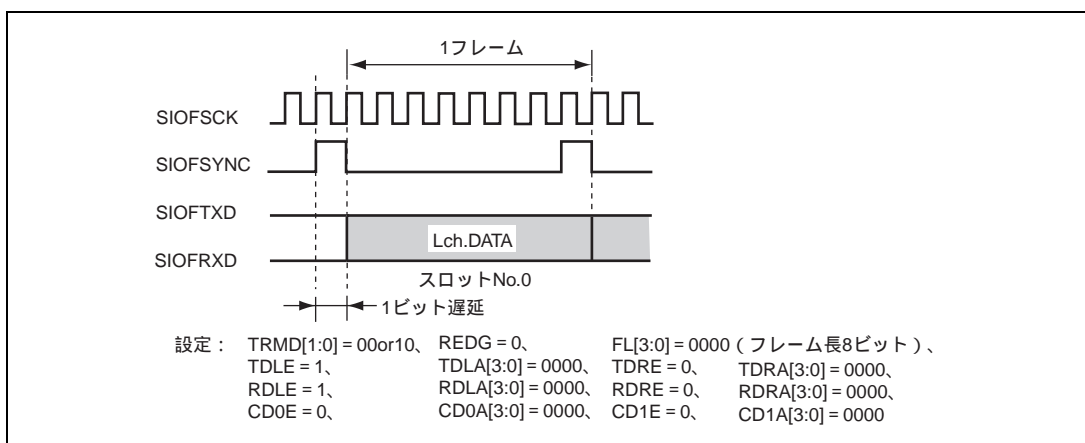


図 21.13 送受信タイミング (8ビットモノラル - 1)

(2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

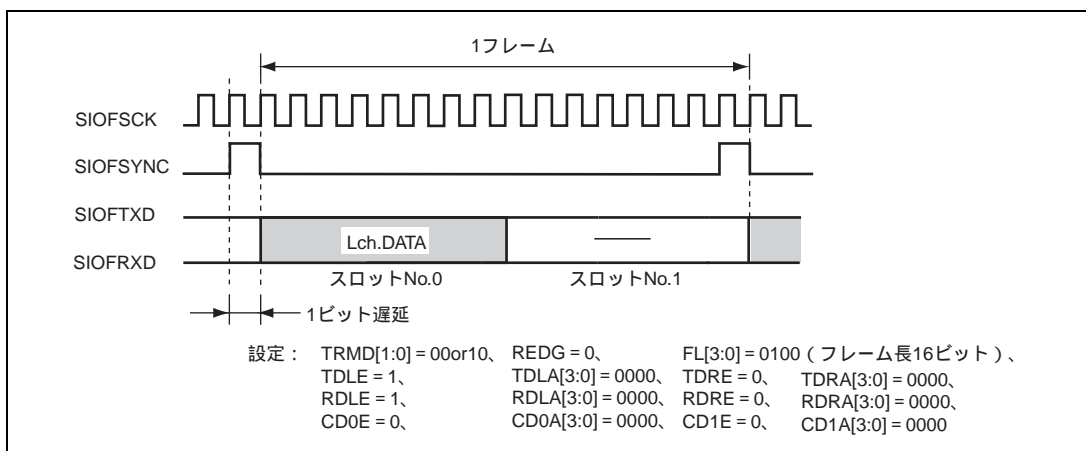


図 21.14 送受信タイミング (8 ビットモノラル - 2)

(3) 16 ビットモノラルの場合

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

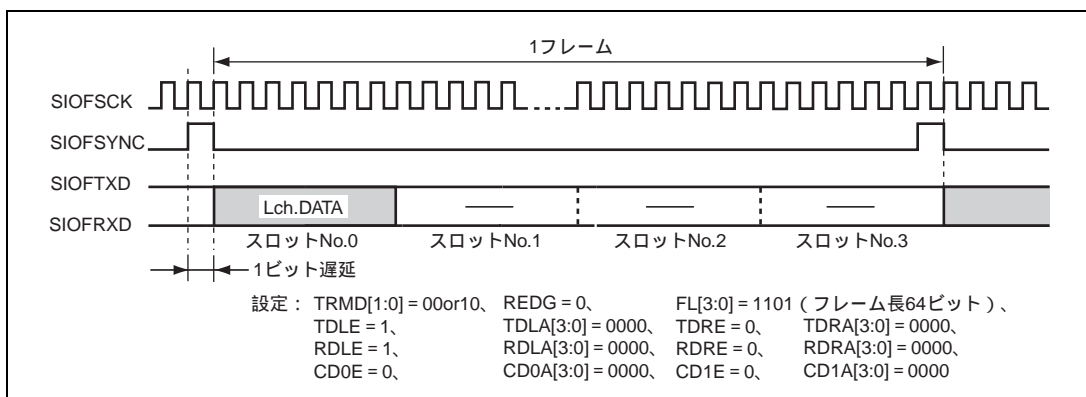


図 21.15 送受信タイミング (16 ビットモノラル)

(4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

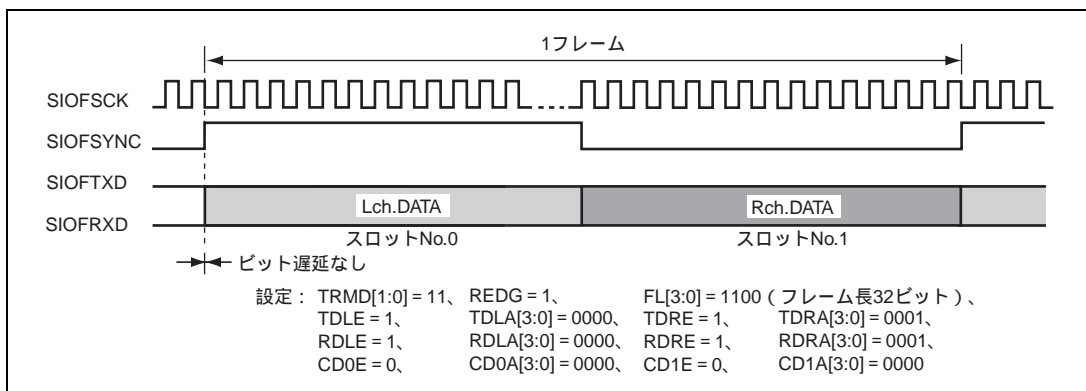


図 21.16 送受信タイミング (16 ビットステレオ - 1)

(5) 16 ビットステレオの場合 (その 2)

L/R 方式、立ち上がりサンプリング、L チャンネル送信データはスロット No.0、L チャンネル受信データはスロット No.1、R チャンネル送信データはスロット No.2、R チャンネル受信データはスロット No.3、フレーム長は 64 ビット

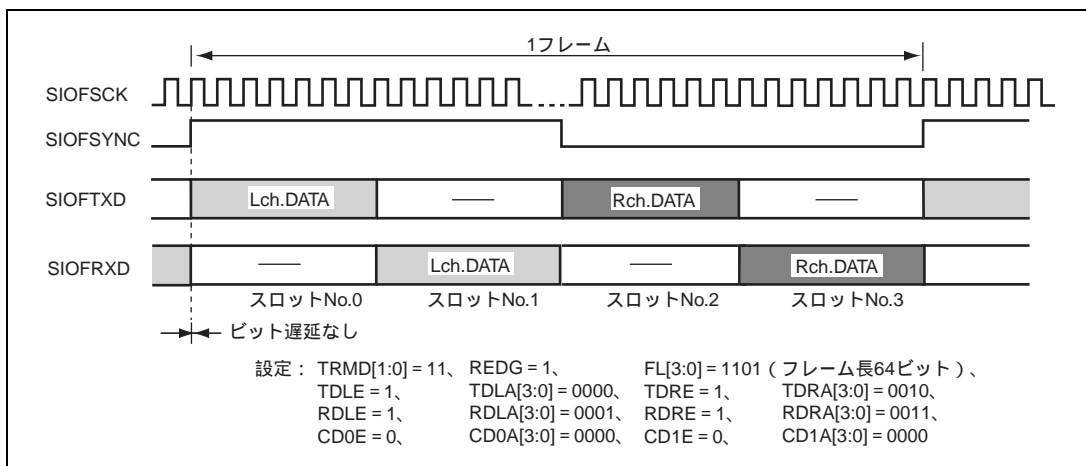


図 21.17 送受信タイミング (16 ビットステレオ - 2)

(6) 16 ビットステレオの場合 (その3)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.1、制御チャンネルデータ0はスロット No.2、制御チャンネルデータ1はスロット No.3、フレーム長は128ビット

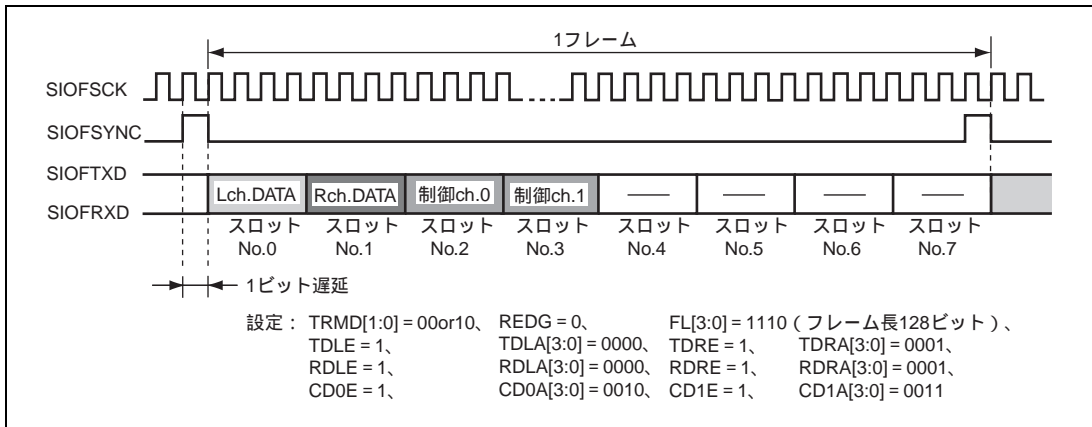


図 21.18 送受信タイミング (16 ビットステレオ - 3)

(7) 16 ビットステレオの場合 (その4)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.2、制御チャンネルデータ0はスロット No.1、制御チャンネルデータ1はスロット No.3、フレーム長は128ビット

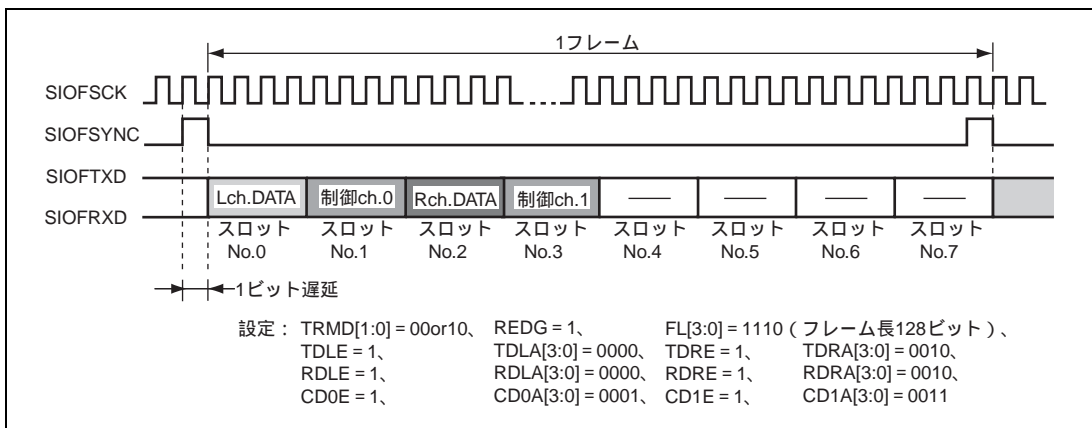


図 21.19 送受信タイミング (16 ビットステレオ - 4)

(8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

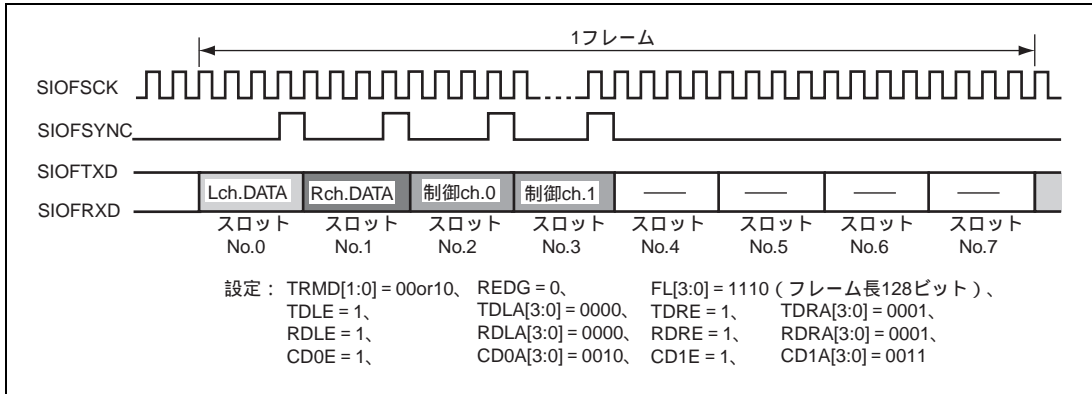


図 21.20 送受信タイミング (16 ビットステレオ)

21.5 使用上の注意

本 SIOF を使用する際は、以下のことに注意してください。

21.5.1 スレーブモード受信時の注意事項

スレーブモード受信時に下記の注意事項があります。

SIOF スレーブモード受信時、ビット遅延無し (SIMDR.SYNCDDL=0) に設定した場合、受信データのサンプリングが SIOF_SCK の立ち上がりエッジで行われるため、受信データのホールド時間が確保できなくなる場合があります。

これを回避する方法として、スレーブモード受信時も送信時同様、1 ビット遅延 (SIMDR.SYNCDDL=1) に設定してください。この場合、受信データは SIOF_SCK の立ち下がりエッジでサンプリングされます。

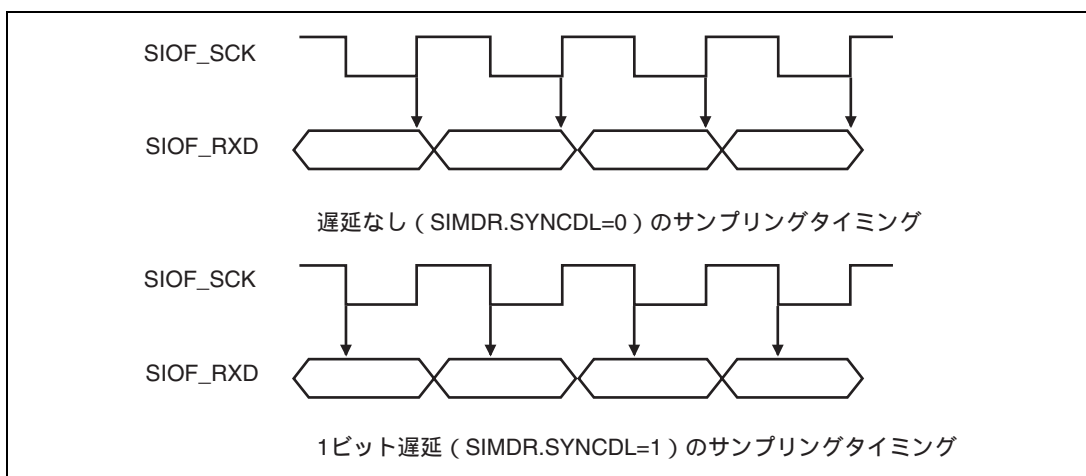


図 21.21 SIOF スレーブモード受信データサンプリングタイミング

21.5.2 転送中断時の注意事項

転送中は SICTR レジスタの FSE ビットを 0 にして転送を中断させないでください。

転送を中断させる場合は、SICTR レジスタの TXE ビットまたは RXE ビットを 0 にクリアしてください。

22. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を 4 チャンネル内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信 FIFO バッファおのおのに 16 段のバッファを内蔵しており、効率の良い高速連続通信が可能です。

22.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

- データ長 : 7 ビット、または 8 ビット
- ストップビット長 : 1 ビット、または 2 ビット
- パリティ : 偶数パリティ、奇数パリティ、またはパリティなし
- 受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出
- ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに 16 段の FIFO バッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- クロックソース：ボーレートジェネレータからの内部クロック、あるいはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレイク、受信FIFOデータフル、受信エラーの4種類の割り込みチャンネルごとに要因があり、チャンネルごと独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています (チャンネル2、3)。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 22.1 に SCIF のブロック図を示します。

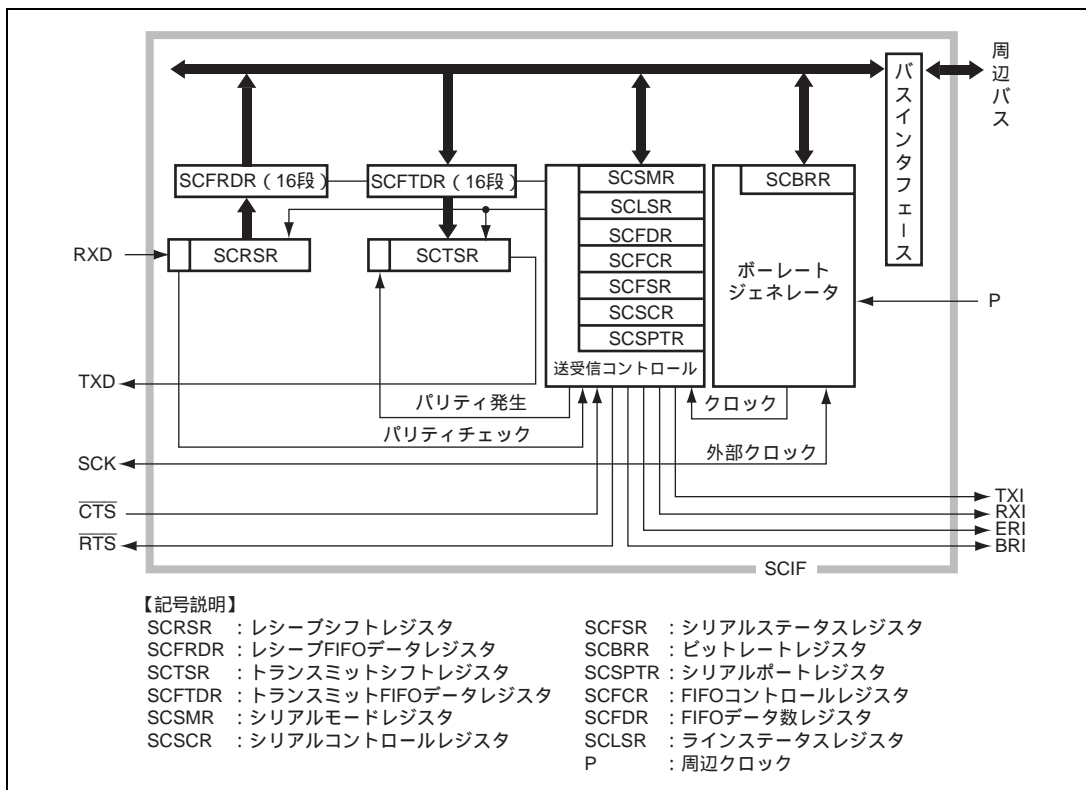


図22.1 SCIFのブロック図

22.2 入出力端子

SCIF の端子構成を表 22.1 に示します。

表22.1 端子構成

チャンネル	端子名	機能	入出力	説明
0	SCIF0_TXD	送信データ	出力	送信データ用の端子です。
	SCIF0_RXD	受信データ	入力	受信データ用の端子です。
	SCIF0_SCK	シリアルクロック	入出力	クロック入出力端子です。
1	SCIF1_TXD	送信データ	出力	送信データ用の端子です。
	SCIF1_RXD	受信データ	入力	受信データ用の端子です。
	SCIF1_SCK	シリアルクロック	入出力	クロック入出力端子です。
2	SCIF2_TXD	送信データ	出力	送信データ用の端子です。
	SCIF2_RXD	受信データ	入力	受信データ用の端子です。
	SCIF2_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF2_RTS	モデムコントロール	出力	RTS 出力端子です。
	SCIF2_CTS	モデムコントロール	入力	CTS 入力端子です。
3	SCIF3_TXD	送信データ	出力	送信データ用の端子です。
	SCIF3_RXD	受信データ	入力	受信データ用の端子です。
	SCIF3_SCK	シリアルクロック	入出力	クロック入出力端子です。
	SCIF3_RTS	モデムコントロール	出力	RTS 出力端子です。
	SCIF3_CTS	モデムコントロール	入力	CTS 入力端子です。

【注】 本文中では、チャンネルを省略し、総合の名称として TXD、RXD、SCK、RTS、CTS を使用します。

22.3 レジスタの説明

SCIF のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。
なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表22.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	16
ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004	8
シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	16
トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	8
シリアルステータスレジスタ 0	SCFSR0	R/W* ¹	H'FFE0 0010	16
レシーブ FIFO レジスタ 0	SCFRDR0	R	H'FFE0 0014	8
FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	16
FIFO データ数レジスタ 0	SCFDR0	R	H'FFE0 001C	16
ラインステータスレジスタ 0	SCLSR0	R/W* ²	H'FFE0 0024	16
シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000	16
ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004	8
シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008	16
トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C	8
シリアルステータスレジスタ 1	SCFSR1	R/W* ¹	H'FFE1 0010	16
レシーブ FIFO レジスタ 1	SCFRDR1	R	H'FFE1 0014	8
FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018	16
FIFO データ数レジスタ 1	SCFDR1	R	H'FFE1 001C	16
ラインステータスレジスタ 1	SCLSR1	R/W* ²	H'FFE1 0024	16
シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE2 0000	16
ビットレートレジスタ 2	SCBRR2	R/W	H'FFE2 0004	8
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE2 0008	16
トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE2 000C	8
シリアルステータスレジスタ 2	SCFSR2	R/W* ¹	H'FFE2 0010	16
レシーブ FIFO レジスタ 2	SCFRDR2	R	H'FFE2 0014	8
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE2 0018	16
FIFO データ数レジスタ 2	SCFDR2	R	H'FFE2 001C	16
ラインステータスレジスタ 2	SCLSR2	R/W* ²	H'FFE2 0024	16

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ 3	SCSMR3	R/W	H'FFE3 0000	16
ビットレートレジスタ 3	SCBRR3	R/W	H'FFE3 0004	8
シリアルコントロールレジスタ 3	SCSCR3	R/W	H'FFE3 0008	16
トランスミット FIFO データレジスタ 3	SCFTDR3	W	H'FFE3 000C	8
シリアルステータスレジスタ 3	SCFSR3	R/W* ¹	H'FFE3 0010	16
レシーブ FIFO レジスタ 3	SCFRDR3	R	H'FFE3 0014	8
FIFO コントロールレジスタ 3	SCFCR3	R/W	H'FFE3 0018	16
FIFO データ数レジスタ 3	SCFDR3	R	H'FFE3 001C	16
ラインステータスレジスタ 3	SCLSR3	R/W* ²	H'FFE3 0024	16

【注】 *1 ビット 7~4、1、0 は、フラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 0 は、フラグをクリアするための 0 書き込みのみ可能です。

表22.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCSMR0	初期化	保持	保持	保持
SCBRR0	初期化	保持	保持	保持
SCSCR0	初期化	保持	保持	保持
SCFTDR0	初期化	保持	保持	保持
SCFSR0	初期化	保持	保持	保持
SCFRDR0	初期化	保持	保持	保持
SCFCR0	初期化	保持	保持	保持
SCFDR0	初期化	保持	保持	保持
SCLSR0	初期化	保持	保持	保持
SCSMR1	初期化	保持	保持	保持
SCBRR1	初期化	保持	保持	保持
SCSCR1	初期化	保持	保持	保持
SCFTDR1	初期化	保持	保持	保持
SCFSR1	初期化	保持	保持	保持
SCFRDR1	初期化	保持	保持	保持
SCFCR1	初期化	保持	保持	保持
SCFDR1	初期化	保持	保持	保持
SCLSR1	初期化	保持	保持	保持

略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCSMR2	初期化	保持	保持	保持
SCBRR2	初期化	保持	保持	保持
SCSCR2	初期化	保持	保持	保持
SCFTDR2	初期化	保持	保持	保持
SCFSR2	初期化	保持	保持	保持
SCFRDR2	初期化	保持	保持	保持
SCFCR2	初期化	保持	保持	保持
SCFDR2	初期化	保持	保持	保持
SCLSR2	初期化	保持	保持	保持
SCSMR3	初期化	保持	保持	保持
SCBRR3	初期化	保持	保持	保持
SCSCR3	初期化	保持	保持	保持
SCFTDR3	初期化	保持	保持	保持
SCFSR3	初期化	保持	保持	保持
SCFRDR3	初期化	保持	保持	保持
SCFCR3	初期化	保持	保持	保持
SCFDR3	初期化	保持	保持	保持
SCLSR3	初期化	保持	保持	保持

22.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

22.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので、CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降の受信したシリアルデータは失われます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFRD[7:0]	不定	R	シリアル受信データ用 FIFO

22.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると、自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

22.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので、CPU から読み出すことはできません。SCFTDR 内の送信データが 16 バイトでいっぱいときは、次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFTD[7:0]	不定	W	シリアル送信データ用 FIFO

22.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CA	CHR	PE	OE	STOP	—	—	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CA	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。 クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると、送信時には、OE ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが OE ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット	ビット名	初期値	R/W	説明
4	OE	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。</p> <p>OE ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。</p> <p>クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、OE ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹</p> <p>1 : 奇数パリティ*²</p> <p>【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。</p> <p>受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>ストップビットの設定は調歩同期式モードでのみ有効です。</p> <p>クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*¹</p> <p>1 : 2 ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : P クロック</p> <p>01 : P /4 クロック</p> <p>10 : P /16 クロック</p> <p>11 : P /64 クロック</p> <p>【注】P : 周辺クロック</p>

22.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	—	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR ヘシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI 割り込み要求の解除は、TDFE フラグの 1 を読み出した後で SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE を 0 にクリアするか、TIE を 0 にクリアすることで行うことができます。 0: 送信 FIFO データエンプティ割り込み要求を禁止 1: 送信 FIFO データエンプティ割り込み要求を許可
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。 RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。 0: 受信データフル割り込み要求、受信エラー割り込み要求、およびブ레이크割り込み要求を禁止 1: 受信データフル割り込み要求、受信エラー割り込み要求、およびブ레이크割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止 1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>0 : 受信動作を禁止*¹ 1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。 *² RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>ERI 割り込み要求、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。</p> <p>RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み要求、ブレーク割り込み要求を禁止 1 : 受信エラー割り込み要求、ブレーク割り込み要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIFのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE[1:0]ビットによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。SCSMRでSCIFの動作モードを決定する前に、必ずCKE[1:0]ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00: 内部クロック / SCK端子は入力端子 (入力信号は無視) 01: 設定禁止 10: 外部クロック / SCK端子はクロック入力* 11: 設定禁止 クロック同期式 <ul style="list-style-type: none"> 00: 設定禁止 01: 内部クロック / SCK端子は同期クロック出力** 10: 外部クロック / SCK端子は同期クロック入力 11: 設定禁止 <p>【注】 *1 入力クロックの周波数はビットレートの16倍。 *2 出力クロックの周波数はビットレートと同じです。</p>

22.3.7 シリアルステータスレジスタ (SCFSR)

SCFSRは16ビット長のレジスタです。上位8ビットはSCFRDR内のデータの受信エラー数を、下位8ビットはSCIFの動作状態を示します。

SCFSRの上位8ビットは常にCPUから読み出すことができます。SCFSRの下位8ビットは常にCPUから読み出し/書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DRの各フラグへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。なお、FERフラグ、およびPERフラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERC[3:0]				FERC[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

【注】 * フラグをクリアするために0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PERC[3:0]	0000	R	<p>パリティエラー数</p> <p>SCFRDRに格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSRのERビットがセットされた後、PERCビットで示される値がパリティエラー発生データ数を示します。SCFRDRの16ビットの受信データのすべてがパリティエラーを伴う場合、PERCビットは0を表示します。</p>

ビット	ビット名	初期値	R/W	説明
11~8	FERC[3:0]	0000	R	<p>フレーミングエラー数</p> <p>SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 ビットの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。</p>
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき • 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。 • 受信時の受信データとパリティビットを合わせた 1 の数が SCSMR の OE ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき DMAC で SCFTDR ヘデータを書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンpty</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき <p>【注】 SCFTDR は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR の上位ビットに示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/W*	<p>ブレイク検出</p> <p>受信データのブレイク信号を検出して示します。</p> <p>0: ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブレイク信号を受信したことを表示</p> <p>ブレイク検出すると検出後の受信データ (H'00) の SCFRDR 転送は停止します。ブレイクが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル 受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき <p>【注】 SCFRDR は 16 バイトの FIFO レジスタです。RDF が 1 のとき少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR の下位ビットに示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ 調歩同期モードで、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき <p>【注】 15ETU 時間は 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

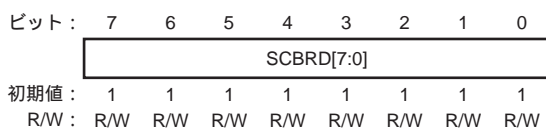
【記号説明】 ETU (Elementary time unit : 1 ビットの転送期間の略)

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

22.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS[1:0] ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説明
7~0	SCBRD[7:0]	H'FF	R/W	ビットレート設定

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \{ P / (64 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \{ P / (8 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 N 255)

(電気的特性を満足する設定値としてください)

P : 周辺クロック周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 22.4 を参照してください)

表22.4 SCSMR の設定値

n	クロックソース	SCSMR の設定値
		CKS[1:0]
0	P	00
1	P /4	01
2	P /16	10
3	P /64	11

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \{ \{ P / ((N+1) \times 64 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

22.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。 [調歩同期式モード] [クロック同期式モード] 00 : 1 00 : 1 01 : 4 01 : 2 10 : 8 10 : 8 11 : 14 11 : 14

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* () 内の値は TDFE フラグがセットされるとき SCFTDR レジスタの空きバイト数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ 出力も 0 に固定されます。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>SCFTDR 内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット、スタンバイ時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>SCFTDR 内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット、スタンバイ時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TXD) と受信入力端子 (RXD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

22.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、SCFTDR および SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。SCFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFDC[4:0]				—	—	—	RFDC[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	TFDC[4:0]	00000	R	トランスミット FIFO データ数 SCFTDR 内に格納されている未送信データ数を示します。H'00 は送信データがないことを、H'10 は SCFTDR に 16 バイトの送信データが格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	RFDC[4:0]	00000	R	レシーブ FIFO データ数 SCFRDR 内に格納されている受信データ数を示します。H'00 は受信データがないことを、H'10 は SCFRDR に 16 バイトの受信データが格納されていることを示します。

22.3.11 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*

【注】 * フラグをクリアするために0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示^{*1}</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0を書き込んだとき <p>1: 受信時にオーバランエラーが発生したことを表示^{*2}</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR がいっぱいになる 16 バイトのデータを受信した状態で次のシリアル受信を完了したとき <p>【注】*1 SCSCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません</p>

【注】 * フラグをクリアするために0を書き込むことのみ可能です。

22.4 動作説明

22.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送受信おののに 16 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$ 信号を内蔵しています。

送受信フォーマットの選択は、SCSMR で行います。これを表 22.5 に示します。また、SCK の端子機能は、SCSMR の CA ビットおよび SCSCR の CKE[1:0] ビットの組み合わせで決まります。

1. 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：
ボーレートジェネレータのクロックで動作
外部クロックを選択した場合：
ビットレートの16倍の周波数のクロックを入力してください(内蔵ボーレートジェネレータを使用しない)。

2. クロック同期式モード

- データ長：8ビットに固定
- 受信時にオーバランエラーの検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを使用した場合：
SCIFはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：
SCK端子から入力された外部周期クロックで動作

表22.5 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
CA	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	*	*	*	クロック同期式モード	8ビットデータ	なし	なし

【注】 * Don't care

22.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 22.2 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

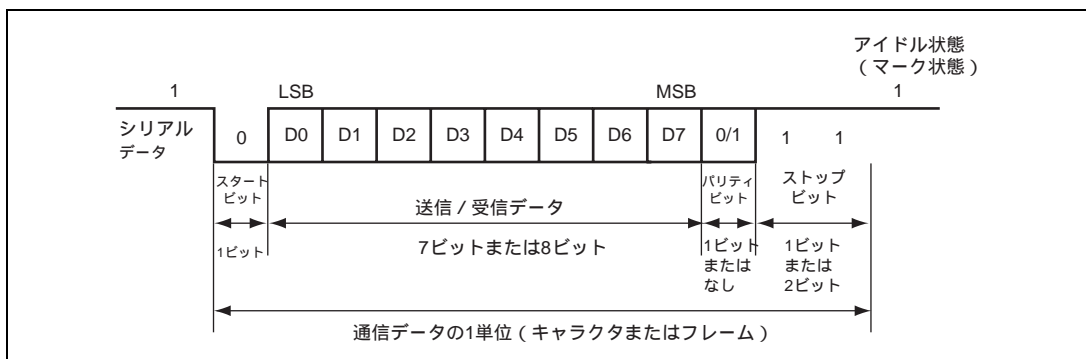


図22.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(a) 送信/受信フォーマット

設定可能な送信/受信フォーマットを、表 22.6 に示します。

送信/受信フォーマットは8種類あり、SCSMR の設定により選択できます。

表22.6 シリアル送信/受信フォーマット (調歩同期モード)

SCSMRの設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット

STOP: ストップビット

P : パリティビット

(b) クロック

SCIF の送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックあるいは SCK 端子からの外部クロックを使用します。

(c) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR および、SCFRDR の内容は保持されますので注意してください。
2. TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

図 22.3 に SCIF の初期化フローチャートの例を示します。

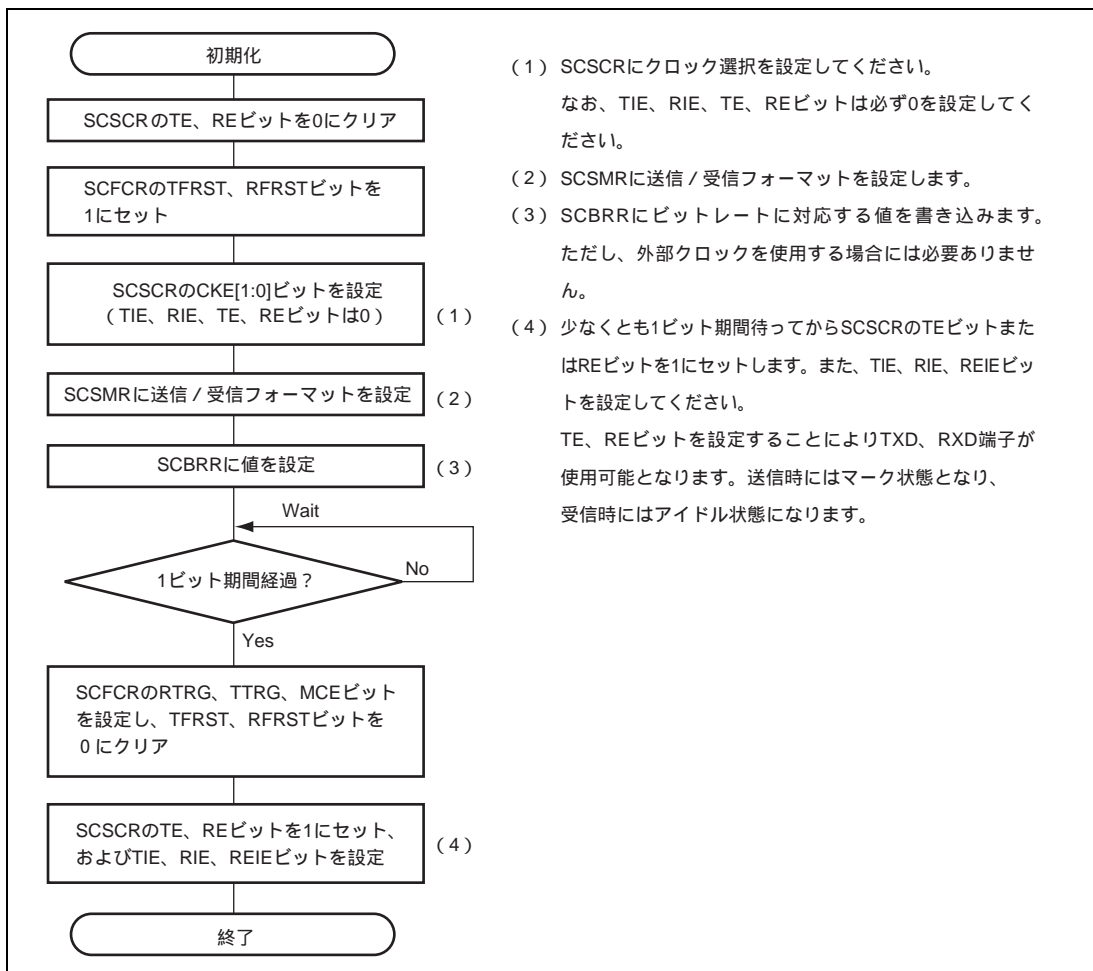


図22.3 SCIF の初期化フローチャートの例

(d) シリアルデータ送信 (調歩同期式)

図 22.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

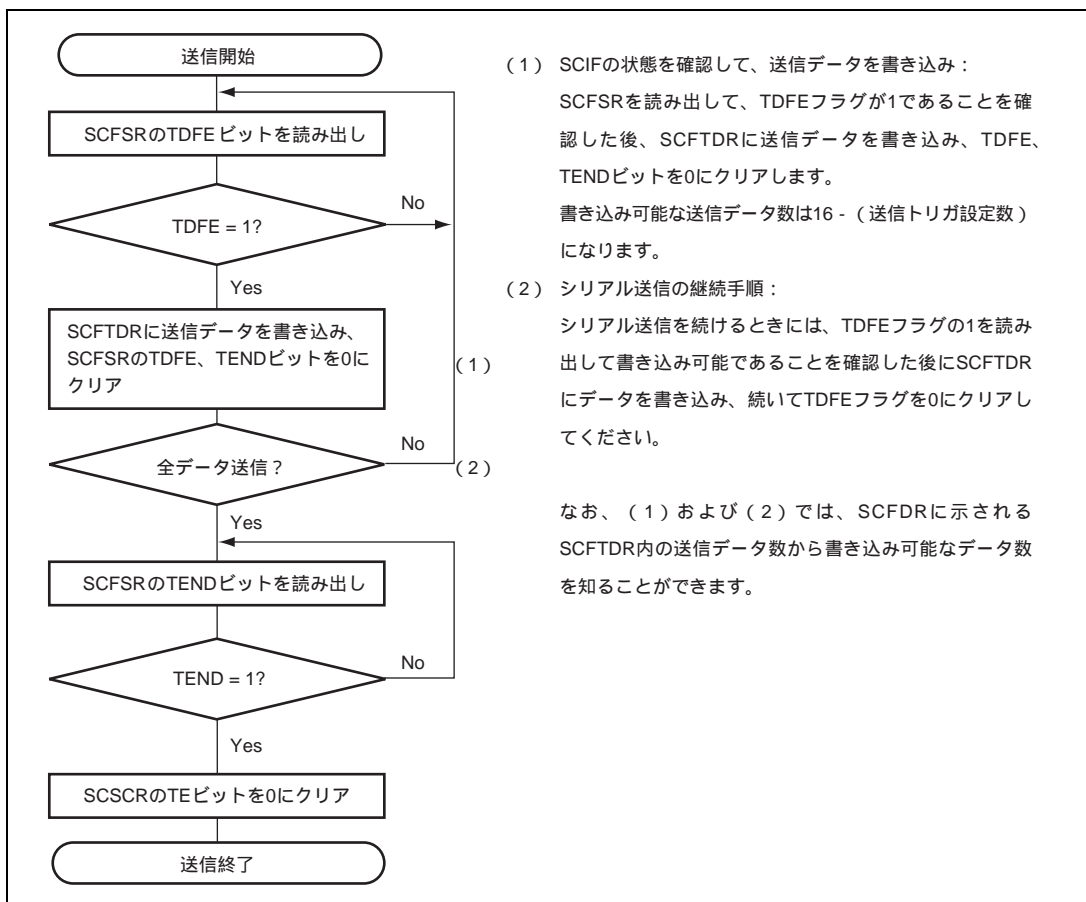


図22.4 シリアル送信のフローチャートの例

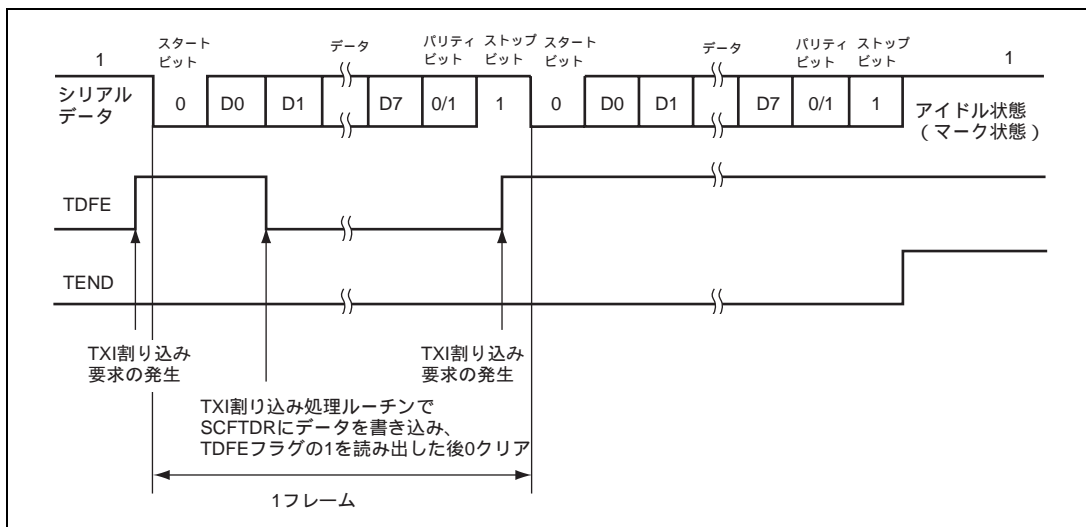
SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

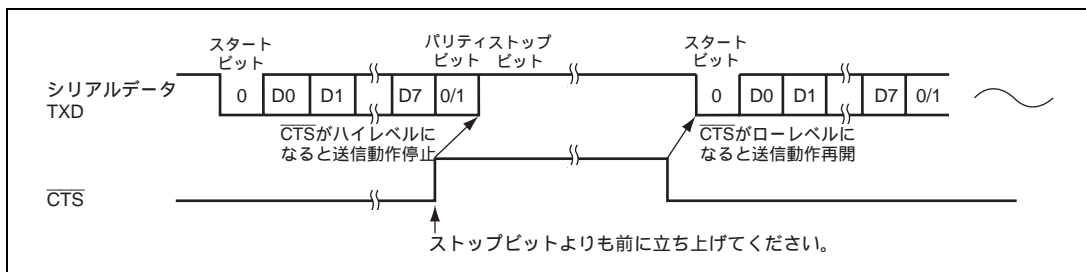
- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 22.5 に示します。



4. モデムコントロールイネーブル時は、 $\overline{\text{CTS}}$ 入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{CTS}}$ が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{CTS}}$ を 0 にすると、次の送信データをスタートビットから出力します。

モデムコントロール時の動作例を図 22.6 に示します。



(e) シリアルデータ受信 (調歩同期式)

図 22.7、図 22.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

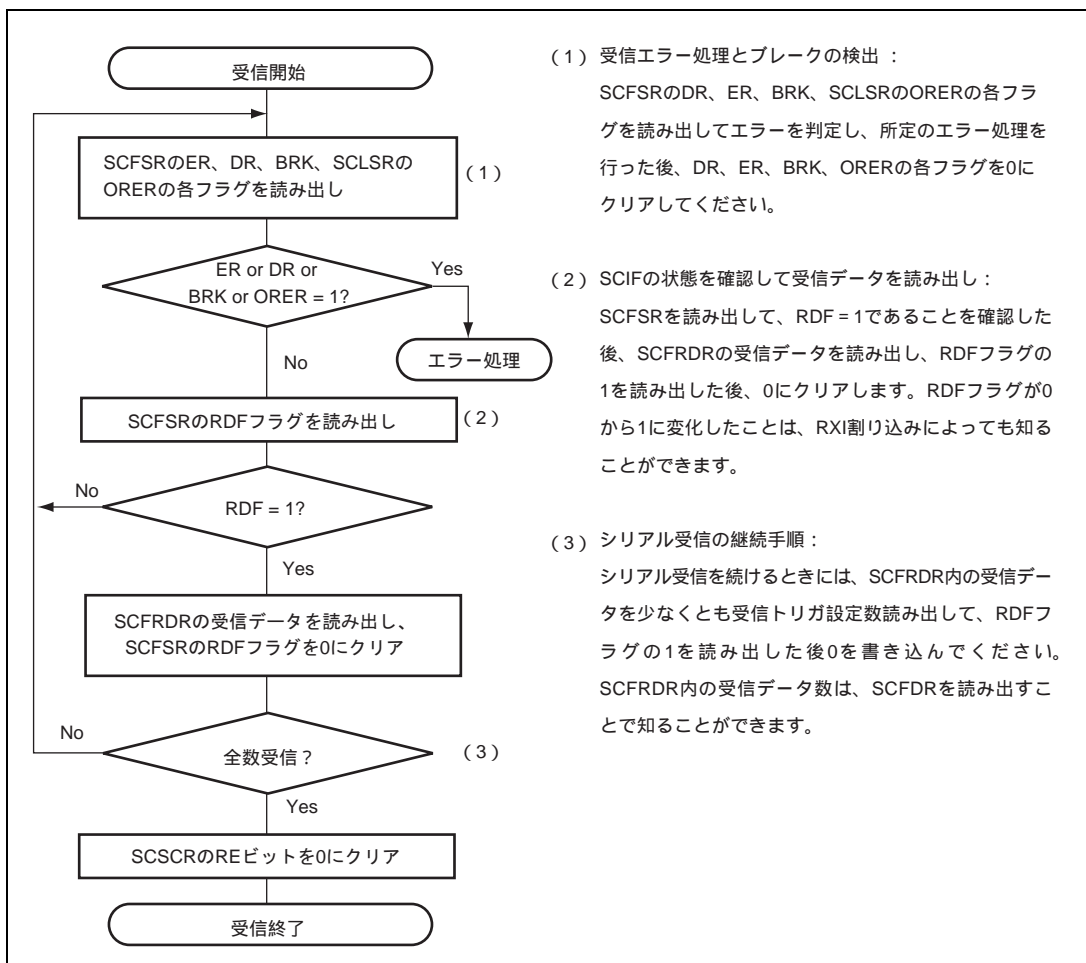


図22.7 シリアル受信のフローチャートの例 (1)

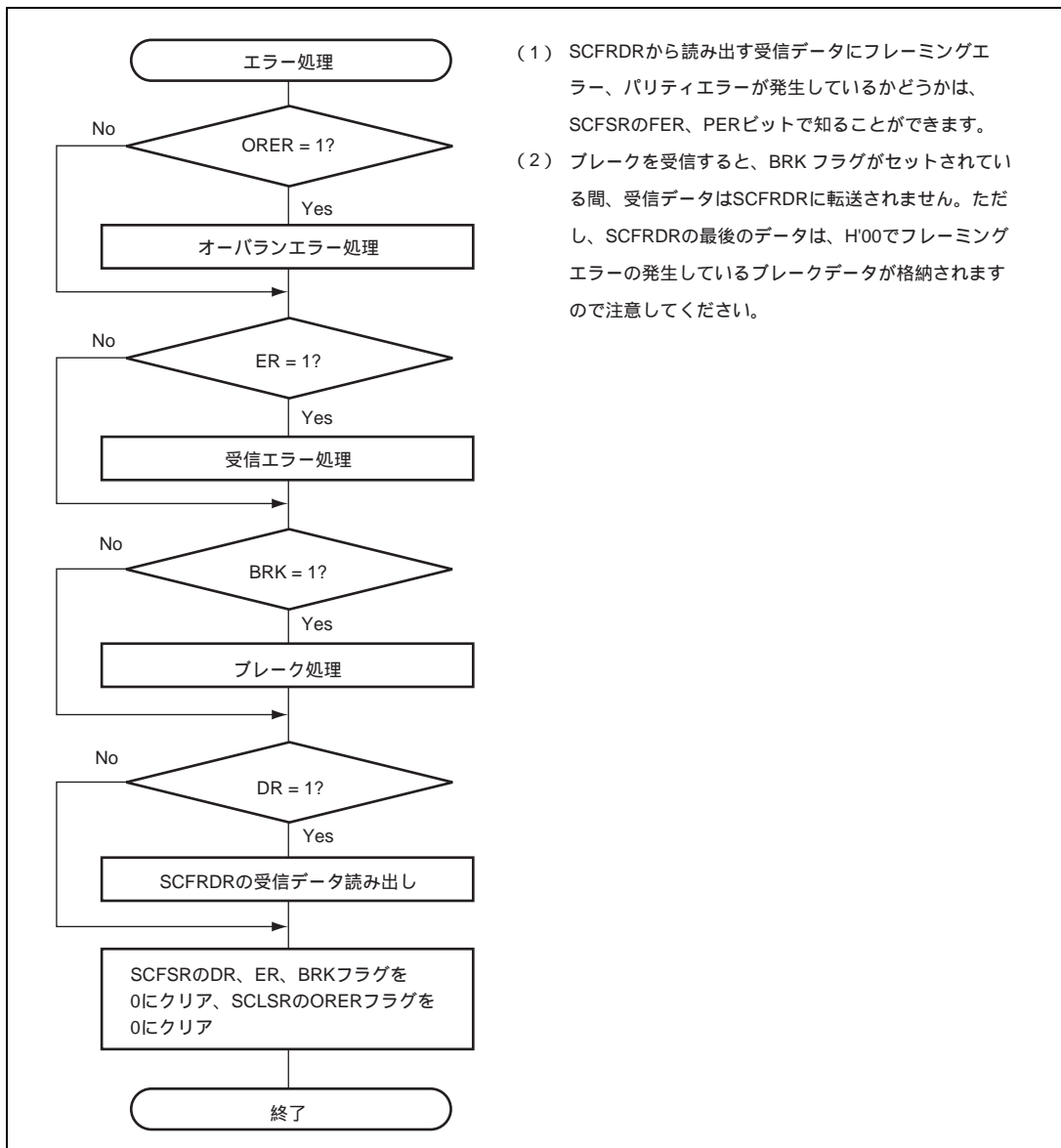


図22.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。*
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。*
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。*

(b)、(c)、(d)のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 22.9 に示します。

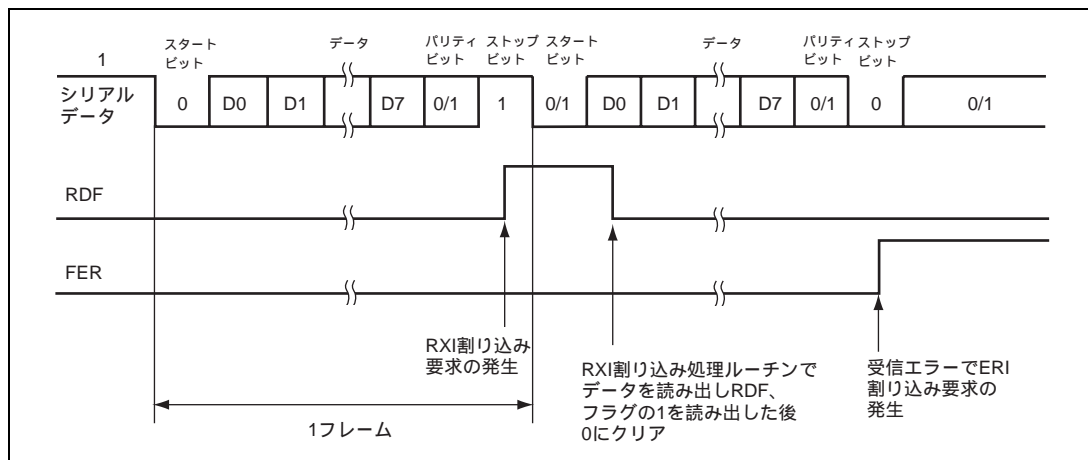


図22.9 SCIF の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{RTS}}$ 信号を出力します。 $\overline{\text{RTS}}$ が0のときは受信可能状態です。 $\overline{\text{RTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{RTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{RTS}}$ 出力アクティブトリガ値は、SCFCRのビット10~8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{RTS}}$ が1になります。モデムコントロール時の動作例を図22.10に示します。

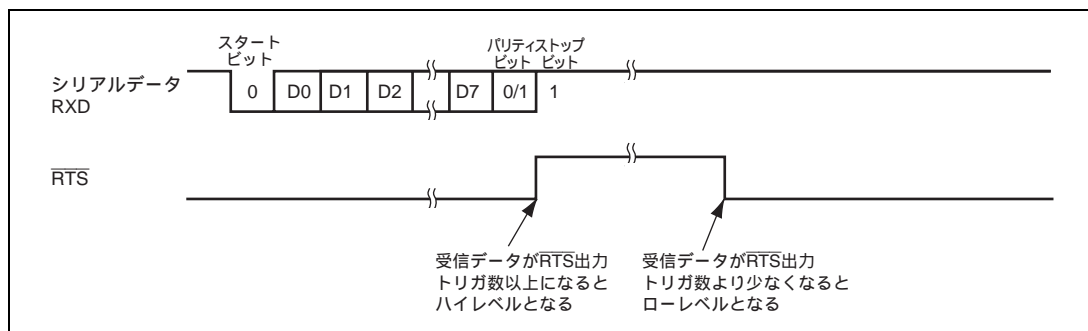


図22.10 モデムコントロール ($\overline{\text{RTS}}$) 時の動作例

22.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 22.11 に示します。

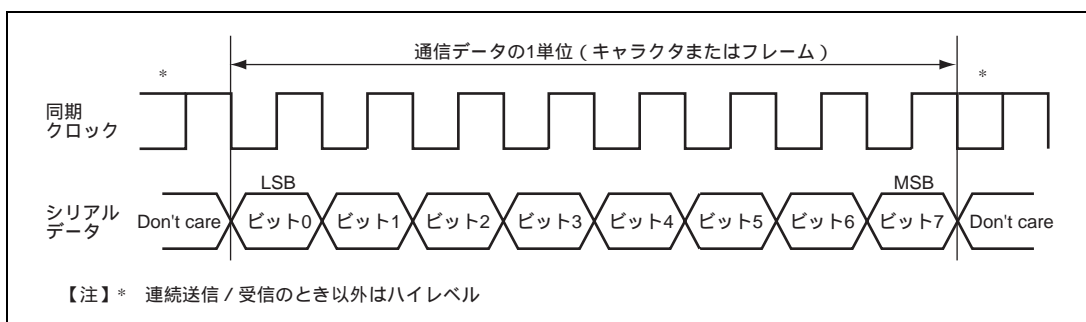


図22.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち上がりから次の立ち上がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後にMSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(a) 送信 / 受信フォーマット

8ビット固定です。

パリティビットの付加はできません。

(b) クロック

SCIF の送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックあるいはSCK 端子からの外部クロックを使用します。

(c) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 22.12 に SCIF の初期化フローチャートの例を示します。

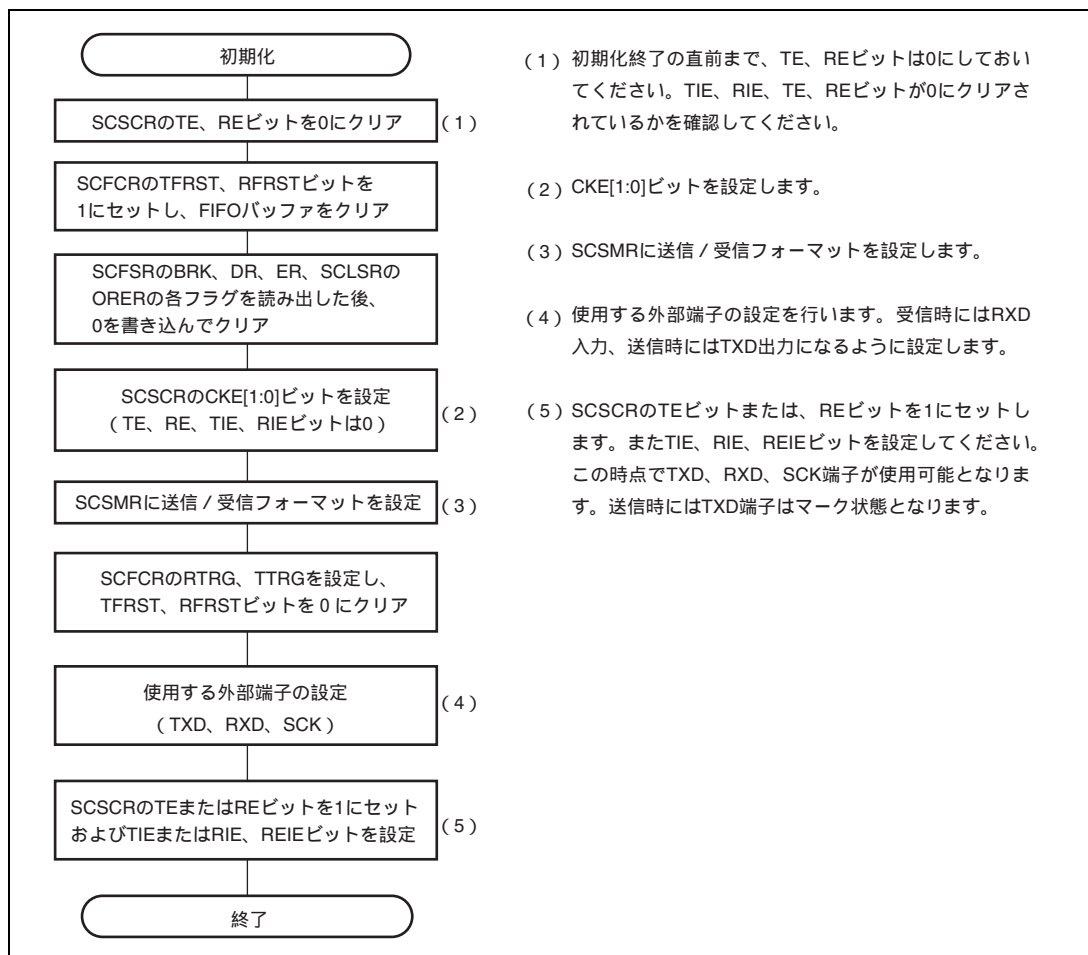


図22.12 SCIF の初期化フローチャートの例

(d) シリアルデータ送信 (クロック同期式)

図 22.13 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

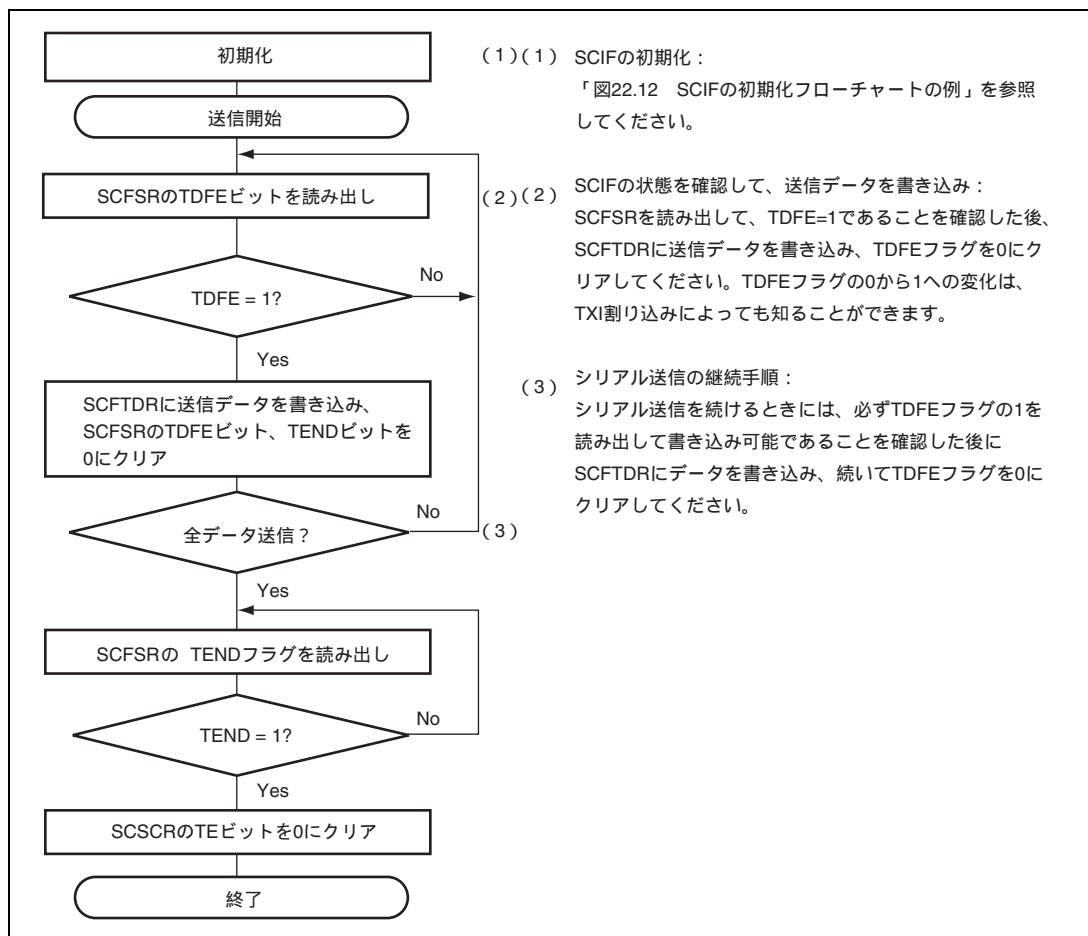


図22.13 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。SCIFは、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にTXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (TXD端子) は状態を保持します。

図 22.14 に SCIF の送信時の動作例を示します。

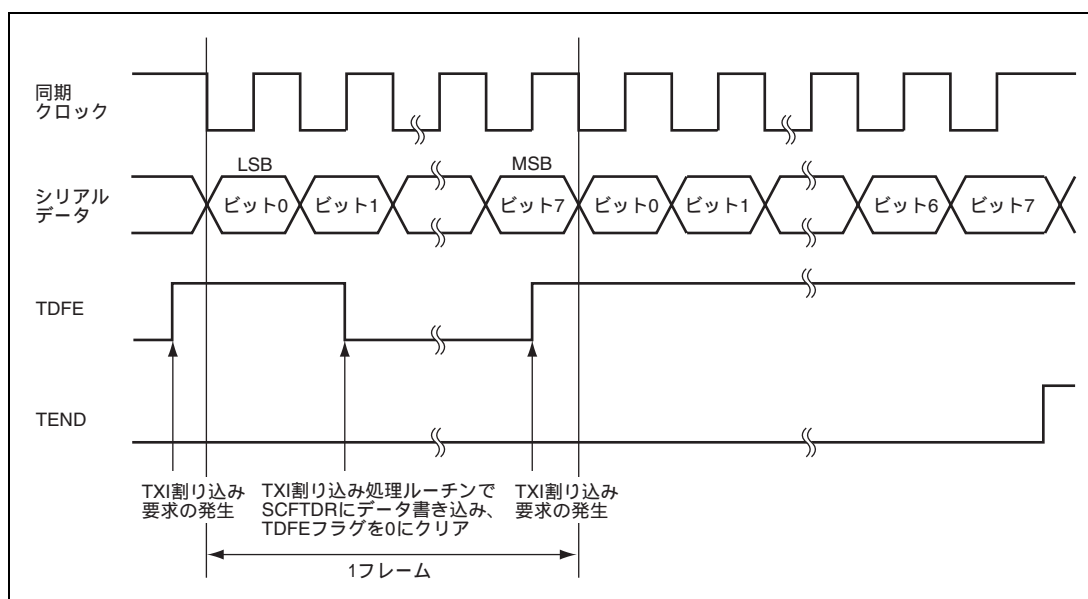


図22.14 SCIF の送信時の動作例

(e) シリアルデータ受信 (クロック同期式)

図 22.15、図 22.16 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、SCLSR の ORER ビット、SCFCR の PERC、FERC の各ビットが 0 にクリアされていることを確認してください。

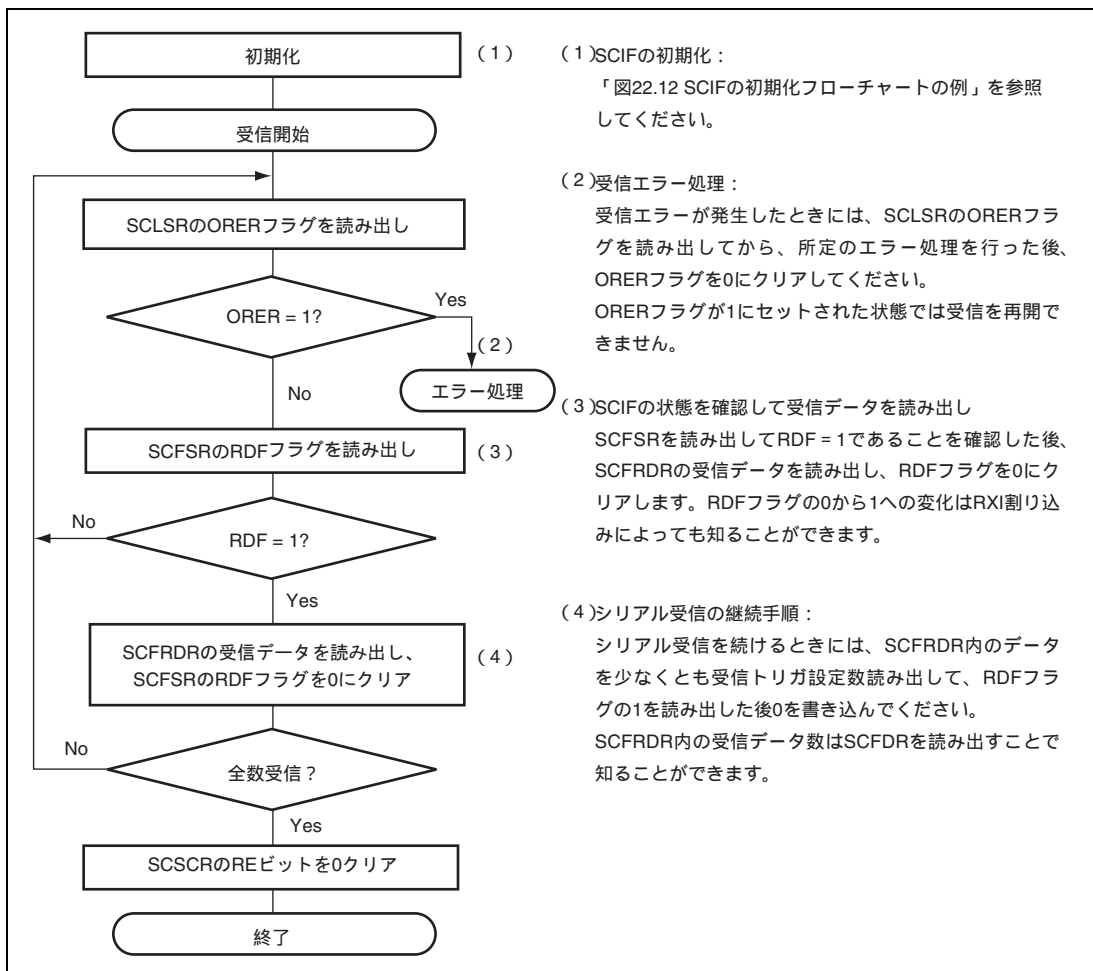


図22.15 シリアル受信のフローチャートの例 (1)

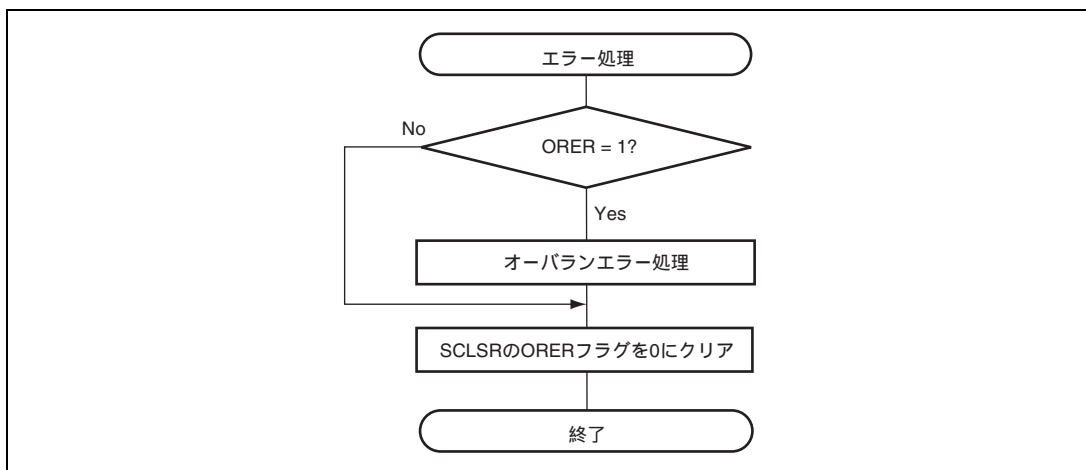


図22.16 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの出力に同期して受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビット、またはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図 22.17 に SCIF の受信時の動作例を示します。

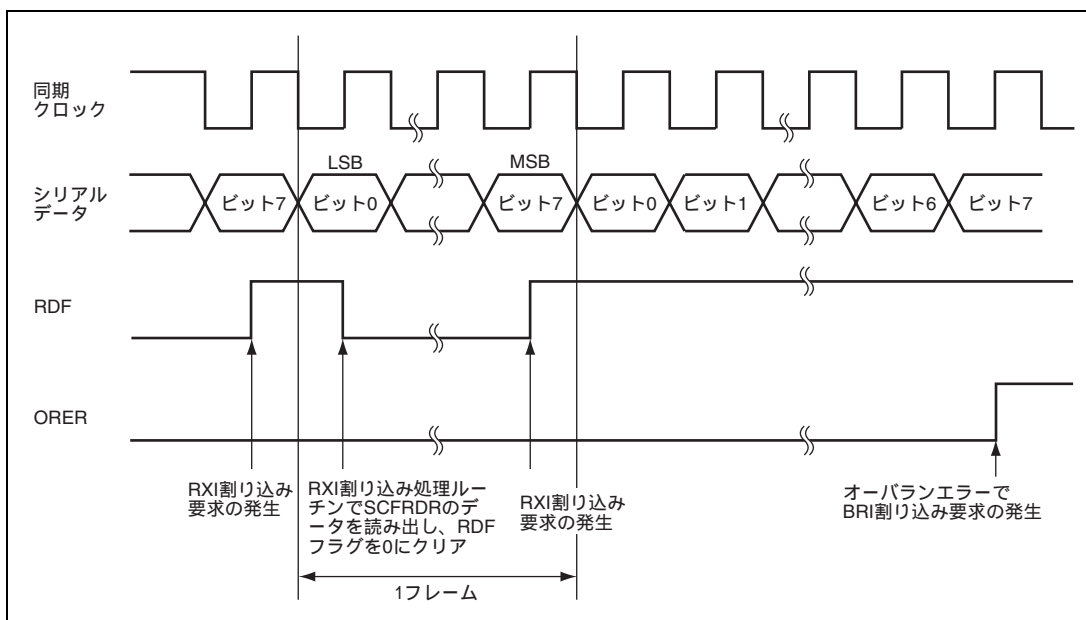


図22.17 SCIF の受信時の動作例

(f) シリアルデータ送受信同時動作 (クロック同期式)

図 22.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

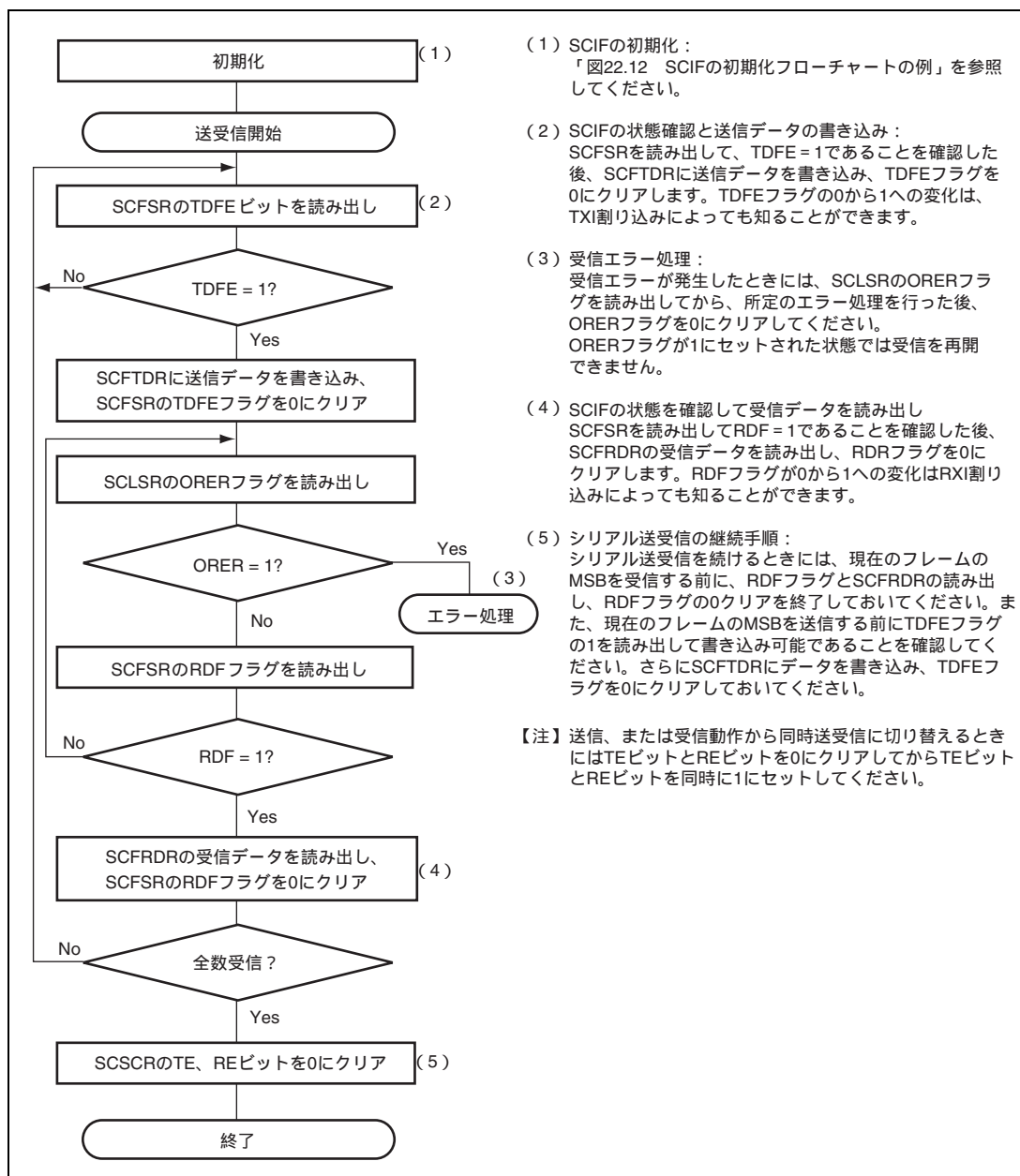


図22.18 シリアル送受信のフローチャートの例

22.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。しかし、INTEVT のコードは 1 チャンネルに 1 つしか割り当てられていないため、割り込み要因の判定はソフトウェアで行う必要があります。

各割り込み要因は、チャンネルごと独立に、SCSCR の TIE、RIE、REIE ビットで、許可または禁止設定できます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期式モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI、BRI 割り込み要求だけを出すことができます。

22.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(a) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは、SCFTDR 内に書き込んだ送信データ数が SCFCR の TTRG[1:0] ビットで設定した送信トリガ数以下になったとき、セットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし、TDFE フラグは、SCFTDR 内に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは、送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は、SCTFDR で知ることができます。

(b) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG[1:0] ビットで設定した受信トリガ数以上になったとき、セットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は、SCRFDR で知ることができます。

(c) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下りを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 22.19 に示します。

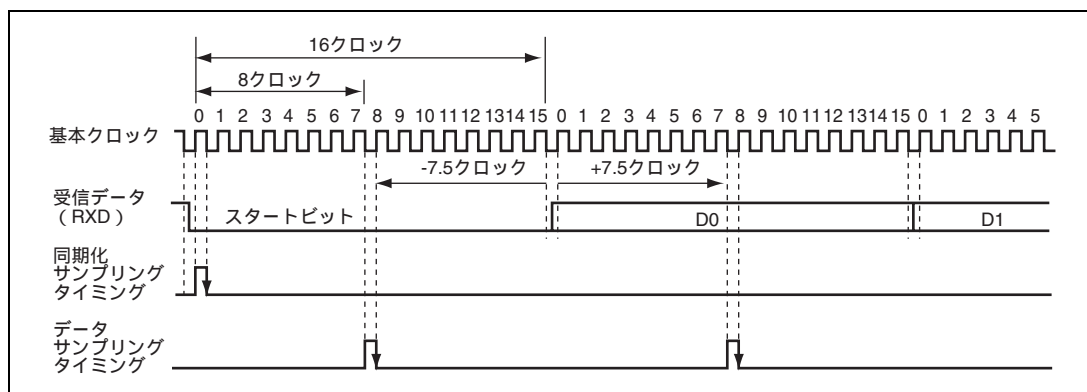


図22.19 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(d) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合でも、割り込みコントローラへの割り込み要求は、割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(e) 割り込み

割り込み要因はチャンネルごとに 4 要因ずつありますが、INTEVT のコードは 1 チャンネルに 1 つしかありません。したがって、割り込み要因の特定は、ソフトウェアで行う必要があります。

23. FIFO 内蔵シリアルコミュニケーション インタフェース A (SCIFA)

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース A (SCIFA : Serial Communication Interface with FIFO) を 2 チャンネル (チャンネル 4 およびチャンネル 5) 内蔵しています。

SCIFA は、調歩同期式とクロック同期式のシリアル通信ができます。

送受信 FIFO レジスタおのおのに 64 段のバッファを内蔵しており、効率の良い高速連続通信が可能です。

23.1 特長

- シリアル通信モードを調歩同期式モードまたはクロック同期式モードから選択可能
- 内蔵ポーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソース：ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- 6種類の割り込み要因 (調歩同期式モード時)
送信データストップ割り込み、送信 FIFO データエンpty、受信 FIFO データフル、受信エラー (フレーミングエラー / パリティエラー) 割り込み、ブ레이크受信割り込み、レシーブデータレディ割り込みの 6 種類の割り込み要因があります。各割り込み要因による割り込みのベクタは共通です。
- 2種類の割り込み要因 (クロック同期式モード時)
- 送信 FIFO データエンpty 時と受信 FIFO データフル時に DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。
- モデムコントロール機能 ($\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$) を内蔵しています。
- 送信データストップ機能を内蔵しています。
- SCIFA を使用しないときは、消費電力低減のため、SCIFA に対してクロックの供給を止めて動作を停止させることができます。
- 送受信 FIFO レジスタ内のデータ数および受信 FIFO レジスタ内の受信データの受信エラー数を知ることができます。
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部とともに 64 段階の FIFO バッファ構造になっていますのでシリアルデータの高速連続通信、連続受信ができます。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

- データ長：7ビット、または8ビット

- ストップビット長：1ビット、または2ビット

- パリティ：偶数パリティ、奇数パリティ、またはパリティなし

- LSBファースト

- 受信エラーの検出：パリティエラー、フレーミングエラー、オーバランエラーを検出

- ブレークの検出：フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとしリアルデータ通信が可能です。

- データ長：8ビット

- LSBファースト

図 23.1 に SCIFA のブロック図を示します。

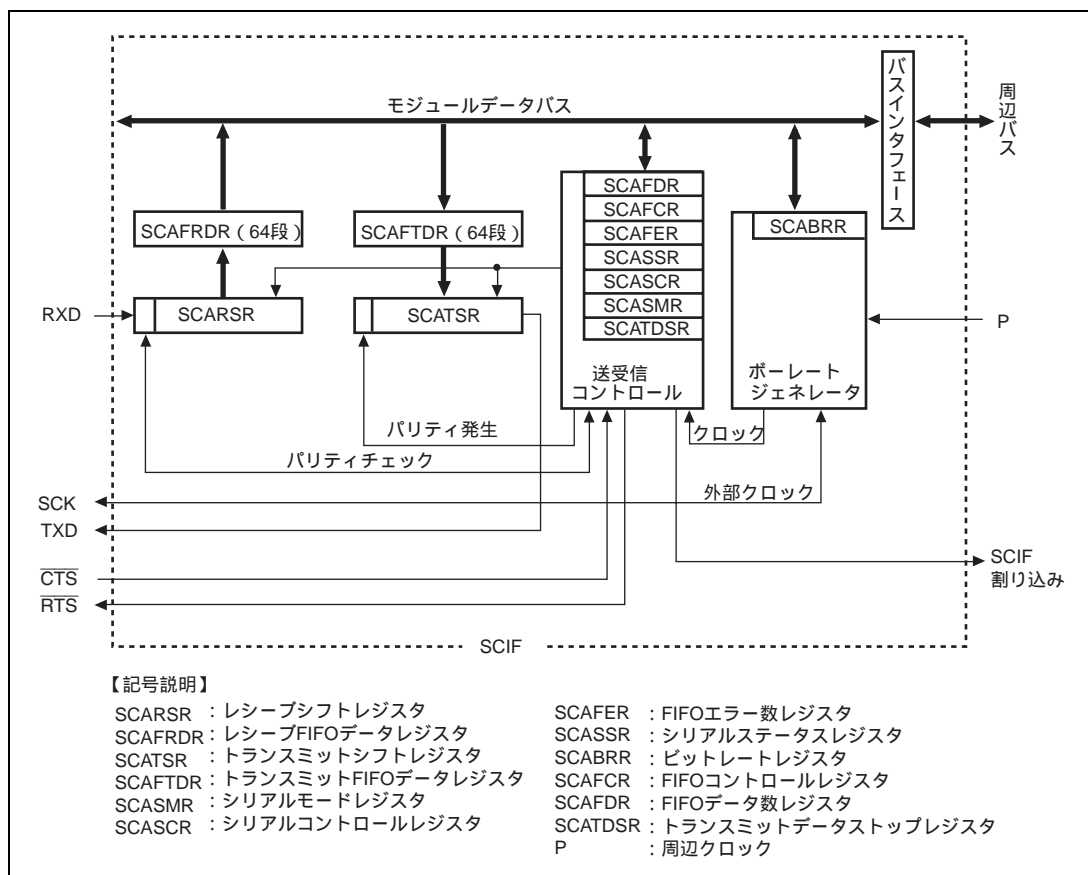


図 23.1 SCIFA のブロック図

23.2 入出力端子

SCIFA の端子構成を表 23.1 に示します。

表 23.1 端子構成

チャンネル	端子名	入出力	機能
4	SCIF4_SCK	入出力	クロック入出力
	SCIF4_RXD	入力	受信データ入力
	SCIF4_TXD	出力	送信データ出力
	SCIF4_CTS	入力	送信可
	SCIF4_RTS	出力	送信要求
5	SCIF5_SCK	入出力	クロック入出力
	SCIF5_RXD	入力	受信データ入力
	SCIF5_TXD	出力	送信データ出力
	SCIF5_CTS	入力	送信可
	SCIF5_RTS	出力	送信要求

【注】本文中では、チャンネルを省略し、総合の略称として SCK、RxD、TxD、 $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$ を使用します。

23.3 レジスタの説明

SCIFA のレジスタ構成を表 23.2 に示します。また、各処理モードにおけるレジスタの状態を表 23.3 に示します。

なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表 23.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ A4	SCASMR4	R/W	H'FFE4 0000	16
ビットレートレジスタ A4	SCABRR4	R/W	H'FFE4 0004	8
シリアルコントロールレジスタ A4	SCASCR4	R/W	H'FFE4 0008	16
トランスミットデータストップレジスタ A4	SCATDSR4	R/W	H'FFE4 000C	8
FIFO エラー数レジスタ A4	SCAFER4	R	H'FFE4 0010	16
シリアルステータスレジスタ A4	SCASSR4	R/W*	H'FFE4 0014	16
FIFO コントロールレジスタ A4	SCAFCR4	R/W	H'FFE4 0018	16
FIFO データ数レジスタ A4	SCAFDR4	R	H'FFE4 001C	16
トランスミット FIFO データレジスタ A4	SCAFTDR4	W	H'FFE4 0020	8
レシーブ FIFO データレジスタ A4	SCAFRDR4	R	H'FFE4 0024	8
シリアルモードレジスタ A5	SCASMR5	R/W	H'FFE5 0000	16
ビットレートレジスタ A5	SCABRR5	R/W	H'FFE5 0004	8
シリアルコントロールレジスタ A5	SCASCR5	R/W	H'FFE5 0008	16
トランスミットデータストップレジスタ A5	SCATDSR5	R/W	H'FFE5 000C	8
FIFO エラー数レジスタ A5	SCAFER5	R	H'FFE5 0010	16
シリアルステータスレジスタ A5	SCASSR5	R/W*	H'FFE5 0014	16
FIFO コントロールレジスタ A5	SCAFCR5	R/W	H'FFE5 0018	16
FIFO データ数レジスタ A5	SCAFDR5	R	H'FFE5 001C	16
トランスミット FIFO データレジスタ A5	SCAFTDR5	W	H'FFE5 0020	8
レシーブ FIFO データレジスタ A5	SCAFRDR5	R	H'FFE5 0024	8

【注】 * ビット 9~7、5、4、1、0 は、フラグをクリアするための 0 書き込みのみ可能です。

表 23.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCASMR4	初期化	保持	保持	保持
SCABRR4	初期化	保持	保持	保持
SCASCR4	初期化	保持	保持	保持
SCATDSR4	初期化	保持	保持	保持
SCAFER4	初期化	保持	保持	保持
SCASSR4	初期化	保持	保持	保持
SCAFCR4	初期化	保持	保持	保持
SCAFDR4	初期化	保持	保持	保持
SCAFTDR4	初期化	保持	保持	保持
SCAFRDR4	初期化	保持	保持	保持
SCASMR5	初期化	保持	保持	保持
SCABRR5	初期化	保持	保持	保持
SCASCR5	初期化	保持	保持	保持
SCATDSR5	初期化	保持	保持	保持
SCAFER5	初期化	保持	保持	保持
SCASSR5	初期化	保持	保持	保持
SCAFCR5	初期化	保持	保持	保持
SCAFDR5	初期化	保持	保持	保持
SCAFTDR5	初期化	保持	保持	保持
SCAFRDR5	初期化	保持	保持	保持

23.3.1 レシーブシフトレジスタ (SCARSR)

SCARSR は、シリアルデータを受信するためのレジスタです。

SCIFA は、SCARSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCAFRDR へ転送されます。

CPU から直接 SCARSR の読み出し / 書き込みをすることはできません。

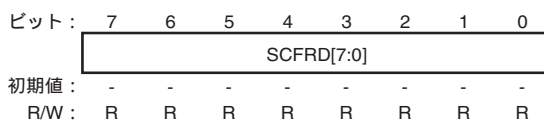
23.3.2 レシーブ FIFO データレジスタ (SCAFRDR)

SCAFRDR は、受信したシリアルデータを格納する 64 段の FIFO レジスタです。

SCIFA は、1 バイトのシリアルデータの受信が終了すると、SCARSR から SCAFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCARSR は受信可能になり、SCAFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCAFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCAFRDR に受信データがない状態で読み出した値は不定値になります。SCAFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。



ビット	ビット名	初期値	R/W	説 明
7~0	SCFRD[7:0]	不定	R	シリアル受信データ用 FIFO

23.3.3 トランスミットシフトレジスタ (SCATSR)

SCATSR は、シリアルデータを送信するためのレジスタです。

SCIFA は、SCAFTDR から送信データをいったん SCATSR に転送し、LSB (ビット) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCAFTDR から SCATSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCATSR の読み出し / 書き込みをすることはできません。

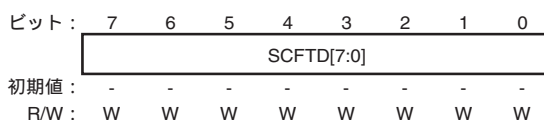
23.3.4 トランスミット FIFO データレジスタ (SCAFTDR)

SCAFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIFA は、送信データが SCAFTDR に書き込まれたとき、SCATSR が空ならば、SCAFTDR に書き込まれた送信データを SCATSR に転送してシリアル送信を開始します。

SCAFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

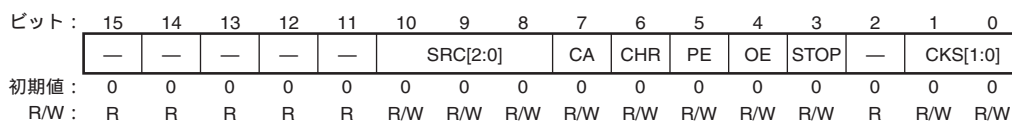
SCAFTDR 内の送信データが 64 バイトでいっぱいになるときは、次のデータを書き込むことはできません。書き込んだデータは無視されます。



ビット	ビット名	初期値	R/W	説明
7~0	SCAFTDR[7:0]	不定	W	シリアル送信データ用 FIFO

23.3.5 シリアルモードレジスタ (SCASMR)

SCASMR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソース、サンプリングレートを選択します。



ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	SRC[2:0]	000	R/W	サンプリングコントロール サンプリングレートを選択します。 000 : サンプリングレート 1/16 001 : サンプリングレート 1/5 010 : サンプリングレート 1/7 011 : サンプリングレート 1/11 100 : サンプリングレート 1/13 101 : サンプリングレート 1/17 110 : サンプリングレート 1/19 111 : サンプリングレート 1/27

ビット	ビット名	初期値	R/W	説明
7	CA	0	R/W	<p>コミュニケーションモード</p> <p>SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。</p> <p>0 : 調歩同期式モード 1 : クロック同期式モード</p>
6	CHR	0	R/W	<p>キャラクタレングス</p> <p>データ長を 7 ビット / 8 ビットデータのいずれかから選択します。</p> <p>本ビットは調歩同期式モード時のみ有効です。クロック同期式モードでは、CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。</p> <p>0 : 8 ビットデータ 1 : 7 ビットデータ*</p> <p>【注】* 7 ビットデータを選択した場合、SCAFTDR の MSB (ビット 7) は送信されません。</p>
5	PE	0	R/W	<p>パリティイネーブル</p> <p>送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。本設定は、調歩同期式モード時のみ有効です。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、OE ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが OE ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	OE	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。OE ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可した時のみ有効になります。パリティの付加やチェックを禁止している場合には、OE ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。本設定は調歩同期式モード時のみ有効です。クロック同期式モードでは、ストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*¹</p> <p>1 : 2 ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : P</p> <p>01 : P /4</p> <p>10 : P /16</p> <p>11 : P /64</p> <p>【注】 P : 周辺クロック</p>

【注】 クロック同期式モード時では、CKS1、0 ビット以外は 0 に固定されます。

23.3.6 シリアルコントロールレジスタ (SCASCR)

SCASCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDR QE	RDR QE	—	—	TSIE	ERIE	BRIE	DRIE	TIE	RIE	TE	RE	—	—	CKE[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDRQE	0	R/W	<p>トランスミットデータ転送要求イネーブル</p> <p>送信時の TIE = 1 かつ送信 FIFO エンプティ発生時に、送信 FIFO エンプティ割り込み / DMA 転送要求とするかを切り替えます。</p> <p>0 : CPU へ割り込み要求を発行します</p> <p>1 : DMAC へ送信データ転送要求を発行します</p>

ビット	ビット名	初期値	R/W	説明
14	RDRQE	0	R/W	レシーブデータ転送要求イネーブル 受信時の RIE = 1 かつ受信 FIFO データフル発生時に、受信 FIFO データフル割り込み / DMA 転送要求とするかを切り替えます。 0 : CPU へ割り込み要求を発行します 1 : DMAC へ受信データ転送要求を発行します
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TSIE	0	R/W	トランスミットデータストップインタラプトイネーブル SCAFCR の TSE ビットがイネーブルでかつ SCASSR の TSF フラグが 1 にセットされたとき、トランスミットデータストップ要因による割り込みの発生を許可 / 禁止します。 0 : 送信データストップ割り込みを禁止* 1 : 送信データストップ割り込みを許可 【注】* 割り込み要求の解除は、TSF フラグの 1 を読み出した後、0 にクリアするかまたは TSIE を 0 にクリアすることで行うことができます。
10	ERIE	0	R/W	受信エラーインタラプトイネーブル SCASSR の ER フラグが 1 にセットされたとき、受信エラー（フレーミングエラー / パリティエラー）要因による割り込みの発生を許可 / 禁止します。 0 : 受信エラー割り込みを禁止* 1 : 受信エラー割り込みを許可 【注】* 割り込み要求の解除は、ER フラグの 1 を読み出した後、0 にクリアするか、ERIE ビットを 0 にクリアすることで行えます。
9	BRIE	0	R/W	ブ레이크インタラプトイネーブル SCASSR の BRK フラグが 1 にセットされたとき、ブ레이크受信要因による割り込みの発生を許可 / 禁止します。 0 : ブ레이크受信割り込みを禁止* 1 : ブ레이크受信割り込みを許可 【注】* 割り込み要求の解除は、BRK フラグの 1 を読み出した後、0 にクリアするか、BRIE ビットを 0 にクリアすることで行えます。
8	DRIE	0	R/W	レシーブデータレディインタラプトイネーブル SCASSR の DR フラグが 1 にセットされたとき、レシーブデータレディ要因による割り込みの発生を許可 / 禁止します。 0 : レシーブデータレディ割り込みを禁止* 1 : レシーブデータレディ割り込みを許可 【注】* 割り込み要求の解除は、DR フラグの 1 を読み出した後、0 にクリアするか、DRIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCASSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンプティ 割り込み要求を禁止*</p> <p>1 : 送信 FIFO データエンプティ 割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、SCAFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCASSR の RDF フラグが 1 にセットされたときの受信 FIFO データフル要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 受信 FIFO データフル 割り込み要求を禁止*</p> <p>1 : 受信 FIFO データフル 割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCASMR、SCAFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*² RE ビットを 1 にセットする前に必ず SCASMR、SCAFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>クロックソースを設定します。SCASMR で SCIF の動作モードを決定する前に、必ず CKE[1:0] ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00：内部クロック / SCK 端子は入力端子（入力信号は無視）*1 01：設定禁止 10：外部クロック / SCK 端子はクロック入力*3 11：設定禁止 クロック同期式 <ul style="list-style-type: none"> 00：設定禁止 01：内部クロック / SCK 端子は同期クロック出力*2 10：外部クロック / SCK 端子は同期クロック入力 11：設定禁止 <p>【注】 *1 内蔵ポーレートジェネレータでデータサンプリングする場合は、CKE[1:0]を 00 に設定してください。</p> <p>*2 出力クロックの周波数はビットレートと同じ</p> <p>*3 ビットレートの 8 倍の周波数のクロックを入力してください。サンプリングレートは 1/16 固定となります。外部クロックを入力しない場合は、CKE[1:0]を 00 に設定してください。</p>

23.3.7 FIFO エラー数レジスタ (SCAFER)

SCAFER は、読み出し専用の 16 ビットのレジスタで、データの受信エラー（フレーミングエラー / パリティエラー）数を示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PER[5:0]					—	—	FER[5:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13～8	PER[5:0]	000000	R	<p>パリティエラー数</p> <p>調歩同期モード時に、SCAFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCASSR の ER ビットがセットされた後、PER[5:0] ビットで示される値がパリティエラー発生データ数を表示します。</p> <p>SCAFRDR の 64 バイトの受信データすべてがパリティエラーを伴う場合、PER[5:0] ビットは 0 を表示します。</p>

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	FER[5:0]	000000	R	フレーミングエラー数 調歩同期式モード時に、SCAFDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCASSR の ER ビットがセットされた後、FER[5:0]ビットで示される値がフレーミングエラーの発生しているデータ数を表示します。 SCAFDR の 64 バイトの受信データすべてがフレーミングエラーを伴う場合、FER[5:0]ビットは 0 を表示します。

23.3.8 シリアルステータスレジスタ (SCASSR)

SCASSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ステータスを示します。

ただし、ORER、TSF、ER、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	—	—	—	—	—	—	ORER	TSF	ER	TEND	TDFE	BRK	FER	PER	RDF	DR			
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	*	R	R/W	R/W	*	R	R	R/W	R/W	*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ORER	0	R/W)*	オーバランエラーフラグ 受信時にオーバランエラーが発生したことを示します。 本ビットは調歩同期式モード時のみ有効となります。 0: 受信中、または正常に受信を完了したことを表示* ¹ [クリア条件] <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にオーバランエラーが発生したことを表示* ² [セット条件] <ul style="list-style-type: none"> • 受信 FIFO フルの状態で次のシリアル受信を完了したとき 【注】* ¹ SCASCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² SCAFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

ビット	ビット名	初期値	R/W	説明
8	TSF	0	R/(W)*	<p>トランスミットデータストップフラグ</p> <p>送信データ数が、SCATDSR の設定値と一致したことを示します。</p> <p>0 : 送信データ数が SCATDSR の値と一致していない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • TSF = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 送信データ数が SCATDSR の値と一致</p>
7	ER	0	R/(W)*	<p>レシーブエラー</p> <p>調歩同期モード時、受信時にフレーミングエラー、パリティエラーが発生したことを示します。*¹</p> <p>0 : 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*² • 受信時の受信データとパリティビットを合わせた 1 の数が SCASMR の OE ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCASCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCAFRDR に転送され、受信動作を続けます。SCAFRDR から読み出したデータに受信エラーがあるかどうかは、SCASSR の FER、PER ビットで判定できます。</p> <p>*² ストップレングスが 2 ビットのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ビット目のストップビットはチェックしません。</p>
6	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCAFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCAFTDR ヘデータを書き込んだとき <p>1 : 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 バイトのシリアル送信キャラクタの送信時に SCAFTDR に送信データがないとき

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンブティ</p> <p>SCAFTDR から SCATSR にデータ転送が行われ、SCAFTDR 内のデータ数が SCAFCR の TTRG[1:0]ビットで設定した送信トリガデータ数以下になり、SCAFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0 : SCAFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCAFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : SCRTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット時 SCAFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき* <p>【注】* SCAFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されず。また、SCAFTDR 内のデータ数は SCAFCR に示されます。</p>
4	BRK	0	R/(W)*	<p>ブレイク検出</p> <p>調歩同期モード時、受信データのブレイク信号を検出して示します。</p> <p>0 : ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : ブレイク信号を受信したことを表示*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】* ブレイク検出すると検出後の受信データ (H'00) の SCAFRDR 転送は停止します。ブレイクが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

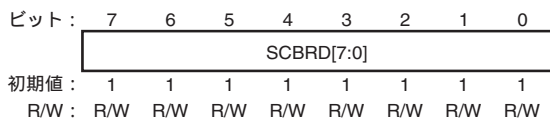
ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期モード時、SCAFRDR から読み出したデータのフレーミングエラーを表示します。</p> <p>0 : SCAFRDR から読み出した受信データにフレーミングエラーがないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 読み出しデータにフレーミングエラーなし <p>1 : SCAFRDR から読み出した受信データにフレーミングエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期モード時、SCAFRDR から読み出したデータのパリティエラーを表示します。</p> <p>0 : SCAFRDR から読み出した受信データにパリティエラーがないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 読み出しデータにパリティエラーなし <p>1 : SCAFRDR から読み出した受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCARSR から SCAFRDR に転送され、SCAFRDR 内の受信データ数が、SCAFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCAFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCAFRDR を読み出し、RDF = 1 を読み出した後、0 を書き込んだとき <p>1: SCAFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR に受信トリガ設定数以上の受信データが格納されたとき* <p>【注】* SCAFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCAFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお、SCAFRDR 内の受信データ数は SCAFRDR の下位ビットに示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期モード時、SCAFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。</p> <p>0: 受信中または正常に受信完了して SCAFRDR に受信データが残っていないことを表示</p> <p>[クリア条件] (初期値)</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 内の受信データをすべて読み出し、DR = 1 を読み出した後、0 を書き込んだとき <p>1: 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき* <p>【注】* 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。 etu (Elementary time unit : 1 ビットの転送期間の略)</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

23.3.9 ビットレートレジスタ (SCABRR)

SCABRR は、読み出し/書き込み可能な 8 ビットのレジスタで、SCASMR の CKS[1:0] ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定します。



ビット	ビット名	初期値	R/W	説明
7~0	SCBRD[7:0]	H'FF	R/W	ビットレート設定

SCABRR の設定値は以下の計算式で求められます。

- 調歩同期式モードのとき

$$(\text{サンプリングレート}1/16\text{の場合}) N = \{ P / (32 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/5\text{の場合}) N = \{ P / (10 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/7\text{の場合}) N = \{ P / (14 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/11\text{の場合}) N = \{ P / (22 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/13\text{の場合}) N = \{ P / (26 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/17\text{の場合}) N = \{ P / (34 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/19\text{の場合}) N = \{ P / (38 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

$$(\text{サンプリングレート}1/27\text{の場合}) N = \{ P / (54 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

- クロック同期式モードのとき

$$N = \{ P / (4 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのSCABRRの設定値

調歩同期式モード (0 N 255)

クロック同期式モード (1 N 255)

P : 周辺クロック周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(nとクロックの関係は、次表を参照してください)

表 23.4 SCASMR の設定値

n	クロック	SCASMR の設定値
		CKS[1:0]
0	P	00
1	P /4	01
2	P /16	10
3	P /64	11

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{(サンプリングレート 1/16 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 32 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/5 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 10 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/7 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 14 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/11 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 22 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/13 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 26 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/17 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 34 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/19 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 38 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

$$\text{(サンプリングレート 1/27 の場合) 誤差 (\%)} = \{ \{ P / ((N+1) \times 54 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

23.3.10 FIFO コントロールレジスタ (SCAFCR)

SCAFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送信、受信おのこの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行います。またループバックテストの許可ビットを含んでいます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSE	TCRST	—	—	—	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]	MCE	TFRST	RFRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

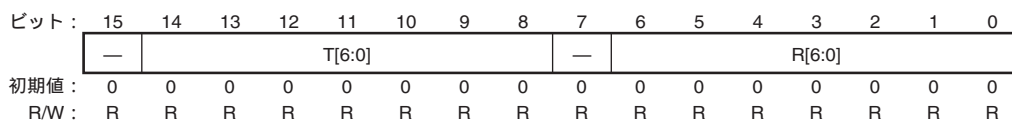
ビット	ビット名	初期値	R/W	説明
15	TSE	0	R/W	トランスミットデータストップイネーブル 送信データストップ機能を許可 / 禁止します。本機能は、調歩同期式でのみ設定可能です。クロック同期式では本機能はサポートしていないので、本ビットは 0 に設定してください。 0 : 送信データストップ機能を禁止 1 : 送信データストップ機能を許可
14	TCRST	0	R/W	トランスミットカウントリセット 送信カウンタを 0 にクリアします。本ビットは、送信データストップ機能使用時のみ有効となります。 0 : 送信カウントリセットを禁止* 1 : 送信カウントリセットを許可 (0 にクリア) 【注】* パワーオンリセット時には送信カウントリセット (0 にクリア) が行われます。
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ SCAFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60

ビット	ビット名	初期値	R/W	説明
7、6	RTRG[1:0]	00	R/W	<p>レシーブ FIFO データ数トリガ</p> <p>SCASSR のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。</p> <p>SCAFRDR 内に格納された受信データ数が下表に示す受信トリガ設定数以上になったとき RDF フラグをセットします。</p> <p>00 : 1</p> <p>01 : 16</p> <p>10 : 32</p> <p>11 : 48</p>
5、4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCASSR のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCAFTDR 内の送信データ数が、下表に示す送信トリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32)</p> <p>01 : 16 (49)</p> <p>10 : 2 (62)</p> <p>11 : 0 (64)</p> <p>【注】 () 内の値はフラグ発生時の SCAFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールラインエーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を有効にします。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】* $\overline{\text{CTS}}$ は入力値にかかわらず 0 アクティブに、$\overline{\text{RTS}}$ は 0 に固定します。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>SCAFTDR 内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>SCAFTDR 内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、RTS 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

23.3.11 FIFO データ数レジスタ (SCAFDR)

SCAFDR は、読み出し専用の 16 ビットのレジスタで、SCAFTDR および SCAFRDR 内に格納されているデータ数を示します。

T[6:0]ビットで SCAFTDR 内の送信データ数を、R[6:0]ビットで SCAFRDR 内の受信データ数を示します。

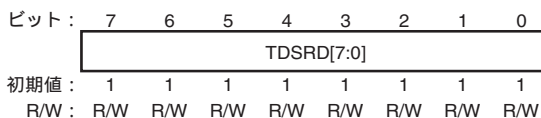


ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~8	T[6:0]	H'00	R	SCAFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCAFTDR にいっぱいの送信データが格納されていることを示します。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	R[6:0]	H'00	R	SCAFDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCAFRDR にいっぱいの受信データが格納されていることを示します。

23.3.12 トランスミットデータストップレジスタ (SCATDSR)

SCATDSR は、読み出し / 書き込み可能な 8 ビットレジスタで、送信データ数を設定します。本レジスタは、SCAFCR の TSE ビットがイネーブル時のみ有効となります。送信動作は、本レジスタで設定したデータ数を送信すると停止します。設定可能な値は、H'00 (1 バイト) ~ H'FF (256 バイト) です。

本レジスタの初期値は H'FF です。



ビット	ビット名	初期値	R/W	説明
7~0	TDSRD[7:0]	H'FF	R/W	送信データストップ設定

23.4 動作説明

23.4.1 概要

SCIFA は、キャラクタ単位で同期を取りながら通信する調歩同期モードと、クロックに同期してシリアル通信を行うクロック同期式モードをサポートしています。

送受信おののに 64 段のバッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

23.4.2 調歩同期式モード

以下に調歩同期式モードについて説明します。

送受信フォーマットの選択は、SCASMR で行います。これを表 23.5 に示します。

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレイクの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック/外部クロックから選択可能
- 内部クロックを選択した場合：
ボーレートジェネレータのクロックで動作します。
- 外部クロックを選択した場合：
サンプリングレートは1/16に固定となり、ビットレートの8倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

表 23.5 SCASMR の設定値とシリアル送信/受信フォーマット

SCASMR の設定値			モード	SCIF の送信/受信フォーマット						
ビット6	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長			
CHR	PE	STOP								
0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット			
		1					2ビット			
	1	0					あり	1ビット		
		1					2ビット			
1	0	0		7ビット データ		7ビット データ	なし	なし	1ビット	
		1							2ビット	
	1	0							あり	1ビット
		1							2ビット	

23.4.3 調歩同期式モードのシリアル動作

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 23.6 に示します。

送信 / 受信フォーマットは 8 種類あり、SCASMR の設定により選択できます。

表 23.6 シリアル送信 / 受信フォーマット

SCASMRの設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START 8ビットデータ STOP											
		1	START 8ビットデータ STOP								STOP	STOP		
	1	0	START 8ビットデータ P								STOP			
		1	START 8ビットデータ P								STOP	STOP		
1	0	0	START 7ビットデータ STOP											
		1	START 7ビットデータ STOP							STOP	STOP			
	1	0	START 7ビットデータ P							STOP				
		1	START 7ビットデータ P							STOP	STOP			

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCASCR の CKE ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。

外部クロックを SCK 端子に入力する場合には、サンプリングレートは 1/16 に固定となり、ビットレートの 8 倍の周波数のクロックを入力してください。

(3) データの送信 / 受信動作

(a) SCIFA の初期化

データの送信 / 受信前には、まず SCASCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIFA を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、SCATSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCASSR、SCAFTDR および、SCAFRDR の内容は保持されますので注意してください。

TE ビットの 0 クリアは、送信データをすべて送信し SCASSR の TEND ビットが 1 にセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、ハイインピーダンス状態になります。また、再度 TE ビットを 1 にセットして送信開始する前に、SCAFCR の TFRST ビットをいったん 1 にセットして SCAFTDR をリセットしてください。

図 23.2 に SCIFA の初期化フローチャートの例を示します。

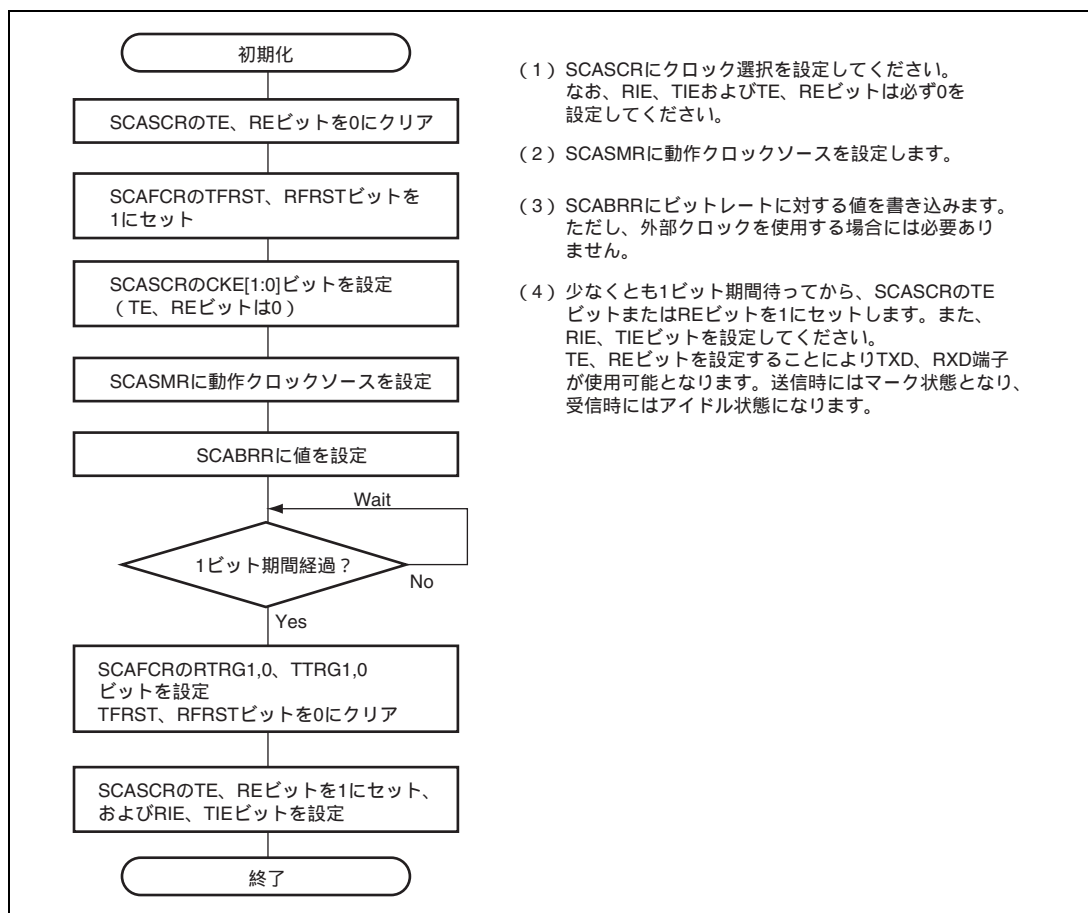
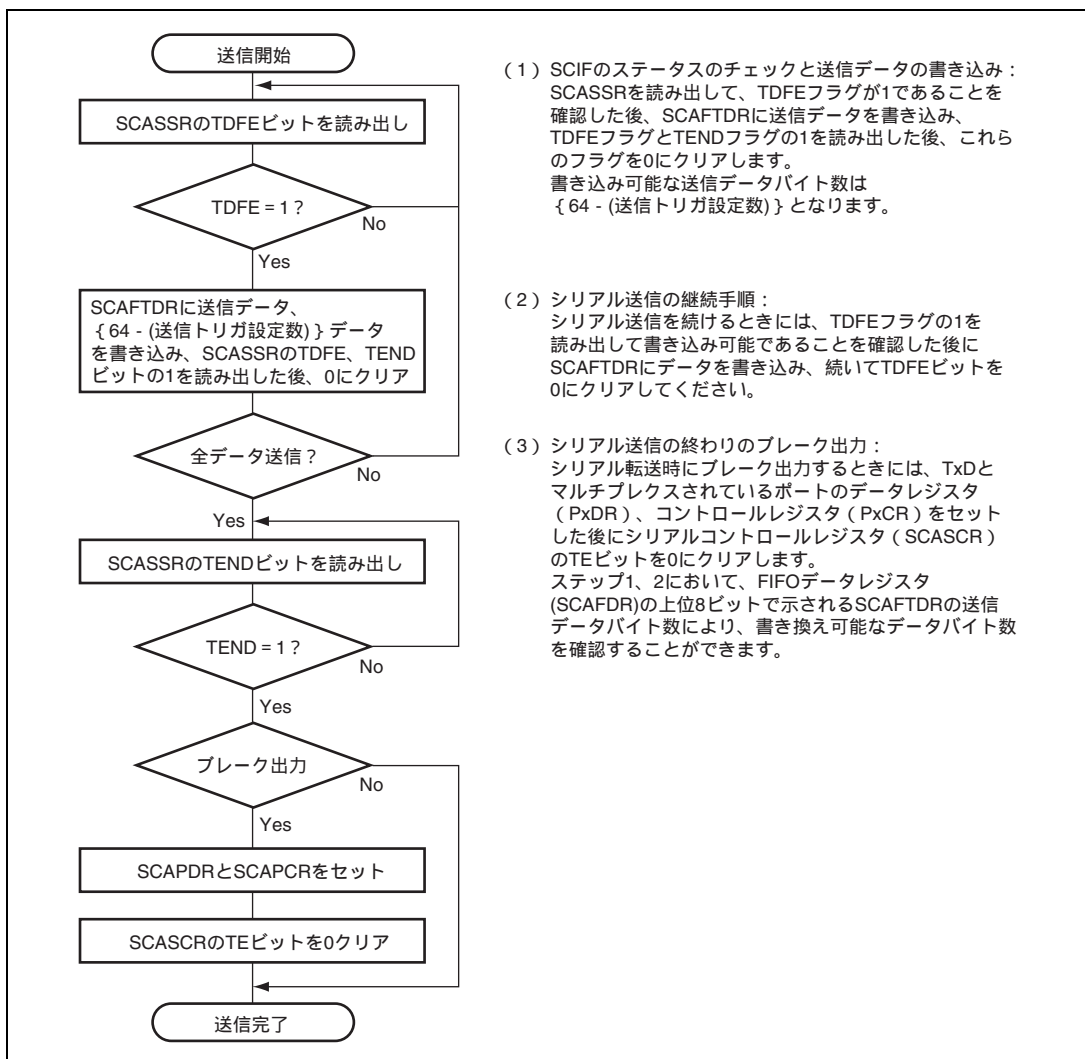


図 23.2 SCIFA の初期化フローチャートの例

(b) シリアルデータ送信

図 23.3 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順を参考に行ってください。



(1) SCIFのステータスのチェックと送信データの書き込み：
SCASSRを読み出して、TDFEフラグが1であることを確認した後、SCAFTDRに送信データを書き込み、TDFEフラグとTENDフラグの1を読み出した後、これらのフラグを0にクリアします。
書き込み可能な送信データバイト数は { 64 - (送信トリガ設定数) } となります。

(2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDFEフラグの1を読み出して書き込み可能であることを確認した後に SCAFTDRにデータを書き込み、続いてTDFEビットを0にクリアしてください。

(3) シリアル送信の終わりのブレイク出力：
シリアル転送時にブレイク出力するときには、TxDとマルチプレクスされているポートのデータレジスタ (PxDR)、コントロールレジスタ (PxCR) をセットした後にシリアルコントロールレジスタ (SCASCR) のTEビットを0にクリアします。
ステップ1、2において、FIFOデータレジスタ (SCAFDR) の上位8ビットで示されるSCAFTDRの送信データバイト数により、書き換え可能なデータバイト数を確認することができます。

図 23.3 シリアル送信のフローチャートの例

SCIFA はシリアル送信時に以下のように動作します。

1. SCIFAは、SCAFTDRにデータが書き込まれると、SCAFTDRからSCATSRにデータを転送し、送信を開始します。SCAFTDRにはSCASSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも $\{64 - (\text{送信トリガ設定})\}$ 数です。
2. SCAFTDRからSCATSRへデータが転送され、送信を開始すると、SCAFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCAFTDR内の送信データ数がSCAFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、SCASCRのTIEビットが1にセットされていると、送信FIFOデータエンプティ要因による割り込み要求を発生します。

送信データストップ機能使用時、SCATDSRに設定したデータ数と一致すると、送信動作を停止し、SCASSRのTSFフラグをセットします。このとき、SCASCRのTSIEビットが1にセットされていると、送信データストップ要因による割り込み要求を発生します。ただし、送信FIFOデータエンプティ割り込みと送信データストップ割り込みのベクタは共通です。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- a. スタートビット：1ビットの0が出力されます。
 - b. 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - c. パリティビット（偶数パリティ、または奇数パリティ）が出力されます。
 - d. なお、パリティビットを出力しないフォーマットも選択できます。
 - e. ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - f. マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFAは、ストップビットを送出するタイミングでSCAFTDRの送信データをチェックします。
データがある場合は、SCAFTDRからSCATSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
送信データがない場合は、SCASSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードの送信時の動作例を図 23.4 に示します。

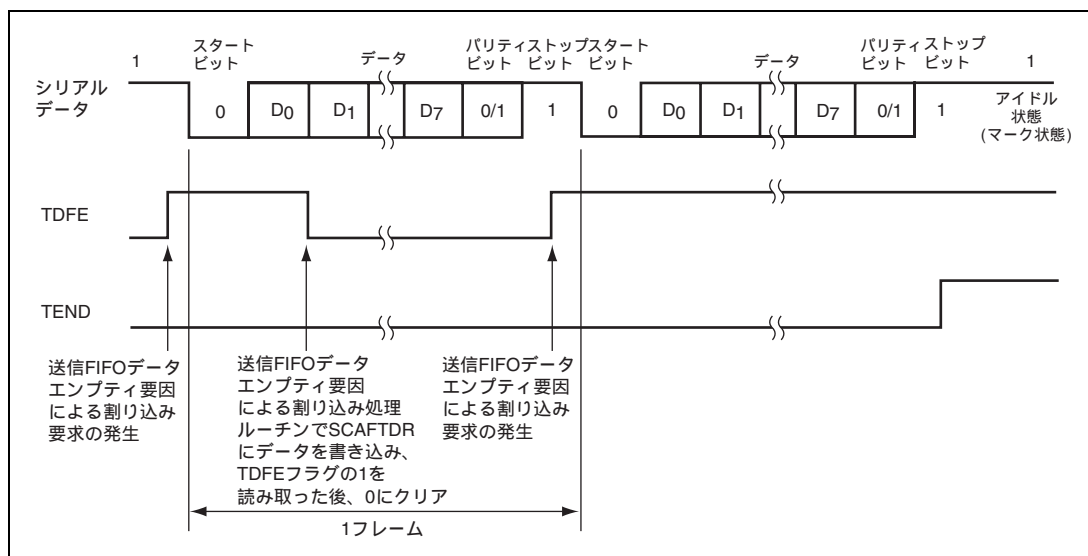


図 23.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) 送信データストップ機能

送信データストップ機能とは、SCATDSR レジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSIE ビット（割り込みイネーブルビット）をセットしておくことで、割り込みが発生します。

送信データストップ機能の動作例を図 23.5 に示します。

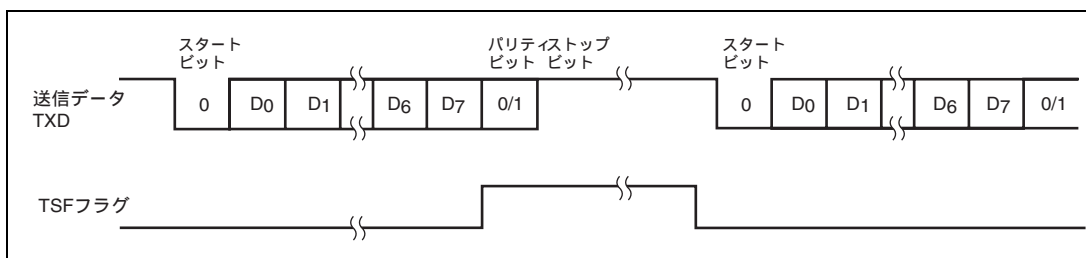


図 23.5 送信データストップ機能の動作例

次に、送信データストップ機能のフローチャートを図 23.6 に示します。

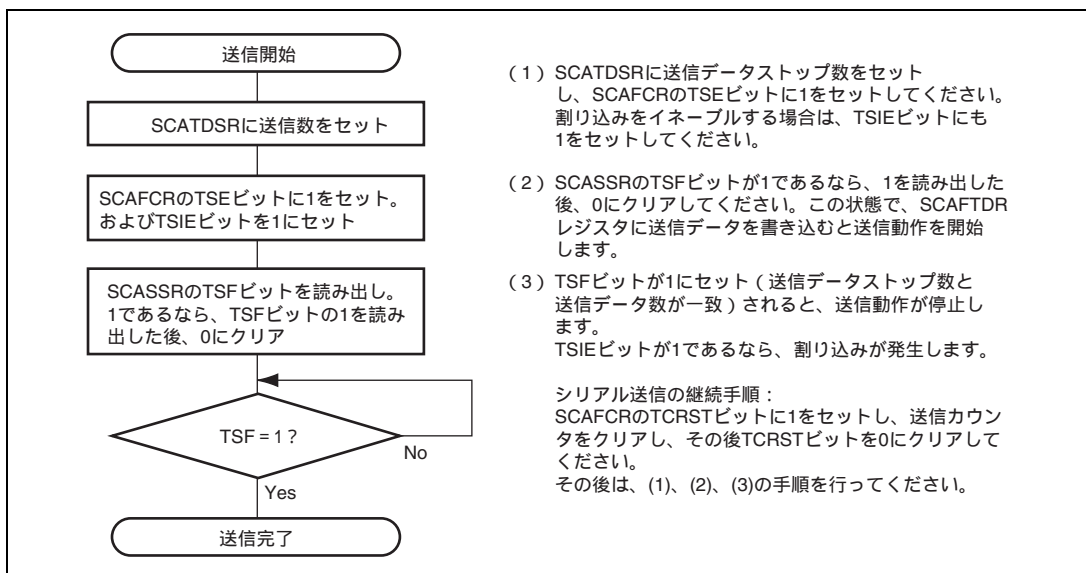


図 23.6 送信データストップ機能のフローチャート

(d) シリアルデータ受信

図 23.7、図 23.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順に従って行ってください。

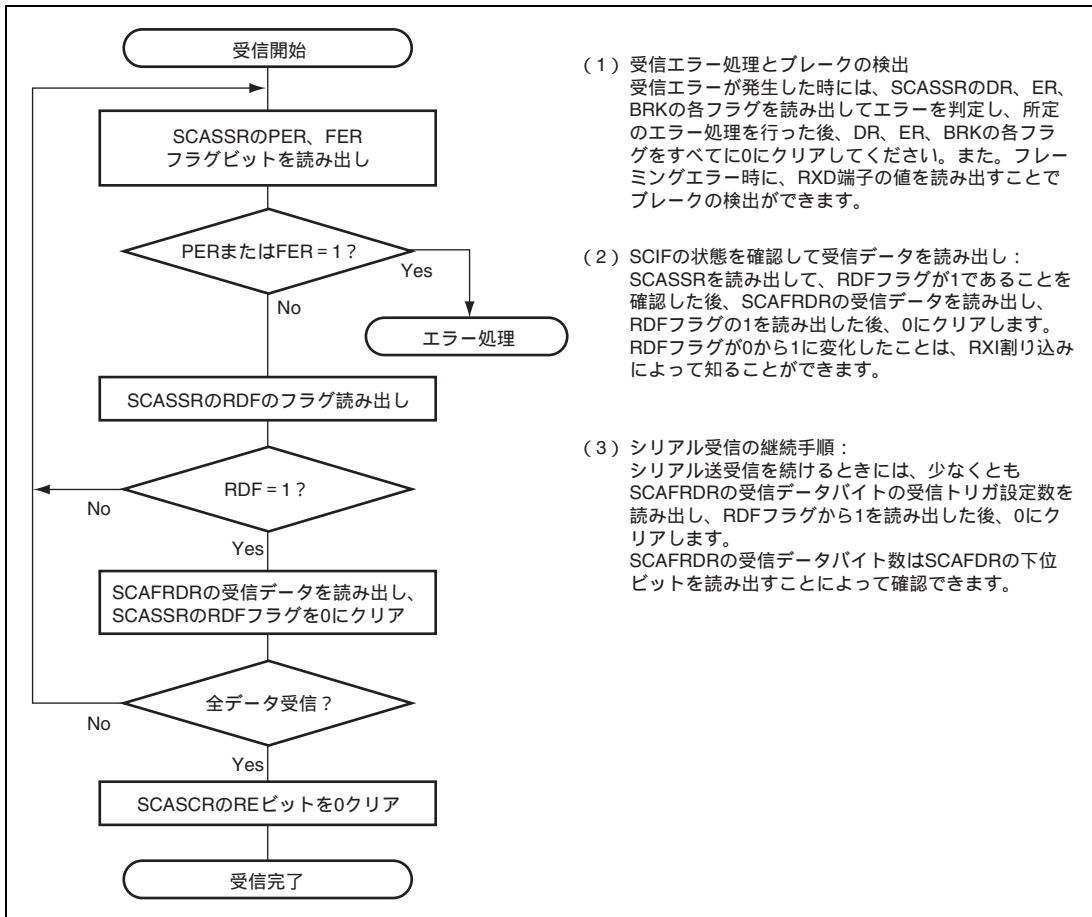


図 23.7 シリアル受信のフローチャートの例 (1)

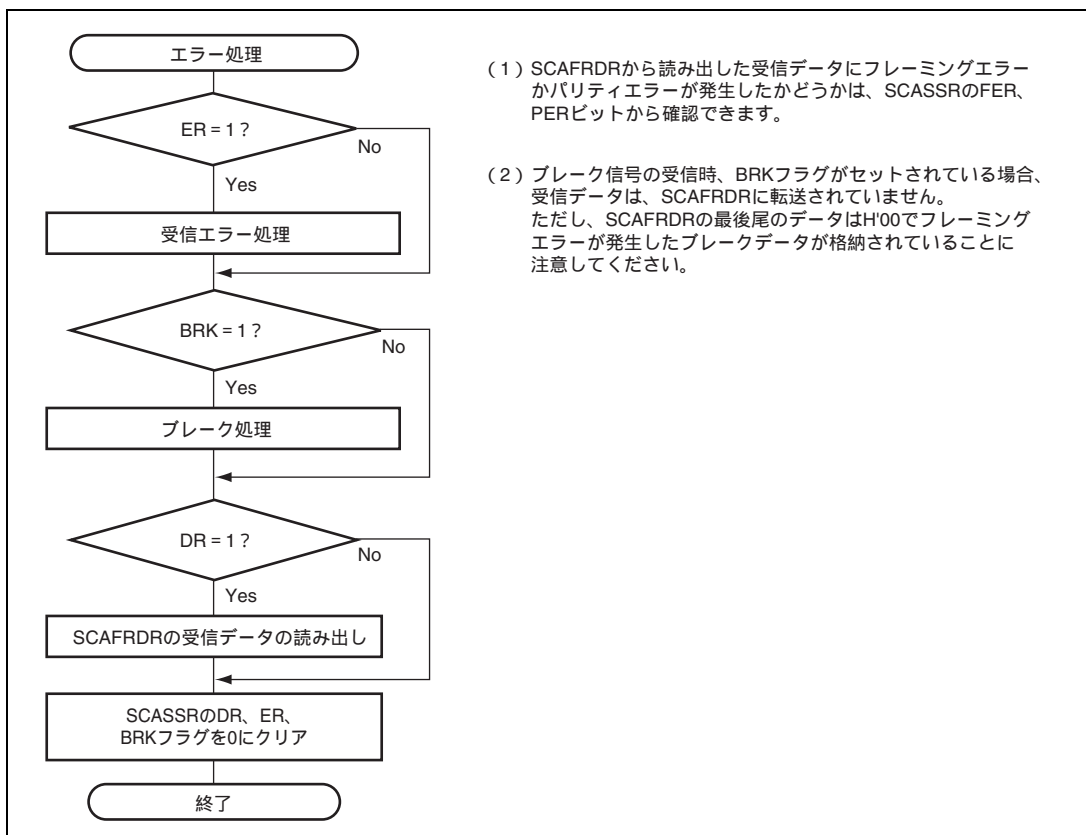


図 23.8 シリアル受信のフローチャートの例 (2)

SCIFA は受信時に以下のように動作します。

1. SCIFAは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCASSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIFA は以下のチェックを行います。

- a. ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- b. 受信データをSCASSRからSCAFRDRに転送できる状態であるかをチェックします。
- c. ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCAFRDR に受信データが格納されます。

【注】 受信エラー（フレーミングエラー／パリティエラー）が発生しても受信動作を続けます。

4. RDFフラグが1になったとき、SCASCRのRIEビットが1にセットされていると受信FIFOデータフル要因による割り込み要求を発生します。また、ERフラグが1になったとき、SCASCRのERIEビットが1にセットされていると受信エラー要因による割り込み要求を発生します。

BRKフラグが1になったとき、SCASCRのBRIEビットが1にセットされていると、ブレイク受信要因による割り込み要求を発生します。

DRフラグが1になったとき、SCASCRのDRIEビットが1にセットされていると、レシーブデータレディ要因による割り込み要求を発生します。ただし、各要因で発生する割り込みのベクタは共通です。

受信時の動作例を図 23.9 に示します。

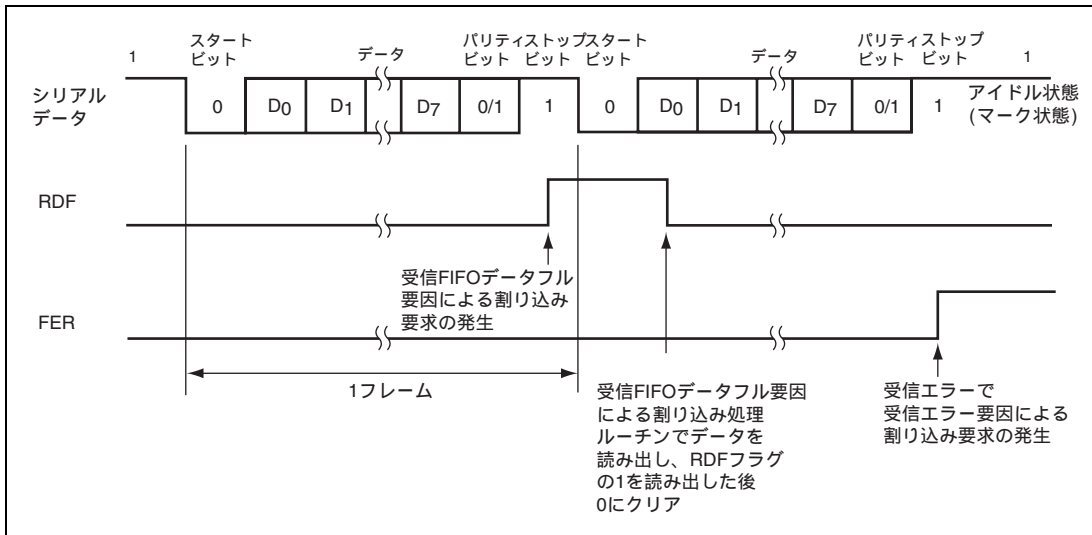


図 23.9 SCIFA の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

SCIFA は、モデム機能を持っています。モデム機能を使用した場合、 $\overline{\text{CTS}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$ が 1 にセットされると、送信中である場合、1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$ が 0 にセットされると、次の送信データをスタートビットを先頭に出力します。

$\overline{\text{CTS}}$ 制御の動作例を図 23.10 に示します。

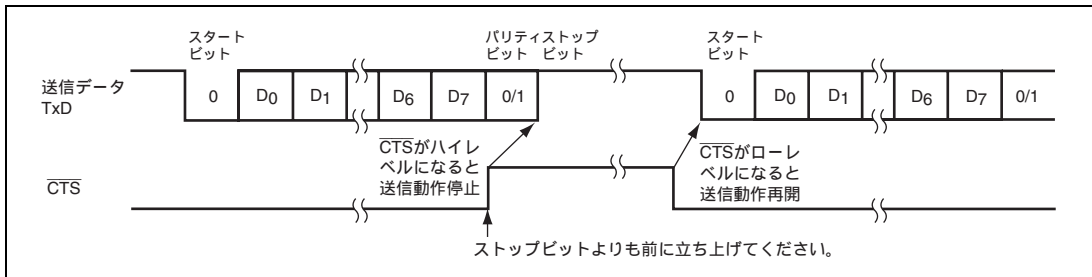


図 23.10 $\overline{\text{CTS}}$ 制御の動作例

また、モデム機能を使用した場合、受信 FIFO (SCAFRDR) が $\overline{\text{RTS}}$ 出力トリガ数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。

次に $\overline{\text{RTS}}$ 制御の動作例を図 23.11 に示します。

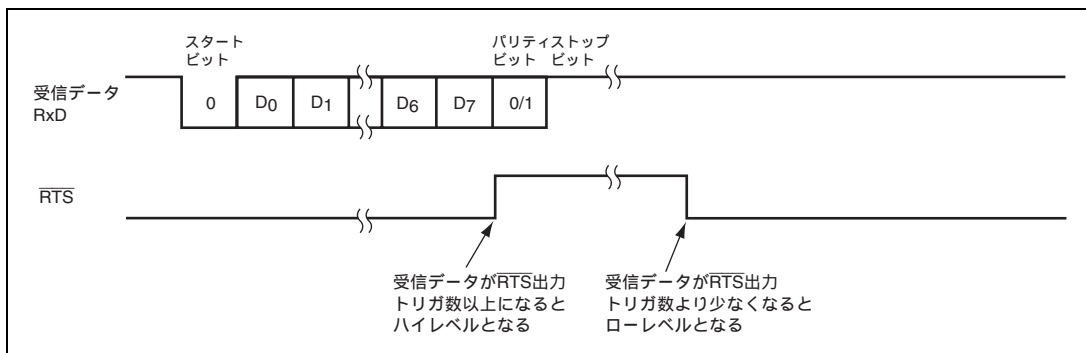


図 23.11 $\overline{\text{RTS}}$ 制御の動作例

23.4.4 クロック同期式モード

以下にクロック同期式モードについて説明します。

送受信おののに 64 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。

動作クロックソースの選択は SCASMR で行います。また、SCIFA のクロックソースは SCASCR の CKE[1:0] で決まります。

- 送受信フォーマット：8ビットデータ固定
- 送受信FIFOレジスタおののの格納データ数を表示
- SCIFAのクロックソース：内部クロック / 外部クロックから選択可能

内部クロックを使用した場合：

SCIFAはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：

SCK端子から入力された外部周期クロックで動作

23.4.5 クロック同期式モードのシリアル動作

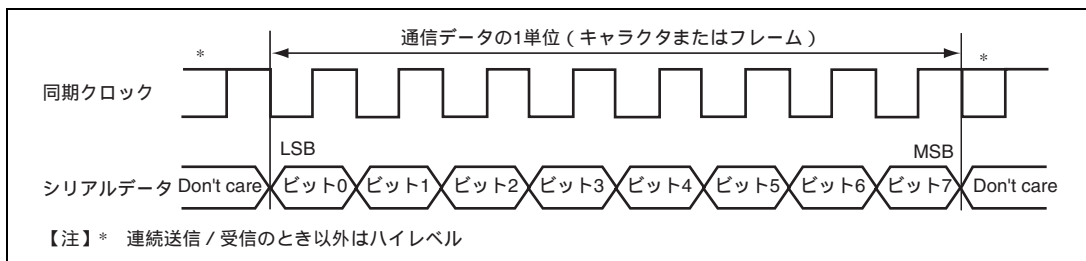


図 23.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIFAは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセスビットの付加はできません。

(2) クロック

SCASCRのCKE[1:0]ビットの設定により内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部周期クロックの2種類から選択できます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、REビットが1にセットされている間、同期クロックは出力し続けます。

1キャラクタ単位で同期クロックをハイレベルに固定したいときは、受信するデータ数と同じ数のデータをSCAFTDRへ書き込み、同時にTE、REビットを1にセットして送信データをダミーで送信してください。送信データ数が送信されると同期クロックはハイレベルに固定されます。

(3) データの送信 / 受信動作

(a) SCIFAの初期化

データの送信 / 受信前には、まずSCASCRのTEビット、およびREビットを0にクリアしたあと、以下の順でSCIFAを初期化してください。

クロックソースの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとSCATSRが初期化されます。

TE、RE ビットを 0 にクリアしても、SCASSR、SCAFTDR、および SCAFRDR の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCASSR の TEND ビットが 1 にセットされたあとに行ってください。送信途中には TE ビットを 0 にクリアしないでください。TE ビットを 0 にクリアすると、TxD 端子はハイインピーダンス状態となります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCAFTDR をリセットしてください。

図 23.13 ~ 図 23.15 に SCIFA の初期化フローチャートの例を示します。

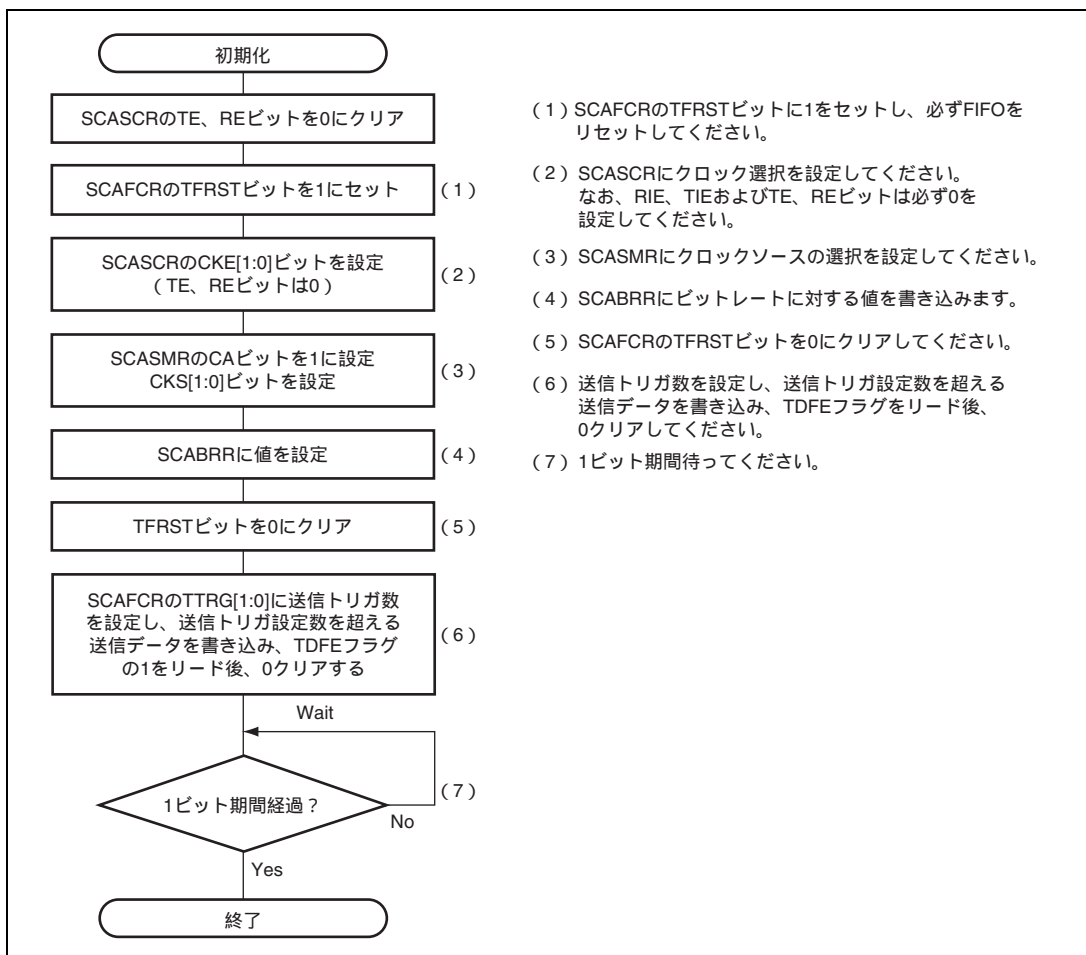


図 23.13 送信動作時の初期化フローチャートの例 (1)

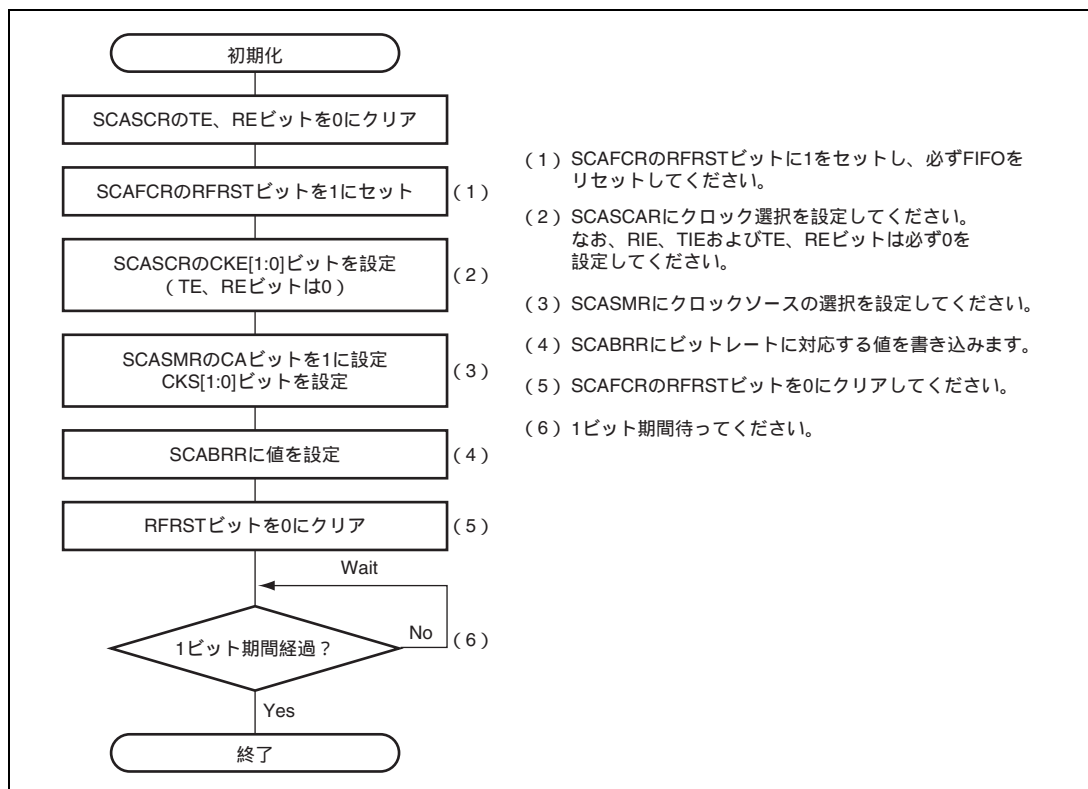


図 23.14 受信動作時の初期化フローチャートの例 (2)

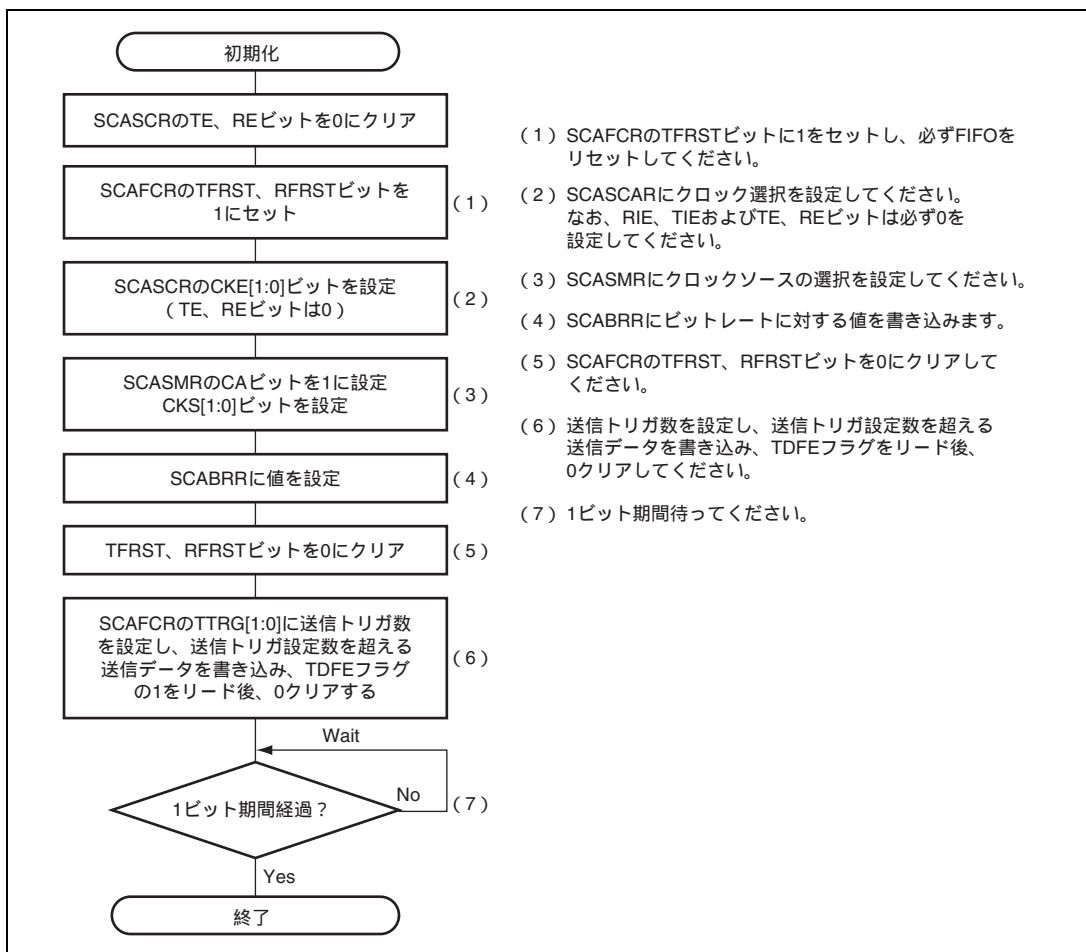


図 23.15 同時送受信時の初期化フローチャートの例 (3)

(b) シリアルデータ送信

図 23.16、図 23.17 にシリアル送信のフローチャートの例を示します。

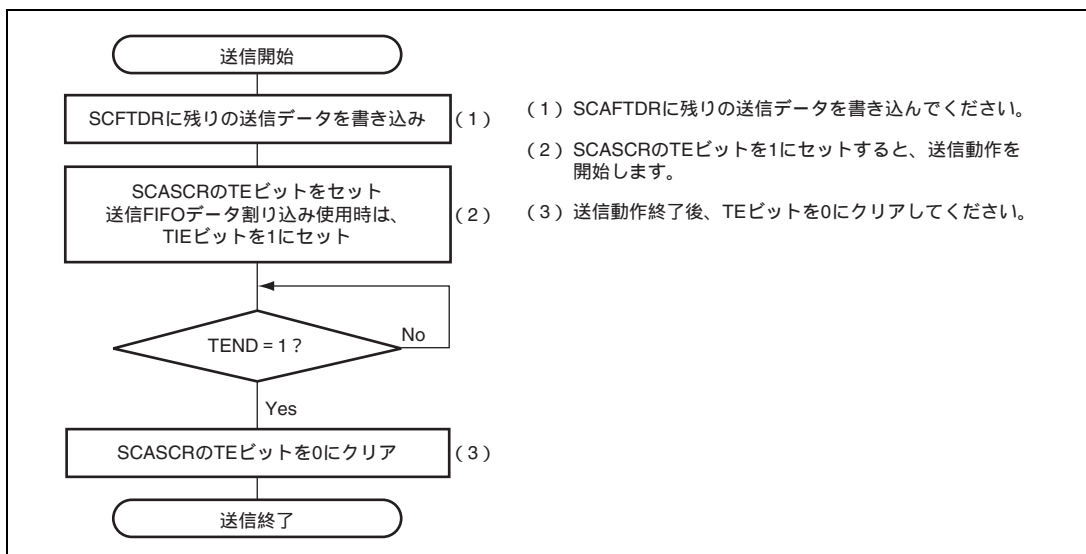


図 23.16 送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)

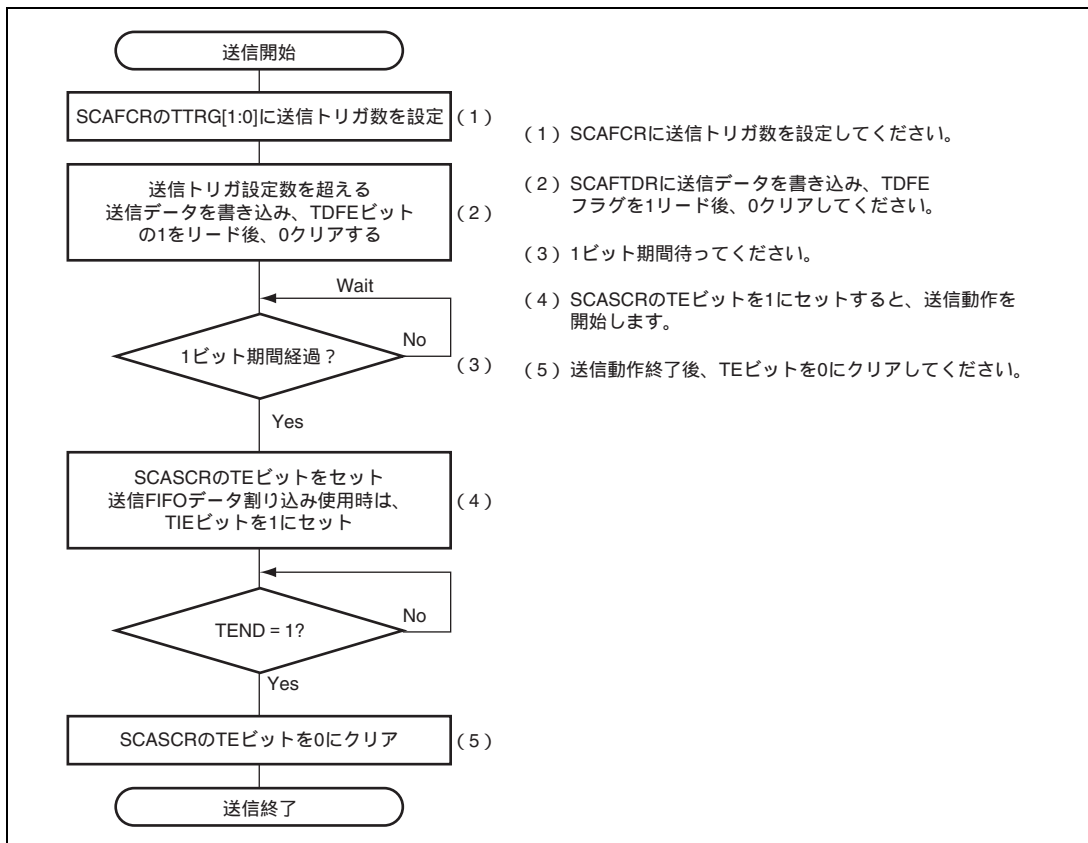


図 23.17 送信動作時のフローチャートの例 (2 回目以降の送信動作) (2)

(c) シリアルデータ受信

図 23.18、図 23.19 にシリアル受信フローチャートの例を示します。

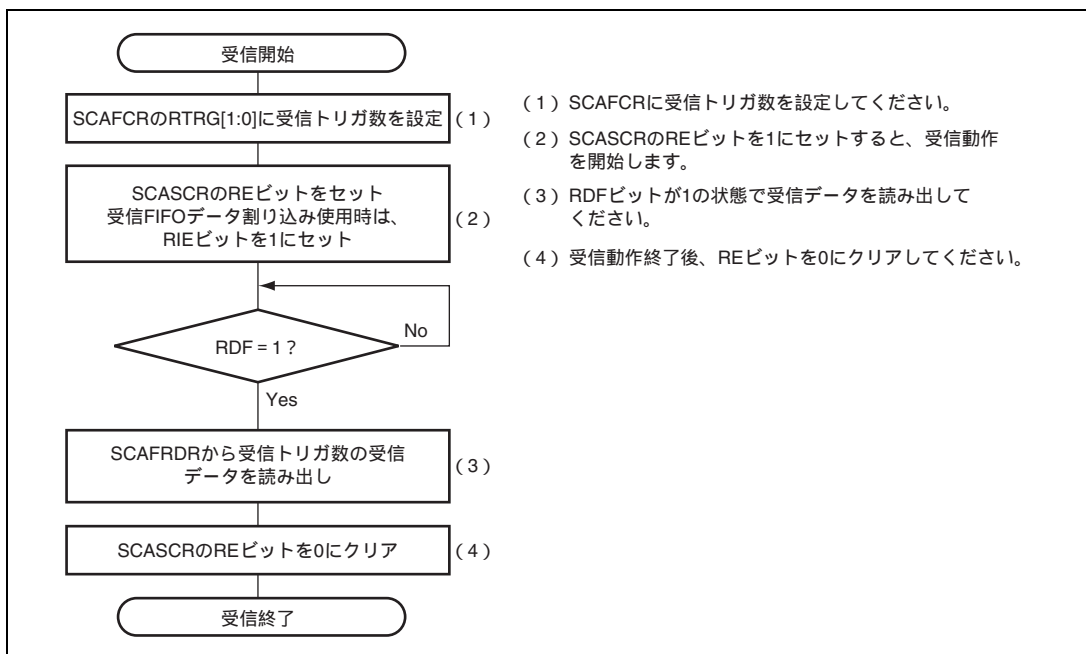


図 23.18 受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)

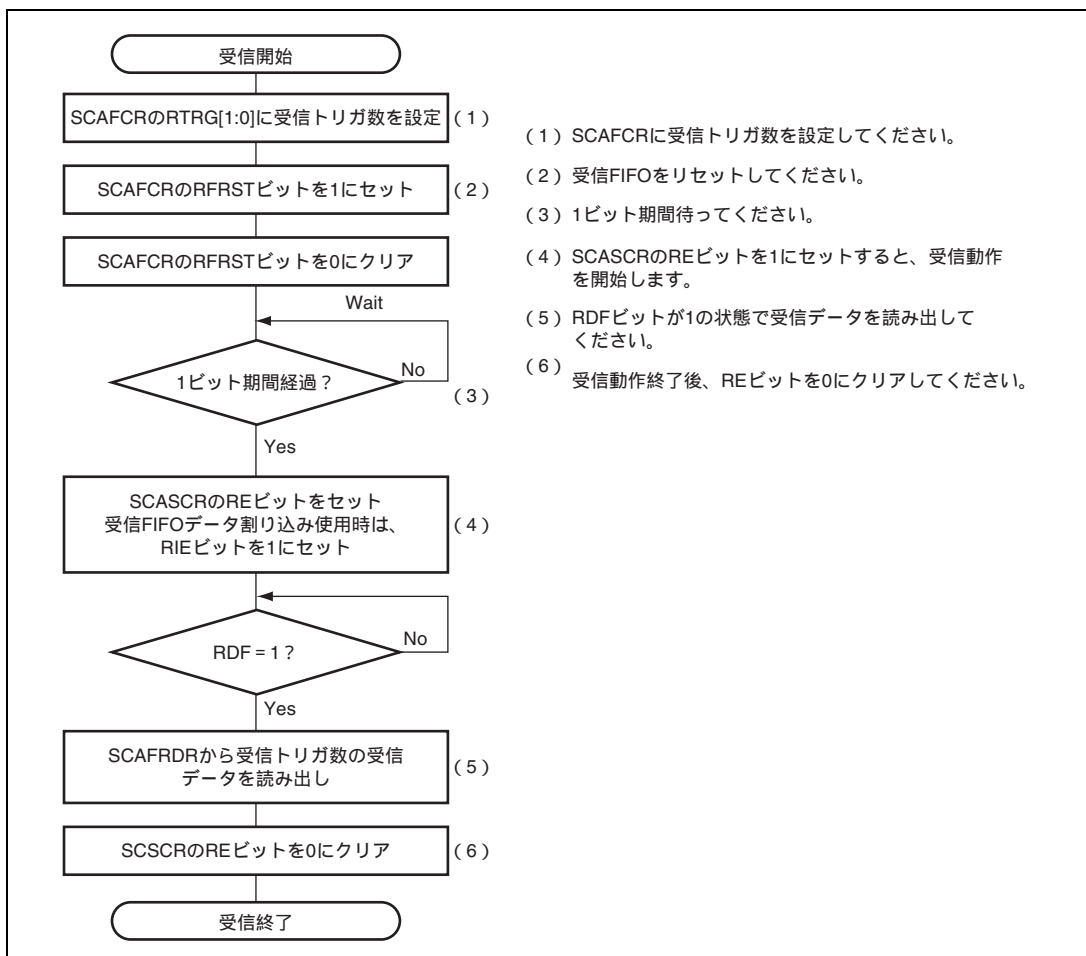


図 23.19 受信動作時のフローチャートの例 (2回目以降の受信動作) (2)

(d) シリアルデータ送受信同時動作

図 23.20、図 23.21 にシリアル送受信同時動作のフローチャートの例を示します。

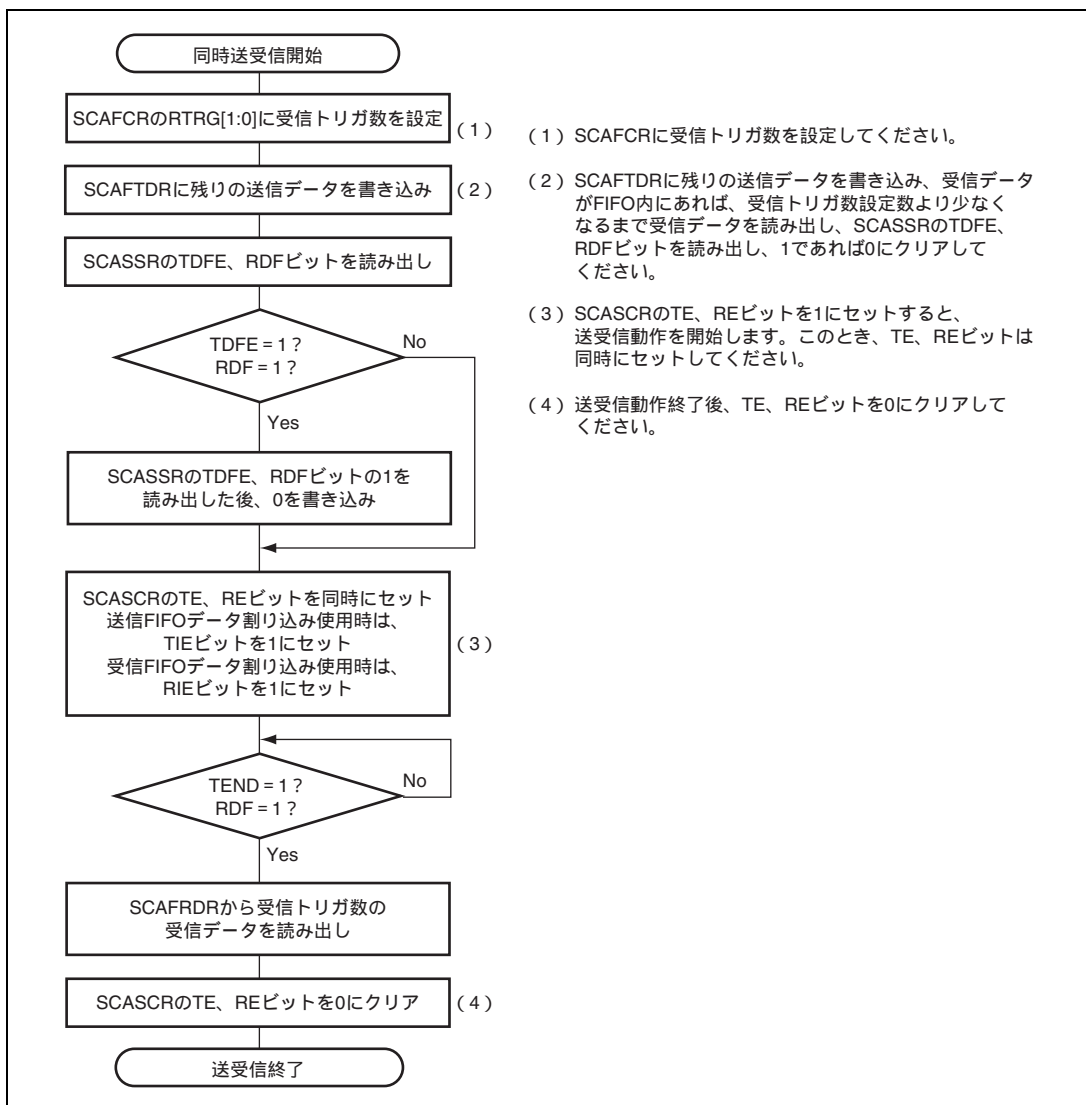


図 23.20 同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)

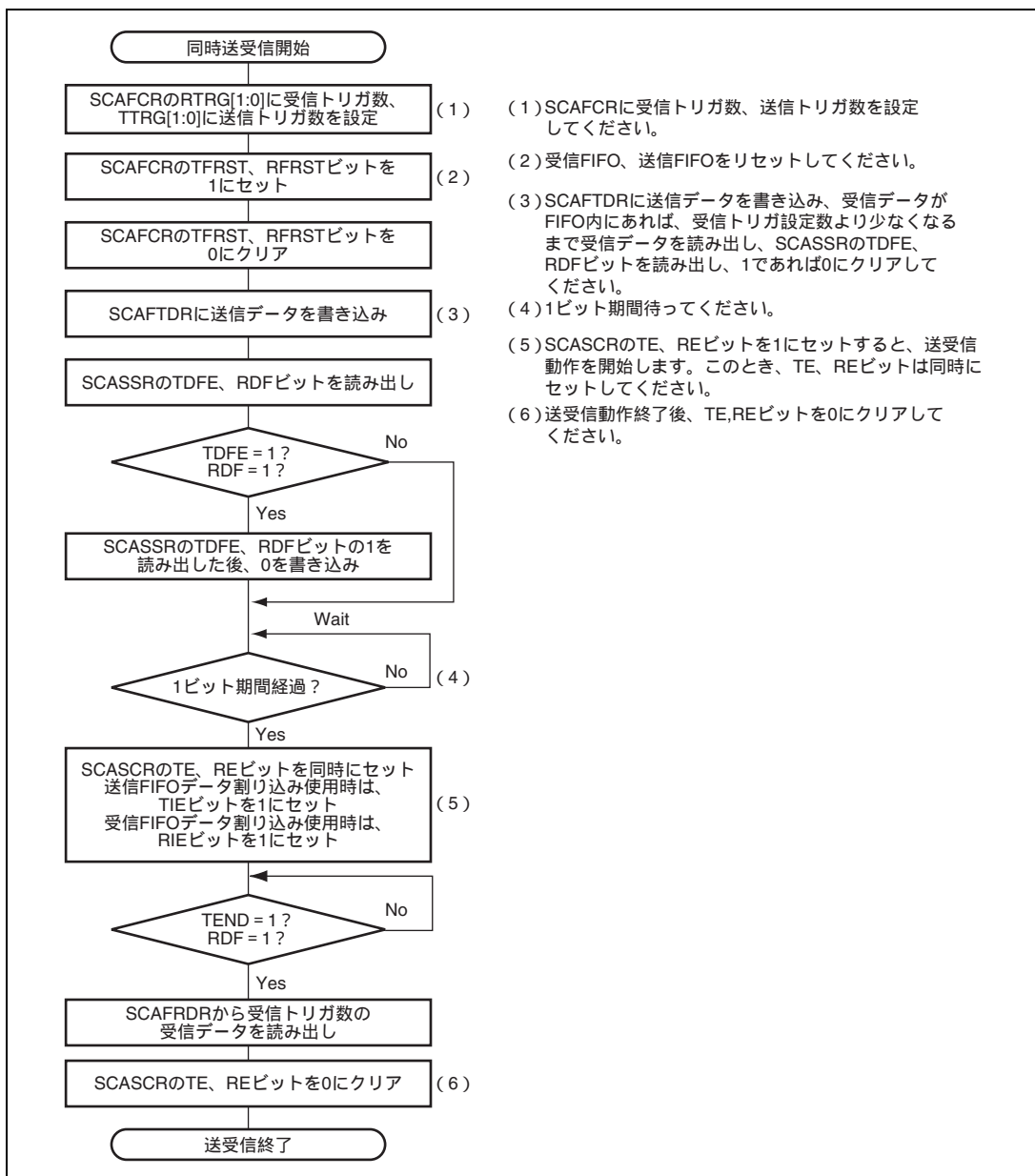


図 23.21 同時送受信動作時のフローチャートの例 (2回目以降の送受信動作) (2)

23.5 割り込み要因と DMAC

SCIFA は、送信 FIFO データエンpty 要因による割り込み要求、送信データストップ要因による割り込み要求、受信エラー要因による割り込み要求、受信 FIFO データフル要因による割り込み要求、ブレイク受信要因による割り込み要求、レシーブデータレディ要因による割り込み要求の 6 種類の割り込み要因をサポートしています。ただし、各要因による割り込みのベクタは共通です。

クロック同期モード時には、送信 FIFO データエンpty 割り込み要求、受信 FIFO データフル割り込み要求の 2 種類の割り込みをサポートしています。

表 23.7 に各割り込み要因を示します。各割り込み要因は、SCASSR の TIE、RIE、ERIE、BRIE、DRIE、TSIE ビットで、許可または禁止ができます。

SCASSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンpty 要因による割り込み要求が発生します。SCASSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンpty 要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCAFTDR に送信トリガ設定数を超えるデータが書き込まれると自動的にクリアされます。

SCASSR の RDF フラグが 1 にセットされると、受信 FIFO データフル要因による割り込み要求が発生します。受信 FIFO データフル要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCAFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで読み出されると自動的にクリアされます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIFA の設定を行ってください。また、DMA 転送の終了にて送受信の完了となります。

SCASSR の ER フラグが 1 にセットされた場合、または、SCASSR の BRK フラグが 1 にセットされた場合、または、SCASSR の DR フラグが 1 にセットされた場合、または、SCASSR の TSF フラグが 1 にセットされた場合には、割り込み要求が発生します。

ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、発生要因に対応する割り込みイネーブルビット (TIE、RIE) と、転送要求イネーブルビット (TDRQE、RDRQE) を 1 にセットしてください。

表 23.7 SCIFA の割り込み要因

割り込み要因の内容	DMAC の起動
受信エラー (ER)、ブレイク (BRK)、データレディ (DR) または送信データストップ (TSF) による割り込み	不可
受信 FIFO データフル (RDF) または送信 FIFO データエンpty (TDFE) 割り込み	可

23.6 使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

(1) SCAFTDR への書き込みと TDFE フラグについて

SCASSR の TDFE フラグは、SCAFTDR 内に書き込んだ送信データ数が SCAFCR の TTRG[1:0]ビットで設定した送信トリガ数以下になったとき、セットされます。TDFE がセットされた後、SCAFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし、TDFE フラグは、SCAFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは、送信トリガ数より多い送信データが SCAFTDR に格納されたときに行ってください。

SCAFTDR 内の送信データ数は、SCAFCR の T[6:0]ビットで知ることができます。

(2) SCAFRDR の読み出しと RDF フラグについて

SCASSR の RDF フラグは、SCAFRDR 内の受信データ数が SCAFCR の RTRG[1:0]ビットで設定した受信トリガ数以上になったとき、セットされます。RDF がセットされた後、SCAFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCAFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCAFRDR 内の受信データ数は、SCAFCR の R[6:0]ビットで知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に、RxD 端子の値を直接読み出すことによってもブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIFA は、ブレークを受信した後は SCAFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) 受信データサンプリングタイミングと受信マージン

サンプリングレートを 1/16 とした場合を例に挙げて説明します。SCIFA は、転送レートの 8 倍の周波数の基本クロックで動作します。

受信時に SCIFA は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 23.22 に示します。

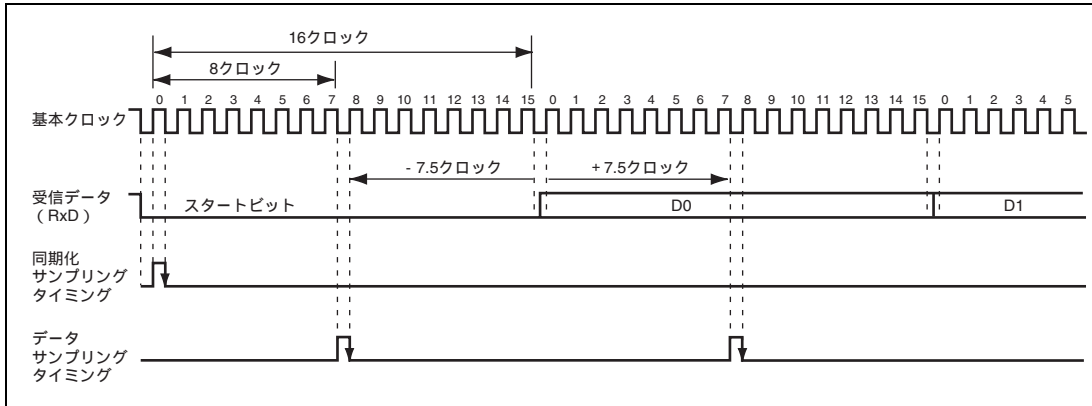


図 23.22 受信データサンプリングタイミング

したがって、受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\% \dots \dots \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(5) クロック同期モードでの同時送受信時の制約事項

同時送受信動作において、送信動作が完了し TXD および SCK の出力が停止しても、受信動作は受信 FIFO がフルになるまで受信動作を継続します。

送受信を同時に停止する場合は、送受信イネーブル前に、有効な受信データ数分の送信データを送信 FIFO に書き込み、送受信終了後に、有効な受信データを読み出し、残りの受信データを破棄してください。

24. IrDA インタフェース (IrDA)

IrDA インタフェース (IrDA) は、本 LSI 外付けの赤外線受発光素子との間で、IrDA 標準規格 1.2a に準拠した赤外線データ通信を行います。

IrDA は、データ送受信コントロールとして UART を使用し、その後段に接続した赤外線受発光パルス変復調ブロックと CRC エンジンブロックから構成されています。UART ブロックは、調歩同期式モードの手順に従ってシリアルデータ送受信を制御します。赤外線受発光パルス変復調ブロックは、IrDA 標準規格 1.2a に準拠した赤外線ベースバンド変調/復調による通信パルス制御、受信パルスチェック機能を持っています。CRC エンジンブロックは、8 ビット入力データを読み込み、16 ビットの CRC 演算結果を出力します。

24.1 特長

UART 機能として以下の特長があります。

- 調歩同期式モードのシリアル送受信
(データ長：8ビット、ストップビット長：1ビット、パリティ：なし)
- 受信エラーの検出：オーバランエラー、フレーミングエラー
- ボーレート誤差補正：小数点以下16段階で設定可能
- ボーレートカウント：65536カウントまで設定可能

赤外線受発光パルス変復調機能として以下の特長があります。

- 赤外線発光 (送信) パルス幅：1ビット幅 × 3 / 16あるいは1.63 μs選択可能
- パルス幅チェック：規定外 (未満、オーバ) を検出可能
- 1.8432MHzクロック生成回路：ボーレートカウント整数部16カウント設定可能
ボーレートカウント小数部16段階設定可能

CRC演算機能としては以下の特長があります。

- 生成多項式： $X^{16}+X^{12}+X^5+1$
- データ入力：バイト書き込み、下位ビットから8ビット単位でCRC演算
- CRC出力：16ビットCRC生成出力
- 最大データ長：4096バイト

IrDA のブロック図を図 24.1 に示します。

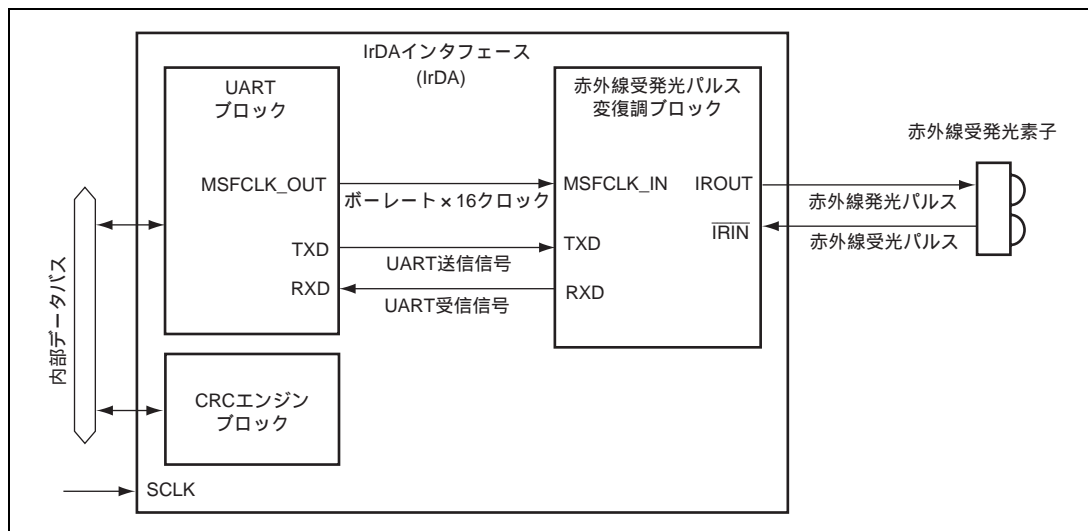


図 24.1 IrDA のブロック図

24.2 入出力端子

IrDA には、表 24.1 に示す入出力端子があります。

表 24.1 端子構成

チャンネル	端子名	略称	入出力	機能
0	IrDA0_RXD	IRIN	入力	赤外線受光 (受信) パルス入力
	IrDA0_TXD	IROUT	出力	赤外線発光 (送信) パルス出力
1	IrDA1_RXD	$\bar{I}RIN$	入力	赤外線受光 (受信) パルス入力
	IrDA1_TXD	IROUT	出力	赤外線発光 (送信) パルス出力

【注】 端子の機能は各チャンネルで同一のため、本文中では端子名として略称を使用します。

24.3 レジスタの説明

IrDA のレジスタ構成を表 24.2 に示します。また、各処理モードにおけるレジスタの状態を表 24.3 に示します。
 なお、以降の各レジスタの説明では、レジスタはチャンネル番号を省略した名称を用います。

表 24.2 レジスタ構成

チャンネル	レジスタ名称	略称	R/W	アドレス	アクセス サイズ
0	DMA 受信割り込み要因クリアレジスタ	IRIF0_RINTCLR	W	H'A45D 0016	16
	DMA 送信割り込み要因クリアレジスタ	IRIF0_TINTCLR	W	H'A45D 0018	16
	IrDA-SIR10 コントロールレジスタ	IRIF0_SIR0	R/W	H'A45D 0020	8/16
	IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF0_SIR1	R/W	H'A45D 0022	8/16
	IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF0_SIR2	R/W	H'A45D 0024	8/16
	IrDA-SIR10 ステータスレジスタ	IRIF0_SIR3	R	H'A45D 0026	8/16
	ハードウェアフレーム処理設定レジスタ	IRIF0_SIR_FRM	R/W	H'A45D 0028	8/16
	EOF 値設定レジスタ	IRIF0_SIR_EOF	R/W	H'A45D 002A	8/16
	フラグクリアレジスタ	IRIF0_SIR_FLG	W	H'A45D 002C	8/16
	UART ステータスレジスタ 2	IRIF0_SIR_STS2	R/W	H'A45D 002E	8/16
	UART コントロールレジスタ	IRIF0_UART0	R/W	H'A45D 0030	8/16
	UART ステータスレジスタ	IRIF0_UART1	R	H'A45D 0032	8/16
	UART 送信データレジスタ	IRIF0_UART3	W	H'A45D 0036	8/16
	UART 受信データレジスタ	IRIF0_UART4	R	H'A45D 0038	8/16
	UART 割り込みマスクレジスタ	IRIF0_UART5	R/W	H'A45D 003A	8/16
	UART ボーレート誤差補正レジスタ	IRIF0_UART6	R/W	H'A45D 003C	8/16
	UART ボーレートカウントレジスタ	IRIF0_UART7	R/W	H'A45D 003E	8/16
	CRC エンジンコントロールレジスタ	IRIF0_CRC0	R/W	H'A45D 0040	8/16
	CRC エンジン入力データレジスタ	IRIF0_CRC1	W	H'A45D 0042	8/16
	CRC エンジン演算レジスタ	IRIF0_CRC2	W	H'A45D 0044	8/16
CRC エンジン出力データレジスタ 1	IRIF0_CRC3	R	H'A45D 0046	8/16	
CRC エンジン出力データレジスタ 2	IRIF0_CRC4	R	H'A45D 0048	8/16	
1	DMA 受信割り込み要因クリアレジスタ	IRIF1_RINTCLR	W	H'A45E 0016	16
	DMA 送信割り込み要因クリアレジスタ	IRIF1_TINTCLR	W	H'A45E 0018	16
	IrDA-SIR10 コントロールレジスタ	IRIF1_SIR0	R/W	H'A45E 0020	8/16
	IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF1_SIR1	R/W	H'A45E 0022	8/16
	IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF1_SIR2	R/W	H'A45E 0024	8/16
	IrDA-SIR10 ステータスレジスタ	IRIF1_SIR3	R	H'A45E 0026	8/16
	ハードウェアフレーム処理設定レジスタ	IRIF1_SIR_FRM	R/W	H'A45E 0028	8/16
	EOF 値設定レジスタ	IRIF1_SIR_EOF	R/W	H'A45E 002A	8/16

チャンネル	レジスタ名称	略称	R/W	アドレス	アクセス サイズ
1	フラグクリアレジスタ	IRIF1_SIR_FLG	W	H'A45E 002C	8/16
	UART ステータスレジスタ 2	IRIF1_SIR_STS2	R/W	H'A45E 002E	8/16
	UART コントロールレジスタ	IRIF1_UART0	R/W	H'A45E 0030	8/16
	UART ステータスレジスタ	IRIF1_UART1	R	H'A45E 0032	8/16
	UART 送信データレジスタ	IRIF1_UART3	W	H'A45E 0036	8/16
	UART 受信データレジスタ	IRIF1_UART4	R	H'A45E 0038	8/16
	UART 割り込みマスクレジスタ	IRIF1_UART5	R/W	H'A45E 003A	8/16
	UART ボーレート誤差補正レジスタ	IRIF1_UART6	R/W	H'A45E 003C	8/16
	UART ボーレートカウンタレジスタ	IRIF1_UART7	R/W	H'A45E 003E	8/16
	CRC エンジンコントロールレジスタ	IRIF1_CRC0	R/W	H'A45E 0040	8/16
	CRC エンジン入力データレジスタ	IRIF1_CRC1	W	H'A45E 0042	8/16
	CRC エンジン演算レジスタ	IRIF1_CRC2	W	H'A45E 0044	8/16
	CRC エンジン出力データレジスタ 1	IRIF1_CRC3	R	H'A45E 0046	8/16
	CRC エンジン出力データレジスタ 2	IRIF1_CRC4	R	H'A45E 0048	8/16

表 24.3 各処理モードにおけるレジスタの状態

チャンネル	略称	パワーオンリセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
0	IRIF0_RINTCLR	初期化	保持	保持	保持
	IRIF0_TINTCLR	初期化	保持	保持	保持
	IRIF0_SIR0	初期化	保持	保持	保持
	IRIF0_SIR1	初期化	保持	保持	保持
	IRIF0_SIR2	初期化	保持	保持	保持
	IRIF0_SIR3	初期化	保持	保持	保持
	IRIF0_SIR_FRM	初期化	保持	保持	保持
	IRIF0_SIR_EOF	初期化	保持	保持	保持
	IRIF0_SIR_FLG	初期化	保持	保持	保持
	IRIF0_SIR_STS2	初期化	保持	保持	保持
	IRIF0_UART0	初期化	保持	保持	保持
	IRIF0_UART1	初期化	保持	保持	保持
	IRIF0_UART3	初期化	保持	保持	保持
	IRIF0_UART4	初期化	保持	保持	保持
	IRIF0_UART5	初期化	保持	保持	保持
	IRIF0_UART6	初期化	保持	保持	保持
	IRIF0_UART7	初期化	保持	保持	保持
IRIF0_CRC0	初期化	保持	保持	保持	

チャンネル	略称	パワーオンリセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
0	IRIF0_CRC1	初期化	保持	保持	保持
	IRIF0_CRC2	初期化	保持	保持	保持
	IRIF0_CRC3	初期化	保持	保持	保持
	IRIF0_CRC4	初期化	保持	保持	保持
1	IRIF1_RINTCLR	初期化	保持	保持	保持
	IRIF1_TINTCLR	初期化	保持	保持	保持
	IRIF1_SIR0	初期化	保持	保持	保持
	IRIF1_SIR1	初期化	保持	保持	保持
	IRIF1_SIR2	初期化	保持	保持	保持
	IRIF1_SIR3	初期化	保持	保持	保持
	IRIF1_SIR_FRM	初期化	保持	保持	保持
	IRIF1_SIR_EOF	初期化	保持	保持	保持
	IRIF1_SIR_FLG	初期化	保持	保持	保持
	IRIF1_SIR_STS2	初期化	保持	保持	保持
	IRIF1_UART0	初期化	保持	保持	保持
	IRIF1_UART1	初期化	保持	保持	保持
	IRIF1_UART3	初期化	保持	保持	保持
	IRIF1_UART4	初期化	保持	保持	保持
	IRIF1_UART5	初期化	保持	保持	保持
	IRIF1_UART6	初期化	保持	保持	保持
	IRIF1_UART7	初期化	保持	保持	保持
	IRIF1_CRC0	初期化	保持	保持	保持
	IRIF1_CRC1	初期化	保持	保持	保持
	IRIF1_CRC2	初期化	保持	保持	保持
IRIF1_CRC3	初期化	保持	保持	保持	
IRIF1_CRC4	初期化	保持	保持	保持	

24.3.1 DMA 受信割り込み要因クリアレジスタ (IRIF_RINTCLR)

IRIF_RINTCLR は、受信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	RDMAC[15:0]	H'0000	W	受信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

24.3.2 DMA 送信割り込み要因クリアレジスタ (IRIF_TINTCLR)

IRIF_TINTCLR は、送信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	TDMAC[15:0]	H'0000	W	送信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

24.3.3 IrDA-SIR10 コントロールレジスタ (IRIF_SIR0)

IRIF_SIR0 は、赤外線受発光パルス変復調の制御を行うレジスタです

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR TPW	IR ERRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	IRTPW	0	R/W	赤外線発光 (送信) パルス幅選択 赤外線発光 (送信) パルス幅を選択します。 0: MSFCLK_IN より入力されるクロックの3サイクル分を出力 1: IRIF_SIR1 と IRIF_SIR2 で設定した 1.8432MHz クロックの3サイクル分を出力
0	IRERRC	0	R/W	赤外線受光 (受信) パルス幅エラーフラグクリアビット 赤外線受光 (受信) パルス幅のエラーフラグをクリアします。 0: クリアしない 1: クリアする 【注】本ビットに1を設定した場合、直ちに0に復帰します。0を書き込む必要はありません。

24.3.4 IrDA-SIR10 ボーレート誤差補正レジスタ (IRIF_SIR1)

IRIF_SIR1 は、赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正 (ボーレートカウント値の小数部) の設定を行うレジスタです。IRIF_SIR2 で指定する値とあわせて 1.8432MHz クロックの生成を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IRBCA[3:0]			—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7~4	IRBCA[3:0]	0000	R/W	<p>赤外線変復調ボーレート誤差補正設定ビット</p> <p>赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正(ボーレートカウント値の小数部)の設定を行います。下記の設定値の右に示された値は、IRIF_SIR2 で指定するボーレートカウント値の小数部を表していません。動作仕様に一番近い小数部を選択してください。</p> <p>0000 : 0.0000 1000 : 0.5000 0001 : 0.0625 1001 : 0.5625 0010 : 0.1250 1010 : 0.6250 0011 : 0.1875 1011 : 0.6875 0100 : 0.2500 1100 : 0.7500 0101 : 0.3125 1101 : 0.8125 0110 : 0.3750 1110 : 0.8750 0111 : 0.4375 1111 : 0.9375</p> <p>【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。</p>
3~0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

24.3.5 IrDA-SIR10 ボーレートカウント設定レジスタ (IRIF_SIR2)

IRIF_SIR2 は、赤外線受発光パルス変復調ブロックで使用するボーレートカウント値の整数部の設定を行うレジスタです。IRIF_SIR1 で指定した誤差補正值とあわせて 1.8432MHz クロックを生成します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	IRBC[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
3~0	IRBC[3:0]	0000	R/W	<p>赤外線変復調ボーレートカウント設定</p> <p>赤外線受発光パルス変復調ブロックで使用するクロックを生成する分周カウント値の整数部の設定を行います。</p> <p>【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。</p>

24.3.6 IrDA-SIR10 ステータスレジスタ (IRIF_SIR3)

IRIF_SIR3 は、赤外線受発光パルス変復調時の赤外線受光 (受信) パルス幅エラーの有無を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IRERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IRERR	0	R	赤外線受光 (受信) パルス幅エラーフラグビット 赤外線パルス変復調時の受信パルス幅にエラーがあったことを示します。 0: エラーなし 1: エラーあり

24.3.7 ハードウェアフレーム処理設定レジスタ (IRIF_SIR_FRM)

IRIF_SIR_FRM は、受信データのフレーム処理を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EOFD	FRER	—	—	—	—	—	—	—	FRP
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	EOFD	1	R	EOF 検出フラグ 0: EOF を検出した 1: EOF を検出していない
8	FRER	0	R	フレームエラービット 0: フレームエラーが発生していない 1: フレームエラーが発生した
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FRP	0	R/W	フレーム処理設定 0: EOF の検出を無効にする 1: EOF の検出を有効にする

24.3.8 EOF 値設定レジスタ (IRIF_SIR_EOF)

IRIF_SIR_EOF は、EOF の値を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EOF[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	EOF[7:0]	H'C1	R/W	EOF 設定 検出する EOF の値を設定します。

24.3.9 フラグクリアレジスタ (IRIF_SIR_FLG)

IRIF_SIR_FLG は、フレームエラーフラグ、EOF フラグをクリアするレジスタです。本レジスタの上位8ビットあるいは下位8ビットに任意のデータを書き込むことによって対応するフラグをクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRERC[7:0]								EOFC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	FRERC[7:0]	H'00	W	フレームエラーフラグクリア 本ビット (本レジスタの上位8ビット) にバイトデータを書き込むことによって、フレームエラーフラグがクリアされます。書き込む値は任意です。
7~0	EOFC[7:0]	H'00	W	EOF フラグクリア 本ビット (本レジスタの下位8ビット) にバイトデータを書き込むことによって、EOF フラグがクリアされます。書き込む値は任意です。

24.3.10 UART ステータスレジスタ 2 (IRIF_SIR_STS2)

IRIF_SIR_STS2 は、データ受信時の動作状態を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IRSME	IROVE	IRFRE	IRPRE	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6	IRSME	0	R/W	受信サムエラーフラグ 0: 受信サムエラーなし 1: 受信サムエラーあり
5	IROVE	0	R/W	受信オーバーランエラーフラグ 0: 受信オーバーランエラーなし 1: 受信オーバーランエラーあり
4	IRFRE	0	R/W	受信フレーミングエラーフラグ 0: 受信フレーミングエラーなし 1: 受信フレーミングエラーあり
3	IRPRE	0	R/W	受信パリティエラーフラグ 0: 受信パリティエラーなし 1: 受信パリティエラーあり
2-0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 本レジスタへの書き込み動作ですべてのエラーフラグがクリアされます。

24.3.11 UART コントロールレジスタ (IRIF_UART0)

IRIF_UART0 は、データ送受信を制御するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TBEC	RIE	TIE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TBEC	0	W	送信データクリア UART の送信バッファエンプティフラグのクリアを行うビットです。1 を書き込むとクリアされますが、送信データレジスタの内容はクリアされません。本ビットに1を書き込んでも読み出し時には0が読み出されます。 0: クリアしません 1: クリアする
1	RIE	0	R/W	受信イネーブル UART の受信の起動/停止を行うビットです。受信中に停止を行うと、1データ受信の後、受信が中断されます。 0: 停止 1: 起動

ビット	ビット名	初期値	R/W	説明
0	TIE	0	R/W	送信イネーブル UART の送信の起動 / 停止を行うビットです。送信中に停止を行うと、1 データ送信の後、送信が中断されます。 0 : 停止 1 : 起動

24.3.12 UART ステータスレジスタ (IRIF_UART1)

IRIF_UART1 は、UART 機能の動作状態を示すフラグが設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	UR SME	UR OVE	UR FRE	UR PRE	RBF	TSBE	TBE
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
8, 7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	URSME	0	R	受信サムエラーフラグ UART の各エラーフラグ (受信パリティエラーフラグ、受信フレーミングエラーフラグ、受信オーバーランエラーフラグ) のいずれかのフラグが1にセットされると1がセットされ、セットされていない場合は0がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます (古い受信データに対するエラーに上書きされていきます)。 0 : エラーなし 1 : エラーあり
5	UROVE	0	R	受信オーバーランエラーフラグ UART の受信データレジスタがシステムにより読み出される前に次の受信データが格納されると1がセットされ、受信データレジスタがシステムにより読み出しが行われると0がセットされます。このときの受信データは、最新のデータが格納されます (古い受信データの上に上書きされます)。 0 : エラーなし 1 : エラーあり

ビット	ビット名	初期値	R/W	説明
4	URFRE	0	R	<p>受信フレーミングエラーフラグ</p> <p>UARTの受信データの後続に付加されるストップビット長が1ビットの場合0がセットされ、2ビットの場合に1がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます(古い受信データに対するエラーに上書きされます)。</p> <p>0: エラーなし 1: エラーあり</p>
3	URPRE	0	R	<p>受信パリティエラーフラグ</p> <p>UARTの送受信データに対してパリティビットの無効を選択していますので、本フラグは常に0が設定されます。</p> <p>0: エラーなし 1: エラーあり</p>
2	RBF	0	R	<p>受信バッファフルフラグ</p> <p>UARTの受信データレジスタに受信データが格納されると、1がセット(受信パリティエラー、受信フレーミングエラー、受信オーバーランエラーのいずれかが発生していても1がセット)され、受信データレジスタがシステムにより読み出されると0がセットされます。</p> <p>0: 受信データなし 1: 受信データあり</p>
1	TSBE	1	R	<p>送信シフトバッファエンプティフラグ</p> <p>UARTの送信が完了すると(UART送信シフトバッファが空になると)1がセットされ、UARTの送信中は0がセットされます。</p> <p>0: 送信中 1: 送信完了</p>
0	TBE	1	R	<p>送信バッファエンプティフラグ</p> <p>UARTの送信データレジスタのデータが送信シフトバッファに格納(送信データレジスタが空)されるか、またはコントロールレジスタの送信データクリアビットに1を書き込むと1がセットされ、送信データレジスタに送信データが書き込まれると0がセットされます。</p> <p>0: 送信データあり 1: 送信データなし</p>

24.3.13 UART モードレジスタ (IRIF_UART2)

IRIF_UART2は、シリアルデータ送受信データフォーマットや伝送モードを指定するレジスタです。常に、初期値の状態で使用してください。

UART モードレジスタ (IRIF_UART2) の設定値を変更した場合には、動作は保証されません。

24.3.14 UART 送信データレジスタ (IRIF_UART3)

IRIF_UART3 は、送信データを格納するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
7~0	TD[7:0]	H'00	W	UART 送信データ 送信するデータを設定します

【注】 UART ステータスレジスタの送信バッファエンプティフラグが1のときに本レジスタに書き込みを行います。0のときに書き込みを行うと、タイミングによっては不定のデータが送信される場合があります。

24.3.15 UART 受信データレジスタ (IRIF_UART4)

IRIF_UART4 は、受信データが格納されるレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	RD[7:0]	H'00	R	UART 受信データ 受信されたデータが設定されます

【注】 UART ステータスレジスタの受信バッファフルフラグが1のときに本レジスタから読み出しを行います。0のときに読み出しを行うと、タイミングによっては不定のデータが読み出される場合があります。

24.3.16 UART 割り込みマスクレジスタ (IRIF_UART5)

IRIF_UART5 は、UART の割り込みを有効または無効にするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RS EIM	—	—	—	RB FIM	TSB EIM	TB EIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RSEIM	0	R/W	受信サムエラーフラグ割り込みマスク 受信サムエラーフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
5~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	RBFIM	0	R/W	受信バッファフルフラグ割り込みマスク 受信バッファフルフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
1	TSBEIM	0	R/W	送信シフトバッファエンプティフラグ割り込みマスク 送信シフトバッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可
0	TBEIM	0	R/W	送信バッファエンプティフラグ割り込みマスク 送信バッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可

【注】 送信シフトバッファエンプティフラグ割り込みマスクビットと送信バッファエンプティ割り込みマスクビットを同時に割り込み許可にしないでください。

24.3.17 UART ボーレート誤差補正レジスタ (IRIF_UART6)

IRIF_UART6 は、データ送受信時のボーレート誤差補正を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UABCA[3:0]			—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	UABCA[3:0]	0000	R/W	ボーレート誤差補正ビット UARTのボーレート誤差補正(ボーレートカウント値の小数部)の設定を行うビットで、UARTボーレートカウントレジスタで指定した値とあわせてボーレート値の設定をします。下記の設定値の右に示された値は、ボーレートカウント値の小数部を表しています。動作仕様に一番近い小数部を選択し、ボーレート誤差補正レジスタへ設定してください。 0000 : 0.0000 1000 : 0.5000 0001 : 0.0625 1001 : 0.5625 0010 : 0.1250 1010 : 0.6250 0011 : 0.1875 1011 : 0.6875 0100 : 0.2500 1100 : 0.7500 0101 : 0.3125 1101 : 0.8125 0110 : 0.3750 1110 : 0.8750 0111 : 0.4375 1111 : 0.9375
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.3.18 UART ボーレートカウントレジスタ (IRIF_UART7)

IRIF_UART7 は、データ送信用のボーレートを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UABC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	UABC[15:0]	H'0000	R/W	ボーレートカウント設定 ボーレートカウント値の整数部の設定を行うビットで、UARTボーレート誤差補正レジスタで指定した値とあわせてボーレート値の設定を行います。ボーレート値の設定は、「24.4.1(4) データ送受信におけるボーレート設定」を参照してください。

24.3.19 CRC エンジンコントロールレジスタ (IRIF_CRC0)

IRIF_CRC0 は、CRC エンジンの起動と入力データ数をカウントするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_RST	—	—	—	CRC_CT[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CRC_RST	0	W	CRC エンジンリセット CRC 演算に関連するレジスタをクリアします。 リセット後、本ビットを 0 に書き戻す必要はありません。 0 : 通常の CRC 演算 1 : CRC エンジンリセット
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CRC_CT [11:0]	H'000	R	CRC エンジン入力データ数 CRC エンジンに入力されたデータ数が読み出されます。 データ数が 4096 になった場合、0 にラップアラウンドします。

24.3.20 CRC エンジン入力データレジスタ (IRIF_CRC1)

IRIF_CRC1 は、CRC エンジンへの入力データを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CRC_IN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
7~0	CRC_IN[7:0]	H'00	W	CRC エンジン入力データ CRC エンジンに入力するデータを設定します。設定されたデータは LSB (CRC_IN0) から CRC 演算レジスタの MSB (CRC_REG15) へ順に転送されます。詳細は図 24.7 を参照してください。

24.3.21 CRC エンジン演算レジスタ (IRIF_CRC2)

IRIF_CRC2 は、CRC の演算用レジスタです。通常 CRC 演算の初期値を書き込むときのみアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_REG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	CRC_REG [15:0]	H'0000	W	CRC エンジン演算データ CRC 演算レジスタの初期値を設定します。

24.3.22 CRC エンジン出力データレジスタ 1 (IRIF_CRC3)

IRIF_CRC3 は、CRC エンジンの演算結果を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。

24.3.23 CRC エンジン出力データレジスタ 2 (IRIF_CRC4)

IRIF_CRC4 は、CRC エンジンの演算結果を示すレジスタです。IRIF_CRC3 の LSB-MSB を反転した値が設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。 ビット 15 が LSB、ビット 0 が MSB になります。

24.4 機能説明

24.4.1 UART

UART は、調歩同期式モードの手順に従って、シリアル送信 / 受信を制御します。

(1) データフォーマット

UART で取り扱うデータのフォーマットを図 24.2 に示します。

- STビット (スタートビット)

データの送受信開始を示すビットで、キャラクタ1ビット分のロー信号がデータビットの直前に付加されます。

- Bit0 ~ Bit7 (データビット)

IRIF_UART3に書きこまれた送信データ、IRIF_UART4に格納された受信データを示します。データビットのキャラクタ長は8ビットで、送受信データビットの通信配列はLSBファーストで行います。

- SPビット (ストップビット)

データ送受信終了を示すビットで、データビットの直後に付加されます。ストップビットとしてキャラクタ1ビット分のハイ信号が出力されます。

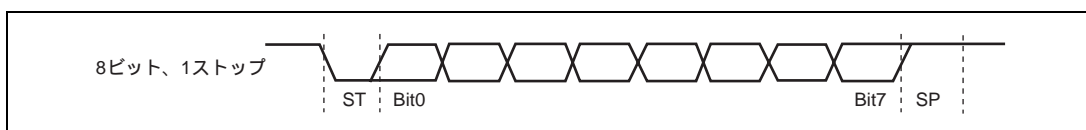


図 24.2 送受信データフォーマット

(2) データ送信タイミング

データ送受信コントロールで取り扱うデータの送信タイミングを図 24.3 に示します。

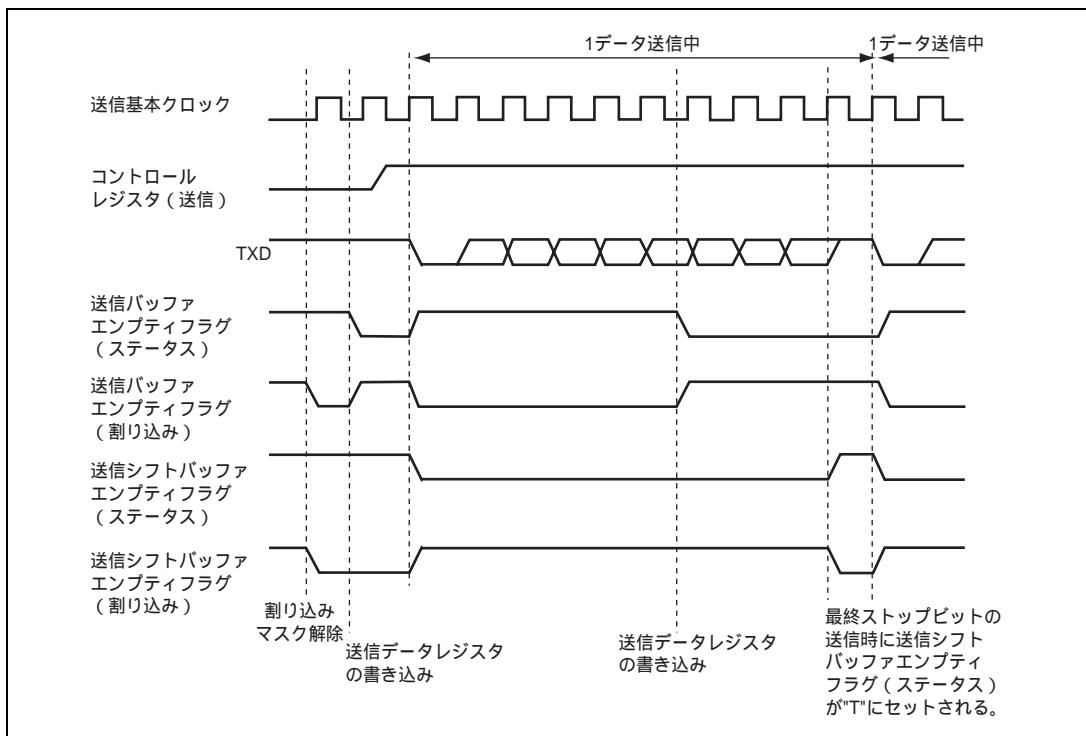


図 24.3 データ送信タイミング

(3) データ受信タイミング

UART で取り扱うデータの受信タイミングを図 24.4 に示します。

受信データの最終ストップビット検出時に、受信データの格納や各受信フラグのセットおよびクリアが制御されます。

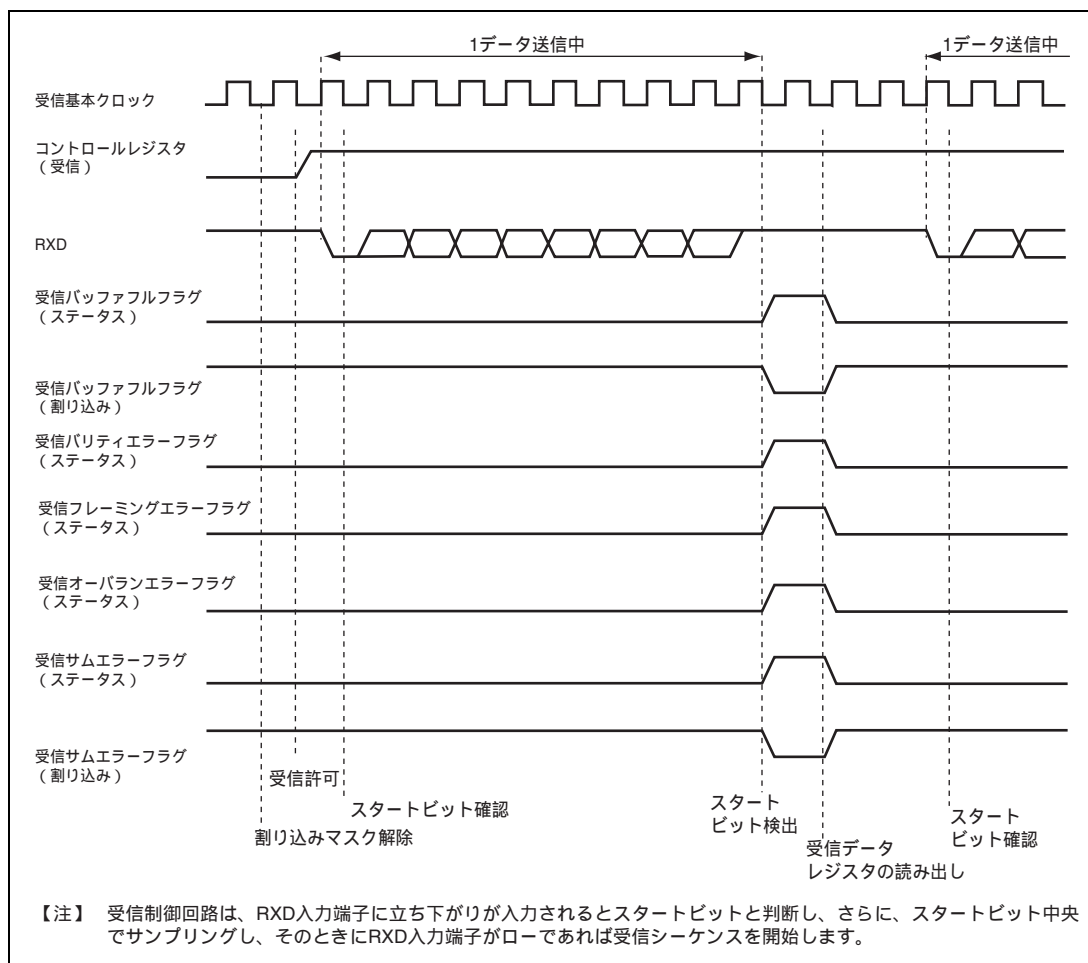


図 24.4 データ受信タイミング

(4) データ送受信におけるボーレート設定

UART データ送受信に使用するボーレートの計算式を以下に示します。

$$\text{ボーレート値[bps]} = \frac{\text{システムクロック(SCLK)[Hz]}}{\text{UABCA} + (\text{UABC} + 1) \times 16}$$

UABC : データ送信用ボーレートカウンタ値 (IRIF_UART7.UABC[15:0]の設定値)

UABCA : データ送信用ボーレートカウンタ値 (IRIF_UART6.UABCA[3:0]の設定値)

上記に示す計算式のクロックはコントローラに入力されたクロックです。ボーレートカウンタ値の整数部をリロードするときにボーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバーフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ボーレートカウンタ値に 1 を加え誤差を解消するようになっています。

24.4.2 発受光パルス変復調動作

(1) 赤外線発光パルスデータ送信

UART からの送信データを、IrDA 標準規格 1.0 に準拠した波形にエンコードし赤外線受発光素子に対して赤外線発光パルスデータを送信します。エンコードのタイミングを図 24.5 に示します。

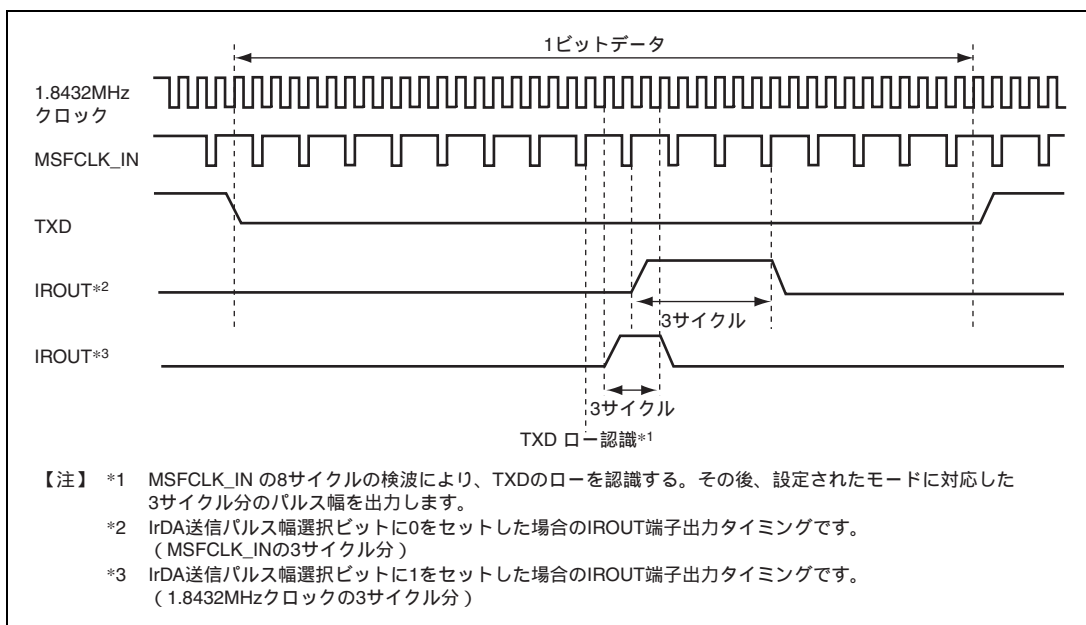


図 24.5 赤外線発光 (送信) パルスデータエンコードタイミング

(2) 赤外線受光パルスデータ受信

赤外線受発光素子からの赤外線受光パルス（受信）データを、IrDA 標準規格 1.0 に準拠した波形からデコードし UART に対して送信します。デコードのタイミングを図 24.6 に示します。

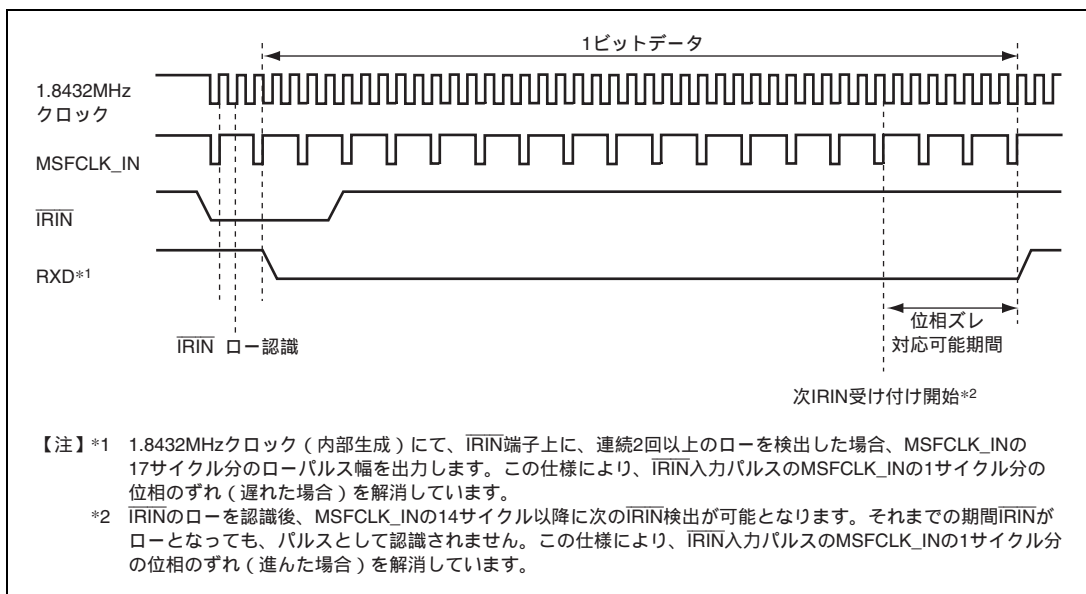


図 24.6 赤外線受光パルス（受信）データデコードタイミング

(3) 受発光パルス変復調時の内部クロック生成

受発光パルス変復調ブロックで使用される 1.8432MHz クロックは以下の計算式で生成されます。

$$1.8432\text{MHz クロック} = \frac{\text{システムクロック SCLK [Hz]}}{\text{IRBCA} + (\text{IRBC} + 1)}$$

IRBC : 赤外線受発光パルス変復調用ボーレートカウンタ値 (IRIF_SIR2.IRBC[3:0]の設定値)

IRBCA : 赤外線受発光パルス変復調用ボーレート誤差補正值 (IRIF_SIR1.IRBCA[3:0]の設定値)

1.8432MHz クロックは、 $1.63 \mu\text{s}$ の時間測定を行うためのクロックであり以下の動作時に必要になります。

- $1.63 \mu\text{s}$ の赤外線発光（送信）パルス幅生成
- 赤外線受光（受信）パルスの認識
- 規格未満となる赤外線受光（受信）パルス幅の検出

上記に示す計算式のクロックはコントローラに入力されたクロックです。ボーレートカウンタ値の整数部をリロードするときにボーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバーフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ボーレートカウンタ値に 1 を加え誤差を解消するようになっています。

(4) 赤外線受発光パルス変復調時の注意事項

(a) 赤外線受光 (受信) パルス幅エラーについて

赤外線受光 (受信) パルス幅エラーフラグ (IRERR) は、赤外線受光 (受信) パルス幅が規格外と判定された場合に 1 にセットされます。受信パルスが規格外と判定されるのは、以下の場合です。

- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し 1 回のみのローを検出した場合 (規格値未満)
- 赤外線受光 (受信) パルス幅を、MSFCLK_IN のクロック周波数にて検波し連続 5 回以上のローを検出した場合 (規格値オーバ)
- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し、1 回のみのハイを検出した場合 (パルス幅欠落)

ただし、以下の場合については、規格外のパルス幅であってもエラーとしません。

- 1.8432MHz クロック周波数 1 サイクル未満のパルス幅が入力された場合

【注】 赤外線受光 (受信) パルス幅が規格値を超えた場合、エラーフラグは 1 に設定されますが、パルス自体は認識され本制御回路は通常動作を行います (RXD からローを出力する)。

赤外線受光 (受信) パルス幅を認識した後の受信動作中においても、上記規格外のパルス幅を検出することができます。

(b) 赤外線受発光素子とのインタフェース

以下のように赤外線受発光素子とのインタフェースは、入力と出力とで極性が反転しています。

赤外線データ送信端子 (IROUT) : 正論理出力

赤外線データ受信端子 ($\overline{\text{IRIN}}$) : 負論理入力

(c) レジスタの読み込み / 書き出し

IRIF_SIR0、IRIF_SIR1、IRIF_SIR2 各レジスタの設定は、データの送受信時に行わないでください。動作中に設定を行うと正常にデータが送受信されない場合があります。

(d) 赤外線発光 (送信) パルス幅選択ビット

MSFCLK_IN に、1.8432MHz のクロックが入力される場合 (データ送受信機能は 115.2kbps で動作) は、赤外線発光 (送信) パルス幅選択ビットの設定を 1 にしないでください。1 に設定すると正常に送信パルス幅が出力されないことがあります。

(e) パルス幅

赤外線受発光パルス変復調用ポーレートカウンタ設定レジスタ (IRIF_SIR2) の値を H'0000 にしないでください。送信パルス幅が規格 (infrared data association serial infrared physical layer specification version 1.3) の下限値 (pulse duration minimum: 1.41 μ s) 未満になる場合があります。

24.4.3 CRC エンジン

(1) CRC エンジンの構成

CRC エンジンは、入力データレジスタ、バイトカウンタ、CRC 演算レジスタ、CRC 出力レジスタから構成されます。図 24.7 に CRC エンジンの構成を示します。

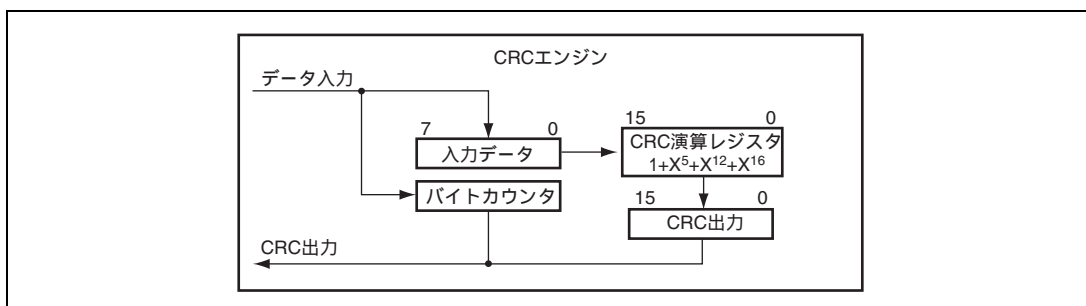


図 24.7 CRC エンジンの構成

(2) CRC エンジンの動作

CRC エンジンは、8 ビットの入力データを書き込むと下位ビットから 8 ビット単位で CRC 演算を行い 16 ビットの演算結果を出力します。図 24.8 に CRC 演算の概要を示します。

CRC の生成多項式は、「 $1 + X^5 + X^{12} + X^{16}$ 」で、データの最大長は 4096 バイトです。

また、CRC 演算の例を以下に示します。レジスタをリセットした後、入力データとして、H'CC、H'F5、H'F1、H'A7 を順に書き込めば、バイトカウンタは 4、CRC 演算結果出力は H'51DF になります。

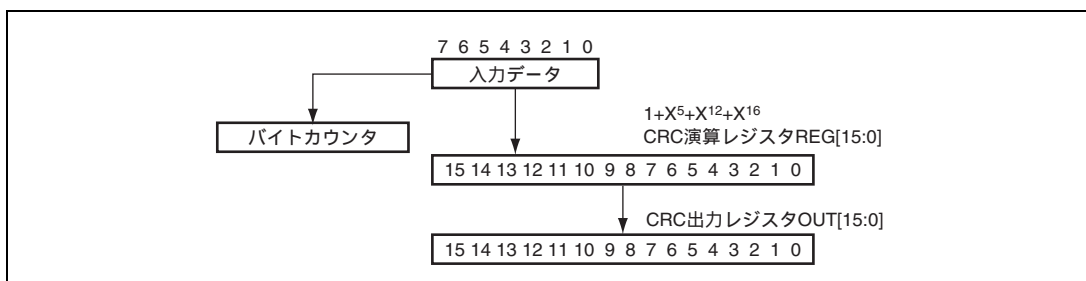


図 24.8 CRC エンジンの動作

24.4.4 送受信フロー

(1) IrDA 送信フロー

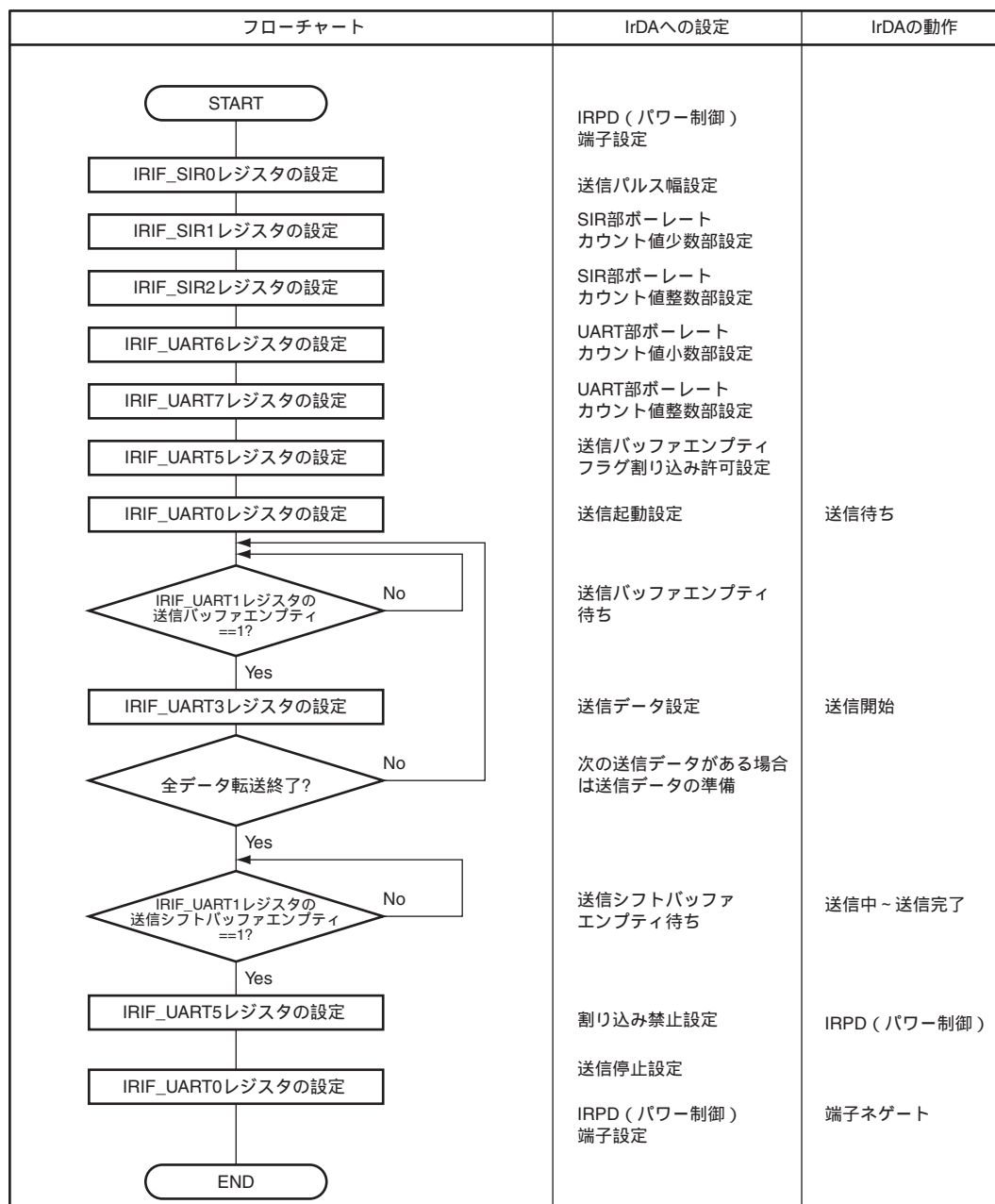


図 24.9 送信フロー

(2) IrDA 送信 (CRC 演算) フロー

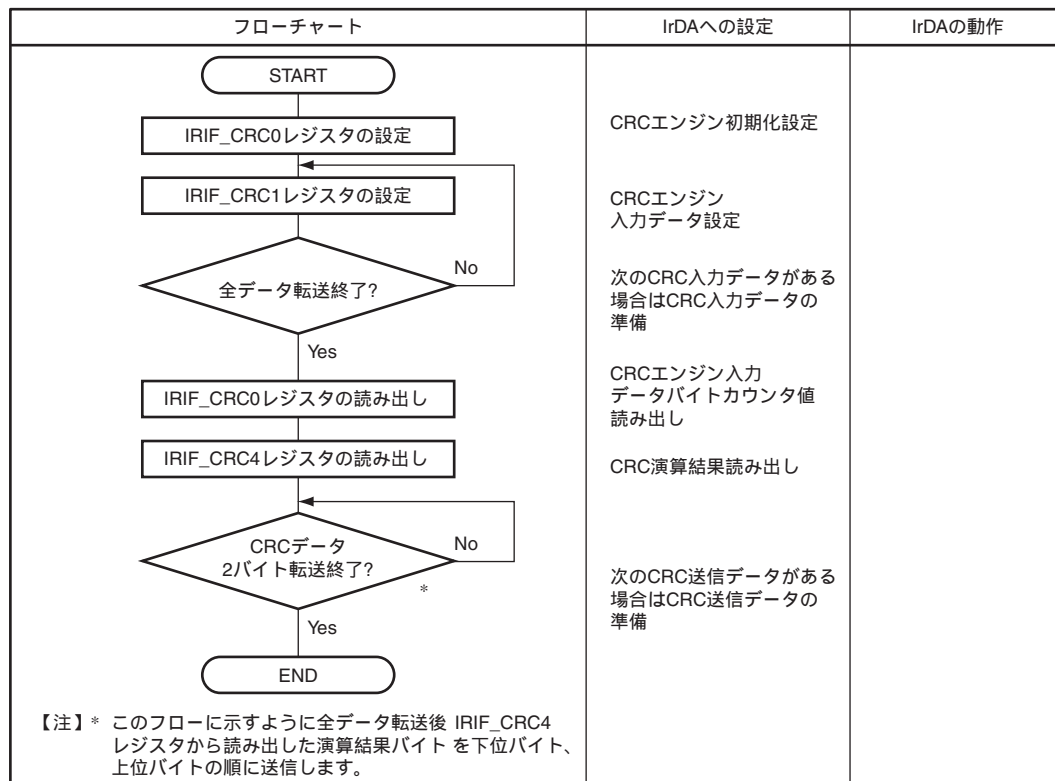


図 24.10 IrDA 送信 (CRC 演算) フロー

(3) IrDA 受信フロー

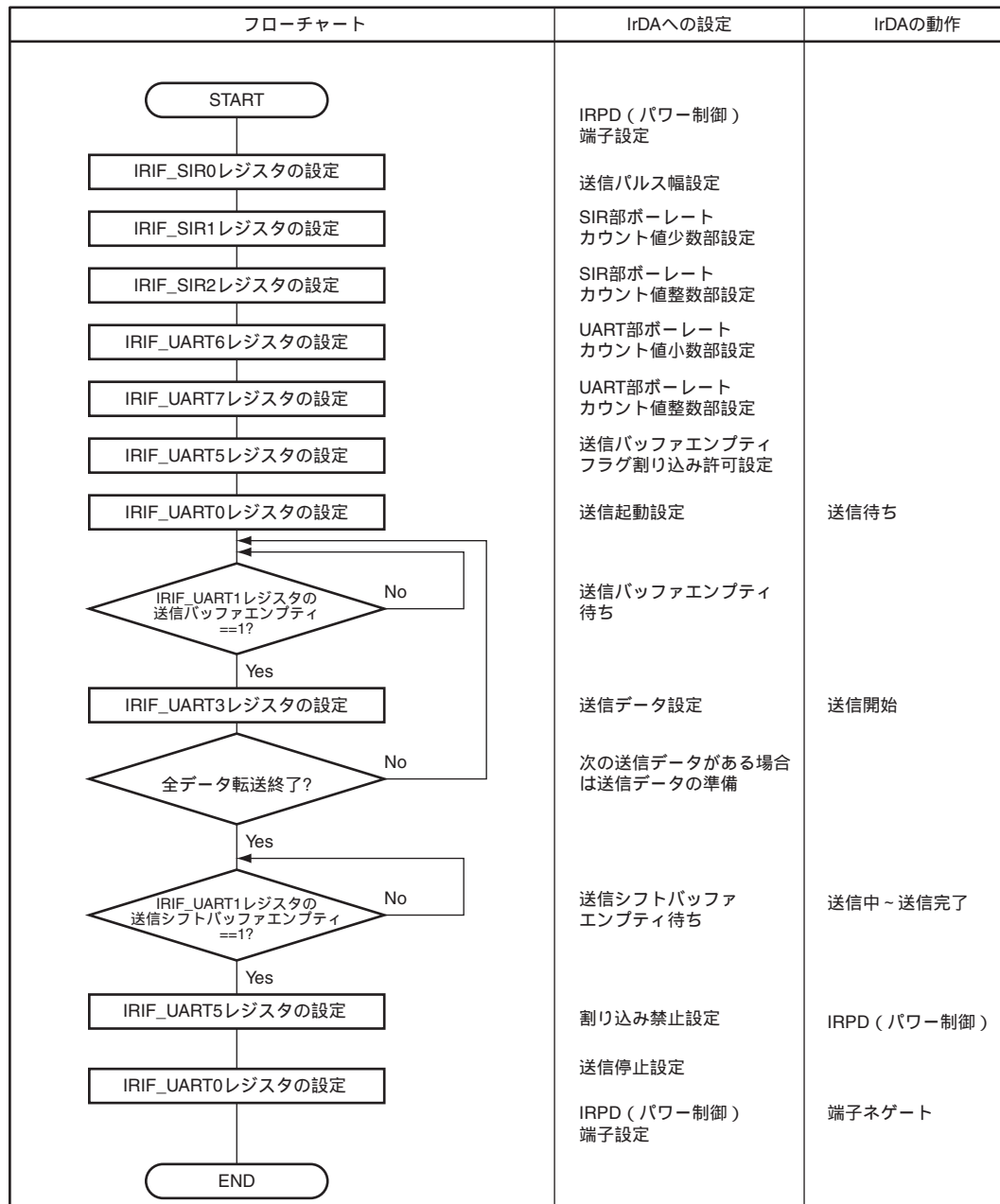


図 24.11 受信フロー

(4) IrDA 受信 (CRC 演算) フロー

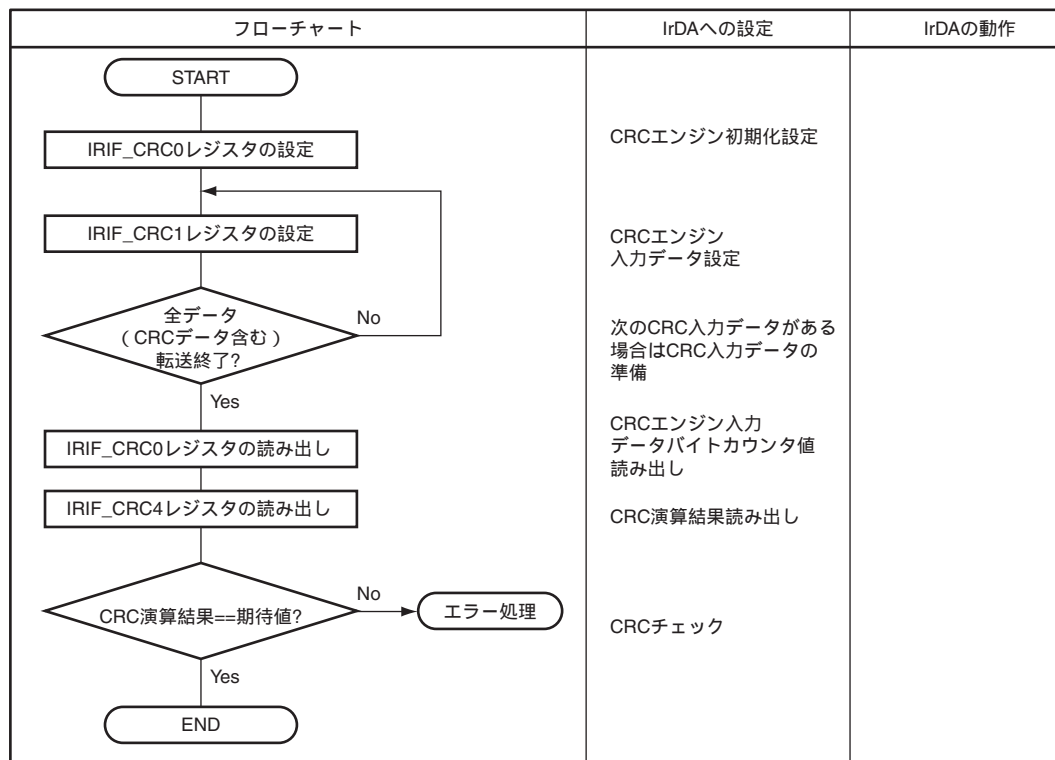


図 24.12 IrDA 受信 (CRC 演算) フロー

24.5 データ送受信における注意事項

(1) データ受信バッファへのアクセス

データ受信完了後（受信バッファフル状態）、受信バッファレジスタへの読み出し動作が遅れ、次のデータの受信完了と受信バッファレジスタの読み出しとがまったく同じタイミングで発生した場合、データを取りこぼし、かつ、エラー割り込みが発生しない場合があります。

本来、データ受信完了後、受信バッファレジスタへの読み出しをせずに、次のデータを受信完了した場合、受信オーバーランエラー割り込みが発生します。ただし、次のデータ受信完了と受信バッファレジスタへの読み出し動作がまったく同じタイミングで発生した場合、1回の読み出し動作を2回の読み出し動作と誤認識してしまう場合があります。この場合、読み出したデータ値は不正な値となり、かつ、受信オーバーランエラー割り込みも発生しません。

受信バッファオーバーランエラー割り込みが発生する可能性がある条件で使用しないことによって回避してください。

(2) 送信ジッタ

IrDA 送信パルス幅の設定が $1.63 \mu\text{s}$ パルス幅であり、かつ、ボーレート設定値が $57.6\text{kbps} \sim 19.2\text{kbps}$ のときに、IrDA パルスの送信ジッタが IrDA 規格（infrared data association serial infrared physical layer specification version 1.3）の上限値（周波数精度が $\pm 0.87\%$ ）を超える場合があります。

(3) 115kbps ボーレート時の IRIF_SIR0 レジスタ設定禁止値 (H'0001)

115kbps ボーレート時、IRIF_SIR0 レジスタに、H'0001 を設定しないでください。送信パルス幅が規格（infrared data association serial infrared physical layer specification version 1.3）の下限値（pulse duration minimum: $1.41 \mu\text{s}$ ）未満になる場合があります。

25. SIM カードモジュール (SIM)

スマートカードインタフェースは、ISO/IEC7816-3 (Identification Card) に対応した IC カード (スマートカード) インタフェースをサポートしています。

25.1 特長

スマートカードインタフェースには次の特長があります。

- 一般機能
 - 調歩式半二重伝送
 - プロトコル形式T=0モードとT=1モードの選択可能
 - データ長：8ビット
 - パリティビットの生成およびチェック
 - キャラクタ保護追加時間Nを選択可能
 - 1etu当たりの出力クロック数を選択可能
 - T=0モードで受信モードにおける誤り信号 (パリティエラー) の送出
 - T=0モードで送信モードにおける誤り信号の検出とキャラクタの自動再送信
 - T=1モードで最小キャラクタ間隔11etu (N=255) 選択可能 (etu: Elementary time unit)
 - ダイレクトコンベンション / インバースコンベンションの選択可能
 - 出力クロックをHigh/Lowの状態に固定可能
- 内蔵ボーレートジェネレータによる任意のビットレートの選択可能
- 4種類の割り込み要因
 - 送信データエンプティ、受信データフル、送受信エラー、送信完了の4種類の割り込み要因があり、それぞれ独立に要求することができます。
- DMA転送
 - 送信データエンプティDMA転送要求と受信データフルDMA転送要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- T=0モードで作業待ち時間、T=1モードでキャラクタ待ち時間を観測可能

スマートカードインタフェースのブロック図を図 25.1 に示します。

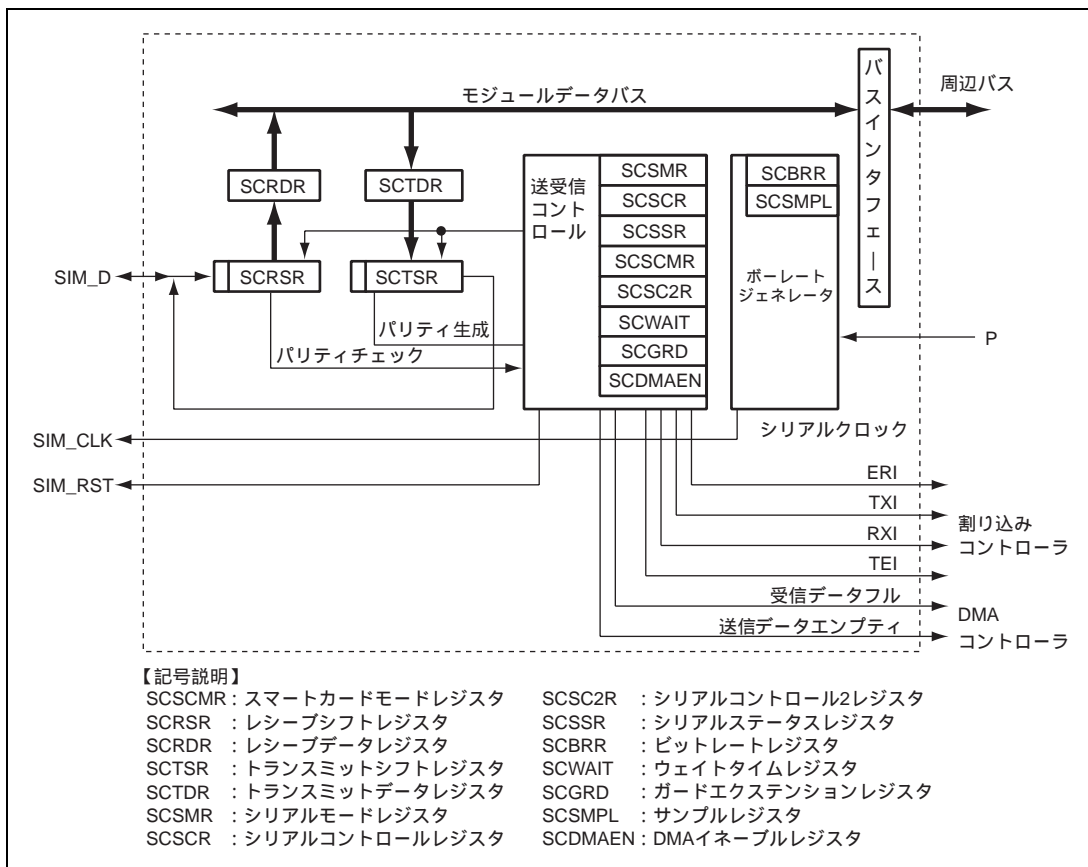


図 25.1 スマートカードインタフェース

25.2 入出力端子

スマートカードインタフェースの端子構成を表 25.1 に示します。

表 25.1 端子構成

端子名	機能	入出力	説明
SIM_D*	スマートカードデータ	入出力	スマートカードデータ入出力
SIM_CLK	スマートカードクロック	出力	スマートカードクロック出力
SIM_RST	スマートカードリセット	出力	スマートカードリセット出力

【注】 * 送信および受信動作を説明するために、送信データ側を TXD と、受信データ側を RXD と記載します。

25.3 レジスタの説明

SIM カードモジュール用のレジスタは、リセット時に初期化されます。SIM カードモジュールのレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ	SCSMR	R/W	H'A449 0000	8
ビットレートレジスタ	SCBRR	R/W	H'A449 0002	8
シリアルコントロールレジスタ	SCSCR	R/W	H'A449 0004	8
トランスミットデータレジスタ	SCTDR	R/W	H'A449 0006	8
シリアルステータスレジスタ	SCSSR	R/W	H'A449 0008	8
レシーブデータレジスタ	SCRDR	R	H'A449 000A	8
スマートカードモードレジスタ	SCSCMR	R/W	H'A449 000C	8
シリアルコントロール2レジスタ	SCSC2R	R/W	H'A449 000E	8
ウェイトタイムレジスタ	SCWAIT	R/W	H'A449 0010	16
ガードエクステンションレジスタ	SCGRD	R/W	H'A449 0012	8
サンプルレジスタ	SCSMPL	R/W	H'A449 0014	16
DMA イネーブルレジスタ	SCDMAEN	R/W	H'A449 0016	8

表 25.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SCSMR	初期化	保持	保持	保持
SCBRR	初期化	保持	保持	保持
SCSCR	初期化	保持	保持	保持
SCTDR	初期化	保持	保持	保持
SCSSR	初期化	保持	保持	保持
SCRDR	初期化	保持	保持	保持
SCSCMR	初期化	保持	保持	保持
SCSC2R	初期化	保持	保持	保持
SCWAIT	初期化	保持	保持	保持
SCGRD	初期化	保持	保持	保持
SCSMPL	初期化	保持	保持	保持
SCDMAEN	初期化	保持	保持	保持

25.3.1 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	OE	—	—	—	—
初期値 :	0	0	1	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	OE	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。 0 : 偶数パリティ* ¹ 1 : 奇数パリティ* ² 【注】*1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 *2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.2 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアルクロックの周波数を設定します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	BRR[2:0]		
初期値 :	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRR[2:0]	111	R/W	送信 / 受信のシリアルクロックの周波数を設定します。

SCBRR の設定値は以下の計算式で求められます。

$$\text{シリアルクロック周波数} = \frac{P}{2(BRR + 1)}$$

P = システムクロック周波数とシリアルクロック周波数の単位は MHz です。

25.3.3 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	WAIT _IE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR)へシリアル送信データが転送されシリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0 : 送信データエンプティ割り込み (TXI) 要求を禁止* 1 : 送信データエンプティ割り込み (TXI) 要求を許可 【注】* TXI の解除は、TDRE フラグをクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データがレシーブシフトレジスタ (SCRSR) からレシーブデータレジスタ (SCRDR) へ転送されて SCSSR の RDRF フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、およびパリティエラー、オーバーランエラー、エラーシグナルステータスによる送受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を禁止^{*1*}^{*2}</p> <p>1: 受信データフル割り込み (RXI) 要求、および送受信エラー割り込み (ERI) 要求を許可^{*2}</p> <p>【注】*1 RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または PER、ORER、ERS フラグをクリアするか、RIE ビットを 0 にクリアすることで行えます。</p> <p>*2 ウェイトエラーによる割り込み (ERI) 要求の許可 / 禁止は、SCSSR の WAIT_IE ビットで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作を許可 / 禁止します。</p> <p>0: 送信動作を禁止^{*1}</p> <p>1: 送信動作を許可^{*2*}^{*3}</p> <p>【注】*1 SCSSR の TDRE フラグは 1 に固定されます。</p> <p>*2 この状態で、SCTDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、スマートカードモードレジスタ (SCSCMR) の設定を行い、送信フォーマットを決定してください。</p> <p>*3 TE ビットを 0 にクリアしても ERS フラグは影響を受けず、状態を保持しますので注意してください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作を許可 / 禁止します。</p> <p>0: 受信動作を禁止^{*1}</p> <p>1: 受信動作を許可^{*2}</p> <p>【注】*1 RE ビットを 0 にクリアしても RDRF、PER、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCSSR、SCSCMR の設定を行い、受信フォーマットを決定してください。</p>
3	WAIT_IE	0	R/W	<p>ウェイトイネーブル</p> <p>ウェイトエラーによる割り込み要求を許可 / 禁止します。</p> <p>0: ウェイトエラーによる割り込み (ERI) 要求を禁止</p> <p>1: ウェイトエラーによる割り込み (ERI) 要求を許可</p>

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了して TEND フラグが 1 にセットされたときの、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。 0 : 送信終了割り込み (TEI) 要求を禁止* 1 : 送信終了割り込み (TEI) 要求を許可* 【注】* TEIの解除は、SCSSRのTDRE フラグの1を読み出した後、SCTDR に送信データを書き込んで TEND ビットをクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル
0	CKE0	0	R/W	スマートカードインタフェースのクロックソースの選択、および SIM_CLK 端子からのクロック出力の許可 / 禁止を設定します。 00 : 出力端子として Low 出力固定 01 : 出力端子としてクロック出力 10 : 出力端子として High 出力固定 11 : 出力端子としてクロック出力

25.3.4 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのシフトレジスタです。

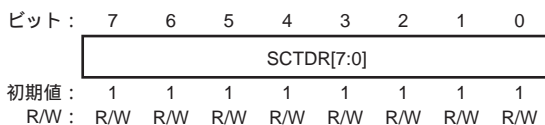
スマートカードインタフェースは、トランスミットデータレジスタ (SCTDR) から送信データをいったん SCTSR に転送し、LSB または MSB から順に SIM_TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了し、SCTSR の空を検出すると自動的に SCTDR に書き込まれた送信データを SCTSR へ次の送信データを転送し、送信を開始します。シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送を行いません。

25.3.5 トランスミットデータレジスタ (SCTDR)

SCTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアル送信するデータを格納します。

スマートカードインタフェースは、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。



ビット	ビット名	初期値	R/W	説明
7~0	SCTDR[7:0]	H'FF	R/W	トランスミットデータ シリアル送信するデータを格納

25.3.6 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT ER	—
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*R/(W)*R/(W)*R/(W)*		R/(W)*R/(W)*		R	R/(W)*	R	

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W*)	トランスミットデータレジスタエンプティ トランスミットデータレジスタ (SCTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ SCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0 : SCTDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) SCSSR の TE ビットが 1 のときに SCTDR ヘデータを書き込んだとき (2) TDRE に 0 を書き込んだとき 1 : SCTDR に有効な送信データがないことを表示 [セット条件] (1) リセット時 (2) SCSSR の TE ビットが 0 のとき (3) SCTDR から SCTSR にデータ転送が行われ SCTDR にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W*)	<p>レシーブデータレジスタフル</p> <p>受信したデータがレシーブデータレジスタ (SCRDR) に格納されていることを示します。</p> <p>0: SCRDR に有効な受信データが格納されていないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) SCRDR のデータを読み出したとき</p> <p>(3) RDRF に 0 を書き込んだとき</p> <p>1: SCRDR に有効な受信データが格納されていることを表示</p> <p>[セット条件]</p> <p>シリアル受信が正常終了し、SCRSR から SCRDR へ受信データが転送されたとき</p> <p>【注】 T=0 モードでは、受信時パリティエラーを検出したとき、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。一方、T=1 モードでは、受信時パリティエラーを検出したとき受信データが SCRDR に転送され RDRF フラグは 1 にセットされます。なお、T=0 と T=1 の両モードともに、シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしても、SCRDR の内容と RDRF フラグは影響を受けず以前の状態を保持します。</p>
5	ORER	0	R/(W*)	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ORER に 0 を書き込んだとき</p> <p>1: 受信時にオーバランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <p>RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W*)	<p>エラーシグナルステータス</p> <p>このフラグは送信時に受信側から送り返される誤り信号のステータスを示します。T=1 モードのときはセットされません。</p> <p>0: 受信側からパリティエラーの検出を示す誤り信号が送出されなかったことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) ERS に 0 を書き込んだとき</p> <p>1: 受信側からパリティエラーの検出を示す誤り信号が送出されたことを表示</p> <p>[セット条件]</p> <p>誤り信号をサンプリングしたとき</p> <p>【注】 SCSCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W*)	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*¹</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) PER に 0 を書き込んだとき</p> <p>1: 受信時にパリティエラーが発生したことを表示*²</p> <p>[セット条件]</p> <p>受信時の受信データとパリティビットを合わせた論理 1 の数が、シリアルモードレジスタ (SCSMR) の OE ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</p> <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。</p> <p>*² T=0 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送されず、RDRF フラグはセットされません。一方、T=1 モードでは、パリティエラーが発生したときの受信データは SCRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを 0 にクリアしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>T=0モード時のキャラクタ送信またはT=1モード時のブロック送信を終了したことを表示します。TENDは、1バイトのシリアルキャラクタおよびパリティビット送信後に SCTDR がエンプティのときセットされます。</p> <p>T=1モードのブロック送信時は、1バイトのシリアルキャラクタ送信中に SCTDR に次のデータを書き込むことにより、ブロック送信中は TEND のセットを行いません。</p> <p>TEND フラグは読み出し専用ですので、書き込むことはできません。</p> <p>0: T=0モード時のキャラクタ送信中またはT=1モード時のブロック送信中であることを表示</p> <p>[クリア条件]</p> <p>SCTDR から SCTSR に送信データが転送され、キャラクタ送信またはブロック送信が開始したとき</p> <p>1: T=0モード時のキャラクタ送信またはT=1モード時のブロック送信を終了したことを表示</p> <p>[セット条件]</p> <p>(1) リセット時</p> <p>(2) 1バイトのシリアルキャラクタおよびパリティビット送信後に ERS = 0 (正常送信) で SCTDR がエンプティのとき</p> <p>【注】 TEND フラグはキャラクタ保護時間が終了する 1etu 前にセットされます。</p> <p>etu : Elementary time unit</p>
1	WAIT_ER	0	R/(W*)	<p>ウェイトエラー</p> <p>このフラグはウェイトタイマのエラーステータスを示します。</p> <p>0: 2つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していないことを表示</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) WAIT_ER に 0 を書き込んだとき</p> <p>1: 2つの連続するキャラクタの先端間隔が、SCWAIT で設定した etu を超過していることを表示</p> <p>[セット条件]</p> <p>(1) T=0モードの場合、受信するキャラクタとその直前に送信または受信したキャラクタの先端間隔が(60×SCWAITの値:作業待ち時間) etu を超過したとき</p> <p>(2) T=1モードの場合、2つの連続する受信キャラクタの先端間隔が (SCWAITの値:キャラクタ保護時間) etu を超過したとき</p> <p>【注】* SCSCR の RE ビットを 0 にクリアしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。</p>
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

25.3.7 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SCRSR に SIM_RXD 端子から入力されたシリアルデータを LSB または MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。

25.3.8 レシーブデータレジスタ (SCRDR)

SCRDR は、読み出し専用の 8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。

ビット :	7	6	5	4	3	2	1	0
	SCRDR[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SCRDR[7:0]	H'00	R	レシーブデータ 受信したシリアルデータを格納

25.3.9 スマートカードモードレジスタ (SCSCMR)

SCSCMR は、スマートカードインタフェースの機能の選択を行う 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット :	7	6	5	4	3	2	1	0
	HOEN	LCB	PB	WECC	SDIR	SINV	RST	SMIF
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	HOEN	0	R/W	High 出力機能イネーブルビット High 出力機能イネーブルビット (HOEN) は、1 フレームデータ送信終了後一時的な High 出力機能の許可 / 禁止を設定します。 0 : High 出力機能を禁止 (初期値) 1 : High 出力機能を許可

ビット	ビット名	初期値	R/W	説明
6	LCB	0	R/W	<p>ラストキャラクタ</p> <p>このビットが1に設定されるとキャラクタ保護時間は2etuになり、ガードエクステンションレジスタの設定は無効になります。</p> <p>0: キャラクタ保護時間はガードレジスタの値によって決まります 1: キャラクタ保護時間は2etuになります</p>
5	PB	0	R/W	<p>プロトコル選択</p> <p>プロトコル形式 T=0 または T=1 を選択します。</p> <p>0: スマートカードインタフェースは T=0 プロトコルで動作 1: スマートカードインタフェースは T=1 プロトコルで動作</p>
4	WECC	0	R/W	<p>ウェイトエラーカウンタクリア</p> <p>ウェイトエラーカウンタのクリアの許可/禁止を設定します。</p> <p>0: ウェイトエラーカウンタをクリアせず、ウェイトエラーを検出する 1: ウェイトエラーカウンタをクリアし、ウェイトエラーを検出しない</p>
3	SDIR	0	R/W	<p>スマートカードデータトランスファディレクション</p> <p>シリアル/パラレル変換のフォーマットを選択します。</p> <p>0: SCTDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして SCRDR に格納 1: SCTDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして SCRDR に格納</p>
2	SINV	0	R/W	<p>スマートカードデータインバート</p> <p>データのロジックレベルの反転を指定します。ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットの値には影響しません。</p> <p>0: SCTDR の内容をそのまま送信 受信データをそのまま SCRDR に格納 1: SCTDR の内容を反転してデータを送信 受信データを反転して SCRDR に格納</p>
1	RST	0	R/W	<p>スマートカードリセット</p> <p>スマートカードインタフェースの SIM_RST 端子の出力を制御します。</p> <p>0: スマートカードインタフェースの SIM_RST 端子は Low を出力 1: スマートカードインタフェースの SIM_RST 端子は High を出力</p>
0	SMIF	1	R	<p>スマートカードインタフェースモードセレクト</p> <p>このビットは常に1が読み出されます。書き込む値も常に1にしてください。</p>

25.3.10 シリアルコントロール 2 レジスタ (SCSC2R)

SCSC2R は、読み出し / 書き込み可能な 8 ビットのレジスタで、受信データフル割り込み (RXI) 要求の許可 / 禁止の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	EIO	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ受信データフル割り込み (RXI) を要求しません。この設定で DMAC を使用した場合、CPU は ERI 要求のみを処理します。 0 : 受信データフル割り込み (RXI) 要求は RIE ビットの設定によって決まります。 1 : 受信データフル割り込み (RXI) 要求を禁止。RIE ビットが 1 のとき ERI 要求のみ許可します。
6~0	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.11 ガードエクステンションレジスタ (SCGRD)

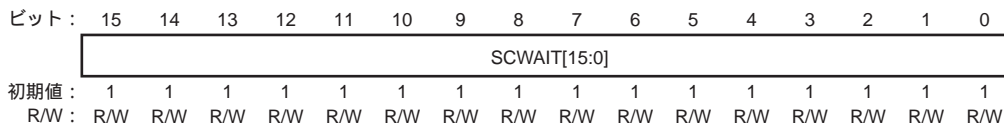
SCGRD は 8 ビットの読み出し / 書き込み可能なレジスタです。キャラクタ保護追加時間を設定します。

ビット :	7	6	5	4	3	2	1	0
	SCGRD[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~0	SCGRD[7:0]	H'00	R/W	ガードエクステンション スマートカードモードでキャラクタ保護追加時間を設定します。2 つの連続したキャラクタ先端間の間隔は、このレジスタの値が H'00 のとき 12 etu (追加なし) を示し H'01 のとき 13 etu、...、H'FE のとき 266 etu になります。また、このレジスタの値が H'FF の場合 2 つの連続したキャラクタ先端間の間隔は、T=1 モードで 11etu、T=0 モードでは 12etu になります。

25.3.12 ウェイトタイムレジスタ (SCWAIT)

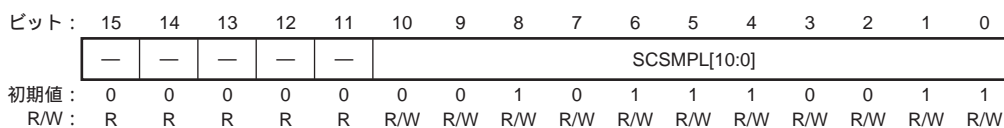
SCWAIT は 16 ビットの読み出し / 書き込みが可能なレジスタです。2 つの連続したキャラクタの先端間隔が、設定した値 (単位: etu) を超過するとウェイトタイムエラーを発生します。



ビット	ビット名	初期値	R/W	説明
15~0	SCWAIT[15:0]	H'FFFF	R/W	<p>ウェイトタイムレジスタ</p> <p>T=0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信または受信したキャラクタの先端間隔が (60 × このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 60etu 後に WAIT_ER フラグがセットされます。</p> <p>T=1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する 2 つの連続したキャラクタの先端間隔が、(このレジスタで設定する値) etu を超過したら WAIT_ER フラグが 1 にセットされます。ただし、SCWAIT = H'0000 を設定した場合 1etu 後に WAIT_ER フラグがセットされます。</p>

25.3.13 サンプルレジスタ (SCSMPL)

SCSMPL は 16 ビットで読み出し / 書き込み可能なレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。



ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	SCSMPL[10:0]	H'173	R/W	<p>1etu あたりのシリアルクロックサイクル数設定値</p> <p>1etu あたりのシリアルクロックサイクル数は (SCSMPL の値 + 1) です。SCSMPL に書き込む値は、必ず H'0007 以上にしてください。</p>

25.3.14 DMA イネーブルレジスタ (SCDMAEN)

SCDMAEN は、DMA 転送の許可 / 禁止を設定します。

ビット :	7	6	5	4	3	2	1	0
	RDMAE	TDMAE	—	—	—	—	—	—
初期値 :	1	1	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	RDMAE	1	R/W	受信時 DMA イネーブルフラグ 受信時の DMA 転送の許可 / 禁止を選択します。 0 : 受信時 DMA 転送を禁止 1 : 受信時 DMA 転送を許可
6	TDMAE	1	R/w	送信時 DMA イネーブルフラグ 送信時の DMA 転送の許可 / 禁止を選択します。 0 : 送信時 DMA 転送を禁止 1 : 送信時 DMA 転送を許可
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.4 動作説明

25.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

1. 1フレームは、スタートビット、8ビットデータとパリティビットで構成されます。
2. 送信時は、パリティビットの終了から次のフレーム開始まで、SCGRD、およびSCSCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
3. T=0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後、誤り信号としてローレベルを1etu期間出力します。
4. T=0モードの送信時は誤り信号をサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
5. 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

25.4.2 データフォーマット

図 25.2 にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に 1 フレームごとにパリティチェックを行います。

T=0 モードで受信時にパリティエラーが検出された場合、送信側に対して誤り信号を送り返し、データの再送信要求をします。送信時は誤り信号をサンプリングすると同じデータを再送信します。

T=1 モードで受信時にパリティエラーが検出された場合、誤り信号を送り返しません。送信時は誤り信号のサンプリングとデータの再送信を行いません。

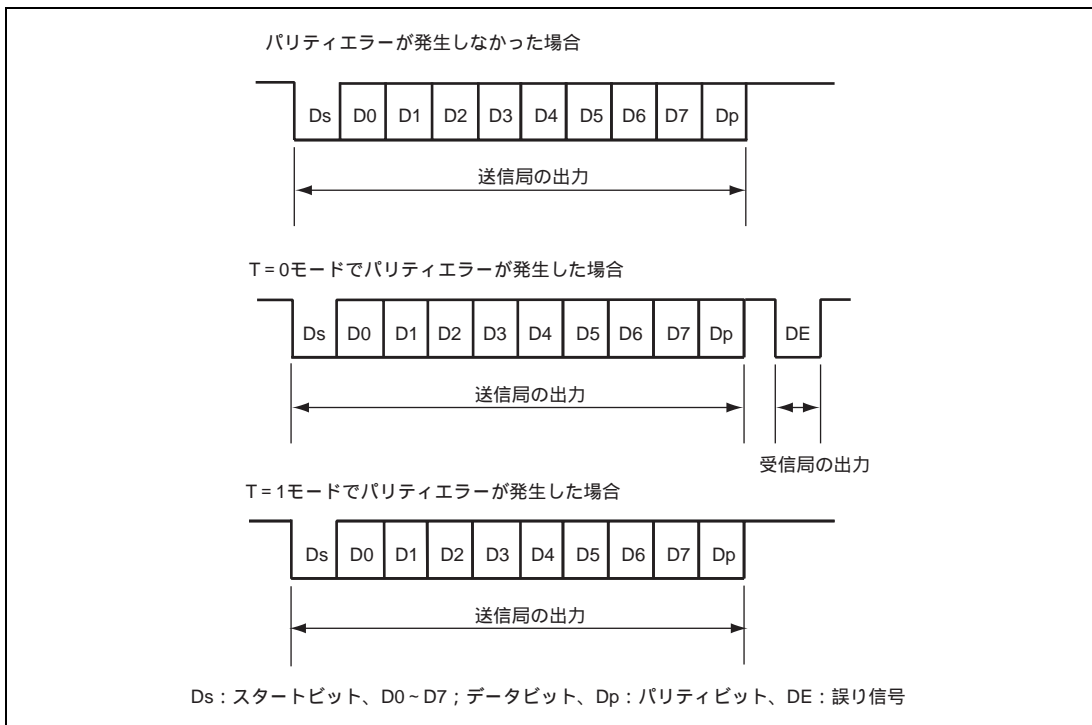


図 25.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds: ローレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。

4. 受信側は、パリティチェックを行います。

パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。

一方、パリティエラーが発生した場合は、T=0モードのとき、誤り信号 (DE:ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間誤り信号を出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。T=1モードのときは、パリティエラーが発生しても誤り信号を出力しません。

5. 送信側は、誤り信号を受信しなかった場合、次のフレームのデータ送信に移ります。

一方、T=0モードで誤り信号を受信した場合は、エラーとなったデータを (2) に戻り再送信します。T=1モードでは誤り信号の受信、および再送信をしません。

25.4.3 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 25.4 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 25.4 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	0	0	1	OE	0	0	0	0
SCBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SCSCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0
SCTDR	SCTDR7	SCTDR6	SCTDR5	SCTDR4	SCTDR3	SCTDR2	SCTDR1	SCTDR0
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SCRDR	SCRDR7	SCRDR6	SCRDR5	SCRDR4	SCRDR3	SCRDR2	SCRDR1	SCRDR0
SCSCMR	HOEN	LCB	PB	WECC	SDIR	SINV	RST	SMIF
SCSC2R	EIO	0	0	0	0	0	0	0
SCWAIT	SCWAIT15 ~ SCWAIT0							
SCGRD	SCGRD7 ~ SCGRD0							
SCSMPL	SCSMPL10 ~ SCSMPL0、ビット 15 ~ 11 は 0							
SCDMAEN	RDMAE	TDMAE	0	0	0	0	0	0

(1) シリアルモードレジスタ (SCSMR) の設定

OE ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

(2) ビットレートレジスタ (SCBRR) の設定

ビットレートを設定します。設定値の算出方法は「25.4.4 クロック」を参照してください。

(3) シリアルコントロールレジスタ (SCSCR) の設定

TIE、RIE、TEIE、WAIT_IE ビットで各種割り込みの許可 / 禁止を選択します。

TE、RE ビットのどちらかを 1 にセットすることで、送信 / 受信を選択します。

CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「25.4.4 クロック」を参照してください。

(4) スマートカードモードレジスタ (SCSMR) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

以下に 2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と開始キャラクタでの波形例を図 25.3 に示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。図 25.3 の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SCSMR の OE ビットを奇数パリティモードに設定します。送信、受信とも同様です。

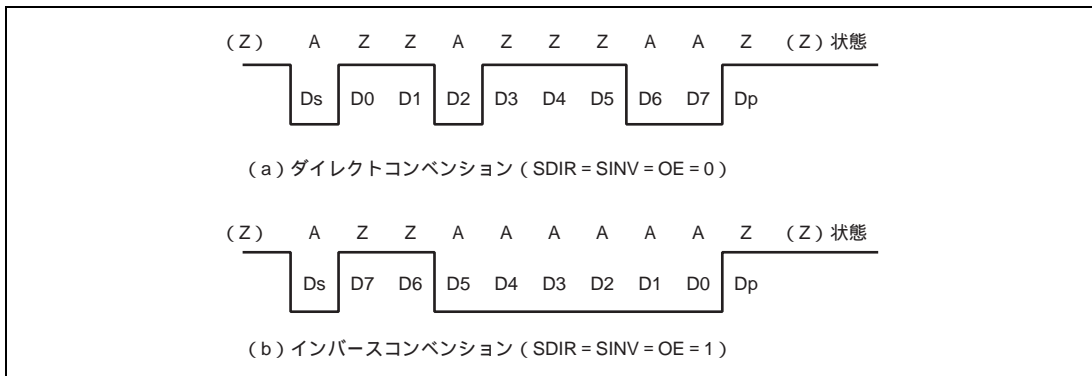


図 25.3 開始キャラクタの波形例

25.4.4 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR) とサンプルレジスタ (SCSMPL) で設定され、以下に示す計算式になります。ビットレートの例を表 25.5 に示します。

このとき $CKE0=1$ でクロック出力を選択すると SIM_CLK 端子からはビットレートを (SCSMPL + 1) 倍した周波数のクロックが出力されます。

$$B = P \times 10^6 / \{ (S+1) \times 2 (N+1) \}$$

B = ビットレート (bits/秒)

P = 周辺モジュール用動作周波数

S = SCSMPL 設定値 (0 S 2047)

N = SCBRR 設定値 (0 N 7)

表 25.5 SCBRR の設定に対するビットレート (bits/秒) の例 (P = 19.8[MHz]、SCSMPL = 371)

SCBRR 設定値	SCK 周波数 (MHz)	ビットレート (bits/秒)
7	1.2375	3327
6	1.414	3802
5	1.65	4435
4	1.98	5323
3	2.475	6653
2	3.3	8871
1	4.95	13306
0	9.9	26613

【注】 ビットレートは小数点以下を四捨五入した数値です。

25.4.5 データの送信 / 受信動作

(1) 初期化

データの送受信の前に、以下の手順でスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図 25.4 に示します。

- (a) シリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR) のエラーフラグ PER、ORER、ERS、WAIT_ER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR) のパリティビット (OE ビット) を設定してください。
- (d) スマートカードモードレジスタ (SCSCMR) の LCB、PB、SMIF、SDIR、SINV ビットを設定してください。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR) に設定してください。また、1etu あたりの周辺モジュール用動作周波数に対応する値をサンプルレジスタ (SCSMPL) に設定してください。
- (f) キャラクタ保護時間に対応する値をガードエクステンションレジスタ (SCGRD) に設定してください。また、T=0 モードのときの作業待ち時間、T=1 モードのときのキャラクタ待ち時間に対応する値をウェイトタイムレジスタ (SCWAIT) に設定してください。
- (g) シリアルコントロールレジスタ (SCSCR) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、TEIE、WAIT_IE ビットは、0 に設定してください。CKE0 ビットを 1 にセットした場合は、SIM_CLK 端子からクロック出力されます。
- (h) 少なくとも、1etu 期間待ってから、SCSCMR の WECC ビットと、SCSCR の TIE、RIE、TE、RE、TEIE、WAIT_IE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

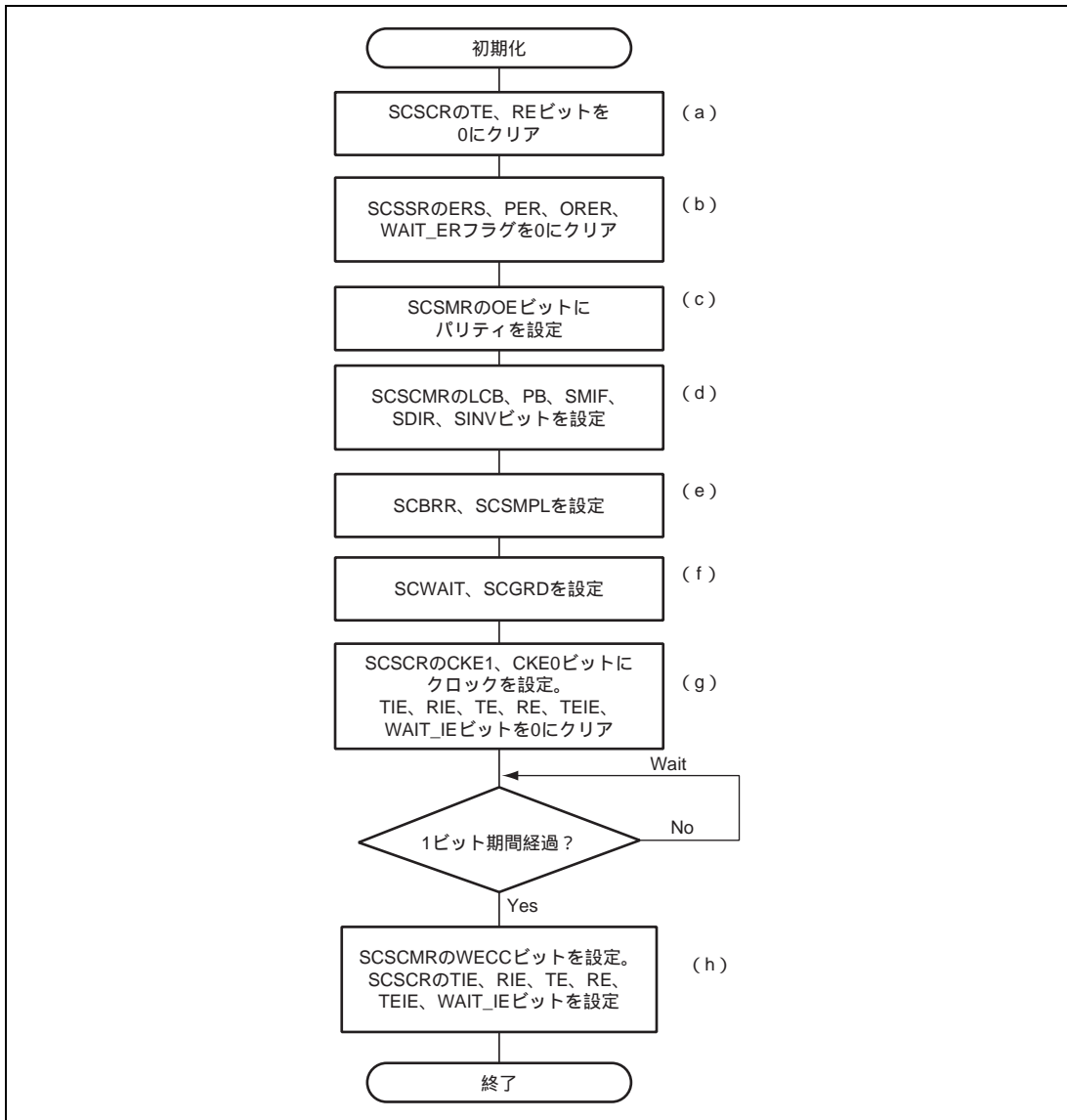


図 25.4 初期化のフロー例

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信では誤り信号のサンプリングと再送信処理があります。送信処理フローの例を図 25.5 に示します。

- (a) 「25.4.5 (1) 初期化」の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR のエラーフラグ ERS ビットが 0 にクリアされていることを確認してください。
- (c) SCSSR の TDRE フラグが 1 にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR に送信データを書き込んで、送信動作を行います。このとき、TDRE フラグは自動的に 0 にクリアされます。スタートビットの送信が開始されると TEND フラグは自動的に 0 にクリアされ、TDRE フラグは自動的に 1 にセットされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 必要に応じて SCSCMR の WECC ビットを設定します。送信を終了する場合は、TE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が開始し TDRE フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「25.4.5 (5) 割り込み動作」を参照してください。

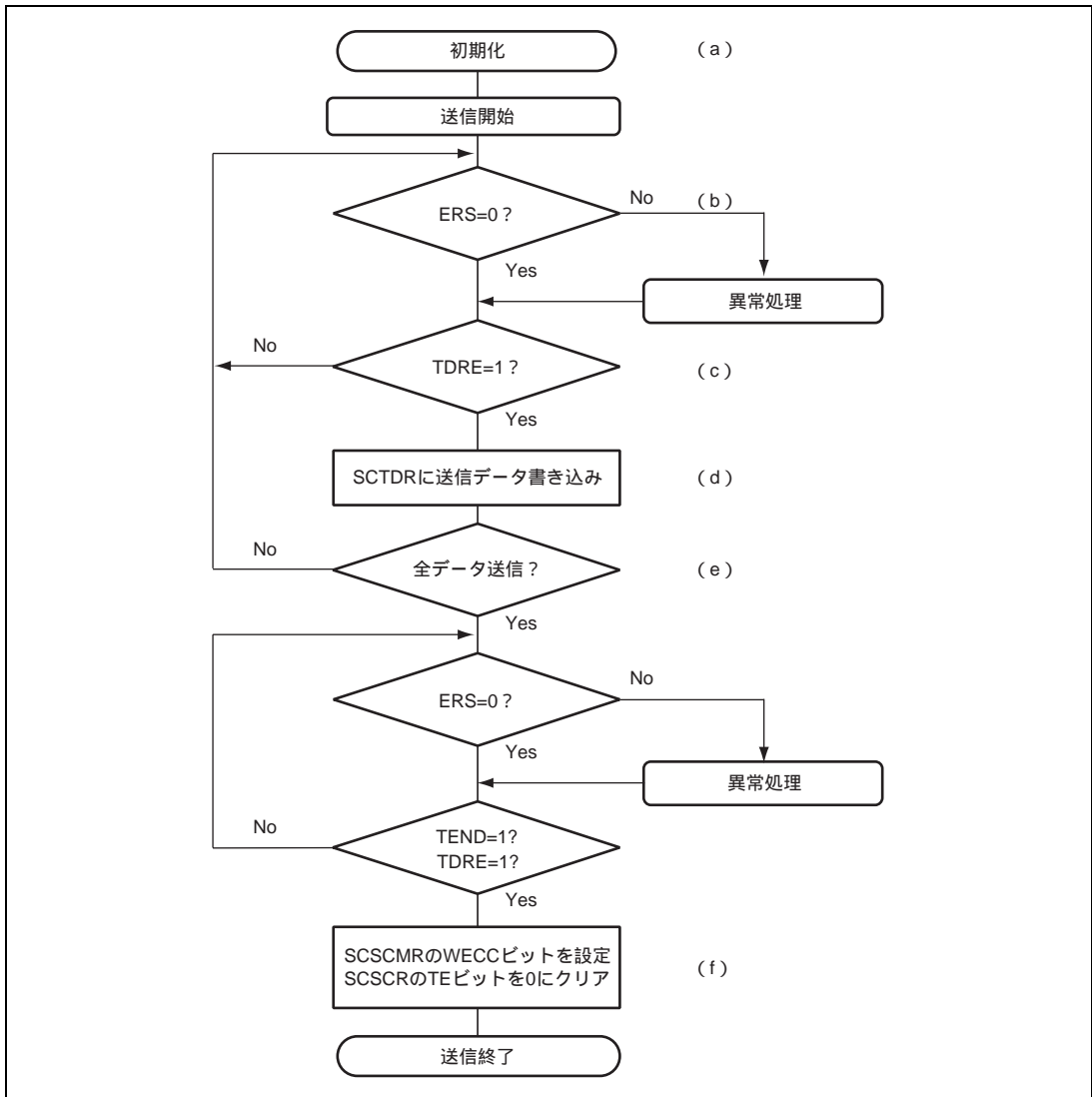


図 25.5 送信処理フローの例

(3) シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図 25.6 に示します。

- (a) スマートカードインタフェースを「25.4.5 (1) 初期化」に従い初期化します。
- (b) SCSSR の PER、ORER、WAIT_ER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、PER、ORER、WAIT_ER フラグを 0 にクリアしてください。
- (c) RDRF フラグが 1 であることを確認できるまで (b)、(c) を繰り返してください。
- (d) SCRDR から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、(b) に戻ってください。
- (f) 必要に応じて SCSCMR の WECC ビットを設定します。受信を終了する場合は、RE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1、EIO ビットを 0 にセットしておいたとき RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、RIE ビットを 1 にセットし受信時にエラーが発生し、ORER、PER、WAIT_ER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「25.4.5 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合、T=0 では受信したデータは SCRDR に転送されませんのでこのデータを読み出すことはできません。T=1 では受信したデータは SCRDR に転送されますので、このデータを読み出すことができます。

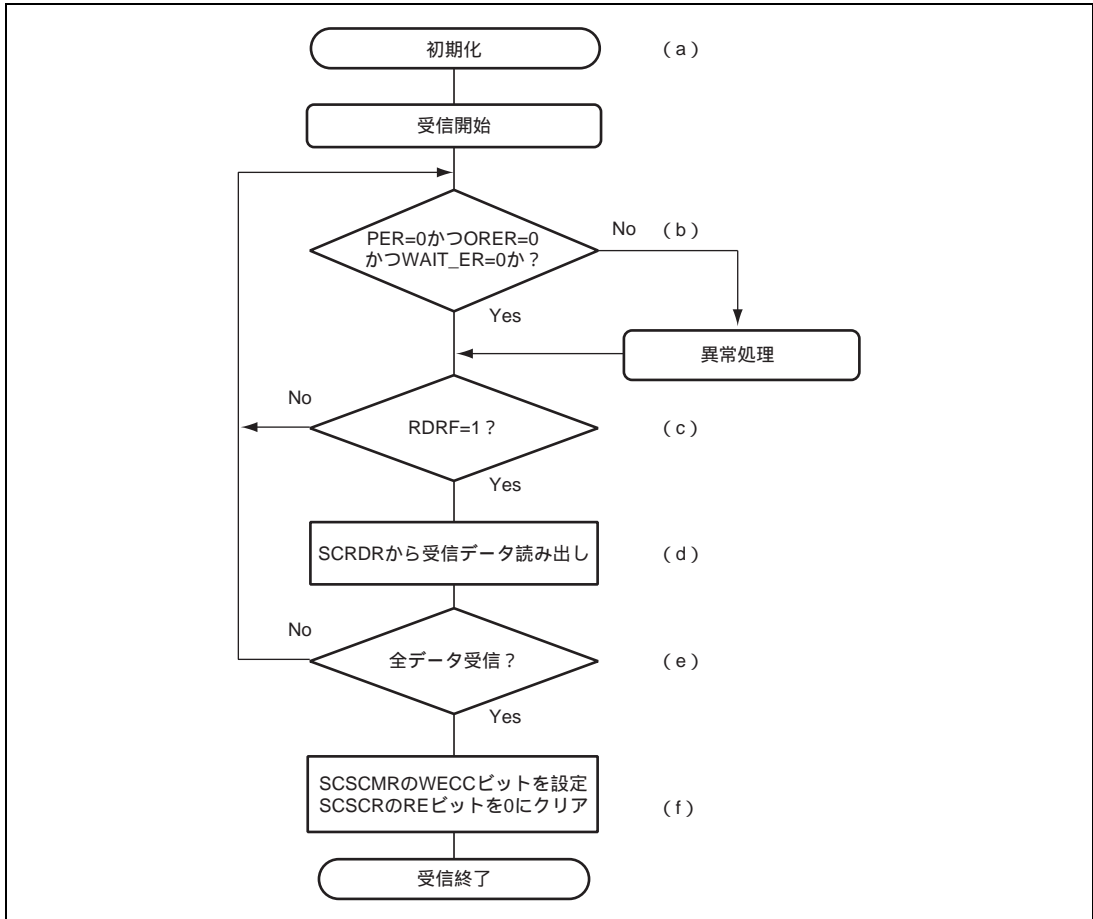


図 25.6 受信処理フローの例

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は RDRF フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TDRE、TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースでは、送信データエンpty 割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信終了割り込み (TEI) 要求の 4 種類の割り込み要因があります。

SCSSR の TDRE フラグが 1 にセットされると、TXI 要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると、RXI 要求が発生します。

SCSSR の ERS、ORER、PER、WAIT_ER フラグが 1 にセットされると、ERI 要求が発生します。

SCSSR の TEND フラグがセットされると、TEI 要求が発生します。

表 25.6 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求は SCSSR の TIE、RIE、TEIE、WAIT_IE および SCSC2R の EIO ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表 25.6 スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	TXI
		TEND	TEIE	TEI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE、EIO	RXI
	エラー	ORER、PER	RIE	ERI
		WAIT_ER	WAIT_IE	ERI

(6) DMAC によるデータ転送動作

スマートカードインタフェースは、DMAC を使って送受信を行うことができます。DMAC 使用時は、SCDMAEN の RDMAE および TDMAE ビットを 1 に設定してください。

送信動作では、TDMAE ビットが 1 のとき、SCSSR の TDRE フラグが 1 にセットされると、送信データエンpty DMA 転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンpty DMA 転送要求を設定しておけば、送信データエンpty DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、送信時に誤り信号を受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、TIE ビットを 0 にセットし TXI 要求が発生しないようにして、RIE ビットを 1 にセットして ERI 要求が発生するようにしてください。誤り信号を受信したときにセットされる ERS フラグは、自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

受信動作では、RDMAE ビットが 1 のとき、SCSSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T=0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、CPU への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビットを 1、WAIT_ER ビットを 1 にセットして、RXI 要求が発生せず ERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT_ER フラグは自動的にクリアされませんので CPU への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

25.5 使用上の注意事項

スマートカードインタフェースを使用する際は、以下のことに注意してください。

(1) 受信データタイミングと受信マージン

SCSMPL レジスタが初期値の場合、スマートカードインタフェースは転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりを利用したシリアルクロックでサンプリングして、内部を同期化します。また、受信データをシリアルクロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 25.7 に示します。

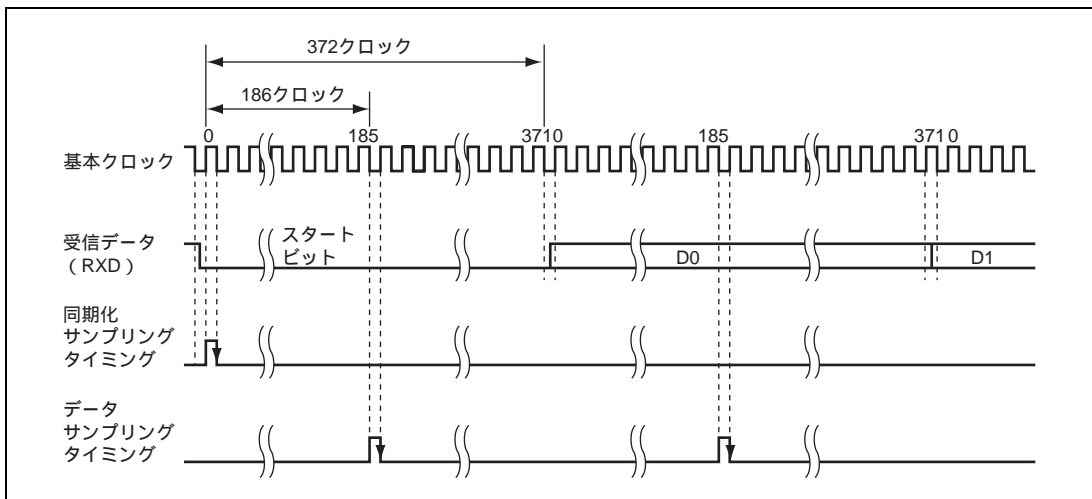


図 25.7 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (L + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=372)

D：クロックデューティ (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

(2) 再転送動作

スマートカードインタフェースがそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

- スマートカードインタフェースが受信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが受信モードの場合の再転送動作を図 25.8 に示します。

- 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR の PER ビットが自動的に 1 にセットされます。このとき、SCSCR の RIE ビットがイネーブルになっていれば、ERI 要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR の PER ビットを 0 にクリアしてください。
- パリティエラーが発生したフレームでは、SCSSR の RDRF ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR の PER ビットはセットされません。
- 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR の RDRF ビットが自動的に 1 にセットされます。このとき SCSCR の RIE ビットが 1、EIO ビットが 0 になっていれば、RXI 要求が発生します。
- 正常なフレームを受信した場合、誤り信号を送信するタイミングで端子はハイインピーダンス状態を保持します。

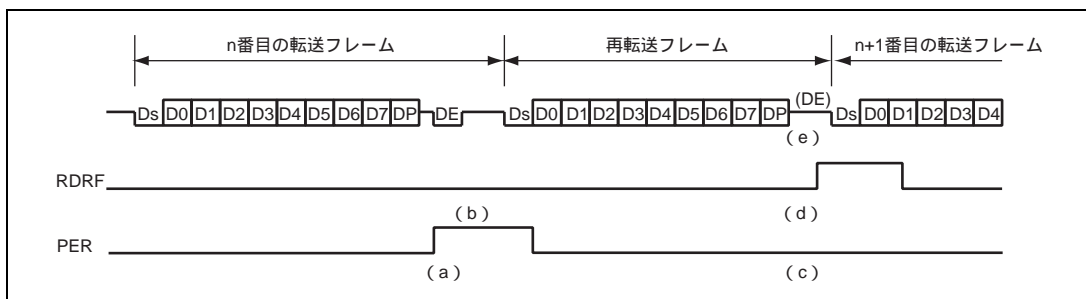


図 25.8 スマートカードインタフェース受信モードの場合の再転送動作

- スマートカードインタフェースが送信モードの場合の再転送動作 (T=0)

スマートカードインタフェースが送信モードの場合の再転送動作を図 25.9 に示します。

- (a) 1 フレーム分の送信を完了した後、受信側から誤り信号が返されると、SCSSR の ERS ビットが 1 にセットされます。このとき、SCSSR の RIE ビットが許可になっていれば、ERI 要求が発生します。次のパーティビットのサンプリングタイミングまでに、SCSSR の ERS ビットを 0 にクリアしてください。
- (b) T=0 モードのとき異常を示す誤り信号を受信したフレームでは、SCSSR の TEND ビットはセットされません。
- (c) 受信側から誤り信号が返ってこない場合は、SCSSR の ERS ビットはセットされません。
- (d) 受信側から誤り信号が返ってこない場合は、再転送を含む 1 フレームの送信が完了したと判断して、このとき、SCTDR がエンプティでない場合は、SCSSR の TEND ビットが 1 にセットされます。このとき SCSSR の TEIE ビットがイネーブルになっていれば、TEI 割り込み要求が発生します。

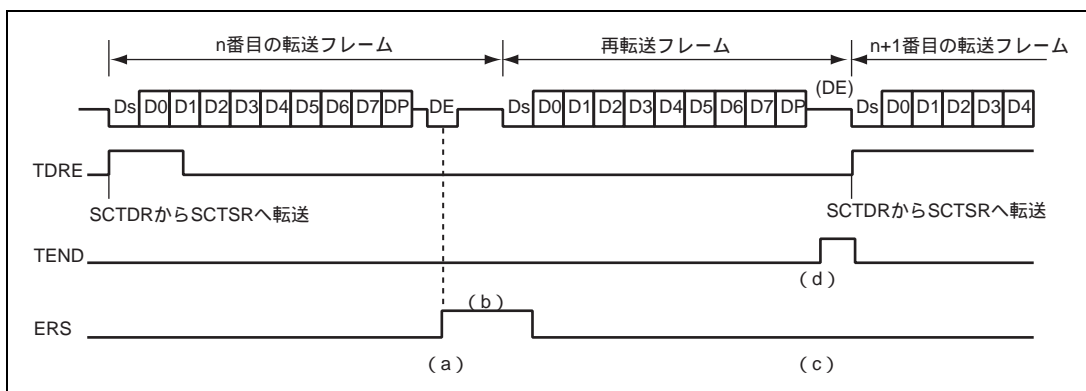


図 25.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード (クロックストップ)

(3) 一時的な High 出力機能

スマートカードインタフェースは SCSCMR の HOEN ビットを 1 にセットすることにより、1 フレーム分のデータ送信終了後の一時的な High 出力機能をオンします。一時的な High 出力機能オフ時は、1 フレーム送信終了後にトライステートバッファをネゲートすることによりデータ線を Hi-Z にする際、pull-up によりデータ線が H レベルに固定されるのに、時間がかかります。一時的な High 出力機能オン時は、1 フレーム送信終了後にトライステートバッファをネゲートする前に、1 システムクロック分強制的に H レベルを出力することにより、データ線を H レベルに固定する時間を短縮します。図 25.10 にタイムチャートを示します。

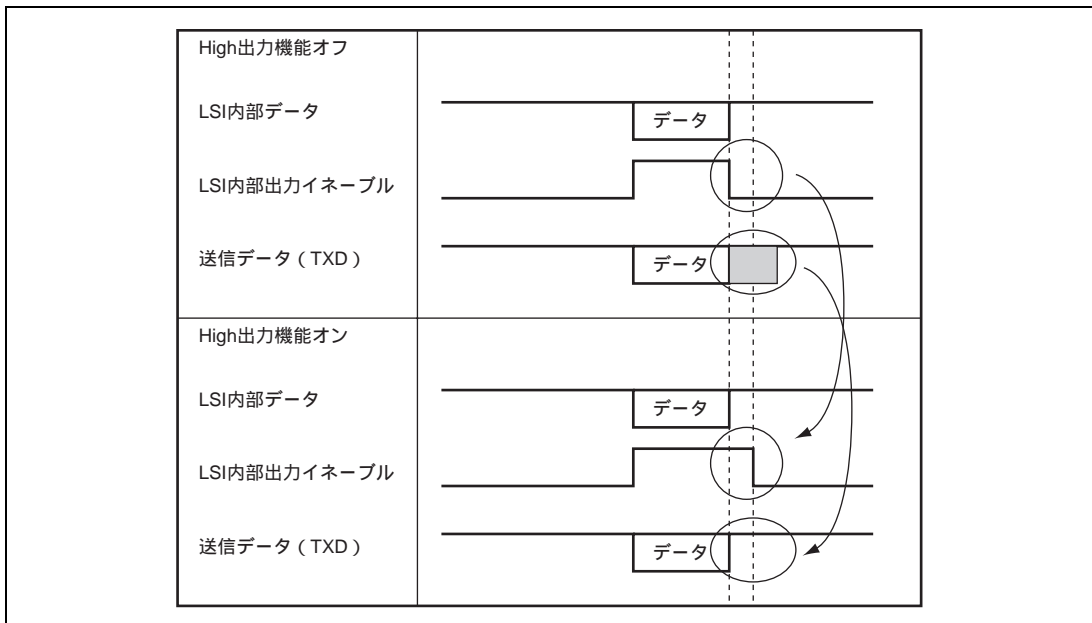


図 25.10 High 出力機能タイムチャート

(4) スタンバイモード (クロックストップ)

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 25.11 に示します。

- スマートカードインタフェースモードからスタンバイモードに移移するとき
 - (a) シリアルコントロールレジスタ (SCSCR) の TE ビットと RE ビットに 0 を書き込み、送信 / 受信動作を停止させます。同時に、CKE1 ビットをスタンバイモード時の出力固定状態の値に設定します。
 - (b) SCSCR の CKE0 ビットに 0 を書き込み、クロックを停止させます。
 - (c) シリアルクロックの 1 クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
 - (d) スタンバイ状態に移移させます。

- スタンバイモードからスマートカードインタフェースモードに戻るとき
 - (e) スタンバイ状態を解除します。
 - (f) シリアルコントロールレジスタ (SCSCR) の CKE1 ビットをスタンバイ開始時の出力固定状態 (現在の SIM_CLK 端子の状態) の値に設定します。
 - (g) SCSCR の CKE0 ビットに 1 を書き込み、クロックを出力させます。正常なデューティにてクロック信号発生を開始します。

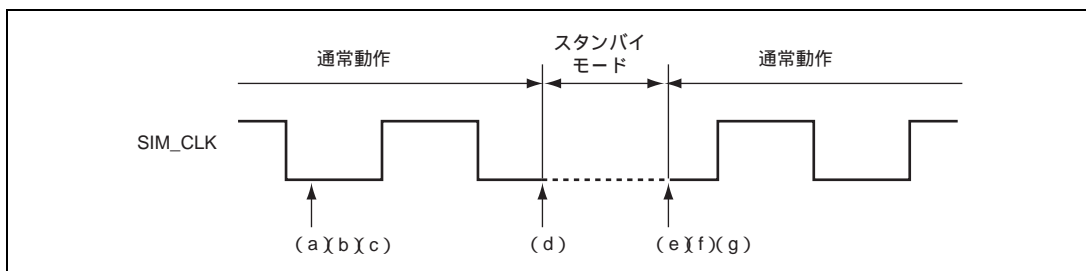


図 25.11 クロック停止、再起動手順

(5) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

1. 電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
2. シリアルコントロールレジスタ (SCSCR) の CKE1 ビットで指定の出力に固定します。
3. SCSCR の CKE0 ビットを 1 に設定して、クロック出力を開始します。

(6) 端子接続

スマートカードインタフェースに関する端子接続例を図 25.12 に示します。

スマートカードとの通信においては、1 本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源 V_{cc} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SIM_CLK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

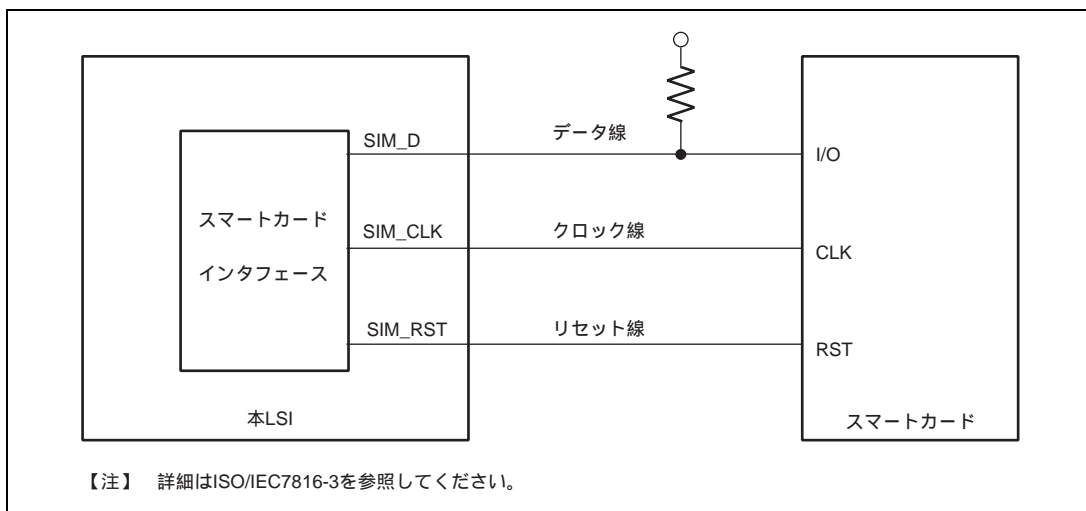


図 25.12 スマートカードインタフェース端子接続例

【注】 IC カードを接続しないで RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

26. A/D 変換器 (ADC)

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 4 チャンネルのアナログ入力を選択することができます。

26.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：4チャンネル
- 最小変換時間：1チャンネル当たり15 μ s
- 3種類の変換モード
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1～4チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- 4本のデータレジスタ
 - 変換結果を、各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- A/D変換終了割り込み発生
 - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- 外部トリガによるA/D変換が可能

A/D 変換器のブロック図を図 26.1 に示します。

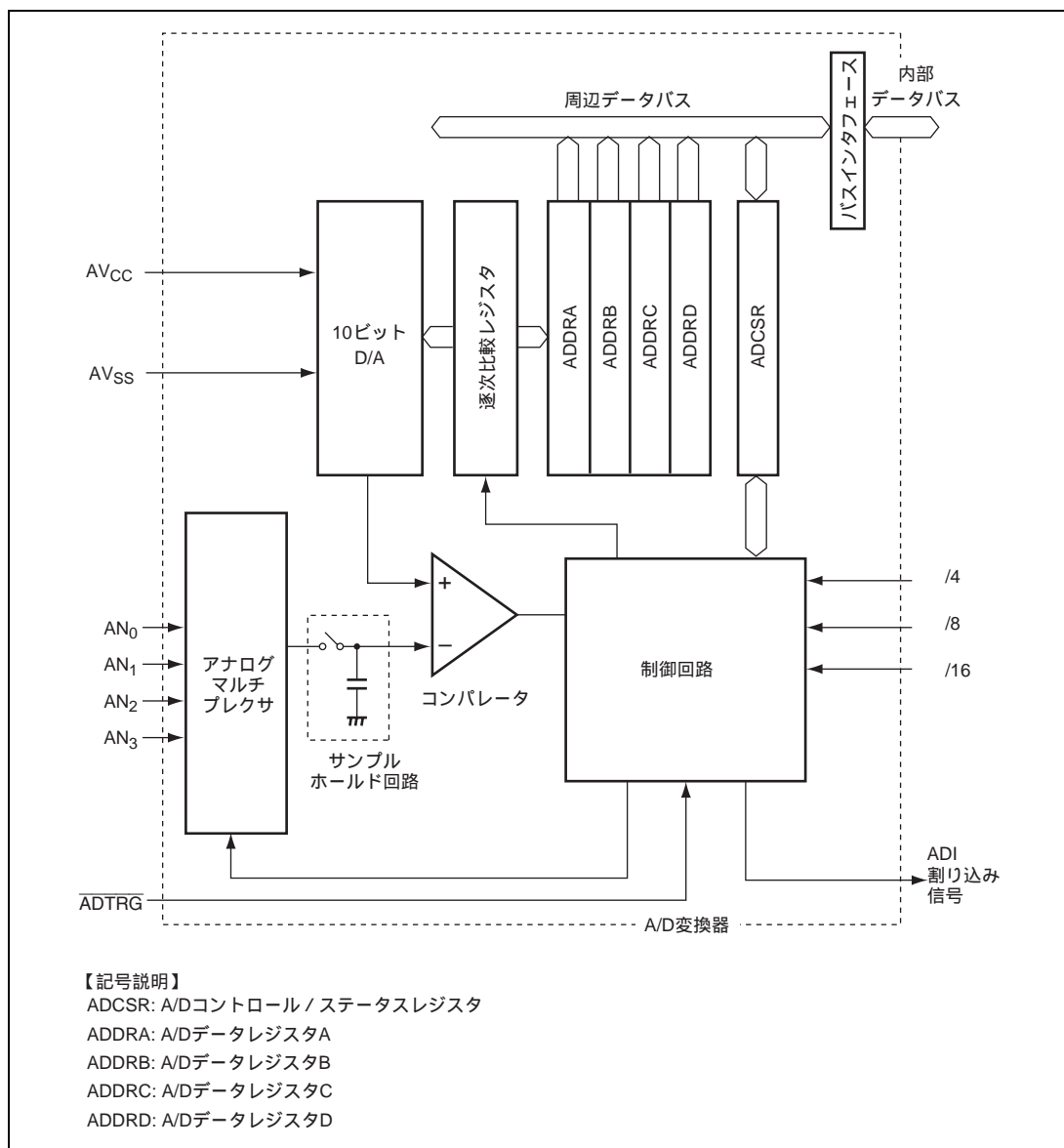


図 26.1 A/D 変換器のブロック図

26.2 入出力端子

A/D 変換器で使用する入力端子を表 26.1 に示します。

AV_{cc} 、 AV_{ss} 端子は、A/D 変換器内部のアナログ部の電源です。 AV_{cc} 端子は、A/D 変換基準電圧です。

表 26.1 端子構成

名称	端子名	入出力	機能
アナログ電源	AV_{cc}	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	AV_{ss}	入力	アナログ部のグランド
アナログ入力 0	AN0	入力	アナログ入力 0~3
アナログ入力 1	AN1	入力	
アナログ入力 2	AN2	入力	
アナログ入力 3	AN3	入力	
アナログトリガ	ADTRG	入力	A/D 変換開始のための外部トリガ

26.3 レジスタの説明

ADC のレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表 26.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'A461 0000	16
A/D データレジスタ B	ADDRB	R	H'A461 0002	16
A/D データレジスタ C	ADDRC	R	H'A461 0004	16
A/D データレジスタ D	ADDRD	R	H'A461 0006	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'A461 0008	16

表 26.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
ADDRA	初期化	初期化	初期化	保持
ADDRB	初期化	初期化	初期化	保持
ADDRC	初期化	初期化	初期化	保持
ADDRD	初期化	初期化	初期化	保持
ADCSR	初期化	初期化	初期化	保持

26.3.1 A/D データレジスタ A~D (ADDRA~ADDRD)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 26.4 に示します。

ADDR は、リセット、モジュールスタンバイ機能およびスタンバイモードで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[9:0]										—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	AD[9:0]	すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 26.4 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

26.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、リセット、モジュールスタンバイ機能およびスタンバイモードで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	DMASL	TRGE[1:0]	—	—	CKS[1:0]	MULTI[1:0]	—	CH[2:0]					
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すフラグです。 [クリア条件] (1) ADF=1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき (2) ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき [セット条件] シングルモード：A/D 変換が終了したとき マルチモード：指定したすべてのチャンネルを一巡して変換したとき スキャンモード：指定したすべてのチャンネルを一巡して変換したとき 【注】* フラグに 0 を書き込んでクリアしてください。
14	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。 ADIE ビットの設定は変換停止中に行ってください。 0：A/D 変換の終了による割り込み (ADI) 要求を禁止 1：A/D 変換の終了による割り込み (ADI) 要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 0：A/D 変換を停止 1：シングルモード：A/D 変換を開始 指定したチャンネルの変換が終了すると自動的に 0 にクリア マルチモード：A/D 変換を開始 指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア スキャンモード：A/D 変換を開始 ソフトウェア、リセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換
12	DMASL	0	R/W	DMAC 選択 A/D 変換の終了による割り込みまたは DMAC 起動のいずれかを選択します。 DMASL ビットの設定は変換停止中に行ってください。 0：A/D 変換の終了による割り込みを選択 1：A/D 変換の終了による DMAC 起動を選択 CPU を介して、A/D の各レジスタを読み出すと、常に 0 が読み出されません。
11、10	TRGE[1:0]	すべて 0	R/W	トリガイネーブル 外部トリガ入力による A/D 変換の許可または禁止を選択します。 00：外部トリガ入力による A/D 変換の開始を禁止 01：予約 (設定不可) 10：予約 (設定不可) 11：A/D 変換トリガ入力端子 (\overline{ADTRG}) の立ち下がりエッジで A/D 変換を開始

ビット	ビット名	初期値	R/W	説明
9、8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います。 変換時間の切り換えは、ADST ビットを0にクリアした後に行ってください。 00 : 変換時間 = 151 ステート (最大値) 01 : 変換時間 = 285 ステート (最大値) 10 : 変換時間 = 545 ステート (最大値) 11 : 予約 (設定不可) P 16.5MHz の場合、CKS1 = 0、CKS0 = 0 には設定せず使用してください。 変換時間が不足精度不足や異常動作となります。
5、4	MULTI [1:0]	すべて0	R/W	シングルモード、マルチモード、またはスキャンモードを選択します。 00 : シングルモード 01 : 予約 (設定不可) 10 : マルチモード 11 : スキャンモード
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	CH[2:0]	すべて0	R/W	チャンネルセレクト 2~0 MULTI ビットとともにアナログ入力チャンネル選択します。 入力チャンネルの設定は、ADST ビットを0にクリアした後に行ってください。 シングルモード マルチモードおよびスキャンモード 000 : AN0 AN0 001 : AN1 AN0、AN1 010 : AN2 AN0~AN2 011 : AN3 AN0~AN3 100 : 予約 (設定不可) 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可)

【注】 * フラグをクリアするための0ライトのみ可能です。

26.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作について説明します。

26.4.1 シングルモード

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアによって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 で DMASL が 0 であると、ADI 割り込み要求が発生します。

ADF ビットは、ADF=1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 26.2 に示します (動作例におけるビット指定は ADCSR レジスタです)。

1. ADCモジュールにクロックを供給 (リセット、低消費電力モードモジュールのMSTPCR2レジスタMSTP227 ビットに0をセット) し、ADCの動作を開始します。
2. 動作モードをシングルモードに、入力チャンネルをAN1に (CH1=CH2=0、CH0=1)、A/D割り込み要求許可 (ADIE=1) に設定して、A/D変換を開始 (ADST=1) します。
3. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
4. ADF=1、ADIE=1、DMASL=0となっているため、ADI割り込み要求が発生します。
5. A/D割り込み処理ルーチンが開始されます。
6. ADF=1を読み出した後、ADFに0を書き込みます。
7. A/D変換結果 (ADDRB=0) を読み出して、処理します。
8. A/D割り込み処理ルーチンの実行を終了します。
9. ADCモジュールへのクロック供給を停止 (MSTPCR2.MSTP227=1) し、モジュールスタンバイ状態にします。

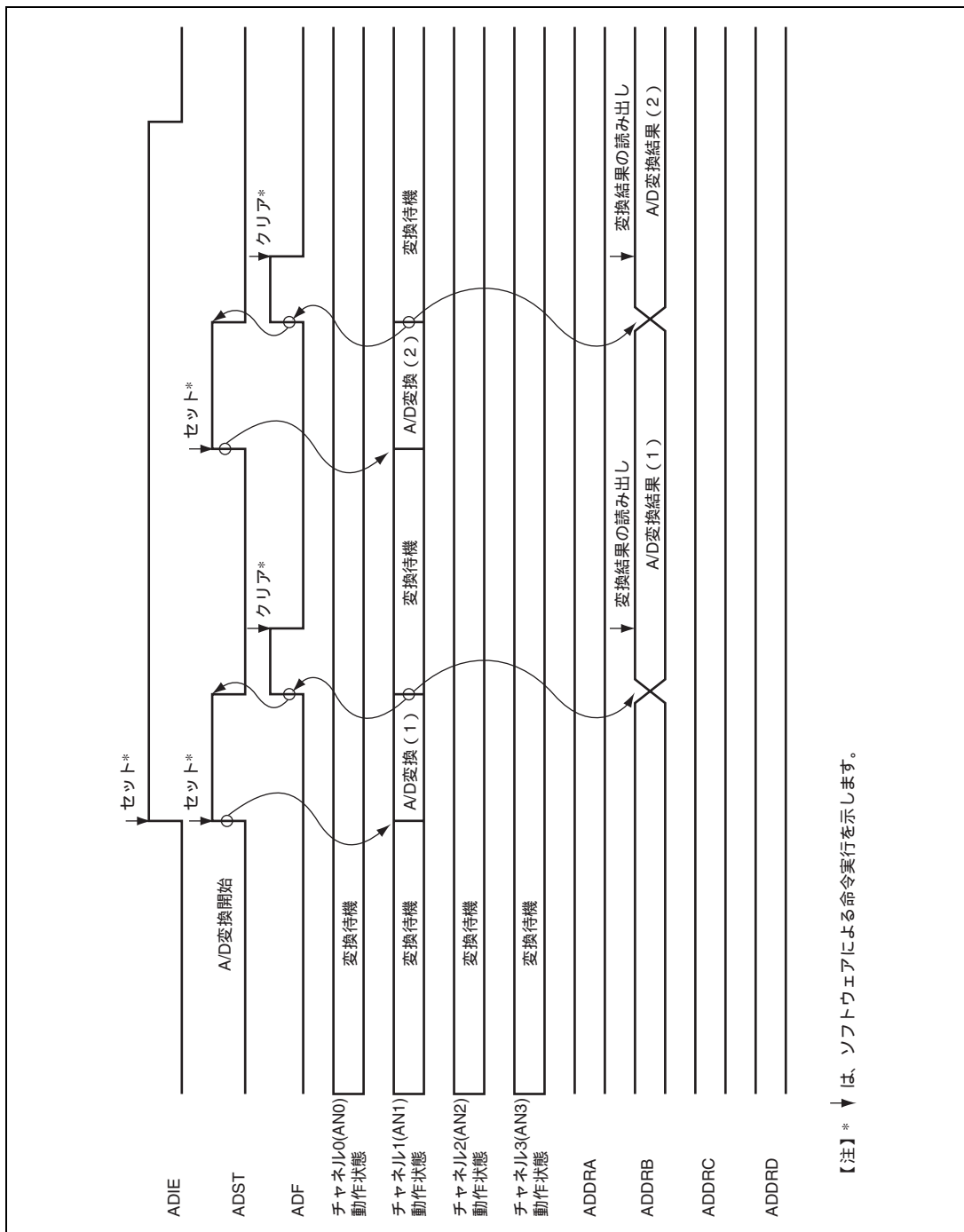


図 26.2 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

26.4.2 マルチモード

マルチモードは、複数チャンネル(1チャンネルを含む)のアナログ入力をおのの1回順次変換します。A/D変換はソフトウェアによってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、第1チャンネル(AN0)から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、直ちに第2チャンネル(AN1)のA/D変換を開始します。

A/D変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図26.3に示します。

1. ADCモジュールにクロックを供給(リセット、低消費電力モードモジュールのMSTPCR2レジスタMSTP227ビットに0をセット)し、ADCの動作を開始します。
2. 動作モードをマルチモードに、アナログ入力チャンネルをAN0~AN2(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
3. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
4. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
5. 同様に第3チャンネル(AN2)まで変換を行います。
6. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。

このときADIEビットが1でDMASLが0であると、A/D変換終了後、ADI割り込みを発生します。

7. ADCモジュールへのクロック供給を停止(MSTPCR2.MSTP227=1)し、モジュールスタンバイ状態にします。

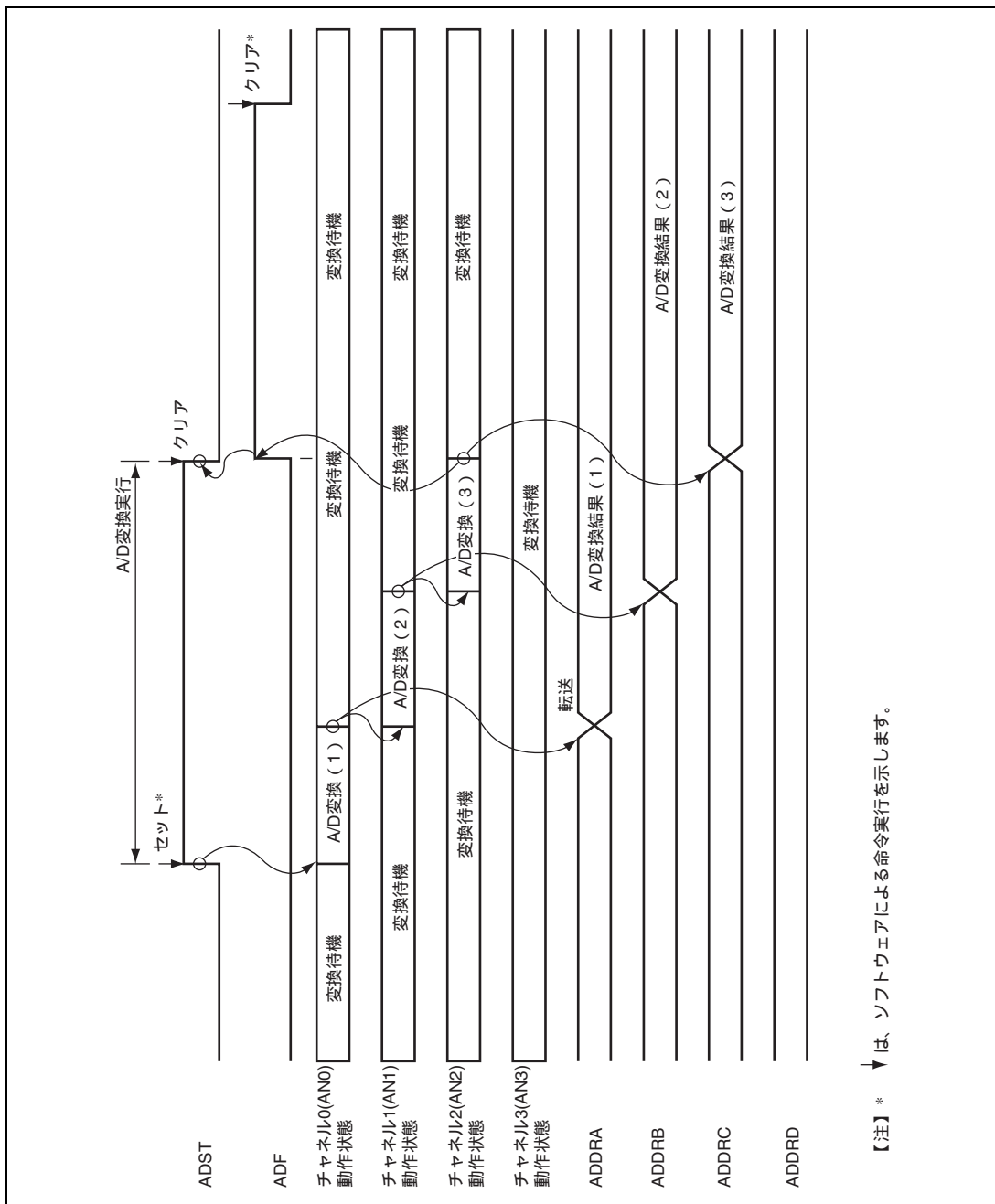


図 26.3 A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャネル選択時)

26.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。A/D変換はソフトウェアによってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、第1チャンネル(AN0)から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、直ちに第2チャンネル(AN1)のA/D変換を開始します。

A/D変換は、ADSTビットが0にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図26.4に示します。

1. ADCモジュールにクロックを供給(リセット、低消費電力モードモジュールのMSTPCR2レジスタMSTP227ビットに0をセット)し、ADCの動作を開始します。
2. 動作モードをスキャンモードに、アナログ入力チャンネルをAN0~AN2(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
3. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRaに転送します。
4. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
5. 同様に第3チャンネル(AN2)まで変換を行います。
6. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。
このときADIEビットが1でDMASLが0であると、A/D変換終了後、ADI割り込みを発生します。
7. ADSTビットが1にセットされている間は、(3)~(5)を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。
8. ADCモジュールへのクロック供給を停止(MSTPCR2.MSTP227=1)し、モジュールスタンバイ状態にします。

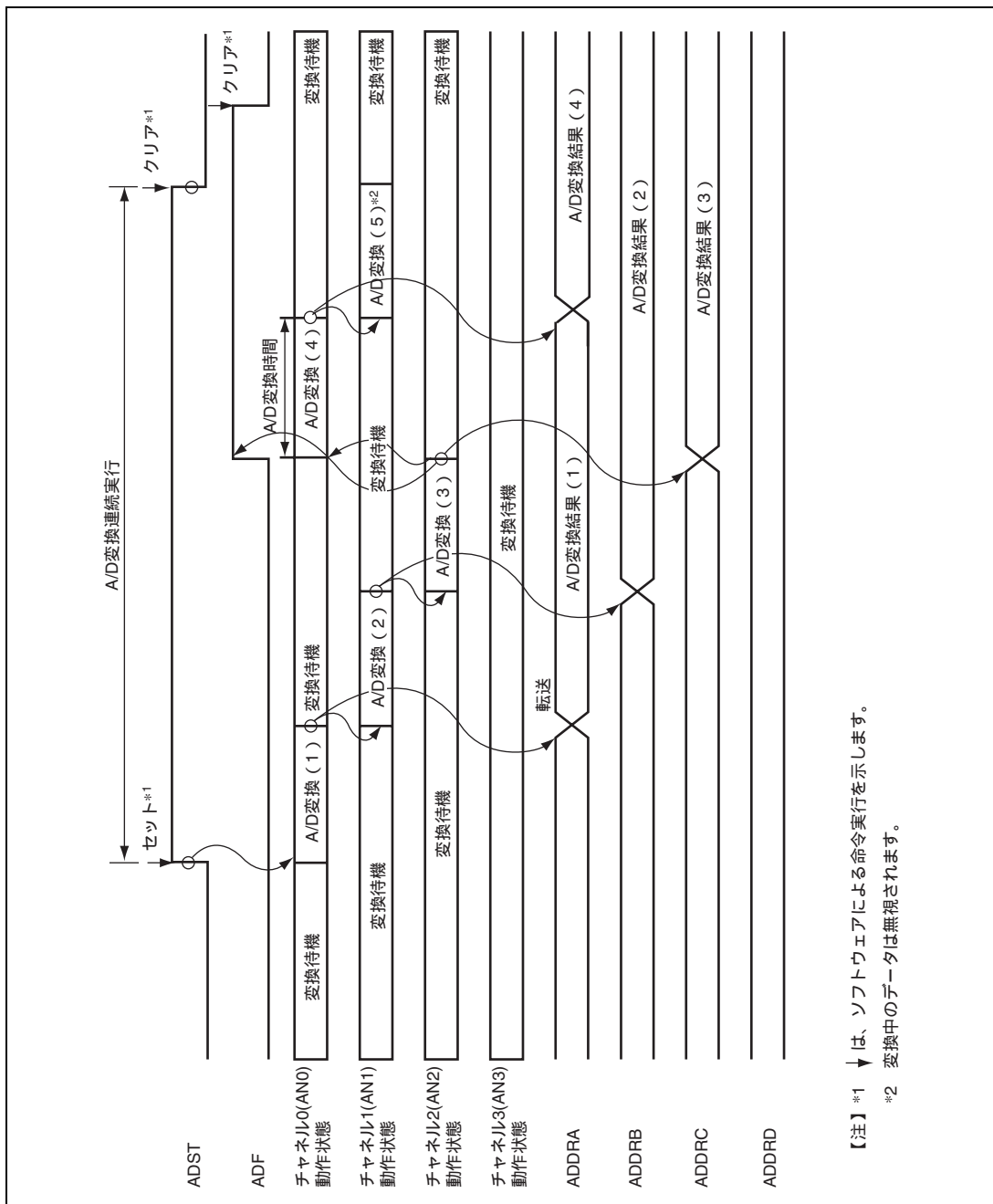


図 26.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の3チャンネル選択時)

【注】 *1 ↓ は、ソフトウェアによる命令実行を示します。
 *2 変換中のデータは無視されます。

26.4.4 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 26.5 に示します。また、A/D 変換時間を表 26.5 に示します。

A/D 変換時間は、図 26.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 26.5 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 26.5 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS1=1、CKS0=0 の場合は 512 ステート (固定)、CKS1=0、CKS0=1 の場合は 256 ステート (固定)、CKS1=0、CKS0=0 の場合は 128 ステート (固定) となります。

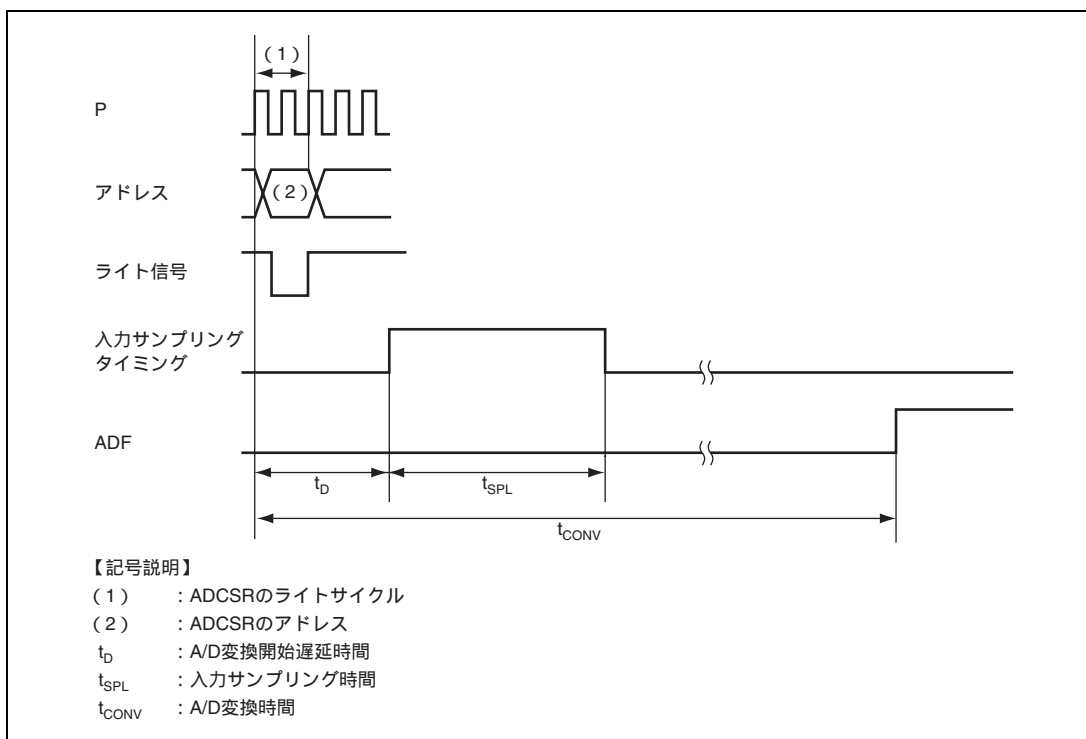


図 26.5 A/D 変換タイミング

表 26.5 A/D 変換時間 (シングルモード)

	記号	CKS1=1, CKS0=0			CKS1=0, CKS0=1			CKS1=0, CKS0=0		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始時間	t_D	18		21	10		13	6		9
入力サンプリング時間	t_{SPL}		129			65			33	
A/D 変換時間	t_{CONV}	535		545	275		285	141		151

【注】 表中の数値の単位はステート (t_{yc}) です。最小変換時間を満たすように設定してください。

26.4.5 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、A/D コントロール/ステータスレジスタ (ADCSR) の TRGE1、0 ビットがともに 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。

\overline{ADTRG} 入力端子の立ち下がりエッジにより、A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、変換モードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 26.6 に示します。

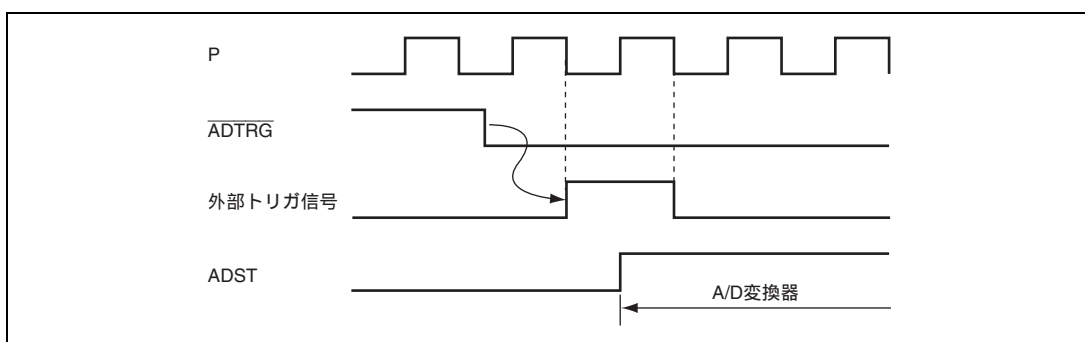


図 26.6 外部トリガ入力タイミング

26.5 割り込み要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) または DMAC の起動信号を発生します。これらは、ADCSR の ADIE ビット、DMASL ビットで許可または禁止することができます。

26.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 26.7 に沿って、上記(1)～(4)の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値 (ゼロ電圧) 0000000000 (図では 000) から 0000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 26.7 (1)) です。フルスケール誤差とはデジタル出力値が 1111111110 (図では 110) から最大値 (フルスケール電圧) 1111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 26.7 (2)) です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 26.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 26.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

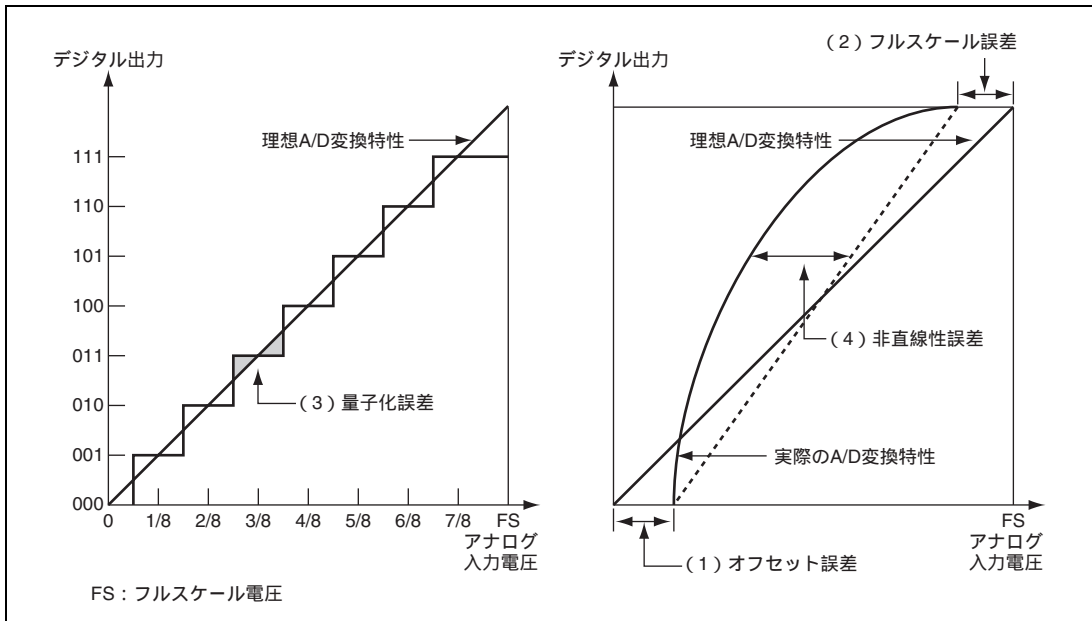


図 26.7 A/D 変換精度の定義

26.7 使用上の注意事項

26.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 26.8）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

26.7.2 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

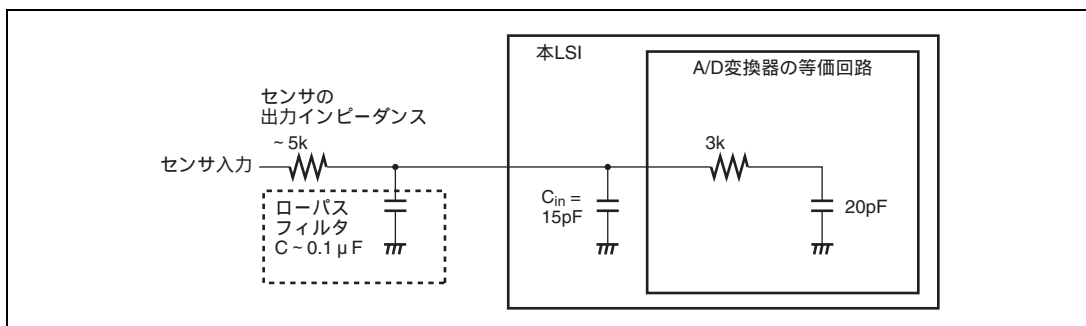


図 26.8 アナログ入力回路の例

26.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧 (VANn) はAVss VANn AVccの範囲としてください。
(n=0~3)

- AVcc、AVssとVccQ、VssQの関係

AVcc、AVssとVccQ、VssQとの関係はVccQ - 0.3V AVcc VccQ + 0.3V、AVss = VssQとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子を開放しないで、AVccはVccQにAVssはVssQに接続してください。

26.7.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子 (AN0~AN3)、アナログ電源電圧 (AVcc) は、アナロググランド (AVss) で、デジタル回路と分離してください。さらに、アナロググランド (AVss) は、ボード上の安定したグランド (Vss) に一点接続してください。

26.7.5 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN3) の破壊を防ぐために、図 26.9 に示すように AVcc - AVss 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0~AN3 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN3 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (Rin) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

26.7.6 AD 変換時の注意事項

AD 変換を 1 回終了するごとに、ADC をモジュールスタンバイ状態に入れる必要があります。その後、再び AD 変換する場合は、モジュールスタンバイ状態を解除してからお使いください。

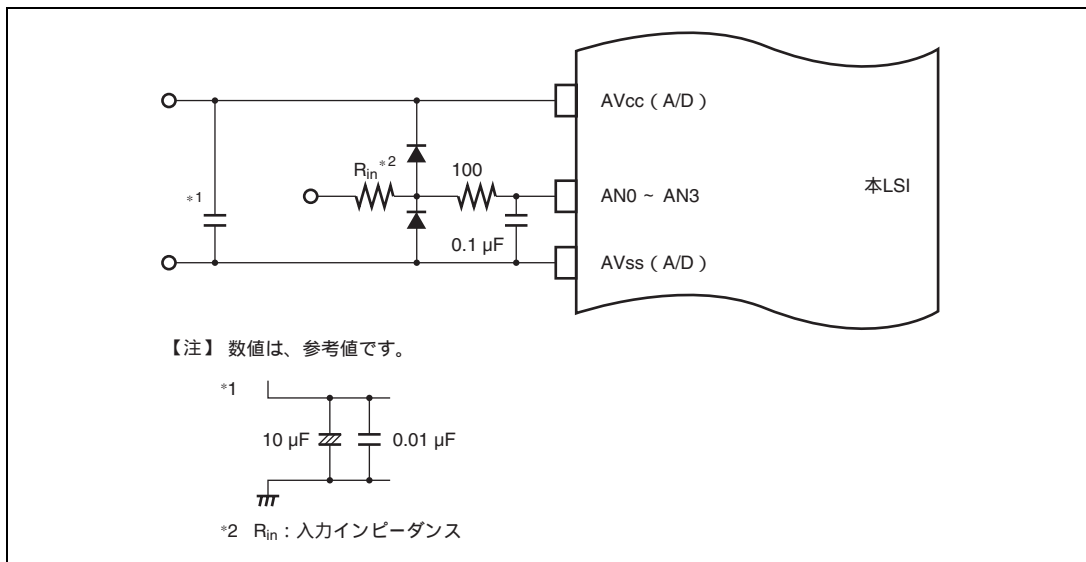


図 26.9 アナログ入力保護回路の例

表 26.6 アナログ端子の規格

項 目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

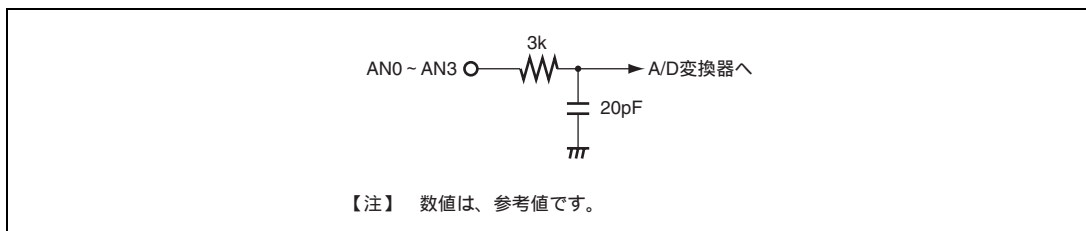


図 26.10 アナログ入力端子等価回路

27. D/A 変換器 (DAC)

本 LSI には 2 チャンネルの D/A 変換器 (DAC) を搭載しています。D/A 変換器には次の特長があります。

27.1 特長

- 10ビットの解像度
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s (容量性負荷：30pF)
- 出力電圧：0V ~ AVcc (アナログ部電源)

D/A 変換器のブロック図を図 27.1 に示します。

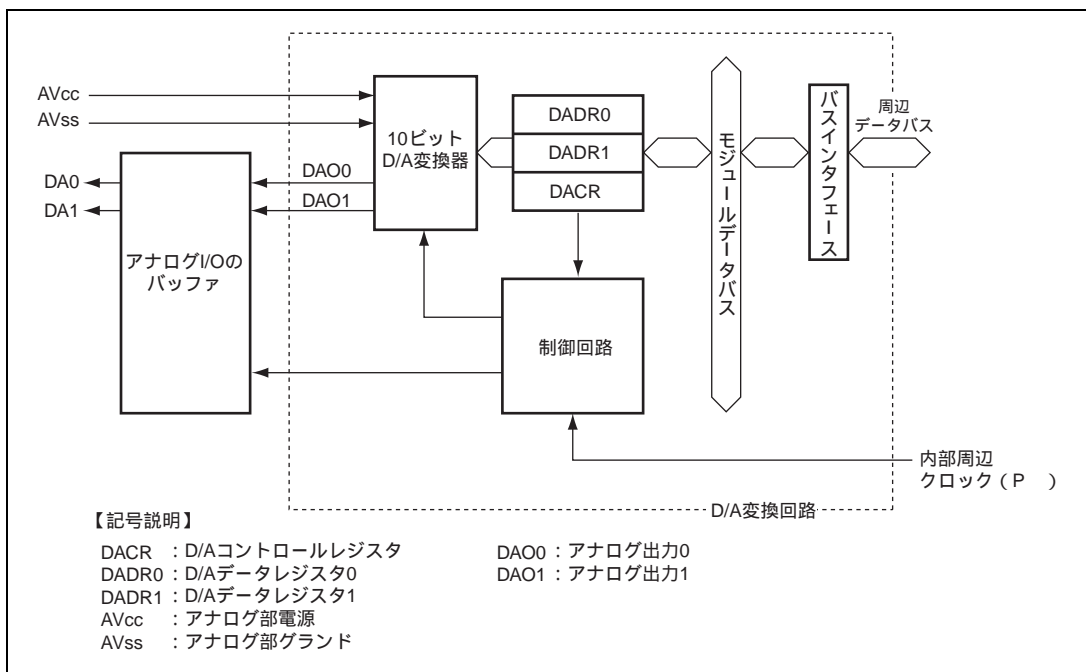


図 27.1 D/A 変換器のブロック図

27.2 入出力端子

D/A 変換器の端子構成を表 27.1 に示します。

表 27.1 端子構成

端子名	入出力	機能
AVcc	-	アナログ部の電源および D/A 変換基準電圧
AVss	-	アナログ部のグラウンドおよび D/A 変換基準電圧
DA0	出力	チャンネル 0 のアナログ出力
DA1	出力	チャンネル 1 のアナログ出力

27.3 レジスタの説明

DAC のレジスタ構成を表 27.2 に示します。また、各処理モードにおけるレジスタの状態を表 27.3 に示します。

表 27.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'A462 0000	16
D/A データレジスタ 1	DADR1	R/W	H'A462 0002	16
D/A コントロールレジスタ	DACR	R/W	H'A462 0004	16

表 27.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
DADR0	初期化	保持	保持	保持
DADR1	初期化	保持	保持	保持
DACR	初期化	保持	保持	保持

27.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタ (DADR0、DADR1) は、変換データを格納する 16 ビットの読み出し / 書き込み可能なレジスタです。D/A コントロールレジスタ (DACR) の D/A 出力イネーブル (DAOE1、DAOE0) が 1 のとき、D/A データレジスタに設定された値を常に D/A 変換して、アナログ出力端子 (DA0、DA1) へ出力します。D/A データレジスタは、リセット時 H'00 に初期化されます。ソフトウェアスタンバイ、およびモジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DAD[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	DAD[9:0]	H'000	R/W	変換データを格納する 10 ビットのレジスタです。

27.3.2 D/A コントロールレジスタ (DACR)

D/A コントロールレジスタ (DACR) は、D/A 変換器の動作を制御する 16 ビットの読み出し / 書き込み可能なレジスタです。DACR は、リセット時 H'00 に初期化されます。ソフトウェアスタンバイ、およびモジュールスタンバイでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DAOE1	DAOE0	—	—	—	—	—	DAE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DAOE1	0	R/W	チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 の D/A 変換とアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換とアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 の D/A 変換とアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換とアナログ出力 (DA0) を許可
5~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DAE	0	R/W	DA 変換動作イネーブル 0: チャンネル 0、チャンネル 1 ともに変換動作を停止し、ローレベルを出力 1: チャンネル 0、チャンネル 1 ともに変換動作を実行

27.4 動作説明

D/A 変換器には、独立して変換を実行できる 2 つの D/A 変換回路を内蔵しています。

D/A 変換器は D/A コントロールレジスタ (DACR) でアナログ出力を許可状態のとき、常に D/A 変換が実行されます。D/A データレジスタ (DADR0、DADR1) の値を変更すると、新しいデータの変換を直ちに開始します。D/A コントロールレジスタ (DACR) の DAE ビットを 1 にセットすると、変換動作を開始し DAOE1 ビットあるいは DAOE0 ビットを 1 にセットすると変換結果が出力されます。

チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 27.2 に示します。

変換するデータを D/A データレジスタ (DADR0) に書き込みます。

D/A コントロールレジスタ (DACR) の DAE ビットと DAOE0 ビットを 1 にセットします。

D/A 変換を開始し、DA0 は出力許可になります。変換結果は変換時間後に出力されます。出力値は (DADR0 内容 / 1024) × AV_{cc} です。この変換結果の出力は、D/A データレジスタ (DADR0) の値を変更する DAOE0 ビットを 0 にクリアするまで続きます。

D/A データレジスタ (DADR0) 値を変更すると、変換を再び開始し、結果は変換時間の後で出力されます。

DAOE0 ビットを 0 にクリアすると、アナログ出力 (DA0) は禁止 (Hi-Z) になります。

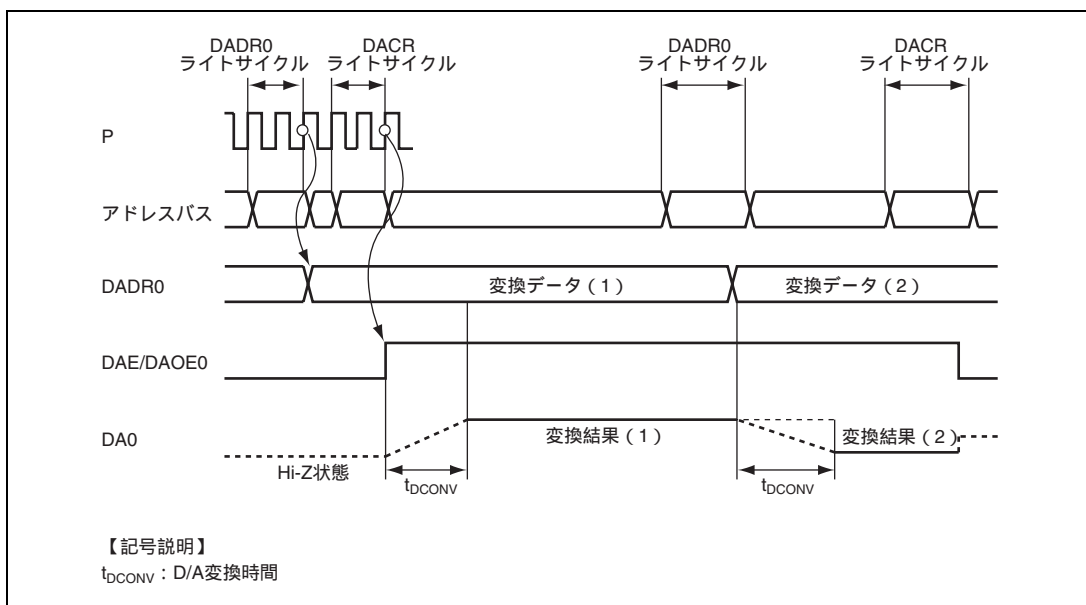


図 27.2 D/A 変換動作の例

28. I/O ポート

本 LSI には 17 組の 8 ビットポート* (ポート A~T) があります。それぞれのポートの端子は、すべて、他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能とプルアップ/プルダウン MOS 制御の選択を行います) を兼ねているマルチプレクス端子です。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

【注】 * 8 ビットすべてが有効でないポートがあります。

28.1 レジスタの説明

I/O ポートのレジスタ構成を表 28.1 に示します。また、各処理モードにおけるレジスタの状態を表 28.2 に示します。

表 28.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'A405 0080	8
ポート B データレジスタ	PBDR	R/W	H'A405 0082	8
ポート C データレジスタ	PCDR	R/W	H'A405 0084	8
ポート D データレジスタ	PDDR	R/W	H'A405 0086	8
ポート E データレジスタ	PEDR	R/W	H'A405 0088	8
ポート F データレジスタ	PFDR	R/W	H'A405 008A	8
ポート G データレジスタ	PGDR	R/W	H'A405 008C	8
ポート H データレジスタ	PHDR	R/W	H'A405 008E	8
ポート J データレジスタ	PJDR	R/W	H'A405 0090	8
ポート K データレジスタ	PKDR	R/W	H'A405 0092	8
ポート L データレジスタ	PLDR	R/W	H'A405 0094	8
ポート M データレジスタ	PMDR	R/W	H'A405 0096	8
ポート N データレジスタ	PNDR	R/W	H'A405 0098	8
ポート Q データレジスタ	PQDR	R/W	H'A405 009A	8
ポート R データレジスタ	PRDR	R/W	H'A405 009C	8
ポート S データレジスタ	PSDR	R/W	H'A405 009E	8
ポート T データレジスタ	PTDR	R/W	H'A405 00A0	8

表 28.2 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
PADR	初期化	保持	-	保持
PBDR	初期化	保持	-	保持
PCDR	初期化	保持	-	保持
PDDR	初期化	保持	-	保持
PEDR	初期化	保持	-	保持
PFDR	初期化	保持	-	保持
PGDR	初期化	保持	-	保持
PHDR	初期化	保持	-	保持
PJDR	初期化	保持	-	保持
PKDR	初期化	保持	-	保持
PLDR	初期化	保持	-	保持
PMDR	初期化	保持	-	保持
PNDR	初期化	保持	-	保持
PQDR	初期化	保持	-	保持
PRDR	初期化	保持	-	保持
PSDR	初期化	保持	-	保持
PTDR	初期化	保持	-	保持

28.2 ポート A

ポート A は図 28.1 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ (PACR) で制御します。

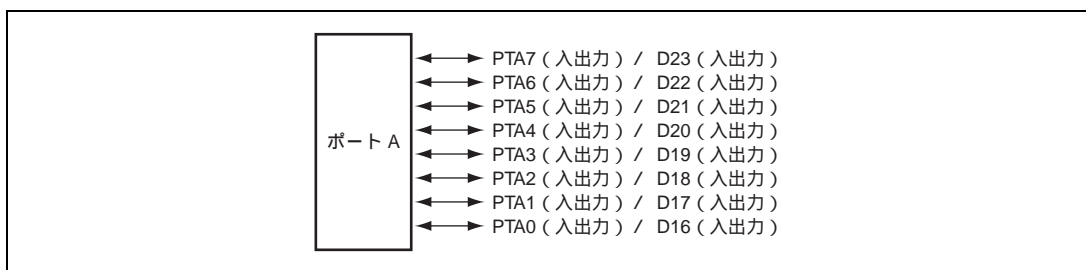


図 28.1 ポート A

28.2.1 ポート A データレジスタ (PADR)

PADR は、PTA7 ~ PTA0 端子のデータを格納するレジスタです。PA7DT ~ PA0DT ビットは PTA7 ~ PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PA7DT	0	R/W	表 28.3 に PADR の機能を示します。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 28.3 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PACR の状態		端子状態	読み出しの場合	書き込みの場合
PAnMD1	PAnMD0			
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

28.3 ポート B

ポート B は図 28.2 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

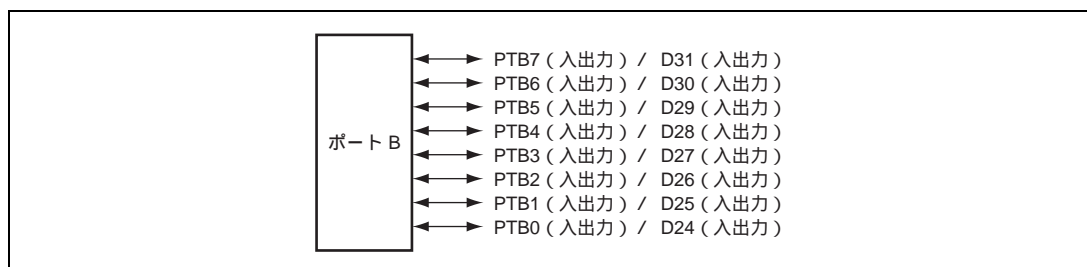


図 28.2 ポート B

28.3.1 ポート B データレジスタ (PBDR)

PBDR は、PTB7 ~ PTB0 端子のデータを格納するレジスタです。PB7DT ~ PB0DT ビットは PTB7 ~ PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PB7DT	0	R/W	表 28.4 に PBDR の機能を示します。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

表 28.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBCR の状態		端子状態	読み出しの場合	書き込みの場合
PBnMD1	PBnMD0			
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない。
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない。
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない。

【注】 n=0~7

28.4 ポート C

ポート C は図 28.3 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ / プルダウン MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。プルアップ MOS かプルダウン MOS かの選択は PFC の PINT 制御レジスタ A (PINTCRA) で行ってください。

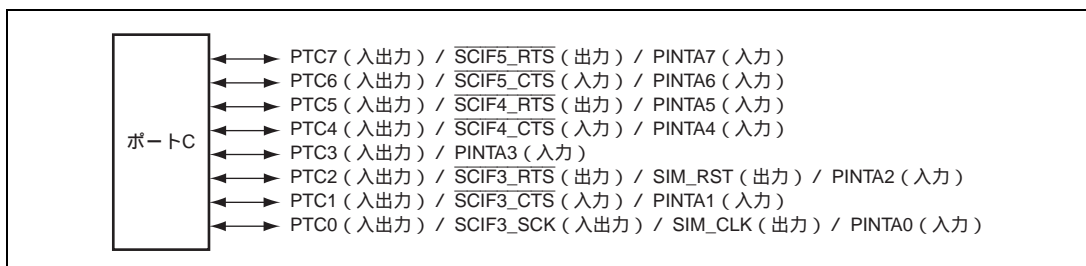


図 28.3 ポート C

28.4.1 ポート C データレジスタ (PCDR)

PCDR は、PTC7～PTC0 のデータ端子を格納するレジスタです。PC7DT～PC0DT ビットは PTC7～PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	0	R/W	表 28.5 に PCDR の機能を示します。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 28.5 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCDR の状態		端子状態	読み出しの場合	書き込みの場合
PCnMD1	PCnMD0			
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ / プルダウン MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ / プルダウン MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】 n = 0～7

28.5 ポート D

ポート D は図 28.4 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

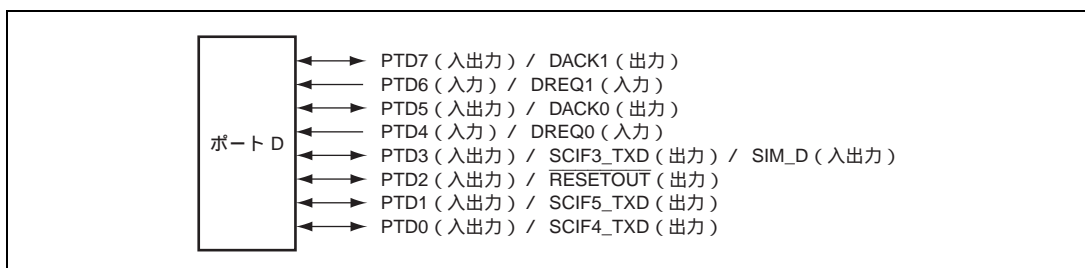


図 28.4 ポート D

28.5.1 ポート D データレジスタ (PDDR)

PDDR は、PTD7 ~ PTD0 端子のデータを格納するレジスタです。PD7DT ~ PD0DT ビットは PTD7 ~ PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PD7DT	0	R/W	表 28.6 に PDDR の機能を示します。
6	PD6DT	0	R	
5	PD5DT	0	R/W	
4	PD4DT	0	R	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

表 28.6 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

- PD0DT ~ PD3DT、PD5DT、PD7DT

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PDnMD1	PDnMD0			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 n=0~3、5、7

- PD4DT、PD6DT

PDCR の状態		端子状態	読み出しの場合	書き込みの場合
PDnMD1	PDnMD0			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 n=4、6

28.6 ポート E

ポート E は図 28.5 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

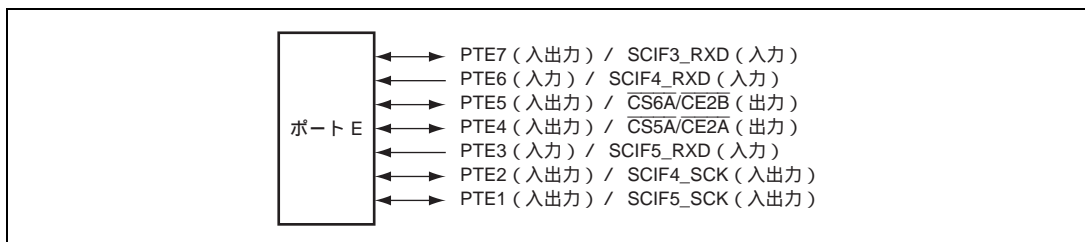


図 28.5 ポート E

28.6.1 ポート E データレジスタ (PEDR)

PEDR は、PTE7～PTE1 端子のデータを格納するレジスタです。PE7DT～PE1DT ビットは PTE7～PTE1 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット :	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	PE7DT	0	R/W	表 28.7 に PEDR の機能を示します。
6	PE6DT	0	R	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 28.7 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

- PE1DT、PE2DT、PE4DT、PE5DT、PE7DT

PECR の状態		端子状態	読み出しの場合	書き込みの場合
PE _n MD1	PE _n MD0			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】 n=1、2、4、5、7

- PE3DT、PE6DT

PECR の状態		端子状態	読み出しの場合	書き込みの場合
PEnMD1	PEnMD0			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1			
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】 n=3, 6

28.7 ポート F

ポート F は図 28.6 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ/プルダウン MOS があり、PFC のポート F コントロールレジスタ (PF3CR) で制御します。プルアップ MOS かプルダウン MOS かの選択は PFC の PINT 制御レジスタ B (PINTCRB) で行ってください。

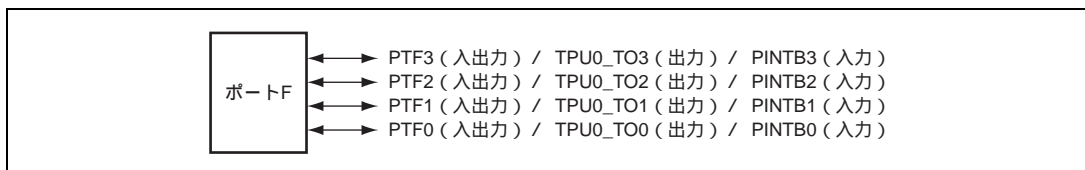


図 28.6 ポート F

28.7.1 ポート F データレジスタ (PFDR)

PFDR は、PTF3 ~ PTF0 端子のデータを格納するレジスタです。PF3DT ~ PF0DT ビットは PTF3 ~ PTF0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PFDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PF3DT	PF2DT	PF1DT	PF0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PF3DT	0	R/W	表 28.8 に PFDR の機能を示します。
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

表 28.8 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFCR の状態		端子状態	読み出しの場合	書き込みの場合
PFnMD1	PFnMD0			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ / プルダウン MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ / プルダウン MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】 n=0~3

28.8 ポート G

ポート G は図 28.7 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート G コントロールレジスタ (PGCR) で制御します。

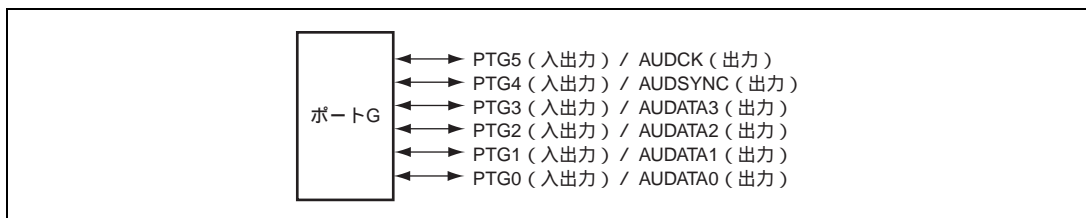


図 28.7 ポート G

28.8.1 ポート G データレジスタ (PGDR)

PGDR は、PTG5 ~ PTG0 端子のデータを格納するレジスタです。PG5DT ~ PG0DT ビットは PTG5 ~ PTG0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PGDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	PG5DT	PG4DT	PG3DT	PG2T	PG1DT	PG0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PG5DT	0	R/W	表 28.9 に PGDR の機能を示します。
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

表 28.9 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作

PGCR の状態		端子状態	読み出しの場合	書き込みの場合
PGnMD1	PGnMD0			
0	0	その他の機能	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない
	1	出力	PGDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】 n=0~5

28.9 ポート H

ポート H は図 28.8 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート H コントロールレジスタ (PHCR) で制御します。

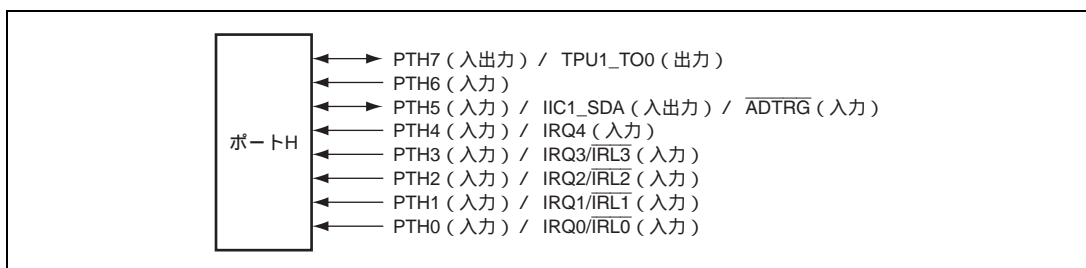


図 28.8 ポート H

28.9.1 ポート H データレジスタ (PHDR)

PHDR は、PTH7 ~ PTH0 端子のデータを格納するレジスタです。PH7DT ~ PH0DT ビットは PTH7 ~ PTH0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PHDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	PH7DT	0	R/W	表 28.10 に PHDR の機能を示します。
6	PH6DT	0	R	
5	PH5DT	0	R	
4	PH4DT	0	R	
3	PH3DT	0	R	
2	PH2DT	0	R	
1	PH1DT	0	R	
0	PH0DT	0	R	

表 28.10 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作

• PH7DT

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	出力	PHDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

【注】 n=7

• PH0DT ~ PH4DT、PH6DT

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PHDR に書き込めるが、端子の状態に影響しない

【注】 n=0~4、6

• PH5DT

PHCR の状態		端子状態	読み出しの場合	書き込みの場合
PHnMD1	PHnMD0			
0	0	その他の機能	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	1	-	-	-

【注】 n=5

28.10 ポート J

ポート J は図 28.9 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート J コントロールレジスタ (PJCR) で制御します。

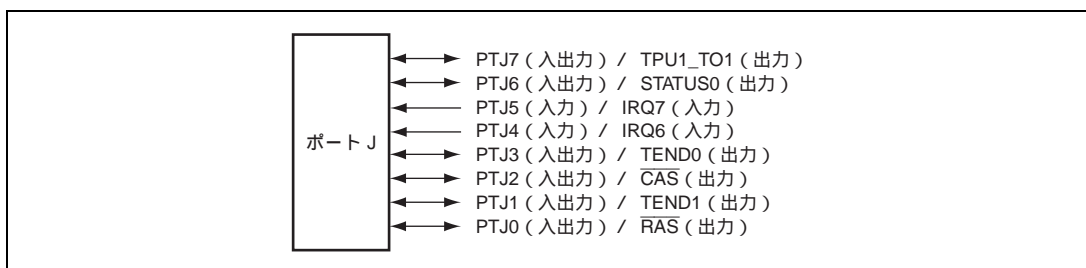


図 28.9 ポート J

28.10.1 ポート J データレジスタ (PJDR)

PJDR は、PTJ7 ~ PTJ0 端子のデータを格納するレジスタです。PJ7DT ~ PJ0DT ビットは PTJ7 ~ PTJ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PJDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PJ7DT	0	R/W	表 28.11 に PJDR の機能を示します。
6	PJ6DT	0	R/W	
5	PJ5DT	0	R	
4	PJ4DT	0	R	
3	PJ3DT	0	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	PJ0DT	0	R/W	

表 28.11 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作

- PJ0DT ~ PJ3DT、PJ6DT、PJ7DT

PJCR の状態		端子状態	読み出しの場合	書き込みの場合
PJnMD1	PJnMD0			
0	0	その他の機能	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない
	1	出力	PJDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない

【注】 n=0~3、6、7

- PJ4DT、PJ5DT

PJCR の状態		端子状態	読み出しの場合	書き込みの場合
PJnMD1	PJnMD0			
0	0	その他の機能	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PJDR に書き込めるが、端子の状態に影響しない

【注】 n=4、5

28.11 ポート K

ポート K は図 28.10 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート K コントロールレジスタ (PKCR) で制御します。

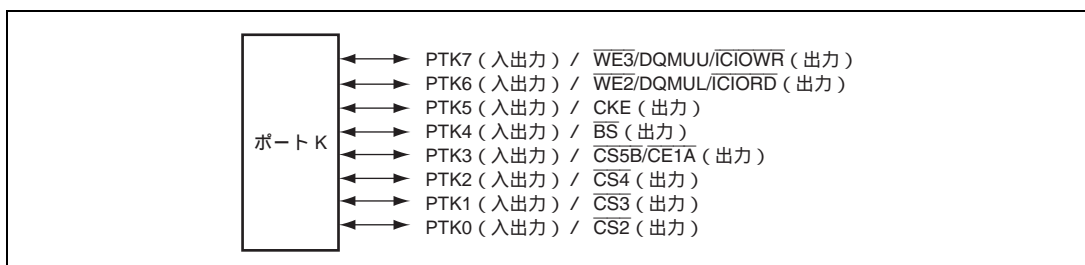


図 28.10 ポート K

28.11.1 ポート K データレジスタ (PKDR)

PKDR は、PTK7～PTK0 端子のデータを格納するレジスタです。PK7DT～PK0DT ビットは PTK7～PTK0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PKDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット :	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PK7DT	0	R/W	表 28.12 に PKDR の機能を示します。
6	PK6DT	0	R/W	
5	PK5DT	0	R/W	
4	PK4DT	0	R/W	
3	PK3DT	0	R/W	
2	PK2DT	0	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	

表 28.12 ポート K データレジスタ (PKDR) の読み出し / 書き込み動作

PKCR の状態		端子状態	読み出しの場合	書き込みの場合
PKnMD1	PKnMD0			
0	0	その他の機能	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない
	1	出力	PKDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PKDR に書き込めるが、端子の状態に影響しない

【注】 n=0～7

28.12 ポート L

ポート L は図 28.11 に示すような端子構成を持つ入力ポートです。

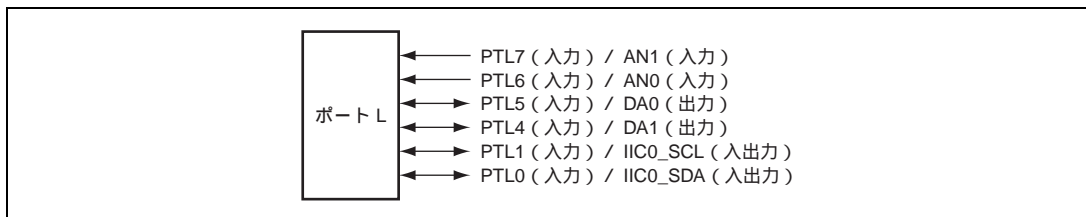


図 28.11 ポート L

28.12.1 ポート L データレジスタ (PLDR)

PLDR は、PTL7～PTL4、PTL1、PTL0 端子のデータを格納するレジスタです。PL7DT～PL4DT、PL1DT、PL0DT ビットは PTL7～PTL4、PTL1、PTL0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PLDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	—	—	PL1DT	PL0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	PL7DT	0	R	表 28.13 に PLDR の機能を示します。
6	PL6DT	0	R	
5	PL5DT	0	R	
4	PL4DT	0	R	
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PL1DT	0	R	表 28.13 に PLDR の機能を示します。
0	PL0DT	0	R	

表 28.13 ポート L データレジスタ (PLDR) の読み出し / 書き込み動作

- PL0DT、PL1DT、PL4DT ~ PL7DT

PLCR の状態		端子状態	読み出しの場合	書き込みの場合
PLnMD1	PLnMD0			
0	0	その他の機能	PLDR の値	PLDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力	端子の状態	PLDR に書き込めるが、端子の状態に影響しない
	1	-	-	-

【注】 n=0、1、4~7

28.13 ポート M

ポート M は図 28.12 に示すような端子構成を持つ入出力ポートです。PTM3 端子には入力プルアップ MOS があり、PFC のポート M コントロールレジスタ (PMCR) で制御します。

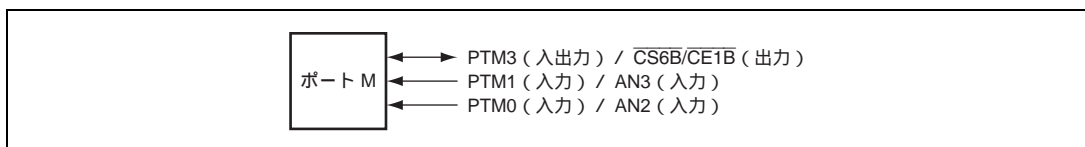


図 28.12 ポート M

28.13.1 ポート M データレジスタ (PMDR)

PMDR は、PTM3、PTM1、PTM0 端子のデータを格納するレジスタです。PM3DT、PM1DT、PM0DT ビットは PTM3、PTM1、PTM0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PMDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PM3DT	—	PM1DT	PM0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3	PM3DT	0	R/W	表 28.14 に PMDR の機能を示します。
2	-	0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	PM1DT	0	R	表 28.14 に PMDR の機能を示します。
0	PM0DT	0	R	

表 28.14 ポート M データレジスタ (PMDR) の読み出し / 書き込み動作

- PM3DT

PMCR の状態		端子状態	読み出しの場合	書き込みの場合
PMnMD1	PMnMD0			
0	0	その他の機能	PMDR の値	PMDR に書き込めるが、端子の状態に影響しない
	1	出力	PMDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PMDR に書き込めるが、端子の状態に影響しない

【注】 n=3

- PM0DT、PM1DT

PMCR の状態		端子状態	読み出しの場合	書き込みの場合
PMnMD1	PMnMD0			
0	0	その他の機能	PMDR の値	PMDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力	端子の状態	PMDR に書き込めるが、端子の状態に影響しない
	1	-	-	-

【注】 n=0, 1

28.14 ポート N

ポート N は図 28.13 に示すような端子構成を持つ入出力ポートです。PTN3 端子以外の端子には入力プルアップ MOS があり、PFC のポート N コントロールレジスタ (PNCR) で制御します。

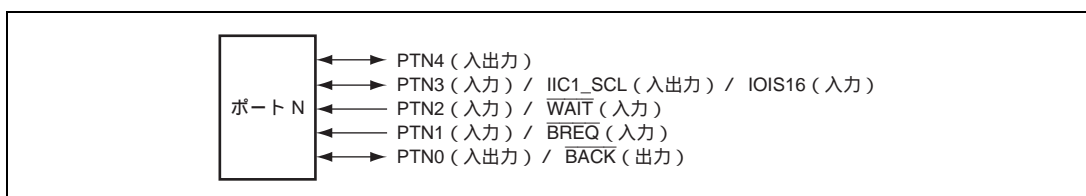


図 28.13 ポート N

28.14.1 ポート N データレジスタ (PNDR)

PNDR は、PTN4 ~ PTN0 端子のデータを格納するレジスタです。PN4DT ~ PN0DT ビットは PTN4 ~ PTN0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PNDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザ - ブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	PN4DT	0	R/W	表 28.15 に PNDR の機能を示します。
3	PN3DT	0	R	
2	PN2DT	0	R	
1	PN1DT	0	R	
0	PN0DT	0	R/W	

表 28.15 ポート N データレジスタ (PNDR) の読み出し / 書き込み動作

• PN0DT

PNCR の状態		端子状態	読み出しの場合	書き込みの場合
PNnMD1	PNnMD0			
0	0	その他の機能	PNDR の値	PNDR に書き込めるが、端子の状態に影響しない
	1	出力	PNDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない

【注】 n = 0

- PN1DT、PN2DT

PNCR の状態		端子状態	読み出しの場合	書き込みの場合
PNnMD1	PNnMD0			
0	0	その他の機能	PNDR の値	PNDR に書き込めるが、端子の状態に影響しない
	1			
1	0	入力 (プルアップ MOS オン)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない

【注】 n = 1, 2

- PN3DT

PNCR の状態		端子状態	読み出しの場合	書き込みの場合
PNnMD1	PNnMD0			
0	0	その他の機能	PNDR の値	PNDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力	端子の状態	PNDR に書き込めるが、端子の状態に影響しない
	1	-	-	-

【注】 n = 3

- PN4DT

PNCR の状態		端子状態	読み出しの場合	書き込みの場合
PNnMD1	PNnMD0			
0	0	-	-	-
	1	出力	PNDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PNDR に書き込めるが、端子の状態に影響しない

【注】 n = 4

28.15 ポート Q

ポート Q は図 28.14 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート Q コントロールレジスタ (PQCR) で制御します。

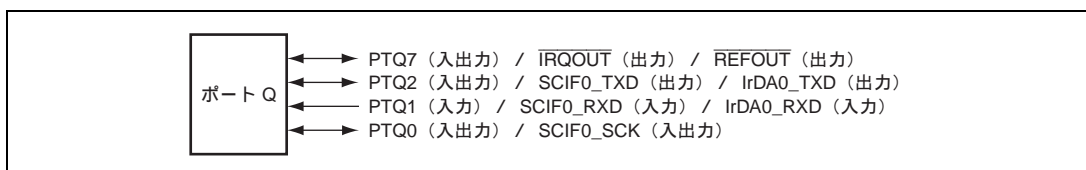


図 28.14 ポート Q

28.15.1 ポート Q データレジスタ (PQDR)

PQDR は、PTQ7、PTQ2 ~ PTQ0 端子のデータを格納するレジスタです。PQ7DT、PQ2DT ~ PQ0DT ビットは PTQ7、PTQ2 ~ PTQ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PQDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PQ7DT	—	—	—	—	PQ2DT	PQ1DT	PQ0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	PQ7DT	0	R/W	表 28.16 に PQDR の機能を示します。
6~3	-	すべて 0	R	リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
2	PQ2DT	0	R/W	表 28.16 に PQDR の機能を示します。
1	PQ1DT	0	R	
0	PQ0DT	0	R/W	

表 28.16 ポート Q データレジスタ (PQDR) の読み出し / 書き込み動作

- PQ0DT、PQ2DT、PQ7DT

PQCR の状態		端子状態	読み出しの場合	書き込みの場合
PQnMD1	PQnMD0			
0	0	その他の機能	PQDR の値	PQDR に書き込めるが、端子の状態に影響しない
	1	出力	PQDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PQDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PQDR に書き込めるが、端子の状態に影響しない

【注】 n=0、2、7

- PQ1DT

PQCR の状態		端子状態	読み出しの場合	書き込みの場合
PQnMD1	PQnMD0			
0	0	その他の機能	PQDR の値	PQDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PQDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PQDR に書き込めるが、端子の状態に影響しない

【注】 n=1

28.16 ポート R

ポート R は図 28.15 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート R コントロールレジスタ (PRCR) で制御します。

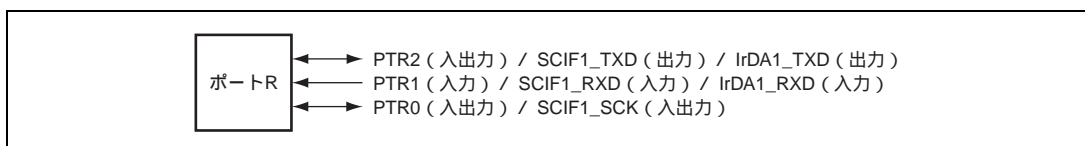


図 28.15 ポート R

28.16.1 ポート R データレジスタ (PRDR)

PRDR は、PTR2～PTR0 端子のデータを格納するレジスタです。PR2DT～PR0DT ビットは PTR2～PTR0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PRDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	PR2DT	PR1DT	PR0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザ - ブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
2	PR2DT	0	R/W	表 28.17 に PRDR の機能を示します。
1	PR1DT	0	R	
0	PR0DT	0	R/W	

表 28.17 ポート R データレジスタ (PRDR) の読み出し / 書き込み動作

• PR0DT、PR2DT

PRCR の状態		端子状態	読み出しの場合	書き込みの場合
PRnMD1	PRnMD0			
0	0	その他の機能	PRDR の値	PRDR に書き込めるが、端子の状態に影響しない
	1	出力	PRDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない

【注】 n=0, 2

• PR1DT

PRCR の状態		端子状態	読み出しの場合	書き込みの場合
PRnMD1	PRnMD0			
0	0	その他の機能	PRDR の値	PRDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PRDR に書き込めるが、端子の状態に影響しない

【注】 n=1

28.17 ポート S

ポート S は図 28.16 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート S コントロールレジスタ (PSCR) で制御します。

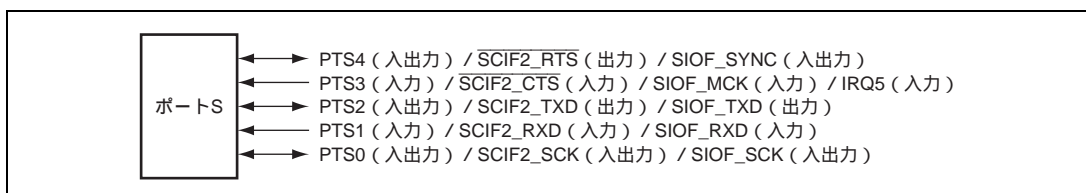


図 28.16 ポート S

28.17.1 ポート S データレジスタ (PSDR)

PSDR は、PTS4 ~ PTS0 端子のデータを格納するレジスタです。PS4DT ~ PS0DT ビットは PTS4 ~ PTS0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PSDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	PS4DT	PS3DT	PS2DT	PS1DT	PS0DT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザ - ブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	PS4DT	0	R/W	表 28.18 に PSDR の機能を示します。
3	PS3DT	0	R	
2	PS2DT	0	R/W	
1	PS1DT	0	R	
0	PS0DT	0	R/W	

表 28.18 ポート S データレジスタ (PSDR) の読み出し / 書き込み動作

- PS0DT、PS2DT、PS4DT

PSCR の状態		端子状態	読み出しの場合	書き込みの場合
PSnMD1	PSnMD0			
0	0	その他の機能	PSDR の値	PSDR に書き込めるが、端子の状態に影響しない
	1	出力	PSDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない

【注】 n=0、2、4

- PS1DT、PS3DT

PSCR の状態		端子状態	読み出しの場合	書き込みの場合
PSnMD1	PSnMD0			
0	0	その他の機能	PSDR の値	PSDR に書き込めるが、端子の状態に影響しない
	1	-	-	-
1	0	入力 (プルアップ MOS オン)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PSDR に書き込めるが、端子の状態に影響しない

【注】 n=1、3

28.18 ポート T

ポート T は図 28.17 に示すような端子構成を持つ入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート T コントロールレジスタ (PTCR) で制御します。

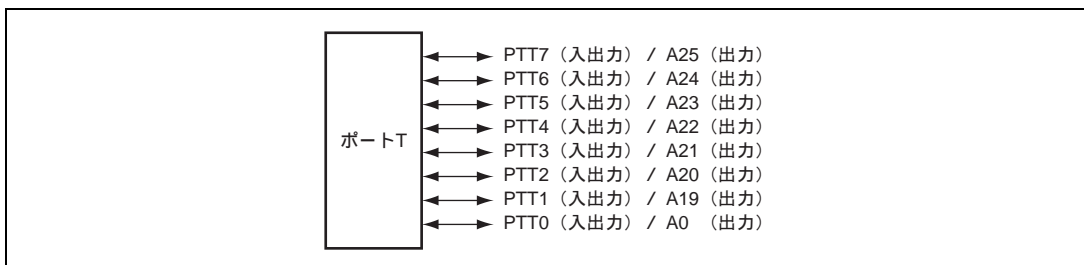


図 28.17 ポート T

28.18.1 ポート T データレジスタ (PTDR)

PTDR は、PTT7 ~ PTT0 端子のデータを格納するレジスタです。PT7DT ~ PT0DT ビットは PTT7 ~ PTT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PTDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。

ビット :	7	6	5	4	3	2	1	0
	PT7DT	PT6DT	PT5DT	PT4DT	PT3DT	PT2DT	PT1DT	PT0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PT7DT	0	R/W	表 28.19 に PTDR の機能を示します。
6	PT6DT	0	R/W	
5	PT5DT	0	R/W	
4	PT4DT	0	R/W	
3	PT3DT	0	R/W	
2	PT2DT	0	R/W	
1	PT1DT	0	R/W	
0	PT0DT	0	R/W	

表 28.19 ポート T データレジスタ (PTDR) の読み出し / 書き込み動作

• PT0DT ~ PT7DT

PTCR の状態		端子状態	読み出しの場合	書き込みの場合
PTnMD1	PTnMD0			
0	0	その他の機能	PTDR の値	PTDR に書き込めるが、端子の状態に影響しない
	1	出力	PTDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PTDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PTDR に書き込めるが、端子の状態に影響しない

【注】 n=0~7

29. ピンファンクションコントローラ (PFC)

29.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。表 29.1 に、本 LSI のマルチプレクス端子を示します。表中ハッチングの端子がリセット直後から使用できる端子機能です。ポート (機能 4) とその他の機能 (機能 1~3) は、ポートコントロールレジスタで選択します。機能 1~3 に 2 つ以上マルチプレクスしている端子の機能選択方法については、本章のピンセレクトレジスタ (PSELA~PSELC) を参照してください。

【注】 I/O バッファ Hi-Z 制御レジスタ A~F の設定は、ポートコントロールレジスタの設定よりも優先されます。

表 29.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	D23 入出力 (BSC)	-	-	PTA7 入出力 (ポート)
A	D22 入出力 (BSC)	-	-	PTA6 入出力 (ポート)
A	D21 入出力 (BSC)	-	-	PTA5 入出力 (ポート)
A	D20 入出力 (BSC)	-	-	PTA4 入出力 (ポート)
A	D19 入出力 (BSC)	-	-	PTA3 入出力 (ポート)
A	D18 入出力 (BSC)	-	-	PTA2 入出力 (ポート)
A	D17 入出力 (BSC)	-	-	PTA1 入出力 (ポート)
A	D16 入出力 (BSC)	-	-	PTA0 入出力 (ポート)
B	D31 入出力 (BSC)	-	-	PTB7 入出力 (ポート)
B	D30 入出力 (BSC)	-	-	PTB6 入出力 (ポート)
B	D29 入出力 (BSC)	-	-	PTB5 入出力 (ポート)
B	D28 入出力 (BSC)	-	-	PTB4 入出力 (ポート)
B	D27 入出力 (BSC)	-	-	PTB3 入出力 (ポート)
B	D26 入出力 (BSC)	-	-	PTB2 入出力 (ポート)
B	D25 入出力 (BSC)	-	-	PTB1 入出力 (ポート)
B	D24 入出力 (BSC)	-	-	PTB0 入出力 (ポート)
C	SCIF5_RTS 出力 (SCIF5)	-	PINTA7 入力 (INTC)	PTC7 入出力 (ポート)
C	SCIF5_CTS 入力 (SCIF5)	-	PINTA6 入力 (INTC)	PTC6 入出力 (ポート)
C	SCIF4_RTS 出力 (SCIF4)	-	PINTA5 入力 (INTC)	PTC5 入出力 (ポート)
C	SCIF4_CTS 入力 (SCIF4)	-	PINTA4 入力 (INTC)	PTC4 入出力 (ポート)
C	-	-	PINTA3 入力 (INTC)	PTC3 入出力 (ポート)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	SCIF3_RTS 出力 (SCIF3)	SIM_RST 出力 (SIM)	PINTA2 入力 (INTC)	PTC2 入力 (ポート)
C	SCIF3_CTS 入力 (SCIF3)	-	PINTA1 入力 (INTC)	PTC1 入力 (ポート)
C	SCIF3_SCK 入出力 (SCIF3)	SIM_SCK 出力 (SIM)	PINTA0 入力 (INTC)	PTC0 入力 (ポート)
D	DACK1 出力 (DMAC)	-	-	PTD7 入力 (ポート)
D	DREQ1 入力 (DMAC)	-	-	PTD6 入力 (ポート)
D	DACK0 出力 (DMAC)	-	-	PTD5 入力 (ポート)
D	DREQ0 入力 (DMAC)	-	-	PTD4 入力 (ポート)
D	SCIF3_TXD 出力 (SCIF3)	SIM_D 入出力 (SIM)		PTD3 入力 (ポート)
D	RESETOUT 出力 (CPG)	-	-	PTD2 入力 (ポート)
D	SCIF5_TXD 出力 (SCIF5)	-	-	PTD1 入力 (ポート)
D	SCIF4_TXD 出力 (SCIF4)	-	-	PTD0 入力 (ポート)
E	SCIF3_RXD 入力 (SCIF3)	-	-	PTE7 入力 (ポート)
E	SCIF4_RXD 入力 (SCIF4)	-	-	PTE6 入力 (ポート)
E	CS6A/CE2B 出力 (BSC)	-	-	PTE5 入力 (ポート)
E	CS5A/CE2A 出力 (BSC)	-	-	PTE4 入力 (ポート)
E	SCIF5_RXD 入力 (SCIF5)	-	-	PTE3 入力 (ポート)
E	SCIF4_SCK 入出力 (SCIF4)	-	-	PTE2 入力 (ポート)
E	SCIF5_SCK 入出力 (SCIF5)	-	-	PTE1 入力 (ポート)
F	TPU0_TO3 出力 (TPU)	-	PINTB3 入力 (INTC)	PTF3 入力 (ポート)
F	TPU0_TO2 出力 (TPU)	-	PINTB2 入力 (INTC)	PTF2 入力 (ポート)
F	TPU0_TO1 出力 (TPU)	-	PINTB1 入力 (INTC)	PTF1 入力 (ポート)
F	TPU0_TO0 出力 (TPU)	-	PINTB0 入力 (INTC)	PTF0 入力 (ポート)
G	AUDCK 出力 (AUD)	-	-	PTG5 入力 (ポート)
G	AUDSYNC 出力 (AUD)	-	-	PTG4 入力 (ポート)
G	AUDATA3 出力 (AUD)	-	-	PTG3 入力 (ポート)
G	AUDATA2 出力 (AUD)	-	-	PTG2 入力 (ポート)
G	AUDATA1 出力 (AUD)	-	-	PTG1 入力 (ポート)
G	AUDATA0 出力 (AUD)	-	-	PTG0 入力 (ポート)
H	TPU1_TO0 出力 (TPU)	-	-	PTH7 入力 (ポート)
H	-	-	-	PTH6 入力 (ポート)
H	IIC1_SDA 入出力 (IIC1)	ADTRG 入力 (ADC)	-	PTH5 入力 (ポート)
H	IRQ4 入力 (INTC)	-	-	PTH4 入力 (ポート)
H	IRQ3/IRL3 入力 (INTC)	-	-	PTH3 入力 (ポート)
H	IRQ2/IRL2 入力 (INTC)	-	-	PTH2 入力 (ポート)
H	IRQ1/IRL1 入力 (INTC)	-	-	PTH1 入力 (ポート)
H	IRQ0/IRL0 入力 (INTC)	-	-	PTH0 入力 (ポート)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4(関連モジュール)
J	TPU1_TO1 出力 (TPU)	-	-	PTJ7 入出力 (ポート)
J	STATUS0 出力 (CPG)	-	-	PTJ6 入出力 (ポート)
J	IRQ7 入力 (INTC)	-	-	PTJ5 入力 (ポート)
J	IRQ6 入力 (INTC)	-	-	PTJ4 入力 (ポート)
J	TEND0 出力 (DMAC)	-	-	PTJ3 入出力 (ポート)
J	\overline{CAS} 出力 (BSC)	-	-	PTJ2 入出力 (ポート)
J	TEND1 出力 (DMAC)	-	-	PTJ1 入出力 (ポート)
J	\overline{RAS} 出力 (BSC)	-	-	PTJ0 入出力 (ポート)
K	$\overline{WE3/DQM0U}/\overline{ICIOWR}$ 出力 (BSC)	-	-	PTK7 入出力 (ポート)
K	$\overline{WE2/DQM0L}/\overline{ICIORD}$ 出力 (BSC)	-	-	PTK6 入出力 (ポート)
K	CKE 出力 (BSC)	-	-	PTK5 入出力 (ポート)
K	\overline{BS} 出力 (BSC)	-	-	PTK4 入出力 (ポート)
K	$\overline{CS5B}/\overline{CE1A}$ 出力 (BSC)	-	-	PTK3 入出力 (ポート)
K	$\overline{CS4}$ 出力 (BSC)	-	-	PTK2 入出力 (ポート)
K	$\overline{CS3}$ 出力 (BSC)	-	-	PTK1 入出力 (ポート)
K	$\overline{CS2}$ 出力 (BSC)	-	-	PTK0 入出力 (ポート)
L	AN1 入力 (ADC)	-	-	PTL7 入力 (ポート)
L	AN0 入力 (ADC)	-	-	PTL6 入力 (ポート)
L	DA0 出力 (DAC)	-	-	PTL5 入力 (ポート)
L	DA1 出力 (DAC)	-	-	PTL4 入力 (ポート)
L	IIC0_SCL 入出力 (IIC0)	-	-	PTL1 入力 (ポート)
L	IIC0_SDA 入出力 (IIC0)	-	-	PTL0 入力 (ポート)
M	$\overline{CS6B}/\overline{CE1B}$ 出力 (BSC)	-	-	PTM3 入出力 (ポート)
M	AN3 入力 (ADC)	-	-	PTM1 入力 (ポート)
M	AN2 入力 (ADC)	-	-	PTM0 入力 (ポート)
N	-	-	-	PTN4 入出力 (ポート)
N	IIC1_SCL 入出力 (IIC0)	$\overline{IOIS16}$ 入力 (BSC)	-	PTN3 入力 (ポート)
N	\overline{WAIT} 入力 (BSC)	-	-	PTN2 入力 (ポート)
N	\overline{BREQ} 入力 (BSC)	-	-	PTN1 入力 (ポート)
N	\overline{BACK} 出力 (BSC)	-	-	PTN0 入出力 (ポート)
Q	\overline{IRQOUT} 出力 (INTC)	\overline{REFOUT} 出力 (BSC)	-	PTQ7 入出力 (ポート)
Q	SCIF0_TXD 出力 (SCIF0)	IrDA0_TXD 出力 (IrDA0)	-	PTQ2 入出力 (ポート)
Q	SCIF0_RXD 入力 (SCIF0)	IrDA0_RXD 入力 (IrDA0)	-	PTQ1 入力 (ポート)
Q	SCIF0_SCK 入出力 (SCIF0)	-	-	PTQ0 入出力 (ポート)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
R	SCIF1_TXD 出力 (SCIF1)	IrDA1_TXD 出力 (IrDA1)	-	PTR2 入出力 (ポート)
R	SCIF1_RXD 入力 (SCIF1)	IrDA1_RXD 入力 (IrDA1)	-	PTR1 入力 (ポート)
R	SCIF1_SCK 入出力 (SCIF1)	-	-	PTR0 入出力 (ポート)
S	SCIF2_RTS 出力 (SCIF2)	SIOF_SYNC 出力 (SIOF)	-	PTS4 入出力 (ポート)
S	SCIF2_CTS 入力 (SCIF2)	SIOF_MCK 入力 (SIOF)	IRQ5 入力 (INTC)	PTS3 入力 (ポート)
S	SCIF2_TXD 出力 (SCIF2)	SIOF_TXD 出力 (SIOF)	-	PTS2 入出力 (ポート)
S	SCIF2_RXD 入力 (SCIF2)	SIOF_RXD 出力 (SIOF)	-	PTS1 入力 (ポート)
S	SCIF2_SCK 入出力 (SCIF2)	SIOF_SCK 入出力 (SIOF)	-	PTS0 入出力 (ポート)
T	A25 出力 (BSC)	-	-	PTT7 入出力 (ポート)
T	A24 出力 (BSC)	-	-	PTT6 入出力 (ポート)
T	A23 出力 (BSC)	-	-	PTT5 入出力 (ポート)
T	A22 出力 (BSC)	-	-	PTT4 入出力 (ポート)
T	A21 出力 (BSC)	-	-	PTT3 入出力 (ポート)
T	A20 出力 (BSC)	-	-	PTT2 入出力 (ポート)
T	A19 出力 (BSC)	-	-	PTT1 入出力 (ポート)
T	A0 出力 (BSC)	-	-	PTT0 入出力 (ポート)

【注】 ハッチングの端子がリセット直後から使用できる端子機能です。

29.2 レジスタの説明

PFC のレジスタ構成を表 29.2 に示します。また、各処理モードにおけるレジスタの状態を表 29.3 に示します。

表 29.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
ポート A コントロールレジスタ	PACR	R/W	H'A4050000	16
ポート B コントロールレジスタ	PBCR	R/W	H'A4050002	16
ポート C コントロールレジスタ	PCCR	R/W	H'A4050004	16
ポート D コントロールレジスタ	PDCR	R/W	H'A4050006	16
ポート E コントロールレジスタ	PECR	R/W	H'A4050008	16
ポート F コントロールレジスタ	PFCR	R/W	H'A405000A	16
ポート G コントロールレジスタ	PGCR	R/W	H'A405000C	16
ポート H コントロールレジスタ	PHCR	R/W	H'A405000E	16
ポート J コントロールレジスタ	PJCR	R/W	H'A4050010	16
ポート K コントロールレジスタ	PKCR	R/W	H'A4050012	16
ポート L コントロールレジスタ	PLCR	R/W	H'A4050014	16
ポート M コントロールレジスタ	PMCR	R/W	H'A4050016	16
ポート N コントロールレジスタ	PNCR	R/W	H'A4050018	16
ポート Q コントロールレジスタ	PQCR	R/W	H'A405001A	16
ポート R コントロールレジスタ	PRCR	R/W	H'A405001C	16
ポート S コントロールレジスタ	PSCR	R/W	H'A405001E	16
ポート T コントロールレジスタ	PTCR	R/W	H'A4050020	16
ピンセレクトレジスタ A	PSELA	R/W	H'A4050100	16
ピンセレクトレジスタ B	PSELB	R/W	H'A4050102	16
ピンセレクトレジスタ C	PSELC	R/W	H'A4050104	16
I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	R/W	H'A4050120	16
I/O バッファ Hi-Z 制御レジスタ B	HIZCRB	R/W	H'A4050122	16
I/O バッファ Hi-Z 制御レジスタ C	HIZCRC	R/W	H'A4050124	16
I/O バッファ Hi-Z 制御レジスタ D	HIZCRD	R/W	H'A4050126	16
I/O バッファ Hi-Z 制御レジスタ E	HIZCRE	R/W	H'A4050128	16
I/O バッファ Hi-Z 制御レジスタ F	HIZCRF	R/W	H'A405012A	16
ブルアップダウン制御レジスタ	PULCR	R/W	H'A405015E	16
PINT 制御レジスタ A	PINTCRA	R/W	H'A4050040	16
PINT 制御レジスタ B	PINTCRB	R/W	H'A4050042	16

表 29.3 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
PACR	初期化	保持	-	保持
PBCR	初期化	保持	-	保持
PCCR	初期化	保持	-	保持
PDCR	初期化	保持	-	保持
PECR	初期化	保持	-	保持
PFCR	初期化	保持	-	保持
PGCR	初期化	保持	-	保持
PHCR	初期化	保持	-	保持
PJCR	初期化	保持	-	保持
PKCR	初期化	保持	-	保持
PLCR	初期化	保持	-	保持
PMCR	初期化	保持	-	保持
PNCR	初期化	保持	-	保持
PQCR	初期化	保持	-	保持
PRCR	初期化	保持	-	保持
PSCR	初期化	保持	-	保持
PTCR	初期化	保持	-	保持
PSELA	初期化	保持	-	保持
PSELB	初期化	保持	-	保持
PSELC	初期化	保持	-	保持
HIZCRA	初期化	保持	-	保持
HIZCRB	初期化	保持	-	保持
HIZCRC	初期化	保持	-	保持
HIZCRD	初期化	保持	-	保持
HIZCRE	初期化	保持	-	保持
HIZCRF	初期化	保持	-	保持
PULCR	初期化	保持	-	保持
PINTCRA	初期化	保持	-	保持
PINTCRB	初期化	保持	-	保持

29.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7MD[1:0]	PA6MD[1:0]	PA5MD[1:0]	PA4MD[1:0]	PA3MD[1:0]	PA2MD[1:0]	PA1MD[1:0]	PA0MD[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PA7MD[1:0]	00	R/W	PA7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PA6MD[1:0]	00	R/W	PA6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PA5MD[1:0]	00	R/W	PA5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PA4MD[1:0]	00	R/W	PA4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PA3MD[1:0]	00	R/W	PA3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PA2MD[1:0]	00	R/W	PA2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3, 2	PA1MD[1:0]	00	R/W	PA1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
1, 0	PA0MD[1:0]	00	R/W	PA0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

29.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[1:0]		PB6MD[1:0]		PB5MD[1:0]		PB4MD[1:0]		PB3MD[1:0]		PB2MD[1:0]		PB1MD[1:0]		PB0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PB7MD[1:0]	00	R/W	PB7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
13, 12	PB6MD[1:0]	00	R/W	PB6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
11, 10	PB5MD[1:0]	00	R/W	PB5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
9、8	PB4MD[1:0]	00	R/W	PB4 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
7、6	PB3MD[1:0]	00	R/W	PB3 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
5、4	PB2MD[1:0]	00	R/W	PB2 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
3、2	PB1MD[1:0]	00	R/W	PB1 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
1、0	PB0MD[1:0]	00	R/W	PB0 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）

29.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ / プルダウン MOS 制御を選択します (プルアップ / プルダウン MOS の選択は、PINTCRA レジスタの設定によります)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[1:0]	PC6MD[1:0]	PC5MD[1:0]	PC4MD[1:0]	PC3MD[1:0]	PC2MD[1:0]	PC1MD[1:0]	PC0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PC7MD[1:0]	10	R/W	PC7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)
13, 12	PC6MD[1:0]	10	R/W	PC6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)
11, 10	PC5MD[1:0]	10	R/W	PC5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)
9, 8	PC4MD[1:0]	10	R/W	PC4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)
7, 6	PC3MD[1:0]	10	R/W	PC3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)
5, 4	PC2MD[1:0]	10	R/W	PC2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS : オン) 11: ポート入力 (プルアップ / プルダウン MOS : オフ)

ビット	ビット名	初期値	R/W	説明
3, 2	PC1MD[1:0]	10	R/W	PC1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ/プルダウン MOS: オン) 11: ポート入力 (プルアップ/プルダウン MOS: オフ)
1, 0	PC0MD[1:0]	10	R/W	PC0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ/プルダウン MOS: オン) 11: ポート入力 (プルアップ/プルダウン MOS: オフ)

29.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7MD[1:0]		PD6MD[1:0]		PD5MD[1:0]		PD4MD[1:0]		PD3MD[1:0]		PD2MD[1:0]		PD1MD[1:0]		PD0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	0	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PD7MD[1:0]	10	R/W	PD7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13, 12	PD6MD[1:0]	10	R/W	PD6 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11, 10	PD5MD[1:0]	10	R/W	PD5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
9、8	PD4MD[1:0]	10	R/W	PD4 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（ブルアップ MOS：オン） 11：ポート入力（ブルアップ MOS：オフ）
7、6	PD3MD[1:0]	10	R/W	PD3 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（ブルアップ MOS：オン） 11：ポート入力（ブルアップ MOS：オフ）
5、4	PD2MD[1:0]	00	R/W	PD2 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（ブルアップ MOS：オン） 11：ポート入力（ブルアップ MOS：オフ）
3、2	PD1MD[1:0]	10	R/W	PD1 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（ブルアップ MOS：オン） 11：ポート入力（ブルアップ MOS：オフ）
1、0	PD0MD[1:0]	10	R/W	PD0 モード 00：その他の機能（表 29.1 参照） 01：ポート出力 10：ポート入力（ブルアップ MOS：オン） 11：ポート入力（ブルアップ MOS：オフ）

29.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7MD[1:0]	PE6MD[1:0]	PE5MD[1:0]	PE4MD[1:0]	PE3MD[1:0]	PE2MD[1:0]	PE1MD[1:0]	—	—							
初期値:	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	PE7MD[1:0]	10	R/W	PE7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
13, 12	PE6MD[1:0]	10	R/W	PE6 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
11, 10	PE5MD[1:0]	00	R/W	PE5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
9, 8	PE4MD[1:0]	00	R/W	PE4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
7, 6	PE3MD[1:0]	10	R/W	PE3 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
5, 4	PE2MD[1:0]	10	R/W	PE2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3, 2	PE1MD[1:0]	10	R/W	PE1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

29.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ / 入力プルダウン MOS 制御を選択します (プルアップ / プルダウン MOS の選択は、PINTCRB レジスタの設定によります)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PF3MD[1:0]	PF2MD[1:0]	PF1MD[1:0]	PF0MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7, 6	PF3MD[1:0]	10	R/W	PF3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS: オン) 11: ポート入力 (プルアップ / プルダウン MOS: オフ)
5, 4	PF2MD[1:0]	10	R/W	PF2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS: オン) 11: ポート入力 (プルアップ / プルダウン MOS: オフ)
3, 2	PF1MD[1:0]	10	R/W	PF1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ / プルダウン MOS: オン) 11: ポート入力 (プルアップ / プルダウン MOS: オフ)

ビット	ビット名	初期値	R/W	説明
1, 0	PF0MD[1:0]	10	R/W	PF0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ/プルダウン MOS: オン) 11: ポート入力 (プルアップ/プルダウン MOS: オフ)

29.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PG5MD[1:0]	PG4MD[1:0]	PG3MD[1:0]	PG2MD[1:0]	PG1MD[1:0]	PG0MD[1:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11, 10	PG5MD[1:0]	00	R/W	PG5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9, 8	PG4MD[1:0]	00	R/W	PG4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7, 6	PG3MD[1:0]	00	R/W	PG3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5, 4	PG2MD[1:0]	00	R/W	PG2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3, 2	PG1MD[1:0]	00	R/W	PG1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
1, 0	PG0MD[1:0]	00	R/W	PG0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)

29.2.8 ポート H コントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7MD[1:0]		PH6MD[1:0]		PH5MD[1:0]		PH4MD[1:0]		PH3MD[1:0]		PH2MD[1:0]		PH1MD[1:0]		PH0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PH7MD[1:0]	10	R/W	PH7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
13, 12	PH6MD[1:0]	10	R/W	PH6 モード 00: 設定禁止 01: 設定禁止 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
11, 10	PH5MD[1:0]	10	R/W	PH5 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
9、8	PH4MD[1:0]	10	R/W	PH4 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
7、6	PH3MD[1:0]	10	R/W	PH3 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
5、4	PH2MD[1:0]	10	R/W	PH2 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
3、2	PH1MD[1:0]	10	R/W	PH1 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）
1、0	PH0MD[1:0]	10	R/W	PH0 モード 00：その他の機能（表 29.1 参照） 01：設定禁止 10：ポート入力（プルアップ MOS：オン） 11：ポート入力（プルアップ MOS：オフ）

29.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7MD[1:0]	PJ6MD[1:0]	PJ5MD[1:0]	PJ4MD[1:0]	PJ3MD[1:0]	PJ2MD[1:0]	PJ1MD[1:0]	PJ0MD[1:0]								
初期値:	1	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PJ7MD[1:0]	10	R/W	PJ7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13, 12	PJ6MD[1:0]	00	R/W	PJ6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11, 10	PJ5MD[1:0]	10	R/W	PJ5 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9, 8	PJ4MD[1:0]	10	R/W	PJ4 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7, 6	PJ3MD[1:0]	10	R/W	PJ3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5, 4	PJ2MD[1:0]	00	R/W	PJ2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3, 2	PJ1MD[1:0]	10	R/W	PJ1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1, 0	PJ0MD[1:0]	00	R/W	PJ0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.10 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7MD[1:0]		PK6MD[1:0]		PK5MD[1:0]		PK4MD[1:0]		PK3MD[1:0]		PK2MD[1:0]		PK1MD[1:0]		PK0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PK7MD[1:0]	00	R/W	PK7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13, 12	PK6MD[1:0]	00	R/W	PK6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11, 10	PK5MD[1:0]	00	R/W	PK5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
9、8	PK4MD[1:0]	00	R/W	PK4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PK3MD[1:0]	00	R/W	PK3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PK2MD[1:0]	00	R/W	PK2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3、2	PK1MD[1:0]	00	R/W	PK1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1、0	PK0MD[1:0]	00	R/W	PK0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.11 ポート L コントロールレジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PL7MD[1:0]		PL6MD[1:0]		PL5MD[1:0]		PL4MD[1:0]		—	—	—	—	PL1MD[1:0]		PL0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PL7MD[1:0]	00	R/W	PL7 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
13、12	PL6MD[1:0]	00	R/W	PL6 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
11、10	PL5MD[1:0]	00	R/W	PL5 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
9、8	PL4MD[1:0]	00	R/W	PL4 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3、2	PL1MD[1:0]	10	R/W	PL1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
1、0	PL0MD[1:0]	10	R/W	PL0 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止

29.2.12 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プリアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PM3MD[1:0]	—	—	PM1MD[1:0]	PM0MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7, 6	PM3MD[1:0]	00	R/W	PM3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プリアップ MOS: オン) 11: ポート入力 (プリアップ MOS: オフ)
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3, 2	PM1MD[1:0]	00	R/W	PM1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
1, 0	PM0MD[1:0]	00	R/W	PM0 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止

29.2.13 ポート N コントロールレジスタ (PNCR)

PNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	PN4MD[1:0]	PN3MD[1:0]	PN2MD[1:0]	PN1MD[1:0]	PN0MD[1:0]						
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PN4MD[1:0]	10	R/W	PN4 モード 00: 設定禁止 01: ポート出力 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
7, 6	PN3MD[1:0]	10	R/W	PN3 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 11: 設定禁止
5, 4	PN2MD[1:0]	00	R/W	PN2 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
3, 2	PN1MD[1:0]	00	R/W	PN1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)
1, 0	PN0MD[1:0]	00	R/W	PN0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS : オン) 11: ポート入力 (プルアップ MOS : オフ)

29.2.14 ポート Q コントロールレジスタ (PQCR)

PQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PQ7MD[1:0]	—	—	—	—	—	—	—	—	—	PQ2MD[1:0]	PQ1MD[1:0]	PQ0MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PQ7MD[1:0]	00	R/W	PQ7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5, 4	PQ2MD[1:0]	10	R/W	PQ2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3, 2	PQ1MD[1:0]	10	R/W	PQ1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1, 0	PQ0MD[1:0]	10	R/W	PQ0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.15 ポート R コントロールレジスタ (PRCR)

PRCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PR2MD[1:0]	PR1MD[1:0]	PR0MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5, 4	PR2MD[1:0]	10	R/W	PR2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3, 2	PR1MD[1:0]	10	R/W	PR1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1, 0	PROMD[1:0]	10	R/W	PR0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.16 ポート S コントロールレジスタ (PSCR)

PSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PS4MD[1:0]	PS3MD[1:0]	PS2MD[1:0]	PS1MD[1:0]	PS0MD[1:0]					
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9, 8	PS4MD[1:0]	10	R/W	PS4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7, 6	PS3MD[1:0]	10	R/W	PS3 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5, 4	PS2MD[1:0]	10	R/W	PS2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3, 2	PS1MD[1:0]	10	R/W	PS1 モード 00: その他の機能 (表 29.1 参照) 01: 設定禁止 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1, 0	PS0MD[1:0]	10	R/W	PS0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.17 ポート T コントロールレジスタ (PTCR)

PSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PT7MD[1:0]	PT6MD[1:0]	PT5MD[1:0]	PT4MD[1:0]	PT3MD[1:0]	PT2MD[1:0]	PT1MD[1:0]	PT0MD[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PT7MD[1:0]	00	R/W	PT7 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PT6MD[1:0]	00	R/W	PT6 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PT5MD[1:0]	00	R/W	PT5 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PT4MD[1:0]	00	R/W	PT4 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PT3MD[1:0]	00	R/W	PT3 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PT2MD[1:0]	00	R/W	PT2 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3、2	PT1MD[1:0]	00	R/W	PT1 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1、0	PT0MD[1:0]	00	R/W	PT0 モード 00: その他の機能 (表 29.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

29.2.18 ピンセレクトレジスタ A (PSELA)

PESELA は、読み出し / 書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSELA の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

設定例: PTC2/SCIF3_RTS/SIM_RST/PINTA2 端子において、SIM_RST 機能を使用する場合

PSELA.PSA[3:2]ビットに10書き込み

ポートCコントロールレジスタ (PCCR) の (PC2MD[1:0]) ビットをB'00 (その他の機能) に設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSA[15:14]	—	—	PSA11	PSA10	PSA9	PSA8	PSA7	PSA6	PSA5	PSA4	PSA[3:2]	PSA1	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15、14	PSA[15:14]	00	R/W	IRQOUT/REFOUT の選択 00: $\overline{\text{IRQOUT}}$ を選択 01: $\overline{\text{REFOUT}}$ を選択 10: $\overline{\text{IRQOUT}}$ と $\overline{\text{REFOUT}}$ の論理和を選択 11: $\overline{\text{IRQOUT}}$ と $\overline{\text{REFOUT}}$ の論理和を選択
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11	PSA11	0	R/W	TPU0_TO3/PINTB3 の選択 0: TPU0_TO3 を選択 1: PINTB3 を選択

ビット	ビット名	初期値	R/W	説 明
10	PSA10	0	R/W	TPU0_TO2/PINTB2 の選択 0 : TPU0_TO2 を選択 1 : PINTB2 を選択
9	PSA9	0	R/W	TPU0_TO1/PINTB1 の選択 0 : TPU0_TO1 を選択 1 : PINTB1 を選択
8	PSA8	0	R/W	TPU0_TO0/PINTB0 の選択 0 : TPU0_TO0 を選択 1 : PINTB0 を選択
7	PSA7	0	R/W	SCIF5_RTS/PINTA7 の選択 0 : SCIF5_RTS を選択 1 : PINTA7 を選択
6	PSA6	0	R/W	SCIF5_CTS/PINTA6 の選択 0 : SCIF5_CTS を選択 1 : PINTA6 を選択
5	PSA5	0	R/W	SCIF4_RTS/PINTA5 の選択 0 : SCIF4_RTS を選択 1 : PINTA5 を選択
4	PSA4	0	R/W	SCIF4_CTS/PINTA4 の選択 0 : SCIF4_CTS を選択 1 : PINTA4 を選択
3、2	PSA[3:2]	00	R/W	SCIF3_RTS/SIM_RST/PINTA2 の選択 00 : SCIF3_RTS を選択 01 : PINTA2 を選択 10 : SIM_RST を選択 11 : 設定禁止
1	PSA1	0	R/W	SCIF3_CTS/PINTA1 の選択 0 : SCIF3_CTS を選択 1 : PINTA1 を選択
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

29.2.19 ピンセレクトレジスタ B (PSELB)

PESELB は、読み出し/書き込み可能な 16 ビットのレジスタで、「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。

2 つ以上の「その他の機能」をマルチプレクスしている端子において、一方の「その他の機能」を使用する場合は PSELB の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSB[15:14]	PSB13	PSB12	PSB11	PSB10	PSB9	PSB8	PSB7	PSB6	PSB[5:4]	PSB3	PSB2	PSB1	—		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15, 14	PSB[15:14]	00	R/W	SCIF3_SCK/SIM_SCK/PINTA0 の選択 00: SCIF3_SCK を選択 01: PINTA0 を選択 10: SIM_SCK を選択 11: 設定禁止
13	PSB13	0	R/W	SCIF3_TXD/SIM_D の選択 0: SCIF3_TXD を選択 1: SIM_D を選択
12	PSB12	0	R/W	IIC1_SCL/I \bar{O} IS16 の選択 0: IIC1_SCL を選択 1: I \bar{O} IS16 を選択
11	PSB11	0	R/W	IIC1_SDA/ADTRG の選択 0: IIC1_SDA を選択 1: ADTRG を選択
10	PSB10	0	R/W	SCIF1_TXD/IrDA1_TXD の選択 0: SCIF1_TXD を選択 1: IrDA1_TXD を選択
9	PSB9	0	R/W	SCIF1_RXD/IrDA1_RXD の選択 0: SCIF1_RXD を選択 1: IrDA1_RXD を選択
8	PSB8	0	R/W	SCIF0_TXD/IrDA0_TXD の選択 0: SCIF0_TXD を選択 1: IrDA0_TXD を選択
7	PSB7	0	R/W	SCIF0_RXD/IrDA0_RXD の選択 0: SCIF0_RXD を選択 1: IrDA0_RXD を選択

ビット	ビット名	初期値	R/W	説明
6	PSB6	0	R/W	SCIF2_RTS/SIOF_SYNC の選択 0 : SCIF2_RTS を選択 1 : SIOF_SYNC を選択
5、4	PSB[5:4]	00	R/W	SCIF2_CTS/SIOF_MCLK/IRQ5 の選択 00 : SCIF2_CTS を選択 01 : IRQ5 を選択 10 : SIOF_MCLK を選択 11 : 設定禁止
3	PSB3	0	R/W	SCIF2_TXD/SIOF_TXD の選択 0 : SCIF2_TXD を選択 1 : SIOF_TXD を選択
2	PSB2	0	R/W	SCIF2_RXD/SIOF_RXD の選択 0 : SCIF2_RXD を選択 1 : SIOF_RXD を選択
1	PSB1	0	R/W	SCIF2_SCK/SIOF_SCK の選択 0 : SCIF2_SCK を選択 1 : SIOF_SCK を選択
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

29.2.20 ピンセレクトレジスタ C (PSEL C)

PESEL C は、読み出し/書き込み可能な 16 ビットのレジスタで、PINTA7 ~ PINTA0、PINTB3 ~ PINTB0 機能の極性を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PSC11	PSC10	PSC9	PSC8	PSC7	PSC6	PSC5	PSC4	PSC3	PSC2	PSC1	PSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11	PSC11	0	R/W	PINTB3 機能の入力極性の選択 0 : 端子がハイレベルのときに割り込みを受け付けます。 1 : 端子がローレベルのときに割り込みを受け付けます。
10	PSC10	0	R/W	PINTB2 機能の入力極性の選択 0 : 端子がハイレベルのときに割り込みを受け付けます。 1 : 端子がローレベルのときに割り込みを受け付けます。

ビット	ビット名	初期値	R/W	説明
9	PSC9	0	R/W	PINTB1 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
8	PSC8	0	R/W	PINTB0 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
7	PSC7	0	R/W	PINTA7 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
6	PSC6	0	R/W	PINTA6 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
5	PSC5	0	R/W	PINTA5 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
4	PSC4	0	R/W	PINTA4 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
3	PSC3	0	R/W	PINTA3 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
2	PSC2	0	R/W	PINTA2 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
1	PSC1	0	R/W	PINTA1 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。
0	PSC0	0	R/W	PINTA0 機能の入力極性の選択 0: 端子がハイレベルのときに割り込みを受け付けます。 1: 端子がローレベルのときに割り込みを受け付けます。

29.2.21 I/O バッファ Hi-Z 制御レジスタ A (HIZCRA)

HIZCRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZA15	HIZA14	HIZA13	HIZA12	HIZA11	HIZA10	HIZA9	HIZA8	HIZA7	HIZA6	HIZA5	HIZA4	HIZA3	HIZA2	HIZA1	HIZA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HIZA15	0	R/W	CKE 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
14	HIZA14	0	R/W	RDWR 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
13	HIZA13	0	R/W	WE3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
12	HIZA12	0	R/W	WE2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
11	HIZA11	0	R/W	WE1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
10	HIZA10	0	R/W	WE0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
9	HIZA9	0	R/W	RD 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
8	HIZA8	0	R/W	BS 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
7	HIZA7	0	R/W	CS6A 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
6	HIZA6	0	R/W	CS5A 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
5	HIZA5	0	R/W	CS6B 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
4	HIZA4	0	R/W	CS5B 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
3	HIZA3	0	R/W	CS4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
2	HIZA2	0	R/W	CS3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
1	HIZA1	0	R/W	CS2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZA0	0	R/W	CS0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.22 I/O バッファ Hi-Z 制御レジスタ B (HIZCRB)

HIZCRB は、読み出し/書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	HIZB6	HIZB5	HIZB4	HIZB3	HIZB2	HIZB1	HIZB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	HIZB6	0	R/W	D31 ~ D16 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
5	HIZB5	0	R/W	A25 ~ A19 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
4	HIZB4	0	R/W	A0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
3	HIZB3	0	R/W	BREQ 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
2	HIZB2	0	R/W	BACK 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
1	HIZB1	0	R/W	CAS 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZB0	0	R/W	RAS 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.23 I/O バッファ Hi-Z 制御レジスタ C (HIZCRC)

HIZCRC は、読み出し/書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	HIZC11	HIZC10	HIZC9	HIZC8	HIZC7	HIZC6	HIZC5	HIZC4	HIZC3	HIZC2	HIZC1	HIZC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11	HIZC11	0	R/W	PTF3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
10	HIZC10	0	R/W	PTF2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
9	HIZC9	0	R/W	PTF1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
8	HIZC8	0	R/W	PTF0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
7	HIZC7	0	R/W	PTC7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
6	HIZC6	0	R/W	PTC6 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
5	HIZC5	0	R/W	PTC5 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
4	HIZC4	0	R/W	PTC4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
3	HIZC3	0	R/W	PTC3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
2	HIZC2	0	R/W	PTC2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
1	HIZC1	0	R/W	PTC1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZC0	0	R/W	PTC0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.24 I/O バッファ Hi-Z 制御レジスタ D (HIZCRD)

HIZCRD は、読み出し/書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HIZD8	HIZD7	HIZD6	HIZD5	HIZD4	HIZD3	HIZD2	HIZD1	HIZD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	HIZD8	0	R/W	IRQOUT 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
7	HIZD7	0	R/W	PTJ5 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
6	HIZD6	0	R/W	PTJ4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
5	HIZD5	0	R/W	PTS3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
4	HIZD4	0	R/W	PTH4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
3	HIZD3	0	R/W	PTH3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
2	HIZD2	0	R/W	PTH2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
1	HIZD1	0	R/W	PTH1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZD0	0	R/W	PTH0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.25 I/O バッファ Hi-Z 制御レジスタ E (HIZCRE)

HIZCRE は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZE15	HIZE14	HIZE13	HIZE12	HIZE11	HIZE10	HIZE9	HIZE8	HIZE7	HIZE6	HIZE5	HIZE4	HIZE3	HIZE2	HIZE1	HIZE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HIZE15	0	R/W	PTJ7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
14	HIZE14	0	R/W	PTH7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
13	HIZE13	0	R/W	PTJ1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
12	HIZE12	0	R/W	PTJ3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
11	HIZE11	0	R/W	PTD6 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
10	HIZE10	0	R/W	PTD4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
9	HIZE9	0	R/W	PTD7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
8	HIZE8	0	R/W	PTD5 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
7	HIZE7	0	R/W	PTD1/PTE3/PTE1 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
6	HIZE6	0	R/W	PTD0/PTE6/PTE2 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
5	HIZE5	0	R/W	PTE7 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
4	HIZE4	0	R/W	PTD3 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
3	HIZE3	0	R/W	PTS4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
2	HIZE2	0	R/W	PTS2/PTS1/PTS0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
1	HIZE1	0	R/W	PTR2/PTR1/PTR0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZE0	0	R/W	PTQ2/PTQ1/PTQ0 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.26 I/O バッファ Hi-Z 制御レジスタ F (HIZCRF)

HIZCRF は、読み出し/書き込み可能な 16 ビットのレジスタで、端子のハイインピーダンス制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HIZF1	HIZF0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	HIZF1	0	R/W	PTN4 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス
0	HIZF0	0	R/W	PTH6 端子のハイインピーダンス制御を行います。 0: I/O バッファは通常動作 1: I/O バッファは入力ディスエーブル、出力ハイインピーダンス

29.2.27 プルアップダウン制御レジスタ (PULCR)

PULCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のプルアップ / プルダウン制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PUL1	PUL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	PUL1	0	R/W	ASEBRK 端子のプルアップ制御を行います。 0: プルアップ MOS オン 1: プルアップ MOS オフ
0	PUL0	0	R/W	TRST 端子のプルアップ制御を行います。 0: プルアップ MOS オン 1: プルアップ MOS オフ

29.2.28 PINT 制御レジスタ A (PINTCRA)

PINTACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、PINTA7 ~ PINTA0 機能のプルアップ / ダウンの選択とイネーブル制御を行います。また、プルアップ / ダウンの選択は、PINT 機能に限らず、すべての端子機能で有効となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PINTA PEN7	PINTA PUD7	PINTA PEN6	PINTA PUD6	PINTA PEN5	PINTA PUD5	PINTA PEN4	PINTA PUD4	PINTA PEN3	PINTA PUD3	PINTA PEN2	PINTA PUD2	PINTA PEN1	PINTA PUD1	PINTA PEN0	PINTA PUD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PINTAPEN7	0	R/W	PINTA7 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
14	PINTAPUD7	0	R/W	PINTA7 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択
13	PINTAPEN6	0	R/W	PINTA6 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
12	PINTAPUD6	0	R/W	PINTA6 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択

ビット	ビット名	初期値	R/W	説明
11	PINTAPEN5	0	R/W	PINTA5 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
10	PINTAPUD5	0	R/W	PINTA5 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択
9	PINTAPEN4	0	R/W	PINTA4 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
8	PINTAPUD4	0	R/W	PINTA4 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択
7	PINTAPEN3	0	R/W	PINTA3 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
6	PINTAPUD3	0	R/W	PINTA3 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択
5	PINTAPEN2	0	R/W	PINTA2 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
4	PINTAPUD2	0	R/W	PINTA2 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択
3	PINTAPEN1	0	R/W	PINTA1 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
2	PINTAPUD1	0	R/W	PINTA1 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択
1	PINTAPEN0	0	R/W	PINTA0 機能の制御を行います。 0: ブルアップ / ダウン MOS オン 1: ブルアップ / ダウン MOS オフ
0	PINTAPUD0	0	R/W	PINTA0 機能の制御を行います。 0: ブルダウンを選択 1: ブルアップを選択

29.2.29 PINT 制御レジスタ B (PINTCRB)

PINTBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、PINTB3 ~ PINTB0 機能のプルアップ / ダウンの選択とイネーブル制御を行います。また、プルアップ / ダウンの選択は、PINT 機能に限らず、すべての端子機能で有効となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PINTB PEN3	PINTB PUD3	PINTB PEN2	PINTB PUD2	PINTB PEN1	PINTB PUD1	PINTB PEN0	PINTB PUD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7	PINTBPEN3	0	R/W	PINTB3 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
6	PINTBPUD3	0	R/W	PINTB3 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択
5	PINTBPEN2	0	R/W	PINTB2 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
4	PINTBPUD2	0	R/W	PINTB2 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択
3	PINTBPEN1	0	R/W	PINTB1 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
2	PINTBPUD1	0	R/W	PINTB1 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択
1	PINTBPEN0	0	R/W	PINTB0 機能の制御を行います。 0: プルアップ / ダウン MOS オン 1: プルアップ / ダウン MOS オフ
0	PINTBPUD0	0	R/W	PINTB0 機能の制御を行います。 0: プルダウンを選択 1: プルアップを選択

30. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

30.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャンネル数：2チャンネル (チャンネル0と1)

ユーザブ레이크は、チャンネル0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル0のブ레이크条件が一致した後チャンネル1のブ레이크条件の一致が発生、またはチャンネル1のブ레이크条件が一致した後チャンネル0のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル1のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャンネル1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 30.1 に UBC のブロック図を示します。

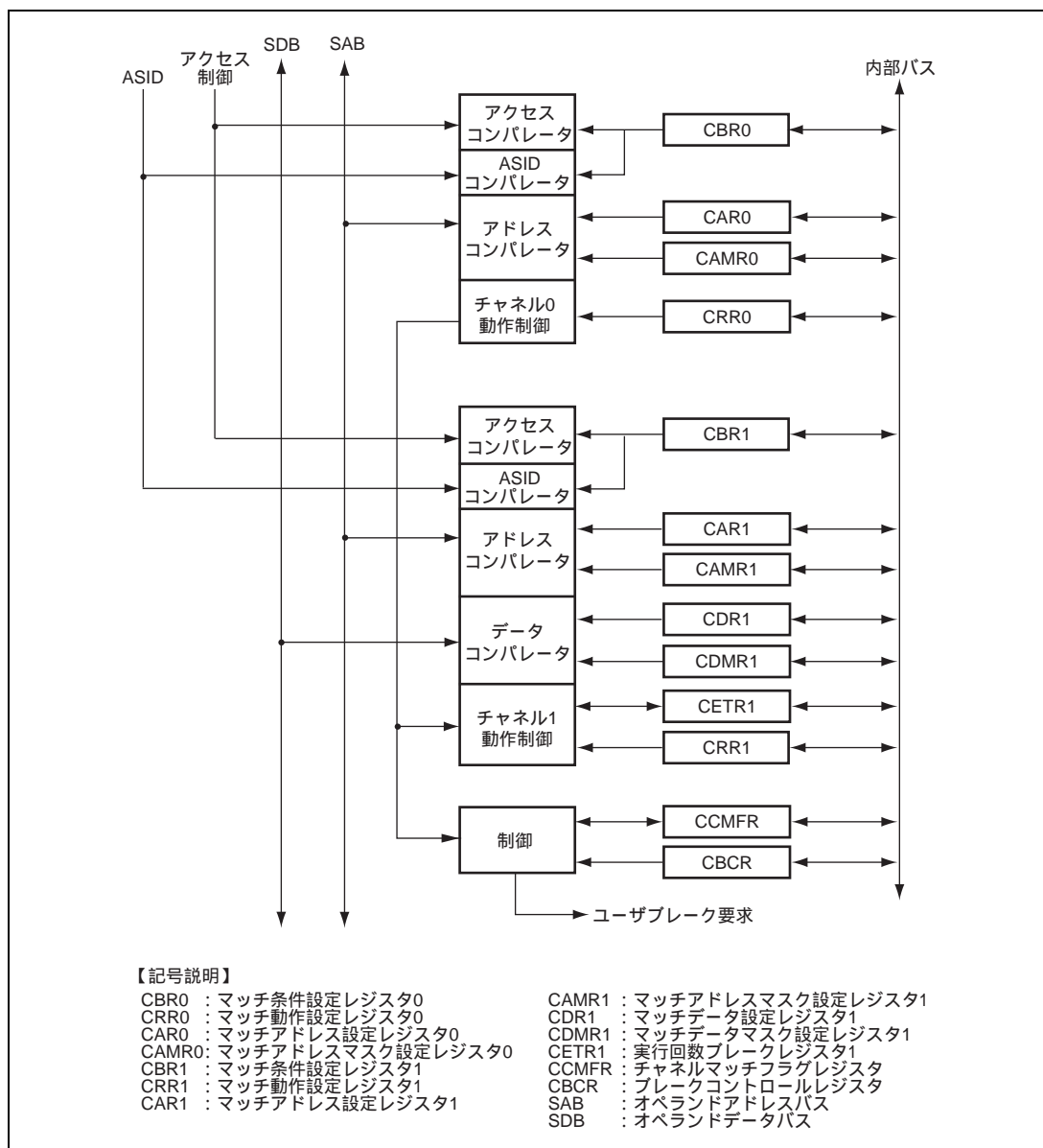


図 30.1 UBC のブロック図

30.2 レジスタの説明

UBC のレジスタ構成を表 30.1 に示します。また、各処理モードにおけるレジスタの状態を表 30.2 に示します。

表 30.1 レジスタ構成

レジスタ名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 30.2 各処理状態におけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
CBR0	H'2000 0000	保持	保持	保持
CRR0	H'0000 2000	保持	保持	保持
CAR0	不定	保持	保持	保持
CAMR0	不定	保持	保持	保持
CBR1	H'2000 0000	保持	保持	保持
CRR1	H'0000 2000	保持	保持	保持
CAR1	不定	保持	保持	保持
CAMR1	不定	保持	保持	保持
CDR1	不定	保持	保持	保持
CDMR1	不定	保持	保持	保持
CETR1	不定	保持	保持	保持
CCMFR	H'0000 0000	保持	保持	保持
CBCR	H'0000 0000	保持	保持	保持

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

30.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>上記以外 : 設定禁止</p> <p>【注】初期値は設定禁止の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャンネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる)*¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする*³</p> <p>上記以外 : 設定禁止</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：設定禁止
5、4	ID	すべて0	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2、1	RW	すべて0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0: ASID はマッチ条件に含まれず、チェックされない 1: マッチ条件に ASID を含める
29~24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000: CCMFR レジスタの MF0 ビット 000001: CCMFR レジスタの MF1 ビット 上記以外: 設定禁止 【注】 初期値は設定禁止の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャンネル 1 でヒットしなくなりますので注意してください。
23~16	AIV	すべて 0	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル ^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0: データ値はマッチ条件に含まれず、チェックされない 1: マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	すべて0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる)*¹</p> <p>001: バイトアクセスを対象とする</p> <p>010: ワードアクセスを対象とする</p> <p>011: ロングワードアクセスを対象とする</p> <p>100: クワッドワードアクセスを対象とする*³</p> <p>上記以外: 設定禁止</p>
11	ETBE	0	R/W	<p>実行回数値イネーブル</p> <p>マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。</p> <p>0: 実行回数値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件に実行回数値を含める</p>
10~8	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
7、6	CD	すべて0	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00: オペランドアクセスにおいてオペランドバスを対象とする</p> <p>上記以外: 設定禁止</p>
5、4	ID	すべて0	R/W	<p>命令フェッチ/オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01: 命令フェッチサイクルを対象とする</p> <p>10: オペランドアクセスサイクルを対象とする</p> <p>11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2, 1	RW	すべて 0	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00: 読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01: 読み出しサイクルを対象とする</p> <p>10: 書き込みサイクルを対象とする</p> <p>11: 読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。</p> <p>0: 本チャンネルは無効</p> <p>1: 本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

30.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレイクタイミング、(2) ブレイク要求の有無です。

• CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PCB	0	R/W	PC ブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0: PC ブレイクを命令実行前に設定する 1: PC ブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0: ブレイク要求しない 1: ブレイクを要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0: PC ブレークを命令実行前に設定する 1: PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0: ブレーク要求しない 1: ブレークを要求する

30.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレイク条件とする仮想アドレスを指定します。

• CAR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレイク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

• CAR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレイク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

30.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: アドレスビット CA[n]は、ブレーク条件に含まれる 1: アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

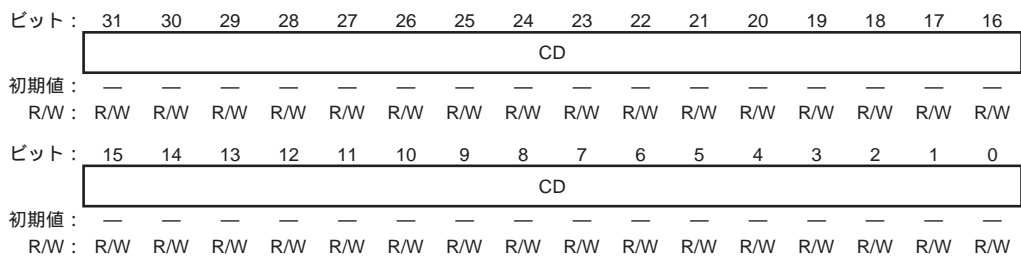
• CAMR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: アドレスビット CA[n]は、ブレーク条件に含まれる 1: アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

30.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。



ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 30.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

30.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: データ値ビット CD[n]は、ブ레이크条件に含まれる 1: データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】n = 31 ~ 0

30.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットすることに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

30.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し/書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います (書き込み値と現在値の論理積が書き込まれます)。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 1 のマッチ条件不一致 1: チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0: チャンネル 0 のマッチ条件不一致 1: チャンネル 0 のマッチ条件一致

30.2.9 ブレークコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「30.4 ユーザブレークデバッグサポート機能」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBDE	0	R/W	ユーザブレークデバッグサポート機能イネーブル ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0: デバッグサポート機能を使用しない 1: デバッグサポート機能を使用する

30.3 動作説明

30.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

30.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブレイクデータをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブレイクレジスタ (CETR1) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

30.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ CBR1 のDBEビットは無効となり、マッチデータ設定レジスタ CDR1 およびマッチデータマスク設定レジスタ CDMR1 の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

30.3.4 オペランドアクセスサイクルブレイク

1. オペランドアクセスサイクルブレイクの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 30.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE 命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブ레이크を発生させないでください。

30.3.5 シーケンシャルブ레이크

- マッチ条件設定レジスタ (CBR0、CBR1) のMFEビットおよびMFIビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタのMFE、およびマッチ動作設定レジスタのBIEビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIで指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
- シーケンシャル条件指定では、チャンネル1については実行回数ブ레이크条件も指定することができます。
- シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

30.3.6 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

- 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

- オペランドアクセス (アドレス + データ) をマッチ条件と指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に回避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが回避されます。

30.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 30.2 に示します。

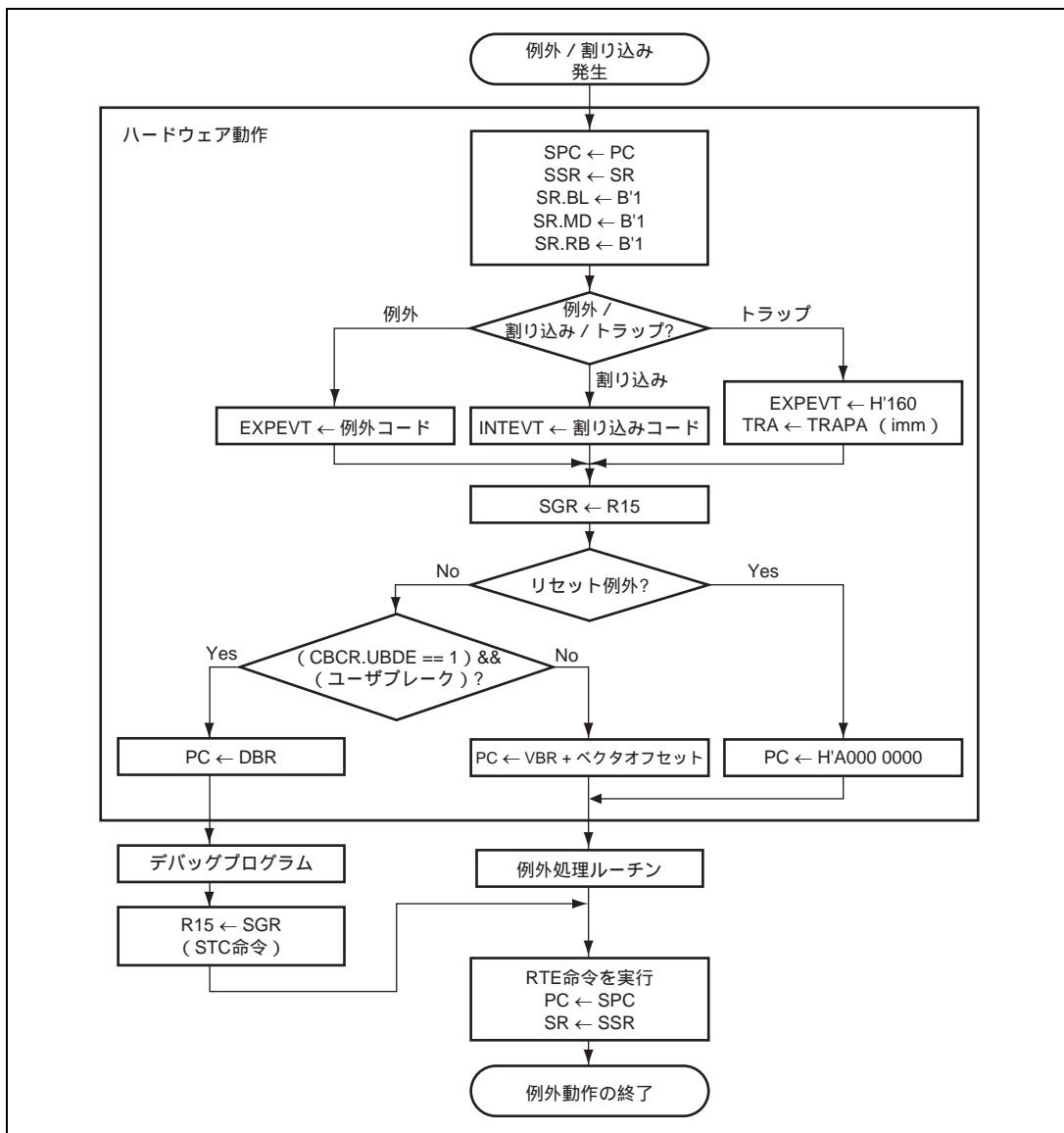


図 30.2 ユーザブレイクデバッグサポート機能のフローチャート

30.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'0003722E の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'0003722E / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス : H'00037226、アドレスマスク : H'00000000、ASID = H'80

バスサイクル : 命令フェッチ (命令実行前)

【チャンネル1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID = H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレークが発生します。

• 例1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件 : チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス : H'00000500、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル1】

アドレス : H'00001000、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000005

バスサイクル : 命令フェッチ (命令実行前)

実行回数 : 5 回

ASID、データ値は条件に含まれない

チャンネル0 では、ユーザブレークはアドレス H'00000500 の命令の実行前に生じます。チャンネル1 では、ユーザブレークは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

• 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /

CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /

CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、ASID=H'80でアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはASID=H'70でH'000ABC00~H'000ABCFEにワードH'A512を書き込むときに生じます。

30.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0およびチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の 1～5 命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

31. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に対応したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

31.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に対応したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのユーザーズマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$) からなります。 $\overline{\text{ASEBRK/BRKACK}}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格に対応します。さらにエミュレータ専用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3 ~ AUDATA0) があります。

図 31.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDIR、SDDR (SDDRH、SDDRL)、SDINT の計 5 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

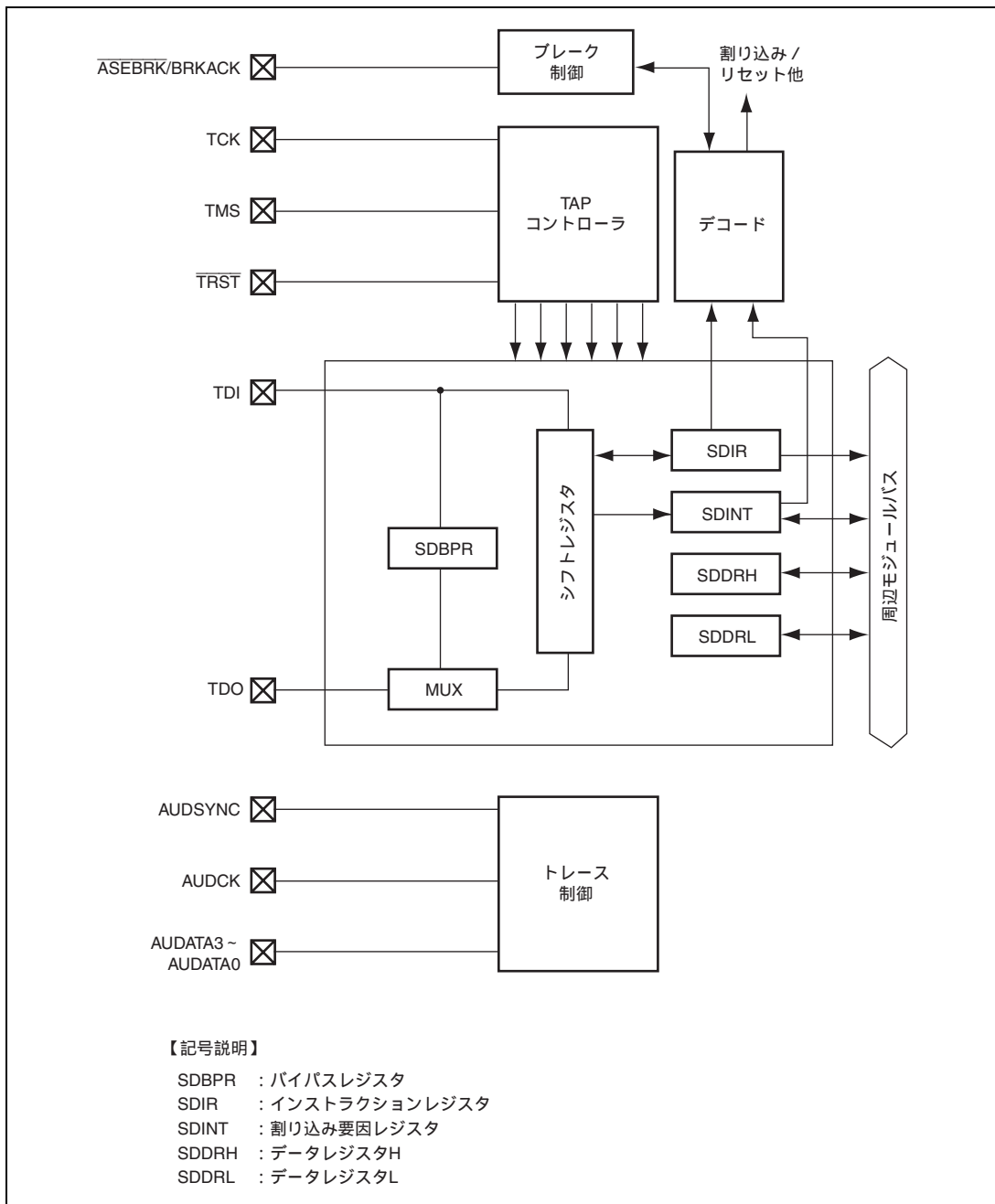


図 31.1 H-UDI のブロック図

31.2 入出力端子

H-UDI の端子構成を表 31.1 に示します。

表 31.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に対応します。	オープン* ¹
$\overline{\text{TRST}}$ * ²	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定* ³
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* ¹
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* ¹
AUDSYNC AUDCK AUDATA3~0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	ASE モード (エミュレーション サポートモード設 定)	入力	ローレベルで ASE モードとなり、エミュレーションサポートモード機能が使用可能となります。 E10A 等のエミュレータを使用する場合、ローレベルに固定してください。	プルアップ

【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。

*2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用する場合は、電源投入時に RESET と重複する期間 $\overline{\text{TRST}}$ をローレベルにし、かつ $\overline{\text{TRST}}$ 単独でも制御可能となるようにしてください。

*3 グランド固定の場合には下記の問題があります。 $\overline{\text{TRST}}$ はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。 $\overline{\text{TRST}}$ のプルアップはピンファンクションコントローラ (PFC) のプルダウン制御レジスタ (PULCR) でオフすることができます。詳細は「第 29 章ピンファンクションコントローラ (PFC)」を参照してください。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

31.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 31.2 レジスタ構成 (1)

レジスタ名称	略称	CPU 側				
		R/W	P4 領域 アドレス* ¹	エリア 7 アドレス* ¹	サイズ	初期値* ²
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
データレジスタ H	SDDR/SDDRH	R/W	H'FC11 0008	H'1C11 0008	32/16	不定
データレジスタ L	SDDRL	R/W	H'FC11 000A	H'1C11 000A	16	不定
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

表 31.3 レジスタ構成 (2)

レジスタ名称	略称	H-UDI 端子側		
		R/W	サイズ	初期値* ¹
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値* ²)
データレジスタ H	SDDR/SDDRH	-	-	-
データレジスタ L	SDDRL	-	-	-
割り込み要因レジスタ	SDINT	W* ³	32	H'0000 0000
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 *1 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 31.4 各処理状態におけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SDIR	H'0EFF	保持	保持	保持
SDDR/SDDRH	不定	保持	保持	保持
SDDRL	不定	保持	保持	保持
SDINT	H'0000	保持	保持	保持

31.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。TRST または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI[7:0]								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI[7:0]	00001110	R	テストインストラクションビット 7~0 01100000 : H-UDI リセットのネゲート 01110000 : H-UDI リセットのアサート 10100000 : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

31.3.2 データレジスタ H、L (SDDRH、SDDRL)

SDDR は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、それぞれ CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。また、SDDR として CPU から 32 ビットで読み出し / 書き込みが行えます。このレジスタ値は、CPU のリセットでは初期化されませんが、TRST では初期化されます。

- SDDRH

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SDDRHデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- SDDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDDRLデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

31.3.3 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

31.3.4 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 8 ビットのレジスタです。パウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

31.4 動作説明

31.4.1 バウンダリスキャン TAP コントローラ

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。

【注】 端子は、以下のように固定してください。

ハイレベル固定 EXTAL-RTC 端子、Test0_VccQ 端子、MPMD 端子、Test2_VccQ 端子
ローレベル固定 $\overline{\text{BREQ}}$ /PIN1 端子、Test4_VssQ 端子

RESETP 端子は、電源投入時にはローレベルにし、バウンダリスキャン時に、ハイレベルにしてください。

また、MD1 端子と MD0 端子でクロックモードを設定し、EXTAL 端子よりクロックを入力する必要があります。

表 31.5 に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

表 31.5 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド
上記以外								設定禁止

31.4.2 TAP 制御

図 31.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に対応しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}} = 0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

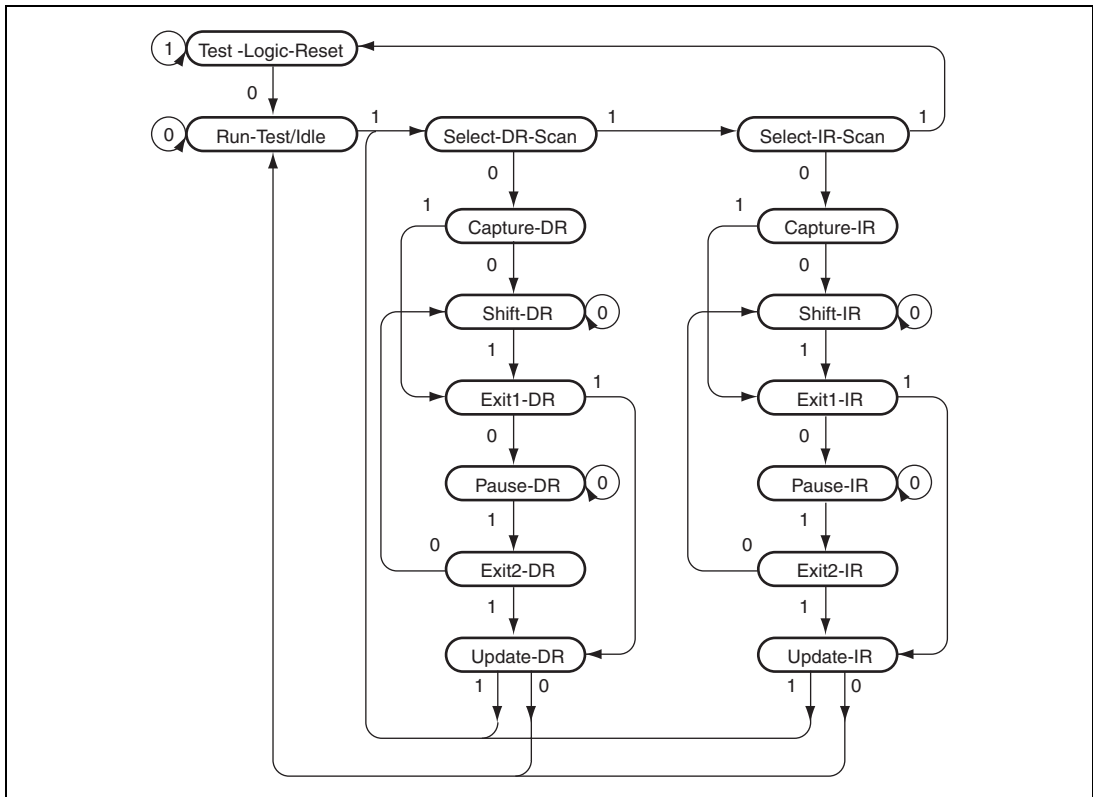


図 31.2 TAP 制御状態遷移図

31.4.3 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 31.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

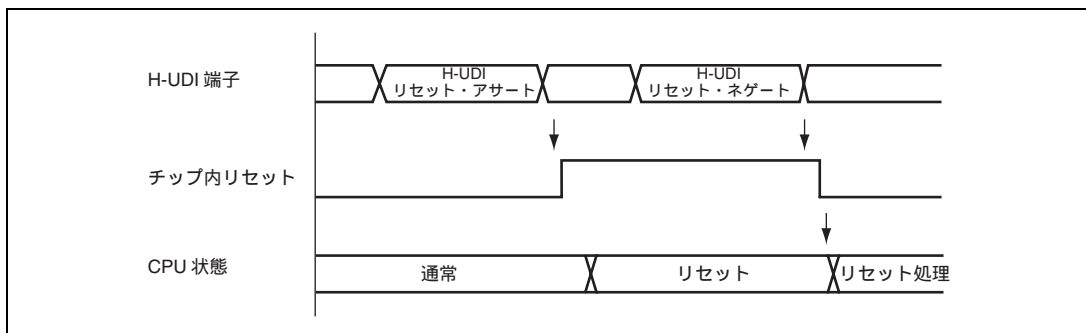


図 31.3 H-UDI リセット

31.4.4 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

31.5 注意事項

一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

32. レジスタ一覧

32.1 レジスタアドレス一覧

- 本LSIの内蔵I/Oレジスタを、機能モジュール単位で、マニュアルの章番号の順に記載します。
- 本一覧表で記載されていないリザーブアドレスへのアクセスは禁止です。アクセスしたときの動作および継続する動作については保証できません。
- アクセスサイズは、ビット数を示します。
- 各レジスタの詳細は、関連章のレジスタ説明の項を参照してください。

表 32.1 レジスタ構成 (1)

モジュール	名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
例外処理	TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
	例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
	割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
	非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32
MMU	ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
	ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32
	変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
	TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
	MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
	物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
	命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32
	ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
キャッシュ	キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
	キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
	キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
	内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 32.1 レジスタ構成 (2)

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ
INTC	-	割り込みコントロールレジスタ 0	ICR0	R/W	H'A414 0000	16
		割り込みコントロールレジスタ 1	ICR1	R/W	H'A414 001C	16
		割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'A414 0010	32
		割り込み要因レジスタ 00	INTREQ00	R/W	H'A414 0024	8
		割り込みマスクレジスタ 00	INTMSK00	R/W	H'A414 0044	8
		割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'A414 0064	8
		NMI フラグコントロールレジスタ	NMIFCR	R/W	H'A414 00C0	16
		ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'A470 0000	32
		割り込み優先レベル設定レジスタ A	IPRA	R/W	H'A408 0000	16
		割り込み優先レベル設定レジスタ B	IPRB	R/W	H'A408 0004	16
		割り込み優先レベル設定レジスタ C	IPRC	R/W	H'A408 0008	16
		割り込み優先レベル設定レジスタ D	IPRD	R/W	H'A408 000C	16
		割り込み優先レベル設定レジスタ E	IPRE	R/W	H'A408 0010	16
		割り込み優先レベル設定レジスタ F	IPRF	R/W	H'A408 0014	16
		割り込み優先レベル設定レジスタ G	IPRG	R/W	H'A408 0018	16
		割り込み優先レベル設定レジスタ H	IPRH	R/W	H'A408 001C	16
		割り込み優先レベル設定レジスタ I	IPRI	R/W	H'A408 0020	16
		割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'A408 0024	16
		割り込み優先レベル設定レジスタ K	IPRK	R/W	H'A408 0028	16
		割り込みマスクレジスタ 0	IMR0	R/W	H'A408 0080	8
		割り込みマスクレジスタ 1	IMR1	R/W	H'A408 0084	8
		割り込みマスクレジスタ 2	IMR2	R/W	H'A408 0088	8
		割り込みマスクレジスタ 3	IMR3	R/W	H'A408 008C	8
		割り込みマスクレジスタ 4	IMR4	R/W	H'A408 0090	8
		割り込みマスクレジスタ 5	IMR5	R/W	H'A408 0094	8
		割り込みマスクレジスタ 6	IMR6	R/W	H'A408 0098	8
		割り込みマスクレジスタ 7	IMR7	R/W	H'A408 009C	8
		割り込みマスクレジスタ 8	IMR8	R/W	H'A408 00A0	8
		割り込みマスクレジスタ 9	IMR9	R/W	H'A408 00A4	8
		割り込みマスクレジスタ 10	IMR10	R/W	H'A408 00A8	8
		割り込みマスクレジスタ 11	IMR11	R/W	H'A408 00AC	8
		割り込みマスクレジスタ 12	IMR12	R/W	H'A408 00B0	8
		割り込みマスククリアレジスタ 0	IMCR0	W	H'A408 00C0	8
		割り込みマスククリアレジスタ 1	IMCR1	W	H'A408 00C4	8
		割り込みマスククリアレジスタ 2	IMCR2	W	H'A408 00C8	8
		割り込みマスククリアレジスタ 3	IMCR3	W	H'A408 00CC	8
		割り込みマスククリアレジスタ 4	IMCR4	W	H'A408 00D0	8

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ
INTC	-	割り込みマスククリアレジスタ 5	IMCR5	W	H'A408 00D4	8
		割り込みマスククリアレジスタ 6	IMCR6	W	H'A408 00D8	8
		割り込みマスククリアレジスタ 7	IMCR7	W	H'A408 00DC	8
		割り込みマスククリアレジスタ 8	IMCR8	W	H'A408 00E0	8
		割り込みマスククリアレジスタ 9	IMCR9	W	H'A408 00E4	8
		割り込みマスククリアレジスタ 10	IMCR10	W	H'A408 00E8	8
		割り込みマスククリアレジスタ 11	IMCR11	W	H'A408 00EC	8
		割り込みマスククリアレジスタ 12	IMCR12	W	H'A408 00F0	8
BSC	-	共通コントロールレジスタ	CMNCR	R/W	H'FEC1 0000	32
		CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'FEC1 0004	32
		CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'FEC1 0008	32
		CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'FEC1 000C	32
		CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'FEC1 0010	32
		CS5A 空間バスコントロールレジスタ	CS5ABCR	R/W	H'FEC1 0014	32
		CS5B 空間バスコントロールレジスタ	CS5BBCR	R/W	H'FEC1 0018	32
		CS6A 空間バスコントロールレジスタ	CS6ABCR	R/W	H'FEC1 001C	32
		CS6B 空間バスコントロールレジスタ	CS6BBCR	R/W	H'FEC1 0020	32
		CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'FEC1 0024	32
		CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'FEC1 0028	32
		CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'FEC1 002C	32
		CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'FEC1 0030	32
		CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	R/W	H'FEC1 0034	32
		CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	R/W	H'FEC1 0038	32
		CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	R/W	H'FEC1 003C	32
		CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	R/W	H'FEC1 0040	32
		SDRAM コントロールレジスタ	SDCR	R/W	H'FEC1 0044	32
		リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	R/W	H'FEC1 0048	32
		リフレッシュタイムカウンタ	RTCNT	R/W	H'FEC1 004C	32
		リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FEC1 0050	32
		SDRAM モードレジスタ	SDMR2	W	H'FEC1 4xxx	-
SDRAM モードレジスタ	SDMR3	W	H'FEC1 5xxx	-		
DMAC	0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'FE00 8020	32
		DMA デスティネーションアドレスレジスタ_0	DAR_0	R/W	H'FE00 8024	32
		DMA トランスファカウンタレジスタ_0	TCR_0	R/W	H'FE00 8028	32
		DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W	H'FE00 802C	32
	1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'FE00 8030	32
		DMA デスティネーションアドレスレジスタ_1	DAR_1	R/W	H'FE00 8034	32

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ	
DMAC	1	DMA トランスファカウントレジスタ_1	TCR_1	R/W	H'FE00 8038	32	
		DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W	H'FE00 803C	32	
	2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'FE00 8040	32	
		DMA デスティネーションアドレスレジスタ_2	DAR_2	R/W	H'FE00 8044	32	
		DMA トランスファカウントレジスタ_2	TCR_2	R/W	H'FE00 8048	32	
		DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W	H'FE00 804C	32	
	3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'FE00 8050	32	
		DMA デスティネーションアドレスレジスタ_3	DAR_3	R/W	H'FE00 8054	32	
		DMA トランスファカウントレジスタ_3	TCR_3	R/W	H'FE00 8058	32	
		DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W	H'FE00 805C	32	
	共通	DMA オブレーションレジスタ	DMAOR	R/W	H'FE00 8060	16	
	4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'FE00 8070	32	
		DMA デスティネーションアドレスレジスタ_4	DAR_4	R/W	H'FE00 8074	32	
		DMA トランスファカウントレジスタ_4	TCR_4	R/W	H'FE00 8078	32	
		DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W	H'FE00 807C	32	
	5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'FE00 8080	32	
		DMA デスティネーションアドレスレジスタ_5	DAR_5	R/W	H'FE00 8084	32	
		DMA トランスファカウントレジスタ_5	TCR_5	R/W	H'FE00 8088	32	
		DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W	H'FE00 808C	32	
	0	DMA ソースアドレスレジスタ B_0	SARB_0	R/W	H'FE00 8120	32	
		DMA デスティネーションアドレスレジスタ B_0	DARB_0	R/W	H'FE00 8124	32	
		DMA トランスファカウントレジスタ B_0	TCRB_0	R/W	H'FE00 8128	32	
	1	DMA ソースアドレスレジスタ B_1	SARB_1	R/W	H'FE00 8130	32	
		DMA デスティネーションアドレスレジスタ B_1	DARB_1	R/W	H'FE00 8134	32	
		DMA トランスファカウントレジスタ B_1	TCRB_1	R/W	H'FE00 8138	32	
	2	DMA ソースアドレスレジスタ B_2	SARB_2	R/W	H'FE00 8140	32	
		DMA デスティネーションアドレスレジスタ B_2	DARB_2	R/W	H'FE00 8144	32	
		DMA トランスファカウントレジスタ B_2	TCRB_2	R/W	H'FE00 8148	32	
	3	DMA ソースアドレスレジスタ B_3	SARB_3	R/W	H'FE00 8150	32	
		DMA デスティネーションアドレスレジスタ B_3	DARB_3	R/W	H'FE00 8154	32	
		DMA トランスファカウントレジスタ B_3	TCRB_3	R/W	H'FE00 8158	32	
	0、1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FE00 9000	16	
	2、3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FE00 9004	16	
	4、5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FE00 9008	16	
	CPG	-	周波数制御レジスタ	FRQCR	R/W	H'A415 0000	32
			PLL 制御レジスタ	PLLCR	R/W	H'A415 0024	32

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ
CPG	-	IrDA クロック制御レジスタ	IrDACLKCR	R/W	H'A415 0018	32
		発振安定期間監視タイマ制御レジスタ	OSCWTCR	R/W	H'A415 0044	32
低消費電力	-	スタンバイコントロールレジスタ	STBCR	R/W	H'A415 0020	32
		モジュールストップレジスタ 0	MSTPCR0	R/W	H'A415 0030	32
		モジュールストップレジスタ 1	MSTPCR1	R/W	H'A415 0034	32
		モジュールストップレジスタ 2	MSTPCR2	R/W	H'A415 0038	32
RWDТ	-	RCLK ウォッチドッグタイマカウンタ	RWTCNT	R/W	H'A452 0000	8/16
		RCLK ウォッチドッグタイマコントロール/ ステータスレジスタ	RWTCSR	R/W	H'A452 0004	8/16
TPU0	共通	タイマスタートレジスタ	TPU0_TSTR	R/W	H'A463 0000	16
	0	タイマコントロールレジスタ 0	TPU0_TCR0	R/W	H'A463 0010	16
		タイマモードレジスタ 0	TPU0_TMDR0	R/W	H'A463 0014	16
		タイマ I/O コントロールレジスタ 0	TPU0_TIOR0	R/W	H'A463 0018	16
		タイマインタラプトイネーブルレジスタ 0	TPU0_TIER0	R/W	H'A463 001C	16
		タイマステータスレジスタ 0	TPU0_TSR0	R/W	H'A463 0020	16
		タイマカウンタ 0	TPU0_TCNT0	R/W	H'A463 0024	16
		タイマジェネラルレジスタ 0A	TPU0_TGR0A	R/W	H'A463 0028	16
		タイマジェネラルレジスタ 0B	TPU0_TGR0B	R/W	H'A463 002C	16
		タイマジェネラルレジスタ 0C	TPU0_TGR0C	R/W	H'A463 0030	16
		タイマジェネラルレジスタ 0D	TPU0_TGR0D	R/W	H'A463 0034	16
	1	タイマコントロールレジスタ 1	TPU0_TCR1	R/W	H'A463 0050	16
		タイマモードレジスタ 1	TPU0_TMDR1	R/W	H'A463 0054	16
		タイマ I/O コントロールレジスタ 1	TPU0_TIOR1	R/W	H'A463 0058	16
		タイマインタラプトイネーブルレジスタ 1	TPU0_TIER1	R/W	H'A463 005C	16
		タイマステータスレジスタ 1	TPU0_TSR1	R/W	H'A463 0060	16
		タイマカウンタ 1	TPU0_TCNT1	R/W	H'A463 0064	16
		タイマジェネラルレジスタ 1A	TPU0_TGR1A	R/W	H'A463 0068	16
		タイマジェネラルレジスタ 1B	TPU0_TGR1B	R/W	H'A463 006C	16
		タイマジェネラルレジスタ 1C	TPU0_TGR1C	R/W	H'A463 0070	16
		タイマジェネラルレジスタ 1D	TPU0_TGR1D	R/W	H'A463 0074	16
	2	タイマコントロールレジスタ 2	TPU0_TCR2	R/W	H'A463 0090	16
		タイマモードレジスタ 2	TPU0_TMDR2	R/W	H'A463 0094	16
		タイマ I/O コントロールレジスタ 2	TPU0_TIOR2	R/W	H'A463 0098	16
		タイマインタラプトイネーブルレジスタ 2	TPU0_TIER2	R/W	H'A463 009C	16
		タイマステータスレジスタ 2	TPU0_TSR2	R/W	H'A463 00A0	16
		タイマカウンタ 2	TPU0_TCNT2	R/W	H'A463 00A4	16
		タイマジェネラルレジスタ 2A	TPU0_TGR2A	R/W	H'A463 00A8	16
		タイマジェネラルレジスタ 2B	TPU0_TGR2B	R/W	H'A463 00AC	16

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ
TPU0	2	タイムジェネラルレジスタ 2C	TPU0_TGR2C	R/W	H'A463 00B0	16
		タイムジェネラルレジスタ 2D	TPU0_TGR2D	R/W	H'A463 00B4	16
	3	タイムコントロールレジスタ 3	TPU0_TCR3	R/W	H'A463 00D0	16
		タイムモードレジスタ 3	TPU0_TMDR3	R/W	H'A463 00D4	16
		タイム I/O コントロールレジスタ 3	TPU0_TIOR3	R/W	H'A463 00D8	16
		タイムインタラプティネーブルレジスタ 3	TPU0_TIER3	R/W	H'A463 00DC	16
		タイムステータスレジスタ 3	TPU0_TSR3	R/W	H'A463 00E0	16
		タイムカウンタ 3	TPU0_TCNT3	R/W	H'A463 00E4	16
		タイムジェネラルレジスタ 3A	TPU0_TGR3A	R/W	H'A463 00E8	16
		タイムジェネラルレジスタ 3B	TPU0_TGR3B	R/W	H'A463 00EC	16
		タイムジェネラルレジスタ 3C	TPU0_TGR3C	R/W	H'A463 00F0	16
		タイムジェネラルレジスタ 3D	TPU0_TGR3D	R/W	H'A463 00F4	16
	TPU1	共通	タイムスタートレジスタ	TPU1_TSTR	R/W	H'A44F 0000
0		タイムコントロールレジスタ 0	TPU1_TCR0	R/W	H'A44F 0010	16
		タイムモードレジスタ 0	TPU1_TMDR0	R/W	H'A44F 0014	16
		タイム I/O コントロールレジスタ 0	TPU1_TIOR0	R/W	H'A44F 0018	16
		タイムインタラプティネーブルレジスタ 0	TPU1_TIER0	R/W	H'A44F 001C	16
		タイムステータスレジスタ 0	TPU1_TSR0	R/W	H'A44F 0020	16
		タイムカウンタ 0	TPU1_TCNT0	R/W	H'A44F 0024	16
		タイムジェネラルレジスタ 0A	TPU1_TGR0A	R/W	H'A44F 0028	16
		タイムジェネラルレジスタ 0B	TPU1_TGR0B	R/W	H'A44F 002C	16
		タイムジェネラルレジスタ 0C	TPU1_TGR0C	R/W	H'A44F 0030	16
		タイムジェネラルレジスタ 0D	TPU1_TGR0D	R/W	H'A44F 0034	16
1		タイムコントロールレジスタ 1	TPU1_TCR1	R/W	H'A44F 0050	16
		タイムモードレジスタ 1	TPU1_TMDR1	R/W	H'A44F 0054	16
		タイム I/O コントロールレジスタ 1	TPU1_TIOR1	R/W	H'A44F 0058	16
		タイムインタラプティネーブルレジスタ 1	TPU1_TIER1	R/W	H'A44F 005C	16
		タイムステータスレジスタ 1	TPU1_TSR1	R/W	H'A44F 0060	16
		タイムカウンタ 1	TPU1_TCNT1	R/W	H'A44F 0064	16
		タイムジェネラルレジスタ 1A	TPU1_TGR1A	R/W	H'A44F 0068	16
		タイムジェネラルレジスタ 1B	TPU1_TGR1B	R/W	H'A44F 006C	16
		タイムジェネラルレジスタ 1C	TPU1_TGR1C	R/W	H'A44F 0070	16
	タイムジェネラルレジスタ 1D	TPU1_TGR1D	R/W	H'A44F 0074	16	
RTC	-	64Hz カウンタ	R64CNT	R	H'A465 FEC0	8
		秒カウンタ	RSECCNT	R/W	H'A465 FEC2	8
		分カウンタ	RMINCNT	R/W	H'A465 FEC4	8
		時カウンタ	RHRCNT	R/W	H'A465 FEC6	8
		曜日カウンタ	RWKCNT	R/W	H'A465 FEC8	8
		日カウンタ	RDAYCNT	R/W	H'A465 FECA	8

モジュール	チャンネル	名 称	略称	R/W	アドレス	アクセス サイズ
RTC	-	月カウンタ	RMONCNT	R/W	H'A465 FECC	8
		年カウンタ	RYRCNT	R/W	H'A465 FECE	16
		秒アラームレジスタ	RSECAR	R/W	H'A465 FED0	8
		分アラームレジスタ	RMINAR	R/W	H'A465 FED2	8
		時アラームレジスタ	RHRAR	R/W	H'A465 FED4	8
		曜日アラームレジスタ	RWKAR	R/W	H'A465 FED6	8
		日アラームレジスタ	RDAYAR	R/W	H'A465 FED8	8
		月アラームレジスタ	RMONAR	R/W	H'A465 FEDA	8
		RTC コントロールレジスタ 1	RCR1	R/W	H'A465 FEDC	8
		RTC コントロールレジスタ 2	RCR2	R/W	H'A465 FEDE	8
		年アラームレジスタ	RYRAR	R/W	H'A465 FEE0	16
		RTC コントロールレジスタ 3	RCR3	R/W	H'A465 FEE4	8
TMU	-	タイマスタートレジスタ	TSTR	R/W	H'FFD8 0004	8
		タイマコンスタントレジスタ_0	TCOR_0	R/W	H'FFD8 0008	32
		タイマカウンタ_0	TCNT_0	R/W	H'FFD8 000C	32
		タイマコントロールレジスタ_0	TCR_0	R/W	H'FFD8 0010	16
		タイマコンスタントレジスタ_1	TCOR_1	R/W	H'FFD8 0014	32
		タイマカウンタ_1	TCNT_1	R/W	H'FFD8 0018	32
		タイマコントロールレジスタ_1	TCR_1	R/W	H'FFD8 001C	16
		タイマコンスタントレジスタ_2	TCOR_2	R/W	H'FFD8 0020	32
		タイマカウンタ_2	TCNT_2	R/W	H'FFD8 0024	32
		タイマコントロールレジスタ_2	TCR_2	R/W	H'FFD8 0028	16
CMT	共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'A44A 0000	16
	0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'A44A 0010	16
		コンペアマッチタイマカウンタ_0	CMCNT_0	R/W	H'A44A 0014	32
		コンペアマッチタイマコンスタントレジスタ_0	CMCOR_0	R/W	H'A44A 0018	32
	1	コンペアマッチタイマコントロール/ ステータスレジスタ 1	CMCSR_1	R/W	H'A44A 0020	16
		コンペアマッチタイマカウンタ 1	CMCNT_1	R/W	H'A44A 0024	32
		コンペアマッチタイマコンスタントレジスタ 1	CMCOR_1	R/W	H'A44A 0028	32
	2	コンペアマッチタイマコントロール/ ステータスレジスタ_2	CMCSR_2	R/W	H'A44A 0030	16
		コンペアマッチタイマカウンタ_2	CMCNT_2	R/W	H'A44A 0034	32
		コンペアマッチタイマコンスタントレジスタ_2	CMCOR_2	R/W	H'A44A 0038	32
	3	コンペアマッチタイマコントロール/ ステータスレジスタ_3	CMCSR_3	R/W	H'A44A 0040	16

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ	
CMT	3	コンペアマッチタイマカウンタ_3	CMCNT_3	R/W	H'A44A 0044	32	
		コンペアマッチタイマコンスタントレジスタ_3	CMCOR_3	R/W	H'A44A 0048	32	
	4	コンペアマッチタイマコントロール/ ステータスレジスタ_4	CMCSR_4	R/W	H'A44A 0050	16	
		コンペアマッチタイマカウンタ_4	CMCNT_4	R/W	H'A44A 0054	32	
		コンペアマッチタイマコンスタントレジスタ_4	CMCOR_4	R/W	H'A44A 0058	32	
IIC	0	i ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'A447 0000	8	
		i ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'A447 0001	8	
		i ² C バスモードレジスタ	ICMR_0	R/W	H'A447 0002	8	
		i ² C バスインタラプティブレールレジスタ	ICIER_0	R/W	H'A447 0003	8	
		i ² C バスステータスレジスタ	ICSR_0	R/W	H'A447 0004	8	
		スレーブアドレスレジスタ	SAR_0	R/W	H'A447 0005	8	
		i ² C バス送信データレジスタ	ICDRT_0	R/W	H'A447 0006	8	
		i ² C バス受信データレジスタ	ICDRR_0	R	H'A447 0007	8	
		NF2CYC レジスタ	NF2CYC_0	R/W	H'A447 0008	8	
		1	i ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'A475 0000	8
	i ² C バスコントロールレジスタ 2		ICCR2_1	R/W	H'A475 0001	8	
	i ² C バスモードレジスタ		ICMR_1	R/W	H'A475 0002	8	
	i ² C バスインタラプティブレールレジスタ		ICIER_1	R/W	H'A475 0003	8	
	i ² C バスステータスレジスタ		ICSR_1	R/W	H'A475 0004	8	
	スレーブアドレスレジスタ		SAR_1	R/W	H'A475 0005	8	
	i ² C バス送信データレジスタ		ICDRT_1	R/W	H'A475 0006	8	
	i ² C バス受信データレジスタ		ICDRR_1	R	H'A475 0007	8	
	NF2CYC レジスタ		NF2CYC_1	R/W	H'A475 0008	8	
	SIOF		-	モードレジスタ	SIMDR	R/W	H'A441 0000
		クロックセレクトレジスタ		SISCR	R/W	H'A441 0002	16
送信データアサインレジスタ		SITDAR		R/W	H'A441 0004	16	
受信データアサインレジスタ		SIRDAR		R/W	H'A441 0006	16	
制御データアサインレジスタ		SICDAR		R/W	H'A441 0008	16	
コントロールレジスタ		SICTR		R/W	H'A441 000C	16	
FIFO コントロールレジスタ		SIFCTR		R/W	H'A441 0010	16	
ステータスレジスタ		SISTR		R/W	H'A441 0014	16	
割り込み許可レジスタ		SIIER		R/W	H'A441 0016	16	
送信データレジスタ		SITDR		W	H'A441 0020	32	
受信データレジスタ		SIRDR		R	H'A441 0024	32	
送信制御データレジスタ		SITCR		R/W	H'A441 0028	32	
受信制御データレジスタ		SIRCR		R/W	H'A441 002C	32	
SCIF		0		シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000
	ビットレートレジスタ 0		SCBRR0	R/W	H'FFE0 0004	8	

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ	
SCIF	0	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	16	
		トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	8	
		シリアルステータスレジスタ 0	SCFSR0	R/W	H'FFE0 0010	16	
		レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFE0 0014	8	
		FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	16	
		FIFO データ数レジスタ 0	SCFDR0	R	H'FFE0 001C	16	
		ラインステータスレジスタ 0	SCLSR0	R/W	H'FFE0 0024	16	
	1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000	16	
		ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004	8	
		シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008	16	
		トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C	8	
		シリアルステータスレジスタ 1	SCFSR1	R/W	H'FFE1 0010	16	
		レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFE1 0014	8	
		FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018	16	
		FIFO データ数レジスタ 1	SCFDR1	R	H'FFE1 001C	16	
		ラインステータスレジスタ 1	SCLSR1	R/W	H'FFE1 0024	16	
	2	シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE2 0000	16	
		ビットレートレジスタ 2	SCBRR2	R/W	H'FFE2 0004	8	
		シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE2 0008	16	
		トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE2 000C	8	
		シリアルステータスレジスタ 2	SCFSR2	R/W	H'FFE2 0010	16	
		レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFE2 0014	8	
		FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE2 0018	16	
		FIFO データ数レジスタ 2	SCFDR2	R	H'FFE2 001C	16	
		ラインステータスレジスタ 2	SCLSR2	R/W	H'FFE2 0024	16	
	3	シリアルモードレジスタ 3	SCSMR3	R/W	H'FFE3 0000	16	
		ビットレートレジスタ 3	SCBRR3	R/W	H'FFE3 0004	8	
		シリアルコントロールレジスタ 3	SCSCR3	R/W	H'FFE3 0008	16	
		トランスミット FIFO データレジスタ 3	SCFTDR3	W	H'FFE3 000C	8	
		シリアルステータスレジスタ 3	SCFSR3	R/W	H'FFE3 0010	16	
		レシーブ FIFO データレジスタ 3	SCFRDR3	R	H'FFE3 0014	8	
		FIFO コントロールレジスタ 3	SCFCR3	R/W	H'FFE3 0018	16	
		FIFO データ数レジスタ 3	SCFDR3	R	H'FFE3 001C	16	
		ラインステータスレジスタ 3	SCLSR3	R/W	H'FFE3 0024	16	
	SCIFA	4	シリアルモードレジスタ A4	SCASMR4	R/W	H'FFE4 0000	16
			ビットレートレジスタ A4	SCABRR4	R/W	H'FFE4 0004	8
			シリアルコントロールレジスタ A4	SCASCR4	R/W	H'FFE4 0008	16
			トランスミットデータストップレジスタ A4	SCATDSR4	R/W	H'FFE4 000C	8
			FIFO エラー数レジスタ A4	SCAFER4	R	H'FFE4 0010	16

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ		
SCIFA	4	シリアルステータスレジスタ A4	SCASSR4	R/W	H'FFE4 0014	16		
		FIFO コントロールレジスタ A4	SCAFCR4	R/W	H'FFE4 0018	16		
		FIFO データ数レジスタ A4	SCAFDR4	R	H'FFE4 001C	16		
		トランスミット FIFO データレジスタ A4	SCAFTDR4	W	H'FFE4 0020	8		
		レシーブ FIFO データレジスタ A4	SCAFDR4	R	H'FFE4 0024	8		
	5	シリアルモードレジスタ A5	SCASMR5	R/W	H'FFE5 0000	16		
		ビットレートレジスタ A5	SCABRR5	R/W	H'FFE5 0004	8		
		シリアルコントロールレジスタ A5	SCASCR5	R/W	H'FFE5 0008	16		
		トランスミットデータストップレジスタ A5	SCATDSR5	R/W	H'FFE5 000C	8		
		FIFO エラー数レジスタ A5	SCAFER5	R	H'FFE5 0010	16		
		シリアルステータスレジスタ A5	SCASSR5	R/W	H'FFE5 0014	16		
		FIFO コントロールレジスタ A5	SCAFCR5	R/W	H'FFE5 0018	16		
		FIFO データ数レジスタ A5	SCAFDR5	R	H'FFE5 001C	16		
		トランスミット FIFO データレジスタ A5	SCAFTDR5	W	H'FFE5 0020	8		
		レシーブ FIFO データレジスタ A5	SCAFDR5	R	H'FFE5 0024	8		
		IrDA	0	DMA 受信割り込み要因クリアレジスタ	IRIF0_RINTCLR	W	H'A45D 0016	16
				DMA 送信割り込み要因クリアレジスタ	IRIF0_TINTCLR	W	H'A45D 0018	16
				IrDA-SIR10 コントロールレジスタ	IRIF0_SIR0	R/W	H'A45D 0020	8/16
				IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF0_SIR1	R/W	H'A45D 0022	8/16
IrDA-SIR10 ボーレートカウンタ設定レジスタ	IRIF0_SIR2			R/W	H'A45D 0024	8/16		
IrDA-SIR10 ステータスレジスタ	IRIF0_SIR3			R	H'A45D 0026	8/16		
ハードウェアフレーム処理設定レジスタ	IRIF0_SIR_FRM			R/W	H'A45D 0028	8/16		
EOF 値設定レジスタ	IRIF0_SIR_EOF			R/W	H'A45D 002A	8/16		
フラグクリアレジスタ	IRIF0_SIR_FLG			W	H'A45D 002C	8/16		
UART ステータスレジスタ 2	IRIF0_SIR_STS2			R/W	H'A45D 002E	8/16		
UART コントロールレジスタ	IRIF0_UART0			R/W	H'A45D 0030	8/16		
UART ステータスレジスタ	IRIF0_UART1			R	H'A45D 0032	8/16		
UART 送信データレジスタ	IRIF0_UART3			W	H'A45D 0036	8/16		
UART 受信データレジスタ	IRIF0_UART4			R	H'A45D 0038	8/16		
UART 割り込みマスクレジスタ	IRIF0_UART5			R/W	H'A45D 003A	8/16		
UART ボーレート誤差補正レジスタ	IRIF0_UART6			R/W	H'A45D 003C	8/16		
UART ボーレートカウンタレジスタ	IRIF0_UART7			R/W	H'A45D 003E	8/16		
CRC エンジンコントロールレジスタ	IRIF0_CRC0			R/W	H'A45D 0040	8/16		
CRC エンジン入力データレジスタ	IRIF0_CRC1			W	H'A45D 0042	8/16		
CRC エンジン演算レジスタ	IRIF0_CRC2			W	H'A45D 0044	8/16		
CRC エンジン出力データレジスタ 1	IRIF0_CRC3	R	H'A45D 0046	8/16				
CRC エンジン出力データレジスタ 2	IRIF0_CRC4	R	H'A45D 0048	8/16				

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ
IrDA	1	DMA 受信割り込み要因クリアレジスタ	IRIF1_RINTCLR	W	H'A45E 0016	16
		DMA 送信割り込み要因クリアレジスタ	IRIF1_TINTCLR	W	H'A45E 0018	16
		IrDA-SIR10 コントロールレジスタ	IRIF1_SIR0	R/W	H'A45E 0020	8/16
		IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF1_SIR1	R/W	H'A45E 0022	8/16
		IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF1_SIR2	R/W	H'A45E 0024	8/16
		IrDA-SIR10 ステータスレジスタ	IRIF1_SIR3	R	H'A45E 0026	8/16
		ハードウェアフレーム処理設定レジスタ	IRIF1_SIR_FRM	R/W	H'A45E 0028	8/16
		EOF 値設定レジスタ	IRIF1_SIR_EOF	R/W	H'A45E 002A	8/16
		フラグクリアレジスタ	IRIF1_SIR_FLG	W	H'A45E 002C	8/16
		UART ステータスレジスタ 2	IRIF1_SIR_STS2	R/W	H'A45E 002E	8/16
		UART コントロールレジスタ	IRIF1_UART0	R/W	H'A45E 0030	8/16
		UART ステータスレジスタ	IRIF1_UART1	R	H'A45E 0032	8/16
		UART 送信データレジスタ	IRIF1_UART3	W	H'A45E 0036	8/16
		UART 受信データレジスタ	IRIF1_UART4	R	H'A45E 0038	8/16
		UART 割り込みマスクレジスタ	IRIF1_UART5	R/W	H'A45E 003A	8/16
		UART ボーレート誤差補正レジスタ	IRIF1_UART6	R/W	H'A45E 003C	8/16
		UART ボーレートカウントレジスタ	IRIF1_UART7	R/W	H'A45E 003E	8/16
		CRC エンジンコントロールレジスタ	IRIF1_CRC0	R/W	H'A45E 0040	8/16
		CRC エンジン入力データレジスタ	IRIF1_CRC1	W	H'A45E 0042	8/16
		CRC エンジン演算レジスタ	IRIF1_CRC2	W	H'A45E 0044	8/16
		CRC エンジン出力データレジスタ 1	IRIF1_CRC3	R	H'A45E 0046	8/16
		CRC エンジン出力データレジスタ 2	IRIF1_CRC4	R	H'A45E 0048	8/16
		SIM	-	シリアルモードレジスタ	SCSMR	R/W
ビットレートレジスタ	SCBRR			R/W	H'A449 0002	8
シリアルコントロールレジスタ	SCSCR			R/W	H'A449 0004	8
トランスミットデータレジスタ	SCTDR			R/W	H'A449 0006	8
シリアルステータスレジスタ	SCSSR			R/W	H'A449 0008	8
レシーブデータレジスタ	SCRDR			R	H'A449 000A	8
スマートカードモードレジスタ	SCSCMR			R/W	H'A449 000C	8
シリアルコントロール 2 レジスタ	SCSC2R			R	H'A449 000E	8
ウェイトタイムレジスタ	SCWAIT			R/W	H'A449 0010	16
ガードエクステンションレジスタ	SCGRD			R/W	H'A449 0012	8
サンプルレジスタ	SCSMPL			R/W	H'A449 0014	16
DMA イネーブルレジスタ	SCDMAEN			R/W	H'A449 0016	8
ADC	-	A/D データレジスタ A	ADDRA	R	H'A461 0000	16
		A/D データレジスタ B	ADDRB	R	H'A461 0002	16
		A/D データレジスタ C	ADDRC	R	H'A461 0004	16

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ
ADC	-	A/D データレジスタ D	ADDRD	R	H'A461 0006	16
		A/D コントロール/ ステータスレジスタ	ADCSR	R/W	H'A461 0008	16
DAC	-	D/A データレジスタ 0	DADR0	R/W	H'A462 0000	16
		D/A データレジスタ 1	DADR1	R/W	H'A462 0002	16
		D/A コントロールレジスタ	DACR	R/W	H'A462 0004	16
PORT	-	ポート A データレジスタ	PADR	R/W	H'A405 0080	8
		ポート B データレジスタ	PBDR	R/W	H'A405 0082	8
		ポート C データレジスタ	PCDR	R/W	H'A405 0084	8
		ポート D データレジスタ	PDDR	R/W	H'A405 0086	8
		ポート E データレジスタ	PEDR	R/W	H'A405 0088	8
		ポート F データレジスタ	PFDR	R/W	H'A405 008A	8
		ポート G データレジスタ	PGDR	R/W	H'A405 008C	8
		ポート H データレジスタ	PHDR	R/W	H'A405 008E	8
		ポート J データレジスタ	PJDR	R/W	H'A405 0090	8
		ポート K データレジスタ	PKDR	R/W	H'A405 0092	8
		ポート L データレジスタ	PLDR	R/W	H'A405 0094	8
		ポート M データレジスタ	PMDR	R/W	H'A405 0096	8
		ポート N データレジスタ	PNDR	R/W	H'A405 0098	8
		ポート Q データレジスタ	PQDR	R/W	H'A405 009A	8
		ポート R データレジスタ	PRDR	R/W	H'A405 009C	8
		ポート S データレジスタ	PSDR	R/W	H'A405 009E	8
ポート T データレジスタ	PTDR	R/W	H'A405 00A0	8		
PFC	-	ポ - ト A コントロ - ルレジスタ	PACR	R/W	H'A405 0000	16
		ポ - ト B コントロ - ルレジスタ	PBCR	R/W	H'A405 0002	16
		ポ - ト C コントロ - ルレジスタ	PCCR	R/W	H'A405 0004	16
		ポ - ト D コントロ - ルレジスタ	PDCR	R/W	H'A405 0006	16
		ポ - ト E コントロ - ルレジスタ	PECR	R/W	H'A405 0008	16
		ポ - ト F コントロ - ルレジスタ	PFDR	R/W	H'A405 000A	16
		ポ - ト G コントロ - ルレジスタ	PGCR	R/W	H'A405 000C	16
		ポ - ト H コントロ - ルレジスタ	PHCR	R/W	H'A405 000E	16
		ポ - ト J コントロ - ルレジスタ	PJCR	R/W	H'A405 0010	16
		ポ - ト K コントロ - ルレジスタ	PKCR	R/W	H'A405 0012	16
		ポ - ト L コントロ - ルレジスタ	PLCR	R/W	H'A4050014	16
		ポ - ト M コントロ - ルレジスタ	PMCR	R/W	H'A4050016	16
		ポ - ト N コントロ - ルレジスタ	PNCR	R/W	H'A4050018	16
		ポ - ト Q コントロ - ルレジスタ	PQCR	R/W	H'A405001A	16
		ポ - ト R コントロ - ルレジスタ	PRCR	R/W	H'A405001C	16
		ポ - ト S コントロ - ルレジスタ	PSCR	R/W	H'A405001E	16

モジュール	チャネル	名 称	略称	R/W	アドレス	アクセス サイズ
PFC	-	ボットコントロールレジスタ	PTCR	R/W	H'A4050020	16
		ピンセレクトレジスタ A	PSELA	R/W	H'A4050100	16
		ピンセレクトレジスタ B	PSELB	R/W	H'A4050102	16
		ピンセレクトレジスタ C	PSELC	R/W	H'A4050104	16
		I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	R/W	H'A4050120	16
		I/O バッファ Hi-Z 制御レジスタ B	HIZCRB	R/W	H'A4050122	16
		I/O バッファ Hi-Z 制御レジスタ C	HIZCRC	R/W	H'A4050124	16
		I/O バッファ Hi-Z 制御レジスタ D	HIZCRD	R/W	H'A4050126	16
		I/O バッファ Hi-Z 制御レジスタ E	HIZCRE	R/W	H'A4050128	16
		I/O バッファ Hi-Z 制御レジスタ F	HIZCRF	R/W	H'A405012A	16
		プルアップダウン制御レジスタ	PULCR	R/W	H'A405015E	16
		PINT 制御レジスタ A	PINTCRA	R/W	H'A4050040	16
		PINT 制御レジスタ B	PINTCRB	R/W	H'A4050042	16

表 32.1 レジスタ構成 (3)

モジュール	名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
UBC	マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
	マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
	マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
	マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
	マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
	マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
	マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
	マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
	マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
	マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
	実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
	チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
	ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32
H-UDI	インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16
	データレジスタ H	SDDR/SDDRH	R/W	H'FC11 0008	H'1C11 0008	32/16
	データレジスタ L	SDDRL	R/W	H'FC11 000A	H'1C11 000A	16
	割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16
	バイパスレジスタ	SDBPR	-	-	-	-

【注】 * R4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

32.2 各処理モードにおけるレジスタの状態

表 32.2 各処理モードにおけるレジスタの状態 (1)

モジュール	レジスタ略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ
例外処理	TRA	初期化	保持	保持	保持
	EXPEVT	初期化	保持	保持	保持
	INTEVT	初期化	保持	保持	保持
	EXPMASK	初期化	初期化	保持	保持
MMU	PTEH	初期化	初期化	保持	保持
	PTEL	初期化	初期化	保持	保持
	TTB	初期化	初期化	保持	保持
	TEA	初期化	保持	保持	保持
	MMUCR	初期化	初期化	保持	保持
	PASCR	初期化	初期化	保持	保持
	IRMCRCR	初期化	初期化	保持	保持
	PTEA	初期化	初期化	保持	保持
キャッシュ	CCR	初期化	初期化	保持	保持
	QACR0	初期化	初期化	保持	保持
	QACR1	初期化	初期化	保持	保持
	RAMCR	初期化	初期化	保持	保持

表 32.2 各処理モードにおけるレジスタの状態 (2)

モジュール	チャンネル	レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
INTC	-	ICR0	初期化	保持	保持	保持
		ICR1	初期化	保持	保持	保持
		INTPRI00	初期化	保持	保持	保持
		INTREQ00	初期化	保持	保持	保持
		INTMSK00	初期化	保持	保持	保持
		INTMSKCLR00	初期化	保持	保持	保持
		NMIFCR	初期化	保持	保持	保持
		USERIMASK	初期化	保持	保持	保持
		IPRA	初期化	保持	保持	保持
		IPRB	初期化	保持	保持	保持
		IPRC	初期化	保持	保持	保持
		IPRD	初期化	保持	保持	保持
		IPRE	初期化	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
INTC	-	IPRF	初期化	保持	保持	保持
		IPRG	初期化	保持	保持	保持
		IPRH	初期化	保持	保持	保持
		IPRI	初期化	保持	保持	保持
		IPRJ	初期化	保持	保持	保持
		IPRK	初期化	保持	保持	保持
		IMR0	初期化	保持	保持	保持
		IMR1	初期化	保持	保持	保持
		IMR2	初期化	保持	保持	保持
		IMR3	初期化	保持	保持	保持
		IMR4	初期化	保持	保持	保持
		IMR5	初期化	保持	保持	保持
		IMR6	初期化	保持	保持	保持
		IMR7	初期化	保持	保持	保持
		IMR8	初期化	保持	保持	保持
		IMR9	初期化	保持	保持	保持
		IMR10	初期化	保持	保持	保持
		IMR11	初期化	保持	保持	保持
		IMR12	初期化	保持	保持	保持
		IMCR0	初期化	保持	保持	保持
		IMCR1	初期化	保持	保持	保持
		IMCR2	初期化	保持	保持	保持
		IMCR3	初期化	保持	保持	保持
		IMCR4	初期化	保持	保持	保持
		IMCR5	初期化	保持	保持	保持
		IMCR6	初期化	保持	保持	保持
		IMCR7	初期化	保持	保持	保持
		IMCR8	初期化	保持	保持	保持
		IMCR9	初期化	保持	保持	保持
		IMCR10	初期化	保持	保持	保持
		IMCR11	初期化	保持	保持	保持
		IMCR12	初期化	保持	保持	保持
BSC	-	CMNCR	初期値	保持	-	保持
		CS0BCR	初期値	保持	-	保持
		CS2BCR	初期値	保持	-	保持
		CS3BCR	初期値	保持	-	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
BSC	-	CS4BCR	初期値	保持	-	保持
		CS5ABCR	初期値	保持	-	保持
		CS5BBCR	初期値	保持	-	保持
		CS6ABCR	初期値	保持	-	保持
		CS6BBCR	初期値	保持	-	保持
		CS0WCR	初期値	保持	-	保持
		CS2WCR	初期値	保持	-	保持
		CS3WCR	初期値	保持	-	保持
		CS4WCR	初期値	保持	-	保持
		CS5AWCR	初期値	保持	-	保持
		CS5BWCR	初期値	保持	-	保持
		CS6AWCR	初期値	保持	-	保持
		CS6BWCR	初期値	保持	-	保持
		SDCR	初期値	保持	-	保持
		RTCSR	初期値	保持	-	保持
		RTCNT	初期値	保持	-	保持
		RTCOR	初期値	保持	-	保持
		SDMR2	-	-	-	-
SDMR3	-	-	-	-		
DMAC	0	SAR_0	初期化	保持	保持	保持
		DAR_0	初期化	保持	保持	保持
		TCR_0	初期化	保持	保持	保持
		CHCR_0	初期化	保持	保持	保持
	1	SAR_1	初期化	保持	保持	保持
		DAR_1	初期化	保持	保持	保持
		TCR_1	初期化	保持	保持	保持
		CHCR_1	初期化	保持	保持	保持
	2	SAR_2	初期化	保持	保持	保持
		DAR_2	初期化	保持	保持	保持
		TCR_2	初期化	保持	保持	保持
		CHCR_2	初期化	保持	保持	保持
	3	SAR_3	初期化	保持	保持	保持
		DAR_3	初期化	保持	保持	保持
		TCR_3	初期化	保持	保持	保持
		CHCR_3	初期化	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	共通	DMAOR	初期化	保持	保持	保持
	4	SAR_4	初期化	保持	保持	保持
		DAR_4	初期化	保持	保持	保持
		TCR_4	初期化	保持	保持	保持
		CHCR_4	初期化	保持	保持	保持
	5	SAR_5	初期化	保持	保持	保持
		DAR_5	初期化	保持	保持	保持
		TCR_5	初期化	保持	保持	保持
		CHCR_5	初期化	保持	保持	保持
	0	SARB_0	初期化	保持	保持	保持
		DARB_0	初期化	保持	保持	保持
		TCRB_0	初期化	保持	保持	保持
	1	SARB_1	初期化	保持	保持	保持
		DARB_1	初期化	保持	保持	保持
		TCRB_1	初期化	保持	保持	保持
	2	SARB_2	初期化	保持	保持	保持
		DARB_2	初期化	保持	保持	保持
		TCRB_2	初期化	保持	保持	保持
	3	SARB_3	初期化	保持	保持	保持
		DARB_3	初期化	保持	保持	保持
TCRB_3		初期化	保持	保持	保持	
0, 1	DMARS0	初期化	保持	保持	保持	
2, 3	DMARS1	初期化	保持	保持	保持	
4, 5	DMARS2	初期化	保持	保持	保持	
CPG	-	FRQCR	初期化	保持	-	保持
		PLLCR	初期化	保持	-	保持
		IrDACLKCR	初期化	保持	-	保持
		OSCWTCR	初期化	保持	-	保持
低消費電力	-	STBCR	初期化	保持	-	保持
		MSTPCR0	初期化	保持	-	保持
		MSTPCR1	初期化	保持	-	保持
		MSTPCR2	初期化	保持	-	保持
RWDT	-	RWTCNT	初期化	保持	保持	保持
		RWTCSR	初期化	保持	保持	保持
TPU0	共通	TPU0_TSTR	初期化	保持	保持	保持
	0	TPU0_TCR0	初期化	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
TPU0	0	TPU0_TMDR0	初期化	保持	保持	保持
		TPU0_TIOR0	初期化	保持	保持	保持
		TPU0_TIER0	初期化	保持	保持	保持
		TPU0_TSR0	初期化	保持	保持	保持
		TPU0_TCNT0	初期化	保持	保持	保持
		TPU0_TGR0A	初期化	保持	保持	保持
		TPU0_TGR0B	初期化	保持	保持	保持
		TPU0_TGR0C	初期化	保持	保持	保持
		TPU0_TGR0D	初期化	保持	保持	保持
	1	TPU0_TCR1	初期化	保持	保持	保持
		TPU0_TMDR1	初期化	保持	保持	保持
		TPU0_TIOR1	初期化	保持	保持	保持
		TPU0_TIER1	初期化	保持	保持	保持
		TPU0_TSR1	初期化	保持	保持	保持
		TPU0_TCNT1	初期化	保持	保持	保持
		TPU0_TGR1A	初期化	保持	保持	保持
		TPU0_TGR1B	初期化	保持	保持	保持
		TPU0_TGR1C	初期化	保持	保持	保持
		TPU0_TGR1D	初期化	保持	保持	保持
	2	TPU0_TCR2	初期化	保持	保持	保持
		TPU0_TMDR2	初期化	保持	保持	保持
		TPU0_TIOR2	初期化	保持	保持	保持
		TPU0_TIER2	初期化	保持	保持	保持
		TPU0_TSR2	初期化	保持	保持	保持
		TPU0_TCNT2	初期化	保持	保持	保持
		TPU0_TGR2A	初期化	保持	保持	保持
		TPU0_TGR2B	初期化	保持	保持	保持
		TPU0_TGR2C	初期化	保持	保持	保持
		TPU0_TGR2D	初期化	保持	保持	保持
	3	TPU0_TCR3	初期化	保持	保持	保持
		TPU0_TMDR3	初期化	保持	保持	保持
		TPU0_TIOR3	初期化	保持	保持	保持
		TPU0_TIER3	初期化	保持	保持	保持
TPU0_TSR3		初期化	保持	保持	保持	
TPU0_TCNT3		初期化	保持	保持	保持	
TPU0_TGR3A		初期化	保持	保持	保持	

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
TPU0	3	TPU0_TGR3B	初期化	保持	保持	保持
		TPU0_TGR3C	初期化	保持	保持	保持
		TPU0_TGR3D	初期化	保持	保持	保持
TPU1	共通	TPU1_TSTR	初期化	保持	保持	保持
	0	TPU1_TCR0	初期化	保持	保持	保持
		TPU1_TMDR0	初期化	保持	保持	保持
		TPU1_TIOR0	初期化	保持	保持	保持
		TPU1_TIER0	初期化	保持	保持	保持
		TPU1_TSR0	初期化	保持	保持	保持
		TPU1_TCNT0	初期化	保持	保持	保持
		TPU1_TGR0A	初期化	保持	保持	保持
		TPU1_TGR0B	初期化	保持	保持	保持
		TPU1_TGR0C	初期化	保持	保持	保持
		TPU1_TGR0D	初期化	保持	保持	保持
	1	TPU1_TCR1	初期化	保持	保持	保持
		TPU1_TMDR1	初期化	保持	保持	保持
		TPU1_TIOR1	初期化	保持	保持	保持
		TPU1_TIER1	初期化	保持	保持	保持
		TPU1_TSR1	初期化	保持	保持	保持
		TPU1_TCNT1	初期化	保持	保持	保持
		TPU1_TGR1A	初期化	保持	保持	保持
		TPU1_TGR1B	初期化	保持	保持	保持
TPU1_TGR1C		初期化	保持	保持	保持	
TPU1_TGR1D	初期化	保持	保持	保持		
RTC	-	R64CNT	保持	保持	保持	保持
		RSECCNT	保持	保持	保持	保持
		RMINCNT	保持	保持	保持	保持
		RHRCNT	保持	保持	保持	保持
		RWKCNT	保持	保持	保持	保持
		RDAYCNT	保持	保持	保持	保持
		RMONCNT	保持	保持	保持	保持
		RYRCNT	保持	保持	保持	保持
		RSECAR	保持*	保持	保持	保持
		RMINAR	保持*	保持	保持	保持
		RHRAR	保持*	保持	保持	保持
		RWKAR	保持*	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
RTC	-	RDAYAR	保持*	保持	保持	保持
		RMONAR	保持*	保持	保持	保持
		RYRAR	初期化	保持	保持	保持
		RCR1	初期化	保持	保持	保持
		RCR2	保持	保持	保持	保持
		RCR3	初期化	保持	保持	保持
TMU	-	TSTR	初期化	保持	保持	保持
		TCOR_0	初期化	保持	保持	保持
		TCNT_0	初期化	保持	保持	保持
		TCR_0	初期化	保持	保持	保持
		TCOR_1	初期化	保持	保持	保持
		TCNT_1	初期化	保持	保持	保持
		TCR_1	初期化	保持	保持	保持
		TCOR_2	初期化	保持	保持	保持
		TCNT_2	初期化	保持	保持	保持
		TCR_2	初期化	保持	保持	保持
CMT	共通	CMSTR	初期化	保持	保持	保持
	0	CMCSR_0	初期化	保持	保持	保持
		CMCNT_0	初期化	保持	保持	保持
		CMCOR_0	初期化	保持	保持	保持
	1	CMCSR_1	初期化	保持	保持	保持
		CMCNT_1	初期化	保持	保持	保持
		CMCOR_1	初期化	保持	保持	保持
	2	CMCSR_2	初期化	保持	保持	保持
		CMCNT_2	初期化	保持	保持	保持
		CMCOR_2	初期化	保持	保持	保持
	3	CMCSR_3	初期化	保持	保持	保持
		CMCNT_3	初期化	保持	保持	保持
		CMCOR_3	初期化	保持	保持	保持
	4	CMCSR_4	初期化	保持	保持	保持
		CMCNT_4	初期化	保持	保持	保持
		CMCOR_4	初期化	保持	保持	保持
IIC	0	ICCR1_0	初期化	保持	保持	保持
		ICCR2_0	初期化	保持	保持	保持
		ICMR_0	初期化	保持	保持	保持
		ICIER_0	初期化	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
IIC	0	ICSR_0	初期化	保持	保持	保持
		SAR_0	初期化	保持	保持	保持
		ICDRT_0	初期化	保持	保持	保持
		ICDRR_0	初期化	保持	保持	保持
		NF2CYC_0	初期化	保持	保持	保持
	1	ICCR1_1	初期化	保持	保持	保持
		ICCR2_1	初期化	保持	保持	保持
		ICMR_1	初期化	保持	保持	保持
		ICIER_1	初期化	保持	保持	保持
		ICSR_1	初期化	保持	保持	保持
		SAR_1	初期化	保持	保持	保持
		ICDRT_1	初期化	保持	保持	保持
		ICDRR_1	初期化	保持	保持	保持
		NF2CYC_1	初期化	保持	保持	保持
SIOF	-	SIMDR	初期化	保持	保持	保持
		SISCR	初期化	保持	保持	保持
		SITDAR	初期化	保持	保持	保持
		SIRDAR	初期化	保持	保持	保持
		SICDAR	初期化	保持	保持	保持
		SICTR	初期化	保持	保持	保持
		SIFCTR	初期化	保持	保持	保持
		SISTR	初期化	保持	保持	保持
		SIIER	初期化	保持	保持	保持
		SITDR	不定	保持	保持	保持
		SIRDR	不定	保持	保持	保持
		SITCR	初期化	保持	保持	保持
		SIRCR	不定	保持	保持	保持
		SCIF	0	SCSMR0	初期化	保持
SCBRR0	初期化			保持	保持	保持
SCSCR0	初期化			保持	保持	保持
SCFTDR0	初期化			保持	保持	保持
SCFSR0	初期化			保持	保持	保持
SCFRDR0	初期化			保持	保持	保持
SCFCR0	初期化			保持	保持	保持
SCFDR0	初期化			保持	保持	保持
SCLSR0	初期化			保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	
SCIF	1	SCSMR1	初期化	保持	保持	保持	
		SCBRR1	初期化	保持	保持	保持	
		SCSCR1	初期化	保持	保持	保持	
		SCFTDR1	初期化	保持	保持	保持	
		SCFSR1	初期化	保持	保持	保持	
		SCFRDR1	初期化	保持	保持	保持	
		SCFCR1	初期化	保持	保持	保持	
		SCFDR1	初期化	保持	保持	保持	
		SCLSR1	初期化	保持	保持	保持	
	2	SCSMR2	初期化	保持	保持	保持	保持
		SCBRR2	初期化	保持	保持	保持	保持
		SCSCR2	初期化	保持	保持	保持	保持
		SCFTDR2	初期化	保持	保持	保持	保持
		SCFSR2	初期化	保持	保持	保持	保持
		SCFRDR2	初期化	保持	保持	保持	保持
		SCFCR2	初期化	保持	保持	保持	保持
		SCFDR2	初期化	保持	保持	保持	保持
		SCLSR2	初期化	保持	保持	保持	保持
	3	SCSMR3	初期化	保持	保持	保持	保持
		SCBRR3	初期化	保持	保持	保持	保持
		SCSCR3	初期化	保持	保持	保持	保持
		SCFTDR3	初期化	保持	保持	保持	保持
		SCFSR3	初期化	保持	保持	保持	保持
		SCFRDR3	初期化	保持	保持	保持	保持
		SCFCR3	初期化	保持	保持	保持	保持
		SCFDR3	初期化	保持	保持	保持	保持
		SCLSR3	初期化	保持	保持	保持	保持
SCIFA	4	SCASMR4	初期化	保持	保持	保持	
		SCABRR4	初期化	保持	保持	保持	
		SCASCR4	初期化	保持	保持	保持	
		SCATDSR4	初期化	保持	保持	保持	
		SCAFER4	初期化	保持	保持	保持	
		SCASSR4	初期化	保持	保持	保持	
		SCAFCR4	初期化	保持	保持	保持	
		SCAFDR4	初期化	保持	保持	保持	
		SCAFTDR4	初期化	保持	保持	保持	

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIFA	4	SCAFRDR4	初期化	保持	保持	保持
	5	SCASMR5	初期化	保持	保持	保持
		SCABRR5	初期化	保持	保持	保持
		SCASCR5	初期化	保持	保持	保持
		SCATDSR5	初期化	保持	保持	保持
		SCAFER5	初期化	保持	保持	保持
		SCASSR5	初期化	保持	保持	保持
		SCAFCR5	初期化	保持	保持	保持
		SCAFDR5	初期化	保持	保持	保持
		SCAFTDR5	初期化	保持	保持	保持
		SCAFRDR5	初期化	保持	保持	保持
IrDA	0	IRIF0_RINTCLR	初期化	保持	保持	保持
		IRIF0_TINTCLR	初期化	保持	保持	保持
		IRIF0_SIR0	初期化	保持	保持	保持
		IRIF0_SIR1	初期化	保持	保持	保持
		IRIF0_SIR2	初期化	保持	保持	保持
		IRIF0_SIR3	初期化	保持	保持	保持
		IRIF0_SIR_FRM	初期化	保持	保持	保持
		IRIF0_SIR_EOF	初期化	保持	保持	保持
		IRIF0_SIR_FLG	初期化	保持	保持	保持
		IRIF0_SIR_STS2	初期化	保持	保持	保持
		IRIF0_UART0	初期化	保持	保持	保持
		IRIF0_UART1	初期化	保持	保持	保持
		IRIF0_UART3	初期化	保持	保持	保持
		IRIF0_UART4	初期化	保持	保持	保持
		IRIF0_UART5	初期化	保持	保持	保持
		IRIF0_UART6	初期化	保持	保持	保持
		IRIF0_UART7	初期化	保持	保持	保持
		IRIF0_CRC0	初期化	保持	保持	保持
		IRIF0_CRC1	初期化	保持	保持	保持
		IRIF0_CRC2	初期化	保持	保持	保持
IRIF0_CRC3	初期化	保持	保持	保持		
IRIF0_CRC4	初期化	保持	保持	保持		

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
IrDA	1	IRIF1_RINTCLR	初期化	保持	保持	保持
		IRIF1_TINTCLR	初期化	保持	保持	保持
		IRIF1_SIR0	初期化	保持	保持	保持
		IRIF1_SIR1	初期化	保持	保持	保持
		IRIF1_SIR2	初期化	保持	保持	保持
		IRIF1_SIR3	初期化	保持	保持	保持
		IRIF1_SIR_FRM	初期化	保持	保持	保持
		IRIF1_SIR_EOF	初期化	保持	保持	保持
		IRIF1_SIR_FLG	初期化	保持	保持	保持
		IRIF1_SIR_STS2	初期化	保持	保持	保持
		IRIF1_UART0	初期化	保持	保持	保持
		IRIF1_UART1	初期化	保持	保持	保持
		IRIF1_UART3	初期化	保持	保持	保持
		IRIF1_UART4	初期化	保持	保持	保持
		IRIF1_UART5	初期化	保持	保持	保持
		IRIF1_UART6	初期化	保持	保持	保持
		IRIF1_UART7	初期化	保持	保持	保持
		IRIF1_CRC0	初期化	保持	保持	保持
		IRIF1_CRC1	初期化	保持	保持	保持
		IRIF1_CRC2	初期化	保持	保持	保持
IRIF1_CRC3	初期化	保持	保持	保持		
IRIF1_CRC4	初期化	保持	保持	保持		
SIM	-	SCSMR	初期化	保持	保持	保持
		SCBRR	初期化	保持	保持	保持
		SCSCR	初期化	保持	保持	保持
		SCTDR	初期化	保持	保持	保持
		SCSSR	初期化	保持	保持	保持
		SCRDR	初期化	保持	保持	保持
		SCSCMR	初期化	保持	保持	保持
		SCSC2R	初期化	保持	保持	保持
		SCWAIT	初期化	保持	保持	保持
		SCGRD	初期化	保持	保持	保持
		SCSMPL	初期化	保持	保持	保持
		SCDMAEN	初期化	保持	保持	保持

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
ADC	-	ADDRA	初期化	初期化	初期化	保持
		ADDRB	初期化	初期化	初期化	保持
		ADDRC	初期化	初期化	初期化	保持
		ADDRD	初期化	初期化	初期化	保持
		ADCSR	初期化	初期化	初期化	保持
DAC	-	DADR0	初期化	保持	保持	保持
		DADR1	初期化	保持	保持	保持
		DACR	初期化	保持	保持	保持
PORT	-	PADR	初期化	保持	-	保持
		PBDR	初期化	保持	-	保持
		PCDR	初期化	保持	-	保持
		PDDR	初期化	保持	-	保持
		PEDR	初期化	保持	-	保持
		PFDR	初期化	保持	-	保持
		PGDR	初期化	保持	-	保持
		PHDR	初期化	保持	-	保持
		PJDR	初期化	保持	-	保持
		PKDR	初期化	保持	-	保持
		PLDR	初期化	保持	-	保持
		PMDR	初期化	保持	-	保持
		PNDR	初期化	保持	-	保持
		PQDR	初期化	保持	-	保持
		PRDR	初期化	保持	-	保持
		PSDR	初期化	保持	-	保持
PTDR	初期化	保持	-	保持		
PFC	-	PACR	初期化	保持	-	保持
		PBCR	初期化	保持	-	保持
		PCCR	初期化	保持	-	保持
		PDCR	初期化	保持	-	保持
		PECR	初期化	保持	-	保持
		PFCR	初期化	保持	-	保持
		PGCR	初期化	保持	-	保持
		PHCR	初期化	保持	-	保持
		PJCR	初期化	保持	-	保持
		PKCR	初期化	保持	-	保持
PLCR	初期化	保持	-	保持		

モジュール	チャンネル	レジスタ略称	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
PFC	-	PMCR	初期化	保持	-	保持
		PNCR	初期化	保持	-	保持
		PQCR	初期化	保持	-	保持
		PRCR	初期化	保持	-	保持
		PSCR	初期化	保持	-	保持
		PTCR	初期化	保持	-	保持
		PSELA	初期化	保持	-	保持
		PSELB	初期化	保持	-	保持
		PSELC	初期化	保持	-	保持
		HIZCRA	初期化	保持	-	保持
		HIZCRB	初期化	保持	-	保持
		HIZCRC	初期化	保持	-	保持
		HIZCRD	初期化	保持	-	保持
		HIZCRE	初期化	保持	-	保持
		HIZCRF	初期化	保持	-	保持
		PULCR	初期化	保持	-	保持
		PINTCRA	初期化	保持	-	保持
		PINTCRB	初期化	保持	-	保持

表 32.2 各処理モードにおけるレジスタの状態 (3)

モジュール	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ
UBC	CBR0	初期化	保持	保持	保持
	CRR0	初期化	保持	保持	保持
	CAR0	初期化	保持	保持	保持
	CAMR0	初期化	保持	保持	保持
	CBR1	初期化	保持	保持	保持
	CRR1	初期化	保持	保持	保持
	CAR1	初期化	保持	保持	保持
	CAMR1	初期化	保持	保持	保持
	CDR1	初期化	保持	保持	保持
	CDMR1	初期化	保持	保持	保持
	CETR1	初期化	保持	保持	保持
	CCMFR	初期化	保持	保持	保持
	CBCR	初期化	保持	保持	保持
H-UDI	SDIR	初期化	保持	保持	保持
	SDDR/SDDRH	初期化	保持	保持	保持
	SDDRL	初期化	保持	保持	保持
	SDINT	初期化	保持	保持	保持
	SDBPR	-	-	-	-

33. 電気的特性

33.1 絶対最大定格

絶対最大定格を表 33.1 に示します。

表 33.1 絶対最大定格

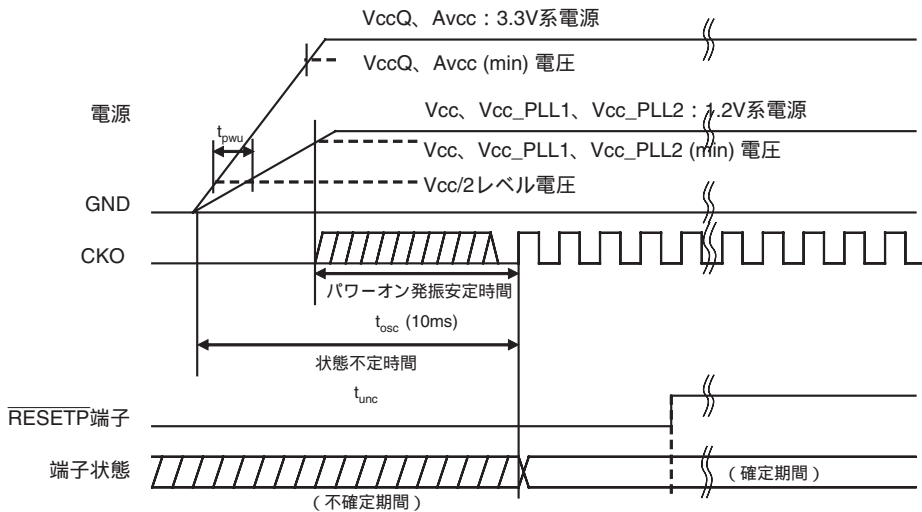
項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	- 0.3 ~ 4.6	V
電源電圧 (内部)	V_{CC} 、 $V_{CC-PLL1}$ 、 $V_{CC-PLL2}$	- 0.3 ~ 1.8	V
入力電圧	V_{in}	- 0.3 ~ $V_{CCQ} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ 4.6	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度* ¹	標準温度範囲品	T_{opr}	- 20 ~ 75
	広温度範囲品		- 40 ~ 85
保存温度	T_{stg}	- 55 ~ 125	

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 *¹ 各製品の動作温度については、表 1.4 製品一覧を参照ください。

33.2 電源投入および切断順序

- 1.2V系電源 (V_{CC} 、 V_{CC_PLL1} 、 V_{CC_PLL2}) と 3.3V系電源 (V_{CCQ} 、 AV_{CC}) の投入順序について
 - 3.3V系電源を先に投入してください。その後、1ms以内に1.2V系電源を投入してください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
 - 1.2V系電源の電圧が、3.3V系電源より高くないようにしてください。
 - すべての電源がスペック記載の最小電圧に達し、そこから、パワーオン発振安定時間 (10ms) を考慮した時間に到達するまでの間、内部回路は不確定なので、各端子の状態も不確定となります。この不確定状態によってシステムが誤動作を起こさないようシステム設計を行ってください。以下に電源投入時の波形を示します。



【注】 * 電源/GND、クロック関連、アナログ端子を除く

表 33.2 電源投入時間推奨値

項目	記号	時間	単位
(V_{CCQ} 、 AV_{CC}) ~ (V_{CC} 、 V_{CC_PLL1} 、 V_{CC_PLL2}) 電源投入時間差	t_{PWU}	1 (最大)	ms
状態不確定時間	t_{UNC}	100 (最大)	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

状態不確定時間はおおのこの電源立ち上がりが過度状態にある時間を意味します。

すべての電源がスペック記載の最小電圧に達し、そこから、パワーオン発振安定時間 (10ms) を考慮した時間に降に、パワーオンリセット (\overline{RESETP}) が正常に受け付けられます。端子状態はパワーオンリセットが正常に受け付けられることにより確定します。状態不確定時間は 100ms 以下となるようにしてください。

- 電源の切断順序について
 - 電源投入時とは逆に1.2V系電源を先に切断してください。この後、10ms以内に3.3V系電源を切ってください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
 - 1.2V系電源の電圧が、3.3V系電源より高くないようにしてください。
 - 1.2V系電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようシステム設計を行ってください。

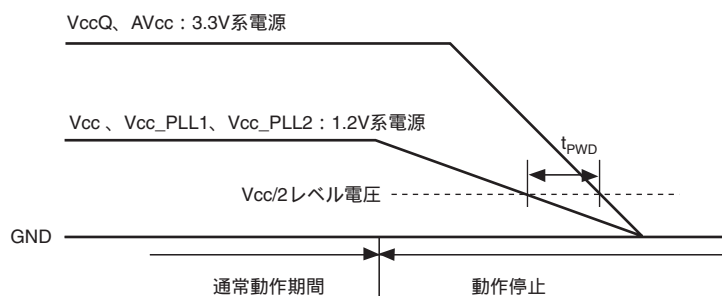


表 33.3 電源切断時間推奨値

項目	記号	最大時間	単位
$(V_{ccQ}, AV_{cc}) \sim (V_{cc}, V_{cc_PLL1}, V_{cc_PLL2})$ 電源切断時間差	t_{PWD}	10	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

33.3 DC 特性

DC 特性を表 33.4、表 33.5 に示します。

表 33.4 DC 特性 (1) 【共通項目】

条件: Ta = -20 ~ 75 (標準温度範囲品)、Ta = -40 ~ 85 (広温度範囲品)

項目		記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧*1*4		V _{CCQ}	3.0	3.3	3.6	V		
		V _{CC}	1.1	1.2	1.3	V		
		V _{CC-PLL1}						
		V _{CC-PLL2}						
アナログ (A/D、D/A) 電源電圧*2		AV _{CC}	3.0	3.3	3.6	V	未使用時は V _{CCQ} と同電位可。	
アナログ (A/D、D/A) 電源電流	A/D 変換期間	AI _{CC}	-	1.3	2.0	mA		
	A/D および D/A 変換期間		-	1.6	2.5	mA		
	アイドル		-	1	5	μA	Ta = 25	
消費電流*3	通常動作時	I _{CC}	-	135	275	mA	V _{CC} = 1.2V f = 266.7MHz	
			-	110	220	mA	V _{CC} = 1.2V f = 200MHz	
		I _{CCQ}	-	30	40	mA	V _{CCQ} = 3.3V B = 33.4MHz	
	スリープ モード時	I _{CC}	-	30	50	mA	パワーオンリセット後にスリープモードに遷移したとき V _{CCQ} = 3.3V B = 33.4MHz	
		I _{CCQ}	-	20	25	mA		
	スタンバイ モード時	I _{CC}	-	0.4	3	mA	Ta = 25 V _{CCQ} = 3.3V V _{CC} = 1.2V	
		I _{CCQ}	-	15	30	μA		
入力リーク電流	全入力端子	I _{in}	-	-	1.0	μA	V _{in} = 0.5 ~ V _{CCQ} - 0.5V	
スリーステートリーク電流	入出力、全出力端子 (オフ状態)	I _{STT}	-	-	1.0	μA	V _{in} = 0.5 ~ V _{CCQ} - 0.5V	
プルアップ/ プルダウン抵抗	ポート端子	P _{pull}	20	50	120	k		
端子容量	全端子	C	-	-	10	pF		

【注】 *1 PLL を使用しない場合も必ず V_{CC-PLL1}、V_{CC-PLL2}、および V_{SS-PLL1}、V_{SS-PLL2} は給電してください。

- *2 AV_{cc} は $V_{ccQ} - 0.3V$ AV_{cc} $V_{ccQ} + 0.3V$ の条件を、満足しなければなりません。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{cc} 、 AV_{ss} 端子を開放しないで、 AV_{cc} は V_{ccQ} に AV_{ss} は V_{ssQ} に接続してください。
- *3 消費電流値は、 $V_{IHmin} = V_{ccQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
- *4 V_{cc} 、 V_{cc_PLL1} 、 V_{cc_PLL2} には同一電圧を給電してください。

表 33.4 DC 特性 (2-a) 【I²C 関連端子をのぞく】条件: $T_a = -20 \sim 75$ (標準温度範囲品)、 $T_a = -40 \sim 85$ (広温度範囲品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	RESETP、MD0、MD1、MD3、MD5、 TRST、MPMD、EXTAL、NMI	$V_{ccQ} \times 0.9$	-	$V_{ccQ} + 0.3$	V	
	PTM0、PTM1、PTL4、PTL5、 PTL6、PTL7	2.0	-	$AV_{cc} + 0.3$		
	その他の入力端子	2.0	-	$V_{ccQ} + 0.3$		
入力ローレベル電圧	RESETP、MD0、MD1、MD3、MD5、 TRST、MPMD、EXTAL、NMI	- 0.3	-	$V_{ccQ} \times 0.1$	V	
	PTM0、PTM1、PTL4、PTL5、 PTL6、PTL7	- 0.3	-	$AV_{cc} \times 0.2$		
	その他の入力端子	- 0.3	-	$V_{ccQ} \times 0.2$		
出力ハイレベル電圧	全出力端子	2.4	-	-	V	$V_{ccQ} = 3.0V$ $I_{OH} = -0.2mA$
		2.0	-	-		$V_{ccQ} = 3.0V$ $I_{OH} = -2.0mA$
出力ローレベル電圧	全出力端子	-	-	0.6	V	$V_{ccQ} = 3.6V$ $I_{OL} = 2.0mA$

表 33.4 DC 特性 (2-b) 【I²C 関連端子*】条件: $T_a = -20 \sim 75$ (標準温度範囲品)、 $T_a = -40 \sim 85$ (広温度範囲品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
電源電圧	V_{ccQ}	3.0	3.3	3.6	V	
入力ハイレベル電圧	V_{IH}	$V_{ccQ} \times 0.7$	-	$V_{ccQ} + 0.3$	V	
入力ローレベル電圧	V_{IL}	- 0.3	-	$V_{ccQ} \times 0.3$	V	
出力ローレベル電圧	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$ 時
出力ローレベル許容電流	I_{OL}	-	-	10	mA	

【注】 * IIC_SCL、IIC_SDA 端子 (オープンドレイン端子)

表 33.5 出力許容電流値

条件：Ta = -20 ~ 75 (標準温度範囲品)、Ta = -40 ~ 85 (広温度範囲品)

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	-	-	2.0	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	-	-	120	mA
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	$\Sigma (-I_{OH})$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流は表 33.5 の値を超えないようにしてください。

33.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 33.6 動作周波数範囲

項目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU クロック (I)	f	24	-	266.7	MHz	266MHz 品
			24	-	200		200MHz 品
	SH クロック (S)		24	-	133.4		
	バスクロック (B)		24	-	66.7		
	周辺クロック (P)		8	-	33.4		
	PLL 回路の出力クロック		75	-	266.7		266MHz 品
75		-	200	200MHz 品			

33.4.1 クロックタイミング

表 33.7 クロックタイミング

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	f_{EX}	10	66.67	MHz	33.1
EXTAL クロック入力サイクル時間	t_{EXcyc}	15	100	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	7		ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	7		ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}		4	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}		4	ns	
CKO クロック出力周波数	f_{OP}	20	66.7	MHz	33.2
CKO クロック出力サイクル時間	t_{cyc}	15	50	ns	
CKO クロック出力ローレベルパルス幅	t_{CKOL}	3	-	ns	
CKO クロック出力ハイレベルパルス幅	t_{CKOH}	3	-	ns	
CKO クロック出力立ち上がり時間	t_{CKOr}	-	3	ns	
CKO クロック出力立ち下がり時間	t_{CKOf}	-	3	ns	
RESETP パワーオン発振安定期間	t_{OSC}	10	-	ms	33.3

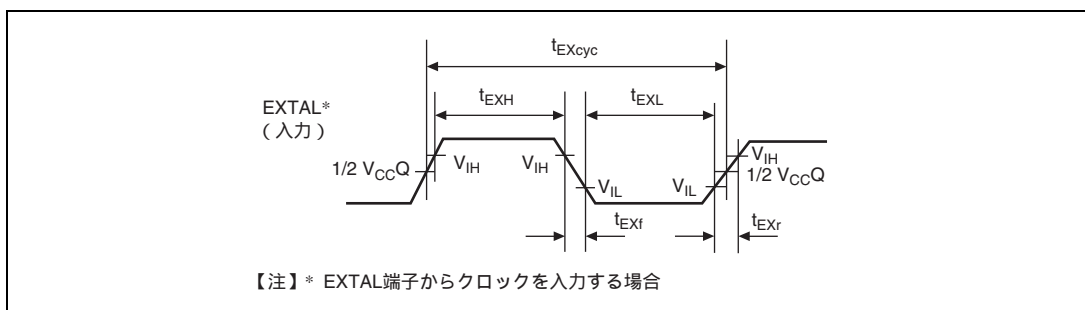


図 33.1 EXTAL クロック入力タイミング

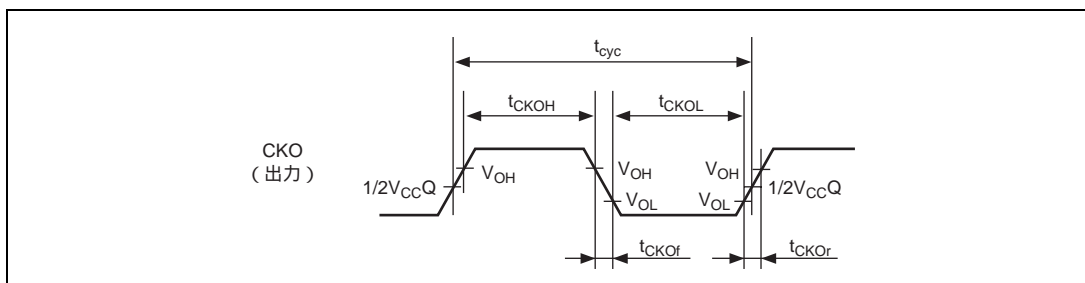


図 33.2 CKO クロック出力タイミング

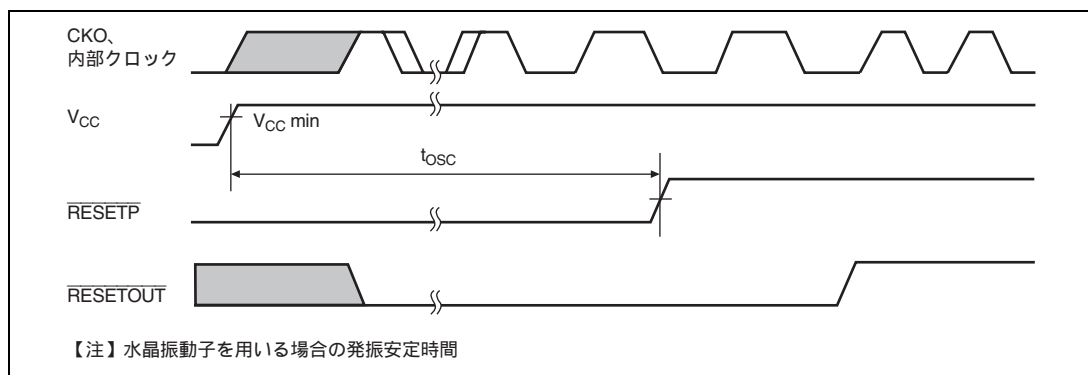


図 33.3 パワーオン発振安定時間

33.4.2 制御信号タイミング

表 33.8 制御信号タイミング

項目	記号	Min.	Max.	単位	参照図
RESETP パルス幅	t_{RESPW}	1* ²	-	ms	33.4
BREQ セットアップ時間	t_{BREQS}	$1/2t_{cyc} + 7$	-	ns	33.6
BREQ ホールド時間	t_{BREQH}	$1/2t_{cyc} + 2$	-	ns	
NMI セットアップ時間* ¹	t_{NMS}	8	-	ns	33.5
NMI ホールド時間	t_{NMIH}	3	-	ns	
IRQ7 ~ IRQ0 セットアップ時間* ¹	t_{IRQS}	8	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQH}	3	-	ns	
BACK 遅延時間	t_{BACKD}	-	$1/2t_{cyc} + 13$	ns	33.6
バスタライステート遅延時間 1	t_{BOFF1}	0	30	ns	33.6
バスタライステート遅延時間 2	t_{BOFF2}	0	30	ns	
バスバッファオンタイム 1	t_{BON1}	0	30	ns	33.7
バスバッファオンタイム 2	t_{BON2}	0	30	ns	

【注】 *1 NMI および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時は、 $t_{RESPW} = t_{OSC}$ (10ms) になります。

*3 t_{cyc} は外部バスクロックサイクル (B サイクル) を示します。

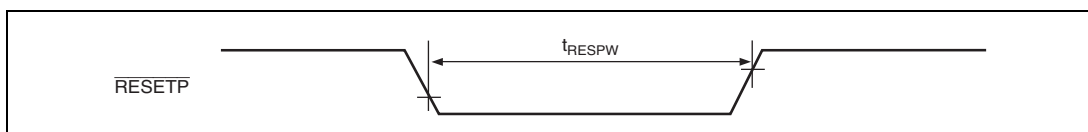


図 33.4 リセット入力タイミング

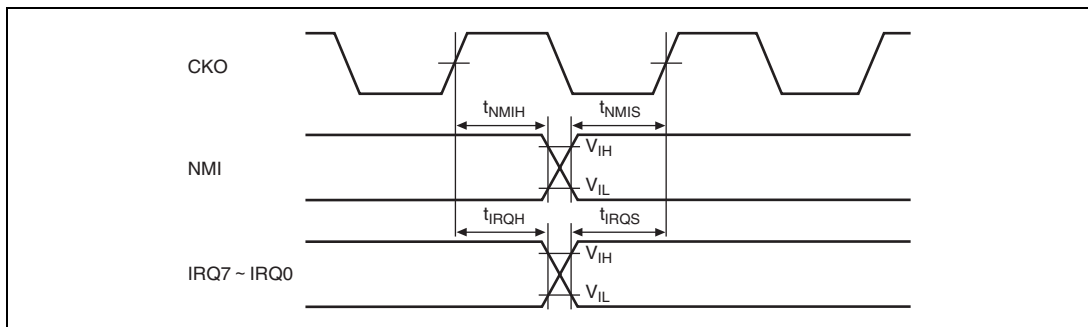


図 33.5 割り込み信号入力タイミング

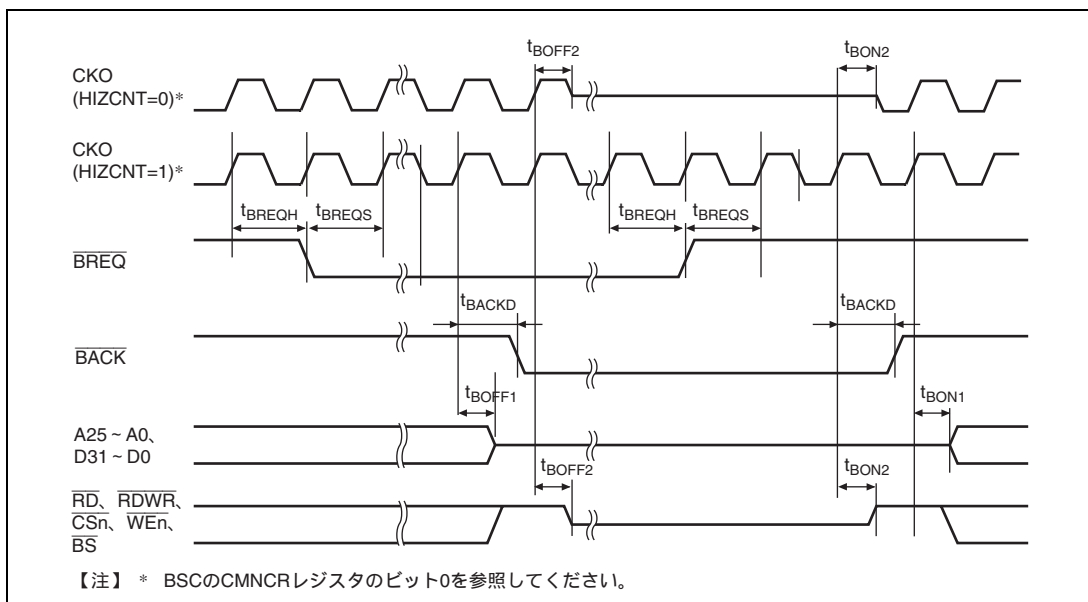


図 33.6 バス権解放タイミング

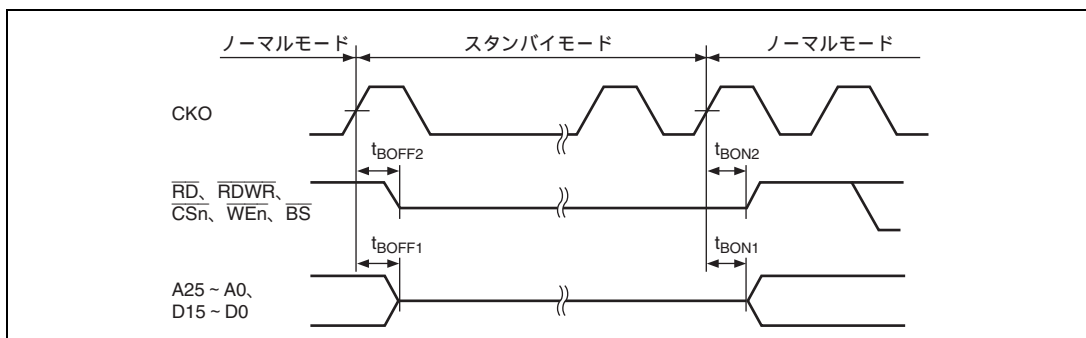


図 33.7 スタンバイ時の端子ドライブタイミング

33.4.3 AC バスタイミング仕様

表 33.9 バスタイミング

項目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 1	t_{AD1}	1	10	ns	33.8 ~ 33.38
アドレス遅延時間 2	t_{AD2}	$1/2t_{cyc}$	$1/2t_{cyc} + 10$	ns	33.15
アドレスセットアップ時間	t_{AS}	0	-	ns	33.8 ~ 33.15
アドレスホールド時間	t_{AH}	0	-	ns	33.8、33.9
BS 遅延時間	t_{BSD}	-	10	ns	33.8 ~ 33.34
CS 遅延時間 1	t_{CSD1}	1	10	ns	33.8 ~ 33.38
リードライト遅延時間 1	t_{RWD1}	1	10	ns	33.8 ~ 33.38
リードストロブ遅延時間	t_{RSD}	$1/2t_{cyc}$	$1/2t_{cyc} + 10$	ns	33.8 ~ 33.15、33.35、33.36
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{cyc} + 7$	-	ns	33.8 ~ 33.14、 33.33 ~ 33.38
リードデータセットアップ時間 2	t_{RDS2}	7	-	ns	33.16 ~ 33.19、33.24 ~ 33.26、33.33、33.34
リードデータセットアップ時間 3	t_{RDS3}	$1/2t_{cyc} + 7$	-	ns	33.15
リードデータホールド時間 1	t_{RDH1}	0	-	ns	33.8 ~ 33.14、33.33 ~ 33.38
リードデータホールド時間 2	t_{RDH2}	2	-	ns	33.16 ~ 33.19、33.24 ~ 33.26、33.33、33.34
リードデータホールド時間 3	t_{RDH3}	0	-	ns	33.15
ライトイネーブル遅延時間 1	t_{WED1}	$1/2t_{cyc}$	$1/2t_{cyc} + 10$	ns	33.8 ~ 33.13、33.37、33.38
ライトイネーブル遅延時間 2	t_{WED2}	-	10	ns	33.14
ライトデータ遅延時間 1	t_{WDD1}	-	10	ns	33.8 ~ 33.14、 33.35 ~ 33.38
ライトデータ遅延時間 2	t_{WDD2}	-	10	ns	33.20 ~ 33.23、33.27 ~ 33.29、33.33、33.34

項目	記号	Min.	Max.	単位	参照図
ライトデータホールド時間 1	t_{WDH1}	1	-	ns	33.8 ~ 33.14、 33.33 ~ 33.38
ライトデータホールド時間 2	t_{WDH2}	1	-	ns	33.20 ~ 33.23、 33.27 ~ 33.29、33.33、33.34
ライトデータホールド時間 4	t_{WDH4}	0	-	ns	33.8
ライトデータホールド時間 5	t_{WDH5}	1	-	ns	33.35 ~ 33.38
WAIT セットアップ時間 1	t_{WTS1}	$1/2t_{cyc} + 7$	-	ns	33.8 ~ 33.15、33.36、33.38
WAIT ホールド時間 1	t_{WTH1}	$1/2t_{cyc} + 2$	-	ns	33.8 ~ 33.15、33.36、33.38
RAS 遅延時間 1	t_{RASD1}	1	10	ns	33.16 ~ 33.34
CAS 遅延時間 1	t_{CASD1}	1	10	ns	33.16 ~ 33.34
DQM 遅延時間 1	t_{DQMD1}	1	10	ns	33.16 ~ 33.34
CKE 遅延時間 1	t_{CKED1}	1	10	ns	33.31 ~ 33.34
DACK 遅延時間	t_{DACK}	-	13	ns	33.8 ~ 33.33
ICIORD 遅延時間	t_{ICRSD}	-	$1/2t_{cyc} + 10$	ns	33.37、33.38
ICIOWR 遅延時間	t_{ICWSD}	-	$1/2t_{cyc} + 10$	ns	33.37、33.38
IOIS16 セットアップ時間	t_{IO16S}	$1/2t_{cyc} + 6$	-	ns	33.38
IOIS16 ホールド時間	t_{IO16H}	$1/2t_{cyc} + 4$	-	ns	33.38
REFOUT、IRQOUT 遅延時間	t_{REFOD}	-	$1/2t_{cyc} + 10$	ns	33.39

33.4.4 基本タイミング

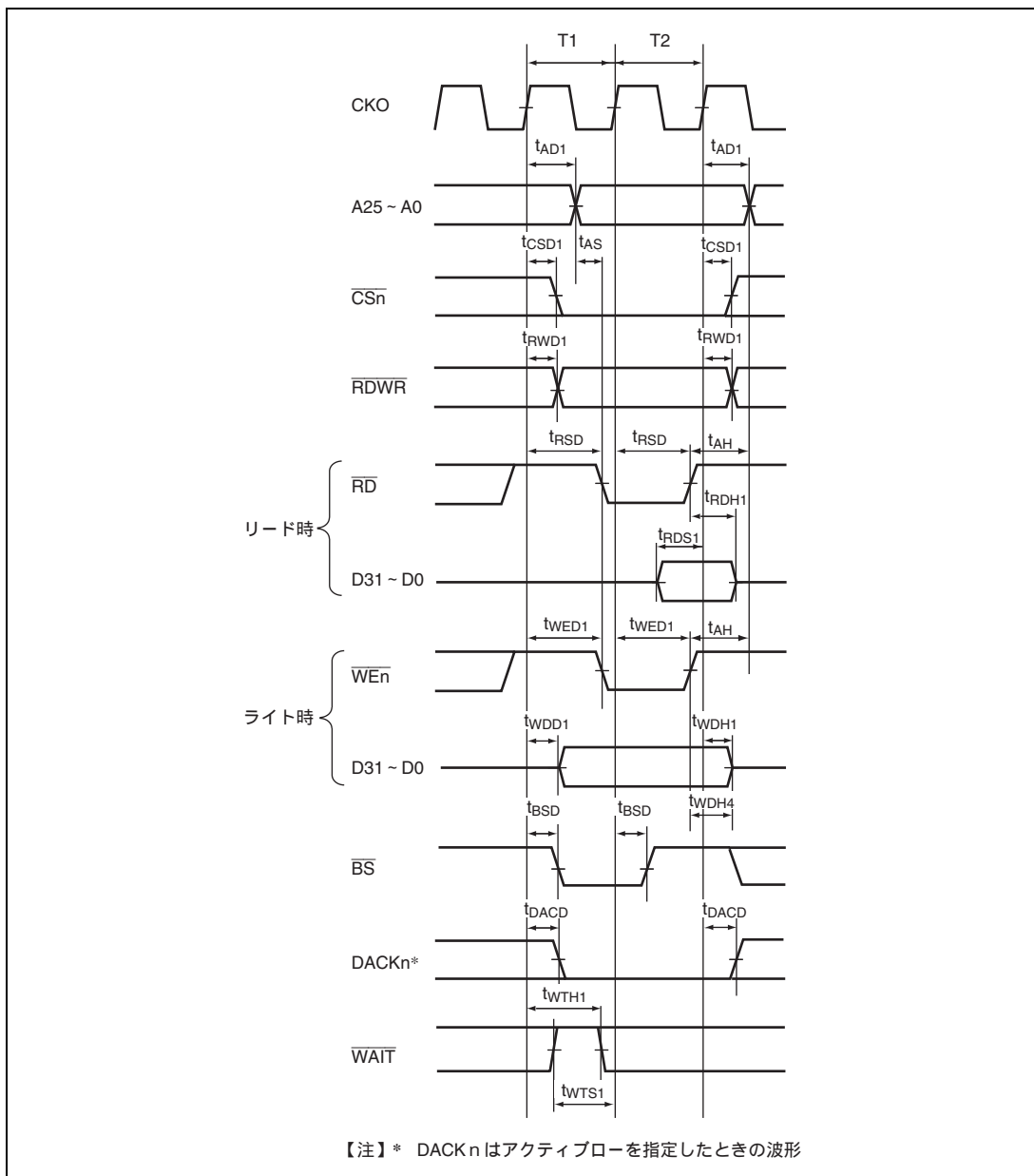


図 33.8 通常空間基本バスサイクル (ノーウェイト)

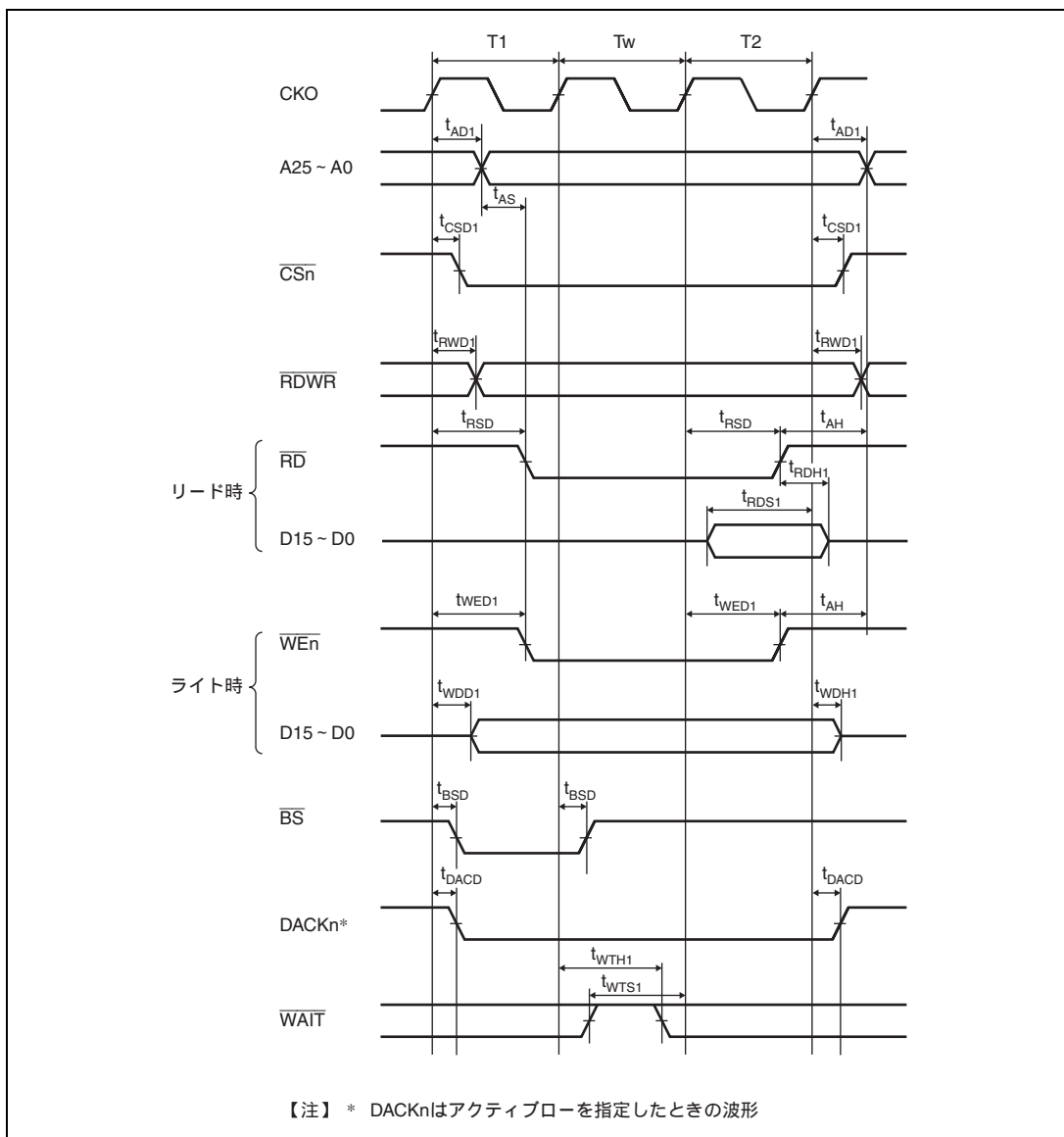


図 33.9 通常空間基本バスサイクル (ソフトウェアウェイト 1)

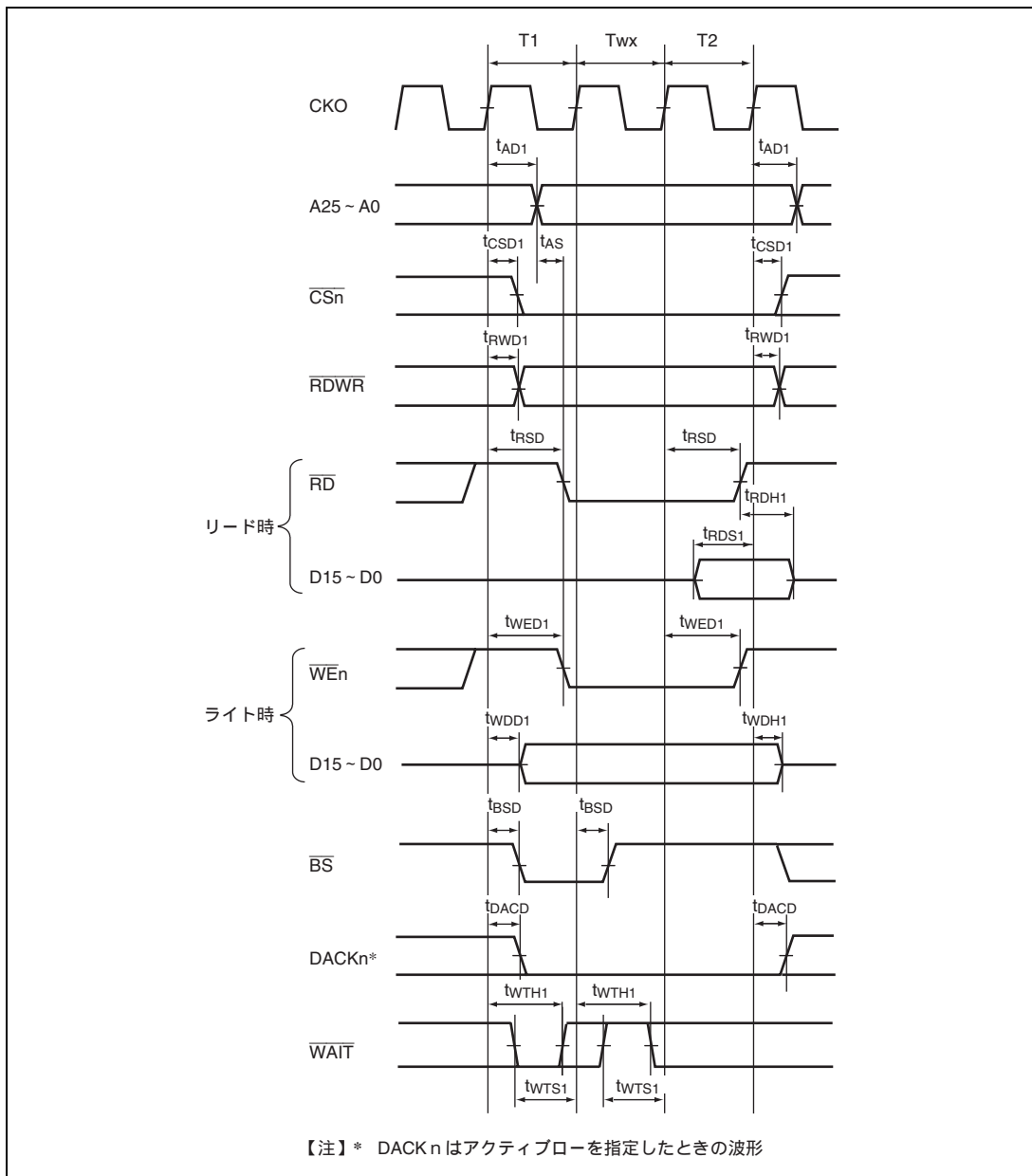


図 33.10 通常空間基本バスサイクル (非同期外部ウェイト 1 挿入)

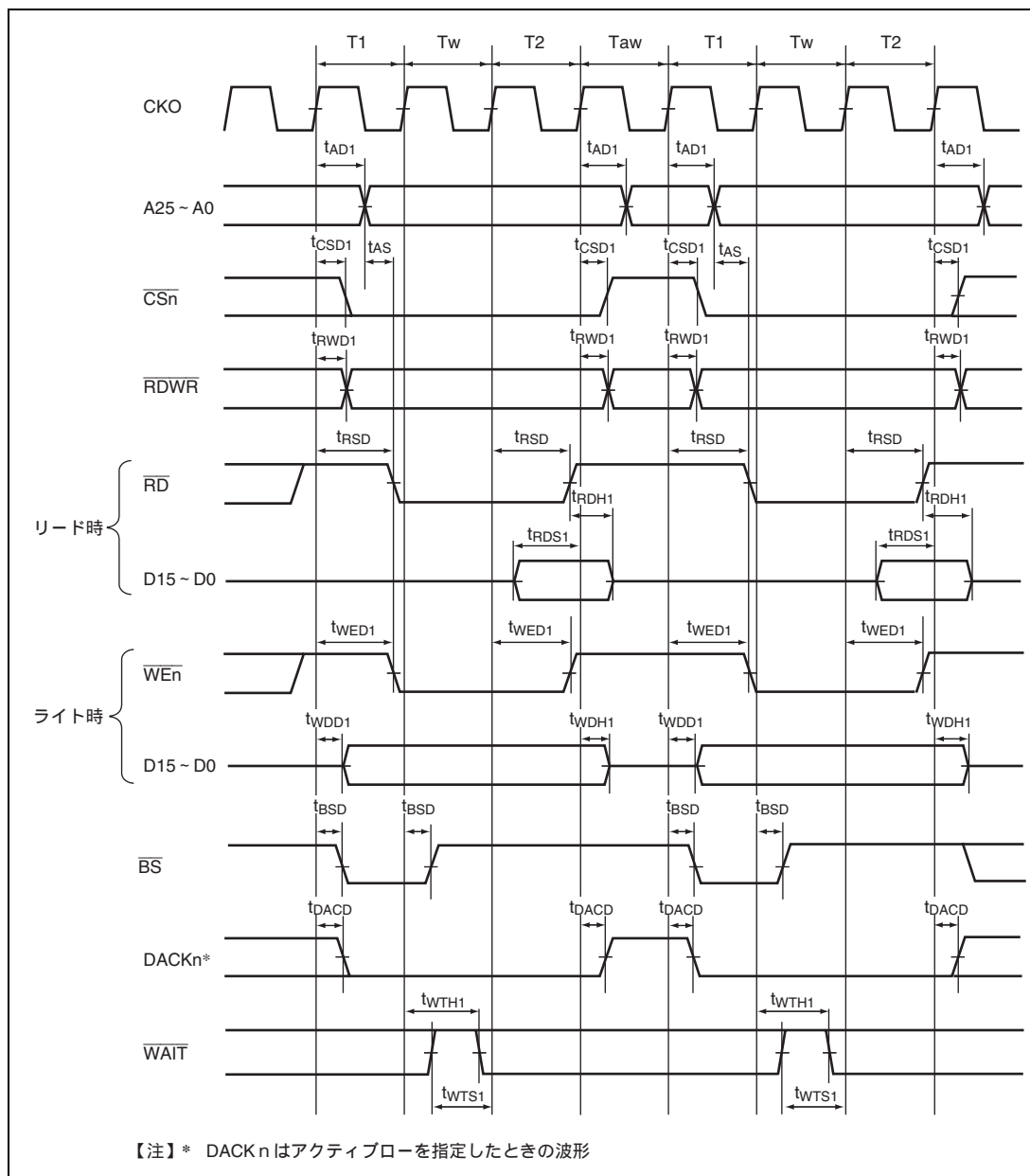


図 33.11 通常空間基本バスサイクル
(ソフトウェアウェイト1、外部ウェイト有効(WMビット=0)、アイドルサイクルなし設定)

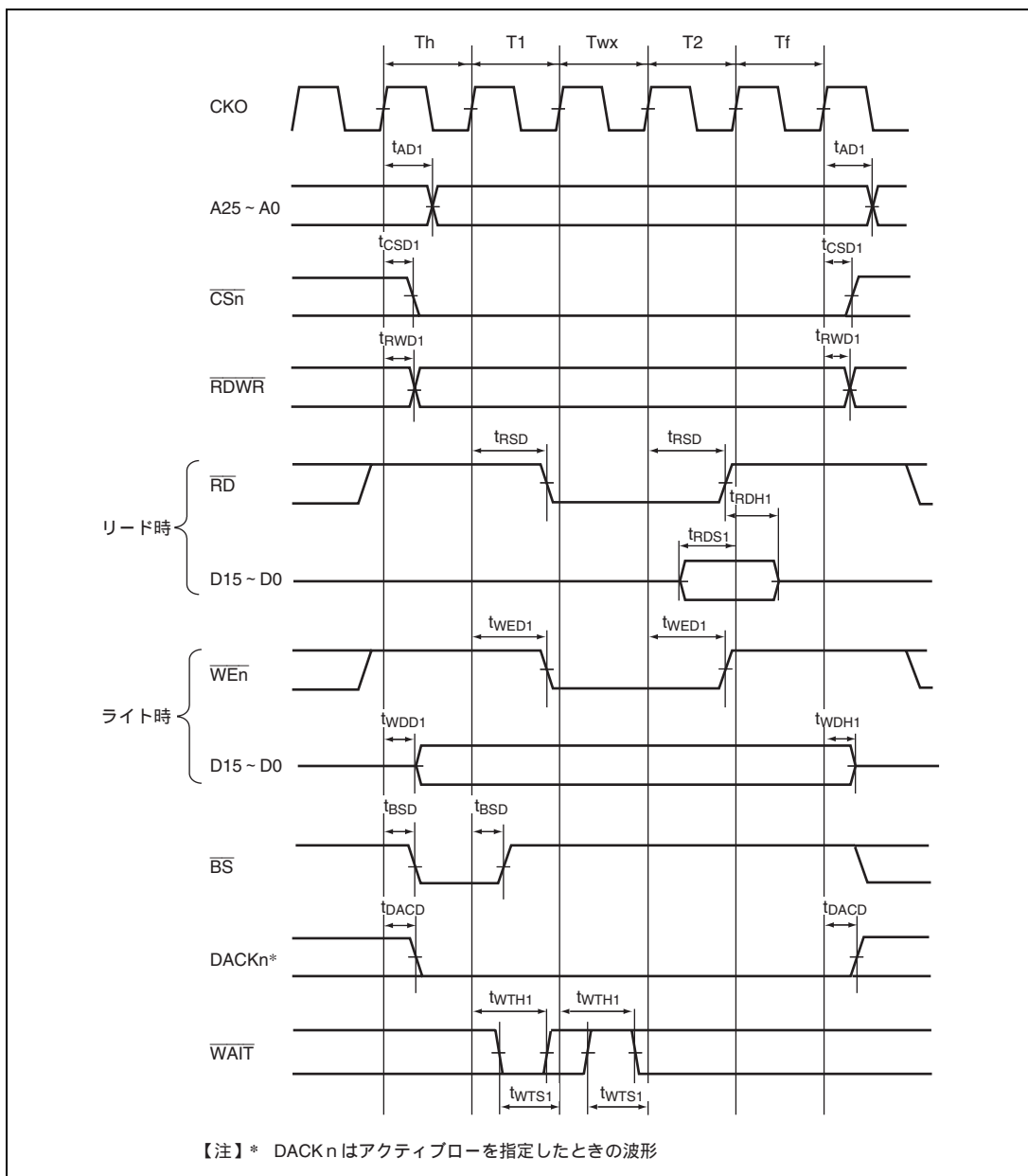


図 33.12 通常空間 CS 拡張バスサイクル
 (CSnWCR.SW[1:0]=B'01、CSnWCR.HW[1:0]=B'01、外部ウェイト 1 挿入)

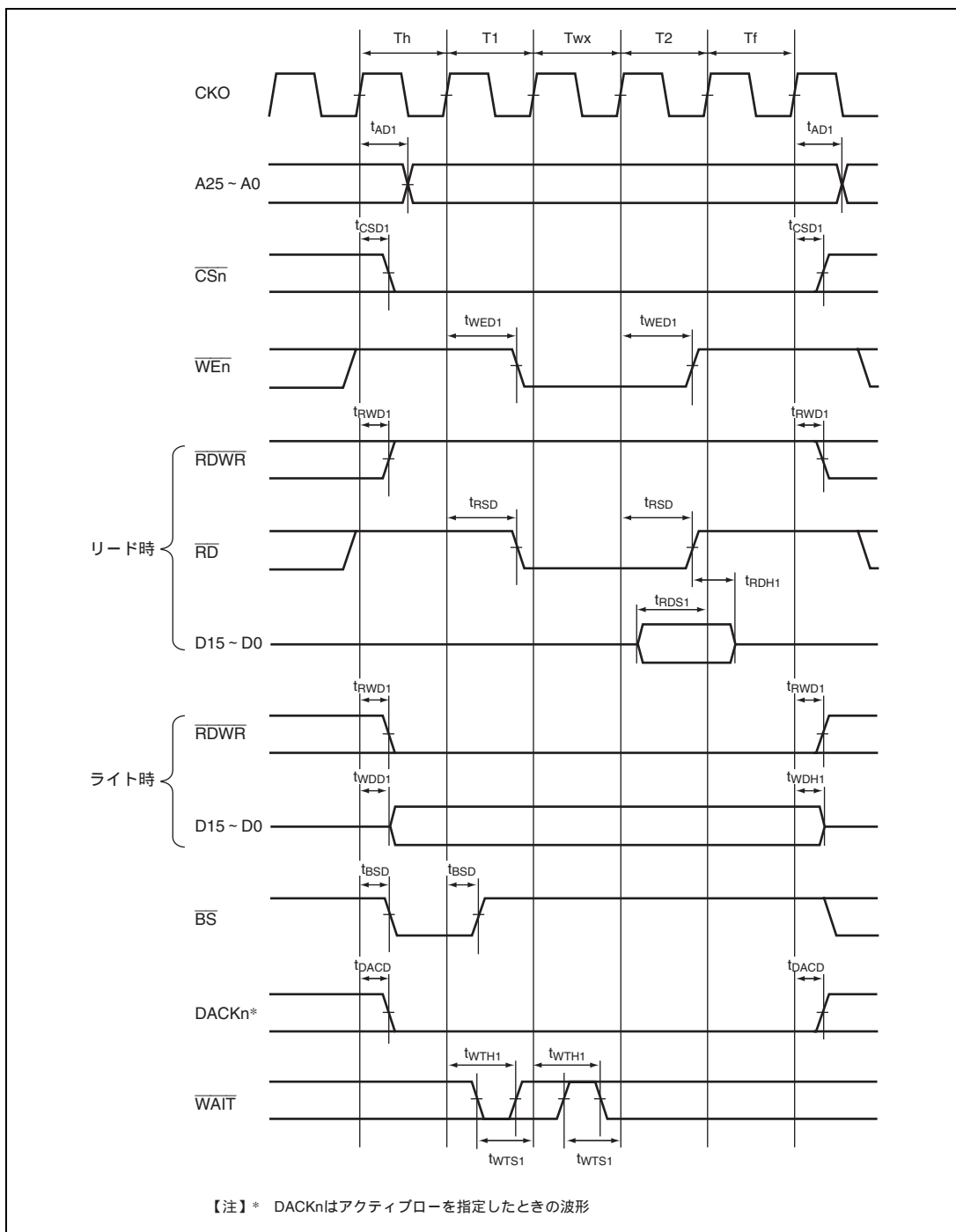


図 33.13 バイト選択付き SRAM バスサイクル
 (CSnWCR.SW[1:0]=B'01、CSnWCR.HW[1:0]=B'01、外部ウェイト 1 挿入、
 BAS = 0 (ライトサイクル UB、LB コントロール))

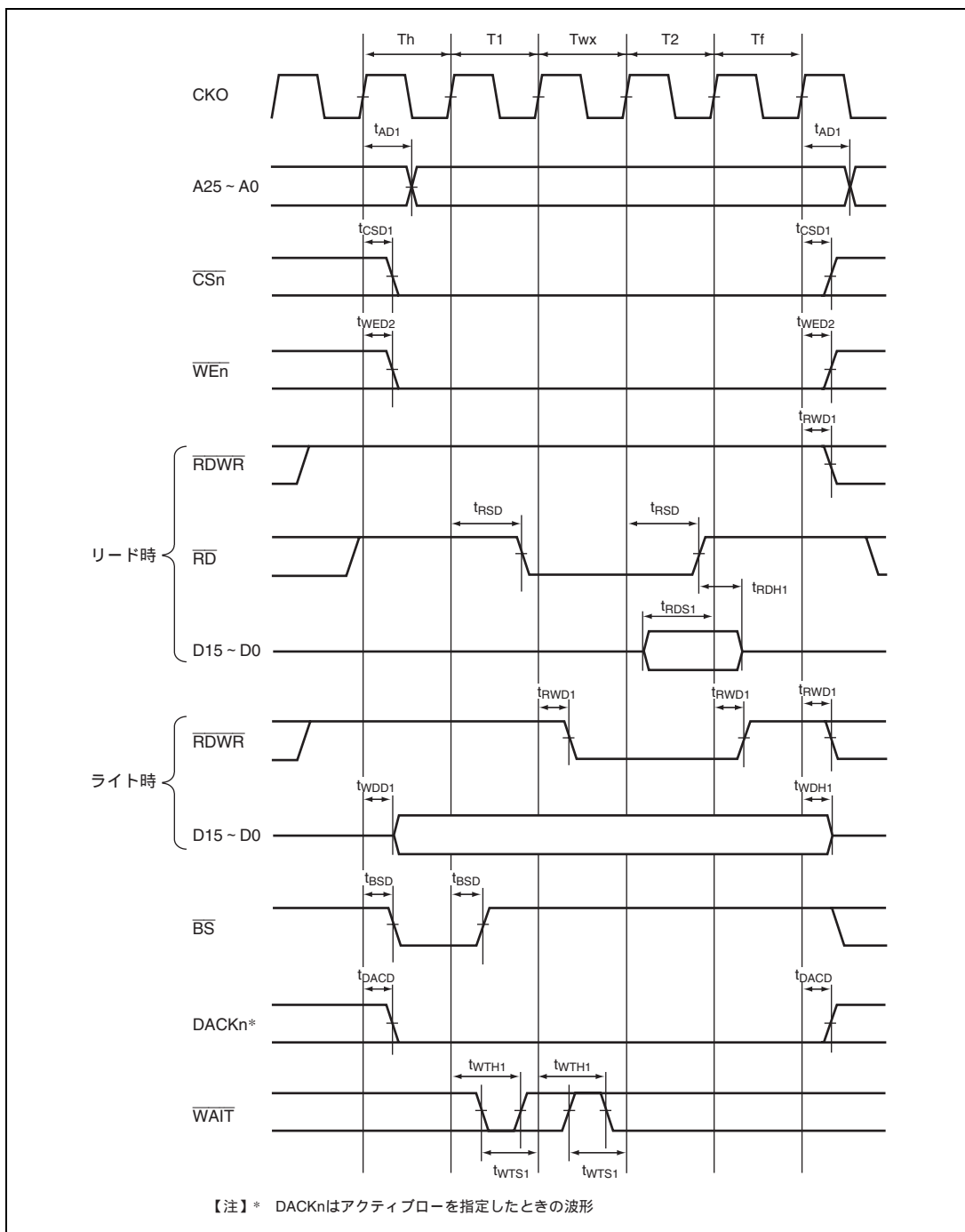


図 33.14 バイト選択付き SRAM バスサイクル
 (CSnWCR.SW[1:0]=B'01、CSnWCR.HW[1:0]=B'01、外部ウェイト 1 挿入、
 BAS = 1 (ライトサイクル WE コントロール))

33.4.5 バースト ROM タイミング

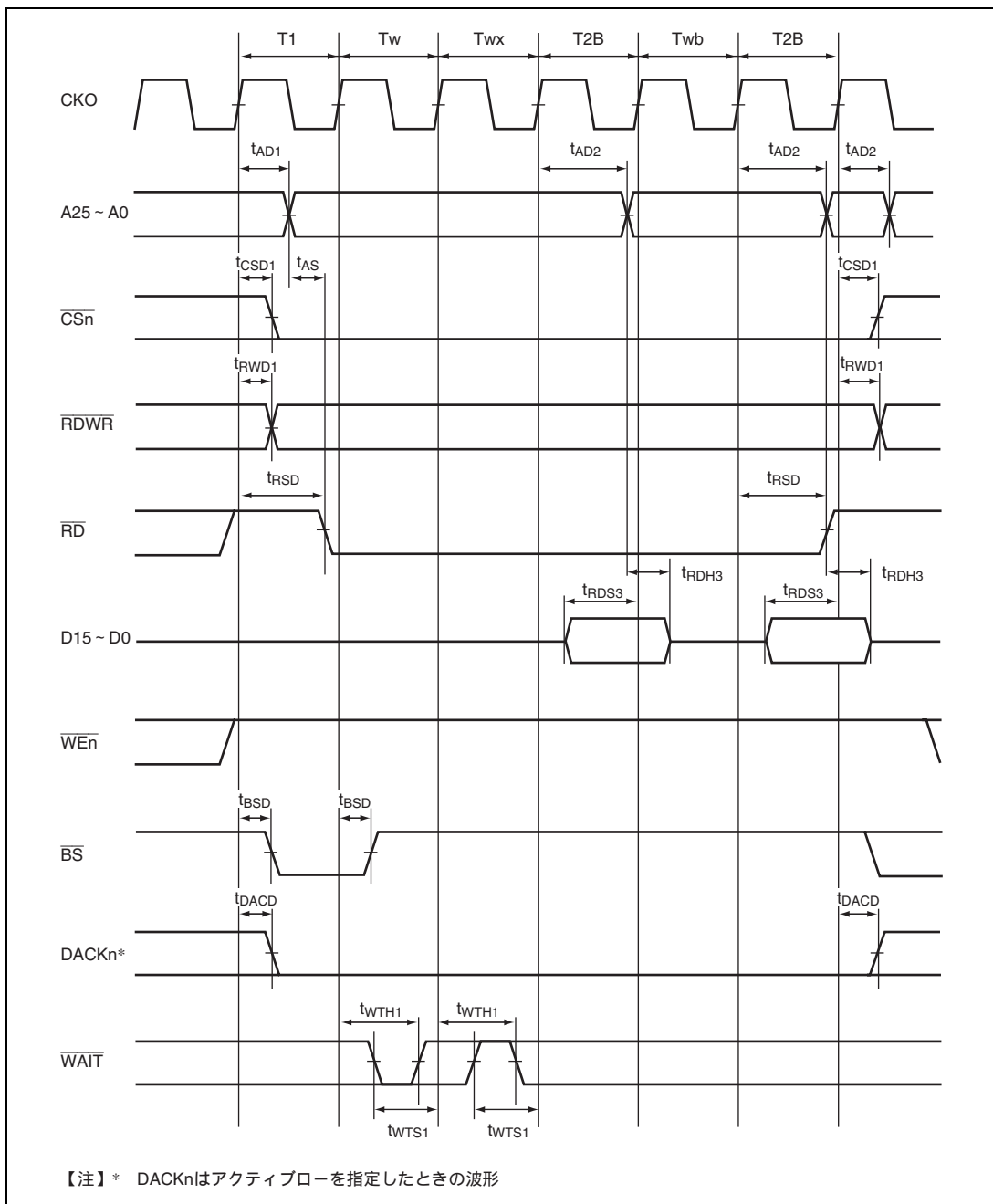


図 33.15 バースト ROM リードバスサイクル
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)

33.4.6 SDRAM タイミング

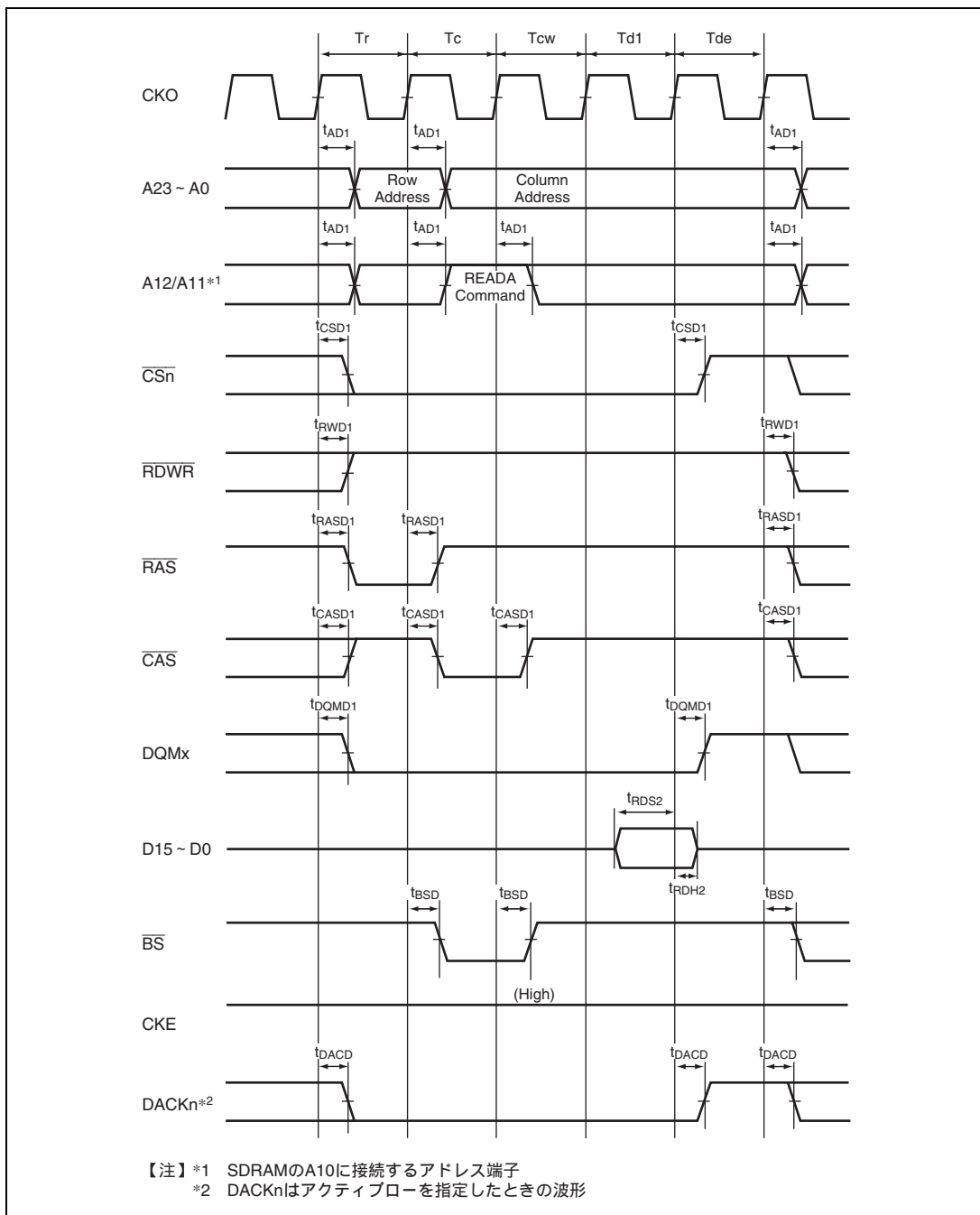


図 33.16 SDRAM シングルリードバスサイクル
(オートプリチャージモード、CAS レイテンシ 2、TRCD = 1 サイクル、TRP = 1 サイクル)

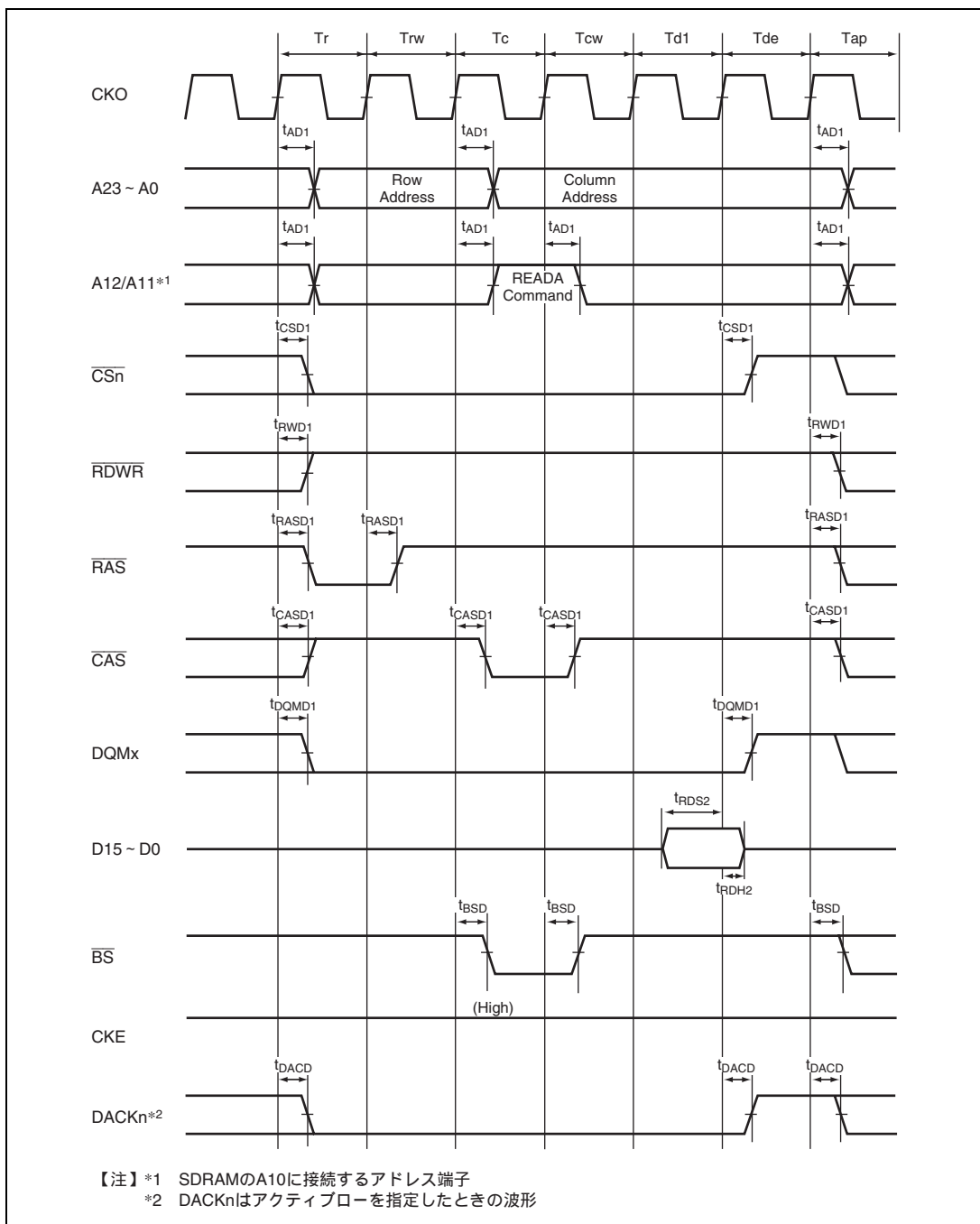


図 33.17 SDRAM シングルリードバスサイクル
(オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=2 サイクル)

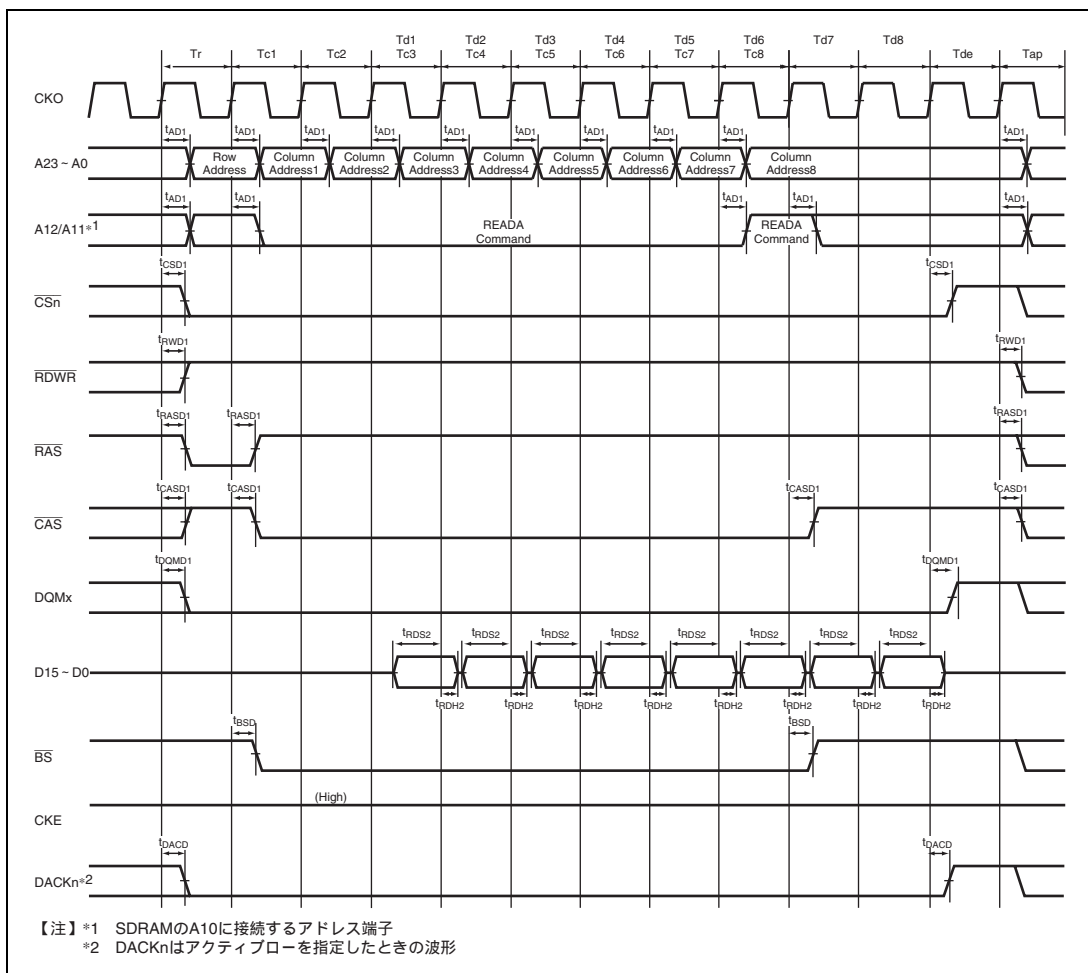


図 33.18 SDRAM バーストリードバスサイクル (シングルリード×8)
(オートプリチャージモード、CAS レイテンシ 2、TRCD=1 サイクル、TRP=2 サイクル)

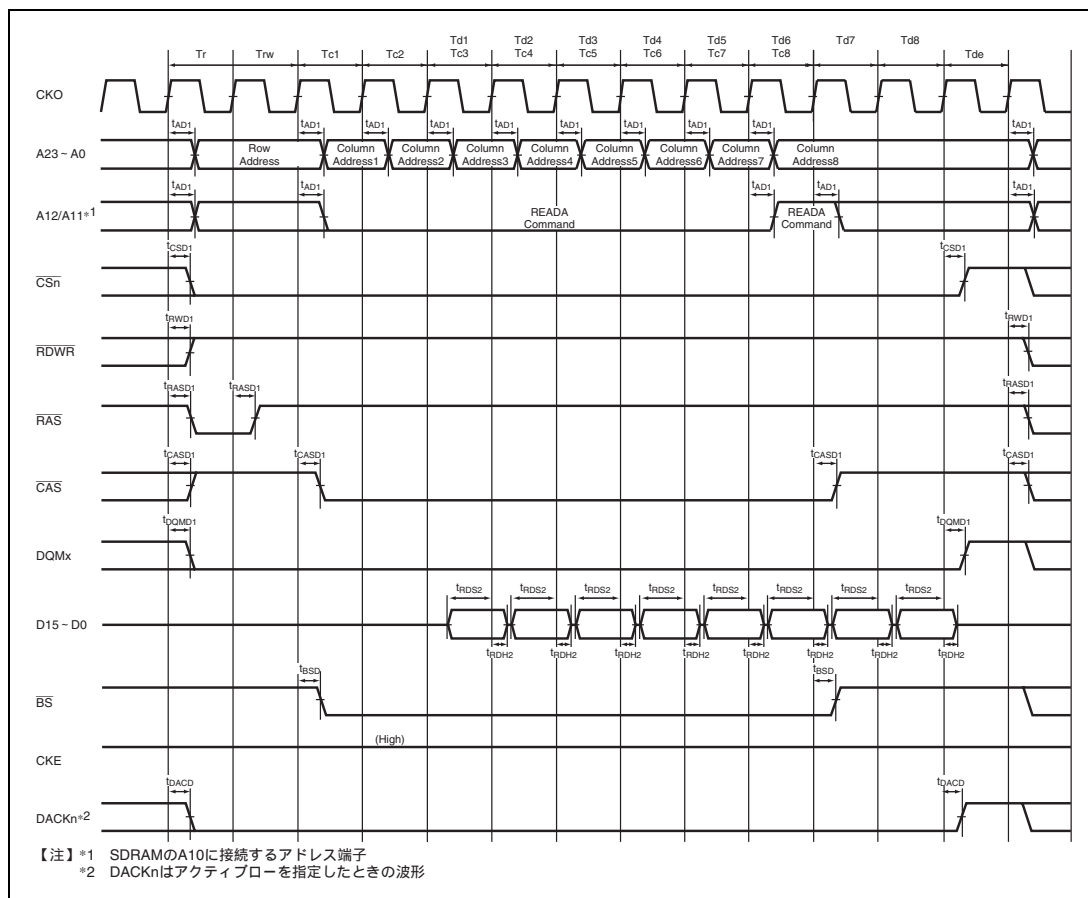


図 33.19 SDRAM バーストリードバスサイクル (シングルリード×8)
(オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、TRP=1 サイクル)

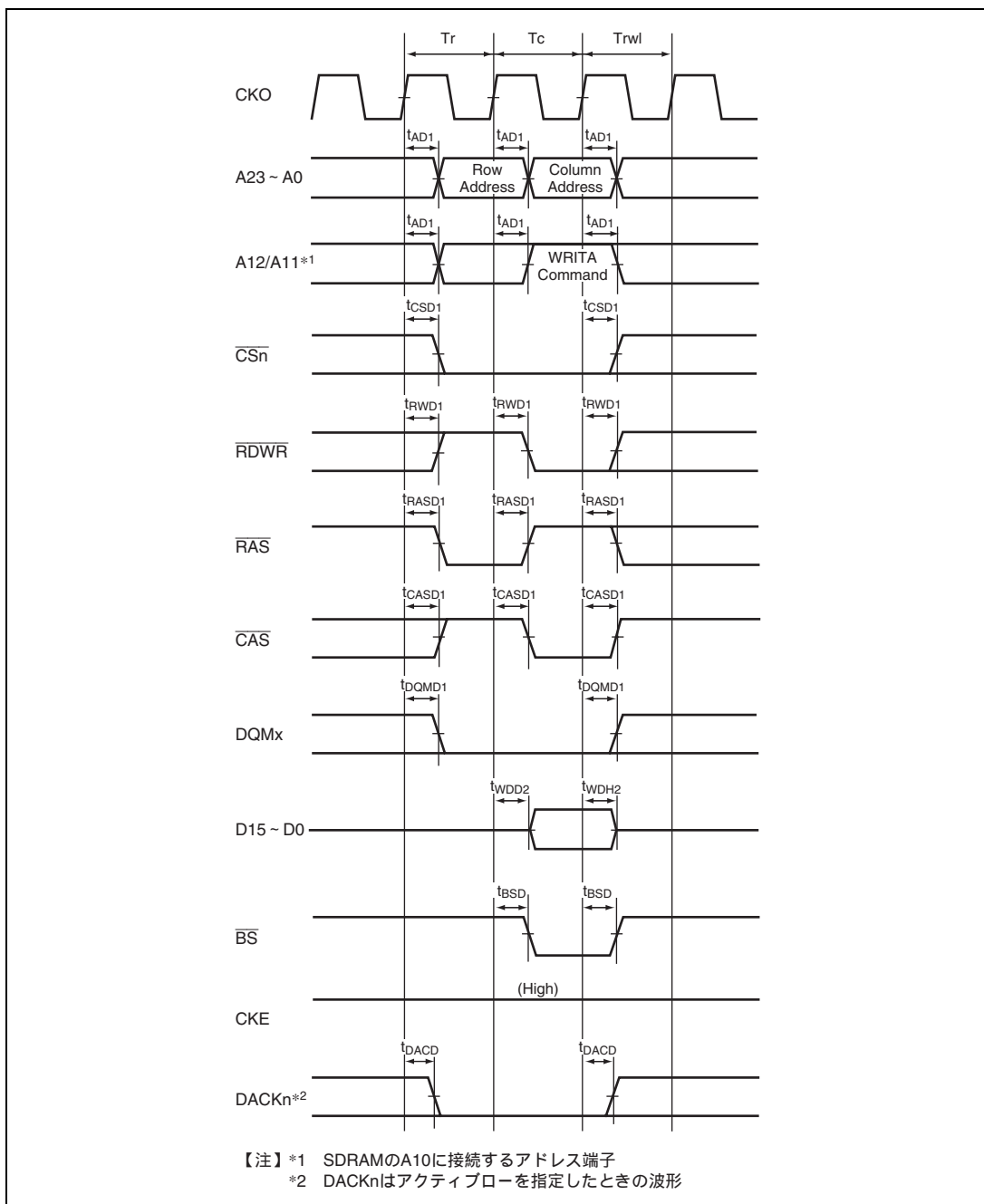


図 33.20 SDRAM シングルライトバスサイクル
(オートプリチャージモード、TRWL=1 サイクル)

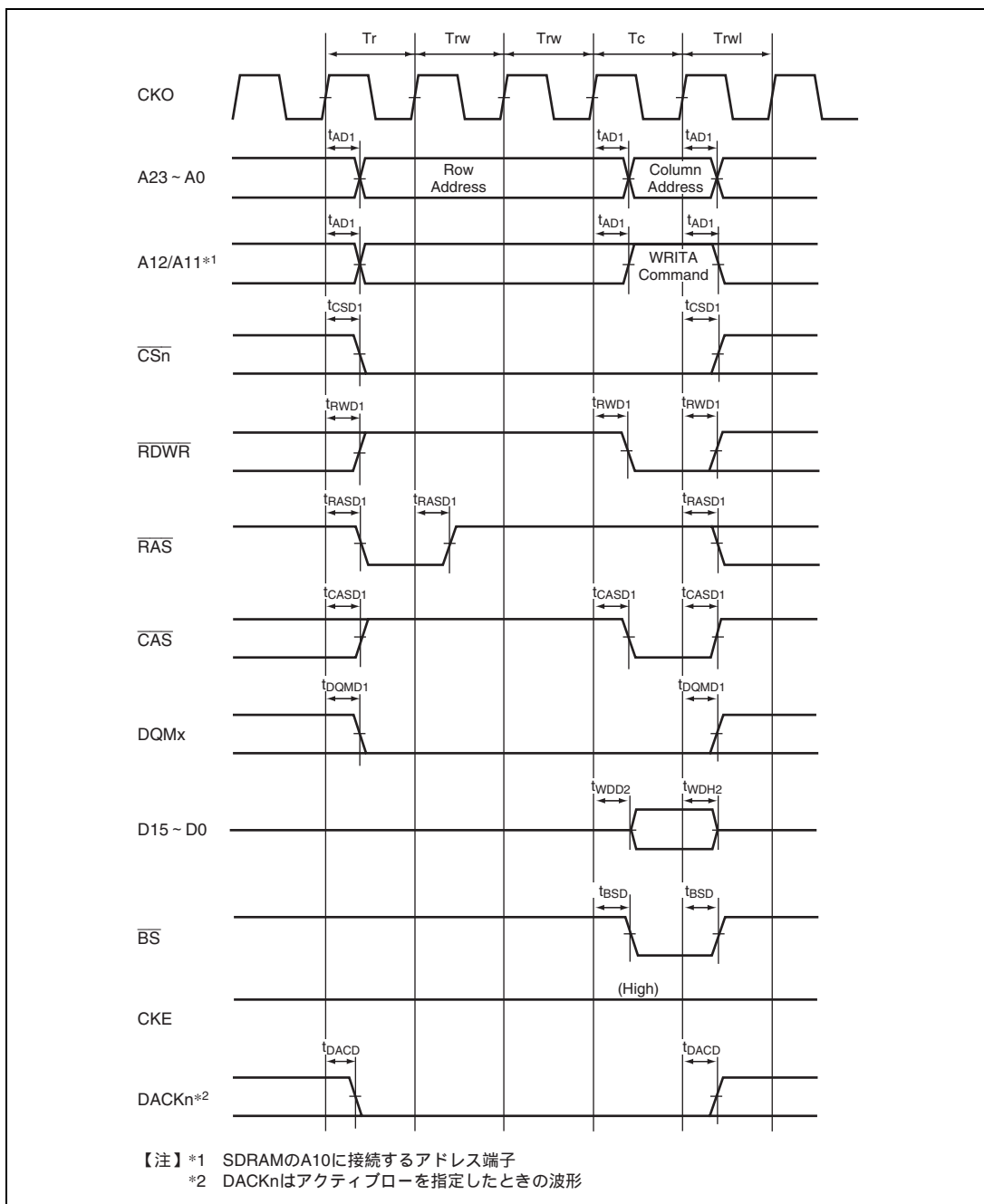


図 33.21 SDRAM シングルライトバスサイクル
(オートプリチャージモード、TRCD = 3 サイクル、TRWL = 1 サイクル)

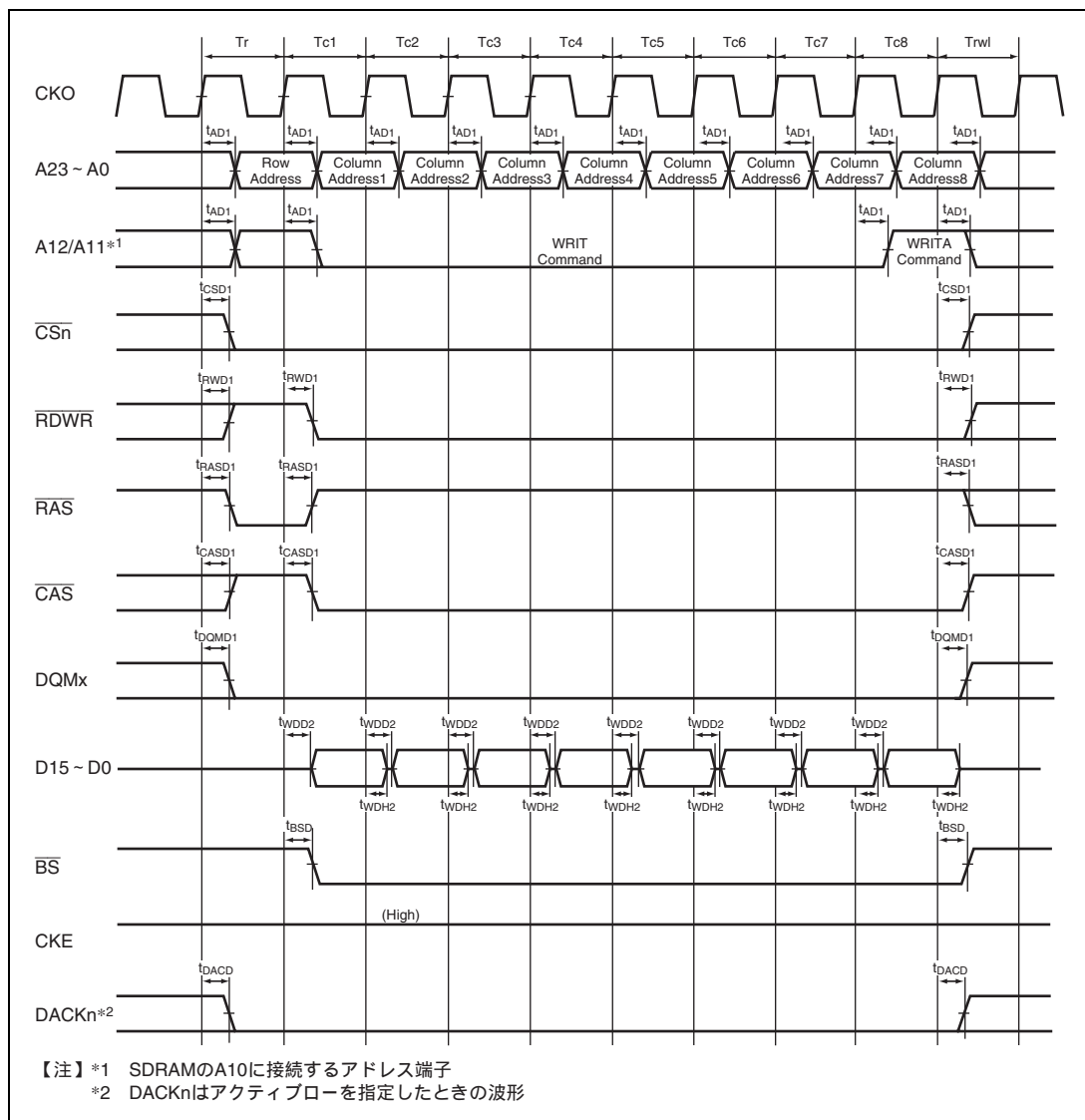


図 33.22 SDRAM パーストライトバスサイクル (シングルライト×8)
(オートプリチャージモード、TRCD = 1 サイクル、TRWL = 1 サイクル)

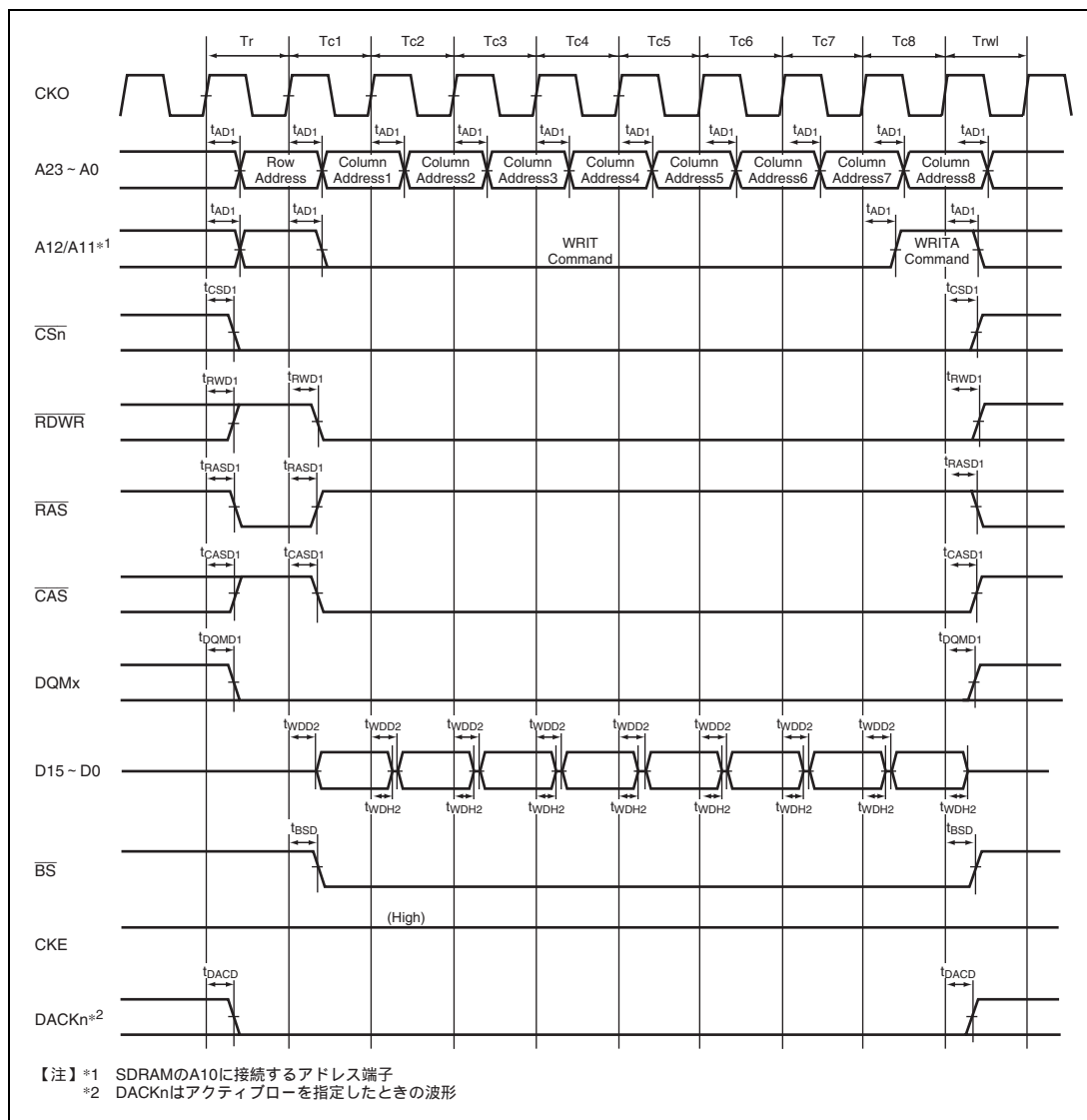


図 33.23 SDRAM バーストライトバスサイクル (シングルライト×8)
(オートプリチャージモード、TRCD=2 サイクル、TRWL=1 サイクル)

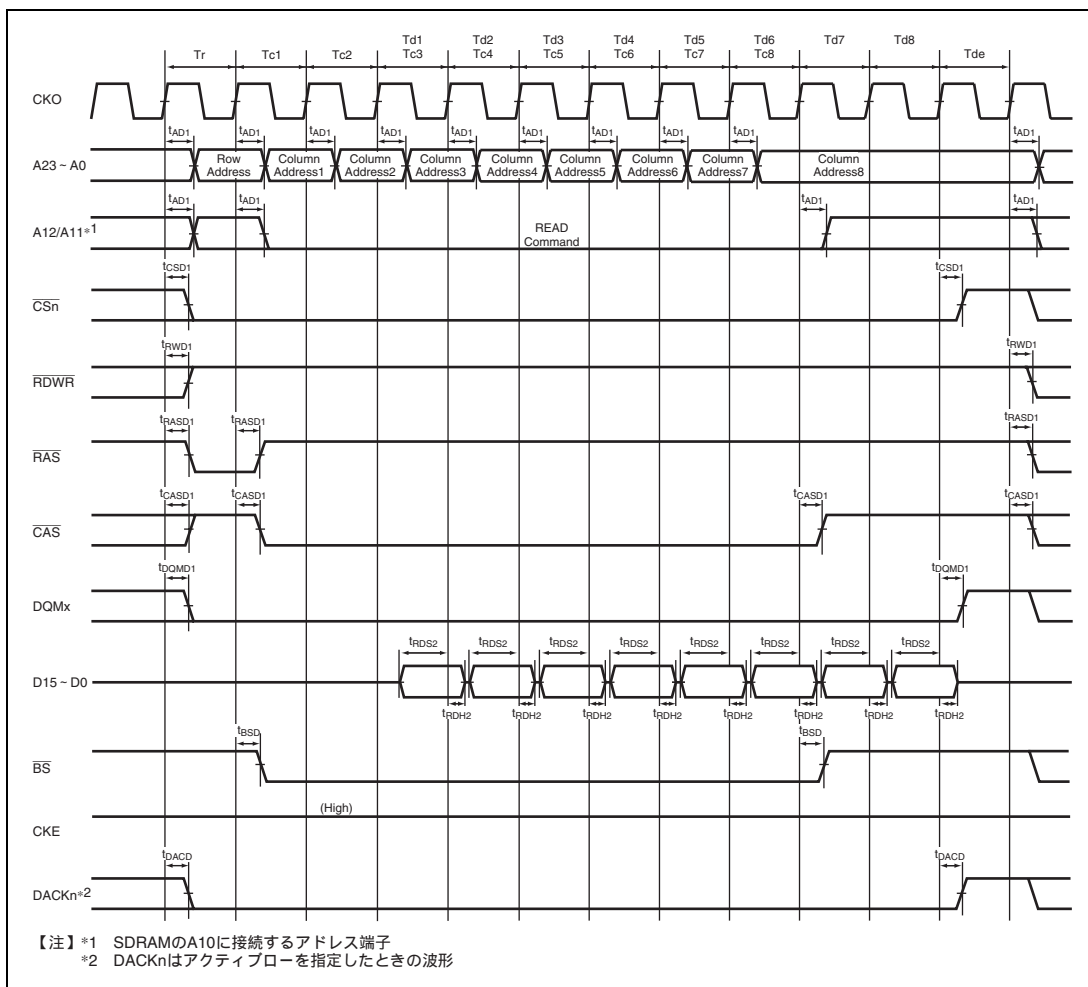


図 33.24 SDRAM パーストリードバスサイクル (シングルリード×8)
(バンクアクティブモード: ACTV+READ コマンド、CAS レイテンシ 2、TRCD = 1 サイクル)

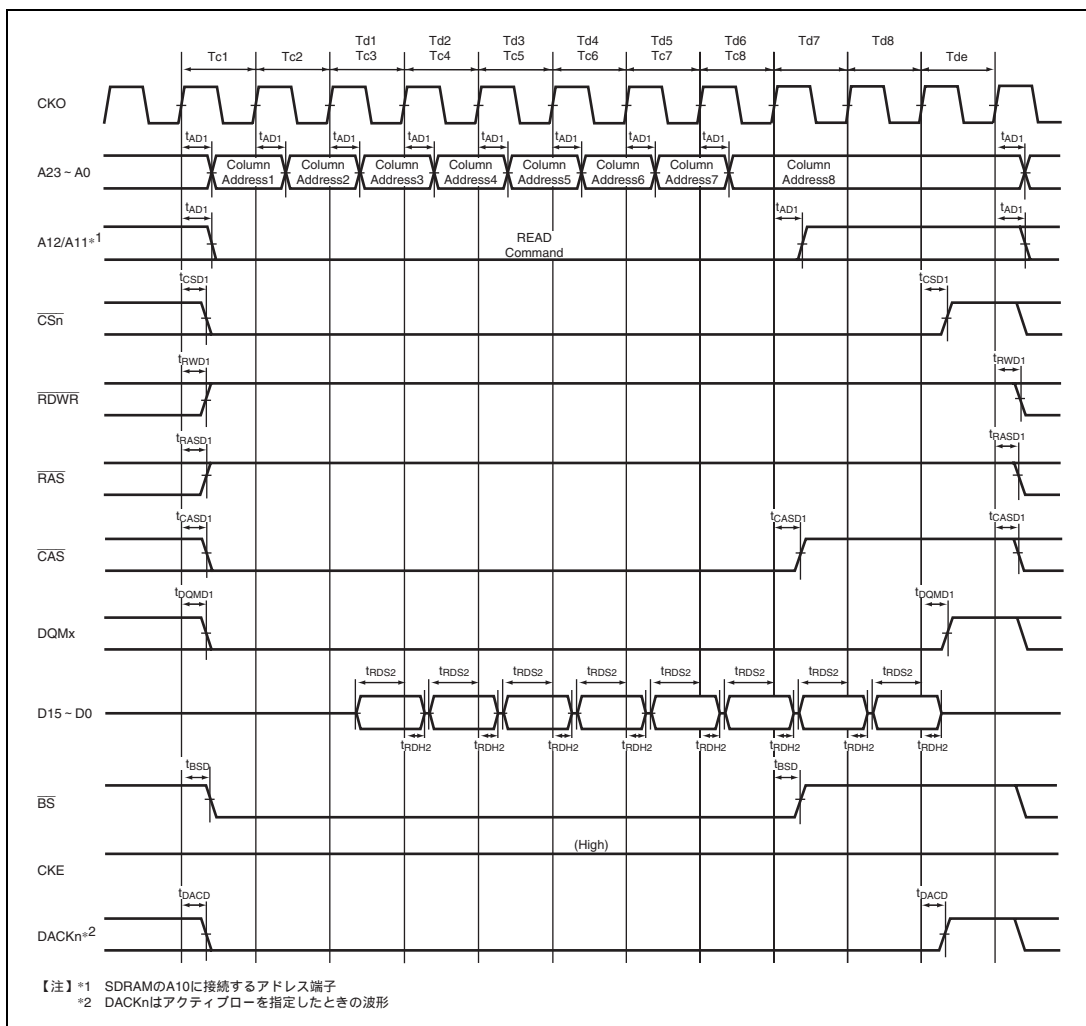


図 33.25 SDRAM バーストリードバスサイクル (シングルリード×8)
(バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、TRCD = 1 サイクル)

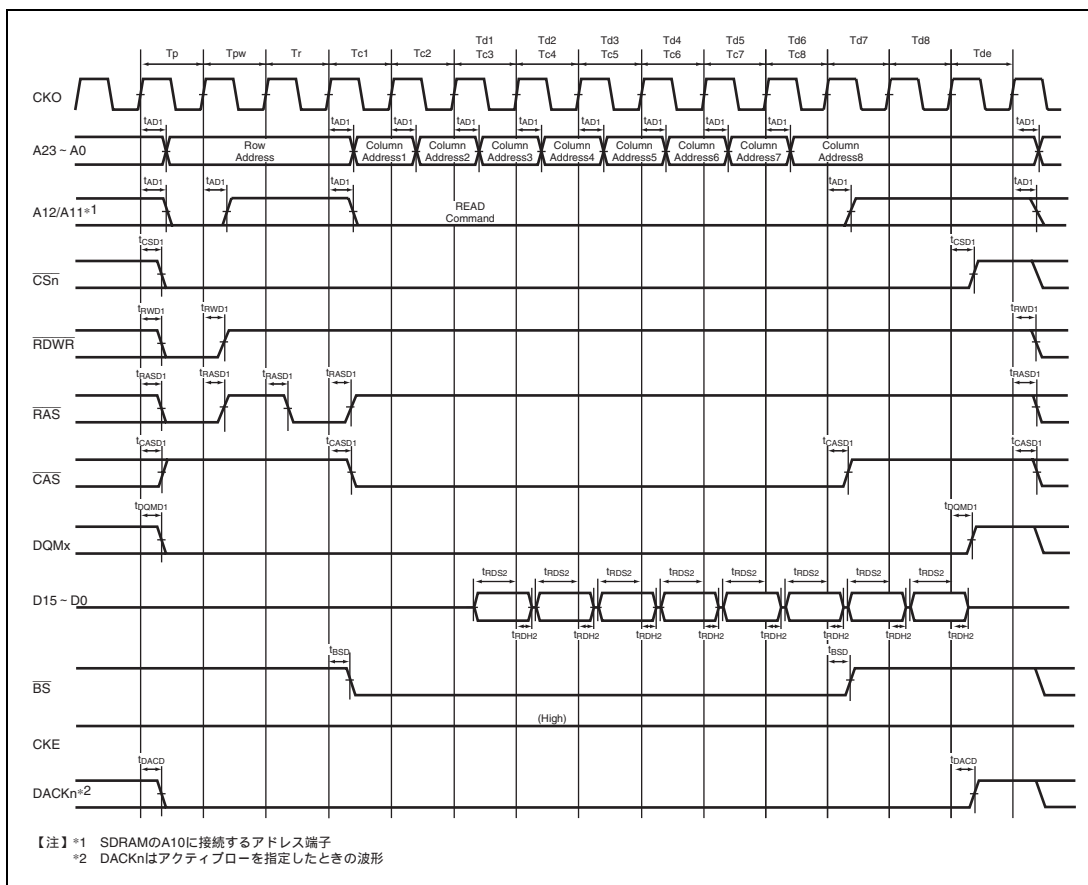


図 33.26 SDRAM バーストリードバスサイクル (シングルリード×8)
 (バンクアクティブモード : PRE+ACTV+READ コマンド、異なるロウアドレス、CAS レイテンシ 2、
 TRCD = 1 サイクル)

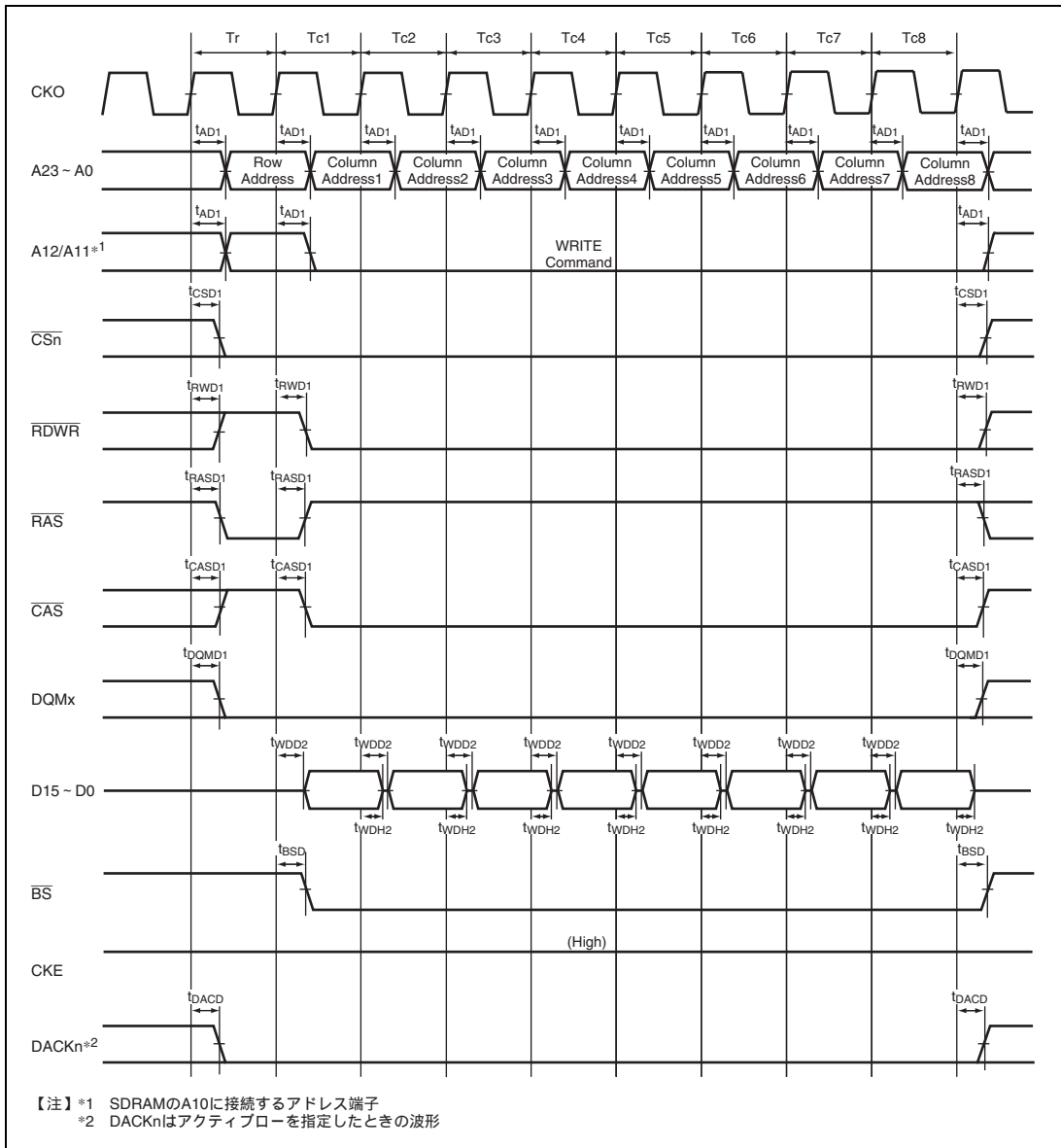


図 33.27 SDRAM バーストライトバスサイクル (シングルライト×8)
(バンクアクティブモード、ACTV+WRIT コマンド、TRCD=1 サイクル)

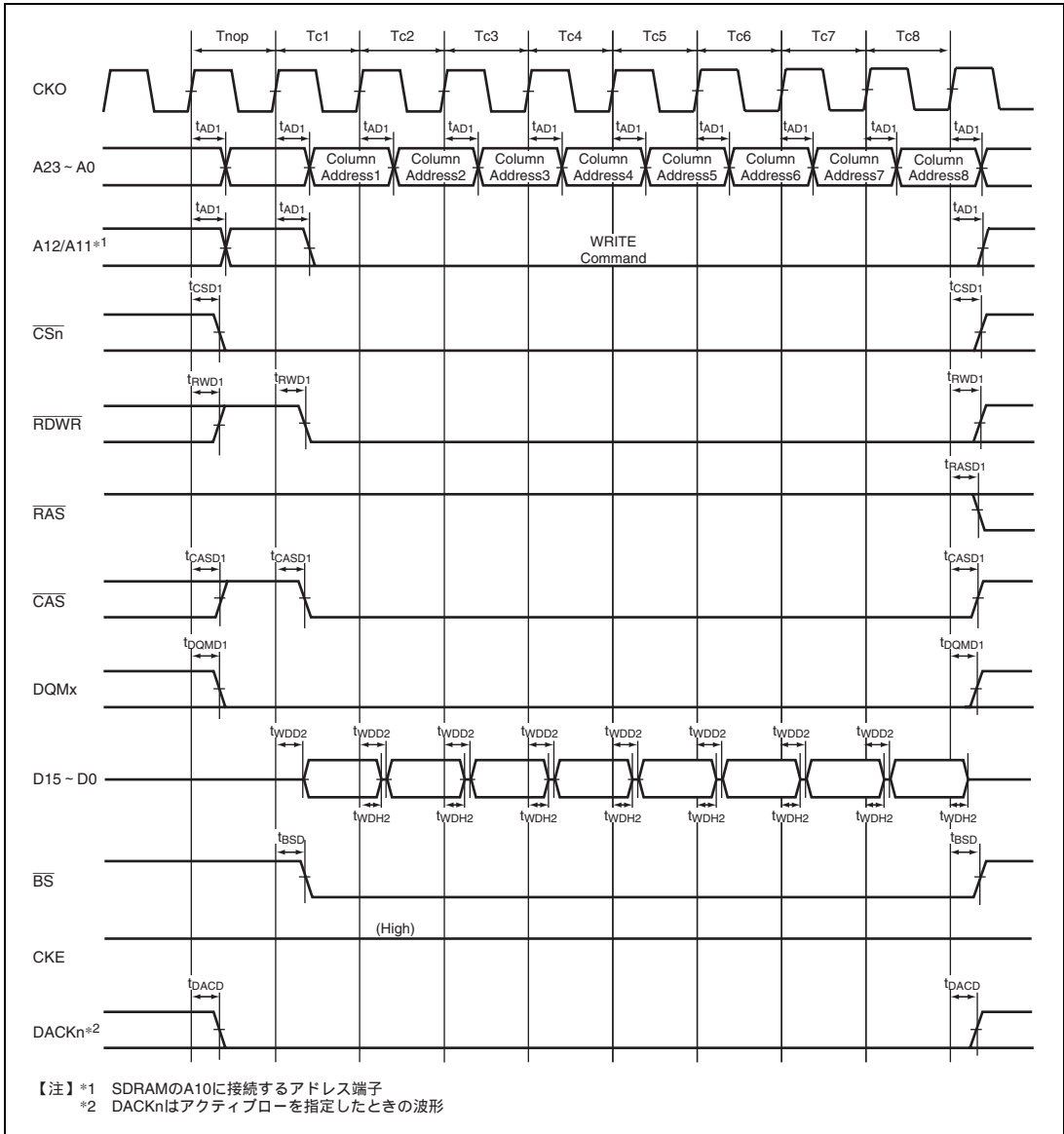


図 33.28 SDRAM パーストライトバスサイクル (シングルライト×8)
(バンクアクティブモード、ACTV+WRIT コマンド、TRCD = 1 サイクル)

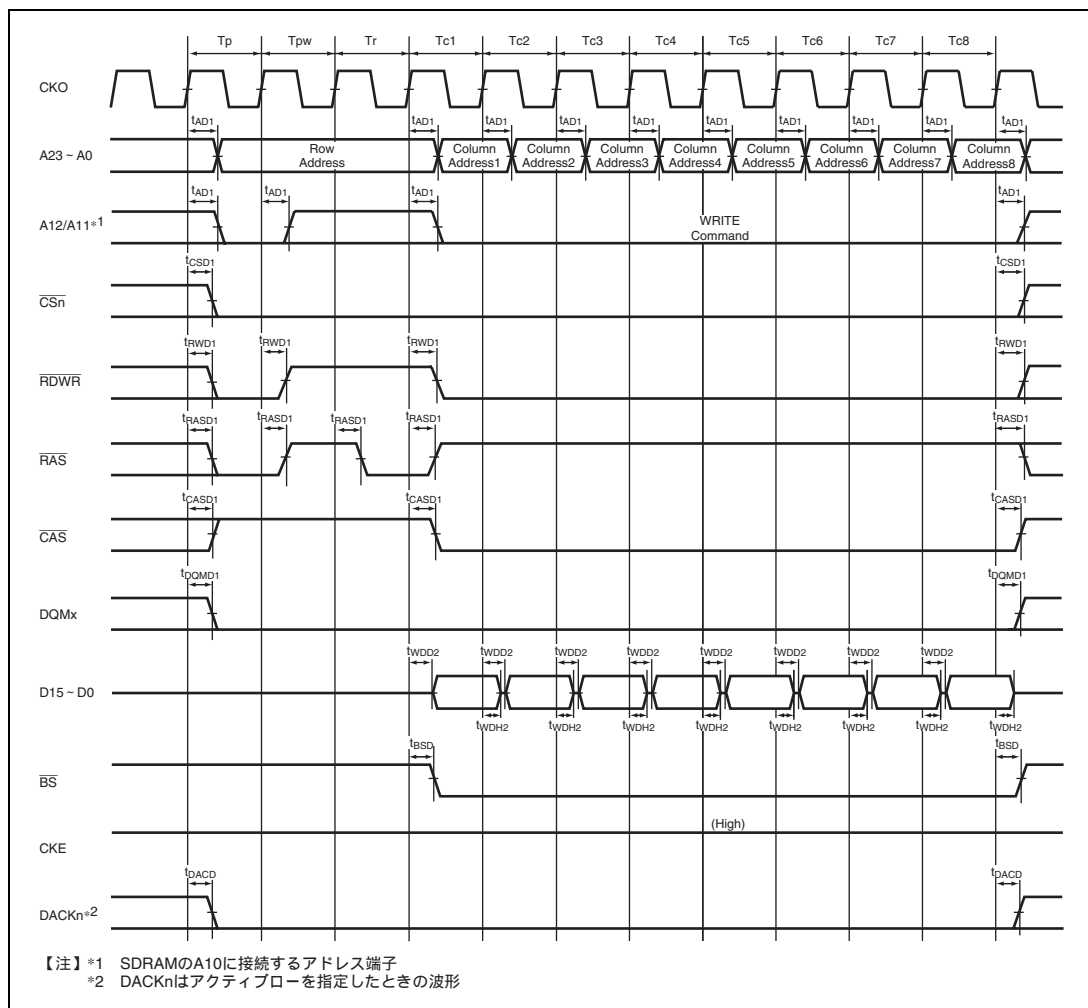


図 33.29 SDRAM パーストライトバスサイクル (シングルライト×8)
(バンクアクティブモード、PRE+ACTV+WRIT コマンド、TRCD = 1 サイクル)

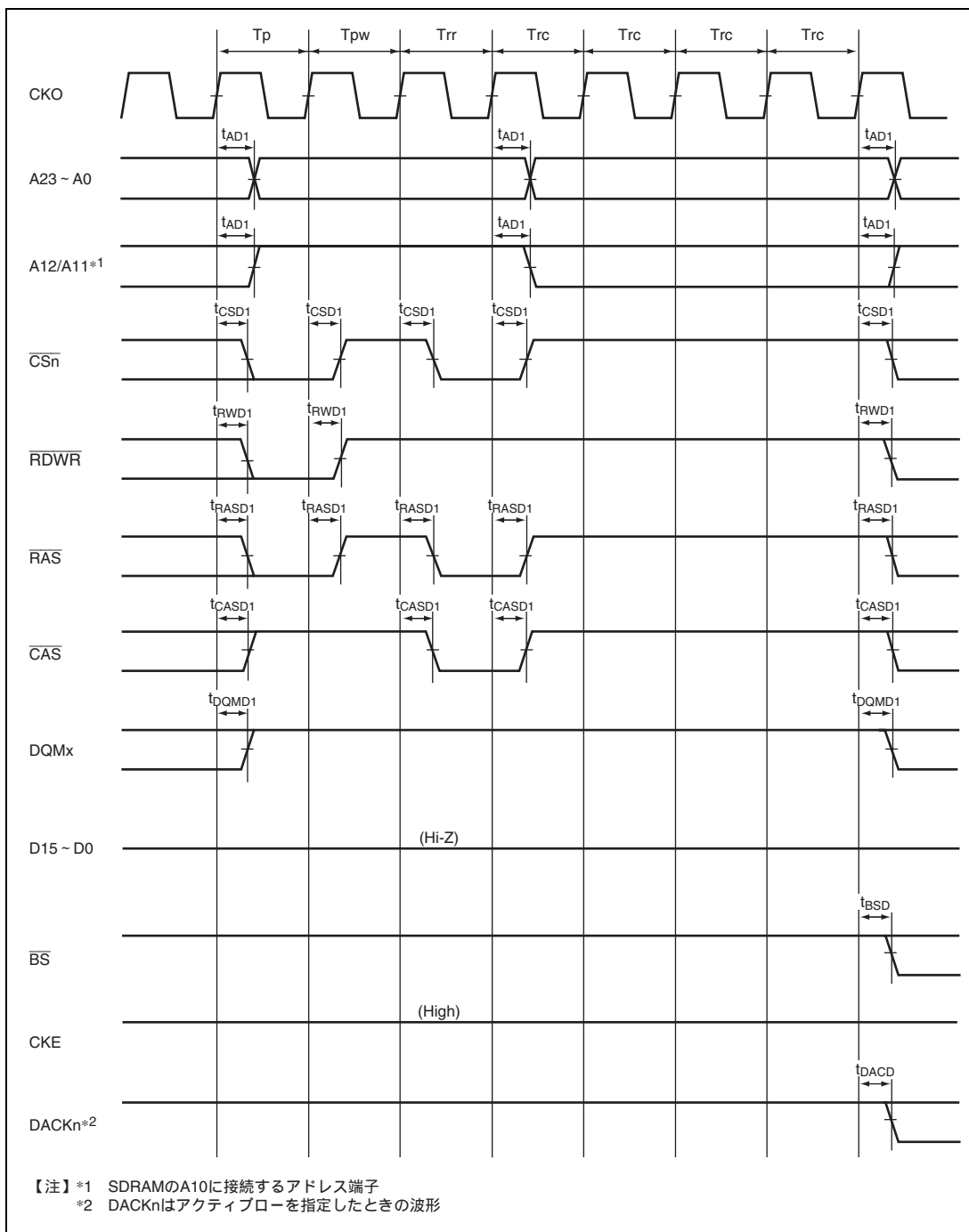


図 33.30 SDRAM オートリフレッシュタイミング (TRP = 2 サイクル)

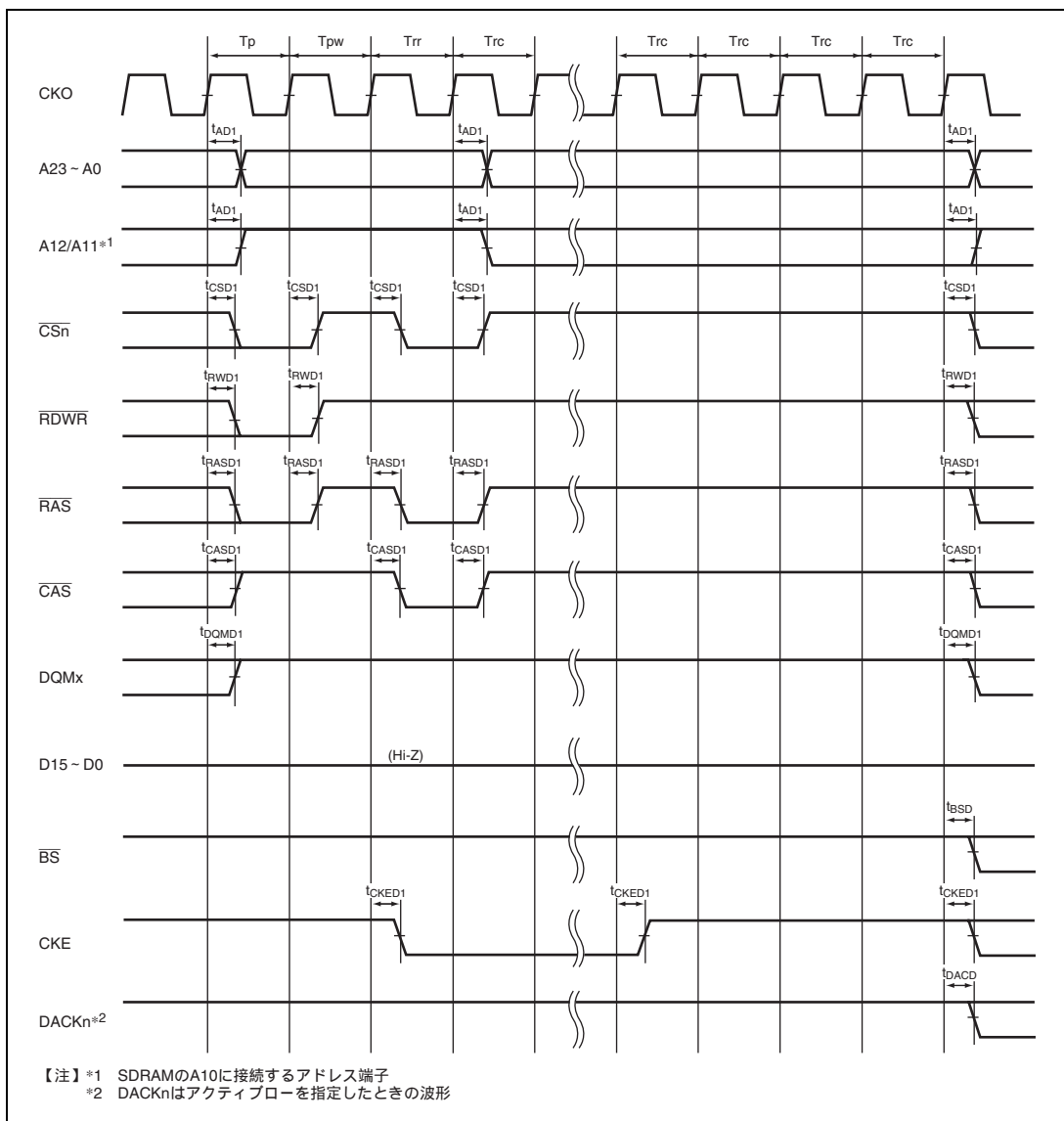


図 33.31 SDRAM セルフリフレッシュタイミング (TRP = 2 サイクル)

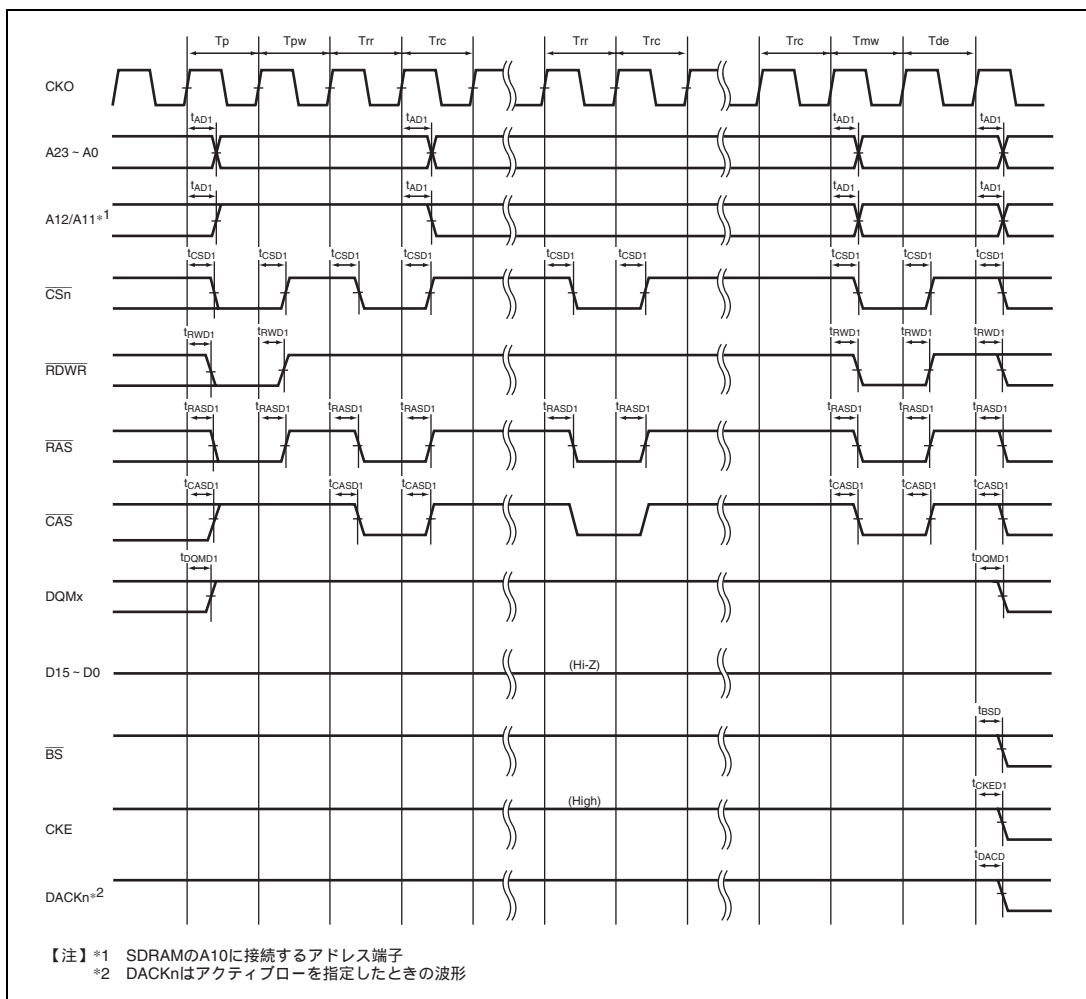


図 33.32 SDRAM パワーオンシーケンス (モードライトタイミング、TRP=2 サイクル)

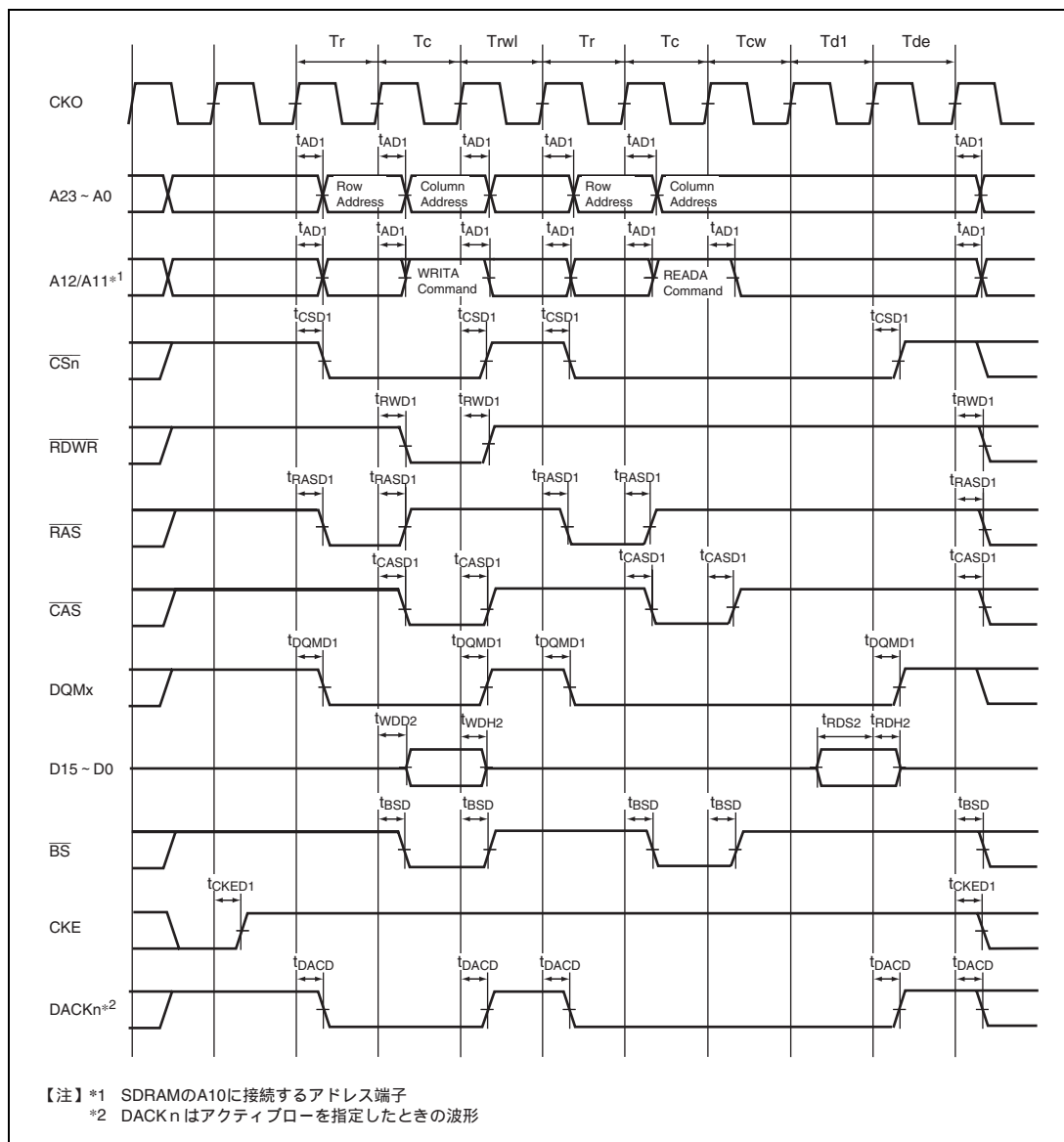


図 33.33 SDRAM パワーダウンモードライトリードバスサイクル
(オートプリチャージモード、TRCD = 1 サイクル、TRP = 1 サイクル、TRWL = 1 サイクル)

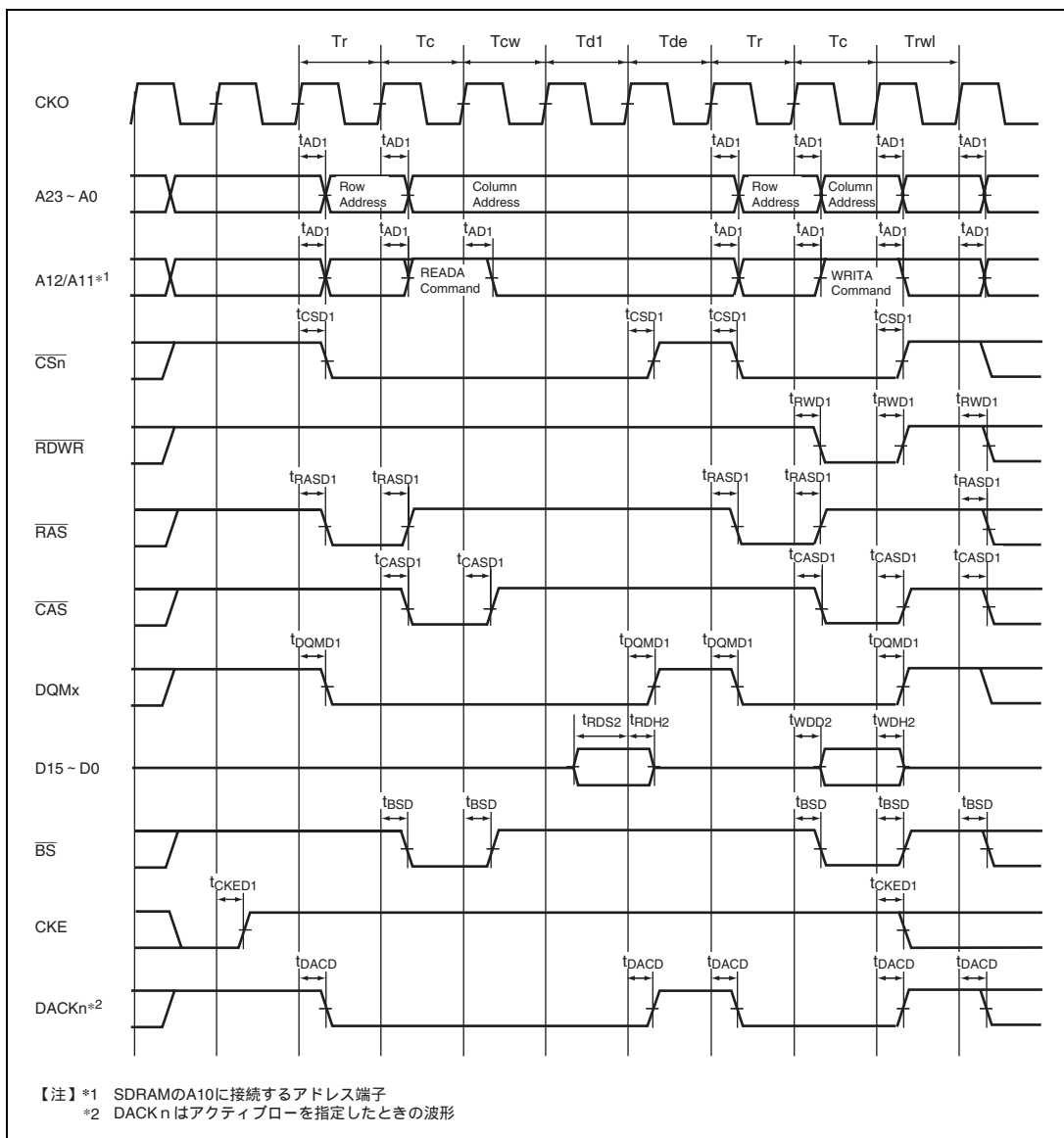


図 33.34 SDRAM パワーダウンモードリードライトバスサイクル
(オートプリチャージモード、TRCD = 1 サイクル、TRP = 1 サイクル、TRWL = 1 サイクル)

33.4.7 PCMCIA タイミング

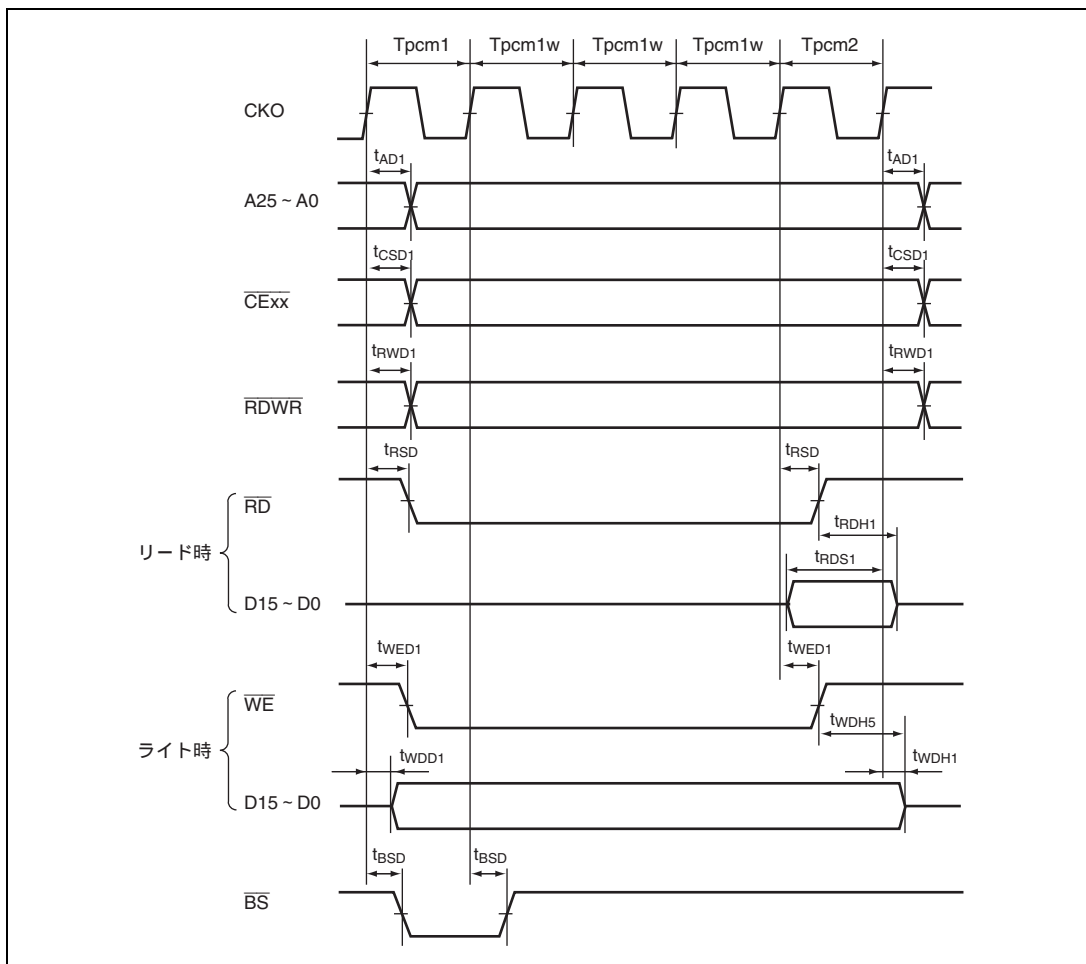


図 33.35 PCMCIA メモリカードインタフェースバスタイミング

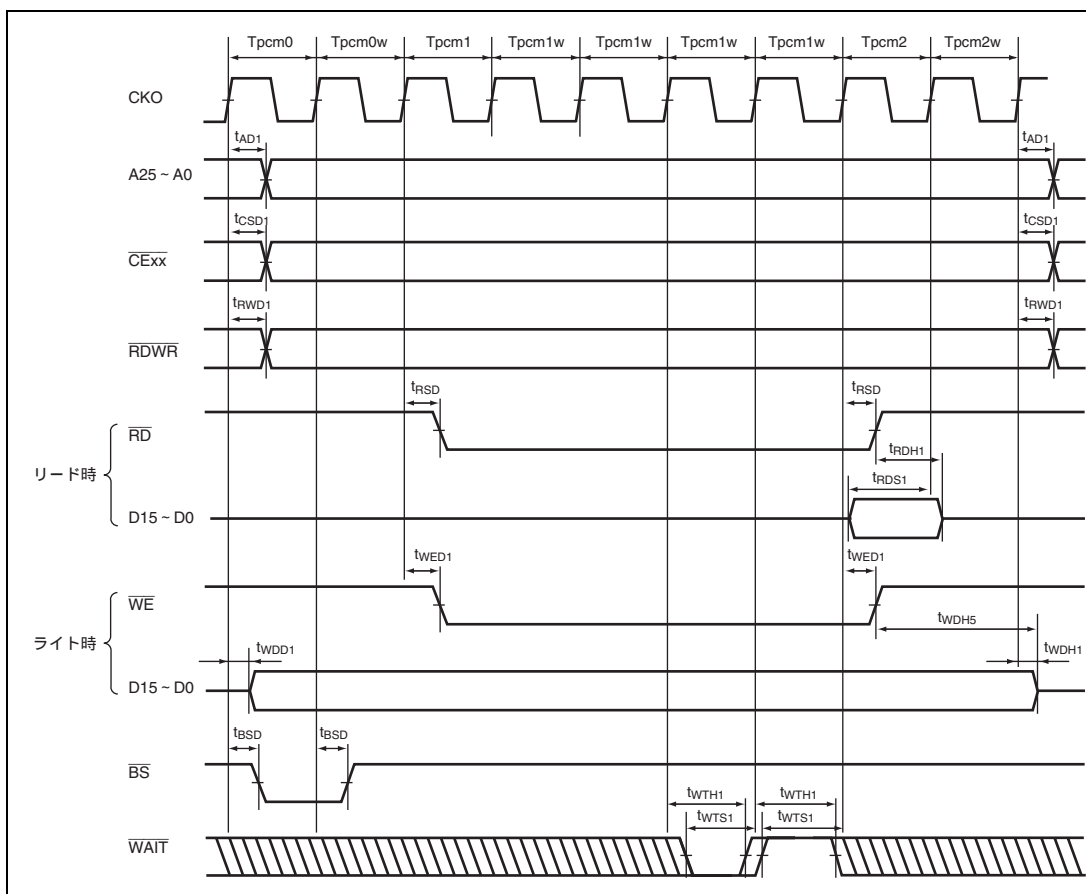


図 33.36 PCMCIA メモリカードインタフェースバスタイミング
 (TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェア1)

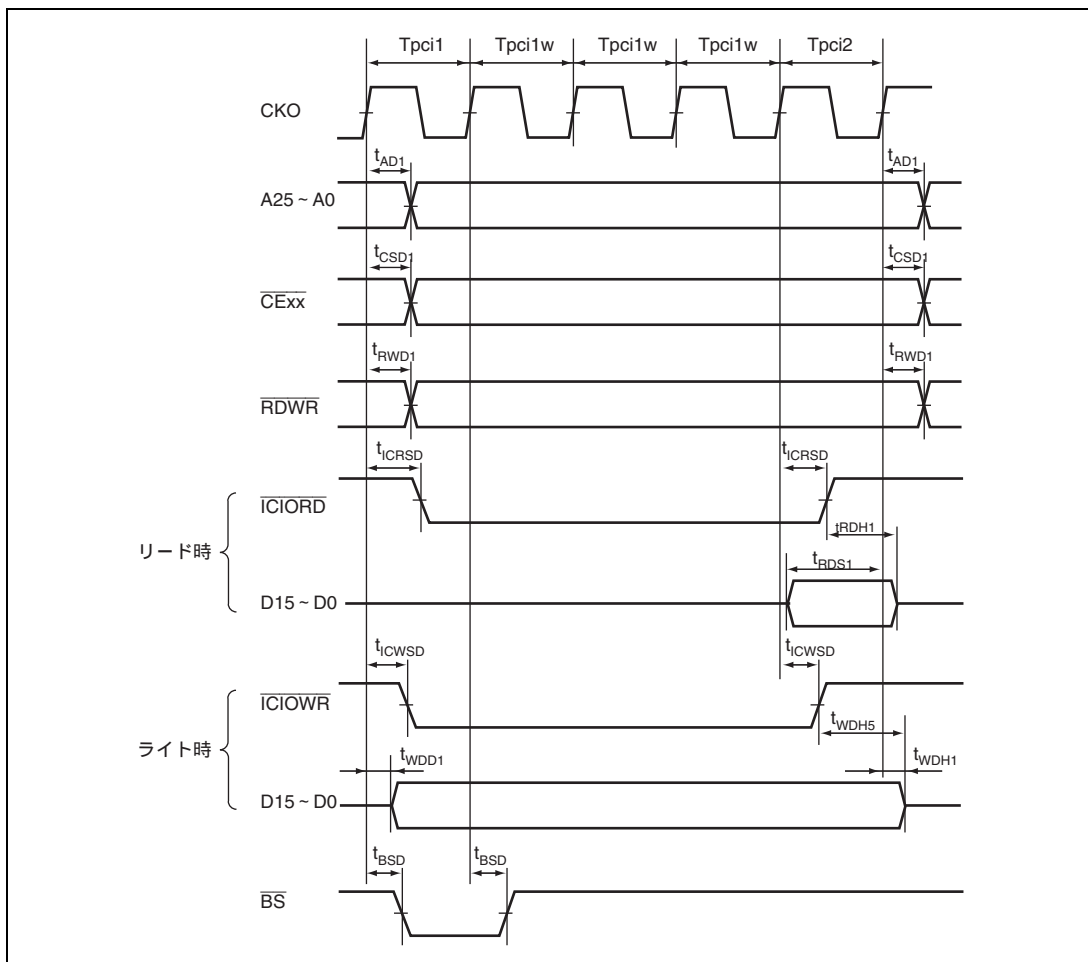


図 33.37 PCMCIA I/O カードインタフェースバスタイミング

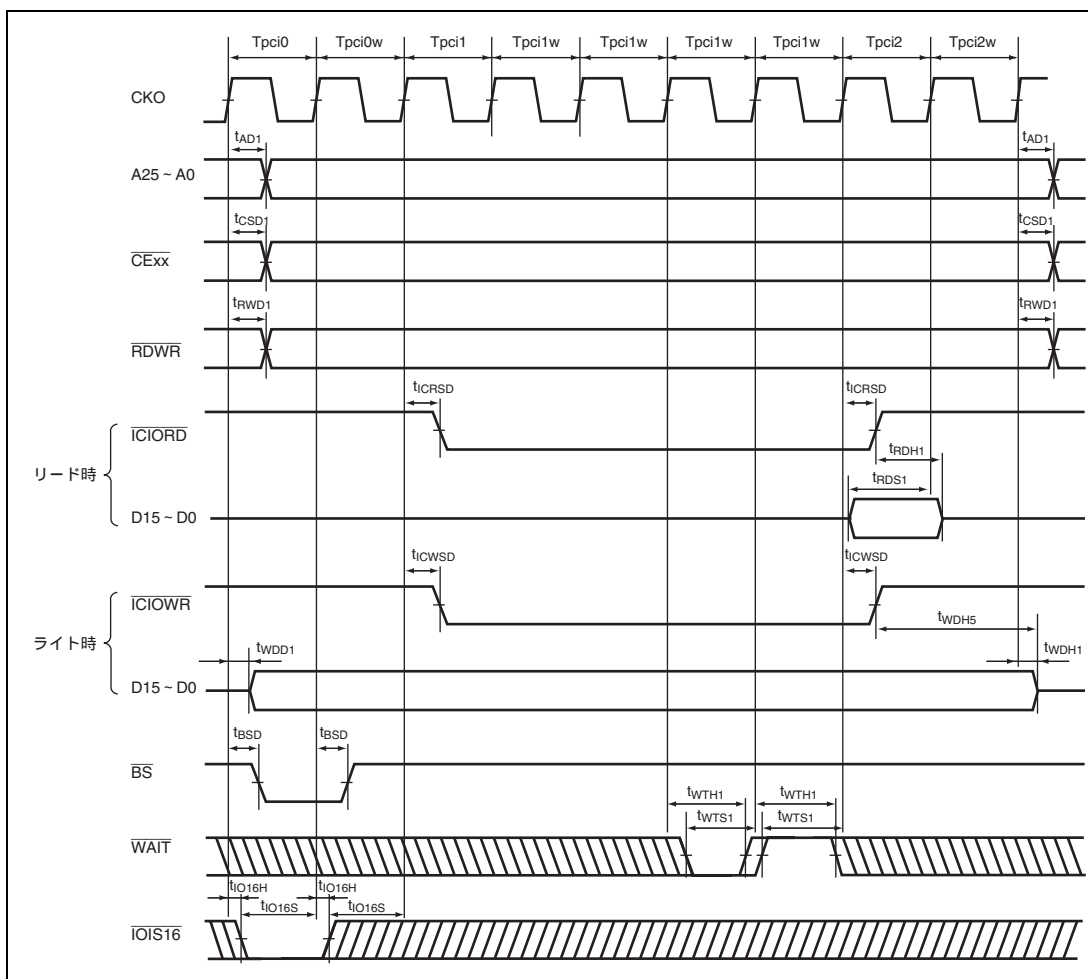


図 33.38 PCMCIA I/O カードインタフェースバスタイミング
(TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェア 1)

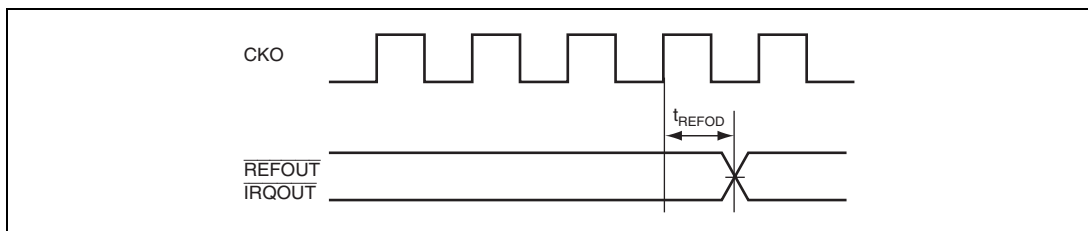


図 33.39 REFOUT、IRQOUT 遅延時間

33.4.8 周辺モジュール信号タイミング

表 33.10 周辺モジュール信号タイミング

モジュール	項目	記号	Min.	Max.	単位	参照図
ポート	出力データ遅延時間	t_{PORTD}	-	17	ns	33.40
	入力データセットアップ時間	t_{PORTS}	15	-		
	入力データホールド時間	t_{PORTH}	8	-		
DMAC	DREQn セットアップ時間	t_{DREQS}	6	-	ns	33.41
	DREQn ホールド時間	t_{DREQH}	4	-		
	DACKn、TENDn 遅延時間	t_{DACD}	-	13		33.42

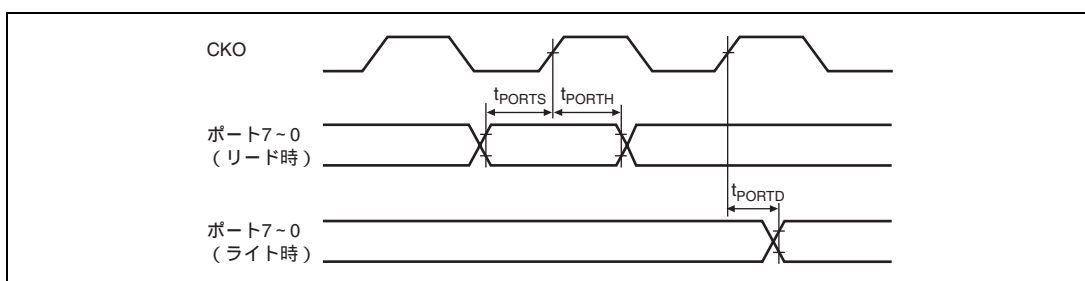


図 33.40 I/O ポートタイミング

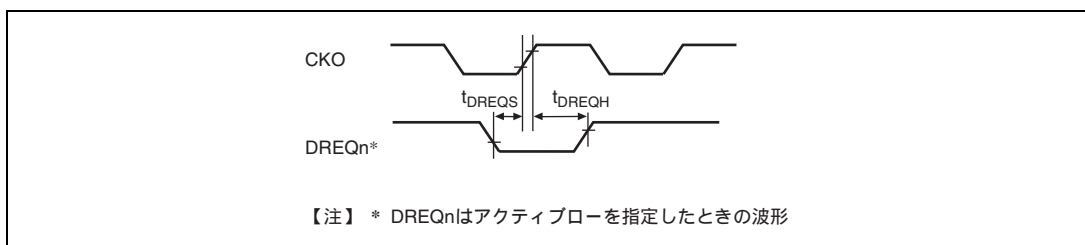


図 33.41 DREQ 入力タイミング (DREQ ローレベル検出)

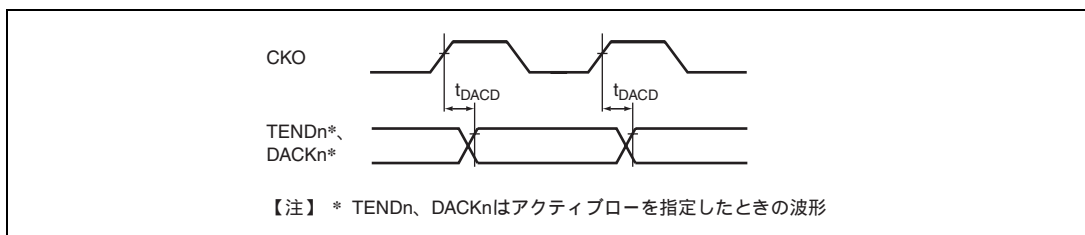


図 33.42 DACK 出力タイミング

33.4.9 16ビットタイマパルスユニット (TPU)

表 33.11 16ビットタイマパルスユニット

項目	記号	Min	Max	単位	参照図
タイマ出力遅延時間	t_{TOD}		15	ns	33.43

【注】 * 周辺クロックサイクルを示します。

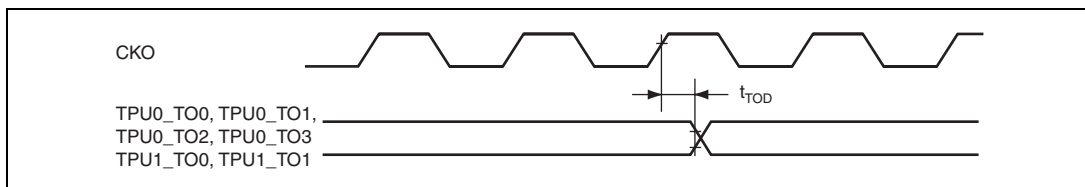


図 33.43 TPU 出力タイミング

33.4.10 RTC 信号タイミング

表 33.12 RTC 信号タイミング

モジュール	項目	記号	Min	Max	単位	参照図
RTC	発振安定時間	t_{ROSC}	3	-	s	33.44

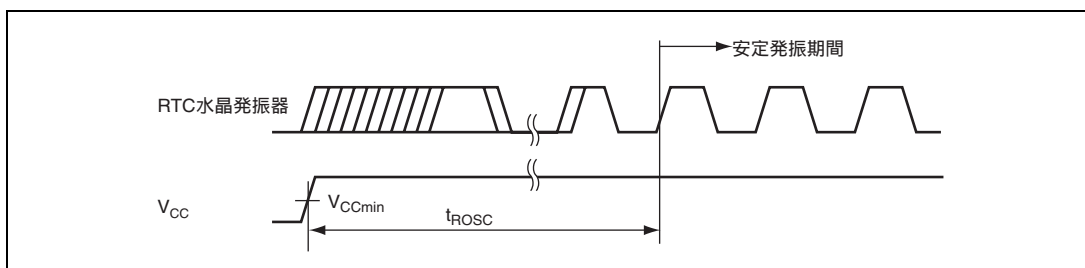
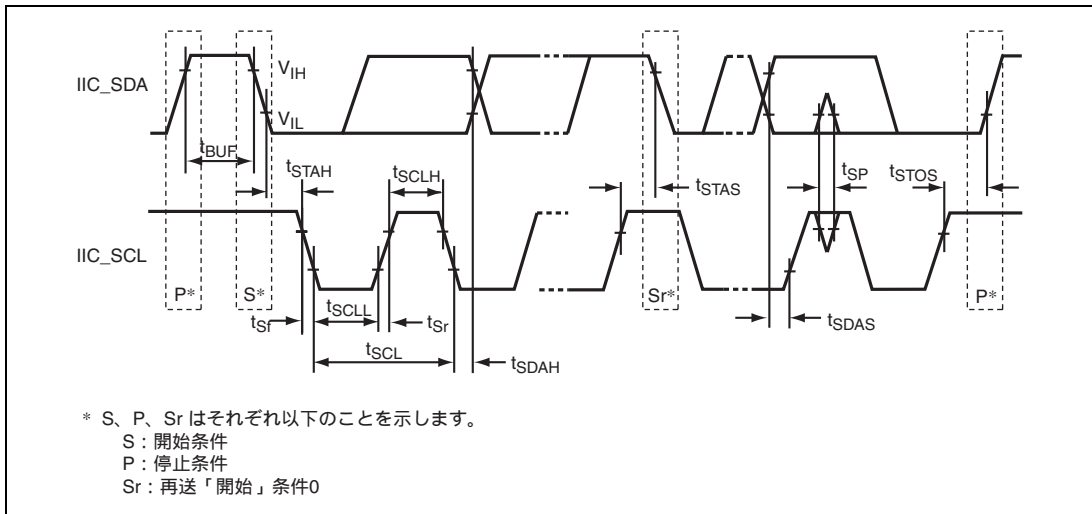


図 33.44 RTC 用水晶発振器パワーオン時発振安定時間

33.4.11 I²C バスインタフェースタイミング表 33.13 I²C バスインタフェースタイミング

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	t_{SCL}		$12t_{pcyc} + 600$			ns	33.45
SCL 入力 High パルス幅	t_{SCLH}		$3t_{pcyc} + 300$			ns	
SCL 入力 Low パルス幅	t_{SCLL}		$5t_{pcyc} + 300$			ns	
SCL、SDA 入力立ち上がり時間	t_{Sr}				300	ns	
SCL、SDA 入力立ち下がり時間	t_{Sf}				300	ns	
SCL、SDA 入力スパイクパルス除去時間	t_{SP}				$1t_{cyc}$	ns	
SDA 入力バスフリー時間	t_{BUF}		$5t_{pcyc}$			ns	
開始条件入力ホールド時間	t_{STAH}		$3t_{pcyc}$			ns	
再送開始条件入力セットアップ時間	t_{STAS}		$3t_{pcyc}$			ns	
停止条件入力セットアップ時間	t_{STOS}		$3t_{pcyc}$			ns	
データ入力セットアップ時間	t_{SDAS}		$1t_{pcyc} + 20$			ns	
データ入力ホールド時間	t_{SDAH}		0			ns	
SCL、SDA の容量性負荷	Cb		0		400	pF	
SCL、SDA 出力立ち下がり時間	t_{Sf}	VccQ = 3.0V			250	ns	
		VccQ = 3.6V			300	ns	

【注】 t_{pcyc} は周辺クロック (P) の 1 サイクル期間を示します。

図 33.45 I²C バスインタフェース入出力タイミング

33.4.12 SIOF モジュール信号タイミング

表 33.14 SIOF モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
SIOF_MCLK クロック入力サイクル時間	t_{MCLK}	t_{pclk}^*		ns	33.46
SIOF_MCLK 入力ハイレベル幅	t_{MWH}	$0.4 \times t_{MCLK}$		ns	33.46
SIOF_MCLK 入力ローレベル幅	t_{MWL}	$0.4 \times t_{MCLK}$		ns	33.46
SIOF_SCK クロックサイクル時間	t_{SCK}	t_{pclk}^*		ns	33.47 ~ 33.51
SIOF_SCK 出力ハイレベル幅	t_{SWHO}	$0.4 \times t_{SCK}$		ns	33.47 ~ 33.50
SIOF_SCK 出力ローレベル幅	t_{SWLO}	$0.4 \times t_{SCK}$		ns	33.47 ~ 33.50
SIOF_SYNC 出力遅延時間	t_{FSD}		20	ns	33.47 ~ 33.50
SIOF_SCK 入力ハイレベル幅	t_{SWHI}	$0.4 \times t_{SCK}$		ns	33.51
SIOF_SCK 入力ローレベル幅	t_{SWLI}	$0.4 \times t_{SCK}$		ns	33.51
SIOF_SYNC 入力セットアップ時間	t_{FSS}	20		ns	33.51
SIOF_SYNC 入力ホールド時間	t_{FSH}	20		ns	33.51
SIOF_TXD 出力遅延時間	t_{STDD}		20	ns	33.47 ~ 33.51
SIOF_RXD 入力セットアップ時間	t_{SRDS}	20		ns	33.47 ~ 33.51
SIOF_RXD 入力ホールド時間	t_{SRDH}	20		ns	33.47 ~ 33.51

【注】 * t_{pclk} は周辺クロック (P) の 1 サイクル時間を示します。

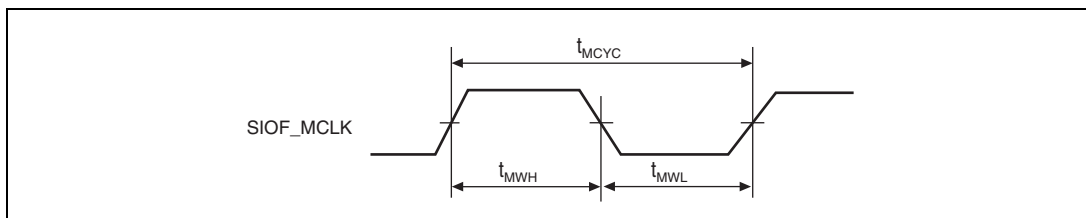


図 33.46 SIOF_MCLK 入力タイミング

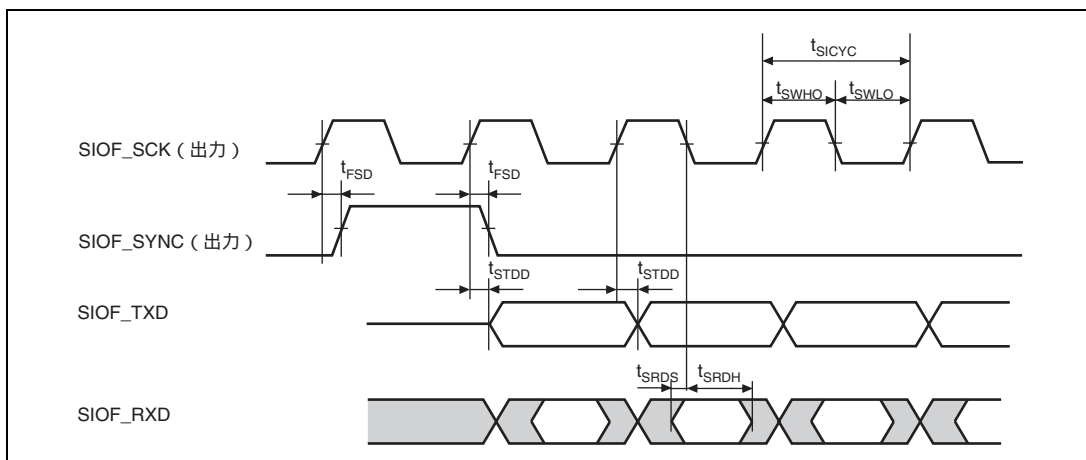


図 33.47 SIOF 送受信タイミング (マスタモード 1・立ち下がりサンプリング時)

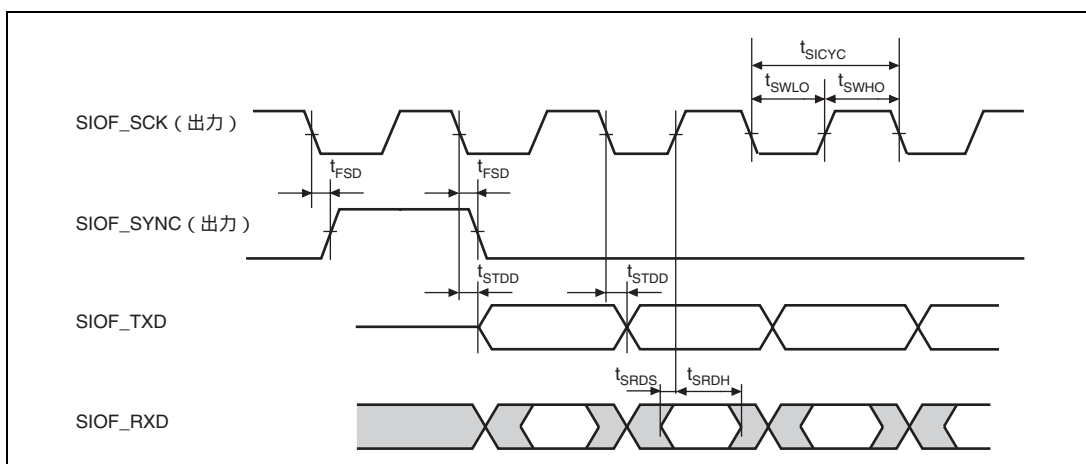


図 33.48 SIOF 送受信タイミング (マスタモード 1・立ち上がりサンプリング時)

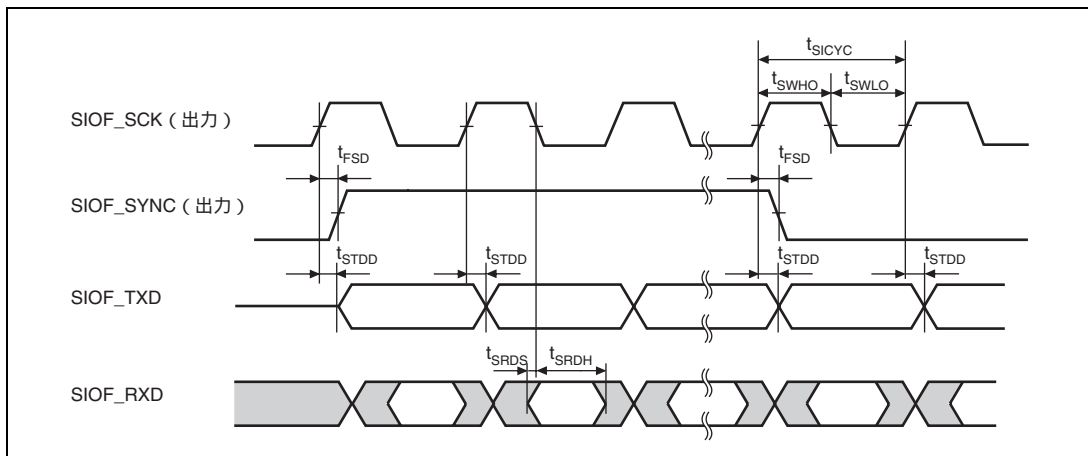


図 33.49 SIOF 送受信タイミング (マスタモード 2・立ち下がりサンプリング時)

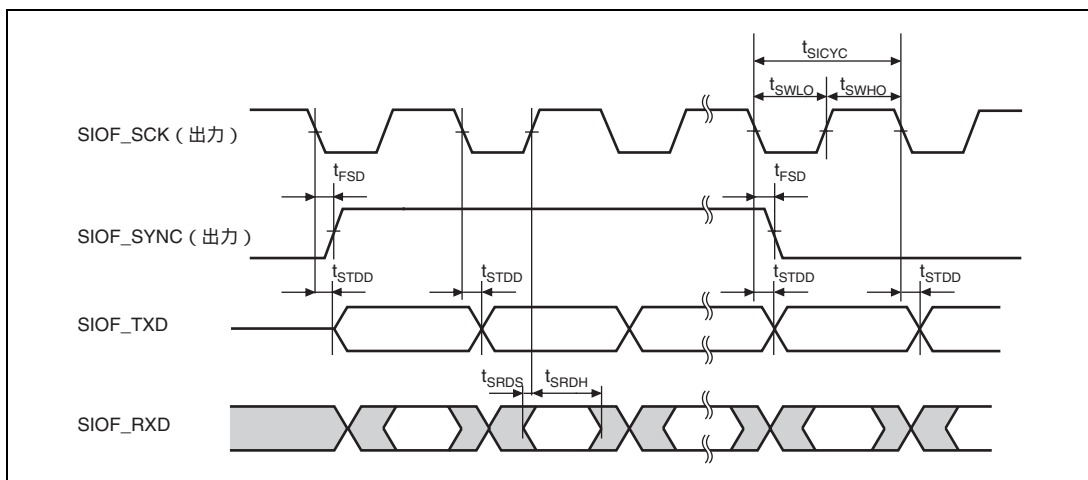


図 33.50 SIOF 送受信タイミング (マスタモード 2・立ち上がりサンプリング時)

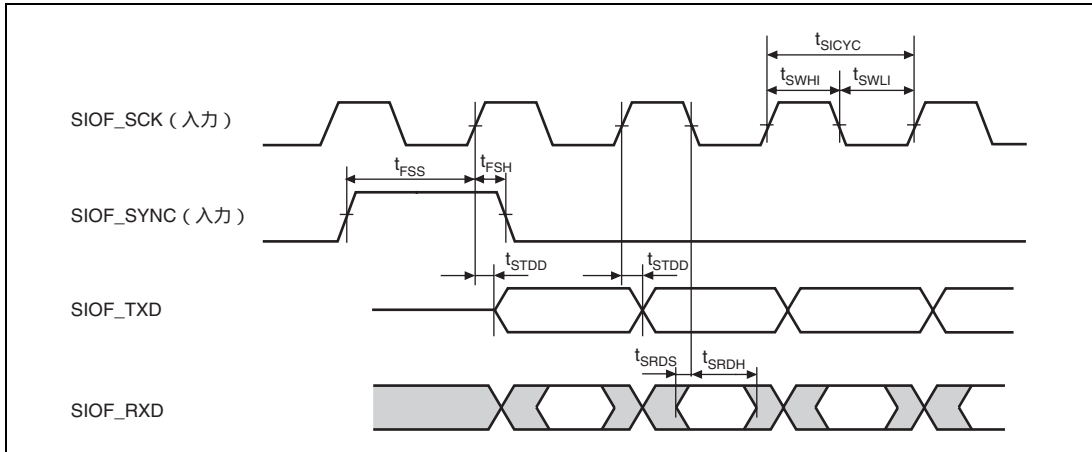


図 33.51 SIOF 送受信タイミング (スレープモード1・スレープモード2時)

33.4.13 SCIF/SCIFA モジュール信号タイミング

表 33.15 SCIF/SCIFA モジュール信号タイミング (調歩同期)

項目	記号	Min.	Max.	単位	参照図
SCK 入力クロックサイクル	t_{SCKC}	$4 \times t_{poyc}$	-	ns	33.52
SCK 入力クロックハイレベル幅	t_{SCWH}	$0.4 \times t_{SCKC}$	$0.6 \times t_{SCKC}$	ns	
SCK 入力クロックローレベル幅	t_{SCWL}	$0.4 \times t_{SCKC}$	$0.6 \times t_{SCKC}$	ns	
SCK 入力クロック立ち上がり時間	t_{SCKr}	-	$1.5 \times t_{poyc}$	ns	
SCK 入力クロック立ち下がり時間	t_{SCKf}	-	$1.5 \times t_{poyc}$	ns	
TXD 転送データ遅延時間	t_{TXD}	-	$3 \times t_{poyc} + 50$	ns	33.53
RXD 入力データセットアップ時間	t_{RXS}	$2 \times t_{poyc}$	-	ns	
RXD 入力データホールド時間	t_{RXH}	$2 \times t_{poyc}$	-	ns	
RTS 遅延時間	t_{RTSD}	-	100	ns	
CTS セットアップ時間	t_{CTSS}	100	-	ns	
CTS ホールド時間	t_{CTSH}	100	-	ns	

【注】 t_{poyc} は周辺クロック (P) の 1 サイクル時間を示します。

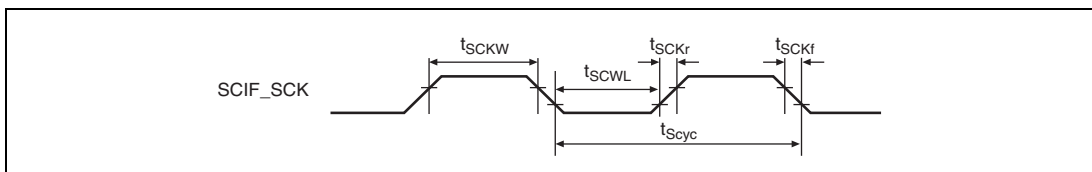


図 33.52 SCIF/SCIFA モジュール信号タイミング

表 33.16 SCIF/SCIFA モジュール信号タイミング (クロック同期)

項目	記号	Min.	Max.	単位	参照図
SCK 入出力クロックサイクル	t_{SCYC}	$12 \times t_{poyc}$	-	ns	33.52
SCK 入出力クロックハイレベル幅	t_{SCWH}	$0.4 \times t_{SCYC}$	$0.6 \times t_{SCYC}$	ns	
SCK 入出力クロックローレベル幅	t_{SCWL}	$0.4 \times t_{SCYC}$	$0.6 \times t_{SCYC}$	ns	
SCK 入出力同期クロック立ち上がり時間	t_{SCKr}	-	$1.5 \times t_{poyc}$	ns	
SCK 入出力同期クロック立ち下がり時間	t_{SCKf}	-	$1.5 \times t_{poyc}$	ns	
TXD 出力データ遅延時間 (SCK 入力時)	t_{TXD}	-	$3 \times t_{poyc} + 50$	ns	33.53
TXD 出力データ遅延時間 (SCK 出力時)		-	50		
RXD 入力データセットアップ時間 (SCK 入出力共通)	t_{RXS}	$4 \times t_{poyc}$	-	ns	
RXD 入力データホールド時間 (SCK 入出力共通)	t_{RXH}	$4 \times t_{poyc}$	-	ns	

【注】 t_{poyc} は周辺クロック (P) の 1 サイクル時間を示します。

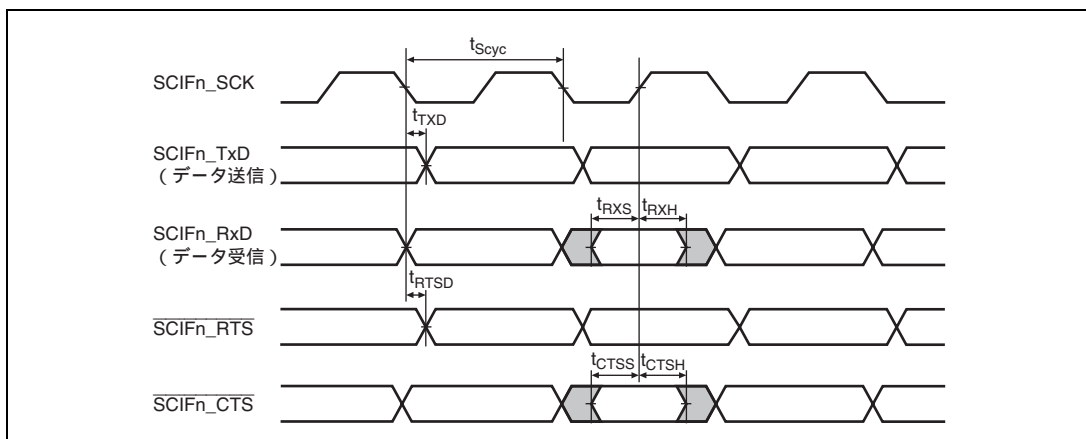


図 33.53 クロック同期式モード時の SCIF/SCIFA 入出力タイミング

33.4.14 SIM モジュール信号タイミング

表 33.17 SIM モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SIM_CLK クロックサイクル	t_{SMCYC}	$2/t_{poyc}$	$16/t_{poyc}$	ns	33.54
SIM_CLK クロックハイレベル幅	t_{SMCWH}	$0.4 \times t_{SMCYC}$	-	ns	
SIM_CLK クロックローレベル幅	t_{SMCWL}	$0.4 \times t_{SMCYC}$	-	ns	

【注】 t_{poyc} は周辺クロック (P) の 1 サイクル時間を示します。

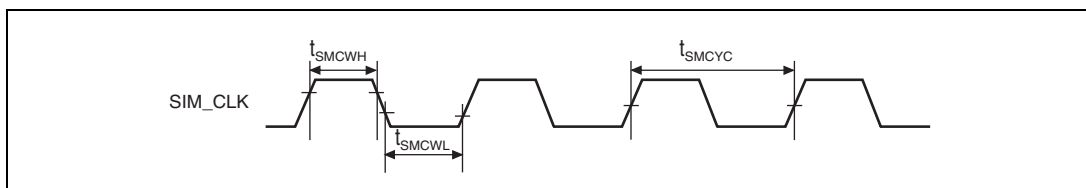


図 33.54 SIM モジュール信号タイミング

33.4.15 H-UDI 関連端子のタイミング

表 33.18 H-UDI 関連端子のタイミング

項目	記号	Min	Max	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50	-	ns	33.55
TCK ハイレベルパルス幅	t_{TCKH}	12	-	ns	
TCK ローレベルパルス幅	t_{TCKL}	12	-	ns	
TCK 立ち上がり / 立ち下がり時間	t_{TCKf}	-	4	ns	
TRST セットアップ時間	t_{TRSTS}	12	-	ns	33.56
TRST ホールド時間	t_{TRSTH}	50	-	t_{cyc}	
TDI セットアップ時間	t_{TDIS}	10	-	ns	33.57
TDI ホールド時間	t_{TDIH}	10	-	ns	
TMS セットアップ時間	t_{TMSS}	10	-	ns	
TMS ホールド時間	t_{TMSH}	10	-	ns	
TDO 遅延時間	t_{TDOD}	-	16	ns	33.58
MPMD セットアップ時間	t_{MPMDS}	12	-	ns	
MPMD ホールド時間	t_{MPMDH}	12	-	ns	

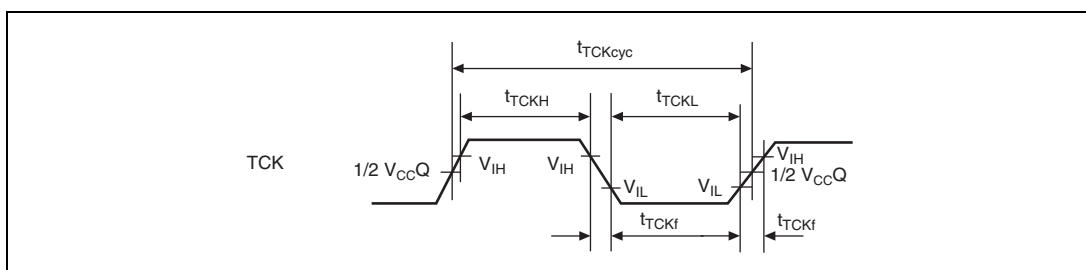


図 33.55 TCK 入力タイミング

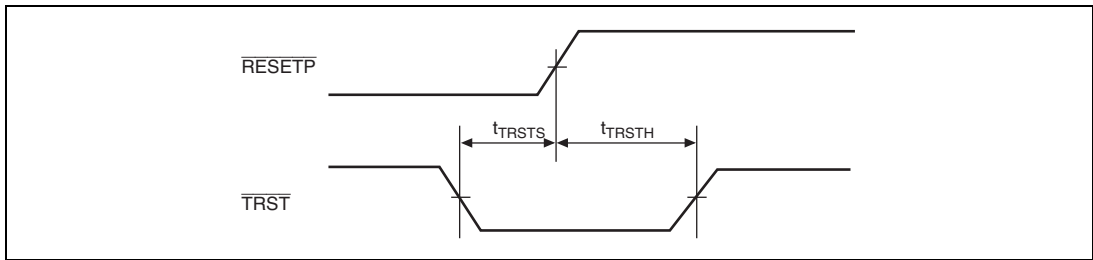


図 33.56 $\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)

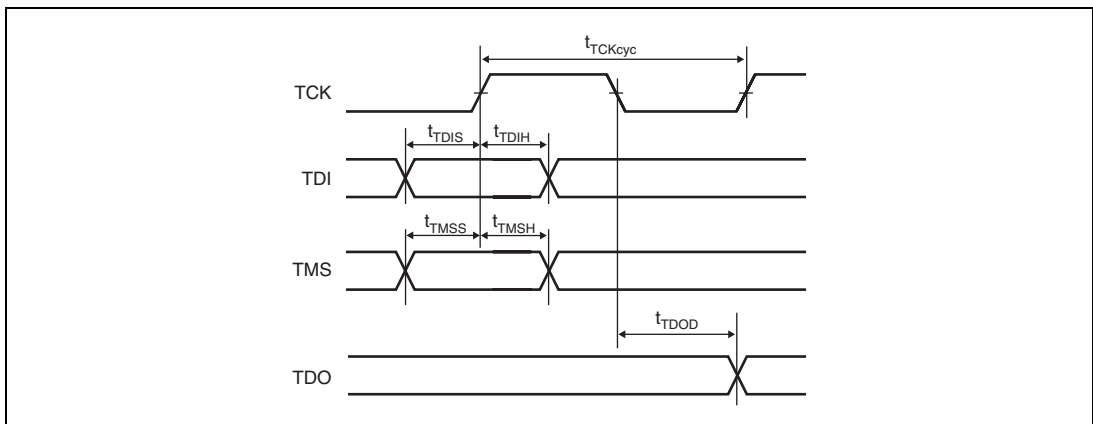


図 33.57 H-UDI データ転送タイミング

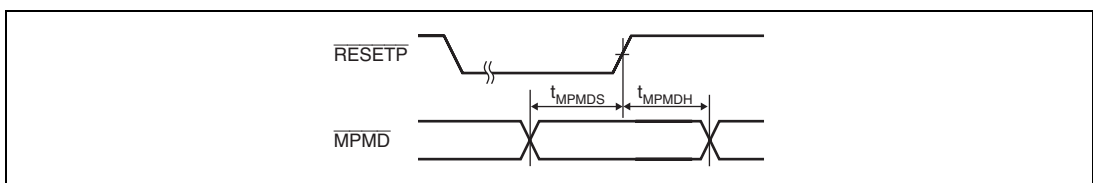


図 33.58 $\overline{\text{MPMD}}$ 入力タイミング

33.5 A/D 変換器特性

A/D 変換器特性を表 33.19 に示します。

表 33.19 A/D 変換器特性

項目	Min	Typ	Max	単位
分解能	10	10	10	bits
変換時間	15	-	-	μ s
アナログ入力容量	-	-	20	pF
許容信号源(単一ソース)インピーダンス	-	-	5	k
非線形誤差	-	-	± 3.0	LSB
オフセット誤差	-	-	± 2.0	LSB
フルスケール誤差	-	-	± 2.0	LSB
量子化誤差	-	-	± 0.5	LSB
絶対精度	-	-	± 4.0	LSB

33.6 D/A 変換器特性

D/A 変換器特性を表 33.20 に示します。

表 33.20 D/A 変換器特性

項目	Min	Typ	Max	単位	テスト条件
分解能	10	10	10	bits	
変換時間	-	-	10.0	μ s	20pF 容量負荷
絶対精度	-	± 10	± 16	LSB	2M Ω 抵抗負荷
	-	± 2.5	± 4.0	LSB	抵抗負荷なし

33.7 AC 特性測定条件

特に断りのない限り、AC特性測定条件は次のとおりです。

(1) 温度

- 標準温度範囲品： $T_a = -20 \sim 75^\circ\text{C}$
- 広温度範囲品： $T_a = -40 \sim 85^\circ\text{C}$

(2) 電源電圧

- $V_{ccQ} = 3.0 \sim 3.6\text{V}$
- $V_{cc} = V_{cc_PLL1} = V_{cc_PLL2} = 1.1 \sim 1.3\text{V}$
- $AV_{cc} = 3.0 \sim 3.6\text{V}$

(3) 入力信号

- 入出力信号参照レベル： $\frac{V_{ccQ}}{2}$ 、($V_{ccQ} = 3.0 \sim 3.6\text{V}$ 、 $V_{cc} = 1.1 \sim 1.3\text{V}$)
- 入力パルスレベル： $V_{ss} \sim V_{ccQ}$
- 入力立ち上がり、立ち下がり時間：1ns

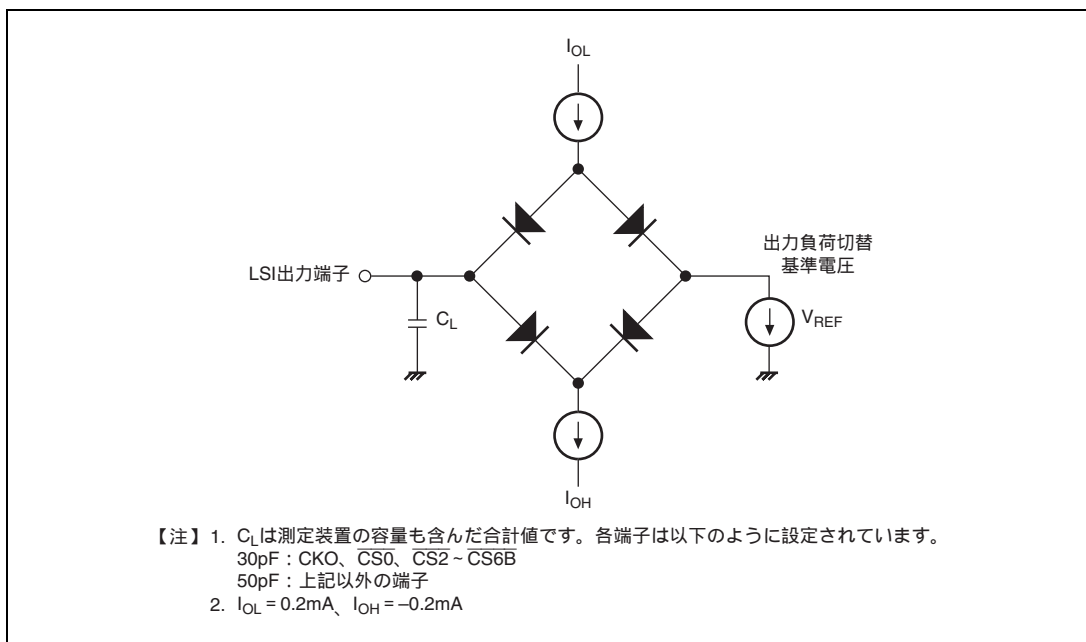


図 33.59 出力負荷回路

付録

A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'1F2F0000 あるいはエリア 7 アドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1. または 2. のどちらかを実行してください。

1. RTE 命令による分岐を実行してください。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。

1. または 2. の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
初期値:	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
9~6	-	1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。 本ビットを 0 に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

ビット	ビット名	初期値	R/W	説明
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0: 割り込みを受理しても SR.IMASK の値は変化しません。 1: 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	すべて 0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

B. 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

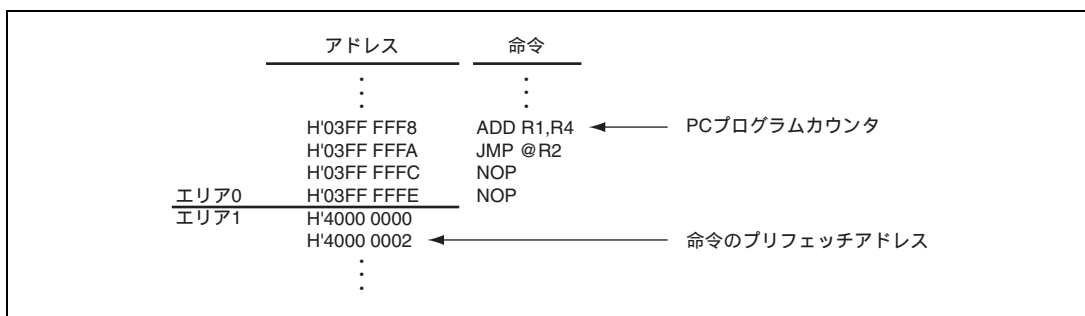


図 B.1 命令のプリフェッチ例

図 B.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

- 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
- 命令プリフェッチが引き起こす外部バス要求に应答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

- MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

C. サブルーチン復帰投機実行

本 LSI はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B. (1) 命令のプリフェッチの副作用」を参照してください。

使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

D. 外形寸法図

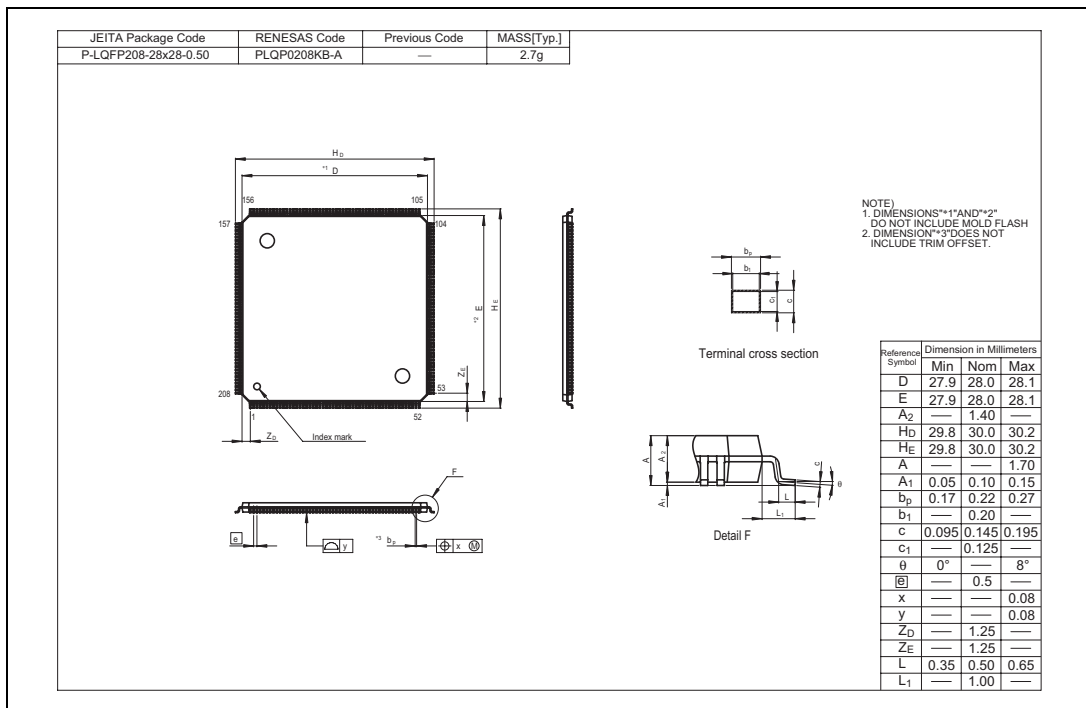


図 D.1 外形寸法図

E. リセット、低消費電力状態での端子状態および未使用時の端子処理

表 E.1 端子状態および未使用時の処理

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
1	AN2/PTM0	I/I	Z	Z	I/K	Z	プルアップ ^{※7}
2	AN3/PTM1	I/I	Z	Z	I/K	Z	プルアップ ^{※7}
3	VccQ	-	-	-	-	-	電源に接続 (3.3V)
4	XTAL_RTC	O	O	O	O	O	オープン
5	EXTAL_RTC	I	I	I	I	I	プルアップ ^{※7}
6	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
7	Test0_VccQ	I	I	I	-	-	プルアップ ^{※7}
8	IRQ0/IRL0/PTH0	I/I	Z	IU	I/K	IU	オープン ^{※1}
9	IRQ1/IRL1/PTH1	I/I	Z	IU	I/K	IU	オープン ^{※1}
10	IRQ2/IRL2/PTH2	I/I	Z	IU	I/K	IU	オープン ^{※1}
11	IRQ3/IRL3/PTH3	I/I	Z	IU	I/K	IU	オープン ^{※1}
12	IRQ4/PTH4	I/I	Z	IU	I/K	IU	オープン ^{※1}
13	D31/PTB7	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
14	D30/PTB6	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
15	D29/PTB5	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
16	D28/PTB4	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
17	D27/PTB3	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
18	D26/PTB2	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
19	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
20	D25/PTB1	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
21	VccQ	-	-	-	-	-	電源に接続 (3.3V)
22	D24/PTB0	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
23	D23/PTA7	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
24	D22/PTA6	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
25	D21/PTA5	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
26	D20/PTA4	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
27	Vss	-	-	-	-	-	グラウンドに接続 (0V)
28	D19/PTA3	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
29	Vcc	-	-	-	-	-	電源に接続 (1.2V)
30	D18/PTA2	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
31	D17/PTA1	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
32	D16/PTA0	IO/IO	Z	Z	Z/K	Z	プルアップ ^{※7}
33	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
34	D15	IO	Z	Z	Z	Z	プルアップ ^{※7}
35	VccQ	-	-	-	-	-	電源に接続 (3.3V)
36	D14	IO	Z	Z	Z	Z	プルアップ ^{※7}
37	D13	IO	Z	Z	Z	Z	プルアップ ^{※7}
38	D12	IO	Z	Z	Z	Z	プルアップ ^{※7}
39	D11	IO	Z	Z	Z	Z	プルアップ ^{※7}
40	D10	IO	Z	Z	Z	Z	プルアップ ^{※7}
41	D9	IO	Z	Z	Z	Z	プルアップ ^{※7}
42	D8	IO	Z	Z	Z	Z	プルアップ ^{※7}
43	D7	IO	Z	Z	Z	Z	プルアップ ^{※7}
44	D6	IO	Z	Z	Z	Z	プルアップ ^{※7}
45	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
46	D5	IO	Z	Z	Z	Z	プルアップ ^{※7}
47	VccQ	-	-	-	-	-	電源に接続 (3.3V)
48	D4	IO	Z	Z	Z	Z	プルアップ ^{※7}
49	D3	IO	Z	Z	Z	Z	プルアップ ^{※7}
50	D2	IO	Z	Z	Z	Z	プルアップ ^{※7}
51	D1	IO	Z	Z	Z	Z	プルアップ ^{※7}
52	D0	IO	Z	Z	Z	Z	プルアップ ^{※7}
53	A0/PTT0	O/IO	L	L	R/K	Z	オープン
54	A1	O	L	L	R	Z	オープン
55	A2	O	L	L	R	Z	オープン
56	A3	O	L	L	R	Z	オープン
57	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
58	A4	O	L	L	R	Z	オープン
59	VccQ	-	-	-	-	-	電源に接続 (3.3V)
60	A5	O	L	L	R	Z	オープン

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
61	A6	O	L	L	R	Z	オープン
62	A7	O	L	L	R	Z	オープン
63	A8	O	L	L	R	Z	オープン
64	A9	O	L	L	R	Z	オープン
65	A10	O	L	L	R	Z	オープン
66	A11	O	L	L	R	Z	オープン
67	A12	O	L	L	R	Z	オープン
68	A13	O	L	L	R	Z	オープン
69	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
70	A14	O	L	L	R	Z	オープン
71	VccQ	-	-	-	-	-	電源に接続 (3.3V)
72	A15	O	L	L	R	Z	オープン
73	A16	O	L	L	R	Z	オープン
74	A17	O	L	L	R	Z	オープン
75	A18	O	L	L	R	Z	オープン
76	A19/PTT1	O/O	L	L	R/K	Z	オープン
77	A20/PTT2	O/O	L	L	R/K	Z	オープン
78	A21/PTT3	O/O	L	L	R/K	Z	オープン
79	Vss	-	-	-	-	-	グラウンドに接続 (0V)
80	A22/PTT4	O/O	L	L	R/K	Z	オープン
81	Vcc	-	-	-	-	-	電源に接続 (1.2V)
82	A23/PTT5	O/O	L	L	R/K	Z	オープン
83	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
84	A24/PTT6	O/O	L	L	R/K	Z	オープン
85	VccQ	-	-	-	-	-	電源に接続 (3.3V)
86	A25/PTT7	O/O	L	L	R/K	Z	オープン
87	$\overline{\text{BS}}$ /PTK4	O/O	H	H	R/K	Z	オープン
88	$\overline{\text{RD}}$	O	H	H	R	Z	オープン
89	$\overline{\text{WE0}}$ /DQMLL	O/O	H	H	R/R	Z	オープン
90	$\overline{\text{WE1}}$ /DQMLU	O/O	H	H	R/R	Z	オープン
91	$\overline{\text{WE2}}$ /DQMUL/ $\overline{\text{CIORD}}$ / PTK6	O/O/O/O	H	H	R/R/R/K	Z	オープン

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
92	WE3/DQMUU/ICIOWR/ PTK7	O/O/O/O	H	H	R/R/R/K	Z	オープン
93	RDWR	O	H	H	R	Z	オープン
94	SCIF3_RXD/PTE7	I/O	Z	IU	Z/K	IU	オープン ^{*1}
95	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
96	CS0	O	H	H	R	Z	オープン
97	VccQ	-	-	-	-	-	電源に接続 (3.3V)
98	CS2/PTK0	O/O	H	H	R/K	Z	オープン
99	CS3/PTK1	O/O	H	H	R/K	Z	オープン
100	CS4/PTK2	O/O	H	H	R/K	Z	オープン
101	CS5B/CE1A/PTK3	O/O/O	H	H	R/R/K	Z	オープン
102	CS6B/CE1B/PTM3	O/O/O	H	H	R/R/K	Z	オープン
103	CS5A/CE2A/PTE4	O/O/O	H	H	R/R/K	Z	オープン
104	CS6A/CE2B/PTE5	O/O/O	H	H	R/R/K	Z	オープン
105	CKE/PTK5	O/O	Z	H	R/K	R ^{*9}	オープン
106	RAS/PTJ0	O/O	H	H	R/K	R ^{*9}	オープン
107	TEND1/PTJ1	O/O	Z	IU	O/K	IU	オープン ^{*1}
108	CAS/PTJ2	O/O	H	H	R/K	R ^{*9}	オープン
109	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
110	TEND0/PTJ3	O/O	Z	IU	O/K	IU	オープン ^{*1}
111	VccQ	-	-	-	-	-	電源に接続 (3.3V)
112	IRQ6/PTJ4	I/I	Z	IU	I/K	IU	オープン ^{*1}
113	IRQ7/PTJ5	I/I	Z	IU	I/K	IU	オープン ^{*1}
114	DACK0/PTD5	O/O	Z	IU	O/K	IU	オープン ^{*1}
115	DACK1/PTD7	O/O	Z	IU	O/K	IU	オープン ^{*1}
116	SCIF4_RXD/PTE6	I/I	Z	IU	Z/K	IU	オープン ^{*1}
117	SCIF5_RXD/PTE3	I/I	Z	IU	Z/K	IU	オープン ^{*1}
118	SCIF4_SCK/PTE2	IO/O	Z	IU	Z/K	IU	オープン ^{*1}
119	SCIF5_SCK/PTE1	IO/O	Z	IU	Z/K	IU	オープン ^{*1}
120	TDO	O	Z ^{*8}	Z ^{*8}	H	Z	オープン
121	BACK/PTN0	O/O	H	H	O/K	L	オープン
122	BREQ/PTN1	I/I	I	I	I/K	K	ブルアップ ^{*3,*7}

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
123	WAIT/PTN2	I/I	I	I	I/K	Z	プルアップ ^{*3*7}
124	AUDCK/PTG5	O/O	O	O	O/K	L	オープン
125	IIC1_SDA/ADTRG/PTH5	IO/I	Z	I	Z/I/K	Z	プルアップ ^{*7}
126	IIC1_SCL/IOIS16/PTN3	IO/I	Z	I	Z/I/K	Z	プルアップ ^{*7}
127	MPMD	I	IU	IU	IU	IU	プルアップ ^{*4*7}
128	ASEBRK/BRKACK	I/O	IU	IU	R	IU	オープン
129	AUDSYNC/PTG4	O/O	O	O	O/K	H	オープン
130	AUDATA3/PTG3	O/O	O	O	O/K	L	オープン
131	AUDATA2/PTG2	O/O	O	O	O/K	L	オープン
132	Vss	-	-	-	-	-	グラウンドに接続 (0V)
133	AUDATA1/PTG1	O/O	O	O	O/K	L	オープン
134	Vcc	-	-	-	-	-	電源に接続 (1.2V)
135	AUDATA0/PTG0	O/O	O	O	O/K	L	オープン
136	TRST	I	IU	IU	IU	IU	グラウンドに接続 (0V)
137	TMS	I	IU	IU	IU	IU	オープン ^{*1}
138	TDI	I	IU	IU	IU	IU	オープン ^{*1}
139	TCK	I	IU	IU	IU	IU	オープン ^{*1}
140	TPU0_TO3/PINTB3/ PTF3	O/I/O	Z	ID	O/I/K	ID	オープン ^{*2}
141	TPU0_TO2/PINTB2/ PTF2	O/I/O	Z	ID	O/I/K	ID	オープン ^{*2}
142	TPU0_TO1/PINTB1/ PTF1	O/I/O	Z	ID	O/I/K	ID	オープン ^{*2}
143	TPU0_TO0/PINTB0/ PTF0	O/I/O	Z	ID	O/I/K	ID	オープン ^{*2}
144	PTN4	IO	Z	IU	K	IU	オープン ^{*1}
145	Vcc_PLL1	-	-	-	-	-	電源に接続 (1.2V) ^{*6}
146	Test1_VssQ	I	I	I	-	-	プルダウン
147	Vss_PLL1	-	-	-	-	-	グラウンドに接続 (0V) ^{*6}
148	Vss_PLL2	-	-	-	-	-	グラウンドに接続 (0V) ^{*6}
149	Test2_VccQ	I	IU	IU	-	-	プルアップ ^{*7}
150	Vcc_PLL2	-	-	-	-	-	電源に接続 (1.2V) ^{*6}

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
151	PTH6	I	Z	IU	K	IU	オープン ^{*1}
152	Vss	-	-	-	-	-	グラウンドに接続 (0V)
153	Test3_VccQ	I	I	I	-	-	プルアップ ^{*7}
154	Vcc	-	-	-	-	-	電源に接続 (1.2V)
155	XTAL	O	O	O	O	O	オープン
156	EXTAL	I	I	I	I	I	プルアップ ^{*7}
157	STATUS0/PTJ6	O/IO	Z	L	H/K	L	オープン
158	TPU1_TO1/PTJ7	O/IO	Z	IU	O/K	IU	オープン ^{*1}
159	TPU1_TO0/PTH7	O/IO	Z	IU	O/K	IU	オープン ^{*1}
160	IRQOUT/REFOUT/PTQ7	O/O/IO	Z	O	Z/Z/K	H	オープン
161	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
162	CKO	O	O	O	O	R ^{*9}	オープン
163	VccQ	-	-	-	-	-	電源に接続 (3.3V)
164	SCIF0_TXD/IRDA0_TXD/PTQ2	O/O/IO	Z	IU	O/O/K	IU	オープン ^{*1}
165	SCIF0_SCK/PTQ0	IO/IO	Z	IU	Z/K	IU	オープン ^{*1}
166	SCIF1_TXD/IRDA1_TXD/PTR2	O/O/IO	Z	IU	O/O/K	IU	オープン ^{*1}
167	SCIF1_SCK/PTR0	IO/IO	Z	IU	Z/K	IU	オープン ^{*1}
168	SCIF2_TXD/SIOF_TXD/PTS2	O/O/IO	Z	IU	O/O/K	IU	オープン ^{*1}
169	SCIF2_SCK/SIOF_SCK/PTS0	IO/IO/IO	Z	IU	Z/R/K	IU	オープン ^{*1}
170	SCIF2_RTS/SIOF_SYNC/PTS4	O/IO/IO	Z	IU	O/R/K	IU	オープン ^{*1}
171	SCIF0_RXD/IRDA0_RXD/PTQ1	I/I/I	Z	IU	Z/Z/K	IU	オープン ^{*1}
172	SCIF1_RXD/IRDA1_RXD/PTR1	I/I/I	Z	IU	Z/Z/K	IU	オープン ^{*1}
173	Vss	-	-	-	-	-	グラウンドに接続 (0V)
174	SCIF2_RXD/SIOF_RXD/PTS1	I/I/I	Z	IU	Z/Z/K	IU	オープン ^{*1}
175	Vcc	-	-	-	-	-	電源に接続 (1.2V)

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
176	SCIF2_CTS/SIOF_MCLK/IRQ5/PTS3	I/I/I	Z	IU	Z/Z/I/K	IU	オープン ^{※1}
177	SCIF5_RTS/PINTA7/PTC7	O/I/O	Z	ID	O/I/K	ID	オープン ^{※2}
178	SCIF5_CTS/PINTA6/PTC6	I/I/O	Z	ID	Z/I/K	ID	オープン ^{※2}
179	SCIF4_RTS/PINTA5/PTC5	O/I/O	Z	ID	O/I/K	ID	オープン ^{※2}
180	SCIF4_CTS/PINTA4/PTC4	I/I/O	Z	ID	Z/I/K	ID	オープン ^{※2}
181	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
182	SCIF3_TXD/SIM_D/PTD3	O/I/O/I/O	Z	IU	O/Z/K	IU	オープン ^{※1}
183	VccQ	-	-	-	-	-	電源に接続 (3.3V)
184	RESETOUT/PTD2	O/I/O	L	L	H/K	H	オープン
185	PINTA3/PTC3	I/O	Z	ID	I/K	ID	オープン ^{※2}
186	SCIF3_RTS/SIM_RST/PINTA2/PTC2	O/O/I/O	Z	ID	O/O/I/K	ID	オープン ^{※2}
187	SCIF3_CTS/PINTA1/PTC1	I/I/O	Z	ID	Z/I/K	ID	オープン ^{※2}
188	SCIF3_SCK/SIM_CLK/PINTA0/PTC0	IO/O/I/O	Z	ID	Z/O/I/K	ID	オープン ^{※2}
189	SCIF5_TXD/PTD1	O/I/O	Z	IU	O/K	IU	オープン ^{※1}
190	SCIF4_TXD/PTD0	O/I/O	Z	IU	O/K	IU	オープン ^{※1}
191	DREQ0/PTD4	I/I	Z	IU	I/K	IU	オープン ^{※1}
192	DREQ1/PTD6	I/I	Z	IU	I/K	IU	オープン ^{※1}
193	RESETP	I	I	I	I	I	必ず使用
194	NMI	I	I	I	I	I	プルアップ ^{※7}
195	MD3	I	I	I	I	I	必ず使用
196	Test4_VssQ	I	I	I	-	-	プルダウン
197	MD5	I	I	I	I	I	必ず使用
198	VssQ	-	-	-	-	-	グラウンドに接続 (0V)
199	IIC0_SDA/PTL0	I/I	Z	I	Z/K	Z	プルアップ ^{※7}

端子番号	端子名	入出力	パワーオンリセット		ソフトウェアスタンバイ	バス解放時	未使用端子の処理
			RESETP = ローレベル RESETOUT = ローレベル	RESETP = ハイレベル RESETOUT = ローレベル			
200	IIC0_SCL/PTL1	I/I	Z	I	Z/K	Z	プルアップ ^{*7}
201	MD0	I	I	I	I	I	必ず使用
202	MD1	I	I	I	I	I	必ず使用
203	DA1/PTL4	O/I	Z	Z	K/K	Z	プルアップ ^{*7}
204	DA0/PTL5	O/I	Z	Z	K/K	Z	プルアップ ^{*7}
205	AVcc	-	-	-	-	-	電源に接続 (3.3V)
206	AN0/PTL6	I/I	Z	Z	I/K	Z	プルアップ ^{*7}
207	AN1/PTL7	I/I	Z	Z	I/K	Z	プルアップ ^{*7}
208	AVss	-	-	-	-	-	グラウンドに接続 (0V)

【記号説明】

I : 入力

IU : 入力 (プルアップ MOS オン)

ID : 入力 (プルダウン MOS オン)

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : Hi-Z

R : 端子の状態、レジスタの設定に依存します。

K : 入力固定、出力端子は状態保持、プルアップ/プルダウン MOS は状態保持

- 【注】 *1 外付けプルアップ抵抗を使用するとより安全です。内蔵プルアップ抵抗だけの場合、抵抗値が高くなります。系統的に問題ないかを確認ください。
- *2 外付けプルダウン抵抗を使用するとより安全です。内蔵プルダウン抵抗だけの場合、抵抗値が高くなります。系統的に問題ないかを確認ください。
- *3 本端子をポートで使用する場合も、ポート機能に切り替えるまではハイレベルにしてください。
- *4 エミュレータおよび H-UDI を使用せずに、ユーザシステム単体で使用する場合はハイレベルにしてください。
- *5 TRST はチップ内でプルアップされているため外部でグラウンドに接続すると微小な電流が流れます。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。TRST のプルアップは PFC の PULCR レジスタでオフすることができます。詳細は「第 29 章 ピンファンクションコントローラ (PFC)」を参照してください。
- *6 「13.7 ボード設計上の注意事項」を参照してください。
- *7 プルアップ抵抗は、VccQ (3.3V) に接続してください。
- *8 TAP コントローラの状態が変わります。
- *9 BSC の CMNCR レジスタの設定に依存します。表 E.2 を参照してください。

表 E.2 CKO、CKE、RAS、CAS のバス解放時の端子状態

共通コントロールレジスタ(CMNCR)			端子状態		
HIZCNT	CKODRV	CKOSTP	CKO	CKE	RAS、CAS
0	0	0	Hi-Z	Hi-Z	Hi-Z
		1			
	1	0	出力	出力	
		1	ローレベル		
1	0	0	出力		出力
		1	ローレベル		
	1	0	出力		
		1	ローレベル		

本版で改訂された箇所

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																										
1.1 本 LSI の特長 表 1.1 本 LSI の特長	1-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特 長</th> </tr> </thead> <tbody> <tr> <td>クロックパルス発振器 (CPG)</td> <td> <ul style="list-style-type: none"> クロックモード: 入力クロックを外部入力 (EXTAL)、水晶振動子から選択可能 出力クロック: バスクロック (B) 4 種類のシステムクロックを生成 CPU クロック (1) : 最大 266.7MHz (266MHz 品) 最大 200MHz (200MHz 品) </td> </tr> </tbody> </table>	項目	特 長	クロックパルス発振器 (CPG)	<ul style="list-style-type: none"> クロックモード: 入力クロックを外部入力 (EXTAL)、水晶振動子から選択可能 出力クロック: バスクロック (B) 4 種類のシステムクロックを生成 CPU クロック (1) : 最大 266.7MHz (266MHz 品) 最大 200MHz (200MHz 品)																																																																																																						
項目	特 長																																																																																																											
クロックパルス発振器 (CPG)	<ul style="list-style-type: none"> クロックモード: 入力クロックを外部入力 (EXTAL)、水晶振動子から選択可能 出力クロック: バスクロック (B) 4 種類のシステムクロックを生成 CPU クロック (1) : 最大 266.7MHz (266MHz 品) 最大 200MHz (200MHz 品)																																																																																																											
1.3.2 端子機能 表 1.3 端子機能表	1-21	<p>注を追加</p> <p>【注】 Test0_VccQ、Test1_VssQ、Test2_VccQ、Test3_VccQ、Test4_VssQ 端子はチップの出荷前テスト用の端子です。通常動作時はプルアップまたはプルダウンにより電位を固定してお使いください。</p>																																																																																																										
1.4 製品一覧 表 1.4 製品一覧	1-22	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">略称</th> <th rowspan="2">製品型名</th> <th colspan="2">電源電圧</th> <th rowspan="2">動作周波数</th> <th rowspan="2">動作温度</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>I/O</th> <th>内部</th> </tr> </thead> <tbody> <tr> <td rowspan="4">R8A77301</td> <td>R8A77301C266FPV</td> <td rowspan="4">3.3 ± 0.3V</td> <td rowspan="4">1.2 ± 0.1V</td> <td>266.7MHz</td> <td>標準温度範囲品</td> <td rowspan="4">208 ピンプラスチック LQFP (PLQP0208KB-A)</td> </tr> <tr> <td>R8A77301C200FPV</td> <td>200MHz</td> <td>-20 to 75</td> </tr> <tr> <td>R8A77301D266FPV</td> <td>266.7MHz</td> <td>広温度範囲品</td> </tr> <tr> <td>R8A77301D200FPV</td> <td>200MHz</td> <td>-40 to 85</td> </tr> </tbody> </table>	略称	製品型名	電源電圧		動作周波数	動作温度	パッケージ	I/O	内部	R8A77301	R8A77301C266FPV	3.3 ± 0.3V	1.2 ± 0.1V	266.7MHz	標準温度範囲品	208 ピンプラスチック LQFP (PLQP0208KB-A)	R8A77301C200FPV	200MHz	-20 to 75	R8A77301D266FPV	266.7MHz	広温度範囲品	R8A77301D200FPV	200MHz	-40 to 85																																																																																	
略称	製品型名	電源電圧			動作周波数	動作温度				パッケージ																																																																																																		
		I/O	内部																																																																																																									
R8A77301	R8A77301C266FPV	3.3 ± 0.3V	1.2 ± 0.1V	266.7MHz	標準温度範囲品	208 ピンプラスチック LQFP (PLQP0208KB-A)																																																																																																						
	R8A77301C200FPV			200MHz	-20 to 75																																																																																																							
	R8A77301D266FPV			266.7MHz	広温度範囲品																																																																																																							
	R8A77301D200FPV			200MHz	-40 to 85																																																																																																							
6.7 FPU 演算命令使用上の注意事項	6-15	項目を追加																																																																																																										
11.4.1 共通コントロールレジスタ (CMNCR)	11-13	<p>レジスタを修正</p> <p>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>CKO STP</td><td>CKO DRV</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>DMSTR</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td> </tr> </table> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>—</td><td>BSD</td><td>MAP[1:0]</td><td>BLOCK</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>END IAN</td><td>—</td><td>HIZ MEM</td><td>HIZ CNT</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0/1*</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td> </tr> </table>	—	—	—	—	—	—	CKO STP	CKO DRV	—	—	—	—	—	—	—	DMSTR	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	—	BSD	MAP[1:0]	BLOCK	—	—	—	—	—	—	END IAN	—	HIZ MEM	HIZ CNT	初期値:	0	0	0	0	0	0	0	0	0	0	1	0/1*	0	0	R/W:	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W														
—	—	—	—	—	—	CKO STP	CKO DRV	—	—	—	—	—	—	—	DMSTR																																																																																													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																													
R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W																																																																																													
—	BSD	MAP[1:0]	BLOCK	—	—	—	—	—	—	END IAN	—	HIZ MEM	HIZ CNT																																																																																															
初期値:	0	0	0	0	0	0	0	0	0	0	1	0/1*	0	0																																																																																														
R/W:	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W																																																																																														
	11-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>10-5</td> <td>-</td> <td>すべて 0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	10-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。																																																																																																
ビット	ビット名	初期値	R/W	説 明																																																																																																								
10-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。																																																																																																								
11.4.6 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)	11-40	<p>レジスタを修正</p> <p>ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16</p> <table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td> </tr> </table> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>CMF</td><td>—</td><td>—</td><td>CKS[2:0]</td><td>—</td><td>—</td><td>—</td><td>RRC[2:0]</td> </tr> <tr> <td>初期値:</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W:</td> <td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>—</td> <td>0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</td> </tr> </tbody> </table>	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—	CMF	—	—	CKS[2:0]	—	—	—	RRC[2:0]	初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	ビット	ビット名	初期値	R/W	説 明	6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—																																																																																													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																													
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R																																																																																													
—	—	—	—	—	—	—	—	CMF	—	—	CKS[2:0]	—	—	—	RRC[2:0]																																																																																													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																													
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W																																																																																													
ビット	ビット名	初期値	R/W	説 明																																																																																																								
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。																																																																																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																															
11.4.8 リフレッシュタイムコンスタントレジスタ（RTCOR）	11-42	<p>説明を修正</p> <p>SDCR の RFSH ビットが1にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。</p> <p>CMF ビットのクリアによってリフレッシュ要求がクリアされることはありません。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。</p>																																																															
11.5.5 SDRAM インタフェース (2) アドレスマルチプレクス 表 11.21 A3BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係(7)	11-65	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="3">設定</th> <th rowspan="2">A3 COL [1:0]</th> <th rowspan="2">シンクロナス DRAM の端子</th> <th rowspan="2">機能</th> </tr> <tr> <th>A3 BSZ [1:0]</th> <th>A3 ROW [1:0]</th> <th>A3 COL [1:0]</th> </tr> </thead> <tbody> <tr> <td>11 (32bit)</td> <td>10 (13bit)</td> <td>10 (10bit)</td> <td></td> <td></td> <td></td> </tr> <tr> <td>本 LSI の出力端子</td> <td>出力されるロウアドレス</td> <td>出力されるコラムアドレス</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	設定			A3 COL [1:0]	シンクロナス DRAM の端子	機能	A3 BSZ [1:0]	A3 ROW [1:0]	A3 COL [1:0]	11 (32bit)	10 (13bit)	10 (10bit)				本 LSI の出力端子	出力されるロウアドレス	出力されるコラムアドレス																																													
設定			A3 COL [1:0]	シンクロナス DRAM の端子	機能																																																												
A3 BSZ [1:0]	A3 ROW [1:0]	A3 COL [1:0]																																																															
11 (32bit)	10 (13bit)	10 (10bit)																																																															
本 LSI の出力端子	出力されるロウアドレス	出力されるコラムアドレス																																																															
11.5.7 バイト選択付き SRAM インタフェース 図 11.34 16 ビットデータ幅バイト選択付き SRAM 接続例	11-89	<p>図を修正</p> <p style="text-align: center;">64K x 16ビット SRAM</p> <p style="text-align: center;">A15 ⋮ AO CS OE WE I/O15 ⋮ I/O0 UB LB</p>																																																															
11.5.10 バスアービトレーション	11-97	<p>説明を修正</p> <p>なお、DMA バースト転送中もリフレッシュ要求とバス権使用要求は受け付けます。</p> <p>本 LSI は、バス権要求を受けない限りバス権を保有しています。外部からのバス権要求 BREQ のアサート（ローレベル）を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 BACK をアサート（ローレベル）します。スレープがバスを解放したことを示す BREQ のネゲート（ハイレベル）を受けて BACK をネゲート（ハイレベル）し、バスの使用を再開します。</p>																																																															
12.5.7 DMA 転送の中断後の再開について	12-38	項目を追加																																																															
13.3 クロック動作モード	13-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">クロックモード</th> <th colspan="2">端子設定</th> <th colspan="2">レジスタ初期値</th> <th rowspan="2">クロックソース</th> <th rowspan="2">PLL (過倍率)</th> <th colspan="4">初期クロック比</th> </tr> <tr> <th>MD1</th> <th>MD0</th> <th>FRQCR</th> <th>PLLCR</th> <th>I</th> <th>S</th> <th>B</th> <th>P</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>H'0755 5558</td> <td>H'0000 4000</td> <td>EXTAL^①</td> <td>ON (X8)</td> <td>2</td> <td>2</td> <td>2</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>H'0700 0000</td> <td>H'0000 0000</td> <td>EXTAL^①</td> <td>OFF</td> <td>1/2</td> <td>1/2</td> <td>1/2</td> <td>1/2</td> </tr> <tr> <td>2</td> <td>1</td> <td>0</td> <td>H'0755 5558</td> <td>H'0000 4000</td> <td>水晶発振^②</td> <td>ON (X8)</td> <td>2</td> <td>2</td> <td>2</td> <td>1</td> </tr> <tr> <td>3</td> <td>1</td> <td>1</td> <td colspan="8" style="text-align: center;">設定禁止</td> </tr> </tbody> </table>	クロックモード	端子設定		レジスタ初期値		クロックソース	PLL (過倍率)	初期クロック比				MD1	MD0	FRQCR	PLLCR	I	S	B	P	0	0	0	H'0755 5558	H'0000 4000	EXTAL ^①	ON (X8)	2	2	2	1	1	0	1	H'0700 0000	H'0000 0000	EXTAL ^①	OFF	1/2	1/2	1/2	1/2	2	1	0	H'0755 5558	H'0000 4000	水晶発振 ^②	ON (X8)	2	2	2	1	3	1	1	設定禁止							
クロックモード	端子設定			レジスタ初期値		クロックソース	PLL (過倍率)			初期クロック比																																																							
	MD1	MD0	FRQCR	PLLCR	I			S	B	P																																																							
0	0	0	H'0755 5558	H'0000 4000	EXTAL ^①	ON (X8)	2	2	2	1																																																							
1	0	1	H'0700 0000	H'0000 0000	EXTAL ^①	OFF	1/2	1/2	1/2	1/2																																																							
2	1	0	H'0755 5558	H'0000 4000	水晶発振 ^②	ON (X8)	2	2	2	1																																																							
3	1	1	設定禁止																																																														

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																			
13.3 クロック動作モード	13-4	注を追加 【注】*1 EXTAL 端子から外部クロックを入力します。 *2 水晶振動子を EXTAL 端子と XTAL 端子に接続します。																																																			
21.4.7 送受信手順 (1) マスタ時送信 図 21.9 マスタ時送信動作例	21-32	図を差し替え																																																			
(2) マスタ時受信 図 21.10 マスタ時受信動作例	21-33	図を差し替え																																																			
26.4.4 入力サンプリングと A/D 変換時間 表 26.5 A/D 変換時間（シングルモード）	26-14	注を追加 【注】表中の数値の単位はステート (t_{sync}) です。最小変換時間を満たすように設定してください。																																																			
28.6.1 ポート E データレジスタ (PEDR) • PE1DT、PE2DT、PE4DT、PE5DT、PE7DT	28-9	表を修正 <table border="1"> <thead> <tr> <th colspan="2">PEDR の状態</th> <th rowspan="2">端子状態</th> <th rowspan="2">読み出しの場合</th> <th rowspan="2">書き込みの場合</th> </tr> <tr> <th>PErMD[1]</th> <th>PErMD0</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>その他の機能</td> <td>PEDR の値</td> <td>PEDR に書き込めるが、端子の状態に影響しない</td> </tr> <tr> <td>1</td> <td>出力</td> <td>PEDR の値</td> <td>書き込み値が端子から出力される</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>入力（プルアップ MOS オン）</td> <td>端子の状態</td> <td>PEDR に書き込めるが、端子の状態に影響しない</td> </tr> <tr> <td>1</td> <td>入力（プルアップ MOS オフ）</td> <td>端子の状態</td> <td>PEDR に書き込めるが、端子の状態に影響しない</td> </tr> </tbody> </table>	PEDR の状態		端子状態	読み出しの場合	書き込みの場合	PErMD[1]	PErMD0	0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない	1	出力	PEDR の値	書き込み値が端子から出力される	1	0	入力（プルアップ MOS オン）	端子の状態	PEDR に書き込めるが、端子の状態に影響しない	1	入力（プルアップ MOS オフ）	端子の状態	PEDR に書き込めるが、端子の状態に影響しない																										
PEDR の状態		端子状態	読み出しの場合	書き込みの場合																																																	
PErMD[1]	PErMD0																																																				
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない																																																	
	1	出力	PEDR の値	書き込み値が端子から出力される																																																	
1	0	入力（プルアップ MOS オン）	端子の状態	PEDR に書き込めるが、端子の状態に影響しない																																																	
	1	入力（プルアップ MOS オフ）	端子の状態	PEDR に書き込めるが、端子の状態に影響しない																																																	
33.1 絶対最大定格 表 33.1 絶対最大定格	33-1	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="2">動作温度*</td> <td>標準温度範囲品</td> <td>T_{op}</td> <td>-20 ~ 75</td> </tr> <tr> <td>広温度範囲品</td> <td>T_{op}</td> <td>-40 ~ 85</td> </tr> <tr> <td>保存温度</td> <td>T_{stg}</td> <td>-55 ~ 125</td> <td></td> </tr> </tbody> </table> 注を追加 【注】*1 各製品の動作温度については、表 1.4 製品一覧を参照ください。	項目	記号	定格値	単位	動作温度*	標準温度範囲品	T_{op}	-20 ~ 75	広温度範囲品	T_{op}	-40 ~ 85	保存温度	T_{stg}	-55 ~ 125																																					
項目	記号	定格値	単位																																																		
動作温度*	標準温度範囲品	T_{op}	-20 ~ 75																																																		
	広温度範囲品	T_{op}	-40 ~ 85																																																		
保存温度	T_{stg}	-55 ~ 125																																																			
33.3 DC 特性 表 33.4 DC 特性（1）【共通項目】	33-4	条件を修正 条件：Ta = -20 ~ 75（標準温度範囲品）、Ta = -40 ~ 85（広温度範囲品） 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">消費電流*</td> <td rowspan="2">I_{cc}</td> <td>-</td> <td>135</td> <td>275</td> <td>mA</td> <td>$V_{\text{cc}} = 1.2\text{V}$ $I = 266.7\text{MHz}$</td> </tr> <tr> <td>-</td> <td>110</td> <td>220</td> <td>mA</td> <td>$V_{\text{cc}} = 1.2\text{V}$ $I = 200\text{MHz}$</td> </tr> <tr> <td>$I_{\text{cc-Q}}$</td> <td>-</td> <td>30</td> <td>40</td> <td>mA</td> <td>$V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$</td> </tr> <tr> <td rowspan="2">スリープモード時</td> <td rowspan="2">I_{cc}</td> <td>-</td> <td>30</td> <td>50</td> <td>mA</td> <td>パワーオンリセット後にスリープモードに遷移したとき $V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$</td> </tr> <tr> <td>$I_{\text{cc-Q}}$</td> <td>-</td> <td>20</td> <td>25</td> <td>mA</td> <td></td> </tr> <tr> <td rowspan="2">スタンバイモード時</td> <td rowspan="2">I_{cc}</td> <td>-</td> <td>0.4</td> <td>3</td> <td>mA</td> <td>$T_{\text{r}} = 25$</td> </tr> <tr> <td>$I_{\text{cc-Q}}$</td> <td>-</td> <td>15</td> <td>30</td> <td>μA</td> <td>$V_{\text{cc-Q}} = 3.3\text{V}$ $V_{\text{cc}} = 1.2\text{V}$</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	消費電流*	I_{cc}	-	135	275	mA	$V_{\text{cc}} = 1.2\text{V}$ $I = 266.7\text{MHz}$	-	110	220	mA	$V_{\text{cc}} = 1.2\text{V}$ $I = 200\text{MHz}$	$I_{\text{cc-Q}}$	-	30	40	mA	$V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$	スリープモード時	I_{cc}	-	30	50	mA	パワーオンリセット後にスリープモードに遷移したとき $V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$	$I_{\text{cc-Q}}$	-	20	25	mA		スタンバイモード時	I_{cc}	-	0.4	3	mA	$T_{\text{r}} = 25$	$I_{\text{cc-Q}}$	-	15	30	μA	$V_{\text{cc-Q}} = 3.3\text{V}$ $V_{\text{cc}} = 1.2\text{V}$
項目	記号	Min.	Typ.	Max.	単位	測定条件																																															
消費電流*	I_{cc}	-	135	275	mA	$V_{\text{cc}} = 1.2\text{V}$ $I = 266.7\text{MHz}$																																															
		-	110	220	mA	$V_{\text{cc}} = 1.2\text{V}$ $I = 200\text{MHz}$																																															
	$I_{\text{cc-Q}}$	-	30	40	mA	$V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$																																															
スリープモード時	I_{cc}	-	30	50	mA	パワーオンリセット後にスリープモードに遷移したとき $V_{\text{cc-Q}} = 3.3\text{V}$ $B = 33.4\text{MHz}$																																															
		$I_{\text{cc-Q}}$	-	20	25	mA																																															
スタンバイモード時	I_{cc}	-	0.4	3	mA	$T_{\text{r}} = 25$																																															
		$I_{\text{cc-Q}}$	-	15	30	μA	$V_{\text{cc-Q}} = 3.3\text{V}$ $V_{\text{cc}} = 1.2\text{V}$																																														
表 33.4 DC 特性（2-a）【I ² C 関連端子をのぞく】	33-5	注条件を修正 条件：Ta = -20 ~ 75（標準温度範囲品）、Ta = -40 ~ 85（広温度範囲品）																																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																														
表 33.4 DC 特性 (2-a) 【I ² C 関連端子をのぞく】	33-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力ハイレベル電圧</td> <td rowspan="3">RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI</td> <td rowspan="3">V_{cc}Q×0.9</td> <td rowspan="3">-</td> <td rowspan="3">V_{cc}Q+0.3</td> <td rowspan="3">V</td> <td rowspan="3"></td> </tr> <tr> <td>PTM0, PTM1, PTL4, PTL5, PTL6, PTL7</td> <td>2.0</td> <td>-</td> <td>AV_{cc}+0.3</td> </tr> <tr> <td>その他の入力端子</td> <td>2.0</td> <td>-</td> <td>V_{cc}Q+0.3</td> </tr> <tr> <td rowspan="3">入力ローレベル電圧</td> <td rowspan="3">RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI</td> <td rowspan="3">V_L</td> <td rowspan="3">-0.3</td> <td rowspan="3">-</td> <td rowspan="3">V_{cc}Q×0.1</td> <td rowspan="3">V</td> </tr> <tr> <td>PTM0, PTM1, PTL4, PTL5, PTL6, PTL7</td> <td>-0.3</td> <td>-</td> <td>AV_{cc}×0.2</td> </tr> <tr> <td>その他の入力端子</td> <td>-0.3</td> <td>-</td> <td>V_{cc}Q×0.2</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	測定条件	入力ハイレベル電圧	RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI	V _{cc} Q×0.9	-	V _{cc} Q+0.3	V		PTM0, PTM1, PTL4, PTL5, PTL6, PTL7	2.0	-	AV _{cc} +0.3	その他の入力端子	2.0	-	V _{cc} Q+0.3	入力ローレベル電圧	RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI	V _L	-0.3	-	V _{cc} Q×0.1	V	PTM0, PTM1, PTL4, PTL5, PTL6, PTL7	-0.3	-	AV _{cc} ×0.2	その他の入力端子	-0.3	-	V _{cc} Q×0.2																																									
項目	記号	Min.	Typ.	Max.	単位	測定条件																																																																										
入力ハイレベル電圧	RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI	V _{cc} Q×0.9	-	V _{cc} Q+0.3	V																																																																											
							PTM0, PTM1, PTL4, PTL5, PTL6, PTL7	2.0	-	AV _{cc} +0.3																																																																						
							その他の入力端子	2.0	-	V _{cc} Q+0.3																																																																						
入力ローレベル電圧	RESETP, MD0, MD1, MD3, MD5, TRST, MPMD, EXTAL, NMI	V _L	-0.3	-	V _{cc} Q×0.1	V																																																																										
							PTM0, PTM1, PTL4, PTL5, PTL6, PTL7	-0.3	-	AV _{cc} ×0.2																																																																						
							その他の入力端子	-0.3	-	V _{cc} Q×0.2																																																																						
表 33.4 DC 特性 (2-b) 【I ² C 関連端子】	33-5	<p>条件を修正</p> <p>条件：Ta = -20 ~ 75 (標準温度範囲品)、Ta = -40 ~ 85 (広温度範囲品)</p>																																																																														
33.3 DC 特性 表 33.5 出力許容電流値	33-6	<p>条件を修正</p> <p>条件：Ta = -20 ~ 75 (標準温度範囲品)、Ta = -40 ~ 85 (広温度範囲品)</p>																																																																														
33.4 AC 特性 表 33.6 動作周波数範囲	33-6	条件を削除																																																																														
33.4.1 クロックタイミング 表 33.7 クロックタイミング	33-7	条件を削除																																																																														
33.4.2 制御信号タイミング 表 33.8 制御信号タイミング	33-8	条件を削除																																																																														
33.4.3 AC バスタイミング仕様 表 33.9 バスタイミング	33-10	<p>条件を削除</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>アドレス遅延時間 1</td> <td>t_{AD1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.8 - 33.38</td> </tr> <tr> <td>アドレス遅延時間 2</td> <td>t_{AD2}</td> <td>1/2t_{sc}</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.15</td> </tr> <tr> <td>BS 遅延時間</td> <td>t_{BS}</td> <td>-</td> <td>10</td> <td>ns</td> <td>33.8 - 33.34</td> </tr> <tr> <td>CS 遅延時間 1</td> <td>t_{CS1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.8 - 33.38</td> </tr> <tr> <td>リードライト遅延時間 1</td> <td>t_{RD1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.8 - 33.38</td> </tr> <tr> <td>リードストロブ遅延時間</td> <td>t_{RS}</td> <td>1/2t_{sc}</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.8 - 33.15、33.35、33.36</td> </tr> <tr> <td>リードデータセットアップ時間 1</td> <td>t_{SD1}</td> <td>1/2t_{sc} + 7</td> <td>-</td> <td>ns</td> <td>33.8 - 33.14、33.33 - 33.38</td> </tr> <tr> <td>リードデータセットアップ時間 3</td> <td>t_{SD3}</td> <td>-</td> <td>-</td> <td>ns</td> <td>33.15</td> </tr> <tr> <td>ライトイネーブル遅延時間 1</td> <td>t_{WE1}</td> <td>1/2t_{sc}</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.8 - 33.13、33.37、33.38</td> </tr> <tr> <td>ライトイネーブル遅延時間 2</td> <td>t_{WE2}</td> <td>-</td> <td>10</td> <td>ns</td> <td>33.14</td> </tr> <tr> <td>ライトデータ遅延時間 1</td> <td>t_{WD1}</td> <td>-</td> <td>10</td> <td>ns</td> <td>33.8 - 33.14、33.35 - 33.38</td> </tr> <tr> <td>ライトデータ遅延時間 2</td> <td>t_{WD2}</td> <td>-</td> <td>10</td> <td>ns</td> <td>33.20 - 33.23、33.27 - 33.29、33.33、33.34</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	アドレス遅延時間 1	t _{AD1}	1	10	ns	33.8 - 33.38	アドレス遅延時間 2	t _{AD2}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.15	BS 遅延時間	t _{BS}	-	10	ns	33.8 - 33.34	CS 遅延時間 1	t _{CS1}	1	10	ns	33.8 - 33.38	リードライト遅延時間 1	t _{RD1}	1	10	ns	33.8 - 33.38	リードストロブ遅延時間	t _{RS}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.8 - 33.15、33.35、33.36	リードデータセットアップ時間 1	t _{SD1}	1/2t _{sc} + 7	-	ns	33.8 - 33.14、33.33 - 33.38	リードデータセットアップ時間 3	t _{SD3}	-	-	ns	33.15	ライトイネーブル遅延時間 1	t _{WE1}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.8 - 33.13、33.37、33.38	ライトイネーブル遅延時間 2	t _{WE2}	-	10	ns	33.14	ライトデータ遅延時間 1	t _{WD1}	-	10	ns	33.8 - 33.14、33.35 - 33.38	ライトデータ遅延時間 2	t _{WD2}	-	10	ns	33.20 - 33.23、33.27 - 33.29、33.33、33.34
項目	記号	Min.	Max.	単位	参照図																																																																											
アドレス遅延時間 1	t _{AD1}	1	10	ns	33.8 - 33.38																																																																											
アドレス遅延時間 2	t _{AD2}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.15																																																																											
BS 遅延時間	t _{BS}	-	10	ns	33.8 - 33.34																																																																											
CS 遅延時間 1	t _{CS1}	1	10	ns	33.8 - 33.38																																																																											
リードライト遅延時間 1	t _{RD1}	1	10	ns	33.8 - 33.38																																																																											
リードストロブ遅延時間	t _{RS}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.8 - 33.15、33.35、33.36																																																																											
リードデータセットアップ時間 1	t _{SD1}	1/2t _{sc} + 7	-	ns	33.8 - 33.14、33.33 - 33.38																																																																											
リードデータセットアップ時間 3	t _{SD3}	-	-	ns	33.15																																																																											
ライトイネーブル遅延時間 1	t _{WE1}	1/2t _{sc}	1/2t _{sc} + 10	ns	33.8 - 33.13、33.37、33.38																																																																											
ライトイネーブル遅延時間 2	t _{WE2}	-	10	ns	33.14																																																																											
ライトデータ遅延時間 1	t _{WD1}	-	10	ns	33.8 - 33.14、33.35 - 33.38																																																																											
ライトデータ遅延時間 2	t _{WD2}	-	10	ns	33.20 - 33.23、33.27 - 33.29、33.33、33.34																																																																											
	33-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>RAS 遅延時間 1</td> <td>t_{RAS1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.16 - 33.34</td> </tr> <tr> <td>CAS 遅延時間 1</td> <td>t_{CAS1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.16 - 33.34</td> </tr> <tr> <td>DOM 遅延時間 1</td> <td>t_{DOM1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.16 - 33.34</td> </tr> <tr> <td>CKE 遅延時間 1</td> <td>t_{CKE1}</td> <td>1</td> <td>10</td> <td>ns</td> <td>33.31 - 33.34</td> </tr> <tr> <td>DACK 遅延時間</td> <td>t_{DACK}</td> <td>-</td> <td>13</td> <td>ns</td> <td>33.8 - 33.33</td> </tr> <tr> <td>ICIOR_D 遅延時間</td> <td>t_{ICIOR_D}</td> <td>-</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.37、33.38</td> </tr> <tr> <td>ICIOR_W 遅延時間</td> <td>t_{ICIOR_W}</td> <td>-</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.37、33.38</td> </tr> <tr> <td>REFOUT、IRQOUT 遅延時間</td> <td>t_{REFOUT}</td> <td>-</td> <td>1/2t_{sc} + 10</td> <td>ns</td> <td>33.39</td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	RAS 遅延時間 1	t _{RAS1}	1	10	ns	33.16 - 33.34	CAS 遅延時間 1	t _{CAS1}	1	10	ns	33.16 - 33.34	DOM 遅延時間 1	t _{DOM1}	1	10	ns	33.16 - 33.34	CKE 遅延時間 1	t _{CKE1}	1	10	ns	33.31 - 33.34	DACK 遅延時間	t _{DACK}	-	13	ns	33.8 - 33.33	ICIOR _D 遅延時間	t _{ICIOR_D}	-	1/2t _{sc} + 10	ns	33.37、33.38	ICIOR _W 遅延時間	t _{ICIOR_W}	-	1/2t _{sc} + 10	ns	33.37、33.38	REFOUT、IRQOUT 遅延時間	t _{REFOUT}	-	1/2t _{sc} + 10	ns	33.39																								
項目	記号	Min.	Max.	単位	参照図																																																																											
RAS 遅延時間 1	t _{RAS1}	1	10	ns	33.16 - 33.34																																																																											
CAS 遅延時間 1	t _{CAS1}	1	10	ns	33.16 - 33.34																																																																											
DOM 遅延時間 1	t _{DOM1}	1	10	ns	33.16 - 33.34																																																																											
CKE 遅延時間 1	t _{CKE1}	1	10	ns	33.31 - 33.34																																																																											
DACK 遅延時間	t _{DACK}	-	13	ns	33.8 - 33.33																																																																											
ICIOR _D 遅延時間	t _{ICIOR_D}	-	1/2t _{sc} + 10	ns	33.37、33.38																																																																											
ICIOR _W 遅延時間	t _{ICIOR_W}	-	1/2t _{sc} + 10	ns	33.37、33.38																																																																											
REFOUT、IRQOUT 遅延時間	t _{REFOUT}	-	1/2t _{sc} + 10	ns	33.39																																																																											

修正項目	ページ	修正内容（詳細はマニュアル参照）
33.4.8 周辺モジュール信号タイミング 表 33.10 周辺モジュール信号タイミング	33-43	条件を削除
33.4.9 16ビットタイマパルスユニット（TPU） 表 33.11 16ビットタイマパルスユニット	33-44	条件を削除
33.4.10 RTC 信号タイミング 表 33.12 RTC 信号タイミング	33-44	条件を削除
33.4.11 I ² C バスインタフェースタイミング 表 33.13 I ² C バスインタフェースタイミング	33-45	条件を削除
33.4.12 SIOF モジュール信号タイミング 表 33.14 SIOF モジュール信号タイミング	33-46	条件を削除
33.3.14 SIM モジュール信号タイミング 表 33.17 SIM モジュール信号タイミング	33-50	条件を削除
33.3.15 H-UDI 関連端子のタイミング 表 33.18 H-UDI 関連端子のタイミング	33-51	条件を削除
33.5 A/D 変換器特性 表 33.19 A/D 変換器特性	33-53	条件を削除
33.6 D/A 変換器特性 表 33.20 D/A 変換器特性	33-53	条件を削除

修正項目	ページ	修正内容（詳細はマニュアル参照）
33.7 AC 特性測定条件	33-54	<p>説明を修正</p> <p>特に断りのない限り、AC特性測定条件は次のとおりです。</p> <p>(1) 温度</p> <ul style="list-style-type: none"> • 標準温度範囲品：Ta = -20 ~ 75°C • 広温度範囲品：Ta = -40 ~ 85°C <p>(2) 電源電圧</p> <ul style="list-style-type: none"> • V_{ccQ} = 3.0 ~ 3.6V • V_{cc} = V_{cc_PLL1} = V_{cc_PLL2} = 1.1 ~ 1.3V • AV_{cc} = 3.0 ~ 3.6V <p>(3) 入力信号</p> <ul style="list-style-type: none"> • 入出力信号参照レベル：$\frac{V_{ccQ}}{2}$、(V_{ccQ} = 3.0 ~ 3.6V、V_{cc} = 1.1 ~ 1.3V) • 入力パルスレベル：V_{ss} - V_{ccQ} • 入力立ち上がり、立ち下がり時間：1ns

索引

【数字 / 記号】	
0 による除算	6-11
16 ビットタイムパルスユニット (TPU)	16-1
【A】	
A/D 変換器	26-1
【C】	
CRC エンジン	24-25
【D】	
D/A 変換器 (DAC)	27-1
【F】	
FIFO 内蔵シリアルコミュニケーション	22-1, 23-1
FPU エラー	6-11
FPU に関するシステムレジスタ	2-3
FPU 例外	5-23, 6-11
FPU 例外処理	6-12
【H】	
H-UDI リセット	5-11
【I】	
I/O ポート	28-1
I ² C バスインタフェース (IIC)	20-1
I ² C バスフォーマット	20-15
IrDA インタフェース (IrDA)	24-1
IrDA 受信フロー	24-28
IrDA 送信フロー	24-26
IRQ 割り込み	10-18
【N】	
NMI (ノンマスクابل割り込み)	5-23
NMI 割り込み	10-18
【P】	
PWM モード	16-22
【R】	
RCLK ウォッチドッグタイマ (RWDT)	15-1
RTC 用水晶発振回路	17-21
【S】	
SIM カードモジュール (SIM)	25-1
【T】	
TAP 制御	31-7
TLB 拡張モードの機能	7-25
T ビット	3-2
【あ】	
アドレス変換	7-8
アドレス変換方式	7-28
アドレッシングモード	3-3
アンダフロー	6-11
一般 FPU 抑止 / スロット FPU 抑止例外	6-11
一般 FPU 抑止例外	5-21
一般不当命令例外	5-19
一般割り込み要求	5-24
インターミットtentモード	12-28
オートリクエストモード	12-18
オートリロードカウンタ動作	18-8
オーバフロー	6-11
オペランドアクセスサイクルブレイク	30-21
【か】	
外部リクエストモード	12-18
仮想アドレス空間	7-4
キャッシュ	8-1
共用 TLB	7-20
共用 TLB (UTLB) の構成	7-25
空間分割	11-5
クロックパルス発振器 (CPG)	13-1
クロック同期式モード	22-33, 23-34
固定モード	12-22
固定小数点転送命令	3-8
コントロールレジスタ	2-2
コンペアマッチタイマ (CMT)	19-1

【さ】

サイクルスチール	12-27
算術演算命令	3-9
ジオメトリック演算命令	6-13
実行ステート	4-15
システムレジスタ	2-3
システム制御命令	3-13
実効アドレス	3-3
シフト命令	3-11
周辺モジュール割り込み	10-20
初期ページ書き込み例外	5-14
処理モード	2-2
シリアル I/O FIFO 付き (SIOF)	21-1
シングルモード	26-7
信号源インビダンス	26-16
スキャンモード	26-11
スマートカードインタフェース	25-17
スリープモード	14-11
スレーブ受信動作	20-21
スレーブ送信動作	20-20
スレーブモード 1	21-29
スレーブモード 2	21-30
スレーブ時受信	21-35
スレーブ時送信	21-34
スロット FPU 抑止例外	5-21
スロット不当命令例外	5-20
赤外線受光パルスデータ受信	24-23
赤外線発光パルスデータ送信	24-22
送受信リセット	21-36
ソフトウェアスタンバイモード	14-12

【た】

タイマユニット (TMU)	18-1
ダイレクトメモリアクセスコントローラ (DMAC)	12-1
多重仮想記憶モード	7-8
単一仮想記憶モード	7-8
単精度浮動小数点レジスタ	2-6
単精度浮動小数点拡張レジスタ	2-7
単精度浮動小数点拡張レジスタ行列	2-7
単精度浮動小数点ベクトルレジスタ	2-6
遅延スロット	3-1
遅延分岐	3-1
調歩同期式モード	23-24
調歩同期式モード	22-23
低消費電力状態	2-16
データ TLB ミス例外	5-12
データ TLB 多重ヒット例外	5-12

データ TLB 保護違反例外	5-14
データアドレスエラー	5-17
デュアルアドレスモード	12-26
転送レート	20-6
特権モード	2-2

【な】

内蔵周辺モジュールリクエストモード	12-19
内蔵メモリ	9-1
ノイズ除去回路	20-23

【は】

バーストモード	12-28
倍精度浮動小数点レジスタ	2-6
パイプライン動作	4-1
バウンダリスキャン TAP コントローラ	31-7
バスステートコントローラ (BSC)	11-1
発行レート	4-15
パワーオンリセット	5-11, 14-10
汎用レジスタ	2-2
非正規化数	6-5
ビッグエンディアン	2-15, 11-43
ビット同期回路	20-28
ピンファンクションコントローラ (PFC)	29-1
符号拡張	2-14
不正確例外	6-11
物理アドレス空間	7-7
浮動小数点レジスタ	2-3, 2-6
浮動小数点制御命令	3-16
浮動小数点単精度命令	3-15
浮動小数点倍精度命令	3-16
浮動小数点フォーマット	6-2
浮動小数点ユニット (FPU)	6-1
浮動小数点レジスタ	6-6
フリーラン動作	19-7
プログラミングモデル	2-1
分岐命令	3-12
ペア単精度データ転送命令	6-14
ベクタアドレス	5-7
ポーレートジェネレータ	21-23

【ま】

マスタ受信動作	20-18
マスタ送信動作	20-16
マスタモード 1	21-29
マスタ時受信	21-33
マスタ時送信	21-32

マニュアルリセット	5-11	CDMR1	30-15
マルチモード	26-9	CDR1	30-14
丸め	6-10	CETR1	30-15
無効演算	6-11	CHCR	12-9
無条件トラップ	5-18	CMCNT	19-6
命令 TLB	7-22	CMCOR	19-6
命令 TLB (ITLB) の構成	7-28	CMCSR	19-5
命令 TLB 多重ヒット例外	5-12	CMNCR	11-13
命令 TLB 保護違反例外	5-16	CMSTR	19-4
命令 TLB ミス例外	5-13	CPUOPM	付録-1
命令アドレスエラー	5-18	CRR	30-10
命令キャッシュウェイ予測の動作説明	8-15	CSnBCR	11-15
命令実行後ユーザブレイク	5-22	CSnWCR	11-19
命令実行状態	2-16	DACR	27-3
命令実行前ユーザブレイク	5-22	DADR	27-3
命令セット	3-1	DAR	12-7
命令フェッチサイクルブレイク	30-20	DARB	12-7
メモリマネジメントユニット	7-1	DBR	2-11
メモリ割り付け TLB の構成変更	7-44	DMAOR	12-14
メモリ割り付けレジスタ	2-14	DMARS	12-16
モジュールスタンバイ	14-13	EXPEVT	5-2
モデム機能	23-33	EXPMASK	5-4
 		FPSCR	2-11, 6-8
【や】		FPUL	2-13, 6-10
ユーザデバッグインタフェース (H-UDI)	31-1	FRQCR	13-5
ユーザブレイクコントローラ (UBC)	30-1	GBR	2-10
ユーザブレイク動作の流れ	30-18	HIZCRA	29-33
ユーザモード	2-2	HIZCRB	29-34
 		HIZCRC	29-35
【ら】		HIZCRD	29-37
ラウンドロビンモード	12-22	HIZCRE	29-38
リアルタイムクロック (RTC)	17-1	HIZCRF	29-39
リセット、低消費電力モード	14-1	ICCR1	20-5
リセット状態	2-16	ICCR2	20-7
リトルエンディアン	2-15, 11-43	ICDRR	20-13
例外 / 割り込みコード	5-7	ICDRS	20-14
例外処理	5-1, 5-6	ICDRT	20-13
例外フロー	5-8	ICIER	20-9
レジスタ		ICMR	20-8
ADCSR	26-4	ICR0	10-6
ADDR	26-4	ICR1	10-8
CAMR	30-13	ICSR	20-11
CAR	30-12	IMCR	10-14
CBCR	30-17	IMR	10-13
CBR	30-4	INTEVT	5-3
CCMFR	30-16	INTMSK00	10-12
CCR	8-5	INTMSKCLR00	10-13

INTPRI00.....	10-9	PFDR.....	28-10
INTREQ00.....	10-11	PGCR.....	29-15
IPR.....	10-10	PGDR.....	28-12
IrDACLKCR.....	13-8	PHCR.....	29-16
IRIF_CRC0.....	24-17	PHDR.....	28-13
IRIF_CRC1.....	24-17	PINTCRA.....	29-40
IRIF_CRC2.....	24-18	PINTCRB.....	29-42
IRIF_CRC3.....	24-18	PJCR.....	29-18
IRIF_CRC4.....	24-18	PJDR.....	28-15
IRIF_RINTCLR.....	24-6	PKCR.....	29-19
IRIF_SIR_EOF.....	24-10	PKDR.....	28-17
IRIF_SIR_FLG.....	24-10	PLCR.....	29-20
IRIF_SIR_FRM.....	24-9	PLDR.....	28-18
IRIF_SIR0.....	24-7	PLLCR.....	13-8
IRIF_SIR1.....	24-7	PMCR.....	29-22
IRIF_SIR2.....	24-8	PMDR.....	28-19
IRIF_SIR3.....	24-9	PNCR.....	29-23
IRIF_SIRUART_STS2.....	24-10	PNDR.....	28-21
IRIF_TINTCLR.....	24-6	PQCR.....	29-24
IRIF_UART0.....	24-11	PQDR.....	28-23
IRIF_UART1.....	24-12	PR.....	2-11
IRIF_UART3.....	24-14	PRCR.....	29-25
IRIF_UART4.....	24-14	PRDR.....	28-25
IRIF_UART5.....	24-15	PSCR.....	29-26
IRIF_UART6.....	24-16	PSDR.....	28-26
IRIF_UART7.....	24-16	PSELA.....	29-28
IRMCR.....	7-18	PSELB.....	29-30
MACH.....	2-11	PSELC.....	29-31
MACL.....	2-11	PTCR.....	29-27
MMUCR.....	7-13	PTDR.....	28-28
MSTPCR0.....	14-3	PTEA.....	7-16
NF2CYC.....	20-14	PTEH.....	7-11
NMIFCR.....	10-17	PTEL.....	7-12
OSCWTCR.....	13-9	PULCR.....	29-40
PACR.....	29-7	QACR0.....	8-7
PADR.....	28-3	QACR1.....	8-7
PASCR.....	7-17	R64CNT.....	17-4
PBCR.....	29-8	RAMCR.....	8-8, 9-3
PBDR.....	28-4	RBWTCNT.....	11-37
PC.....	2-11	RCR1.....	17-14
PCCR.....	29-10	RCR2.....	17-15
PCDR.....	28-6	RCR3.....	17-17
PDCR.....	29-11	RDAYAR.....	17-12
PDDR.....	28-7	RDAYCNT.....	17-8
PECR.....	29-13	RHRAR.....	17-11
PEDR.....	28-9	RHRCNT.....	17-6
PFCR.....	29-14	RMINAR.....	17-10

RMINCNT	17-6	SCSMR	22-8
RMONAR.....	17-13	SCSMR (SIM)	25-4
RMONCNT	17-8	SCSSR (SIM)	25-8
RSECAR.....	17-10	SCTDR	25-7
RSECCNT	17-5	SCTSR	22-7
RTCNT	11-41	SCTSR (SIM)	25-7
RTCOR.....	11-42	SCWAIT	25-15
RTCSR	11-40	SDBPR	31-6
RWKAR	17-11	SDCR	11-38
RWKCNT.....	17-7	SDDRH.....	31-5
RWTCNT.....	15-2	SDDRL	31-5
RWTCSR.....	15-3	SDINT.....	31-6
RYRAR	17-13	SDIR.....	31-5
RYRCNT.....	17-9	SGR.....	2-10
SAR	12-6	SICDAR.....	21-22
SAR (IIC)	20-13	SICTR.....	21-7
SARB.....	12-6	SIFCTR	21-17
SCABRR.....	23-19	SIER	21-16
SCAFCR.....	23-21	SIMDR.....	21-5
SCAFDR.....	23-23	SIRCR	21-11
SCAFER	23-13	SIRDAR	21-21
SCAFRDR	23-7	SIRDR	21-9
SCAFTDR.....	23-8	SISCR	21-19
SCARSR.....	23-7	SISTR	21-11
SCASCR.....	23-10	SITCR	21-10
SCASMR	23-8	SITDAR	21-20
SCASSR.....	23-14	SITDR	21-9
SCATDSR	23-23	SPC	2-10
SCATSR	23-7	SR	2-9
SCBRR	22-17	SSR	2-10
SCBRR (SIM)	25-5	STBCR	14-3
SCDMAEN	25-16	TCNT.....	18-6
SCFCR	22-18	TCOR	18-6
SCFDR	22-20	TCR (DMAC)	12-8
SCFRDR.....	22-7	TCR (TMU)	18-5
SCFSR	22-12	TCRB.....	12-8
SCFTDR2.....	22-7	TEA	7-13
SCGRD.....	25-14	TPUn_TCNT	16-14
SCLSR.....	22-21	TPUn_TCR.....	16-8
SCRDR.....	25-12	TPUn_TGR	16-14
SCRSR.....	22-7	TPUn_TIER	16-12
SCRSR (SIM)	25-12	TPUn_TIOR	16-10
SCSC2R.....	25-14	TPUn_TMDR.....	16-9
SCSCMR.....	25-12	TPUn_TSR.....	16-13
SCSCR.....	22-10	TPUn_TSTR.....	16-14
SCSCR (SIM)	25-5	TRA	5-2
SCSMPL.....	25-15	TSTR	18-4

TTB.....	7-13
USERIMASK	10-16
VBR	2-10
ロード/ストアアーキテクチャ	3-1
論理演算命令	3-11

【わ】

割り込みコントローラ (INTC)	10-1
ワンショット動作.....	19-7

ルネサス32ビットRISCマイクロコンピュータ
SH7730グループ
ユーザーズマニュアル ハードウェア編

発行年月日 2007年8月 Rev.1.00
2012年3月19日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7730 グループ
ユーザーズマニュアル ハードウェア編