

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7734

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ / SH-4A シリーズ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエンジニアリング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し／書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し／書き込み値の指定が特にない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. 電気的特性
8. 付録
9. 本版で修正または追加された箇所
10. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。本 LSI は、SH-4A 拡張機能を備えており、SH-4A に対して機能的に上位互換です。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき
 - 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- SH-4A拡張機能の各命令の詳細を理解したいとき
 - 別冊の「SH-4A拡張機能ソフトウェアマニュアル」を参照してください。

【凡例】

レジスタ表記： シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記： 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記： 2進数は B'XXXX、16進数は H'XXXX、10進数は XXXX で表します。

記号の表記： ローアクティブの信号にはオーババー ($\overline{\text{XXXX}}$) を付けます。

【略語の説明】

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
ATAPI	AT Attachment Packet Interface AT アタッチメントパケットインタフェース
BSC	Bus State Controller バスステートコントローラ
CPG	Clock Pulse Generator クロックパルス発生器
CPU	Central Processing Unit 中央制御装置
DBSC	DDR-SDRAM Bus State Controller DDR 用バスコントローラ
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
ETU	Elementary Time Unit 1 ビットの転送時間
FIFO	First-In First-Out 先入れ先出し
FPU	Floating point number Processing Unit 浮動小数点演算ユニット
H-UDI	User Debugging Interface ユーザデバッグインタフェース
IIC	Inter IC bus I ² C バス
INTC	Interrupt Controller 割り込みコントローラ
IrDA	Infrared Data Association 赤外線通信の規格名称
JPEG	Joint Photographic Experts Group カラー静止画像の圧縮伸張方式の規格
JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr

LCDC	LCD Controller LCD コントローラ
LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMC	Multi Media Card マルチメディアカード
MMU	Memory Management Unit メモリマネジメントユニット
MPEG	Motion Picture Experts Group デジタル動画と音声圧縮伸張に関する規格
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Realtime Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
STIF	Stream Interface ストリームインタフェース
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
TPU	Timer Pulse Unit タイマパルスユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ

USB	Universal Serial Bus ユニバーサルシリアルバス
VEU	Video Engine Unit ビデオエンジンユニット
WDT	Watchdog Timer ウォッチドッグタイマ

【登録商標・商標】

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 はじめに.....	1-1
1.1.1 SH7734.....	1-1
1.2 型名と機能の対応.....	1-2
1.3 システム構成図.....	1-3
1.4 仕様一覧.....	1-4
1.4.1 SH-4A コア.....	1-4
1.4.2 CPU コア周辺.....	1-6
1.4.3 メモリ制御ユニット.....	1-9
1.4.4 内部バス構成および調停仕様.....	1-10
1.4.5 グラフィックス部.....	1-11
1.4.6 ビデオ.....	1-13
1.4.7 サウンドインタフェース.....	1-14
1.4.8 周辺モジュール.....	1-15
1.5 製品型名.....	1-22
1.6 電源電圧／温度範囲.....	1-22
1.7 エリアマップ.....	1-23
1.7.1 メモリアクセス、レジスタアクセス.....	1-29
1.7.2 レジスタへのアクセス.....	1-29
1.8 ダイレクトメモリアクセスコントローラ.....	1-30
1.9 割り込みコントローラ.....	1-30
1.10 データフォーマット.....	1-31
1.11 レジスタ一覧.....	1-32
1.11.1 プロセッサバージョンレジスタ (PVR) (HFF000030 に配置).....	1-32
1.12 初期状態、端子の状態.....	1-32
1.12.1 レジスタ初期値.....	1-32
1.12.2 端子の状態.....	1-32
1.13 処理状態.....	1-33
1.13.1 リセット状態.....	1-33
1.13.2 例外処理状態.....	1-34
1.13.3 プログラム実行状態.....	1-34
1.13.4 低消費電力状態.....	1-35
1.14 端子の設定.....	1-36
1.15 ピン配置.....	1-39

1.16	ピン機能表	1-40
1.16.1	BGA440 対応端子特性	1-40
1.16.2	BGA440 対応ピン機能表	1-48
1.17	外形寸法図	1-61
2.	SH-4A	2-1
2.1	概要	2-1
2.1.1	本 CPU の特長	2-1
2.1.2	ブロック図	2-3
2.1.3	SH-4A 拡張機能内容	2-4
2.1.4	SH-4 から SH-4A (PVR.VER=H'20) への変更点	2-5
2.2	プログラミングモデル	2-7
2.2.1	データフォーマット	2-7
2.2.2	レジスタの構成	2-8
2.2.3	メモリ割り付けレジスタ	2-20
2.2.4	レジスタのデータ形式	2-20
2.2.5	メモリ上でのデータ形式	2-21
2.2.6	処理状態	2-22
2.2.7	使用上の注意事項	2-23
2.3	命令セット	2-24
2.3.1	実行環境	2-24
2.3.2	アドレッシングモード	2-26
2.3.3	命令セット	2-29
2.4	パイプライン動作	2-42
2.4.1	パイプライン	2-42
2.4.2	並列実行性	2-53
2.4.3	発行レートと実行ステート	2-56
2.5	例外処理	2-64
2.5.1	概要	2-64
2.5.2	レジスタの説明	2-64
2.5.3	例外処理の機能	2-69
2.5.4	例外の種類と優先順位	2-70
2.5.5	例外フロー	2-71
2.5.6	各例外の説明	2-74
2.5.7	注意事項	2-89
2.6	浮動小数点ユニット (FPU)	2-91
2.6.1	概要	2-91
2.6.2	データフォーマット	2-92
2.6.3	レジスタ	2-96
2.6.4	丸め	2-100

2.6.5	浮動小数点例外	2-101
2.6.6	グラフィックサポート機能	2-103
2.7	メモリマネジメントユニット (MMU)	2-105
2.7.1	MMU の概要	2-106
2.7.2	レジスタの説明	2-114
2.7.3	TLB の機能 (TLB 互換モード)	2-124
2.7.4	TLB の機能 (TLB 拡張モード)	2-129
2.7.5	MMU の機能	2-135
2.7.6	MMU 例外	2-139
2.7.7	メモリ割り付け TLB の構成	2-145
2.7.8	32 ビットアドレス拡張モード	2-153
2.7.9	32 ビットブート機能	2-160
2.7.10	使用上の注意事項	2-162
2.8	キャッシュ	2-163
2.8.1	特長	2-163
2.8.2	レジスタの説明	2-166
2.8.3	オペランドキャッシュの動作説明	2-172
2.8.4	命令キャッシュの動作説明	2-176
2.8.5	キャッシュ操作命令	2-178
2.8.6	メモリ割り付けキャッシュの構成	2-181
2.8.7	ストアキュー	2-186
2.8.8	32 ビットアドレス拡張モード使用時の注意事項	2-188
2.9	内蔵メモリ	2-189
2.9.1	特長	2-189
2.9.2	レジスタの説明	2-191
2.9.3	動作説明	2-197
2.9.4	内蔵メモリの保護機能	2-199
2.9.5	使用上の注意事項	2-200
2.9.6	32 ビットアドレス拡張モード使用時の注意事項	2-201
2.10	製品に関する一般的注意事項	2-202
2.10.1	未定義・リザーブアドレスのアクセス禁止	2-202
2.10.2	各レジスタリザーブビットの読み出し／書き込み	2-202
2.11	付録	2-203
2.11.1	CPU 動作モードレジスタ (CPUOPM)	2-203
2.11.2	命令プリフェッチとその副作用について	2-204
2.11.3	サブルーチン復帰投機実行	2-205
2.11.4	バージョンレジスタ (PVR, PRR)	2-206
3.	リセット、ウォッチドッグタイマ (RESET, WDT)	3-1
3.1	WDTの特長	3-1

3.2	入出力端子	3-3
3.3	レジスタの説明	3-5
3.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST)	3-6
3.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCR)	3-7
3.3.3	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)	3-8
3.3.4	ウォッチドッグタイマカウンタ (WDTCNT)	3-8
3.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT)	3-9
3.3.6	動作モード表示レジスタ (MODEMR)	3-9
3.4	動作説明	3-11
3.4.1	リセット要求	3-11
3.4.2	WDT でのウォッチドッグタイマモードの使用法	3-12
3.4.3	WDT でのインターバルタイマモードの使用法	3-12
3.4.4	WDT オーバフロー発生までの時間	3-12
3.4.5	WDT カウンタのクリア方法	3-14
3.5	リセットタイミング	3-15
3.5.1	PRESET#端子によるパワーオンリセット	3-15
4.	メモリコントローラ (DBSC3)	4-1
4.1	特長	4-1
4.1.1	外部端子	4-3
4.1.2	レジスタ構成	4-5
4.2	レジスタの説明	4-8
4.2.1	SHwy バージョンコントロールレジスタ 0 (DBSVCR0)	4-9
4.2.2	SHwy バージョンコントロールレジスタ 1 (DBSVCR1)	4-10
4.2.3	DBSC3 ステータスレジスタ (DBSTATE)	4-11
4.2.4	SDRAM アクセス許可レジスタ (DBACEN)	4-12
4.2.5	自動リフレッシュ許可レジスタ (DBRFEN)	4-13
4.2.6	手動コマンド発行レジスタ (DBCMD)	4-14
4.2.7	操作完了待ちレジスタ (DBWAIT)	4-16
4.2.8	SDRAM 種類設定レジスタ (DBKIND)	4-17
4.2.9	SDRAM 構成設定レジスタ (DBCONF)	4-18
4.2.10	SDRAM タイミングレジスタ 0 (DBTR0)	4-20
4.2.11	SDRAM タイミングレジスタ 1 (DBTR1)	4-21
4.2.12	SDRAM タイミングレジスタ 2 (DBTR2)	4-22
4.2.13	SDRAM タイミングレジスタ 3 (DBTR3)	4-23
4.2.14	SDRAM タイミングレジスタ 4 (DBTR4)	4-24
4.2.15	SDRAM タイミングレジスタ 5 (DBTR5)	4-25
4.2.16	SDRAM タイミングレジスタ 6 (DBTR6)	4-26
4.2.17	SDRAM タイミングレジスタ 7 (DBTR7)	4-27
4.2.18	SDRAM タイミングレジスタ 8 (DBTR8)	4-28

4.2.19	SDRAM タイミングレジスタ 9 (DBTR9)	4-29
4.2.20	SDRAM タイミングレジスタ 10 (DBTR10)	4-30
4.2.21	SDRAM タイミングレジスタ 11 (DBTR11)	4-31
4.2.22	SDRAM タイミングレジスタ 12 (DBTR12)	4-32
4.2.23	SDRAM タイミングレジスタ 13 (DBTR13)	4-33
4.2.24	SDRAM タイミングレジスタ 14 (DBTR14)	4-34
4.2.25	SDRAM タイミングレジスタ 15 (DBTR15)	4-36
4.2.26	SDRAM タイミングレジスタ 16 (DBTR16)	4-37
4.2.27	SDRAM タイミングレジスタ 17 (DBTR17)	4-39
4.2.28	SDRAM タイミングレジスタ 18 (DBTR18)	4-40
4.2.29	SDRAM タイミングレジスタ 19 (DBTR19)	4-42
4.2.30	SDRAM 動作設定レジスタ (DBBL)	4-43
4.2.31	DBSC3 動作調整レジスタ 0 (DBADJ0)	4-44
4.2.32	DBSC3 動作調整レジスタ 1 (DBADJ1)	4-45
4.2.33	DBSC3 動作調整レジスタ 2 (DBADJ2)	4-46
4.2.34	リフレッシュ設定レジスタ 0 (DBRFCNF0)	4-48
4.2.35	リフレッシュ設定レジスタ 1 (DBRFCNF1)	4-49
4.2.36	リフレッシュ設定レジスタ 2 (DBRFCNF2)	4-51
4.2.37	DDR3-SDRAM キャリブレーション設定レジスタ (DBCALCNF)	4-52
4.2.38	DDR3-SDRAM キャリブレーションタイミングレジスタ (DBCALTR)	4-53
4.2.39	ODT 動作設定レジスタ (DBRNK0)	4-54
4.2.40	パワーダウン設定レジスタ (DBPDNCNF)	4-55
4.2.41	DDR-PHY 部制御レジスタ 0 (DBPDCNT0)	4-56
4.2.42	DDR-PHY 部制御レジスタ 1 (DBPDCNT1)	4-57
4.2.43	DDR-PHY 部制御レジスタ 2 (DBPDCNT2)	4-58
4.2.44	DDR-PHY 部制御レジスタ 3 (DBPDCNT3)	4-59
4.2.45	DDR-PHY 部ロックレジスタ (DBPDLCK)	4-61
4.2.46	DDR-PHY 部レジスタアドレスレジスタ (DBPDRGA)	4-61
4.2.47	DDR-PHY 部レジスタアクセスレジスタ (DBPDRGD)	4-62
4.2.48	バス制御部 0 設定レジスタ 0 (DBBS0CNT0)	4-62
4.2.49	バス制御部 0 設定レジスタ 1 (DBBS0CNT1)	4-63
4.3	DBSC3動作説明.....	4-65
4.3.1	初期化シーケンス.....	4-65
4.3.2	セルフリフレッシュ.....	4-69
4.3.3	動作中のリフレッシュの設定変更.....	4-71
4.3.4	オートパワーダウン.....	4-72
4.3.5	パワーダウン.....	4-72
4.3.6	ソフトウェアスタンバイ状態での SDRAM メモリの保持.....	4-73
4.3.7	SDRAM 電源バックアップ機能.....	4-76
4.3.8	電源バックアップ機能も使用する場合のディープスタンバイ状態での SDRAM メモリの保持	4-82

4.3.9	電源バックアップ機能を使用しない場合のディープスタンバイ状態での SDRAM メモリの保持	4-87
4.3.10	MZQ 端子の Open/Short テスト	4-92
4.4	SDRAM構成設定レジスタの設定方法	4-93
4.4.1	DDR2-SDRAM (外部バス 16bit)	4-93
4.4.2	DDR3-SDRAM (外部バス 16bit)	4-93
4.5	SDRAMの外部ピンと論理アドレスの関係	4-94
4.5.1	DDR2-SDRAM.....	4-94
4.5.2	DDR3-SDRAM.....	4-95
4.6	バンクアドレスのアドレス位置指定.....	4-96
4.6.1	バンクアドレス設定組合せ.....	4-96
4.6.2	バンクアドレスを連続アドレスとして使用する場合	4-97
4.6.3	バンクアドレスを非連続アドレスとして使用する場合	4-98
5.	ダイレクトメモリアクセスコントローラ (SHwy-DMAC)	5-1
5.1	概要	5-1
5.1.1	特長.....	5-1
5.1.2	ブロック図.....	5-2
5.1.3	外部端子.....	5-2
5.2	レジスタの説明.....	5-3
5.2.1	DMA オペレーションレジスタ (DMAOR)	5-5
5.2.2	DMA ソースアドレスレジスタ 0, 1 (DMASAR0, DMASAR1)	5-6
5.2.3	DMA デスティネーションアドレスレジスタ 0, 1 (DMADAR0, DMADAR1)	5-6
5.2.4	DMA バイトカウントレジスタ 0, 1 (DMABCNTR0, DMABCNTR1)	5-7
5.2.5	DMA ストライドカウントレジスタ 0, 1 (DMASBCNTR0, DMASBCNTR1)	5-8
5.2.6	DMA ストライドレジスタ 0, 1 (DMASTRR0, DMASTRR1)	5-9
5.2.7	DMA コマンドチェーンアドレスレジスタ 0, 1 (DMACCAR0, DMACCAR1)	5-9
5.2.8	DMA チャンネルコントロールレジスタ 0, 1 (DMACHCR0, DMACHCR1)	5-10
5.2.9	DMA チャンネルステータスレジスタ 0, 1 (DMACHSR0, DMACHSR1)	5-12
5.3	動作説明	5-14
5.3.1	チャンネルの優先順.....	5-14
5.3.2	連続領域転送.....	5-15
5.3.3	ストライド/gather/scatter 転送.....	5-17
5.3.4	コマンドチェーン.....	5-21
5.4	使用上の注意事項.....	5-23
5.4.1	DMA 転送の途中終了について	5-23
5.4.2	DMA 転送の途中終了時の割り込みについて.....	5-23
5.4.3	アクセスサイズ制限のあるモジュールについて	5-24
5.4.4	モジュールストップについて.....	5-25

6.	バスブリッジ (HPB)	6-1
6.1	概要	6-1
6.2	特長	6-1
6.3	ブロック図	6-2
6.4	サポートエリア	6-4
6.5	レジスタの説明	6-5
6.5.1	RCAN0 コントロールレジスタ (RCAN0CTL)	6-6
6.5.2	RCAN1 コントロールレジスタ (RCAN1CTL)	6-6
6.6	動作説明	6-7
6.6.1	構成と基本動作	6-7
6.6.2	エンディアンとデータアライメント	6-9
6.6.3	HPB バスタイミングチャート	6-11
6.6.4	バス調停	6-13
6A.	ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)	6A-1
6A.1	概要	6A-1
6A.2	特長	6A-3
6A.3	LBSC-DMAC/HPB-DMACにおけるDMA転送方法	6A-5
6A.4	レジスタの説明	6A-7
6A.4.1	DMA ソースアドレスレジスタ 0、1 (DSAR0、DSAR1)	6A-12
6A.4.2	DMA デスティネーションアドレスレジスタ 0、1 (DDAR0、DDAR1)	6A-13
6A.4.3	DMA トランスファカウンタレジスタ 0、1 (DTCR0、DTCR1)	6A-14
6A.4.4	DMA ソースアドレスステータスレジスタ (DSASR)	6A-14
6A.4.5	DMA デスティネーションアドレスステータスレジスタ (DDASR)	6A-15
6A.4.6	DMA トランスファカウンタステータスレジスタ (DTCSR)	6A-15
6A.4.7	DMA ポート選択レジスタ (DPTR)	6A-16
6A.4.8	DMA コントロールレジスタ (DCR)	6A-19
6A.4.9	DMA コマンドレジスタ (DCMDR)	6A-22
6A.4.10	DMA 強制停止レジスタ (DSTPR)	6A-23
6A.4.11	DMA ステータスレジスタ (DSTSR)	6A-24
6A.4.12	DMA チャンネルデバッグレジスタ (DDBGR)	6A-27
6A.4.13	DMA チャンネルデバッグレジスタ 2 (DDBGR2)	6A-27
6A.4.14	DMA タイマコントロールレジスタ (DTIMR)	6A-28
6A.4.15	DMA リクエストマスクコントロールレジスタ (DRMSKR)	6A-29
6A.4.16	DMA メモリアクセス優先レベルコントロールレジスタ (DMLVLR)	6A-29
6A.4.17	DMA 転送終了割り込み表示レジスタ (DINTSR)	6A-30
6A.4.18	DMA 転送終了割り込み表示クリアレジスタ (DINTCR)	6A-31
6A.4.19	DMA 転送終了割り込みイネーブルレジスタ (DINTMR)	6A-33
6A.4.20	DMA 起動状態表示レジスタ (DACTSR)	6A-34
6A.4.21	ソフトリセットレジスタ (LSRSTR0~2、HSRSTR0~28)	6A-35

6A.4.22	外部 DMA データアライメントコントロールレジスタ (DMALGR)	6A-36
6A.4.23	LBSC-DMA SHwy プライオリティコントロールレジスタ (LBSC-DMASPR)	6A-37
6A.4.24	HPB-DMA SHwy プライオリティコントロールレジスタ 0 (HPB-DMASPR0)	6A-37
6A.4.25	HPB-DMA SHwy プライオリティコントロールレジスタ 1 (HPB-DMASPR1)	6A-38
6A.4.26	HPB-DMA SHwy プライオリティコントロールレジスタ 2 (HPB-DMASPR2)	6A-38
6A.4.27	HPB-DMA SHwy プライオリティコントロールレジスタ 3 (HPB-DMASPR3)	6A-39
6A.4.28	HPB-DMA アクセス優先レベルコントロール (HPB-DMLVLR)	6A-40
6A.4.29	UltraATA DMA モードレジスタ (UATMR)	6A-41
6A.4.30	UltraATA ライトサイクル設定レジスタ (UATWCR)	6A-42
6A.4.31	UltraATA タイムアウト時間設定レジスタ (UATTSR)	6A-43
6A.4.32	UltraATA エラー表示レジスタ (UATTER)	6A-44
6A.4.33	UltraATA エラー割り込みイネーブルレジスタ (UATIER)	6A-45
6A.4.34	UltraATA CRC コード表示レジスタ (UATCRCR)	6A-46
6A.4.35	UltraATA DMA モードレジスタ 2 (UATMR2)	6A-47
6A.4.36	UltraATA DMA モードレジスタ 3 (UATMR3)	6A-48
6A.4.37	UltraATA 転送モードレジスタ (UATTMR)	6A-49
6A.5	動作説明	6A-50
6A.5.1	DMA 転送手順	6A-50
6A.5.2	DMA 連続転送動作	6A-53
6A.5.3	Peripheral または外部モジュールからのリードデータパッキング機能	6A-57
6A.5.4	Peripheral または外部モジュールからのリードデータパッキング機能に関する制限事項	6A-58
6A.5.5	DMA 転送終了通知	6A-58
6A.5.6	DMA 転送停止、再開手順	6A-58
6A.5.7	SuperHyway バスインタフェースにおけるデータアライメント	6A-60
6A.5.8	HPB バスインタフェースにおけるデータアライメント	6A-61
6A.5.9	EX_BUS インタフェースにおけるデータアライメント	6A-61
6A.5.10	タイミングチャート	6A-62
6A.5.11	HPB-DMAC SuperHyway バスおよび HPB バスアクセス優先制御	6A-65
6A.5.12	HSPI DMA 転送時の受信データパッキング機能使用時の制限事項	6A-66
6A.5.13	リアルタイム性のあるモジュールの DMA 転送時の注意事項	6A-66
6B.	ローカルバスステートコントローラ (LBSC)	6B-1
6B.1	概要	6B-1
6B.2	特長	6B-1
6B.3	ブロック図	6B-3
6B.4	LBSCエリア	6B-4
6B.4.1	LBSC のサポートエリア	6B-4
6B.4.2	エリアごとのサポート機能	6B-6
6B.5	レジスタの説明	6B-7
6B.5.1	エリア 0 コントロールレジスタ (CSOCTRL)	6B-9

6B.5.2	エリア 1 コントロールレジスタ (CS1CTRL)	6B-10
6B.5.3	拡張エリア x コントロールレジスタ (ECSxCTRL (x=0~5))	6B-11
6B.5.4	エリア 0 コントロール 2 レジスタ (CS0CTRL2)	6B-12
6B.5.5	エリア 0 RD/WE パルスコントロールレジスタ (CSWCR0)	6B-13
6B.5.6	エリア 1 RD/WE パルスコントロールレジスタ (CSWCR1)	6B-15
6B.5.7	拡張エリア x RD/WE パルスコントロールレジスタ (ECSWCRx (x=0~5))	6B-17
6B.5.8	LBSC-DMAC チャンネル y RD/WE パルスコントロールレジスタ (EXDMAWCRy (y=0~2))	6B-19
6B.5.9	エリア 0 外部ウェイトコントロールレジスタ (CSPWCR0)	6B-21
6B.5.10	エリア 1 外部ウェイトコントロールレジスタ (CSPWCR1)	6B-22
6B.5.11	拡張エリア x 外部ウェイトコントロールレジスタ (ECSPWCRx (x=0~5))	6B-23
6B.5.12	外部ウェイト入力コントロールレジスタ (EXWTSYNC)	6B-24
6B.5.13	エリア 0 バーストコントロールレジスタ (CS0BSTCTL)	6B-25
6B.5.14	エリア 0 バーストピッチ設定レジスタ (CS0BTPH)	6B-26
6B.5.15	エリア 1 ガード設定レジスタ (CS1GDST)	6B-27
6B.5.16	拡張エリア x ガード設定レジスタ (ECSxGDST (x=0~5))	6B-28
6B.5.17	LBSC-DMAC チャンネル y エリア割り付けレジスタ (EXDMASETy (y=0~2))	6B-29
6B.5.18	LBSC-DMAC チャンネル y コントロールレジスタ (EXDMCRy (y=0~2))	6B-30
6B.5.19	BSC 割り込み要因表示レジスタ (BCINTSR)	6B-31
6B.5.20	BSC 割り込み要因クリアレジスタ (BCINTCR)	6B-32
6B.5.21	BSC 割り込みイネーブルレジスタ (BCINTMR)	6B-33
6B.5.22	EX_BUS 優先レベル設定レジスタ (EXBATLV)	6B-33
6B.5.23	外部ウェイト表示レジスタ (EXWTSTS)	6B-34
6B.5.24	ATACS コントロールレジスタ (ATACSCtrl)	6B-35
6B.6	動作説明	6B-36
6B.6.1	SRAM インタフェース (基本機能)	6B-36
6B.6.2	CPU (SuperHyway バス) →バースト ROM インタフェース	6B-46
6B.6.3	LBSC-DMAC→DMA インタフェース	6B-48
6B.6.4	CPU (SuperHyway バス) →バイト制御 SRAM インタフェース	6B-54
6B.6.5	CPU (SuperHyway バス) →ATA デバイスインタフェース	6B-55
6B.6.6	EX_BUS バス調停	6B-62
6B.7	使用上の注意事項	6B-63
6B.7.1	ピンマルチ設定	6B-63
6B.7.2	UltraDMA リードアクセス動作	6B-63
7.	割り込みコントローラ (INTC、INTC2)	7-1
7.1	概要	7-1
7.2	特長	7-1
7.2.1	INTC の特長	7-1
7.2.2	INTC2 の特長	7-2
7.3	ブロック図	7-3

7.3.1	割り込み方式.....	7-5
7.3.2	割り込み要因.....	7-5
7.4	レジスタの説明.....	7-10
7.4.1	INTC/割り込みコントロールレジスタ 0 (ICR0)	7-14
7.4.2	INTC/割り込みコントロールレジスタ 1 (ICR1)	7-16
7.4.3	INTC/割り込み優先順位設定レジスタ (INTPRI)	7-17
7.4.4	INTC/割り込み要因レジスタ (INTREQ)	7-18
7.4.5	INTC/割り込みマスクレジスタ (INTMSK0、INTMSK1)	7-19
7.4.6	INTC/割り込みマスククリアレジスタ (INTMSKCLR0、INTMSKCLR1)	7-21
7.4.7	INTC/NMI フラグコントロールレジスタ (NMIFCR)	7-23
7.4.8	INTC/ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)	7-24
7.4.9	INTC2/割り込み優先順位設定レジスタ (INT2PRI0~INT2PRI11)	7-26
7.4.10	INTC2/割り込み要因レジスタ (マスク状態の影響なし) (INT2A0)	7-27
7.4.11	INTC2/割り込み要因レジスタ (マスク状態の影響あり) (INT2A1)	7-28
7.4.12	INTC2/割り込みマスクレジスタ (INT2MSKRG)	7-29
7.4.13	INTC2/割り込みマスククリアレジスタ (INT2MSKCR)	7-30
7.4.14	INTC2/割り込み詳細要因レジスタ (INT2B0~INT2B52)	7-31
7.4.15	INTC2/割り込み一時高速マスクレジスタ (INT2HMS)	7-43
7.4.16	INTC2/割り込み一時高速マスククリアモード設定レジスタ (INT2HMCMS)	7-44
7.4.17	INTC2/割り込み一時高速マスククリアレジスタ (INT2HMCR)	7-45
7.4.18	INTC2/割り込み一時高速マスク自動クリアステータスレジスタ (INT2HMCRS)	7-46
7.4.19	INTC2/割り込みサブマスクレジスタ 0 (INT2SMSKRG0)	7-47
7.4.20	INTC2/割り込みサブマスクレジスタ 1 (INT2SMSKRG1)	7-47
7.4.21	INTC2/割り込みサブマスクレジスタ 2 (INT2SMSKRG2)	7-48
7.4.22	INTC2/割り込みサブマスクレジスタ 3 (INT2SMSKRG3)	7-48
7.4.23	INTC2/割り込みサブマスクレジスタ 4 (INT2SMSKRG4)	7-49
7.4.24	INTC2/割り込みサブマスクレジスタ 5 (INT2SMSKRG5)	7-49
7.4.25	INTC2/割り込みサブマスクレジスタ 6 (INT2SMSKRG6)	7-50
7.4.26	INTC2/割り込みサブマスククリアレジスタ 0 (INT2SMSKCR0)	7-50
7.4.27	INTC2/割り込みサブマスククリアレジスタ 1 (INT2SMSKCR1)	7-51
7.4.28	INTC2/割り込みサブマスククリアレジスタ 2 (INT2SMSKCR2)	7-51
7.4.29	INTC2/割り込みサブマスククリアレジスタ 3 (INT2SMSKCR3)	7-52
7.4.30	INTC2/割り込みサブマスククリアレジスタ 4 (INT2SMSKCR4)	7-52
7.4.31	INTC2/割り込みサブマスククリアレジスタ 5 (INT2SMSKCR5)	7-53
7.4.32	INTC2/割り込みサブマスククリアレジスタ 6 (INT2SMSKCR6)	7-53
7.5	割り込み要因の説明.....	7-54
7.5.1	NMI 割り込み.....	7-54
7.5.2	IRQ 割り込み.....	7-54
7.5.3	IRL 割り込み.....	7-55
7.5.4	内蔵周辺モジュール割り込み.....	7-56
7.6	動作説明.....	7-60

7.6.1	割り込み動作の流れ.....	7-60
7.6.2	多重割り込み.....	7-61
7.6.3	MAI ビットによる割り込みマスク.....	7-61
7.6.4	割り込み一時高速マスク機能.....	7-61
7.7	割り込み応答時間.....	7-64
7.8	使用上の注意事項.....	7-66
7.8.1	要因保持モード ICR0.LVLMODE が 0 の場合の注意事項.....	7-66
7.8.2	IRQ3~IRQ0 端子機能設定時の注意事項.....	7-67
7.8.3	IRL 割り込み要求および IRQ 割り込み要求のクリア方法.....	7-67
8.	クロック発振器 (CPG)	8-1
8.1	概要.....	8-1
8.1.1	特長.....	8-1
8.1.2	ブロック図.....	8-2
8.1.3	外部端子.....	8-3
8.2	レジスタの説明.....	8-9
8.2.1	周波数制御レジスタ 0 (FRQCR0)	8-10
8.2.2	周波数制御レジスタ 2 (FRQCR2)	8-11
8.2.3	周波数表示レジスタ 1 (FRQMR1)	8-12
8.2.4	周波数表示レジスタ 2 (FRQMR2)	8-13
8.3	動作説明.....	8-14
8.3.1	周波数設定変更手順.....	8-14
8.4	ボード設計上の注意事項.....	8-15
8.4.1	水晶発振子使用時の注意.....	8-15
8.4.2	外部クロックを EXTAL 端子から入力するときの注意.....	8-15
8.4.3	PLL 発振回路使用時の注意	8-15
9.	動作モード、低消費電力モード.....	9-1
9.1	動作モード概要.....	9-1
9.1.1	クロックモード.....	9-1
9.1.2	EX_BUS エリア 0 データバス幅.....	9-1
9.1.3	エンディアン.....	9-2
9.1.4	アドレスモード.....	9-2
9.1.5	ブートモード.....	9-2
9.2	低消費電力モード概要.....	9-3
9.2.1	低消費電力モードの種類.....	9-3
9.3	レジスタの説明.....	9-4
9.3.1	モジュールスタンバイ制御レジスタ 0 (MSTPCR0)	9-6
9.3.2	モジュールスタンバイ制御レジスタ 1 (MSTPCR1)	9-7
9.3.3	モジュールスタンバイ制御レジスタ 3 (MSTPCR3)	9-8

9.3.4	モジュールスタンバイ制御レジスタ 4 (MSTPCR4)	9-9
9.3.5	モジュールスタンバイ制御レジスタ 5 (MSTPCR5)	9-10
9.3.6	モジュールスタンバイステータスレジスタ 1 (MSTPSR1)	9-11
9.3.7	モジュールスタンバイステータスレジスタ 3 (MSTPSR3)	9-12
9.3.8	モジュールスタンバイステータスレジスタ 4 (MSTPSR4)	9-13
9.3.9	スタンバイコントロールレジスタ (STBCR)	9-13
9.3.10	保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)	9-14
9.3.11	ディープスタンバイコントロールレジスタ (DSCTR)	9-14
9.3.12	ディープスタンバイ解除要因セレクトレジスタ (DSSSR)	9-15
9.3.13	ディープスタンバイ解除エッジセレクトレジスタ (DSESR)	9-17
9.3.14	ディープスタンバイ解除要因フラグレジスタ (DSFR)	9-18
9.3.15	HIF-RAM 復帰時アドレスレジスタ (HIAR)	9-19
9.3.16	ブートアドレスレジスタ (BARL)	9-20
9.3.17	ブートアドレスレジスタ (BARH)	9-20
9.4	動作説明	9-21
9.4.1	スリープモード	9-21
9.4.2	ソフトウェアスタンバイモード	9-21
9.4.3	ディープスタンバイモード	9-23
9.4.4	モジュールスタンバイ機能	9-30
9.5	ブートモード	9-42
9.5.1	ブートモードと端子機能設定	9-42
9.5.2	動作説明	9-43
9.6	使用上の注意事項	9-46
9.6.1	マニュアルリセット例外発生時の注意事項について	9-46
10.	R-GPVG	10-1
11.	2D グラフィックアクセラレータ (2DG)	11-1
11.1	特長	11-1
11.1.1	コマンド、レンダリング属性一覧	11-2
11.1.2	ブロック図	11-3
11.2	レジスタの説明	11-4
11.2.1	システムコントロールレジスタ (SCLR)	11-6
11.2.2	ステータスレジスタ (SR)	11-7
11.2.3	ステータスレジスタクリアレジスタ (SRCR)	11-9
11.2.4	割り込み許可レジスタ (IER)	11-10
11.2.5	割り込みコマンド ID レジスタ (ICIDR)	11-11
11.2.6	リターンアドレス 0 レジスタ (RTN0R)	11-11
11.2.7	リターンアドレス 1 レジスタ (RTN1R)	11-12
11.2.8	ディスプレイリスト開始アドレスレジスタ (DLSAR)	11-12

11.2.9	2次元ソース領域開始アドレスレジスタ (SSAR)	11-13
11.2.10	描画スタートアドレスレジスタ (RSAR)	11-13
11.2.11	ワーク領域開始アドレスレジスタ (WSAR)	11-14
11.2.12	ソースストライドレジスタ (SSTRR)	11-15
11.2.13	デスティネーションストライドレジスタ (DSTRR)	11-15
11.2.14	エンディアン変換コントロールレジスタ (ENDCVR)	11-16
11.2.15	アドレス拡張レジスタ (ADREXTR)	11-17
11.2.16	ソース透過色レジスタ (STCR)	11-17
11.2.17	デスティネーション透過色レジスタ (DTCR)	11-18
11.2.18	アルファ値レジスタ (ALPHR)	11-18
11.2.19	カラーオフセットレジスタ (COFSR)	11-19
11.2.20	レンダリングコントロールレジスタ (RCLR)	11-20
11.2.21	コマンドステータスレジスタ (CSTR)	11-22
11.2.22	カレントポインタレジスタ (CURR)	11-23
11.2.23	ローカルオフセットレジスタ (LCOR)	11-23
11.2.24	システムクリップエリア MAX レジスタ (SCLMAR)	11-24
11.2.25	ユーザクリップエリア MIN レジスタ (UCLMIR)	11-24
11.2.26	ユーザクリップエリア MAX レジスタ (UCLMAR)	11-25
11.2.27	相対ユーザクリップエリア MIN レジスタ (RUCLMIR)	11-25
11.2.28	相対ユーザクリップエリア MAX レジスタ (RUCLMAR)	11-26
11.2.29	レンダリングコントロール2レジスタ (RCL2R)	11-27
11.2.30	パターンオフセットレジスタ (POFSR)	11-29
11.3	動作説明	11-30
11.3.1	基本機能	11-30
11.3.2	データフォーマット	11-36
11.3.3	エンディアン変換	11-37
11.3.4	レンダリング属性	11-37
11.3.5	2DG 内部キャッシュ構造	11-46
11.4	ディスプレイリスト	11-47
11.4.1	4頂点面描画コマンド	11-47
11.4.2	線描画	11-54
11.4.3	ワーク面描画コマンド	11-74
11.4.4	ワーク線描画	11-82
11.4.5	矩形描画コマンド	11-85
11.4.6	制御コマンド	11-93
12.	ビデオ入力0 (VINO)	12-1
12.1	特長	12-1
12.1.1	入力インタフェース	12-1
12.1.2	ブロック図	12-3

12.2	入出力端子	12-4
12.3	レジスタの説明	12-5
12.3.1	メインコントロールレジスタ (MC)	12-9
12.3.2	モジュールステータスレジスタ (MS)	12-12
12.3.3	フレームキャプチャレジスタ (FC)	12-13
12.3.4	前クリップ開始ラインレジスタ (SLPrC)	12-14
12.3.5	前クリップ終了ラインレジスタ (ELPrC)	12-14
12.3.6	前クリップ開始画素レジスタ (SPPrC)	12-15
12.3.7	前クリップ終了画素レジスタ (EPPrC)	12-16
12.3.8	後クリップ開始ラインレジスタ (SLPoC)	12-17
12.3.9	後クリップ終了ラインレジスタ (ELPoC)	12-17
12.3.10	後クリップ開始画素レジスタ (SPPoC)	12-18
12.3.11	後クリップ終了画素レジスタ (EPPoC)	12-18
12.3.12	画素ストライドレジスタ (IS)	12-19
12.3.13	メモリベース 1 レジスタ (MB1)	12-20
12.3.14	メモリベース 2 レジスタ (MB2)	12-21
12.3.15	メモリベース 3 レジスタ (MB3)	12-22
12.3.16	ラインカウントレジスタ (LC)	12-22
12.3.17	割り込みイネーブルレジスタ (IE)	12-23
12.3.18	割り込みステータスレジスタ (INTS)	12-25
12.3.19	スキャンライン割り込みレジスタ (SI)	12-27
12.3.20	メモリ転送コントロールレジスタ (MTC)	12-28
12.3.21	Y 方向拡大/縮小レジスタ (YS)	12-29
12.3.22	X 方向拡大/縮小レジスタ (XS)	12-30
12.3.23	データモードレジスタ (DMR)	12-31
12.3.24	データモードレジスタ 2 (DMR2)	12-33
12.3.25	UV アドレスオフセットレジスタ (UVAOF)	12-35
12.3.26	カラースペース変換係数レジスタ 1 (CSCC1)	12-36
12.3.27	カラースペース変換係数レジスタ 2 (CSCC2)	12-37
12.3.28	カラースペース変換係数レジスタ 3 (CSCC3)	12-38
12.3.29	係数セットレジスタ (CmA、CmB、CmC) (m=1~8)	12-39
12.4	動作説明	12-41
12.4.1	入力インタフェース	12-41
12.4.2	エラー訂正機能	12-43
12.4.3	キャプチャモード	12-44
12.4.4	サイズクリッピング	12-45
12.4.5	垂直方向スケーリング	12-46
12.4.6	水平方向スケーリング	12-47
12.4.7	カラースペース変換	12-49
12.4.8	ディザリング	12-50
12.4.9	内部フィールド信号生成機能	12-51

12.4.10	YUV データの Y と UV データへの分離	12-52
12.4.11	YCbCr-422→YCbCr-420 変換機能	12-53
12.4.12	出力データフォーマット	12-53
12.4.13	エンディアン変換	12-55
12.5	使用上の注意事項	12-57
12.5.1	モジュールスタンバイモード	12-57
12.5.2	モジュールスタンバイモードへの遷移	12-57
12.5.3	モジュールスタンバイモードの解除と再起動	12-57
12.5.4	使用制限	12-57
12.6	付録	12-60
12.6.1	水平方向 (x 方向) スケーリング時の係数セットレジスタ設定例	12-60
13.	ビデオ入力 1 (VIN1)	13-1
13.1	特長	13-1
13.2	入出力端子	13-2
13.3	機能概要	13-2
13.3.1	ITU-R BT.656 インタフェース	13-2
13.3.2	エラー訂正機能	13-3
13.3.3	垂直方向スケーリング	13-3
13.3.4	水平方向スケーリング	13-4
13.3.5	サイズクリッピング	13-6
13.3.6	キャプチャモード	13-7
13.3.7	エンディアン変換と出力アドレス	13-7
13.4	レジスタの説明	13-8
13.4.1	メインコントロールレジスタ (MC)	13-11
13.4.2	モジュールステータスレジスタ (MS)	13-13
13.4.3	フレームキャプチャレジスタ (FC)	13-15
13.4.4	前クリップ開始ラインレジスタ (SLPrC)	13-16
13.4.5	前クリップ終了ラインレジスタ (ELPrC)	13-16
13.4.6	前クリップ開始画素レジスタ (SPPrC)	13-17
13.4.7	前クリップ終了画素レジスタ (EPPrC)	13-17
13.4.8	後クリップ開始ラインレジスタ (SLPoC)	13-18
13.4.9	後クリップ終了ラインレジスタ (ELPoC)	13-19
13.4.10	後クリップ開始画素レジスタ (SPPoC)	13-19
13.4.11	後クリップ終了画素レジスタ (EPPoC)	13-20
13.4.12	画素ストライドレジスタ (IS)	13-20
13.4.13	メモリベース 1 レジスタ (MB1)	13-21
13.4.14	メモリベース 2 レジスタ (MB2)	13-22
13.4.15	メモリベース 3 レジスタ (MB3)	13-23
13.4.16	ラインカウントレジスタ (LC)	13-24

13.4.17	割り込みステータスレジスタ (INTS)	13-24
13.4.18	割り込みイネーブルレジスタ (IE)	13-26
13.4.19	スキャンライン割り込みレジスタ (SI)	13-27
13.4.20	Y 方向拡大/縮小レジスタ (YS)	13-28
13.4.21	X 方向拡大/縮小レジスタ (XS)	13-28
13.4.22	係数セットレジスタ (CnA、CnC、CnB) (n=1~8)	13-29
13.4.23	データモードレジスタ (DMR)	13-31
13.5	プログラム例	13-32
13.5.1	ビデオ入力 1 レジスタの初期設定例	13-32
13.5.2	X 方向フィルタ係数を設定する関数	13-34
13.6	使用上の注意事項	13-39
13.6.1	拡大スケーリングの注意事項	13-39
14.	ディスプレイユニット (DU)	14-1
14.1	DUの概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-4
14.1.3	外部端子	14-5
14.2	レジスタ構成	14-7
14.3	レジスタの説明	14-29
14.3.1	表示制御レジスタ	14-29
14.3.2	表示タイミング生成レジスタ	14-58
14.3.3	表示属性レジスタ	14-66
14.3.4	表示プレーンレジスタ	14-80
14.3.5	表示キャプチャレジスタ	14-102
14.3.6	カラーパレットレジスタ	14-105
14.3.7	外部同期制御レジスタ	14-111
14.3.8	表示 2 系統出力制御レジスタ	14-120
14.3.9	YC-RGB 変換係数レジスタ	14-129
14.3.10	ディスプレイアウトコンペアレジスタ	14-134
14.4	表示機能	14-144
14.4.1	出力画面構造	14-144
14.4.2	表示 ON、OFF	14-145
14.4.3	プレーンパラメータ	14-147
14.4.4	メモリ割り付け	14-148
14.4.5	画像データフォーマット	14-149
14.4.6	表示データおよび表示キャプチャデータフォーマット	14-155
14.4.7	エンディアン変換	14-155
14.4.8	カラーパレット	14-157
14.4.9	プレーンの重ね合わせ表示	14-158

14.4.10	表示の競合	14-161
14.4.11	プリンキング	14-163
14.4.12	スクロール表示	14-164
14.4.13	ラップアラウンド表示	14-165
14.4.14	左上はみ出し表示	14-166
14.4.15	ダブルバッファ制御	14-167
14.4.16	同期方式	14-168
14.4.17	表示キャプチャ	14-169
14.4.18	ディスプレイアウトコンペア	14-170
14.4.19	分離 YUV 表示	14-174
14.5	表示制御	14-177
14.5.1	表示タイミング生成	14-177
14.5.2	CSYNC	14-178
14.5.3	走査方式	14-179
14.5.4	色検出	14-182
14.5.5	外部同期制御	14-183
14.5.6	出力信号タイミング調整	14-184
14.6	使用上の注意	14-186
14.6.1	モジュールスタンバイモード	14-186
14.6.2	モジュールスタンバイモードへの遷移	14-186
14.6.3	モジュールスタンバイモードの解除と表示起動	14-186
14.6.4	外部 SYNC 信号の取り込み	14-186
14.6.5	外部 SYNC 信号の同時変化制約	14-187
14.6.6	レジスタ設定の注意点	14-187
15.	LCD コントローラ (LCDC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	LCDC インพุットクロックレジスタ (LDICKR)	15-6
15.3.2	LCDC モジュールタイプレジスタ (LDMTR)	15-7
15.3.3	LCDC データフォーマットレジスタ (LDDFR)	15-10
15.3.4	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)	15-11
15.3.5	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)	15-12
15.3.6	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)	15-13
15.3.7	LCDC バレットコントロールレジスタ (LDPALCR)	15-14
15.3.8	バレットデータレジスタ 00~FF (LDPR00~LDPRFF)	15-15
15.3.9	LCDC 水平キャラクタナンバーレジスタ (LDHCNR)	15-16
15.3.10	LCDC 水平同期信号レジスタ (LDHSYNR)	15-17
15.3.11	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)	15-18

15.3.12	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)	15-18
15.3.13	LCDC 垂直同期信号レジスタ (LDVSYNR)	15-19
15.3.14	LCDC AC モジュール信号トグルラインナンバーレジスタ (LDACLR)	15-20
15.3.15	LCDC 割り込みコントロールレジスタ (LDINTR)	15-21
15.3.16	LCDC パワーマネジメントモードレジスタ (LDPMMR)	15-23
15.3.17	LCDC 電源シーケンス期間レジスタ (LDPSPR)	15-25
15.3.18	LCDC コントロールレジスタ (LDCNTR)	15-26
15.3.19	LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)	15-27
15.3.20	LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)	15-28
15.3.21	LCDC メモリアクセスインターバルナンバーレジスタ (LDLIRNR)	15-29
15.4	動作説明	15-30
15.4.1	LCDC で表示可能な液晶モジュールのサイズについて	15-30
15.4.2	カラーパレット仕様について	15-31
15.4.3	データフォーマット	15-32
15.4.4	表示解像度の設定	15-35
15.4.5	電源制御シーケンス処理	15-35
15.5	クロックとLCDデータ信号例	15-39
15.6	使用上の注意事項	15-50
15.6.1	表示データ格納用 VRAM (エリア 2、3) アクセスの停止手順について	15-50
15.6.2	表示開始時の注意事項について	15-50
16.	シリアルサウンドインタフェースクロックセクタ (SSS)	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	接続構成表	16-3
16.4	レジスタの説明	16-4
16.4.1	BRGA ポーレート設定レジスタ (BRRA)	16-5
16.4.2	BRGB ポーレート設定レジスタ (BRRB)	16-6
16.4.3	クロック選択レジスタ (SSICKR)	16-7
16A.	シリアルサウンドインタフェース (SSI)	16A-1
16A.1	特長	16A-1
16A.2	レジスタの説明	16A-3
16A.2.1	コントロールレジスタ (SSICRn) (n=0~3)	16A-5
16A.2.2	ステータスレジスタ (SSISRn) (n=0~3)	16A-11
16A.2.3	トランスミットデータレジスタ (SSITDRn) (n=0~3)	16A-15
16A.2.4	レシーブデータレジスタ (SSIRDRn) (n=0~3)	16A-16
16A.2.5	TDM モードレジスタ (SSITDM)	16A-16
16A.3	動作説明	16A-17
16A.3.1	バスフォーマット	16A-17

16A.3.2	非圧縮モード	16A-18
16A.3.3	圧縮モード	16A-26
16A.3.4	TDM モード	16A-28
16A.3.5	WS コンティニューモード	16A-30
16A.3.6	動作モード	16A-31
16A.3.7	送信動作	16A-32
16A.3.8	受信動作	16A-34
16A.3.9	シリアルビットクロックコントロール	16A-37
16A.4	使用上の注意事項	16A-38
16A.4.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	16A-38
16A.4.2	SSI2 と SSI3 の端子兼用化に伴うモード設定の組み合わせと制限事項	16A-38
16A.4.3	スリープモードで動作させる場合の制限事項	16A-39
16A.4.4	設定変更時の制限事項	16A-39
16A.4.5	TDM モードの制限事項	16A-39
17.	I ² C バスインタフェース 3	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-4
17.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	17-6
17.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	17-8
17.3.3	I ² C バスモードレジスタ (ICMR)	17-9
17.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	17-11
17.3.5	I ² C バスステータスレジスタ (ICSR)	17-13
17.3.6	スリープアドレスレジスタ (SAR)	17-15
17.3.7	I ² C バス送信データレジスタ (ICDRT)	17-15
17.3.8	I ² C バス受信データレジスタ (ICDRR)	17-16
17.3.9	I ² C バスシフトレジスタ (ICDRS)	17-16
17.3.10	NF2CYC レジスタ (NF2CYC)	17-17
17.4	動作説明	17-18
17.4.1	I ² C バスフォーマット	17-18
17.4.2	マスタ送信動作	17-19
17.4.3	マスタ受信動作	17-21
17.4.4	スリープ送信動作	17-23
17.4.5	スリープ受信動作	17-25
17.4.6	クロック同期式シリアルフォーマット	17-27
17.4.7	ノイズ除去回路	17-30
17.4.8	使用例	17-31
17.5	割り込み要求	17-35
17.6	ビット同期回路	17-36

17.7	使用上の注意事項.....	17-39
17.7.1	マルチマスタで使用時の注意.....	17-39
17.7.2	マスタ受信モード時の注意.....	17-39
17.7.3	マスタ受信モード、ACKBT 設定時の注意.....	17-39
17.7.4	アービトレーションロスト時の MST と TRN ビットの状態についての注意.....	17-39
17.7.5	I ² C バスインタフェースモードのマスタ受信モード時の注意事項.....	17-39
17.7.6	IICRST、BBSY ビットに関する注意事項.....	17-40
17.7.7	マスタ送信モード、停止条件発行時の注意事項.....	17-40
18.	シリアルペリフェラルインタフェース (HSPI)	18-1
18.1	概要.....	18-1
18.1.1	特長.....	18-1
18.1.2	外部端子.....	18-2
18.1.3	レジスタ構成.....	18-3
18.2	レジスタ説明.....	18-3
18.2.1	コントロールレジスタ (SPCR)	18-4
18.2.2	ステータスレジスタ (SPSR)	18-5
18.2.3	システムコントロールレジスタ (SPSCR)	18-7
18.2.4	トランスミットバッファレジスタ (SPTBR)	18-9
18.2.5	レシーブバッファレジスタ (SPRBR)	18-10
18.3	動作説明.....	18-11
18.3.1	DMA を使用しない場合の動作 (FIFO モード無効時の動作) の動作.....	18-11
18.3.2	DMA を使用する場合の動作.....	18-12
18.3.3	FIFO モード有効時の動作.....	18-12
18.3.4	タイミング図.....	18-13
18.3.5	ソフトリセット.....	18-14
18.3.6	クロック極性と送信制御.....	18-14
18.3.7	送信と受信ルーチン.....	18-14
19.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	19-1
19.1	概要.....	19-1
19.1.1	特長.....	19-2
19.1.2	ブロック図.....	19-3
19.1.3	端子構成.....	19-4
19.1.4	レジスタ構成.....	19-5
19.2	レジスタの説明.....	19-7
19.2.1	レシーブシフトレジスタ (SCRSR)	19-7
19.2.2	レシーブ FIFO データレジスタ (SCFRDR)	19-7
19.2.3	トランスミットシフトレジスタ (SCTSR)	19-8
19.2.4	トランスミット FIFO データレジスタ (SCFTDR)	19-8

19.2.5	シリアルモードレジスタ (SCSMR)	19-8
19.2.6	シリアルコントロールレジスタ (SCSCR)	19-10
19.2.7	シリアルステータスレジスタ (SCFSR)	19-14
19.2.8	ビットレートレジスタ (SCBRR)	19-21
19.2.9	FIFO コントロールレジスタ (SCFCR)	19-22
19.2.10	FIFO データ数レジスタ (SCFDR)	19-24
19.2.11	シリアルポートレジスタ (SCSPTR)	19-24
19.2.12	ラインステータスレジスタ (SCLSR)	19-29
19.3	動作説明	19-31
19.3.1	調歩同期式モード時の動作	19-31
19.3.2	クロック同期式モード時の動作	19-41
19.4	SCIF割り込み要因とDMAC	19-50
19.5	使用上の注意事項	19-51
19.6	外部クロック用ポーレートジェネレータ (BRG)	19-53
19.6.1	概要	19-53
19.6.2	各ブロックの説明	19-53
19.6.3	レジスタ仕様	19-54
19.6.4	分周レジスタ設定時の注意事項	19-57
19A	IrDA	19A-1
19A.1	概要	19A-1
19A.2	レジスタ構成	19A-1
19A.2.1	シリアルモードレジスタ (SCSMRIR)	19A-1
19A.3	インタフェース	19A-2
19A.3.1	データ送受信形式	19A-2
19A.3.2	データセクタ部動作	19A-3
20	ルネサスシリアルペリフェラルインタフェース	20-1
20.1	特長	20-1
20.2	入出力端子	20-4
20.3	レジスタの説明	20-5
20.3.1	制御レジスタ (SPCR)	20-7
20.3.2	スレープセレクト極性レジスタ (SSLP)	20-9
20.3.3	端子制御レジスタ (SPPCR)	20-10
20.3.4	ステータスレジスタ (SPSR)	20-11
20.3.5	データレジスタ (SPDR)	20-14
20.3.6	シーケンス制御レジスタ (SPSCR)	20-15
20.3.7	シーケンスステータスレジスタ (SPSSR)	20-16
20.3.8	ビットレートレジスタ (SPBR)	20-17
20.3.9	データコントロールレジスタ (SPDCR)	20-18

20.3.10	クロック遅延レジスタ (SPCKD)	20-19
20.3.11	スレーブセレクトネゲート遅延レジスタ (SSLND)	20-20
20.3.12	次アクセス遅延レジスタ (SPND)	20-21
20.3.13	コマンドレジスタ (SPCMD)	20-22
20.3.14	バッファコントロールレジスタ (SPBFCR)	20-25
20.3.15	バッファデータカウントセットレジスタ (SPBFDR)	20-27
20.4	動作説明	20-28
20.4.1	動作の概要	20-28
20.4.2	端子の制御	20-29
20.4.3	システム構成例	20-30
20.4.4	転送フォーマット	20-33
20.4.5	データフォーマット	20-35
20.4.6	エラー検出	20-41
20.4.7	初期化	20-44
20.4.8	SPI 動作	20-45
20.4.9	エラー処理	20-56
20.4.10	ループバックモード	20-57
20.4.11	割り込み要因	20-58
21.	ホストインタフェース (HIF)	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	パラレルアクセス	21-4
21.3.1	動作説明	21-4
21.3.2	接続方法	21-4
21.4	レジスタの説明	21-5
21.4.1	HIF インデックスレジスタ (HIFIDX)	21-6
21.4.2	HIF 汎用ステータスレジスタ (HIFGSR)	21-7
21.4.3	HIF ステータス/コントロールレジスタ (HIFSCR)	21-8
21.4.4	HIF メモリ制御レジスタ (HIFMCR)	21-10
21.4.5	HIF 内部割り込み制御レジスタ (HIFIICR)	21-11
21.4.6	HIF 外部割り込み制御レジスタ (HIFEICR)	21-12
21.4.7	HIF アドレスレジスタ (HIFADR)	21-13
21.4.8	HIF データレジスタ (HIFDATA)	21-14
21.4.9	HIF ブート制御レジスタ (HIFBCR)	21-14
21.4.10	HIFDREQ トリガレジスタ (HIFDTR)	21-15
21.4.11	HIF バンク割り込み制御レジスタ (HIFBICR)	21-16
21.4.12	HIFRDY コントロールレジスタ (HIFRDYCR)	21-17
21.5	メモリマップ	21-17
21.6	インタフェース	21-18

21.6.1	基本シーケンス	21-18
21.6.2	HIFIDX と HIFIDX 以外の HIF レジスタのリード/ライト	21-18
21.6.3	外部デバイスから HIFRAM への連続データ書き込み	21-19
21.6.4	HIFRAM から外部デバイスへの連続読み出し	21-19
21.7	外部DMACインタフェース	21-20
21.8	アライメント制御	21-24
21.9	外部デバイス電源遮断時のインタフェース	21-25
22.	コントローラエリアネットワーク (RCAN-TL1)	22-1
22.1	特長	22-1
22.1.1	各ブロックの機能	22-5
22.2	端子構成	22-6
22.3	レジスタの説明	22-7
22.3.1	メモリマップ	22-9
22.4	メールボックス	22-12
22.4.1	メールボックスの構成	22-12
22.4.2	メッセージコントロールフィールド	22-17
22.4.3	ローカルアクセプタンスフィルタマスク (LAFM)	22-23
22.4.4	メッセージデータフィールド	22-24
22.4.5	タイムスタンプ	22-24
22.5	RCANのコントロールレジスタ	22-25
22.5.1	マスタコントロールレジスタ (MCR)	22-25
22.5.2	ジェネラルステータスレジスタ (GSR)	22-31
22.5.3	ビットコンフィギュレーションレジスタ 0, 1 (BCR0, BCR1)	22-33
22.5.4	割り込みリクエストレジスタ (IRR)	22-37
22.5.5	割り込みマスクレジスタ (IMR)	22-42
22.5.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	22-43
22.6	RCANのメールボックスレジスタ	22-44
22.6.1	送信待ちレジスタ 1, 0 (TXPR1, TXPR0)	22-45
22.6.2	送信キャンセルレジスタ 1, 0 (TXCR1, TXCR0)	22-47
22.6.3	送信アクノリッジレジスタ 1, 0 (TXACK1, TXACK0)	22-48
22.6.4	アポートアクノリッジレジスタ 1, 0 (ABACK1, ABACK0)	22-49
22.6.5	データフレーム受信待ちレジスタ 1, 0 (RXPR1, RXPR0)	22-50
22.6.6	リモートフレーム受信待ちレジスタ 1, 0 (RFPR1, RFPR0)	22-51
22.6.7	メールボックス割り込みマスクレジスタ 1, 0 (MBIMR1, MBIMR0)	22-52
22.6.8	未読メッセージステータスレジスタ 1, 0 (UMSR1, UMSR0)	22-53
22.7	タイマレジスタ	22-54
22.7.1	タイムトリガコントロールレジスタ 0 (TTCR0)	22-55
22.7.2	タイマステータスレジスタ (TSR)	22-56
22.7.3	タイマカウンタレジスタ (TCNTR)	22-58

22.7.4	サイクルタイムレジスタ (CYCTR)	22-59
22.7.5	タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	22-59
22.8	動作説明	22-61
22.8.1	RCAN の設定	22-61
22.8.2	テストモードの設定	22-67
22.8.3	メッセージ送信シーケンス	22-69
22.8.4	メッセージ受信シーケンス	22-72
22.8.5	メールボックスの再設定	22-74
22.9	RCANの割り込み要因	22-76
23.	USB	23-1
23.1	特長	23-1
23.2	入出力端子	23-2
23.3	レジスタの説明	23-3
23.3.1	Port Control 0 (USBPCTRL0)	23-4
23.3.2	Port Control 1 (USBPCTRL1)	23-5
23.3.3	USB Status (USBST)	23-6
23.3.4	EHCI Control 0 (USBEOH0)	23-7
23.3.5	USB Control0 (USBCTL0)	23-7
23.3.6	OHCI Control 0 (USBOH0)	23-8
23.4	初期設定	23-9
23.5	未使用時の接続例	23-11
23.5.1	DP/DM の接続例	23-11
23.5.2	OVC/PENC の接続例	23-11
23.6	基板設計ガイドライン	23-12
23.6.1	はじめに	23-12
23.6.2	USB 伝送線路	23-13
23.6.3	電源、グラウンドパターン	23-15
23.6.4	発振回路	23-16
23.6.5	VBUS 電源回路	23-17
23.6.6	REFRIN 端子	23-20
23.6.7	EMI/ESD 対策	23-21
23.7	使用上の注意事項	23-22
23.7.1	ファンクションコントローラ時の注意事項	23-22
23A.	USB2.0-HOST コントローラ	23A-1
23A.1	レジスタの説明	23A-1
23A.1.1	HCIVERSION/CAPLENGTH	23A-3
23A.1.2	HCSPARAMS	23A-3
23A.1.3	HCCPARAMS	23A-5

23A.1.4	HCSP-PORTROUTE.....	23A-6
23A.1.5	USBCMD.....	23A-7
23A.1.6	USBSTS.....	23A-10
23A.1.7	USBINTR.....	23A-13
23A.1.8	FRINDEX.....	23A-14
23A.1.9	CTRLDSSEGMENT.....	23A-15
23A.1.10	PERIODICLISTBASE.....	23A-15
23A.1.11	ASYNCLISTADDR.....	23A-16
23A.1.12	CONFIGFLAG.....	23A-16
23A.1.13	PORTSC (1~N_PORT).....	23A-17
23B.	USB1.1 ホストモジュール (USB1.1H)	23B-1
23B.1	概要.....	23B-1
23B.1.1	特長.....	23B-1
23B.2	レジスタの説明.....	23B-2
23B.2.1	HcRevision レジスタ.....	23B-4
23B.2.2	HcControl レジスタ.....	23B-4
23B.2.3	HcCommandStatus レジスタ.....	23B-6
23B.2.4	HcInterruptStatus レジスタ.....	23B-7
23B.2.5	HcInterruptEnable レジスタ.....	23B-8
23B.2.6	HcInterruptDisable レジスタ.....	23B-9
23B.2.7	HcHCCA レジスタ.....	23B-10
23B.2.8	HcPeriodCurrentED レジスタ.....	23B-10
23B.2.9	HcControlHeadED レジスタ.....	23B-10
23B.2.10	HcControlCurrentED レジスタ.....	23B-10
23B.2.11	HcBulkHeadED レジスタ.....	23B-11
23B.2.12	HcBulkCurrentED レジスタ.....	23B-11
23B.2.13	HcDoneHead レジスタ.....	23B-11
23B.2.14	HcFmInterval レジスタ.....	23B-12
23B.2.15	HcFrameRemaining レジスタ.....	23B-12
23B.2.16	HcFmNumber レジスタ.....	23B-13
23B.2.17	HcPeriodicStart レジスタ.....	23B-13
23B.2.18	HcLSThreshold レジスタ.....	23B-13
23B.2.19	HcRhDescriptorA レジスタ.....	23B-14
23B.2.20	HcRhDescriptorB レジスタ.....	23B-16
23B.2.21	HcRhStatus レジスタ.....	23B-17
23B.2.22	HcRhPortStatus1、2 レジスタ.....	23B-18
23C.	USB2.0 ファンクションモジュール (USBF)	23C-1
23C.1	特長.....	23C-1

23C.1.1	ブロック図.....	23C-3
23C.1.2	機能概要.....	23C-4
23C.2	レジスタの説明.....	23C-6
23C.2.1	システムコンフィグレーションコントロールレジスタ (SYSCFG0)	23C-10
23C.2.2	CPU バスウェイト設定レジスタ (BUSWAIT)	23C-11
23C.2.3	システムコンフィグレーションステータスレジスタ (SYSSTS0)	23C-12
23C.2.4	デバイスステートコントロールレジスタ (DVSTCTR0)	23C-13
23C.2.5	テストモードレジスタ (TESTMODE)	23C-14
23C.2.6	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	23C-15
23C.2.7	CFIFO ポート選択レジスタ (CFIFOSEL)	23C-17
23C.2.8	DnFIFO ポート選択レジスタ (D0FIFOSEL、D1FIFOSEL)	23C-19
23C.2.9	CFIFO、DnFIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	23C-22
23C.2.10	割り込み許可レジスタ 0 (INTENB0)	23C-24
23C.2.11	BRDY 割り込み許可レジスタ (BRDYENB)	23C-26
23C.2.12	NRDY 割り込み許可レジスタ (NRDYENB)	23C-27
23C.2.13	BEMP 割り込み許可レジスタ (BEMPENB)	23C-28
23C.2.14	SOF ピンコンフィグレーションレジスタ (SOFCFG)	23C-29
23C.2.15	割り込みステータスレジスタ 0 (INTSTS0)	23C-29
23C.2.16	BRDY 割り込みステータスレジスタ (BRDYSTS)	23C-33
23C.2.17	NRDY 割り込みステータスレジスタ (NRDYSTS)	23C-36
23C.2.18	BEMP 割り込みステータスレジスタ (BEMPSTS)	23C-37
23C.2.19	フレームナンバレジスタ (FRMNUM)	23C-38
23C.2.20	μフレームナンバレジスタ (UFRMNUM)	23C-39
23C.2.21	USB アドレスレジスタ (USBADDR)	23C-40
23C.2.22	USB リクエストタイプレジスタ (USBREQ)	23C-40
23C.2.23	USB リクエストバリュレジスタ (USBVAL)	23C-41
23C.2.24	USB リクエストインデックスレジスタ (USBINDX)	23C-41
23C.2.25	USB リクエストレングスレジスタ (USBLENG)	23C-42
23C.2.26	DCP マックスパケットサイズレジスタ (DCPMAXP)	23C-42
23C.2.27	DCP コントロールレジスタ (DCPCTR)	23C-43
23C.2.28	パイプウィンドウ選択レジスタ (PIPESEL)	23C-46
23C.2.29	パイプコンフィグレーションレジスタ (PIPECFG)	23C-47
23C.2.30	パイプバッファ指定レジスタ (PIPEBUF)	23C-52
23C.2.31	パイプマックスパケットサイズレジスタ (PEMAXP)	23C-54
23C.2.32	パイプ周期制御レジスタ (PIPEPERI)	23C-55
23C.2.33	PIPE _n コントロールレジスタ (PIPE _n CTR) (n=1~5)	23C-58
23C.2.34	PIPE _n コントロールレジスタ (PIPE _n CTR) (n=6~9)	23C-65
23C.2.35	PIPE _n トランザクションカウンタ許可レジスタ (PIPE _n TRE) (n=1~5)	23C-67
23C.2.36	PIPE _n トランザクションカウンタレジスタ (PIPE _n TRN) (n=1~5)	23C-68
23C.2.37	UTMI サスペンドモードレジスタ (SUSPMODE)	23C-69

23C.3	動作説明.....	23C-70
23C.3.1	システム制御および発振制御.....	23C-70
23C.3.2	割り込み機能.....	23C-71
23C.3.3	パイプコントロール.....	23C-76
23C.3.4	FIFO バッファ.....	23C-78
23C.3.5	FIFO ポートの機能.....	23C-79
23C.3.6	コントロール転送 (DCP).....	23C-81
23C.3.7	バルク転送 (パイプ 1~5).....	23C-83
23C.3.8	インタラプト転送 (パイプ 6~9).....	23C-83
23C.3.9	アイソクロナス転送 (パイプ 1、2).....	23C-83
23C.3.10	SOF 補間機能.....	23C-87
24.	ギガビットイーサネットコントローラ (GETHER).....	24-1
24.1	特長.....	24-1
24.2	入出力端子.....	24-3
24.3	レジスタの説明.....	24-5
24.3.1	ソフトウェアリセットレジスタ (ARSTR).....	24-13
24.3.2	E-MAC モードレジスタ (ECMR).....	24-14
24.3.3	E-MAC ステータスレジスタ (ECSR).....	24-17
24.3.4	E-MAC 割り込み許可レジスタ (ECSIPR).....	24-19
24.3.5	PHY 部インタフェースレジスタ (PIR).....	24-20
24.3.6	MAC アドレス上位設定レジスタ (MAHR).....	24-21
24.3.7	MAC アドレス下位設定レジスタ (MALR).....	24-22
24.3.8	受信フレーム長上限レジスタ (RFLR).....	24-23
24.3.9	PHY 部ステータスレジスタ (PSR).....	24-24
24.3.10	PHY_INT 極性設定レジスタ (PIPR).....	24-24
24.3.11	送信リトライオーバカウンタレジスタ (TROCR).....	24-25
24.3.12	遅延衝突検出カウンタレジスタ (CDCR).....	24-26
24.3.13	キャリア消失カウンタレジスタ (LCCR).....	24-26
24.3.14	CRC エラーフレーム受信カウンタレジスタ (CEFCR).....	24-27
24.3.15	フレーム受信エラーカウンタレジスタ (FRECR).....	24-28
24.3.16	64 バイト未満フレーム受信カウンタレジスタ (TSFRCR).....	24-29
24.3.17	指定バイト超フレーム受信カウンタレジスタ (TLFRCR).....	24-30
24.3.18	端数ビットフレーム受信カウンタレジスタ (RFCR).....	24-31
24.3.19	キャリア拡張消失カウンタレジスタ (CERCR).....	24-32
24.3.20	キャリア拡張エラーカウンタレジスタ (CEECR).....	24-33
24.3.21	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR).....	24-34
24.3.22	自動 PAUSE フレーム設定レジスタ (APR).....	24-35
24.3.23	手動 PAUSE フレーム設定レジスタ (MPR).....	24-36
24.3.24	自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER).....	24-37

24.3.25	PAUSE フレーム送信カウンタレジスタ (PFTCR)	24-38
24.3.26	PAUSE フレーム受信カウンタレジスタ (PFRCR)	24-38
24.3.27	GETHER モードレジスタ (GECMR)	24-39
24.3.28	バーストサイクル回数上限設定レジスタ (BCULR)	24-39
24.3.29	TSU カウンタリセットレジスタ (TSU_CTRST)	24-40
24.3.30	転送機能設定レジスタ (共通) (TSU_FWSLC)	24-41
24.3.31	VLANtag 設定レジスタ (TSU_VTAG0)	24-42
24.3.32	CAM エントリテーブル設定ビジーレジスタ (TSU_ADSBSY)	24-43
24.3.33	CAM エントリテーブルイネーブル設定レジスタ (TSU_TEN)	24-44
24.3.34	CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)	24-47
24.3.35	CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)	24-48
24.3.36	CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)	24-50
24.3.37	CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)	24-51
24.3.38	CAM エントリテーブル 0~31H レジスタ (TSU_ADRH0~TSU_ADRH31)	24-53
24.3.39	CAM エントリテーブル 0~31L レジスタ (TSU_ADRL0~TSU_ADRL31)	24-54
24.3.40	送信フレーム数カウンタレジスタ (正常送信のみ) (TXNLCR0)	24-55
24.3.41	送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (TXALCR0)	24-55
24.3.42	受信フレーム数カウンタレジスタ (正常受信のみ) (RXNLCR0)	24-56
24.3.43	受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (RXALCR0)	24-56
24.3.44	E-DMAC 起動レジスタ (EDSR)	24-57
24.3.45	E-DMAC モードレジスタ (EDMR)	24-58
24.3.46	E-DMAC 送信要求レジスタ (EDTRR)	24-60
24.3.47	E-DMAC 受信要求レジスタ (EDRRR)	24-61
24.3.48	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)	24-62
24.3.49	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)	24-62
24.3.50	E-MAC/E-DMAC ステータスレジスタ (EESR)	24-63
24.3.51	E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)	24-67
24.3.52	送受信ステータスコピー指示レジスタ (TRSCER)	24-70
24.3.53	ミスドフレームカウンタレジスタ (RMFCR)	24-72
24.3.54	送信 FIFO しきい値指定レジスタ (TFTR)	24-73
24.3.55	FIFO 容量指定レジスタ (FDR)	24-74
24.3.56	受信方式制御レジスタ (RMCR)	24-75
24.3.57	受信ディスクリプタフェッチアドレスレジスタ (RDFAR)	24-76
24.3.58	受信ディスクリプタ処理済アドレスレジスタ (RDFXR)	24-76
24.3.59	受信ディスクリプタ最終フラグレジスタ (RDFFR)	24-77
24.3.60	送信ディスクリプタフェッチアドレスレジスタ (TDFAR)	24-78
24.3.61	送信ディスクリプタ処理済アドレスレジスタ (TDFXR)	24-78
24.3.62	送信ディスクリプタ最終フラグレジスタ (TDFFR)	24-79
24.3.63	オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)	24-80
24.3.64	受信データパディング挿入設定レジスタ (RPADIR)	24-81
24.3.65	インテリジェントチェックサムモードレジスタ (CSMR)	24-82

24.3.66	インテリジェントチェックサム機能スキップ済みバイト数モニタレジスタ (CSSBM)	24-83
24.3.67	インテリジェントチェックサム機能モニタレジスタ (CSSMR)	24-84
24.3.68	RMII_MII 選択バイト (RMII_MII)	24-85
24.4	動作説明	24-86
24.4.1	ディスクリプタとディスクリプタリスト	24-88
24.4.2	送信動作	24-104
24.4.3	受信動作	24-108
24.4.4	転送動作	24-113
24.4.5	CAM 機能	24-114
24.4.6	マルチバッファフレーム (1 フレーム/複数ディスクリプタ) の送受信処理について	24-115
24.4.7	受信データへのパディング挿入について	24-117
24.4.8	割り込み動作	24-118
24.4.9	起動手順	24-120
24.4.10	フロー制御	24-122
24.4.11	Magic Packet の検出	24-123
24.4.12	インテリジェントチェックサム計算機能	24-124
24.5	PHY-LSIとの接続	24-126
24.5.1	MII フレームタイミング	24-126
24.5.2	GMII/MII フレームタイミング	24-128
24.5.3	RMII フレームタイミング	24-130
24.5.4	MII レジスタのアクセス方法	24-131
24.5.5	MII-RMII インタフェース変換	24-134
24.6	使用上の注意事項	24-136
24.6.1	イーサネットフレームのサムチェック計算	24-136
24.6.2	TSU 使用時の注意	24-137
24.6.3	インテリジェントチェックサム機能の使用時の注意	24-137
24.6.4	RMII 選択時の ET0_RX-ER 端子入力について	24-137
25.	タイマユニット (TMU)	25-1
25.1	特長	25-1
25.2	入出力端子	25-3
25.3	レジスタの説明	25-3
25.3.1	タイムスタートレジスタ (TSTRn) (n=0~2)	25-6
25.3.2	タイムコンスタントレジスタ (TCORn) (n=0~8)	25-8
25.3.3	タイムカウンタ (TCNTn) (n=0~8)	25-8
25.3.4	タイムコントロールレジスタ (TCRn) (n=0~8)	25-9
25.3.5	インプットキャプチャレジスタ 2、5 (TCPR2、TCPR5)	25-11
25.4	動作説明	25-12
25.4.1	カウンタの動作	25-12
25.4.2	インプットキャプチャ機能	25-14

25.5	割り込み	25-15
25.6	使用上の注意事項	25-16
25.6.1	レジスタの書き込みについて	25-16
25.6.2	TCNT レジスタの読み出しについて	25-16
25.6.3	外部クロック周波数について	25-16
25.6.4	リセット中のレジスタアクセスについて	25-16
26.	リアルタイムクロック	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-3
26.3.1	64Hz カウンタ (R64CNT)	26-5
26.3.2	秒カウンタ (RSECCNT)	26-6
26.3.3	分カウンタ (RMINCNT)	26-6
26.3.4	時カウンタ (RHRCNT)	26-7
26.3.5	曜日カウンタ (RWKCNT)	26-8
26.3.6	日カウンタ (RDAYCNT)	26-9
26.3.7	月カウンタ (RMONCNT)	26-9
26.3.8	年カウンタ (RYRCNT)	26-10
26.3.9	秒アラームレジスタ (RSECAR)	26-10
26.3.10	分アラームレジスタ (RMINAR)	26-11
26.3.11	時アラームレジスタ (RHRAR)	26-11
26.3.12	曜日アラームレジスタ (RWKAR)	26-12
26.3.13	日アラームレジスタ (RDAYAR)	26-13
26.3.14	月アラームレジスタ (RMONAR)	26-13
26.3.15	年アラームレジスタ (RYRAR)	26-14
26.3.16	コントロールレジスタ 1 (RCR1)	26-14
26.3.17	コントロールレジスタ 2 (RCR2)	26-16
26.3.18	コントロールレジスタ 3 (RCR3)	26-17
26.4	動作説明	26-18
26.4.1	電源投入後のレジスタの初期設定	26-18
26.4.2	時刻設定手順	26-18
26.4.3	時刻読み出し手順	26-19
26.4.4	アラーム機能	26-20
26.5	使用上の注意事項	26-21
26.5.1	カウント動作時のレジスタ書き込みについて	26-21
26.5.2	リアルタイムクロックの周期割り込みの使用について	26-21
26.5.3	レジスタ設定後のスタンバイ遷移について	26-21
26.5.4	レジスタ書き込み／読み出し時の注意事項	26-21

27.	マルチファンクションタイマパルスユニット 2.....	27-1
27.1	特長.....	27-1
27.2	入出力端子.....	27-6
27.3	レジスタの説明.....	27-8
27.3.1	タイマコントロールレジスタ (TCR)	27-11
27.3.2	タイマモードレジスタ (TMDR)	27-14
27.3.3	タイマ I/O コントロールレジスタ (TIOR)	27-16
27.3.4	タイマインタラプトイネーブルレジスタ (TIER)	27-34
27.3.5	タイマステータスレジスタ (TSR)	27-37
27.3.6	タイマバッファ動作転送モードレジスタ (TBTM)	27-41
27.3.7	タイマインพุットキャプチャコントロールレジスタ (TICCR)	27-42
27.3.8	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	27-43
27.3.9	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)	27-45
27.3.10	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)	27-45
27.3.11	タイマカウンタ (TCNT)	27-46
27.3.12	タイマジェネラルレジスタ (TGR)	27-46
27.3.13	タイマスタートレジスタ (TSTR)	27-47
27.3.14	タイマシンクロレジスタ (TSYR)	27-48
27.3.15	タイマリードライトイネーブルレジスタ (TRWER)	27-49
27.3.16	タイマアウトプットマスタイネーブルレジスタ (TOER)	27-50
27.3.17	タイマアウトプットコントロールレジスタ 1 (TOCR1)	27-51
27.3.18	タイマアウトプットコントロールレジスタ 2 (TOCR2)	27-53
27.3.19	タイマアウトプットレベルバッファレジスタ (TOLBR)	27-56
27.3.20	タイマゲートコントロールレジスタ (TGCR)	27-57
27.3.21	タイマサブカウンタ (TCNTS)	27-58
27.3.22	タイマデッドタイムデータレジスタ (TDDR)	27-58
27.3.23	タイマ周期データレジスタ (TCDR)	27-59
27.3.24	タイマ周期バッファレジスタ (TCBR)	27-59
27.3.25	タイマ割り込み間引き設定レジスタ (TITCR)	27-60
27.3.26	タイマ割り込み間引き回数カウンタ (TITCNT)	27-61
27.3.27	タイマバッファ転送設定レジスタ (TBTER)	27-62
27.3.28	タイマデッドタイムイネーブルレジスタ (TDER)	27-63
27.3.29	タイマ波形コントロールレジスタ (TWCR)	27-64
27.3.30	バスマスタとのインタフェース.....	27-65
27.4	動作説明.....	27-66
27.4.1	基本動作.....	27-66
27.4.2	同期動作.....	27-72
27.4.3	バッファ動作.....	27-74
27.4.4	カスケード接続動作.....	27-78
27.4.5	PWM モード.....	27-82

27.4.6	位相計数モード.....	27-87
27.4.7	リセット同期 PWM モード.....	27-93
27.4.8	相補 PWM モード.....	27-96
27.4.9	A/D 変換開始要求ディレイド機能.....	27-127
27.4.10	相補 PWM の「山／谷」での TCNT キャプチャ動作.....	27-131
27.5	割り込み要因.....	27-132
27.5.1	割り込み要因と優先順位.....	27-132
27.5.2	ダイレクトメモリアクセスコントローラの起動.....	27-134
27.5.3	A/D 変換器の起動.....	27-134
27.6	動作タイミング.....	27-136
27.6.1	入出力タイミング.....	27-136
27.6.2	割り込み信号タイミング.....	27-143
27.7	使用上の注意事項.....	27-147
27.7.1	モジュールスタンバイモードの設定.....	27-147
27.7.2	入力クロックの制限事項.....	27-147
27.7.3	周期設定上の注意事項.....	27-147
27.7.4	TCNT のライトとクリアの競合.....	27-148
27.7.5	TCNT のライトとカウントアップの競合.....	27-148
27.7.6	TGR のライトとコンペアマッチの競合.....	27-149
27.7.7	バッファレジスタのライトとコンペアマッチの競合.....	27-150
27.7.8	バッファレジスタのライトと TCNT クリアの競合.....	27-151
27.7.9	TGR のリードとインプットキャプチャの競合.....	27-152
27.7.10	TGR のライトとインプットキャプチャの競合.....	27-153
27.7.11	バッファレジスタのライトとインプットキャプチャの競合.....	27-154
27.7.12	カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合.....	27-154
27.7.13	相補 PWM モード停止時のカウンタ値.....	27-156
27.7.14	相補 PWM モードでのバッファ動作の設定.....	27-156
27.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....	27-157
27.7.16	リセット同期 PWM モードのオーバフローフラグ.....	27-158
27.7.17	オーバフロー／アンダフローとカウンタクリアの競合.....	27-159
27.7.18	TCNT のライトとオーバフロー／アンダフローの競合.....	27-159
27.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の 注意事項.....	27-160
27.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル.....	27-160
27.7.21	モジュールスタンバイ時の割り込み.....	27-160
27.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ.....	27-160
27.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項.....	27-161
27.8	マルチファンクションタイムバルスユニット2出力端子の初期化方法.....	27-163
27.8.1	動作モード.....	27-163
27.8.2	リセットスタート時の動作.....	27-163
27.8.3	動作中の異常などによる再設定時の動作.....	27-164

27.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	27-164
28.	A/D 変換器	28-1
28.1	特長	28-1
28.2	入出力端子	28-3
28.3	レジスタの説明	28-4
28.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	28-5
28.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	28-6
28.4	動作説明	28-9
28.4.1	シングルモード	28-9
28.4.2	マルチモード	28-11
28.4.3	スキャンモード	28-13
28.4.4	外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動	28-15
28.4.5	入力サンプリングと A/D 変換時間	28-15
28.4.6	外部トリガ入力カタイミング	28-18
28.5	割り込み要因と DMA 転送要求	28-19
28.6	A/D 変換精度の定義	28-20
28.7	使用上の注意事項	28-21
28.7.1	モジュールスタンバイモードの設定	28-21
28.7.2	アナログ電圧の設定	28-21
28.7.3	ボード設計上の注意	28-21
28.7.4	アナログ入力端子の取り扱い	28-21
28.7.5	許容信号源インピーダンス	28-23
28.7.6	絶対精度への影響	28-23
28.7.7	ディープスタンバイモード時の A/D 変換	28-23
28.7.8	スキャンモードおよびマルチモード使用時の注意	28-23
28.7.9	シングルモードおよびマルチモード使用時の注意	28-24
29.	SD ホストインタフェース (SDHI)	29-1
30.	マルチメディアカードインタフェース (MMC)	30-1
30.1	特長	30-1
30.2	入出力端子	30-2
30.3	レジスタの説明	30-3
30.3.1	コマンド設定レジスタ (CE_CMD_SET)	30-5
30.3.2	アーギュメントレジスタ (CE_ARG)	30-7
30.3.3	自動 CMD12 アーギュメントレジスタ (CE_ARG_CMD12)	30-8
30.3.4	コマンド制御レジスタ (CE_CMD_CTRL)	30-8
30.3.5	転送ブロック設定レジスタ (CE_BLOCK_SET)	30-9
30.3.6	クロックコントロールレジスタ (CE_CLK_CTRL)	30-10

30.3.7	バッファアクセス設定レジスタ (CE_BUF_ACC)	30-11
30.3.8	レスポンスレジスタ 3~0 (CE_RESP3~0)	30-13
30.3.9	自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)	30-14
30.3.10	データレジスタ (CE_DATA)	30-14
30.3.11	Boot Operation 設定レジスタ (CE_BOOT)	30-15
30.3.12	割り込みフラグレジスタ (CE_INT)	30-16
30.3.13	割り込みイネーブルレジスタ (CE_INT_EN)	30-22
30.3.14	ステータスレジスタ 1 (CE_HOST_STS1)	30-25
30.3.15	ステータスレジスタ 2 (CE_HOST_STS2)	30-25
30.3.16	バージョンレジスタ (CE_VERSION)	30-28
30.4	割り込み要求の説明	30-29
30.5	DMA仕様	30-30
30.5.1	バッファライト DMA の説明	30-30
30.5.2	バッファリード DMA の説明	30-30
30.6	動作説明	30-31
30.6.1	コマンド/レスポンスのフォーマットについて	30-31
30.6.2	自動 CMD12 発行について	30-32
30.6.3	バッファの構造について	30-33
30.6.4	CE_DATA アクセス時のバッファアクセス選択機能について	30-33
30.6.5	データのフォーマットについて	30-34
30.6.6	Boot Operation 時の MMC クロック周波数について	30-36
30.6.7	エラー、タイムアウト発生時の動作について	30-36
30.7	設定例	30-37
30.7.1	凡例の説明	30-37
30.7.2	コマンド送信設定例	30-38
30.7.3	コマンド送信→レスポンス受信設定例	30-39
30.7.4	コマンド送信→レスポンス受信 (レスポンスビジーあり) 設定例	30-40
30.7.5	シングルブロックリード設定例	30-42
30.7.6	マルチブロックリード設定例	30-43
30.7.7	マルチブロックリード (自動 CMD12 あり) 設定例	30-44
30.7.8	シングルブロックライト設定例	30-45
30.7.9	マルチブロックライト設定例	30-46
30.7.10	マルチブロックライト (自動 CMD12 あり) 設定例	30-47
30.7.11	Boot Operation 設定例	30-48
30.7.12	強制終了設定例	30-49
30.7.13	コマンド送信→レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例	30-50
30.7.14	マルチブロックリード (CCS 受信あり) 設定例	30-51
30.7.15	マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例	30-52
30.7.16	強制終了→CCSD 発行設定例	30-53
30.7.17	CE_CMD_SET 設定値	30-54
30.8	使用上の注意事項	30-56

30.8.1	レスポンスビジー出力タイミング.....	30-56
30.8.2	強制終了について.....	30-56
31.	NAND フラッシュメモリコントローラ (FLCTL)	31-1
31.1	特長.....	31-1
31.2	入出力端子.....	31-4
31.3	レジスタの説明.....	31-5
31.3.1	共通コントロールレジスタ (FLCMNCR)	31-7
31.3.2	コマンド制御レジスタ (FLCMDCR)	31-9
31.3.3	コマンドコードレジスタ (FLCMCDR)	31-11
31.3.4	アドレスレジスタ (FLADR)	31-12
31.3.5	アドレスレジスタ 2 (FLADR2)	31-14
31.3.6	データカウンタレジスタ (FLDTCNTR)	31-15
31.3.7	データレジスタ (FLDATAR)	31-16
31.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	31-17
31.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	31-20
31.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	31-21
31.3.11	データ FIFO レジスタ (FLDTFIFO)	31-22
31.3.12	管理コード FIFO レジスタ (FLECFIFO)	31-22
31.3.13	転送制御レジスタ (FLTRCR)	31-23
31.3.14	モードレジスタ (FLMODE)	31-24
31.4	動作説明.....	31-25
31.4.1	アクセス手順.....	31-25
31.4.2	動作モード.....	31-25
31.4.3	レジスタ設定手順.....	31-26
31.4.4	コマンドアクセスモード.....	31-27
31.4.5	セクタアクセスモード.....	31-31
31.4.6	ステータスリード.....	31-36
31.5	割り込み処理.....	31-37
31.6	DMA転送の設定.....	31-37
32.	高速 FIFO 内蔵シリアルコミュニケーションインタフェース (HSCIF)	32-1
32.1	概要.....	32-1
32.1.1	特長.....	32-1
32.1.2	ブロック図.....	32-2
32.1.3	端子構成.....	32-3
32.1.4	レジスタ構成.....	32-4
32.2	レジスタの説明.....	32-6
32.2.1	レシーブシフトレジスタ (HSRSR)	32-6
32.2.2	レシーブ FIFO データレジスタ (HSFRDR)	32-6

32.2.3	トランスミットシフトレジスタ (HSTSR)	32-7
32.2.4	トランスミット FIFO データレジスタ (HSFTDR)	32-7
32.2.5	シリアルモードレジスタ (HSSMR)	32-7
32.2.6	シリアルコントロールレジスタ (HSSCR)	32-9
32.2.7	シリアルステータスレジスタ (HSFSR)	32-13
32.2.8	ビットレートレジスタ (HSBRR)	32-19
32.2.9	FIFO コントロールレジスタ (HSFCR)	32-20
32.2.10	FIFO データ数レジスタ (HSFDR)	32-21
32.2.11	シリアルポートレジスタ (HSSPTR)	32-21
32.2.12	ラインステータスレジスタ (HLSLR)	32-23
32.2.13	サンプリングレートレジスタ (HSSRR)	32-25
32.2.14	シリアルエラーレジスタ (HSRER)	32-26
32.2.15	RTS 出力アクティブトリガ数レジスタ (HSRTGR)	32-26
32.2.16	レシーブ FIFO データ数トリガレジスタ (HSRTRGR)	32-27
32.2.17	トランスミット FIFO データ数トリガレジスタ (HSTTRGR)	32-27
32.3	動作説明	32-28
32.3.1	調歩同期通信の動作	32-28
32.4	HSCIF割り込み要因とDMAC	32-38
32.5	使用上の注意事項	32-39
32.6	外部クロック用ポーレートジェネレータ (BRG)	32-43
32.6.1	概要	32-43
32.6.2	各ブロックの説明	32-43
32.6.3	レジスタ仕様	32-44
32.6.4	分周レジスタ設定時の注意事項	32-47
33.	サンプリングレートコンバータ (SRC)	33-1
33.1	特長	33-1
33.2	レジスタの説明	33-3
33.2.1	SRC 入力データレジスタ (SRCID)	33-4
33.2.2	SRC 出力データレジスタ (SRCOD)	33-5
33.2.3	SRC 入力データ制御レジスタ (SRCIDCTRL)	33-6
33.2.4	SRC 出力データ制御レジスタ (SRCODCTRL)	33-7
33.2.5	SRC 制御レジスタ (SRCCTRL)	33-8
33.2.6	SRC ステータスレジスタ (SRCSTAT)	33-11
33.3	動作説明	33-13
33.3.1	初期設定	33-13
33.3.2	データ入力	33-14
33.3.3	データ出力	33-15
33.4	割り込み	33-16
33.5	使用上の注意事項	33-17

33.5.1	レジスタアクセス時の注意.....	33-17
33.5.2	フラッシュ処理に関する注意.....	33-17
33.5.3	OVF フラグビットのクリアについて	33-17
34.	ストリームインタフェース (STIF)	34-1
35.	ビデオエンジンユニット (VEU3F)	35-1
35.1	特長	35-1
35.2	機能概要	35-2
35.3	レジスタの説明.....	35-6
35.3.1	VEU 起動レジスタ (VESTR)	35-9
35.3.2	VEU ソースメモリ幅レジスタ (VESWR)	35-11
35.3.3	VEU ソースサイズレジスタ (VESSR)	35-13
35.3.4	VEU ソースアドレス Y レジスタ (VSAYR)	35-15
35.3.5	VEU ソースアドレス C レジスタ (VSACR)	35-16
35.3.6	VEU バンドルソースサイズレジスタ (VBSSR)	35-17
35.3.7	VEU デスティネーションメモリ幅レジスタ (VEDWR)	35-18
35.3.8	VEU デスティネーションアドレス Y レジスタ (VDAYR)	35-19
35.3.9	VEU デスティネーションアドレス C レジスタ (VDACR)	35-24
35.3.10	VEU 変換制御レジスタ (VTRCR)	35-25
35.3.11	VEU リサイズフィルタ制御レジスタ (VRFCR)	35-29
35.3.12	VEU リサイズフィルタサイズクリップレジスタ (VRFSR)	35-32
35.3.13	VEU エンハンスレジスタ (VENHR)	35-34
35.3.14	VEU リサイズフィルタサブ制御レジスタ (VRSCR)	35-35
35.3.15	VEU リサイズフィルタサイズクリップオフセットレジスタ (VRSOR)	35-36
35.3.16	VEU フィルタモード制御レジスタ (VFMCR)	35-37
35.3.17	VEU 垂直タップ係数レジスタ (VVTCR)	35-42
35.3.18	VEU 水平タップ係数レジスタ (VHTCR)	35-45
35.3.19	VEU 指定色レジスタ (VAPCR)	35-47
35.3.20	VEU 変換色レジスタ (VECCR)	35-48
35.3.21	VEU フィル色指定レジスタ (VFLCR)	35-48
35.3.22	VEU アドレス固定レジスタ (VAFXR)	35-49
35.3.23	VEU スワッピングレジスタ (VSWPR)	35-50
35.3.24	VEU イベント割り込みイネーブルレジスタ (VEIER)	35-52
35.3.25	VEU イベントレジスタ (VEVTR)	35-53
35.3.26	VEU ステータスレジスタ (VSTAR)	35-54
35.3.27	VEU モジュールリセットレジスタ (VBSRR)	35-56
35.3.28	VEU リサイズ通過帯域設定レジスタ (VRPBR)	35-56
35.4	使用上の注意事項.....	35-58

36. 汎用 I/O ポート (GPIO)	36-1
36.1 概要	36-1
36.1.1 GPIO ブロック図	36-2
36.1.2 GPIO ブロック端子一覧	36-3
36.1.3 モード切り替え操作方法	36-3
36.2 ポート端子の仕様	36-4
36.3 各モードの動作	36-10
36.3.1 汎用入出力モード	36-10
36.3.2 割り込み入力モード	36-10
36.4 GPIOブロック内部レジスタ	36-11
36.4.1 GPIO-n 汎用入出力/割り込み切り替えレジスタ (IOINTSEL0-5)	36-17
36.4.2 GPIO-n 汎用入/出力切り替えレジスタ (INOUTSEL0-5)	36-18
36.4.3 GPIO-n 汎用出力レジスタ (OUTDT0-5)	36-19
36.4.4 GPIO-n 汎用入力レジスタ (INDT0-5)	36-20
36.4.5 GPIO-n 割り込み表示レジスタ (INTDT0-5)	36-21
36.4.6 GPIO-n 割り込みクリアレジスタ (INTCLR0-5)	36-22
36.4.7 GPIO-n 割り込みマスクレジスタ (INTMSK0-5)	36-23
36.4.8 GPIO-n 割り込みマスククリアレジスタ (MSKCLR0-5)	36-24
36.4.9 GPIO-n 正/負論理設定レジスタ (POSNEG0-5)	36-25
36.4.10 GPIO-n エッジ/レベル設定レジスタ (EDGLEVEL0-5)	36-26
36.4.11 GPIO-n チャタリング防止 ON/OFF 設定レジスタ (FILONOFF0-5)	36-27
36.5 ポート端子の入力信号処理	36-28
36.5.1 チャタリング	36-28
36.5.2 クロック同期化	36-28
36.6 割り込み表示タイミングチャート	36-29
36.7 使用説明	36-30
36.7.1 エッジ割り込み入力モード設定	36-30
36.7.2 レベル割り込み入力モード設定	36-31
36.7.3 汎用出力モード設定	36-32
36.7.4 汎用入力モード設定	36-33
37. ピンファンクションコントローラ (PFC)	37-1
37.1 概要	37-1
37.1.1 特長	37-1
37.1.2 レジスタ構成	37-1
37.2 レジスタの説明	37-4
37.2.1 LSI ピンマルチマスクレジスタ (PMMR)	37-5
37.2.2 GPIO 周辺機能選択レジスタ 0 (GPSR0)	37-5
37.2.3 GPIO 周辺機能選択レジスタ 1 (GPSR1)	37-7
37.2.4 GPIO 周辺機能選択レジスタ 2 (GPSR2)	37-8

37.2.5	GPIO 周辺機能選択レジスタ 3 (GPSR3)	37-9
37.2.6	GPIO 周辺機能選択レジスタ 4 (GPSR4)	37-11
37.2.7	GPIO 周辺機能選択レジスタ 5 (GPSR5)	37-13
37.2.8	周辺機能選択レジスタ 0 (IPSR0)	37-14
37.2.9	周辺機能選択レジスタ 1 (IPSR1)	37-15
37.2.10	周辺機能選択レジスタ 2 (IPSR2)	37-16
37.2.11	周辺機能選択レジスタ 3 (IPSR3)	37-17
37.2.12	周辺機能選択レジスタ 4 (IPSR4)	37-18
37.2.13	周辺機能選択レジスタ 5 (IPSR5)	37-19
37.2.14	周辺機能選択レジスタ 6 (IPSR6)	37-20
37.2.15	周辺機能選択レジスタ 7 (IPSR7)	37-21
37.2.16	周辺機能選択レジスタ 8 (IPSR8)	37-22
37.2.17	周辺機能選択レジスタ 9 (IPSR9)	37-23
37.2.18	周辺機能選択レジスタ 10 (IPSR10)	37-24
37.2.19	周辺機能選択レジスタ 11 (IPSR11)	37-25
37.2.20	MODULE 選択レジスタ (MOD_SEL)	37-32
37.2.21	MODULE 選択レジスタ 2 (MOD_SEL2)	37-34
37.2.22	LSI ピン PULL UP 制御レジスタ 0 (PUPCTL0)	37-46
37.2.23	LSI ピン PULL UP 制御レジスタ 1 (PUPCTL1)	37-46
37.2.24	LSI ピン PULL UP 制御レジスタ 2 (PUPCTL2)	37-47
37.2.25	LSI ピン PULL UP 制御レジスタ 3 (PUPCTL3)	37-47
37.2.26	LSI ピン PULL UP 制御レジスタ 4 (PUPCTL4)	37-48
37.2.27	LSI ピン PULL UP 制御レジスタ 5 (PUPCTL5)	37-48
37.2.28	LSI ピンドライブ能力切り替えレジスタ (DRV_SEL)	37-49
37.3	動作説明	37-50
37.3.1	ピンマルチ設定	37-50
37.3.2	PULL UP 設定	37-52
37.4	注意事項	37-52
38.	ユーザブ레이크コントローラ (UBC)	38-1
38.1	特長	38-1
38.2	レジスタの説明	38-3
38.2.1	マッチ条件設定レジスタ 0, 1 (CBR0, CBR1)	38-4
38.2.2	マッチ動作設定レジスタ 0, 1 (CRR0, CRR1)	38-10
38.2.3	マッチアドレス設定レジスタ 0, 1 (CAR0, CAR1)	38-12
38.2.4	マッチアドレスマスク設定レジスタ 0, 1 (CAMR0, CAMR1)	38-13
38.2.5	マッチデータ設定レジスタ 1 (CDR1)	38-14
38.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	38-15
38.2.7	実行回数ブ레이크レジスタ 1 (CETR1)	38-15
38.2.8	チャンネルマッチフラグレジスタ (CCMFR)	38-16

38.2.9	ブ레이크コントロールレジスタ (CBCR)	38-17
38.3	動作説明	38-18
38.3.1	アクセスに関する用語の説明	38-18
38.3.2	ユーザブ레이크動作の流れ	38-18
38.3.3	命令フェッチサイクルブ레이크	38-20
38.3.4	オペランドアクセスサイクルブ레이크	38-21
38.3.5	シーケンシャルブ레이크	38-22
38.3.6	退避されるプログラムカウンタの値	38-23
38.3.7	ユーザブ레이크デバッグサポート機能	38-24
38.3.8	ユーザブ레이크使用例	38-25
38.4	使用上の注意事項	38-30
39.	ユーザデバッグインタフェース (H-UDI)	39-1
39.1	概要	39-1
39.1.1	特長	39-1
39.1.2	ブロック図	39-2
39.1.3	外部端子	39-3
39.1.4	レジスタ構成	39-4
39.2	レジスタの説明	39-5
39.2.1	インストラクションレジスタ (SDIR)	39-5
39.2.2	割り込み要因レジスタ (SDINT)	39-6
39.2.3	バイパスレジスタ (SDBPR)	39-6
39.2.4	バウンダリスキャンレジスタ (SDBSR)	39-6
39.3	動作説明	39-22
39.3.1	バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)	39-22
39.3.2	TAP 制御	39-24
39.3.3	H-UDI リセット	39-25
39.3.4	H-UDI 割り込み	39-25
39.4	注意事項	39-26
40.	Quad-SPI	40-1
40.1	特長	40-1
40.2	入出力端子	40-3
40.3	レジスタの説明	40-4
40.3.1	制御レジスタ (SPCR)	40-5
40.3.2	スレーブセレクト極性レジスタ (SSLP)	40-6
40.3.3	端子制御レジスタ (SPPCR)	40-6
40.3.4	ステータスレジスタ (SPSR)	40-8
40.3.5	データレジスタ (SPDR)	40-9

40.3.6	シーケンス制御レジスタ (SPSCR)	40-10
40.3.7	シーケンスステータスレジスタ (SPSSR)	40-11
40.3.8	ビットレートレジスタ (SPBR)	40-12
40.3.9	データコントロールレジスタ (SPDCR)	40-13
40.3.10	クロック遅延レジスタ (SPCKD)	40-14
40.3.11	スLEEPセレクトネゲート遅延レジスタ (SSLND)	40-15
40.3.12	次アクセス遅延レジスタ (SPND)	40-16
40.3.13	コマンドレジスタ n (SPCMDn) (n=0、1、2、3)	40-17
40.3.14	バッファコントロールレジスタ (SPBFCCR)	40-21
40.3.15	バッファデータカウントセットレジスタ (SPBDCR)	40-22
40.3.16	転送データ長倍数設定レジスタ n (SPBMULn) (n=0、1、2、3)	40-23
40.4	動作説明	40-24
40.4.1	動作の概要	40-24
40.4.2	端子の制御	40-25
40.4.3	転送フォーマット	40-26
40.4.4	転送データ	40-29
40.4.5	通常以外の動作	40-35
40.4.6	初期化	40-35
40.4.7	SPI 動作	40-36
40.4.8	割り込み要因	40-47
40.4.9	ループバックモード	40-47
41.	電気的特性	41-1
41.1	絶対最大定格	41-1
41.2	電源電圧	41-2
41.3	電源投入および切断順序	41-3
41.3.1	異電位電源間の電源の投入および切断順序について	41-3
41.3.2	同電位電源間の電源の投入および切断順序について	41-6
41.4	DC特性 (共通項目)	41-7
41.5	リセット、ウォッチドッグタイマ (RESET、WDT)	41-16
41.6	クロックタイミング	41-17
41.7	メモリコントローラ (DBSC3)	41-19
41.8	ローカルバスステートコントローラ (LBSC)	41-27
41.9	割り込みコントローラ (INTC、INTC2)	41-39
41.10	ビデオ入力0 (VIN0)	41-40
41.11	ビデオ入力1 (VIN1)	41-41
41.12	ディスプレイユニット (DU)	41-42
41.13	LCDコントローラ (LCDC)	41-46
41.14	シリアルサウンドインタフェース (SSI)	41-47
41.15	I ² Cバスインタフェース3	41-51

41.16	シリアルペリフェラルインタフェース (HSPI)	41-52
41.17	FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)	41-53
41.18	IrDA	41-54
41.19	ルネサスシリアルペリフェラルインタフェース	41-55
41.20	ホストインタフェース (HIF)	41-59
41.21	USB	41-61
41.21.1	High Speed トランシーバ特性	41-61
41.21.2	Full/Low Speed トランシーバ特性	41-61
41.21.3	ドライバ出力インピーダンス特性	41-64
41.21.4	外部クロック精度	41-64
41.21.5	VBUS 端子 DC 特性	41-64
41.22	GETHERモジュール信号タイミング	41-65
41.23	TMU	41-71
41.24	マルチファンクションタイムパルスユニット2タイミング	41-71
41.25	A/D変換器タイミング	41-72
41.26	A/D変換器特性	41-73
41.27	マルチメディアカードインタフェース (MMC)	41-74
41.28	NANDフラッシュメモリコントローラタイミング	41-75
41.29	高速FIFO内蔵シリアルコミュニケーションインタフェース (HSCIF)	41-79
41.30	I/Oポートタイミング	41-80
41.31	H-UDI	41-81
41.32	ルネサスクワッドシリアルペリフェラルインタフェースタイミング	41-82
41.33	MIMLB	41-84
41.34	使用上の注意	41-86
41.34.1	USB I/O バッファ	41-86
41.34.2	I ² C I/O バッファ	41-86
41.34.3	ラッチアップ対策について	41-86
41.34.4	中間電位レベルの入力について	41-86
41.34.5	AC 特性について	41-86
41.35	ボード設計上の注意事項	41-87
41.35.1	水晶発振子使用時の注意	41-87
41.35.2	外部クロックを EXTAL 端子から入力するときの注意	41-87
41.35.3	PLL 発振回路使用時の注意	41-87
41.36	測定条件	41-88
41.36.1	共通温度条件	41-88
41.36.2	AC 特性測定条件	41-88
付録	付録-1
A.	端子状態	付録-1

本版で修正または追加された箇所 改訂-1

索引 索引-1

1. 概要

1.1 はじめに

1.1.1 SH7734

SH7734 は、次世代のグラフィックス、表示アプリケーションにおいて必要とされる基本機能を有する SH-4A シリーズの次世代 SOC です。533/400MHz 動作の CPU コア SH-4A、DDR-SDRAM 対応のメモリコントローラ、グラフィックエンジン、カメラインタフェース、TFT パネル表示機能、SD カードインタフェース、USB2.0 インタフェース、ギガビット Ether インタフェースなどを内蔵しました。また、内部バスとして拡張性・柔軟性に優れた SuperHyway バスを全面的に採用することで、システム性能が最大となるようにバス構造を最適化しています。また、各種メモリ（NAND、シリアルフラッシュなど）からのブートや、各種低消費電力モードをサポートしています。

2D グラフィックス表示など、操作性向上が図れるグラフィカルユーザインタフェース（GUI）表示が可能になり、高性能かつコンパクトでコストパフォーマンスに優れたシステム構成が実現できます。

【注】 周波数の表記について

特に正確を期する場合を除き、小数点以下は省略して表記しております。

本節での周波数表記は小数点第一位まで（533.3MHz など）

モード名称：533MHz モードなど、整数表記。

CPG 関連などは、小数点第 2 位まで記載。

1.2 型名と機能の対応

表 1.1 型名一覧 (SH7734G)

ニックネーム	パッケージ	暗号機能	温度範囲 (°C)	動作 周波数 (MHz)	ルネサス型名	マーク印	主な用途
SH7734G	BGA440	無	-40~85	533.3	R8A77343PAxxBG	R8A77343P533BG	—
			-40~85	533.3	R8A77343DAxxBG	R8A77343D533BG	産業・民生

【注】 Axxは「1.5 製品型名」の対応する製品による (A00、A01 など)。

輸出型名は、マーク印と同じです。

1.3 システム構成図

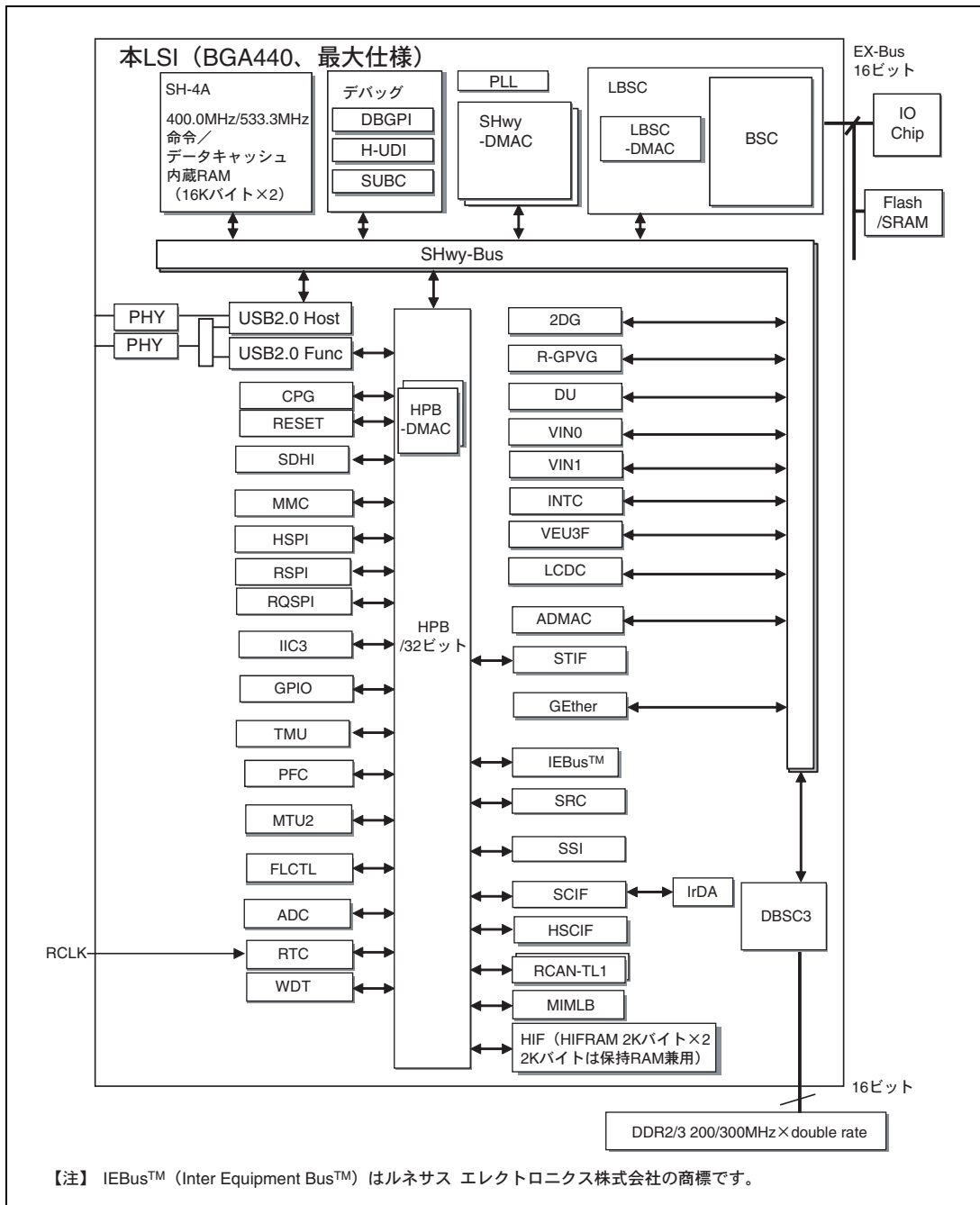


図 1.1 本 LSI システム構成

1.4 仕様一覧

本 LSI 搭載モジュールの仕様一覧を示します。

1.4.1 SH-4A コア

項目	説明
最大動作周波数	<ul style="list-style-type: none"> 533.3MHz/400.0MHz
性能	<ul style="list-style-type: none"> 960MIPS (533.3MHz 動作時)、3.73GFLOPS (533.3MHz 動作時) 720MIPS (400.0MHz 動作時)、2.8GFLOPS (400.0MHz 動作時)
FPU	<ul style="list-style-type: none"> 浮動小数点コプロセッサ内蔵 単精度 (32 ビット)、倍精度 (64 ビット) サポート
メモリ管理ユニット	<ul style="list-style-type: none"> 4G バイトのアドレス空間、256 のアドレス空間 (ASID8 ビットモード) 単一仮想記憶モードと多重仮想記憶モード 複数のページサイズをサポート: 1K、4K、64K、1M バイトに加えて、8K、256K、4M、64M バイトをサポート 命令に対する 4 エントリのフルアソシアティブ TLB 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB ソフトウェアによる入れ替え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート TLB の内容はアドレスマッピングにより直接アクセス可能 29 ビット物理アドレスモード、および 32 ビット物理アドレスモードをサポート
キャッシュメモリ	<ul style="list-style-type: none"> 命令キャッシュ: <ul style="list-style-type: none"> 32K バイト、4 ウェイセットアソシアティブ 256 エントリ、32 バイトブロック長 オペランドキャッシュ: <ul style="list-style-type: none"> 32K バイト、4 ウェイセットアソシアティブ 256 エントリ、32 バイトブロック長 選択可能な書き込み方式 (コピーバック/ライトスルー) 1 段コピーバックバッファ、1 段ライトスルーバッファ ストアキュー: 32 バイト×2 エントリ

項 目	説 明
LRAM	<ul style="list-style-type: none"> • ILRAM <ul style="list-style-type: none"> 高速アクセスメモリ 16Kバイト 3本の独立した読み出し／書き込みポート CPUからの命令フェッチアクセス CPUからの8／16／32／64ビットアクセス 外部要求による8／16／32／64ビットおよび16／32バイトアクセス • OLRAM <ul style="list-style-type: none"> 高速アクセスメモリ 16Kバイト 3本の独立した読み出し／書き込みポート CPUからのオペランドアクセス CPUからの8／16／32／64ビットアクセス 外部要求による8／16／32／64ビットおよび16／32バイトアクセス
ユーザブレイクコントローラ	<ul style="list-style-type: none"> • ユーザブレイク割り込みによるデバッグをサポート • 2本のブレイクチャネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能 • シーケンシャルブレイク機能をサポート

1.4.2 CPU コア周辺

項目	説明
動作クロックパルス発生回路 (CPG)	<ul style="list-style-type: none"> • CPU クロック : EXTAL の 12、16、24、32 通倍 • クロックモード : <ul style="list-style-type: none"> [400MHz モード (1) 時] <ul style="list-style-type: none"> – CPU 周波数 : 2/3 (最大 400.00MHz) – 内部クロック : 2/3、1/3、1/6、1/12 – SHwy-Bus 周波数 : 1/3、1/6 (最大 200.00MHz) – HPB-Bus 周波数 : 1/6、1/12 (最大 100.00MHz) – DDR コントローラ : 内部非同期接続 (最大 300.00MHz) – EX-Bus 周波数 : 1/12 (最大 50.00MHz) [400MHz モード (2) 時] <ul style="list-style-type: none"> – CPU 周波数 : 1/1 (最大 400.00MHz) – 内部クロック : 1/1、1/2、1/4、1/8 – SHwy-Bus 周波数 : 1/2、1/4 (最大 200.00MHz) – HPB-Bus 周波数 : 1/4、1/8 (最大 100.00MHz) – DDR コントローラ : 内部非同期接続 (最大 200.00MHz) – EX-Bus 周波数 : 1/8 (最大 50.00MHz) [533MHz モード時] <ul style="list-style-type: none"> – CPU 周波数 : 1/1 (最大 533.33MHz) – 内部クロック : 1/1、1/3、1/6、1/12 – SHwy-Bus 周波数 : 1/3、1/6 (最大 177.77MHz) – HPB-Bus 周波数 : 1/6、1/12 (最大 88.88MHz) – DDR コントローラ : 内部非同期接続 (最大 266.66MHz) – EX-Bus 周波数 : 1/12 (最大 44.44MHz) • モジュールごとにクロック供給/停止を制御するためのモジュールスタンバイ制御レジスタ搭載 • 低消費電力モード : 各周辺モジュールへのクロック供給を停止 (モジュールスタンバイ)、スリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード
リセット (RESET)	<ul style="list-style-type: none"> • 外部モジュール用リセット外部出力ポート 1 チャンネル搭載
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 5 本の独立した外部割り込み : NMI、IRQ3~IRQ0 • 15 レベルの符号化した外部割り込み可能 : IRL3~IRL0 • 内蔵周辺割り込み : モジュールごとに優先レベルを設定 • GPIO 割り込み

項 目		説 明
ウォッチドッグタイマ (WDT)		<ul style="list-style-type: none"> 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。 カウンタオーバーフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。 ウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをリセットします。 リセットの種類は、パワーオンリセットとマニュアルリセットを選択できます。 インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。 WDT 関連のレジスタは、容易に書き換えられないように上位 8 ビットにコード値を設定しています。 カウンタがオーバーフローするまでの最大時間は、HPB-Bus : Pck に応じて以下のようになります。 約 1546 秒 (Pck=44.44MHz 時)、約 1648 秒 (Pck=41.66MHz 時)
リアルタイムクロック (RTC)		<ul style="list-style-type: none"> 内蔵クロック、カレンダー機能、アラーム機能 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32.768kHz 水晶発振器回路 RTC を使用しない場合は RCLK 入力不要
ダイレクトメモリア クセスコントローラ (DMAC)	LBSC-DMAC	<ul style="list-style-type: none"> 3 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照)
	SHwy-DMAC	<ul style="list-style-type: none"> 2 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照)
	HPB-DMAC	<ul style="list-style-type: none"> 28 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照)

項 目	説 明
ローカルバスコントローラ (LBSC)	<ul style="list-style-type: none"> • EX_Bus インタフェース <ul style="list-style-type: none"> max.44.44MHz (533MHz モード時) /16 ビットバス max.50.00MHz (400MHz モード (1) (2) 時) /16 ビットバス CPU 動作周波数の 1/12 または 1/8 のバスクロック周波数に同期 • 外部エリアを分割して管理 <ul style="list-style-type: none"> －エリア 0、エリア 1、エリア 6 空間に割り付け、もしくはエリア 0 空間のみに割り付けを起動時に選択。 －エリア 0 128M バイトメモリ空間対応 (起動モード) －エリア 6 空間を最大 6 エリア (各エリア容量は可変) に細分化して管理 (MD9 端子=0 の場合) －エリア 0 空間を最大 7 エリア (各エリア容量は可変) に細分化して管理 (MD7 端子=0、MD9 端子=1 の場合) －各エリアごとに I/F 設定、バス幅設定、ウェイトステート挿入が可能 • SRAM インタフェース <ul style="list-style-type: none"> －ウェイトステート挿入をレジスタ設定で可能 ウェイト設定は 1 サイクルごとの設定が可能。最大は 15。 －EX_WAIT 端子によるウェイトステート挿入 －接続可能バス幅 16 ビット、8 ビット • バースト ROM インタフェース <ul style="list-style-type: none"> －ウェイトステート挿入をレジスタ設定で可能 －バースト回数をレジスタ設定により可能 －可能バス幅 16 ビット、8 ビット • バイト制御 SRAM インタフェース (エリア 1、6 のみ対応) <ul style="list-style-type: none"> －バイト制御可能な SRAM インタフェース －ウェイトステート挿入をレジスタ設定で可能 －EX_WAIT 端子によるウェイトステート挿入 －接続可能バス幅 16 ビット、8 ビット • ATA インタフェース <ul style="list-style-type: none"> －ウェイトステート挿入をレジスタ設定で可能 －PIO モード 0~4 をサポート －マルチワードモード 0~2 をサポート －レディタイムアウト検出 (検出時間(ns)=EX_Bus 動作周波数(ns) × 100 クロック) －外部バッファファイネーブル/ディレクション制御対応
その他	<ul style="list-style-type: none"> • H-UDI (User Debug Interface) サポート • AUD (Advanced User Debugger) サポート

1.4.3 メモリ制御ユニット

項目	説明		
DDR2-SDRAM DDR3-SDRAM コントローラ (DBSC3)	<ul style="list-style-type: none"> • マルチバンク対応：8バンクのマルチバンクオペレーションに対応。 • バンク数：4バンク（DDR2）および8バンク（DDR2/DDR3）に対応。 • 外部バス幅 16ビットをサポート • 先行プリチャージ・アクティベート機能 • サポート動作モード バースト長：DDR2 8固定/4固定、DDR3 8固定 バーストタイプ：シーケンシャル（固定） • 低消費電力モード セルフリフレッシュモード、パワーダウンモード、SDRAM電源バックアップモードおよびデ ィープスタンバイモード • タイミング設定以下のタイミングを設定可能 CASレイテンシ、CASライトレイテンシ、ACT-READ/WRITE最小期間、PRE期間、 ACT-ACT/REF最小期間、ACT-PRE最小期間、ACT(A)-ACT(B)最小期間、4Activeウィンドウ 最小期間、READ-PRE最小期間、ライトリカバリ期間、READ-WRITE最小期間、WRITE-READ 最小期間、REF-ACT/REF最小期間、CKE-Hi最小期間、CKE-Low最小期間、ショートキャリ ブレーション期間、アディティブレイテンシ（AL）は0のみ。 • リフレッシュ動作 • 平均間隔および最大ポスト数をレジスタ設定。リクエストの空きサイクルがあれば、先行リフ レッシュ動作を実施。 • コントローラ自体はDDR2/3両方に対応しています （周波数領域をカバーするDDRを接続してください）。 DDR2/3-max 600Mbps 		
メモリ接続	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; padding: 5px;">8/16ビットバス (16ビット推奨)</td> <td style="padding: 5px;"> <ul style="list-style-type: none"> • (MA13-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個、128Mワード×16ビット(2Gビット)品1個 • (MA12-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個 </td> </tr> </table>	8/16ビットバス (16ビット推奨)	<ul style="list-style-type: none"> • (MA13-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個、128Mワード×16ビット(2Gビット)品1個 • (MA12-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個
8/16ビットバス (16ビット推奨)	<ul style="list-style-type: none"> • (MA13-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個、128Mワード×16ビット(2Gビット)品1個 • (MA12-0まで) : 32Mワード×16ビット(512Mビット)品1個、64Mワード×16ビット (1Gビット)品1個 		

1.4.4 内部バス構成および調停仕様

項目	説明
SHwy 基本バス	<p>本 LSI 内外のスレーブデバイスのうち、外部バス上のスレーブデバイス（LBSC あるいは DDR-SDRAM コントローラ経由でアクセス）および SH-4A コア内蔵メモリに対しては、本チップ内のマスタ機能を有するすべてのモジュール（SH-4A コア、デバッグモジュール、LBSC、HPB、SHwy-DMAC、2DG、DU、VIN0、VIN1、VEU3F、USB、GETHER、A-DMAC、LCDC）よりアクセス可能です。</p> <p>上記以外の本 LSI 内のスレーブデバイス（主に本チップ内蔵レジスタ）については、SH-4A コア、デバッグモジュールからのみアクセスできます。</p>
HPB ブリッジ	<p>200.00MHz/177.77MHz/166.66MHz 64 ビット→100.00MHz/88.88MHz/83.33MHz 32 ビット</p> <p>本ブリッジには、以下のモジュールのスレーブインタフェースが接続されます。</p> <p>2DG、DU、VIN0、VIN1、SSI、SCIF、HSCIF、RCAN、USB、CPG、RESET、SDHI、MMC、HSPI、RSPI、RQSPI、I2C、MIMLB、GPIO、TMU、PFC、ADC、RTC、IEBus、STIF、MTU2、FLCTL、SRC</p>
調停仕様	<p>レジスタバス系は、ラウンドロビン方式で調停を行います。</p> <p>DDR アクセス系は、重み付きラウンドロビン方式で調停を行います。</p> <p>SH-4A は例外／割り込み処理時（SH-4A のステータスレジスタのブロックビット：BL が 1 のとき）に、レジスタバス系と DDR アクセス系に対して最優先の調停となります*。</p> <p>【注】 * SH-4A からの例外／割り込み処理時（BL=1）での連続した最優先アクセスを行うことにより、表示系やオーディオデータ転送などのリアルタイム処理に影響を与える場合があります。</p>

1.4.5 グラフィックス部

項 目			説 明
最大動作クロック周波数	グラフィックエンジン動作		SHwy と同速および、半分のクロック (clks1) で混在動作 例： 177.77MHz/88.88MHz 混在 (533MHz モード時) 200.00MHz/100.00MHz 混在 (400MHz モード時)
	表示系最大内部動作		SHwy の半分のクロック (clks1) で動作 例： 88.88MHz (533MHz モード時) 100.00MHz (400MHz モード時)
動作クロック			ご採用のパッケージにより、最大周波数は変わります。 HPB 周波数 : clks1 の半分のクロックで動作 例： 44.44MHz (533MHz モード時) 50.00MHz (400MHz モード時) SHwy 周波数： 例： 177.77MHz (533MHz モード時) 200.00MHz (400MHz モード時)
グラフィックエンジン 基本機能 (2DG)	2D 機能	2DG	<ul style="list-style-type: none"> 描画機能 : 4 頂点面描画、多角形描画、線描画、高機能太線描画、アンチエイリアス処理、ラスタオペレーション/αブレンド付き BitBLT 色表現 : ソース : 1、8、16 ビット/画素、描画 : 8、16 ビット/画素 ワーク : 2 値 スクリーン座標 : X 方向 0~4095、Y 方向 0~4095
		R-GPVG 【注】 ご利用の際は、「1.5 製品型名」の対応する製品を採用してください。	<ul style="list-style-type: none"> オープンな 2D ベクタグラフィックス API である OpenVG に対応 メモリ上に描画サイズ 2048×2048 ドットのデータ作成可能 コマンド FIFO 方式

項 目	説 明
表示機能 (DU) 【注】 Vin0、1/DU/LCDC の4モジュールすべての 同時使用はバス性能 上できません (DDR600Mbpsで、お よそ同時3モジュール まで)。	推奨画面サイズ および合成面数 <ul style="list-style-type: none"> • WXGA (1280×768) まで設定可能 • 推奨画面サイズ: WVGA (832×496 ドット、32bit/pixel) (ただし Vin 不使用時) • 8 プレーン (α plane と共用) の合成が可能 拡張ビデオ表示 PAL/NTSC などのビデオ入力画像において、フィールド補間処理およびインタレース走査の重心合わせ処理を行い、ビデオ表示における画面ノイズを除去した表示が可能です。 CRT 走査方式 <ul style="list-style-type: none"> • ノンインタレース、インタレースシンク、インタレースシンク & ビデオ 外部同期 <ul style="list-style-type: none"> • マスタ、TV 同期 カラーパレット内蔵 26 万色中同時 256 色表示可能な 4 面のカラーパレット内蔵 デジタル RGB 出力 <ul style="list-style-type: none"> • 1 系統出力 • RGB 各 8 ビット精度 ブレンド比設定 ブレンド比ありカラーパレットの面数: 4 面 バッファサイズ 128 バイト×3 面 ドットクロック 外部入力、内部クロック切り替え可能 (分周率: 1~64 分周) 性能目安: SHwy 周波数の 2 分の 1 以下、もしくは、80MHz 以下のいずれか小さいほう。 例: SHwy=200MHz のとき、80MHz 以下
ビデオ入力 (VIN0) 【注】 DU 項の注意書き参 照。	入力インタフェース ITU-R BT.601、656、1358 インタフェース 水平方向スケーリング 9 タップマルチフェーズフィルタ使用 最大 2 倍まで 垂直方向スケーリング 線形補間によるスケーリング 最大 3 倍まで 入力フォーマット 8 ビット YC 形式の YUV422 16 ビット YC 形式の YUV422 18 ビット RGB666 出力フォーマット RGB-565、ARGB-1555、YUV420、YUV422 YC 分離 Y 成分と UV 成分に分離
ビデオ入力 (VIN1) 【注】 DU 項の注意書き参 照。	<ul style="list-style-type: none"> • ITU-R BT.656 インタフェース対応 • 水平/垂直方向への拡大 (最大 2 倍) ・縮小スケーリング機能 • キャプチャする画像データは YCbCr-422 データ • 出力フォーマットは、YCbCr-422 • 720 ピクセル×480 ラインのフィールド画像をキャプチャ可能

1.4.6 ビデオ

項 目	説 明
ビデオエンジンユニット (VEU3F)	<ul style="list-style-type: none"> • 1 チャンネル内蔵 • メモリ内の画像処理機能 <ul style="list-style-type: none"> – ビデオ画像処理機能 画像処理機能： <ul style="list-style-type: none"> 入力画像フォーマット：YCbCr、RGB 出力画像フォーマット：YCbCr、RGB 縮小・拡大画像生成フィルタ機能 YCbCr→RGB/RGB→YCbCr 変換機能 ディザ処理機能（RGB 減色時） – フィルタ処理機能 <ul style="list-style-type: none"> デブロッキングフィルタ メディアンフィルタ 高画質化 FIR フィルタ – ビデオ画像処理機能とフィルタ処理の複合動作機能

1.4.7 サウンドインタフェース

項目	説明
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none">• 4チャンネル内蔵• 多様なシリアルオーディオフォーマットをサポート• マスタ/スレーブ機能をサポート• プログラマブルワードクロック、ビットクロック生成機能• マルチチャンネルフォーマット機能• 8/16/18/20/22/24/32ビットデータフォーマットサポート
サンプリングレート コンバータ (SRC)	<ul style="list-style-type: none">• データ形式：ステレオ 32ビット (L/R 各 16ビット)、モノラル 16ビット• 入力サンプリングレート：8/11.025/12/16/22.05/24/32/44.1/48kHz• 出力サンプリングレート：44.1/48kHz

1.4.8 周辺モジュール

項目	説明
USB2.0 ホストインタフェース	<ul style="list-style-type: none"> • EHCI Ver1.0、OHCI Ver1.0a をサポート • 転送速度：ハイスピード、フルスピード、ロースピード • 2ポートあり、1ポートを USB2.0 ファンクションインタフェースと切り替えて使用可能
USB2.0 ファンクションインタフェース	<ul style="list-style-type: none"> • USB2.0 サポートの UDC (USB デバイスコントローラ) を内蔵 USB 標準コマンドを自動処理 (一部除く) Get Descriptor/Class/Vendor コマンドはマイコンファームウェア上で処理 • コントロール、バルク、インタラプト転送をサポート • 転送速度：ハイスピード、フルスピード
タイマユニット (TMU)	<ul style="list-style-type: none"> • 9 チャンネル搭載 • オートリロード方式の 32 ビットダウンカウンタを搭載 • インプットキャプチャ機能を搭載：チャンネル 2、5 • 外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ/立ち下がりエッジ選択可能 ：チャンネル 0、1、2、3、4、5 • 任意の時点で読み出し/書き込み可能なオートリロード用の 32 ビットタイマコンスタントレジスタおよび 32 ビットダウンカウンタを搭載 • 6 種類のカウンタ入カクロックを選択可能：チャンネル 0、1、2、3、4、5 外部クロック (TCLK)、5 種類の周辺クロック (clkp/4、clkp/16、clkp/64、clkp/256、clkp/1024) (ただし、clkp は周辺クロック) • 5 種類のカウンタ入カクロックを選択可能：チャンネル 6、7、8 5 種類の周辺クロック (clkp/4、clkp/16、clkp/64、clkp/256、clkp/1024) (ただし、clkp は周辺クロック) • 2 種類の割り込み要因 アンダフロー×1 要因 (各チャンネル)、 インプットキャプチャ×1 要因 (チャンネル 2、5)

項目	説明
マルチファンクションタイマ パルスユニット 2 (MTU2)	<ul style="list-style-type: none"> • 16 ビットタイマ 5 チャンネルをベースに最大 16 種類のパルス入出力が可能 • 18 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル/PWM/相補 PWM/リセット同期 PWM • 複数カウンタの同期化機能 • 相補 PWM 出力モード 3 相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWM デューティを 0~100%任意に設定可能 A/D 変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期 PWM モード 任意デューティの正相・逆相 PWM 波形を 3 相出力 • 位相計数モード 2 相エンコーダ計数処理が可能
I ² C バスインタフェース 3 (IIC3)	2 チャンネル <ul style="list-style-type: none"> • マスタモード/スレーブモード内蔵
シリアルペリフェラル インタフェース (HSPI)	1 チャンネル <ul style="list-style-type: none"> • マスタ/スレーブ機能 • 全二重通信可能 • プログラマブルデータレート
ルネサスシリアル ペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> • 1 チャンネル (SPI ブート可能) • SPI 動作 • マスタ/スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSB ファースト/LSB ファーストの選択可能 • 最大転送レート : 12.5Mbps (CPU=400MHz でフラッシュメモリ直結時)
ルネサスクワッドシリアル ペリフェラルインタフェース (RQSPI)	<ul style="list-style-type: none"> • 1 チャンネル • マルチ I/O (Single/Dual/Quad) 対応のシリアルフラッシュメモリと接続可能 • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSB ファースト/LSB ファーストの選択可能 • 最大転送レート : 50Mbps (CPU=400MHz でフラッシュメモリ直結時)

項 目	説 明
RCAN-TL1 (RCAN) 【注】 ご利用の際は、「1.5 製品型名」の対応する製品を採用してください。	<ul style="list-style-type: none"> • 2チャンネル搭載 • CAN規格 2.0B 対応 • ビットタイミングは ISO 11898-1 に準拠 • 32 メールボックス版 • プログラム可能な 31 の送受信メールボックス+1つの受信メールボックス • 消費電力低減用スリープモードおよび CAN のバス起動検知によるスリープモードからの自動復帰 • どのメールボックスにも対応したプログラマブル受信フィルタマスク (標準および拡張 ID) • 最大 1Mbps のプログラマブル CAN データレート • リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
シリアルコミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 6チャンネル搭載 (SCIF0~SCIF5) • 調歩同期式、クロック同期式モード • 調歩同期式シリアル通信 キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。 シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。 • データ長: 7 ビット、または 8 ビット • ストップビット長: 1 ビット、または 2 ビット • パリティ: 偶数パリティ、奇数パリティ、またはパリティなし • 受信エラーの検出: パリティエラー、フレーミングエラー、オーバランエラーを検出 • ブレークの検出: フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に Rxn 端子のレベルをシリアルポートレジスタ (SCSPTRn) から直接読み出すことによってもブレークを検出できます。 • クロック同期式シリアル通信 クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。 シリアルデータ通信フォーマットは 1 種類です。 • データ長: 8 ビット • 受信エラーの検出: オーバランエラーを検出 • 全二重通信が可能 <p>独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともに 16 段の FIFO バッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。</p>

項目	説明
シリアルコミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> ● 内蔵ボーレートジェネレータにより任意のビットレートを選択可能 また、送受信クロックソースを、LSI 内部クロックを基準に内蔵ボーレートジェネレータが供給するクロックか、または外部クロックから選択可能です。 ● 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK0、1、2 の外部クロックから選択可能（チャンネル 0、1、2 のみ） ● 8 種類の割り込み要因 送信 FIFO データエンプティ、ブレイク、受信 FIFO データフル、受信エラー、受信データレディ、送信終了、オーバランエラー、タイムアウトの 8 種類の割り込み要因があり、それぞれ独立に要求することができます。 ● 送信 FIFO データエンプティ時と受信 FIFO 内に受信データがあるとき、DMA 転送要求を出すことにより、DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。 ● 調歩同期モードにおいて、モデムコントロール機能 (RTS、CTS) を内蔵しています（チャンネル 0、1 のみ）。 ● 送受信 FIFO レジスタ内のデータ数および受信 FIFO レジスタ内の受信データの受信エラー数を知ることができます。 ● 調歩同期モード受信時、受信データレディ、タイムアウトエラー (DR、TO) を検出できます。
IrDA	SCIF-3ch と共に使用し、シリアルコミュニケーションインタフェースのデータフォーマットを、IrDA 赤外線通信用のデータフォーマットに変調および復調
高速シリアルコミュニケーション インタフェース (HSCIF)	<ul style="list-style-type: none"> ● 1 チャンネル搭載（全パッケージタイプ使用可能） ● 128 段 FIFO 内蔵 ● 調歩同期式モード対応
SD カードホストインタフェース (SDHI) 【注】 ご利用の際は、「1.5 製品 型名」の対応する製品を採用 してください。	<ul style="list-style-type: none"> ● 3 チャンネル搭載（内、1 チャンネルはブート用） ● SD メモリ / SDIO インタフェースに対応（1 ビット / 4 ビット SD バス） ● エラーチェック機能：CRC7（コマンド / レスポンス）、CRC16（データ） ● カード検出機能 ● ライトプロテクトサポート
MMC インタフェース (MMC)	<ul style="list-style-type: none"> ● MultiMedia Card (MMC) を制御 ● データバス：1 ビット / 4 ビット / 8 ビット ● エラーチェック機能：CRC7、CRC16 ● MMC モードに対応（SPI モード非対応） ● ブロック転送に対応（ストリーム転送非対応） ● マルチブロック転送時のブロックサイズ：512 バイト ● ストレージとしては MMC.4.3 のみ対応 ● MMC.4.4 のみブート可能

項 目	説 明
MOST Interface Module MediaLB (MIMLB)	Media Local Bus (MediaLB) <ul style="list-style-type: none"> • SMSC 社製 INIC と接続するための MediaLB に対応 (SMSC 社製モジュール (OS62400-Ver1.4) 搭載) • 3 ピンインタフェース • MediaLB Ver2.0 に準拠、50Mbps (max) のデータ転送が可能 • Stream 転送 (Synchronous 転送) CPU と MediaLB 間のデータ転送が可能 (最大 2 系統転送可能)。 • Packet 転送 (Asynchronous 転送) 送信 1 系統、受信 1 系統で、同時に転送可能。 • Control 転送 送信 1 系統、受信 1 系統で、同時に転送可能。 • DTCP 機能は非サポートです。 【注】 本モジュールは、clks1 に 66MHz を超えるクロックを供給する必要があります。 たとえば 400MHz モード (1) (2) で CPU=400MHz のときは、clks1=100MHz にてこれを満たします。
IEBus	<ul style="list-style-type: none"> • IEBus のプロトコル制御 (レイヤ 2) に対応 • 半二重非同期通信 • マルチマスタ方式 • 同報通信機能 • 伝送速度の異なる 2 種類のモードが選択可能 モード 0 : 約 4.1Kbps (6.29MHz 動作時)、最大伝送 16 バイト/フレーム モード 1 : 約 18Kbps (6.29MHz 動作時)、最大伝送 32 バイト/フレーム • データ送受信バッファ各 32 バイト内蔵 • モード 1 の最大伝送バイト数である 32 バイトまで連続送受信可能 • ドライバ/レシーバは外付け • IEBus : 6.29MHz

項 目	説 明
ギガビットイーサネット コントローラ (GETHER)	<ul style="list-style-type: none"> ● E-DMAC (イーサネット専用 DMAC) 機能 <ul style="list-style-type: none"> －GETHER と外部／内部メモリ間の転送可能 －32 バイトバースト転送可能 －1 フレーム／1 ディスクリプタ、1 フレーム／複数ディスクリプタ (マルチバッファ) 方式対応が可能 －転送データ幅：32 ビット －FIFO 搭載 (送信用：2K バイト、受信用：4K バイト) ● MAC (Media Access Control) 機能 <ul style="list-style-type: none"> －1 チャンネル内蔵 (GETHER) －データフレームの組み立て／分解 (IEEE802.3, 2000Edition 準拠フレーム形式) －転送レート可変：10/100/1000Mbps の各転送速度に対応 －全二重／半二重送受信に対応 －IEEE802.3x 準拠のフロー制御が可能。フロー制御用として自動／手動で PAUSE フレームを送信可能 －IEEE802.1Q (VLAN) 対応 －IEEE802.3 準拠 PHY インタフェース GMII (Gigabit Media Independent Interface)、MII (Media Independent Interface) および RMII (Reduced Media Independent Interface) サポート －上位プロトコルサポート (サムチェック) 機能
LCD コントローラ (LCDC) 【注】 DU 項の注意書き参照。	<ul style="list-style-type: none"> ● 16×1～1024×1024 ドットの表示サイズをサポート ● 4、8、15、16bpp カラーモードをサポート ● 1、2、4、6bpp グレイスケールモードをサポート ● TFT/DSTN/STN ディスプレイをサポート ● 信号極性を設定可能 ● 24 ビットカラーパレットメモリ (24 ビット中 R:5/G:6/B:5 として 16 ビットが有効) ● ユニファイドグラフィックメモリアーキテクチャ
ホストインタフェース (HIF)	<ul style="list-style-type: none"> ● 2K バイト×2 バンク：計 4K バイトのバッファ RAM 内蔵 ● バッファ RAM と外部デバイスは 16 本のデータ端子でパラレル接続 ● バッファ RAM と本 LSI の CPU とは内部バスでパラレル接続 ● 外部デバイスは、レジスタインデクス指定後に、所望のレジスタをアクセス可能 (ただし、バッファ RAM 連続アクセス時はアドレス自動更新可能) ● エンディアン切り替え可能 ● 外部デバイスに対して割り込み要求可能 ● 本 LSI の CPU に対して内部割り込み要求可能 ● 外部デバイスがバッファ RAM に命令コードをあらかじめ格納しておくことで、バッファ RAM からブート可能

項目	説明
NAND フラッシュメモリ コントローラ (FLCTL) (ブート可能。LBSC とのピンマルチ)	<ul style="list-style-type: none"> • NAND 型フラッシュメモリとの直結メモリインタフェース • セクタ単位の読み出し／書き込み • コマンドアクセスモードとセクタアクセスモードの 2 種類の転送モード • 割り込み要求、ダイレクトメモリアクセスコントローラ転送要求あり • 5 バイトアドレス (2G ビット超) のフラッシュメモリに対応
A/D 変換器 (ADC)	入力： <ul style="list-style-type: none"> • 8 チャンネル • 分解能：10 ビット • 外部トリガ／タイマトリガによる A/D 変換の起動が可能
ストリームインタフェース (STIF) 【注】 ご利用の際は、「1.5 製品 型名」の対応する製品を採用 してください。	<ul style="list-style-type: none"> • 2 チャンネルのポート。専用 DMAC である A-DMAC と連動。 • 各チャンネルごとにシリアルモード、パラレルモードを選択可能。 • MPEG2-TS 転送モード、MPEG-PS 転送モード。 • 各デバイスに対してプッシュ型転送／プル型転送をサポート。 • 各チャンネルごとに外部 VCO 制御用の PWM タイマ、およびその出力あり。 • 各チャンネル共通のストリームクロックアウト。各チャンネルごとのストリームクロックイン。
低消費電力モード 動作モード	<ul style="list-style-type: none"> • スリープモード • ソフトウェアスタンバイモード • モジュールスタンバイモード • ディープスタンバイモード HIFRAM (1 バンク 2K バイトのみ) を保持 RAM としたコア電源遮断。
ブート	<ul style="list-style-type: none"> • 各種ブートモードサポート <ul style="list-style-type: none"> —CS0 空間に接続されたメモリからブート —NAND フラッシュメモリからブート —シリアルフラッシュメモリからブート —MMC4.4 ブート (ブート用のみ。I/F モジュールは MMC4.3) —eSD ブート <ul style="list-style-type: none"> ・対応デバイス eSD (Embedded SD) Addendum Version 2.10 対応デバイス —HIF ブート
汎用 I/O (GPIO)	<ul style="list-style-type: none"> • 汎用 I/O ポート：171 ポート • GPIO 割り込みサポート

その他

JTAG	• DDR、USB 端子にはバウンダリスキャン機能を付加しません。
パッケージ	BGA440 (0.8mm ピッチ、21mm×21mm)

1.5 製品型名

SH7734 シリーズ型名 : R8A77343xAxxBx

Axx の部分は、有効機能により、バリエーションがあります。

当該機能を有効にするには、ソフトウェアによる設定が必要ですが、設定方法は一般開示しておりません。

納入仕様書の取り交わしにてご案内いたします。

STIF	RCAN	SDHI	R-GPVG	コード
0	0	0	0	A00
0	0	0	1	A01
0	0	1	0	A02
0	0	1	1	A03
0	1	0	0	A04
0	1	0	1	A05
0	1	1	0	A06
0	1	1	1	A07
1	0	0	0	A08
1	0	0	1	A09
1	0	1	0	A0A
1	0	1	1	A0B
1	1	0	0	A0C
1	1	0	1	A0D
1	1	1	0	A0E
1	1	1	1	A0F

1.6 電源電圧／温度範囲

電源電圧 : 3.3V±0.3V (3.3V IO)

1.15V~1.30V (Core)

1.8V±0.1V (DDR2-SDRAM IO)

1.5V±0.075V (DDR3-SDRAM IO)

温度範囲 : -40°C~85°C (広範囲温度品)

1.7 エリアマップ

図 1.2 に本 LSI の物理アドレス空間を示し、図 1.3～図 1.8 に LSI 内部のエリアマップを示します。エリア 6 はバスブリッジ内部でさらに 6 分割され、拡張エリアとして割り付けられます。エリア 7 は本バスブリッジ内部のレジスタ空間、内蔵モジュールのレジスタ空間として割り付けられます。

SH-4A の 29 ビットアドレスモード、32 ビットアドレスモード（拡張モード）の切り替えは、SH-4A の PASCRC（Physical Address Space Control Register）の SE ビットで 29 ビットモードから 32 ビットモード（拡張モード）へ切り替えが可能です。また、パワーオンリセットによる起動モードとして、29 ビットモードと 32 ビットモードの選択が可能です。

ただし、32 ビットアドレスモードから 29 ビットアドレスモードへの切り替えはできません。

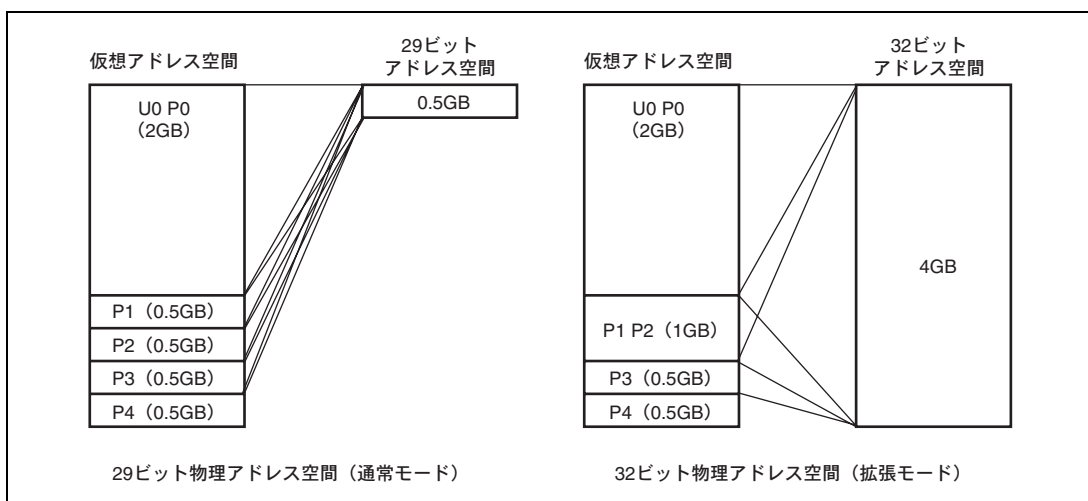


図 1.2 物理アドレス空間

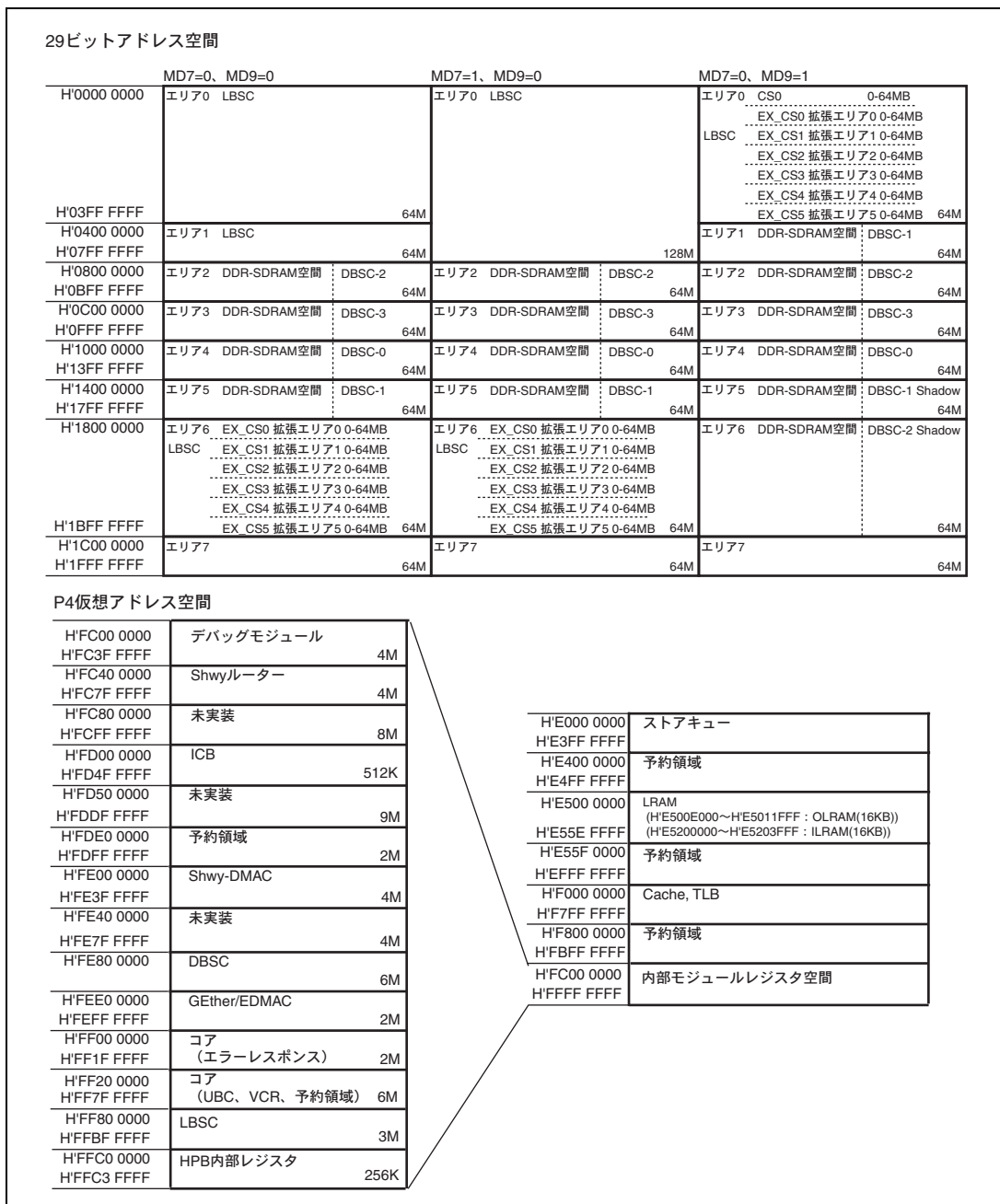


図 1.3 メモリマップ (29ビットアドレスモード時)

32ビットアドレス空間					
MD7=0, MD9=0		MD7=1, MD9=0		MD7=0, MD9=1	
H'0000 0000	エリア0 LBSC	エリア0 LBSC	エリア0 CS0 0-64MB EX_CS0 拡張エリア0 0-64MB LBSC EX_CS1 拡張エリア1 0-64MB EX_CS2 拡張エリア2 0-64MB EX_CS3 拡張エリア3 0-64MB EX_CS4 拡張エリア4 0-64MB EX_CS5 拡張エリア5 0-64MB	64M	64M
H'03FF FFFF				64M	64M
H'0400 0000	エリア1 LBSC		エリア1 DDR-SDRAM空間 DBSC-1	64M	64M
H'07FF FFFF				64M	64M
H'0800 0000	エリア2 DDR-SDRAM空間 DBSC-2	エリア2 DDR-SDRAM空間 DBSC-2	エリア2 DDR-SDRAM空間 DBSC-2	64M	64M
H'0BFF FFFF				64M	64M
H'0C00 0000	エリア3 DDR-SDRAM空間 DBSC-3	エリア3 DDR-SDRAM空間 DBSC-3	エリア3 DDR-SDRAM空間 DBSC-3	64M	64M
H'0FFF FFFF				64M	64M
H'1000 0000	エリア4 DDR-SDRAM空間 DBSC-0	エリア4 DDR-SDRAM空間 DBSC-0	エリア4 DDR-SDRAM空間 DBSC-0	64M	64M
H'13FF FFFF				64M	64M
H'1400 0000	エリア5 DDR-SDRAM空間 DBSC-1	エリア5 DDR-SDRAM空間 DBSC-1	エリア5 DDR-SDRAM空間 DBSC-1 Shadow	64M	64M
H'17FF FFFF				64M	64M
H'1800 0000	エリア6 EX_CS0 拡張エリア0 0-64MB LBSC EX_CS1 拡張エリア1 0-64MB EX_CS2 拡張エリア2 0-64MB EX_CS3 拡張エリア3 0-64MB EX_CS4 拡張エリア4 0-64MB EX_CS5 拡張エリア5 0-64MB	エリア6 EX_CS0 拡張エリア0 0-64MB LBSC EX_CS1 拡張エリア1 0-64MB EX_CS2 拡張エリア2 0-64MB EX_CS3 拡張エリア3 0-64MB EX_CS4 拡張エリア4 0-64MB EX_CS5 拡張エリア5 0-64MB	エリア6 DDR-SDRAM空間 DBSC-2 Shadow	64M	64M
H'1BFF FFFF				64M	64M
H'1C00 0000	未実装	未実装	未実装	未実装	未実装
H'1FFF FFFF				64M	64M
H'2000 0000	未実装	未実装	未実装	未実装	未実装
H'3FFF FFFF				512M	512M
H'4000 0000	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M
H'47FF FFFF	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M
H'4800 0000	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M
H'4FFF FFFF	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M
H'5000 0000	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M
H'57FF FFFF	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M
H'5800 0000	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M
H'5FFF FFFF	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M
H'6000 0000	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M
H'67FF FFFF	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M
H'6800 0000	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M
H'6FFF FFFF	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M
H'7000 0000	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M	DBSC-0 Shadow 64M
H'77FF FFFF	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M	DBSC-1 Shadow 64M
H'7800 0000	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M	DBSC-2 Shadow 64M
H'7FFF FFFF	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M	DBSC-3 Shadow 64M
H'8000 0000	未実装	未実装	未実装	未実装	未実装
H'9FFF FFFF				512M	512M
H'A000 0000	未実装	未実装	未実装	未実装	未実装
H'BFFF FFFF				512M	512M
H'C000 0000	未実装	未実装	未実装	未実装	未実装
H'DFFF FFFF				512M	512M
H'E000 0000					
H'FC00 0000	内蔵モジュール レジスタ空間	内蔵モジュール レジスタ空間	内蔵モジュール レジスタ空間	448M	448M
H'FFFF FFFF				64M	64M

図 1.4 メモリマップ (1) (32ビットアドレスモード時)

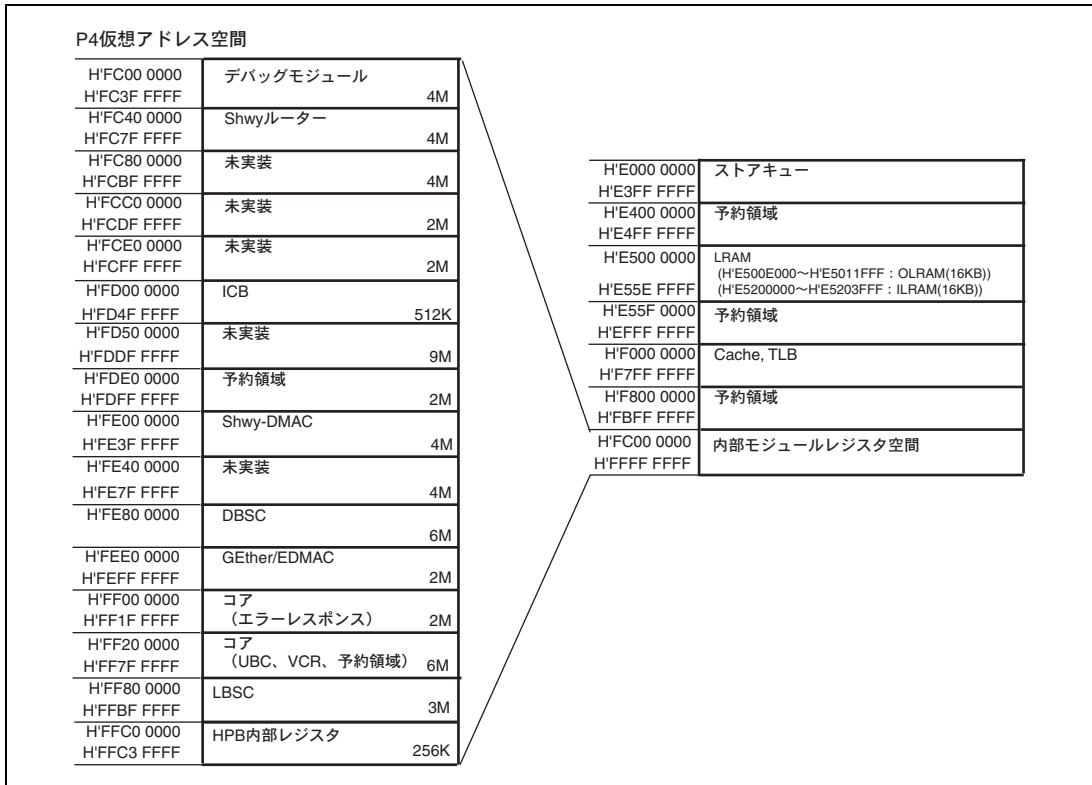


図 1.5 メモリマップ (2) (32 ビットアドレスモード時)

H'FD00 0000	未実装	1152K
H'FD11 FFFF		
H'FD12 0000	VEU3F	16K
H'FD12 3FFF		
H'FD12 4000	未実装	176K
H'FD14 FFFF		
H'FD15 0000	LMB	64K
H'FD15 FFFF		
H'FD16 0000	未実装	2688K
H'FD3F FFFF		
H'FD40 0000	ICB control	512K
H'FD47 FFFF		
H'FD48 0000	未実装	512K
H'FD4F FFFF		

図 1.6 メモリマップ ICB レジスタ空間

H'FF80 0000	VCR/システム関連レジスタ	512
H'FF80 01FF		
H'FF80 0200	BSC内部レジスタ	
H'FF80 04FF		768
H'FF80 0500	未実装	
H'FF80 0FFF		2816
H'FF80 1000	DMAC	
H'FF80 1FFF		4K
H'FF80 2000	INTC	
H'FF80 3FFF		8K
H'FF80 4000	INTC2	
H'FF80 5FFF		8K
H'FF80 6000	未実装	
H'FF81 FFFF		104K
H'FF82 0000	HIF-RAM	
H'FF82 FFFF		64K
H'FF83 0000	HIF(REG)	
H'FF83 FFFF		64K
H'FF84 0000	予約領域	
H'FF87 FFFF		192K
H'FF88 0000	ADMAC	
H'FF88 1FFF		8K
H'FF88 2000	未実装	
H'FF8F FFFF		504K
H'FF90 0000	LBSC予約領域	
H'FFBF FFFF		3M

図 1.7 メモリマップ LBSC レジスタ空間

H'FFC0 0000	HPB内部レジスタ		H'FFE4 8000	HSCIF0	4K
H'FFC3 FFFF		256K	H'FFE4 9000	未実装	12K
H'FFC4 0000	GPIO0	4K	H'FFE4 C000	SDHI0	4K
H'FFC4 1000	GPIO1	4K	H'FFE4 D000	SDHI1	4K
H'FFC4 2000	GPIO2	4K	H'FFE4 E000	SDHI2	4K
H'FFC4 3000	GPIO3	4K	H'FFE4 F000	MMCIF(4.3)	4K
H'FFC4 4000	GPIO4	4K	H'FFE5 0000	未実装	64K
H'FFC4 5000	GPIO5	4K	H'FFE6 0000	USBF	64K
H'FFC4 6000	未実装	40K	H'FFE7 0000	USBH	64K
H'FFC5 0000	VIN0	4K	H'FFE8 0000	2DG	128K
H'FFC5 1000	VIN1	4K	H'FFEA 0000	未実装	256K
H'FFC5 2000	V1B	4K	H'FFEE 0000	STIF0	32K
H'FFC5 3000	未実装	52K	H'FFEE 8000	STIF1	32K
H'FFC6 0000	LCDC	64K	H'FFEF 0000	未実装	192K
H'FFC7 0000	IIC3(ch0)	4K	H'FFF2 0000	SRC0	64K
H'FFC7 1000	IIC3(ch1)	4K	H'FFF3 0000	SRC1	64K
H'FFC7 2000	未実装	50K	H'FFF4 0000	未実装	256K
H'FFC7 F000	PMG	4K	H'FFF8 0000	DU	256K
H'FFC8 0000	CPG	256K	H'FFFC 0000	PFC	4K
H'FFCC 0000	RESET/WDT	256K	H'FFFC 1000	未実装	4K
H'FFD0 0000	未実装	512K	H'FFFC 2000	RSPI	4K
H'FFD8 0000	TMU0、1、2	4K	H'FFFC 3000	RQSPI	4K
H'FFD8 1000	TMU3、4、5	4K	H'FFFC 4000	未実装	4K
H'FFD8 2000	TMU6、7、8	4K	H'FFFC 5000	RTC	4K
H'FFD8 3000	未実装	8K	H'FFFC 6000	MTU2	4K
H'FFD8 5000	MIMLB	4K	H'FFFC 7000	HSPIO	4K
H'FFD8 6000	未実装	488K	H'FFFC 8000	未実装	4K
H'FFE0 0000	SSI0	64K	H'FFFC 9000	IEBus	4K
H'FFE1 0000	SSI1	64K	H'FFFC A000	FLCTL	4K
H'FFE2 0000	SSI2	64K	H'FFFC B000	ADC	4K
H'FFE3 0000	SSI3	64K	H'FFFC C000	未実装	16K
H'FFE4 0000	SCIF0	4K	H'FFFD 0000	RCAN0	4K
H'FFE4 1000	SCIF1	4K	H'FFFD 1000	RCAN1	4K
H'FFE4 2000	SCIF2	4K	H'FFFD 2000	未実装	56K
H'FFE4 3000	SCIF3	4K	H'FFFE 0000	SSS	4K
H'FFE4 4000	SCIF4	4K	H'FFFE 1000	未実装	
H'FFE4 5000	SCIF5	4K	H'FFFF FFFF		124K
H'FFE4 6000	未実装	8K			

図 1.8 メモリマップ HPB レジスタ空間

1.7.1 メモリアクセス、レジスタアクセス

Unified Memory (DDR-SDRAM) へのアクセス

UM は CPU、表示、描画、各周辺モジュールの共通エリアです。UM へのデータ格納はそのデータ配列が CPU のエンディアンモードと一致するように実施されます。

CPU がビッグエンディアンモードならば UM バスの上位側から下位側に向かってアドレスが増加するようにバイト、ワード、ロングワードデータを配置します。

CPU がリトルエンディアンモードならば UM バスの下位側から上位側に向かってアドレスが増加するようにバイト、ワード、ロングワードデータを配置します。

表示、描画の各ユニットはリトルエンディアンで動作するので、これらのユニットにビッグエンディアンデータを与える場合は、変換のためのサポート機能を使用するなどしてソフトウェア管理した上で変換してください。

リニアタイル変換は行いません。

1.7.2 レジスタへのアクセス

エリア7空間にすべてのレジスタアクセス空間が割り当てられています。この空間には、画像転送設定用のレジスタなどがあり、その設定によりデータは色空間変換などを経て最終的に UM へストアされます。このときの UM 上の配置について、エンディアン変換のためのサポート機能があります。エンディアン変換が必要な場合には、この機能を使用するなどしてソフトウェア管理した上で変換してください。

1.8 ダイレクトメモリアクセスコントローラ

本 LSI は LBSC 内に 3 チャンネルの外部リクエスト付き DMAC、HPB バスモジュール専用に 28 チャンネルの DMAC、さらに SuperHyway 上に外部メモリ間用の DMAC (SHwy-DMAC) を 2 チャンネル内蔵しています。

DMAC を使うと CPU の負担を減らすことができます。

(1) LBSC-DMAC、HPB-DMAC

「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照してください。

(2) SHwy-DMAC

「第 5 章 ダイレクトメモリアクセスコントローラ (SHwy-DMAC)」を参照してください。

1.9 割り込みコントローラ

- SH4互換のダイレクトジャンプ方式による割り込みコントローラです。
- 5本の独立した外部割り込み：NMI、IRQ3～IRQ0やGPIO割り込みを外部から受け付けます。
- 15レベルの符号化した外部割り込み可能：IRL3～IRL0
- 内蔵周辺割り込み：モジュールごとに優先レベルを設定
- 内蔵周辺機能ブロックの割り込み詳細要因をINTC内部レジスタに表示。
- INTEVTコードに対する詳細要因表示レジスタを一元化

詳細は、「第 7 章 割り込みコントローラ (INTC、INTC2)」を参照してください。

1.10 データフォーマット

本 LSI の CPU コアである SH-4A はビッグ／リトルの両エンディアンをサポートしています。この切り替えは PRESET#端子によるパワーオンリセット時に外部端子（MD8）で設定します。

表 1.2 に各モジュールにおけるデータアライメントの変換を示します。詳細は各モジュールの章を参照してください。

表 1.2 各モジュールでのデータアライメント変換

モジュール／内部のエンディアン	エンディアン変更方法	備考
SH-4A	－	MD8 端子連動
SHwy-DMAC	－	MD8 端子連動
DBSC3	－	MD8 端子連動
LBSC	－	MD8 端子連動
LBSC-DMAC	ビッグ	<ul style="list-style-type: none"> • SHwy 接続側 MD8 端子連動／レジスタ設定 • LBSC 接続側 レジスタ設定
		<ul style="list-style-type: none"> • SHwy 接続側 MD8 非連動でレジスタ設定可能 初期値：エンディアンに応じた データアライメント変換モード • LBSC 接続側 初期値：データ変換しない
HPB	ビッグ	MD8 端子連動
HPB-DMAC	ビッグ	<ul style="list-style-type: none"> • SHwy 接続側 MD8 端子連動／レジスタ設定
		<ul style="list-style-type: none"> • SHwy 接続側 MD8 非連動でレジスタ設定可能 初期値：エンディアンに応じた データアライメント変換モード
VIN0	リトル	レジスタ設定
VIN1	リトル	レジスタ設定
DU	リトル	レジスタ設定
R-GPVG	リトル	レジスタ設定
2DG	リトル	レジスタ設定

1.11 レジスタ一覧

各モジュール仕様書に記載があります。

各モジュール仕様書に記載がないレジスタについて以下に記載します。

1.11.1 プロセッサバージョンレジスタ (PVR) (H'FF000030 に配置)

コアに対するバージョン情報を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値:	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								Reserved							
初期値:	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[31:24]: CHIP=本 LSI は H'10

[23:16]: VER=本 LSI は H'30

[15:8]: CUT=本 LSI は H'0B

[7:0]: リザーブ

1.12 初期状態、端子の状態

1.12.1 レジスタ初期値

各章のレジスタ説明を参照してください。

1.12.2 端子の状態

端子の状態につきましては「1.16 ピン機能表」を参照してください。

1.13 処理状態

処理状態にはリセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。

1.13.1 リセット状態

パワーオンリセット、もしくはマニュアルリセットによりCPUがリセットされている状態です。パワーオンリセットとマニュアルリセットの要因は下記のようになります。

パワーオンリセットの要因

- (a) PRESET#端子からローレベルを入力した場合
- (b) WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが0の状態、WDTCNTがオーバフローした場合
- (c) H-UDIリセットが発生した場合

マニュアルリセットの要因

- (d) SRのBLビットが1のときユーザブレイクを除く一般例外が発生した場合
- (e) WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが1の状態、WDTCNTがオーバフローした場合

リセット時の動作は下記のようになります。

(1) パワーオンリセット時の動作

本LSI搭載の全モジュールが初期化されます。ただし、CPGモジュールのレジスタに関しては、PRESET#端子要因とWDT(上記(a)、(b))によるパワーオンリセットで初期化され、RESET、WDTモジュールのレジスタに関しては、PRESET#端子要因(上記(a))によるパワーオンリセットでのみ初期化されます。また、各モジュールのレジスタにはリセットにて初期化されないレジスタが存在するものがあります。詳しくは、各章のレジスタの状態の説明を参照してください。

(2) マニュアルリセット時の動作

マニュアルリセットでは基本的に初期化を行いますが、クロック、リセット、およびピンマルチ設定などは保持されます。また、SDRAMのリフレッシュ動作は継続しています。詳しくは、各章のレジスタの状態の説明を参照してください。

(3) 表示リセット(表示制御(DU)モジュールの表示制御レジスタ(DSYSR)のDRESビット)時の動作

表示制御が停止します。本リセットは表示制御レジスタ(DSYSR)のDENビットとの組み合わせで表示動作を行ったり、停止させたりさせます。レジスタ値は初期化されません。

- (4) HSPI モジュールリセット (HSPI モジュールのコントロールレジスタ (SPCR) の FBS または CLKP、IDIV、CLKC ビットとシステムコントロールレジスタ (SPSCR) の FFEN または LMSB、CSA、MASL ビットのいずれかが変更された場合) の動作

ソフトリセットにより、HSPI モジュールを決められた状態に戻し、受信と送信 FIFO ポインタを初期化することができます。SPCR と SPSCR の割り込み/DMA イネーブルビットとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。

HSPI がスレーブモード時にマスタデバイスがデータ転送中の場合を除いて HSPI_CS#をローレベルにする場合、ソフトリセット後に CS を設定し直してください。これにより、データの誤った受信を防ぐことができます。

- (5) LBSC-DMAC/HPB-DMAC リセット (LBSC-DMAC/HPB-DMAC のソフトリセットレジスタ (LSRSTR0-2、HSRSTR0-28) の SRST ビット) 時の動作

DMA 転送状態にかかわらず、SRST ビットが'1'ライトにより DMAC モジュールをリセットします。リセット範囲は、パワーオンリセット、マニュアルリセットと同様です。

ソフトリセットはシステムデバッグ時などで DMA 動作が行われていないときの実施を想定しています。

動作中の停止は、ソフトリセットでは行わず、強制停止や一時停止指定を行ってください。

また、チャンネル共通レジスタ (DMA 転送終了割り込み表示レジスタ (DINTSR)、DMA 転送終了割り込みイネーブルレジスタ (DINTMR)) は、ソフトリセット発行チャンネル該当ビットのみ初期化されます。

1.13.2 例外処理状態

例外処理とは、リセット、一般例外、割り込みの例外要因によって、通常とは異なるプログラムで必要な処理を行うことです。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 種類に分類されます。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR) に、R15 を退避ジェネラルレジスタ 15 (SGR) に退避します。

ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外処理ルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第 2 章 SH-4A」の「2.5 例外処理」を参照してください。

1.13.3 プログラム実行状態

CPU が順次プログラムを実行している状態です。

1.13.4 低消費電力状態

本 LSI の低消費電力状態にはスリープモード、モジュールスタンバイモード（主要モジュールの供給クロックを停止します）、ソフトウェアスタンバイモード、ディープスタンバイモード、SDRAM 電源バックアップモードがあります。

スリープモード、モジュールスタンバイモード、ソフトウェアスタンバイモード、ディープスタンバイモードの詳細は「第 9 章 動作モード、低消費電力モード」を参照してください。

SDRAM 電源バックアップモードの詳細は「第 4 章 メモリコントローラ (DBSC3)」を参照してください。

1.14 端子の設定

TEST1、TEST2、MPMD、BSMODE 端子は固定値を入力してください。電源投入後に固定値を変更することは不可です。また、MD0～15 端子の値は、PRESET#端子によるパワーオンリセット時に本 LSI に取り込まれます。パワーオンリセット後は他の機能に切り替わります。

TEST2	TEST1	テストモード切り替え
0	0	通常モード
0	1	設定禁止
1	0	設定禁止
1	1	設定禁止

MPMD	BSMODE	JTAG 端子モード切り替え
0	0	エミュレーションモード
0	1	設定禁止
1	0	通常モード
1	1	バウンダリスキャンモード (PRESET#=Low レベル時の端子 IO 制御が無効)

MD0	自走モード/ステップアップモード
0	自走モード
1	ステップアップモード

MD2	MD1	クロックモード
0	0	400MHz モード (2) (DDR2-400)
0	1	533MHz モード (DDR2-533)
1	0	400MHz モード (1) (DDR2/3-600)
1	1	設定禁止

MD4	MD3	外部バスクロックの周波数設定
0	0	通常モード
0	1	設定禁止
1	0	設定禁止
1	1	設定禁止

MD6	MD5	EXBUS エリア 0 データバス幅
0	0	設定禁止
0	1	8 ビットバス
1	0	16 ビットバス
1	1	設定禁止

MD9	MD7	エリア分割
0	0	エリア 0 64MB、エリア 2~5 DDR モード
0	1	エリア 0 128MB、エリア 2~5 DDR モード
1	0	エリア 0 64MB、エリア 1~6 DDR モード
1	1	設定禁止

MD8	ビッグ/リトルエンディアン
0	ビッグエンディアン
1	リトルエンディアン

MD10	EXTAL/XTAL 端子設定
0	EXTAL 端子に外部クロックを入力します。
1	EXTAL/XTAL 端子に水晶発振子を接続します。

MD12	MD11	PLL 選倍率
0	0	× 12
0	1	× 16
1	0	× 24
1	1	× 32

MD13	29/32 ビットアドレスモード
0	29 ビットモード
1	32 ビットモード

MD15	PLL フィードバック経路選択
0	通常モード
1	設定禁止

MD19	MD14	MD18	MD17	MD16	ブートモード
0	0	0	0	0	CS0ブート (NORフラッシュなど)
0	0	0	0	1	設定禁止
0	0	0	1	0	NANDフラッシュブート (SLC)
0	0	0	1	1	シリアルブート
0	0	1	0	0	設定禁止
0	0	1	0	1	設定禁止
0	0	1	1	0	設定禁止
0	0	1	1	1	設定禁止
0	1	0	0	0	MMCブート
0	1	0	0	1	設定禁止
0	1	0	1	0	eSDブート
0	1	0	1	1	設定禁止
0	1	1	0	0	設定禁止
0	1	1	0	1	設定禁止
0	1	1	1	0	設定禁止
0	1	1	1	1	設定禁止
1	X	X	X	X	HIFブート

1.15 ピン配置

A	VSS	VSS	VDD-DDR	MBPFRST#	MA5	MA5	VDD-DDR	MA2	MA2	MA3	MA11	MA6	VDD-DDR	IM4	VDD-DDR	MC26	VDD-DDR	MC01	VDD-DDR	MC14	VDD-DDR	MC013	VDD-DDR	VSS	VSS	A
B	RTC_X2	VSS	VDD-DDR	VDD-DDR	MA7	MA9	MA2	MA3	MA11	MA6	MA8	VDD-DDR	IM4	VDD-DDR	MC26	VDD-DDR	MC01	VDD-DDR	MC14	VDD-DDR	MC013	VDD-DDR	VSS	VSS	XTAL	B
C	RTC_X1	VSS	VSS	VDD-DDR	MRESET#	MB40	VSS	MA0	MCASH	VSS	MC06F	VSS	MC06E	VSS	MC06F	VSS	MC06E	VSS	MC06F	VSS	MC06E	VSS	VSS	VSS	EXTAL	C
D	VSS	VSS	VSS	VDD-DDR	MZ0	MB42	MWB1	MRA3F	MA10	MC56	MDD7	MC04	MC036	VDD-DDR	MC00	MC036	VDD-DDR	MC00	MC036	VDD-DDR	MC00	MC036	VDD-DDR	VSS	VSS	D
E	PRESET#	VSS	BIMODE	VSS	VDD-DDR	VDD-DDR	VSS	VSS	IMPREFCA	VDD-DDR	VDD	VDD-PULL	VSS	VDD	VDD-DDR	VSS	IMPREF00	VDD-DDR	VSS	VSS	VSS	VSS	VSS	VSS	E	
F	VSS	TEST2	VCC0	VSS																					F	
G	TCK	TDO	PP1P1	DUP1	TM6	VCC0																			G	
H	CLKOUT	TRST#	TDI	VSS	VSS																				H	
J	D6	D4	D0	D0	VDD	VDD	VDD																		J	
K	D6	D4	D0	D0	VDD	VDD	VDD																		K	
L	D9	D8	D7	D6	VCC0																				L	
M	D13	D12	D11	D10	VSS																				M	
N	A1	A0	D15	D14	VSS																				N	
P	A5	A4	A3	A2	VSS																				P	
R	A6	A6	A6	A7	VDD																				R	
T	A10	A11	A12	BS#	VDD																				T	
U	A13	A14	A15	A16	VSS																				U	
V	A17	CS#F	A18	A20	VSS																				V	
W	CS#F	A19	A22	A26	VCC0																				W	
Y	A21	A23	TX0.A	EX_CS#F	VCC0																				Y	
AA	A24	RDP	RDWR#	EX_CS#F	VSS	VSS	VCC0	VCC0	VDD	VSS	VCC0	VSS	VCC0	VSS	VCC0	VSS	VCC0	VSS	VCC0	VSS	VCC0	VSS	VSS	VSS	AA	
AB	WE#F	WE#F	EX_WAIT0	VSS	DBE20	ACTS#F.A	DBE01	SC#0.A	HSC#0.A	HRTS#0.A	NMI	AN5	AN4	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AB	
AC	EX_CS#F	EX_CS#F	EX_WAIT1	DBAC#0	IR#2.A	SC#F	CLK.A	EX_C#F#	RTS#F.B	HR#0.A	CAN1_RX.A	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AC	
AD	VCC0	VSS	DBAC#0	IR#2.A	DBCK1	IR#2.A	DBCK1	IR#2.A	IR#2.A	HT#0.A	CAN1_TX.A	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AD	
AE	VSS	EX_CS#F	EX_WAIT2	REF#ACK	REF#ACK	R#0.A	CTS#F.B	TX1.B	SCK1.B	TX1.B	CAN0_TX.A	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AN5	AE	

図 1.9 ピン配置図 (BGA440)

1.16 ピン機能表

1.16.1 BGA440 対応端子特性

表 1.3 端子特性 (BGA440)

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
MCK0	×		—	—	—	—
MCK0#	×		—	—	—	—
MCKE	×		—	—	—	—
MCS#	×		—	—	—	—
MWE#	×		—	—	—	—
MRAS#	×		—	—	—	—
MCAS#	×		—	—	—	—
MA0	×		—	—	—	—
MA1	×		—	—	—	—
MA2	×		—	—	—	—
MA3	×		—	—	—	—
MA4	×		—	—	—	—
MA5	×		—	—	—	—
MA6	×		—	—	—	—
MA7	×		—	—	—	—
MA8	×		—	—	—	—
MA9	×		—	—	—	—
MA10	×		—	—	—	—
MA11	×		—	—	—	—
MA12	×		—	—	—	—
MA13	×		—	—	—	—
MBA0	×		—	—	—	—
MBA1	×		—	—	—	—
MBA2	×		—	—	—	—
MDQ0	×		—	—	—	—
MDQ1	×		—	—	—	—
MDQ2	×		—	—	—	—
MDQ3	×		—	—	—	—
MDQ4	×		—	—	—	—
MDQ5	×		—	—	—	—
MDQ6	×		—	—	—	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
MDQ7	×		—	—	—	—
MDQ8	×		—	—	—	—
MDQ9	×		—	—	—	—
MDQ10	×		—	—	—	—
MDQ11	×		—	—	—	—
MDQ12	×		—	—	—	—
MDQ13	×		—	—	—	—
MDQ14	×		—	—	—	—
MDQ15	×		—	—	—	—
MDQS0	×		—	—	—	—
MDQS0#	×		—	—	—	—
MDQS1	×		—	—	—	—
MDQS1#	×		—	—	—	—
MDM0	×		—	—	—	—
MDM1	×		—	—	—	—
MODT	×		—	—	—	—
MBKPRST#	×		—	—	—	—
MZQ	×		—	—	—	—
MVREFDQ	×		—	—	—	—
MVREFCA	×		—	—	—	—
MRESET#	×		—	—	—	—
SDBUP	×		—	—	—	—
SDSELF	○		6mA	—	pull-up*	—
TEST1	×		—	—	—	—
TEST2	×		—	—	—	—
BSMODE	×		—	—	—	—
EXTAL	×		—	—	—	—
XTAL	×		—	—	—	—
PRESET#	×		—	—	—	—
PRESETOUT#	○	GP0[21]	6/8mA	TSIF で独立	*	—
A0	○	GP0[22]	6mA	—	*	—
A1	○	GP0[23]	6mA	—	*	—
A2	○	GP0[24]	6mA	—	*	—
A3	○	GP0[4]	6mA	—	*	—
A4	○	GP0[5]	6mA	—	*	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 番号
A5	○	GP0[6]	6mA	—	*	MD18
A6	○	GP0[7]	6mA	—	*	MD19
A7	○	GP0[8]	6mA	—	*	MD0
A8	○	GP0[9]	6mA	—	*	MD1
A9	○	GP0[10]	6mA	—	*	MD2
A10	○	GP0[11]	6mA	—	*	MD3
A11	○	GP0[12]	6mA	—	*	MD4
A12	○	GP0[13]	6mA	—	*	MD5
A13	○	GP0[14]	6mA	—	*	MD6
A14	○	GP0[15]	6mA	—	*	MD7
A15	○	GP0[16]	6mA	—	*	MD8
A16	○	GP0[17]	6mA	—	*	MD9
A17	○	GP0[18]	6mA	—	*	MD11
A18	○	GP0[19]	6mA	—	*	MD12
A19	○	GP0[20]	6mA	—	*	MD13
A20	○	GP0[0]	6mA	—	*	—
A21	○	GP0[1]	6mA	—	*	—
A22	○	GP0[2]	6mA	—	*	—
A23	○	GP0[3]	6mA	—	*	—
A24	○	GP0[25]	6mA	—	*	MD14
A25	○	GP0[26]	6mA	—	*	MD15
D0	○	GP0[27]	6mA	—	*	—
D1	○	GP0[28]	6mA	—	*	—
D2	○	GP0[29]	6mA	—	*	—
D3	○	GP0[30]	6mA	—	*	—
D4	○	GP0[31]	6mA	—	*	—
D5	○	GP1[25]	6mA	—	*	—
D6	○	GP1[28]	6mA	—	*	—
D7	○	GP1[29]	6mA	—	*	—
D8	○	GP1[30]	6/8mA	Gr#B	*	—
D9	○	GP1[4]	6/8mA	Gr#B	*	—
D10	○	GP1[5]	6/8mA	Gr#B	*	—
D11	○	GP1[6]	6/8mA	Gr#B	*	—
D12	○	GP1[7]	6/8mA	Gr#B	*	—
D13	○	GP1[8]	6/8mA	Gr#B	*	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. - : no pull-ups.)	モード 信号
D14	○	GP1[9]	6mA	—	*	—
D15	○	GP1[10]	6mA	—	*	—
CLKOUT	○	GP1[11]	6mA	—	*	—
BS#	○	GP1[12]	6mA	—	*	—
CS0#	○	GP1[13]	6mA	—	*	—
CS1#/A26	○	GP1[14]	6mA	—	*	—
EX_CS0#	○	GP1[15]	6mA	—	pull-up*	—
EX_CS1#	○	GP1[16]	6/8mA	Gr#COM	pull-up*	—
EX_CS2#	○	GP1[17]	6/8mA	Gr#A	pull-up*	—
EX_CS3#	○	GP1[18]	6/8mA	Gr#A	*	MD16
EX_CS4#	○	GP1[19]	6/8mA	Gr#A	*	MD17
EX_CS5#	○	GP1[20]	6/8mA	Gr#A	pull-up*	—
RD#	○	GP1[21]	6mA	—	*	—
RD/WR#	○	GP1[22]	6/8mA	Gr#COM	pull-up*	—
WE0#	○	GP1[23]	6mA	—	*	—
WE1#	○	GP1[24]	6mA	—	*	—
EX_WAIT0	○	GP1[0]	6mA	—	*	—
EX_WAIT1	○	GP1[26]	6/8mA	Gr#A	pull-up*	—
EX_WAIT2	○	GP1[27]	6/8mA	Gr#A	pull-up*	—
DRACK0	○	GP1[1]	6/8mA	Gr#COM	pull-up*	—
DREQ0	○	GP1[2]	6/8mA	Gr#COM	pull-up*	—
DACK0	○	GP1[3]	6/8mA	Gr#COM	*	—
DREQ1	○	GP1[31]	6mA	—	pull-up*	—
DACK1	○	GP2[5]	6mA	—	pull-up*	—
TRST#	×		—	—	pull-up*	—
TCK	×		—	—	pull-up*	—
TMS	×		—	—	pull-up*	—
TDI	×		—	—	pull-up*	—
TDO	×		6mA	—	*	—
MPMD	×		—	—	—	—
ASEBRK#/ACK	×		6mA	—	pull-up*	—
NMI	×		—	—	—	—
IRQ0_A	○	GP2[6]	6mA	—	pull-up*	—
IRQ1_A	○	GP2[7]	6mA	—	pull-up*	—
IRQ2_A	○	GP2[9]	6mA	—	pull-up*	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
IRQ3_A	○	GP2[4]	6mA	—	pull-up*	—
SCIF_CLK_A	○	GP2[0]	6mA	—	pull-up*	—
SCK0_A	○	GP2[1]	6mA	—	pull-up*	—
RX0_A	○	GP2[2]	6mA	—	pull-up*	—
TX0_A	○	GP2[8]	6mA	—	*	MD10
HCTS0#_A	○	GP2[3]	6mA	—	pull-up*	—
HRTS0#_A	○	GP2[10]	6mA	—	pull-up*	—
HSCK0_A	○	GP2[11]	6mA	—	pull-up*	—
HRX0_A	○	GP2[12]	6mA	—	pull-up*	—
HTX0_A	○	GP2[13]	6mA	—	pull-up*	—
CTS0#_B	○	GP2[14]	6mA	—	pull-up*	—
RTS0#_B	○	GP2[15]	6mA	—	pull-up*	—
SCK1_B	○	GP2[16]	6mA	—	pull-up*	—
RX1_B	○	GP2[17]	6mA	—	pull-up*	—
TX1_B	○	GP2[18]	6mA	—	pull-up*	—
CTS1#_B	○	GP2[19]	6mA	—	pull-up*	—
RTS1#_B	○	GP2[20]	6mA	—	pull-up*	—
SCK2_A	○	GP2[21]	6mA	—	pull-up*	—
SD2_CLK_A	○	GP2[22]	6mA	—	pull-up*	—
SD2_CMD_A	○	GP2[23]	6mA	—	pull-up*	—
SD2_DAT0_A	○	GP2[24]	6mA	—	pull-up*	—
SD2_DAT1_A	○	GP2[25]	6mA	—	pull-up*	—
SD2_DAT2_A	○	GP2[26]	6mA	—	pull-up*	—
SD2_DAT3_A	○	GP2[27]	6mA	—	pull-up*	—
SD2_CD_A	○	GP2[28]	6mA	—	pull-up*	—
SD2_WP_A	○	GP2[29]	6mA	—	pull-up*	—
REF125CK	○	GP2[30]	6mA	—	*	—
REF50CK	○	GP2[31]	6mA	—	*	—
DU0_DR0	○	GP3[0]	6mA	—	*	—
DU0_DR1	○	GP3[1]	6mA	—	*	—
DU0_DR2	○	GP3[2]	6mA	—	*	—
DU0_DR3	○	GP3[3]	6mA	—	*	—
DU0_DR4	○	GP3[4]	6mA	—	*	—
DU0_DR5	○	GP3[5]	6mA	—	*	—
DU0_DR6	○	GP3[6]	6mA	—	*	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
DU0_DR7	○	GP3[7]	6mA	—	*	—
DU0_DG0	○	GP3[8]	6mA	—	*	—
DU0_DG1	○	GP3[9]	6mA	—	*	—
DU0_DG2	○	GP3[10]	6mA	—	*	—
DU0_DG3	○	GP3[11]	6mA	—	*	—
DU0_DG4	○	GP3[12]	6mA	—	*	—
DU0_DG5	○	GP3[13]	6mA	—	*	—
DU0_DG6	○	GP3[14]	6mA	—	*	—
DU0_DG7	○	GP3[15]	6mA	—	*	—
DU0_DB0	○	GP3[16]	6mA	—	*	—
DU0_DB1	○	GP3[17]	6mA	—	*	—
DU0_DB2	○	GP3[18]	6mA	—	*	—
DU0_DB3	○	GP3[19]	6mA	—	*	—
DU0_DB4	○	GP3[20]	6mA	—	*	—
DU0_DB5	○	GP3[21]	6mA	—	*	—
DU0_DB6	○	GP3[22]	6mA	—	*	—
DU0_DB7	○	GP3[23]	6mA	—	*	—
DU0_DOTCLKIN	○	GP3[24]	6mA	—	pull-up*	—
DU0_ DOTCLKOUT	○	GP3[25]	6mA	—	pull-up*	—
DU0_EXHSYNC/ DU0_HSYNC	○	GP3[26]	6mA	—	pull-up*	—
DU0_EXVSYNC/ DU0_VSYNC	○	GP3[27]	6mA	—	pull-up*	—
DU0_EXODDF/ DU0_ODDF	○	GP3[28]	6mA	—	pull-up*	—
DU0_DISP	○	GP3[29]	6mA	—	pull-up*	—
DU0_CDE	○	GP3[30]	6mA	—	pull-up*	—
VI1_CLK_A	○	GP3[31]	6mA	—	*	—
VI1_0_A	○	GP4[8]	6mA	—	pull-up*	—
VI1_1_A	○	GP4[9]	6mA	—	pull-up*	—
VI1_2_A	○	GP4[10]	6mA	—	pull-up*	—
VI1_3_A	○	GP4[11]	6mA	—	pull-up*	—
VI1_4_A	○	GP4[4]	6mA	—	pull-up*	—
VI1_5_A	○	GP4[5]	6mA	—	pull-up*	—
VI1_6_A	○	GP4[6]	6mA	—	pull-up*	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
VI1_7_A	○	GP4[7]	6mA	—	pull-up*	—
SSI_SCK0_A	○	GP4[0]	6mA	—	pull-up*	—
SSI_WS0_A	○	GP4[1]	6mA	—	pull-up*	—
SSI_SDATA0_A	○	GP4[2]	6mA	—	pull-up*	—
SSI_SCK1_A	○	GP4[3]	6mA	—	pull-up*	—
SSI_WS1_A	○	GP4[12]	6mA	—	pull-up*	—
SSI_SDATA1_A	○	GP4[13]	6mA	—	pull-up*	—
SSI_SCK23	○	GP4[14]	6mA	—	pull-up*	—
SSI_WS23	○	GP4[15]	6mA	—	pull-up*	—
SSI_SDATA2	○	GP4[16]	6mA	—	pull-up*	—
SSI_SDATA3	○	GP4[17]	6mA	—	pull-up*	—
AUDIO_CLKA_A	○	GP4[18]	6mA	—	pull-up*	—
AUDIO_CLKB_A	○	GP4[19]	6mA	—	*	—
AUDIO_CLKC	○	GP4[20]	6mA	—	*	—
AUDIO_CLKOUT	○	GP4[21]	6mA	—	pull-up*	—
SCL0	GPI	GP4[24]	—	—	—	—
SDA0	GPI	GP4[25]	—	—	—	—
SCL1	GPI	GP4[22]	—	—	—	—
SDA1	GPI	GP4[23]	—	—	—	—
USB_EXTAL	×		—	—	—	—
USB_XTAL	×		—	—	—	—
PENC0	○	GP4[26]	6mA	—	*	—
PENC1	○	GP4[27]	6mA	—	pull-up*	—
USB_OVC0	○	GP4[28]	6mA	—	*	—
USB_OVC1	○	GP4[29]	6mA	—	pull-up*	—
DP0	×		—	—	—	—
DM0	×		—	—	—	—
DP1	×		—	—	—	—
DM1	×		—	—	—	—
REFRIN	×		—	—	—	—
OVC0/VBUS0	×		—	—	—	—
OVC1/VBUS1	×		—	—	—	—
AV33	×		—	—	—	—
AV12	×		—	—	—	—
AG	×		—	—	—	—

信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	Grouping of drivability	pull-up Control (pull-up* : enable from reset-state. * : Disable when reset-state. — : no pull-ups.)	モード 信号
VCCQ-PLL	×		—	—	—	—
VDD-PLL	×		—	—	—	—
RTC_X1	×		—	—	—	—
RTC_X2	×		—	—	—	—
CAN_CLK_A	○	GP4[30]	6mA	—	pull-up*	—
CAN0_TX_A	○	GP4[31]	6mA	—	*	—
CAN0_RX_A	○	GP5[10]	6mA	—	*	—
CAN1_TX_A	○	GP5[11]	6mA	—	*	—
CAN1_RX_A	○	GP5[0]	6mA	—	pull-up*	—
AN0	GPI	GP5[2]	—	—	—	—
AN1	GPI	GP5[3]	—	—	—	—
AN2	GPI	GP5[4]	—	—	—	—
AN3	GPI	GP5[5]	—	—	—	—
AN4	GPI	GP5[6]	—	—	—	—
AN5	GPI	GP5[7]	—	—	—	—
AN6	GPI	GP5[8]	—	—	—	—
AN7	GPI	GP5[9]	—	—	—	—
AVCC	×		—	—	—	—
AVSS	×		—	—	—	—
AVREF	×		—	—	—	—

【記号説明】

pull-up* : PFC 内レジスタによりプルアップ制御可能、初期値プルアップ ON (PRESET#=L 時、およびパワーオンリセット解除後に PFC のレジスタ設定変更するまでの間プルアップ ON)

* : PFC 内レジスタによりプルアップ制御可能、初期値プルアップ OFF (PRESET#=L 時、およびパワーオンリセット解除後に PFC のレジスタ設定変更するまでの間プルアップ OFF)

— : プルアップ制御なし

pull-up : 常時プルアップ

1.16.2 BGA440 対応ピン機能表

表 1.4 ピン機能表 (BGA440)

信号名	第 1 の機能			第 2 の機能			第 3 の機能			第 4 の機能			第 5 の機能			第 6 の機能		
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO
MCK0	DDR2/3 IF	MCK0	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MCK0#	16bits	MCK0#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MCKE		MCKE	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MCS#		MCS#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MWE#		MWE#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MRAS#		MRAS#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MCAS#		MCAS#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA0		MA0	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA1		MA1	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA2		MA2	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA3		MA3	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA4		MA4	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA5		MA5	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA6		MA6	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA7		MA7	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA8		MA8	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA9		MA9	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA10		MA10	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA11		MA11	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MA12		MA12	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

信号名	第 1 の機能			第 2 の機能			第 3 の機能			第 4 の機能			第 5 の機能			第 6 の機能		
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO
MA13	DDR2/3 IF	MA13	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MBA0	16bits	MBA0	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MBA1		MBA1	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MBA2		MBA2	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ0		MDQ0	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ1		MDQ1	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ2		MDQ2	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ3		MDQ3	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ4		MDQ4	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ5		MDQ5	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ6		MDQ6	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ7		MDQ7	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ8		MDQ8	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ9		MDQ9	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ10		MDQ10	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ11		MDQ11	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ12		MDQ12	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MDQ13	MDQ13	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQ14	MDQ14	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQ15	MDQ15	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQS0	MDQS0	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQS0#	MDQS0#	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQS1	MDQS1	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
MDQS1#	MDQS1#	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

信号名	第 1 の機能			第 2 の機能			第 3 の機能			第 4 の機能			第 5 の機能			第 6 の機能		
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO
MDM0	DDR2/3 IF 16bits	MDM0	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MDM1		MDM1	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MODT		MODT	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MBKPRST#		MBKPRST#	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MZQ		MZQ	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MVREFDQ		MVREFDQ	P	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MVREFCA		MVREFCA	P	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
MRESET#		MRESET#	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SDBUP	DDR2 IF	SDBUP	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
SDSELF		SDSELF	O	(SC1mirror)	RTS1#_E	IO	—	—	—	—	—	—	—	—	—	—	—	
TEST1	SYSTEM	TEST1	I	—			—			—			—					
TEST2		TEST2	I	—			—			—			—					
BSMODE		BSMODE	I	—			—			—			—					
EXTAL	CPG	EXTAL	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
XTAL		XTAL	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
PRESET#	RESET	PRESET#	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
PRESETOUT#		PRESETOUT#	O	—			—			STIF	ST_CLKOUT	O	—			—	—	
A0	LBSC	A0	O	—			—			STIF	ST0_CLKIN	I	LCDC_A	LCD_DATA0_A	O	MTU2 Common (Mirror_C)	TCLKA_C	I
A1		A1	O	—			—			STIF	ST0_REQ	IO		LCD_DATA1_A	O		TCLKB_C	I
A2		A2	O	—			—			STIF	ST0_SYC	IO		LCD_DATA2_A	O		TCLKC_C	I
A3		A3	O	—			—			STIF	ST0_VLD	IO		LCD_DATA3_A	O	TCLKD_C	I	
A4		A4	O	—			—			STIF	ST0_D[0]	IO		LCD_DATA4_A	O	MTU2/CH0	TIOC0A_C	IO
A5		A5	O	—			—			STIF	ST0_D[1]	IO	LCD_DATA5_A	O	TIOC0B_C		IO	

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能											
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO									
A6	LBSC	A6	O	-									LCDDC_A	LCD_DATA6_A	O	MTU2/CH0	TIOC0C_C	IO									
A7		A7	O											LCD_DATA7_A	O		TIOC0D_C	IO									
A8		A8	O											LCD_DATA8_A	O	MTU2/CH1	TIOC1A_C	IO									
A9		A9	O											LCD_DATA9_A	O		TIOC1B_C	IO									
A10		A10	O											LCD_DATA10_A	O	MTU2/CH2	TIOC2A_C	IO									
A11		A11	O											LCD_DATA11_A	O		TIOC2B_C	IO									
A12		A12	O											LCD_DATA12_A	O	MTU2/CH3	TIOC3A_C	IO									
A13		A13	O											LCD_DATA13_A	O		TIOC3B_C	IO									
A14		A14	O											LCD_DATA14_A	O		TIOC3C_C	IO									
A15		A15	O											LCD_DATA15_A	O	TIOC3D_C	IO										
A16		A16	O											LCD_DON_A	O	MTU2/CH4	TIOC4A_C	IO									
A17		A17	O											LCD_CL1_A	O		TIOC4B_C	IO									
A18		A18	O											LCD_CL2_A	O	TIOC4C_C	IO										
A19		A19	O											LCD_CLK_A	I	TIOC4D_C	IO										
A20		A20	O											LCD_FLM_A	O	-	-	-									
A21		A21	O											LCD_VCPWC_A	O	-	-	-									
A22		A22	O											LCD_VEPWC_A	O	-	-	-									
A23		A23	O											LCD_M_DISP_A	O	-	-	-									
A24		A24	O											SCIF2_D (SC2mirror)	RX2_D	I	-	-	-	ST1_D[1]	IO	-	-	-	-	-	-
A25		A25	O												TX2_D	O	-	-	-	ST1_D[2]	IO	-	-	-	-	-	-
D0		D0	IO											SDH0_A (ForBoot)	SD0_DAT0_A	IO	MMC_A (ForBoot)	MMC_D0_A	IO	ST1_D[3]	IO	FLCTL_A (ForBoot)	NAF0_A	IO	-	-	-
D1		D1	IO												SD0_DAT1_A	IO		MMC_D1_A	IO	ST1_D[4]	IO		NAF1_A	IO			

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能			
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	
D2	LBSC	D2	IO	SDHI0_A	SD0_DAT2_A	IO	MMC_A	MMC_D2_A	IO	STIF	ST1_D[5]	IO	FLCTL_A	NAF2_A	IO	-			
D3		D3	IO	(ForBoot)	SD0_DAT3_A	IO	(ForBoot)	MMC_D3_A	IO		ST1_D[6]	IO		(ForBoot)	NAF3_A				IO
D4		D4	IO		SD0_CD_A	I		MMC_D4_A	IO		ST1_D[7]	IO			NAF4_A				IO
D5		D5	IO		SD0_WP_A	I		MMC_D5_A	IO	-				NAF5_A	IO				
D6		D6	IO	RSPI_A	RSPL_RSPCK_A	IO		MMC_D6_A	IO	RQSPI (MirrorA)	QSPCLK_A	IO			NAF6_A				IO
D7		D7	IO	(ForBoot)	RSPL_SSL_A	IO		MMC_D7_A	IO		QSSL_A	IO			NAF7_A				IO
D8		D8	IO	SDHI0_A	SD0_CLK_A	O		MMC_CLK_A	O		QIO2_A	IO			FCE#_A				O
D9		D9	IO	(ForBoot)	SD0_CMD_A	IO		MMC_CMD_A	IO		QIO3_A	IO		FCLC_A	O	ET0_ETXD1_B	O		
D10		D10	IO	RSPI_A	RSPL_MOSI_A	IO	-	-	-	QMO/QIO0_A	IO		FALE_A	O	ET0_ETXD2_B	O			
D11		D11	IO	(ForBoot)	RSPL_MISO_A	IO	-	-	-	QMI/QIO1_A	IO		FRE#_A	O	ET0_ETXD3_B	O			
D12		D12	IO	-			-	-	-	-			FWE#_A	O	ET0_ETXD5_B	O			
D13		D13	IO	SCIF2_B	RX2_B	I	-	-	-	-			FRB_A	I	ET0_ETXD6_B	O			
D14		D14	IO	(SC2mirror)	TX2_B	O	-	-	-	-			-	-	ET0_TX_CLK_B	I			
D15		D15	IO		SCK2_B	IO	-	-	-	-			-			-	-		
CLKOUT		CLKOUT	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
BS#	BS#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
CS0#	CS0#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
CS1#/A26	CS1#/A26	O	-	-	-	-	-	-	-	-	-	RQSPI (MirrorB)	QIO3_B	IO	-	-	-		
EX_CS0#	EX_CS0#	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
EX_CS1#	EX_CS1#	O	SCIF3_B	RX3_B	I	LBSC	ATACS0#	O	-			RQSPI (MirrorB)	QIO2_B	IO	GETHER	ET0_ETXD0	O		
EX_CS2#	EX_CS2#	O	(SC3mirror)	TX3_B	O	(ATA)	ATACS1#	O	-				QSPCLK_B	IO	(Gr#2mirrorA)	ET0_GTX_CLK_A	O		

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能			
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	
EX_CS3#	LBSC	EX_CS3#	O	SDHI1_A	SD1_CD_A	I	LBSC (ATA)	ATARD#	O	—	—	—	RQSPI (MirrorB)	QMO/QIO0_B	IO	GETHER (Gr#2mirrorA)	ET0_ETXD1_A	O	
EX_CS4#		EX_CS4#	O		SD1_WP_A	I		ATAWR#	O	—	—	—		—	QMI/QIO1_B		IO	ET0_ETXD2_A	O
EX_CS5#		EX_CS5#	O		SD1_CMD_A	IO		ATADIR#	O	—	—	—		—	QSSL_B		IO	ET0_ETXD3_A	O
RD#		RD#	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
RD/WR#		RD/WR#	O	TMU	TCLK0	I	—	—	—	RCAN	CAN_CLK_B	I	—	—	—	(Gr#2)	ET0_ETXD4	O	
WE0#		WE0#	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
WE1#		WE1#	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
EX_WAIT0		EX_WAIT0	I	TMU	TCLK1_B	I	—	—	—	—	—	—	—	—	—	—	—	—	
EX_WAIT1		EX_WAIT1	I	SDHI1_A	SD1_DAT0_A	IO	LBSC (ATA)	DREQ2	I	RCAN1_C	CAN1_TX_C	O	GETHER_B (Gr#1,C)	ET0_LINK_C	I	(Gr#2mirrorA)	ET0_ETXD5_A	O	
EX_WAIT2		EX_WAIT2	I		SD1_DAT1_A	IO		DACK2	O		CAN1_RX_C	I		ET0_MAGIC_C	O		ET0_ETXD6_A	O	
DRACK0	DRACK0	O	SD1_DAT2_A		IO	ATAG#		O	TMU	TCLK1_A	I	—		—	ET0_ETXD7		O		
DREQ0	DREQ0	I	SD1_CLK_A		O	—		—	—	—	—	—		—	—		ET0_TX_EN	O	
DACK0	DACK0	O	SD1_DAT3_A		IO	—		—	—	—	—	—		—	—		ET0_TX_ER	O	
DREQ1	DREQ1	I	—	—	—	HSPI_B (mirror)	HSPI_CLK_B	IO	SCIF4_B (mirror)	RX4_B	I	GETHER_B (Gr#1,C)	ET0_PHY_ INT_C	I	—	ET0_TX_CLK_A	I		
DACK1	DACK1	O	—	—	—		HSPI_CS#_B	IO		TX4_B	O		—	—	—	ET0_RX_CLK_A	I		
TRST#	H-UDI	TRST#	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
TCK		TCK	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
TMS		TMS	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
TDI		TDI	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
TDO		TDO	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
MPMD		(PMG)	MPMD	I	—	—	—	—	—	—	—	—	—	—	—	—	—		
ASEBRK#/ACK		(PMG)	ASEBRK#/ACK	IO	—	—	—	—	—	—	—	—	—	—	—	—	—		

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能					
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO			
NMI	INTC	NMI(WakeUpFromDeepStby)	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
IRQ0_A	INTC	IRQ0_A(WakeUpFromDeepStby)	I	—	—	—	HSPI_B (mirror)	HSPI_TX_B	O	SCIF3_E (mirror)	RX3_E	I	—	(Gr#2mirrorA)	ET0_ERXD0	I					
IRQ1_A		IRQ1_A(WakeUpFromDeepStby)	I	—	—	—	HSPI_RX_B	IO	—	TX3_E	O	ET0_ERXD1			I						
IRQ2_A		IRQ2_A(WakeUpFromDeepStby)	I	SCIF (SCIF0_A)	CTS0#_A	IO	—	—	—	HSCIF_B (mirror)	HCTS0#_B	IO			ET0_ERXD2_A	I					
IRQ3_A		IRQ3_A(WakeUpFromDeepStby)	I	—	RTS0#_A	IO	—	—	—	—	HRTS0#_B	IO			ET0_ERXD3_A	I					
SCIF_CLK_A		SCIF	SCIF_CLK_A	I	HSPI_A	HSPI_CLK_A	IO	VIN0	VIO_CLK	I	—	—			—	GETHER	RMII0_TXD0_A	O	ET0_ERXD4	I	
SCK0_A	(SCIF0_A)	SCK0_A	IO	—	HSPI_CS#_A	IO	(RGB666)	VIO_CLKENB	I	—	—	—	(Gr#3,RMII_A)	RMII0_TXD1_A	O	ET0_ERXD5	I				
RX0_A	—	RX0_A	I	—	HSPI_RX_A	IO	—	—	—	—	—	—	—	RMII0_RXD0_A	I	ET0_ERXD6	I				
TX0_A	—	TX0_A	O	—	HSPI_TX_A	O	—	—	—	—	—	—	—	—	—	—	—				
HCTS0#_A	HSCIF_A	HCTS0#_A	IO	SCIF (SCIF1_A)	CTS1#_A	IO	VIN0	VIO_FIELD	I	—	—	—	(Gr#3,RMII_A)	RMII0_RXD1_A	I	(Gr#2mirrorA)	ET0_ERXD7	I			
HRTS0#_A		HRTS0#_A	IO		RTS1#_A	IO		VIO_HSYNC#	I	—	—	—		RMII0_TXD_EN_A	O		ET0_RX_DV	I			
HSCK0_A		HSCK0_A	IO		SCK1_A	IO		VIO_VSYNC#	I	—	—	—		RMII0_RX_ER_A	I		ET0_RX_ER	I			
HRX0_A		HRX0_A	IO		RX1_A	I		VIO_DATA0/ VIO_B0	I	—	—	—		RMII0_CRS_DV_A	I		ET0_CRS	I			
HTX0_A		HTX0_A	O		TX1_A	O		VIO_DATA1/ VIO_B1	I	—	—	—		RMII0_MDC_A	O		ET0_COL	I			
CTS0#_B		—	—		—	SCIF0_B (SC0mirror)		CTS0#_B	IO	—	VIO_DATA2/ VIO_B2	I		—	—		—	RMII0_MDIO_A	IO	ET0_MDC	O
RTS0#_B		—	—		—	—		RTS0#_B	IO	—	VIO_DATA3/ VIO_B3	I		—	—		—	—	—	ET0_MDIO_A	IO

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能								
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO						
SCK1_B	-	-	-	SCIF1_B (SC1mirror)	SCK1_B	IO	VIN0	VIO_DATA4/ VIO_B4	I	-	-	-	-	-	-	GETHER (Gr#1mirrorA)	ET0_LINK_A	I						
RX1_B		-	-		RX1_B	I		VIO_DATA5/ VIO_B5	I	-	-	-					ET0_MAGIC_A	O						
TX1_B		-	-		TX1_B	O		VIO_DATA6/ VIO_G0	I	-	-	-					ET0_PHY_INT_A	I						
CTS1#_B		-	-		CTS1#_B	IO		VIO_DATA7/ VIO_G1	I	-	-	-					-	-	-					
RTS1#_B		-	-		RTS1#_B	IO		VIO_G2	I	-	-	-					-	-	-					
SCK2_A		-	-		SCIF2_A	SCK2_A		IO	VIO_G3	I	-	-					-	-	-	-	-	-	-	-
SD2_CLK_A		SDHL_A	SD2_CLK_A			O		RX2_A	I	VIO_G4	I	-					-	-	-	-	-	-	(Gr#2mirrorB)	ET0_RX_CLK_B
SD2_CMD_A	(SD2)	SD2_CMD_A	IO	TX2_A	O	VIO_G5	I	-	-	-	-	-	-	-	-	-	ET0_ERXD2_B	I						
SD2_DAT0_A	SDHL_A (SD2)	SD2_DAT0_A	IO	SCIF3_A	RX3_A	I	VIO_R0	I	-	-	-	-	-	-	-	-	-	ET0_ERXD3_B	I					
SD2_DAT1_A		SD2_DAT1_A	IO		TX3_A	O	VIO_R1	I	-	-	-	-	-	-	-	-	-	ET0_MDIO_B	IO					
SD2_DAT2_A		SD2_DAT2_A	IO	SCIF4_A	RX4_A	I	VIO_R2	I	-	-	-	-	-	-	-	-	GETHER	ET0_LINK_B	I					
SD2_DAT3_A		SD2_DAT3_A	IO		TX4_A	O	VIO_R3	I	-	-	-	-	-	-	-	-	(Gr#1mirrorB)	ET0_MAGIC_B	O					
SD2_CD_A		SD2_CD_A	I	SCIF5_A	RX5_A	I	VIO_R4	I	-	-	-	-	-	-	-	-	-	ET0_PHY_INT_B	I					
SD2_WP_A		SD2_WP_A	I		TX5_A	O	VIO_R5	I	-	-	-	-	-	-	-	-	-	-	-					
REF125CK		GEther	REF125CK	I	-	ADTRG#	I	SCIF5_C	RX5_C	I	-	-	-	-	-	-	-	-	-	-				
REF50CK			REF50CK	I	SCIF1	CTS1#_E	IO	HSCIF_D	HCTS0#_D	IO	-	-	-	-	-	-	-	-	-	-				
DU0_DR0	DU0	DU0_DR0	O	SCIF0_B	SCIF_CLK_B	I	HSCIF_D	HRX0_D	I	IEBus (MirrorA)	IETX_A	O	MTU2 Common (Mirror_A)	TCLKA_A	I	HIF_B	HIFD00	IO						
DU0_DR1		DU0_DR1	O		SCK0_B	IO		(mirror)	HTX0_D		O	IERX_A		I	TCLKB_A		I	HIFD01	IO					
DU0_DR2		DU0_DR2	O		RX0_B	I	-	-	-	-	-	-		TCLKC_A	I		HIFD02	IO						
DU0_DR3		DU0_DR3	O		TX0_B	O	-	-	-	-	-	-		TCLKD_A	I		HIFD03	IO						

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能												
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO										
DU0_DR4	DU0	DU0_DR4	O	SCIF0_C	CTS0#_C	IO	-	-	-	-	-	-	MTU2 /CH0	TIOC0A_A	IO	HIF_B	HIFD04	IO										
DU0_DR5		DU0_DR5	O		(SC0mirror)	RTS0#_C								IO	HIFD05		IO											
DU0_DR6		DU0_DR6	O	SCIF1_C	SCK1_C	IO								HIFD06	IO													
DU0_DR7		DU0_DR7	O		(SC1mirror)	RX1_C								I	HIFD07		IO											
DU0_DG0		DU0_DG0	O	-	TX1_C	O							HSCIF_D (mirror)	HSCK0_D	IO		IEBus (MirrorA)	IECLK_A	I	MTU2 /CH1	TIOC1A_A	IO	HIFD08	IO				
DU0_DG1		DU0_DG1	O		CTS1#_C	IO								HRTS0#_D	IO			-	-		-	TIOC1B_A	IO	HIFD09	IO			
DU0_DG2		DU0_DG2	O		RTS1#_C	IO							GETHER_B (Gr#3,RMII_B : mirror)	RMII0_MDC_B	O		-	-	-	-	MTU2 /CH2	TIOC2A_A	IO	HIFD10	IO			
DU0_DG3		DU0_DG3	O	SCIF2_C	SCK2_C	IO	RMII0_MDIO_B	IO	MTU2 /CH3	TIOC2B_A	IO	HIFD11		IO														
DU0_DG4		DU0_DG4	O		(SC2mirror)	RX2_C	I	RMII0_GRS_DV_B		I	TIOC3A_A	IO		HIFD12	IO													
DU0_DG5		DU0_DG5	O	SCIF3_C	TX2_C	O	RMII0_RX_ER_B	I	TIOC3B_A	IO	HIFD13	IO																
DU0_DG6		DU0_DG6	O		(SC3mirror)	RX3_C	I	RMII0_RXD0_B	I	TIOC3C_A	IO	HIFD14	IO															
DU0_DG7		DU0_DG7	O		TX3_C	O	RMII0_RXD1_B	I	TIOC3D_A	IO	HIFD15	IO																
DU0_DB0		DU0_DB0	O	SCIF4_C	RX4_C	I	RMII0_TXD_EN_B	O	-	-	-	-	MTU2 /CH4	TIOC4A_A	IO	HIFCS	I											
DU0_DB1		DU0_DB1	O		(SC4mirror)	TX4_C	O	RMII0_TXD0_B						O	-	-	-	TIOC4B_A	IO	HIFRS	I							
DU0_DB2		DU0_DB2	O	SCIF5_B	RX5_B	I	-	-	-	-	-	-		TIOC4C_A	IO	HIFWR	I											
DU0_DB3		DU0_DB3	O		(SC5mirror)	TX5_B								O	TIOC4D_A	IO	HIFRD	I										
DU0_DB4	DU0_DB4	O	SDH12_B (SD2mirror)	SD2_CLK_B	O	-	-	-	-	-	-	-	-	-	-	HIFINT	O											
DU0_DB5	DU0_DB5	O		SD2_CMD_B	IO											HIFDREQ	O											
DU0_DB6	DU0_DB6	O		SD2_DAT0_B	IO											HIFRDY	O											
DU0_DB7	DU0_DB7	O		SD2_DAT1_B	IO											SSI_B (mirror)	SSI_SCK0_B	IO	-	-	-	-	-	-	-	-	HIFEBL_B	I
DU0_	DU0_	I		SD2_DAT2_B	IO												HSP1_C (mirror)	HSP1_CS#_C									IO	SSI_WS0_B
DU0_	DU0_	O	SD2_DAT3_B	IO	HSP1_CLK_C	IO	SSI_SDATA0_B	IO																				

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能			
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	
DU0_ EXHSYNC/ DU0_HSYNC	DU0	DU0_ EXHSYNC/ DU0_HSYNC	IO	SDHI2_B (SD2mirror)	SD2_CD_B	I	—	—	—	HSPI_C	HSPI_TX_C	O	SSI_B (mirror)	SSI_SCK1_B	IO	—	—	—	
DU0_ EXVSYNC/ DU0_VSYNC		DU0_ EXVSYNC/ DU0_VSYNC	IO		SD2_WP_B	I					HSPI_RX_C	IO		SSI_WS1_B	IO				
DU0_ EXODDF/ DU0_ODDF		DU0_ EXODDF/ DU0_ODDF	IO	CAN0_B (CAN0mirror)	CAN0_RX_B	I				HSCIF_B	HSCK0_B	IO		SSI_SDATA1_B	IO				
DU0_DISP		DU0_DISP	O		CAN0_TX_B	O				HSCIF_B	HRX0_B	I		AUDIO_CLKA_B	I				
DU0_CDE		DU0_CDE	O	—	—	—				(mirror)	HTX0_B	O	AUDIO_CLKB_B	I					
VI1_CLK_A	VIN1(YUV) (Mirror_A)	VI1_CLK_A	I	H-UDI	AUDCK	O	—	—	—	—	—	FLCTL_B (mirror)	NAF0_B	IO	(mirror)	LCD_VCPWC_B	O		
VI1_0_A		VI1_0_A	I		AUDSYNC	O							—	—		NAF1_B	IO	LCD_DATA0_B	O
VI1_1_A		VI1_1_A	I		AUDATA0	O							—	—		NAF2_B	IO	LCD_DATA2_B	O
VI1_2_A		VI1_2_A	I		AUDATA1	O							—	—		NAF3_B	IO	LCD_DATA3_B	O
VI1_3_A		VI1_3_A	I		AUDATA2	O							—	—		NAF4_B	IO	LCD_DATA4_B	O
VI1_4_A		VI1_4_A	I		AUDATA3	O							—	—		NAF5_B	IO	LCD_DATA5_B	O
VI1_5_A		VI1_5_A	I		AUDATA4	O							—	—		NAF6_B	IO	LCD_DATA6_B	O
VI1_6_A		VI1_6_A	I		AUDATA5	O							—	—		NAF7_B	IO	LCD_DATA7_B	O
VI1_7_A		VI1_7_A	I		AUDATA6	O							—	—		FCE#_B	O	LCD_DATA8_B	O

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能								
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO						
SSI_SCK0_A	SSI	SSI_SCK0_A	IO	H-UDI	AUDATA7	O	-	-	-	-	-	-	MTU2/ CH1	TIOC1A_B	IO	LCDC (mirror)	LCD_DATA9_B	O						
SSI_WS0_A		SSI_WS0_A	IO	-									-	-	-		CH1	TIOC1B_B	IO	LCD_DATA10_B	O			
SSI_SDATA0_A		SSI_SDATA0_A	IO	VIN1(YUV) (Mirror_B)	VI1_0_B	I							-	-	-		MTU2	TIOC2A_B	IO	LCD_DATA11_B	O			
SSI_SCK1_A		SSI_SCK1_A	IO		VI1_1_B	I							-	-	-		/CH2	TIOC2B_B	IO	LCD_DATA12_B	O			
SSI_WS1_A		SSI_WS1_A	IO		VI1_2_B	I							-	-	-		-	-	-	LCD_DATA13_B	O			
SSI_SDATA1_A		SSI_SDATA1_A	IO		VI1_3_B	I							-	-	-		-	-	-	LCD_DATA14_B	O			
SSI_SCK23		SSI_SCK23	IO		VI1_4_B	I							(SC1mirror)	RX1_D	I		-	FLCTL_B	FCLC_B	O	LCD_DATA15_B	O		
SSI_WS23		SSI_WS23	IO		VI1_5_B	I							-	TX1_D	IO		HSCIF_C	HSCK0_C	IO	(mirror)	FALE_B	O	LCD_DON_B	O
SSI_SDATA2		SSI_SDATA2	IO		VI1_6_B	I							-	-	-		(mirror)	HRX0_C	I	-	FRE#_B	O	LCD_CL1_B	O
SSI_SDATA3		SSI_SDATA3	IO	VI1_7_B	I	-							-	-	-		HTX0_C	O	-	FWE#_B	O	LCD_CL2_B	O	
AUDIO_CLKA_A		AUDIO_CLKA_A	I	VI1_CLK_B	I	(SC1mirror)							SCK1_D	IO	-		-	-	IEBus (MirrorB)	IECLK_B	I	LCD_FLM_B	O	
AUDIO_CLKB_A		AUDIO_CLKB_A	I	-									-	-	-		-	-	-	-	-	LCD_CLK_B	I	
AUDIO_CLKC		AUDIO_CLKC	I	SCIF1	SCK1_E	IO							-	-	-		HSCIF_C	HCTS0#_C	IO	FLCTL_B	FRB_B	I	LCD_VEPWC_B	O
AUDIO_CLKOUT	AUDIO_CLKOUT	O	(SC1mirror)	TX1_E	O	-	-	-	(mirror)	HRTS0#_C	IO	(mirror)	-	-	LCD_M_DISP_B	O								

信号名	第 1 の機能			第 2 の機能			第 3 の機能			第 4 の機能			第 5 の機能			第 6 の機能		
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO
SCL0	IIC3	SCL0 (OpenDrain)	IO	-			-			-			-			-	-	-
SDA0		SDA0 (OpenDrain)	IO	-			-			-			-			HIF_A	HIFEBL_A	I
SCL1		SCL1 (OpenDrain)	IO	SCIF0_C	SCIF_CLK_C	I	-			-			-			-		
SDA1		SDA1 (OpenDrain)	IO	SCIF1	RX1_E	I	-			-			-			-		
USB_EXTAL	USB	USB_EXTAL	I	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
USB_XTAL		USB_XTAL	O	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PENC0		PENC0	O	-			-			-			-			-		
PENC1		PENC1	O	SCIF3_D	TX3_D	O	RCAN1_B	CAN1_TX_B	O	SCIF	TX5_D	O	IEBus (MirrorB)	IETX_B	O	-		
USB_OVC0		USB_OVC0	I	-			-			-			-			-		
USB_OVC1		USB_OVC1	I	SCIF3_D	RX3_D	I	RCAN1_B	CAN1_RX_B	I	SCIF	RX5_D	I	IEBus (MirrorB)	IERX_B	I	-		
DP0		DP0	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DM0		DM0	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DP1		DP1	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DM1		DM1	IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
REFRIN		REFRIN	I	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
OVC0/VBUS0		OVC0/VBUS0	I	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
OVC1/VBUS1		OVC1/VBUS1	I	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
AV33		AV33	P	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
AV12	AV12	P	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

信号名	第1の機能			第2の機能			第3の機能			第4の機能			第5の機能			第6の機能		
	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO	モジュール	端子名	IO
AG	USB	AG	P	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
VCCQ-PLL	PLL	VCCQ-PLL	P	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
VDD-PLL		VDD-PLL	P	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RTC_X1	RTC	RTC_X1	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RTC_X2		RTC_X2	O	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
CAN_CLK_A	RCAN	CAN_CLK_A	I	SCIF4_D	RX4_D	I	—			—			—			—		
CAN0_TX_A		CAN0_TX_A	O	SCIF4_D	TX4_D	O	MIMLB	MLB_CLK	I	—			—			—		
CAN0_RX_A		CAN0_RX_A	I	INTC (WakeUpFro mDeepStby)	IRQ0_B (WakeUpFro mDeepStby)	I		MLB_SIG	IO	—	—	—	—	—	—	—	—	—
CAN1_TX_A		CAN1_TX_A	O	SCIF5_C	TX5_C	O		MLB_DAT	IO	—			—			—		
CAN1_RX_A		CAN1_RX_A	I	INTC (WakeUpFro mDeepStby)	IRQ1_B (WakeUpFro mDeepStby)	I	—	—	—	—	—	—	—	—	—	—	—	—
AN0		ADC	AN0	I	INTC (mirrorB)	IRQ2_B	I	—	—	—	—	—	—	—	—	—	—	—
AN1	AN1		I	IRQ3_B		I	—	—	—	—	—	—	—	—	—	—	—	
AN2	AN2		I	—			—	—	—	—	—	—	—	—	—	—	—	
AN3	AN3		I	—			—	—	—	—	—	—	—	—	—	—	—	
AN4	AN4		I	—			—	—	—	—	—	—	—	—	—	—	—	
AN5	AN5		I	—			—	—	—	—	—	—	—	—	—	—	—	
AN6	AN6		I	—			—	—	—	—	—	—	—	—	—	—	—	
AN7	AN7		I	—			—	—	—	—	—	—	—	—	—	—	—	
AVCC	AVCC		I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
AVSS	AVSS		I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
AVREF	AVREF	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

1.17 外形寸法图

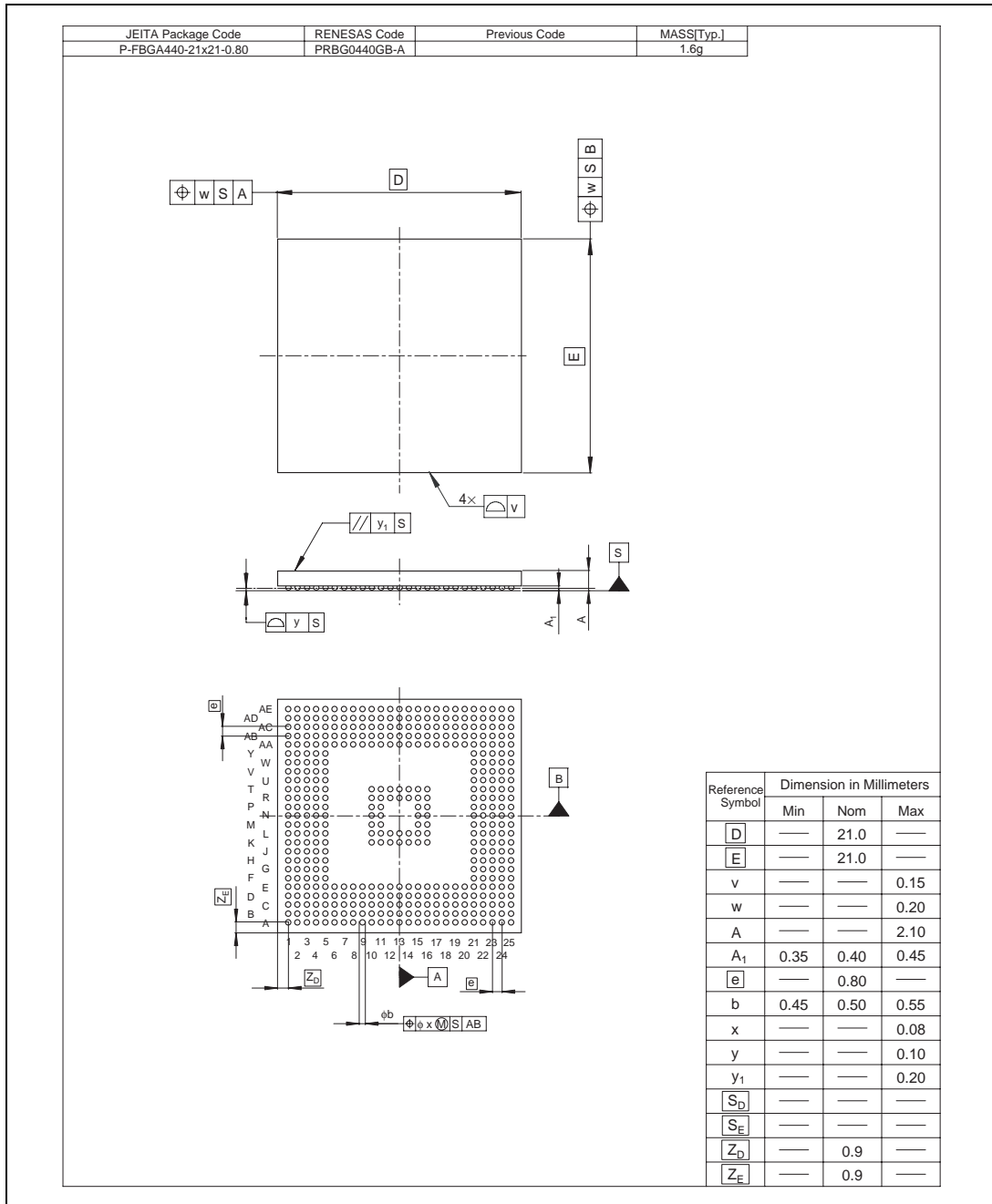


图 1.10 外形寸法图

2. SH-4A

2.1 概要

2.1.1 本 CPU の特長

本 CPU は、SH-1、SH-2、SH-3、SH-4 マイクロコンピュータと命令セットレベルでの上位互換性を特長とする 32 ビット RISC（縮小命令セットコンピュータ）マイコンです。16 ビット固定長の命令セットにより、32 ビット命令に比較してプログラムコードのサイズをほぼ 50%縮小することができます。

本 CPU の特長を表 2.1 に示します。

表 2.1 本 LSI の特長

項目	特長
CPU	<ul style="list-style-type: none">• ルネサスオリジナルアーキテクチャ• 32 ビット内部データバス• 汎用レジスタファイル：<ul style="list-style-type: none">16 本の 32 ビット汎用レジスタ（および 8 本の 32 ビットシャドウレジスタ）7 本の 32 ビット制御レジスタ4 本の 32 ビットシステムレジスタ• RISC タイプ命令セット（SH-1、SH-2、SH-3、SH-4 と上位互換性有り）：<ul style="list-style-type: none">命令長：コードの効率改善のための 16 ビット固定長ロードストアアーキテクチャ遅延分岐命令条件付き実行C 言語に基づく命令セット• FPU を含む 2 命令同時実行スーパスカラ• 命令実行時間：最大 2 命令/サイクル• 仮想アドレス空間：4G バイト• 空間識別子 ASID：8 ビット、256 仮想アドレス空間• 乗算器内蔵• 8 段パイプライン

項目	特 長
浮動小数点 ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット×16 ワード×2 バンク (単精度×16 ワードまたは倍精度×8 ワード) ×2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) /FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 レイテンシ (FADD/FSUB) : 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL) : 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB) : 1 サイクル (単精度/倍精度) ピッチ (FMAC/FMUL) : 1 サイクル (単精度)、3 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 3D グラフィック命令 (単精度のみ) : 4 次元ベクトル変換および行列演算 (FTRV)、4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積、1 サイクル (ピッチ)、5 サイクル (レイテンシ) • 10 段パイプライン
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入れ替え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能 • 32 ビットアドレス拡張モード
キャッシュメモリ	<ul style="list-style-type: none"> • 命令キャッシュ (IC) 4 ウェイセットアソシアティブ 32 バイトブロック長 • オペランドキャッシュ (OC) 4 ウェイセットアソシアティブ 32 バイトブロック長 選択可能な書き込み方式 (コピーバック/ライトスルー) • ストアキュー (32 バイト×2 エントリ)

項目	特 長
ILメモリ (ILRAM)	<ul style="list-style-type: none"> • 3本の独立した読み出し/書き込みポート CPUからの命令フェッチアクセス CPUからの8/16/32/64ビットオペランドアクセス 外部要求による8/16/32/64ビットおよび16/32バイトアクセス
OLメモリ (OLRAM)	<ul style="list-style-type: none"> • 3本の独立した読み出し/書き込みポート CPUからの命令フェッチアクセス CPUからの8/16/32/64ビットオペランドアクセス 外部要求による8/16/32/64ビットおよび16/32バイトアクセス

2.1.2 ブロック図

図 2.1 に SH-4A のブロック図を示します。

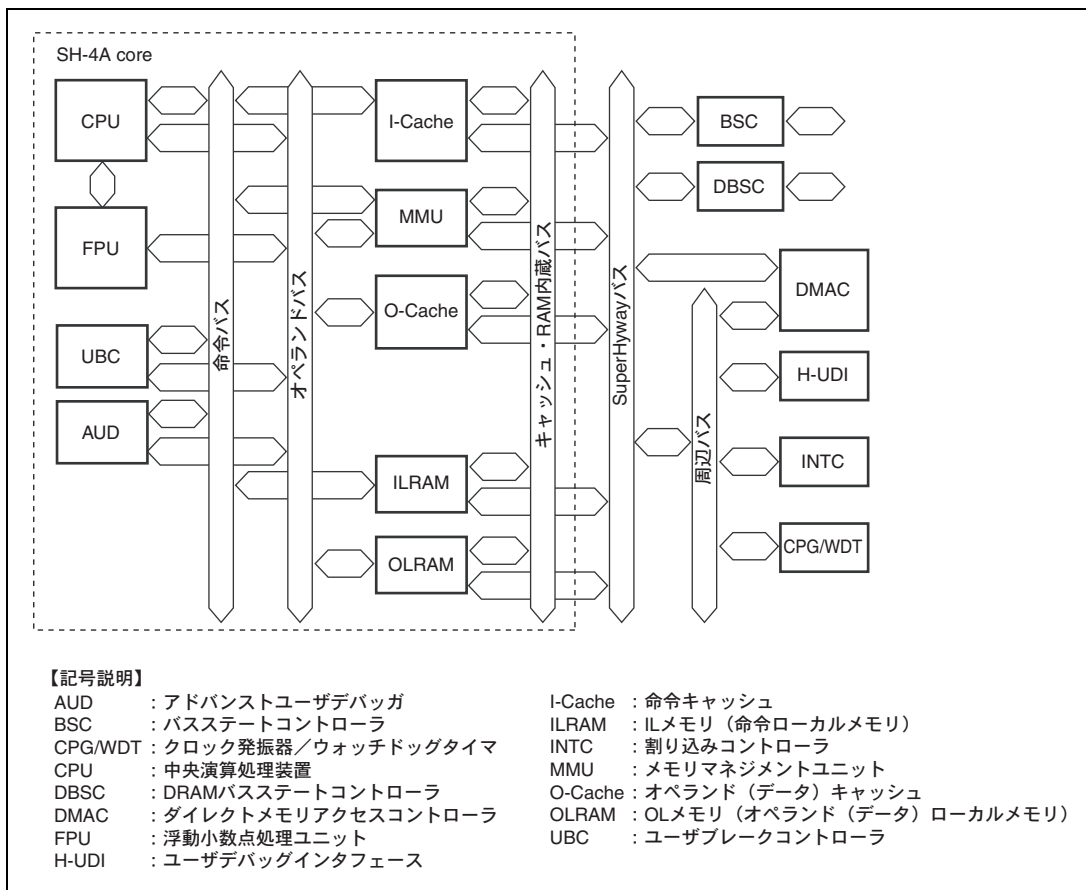


図 2.1 ブロック図

2.1.3 SH-4A 拡張機能内容

プロセッサバージョンレジスタ (PVR) の VER ビットが H'30 以降の SH-4A は、プロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A に対して機能的に上位互換です。

プロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A に対して拡張された機能を表 2.2 に示します。

表 2.2 SH-4A 拡張機能 (PVR.VER=H'30)

項目	特 長
パイプライン動作	<ul style="list-style-type: none"> • I2 ステージと ID ステージの間にプリデコード (I3) ステージを追加
例外処理	<ul style="list-style-type: none"> • 非サポート検出例外レジスタ (EXPMASK) を追加
メモリマネジメントユニット (MMU) (項目内の一部追加・変更)	<ul style="list-style-type: none"> • ページサイズ: 1K、4K、8K、64K、256K、1M、4M、64M バイト • アクセス権チェックの機能を追加 • PTEA レジスタと MMUCR レジスタの ME ビットを新設
キャッシュメモリ (項目内の一部追加)	<ul style="list-style-type: none"> • 低消費電力機能 (IC ウェイ予測機構) を追加 • オペランドキャッシュ操作命令 (OCBI、OCBP、OCBWB) の機能を追加 • 2 ウェイセットアソシアティブ方式への固定機能を追加
IL メモリ (ILRAM) (新設項目)	<ul style="list-style-type: none"> • 3 本の独立した読み出し/書き込みポート <p>CPU からの命令フェッチアクセス</p> <p>CPU からの 8/16/32/64 ビットオペランドアクセス</p> <p>外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス</p>
OL メモリ (OLRAM) (項目名変更、項目内の一部変更)	<ul style="list-style-type: none"> • IL メモリの新設に伴い、L メモリをオペランド用メモリ (OL メモリ) として使用可能 • 3 本の独立した読み出し/書き込みポート <p>CPU からの命令フェッチアクセス</p> <p>CPU からの 8/16/32/64 ビットオペランドアクセス</p> <p>外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス</p>

2.1.4 SH-4 から SH-4A (PVR.VER=H'20) への変更点

SH-4 からプロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A への変更点を、本マニュアルの章、節単位に示します。

表 2.3 SH-4 から SH-4A (PVR.VER=H'20) への変更点

章番号、章名	節番号	節名	変更点
2.1. 概要	—	—	全面変更 (個別の変更点は 2 章以降の差分で記載します)
2.2. プログラミングモデル	2.2.2	レジスタの構成	浮動小数点ステータス/コントロールレジスタ (FPSCR) SZ=1、PR=1 での動作追加
2.3. 命令セット	2.3.3	命令セット	CPU 命令として 9 命令を追加
			FPU 命令として 3 命令を追加
2.4. パイプライン動作	2.4.1	パイプライン	パイプライン段数を 5 から 7 に変更
	2.4.2	並列実行性	CPU 命令として 9 命令を追加
			FPU 命令として 3 命令を追加 命令のグループ分けと並列実行組み合わせ変更
2.4.3	発行レートと実行ステート	発行レートと実行ステート数変更	
2.5. 例外処理	—	—	特になし
2.6. 浮動小数点ユニット (FPU)	2.6.3(2)	浮動小数点ステータス/コントロールレジスタ (FPSCR)	SZ=1、PR=1 での動作追加およびエンディアンごとの動作説明追加
	2.6.5	浮動小数点例外	FPU 例外イネーブル設定時の FPU 例外検出条件の仕様を変更
2.7. メモリマネジメントユニット (MMU)	2.7.1(1)	アドレス空間	P4 領域の構成変更
			内蔵 RAM 空間を削除
	2.7.2	レジスタの説明	ページテーブルエントリアシストレジスタ (PTEA) の削除
			物理アドレス空間制御レジスタの追加
	2.7.2(7)	物理アドレス空間制御レジスタ (PASCR)	新規追加
	2.7.2(8)	命令再フェッチ抑止制御レジスタ (IRMCR)	新規追加
	2.7.3	TLB の機能 (TLB 互換モード)	TLB から、空間属性ビット (SA[2:0])、タイミングコントロールビット (TC) を削除
	2.7.5(5)	シノニム問題の回避	キャッシュサイズ変更およびインデックスモード削除に伴い、該当ビット変更
2.7.6(1) 2.7.6(4)	命令 TLB 多重ヒット例外およびデータ TLB 多重ヒット例外	ITLB ミスハンドリングによる UTLB 検索で多重ヒットになった場合も命令 TLB 多重ヒット例外に変更	

章番号、章名	節番号	節名	変更点
2.7. メモリマネジメントユニット (MMU)	2.7.7	メモリ割り付け TLB の構成	ITLB および UTLB のデータアレイ 2 を削除
	2.7.7(4)	UTLB アドレスアレイ	UTLB アドレスアレイに対する連想ライトではデータ TLB 多重ヒット例外を発生しないよう変更 メモリ割り付けアドレスを H'F600 0000~H'F6FF FFFF から H'F600 0000~H'F60F FFFF へ変更
	2.7.7(5)	UTLB データアレイ (TLB 互換モード)	メモリ割り付けアドレスを H'F700 0000~H'F77F FFFF から H'F700 0000~H'F70F FFFF へ変更
	2.7.8	32 ビットアドレス拡張モード	新規追加
2.8. キャッシュ	2.8.1	特長	命令キャッシュの容量を 32K バイトに変更
			方式を 4 ウェイセットアソシアティブに変更
	2.8.2	レジスタの説明	内蔵メモリ制御レジスタを追加
	2.8.2(1)	キャッシュ制御レジスタ (CCR)	内容変更
	2.8.2(4)	内蔵メモリ制御レジスタ (RAMCR)	新規追加
	2.8.3	オペランドキャッシュの動作説明	RAM モードおよび OC インデックスモードを削除
	2.8.3(6)	OC 2 ウェイモード	新規追加
	2.8.4	命令キャッシュの動作説明	IC インデックスモードを削除
	2.8.4(3)	IC 2 ウェイモード	新規追加
	2.8.5(1)	キャッシュと外部メモリとのコヒーレンシ	ICBI 命令、PREFI 命令、および SYNCO 命令追加
2.8.6	メモリ割り付けキャッシュの構成	容量の変更および 4 ウェイセットアソシアティブ化に伴い、エントリビットとウェイビット変更	
2.8.8	32 ビットアドレス拡張モード使用時の注意事項	新規追加	
2.9. 内蔵メモリ	—	—	L メモリの新規追加
「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」	—	—	CPU 命令として 9 命令追加
			FPU 命令として 3 命令追加

2.2 プログラミングモデル

本章では、SH-4A のプログラミングモデルについて記述します。SH-4A では以下に示すレジスタとデータ形式を持っています。

2.2.1 データフォーマット

SH-4A でサポートしているデータフォーマットを図 2.2 に示します。

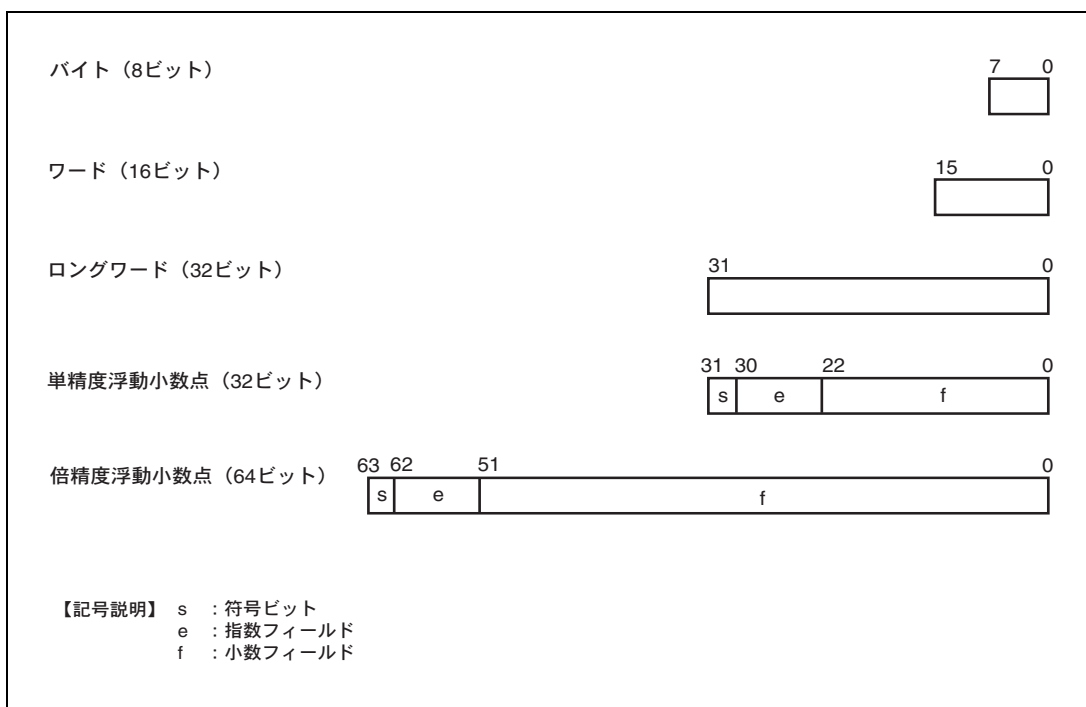


図 2.2 データフォーマット

2.2.2 レジスタの構成

(1) 特権モードとバンク

(a) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(b) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(c) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (たとえばRBビット) があります。

(d) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(e) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14 (倍精度浮動小数点レジスタ、またはレジスタペア) の 8 本、FV0/4/8/12 (レジスタベクタ) の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14 (レジスタペア) の 8 本、XMTRX (レジスタ行列) の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.4 に示します。

表 2.4 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 IMASK は B'1111、その他はリザーブビットも含めて 0
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.3 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

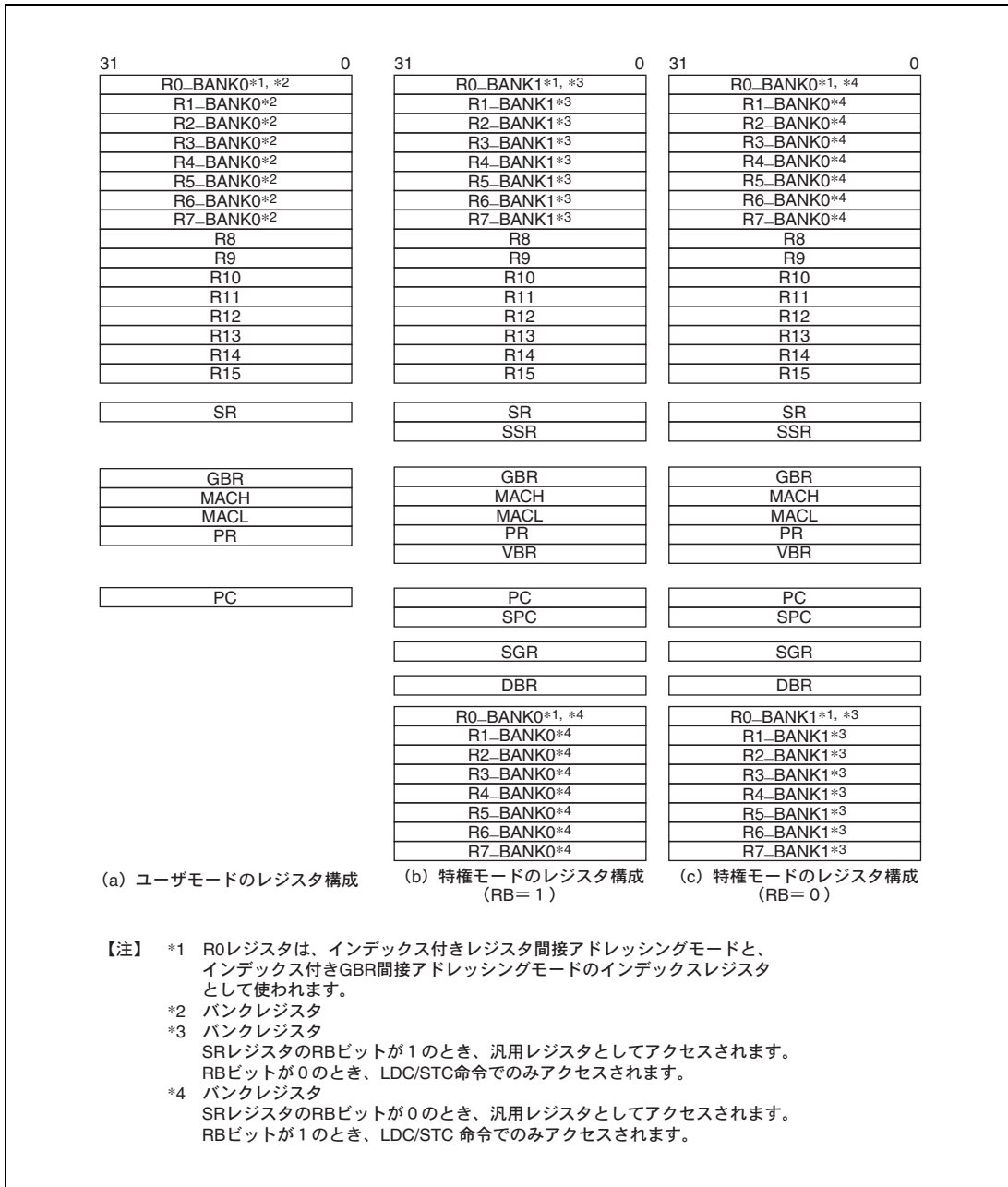


図 2.3 処理モード別の CPU レジスタ構成

(2) 汎用レジスタ

図 2.4 に処理モードと汎用レジスタの関係を示します。SH-4A には 24 本の 32 ビット汎用レジスタ (R0_BANK0 ~ R7_BANK0, R0_BANK1 ~ R7_BANK1, R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4A には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)
R0	R0_BANK0	R0-BANK0
R1	R1_BANK0	R1-BANK0
R2	R2_BANK0	R2-BANK0
R3	R3_BANK0	R3-BANK0
R4	R4_BANK0	R4-BANK0
R5	R5_BANK0	R5-BANK0
R6	R6_BANK0	R6-BANK0
R7	R7_BANK0	R7-BANK0
R0-BANK1	R0_BANK1	R0
R1-BANK1	R1_BANK1	R1
R2-BANK1	R2_BANK1	R2
R3-BANK1	R3_BANK1	R3
R4-BANK1	R4_BANK1	R4
R5-BANK1	R5_BANK1	R5
R6-BANK1	R6_BANK1	R6
R7-BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.4 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0~R7 は R0_BANK0~R7_BANK0 に、例外・割り込み後の R0~R7 は R0_BANK1~R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0~R7 (R0_BANK0~R7_BANK0) を退避または復帰する必要はありません。

(3) 浮動小数点レジスタ

図 2.5 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2つのバンクで構成され、FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 があります。また、この 32 本のレジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.5 を参照してください。

(a) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(b) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR=0 のとき、FR0~FR15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。
FPSCR.FR=1 のとき、FR0~FR15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

(c) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2つの FR レジスタから構成されます。

DR0={FR0, FR1}、DR2={FR2, FR3}、
DR4={FR4, FR5}、DR6={FR6, FR7}、
DR8={FR8, FR9}、DR10={FR10, FR11}、
DR12={FR12, FR13}、DR14={FR14, FR15}

(d) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4つの FR レジスタから構成されます。

FV0={FR0, FR1, FR2, FR3}、
FV4={FR4, FR5, FR6, FR7}、
FV8={FR8, FR9, FR10, FR11}、
FV12={FR12, FR13, FR14, FR15}

(e) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR=0 のとき、XF0~XF15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

FPSCR.FR=1 のとき、XF0~XF15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。

(f) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0={XF0, XF1}, XD2={XF2, XF3},

XD4={XF4, XF5}, XD6={XF6, XF7},

XD8={XF8, XF9}, XD10={XF10, XF11},

XD12={XF12, XF13}, XD14={XF14, XF15}

(g) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
		FR4	FPR4_BANK0	XF4		XD4
FV4	DR4	FR5	FPR5_BANK0	XF5		
		FR6	FPR6_BANK0	XF6	XD6	
	DR6	FR7	FPR7_BANK0	XF7		
		FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10	
		FR11	FPR11_BANK0	XF11		
	DR10	FR12	FPR12_BANK0	XF12	XD12	
		FR13	FPR13_BANK0	XF13		
		FR14	FPR14_BANK0	XF14		XD14
FV12	DR12	FR15	FPR15_BANK0	XF15		
		FR15	FPR15_BANK0	XF15		
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0
		XF1	FPR1_BANK1	FR1		
	XD2	XF2	FPR2_BANK1	FR2	DR2	
		XF3	FPR3_BANK1	FR3		
		XF4	FPR4_BANK1	FR4		DR4
XD4	XF4	XF5	FPR5_BANK1	FR5		
		XF6	FPR6_BANK1	FR6	DR6	
	XD6	XF7	FPR7_BANK1	FR7		
		XF8	FPR8_BANK1	FR8	DR8	FV8
		XF9	FPR9_BANK1	FR9		
XD8	XF8	XF10	FPR10_BANK1	FR10	DR10	
		XF11	FPR11_BANK1	FR11		
	XD10	XF12	FPR12_BANK1	FR12	DR12	FV12
		XF13	FPR13_BANK1	FR13		
		XF14	FPR14_BANK1	FR14		
XD12	XF12	XF15	FPR15_BANK1	FR15		
		XF15	FPR15_BANK1	FR15		

図 2.5 浮動小数点レジスタ

(4) コントロールレジスタ

(a) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	—	—	—	—	—	M	Q	IMASK				—	—	S	T
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0: ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1: 特権モード 例外または割り込みにより1にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0: R0_BANK0~R7_BANK0 は汎用レジスタ R0~R7 としてアクセスでき、R0_BANK1~R7_BANK1 は LDC/STC 命令でアクセスできます。 1: R0_BANK1~R7_BANK1 は汎用レジスタ R0~R7 としてアクセスでき、R0_BANK0~R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより1にセットされます。
28	BL	1	R/W	例外/割り込みブロックビット このビットが1のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより1にセットされます。
27~16	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが1のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します(FPU 命令: HF***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

ビット	ビット名	初期値	R/W	説明
14~10	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。
3、2	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真/偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「2.3 命令セット」を参照してください。

(b) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値=不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(c) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値=不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(d) グローバルベースレジスタ (GBR) (32 ビット、初期値=不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(e) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値=H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「2.5 例外処理」を参照してください。

(f) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値=不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(g) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値=不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE=1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

(5) システムレジスタ

(a) 積和上位レジスタ (MACH) (32 ビット、初期値=不定)、
積和下位レジスタ (MACL) (32 ビット、初期値=不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(b) プロシージャレジスタ (PR) (32 ビット、初期値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(c) プログラムカウンタ (PC) (32 ビット、初期値=H'A000 0000)

PC は実行中の命令アドレスを示します。

(d) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられます。 1: FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられます。

ビット	ビット名	初期値	R/W	説明
20	SZ	0	R/W	<p>転送サイズモード</p> <p>0 : FMOV 命令のデータサイズは 32 ビットです。</p> <p>1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。</p> <p>SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.6 を参照してください。</p>
19	PR	0	R/W	<p>精度モード</p> <p>0 : 浮動小数点命令を単精度演算として実行します。</p> <p>1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.6 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0 : 非正規化数を非正規化数として扱います。</p> <p>1 : 非正規化数を 0 として扱います。</p>
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable (EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.5 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00 : 近傍への丸め</p> <p>01 : 0 方向への丸め</p> <p>10 : リザーブ (設定禁止)</p> <p>11 : リザーブ (設定禁止)</p>

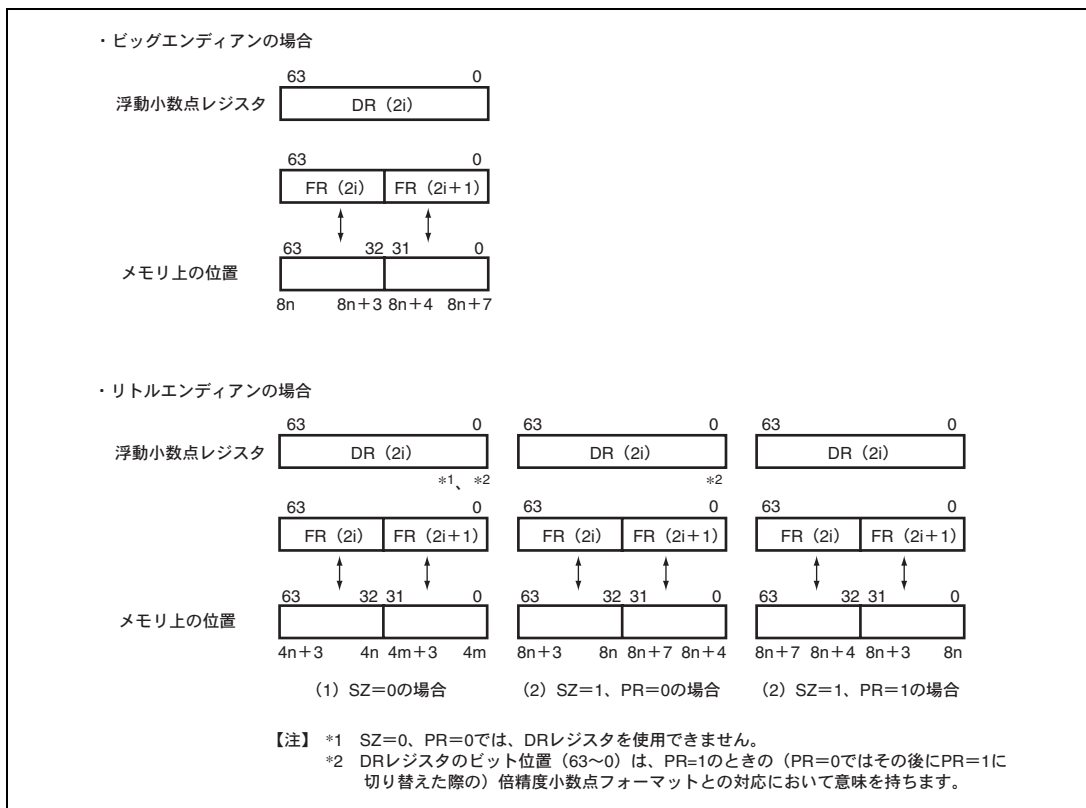


図 2.6 SZ ビットとエンディアンの関係

表 2.5 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(e) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値=不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000～H'1FFF FFFF

H'FC00 0000～H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000～H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000～H'FFFF FFFF

ユーザモードで領域H'FC00 0000～H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

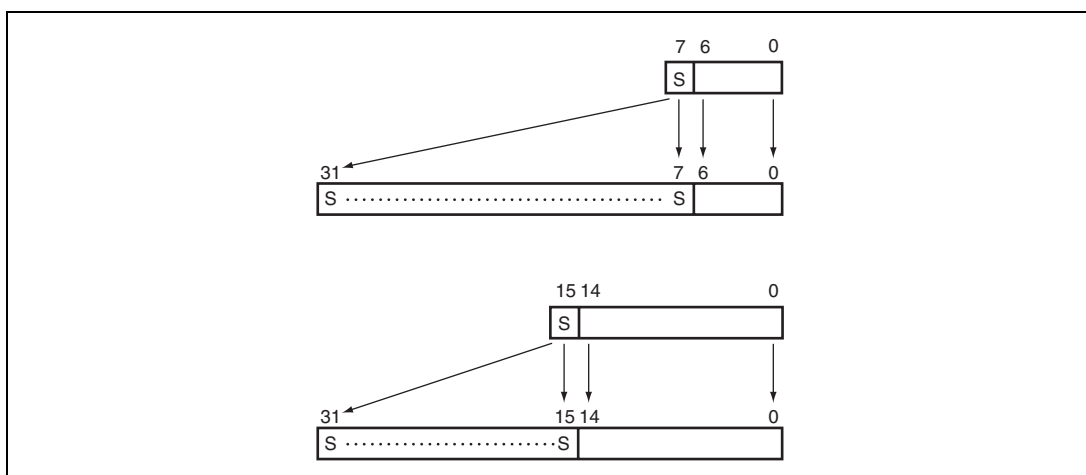


図 2.7 バイトデータ、ワードデータのレジスタ中のデータ形式

2.2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.8に示します。

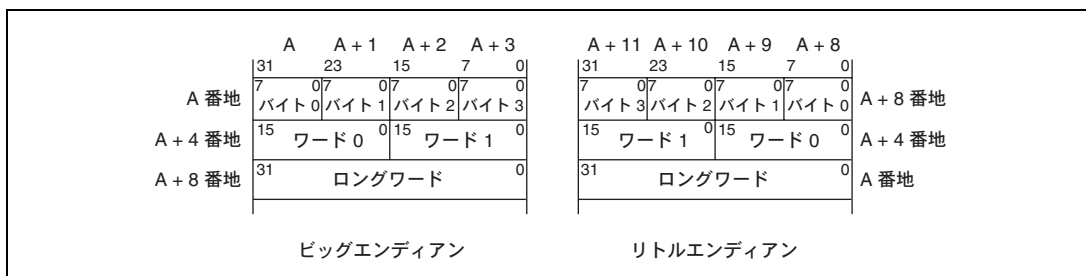


図2.8 メモリ上のデータ形式

64ビットのデータ形式については図2.6を参照してください。

2.2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタとCPU の内部状態とが初期化されます。詳細は、製品ユーザズマニュアルの各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードがあります。低消費電力状態については「第9章 動作モード、低消費電力モード」を参照してください。

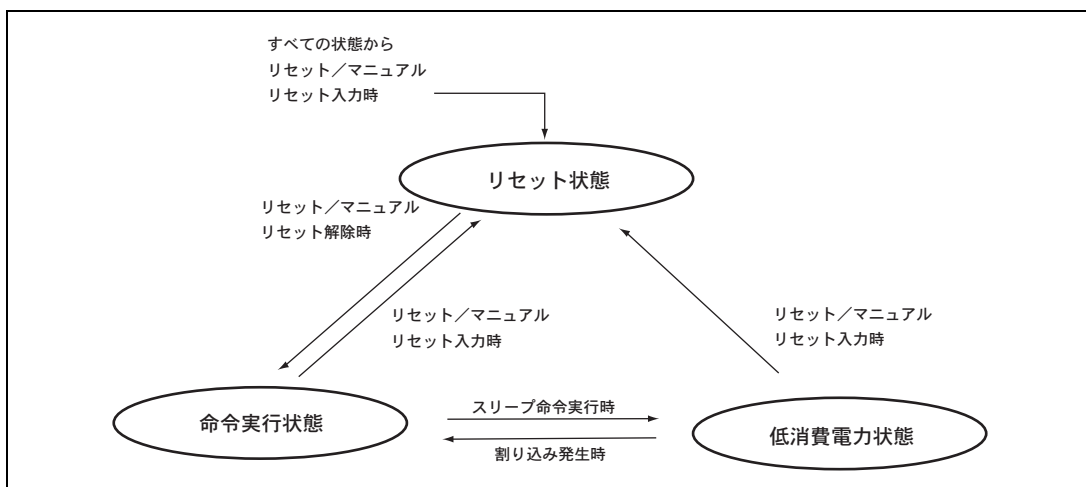


図 2.9 処理状態遷移図

2.2.7 使用上の注意事項

(1) 自己書き換えコードに対する注意事項

SH-4Aは、処理を高速に行うために命令の先読みを従来のSH-4に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(a) 書き換える命令がキャッシング不可能領域にある場合

SYNCO

ICBI @Rn

ICBI命令のRnで指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスでかまいません。

(b) 書き換える命令列がキャッシング可能領域にある場合（ライトスルーモード時）

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてをICBI命令で無効化してください。ICBIはライン単位で行います。1ラインは32バイトです。

(c) 書き換える命令列がキャッシング可能領域にある場合（コピーバックモード時）

OCBP @Rm または OCBWB @Rm

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域すべてをOCBP命令またはOCBWB命令で主記憶に書き戻しを行い、その後ICBI命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWBはライン単位で行います。1ラインは32バイトです。

【注】 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する処理

2.3 命令セット

SH-4A の命令セットは固定長 16 ビット命令で実現されます。SH-4A はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、クワッドワードサイズでメモリとのやりとりが可能です。SH-4A がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

2.3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

SH-4A は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH-4A の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 2.6 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	↓
:			ADD
:			↓
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「2.5 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

ADD	#1, R0	;T ビットは ADD 演算で変更されません。
CMP/EQ	R1, R0	;R0=R1 のとき T ビットは 1 にセットされる。
BT	TARGET	;T ビット=1 (R0=R1) のとき TARGET に分岐する。

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

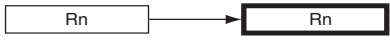
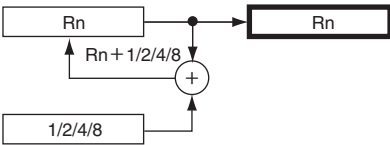
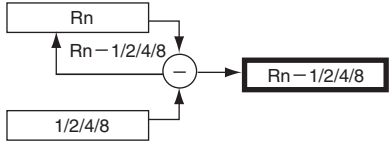
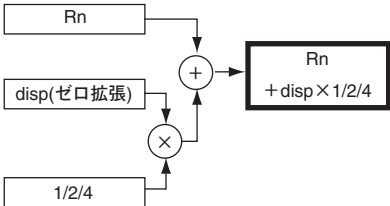
MOV.W	@(disp, PC), Rn
MOV.L	@(disp, PC), Rn

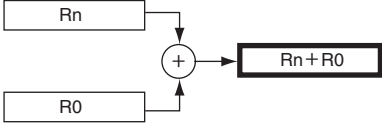
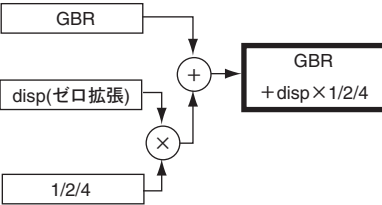
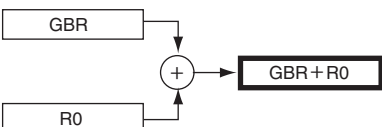
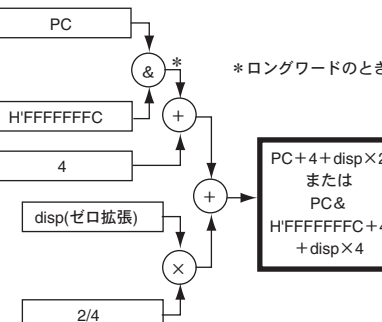
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

2.3.2 アドレッシングモード

表 2.7 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「2.7 メモリマネジメントユニット (MMU)」を参照してください。

表 2.7 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn→EA (EA: 実効アドレス)
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn→EA 命令実行後 バイト: Rn+1→Rn ワード: Rn+2→Rn ロングワード: Rn+4→Rn クワッドワード: Rn+8→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト: Rn-1→Rn ワード: Rn-2→Rn ロングワード: Rn-4→Rn クワッドワード: Rn-8→Rn Rn→EA (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト: Rn+disp→EA ワード: Rn+disp×2→EA ロングワード: Rn+disp×4→EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0 \rightarrow EA$
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	<p>バイト : $GBR + disp \rightarrow EA$ ワード : $GBR + disp \times 2 \rightarrow EA$ ロングワード : $GBR + disp \times 4 \rightarrow EA$</p>
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0 \rightarrow EA$
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC+4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>* ロングワードのとき</p>	<p>ワード : $PC + 4 + disp \times 2 \rightarrow EA$ ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4 \rightarrow EA$</p>

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC+4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp\times 2 \rightarrow \text{Branch-Target}$
	disp:12	<p>実効アドレスは PC+4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp\times 2 \rightarrow \text{Branch-Target}$
	Rn	<p>実効アドレスは PC+4 に Rn を加算した内容です。</p>	$PC+4+Rn \rightarrow \text{Branch-Target}$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレイメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレイメント付き PC 相対
- disp:8, disp:12 ;PC 相対

2.3.3 命令セット

表 2.9～表 2.18 に示す SuperH 命令の説明に使用する表記を表 2.8 に示します。

表 2.8 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		→、← : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB←→LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項目	フォーマット	説明
命令コード	MSB←→LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iii : イミディエイト値 dddd : ディスプレースメント
特権モード	—	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	— : 変更なし
新規	—	「新規」と記載してある場合は、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A で新規に追加された命令です。

【注】 スケーリング (×1、×2、×4、×8) は命令オペランドのサイズに応じて実行されます。

表 2.9 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm→符号拡張→Rn	1110nnnniiiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp×2+PC+4)→符号拡張→Rn	1001nnnndddddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp×4+PC&H'FFFFFFC+4)→Rn	1101nnnndddddddd	-	-	-
MOV Rm,Rn	Rm→Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm)→Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1→Rn, Rm→(Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2→Rn, Rm→(Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4→Rn, Rm→(Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm)→符号拡張→Rn, Rm+1→Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm)→符号拡張→Rn, Rm+2→Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm)→Rn, Rm+4→Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0→(disp+Rn)	10000000nnnndddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0→(disp×2+Rn)	10000001nnnndddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm→(disp×4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm)→符号拡張→R0	10000100mmmmddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp×2+Rm)→符号拡張→R0	10000101mmmmddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp×4+Rm)→Rn	0101nnnnmmmmddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm)→Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0→(disp+GBR)	11000000ddddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0→(disp×2+GBR)	11000001ddddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0→(disp×4+GBR)	11000010ddddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR)→符号拡張→R0	11000100ddddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp×2+GBR)→符号拡張→R0	11000101ddddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp×4+GBR)→R0	11000110ddddddd	-	-	-
MOVA @(disp*,PC),R0	disp×4+PC&H'FFFFFFC+4→R0	11000111ddddddd	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST→T if(T==1)R0→(Rn) 0→LDST	0000nnnn01110011	—	LDST	新規
MOVL.L @Rm,R0	1→LDST (Rm)→R0 ただし、割り込み/例外発生時 0→LDST	0000rrrrm01100011	—	—	新規
MOVUA.L @Rm,R0	(Rm)→R0 非境界調整データのロード	0100rrrrm10101001	—	—	新規
MOVUA.L @Rm+,R0	(Rm)→R0,Rm+4→Rm 非境界調整データのロード	0100rrrrm11101001	—	—	新規
MOVT Rn	T→Rn	0000nnnn00101001	—	—	—
SWAP.B Rm,Rn	Rm→下位 2 バイトの 上下バイト交換→Rn	0110nnnnrrrrm1000	—	—	—
SWAP.W Rm,Rn	Rm→上下ワード交換→Rn	0110nnnnrrrrm1001	—	—	—
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット→Rn	0010nnnnrrrrm1101	—	—	—

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (×1、×2、×4) の値を設定します。

表 2.10 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm→Rn	0011nnnnrrrrm1100	—	—	—
ADD #imm,Rn	Rn+imm→Rn	0111nnnniiiiiiii	—	—	—
ADDC Rm,Rn	Rn+Rm+T→Rn,キャリ→T	0011nnnnrrrrm1110	—	キャリ	—
ADDV Rm,Rn	Rn+Rm→Rn,オーバフロー→T	0011nnnnrrrrm1111	—	オーバ フロー	—
CMP/EQ #imm,R0	R0=imm のとき 1→T それ以外のとき 0→T	10001000iiiiiiii	—	比較 結果	—
CMP/EQ Rm,Rn	Rn=Rm のとき 1→T それ以外のとき 0→T	0011nnnnrrrrm0000	—	比較 結果	—
CMP/HS Rm,Rn	無符号で Rn≥Rm のとき 1→T それ以外のとき 0→T	0011nnnnrrrrm0010	—	比較 結果	—
CMP/GE Rm,Rn	有符号で Rn≥Rm のとき 1→T それ以外のとき 0→T	0011nnnnrrrrm0011	—	比較 結果	—
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1→T それ以外のとき 0→T	0011nnnnrrrrm0110	—	比較 結果	—
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1→T それ以外のとき 0→T	0011nnnnrrrrm0111	—	比較 結果	—
CMP/PZ Rn	Rn≥0 のとき 1→T それ以外のとき 0→T	0100nnnn00010001	—	比較 結果	—

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1→T それ以外るとき 0→T	0100nnnn00010101	—	比較 結果	—
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	0010nnnnnnmm1100	—	比較 結果	—
DIV1 Rm,Rn	1 ステップ除算(Rn÷Rm)	0011nnnnnnmm0100	—	計算 結果	—
DIV0S Rm,Rn	Rn の MSB→Q, Rm の MSB→M, M^Q→T	0010nnnnnnmm0111	—	計算 結果	—
DIV0U	0→M/Q/T	000000000011001	—	0	—
DMULS.L Rm,Rn	符号付きで Rn×Rm→MAC, 32×32→64 ビット	0011nnnnnnmm1101	—	—	—
DMULU.L Rm,Rn	符号なしで Rn×Rm→MAC, 32×32→64 ビット	0011nnnnnnmm0101	—	—	—
DT Rn	Rn-1→Rn, Rn が 0 のとき 1→T Rn が 0 以外るとき 0→T	0100nnnn00010000	—	比較 結果	—
EXTS.B Rm,Rn	Rm をバイトから符号拡張→Rn	0110nnnnnnmm1110	—	—	—
EXTS.W Rm,Rn	Rm をワードから符号拡張→Rn	0110nnnnnnmm1111	—	—	—
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張→Rn	0110nnnnnnmm1100	—	—	—
EXTU.W Rm,Rn	Rm をワードからゼロ拡張→Rn	0110nnnnnnmm1101	—	—	—
MAC.L @Rm+,@Rn+	符号付きで (Rn)×(Rm)+MAC→MAC Rn+4→Rn, Rm+4→Rm 32×32+64→64 ビット	0000nnnnnnmm1111	—	—	—
MAC.W @Rm+,@Rn+	符号付きで (Rn)×(Rm)+MAC→MAC Rn+2→Rn, Rm+2→Rm 16×16+64→64 ビット	0100nnnnnnmm1111	—	—	—
MUL.L Rm,Rn	Rn×Rm→MACL 32×32→32 ビット	0000nnnnnnmm0111	—	—	—
MULS.W Rm,Rn	符号付きで Rn×Rm→MACL 16×16→32 ビット	0010nnnnnnmm1111	—	—	—
MULU.W Rm,Rn	符号なしで Rn×Rm→MACL 16×16→32 ビット	0010nnnnnnmm1110	—	—	—
NEG Rm,Rn	0-Rm→Rn	0110nnnnnnmm1011	—	—	—
NEGC Rm,Rn	0-Rm-T→Rn, ボロー→T	0110nnnnnnmm1010	—	ボロー	—
SUB Rm,Rn	Rn-Rm→Rn	0011nnnnnnmm1000	—	—	—
SUBC Rm,Rn	Rn-Rm-T→Rn,ボロー→T	0011nnnnnnmm1010	—	ボロー	—
SUBV Rm,Rn	Rn-Rm→Rn,アンダフロー→T	0011nnnnnnmm1011	—	アンダ フロー	—

表 2.11 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm \rightarrow Rn$	0010nnnnmmmm1001	—	—	—
AND #imm,R0	$R0 \& imm \rightarrow R0$	11001001iiiiiiii	—	—	—
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	11001101iiiiiiii	—	—	—
NOT Rm,Rn	$\sim Rm \rightarrow Rn$	0110nnnnmmmm0111	—	—	—
OR Rm,Rn	$Rn Rm \rightarrow Rn$	0010nnnnmmmm1011	—	—	—
OR #imm,R0	$R0 imm \rightarrow R0$	11001011iiiiiiii	—	—	—
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm \rightarrow (R0+GBR)$	11001111iiiiiiii	—	—	—
TAS.B @Rn	(Rn)が0のとき 1→T それ以外のとき 0→T 両方に対して 1→(Rn)のMSB	0100nnnn00011011	—	テスト 結果	—
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1→T それ以外のとき 0→T	0010nnnnmmmm1000	—	テスト 結果	—
TST #imm,R0	$R0 \& imm$,結果が0のとき 1→T それ以外のとき 0→T	11001000iiiiiiii	—	テスト 結果	—
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1→T それ以外のとき 0→T	11001100iiiiiiii	—	テスト 結果	—
XOR Rm,Rn	$Rn \wedge Rm \rightarrow Rn$	0010nnnnmmmm1010	—	—	—
XOR #imm,R0	$R0 \wedge imm \rightarrow R0$	11001010iiiiiiii	—	—	—
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	11001110iiiiiiii	—	—	—

表 2.12 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	$T \leftarrow Rn \leftarrow \text{MSB}$	0100nnnn00000100	—	MSB	—
ROTR	Rn	$\text{LSB} \rightarrow Rn \rightarrow T$	0100nnnn00000101	—	LSB	—
ROTCL	Rn	$T \leftarrow Rn \leftarrow T$	0100nnnn00100100	—	MSB	—
ROTCR	Rn	$T \rightarrow Rn \rightarrow T$	0100nnnn00100101	—	LSB	—
SHAD	Rm, Rn	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$, $Rm < 0$ のとき $Rn \gg Rm \rightarrow [\text{MSB} \rightarrow Rn]$	0100nnnnmmmm1100	—	—	—
SHAL	Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00100000	—	MSB	—
SHAR	Rn	$\text{MSB} \rightarrow Rn \rightarrow T$	0100nnnn00100001	—	LSB	—
SHLD	Rm, Rn	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$, $Rm < 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	0100nnnnmmmm1101	—	—	—
SHLL	Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00000000	—	MSB	—
SHLR	Rn	$0 \rightarrow Rn \rightarrow T$	0100nnnn00000001	—	LSB	—
SHLL2	Rn	$Rn \ll 2 \rightarrow Rn$	0100nnnn00001000	—	—	—
SHLR2	Rn	$Rn \gg 2 \rightarrow Rn$	0100nnnn00001001	—	—	—
SHLL8	Rn	$Rn \ll 8 \rightarrow Rn$	0100nnnn00011000	—	—	—
SHLR8	Rn	$Rn \gg 8 \rightarrow Rn$	0100nnnn00011001	—	—	—
SHLL16	Rn	$Rn \ll 16 \rightarrow Rn$	0100nnnn00101000	—	—	—
SHLR16	Rn	$Rn \gg 16 \rightarrow Rn$	0100nnnn00101001	—	—	—

表 2.13 分岐命令

命令		動作	命令コード	特権	T ビット	新規
BF	label	T=0 のとき disp×2+PC+4→PC, T=1 のとき nop	10001011dddddddd	—	—	—
BF/S	label	遅延分岐,T=0 のとき disp×2+PC+4→PC, T=1 のとき nop	10001111dddddddd	—	—	—
BT	label	T=1 のとき disp×2+PC+4→PC, T=0 のとき nop	10001001dddddddd	—	—	—
BT/S	label	遅延分岐,T=1 のとき disp×2+PC+4→PC, T=0 のとき nop	10001101dddddddd	—	—	—
BRA	label	遅延分岐,disp×2+PC+4→PC	1010dddddddddddd	—	—	—
BRAF	Rn	遅延分岐,Rn+PC+4→PC	0000nnnn00100011	—	—	—
BSR	label	遅延分岐,PC+4→PR, disp×2+PC+4→PC	1011dddddddddddd	—	—	—
BSRF	Rn	遅延分岐,PC+4→PR, Rn+PC+4→PC	0000nnnn00000011	—	—	—
JMP	@Rn	遅延分岐,Rn→PC	0100nnnn00101011	—	—	—
JSR	@Rn	遅延分岐,PC+4→PR,Rn→PC	0100nnnn00001011	—	—	—
RTS		遅延分岐,PR→PC	0000000000001011	—	—	—

表 2.14 システム制御命令

命令		動作	命令コード	特権	T ビット	新規
CLRMAC		0→MACH,MACL	0000000000101000	—	—	—
CLRS		0→S	000000001001000	—	—	—
CLRT		0→T	0000000000001000	—	0	—
ICBI	@Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	—	—	新規
LDC	Rm,SR	Rm→SR	0100mmmm00001110	特権	LSB	—
LDC	Rm,GBR	Rm→GBR	0100mmmm00011110	—	—	—
LDC	Rm,VBR	Rm→VBR	0100mmmm00101110	特権	—	—
LDC	Rm,SGR	Rm→SGR	0100mmmm00111010	特権	—	新規
LDC	Rm,SSR	Rm→SSR	0100mmmm00111110	特権	—	—
LDC	Rm,SPC	Rm→SPC	0100mmmm01001110	特権	—	—
LDC	Rm,DBR	Rm→DBR	0100mmmm11111010	特権	—	—
LDC	Rm,Rn_BANK	Rm→Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	—	—
LDC.L	@Rm+,SR	(Rm)→SR,Rm+4→Rm	0100mmmm00000111	特権	LSB	—
LDC.L	@Rm+,GBR	(Rm)→GBR,Rm+4→Rm	0100mmmm00010111	—	—	—

命令	動作	命令コード	特権	T ビット	新規
LDC.L @Rm+,VBR	(Rm)→VBR,Rm+4→Rm	0100mrrrrmm00100111	特権	—	—
LDC.L @Rm+,SGR	(Rm)→SGR,Rm+4→Rm	0100mrrrrmm00110110	特権	—	新規
LDC.L @Rm+,SSR	(Rm)→SSR,Rm+4→Rm	0100mrrrrmm00110111	特権	—	—
LDC.L @Rm+,SPC	(Rm)→SPC,Rm+4→Rm	0100mrrrrmm01000111	特権	—	—
LDC.L @Rm+,DBR	(Rm)→DBR,Rm+4→Rm	0100mrrrrmm11110110	特権	—	—
LDC.L @Rm+,Rn_BANK	(Rm)→Rn_BANK,Rm+4→Rm	0100mrrrrmm1nrrn0111	特権	—	—
LDS Rm,MACH	Rm→MACH	0100mrrrrmm00001010	—	—	—
LDS Rm,MACL	Rm→MACL	0100mrrrrmm00011010	—	—	—
LDS Rm,PR	Rm→PR	0100mrrrrmm00101010	—	—	—
LDS.L @Rm+,MACH	(Rm)→MACH,Rm+4→Rm	0100mrrrrmm00000110	—	—	—
LDS.L @Rm+,MACL	(Rm)→MACL,Rm+4→Rm	0100mrrrrmm00010110	—	—	—
LDS.L @Rm+,PR	(Rm)→PR,Rm+4→Rm	0100mrrrrmm00100110	—	—	—
LDTLB	PTEH/PTEL→TLB	0000000000111000	特権	—	—
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに) R0→(Rn)	0000nnrrn11000011	—	—	—
NOP	無操作	0000000000001001	—	—	—
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnrrn10010011	—	—	—
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnrrn10100011	—	—	—
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnrrn10110011	—	—	—
PREF @Rn	(Rn)→オペランドキャッシュ	0000nnrrn10000011	—	—	—
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnrrn11010011	—	—	新規
RTE	遅延分岐,SSR/SPC→SR/PC	0000000000101011	特権	—	—
SETS	1→S	0000000001011000	—	—	—
SETT	1→T	0000000000011000	—	1	—
SLEEP	スリープ、ソフトウェアスタンバイ、もしくはディープスタンバイ	0000000000011011	特権	—	—
STC SR,Rn	SR→Rn	0000nnrrn00000010	特権	—	—
STC GBR,Rn	GBR→Rn	0000nnrrn00010010	—	—	—
STC VBR,Rn	VBR→Rn	0000nnrrn00100010	特権	—	—
STC SSR,Rn	SSR→Rn	0000nnrrn00110010	特権	—	—
STC SPC,Rn	SPC→Rn	0000nnrrn01000010	特権	—	—
STC SGR,Rn	SGR→Rn	0000nnrrn00111010	特権	—	—
STC DBR,Rn	DBR→Rn	0000nnrrn11111010	特権	—	—

命令	動作	命令コード	特権	T ビット	新規
STC Rm_BANK,Rn	Rm_BANK→Rn(m=0~7)	0000nnnnn1mmmm0010	特権	—	—
STC.L SR,@-Rn	Rn-4→Rn,SR→(Rn)	0100nnnnn00000011	特権	—	—
STC.L GBR,@-Rn	Rn-4→Rn,GBR→(Rn)	0100nnnnn00010011	—	—	—
STC.L VBR,@-Rn	Rn-4→Rn,VBR→(Rn)	0100nnnnn00100011	特権	—	—
STC.L SSR,@-Rn	Rn-4→Rn,SSR→(Rn)	0100nnnnn00110011	特権	—	—
STC.L SPC,@-Rn	Rn-4→Rn,SPC→(Rn)	0100nnnnn01000011	特権	—	—
STC.L SGR,@-Rn	Rn-4→Rn,SGR→(Rn)	0100nnnnn00110010	特権	—	—
STC.L DBR,@-Rn	Rn-4→Rn,DBR→(Rn)	0100nnnnn11110010	特権	—	—
STC.L Rm_BANK,@-Rn	Rn-4→Rn,Rm_BANK→(Rn) (m=0~7)	0100nnnnn1mmmm0011	特権	—	—
STS MACH,Rn	MACH→Rn	0000nnnnn00001010	—	—	—
STS MACL,Rn	MACL→Rn	0000nnnnn00011010	—	—	—
STS PR,Rn	PR→Rn	0000nnnnn00101010	—	—	—
STS.L MACH,@-Rn	Rn-4→Rn,MACH→(Rn)	0100nnnnn00000010	—	—	—
STS.L MACL,@-Rn	Rn-4→Rn,MACL→(Rn)	0100nnnnn00010010	—	—	—
STS.L PR,@-Rn	Rn-4→Rn,PR→(Rn)	0100nnnnn00100010	—	—	—
SYNCO	本命令以前のデータ操作を完了する まで、本命令以降の命令を開始しない	0000000010101011	—	—	新規
TRAPA #imm	imm<<2→TRA,PC+2→SPC, SR→SSR,R15→SGR, 1→SR.MD/BL/RB,H'160→EXPEVT, VBR+H'0100→PC	11000011iiiiiiii	—	—	—

表 2.15 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0	FRn	H'00000000→FRn	1111nnnn10001101	—	—
FLDI1	FRn	H'3F800000→FRn	1111nnnn10011101	—	—
FMOV	FRm,FRn	FRm→FRn	1111nnnnmmmm1100	—	—
FMOV.S	@Rm,FRn	(Rm)→FRn	1111nnnnmmmm1000	—	—
FMOV.S	@(R0,Rm),FRn	(R0+Rm)→FRn	1111nnnnmmmm0110	—	—
FMOV.S	@Rm+,FRn	(Rm)→FRn,Rm+4→Rm	1111nnnnmmmm1001	—	—
FMOV.S	FRm,@Rn	FRm→(Rn)	1111nnnnmmmm1010	—	—
FMOV.S	FRm,@-Rn	Rn-4→Rn,FRm→(Rn)	1111nnnnmmmm1011	—	—
FMOV.S	FRm,@(R0,Rn)	FRm→(R0+Rn)	1111nnnnmmmm0111	—	—
FMOV	DRm,DRn	DRm→DRn	1111nnnn0mmmm01100	—	—
FMOV	@Rm,DRn	(Rm)→DRn	1111nnnn0mmmm1000	—	—
FMOV	@(R0,Rm),DRn	(R0+Rm)→DRn	1111nnnn0mmmm0110	—	—
FMOV	@Rm+,DRn	(Rm)→DRn,Rm+8→Rm	1111nnnn0mmmm1001	—	—
FMOV	DRm,@Rn	DRm→(Rn)	1111nnnnmmmm01010	—	—
FMOV	DRm,@-Rn	Rn-8→Rn,DRm→(Rn)	1111nnnnmmmm01011	—	—
FMOV	DRm,@(R0,Rn)	DRm→(R0+Rn)	1111nnnnmmmm00111	—	—
FLDS	FRm,FPUL	FRm→FPUL	1111mmmm00011101	—	—
FSTS	FPUL,FRn	FPUL→FRn	1111nnnn00001101	—	—
FABS	FRn	FRn & H'7FFF FFFF→FRn	1111nnnn01011101	—	—
FADD	FRm,FRn	FRn+FRm→FRn	1111nnnnmmmm0000	—	—
FCMP/EQ	FRm,FRn	FRn=FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0100	—	比較 結果
FCMP/GT	FRm,FRn	FRn>FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0101	—	比較 結果
FDIV	FRm,FRn	FRn/FRm→FRn	1111nnnnmmmm0011	—	—
FLOAT	FPUL,FRn	(float)FPUL→FRn	1111nnnn00101101	—	—
FMAC	FR0,FRm,FRn	FR0×FRm+FRn→FRn	1111nnnnmmmm1110	—	—
FMUL	FRm,FRn	FRn×FRm→FRn	1111nnnnmmmm0010	—	—
FNEG	FRn	FRn ^ H'80000000→FRn	1111nnnn01001101	—	—
FSQRT	FRn	sqrt(FRn)→FRn*	1111nnnn01101101	—	—
FSUB	FRm,FRn	FRn - FRm→FRn	1111nnnnmmmm0001	—	—
FTRC	FRm,FPUL	(long)FRm→FPUL	1111mmmm00111101	—	—

【注】 * sqrt(FRn)は FRn の平方根を表します。

表 2.16 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF→DRn	1111nnn001011101	—	—	—
FADD DRm,DRn	DRn+DRm→DRn	1111nnn0mmmm00000	—	—	—
FCMP/EQ DRm,DRn	DRn=DRm のとき 1→T それ以外るとき 0→T	1111nnn0mmmm00100	—	比較 結果	—
FCMP/GT DRm,DRn	DRn>DRm のとき 1→T それ以外るとき 0→T	1111nnn0mmmm00101	—	比較 結果	—
FDIV DRm,DRn	DRn/DRm→DRn	1111nnn0mmmm00011	—	—	—
FCNVDS DRm,FPUL	double_to_float(DRm)→FPUL	1111mmmm010111101	—	—	—
FCNVSD FPUL,DRn	float_to_double(FPUL)→DRn	1111nnn010101101	—	—	—
FLOAT FPUL,DRn	(float)FPUL→DRn	1111nnn000101101	—	—	—
FMUL DRm,DRn	DRn×DRm→DRn	1111nnn0mmmm00010	—	—	—
FNEG DRn	DRn ^ H'8000 0000 0000 0000→DRn	1111nnn001001101	—	—	—
FSQRT DRn	sqrt(DRn)→DRn*	1111nnn001101101	—	—	—
FSUB DRm,DRn	DRn - DRm→DRn	1111nnn0mmmm00001	—	—	—
FTRC DRm,FPUL	(long)DRm→FPUL	1111mmmm000111101	—	—	—

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 2.17 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm→FPSCR	0100mmmm01101010	—	—	—
LDS Rm,FPUL	Rm→FPUL	0100mmmm01011010	—	—	—
LDS.L @Rm+,FPSCR	(Rm)→FPSCR,Rm+4→Rm	0100mmmm01100110	—	—	—
LDS.L @Rm+,FPUL	(Rm)→FPUL,Rm+4→Rm	0100mmmm01010110	—	—	—
STS FPSCR,Rn	FPSCR→Rn	0000nnnn01101010	—	—	—
STS FPUL,Rn	FPUL→Rn	0000nnnn01011010	—	—	—
STS.L FPSCR,@-Rn	Rn-4→Rn,FPSCR→(Rn)	0100nnnn01100010	—	—	—
STS.L FPUL,@-Rn	Rn-4→Rn,FPUL→(Rn)	0100nnnn01010010	—	—	—

表 2.18 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm→XDn	1111nnn1mmmm01100	—	—	—
FMOV XDm, DRn	XDm→DRn	1111nnn0mmmm11100	—	—	—
FMOV XDm, XDn	XDm→XDn	1111nnn1mmmm11100	—	—	—
FMOV @Rm, XDn	(Rm)→XDn	1111nnn1mmmm1000	—	—	—
FMOV @Rm+, XDn	(Rm)→XDn, Rm+8→Rm	1111nnn1mmmm1001	—	—	—
FMOV @(R0, Rm), XDn	(R0+Rm)→XDn	1111nnn1mmmm0110	—	—	—
FMOV XDm, @Rn	XDm→(Rn)	1111nnnnmmmm11010	—	—	—
FMOV XDm, @-Rn	Rn-8→Rn, XDm→(Rn)	1111nnnnmmmm11011	—	—	—
FMOV XDm, @(R0, Rn)	XDm→(R0+Rn)	1111nnnnmmmm10111	—	—	—
FIPR FVm, FVn	inner_product(FVm, FVn) →FR[n+3]	1111nnmm11101101	—	—	—
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) →FVn	1111nn0111111101	—	—	—
FRCHG	~FRSCR.FR→FRSCR.FR	1111101111111101	—	—	—
FSCHG	~FPSCR.SZ→FPSCR.SZ	1111001111111101	—	—	—
FPCHG	~FPSCR.PR→FPSCR.PR	1111011111111101	—	—	新規
FSRRA FRn	1/sqrt(FRn)→FRn*	1111nnnn01111101	—	—	新規
FSCA FPUL, DRn	sin(FPUL)→FRn cos(FPUL)→FR[n+1]	1111nnn011111101	—	—	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

2.4 パイプライン動作

SH-4A は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

2.4.1 パイプライン

図 2.10 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

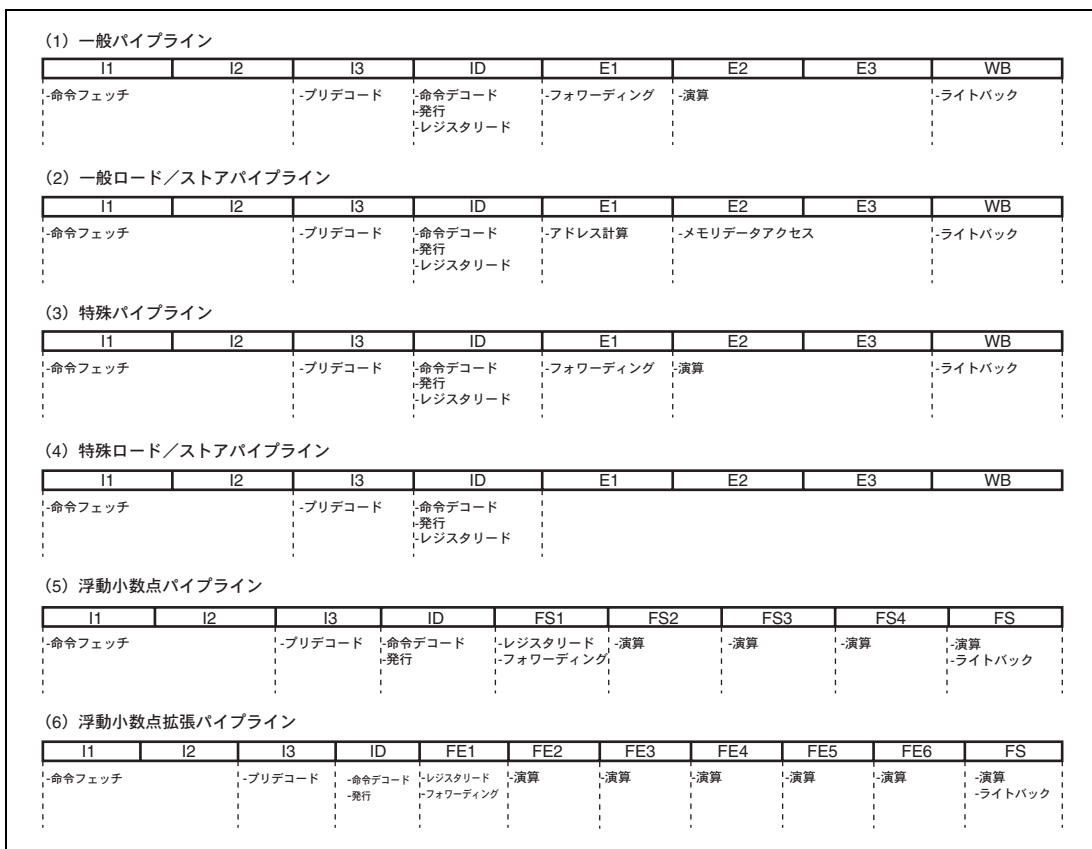


図 2.10 基本パイプライン

図 2.11～図 2.19 に命令実行パターンを示します。図 2.11～図 2.19 で使用する表記とその意味を以下に示します。

表 2.19 命令実行パターン表記説明

表 記	意 味							
<table border="1"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1"><tr><td>E1S1</td><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1	E1s1							
<table border="1"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
└─	CPU と FPU 両方のパイプを占有							

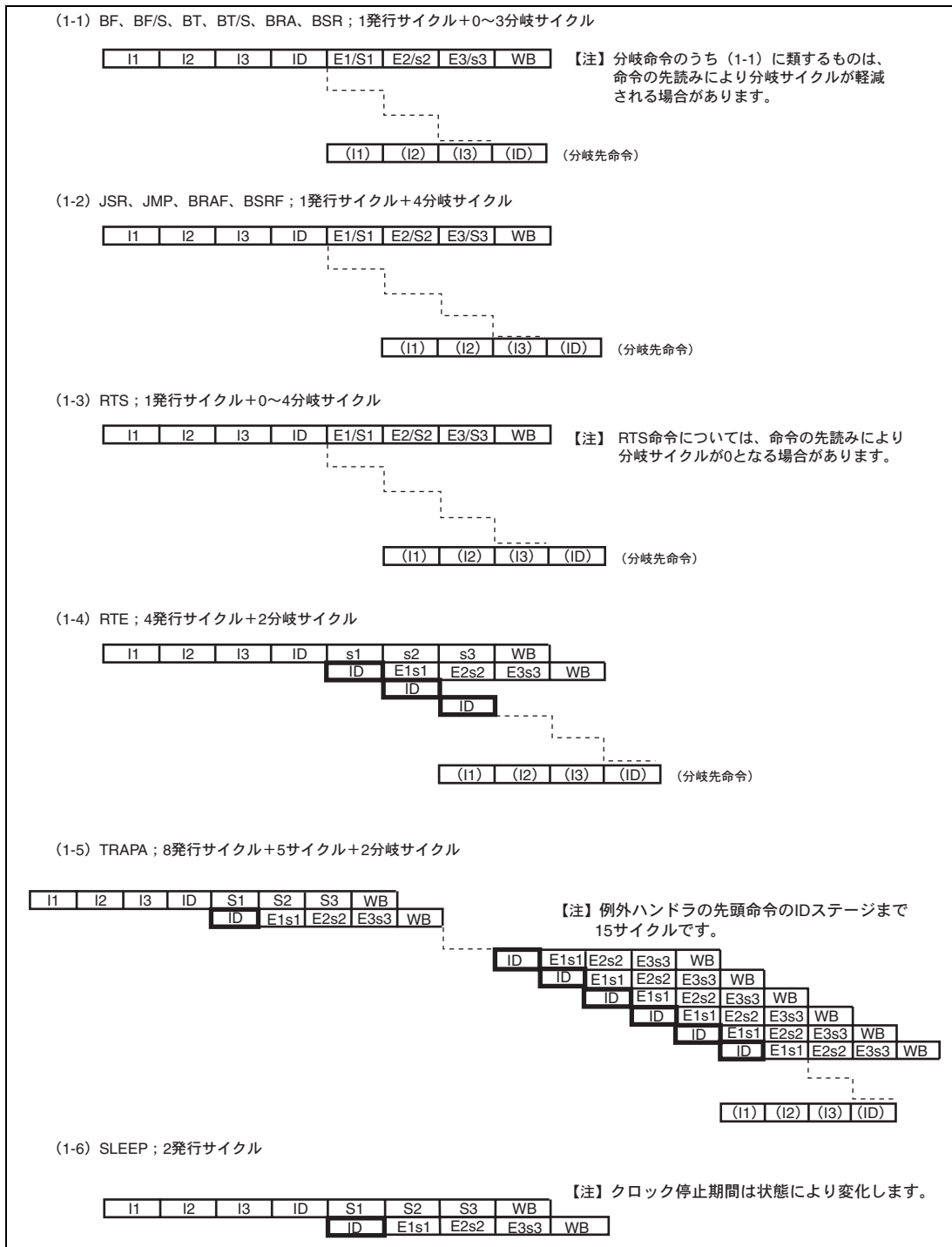


図 2.11 命令実行パターン (1)

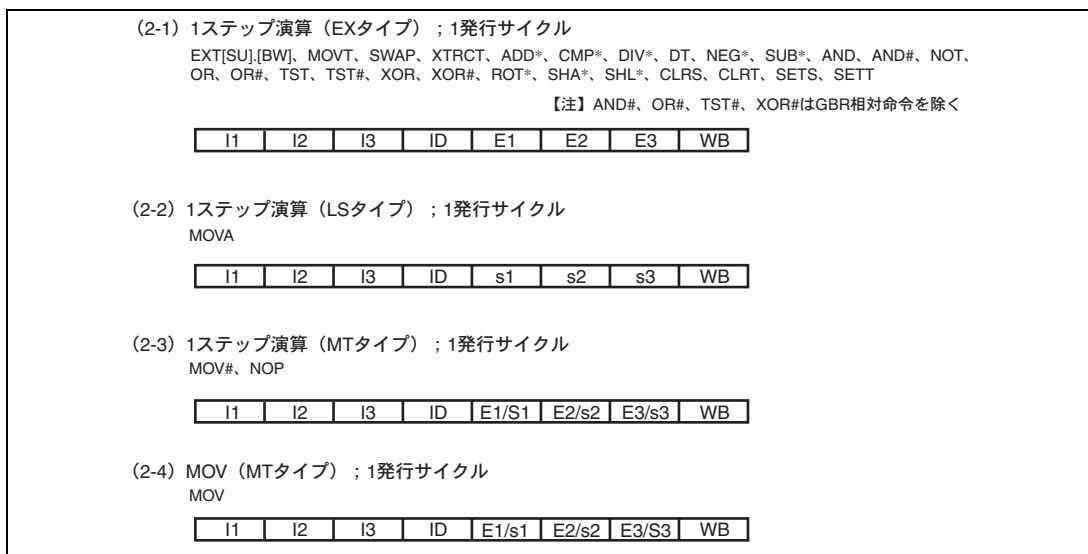


図 2.12 命令実行パターン (2)

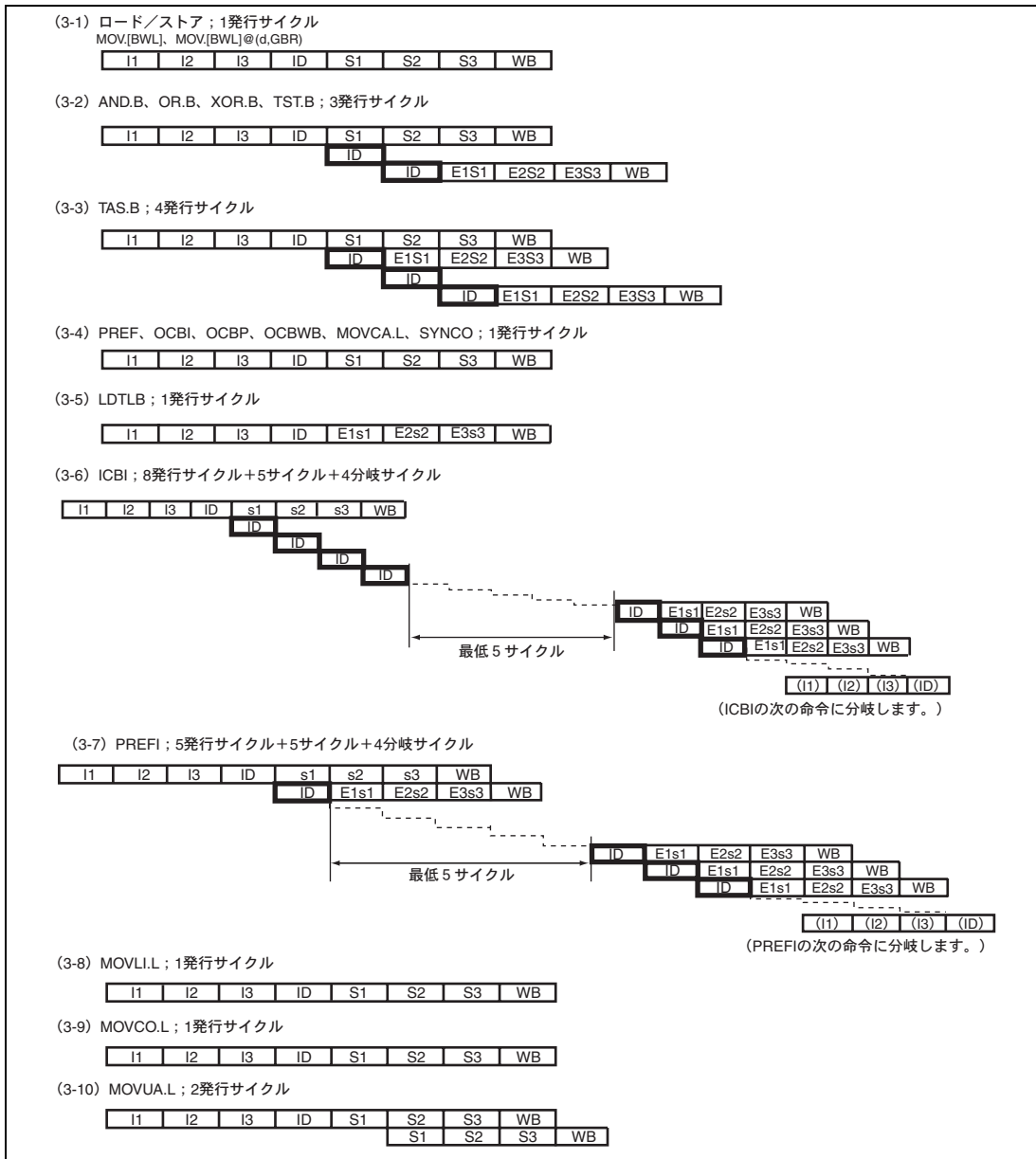


図 2.13 命令実行パターン (3)

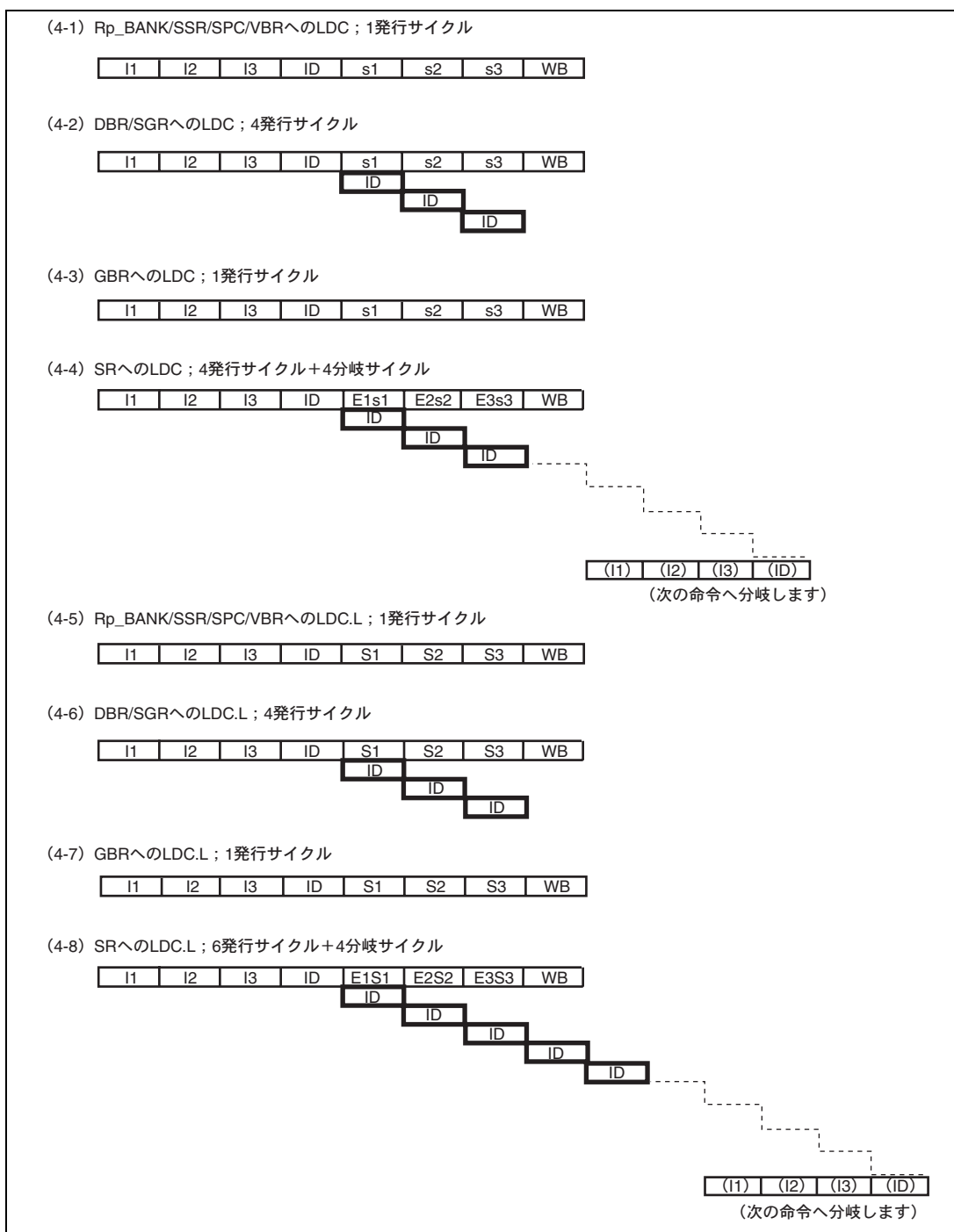


図 2.14 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令（PRセット） ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(?1)	(?2)	(?3)	(WB)
------	------	------	------	------	------	------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 2.15 命令実行パターン (5)

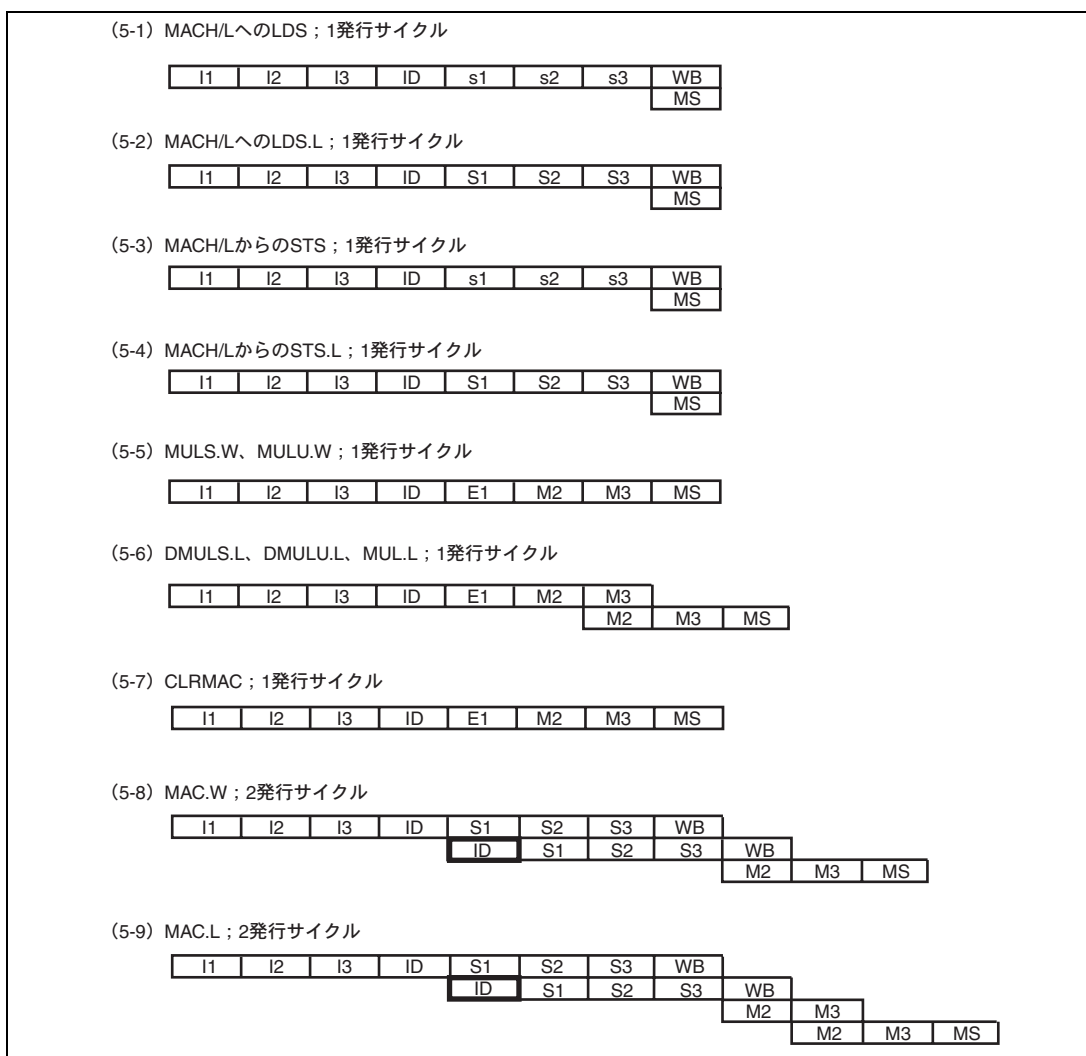


図 2.16 命令実行パターン (6)

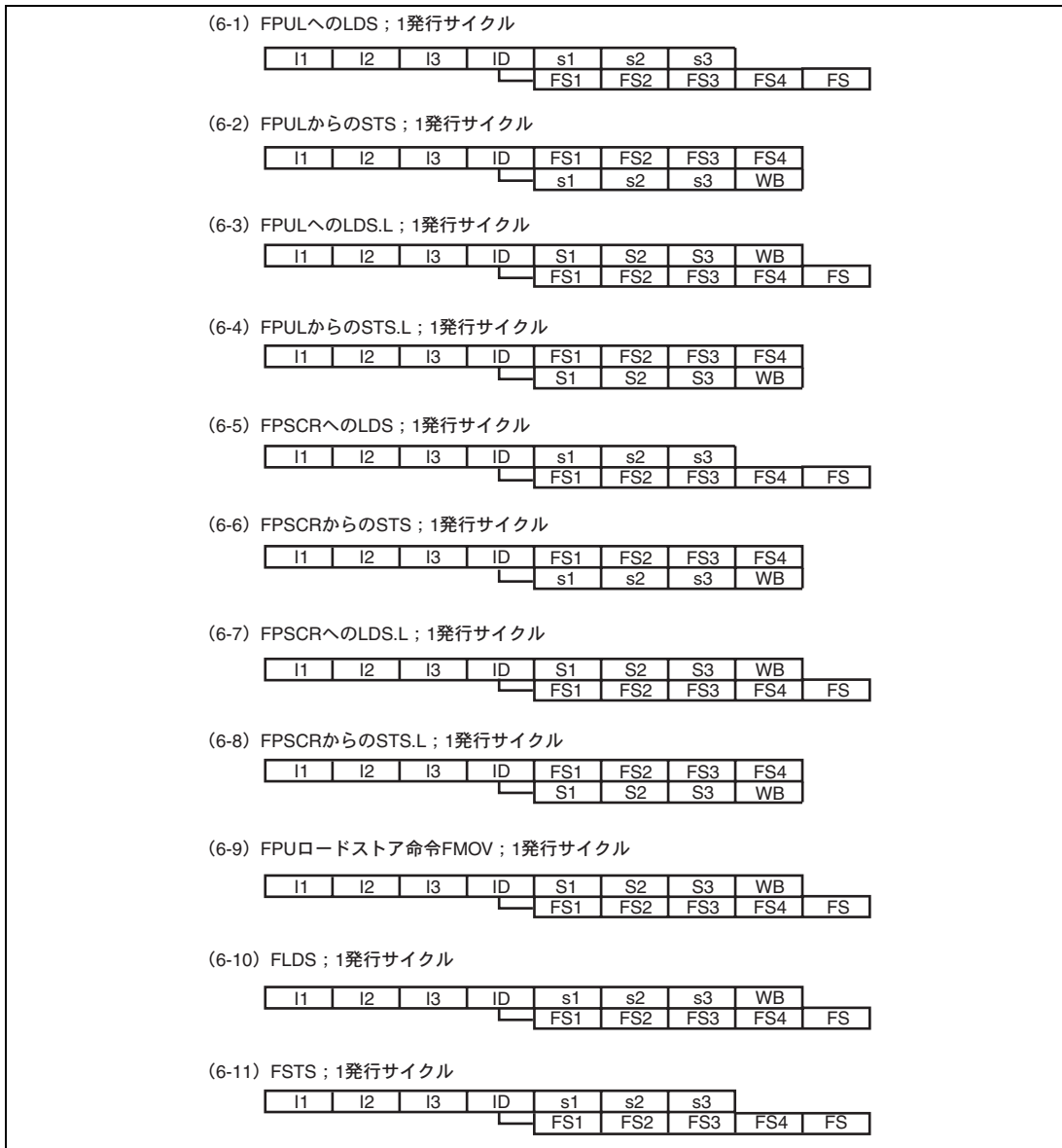


図 2.17 命令実行パターン (7)

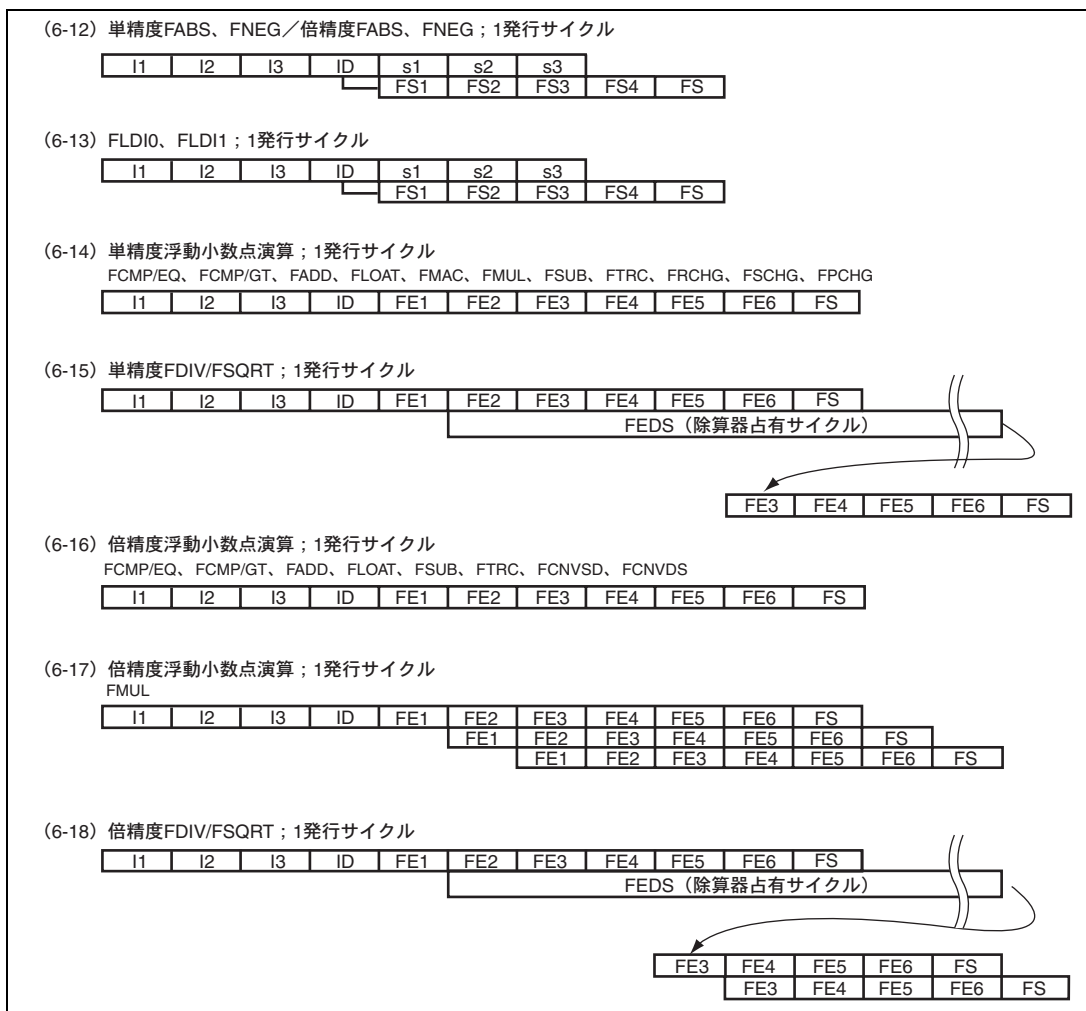


図 2.18 命令実行パターン (8)



図 2.19 命令実行パターン (9)

2.4.2 並列実行性

命令は利用する内部機能ブロックにより、表 2.20 に示すようなグループに分類されます。表 2.21 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 2.20 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の2命令で1Kバイト (最小のページサイズ) をまたがないこと
2. 表2.21 (先行・後行掛け合わせ表) で同時実行可能である (○となっている) こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

表 2.21 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	×	○	○	○	○	
	MT	○	○	○	○	○	
	BR	○	○	×	○	○	
	LS	○	○	○	×	○	
	FE	○	○	○	○	×	
	CO						

2.4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 2.22 に示します。表 2.22 中の命令グループは表 2.20 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

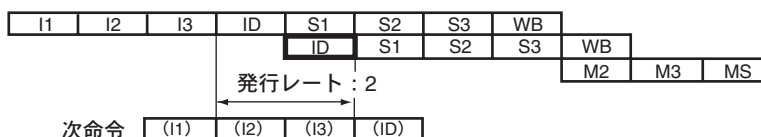
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

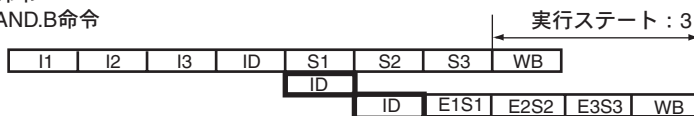


(2) 実行ステート

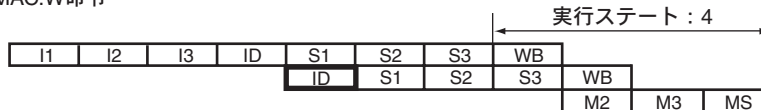
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・ CPU命令

(例) AND.B命令

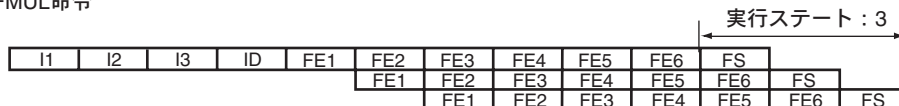


(例) MAC.W命令



・ FPU命令

(例) FMUL命令



(例) FDIV命令



表 2.22 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVL.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71	DT	Rn	EX	1	1	2-1	
72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9	

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
143	LDC	Rm,VBR	LS	1	1	4-1	
144	LDC.L	@Rm+,DBR	CO	4	4	4-6	
145	LDC.L	@Rm+,SGR	CO	4	4	4-6	

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
システム制御命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度浮動小数点命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	30	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
203	FMOV	DRm,DRn	LS	1	1	6-9	
204	FMOV	@Rm,DRn	LS	1	1	6-9	
205	FMOV	@Rm+,DRn	LS	1	1	6-9	
206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
207	FMOV	DRm,@Rn	LS	1	1	6-9	
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	14	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21
245	FSCA	FPUL,DRn	FE	1	3	6-22	
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

2.5 例外処理

2.5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4A の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

2.5.2 レジスタの説明

例外処理に関するレジスタ構成を表 2.23 に示します。

表 2.23 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 2.24 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
TRAPA 例外レジスタ	TRA	不定	不定	保持	保持	不定
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持	H'0000 0000
割り込み事象レジスタ	INTEVT	不定	不定	保持	保持	不定
非サポート検出 例外レジスタ	EXPMASK	初期値 (H'0000 0013)	初期値 (H'0000 0013)	保持	保持	初期値 (H'0000 0013)

(1) TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1, 0	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

(2) 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 2.25 を参照してください。

(3) 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
初期値 :	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 2.25 を参照してください。

(4) 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	MM CAW	—	—	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0:メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1:メモリ割り付け連想書き込みを許可します。
3, 2	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	BRDSSLP	1	R/W	遅延スロット SLEEP 命令 0:遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1:遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0:RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1:RTE 命令の遅延スロットにある NOP 命令以外を許可します。

2.5.3 例外処理の機能

(1) 例外処理の流れ

例外処理では、プログラムカウンタ（PC）、ステータスレジスタ（SR）、R15の内容がそれぞれ退避プログラムカウンタ（SPC）、退避ステータスレジスタ（SSR）、退避ジェネラルレジスタ（SGR）に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令（RTE）を実行します。本命令によって、PCとSRの内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGRの内容はRTE命令ではR15に書き戻されません。

基本的な例外処理の流れは次のようになります。SRのビットの意味の詳細は、「2.2 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット（BL）が1に設定されます。
3. SRのモードビット（MD）が1に設定されます。
4. SRのレジスタバンクビット（RB）が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット（FD）が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ（EXPEVT）、または割り込み事象レジスタ（INTEVT）のビット13～0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

(2) 例外処理ベクタアドレス

リセットベクタアドレスはH'A000 0000に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ（VBR）にソフトウェアで設定します。たとえば、TLBミス例外のオフセットはH'0000 0400ですから、VBRにH'9C08 0000を設定しておくと、例外処理ベクタアドレスはH'9C08 0400になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならないP1、P2領域のアドレスを指定してください。

2.5.4 例外の種類と優先順位

表 2.25 に、例外の種類、優先順位、ベクタアドレス、および例外／割り込みコードを示します。

表 2.25 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード
					ベクタベース	オフセット	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	—	H'000
		マニュアルリセット	1	2	H'A000 0000	—	H'020
		H-UDI リセット	1	1	H'A000 0000	—	H'000
		命令 TLB 多重ヒット例外	1	2	H'A000 0000	—	H'140
		データ TLB 多重ヒット例外	1	3	H'A000 0000	—	H'140
一般例外	再実行型	命令実行前ユーザブレイク*	2	0	(VBR/DBR)	H'100/—	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0
		FPU 例外	2	8	(VBR)	H'100	H'120
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100
	命令実行後ユーザブレイク*		2	10	(VBR/DBR)	H'100/—	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	—	(VBR)	H'600
一般割り込み要求			4	—	(VBR)	H'600	—

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR+オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

2.5.5 例外フロー

(1) 例外フロー

図 2.20 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 2.20 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 2.20 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「2.5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「2.5.6 (4) 複数回の例外が発生する場合の優先順位」を参照してください。

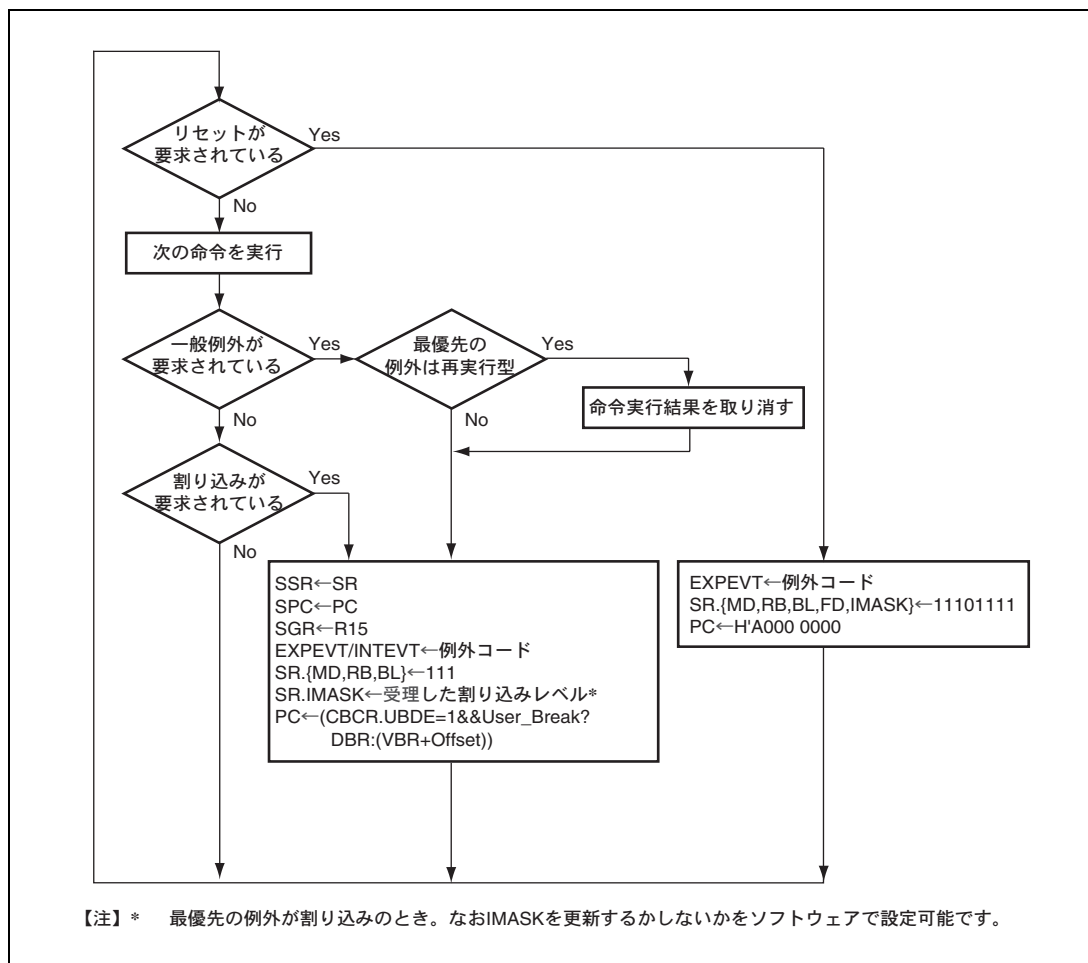


図 2.20 命令実行と例外処理

(2) 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般FPU抑止例外、スロットFPU抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図2.21に示します。

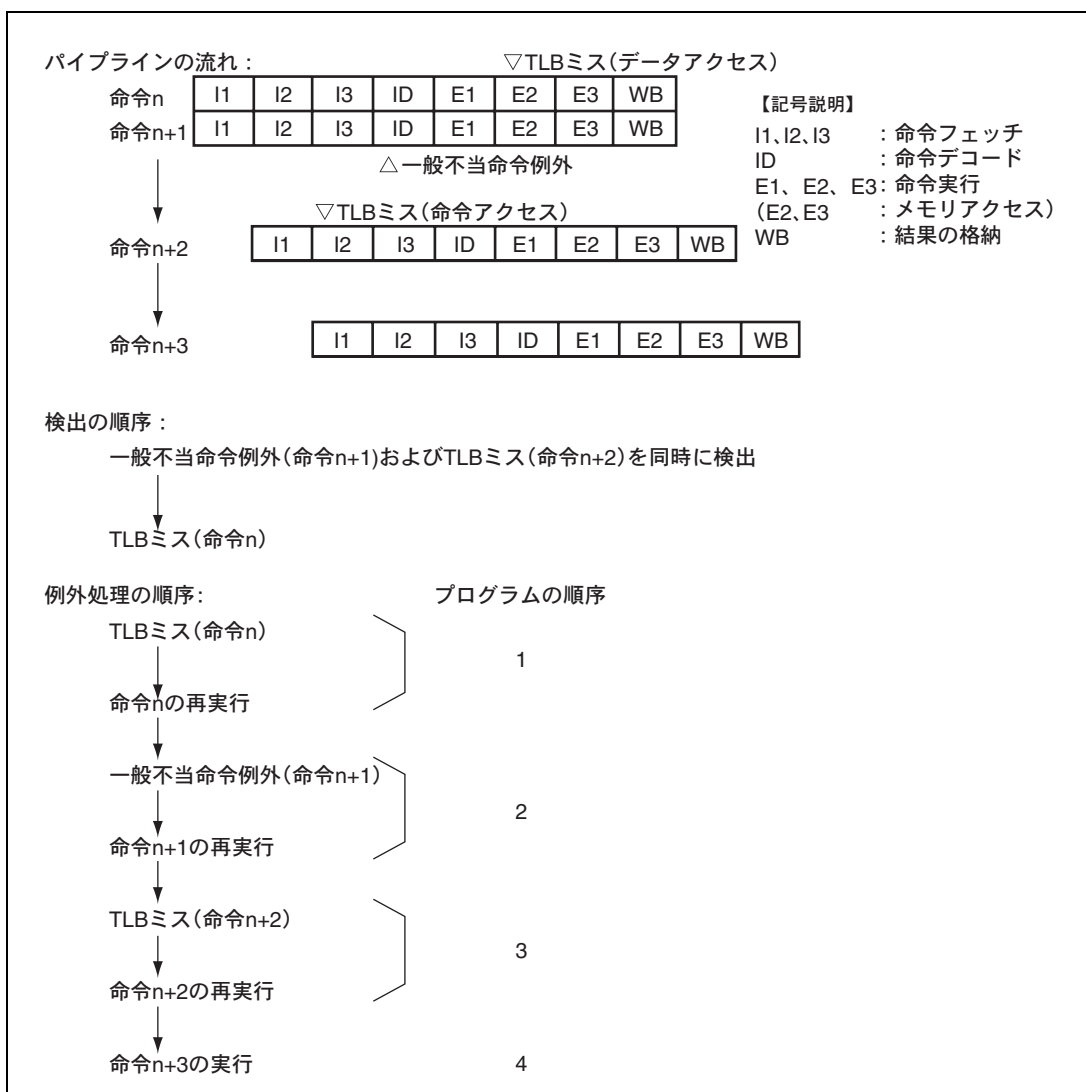


図 2.21 一般例外の受け付け順序の例

(3) 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「**第 38 章 ユーザブレイクコントローラ (UBC)**」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

(4) 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

2.5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

(1) リセット

(a) パワーオンリセット

- 条件：

パワーオンリセット要求

- 動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(b) マニュアルリセット

- 条件：

マニュアルリセット要求

- 動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(c) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、「第39章 ユーザデバッグインタフェース (H-UDI)」および各章のレジスタの説明を参照してください。

(d) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(e) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(2) 一般例外

(a) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(b) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(c) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。


```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(d) データ TLB 保護違反例外

- 要因：アクセスが表2.26、表2.27に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 2.26 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し／書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し／書き込み可	読み出し／書き込み可

表 2.27 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(e) 命令 TLB 保護違反例外

- 要因 : アクセスが表2.28、表2.29に示すITLBのプロテクション情報 (PRビット) に反する。

表 2.28 ITLB プロテクション情報 (TLB 互換モードの場合)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 2.29 ITLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5], EPR[3]	特権モードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC= VBR+H'0100に分岐します。

```
ITLB_protection_violation_exception()
```

```
{
```

```
    TEA = EXCEPTION_ADDRESS;
```

```
    PTEH.VPN = PAGE_NUMBER;
```

```
    SPC = PC;
```

```
    SSR = SR;
```

```
    SGR = R15;
```

```
    EXPEVT = H'000000A0;
```

```
    SR.MD = 1;
```

```
    SR.RB = 1;
```

```
    SR.BL = 1;
```

```
    PC = VBR + H'00000100;
```

```
}
```

(f) データアドレスエラー

• 要因：

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFへのアクセス
ただし、H'E000 0000~H'E3FF FFFFおよびH'E500 0000~H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「2.7 メモリマネジメントユニット (MMU)」および「2.9 内蔵メモリ」を参照してください。
- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。詳細は「2.7 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(g) 命令アドレスエラー

● 要因：

- ワード境界以外 (2n+1) から命令フェッチ
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000~H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「2.9 内蔵メモリ」を参照してください。

● 遷移先アドレス：VBR + H'0000 0100

● 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。詳細は「2.7 メモリマネジメントユニット (MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(h) 無条件トラップ

● 要因：TRAPA命令の実行

● 遷移先アドレス：VBR + H'0000 0100

● 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(i) 一般不当命令例外

● 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

● 遷移先アドレス：VBR + H'0000 0100

● 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(j) スロット不当命令例外

• 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(k) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU 命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(l) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。


```

Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(m) 命令実行前ユーザブレイク/命令実行後ユーザブレイク

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は「第38章 ユーザブレイクコントローラ (UBC)」を参照してください。

```

User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}

```

(n) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(3) 割り込み

(a) NMI（ノンマスクابل割り込み）

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR+H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第7章 割り込みコントローラ（INTC、INTC2）」を参照してください。

```

NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}

```

(b) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます。）

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR+H'0600に分岐します。詳細は「第7章 割り込みコントローラ（INTC、INTC2）」を参照してください。

```

Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}

```

(4) 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(a) メモリを2回アクセスする命令

MAC 命令やメモリーメモリー間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(b) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(a) のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC→PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

2.5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL=1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレイクを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SRレジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SRに対するLDC命令が実行されると、後続命令への命令フェッチが再び行われ、新しいSRの値で命令フェッチ例外の再評価が行われます。

2.6 浮動小数点ユニット (FPU)

2.6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、グラフィックサポート、システム制御
- SH-4AでSH-4に対して下記の3命令を追加しました。
FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

2.6.2 データフォーマット

(1) 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 2.22 と図 2.23 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

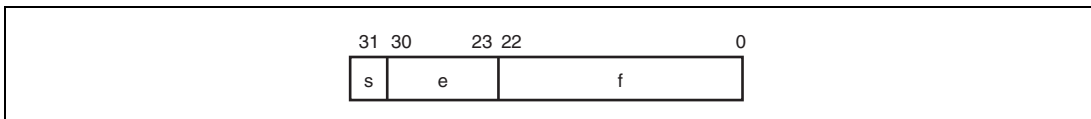


図 2.22 単精度浮動小数点フォーマット

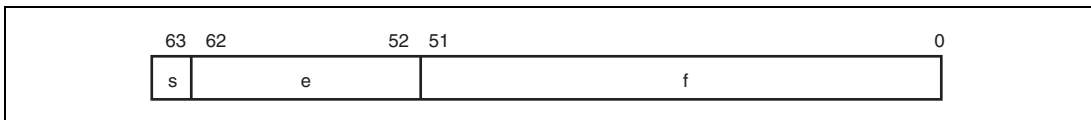


図 2.23 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0（正、負両方の符号）と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数（NaN）を表します。表 2.30 に浮動小数点のフォーマットとパラメータを示します。

表 2.30 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{max} + 1$ かつ $f \neq 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 2.31 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「2.6.2 (2) 非数 (NaN)」を、非正規化数については「2.6.2 (3) 非正規化数」を参照してください。

表 2.31 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF~H'7FC00000	H'7FFFFFFF FFFFFFFF~H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF~H'7F800001	H'7FF7FFFF FFFFFFFF~H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF~H'00800000	H'7FEFFFFFF FFFFFFFF~H'00100000 00000000
正の非正規化数	H'007FFFFFF~H'00000001	H'000FFFFFF FFFFFFFF~H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001~H'807FFFFFF	H'80000000 00000001~H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000~H'FF7FFFFFF	H'80100000 00000000~H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001~H'FFBFFFFFF	H'FFF00000 00000001~H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000~H'FFFFFFF	H'FFF80000 00000000~H'FFFFFFF FFFFFFFF

(2) 非数 (NaN)

図 2.24 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

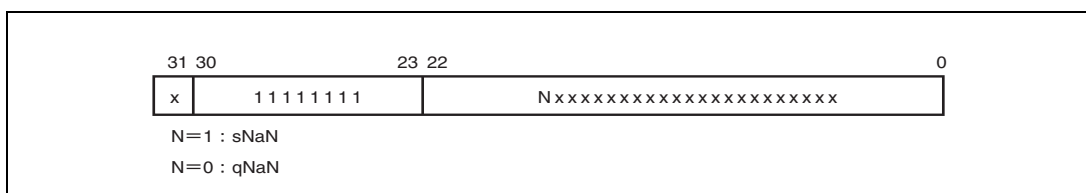


図 2.24 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNになります。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の3命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として SH-4A が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

(3) 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPUのステータスレジスタFPSCRのDNビットが1の場合、非正規化数（ソースオペランドまたは演算結果）は、（レジスタ・レジスタ間の転送命令、FNEG、FABS以外の演算の）値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCRのDNビットが0の場合、非正規化数（ソースオペランドまたは演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

2.6.3 レジスタ

(1) 浮動小数点レジスタ

図 2.25 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2つのバンクで構成され、FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 があります。また、この 32 本のレジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(a) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0~FPR15_BANK0

FPR0_BANK1~FPR15_BANK1

(b) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR=0 のとき、FR0~FR15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。

FPSCR.FR=1 のとき、FR0~FR15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

(c) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2つの FR レジスタから構成されます。

DR0={FR0, FR1}, DR2={FR2, FR3},

DR4={FR4, FR5}, DR6={FR6, FR7},

DR8={FR8, FR9}, DR10={FR10, FR11},

DR12={FR12, FR13}, DR14={FR14, FR15}

(d) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4つの FR レジスタから構成されます。

FV0={FR0, FR1, FR2, FR3},

FV4={FR4, FR5, FR6, FR7},

FV8={FR8, FR9, FR10, FR11},

FV12={FR12, FR13, FR14, FR15}

(e) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR=0 のとき、XF0~XF15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

FPSCR.FR=1 のとき、XF0~XF15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。

(f) 単精度浮動小数点拡張レジスタのペア XDi (8 レジスタ)

XD レジスタは2つの XF レジスタから構成されます。

XD0={XF0, XF1}, XD2={XF2, XF3},

XD4={XF4, XF5}, XD6={XF6, XF7},

XD8={XF8, XF9}, XD10={XF10, XF11},

XD12={XF12, XF13}, XD14={XF14, XF15}

(g) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$

FPSCR.FR=0				FPSCR.FR=1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX	
		FR1	FPR1 BANK0	XF1			
		DR2	FR2	FPR2 BANK0	XF2		XD2
	FV4	DR4	FR3	FPR3 BANK0	XF3		XD4
			FR4	FPR4 BANK0	XF4		
			FR5	FPR5 BANK0	XF5		
	FV8	DR6	FR6	FPR6 BANK0	XF6		XD6
			FR7	FPR7 BANK0	XF7		
			FR8	FPR8 BANK0	XF8		XD8
	FV12	DR8	FR9	FPR9 BANK0	XF9		XD10
			FR10	FPR10 BANK0	XF10		
			FR11	FPR11 BANK0	XF11		
	FV14	DR10	FR12	FPR12 BANK0	XF12		XD12
			FR13	FPR13 BANK0	XF13		
			FR14	FPR14 BANK0	XF14		XD14
XMTRX	XD0	FR15	FPR15 BANK0	XF15	FV0		
		FR0	FPR0 BANK1	FR0		DR0	
		FR1	FPR1 BANK1	FR1		DR2	
		FR2	FPR2 BANK1	FR2		DR4	FV4
		FR3	FPR3 BANK1	FR3		DR6	
		FR4	FPR4 BANK1	FR4		DR8	FV8
		FR5	FPR5 BANK1	FR5		DR10	
		FR6	FPR6 BANK1	FR6		DR12	FV12
		FR7	FPR7 BANK1	FR7		DR14	
		FR8	FPR8 BANK1	FR8			
		FR9	FPR9 BANK1	FR9			
		FR10	FPR10 BANK1	FR10			
		FR11	FPR11 BANK1	FR11			
		FR12	FPR12 BANK1	FR12			
		FR13	FPR13 BANK1	FR13			
FR14	FPR14 BANK1	FR14					
FR15	FPR15 BANK1	FR15					

図 2.25 浮動小数点レジスタ

(2) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられます。 1: FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.26 を参照してください。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.26 を参照してください。
18	DN	1	R/W	非正規化モード 0: 非正規化数を非正規化数として扱います。 1: 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	000000	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 2.32 を参照してください。
11~7	Enable (EN)	00000	R/W	
6~2	Flag	00000	R/W	
1, 0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

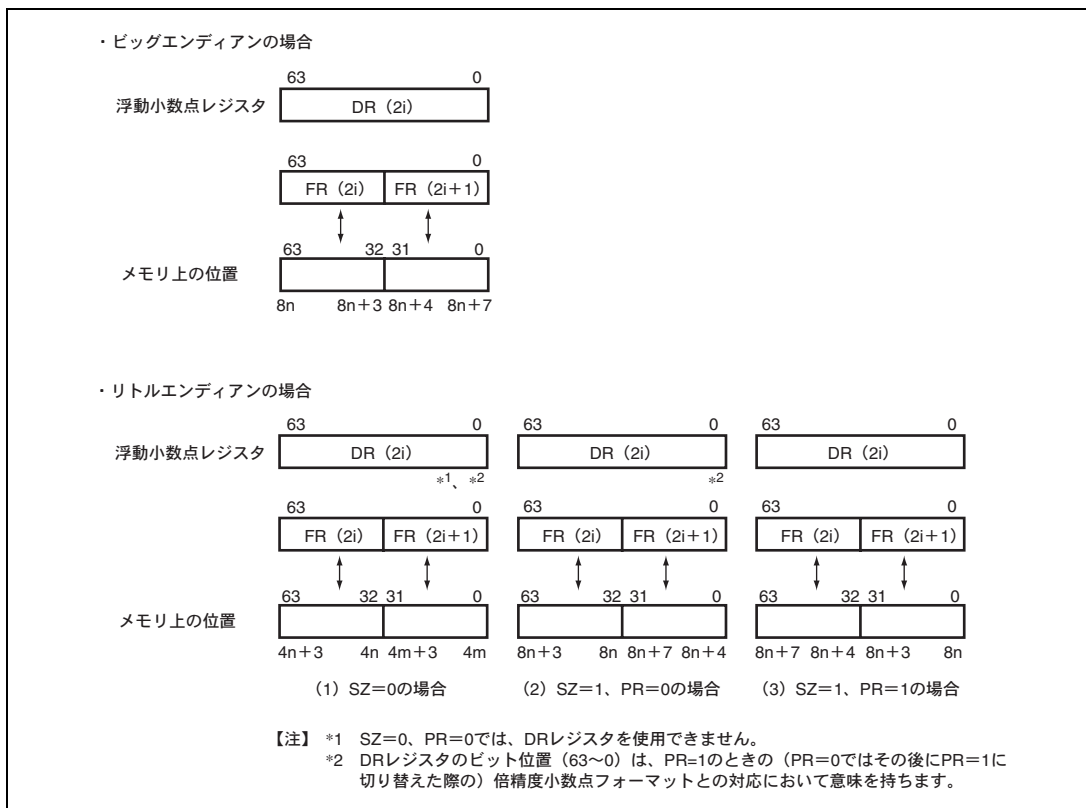


図 2.26 SZ ビットとエンディアンの関係

表 2.32 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(3) 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

2.6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}$ ($2 \cdot 2^p$) 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

2.6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止/スロット FPU 抑止例外

SR.FD=1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN=0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバーフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN=0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V=1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z=1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O=1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U=1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I=1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN=0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN=1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

2.6.6 グラフィックサポート機能

SH-4A は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

(1) ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} \left(\text{各乗算結果} \times 2^{-\text{MIN}(\text{乗数の有効数字桁数}-1, \text{被乗数の有効数字桁数}-1)} \right) + \text{MAX} \left(\text{結果値} \times 2^{-23}, 2^{-149} \right)$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23（小数部のリーディングゼロの桁数）となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(a) FIPR FVm, FVn (m, n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m≠n) :
一般的に、この演算はポリゴン表面の輝度や表面／裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(b) FTRV XMTRX, FVn (n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度+平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4A は4次元演算をサポートしています。
- 行列 (4×4) ×行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(c) FRCHG

この命令はバンクレジスタを変更します。たとえば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

(2) ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

2.7 メモリマネジメントユニット (MMU)

SH-4A は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットあるいは 32 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、SH-4A に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

SH-4A は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

SH-4A の MMU ではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関して、29 ビットアドレスモードと 32 ビットアドレス拡張モードがあります。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。物理アドレスのマッピング範囲に関しては、「2.7.1 MMU の概要」～「2.7.7 メモリ割り付け TLB の構成」を通じて、29 ビットアドレスモードで説明し、その後「2.7.8 32 ビットアドレス拡張モード」で、32 ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

2.7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 2.27 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 2.27 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行しているのは、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 2.27 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 2.27 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 2.27 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、SH-4A では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

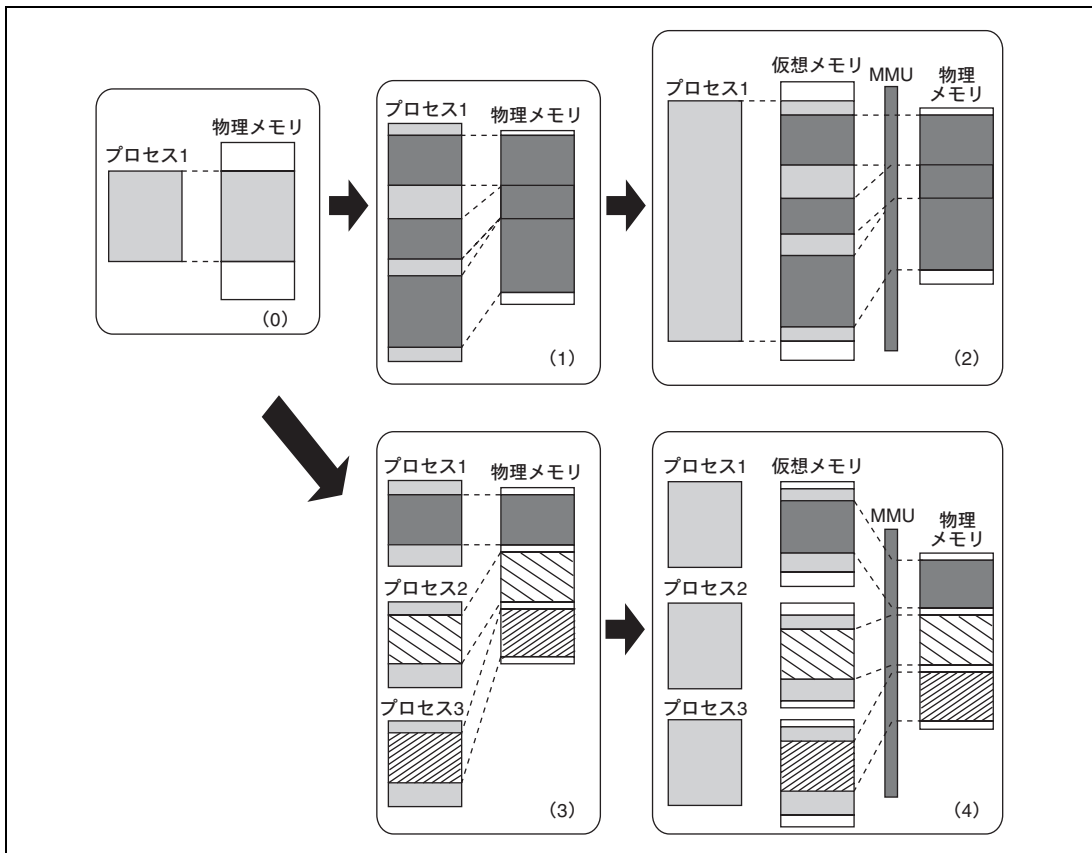


図 2.27 MMU の役割

(1) アドレス空間

(a) 仮想アドレス空間

SH-4A は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 2.28、図 2.29 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

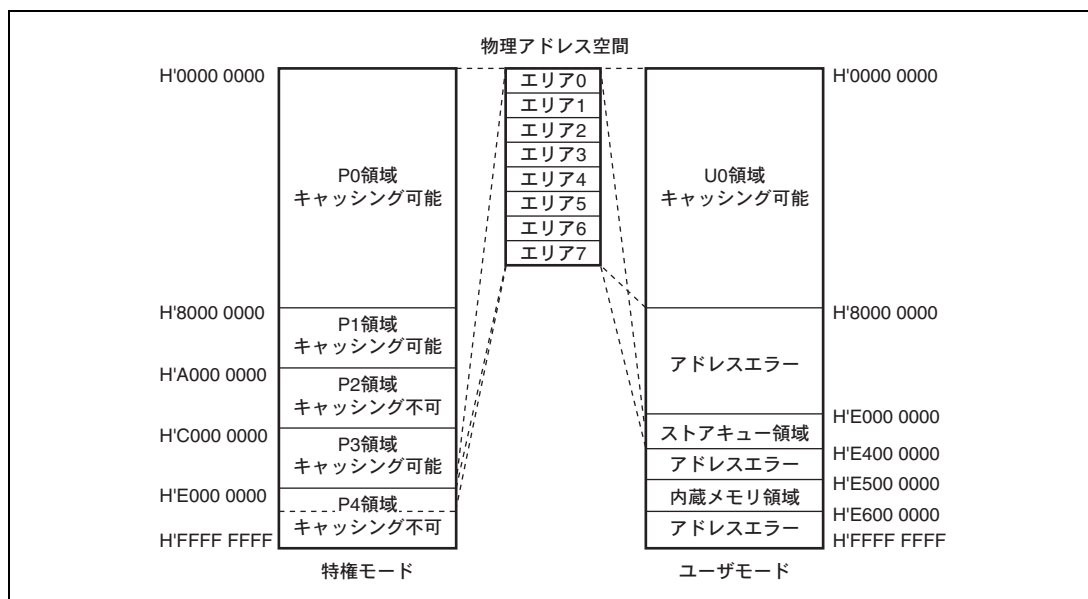


図 2.28 仮想アドレス空間 (MMUCR.AT=0)

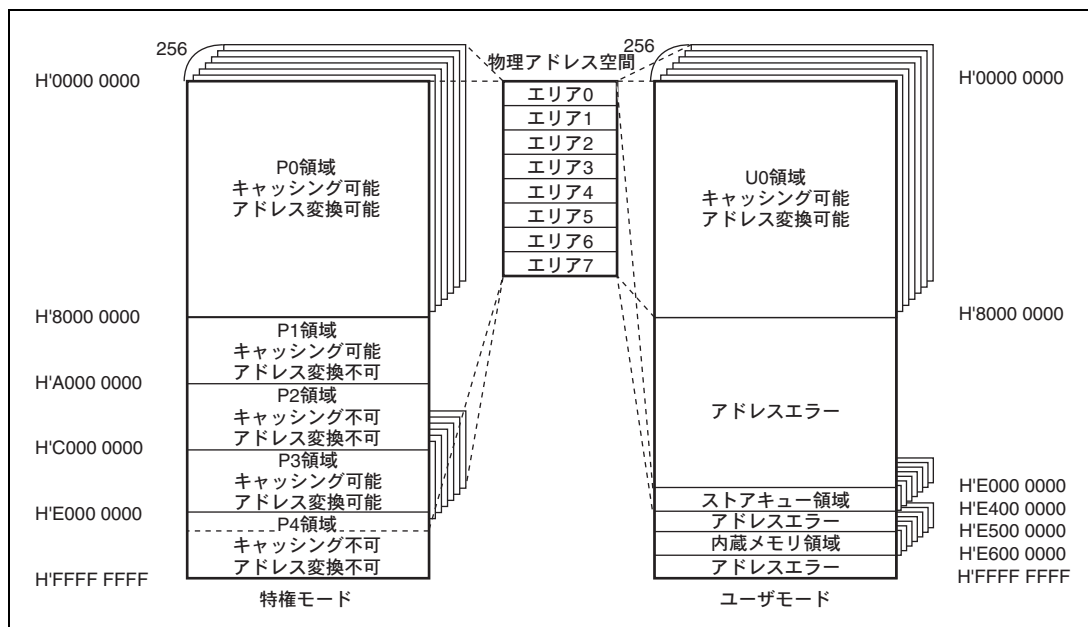


図 2.29 仮想アドレス空間 (MMUCR.AT=1)

1. P0、P3、U0領域

P0、P3、U0領域はTLBを用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMUがディスエーブルの場合、アドレスの上位3ビットを0にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCRのWTビットに従います。

MMUがイネーブルの場合、これらの領域はTLBを用いて1K/4K/64K/1Mバイトページ単位 (TLB互換モード時)、あるいは1K/4K/8K/64K/256K/1M/4M/64Mバイトページ単位 (TLB拡張モード時) に任意の物理アドレス空間へマッピングできます。CCRがキャッシュイネーブル状態であり、かつTLBエントリの当該ページのキャッシング可能ビット (Cビット) が1のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLBのWTビットに従います。

これらの領域を、TLBにより物理アドレス空間のエリア7に存在する制御レジスタ領域にマッピングする場合、当該ページのCビットは0にしてください。

2. P1領域

P1領域はTLBを用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMUがイネーブルか否かにかかわらず、アドレスの上位3ビットを0にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはCCRに従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCRのCBビットに従います。

3. P2領域

P2領域はTLBを用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMUがイネーブルか否かにかかわらず、アドレスの上位3ビットを0にしたものが対応する物理アドレス空間のアドレスとなります。

4. P4領域

P4領域はSH-4Aの内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いてTLBを用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4領域の詳細を図2.30に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	内蔵メモリ領域
H'E600 0000	
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLB/PMBアドレスアレイ
H'F700 0000	共用TLB/PMBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 2.30 P4 領域

H'E000 0000～H'E3FF FFFF までは、ストアキュー（SQ）にアクセスするための領域です。ユーザモードでのアクセス権はMMUCRのSQMDビットで指定します。詳細は「2.8.7 ストアキュー」を参照してください。

H'E500 0000～H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権はRAMCRレジスタのRMDビットで指定します。詳細は「2.9 内蔵メモリ」を参照してください。

H'F000 0000～H'FOFF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「2.8.6 (1) IC アドレスアレイ」を参照してください。

HF100 0000~HF1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「2.8.6 (2) IC データアレイ」を参照してください。

HF200 0000~HF2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「2.7.7 (1) ITLB アドレスアレイ」を参照してください。

HF300 0000~HF37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「2.7.7 (2) ITLB データアレイ (TLB 互換モード)」および「2.7.7 (3) ITLB データアレイ (TLB 拡張モード)」を参照してください。

HF400 0000~HF4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「2.8.6 (3) OC アドレスアレイ」を参照してください。

HF500 0000~HF5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「2.8.6 (4) OC データアレイ」を参照してください。

HF600 0000~HF60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「2.7.7 (4) UTLB アドレスアレイ」を参照してください。

HF610 0000~HF61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は、「2.7.8 (5) メモリ割り付け PMB の構成」を参照してください。

HF700 0000~HF70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「2.7.7 (5) UTLB データアレイ (TLB 互換モード)」および「2.7.7 (6) UTLB データアレイ (TLB 拡張モード)」を参照してください。

HF710 0000~HF71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は、「2.7.8 (5) メモリ割り付け PMB の構成」を参照してください。

HF'FC00 0000~H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

(b) 物理アドレス空間

SH-4A は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 2.31 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は「第 1 章 概要」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000~H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000	エリア7 (リザーブ領域)
H'1FFF FFFF	

図 2.31 物理アドレス空間

(c) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4A では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(d) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式（「2.7.3 (3) アドレス変換方式」参照）のみです。

(e) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

2.7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 2.33 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 2.34 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディーブ スタンバイ
ページテーブルエントリ 上位レジスタ	PTEH	不定	不定	保持	保持	不定
ページテーブルエントリ 下位レジスタ	PTL	不定	不定	保持	保持	不定
変換テーブルベースレジスタ	TTB	不定	不定	保持	保持	不定
TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持	不定
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000
ページテーブルエントリ アシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持	H'0000 xxx0
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000

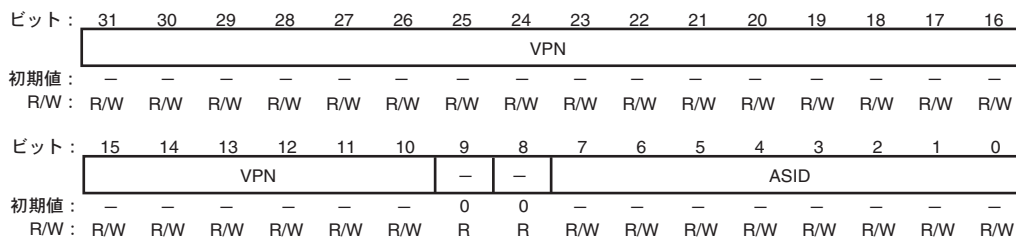
(1) ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. PTEH更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	不定	R/W	仮想ページ番号
9、8	-	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	ASID	不定	R/W	アドレス空間識別子

(2) ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がないかぎり内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PPN												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN						—	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	不定	R/W	物理ページ番号
9	—	0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「2.7.3 TLB の機能 (TLB 互換モード)」および「2.7.4 TLB の機能 (TLB 拡張モード)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

(3) 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がないかぎり内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(4) TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA								MMU例外/アドレスエラーを発生させた仮想アドレス							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA								MMU例外/アドレスエラーを発生させた仮想アドレス							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	—	—	—	—	TI	—	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	000000	R/W	<p>入れ替えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ替える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25, 24	—	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23~18	URB	000000	R/W	<p>入れ替えを行う UTLB エントリの境界を示すビット</p> <p>URB≠0 のときに有効となります。</p>
17, 16	—	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
15~10	URC	000000	R/W	LDTLB 命令により入れ替えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB>0 の場合、URC=URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC>URB となる値が URC に書き込まれた場合、最初は URC=H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ/特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード/多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6~3	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	—	0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

(6) ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EPR						ESZ				—	—	—	—
初期値:	0	0	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「2.7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

(7) 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

(8) 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCRCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000~H'FF2FFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT=1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE=1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません

2.7.3 TLBの機能 (TLB 互換モード)

(1) 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 2.32 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 2.33 にページサイズとアドレスの関係を示します。

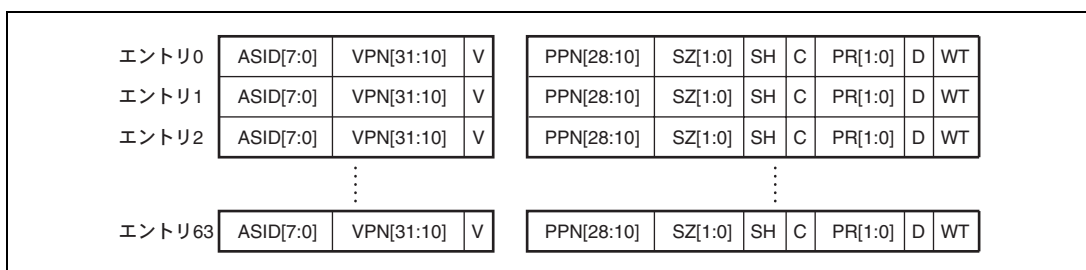


図 2.32 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット
 4K バイトページのとき、仮想アドレスの上位 20 ビット
 64K バイトページのとき、仮想アドレスの上位 16 ビット
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット ページサイズを指定します。
 00 : 1K バイトページ
 01 : 4K バイトページ
 10 : 64K バイトページ
 11 : 1M バイトページ

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「2.7.5 (5) シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し/書き込み可能 10 : 特権/ユーザモードで読み出しのみ可能 11 : 特権/ユーザモードで読み出し/書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

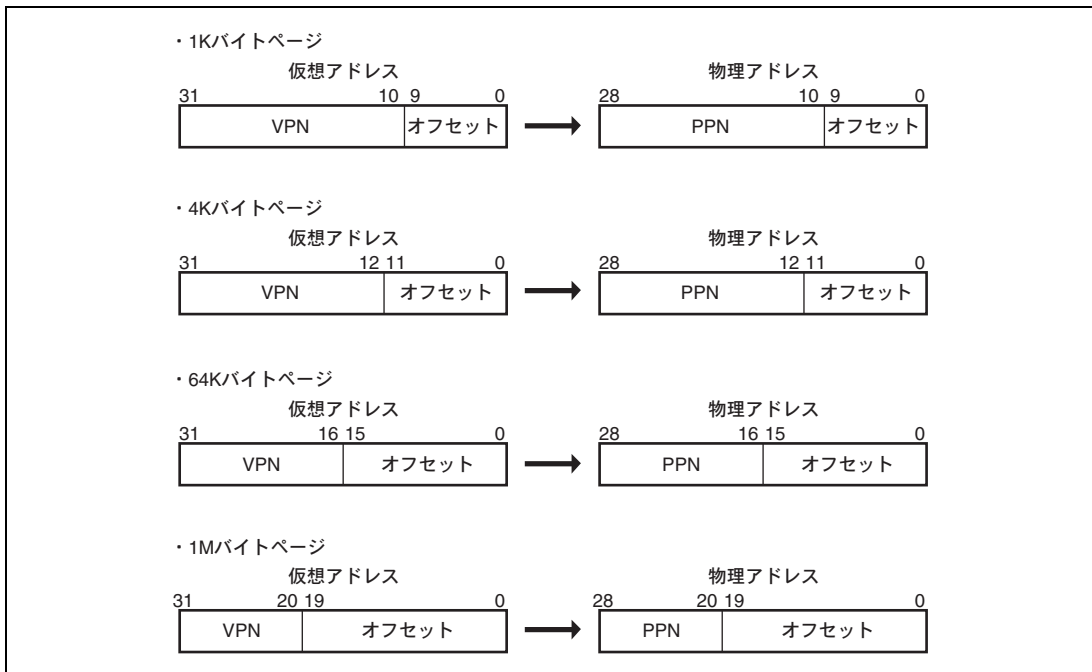


図 2.33 ページサイズとアドレスの関係 (TLB 互換モード)

(2) 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 2.34 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。



図 2.34 ITLB の構成 (TLB 互換モード)

(3) アドレス変換方式

図 2.35 に、UTLB を用いたメモリアクセスのフローを示します。

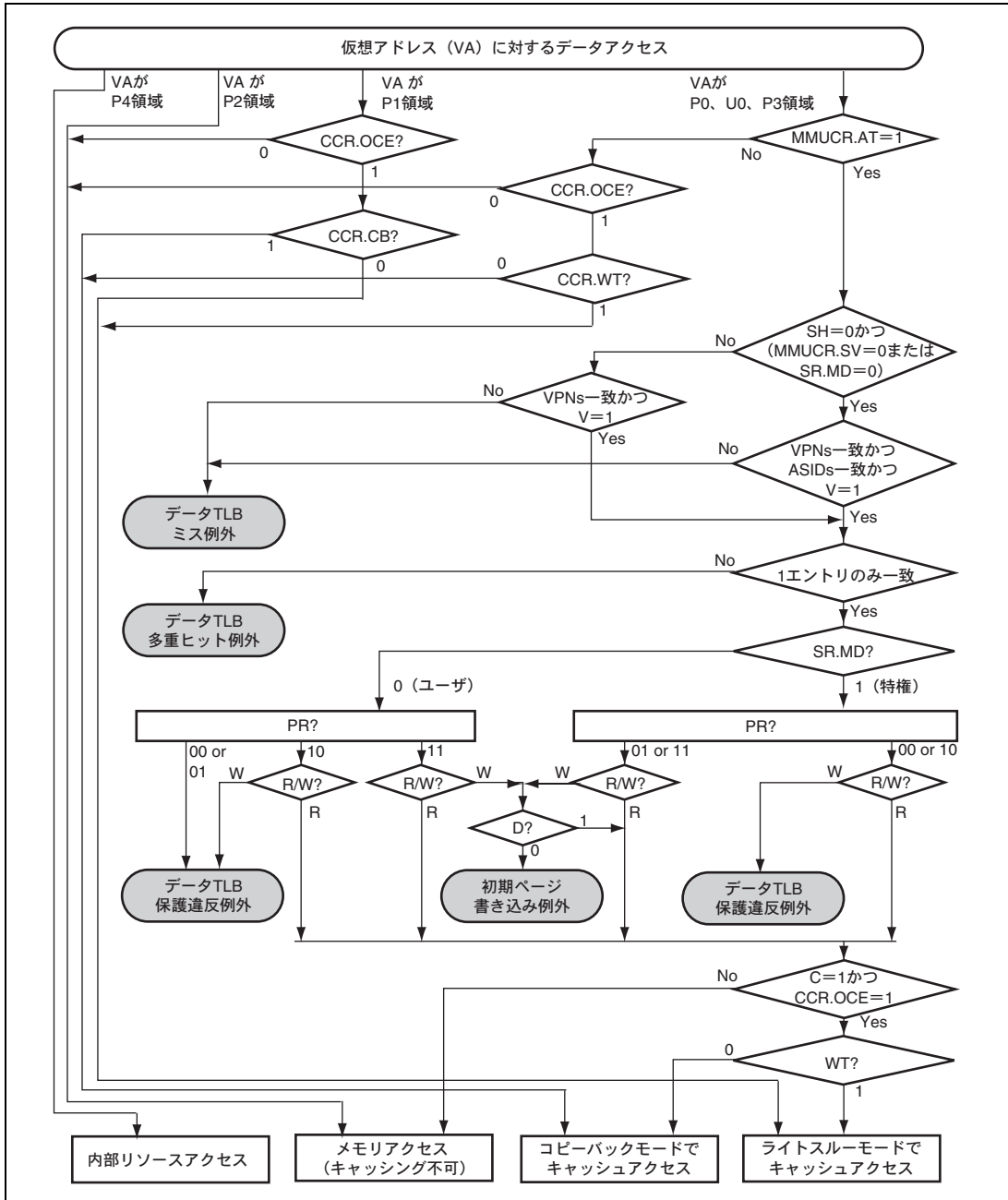


図 2.35 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 2.36 に ITLB を用いたメモリアクセスのフローを示します。

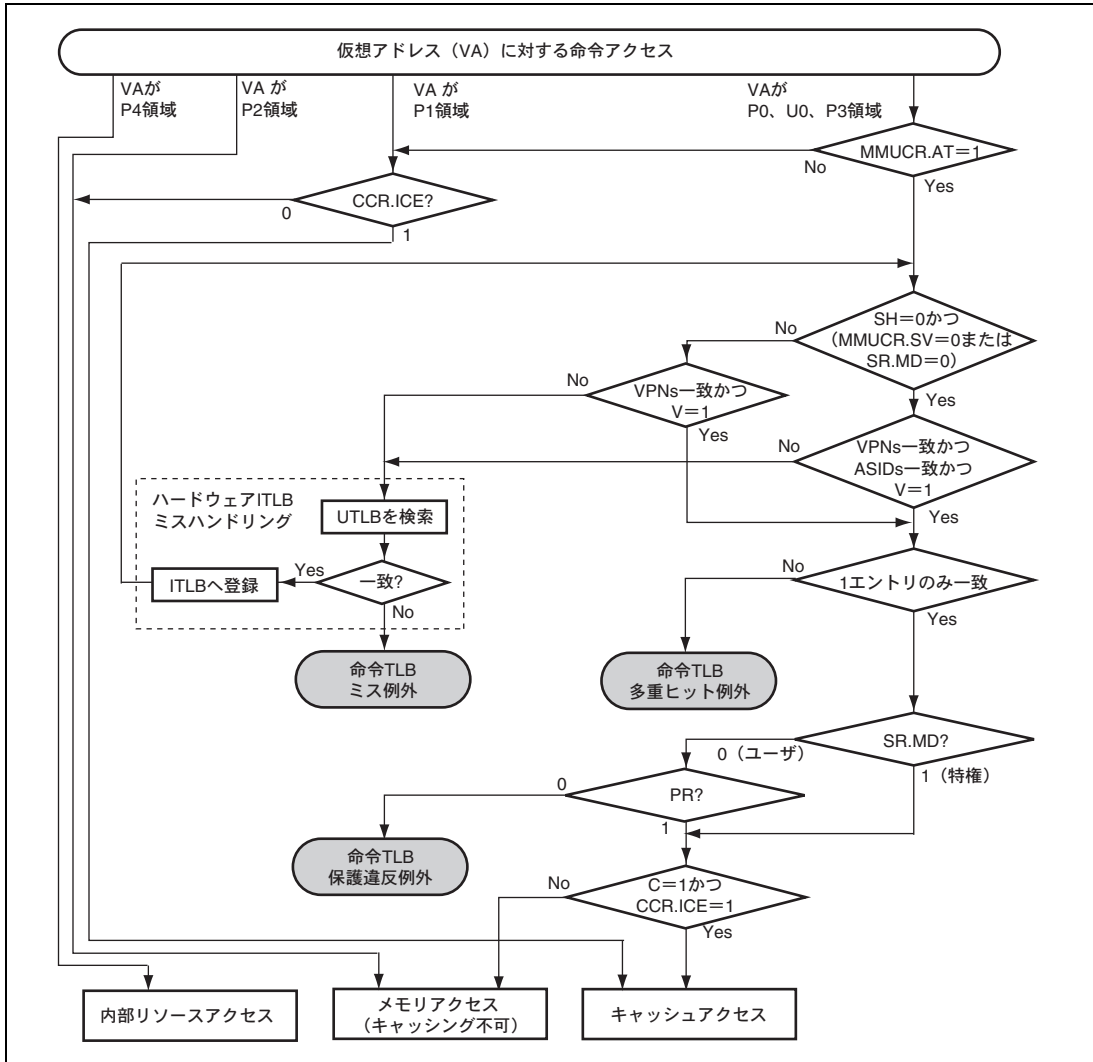


図 2.36 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

2.7.4 TLB の機能 (TLB 拡張モード)

(1) 共用 TLB (UTLB) の構成

図 2.37 に TLB 拡張モード時の UTLB の構成を示します。図 2.38 に ページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 2.37 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号	1K バイトページの時、仮想アドレスの上位 22 ビット 4K バイトページの時、仮想アドレスの上位 20 ビット 8K バイトページの時、仮想アドレスの上位 19 ビット 64K バイトページの時、仮想アドレスの上位 16 ビット 256K バイトページの時、仮想アドレスの上位 14 ビット 1M バイトページの時、仮想アドレスの上位 12 ビット 4M バイトページの時、仮想アドレスの上位 10 ビット 64M バイトページの時、仮想アドレスの上位 6 ビット
ASID : アドレス空間識別子	仮想ページをアクセスできるプロセスを示します。 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
SH : 共有状態ビット	0 : 複数のプロセスでページを共有しません。 1 : 複数のプロセスでページを共有します。
ESZ : ページサイズビット	ページサイズを指定します。 0000 : 1K バイトページ 0001 : 4K バイトページ 0010 : 8K バイトページ 0100 : 64K バイトページ 0101 : 256K バイトページ 0111 : 1M バイトページ 1000 : 4M バイトページ 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 19 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 8K バイトページのときは PPN[28:13]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 256K バイトページのときは PPN[28:18]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 4M バイトページのときは PPN[28:22]が有効です。 64M バイトページのときは PPN[28:26]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「2.7.5 (5) シノニム問題の回避」参照)。
EPR : 保護キーデータ	ページのアクセス権をコードで表した 6 ビットデータ 特権モードでの読み出し／書き込み／実行 (命令フェッチ) およびユーザモードでの読み出し／書き込み／実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。 EPR[5] : 特権モードでの読み出し EPR[4] : 特権モードでの書き込み EPR[3] : 特権モードでの実行 (命令フェッチ) EPR[2] : ユーザモードでの読み出し EPR[1] : ユーザモードでの書き込み EPR[0] : ユーザモードでの実行 (命令フェッチ)
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない 1 : 書き込みが行われた

WT：ライトスルービット キャッシュへの書き込みモードを指定します。

0：コピーバックモード

1：ライトスルーモード

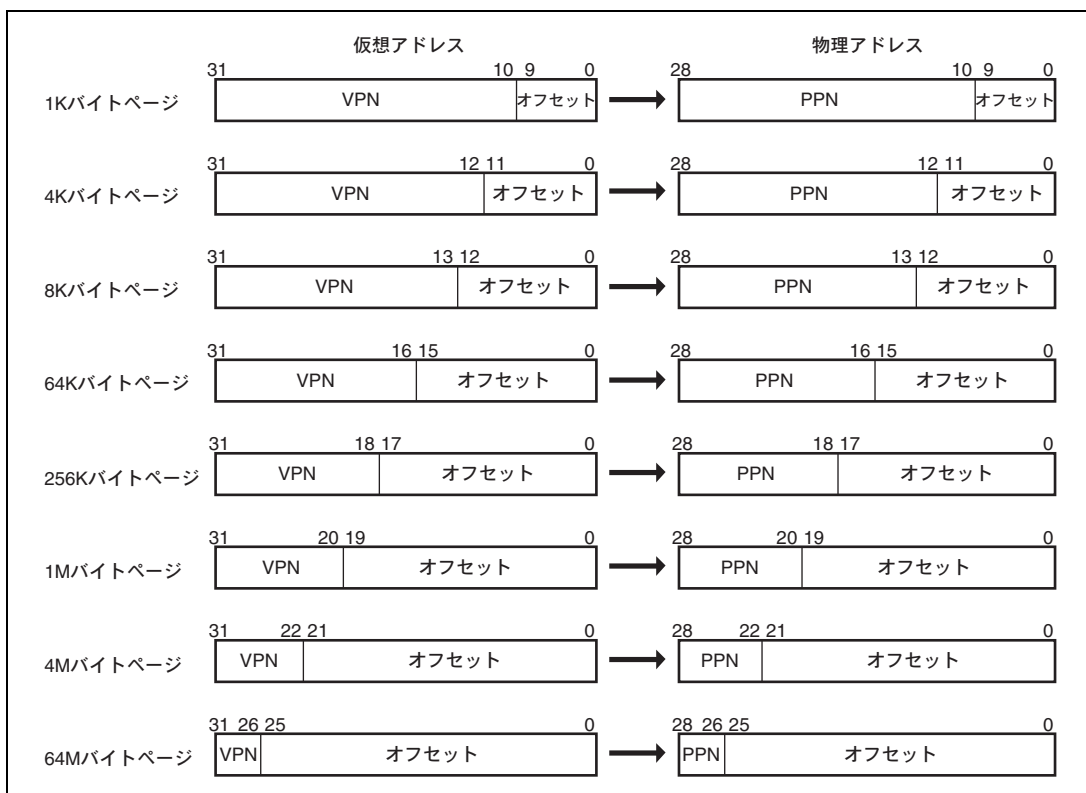


図 2.38 ページサイズとアドレスの関係 (TLB 拡張モード)

(2) 命令 TLB (ITLB) の構成

図 2.39 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 2.39 ITLB の構成 (TLB 拡張モード)

(3) アドレス変換方式

図 2.40 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

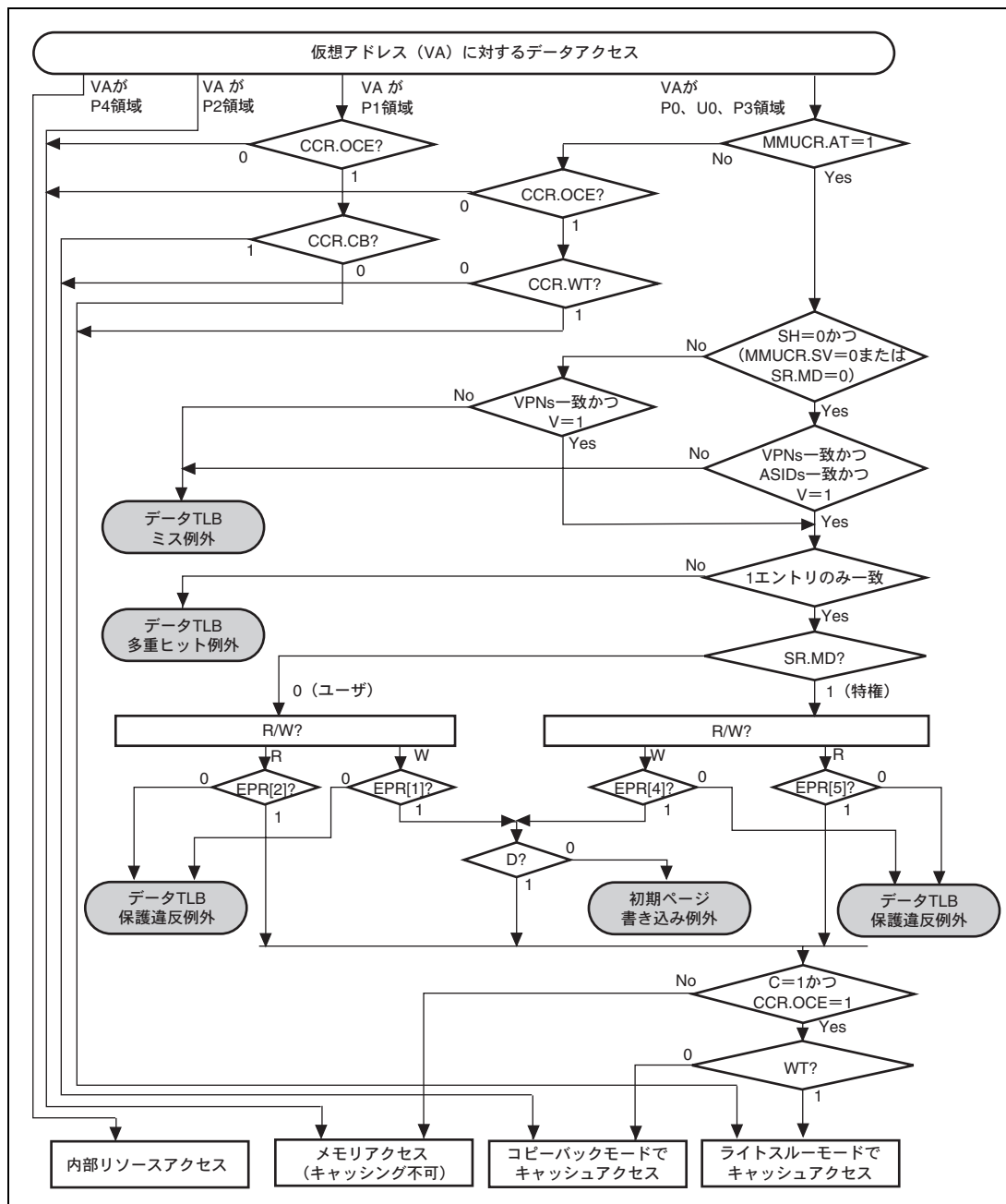


図 2.41 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

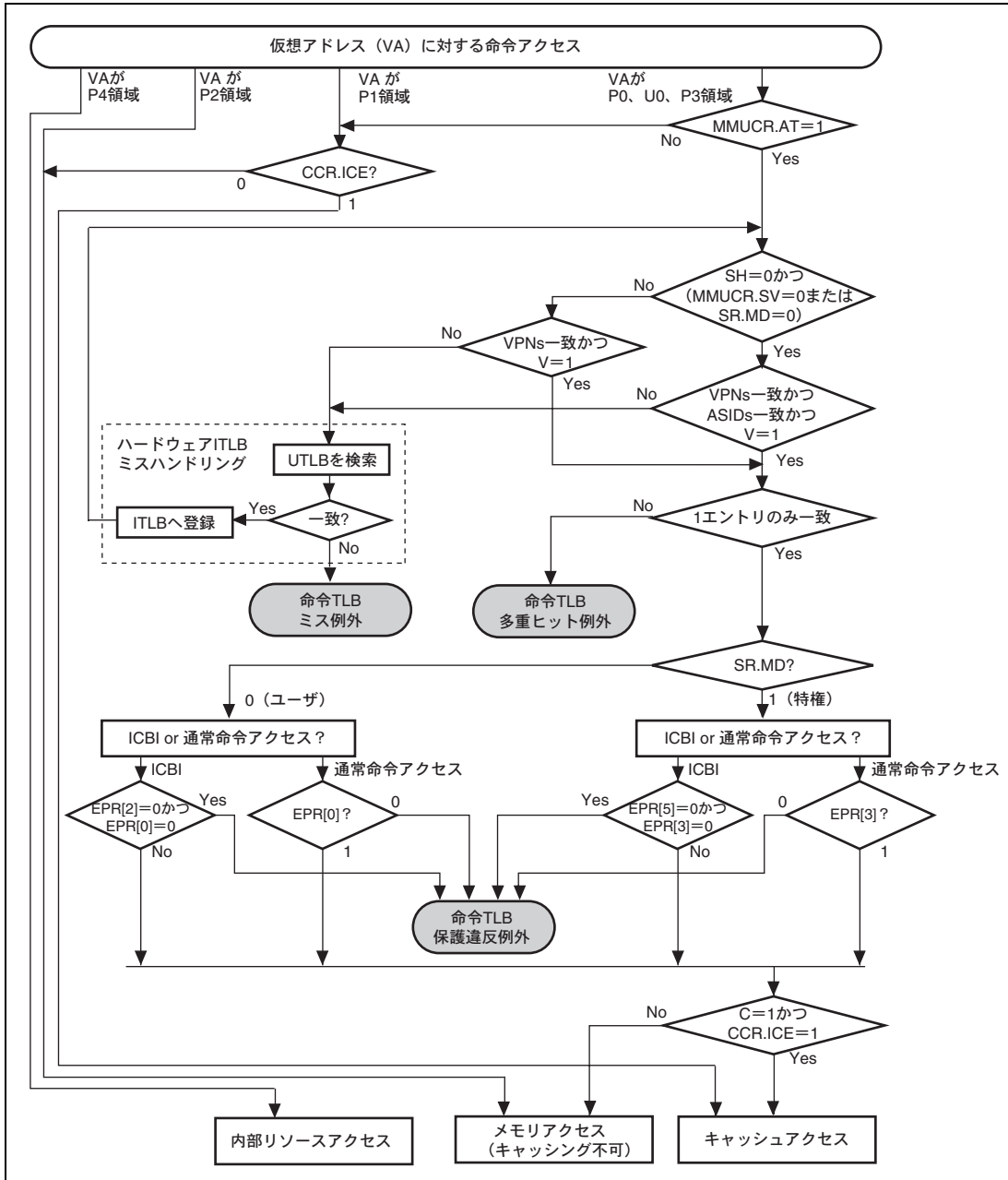


図 2.41 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

2.7.5 MMU の機能

(1) MMU のハードウェア管理

SH-4A がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

(2) MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

(3) MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4A は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 2.42、図 2.43 に LDTLB 命令の動作を示します。

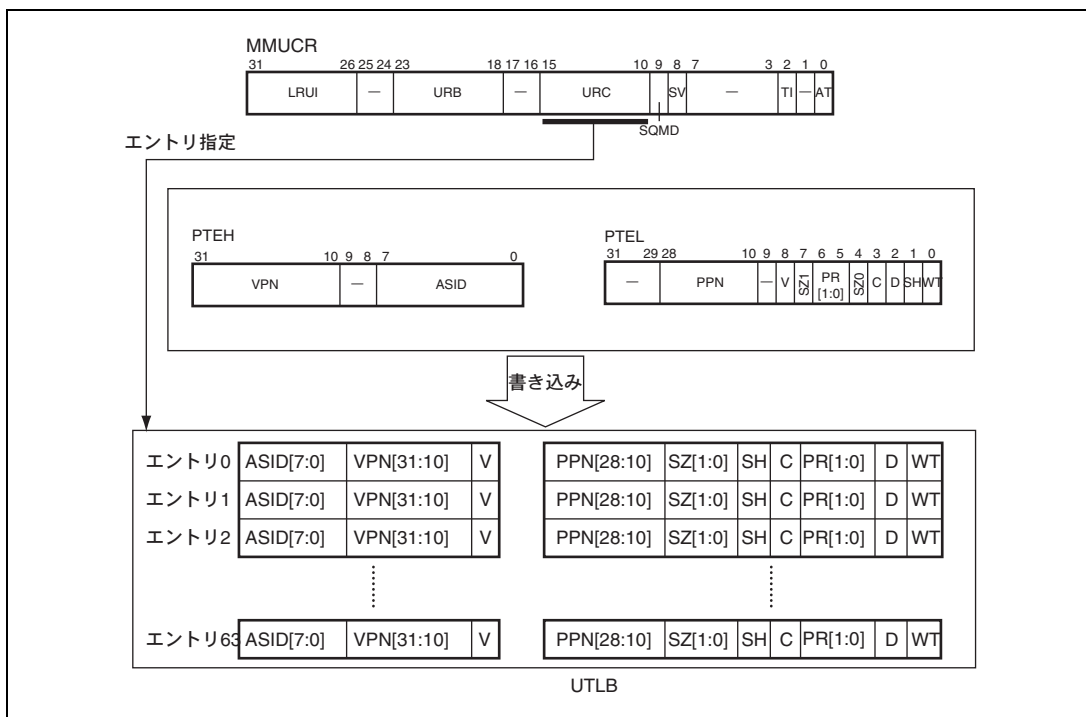


図 2.42 LDTLB 命令の動作 (TLB 互換モード)

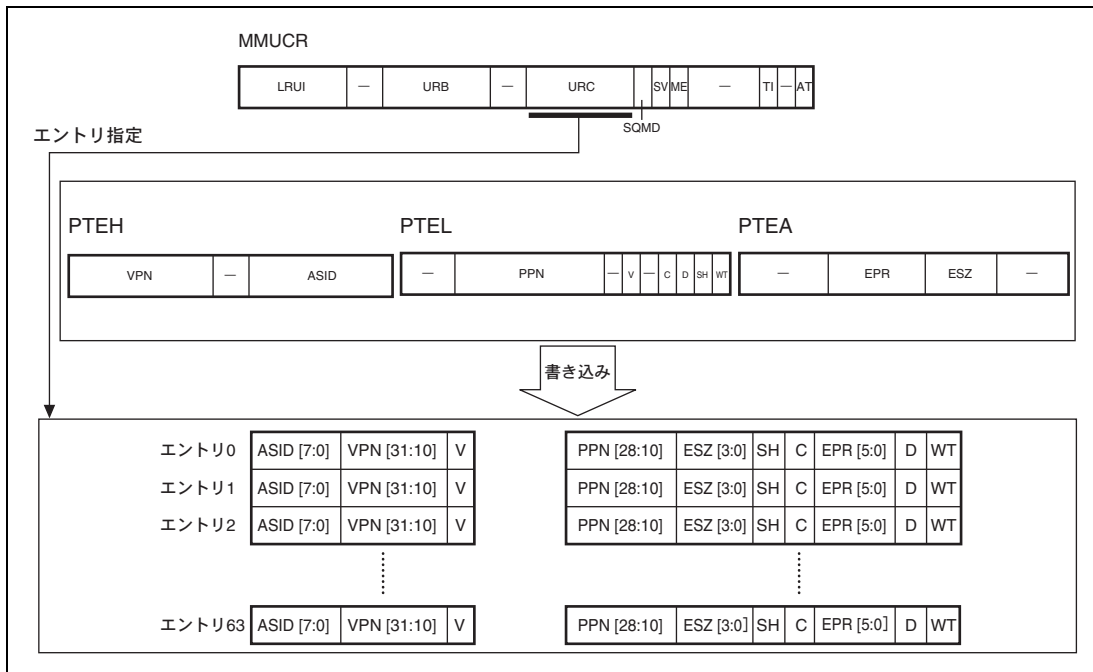


図 2.43 LDTLB 命令の動作 (TLB 拡張モード)

(4) ハードウェア ITLB ミスハンドリング

SH-4A は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

(5) シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4A ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

2.7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 2.35、図 2.36、図 2.40 および図 2.41 を参照してください。

(1) 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

• ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

• ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

(2) 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

• ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

- **ソフトウェア処理（命令TLBミス例外処理ルーチン）**

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えて置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

(3) 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報がITLB エントリに存在するにもかかわらず、実際のアクセスタイプがPR あるいはEPR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'0A0をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- **ソフトウェア処理（命令TLB保護違反例外処理ルーチン）**

命令TLB保護違反を解決し、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

(4) データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- **ハードウェア処理**

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン（H'A000 0000）に分岐します。

- **ソフトウェア処理（リセットルーチン）**

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

(5) データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します（OCBP、OCBWB：読み出し； OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- **ソフトウェア処理（データTLBミス例外処理ルーチン）**

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

(6) データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します（OCBP、OCBWB：読み出し； OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

• ソフトウェア処理（データ TLB 保護違反例外処理ルーチン）

データ TLB 保護違反を解決し、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

(7) 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

• ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

2.7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

(1) ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000~H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

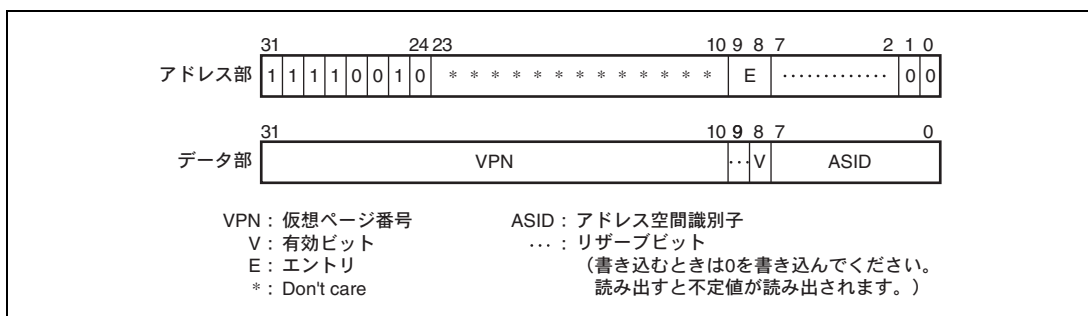


図 2.44 メモリ割り付け ITLB アドレスアレイ

(2) ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000~H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。

2. ITLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

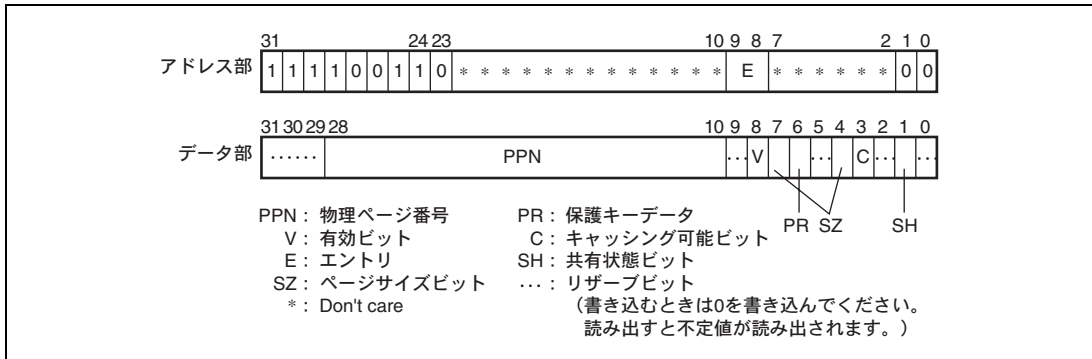


図 2.45 メモリ割り付け ITLB データアレイ (TLB 互換モード)

(3) ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(a) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

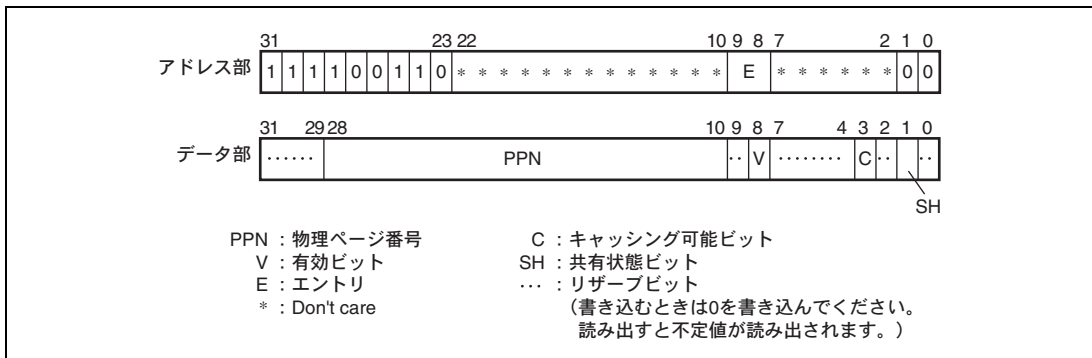


図 2.46 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(b) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000~H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

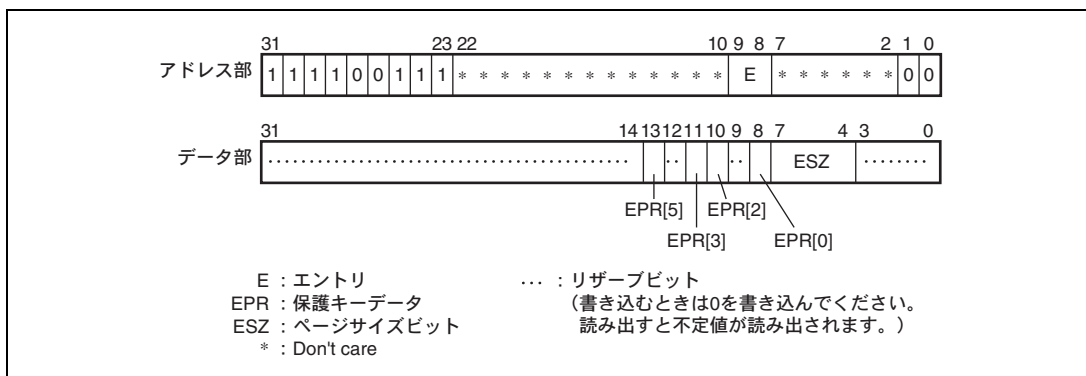


図 2.47 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

(4) UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000~H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す H'F60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット（A ビット）は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLBアドレスアレイ 書き込み（連想なし）

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLBアドレスアレイ 書き込み（連想あり）

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を使い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側にのみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

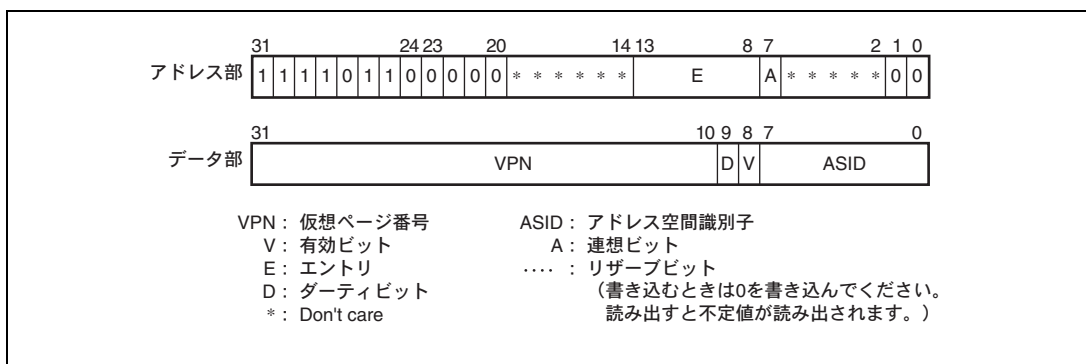


図 2.48 メモリ割り付け UTLB アドレスアレイ

(5) UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の H'F700 0000~H'F70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20]が UTLB データアレイを示す H'F70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

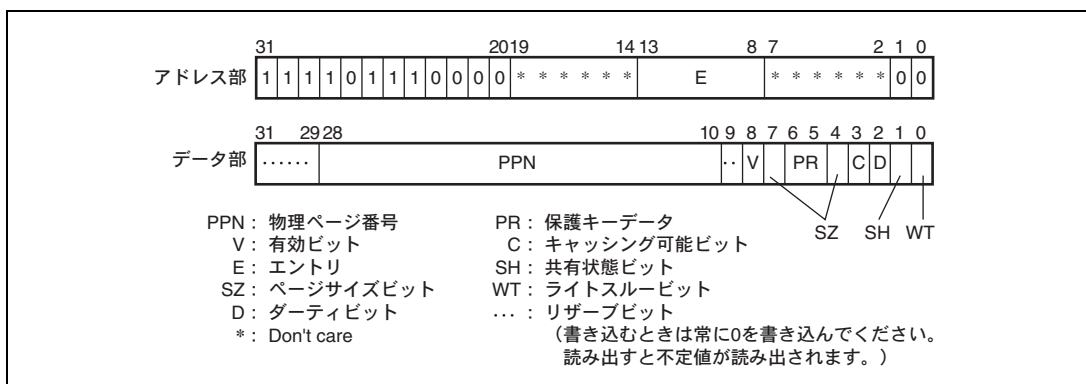


図 2.49 メモリ割り付け UTLB データアレイ (TLB 互換モード)

(6) UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(a) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

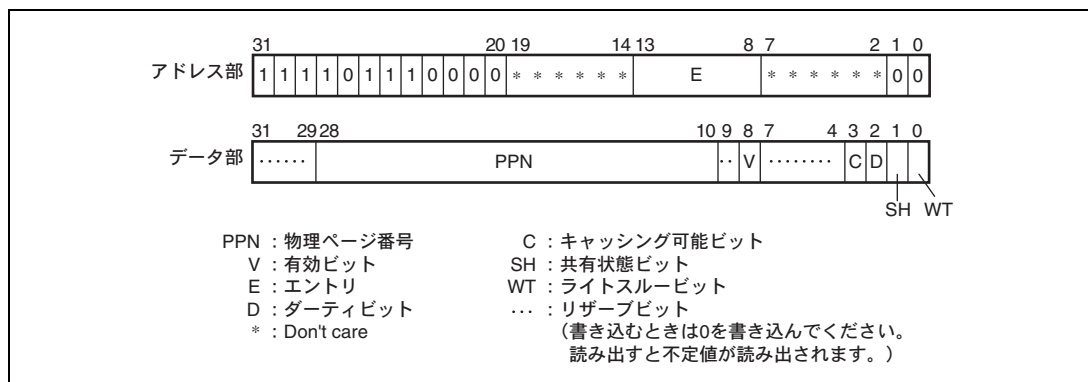


図 2.50 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(b) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の H'F780 0000~H'F78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す H'F78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLB データアレイ 2 書き込み

アドレス部に指定されたエントリに対応する UTLB エントリに対して、データ部で指定された EPR、ESZ を書き込みます。

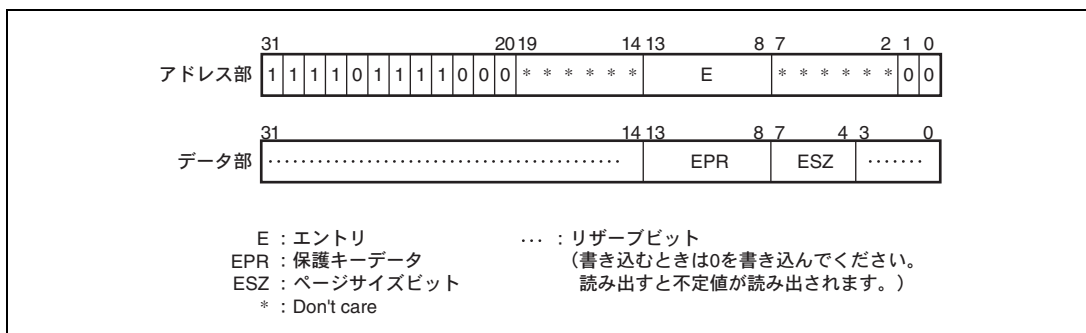


図 2.51 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

2.7.8 32 ビットアドレス拡張モード

SH-4A は PASCAL レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

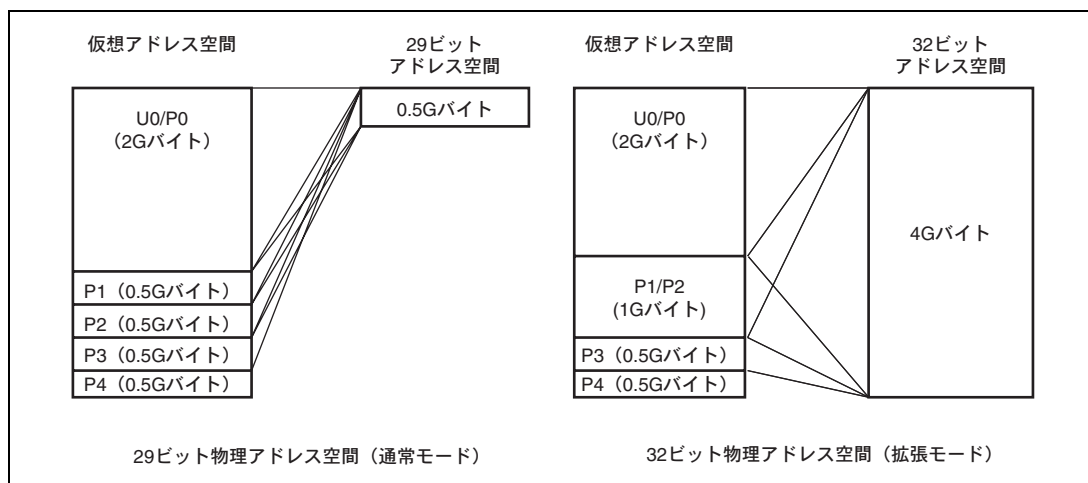


図 2.52 物理アドレス空間 (32 ビットアドレス拡張モード)

(1) 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

(2) 32 ビットアドレス拡張モードへの切り替え

SH-4A は、パワーオンリセット後は 29 ビットアドレスモードです。PASCRA レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT=0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま 32 ビット物理アドレスとなります。P1/P2 領域のアドレスは PMB マッピング情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT=1 のとき、U0/P0/P3 領域の仮想アドレスは TLB 変換情報に従い 32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスは PMB マッピングの情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域 (H'FC00 0000~H'FFFF FFFF) は、MMUCR.ATにかかわらず、物理アドレスの [31:29] が B'111 となります。制御レジスタ領域を UTLB に登録してアクセスする場合には、PPN[31:29] には B'111 を設定してください。

(3) 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

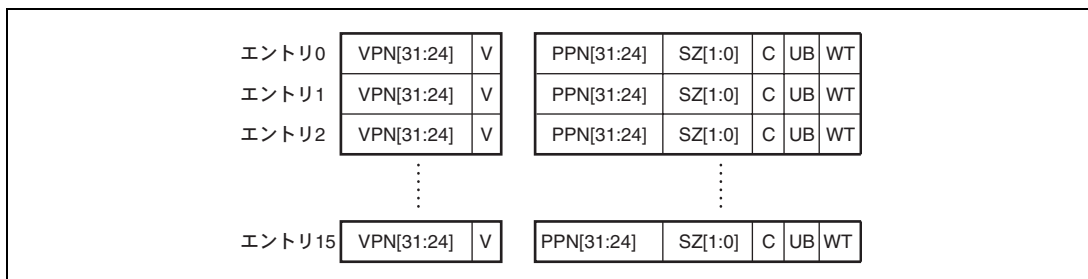


図 2.53 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページ のとき、仮想アドレスの上位 8 ビット

64M バイトページ のとき、仮想アドレスの上位 6 ビット

128M バイトページ のとき、仮想アドレスの上位 5 ビット

512M バイトページ のとき、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのと看、PPN[31:24]が有効

64M バイトページのと看、PPN[31:26]が有効

128M バイトページのと看、PPN[31:27]が有効

512M バイトページのと看、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

(4) PMB の機能

SH-4A がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、SH-4AはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. SH-4AはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

(5) メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000~H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000~H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C=0 に設定したページの領域に配置してください。

1. PMB アドレスアレイ リード

アドレスとして [31:20] に PMB アドレスアレイを示す H'F61、[11:8] にエントリを指定してメモリ読み出しを行うと、[31:24] に VPN、[8] に V が読み出されます。

2. PMB アドレスアレイ ライト

アドレスとして [31:20] に PMB アドレスアレイを示す H'F61、[11:8] にエントリを指定し、データとして [31:24] に VPN、[8] に V を指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMB データアレイ リード

アドレスとして [31:20] に PMB データアレイを示す H'F71、[11:8] にエントリを指定してメモリ読み出しを行うと、[31:24] に PPN、[9] に UB、[8] に V、[7][4] に SZ、[3] に C、[0] に WT が読み出されます。

4. PMB データアレイ ライト

アドレスとして [31:20] に PMB データアレイを示す H'F71、[11:8] にエントリを指定し、データとして [31:24] に PPN、[9] に UB、[8] に V、[7][4] に SZ、[3] に C、[0] に WT を指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

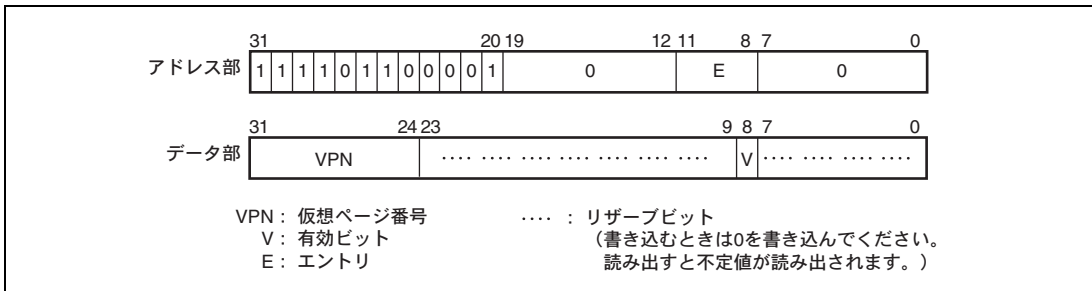


図 2.54 メモリ割り付け PMB アドレスアレイ

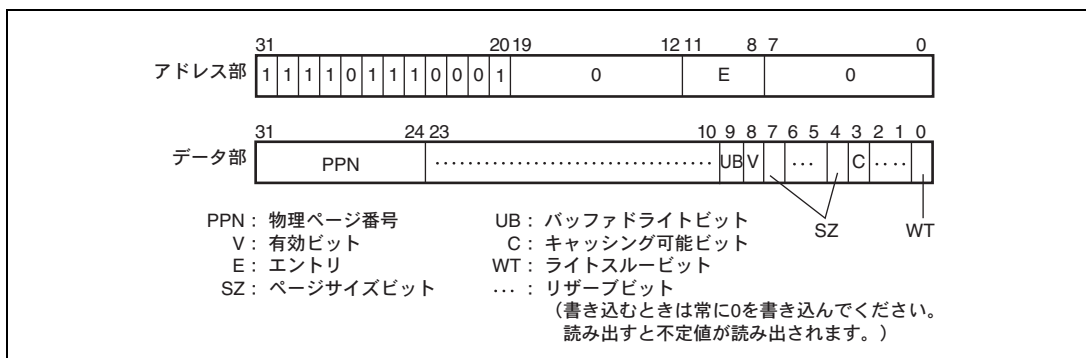


図 2.55 メモリ割り付け PMB データアレイ

(6) 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(a) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります（UB[7]は 32 ビットアドレス拡張モードでも有効です）。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0: 29 ビットアドレスモード 1: 32 ビットアドレス拡張モード
30~8	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかどうかをエリアごとに指定します。 0: CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います 1: CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います UB [7]: 制御レジスタ領域のバッファドライト制御 UB [6:0]: エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

(b) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(c) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

(d) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(e) CCR.CB

CCR レジスタの CB ビットは無効になります。P1 領域に対するキャッシュブレイクライトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(f) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(g) QACR0, QACR1

QACR0, QACR1 レジスタの AREA0[4:2], AREA[4:2]がそれぞれ AREA0[7:2], AREA1[7:2]に拡張され、物理アドレス 31~26 に対応します。

(h) LSA0, LSA1, LDA0, LDA1

LOSADR, LISADR, LODADR, LIDADR がそれぞれ[31:0]に拡張されます。

また、32 ビットアドレス拡張モード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えはパワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアccessが外部メモリアccessを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異なるようにしてください。

4. PMBの登録時にVビットがアドレスアレイとデータアレイの両方にマッピングされていることに注意してください。すなわち、1回目的一方への書き込みではV=0を、2回目の他方への書き込みではV=1を選んでください。

2.7.9 32 ビットブート機能

SH-4A は外部ピンによる指定で、パワーオンリセットおよびマニュアルリセット後のアドレスモードを 29 ビットアドレスモード/32 ビットアドレス拡張モードのどちらにするかを切り替え可能です。以下、32 ビットアドレス拡張モードでブートした場合の変更点を説明します。

(1) PMB の初期エントリ

外部ピンで 32 ビットアドレス拡張モードを指定した場合には、パワーオンリセットおよびマニュアルリセット後、PMB に以下の初期エントリが登録され、PASCRC レジスタの SE ビットの初期値が 1 となります。エントリ 2 ~15 は V ビットのみ 0 に初期化されます。

エントリ	VPN[31:24]	PPN[31:24]	V	SZ[1:0]	C	UB	WT
0	10000000	00000000	1	11	1	0	1
1	10100000	00000000	1	11	0	0	0

(2) 32 ビットブート時の注意点

パワーオンリセットおよびマニュアルリセット直後から P1/P2 領域の PMB マッピングが行われるため、初期エントリとは異なるマッピングを行いたい場合にはブートルーチンでキャッシュと TLB をオン (CCR.ICE と CCR.OCE と MMUCR.AT を 1) にする前に、以下の手順に従って PMB ミス、PMB 多重ヒットが発生しないように注意して PMB を操作してください。なお、ブートルーチン以外での PMB 登録内容の変更は行わないでください。

(a) P1/P2 領域のプログラムで変更する場合

1. 初期エントリに対してSZビットのみを変更したエントリを上書き登録し、ページサイズの縮小を行います。このとき、PMBを変更するプログラムは、ページサイズ縮小後のページの先頭1Mバイト以内に配置してください。
2. ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。
3. 1.の操作でPMB変換情報が不在となったP1/P2領域を補うPMBエントリをメモリ割り付けPMBで登録します。
4. 以下の (i) ~ (iii) のいずれかを実行します。この操作の前に1.の操作でPMB変換情報が不在となったP1/P2領域に対する分岐やオペランドアクセスは行わないでください。
 - (i) RTE命令による分岐を実行
 - (ii) 任意のアドレス（キャッシング不可領域でもよい）に対してICBI命令を実行
 - (iii) メモリ割り付けPMBアクセスの前にIRMCR.MT=0（初期値）と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (iii) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(i) または (ii) を用いることを推奨します。

(b) P1/P2 領域以外のプログラムで変更する場合

1. ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。
2. メモリ割り付けPMBでPMBエントリを変更します。
3. 以下の (i) ~ (iii) のいずれかを実行します。この操作の前にP1/P2領域に対する分岐やオペランドアクセスは行わないでください。
 - (i) RTE命令による分岐を実行
 - (ii) 任意のアドレス（キャッシング不可領域でもよい）に対してICBI命令を実行
 - (iii) メモリ割り付けPMBアクセスの前にIRMCR.MT=0（初期値）と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (iii) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(i) または (ii) を用いることを推奨します。

2.7.10 使用上の注意事項

(1) LDTLB 命令使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の 1.または 2.のどちらかを行ってください。

- 29ビットアドレスモードのときは、次の (a) および (d) の両方を行ってください。32ビットアドレス拡張モードのときは、(a) から (d) をすべて行ってください。

(a) TLBミス例外処理ルーチン^{*1}はP1領域、P2領域あるいは内蔵メモリ領域のみに配置し、TLBミス例外処理ルーチンでの命令アクセス^{*3}はP1領域、P2領域あるいは内蔵メモリ領域のみになるようにしてください。TLBミス例外処理ルーチンを内蔵メモリ領域に配置する場合は、RAMCRのRPビットを0（初期値）にしてください。

(b) TLBミス例外処理ルーチン^{*1}での命令アクセス^{*3}は、PMBの1ページのみを使用してください。かつ、PMBのページの最後64バイトに置かないでください（32ビットアドレス拡張モードの場合のみ）。

(c) MMU関係例外^{*2}処理ルーチンでUTLBに登録する際は、次の (i) と (ii) の両方の条件に従ってください（32ビットアドレス拡張モードの場合のみ）。

(i) TLBミス例外が発生したときで、アクセス権があるページをUTLBに登録する場合、次の2回の動作で例外が発生したページをUTLBに登録する方法は行わないでください。

- TLBミス例外を発生させた命令を再実行するときに保護違反例外が起こるような保護キーデータを指定して、TLBミス例外が発生したページをUTLBに登録する。
- 保護違反例外の例外処理ルーチンで保護違反例外が起こらない保護キーデータを指定してUTLBに登録し、保護違反例外を発生させた命令を再実行する。

(ii) 初期書き込み例外が発生し、UTLBのダーティビットに1を設定したページが、該当書き込み命令が完了する前にUTLBから追い出された場合、再度登録する場合は、ダーティビットを1で登録してください。

(d) TLBミス例外処理ルーチンではFDIV命令またはFSQRT命令を使用しないでください。

- TLBミス例外が発生した際は、MMUCR.URCに1を加算してからLDTLB命令を実行してください。

【注】 *1 例外処理ルーチン：例外発生時のVBR+オフセットの番地から、元のプログラムに復帰するRTEおよびRTEの遅延スロットに至るまでに実行されるすべての命令を意味します。

*2 MMU関係例外：命令TLBミス例外、命令TLBミス保護違反例外、データTLBミス例外、データTLB保護違反例外、初期ページ書き込み例外を意味します。

*3 命令アクセス：PREFI命令とICBI命令によるアクセスを含みます。

2.8 キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ (IC) を、データ用に 32K バイトのオペランドキャッシュ (OC) を内蔵しています。

2.8.1 特長

キャッシュの特長を表 2.35 に示します。

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 2.36 に示します。

表 2.35 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	256 エントリ/ウェイ
書き込み方式	—	コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 2.36 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000~H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

SH-4A のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 2.56 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 2.57 に命令キャッシュの構成を示します。

SH-4A は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「2.5 例外処理」を参照してください。

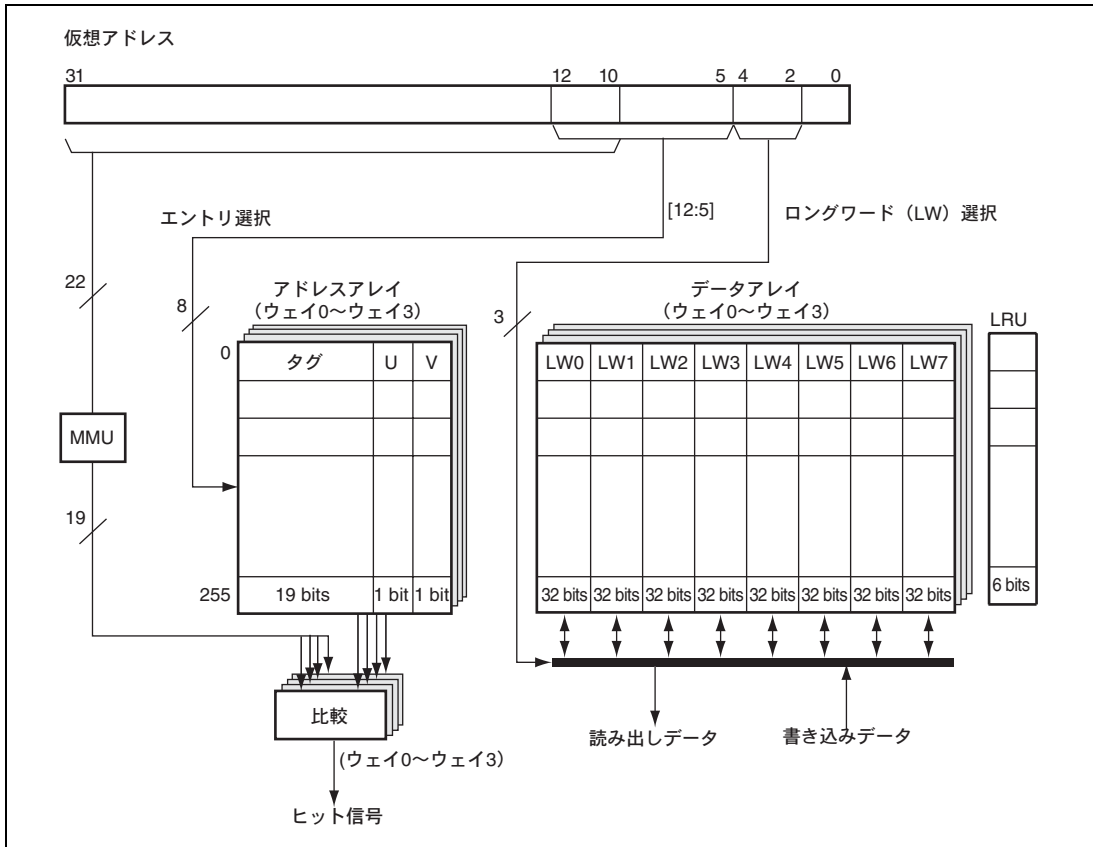


図 2.56 オペランドキャッシュの構成 (キャッシュサイズ=32K バイトの場合)

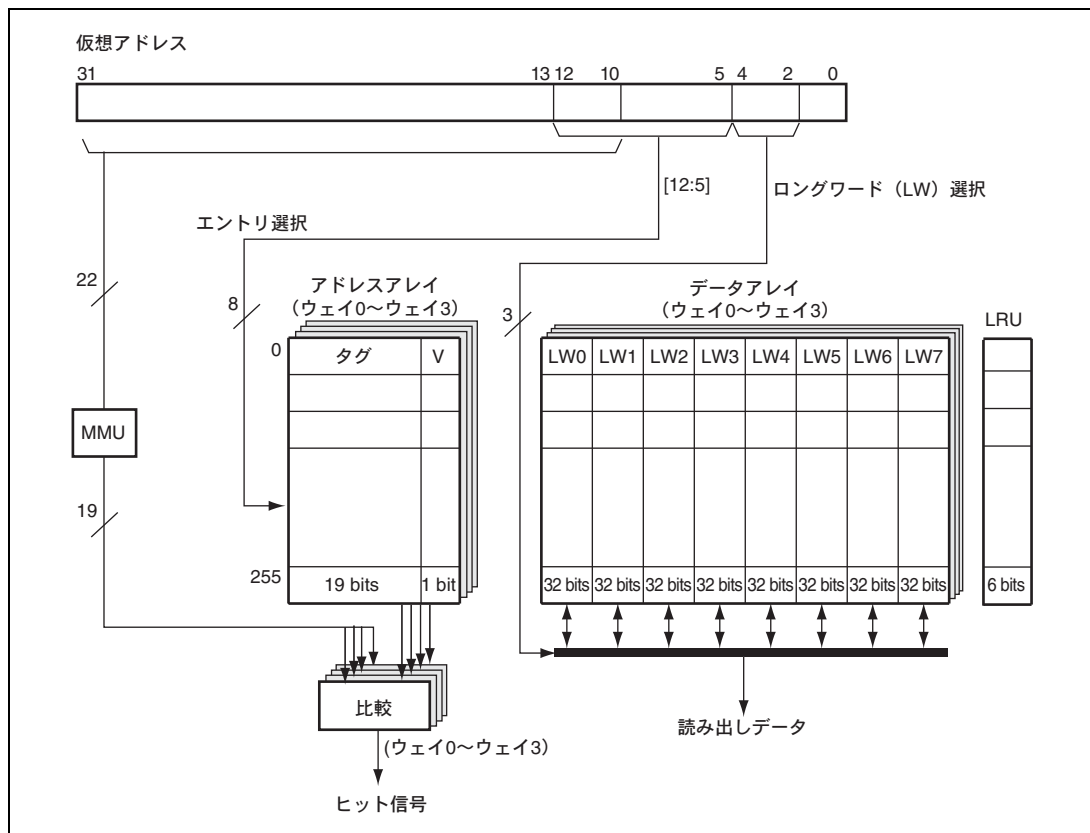


図 2.57 命令キャッシュの構成 (キャッシュサイズ=32K バイトの場合)

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「2.8.6 メモリ割り付けキャッシュの構成」参照) をアクセスすることによりUビットを書き換えなければ、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットから成り、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

2.8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 2.37 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 2.38 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000
キューアドレス制御レジスタ 0	QACR0	不定	不定	保持	保持	不定
キューアドレス制御レジスタ 1	QACR1	不定	不定	保持	保持	不定
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000

(1) キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ICI	—	—	ICE	—	—	—	—	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0：ライトスルーモード 1：コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0：コピーバックモード 1：ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0：OCを使用しない 1：OCを使用する

(2) キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー 0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA0			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

(3) キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー 1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA1			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	—	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

(4) 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域またはILメモリでかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット名：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～10	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「2.9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「2.9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0：IC は 4 ウェイ動作 1：IC は 2 ウェイ動作 詳細は「2.8.4 (3) IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0：OC は 4 ウェイ動作 1：OC は 2 ウェイ動作 詳細は「2.8.3 (6) OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説明
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	—	すべて0	R	リザーブビット 本ビットの読み出し／書き込みに関しては「製品に関する一般的注意事項」を参照してください。

2.8.3 オペランドキャッシュの動作説明

(1) 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OCは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

(2) プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

(3) 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

- | | コピーバック | ライトスルー |
|--|--------|--------|
| • タグが一致かつVビットが1のウェイが存在する場合 | → 3. | → 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 | → 5. | → 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | → 6. | → 7. |

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス (コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス (ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

(4) ライトバックバッファ

SH-4A は、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

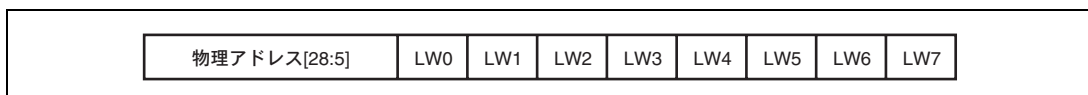


図 2.58 ライトバックバッファの構成

(5) ライトスルーバッファ

SH-4A は、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

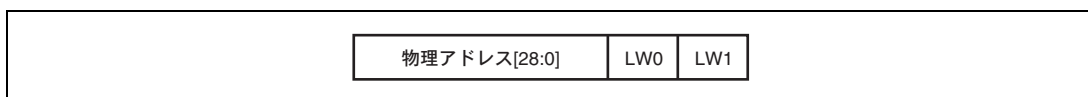


図 2.59 ライトスルーバッファの構成

(6) OC2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

2.8.4 命令キャッシュの動作説明

(1) 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 → 4.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

(2) プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 → 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

(3) IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを 1 にセットすると、IC のウェイ 0 とウェイ 1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。

IC2W ビットの書き換えは P2 領域のプログラムで行うようにしてください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

(4) 命令キャッシュウェイ予測

SH-4A は消費電力を低減するために命令キャッシュ (IC) ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを 1 にセットすると、IC ウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんが IC の消費電力が増加します。また、ICWPD ビットの切り替えはキャッシング不可の P2 領域を走行するプログラムで行ってください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

2.8.5 キャッシュ操作命令

(1) キャッシュと外部メモリとのコヒーレンシ

(a) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。SH-4A ではキャッシュを操作する命令として次の6命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- **オペランドキャッシュインバリデイト命令 : OCBI @Rn**
オペランドキャッシュの無効化（書き戻しなし）
- **オペランドキャッシュバージ命令 : OCBP @Rn**
オペランドキャッシュの無効化（書き戻しあり）
- **オペランドキャッシュライトバック命令 : OCBWB @Rn**
オペランドキャッシュの書き戻し
- **オペランドキャッシュアロケート命令 : MOVCA.L R0, @Rn**
オペランドキャッシュの確保
- **命令キャッシュインバリデイト命令 : ICBI @Rn**
命令キャッシュの無効化
- **オペランドアクセス同期命令 : SYNCO**
データ転送の完了待ち

(b) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- **PURGE トランザクション**

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- **FLUSH トランザクション**

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(c) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWBのコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aから変更になっています。

1. インバリデイト命令：OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

2. パージ命令：OCBP@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

3. ライトバック命令：OCBWB@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、拡張機能を備えたSH-4Aでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ=Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを0の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

(2) プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、SH-4A ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが **UTLB** にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

2.8.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC データアレイの内容の読み出し／書き込みが可能です。また特権モードのとき P2 領域のプログラムあるいは IL メモリ領域のプログラムから MOV 命令によって IC アドレスアレイの内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1～3 のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ／データアレイ、OC のアドレスアレイ／データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには 0 を設定するようにしてください。予約ビットの読み出し値は不定です。

(1) IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000～H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す H'F0 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

(a) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。読み出す場合アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(b) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(c) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICB1 命令の使用を推奨します。

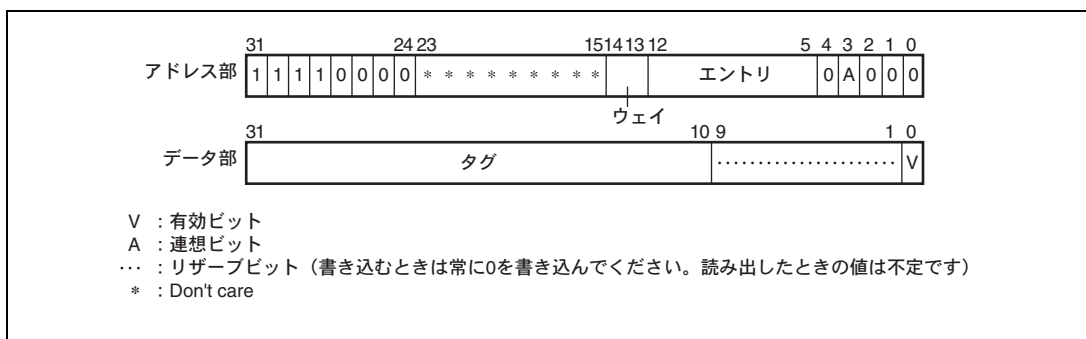


図 2.60 メモリ割り付け IC アドレスアレイ (キャッシュサイズ=32K バイトの場合)

(2) IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000~H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

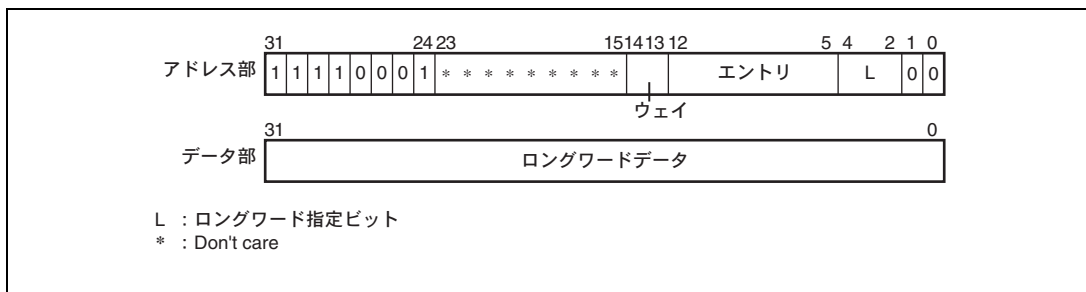
IC データアレイに対しては次の 2 種類の操作が可能です。

(a) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(b) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。



(3) OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000~H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(a) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(b) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(c) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

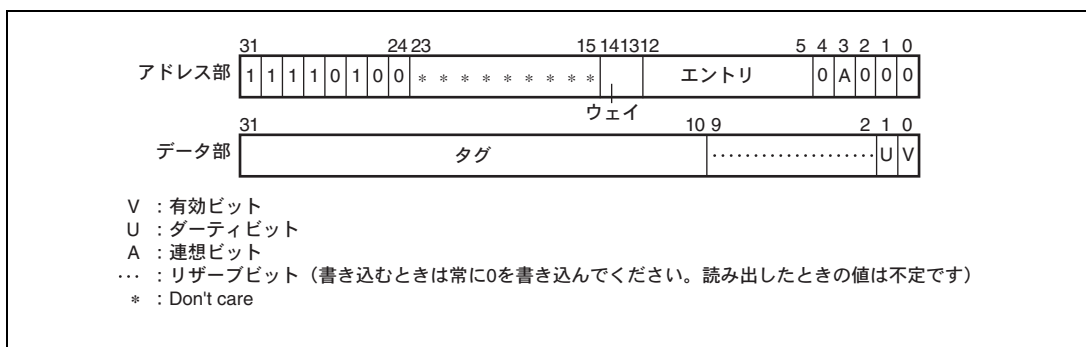


図 2.62 メモリ割り付け OC アドレスアレイ (キャッシュサイズ=32K バイトの場合)

(4) OC データアレイ

OC のデータアレイは P4 領域の HF500 0000~HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

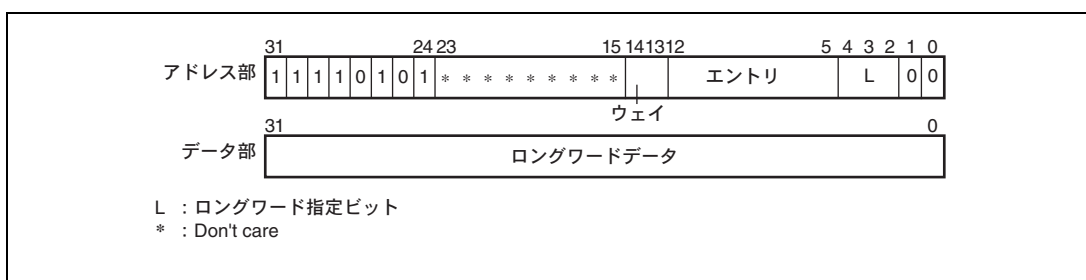
OC データアレイに対しては次の 2 種類の操作が可能です。

(a) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(b) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。



(5) メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH-4A では過渡的な措置として本機能を利用した場合にアドレスエラーが発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (H'FF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

2.8.7 ストアキュー

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

(1) SQ の構成

SQ は図 2.64 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

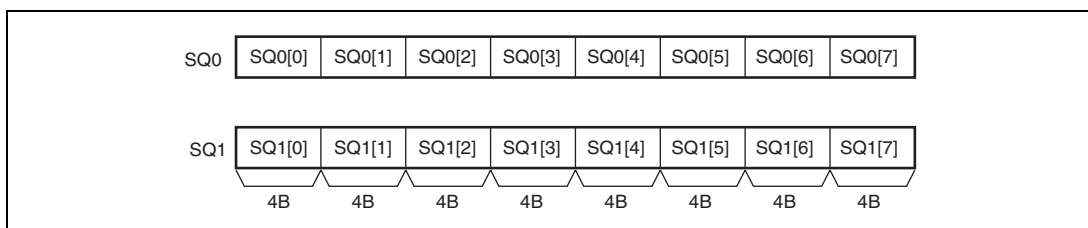


図 2.64 ストアキューの構成

(2) SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000~H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0 : SQ0 指定 1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

(3) 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(a) MMU イネーブル (MMUCR.AT=1) の場合

UTLBのVPNにSQ領域 (H'E000 0000~H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(b) MMU ディスエーブル (MMUCR.AT=0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000~H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0 : SQ0指定 1 : SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

(4) SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されません。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(a) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(b) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0: 特権/ユーザアクセス可能

1: 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

(5) SQ からの読み出し

SH-4A では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000~H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0: SQ0 指定、1: SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

2.8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

- IC および OC のタグが、[28:10] の 19 ビットから [31:10] の 22 ビットに拡張されます。
- IC を操作する命令 (メモリ割り付け IC アクセスおよび CCR.ICI 書き込み) を配置する領域は、P1 または P2 領域とし、PMB の当該エントリのキャッシング可能ビット (C ビット) を 0 にしてください。
- QACR0 レジスタの AREA0 ビットおよび QACR1 レジスタの AREA1 ビットがそれぞれ [4:2] の 3 ビットから [7:2] の 6 ビットに拡張されます。

2.9 内蔵メモリ

本 LSI は OL メモリ、IL メモリの 2 種類のメモリを内蔵しており、命令やデータを格納することができます。OL メモリはデータの格納に適しており、IL メモリは命令の格納に適しています。

2.9.1 特長

(1) OL メモリ

- 容量：

OLメモリは、16Kバイトです。
- ページ：

OLメモリは4ページ（ページ0A、0B、1Aおよび1B）に分かれています。
- メモリマップ：

OLメモリは、仮想アドレス空間、物理アドレス空間ともに、表2.39に示されるアドレスに配置されています。

表 2.39 OL メモリアドレス

ページ	メモリサイズ
	16K バイト
ページ 0A	H'E500 E000～ H'E500 EFFF
ページ 0B	H'E500 F000～ H'E500 FFFF
ページ 1A	H'E501 0000～ H'E501 0FFF
ページ 1B	H'E501 1000～ H'E501 1FFF

- ポート：

各ページは3本の独立した読み出し／書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバス、となります。

(2) IL メモリ

• 容量 :

ILメモリは、16Kバイトです。

• ページ :

ILメモリは4ページ（ページ0～ページ3）に分かれています。

• メモリマップ :

ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表2.40に示されるアドレスに配置されています。

表 2.40 IL メモリアドレス

ページ	メモリサイズ
	16K バイト
ページ 0	H'E520 0000～ H'E520 0FFF
ページ 1	H'E520 1000～ H'E520 1FFF
ページ 2	H'E520 2000～ H'E520 2FFF
ページ 3	H'E520 3000～ H'E520 3FFF

• ポート :

3本の独立した読み出し／書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。

• 優先順位 :

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

2.9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 2.41 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
OL メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
OL メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
OL メモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
OL メモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 2.42 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディーブ スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000
OL メモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持	保持	不定
OL メモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持	保持	不定
OL メモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持	保持	不定
OL メモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持	保持	不定

(1) 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ/特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「2.9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「2.8.4 (3) IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「2.8.3 (6) OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「2.8.4 (4) 命令キャッシュウェイ予測」を参照してください。
4~0	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。

(2) OL メモリ転送元アドレスレジスタ 0 (LSA0)

LSA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0A、0B へのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LOSADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOSADR						—	—	—	—	LOSSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	LOSADR	不定	R/W	OL メモリページ0 ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	LOSSZ	不定	R/W	OL メモリページ0 ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送元となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、LOSADR の値を使用するかを選択します。LOSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスに LOSADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

(3) OL メモリ転送元アドレスレジスタ 1 (LSA1)

LSA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1A、1B へのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1SADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1SADR	不定	R/W	OL メモリページ1ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1SSZ	不定	R/W	OL メモリページ1ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、L1SADR の値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスに L1SADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

(4) OL メモリ転送先アドレスレジスタ 0 (LDA0)

LDA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0A、0B へのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0DADR						—	—	—	—	L0DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L0DADR	不定	R/W	OL メモリページ0 ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L0DSZ	不定	R/W	OL メモリページ0 ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送先となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、L0DADR の値を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスに L0DADR の値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

(5) OL メモリ転送先アドレスレジスタ 1 (LDA1)

LDA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1A、1B へのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	L1DSZ						
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	L1DADR	不定	R/W	OL メモリページ1ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5~0	L1DSZ	不定	R/W	OL メモリページ1ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送先となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、L1DADR の値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスに L1DADR の値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

2.9.3 動作説明

(1) CPU からの命令フェッチアクセス

(a) IL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

(b) OL メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。アクセスには複数サイクルかかります。

(2) CPU からのオペランドアクセスおよび FPU からのアクセス

(a) IL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

(b) OL メモリ

CPU および FPU からのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OL メモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に 1 サイクルアクセスになります。

(3) SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

(4) OL メモリブロック転送

OL メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから OL メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、外部メモリから OL メモリへのブロック転送が開始されます。

OL メモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、OL メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(a) MMU イネーブル (MMUCR.AT=1) かつ RAMCR.RP=1 の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

(b) MMU ディスエーブル (MMUCR.AT=0) または RAMCR.RP=0 の場合

LSA0 レジスタの LOSADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、LOSSZ ビットに、転送元の物理アドレスのビット 15~10 として PREF 命令で指定された仮想アドレスを使用するか、LOSADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト~64K バイト単位で設定可能です。

LDA0 レジスタの LODADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、L0DSZ ビットに、転送先の物理アドレスのビット 15~10 として OCBWB 命令で指定された仮想アドレスを使用するか、LODADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト~64K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 および LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] については仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] については仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

2.9.4 内蔵メモリの保護機能

SH-4A では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット (RMD) と内蔵メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD=0のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定しません。

またMMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表2.43にまとめます。

表 2.43 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	—	
			1	—	—	
		1	x	—	—	
1	0	0	0	アドレスエラー例外	—	
			1	—	—	
		1	x	—	—	
	1	0	0	0	アドレスエラー例外	—
				1	—	MMU 例外
			1	x	—	MMU 例外

【記号説明】 x : Don't care

2.9.5 使用上の注意事項

(1) ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起これないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

(2) ページの切り替わり

(a) OL メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがOLメモリ以外からOLメモリに切り替わる場合には複数サイクル（最大2サイクルウェイト）かかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

(b) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル（最大2サイクルウェイト）かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。たとえばページごとに独立したプログラムを配置すると効率がよくなります。

(3) ILメモリのコヒーレンシ

ILメモリに命令を配置する場合、ILメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（ILメモリのアドレスでもよい）、キャッシュヒット/ミスどちらでもかまいません。

(4) スリープモード

スリープモード中は、DMACなどのSuperHywayバスマスタモジュールからOLメモリあるいはILメモリへのアクセスは行えません。

2.9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの LOSADR ビット、LSA1 レジスタの LISADR ビット、LDA0 レジスタの LODADR ビット、LDA1 レジスタの LIDADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

2.10 製品に関する一般的注意事項

2.10.1 未定義・リザーブアドレスのアクセス禁止

未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

2.10.2 各レジスタリザーブビットの読み出し／書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し／書き込み値の指定が特にないかぎり以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

2.11 付録

2.11.1 CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは、P4 領域の H'F2F0000 あるいはエリアアドレスの H'1F2F0000 から 32 ビットサイズで読み出し／書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU の MOV 命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。

1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
初期値:	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
9~6	—	すべて1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「2.11.3 サブルーチン復帰投機実行」を参照してください。 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	—	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0: 割り込みを受理しても SR.IMASK の値は変化しません。 1: 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	—	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

2.11.2 命令プリフェッチとその副作用について

SH-4A は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

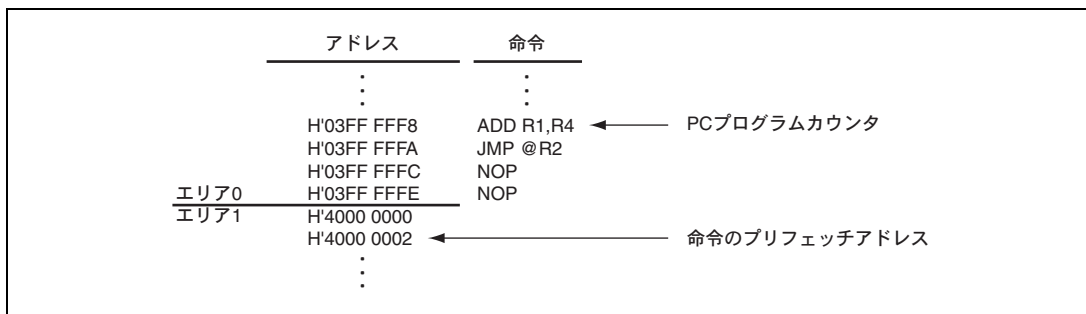


図 2.65 命令のプリフェッチ

図 2.65 では、PC（プログラムカウンタ）が指し示す命令（ADD）と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス（命令のプリフェッチ）が発生する可能性があります。

(1) 命令のプリフェッチの副作用

- 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
- 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

- MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

2.11.3 サブルーチン復帰投機実行

SH-4A は、サブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「2.11.2 (1) 命令のプリフェッチの副作用」を参照してください。

- 使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

2.11.4 バージョンレジスタ (PVR、PRR)

SH-4A は、プロセッサコアのバージョンと製品のバージョンを示す読み出し専用のレジスタを内蔵しています。これらのレジスタの値を用いることにより、ソフトウェアからプロセッサのバージョンおよび製品を区別することができ拡張性の高いシステムを構築することが可能となります。

【注】 PVR レジスタのビット7～ビット0と PRR レジスタのビット3～ビット0の値は必ずマスクをし、ソフトウェアに影響を与えないようにしてください。

表 2.44 レジスタ構成

名称	略称	R/W	P4 領域アドレス	エリア7アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'FF00 0044	H'1F00 0044	32

(1) PVR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値:	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	0	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～24	CHIP	H'10	R	プロセッサファミリの種別を示します。
23～16	VER	H'30	R	プロセッサバージョンを示します。
15～8	CUT	H'0B	R	プロセッサバージョンを示します。
7～0	—	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

(2) PRR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Product								CUT				—	—	—	—
初期値:	0	0	1	0	1	1	1	0	0	0	0	0	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	すべて0固定です。
15~8	Product	H'2E	R	製品種別を示します。 H'2E : SH7734
7~4	CUT	H'0	R	製品バージョンを示します。 1st Cut : 0000
3~0	—	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

3. リセット、ウォッチドッグタイマ (RESET、WDT)

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御と、本 LSI 内部および外部周辺デバイスのリセットを制御します。WDT は 1 チャネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

3.1 WDT の特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- WDTには、カウンタオーバーフローにより内部をパワーオンリセット、あるいはマニュアルリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- WDTのウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをパワーオンリセットあるいはマニュアルリセットします。
- WDTのインターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT関連のレジスタの一部は、容易に書き換えられないように上位8ビットにコード値を設定しています。
- カウンタがオーバーフローするまでの最大時間は、約1374秒 (周辺クロック : clkp=50MHz時) です。
- PRESET#端子制御

PRESET#端子のネゲート時をフィルタセルで遅延させる

- モード端子制御
モード端子入力をPRESET#端子入力の立ち上がりでラッチ
クロックモードを選択するモード端子は、リセット中は端子入力をチップ内のモード信号にする
ラッチしたモード信号を読み出せるレジスタを追加

- WDT機能

WDTのオーバーフローにより以下のイベントを選択可能

- パワーオンリセット要求
- マニュアルリセット要求
- 割り込み要求

カウントアップ周期は周辺クロック (clkp) 1クロック単位で設定可能。

オーバーフローのフラグは2種類

- ウォッチドッグタイマオーバーフローフラグ (リセット要求時にセット)
- インターバルタイマオーバーフローフラグ (割り込み要求時にセット)

図 3.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

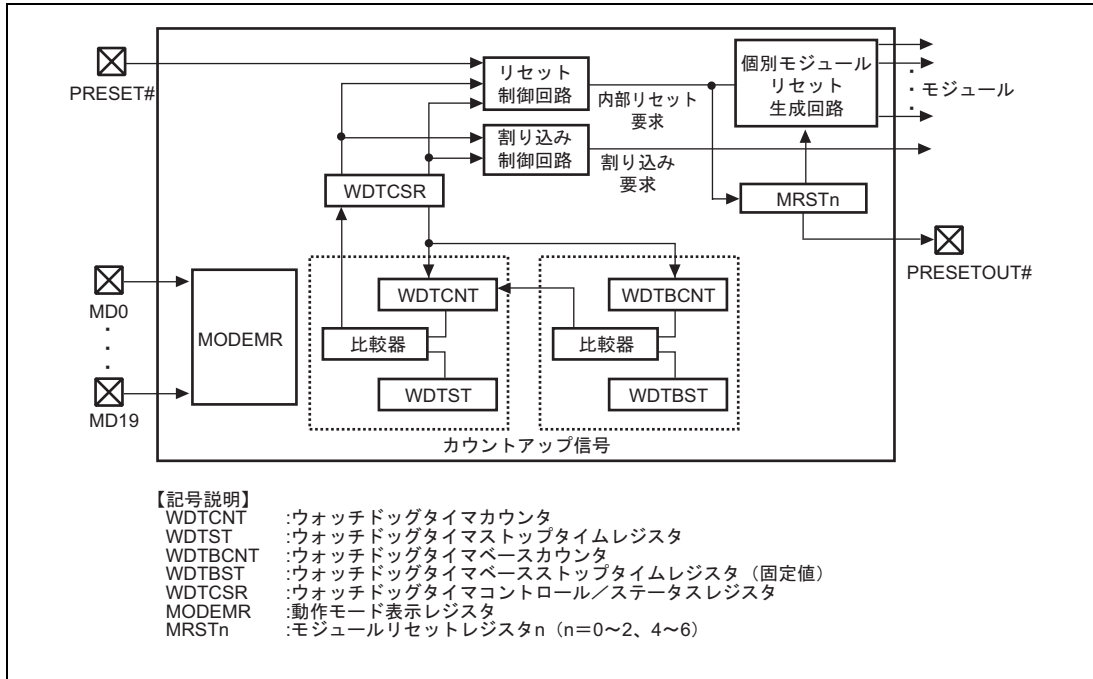


図 3.1 ブロック図

3.2 入出力端子

表 3.1 入出力端子表

端子名	入出力	説明
MD0	入力	<ul style="list-style-type: none"> ・モード信号 MD0~4、10、11、12、15は「第8章 クロック発振器 (CPG)」を参照。 MD5、6、7、8、9、13、14は「第6B章 ローカルバスステートコントローラ (LBSC)」を参照。
MD1	入力	
MD2	入力	
MD3	入力	
MD4	入力	
MD5	入力	
MD6	入力	
MD7	入力	
MD8	入力	
MD10	入力	
MD11	入力	
MD12	入力	
MD13	入力	
MD14	入力	
MD15	入力	
MD16	入力	
MD17	入力	
MD18	入力	
MD19	入力	
MPMD	入力	「第39章 ユーザデバッグインタフェース (H-UDI)」を参照。
PRESET#	入力	<ul style="list-style-type: none"> ・パワーオンリセット信号 Low レベルを入力することによりパワーオンリセット状態に遷移します。
PRESETOUT#	出力	<ul style="list-style-type: none"> ・リセット出力信号 PRESETOUT#端子のリセットアサート要因は PRESETOUT#端子用レジスタ (以下 MRST2) 設定以外にも、「3.4.1 リセット要求」に規定するすべてのパワーオンリセット要因を含みます。また、MRST2 設定以外の要因では、FLASH ROM のリセット期間、およびホールド期間を確保します。 レジスタの初期値は High です。

- PRESETOUT#の動作仕様

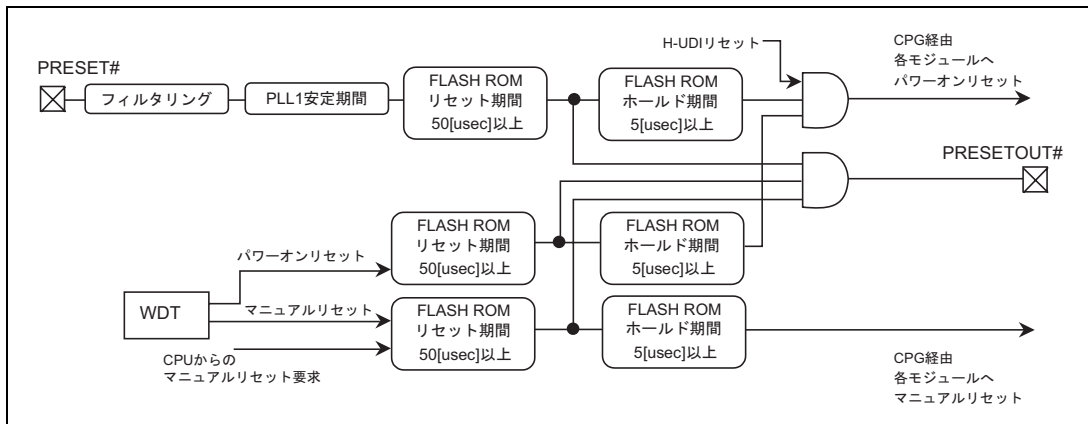


図 3.2 PRESETOUT#構成

3.3 レジスタの説明

表 3.2 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 3.3 に示します。

表 3.2 レジスタ一覧

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ
ウォッチドッグタイマストップタイム レジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32
ウォッチドッグタイマベースストップタイ ムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32
ウォッチドッグタイマカウンタ	WDCNT	R	H'FFCC 0010	H'1FCC 0010	32
ウォッチドッグタイマベースカウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32
動作モード表示レジスタ	MODEMR	R	H'FFCC 0020	H'1FCC 0020	32

表 3.3 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオンリセット		マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
		PRESET# 端子による	WDT のオーバ フロー/ H-UDI による	WDT のオーバ フロー/多重 例外による	SLEEP 命令に よる	SLEEP 命令に よる	—	SLEEP 命令に よる
ウォッチドッグタイマ ストップタイムレジスタ	WDTST	H'0000 0000	保持	保持	保持	保持	—	H'0000 0000
ウォッチドッグタイマ コントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持	保持	—	H'0000 0000
ウォッチドッグタイマ ベースストップタイム レジスタ	WDTBST	H'0000 0000	保持	保持	保持	保持	—	H'0000 0000
ウォッチドッグタイマ カウンタ	WDCNT	H'0000 0000	H'0000 0000	保持*	保持	保持	—	H'0000 0000
ウォッチドッグタイマ ベースカウンタ	WDTBCNT	H'0000 0000	H'0000 0000	保持*	保持	保持	—	H'0000 0000
動作モード表示レジスタ	MODEMR	H'000- ----	保持	保持	保持	保持	—	H'000- ----

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* ウォッチドッグタイマカウンタ、ウォッチドッグベースカウンタは WDT のオーバフローにより、初期値 (H'0000 0000) にクリアされます。

3.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し/書き込み可能な 32 ビットのレジスタで、WDCNT のオーバーフロー値を設定します。H'5A00 0001 を設定したときがオーバーフローまでの最小時間で、H'5A00 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'5A)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
初期値 :	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	H'00	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。
23~12	—	—	R	リザーブ
11~0	WDTST	H'000	R/W	WDCNT のオーバーフロー値 H'001 : 最小値 H'000 : 最大値

3.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCR)

WDTCR は、読み出し/書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバフローフラグから成ります。

WDTCR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'A5)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TME	WT/IT	RSTS	WOVF	IOVF	—	—	—
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	H'00	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。
23~8	—	—	R	リザーブ
7	TME	0	R/W	タイマイネーブル 0: カウントアップ停止 1: カウントアップ開始
6	WT/IT	0	R/W	タイマモードセレクト 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで有効。 0: パワーオンリセット 1: マニュアルリセット
4	WOVF	0	R/W	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモードで有効。 0: オーバフローなし 1: WDCNT がオーバフローした
3	IOVF	0	R/W	インターバルタイマオーバフロー インターバルタイマモードで有効。 0: オーバフローなし 1: WDCNT がオーバフローした
2~0	—	—	R	リザーブ

3.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し／書き込み可能な 32 ビットのレジスタで、H'5500 0001 を設定したときにオーバフローまでの最小時間で、H'5500 0000 を設定したときにオーバフローまでの最大時間になります。WDTBST への書き込みは上位バイトをコード値 (H'55) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'55)								WDTBST							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBST															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	H'00	R/W	コード値 (H'55) 読み出すと常に 0 が読み出されます。
23~0	WDTBST	H'000000	R/W	WDTBCNT のオーバフロー値 H'000001 : 最小値 H'000000 : 最大値

3.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバフローによりカウントアップします。WDTCNT がオーバフローすると、ウォッチドッグタイマモードでは選択したリセットが発生し、インターバルタイマモードでは割り込みが発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
初期値 :	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12	—	—	R	リザーブ
11~0	WDTCNT	H'000	R	カウンタ値。 WDTBCNT のオーバーフローでカウントアップ。 オーバーフローでフラグをセットし、リセット、または割り込みを要求。

3.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (clkp) によりカウントアップします。WDTBCNT がオーバーフローすると、WDTCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	WDTBCNT							
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	—	—	R	リザーブ
23~0	WDTBCNT	H'000000	R	カウンタ値。 オーバーフローで WDTCNT をカウントアップ。

3.3.6 動作モード表示レジスタ (MODEMR)

MODE 設定値をリードできます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MPMD	MODE 19	MODE 18	MODE 17	MODE 16
初期値 :	—	—	—	—	—	—	—	—	—	—	—	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MODE 15	MODE 14	MODE 13	MODE 12	MODE 11	MODE 10	MODE 09	MODE 08	MODE 07	MODE 06	MODE 05	MODE 04	MODE 03	MODE 02	MODE 01	MODE 00
初期値 :	*	*	*	*	*	*	*	*	*	*	*	0	0	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	—	—	R	リザーブ
20	MPMD	モードに 依存	R	MPMD 端子をラッチした値 0 : H-UDI モード 1 : パウダリスキャンモード
19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	MODE19 MODE18 MODE17 MODE16 MODE15 MODE14 MODE13 MODE12 MODE11 MODE10 MODE09 MODE08 MODE07 MODE06 MODE05 MODE04 MODE03 MODE02 MODE01 MODE00	モードに 依存	R	MODE19~0 端子をラッチした値 ビット 19~16 : ブートモード ビット 15 : リザーブ 0 ビット 14 : ブートモード切り替えモード 1 : MMC ブートモードを選択 0 : 通常ブートモードを選択 ビット 13 : 29/32 ビットモード 1 : 32 ビットモード 0 : 29 ビットモード ビット 12, 11 : PLL 逡倍率設定値 (「第 8 章 クロック発振器 (CPG)」 を参照) ビット 10 : XTAL 入力モード (「第 8 章 クロック発振器 (CPG)」 を参照) ビット 9, 7 : エリア分割 00 : エリア 0 64M バイト、エリア 2~5 DDR モード 01 : エリア 0 128M バイト、エリア 2~5 DDR モード 10 : エリア 0 64M バイト、エリア 1~6 DDR モード 11 : 設定禁止 ビット 8 : ビッグ/リトルエンディアン 1 : リトルエンディアン 0 : ビッグエンディアン ビット 6, 5 : ExBus のデータ幅 10 : 16 ビットバス 01 : 8 ビットバス ビット 4, 3 : リザーブ 00 ビット 2, 1 : ExBus 側動作周波数 (「第 8 章 クロック発振器 (CPG)」 を参照) ビット 0 : 自走/ステップアップモード 1 : ステップアップモード 0 : 自走モード

3.4 動作説明

3.4.1 リセット要求

(1) パワーオンリセット

- 要因：
 1. PRESET#端子からローレベルを入力した場合
 2. WDTC SRのWT/ITビットが1かつWDTC SRのRSTSビットが0の状態、WDTCNTがオーバフローした場合
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3~IMASK0) がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずPRESET#端子にローレベルを入力してください。また、H-UDIを初期化するために、TRST#端子にローレベルを入力する必要があります。

(2) マニュアルリセット

- 要因：
 1. SRのBLビットが1のときユーザブレイクを除く一般例外が発生した場合
 2. WDTC SRのWT/ITビットが1かつWDTC SRのRSTSビットが1の状態、WDTCNTがオーバフローした場合
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3~IMASK0) がB'1111にセットされます。CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：

H-UDIリセットが発生した場合 (詳細は「第39章 ユーザデバッグインタフェース (H-UDI)」を参照してください)
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

PRESETOUT#がアサートされないこと以外はパワーオンリセットと同じ動作になります。

3.4.2 WDT でのウォッチドッグタイマモードの使用法

1. WDTSTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに1、RSTSビットにリセットのタイプを設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTがオーバフローしないように定期的にWDTCNT、またはWDTBCNTをクリアしてください。クリア方法は「3.4.5 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTがオーバフローすると、WDTCSRのWOVFフラグを1にセットし、パワーオンリセット/マニュアルリセットを発生します。リセット解除後、WDTCNT、およびWDTBCNTはカウントを再開します。

3.4.3 WDT でのインターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに0を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。

WDTCNTがオーバフローすると、WDTCSRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDTCNT、およびWDTBCNTはカウントを続行しています。

3.4.4 WDT オーバフロー発生までの時間

WDTCNTとWDTBCNTとの関係を図3.3に示します。

図はインターバルタイマモードの例で、WDTCNTのオーバフロー後もカウントアップを継続します。

ウォッチドッグタイマモードでは、リセット解除後にWDTCNT、WDTBCNTを0にクリアしてカウントアップを再開します。

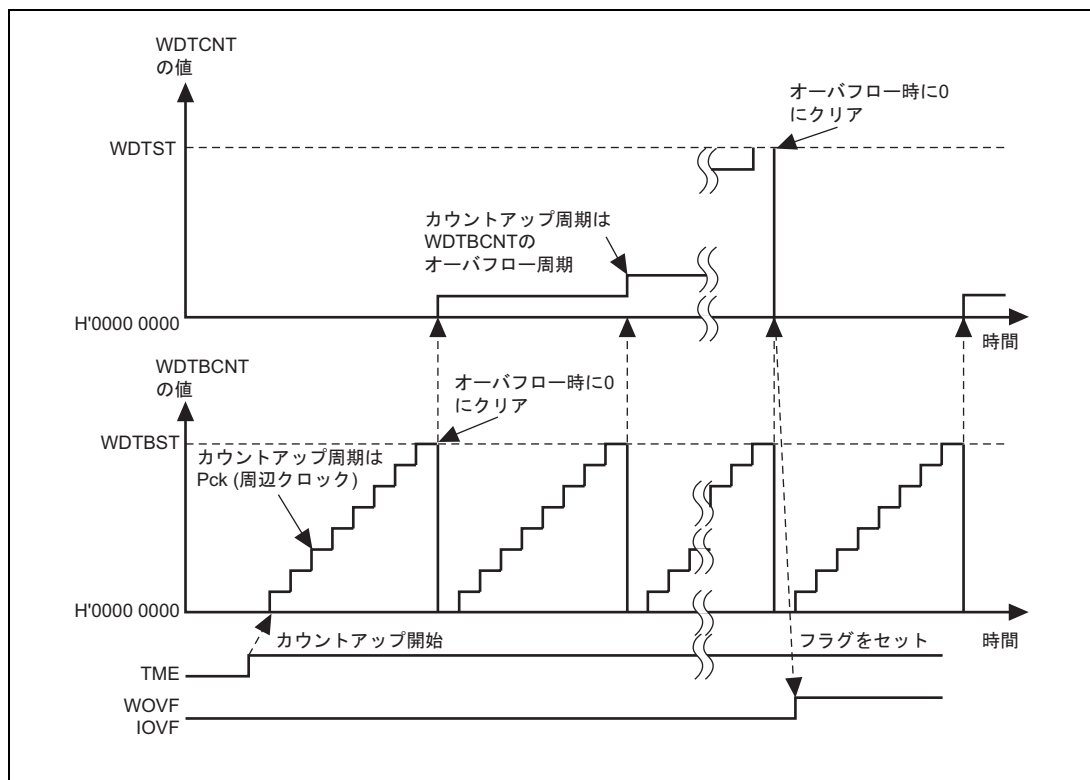


図 3.3 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT は 24 ビットのカウンタで、周辺クロックでカウントアップします。周辺クロック clk_p の周期を $tPck$ (ns) とすると、WDTBCNT のオーバーフロー周期は、

$$2^{24}[\text{bit}] \times tPck[\text{ns}] = 16.78 \times tPck[\text{ms}]$$

となります。

WDTCNT は 12 ビットのカウンタで、WDTBCNT でオーバーフローが発生するとカウントアップします。WDTST の全ビットに 0 を書き込んだ場合がオーバーフローまでの最大時間になります。周辺クロック clk_p の周期を $tPck$ (ns) とすると、WDTCNT のオーバーフロー周期の最大時間は、

$$2^{12}[\text{bit}] \times (16.78 \times tPck) [\text{ms}] = 68.73 \times tPck [\text{s}]$$

また最小時間は、WDTST に H'5A00 0001 を書き込んだ場合で、WDTBCNT のオーバーフロー周期と等しくなります。

たとえば、周辺クロックが 50MHz の場合、 $tPck$ は 20ns となり

$$\text{WDTBCNT のオーバーフロー周期} : 16.78 \times 20 = 335.60[\text{ms}]$$

$$\text{WDTCNT のオーバーフロー周期の最大時間} : 68.73 \times 20 = 1374.6[\text{s}]$$

となります。

3.4.5 WDT カウンタのクリア方法

1. WDTCNTはWDTSTに設定した値と同じ値をWDTSTに再設定することでクリアされます。
2. WDTBCNTはWDTBSTに設定した値と同じ値をWDTBSTに再設定することでクリアされます。

上記設定にてオーバーフローが発生することはありませんが、オーバーフローと上記設定が同時に発生したときはオーバーフローが優先されます。(カウンタはオーバーフローによりクリアされます)

3.5 リセットタイミング

3.5.1 PRESET#端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、パワーオン発振安定時間を確保する必要があります。したがって、パワーオン発振安定時間中に PRESET#端子にハイレベルを入力しないでください。PRESET#端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、PRESET#がネゲートされてから周辺クロック (clkp) 周期の 40 サイクル以上になります。

(1) 電源投入シーケンス

電源投入時は、必ず PRESET#端子にローレベルを入力してください。また、H-UDI を初期化するために、TRST#端子にローレベルを入力する必要があります。

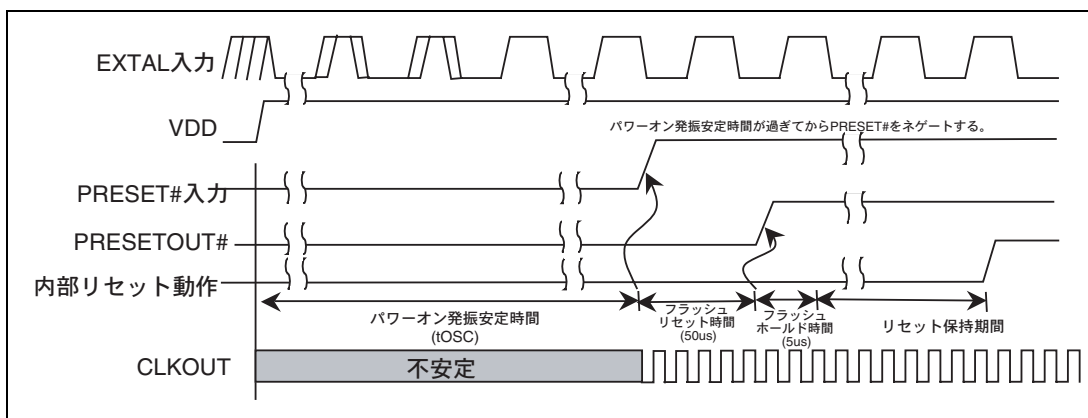


図 3.4 自走モード

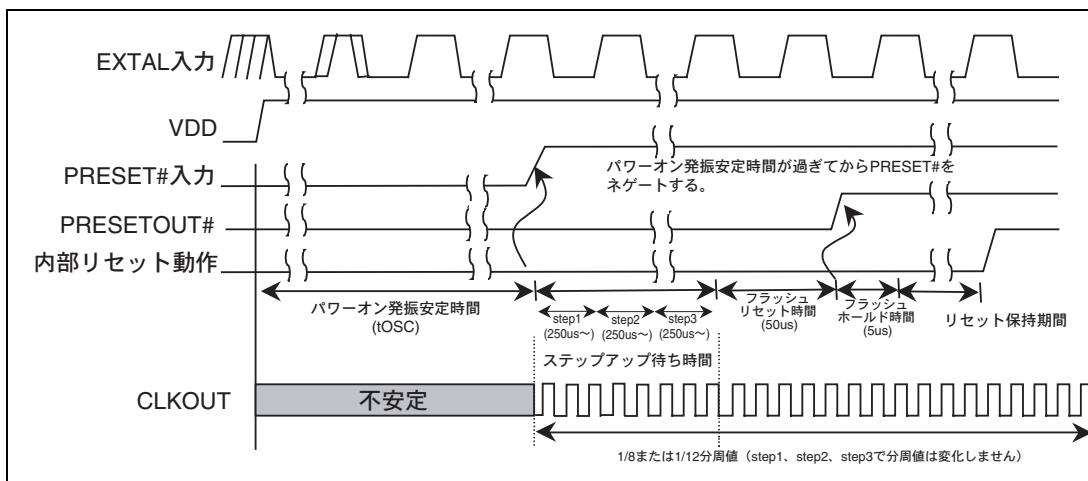


図 3.5 ステップアップモード

【注】 ステップアップ期間の周波数遷移は、「第8章 クロック発振器 (CPG)」の「表 8.9 ステップアップによる周波数遷移 (条件: MD2=0、MD1=0)」、「表 8.10 ステップアップによる周波数遷移 (条件: MD2=0、MD1=1)」、および「表 8.11 ステップアップによる周波数遷移 (条件: MD2=1、MD1=0)」を参照願います。

(2) 内部リセット要因によるリセットタイミング

図 3.6 が LSI 内部リセット要因*によるリセットタイミングです。50us 期間 PRESETOUT#を Low にします。

【注】 * LSI 内部の初期化条件は WDT オーバフローおよびパワーオンリセット、WDT オーバフローおよび CPU 内部要因によるマニュアルリセットです。

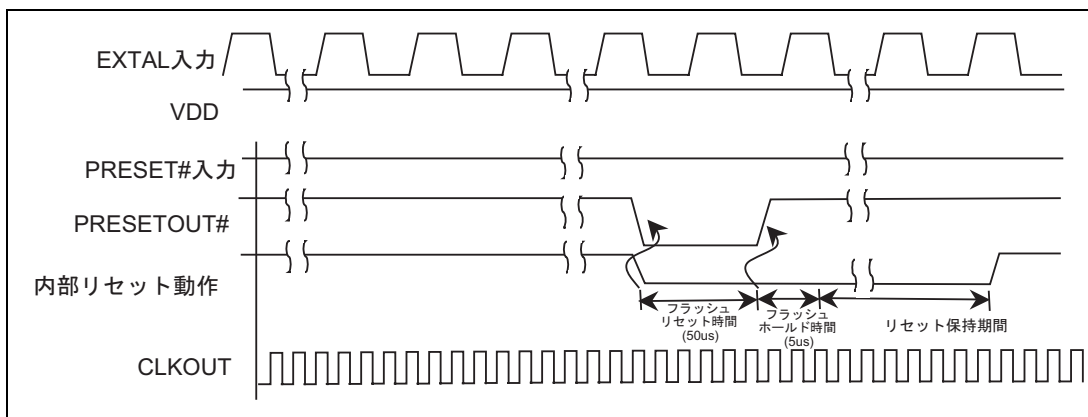


図 3.6 内部リセット要因による動作

(3) H-UDI リセット要因によるリセットタイミング

図 3.7 が H-UDI リセット要因によるリセットタイミングです。

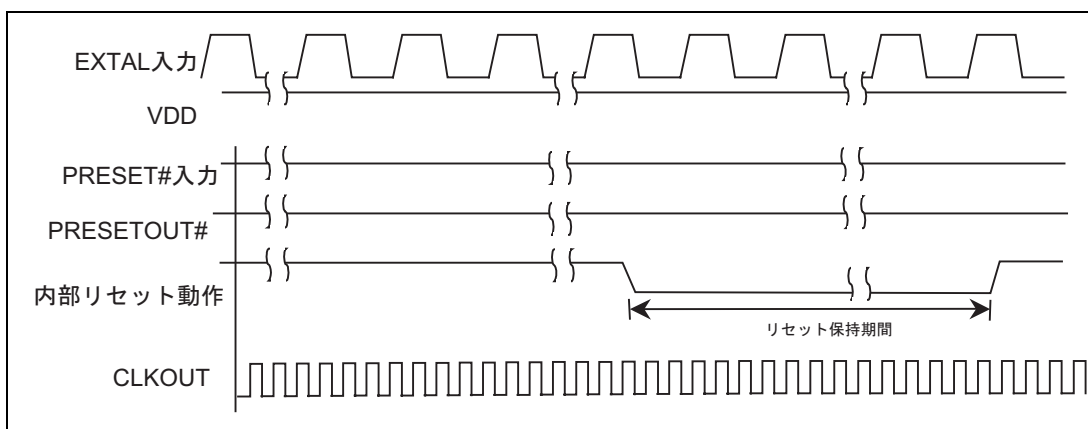


図 3.7 H-UDI リセット要因による動作

4. メモリコントローラ (DBSC3)

外部メモリコントローラ (DBSC3) は、DDR2-SDRAM および DDR3-SDRAM (以下 SDRAM と略します) をサポートした、SDRAM コントローラです。

4.1 特長

DBSC3 は、以下のような機能により、SDRAM のバス帯域の最大限の活用を可能にします。

- マルチバンクオペレーション活用によるページヒット率の向上
- バースト長4/8にてDDR2-SDRAMを、バースト長8にてDDR3-SDRAMを動作させることによるSDRAMコマンド数の削減
- 後続リクエストに対するバンクプリチャージ・アクティベートコマンドの先行実行

表 4.1 に DBSC3 の主な機能を示します。

表 4.1 DBSC3 機能 (SDRAM 共通の機能)

項目	機能
マルチバンク対応	• 8バンクのマルチバンクオペレーションに対応
バンク数	• 4バンク (DDR2-SDRAM) および 8バンク (DDR2-SDRAM、DDR3-SDRAM) に対応
外部データバス幅	• 16ビットに対応
先行プリチャージ・アクティベート機能	• リクエストキュー中の後続リクエスト内容を判定し、ページミス時に、空きコマンドサイクルを見つけて、アクセス対象バンクの先行プリチャージ・アクティベート処理を実施。
サポート動作モード	• バースト長： DDR2-SDRAM : 8 固定 / 4 固定。 DDR3-SDRAM : 8 固定 • バーストタイプ：シーケンシャル (固定) • DDR3-SDRAM の DLL OFF モードには対応していません。
低消費電力モード	• セルフリフレッシュモード、パワーダウンモード、SDRAM 電源バックアップモード、デュープスタンバイモードをサポートします。なお、パーシャルセルフリフレッシュモードはサポートしていません。

項目	機能
タイミング設定	<ul style="list-style-type: none"> 以下のタイミングをレジスタにて設定： <ul style="list-style-type: none"> CAS レイテンシ、CAS ライトレイテンシ、ACT-READ/WRITE 最小期間、PRE 期間、ACT-ACT/REF 最小期間、ACT-PRE 最小期間、ACT(A)-ACT(B)最小期間、4Active ウィンドウ最小期間、READ-PRE 最小期間、ライトリカバリ期間、READ-WRITE 最小期間、WRITE-READ 最小期間、REF-ACT/REF 最小期間、CKE-Hi 最小期間、CKE-Low 最小期間、ショートキャリブレーション期間。アディティブレイテンシ (AL) は 0 のみをサポートします。
アドレス並び (アドレス変換機能)	<ul style="list-style-type: none"> 上位から、Row アドレス、Bank アドレス、Column アドレスの順 (Bank アドレスの位置はレジスタにて変更可能。)
接続対象メモリ	<p>DDR3-SDRAM JEDEC 準拠 (512Mbit~2Gbit 品の×8 品 2 個接続、×16 品 1 個接続をサポート。×4 品は非サポート、ライトレベリング機能も非サポート)</p> <p>DDR2-SDRAM JEDEC 準拠 (256Mbit~2Gbit 品の×8 品 2 個接続、×16 品 1 個接続をサポート。×4 品は非サポート)</p>
リフレッシュ動作	<ul style="list-style-type: none"> 平均間隔および最大ポスト数をレジスタ設定 リクエストの空きサイクルがあれば、先行リフレッシュ動作を実施
パワーダウン動作	<p>2 種類のパワーダウンモード</p> <p>(1) 特定サイクル以上アクセスがない場合に、自動的にパワーダウンモードに移移するオートパワーダウン 「4.2.40 パワーダウン設定レジスタ (DBPDNCF)」参照</p> <p>(2) 任意のタイミングでパワーダウンモードに移移する手動パワーダウンモード 「4.2.6 手動コマンド発行レジスタ (DBCMD)」参照</p>
DDR3-SDRAM キャリブレーション動作	<p>2 種類の動作時キャリブレーション (DDR3-SDRAM のみ)</p> <p>(1) 自動リフレッシュ時にキャリブレーションを実行する自動キャリブレーション 「4.2.37 DDR3-SDRAM キャリブレーション設定レジスタ (DBCALCNF)」、「4.2.38 DDR3-SDRAM キャリブレーションタイミングレジスタ (DBCALTR)」参照</p> <p>(2) 任意のタイミングでキャリブレーションを実行する手動キャリブレーション 「4.2.6 手動コマンド発行レジスタ (DBCMD)」参照</p>

4.1.1 外部端子

表 4.2 に DBSC3 の端子構成を記載します。

表 4.2 DBSC3 端子構成

端子名* ¹	機能	入出力	説明
MCK0	クロック	出力	クロック出力
MCK0#	クロック	出力	クロック出力 MCK0 の反転クロック出力
MCKE	クロックイネーブル	出力	CKE 出力信号
MCS#	チップセレクト	出力	チップセレクト出力信号
MWE#	ライトイネーブル	出力	ライトイネーブル出力信号
MRAS#	ロウアドレスストロープ	出力	ロウアドレスストロープ出力信号
MCAS#	カラムアドレスストロープ	出力	カラムアドレスストロープ出力信号
MA13~MA0	アドレス	出力	アドレス出力信号
MBA2, MBA1,MBA0	バンクアドレス	出力	バンクアドレス出力信号
MDQ15~MDQ0	データ	入出力	データ入出力信号
MDQS1, MDQS0	入力/出力データストロープ	入出力	データストロープ入出力信号
MDQS1#, MDQS0#	入力/出力データストロープ	入出力	データストロープ入出力信号 MDQS1, MDQS0 の反転
MDM1, MDM0	データマスク	出力	データマスク出力信号
MODT	ODT イネーブル	出力	SDRAM 内の ODT のイネーブル出力信号
MZQ	キャリブレーション	入出力	キャリブレーション用端子* ²
MRESET#	DDR3-SDRAM リセット	出力	DDR3-SDRAM 用リセット出力。 DDR2-SDRAM の場合、オープン状態としてください。
MBKPRST#	電源バックアップリセット	入力	本端子がローレベルのとき、CKE をローレベルにします。* ³
SDBUP	電源バックアップモニタ	入力	本端子がローレベルのとき、MRESET#端子をローレベルにします。また、ステータスレジスタの BKUP ビットに信号値が反映されます。* ⁴
SDSELF	DDR セルフリフレッシュ通知	出力	DDR セルフリフレッシュモードに移行したことを通知します。* ⁵
MVREFCA	リファレンス電圧入力 (アドレス、コマンド端子)	入力	入力基準電圧。GND に接続してください。
MVREFDQ	リファレンス電圧入力 (データ端子)	入力	入力基準電圧。VDD_DDR/2 の電圧を印加してください。

【注】 1. # : ローアクティブであることを示します。

2. MZQ : 120Ω (精度 1% 以内) の抵抗にて VSS に接続してください。

3. MBKPRST# : 電源バックアップリセット端子は、プルアップ機能を持たないので、ボードでのプルアップ処理を実施してください。このときのプルアップの電源は、VDD_DDR 電源でプルアップしてください。また、電源バックアップ機能およびディープスタンバイ機能を使用しない場合は、直接 VDD_DDR 電源に接続する処理で問題ありません。
4. SDBUP : 電源バックアップモニタ端子は、DDR3 使用時には、ボードでのプルアップ処理を実施してください。このときのプルアップの電源は、VDD_DDR 電源でプルアップしてください。また、DDR3 を使用するが電源バックアップ機能およびディープスタンバイ機能を使用しない場合は、直接 VDD_DDR 電源に接続する処理で問題ありません。DDR2 を使用する場合には、ローレベルまたはハイレベルに固定してください。
5. SDSELF : DDR セルフリフレッシュ通知端子は、リセット時にはピンファンクションコントローラ (PFC) にあるプルアップ制御によるプルアップとなります。電源バックアップ中は不定となり、ディープスタンバイ中は直前の出力レベルが保持されます。出力電圧など電気的特性は、「第 41 章 電気的特性」の「表 41.5 DC 特性 (3.3V IO)」を参照してください。

4.1.2 レジスタ構成

表 4.3 (1) に DBSC3 レジスタマッピング、表 4.3 (2) に各処理状態におけるレジスタの状態を示します。レジスタ番地は、DBSC3 のレジスタの先頭アドレスを DB_ADDR とし、そこからのオフセット (16 進表記) を加算した形式で表します。

特定のレジスタ以外は、パワーオンリセットにより初期化されます。

DBSC3 レジスタは、すべて 32 ビットでアクセスしてください。32 ビットアクセス以外でアクセスした場合の動作は保証しません。

DB_ADDR の値は品種により異なります。本製品では H'FE80 0000 となります。

表 4.3 (1) DBSC3 レジスタ構成

レジスタ名	略称	アドレス	パワーオンリセットの初期状態	アクセスサイズ
SHwy バージョンコントロールレジスタ 0	DBSVCR0	DB_ADDR+H'000	H'7F08 4823	32
SHwy バージョンコントロールレジスタ 1	DBSVCR1	DB_ADDR+H'004	H'0000 0000	32
DBSC3 ステータスレジスタ	DBSTATE	DB_ADDR+H'00C	H'0000 000x	32
SDRAM アクセス許可レジスタ	DBACEN	DB_ADDR+H'010	H'0000 0000	32
自動リフレッシュ許可レジスタ	DBRFEN	DB_ADDR+H'014	H'0000 0000	32
手動コマンド発行レジスタ	DBCMD	DB_ADDR+H'018	H'0000 0000	32
操作完了待ちレジスタ	DBWAIT	DB_ADDR+H'01C	H'0000 0000	32
SDRAM 種類設定レジスタ	DBKIND	DB_ADDR+H'020	H'0000 0000	32
SDRAM 構成設定レジスタ	DBCONF	DB_ADDR+H'024	H'0000 0000	32
SDRAM タイミングレジスタ 0	DBTR0	DB_ADDR+H'040	H'0000 0000	32
SDRAM タイミングレジスタ 1	DBTR1	DB_ADDR+H'044	H'0000 0000	32
SDRAM タイミングレジスタ 2	DBTR2	DB_ADDR+H'048	H'0000 0000	32
SDRAM タイミングレジスタ 3	DBTR3	DB_ADDR+H'050	H'0000 0000	32
SDRAM タイミングレジスタ 4	DBTR4	DB_ADDR+H'054	H'0000 0000	32
SDRAM タイミングレジスタ 5	DBTR5	DB_ADDR+H'058	H'0000 0000	32
SDRAM タイミングレジスタ 6	DBTR6	DB_ADDR+H'05C	H'0000 0000	32
SDRAM タイミングレジスタ 7	DBTR7	DB_ADDR+H'060	H'0000 0000	32
SDRAM タイミングレジスタ 8	DBTR8	DB_ADDR+H'064	H'0000 0000	32
SDRAM タイミングレジスタ 9	DBTR9	DB_ADDR+H'068	H'0000 0000	32
SDRAM タイミングレジスタ 10	DBTR10	DB_ADDR+H'06C	H'0000 0000	32
SDRAM タイミングレジスタ 11	DBTR11	DB_ADDR+H'070	H'0000 0000	32
SDRAM タイミングレジスタ 12	DBTR12	DB_ADDR+H'074	H'0000 0000	32
SDRAM タイミングレジスタ 13	DBTR13	DB_ADDR+H'078	H'0000 0000	32
SDRAM タイミングレジスタ 14	DBTR14	DB_ADDR+H'07C	H'0000 0000	32
SDRAM タイミングレジスタ 15	DBTR15	DB_ADDR+H'080	H'0000 0000	32
SDRAM タイミングレジスタ 16	DBTR16	DB_ADDR+H'084	H'0000 0000	32

レジスタ名	略称	アドレス	パワーオンリセット の初期状態	アクセス サイズ
SDRAM タイミングレジスタ 17	DBTR17	DB_ADDR+H'088	H'0000 0000	32
SDRAM タイミングレジスタ 18	DBTR18	DB_ADDR+H'08C	H'0000 0000	32
SDRAM タイミングレジスタ 19	DBTR19	DB_ADDR+H'090	H'0000 0000	32
SDRAM 動作設定レジスタ	DBBL	DB_ADDR+H'0B0	H'0000 0000	32
DBSC3 動作調整レジスタ 0	DBADJ0	DB_ADDR+H'0C0	H'0000 0000	32
DBSC3 動作調整レジスタ 1	DBADJ1	DB_ADDR+H'0C4	H'0000 0000	32
DBSC3 動作調整レジスタ 2	DBADJ2	DB_ADDR+H'0C8	H'0000 0000	32
リフレッシュ設定レジスタ 0	DBRFCNF0	DB_ADDR+H'0E0	H'0000 0000	32
リフレッシュ設定レジスタ 1	DBRFCNF1	DB_ADDR+H'0E4	H'0000 0000	32
リフレッシュ設定レジスタ 2	DBRFCNF2	DB_ADDR+H'0E8	H'0000 0000	32
DDR3-SDRAM キャリブレーション設定 レジスタ	DBCALCNF	DB_ADDR+H'0F4	H'0000 0000	32
DDR3-SDRAM キャリブレーションタイミ ングレジスタ	DBCALTR	DB_ADDR+H'0F8	H'0000 0000	32
ODT 動作設定レジスタ	DBRNK0	DB_ADDR+H'100	H'0000 0000	32
パワーダウン設定レジスタ	DBPDNCNF	DB_ADDR+H'180	H'0000 0000	32
DDR-PHY 部制御レジスタ 0	DBPDCNT0	DB_ADDR+H'200	H'0000 0000	32
DDR-PHY 部制御レジスタ 1	DBPDCNT1	DB_ADDR+H'204	H'0000 0000	32
DDR-PHY 部制御レジスタ 2	DBPDCNT2	DB_ADDR+H'208	H'0000 0000	32
DDR-PHY 部制御レジスタ 3	DBPDCNT3	DB_ADDR+H'20C	H'0000 0000	32
DDR-PHY 部ロックレジスタ	DBPDLCK	DB_ADDR+H'280	H'0000 0000	32
DDR-PHY 部レジスタアドレスレジスタ	DBPDRGA	DB_ADDR+H'290	H'0000 0000	32
DDR-PHY 部レジスタアクセスレジスタ	DBPDRGD	DB_ADDR+H'2A0	H'0000 0000	32
バス制御部 0 制御レジスタ 0	DBBS0CNT0	DB_ADDR+H'300	H'0000 0000	32
バス制御部 0 制御レジスタ 1	DBBS0CNT1	DB_ADDR+H'304	H'0000 0000	32

表 4.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBSVCR0	初期化	保持	保持	保持	初期化
DBSVCR1	初期化	保持	保持	保持	初期化
DBSTATE	初期化	保持	保持	保持	初期化
DBACEN	初期化	保持	保持	保持	初期化
DBRFEN	初期化	保持	保持	保持	初期化
DBCMD	初期化	保持	保持	保持	初期化
DBWAIT	初期化	保持	保持	保持	初期化
DBKIND	初期化	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBCONF	初期化	保持	保持	保持	初期化
DBTR0	初期化	保持	保持	保持	初期化
DBTR1	初期化	保持	保持	保持	初期化
DBTR2	初期化	保持	保持	保持	初期化
DBTR3	初期化	保持	保持	保持	初期化
DBTR4	初期化	保持	保持	保持	初期化
DBTR5	初期化	保持	保持	保持	初期化
DBTR6	初期化	保持	保持	保持	初期化
DBTR7	初期化	保持	保持	保持	初期化
DBTR8	初期化	保持	保持	保持	初期化
DBTR9	初期化	保持	保持	保持	初期化
DBTR10	初期化	保持	保持	保持	初期化
DBTR11	初期化	保持	保持	保持	初期化
DBTR12	初期化	保持	保持	保持	初期化
DBTR13	初期化	保持	保持	保持	初期化
DBTR14	初期化	保持	保持	保持	初期化
DBTR15	初期化	保持	保持	保持	初期化
DBTR16	初期化	保持	保持	保持	初期化
DBTR17	初期化	保持	保持	保持	初期化
DBTR18	初期化	保持	保持	保持	初期化
DBTR19	初期化	保持	保持	保持	初期化
DBBL	初期化	保持	保持	保持	初期化
DBADJ0	初期化	保持	保持	保持	初期化
DBADJ1	初期化	保持	保持	保持	初期化
DBADJ2	初期化	保持	保持	保持	初期化
DBRFCNF0	初期化	保持	保持	保持	初期化
DBRFCNF1	初期化	保持	保持	保持	初期化
DBRFCNF2	初期化	保持	保持	保持	初期化
DBCALCNF	初期化	保持	保持	保持	初期化
DBCALTR	初期化	保持	保持	保持	初期化
DBRNK0	初期化	保持	保持	保持	初期化
DBPDNCNF	初期化	保持	保持	保持	初期化
DBPDCNT0	初期化	保持	保持	保持	初期化
DBPDCNT1	初期化	保持	保持	保持	初期化
DBPDCNT2	初期化	保持	保持	保持	初期化
DBPDCNT3	初期化	保持	保持	保持	初期化
DBPDLCK	初期化	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープ スタンバイ
DBPDRGA	初期化	保持	保持	保持	初期化
DBPDRGD	不定	保持	保持	保持	不定
DBBS0CNT0	初期化	保持	保持	保持	初期化
DBBS0CNT1	初期化	保持	保持	保持	初期化

4.2 レジスタの説明

レジスタ説明で使用される記号は、以下を意味しています。

初期値 : リセット後のレジスタ値

R/W : 読み出しおよび書き込み可。書き込み値を読み出すことができます。

R : 読み出しのみ可。書き込む値は常に初期値にしてください。

W : 書き込みのみ可。読み出しは禁止されています。予約ビットの場合、書き込む値は常に初期値にしてください。

すべてのアクセスは、ロングワードで行われます。

リザーブビットは、初期値を書いてください。

- 実数 x に対し、 x 以上の最小の整数を $\text{ceil}(x)$ と表します。
- 実数 x に対し、 x 以下の最大の整数を $\text{floor}(x)$ と表します。

4.2.1 SHwy バージョンコントロールレジスタ 0 (DBSVCR0)

SHwy 対応のターゲットモジュールに必須のレジスタです。SHwy から見た、DBSC3 のアドレスマップ情報とモジュール識別子を格納しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TOP_MB								BOT_MB							
初期値:	0	1	1	1	1	1	1	1	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VC_ID															
初期値:	0	1	0	0	1	0	0	0	0	0	1	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	TOP_MB	H'7F	R	メモリブロックの上限アドレス (上位 8 ビット) 指定 SDRAM 領域としてアサインされたアドレス空間の上限アドレス (上位 8 ビット) を示します。 品種ごとに決められた値が設定されます。
23~16	BOT_MB	H'08	R	メモリブロックの下限アドレス (上位 8 ビット) 指定 SDRAM 領域としてアサインされたアドレス空間の下限アドレス (上位 8 ビット) を示します。 品種ごとに決められた値が設定されます。
15~0	VC_ID	H'4823	R	DBSC3 モジュールの識別子 DBSC3 モジュール固有の識別子です。

4.2.2 SHwy バージョンコントロールレジスタ 1 (DBSVCR1)

SHwy 対応のターゲットモジュールに必須のレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VC_VERS															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	IN ACTIVE	-	-	BAD _OPC	-	-	BAD _ADDR	ERR _SNT	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~16	VC_VERS	H'0000	R	DBSC3 モジュールバージョン情報 DBSC3 モジュールのバージョン情報です。このビットヘライトを行っても書き込まれません。
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	INACTIVE	0	R/W	エラー要因: SDRAM ディスエーブル中の SDRAM へのデータアクセス SDRAM アクセス許可レジスタ (DBACEN) の ACEN ビットが 0 (SDRAM アクセス不許可) のときに SDRAM へのデータアクセスを行った場合、1 になります。このビットに 0 を書き込むことで 0 にクリアできます。
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	BAD_OPC	0	R/W	エラー要因: 非サポート SHwy コマンド DBSC3 の制御レジスタ領域やメモリ領域に非サポートの SHwy コマンドを用いたアクセスがあった場合、1 になります。このビットに 0 を書き込むことで 0 にクリアできます。
4, 3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BAD_ADDR	0	R/W	エラー要因: 未定義レジスタへのアクセス DBSC3 の制御レジスタ領域内で制御レジスタの無いアドレスへアクセスがあった場合、1 となります。このビットに 0 を書き込むことで 0 にクリアできます。
1	ERR_SNT	0	R/W	エラービット: SHwy へのエラーレスポンス発行 DBSC3 から SHwy に対して、エラーレスポンスを返した場合に、1 となります。エラー要因の判定は、INACTIVE、BAD_OPC、BAD_ADDR のレジスタ値より解析できます。このビットに 0 を書き込むことで 0 にクリアできます。
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
1. 制御レジスタ領域、メモリ領域のいずれでもないアドレスへのアクセスがあった場合の動作は保証しません。
 2. 本レジスタに書き込みを行った場合、INACTIVE、BAD_OPC、BAD_ADDR、ERR_SNT の各ビットは、書き込んだ値に更新されます。

4.2.3 DBSC3 ステータスレジスタ (DBSTATE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ENDN	-	-	-	-	-	-	-	BKUP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ENDN	0	R	エンディアンモニタビット 現在のエンディアン状態をモニタすることができます。 0: ビッグエンディアン 1: リトルエンディアン
7~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BKUP	不定	R	電源バックアップモニタビット SDBUP 端子の入カレベルが反映され、電源バックアップ状態をモニタすることができます。 0: SDBUP 端子にローレベルが入力 1: SDBUP 端子にハイレベルが入力

4.2.4 SDRAM アクセス許可レジスタ (DBACEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ACEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ACEN	0	R/W	SDRAM アクセスイネーブルビット 本ビットにより SDRAM へのデータアクセスを許可します。SDRAM へのデータアクセスは、本ビットを1にしてから実行ください。本ビットが0の状態では、SDRAM 領域にアクセスしないでください。 0 : SDRAM アクセス不許可 1 : SDRAM アクセス許可

- 【注】
1. ACEN ビットが0の状態では SDRAM 領域にアクセス要求があると、DBSC3 はエラーレスポンスを返します。
 2. 本レジスタに0を書き込んでアクセス不許可に設定した際、SDRAM に Precharge All または Precharge コマンドが自動的に発行される場合があります。

4.2.5 自動リフレッシュ許可レジスタ (DBRFEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ARFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ARFEN	0	R/W	自動リフレッシュ許可ビット 自動リフレッシュ機能を起動または停止します。 本ビットに1を書き込むと、DBSC3内部のリフレッシュカウンタ（リフレッシュの履歴情報）がリセットされ、自動リフレッシュ機能が起動します。 本ビットの値が1である間、DBSC3は定期的リフレッシュコマンドを発行します。リフレッシュ周期などの設定は、本ビットへ1を書き込んだ時点でのリフレッシュ設定レジスタ0~2（DBRFEN0~DBRFEN2）の値によって決定されます。 0：自動リフレッシュ機能停止 1：自動リフレッシュ機能起動

4.2.6 手動コマンド発行レジスタ (DBCMD)

SDRAM の初期化シーケンス、セルフリフレッシュモードへの移行/解除などを実行するために必要なコマンド発行を行うためのレジスタです。本レジスタに書き込みを行うと、OPC ビットの値に応じたコマンドが 1 回発行されます。たとえば、リフレッシュコマンドを 2 回発行する場合は、OPC=B'001100 とした書き込みを 2 回行います。なお、SDRAM アクセス許可中 (DBACEN レジスタの ACEN=1) に本レジスタへの書き込みを行ってはいけません。

操作完了のタイミング (指定した SDRAM コマンドが DBSC3 から SDRAM に出力されるタイミング) は、本レジスタへの書き込みに対する DBSC3 の応答よりも後になる可能性があります。指定した SDRAM コマンドが実際に SDRAM に出力されるまで待ちたい場合は、後述する DBWAIT レジスタへの読み出しを行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	OPC						—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ARG																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31, 30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
29~24	OPC	すべて 0	R/W	操作コードビット 発行するコマンドの種類を指定するビットです。表 4.4 を参照してください。 本ビットに Wait を指定した場合は、有効な SDRAM コマンドの出力はなく、次の操作との間の時間間隔の確保のみを行います。
23~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
15~0	ARG	すべて 0	R/W	引数ビット 操作コード OPC によって意味が異なります。 OPC が ModeRegisterSet (MRS0~MRS3) である場合は、SDRAM のアドレス端子 (MA) に出力される値を指定します。ARG のビット 0~12 で指定し、ビット 13~15 は 0 固定としてください。 OPC がそれ以外の場合は、次のコマンド発行までの最小間隔を SDRAM のサイクル数で指定します。ただし、ARG=0 とした場合は、表 4.4 の「間隔」欄に示すデフォルトの値が使用されます。

本レジスタを使用してコマンド発行を行うと、操作完了の時点 (指定した SDRAM コマンドが SDRAM に出力される時点) から一定期間、後続の SDRAM コマンド発行は遅延されます。これは、複数のコマンドを続けて発行する際のコマンド間の時間の確保を容易にするための機能です。

この期間の長さは、OPC に応じて、表 4.4 の「間隔 (SDRAM サイクル数)」欄に示す長さが確保されます。また、ARG ビットによってカスタマイズすることも可能です。ただし、OPC が MRS0~MRS3 である場合を除きます。

表 4.4 手動コマンド発行機能

OPC	略号	操作内容	間隔 (SDRAM サイクル数)	ARG の機能
00 0000	Wait	Device Deselected 発行 (待ち時間の挿入)	4	間隔のカスタマイズ (ARG=0 とすると左欄の値を使用)
00 0010	ZQCS	ZQ calibration short 発行 (DDR3 のみ)	4	
00 0011	ZQCL	ZQ calibration long 発行 (DDR3 のみ)	4	
00 1011	PreA	Precharge All 発行	TRPA	
00 1100	Ref	Refresh 発行	TRFC	
01 0000	PDEn	Power Down Entry	4	
01 0001	PDXt	Power Down Exit	4	
01 1000	SREn	Self-Refresh Entry	4	
01 1001	SRXt	Self-Refresh Exit	TRFC	
10 0000	RstL	MRESET#端子を Low にする (DDR3 のみ)	4	
10 0001	RstH	MRESET#端子を High にする (DDR3 のみ)	4	
10 1000	MRS0	ModeRegisterSet (MRS/MR0) 発行	TMOD	SDRAM の Mode Register に設定する値を指定
10 1001	MRS1	ModeRegisterSet (EMRS1/MR1) 発行	TMOD	
10 1010	MRS2	ModeRegisterSet (EMRS2/MR2) 発行	TMOD	
10 1011	MRS3	ModeRegisterSet (EMRS3/MR3) 発行	TMOD	

- 【注】
- 「間隔」欄の TRPA、TRFC、TMOD は、後述するタイミングレジスタで設定された値が使用されます。
 - 本レジスタは、SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0) のみ書き込みを行ってください。
 - 本レジスタは、自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0) のみ書き込みを行ってください。ただし、「4.3 DBSC3 動作説明」で定義されたシーケンスについては、この限りではありません。自動リフレッシュ機能動作中に本レジスタに OPC=Wait の書き込みを行った場合、それによって確保される時間間隔の間に自動リフレッシュ機能によるリフレッシュコマンドの発行が割り込むことがあります。

4.2.7 操作完了待ちレジスタ (DBWAIT)

本レジスタを読み出しすると、それまでに DBCMD レジスタによって指示されたコマンド発行がすべて完了したあとで CPU に読み出し値が返ります。これにより、CPU 動作と SDRAM へのコマンド発行との同期化を行えます。

本レジスタを利用することにより、DBSC3 により発行される SDRAM コマンドのタイミングと DBSC3 が管理していないタイミング（たとえば、クロックの制御）の関係を正しく保証することが可能になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAIT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WAIT	0	R	操作完了待ちビット 値に意味はありません。常に 0 が読み出されます。

4.2.8 SDRAM 種類設定レジスタ (DBKIND)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DDCG	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	DDCG	000	R/W	SDRAM 種類ビット SDRAM の種類を設定することができます。品種ごとに決められた値を設定してください。 000: 初期値 (下記 (DDR2 または DDR3) に設定してください) 101: DDR2-SDRAM 111: DDR3-SDRAM 上記以外: 設定禁止

- 【注】
1. 本レジスタは、起動シーケンスの中でのみ書き込みを行ってください。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.9 SDRAM 構成設定レジスタ (DBCONF)

使用するメモリ構成を選択します。

DBSC3 がサポートするメモリ構成については、「4.4 SDRAM 構成設定レジスタの設定方法」を参照してください。SDRAM のアドレス端子と本 LSI の論理アドレスとの関係については、「4.5 SDRAM の外部ピンと論理アドレスの関係」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	AWRW0				-	-	-	AWRK0	-	-	AWBK0			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	AWCL0				-	-	-	-	-	-	-	DW0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~24	AWRW0	00000	R/W	Row アドレスビット幅ビット Row アドレスのビット幅を指定します。 00000: 初期値 (下記 (12~14 ビット) に設定してください) 01100: 12 ビット 01101: 13 ビット 01110: 14 ビット 上記以外: 設定禁止
23~21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	AWRK0	0	R/W	ランク数ビット ランク数を指定します。本製品では、ランク数=1のみサポートします (ランク数=1 は、同一データ信号線に対して、1つのメモリデバイスを接続することを示します)。 0: 1 ランク 1: 設定禁止
19, 18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	AWBK0	00	R/W	バンク数ビット バンク数を指定します。 00: 初期値 (下記 (4, 8 バンク) に設定してください) 10: 4 バンク 11: 8 バンク 上記以外: 設定禁止

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	AWCL0	0000	R/W	Column アドレスビット幅ビット Column アドレスのビット幅を指定します。 0000 : 初期値 (下記 (9、10 ビット) に設定してください) 1001 : 9 ビット 1010 : 10 ビット 上記以外 : 設定禁止
7~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	DW0	00	R/W	外部データバス幅ビット 外部データバスの幅を設定します。本製品では、16 ビットデータバス幅のみサポートします。 00 : 初期値 (下記 (16 ビット) に設定してください) 01 : 16 ビット 上記以外 : 設定禁止

- 【注】
- サポートするメモリ構成
1 個の 16 ビット幅 SDRAM あるいは 2 個の 8 ビット幅 SDRAM を接続した 16 ビットバス構成
 - 本レジスタは、起動シーケンスの中でのみ書き込みを行ってください。
 - 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 - 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.10 SDRAM タイミングレジスタ 0 (DBTR0)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CL	0000	R/W	CAS レイテンシ設定ビット 本ビットで SDRAM の CAS レイテンシを設定します。 DDR2-SDRAM の場合 CL=3、4、5、6 サイクルのいずれか、DDR3-SDRAM の場合 CL=5、6 サイクルのいずれかを設定してください。 0000 : 初期値 (下記 (3~6 サイクル) に設定してください) 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.11 SDRAM タイミングレジスタ 1 (DBTR1)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CWL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CWL	0000	R/W	CAS ライトレイテンシ設定ビット 本ビットで SDRAM の CAS ライトレイテンシを設定します。 DDR2-SDRAM の場合は CL-1 の値を設定してください。 DDR3-SDRAM の場合は CWL=5、6 サイクルのいずれかを設定してください。ただし、CL=5、CWL=6 の設定は禁止です。 0000 : 初期値 (下記 (2~6 サイクル) に設定してください) 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.12 SDRAM タイミングレジスタ 2 (DBTR2)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	AL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	AL	0000	R/W	アディティブレイテンシ設定ビット 本ビットで SDRAM のアディティブレイテンシを設定します。本製品では AL=0 のみサポートします。 0000 : 0 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.13 SDRAM タイミングレジスタ 3 (DBTR3)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TRCD			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TRCD	0000	R/W	ACT-READ/WRITE 期間設定ビット 本ビットで、ACT コマンドからリード/ライトコマンドまでの最小間隔を設定します。 0000 : 初期値 (下記 (3~10 サイクル) に設定してください) 0011 : 3 サイクル 0100 : 4 サイクル : 1010 : 10 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.14 SDRAM タイミングレジスタ 4 (DBTR4)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	TRPA			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TRP			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~16	TRPA	0000	R/W	PRE 期間設定ビット 本ビットで、PRE ALL (Precharge all banks) コマンドから ACT/REF コマンドまでの最小間隔を設定します。必ず TRP ビットの設定値以上の値を設定してください。 0000 : 初期値 (下記 (3~10 サイクル) に設定してください) 0011 : 3 サイクル 0100 : 4 サイクル : 1010 : 10 サイクル 上記以外 : 設定禁止
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TRP	0000	R/W	PRE 期間設定ビット 本ビットで、PRE (Precharge) コマンドから ACT/ REF コマンドまでの最小間隔を設定します。 0000 : 初期値 (下記 (3~10 サイクル) に設定してください) 0011 : 3 サイクル 0100 : 4 サイクル : 1010 : 10 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : $TRPA \geq TRP$ 、 $TRC - TRP \leq 32$

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
4. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.15 SDRAM タイミングレジスタ 5 (DBTR5)

SDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TRC					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	TRC	000000	R/W	ACT-ACT/REF 期間設定ビット 本ビットで、ACT コマンドから ACT (同一バンク) /REF コマンドまでの最小間隔を設定します。 000000 : 初期値 (下記 (10~38 サイクル) に設定してください) 001010 : 10 サイクル 001011 : 11 サイクル : 100110 : 38 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : $TRC - TRP \leq 32$
 3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 4. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.16 SDRAM タイミングレジスタ 6 (DBTR6)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TRAS					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	TRAS	000000	R/W	ACT-PRE 期間設定ビット 本ビットで、ACT コマンドから PRE コマンドまでの最小間隔を設定します。 000000 : 初期値 (下記 (7~28 サイクル) に設定してください) 000111 : 7 サイクル 001000 : 8 サイクル : 011100 : 28 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.17 SDRAM タイミングレジスタ 7 (DBTR7)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TRRD			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TRRD	0000	R/W	ACT(A)-ACT(B)期間設定ビット 本ビットで、異なるバンクに対する ACT コマンドの最小間隔を設定します。 0000 : 初期値 (下記 (2~5 サイクル) に設定してください) 0010 : 2 サイクル 0011 : 3 サイクル : 0101 : 5 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.18 SDRAM タイミングレジスタ 8 (DBTR8)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	-	TFAW									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	TFAW	H'00	R/W	4 Activate ウィンドウ設定ビット 本ビットで、4 Activate ウィンドウの長さを設定します。 00000000 : 初期値 (下記 (8~24 サイクル) に設定してください) 00001000 : 8 サイクル 00001001 : 9 サイクル : 00011000 : 24 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : $TFAW \geq 4 \times TRRD$
 3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 4. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.19 SDRAM タイミングレジスタ 9 (DBTR9)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TRDPR			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TRDPR	0000	R/W	READ-PRE 期間設定ビット 本ビットで、READ コマンドから PRE コマンドまでの最小間隔を設定します。 0000 : 初期値 (下記 (2~8 サイクル) に設定してください) 0010 : 2 サイクル 0011 : 3 サイクル : 1000 : 8 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : $TRDPR \geq BL/2$
 3. JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。

$$TRDPR = BL/2 + \max\{2, \text{ceil}(tRTP / tCK)\} - 2$$
 4. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.20 SDRAM タイミングレジスタ 10 (DBTR10)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TWR			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TWR	0000	R/W	ライトリカバリ期間設定ビット 本ビットで、ライトリカバリ期間を設定します。 0000 : 初期値 (下記 (2~12 サイクル) に設定してください) 0010 : 2 サイクル 0011 : 3 サイクル : 1100 : 12 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.21 SDRAM タイミングレジスタ 11 (DBTR11)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TRDWR					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	TRDWR	000000	R/W	READ-WRITE 期間設定ビット 本ビットで、リードコマンドからライトコマンドまでの最小間隔を設定します。 ^{*2} 000000 : 初期値 (下記 (4~15 サイクル) に設定してください) 000100 : 4 サイクル 000101 : 5 サイクル : 001111 : 15 サイクル 上記以外 : 設定禁止

- 【注】 1. サイクル数は、SDRAM の動作クロックにて設定します。
2. 以下の条件を満たすように設定してください。

MODT端子使用有無	DDR2-SDRAM	DDR3-SDRAM
MODT端子使用	$TRDWR \geq BL/2 + 4$	$TRDWR \geq CL - CWL + BL/2 + 4$
MODT端子未使用	$TRDWR \geq BL/2 + 2$	$TRDWR \geq CL - CWL + BL/2 + 2$

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。

- ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
- ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.22 SDRAM タイミングレジスタ 12 (DBTR12)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	TWRRD					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	TWRRD	000000	R/W	WRITE-READ 期間設定ビット 本ビットで、ライトコマンドからリードコマンドまでの最小間隔を設定します。 ^{*2} 000000 : 初期値 (下記 (6~18 サイクル) に設定してください) 000110 : 6 サイクル 000111 : 7 サイクル : 010010 : 18 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. DDR2-SDRAM : $TWRRD \geq CL - 1 + BL/2$
DDR3-SDRAM : $TWRRD \geq CWL + BL/2$
 3. JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。
 $TWRRD = CWL + BL/2 + \text{ceil}(tWTR / tCK)$
 4. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.23 SDRAM タイミングレジスタ 13 (DBTR13)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TRFC							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	TRFC	H'00	R/W	REF-ACT/REF 期間設定ビット 本ビットで、REF (リフレッシュ) コマンドから、ACT/REF コマンドまでの最小間隔を設定します。 H'00 : 初期値 (下記 (15~255 サイクル) に設定してください) H'0F : 15 サイクル H'10 : 16 サイクル : H'FF : 255 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.24 SDRAM タイミングレジスタ 14 (DBTR14)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	TCKEHDLL							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TCKEH							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	TCKEHDLL	H'00	R/W	CKEH (DLL-LOCK) 期間設定ビット 本ビットで、CKE が H になってから次の有効なコマンド (LOCK した DLL を必要とするもの) が発行されるまでの最小間隔を設定します。 H'00 : 初期値 (下記 (2~15 サイクル) に設定してください) H'02 : 2 サイクル H'03 : 3 サイクル : H'0F : 15 サイクル 上記以外 : 設定禁止
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	TCKEH	H'00	R/W	CKEH 期間設定ビット 本ビットで、CKE が H になってから次の有効なコマンドが発行されるまでの最小間隔を設定します。 設定値は次の条件を満たす必要があります。 $TCKEH \leq TCKEHDLL$ H'00 : 初期値 (下記 (2~15 サイクル) に設定してください) H'02 : 2 サイクル H'03 : 3 サイクル : H'0F : 15 サイクル 上記以外 : 設定禁止

【注】 1. サイクル数は、SDRAM の動作クロックにて設定します。

2. パワーダウンモードを使用する場合は、本レジスタに適切な値を設定してください。
JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。

(1) DDR3-SDRAM の場合

$$TCKEHDLL = \text{ceil} (tXPDLL/tCK)$$

$$TCKEH = \text{ceil} (tXP/tCK)$$

(tXPDLL、tXP が tCK サイクル単位の場合、tCK で割る必要はありません)

(2) DDR2-SDRAM の場合

$$TCKEHDLL = tXARDS$$

$$TCKEH = \text{ceil} (tXP/tCK)$$

(tXP が tCK サイクル単位の場合、tCK で割る必要はありません)

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。

- ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
- ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.25 SDRAM タイミングレジスタ 15 (DBTR15)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	TCKEL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TCKEL	0000	R/W	CKEL 期間設定ビット 本ビットで MCKE 端子を Low にしてから High にするまでの期間の下限を設定します。 0000 : 初期値 (下記 (2~15 サイクル) に設定してください) 0010 : 2 サイクル 0011 : 3 サイクル : 1111 : 15 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.26 SDRAM タイミングレジスタ 16 (DBTR16)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	DQIENLTNCY	—	—	DQLOFFSET	—	—	DQL							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DQENLTNCY	—	—	—	—	—	—	—	—	WDQL				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29, 28	DQIENLTNCY	00	R/W	dqientncy 設定ビット 本ビットで、DDR-PHY 部へのリードコマンド発行時から dq_i_en 信号出力までのレイテンシを設定します。 本製品では 1 サイクルを設定してください。 00: 初期値 (下記 (1 サイクル) に設定してください) 01: 1 サイクル 上記以外: 設定禁止
27, 26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25, 24	DQLOFFSET	00	R/W	dqloffncyc オフセット設定ビット 本ビットで、DDR-PHY 部へのリードコマンド発行時に、DBSC3 の内部動作に必要な追加レイテンシを設定します。本製品では 2 サイクルを設定してください。 00: 初期値 (下記 (2 サイクル) に設定してください) 10: 2 サイクル 上記以外: 設定禁止
23, 22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
21~16	DQL	000000	R/W	<p>dqltncy 設定ビット</p> <p>本ビットで、DDR-PHY 部へのリードコマンド発行から DDR-PHY 部からリードデータが帰ってくるまでのレイテンシを設定します。設定値は、以下に従ってください。</p> <p>DQL=CL+6 サイクル</p> <p>000000 : 初期値 (下記 (9~12 サイクル) に設定してください)</p> <p>001001 : 9 サイクル</p> <p>001010 : 10 サイクル</p> <p>001011 : 11 サイクル</p> <p>001100 : 12 サイクル</p> <p>上記以外 : 設定禁止</p>
15, 14	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13, 12	DQENLTNCY	00	R/W	<p>dqenltncy 設定ビット</p> <p>本ビットで、DDR-PHY 部へのライトコマンド発行時から dqj_en 信号出力までのレイテンシを設定します。</p> <p>本製品では 1 サイクルを設定してください。</p> <p>00 : 初期値 (下記 (1 サイクル) に設定してください)</p> <p>01 : 1 サイクル</p> <p>上記以外 : 設定禁止</p>
11~4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3~0	WDQL	0000	R/W	<p>wdqltncy 設定ビット</p> <p>本ビットで、ライトコマンド発行からライトデータ出力までのレイテンシを設定します。</p> <p>本製品では、1 サイクルを設定してください。</p> <p>0000 : 初期値 (下記 (1 サイクル) に設定してください)</p> <p>0001 : 1 サイクル</p> <p>上記以外 : 設定禁止</p>

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.27 SDRAM タイミングレジスタ 17 (DBTR17)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	TMOD					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21~16	TMOD	000000	R/W	MRS 期間設定ビット 本ビットで MRS (Mode Register Set) コマンドから次のコマンドまでの最小間隔を指定します。 000000 : 初期値 (下記 (2~15 サイクル) に設定してください) 000010 : 2 サイクル 000011 : 3 サイクル : 001111 : 15 サイクル 上記以外 : 設定禁止
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 接続する SDRAM 品種ごとに決められた値を設定してください。

4.2.28 SDRAM タイミングレジスタ 18 (DBTR18)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	RODTL			-	-	-	-	-	RODTA		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WODTL			-	-	-	-	-	WODTA		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~24	RODTL	000	R/W	リード時 MODT 端子アサート期間設定ビット 本ビットで、リードコマンド出力時に出力する MODT 端子のアサート期間を設定します。対応するリードコマンドのバースト長/2+サイクルオフセットの値を基本として、+0~+7 の範囲で設定できます。DDR2 の場合、サイクルオフセットは 1 固定、DDR3 の場合、サイクルオフセットは 0 固定です。 000 : BL/2+サイクルオフセット 001 : BL/2+サイクルオフセット+1 サイクル : 111 : BL/2+サイクルオフセット+7 サイクル
23~19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	RODTA	000	R/W	リード時 MODT 端子アサート開始タイミング設定ビット 本ビットで、リードコマンド出力時に出力する MODT 端子のアサート開始タイミングを設定します。対応するリードコマンド出力+遅延オフセットのタイミングを基準として、-1~+3 の範囲で設定できます。 遅延オフセットは以下となります。 • DDR2 : リード時には CL-3 となります。 • DDR3 : DBPDCNT0 レジスタの db_odt_mode ビットで、0 サイクルまたは 1 サイクルを指定します。 000 : リードコマンド+遅延オフセットと同時 001 : リードコマンド+遅延オフセットの 1 サイクル後 010 : リードコマンド+遅延オフセットの 2 サイクル後 011 : リードコマンド+遅延オフセットの 3 サイクル後 111 : リードコマンド+遅延オフセットの 1 サイクル前 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	WODTL	000	R/W	ライト時 MODT 端子アサート期間設定ビット 本ビットで、ライトコマンド出力時に出力する MODT 端子のアサート期間を設定します。対応するライトコマンドのバースト長/2+サイクルオフセットの値を基本として、+0~+7の範囲で設定できます。DDR2の場合、サイクルオフセットは1固定、DDR3の場合、サイクルオフセットは0固定です。 000 : BL/2+サイクルオフセット 001 : BL/2+サイクルオフセット+1 サイクル : 111 : BL/2+サイクルオフセット+7 サイクル
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	WODTA	000	R/W	ライト時 MODT 端子アサート開始タイミング設定ビット 本ビットで、ライトコマンド出力時に出力する MODT 端子のアサート開始タイミングを設定します。対応するライトコマンド出力+遅延オフセットのタイミングを基準として、-1~+3の範囲で設定できます。 遅延オフセットは以下となります。 • DDR2 : ライト時は CWL-2 となります。 • DDR3 : DBPDCNT0 レジスタの db_odt_mode ビットで、0 サイクルまたは1 サイクルを指定します。 000 : ライトコマンド+遅延オフセットと同時 001 : ライトコマンド+遅延オフセットの1 サイクル後 010 : ライトコマンド+遅延オフセットの2 サイクル後 011 : ライトコマンド+遅延オフセットの3 サイクル後 111 : ライトコマンド+遅延オフセットの1 サイクル前 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.29 SDRAM タイミングレジスタ 19 (DBTR19)

SDRAM のタイミングパラメータの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	-	TZQCS								-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	TZQCS	H'00	R/W	ショートキャリブレーション期間設定ビット 本ビットで、ZQCS (ショートキャリブレーション) コマンドから次のコマンドまでの最小間隔を指定します。 DDR3-SDRAM の場合のみ有効となります。本製品では 64 サイクルを設定してください。 00000000 : 初期値 (下記 (64 サイクル) に設定してください) 01000000 : 64 サイクル 上記以外 : 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.30 SDRAM 動作設定レジスタ (DBBL)

メモリのバースト動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	BL	00	R/W	バースト長設定ビット SDRAM のバースト長を指定します。DDR3-SDRAM では BL=B*10 (4 固定) は設定禁止です。 00: 8 固定 10: 4 固定 上記以外: 設定禁止

【注】 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。

- ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
- ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.31 DBSC3 動作調整レジスタ 0 (DBADJ0)

DBSC3 の動作調整の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	CASHIFT	-	-	-	CAMODE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CASHIFT	0	R/W	コマンド/アドレス出力シフト設定ビット SDRAM コマンド/アドレスの出力シフトの有無を DDR-PHY に指示します。 CASHIFT=1 の場合、DDR-PHY はコマンド/アドレス出力の出力を 1/2MCK 分後ろにシフトします。 0: コマンド/アドレス出力タイミングのシフト無し 1: コマンド/アドレス出力タイミングを 1/2MCK 分後ろにシフト
3~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CAMODE	0	R/W	コマンド/アドレス出力モード設定ビット SDRAM のコマンド/アドレスの出力モードを設定します。 CAMODE=0 のとき、DBSC3 は 1 クロックにつき 1 コマンドを出力します。 CAMODE=1 のとき、DBSC3 は 2 クロックにつき 1 コマンドを出力します。 この際 SDRAM の CS#信号を除くコマンド信号およびアドレス信号を 2 クロックの期間一定に保ちます。また CS#信号はこの期間の後半 1 クロックのみとなりま。

【注】 本レジスタは、SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0) のみ書き込みを行ってください。

4.2.32 DBSC3 動作調整レジスタ 1 (DBADJ1)

DBSC3 の動作調整の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AOOE N
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
0	AOOEN	0	R/W	<p>アウトオブオーダー処理イネーブルビット</p> <p>SDRAM へのコマンド発行順序の入れ替え処理を許可/禁止します。コマンド発行順序入れ替え処理を許可した場合、DBSC3 は SDRAM のデータバス使用効率向上のためコマンド発行順序の入れ替え処理を行い、リクエストを受け付けた順序とは異なる順序で SDRAM に対してコマンド発行を行います。コマンド発行順序入れ替え処理を禁止した場合、DBSC3 はリクエストを受け付けた順序どおりに SDRAM に対してコマンド発行を行います。</p> <p>SDRAM はリードとライトが混在すると性能が低下するため、それを回避するためになるべくリードが連続、ライトが連続するように順番を入れ替えることが可能です。これがアウトオブオーダー処理です。アウトオブオーダー処理を許可したとき、リードだけで見た場合、順番はリクエスト順となり、ライトだけで見た場合も順番はリクエスト順となります。なおこの入れ替えを行っても同一アドレスに対するリード・ライトの順番は保証します。</p> <p>アウトオブオーダー処理を可能とした場合、アウトオブオーダー処理を禁止とした場合と比較して SDRAM のデータバス使用効率は向上しますがワーストレイテンシが増加します。</p> <p>0 : コマンド発行順序入れ替え処理禁止 1 : コマンド発行順序入れ替え処理可能</p>

【注】 本レジスタは、SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0) のみ書き込みを行ってください。

4.2.33 DBSC3 動作調整レジスタ 2 (DBADJ2)

DBSC3 の動作調整の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACAPC								—	—	—	—	ACAPX			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	ACAPC	H'00	R/W	<p>デバイス制御部受付可能リクエスト数設定ビット</p> <p>DBSC3 のデバイス制御部内に受付可能なリクエストを 64 ビットデータのアクセス単位で設定します。64 ビット未満のデータの場合は 1 リクエストとなります。</p> <p>DBSC3 は、ページミス時に発生する Precharge-Activate の処理のペナルティを、現在実行中のリード/ライトにオーバーラップさせて実行することで隠蔽できるような先行 PRE-ACT 処理を行っています。このためにある程度のリクエストをため込む必要があります。設定値が初期値 (H'00) の場合、最大値 (H'20) 設定と同じ動作になり、最大の先行 PRE-ACT 処理を行うことができ、DDR のデータ転送効率 (スループット) を最大とすることができます。</p> <p>ただし、本設定により受付可能なリクエストを増やした場合、後から発生した優先順位の高いリクエストの実行は、受付済みのリクエストの処理の後に実行されるために、優先度の高いリクエストに対するレイテンシが悪化する可能性があります。この場合、ACAPC 設定を下記に示す値以上で調整し、スループットとレイテンシのバランスを調整してください。下記に示す値未満では、スループットが悪化することがあります。</p> <p>ACAPC 設定の最小値: $ACAPC = (TRP + TRCD) / 2$</p> <p>H'00: 初期値 (特に設定する必要がない場合、初期値としてください)</p> <p>H'01: 1 リクエスト</p> <p>:</p> <p>H'20: 32 リクエスト</p> <p>上記以外: 設定禁止</p>
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	ACAPX	H'0	R/W	<p>デバイス制御部受付可能トランザクション数設定ビット</p> <p>DBSC3のデバイス制御部内に受付可能なリクエストをトランザクション単位で設定します。トランザクションとはCPU、DMAC他からの一連のアクセス要求を示し、1トランザクションに含まれるリクエスト数は、アクセスサイズにより1~16の幅がありますので、トランザクション数のみの制御ではリクエスト数を制御できません。よって、本ビットでは多めのトランザクション数を設定し、上記のACAPCビットでリクエスト数の上限を制御してください。設定値が初期値(H'0)の場合、最大値(H'8)設定と同じ動作になります。ACAPX設定値が小さい場合、ACAPCの設定を行ってもスループットが悪化することがあります。</p> <p>H'0 : 初期値 (特に設定する必要がない場合、初期値としてください)</p> <p>H'1 : 1 トランザクション</p> <p>：</p> <p>H'8 : 8 トランザクション</p> <p>上記以外 : 設定禁止</p>

【注】 本レジスタは、SDRAMアクセス不許可中 (DBACEN レジスタの ACEN=0) のみ書き込みを行ってください。

4.2.34 リフレッシュ設定レジスタ 0 (DBRFCNF0)

SDRAM のリフレッシュ動作のタイミングを設定します。

自動リフレッシュ機能動作中 (DBRFEN レジスタの ARFEN=1) に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFEN レジスタの ARFEN ビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	REFTHF											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	REFTHF	H'000	R/W	強制リフレッシュしきい値設定ビット バスリクエストがある場合でも強制的にリフレッシュを実施するタイミングを設定します。 本ビットの設定値は、リフレッシュ間隔の変動の大きさおよびメモリアクセス性能に影響します。小さくするほどリフレッシュ間隔のバラツキは小さくなりますが、メモリアクセス性能に悪影響が出る場合があります。リフレッシュ間隔の変動幅の詳細については、リフレッシュ設定レジスタ 1 (DBRFCNF1) の説明の中で述べます。 設定値は次の条件を満たす必要があります。 $REFTHF \geq (TCKEL + TCKEH) + REFTH0$ ($REFTH0 = \max (TRDPR, CWL + BL \div 2 + TWR, TRAS, TRC - TRP) + TRPA + 24$) H'000: 初期値 (下記 (128~511 サイクル) に設定してください) H'080: 128 サイクル : H'1FF: 511 サイクル 上記以外: 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタに上記の下限値を下回る値が設定された状態で自動リフレッシュ機能を起動した場合 (DBRFEN レジスタ ARFEN ビットを 1 にした場合) の動作は保証されません。

4.2.35 リフレッシュ設定レジスタ 1 (DBRFCNF1)

SDRAM のリフレッシュ動作のタイミングを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	REFPMAx				—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	REFINT																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~24	REFPMAx	0000	R/W	リフレッシュコマンド最大ポスト数設定ビット 自動リフレッシュ機能により蓄積されるリフレッシュコマンドの数 (post 数) の上限を設定します。蓄積されているリフレッシュコマンドの数が REFPMAx よりも小さい場合、バスリクエストのない期間にリフレッシュが発行されます。 0000 : 0 (リフレッシュコマンド間隔のジッタ最小) 0001 : 1 : 1000 : 8 (リフレッシュコマンド間隔のジッタ最大) 上記以外 : 設定禁止
23~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
15~0	REFINT	H'0000	R/W	<p>平均リフレッシュ間隔設定ビット</p> <p>リフレッシュコマンド発行の平均間隔を設定するためのビットです。</p> <p>DBRFCNF2 レジスタの REFINTS ビットが 0 の場合、平均間隔は REFINT サイクルとなります。REFINTS ビットが 1 の場合、平均間隔は floor (REFINT/2) サイクルとなります。</p> <p>以下で、この平均間隔を REFINT_E と表記します。すなわち、REFINT_E=REFINT >> REFINTS です。</p> <p>ここで、「>>」は論理右シフト演算子を表します。</p> <p>設定値は次の条件を満たす必要があります。</p> $\text{REFINT} \geq (\text{REFTHF} \times 2) \ll \text{REFINTS}$ <p>H'0000 : 初期値 (下記 (128~16383 サイクル) に設定してください)</p> <p>H'0080 : 128 サイクル</p> <p>H'0081 : 129 サイクル</p> <p>：</p> <p>H'3FFF : 16383 サイクル</p> <p>上記以外 : 設定禁止</p>

自動リフレッシュ機能動作中 (DBRFEN レジスタの ARFEN=1) に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFEN レジスタの ARFEN ビットに 1 を書き込んでください。

以下の説明で、「サイクル数」は、特に断らないかぎり、SDRAM のクロックで測ったものを意味します。

(1) レジスタの設定値とリフレッシュ発行タイミング

リフレッシュ設定レジスタ 1~2 の設定例と、その場合のリフレッシュの発行タイミングについて説明します。以下で、 $a \pm b$ は、 $a - b$ 以上、 $a + b$ 以下の範囲を意味します。

(a) リフレッシュ間隔の変動を最小にする場合

REFPMAXは、0を設定します。

この場合、リフレッシュ発行から次のリフレッシュ発行までの時間は、REFINT_E \pm REFTHFサイクルとなります。より一般に、nをある正整数として、あるリフレッシュ発行からそのn個後のリフレッシュ発行までの時間は、n \times REFINT_E \pm REFTHFサイクルとなります。ただし、この間、DBRFENレジスタへの書き込みはないと仮定しています。

(b) リフレッシュ間隔に柔軟性を持たせる場合

REFPMAXは、1以上の値を設定します。

REFINTは、メモリベンダのデータシートに記載されている平均リフレッシュ間隔 (Normal Operating Temperature RangeにおけるtREFI) をサイクル数で表し、整数に切り捨てた値を設定します。REFINTSは、温度によって0または1を設定します。

この場合、 n をある正整数として、あるリフレッシュ発行からその n 個後のリフレッシュ発行までの時間は、 $n \times \text{REFINT_E} + \text{REFPMAX} \times \text{REFINT_E}$ サイクル以下となります。ただし、この間、DBRFENレジスタへの書き込みはないと仮定しています。

- 【注】 1. サイクル数は、SDRAMの動作クロックにて設定します。
2. 本レジスタに上記の下限値を下回る値が設定された状態で自動リフレッシュ機能を起動した場合（DBRFENレジスタ ARFEN ビットを1にした場合）の動作は保証されません。

4.2.36 リフレッシュ設定レジスタ 2 (DBRFCNF2)

SDRAMのリフレッシュ動作のタイミングを設定します。

自動リフレッシュ機能動作中（DBRFENレジスタのARFEN=1）に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFENレジスタのARFENビットに1を書き込んでください。

以下の説明で、「サイクル数」は、特に断らないかぎり、SDRAMのクロックで測ったものを意味します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	REFINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	REFINTS	0	R/W	平均リフレッシュ間隔調整ビット 本ビットに0を設定すると、リフレッシュコマンド発行の平均間隔はREFINTサイクルとなります。 本ビットに1を設定すると、リフレッシュコマンド発行の平均間隔は floor (REFINT/2) サイクルとなります。 0: 平均リフレッシュ間隔は REFINT 1: 平均リフレッシュ間隔は REFINT の 1/2

4.2.37 DDR3-SDRAM キャリブレーション設定レジスタ (DBCALCNF)

DDR3-SDRAM のキャリブレーションを定期実行する機能の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CALEN	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CALINT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	CALEN	0	R/W	DDR3-SDRAM キャリブレーションイネーブルビット 本ビットが 1 である間、定期的に DDR3-SDRAM のキャリブレーションを実行 (ZQCS コマンドを発行) します。 0 : DDR3-SDRAM キャリブレーション不許可 1 : DDR3-SDRAM キャリブレーション許可 (DDR2-SDRAM の場合、CALEN=1 は設定禁止です)
23~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	CALINT	H'0000	R/W	DDR3-SDRAM キャリブレーション頻度設定ビット 本ビットで、DDR3-SDRAM キャリブレーション実行の頻度を調整します。CALINT の設定値を n とすると、自動リフレッシュ機能によってリフレッシュコマンドが n 回発行されるごとに 1 回 ZQCS コマンドの発行を行います。 H'0000 : 初期値 (下記 (1~65535 回) に設定してください) H'0001 : 自動リフレッシュ 1 回ごとに実施 H'0002 : 自動リフレッシュ 2 回ごとに実施 : H'FFFF : 自動リフレッシュ 65535 回ごとに実施 上記以外 : 設定禁止

- 【注】
1. CALEN=1 となっている場合でも、自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0) は、ZQCS コマンドの発行は行われません。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.38 DDR3-SDRAM キャリブレーションタイミングレジスタ (DBCALTR)

DDR3-SDRAM のキャリブレーションを定期実行する際のコマンド間制約を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	TCALRZ											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	TCALZR											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~16	TCALRZ	H'000	R/W	DDR3-SDRAM キャリブレーションタイミング設定 (REF-ZQCS 期間設定) 本ビットで、キャリブレーション実行時の REF コマンドから ZQCS コマンドまでの最小間隔を設定します。 H'000: 初期値 (下記 (128~4095 サイクル) に設定してください) H'080: 128 サイクル : H'FFF: 4095 サイクル 上記以外: 設定禁止
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	TCALZR	H'000	R/W	DDR3-SDRAM キャリブレーションタイミング設定 (ZQCS-REF 期間設定) 本ビットで、キャリブレーション実行時の ZQCS コマンドから次のオートリフレッシュによる REF コマンドまでの最小間隔を設定します。 H'000: 初期値 (下記 (128~4095 サイクル) に設定してください) H'080: 128 サイクル : H'FFF: 4095 サイクル 上記以外: 設定禁止

【注】 1. 設定値は次の条件を満たす必要があります。

$$TCALRZ \geq \max(128, TRFC + 7 \times TFAW \div 4 + tACTANY + 32)$$

$$TCALZR \geq \max(128, TZQCS + 7 \times TFAW \div 4 + tACTANY + 32)$$

$$REFINT \geq (TCALRZ + TCALZR + REFTHF \times 2) \ll REFINTS$$

$$(tACTANY = \max(TRCD, TRAS, TRC-TRPA, TFAW))$$

2. DBCALCNF レジスタの CALEN=0 の場合は本レジスタの値は意味を持ちません。
3. サイクル数は、SDRAM の動作クロックにて設定します。

4. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.39 ODT 動作設定レジスタ (DBRNK0)

SDRAM への MODT 端子出力の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RODT OUT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WODT OUT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
16	RODTOUT0	0	R/W	リード時 MODT 端子出力許可 本ビットで、リード時の MODT 端子出力を禁止または許可します。許可する場合、DBPDCNT0 レジスタの db_odt_dis ビットも 0 (許可) に設定する必要があります。 リードデータの電圧振幅確保のため、リード時は MODT 端子出力を禁止する (RODTOUT0=0) 設定を推奨します。 0: リード時の MODT 端子出力を禁止する 1: リード時の MODT 端子出力を許可する (DBPDCNT0 レジスタの db_odt_dis の設定も許可としてください)
15~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
0	WODTOUT0	0	R/W	ライト時 MODT 端子出力許可 本ビットで、ライト時の MODT 端子出力を禁止または許可します。許可する場合、DBPDCNT0 レジスタの db_odt_dis ビットも 0 (許可) に設定する必要があります。 DDR メモリ側での反射の影響を防ぐため、ライト時は MODT 端子出力を許可する (WODTOUT0=1) 設定を推奨します。 0: ライト時の MODT 端子出力を禁止する 1: ライト時の MODT 端子出力を許可する (DBPDCNT0 レジスタの db_odt_dis の設定も許可としてください)

- 【注】 1. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.40 パワーダウン設定レジスタ (DBPDNCF)

自動パワーダウン機能の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDWAIT								-	-	-	PDDL	-	-	PDMODE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~8	PDWAIT	H'00	R/W	パワーダウンウェイトビット メモリアクセスが無くなってからパワーダウンモードに移移するまでのサイクル数を設定します。 H'00: 初期値 (下記 (2~255 サイクル) に設定してください) H'02: 2 サイクル : H'FF: 255 サイクル 上記以外: 設定禁止
7~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PDDL	0	R/W	パワーダウン時 DLL 制御ビット パワーダウンモード遷移時の SDRAM の DLL の on/off を設定します。 0: プリチャージドパワーダウン時 DLL off アクティブパワーダウン時 DLL on 1: DDR2: パワーダウン時 DLL off DDR3: パワーダウン時 DLL on
3, 2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	PDMODE	00	R/W	パワーダウンモードビット 本ビットが01のとき、一定期間メモリアクセスがない場合 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。 00: 自動パワーダウンモード OFF 01: 自動パワーダウンモード ON 上記以外: 設定禁止

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. パワーダウンモードからの復帰には max (3, TCKEH) - 3 サイクルのペナルティが発生します。

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- ・SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

4.2.41 DDR-PHY 部制御レジスタ 0 (DBPDCNT0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	db_odt_mode	db_odt_dis	db_odten_sel	db_odt_tsel		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	db_offset	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	db_odt_mode	0	R/W	MODT 端子のタイミング制御 DDR2-SDRAM : 0 を設定してください。 DDR3-SDRAM : 0 : MODT 端子出力遅延オフセットを 0 サイクルとします。 1 : MODT 端子出力遅延オフセットを 1 サイクルとします。
20	db_odt_dis	0	R/W	DDR-PHY 側 ODT 機能、および MODT 端子の disable 制御 DDR-PHY 側のリード時の ODT 機能、および MODT 端子機能の許可/禁止の設定 0 : ODT 機能の使用を許可します。 1 : ODT 機能を使用しません。
19, 18	db_odten_sel	00	R/W	リード時の MODT 端子アサート間隔指定 00 : 初期値 上記以外 : 設定禁止
17, 16	db_odt_tsel	00	R/W	DDR-PHY 側 ODT の抵抗値制御 DDR-PHY 側 ODT の終端抵抗値を選択します。 00 : 150Ω (DDR2)、120Ω (DDR3) 01 : 75Ω (DDR2)、60Ω (DDR3) 上記以外 : 設定禁止
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	db_offset	00	R/W	00 : 初期値 (下記に設定してください) 10 : DDR2/DDR3 共通設定 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

4.2.42 DDR-PHY 部制御レジスタ 1 (DBPDCNT1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	db_ewc_close_offset0	db_ewc_strength0	db_ewc_open_offset0				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6, 5	db_ewc_close_offset0	00	R/W	EnableWindow ネゲート制御 0 下記以外は設定禁止です。 00 : DDR2/DDR3 共通設定
4	db_ewc_strength0	0	R/W	EnableWindow 制御信号ストレンクス指定 0 0 : MDQS1, MDQS0 タイミング測定端子ストレンクス 40Ω DDR3 使用時は、db_ewc_strength0 は 0 に設定してください。 1 : MDQS1, MDQS0 タイミング測定端子ストレンクス 30Ω DDR2 使用時は、db_ewc_strength0 は 1 に設定してください。
3~0	db_ewc_open_offset0	0000	R/W	EnableWindow アサート制御 0 0000 : 初期値 (下記に設定してください) 0100 : DDR2/DDR3 共通設定 上記以外 : 設定禁止

4.2.43 DDR-PHY 部制御レジスタ 2 (DBPDCNT2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 これらのビットの設定を行う場合、32ビットのリードを行って初期値を調べた後、ライト可能なビット以外は初期値を設定してください。

4.2.44 DDR-PHY 部制御レジスタ 3 (DBPDCNT3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	db_stby_n	db_comhiz	—	—	db_io_backup	db_dll_enable2	db_dll_enable1	db_dll_reset_n	—	—	—	—	db_add_strength	db_dqdm_strength	db_dqs_strength	db_ck_strength
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	db_io_enable2	db_io_enable1	db_calib_start	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	db_stby_n	0	R/W	PLLスタンバイ MCK 端子、内部 PLL の動作状態を指定します。セルフリフレッシュ状態時に併用すると消費電力が抑えられます。 0 : MCK 端子をスタンバイ状態、内部 PLL を停止 1 : MCK 端子、内部 PLL は動作状態。 0 から 1 にする場合、PLL 発振安定時間 (200 μ秒以上) の確保が必要です。
30	db_comhiz	0	R/W	HiZ 指定 本信号を High レベルに設定することにより、MCK0/MCK0#、MCKE、MRESET#端子を除いた外部 IO 端子が HiZ 状態となります。セルフリフレッシュ状態時に併用すると消費電力が抑えられます。 0 : 外部 IO 端子は動作状態 1 : MCK0/MCK0#、MCKE、MRESET#端子を除いた外部 IO 端子が HiZ 状態
29、28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	db_iobackup	0	R/W	電源バックアップ時に使用します。 「4.3.7 SDRAM 電源バックアップ機能」を参照ください。
26	db_dllenable2	0	R/W	DLL の ENABLE2 信号 「4.3 DBSC3 動作説明」を参照ください。
25	db_dllenable1	0	R/W	DLL の ENABLE1 信号 「4.3 DBSC3 動作説明」を参照ください。
24	db_dllreset_n	0	R/W	DLL の RESET 信号 「4.3 DBSC3 動作説明」を参照ください。
23~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	db_add_strength	0	R/W	アドレス系端子ストレングス指定 0 : 40 Ω (DDR3 使用時は 40 Ω で設定してください) 1 : 30 Ω (DDR2 使用時は 30 Ω で設定してください)

ビット	ビット名	初期値	R/W	説明
18	db_dqdm_strength	0	R/W	データ系 (DQ、DM) 端子ストレンクス指定 0 : 40Ω (DDR3 使用時は 40Ω で設定してください) 1 : 30Ω (DDR2 使用時は 30Ω で設定してください)
17	db_dqs_strength	0	R/W	データ系 (DQS) 端子ストレンクス指定 0 : 40Ω (DDR3 使用時は 40Ω で設定してください) 1 : 30Ω (DDR2 使用時は 30Ω で設定してください)
16	db_ck_strength	0	R/W	データ系 (CK) 端子ストレンクス指定 0 : 40Ω (DDR3 使用時は 40Ω で設定してください) 1 : 30Ω (DDR2 使用時は 30Ω で設定してください)
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	db_ioenable2	0	R/W	IO の ENABLE2 信号 「4.3 DBSC3 動作説明」を参照ください。
13	db_ioenable1	0	R/W	IO の ENABLE1 信号 「4.3 DBSC3 動作説明」を参照ください。
12	db_calib_start	0	R/W	IO キャリブレーション設定信号 DBSC3 側のキャリブレーションの実施を設定します。 0 : DBSC3 側のキャリブレーションを禁止 1 : DBSC3 側のキャリブレーションを常時実施 設定手順については、「4.3 DBSC3 動作説明」を参照ください。
11~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 DBSC3 側のキャリブレーションは、MCK0/MCK0#端子については常時実施され、その他の端子については REF コマンド発行時に実施されます。

4.2.45 DDR-PHY 部ロックレジスタ (DBPDLCK)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PLOCK															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	PLOCK	H'0000	R/W	MZQ 端子の Open/Short テスト時のみ、H'A55A をライト。通常動作時は H'0000 に固定し、アクセスしないでください。 詳細は「4.3.10 MZQ 端子の Open/Short テスト」の説明を参照してください。

4.2.46 DDR-PHY 部レジスタアドレスレジスタ (DBPDRGA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PRA							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	PRA	H'00	R/W	MZQ 端子の Open/Short テスト時のみ、H'00 または H'14 をライト。通常動作時は H'00 に固定し、アクセスしないでください。 詳細は「4.3.10 MZQ 端子の Open/Short テスト」の説明を参照してください。

4.2.47 DDR-PHY 部レジスタアクセスレジスタ (DBPDRGD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRD															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRD															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	PRD	不定	R/W	MZQ 端子の Open/Short テスト時のみ H'A5000000 をライト、あるいはレジスタ値をリード。通常動作時は H'00000000 に固定し、アクセスしないでください。 詳細は「4.3.10 MZQ 端子の Open/Short テスト」の説明を参照してください。

4.2.48 バス制御部 0 設定レジスタ 0 (DBBS0CNT0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

4.2.49 バス制御部 0 設定レジスタ 1 (DBBSOCNT1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	BKADB					BKADP					BKADM			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	BKADB	000000	R/W	上位のバンクアドレスのアドレス位置ビット 上位のバンクアドレスのアドレス位置を指定します。BKADM にバンクアドレスを非連続アドレスとして扱うよう設定した場合に有効となります。上位のバンクアドレスとして BA1 のアドレス位置を設定します。 なお、8 バンク品の場合は、BA2 は BA1 の上位アドレスとして扱われます。 000000 : BKADM が 00 の場合に設定 001101 : アドレス 13 を BA1 に設定 (アドレス 14 を BA2 に設定) 001110 : アドレス 14 を BA1 に設定 (アドレス 15 を BA2 に設定) 001111 : アドレス 15 を BA1 に設定 (アドレス 16 を BA2 に設定) 010000 : アドレス 16 を BA1 に設定 (アドレス 17 を BA2 に設定) それ以外 : 設定禁止
7~2	BKADP	000000	R/W	バンクアドレスのアドレス位置ビット バンクアドレスのアドレス位置を指定します。バンクアドレスのアドレス位置は、使用するメモリ構成に合わせてカラムアドレスの上位をバンクアドレスとして扱う場合と、アドレス位置を指定する場合の設定が可能です。 000000 : カラムアドレス (CAS) の上位 001010 : 1K バイト (アドレス 10 を BA0 に設定) 001011 : 2K バイト (アドレス 11 を BA0 に設定) 001100 : 4K バイト (アドレス 12 を BA0 に設定) それ以外 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
1, 0	BKADM	00	R/W	<p>バンクアドレスの使用方法ビット</p> <p>バンクアドレスの使用方法を設定します。バンクアドレスを連続したアドレスとして扱う方法と、連続していないアドレスとして扱う方法のいずれかを設定します。</p> <p>バンクアドレスを連続したアドレスとして扱う場合には、バンクアドレスのアドレス位置を BKADP に設定します。</p> <p>バンクアドレスを連続していないアドレスとして扱う場合には、BA0 と BA1 を別のアドレスとして扱うことができます。BA0 を BKADP に設定し、BA1 を BKADB に設定します。8 バンク品の場合、BA2 は BA1 と連続したアドレスとして BA1 の上位アドレスとして扱います。</p> <p>00 : 連続アドレス (BA0、BA1、BA2 を BKADP で指定)</p> <p>01 : 非連続アドレス (下位 1 ビット)</p> <p>(BA0 を BKADP で指定、BA1、2 を BKADB で指定)</p> <p>10 : 設定禁止</p> <p>11 : 設定禁止</p>

- 【注】
1. 本レジスタの設定可能な組み合わせについては、「4.6 バンクアドレスのアドレス位置指定」を参照してください。
 2. 本レジスタは、起動シーケンスの中でのみ書き込みを行ってください。
 3. 本レジスタは、SDRAM アクセス不許可中 (DBACEN レジスタの ACEN=0) の場合のみ書き込みを行ってください。

4.3 DBSC3 動作説明

4.3.1 初期化シーケンス

パワーオンリセット後、SDRAM へのアクセスを許可する前に、SDRAM を初期化する為に初期化シーケンスを実施する必要があります。初期化シーケンスは以下の手順に従って実行してください。ステップ間の待ち時間は例ですので、各メモリバンクのデータシートに記載された値に従ってください。MBKPRST#端子にはハイレベルが入力されていることを前提としています。

なお、サイクル数は SDRAM の動作クロックでのクロック数で示します。

(1) DDR2-SDRAM

1. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_tsel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定し、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_stby_nを1に設定します。
2. 1.③にてdb_stby_nを0から1に設定した場合には、安定したMCKクロックが出力されるまでの時間200 μ s以上だけ待つ必要があります。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
3. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
4. 3.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
5. 4.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
6. 5.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
7. 3.[6.の必要はありません]の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
8. 7.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
9. 6.の設定から10,000サイクル以上経過するまで待ちます。
10. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
11. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0～19 (DBTR0～DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
12. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのCKE端子をハイレベルにします。レジスタに書き込む値は、opc = PDXt, arg = 400ns相当のサイクル数とします。

13. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
14. 手動コマンド発行レジスタ (DBCMD) によりEMRS (MR2) コマンドを発行します。
15. 手動コマンド発行レジスタ (DBCMD) によりEMRS (MR3) コマンドを発行します。
16. 手動コマンド発行レジスタ (DBCMD) によりEMRS (MR1) コマンドを発行します。Additive Latencyは0、DLL EnableはEnableに設定します。
17. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR0) コマンドを発行します。
このとき、動作モードはNormal、DLLリセットはリセット、バースト長はSDRAM動作設定レジスタ (DBBL) で設定した長さ、バーストタイプはシーケンシャルに設定します。
また、CAS Latencyの設定はSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせてください。
WRの設定はSDRAMタイミングレジスタ10 (DBTR10) のTWRビットの設定と合わせてください。
PDの設定はパワーダウン設定レジスタ (DBPDNCF) のPDDLビットの設定と合わせてください。
18. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
19. 手動コマンド発行レジスタ (DBCMD) によりREF (リフレッシュ) コマンドを発行します。レジスタに書き込む値は、opc = Ref, arg = 0とします。
20. 手動コマンド発行レジスタ (DBCMD) によりREF (リフレッシュ) コマンドを発行します。レジスタに書き込む値は、opc = Ref, arg = 0とします。
21. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR0) コマンドを発行します。この時、DLLリセット無しで設定してください。
22. 手動コマンド発行レジスタ (DBCMD) を利用して待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 200サイクルとします。
23. 手動コマンド発行レジスタ (DBCMD) によりEMRS (MR1) コマンドを発行します。この時、OCD calibration ProgramはOCD Calibration defaultに、その他は16.と同じ値に設定してください。
24. 手動コマンド発行レジスタ (DBCMD) によりEMRS (MR1) コマンドを発行します。この時、OCD calibration ProgramはOCD Calibration mode exitに、その他は16.と同じ値に設定してください。
25. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2)、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCF) の設定を行います。
26. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
27. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
28. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
29. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

(2) DDR3-SDRAM

1. パワーオンリセット解除前からSDBUP端子にローレベル信号を与えます。
2. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_tsel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定します。db_stby_nは1に設定します。
3. 2.③にてdb_stby_nを0から1に設定した場合には、安定したMCKクロックが出力されるまでの時間200 μ s以上だけ待つ必要があります。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
4. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
5. 4.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
6. 5.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
7. SDBUP端子にハイレベル信号を与えます。SDBUP端子には、電源投入後のパワーオンリセット解除からDBPDCNT3のdb_dllenable2を1に設定するまではローレベルを与えます。本シーケンス以降はハイレベルを与えてください。
8. 6.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
9. 4.[8.の必要はありません]の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
10. 9.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
11. 8.の設定から10,000サイクル以上経過するまで待ちます。
12. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
13. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0～19 (DBTR0～DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
14. 手動コマンド発行レジスタ (DBCMD) を利用して待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 100 μ s相当のサイクル数とします。
15. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのMRESET#端子をハイレベルにします。レジスタに書き込む値は、opc = RstH, arg = 100 μ s相当のサイクル数とします。
16. 手動コマンド発行レジスタ (DBCMD) を利用して待ち時間を挿入します。DBCMDレジスタにopc = Wait, arg = 100 μ s相当のサイクル数を4回書き込んでください。
17. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのMCKE端子をハイレベルにします。レジスタに書き込む値は、opc = PDXt, arg = tXPR (通常、tRFC + 10ns相当のサイクル数) とします。

18. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR2) コマンドを発行します。CWLの設定は、SDRAM タイミングレジスタ1 (DBTR1) のCWLビットの設定と合わせてください。
19. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR3) コマンドを発行します。MPRはNormal operation に設定します。
20. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR1) コマンドを発行します。Additive Latencyは0、DLL EnableはEnableに設定します。
21. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR0) コマンドを発行します。このとき、動作モードはNormal、DLLリセットはリセット、バーストタイプはシーケンシャルに設定します。また、CAS Latency の設定はSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせてください。WRの設定はSDRAMタイミングレジスタ10 (DBTR10) のTWRビットの設定と合わせてください。PDの設定はパワーダウン設定レジスタ (DBPDNCF) のPDDLビットの設定と合わせてください。
22. 手動コマンド発行レジスタ (DBCMD) によりZQ Calibration Longコマンドを発行します。レジスタに書き込む値は、 $opc = ZQCL, arg = \max\{tZQinit, tDLLK - tMOD\}$ (通常、512サイクル) とします。
23. 手動コマンド発行レジスタ (DBCMD) によりREF (リフレッシュ) コマンドを発行します。レジスタに書き込む値は、 $opc = Ref, arg = 0$ とします。
24. 手動コマンド発行レジスタ (DBCMD) によりREF (リフレッシュ) コマンドを発行します。レジスタに書き込む値は、 $opc = Ref, arg = 0$ とします。
25. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2)、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCF) の設定を行います。
26. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
27. DDR3-SDRAMキャリブレーション設定レジスタ (DBCALCNF) の設定を行います。
28. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
29. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
30. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

4.3.2 セルフリフレッシュ

SDRAM にアクセスする必要が無い場合、セルフリフレッシュモードに移行することで、SDRAM 中のデータ内容を保持したまま消費電力を抑えることが可能です。

ここに示すシーケンスは例ですので、各メモリベンダのデータシートに従って設定してください。

(1) DDR2-SDRAM

DDR2-SDRAM セルフリフレッシュへの移行時は、以下の手順に従ってください。なお、6.~8.は、同時に設定可能です。

1. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
2. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
6. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2を0に設定することで、DLLの消費電力を抑えることが可能です。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを0に設定することで、PLLの消費電力を抑え、MCK0/MCK0#をローレベルにすることが可能です。
8. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを1に設定することで、MCK0/MCK0#, MCKEを除く端子をHiZ状態とし、消費電力を抑えることが可能です。
9. CPUを割り込み許可に設定します。

DDR2-SDRAM セルフリフレッシュの解除時には、以下の手順に従ってください。

1. CPUを割り込み禁止に設定します。
2. PLLの消費電力を抑えるために、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを0に設定した場合には、db_stby_nを1に設定し、200 μ s以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
3. DLLの消費電力を抑えるために、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2を0に設定した場合には、以下の①~④を実施します。
 - ①db_dllenable1を1に設定します。
 - ②100 μ s以上経過後、db_dllenable2を1に設定します。
 - ③16サイクル以上経過後に、db_dllreset_nを1に設定します。
 - ④10,000サイクル以上経過するまで待ちます。

4. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを1に設定した場合には、db_comhizを0に設定し、5サイクル以上待ちます。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
7. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 200サイクルとします。
8. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
9. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
10. CPUを割り込み許可に設定します。

(2) DDR3-SDRAM

DDR3-SDRAM セルフリフレッシュへの移行時は、以下の手順に従ってください。なお、9.~11.は、同時に設定可能です。

1. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
2. MBKPRST#端子にハイレベル、SDBUP端子にハイレベル信号を与え続けます。セルフリフレッシュ中、および解除時も同じ状態を保ってください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 手動コマンド発行レジスタ (DBCMD) を利用してクロックを停止するまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tCKSRE (通常、max {5サイクル、10ns相当のサイクル数}) とします。
8. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
9. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2を0に設定することで、DLLの消費電力を抑えることが可能です。
10. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを0に設定することで、PLLの消費電力を抑え、MCK0/MCK0#をローレベルにすることが可能です。
11. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを1に設定することで、MCK0/MCK0#, MCKE, MRESET#を除く端子をHiZ状態とし、消費電力を抑えることが可能です。
12. CPUを割り込み許可に設定します。

DDR3-SDRAM セルフリフレッシュの解除時には、以下の手順に従ってください。

1. CPUを割り込み禁止に設定します。
2. PLLの消費電力を抑えるために、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを0に設定した場合には、db_stby_nを1に設定し、200 μ s以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
3. DLLの消費電力を抑えるために、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2を0に設定した場合には、以下の①~④を実施します。
 - ①db_dllenable1を1に設定します。
 - ②100 μ s以上経過後、db_dllenable2を1に設定します。
 - ③16サイクル以上経過後に、db_dllreset_nを1に設定します。
 - ④10,000サイクル以上経過するまで待ちます。
4. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを1に設定した場合には、db_comhizを0に設定し、5サイクル以上待ちます。
5. 手動コマンド発行レジスタ (DBCMD) を利用して、セルフリフレッシュ解除までの待ち時間を挿入します。レジスタに書き込む値は、opc= Wait, arg = tCKSRX (通常、max {5サイクル、10ns相当のサイクル数}) とします。
6. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
7. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
8. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
9. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tXSDLL (通常、512サイクル) とします。
10. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
11. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
12. CPUを割り込み許可に設定します。

4.3.3 動作中のリフレッシュの設定変更

DBSC3 では、動作中にリフレッシュの設定 (リフレッシュ頻度等) を変更することが可能です。

- (1) 必要に応じてリフレッシュ設定レジスタ 0~2 (DBRFCNF0~DBRFCNF2) に書き込みを行い、設定を変更します。
- (2) 自動リフレッシュ許可レジスタ (DBRFEN) の ARFEN ビットに 1 を書き込みます。
手順 (2) の書き込みの後、手順 (1) で書き込んだ新しい設定がリフレッシュ動作に反映されます。

4.3.4 オートパワーダウン

DBSC3 では、SDRAM アクセスが行われない期間に、CKE 端子をローレベルにして、SDRAM の消費電力を低減することが可能です。

パワーダウン設定レジスタ (DBPDNCNF) で、メモリアクセスが無くなってからパワーダウンモードに移移するまでのサイクル数を設定し、PDMODE ビットを 01 に設定することで、オートパワーダウンが行われます。

ただし、メモリアクセスが発生した場合には、CKE 端子をハイレベルにした後に、アクセスコマンドが発行されますので、オートパワーダウンモードで無い場合に比べて、ペナルティサイクルが発生します。

4.3.5 パワーダウン

SDRAM にアクセスする必要が無い場合、パワーダウンモードに移行する事で、SDRAM の内部クロックを非活性にして、デバイスの消費電力を低く抑えることが可能です。なお、パワーダウンモードにおいても、クロックおよび電源は供給されている必要があります。

パワーダウンモードへの移行時は、以下の手順に従ってください。

- (1) SDRAM 動作許可レジスタ (DBACEN) の ACEN ビットを 0 (アクセス不許可) に設定します。
- (2) 手動コマンド発行レジスタ (DBCMD) により Power Down Entry コマンドを発行します。レジスタに書き込む値は、opc = PDEn, arg = 0 とします。

パワーダウンモードの解除時には、以下の手順に従ってください。

- (1) 手動コマンド発行レジスタ (DBCMD) により Power Down Exit コマンドを発行します。レジスタに書き込む値は、opc = PDXt, arg = 0 とします。
- (2) SDRAM アクセス許可レジスタ (DBACEN) の ACEN ビットを 1 (アクセス許可) に設定します。

パワーダウンモードにおいて SDRAM のデータを保持し続けるためには、通常動作時と同様に定期的なりフレッシュコマンドの発行が必要です。DBSC3 では、自動リフレッシュ機能を稼働させた状態 (DBRFEN レジスタの ARFEN ビット=1) のままパワーダウンモードに入ることにより、パワーダウンモードの間も定期的なりフレッシュを行い、SDRAM のデータを保持することができます。

パワーダウンモードの間はアクセス不許可状態となっているため、DBSC3 に SDRAM へのデータアクセス要求を投入すると、エラーとなります。

4.3.6 ソフトウェアスタンバイ状態での SDRAM メモリの保持

ソフトウェアスタンバイ状態では、チップ内部のクロックが停止するためチップ全体がスタンバイ状態となりますが、以下の処理を行うことで、SDRAM メモリの内容を保持することができます。ソフトウェアスタンバイ機能、ソフトウェアスタンバイへの遷移、ソフトウェアスタンバイからの復帰については、「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

SDRAM のデータを保持するために、ソフトウェアスタンバイ遷移前に実施する手順、および復帰時の手順について以下に説明します。

(1) DDR2-SDRAM

DDR2-SDRAM ソフトウェアスタンバイモードへの遷移は、以下の手順に従ってください。

1. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
2. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
6. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
7. ソフトウェアスタンバイモードに遷移します。「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

DDR2-SDRAM ソフトウェアスタンバイモードからの復帰は、以下の手順に従ってください。

1. ソフトウェアスタンバイモードからの復帰処理を行います。「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。
2. CPUを割り込み禁止に設定します。
3. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを1に設定し、200 μ s以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
4. 以下の①~④を実施します。
 - ①DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllenable1を1に設定します。
 - ②100 μ s以上経過後、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllenable2を1に設定します。
 - ③16サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_nを1に設定します。
 - ④10,000サイクル以上経過するまで待ちます。

5. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを0に設定し、5サイクル以上待ちます。
6. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
7. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
8. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 200サイクルとします。
9. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
10. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
11. CPUを割り込み許可に設定します。

(2) DDR3-SDRAM

DDR3-SDRAM ソフトウェアスタンバイモードへの遷移は、以下の手順に従ってください。

1. MBKPRST#端子にハイレベル、SDBUP端子にハイレベル信号を与え続けます。ソフトウェアスタンバイ中、および解除時と同じ状態を保ってください。
2. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 手動コマンド発行レジスタ (DBCMD) を利用してクロックを停止するまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tCKSRE (通常、max {5サイクル、10ns相当のサイクル数}) とします。
8. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
9. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
10. ソフトウェアスタンバイモードに遷移します。「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

DDR3-SDRAM ソフトウェアスタンバイモードからの復帰は、以下の手順に従ってください。

1. ソフトウェアスタンバイモードからの復帰処理を行います。「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。
2. CPUを割り込み禁止に設定します。

3. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_stby_nを1に設定し、200 μ s以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
4. 以下の①~④を実施します。
 - ①DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllenable1を1に設定します。
 - ②100 μ s以上経過後、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllenable2を1に設定します。
 - ③16サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_nを1に設定します。
 - ④10,000サイクル以上経過するまで待ちます。
5. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_comhizを0に設定し、5サイクル以上待ちます。
6. 手動コマンド発行レジスタ (DBCMD) を利用して、セルフリフレッシュ解除までの待ち時間を挿入します。レジスタに書き込む値は、opc= Wait, arg = tCKSRX (通常、max {5サイクル、10ns相当のサイクル数}) とします。
7. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
8. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
9. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
10. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tXSDLL (通常、512サイクル) とします。
11. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
12. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
13. CPUを割り込み許可に設定します。

4.3.7 SDRAM 電源バックアップ機能

SDRAM 電源バックアップ機能とは、SDRAM のセルフリフレッシュ状態を利用して、SDRAM のデータを保持しつつ、DBSC3 を含む大部分 (VDD_DDR 電源以外) のチップの電源を OFF する機能です。本機能によりシステムの消費電力削減が可能になるだけでなく、SDRAM 内に有効データが保存されているので再度データを SDRAM に転送する時間が削減できます (図 4.1 参照)。なお、本機能を実現するためには、本チップとメモリの状態を監視する外部素子 (マイコンなど) などが別途必要です。

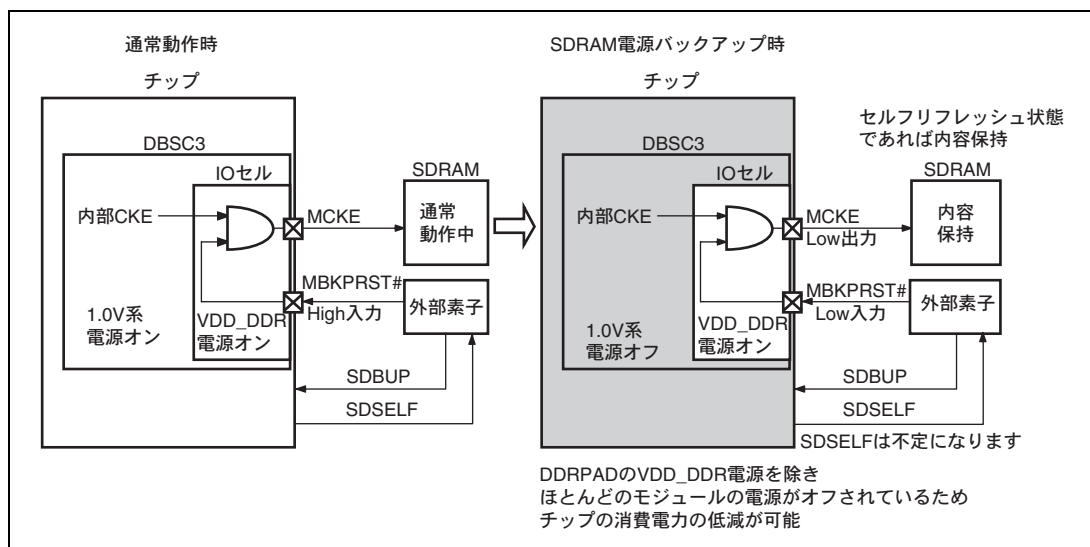


図 4.1 SDRAM 電源バックアップ機能

電源バックアップ機能実現のためには、VDD_DDR 電源以外の電源 OFF 時でも MCKE をローレベルに保持する制御信号 MBKPRST#が必要です。また SDBUP 信号で DDR3-SDRAM の MRESET#信号のアサート抑制御を行います。MBKPRST#信号がローレベルにある時、チップ内部の電源が OFF 状態でも MCKE 端子はローを保持することができ、SDBUP 信号をハイレベルに保持することで、DDR3-SDRAM の MRESET#端子をハイレベルに保持することができます。SDRAM をセルフリフレッシュ状態にした後、この MBKPRST#信号および SDBUP 信号を使い MCKE 信号をローレベル、かつ DDR3-SDRAM の場合 MRESET#端子をハイレベルに保てば、チップ内部の電源が OFF になっても、SDRAM のセルフリフレッシュ状態を保持できます。

電源バックアップ状態の解除は、パワーオンリセットにより行います。これにより、DBSC3 のレジスタは初期化が行われるため、セルフリフレッシュの制御論理も初期化されます。この状態でも、MBKPRST#信号をローレベルに保持しておくことにより MCKE をローレベルに保持することができ、SDBUP 信号をハイレベルに保持しておくことで、DDR3-SDRAM の MRESET#端子をハイレベルに保持できます。なお、パワーオンリセットにより DBSC3 は内部 CKE 信号をローレベルに確定しますので、パワーオンリセット解除後は MBKPRST#をハイレベルにします。(電源バックアップ状態ではない場合には MBKPRST#は常にハイレベルで問題ありません。)

この様に、電源バックアップ状態の解除をパワーオンリセットにより行う為、ソフトウェアは通常の SDRAM の初期化シーケンスが必要なのか、それとも電源バックアップ状態の解除からなのかを判断する必要があります。

この判断のために、DBSC3はセルフリフレッシュ状態となったことを外部に通知するSDSELF信号をハイレベルにします。マイコンなどの外部素子でSDSELF信号状態をモニタし、電源バックアップ状態からの復帰時、DDR3使用の場合にはハイレベルのSDBUP信号をチップに与え、DDR2使用の場合は汎用入力端子から状態信号をチップに与えてください。パワーオンリセット後に、ソフトウェアは、外部素子から与えられた状態信号（DDR3ならSDBUP信号、DDR2なら汎用入力端子）をモニタし、電源バックアップ状態であったのかSDRAMの初期化が必要なのかを判断してください。なお、SDSELF信号は電源バックアップ状態では、不定出力となりますのでご注意ください。

以下では、その手順を説明します。

(1) DDR2-SDRAM

DDR2-SDRAM電源バックアップモードへの遷移は、下記の手順に従ってください。

1. ピンファンクションコントローラ (PFC) の設定により、SDSELF信号が選択されるようにします。
2. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_jobbackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
8. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
9. DBSC3は、SDSELF端子をハイレベルにすることでSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、MBKPRST#端子をハイレベルからローレベルにします。
10. MBKPRST#信号をローレベルに設定後1 μ s以上経過した後に、VDD_DDR電源を除き不要な電源をOFFします。

DDR2-SDRAM電源バックアップモードからの復帰は、下記の手順に従ってください。

1. MBKPRST#端子はローレベルのまま、チップの電源をON状態にします。
2. パワーオンリセットをチップに与えます。
3. パワーオンリセットの解除後、外部素子はMBKPRST#信号をローレベルからハイレベルにします。ハイレベルにするタイミングは、本チップから出力するPRESETOUT#端子がハイレベルになったことを確認後としてください。

4. 汎用入力端子機能にて、SDRAMのイニシャライズシーケンスなのか、電源バックアップモードからの復帰なのかを判断します。SDRAMのイニシャライズシーケンスであった場合は「4.3.1 初期化シーケンス」に記載された内容を実行してください。
5. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_tsel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定し、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_stby_nを1に設定します。
6. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
8. 7.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
9. 8.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
10. 9.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
11. 7.の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
12. 11.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
13. 9.の設定後、10,000サイクル経過するまで待ちます。
14. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ① 手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
 - ② 再度、手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
15. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
16. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0～19 (DBTR0～DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
17. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させます。レジスタに書き込む値は、opc = SREn、arg = 0とします。
18. 必要に応じて、DBSC3動作調整レジスタ0～2 (DBADJ0～DBADJ2)、バス制御部0設定レジスタ0～1 (DBBS0CNT0～DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCNF) の設定を行います。
19. リフレッシュ設定レジスタ0～2 (DBRFCNF0～DBRFCNF2) の設定を行います。

20. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
21. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
22. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 200とします。
23. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
24. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

(2) DDR3-SDRAM

DDR3-SDRAM 電源バックアップモードへの遷移は、下記の手順に従ってください。

1. ピンファンクションコントローラ (PFC) の設定により、SDSELF信号が選択されるようにします。SDBUP端子はハイレベルとしておいてください。
2. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_jobbackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
8. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
9. DBSC3は、SDSELF端子をハイレベルにすることでSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、MBKPRST#端子をハイレベルからローレベルにします。
10. MBKPRST#信号をローレベルに設定後1 μ s以上経過した後に、VDD_DDR電源を除き不要な電源をOFFします。

DDR3-SDRAM 電源バックアップモードからの復帰は、下記の手順に従ってください。

1. MBKPRST#端子はローレベル、SDBUP端子はハイレベルのまま、チップの電源をON状態にします。
2. パワーオンリセットをチップに与えます。

3. パワーオンリセットの解除後、外部素子はMBKPRST#信号をローレベルからハイレベルにします。ハイレベルにするタイミングは、本チップから出力するPRESETOUT#端子がハイレベルになったことを確認後としてください。なお、SDBUP端子はこの後もハイレベルのままとしてください。
4. DBSC3ステータスレジスタ (DBSTATE) のBKUPビットを参照して、SDRAMのイニシャライズシーケンスなのか、電源バックアップモードからの復帰なのかを判断します。DBSTATEのBKUPビットが0のSDRAMイニシャライズシーケンスであった場合は「4.3.1 初期化シーケンス」に記載された内容を実行してください。
5. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_tsel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定します。db_stby_nは1に設定します。
6. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
8. 7.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
9. 8.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
10. 9.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
11. 7.の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
12. 11.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
13. 9.の設定後、10,000サイクル経過するまで待ちます。
14. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ① 手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
 - ② 再度、手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
15. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
16. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0～19 (DBTR0～DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
17. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させると同時にセルフリフレッシュ解除までの待ち時間を挿入します。レジスタに書き込む値は、opc = SREn、arg = tCKSRX (通常、max{5サイクル, 10ns相当のサイクル数}) とします。

18. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2)、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCNF) の設定を行います。
19. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
20. DDR3-SDRAMキャリブレーション設定レジスタ (DBCALCNF) の設定を行います。
21. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
22. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
23. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tXSDLL (通常、512サイクル) とします。
24. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
25. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

4.3.8 電源バックアップ機能も使用する場合のディープスタンバイ状態での SDRAM メモリの保持

ディープスタンバイ状態からの復帰は、チップ内部ではパワーオンリセット相当の状態となりますが、以下の処理を行うことで、SDRAM メモリの内容を保持することができます。

なお、ここでは電源バックアップ機能も使用し、かつディープスタンバイ状態での SDRAM メモリ保持も行う場合について説明します。電源バックアップ機能を使用しない場合には、外部素子不要でディープスタンバイ状態での SDRAM メモリ保持が可能です。こちらについては「4.3.9 電源バックアップ機能を使用しない場合のディープスタンバイ状態での SDRAM メモリの保持」を参照してください。

本機能を実現するためには、SDRAM 電源バックアップ機能と同じ外部素子 (マイコンなど) が別途必要です。詳細については、「4.3.7 SDRAM 電源バックアップ機能」を参照してください。

また、ディープスタンバイ機能、ディープスタンバイへの遷移、ディープスタンバイからの復帰については、「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

SDRAM のデータを保持するために、ディープスタンバイ遷移前に実施する手順、および復帰時の手順について以下に説明します。

(1) DDR2-SDRAM

DDR2-SDRAM ディープスタンバイモードへの遷移は、以下の手順に従ってください。

1. ピンファンクションコントローラ (PFC) の設定により、SDSELF信号が選択されるようにします。
2. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_iobackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
8. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
9. DBSC3は、SDSELF端子をハイレベルにすることでSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、MBKPRST#端子をハイレベルからローレベルにします。
10. MBKPRST#信号をローレベルに設定後1 μ s以上経過した後に、ディープスタンバイモードに遷移してください。

DDR2-SDRAM ディープスタンバイモードからの復帰は、以下の手順に従ってください。

1. MBKPRST#端子はローレベルのまま、ディープスタンバイ復帰要因を発生させます。
2. 「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」の復帰処理を行います。なお、DSFRレジスタのIOKEEPフラグ状態に関係なく、DDR2-SDRAMアクセスが可能です。
3. ディープスタンバイの解除後、外部素子はMBKPRST#信号をローレベルからハイレベルにします。ハイレベルにするタイミングは、本チップから出力するPRESETOUT#端子がハイレベルになったことを確認後としてください。
4. 汎用入力端子機能にて、SDRAMのイニシャライズシーケンスなのか、ディープスタンバイからの復帰なのかを判断します。SDRAMのイニシャライズシーケンスであった場合は「4.3.1 初期化シーケンス」に記載された内容を実行してください。
5. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_sel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定し、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_stby_nを1に設定します。
6. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
8. 7の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
9. 8の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
10. 9の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
11. 7の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
12. 11の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
13. 9の設定後、10,000サイクル経過するまで待ちます。
14. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ① 手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
 - ② 再度、手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
15. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。

16. SDRAM構成設定レジスタ (DBCONF) 、SDRAMタイミングレジスタ0~19 (DBTR0~DBTR19) 、SDRAM動作設定レジスタ (DBBL) 、ODT動作設定レジスタ (DBRNK0) の設定を行います。
17. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させます。レジスタに書き込む値は、opc = SREn, arg = 0とします。
18. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2) 、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1) 、パワーダウン設定レジスタ (DBPDNCNF) の設定を行います。
19. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
20. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0とします。
21. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
22. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 200とします。
23. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
24. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

(2) DDR3-SDRAM

DDR3-SDRAM ディープスタンバイモードへの遷移は、以下の手順に従ってください。

1. ピンファンクションコントローラ (PFC) の設定により、SDSELF信号が選択されるようにします。SDBUP端子はハイレベルとしておいてください。
2. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
3. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
4. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
5. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
6. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
7. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_jobackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
8. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
9. DBSC3は、SDSELF端子をハイレベルにすることでSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、MBKPRST#端子をハイレベルからローレベルにします。

10. MBKPRST#信号をローレベルに設定後1 μ s以上経過した後に、ディープスタンバイモードに遷移してください。

DDR3-SDRAM ディープスタンバイモードからの復帰は、以下の手順に従ってください。

1. MBKPRST#端子はローレベル、SDBUP端子はハイレベルのまま、ディープスタンバイ復帰要因を発生させます。
2. 「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」の復帰処理を行います。なお、DSFRレジスタのIOKEEPフラグ状態に関係なく、DDR3-SDRAMアクセスが可能です。
3. ディープスタンバイの解除後、外部素子はMBKPRST#信号をローレベルからハイレベルにします。ハイレベルにするタイミングは、本チップから出力するPRESETOUT#端子がハイレベルとなったことを確認後としてください。なお、SDBUP端子はこの後もハイレベルのままとしてください。
4. DBSC3ステータスレジスタ (DBSTATE) のBKUPビットを参照して、SDRAMのイニシャライズシーケンスなのか、ディープスタンバイからの復帰なのかを判断します。DBSTATEのBKUPビットが0のSDRAMイニシャライズシーケンスであった場合は「4.3.1 初期化シーケンス」に記載された内容を実行してください。
5. DDR-PHY部制御レジスタ0、1、3 (DBPDCNT0、1、3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset、db_odt_tsel、db_odten_sel、db_odt_dis、db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0、db_ewc_strength0、db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start、db_ioenable1、db_ioenable2、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhizを0に設定します。db_stby_nは1に設定します。
6. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
8. 7.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
9. 8.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
10. 9.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
11. 7.の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
12. 11.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
13. 9.の設定後、10,000サイクル経過するまで待ちます。

14. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ① 手動コマンド発行レジスタ (DBCMD) に、`opc = Ref, arg = 0`を書き込みます。
 - ② 再度、手動コマンド発行レジスタ (DBCMD) に、`opc = Ref, arg = 0`を書き込みます。
15. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
16. SDRAM構成設定レジスタ (DBCNF)、SDRAMタイミングレジスタ0~19 (DBTR0~DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
17. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させると同時にセルフリフレッシュ解除までの待ち時間を挿入します。レジスタに書き込む値は、`opc = SREn, arg = tCKSRX` (通常、 $\max\{5\text{サイクル}, 10\text{ns相当のサイクル数}\}$) とします。
18. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2)、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCNF) の設定を行います。
19. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
20. DDR3-SDRAMキャリブレーション設定レジスタ (DBCALCNF) の設定を行います。
21. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、`opc = SRXt, arg = 0`とします。
22. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
23. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、`opc = Wait, arg = tXSDLL` (通常、512サイクル) とします。
24. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
25. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

4.3.9 電源バックアップ機能を使用しない場合のディープスタンバイ状態でのSDRAMメモリの保持

ディープスタンバイ状態からの復帰は、チップ内部ではパワーオンリセット相当の状態となりますが、以下の処理を行うことで、SDRAMメモリの内容を保持することができます。

ここでは電源バックアップ機能は使用しない条件での、ディープスタンバイ状態でのSDRAMメモリ保持について説明します。電源バックアップ機能も使用する場合は、「4.3.8 電源バックアップ機能も使用する場合のディープスタンバイ状態でのSDRAMメモリの保持」を参照してください。

電源バックアップ機能を使用しない場合、マイコンなどの外部素子が不要となります。

なお、ディープスタンバイ機能、ディープスタンバイへの遷移、ディープスタンバイからの復帰については、「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

(1) SDSELF 端子、SDBUP 端子、MBKPRST#端子の処理

DDR2-SDRAM、DDR3-SDRAM どちらの場合でも、SDSELF 端子は使用しません。MBKPRST#端子はどちらのSDRAMの場合でも、ハイレベル固定 (VDD_DDR 電源にプルアップ接続など) してください。

DDR2-SDRAM 使用時、SDBUP 端子はローレベル固定してください。DDR3-SDRAM 使用時の SDBUP 端子は、本チップの汎用入出力端子を1本選択して、ボード上で接続、かつプルダウンしてください。なお、選択する汎用入出力端子は以下の条件をすべて満たす端子を選んでください。

- パワーオンリセットで汎用入力機能となる端子
- パワーオンリセットでプルダウン機能がオフである端子
- パワーオンリセット時に、モード設定機能とならない端子

(2) SDBUP 端子制御のための初期設定

DDR3-SDRAMを使用する場合には、パワーオンリセット処理で実行する初期化シーケンスの中にSDBUP端子制御のための初期設定が必要です。「4.3.1 (2) DDR3-SDRAM」の7.の処理を以下の4ステップに置き換えて実行してください。ここでは、SDBUP 制御に使用する汎用入出力端子の具体例としてDACK0端子を選択した例で説明します。DACK0端子以外を選択の場合、「第36章 汎用 I/O ポート (GPIO)」および「第37章 ピンファンクションコントローラ (PFC)」を参照して選択した端子に該当する制御レジスタを使用してください。なお、DDR2-SDRAMを使用する場合には、以下の処理は不要です。

1. DACK0端子の出力を正論理とするために、POSNEG1[3]ビットを0に設定します。
2. DACK0端子機能を汎用入出力とするために、IOINTSEL1[3]ビットを0に設定します。
3. DACK0端子からハイレベルを出力するために、OUTDT1[3]ビットを1に設定します。
4. DACK0端子を汎用出力とするために、INOUTSEL1[3]ビットを1に設定します。

(3) DDR2-SDRAM

DDR2-SDRAMディープスタンバイモードへの遷移は、以下の手順に従ってください。

1. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
2. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
6. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_iobackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
8. ディープスタンバイモードに遷移してください。

DDR2-SDRAM ディープスタンバイモードからの復帰は、以下の手順に従ってください。

1. ディープスタンバイ復帰要因を発生させます。
2. 「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」の復帰処理を行います。このとき、DSFRレジスタがH'0000ならば、「4.3.1 初期化シーケンス」に記載された内容を実行してください。H'0000以外の場合、ディープスタンバイからの復帰なので、以下のディープスタンバイ復帰手順を実行してください。なお、DSFRレジスタのIOKEEPフラグ状態に関係なく、DDR2-SDRAMアクセスが可能です。
3. DSFRレジスタのIOKEEPフラグをクリアしてください。
4. DDR-PHY部制御レジスタ0, 1, 3 (DBPDCNT0, 1, 3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset, db_odt_tsel, db_odten_sel, db_odt_dis, db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0, db_ewc_strength0, db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start, db_ioenable1, db_ioenable2, db_dllreset_n, db_dllenable1, db_dllenable2, db_iobackup, db_comhizを0に設定し、db_ck_strength, db_dqs_strength, db_dqdm_strength, db_add_strength, db_stby_nを1に設定します。
5. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
6. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
7. 6.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。

8. 7.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
9. 8.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
10. 6.の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。
11. 10.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
12. 8.の設定後、10,000サイクル経過するまで待ちます。
13. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ① 手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
 - ② 再度、手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
14. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
15. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0~19 (DBTR0~DBTR19)、SDRAM動作設定レジスタ (DBBL)、ODT動作設定レジスタ (DBRNK0) の設定を行います。
16. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させます。レジスタに書き込む値は、opc = SREn、arg = 0とします。
17. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2)、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1)、パワーダウン設定レジスタ (DBPDNCF) の設定を行います。
18. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
19. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt、arg = 0とします。
20. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
21. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait、arg = 200とします。
22. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
23. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

(4) DDR3-SDRAM

DDR3-SDRAM ディープスタンバイモードへの遷移は、以下の手順に従ってください。なお、パワーオンリセットの初期化シーケンスは、「4.3.9 (2) SDBUP 端子制御のための初期設定」を加えた処理を行っておいてください。

1. SDRAMへのデータアクセスはすべて停止してください。割り込み処理によりCPUからSDRAMへのデータアクセスを発生させないようにするためCPUを割り込み禁止に設定してください。
2. SDRAM動作許可レジスタ (DBACEN) のACENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA、arg = 0とします。

4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entryコマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
6. 10サイクル以上経過後に、DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_iobackupを1に設定し、30クロック以上待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。
7. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_dllreset_n, db_dllenable1, db_dllenable2, db_stby_nを0に設定、db_comhizを1に設定します。
8. ディープスタンバイモードに遷移してください。

DDR3-SDRAM ディープスタンバイモードからの復帰は、以下の手順に従ってください。

1. ディープスタンバイ復帰要因を発生させます。
2. 「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」の復帰処理を行います。このとき、DSFRレジスタがH'0000ならば、「4.3.1 初期化シーケンス」に記載された内容を実行してください。H'0000以外の場合、ディープスタンバイからの復帰なので、以下のディープスタンバイ復帰手順を実行してください。ここでDSFRレジスタのIOKEEPフラグのクリアは、実行しないでください (DSFRレジスタのIOKEEPフラグ状態に関係なく、DDR3-SDRAM設定は可能です)。
3. DDR-PHY部制御レジスタ0, 1, 3 (DBPDCNT0, 1, 3) の初期化設定を行います。なお、以下の①～③の設定順序に規定はありません。
 - ① DDR-PHY部制御レジスタ0 (DBPDCNT0) のdb_offset, db_odt_tsel, db_odten_sel, db_odt_dis, db_odt_modeを設定します。
 - ② DDR-PHY部制御レジスタ1 (DBPDCNT1) のdb_ewc_open_offset0, db_ewc_strength0, db_ewc_close_offset0を設定します。
 - ③ DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_start, db_ioenable1, db_ioenable2, db_ck_strength, db_dqs_strength, db_dqdm_strength, db_add_strength, db_dllreset_n, db_dllenable1, db_dllenable2, db_iobackup, db_comhizを0に設定します。db_stby_nは1に設定します。
4. 安定したMCKクロックが出力されるまでの時間200 μ s以上を待ちます。経過待ち時間は、手動コマンド発行レジスタ (DBCMD) のWait操作コードと、操作完了待ちレジスタ (DBWAIT) での応答待ちで確保してください。以下で述べる経過待ちも同様です。
5. DDR-PHY部制御レジスタ3 (DBPDCNT3) のdb_calib_startを1に設定します。
6. 5.の設定から32サイクル以上経過後に、DBPDCNT3のdb_dllenable1を1に設定します。
7. 6.の設定から100 μ s以上経過後、DBPDCNT3のdb_dllenable2を1に設定します。
8. 「4.3.9 (2) SDBUP端子制御のための初期設定」の4ステップを実行します。
9. 7.の設定から16サイクル以上経過後に、DBPDCNT3のdb_dllreset_nを1に設定します。
10. 5.の設定から200 μ s以上経過後、DBPDCNT3のdb_ioenable1を1に設定します。

11. 10.の設定から1サイクル以上経過後、DBPDCNT3のdb_ioenable2を1に設定します。
12. 9.の設定後、10,000サイクル経過するまで待ちます。
13. 以下の①、②の手順により、リフレッシュコマンドを2回発行します。これはDDR-PHYのイニシャライズのために必ず必要です。
 - ①手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
 - ②再度、手動コマンド発行レジスタ (DBCMD) に、opc = Ref、arg = 0を書き込みます。
14. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
15. SDRAM構成設定レジスタ (DBCNF) 、SDRAMタイミングレジスタ0~19 (DBTR0~DBTR19) 、SDRAM動作設定レジスタ (DBBL) 、ODT動作設定レジスタ (DBRNK0) の設定を行います。
16. 手動コマンド発行レジスタ (DBCMD) を利用して、DBSC3にセルフリフレッシュ中であることを認識させると同時にセルフリフレッシュ解除までの待ち時間を挿入します。レジスタに書き込む値は、opc = SREn、arg = tCKSRX (通常、max{5サイクル, 10ns相当のサイクル数}) とします。
17. 必要に応じて、DBSC3動作調整レジスタ0~2 (DBADJ0~DBADJ2) 、バス制御部0設定レジスタ0~1 (DBBS0CNT0~DBBS0CNT1) 、パワーダウン設定レジスタ (DBPDNCNF) の設定を行います。
18. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
19. DDR3-SDRAMキャリブレーション設定レジスタ (DBCALCNF) の設定を行います。
20. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exitコマンドを発行します。レジスタに書き込む値は、opc = SRXt、arg = 0とします。
21. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
22. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait、arg = tXSDLL (通常、512サイクル) とします。
23. SDRAMアクセス許可レジスタ (DBACEN) のACENビットを1 (アクセス許可) に設定します。
24. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
25. DSFRレジスタのIOKEEPフラグをクリアしてください。

4.3.10 MZQ 端子の Open/Short テスト

MZQ 端子は、120Ω (精度 1%以内) の抵抗にて GND に接続する必要があります。この接続状況は、以下の手順でレジスタ設定することで、テストすることが可能です。

1. DDR-PHY部およびコントローラを初期化し、DDRメモリをアクセス可能に設定 (「4.3.1 初期化シーケンス」参照)
2. DDR-PHY部ロックレジスタ (DBPDLCK : H'FE800280) にH'0000A55Aをライト (PLOCK=H'A55A)
3. DDR-PHY部レジスタアドレスレジスタ (DBPDRGA : H'FE800290) にH'00000000をライト (PRA=H'00)
4. DDR-PHY部レジスタアクセスレジスタ (DBPDRGD : H'FE8002A0) にH'A5000000をライト (PRD=H'A5000000)
5. DDR-PHY部レジスタアドレスレジスタ (DBPDRGA : H'FE800290) にH'00000014をライト (PRA=H'14)
6. DDR-PHY部レジスタアクセスレジスタ (DBPDRGD : H'FE8002A0) を読み出し、PRD[21:16]、PRD[5:0]から接続状況を判定

- DDR2設定時

PRD[21:16]、PRD[5:0] (読み出し値)	MZQ端子状態
PRD[21:16]<H'0CまたはPRD[5:0]<H'0E	Open (抵抗値大) または電源とShort
PRD[21:16]>H'2EまたはPRD[5:0]>H'2E	GNDとShort (抵抗値小)
H'0C≤PRD[21:16]≤H'2Eかつ H'0E≤PRD[5:0]≤H'2E	正常

- DDR3設定時

PRD[21:16]、PRD[5:0] (読み出し値)	MZQ端子状態
PRD[21:16]<H'09またはPRD[5:0]<H'0C	Open (抵抗値大) または電源とShort
PRD[21:16]>H'34またはPRD[5:0]>H'34	GNDとShort (抵抗値小)
H'09≤PRD[21:16]≤H'34かつ H'0C≤PRD[5:0]≤H'34	正常

7. DDR-PHY部レジスタアドレスレジスタ (DBPDRGA : H'FE800290) にH'00000000をライト (PRA=H'00)
8. DDR-PHY部レジスタアクセスレジスタ (DBPDRGD : H'FE8002A0) にH'00000000をライト (PRD=H'00000000)
9. DDR-PHY部ロックレジスタ (DBPDLCK : H'FE800280) にH'00000000をライト (PLOCK=H'0000)
10. MZQ端子テスト終了 (通常アクセス可能)

4.4 SDRAM 構成設定レジスタの設定方法

SDRAM 構成設定レジスタ (DBCONF) の設定値を以下に示します。

4.4.1 DDR2-SDRAM (外部バス 16bit)

表 4.5 SDRAM 構成設定レジスタ (DDR2-SDRAM)

メモリ構成	バンク [個]	ロウ [bit]	カラム [bit]	DBCONF の設定値				
				AWRK0	AWBK0	AWRW0	AWCL0	DW0
16M×16bit、256Mbit (1 個)	4	13	9	0	10	01101	1001	01
32M×8bit、256Mbit (2 個)	4	13	10	0	10	01101	1010	01
32M×16bit、512Mbit (1 個)	4	13	10	0	10	01101	1010	01
64M×8bit、512Mbit (2 個)	4	14	10	0	10	01110	1010	01
64M×16bit、1Gbit (1 個)	8	13	10	0	11	01101	1010	01
128M×8bit、1Gbit (2 個)	8	14	10	0	11	01110	1010	01
128M×16bit、2Gbit (1 個)	8	14	10	0	11	01110	1010	01

4.4.2 DDR3-SDRAM (外部バス 16bit)

表 4.6 SDRAM 構成設定レジスタ (DDR3-SDRAM)

メモリ構成	バンク [個]	ロウ [bit]	カラム [bit]	DBCONF の設定値				
				AWRK0	AWBK0	AWRW0	AWCL0	DW0
32M×16bit、512Mbit (1 個)	8	12	10	0	11	01100	1010	01
64M×8bit、512Mbit (2 個)	8	13	10	0	11	01101	1010	01
64M×16bit、1Gbit (1 個)	8	13	10	0	11	01101	1010	01
128M×8bit、1Gbit (2 個)	8	14	10	0	11	01110	1010	01
128M×16bit、2Gbit (1 個)	8	14	10	0	11	01110	1010	01

4.5 SDRAM の外部ピンと論理アドレスの関係

SDRAM の外部ピンと、SHwy トランザクション上の論理アドレスの関係を示します。

4.5.1 DDR2-SDRAM

表 4.7 外部バス幅 16bit 時の SDRAM のアドレス端子と論理アドレスの関係

(16bit 幅 SDRAM 1 個、8bit 幅 SDRAM 2 個接続時)

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M× 16b	ROW	—	A11	A10	—	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	—	A11	A10	—	—	—	AP	—	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M× 8b	ROW	—	A12	A11	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	—	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M× 16b	ROW	—	A12	A11	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	—	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M× 8b	ROW	—	A12	A11	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	—	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M× 16b	ROW	A13	A12	A11	—	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M× 8b	ROW	A13	A12	A11	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M× 16b	ROW	A13	A12	A11	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

- 【注】
1. A31-A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側です。
 2. AP はオートプリチャージオプションを示します。
 3. 64M×16b、128M×8b、128M×16b は 8 バンク品を示します。

4.5.2 DDR3-SDRAM

表 4.8 外部バス幅 16bit 時の SDRAM のアドレス端子と論理アドレスの関係

(16bit 幅 SDRAM 1 個、8bit 幅 SDRAM2 個接続時)

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
32M× 16b	ROW	A13	A12	A11	—	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	BC#	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M× 8b	ROW	A13	A12	A11	—	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	BC#	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M× 16b	ROW	A13	A12	A11	—	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	BC#	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M× 8b	ROW	A13	A12	A11	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	BC#	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M× 16b	ROW	A13	A12	A11	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	—	BC#	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

- 【注】
1. A31-A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側です。
 2. AP はオートプリチャージオプションを示します。
 3. BC# はバーストチョップを示します。

4.6 バンクアドレスのアドレス位置指定

バンクアドレスのアドレス位置の指定に関して説明します。SDRAM 構成に依存せずに、バンクアドレスのアドレス位置を指定する事ができます。バンクアドレスを連続アドレスとして使用する指定と非連続アドレスとして使用する指定が可能です。

4.6.1 バンクアドレス設定組合せ

バス制御部 0 設定レジスタ 1 (DBBS0CNT1) に設定可能な値の一覧を以下に示します。

表 4.9 DBBS0CNT1 設定値一覧

BKADM	BKADP	BKADB
00	000000	000000
00	001010	000000
00	001011	000000
00	001100	000000
01	000000	001101
01	000000	001110
01	000000	001111
01	000000	010000
01	001010	001101
01	001010	001110
01	001010	001111
01	001010	010000
01	001011	001101
01	001011	001110
01	001011	001111
01	001011	010000
01	001100	001101
01	001100	001110
01	001100	001111
01	001100	010000

4.6.2 バンクアドレスを連続アドレスとして使用する場合

連続アドレスとして使用する場合には、BKADMに“00”を設定します。この場合のバンクアドレスの位置はBKADPにて指定します。バンクアドレスの位置は、カラムアドレスの上位に設定する場合とアドレス位置を指定する場合が設定できます。アドレス位置を指定する場合は、バンクアドレスの下位ビット (BA0) の位置を指定します。

以下では、32M×16bitのDDR2-SDRAM1個をつないだ例で説明します。

表 4.10 BKADM=“00”、BKADP=“000000”の場合

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
32M× 16b	ROW	—	A12	A11	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	—	A12	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 4.11 BKADM=“00”、BKADP=“001010”の場合

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
32M× 16b	ROW	—	A11	A10	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	—	A11	A10	—	—	—	AP	A12	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 4.12 BKADM=“00”、BKADP=“001100”の場合

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
32M× 16b	ROW	—	A13	A12	—	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A11
	COL	—	A13	A12	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

4.6.3 バンクアドレスを非連続アドレスとして使用する場合

非連続アドレスとして使用する場合には、BKADMに“01”を設定します。この場合の下位のバンクアドレスの位置はBKADPにて、上位のバンクアドレスの位置はBKADBにて指定します。下位のバンクアドレスの位置は、コラムアドレスの上位に設定する場合とアドレス位置を指定する場合が設定できます。アドレス位置を指定する場合は、バンクアドレスの下位ビット (BA0) の位置を指定します。上位のバンクアドレスの位置はアドレス位置を設定できます。アドレス位置を指定する場合は、バンクアドレスの上位ビット (BA1) の位置を指定します。8バンク品の場合、BA2はBA1の上位に位置します。

以下では、64M×16bitのDDR2-SDRAM1個をつないだ例で説明します。

表 4.13 BKADM=“01”、BKADP=“000000”、BKADB=“001101”の場合

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
64M× 16b	ROW	A14	A13	A11	—	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A12
	COL	A14	A13	A11	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 4.14 BKADM=“01”、BKADP=“001100”、BKADB=“010000”の場合

種類		MBA2	MBA1	MBA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
64M× 16b	ROW	A17	A16	A12	—	A26	A25	A24	A23	A22	A21	A20	A19	A18	A15	A14	A13	A11
	COL	A17	A16	A12	—	—	—	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

5. ダイレクトメモリアクセスコントローラ (SHwy-DMAC)

5.1 概要

SHwyバスに接続されるダイレクトメモリアクセスコントローラ(SHwy-DMAC)は、外部メモリ(DDR-SDRAM)、内蔵メモリのデータ転送を、CPUに代わって高速に行うことができます。

5.1.1 特長

- チャンネル数：2チャンネル
- アドレス空間：32bit物理アドレス空間に対応する。
- 転送データ量：
4バイト(H'0000_0004)～536,870,912バイト(H'2000_0000)までを4バイト単位で設定可能。
- 転送データサイズ：
4バイト、8バイト、16バイト、32バイト転送から転送アドレスと残りの転送データサイズにより自動選択します。
- アドレスモード：デュアルアドレスモード
- 優先順位：チャンネル優先順位固定
- 割り込み要求：DMA転送終了割り込み(DMATEn)、転送元転送エラー割り込み(DMASEn)、転送先転送エラー割り込み(DMADEn)を各チャンネルごとに発生可能(n=0、1、各チャンネルに対応します)
- データ転送：
SHwy上のリソース間において、連続領域の転送、ストライド転送およびgather/scatter転送可能
- コマンドチェーン：
指定したアドレスに設定されたデータ転送指示に従い、複数のデータ転送を連続実行可能
- 発行可能なSHwyトランザクション
LOAD(4/8/16/32バイト転送)、STORE(4/8/16/32バイト転送)

5.1.2 ブロック図

DMAC のブロック図を図 5.1 に示します。

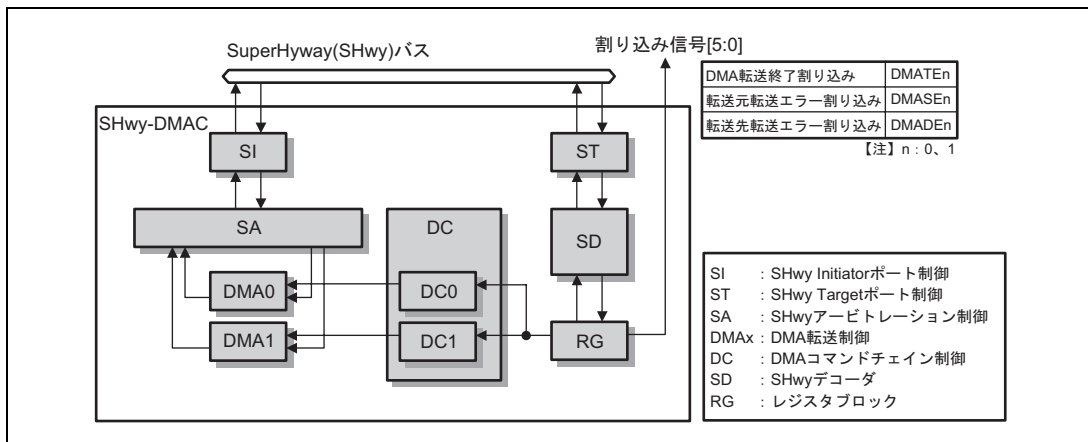


図 5.1 DMAC ブロック図

5.1.3 外部端子

本 DMAC 関係の外部端子はありません。

5.2 レジスタの説明

表 5.1 にレジスタ構成を示します。各チャンネルのレジスタについて、ch0 の DMASAR は DMASAR0 のように表記しています。表中に示したアクセスサイズ以外でレジスタアクセスを実行しないでください。

表中のアドレス以外への書き込みを行わないでください。書き込みを行った場合、動作は保証されません。

表 5.1 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ
DMA オペレーションレジスタ	DMAOR	R/W	H'FE00_0010	H'1E00_0010	32
DMA ソースアドレスレジスタ 0、1	DMASAR0、1	R/W	ch0 : H'FE00_0020 ch1 : H'FE00_0120	ch0 : H'1E00_0020 ch1 : H'1E00_0120	32
DMA デスティネーション アドレスレジスタ 0、1	DMADAR0、1	R/W	ch0 : H'FE00_0028 ch1 : H'FE00_0128	ch0 : H'1E00_0028 ch1 : H'1E00_0128	32
DMA バイトカウントレジスタ 0、1	DMABCNTR0、1	R/W	ch0 : H'FE00_0030 ch1 : H'FE00_0130	ch0 : H'1E00_0030 ch1 : H'1E00_0130	32
DMA ストライドカウン トレジスタ 0、1	DMASBCNTR0、1	R/W	ch0 : H'FE00_0034 ch1 : H'FE00_0134	ch0 : H'1E00_0034 ch1 : H'1E00_0134	32
DMA ストライドレジスタ 0、1	DMASRR0、1	R/W	ch0 : H'FE00_0038 ch1 : H'FE00_0138	ch0 : H'1E00_0038 ch1 : H'1E00_0138	32
DMA コマンドチェイン アドレスレジスタ 0、1	DMACCAR0、1	R/W	ch0 : H'FE00_0040 ch1 : H'FE00_0140	ch0 : H'1E00_0040 ch1 : H'1E00_0140	32
DMA チャンネルコントロール レジスタ 0、1	DMACHCR0、1	R/W	ch0 : H'FE00_0048 ch1 : H'FE00_0148	ch0 : H'1E00_0048 ch1 : H'1E00_0148	32
DMA チャンネルステータス レジスタ 0、1	DMACHSR0、1	R/(W)*	ch0 : H'FE00_004C ch1 : H'FE00_014C	ch0 : H'1E00_004C ch1 : H'1E00_014C	32

【注】 * SE、DE、TE ビットをクリアするために、1 のみ書き込むことができます。

表 5.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
DMAOR	H'00000000	H'00000000	保持	保持	保持	初期化
DMASAR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMADAR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMABCNTR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMASBCNTR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMASTRR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMACCAR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMACHCR0、1	H'00000000	H'00000000	保持	保持	保持	初期化
DMACHSR0、1	H'00000000	H'00000000	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

5.2.1 DMA オペレーションレジスタ (DMAOR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DM AE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DMAE	0	R/W	<p>DMA マスタイネーブルビット</p> <p>全チャンネルの DMA 転送イネーブルを指定します。DMA 転送機能を使用する場合には、1 をセットしてください。</p> <p>本ビットを 0 にクリアすると、すべてのチャンネルの転送を中止します。中止した場合、再度本ビットを 1 にセットしても、中止した DMA 転送を再開することはできません。</p> <p>転送を中止した場合、DMADAR0、1 の示す値の 2 つ前の転送までは完了していますが、1 つ前と現在のアドレスのデータ値は保証できません。</p>
30~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

5.2.2 DMA ソースアドレスレジスタ 0、1 (DMASAR0、DMASAR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DMASAR																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DMASAR															—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~2	DMASAR	すべて 0	R/W	DMA 転送時の転送元アドレスを指定します。 DMA 転送中は、現在 SHwy バスに発行している転送元アドレスを示しています。 32bit 物理アドレス空間に対応しています。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.2.3 DMA デスティネーションアドレスレジスタ 0、1 (DMADAR0、DMADAR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DMADAR																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DMADAR															—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~2	DMADAR	すべて 0	R/W	DMA 転送時の転送先アドレスを指定します。 DMA 転送中は、現在 SHwy バスに発行している転送先アドレスを示しています。 32bit 物理アドレス空間に対応しています。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.2.4 DMA バイトカウントレジスタ 0、1 (DMABCNTR0、DMABCNTR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	BCNT												
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCNT														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~2	BCNT	すべて 0	R/W	転送バイトカウントを指定します。 0 を指定した場合は、 2^{29} (=536,870,912) バイトを転送します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。 転送元から転送されたバイト数をカウントします。
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.2.5 DMA ストライドカウントレジスタ 0、1 (DMASBCNTR0、DMASBCNTR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SBCINI														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SBCNT														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~18	SBCINI	すべて0	R/W	初期ストライドカウンタ ストライドカウンタの初期値を指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数の初期値を設定します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
17、16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~2	SBCNT	すべて0	R/W	ストライドカウンタ ストライドカウンタを指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数のカウンタとなります。データ転送中は、残りの転送バイト数を示しています。 BCNT≠0かつSBCNT=0となったときは、SBCINIの値をロードしてデータ転送を継続します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
1、0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

5.2.6 DMA ストライドレジスタ 0、1 (DMASTRR0、DMASTRR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SS														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DS														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~18	SS	すべて0	R/W	転送元アドレスストライド幅 転送元アドレスのストライド幅を指定します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
17、16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~2	DS	すべて0	R/W	転送先アドレスストライド幅 転送先アドレスのストライド幅を指定します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
1、0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

5.2.7 DMA コマンドチェーンアドレスレジスタ 0、1 (DMACCAR0、DMACCAR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	CCA																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CCA												—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~5	CCA	すべて0	R/W	コマンドチェインアドレス コマンドチェインを実行する場合、最初のコマンドチェインのコマンド列のアドレスを指定してください。 コマンドチェイン実行中は次に実行するコマンドチェインのアドレスが設定されます。 32バイト境界のみが指定可能であり、本フィールドには下位5ビットを除いた部分を指定します。
4~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

5.2.8 DMA チャンネルコントロールレジスタ 0、1 (DMACHCR0、DMACHCR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHE	—	CCRE	—	—	—	SA SRE	DA SRE	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CHE	0	R/W	DMA チャンネルイネーブル チャンネルイネーブルを指定します。 本ビットを1にセットすると該当するチャンネルでのデータ転送を開始します。ただし、転送終了 (TE) や転送エラー (DE/SE) を示すビットが1となっている間は転送を行いません。 本ビットを0にクリアすると、転送を中止します。中止した場合、再度本ビットを1にセットしても、中止したDMA転送を再開することはできません。 転送を中止した場合、DMADAR0、1の示す値の2つ前の転送までは完了していますが、1つ前と現在のアドレスのデータ値は保証できません。 本ビットは、コマンドチェイン実行時のコマンド取得のためのLOAD転送に対するエラーレスポンスが発生した場合を除き、転送終了や中止によって、0クリアされることはありません。 0: データ転送を禁止 1: データ転送を許可
30	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
29	CCRE	0	R/W	<p>コマンドチェーンイネーブル コマンドチェーンイネーブルを指定します。</p> <p>本ビットがセットされた状態でデータ転送要求が発生したとき、DMACCARに設定されたアドレスからコマンドを読み込んでデータ転送を実施します。</p> <p>0 : コマンドチェーン無効 1 : コマンドチェーン有効</p>
28~26	—	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
25	SASRE	0	R/W	<p>転送元アドレスストライドイネーブル 転送元アドレスストライドレジスタイネーブルを指定します。</p> <p>0 : DMASTRR0、1.SS ビットは無効 1 : DMASTRR0、1.SS ビットは有効</p>
24	DASRE	0	R/W	<p>転送先アドレスストライドイネーブル 転送先アドレスストライドレジスタイネーブルを指定します。</p> <p>0 : DMASTRR0、1.DS ビットは無効 1 : DMASTRR0、1.DS ビットは有効</p>
23~0	—	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

5.2.9 DMA チャネルステータスレジスタ 0、1 (DMACHSR0、DMACHSR1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SEE	—	DEE	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SE	—	DE	—	—	—	—	—	IE	—	—	TE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/WC1	R	R/WC1	R	R	R	R	R	R/W	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	SEE	0	R/W	転送元転送エラー割り込みイネーブル 転送元からの転送での転送エラーによる割り込みイネーブルを指定します。 本ビットを 1 にセットした場合、SE ビットがセットされると、割り込みを要求します。 0: 割り込み発生を禁止します。 1: 割り込み発生を許可します。
26	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	DEE	0	R/W	転送先転送エラー割り込みイネーブル 転送先への転送での転送エラーによる割り込みイネーブルを指定します。 本ビットを 1 にセットした場合、DE ビットがセットされると、割り込みを要求します。 0: 割り込み発生を禁止します。 1: 割り込み発生を許可します。
24~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	SE	0	R/WC1*	転送元転送エラーフラグ 転送元からの転送で転送エラーが発生したことを示します。 エラーが発生した場合、実行中の DMA 転送は中止します。 本ビットが 1 にセットされていると、DMACHCR0、1.CHE ビットを 1 にしても転送は行われません。 【クリア方法】本ビットへの 1 書き込みでフラグはクリアされます。0 書き込みは無視されます。本ビットをクリアする場合を除いて 0 を書き込むようにしてください。
10	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	DE	0	R/WC1*	<p>転送先転送エラーフラグ</p> <p>転送先への転送で転送エラーが発生したことを示します。</p> <p>エラーが発生した場合、実行中の DMA 転送は中止します。</p> <p>本ビットがセットされていると、DMACHCR0、1.CHE ビットを 1 にしても転送は行われません。</p> <p>【クリア方法】本ビットへの 1 書き込みでフラグはクリアされます。0 書き込みは無視されます。本ビットをクリアする場合を除いて 0 を書き込むようにしてください。</p>
8~4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	IE	0	R/W	<p>DAM 転送終了割り込みイネーブル</p> <p>DMA 転送終了による割り込みイネーブルを指定します。</p> <p>本ビットを 1 にセットした場合、TE ビットがセットされると、割り込みを要求します。</p> <p>0: 割り込み要求を禁止 1: 割り込み要求を許可</p>
2、1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	TE	0	R/WC1*	<p>DMA 転送終了フラグ</p> <p>転送終了フラグを示します。</p> <p>DMABCNTR0、1 の値が 0 になり、データ転送が終了すると、本ビットは 1 にセットされます。転送エラーによって転送が終了した場合、あるいは DMACHCR0、1.CHE ビットをクリアして転送を強制終了させた場合には、本ビットは 1 にセットされません。</p> <p>また、転送が正常に終了した場合でも、コマンドチェーンを使用して (CCRE=1)、次の転送が指定されている場合は、本ビットは 1 にセットされません。</p> <p>本ビットがセットされていると、DMACHCR0、1.CHE ビットを 1 にしても転送は行われません。</p> <p>0: データ転送中またはデータ転送の転送中断 1: (DMABCNTR0、1=0 により) データ転送終了</p> <p>【クリア方法】本ビットへの 1 書き込みでフラグはクリアされます。0 書き込みは無視されます。本ビットをクリアする場合を除いて 0 を書き込むようにしてください。</p>

【注】 * R/WC1: リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

5.3 動作説明

動作内容とチャンネルコントロールレジスタ設定の関係を表 5.3 に示します。

チャンネルコントロールレジスタ 0、1 (DMACHCR0、DMACHCR1) のビット 31、29、25、24 の 4 ビットで動作内容を制御します。

表 5.3 動作内容とチャンネルコントロールレジスタ設定の関係

	ビット	31	29	25	24
	ビット名	CHE	CCRE	SASRE	DASRE
		DMA チャンネル イネーブル	コマンドチェイン イネーブル	転送元アドレス ストライドイネーブル	転送先アドレス ストライドイネーブル
動作内容	動作なし	0	—	—	—
	連続領域転送	1	0	0	0
	ストライド転送	1	0	1	1
	gather 転送	1	0	1	0/1
	scatter 転送	1	0	0/1	1
	コマンドチェイン	1	1	—	—
	設定禁止	その他組み合わせ			

【注】 — : don't care

gather 転送で DMACHCR.DASRE=0 の場合と、DMACHCR.DASRE=1 かつ DMASTRR.DS=0 である場合、転送先の開始アドレスはいずれのブロックでも同じになります。

同様に scatter 転送で DMACHCR.SASRE=0 の場合と、DMACHCR.SASRE=1 かつ DMASTRR.SS=0 である場合、転送元の開始アドレスはいずれのブロックでも同じになります。

5.3.1 チャンネルの優先順

本 DMAC は、複数のチャンネルに対して転送要求があった場合には、一回の転送単位 (4 バイト、8 バイト、16 バイトまたは 32 バイト単位) の読み出しサイクル、または書き込みサイクルの転送が終了するたびに、転送可能なチャンネルのうちで最も優先度の高いチャンネルの転送が開始されます。

同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を開始します。

同時転送要求時 : CH1 > CH0

5.3.2 連続領域転送

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタに連続領域転送の指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMAOR.DMAE=1、DMACHCR0.CHE=1、DMACHSR0.SE=0、DMACHSR0.DE=0、DMACHSR0.TE=0であれば転送許可状態です。

また、表5.3に従って、連続領域転送の設定をしてください。

2. 転送許可状態ならばデータ転送を開始します。1回の転送を行うごとに DMABCNTR0 の値をデクリメントします。
3. 指定されたバイト数の転送を終える (DMABCNTR0=0) と転送を正常終了し、DMACHCR0.TE を 1 にセットします。

DMACHSR0.IE=1のとき、CPUに対してDMA転送終了割り込みを発生します。

転送先転送エラー、転送元転送エラーが発生した場合には、データ転送は中断されます。このとき、

DMACHSR0.SEもしくはDMACHSR0.DEが1にセットされます。

また、DMACHCR0.CHEを0にクリアしてもデータ転送は中止されます。

DMASAR0、1 および DMADAR0、1 で設定したアドレスと、転送中の残りのデータサイズによって転送サイズを自動で決定します。

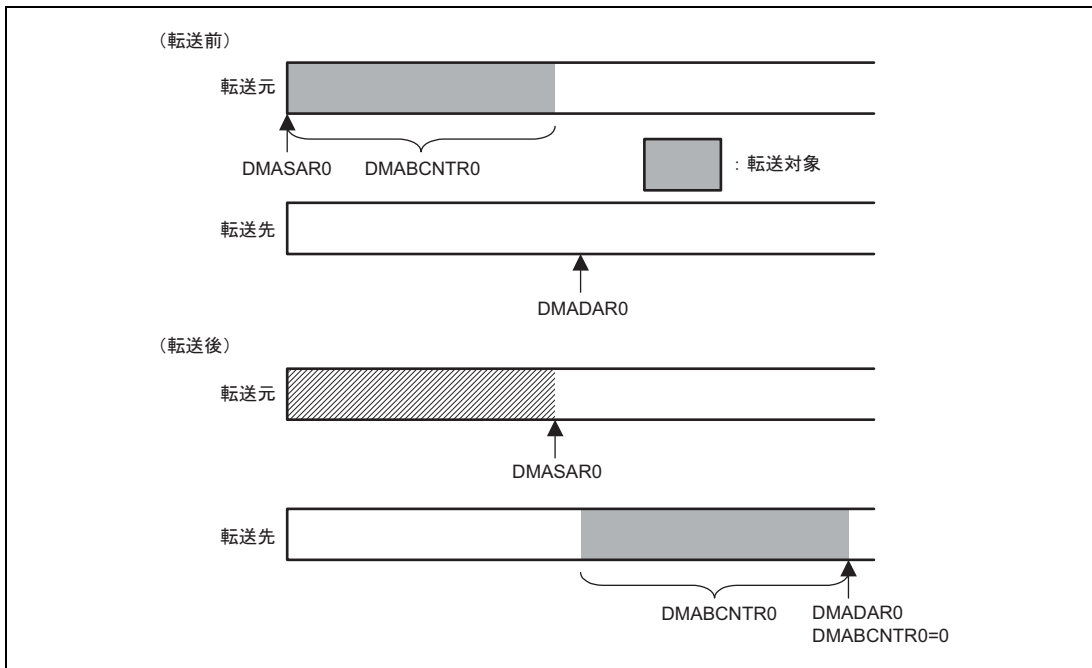


図 5.2 連続領域転送

5.3.3 ストライド/gather/scatter 転送

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタにストライド/gather/scatter 転送の指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMAOR.DMAE=1、DMACHCR0.CHE=1、DMACHSR0.SE=0、DMACHSR0.DE=0、DMACHSR0.TE=0であれば転送許可状態です。

また、表5.3に従って、ストライド/gather/scatter転送の設定をしてください。

2. 転送許可状態ならばデータ転送を開始します。1回の転送を行うごとにDMABCNTR0とDMASBCNTR0.SBCNTの値をデクリメントします。
3. DMABCNTR0≠0かつDMASBCNTR0.SBCNT=0となると、DMASAR0にDMASTRR.SS、DMADAR0にDMASTRR.DSを加算し、次の転送元、転送先アドレスを求めます。
そして、DMASBCNTR0.SBCINIに設定された値をDMASBCNTR0.SBCNTに設定し、項番2へ戻ります。
4. 指定されたバイト数の転送を終える (DMABCNTR0=0) と転送を正常終了し、DMACHSR0.TEを1にセットします。

DMACHSR0.IE=1のとき、CPUに対して転送終了割り込みを発生します。

転送元転送エラー、転送先転送エラーが発生した場合には、データ転送は中止されます。このとき、DMACHSR0.SEもしくはDMACHSR0.DEがセットされます。

また、DMACHCR0.CHEを0にクリアしてもデータ転送は中止されます。

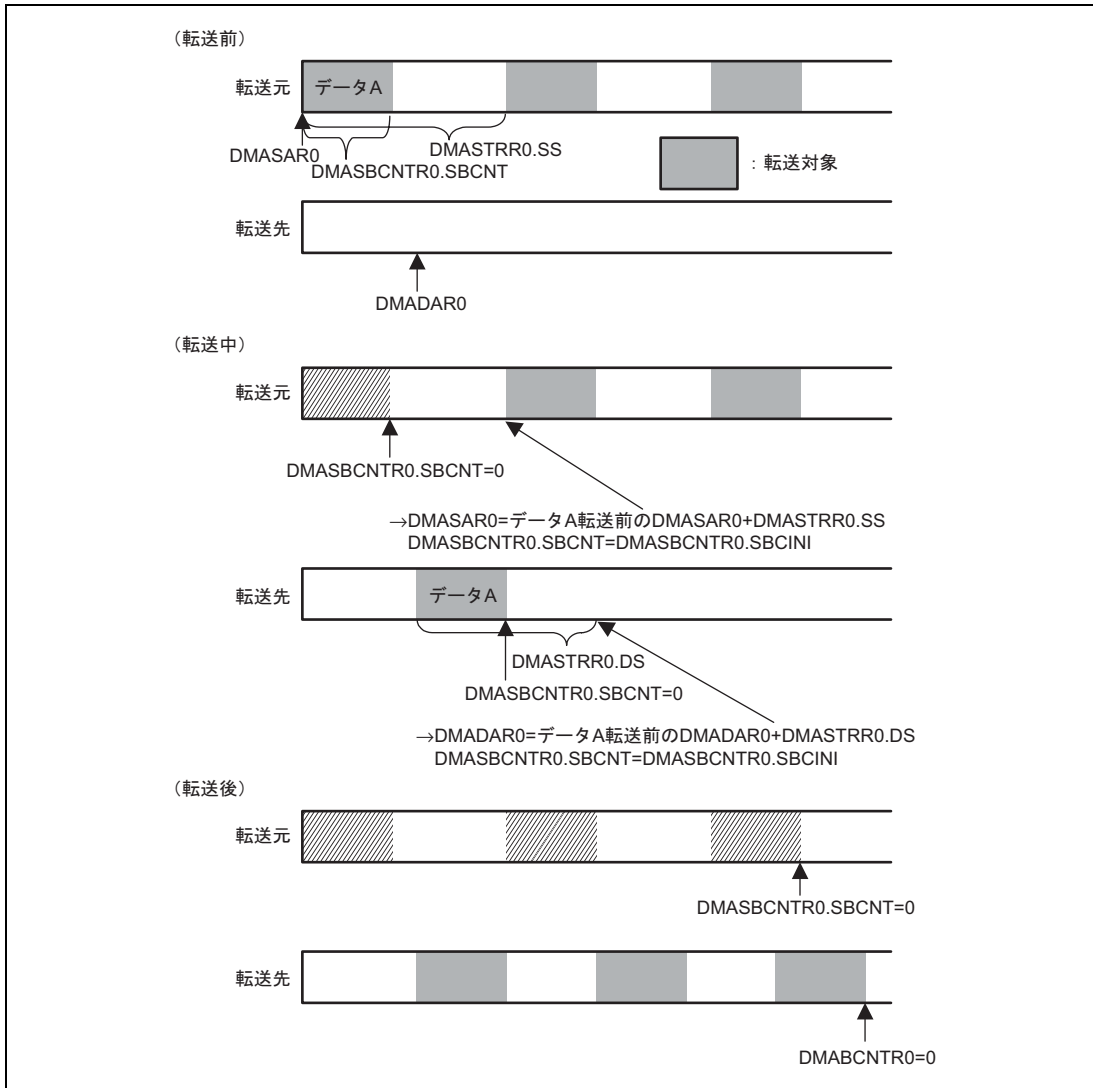


図 5.3 ストライド転送

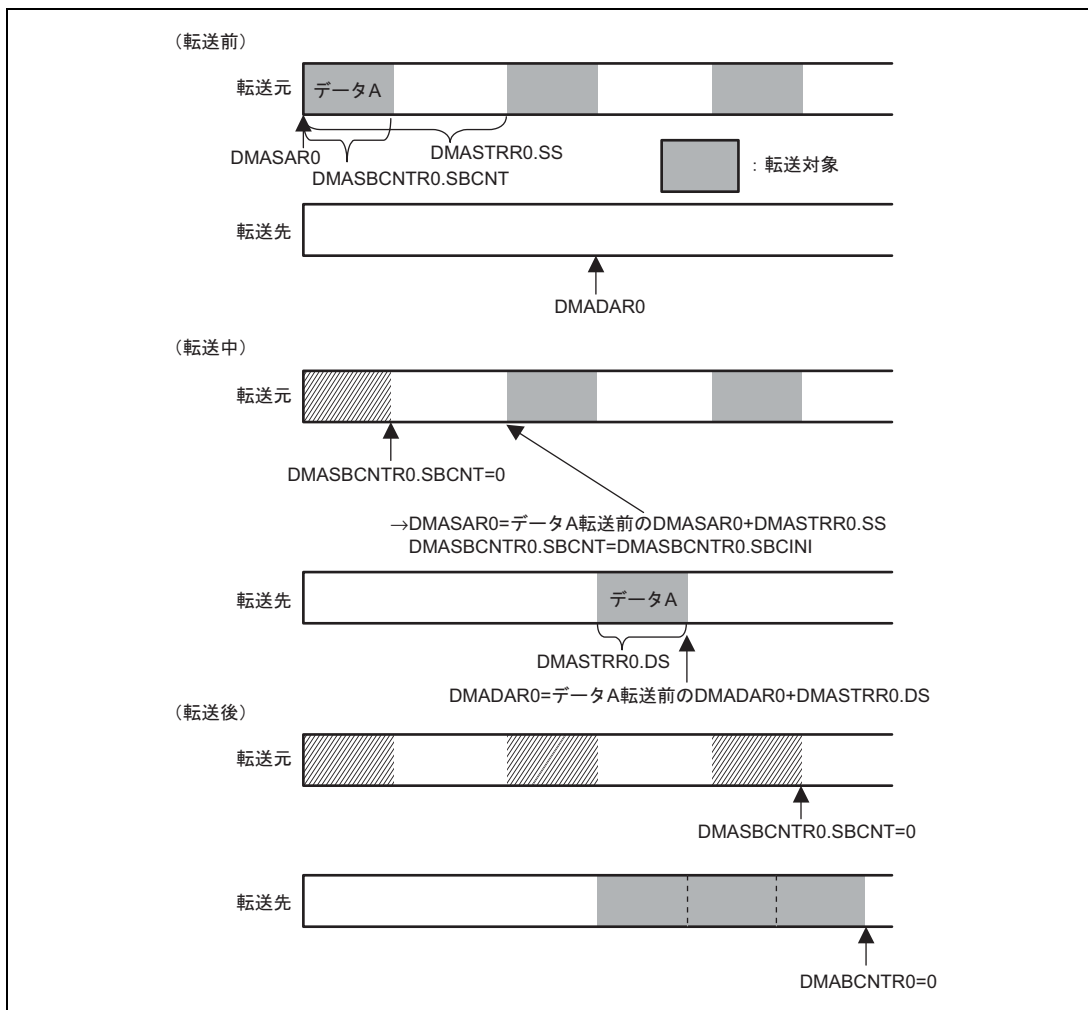


図 5.4 gather 転送

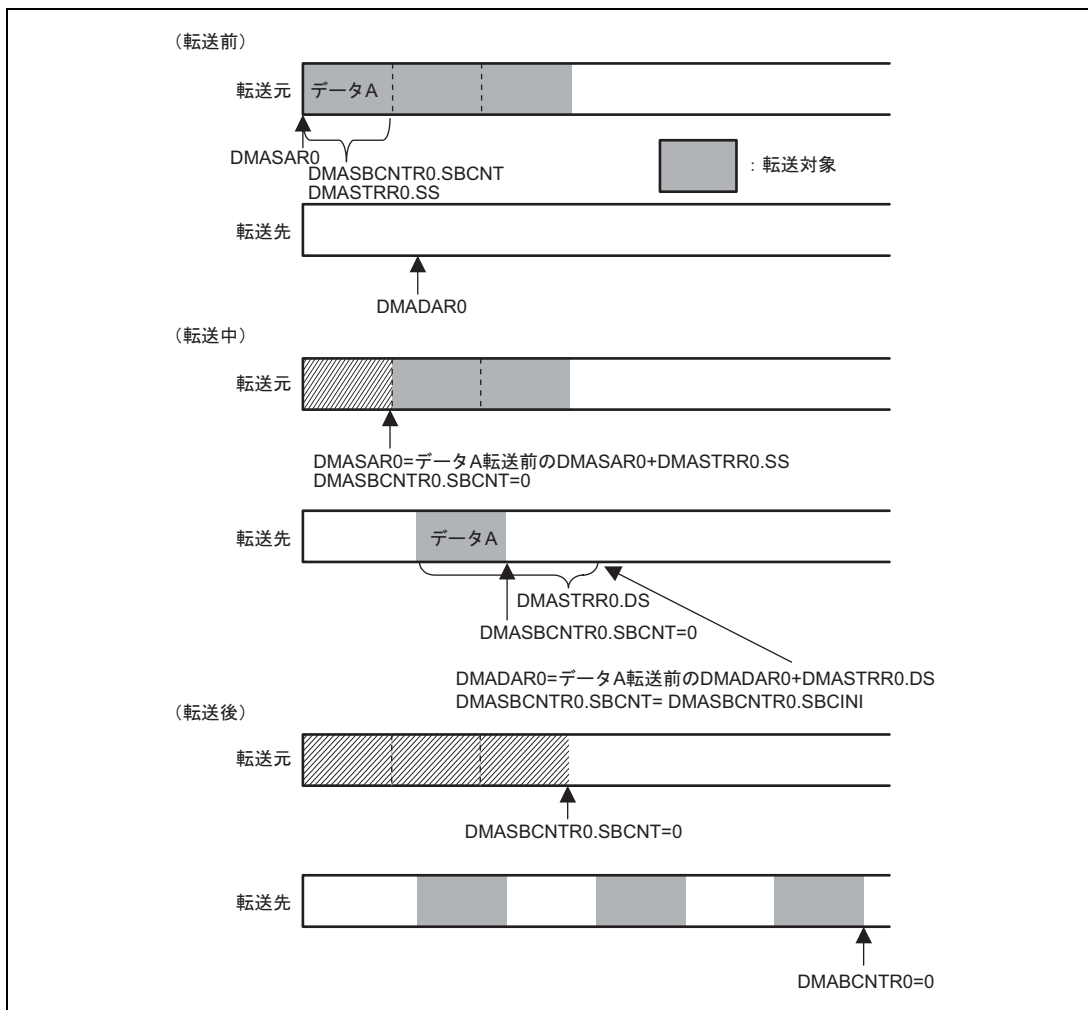


図 5.5 scatter 転送

5.3.4 コマンドチェイン

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタにコマンドチェインの指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMAOR.DMAE=1、DMACHCR0.CHE=1、DMACHSR0.SE=0、DMACHSR0.DE=0、DMACHSR0.TE=0であれば転送許可状態です。

また、表5.3に従って、コマンドチェインの設定をしてください。

2. 転送許可状態ならば、DMACCARに設定されたアドレスから、データ転送コマンドを読み出し、各種レジスタに設定します。
3. 指定されたデータ転送コマンドを開始します。
4. 指定されたデータ転送コマンドが正常終了しても、DMACHCR0.CCRE=1のときは次に実行すべきコマンドが用意されているため、DMACHSR0.TEはセットされませんし、DMACHSR0.IE=1であっても割り込みは発生しません。
5. DMACHCR0.CHE=1、DMACHSR0.DE=0、DMACHSR0.SE=0、DMACHSR0.TE=0、DMACHCR0.CCRE=1ならば、項番2へ戻ります。
6. データ転送コマンド終了時、DMACHCR0.CCRE=0となっているとコマンドチェインによる転送を終了します。このとき、DMACHSR0.TEが1にセットされ、DMACHSR0.IE=1の場合、転送終了割り込みが発生します。

転送元転送エラー、転送先転送エラーが発生した場合には、データ転送は中止されます。このとき、

DMACHSR0.SE もしくは DMACHSR0.DE が 1 にセットされます。

また、DMACHCR0.CHE を 0 にされてもデータ転送は中止されます。

項番 2 のデータ転送コマンドの読み出し時にエラーが発生した場合、DMACHSR0.SE が 1 にセットされ、DMACHCR0.CHE が 0 にクリアされます。

コマンド列のフォーマットを図 5.6 に示します。

H'00 に設定する CHE は必ず 1 をセットしてください。H'04 はリザーブビットです。H'04 へは H'0000_0008 をセットしてください。また、コマンドチェインの最後のコマンド列では、H'10 の CCA は必ず 27H0 をセットしてください。

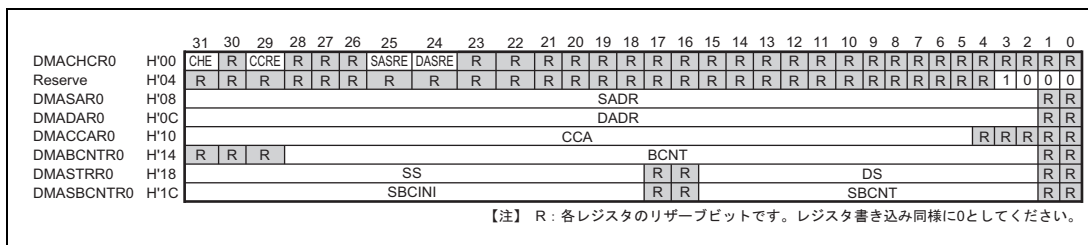


図 5.6 コマンドチェイン コマンド列フォーマット

コマンドチェインでは、次のコマンドの先頭アドレスを CCA で指し示すことで、図 5.7 のように連続して DMA 転送を実行することができます。

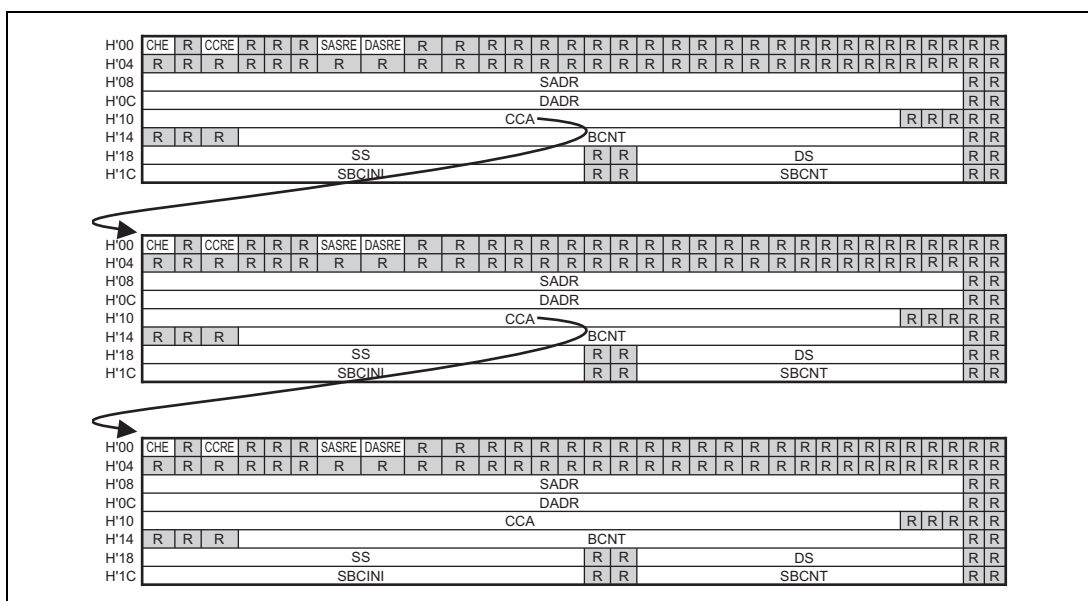


図 5.7 コマンドチェイン

5.4 使用上の注意事項

本 DMAC を使用する際は、以下のことに注意してください。

5.4.1 DMA 転送の途中終了について

以下の場合に DMA 転送を途中終了した場合、後続の転送の再開はできません。

- DMAOR.DMAEを0にクリアした場合
- DMACHCRn.CHE (n : 0, 1) を0にクリアした場合
- 転送元転送エラー、転送先転送エラー発生した場合

再度 DMA 転送を実行する場合、DMA 転送開始の設定を再度行ってください。

再設定する場合の手順を示します。転送中止時の DMADAR0、1 の値から、再設定値を決めます。

①DMADAR0、1の値を確認し、DMASAR0、1、DMADAR0、1に再設定する値を求めて、設定してください。

DMADAR0、1の値から7h20 (転送データ32バイトに対応) を引いた値を、DMADAR0、1に設定してください。

DMASAR0、1をDMADAR0、1に対応したアドレスに設定してください。

②DMABCNTR0、1に値を設定してください。

③転送許可状態かどうかをチェックします。

DMAOR.DMAE=1、DMACHCR0.CHE=1、DMACHSR0.SE=0、DMACHSR0.DE=0、DMACHSR0.TE=0であれば転送許可状態ですので転送が開始されます。

5.4.2 DMA 転送の途中終了時の割り込みについて

DMA 転送中に DMAOR.DMAE を 0 にクリアする場合、および DMACHCRn.CHE (n : 0, 1) を 0 にクリアする場合で、DMACHSRn.IE、DMACHSRn.SEE、DMACHSRn.DEE を 1 にしている場合、DMA 転送の中止前に割り込みが発生する可能性があります。

発生した割り込みに対して適切なハンドリングをするようにしてください。

5.4.3 アクセスサイズ制限のあるモジュールについて

以下のモジュールに対して DMA 転送を実行する場合、表 5.4 で分類された (3-1)、(3-2) の条件に従ってください。(n=正の整数、m=0、1)

以下の条件以外では、対象のモジュールに対して許可されないトランザクションを発行する可能性があります。
なお、DBG モジュールおよび TMU モジュールへは本 DMAC を使用して転送を実行しないでください。

表 5.4 DMA 転送の条件

条件	(3-1)	(3-2)
対象モジュール	DMA HPB R-GPVG DU VIN INTC USB DBSC	LRAM (SH-4A)

(3-1) 4バイト転送を実行します。

① 連続領域転送の場合

設定禁止です。

② ストライド/gather/scatter 転送の場合

DMASBCNTRm.SBCINI=14'h1、DMASBCNTRm.SBCNT=14'h1 としてください。

(3-2) 32バイト転送を実行します。

① 連続領域転送の場合

対象モジュールが転送元の場合、DMASARm を 32 バイト境界としてください。

対象モジュールが転送先の場合、DMADARm を 32 バイト境界としてください。

DMABCNTRm を 32n バイトとしてください。

② ストライド/gather/scatter 転送の場合

対象モジュールが転送元の場合、DMASARm を 32 バイト境界とし、DMASTRRm の SS を (32n/4) バイトとしてください。

対象モジュールが転送先の場合、DMADARm を 32 バイト境界とし、DMASTRRm の DS を (32n/4) バイトとしてください。

DMASBCNTRm の SBCINI、SBCNT を (32n/4) バイトとしてください。

DMABCNTRm を 32n バイトとしてください。

5.4.4 モジュールストップについて

本 DMAC 動作中に、CPG のレジスタ設定によるモジュールストップを行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

6. バスブリッジ (HPB)

6.1 概要

HPB は、CPU (SuperHyway バス) から周辺モジュールインタフェースである HPB バス上への PIO アクセスに対し、SuperHyway バスプロトコルから HPB バスプロトコルへのインタフェース変換して効率よく転送処理する機能ブロックです。また、HPB には 28 チャンネル HPB-DMAC を内蔵しており、HPB バス上の機能ブロックと、DDR2_SDRAM/DDR3_SDRAM 間との DMA 転送処理を行います。これらの転送動作を行う HPB は、HPB バス上の機能ブロックとの間で PIO アクセスのみの機能モジュール接続バス (HPB P1BUS) と HPB-DMAC を使用し DMA 転送を行うモジュール接続バス (HPB P2BUS~HPB P6BUS、HPB P8BUS) のそれぞれを分離したバス構成を採っています。したがって、HPB P1BUS 接続モジュールへの PIO アクセスと HPB P2BUS~HPB P6BUS、HPB P8BUS への DMA 転送が同時に動作する場合、HPB バス上で競合を起こすことはありません。

6.2 特長

- CPU (SuperHywayバス) アクセス受信機能
 - CPU (SuperHywayバス) からのPIOアクセス (LOAD、STOREトランザクション) 受信をサポート
 - CPU (SuperHywayバス) からのPIOアクセス受信バッファを4面内蔵
 - CPU (SuperHywayバス) からのPIOによるHPB内部レジスタアクセス受信機能
- HPBバスアクセス転送機能
 - CPU (SuperHywayバス) からのPIOアクセスに対するエンディアン設定情報やアクセスサイズ情報によるアライメント変換機能
 - CPU (SuperHywayバス) からのPIOアクセスとHPB内蔵DMACからのDMA転送によるHPB上アクセス競合調停機能
- HPB内蔵DMAC (HPB-DMAC) によるDMA転送機能
 - 各HPBバス上機能ブロックと各SuperHyway間 (DDR2_SDRAM/DDR3_SDRAM間) のDMA転送機能
(DMA転送制御については、「第6A章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照してください。)

6.3 ブロック図

HPB は、HPB 配下に多くの機能モジュールを接続しています。これらの個々の機能モジュールに対し効率よくデータ転送を行うため、バス動作の並列性を高めた内部構成を採っています。

図 6.1 に HPB 配下の機能モジュールへのアクセスルート図を、並列性を高めた主なポイントを以下に示します。

- PIOアクセスのみのモジュールとHPB-DMACを使用したDMA転送を行うモジュールを独立したHPBバス上に配置
- SuperHywayターゲットポート制御 (SHwy-IF (Target Port))
 - SuperHywayからのアクセス用バッファを4面内蔵
 - SuperHywayからのLOAD、STOREトランザクションをサポート
- SuperHywayイニシエータポート制御 (SHwy-IF (Initiator Port))
 - HPB-DMAC (HPBバスプロトコル) ⇒SuperHywayプロトコル変換機能
- SuperHywayイニシエータポートアクセス調停
 - 各HPB内DMACからメモリ (SuperHyway) へのアクセスのバス調停機能
- ルータ
 - 各HPB-DMACから機能モジュールへのアクセス選択機能
- SuperHyway—HPBバス変換
 - SuperHywayからのエンディアン設定情報 (little)、アクセスサイズによるライトデータのアライメント変換機能
 - SuperHywayからのHPBバスアクセスとHPB内部DMAC (HPB-DMAC) からのHPBバスアクセスのバス調停機能
- DMA転送制御

DMA転送制御については、「第6A章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照してください。

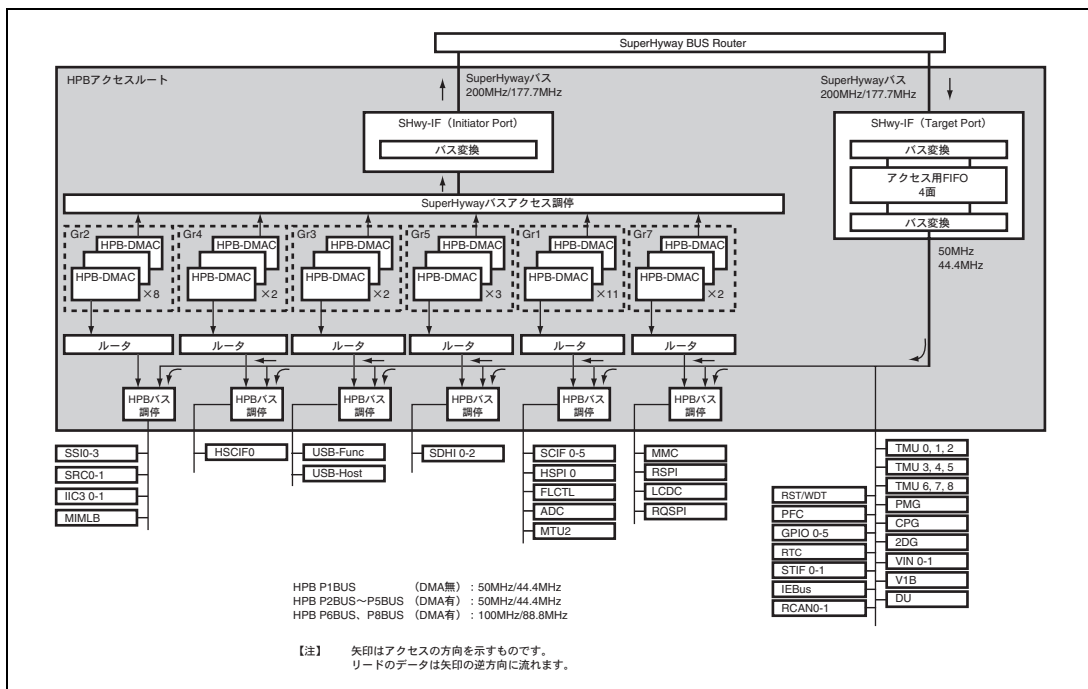


図 6.1 HPB 配下の機能モジュールへのアクセスルート図

6.4 サポートエリア

図 6.2 に HPB 空間のメモリマップを示します。HPB 空間は、H'FFC00000~H'FFFFFFF 番地に割り付きます。

H'FFC00000	HPB内部レジスタ	H'FFE4C000	SDHI 0
H'FFC40000	GPIO 0	H'FFE4D000	SDHI 1
H'FFC41000	GPIO 1	H'FFE4E000	SDHI 2
H'FFC42000	GPIO 2	H'FFE4F000	MMC
H'FFC43000	GPIO 3	H'FFE50000	未実装
H'FFC44000	GPIO 4	H'FFE60000	USB Func
H'FFC45000	GPIO 5	H'FFE70000	USB Host
H'FFC46000	未実装	H'FFE80000	2DG
H'FFC50000	VIN0	H'FFE90000	未実装
H'FFC51000	VIN1	H'FFEE0000	STIF0
H'FFC52000	V1B	H'FFEE8000	STIF1
H'FFC53000	未実装	H'FFEF0000	未実装
H'FFC60000	LCDC	H'FFF20000	SRC0
H'FFC70000	IIC3(ch0)	H'FFF30000	SRC1
H'FFC71000	IIC3(ch1)	H'FFF40000	未実装
H'FFC72000	未実装	H'FFF80000	DU
H'FFC7F000	PMG	H'FFFC0000	PFC
H'FFC80000	CPG	H'FFFC1000	未実装
H'FFCC0000	RST/WDT	H'FFFC2000	RSPI
H'FFD00000	未実装	H'FFFC3000	RQSPI
H'FFD80000	TMU 0,1,2	H'FFFC4000	未実装
H'FFD81000	TMU 3,4,5	H'FFFC5000	RTC
H'FFD82000	TMU 6,7,8	H'FFFC6000	MTU2
H'FFD83000	未実装	H'FFFC7000	HSPI
H'FFD85000	MIMLB	H'FFFC8000	未実装
H'FFD86000	未実装	H'FFFC9000	IEBus
H'FFE00000	SSI 0	H'FFFC9A00	FLCTL
H'FFE10000	SSI 1	H'FFFCB000	ADC
H'FFE20000	SSI 2	H'FFFC0000	未実装
H'FFE30000	SSI 3	H'FFFD0000	RCAN0
H'FFE40000	SCIF 0	H'FFFD1000	RCAN1
H'FFE41000	SCIF 1	H'FFFD2000	未実装
H'FFE42000	SCIF 2	H'FFFE0000	SSS
H'FFE43000	SCIF 3	H'FFFE1000	未実装
H'FFE44000	SCIF 4	H'FFFFFFF	未実装
H'FFE45000	SCIF 5		
H'FFE46000	未実装		
H'FFE48000	HSCIF0		
H'FFE49000	未実装		

図 6.2 HPB 空間メモリマップ

6.5 レジスタの説明

HPB 内部レジスタはすべて、HPB バス空間にマッピングされます。HPB 内部に存在するレジスタ構成を表 6.1 (1) に示します。さらに HPB 内部レジスタの詳細を示します。HPB 内蔵の HPB-DMAC におけるレジスタの詳細は「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照願います。

表 6.1 (1) HPB 内部レジスタ構成

アドレス	レジスタ名	略称	アクセスタイプ	アクセスサイズ	格納ブロック
H'FFC004C0	RCAN0 コントロールレジスタ	RCAN0CTL	RW	32	HPB
H'FFC004C4	RCAN1 コントロールレジスタ	RCAN1CTL	RW	32	HPB

【注】 上記アドレス以外への書き込みは行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 6.1 (2) 各処理状態におけるレジスタの状態

略称	パワーオンリセット	マニュアルリセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
RCAN0CTL	H'0000 0000	H'0000 0000	保持	保持	—	初期化
RCAN1CTL	H'0000 0000	H'0000 0000	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

6.5.1 RCAN0 コントロールレジスタ (RCAN0CTL)

機能 : RCAN0 のクロックモードを設定するレジスタ

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASYNC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	ASYNC	0	R/W	RCAN0 同期/非同期モード選択 0 : 同期 (内部クロック動作) 1 : 非同期 (外部クロック動作)

6.5.2 RCAN1 コントロールレジスタ (RCAN1CTL)

機能 : RCAN1 のクロックモードを設定するレジスタ

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASYNC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	ASYNC	0	R/W	RCAN1 同期/非同期モード選択 0 : 同期 (内部クロック動作) 1 : 非同期 (外部クロック動作)

6.6 動作説明

6.6.1 構成と基本動作

(1) SuperHyway リクエストパケット受信動作

HPB は SuperHyway バスに接続されており CPU からの PIO アクセスを SuperHyway バス経由で受信します。HPB の SuperHyway ターゲットポートでは、SuperHyway リクエストパケット内のアドレスにより、対象となる機能モジュールを判別し、HPB 空間のバスプロトコルに変換してバスアクセスを発行します。本リクエストパケット受信動作では FIFO を 4 段有しており、FIFO の前後で HPB 空間バス周波数に速度変換を行います。またターゲットポートではリクエストパケットに対するレスポンスパケットの出力を行います。アクセス用 FIFO がフルの状態においてリクエストパケットを受信した場合は応答を返さずウェイト状態となります。

(2) SuperHyway 受信トランザクション

リクエストパケットのトランザクションをチェックし、許容できるアクセスのみを受信します。表 6.2 に HPB における受信可能なトランザクションを示します。

表 6.2 HPB の受信可能なトランザクション

トランザクション名	HPB	トランザクション名	HPB
LOAD (1 バイト)	○	STORE (1 バイト)	○
LOAD (2 バイト)	○	STORE (2 バイト)	○
LOAD (4 バイト)	○	STORE (4 バイト)	○
LOAD (8 バイト)	×	STORE (8 バイト)	×
LOAD (16 バイト)	×	STORE (16 バイト)	×
LOAD (32 バイト)	×	STORE (32 バイト)	×

【注】 ○：サポート ×：未サポート

本表における受信可能なトランザクションの中でも HPB 空間の機能モジュールの仕様により、実際に受信可能なトランザクションは異なります。HPB としては各機能モジュールごとの受信可能なトランザクションは管理しておりません。

(3) HPB P1BUS

HPB バス上の機能モジュールには、PIO 受信動作のみの機能を有し DMA 動作を行わない機能モジュール、または HPB バス上では DMA 動作を行わずに SuperHyway バスに向かって自律で DMA 動作を行う機能モジュールが存在します。これらのモジュールにおける HPB バス上での動作はすべて PIO アクセス受信動作に限定され、HPB P1BUS バスにマルチ接続されています。

(4) HPB P2BUS~HPB P6BUS、HPB P8BUS

HPB バス上の機能モジュールには、DMA 要求を発行して、HPB 内部 DMAC によって DMA 動作を行うモジュールが存在します。これらのモジュールにおける HPB バス上での動作は、PIO アクセスおよび HPB-DMAC による DMA アクセスが発生し、PIO アクセスと DMA アクセスが同時に発生した場合は、DMA アクセス固定優先により競合調停制御を行います。

これらのモジュールは、HPB 配下の HPB P2BUS~HPB P6BUS、HPB P8BUS のいずれかのバス上で他の機能モジュールとマルチ接続されています。

(5) DMA 動作

HPB は、HPB-DMAC を 28 チャンネル内蔵しています。本 HPB-DMAC によって HPB バス上の DMA 要求を発行する機能モジュールに対し、SuperHyway バス間との DMA 動作をサポートします。DMA 動作を行う際には、HPB-DMAC 内のレジスタ設定によって、サポートする HPB バス上の機能モジュールを選択することが可能となります。また、SuperHyway バス側の転送先としては、DDR2_SDRAM/DDR3_SDRAM を想定していますが、これらは、HPB-DMAC に設定する DMA 転送アドレスによって決定されます。HPB-DMAC の起動方法や詳細に関しては、「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照ください。表 6.3 に HPB-DMAC SuperHyway へのアクセストランザクションを示します。

表 6.3 HPB-DMAC SuperHyway へのアクセストランザクション

トランザクション名	HPB	トランザクション名	HPB
LOAD (1 バイト)	×	STORE (1 バイト)	○
LOAD (2 バイト)	×	STORE (2 バイト)	○
LOAD (4 バイト)	○	STORE (4 バイト)	○
LOAD (8 バイト)	○	STORE (8 バイト)	○
LOAD (16 バイト)	○	STORE (16 バイト)	○
LOAD (32 バイト)	○	STORE (32 バイト)	○

【注】 ○：サポート ×：未サポート

6.6.2 エンディアンとデータアライメント

(1) PIO アクセス時のエンディアン変換

SuperHyway はビッグエンディアンとリトルエンディアンをサポートしていますが、HPB バスはビッグエンディアン固定となっています。このため、HPB は、エンディアン信号およびアクセスサイズによりエンディアンに応じたデータアライメント変換を行います。また、同時にバス幅の変換も行います。図 6.3 に HPB バスアクセス時のデータアライメント変換概念図を示します。

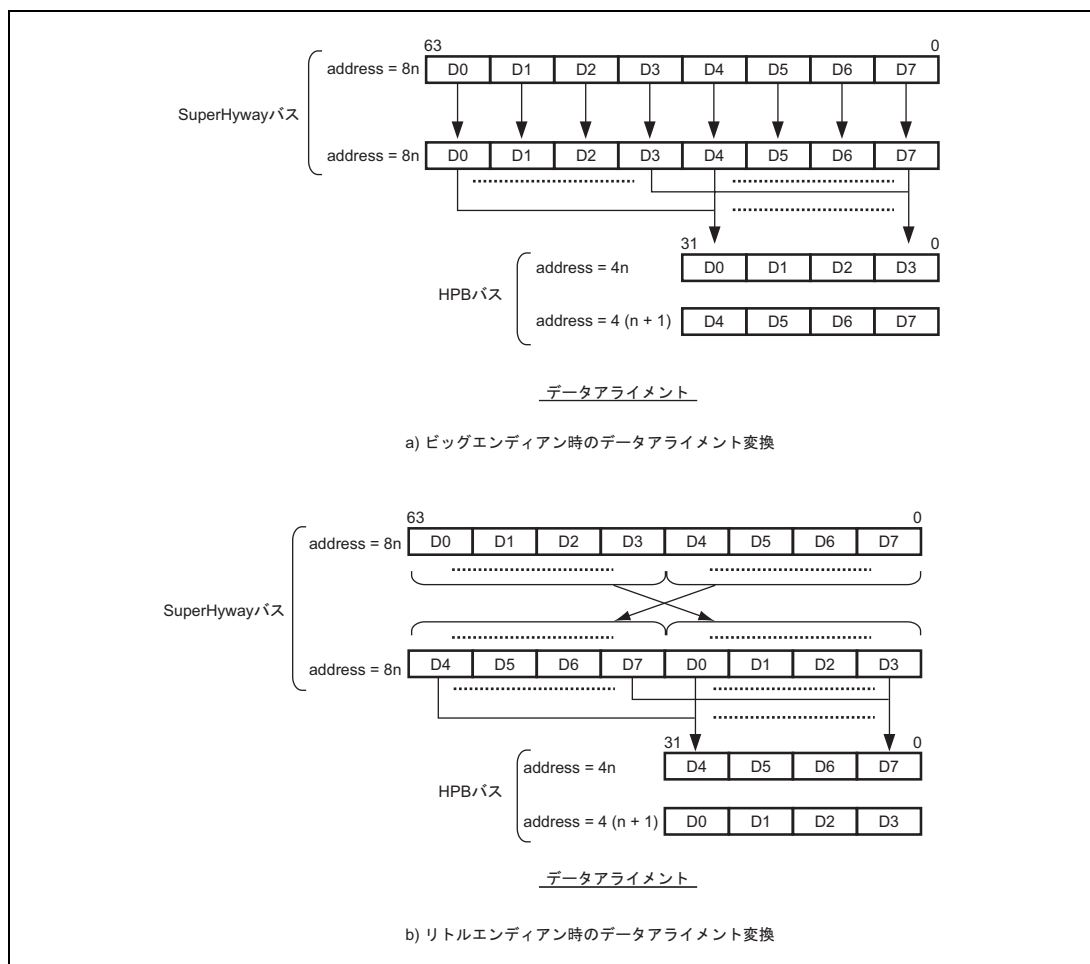


図 6.3 HPB バスアクセス時のデータアライメント変換概念

次に実際の HPB バス上でデータアライメントについて記載します。図 6.4 に各バイトイネーブル信号のアサート状態に対応したデータアライメント変換概念図を示します。ライトデータは、HPB にて HPB バス上の全バイトレーンに有効データをコピーして HPB バス上の機能ブロックがどのバイトレーンからデータを取り込んでもデータ受信が可能ないようにしています。一方、リードデータは、HPB ではバイトレーンのコピーを行いません。どち

らのエンディアンにも対応したアライメントでデータ返送を行うためには、各 HPB 配下の機能ブロックも HPB がライトを行うときのように、全バイトレーンにデータを返送することで両エンディアンに対応したデータ返送が可能になります。

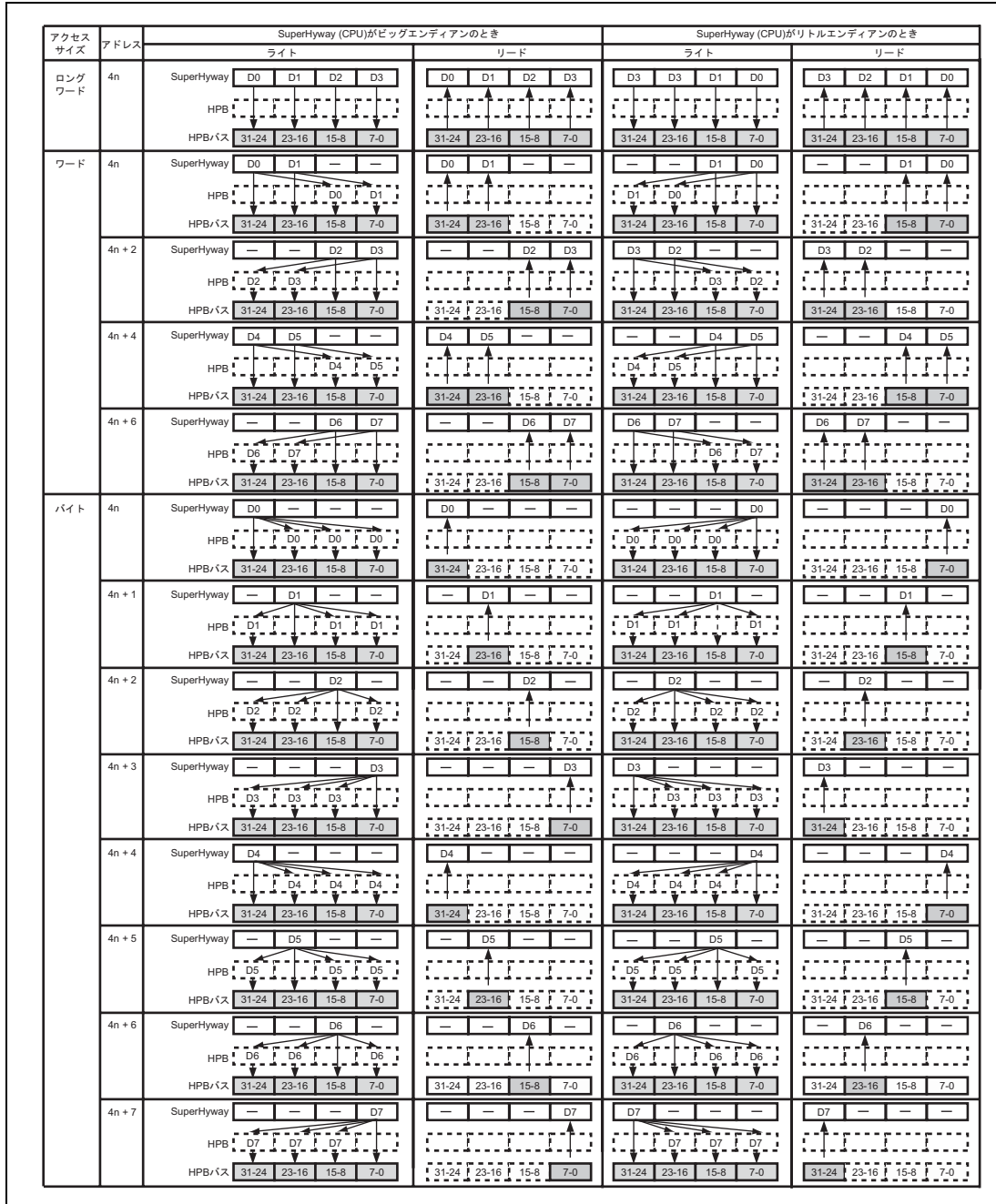


図 6.4 各バイトイネーブル信号のアサート状態に対応したデータアライメント変換概念図

(2) DMA アクセス時のエンディアン変換

HPB バス上に接続される機能ブロックと SuperHyway バス間の DMA 転送時、HPB バスへの DMA 転送時に HPB-DMAC 内部でエンディアンや転送バスサイズに応じたデータアライメント変換を行います。詳細は、「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照してください。

6.6.3 HPB バスタイミングチャート

(1) SuperHyway バスからの HPB バスアクセスタイミングチャート

SuperHyway バスからの HPB バスアクセスタイミングチャートを図 6.5 に示します。HPB バスは 50MHz/44.4MHz (HPB P6BUS、HPB P8BUS は 100MHz/88.8MHz) のバスで、SuperHyway バスの 1/4 (HPB P6BUS、HPB P8BUS は 1/2) の速度のバスです。HPB は、HPB_BUS アクセスを行う際にインタフェース変換に加えて、クロック速度変換を行っています。HPB バス上では、アクセスとアクセスの間隔に最短 1 クロックのインターバルが存在します。また 1 回のバスアクセスは最短で 2 クロックとなります。これに対して、アクセス先の機能ブロックから pwait 信号を受信した場合はバスアクセスを延長しますが、pread 信号は延長されないので注意が必要です。pwait 信号がネゲートされると次のクロックにてバスアクセスを終了させます。

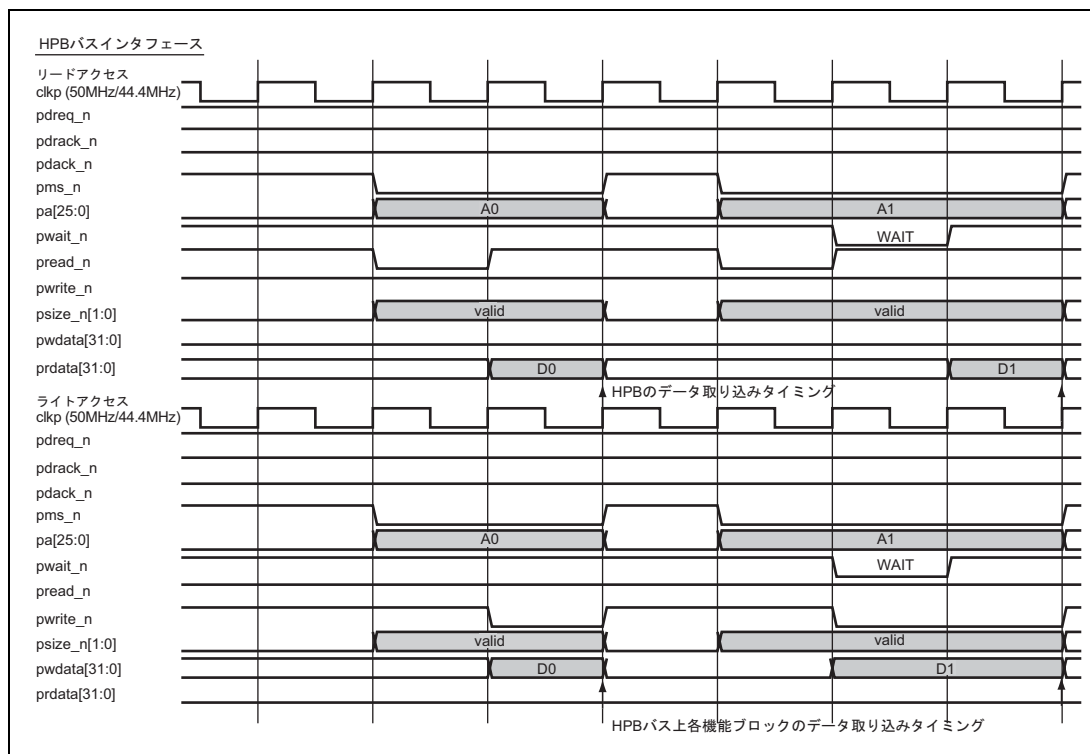


図 6.5 SuperHyway バスからの HPB バスアクセスタイミングチャート

(2) HPB-DMAC からの HPB バスアクセス (DMA 動作) タイミングチャート

HPB-DMAC からの HPB バスアクセスタイミングチャートを図 6.6 に示します。HPB バス上の DMA アクセスインタフェースは、通常の PIO 動作で使われるインタフェース信号に加えて pdreq、pdrack、pdack の DMA 用信号 3 本を追加した構成になっています。HPB-DMAC は HPB バス上の機能ブロックから pdreq を受信すると pdrack を返送することで HPB バス上の機能ブロックに対して DMA 要求を認識したことを示します。これにより、HPB バス上の機能ブロックは pdreq をネゲートします。HPB-DMAC は、最短で pdrack のネゲートタイミングから pdack をアサートするとともにバスアクセスを開始します。図 6.6 では、DMA 動作のみが記載されていますが、PIO 動作が挿入された場合でも、アクセスとアクセスの間のインターバルは最短で 1 クロックが存在します。また 1 回の DMA バスアクセスは最短で 2 クロックとなります。これに対して、アクセス先の機能ブロックから pwait 信号を受信した場合はバスアクセスを延長しますが、pdack と pread 信号は延長されないので注意が必要です。pwait 信号がネゲートされると次のクロックにてバスアクセスを終了させます。

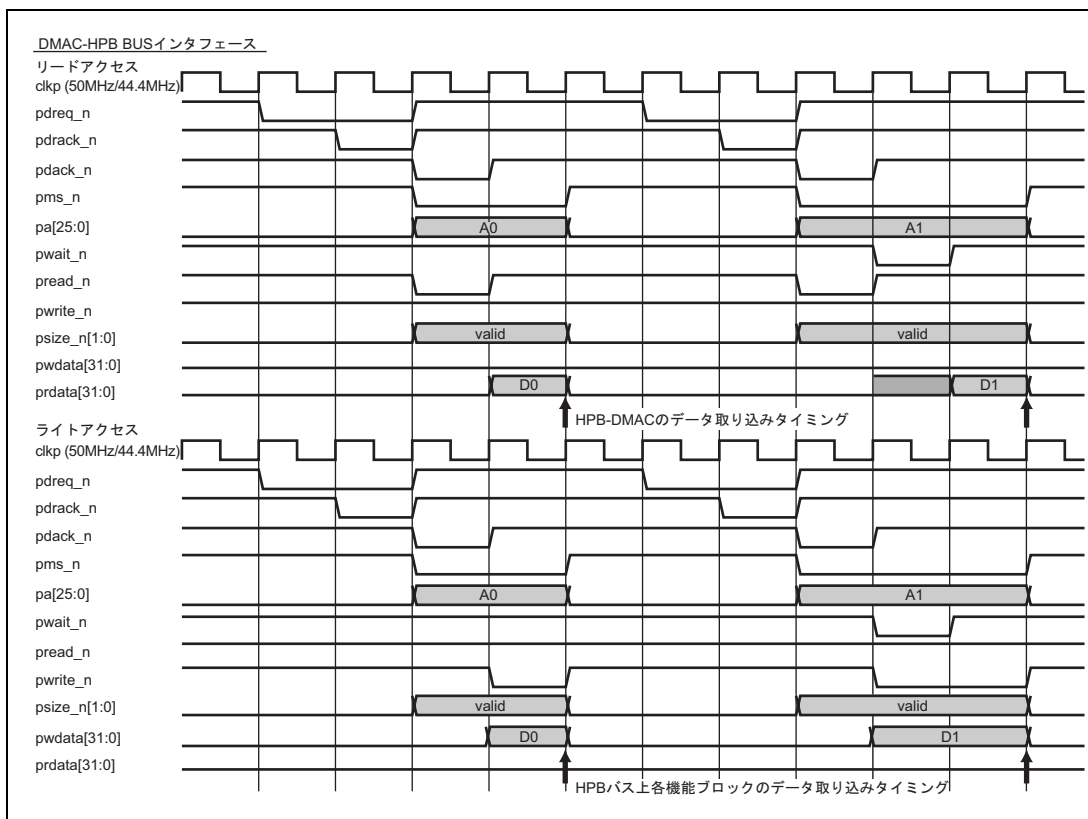


図 6.6 HPB-DMAC からの HPB バスアクセス (DMA 動作) タイミングチャート

6.6.4 バス調停

(1) HPB バス出力時のバス調停

バス調停回路では、DMA アクセス動作と PIO 動作のバスアクセス競合を調停します。その調停方法は、DMA アクセス動作を PIO アクセス動作に対し優先して行う固定優先で、バス調停を行います。ただし、DMA 要求を持たない HPB バス上の機能ブロックは、PIO アクセスのみ受け付ける機能モジュールが接続されている HPB PIBUS バスにマルチ接続されているため、HPB PIBUS バスでのバス競合は発生しません。したがって、これらの機能ブロックは HPB PIBUS マルチ接続されており、HPB バスアクセス発生時のバス調停も存在しません。

(2) SuperHyway バス出力時のバス調停

HPB には HPB-DMAC が 28 チャンネル内蔵されており、並列に動作することが可能です。これらの DMAC は DDR2_SDRAM/DDR3_SDRAM への転送を行うために SuperHyway バスにアクセスを行います。したがって、これらのアクセスは SuperHyway バスに出力する際に HPB 内部でアクセス競合します。このため、ラウンドロビンによる均等優先でバス調停を行い、選択されたチャンネルから順番に SuperHyway バスへバスアクセスが行われます。

6A. ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)

6A.1 概要

LBSC-DMAC と HPB-DMAC は、基本アーキテクチャーが同一であり、したがって操作方法もほぼ同一の DMA コントローラです。LBSC-DMAC は、外部バス (EX_BUS) と DDR2-SDRAM/DDR3-SDRAM 間との DMA 転送を行い、HPB-DMAC は HPB バス上の Peripheral と DDR2-SDRAM/DDR3-SDRAM 間の DMA 転送を行う役割を持っています。LBSC-DMAC は、0ch~2ch、HPB-DMAC は 0ch~28ch (26ch は未使用) のチャンネル番号が付与され、合計 31 チャンネルがチップ内部に搭載されています。これらの DMAC はチャンネルごとに異なる転送相手を選択し独立した並列動作を行います。

各 DMAC のデータ転送モードは、チャンネルごとに個別設定可能とします。本章に記載されている[n]は、31 チャンネル搭載された DMAC の中の 1 つの DMA チャンネルを意味します。

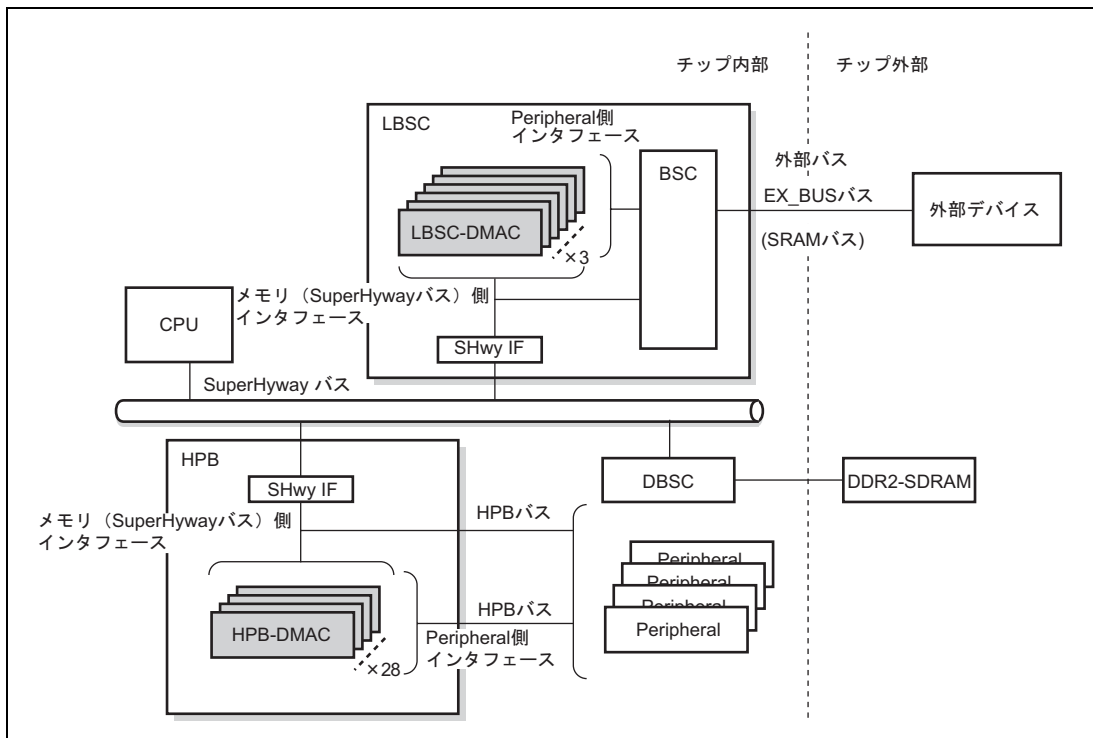


図 6A.1 LBSC-DMAC/HPB-DMAC の位置付け

図 6A.1 に LBSC-DMAC と HPB-DMAC の位置付けを示します。各 DMAC は、メモリ (SuperHyway バス) 側インタフェース上に接続される DBSC を介してチップ外部の DDR2-SDRAM/DDR3-SDRAM と接続し、他方の Peripheral 側インタフェースは HPB バスや外部バスに接続される Peripheral と接続されています。これらの Peripheral の選択は各 DMAC 内部レジスタの設定により行います。その中で、LBSC-DMAC は、EX_BUS (SRAM バス) の汎用外部デバイスとの DMA 転送をサポートし、DMA リクエストや DMA アクノリッジ信号によるハンドシェイクを行いながら転送を行うことが可能です (ハンドシェイクを行わないオートリクエストモードもサポートします)。

6A.2 特長

LBSC-DMAC および HPB-DMAC の機能について以下に示します。

- チャンネル数：LBSC-DMAC 3チャンネル (0~2ch)、HPB-DMAC 28チャンネル (0~28ch)
(HPB-DMAC 26chは未使用)
- アドレス空間：物理アドレス空間
- 転送方向：Peripheral toメモリ (SuperHywayバス)、メモリ (SuperHywayバス) to Peripheral
- 転送データ長：
 - ーPeripheral側：1、2、4バイト
 - ーメモリ側 (SuperHywayバス)：
 - DCRレジスタ SWMDビット：0設定時：メモリ (SuperHyway) 側アクセスサイズ
(各チャンネルのアクセスサイズは、「6A.4.8 DMAコントロールレジスタ (DCR)」を参照ください。)
 - 1設定時：1、2、4バイト
 - PKMDビット：1設定 (パッキング) 時の最終端数処理時：1バイト~メモリ (SuperHyway) 側アクセスサイズ
- 転送バースト長：1、8
(LBSC-DMAC 0、1ch、HPB-DMAC 19、20、23~28chのみバースト長8の転送をサポート)
- 転送回数
 - ー最大転送回数：16M (16777216回)、64M (67108864回) (LBSC-DMAC 0chのみ64M回の転送をサポート)
 - ー最小転送回数：1回
- アドレスモード：デュアルアドレスモード
 - ーデュアルアドレスモード
 - 転送元、転送先双方のアドレスをアクセスします。
 - 転送元、転送先共、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指します。
(レジスタに設定された値：DMAソースアドレスレジスタ (DSAR0、1)、DMAデスティネーションアドレスレジスタ (DDAR0、1) およびDMAコントロールレジスタ (DCR) のSPDAM、DPDAMによります。)
- 転送要求：外部リクエスト、Peripheralリクエスト、オートリクエスト、タイマリクエスト
 - ー外部リクエスト
 - 外部DREQ3本。リクエスト信号 (DREQ) は、ロー/ハイレベル検出またはエッジ検出の指定が可能 (LBSCレジスタにて指定)。
 - リクエストアクノリッジレベル信号 (DRACK)、アクノリッジレベル信号 (DACK) はハイアクティブまたはローアクティブの指定が可能 (LBSCにて指定)。(DRACKは、LBSC-DMAC 0chのみサポート)
 - ーPeripheralリクエスト：Peripheralからの転送要求。

ーオートリクエスト：DMAC内部タイミングによりDMA転送を行います。

ータイマリクエスト：転送要求をDMAC内蔵タイマの設定間隔で発生させます。

- 転送モード：単転送モード、連続転送モード

ー単転送モード

DMAトランスファカウンタレジスタで指定した転送回数まで転送が終了したとき、転送を終了します。

ー連続転送モード

全チャンネル対応で、DMAトランスファカウンタレジスタで指定した転送回数まで転送が終了したとき、次DMA転送要求 (DNXT) がある場合、続けて次のDMA情報を取得しDMA転送を行います。次DMA転送要求 (DNXT) がない場合、次DMA転送要求を設定されるまで待ち続けます。連続転送モードの終了は、DMAコマンドレジスタ (DCMDR) のDQENDビットによって行います。

DMA情報設定モードとして、DMA情報設定レジスタ2面のうち1面を繰り返し使用するモードと2面を交互に使用するモードを持ちます。また、自動連続転送をサポートします。連続転送モード設定 (DMAコントロールレジスタ (DCR) のCTビット=1) 時、自動連続モード設定 (DMAコントロールレジスタ (DCR) のACMDビット=1) により自動連続転送モード有効となります。自動連続転送モード時、次DMA転送要求 (DNXT) の有無にかかわらずDMAトランスファカウンタレジスタで指定した転送回数まで転送が終了したとき、続けて次のDMA情報を取得しDMA転送を行います。

連続転送終了は、DMAコマンドレジスタ (DCMDR) のDQENDビットによって行います。

- 転送終了割り込み：IDMA情報単位に指定した転送回数終了後発生します。
- UltraATA DMA動作に対応したDMA動作をサポートします。(LBSC-DMAC 0、1ch)
 - ーUltraDMA動作における一時待ち合わせ要求のタイマ監視機能、UltraDMAライトデータSetup/Hold設定機能、CRC表示機能

6A.3 LBSC-DMAC/HPB-DMAC における DMA 転送方法

各チャンネルごとの Peripheral 側との関係を示します。各チャンネル、転送相手の機能ブロックはさまざまですが、他方の転送先であるメモリ (SuperHyway バス) 側は、設定するアドレスによって DBSC を介した DDR2-SDRAM/DDR3-SDRAM などが転送先になります。

表 6A.1 DMA 転送仕様

チャンネル	用途	転送サポート種別	転送相手 (Peripheral 機能) の選択
LBSC-DMA00	EX_BUS 上の 汎用デバイスとの 転送	デュアルアドレス転送、 シングル転送または 8 バースト転送 DREQ/DACK ハンドシェイク DRACK (0ch のみ) を使用可、UltraATA DMA 機能 (ch0、1 のみ)	DREQ/DACK 番号と DMA チャン ネル番号が対応します。 (各 DMAC 割り付け外部空間指 定: LBSC 内部レジスタにて指定)
LBSC-DMA01			
LBSC-DMA02		デュアルアドレス転送、シングル転送 DREQ/DACK ハンドシェイク	
HPB-DMA00	内蔵 HPB P2BUS 上 の Peripheral との転 送	デュアルアドレス転送、シングル転送 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送 相手の内蔵 Peripheral を選択指定し ます。 (SCIF0~5、HSPI、FLCTL、ADC、 MTU2 のいずれかを選択可)
HPB-DMA01			
HPB-DMA02			
HPB-DMA03			
HPB-DMA04			
HPB-DMA05			
HPB-DMA06			
HPB-DMA07			
HPB-DMA08			
HPB-DMA09			
HPB-DMA10			
HPB-DMA11	内蔵 HPB P4BUS 上 の Peripheral との転 送	デュアルアドレス転送、シングル転送 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送 相手の内蔵 Peripheral を選択指定し ます。 (SSI0~3、SRC0~1、IIC30~1、 MIMLB のいずれかを選択可)
HPB-DMA12			
HPB-DMA13			
HPB-DMA14			
HPB-DMA15			
HPB-DMA16			
HPB-DMA17			
HPB-DMA18			
HPB-DMA19	内蔵 HPB P3BUS 上 の Peripheral との転 送	デュアルアドレス転送、 シングル転送または 8 バースト転送【推奨】 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送 相手の内蔵 Peripheral を選択指定し ます。 (USB Func0、1 のいずれかを選択 可)
HPB-DMA20			

チャンネル	用途	転送サポート種別	転送相手 (Peripheral 機能) の選択
HPB-DMA21	内蔵 HPB P5BUS 上の Peripheral との転送	デュアルアドレス転送、シングル転送 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。 (HSCIF を選択可)
HPB-DMA22			
HPB-DMA23	内蔵 HPB P6BUS 上の Peripheral との転送	デュアルアドレス転送、 シングル転送または 8 バースト転送 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。 (SDHI0~2 を選択可)
HPB-DMA24			
HPB-DMA25			
HPB-DMA26	未使用 (リザーブ)		
HPB-DMA27	内蔵 HPB P8BUS 上の Peripheral との転送	デュアルアドレス転送、 シングル転送または 8 バースト転送 DREQ/DACK ハンドシェイク	各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。 (MMC、RSPI、RQSPI を選択可)
HPB-DMA28			

6A.4 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

本 DMAC は、合計で 31 チャンネルの構成を採っていますが、レジスタ構成は、個々の DMAC 個別に有するレジスタと全 DMAC 共通で有するレジスタがあります。

- LBSC-DMACレジスタマップ

表 6A.2 (1) LBSC-DMAC レジスタマップ

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ	
H'FF801000 + H'40 × [n]	[個別] DMA ソースアドレス 0	DMA 情報 0	DSAR0	R/W	32
H'FF801004 + H'40 × [n]	[個別] DMA デスティネーションアドレス 0		DDAR0	R/W	32
H'FF801008 + H'40 × [n]	[個別] DMA トランスファカウンタ 0		DTCR0	R/W	32
H'FF80100C + H'40 × [n]	[個別] DMA ソースアドレス 1	DMA 情報 1	DSAR1	R/W	32
H'FF801010 + H'40 × [n]	[個別] DMA デスティネーションアドレス 1		DDAR1	R/W	32
H'FF801014 + H'40 × [n]	[個別] DMA トランスファカウンタ 1		DTCR1	R/W	32
H'FF801018 + H'40 × [n]	[個別] DMA ソースアドレスステータス	DSASR	R	32	
H'FF80101C + H'40 × [n]	[個別] DMA デスティネーションアドレスステータス	DDASR	R	32	
H'FF801020 + H'40 × [n]	[個別] DMA トランスファカウンタステータス	DTCSR	R	32	
H'FF801028 + H'40 × [n]	[個別] DMA コントロール	DCR	R/W	32	
H'FF80102C + H'40 × [n]	[個別] DMA コマンド	DCMDR	—/W	32	
H'FF801030 + H'40 × [n]	[個別] DMA 強制停止	DSTPR	—/W	32	
H'FF801034 + H'40 × [n]	[個別] DMA ステータス	DSTSR	R	32	
H'FF801038 + H'40 × [n]	[個別] DMA チャンネルデバッグ	DDBGR	R/W	32	
H'FF80103C + H'40 × [n]	[個別] DMA チャンネルデバッグ 2	DDBGR2	R/W	32	
H'FF801400	[LBSC-DMAC 共通] DMA タイマコントロール	DTIMR	R/W	32	
H'FF801404	[LBSC-DMAC 共通] DMA リクエストマスクコントロール	DRMSKR	R/W	32	
H'FF80140C	[LBSC-DMAC 共通] DMA メモリアクセス優先レベルコントロール	DMLVLR	R/W	32	
H'FF801410	[LBSC-DMAC 共通] DMA 転送終了割り込み表示	DINTSR	R	32	
H'FF801414	[LBSC-DMAC 共通] DMA 転送終了割り込み表示クリア	DINTCR	—/W	32	
H'FF801418	[LBSC-DMAC 共通] DMA 転送終了割り込みイネーブル	DINTMR	R/W	32	
H'FF801420	[LBSC-DMAC 共通] DMA 起動状態表示	DACTSR	R	32	
H'FF801424~42C	[LBSC-DMAC 共通] DMA0~2 チャンネルソフトリセット	LSRSTR0~2	R/WC1	32	
H'FF801480	[LBSC-DMAC 共通] 外部 DMA データアライメントコントロール	DMALGR	R/W	32	
H'FF801490	[LBSC-DMAC 共通] LBSC-DMA SHwy プライオリティコントロール	LBSC-DMASPR	R/W	32	
H'FF8014C0	[LBSC-DMAC 共通] UltraATA DMA モード	UATMR	R/W	32	
H'FF8014C4	[LBSC-DMAC 共通] UltraATA ライトサイクル設定	UATWCR	R/W	32	
H'FF8014C8	[LBSC-DMAC 共通] UltraATA タイムアウト時間設定	UATTSR	R/W	32	

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ
H'FF8014CC	[LBSC-DMAC 共通] UltraATA エラー表示	UATTER	R/W	32
H'FF8014D0	[LBSC-DMAC 共通] UltraATA エラー割り込みイネーブル	UATIER	R/W	32
H'FF8014D4	[LBSC-DMAC 共通] UltraATA CRC コード表示	UATCRCR	R	32
H'FF8014E0	[LBSC-DMAC 共通] UltraATA DMA モード 2	UATMR2	R/W	32
H'FF8014E4	[LBSC-DMAC 共通] UltraATA DMA モード 3	UATMR3	R/W	32
H'FF800030	[LBSC-DMAC 共通] UltraATA 転送モード	UATTMR	R/W	32

【注】 n は LBSC-DMAC のチャンネル番号

CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 6A.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット PRESET#端子/ WDT/H-UDI による	マニュアル リセット PRESET#端子/ WDT/ 多重例外による	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
DSAR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDAR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSAR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDAR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSASR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDASR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCSR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DCMDR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSTPR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSTSR	H'0000_0020	H'0000_0020	保持	保持	—	初期化
DDBGR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDBGR2	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTIMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DRMSKR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DMLVLR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DINTSR	H'0000_0000	H'0000_0000	保持	保持	—	初期化

略称	パワーオン リセット PRESET#端子/ WDT/H-UDI による	マニュアル リセット PRESET#端子/ WDT/ 多重例外による	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
DINTCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DINTMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DACTSR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
LSRSTR0~2	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DMALGR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
LBSC-DMASPR	H'0000_0888	H'0000_0888	保持	保持	—	初期化
UATMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATWCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATTSR	H'FFFF_FFFF	H'FFFF_FFFF	保持	保持	—	初期化
UATTER	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATIER	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATCRCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATMR2	H'FFFF_FFFF	H'FFFF_FFFF	保持	保持	—	初期化
UATMR3	H'0000_0000	H'0000_0000	保持	保持	—	初期化
UATTMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

● HPB-DMACレジスタマップ

表 6A.3 (1) HPB-DMAC レジスタマップ

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ
H'FFC08000 + H'40 × [n]	【個別】 DMA ソースアドレス 0	DMA 情報 0	DSAR0	R/W 32
H'FFC08004 + H'40 × [n]	【個別】 DMA デスティネーションアドレス 0		DDAR0	R/W 32
H'FFC08008 + H'40 × [n]	【個別】 DMA トランスファカウンタ 0		DTCR0	R/W 32
H'FFC0800C + H'40 × [n]	【個別】 DMA ソースアドレス 1	DMA 情報 1	DSAR1	R/W 32
H'FFC08010 + H'40 × [n]	【個別】 DMA デスティネーションアドレス 1		DDAR1	R/W 32
H'FFC08014 + H'40 × [n]	【個別】 DMA トランスファカウンタ 1		DTCR1	R/W 32
H'FFC08018 + H'40 × [n]	【個別】 DMA ソースアドレスステータス	DSASR	R	32
H'FFC0801C + H'40 × [n]	【個別】 DMA デスティネーションアドレスステータス	DDASR	R	32
H'FFC08020 + H'40 × [n]	【個別】 DMA トランスファカウンタステータス	DTCSR	R	32
H'FFC08024 + H'40 × [n]	【個別】 DMA ポート選択	DPTR	R/W	32
H'FFC08028 + H'40 × [n]	【個別】 DMA コントロール	DCR	R/W	32

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ
H'FFC0802C + H'40 × [n]	[個別] DMA コマンド	DCMDR	−/W	32
H'FFC08030 + H'40 × [n]	[個別] DMA 強制停止	DSTPR	−/W	32
H'FFC08034 + H'40 × [n]	[個別] DMA ステータス	DSTSR	R	32
H'FFC08038 + H'40 × [n]	[個別] DMA チャンネルデバッグ	DDBGR	R/W	32
H'FFC0803C + H'40 × [n]	[個別] DMA チャンネルデバッグ 2	DDBGR2	R/W	32
H'FFC08800	[HPB-DMAC 共通] DMA タイマコントロール	DTIMR	R/W	32
H'FFC0880C	[HPB-DMAC 共通] DMA 転送終了割り込み表示	DINTSR	R	32
H'FFC08810	[HPB-DMAC 共通] DMA 転送終了割り込み表示クリア	DINTCR	−/W	32
H'FFC08814	[HPB-DMAC 共通] DMA 転送終了割り込みイネーブル	DINTMR	R/W	32
H'FFC08818	[HPB-DMAC 共通] DMA 起動状態表示	DACTSR	R	32
H'FFC0881C~88C	[HPB-DMAC 共通] HPB-DMA0~28 チャンネルソフトリセット	HSRSTR0~28	R/WC1	32
H'FFC08890~89C	[HPB-DMAC 共通] HPB-DMA SHwy プライオリティコントロール 0~3	HPB-DMASPR0~3	R/W	32
H'FFC088A0	[HPB-DMAC 共通] HPB-DMA アクセス優先レベルコントロール	HPB-DMLVLR	R/W	32

【注】 n は HPB-DMAC のチャンネル番号

CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 6A.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット PRESET#端子/ WDT/H-UDI による	マニュアル リセット PRESET#端子/ WDT/ 多重例外による	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
DSAR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDAR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSAR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDAR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSASR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDASR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTCR2	H'0000_0000	H'0000_0000	保持	保持	—	初期化

略称	パワーオン リセット PRESET#端子/ WDT/H-UDI による	マニュアル リセット PRESET#端子/ WDT/ 多重例外による	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
DPTR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DCMDR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSTPR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DSTSR	H'0000_0020	H'0000_0020	保持	保持	—	初期化
DDBGGR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DDBGGR2	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DTIMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DINTSR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DINTCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DINTMR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
DACTSR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
HSRSTR0~28	H'0000_0000	H'0000_0000	保持	保持	—	初期化
HPB-DMASPR0	H'8888_8888	H'8888_8888	保持	保持	—	初期化
HPB-DMASPR1	H'8888_8888	H'8888_8888	保持	保持	—	初期化
HPB-DMASPR2	H'8888_8888	H'8888_8888	保持	保持	—	初期化
HPB-DMASPR3	H'0008_8088	H'0008_8088	保持	保持	—	初期化
HPB-DMLVLR	H'0000_0000	H'0000_0000	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

6A.4.1 DMA ソースアドレスレジスタ 0、1 (DSAR0、DSAR1)

機能：転送元の DMA スタートアドレスを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DSA [31:0]	すべて 0	R/W	DMA 転送元スタートアドレスを設定します。転送元スタートアドレス値は、DMA コントロールレジスタ (DCR) の SMDL ビットの設定値により、メモリアドレスか、Peripheral アドレスまたは外部モジュールアドレスのいずれかになります。 SMDL=0 のとき：転送元アドレス=メモリ (SuperHyway バス) 側アドレス SMDL=1 のとき：転送元アドレス=Peripheral 側アドレス

【注】 1. 設定アドレスがメモリアドレス時は、下記表に示すアドレス境界を守って設定してください。

DCR レジスタ SWMD ビット	LBSC-DMAC チャンネル No.		HPB-DMAC チャンネル No.		
	0、1	2	4~10	0~3	11~25、27、28
0	32 バイト境界	16 バイト境界	8 バイト境界	16 バイト境界	32 バイト境界
1	4 バイト境界				

- 設定アドレスが外部モジュールアドレス時で、かつ、DCR の SPDS ビットあるいは DPDS ビットを 16 ビットアクセスサイズで選択した場合は、16 ビット境界の設定までが可能となります。この場合、8 ビット境界の設定に関しては、書き込みを行っても下位 1 ビットが無視されます。
- 設定アドレスが外部モジュールアドレス時で、かつ、DCR の SPDS ビットあるいは DPDS ビットを 8 ビットアクセスサイズで選択した場合は、8 ビット境界の設定までが可能となります。
- 注 2 のケースにおいて、DMAC の外部モジュールデータアクセスサイズが LBSC における外部バス幅の設定値より小さい場合、DMAC の DMALGR により、データアライメント (アドレス値に応じたデータアクセスバイトレイン) の変換有無の指定が可能です。
「6A.4.22 外部 DMA データアライメントコントロールレジスタ (DMALGR)」および「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照ください。
- 設定アドレスが外部モジュールアドレス時の上位アドレスビット 31~26 は、外部バスには接続されていません。ソフトウェアの設定内容の分かりやすさのための用途として設けられています。また、これらの上位ビットによる CS1 や EXCS0~5 の空間識別は行いません。
DMAC のアクセス先の空間は、LBSC の外部用 DMAC チャンネルエリア割り付けレジスタにより行います。
- 設定アドレスが Peripheral の場合も、上位アドレスは、ソフトウェアの設定内容の分かりやすさのための用途として設けられているものであり、各 Peripheral 固有のアクセス先の空間識別に使用するものではありません。

6A.4.2 DMA デスティネーションアドレスレジスタ 0、1 (DDAR0、DDAR1)

機能：転送先の DMA スタートアドレスを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DDA [31:0]	すべて0	R/W	DMA 転送先スタートアドレスを設定。転送先スタートアドレス値は、DMA コントロールレジスタ (DCR) の DMDL ビットの設定値により、メモリアドレスか Peripheral アドレスまたは外部モジュールアドレスのいずれかになります。 DMDL=0 のとき転送先アドレス：メモリアドレス DMDL=1 のとき転送先アドレス：Peripheral アドレスまたは外部モジュールアドレス

【注】 DSAR0、DSAR1 の注意事項（【注】 1.~6.）を参照ください。同じ注意事項が適応されます。

6A.4.3 DMA トランスファカウントレジスタ 0、1 (DTCR0、DTCR1)

機能 : DMA 転送回数を設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—						DTC[25:16]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
25~0	DTC [25:0]	すべて 0	R/W	DMA 転送回数 (バイト数、ワード数、ロングワード数) を設定 LBSC-DMAC 0ch のみ 最大転送回数は、DTC=H'000 0000 とし、このときの転送数は 64M (67108864) 回 LBSC-DMAC 0ch 以外 最大転送回数は、DTC= H'000 0000 とし、このときの転送数は 16M (16777216) 回

【注】 Peripheral→メモリ (SuperHyway バス)、メモリ (SuperHyway バス)→Peripheral 転送の場合、Peripheral 側での転送回数を指定します。8 バーストの DMA 動作では、8 バーストで 1 回と考えて設定してください。

6A.4.4 DMA ソースアドレスステータスレジスタ (DSASR)

機能 : 転送元のアドレス表示

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSAS[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSAS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DSAS [31:0]	すべて 0	R	転送元の現在の DMA 転送完了アドレスを表示

6A.4.5 DMA デスティネーションアドレスステータスレジスタ (DDASR)

機能：転送先のアドレス表示

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDAS[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDAS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DDAS [31:0]	すべて 0	R	転送先の現在の DMA 転送完了アドレスを表示

6A.4.6 DMA トランスファカウンタステータスレジスタ (DTCSR)

機能：転送中の残り転送回数を表示

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DTCS[25:16]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTCS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
25~0	DTCS [25:0]	すべて 0	R	DMA 転送残回数 (バイト数、ワード数、ロングワード数) を表示 LBSC-DMAC 0ch のみ[25:0]で表示、LBSC-DMAC 0ch 以外は[23:0]で表示 転送バイト数は、Peripheral データバス幅に依存する

【注】 Peripheral (SuperHyway バス) →メモリ、メモリ (SuperHyway バス) →Peripheral 転送の場合 Peripheral 側転送残回数での表示となります。

6A.4.7 DMA ポート選択レジスタ (DPTR)

機能 : DMA 転送を行う Peripheral を選択 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SDPT				—	—	—	DDPT					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

ビット	ビット名	初期値	R/W	説明							
12~8	SDPT	H'00	R/W	転送元 Peripheral アクセスポート選択 (H'16~H'1F および下表における“-”部分は設定不可となります。)							
				設定値	0~ 3ch	4~ 10ch	11~ 18ch	19、 20ch	21、 22ch	23~ 25ch	27、 28ch
				H'0	SCIF0	SCIF0	SSI0	USBF0	HSCIF	-	MMC0
				H'1	SCIF1	SCIF1	SSI1	USBF1	-	-	MMC1
				H'2	SCIF2	SCIF2	SSI2	-	-	-	RSPI
				H'3	SCIF3	SCIF3	SSI3	-	-	-	-
				H'4	SCIF4	SCIF4	-	-	-	-	RQSPI
				H'5	SCIF5	SCIF5	-	-	-	-	-
				H'6	-	-	-	-	-	-	-
				H'7	-	-	-	-	-	-	-
				H'8	-	-	SRC0*1	-	-	-	-
				H'9	-	-	SRC1*2	-	-	-	-
				H'A	HSPI	HSPI	IIC30	-	-	-	-
				H'B	-	-	IIC31	-	-	-	-
				H'C	-	-	MIMLB*3	-	-	-	-
				H'D	-	-	-	-	-	-	-
				H'E	FLCTL0	FLCTL0	MIMLB*4	-	-	-	-
				H'F	FLCTL1	FLCTL1	-	-	-	-	-
				H'10	ADC	ADC	-	-	-	-	-
				H'11	MTU20	MTU20	-	-	-	SDHI0	-
				H'12	MTU21	MTU21	-	-	-	-	-
				H'13	MTU22	MTU22	-	-	-	SDHI1	-
				H'14	MTU23	MTU23	-	-	-	-	-
H'15	MTU24	MTU24	-	-	-	SDHI2	-				
				【注】*1 出力 FIFO フル (変換データ書き戻し) *2 出力 FIFO フル (変換データ書き戻し) *3 (stream 受信) *4 (packet 受信)							
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。							

ビット	ビット名	初期値	R/W	説明							
4~0	DDPT	H'00	R/W	転送先 Peripheral アクセスポート選択 (H'16~H'1F および下表における“-”部分は設定不可となります。)							
				設定値	0~ 3ch	4~ 10ch	11~ 18ch	19、 20ch	21、 22ch	23~ 25ch	27、 28ch
				H'0	SCIF0	SCIF0	SSI0	USBF0	HSCIF	—	MMC0
				H'1	SCIF1	SCIF1	SSI1	USBF1	—	—	MMC1
				H'2	SCIF2	SCIF2	SSI2	—	—	—	RSPI
				H'3	SCIF3	SCIF3	SSI3	—	—	—	—
				H'4	SCIF4	SCIF4	—	—	—	—	RQSPI
				H'5	SCIF5	SCIF5	—	—	—	—	—
				H'6	—	—	—	—	—	—	—
				H'7	—	—	—	—	—	—	—
				H'8	—	—	SRC0* ¹	—	—	—	—
				H'9	—	—	SRC1* ²	—	—	—	—
				H'A	HSPI	HSPI	IIC30	—	—	—	—
				H'B	—	—	IIC31	—	—	—	—
				H'C	—	—	MIMLB* ³	—	—	—	—
				H'D	—	—	MIMLB* ⁴	—	—	—	—
				H'E	FLCTL0	FLCTL0	—	—	—	—	—
				H'F	FLCTL1	FLCTL1	—	—	—	—	—
				H'10	—	—	—	—	—	SDHI0	—
				H'11	MTU20	MTU20	—	—	—	—	—
H'12	MTU21	MTU21	—	—	—	SDHI1	—				
H'13	MTU22	MTU22	—	—	—	—	—				
H'14	MTU23	MTU23	—	—	—	SDHI2	—				
H'15	MTU24	MTU24	—	—	—	—	—				
【注】				*1 入力 FIFO エンプティ (SRC にデータ引き込み)							
				*2 入力 FIFO エンプティ (SRC にデータ引き込み)							
				*3 (stream 送信)							
				*4 (packet 送信)							

- 【注】
1. 複数チャンネル 同一モジュールを選択し、かつ同一方向の転送を行う設定は禁止です。
 2. DCR レジスタの SMDL を 0 とした場合 (メモリ選択した場合) の SDPT は無効となります。また、DCR レジスタの DMDL を 0 とした場合 (メモリ選択した場合) の DDPT は無効となります。
 3. 各 ch 設定値に対し、モジュールが割り当てられている設定値以外は設定禁止です。設定した場合の動作は保証しません。

6A.4.8 DMA コントロールレジスタ (DCR)

機能：転送動作モードの設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DTAMD	DTAC	DTAU	DTAU1	SWMD	BTMD	PKMD	—	CT	ACMD	DIP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SMDL	SPDAM	SDRMD	SPDS	—	—	DMDL	DPDAM	DDRMD	DPDS	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26	DTAMD	0	R/W	DMA におけるメモリアクセス時のデータアライメント変換モードを指定 (「6A.5.7 SuperHyway バスインタフェースにおけるデータアライメント」参照) 0: 入カピン: little (エンディアンモード) + Peripheral 側バス幅により変換 1: DTAC (DMA データアライメント変換) +DTAU (DMA データアライメント単位) +DTAU1 (8 バイトに対する 4 バイトの変換) により変換
25	DTAC	0	R/W	DMA におけるメモリアクセス時のデータアライメント変換有無を指定 (「6A.5.7 SuperHyway バスインタフェースにおけるデータアライメント」参照) DTAMD=1 のとき、設定値有効 0: データアライメント変換しない 1: データアライメント変換する
24	DTAU	0	R/W	データアライメント変換を行う場合の変換単位を指定 (「6A.5.7 SuperHyway バスインタフェースにおけるデータアライメント」参照) DTAMD=1 のとき、設定値有効 0: バイト単位 1: ワード単位
23	DTAU1	0	R/W	データアライメント変換を行う場合の 8 バイトに対し 4 バイトのアライメントを指定 (「6A.5.7 SuperHyway バスインタフェースにおけるデータアライメント」参照) DTAMD=1 のとき、設定値有効 0: 行わない 1: 行う
22	SWMD	0	R/W	メモリ (SuperHyway) 側アクセスサイズの指定 0: * (DDR2 を指定時は 0 を推奨) 1: 4 バイト (HPB 配下を指定時は 1 を選択)

ビット	ビット名	初期値	R/W	説明
21	BTMD	0	R/W	バースト転送による DMA を指定 (LBSC-DMAC 0、1ch、HPB-DMAC 19、20、23~28ch のみ有効) Peripheral に対しバースト動作で DMA を行います。 0 : バースト転送を行わない 1 : バースト転送を行う (バースト長 : 8 固定)
20	PKMD	0	R/W	Peripheral から SuperHyway バス側への DMA 転送方向時における Peripheral からのリードデータパッキング機能有効/無効指定 0 : パッキング機能無効 1 : パッキング機能有効
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
18	CT	0	R/W	DMA 連続転送設定 0 : DMA 連続転送を行わない 1 : DMA 連続転送を行う
17	ACMD	0	R/W	DMA 自動連続転送設定 (CT=1 のときのみ有効) 0 : DMA 自動連続転送を行わない (DCMDR レジスタの DNXT=1 を確認) 1 : DMA 自動連続転送を行う (DCMDR レジスタの DNXT に無関係に転送)
16	DIP	0	R/W	DMA 情報有効ページを設定 0 : 1 面の DMA 情報ページを連続的に使用 1 : 2 面の DMA 情報ページを交互に使用
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
13	SMDL	0	R/W	転送元モジュール選択 0 : メモリ (SuperHyway) 1 : Peripheral
12	SPDAM	0	R/W	転送元 Peripheral アドレス固定/増加を指定 0 : Peripheral アドレスは DSAR0、1 で指定したアドレス固定 1 : Peripheral アドレス増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4) SMDL=0 の場合、SPDAM ビットを 0 または DPDM と同じ設定値に設定してください。
11、10	SDRMD	00	R/W	転送元 DMA 要求モードを指定 00 : モジュールリクエスト (外部リクエスト、Peripheral リクエスト) 01 : オートリクエスト 10 : タイマリクエスト 11 : 設定禁止 SMDL=0 の場合、SDRMD ビットを 00 または DDRMD と同じ設定値に設定してください。

ビット	ビット名	初期値	R/W	説明
9、8	SPDS	00	R/W	転送元 Peripheral データバス幅を指定 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: 設定禁止 SMDL=0 の場合、SPDS ビットを 00 または DPDS と同じ設定値に設定してください。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	DMDL	0	R/W	転送先モジュール選択 0: メモリ (SuperHyway バス) 1: Peripheral
4	DPDAM	0	R/W	転送先 Peripheral アドレス固定/増加を指定 0: Peripheral アドレスは DDAR0、1 で指定したアドレス固定 1: Peripheral アドレス増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4) DMDL=0 の場合、DPDAM ビットを 0 または SPDAM と同じ設定値に設定してください。
3、2	DDRMD	00	R/W	転送先 DMA 要求モードを指定 00: モジュールリクエスト (外部リクエスト、Peripheral リクエスト) 01: オートリクエスト 10: タイマリクエスト 11: 設定禁止 DMDL=0 の場合、DDRMD ビットを 00 または SDRMD と同じ設定値に設定してください。
1、0	DPDS	00	R/W	転送先 Peripheral データバス幅を指定 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: 設定禁止 DMDL=0 の場合、DPDS ビットを 00 または SPDS と同じ設定値に設定してください。

【注】 * SWMD ビット: 0 設定時のメモリ (SuperHyway) 側アクセスサイズ:
各チャネル下表に示すサイズとなります。

DCR レジスタ SWMD ビット	LBSC-DMAC チャネル No.		HPB-DMAC チャネル No.		
	0、1	2	4~10	0~3	11~25、27、28
0	32 バイト	16 バイト	8 バイト	16 バイト	32 バイト

1. SMDL=1 で DMDL=0 設定時は、Peripheral →メモリ転送です。SMDL=0 で DMDL=1 設定時は、メモリ → Peripheral 転送です。
SMDL=1 で DMDL=1 あるいは SMDL=0 で DMDL=0 設定は禁止です。

- DMAC として有する個々の機能をすべての Peripheral に対して適用できるとは限りません。それぞれの Peripheral の仕様に合わせて設定が必要となります。
- EX_BUS のバス幅は 16 ビットのため、LBSC-DMAC では、転送元 Peripheral データバス幅を指定 (SPDS) および転送先 Peripheral データバス幅を指定 (DPDS) の 10 : 32 ビットは設定禁止となります。

6A.4.9 DMA コマンドレジスタ (DCMDR)

機能 : DMA の起動/停止を設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BD OUT	DQ SPD	DQ SPC	DM SPD	DM SPC	DQ END	DNXT	DMEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*

【注】* ライトのみ可。読み出し値は不定です。

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
7	BDOOUT	0	—/W* ¹	1 : Peripheral リードデータを強制的に SuperHyway バス側にライトする (転送方向 : Peripheral から SuperHyway バス側) Peripheral リードデータ強制ライトビット (BDOOUT) に 1 ライトすることにより、SuperHyway バス側への強制ライト終了後、DMA 終了となる
6	DQSPD	0	—/W* ¹	1 : DMA 情報単位に一時停止させる
5	DQSPC	0	—/W* ¹	1 : DMA 情報単位の一時的停止を解除する
4	DMSPD	0	—/W* ¹	1 : DMA 転送をバスサイクル単位に一時停止させる
3	DMSPC	0	—/W* ¹	1 : DMA 転送のバスサイクル単位の一時的停止を解除する
2	DQEND	0	—/W* ¹	1 : DMA 連続転送モード終了 設定済みの DMA 情報のみを DMA 転送し、連続転送モードを終了する。
1	DNXT	0	—/W* ¹	1 : 次 DMA 転送を要求する 連続転送モード時、実行中の DMA 情報転送終了後、次の DMA 情報を転送する。
0	DMEN	0	—/W* ¹	1 : DMA を起動する

- 【注】 1. ライトのみ可。読み出し値は不定です。
- BDOOUT 使用については、「6A.5.3 Peripheral または外部モジュールからのリードデータパッキング機能」、「6A.5.4 Peripheral または外部モジュールからのリードデータパッキング機能に関する制限事項」を参照ください。

6A.4.10 DMA 強制停止レジスタ (DSTPR)

機能 : DMA の強制停止を設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DM STP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—/W*

【注】* ライトのみ可。読み出し値は不定です。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	DMSTP	0	—/W*	1 : DMA 転送を強制停止する 転送中のバスサイクル終了後、DMA 転送を停止する。 (DMA 転送ステータスレジスタ (DSASR、DDASR、DTCSR) の値は残る。)

【注】* ライトのみ可。読み出し値は不定です。

6A.4.11 DMA ステータスレジスタ (DSTSR)

機能 : DMA の状態表示

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	NDP1	NDP0	DQSPS	DMSPS	DQSTS	DRSTS	DMSTS
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	NDP1	0	R	次 DMA 実行転送情報レジスタ表示 1 0 : DMA 情報レジスタ 1 の DMA 情報を次 DMA 情報転送にて行わない 1 : DMA 情報レジスタ 1 の DMA 情報を次 DMA 情報転送にて行う
5	NDP0	1	R	次 DMA 実行転送情報レジスタ表示 0 0 : DMA 情報レジスタ 0 の DMA 情報を次 DMA 情報転送にて行わない 1 : DMA 情報レジスタ 0 の DMA 情報を次 DMA 情報転送にて行う
4	DQSPS	0	R	DMA 情報更新一時停止状態 0 : 通常 1 : DMA 情報の更新一時停止
3	DMSPS	0	R	DMA 転送一時停止状態 0 : 通常 1 : DMA 転送を一時停止
2	DQSTS	0	R	DMA 受付終了状態 0 : DMA 情報受付可能 1 : DMA 情報受付停止
1	DRSTS	0	R	DMA 転送要求有無 0 : 次 DMA 情報転送要求なし 1 : 次 DMA 情報転送要求あり
0	DMSTS	0	R	DMA 状態 0 : DMA 終了状態 1 : DMA 起動状態

【注】 次 DMA 実行転送情報レジスタ表示 0/1 (NDP0/1) は、NDP1 または NDP0 いずれか一方に 1 が表示

DMA ステータスレジスタ (DSTSR) 各ビット状態遷移条件を以下に示します。

	状態表示信号遷移条件		
	0	1	0
NDP1	初期状態	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 0 面転送中	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 1 面転送中
NDP0	—	(1) 初期状態 (2) 単転送モード 常時 (3) 連続転送モードかつ 0 面連続使用 (DMA コントロールレジスタ (DCR) : DIP=0) 常時 (4) 連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 1 面転送中	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 0 面転送中
DQSPS	初期状態	DMA 転送を情報単位に一時停止 (DMA コマンドレジスタ (DCMDR) : DQSPD=1) を設定し、転送中の転送情報 終了	DMA 転送を情報単位に一時停止 解除 (DMA コマンドレジスタ (DCMDR) : DQSPC=1) を設定
DMSPS	初期状態	DMA 転送をバスサイクル単位に一時停止 (DMA コマンドレジスタ (DCMDR) : DMSPD=1) を設定し、転送中のバスサイ クル終了	DMA 転送をバスサイクル単位に一時停止 解除 (DMA コマンドレジスタ (DCMDR) : DMSPC=1) を設定
DQSTS	初期状態	連続転送モード (DMA コントロールレジスタ (DCR) : CT=1) DMA 転送情報 1 面転送中に DMA 連続転送終 了 (DQEND=1)	DMA 転送情報転送終了

		状態表示信号遷移条件	
		0	1
DRSTS	初期状態	連続転送モード (DMA コントロールレジスタ (DCR) : CT=1) DMA 転送情報 1 面転送中に次 DMA 転送情報 要求あり (DNXT=1)	次 DMA 転送情報転送開始
DMSTS	初期状態	DMA 起動 (DMA コマンドレジスタ (DCMDR) : DMEN=1)	終了状態 (アイドル状態に留まる) (1) 転送終了 ①単転送モード 1 つの DMA 情報転送完了 ②連続転送モード DMA ステータスレジスタ (DSTSR) DRSTS=0 かつ DQSTS=1 で転送中の DMA 情報の転送完了 (2) 強制停止 DMA 強制停止レジスタ (DSTPR) DMSTP=1 ライトにて、転送中のバスサ イクル終了後、DMA 転送を終了する

6A.4.12 DMA チャンネルデバッグレジスタ (DDBGR)

機能：デバッグ用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DBG02	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DBG01			—	DBG00		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DBG02	0	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。
30~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	DBG01	000	R	テストビット
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2~0	DBG00	000	R	テストビット

6A.4.13 DMA チャンネルデバッグレジスタ 2 (DDBGR2)

機能：デバッグ用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	DBG12	DBG11			—	—	DBG10									—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	DBG10																	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
30	DBG12	0	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。

ビット	ビット名	初期値	R/W	説明
29、28	DBG11	00	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。
27、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
25~0	DBG10	すべて 0	R	テストビット

6A.4.14 DMA タイマコントロールレジスタ (DTIMR)

機能 : DMAC 内蔵タイマ周期設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTIM[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15~0	DTIM [15:0]	すべて 0	R/W	DMAC 内蔵タイマ周期設定 リクエストモード : タイマリクエスト時、DMA リクエスト間隔を設定します。 リクエスト間隔 : DTIM × Peripheral 側バスのクロック周期 (ns) <ul style="list-style-type: none"> LBSC-DMAC の Peripheral 側バスのクロック周期 (ns) : 約 22.5ns (CPU533.3MHz 時 : EX_BUS 周波数 44.4MHz) 約 20ns (CPU400MHz 時 : EX_BUS 周波数 50MHz) HPB-DMAC の Peripheral 側バスのクロック周期 (ns) : 約 22.5ns (CPU533.3MHz 時 : HPB バス周波数 44.4MHz) 約 20ns (CPU400MHz 時 : HPB バス周波数 50MHz) HPB-DMAC の Peripheral 側バスのクロック周期 (ns) : 約 11.25ns (CPU533.3MHz 時 : HPB バス周波数 88.8MHz) 約 10ns (CPU400MHz 時 : HPB バス周波数 100MHz) 【注】 タイマリクエストモードであっても DTIM の設定値が 0 の場合は、オートリクエストモードと同じ動作になります。

6A.4.15 DMA リクエストマスクコントロールレジスタ (DRMSKR)

機能：外部 DMAC DMA リクエスト認識タイミング設定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DRMSK2[3:0]			DRMSK1[3:0]			DRMSK0[3:0]			—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11~0	DRMSKn [3:0]	H'0	R/W	各フィールドに対応した DMAC チャンネル個別に、前 DMA 転送完了 (CS#信号ネゲート時刻) から次 DMA リクエスト認識までのクロックサイクル数を指定します。(n は DMA チャンネル番号) リクエスト認識までの時間: DRMSK×外部バスクロック周期 (ns)

【注】 DRMSK2~0 の設定は、外部からの DREQ 信号をレベルで受信するモード (LBSC の EXDMCRy レジスタで設定します。) で使用している場合にのみ有効となります。エッジモードで受信する設定の場合は、本レジスタの値を 0 としてください。

6A.4.16 DMA メモリアクセス優先レベルコントロールレジスタ (DMLVLR)

機能：DMAC バスアクセス優先レベル (LEVEL1 or 2) 設定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DM LV2	DM LV1	DM LV0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	DMLVn	0	R/W	各ビットに対応した 各 DMAC チャンネルの外部バス調停優先順位グループを設定します。(n は DMA チャンネル番号) 0: LEVEL2 (低: グループ 2) 1: LEVEL1 (高: グループ 1)

6A.4.17 DMA 転送終了割り込み表示レジスタ (DINTSR)

機能 : DMA 転送終了割り込みを表示

• LBSC-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE2	DTE1	DTE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	DTE _n	0	R	DMA 転送終了割り込み表示 DMA 転送状態を表示します。(n は DMA チャンネル番号) 0 : 初期状態および DTCR レジスタ指定回数転送中 1 : DTCR レジスタ指定回数転送終了

• HPB-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DTE ₂₈	DTE ₂₇	—	DTE ₂₅	DTE ₂₄	DTE ₂₃	DTE ₂₂	DTE ₂₁	DTE ₂₀	DTE ₁₉	DTE ₁₈	DTE ₁₇	DTE ₁₆
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTE ₁₅	DTE ₁₄	DTE ₁₃	DTE ₁₂	DTE ₁₁	DTE ₁₀	DTE ₉	DTE ₈	DTE ₇	DTE ₆	DTE ₅	DTE ₄	DTE ₃	DTE ₂	DTE ₁	DTE ₀
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~ 29、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28、27、 25~0	DTE _n	0	R	DMA 転送終了割り込み表示 DMA 転送状態を表示します。(n は DMA チャンネル番号) 0 : 初期状態および DTCR レジスタ指定回数転送中 1 : DTCR レジスタ指定回数転送終了

6A.4.18 DMA 転送終了割り込み表示クリアレジスタ (DINTCR)

機能 : DMA 転送終了割り込み表示クリア

• LBSC-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE C2	DTE C1	DTE C0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—/W*	—/W*	—/W*

【注】 * ライトのみ可。読み出し値は不定です。

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2~0	DTECn	0	—/W*	DMA 転送終了割り込み表示クリア DMA 転送終了割り込み表示をクリアします。(nはDMAチャンネル番号) 該当ビット1ライトにより、DMA 転送終了割り込み表示をクリアします。 0ライトは無効とする レジスタリード時：常時0を表示する

【注】 * ライトのみ可。読み出し値は不定です。

• HPB-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DTE C28	DTE C27	—	DTE C25	DTE C24	DTE C23	DTE C22	DTE C21	DTE C20	DTE C19	DTE C18	DTE C17	DTE C16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	—/W*	—/W*	R	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTE C15	DTE C14	DTE C13	DTE C12	DTE C11	DTE C10	DTE C9	DTE C8	DTE C7	DTE C6	DTE C5	DTE C4	DTE C3	DTE C2	DTE C1	DTE C0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*	—/W*

【注】 * ライトのみ可。読み出し値は不定です。

ビット	ビット名	初期値	R/W	説明
31~ 29、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28、27、 25~0	DTECn	0	—/W*	DMA 転送終了割り込み表示クリア DMA 転送終了割り込み表示をクリアします。(n は DMA チャンネル番号) 該当ビット 1 ライトにより、DMA 転送終了割り込み表示をクリアします。 0 ライトは無効とする レジスタリード時：常時 0 を表示する

【注】 * ライトのみ可。読み出し値は不定です。

6A.4.19 DMA 転送終了割り込みイネーブルレジスタ (DINTMR)

機能 : DMA 転送終了による割り込み出力制御

• LBSC-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE M2	DTE M1	DTE M0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	DTEMn	0	R/W	DMA 転送終了による割り込み出力制御 割り込み出力はレベル信号で出力します。(n は DMA チャンネル番号) 0 : DMA 転送終了による割り込みを出力しない 1 : DMA 転送終了による割り込みを出力する

• HPB-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DTEM 28	DTEM 27	—	DTEM 25	DTEM 24	DTEM 23	DTEM 22	DTEM 21	DTEM 20	DTEM 19	DTEM 18	DTEM 17	DTEM 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTEM 15	DTEM 14	DTEM 13	DTEM 12	DTEM 11	DTEM 10	DTE M9	DTE M8	DTE M7	DTE M6	DTE M5	DTE M4	DTE M3	DTE M2	DTE M1	DTE M0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~ 29、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28、27、 25~0	DTEMn	0	R/W	DMA 転送終了による割り込み出力制御 割り込み出力はレベル信号で出力します。(n は DMA チャンネル番号) 0 : DMA 転送終了による割り込みを出力しない 1 : DMA 転送終了による割り込みを出力する

6A.4.20 DMA 起動状態表示レジスタ (DACTSR)

機能 : DMAC 全チャンネル起動状態表示

• LBSC-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DS2	DS1	DS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	DSn	0	R	DMA チャンネル n の状態表示 (n は DMA チャンネル番号) 0 : IDLE 状態 1 : ACT 状態

• HPB-DMAC専用レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DS28	DS27	—	DS25	DS24	DS23	DS22	DS21	DS20	DS19	DS18	DS17	DS16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~ 29、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28、27、 25~0	DSn	0	R	DMA チャンネル n の状態表示 (n は DMA チャンネル番号) 0 : IDLE 状態 1 : ACT 状態

6A.4.21 ソフトリセットレジスタ (LSRSTR0~2、HSRSTR0~28)

機能 : DMA[n]チャンネルをリセット

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1*

【注】 * リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	SRST	0	R/WC1* ¹	ソフトリセット DMA[n]チャンネルをリセットする 1: DMA[n]チャンネルをリセットする 0: 無効 本レジスタリード時、常時0を表示する

- 【注】
1. リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。
 2. DMA 転送状態にかかわらず、1 ライトにより DMAC モジュールをリセットします。
リセット範囲は、パワーオンリセット、マニュアルリセットと同様です。
したがって、ソフトリセットはシステムデバッグ時などで DMA 動作が行われていないときの実施を想定しています。動作中の停止は、ソフトリセットでは行わず、強制停止や一時停止指定を行ってください。
また、チャンネル共通レジスタ (DMA 転送終了割り込み表示レジスタ (DINTSR)、DMA 転送終了割り込みイネーブルレジスタ (DINTMR)) は、ソフトリセット発行チャンネル該当ビットのみ初期化されます。

6A.4.22 外部 DMA データアライメントコントロールレジスタ (DMALGR)

機能 : 外部バス用 DMAC の外部バスアクセス時におけるデータアライメントの変換有無の指定
(LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DMLG2			DMLG1			DMLG0					
					exbwe	exac	exbw	exbwe	exac	exbw	exbwe	exac	exbw			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11~0	DMLGn exbwe	0	R/W	各 DMAC の EX_BUS データアライメントの変更有無の指定。(n はチャンネル番号) → LBSC に設定された DMA 該当エリアの外部バス幅より、DMAC/DCR 設定の DMA のアクセスバス幅が小さいケースにおいて、 0 : アクセスバイトレーンを固定とする 1 : アクセスバイトレーンを可変とする
	DMLGn exac	0	R/W	exbwe ビットを 1 指定した場合のアライメント変換時のエンディアン指定 (n はチャンネル番号) 0 : ビッグエンディアン 1 : リトルエンディアン
	DMLGn exbw	00	R/W	exbwe ビットを 1 指定した場合のアライメント変換の単位指定 (n はチャンネル番号) 00 : 8 ビット 01 : 16 ビット 10 : 32 ビット 11 : 無効

【注】 LBSC へ設定したバス幅と DMAC/DCR へ設定した DMA アクセスサイズが同一の場合は設定不要です。詳細は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」の「6B.6.3 (1) LBSC-DMAC アクセス時のデータアライメント」を参照してください。

6A.4.23 LBSC-DMA SHwy プライオリティコントロールレジスタ (LBSC-DMASPR)

機能：外部 DMAC の SHwy バスアクセス優先レベルの指定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SPRR2				SPRR1				SPRR0			
初期値:	0	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11~0	SPRRn	H'8	R/W	各 DMAC の SHwy_BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度：H'0 (最低) ~ H'F (最高)

【注】 SHwy バスのアクセス優先レベルを指定し、SHwy バス全体の優先制御に関するため、設定には、他のアクセスモジュールとの優先レベルを確認する必要があります。

6A.4.24 HPB-DMA SHwy プライオリティコントロールレジスタ 0 (HPB-DMASPR0)

機能：HPB-DMAC の SHwy バスアクセス優先レベルの指定 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPRR7				SPRR6				SPRR5				SPRR4			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR3				SPRR2				SPRR1				SPRR0			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPRRn	H'8	R/W	各 DMAC の SHwy_BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度：H'0 (最低) ~ H'F (最高)

- 【注】
- SHwy バスのアクセス優先レベルを指定し、SHwy バス全体の優先制御に関するため、設定には、他のアクセスモジュールとの優先レベルを確認する必要があります。
 - 本製品では、SPRRn ビット設定値は、H'8 または H'9 を設定してください。

6A.4.25 HPB-DMA SHwy プライオリティコントロールレジスタ 1 (HPB-DMASPR1)

機能 : HPB-DMAC の SHwy バスアクセス優先レベルの指定 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPRR15				SPRR14				SPRR13				SPRR12			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR11				SPRR10				SPRR9				SPRR8			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPRRn	H'8	R/W	各 DMAC の SHwy_BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度 : H'0 (最低) ~ H'F (最高)

【注】 「6A.4.24 HPB-DMA SHwy プライオリティコントロールレジスタ 0 (HPB-DMASPR0)」の【注】を参照してください。

6A.4.26 HPB-DMA SHwy プライオリティコントロールレジスタ 2 (HPB-DMASPR2)

機能 : HPB-DMAC の SHwy バスアクセス優先レベルの指定 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPRR23				SPRR22				SPRR21				SPRR20			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR19				SPRR18				SPRR17				SPRR16			
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPRRn	H'8	R/W	各 DMAC の SHwy_BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度 : H'0 (最低) ~ H'F (最高)

【注】 「6A.4.24 HPB-DMA SHwy プライオリティコントロールレジスタ 0 (HPB-DMASPR0)」の【注】を参照してください。

6A.4.27 HPB-DMA SHwy プライオリティコントロールレジスタ 3 (HPB-DMASPR3)

機能 : HPB-DMAC の SHwy バスアクセス優先レベルの指定 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SPRR28			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR27				—	—	—	—	SPRR25				SPRR24			
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20、 11~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
19~12、 7~0	SPRRn	H'8	R/W	各 DMAC の SHwy_BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度 : H'0 (最低) ~H'F (最高)

【注】 「6A.4.24 HPB-DMA SHwy プライオリティコントロールレジスタ 0 (HPB-DMASPR0)」の【注】を参照してください。

6A.4.28 HPB-DMA アクセス優先レベルコントロール (HPB-DMLVLR)

機能 : DMAC バスアクセス優先レベル (LEVEL1 or 2) 設定 (HPB-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DML V28	DML V27	—	DML V25	DML V24	DML V23	DML V22	DML V21	DML V20	DML V19	DML V18	DML V17	DML V16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DML V15	DML V14	DML V13	DML V12	DML V11	DML V10	DML V9	DML V8	DML V7	DML V6	DML V5	DML V4	DML V3	DML V2	DML V1	DML V0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~ 29、26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
28、27、 25~0	DMLVn	0	R/W	各ビットに対応した各 DMAC チャンネル間の SHwy_BUS および HPB アクセス調停優先順位グループを設定します。 0 : LEVEL2 (低 : グループ 2) 1 : LEVEL1 (高 : グループ 1)

【注】 HPB-DMAC アクセス競合制御については、「6A.5.11 HPB-DMAC SuperHyway バスおよび HPB バスアクセス優先制御」を参照ください。

6A.4.29 UltraATA DMA モードレジスタ (UATMR)

機能 : UltraATA モードの動作指定、UltraATA モード動作時のデータアライメント指定
(LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UTDR	—	—	UTWE	UTRE	—	UTSL	UATM		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10、 7、6、3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
9、8	UTDR	00	R/W	UltraATA インタフェース DREQ 端子用外部端子選択 00 : 外部端子を使用しない 01 : EX_BUS の DREQ0 端子を DREQ (DMARQ) 端子として使用 10 : EX_BUS の DREQ1 端子を DREQ (DMARQ) 端子として使用 11 : 外部端子を使用しない
5	UTWE	0	R/W	UltraATA モードライト動作時のデータアライメント指定 0 : DMA ライト動作時データアライメント無し 1 : DMA ライト動作時データアライメント有り (4バイトに対する2バイト単位のデータアライメント)
4	UTRE	0	R/W	UltraATA モードリード動作時のデータアライメント指定 0 : DMA リード動作時データアライメント無し 1 : DMA リード動作時データアライメント有り (4バイトに対する2バイト単位のデータアライメント)
2、1	UTSL	00	R/W	UltraATA インタフェース IORDY (DDMARDY/DSTROBE) 端子用外部端子選択 00 : 外部端子を使用しない 01 : EX_BUS の EX_WAIT0 端子を IORDY (DDMARDY/DSTROBE) 端子として使用 10 : EX_BUS の EX_WAIT1 端子を IORDY (DDMARDY/DSTROBE) 端子として使用 11 : EX_BUS の EX_WAIT2 端子を IORDY (DDMARDY/DSTROBE) 端子として使用

ビット	ビット名	初期値	R/W	説明
0	UATM	0	R/W	UltraATA 動作モード指定 0 : 通常の DMA モード 1 : UltraATA DMA モード

- 【注】
1. UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。
 2. UltraATA インタフェース IORDY (DDMARDY/DSTROBE) 端子用外部端子選択 (UTSL) が初期値 : 00 (外部端子を使用しない) の場合、UltraATA インタフェース IORDY (DDMARDY/DSTROBE) は内部固定値となり正常に動作しませんので、EX_BUS の EX_WAIT0~2 のいずれかを設定してください。
 3. UltraATA インタフェース DREQ 端子用外部端子選択 (UTDR) が 00、11 (外部端子を使用しない) の場合、UltraATA インタフェース DREQ は内部固定値となり正常に動作しませんので、EX_BUS の DREQ0~1 のいずれかを設定してください。

6A.4.30 UltraATA ライトサイクル設定レジスタ (UATWCR)

機能 : UltraATA DMA 動作における HSTROBE 信号 Setup/Hold クロックサイクル数の設定

(LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UATWCYC		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	UATWCYC	000	R/W	UltraATA DMA 動作時、HSTROBE (DIOR 信号) に対するライトデータの Setup/Hold クロックサイクル数の設定 H'0 : Setup=1 バスクロック、Hold=1 バスクロック H'1 : Setup=2 バスクロック、Hold=1 バスクロック H'2 : Setup=2 バスクロック、Hold=2 バスクロック H'3 : Setup=3 バスクロック、Hold=2 バスクロック H'4 : Setup=3 バスクロック、Hold=3 バスクロック H'5 : Setup=4 バスクロック、Hold=3 バスクロック H'6 : Setup=4 バスクロック、Hold=4 バスクロック H'7 : Setup=5 バスクロック、Hold=4 バスクロック

- 【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.4.31 UltraATA タイムアウト時間設定レジスタ (UATTSR)

機能 : UltraATA DMA リード動作において、通信一時停止を受けた場合におけるタイムアウト時間の設定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UATOVFT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UATOVFT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	UATOVFT	H'FFFF _FFFF	R/W	UltraATA DMA リード動作において、通信一時停止 (DSTROBE 変化無し状態) を受けた場合における HOST タイムアウト時間の設定 タイムアウト時間 (ns) = 設定値を 10 進数化した値 × EX_BUS クロック周期 (ns)

【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.4.32 UltraATA エラー表示レジスタ (UATTER)

機能 : UltraATA DMA 動作において、エラー発生の有無を表示 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PER	DER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	PER	0	R/W	UltraATA DMA 動作中に、ATA 空間に割り付けたエリアに対する PIO アクセスの有無表示 (UltraATA DMA 動作中に、ATA 空間に割り付けたエリアに対して PIO アクセスが発生した場合、PIO アクセスは無視されます) 0 : UltraATA DMA 動作中に、ATA 空間に割り付けたエリアに対しての PIO アクセス無し 1 : UltraATA DMA 動作中に、ATA 空間に割り付けたエリアに対しての PIO アクセス有り
0	DER	0	R/W	UltraATA DMA リード動作において、通信一時停止 (DSTROBE 変化無し状態) を受けた場合のタイムアウトが発生したことを表示。 タイムアウト時間は、UATTSR、UATMR2 レジスタの設定値による。 0 : タイムアウトエラー無し 1 : タイムアウトエラー発生 (UATIER レジスタがイネーブル状態であれば割り込み) UltraATA DMA ライト動作時は、タイムアウト検出無し。

【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.4.33 UltraATA エラー割り込みイネーブルレジスタ (UATIER)

機能 : UltraATA DMA 動作において、エラー発生時の割り込み通知イネーブルの設定
(LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PERE	DERE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	PERE	0	R/W	UATTER レジスタの PER ビットに 1 が表示されている期間において、割り込み通知信号を出力するか否かを指定 0 : 割り込み通知信号を出力しない 1 : 割り込み通知信号を出力する
0	DERE	0	R/W	UATTER レジスタの DER ビットに 1 が表示されている期間において、割り込み通知信号を出力するか否かを指定 0 : 割り込み通知信号を出力しない 1 : 割り込み通知信号を出力する

【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.4.34 UltraATA CRC コード表示レジスタ (UATCRCR)

機能 : UltraATA DMA 動作における通信データの CRC コードを表示 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15~0	CRC	H'0000	R	UltraATA DMA における転送データから生成した CRC コードを表示

【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.4.35 UltraATA DMA モードレジスタ 2 (UATMR2)

機能 : UltraATA モードの動作指定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UATMR2															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UATMR2															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	UATMR2	H'FFFF _FFFF	R/W	UltraATA モードの動作指定ビット UltraATA を使用する際は、必ず H'0000_0006 と設定してください。 H'0000_0006 以外の値の書き込みを行った場合は動作保証されません。

【注】 詳細は「第 6B 章 ローカルバスステートコントローラ (LBSC)」の「図 6B.20 UltraATA DMA の設定手順」を参照してください。

6A.4.36 UltraATA DMA モードレジスタ 3 (UATMR3)

機能 : UltraATA モードの動作指定 (LBSC-DMAC 専用レジスタ)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UATM3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
7~4	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
3~0	UATM3	0000	R/W	UltraATA モードの動作指定ビット UltraATA を使用する際は、必ず H'C と設定してください。 H'C 以外の値の書き込みを行った場合は動作保証されません。

【注】 詳細は「第6B章 ローカルバステートコントローラ (LBSC)」の「図6B.20 UltraATA DMA の設定手順」を参照してください。

6A.4.37 UltraATA 転送モードレジスタ (UATTMR)

機能 : UltraATA DMA 転送モード設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTCD	—	—	—	—	—	—	—	DBG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 書き込み値は常に 0 としてください。読み出し時も 0 が読み出されます。
15~9	—	すべて 0	R/W	リザーブビット 書き込み値は常に 0 としてください。読み出し時も 0 が読み出されます。
8	DTCD	0	R/W	本ビットは、UltraATA DMA 動作時に連続するデバイスターミネーション動作に対する動作モードを制御します。 既存の ATA デバイスの中に、デバイスターミネーションをポーズと同等に扱っているデバイスが存在するため、デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次のデバイスからの DREQ (DMARQ) を待って転送を再開する必要があります。この動作モードを「デバイスターミネーション連続モード」と呼びます。 1: デバイスターミネーション連続モードの抑止 0: デバイスターミネーション連続モード
7~1	—	すべて 0	R/W	リザーブビット 書き込み値は常に 0 としてください。読み出し時も 0 が読み出されます。
0	DBG0	0	R/W	テストビット テストビットのため、1 書き込み禁止です。 書き込み値は常に 0 としてください。読み出し時も 0 が読み出されます。

【注】 UltraATA DMA の動作は、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

6A.5 動作説明

6A.5.1 DMA 転送手順

DMA 転送フロー図を図 6A.2 に示します。

【DMA 転送手順】

- ① **DMAC 初期設定** DMA ポート選択レジスタ (DPTR) に DMA 転送 Peripheral を設定 (HPB-DMAC のみ)
DMA コントロールレジスタ (DCR) に転送条件設定
- ② **DMA 転送情報設定**
DMA コントロールレジスタ : DIP に従い DMA ソースアドレスレジスタ (DSAR)、DMA デスティネーションアドレスレジスタ (DDAR)、DMA トランスファカウントレジスタ (DTCR) を設定
(入力モード : 1 面繰り返し、2 面交互)
入力モード : 1 面繰り返しの場合、DSAR0、DDAR0、DTCR0 を使用します。
- ③ **DMA 起動**
DMA コマンドレジスタ (DCMDR) : DMEN ビットにて DMA を起動します。
- ④ **設定されている DMA 転送情報取得**
設定されている DMA 転送情報を DMA 情報レジスタ 0、1 の順に取り込みます。
- ⑤ **DMA 転送要求クリア**
DMA 転送要求状態表示信号をクリアします。
- ⑥ **DMA 転送**
転送要求モードがオートリクエストの場合、転送情報取得後 DMAC の転送タイミングにて自動的に転送を開始します。
外部リクエスト、Peripheral リクエストの場合、転送要求を受け付けたとき、1 回 (バスアクセス単位) の DMA 転送を行います。
タイマリクエストの場合、転送情報取得後 DMAC 内蔵タイマ設定間隔にて自動的に転送を開始します。
- ⑦ **指定転送回数終了割り込み**
転送モード : 単転送モード時
指定転送回数終了時、転送を終了します。
終了を割り込みにて CPU に通知します。
転送モード : 連続転送モード時
1DMA 転送情報単位に転送終了を割り込みにて、CPU に通知します。
割り込み信号は、DMA 転送終了割り込みイネーブルレジスタ (DINTMR) によって制御されます。
- ⑧ 次の DMA 転送情報取得 (連続転送モード時)
次 DMA 転送要求がある場合、次の転送情報を取得し、⑥DMA 転送を行います。
次 DMA 転送要求がない場合 (DRSTS=0)、DQSTS=1 ならば、DMA 連続転送モードを終了とし、DQSTS=0 ならば、次 DMA 転送要求を待ち続けます。

⑨ DMA 転送情報追加 (連続転送モード時)

追加する DMA 転送情報がある場合、次 DMA 転送情報面に、次の DMA 転送情報設定を行います。

(次 DMA 転送情報面は、DMA ステータスレジスタ (DSTS) : NDP1/0 ビットにて確認可能)

追加する転送情報がない場合、DMA コマンドレジスタ (DCMDR) : DQEND に 1 ライトし、連続転送モードを終了します。

【注】 実際は、ソース側バスとデスティネーション側バスの動作は独立しています。

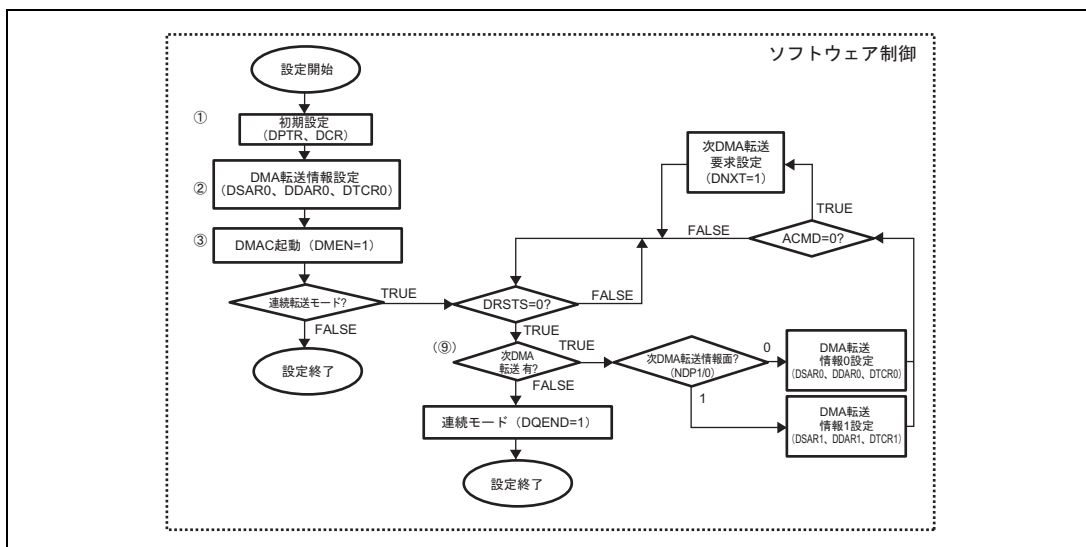


図 6A.2 DMA 転送フロー図 (1)

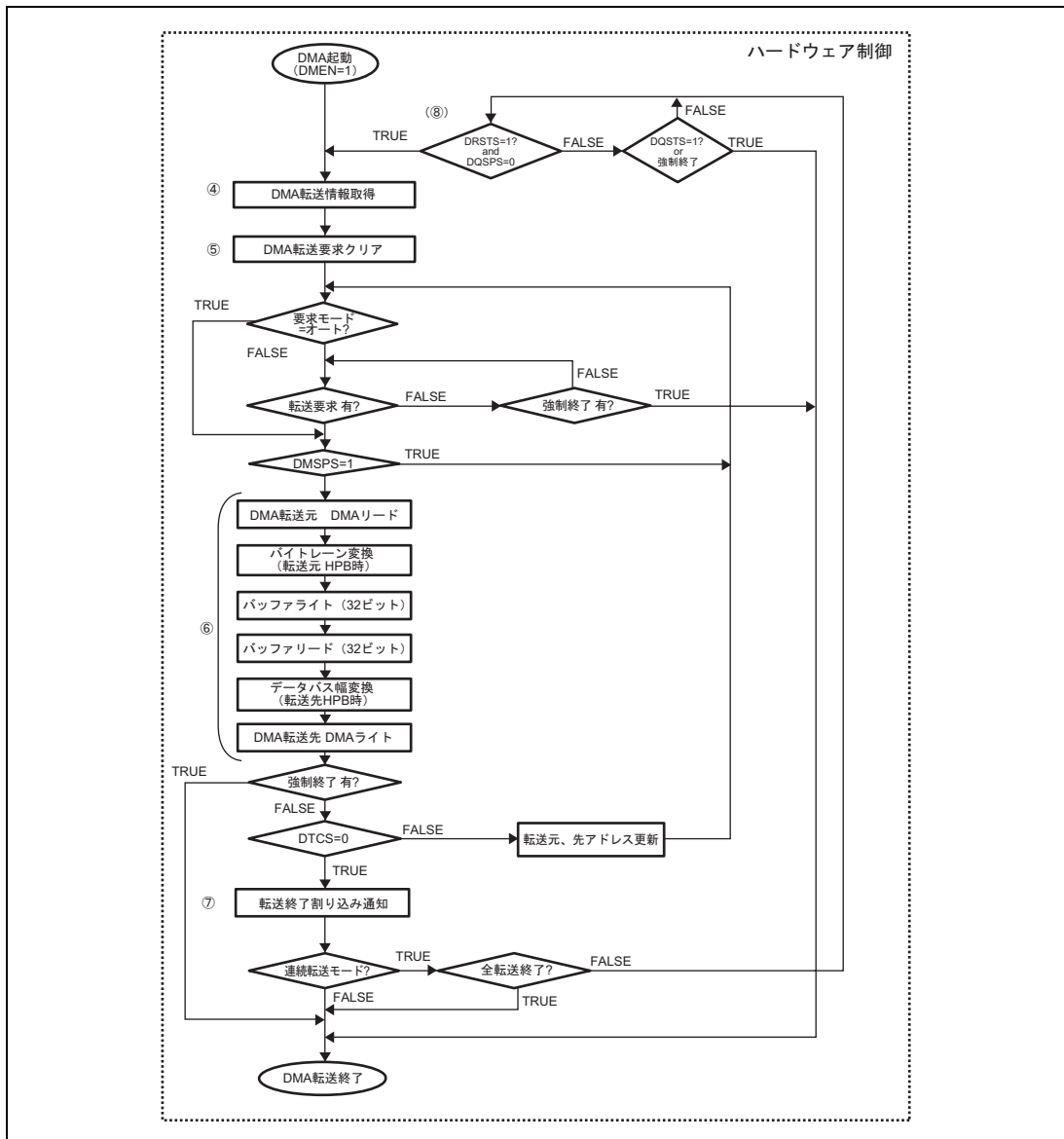


図 6A.2 DMA 転送フロー図 (2)

6A.5.2 DMA 連続転送動作

「6A.5.1 DMA 転送手順」内の【DMA 転送手順】(⑨)に示すソフトウェアによるDMA転送情報追加動作とハードウェアによるDMA転送情報取動作および転送動作の関係を以下に示します。図6A.3、図6A.4にDMA情報レジスタ0を連続使用する場合、図6A.5、図6A.6にDMA情報レジスタ0/1を交互に使用する場合を示します。

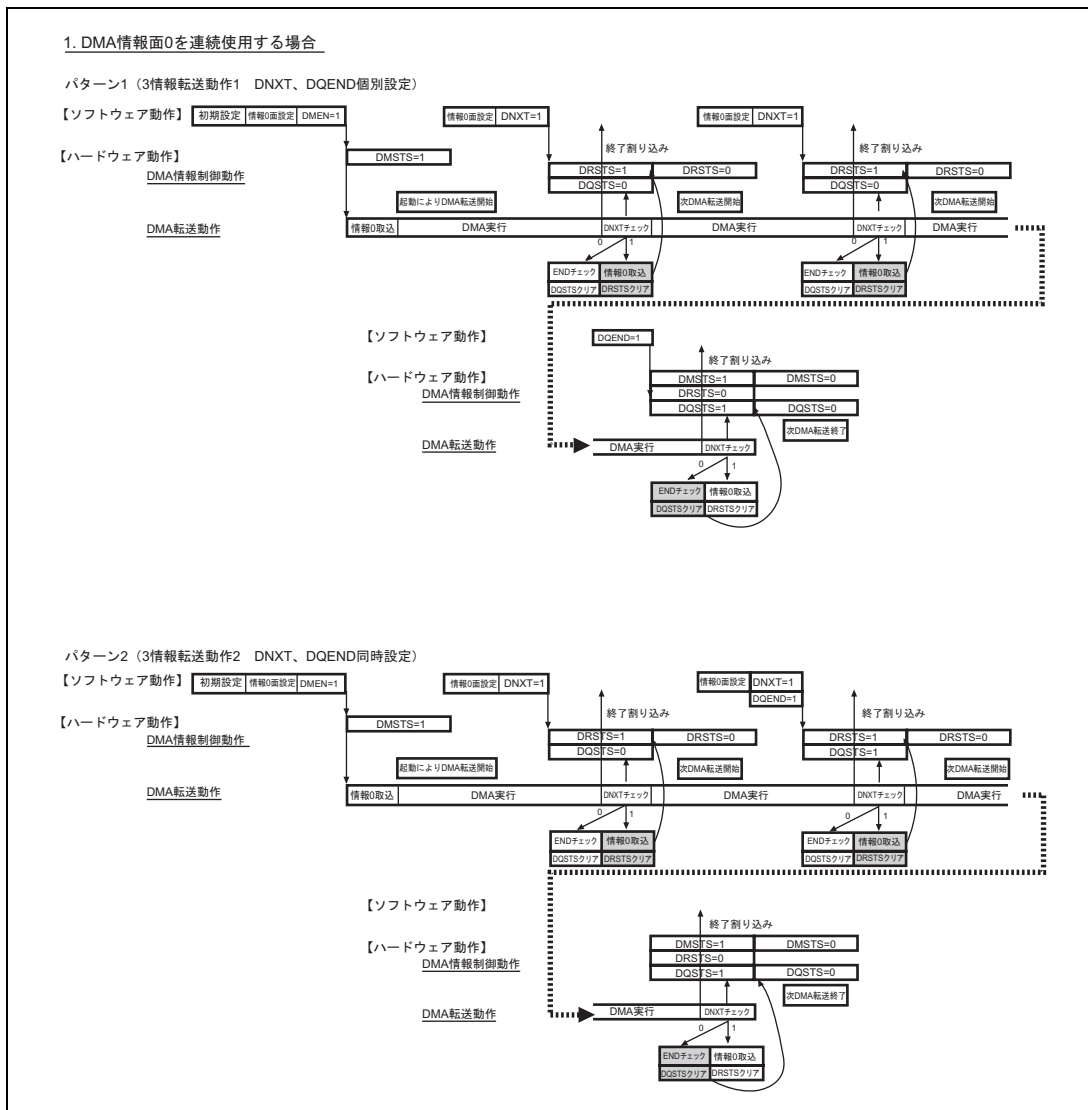


図 6A.3 DMA 情報面 0 を連続使用する場合 (1)

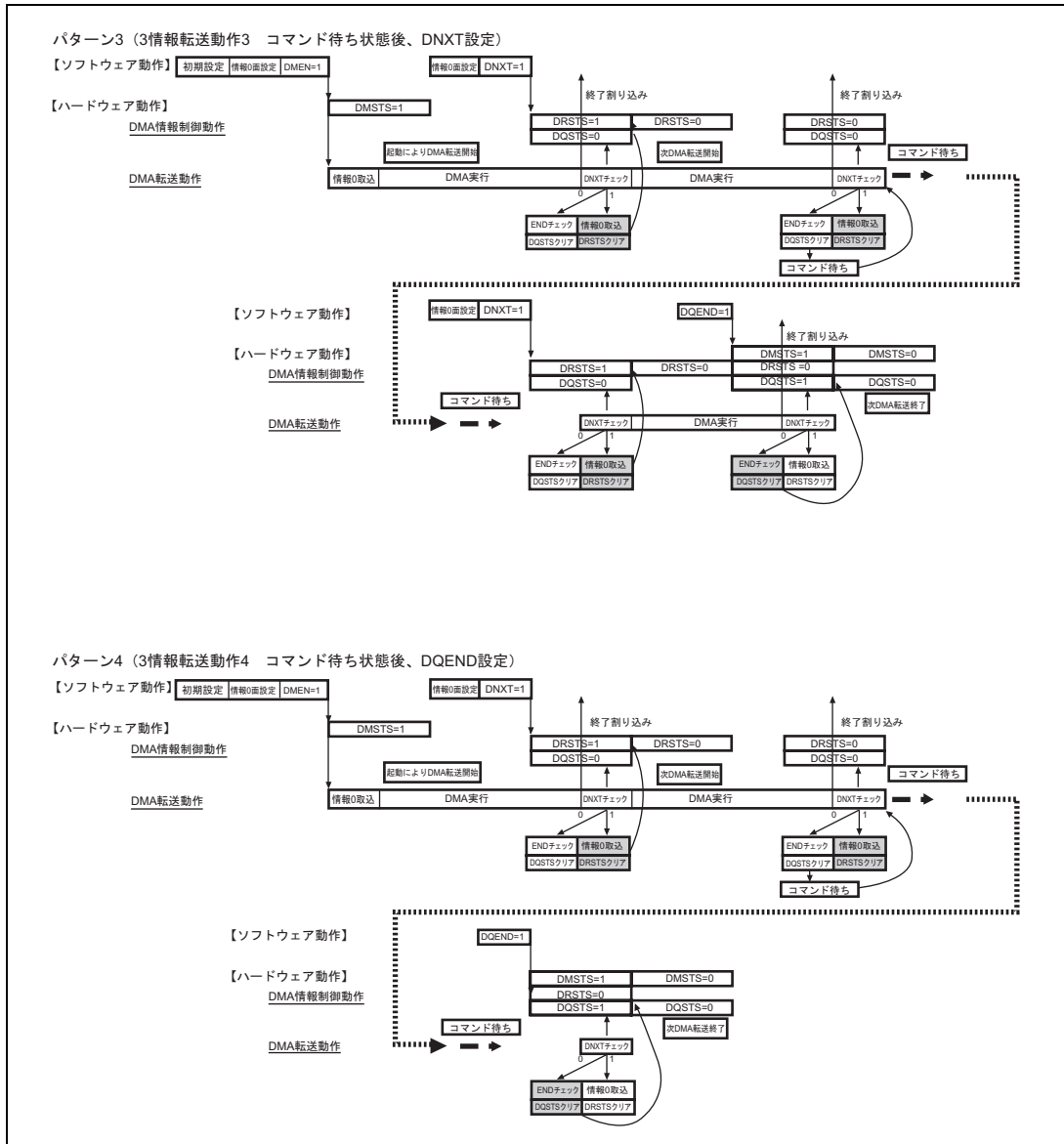


図 6A.4 DMA 情報面 0 を連続使用する場合 (2)

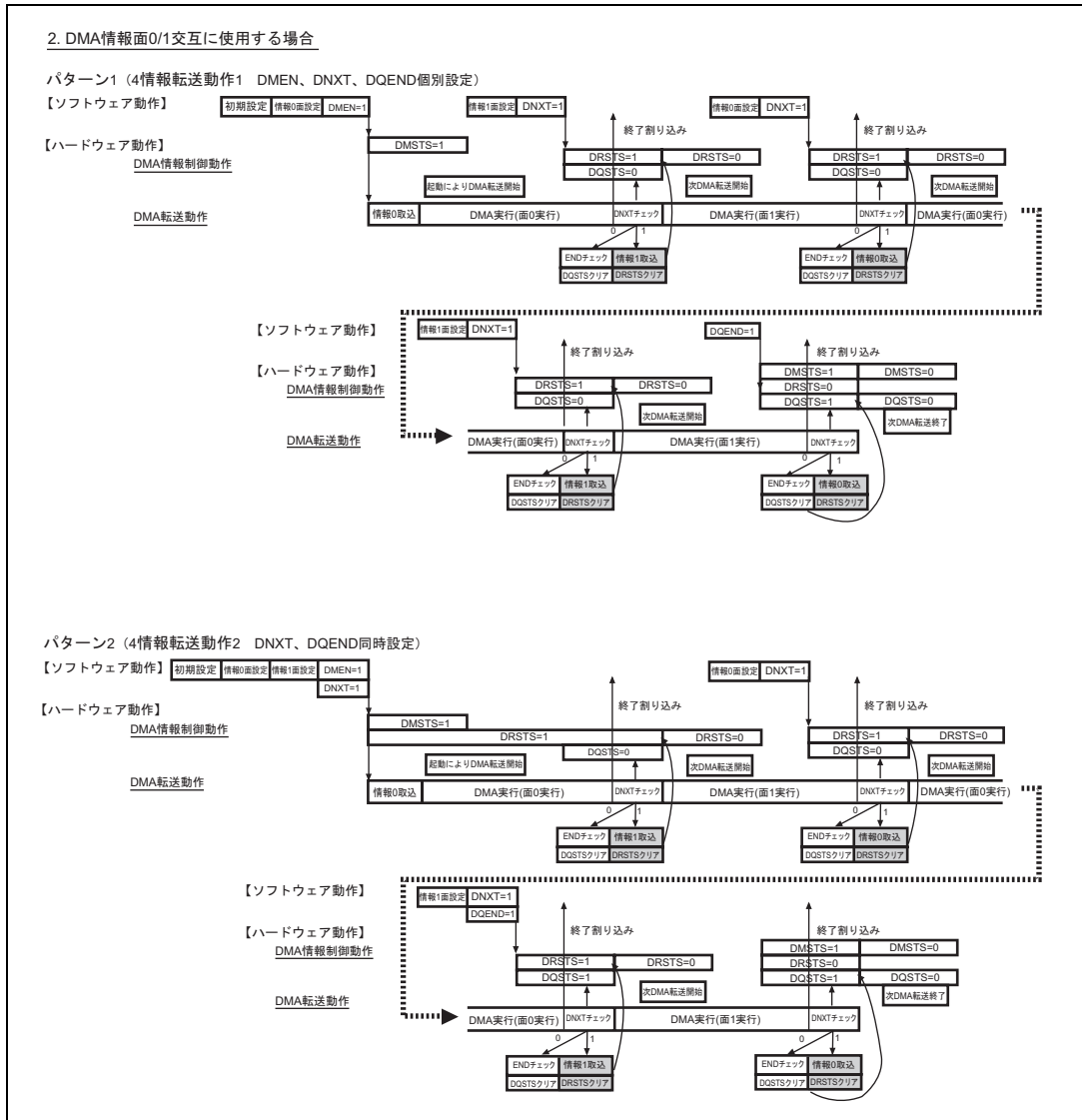


図 6A.5 DMA 情報面 0/1 を交互に使用する場合 (1)

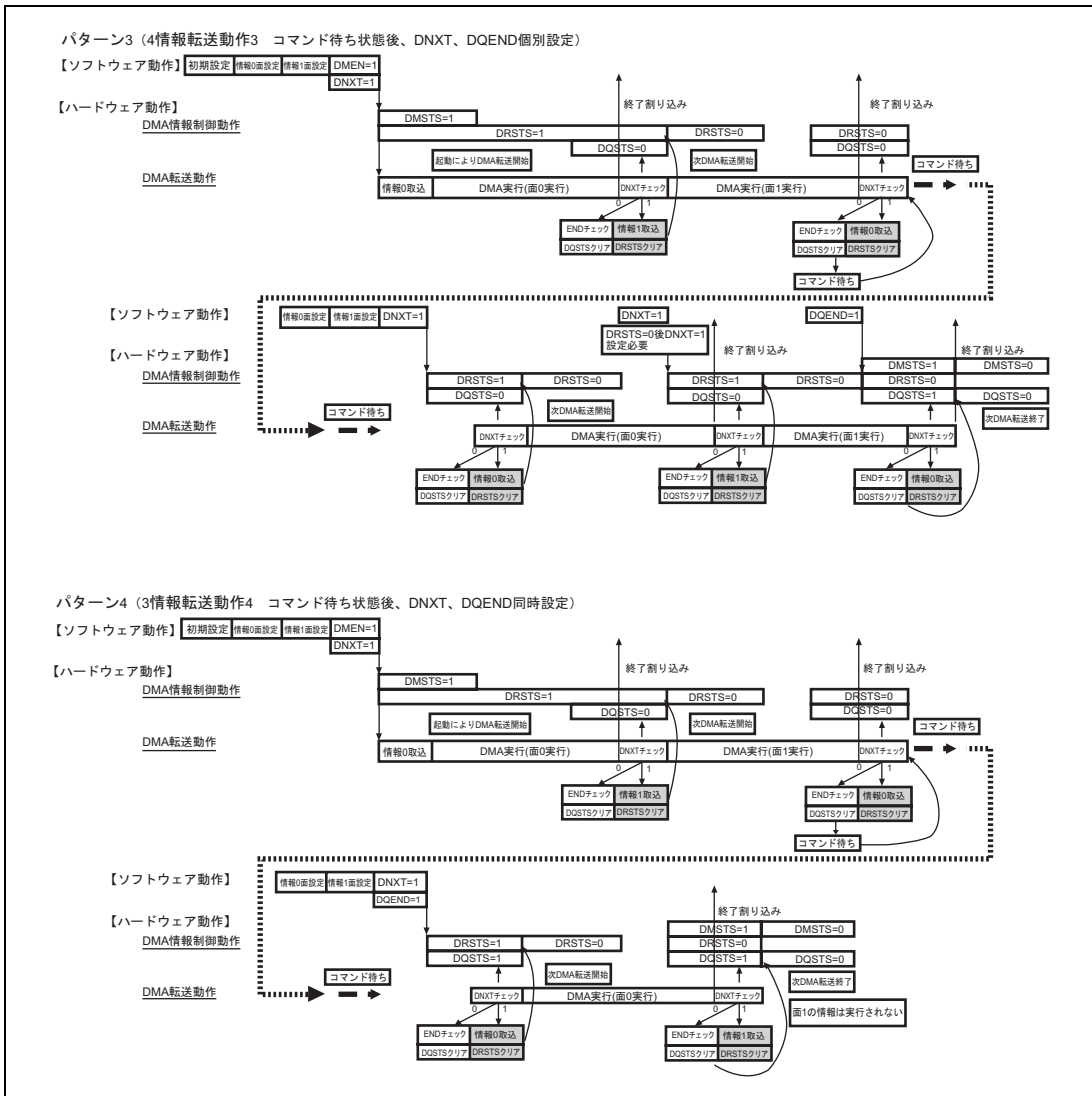


図 6A.6 DMA 情報面 0/1 を交互に使用する場合 (2)

6A.5.3 Peripheral または外部モジュールからのリードデータバッキング機能

通常時の DMA 起動手順における DMA コントロールレジスタ (DCR) 設定時に、DCR の PKMD ビットに 1 をライトすることで Peripheral または外部モジュール側からのリードデータをバッキングしてメモリ (SuperHyway) 側へライト転送する機能を有効にすることができます。バッキング指定サイズは、DCR の SWMD ビットによって 4 バイトまたは DCR レジスタの【注】に示すバイト単位を選択することが可能ですが、SuperHyway 側の転送の宛先がメモリ (DDR2-SDRAM/DDR3-SDRAM) である場合は、DCR レジスタの【注】に示すバイト単位でバッキング指定することがメモリや SuperHyway バスをより効率良く使用することができるため推奨されます。

一方、LBSC-DMAC にとって SuperHyway 側の転送先が HPB 配下である場合は、HPB 配下の Peripheral はレジスタライトが 4 バイト以下であるため、DCR レジスタ SWMD=0 設定時アクセスサイズ (各チャンネルのアクセスサイズは、DCR レジスタの【注】を参照してください) のバッキング指定はできません。しかし、HPB-DMAC にとって、SuperHyway 側の転送の宛先が外部バス上である場合は、そのデバイスが SRAM などであれば、DCR レジスタ SWMD=0 設定時アクセスサイズの転送は可能となります。

バッキング動作では、DMAC が指定された回数の転送を終えた時点で DMAC 内に存在するデータがバッキング指定サイズ以下であった場合、取り込んだバイト数のデータライトを 1 回行い、DMA 転送終了割り込み表示レジスタ (DINTSR) の DTE[n]にて DMA 転送終了を示します。

一方、指定された回数の転送を終わっていないときに、Peripheral または外部モジュールの DMA 要求が完了した場合、DMA コマンドレジスタ (DCMDR) の BDOUT ビットへ 1 ライトすることにより転送を終了することができますが、そのときに、DMAC にバッキング途中のデータが残っている場合は、そのデータをメモリ (SuperHyway) 側へ書き込み、DMA 転送終了割り込み表示レジスタ (DINTSR) の DTE[n]に終了表示が立ち、終了割り込みが発生します。なお、メモリライト時は 0 パディングは生じません。DMAC にデータが残っていない場合では、メモリへのアクセスを行わず転送終了となり、データが残っている場合と同様に終了割り込みが発生します。

連続転送モード時に BDOUT ビットにより終了した場合は、次 DMA 情報転送要求を DMA コマンドレジスタ (DCMDR) の DNXT ビットにてあらかじめ指定していれば次 DMA 情報転送を行い、連続転送モードの終了手順に従って DMA 転送終了となります。

同モードの場合、BDOUT ビットへの 1 ライトから終了割り込み発生の間、Peripheral または外部モジュールからの DMA 要求 (dreq) はマスクされます (DMA 要求を受け付けません)。

6A.5.4 Peripheral または外部モジュールからのリードデータパッキング機能に関する制限事項

- DMACの転送回数は、DMAトランスファカウンタレジスタ0、1 (DTCR0、DTCR1) にて指定された値となります。
- 指定された転送回数に達しない状態で、Peripheralまたは外部モジュール側のDMA転送が完了すると、転送中なのか転送完了なのかの区別がつかないので、DMAC内部のバッファにパッキングサイズに満たないデータが残ることがあります。
ちょうど、パッキングサイズ指定と同じバイト数の場合は、メモリに転送されます。
- DMAC内部のバッファに残っていても、DMAコマンドレジスタ (DCMDR) のBDOUTビットにより強制ライトを実行すると、メモリに転送されます。(転送先がメモリなので0パディングはしません。たとえば、メモリに未転送データが3バイトDMAC内にある場合、その3バイトのデータをメモリへライトを行います。)
- 強制ライト実行のきっかけとしては、Peripheralまたは外部モジュールからの転送完了割り込みがあります。しかし、転送完了割り込みが上がったときに、Peripheralまたは外部モジュールからのDMAC転送が完了しているかは、Peripheralまたは外部モジュールの仕様に依存します。
そのため、強制ライト実行にあたっては、Peripheralの仕様を確認してください。

6A.5.5 DMA 転送終了通知

DMAC は、単転送モード時、DMA 転送情報の転送回数終了時、INTC2 経由で CPU に対し終了割り込み信号 (レベル信号) を出力し、転送終了を通知します。また連続転送モード時、1 つの DMA 転送情報の指定転送回数終了のたびに毎回 CPU に対し終了割り込み信号を出力します。DMA 転送終了による割り込み信号は、DMA 転送終了割り込みイネーブルレジスタ (DINTMR) により制御されます。また、DMA 転送終了割り込み表示クリアレジスタへの 1 ライトにより、DMA 転送終了信号をクリアします。

6A.5.6 DMA 転送停止、再開手順

DMA 転送停止、再開手順を以下に示します。

● DMA 動作中に DMA を停止 (キャンセル) させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1 ↓	DMAC に強制停止を設定	DMAC (DSTPR [DMSTP]) フィールドに 1 ライト	DMAC は、現在実行中の DMA バスサイクルが終了次第、DMA を停止させ、アイドルへ移行。 バッファ内の転送未完了データは破棄。 レジスタ値は残る。終了割り込み出力はなし。
2 ↓	DMAC アイドル状態移行の確認	DMAC (DSTSR [DMSTS]) が 0 となればアイドル状態	—————
3	外部デバイスに強制終了を設定	(外部デバイス依存)	外部デバイスは DMA 要求を停止

【注】 手順 2 は手順 3 の後での実施でも可。

● DMA 動作中に DMA を一時停止 (ポーズ) させ、その後 再開させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1 ↓	DMAC に一時停止を設定	DMAC (DCMDR [DMSPD]) フィールドに 1 ライト	現在実行中の DMA バスサイクルが終了次第、DMA を一時停止。 DMAC 内部状態はバッファ内の転送未完了データも含めそのまま保存される。
2 ↓	DMAC 一時停止状態 移行の確認	DMAC (DSTSR [DMSPS]) が 1 となれば一時停止状態	_____
3 ↓	任意時間の経過 (この間に、LBSC は外部デバイスの DREQ を 1 つ検出するかもしれないが、DMAC は一時停止の状態が続く。また、外部デバイスは DMA 転送待ちの状態が続く)		
4	DMAC に一時停止再開を設定	DMAC (DCMDR [DMSPC]) フィールドに 1 ライト	ポーズ状態が解除され LBSC が検出していた DREQ に対する DMA 動作から再開する。

【注】 手順 2 は手順 3 と 4 の間での実施でも可。

● DMA 動作中に DMA を一時停止 (ポーズ) させ、その後停止 (キャンセル) させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1 ↓	DMAC に一時停止を設定	DMAC (DCMDR [DMSPD]) フィールドに 1 ライト	現在実行中の DMA バスサイクルが終了次第、DMA を一時停止。 DMAC 内部状態はバッファ内の転送未完了データも含めそのまま保存される。
2 ↓	DMAC 一時停止状態 移行の確認	DMAC (DSTSR [DMSPS]) が 1 となれば一時停止状態	_____
3 ↓	任意時間の経過 (この間に、LBSC は外部デバイスの DREQ を 1 つ検出するかもしれないが、DMAC は一時停止の状態が続く。また、外部デバイスは DMA 転送待ちの状態が続く)		
4 ↓	DMAC に強制停止を設定	DMAC (DSTPR [DMSTP]) フィールドに 1 ライト	DMAC は、一時停止状態からアイドル状態へ移行。 バッファ内の転送未完了データは破棄。 レジスタ値は残る。終了割り込みは無し。
5 ↓	DMAC アイドル状態移行の 確認	DMAC (DSTSR [DMSTS]) が 0 となればアイドル状態	_____
6	外部デバイスに強制終了を設定	(外部デバイス依存)	外部デバイスは DMA 要求を停止

【注】 1. 手順 2 は手順 3 と 4 の間での実施でも可。

2. 手順 5 は手順 6 の後での実施でも可。

6A.5.7 SuperHyway バスインタフェースにおけるデータアライメント

SuperHyway バス側アクセスは、常にアクセス要求～要求許可によるハンドシェイクにより行います。また、SuperHyway バスを介したメモリへのアクセスにおけるリード/ライトデータのデータアライメント変換を行います。

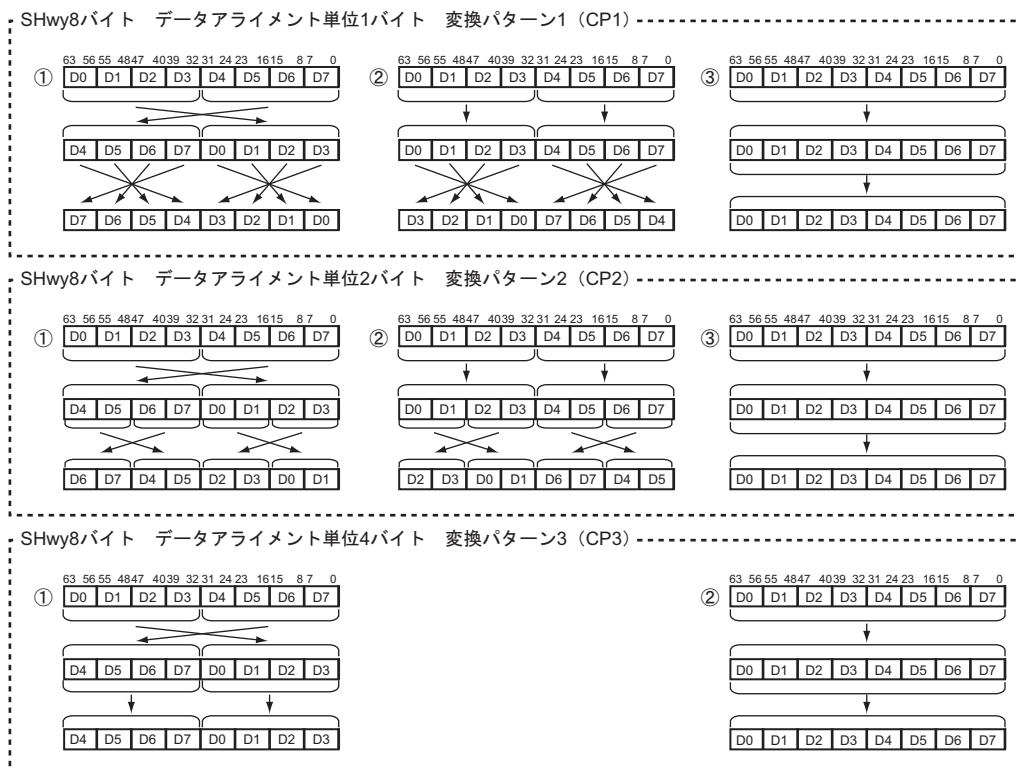
データアライメント変換は、DMA コントロールレジスタ (DCR) の DTAMD=0 のとき、エンディアンモード信号 (DMAC 入力信号: little) と Peripheral データバス幅 (DMAC コントロールレジスタ (DCR) の SPDS[1:0] または DPDS[1:0]) により SuperHyway バスデータアライメント変換を行い、DMA コントロールレジスタ (DCR) の DTAMD=1 のとき、DMA コントロールレジスタ (DCR) の DTAC、DTAU、DTAU1 ビットにて設定された値により SuperHyway バスデータアライメント変換を行います。DMA コントロールレジスタ (DCR) の DTAMD、エンディアンモード信号 (DMAC 入力信号: little)、Peripheral データバス幅 (DMAC コントロールレジスタ (DCR) の SPDS ビット[1:0] または DPDS ビット[1:0])、DMA コントロールレジスタ (DCR) の DTAC、DTAU、DTAU1 ビットと、SuperHyway バスデータアライメント制御との対応を表 6A.4 に示します。

表 6A.4 データアライメント制御信号対応表

番号	DTA MD	Little (MD[8])	PDS [1:0]	DT AC	DT AU	DT AU1	4バイトに 対するデータ アライメント 有無	4バイトに 対するデータ アライメント 単位	8バイトに対する 4バイトデータ アライメント 有無	変換 パターン	備考
1	0	0	00(8bit)	*	*	*	行わない	8bit	行わない	CP1③	標準的な 変換 (ソフト は PDS[1:0] のみを意 識)
2	0	0	01(16bit)	*	*	*	行わない	16bit	行わない	CP2③	
3	0	0	10(32bit)	*	*	*	行わない	8bit	行わない	CP3②	
4	0	1	00(8bit)	*	*	*	行う	8bit	行う	CP1①	
5	0	1	01(16bit)	*	*	*	行う	16bit	行う	CP2①	変則的な 変換 (ソフト にて アライメ ントの 形式を意 識)
6	0	1	10(32bit)	*	*	*	行わない	8bit	行う	CP3①	
7	1	*	*	0	0	0	行わない	8bit	行わない	CP1③	
8	1	*	*	0	0	1	行わない	8bit	行う	CP3①	
9	1	*	*	0	1	0	行わない	16bit	行わない	CP2③	
10	1	*	*	0	1	1	行わない	16bit	行う	CP3①	
11	1	*	*	1	0	0	行う	8bit	行わない	CP1②	
12	1	*	*	1	0	1	行う	8bit	行う	CP1①	
13	1	*	*	1	1	0	行う	16bit	行わない	CP2②	
14	1	*	*	1	1	1	行う	16bit	行う	CP2①	

【注】 * : Don't Care

DMAC で行うデータアライメント変換動作を以下に示します。表 6A.4 の変換パターン番号は下記変換動作番号になります。



6A.5.8 HPB バスインタフェースにおけるデータアライメント

HPB バス側アクセスは、データバス幅は、DMA コントロールレジスタの SPDS、DPDS ビットで設定されたバス幅でアクセスされ、エンディアンはビッグエンディアン固定となります。

6A.5.9 EX_BUS インタフェースにおけるデータアライメント

外部バス側アクセス時のアライメントに関してもデフォルトでは HPB バスの考え方と同じですが、DMAC の DMALGR レジスタの設定により、アライメント変換の考え方を可変に変更することが可能です。可変モード時の動作内容に関しては、「第 6B 章 ローカルバスステートコントローラ (LBSC)」の「6B.6.3 (1) LBSC-DMAC アクセス時のデータアライメント」を参照ください。

6A.5.10 タイミングチャート

外部バスの SRAM バス動作における DMA 動作のタイミングチャートを示します。タイミングチャート図における DREQ や DACK の信号極性は負極性で記載されていますが、これらの極性設定や、CS# と DACK 信号のどちらか一方のみをアサートさせる設定、また DREQ をレベル信号あるいはエッジ検出モードに切り替える設定が可能です。いずれも LBSC 内部レジスタ設定によって行ってください。

(1) EX_BUS DMA シングルリード動作、ライト動作

SRAM バス動作では、DREQ を受信すると、DRACK をアサート出力して DMA 要求を検出したことを通知します。LBSC-DMAC 0ch 以外は DRACK 信号が無いので、その場合、DMA 要求元のデバイスは、実際に DMA 転送が開始されたことを示す DACK 信号によって、該当バス動作が終了するまでに、DREQ 信号をネグートする必要があります。DMAC は DMA バス動作が終了した次のクロックから次の DREQ のサンプリングを開始し (次のサンプリング開始を遅らせることが LBSC-DMAC の DMA リクエストマスクコントロールレジスタ (DRMSKR) で設定可能です)、検出した場合は、次の DMA 転送バス動作を開始します。

DMA シングルリード、ライト動作では CS# アサートから RD# (または WE#) 信号アサートまでのクロックサイクル数、RD# (または WE#) パルスのクロックサイクル数、RD# (または WE#) ネグートから CS# ネグートまでのクロックサイクル数が LBSC 内部レジスタの設定で可能です。また、RD# (または WE#) アサート期間中に DMA 要求元からの WAIT 信号を検出した場合は、WAIT アサートされている期間、RD# (または WE#) パルス幅が延長されます。WAIT 信号をサンプリングする指定に関しても LBSC 内部レジスタ設定を行ってください。

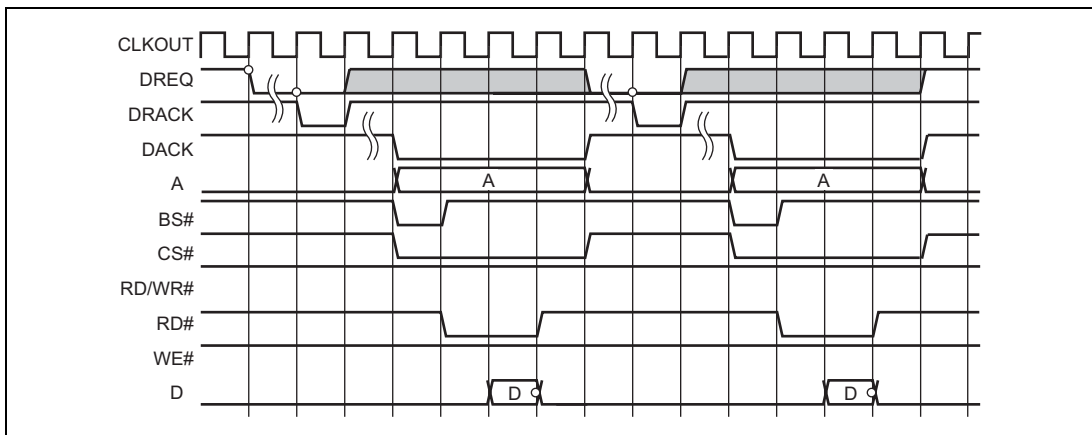


図 6A.7 外部バス DMA リード動作 (SRAM バス シングルリード)

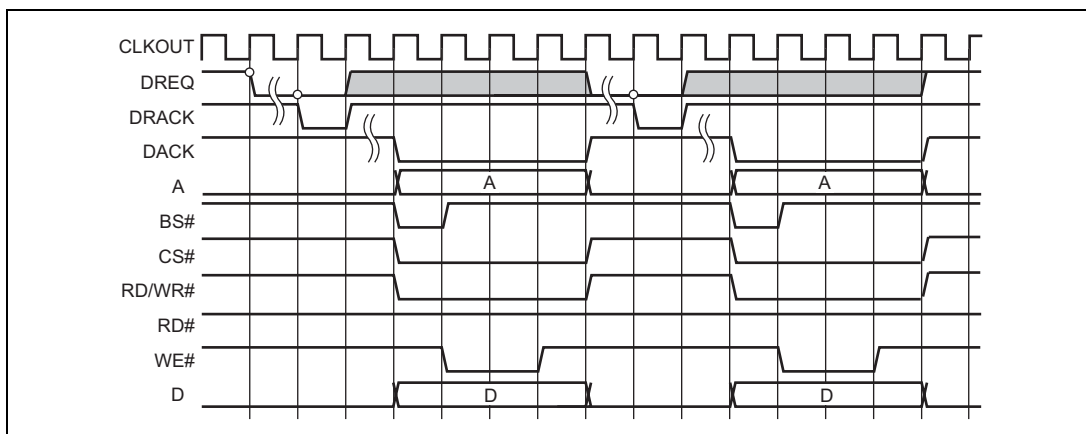


図 6A.8 外部バス DMA ライト動作 (SRAM バス シングルライト)

(2) EX_BUS DMA 8 バーストリード動作、ライト動作

DMA 8 バースト動作では、1 回の DREQ の検出にて 8 バーストのバス転送動作を行います。SRAM バス動作では、DREQ を受信すると、DRACK をアサート出力して DMA 要求を検出したことを通知します。LBSC-DMAC 0ch 以外は DRACK 信号が無いので、その場合、DMA 要求元のデバイスは、実際に DMA 転送が開始されたことを示す DACK 信号によって、該当 8 バーストバス動作が終了するまでに、DREQ 信号をネゲートする必要があります。DMAC は DMA バス動作が終了した次のクロックから次の DREQ のサンプリングを開始し (次のサンプリング開始を遅らせることが LBSC-DMAC DMA リクエストマスクコントロールレジスタ (DRMSKR) で設定可能です)、検出した場合は、次の DMA 転送 8 バーストバス動作を開始します。

DMA 8 バースト動作においても CS#アサートから RD#(または WE#)信号アサートまでのクロックサイクル数、RD# (または WE#) パルスのクロックサイクル数、RD# (または WE#) ネゲートから CS#ネゲートまでのクロックサイクル数は、LBSC 内部レジスタにて設定可能です。また、RD# (または WE#) アサート期間中に DMA 要求元からの WAIT 信号を検出した場合は、WAIT アサートされている期間、RD# (または WE#) パルス幅を延長することも可能です。WAIT 信号制御については、LBSC 内部レジスタにて行ってください。

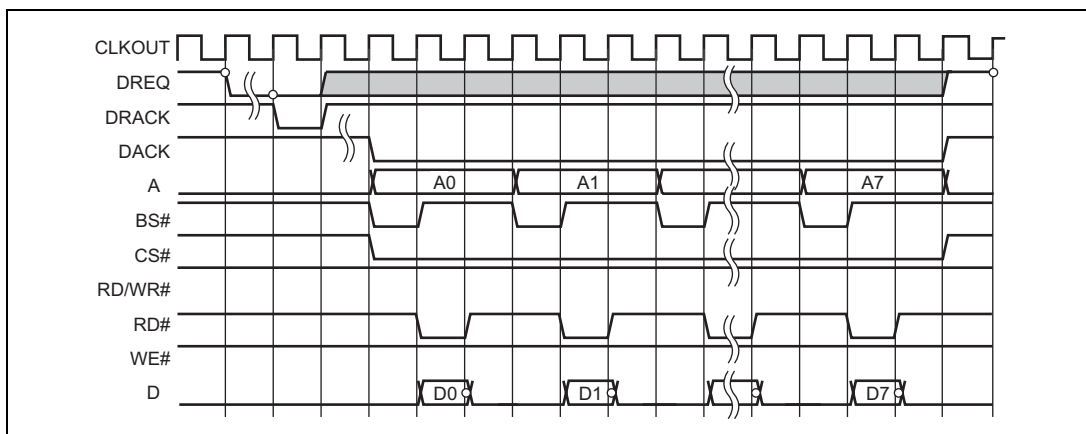


図 6A.9 外部バス DMA リード動作 (SRAM バス バーストリード)

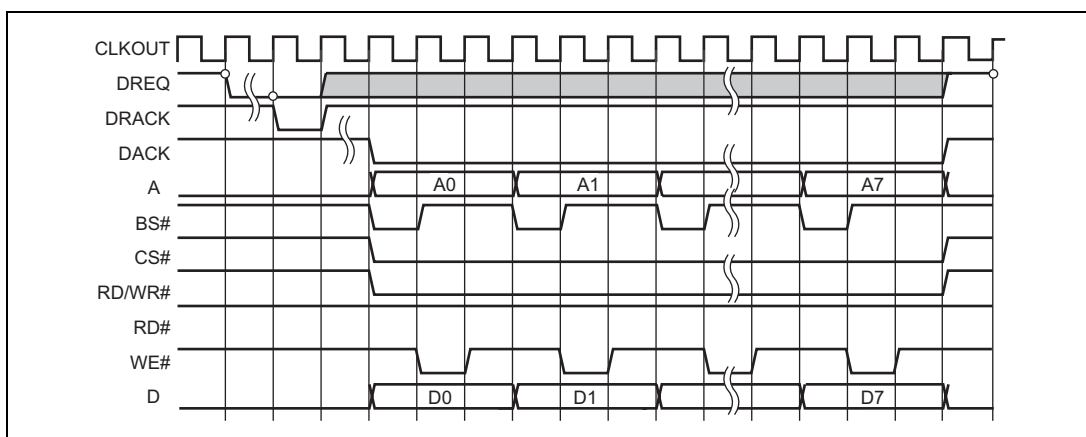


図 6A.10 外部バス DMA ライト動作 (SRAM バス バーストライト)

6A.5.11 HPB-DMAC SuperHyway バスおよび HPB バスアクセス優先制御

HPB-DMAC は、0ch~28ch 間の SuperHyway バスおよび HPB バスへのアクセス競合に対し、HPB-DMAC アクセス優先レベルコントロールレジスタ (HPB-DMLVLR) の各ビット (DMLV0~28) の設定により 2つのグループにグルーピングし、それぞれのグループ内においてラウンドロビン方式で優先される HPB-DMAC チャンネルを決定します。HPB-DMAC SuperHyway および HPB バス調停の概念図を図 6A.11 に示します。

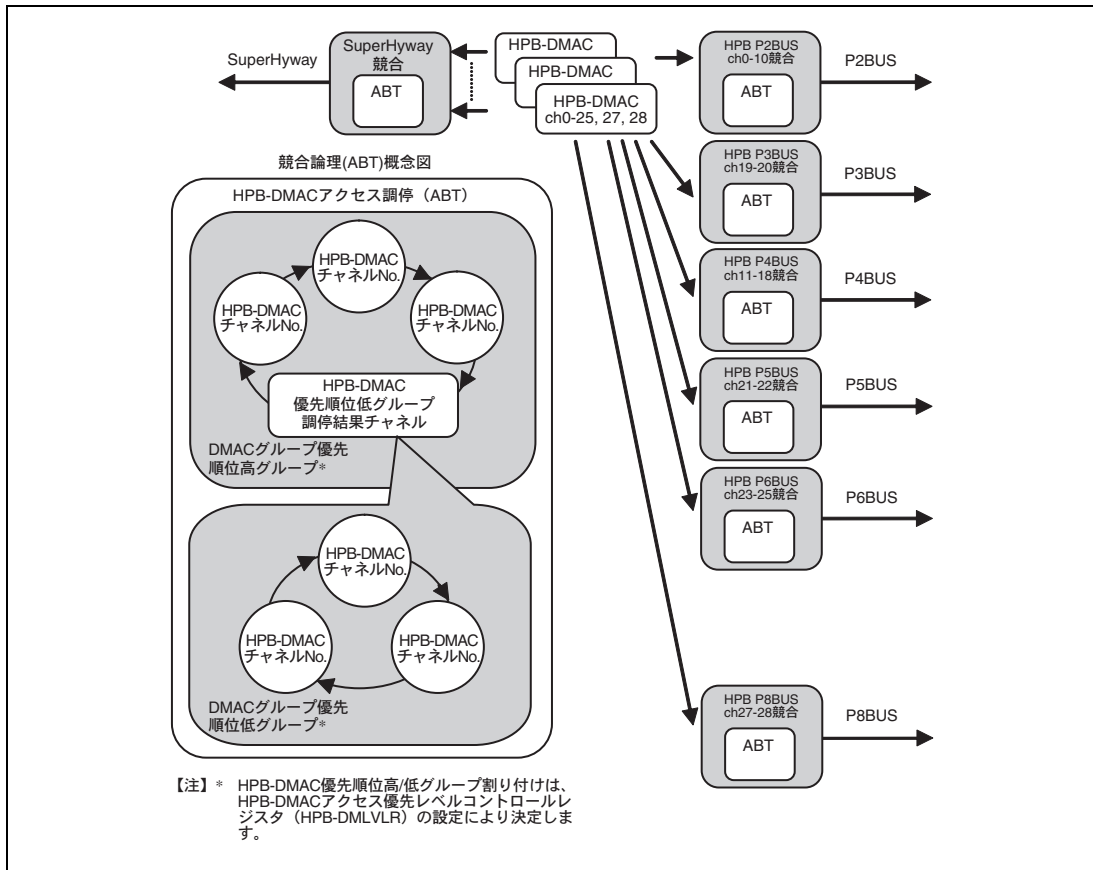


図 6A.11 HPB-DMAC SuperHyway および HPB バス調停の概念図

6A.5.12 HSPI DMA 転送時の受信データパッキング機能使用時の制限事項

HSPI のレジスタ構成は 32 ビットですが、受信データ幅は 8 ビットのため、DMA 転送時にデータパッキング機能を使用することができます。ただし、以下の使用上の制約事項があります。

HPB-DMAC (0~10ch) 設定時、DMA コントロールレジスタ (DCR) の PKMD ビットを 1 書き込みすることによりパッキング機能有効となります。

パッキング機能を使用する場合

HPB-DMAC (0~10ch) の DMA ソースアドレスレジスタに下記アドレスを設定してください。

HSPI :

H'FFFC 7013 (P4 領域アドレス) もしくは、H'1FFC 7013 (エリア7アドレス) を設定してください。

6A.5.13 リアルタイム性のあるモジュールの DMA 転送時の注意事項

リアルタイム性のあるモジュール (SSI、HSPI など) の DMA 転送を行う場合、以下調停制御の設定をしてください。

ただし、本設定にて同時に動作させる HPB-DMAC チャンネル数を 8 以下としてください。

1. 「6A.4.28 HPB-DMAアクセス優先レベルコントロール (HPB-DMLVLR)」の該当チャンネルビット (DMLVx (x : 0~18)) を 1 (LEVEL1 (高 : グループ1)) に設定してください。
2. 「6A.4.24 HPB-DMA SHwyプライオリティコントロールレジスタ0 (HPB-DMASPR0)」、「6A.4.25 HPB-DMA SHwyプライオリティコントロールレジスタ1 (HPB-DMASPR1)」、「6A.4.26 HPB-DMA SHwyプライオリティコントロールレジスタ2 (HPB-DMASPR2)」の該当チャンネルビット (SPRRx (x : 0~18)) を H'9 (SHwy_BUS優先レベルをH'9) に設定してください。

6B. ローカルバスステートコントローラ (LBSC)

6B.1 概要

LBSCは、CPU (SuperHyway バス) からのアクセスや LBSC-DMAC0~2chからのDMAアクセスをバス調停の後にインタフェース変換をして外部バスへ出力します。また外部バスアクセスにおいて、LBSCのコントロールレジスタに各種設定を行うことにより、外部バス上の各エリアごとに接続インタフェース種別を選択したり、リード/ライトイネーブル信号に対するアドレスやチップセレクト信号のセットアップ/ホールドサイクル数を調整することが可能です。これにより、各エリアに割り付けられた外部デバイスへのアクセス方法に多様性を持たせています。

外部バスクロック CLKOUT 信号の周波数は、CPU動作周波数 533.3MHz の場合、CPU動作周波数の 1/12 分周である 44.4MHz、CPU動作周波数 400MHz の場合、CPU動作周波数の 1/8 分周である 50MHz で動作し、LBSCは CLKOUT 信号のクロックに同期してバス信号を出力します。

6B.2 特長

- エリア0、エリア1、エリア6の空間に対応し、
 - EX_BUSに割り付きSRAM、ATA、バイト制御SRAMバスプロトコルの選択が可能
 - エリア6の空間中、64Mバイトを最大6エリア (各エリア容量は可変) に細分化して管理
 - エリア0の空間中、64Mバイトを最大7エリア (各エリア容量は可変) に細分化して管理 (MD7端子=0、MD9端子=1の場合)
 - 各エリアごとに、I/F設定、バス幅設定、ウェイトステート挿入が可能
 - CPU動作周波数533.3MHzの場合、CPU動作周波数の1/12のバスクロック周波数に同期出力
 - CPU動作周波数400MHzの場合、CPU動作周波数の1/8のバスクロック周波数に同期出力
- 外部DMA転送 (DMACの詳細な機能については「第6A章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」のLBSC-DMACを参照ください。)
 - チャンネル数: 3チャンネル
 - DACK付きデバイスのサポート
 - エッジ、レベル外部リクエストのサポート
 - DREQの同期/非同期受信切り替え、DREQ、DACK、DRACKの極性反転をレジスタ設定により可能

- SRAMインタフェース
 - ウェイトステート挿入をレジスタ設定で可能
 - EX_WAIT端子によるウェイトステート挿入
 - 接続可能バス幅 16ビット、8ビット

- バーストROMインタフェース (エリア0、CPUアクセスのみ対応)
 - ウェイトステート挿入をレジスタ設定で可能
 - バースト回数をレジスタ設定により可能 (アドレス分解点到達時は自動判別でアクセスを分割)
 - 接続可能バス幅 16ビット、8ビット

- バイト制御SRAMインタフェース (エリア1、6のみ対応)
 - バイト制御可能なSRAMインタフェース
 - ウェイトステート挿入をレジスタ設定で可能
 - EX_WAIT端子によるウェイトステート挿入
 - 接続可能バス幅 16ビット、8ビット

- ATAインタフェース (エリア1、6のみ対応)
 - ウェイトステート挿入をレジスタ設定で可能
 - PIOモード0~4をサポート
 - マルチワード転送をサポート
 - UltraDMAモード0~4転送をサポート
 - レディタイムアウト検出 (検出時間 (ns) = EX_BUS動作周波数 (ns) × 100クロック)

6B.3 ブロック図

LBSCブロック図を図6B.1に示します。LBSCはSuperHywayバス上に位置し、CPUからのアクセスを順次LBSC内部のレジスタに設定された内容に従い外部バスに出力します。外部バス (EX_BUS) はSRAMまたはATAバスプロトコルが選択可能です。またLBSCは、外部バスとDDR2-SDRAM間のDMA転送を制御するLBSC-DMACを3チャンネルとチップ内外の割り込みを制御するINTCおよびINTC2を内蔵しています。LBSC-DMACとINTCおよびINTC2に関する詳細な説明は、「第6A章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」および「第7章 割り込みコントローラ (INTC、INTC2)」を参照してください。CPU、LBSC-DMACは外部バスに向かってアクセス競合が発生するため、BSCはArbiter部によりこれらアクセスの調停を行います。調停により選択されたアクセス要求は、バスインタフェース部により外部バス波形に変換され出力されます。外部デバイスは、アクセス受信時の状況に応じて応答の待ち合わせを行うことが可能で、LBSCはこれを可能とするために外部ウェイトコントロール入力を有し、パルス幅のコントロールを行います。

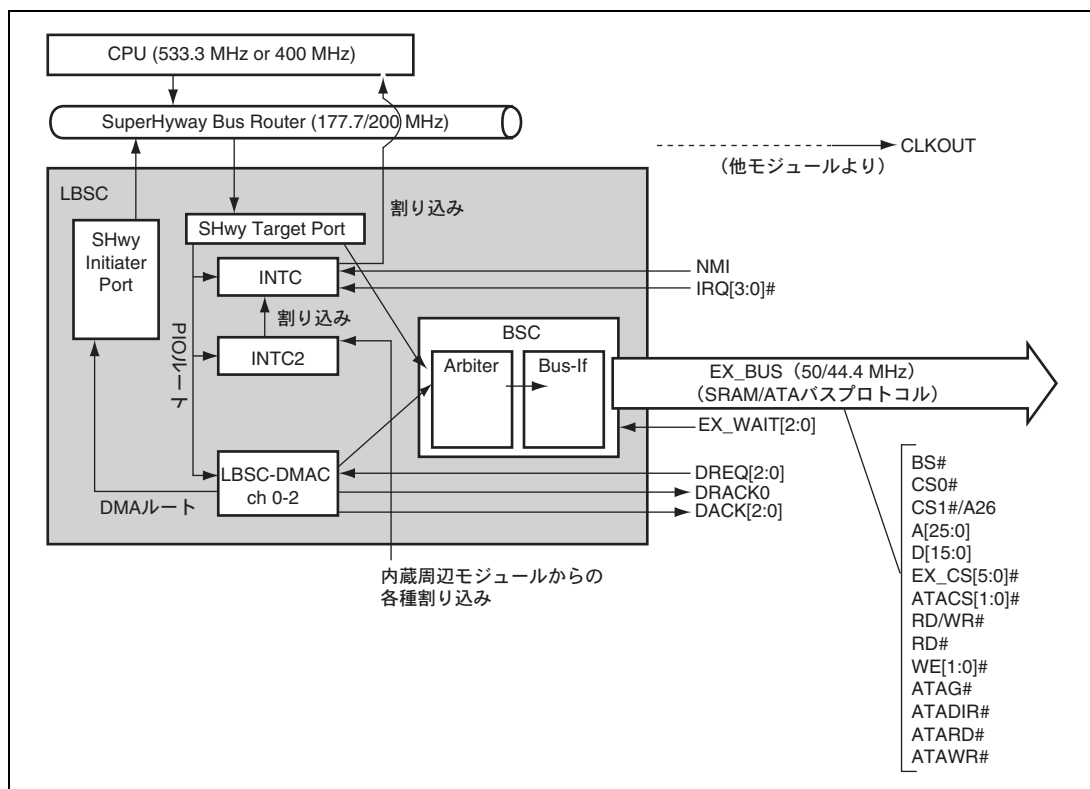


図 6B.1 LBSC ブロック図

6B.4 LBSC エリア

6B.4.1 LBSC のサポートエリア

図 6B.2 に CPU から見た LBSC の応答サポートエリアを示します。

基本として外部空間はエリア 0、エリア 1 をサポートし、拡張 I/O 空間としてエリア 6 をサポートします。エリア 6 空間においては最大 6 つに細分化が可能で、それぞれの容量は 64M バイトを最大にレジスタ設定により決定されます。エリア 6 空間の最大容量も 64M バイトです。エリア 0 の空間は、LSI の起動モード (MD7 モード端子) によって、128M バイト空間とすることが可能です。ただしこの場合のエリア 1 はすべてエリア 0 の空間として割り付くことになり、CS1#端子がバスアドレスにおける A[26]相当 (アドレス信号 1 ビット追加による 64M バイト → 128M バイト化) に変わります。また、LSI の起動モード MD7 モード端子=0、MD9 モード端子=1 の場合、LBSC サポートエリアは、エリア 0 のみとなり、エリア 0 空間を最大 7 つに細分化することが可能で、それぞれの容量は 64M バイトを最大にレジスタ設定により決定されます。エリア 0 空間の最大容量も 64M バイトです。

LBSC 内部レジスタ空間には、BSC、LBSC-DMAC、INTC、INTC2 のレジスタが存在します。

LBSC応答サポートエリア			[MD7=0 MD9=0の場合]	[MD7=1 MD9=0の場合]	[MD7=0 MD9=1の場合]
H'00000000 ~H'03FFFFFF	エリア0	CS0 64 Mバイト	エリア0	CS0 128 Mバイト	エリア0 CS0 0 - 64 Mバイト 拡張エリア0 EX_CS0 0 - 64 Mbytes 拡張エリア1 EX_CS1 0 - 64 Mバイト 拡張エリア2 EX_CS2 0 - 64 Mバイト 拡張エリア3 EX_CS3 0 - 64 Mバイト 拡張エリア4 EX_CS4 0 - 64 Mバイト 拡張エリア5 EX_CS5 0 - 64 Mバイト
H'04000000 ~H'07FFFFFF	エリア1	CS1 64 Mバイト			64M バイト 他モジュール空間
H'08000000 ~H'17FFFFFF	他モジュール空間		他モジュール空間		
H'18000000 ~H'1BFFFFFF	エリア6 外部 拡張 I/O 空間 64M バイト	拡張エリア0 EX_CS0 0 - 64 Mバイト 拡張エリア1 EX_CS1 0 - 64 Mバイト 拡張エリア2 EX_CS2 0 - 64 Mバイト 拡張エリア3 EX_CS3 0 - 64 Mバイト 拡張エリア4 EX_CS4 0 - 64 Mバイト 拡張エリア5 EX_CS5 0 - 64 Mバイト	エリア6 外部 拡張 I/O 空間 64M バイト	拡張エリア0 EX_CS0 0 - 64 Mバイト 拡張エリア1 EX_CS1 0 - 64 Mバイト 拡張エリア2 EX_CS2 0 - 64 Mバイト 拡張エリア3 EX_CS3 0 - 64 Mバイト 拡張エリア4 EX_CS4 0 - 64 Mバイト 拡張エリア5 EX_CS5 0 - 64 Mバイト	
H'1C000000 ~H'FF7FFFFFFF	他モジュール空間		他モジュール空間		
H'FF800000 ~H'FF8FFFFFFF	LBSC内部レジスタ およびFBR、HIF空間	1Mバイト	H' FF800000~ BSC , H' FF801000~ LBSC-DMAC , H' FF802000~ INTC , H' FF804000~ INTC2 , H' FF820000~ HIF-RAM , H' FF830000~ HIF , H'FF840000~ FBR		
H'FF900000 ~H'FFBFFFFFFF	LBSCリザーブ空間	3Mバイト	アクセス不可領域 (SuperHywayバスに対してエラーレスポンス)		

【注】 [MD7=1 MD9=1]は設定禁止です。

図 6B.2 CPU から見た LBSC の応答サポートエリア

6B.4.2 エリアごとのサポート機能

LBSC が、EX_BUS 上の各エリアごとにサポートしている機能一覧を表 6B.1 に示します。

表 6B.1 EX_BUS 上の各エリアごとのサポート機能

空間	バス幅	容量	動作モード	インターバルガード	WAIT 機能	備考	
エリア 0	8 ビット、 16 ビット	64/128M バイト選択 エリア 0 分割 MD7、MD9 端子指定	SRAM DMA バースト ROM	無	有	<ul style="list-style-type: none"> エリア 0 のバス幅の設定は LSI モード端子にて行います。(MD[6:5]) エリア 0 を 128M バイトモード (MD7) で使用する場合はエリア 1 は存在しません。 	
エリア 1	8 ビット、 16 ビット	64M バイト固定 エリア 0=128M バイト時 空間なし	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有		
拡張 エ リ ア	0	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有	<ul style="list-style-type: none"> エリア 0 を分割モード (MD7、MD9) で使用する場合、エリアの容量は、1 つのエリアの最大が 64M バイトで、かつ、エリア全体でも 64M バイトになります。
	1	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有	
	2	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有	
	3	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有	<ul style="list-style-type: none"> 16 ビットバス幅選択時でも EX_BUS アクセスを行うときはバイトアドレスと A0 を出力します。 1 つの DMAC を 2 つのエリアに同時に割り付けることはできません。 拡張エリアの容量は、1 つのエリアの最大が 64M バイトで、かつ、拡張エリア全体でも 64M バイトになります。
	4	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有	
5	8 ビット、 16 ビット	0~64M バイト ただし拡張エリアの全 体でも 64M バイト	SRAM DMA ATA (PIO) バイト制御 SRAM	有	有		

6B.5 レジスタの説明

LBSC ブロックはレジスタ設定値により、外部に接続されるデバイスごとに、I/F 指定、バス幅指定、RD#/WE# 信号のパルス幅サイクル数、RD#/WE# 信号に対する CS# 信号のセットアップサイクル数および、ホールドサイクル数などの設定が可能です。LBSC 内レジスタの一覧を表 6B.2 に示します。なお本レジスタは、基本的にすべて外部バスアクセス中の変更についての動作保証は行いません（アクセス中以外については各レジスタ説明の末尾にある【注】を参照してください）。

表 6B.2 LBSC レジスタ一覧表 (1)

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ	備考
H'FF80_0200	エリア 0 コントロール	CS0CTRL	R/W	32	
H'FF80_0204	エリア 1 コントロール	CS1CTRL	R/W	32	
H'FF80_0208~021C	拡張エリア x コントロール	ECSxCTRL	R/W	32	x=0~5
H'FF80_0220	エリア 0 コントロール 2	CS0CTRL2	R/W	32	
H'FF80_0230	エリア 0 RD/WE パルスコントロール	CSWCR0	R/W	32	
H'FF80_0234	エリア 1 RD/WE パルスコントロール	CSWCR1	R/W	32	
H'FF80_0238~024C	拡張エリア x RD/WE パルスコントロール	ECSWCRx	R/W	32	x=0~5
H'FF80_0250~0258	LBSC-DMAC チャネル y RD/WE パルスコントロール	EXDMAWCRy	R/W	32	y=0~2
H'FF80_0280	エリア 0 外部ウェイトコントロール	CSPWCR0	R/W	32	
H'FF80_0284	エリア 1 外部ウェイトコントロール	CSPWCR1	R/W	32	
H'FF80_0288~029C	拡張エリア x 外部ウェイトコントロール	ECSPWCRx	R/W	32	x=0~5
H'FF80_02A0	外部ウェイト入力コントロール	EXWTSYNC	R/W	32	
H'FF80_02B0	エリア 0 バーストコントロール	CS0BSTCTL	R/W	32	
H'FF80_02B4	エリア 0 バーストピッチ設定	CS0BTPH	R/W	32	
H'FF80_02C0	エリア 1 ガード設定	CS1GDST	R/W	32	
H'FF80_02C4~02D8	拡張エリア x ガード設定	ECSxGDST	R/W	32	x=0~5
H'FF80_02F0~02F8	LBSC-DMAC チャネル y エリア割り付け	EXDMASETy	R/W	32	y=0~2
H'FF80_0310~0318	LBSC-DMAC チャネル y コントロール	EXDMCRy	R/W	32	y=0~2
H'FF80_0330	BSC 割り込み要因表示	BCINTSR	R	32	
H'FF80_0334	BSC 割り込み要因クリア	BCINTCR	-/W	32	
H'FF80_0338	BSC 割り込みイネーブル	BCINTMR	R/W	32	
H'FF80_0340	EX_BUS 優先レベル設定	EXBATLV	R/W	32	
H'FF80_0344	外部ウェイト表示レジスタ	EXWTSTS	R	32	
H'FF80_0380	ATACS コントロールレジスタ	ATACSCTRL	R/W	32	

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 6B.2 LBSC レジスタ一覧表 (2)

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
CS0CTRL	不定	保持	保持	保持	—	初期化
CS1CTRL	H'0000_0020	保持	保持	保持	—	初期化
ECSxCTRL	H'0000_0020	保持	保持	保持	—	初期化
CS0CTRL2	H'0000_4000	保持	保持	保持	—	初期化
CSWCR0	H'077F_077F	保持	保持	保持	—	初期化
CSWCR1	H'077F_077F	保持	保持	保持	—	初期化
ECSWCRx	H'077F_077F	保持	保持	保持	—	初期化
EXDMAWCRy	H'077F_077F	保持	保持	保持	—	初期化
CSPWCR0	H'0000_0000	H'0000_0000	保持	保持	—	初期化
CSPWCR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
ECSPWCRx	H'0000_0000	H'0000_0000	保持	保持	—	初期化
EXWTSYNC	H'0000_0000	保持	保持	保持	—	初期化
CS0BSTCTL	H'0000_0000	保持	保持	保持	—	初期化
CS0BTPH	H'0000_00F7	保持	保持	保持	—	初期化
CS1GDST	H'0000_0000	保持	保持	保持	—	初期化
ECSxGDST	H'0000_0000	保持	保持	保持	—	初期化
EXDMASETy	H'0000_0000	保持	保持	保持	—	初期化
EXDMCRy	H'0000_0000	保持	保持	保持	—	初期化
BCINTSR	H'0000_0000	保持	保持	保持	—	初期化
BCINTCR	H'0000_0000	保持	保持	保持	—	初期化
BCINTMR	H'0000_0000	保持	保持	保持	—	初期化
EXBATLV	H'0000_0000	保持	保持	保持	—	初期化
EXWTSTS	不定	不定	保持	保持	—	初期化
ATACCTRL	H'0000_0000	保持	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

6B.5.1 エリア 0 コントロールレジスタ (CS0CTRL)

機能：エリア 0 (EX_BUS) のインタフェース設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	END IAN	—	—	—	—	—	—	128B	—	—	CS0SZ	—	—	—	—	CS0IF
初期値:	—	0	0	0	0	0	0	—	0	0	—	—	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15	ENDIAN	—	R	エンディアン表示 (LSI モードピン MD8 の設定値が表示されます) 0: ビッグエンディアン 1: リトルエンディアン
14~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
8	128B	—	R	エリア 0 の容量表示 (LSI モードピン MD7 の設定値が表示されます) 0: 64M バイト 1: 128M バイト
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5, 4	CS0SZ	—	R	エリア 0 のバス幅表示 (LSI モードピン MD6, MD5 の設定値が表示されます) 00: 設定禁止 01: 8 ビット 10: 16 ビット 11: 設定禁止
3, 2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1, 0	CS0IF	00	R/W	エリア 0 のインタフェース選択 00: 標準 (SRAM) 01: バースト ROM 10: 設定禁止 11: 設定禁止

- 【注】 1. バースト ROM 選択時、CS0IF=B'01 (バースト ROM 選択) を設定しても CS0BSTCTL に設定がないとバースト ROM 動作は行いません。
バースト ROM インタフェース使用時は、事前に CS0BSTCTL と CS0BTPH の両方を設定してください。
2. バースト ROM 設定有効は CPU アクセスのみになります。エリア 0 に対する DMA 転送アクセスについては通常 SRAM アクセス (EXDMAWCR/CSPWCR0 有効で動作) となります。

6B.5.2 エリア 1 コントロールレジスタ (CS1CTRL)

機能：エリア 1 (EX_BUS) のインタフェース設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CS1SZ	—	—	CS1BRM	—	CS1IF
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
16	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5, 4	CS1SZ	10	R/W	エリア 1 のバス幅選択 00: 設定禁止 01: 8 ビット 10: 16 ビット 11: 設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2	CS1BRM	0	R/W	エリア 1 のバイト制御 SRAM モード選択 (CS1IF=01 のときのみ有効) 0: CS#と同じサイクル 1: RD#と同じサイクル
1, 0	CS1IF	00	R/W	エリア 1 のインタフェース選択 00: 標準 (SRAM) 01: バイト制御 SRAM 10: ATA 11: 設定禁止

6B.5.3 拡張エリア x コントロールレジスタ (ECSxCTRL (x=0~5))

機能：拡張エリア 0~5 (EX_BUS) のインタフェース設定、および割り当て空間容量設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ECSxCP						—	—	ECSxSZ	—	ECSxBRM	ECSxIF			
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
16	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
14~8	ECSxCP	0000000	R/W	拡張エリア x 空間の容量設定 (ECS5CTRL には本フィールドはありません。下記注記参照) 拡張エリア容量は、設定値×1M バイトになります。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5、4	ECSxSZ	10	R/W	拡張エリア x のバス幅選択 00：設定禁止 01：8 ビット 10：16 ビット 11：設定禁止
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2	ECSxBRM	0	R/W	拡張エリア x のバイト制御 SRAM モード選択 (ECSxIF=01 のときのみ有効) 0：CS#と同じサイクル 1：RD#と同じサイクル
1、0	ECSxIF	00	R/W	拡張エリア x のインタフェース選択 00：標準 (SRAM) 01：バイト制御 SRAM 10：ATA 11：設定禁止

【注】 1. ECSxCP の合計値が 64 を超えた場合、超えた容量は切り捨てとなります。

(例：ECS0CP=40M バイト、ECP1CP=30M バイト、ECS2CP=20M バイト、と設定した場合、超えた容量は切

- り捨てとなることから、ECP0CP=40M バイト、ECS1CP=24M バイト、ECS2CP=0M バイトになります。)
- ECS5CTRL には、空間の容量設定 (ECS5CP) はありません。
拡張エリア 5 空間は、設定値にかかわらず、拡張エリア 5 空間=64M バイト (ECS0CP~ECS4CP の合計値) となります。
よって、ECS0CP~ECS4CP の合計値が 64M バイトを超えた場合、拡張エリア 5 の容量は 0M バイトとなります。
 - 途中の空間を 0M バイトに設定することが可能です。ピンマルチプレクスの排他信号を選択し、CS#信号が使えないエリアは 0M バイトに設定してください。0M バイト以外を設定した該当エリアは使用できません。
 - 拡張エリア容量設定、エリア分割については「6B.6.1 (1) アドレス生成、アライメント」を参照してください。

6B.5.4 エリア 0 コントロール 2 レジスタ (CS0CTRL2)

機能：エリア 0 (EX_BUS) の割り当て空間容量設定 (MD7 端子=0、MD9 端子=1 の場合有効)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CS0CP							—	—	—	—	—	—	—	—
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
14~8	CS0CP	H'40	R/W	エリア 0 空間の容量設定 (下記注記参照) エリア 0 容量は、設定値×1M バイトになります。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

- 【注】
- CS0CP および ECSxCP の合計値が 64 を超えた場合、超えた容量は切り捨てとなります。
(例：CS0CP=20M バイト、ECS0CP=20M バイト、ECS1CP=30M バイト、ECS2CP=20M バイト、と設定した場合、超えた容量は切り捨てとなることから、CS0CP=20M バイト、ECS0CP=20M バイト、ECS1CP=24M バイト、ECS2CP=0M バイトになります。)
 - ECS5CTRL には、空間の容量設定 (ECS5CP) はありません。
拡張エリア 5 空間は、設定値に関わらず、拡張エリア 5 空間=64M バイト (CS0CP、ECS0CP~ECS4CP の合計値) となります。
よって、CS0CP、ECS0CP~ECS4CP の合計値が 64M バイトを超えた場合、拡張エリア 5 の容量は 0M バイトとなります。
 - 途中の空間を 0M バイトに設定することが可能です。ピンマルチプレクスの排他信号を選択し、CS#信号が使えないエリアは 0M バイトに設定してください。0M バイト以外を設定した該当エリアは使用できません。
 - エリア 0 容量設定、拡張エリア容量設定、エリア分割については「6B.6.1 (1) アドレス生成、アライメント」を参照してください。

6B.5.5 エリア 0 RD/WE パルスコントロールレジスタ (CSWCRO)

機能 : エリア 0 (EX_BUS) アクセス時の RD#/WE#パルス幅サイクル数、CS#信号、アドレスに対するセットアップサイクル数およびホールドサイクル数指定 (ただしバースト ROM 設定時のリード設定は無効)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	WRITE CS SETUP CYCLE			—	WRITE CS HOLD CYCLE			WRITE PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	READ CS SETUP CYCLE			—	READ CS HOLD CYCLE			READ PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	WRITE CS SETUP CYCLE	111	R/W	エリア 0 ライト時の WE#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000 : セットアップ数 0 100 : セットアップ数 4 001 : セットアップ数 1 101 : セットアップ数 5 010 : セットアップ数 2 110 : セットアップ数 6 011 : セットアップ数 3 111 : セットアップ数 7
23	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22~20	WRITE CS HOLD CYCLE	111	R/W	エリア 0 ライト時の WE#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000 : ホールド数 0 100 : ホールド数 4 001 : ホールド数 1 101 : ホールド数 5 010 : ホールド数 2 110 : ホールド数 6 011 : ホールド数 3 111 : ホールド数 7
19~16	WRITE PULSE CYCLE	1111	R/W	エリア 0 ライト時の WE#パルス幅のサイクル数の指定 0000 : 設定禁止 1000 : パルス幅数 8 0001 : パルス幅数 1 1001 : パルス幅数 9 0010 : パルス幅数 2 1010 : パルス幅数 10 0011 : パルス幅数 3 1011 : パルス幅数 11 0100 : パルス幅数 4 1100 : パルス幅数 12 0101 : パルス幅数 5 1101 : パルス幅数 13 0110 : パルス幅数 6 1110 : パルス幅数 14 0111 : パルス幅数 7 1111 : パルス幅数 15

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
10~8	READ CS SETUP CYCLE	111	R/W	エリア0 リード時の RD#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000: セットアップ数 0 100: セットアップ数 4 001: セットアップ数 1 101: セットアップ数 5 010: セットアップ数 2 110: セットアップ数 6 011: セットアップ数 3 111: セットアップ数 7
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	READ CS HOLD CYCLE	111	R/W	エリア0 リード時の RD#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000: ホールド数 0 100: ホールド数 4 001: ホールド数 1 101: ホールド数 5 010: ホールド数 2 110: ホールド数 6 011: ホールド数 3 111: ホールド数 7
3~0	READ PULSE CYCLE	1111	R/W	エリア0 リード時の RD#パルス幅サイクル数の指定 0000: 設定禁止 1000: パルス幅数 8 0001: パルス幅数 1 1001: パルス幅数 9 0010: パルス幅数 2 1010: パルス幅数 10 0011: パルス幅数 3 1011: パルス幅数 11 0100: パルス幅数 4 1100: パルス幅数 12 0101: パルス幅数 5 1101: パルス幅数 13 0110: パルス幅数 6 1110: パルス幅数 14 0111: パルス幅数 7 1111: パルス幅数 15

- 【注】
- EX_BUS 上の 1 アクセス最小クロック数は 2 (よって、それ以上に設定してください)。
1 アクセス 2 クロック未満となるような設定は想定していません。したがって、このような設定を行った場合の動作は保証されません。
(例: CSSetupCycle=B'000, CSHoldCycle=B'000, PulseCycle=B'0001 の設定は保証されません。)
 - LSI 外部端子 (EX_WAIT[2:0]) によるウェイト制御を行う場合、PulseCycle=B'0010 以上に設定ください。
PulseCycle=B'0001 以下の場合、外部端子によるウェイトは無効となります。
 - エリア 0 バースト ROM 設定時、エリア 0 は本レジスタでの READ 関連設定は無効となり、CS0BTPH の設定内容に従います。
 - DMA 転送アクセスについては、該当 LBSC-DMAC チャンネルの RD/WE パルスコントロールレジスタ (EXDMAWCRy (y=0~2)) の設定によりアクセスされます。
 - 詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.6 エリア 1 RD/WE パルスコントロールレジスタ (CSWCR1)

機能 : エリア 1 (EX_BUS) におけるアクセス時の RD#/WE#パルス幅サイクル数、CS#信号、アドレスに対するセットアップサイクル数およびホールドサイクル数指定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	WRITE CS SETUP CYCLE			—	WRITE CS HOLD CYCLE			WRITE PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	READ CS SETUP CYCLE			—	READ CS HOLD CYCLE			READ PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	WRITE CS SETUP CYCLE	111	R/W	エリア 1 ライト時の WE#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000 : セットアップ数 0 100 : セットアップ数 4 001 : セットアップ数 1 101 : セットアップ数 5 010 : セットアップ数 2 110 : セットアップ数 6 011 : セットアップ数 3 111 : セットアップ数 7
23	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22~20	WRITE CS HOLD CYCLE	111	R/W	エリア 1 ライト時の WE#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000 : ホールド数 0 100 : ホールド数 4 001 : ホールド数 1 101 : ホールド数 5 010 : ホールド数 2 110 : ホールド数 6 011 : ホールド数 3 111 : ホールド数 7
19~16	WRITE PULSE CYCLE	1111	R/W	エリア 1 ライト時の WE#パルス幅サイクル数の指定 0000 : 設定禁止 1000 : パルス幅数 8 0001 : パルス幅数 1 1001 : パルス幅数 9 0010 : パルス幅数 2 1010 : パルス幅数 10 0011 : パルス幅数 3 1011 : パルス幅数 11 0100 : パルス幅数 4 1100 : パルス幅数 12 0101 : パルス幅数 5 1101 : パルス幅数 13 0110 : パルス幅数 6 1110 : パルス幅数 14 0111 : パルス幅数 7 1111 : パルス幅数 15

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
10~8	READ CS SETUP CYCLE	111	R/W	エリア1 リード時の RD#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000: セットアップ数 0 100: セットアップ数 4 001: セットアップ数 1 101: セットアップ数 5 010: セットアップ数 2 110: セットアップ数 6 011: セットアップ数 3 111: セットアップ数 7
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	READ CS HOLD CYCLE	111	R/W	エリア1 リード時の RD#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000: ホールド数 0 100: ホールド数 4 001: ホールド数 1 101: ホールド数 5 010: ホールド数 2 110: ホールド数 6 011: ホールド数 3 111: ホールド数 7
3~0	READ PULSE CYCLE	1111	R/W	エリア1 リード時の RD#パルス幅サイクル数の指定 0000: 設定禁止 1000: パルス幅数 8 0001: パルス幅数 1 1001: パルス幅数 9 0010: パルス幅数 2 1010: パルス幅数 10 0011: パルス幅数 3 1011: パルス幅数 11 0100: パルス幅数 4 1100: パルス幅数 12 0101: パルス幅数 5 1101: パルス幅数 13 0110: パルス幅数 6 1110: パルス幅数 14 0111: パルス幅数 7 1111: パルス幅数 15

- 【注】
- EX_BUS 上の 1 アクセス最小クロック数は 2 (よって、それ以上に設定してください)。アクセス 2 クロック未満となるような設定は想定していません。したがって、このような設定を行った場合の動作は保証されません。
(例: CSSetupCycle= B'000、CSHoldCycle=B'000、PulseCycle= B'0001 の設定は保証されません。)
 - LSI 外部端子 (EX_WAIT[2:0]) によるウェイト制御を行う場合、PulseCycle= B'0010 以上に設定ください。PulseCycle=B'0001 以下の場合、外部端子によるウェイトは無効となります。
 - DMA 転送アクセスについては、該当 LBSC-DMAC チャンネルの RD/WE パルスコントロールレジスタ (EXDMAWCry (y=0~2)) の設定によりアクセスされます。
 - 詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.7 拡張エリア x RD/WE パルスコントロールレジスタ (ECSWCRx (x=0~5))

機能：拡張エリア 0~5 (EX_BUS) アクセス時の RD#/WE#パルス幅サイクル数、CS#信号、アドレスに対するセットアップサイクル数およびホールドサイクル数指定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	WRITE CS SETUP CYCLE			—	WRITE CS HOLD CYCLE			WRITE PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	READ CS SETUP CYCLE			—	READ CS HOLD CYCLE			READ PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	WRITE CS SETUP CYCLE	111	R/W	拡張エリア x ライト時の WE#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000: セットアップ数 0 100: セットアップ数 4 001: セットアップ数 1 101: セットアップ数 5 010: セットアップ数 2 110: セットアップ数 6 011: セットアップ数 3 111: セットアップ数 7
23	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22~20	WRITE CS HOLD CYCLE	111	R/W	拡張エリア x ライト時の WE#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000: ホールド数 0 100: ホールド数 4 001: ホールド数 1 101: ホールド数 5 010: ホールド数 2 110: ホールド数 6 011: ホールド数 3 111: ホールド数 7
19~16	WRITE PULSE CYCLE	1111	R/W	拡張エリア x ライト時の WE#パルス幅サイクル数の指定 0000: 設定禁止 1000: パルス幅数 8 0001: パルス幅数 1 1001: パルス幅数 9 0010: パルス幅数 2 1010: パルス幅数 10 0011: パルス幅数 3 1011: パルス幅数 11 0100: パルス幅数 4 1100: パルス幅数 12 0101: パルス幅数 5 1101: パルス幅数 13 0110: パルス幅数 6 1110: パルス幅数 14 0111: パルス幅数 7 1111: パルス幅数 15

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
10~8	READ CS SETUP CYCLE	111	R/W	拡張エリア x リード時の RD#信号に対する CS#信号、アドレスのセットアップサイクル数の指定 000: セットアップ数 0 100: セットアップ数 4 001: セットアップ数 1 101: セットアップ数 5 010: セットアップ数 2 110: セットアップ数 6 011: セットアップ数 3 111: セットアップ数 7
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	READ CS HOLD CYCLE	111	R/W	拡張エリア x リード時の RD#信号に対する CS#信号、アドレスのホールドサイクル数の指定 000: ホールド数 0 100: ホールド数 4 001: ホールド数 1 101: ホールド数 5 010: ホールド数 2 110: ホールド数 6 011: ホールド数 3 111: ホールド数 7
3~0	READ PULSE CYCLE	1111	R/W	拡張エリア x リード時の RD#パルス幅サイクル数の指定 0000: 設定禁止 1000: パルス幅数 8 0001: パルス幅数 1 1001: パルス幅数 9 0010: パルス幅数 2 1010: パルス幅数 10 0011: パルス幅数 3 1011: パルス幅数 11 0100: パルス幅数 4 1100: パルス幅数 12 0101: パルス幅数 5 1101: パルス幅数 13 0110: パルス幅数 6 1110: パルス幅数 14 0111: パルス幅数 7 1111: パルス幅数 15

- 【注】
- EX_BUS 上の 1 アクセス最小クロック数は 2 (よって、それ以上に設定してください)。
1 アクセス 2 クロック未満となるような設定は想定していません。したがって、このような設定を行った場合の動作は保証されません。
(例: CSSetupCycle=B'000, CSHoldCycle= B'000、PulseCycle=B'0001 の設定は保証されません。)
 - LSI 外部端子 (EX_WAIT[2:0]) によるウェイト制御を行う場合、PulseCycle= B'0010 以上に設定ください。
PulseCycle=B'0001 以下の場合、外部端子によるウェイトは無効となります。
 - DMA 転送アクセスについては、該当 LBSC-DMAC チャンネルの RD/WE パルスコントロールレジスタ (EXDMAWCry (y=0~2)) の設定によりアクセスされます。
 - 詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.8 LBSC-DMAC チャネル y RD/WE パルスコントロールレジスタ (EXDMAWCRy (y=0~2))

機能 : LBSC-DMAC チャネル 0~2 による EX_BUS アクセス時の RD#/WE#パルス幅サイクル数、CS#信号、アドレスに対するセットアップサイクル数およびホールドサイクル数指定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	WRITE CS SETUP CYCLE			—	WRITE CS HOLD CYCLE			WRITE PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	READ CS SETUP CYCLE			—	READ CS HOLD CYCLE			READ PULSE CYCLE			
初期値:	0	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	WRITE CS SETUP CYCLE	111	R/W	チャンネル y ライト時の WE#信号に対する CS#信号、アドレスのセットアップ サイクル数の指定 000 : セットアップ数 0 100 : セットアップ数 4 001 : セットアップ数 1 101 : セットアップ数 5 010 : セットアップ数 2 110 : セットアップ数 6 011 : セットアップ数 3 111 : セットアップ数 7
23	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22~20	WRITE CS HOLD CYCLE	111	R/W	チャンネル y ライト時の WE#信号に対する CS#信号、アドレスのホールドサイ クル数の指定 000 : ホールド数 0 100 : ホールド数 4 001 : ホールド数 1 101 : ホールド数 5 010 : ホールド数 2 110 : ホールド数 6 011 : ホールド数 3 111 : ホールド数 7
19~16	WRITE PULSE CYCLE	1111	R/W	チャンネル y ライト時の WE#パルス幅指定 0000 : 設定禁止 1000 : パルス幅数 8 0001 : パルス幅数 1 1001 : パルス幅数 9 0010 : パルス幅数 2 1010 : パルス幅数 10 0011 : パルス幅数 3 1011 : パルス幅数 11 0100 : パルス幅数 4 1100 : パルス幅数 12 0101 : パルス幅数 5 1101 : パルス幅数 13 0110 : パルス幅数 6 1110 : パルス幅数 14 0111 : パルス幅数 7 1111 : パルス幅数 15

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
10~8	READ CS SETUP CYCLE	111	R/W	チャンネルy リード時のRD#信号に対するCS#信号、アドレスのセットアップ サイクル数の指定 000: セットアップ数 0 100: セットアップ数 4 001: セットアップ数 1 101: セットアップ数 5 010: セットアップ数 2 110: セットアップ数 6 011: セットアップ数 3 111: セットアップ数 7
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	READ CS HOLD CYCLE	111	R/W	チャンネルy リード時のRD#信号に対するCS#信号、アドレスのホールドサイ クル数の指定 000: ホールド数 0 100: ホールド数 4 001: ホールド数 1 101: ホールド数 5 010: ホールド数 2 110: ホールド数 6 011: ホールド数 3 111: ホールド数 7
3~0	READ PULSE CYCLE	1111	R/W	チャンネルy リード時のRD#パルス幅サイクル数の指定 0000: 設定禁止 1000: パルス幅数 8 0001: パルス幅数 1 1001: パルス幅数 9 0010: パルス幅数 2 1010: パルス幅数 10 0011: パルス幅数 3 1011: パルス幅数 11 0100: パルス幅数 4 1100: パルス幅数 12 0101: パルス幅数 5 1101: パルス幅数 13 0110: パルス幅数 6 1110: パルス幅数 14 0111: パルス幅数 7 1111: パルス幅数 15

- 【注】
- EX_BUS上の1アクセス最小クロック数は2(よって、それ以上に設定してください)。
1アクセス2クロック未満となるような設定は想定していません。したがって、このような設定を行った場合の動作は保証されません。
(例: CSSetupCycle=B'000, CSHoldCycle= B'000, PulseCycle= B'0001 の設定は保証されません。)
 - LSI 外部端子 (EX_WAIT[2:0]) によるウェイト制御を行う場合、PulseCycle= B'0010 以上に設定ください。
PulseCycle=B'0001 以下の場合、外部端子によるウェイトは無効となります。
 - 外部ウェイト制御に関しては、DMAC チャンネル0~2が割り付けられたエリアの外部ウェイトコントロールレジスタの設定によります。
 - DMA インタフェースの詳細については「6B.6.3 LBSC-DMAC→DMA インタフェース」を参照してください。

6B.5.9 エリア0 外部ウェイトコントロールレジスタ (CSPWCRO)

機能：エリア0 (EX_BUS) アクセス時の外部ウェイト信号の取り扱いの設定

(ただし、バーストROM 設定時は無効)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	V	RB	WINV	EXWT2	EXWT1	EXWT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
5	V	0	R/W	エリア0 外部端子ウェイトの無効・有効の設定 0: 無効 1: 有効
4	RB	0	R/W	エリア0 READY/BUSY 論理設定 0: BUSY 論理 1: READY 論理
3	WINV	0	R/W	エリア0 外部端子ウェイト信号の極性指定 0: 反転しない 1: 反転する
2	EXWT2	0	R/W	エリア0 EX_WAIT2 の有効指定 0: 無効 1: 有効
1	EXWT1	0	R/W	エリア0 EX_WAIT1 の有効指定 0: 無効 1: 有効
0	EXWT0	0	R/W	エリア0 EX_WAIT0 の有効指定 0: 無効 1: 有効

- 【注】
1. 本レジスタを有効 (V フィールド=1) の場合、必ず EXWT0~EXWT2 フィールドのいずれかを1に設定ください。EXWT0~EXWT2 に対して同時に1を設定した場合は想定していません。したがって本設定での動作は保証されません。
 2. V フィールド=0に設定された場合、EXWT0~EXWT2 の設定は無視されます。また、エリア0のバーストROM リードアクセス時には、本レジスタの設定は無効となります。ウェイトに関する詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.10 エリア 1 外部ウェイトコントロールレジスタ (CSPWCR1)

機能：エリア 1 (EX_BUS) アクセス時の外部ウェイト入力端子の取り扱いの設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	V	RB	WINV	EXWT2	EXWT1	EXWT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	V	0	R/W	エリア 1 外部端子ウェイトの無効・有効の設定 0: 無効 1: 有効
4	RB	0	R/W	エリア 1 READY/BUSY 論理設定 0: BUSY 論理 1: READY 論理
3	WINV	0	R/W	エリア 1 外部端子ウェイト信号の極性指定 0: 反転しない 1: 反転する
2	EXWT2	0	R/W	エリア 1 EX_WAIT2 の有効指定 0: 無効 1: 有効
1	EXWT1	0	R/W	エリア 1 EX_WAIT1 の有効指定 0: 無効 1: 有効
0	EXWT0	0	R/W	エリア 1 EX_WAIT0 の有効指定 0: 無効 1: 有効

- 【注】
1. 本レジスタを有効 (V フィールド=1) の場合、必ず EXWT0~EXWT2 フィールドのいずれかを 1 に設定してください。EXWT0~EXWT2 に対して同時に 1 を設定した場合は想定していません。したがって本設定での動作は保証されません。
 2. V フィールド=0 に設定された場合、EXWT0~EXWT2 の設定は無視されます。ウェイトの詳細は、「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.11 拡張エリア x 外部ウェイトコントロールレジスタ (ECSPWCRx (x=0~5))

機能：拡張エリア 0~5 (EX_BUS) アクセス時の外部ウェイト入力端子の扱いの設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	V	RB	WINV	EXWT2	EXWT1	EXWT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	V	0	R/W	拡張エリア x 外部端子ウェイトの無効・有効の設定 0: 無効 1: 有効
4	RB	0	R/W	拡張エリア x READY/BUSY 論理設定 0: BUSY 論理 1: READY 論理
3	WINV	0	R/W	拡張エリア x 外部端子ウェイト信号の極性指定 0: 反転しない 1: 反転する
2	EXWT2	0	R/W	拡張エリア x EX_WAIT2 の有効指定 0: 無効 1: 有効
1	EXWT1	0	R/W	拡張エリア x EX_WAIT1 の有効指定 0: 無効 1: 有効
0	EXWT0	0	R/W	拡張エリア x EX_WAIT0 の有効指定 0: 無効 1: 有効

- 【注】
1. 本レジスタを有効 (V フィールド=1) の場合、必ず EXWT0~EXWT2 フィールドのいずれかを 1 に設定してください。EXWT0~EXWT2 に対して同時に 1 を設定した場合は想定していません。したがって本設定での動作は保証されません。
 2. V フィールド=0 に設定された場合、EXWT0~EXWT2 の設定は無視されます。ウェイト制御の詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.12 外部ウェイト入力コントロールレジスタ (EXWTSYNC)

機能：外部ウェイト端子 EX_WAIT[2:0] を非同期吸収するか否かの設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EXWT SYNC2	EXWT SYNC1	EXWT SYNC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2	EXWT SYNC2	0	R/W	0: EX_WAIT2 を非同期吸収しない (EX_WAIT2 は CLKOUT に同期) 1: EX_WAIT2 を非同期吸収する (EX_WAIT2 は CLKOUT に非同期)
1	EXWT SYNC1	0	R/W	0: EX_WAIT1 を非同期吸収しない (EX_WAIT1 は CLKOUT に同期) 1: EX_WAIT1 を非同期吸収する (EX_WAIT1 は CLKOUT に非同期)
0	EXWT SYNC0	0	R/W	0: EX_WAIT0 を非同期吸収しない (EX_WAIT0 は CLKOUT に同期) 1: EX_WAIT0 を非同期吸収する (EX_WAIT0 は CLKOUT に非同期)

【注】 ウェイト制御の詳細については「6B.6.1 SRAM インタフェース (基本機能)」を参照してください。

6B.5.13 エリア 0 バーストコントロールレジスタ (CS0BSTCTL)

機能：エリア 0 バースト ROM 設定時のバースト回数指定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	A0BST[2:0]			—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
13~11	A0BST[2:0]	000	R/W	エリア 0 バースト ROM 設定時のバースト回数の設定 001 : 4 回 010 : 8 回 011 : 16 回 100 : 32 回 その他 : バーストなし
10~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

- 【注】
1. 本レジスタは、CS0CTRL/CS0IF=B'01 (バースト ROM 選択) の場合のみ有効です。
 2. A0BST[2:0]フィールドへの設定は、(エリア 0 のバス幅) × (本設定の回数) が 32 バイト以下になるように設定してください。
 3. 詳細は、「6B.6.2 CPU (SuperHyway バス) →バースト ROM インタフェース」を参照してください。

6B.5.14 エリア 0 バーストピッチ設定レジスタ (CS0BTPH)

機能：エリア 0 バースト ROM 設定時の 1 サイクル目、2 サイクル目以降のバーストピッチを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	A0H	A0W[3:0]				—	A0B[2:0]		
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
8	A0H	0	R/W	エリア 0 バースト ROM 設定時の RD# 信号に対する CS# 信号、アドレスのホールドサイクル数の指定 0 : ホールドサイクル数 0 1 : ホールドサイクル数 1
7~4	A0W[3:0]	1111	R/W	エリア 0 バースト ROM 設定時の 1 サイクル目のバーストピッチ (挿入ウェイト) 数の設定 0000 : 設定禁止 1000 : 8 0001 : 設定禁止 1001 : 9 0010 : 2 1010 : 10 0011 : 3 1011 : 11 0100 : 4 1100 : 12 0101 : 5 1101 : 13 0110 : 6 1110 : 14 0111 : 7 1111 : 15
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	A0B[2:0]	111	R/W	エリア 0 バースト ROM 設定時の 2 サイクル目以降のバーストピッチ (挿入ウェイト) 数の設定 000 : 設定禁止 100 : 4 001 : 1 101 : 5 010 : 2 110 : 6 011 : 3 111 : 7

- 【注】** 1. 本レジスタは、必ず CS0BSTCTL 設定前に設定してください。
2. 詳細は、「6B.6.2 CPU (SuperHyway バス) →バースト ROM インタフェース」を参照してください。

6B.5.15 エリア 1 ガード設定レジスタ (CS1GDST)

機能：エリア 1 連続アクセス時のアクセス—アクセス間のインターバルガード（アクセス抑止）設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CS1GD	TIMER_SET			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
4	CS1GD	0	R/W	0 : TIMER_SET 設定値無効 1 : TIMER_SET 設定値有効
3~0	TIMER_SET	0000	R/W	エリア 1 連続アクセス時のアクセス—アクセス間ガード（アクセス抑止）時間の設定 0000 : 0 クロック 1000 : 8 クロック 0001 : 1 クロック 1001 : 9 クロック 0010 : 2 クロック 1010 : 10 クロック 0011 : 3 クロック 1011 : 11 クロック 0100 : 4 クロック 1100 : 12 クロック 0101 : 5 クロック 1101 : 13 クロック 0110 : 6 クロック 1110 : 14 クロック 0111 : 7 クロック 1111 : 15 クロック

- 【注】
1. CS1GD=0 設定時、Timer 設定値は無視されます。
 2. アクセス有無にかかわらず本レジスタは動的な変更は禁止です。
 3. 連続アクセス時の実際の EX_BUS 上に見えるインターバルガード時間は、レジスタ設定値+競合などによるアイドルサイクル分となります。
 4. 詳細は、「6B.6.1 (4) インターバルガードコントロール」を参照してください。

6B.5.16 拡張エリア x ガード設定レジスタ (ECSxGDST (x=0~5))

機能: 拡張エリア 0~5 連続アクセス時のアクセス-アクセス間のインターバルガード (アクセス抑止) 設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ECSxGD	TIMER_SET			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
4	ECSxGD	0	R/W	0: TIMER_SET 設定値無効 1: TIMER_SET 設定値有効
3~0	TIMER_SET	0000	R/W	拡張エリア x 連続アクセス時のアクセス-アクセス間ガード (アクセス抑止) 時間の設定 0000: 0クロック 1000: 8クロック 0001: 1クロック 1001: 9クロック 0010: 2クロック 1010: 10クロック 0011: 3クロック 1011: 11クロック 0100: 4クロック 1100: 12クロック 0101: 5クロック 1101: 13クロック 0110: 6クロック 1110: 14クロック 0111: 7クロック 1111: 15クロック

- 【注】
1. ECSxGD=0 設定時、Timer 設定値は無視されます。
 2. アクセス有無にかかわらず本レジスタは動的な変更は禁止です。
 3. 連続アクセス時の実際の EX_BUS 上に見えるインターバルガード時間は、レジスタ設定値+競合などによるアイドルサイクル分となります。
 4. 詳細は、「6B.6.1 (4) インターバルガードコントロール」を参照してください。

6B.5.17 LBSC-DMAC チャネル y エリア割り付けレジスタ (EXDMASETy (y=0~2))

機能 : LBSC-DMAC チャネル 0~2 をどのエリアに割り付けるかを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	DMy ECS5	DMy ECS4	DMy ECS3	DMy ECS2	DMy ECS1	DMy ECS0	DMy CS1	DMy CS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
7	DMyECS5	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 5 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 5 に割り付ける
6	DMyECS4	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 4 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 4 に割り付ける
5	DMyECS3	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 3 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 3 に割り付ける
4	DMyECS2	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 2 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 2 に割り付ける
3	DMyECS1	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 1 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 1 に割り付ける
2	DMyECS0	0	R/W	0 : LBSC-DMAC チャネル y を拡張エリア 0 に割り付けない 1 : LBSC-DMAC チャネル y を拡張エリア 0 に割り付ける
1	DMyCS1	0	R/W	0 : LBSC-DMAC チャネル y をエリア 1 に割り付けない 1 : LBSC-DMAC チャネル y をエリア 1 に割り付ける
0	DMyCS0	0	R/W	0 : LBSC-DMAC チャネル y をエリア 0 に割り付けない 1 : LBSC-DMAC チャネル y をエリア 0 に割り付ける

- 【注】
- 1 つのレジスタに 2 ビット以上 1 を立てた設定は禁止です。
(このような設定は、想定外です。したがって設定した場合の動作は保証されません。)
 - 容量が 0 になる拡張エリアについては、DMAC を割り当てないでください。
 - 各 LBSC-DMAC アクセス前に必ず本レジスタを設定願います。本レジスタに設定なく、LBSC-DMAC からアクセスが来た場合の動作は想定外です。したがって本アクセスが発生した場合の動作は保証されません。
 - CS0 空間を 128M バイトで使用する場合は、DMAC を CS1 空間に割り当てないでください。
 - DMA インタフェースの詳細は「6B.6.3 LBSC-DMAC→DMA インタフェース」を参照してください。

6B.5.18 LBSC-DMAC チャネル y コントロールレジスタ (EXDMCRy (y=0~2))

機能 : LBSC-DMAC が割り当てられたエリアに対しての DREQ[y]、DACK[y]、DRACK[0]の変換設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRST	—	DSTS	DBST	—	EXQL	EXDY	EXDS	—	—	EXRS	EXRL	—	EXAL	DAKCTL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15	DRST	0	W	DACK 信号強制ネゲート (DBST ビット=1 のとき有効) 0: 無効 1: アサートし続けている DACK を強制ネゲート
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
13	DSTS	0	R	DACK 信号アサート状態表示 0: アサートしていない状態 1: アサートしている状態
12	DBST	0	R/W	DMA におけるバス転送とバス転送のインターバル期間 DREQ がアサートし続けている場合は DACK もアサートし続けるか否かの設定 (ATA モード時のみ) 0: バス転送単位でネゲートする 1: DREQ がアサートされ続けていればバス転送のインターバル期間でも DACK をアサートし続ける (DREQ ネゲート検出時は DACK もネゲート)。
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
10	EXQL	0	R/W	0: DREQ[y]をローアクティブで受信 1: DREQ[y]をハイアクティブで受信
9	EXDY	0	R/W	0: DREQ[y]信号を非同期吸収しない 1: DREQ[y]信号を非同期吸収する
8	EXDS	0	R/W	0: DREQ[y]レベル検出 1: DREQ[y]エッジ検出
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	EXRS	0	R/W	0: DRACK[0]を CS#/DACK[0]アサートの 1 クロック前にアサート 1: DRACK[0]を CS#/DACK[0]アサートの 2 クロック前にアサート

ビット	ビット名	初期値	R/W	説明
4	EXRL	0	R/W	0 : DRACK[0]をハイアクティブで出力 1 : DRACK[0]をローアクティブで出力
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2	EXAL	0	R/W	0 : DACK[y]をハイアクティブで出力 1 : DACK[y]をローアクティブで出力
1, 0	DAKCTL	00	R/W	LBSC-DMAC チャンネル y が割り当てられたエリアに対し 00、11 : 該当エリアに対し CS#信号と同時に DACK[y]をアサート 01 : 該当エリアに対し CS#のみアサート 10 : 該当エリアに対し DACK[y]のみアサート

- 【注】
1. 本レジスタはアクセス有無にかかわらず動的な変更は禁止です。
 2. EXRL、EXRS は、LBSC-DMAC チャンネル 0 (DRACK[0]) のみ有効です。
LBSC-DMAC チャンネル 1、2 は DRACK 信号は有りません。
 3. DMA インタフェースの詳細は、「6B.6.3 LBSC-DMAC→DMA インタフェース」を参照してください。

6B.5.19 BSC 割り込み要因表示レジスタ (BCINTSR)

機能 : BSC の割り込み要因表示レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATTE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	ATTE	0	R	ATA ウェイトタイムアウトエラー表示 0 : ATA I/F が正常に動作している 1 : ATA I/F でタイムアウトエラーが発生した (EX_BUS クロック (CLKOUT) 100 クロックでタイムアウト)

- 【注】
1. 本レジスタの該当ビットに1が表示されただけでは割り込み信号は出力されません。
割り込み信号を出力するためには BCINTMR レジスタに設定をしてください。
 2. ATA インタフェースの詳細は「6B.6.5 CPU (SuperHyway バス) →ATA デバイスインタフェース」を参照してください。

6B.5.20 BSC 割り込み要因クリアレジスタ (BCINTCR)

機能 : BSC からの割り込み/表示クリアレジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATTEC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—/W*

【注】 * ライトのみ可。読み出し値は不定です。

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	ATTEC	0	—/W* ¹	ATA ウェイトタイムアウトエラー表示クリア 0: 無効 1: ATA ウェイトタイムアウトエラー表示をクリアする

- 【注】
1. ライトのみ可。読み出し値は不定です。
 2. 本レジスタをリードした場合、常に0がリードされます。
 3. ATA インタフェースの詳細は「6B.6.5 CPU (SuperHyway バス) →ATA デバイスインタフェース」を参照してください。

6B.5.21 BSC 割り込みイネーブルレジスタ (BCINTMR)

機能 : BSC 割り込みイネーブル設定レジスタ

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATTEM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	ATTEM	0	R/W	ATA ウェイトタイムアウトエラー割り込みイネーブル 0 : 本要因における割り込みを出力しない。 1 : 本要因による割り込みを出力する。

6B.5.22 EX_BUS 優先レベル設定レジスタ (EXBATLV)

機能 : EX_BUS のバス調停時の優先レベルを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EX-BLV
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	EX-BLV	0	R/W	EX_BUS のバス調停時の優先レベル アクセス選択 0 : 高 : PIO (SuperHyway バスからのアクセス)、低 : LBSC-DMAC 1 : 高 : LBSC-DMAC、低 : PIO (SuperHyway バスからのアクセス)

- 【注】
1. 優先レベルは EX-BLV ビット設定により PIO と LBSC-DMAC との 2 者間固定優先となります。
 2. 本レジスタは、初期設定時以外の動的な変更は禁止です。
 3. 外部バス調停の詳細は「6B.6.6 EX_BUS バス調停」を参照してください。

6B.5.23 外部ウェイト表示レジスタ (EXWTSTS)

機能：外部ウェイト端子 EX_WAIT 端子の状態を表示するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EXWT2	EXWT1	EXWT0
														STS	STS	STS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2	EXWT2 STS	—	R	EX_WAIT2の端子状態表示
1	EXWT1 STS	—	R	EX_WAIT1の端子状態表示
0	EXWT0 STS	—	R	EX_WAIT0の端子状態表示

6B.5.24 ATACS コントロールレジスタ (ATACSCTRL)

機能：ATACS0#、ATACS1#端子設定をするレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	ATAECS 5 EN	ATAECS 4 EN	ATAECS 3 EN	ATAECS 2 EN	ATAECS 1 EN	ATAECS 0 EN	ATACS 1 EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6	ATAECS5_ EN	0	R/W	拡張エリア 5 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
5	ATAECS4_ EN	0	R/W	拡張エリア 4 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
4	ATAECS3_ EN	0	R/W	拡張エリア 3 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
3	ATAECS2_ EN	0	R/W	拡張エリア 2 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
2	ATAECS1_ EN	0	R/W	拡張エリア 1 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
1	ATAECS0_ EN	0	R/W	拡張エリア 0 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。
0	ATACS1_ EN	0	R/W	エリア 1 ATA モードにてアクセス時、ATACS 信号設定 0: ATACS 信号アサートしない。 1: ATACS 信号アサートする。

【注】 ATACS0#、ATACS1#端子は、CS1CTRL レジスタ CS1IF ビット、ECSxCTRL レジスタ ECSxIF ビットにより、ATA モードを選択し、本レジスタの ATACS1_EN、ATAECSx_EN を 1 と設定した場合、EX_BUS 出力アドレスビット 4 により、ATACS0#または ATACS1#をアサートします。

詳細は、「6B.6.5 CPU (SuperHyway バス) →ATA デバイスインタフェース」を参照ください。

6B.6 動作説明

6B.6.1 SRAM インタフェース (基本機能)

SuperHyway ターゲットポートコントロールブロック内の FIFO に蓄えられた CPU からのアクセスを BSC が読み出して EX_BUS へ出力します。デフォルト設定では、エリア 0、1 および拡張エリア 0~5 のすべての空間が SRAM インタフェースの設定となっています。本 SRAM アクセスインタフェースにおけるアクセス信号のパルス幅はレジスタ設定で可変させることが可能で、EX_BUS 上に接続する各種デバイスのアクセス仕様に対応しやすい機能として提供しています。その他にも低速な外部デバイスに対応するために 1 回のバスアクセスごとに間隔を設けるインターバルガードコントロール機能や外部デバイスからの応答待ち合わせ要求 (または、アクセス完了) を示す信号を同期/非同期可変、極性可変で受信し、バス設計に柔軟に対応します。SuperHyway → EX_BUS 変換における SRAM インタフェースタイムチャートを図 6B.3、図 6B.4 に示します。

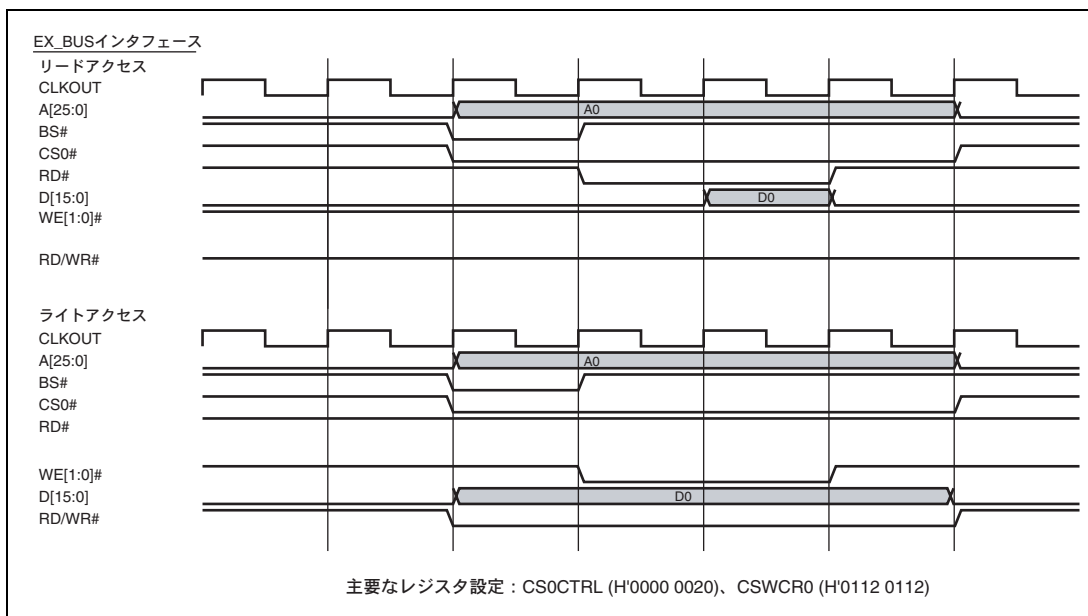


図 6B.3 SuperHyway → SRAM 基本タイムチャート (エリア 0 の例)

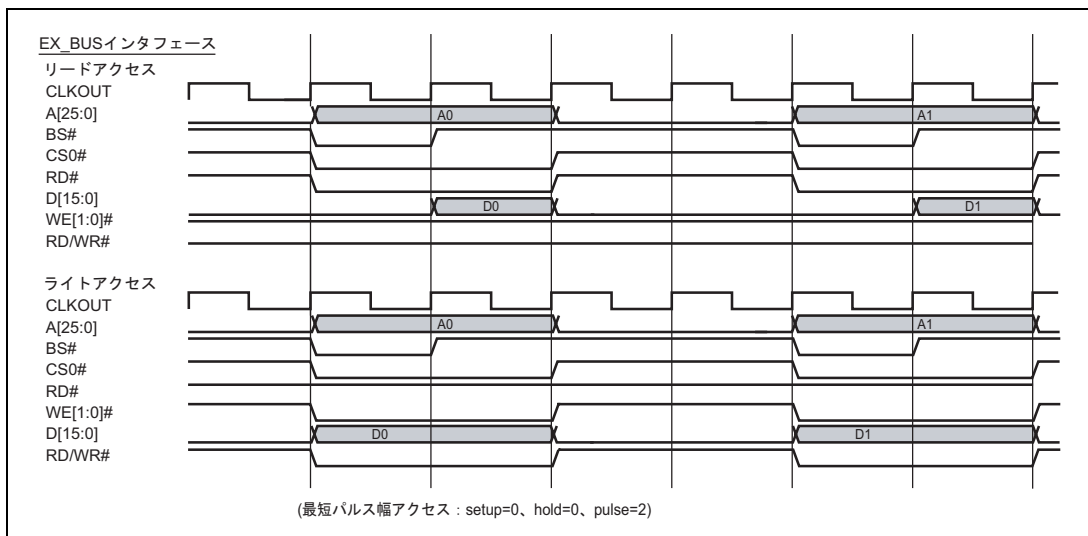


図 6B.4 SuperHyway → SRAM 基本タイムチャート (最短パルス幅×最短 PIO 連続アクセス)

図 6B.4 は、最短パルス幅の SRAM インタフェース基本波形の一例で、この波形が 2 回連続で発生しています。CPU (SuperHyway バス) からの PIO アクセスが連続した場合は、前後のアクセスが同一エリア、他エリアにかかわらず上記波形のようにアクセス間隔は 2 クロックとなります。ただし、PIO→DMA や DMA→PIO のような切り替えが起きる場合のアクセス間隔は 1 クロックとなります。

このアクセス間隔はインターバルガードレジスタにより延長することが可能です。

(1) アドレス生成、アライメント

LBSC は、SRAM インタフェースとして EX_BUS にアクセスを行う際、レジスタ設定による拡張エリアの空間分割に応じたエリアへのアクセス判断を行うほか、アドレス生成やデータアライメントの変換も行います。拡張エリア分割方法を図 6B.5 に、アドレス生成、データアライメント、ライトイネーブル変換概要を図 6B.6、図 6B.7 に示します。

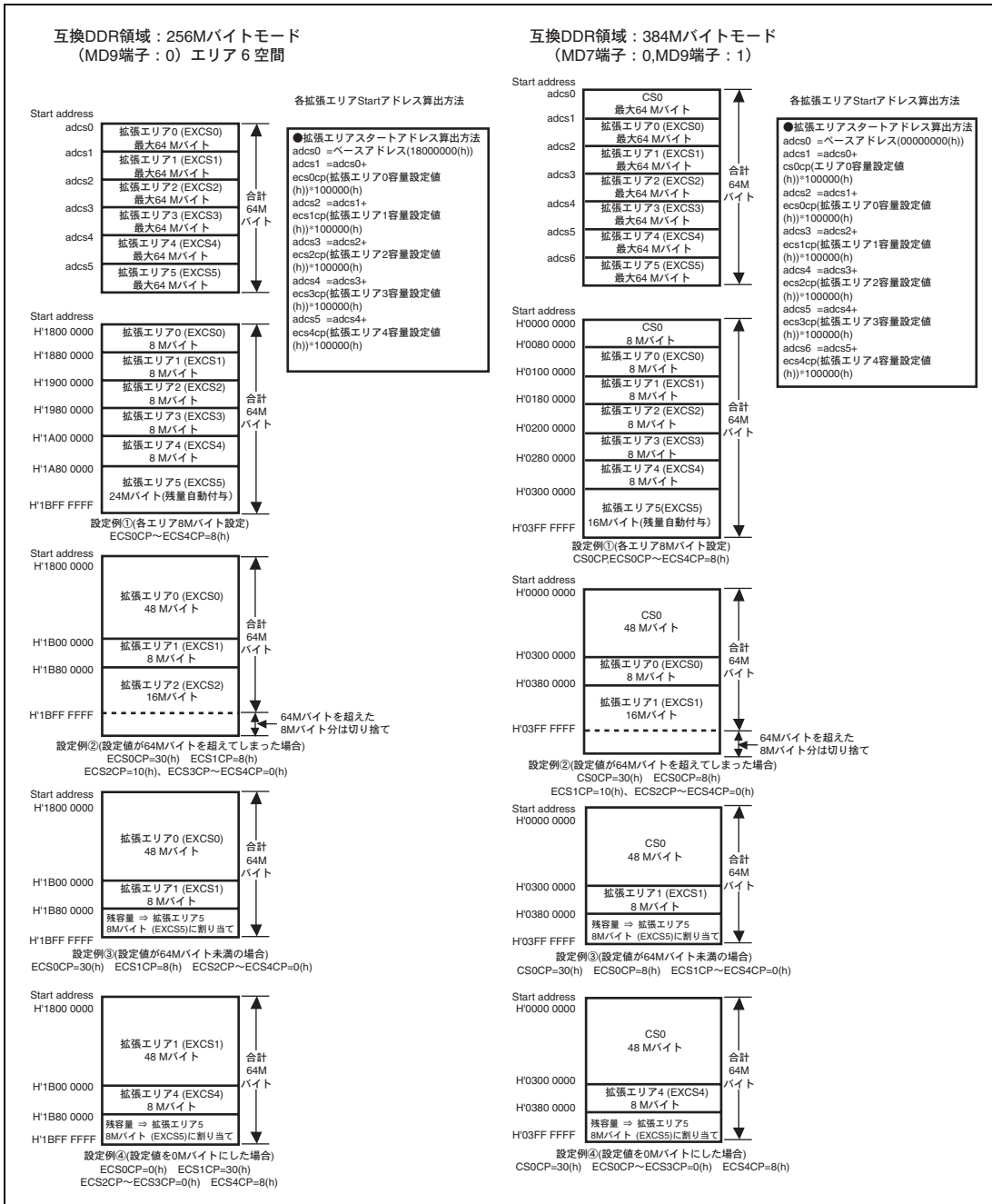


図 6B.5 拡張エリア分割方法

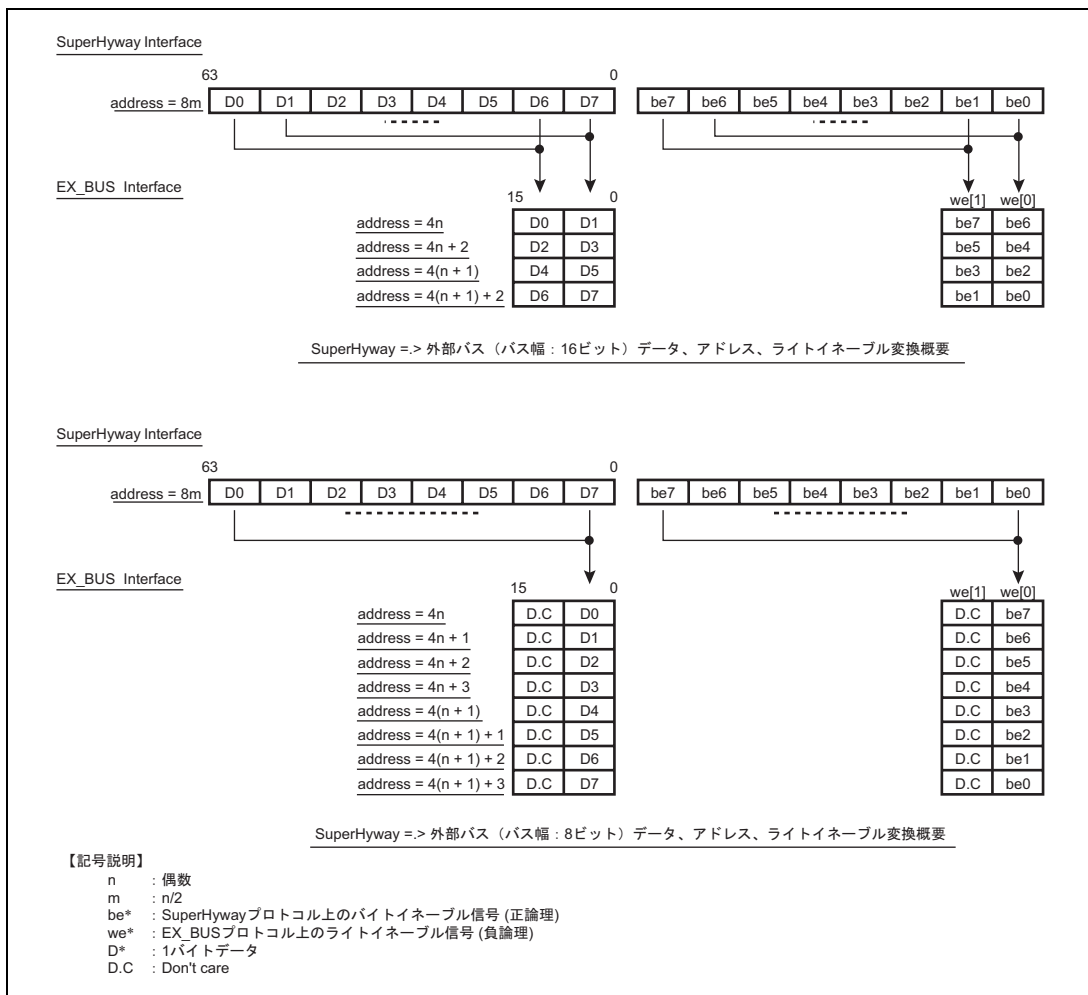


図 6B.6 CPU (64 ビット SuperHyway バス) →外部バスデータ/アドレス/ライトイネーブル変換概要図 (little='0')

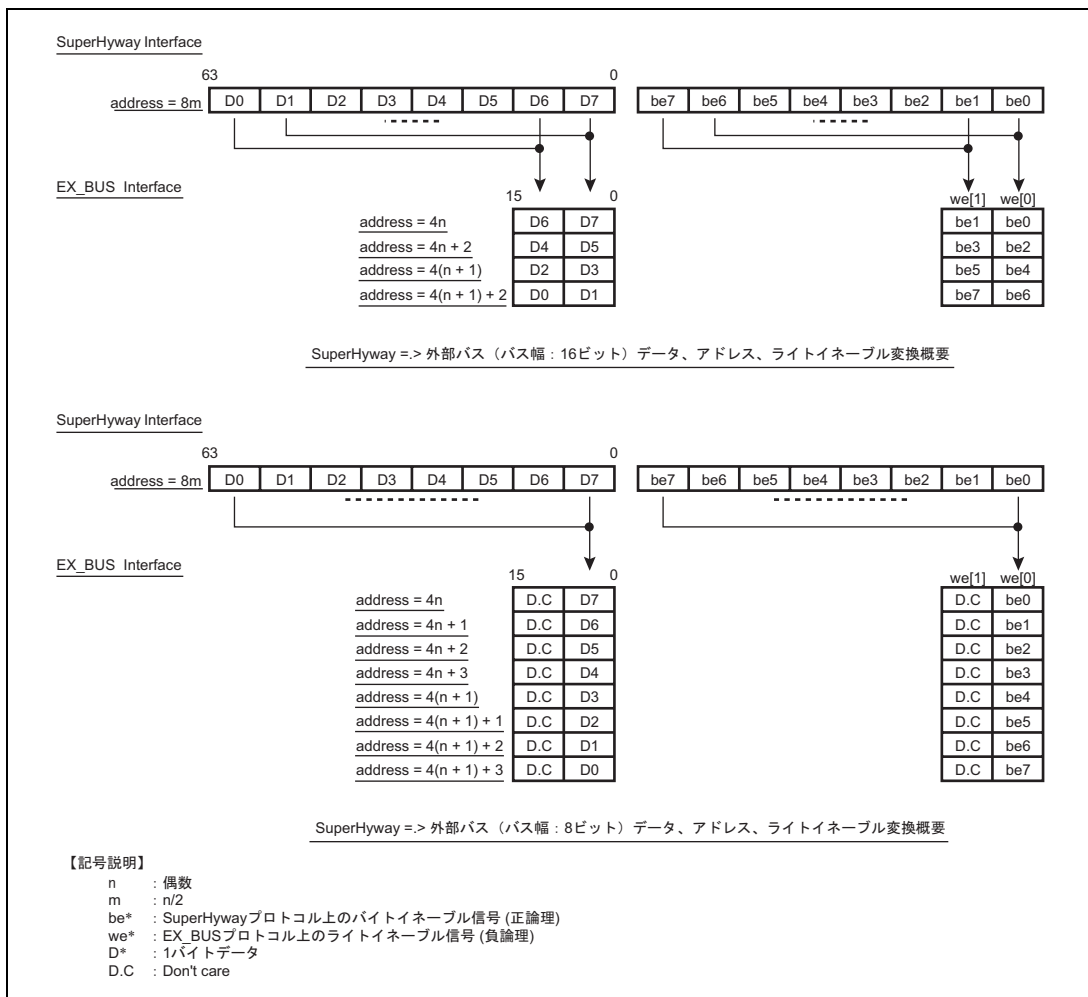


図 6B.7 CPU (64 ビット SuperHyway バス) →外部バスデータ/アドレス/ライトイネーブル変換概要図 (little='1')

(2) アクセス信号のパルス幅設定

BSC は CSWCR0、1 または ECSWCR0~5 レジスタによってエリアごとに設定された値に従い、EX_BUS へアクセスする際に WE#信号や RD#信号を基準としてアドレス、RD/WR#、CS#信号のセットアップ時間やホールド時間、さらには WE#信号や RD#信号のパルス幅をクロックサイクル数の単位で設定することが可能です (ただし、バースト ROM リード時は、CSWCR0 の設定内容には従わず、CS0BTPH の設定内容に従います。また、DMA 動作時は CSWCR0、1 や ECSWCR0~5 には従わず、EXDMAWCR0~2 の設定内容に従います)。また、レジスタ設定した WE#信号や RD#信号のパルス幅は、外部からの EX_WAIT 信号により延長させることも可能です。設定合計値の最小は 2 クロックとしてください。

(3) 外部ウェイトコントロール

EX_BUS 上デバイスからの外部ウェイト信号 (EX_WAIT) を外部ウェイトコントロールレジスタ (CSPWCR0、1、ECSPWCR0~5)、および外部ウェイト入力コントロールレジスタ (EXWTSYNC) の設定値により制御します。外部ウェイトコントロールレジスタは、外部デバイスからのウェイト信号入力仕様が Ready 論理 (Ready 状態を通知) で形成されたものなのか、Busy 論理 (Busy 状態を通知) で形成されたものなのか、さらにはそれぞれ信号極性がどちらなのかなど、どのようなタイプの仕様でも対応可能なように上記 4 通りのタイプのインタフェースの選択設定を可能としています。

図 6B.8 に、入力可能な 4 つのパターンのウェイト信号と、レジスタ設定による変換後の BSC 内部ウェイト信号の波形を示します。

一方、外部ウェイト入力コントロールレジスタは、外部ウェイト入力信号の同期/非同期扱いを切り替え設定します。デフォルトでは同期扱いとなっています。同期/非同期それぞれの場合における外部ウェイト入力タイミングを図 6B.9 に示します。図中において、○の位置が BSC で外部ウェイトの有/無を判断するポイントです。すなわち、同期の場合は、WE#信号や RD#信号がパルス幅設定により本来ネゲートするポイントの 1 クロック手前です。仮にこの位置で外部ウェイトが有効であった場合、このウェイト状態がレディ状態になるまで、WE#信号や RD#信号のパルス幅を伸ばし続けます。WE#信号や RD#信号のパルス幅が EX_WAIT 信号により延長されたとき、アドレス、RD/WR#、CS#信号はあらかじめ設定されているホールド時間を満足した時点でネゲートされます。非同期設定に切り替えた場合、この○の位置より 2 クロック前、すなわち WE#信号や RD#信号が本来ネゲートするポイントの 3 クロック手前に外部ウェイトがないと外部ウェイトは無効になります。

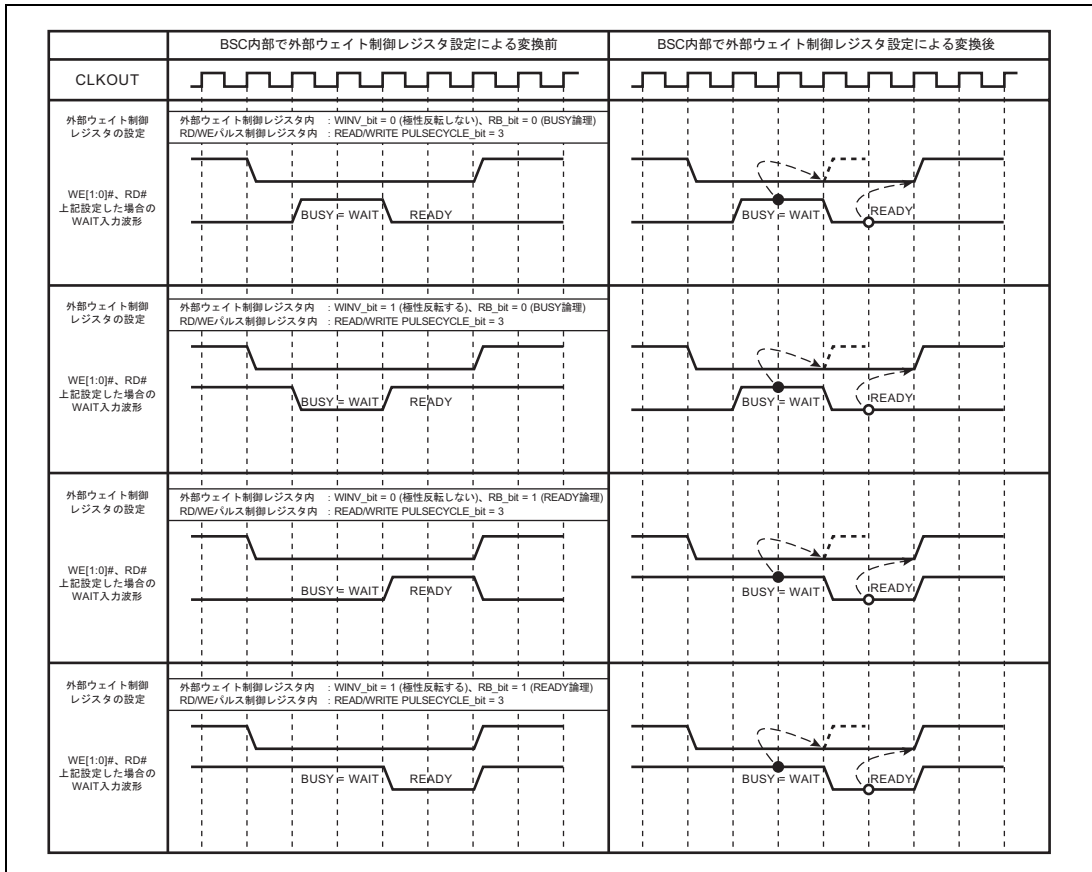


図 6B.8 外部ウェイトインタフェース変換波形

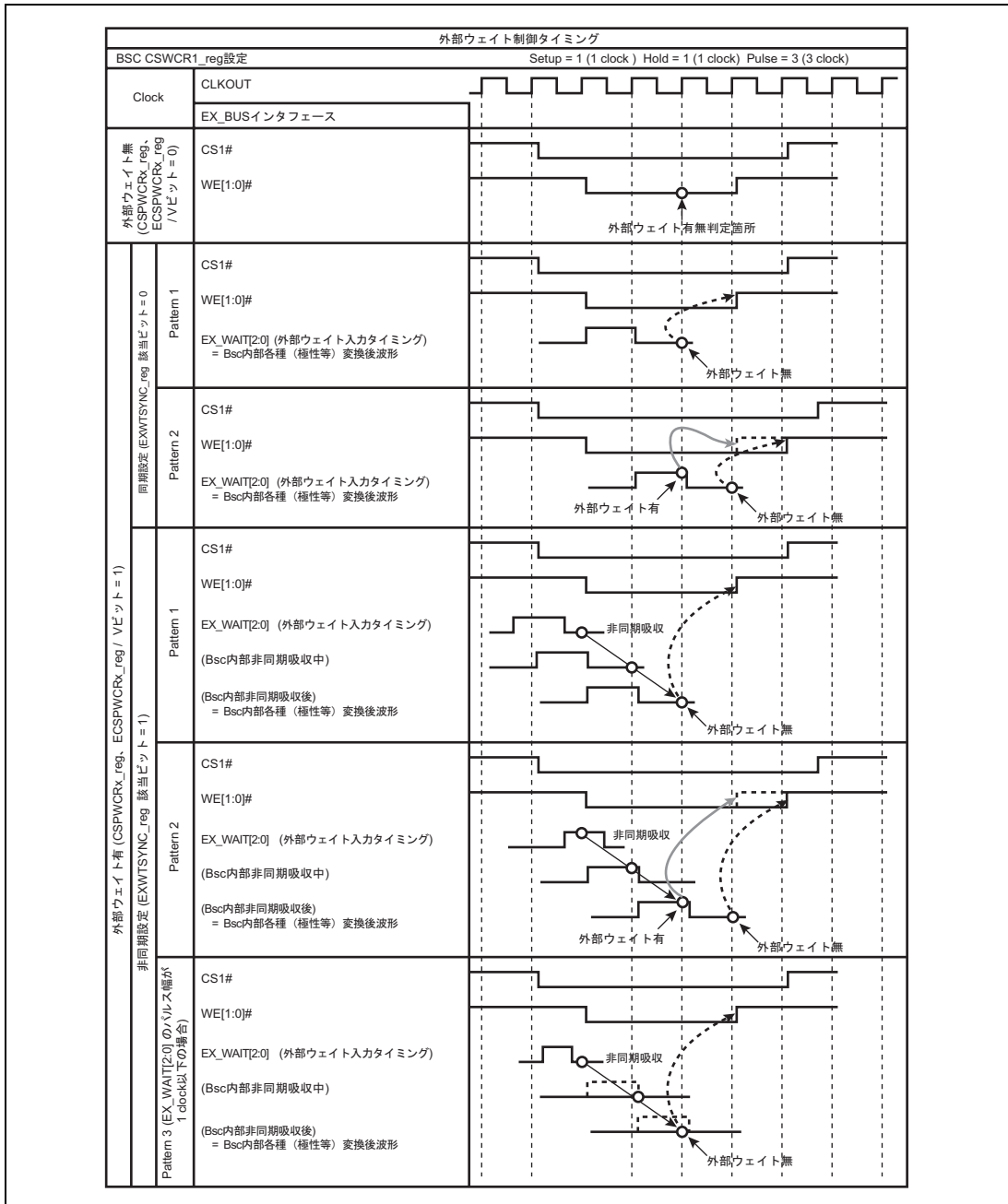


図 6B.9 外部ウェイト入カタイミン波形

(4) インターバルガードコントロール

外部デバイスの中には、リードアクセス終了後から実際に出力データを High-Z 状態に移行させるまでに大きな時間を必要とするタイプのデバイスが存在します。このような場合、次の EX_BUS アクセスが直ちに行われることによるデータバスファイトの発生を避けるために BSC はバスアクセス間をガードしてインターバルを設ける機能をサポートしています。この機能は連続的なアクセス受信が困難な外部デバイスが存在するケースでも有効です。具体的には各エリアごとに個別に設けたガード設定レジスタ (CS1GDST、ECS0GDST~ECS5GDST) にガードを掛けたいクロックサイクル数を設定してください (ガード設定レジスタの設定値が 0 であっても次バスアクセス発行までのハード処理時間が PIO-PIO 間では最小で 2 クロック、PIO-DMA 間では最小 1 クロック存在します。したがってガードレジスタへの設定クロック数に 1 あるいは 2 クロックを加えた時間が EX_BUS 上のインターバルクロック数になります)。該当エリアのアクセスが発生した後は、次アクセスエリアがどこの空間へのどのようなアクセスであっても、直前の該当レジスタ設定値に従いガード期間が設けられます。ただし、エリア 0 のみに関しては、ガード設定レジスタが存在しませんので、直後のアクセスにはガード期間は設けられません。エリア 0 は ROM、SRAM、Flash-ROM などの一般的な汎用メモリを接続するエリアとしての使用方法を想定しているため、ガード期間は不要と考えています。インターバルガードコントロール概念の基本タイムチャートを図 6B.10 に示します。

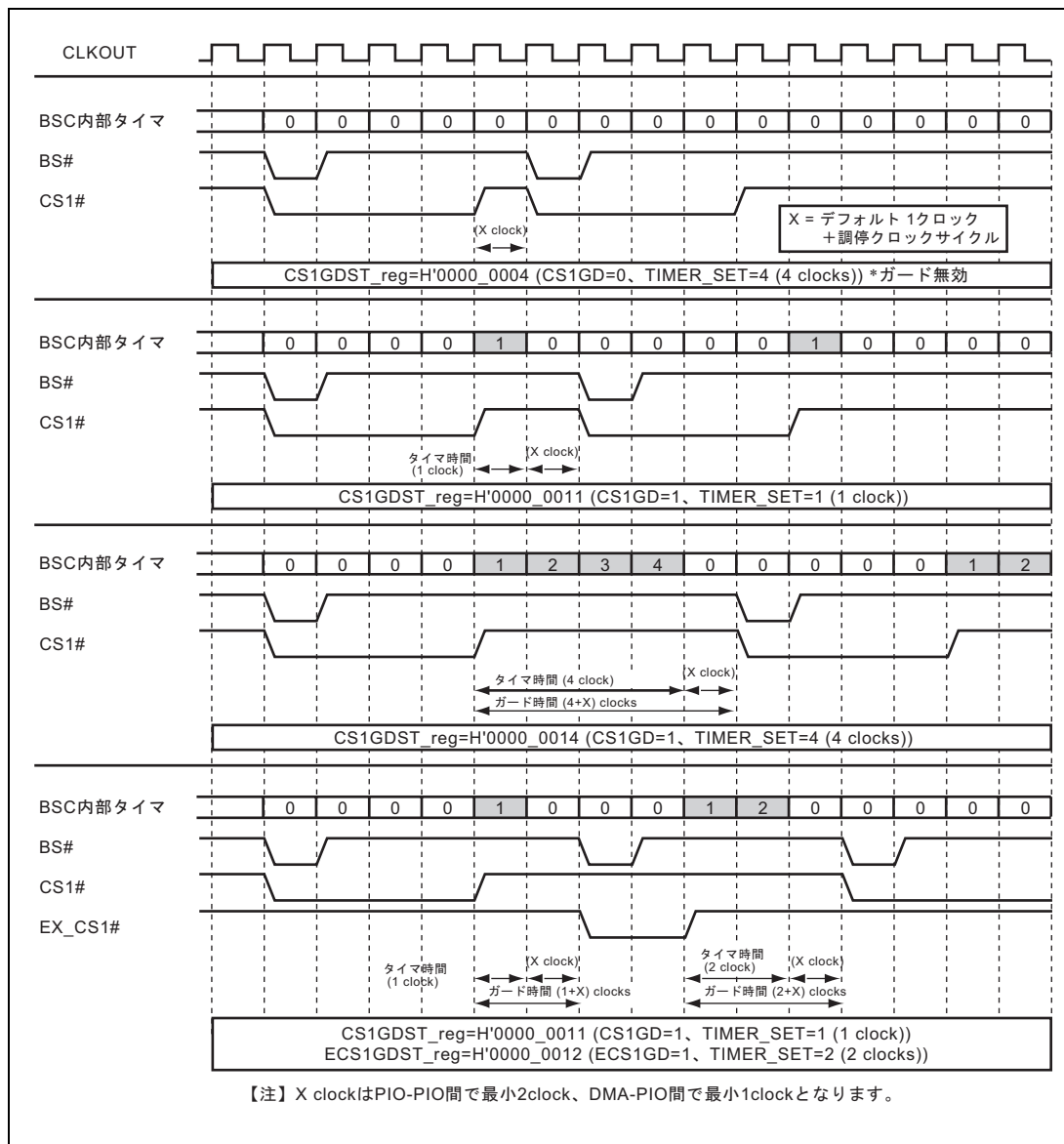


図 6B.10 インターバルガード制御概念

6B.6.2 CPU (SuperHyway バス) →バースト ROM インタフェース

EX_BUS のエリア 0 においては、Page-Mode Read のバースト ROM インタフェースをサポートしています。バースト ROM インタフェースへの切り替えは CS0CTRL レジスタへの設定により行います。CS0CTRL 設定後直ちにバースト ROM アクセス動作が始まりますので、事前に CS0BTPH と CS0BSTCTL の設定を行っておく必要があります。CS0BTPH レジスタでは、1 サイクル目のバーストピッチ、2 サイクル目以降のバーストピッチ、および RD#信号に対する CS#信号のホールドサイクルなどのバースト ROM アクセス波形の設定が可能です。CS0BSTCTL レジスタではバーストアクセス回数 (バースト長) の設定が可能です。実際に接続する外部 ROM の部品仕様に合わせてバーストアクセス回数を設定してください。

ただし、BSC は設定されたバースト回数未満のバースト回数でアクセスを行う例外ケースが 2 つ存在します。1 点目のケースは、アクセス発生源である CPU から要求されたアクセスサイズが設定バースト回数に満たない場合です。本ケースでは設定バースト回数未満であっても CPU から要求されたバイト数を処理した時点でアクセスを終了させます。2 点目のケースは、設定されているバースト回数の途中でバーストアドレス可変境界を越える場合です。本ケースでは境界を越える直前で 1 度アクセスを終了し、改めて次のバーストアクセスを分割実行します。これは、バースト ROM デバイスのアドレス可変境界が規定されており、これに対応するためです。表 6B.3 に BSC が行うバーストアクセスの分割方法を示します。

表 6B.3 バーストアクセスの分割方法

		バス幅	
		8 ビットバス幅のケース	16 ビットバス幅のケース
CS0BSTCTL バースト 回数設定値	4 回	A2 の変化点で分割	A3 の変化点で分割 (A0 は未接続)
	8 回	A3 の変化点で分割	A4 の変化点で分割 (A0 は未接続)
	16 回	A4 の変化点で分割	A5 の変化点で分割* (A0 は未接続)
	32 回	A5 の変化点で分割*	(設定禁止)

【注】 * 32 バイトバースト動作の中で A5 が変化することはない (32 バイトバウンダリ) ため、*の箇所は指定回数分連続で走り抜きます。

上記のようにバースト ROM アクセスではアクセス分割を行いながら、最大では CPU の Cache フィルへの対応動作として 32 バイトのアクセスを行います。本動作は 32 バイトバウンダリでのアクセスとなりますので、バースト ROM のデバイス設定に関しても Continuous Burst 動作の設定は行わず、ラップアラウンドの設定をするようにしてください。

また、バースト ROM の接続形態によっては Synchronous Burst モードでのバースト動作の対応も可能です。Synchronous Burst モードで使用される場合は、バースト ROM から出力されるウェイト信号は受信せず、バースト ROM の Configuration レジスタに 1 語目データ出力レイテンシを設定し、これと 1 語目のピッチを合わせた形で CS0BTPH を設定ください。また 2 語目以降は、バースト ROM の Configuration レジスタおよび CS0BTPH とともにピッチ数 2 を設定ください。バースト ROM の AC 特性や、EX_BUS の周波数によってはピッチ数 1 とした場合、バースト ROM のデータ出力遅延時間が 13ns 程度あることからデータ受信タイミングが間に合わないことが考えられます。バースト ROM インタフェースの基本タイムチャートを図 6B.11 に示します。

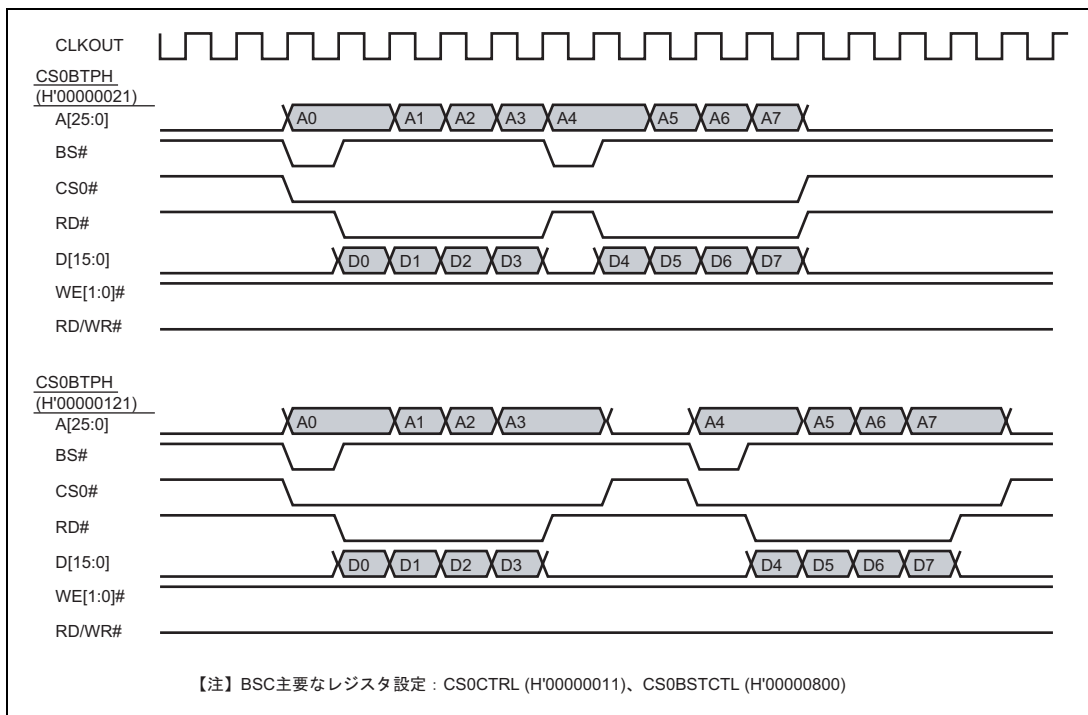


図 6B.11 バースト ROM インタフェースタイムチャート

6B.6.3 LBSC-DMAC→DMA インタフェース

EX_BUS 上では、LBSC-DMAC の 0ch~2ch の 3 チャンネルの DMAC を外部端子 DREQ、DRACK、DACK を有する DMAC として割り付け、DMA 転送動作をサポートします。その内の 0ch、1ch に関してはバースト長 8 の DMA もサポートしています。

DMA はすべてデュアルアドレスモードで動作します。各チャンネルごとの DMA 関連端子一覧を表 6B.4 に示します。

各チャンネルの DMAC を動作させるにあたり、まず LBSC-DMAC チャンネルのエリア割り付けレジスタ (EXDMASET0~2) にて、各 DMAC を適用するエリアに割り付けてください。また、LBSC-DMAC チャンネル用の RD/WE パルスコントロールレジスタ (EXDMAWCR0~2) にて、DMA バスアクセス時の波形パルス幅を設定します (LBSC-DMAC0~2ch は、CSWCR0、CSWCR1、ECSWCR0~5 のパルス幅設定内容には従わず、EXDMAWCR0~2 の設定内容に従います)。さらに、LBSC-DMAC チャンネル用のコントロールレジスタ (EXDMCR0~2) にて、DREQ、DACK、DRACK の信号送受方法を設定してください。

表 6B.4 各チャンネルごとの DMA 関連端子一覧

DMAC チャンネル 番号	動作モード	DREQ、DRACK、DACK の扱い			備考欄
		DREQ	DRACK	DACK	
0ch	デュアル アドレスモード (8 バースト 機能あり)	DREQ0 (極性、エッジ/ レベル検出選択)	DRACK0 (出カタイミン グ調整、極性選 択)	DACK0 (極性選択可)	バースト長の 8 回は、アクセスサイ ズには依存しません。8 ビット、16 ビットそれぞれのバス幅で 8 回の 連続バスアクセスを実施します。
1ch	デュアル アドレスモード (8 バースト 機能あり)	DREQ1 (極性、エッジ/ レベル検出選択)	—	DACK1 (極性選択可)	DRACK1 は、LSI ピンとして存在し ません。 バースト長の 8 回は、アクセスサイ ズには依存しません。8 ビット、16 ビットそれぞれのバス幅で 8 回の 連続バスアクセスを実施します。
2ch	デュアル アドレスモード	DREQ2 (極性、エッジ/ レベル検出選択)	—	DACK2 (極性選択可)	DRACK2 は、LSI ピンとして存在し ません。

(1) LBSC-DMAC アクセス時のデータアライメント

BSC は LBSC-DMAC からのアクセスを受信すると、LBSC-DMAC インタフェースを EX_BUS プロトコルに変換します。その際、LBSC-DMAC エリア割り付けレジスタ (EXDMASET0~2) の設定値によりアクセス先エリアの判別を行いチップセレクト信号を生成します。DMAC チャンネルのデータアライメントに関しては DMAC レジスタへの設定により 2 通りのモードから選択が可能です。

- アライメント固定モード

EX_BUS 上のデバイスと DMA 転送を行う場合、LBSC-DMAC からのアクセスサイズが外部デバイスのデータ幅であると判断する動作モードです (CS0CTRL、CS1CTRL、ECS0CTRL~ECS5CTRL で指定されているバス幅には従いません)。アライメント固定モードでは BSC 内部でアライメント変換は行いません。LBSC-DMAC からのアライメントのまま出力します。ただし、LBSC-DMAC からのアクセスサイズにより、WE[1:0]#信号は生成しません。初期状態では本モードで動作します。表 6B.5 にデータ幅とアクセスサイズの関係を示します。

表 6B.5 アライメント固定モードでのデータ幅とアクセスサイズの関係

DMAC に設定したアクセスサイズ (=バス幅と考える)	データバスリード/ライト位置 (ビッグ/リトルエンディアン共通)		ライトイネーブル信号出力位置 (ビッグ/リトルエンディアン共通)	
	D15~8	D7~0	WE1#	WE0#
16 ビット	データ 15~8	データ 7~0	アサート	アサート
8 ビット	—	データ 7~0	—	アサート

- アライメント可変モード

BSC に設定したバス幅より DMAC に設定したアクセスサイズが小さい場合に DMAC のレジスタ設定によりアライメント可変モードの設定が可能です。この場合、BSC はアクセスアドレスに応じてバイトレーンの切り替えを行います。表 6B.6 と表 6B.7 にアライメント可変モードでのデータ幅とアクセスサイズの関係を示します。BSC のバス幅設定と DMAC のアクセスサイズ設定が同じ場合は固定モードと同じ動作になります。

表 6B.6 アライメント可変モードでのデータ幅とアクセスサイズの関係 (ビッグエンディアン)

BSC に設定した バス幅	DMAC に設定した アクセスサイズ	データバス リード/ライト位置 (ビッグエンディアン)		ライトイネーブル信号出力位置 (ビッグエンディアン)	
		D15~8	D7~0	WE1#	WE0#
16 ビット	16 ビット	2n アドレス		2n アドレス	
	8 ビット	2n アドレス	2n+1 アドレス	2n アドレス	2n+1 アドレス
8 ビット	8 ビット	—	n アドレス	—	n アドレス

表 6B.7 アライメント可変モードでのデータ幅とアクセスサイズの関係 (リトルエンディアン)

BSC に設定した バス幅	DMAC に設定した アクセスサイズ	データバス リード/ライト位置 (リトルエンディアン)		ライトイネーブル信号出力位置 (リトルエンディアン)	
		D15~8	D7~0	WE1#	WE0#
16 ビット	16 ビット	2n アドレス		2n アドレス	
	8 ビット	2n+1 アドレス	2n アドレス	2n+1 アドレス	2n アドレス
8 ビット	8 ビット	—	n アドレス	—	n アドレス

(2) 外部デバイス DMA 転送要求検出機能

LBSC では汎用性を持たせるために、外部デバイス DMA 転送要求信号 (DREQ) の受信方法として極性やレベル/エッジの選択機能をサポートしています。この選択は、EXDMCR0~2 レジスタの設定により行います。この設定に応じた方法で BSC 内部で DREQ 信号を受信して LBSC-DMAC に対して BSC からの DMA 転送要求信号を出力します。レベル検出設定を行った場合、外部デバイスの DREQ 信号がアサートされているかぎり、常に LBSC-DMAC に DMA 転送要求信号も出力しつづけます。逆に DREQ 信号のエッジ検出を行った場合、外部デバイスから DREQ 信号がアサートされつづけていても、エッジを検出するまで、LBSC-DMAC に対して DMA 転送要求信号を出力しません。またエッジを検出してから DMA 転送開始までの間に複数のエッジを検出しても 1 回の転送要求となります。

(3) LBSC-DMAC と外部デバイス間の BSC の役割

LBSC-DMAC→EX_BUS 出力変換における基本タイムチャートを図 6B.12 に示します。BSC は、DMAC からのアクセスに対してバス競合の調停を行います。LBSC-DMAC がバス権を取得すると、LBSC-DMAC アクセス時に対し、BSC が有する LBSC-DMAC チャンネル RD/WE パルスコントロールレジスタ (EXDMAWCR0~2) の設定により EX_BUS 上に出力する RD#や WE[1:0]#のパルス幅コントロールを行います。

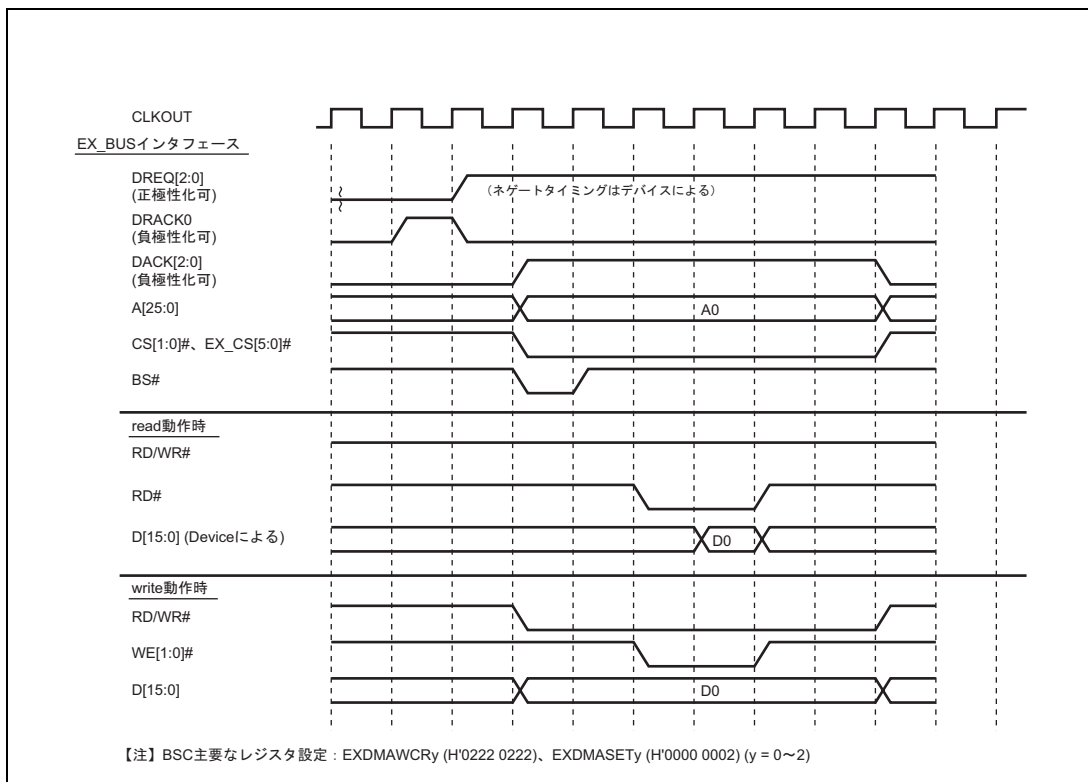


図 6B.12 LBSC-DMAC→EX_BUS 基本タイムチャート

(4) LBSC-DMAC →EX_BUS バーストアクセス

BSCでは、LBSC-DMACからのバーストアクセス(アクセスサイズにかかわらず8回の連続転送)動作のEX_BUS出力機能をサポートします。LBSC-DMAC バーストアクセス時のタイムチャートを図 6B.13 に示します。

LBSC-DMAC のバーストアクセス時の波形は基本的にはシングルアクセスのときの波形が繰り返す波形になっています。ただし、バーストアクセスが終了するまでの間は外部 DMAC のアクセスがバス権を開放しないため、CPU (SuperHyway) からの PIO アクセスがサイクルスチールすることはありません。また、DMAC 自体が8回分のデータを1つのパケット単位として考え、相手先との間で転送動作を行うので、転送性能は高くなります。

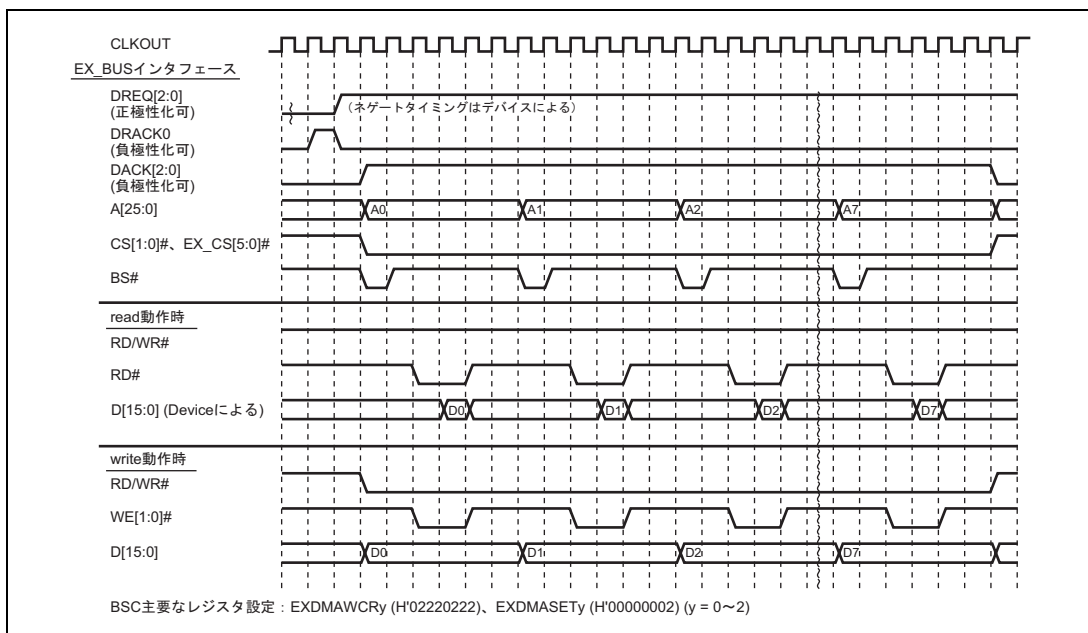


図 6B.13 LBSC-DMAC→EX_BUS バーストアクセス基本タイムチャート

(5) DREQ 受信タイミング

DMA 要求 (DREQ) 信号をレベル受信モードに設定し、かつ、アサートされた状態が継続したときに、次の DMA 要求と見なすタイミングを下記に示します。また同様に誤って次の DREQ と認識しないための DREQ ネゲートタイミングを図 6B.14 に示します。

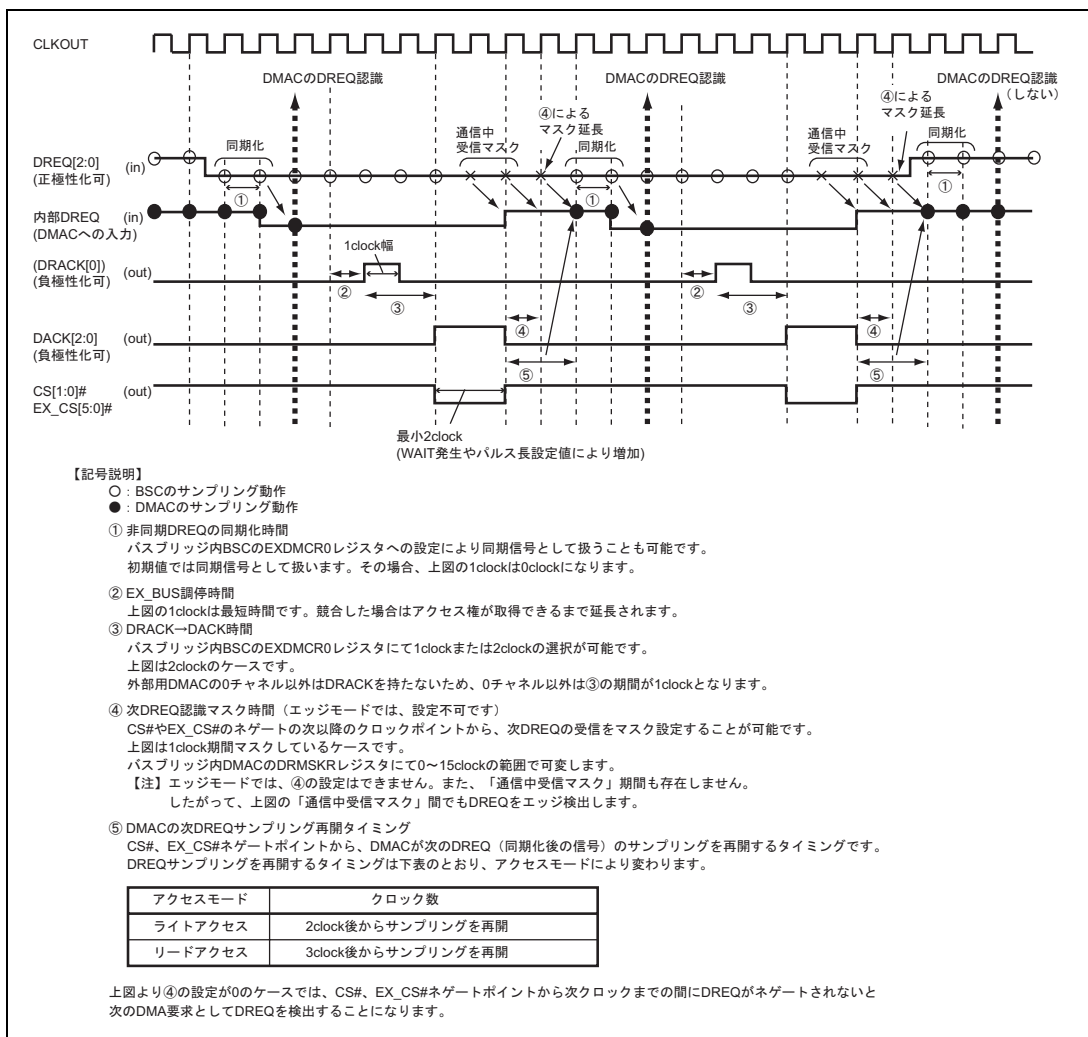


図 6B.14 EX_BUS における次 DREQ 信号の認識タイミング

6B.6.4 CPU (SuperHyway バス) →バイト制御 SRAM インタフェース

EX_BUS のエリア 1 および拡張エリア 0~5 に関しては CPU (SuperHyway バス) からや LBSC-DMAC からのバイト制御 SRAM インタフェースをサポートします (エリア 0 は非対象です)。バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロブ (WE#) を出力するメモリインタフェースです。バイト制御 SRAM インタフェースのライトタイミングは、SRAM インタフェースと同じです。しかし、リードアクセスでは、WE#のタイミングが異なります。リードアクセス時は、読み込むバイトの WE#のみ出力されます。アサートタイミングは、CS1CTRL レジスタの CS1BRM ビット、ECSxCTRL レジスタの ECSxBRM ビットの設定により CS#端子、RD#端子と選択可能です。各空間ともに、デフォルトでは SRAM 動作モードとなっていますので、CS1CTRL、ECS0CTRL~ECS5CTRL のうち、該当エリアのレジスタの設定をバイト制御 SRAM 空間するとともにアサートタイミングの設定を行ってください。

(1) バイト制御 SRAM インタフェース

- WE#アサート期間は、CS1BRM、ECS0BRM~ECS5BRMの設定により「CS#アサート期間と同じ」もしくは「RD#アサート期間と同じ」と選択可能です。
- WE#は、リード時でも有効アクセスバイトのみアサートします。(たとえば、バイト制御SRAMバス幅が16ビットのデバイスに対し、バイトリードした場合は、WE#のいずれか1ビットがアサートされます。)
- ライトアクセスは、SRAM波形と同じになります。

(2) 基本タイムチャート

バイト制御 SRAM インタフェース基本タイムチャートを図 6B.15 に示します。

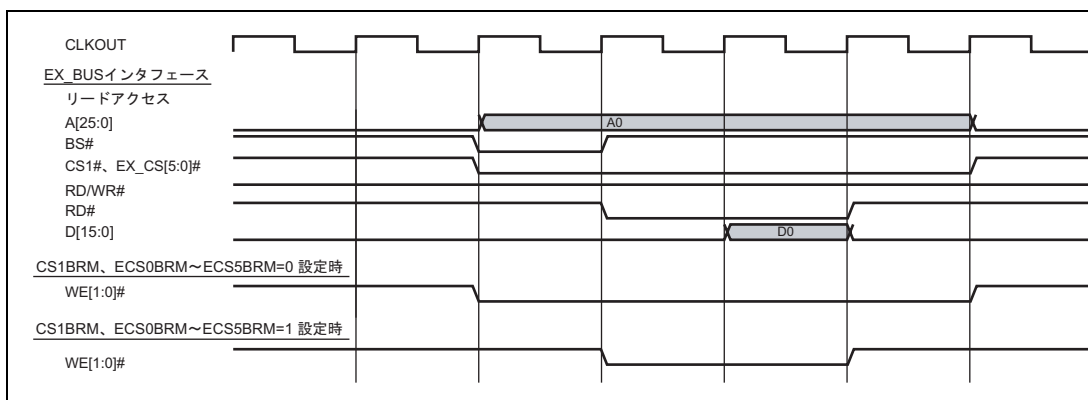


図 6B.15 バイト制御 SRAM インタフェース波形

6B.6.5 CPU (SuperHyway バス) →ATA デバイスインタフェース

EX_BUS のエリア 1 および拡張エリア 0~5 に関しては CPU (SuperHyway バス) からや LBSC-DMAC からの ATA デバイスインタフェースをサポートします (エリア 0 は非対象です)。各空間ともに、デフォルトでは SRAM 動作モードとなっていますので、CS1CTRL、ECS0CTRL~ECS5CTRL のうち、該当エリアのレジスタの設定を ATA 空間に設定ください。また、ATA マルチワード DMA を行う場合は、EXDMCRy (y=0~2) レジスタ DBST ビットを 1 に設定してください。

ATACS コントロールレジスタ (ATACSCTRL) の設定により、ATACS0#、ATACS1#をアクセス空間 CS#信号に同期してアサートすることが可能です。

(1) ATACS0#/ATACS1#信号

ATACS コントロールレジスタ (ATACSCTRL) の ATACS1_EN、ATAECSx_EN (x=0~5) を 1 に設定し、CS1CTRL レジスタ CS1IF ビット、ECSxCTRL レジスタ ECSxIF ビットにより、ATA モードを選択した場合、該当空間アクセス時、該当空間 CS#信号に同期して ATACS0#、ATACS1#をアサートします。(該当空間 CS#信号も同時にアサートします。)

ATACS0#、ATACS1#は、EX_BUS アドレス ビット 4 (A4 端子) により、いずれかの信号がアサートします。

ATACS0#、ATACS1#アサート条件を CS1 空間を ATA インタフェースとした場合を例として以下に示します。

表 6B.8 ATACS0#、ATACS1#アサート条件 (エリア CS1 : ATA インタフェース)

ATACS1_EN	A4 端子	CS1#	ATACS0#	ATACS1#
0	*	○	×	×
1	0	○	×	○
1	1	○	○	×

【記号説明】 ○ : アサート × : ディアサート

【注】 * : Don't care.

(2) ATA インタフェース信号

ATA デバイスインタフェースにエリアを設定した場合における BSC 出力信号を表 6B.9 に示します。

表 6B.9 ATA インタフェース 信号一覧

	ATA I/F 信号	LBSC 出力信号	入出力	説明	備考
1	CS#[0]	ATACS0#	出力	チップセレクト (コマンドブロック)	
2	CS#[1]	ATACS1#	出力	チップセレクト (コントロールブロック)	
3	DMARQ	DREQ[2:0] (負極性設定可)	入力	DMA リクエスト	極性設定可 UltraDMA 時は、 DREQ[1:0]のみ
4	DMACK#	DACK[2:0] (負極性設定可)	出力	DMA アクノリッジ	極性設定可 UltraDMA 時は、 DACK[1:0]のみ

	ATA I/F 信号	LBSC 出力信号	入出力	説明	備考
5	A[2:0]	A[3:1]	出力	アドレス	
6	DD[15:0]	D[15:0]	入出力	データ	
7	DIOW/STOP	ATAWR#	出力	ライトイネーブル/ STOP 信号 (UltraDMA 時)	
8	DIOR/ HDMARDY#/ HSTROBE	ATARD#	出力	リードイネーブル/ ホスト DMA レディ (UltraDMA リード時) / ホストデータストロブ (UltraDMA ライト時)	
9	IORDY/ DDMARDY/ DSTROBE	WAIT[2:0]より 選択 (負極性設定可)	入力	I/O レディ/ デバイス DMA レディ (UltraDMA ライト時) / デバイスデータストロブ (UltraDMA リード時)	
10	—	ATAG#	出力	外付けバッファイネーブル	
11	—	ATADIR#	出力	外付けバッファ方向制御	ライト時 L 出力

【注】 ATACS0#、ATACS1#使用は、ATACSCCTRL レジスタの設定が必要です。

(3) ATA インタフェース接続構成

EX_BUS を ATA インタフェース選択時、ATA デバイスと LBSC との接続構成の一例を図 6B.16 に示します。

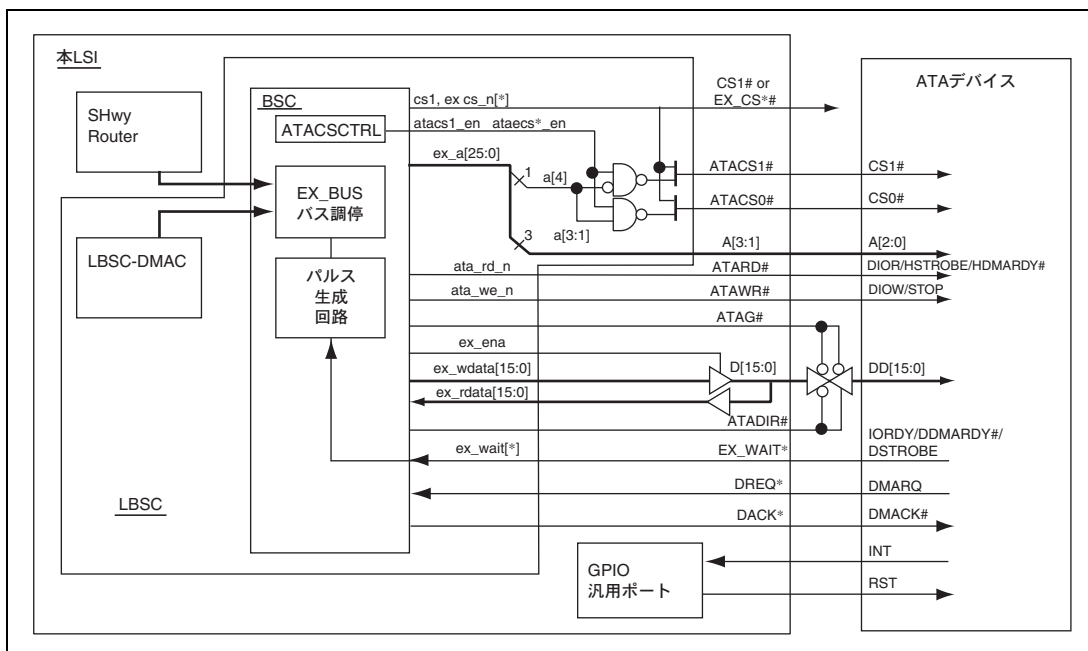


図 6B.16 EX_BUS ATA デバイス構成例

(4) ATA インタフェース (PIO モード、マルチワードモード)

BSCでのATAインタフェースサポート機能を以下に示します。

- ATAデバイスからのIORDY信号によりATAインタフェースのウェイト制御を行います。
- マルチワードDMA転送サポートとしてATAレジスタへのアクセスはCPUにより行い、データ転送はDMAコントローラがCPUの代わりに行うことを想定し、LBSC-DMAC (EX_BUS ⇄ メモリ間転送) を割り付け可能とします。
- I/Oレディタイムアウト検出としてATAデバイスからのIORDY信号の状態を監視し、ある一定時間を超えてもATAデバイスのウェイト状態を検出した場合、BSC内レジスタにATAウェイトタイムアウトエラーを表示しATAインタフェースアクセスを強制的に終了にします。

検出時間は、EX_BUS動作周波数により決まり、「検出時間[ns]=EX_BUS動作周波数(ns)×100クロック」となります。

(5) 基本タイムチャート (PIO モード、マルチワードモード)

ATA インタフェース PIO 転送基本タイムチャートを図 6B.17 に示します。

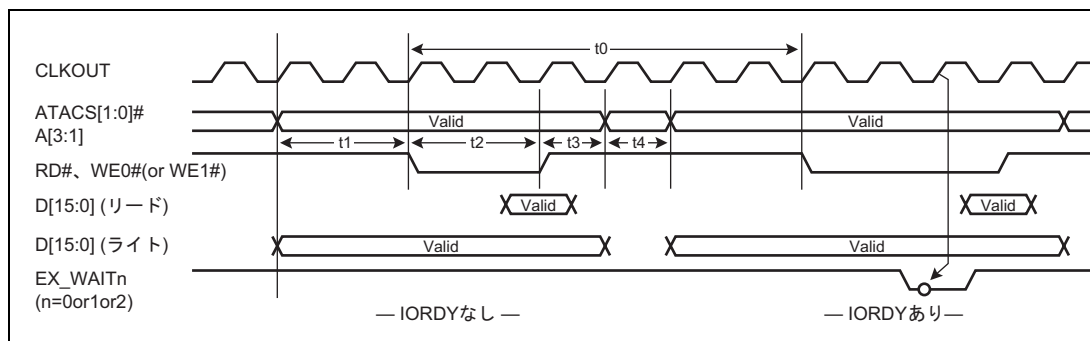


図 6B.17 ATA インタフェース波形

また、ATA インタフェース PIO 転送における RD/WE パルスコントロールレジスタ設定例 (EX_BUS 動作周波数 50MHz の場合) を表 6B.10 に示します。

表 6B.10 ATA インタフェース PIO 転送における RD/WE パルスコントロールレジスタ設定例

(EX_BUS 動作周波数 : 50MHz の例)

モード	CSWCR 設定値	サイクル時間 (t0)	アドレス セットアップ (t1)	DIOR/DIOW パルス幅 (t2)	アドレス ホールド (t3)	アイドル サイクル (t4)
0	H'077F077F	600 (600)	140 (70)	300 (290)	140 (20)	20 (-)
1	H'031F031F	400 (383)	60 (50)	300 (290)	20 (15)	20 (-)
2	H'021F021F	380 (330)	40 (30)	300 (290)	20 (10)	20 (-)
3	H'02150215	180 (180)	40 (30)	100 (80)	20 (10)	20 (-)
4	H'02150215	180 (120)	40 (25)	100 (70)	20 (10)	20 (-)

【注】 単位 : ns、 () 内数値は ATA 規格値

CSWCR 設定値は、ATA 規定値 \leq CSWCR 設定値 \times EX_BUS クロック (CLKOUT) 幅

ATA インタフェースマルチワード DMA 転送基本タイムチャートを図 6B.18 に示します。

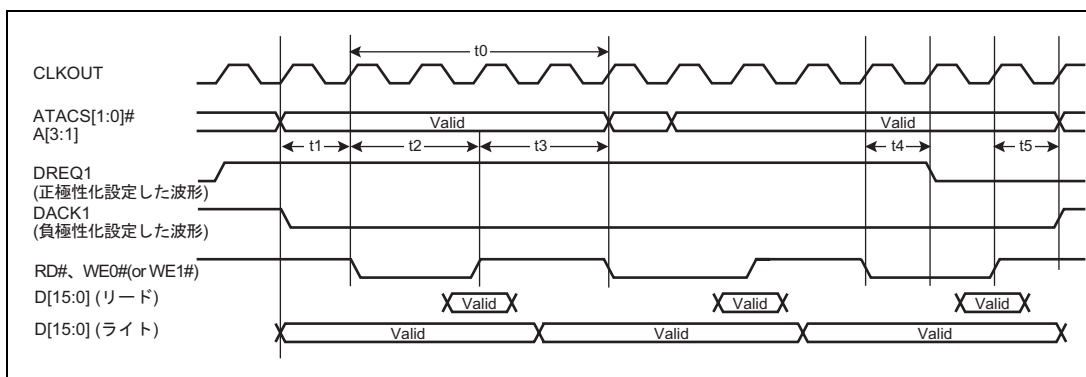


図 6B.18 ATA インタフェースマルチワード DMA 波形

また、ATA インタフェースマルチワード DMA における RD/WE パルスコントロールレジスタ設定例 (EX_BUS 動作周波数 50MHz の場合) を表 6B.11 に示します。

表 6B.11 ATA インタフェースマルチワード DMA における RD/WE パルスコントロールレジスタ設定例

(EX_BUS 動作周波数 : 50MHz の例)

モード	EXDMAWCR 設定値	サイクル 時間 (t0)	CS[1:0] セットアップ (t1)	DIOR/DIOW パルス幅 (t2)	DIOW ネゲート ホールド/ DIOR ネゲート パルス幅 (t3)	DIOW/DIOR DREQ 遅延 (t4)	DACK ホールド (t5)
0	H'067B067B	480 (480)	120 (50)	220 (215)	260 (215/50)	— (120/40)	140 (20)
1	H'02240224	160 (150)	40 (30)	80 (80)	80 (50)	— (40)	40 (5)
2	H'02140214	140 (120)	40 (25)	80 (70)	60 (25)	— (35)	20 (5)

【注】 単位 : ns、() 内数値は ATA 規格値

EXDMAWCR 設定値は、ATA 規定値 ≤ EXDMAWCR 設定値 × EX_BUS クロック (CLKOUT) 幅

(6) UltraATA DMA モード

UltraATA DMA モードは、PIO モードやマルチワードモードとは異なり、ATA デバイスとのインタフェース信号の個々の機能が変わる規格となっています。このため、LBSC においても表 6B.9 に示すように UltraATA DMA モード時は、各インタフェース信号の機能を変えて動作します。ボードの構成は、図 6B.16 に示す信号接続形態で動作可能です。

UltraATA DMA モードで動作させるには、ATA デバイスを接続した外部バスエリアの動作モードを ATA に設定します。該当空間に割り付ける LBSC-DMAC はチャンネル番号 0 または 1 を指定してください。その上で、LBSC-DMAC の UATMR レジスタ設定を UltraATA DMA モードに設定、その他は通常の DMAC 起動と同様に DMAC のレジスタに各情報を設定、そして、DMA 起動を行うことで動作します。

UltraATA DMA 動作時の特徴を以下に示します。

- 初期設定、起動、ステータス読み出しなど、ATA デバイスへのレジスタアクセスは、PIO による ATA デバイスへの直接アクセスで実施。
- UltraDMA は、モード 4 までをサポート。
- UltraDMA に対応する LBSC-DMAC はチャンネル 0 または 1。
- ATA モードを指定したエリアへの PIO R/W 動作時、A、D、CS、DIOR または DIOW、EXWAIT 信号を用いてアクセスを実施。
- DMA ライト動作では、HSTROBE (DIOR) 信号のエッジに対するデータの Setup/Hold 時間を出力クロック数で設定可。
- DMA リード動作では、DSTROBE (IORDY) 信号の受信に合わせてデータを受信。受信ビジー時は、HDMARDY 信号を一時的にネゲート。

- UltraDMAのDMAバス動作中も他エリアへのPIOや他チャネルのLBSC-DMAのサイクルスチールあり。
 - サイクルスチールは、LSI内部から外部アクセス要求が発生した場合のみ。HDMARDYやDDMARDYの一時ネゲート中に実施。
 - DMAの設定転送サイズは、1セクタでサイズは任意。ただし、2バイト幅×16バーストを基本単位とし、これを整数n回指定することで実現。
 - 1セクタ分のDMA動作中の自エリアへのPIOサイクルスチールは不可。
- CRCチェック機能サポート。
 - セクタDMAデータ転送完了後、CRCコード（生成多項式 $X^{16}+X^{12}+X^5+1$ ）をデバイスに向かって出力。
 - 出力したCRCコードの値は、LBSC-DMACのレジスタからも読み出し可（デバッグ・機能評価用途）。
 - DMA動作中のタイムアウト監視機能をLBSC-DMACにてサポート。オーバフロー時はタイムアウト割り込み通知可。

UltraATA DMA の動作を図 6B.19 に示します。

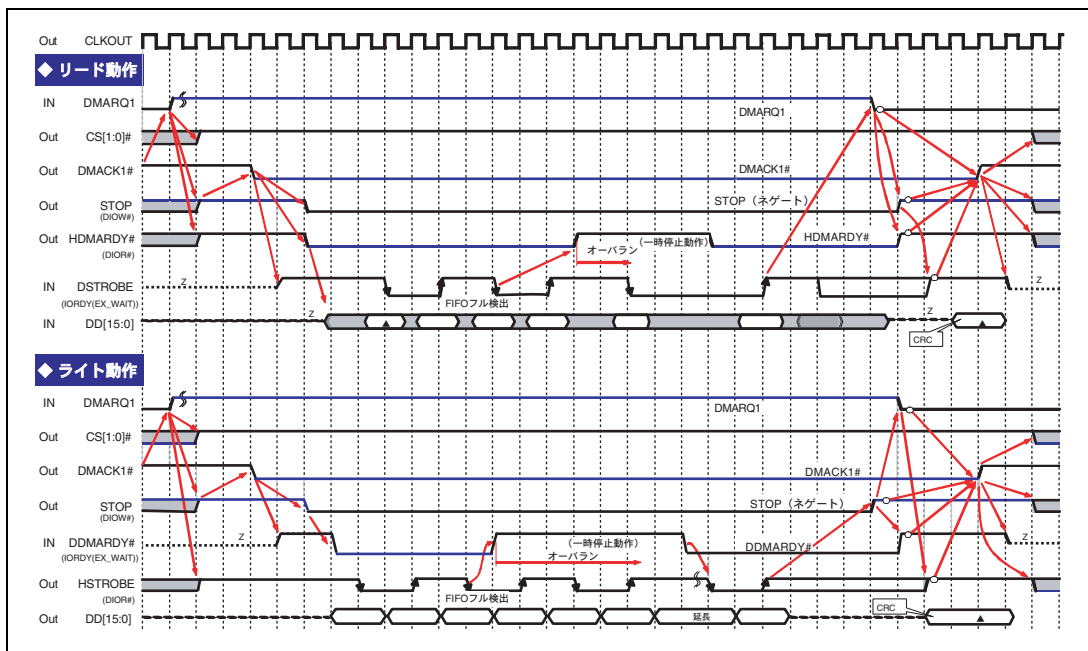


図 6B.19 UltraATA DMA 動作波形

UltraATA DMA の設定手順を図 6B.20 に示します。

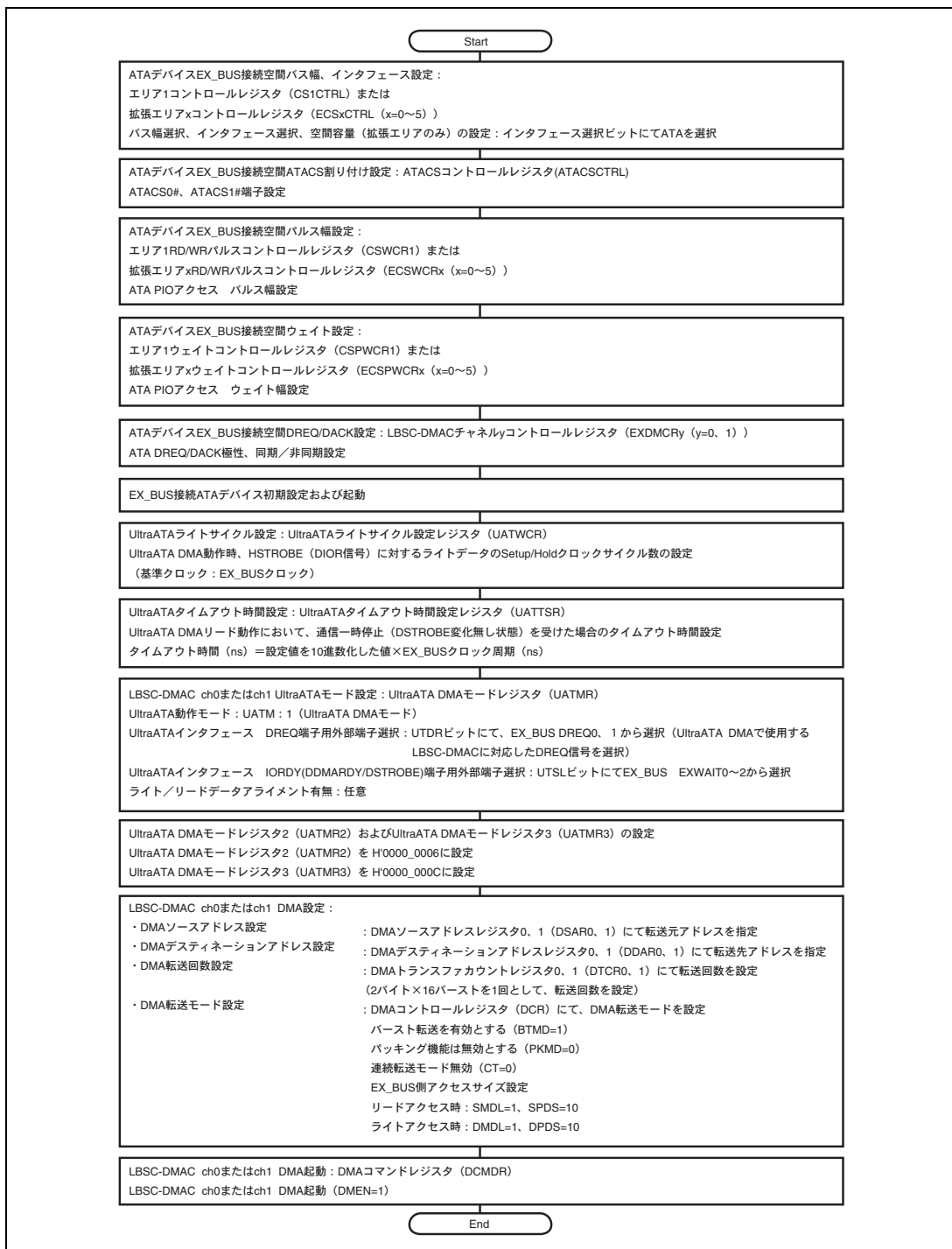


図 6B.20 UltraATA DMA の設定手順

6B.6.6 EX_BUS バス調停

LBSCは、CPU (SuperHyway バス) からのアクセス、LBSC-DMAC 0ch~2ch からのアクセスによる競合に対し、どちらのアクセスを優先させるか、LBSC 内の EXBATLV レジスタにより設定可能です。また LBSC-DMAC 0ch~2ch 間のアクセス競合については、DMAC 3ch を LBSC-DMAC 内の DMA メモリアクセス優先レベルコントロールレジスタ (DMLVLR) の設定により2つのグループにグルーピングし、それぞれのグループ内においてラウンドロビン方式で優先 DMAC ch を決定します。EX_BUS バス調停の概念図を図 6B.21 に示します。

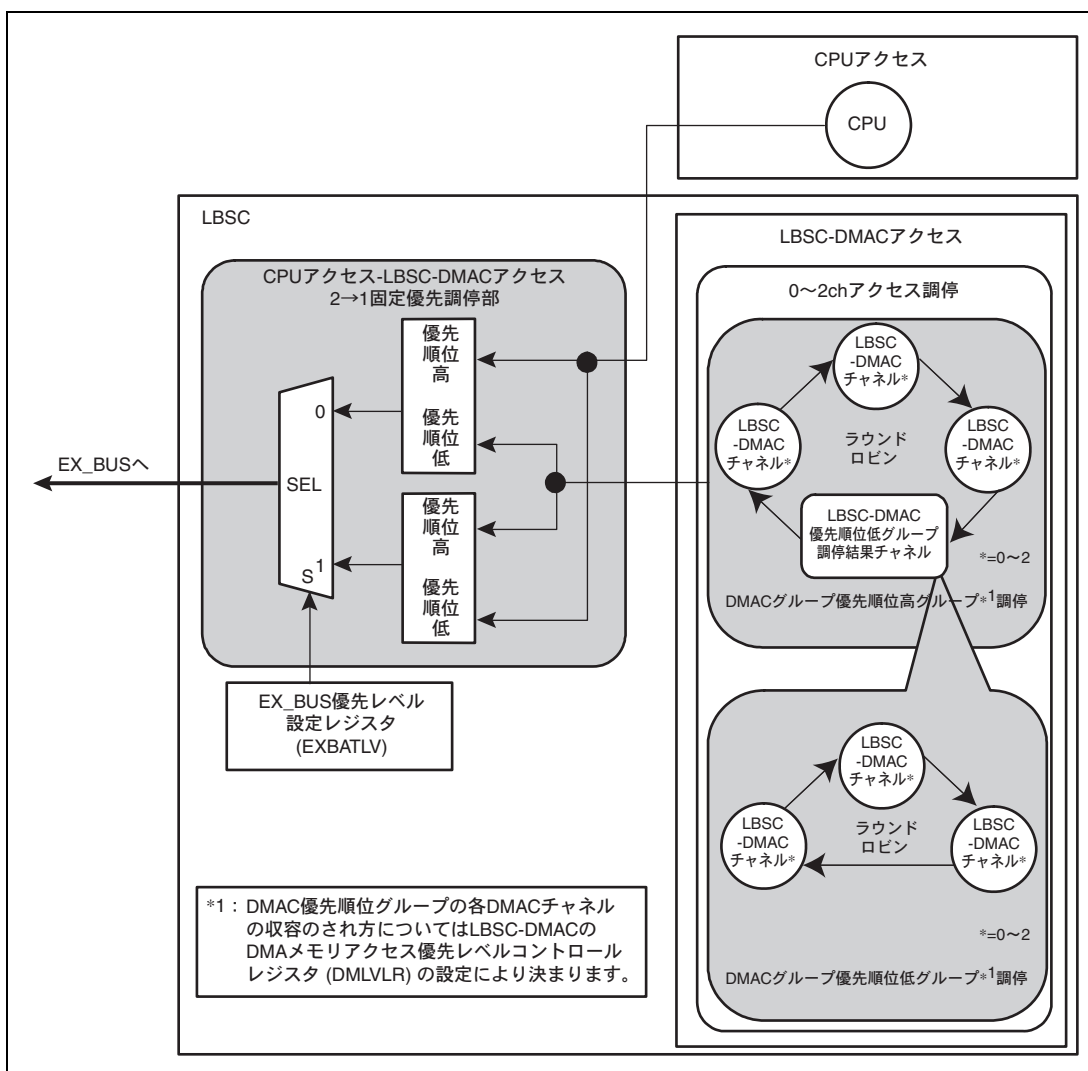


図 6B.21 EX_BUS バス調停の概念図

6B.7 使用上の注意事項

本 LBSC を使用する際は、以下のことを注意してください。

6B.7.1 ピンマルチ設定

本 LSI 立ち上げ時、必ず LSI ピンマルチ設定レジスタにて、ピンマルチ設定を行ってください。

また、LSI ピン PULL_UP 制御レジスタにて、ピン PULL_UP 設定を行ってください。

設定値詳細内容は、「第 37 章 ピンファンクションコントローラ (PFC)」を参照してください。

6B.7.2 UltraDMA リードアクセス動作

EX_BUS 接続 ATA デバイスに対する UltraDMA 転送は、LBSC、LBSC-DMAC にて行われます。

EX_BUS は、複数の外部デバイスを接続することを想定した外部バスであるため、UltraDMA 転送時も、外部デバイスへのアクセスとの競合制御を行いながら転送を行います (アクセス権取得/解放を行いながら転送が行われます)。そのため、下記の動作になります。

(1) UltraDMA リードアクセス動作

1. 32バイト単位にHDMARDYをネゲートします (32バイト単位にアクセス権取得/解放)。

外部デバイスへのアクセスとの競合制御を行いながら転送する必要があり、32バイト単位にアクセス権を解放 (HDMARDYをネゲート) します。

図6B.22にリードアクセス時のHDMARDY#、DSTROBE信号動作を示します。

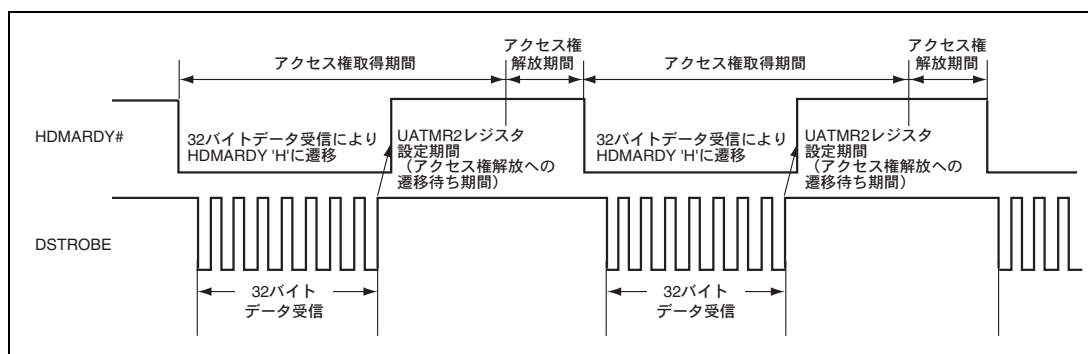


図 6B.22 リードアクセス時の HDMARDY#、DSTROBE 信号動作

7. 割り込みコントローラ (INTC、INTC2)

7.1 概要

割り込みコントローラ (INTC) は、外部端子から入力される NMI を CPU に通知します。また、IRL、IRQ の外部割り込み要因と内蔵周辺モジュールからの割り込みを集約する INTC2 からの代表割り込みの優先順位を判定し、CPU への割り込み要求を制御します。また、INTC には IRQ の各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。内蔵周辺モジュールからの割り込みを制御するための各種レジスタは INTC2 がサポートします。

7.2 特長

7.2.1 INTC の特長

INTC は、ソフトウェアからのレジスタアクセスに対する応答性を上げるために、SuperHyway バス上の LBSC 配下に配置された割り込みコントローラです。LBSC 配下に拡張出力されたレジスタインタフェースに接続され CPU からのアクセスに対する高速応答を行います。INTC には次のような特長があります。

- NMI、IRQ、IRLの外部割り込みとINTC2からの割り込みを優先順位に従いCPUに通知します。
- 割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。
- NMI端子の状態を示すNMI入力レベルビットを持っています。
割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。
- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能です。
- ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。
- レベル検出IRQおよびIRL割り込み要因の要因保持モードをサポートします。

レベル検出設定時のIRQ割り込み、およびIRL割り込みについては、外部端子の入力レベルを保持しない場合でもINTC内部では割り込み要因を一時的に保持するモード (ICR0.LVLMODE = 0) と、INTC内部でも保持しないモード (ICR0.LVLMODE = 1) の2つのモードがあります。初期値はICR0.LVLMODE = 0ですが、初期化ルーチン内で、割り込みコントロールレジスタ0 (ICR0) の設定を行い、ICR0.LVLMODE = 1として使用することを推奨します。

7.2.2 INTC2 の特長

INTC2 は、INTC 同様にソフトウェアからのレジスタアクセスに対する応答性を上げるために、SuperHyway バス上の LBSC 配下に配置された割り込みコントローラです。LBSC 配下に拡張出力されたレジスタインタフェースに接続され CPU からのアクセスに対する高速応答を行います。

INTC2 には次のような特長があります。

- 内蔵周辺モジュール、GPIOからの割り込みを受信し、設定された優先順位に従いINTC経由でCPUに通知します。
- 割り込みの優先順位を要求別に30レベルまで設定することができます。
- ソフトウェアが内蔵周辺モジュールに対して割り込みクリアを行った時点から割り込み信号のネゲートがCPU伝わるまでに、再度CPUが同一割り込みを誤り検出してしまうことを防止するために、高速マスク機能によって割り込み信号のネゲートを高速化させ、誤検出を防ぐことが可能です。

7.3 ブロック図

図 7.1 に INTC と INTC2 のブロック図を示します。また、図 7.2 に INTC 入力コントロール部の詳細を示します。

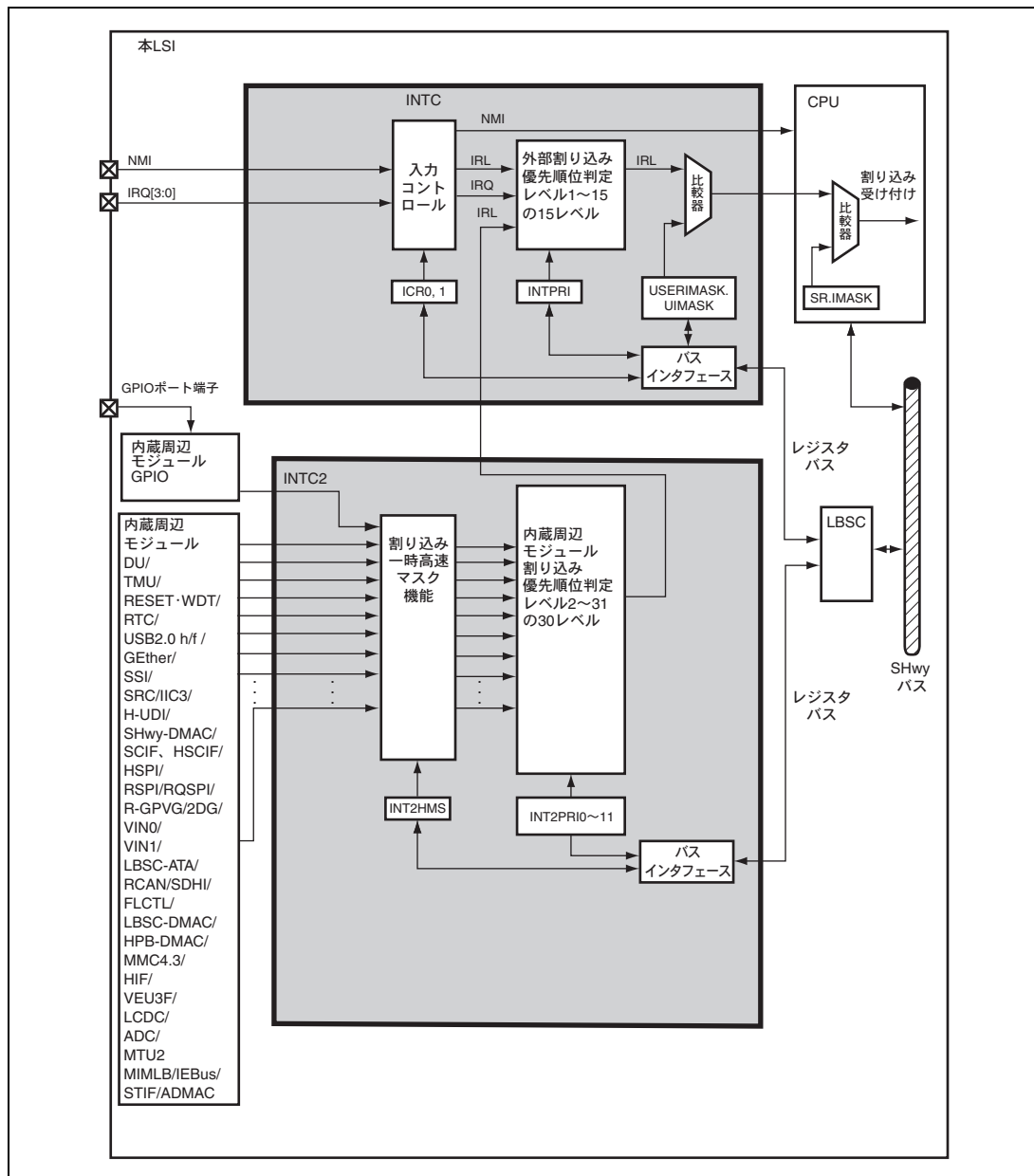


図 7.1 INTC と INTC2 のブロック図

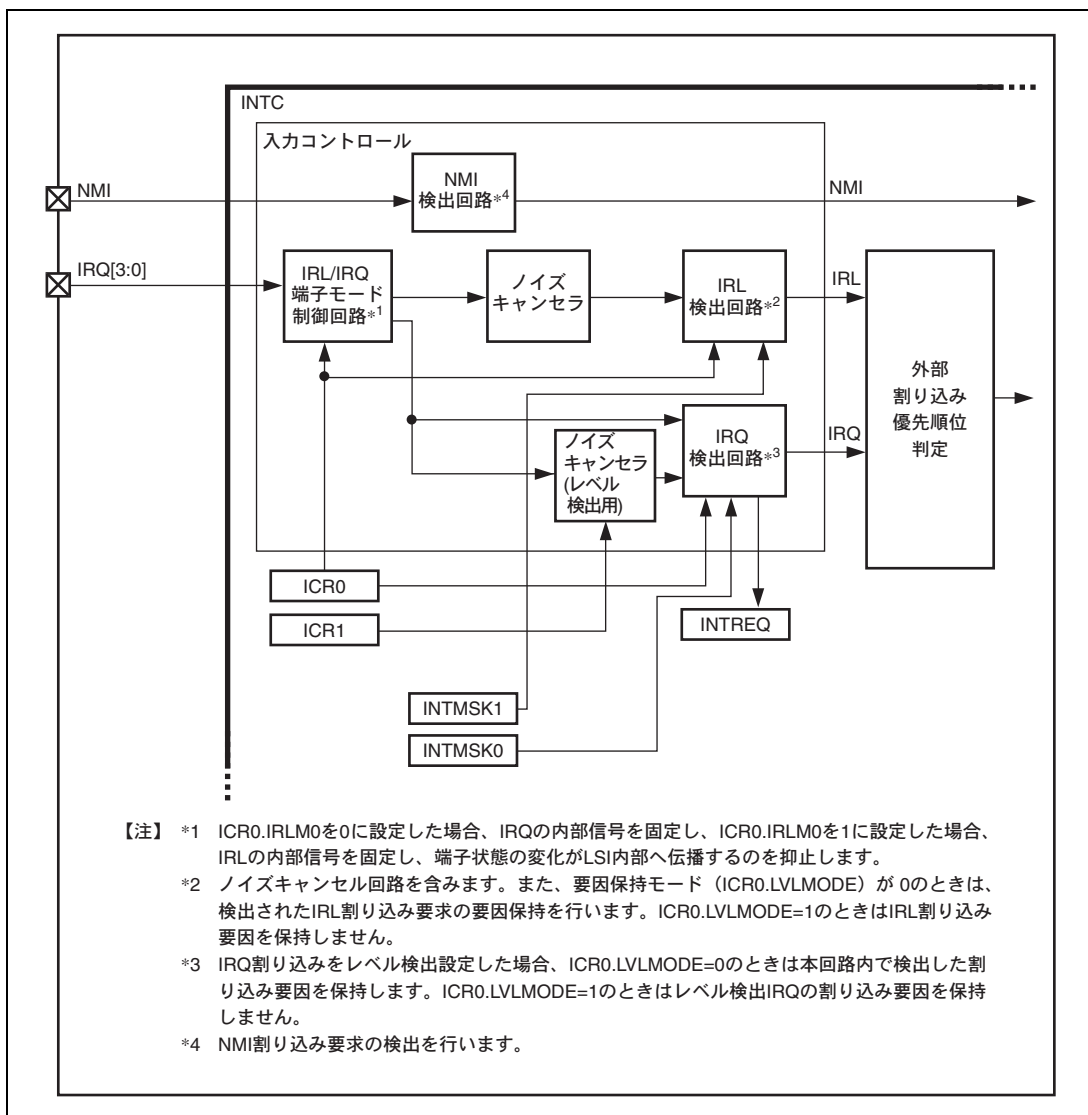


図 7.2 INTC 入力コントロール部の詳細

7.3.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

割り込み発生時の流れは以下ようになります。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
割り込み例外処理ルーチンの先頭番地ベクタベースレジスタ (VBR) +H'600にジャンプします。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

7.3.2 割り込み要因

割り込み要因種別を表 7.1 に示します。

INTC は、内蔵周辺モジュール割り込みを集約する INTC2 からの割り込みと外部割り込みから優先順位に従い割り込み選択して、CPU に通知します。

CPU への通知は、選択した割り込みに対応する 4 ビットの割り込み優先レベルコードと割り込みの要因コード (INTEVT コード) を合わせて、通知します。また、INTC2 も、割り込み優先レベルコードと要因コード (INTEVT コード) を INTC 経由で CPU へ出力します。CPU は割り込みを受け付けると INTEVT レジスタに該当 INTEVT コードを表示します。割り込みハンドラは、CPU の INTEVT コードレジスタを読むことにより、INTC や INTC2 の要因表示レジスタを読み込まなくても割り込み発生元を知ることが可能です。


IRQ や内蔵周辺モジュールからの割り込み優先順位は、INTC や INTC2 のレジスタによって設定が可能です。設定値が同一の優先順位を持つ複数の割り込みが同時に発生した場合は、表 7.1 に示す順番で優先順位が定められています。

表 7.1 割り込み要因コードと優先順位 (1)

INTC/INTC2	要因	要因数(最大)	優先順位	INTEVT	備考	
外部割り込み (INTC)	NMI	1	—	1C0	割り込み優先レベルが同じ値に割り付いている場合は本表の順番で優先度が高くなります。 (高) ↑	
	IRL	1	端子入力値の反転値順 (負極性端子のため)	200		IRQ[3:0] 端子=H'0
				220		IRQ[3:0] 端子=H'1
				240		IRQ[3:0] 端子=H'2
				260		IRQ[3:0] 端子=H'3
				280		IRQ[3:0] 端子=H'4
				2A0		IRQ[3:0] 端子=H'5
				2C0		IRQ[3:0] 端子=H'6
				2E0		IRQ[3:0] 端子=H'7
				300		IRQ[3:0] 端子=H'8
				320		IRQ[3:0] 端子=H'9
				340		IRQ[3:0] 端子=H'A
				360		IRQ[3:0] 端子=H'B
				380		IRQ[3:0] 端子=H'C
				3A0		IRQ[3:0] 端子=H'D
				3C0		IRQ[3:0] 端子=H'E
				IRQ		4
	280	IRQ[1]				
	2C0	IRQ[2]				
	300	IRQ[3]				

表 7.1 割り込み要因コードと優先順位 (2)

INTC/INTC2	割り込み内蔵周辺モジュール	詳細 要因数	詳細要因 レジスタ	INTEVT コード	優先順位
内蔵周辺割り込み (INTC2)	DU	14	INT2B0	3E0	割り込み優先レ ベルが同じ値に 割り付いている 場合は本表の順 番で優先度が高 くなります。 高 ↑ (次頁へ続く)
	TMU 00	1	INT2B1	400	
	TMU 10	1		420	
	TMU 20	1		440	
	TMU 21 (Input Capture)	1		460	
	TMU 30	1	INT2B2	480	
	TMU 40	1		4A0	
	TMU 50	1		4C0	
	TMU 51 (Input Capture)	1		4E0	
	TMU 60	1		500	
	TMU 70	1		520	
	TMU 80	1	540		
	RESET/WDT	1	INT2B3	560	
	USB2.0-Host 0,1/Function 0	3	INT2B4	580	
	(Reserve)	—	—	5A0	
	(Reserve)	—	—	5C0	
	(Reserve)	—	—	5E0	
	DEBUG (H-UDI)	1	INT2B8	600	
	SHwy-DMAC 0,1	6	INT2B9	620	
	(Reserve)	—	—	640	
	(Reserve)	—	—	660	
	(Reserve)	—	—	680	
	(Reserve)	—	—	6A0	
	SSI 0	4	INT2B14	6C0	
	SSI 1	4	INT2B15	6E0	
	SSI 2	4	INT2B16	700	
	SSI 3	4	INT2B17	720	
	VIN0	8	INT2B18	740	
	R-GPVG	4	INT2B10	760	
	2DG	4	INT2B20	780	
	MMC4.3	2	INT2B7	7A0	
	(Reserve)	—	—	7C0	
HSPI	1	INT2B23	7E0		
LBSC-ATA	1	INT2B24	840		
IIC3 0	5	INT2B25	860		
RCAN 0	18	INT2B26	880		

INTC/INTC2	割り込み内蔵周辺モジュール	詳細 要因数	詳細要因 レジスタ	INTEVT コード	優先順位
内蔵周辺割り込み (INTC2)	MIMLB	5	INT2B50	8A0	割り込み優先レ ベルが同じ値に 割り付いている 場合は本表の順 番で優先度が高 くなります。 高 (前頁へ続く)  (次頁へ続く)
	SCIF 0	8	INT2B28	8C0	
	SCIF 1	8	INT2B29	8E0	
	SCIF 2	8	INT2B30	900	
	SCIF 3	8	INT2B31	920	
	SCIF 4	8	INT2B32	940	
	SCIF 5	8	INT2B33	960	
	(Reserve)	—	—	980	
	(Reserve)	—	—	9A0	
	IIC3 1	5	INT2B36	9C0	
	LBSC-DMAC 0	1	INT2B37	9E0	
	LBSC-DMAC 1	1		A00	
	LBSC-DMAC 2	1		A20	
	(Reserve)	—		A40	
	RCAN 1	18	INT2B39	A60	
	(Reserve)	—	—	A80	
	(Reserve)	—	—	AA0	
	(Reserve)	—	—	AC0	
	SDHI 0	3	INT2B43	AE0	
	SDHI 1	3	INT2B44	B00	
	IEBus	14	INT2B52	B20	
	(Reserve)	—	—	B40	
	HPB-DMAC 0~3	4	INT2B47	B60	
	HPB-DMAC 4~10	7		B80	
	HPB-DMAC 11~18	8		BA0	
	HPB-DMAC 19~22	4		BC0	
	HPB-DMAC 23~25、27、28	5		BE0	
	RTC	3	INT2B5	C00	
	VIN1	1	INT2B19	C20	
	LCDC	6	INT2B6	C40	
	SRC 0	3	INT2B41	C60	
	SRC 1	3	INT2B42	C80	
	GEther	1	INT2B35	CA0	
	SDHI 2	3	INT2B45	CC0	
GPIO 0~3	128	INT2B48	CE0		
GPIO 4、5	43	INT2B49	D00		
STIF0	1	INT2B21	D20		

INTC/INTC2	割り込み内蔵周辺モジュール	詳細 要因数	詳細要因 レジスタ	INTEVT コード	優先順位
内蔵周辺割り込み (INTC2)	STIF1	1	INT2B22	D40	割り込み優先レ ベルが同じ値に 割り付いている 場合は本表の順 番で優先度が高 くなります。 高 (前頁へ続く) 
	(Reserve)	—	—	D60	
	(Reserve)	—	—	D80	
	ADMAC	4	INT2B13	DA0	
	HIF	2	INT2B27	DC0	
	FLCTL	4	INT2B34	DE0	
	ADC	1	INT2B12	E00	
	MTU2	25	INT2B38	E20	
	RSPI	3	INT2B40	E40	
	RQSPI	3	INT2B11	E60	
	(Reserve)	—	—	E80	
	(Reserve)	—	—	EA0	
	HSCIF	8	INT2B51	EC0	
	(Reserve)	—	—	EE0	
	(Reserve)	—	—	F00	
	(Reserve)	—	—	F20	
	VEU3F (VE3)	1	INT2B46	F40	
	(Reserve)	—	—	F60	
	(Reserve)	—	—	F80	
	(Reserve)	—	—	FA0	
	(Reserve)	—	—	FC0	
	(Reserve)	—	—	FE0	

【注】 * INTEVT コード H'800、H'820 は、CPU 内部の要因コードとして使用しているため INTC2 では使用しません。

7.4 レジスタの説明

表 7.2 にレジスタ構成を示します。各レジスタはパワーオンリセット、マニュアルリセットで初期化されます。

表 7.2 レジスタ構成

名 称	略称	R/W	アドレス	アクセス サイズ	配置
割り込みコントロールレジスタ 0	ICR0	R/W	H'FF802000	32	INTC
割り込みコントロールレジスタ 1	ICR1	R/W	H'FF80201C	32	INTC
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FF802010	32	INTC
割り込み要因レジスタ	INTREQ	R/(W)	H'FF802024	32	INTC
割り込みマスクレジスタ 0	INTMSK0	R/W	H'FF802044	32	INTC
割り込みマスクレジスタ 1	INTMSK1	R/W	H'FF802048	32	INTC
割り込みマスククリアレジスタ 0	INTMSKCLR0	-/W	H'FF802064	32	INTC
割り込みマスククリアレジスタ 1	INTMSKCLR1	-/W	H'FF802068	32	INTC
NMI フラグコントロールレジスタ	NMIFCR	R/(W)	H'FF8020C0	32	INTC
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FF803000	32	INTC
割り込み優先順位設定レジスタ	INT2PRI0	R/W	H'FF804000	32	INTC2
	INT2PRI1	R/W	H'FF804004	32	INTC2
	INT2PRI2	R/W	H'FF804008	32	INTC2
	INT2PRI3	R/W	H'FF80400C	32	INTC2
	INT2PRI4	R/W	H'FF804010	32	INTC2
	INT2PRI5	R/W	H'FF804014	32	INTC2
	INT2PRI6	R/W	H'FF804018	32	INTC2
	INT2PRI7	R/W	H'FF80401C	32	INTC2
	INT2PRI8	R/W	H'FF804020	32	INTC2
	INT2PRI9	R/W	H'FF804024	32	INTC2
	INT2PRI10	R/W	H'FF804028	32	INTC2
INT2PRI11	R/W	H'FF80402C	32	INTC2	
割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	R	H'FF804038	32	INTC2
割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	R	H'FF80403C	32	INTC2
割り込みマスクレジスタ	INT2MSKRG	R/W	H'FF804040	32	INTC2
割り込みマスククリアレジスタ	INT2MSKCR	-/W	H'FF804044	32	INTC2
割り込み詳細要因レジスタ	INT2B0	R	H'FF804048	32	INTC2
	INT2B1	R	H'FF80404C	32	INTC2
	INT2B2	R	H'FF804050	32	INTC2
	INT2B3	R	H'FF804054	32	INTC2
	INT2B4	R	H'FF804058	32	INTC2
	INT2B5	R	H'FF80405C	32	INTC2

名 称	略称	R/W	アドレス	アクセス サイズ	配置
割り込み詳細要因レジスタ	INT2B6	R	H'FF804060	32	INTC2
	INT2B7	R	H'FF804064	32	INTC2
	INT2B8	R	H'FF804068	32	INTC2
	INT2B9	R	H'FF80406C	32	INTC2
	INT2B10	R	H'FF804070	32	INTC2
	INT2B11	R	H'FF804074	32	INTC2
	INT2B12	R	H'FF804078	32	INTC2
	INT2B13	R	H'FF80407C	32	INTC2
	INT2B14	R	H'FF804080	32	INTC2
	INT2B15	R	H'FF804084	32	INTC2
	INT2B16	R	H'FF804088	32	INTC2
	INT2B17	R	H'FF80408C	32	INTC2
	INT2B18	R	H'FF804090	32	INTC2
	INT2B19	R	H'FF804094	32	INTC2
	INT2B20	R	H'FF804098	32	INTC2
	INT2B21	R	H'FF80409C	32	INTC2
	INT2B22	R	H'FF8040A0	32	INTC2
	INT2B23	R	H'FF8040A4	32	INTC2
	INT2B24	R	H'FF8040A8	32	INTC2
	INT2B25	R	H'FF8040AC	32	INTC2
	INT2B26	R	H'FF8040B0	32	INTC2
	INT2B27	R	H'FF8040B4	32	INTC2
	INT2B28	R	H'FF8040B8	32	INTC2
	INT2B29	R	H'FF8040BC	32	INTC2
	INT2B30	R	H'FF8040C0	32	INTC2
	INT2B31	R	H'FF8040C4	32	INTC2
	INT2B32	R	H'FF8040C8	32	INTC2
	INT2B33	R	H'FF8040CC	32	INTC2
	INT2B34	R	H'FF8040D0	32	INTC2
	INT2B35	R	H'FF8040D4	32	INTC2
	INT2B36	R	H'FF8040D8	32	INTC2
	INT2B37	R	H'FF8040DC	32	INTC2
	INT2B38	R	H'FF8040E0	32	INTC2
	INT2B39	R	H'FF8040E4	32	INTC2
	INT2B40	R	H'FF8040E8	32	INTC2
	INT2B41	R	H'FF8040EC	32	INTC2
	INT2B42	R	H'FF8040F0	32	INTC2

名 称	略称	R/W	アドレス	アクセス サイズ	配置
割り込み詳細要因レジスタ	INT2B43	R	H'FF8040F4	32	INTC2
	INT2B44	R	H'FF8040F8	32	INTC2
	INT2B45	R	H'FF8040FC	32	INTC2
	INT2B46	R	H'FF804100	32	INTC2
	INT2B47	R	H'FF804104	32	INTC2
	INT2B48	R	H'FF804108	32	INTC2
	INT2B49	R	H'FF80410C	32	INTC2
	INT2B50	R	H'FF804110	32	INTC2
	INT2B51	R	H'FF804114	32	INTC2
	INT2B52	R	H'FF804118	32	INTC2
割り込み一時高速マスクレジスタ	INT2HMS	R/W	H'FF804200	32	INTC2
割り込み一時高速マスククリアモード設定レジスタ	INT2HMCMS	R/W	H'FF804204	32	INTC2
割り込み一時高速マスククリアレジスタ	INT2HMCR	-/W	H'FF804208	32	INTC2
割り込み一時高速マスク自動クリアステータスレジスタ	INT2HMCRS	R/W	H'FF80420C	32	INTC2
割り込みサブマスクレジスタ 0	INT2SMSKRG0	R/W	H'FF804280	32	INTC2
割り込みサブマスクレジスタ 1	INT2SMSKRG1	R/W	H'FF804284	32	INTC2
割り込みサブマスクレジスタ 2	INT2SMSKRG2	R/W	H'FF804288	32	INTC2
割り込みサブマスクレジスタ 3	INT2SMSKRG3	R/W	H'FF80428C	32	INTC2
割り込みサブマスクレジスタ 4	INT2SMSKRG4	R/W	H'FF804290	32	INTC2
割り込みサブマスクレジスタ 5	INT2SMSKRG5	R/W	H'FF804294	32	INTC2
割り込みサブマスクレジスタ 6	INT2SMSKRG6	R/W	H'FF804298	32	INTC2
割り込みサブマスククリアレジスタ 0	INT2SMSKCR0	-/W	H'FF8042A0	32	INTC2
割り込みサブマスククリアレジスタ 1	INT2SMSKCR1	-/W	H'FF8042A4	32	INTC2
割り込みサブマスククリアレジスタ 2	INT2SMSKCR2	W	H'FF8042A8	32	INTC2
割り込みサブマスククリアレジスタ 3	INT2SMSKCR3	W	H'FF8042AC	32	INTC2
割り込みサブマスククリアレジスタ 4	INT2SMSKCR4	W	H'FF8042B0	32	INTC2
割り込みサブマスククリアレジスタ 5	INT2SMSKCR5	W	H'FF8042B4	32	INTC2
割り込みサブマスククリアレジスタ 6	INT2SMSKCR6	W	H'FF8042B8	32	INTC2

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 7.3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
ICR0	不定	不定	保持	保持	—	初期化
ICR1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INTPRI	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INTREQ	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INTMSK0	H'FF00_0000	H'FF00_0000	保持	保持	—	初期化
INTMSK1	H'FF00_0000	H'FF00_0000	保持	保持	—	初期化
INTMSKCLR0	不定	不定	保持	保持	—	初期化
INTMSKCLR1	不定	不定	保持	保持	—	初期化
NMIFCR	不定	不定	保持	保持	—	初期化
USERIMASK	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2PRI0~ INT2PRI11	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2A0	不定	不定	保持	保持	—	初期化
INT2A1	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2MSKRG	H'FFFF_FFFF	H'FFFF_FFFF	保持	保持	—	初期化
INT2MSKCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2B0~ INT2B52	不定	不定	保持	保持	—	初期化
INT2HMS	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2HMCMS	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2HMCR	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2HMCRS	H'0000_0000	H'0000_0000	保持	保持	—	初期化
INT2SMSKRG0 ~ INT2SMSKRG6	H'FFFF_FFFF	H'FFFF_FFFF	保持	保持	—	初期化
INT2SMSKCR0 ~ INT2SMSKCR6	H'0000_0000	H'0000_0000	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

7.4.1 INTC/割り込みコントロールレジスタ 0 (ICR0)

割り込みコントロールレジスタ 0 (ICR0) は、外部割り込み入力端子や NMI 端子の入力信号検出モードを設定し、NMI 端子への入力レベルを示す読み出し一部書き込み可能な 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM0	—	LVL MODE	—	—	—	—	—
初期値:	—	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 0: ローレベルが入力されている 1: ハイレベルが入力されている
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルがローレベルの期間すべての割り込みをマスクするかどうかを指定します。 0: ローレベルでも割り込み許可 1: ローレベルの期間、割り込み禁止
29~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のときに NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するか選択します。 0: SR.BL ビットが 0 になるまで保留する 1: 保留しない 【注】 SR.BL=1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりがエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0: 立ち下がりがエッジで割り込み選択 1: 立ち上がりエッジで割り込み選択

ビット	ビット名	初期値	R/W	説明
23	IRLM0	0	R/W	IRL 端子モード 0 IRQ3~IRQ0 をエンコードされた割り込み要求として使用するか、独立した割り込みとして使用するかどうかを設定します。 0 : エンコードされた割り込み入力 1 : 独立した割り込み入力
22	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
21	LVLMODE	0	R/W	要因保持モード 割り込みが CPU 受け付け前に取り下げられた場合の動作 0 : レベル入力の割り込み (IRL、IRQ の IRQS[1]=1) が CPU 受け付け前に取り下げられた場合でも、割り込み要求を保持します。 1 : レベル入力の割り込み (IRL、IRQ の IRQS[1]=1) が CPU 受け付け前に取り下げられた場合、割り込み要求を保持しません (推奨設定値)。
20~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】
- IRLM0 を 0 から 1 に変更した場合、検出あるいは保持されていた IRL 割り込み要因はクリアされます。IRLM0 を 1 から 0 に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされません。
 - IRQ3~IRQ0 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ割り込みマスクレジスタ 0 (INTMSK0) の IM00~IM03 に 1 を書き込んでください。
 - LVLMODE ビットの書き換えは、IRQ 割り込み、IRL 割り込みのマスク (INTMSK0、INTMSK1) 解除を行う前の初期化ルーチン内で行い、それ以後はパワーオンリセットまたはマニュアルリセットを行うまで書き換えしないでください。本ビットの初期値は 0 ですが、初期化ルーチンで 1 に設定した後、INTC を使用することを推奨します。本ビットを 0 に設定した場合の詳細動作については、「7.5.2 IRQ 割り込み」、「7.5.3 IRL 割り込み」、「7.8.1 要因保持モード ICR0.LVLMODE が 0 の場合の注意事項」、「7.8.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

7.4.2 INTC/割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ3~IRQ0 に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを端子ごとに指定する読み出し/書き込み可能な 32 ビットのレジスタです。

ICR0 の IRLM0 に 1 を書き込んで、IRQ3~IRQ0 端子を独立した割り込み (IRQ3~IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S1	IRQ0S0	IRQ1S1	IRQ1S0	IRQ2S1	IRQ2S0	IRQ3S1	IRQ3S0	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																		
31	IRQ0S1	0	R/W	IRQn センスセレクト IRQ3~IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するか選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット 31-2n</th><th>ビット 30-2n</th><th></th></tr> <tr> <th>IRQnS1</th><th>IRQnS0</th><th></th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>割り込み要求を IRQn 入力の立ち下がりエッジで検出</td></tr> <tr> <td>0</td><td>1</td><td>割り込み要求を IRQn 入力の立ち上がりエッジで検出</td></tr> <tr> <td>1</td><td>0</td><td>割り込み要求を IRQn 入力のローレベルで検出</td></tr> <tr> <td>1</td><td>1</td><td>割り込み要求を IRQn 入力のハイレベルで検出</td></tr> </tbody> </table> 【注】 n=0~3	ビット 31-2n	ビット 30-2n		IRQnS1	IRQnS0		0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出	0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出	1	0	割り込み要求を IRQn 入力のローレベルで検出	1	1	割り込み要求を IRQn 入力のハイレベルで検出
ビット 31-2n	ビット 30-2n																					
IRQnS1	IRQnS0																					
0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出																				
0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出																				
1	0	割り込み要求を IRQn 入力のローレベルで検出																				
1	1	割り込み要求を IRQn 入力のハイレベルで検出																				
30	IRQ0S0	0	R/W																			
29	IRQ1S1	0	R/W																			
28	IRQ1S0	0	R/W																			
27	IRQ2S1	0	R/W																			
26	IRQ2S0	0	R/W																			
25	IRQ3S1	0	R/W																			
24	IRQ3S0	0	R/W																			
23~16	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		

【注】 1. IRQ がレベル入力に設定され (IRQnS1=1)、かつ、割り込みコントロールレジスタ 0 (ICR0) の要因保持モード ICR0.LVLMODE が 0 の場合、CPU が何らかの割り込みを受け付けるまで要因を保持します (IRQ であるとはかぎりません)。これにより、SLEEP からの復帰時に、復帰前に割り込み要因が取り下げられた場合でも割り込みハンドラに分岐することが保証されます。保持された割り込みは、該当する割り込みのマスクビット (割り込みマスクレジスタの IM ビット) を 1 にすることでクリアできます (「7.8.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」参照)。

2. IRQnS の設定をエッジ検出 (IRQnS が 00 または 01) からレベル検出 (IRQnS が 10 または 11) に変更した場合、エッジ検出されていた IRQ 割り込み要因はクリアされます。また、IRQnS の設定をレベル検出 (IRQnS が 10 または 11) からエッジ検出 (IRQnS が 00 または 01) に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされます。IRQnS の設定を立ち下がりエッジ検出 (IRQnS が 00) から立ち上がりエッジ検出 (IRQnS が 01) に変更した場合、または、立ち上がりエッジ検出 (IRQnS が 01) から立ち下がりエッジ検出 (IRQnS が 00) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。IRQnS の設定をローレベル検出 (IRQnS が 10) からハイレベル検出 (IRQnS が 11) に変更した場合、または、ハイレベル検出 (IRQnS が 11) からローレベル検出 (IRQnS が 10) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。

7.4.3 INTC/割り込み優先順位設定レジスタ (INTPRI)

INTPRI は IRQ3~IRQ0 割り込みの優先順位 (レベル 15~0) を設定する読み出し/書き込み可能な 32 ビットのレジスタです。

ICR0 の IRLM0 に 1 を書き込んで、IRQ3~IRQ0 端子を独立した割り込み入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP03	IP02	IP01	IP00	IP13	IP12	IP11	IP10	IP23	IP22	IP21	IP20	IP33	IP32	IP31	IP30
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	IP03~IP00	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位設定
27~24	IP13~IP10	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位設定
23~20	IP23~IP20	H'0	R/W	IRQ2 の独立した割り込み要求の優先順位設定
19~16	IP33~IP30	H'0	R/W	IRQ3 の独立した割り込み要求の優先順位設定
15~0	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 各 4 ビットのフィールドに H'F~H'1 の値を設定して割り込み優先順位を定めてください。値が大きいくほど優先レベルが高くなります。

また、H'0 を設定した場合は、割り込み要求がマスクされます (初期値)。

7.4.4 INTC/割り込み要因レジスタ (INTREQ)

割り込み要因レジスタ (INTREQ) は、INTC に独立した割り込み要求信号である IRQ3~IRQ0 のどの割り込みが要求されているかを示す読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

INTPRI、INTMSK0 によって割り込みがマスクされても、本レジスタのビットは影響を受けません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IR0	0	R/(W)	<ul style="list-style-type: none"> エッジ検出時 (IRQ3S~IRQ0S=B'00 または B'01) 読み出し時 : 0 : 対応する割り込みを検出していません 1 : 対応する割り込みを検出しました 書き込み時 : 0 : 1 を読み出したビットに限り 0 にクリアされます 1 : 無効
30	IR1	0	R/(W)	
29	IR2	0	R/(W)	
28	IR3	0	R/(W)	
27~24	—	すべて 0	R/(W)	<ul style="list-style-type: none"> レベル検出時 (IRQ3S~IRQ0S=B'10 または B'11) 読み出し時 (ICR0.LVLMODE=0 の場合) : 0 : 対応する割り込み要因が検出されていません 1 : 対応する割り込み要因が検出されました 読み出し時 (ICR0.LVLMODE=1 の場合) : 0 : 対応する割り込み端子がアサートされていません 1 : 対応する割り込み端子がアサートされました ただし、まだ CPU が受け付けていません 書き込み時 : 書き込みは無効です
23~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】**
- クリアしたくないビットが存在する場合は、該当ビットに 1 を書き込むようにしてください。
 - レベル検出した IRQ 割り込み要求のクリア方法については、「7.8.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

7.4.5 INTC/割り込みマスクレジスタ (INTMSK0、INTMSK1)

割り込みマスクレジスタ (INTMSK0、INTMSK1) は、各割り込み IRQ3～IRQ0 を要求ごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

割り込みマスクを解除するには、INTMSKCLR0、INTMSKCLR1 レジスタの対応するビットに 1 を書き込みます。INTMSK0、INTMSK1 の各ビットに 0 を書き込んで、値は変化しません。なお、本レジスタへの書き込み後、あるいは INTMSKCLR0、INTMSKCLR1 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

IRQ3～IRQ0 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ IM00～IM03 には 1 を書き込んでください。

(1) INTC/割り込みマスクレジスタ 0 (INTMSK0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IM00	1	R/W	IRQ3 (IM03) ～IRQ0 (IM00) の独立した割り込み要因のマスクセット 読み出し時： 0：割り込みを受け付ける 1：割り込みをマスクする 書き込み時： 0：無効 1：割り込みをマスクする
30	IM01	1	R/W	
29	IM02	1	R/W	
28	IM03	1	R/W	
27～24	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
23～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) INTC/割り込みマスクレジスタ 1 (INTMSK1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IM10	1	R/W	IRQ3~IRQ0 がエンコードされた割り込み入力の場合における IRQ3~IRQ0 の割り込み要因のマスクセット 読み出し時： 0：割り込みを受け付ける 1：割り込みをマスクする 書き込み時： 0：無効 1：割り込みをマスクする
30~24	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
23~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.4.6 INTC/割り込みマスククリアレジスタ (INTMSKCLR0、INTMSKCLR1)

割り込みマスククリアレジスタ (INTMSKCLR0、INTMSKCLR1) は、IRQ3~IRQ0 の各割り込み要求ごとのマスクをクリアするレジスタです。

INTMSKCLR0、INTMSKCLR1 レジスタは、書き込み専用のレジスタです。

(1) INTC/割り込みマスククリアレジスタ 0 (INTMSKCLR0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IC00	不定	W	IRQ3 (IC03) ~IRQ0 (IC00) の独立した割り込み要因のマスククリア 読み出し時： 不定値を返します。 書き込み時： 0：無効 1：割り込みを許可する (マスククリア)
30	IC01	不定	W	
29	IC02	不定	W	
28	IC03	不定	W	
27~24	—	不定	W	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
23~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(2) INTC/割り込みマスククリアレジスタ 1 (INTMSKCLR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IC10	不定	W	IRQ3~IRQ0 がエンコードされた割り込み入力の場合における IRQ3~IRQ0 の割り込み要因のマスククリア 読み出し時： 不定値を返します。 書き込み時： 0：無効 1：割り込みを許可する（マスククリア）
30	—	不定	W	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
29~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.4.7 INTC/NMI フラグコントロールレジスタ (NMIFCR)

NMI フラグコントロールレジスタ (NMIFCR) は、ソフトウェアにより読み出し、クリアが可能な NMI フラグ (NMIFL ビット) を持つレジスタです。NMIFL ビットは、INTC により NMI が検出されるとハードウェアにより自動的に 1 にセットされます。NMIFL ビットは、ソフトウェアにより 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値:	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている 1 : NMI 端子にハイレベルが入力されている
30~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NMIFL	0	R/(W)	NMI フラグ (NMI 割り込み要求検出) NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求を検出した場合、自動的に 1 にセットされます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 読み出し時： 1 : NMI が検出された 0 : NMI が検出されていない 書き込み時： 0 : NMI フラグをクリア 1 : 無効
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.4.8 INTC/ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) は、受け付け可能な割り込みレベルを設定します。エリア7アドレスにMMUのアドレス変換を使用してアクセスすることにより、本レジスタはユーザモードでアクセス可能です。INTCのその他のレジスタとは異なる64KB空間に配置されますので、MMUを使用してエリア7アドレスにアドレス変換をすることにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HFを設定するとNMI以外の全割り込みがマスクされます。

UIMASK より高い割り込みレベルに設定された割り込みは受け付けられませんが、割り込みマスクレジスタの対応する割り込みの割り込みマスクビットが0 (割り込み許可) であること、またSR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられてもUIMASKの値は変化しません。

パワーオンリセット、マニュアルリセット時、H'00000000 (全割り込み許可) に初期化されます。

ソフトバグによる誤書き込みを防止するため、本レジスタへの書き込みは、ビット31~24がH'A5のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WKEY								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	WKEY	H'00	W	ビット7~4に値を書き込むときは、H'A5を書き込んでください。常に0が読み出されます。
23~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	UIMASK	H'0	R/W	割り込みマスクレベル UIMASK以下のレベルの割り込みはマスクされます。
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

● ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、デバイスドライバ中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮するために使用されることを想定しています。USERIMASK は、INTC その他のレジスタとは異なる 64KB 空間に配置されています。

ユーザモードで本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS の場合、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合やほかのタスクに切り替える場合は、必ず UIMASK ビットを 0 にクリアしてください。誤って UIMASK ビットに 0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下 (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
 - (A) デバイスドライバ中で割り込み受け付けられるべき割り込み (OS で使用する割り込み ; タイマ割り込みなど)
 - (B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみ USERIMASK が存在するアドレス空間へのアクセスを許可するように MMU を設定する。
3. デバイスドライバに分岐する。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるように UIMASK ビットを設定する。
5. デバイスドライバ中で緊急度の高い処理を行う。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰する。

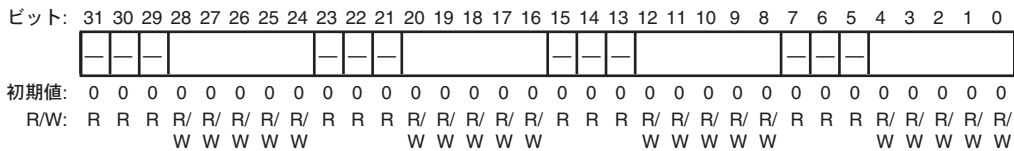
7.4.9 INTC2／割り込み優先順位設定レジスタ (INT2PRI0~INT2PRI11)

割り込み優先順位設定レジスタ (INT2PRI0~INT2PRI11) は、内蔵周辺モジュール割り込みの優先順位 (レベル 31~0) を設定します。

INT2PRI0~INT2PRI11、それぞれ読み出し／書き込み可能な 32 ビットのレジスタです。リセット時は 0 に初期化されます。

本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り (H'00 と H'01 は要求マスク) の優先レベルに割り付け設定することが可能です。CPU の割り込み受信インタフェースは 4 ビットの 16 通りですが、INTC2 は 1 ビット拡張して各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。たとえば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D という同じ値になりますが、両者の割り込みが競合した場合に通知する INTEVT コードは 5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する INTEVT コードが優先出力されます。

また、両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 7.1 に示す優先順位で INTEVT コードが通知されます。



割り込み要求元と INT2PRI0~INT2PRI11 レジスタの各ビットの対応を表 7.4 に示します。

表 7.4 割り込み要求元と INT2PRI0~INT2PRI11 レジスタ

レジスタ	ビット			
	28~24	20~16	12~8	4~0
INT2PRI0	DU	TMU 00	TMU 10	TMU 20, 21
INT2PRI1	TMU 30, 40, 50, 51	TMU 60, 70, 80	RTC	SDHI0~2
INT2PRI2	DEBUG (H-UDI)	SHwy-DMAC 0, 1	USB2.0 Host/Function	SSI 0~3
INT2PRI3	VIN0	HSPI/RSPI/RQSPI	2DG	LBSC-ATA
INT2PRI4	SCIF 0~2	SCIF 3~5	HSCIF	LCDC
INT2PRI5	RCAN 0, 1	LBSC-DMAC 0, 1	LBSC-DMAC 2	MMC4.3
INT2PRI6	HPB-DMAC 0~3	HPB-DMAC 4~10	HPB-DMAC 11~18	HPB-DMAC 19~22
INT2PRI7	HPB-DMAC 23~25, 27, 28	I2C 0, 1	SRC0	SRC1
INT2PRI8	ADC	VIN1	RESET/WDT	HIF
INT2PRI9	ADMAC	FLCTL	GPIO 0~3	GPIO 4, 5
INT2PRI10	STIF 0	STIF 1	VEU3F (VE30)	GEther
INT2PRI11	MTU2	R-GPVG	MIMLB	IEBus

【注】 設定値は大きい値ほど優先度が高くなります。設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。詳細は上記本文を参照ください。

7.4.10 INTC2/割り込み要因レジスタ (マスク状態の影響なし) (INT2A0)

割り込み要因レジスタ (マスク状態の影響なし) (INT2A0) は、割り込み発生元のモジュールを表示します。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (CPU への通知は行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1 レジスタを使用ください。INT2A0 は読み出しのみ可能な 32 ビットのレジスタです。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPVG	HSPI/FSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-UDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

リード時

- 0: 割り込みなし
- 1: 割り込み発生

ライト時

- 0: 無効
- 1: 無効

[注] CPU内に通知されたINTEVTコードを直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。

7.4.11 INTC2/割り込み要因レジスタ (マスク状態の影響あり) (INT2A1)

割り込み要因レジスタ (マスク状態の影響あり) (INT2A1) は、割り込み発生元のモジュールを表示します。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません。割り込みマスクレジスタの状態にかかわらず割り込み発生の有無を確認する場合は、INT2A0 レジスタを使用ください。INT2A1 は読み出しのみ可能な 32 ビットのレジスタです。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LODC/MIMLB	2DG/R-GPVG	HSPI/RSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	Shwy-DMAC 0,1	DEBUG (H-JDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

リード時

- 0: 割り込みなし
- 1: 割り込み発生

ライト時

- 0: 無効
- 1: 無効

【注】 CPU内に通知されたINTEVTコードを直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。

7.4.12 INTC2/割り込みマスクレジスタ (INT2MSKRG)

割り込みマスクレジスタ (INT2MSKRG) は、割り込み要因レジスタに表示される要因に対して、発生元のモジュール別に割り込みマスクを設定することができるレジスタで、該当のモジュールの CPU への割り込み通知をマスクします。INT2MSKRG は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPVG	HSP/RSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-UDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リード時

- 0: マスク設定なし
- 1: マスク設定あり

ライト時

- 0: 無効
- 1: マスク設定

【注】 INTC2では、各モジュールから発生する割り込み個々の詳細要因の単位でのマスク設定や解除を行うことはできません。
個々の詳細な要因単位でマスクが必要な場合は、該当モジュール内部のレジスタにてマスク設定を行ってください。

7.4.13 INTC2/割り込みマスククリアレジスタ (INT2MSKCR)

割り込みマスククリアレジスタ (INT2MSKCR) は、割り込みマスクレジスタに設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のマスクがクリアされます。INT2MSKCR は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPVG	HSP/RSP/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-JDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時

- 0 : Don't care
- 1 : Don't care

ライト時

- 0 : 無効
- 1 : マスククリア

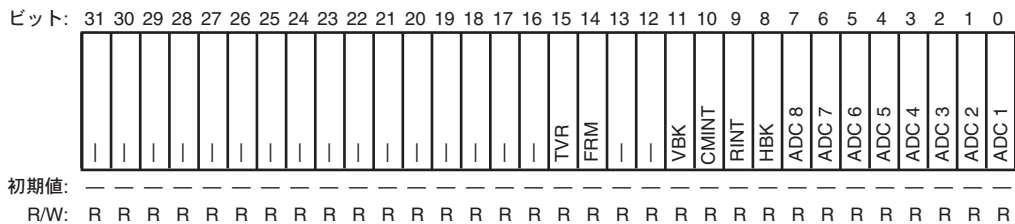
【注】 INTC2では、各モジュールから発生する割り込み個々の詳細要因の単位でのマスク設定や解除を行うことはできません。個々の詳細な要因単位でマスクが必要な場合は、該当モジュール内部のレジスタにてマスク設定を行ってください。

7.4.14 INTC2/割り込み詳細要因レジスタ (INT2B0~INT2B52)

割り込み詳細要因レジスタ (INT2B0~INT2B52) は、割り込み要因レジスタで表示されているモジュール種別の要因に対して、さらに詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、いずれも読み出しのみ可能な 32 ビットのレジスタです (発生元のモジュール内部で割り込み出力マスクを設定している場合は、INTC2 の詳細要因レジスタへ表示はされません)。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュール内部に有している割り込みマスクレジスタ、または割り込みイネーブルレジスタの設定を操作する必要があります。各レジスタ詳細要因の意味に関しては、割り込み発生元の内蔵周辺モジュールの章を参照ください。

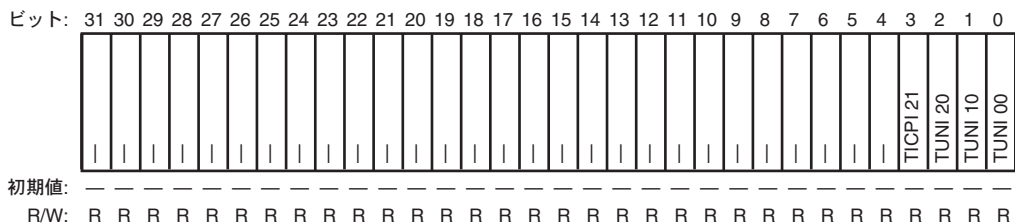
(0) INT2B0 レジスタ : DU

INTEVT=H'3E0



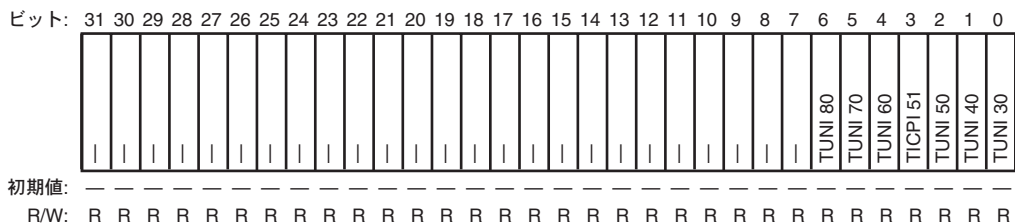
(1) INT2B1 レジスタ : TMU 00-21

INTEVT=H'400, 420, 440, 460 (00-21)



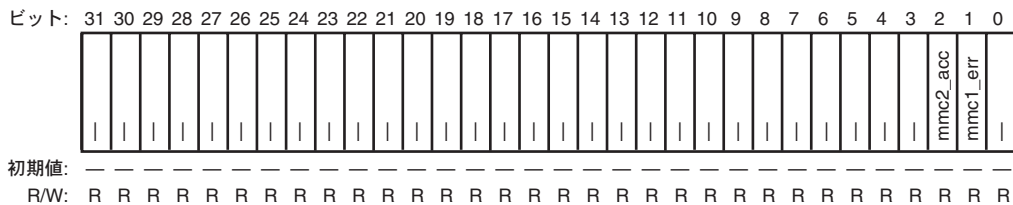
(2) INT2B2 レジスタ : TMU 30-80

INTEVT=H'480, 4A0, 4C0, 4E0, 500, 520, 540 (30-80)



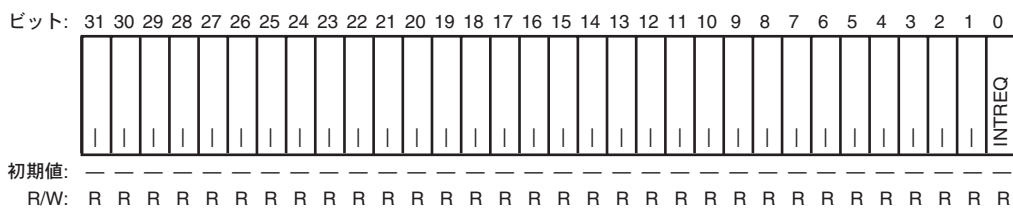
(7) INT2B7 レジスタ : MMC4.3

INTEVT=H'7A0



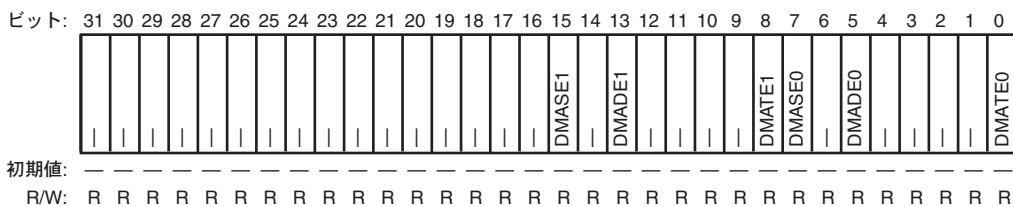
(8) INT2B8 レジスタ : DEBUG (H-UDI)

INTEVT=H'600



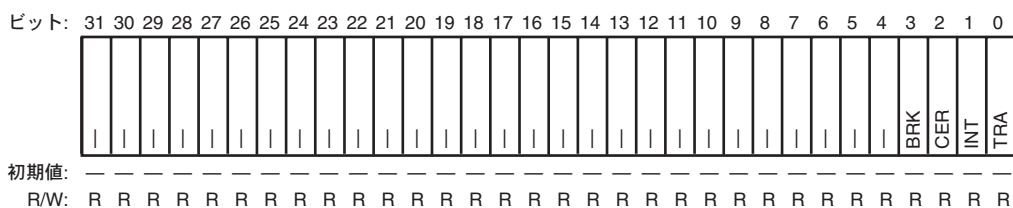
(9) INT2B9 レジスタ : SHwy-DMAC 0, 1

INTEVT=H'620



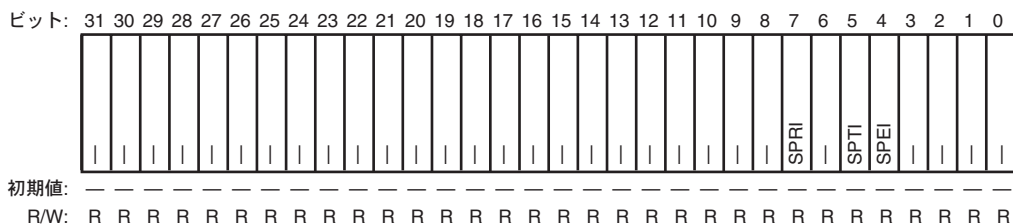
(10) INT2B10 レジスタ : R-GPVG

INTEVT=H'760



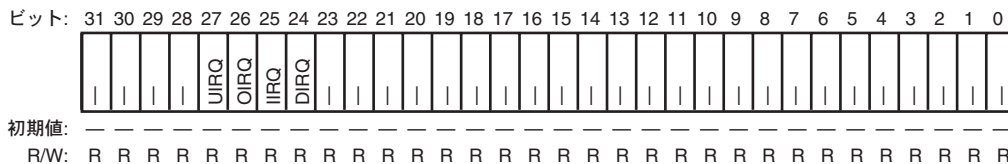
(11) INT2B11 レジスタ : RQSPI

INTEVT=H'E60



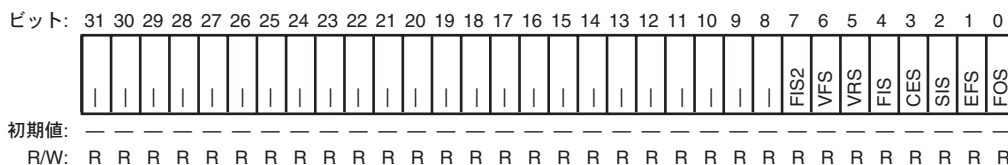
(17) INT2B17 レジスタ : SSI 3

INTEVT=H'720



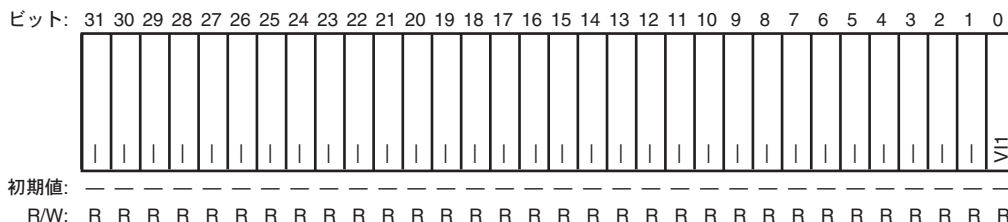
(18) INT2B18 レジスタ : VIN 0

INTEVT=H'740



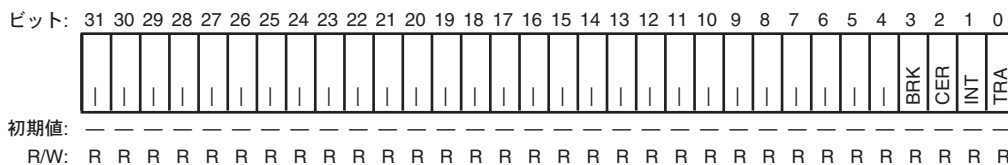
(19) INT2B19 レジスタ : VIN 1

INTEVT=H'C20



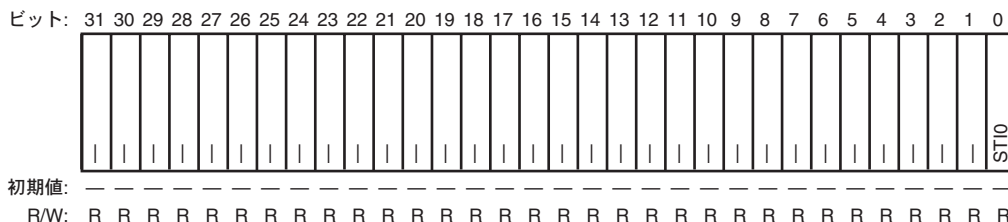
(20) INT2B20 レジスタ : 2DG

INTEVT=H'780

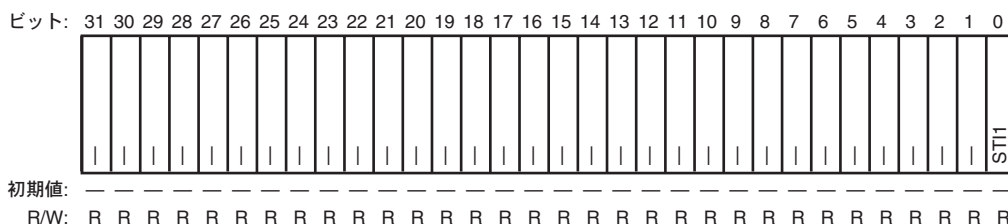


(21) INT2B21 レジスタ : STIF 0

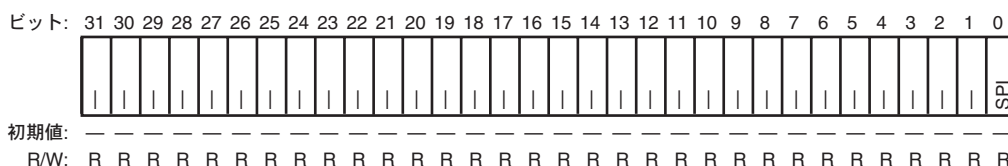
INTEVT=H'D20



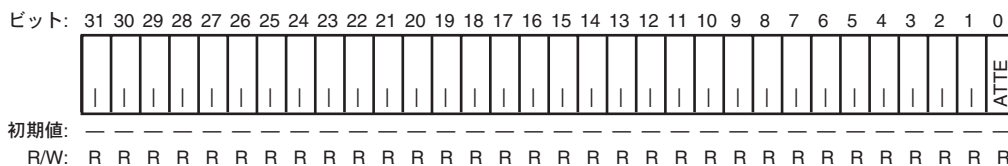
(22) INT2B22 レジスタ : STIF 1 INTEVT=H'D40



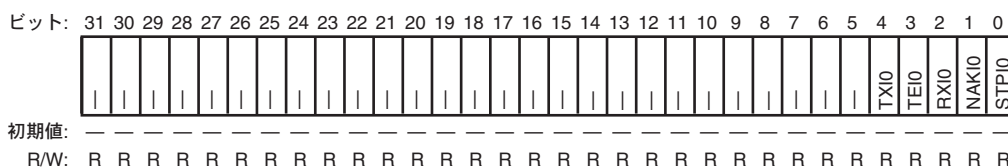
(23) INT2B23 レジスタ : HSPI INTEVT=H'7E0



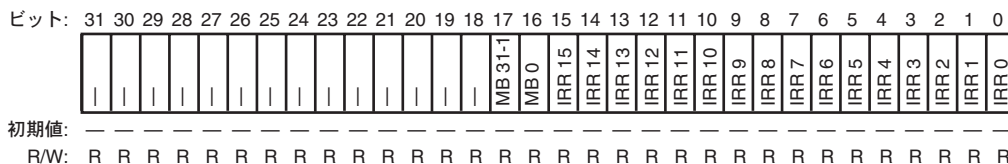
(24) INT2B24 レジスタ : LBSC-ATA INTEVT=H'840



(25) INT2B25 レジスタ : IIC3 0 INTEVT=H'860



(26) INT2B26 レジスタ : RCAN0 INTEVT=H'880



(27) INT2B27 レジスタ : HIF INTEVT=H'DC0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

																														HIFB	HIFI
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

(28) INT2B28 レジスタ : SCIF0 INTEVT=H'8C0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

													TO		ORER									ER	TEND	TDFE	BRK			RDF	DR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

(29) INT2B29 レジスタ : SCIF1 INTEVT=H'8E0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

													TO		ORER									ER	TEND	TDFE	BRK			RDF	DR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

(30) INT2B30 レジスタ : SCIF2 INTEVT=H'900

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

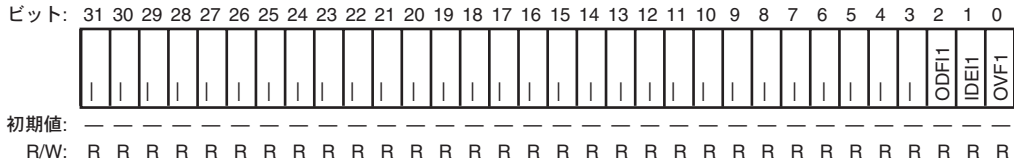
													TO		ORER									ER	TEND	TDFE	BRK			RDF	DR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

(31) INT2B31 レジスタ : SCIF3 INTEVT=H'920

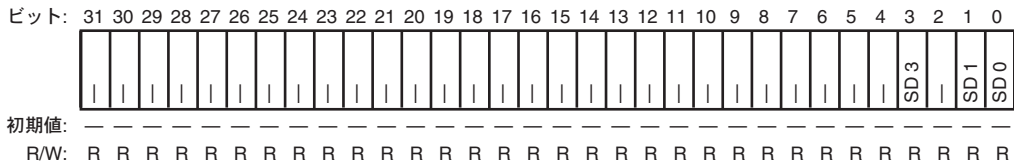
ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

													TO		ORER									ER	TEND	TDFE	BRK			RDF	DR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

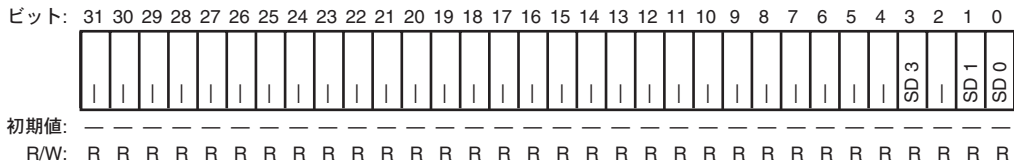
(42) INT2B42 レジスタ : SRC 1 INTEVT=H'C80



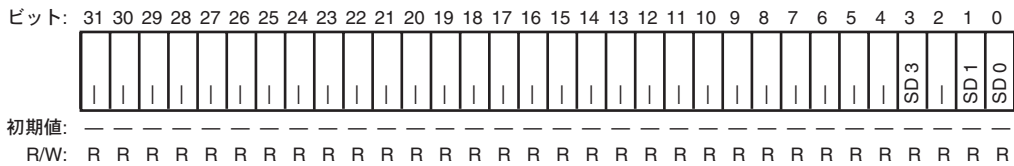
(43) INT2B43 レジスタ : SDHI 0 INTEVT=H'AE0



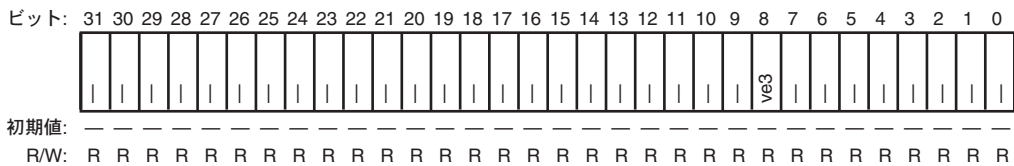
(44) INT2B44 レジスタ : SDHI 1 INTEVT=H'B00



(45) INT2B45 レジスタ : SDHI 2 INTEVT=H'CC0



(46) INT2B46 レジスタ : VEU3F INTEVT=H'F40



(47) INT2B47 レジスタ : (HPB-DMAC 0-25、27、28)

INTEVT=H'B60-BE0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	DTE28	DTE27	—	DTE25	DTE24	DTE23	DTE22	DTE21	DTE20	DTE19	DTE18	DTE17	DTE16	DTE15	DTE14	DTE13	DTE12	DTE11	DTE10	DTE9	DTE8	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(48) INT2B48 レジスタ : GPIO0-3

INTEVT=H'CE0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

3_INTDT 31-28	3_INTDT 27-24	3_INTDT 23-20	3_INTDT 19-16	3_INTDT 15-12	3_INTDT 11-08	3_INTDT 07-04	3_INTDT 03-00	2_INTDT 31-28	2_INTDT 27-24	2_INTDT 23-20	2_INTDT 19-16	2_INTDT 15-12	2_INTDT 11-08	2_INTDT 07-04	2_INTDT 03-00	1_INTDT 31-28	1_INTDT 27-24	1_INTDT 23-20	1_INTDT 19-16	1_INTDT 15-12	1_INTDT 11-08	1_INTDT 07-04	1_INTDT 03-00	0_INTDT 31-28	0_INTDT 27-24	0_INTDT 23-20	0_INTDT 19-16	0_INTDT 15-12	0_INTDT 11-08	0_INTDT 07-04	0_INTDT 03-00
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(49) INT2B49 レジスタ : GPIO4-5

INTEVT=H'D00

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(50) INT2B50 レジスタ : MIMLB

INTEVT=H'8A0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(51) INT2B51 レジスタ : HSCIF

INTEVT=H'EC0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

														TO		ORER								ER	TEND	TDFE	BRK			RDF	DR
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

(52) INT2B52 レジスタ : IEBus

INTEVT=H'B20

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

																					IETSR_TXS	IETSR_TXF		IETSR_TXEAL	IETSR_TXETIME	IETSR_TXERO	IETSR_TXEACK	IERSR_RXBSY	IERSR_RXS	IERSR_RXF	IERSR_RXEDE	IERSR_RXEOVE	IERSR_RXERTIME	IERSR_RXEDLE	IERSR_RXEPE
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

7.4.15 INTC2/割り込み一時高速マスクレジスタ (INT2HMS)

割り込み一時高速マスクレジスタ (INT2HMS) は、CPU の割り込み入力を直ちにネグートさせることが可能な一時的な割り込みマスク設定レジスタです。本レジスタへの設定により、割り込み発生モジュールのレジスタにて、クリアしたはずの要因を CPU が誤って再度受け付けてしまうことを回避させることが可能です。詳細は「7.6.4 割り込み一時高速マスク機能」を参照ください。INT2HMS は、読み出し/書き込み可能な 32 ビットのレジスタです。

リセット時は 0 (=マスク設定なしの状態) に初期化されます。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SFC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPVG	HSPI/RSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-JDI)	MMC4:3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時

- 0: 一時高速マスクなし
- 1: 一時高速マスクあり

ライト時

- 0: 無効
- 1: 一時高速マスク設定

7.4.16 INTC2/割り込み一時高速マスククリアモード設定レジスタ (INT2HMCMS)

割り込み一時高速マスククリアモード設定レジスタ (INT2HMCMS) は、割り込み一時高速マスクレジスタにて設定した一時的な割り込みマスクのクリア方法を指定するモード設定レジスタです。モジュール種別固有に割り込みモジュールの割り込み信号がネゲートした時点で自動的にマスク解除される方法と、ソフトウェアによって割り込み一時高速マスククリアレジスタへの書き込みにより解除する方法の2通りのいずれかを選択指定することができます。詳細は「7.6.4 割り込み一時高速マスク機能」を参照ください。INT2HMCMS は、読み出し/書き込み可能な 32 ビットのレジスタです。

リセット時は 0 (=ソフトウェアによる解除モード状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPYG	HSPI/RSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-JDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DJ	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

- 0: ソフトウェアによって割り込み一時高速マスククリアレジスタへの書き込みにより解除するモードが設定された状態
- 1: 割り込みモジュールの割り込み信号がネゲートした時点で自動的にマスク解除するモードが設定された状態

ライト時

- 0: ソフトウェアによって割り込み一時高速マスククリアレジスタへの書き込みにより解除するモードを設定
- 1: 割り込みモジュールの割り込み信号がネゲートした時点で自動的にマスク解除するモードを設定

7.4.17 INTC2/割り込み一時高速マスククリアレジスタ (INT2HMCR)

割り込み一時高速マスククリアレジスタ (INT2HMCR) は、割り込み一時高速マスククリアモード設定レジスタで「ソフトウェアによって、割り込み一時高速マスククリアレジスタへの書き込みにより解除する」モードを設定した場合に本レジスタへのクリア設定で一時的な高速マスク状態を解除するためのクリア設定レジスタです。詳細は「7.6.4 割り込み一時高速マスク機能」を参照ください。INT2HMCR は、32 ビットのレジスタです。本レジスタの 0 ライトは無効です。また読み出しデータは意味を持ちません。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/WDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LODC/MIMLB	2DG/R-GPYG	HSP/RSPI/RQSPI	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-UDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

- 0 : Don't care
- 1 : Don't care

ライト時

- 0 : 無効
- 1 : 一時高速マスク状態をクリア

【注】 本レジスタは割り込み一時高速マスククリアモード設定レジスタで「ソフトウェアによって、割り込み一時高速マスククリアレジスタへの書き込みにより解除する」モードを設定した場合にのみ有効です。

7.4.18 INTC2/割り込み一時高速マスク自動クリアステータスレジスタ (INT2HMCRS)

割り込み一時高速マスク自動クリアステータスレジスタ (INT2HMCRS) は、割り込み一時高速マスク設定レジスタのマスク設定状態が自動クリアされたことを履歴表示するレジスタです。自動クリアされた場合に 1 に変化します。この履歴表示により、ソフトによってクリアされたのか、実際の割り込み自動クリア機能によってクリアされたのが明確となり、マルチタスクで動作する中でのソフトデバッグなどを容易にします。本レジスタは、0 ライトで履歴がクリアされますが、仮にクリア処理を省略しても次の割り込み動作に対する高速マスク処理には影響しません。ただし、次回、本レジスタを読み出した際の履歴表示は、いつの割り込み自動クリアに対応した履歴であるかの対応付けができなくなります。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

bit0-30のOR表示	VEU3F	SDHI 0-2	ADMAC	FLCTL	RESET/MDT	HIF	ADC	MTU2	STIF 0,1	GPIO 0-5	GEther	HPB-DMAC 0-25,27,28	LBSC-DMAC 0-2	RCAN 0,1/IEBus	SRC 0,1	LBSC-ATA	SCIF 0-5, HSCIF	LCDC/MIMLB	2DG/R-GPVG	HSPi/RSPi/RQSPi	VIN 0,1	SSI 0-3	USB2.0 Host/Function	SHwy-DMAC 0,1	DEBUG (H-UDI)	MMC4.3	RTC	IIC3 0,1	TMU 30-80	TMU 00-21	DU
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時

- 0: 自動クリア発生なし
- 1: 自動クリア発生あり

ライト時

- 0: 自動クリア発生の履歴表示をクリア (ビット31は無効)
- 1: 無効

7.4.19 INTC2/割り込みサブマスクレジスタ 0 (INT2SMSKRG0)

割り込みサブマスクレジスタ 0 (INT2SMSKRG0) は、割り込み要因レジスタ (INT2B40) に表示される要因に対して発生元の RSPI の割り込みに対し個別に割り込みマスクを設定することができるレジスタで該当モジュールの CPU への割り込み通知をマスクします。INT2SMSKRG0 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																										SPRI_smsk		SPTI_smsk		SPEI_smsk				
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時
0: マスク設定なし
1: マスク設定あり

ライト時
0: 無効
1: マスク設定

7.4.20 INTC2/割り込みサブマスクレジスタ 1 (INT2SMSKRG1)

割り込みサブマスクレジスタ 1 (INT2SMSKRG1) は、割り込み要因レジスタ (INT2B46) に表示される要因に対して発生元の VEU3F の割り込みに対し個別に割り込みマスクを設定することができるレジスタで該当モジュールの CPU への割り込み通知をマスクします。INT2SMSKRG1 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
																										ve3_smsk							
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時
0: マスク設定なし
1: マスク設定あり

ライト時
0: 無効
1: マスク設定

7.4.21 INTC2/割り込みサブマスクレジスタ 2 (INT2SMSKRG2)

割り込みサブマスクレジスタ 2 (INT2SMSKRG2) は、割り込み要因レジスタ (INT2B25) に表示される要因に対して発生元の IIC3 0 割り込みに対し個別に割り込みマスクを設定することができるレジスタで該当モジュールの CPU への割り込み通知をマスクします。INT2SMSKRG2 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

- 0: マスク設定なし
- 1: マスク設定あり

ライト時

- 0: 無効
- 1: マスク設定

7.4.22 INTC2/割り込みサブマスクレジスタ 3 (INT2SMSKRG3)

割り込みサブマスクレジスタ 3 (INT2SMSKRG3) は、割り込み要因レジスタ (INT2B36) に表示される要因に対して発生元の IIC3 1 割り込みに対し個別に割り込みマスクを設定することができるレジスタで該当モジュールの CPU への割り込み通知をマスクします。INT2SMSKRG3 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

- 0: マスク設定なし
- 1: マスク設定あり

ライト時

- 0: 無効
- 1: マスク設定

7.4.25 INTC2／割り込みサブマスクレジスタ 6 (INT2SMSKRG6)

割り込みサブマスクレジスタ 6 (INT2SMSKRG6) は、割り込み要因レジスタ (INT2B11) に表示される要因に対して発生元の RQSPI の割り込みに対し個別に割り込みマスクを設定することができるレジスタで該当モジュールの CPU への割り込み通知をマスクします。INT2SMSKRG5 は、それぞれ読み出し／書き込み可能な 32 ビットのレジスタです。リセット時は 1 (=マスク状態) に初期化されます。

ビット:		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																											SPRL_smsk		SPTL_smsk	SPEL_smsk					
初期値:		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:		R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/	R/
		W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時
0 : マスク設定なし
1 : マスク設定あり

ライト時
0 : 無効
1 : マスク設定

7.4.26 INTC2／割り込みサブマスククリアレジスタ 0 (INT2SMSKCR0)

割り込みサブマスククリアレジスタ 0 (INT2SMSKCR0) は、割り込みサブマスクレジスタ 0 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR0 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
																											SPRL_smsk		SPTL_smsk	SPEL_smsk					
初期値:		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:		W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

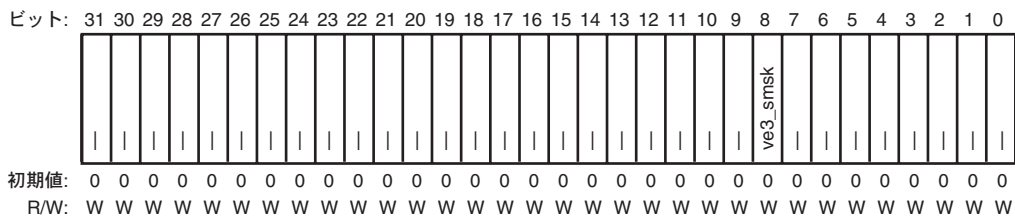
リード時
0 : Don't care
1 : Don't care

ライト時
0 : 無効
1 : マスククリア

【注】 INTC2では、各モジュールから発生する割り込み個々の詳細要因の単位でのマスク設定や解除を行うことはできません。個々の詳細な要因単位でマスクが必要な場合は、該当モジュール内部のレジスタにてマスク設定を行ってください。

7.4.27 INTC2/割り込みサブマスククリアレジスタ 1 (INT2SMSKCR1)

割り込みサブマスククリアレジスタ 1 (INT2SMSKCR1) は、割り込みサブマスクレジスタ 1 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR1 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。



リード時

0 : Don't care

1 : Don't care

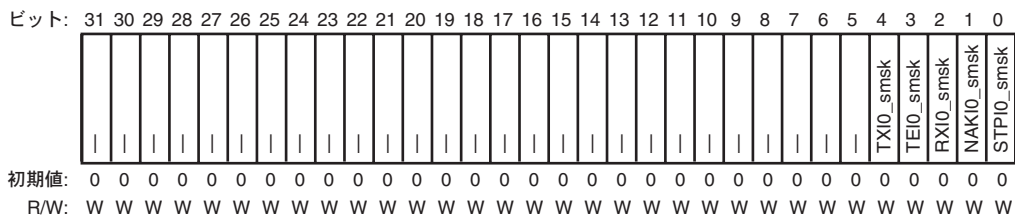
ライト時

0 : 無効

1 : マスククリア

7.4.28 INTC2/割り込みサブマスククリアレジスタ 2 (INT2SMSKCR2)

割り込みサブマスククリアレジスタ 2 (INT2SMSKCR2) は、割り込みサブマスクレジスタ 2 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR2 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。



リード時

0 : Don't care

1 : Don't care

ライト時

0 : 無効

1 : マスククリア

7.4.29 INTC2/割り込みサブマスククリアレジスタ 3 (INT2SMSKCR3)

割り込みサブマスククリアレジスタ 3 (INT2SMSKCR3) は、割り込みサブマスクレジスタ 3 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR3 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

0 : Don't care

1 : Don't care

ライト時

0 : 無効

1 : マスククリア

7.4.30 INTC2/割り込みサブマスククリアレジスタ 4 (INT2SMSKCR4)

割り込みサブマスククリアレジスタ 4 (INT2SMSKCR4) は、割り込みサブマスクレジスタ 4 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR4 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

リード時

0 : Don't care

1 : Don't care

ライト時

0 : 無効

1 : マスククリア

7.4.31 INTC2/割り込みサブマスククリアレジスタ 5 (INT2SMSKCR5)

割り込みサブマスククリアレジスタ 5 (INT2SMSKCR5) は、割り込みサブマスクレジスタ 5 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR5 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

0 : Don't care

1 : Don't care

ライト時

0 : 無効

1 : マスククリア

7.4.32 INTC2/割り込みサブマスククリアレジスタ 6 (INT2SMSKCR6)

割り込みサブマスククリアレジスタ 6 (INT2SMSKCR6) は、割り込みサブマスクレジスタ 6 に設定されたマスクビットを解除するレジスタです。本レジスタに 1 を設定すると該当割り込み要因のサブマスクがクリアされます。INT2SMSKCR6 は、書き込み専用の 32 ビットのレジスタです。読み出しデータは意味を持ちません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

リード時

0 : Don't care

1 : Don't care

ライト時

0 : 無効

1 : マスククリア

7.5 割り込み要因の説明

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

7.5.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。CPU 内の SR の BL ビットが 1 にセットされていないかぎり、いつでも受け付けられます。ただし、スリープモード中は BL ビットが 1 でも受け付けられません。また、設定により BL ビットが 1 でも NMI を受け付けることができます。NMI 端子からの入力はエッジで検出されます。検出エッジは ICR0 の NMI エッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0 の NMIE ビットを書き換えた場合、書き換えてから最大 6 バスクロック期間 NMI 割り込みを検出しません。

CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、レベル 15 に自動的に設定されます。CPUOPM.INTMU が 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

7.5.2 IRQ 割り込み

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない特長

IRQ 割り込みは、ICR0 の IRLM0 ビットに 1 を書き込んで、IRQ3~IRQ0 端子を独立した割り込み要求として使用する場合に有効になります。ICR1 の IRQnS1、IRQnS0 (n=3~0) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ (INTPRI) により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

CPUOPM.INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する特長

レベル検出設定時の IRQ 割り込みについては、要因保持モード (ICR0.LVLMODE) の設定により、以下のような特長があります。

ICR0.LVLMODE の初期値は 0 ですが、1 に設定変更してから INTC を使用することを推奨します。

(a) 要因保持モード ICR0.LVLMODE が 0 の場合

レベル検出設定時、IRQ 割り込み要求の検出後、CPU が受け付ける前に IRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQ で要因を保持しています。CPU が何らかの割り込み (IRQ 割り込みとはかぎりません) を受け付けるか、該当する割り込みマスクビットに 1 をセットするまで要因を保持します。INTC で保持され

たレベル IRQ 割り込み要因をクリアするには、割り込み処理ルーチンで IRQ 割り込みの端子状態を変更して要求を取り下げた後、INTREQ で保持している要因を 0 にクリアしてください。クリア方法の詳細は「7.8.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

(b) 要因保持モード ICR0.LVLMODE が 1 の場合

INTC ではレベル検出 IRQ の割り込み要因を保持しません。

7.5.3 IRL 割り込み

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない特長

IRL 割り込みは、IRQ3~IRQ0 端子でレベルとして入力される割り込みです。優先レベルは IRQ3~IRQ0 端子で示されるレベルです。IRQ3~IRQ0 がすべて Low (ローレベル) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。すべて High (ハイレベル) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。表 7.5 に IRL 端子と割り込みレベルの対応を示します。

表 7.5 IRL 割り込み端子 (IRL3#~IRL0#)と割り込みレベル

IRL3	IRL2	IRL1	IRL0	割り込み優先レベル	割り込み要求
Low	Low	Low	Low	15	レベル 15 割り込み要求
Low	Low	Low	High	14	レベル 14 割り込み要求
Low	Low	High	Low	13	レベル 13 割り込み要求
Low	Low	High	High	12	レベル 12 割り込み要求
Low	High	Low	Low	11	レベル 11 割り込み要求
Low	High	Low	High	10	レベル 10 割り込み要求
Low	High	High	Low	9	レベル 9 割り込み要求
Low	High	High	High	8	レベル 8 割り込み要求
High	Low	Low	Low	7	レベル 7 割り込み要求
High	Low	Low	High	6	レベル 6 割り込み要求
High	Low	High	Low	5	レベル 5 割り込み要求
High	Low	High	High	4	レベル 4 割り込み要求
High	High	Low	Low	3	レベル 3 割り込み要求
High	High	Low	High	2	レベル 2 割り込み要求
High	High	High	Low	1	レベル 1 割り込み要求
High	High	High	High	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビッ

トが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する特長

(a) 要因保持モード ICR0.LVLMODE が0の場合

IRL 割り込み要求の検出後、CPU が受け付ける前に、IRL 割り込みの端子状態を変更して、割り込み要求が取り下げられた場合、またはより低い優先レベルに変化した場合は、CPU が何らかの割り込み (IRL 割り込みとはかぎりません) を受け付けるまで、最も高い IRL 割り込みを保持します。保持された IRL 割り込み要因は、割り込み処理ルーチンで IRL 割り込みの端子状態を変更して、割り込み要求を取り下げた後、該当する割り込みマスクビットを1にすることでクリアできます (IRQ3~IRQ0 端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM10 ビットに1を書き込んでください)。

(b) 要因保持モード ICR0.LVLMODE が1の場合

INTC では IRL 割り込み要因を保持しません。

7.5.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INTC2 の INT2PRI0~INT2PRI11 レジスタによって、モジュールごとに優先レベル 31~0 の範囲で設定できます。ただし、CPU に通知するときには、最下位1ビットを切り捨てた4ビットに変換します。詳細は、「7.5.4 (1) 内蔵周辺モジュール割り込み優先順位」を参照してください。

CPUOPM.INTMU ビットが1に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが0に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR の BL ビットが1のとき、もしくは割り込みマスクの設定にて該当割り込みが起きない状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺モジュールのレジスタを読み出し、その後、表 7.7 で示される内蔵周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを1回読み出す) BL ビットを0にするか、割り込み一時高速マスク機能を使うか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが0のときにフラグの更新を行うと INTEVT の値が0で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

(1) 内蔵周辺モジュール割り込み優先順位

内蔵周辺モジュール割り込みは、割り込み時に、要因固有の割り込み例外コードを CPU へ出力します。CPU は割り込みを受け付けると INTEVT レジスタに該当 INTEVT コードを表示します。割り込みハンドラは、CPU の INTEVT レジスタを読むことにより、INTC2 の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 7.1 を参照してください。

また、内蔵周辺モジュール割り込みでは図 7.3 に示すように、個々の割り込み要因を 5 ビットで 30 レベル (H'00 と H'01 は割り込み要求をマスク) に設定することが可能です。CPU の割り込みレベル受信インタフェースは 4 ビットで 15 レベル (H'0 は割り込み要求をマスク) ですが、内蔵周辺モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。たとえば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因は、どちらの割り込みであっても、出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する INTEVT コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する INTEVT コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 7.1 に示す優先順位で INTEVT コードが通知されます。

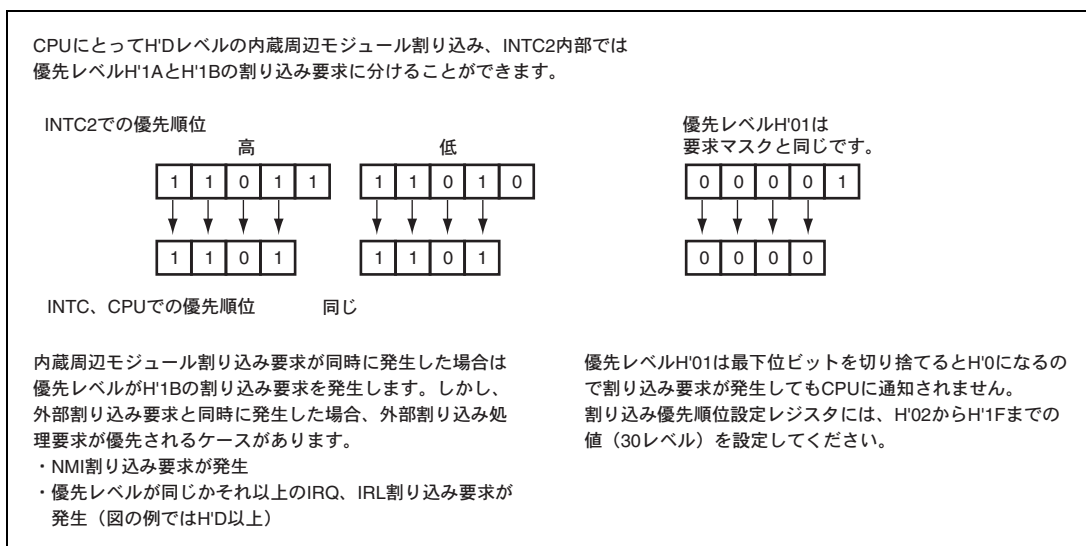


図 7.3 内蔵周辺モジュール割り込みの優先レベルについて

(2) 内蔵周辺モジュールの割り込み

表 7.6 に INTC2 へ割り込む内蔵周辺モジュールを示します。これらのモジュールは、INTC2 により集約された後、INTC を中継し、CPU へ通知されます。

表 7.6 INTC2 へ割り込み通知する内蔵周辺モジュールと各詳細要因表示レジスタ本数

内蔵周辺モジュール	詳細要因表示レジスタ本数	記 事	内蔵周辺モジュール	詳細要因表示レジスタ本数	記 事
DU	1 reg		LBSC-ATA	1 reg	
TMU	2 reg	TMU00-21 で 1 reg TMU30-80 で 1 reg	IIC3 0、1	2 reg	IIC3 2 チャンネル対応して 2 reg (INTEVT は独立)
RESET/WDT	1 reg		RCAN 0、1	2 reg	RCAN2 チャンネルに対応して 2reg (INTEVT は独立)
USB2.0 Host0、1 /Function0	1 reg		HIF	1 reg	
RTC	1 reg		SCIF 0~5、 HSCIF	7 reg	SCIF 7 チャンネルに対して 7 reg (INTEVT は独立)
LCDC	1 reg		LBSC-DMAC 0~2	1 reg	DMAC 3 チャンネルに対して 1 reg (INTEVT は独立)
MMC4.3	1 reg		FLCTL	1 reg	
DEBUG (H-UDI)	1 reg		GEther	1 reg	—
SHwy-DMAC 0、1	1 reg		MTU2	1 reg	
STIF0、1	2 reg	STIF2 チャンネルに対応 して 2 reg (INTEVT は独立)	RSPI	1 reg	
ADC	1 reg		SDHI 0~2	3 reg	SDHI 3 チャンネルに対して 3 reg (INTEVT は独立)
SSI0~3	4reg	SSI 4 チャンネルに対応 して 4 reg (INTEVT は独立)	SRC 0、1	2reg	SRC 2 チャンネルに対して 2 reg (INTEVT は独立)
VIN 0	1 reg		VEU3F	1 reg	
VIN 1	1 reg		HPB-DMAC 0~25、27、28	1 reg	DMAC 28 チャンネルに対して 1 reg (INTEVT は 5 つにマージ)
R-GPVG	1 reg		GPIO 0~5	2 reg	GPIO 6 チャンネル全 171 ポー トに対し 4bit ごとに reg 中 1bit を割り付け
2DG	1reg		HSPI	1reg	
IEBus	1reg		RQSPI	1reg	
MIMLB	1reg		ADMAC	1reg	

1. 内蔵周辺モジュールの割り込み詳細要因をINTC2内部レジスタに表示

チップ内部の各モジュールの割り込み詳細要因をINTC2内部レジスタに表示しています。したがって、内蔵周辺モジュールの割り込み要因レジスタをリードせずにINTC2のレジスタリードを行えば、要因解析のためのバスアクセスレイテンシを押し下げる事が可能となり、解析時間の短縮が可能となります。

【注】 詳細な要因表示は、割り込み発生元の内蔵周辺モジュールでも行っており、発生元をリードしても不都合は生じませんが要因解析時間を短縮化するためにINTC2内レジスタをリードすることを推奨します。ただし、個々の詳細要因に対するマスク設定や要因クリアに関しては、割り込み発生元モジュールに対して行う必要があります。

2. INTEVTコードに対する詳細要因表示レジスタを一元化

CPUへの割り込み通知時に報告するINTEVTコードは、1つのコードに対して1つの詳細要因表示レジスタに割り付いています。

したがって、ソフトウェアはINTEVTコードに対応したINTC2内部の詳細要因表示レジスタを1つ読み込めば、詳細な要因解析を完了させることが可能です。

7.6 動作説明

7.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI11に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表7.1に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル (IMASK) とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】**
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
 2. 割り込み要因フラグは、例外処理ルーチン中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 7.7 で示される時間を待つか、あるいは割り込み一時高速マスク機能を使用し、その後 BL ビットをクリアするか、RTE 命令を実行します。
 3. IRQ 割り込み、IRL 割り込み、および内蔵周辺モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR0、INTMSKCLR1、INT2MSKCR、INT2SMSKCR を使用して、要因ごとの割り込みマスク (INTMSK0、INTMSK1、INT2MSKRG、INT2SMSKRG) をクリアする必要があります。

7.6.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRレジスタの割り込みマスクレベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスクレベル (IMASK) を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

7.6.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なくすべての割り込みをマスクすることができます。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

7.6.4 割り込み一時高速マスク機能

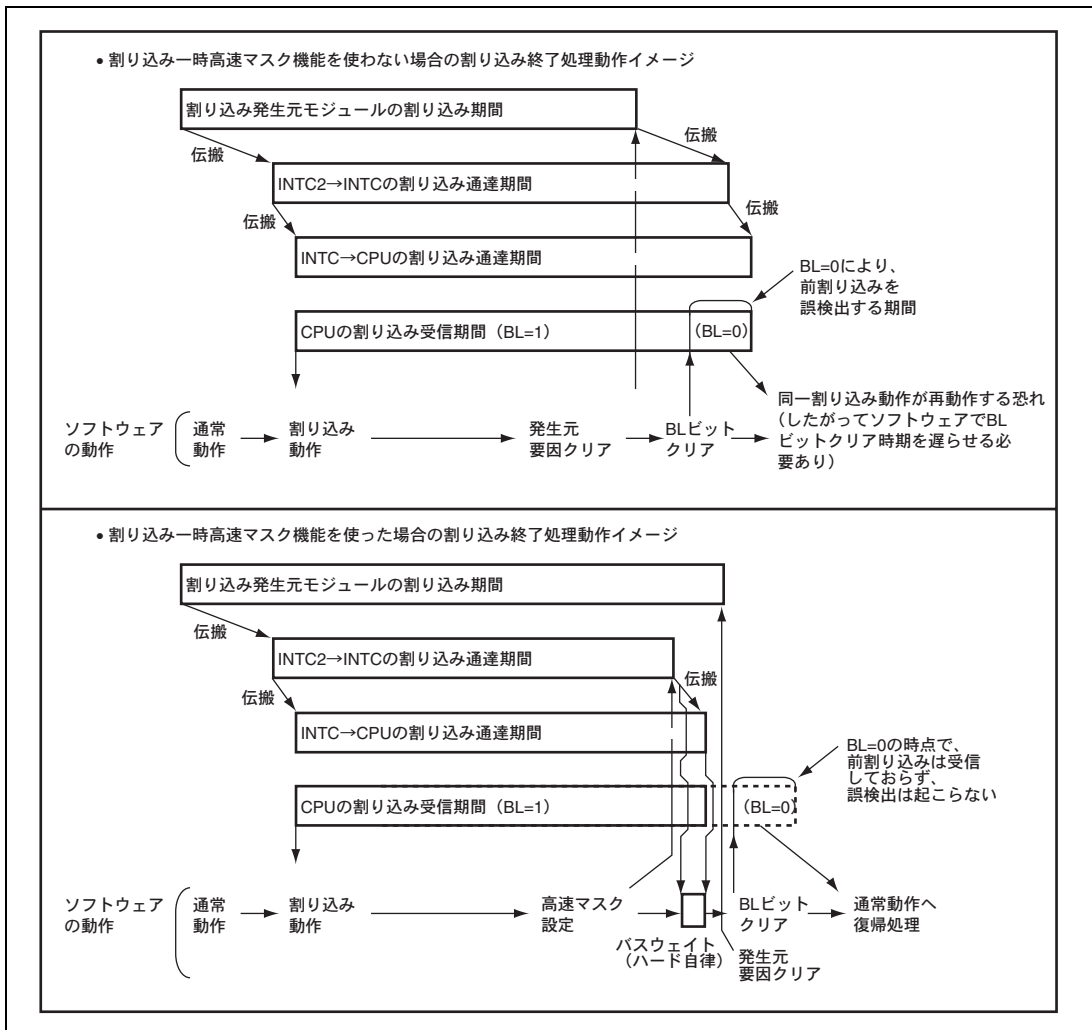
(1) 割り込み一時高速マスク機能の考え方

INTC2は、内蔵周辺モジュールからの割り込みに関し、CPUへ通知している割り込み信号を高速にネゲートさせる「割り込み一時高速マスク機能」を有しています。通常ソフトウェアは割り込み処理ルーチン内で割り込み発生元のモジュールに対して要因クリアを行い、その後CPUのSRレジスタにおけるBLビットをクリア(=次の割り込み受け付け可能状態)しますが、該当の割り込み信号がネゲートされた状態がCPUに伝搬する時刻よりもBLビットをクリアした時刻の方が早い場合、クリアしたはずの要因を誤って再度受け付けてしまう恐れが生じます。従来、ソフトウェアはこれを避けるために、割り込み発生モジュールの要因がクリアされたかをポーリング動作などで確認した後にBLビットをクリアするなどの処理をする必要がありました。INTC2の有する割り込み一時高速マスク設定機能はこの処理方法を改善することを目的としています。

ソフトウェアは、まず割り込み処理ルーチン内でINTC2の割り込み高速マスクを設定します。これにより、INTC2はINTCの割り込み通知信号をネゲートしてCPUの割り込み入力をネゲートさせます(次の割り込みが存

在する場合は直ちに更新します)。ソフトウェアは、割り込み一時高速マスク設定後、続けて割り込み発生元のモジュールに対して要因クリアを行い、続いてSRレジスタのBLビットをクリアします。これにより、クリアした要因を誤って再度受け付けてしまうことがなくなります。なお、設定した割り込み一時高速マスクの設定状態は、ソフトウェアが割り込み発生元モジュールの要因クリアを行ったことで割り込み信号がネゲートされ、これを契機に自動解除されるモードと、ソフトウェアにより高速マスクを直接解除するモードの選択が可能で、ソフトウェアは事前に要因ごとにモードを選択しておきます。

図 7.4 に割り込み一時高速マスク機能の概念図を示します。



(2) 割り込み一時高速マスクレジスタの設定条件/解除条件

割り込み一時高速マスクレジスタへのマスク設定は、割り込みルーチンの終了処理をスムーズに行うために有効な手段ですが、割り込み要求元のモジュールから連続して割り込みが発行されるような状況下でも確実に1つずつ処理することができるように割り込み一時高速マスクレジスタの操作を行う必要があります、注意が必要です。

図 7.5 に割り込み一時高速マスクレジスタの構成と、設定条件/解除条件/無効アクセス条件を示します。

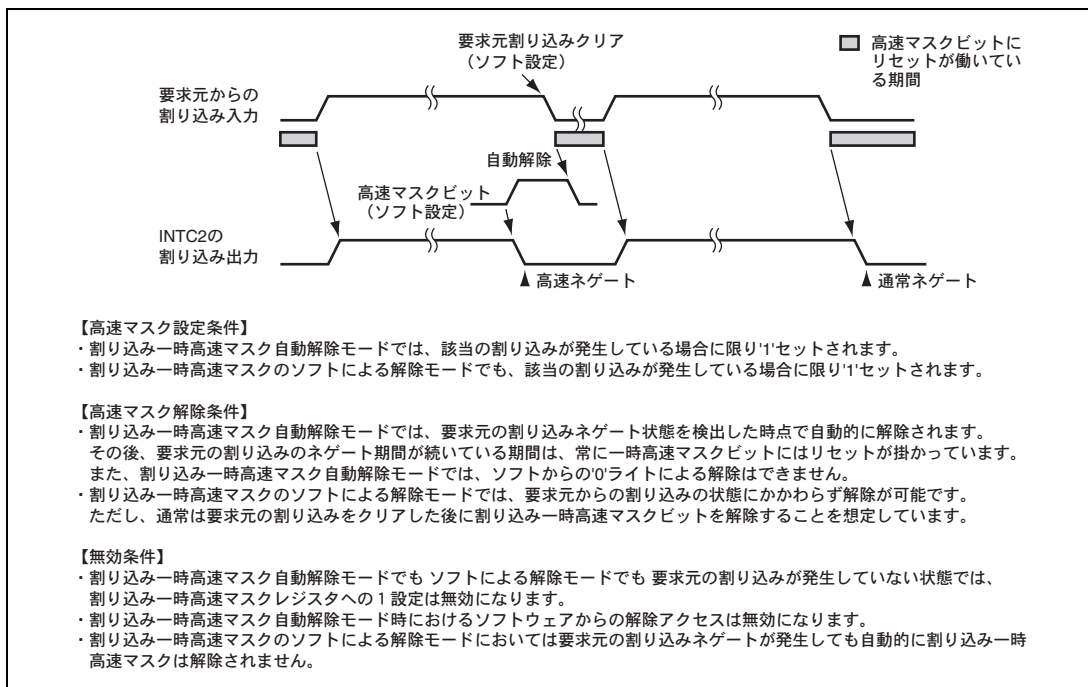


図 7.5 割り込み一時高速マスクレジスタの構成と設定条件/解除条件/無効アクセス条件

自動解除モードでは、割り込み、割り込み間の割り込みが存在しない期間で割り込み一時高速マスクレジスタにハード自律でリセットを掛けて解除を行っています。したがって、ソフトウェアが割り込み一時高速マスクレジスタを設定するタイミングより先に割り込み信号がネゲートした場合は、割り込み一時高速マスクレジスタは設定されませんが、すでにネゲートした割り込み要因に対して割り込み一時高速マスクレジスタを設定する必要はないため、これは、正しい動作となります。

同一の割り込み信号における次の割り込みとの間にネゲート期間がまったくないモジュールや、またそのようなモジュールの使われ方の中では該当割り込みビットの割り込み一時高速マスク自動クリアは働かないことになります。このようなケースに関しては、ソフトウェアによる割り込み一時高速マスククリアモードを使ってマスクを解除する必要があります。

7.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.7 に示します。

表 7.7 割り込み応答時間

項 目	ステート数					備 考	
	NMI	IRL	IRQ	周辺モジュール			
				GPIO 以外	GPIO		
優先順位判定時間	6Bcyc+2Pcyc	8Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc	7Pcyc		
CPU が実行中のシーケンス終了までの待ち時間	S-1(≥ 0) \times lcyc						
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令フェッチの SHwy バスリクエスト発行までの時間	11lcyc+1Scyc						
応答時間	合計	(S+10)lcyc +1Scyc +6Bcyc +2Pcyc	(S+10)lcyc +1Scyc +8Bcyc +2Pcyc	(S+10)lcyc +1Scyc +4Bcyc +2Pcyc	(S+10)lcyc +1Scyc +5Pcyc +7Pcyc	(S+10)lcyc +1Scyc +1Scyc +7Pcyc	

【記号説明】

lcyc : CPU などに供給される内部クロックの 1 サイクル期間

Scyc : SHwy クロックの 1 サイクル期間

Bcyc : バスクロックの 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

割り込みの許可／禁止を設定するレジスタ INTMSK0、INTMSK1、INT2MSKRG の設定値を、割り込み禁止状態から割り込み許可状態に変更した場合に、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.8 に示します。

表 7.8 割り込み許可/禁止のレジスタ値変更からの応答時間 (割り込み禁止→割り込み許可の場合)

項 目		ステート数			備 考
		IRL	IRQ	周辺モジュール	
		INTMSK1	INTMSK0	INT2MSKRG	
優先順位判定時間 (【注】)		1Pcyc	1Pcyc	4Pcyc	割り込みを許可/禁止するレジスタ
CPU が実行中のシーケンス終了までの待ち時間		S-1(≥ 0) \times lcyc			
割り込み例外処理 (SR、PC の回避) から例外処理ルーチンの先頭命令フェッチの SHwy バスリクエスト発行までの時間		11lcyc+1Scyc			
応答時間	合計	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +4Pcyc	

【記号説明】

lcyc : CPU などに供給される内部クロックの 1 サイクル期間

Scyc : SHwy クロックの 1 サイクル期間

Bcyc : バスクロックの 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

【注】 INTMSK0、INTMSK1、INT2MSKRG は、それぞれ INTMSKCLR0、INTMSKCLR1、INT2MSKCR レジスタへの書き込みにより、INTMSK0、INTMSK1、INT2MSKRG のマスクビットをクリアして、割り込みを許可します。表 7.8 中の優先順位判定時間は、INTMSK0、INTMSK1、INT2MSKRG の値が変更されてからの時間です。

割り込みの許可/禁止を設定するレジスタ INTMSK0、INTMSK1、INT2MSKRG の設定値を、割り込み許可状態から割り込み禁止状態に書き換えた場合に、INTC から CPU に対する割り込み要求信号が取り下げられるまでの時間を表 7.9 に示します。

表 7.9 割り込み許可/禁止のレジスタ値変更からの応答時間 (割り込み許可→割り込み禁止の場合)

項 目		ステート数			備 考
		IRL	IRQ	周辺モジュール	
		INTMSK1	INTMSK0	INT2MSKRG	
応答時間		1Pcyc	1Pcyc	4Pcyc	割り込みを許可/禁止するレジスタ

7.8 使用上の注意事項

7.8.1 要因保持モード ICR0.LVLMODE が 0 の場合の注意事項

要因保持モード ICR0.LVLMODE が 0 の場合、IRL 割り込み要求およびレベル検出 IRQ 割り込み要求は、CPU が割り込みを受け付けた後も検出を行うため、割り込み処理ルーチンで INTC が保持している割り込み要求をクリアする必要があります。

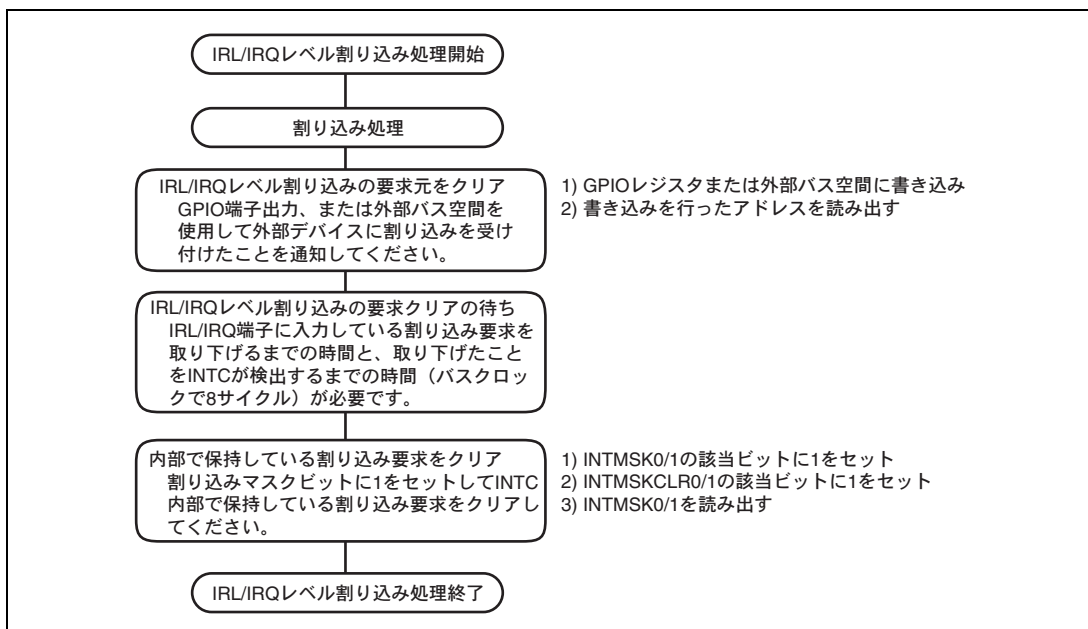


図 7.6 割り込み処理ルーチンの例

CPU が受け付けた IRL 割り込み要求およびレベル検出設定時の IRQ 割り込み要求を取り下げるために、割り込み処理ルーチン内で割り込みを受け付けたことを外部に通知する必要があります。たとえば、受け付けたレベルや端子を判別できるデータを GPIO 端子に出力するか、外部バス空間上の特定のアドレスに書き込むことで外部のデバイスに通知することができます。その際、GPIO レジスタや外部バス空間への書き込み、同じアドレスの読み出しは連続して行ってください。

また、INTC 内部で保持している割り込み要求をクリアするために INTC レジスタにデータを書き込んだ後には、割り込み要求クリアを CPU が検出するまでの待ち時間が必要です。この待ち時間を確保するために、INTMSK0/1 への書き込み、INTMSKCLR0/1 への書き込み、INTMSK0/1 の読み出しは連続して行ってください。

7.8.2 IRQ3～IRQ0 端子機能設定時の注意事項

IRL または IRQ モードに切り替えるときに、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRL 割り込み要求および IRQ 割り込み要求をマスク状態に設定してから、切り替えを行ってください。

表 7.10 IRQ3～IRQ0 端子機能切り替え手順

手順	項目	内容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1 の有効ビットに 1 を書き込む
2	IRQ3～IRQ0 端子を IRL または IRQ に設定	ICR0 の IRLM0 ビットを 0 または 1 に設定する
3	IRL 割り込み要求、IRQ 割り込み要求の検出を開始	INTMSKCLR0、INTMSKCLR1 の該当するビットに 1 を書き込む

7.8.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法

INTC で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

(1) 要因保持モード (ICR0.LVLMODE) の設定に依存しない、割り込み要求のクリア方法

- エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ3～IRQ0 割り込み要求のクリアは、INTREQ の該当するビット IR3～IR0 から 1 を読み出した後、0 を書き込んでください。INTMSK0 で該当するビットに 1 を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。

(2) 要因保持モード (ICR0.LVLMODE) の設定に依存する、割り込み要求のクリア方法

(a) 要因保持モード ICR0.LVLMODE が 0 の場合

- IRL 割り込み要求のクリア方法

IRQ3～IRQ0 端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM10 ビットに 1 を書き込んでください。

- レベル検出設定時の IRQ 割り込み要求のクリア方法

レベル検出設定をしている IRQ3～0 割り込み要求のクリアは、INTMSK0 の該当するビット IM03～IM00 に 1 を書き込んでください。INTPRI で該当するビットに 0 を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。検出している IRQ 割り込み要求 (CPU が割り込みを受け付けるとクリアします) は INTREQ を読み出すことで確認できます。

(b) 要因保持モード ICR0.LVLMODE が 1 の場合

レベル検出の IRQ 割り込み、および IRL 割り込み要求を検出しても、INTC は割り込み要因の保持をしません。

8. クロック発振器 (CPG)

8.1 概要

クロック発振器 (CPG) モジュールは、プロセッサ内部に供給するクロックの生成と、リセット、スリープといったチップ状態の制御を行います。

8.1.1 特長

- 内部クロックを生成
CPUクロック (clki)、SHwyクロック (clks、clks1)、バスクロック (clkb)、周辺クロック (clkp) を生成します。
- 外部クロックを生成
外部バスクロック (CLKOUT) およびDDRクロック (MCK0/MCK0#/MCK1/MCK1#) を生成します。
- クロック動作モード
CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。

【注】 各モジュールで使用しているクロックは、各モジュールの章を参照ください。

8.1.2 ブロック図

CPG のブロック図を図 8.1 に示します。

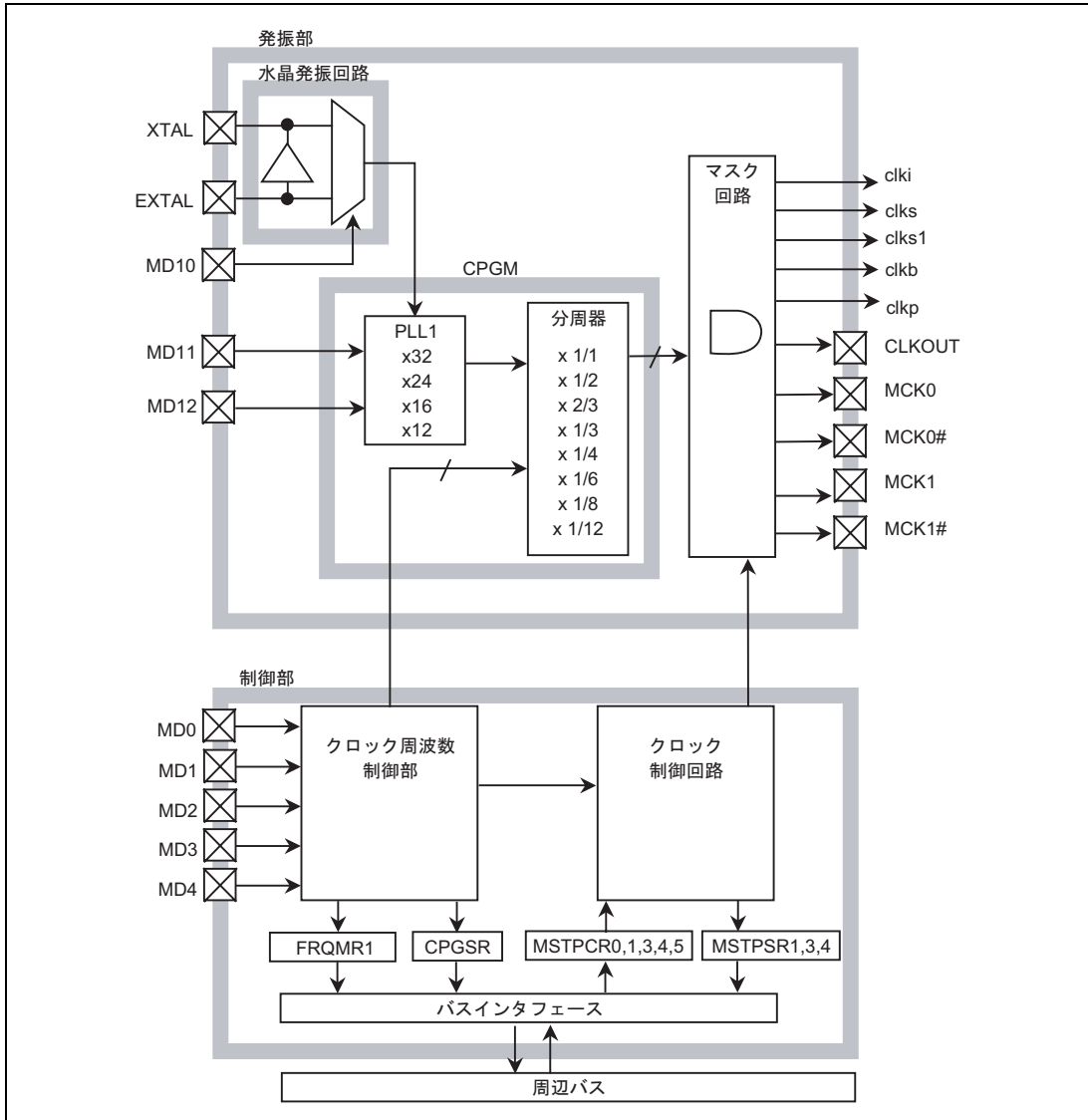


図 8.1 CPG ブロック図

8.1.3 外部端子

CPG の端子構成を表 8.1 に示します。

表 8.1 入出力端子表

端子名	入出力	説明
MD0	入力	• 自走モード/ステップアップモード切り替え信号 (表 8.8 を参照)
MD1	入力	• 動作周波数を設定。 MD3=0、MD4=0 にそれぞれを固定。 (表 8.2 を参照)
MD2	入力	
MD3	入力	
MD4	入力	
MD10	入力	• 水晶発振子/発振器の設定。 (表 8.7 を参照)
MD11	入力	• PLL1 の逡倍率を設定。 (表 8.3~表 8.5 を参照)
MD12	入力	
XTAL	出力	• 水晶発振子または外部クロック入力端子として使用します。 (表 8.7 を参照)
EXTAL	入力	
CLKOUT	出力	外部バスクロック (MD2、MD1 にて周波数変更可能)
MCK0	出力	DDR バスクロック
MCK0#	出力	
MCK1	出力	
MCK1#	出力	

(1) 外部端子機能

- クロックモード制御

MD1、MD2、MD3、MD4、MD11、MD12 端子の組み合わせにより PLL1 の逡倍率および分周比を決めます。

表 8.2 MD2、MD1 設定値

MD2	MD1	クロックモード設定
0	0	400MHz モード (2)
0	1	533MHz モード
1	0	400MHz モード (1)
1	1	設定禁止

表 8.3 PLL1 通倍率 (400MHz モード (2))

MD 12	MD 11	PLL1 通倍率	EXTAL 入力最小周波数	EXTAL 推奨入力周波数	EXTAL 入力最大周波数
0	0	X12	27.77MHz (clki=333.33MHz, MCK0,MCK0#,MCK1,MCK1#= 166.66MHz, CLKOUT=41.66MHz)	33.33MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)	33.33MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)
0	1	X16	20.83MHz (clki=333.33MHz, MCK0,MCK0#,MCK1,MCK1#= 166.66MHz, CLKOUT=41.66MHz)	25.00MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)	25.00MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)
1	0	X24	13.88MHz (clki=333.33MHz, MCK0,MCK0#,MCK1,MCK1#= 166.66MHz, CLKOUT=41.66MHz)	16.66MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)	16.66MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)
1	1	X32	10.41MHz (clki=333.33MHz, MCK0,MCK0#,MCK1,MCK1#= 166.66MHz, CLKOUT=41.66MHz)	12.50MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)	12.50MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 200.00MHz, CLKOUT=50.00MHz)

表 8.4 PLL1 通倍率 (533MHz モード)

MD 12	MD 11	PLL1 通倍率	EXTAL 入力最小周波数	EXTAL 推奨入力周波数	EXTAL 入力最大周波数
0	0	X12	41.66MHz (clki=500.00MHz, MCK0,MCK0#,MCK1,MCK1#= 250.00MHz, CLKOUT=41.66MHz)	44.44MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)	44.44MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)
0	1	X16	31.25MHz (clki=500.00MHz, MCK0,MCK0#,MCK1,MCK1#= 250.00MHz, CLKOUT=41.66MHz)	33.33MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)	33.33MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)
1	0	X24	20.83MHz (clki=500.00MHz, MCK0,MCK0#,MCK1,MCK1#= 250.00MHz, CLKOUT=41.66MHz)	22.22MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)	22.22MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)
1	1	X32	15.62MHz (clki=500.00MHz, MCK0,MCK0#,MCK1,MCK1#= 250.00MHz, CLKOUT=41.66MHz)	16.66MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)	16.66MHz (clki=533.33MHz, MCK0,MCK0#,MCK1,MCK1#= 266.66MHz, CLKOUT=44.44MHz)

表 8.5 PLL1 通倍率 (400MHz モード (1))

MD12	MD11	PLL1 通倍率	EXTAL 入力最小周波数	EXTAL 推奨入力周波数	EXTAL 入力最大周波数
0	0	X12	50.00MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 300.00MHz, CLKOUT=50.00 MHz)	51.00MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)	51.00MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)
0	1	X16	37.50MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 300.00MHz, CLKOUT=50.00MHz)	38.25MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)	38.25MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)
1	0	X24	25.00MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 300.00MHz, CLKOUT=50.00MHz)	25.50MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)	25.50MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)
1	1	X32	18.75MHz (clki=400.00MHz, MCK0,MCK0#,MCK1,MCK1#= 300.00MHz, CLKOUT=50.00MHz)	19.12MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)	19.12MHz (clki=408.00MHz, MCK0,MCK0#,MCK1,MCK1#= 306.00MHz, CLKOUT=51.00MHz)

表 8.6 MD4、MD3 設定値

MD4	MD3	MD4、MD3 設定
0	0	MD4、MD3 とも必ず 0 に設定してください
0	1	設定禁止
1	0	設定禁止
1	1	設定禁止

- クロック入力モード制御

MD10 により外部入力および水晶発振子の選択が可能です。

表 8.7 MD10 設定値

MD10	EXTAL/XTAL 端子の説明
0	EXTAL 端子に外部クロックを入力します。
1	EXTAL/XTAL 端子に水晶発振子を接続します。

- 自走モードおよびステップアップモード制御

MD0により自走モードおよびステップアップモードの選択が可能です。自走モードでもステップアップモードでも PRESET#=L 中に PLL1 の発振を開始します (PLL1 の発振安定時間は PRESET#=L の中で確保してください)。

ステップアップモードでは、表 8.9～表 8.11 に記載されている各クロックは PRESET#=L 中、EXTAL/XTAL 端子からのクロック (PLL1 入力クロック) を (step1 記載の分周値) × (1/2) 分周したクロックとなります。PRESET#=H となった後、分周器の入力が EXTAL/XTAL から PLL1 出力クロックに切り替わります (グリッチを発生することなく切り替わりますが、分周器の入力クロックが切り替わるので、周波数が急に高くなります。また、切り替えの際、一時的にデューティの崩れたクロック波形が生成される可能性があります)。その後、各クロックは PLL1 出力を表 8.9～表 8.11 に記載されている Step1 の分周値で分周したクロックとなった後、Step2 へ移行し、最終的には Step3 の状態で動作します。

一方、自走モードでは、PRESET#=L 中から一貫して表 8.9～表 8.11 に記載されている Step3 の状態から動作を開始します。

(ステップアップモードとは LSI 内部の周波数を段階的に上げて LSI の消費電力の急激な変化を緩和する機能)

表 8.8 MD0 設定値

MD0	説明
0	自走モード
1	ステップアップモード

表 8.9 ステップアップによる周波数遷移 (条件: MD2=0, MD1=0)

	clki	clks	clks1	clkb	MCK0, MCK0#, MCK1, MCK1#	clkp0, clkp1	CLKOUT
Step1	1/4	1/4	1/8	1/8	1/2	1/8	1/8
Step2	1/2	1/4	1/4	1/8	1/2	1/8	1/8
Step3	1/1	1/2	1/4	1/8	1/2	1/8	1/8

表 8.10 ステップアップによる周波数遷移 (条件: MD2=0, MD1=1)

	clki	clks	clks1	clkb	MCK0, MCK0#, MCK1, MCK1#	clkp0, clkp1	CLKOUT
Step1	1/4	1/4	1/12	1/12	1/2	1/12	1/12
Step2	1/2	1/4	1/6	1/12	1/2	1/12	1/12
Step3	1/1	1/3	1/6	1/12	1/2	1/12	1/12

表 8.11 ステップアップによる周波数遷移 (条件: MD2=1, MD1=0)

	clki	clks	clks1	clkb	MCK0, MCK0#, MCK1, MCK1#	clkp0, clkp1	CLKOUT
Step1	1/6	1/6	1/12	1/12	1/2	1/12	1/12
Step2	1/3	1/6	1/6	1/12	1/2	1/12	1/12
Step3	2/3	1/3	1/6	1/12	1/2	1/12	1/12

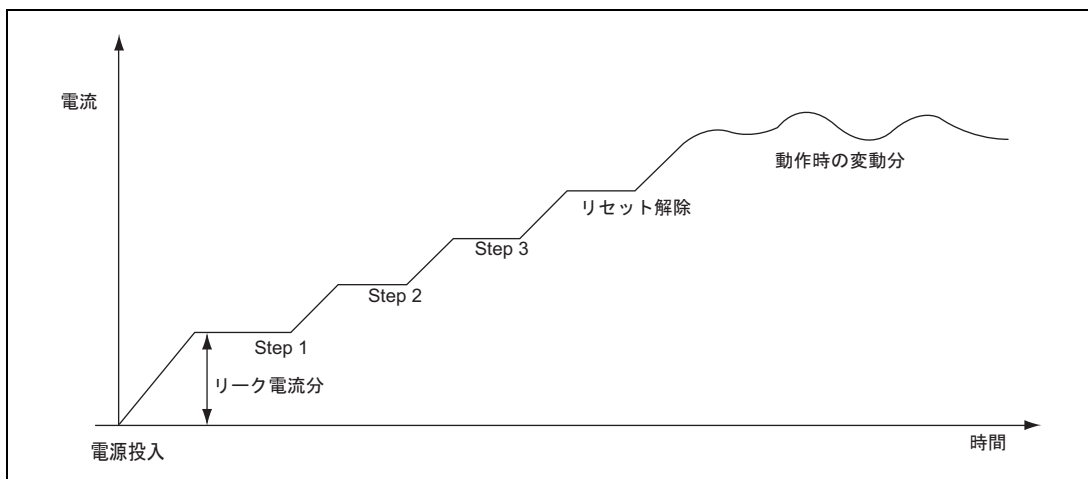


図 8.2 ステップアップによる電流変化

表 8.12 自走モードでの各クロック種の分周比

MD2	MD1	clki	clks	clks1	clkb	MCK0、MCK0#、MCK1、MCK1#	clkp0、clkp1	CLKOUT
0	0	1/1	1/2	1/4	1/8	1/2	1/8	1/8
0	1	1/1	1/3	1/6	1/12	1/2	1/12	1/12
1	0	2/3	1/3	1/6	1/12	1/2	1/12	1/12

8.2 レジスタの説明

表 8.13 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 8.14 に示します。

表 8.13 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ
周波数制御レジスタ 0	FRQCR0	R/W	H'FFC8 0000	H'1FC8 0000	32
周波数制御レジスタ 2	FRQCR2	R/W	H'FFC8 0008	H'1FC8 0008	32
周波数表示レジスタ 1	FRQMR1	R	H'FFC8 0014	H'1FC8 0014	32
周波数表示レジスタ 2	FRQMR2	R	H'FFC8 0018	H'1FC8 0018	32

表 8.14 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
		PRESET#端子 /WDT/H-UDIに よる	WDCNT の オーバーフロー/ 多重例外による	SLEEP 命令に よる	SLEEP 命令に よる	—	SLEEP 命令に よる
周波数制御レジスタ 0	FRQCR0	H'0000 0000	保持	保持	保持	—	H'0000 0000
周波数制御レジスタ 2	FRQCR2	H'0000 0000	保持	保持	保持	—	H'0000 0000
周波数表示レジスタ 1	FRQMR1	H'x4xx 21xx	保持	保持	保持	—	H'x4xx 21xx
周波数表示レジスタ 2	FRQMR2	H'0000 BFFF	保持	保持	保持	—	H'0000 BFFF

【注】 * 上記アドレス以外への書き込みは行わないでください。
書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

8.2.1 周波数制御レジスタ 0 (FRQCR0)

FRQCR0 は、読み出し／書き込み可能な 32 ビットのレジスタで、各クロックの周波数を変更するためのシーケンスを実行するためのレジスタです。シーケンスを実行した後、自動的に 0 にクリアされます。FRQCR0 はロングワードアクセスのみ可能です。

FRQCR0 への書き込みは上位バイトをコード値 (H'CF) にしてロングワードサイズで行ってください。これ以外のコード値での書き込みは無効です。コード値を読み出すと常に 0 が読み出されます。

本レジスタは PRESET#端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時、H-UDI によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'CF)								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FRQE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R/W	コード値 (H'CF) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'CF を書き込んでください。
23~1	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRQE	0	R/W	周波数変更イネーブル 1 を書き込むと周波数変更を行います。 周波数変更シーケンス実行後、0 にクリアされます。

8.2.2 周波数制御レジスタ 2 (FRQCR2)

本レジスタは、STIF クロック (clks2) の分周値を変更するときに設定します。設定した値は、周波数変更シーケンス実行後、自動的にクリアされます。なお、STIF クロックの周波数変更は、本 LSI の初期設定時のみ行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S2FC3	S2FC2	S2FC1	S2FC0	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	S2FC3	0	R/W	STIF クロック (clks2) の分周値設定
14	S2FC2	0	R/W	0000: 変更しない
13	S2FC1	0	R/W	0101: CPGM 内 PLL1 出力の 1/6 分周に設定
12	S2FC0	0	R/W	0110: CPGM 内 PLL1 出力の 1/8 分周に設定 0111: CPGM 内 PLL1 出力の 1/9 分周に設定 1000: CPGM 内 PLL1 出力の 1/12 分周に設定 1001: CPGM 内 PLL1 出力の 1/16 分周に設定 1010: CPGM 内 PLL1 出力の 1/18 分周に設定 1011: CPGM 内 PLL1 出力の 1/24 分周に設定
11~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.3 周波数表示レジスタ 1 (FRQMR1)

本レジスタは、各内部クロックの分周値を表示するレジスタです。基準となる周波数は、表 8.3～表 8.5 に示される PLL1 出力クロックとなります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IFS3	IFS2	IFS1	IFS0	—	—	—	—	SFS3	SFS2	SFS1	SFS0	BFS3	BFS2	BFS1	BFS0
初期値:	—	—	0	—	0	1	0	0	0	0	1	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFS3	MFS2	MFS1	MFS0	—	—	—	—	S1FS3	S1FS2	S1FS1	S1FS0	PFS3	PFS2	PFS1	PFS0
初期値:	0	0	1	0	0	0	0	1	0	1	0	*	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	IFS3	0	R	CPU クロック (clki) の分周値を表示 0001 : 1/1 分周値 1100 : 2/3 分周値
30	IFS2	0	R	
29	IFS1	0	R	
28	IFS0	1	R	
27	—	0	R	リザーブビット
26	—	1	R	リザーブビット
25、24	—	すべて 0	R	リザーブビット
23	SFS3	0	R	Shwy クロック (clks) の分周値を表示 0010 : 1/2 分周値 0011 : 1/3 分周値
22	SFS2	0	R	
21	SFS1	1	R	
20	SFS0	—	R	
19	BFS3	—	R	外部バスクロック (CLKOUT) の分周値を表示 0110 : 1/8 分周値 1000 : 1/12 分周値
18	BFS2	—	R	
17	BFS1	—	R	
16	BFS0	0	R	
15	MFS3	0	R	DDR クロック (M0CK0/0#/M1CK0/0#) の分周値を表示 0010 : 1/2 分周値
14	MFS2	0	R	
13	MFS1	1	R	
12	MFS0	0	R	
11~9	—	すべて 0	R	リザーブビット
8	—	1	R	リザーブビット
7	S1FS3	0	R	Shwy クロック(clks1)の分周値を表示 0100 : 1/4 分周値 0101 : 1/6 分周値
6	S1FS2	1	R	
5	S1FS1	0	R	
4	S1FS0	—	R	

ビット	ビット名	初期値	R/W	説明
3	PFS3	—	R	周辺クロック (clkp) の分周値を表示
2	PFS2	—	R	0110 : 1/8 分周値
1	PFS1	—	R	1000 : 1/12 分周値
0	PFS0	0	R	

8.2.4 周波数表示レジスタ 2 (FRQMR2)

本レジスタは、clks2 クロックの分周値を表示するレジスタです。基準となる周波数は、表 8.3～表 8.5 に示される PLL1 出力クロックとなります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S2FS3	S2FS2	S2FS1	S2FS0	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
15	S2FS3	1	R	STIF クロック (clks2) の分周値設定
14	S2FS2	0	R	0101 : 1/6 分周値
13	S2FS1	1	R	0110 : 1/8 分周値
12	S2FS0	1	R	0111 : 1/9 分周値 1000 : 1/12 分周値 1001 : 1/16 分周値 1010 : 1/18 分周値 1011 : 1/24 分周値
11～0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

8.3 動作説明

8.3.1 周波数設定変更手順

下記手順にて STIF クロック (clks2) の周波数を変更することができます。

1. FRQCR2に値を設定。
2. FRQCR0にH'CF000001を設定。
3. FRQCR2に書き込んだ値とFRQMR2の値が一致していることを確認。

なお、STIF クロック (clks2) の周波数変更は、本 LSI の初期設定時のみ行ってください。

【プログラム例】 STIF クロックを 1/8 分周に変更。

```
MOV.L #FRQCR1,R1  
MOV.L #H'00006000,R0  
MOV.L R0,@R1  
} 1.に相当。FRQCR1 は当該レジスタのアドレス値です。  
  
MOV.L #FRQCR0,R1  
MOV.L #H'CF000001,R0  
MOV.L R0,@R1  
} 2.に相当。FRQCR0 は当該レジスタのアドレス値です。
```

手順 3.は確認のための比較であり、ここでは省略します。

8.4 ボード設計上の注意事項

8.4.1 水晶発振子使用時の注意

水晶発振子とコンデンサは、できるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

水晶発振子周辺の負荷コンデンサ容量やダンピング抵抗値などは、使用する水晶発振子メーカーと評価検討の上、値を決めてください。

8.4.2 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

8.4.3 PLL 発振回路使用時の注意

VDD-PLL と VSS-PLL は、その他の VDD、VSS とはボードの電源供給元から分離し、VCCQ-PLL と VSSQ-PLL についても、その他の VCCQ、VSS とはボードの電源供給元からは分離してください。また、これら端子の近くにノイズフィルタとして抵抗 RCB、バイパスコンデンサ CPB、CB を挿入してください。

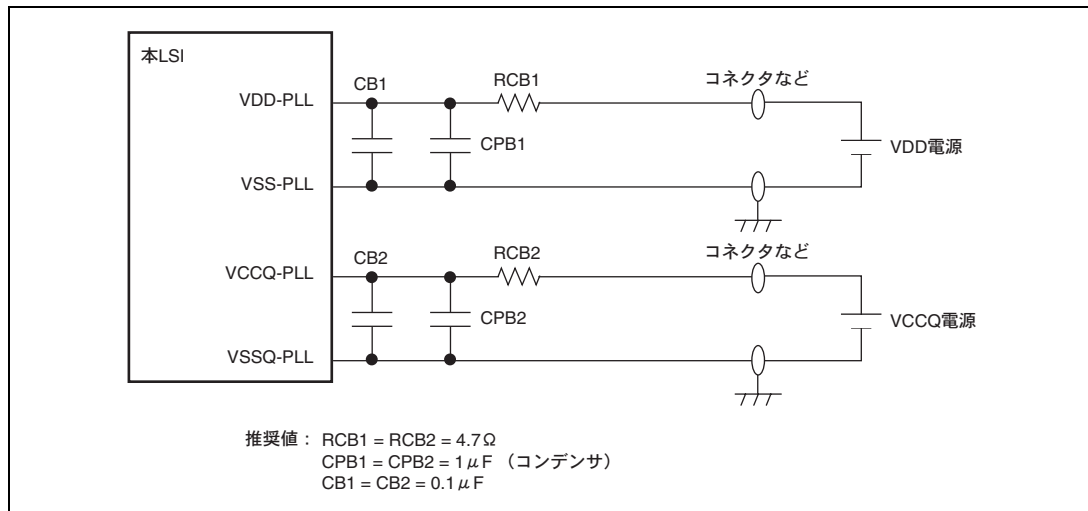


図 8.3 PLL 発振回路使用時の注意

9. 動作モード、低消費電力モード

9.1 動作モード概要

本 LSI は、PRESET#=L のときに BSMODE、MPMD、MD0~MD18、HIFMD (MD19) *を設定することによって動作モードを決定します。

動作モードでクロックモード、EX_BUS エリア 0 データバス幅、エリア分割、エンディアン、アドレスモード、ブートモードが決定できます。

また、本 LSI は低消費電力モードとしてスリープモード・ソフトウェアスタンバイモード・ディープスタンバイモード・モジュールスタンバイモードの 4 種類のモードを持っています。

【注】 * MD0~MD18、HIFMD (MD19) は周辺モジュール機能ピンとマルチプレクスされています。モードピンの設定値とバッティングする機能は外部回路でご対処ください。

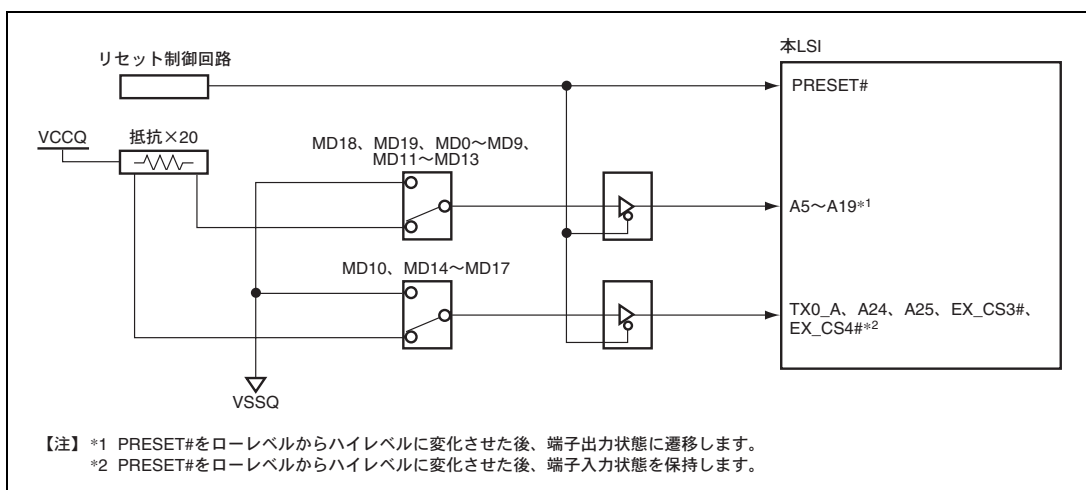


図 9.1 動作モード制御回路参考図

9.1.1 クロックモード

クロックモードについては、「第 8 章 クロック発振器 (CPG)」を参照してください。

9.1.2 EX_BUS エリア 0 データバス幅

MD5、MD6 の設定値によって、EX_BUS エリア 0 のデータ幅が決まります。

EX_BUS エリア 0 データバス幅については、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

9.1.3 エンディアン

MD8 の設定値によって、CPU のエンディアンを選択します。

9.1.4 アドレスモード

MD13 の設定値によって、29/32 ビットアドレスモードの切り替えを行います。MD9、MD7 の設定値によって、エリア 0 からエリア 6 の分割方法を選択します。エリア分割については、「第 6B 章 ローカルバスステートコントローラ (LBSC)」を参照してください。

9.1.5 ブートモード

MD14、MD16、MD17、MD18、MD19 によってブートモードを選択することができます。

ブートモードの設定値や各ブートモードの動作については、「9.5 ブートモード」を参照してください。

9.2 低消費電力モード概要

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

9.2.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 9.1 に示します。

表 9.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態									解除方法
		CPG	CPU	CPUレジスタ	ILRAM/キャッシュメモリ	HIF-RAM	内蔵周辺モジュール	リアルタイムクロック	電源	外部メモリ	
スリープモード	STBCRのSTBYビットが0の状態ですLEEP命令を実行	動作	停止	保持	停止 (内容は保持)	動作	動作	動作	動作	オートリフレッシュにしてください	<ul style="list-style-type: none"> ・割り込み ・パワーオンリセット ・マニュアルリセット ・DMAアドレスエラー
ソフトウェアスタンバイモード	STBCRのSTBYビットが1、DEEPビットが0の状態ですLEEP命令を実行	停止	停止	保持	停止 (内容は保持)	停止 (内容は保持)	停止	動作	動作	セルフリフレッシュにしてください	<ul style="list-style-type: none"> ・NMI割り込み ・IRC割り込み ・パワーオンリセット
ディープスタンバイモード	STBCRのSTBYビットが1、DEEPビットが1の状態ですLEEP命令を実行	停止	停止	停止	停止 (内容は非保持)	停止 (内容は保持 or 非保持は RRAMKP にて設定)	停止	動作	停止	セルフリフレッシュにしてください	<ul style="list-style-type: none"> ・NMI割り込み ・パワーオンリセット ・リアルタイムクロックアラーム割り込み ・解除用端子の変化 ・GETHERのMagic Packet検出割り込み
モジュールスタンバイモード	MSTPCR0、MSTPCR1、MSTPCR3、MSTPCR4、MSTPCR5のMSTPビットを1とする	動作	動作	保持	動作	動作	指定モジュールが停止	停止	動作	オートリフレッシュにしてください	<ul style="list-style-type: none"> ・MSTPビットを0にクリア ・パワーオンリセット (パワーオンリセット時、停止状態に初期化されるモジュールを除く)

9.3 レジスタの説明

表 9.2 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 9.3 に示します。

表 9.2 レジスタ一覧

名 称	略 称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ
モジュールスタンバイ制御レジスタ 0	MSTPCR0	R/W	H'FFC8 0030	H'1FC8 0030	32
モジュールスタンバイ制御レジスタ 1	MSTPCR1	R/W	H'FFC8 0034	H'1FC8 0034	32
モジュールスタンバイ制御レジスタ 3	MSTPCR3	R/W	H'FFC8 003C	H'1FC8 003C	32
モジュールスタンバイステータスレジスタ 1	MSTPSR1	R	H'FFC8 0044	H'1FC8 0044	32
モジュールスタンバイステータスレジスタ 3	MSTPSR3	R	H'FFC8 004C	H'1FC8 004C	32
モジュールスタンバイステータスレジスタ 4	MSTPSR4	R	H'FFC8 0048	H'1FC8 0048	32
モジュールスタンバイ制御レジスタ 4	MSTPCR4	R/W	H'FFC8 0050	H'1FC8 0050	32
モジュールスタンバイ制御レジスタ 5	MSTPCR5	R/W	H'FFC8 0054	H'1FC8 0054	32
スタンバイコントロールレジスタ	STBCR	R/W	H'FFC8 0020	H'1FC8 0020	32
保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'FFC7 F000	H'1FC7 F000	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'FFC7 F002	H'1FC7 F002	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'FFC7 F004	H'1FC7 F004	16
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	R/W	H'FFC7 F006	H'1FC7 F006	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/(W)*	H'FFC7 F008	H'1FC7 F008	16
保持 RAM ブートアドレスレジスタ	HIAR	R/W	H'FFC7 F012	H'1FC7 F012	16
エリア 0 ブートアドレスレジスタ Low	BARL	R/W	H'FFC7 F014	H'1FC7 F014	16
エリア 0 ブートアドレスレジスタ High	BARH	R/W	H'FFC7 F016	H'1FC7 F016	16

【注】 * DSFR 以外のレジスタは、ディープスタンバイからの復帰時に初期化されます。

表 9.3 各処理モードにおけるレジスタの状態

略称	初期値	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
MSTPCR0	H'0000 0000	初期化	保持	保持	保持	—	初期化
MSTPCR1	H'0000 C3C9	初期化	保持	保持	保持	—	初期化
MSTPCR3	H'C0FF B013	初期化	保持	保持	保持	—	初期化
MSTPSR1	H'0080 C3C9	初期化	保持	保持	保持	—	初期化
MSTPSR3	H'C0FF B013	初期化	保持	保持	保持	—	初期化
MSTPSR4	H'0000 0028	初期化	保持	保持	保持	—	初期化
MSTPCR4	H'0000 0028	初期化	保持	保持	保持	—	初期化
MSTPCR5	H'0000 0004	初期化	保持	保持	保持	—	初期化
STBCR	H'0000 0000	初期化	保持	保持	保持	—	初期化
RRAMKP	H'00	初期化	保持	保持	保持	—	初期化
DSCTR	H'00	初期化	保持	保持	保持	—	初期化
DSSSR	H'0000	初期化	保持	保持	保持	—	初期化
DSESR	H'0000	初期化	保持	保持	保持	—	初期化
DSFR	H'0000	初期化 ^{*1}	保持 ^{*2}	保持	保持	—	保持
HIAR	H'0000	初期化	保持	保持	保持	—	初期化
BARL	H'0000	初期化	保持	保持	保持	—	初期化
BARH	H'0000	初期化	保持	保持	保持	—	初期化

【注】 上記アドレス以外への書き込みは行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

*1 端子状態保持を解除します。

*2 端子状態保持を継続します。

9.3.1 モジュールスタンバイ制御レジスタ 0 (MSTPCR0)

本レジスタのビットを操作する場合、対象となるモジュールが動作中でないことを確認してください。対象となるモジュールが動作中に本レジスタのビットを操作した場合のモジュール動作は保証できません。“1”はモジュール停止中。“0”はモジュール動作中。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MSTP030	MSTP029	—	—	MSTP026	MSTP025	MSTP024	MSTP023	MSTP022	MSTP021	—	MSTP019	—	—	MSTP016
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP015	MSTP014	—	MSTP012	MSTP011	MSTP010	MSTP009	MSTP008	MSTP007	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	MSTP030	0	R/W	IIC3_0のクロック停止
29	MSTP029	0	R/W	IIC3_1のクロック停止
28、27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	MSTP026	0	R/W	SCIF0のクロック停止
25	MSTP025	0	R/W	SCIF1のクロック停止
24	MSTP024	0	R/W	SCIF2のクロック停止
23	MSTP023	0	R/W	SCIF3のクロック停止
22	MSTP022	0	R/W	SCIF4のクロック停止
21	MSTP021	0	R/W	SCIF5のクロック停止
20	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19	MSTP019	0	R/W	HSCIFのクロック停止
18、17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	MSTP016	0	R/W	TIMER0のクロック停止
15	MSTP015	0	R/W	TIMER1のクロック停止
14	MSTP014	0	R/W	TIMER2のクロック停止

ビット	ビット名	初期値	R/W	説明
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	MSTP012	0	R/W	SSI0のクロック停止
11	MSTP011	0	R/W	SSI1のクロック停止
10	MSTP010	0	R/W	SSI2のクロック停止
9	MSTP009	0	R/W	SSI3のクロック停止
8	MSTP008	0	R/W	SSSのクロック停止
7	MSTP007	0	R/W	HSPIのクロック停止
6~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 リザーブビットは初期値を変更しないようにターゲットのビットだけ変更するようにしてください。(Read Modify Write)

- * このビットを操作する場合、対象となるモジュールが動作中でないことを確認してください。対象となるモジュールが動作中にこのビットを操作した場合のモジュール動作は保証できません。

9.3.2 モジュールスタンバイ制御レジスタ 1 (MSTPCR1)

本レジスタはモジュールへの停止要求をするレジスタです。停止したことの確認はモジュールスタンバイステータスレジスタ1の対象モジュールビットが停止した状態になっていることで確認できます。“1”はモジュールスタンバイ要求。“0”はモジュール動作要求。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP 115	MSTP 114	—	—	MSTP 111	—	MSTP 109	MSTP 108	MSTP 107	MSTP 106	—	—	MSTP 103	—	—	MSTP 100
初期値:	1	1	0	0	0	0	1	1	1	1	0	0	1	0	0	1
R/W:	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	MSTP115	1	R/W	ADMACのモジュールスタンバイ制御
14	MSTP114	1	R/W	GETHERのモジュールスタンバイ制御
13, 12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	MSTP111	0	R/W	DMACのモジュールスタンバイ制御

ビット	ビット名	初期値	R/W	説明
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	MSTP109	1	R/W	ビデオ入力1のモジュールスタンバイ制御
8	MSTP108	1	R/W	ビデオ入力0のモジュールスタンバイ制御
7	MSTP107	1	R/W	R-GPVGのモジュールスタンバイ制御
6	MSTP106	1	R/W	2DGのモジュールスタンバイ制御
5, 4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	MSTP103	1	R/W	表示のモジュールスタンバイ制御
2, 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSTP100	1	R/W	USBのモジュールスタンバイ制御

【注】 リザーブビットは初期値を変更しないようにターゲットのビットだけ変更するようにしてください。(Read Modify Write)

9.3.3 モジュールスタンバイ制御レジスタ 3 (MSTPCR3)

このビットを操作する場合、対象となるモジュールが動作中でないことを確認してください。対象となるモジュールが動作中にこのビットを操作した場合のモジュール動作は保証できません。“1”はモジュール停止中。“0”はモジュール動作中。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSTP 331	MSTP 330	—	—	—	—	—	—	MSTP 323	MSTP 322	MSTP 321	MSTP 320	MSTP 319	MSTP 318	MSTP 317	MSTP 316
初期値:	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP 315	MSTP 314	MSTP 313	MSTP 312	—	—	—	—	—	—	—	MSTP 304	MSTP 303	MSTP 302	MSTP 301	MSTP 300
初期値:	1	0	1	1	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MSTP331	1	R/W	MMCのクロック停止
30	MSTP330	1	R/W	MIMLBのクロック停止
29~24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	MSTP323	1	R/W	SDHI0のクロック停止
22	MSTP322	1	R/W	SDHI1のクロック停止
21	MSTP321	1	R/W	SDHI2のクロック停止

ビット	ビット名	初期値	R/W	説明
20	MSTP320	1	R/W	RQSPI のクロック停止
19	MSTP319	1	R/W	SRC0 のクロック停止
18	MSTP318	1	R/W	SRC1 のクロック停止
17	MSTP317	1	R/W	RSPI のクロック停止
16	MSTP316	1	R/W	RCAN0 のクロック停止
15	MSTP315	1	R/W	RCAN1 のクロック停止
14	MSTP314	0	R/W	FLTCL のクロック停止
13	MSTP313	1	R/W	ADC のクロック停止
12	MSTP312	1	R/W	MTU のクロック停止
11~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MSTP304	1	R/W	IEBus のクロック停止
3	MSTP303	0	R/W	RTC のクロック停止 【注】 内部の RTC へ供給されるクロックを停止する機能です。 外部クロックの停止はお客様のシステム上で実装してください。
2	MSTP302	0	R/W	HIF のクロック停止
1	MSTP301	1	R/W	STIF0 のクロック停止
0	MSTP300	1	R/W	STIF1 のクロック停止

【注】 リザーブビットは初期値を変更しないようにターゲットのビットだけ変更するようにしてください。(Read Modify Write)

9.3.4 モジュールスタンバイ制御レジスタ 4 (MSTPCR4)

本レジスタはモジュールへの停止要求をするレジスタです。停止したことの確認はモジュールスタンバイステータスレジスタ 1 の対象モジュールビットが停止した状態になっていることで確認できます。“1”はモジュールスタンバイ要求。“0”はモジュール動作要求。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSTP 405	—	MSTP 403	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSTP405	1	R/W	LCDC のクロック停止

ビット	ビット名	初期値	R/W	説明
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	MSTP403	1	R/W	LMBのクロック停止
2~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 リザーブビットは初期値を変更しないようにターゲットのビットだけ変更するようにしてください。(Read Modify Write)

9.3.5 モジュールスタンバイ制御レジスタ 5 (MSTPCR5)

このビットを操作する場合、対象となるモジュールが動作中でないことを確認してください。対象となるモジュールが動作中にこのビットを操作した場合のモジュール動作は保証できません。“1”はモジュール停止中。“0”はモジュール動作中。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP502	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	MSTP502	1	R/W	VEU3F0のクロック停止
1, 0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 リザーブビットは初期値を変更しないようにターゲットのビットだけ変更するようにしてください。(Read Modify Write)

9.3.6 モジュールスタンバイステータスレジスタ 1 (MSTPSR1)

モジュールの動作状態を表示。“1”はスタンバイ状態。“0”は動作状態。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	STBY 120	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STBY 115	STBY 114	—	—	STBY 111	—	STBY 109	STBY 108	STBY 107	STBY 106	—	—	STBY 103	—	—	STBY 100
初期値:	1	1	0	0	0	0	1	1	1	1	0	0	1	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
20	STBY120	0	R	TMUのモジュール動作状態表示 (TMU0、1、2の全チャンネル、および、TMUの内部バスインタフェースがスタンバイ状態のとき、1を表示)
19~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
15	STBY115	1	R	ADMACのモジュール動作状態表示
14	STBY114	1	R	GETHERのモジュール動作状態表示
13、12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
11	STBY111	0	R	DMACのモジュール動作状態表示
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	STBY109	1	R	VIN1のモジュール動作状態表示
8	STBY108	1	R	VIN0のモジュール動作状態表示
7	STBY107	1	R	R-GPVGのモジュール動作状態表示
6	STBY106	1	R	2DGのモジュール動作状態表示
5、4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
3	STBY103	1	R	表示のモジュール動作状態表示
2、1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
0	STBY100	1	R	USBのモジュール動作状態表示

9.3.7 モジュールスタンバイステータスレジスタ 3 (MSTPSR3)

モジュールの動作状態を表示します。“1”はスタンバイ状態、“0”は動作状態です。SDHI0-2、RCAN0-1、STIF0-1以外のモジュールは、MSTPCR3の設定が各モジュールのクロック動作/停止状態に直ちに反映されるので、MSTPSR3にはMSTPCR3の設定値がそのまま反映されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STBY 331	STBY 330	—	—	—	—	—	—	STBY 323	STBY 322	STBY 321	STBY 320	STBY 319	STBY 318	STBY 317	STBY 316
初期値:	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STBY 315	STBY 314	STBY 313	STBY 312	—	—	—	—	—	—	—	STBY 304	STBY 303	STBY 302	STBY 301	STBY 300
初期値:	1	0	1	1	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	STBY331	1	R	MMCのモジュール動作状態表示
30	STBY330	1	R	MIMLBのモジュール動作状態表示
29~24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
23	STBY323	1	R	SDHI0のモジュール動作状態表示
22	STBY322	1	R	SDHI1のモジュール動作状態表示
21	STBY321	1	R	SDHI2のモジュール動作状態表示
20	STBY320	1	R	RQSPIのモジュール動作状態表示
19	STBY319	1	R	SRC0のモジュール動作状態表示
18	STBY318	1	R	SRC1のモジュール動作状態表示
17	STBY317	1	R	RSPIのモジュール動作状態表示
16	STBY316	1	R	RCAN0のモジュール動作状態表示
15	STBY315	1	R	RCAN1のモジュール動作状態表示
14	STBY314	0	R	FLTCLのモジュール動作状態表示
13	STBY313	1	R	ADCのモジュール動作状態表示
12	STBY312	1	R	MTUのモジュール動作状態表示
11~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
4	STBY304	1	R	IEBusのモジュール動作状態表示
3	STBY303	0	R	RTCのモジュール動作状態表示
2	STBY302	0	R	HIFのモジュール動作状態表示
1	STBY301	1	R	STIF0のモジュール動作状態表示
0	STBY300	1	R	STIF1のモジュール動作状態表示

9.3.8 モジュールスタンバイステータスレジスタ 4 (MSTPSR4)

モジュールの動作状態を表示。“1”はスタンバイ状態。“0”は動作状態。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	STBY 405	—	STBY 403	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
5	STBY405	1	R	LCDCのモジュール表示
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
3	STBY403	1	R	LMBのモジュール表示
2~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。

9.3.9 スタンバイコントロールレジスタ (STBCR)

STBCRは、読み出し/書き込み可能な32ビットのレジスタで、スリープ、ソフトウェアスタンバイ、ディープスタンバイの指定ができます。STBCRはロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	STBY	DEEP	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x : SLEEP 命令の実行で、スリープモードへ遷移 10 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11 : SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【記号説明】 x : Don't care

9.3.10 保持用内蔵 RAM 保持エリア指定レジスタ (RRAMKP)

RRAMKP は、読み出し/書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP ビットを 1 にセットすると、HIF-RAM の内容がディープスタンバイモード時に保持されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RRAM KP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RRAMKP	0	R/W	保持用内蔵 RAM 保持エリア 0 : ディープスタンバイモード時、保持用内蔵 RAM を保持しない 1 : ディープスタンバイモード時、保持用内蔵 RAM を保持する

9.3.11 ディープスタンバイコントロールレジスタ (DSCTR)

DSCTR は、読み出し/書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際の、外部メモリ制御端子の状態と起動方法を制御します。

ビット:	7	6	5	4	3	2	1	0
	EBUS KEEPE	RAM BOOT	CKO KEEPE	PRSTO KEEPE	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EBUSKEEPE	0	R/W	外部メモリ制御端子状態保持 0: ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持しない 1: ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を IOKEEP クリアまで保持する*
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイから復帰後の起動方法を選択します。 0: リセット時に設定したブートモードに従います。 1: 保持用内蔵 RAM からプログラムを読み出します (保持 RAM ブート)。 プログラムカウンタ値 (PC) : HIF-RAM 先頭番地 + HIAR
5	CKOKEEPE	0	R/W	CLKOUT 端子状態保持 0: ディープスタンバイモードから復帰時、CLKOUT 端子の状態を保持しない 1: ディープスタンバイモードから復帰時、CLKOUT 端子の状態を IOKEEP クリアまで保持する
4	PRSTOKEEP E	0	R/W	PRESETOUT#端子状態保持 0: ディープスタンバイモードから復帰時、PRESETOUT#端子の状態を保持しない 1: ディープスタンバイモードから復帰時、PRESETOUT#端子の状態を IOKEEP クリアまで保持する
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * DDR2-SDRAM/DDR3-SDRAM 端子の状態保持は DDR-PHY 部により行われます。ディープスタンバイ復帰後の DDR2-SDRAM/DDR3-SDRAM の初期化については「第 4 章 メモリコントローラ (DBSC3)」を参照してください。

9.3.12 ディープスタンバイ解除要因セレクトレジスタ (DSSSR)

DSSSR は、読み出し/書き込み可能な 16 ビットのレジスタで、ディープスタンバイの解除要因を選択できます。

DSSSR はワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GET	—	RTCAR	—	—	IRQ3	IRQ2	IRQ1	IRQ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	GET	0	R/W	<p>GETHER の Magic Packet 検出で解除</p> <p>0 : GETHER の Magic Packet 検出で解除しない</p> <p>1 : GETHER の Magic Packet 検出で解除する</p> <p>【注】 ディープスタンバイ遷移時に本ビットが 1 の場合、GETHER の電源が ON のままとなり、待機電流が増加します。ディープスタンバイ状態で GETHER の電源を ON にする必要が無い場合は本ビットを 0 に設定してください。</p> <p>また、使用可能な機能ピンに関しては「9.4.3 (8) GETHER の Magic Packet 検出割り込みによるディープスタンバイからの復帰の注意事項」を参照してください。</p>
7	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6	RTCAR	0	R/W	<p>リアルタイムクロックのアラーム割り込みで解除</p> <p>0 : リアルタイムクロックのアラーム割り込みで解除しない</p> <p>1 : リアルタイムクロックのアラーム割り込みで解除する</p>
5、4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	IRQ3	0	R/W	<p>IRQ3 の変化で解除</p> <p>0 : IRQ3 の変化で解除しない</p> <p>1 : IRQ3 の変化で解除する</p> <p>【注】 CAN0_RX_A、CAN1_RX_A を IRQ0、IRQ1 として使用する場合、IRQ3 を復帰要因として使用することはできません。</p>
2	IRQ2	0	R/W	<p>IRQ2 の変化で解除</p> <p>0 : IRQ2 の変化で解除しない</p> <p>1 : IRQ2 の変化で解除する</p> <p>【注】 CAN0_RX_A、CAN1_RX_A を IRQ0、IRQ1 として使用する場合、IRQ2 を復帰要因として使用することはできません。</p>
1	IRQ1	0	R/W	<p>IRQ1 の変化で解除</p> <p>0 : IRQ1 の変化で解除しない</p> <p>1 : IRQ1 の変化で解除する</p> <p>【注】 CAN1_RX_A を IRQ1 として使用する場合、PFC を IRQ1_B として使用するよう設定してください。</p>
0	IRQ0	0	R/W	<p>IRQ0 の変化で解除</p> <p>0 : IRQ0 の変化で解除しない</p> <p>1 : IRQ0 の変化で解除する</p> <p>【注】 CAN0_RX_A を IRQ0 として使用する場合、PFC を IRQ0_B として使用するよう設定してください。</p>

9.3.13 ディープスタンバイ解除エッジセレクトレジスタ (DSESR)

DSESR は、読み出し/書き込み可能な 16 ビットのレジスタで、ディープスタンバイ解除要因の機能ピンの立ち上がりエッジ検出、立ち下がりエッジ検出の選択を行うことができます。DSESR はワードアクセスのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	NMIE	—	—	—	—	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジ検出 0 : NMI の立ち下がりエッジで検出する 1 : NMI の立ち上がりエッジで検出する
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	IRQ3E	0	R/W	IRQ3 エッジ検出 0 : IRQ3 の立ち下がりエッジで検出する 1 : IRQ3 の立ち上がりエッジで検出する
2	IRQ2E	0	R/W	IRQ2 エッジ検出 0 : IRQ2 の立ち下がりエッジで検出する 1 : IRQ2 の立ち上がりエッジで検出する
1	IRQ1E	0	R/W	IRQ1 エッジ検出 0 : IRQ1 の立ち下がりエッジで検出する 1 : IRQ1 の立ち上がりエッジで検出する
0	IRQ0E	0	R/W	IRQ0 エッジ検出 0 : IRQ0 の立ち下がりエッジで検出する 1 : IRQ0 の立ち上がりエッジで検出する

9.3.14 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの要因で解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み (NMI、リアルタイムクロックのアラーム割り込み) および解除用端子の変化により解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	—	—	—	—	—	GETF	NMIF	—	RTC ARF	—	—	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R	R	R	R	R	R/(W)*	R/(W)*	R	R/(W)*	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	IOKEEP	0	R/(W)*	端子状態保持解除 ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0: 端子状態を保持していない [クリア条件] • 1 リード後の 0 ライト 1: 端子状態を保持している [セット条件] • ディープスタンバイモードに遷移したとき
14~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	GETF	0	R/(W)*	GETHER フラグ 0: GETHER Magic Packet 検出なし 1: GETHER Magic Packet 検出あり
8	NMIF	0	R/(W)*	NMI フラグ 0: NMI 端子に割り込みなし 1: NMI 端子に割り込みあり
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RTCARF	0	R/(W)*	RTCAR フラグ 0: リアルタイムクロックのアラーム割り込みなし 1: リアルタイムクロックのアラーム割り込みあり
5, 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3	IRQ3F	0	R/(W)*	IRQ3 端子フラグ 0: IRQ3 端子変化なし 1: IRQ3 端子変化あり
2	IRQ2F	0	R/(W)*	IRQ2 端子フラグ 0: IRQ2 端子変化なし 1: IRQ2 端子変化あり
1	IRQ1F	0	R/(W)*	IRQ1 端子フラグ 0: IRQ1 端子変化なし 1: IRQ1 端子変化あり
0	IRQ0F	0	R/(W)*	IRQ0 端子フラグ 0: IRQ0 端子変化なし 1: IRQ0 端子変化あり

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

9.3.15 HIF-RAM 復帰時アドレスレジスタ (HIAR)

本レジスタはディープスタンバイからの復帰後、保持 RAM 復帰 (RRAMKP に 1 を書き込み) として HIF-RAM からのブートを行う場合のエリア先頭番地からのオフセット値を設定します。本レジスタはワードアクセスのみ可能です。本レジスタは、ディープスタンバイからの復帰後に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	HIAR[10]	HIAR[9]	HIAR[8]	HIAR[7]	HIAR[6]	HIAR[5]	HIAR[4]	HIAR[3]	HIAR[2]	HIAR[1]	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~1	HIAR[10:1]	すべて0	R/W	ディープスタンバイ復帰後のブート開始アドレスのオフセット 10~1 ビット目の値を指定します。保持 RAM ブートを行わない場合、本レジスタの設定は無効となります。
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

9.3.16 ブートアドレスレジスタ (BARL)

BARL はディープスタンバイからの復帰後、ブートを開始するアドレスのエリアの先頭番地からのオフセット値の下位 16 ビットを設定します。本レジスタは、CS0 からのブートをを行う場合のエリア先頭番地からのオフセット値を設定します。本レジスタは、ディープスタンバイからの復帰時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR[15]	BAR[14]	BAR[13]	BAR[12]	BAR[11]	BAR[10]	BAR[9]	BAR[8]	BAR[7]	BAR[6]	BAR[5]	BAR[4]	BAR[3]	BAR[2]	BAR[1]	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15~1	BAR[15:1]	すべて 0	R/W	ディープスタンバイ復帰後のブート開始アドレスのオフセット 15~1 ビット目の値を指定します。保持 RAM ブートまたは、CS0 以外の外部デバイスからブートを開始する場合、本レジスタの設定は無効となります。
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3.17 ブートアドレスレジスタ (BARH)

BARH はディープスタンバイからの復帰後、ブートを開始するアドレスのエリアの先頭番地からのオフセット値の上位 16 ビットを設定します。本レジスタは、CS0 からのブートをを行う場合のエリア先頭番地からのオフセット値を設定します。本レジスタは、ディープスタンバイからの復帰時に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BAR[23]	BAR[22]	BAR[21]	BAR[20]	BAR[19]	BAR[18]	BAR[17]	BAR[16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	BAR[23:16]	すべて 0	R/W	ディープスタンバイ復帰後 CS0 からブートを開始する場合の、アドレスオフセット 23~16 ビット目の値を指定します。保持 RAM ブートまたは、CS0 以外の外部デバイスからブートを開始する場合、本レジスタの設定は無効となります。

9.4 動作説明

9.4.1 スリープモード

(1) スリープモードへの遷移

STBCR1 の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。外部バスクロック (CLKOUT) および DDR クロック (MCK0/MCK0#) のクロック出力は続行されます。スリープモード時は CPU ターゲットアクセスも可能です。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、DMA アドレスエラー、およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

9.4.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。外部バスクロック (CLKOUT) および DDR クロック (MCK0/MCK0#) のクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は各モジュールのレジスタ一覧表を参照してください。

また、CPU は、1 サイクルで STBCR への書き込みを完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTCSRのTMEビットに0を書き込んで、ウォッチドッグタイマ (WDT) を停止します。
2. WDTBSTに、PLL回路の発振安定後に本LSIが動作を再開するまでの時間を設定します。H'55000001を書き込んだときに最小で、H'55000000を書き込んだときに最大となります。
3. STBCRレジスタのSTBYビットに1、DEEPビットに0を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (パワーオンリセット) により解除されます。外部バスクロック (CLKOUT) および DDR クロック (MCK0/MCK0#) が出力されます。

• 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラの割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ3~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントロールレジスタ1 (ICR1) のIRQ_nセンスセレクトビット (IRQ_nIS ~IRQ_nOS) で選択) が検出されると*、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (ウォッチドッグタイマ) にだけ供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理 (IRQの場合、IRQ割り込み例外処理) が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CLKOUT端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイモード解除時 (発振安定後のクロック起動時) のNMI端子のレベルがハイレベルになるようにしてください (IRQ端子の場合も同様です)。

【注】 * ICR0のIRLM0の設定値にかかわらず、独立した割り込み入力として解除を検出します。

• リセットによる解除

PRESET#端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後PRESET#端子をハイレベルにするとパワーオンリセット例外処理が開始されます。

PRESET#端子は、クロックの発振が安定するまでローレベルを保持してください。

CLKOUT端子には、内部のクロックが出力され続けます。

9.4.3 ディープスタンバイモード

(1) ディープスタンバイモードへの遷移

STBCR の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけでなく、RRAMKP レジスタの RRAMKP ビットの設定により保持となる保持用内蔵 RAM (HIF-RAM) エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態は一部のアナログ機能ピンおよび ET0_GTX_CLK 出力を除き、ディープスタンバイモードに遷移する直前の値を保持することができます。

また、CPU は、1 サイクルで STBCR への書き込みを完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 9.2 に示します。

1. 保持用内蔵RAMエリアを保持する必要がある場合、RRAMKPレジスタのRRAMKPビットを設定し、保持用内蔵RAMエリアに保持したいプログラムを転送します。
2. ディープスタンバイモードから復帰するときの起動方法と外部メモリ制御端子状態保持を、DSCTRレジスタのEBUSKEEPEビットとRAMBOOTビットで設定します。
3. ディープスタンバイモードを割り込みで解除する場合、どの端子またはどの条件で解除するかDSSSRの該当ビットを設定します。このとき解除する端子の入力信号検出モードをDSESRの該当ビットで設定します。
4. 保持する保持用内蔵RAMの各ページに対し、任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが保持用内蔵RAMに書き込まれない可能性があります。以後、保持用内蔵RAMへのライトがある場合には、最後の保持用内蔵RAMライト後に、本処理を実行してください。
5. STBCRレジスタのSTBYビットとDEEPビットに1を設定します。
6. DSFRレジスタのフラグをクリアした後に、DSFRレジスタを読み出します。その後、SLEEP命令を実行します。

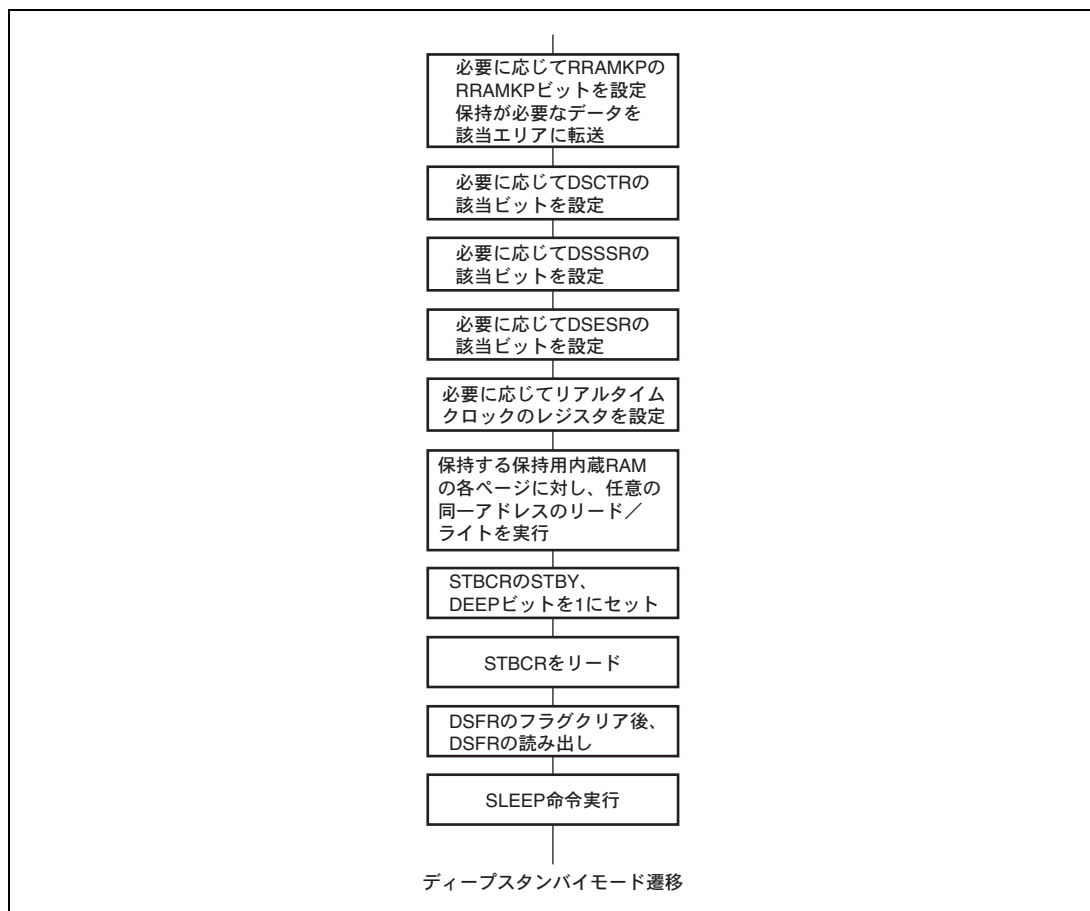


図 9.2 ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックのアラーム割り込み、GETHER の Magic Packet 検出割り込み）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。リアルタイムクロックのアラーム割り込み、および GETHER の Magic Packet 検出割り込みは、割り込み優先レベルおよび CPU のステータスレジスタ（SR）に関係なく、ディープスタンバイ解除要因として動作します。リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを図 9.3 に示します。

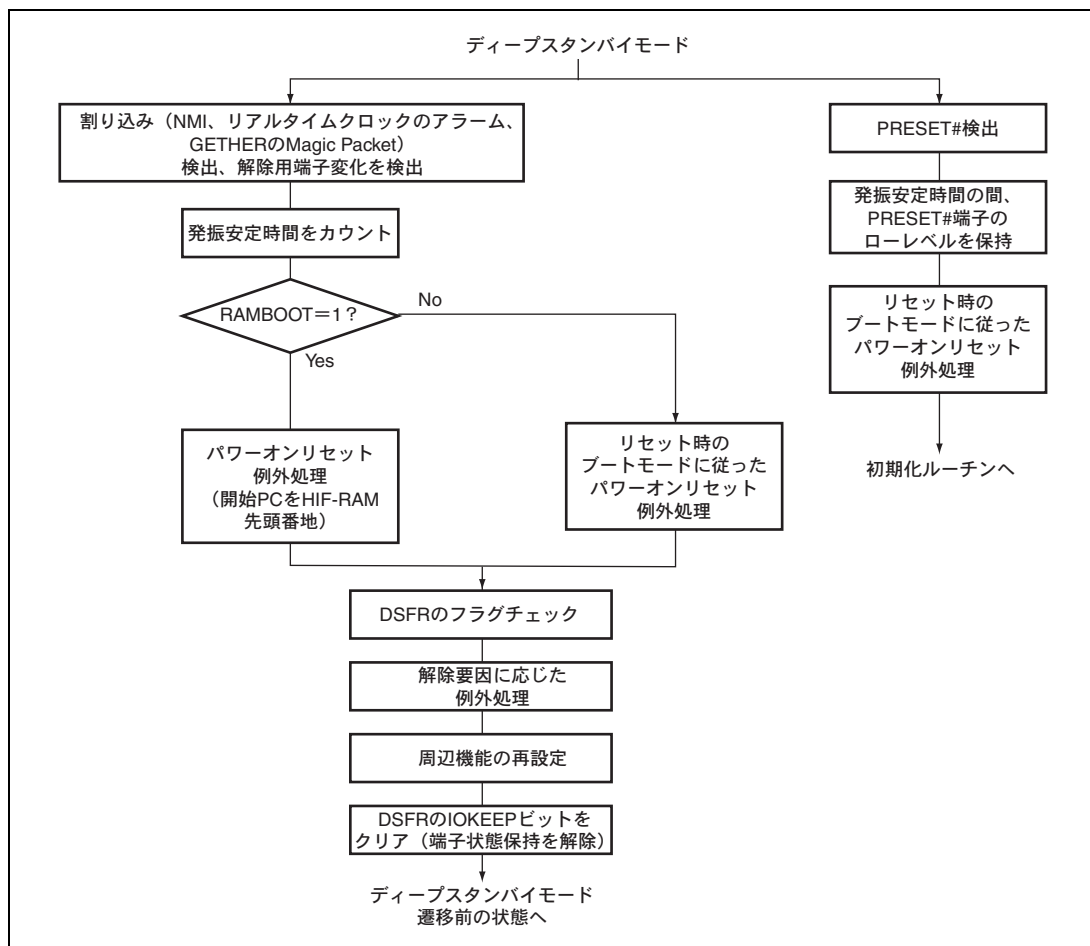


図 9.3 ディープスタンバイモード解除フロー

- リセット以外による解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（DSESRの該当ビットで選択）、解除用端子の立ち下がりエッジまたは立ち上がりエッジ（DSESRの該当ビットで選択）が検出されるか、リアルタイムクロックのアラーム割り込み（設定方法の詳細は「第26章 リアルタイムクロック」の「26.4.4 アラーム機能」を参照してください）が発生すると、電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。

解除要因の検出直後からディープスタンバイモードが解除されるまでの間には、CLKOUT端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがハイレベルに、かつディープスタンバイモード解除時（発振安定後のクロック起動時）のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがローレベルに、かつディープスタンバイモード解除時（発振安定後のクロック起動時）のNMI端子のレベルがハイレベルになるようにしてください（解除用端子の場合も同様です）。CKOKEEPE=1に設定している場合は、ディープスタンバイ遷移のためにSLEEP命令を発行してから1[ms]はNMI、IRQをネゲート状態にし、NMI、IRQアサート維持を1[ms]以上としてください。

- リセットによる解除

PRESET#端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に移り、その後PRESET#端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CLKOUT端子には、PRESET#端子をローレベルにすると内部のクロックが出力され始めます。

PRESET#端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ディープスタンバイモード解除後の動作

DSCTRレジスタのRAMBOOTビット設定により外部メモリ起動か内保持用蔵RAM起動かを選択することができます。EBUSKEEPEビットの設定によりブートモードによらずディープスタンバイモード解除後も外部メモリ制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を表9.4に示します。外部メモリ制御端子一覧を表9.5に示します。

表 9.4 DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

EBUSKEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部メモリ	外部メモリ制御端子は保持しない。 その他の端子はIOKEEP ビットクリア時に端子保持解除。
0	1	保持用内蔵 RAM	CS0 ブートの場合、外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子はIOKEEP ビットクリア時に端子保持解除。
1	0	—	設定禁止
1	1	保持用内蔵 RAM	外部メモリ制御端子は保持する。 外部メモリ制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 9.5 外部メモリ制御端子一覧

CS0 ブート (CS0 空間)	NAND フラッシュ ブート (NAND フラッシュ メモリ)	シリアルブート (シリアルフラッシュ メモリ)	MMC ブート (MMC フラッシュ メモリ)	eSD ブート (eSD デバイス)
A[23:0] D[15:0] BS#, CS0#, RD#	NAF[7:0] FRE#, FCLE, FALE, FEW#, FCE#, FRB	RSPCK, SSL, MOSI, MISO	MMC_D[7:0] MMC_CLK, MMC_CMD	SD0_CLK SD0_CMD, SD0_DAT[3:0] SD0_WP, SD0_CD

ディープスタンバイモードが、割り込み (NMI、リアルタイムクロックのアラーム)、解除用端子の変化により解除された場合、どの要因で解除されたのかをディープスタンバイ解除要因フラグレジスタ (DSFR) により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部メモリ起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。PRESET#=L 時に NAND フラッシュブート、シリアルブート、MMC ブート、eSD ブートのいずれかに設定した場合、保持用内蔵 RAM 起動モード (保持 RAM ブート) 時はディープスタンバイモード解除後、外部メモリ制御端子も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。PRESET#=L 時に HIF ブートに設定し起動した後、ディープスタンバイから復帰した場合も同様に、外部メモリ制御端子は、DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。

ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、クロックパルス発振器、割り込みコントローラ、汎用入出力ポート、周辺モジュール等の状態保持が解除されディープスタンバイモード遷移前の状態になります。

(4) ディープスタンバイモード遷移時の注意事項

ディープスタンバイモード設定後の割り込みは、ディープスタンバイ解除要因セレクトレジスタで設定した以外の割り込みはマスクされます。ディープスタンバイ解除要因セレクトレジスタで設定した割り込みのみ受け付けますが、解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされることとなります。

また、ディープスタンバイモード遷移の SLEEP 命令と NMI、IRQ の割り込みおよびマニュアルリセットが同時に発生すると、割り込みを受けてディープスタンバイモードが解除される場合があります。

ディープスタンバイ復帰後の電源・PLL 安定待ち時間は EXTAL をカウントすることによって確保されます。そのためディープスタンバイ遷移後も EXTAL は動作させるようにしてください。

ブートで使用する機能ピンに対する PFC の設定をブートモジュール以外のモジュールに選択した場合、ディープスタンバイ遷移前にブートモジュールを選択する設定にしてください。

(5) ディープスタンバイ時 HIF-RAM 使用の注意事項

RAMBOOT を 0 に設定した状態で、ディープスタンバイ遷移を行った場合、HIF-RAM 電源は OFF されるため外部デバイスからの HIF-RAM への書き込みはできなくなります。また、RRAMKP を 1 に設定した状態の場合、HIF-RAM 電源は ON 状態を維持しますがクロック供給を停止するため RRAMKP を 0 に設定した状態と同様に HIF-RAM への書き込みは行えなくなります。

HIF を使用して外部から HIF-RAM への書き込みを行う設定でディープスタンバイを行う場合、以下の手順でディープスタンバイ遷移・復帰を行ってください。

1. HIFRDYCR の MASK ビット*に 1 ライトを行い、HIFRDY をマスク状態にする
2. HIFRDYCR の MASK ビットから 1 リードを行い、HIFRDY がマスク状態であることを確認
3. 図 9.2 の処理を行い、ディープスタンバイモードに遷移。1.、2. の処理によりディープスタンバイ中 HIFRDY がマスク状態で固定されます。
4. IOKEEP クリア後の機能ピンの状態を、HIFRDY をマスク状態にするため、HIFRDY ディープスタンバイ復帰後、HIFRDYCR の MASK ビットに 1 ライト、1 リードを行う
5. 図 9.3 の処理を行い、ディープスタンバイモードを解除
6. HIFRDYCR の MASK ビットに 0 ライトを行い、HIFRDY をアクセス可能状態にし、外部デバイスから、HIF-RAM への書き込みを行う。

また、HIF ブートで起動する場合、保持 RAM ブート (RAMBOOT を 1 に設定) は行わないでください。

【注】 * HIFRDYCR の MASK ビットの機能については、「第 21 章 ホストインタフェース (HIF)」の「21.4.12 HIFRDY コントロールレジスタ (HIFRDYCR)」を参照してください。

(6) ユーザデバッグモード使用時のディープスタンバイ注意事項

ASE モード等のユーザデバッグモードを使用した状態で、ディープスタンバイ遷移を実行した場合、スタンバイ状態に遷移しますが、デバッグ機能を使用可能にしておくため、内部電源は ON 状態を維持します。

(7) ディープスタンバイ復帰後の注意事項

ディープスタンバイ復帰後、IOKEEP クリアを行った場合、周辺機能から出力される信号が完全な波形とはならず、途中で切り替わる可能性があります。また、CKOKEEPE=1 の設定時の CLKOUT も同様に、ディープスタンバイ復帰後、IOKEEP クリアを行った場合、信号が完全な波形とはならず、途中で切り替わる可能性があります。

CLKOUT を生成している内蔵 PLL は、ディープスタンバイ復帰直後に発振を開始し、リセット解除前までに発振が安定します。CKOKEEPE=0 の設定のとき、リセット期間中、一時、発振安定前の波形が CLKOUT から出力されます。

(8) GETHER の Magic Packet 検出割り込みによるディープスタンバイからの復帰の注意事項

本 LSI は GETHER (制御系) を GroupB# に選択することによって、GETHER の Magic Packet 検出割り込みを受け付け GETF ビットへ送る機構が ON 状態になり、割り込み発生によりディープスタンバイからの復帰を行うことが可能となります。また、Packet データの受信は GMII GroupB# か MII GroupB#、または RMII GroupA# を選択することで可能となります。

GETHER の Magic Packet 検出割り込み信号は、ディープスタンバイ復帰時にかかるリセットにより自動的に初期化されます。そのため、GETHER の Magic Packet 検出割り込みが他のディープスタンバイ復帰要因と競合した場合、Magic Packet 検出割り込み受け付け前にリセットが入り GETF に 1 が書き込まれなくなることがあります。同様に、機能ピン上の ET0_MAGIC の状態もリセットにより Magic Packet 検出時もローレベルを示すことがあります。そのため、ディープスタンバイ復帰後、汎用 IO ポート機能などを用いて必要な期間 ET0_MAGIC ハイレベル状態を確保する必要があります。

9.4.4 モジュールスタンバイ機能

特定のモジュールのクロックを停止します。なお、モジュールスタンバイ機能にてクロック停止／復帰する場合は、各モジュールのクロック停止／復帰手順を参照してください。

(1) モジュールスタンバイ制御レジスタ 0 (MSTPCR0)

本レジスタは、パワーダウン制御信号を持たないモジュールの制御レジスタです。

したがって、本レジスタにてクロック停止／復帰を行うとモジュールの状態に無関係にクロックが制御されません。

(2) モジュールスタンバイ制御レジスタ 1 (MSTPCR1)

本レジスタは、パワーダウン制御信号を持つモジュールの制御レジスタです。

したがって、本レジスタにてクロック停止を行うと、まずパワーダウン手順にてモジュールを停止させてからクロックを停止します。クロック復帰を行うと、クロックを供給してからパワーダウン解除を行いモジュール復帰させます。

(3) モジュールスタンバイ制御レジスタ 3 (MSTPCR3)

本レジスタは、パワーダウン制御信号を持たないモジュールの制御レジスタです。

したがって、本レジスタにてクロック停止／復帰を行うとモジュールの状態に無関係にクロックが制御されません。

(4) モジュールスタンバイ制御レジスタ 4 (MSTPCR4)

本レジスタは、パワーダウン制御信号を持つモジュールの制御レジスタです。

したがって、本レジスタにてクロック停止を行うと、まずパワーダウン手順にてモジュールを停止させてからクロックを停止します。クロック復帰を行うと、クロックを供給してからパワーダウン解除を行いモジュール復帰させます。

(5) モジュールスタンバイ制御レジスタ 5 (MSTPCR5)

本レジスタは、パワーダウン制御信号を持たないモジュールの制御レジスタです。

したがって、本レジスタにてクロック停止／復帰を行うとモジュールの状態に無関係にクロックが制御されません。

なお、モジュールのクロック停止中にマニュアルリセットを発行した場合表 9.6 に示すとおり、リセットが有効であるモジュールとリセットが有効でないモジュールがあるため、リセットが無効のモジュールを初期化する場合はクロックを復帰させてからリセットを発行してください。

表 9.6 モジュールスタンバイ中のマニュアルリセットの扱い

モジュールスタンバイ中、リセットは無効	モジュールスタンバイ中、リセットは有効
SCIF、HSCIF、TMU、SSI*、SSS*、HSPI*、ADMAC*、SHWY-DMAC、VIN0*、VIN1*、USB、MIMLB*、SRC、RCAN*、FLCTL、IEBus、HIF、LCDC*、LMB*、VEU3F0*	IIC3、DU、MMC、SDHI、RQSPI、RSPI、ADC、MTU、GPIO、RTC、STIF、PFC

【注】 * モジュールスタンバイ中にマニュアルリセットが発行された場合、モジュール内の回路が一部初期化されます。

(a) モジュールスタンバイモードへの遷移

モジュールスタンバイモードへ遷移する場合は、下記の各モジュールでの遷移手順を参照してください。

1. IIC3

- (1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP029-030ビット (各ビットはIIC3_1-0の各チャンネルに対応) を1にしてください。

2. SCIF

- (1) 現在進行中の、SCIFがサポートするシリアル通信を完了させます。完了確認方法は、送信時は、シリアルステータスレジスタの監視により、トランスミットFIFOデータレジスタにプットした送信データがシリアル通信端子へ送出されたことを確認します。受信時は、シリアルステータスレジスタの監視により、レシーブFIFOデータレジスタに格納されたシリアル通信端子からの受信データがポップされていることを確認します。
- (2) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP026-021ビット (各ビットはSCIF0-5の各チャンネルに対応) を1にしてください。

3. HSCIF

- (1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP019-018ビット (各ビットはHSCIF0-1の各チャンネルに対応) を1にしてください。

4. TIMER

- (1) タイマスタートレジスタへのビットセットにより、進行していた、タイマのカウント動作を停止させます。
- (2) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP016-14ビット (各ビットはTIMER0-2の各チャンネルに対応) を1にしてください。

5. SSI (0~3)

- (1) SSI0~SSI3のコントロールレジスタ (SSICR) のDMENビット、UIENビット、OIENビット、IENビット、DIENビット、ENビットはすべて0 (禁止状態) であることを確認してください。
- (2) SSI0~SSI3のステータスレジスタ (SSISR) のIDSTビットは1であることを確認してください。
- (3) SSI0~SSI3のTDMモードレジスタ (SSITDM) のCONTビットは0 (禁止状態) であることを確認してください。
- (4) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP009ビット~MSTP012ビットをすべて1にしてください。

【注】 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で設定してください。

6. SSS

- (1) SSSのインタフェースコントロールレジスタ (IFCTL) レジスタのSDOA_CTLビット、SDIA_CTLビット、SDOB_CTLビット、SDIB_CTLビットはすべて0であることを確認してください。
- (2) SSSのデータ転送方式設定レジスタ (TRDAT) レジスタのDMA_OBビット、DMA_OAビット、DMA_IBビット、DMA_IAビット、FCL_DMA_OBビット、FCL_DMA_OAビット、FCL_DMA_IBビット、FCL_DMA_IAビット、EVENT_OMASKAビット、EVENT_OMASKBビット、EVENT_IMASKAビット、EVENT_IMASKBビットはすべて0であることを確認してください。
- (3) SSSのFIFO動作イネーブルレジスタ (STFIFO) レジスタのST_OFIFORBビット、ST_OFIFORAビット、ST_IFIFORBビット、ST_IFIFORAビット、ST_OUTPBビット、ST_OUTPAビット、ST_INPBビット、ST_INPAビット、WT_OFIFORBビット、WT_OFIFORAビット、WT_IFIFORBビット、WT_IFIFORAビット、WT_OUTPBビット、WT_OUTPAビット、WT_INPBビット、WT_INPAビットはすべて0であることを確認してください。
- (4) SSSモジュールへのクロック供給を停止してください。
- (5) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP008ビットを1にしてください。

【注】 モジュールスタンバイモードへの遷移はSSSモジュールの動作完了後にSSSモジュールは停止状態であることを確認し、外部端子や他のモジュールからの起動要因もありえない状態で設定してください。もし、SSSモジュールの動作中にモジュールスタンバイ制御レジスタの制御ビットを操作した場合、動作は保証できません。

【注】 モジュールスタンバイモードへの遷移後は他のモジュールと外部端子へ悪影響が無いように設定してください。たとえば、DMAは起動しない、割込みは発生しない、外部端子の状態など考慮してください

7. SPI

- (1) すべてのデータ転送が行われたかを確認します。すなわち、トランスミットバッファ(またはFIFO)が空で、レシーブバッファ(またはFIFO)が空になるまで読み出されている必要があります。
- (2) すべての割り込み要求を禁止します。FIFOモードも無効にします。
- (3) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP007ビットを1にしてください。

8. ADMAC

- (1) ADMACのすべての動作が停止していることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP115ビットを1にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY115ビットが1になっていることを確認してください。

9. GETHER

- (1) 専用のダイレクトメモリアクセスコントローラ (E-DMAC) 転送が実行されていない状態で、モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP114ビットを1にしてください。
- (2) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY114ビットが1になっていることを確認してください。

10. DMAC

- (1) DMA転送が実行されていない状態で、モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP111ビットを1にしてください。
- (2) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY111ビットが1になっていることを確認してください。

11. VIN0

- (1) メインコントロールレジスタ (MC) のモジュールイネーブル (ME) ビットとフレームキャプチャレジスタ (FC) のコンティニアスキャプチャ (CC) ビットおよびシングルキャプチャ (SC) ビットを共に0にし、ビデオ入力モジュールを停止させます。
- (2) モジュールステータスレジスタ (MS) のキャプチャアクティブ (CA) ビットが0になったことを確認してください。
- (3) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP108ビットを1にしてください。
- (4) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY108ビットが1になっていることを確認してください。

12. VIN1

- (1) メインコントロールレジスタ (MC) のモジュールイネーブル (ME) ビットとフレームキャプチャレジスタ (FC) のコンティニアスキャプチャ (CC) ビットおよびシングルキャプチャ (SC) ビットを共に0にし、ビデオ入力モジュールを停止させます。
- (2) モジュールステータスレジスタ (MS) のキャプチャアクティブ (CA) ビットが0になったことを確認してください。
- (3) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP109ビットを1にしてください。
- (4) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY109ビットが1になっていることを確認してください。

13. R-GPVG

- (1) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP107ビットを1にしてください。
- (2) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY107ビットが1になっていることを確認してください。
- (3) モジュールリセットレジスタ1 (MRST1) のビット7を1にしてください (ビット7以外は必ず0を書き込んでください)。
- (4) Pφで100サイクル以上待ってください。
- (5) モジュールリセットレジスタ1 (MRST1) のビット7を0にしてください (ビット7以外も必ず0を書き込んでください)。

14. 2DG

- (1) 2DG動作時は現在実行中のディスプレイリストが終了しているか確認します。
- (2) ステータスレジスタ (SR) のトラップフラグ (TRA) が1になっていることを確認してください。
- (3) システムコントロールレジスタ (SCLR) のソフトウェアリセット (SRES)、レンダリングスタート (RS) =1、0にします。
- (4) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP106ビットを1にしてください。
- (5) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY106ビットが1になっていることを確認してください。

15. DU

- (1) DUシステム制御レジスタ (DSYSR) のDUイネーブル (DEN) =0、DUリセット (DRES) =0としてDUオフの設定を行います。
- (2) 次のVBKフラグを表示ステータスレジスタ (DSSR) のVBKビットで確認します (VBKのタイミングでDUオフが実行されるため)。モジュールスタンバイ解除後、表示同期動作を止めておきたい場合は、DUリセット (DRES) =1にしてください。
- (3) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP103ビットを1にしてください。
- (4) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY103ビットが1になっていることを確認してください。

16. USB

2port とも HOST の場合： (OHCI 制御と EHCI 制御の順番は前後しても問題ありません)

- (1) OHCI制御：HcControlレジスタのHost Controller Functional Stateフィールドを00に設定してください。
- (2) EHCI制御：USBCMDレジスタのAsynchronous Schedule Enableビットを0に設定してください。
- (3) EHCI制御：USBSTSレジスタのAsynchronous Schedule Statusビットが0になるのを確認してください。
- (4) EHCI制御：USBCMDレジスタのPeriodic Schedule Enableビットを0に設定してください。
- (5) EHCI制御：USBSTSレジスタのPeriodic Schedule Statusビットが0になるのを確認してください。
- (6) EHCI制御：USBCMDレジスタのRun/Stopビットを0に設定してください。
- (7) EHCI制御：USBSTSレジスタのHCHaltedビットが1になるのを確認してください。
- (8) 共通制御：PORT_CONTROL1レジスタのPHYRSTビットを1に設定してください。
- (9) 共通制御：MSTPCR1レジスタのMSTP100ビットを1に設定してください。
- (10) 共通制御：MSTPSR1レジスタのSTBY100ビットが1になるのを確認してください。

1port が FUNCTION の場合

- (1) 共通制御：PORT_CONTROL0レジスタのPORT1ビットを0に設定してください。
- (2) 以下2portともHOSTの場合と同じ手順を行ってください。

17. MMC

- (1) MMCカードのアクセスが行われていないことを確認してください。
- (2) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP331ビットを1にしてください。

18. MIMLB

- (1) MIMLBのMOSTコントロール1レジスタ (MOST_CONTROL1) の全ビットがすべて0 (転送停止) であること。
- (2) MIMLBのMOSTコントロール2レジスタ (MOST_CONTROL2) のmlb_enableビットが0 (MediaLBと未接続) であること。
- (3) MIMLBのFIFO割り込みイネーブルレジスタ (FIFO_INT_ENABLE) の全ビットがすべて0 (割り込み禁止) であること。
- (4) MIMLBのSYSTEM割り込みイネーブルレジスタ (SYSTEM_INT_ENABLE) の全ビットがすべて0 (割り込み禁止) であること。
- (5) MIMLBのSYSTEM_MEM割り込みイネーブルレジスタ (SYSTEM_MEM_INT_ENABLE) の全ビットがすべて0 (割り込み禁止) であること。
- (6) OS62400のDevice Control Cfg Register (DCCR) のMDEビットが0 (disable) であること。
- (7) OS62400のSystem Mask Cfg Register (SMCR) の全ビットが1 (mask) であること。
- (8) OS62400のChannel n Entry Cfg Register (CECRn) のCEビットが0 (disable) 、MASK[7:0]ビットが1 (mask) であること。
- (9) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP330ビットを1にしてください。

19. SDHI (0/1/2)

- (1) SDカードのアクセスが行われていないことを確認してください。
- (2) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP323-321ビット (チャンネル0、1、2に対応) を1にしてください。

20. RQSPI

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP320ビットを1にしてください。

21. SRC (0/1)

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP319/318ビットを1にしてください。

22. RSPI

- (1) すべてのデータ転送が行われたかを確認します。すなわち、送信バッファが空で、受信バッファが空になるまで読み出されている必要があります。
- (2) すべての割り込み要求を禁止します。
- (3) 制御レジスタ : SPEビットが0 (本モジュールの機能を無効化する) であることを確認してください。
- (4) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP317ビットを1にしてください。

23. RCAN1/0

- (1) 現在進行中の、CANバス通信を完了させます。完了確認方法は、送信時は、割り込みリクエストレジスタ（IRR）の監視により、送信メールボックスにプットした送信データがCANバスへ送出されたことを確認します。受信時は、割り込みリクエストレジスタ（IRR）の監視により、受信メールボックスに格納されたCANバスからの受信データがポップされていることを確認します。
- (2) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP316-315ビットを1にしてください。

24. FLCTL

- (1) 転送制御レジスタ：TRSTRTビットが0（転送停止）及び共通コントロールレジスタ：CEビットが0（ディスプレイ（FCE端子にハイレベルを出力します。））であることを確認してください。
- (2) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP314ビットを1にしてください。

25. ADC

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP313ビットを1にしてください。

26. MTU

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP312ビットを1にしてください。

27. IEBus

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP304ビットを1にしてください。

28. RTC

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP303ビットを1にしてください。

29. HIF

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP302ビットを1にしてください。

30. STIF0/1

- (1) モジュールスタンバイ制御レジスタ3（MSTPCR3）のMSTP301（STIF0のモジュールスタンバイ時）、MSTP300（STIF1のモジュールスタンバイ時）ビットを1にしてください。

31. LCDC

- (1) モジュールスタンバイ制御レジスタ4（MSTPCR4）のMSTP405ビットを1にしてください。
- (2) モジュールスタンバイステータスレジスタ4（MSTPSR4）のSTBY405ビットが1になっていることを確認してください。

32. LMB

- (1) モジュールスタンバイ制御レジスタ4（MSTPCR4）のMSTP403ビットを1にしてください。
- (2) モジュールスタンバイステータスレジスタ4（MSTPSR4）のSTBY403ビットが1になっていることを確認してください。

33. VEU3F0

- (1) モジュールスタンバイ制御レジスタ5（MSTPCR5）のMSTP502ビットを1にしてください。

(b) モジュールスタンバイモードの解除と再起動

モジュールスタンバイへの移行後、モジュールスタンバイを解除する場合は、以下の方法、またはパワーオンリセットにて解除可能です。

1. IIC3

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP029-030ビット (各ビットはIIC3_1-0の各チャンネルに対応) を0にしてください。

2. SCIF

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP026-021ビット (各ビットはSCIF0-5の各チャンネルに対応) を0にしてください。

(2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

3. HSCIF

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP019-018ビット (各ビットはHSCIF0-1の各チャンネルに対応) を0にしてください。

4. TIMER

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP016-14ビット (各ビットはTIMER0-2の各チャンネルに対応) を0にしてください。

(2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

5. SSI (0~3)

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP009ビット~MSTP012ビットをすべて0にしてください。

(2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

6. SSS

(1) SSSモジュールへのクロック供給を再開してください。

(2) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP008ビットを0にしてください。

(3) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

【注】 SSSのモジュール切り替えレジスタ (出力側) (SELOUT) とモジュール切り替えレジスタ (入力側) (SELIN) はSSSのソフトウェアリセットコントロールレジスタ (SRCTL) でリセット (初期化) されません。

【注】 SSSのソフトウェアリセットコントロールレジスタ (SRCTL) でSSSモジュールのリセット制御を行った際にSSSのモジュール切り替えレジスタ (出力側) (SELOUT) とモジュール切り替えレジスタ (入力側) (SELIN) の設定でSSSモジュールを選択している場合、SSSモジュールの端子は入力 (初期) 状態になります。

7. SPI

(1) モジュールスタンバイ制御レジスタ0 (MSTPCR0) のMSTP007ビットを0にしてください。

(2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

8. ADMAC

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY115ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP115ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY115ビットが0になっていることを確認してください。

9. GETHER

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY114ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP114ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY114ビットが0になっていることを確認してください。
- (4) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

10. DMAC

- (1) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP111ビットを0にしてください。
- (2) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY111ビットが0になっていることを確認してください。
- (3) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

11. VIN0

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY108ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP108ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY108ビットが0になっていることを確認してください。
- (4) メインコントロールレジスタ (MC) のモジュールイネーブル (ME) ビットを1にし、ビデオ入力モジュールを起動させます。
- (5) フレームキャプチャレジスタ (FC) のコンティニアスキャプチャ (CC) ビットまたはシングルキャプチャ (SC) ビットを1にしてください。

12. VIN1

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY109ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP109ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY109ビットが0になっていることを確認してください。

- (4) メインコントロールレジスタ (MC) のモジュールイネーブル (ME) ビットを1にし、ビデオ入力モジュールを起動させます。
- (5) フレームキャプチャレジスタ (FC) のコンティニアスクャプチャ (CC) ビットまたはシングルキャプチャ (SC) ビットを1にしてください。

13. R-GPVG

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY107ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP107ビットを0にしてください。
- (3) R-GPVGの初期化シーケンスを実行してください。

14. 2DG

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY106ビットが1になっていることを確認してください。
- (2) モジュールリセットレジスタ1 (MRST1) のビット6を1にしてください (ビット6以外は必ず0を書き込んでください)。
- (3) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP106ビットを0にしてください。
- (4) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY106ビットが0になっていることを確認してください。
- (5) モジュールリセットレジスタ1 (MRST1) のビット6をclkpで4サイクル以上1にしてください。
- (6) モジュールリセットレジスタ1 (MRST1) のビット6を0にしてください。
- (7) システムコントロールレジスタ (SCLR) のソフトウェアリセット (SRES)、レンダリングスタート (RS) =0、0にします。
- (8) 2DGのレジスタを再設定します。
- (9) システムコントロールレジスタ (SCLR) のソフトウェアリセット (SRES)、レンダリングスタート (RS) =0、1にします。

15. DU

- (1) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY103ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ1 (MSTPCR1) のMSTP103ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ1 (MSTPSR1) のSTBY103ビットが0になっていることを確認してください。
- (4) DUシステム制御レジスタ (DSYSR) のDUイネーブル (DEN) =1、DUリセット (DRES) =0として表示オンの設定を行います。

16. USB

2port ととも HOST または 1port が FUNCTION 両方の設定とも下記共通手順で行ってください。

- (1) 共通制御：MSTPCR1レジスタのMSTP100ビットを0に設定してください。
- (2) 共通制御：MSTPSR1レジスタのSTBY100ビットが0になるのを確認してください。
- (3) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

17. MMC

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP331ビットを0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

18. MIMLB

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP330ビットを0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

19. SDHI (0/1/2)

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP323-321ビット (チャンネル0、1、2に対応) を0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

20. RQSPI

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP320ビットを0にしてください。

21. SRC (0/1)

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP319/318ビットを0にしてください。

22. RSPI

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP317ビットを0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

23. RCAN

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP316-315ビットを0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

24. FLCTL

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP314ビットを0にしてください。
- (2) パワーオンリセット後の初期化シーケンスと同様な処理を実行してください。

25. ADC

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP313ビットを0にしてください。

26. MTU

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP312ビットを0にしてください。

27. IEBus

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP304ビットを0にしてください。

28. RTC

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP303ビットを0にしてください。

29. HIF

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP302ビットを0にしてください。

30. STIF (0/1)

- (1) モジュールスタンバイ制御レジスタ3 (MSTPCR3) のMSTP301 (STIF0のモジュールスタンバイ解除時)、MSTP300 (STIF1のモジュールスタンバイ解除時) ビットを0にしてください。

31. LCDC

- (1) モジュールスタンバイステータスレジスタ4 (MSTPSR4) のSTBY405ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ4 (MSTPCR4) のMSTP405ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ4 (MSTPSR4) のSTBY405ビットが0になっていることを確認してください。

32. LMB

- (1) モジュールスタンバイステータスレジスタ4 (MSTPSR4) のSTBY403ビットが1になっていることを確認してください。
- (2) モジュールスタンバイ制御レジスタ4 (MSTPCR4) のMSTP403ビットを0にしてください。
- (3) モジュールスタンバイステータスレジスタ4 (MSTPSR4) のSTBY403ビットが0になっていることを確認してください。

33. VEU3F0

- (1) モジュールスタンバイ制御レジスタ5 (MSTPCR5) のMSTP502ビットを0にしてください。

9.5 ブートモード

本 LSI は、LSI 起動時のモード設定によって、CS0 空間に接続されたメモリ、NAND フラッシュメモリ、シリアルフラッシュメモリ、MMC 接続のフラッシュメモリからのブート、および HIF ブートによるブートが可能です。

9.5.1 ブートモードと端子機能設定

本 LSI は、PRESET#=L の状態の時に外部端子を用いてブートモードを決定することができます。ブートモードを決定する外部端子設定を表 9.7 に示します。

表 9.7 モード設定 (HIFMD (MD19)、MD18、MD17、MD16) とブートモードの関係

HIFMD (MD19)	MD14	MD18	MD17	MD16	ブートモード
0	0	0	0	0	CS0 空間に接続されたメモリからブートします (CS0 ブート)
		0	0	1	リザーブビット
		0	1	0	NAND フラッシュメモリコントローラに接続された NAND フラッシュメモリからブートします (NAND フラッシュブート)
		0	1	1	ルネサスシリアルペリフェラルインタフェースに接続されたフラッシュメモリから低速通信でブートします (シリアルブート)
	1	0	0	0	MMC コントローラに接続されたフラッシュメモリからブートします (MMC ブート)
		0	0	1	リザーブビット
		0	1	0	SDHI0 に接続された eSD デバイスからブートします (eSD ブート)
		0	1	1	リザーブビット
0	-	1	-	-	リザーブビット
1	-	-	-	-	HIFRAM を使い、ブートします (HIF ブート)

9.5.2 動作説明

(1) CS0 ブート

CS0 ブートは、CS0 空間に接続されたメモリからブートします。このモードのとき、本 LSI は PRESET#=H 後、0xA0000000 番地よりプログラムの実行を開始します。

(2) NAND フラッシュブート、シリアルブート、MMC ブート、eSD ブート

モード設定が NAND フラッシュブート、シリアルブート、MMC ブート、eSD ブートのとき、本 LSI は PRESET#=H 後、それぞれのデバイスから先頭 16K バイトを ILRAM にコピーし、ILRAM の先頭番地よりプログラムの実行を開始します。

(3) HIF ブート

HIFMD (MD19) =H とすることで、MD18、MD17、MD16、MD14 の設定によらず本 LSI は HIF ブートモードで起動し、PRESET#=H 後、0xFF820000 番地よりプログラムの実行を開始します。HIF ブートモードについては「第 21 章 ホストインタフェース (HIF)」を参照してください。

(4) 遮断復帰後のブートモード

電源遮断から復帰後、RRAMKP=H の場合、本 LSI は HIFMD (MD19)、MD18、MD17、MD16、MD14 の設定によらず HIFRAM を保持 RAM として使用し、ブートを行います。この場合、電源遮断遷移前に HIFRAM に書き込んだプログラムを自動で実行するため、外部からの HIFRAM への書き込みは必要ありません。

RRAMKP=L の場合、PRESET#=L 時に決定した、HIFMD (MD19)、MD18、MD17、MD16、MD14 の値に応じたブートを再度実行します。

(5) CS0 ブート以外のブートモードおよび遮断復帰後のリセット例外番地について

CS0 ブート以外のブートモードでリセット例外が発生すると、表 9.8 に示す例外処理ベクタアドレスに遷移します。

表 9.8 NAND フラッシュブート、シリアルブート、MMC ブート、eSD ブート、HIF ブート時の
リセット例外番地と例外コード

No	例外	例外発生時の 起動ブートモード	例外発生前に 起きた、 パワーオン、 H-UDI リセット 例外の種類	例外遷移先		例外コード
				ベクタ ベース	オフセット	
(1)	パワーオン リセット (ディープ スタンバイ 復帰時 発生する ものを除く)	CS0 ブート	—	*		全ブートモードで 同一の値となります。*
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
		保持 RAM ブート	—	MD19、MD18、MD17、 MD16、MD14 で選択した ブートモードで再起動します。		
(2)	パワーオン リセット (ディープ スタンバイ 復帰時)	CS0 ブート	—	H'A0000000	BARH/L	
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
		保持 RAM ブート	—	H'FF820000	HIAR	
(3)	マニュアル リセット	CS0 ブート	(1)、(4)	*		
			(2)	H'A0000000	BARH/L	
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
(4)	H-UDI リセット	CS0 ブート	—	*		
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
		保持 RAM ブート	—	MD19、MD18、MD17、 MD16、MD14 で選択した ブートモードで再起動します。		

No	例外	例外発生時の 起動ブートモード	例外発生前に 起きた、 パワーオン、 H-UDI リセット 例外の種類	例外遷移先		例外コード
				ベクタ ベース	オフセット	
(5)	命令 TLB 多重ヒット例外	CS0 ブート	(1)、(4)	*		全ブートモードで 同一の値となります。*
			(2)	H'A0000000	BARH/L	
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
		保持 RAM ブート	—	H'FF820000	HIAR	
(6)	データ TLB 多重ヒット例外	CS0 ブート	(1)、(4)	*		
			(2)	H'A0000000	BARH/L	
		HIF ブート	—	H'FF820000	—	
		eSD/シリアル/ NAND フラッシュ /MMC ブート	—	H'E5200000	—	
		保持 RAM ブート	—	H'FF820000	HIAR	

【注】 * 「第2章 SH-4A」の「表 2.25 例外一覧」を参照してください。

9.6 使用上の注意事項

9.6.1 マニュアルリセット例外発生時の注意事項について

CS0 ブートと HIF ブートで起動した場合、ブートで使用する機能ピンを別の機能ピンで使用した状態でマニュアルリセットが発生すると、ピンファンクションの設定は保持されたままの状態となります。そのため、LSI は正常に再起動できません。CS0 ブートと HIF ブートで起動する場合、ブートで使用するピンファンクションの設定をブートで使用する機能以外の機能に変更しないようにするか、もしもブートで使用するピンファンクションの設定を変更した場合はマニュアルリセットを発生させないようにしてください。

10. R-GPVG

本モジュールは、OpenVG 用グラフィックスプロセッサです。

詳細は、弊社の営業担当にご確認ください。

関連モジュール：

- モジュールスタンバイ（「第9章 動作モード、低消費電力モード」を参照してください）
- 割り込み（「第7章 割り込みコントローラ（INTC、INTC2）」を参照してください）
- DU（「第14章 ディスプレイユニット（DU）」を参照してください）

11. 2D グラフィックアクセラレータ (2DG)

2DG は、2D グラフィックスの描画を行うモジュールです。

11.1 特長

(1) 描画機能

4頂点面描画

多角形描画

線描画

高機能太線描画

アンチエイリアス処理

ラスターオーバーレイ/αブレンド付きBitBLT

(2) 色表現

ソース：1、8、16ビット/画素

描画：8、16ビット/画素

ワーク：1ビット/画素

(3) スクリーン座標

X方向：0~4,095

Y方向：0~4,095

(4) レジスタ設定

カレントポインタ設定[MOVE/RMOVE]

ローカルオフセット設定[LCOFS/RLCOFS]

特定のアドレスマップドレジスタ設定[WPR]

(5) シーケンス制御

ジャンプ[JUMP]

サブルーチン[GOSUB] (ネスティングレベル：1)

11.1.1 コマンド、レンダリング属性一覧

表 11.1 コマンド、レンダリング属性一覧

コマンド	OP CODE								レンダリング属性															
	b31	b30	b29	b28	b27	b26	b25	b24	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	STYLE	BLKE	NET/EDG	EOS	COOF	AA	CLKW
														/LINKE	/LREL			/SRCDIRX	/SRCDIRY	/DSTDIRX	/DSTDIRY		/αE	/SαE
POLYGO N4A	1	0	0	0	0	0	1	0			CLIP	RCLIP	STRANS		WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	αE	SαE
POLYGO N4B					0	0	0	1			CLIP	RCLIP	STRANS		WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	αE	
POLYGO N4C					0	0	0	0			CLIP	RCLIP			WORK				BLKE	NET	EOS	COOF	αE	
LINEA	1	0	1	1	0	0	1	0			CLIP	RCLIP	STRANS			SS(0)	REL	STYLE(1)		NET	EOS	COOF	AA	
LINEB					0	0	0	1			CLIP	RCLIP	STRANS			SS(0)	REL	STYLE(1)		NET	EOS	COOF	AA	
LINEC					0	0	0	0			CLIP	RCLIP		LINKE	LREL					NET	EOS	COOF	AA	
LINED					0	0	1	1			CLIP	RCLIP		LINKE	LREL								AA(1)	CLKW
RLINEA					0	1	1	0			CLIP	RCLIP	STRANS			SS(0)	REL	STYLE(1)		NET	EOS	COOF	AA	
RLINEB					0	1	0	1			CLIP	RCLIP	STRANS			SS(0)	REL	STYLE(1)		NET	EOS	COOF	AA	
RLINEC					0	1	0	0			CLIP	RCLIP		LINKE	LREL					NET	EOS	COOF	AA	
RLINED					0	1	1	1			CLIP	RCLIP		LINKE	LREL								AA(1)	CLKW
FTRAPC	1	1	0	1	0	0	0	0			CLIP	RCLIP		LINKE	LREL				BLKE(1)	EDG	EOS			
RFRAPC					0	1	0	0			CLIP	RCLIP		LINKE	LREL				BLKE(1)	EDG	EOS			
CLRWC	1	1	1	0	0	0	0	0			CLIP	RCLIP							BLKE(1)					
LINEWC	1	1	1	1	0	0	0	0			CLIP	RCLIP									EOS			
RLINEWC					0	1	0	0			CLIP	RCLIP									EOS			
BitBLTA	1	0	1	0	0	0	1	0			CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	αE	SαE
BitBLTB					0	0	0	1			CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	αE	
BitBLTC					0	0	0	0			CLIP	RCLIP		DTRANS	WORK					DSTDIRX	DSTDIRY	COOF	αE	

コマンド	OP CODE								レンダリング属性																							
	b31	b30	b29	b28	b27	b26	b25	b24	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0								
TRAP	0	0	0	0	0	0	0	0																								
NOP/INT	0	0	0	0	1	0	0	0	INT															INT No								
リザーブ	0	0	0	1	0	0	0	0	内部評価用のため、設定しないでください。コマンドエラー(CER)はセットされません。																							
WPR	0	0	0	1	1	0	0	0					LINKE	LREL								ByteM3	ByteM2	ByteM1	ByteM0							
JUMP	0	0	1	0	1	0	0	0									REL															
GOSUB	0	0	1	1	0	0	0	0									REL							No								
RET	0	0	1	1	1	0	0	0																No								
LCOFS	0	1	0	0	0	0	0	0																								
RLCOFS	0	1	0	0	0	1	0	0																								
MOVE	0	1	0	0	1	0	0	0																								
RMOVE	0	1	0	0	1	1	0	0																								
SYNC	0	0	0	1	0	0	1	0							WCLR	WFLSH				TCLR			DCLR	DFLSH								
リザーブ	0	1	1	0	0	1	0	0	内部評価用のため、設定しないでください。コマンドエラー(CER)はセットされません。																							
リザーブ	0	1	0	1	0	0	0	0	内部評価用のため、設定しないでください。コマンドエラー(CER)はセットされません。																							

【注】 網掛け部分は、0を設定してください。

REL : SS=0のときのみ有効。SS=1のときは0を設定してください。

COOF : 16ビット/画素時 (GBM=1)のみ有効。8ビット/画素時 (GBM=0)は0を設定してください。

- S α E : ARGB フォーマット時 (SPF=DPF=1) のみ有効。RGB フォーマット時 (SPF=DPF=0) および 8 ビット/画素時 (GBM=0) は 0 を設定してください。 α E=0 のときは、0 を設定してください。
- α E : 16 ビット/画素時 (GBM=1) のみ有効。8 ビット/画素時 (GBM=0) は 0 を設定してください。POLYGON4A/B/C コマンドでは BLKE=1 のときのみ有効。BLK=0 のときは 0 を設定してください。
BitBLTA/B/C コマンドでは、ROP コード=H'CC のときのみ有効。その他のコードのときは、0 を設定してください。
- LREL : LINKE=1 のときのみ有効。LINKE=0 のときは 0 を設定してください。
- STYLE : BLKE=1 のときは 1 を設定してください。(R)LINEA/B コマンドでは 1 を設定してください。
- AA : NET=1 のときは 0 を設定してください。16 ビット/画素時 (GBM=1) のみ有効。8 ビット/画素時 (GBM=0) は 0 を設定してください。(R)LINED コマンドのときは、1 を設定してください。
- SS : (R)LINEA/B コマンドでは 0 を設定してください。
- BLKE : (R)FTRAPC、CLRWC コマンドでは 1 を設定してください。

11.1.2 ブロック図

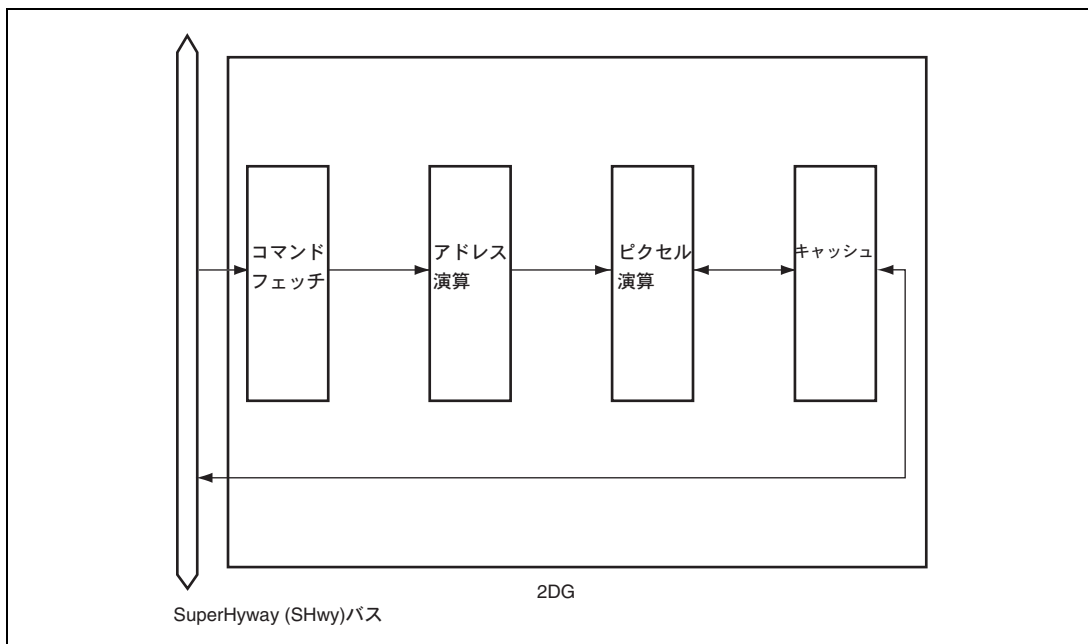


図 11.1 2DG ブロック図

11.2 レジスタの説明

2DG のレジスタ構成を表 11.2 に示します。

レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合、および表 11.2 に示したレジスタ以外をアクセスした場合の動作は保証しません。

なお、システムコントロール (SCLR) レジスタ以外は、INT コマンドでの描画停止期間を除いて、レンダリングスタートをかけてから TRAP までの期間、CPU 書き込み禁止です。また、特に明記していない場合、「リセット」はハードウェアリセット (パワーオンリセットとマニュアルリセット) とソフトウェアリセットの両方を示します。

各レジスタの値は、ソフトウェアスタンバイ、モジュールスタンバイ、スリープ時は保持されますが、リセット時、および、ディープスタンバイ時には初期化されます。

表 11.2 レジスタの構成

(1) システム制御レジスタ

レジスタ名称	略称	R/W	アドレス	アクセス サイズ	WPR コマンド での設定	WPR コマンド ByteM 制御
システムコントロールレジスタ	SCLR	R/W	H'FFE8 0000	32	×	—
ステータスレジスタ	SR	R	H'FFE8 0004	32	×	—
ステータスレジスタクリアレジスタ	SRCLR	W	H'FFE8 0008	32	×	—
割り込み許可レジスタ	IER	R/W	H'FFE8 000C	32	○	○
割り込みコマンド ID レジスタ	ICIDR	R	H'FFE8 0010	32	×	—

(2) メモリ制御レジスタ

レジスタ名称	略称	R/W	アドレス	アクセス サイズ	WPR コマンド での設定	WPR コマンド ByteM 制御
リターンアドレス 0 レジスタ	RTN0R	R/W	H'FFE8 0040	32	○	×
リターンアドレス 1 レジスタ	RTN1R	R/W	H'FFE8 0044	32	○	×
ディスプレイリスト開始アドレス レジスタ	DLSAR	R/W	H'FFE8 0048	32	×	—
2次元ソース領域開始アドレス レジスタ	SSAR	R/W	H'FFE8 004C	32	○	×
描画スタートアドレスレジスタ	RSAR	R/W	H'FFE8 0050	32	○	×
ワーク領域開始アドレスレジスタ	WSAR	R/W	H'FFE8 0054	32	○	×
ソースストライドレジスタ	SSTRR	R/W	H'FFE8 0058	32	○	×
デスティネーションストライド レジスタ	DSTRR	R/W	H'FFE8 005C	32	○	×

レジスタ名称	略称	R/W	アドレス	アクセス サイズ	WPR コマンド での設定	WPR コマンド ByteM 制御
エンディアン変換コントロール レジスタ	ENDCVR	R/W	H'FFE8 0060	32	×	—
アドレス拡張レジスタ	ADREXTR	R/W	H'FFE8 006C	32	×	—

(3) カラー制御レジスタ

レジスタ名称	略称	R/W	アドレス	アクセス サイズ	WPR コマンド での設定	WPR コマンド ByteM 制御
ソース透過色レジスタ	STCR	R/W	H'FFE8 0080	32	○	×
デスティネーション透過色レジスタ	DTCR	R/W	H'FFE8 0084	32	○	×
アルファ値レジスタ	ALPHR	R/W	H'FFE8 0088	32	○	×
カラーオフセットレジスタ	COFSR	R/W	H'FFE8 008C	32	○	×

(4) レンダリング制御レジスタ

レジスタ名称	略称	R/W	アドレス	アクセス サイズ	WPR コマンド での設定	WPR コマンド ByteM 制御
レンダリングコントロールレジスタ	RCLR	R/W	H'FFE8 00C0	32	○	○
コマンドステータスレジスタ	CSTR	R	H'FFE8 00C4	32	×	—
カレントポインタレジスタ	CURR	R	H'FFE8 00C8	32	×	—
ローカルオフセットレジスタ	LCOR	R	H'FFE8 00CC	32	×	—
システムクリップエリア MAX レジスタ	SCLMAR	R	H'FFE8 00D0	32	○	×
ユーザクリップエリア MIN レジスタ	UCLMIR	R	H'FFE8 00D4	32	○	×
ユーザクリップエリア MAX レジスタ	UCLMAR	R	H'FFE8 00D8	32	○	×
相対ユーザクリップエリア MIN レジスタ	RUCLMIR	R	H'FFE8 00DC	32	○	×
相対ユーザクリップエリア MAX レジスタ	RUCLMAR	R	H'FFE8 00E0	32	○	×
レンダリングコントロール 2 レジスタ	RCL2R	R/W	H'FFE8 00F0	32	○	○
パターンオフセットレジスタ	POFSR	R/W	H'FFE8 00F8	32	○	×

11.2.1 システムコントロールレジスタ (SCLR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SRES	HRES	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	1	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RS
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	0	-	-	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31	SRES	1	R/W	ソフトウェアリセット 2DG をリセットします。 0: コマンド処理の実行を許可 1: リセット状態 ハードウェアリセットを行うと SRES=1 になります。 初期化時に 0 に設定して使用してください。ソフトウェアで本ビットを 1 に設定すると、描画動作のリセットを行います。2DG のレジスタ値も初期化されます。 SRES=1 の間は、本レジスタ以外のレジスタは書き込みできません。 【注】描画期間中 (レンダリングスタートをかけたから TRAP までの期間) にソフトウェアリセットをかける場合は、以下の手順に従って解除してください。 (1) SRES=1 にする (2) 1vsync 期間待つ (3) HRES=1 にする (CLKP で 4 サイクル以上) (4) HRES=0 にする (5) SRES=0 にする
30	HRES	0	R/W	2DG にリセットをかけます (ハードウェアリセット相当)。ソフトウェアリセットの解除時のみ使用してください。2DG 動作中に使用した場合の動作は保証されません。
29~4	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2, 1	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	RS	0	R/W	<p>レンダリングスタート</p> <p>レンダリングの開始を指定するビットです。描画期間中（レンダリングスタートをかけてから TRAP までの期間）は、1 書き込み禁止です。</p> <p>0：レンダリングを開始しません。</p> <p>1：レンダリングを開始します。本ビットはレンダリング開始後 0 にクリアされます。</p> <p>【注】 SRES=1 & RS=1 は設定禁止です。</p>

11.2.2 ステータスレジスタ (SR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VER[3:0]				-	-	-	-	-	-	-	-	-	-	-	-
初期値：	1	0	1	1	-	0	0	0	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	CER	INT	TRA
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	VER[3:0]	1011	R	バージョンフラグ B'1011 が読み出されます。
27	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
26~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~4	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	CER	0	R	<p>コマンドエラーフラグ</p> <p>不当なコマンドをフェッチしたことを示します。</p> <p>0: 正常状態です。SCLR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしていないことを示します。不当なコマンドとは、コマンドコードの上位 8 ビットが未定義であるコマンドです。下位 16 ビットのレンダリング属性の不当性についてはチェックを行いません。</p> <p>1: 描画動作停止状態です。SCLR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしたため、描画動作を停止したままになっていることを示します。描画動作を再開するときは、ソフトウェアリセット後、レンダリングスタートを教えてください。CER フラグは、リセットまたは SRCR によりクリアされるまで、状態を保持します。</p>
1	INT	0	R	<p>割り込みフラグ</p> <p>NOP/INT コマンドをフェッチしたことを示すフラグです (レンダリング属性の INT ビット=1 のときのみ)。</p> <p>0: SCLR の SRES ビットまたは SRCR の INCL ビットにより INT フラグをクリアしてから、NOP/INT コマンドフェッチしていないことを示します。</p> <p>1: 描画動作停止状態です。SCLR の SRES ビットまたは SRCR の INCL ビットにより INT フラグをクリアしてから、NOP/INT コマンドをフェッチしたため、描画動作を停止したままになっていることを示します (レンダリング属性の INT ビット=1 のときのみ)。</p> <p>SRCR の INCL ビットにより INT フラグをクリアすると次のコマンドから描画を再開します。描画再開後は SCLR レジスタ以外は TRAP までの期間、CPU 書き込みをしないでください。INT フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。</p> <p>【注】 INT コマンドで描画停止期間中にディスプレイリストを書き換えな いでください。</p>
0	TRA	0	R	<p>トラップフラグ</p> <p>コマンド実行が終了したことを示すフラグです。</p> <p>0: SCLR の SRES ビットまたは SRCR の TRCL ビットにより TRA フラグをクリアしてから、TRAP コマンドをフェッチしていないことを示します。</p> <p>1: コマンド実行の終了、または現在コマンドを実行していないことを示します。TRA フラグは、リセットまたは SRCR によりクリアされるまで状態を保持します。</p>

11.2.3 ステータスレジスタクリアレジスタ (SRCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	CECL	INCL	TRCL
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~4	—	不定	W	リザーブビット
3	—	0	W	リザーブビット 書き込む値は常に0にしてください。
2	CECL	0	W	コマンドエラーフラグクリア SRのCERフラグをクリア/非クリアします。 0: SRのCERフラグを0にクリアしません。 1: SRのCERフラグを0にクリアします。SRのクリアが終了した後、内部的に0にクリアされます。
1	INCL	0	W	割り込みフラグクリア SRのINTフラグをクリア/非クリアします。 0: SRのINTフラグを0にクリアしません。 1: SRのINTフラグを0にクリアします。SRのクリアが終了した後、内部的に0にクリアされます。
0	TRCL	0	W	トラップフラグクリア SRのTRAフラグをクリア/非クリアします。 0: SRのTRAフラグを0にクリアしません。 1: SRのTRAフラグを0にクリアします。SRのクリアが終了した後、内部的に0にクリアされます。

11.2.4 割り込み許可レジスタ (IER)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	CEE	INE	TRE
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CEE	0	R/W	コマンドエラーフラグイネーブル SRのCERフラグによる割り込みを許可/禁止します。 0: SRのCERフラグによる割り込みを禁止します。 1: SRのCERフラグによる割り込みを許可します。
1	INE	0	R/W	割り込みフラグイネーブル SRのINTフラグによる割り込みを許可/禁止します。 0: SRのINTフラグによる割り込みを禁止します。 1: SRのINTフラグによる割り込みを許可します。
0	TRE	0	R/W	トラップフラグイネーブル SRのTRAフラグによる割り込みを許可/禁止します。 0: SRのTRAフラグによる割り込みを禁止します。 1: SRのTRAフラグによる割り込みを許可します。

11.2.5 割り込みコマンド ID レジスタ (ICIDR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	-	ICID[7:0]								-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット	ビット名	初期値	R/W	説明
31~8	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
7~0	ICID[7:0]	不定	R	割り込みコマンド ID NOP/INT コマンドフェッチ時にレンダリング属性の INT ビットに1が設定されていれば、レンダリング属性で指定した ID が格納されます。

11.2.6 リターンアドレス 0 レジスタ (RTN0R)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	RTN0[28:16]												
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTN0[15:2]														-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
28~2	RTN0[28:2]	不定	R/W	リターンアドレス 0 (A28~A2) GOSUB コマンドにおいて、レンダリング属性の No ビットが0のときのリターンアドレスが設定されます。RTN0R で示されるアドレスはロングワードアドレス (A28~A2) となります。
1, 0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.7 リターンアドレス 1 レジスタ (RTN1R)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	RTN1[28:16]													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	RTN1[15:2]														-	-	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
28~2	RTN1[28:2]	不定	R/W	リターンアドレス 1 (A28~A2) GOSUB コマンドにおいて、レンダリング属性の No ビットが 1 のときのリターンアドレスが設定されます。RTN1R で示されるアドレスはロングワードアドレス (A28~A2) となります。
1、0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.8 ディスプレイリスト開始アドレスレジスタ (DLSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	DLSA[28:16]														
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	DLSA[15:4]														-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~29	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
28~4	DLSA[28:4]	不定	R/W	ディスプレイリスト開始アドレス (A28~A4) ディスプレイリストとして使用するメモリの領域を設定します。ディスプレイリストの先頭物理アドレス (A28~A0) を 16 バイト単位で設定します。32 ビットアドレスモードにおいても、指定する 32 ビットアドレスの下位 29 ビットのアドレスをビット 28~ビット 0 に設定してください。
3~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.9 2次元ソース領域開始アドレスレジスタ (SSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	SSA[28:16]													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SSA[15:4]													-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
28~4	SSA[28:4]	不定	R/W	2次元ソース領域開始アドレス (A28~A4) 2次元ソース領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスが、2次元ソース座標の原点物理アドレスとなります。2次元ソース領域の先頭物理アドレス (A28~A0) を16バイト単位で設定します。32ビットアドレスモードにおいても、指定する32ビットアドレスの下位29ビットのアドレスをビット28~ビット0に設定してください。
3~0	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.10 描画スタートアドレスレジスタ (RSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	RSA[28:16]													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	RSA[15:4]													-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
28~4	RSA[28:4]	不定	R/W	描画スタートアドレス (A28~A4) 描画領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスが描画座標の原点物理アドレスとなります。描画領域の先頭物理アドレス (A28~A0) を 16 バイト単位で設定します。32 ビットアドレスモードにおいても、指定する 32 ビットアドレスの下位 29 ビットのアドレスをビット 28~ビット 0 に設定してください。 描画領域は、ワーク領域と重ならないように設定してください。
3~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.11 ワーク領域開始アドレスレジスタ (WSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	WSA[28:16]													
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	WSA[15:4]													-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
28~4	WSA[28:4]	不定	R/W	ワーク領域開始アドレス (A28~A4) ワーク領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスがワーク座標の原点物理アドレスとなります。ワーク領域の先頭物理アドレス (A28~A0) を 16 バイト単位で設定します。32 ビットアドレスモードにおいても、指定する 32 ビットアドレスの下位 29 ビットのアドレスをビット 28~ビット 0 に設定してください。 ワーク領域へは、ワーク描画コマンド以外のコマンドで描画しないでください。CPU からワーク領域へ書き込む場合は、描画期間中 (レンダリングスタートをかけてから TRAP まで (NOP/INT コマンドでの描画停止期間含む)) は行わないでください。また、ワーク描画コマンドで描画した図形をソースとして使用しないでください。
3~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.12 ソースストライドレジスタ (SSTRR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	SSTR[12:3]										-	-	-	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
12~3	SSTR[12:3]	不定	R/W	ソースストライド (b12~b3) 2次元ソース領域のストライドを画素数で指定します。 $8 \leq \text{SSTR} \leq 4,096$ の範囲で設定してください (8画素単位)。
2~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.13 デスティネーションストライドレジスタ (DSTRR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	DSTR[12:4]										-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
12~4	DSTR[12:4]	不定	R/W	デスティネーションストライド (b12~b4) デスティネーション領域のストライドを画素数で指定します。 $256 \leq \text{DSTR} \leq 4,096$ の範囲で設定してください (64画素単位)。 【注】ビット5、ビット4は0を設定してください。
3~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.14 エンディアン変換コントロールレジスタ (ENDCVR)

エンディアンの変換方法は、「11.3.3 エンディアン変換」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	-	-	-	0	0	-	-	0	0	0	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	LW SWAP	WSWAP	BYTE SWAP	BIT SWAP
初期値:	0	0	0	0	0	0	0	-	0	0	0	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~28	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27、26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25、24	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
23~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
19~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
3	LWSWAP	0	R/W	ロングワードスワップ データをロングワード (32 ビット) 単位でスワップします。 0: データをスワップしません。 1: データをロングワード (32 ビット) 単位でスワップします。
2	WSWAP	0	R/W	ワードスワップ データをワード (16 ビット) 単位でスワップします。 0: データをスワップしません。 1: データをワード (16 ビット) 単位でスワップします。

ビット	ビット名	初期値	R/W	説明
1	BYTESWAP	0	R/W	バイトスワップ データをバイト (8 ビット) 単位でスワップします。 0 : データをスワップしません。 1 : データをバイト (8 ビット) 単位でスワップします。
0	BITSWAP	0	R/W	ビットスワップ データを 1 ビット単位でスワップします。 0 : データをスワップしません。 1 : データを 1 ビット単位でスワップします。

11.2.15 アドレス拡張レジスタ (ADREXTR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADREXT[31:29]							-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	ADREXT[31:29]	000	R/W	拡張アドレス (A31~A29) SHwy バスに出力するアドレスの上位 3 ビット (A31~A29) を設定します。
28~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.16 ソース透過色レジスタ (STCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	STC1	STC8[7:0]							
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STC16[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
24	STC1	不定	R/W	ソース透過色 1 ソース 1 ビット/画素時の透過色
23~16	STC8[7:0]	不定	R/W	ソース透過色 8 ソース 8 ビット/画素時の透過色
15~0	STC16[15:0]	不定	R/W	ソース透過色 16 ソース 16 ビット/画素時の透過色

【注】 ソース 16 ビット/画素時は、RCLR レジスタの SPF ビットとフォーマットを合わせてください。
SPF=1 (ARGB=1555) の場合は、A 値は比較しません。

11.2.17 デスティネーション透過色レジスタ (DTCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	DTC8[7:0]								-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	DTC16[15:0]																	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~24	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
23~16	DTC8[7:0]	不定	R/W	デスティネーション透過色 8 デスティネーション 8 ビット/画素時の透過色
15~0	DTC16[15:0]	不定	R/W	デスティネーション透過色 16 デスティネーション 16 ビット/画素時の透過色

【注】 デスティネーション 16 ビット/画素時は、RCLR レジスタの DPF ビットとフォーマットを合わせてください。
DPF=1 (ARGB=1555) の場合、A 値は比較しません。

11.2.18 アルファ値レジスタ (ALPHR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	ALPH[7:2]							-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~8	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
7~2	ALPH[7:2]	不定	R/W	アルファ値 (b7~b2) レンダリング属性の α E ビットに1を設定した場合のアルファブレンド値を設定します。青成分、赤成分のブレンドは、アルファ値の上位5ビットが有効です。緑成分は、デスティネーションピクセルフォーマットがRGBのときは上位6ビット、ARGBのときは上位5ビットが有効です。 デスティネーション \equiv ソース \times ALPH/255+デスティネーション (1-ALPH/255) (ALPHを8ビットとしたときの近似式)
1、0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.19 カラーオフセットレジスタ (COFSR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	COR[7:3]			-	-	-		
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COG[7:2]				-	-	COB[7:3]			-	-	-				
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~24	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
23~19	COR[7:3]	不定	R/W	カラーオフセット R カラーオフセットの赤成分 (b7~b3)。符号付整数として扱われますので、負の場合は2の補数を設定してください。
18~16	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15~10	COG[7:2]	不定	R/W	カラーオフセット G カラーオフセットの緑成分 (b7~b2)。符号付整数として扱われますので、負の場合は2の補数を設定してください。ARGB フォーマット時は上位5ビットが有効です。
9、8	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
7~3	COB[7:3]	不定	R/W	カラーオフセット B カラーオフセットの青成分 (b7~b3)。符号付整数として扱われますので、負の場合は2の補数を設定してください。

ビット	ビット名	初期値	R/W	説明
2~0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.20 レンダリングコントロールレジスタ (RCLR)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	STP	DTP	-	-	SPF	DPF	-	GBM	SAU	AVALUE
初期値	0	0	0	0	0	-	0	0	-	-	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LPCE	COM
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
25	STP	0	R/W	ソース透過色ポラリティ ソースデータとソース透過色レジスタの設定値が、一致で透過か、不一致で透過かを選択します。 0: 一致で透過 1: 不一致で透過
24	DTP	0	R/W	デスティネーション透過色ポラリティ デスティネーションとデスティネーション透過色レジスタの設定値が、一致で透過か、不一致で透過かを選択します。 0: 一致で透過 1: 不一致で透過
23, 22	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
21	SPF	0	R/W	ソースピクセルフォーマット 多値ソースのピクセルフォーマットを指定します。多値ソースが16ビット／画素時のみ有効となります。8ビット／画素時は、0を設定してください。デスティネーションのピクセルフォーマットと合わせてください。 0: RGB (565 フォーマット) 1: ARGB (1555 フォーマット)

ビット	ビット名	初期値	R/W	説明
20	DPF	0	R/W	<p>デスティネーションピクセルフォーマット</p> <p>デスティネーションのピクセルフォーマットを指定します。デスティネーションが 16 ビット/画素時のみ有効となります。8 ビット/画素時は、0 を設定してください。多値ソースのピクセルフォーマットと合わせてください。</p> <p>0 : RGB (565 フォーマット) 1 : ARGB (1555 フォーマット)</p>
19	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
18	GBM	0	R/W	<p>グラフィックビットモード</p> <p>多値ソース、デスティネーションのグラフィックビットモードを指定します。</p> <p>0 : 8 ビット/画素 1 : 16 ビット/画素</p>
17	SAU	0	R/W	<p>ソース A 値コース</p> <p>ソース、デスティネーションのピクセルフォーマットが ARGB のとき、デスティネーションの A 値をソースの A 値を参照して描画します。</p> <p>0 : デスティネーションの A 値を AVALUE で描画します。 1 : デスティネーションの A 値をソースの A 値を参照して描画します。</p> <p>【注】 SAU=1 の場合、2 値ソースを参照するコマンドでは、コマンドパラメータの Color0、Color1 の A 値を、単色指定のコマンドではコマンドパラメータの Color の A 値を参照します。また、LINED コマンド時は SAU ビット、AValue ビットの設定にかかわらず、下地 (デスティネーション) の A 値を書き戻します。</p>
16	AValue	0	R/W	<p>A バリュー</p> <p>ソース、デスティネーションのピクセルフォーマットが ARGB のとき、デスティネーションの A 値を 0 または 1 で描画します。</p> <p>0 : デスティネーションの A 値を 0 で描画します。 1 : デスティネーションの A 値を 1 で描画します。</p>
15~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	—	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	LPCE	0	R/W	ラインブリクリッピングイネーブル (R)LINE 系、(R)LINEW 系コマンドで有効です。LPCE に 1 を設定すると 2 次元クリップエリア (システムクリップエリア、ユーザクリップエリア、相対ユーザクリップエリア) で線分単位にブリクリッピングします。ただし、途中の線分がブリクリッピングされた場合、パターンは連続しません (パターンは前に描画した線分の終点から開始します)。 0 : ブリクリッピングしません。 1 : 2 次元クリップエリアで線分単位にブリクリッピングします。
0	COM	0	R/W	コネクション描画マスク 太線時の連結部分を描画するか、しないかを選択します。 0 : 太線時の連結部分を描画します。 1 : 太線時の連結部分を描画しません。

11.2.21 コマンドステータスレジスタ (CSTR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	CST[28:16]												-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CST[15:2]														-	-	
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。
28~2	CST[28:2]	不定	R	コマンドステータス (A28~A2) フェッチしたコマンドワード (オペコードワード) のアドレスを記憶します。CSTR で示されるアドレスは、ロングワードアドレス (A28~2) となります。
1, 0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に 0 にしてください。

11.2.22 カレントポインタレジスタ (CURR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	XC[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YC[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	XC[15:0]	不定	R	カレントポインタ X カレントポインタの X 座標
15~0	YC[15:0]	不定	R	カレントポインタ Y カレントポインタの Y 座標

11.2.23 ローカルオフセットレジスタ (LCOR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	XO[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YO[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	XO[15:0]	不定	R	ローカルオフセット X ローカルオフセットの X 座標
15~0	YO[15:0]	不定	R	ローカルオフセット Y ローカルオフセットの Y 座標

11.2.24 システムクリップエリア MAX レジスタ (SCLMAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	SXMAX[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	SYMAX[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27~16	SXMAX[11:0]	不定	R	システムクリップ XMAX システムクリップ座標の XMAX
15~12	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
11~0	SYMAX[11:0]	不定	R	システムクリップ YMAX システムクリップ座標の YMAX

【注】 WPR コマンドで設定時は、描画範囲の最大値を設定してください（最大 4,095、SXMAX<DSTRR で設定ください）。

11.2.25 ユーザクリップエリア MIN レジスタ (UCLMIR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	UXMIN[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	UYMIN[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27~16	UXMIN[11:0]	不定	R	ユーザクリップ XMIN ユーザクリップ座標の XMIN
15~12	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
11~0	UYMIN[11:0]	不定	R	ユーザクリップ YMIN ユーザクリップ座標の YMIN

【注】 WPR コマンドで設定時は、 $0 \leq UXMIN < UXMAX \leq SXMAX \leq 4,095$ 、 $0 \leq UYMIN < UYMAX \leq SYMAX \leq 4,095$ の範囲で設定してください。

11.2.26 ユーザクリップエリア MAX レジスタ (UCLMAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	UXMAX[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	UYMAX[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	リザーブ	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27~16	UXMAX[11:0]	不定	R	ユーザクリップ XMAX ユーザクリップ座標の XMAX
15~12	リザーブ	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
11~0	UYMAX[11:0]	不定	R	ユーザクリップ YMAX ユーザクリップ座標の YMAX

【注】 WPR コマンドで設定時は、 $0 \leq UXMIN < UXMAX \leq SXMAX \leq 4,095$ 、 $0 \leq UYMIN < UYMAX \leq SYMAX \leq 4,095$ の範囲で設定してください。

11.2.27 相対ユーザクリップエリア MIN レジスタ (RUCLMIR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	RUXMIN[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RUYMIN[11:0]											
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	-	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
27~16	RUXMIN[11:0]	不定	R	相対ユーザクリップ XMIN 相対ユーザクリップ座標の XMIN (ローカルオフセットに加算されるオフセット値)
15~12	—	不定	R	リザーブビット 不定値が読み出されます。書き込み値は常に 0 にしてください。
11~0	RUYMIN[11:0]	不定	R	相対ユーザクリップ YMIN 相対ユーザクリップ座標の YMIN (ローカルオフセットに加算されるオフセット値)

【注】 WPR コマンドで設定時は、 $0 \leq RUXMIN < RUXMAX \leq SXMAX \leq 4,095$ 、 $0 \leq RUYMIN < RUYMAX \leq SYMAX \leq 4,095$ の範囲で設定してください。

設定範囲の詳細は、「11.3.4 (5) 相対クリッピング指定 (RCLIP)」を参照してください。

11.2.28 相対ユーザクリップエリア MAX レジスタ (RUCLMAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	RUXMAX[11:0]											
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RUYMAX[11:0]											
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	不定	R	リザーブビット 不定値が読み出されます。書き込み値は常に 0 にしてください。
27~16	RUXMAX[11:0]	不定	R	相対ユーザクリップ XMAX 相対ユーザクリップ座標の XMAX (ローカルオフセットに加算されるオフセット値)
15~12	—	不定	R	リザーブビット 不定値が読み出されます。書き込み値は常に 0 にしてください。
11~0	RUYMAX[11:0]	不定	R	相対ユーザクリップ YMAX 相対ユーザクリップ座標の YMAX (ローカルオフセットに加算されるオフセット値)

【注】 WPR コマンドで設定時は、 $0 \leq RUXMIN < RUXMAX \leq SXMAX \leq 4,095$ 、 $0 \leq RUYMIN < RUYMAX \leq SYMAX \leq 4,095$ の範囲で設定してください。

設定範囲の詳細は、「11.3.4 (5) 相対クリッピング指定 (RCLIP)」を参照してください。

11.2.29 レンダリングコントロール 2 レジスタ (RCL2R)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	DAE	PSTYLE	PXSIZE[1:0]	PYSIZE[1:0]		
初期値:	-	-	-	-	0	0	-	-	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	1	0	0	-	0	0	0	0	0	0	0	0	1	0	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27、26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25、24	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
23、22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	DAE	0	R/W	<p>デスティネーションアルファインーブル</p> <p>アルファブレンドインーブル (αE) と合わせて使用します。ARGB (1555 フォーマット) のとき、デスティネーション (下地) A 値が1の画素のみアルファブレンドします。デスティネーション (下地) A 値が0の画素は描画しません。</p> <p>0: デスティネーション (下地) A 値によらずアルファブレンドします。</p> <p>1: デスティネーション (下地) A 値が1の画素のみ、アルファブレンドします。</p> <p>【注】</p> <ul style="list-style-type: none"> • RGB (565 フォーマット) および8ビット/画素時は、0を設定してください。 • POLYGON4A/B/C コマンド以外では、0を設定してください。 • アルファブレンドインーブル (αE) =0のときは、0を設定してください。 • 本ビットはコマンドでデコードしていませんので、該当コマンドごとに設定および解除を行ってください。

ビット	ビット名	初期値	R/W	説明
20	PSTYLE	0	R/W	<p>パターンスタイルイネーブル</p> <p>ソーススタイル指定 (STYLE) と合わせて使用します。ソースパターンをデスティネーション座標を基に、パターンサイズで繰り返し生成します。</p> <p>0: パターンスタイル無効 1: ソースパターンをデスティネーション座標を基に生成</p> <p>【注】</p> <ul style="list-style-type: none"> • ソースオフセット TXOFS および TYOFS は、0 を設定してください。 • ソーススタイル指定 (STYLE) =0 のときは、0 を設定してください。 • ソースアドレス指定 (SS) =0 に設定してください。 • POLYGON4A/B コマンド以外では、0 を設定してください。 • 本ビットはコマンドでデコードしていませんので、該当コマンドごとに設定および解除を行ってください。
19, 18	PXSIZE[1:0]	00	R/W	<p>パターン X サイズ</p> <p>パターンスタイルイネーブル (PSTYLE) =1 時のパターン X サイズを指定します。</p> <p>00: 8 画素 01: 16 画素 10: 32 画素 11: 64 画素</p> <p>【注】 ソースサイズ TDX には指定したパターン X サイズ (8、16、32、64) を設定してください。</p>
17, 16	PYSIZE[1:0]	00	R/W	<p>パターン Y サイズ</p> <p>パターンスタイルイネーブル (PSTYLE) =1 時のパターン Y サイズを指定します。</p> <p>00: 8 画素 01: 16 画素 10: 32 画素 11: 64 画素</p> <p>【注】 ソースサイズ TDY には指定したパターン Y サイズ (8、16、32、64) を設定してください。</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14	—	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
13, 12	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11	—	不定	R	<p>リザーブビット</p> <p>不定値が読み出されます。書き込む値は常に 0 にしてください。</p>
10~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。

11.2.30 パターンオフセットレジスタ (POFSR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	POFSX[11:0]											
初期値 :	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	POFSY[11:0]											
初期値 :	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
27~16	POFSX[11:0]	H'000	R/W	パターンオフセット X パターンスタイルイネーブル (PSTYLE) =1 時の X 方向のパターンオフセット値を 16 ビット整数で設定します。負の場合は、2 の補数を設定してください。
15~12	—	不定	R	リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
11~0	POFSY[11:0]	H'000	R/W	パターンオフセット Y パターンスタイルイネーブル (PSTYLE) =1 時の Y 方向のパターンオフセット値を 16 ビット整数で設定します。負の場合は、2 の補数を設定してください。

11.3 動作説明

11.3.1 基本機能

(1) 太線描画

(R)LINEA/B/C コマンドで線幅 W に 0 より大きい値を設定することで、太線を描画することができます。始終点座標と線幅 W より太線座標 a 、 b 、 c 、 d を求め描画します。 W は整数部 6 ビットで与えます。0 を設定すると、線幅 1 のラインを描画します。また、連結太線時の連結部分は、RCLR レジスタの COM ビットで描画する、しないを選択できます。太線指定時は、線分ごとの始終点座標が一致した場合、何も描画しません。

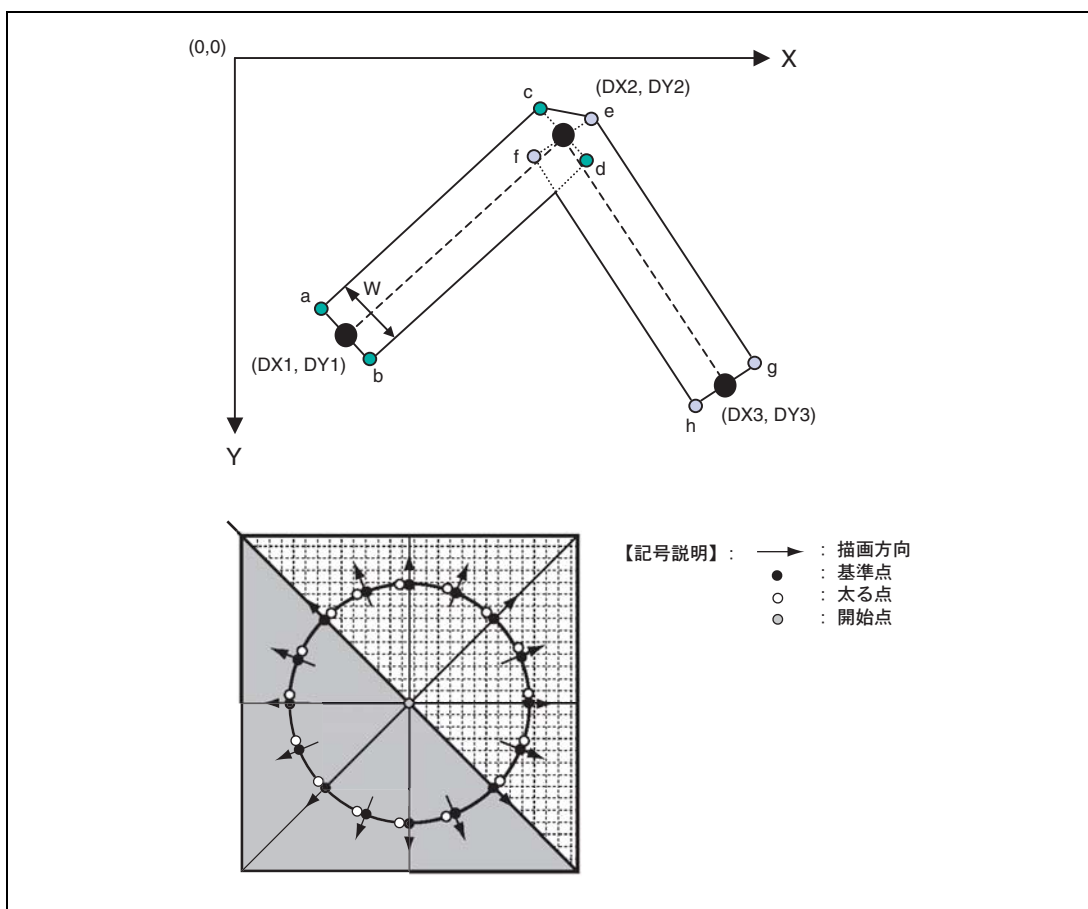


図 11.2 太線描画

(2) アンチエイリアス

(R)LINEA/B/C/D コマンドで使用可能で、エイリアスを低減します。レンダリング属性のアンチエイリアスイネーブル (AA) に 1 を設定することで、アンチエイリアス処理を実行します。

- 【注】
1. (R)LINEA/B コマンドで破線時は、破線の隙間にはアンチエイリアスが架かりません。
 2. (R)LINEA/B/C コマンドは、線分ごとの始終点座標が一致した場合、線幅 1 ($W=0$) のときはアンチエイリアス処理せずに 1 ドット描画し、太線時は何も描画しません。
 3. (R)LINED コマンドは、線分ごとの始終点座標が一致した場合は何も描画しません。
 4. (R)LINEA/B/C コマンドは、水平、垂直、斜め 45 度の線分に対してアンチエイリアス処理を行いません。
 5. (R)LINED コマンドは、水平、垂直、斜め 45 度の線分に対してアンチエイリアス処理を行いません。

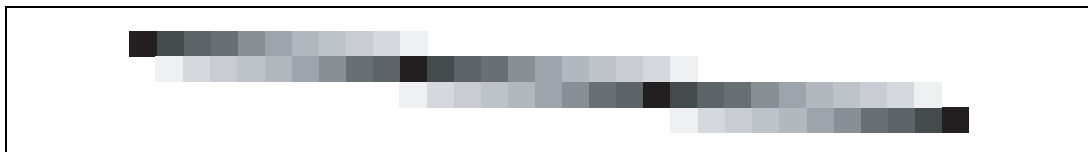


図 11.3 アンチエイリアス指定例

(3) 座標系

2DG は、4つの2次元座標 (スクリーン座標、レンダリング座標、2次元ソース座標、ワーク座標) と1つの1次元座標 (1次元ソース座標) を持っています。

スクリーン座標は表示制御の座標であり、スクリーン座標の X が表示画面の横、Y が縦に対応し、原点が表示画面の左上となります。スクリーン座標の正の方向は、X 軸は右、Y 軸は下となります。スクリーン座標の1座標のデータ幅は、16ビット (16ビット/画素) と8ビット (8ビット/画素) から選択します。スクリーン座標の最大値は $X=4,095$ 、 $Y=4,095$ です。

レンダリング座標は、描画制御の座標であり、スクリーン座標に対して描画コマンドで指定するオフセットの分だけ水平垂直にずれた座標系です。描画コマンドは、この座標で描画動作を行います。レンダリング座標の1座標のデータ幅は、16ビット (16ビット/画素) と8ビット (8ビット/画素) から選択します。

2次元ソース座標は、描画制御の座標であり、描画コマンド実行時に描画コマンドで指定するソース (矩形) の座標系で、 $SS=1$ のとき使用します。2次元ソース座標の1座標のデータ幅は、16ビット (16ビット/画素) と8ビット (8ビット/画素) から選択します。

1次元ソース座標は、描画制御の座標であり、描画コマンド実行時に描画コマンドで指定するソース (1次元) の座標系で、 $SS=0$ のとき使用します。1次元ソース座標の1座標のデータ幅は、1ビット (1ビット/画素) と16ビット (16ビット/画素) と8ビット (8ビット/画素) から選択します。1次元ソース1個につき、1つの物理アドレス (左上) とその1次元ソースの横幅と縦幅を指定します。

ワーク座標は描画制御の座標であり、レンダリング座標に 1:1 で対応します。描画コマンド実行時に描画コマンドで指定するワークの座標系です。ワーク座標の1座標のデータ幅は1ビットです。

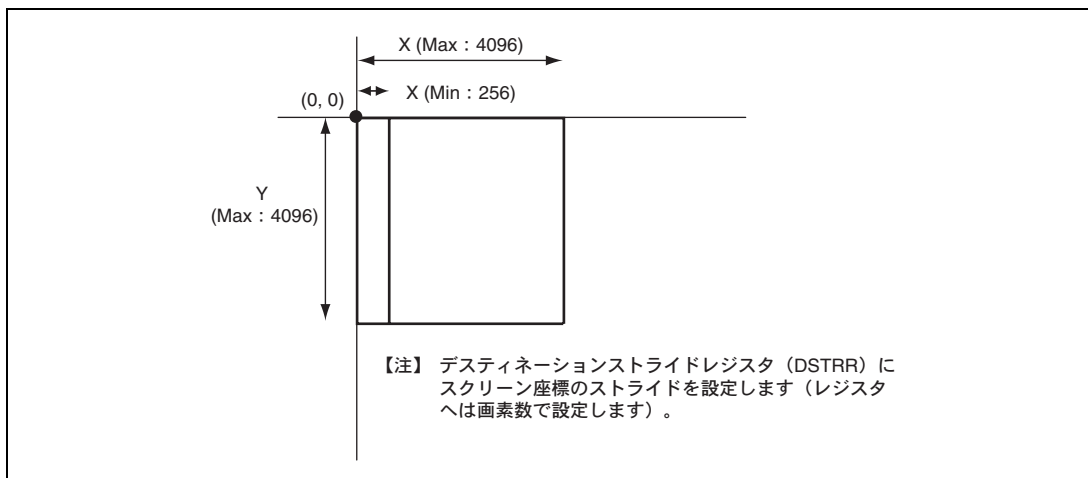


図 11.4 スクリーン座標

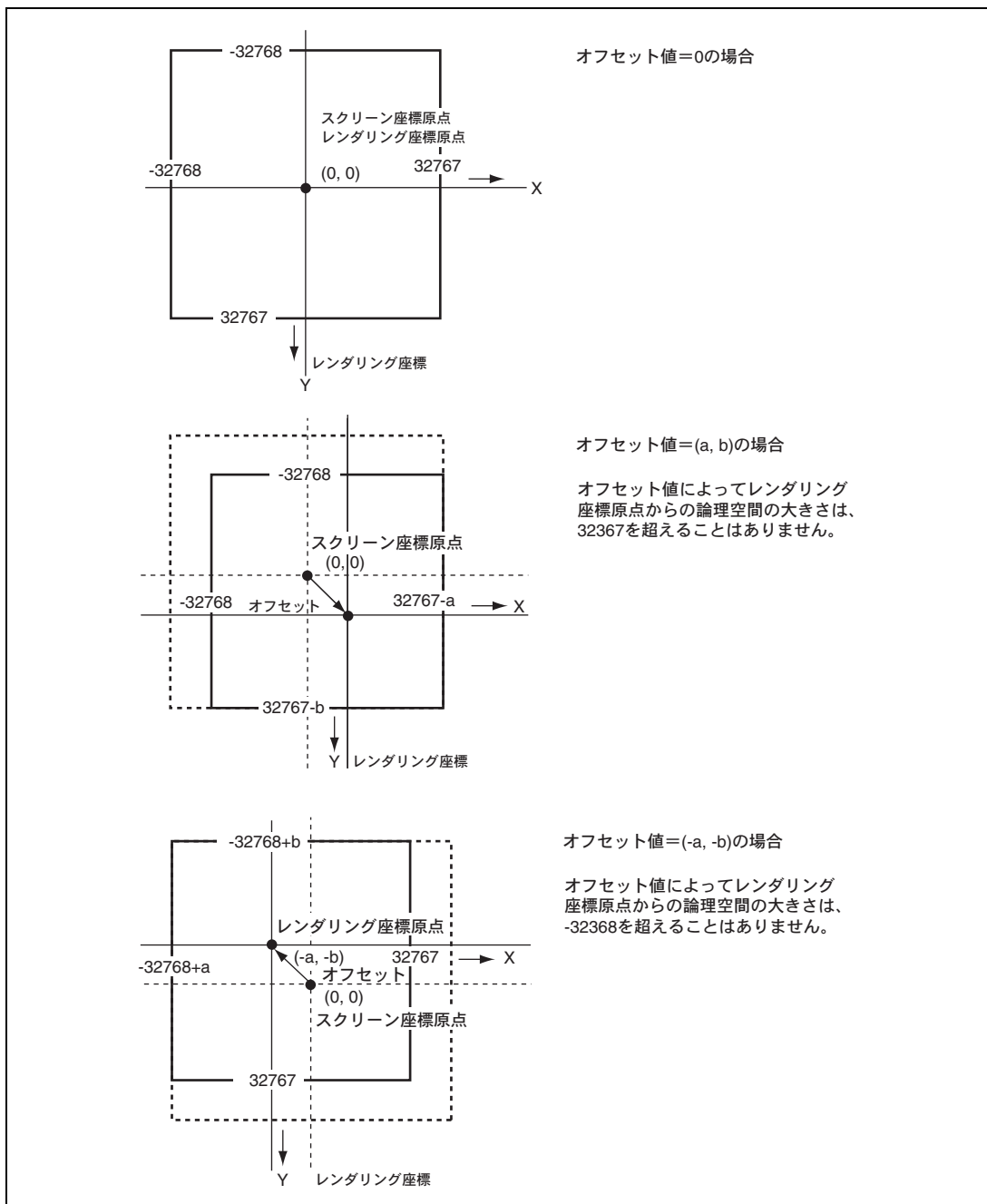


図 11.5 レンダリング座標

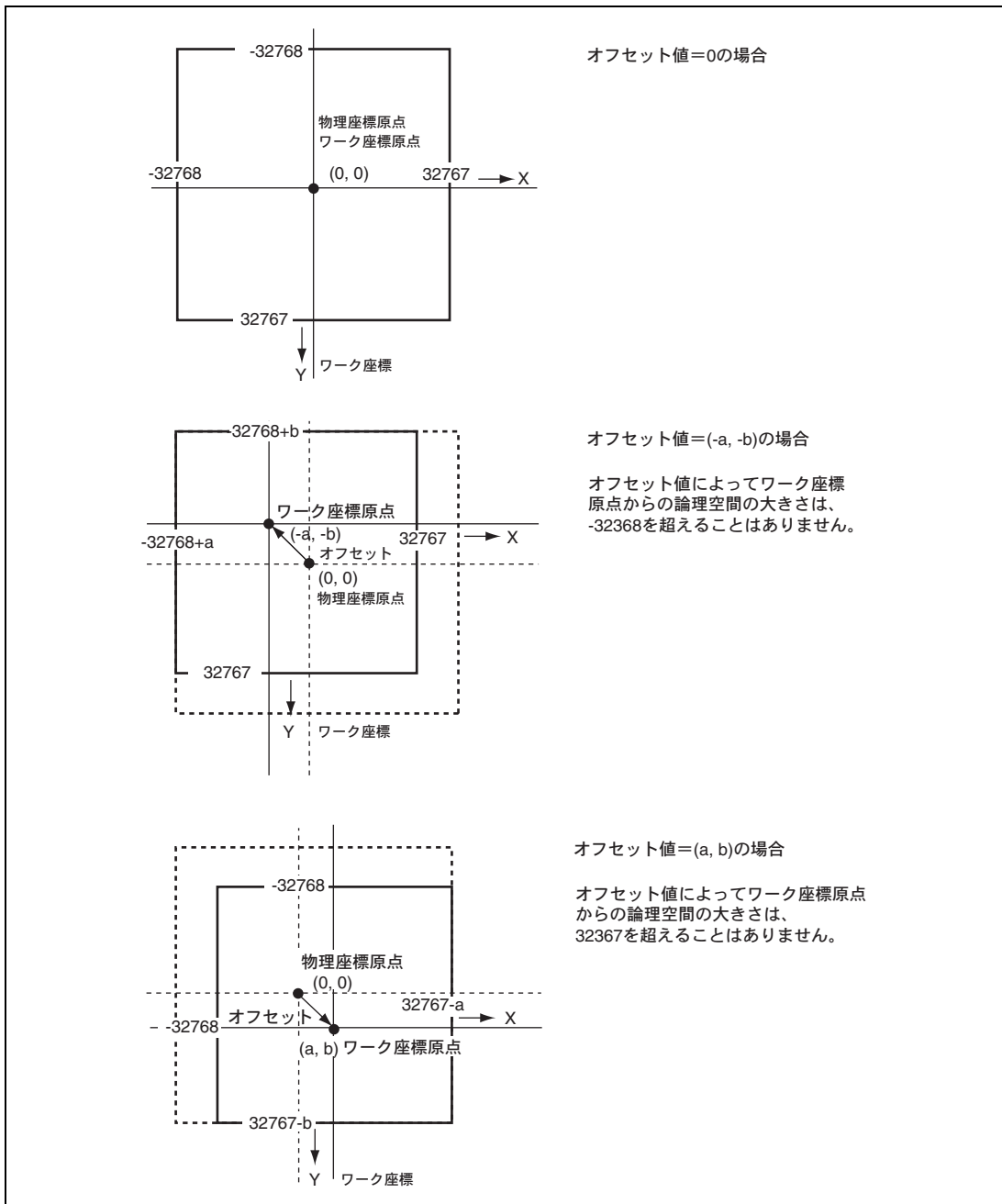


図 11.6 ワーク座標

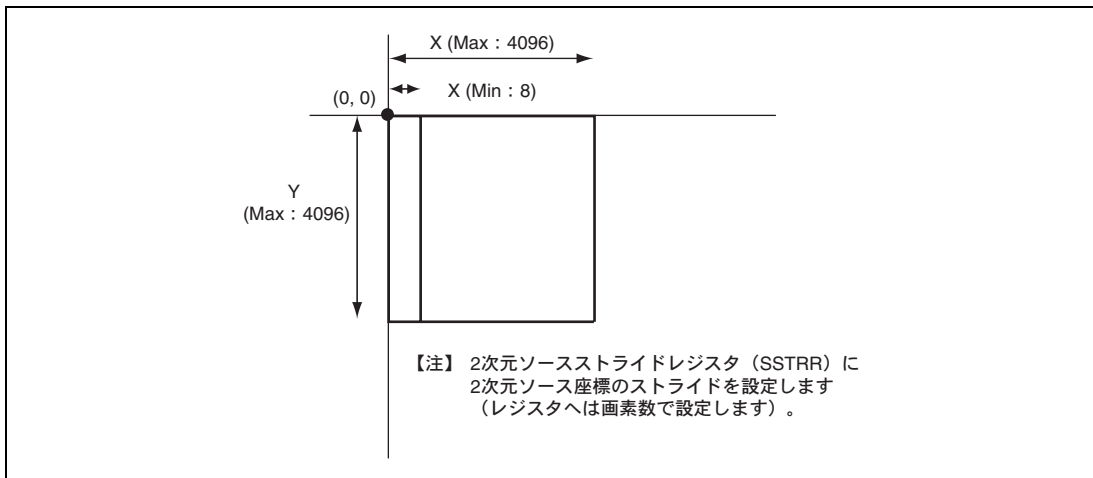


図 11.7 2次元ソース座標 (SS=1)

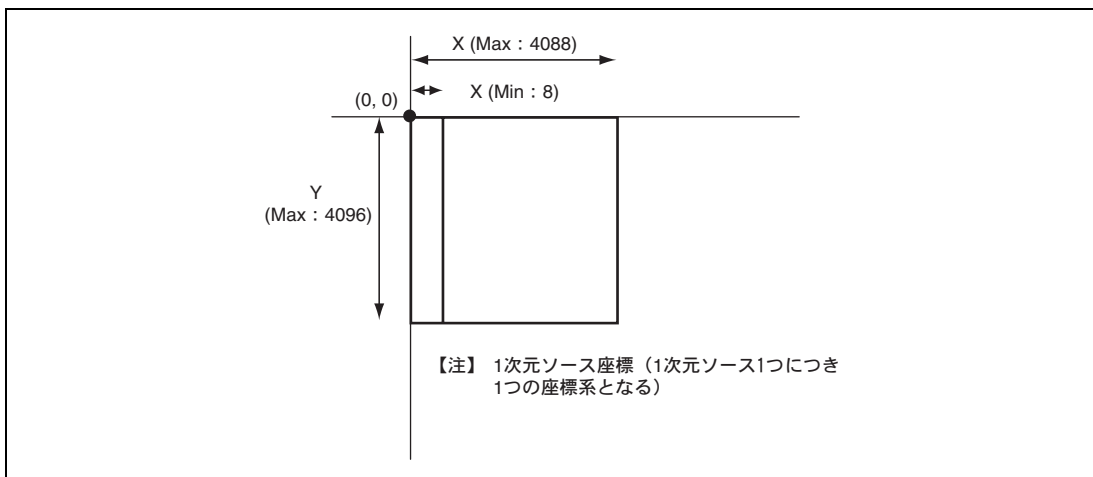


図 11.8 1次元ソース座標 (SS=0)

11.3.2 データフォーマット

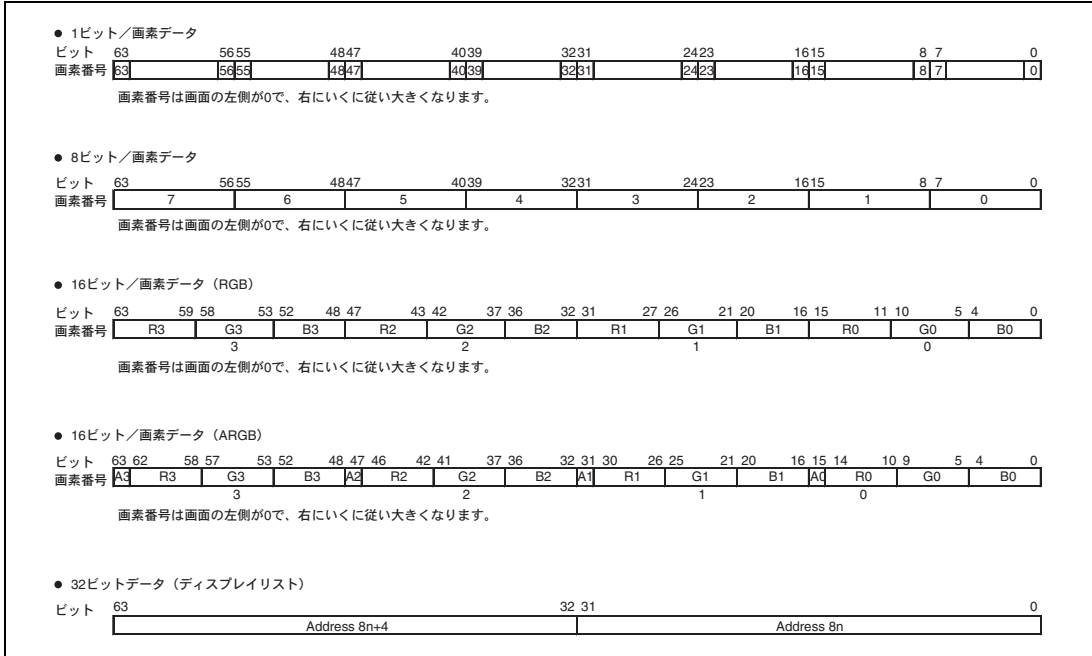


図 11.9 データフォーマット

11.3.3 エンディアン変換

ENDCVR レジスタでエンディアン変換方法を設定します。

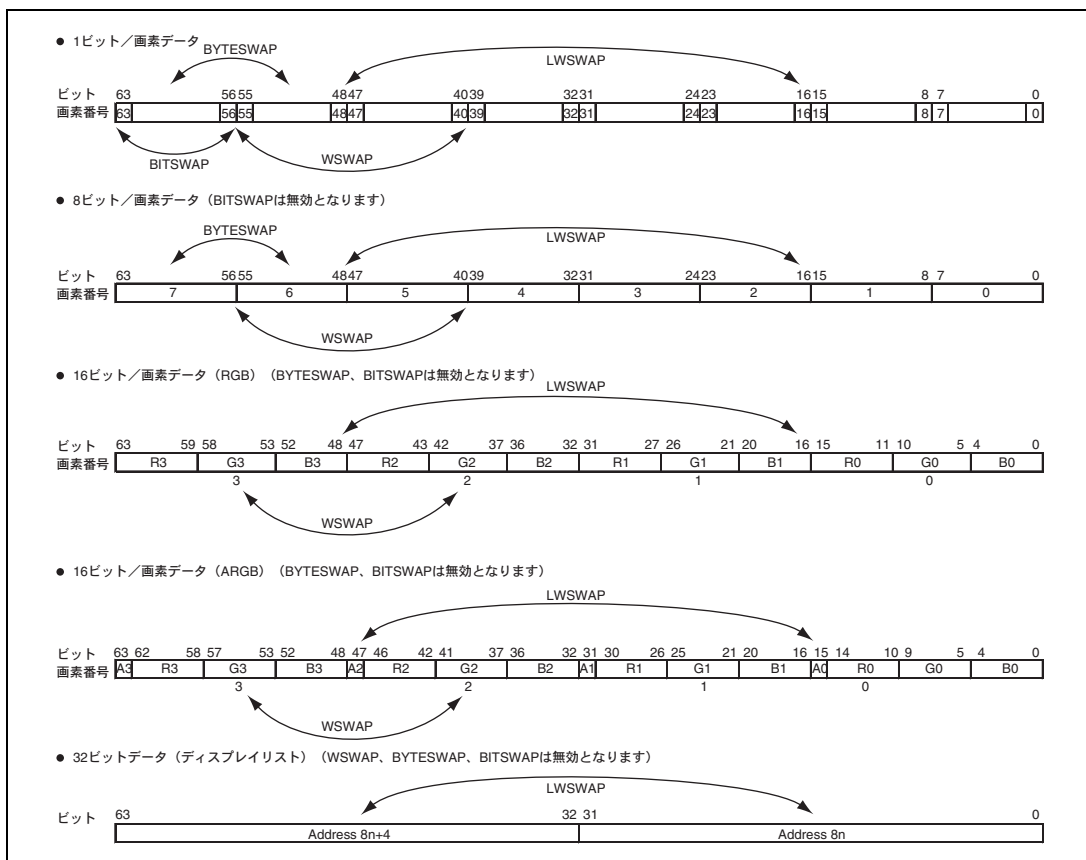


図 11.10 エンディアン変換

11.3.4 レンダリング属性

(1) ソース透過指定 (STRANS)

ソースデータを参照する場合、透過にするか、非透過にするかを STRANS ビットにより描画コマンド単位で選択できます。透過を選択すると、RCLR レジスタの STP ビットが 0 の場合、レジスタの値=ソース色で透過、1 の場合、レジスタの値≠ソース色で透過となり、その画素は描画しません。

使用できるコマンドは、POLYGON4A/4B、LINEA/B、RLINEA/B、BITBLTA/B で、その他のコマンドでは STRANS ビットを 0 にしてください。ソースピクセルフォーマットが ARGB のときは A 値は比較しません。なお、本ビットを 1 に設定した場合、BITBLTA/B コマンドでは ROP コードによらず必ずソースリードします。

(2) デスティネーション透過指定 (DTRANS)

デスティネーションデータを参照する場合、透過にするか、非透過にするかを DTRANS ビットにより描画コマ

ンド単位で選択できます。透過を選択すると、RCLR レジスタの DTP ビットが 0 の場合、レジスタの値=デスティネーション色で透過、1 の場合、レジスタの値≠デスティネーション色で透過となり、その画素は描画しません。

使用できるコマンドは、BITBLTA/B/C で、その他のコマンドでは DTRANS ビットを 0 にしてください。デスティネーションピクセルフォーマットが ARGB のときは A 値は比較しません。なお、本ビットを 1 に設定した場合、ROP コードによらず必ずデスティネーションリードします。

(3) ソーススタイル指定 (STYLE)

ソースデータを拡大縮小するか、または繰り返し参照するかを STYLE ビットにより描画コマンド単位で選択できます。スタイル指定しない場合、ソースデータはレンダリング領域の大きさによって拡大縮小します。スタイル指定した場合、ソースデータはレンダリング領域の大きさによって繰り返し参照します。このため、ハッチパターンのような繰り返し模様を描画する際に本属性を指定します。

使用できるコマンドは、POLYGON4A/4B、LINEA/B、RLINEA/B で、その他のコマンドでは STYLE ビットを 0 にしてください。POLYGON4A/4B、LINEA/B および RLINEA/B コマンドで BLKE=1 設定時は、必ず STYLE=1 を設定してください。

LINEA/B、RLINEA/B コマンド時は、ソースの X 方向のみ繰り返し参照します。ソースの Y 方向は、線幅に応じて拡大/縮小されます。

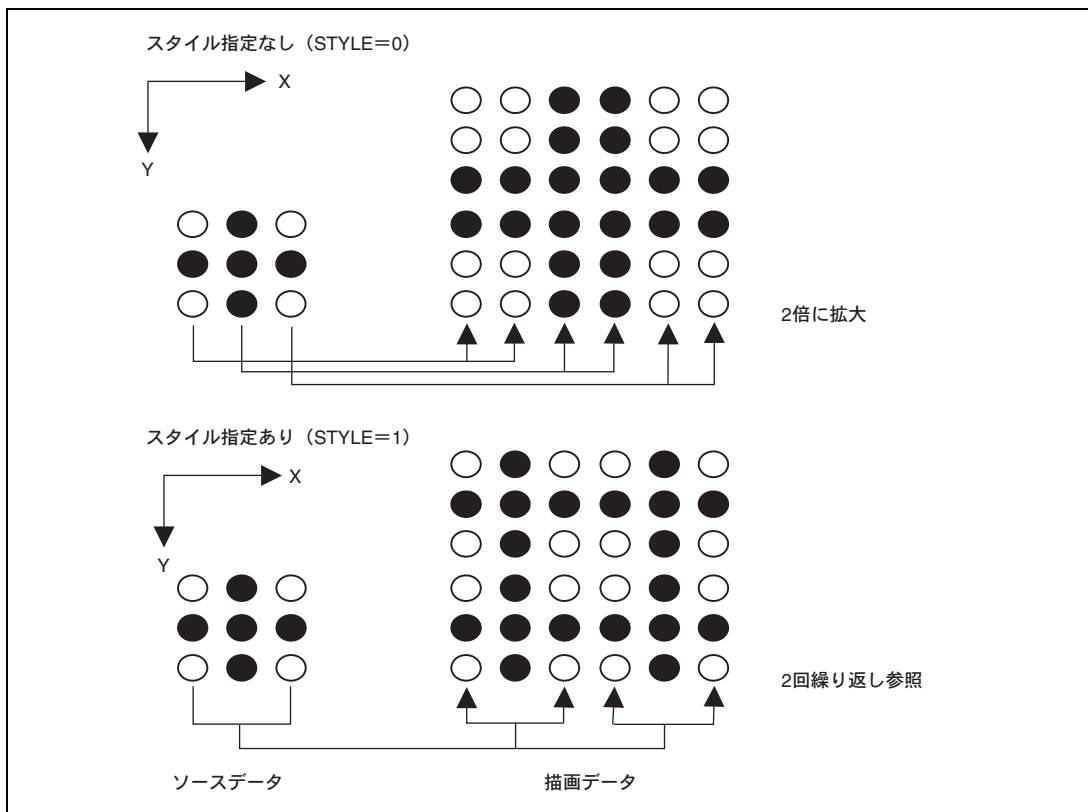


図 11.11 ソーススタイル指定例

(4) クリッピング指定 (CLIP)

クリッピング領域管理を行うことができます。クリッピング領域には、システムクリッピング領域、ユーザクリッピング領域および相対ユーザクリッピング領域があります。

システムクリッピング領域は、描画範囲固定されるものです。システムクリッピング領域は、属性の指定に関係なく常に有効となります。

ユーザクリッピング領域は、システムクリッピング領域内で任意に設定できます。また、その領域内でクリッピングを行うか、行わないかをレンダリング属性の CLIP ビットにより描画コマンド単位で選択できます。境界は描画します。なお、LCOFS、RLCOFS コマンドで設定したローカルオフセット値は加算されません。

必ず $XMIN < XMAX$ 、 $YMIN < YMAX$ となる値を設定してください。

クリッピングは、スクリーン座標で設定します。なお、電源投入後のクリッピング範囲は不定値となりますので、最初に行わせるディスプレイリストの先頭で WPR コマンドにより設定してください。また、XMAX は、デスティネーションストライドで設定した値未満に設定してください。

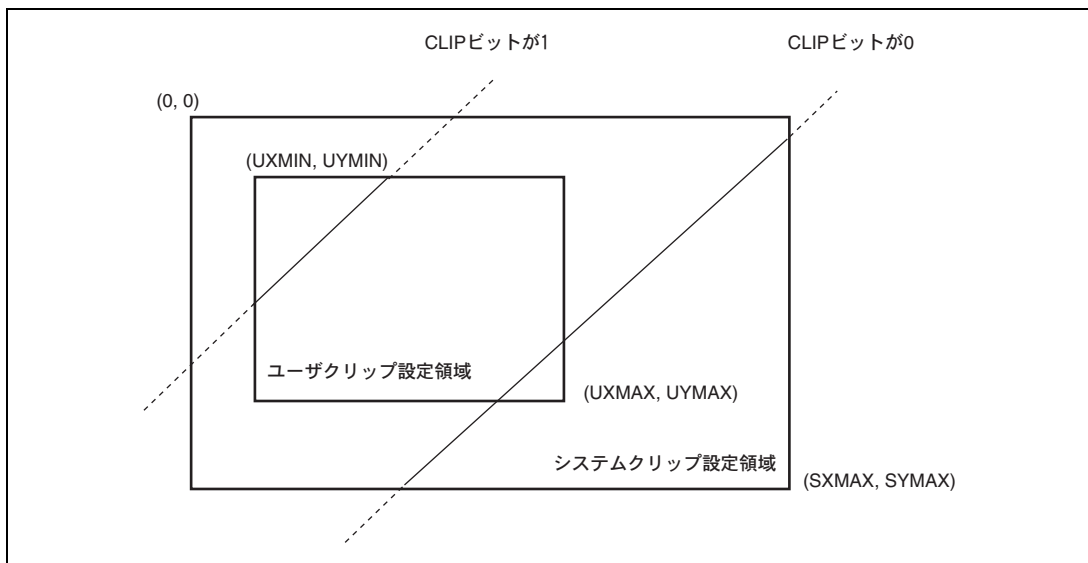


図 11.12 クリッピング指定例

(5) 相対クリッピング指定 (RCLIP)

クリッピング領域管理を行うことができます。クリッピング領域には、システムクリッピング領域、ユーザクリッピング領域および相対ユーザクリッピング領域があります。

システムクリッピング領域は、描画範囲固定されるものです。システムクリッピング領域は、属性の指定に関係なく常に有効となります。

相対ユーザクリッピング領域は、システムクリッピング領域内でローカルオフセットからの相対指定で任意に設定できます。また、その領域内でクリッピングを行うか、行わないかをレンダリング属性の RCLIP ビットにより描画コマンド単位で選択できます。境界は描画します。LCOFS、RLCOFS コマンドで設定したローカルオフセット値が加算されます。

必ず $XMIN < XMAX$ 、 $YMIN < YMAX$ となる値を設定してください。

クリッピングは、スクリーン座標で設定します。電源投入後のクリッピング範囲は不定値となりますので、最初に行わせるディスプレイリストの先頭で WPR コマンドにより設定してください。また、 $XMAX$ はデスティネーションストライドで設定した値未満に設定してください。RCLIP と CLIP ビットを同時に 1 にすると、2つのクリッピング領域が重なった領域を描画します。

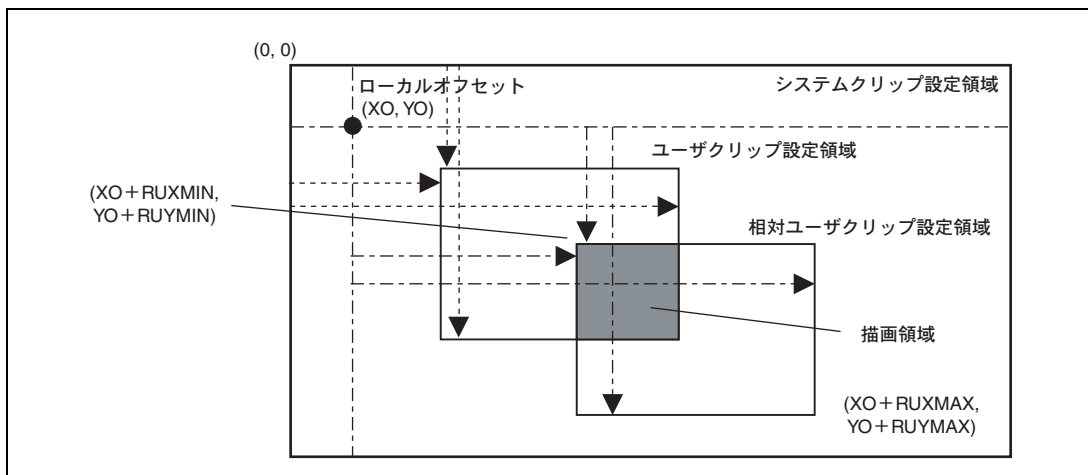


図 11.13 相対ユーザクリッピング指定例

相対ユーザクリッピング領域 $(XO+RUXMIN, YO+RUYMIN) - (XO+RUXMAX, YO+RUYMAX)$ がシステムクリッピング領域と交わった場合、以下のように飽和处理をします。

$XO+RUXMIN < 0 \quad \rightarrow \quad XO+RUXMIN = 0$
 $XO+RUXMAX > SXMAX \quad \rightarrow \quad XO+RUXMAX = SXMAX$
 $YO+RUYMIN < 0 \quad \rightarrow \quad YO+RUYMIN = 0$
 $YO+RUYMAX > SYMAX \quad \rightarrow \quad YO+RUYMAX = SYMAX$

【注】 下記範囲を超えないようにローカルオフセット、相対ユーザクリッピング領域を設定してください。

$$-4,096 \leq XO+RUXMIN \leq 4,095$$

$$-4,096 \leq YO+RUYMIN \leq 4,095$$

$$0 \leq XO+RUXMAX \leq 8,191$$

$$0 \leq YO+RUYMAX \leq 8,191$$

RCLIP=1 のとき、相対ユーザクリッピング領域が下記条件のいずれかを満たす場合、相対ユーザクリッピング領域は 2DG 内部で無効にします。

$$4,095 < XO+RUXMIN$$

$$4,095 < YO+RUYMIN$$

$$XO+RUXMAX < 0$$

$$YO+RUYMAX < 0$$

(6) ネット描画指定 (NET)

ネット描画を行うか、行わないかを NET ビットにより描画コマンド単位で選択できます。ネット描画とは、レンダリング座標の $X+Y=EOS$ (0: 偶数、1: 奇数) が真となる座標の画素のみ描画を行う機能です。

たとえば、 $EOS=0$ なら $Y=0, X=0, 2, 4, 6, 8\cdots$ 、 $Y=1, X=1, 3, 5, 7, 9\cdots$ の座標のみ描画を行います。本機能により、描画する図形と下地を半分ずつ重ね合わせるすることができます。

使用できるコマンドは、POLYGON4 系、LINEA/B/C、RLINEA/B/C で、その他のコマンドでは NET ビットを 0 にしてください。アンチエイリアスイネーブル (AA) ビットとの併用は禁止です。

(7) イーブンオッドセレクト指定 (EOS)

EOS ビット=0 を選択すると偶数画素、EOS ビット=1 を選択すると奇数画素が選択されます。

ネット描画指定 (NET) とあわせて使用します。また、LINEWC および RLINEWC コマンドでは、EOS ビット=0 を選択すると 0 でワーク座標に描画、EOS ビット=1 を選択すると 1 でワーク座標に描画します。

(8) ワーク指定 (WORK)

レンダリング座標に POLYGON4 系、BITBLT 系コマンドで描画する場合、2 値ワークデータを参照するか、参照しないかを WORK ビットにより描画コマンド単位で選択できます。

2 値ワークデータ参照を選択した場合、レンダリング座標に対応する画素のワークデータが 1 ならば描画され、0 ならば描画されません。したがって、ワーク座標に描画された図形と同じ形で、レンダリング座標に描画を行うことができます。

ワーク座標への描画は、FTRAPC、RFTRAPC、LINEWC、RLINEWC、CLRWC コマンドによる描画を想定しています。使用できるコマンドは POLYGON4 系、BITBLT 系で、その他のコマンドでは WORK ビットを 0 にしてください。

(9) ソースアドレス指定 (SS)

ソースを 2 次元ソース領域から参照するか、ディスプレイリストの Base Address パラメータで示すアドレスから参照するかを SS ビットにより選択できます。使用できるコマンドは、POLYGON4A/B、BITBLTA/B コマンドです。SS ビットが使用できないコマンドでは 0 を設定してください。

また、オフセット値を設定すると (TXOFS、TYOFS) からソースを参照します。

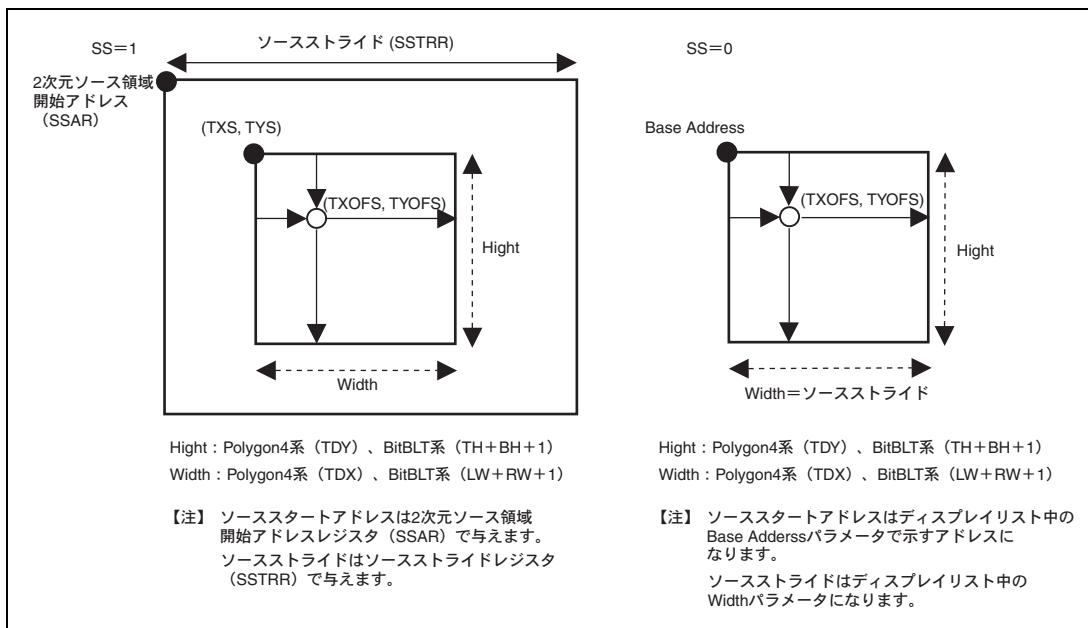


図 11.14 ソースアドレス指定例

【注】 SS=1 時は、 $0 \leq TXS \leq SSTRR - \text{Width} (TDX, LW+RW+1)$ 、 $0 \leq TYS \leq 4,096 - \text{Hight} (TDY, TH+BH+1)$ の範囲で設定してください。

(10) ソース座標相対アドレス指定 (REL)

POLYGON4A/4B、BITBLTA/B、LINEA/B、RLINEA/B、JUMP、GOSUB コマンドにおいて REL ビットを 1 にすることにより、コマンドコードからの前方または後方に相対アドレスでのソース参照または分岐を行えます。

POLYGON4A、BITBLTA コマンドのときは、SS ビットを 0 に設定してください。SS ビットが 1 のときの動作は保証されません。

なお、コマンドコードのアドレスが相対アドレスの原点になります (ロングワードアドレス)。

【注】 POLYGON4A/4B、BITBLTA/B、LINEA/B、RLINEA/B コマンド時は、コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + ソース開始相対アドレス (ロングワード : 32 ビット単位) がクワッドワードアドレス (64 ビット) 単位になるようにしてください。

(11) 縁どり描画 (EDG)

FTRAP、RFTRAP コマンドにおいて、EDG ビットを 1 にすることにより、ワーク領域への多角形描画後に、縁どりのライン群を描画させることができます。このとき、縁どりラインの描画を 0 で行うか、1 で行うかは EOS ビットで指定します。

(12) カラーオフセット (COOF)

POLYGON4 系、LINEA/B/C、RLINEA/B/C、BITBLT 系コマンドで使用可能です。デスティネーションが 16 ビット/画素のとき、レンダリング属性の COOF ビットに 1 を設定すると、ソースデータ (2 値ソースはカラー展開後データ、単色指定時は指定カラー) に、COFSR レジスタの値を加えた結果が描画されます。8 ビット/画素のときには、COOF ビットは必ず 0 に設定してください。ソースピクセルフォーマットが ARGB のときは A 値は

演算されません。

(13) ソースディレクション X、Y (SRCDIRX、SRCDIRY)

BITBLTA/B コマンドで使用可能です。ソースのスキャン方向を選択します。

(TXS、TYS) または Base Address は、ソースのスキャン方向によらず、矩形ソースの左上を指定します。

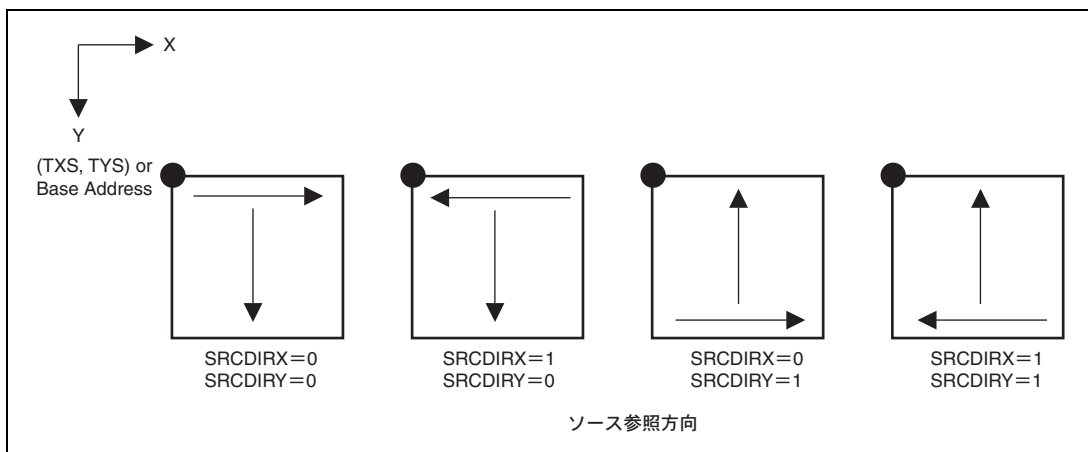


図 11.15 ソースディレクション指定例

(14) デスティネーションディレクション X、Y (DSTDIRX、DSTDIRY)

BITBLTA/B/C コマンドで使用可能です。デスティネーション描画の方向を選択します。

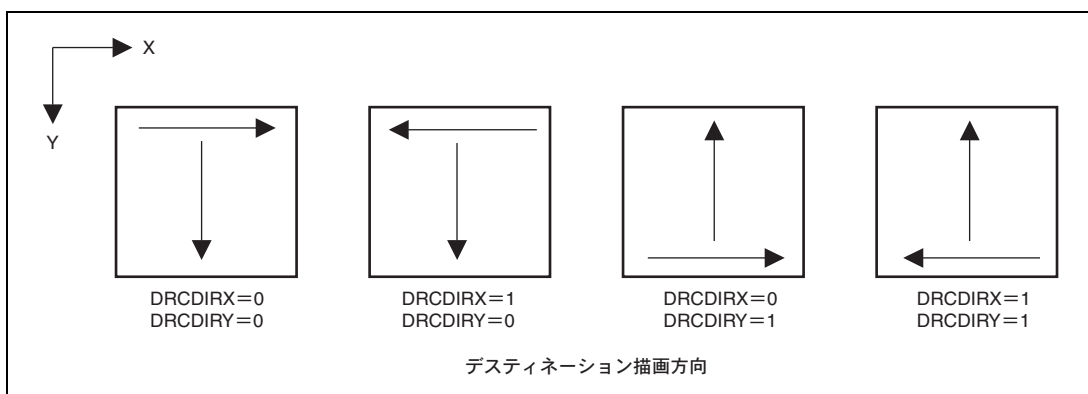


図 11.16 デスティネーションディレクション指定例

(15) アンチエイリアスイネーブル (AA)

LINE 系、RLINE 系コマンドで使用可能です。エイリアスを低減します。

デスティネーションが 16 ビット/画素のときのみ有効です。8 ビット/画素のときは 0 を設定してください。

LINED、RLINED コマンドでは必ず 1 を設定してください。ネット描画指定 (NET) との併用はできません。

(16) アルファブレンディネーブル (αE)

POLYGON4系、BITBLT系コマンドで使用可能です。

ソースデータ (2値ソースはカラー展開後データ、単色指定時は指定カラー) と下地データをアルファブレンドして描画します。アルファ値は ALPHR レジスタに設定します。デスティネーションが 16 ビット/画素のときのみ有効です。8 ビット/画素のときは 0 を設定してください。

POLYGON4系コマンドでは、BLKE=1 のときのみ有効です。BLKE=0 のときは 0 を設定してください。BITBLT系コマンドでは ROP コード=H'CC (ソースコピー) のときのみ有効です。他の ROP コードのときは、 $\alpha E=0$ にしてください。

ARGB フォーマット時の A 値は、アルファブレンドされません。A 値は、RCLR レジスタの SAU ビットおよび AVALUE ビットの設定に従い描画されます。

(17) ソースアルファイネーブル (S α E)

POLYGON4A、BITBLTA コマンドで使用可能です。 αE と合わせて使用します。

$\alpha E=0$ のときは 0 を設定してください。RCLR レジスタの SPF ビットが 1 (ARGB) のとき、RCLR レジスタの SAEP ビットが 0 のときは、ソースデータの A 値が 1 の画素のみアルファブレンドします。A 値が 0 の画素はアルファブレンドせず、ソースデータをそのまま描画します。SAEP ビットが 1 のときは、ソースデータの A 値が 0 の画素のみアルファブレンドします。1 の画素はアルファブレンドせず、ソースデータをそのまま描画します。

SPF ビットが 1 のときのみ有効です。SPF ビットが 0 のときは 0 を設定してください。

(18) ブロックイネーブル (BLKE)

POLYGON4系コマンドで有効です。

BLKE=1 のとき、与えられた頂点座標 (DXn、DYn) を外接する矩形 (DX'n、DY'n) に内部で変換し描画します。BLKE=1 の場合の描画方向は、左上から右下固定になります (上下左右反転はできません)。

CLRW、FTRAPC、RFTRAPC コマンドでは必ず 1 を設定してください。

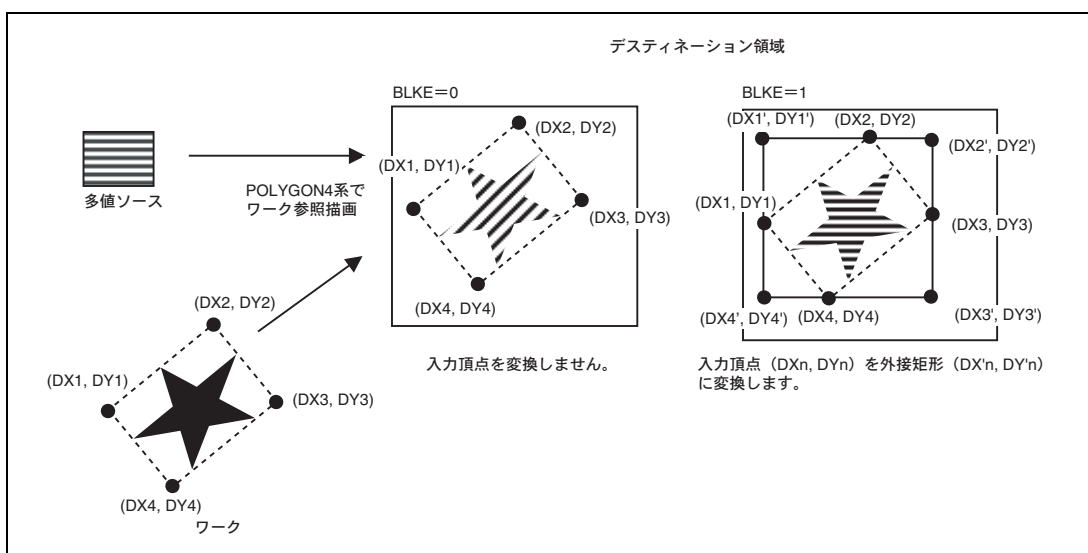


図 11.17 ブロックイネーブル指定例

(19) リンク指定イネーブル (LINKE)

LINEC/D、R LINEC/D、FTRAPC、RFTRAPC、WPR コマンドで使用可能です。

LINEC/D、R LINEC/D、FTRAPC、RFTRAPC コマンド時は頂点座標を、WPR コマンド時はレジスタライトデータを LINK Address で指定したメモリ上から読み出します。

LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(20) リンクアドレス相対指定 (LREL)

LINEC/D、R LINEC/D、FTRAPC、RFTRAPC、WPR コマンドで使用可能で、LINKE と合わせて使用します。

LINKE=0 のときは、0 を設定してください。リンク先アドレスを相対アドレスで指定します。コマンドコードのアドレスが相対アドレスの原点になります。

LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(21) クロックワイズ (CLKW)

LINED、RLINED コマンドで有効です。

N 頂点の与える順番が時計回りか反時計回りかを指定します。CLKW=1 のときは時計回り、CLKW=0 のときは反時計回りを示します。

(22) ラスタオペレーション (ROP)

BITBLT 系コマンドで使用可能です。BITBLT コマンドパラメータの ROP フィールドで指定します。

表 11.3 ラスタオペレーションコード

ROP コード	オペレーション
H'00	0
H'11	~(S D)
H'22	~S & D
H'33	~S
H'44	S & ~D
H'55	~D
H'66	S ^ D
H'77	~(S & D)
H'88	S & D
H'99	~(S ^ D)
H'AA	D
H'BB	~S D
H'CC	S
H'DD	S ~D
H'EE	S D
H'FF	1

アルファブレンドイネーブル有効時 ($\alpha E=1$) は、H'CC に設定してください。また、ARGB フォーマット時の A 値は、アルファブレンドおよびラスターオペレーションされません。A 値は、RCLR レジスタの SAU ビットおよび AVALUE ビットの設定に従い描画されます。

11.3.5 2DG 内部キャッシュ構造

2DG は、コマンドキャッシュ、ソース (テクスチャ) キャッシュ、ワークキャッシュ、デスティネーションキャッシュの 4 種類のキャッシュを内蔵しています。これらのキャッシュは、DDR メモリ内に存在するデータを 2DG が一時的に蓄えるために用い、2DG はこのキャッシュに蓄積されたデータを使用して描画を行います。

各キャッシュの役割は、以下のとおりです。

(1) コマンドキャッシュ (64 バイト)

2DG が DDR メモリ上のディスプレイリストを蓄積する際に使用します。本キャッシュは、レンダリングスタートでクリアします。

ただし、NOP コマンド (INT=1) による停止状態からの再開時はクリアしません。

(2) ソース (テクスチャ) キャッシュ (8K バイト)

2DG が DDR メモリ上のソース (テクスチャ) データを蓄積する際に使用します。本キャッシュは、TRAP コマンド、NOP コマンド (INT=1) でクリアします。

(3) ワークキャッシュ (1K バイト)

2DG が DDR メモリ上のワーク座標に描画およびワーク参照する際に使用します。本キャッシュは、TRAP コマンド、NOP コマンド (INT=1) でフラッシュします。

(4) デスティネーションキャッシュ (512 バイト)

2DG が DDR メモリ上のレンダリング座標に描画する際に使用します。本キャッシュは、TRAP コマンド、NOP コマンド (INT=1) でフラッシュします。

2DG の各内部キャッシュの内容が更新されない場合 (各キャッシュの容量以下のデータで同一のアドレスを参照したり、前回の参照開始位置から各キャッシュの容量以下の位置で参照が終了した場合)、DDR メモリ上のデータを書き換えても前回のキャッシュの内容が使用されてしまいます。このため、各キャッシュ間で領域に重なりのある場合は、データのコヒーレンスが保たれない場合が生じます。

これを避けるためには、意図的に各キャッシュの内容を更新させる必要があります。具体的には以下の方法を実施してください。

- 各内部キャッシュの容量を超える位置のアドレスが参照されるようにしてください。なお、コマンドキャッシュを除く各キャッシュは、SYNC コマンドを使用することで、キャッシュの内容を更新することが可能です。

11.4 ディスプレイリスト

11.4.1 4 頂点面描画コマンド

(1) POLYGON4A

(a) 機能

デスティネーション領域に多値（8 または 16 ビット/画素）ソースを参照しながら、任意の 4 頂点描画を行います。

(b) コマンドフォーマット

- SS=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1000 0010								Reserve (all 0)								Draw Mode															
0	0	0	0	TXS ($0 \leq TXS \leq 4,088$)								0	0	0	0	TYS ($0 \leq TYS \leq 4,095$)															
0	0	0	0	TDX ($8 \leq TDX \leq 4,095$)								0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)															
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX - 1$)								0	0	0	0	TYOFS ($0 \leq TYOFS \leq TDY - 1$)															
符	DX1($-32,768 \leq DX1 \leq 32,767$)								符	DY1($-32,768 \leq DY1 \leq 32,767$)																					
符	DX2($-32,768 \leq DX2 \leq 32,767$)								符	DY2($-32,768 \leq DY2 \leq 32,767$)																					
符	DX3($-32,768 \leq DX3 \leq 32,767$)								符	DY3($-32,768 \leq DY3 \leq 32,767$)																					
符	DX4($-32,768 \leq DX4 \leq 32,767$)								符	DY4($-32,768 \leq DY4 \leq 32,767$)																					

【注】 $0 \leq TXS \leq SSTRR - TDX$ 、 $0 \leq TYS \leq 4,096 - TDY$ (SSTRR: ソースストライドレジスタ設定値)

- SS=0かつREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1000 0010								Reserve (all 0)								Draw Mode															
0	0	0	0	Base Address(quad word address)																0	0	0									
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)								0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)															
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX - 1$)								0	0	0	0	TYOFS ($0 \leq TYOFS \leq TDY - 1$)															
符	DX1($-32,768 \leq DX1 \leq 32,767$)								符	DY1($-32,768 \leq DY1 \leq 32,767$)																					
符	DX2($-32,768 \leq DX2 \leq 32,767$)								符	DY2($-32,768 \leq DY2 \leq 32,767$)																					
符	DX3($-32,768 \leq DX3 \leq 32,767$)								符	DY3($-32,768 \leq DY3 \leq 32,767$)																					
符	DX4($-32,768 \leq DX4 \leq 32,767$)								符	DY4($-32,768 \leq DY4 \leq 32,767$)																					

- SS=0かつREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1000 0010								Reserve (all 0)								Draw Mode															
符号拡張		符		Base Address(long word address)																								0	0		
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)												0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)											
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX - 1$)												0	0	0	0	TYOFS ($0 \leq TYOFS \leq TDY - 1$)											
符	DX1(-32,768 \leq DX1 \leq 32,767)												符	DY1(-32,768 \leq DY1 \leq 32,767)																	
符	DX2(-32,768 \leq DX2 \leq 32,767)												符	DY2(-32,768 \leq DY2 \leq 32,767)																	
符	DX3(-32,768 \leq DX3 \leq 32,767)												符	DY3(-32,768 \leq DY3 \leq 32,767)																	
符	DX4(-32,768 \leq DX4 \leq 32,767)												符	DY4(-32,768 \leq DY4 \leq 32,767)																	

【注】 コマンドコードが配置されるアドレス（ロングワード：32ビット単位）+ Base Address（ロングワード：32ビット単位）が、クワッドワードアドレス（64ビット）単位になるようにしてください。

(c) CODE

B'10000010

(d) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
○		○ (WORK=1のみ)		○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0固定	0固定	CLIP	RCLIP	STRANS	0固定	WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	αE	S αE

(e) コマンドパラメータ

TXS, TYS : ソース開始点。未使用ビットは0を書き込んでください。

Base Address : ソース開始絶対アドレス（クワッドワードアドレス、A31~29 および A2~A0 は0を書き込んでください

ソース開始相対アドレス（ロングワードアドレス、負の数は2の補数とします。A31~A29 は A28 の符号を拡張してください。A1~A0 は0を書き込んでください）。

【注】 32ビットアドレスモードにおいても、指定する32ビットアドレスのビット28~ビット3をA28~A3に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは0を書き込んでください。

DXn, DYn (n=1~4) : レンダリング座標（絶対座標）。負の数は2の補数とします。

TXOFS, TYOFS : ソースオフセット。未使用ビットは0を書き込んでください。

(f) 説明

多値（8または16ビット/画素）のソースデータを任意の四角形でレンダリング座標に転送します。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋め

を行うために2度書きが生じます。

なお、SS=0のとき、TDXには8画素の倍数の画素数を設定してください。SS=1では、TDXに8画素以上の値を画素単位で設定してください。TDXが8画素未満の場合は、多値ソースの参照が正常に行われません。また、TXOFS、TYOFSを設定するとソースをオフセット分ずらして参照します。TXOFS、TYOFSは画素単位で設定します。

- レンダリング属性でソーススタイル指定 (STYLE=1) を選択すると、ソースは拡大/縮小せず、繰り返し参照します。
- レンダリング属性でワーク指定 (WORK=1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
- SS=1のときは、2次元ソース領域からソースを参照し、SS=0のときはディスプレイリストのBase Addressからソース参照します。ソースアドレスは、REL=0のときは絶対アドレスで指定できます。REL=1のときは、POLYGON4Aコマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定できます。
- 描画が16ビット/画素のとき、レンダリング属性のCOOFビットに1を設定すると多値ソースデータの値に、COFSRレジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8ビット/画素のときには、COOFビットは必ず0に設定してください。

(g) 例

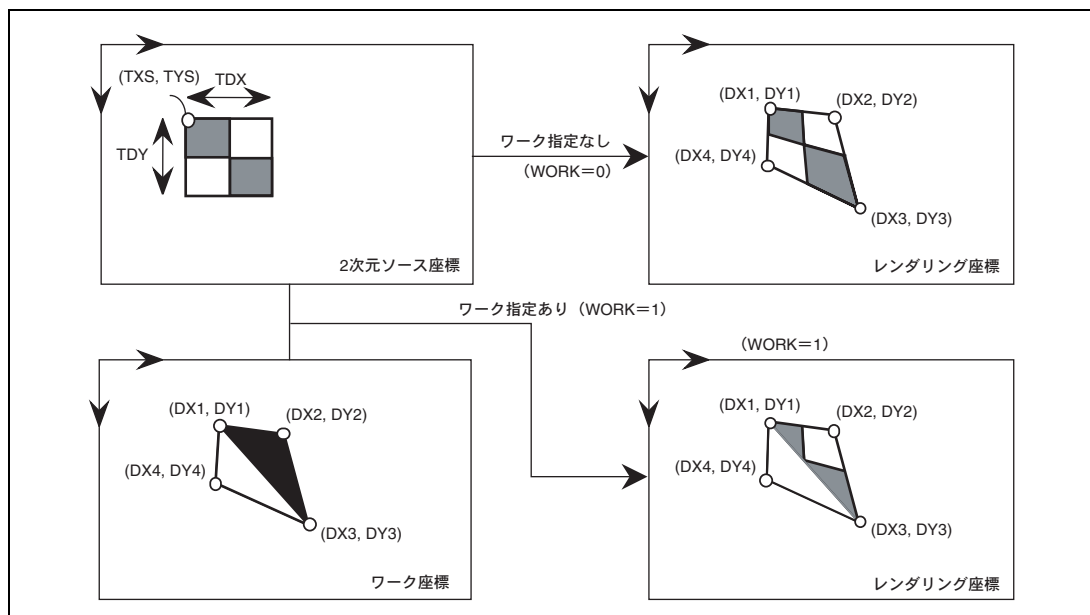


図 11.18 POLYGON4A コマンド例

(2) POLYGON4B

(a) 機能

デスティネーション領域に2値 (1ビット/画素) ソースを参照しながら、任意の4頂点描画を行います。

(b) コマンドフォーマット

• SS=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE=1000 0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
0	0	0	0	TXS ($0 \leq TXS \leq 4,088$)												0	0	0	0	TYS ($0 \leq TYS \leq 4,095$)													
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)								0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)																	
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX - 1$)												0	0	0	0	TYOFS ($0 \leq TYOFS \leq TDY - 1$)													
符	DX1(-32,768 \leq DX1 \leq 32,767)																符	DY1(-32,768 \leq DY1 \leq 32,767)															
符	DX2(-32,768 \leq DX2 \leq 32,767)																符	DY2(-32,768 \leq DY2 \leq 32,767)															
符	DX3(-32,768 \leq DX3 \leq 32,767)																符	DY3(-32,768 \leq DY3 \leq 32,767)															
符	DX4(-32,768 \leq DX4 \leq 32,767)																符	DY4(-32,768 \leq DY4 \leq 32,767)															

【注】 $0 \leq TXS \leq SSTRR - TDX$ 、 $0 \leq TYS \leq 4,096 - TDY$ (SSTRR:ソースストライドレジスタ設定値)

• SS=0かつREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE=1000_0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
0	0	0	Base Address(quad word address)												0	0	0																
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)								0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)																	
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX - 1$)												0	0	0	0	TYOFS ($0 \leq TYOFS \leq TDY - 1$)													
符	DX1(-32,768 \leq DX1 \leq 32,767)																符	DY1(-32,768 \leq DY1 \leq 32,767)															
符	DX2(-32,768 \leq DX2 \leq 32,767)																符	DY2(-32,768 \leq DY2 \leq 32,767)															
符	DX3(-32,768 \leq DX3 \leq 32,767)																符	DY3(-32,768 \leq DY3 \leq 32,767)															
符	DX4(-32,768 \leq DX4 \leq 32,767)																符	DY4(-32,768 \leq DY4 \leq 32,767)															

- SS=0かつREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
OP CODE=1000 0001								Reserve (all 0)								Draw Mode																							
Color1																Color0																							
符号拡張		符		Base Address(long word address)																																0		0	
0		0		TDX ($8 \leq TDX \leq 4,088$)								0		0		0		TDY ($1 \leq TDY \leq 4,095$)								0		0											
0		0		TXOFS ($0 \leq TXOFS \leq TDX - 1$)								0		0		0		TYOFS ($0 \leq TYOFS \leq TDY - 1$)								0		0											
符		DX1(-32,768 \leq DX1 \leq 32,767)																符		DY1(-32,768 \leq DY1 \leq 32,767)																			
符		DX2(-32,768 \leq DX2 \leq 32,767)																符		DY2(-32,768 \leq DY2 \leq 32,767)																			
符		DX3(-32,768 \leq DX3 \leq 32,767)																符		DY3(-32,768 \leq DY3 \leq 32,767)																			
符		DX4(-32,768 \leq DX4 \leq 32,767)																符		DY4(-32,768 \leq DY4 \leq 32,767)																			

【注】 コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) +Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

(c) CODE

B'10000001

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	○	○ (WORK=1 のみ)		○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	0 固定	WORK	SS	REL	STYLE	BLKE	NET	EOS	COOF	αE	0 固定

(e) コマンドパラメータ

TXS, TYS : ソース開始点。未使用ビットは 0 を書き込んでください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください)

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

DXn, DYn (n=1~4) : レンダリング座標 (絶対座標)。負の数は 2 の補数とします。

TXOFS, TYOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

COLOR0, COLOR1 : 8 または 16 ビット/画素カラー指定。16 ビット/画素はデスティネーションのピクセルフォーマットに合わせてください。

8 ビット/画素時は上位、下位バイト共、同じ値を設定してください。

(f) 説明

2 値 (1 ビット/画素) のソースデータを任意の四角形で、レンダリング領域に、パラメータの COLOR0 および COLOR1 で指定した色で描画します。

8 ビット/画素時のカラー指定 (COLOR0、COLOR1) には、上位、下位バイトとも同じ 8 ビットデータを設定してください。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために 2 度書きが生じます。TDX の値は SS ビットの値によらず、必ず 8 画素の倍数の値を設定してください。また、TXOFS、TYOFS を設定するとソースをオフセット分ずらして参照します。TXOFS、TYOFS は、画素単位で設定します。

- レンダリング属性でソーススタイル指定 (STYLE=1) を選択すると、ソースは拡大/縮小せず、繰り返し参照します。
- レンダリング属性でワーク指定 (WORK=1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
- ソースアドレスは、REL=0のときは絶対アドレスで指定します。REL=1のときは、POLYGON4Bコマンドのコードコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定します。

(g) 例

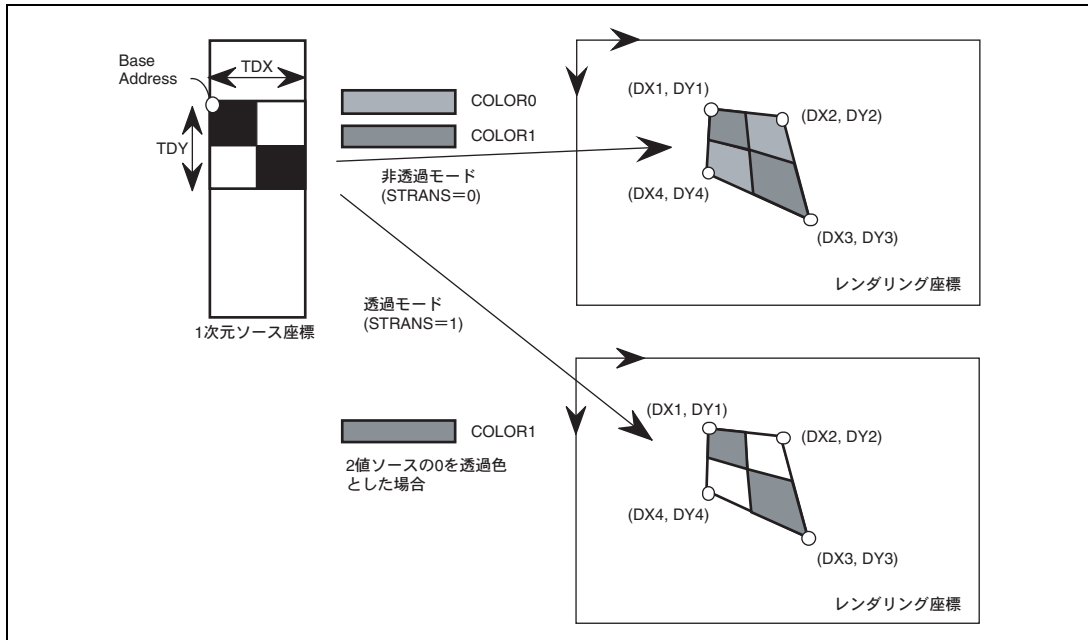


図 11.19 POLYGON4B コマンド例

(3) POLYGON4C

(a) 機能

レンダリング座標に単色指定で任意の4頂点描画を行います。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1000 0000								Reserve (all 0)								Draw Mode															
all 0																Color															
符								DX1(-32,768≤DX1≤32,767)								符								DY1(-32,768≤DY1≤32,767)							
符								DX2(-32,768≤DX2≤32,767)								符								DY2(-32,768≤DY2≤32,767)							
符								DX3(-32,768≤DX3≤32,767)								符								DY3(-32,768≤DY3≤32,767)							
符								DX4(-32,768≤DX4≤32,767)								符								DY4(-32,768≤DY4≤32,767)							

(c) CODE

B'10000000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
		○ (WORK=1のみ)	○	○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	0 固定	WORK	0 固定	0 固定	0 固定	BLKE	NET	EOS	COOF	αE	0 固定

(e) コマンドパラメータ

DX_n, DY_n (n=1~4) : レンダリング座標 (絶対座標)、負の数は2の補数とします。

COLOR : 8 または 16 ビット/画素カラー指定。16 ビット/画素はデスティネーションのピクセルフォーマットに合わせてください。

8 ビット/画素時は上位、下位バイト共、同じ値を設定してください。

(f) 説明

任意の四角形をレンダリング領域に、パラメータの COLOR で指定した単色で描画します。レンダリング属性でワーク指定 (WORK=1) を選択した場合、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。

(g) 例

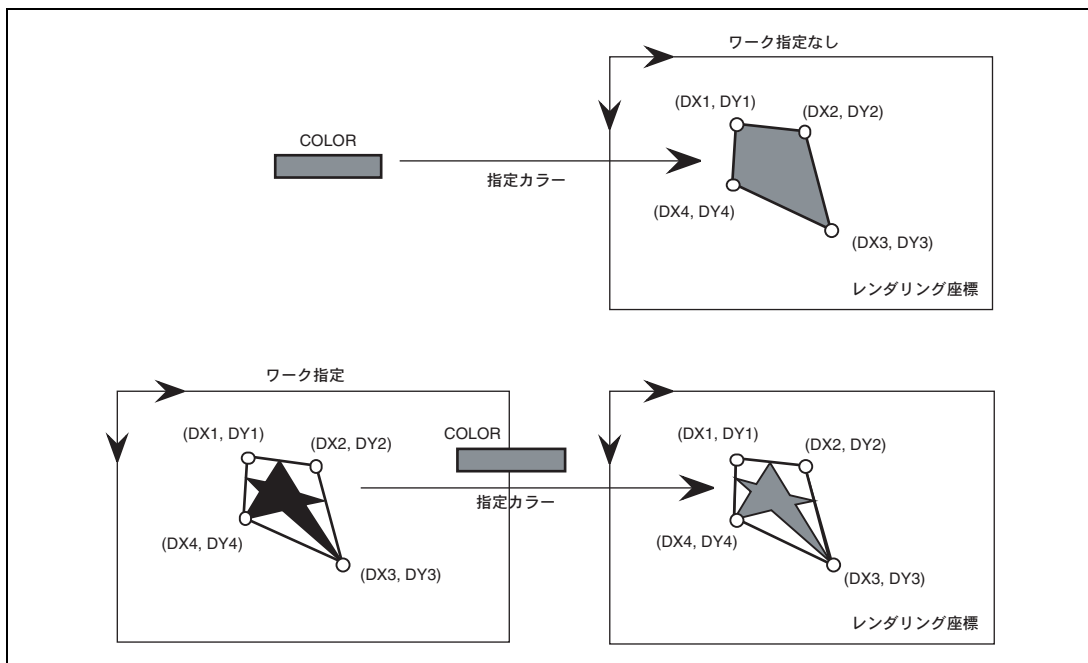


図 11.20 POLYGON4C コマンド例

11.4.2 線描画

(1) LINEA

(a) 機能

デスティネーション領域に多値 (8 または 16 ビット/画素) ソースを参照しながら、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

- REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0010								Reserve (all 0)								Draw Mode															
0	0	0	Base Address(quad word address)														0	0	0												
0	0	0	0	TDX (8 ≤ TDX ≤ 4,088)								0	0	0	0	0	0	0	0	TDY (1 ≤ TDY ≤ 4,095)											
0	0	0	0	0	TXOFS (0 ≤ TXOFS ≤ TDX - 1)								n (2 ≤ n ≤ 65,535)																		
Reserve (all 0)															0	0	0	0	0	0	0	0	0	0	0	0	W(0, 2 ≤ W ≤ 63)				
符	DX1(-32,768 ≤ DX1 ≤ 32,767)														符	DY1(-32,768 ≤ DY1 ≤ 32,767)															
符	.														符	.															
符	.														符	.															
符	DXn(-32,768 ≤ DXn ≤ 32,767)														符	DYn(-32,768 ≤ DYn ≤ 32,767)															

- 【注】 1. W=0 のときは、TDY=1 に設定してください。
2. n=0、1 を設定した場合の動作は保証されません。

• REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE=1011 0010								Reserve (all 0)								Draw Mode																			
符号拡張				符				Base Address(long word address)																0		0									
0				0				TDX (8≦TDX≦4,088)								0				0				TDY (1≦TDY≦4,095)											
0				0				TXOFS (0≦TXOFS≦TDX - 1)								n (2≦n≦65,535)																			
Reserve (all 0)																0				0				0				0				W(0,2≦W≦63)			
符				符				DX1(-32,768≦DX1≦32,767)								符				符				DY1(-32,768≦DY1≦32,767)											
符				符				.								符				符				.											
符				符				.								符				符				.											
符				符				DXn(-32,768≦DXn≦32,767)								符				符				DYn(-32,768≦DYn≦32,767)											

- 【注】 1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
2. W=0 のときは、TDY=1 に設定してください。
3. n=0、1 を設定した場合の動作は保証されません。

(c) CODE

B'10110010

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
○				○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

- 【注】 1. SS : 0 を設定してください。
2. STYLE : 1 を設定してください。

(e) コマンドパラメータ

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX、TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

- TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。
- n (n=2~65535) : 頂点数
- W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。
W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。
- DXn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。
- DYn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

(f) 説明

頂点 1 (DX1, DY1) から頂点 2 (DX2, DY2)、…、頂点 n-1 (DXn-1, DYn-1) を経由し、頂点 n (DXn, DYn) まで折れ線を描画します。TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS は、画素単位で設定します。STYLE のパターン繰り返しは、ソースの X 方向のみ行います。Y 方向は線幅に応じて、拡大/縮小されます。

W に 1 より大きい値を設定すると太線を描画できます。

- 【注】
- 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 - 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し、太線時は何も描画しません。
 - AA=1 のとき
 - 破線時は、破線の隙間はアンチエイリアスがかかりません。
 - 線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。

(2) LINEB

(a) 機能

デスティネーション領域に 2 値 (1 ビット/画素) ソースを参照しながら、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

- REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE=1011 0001								Reserve (all 0)								Draw Mode																	
Color1																Color0																	
0	0	0	Base Address(quad word address)													0	0	0															
0	0	0	0	TDX (8≤TDX≤4,088)								0	0	0	0	0	0	0	0	TDY (1≤TDY≤4,095)													
0	0	0	0	TXOFS (0≤TXOFS≤TDX - 1)								n (2≤n≤65535)																					
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	W(0,2≤W≤63)					
符	DX1(-32,768≤DX1≤32,767)																符	DY1(-32,768≤DY1≤32,767)															
符	.																符	.															
符	.																符	.															
符	DXn(-32,768≤DXn≤32,767)																符	DYn(-32,768≤DYn≤32,767)															

- 【注】
- W=0 のときは、TDY=1 に設定してください。
 - n=0、1 を設定した場合の動作は保証されません。

• REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0001								Reserve (all 0)								Draw Mode															
Color1																Color0															
符号拡張		符		Base Address(long word address)																								0		0	
0 0 0 0				TDX ($8 \leq TDX \leq 4,088$)												0 0 0 0				TDY ($1 \leq TDY \leq 4,095$)											
0 0 0 0				TXOFS ($0 \leq TXOFS \leq TDX - 1$)												n ($2 \leq n \leq 65,535$)															
Reserve (all 0)																0 0 0 0				0 0 0 0				W($0, 2 \leq W \leq 63$)							
符		DX1($-32,768 \leq DX1 \leq 32,767$)														符		DY1($-32,768 \leq DY1 \leq 32,767$)													
符		.														符		.													
符		.														符		.													
符		DXn($-32,768 \leq DXn \leq 32,767$)														符		DYn($-32,768 \leq DYn \leq 32,767$)													

- 【注】 1. コマンドコードが配置されるアドレス（ロングワード：32ビット単位）+ Base Address（ロングワード：32ビット単位）が、クワッドワードアドレス（64ビット）単位になるようにしてください。
2. W=0のときは、TDY=1に設定してください。
3. n=0、1を設定した場合の動作は保証されません。

(c) CODE

B'10110001

(d) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
	○			○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0固定	0固定	CLIP	RCLIP	STRANS	0固定	0固定	SS(0)	REL	STYLE(1)	0固定	NET	EOS	COOF	AA	0固定

- 【注】 1. SS : 0を設定してください。
2. STYLE : 1を設定してください。

(e) コマンドパラメータ

Color0, Color1 : 8または16ビット/画素カラー指定。16ビット/画素はデスティネーションのピクセルフォーマットに合わせてください。

8ビット/画素時は上位、下位バイト共、同じ値を設定してください。

Base Address : ソース開始絶対アドレス（クワッドワードアドレス、A31~29およびA2~A0は0を書き込んでください）。

ソース開始相対アドレス（ロングワードアドレス、負の数は2の補数とします。A31~A29はA28の符号を拡張してください。A1、A0は0を書き込んでください）。

- 【注】 32ビットアドレスモードにおいても、指定する32ビットアドレスのビット28~ビット3をA28~A3に書き込んでください。

- TDX, TDY : ソースサイズ。未使用ビットは0を書き込んでください。
- TXOFS : ソースオフセット。未使用ビットは0を書き込んでください。
- n (n=2~65535) : 頂点数
- W : 線幅。整数6ビットで与えます。未使用ビットは0を書き込んでください。
Wに0を設定すると線幅1の折れ線を描画します。1は設定禁止です。
- DXn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は2の補数とします。
- DYn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は2の補数とします。

(f) 説明

頂点1 (DX1, DY1) から頂点2 (DX2, DY2)、…、頂点n-1 (DXn-1, DYn-1) を経由し、頂点n (DXn, DYn) まで折れ線を描画します。TDX の値は必ず8画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS は、画素単位で設定します。STYLE の場合のパターン繰り返しは、ソースのX方向のみ行います。Y方向は線幅に応じて、拡大/縮小されます。

W に1より大きい値を設定すると太線を描画できます。

- 【注】
1. 線幅1のときは8点法描画、太線時は4点法も用いて描画します。
 2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅1のときは1ドット描画し、太線時は何も描画しません。
 3. AA=1の時
 - ・破線時は、破線の隙間はアンチエイリアスがかかりません。
 - ・線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。

(g) 例

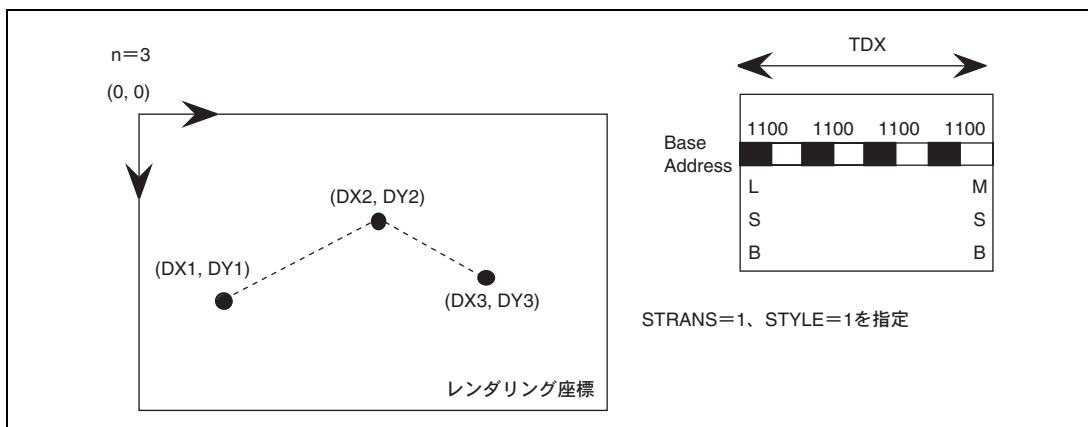


図 11.21 LINEB コマンド例

(3) LINEC

(a) 機能

デスティネーション領域に単色指定で、任意の太さの折れ線描画を行います。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
OP CODE=1011 0000								Reserve (all 0)								Draw Mode																														
Color																n ($2 \leq n \leq 65,535$)																														
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DX1(-32,768 \leq DX1 \leq 32,767)																DY1(-32,768 \leq DY1 \leq 32,767)																														
.																.																														
.																.																														
DXn(-32,768 \leq DXn \leq 32,767)																DYn(-32,768 \leq DYn \leq 32,767)																														

【注】 n=0、1 を設定した場合の動作は保証されません。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
OP CODE=1011 0000								Reserve (all 0)								Draw Mode																														
Color																n ($2 \leq n \leq 65,535$)																														
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	LINK Address(long word address)														0	0																												

- 【注】
- n=0、1 を設定した場合の動作は保証されません。
 - LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

• LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0															
OP CODE=1011 0000								Reserve (all 0)								Draw Mode																														
Color																n ($2 \leq n \leq 65,535$)																														
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符号拡張		LINK Address(long word address)														0		0																												

- 【注】
- n=0、1 を設定した場合の動作は保証されません。
 - LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'10110000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			○	○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	NET	EOS	COOF	AA	0 固定

(e) コマンドパラメータ

Color : 8 または 16 ビット/画素カラー指定。16 ビット/画素はデスティネーションのピクセルフォーマットに合わせてください。

8 ビット/画素時は上位、下位バイト共、同じ値を設定してください。

n (n=2~65535) : 頂点数。

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。

DXn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

DYn (n=2~65535) : レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

頂点 1 (DX1、DY1) から頂点 2 (DX2、DY2)、…、頂点 n-1 (DXn-1、DYn-1) を経由し、頂点 n (DXn、DYn) まで折れ線を描画します。W に 1 より大きい値を設定すると太線を描画できます。また、LINKE=1 のときは頂点座標を LINK Address で指定したメモリ上から読み出します。LINK Address は、LREL ビットによって、絶対アドレスまたは LINEC コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

- 【注】
1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し、太線時は何も描画しません。
 3. AA=1 のとき
 - ・線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。

(g) 例

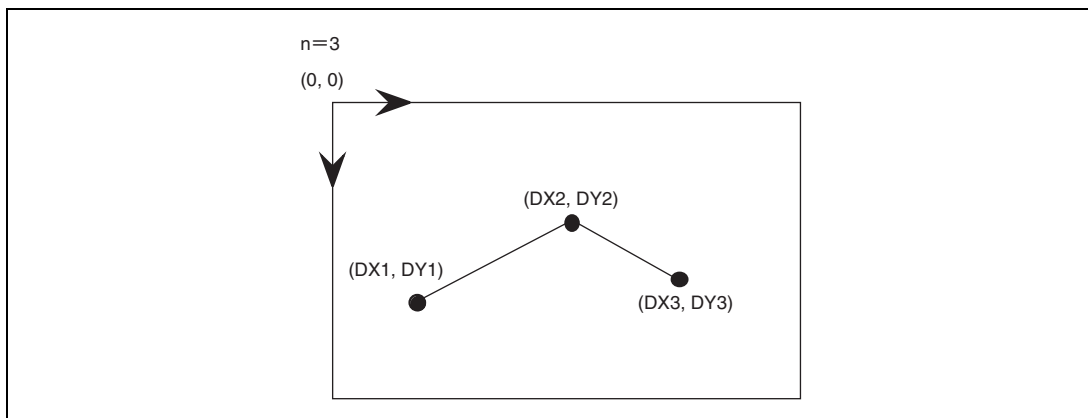


図 11.22 LINEC コマンド例

(4) LINED

(a) 機能

多角形の外枠にアンチエイリアス処理を行います。本コマンドはデスティネーションが 16 ビット/画素時のみ実行してください。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0011								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n ($2 \leq n \leq 65,535$)															
符	DX1(-32,768 \leq DX1 \leq 32,767)															符	DY1(-32,768 \leq DY1 \leq 32,767)														
符	.															符	.														
符	.															符	.														
符	DXn(-32,768 \leq DXn \leq 32,767)															符	DYn(-32,768 \leq DYn \leq 32,767)														

【注】 n=0、1 を設定した場合の動作は保証されません。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0011								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n ($2 \leq n \leq 65,535$)															
0	0	0	LINK Address(long word address)													0	0														

- 【注】
- n=0、1 を設定した場合の動作は保証されません。
 - LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0011								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($2 \leq n \leq 65,535$)																							
符号拡張		符		LINK Address(long word address)														0	0												

- 【注】
1. $n=0, 1$ を設定した場合の動作は保証されません。
 2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'10110011

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
				○	

- 【注】 AA : 1 を設定してください。

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	AA(1)	CLKW

(e) コマンドパラメータ

- n ($n=2 \sim 65535$) : 頂点数
- DXn ($n=2 \sim 65535$) : レンダリング座標 (絶対座標)、負の数は2の補数とします。
- DYn ($n=2 \sim 65535$) : レンダリング座標 (絶対座標)、負の数は2の補数とします。
- LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は0を書き込んでください)。
LINK 相対アドレス (ロングワードアドレス、負の数は2の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は0を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する32 ビットアドレスのビット28~ビット3をA28~A3に書き込んでください。

(f) 説明

ワーク参照で描画した多角形の外枠に対してアンチエイリアス処理をします。

n 頂点を与える順番が時計回りか反時計回りかを CLKW ビットで指定します。CLKW=1 のときは時計回り、CLKW=0 のときは反時計回りを示します。時計回りのときは、アンチエイリアス処理で描画方向に対して左の画素を、反時計回りのときは、右の画素を参照します。また、LINKE=1 のときは頂点座標を LINK Address で指定したメモリ上から読み出します。LINK Address は、LREL ビットによって、絶対アドレスまたは LINED コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

なお、本コマンドはデスティネーションが 16 ビット／画素時のみ実行してください。

ワーク参照で使用する多角形を(R)FTRAPC コマンド描画する場合は、EDG ビット=1 かつ EOS ビット=1 で描画してください。

- 【注】
1. 8 点法描画です。
 2. 線分ごとの終点は描画しません。POLYGON4 系コマンドで描画した図形の外枠に対して、アンチエイリアス処理をする場合は、軌跡が一致しない場合があります。
 3. 線分ごとの始終点座標が一致した場合、何も描画しません。
 4. 水平、垂直、斜め 45 度の線分は 2DG 内部でプリクリッピングするので、アンチエイリアス処理を行いません。
 5. 画素ごとのクリッピングは、参照画素、描画する画素のどちらか一方でもクリッピングエリア外の場合、クリッピングされ、アンチエイリアス処理を行いません。

(g) 例

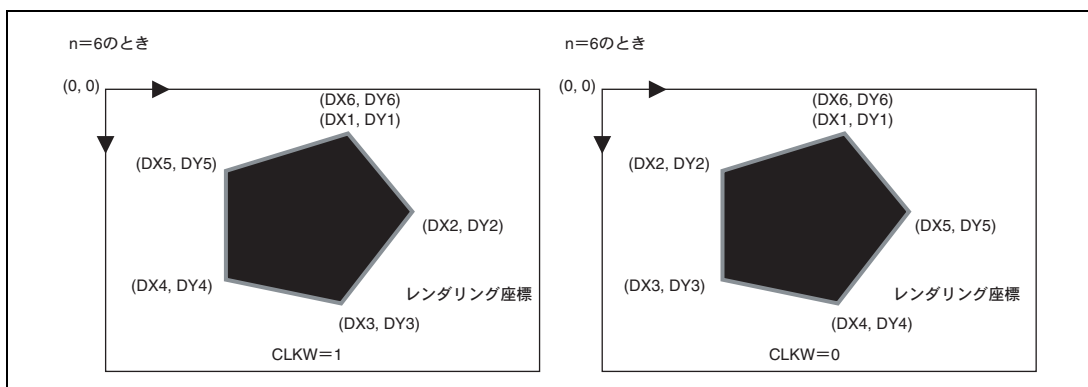


図 11.23 LINED コマンド例

(5) RLINEA

(a) 機能

デスティネーション領域に多値（8 または 16 ビット／画素）ソースを参照しながら、任意の太さの折れ線描画をカレントポイントからの相対指定で行います。

(b) コマンドフォーマット

• REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE=1011 0110								Reserve (all 0)								Draw Mode																			
0		0		0		0		Base Address(quad word address)																0		0		0							
0				0				0				0				TDX ($8 \leq TDX \leq 4,088$)				0				0				0				TDY ($1 \leq TDY \leq 4,095$)			
0				0				0				0				TXOFS ($0 \leq TXOFS \leq TDX - 1$)								n ($1 \leq n \leq 65,535$)											
Reserve (all 0)								0								0								0								W($0,2 \leq W \leq 63$)			
符		:		DX2(-128 \leq DX2 \leq 127)				符		:		DY2(-128 \leq DY2 \leq 127)				符		:		DX1(-128 \leq DX1 \leq 127)				符		:		DY1(-128 \leq DY1 \leq 127)							
符		:		.				符		:		.				符		:		.				符		:		.							
符		:		.				符		:		.				符		:		.				符		:		.							
符		:		DXn(-128 \leq DXn \leq 127)				符		:		DYn(-128 \leq DYn \leq 127)				符		:		DXn-1(-128 \leq DXn-1 \leq 127)				符		:		DYn-1(-128 \leq DYn-1 \leq 127)							

- 【注】
1. W=0 のときは、TDY=1 に設定してください。
 2. n=0 を設定した場合の動作は、保証されません。
 3. n が奇数のときは、最後にダミーワード 0 を入れてください。

• REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE=1011 0110								Reserve (all 0)								Draw Mode																			
符号拡張		符		:		:		Base Address(long word address)																0		0									
0				0				0				0				TDX ($8 \leq TDX \leq 4,088$)				0				0				0				TDY ($1 \leq TDY \leq 4,095$)			
0				0				0				0				TXOFS ($0 \leq TXOFS \leq TDX - 1$)								n ($1 \leq n \leq 65,535$)											
Reserve (all 0)								0								0								0								W($0,2 \leq W \leq 63$)			
符		:		DX2(-128 \leq DX2 \leq 127)				符		:		DY2(-128 \leq DY2 \leq 127)				符		:		DX1(-128 \leq DX1 \leq 127)				符		:		DY1(-128 \leq DY1 \leq 127)							
符		:		.				符		:		.				符		:		.				符		:		.							
符		:		.				符		:		.				符		:		.				符		:		.							
符		:		DXn(-128 \leq DXn \leq 127)				符		:		DYn(-128 \leq DYn \leq 127)				符		:		DXn-1(-128 \leq DXn-1 \leq 127)				符		:		DYn-1(-128 \leq DYn-1 \leq 127)							

- 【注】
1. コマンドコードが配置されるアドレス (ロングワード : 32 ビット単位) + Base Address (ロングワード : 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
 2. W=0 のときは、TDY=1 に設定してください。
 3. n=0 を設定した場合の動作は、保証されません。
 4. n が奇数のときは、最後にダミーワード 0 を入れてください。

(c) CODE

B'10110110

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
○				○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

- 【注】 1. SS : 0 を設定してください。
2. STYLE : 1 を設定してください。

(e) コマンドパラメータ

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~ A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

n (n=1~65535) : 頂点数

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。
W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。

DXn (n=1~65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

DYn (n=1~65535) : レンダリング座標 (相対値)、負の数は 2 の補数とします。

(f) 説明

カレントポインタ (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC+DX1, YC+DY1), (XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2), ..., (XC+...+DXn-1, YC+...+DYn-1) - (XC+...+DXn-1+DXn, YC+...+DYn-1+DYn) まで折れ線を描画します。

また、座標最終点はカレントポインタ (XC, YC) として記憶されます。TDX の値は、必ず 8 画素の倍数を設定してください。また、TXOFS を設定するとソースをオフセット分ずらして参照します。TXOFS は、画素単位で設定します。

STYLE の場合のパターン繰り返しは、ソースの X 方向のみ行います。Y 方向は、線幅に応じて、拡大/縮小されます。

W に 0 より大きい値を設定すると、太線を描画できます。

- 【注】 1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し、太線時は何も描画しません。
3. AA=1 のとき
・破線時は、破線の隙間はアンチエイリアスがかかりません。
・線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。
4. カレントポインタ (XC, YC) へは、座標最終点が記憶されます。

(6) RLINEB

(a) 機能

デスティネーション領域に2値(1ビット/画素)ソースを参照しながら、任意の太さの折れ線描画をカレントポイントからの相対指定で行います。

(b) コマンドフォーマット

• REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE=1011_0101								Reserve (all 0)								Draw Mode																			
Color1																Color0																			
0	0	0	Base Address(quad word address)													0	0	0																	
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)								0	0	0	0	0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)															
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX-1$)								n ($1 \leq n \leq 65535$)																							
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	W($0, 2 \leq W \leq 63$)													
符	DX2(-128 \leq DX2 \leq 127)								符	DY2(-128 \leq DY2 \leq 127)								符	DX1(-128 \leq DX1 \leq 127)								符	DY1(-128 \leq DY1 \leq 127)							
符	.								符	.								符	.								符	.							
符	.								符	.								符	.								符	.							
符	DXn(-128 \leq DXn \leq 127)								符	DYn(-128 \leq DYn \leq 127)								符	DXn-1(-128 \leq DXn-1 \leq 127)								符	DYn-1(-128 \leq DYn-1 \leq 127)							

- 【注】
1. W=0 のときは、TDY=1 に設定してください。
 2. n=0 を設定した場合の動作は、保証されません。
 3. n が奇数のときは、最後にダミーワード 0 を入れてください。

• REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
OP CODE=1011 0101								Reserve (all 0)								Draw Mode																			
Color1																Color0																			
符号拡張		符	Base Address(long word address)													0	0																		
0	0	0	0	TDX ($8 \leq TDX \leq 4,088$)								0	0	0	0	0	0	0	0	TDY ($1 \leq TDY \leq 4,095$)															
0	0	0	0	TXOFS ($0 \leq TXOFS \leq TDX-1$)								n ($1 \leq n \leq 65,535$)																							
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	W($0, 2 \leq W \leq 63$)													
符	DX2(-128 \leq DX2 \leq 127)								符	DY2(-128 \leq DY2 \leq 127)								符	DX1(-128 \leq DX1 \leq 127)								符	DY1(-128 \leq DY1 \leq 127)							
符	.								符	.								符	.								符	.							
符	.								符	.								符	.								符	.							
符	DXn(-128 \leq DXn \leq 127)								符	DYn(-128 \leq DYn \leq 127)								符	DXn-1(-128 \leq DXn-1 \leq 127)								符	DYn-1(-128 \leq DYn-1 \leq 127)							

- 【注】
1. コマンドコードが配置されるアドレス (ロングワード: 32 ビット単位) + Base Address (ロングワード: 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。
 2. W=0 のときは、TDY=1 に設定してください。
 3. n=0 を設定した場合の動作は、保証されません。
 4. n が奇数のときは、最後にダミーワード 0 を入れてください。

(c) CODE

B'10110101

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	○			○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	0 固定	0 固定	SS(0)	REL	STYLE(1)	0 固定	NET	EOS	COOF	AA	0 固定

【注】 1. SS : 0 を設定してください。

2. STYLE : 1 を設定してください。

(e) コマンドパラメータ

Color0,Color1 : 8 または 16 ビット/画素カラー指定。16 ビット/画素時は、デスティネーションのピクセルフォーマットに合わせてください。

8 ビット/画素時は、上位、下位バイト共、同じ値を設定してください。

Base Address : ソース開始絶対アドレス（クワッドワードアドレス、A31~29 および A2~A0 は 0 を書き込んでください）。

ソース開始相対アドレス（ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください）。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

TDX, TDY : ソースサイズ。未使用ビットは 0 を書き込んでください。

TXOFS : ソースオフセット。未使用ビットは 0 を書き込んでください。

n (n=1~65,535) : 頂点数

W : 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。

W に 0 を設定すると、線幅 1 の折れ線を描画します。1 は設定禁止です。

DXn (n=1~65,535) : レンダリング座標（相対値）、負の数は 2 の補数とします。

DYn (n=1~65,535) : レンダリング座標（相対値）、負の数は 2 の補数とします。

(f) 説明

カレントポインタ (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC+DX1, YC+DY1)、(XC+DX1, YC+DY1) - (XC+DX1+DX2, YC+DY1+DY2)、…、(XC+…+DXn-1, YC+…+DYn-1) - (XC+…+DXn-1+DXn, YC+…+DYn-1+DYn) まで折れ線を描画します。また、座標最終点はカレントポインタ (XC, YC) として記憶されます。

TDX の値は必ず 8 画素の倍数を設定してください。また、TXOFS を設定すると、ソースをオフセット分ずらして参照します。TXOFS は、画素単位で設定します。

STYLE の場合のパターン繰り返しは、ソースの X 方向のみ行います。Y 方向は、線幅に応じて、拡大/縮小されます。

W に 1 より大きい値を設定すると、太線を描画できます。

- 【注】
- 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 - 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し、太線時は何も描画しません。
 - AA=1 のとき
 - 破線時は、破線の隙間はアンチエイリアスがかかりません。
 - 線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。
 - カレントポイント (XC, YC) へは、座標最終点が記憶されます。

(g) 例

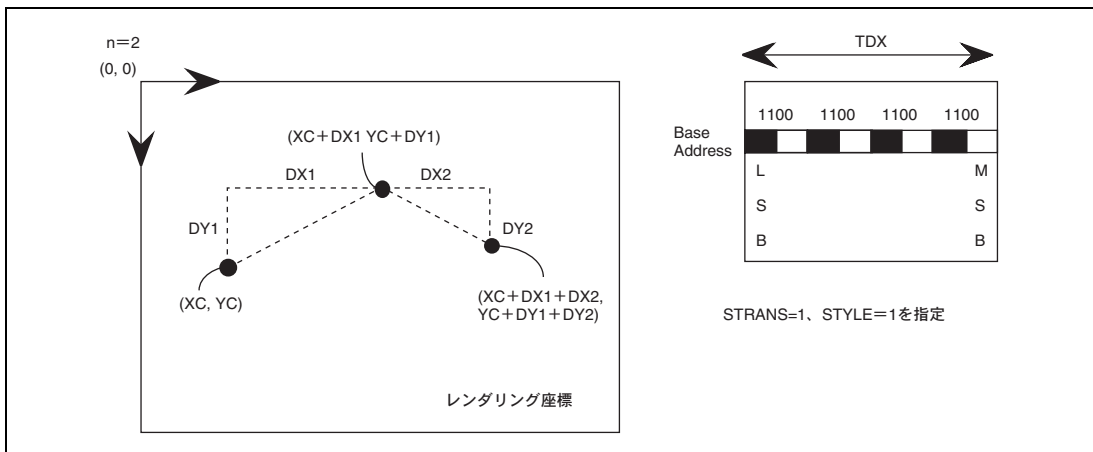


図 11.24 RLINEB コマンド例

(7) RLINEC

(a) 機能

デスティネーション領域に、単色指定で、任意の太さの折れ線描画をカレントポイントからの相対指定で行います。

(b) コマンドフォーマット

- LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																	
OP CODE=1011 0100								Reserve (all 0)								Draw Mode																																
Color																n (1 ≤ n ≤ 65,535)																																
Reserve (all 0)																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	W(0,2 ≤ W ≤ 63)
符 DX2(-128 ≤ DX2 ≤ 127)				符 DY2(-128 ≤ DY2 ≤ 127)				符 DX1(-128 ≤ DX1 ≤ 127)				符 DY1(-128 ≤ DY1 ≤ 127)																																				
符 .				符 .				符 .				符 .																																				
符 .				符 .				符 .				符 .																																				
符 DXn(-128 ≤ DXn ≤ 127)				符 DYn(-128 ≤ DYn ≤ 127)				符 DXn-1(-128 ≤ DXn-1 ≤ 127)				符 DYn-1(-128 ≤ DYn-1 ≤ 127)																																				

- 【注】 1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
OP CODE=1011 0100								Reserve (all 0)								Draw Mode																					
Color								n ($1 \leq n \leq 65,535$)																													
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	LINK Address(long word address)														0	0																			

- 【注】 1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

• LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
OP CODE=1011 0100								Reserve (all 0)								Draw Mode																					
Color								n ($1 \leq n \leq 65,535$)																													
Reserve (all 0)								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
符号拡張 符		LINK Address(long word address)														0	0																				

- 【注】 1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'10110100

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			○	○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	NET	EOS	COOF	AA	0 固定

(e) コマンドパラメータ

Color	: 8 または 16 ビット/画素カラー指定。16 ビット/画素時は、デスティネーションのピクセルフォーマットに合わせてください。 8 ビット/画素時は、上位、下位バイト共、同じ値を設定してください。
n (n=1~65535)	: 頂点数
W	: 線幅。整数 6 ビットで与えます。未使用ビットは 0 を書き込んでください。 W に 0 を設定すると線幅 1 の折れ線を描画します。1 は設定禁止です。
DXn (n=1~65535)	: レンダリング座標 (相対値)、負の数は 2 の補数とします。
DYn (n=1~65535)	: レンダリング座標 (相対値)、負の数は 2 の補数とします。
LINK Address	: LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は、0 を書き込んでください)。 LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

カレントポインタ (XC、YC) からの相対移動量 (DX、DY) で指定した座標への線分 (XC、YC) - (XC+DX1、YC+DY1)、(XC+DX1、YC+DY1) - (XC+DX1+DX2、YC+DY1+DY2)、…、(XC+…+DXn-1、YC+…+DYn-1) - (XC+…+DXn-1+DXn、YC+…+DYn-1+DYn) まで折れ線を描画します。

W に 1 より大きい値を設定すると、太線を描画できます。また、LINKE=1 のときは、頂点座標を LINK Address で指定したメモリ上から読み出します。LINK Address は、LREL ビットによって、絶対アドレスまたは RLINEC コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

また、座標最終点はカレントポインタ (XC、YC) として記憶されます。

- 【注】
1. 線幅 1 のときは 8 点法描画、太線時は 4 点法も用いて描画します。
 2. 線分ごとの終点は描画します。線分ごとの始終点が一致した場合、線幅 1 のときは 1 ドット描画し、太線時は何も描画しません。
 3. AA=1 のとき
 - ・線分ごとの始終点座標が一致した場合は、アンチエイリアス処理を行いません。
 4. カレントポインタ (XC、YC) へは、座標最終点が記憶されます。

(g) 例

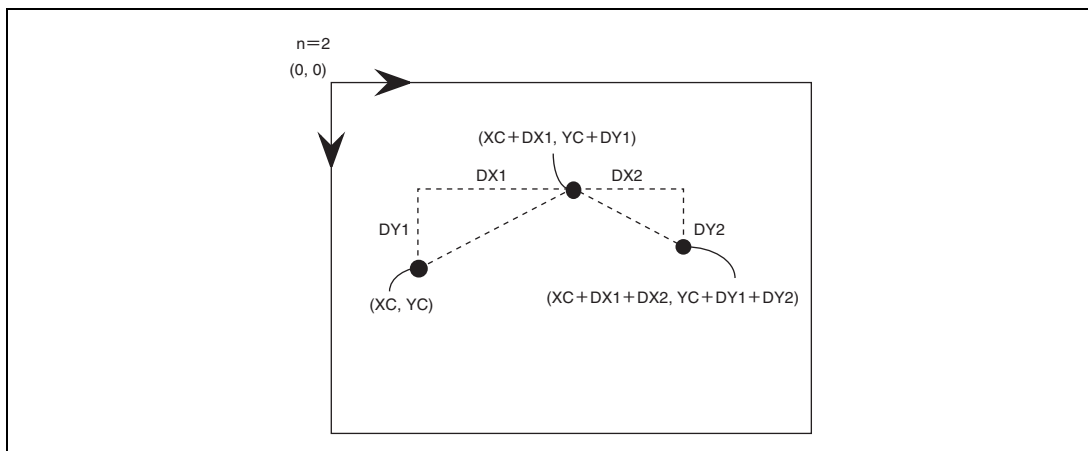


図 11.25 RLINEC コマンド例

(8) RLINED

(a) 機能

多角形の外枠にカレントポイントからの相対指定でアンチエイリアス処理を行います。本コマンドは、デステーションが 16 ビット/画素時のみ実行してください。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0111								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (1 ≤ n ≤ 65,535)															
符	DX2(-128 ≤ DX2 ≤ 127)							符	DY2(-128 ≤ DY2 ≤ 127)							符	DX1(-128 ≤ DX1 ≤ 127)							符	DY1(-128 ≤ DY1 ≤ 127)						
符	.							符	.							符	.							符	.						
符	.							符	.							符	.							符	.						
符	DXn(-128 ≤ DXn ≤ 127)							符	DYn(-128 ≤ DYn ≤ 127)							符	DXn-1(-128 ≤ DXn-1 ≤ 127)							符	DYn-1(-128 ≤ DYn-1 ≤ 127)						

- 【注】
1. n=0 を設定した場合の動作は保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1011 0111								Reserve (all 0)								Draw Mode															
Reserve (all 0)																n (1 ≤ n ≤ 65,535)															
0	0	0	LINK Address(long word address)													0	0														

- 【注】
1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

• LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OP CODE=1011_0111								Reserve (all 0)								Draw Mode																	
Reserve (all 0)								n ($1 \leq n \leq 65,535$)																									
符号拡張 符																LINK Address(long word address)																0	0

- 【注】
1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'10110111

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
				○	

- 【注】 AA : 1 を設定して下さい。

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	AA(1)	CLKW

(e) コマンドパラメータ

- n ($n=1 \sim 65,535$) : 頂点数
- DXn ($n=1 \sim 65,535$) : レンダリング座標 (相対値)、負の数は 2 の補数とします。
- DYn ($n=1 \sim 65,535$) : レンダリング座標 (相対値)、負の数は 2 の補数とします。
- LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は 0 を書き込んでください)。
- LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は、0 を書き込んでください)。

- 【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

ワーク参照で描画した多角形の外枠に対して、カレントポイントからの相対指定でアンチエイリアス処理をします。

n 頂点を与える順番が時計回りか反時計回りかを CLKW ビットで指定します。CLKW=1 のときは時計回り、CLKW=0 のときは反時計回りを示します。時計回りのときは、アンチエイリアス処理で描画方向に対して左の画素を、反時計回りのときは、右の画素を参照します。また、LINKE=1 のときは、頂点座標を LINK Address で指定したメモリ上から読み出します。LINK Address は、LREL ビットによって、絶対アドレスまたは RLINED コマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。

なお、本コマンドは、デスティネーションが 16 ビット/画素時のみ実行してください。

ワーク参照で使用する多角形を(R)FTRAPC コマンド描画する場合は、EDG ビット=1 かつ EOS ビット=1 で描画してください。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

- 【注】
1. 8 点法描画です。
 2. 線分ごとの終点は描画しません。POLYGON4 系コマンドで、描画した図形の外枠に対してアンチエイリアス処理をする場合は、軌跡が一致しない場合があります。
 3. 線分ごとの始終点座標が一致した場合、何も描画しません。
 4. 水平、垂直、斜め 45 度の線分は、2DG 内部でプリクリッピングするので、アンチエイリアス処理を行いません。
 5. 画素ごとのクリッピングは、参照画素、描画する画素のどちらか一方でもクリッピングエリア外の場合、クリッピングされ、アンチエイリアス処理を行いません。
 6. カレントポイント (XC, YC) へは、座標最終点が記憶されます。

(g) 例

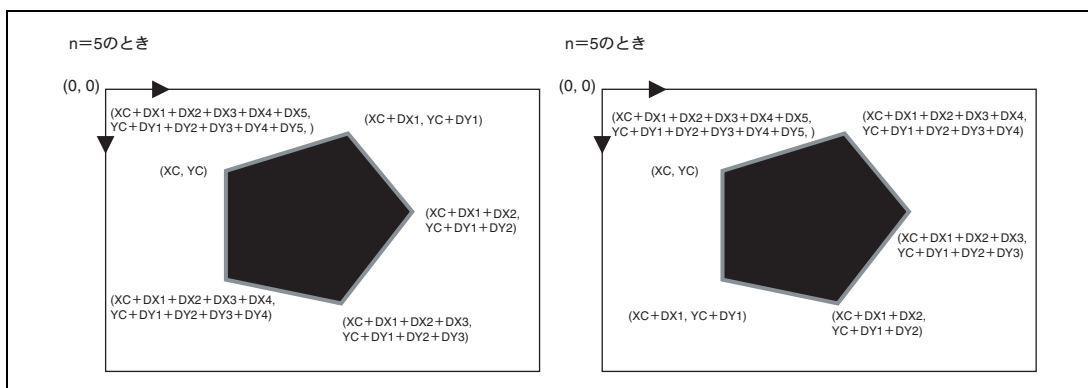


図 11.26 RLINED コマンド例

11.4.3 ワーク面描画コマンド

(1) FTRAPC

(a) 機能

ワーク座標に多角形を描画します。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101 0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($2 \leq n \leq 65,535$)																							
符								Xmin(-32,768 \leq Xmin \leq 32,767)								符								Ymin(-32,768 \leq Ymin \leq 32,767)							
符								Xmax(-32,768 \leq Xmax \leq 32,767)								符								Ymax(-32,768 \leq Ymax \leq 32,767)							
符								DX1(-32,768 \leq DX1 \leq 32,767)								符								DY1(-32,768 \leq DY1 \leq 32,767)							
符								.								符								.							
符								.								符								.							
符								DXn(-32,768 \leq DXn \leq 32,767)								符								DYn(-32,768 \leq DYn \leq 32,767)							

【注】 n=0、1 を設定した場合の動作は、保証されません。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101 0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($2 \leq n \leq 65,535$)																							
符								Xmin(-32,768 \leq Xmin \leq 32,767)								符								Ymin(-32,768 \leq Ymin \leq 32,767)							
符								Xmax(-32,768 \leq Xmax \leq 32,767)								符								Ymax(-32,768 \leq Ymax \leq 32,767)							
0	0	0	LINK Address(long word address)													0	0														

【注】 1. n=0、1 を設定した場合の動作は、保証されません。

2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

• LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101 0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($2 \leq n \leq 65,535$)																							
符								Xmin(-32,768 \leq Xmin \leq 32,767)								符								Ymin(-32,768 \leq Ymin \leq 32,767)							
符								Xmax(-32,768 \leq Xmax \leq 32,767)								符								Ymax(-32,768 \leq Ymax \leq 32,767)							
符号拡張		符	LINK Address(long word address)													0	0														

【注】 1. n=0、1 を設定した場合の動作は、保証されません。

2. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'11010000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					○

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	BLKE(1)	EDG	EOS	0 固定	0 固定	0 固定

【注】 BLKE : 1 を設定してください。

(e) コマンドパラメータ

- n (n=2~65535) : 頂点数
- Xmin : 多角形の外接四角形の Xmin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Ymin : 多角形の外接四角形の Ymin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Xmax : 多角形の外接四角形の Xmax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Ymax : 多角形の外接四角形の Ymax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- DXn (n=2~65535) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- DYn (n=2~65535) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は 0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

ワーク座標に頂点が $n-1$ 個の多角形を描画します。X=Xmin を左側辺、線分 (DX1, DY1) - (DX2, DY2)、(DX2, DY2) - (DX3, DY3)、…、(DX $n-1$, DY $n-1$) - (DXn, DYn) を右側辺とする上底および下底が X 軸に平行な台形を $n-1$ 個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。なお、閉図形になるように (DXn, DYn) = (DX1, DY1) としてください。レンダリング属性の EDG ビットを 1 に設定することにより、塗りつぶした後、縁どりのラインを描画します。ラインの描画データは、EOS ビットで選択します。

(g) 例

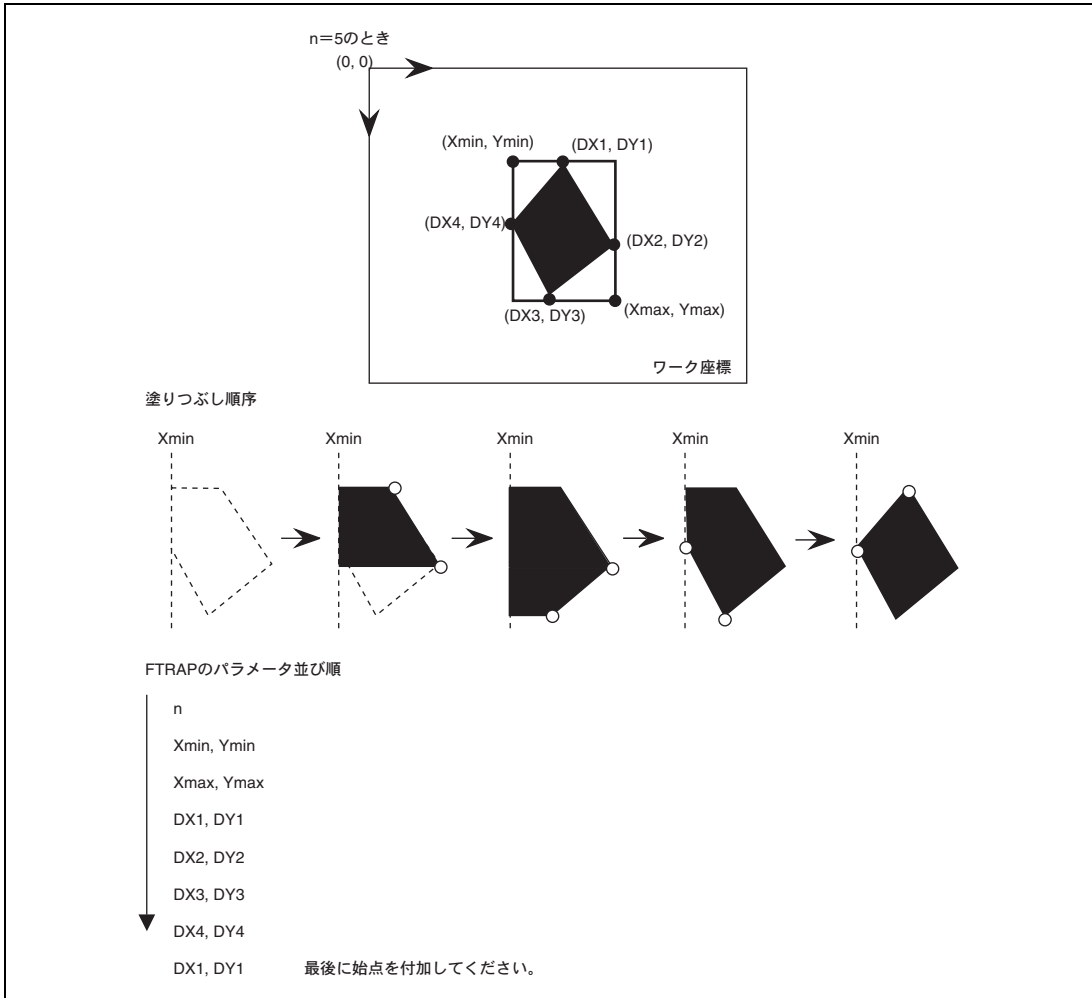


図 11.27 FTRAPC コマンド例

(2) RFTRAPC

(a) 機能

ワーク座標に多角形をカレントポイントからの相対指定で描画します。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101 0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n ($1 \leq n \leq 65,535$)															
符 Xmin(-32,768 \leq Xmin \leq 32,767)								符 Ymin(-32,768 \leq Ymin \leq 32,767)																							
符 Xmax(-32,768 \leq Xmax \leq 32,767)								符 Ymax(-32,768 \leq Ymax \leq 32,767)																							
符 DX2(-128 \leq DX2 \leq 127)				符 DY2(-128 \leq DY2 \leq 127)				符 DX1(-128 \leq DX1 \leq 127)				符 DY1(-128 \leq DY1 \leq 127)																			
符 .				符 .				符 .				符 .																			
符 .				符 .				符 .				符 .																			
符 DXn(-128 \leq DXn \leq 127)								符 DYn(-128 \leq DYn \leq 127)								符 DXn-1(-128 \leq DXn-1 \leq 127) 符 DYn-1(-128 \leq DYn-1 \leq 127)															

- 【注】 1. n=0 を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101 0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n ($1 \leq n \leq 65,535$)															
符 Xmin(-32,768 \leq Xmin \leq 32,767)								符 Ymin(-32,768 \leq Ymin \leq 32,767)																							
符 Xmax(-32,768 \leq Xmax \leq 32,767)								符 Ymax(-32,768 \leq Ymax \leq 32,767)																							
0	0	0	LINK Address(long word address)													0	0														

- 【注】 1. n=0 を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。
 3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

• LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1101_0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								Reserve (all 0)								n ($1 \leq n \leq 65,535$)															
符 Xmin(-32,768 \leq Xmin \leq 32,767)								符 Ymin(-32,768 \leq Ymin \leq 32,767)																							
符 Xmax(-32,768 \leq Xmax \leq 32,767)								符 Ymax(-32,768 \leq Ymax \leq 32,767)																							
符号拡張		符		LINK Address(long word address)													0	0													

- 【注】 1. n=0 を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。

3. LINK Address の次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス+LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'11010100

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					○

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	BLKE(1)	EDG	EOS	0 固定	0 固定	0 固定

【注】 BLKE : 1 を設定してください。

(e) コマンドパラメータ

- n (n=1~65,535) : 頂点数
- Xmin : 多角形の外接四角形の Xmin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Ymin : 多角形の外接四角形の Ymin 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Xmax : 多角形の外接四角形の Xmax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- Ymax : 多角形の外接四角形の Ymax 値、ワーク座標 (絶対座標)、負の数は 2 の補数とします。
- DXn (n=1~65,535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。
- DYn (n=1~65,535) : ワーク座標 (相対座標)、負の数は 2 の補数とします。
- LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は、0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は、0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

X=Xmin を左側辺、カレントポインタ (XC、YC) からの相対移動量 (DX、DY) で指定した座標への線分 (XC、YC) - (XC+DX1、YC+DY1)、(XC+DX1、YC+DY1) - (XC+DX1+DX2、YC+DY1+DY2)、…、(XC+…+DXn-1、YC+…+DYn-1) - (XC+…+DXn-1+DXn、YC+…+DYn-1+DYn) を右側辺とする上底および下底が X 軸に平行な台形を n 個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。閉図形となるように $DX1+DX2+DXn=0$ 、 $DY1+DY2+DYn=0$ としてください。レンダリング属性の EDG ビットを 1 に設定することにより、塗りつぶした後、縁取りのラインを描画します。ラインの描画データは、EOS ビットで選択します。

【注】 1. カレントポイント (XC, YC) へは、座標最終点が記憶されます。

(g) 例

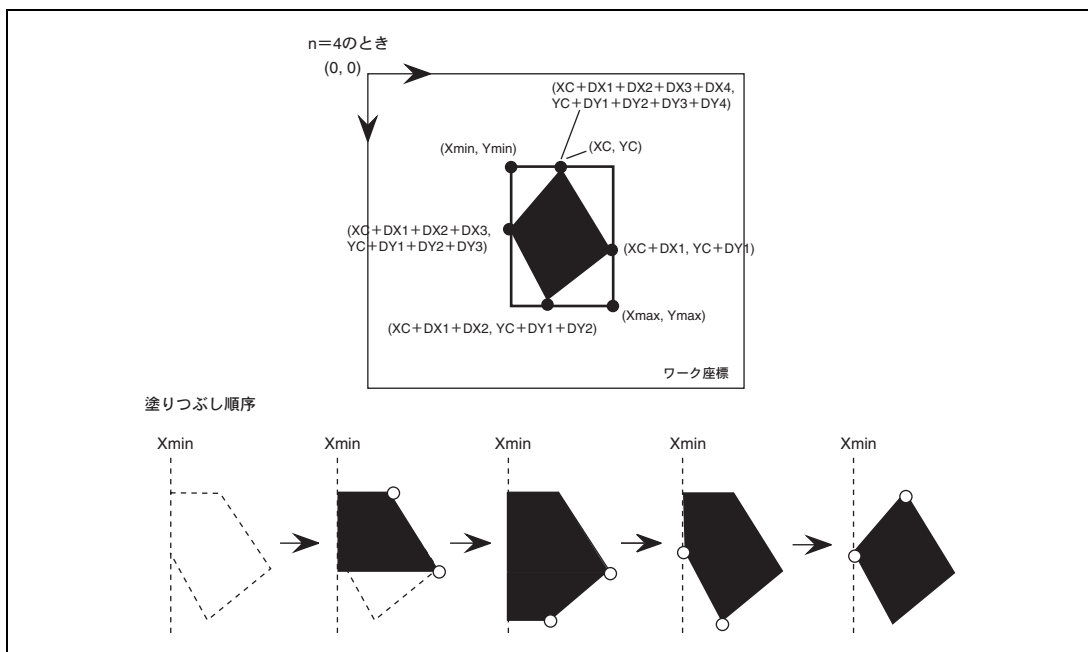


図 11.28 RFTRAPC コマンド例

(3) CLRWC

(a) 機能

ワーク座標をゼロクリアします。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1110 0000								Reserve (all 0)								Draw Mode															
符								Xmin(-32,768≤Xmin≤32,767)								符								Ymin(-32,768≤Ymin≤32,767)							
符								Xmax(-32,768≤Xmax≤32,767)								符								Ymax(-32,768≤Ymax≤32,767)							

(c) CODE

B'11100000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					○

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	BLKE(1)	0 固定	0 固定	0 固定	0 固定	0 固定

【注】 BLKE : 1 を設定してください。

(e) コマンドパラメータ

Xmin、Xmax : 左右 X 座標値、ワーク座標（絶対座標）、負の数は 2 の補数とします。

Ymin、Ymax : 上下 Y 座標値、ワーク座標（絶対座標）、負の数は 2 の補数とします。

(f) 説明

ワーク座標において左上座標 (XMIN、YMIN)、右下座標 (XMAX、YMAX) で指定された領域をゼロクリアします。

(g) 例

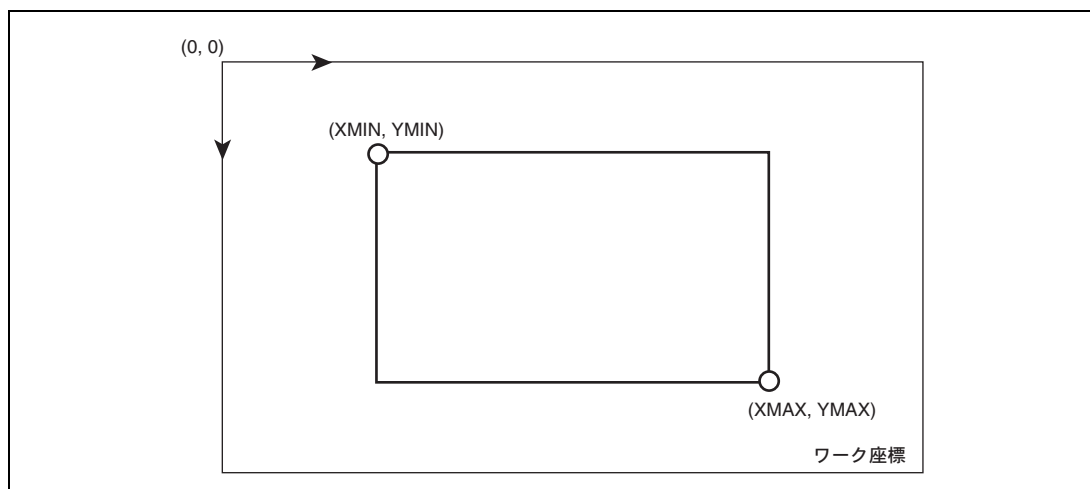


図 11.29 CLRWC コマンド例

11.4.4 ワーク線描画

(1) LINEWC

(a) 機能

ワーク座標に 1 ドット幅の実線を描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1111 0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($2 \leq n \leq 65,535$)																							
符	DX1(-32,768 \leq DX1 \leq 32,767)															符	DY1(-32,768 \leq DY1 \leq 32,767)														
符	.															符	.														
符	.															符	.														
符	DXn(-32,768 \leq DXn \leq 32,767)															符	DYn(-32,768 \leq DYn \leq 32,767)														

【注】 n=0、1 を設定した場合の動作は、保証されません。

(c) CODE

B'11110000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			○ (2 値の EOS)		○

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	EOS	0 固定	0 固定	0 固定

(e) コマンドパラメータ

n ($n=2 \sim 65,535$) : 頂点数。

DXn ($n=2 \sim 65,535$) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。

DYn ($n=2 \sim 65,535$) : ワーク座標 (絶対座標)、負の数は 2 の補数とします。

(f) 説明

頂点 1 (DX1、DY1) から頂点 2 (DX2、DY2)、…、頂点 n-1 (DXn-1、DYn-1) を経由し頂点 n (DXn、DYn) まで折れ線をワーク座標に 2 値描画します。0 描画か 1 描画かの選択は、描画モードの EOS ビットで行います。EOS ビット=0 を選択すると 0 でワーク座標に描画、EOS ビット=1 を選択すると 1 でワーク座標に描画します。ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します。

【注】 8 点法描画です。線分ごとの終点は描画します。

(g) 例

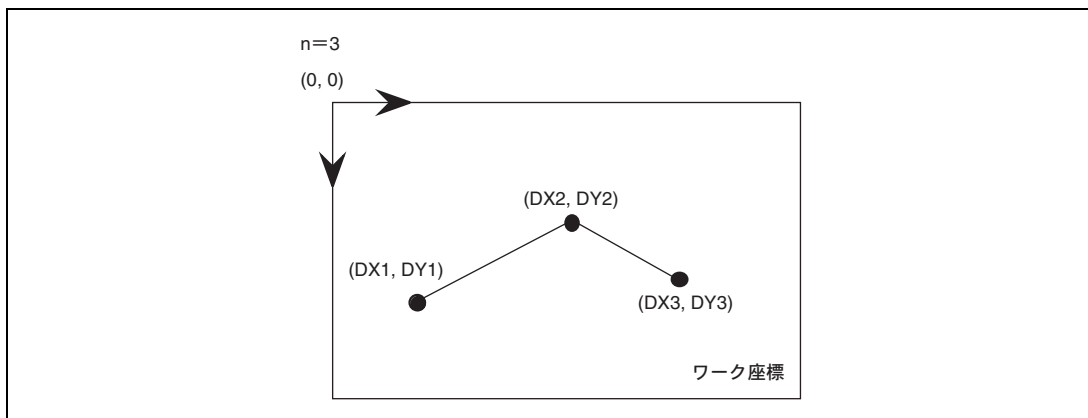


図 11.30 LINEWC コマンド例

(2) RLINEWC

(a) 機能

ワーク座標に 1 ドット幅の実線をカレントポイントからの相対指定で描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1111 0100								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n ($1 \leq n \leq 65,535$)																							
符 DX2(-128 \leq DX2 \leq 127)				符 DY2(-128 \leq DY2 \leq 127)				符 DX1(-128 \leq DX1 \leq 127)				符 DY1(-128 \leq DY1 \leq 127)																			
符 .				符 .				符 .				符 .																			
符 .				符 .				符 .				符 .																			
符 DXn(-128 \leq DXn \leq 127)				符 DYn(-128 \leq DYn \leq 127)				符 DXn-1(-128 \leq DXn-1 \leq 127)				符 DYn-1(-128 \leq DYn-1 \leq 127)																			

- 【注】 1. $n=0$ を設定した場合の動作は、保証されません。
 2. n が奇数のときは、最後にダミーワード 0 を入れてください。

(c) CODE

B'11110100

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			○ (2 値の EOS)		○

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	EOS	0 固定	0 固定	0 固定

(e) コマンドパラメータ

- n ($n=1\sim 65,535$) : 頂点数。
 DXn ($n=1\sim 65,535$) : ワーク座標 (相対座標)、負の数は 2 の補数とします。
 DYn ($n=1\sim 65,535$) : ワーク座標 (相対座標)、負の数は 2 の補数とします。

(f) 説明

カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - ($XC+DX1, YC+DY1$)、($XC+DX1, YC+DY1$) - ($XC+DX1+DX2, YC+DY1+DY2$)、 \dots 、($XC+\dots+DXn-1, YC+\dots+DYn-1$) - ($XC+\dots+DXn-1+DXn, YC+\dots+DYn-1+DYn$) まで折れ線をワーク座標に 2 値描画します。0 描画か 1 描画かの選択は、レンダリング属性の EOS ビットで行います。EOS ビット=0 を選択すると 0 でワーク座標に描画、EOS ビット=1 を選択すると 1 でワーク座標に描画します。ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します。

また、座標最終点はカレントポイント (XC, YC) として記憶されます。

- 【注】 1. 8 点法描画です。線分ごとの終点は描画します。
 2. カレントポイント (XC, YC) へは、座標最終点が記憶されます。

(g) 例

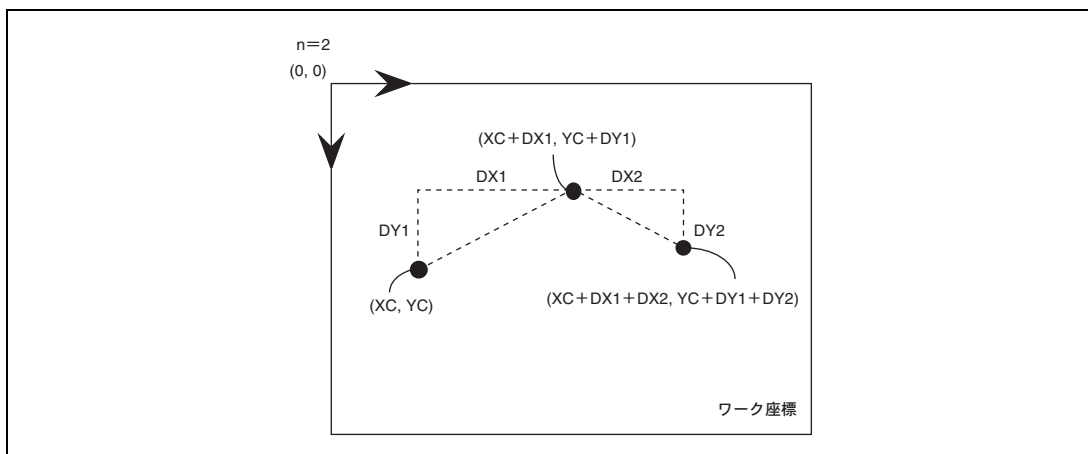


図 11.31 RLINEWC コマンド例

11.4.5 矩形描画コマンド

(1) BITBLTA

(a) 機能

デスティネーション領域に、多値（8または16ビット／画素）矩形ソースを転送します。

(b) コマンドフォーマット

- SS=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1010 0010								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
0 0 0 0				TXS ($0 \leq TXS \leq 4,088$)								0 0 0 0				TYS ($0 \leq TYS \leq 4,095$)															
0 0 0 0				LW ($0 \leq LW \leq 4,094$)								0 0 0 0				RW ($0 \leq RW \leq 4,094$)															
0 0 0 0				TH ($0 \leq TH \leq 4,094$)								0 0 0 0				BH ($0 \leq BH \leq 4,094$)															
符								BXC($-32,768 \leq BXC \leq 32,767$)								符								BYC($-32,768 \leq BYC \leq 32,767$)							

【注】 $0 \leq TXS \leq SSTRR-(LW+RW+1)$ 、 $0 \leq TYS \leq 4,096-(TH+BH+1)$ (SSTRR:ソースストライドレジスタ設定値)

$8 \leq LW+RW+1 \leq 4,095$ 、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

- SS=0かつREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1010 0010								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
0 0 0 0				Base Address(quad word address)												0 0 0 0															
0 0 0 0				LW ($0 \leq LW \leq 4,087$)								0 0 0 0				RW ($0 \leq RW \leq 4,087$)															
0 0 0 0				TH ($0 \leq TH \leq 4,094$)								0 0 0 0				BH ($0 \leq BH \leq 4,094$)															
符								BXC($-32,768 \leq BXC \leq 32,767$)								符								BYC($-32,768 \leq BYC \leq 32,767$)							

【注】 $8 \leq LW+RW+1 \leq 4,088$ (8の倍数)、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

- SS=0かつREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1010 0010								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0 0 0 0 0 0 0 0								ROP															
符号拡張				符				Base Address(long word address)												0 0											
0 0 0 0				0 0 0 0				LW ($0 \leq LW \leq 4,087$)								0 0 0 0				RW ($0 \leq RW \leq 4,087$)											
0 0 0 0				0 0 0 0				TH ($0 \leq TH \leq 4,094$)								0 0 0 0				BH ($0 \leq BH \leq 4,094$)											
符								BXC($-32,768 \leq BXC \leq 32,767$)								符								BYC($-32,768 \leq BYC \leq 32,767$)							

【注】 $8 \leq LW+RW+1 \leq 4,088$ (8の倍数)、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

コマンドコードが配置されるアドレス (ロングワード: 32 ビット単位) + Base Address (ロングワード: 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

(c) CODE

B'10100010

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
○		○ (WORK=1 のみ)		○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	αE	SαE

(e) コマンドパラメータ

- TXS, TYS : ソース開始点。未使用ビットは 0 を書き込んでください。
- Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は、0 を書き込んでください)。
 ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31 ~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。
【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。
- BXC, BYC : センター X、Y 座標値 レンダリング座標 (絶対座標)、負の数は 2 の補数とします。
- LW, RW : Left 幅、Right 幅、(BXC、BYC) からの相対値、レンダリング座標。画素数で設定してください。
 未使用ビットは 0 を書き込んでください。
- TH, BH : Top 高さ、Bottom 高さ、(BXC、BYC) からの相対値、レンダリング座標。画素数で設定してください。
 未使用ビットは 0 を書き込んでください。
- ROP : ラスタオペレーションコード。

(f) 説明

多値 (8 または 16 ビット/画素) の矩形ソースデータをレンダリング座標に転送します。

なお、SS=0 のとき、LW+RW+1 が 8 の倍数になるように設定してください。SS=1 では、LW+RW+1 が 8 以上の値になるように設定してください。

- レンダリング属性でワーク指定 (WORK=1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながら、ワーク座標の画素が 1 になっているところのみをレンダリング座標に描画します。
- SS=1 のときは、2次元ソース領域からソース参照します。SS=0 のときは、ディスプレイリストの Base Address からソース参照します。ソースアドレスは、REL=0 のときは絶対アドレスで指定できます。REL=1 のとき

は、BITBLTAコマンドの命令コードが配置されたメモリアドレスからの相対アドレスで、ソースアドレスを指定できます。

- 描画が16ビット/画素のとき、レンダリング属性のCOOFビットに1を設定すると、多値ソースデータの値にCOFSRレジスタの値を加えた結果が描画されます。演算は、飽和処理付で行われます。8ビット/画素のときには、COOFビットは必ず0に設定してください。
- SRCDIRX、SRCDIRYビットでソースの参照方向を選択できます。
- DSTDIRX、DSTDIRYビットで描画方向の選択ができます。
- $\alpha E=1$ にすると、ソースデータと下地をアルファブレンドして描画します。 $\alpha E=1$ にする場合は、ROPコード=H'CC (ソースコピー) にしてください。ARGBフォーマット時のA値は、アルファブレンドされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。16ビット/画素時に有効です。
- 16種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値は、ラスタオペレーションされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。

【注】 システムクリッピング、(相対) ユーザクリッピングは、矩形で行います。

(g) 例

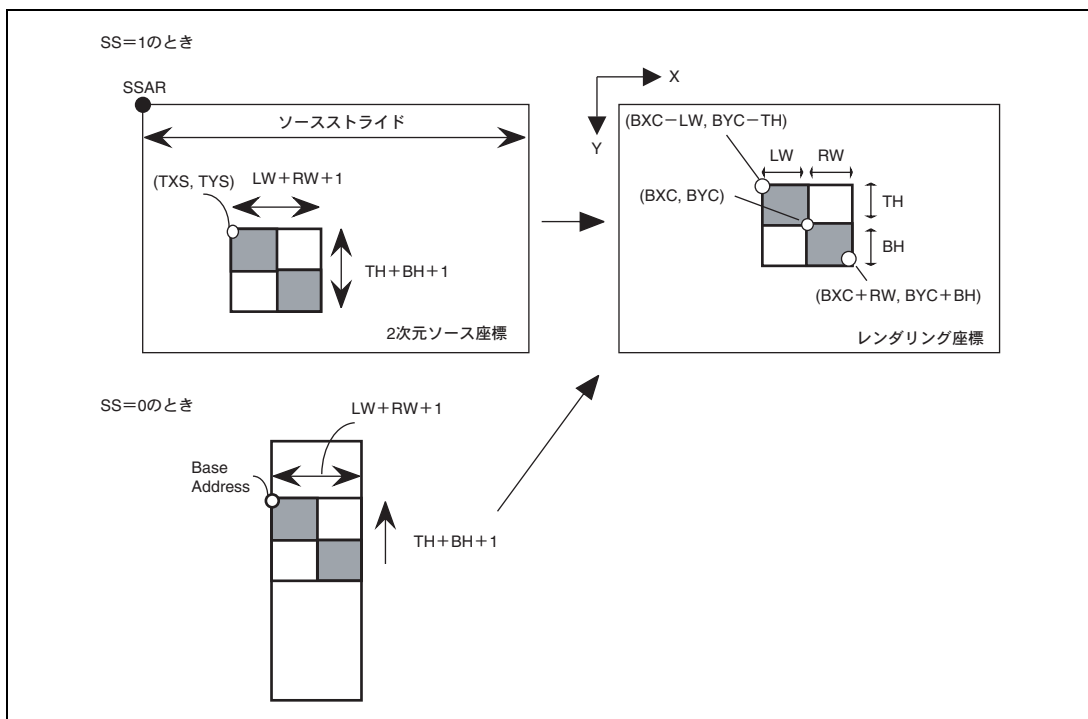


図 11.32 BITBLTA コマンド例

(2) BITBLTB

(a) 機能

デスティネーション領域に2値 (1ビット/画素) 矩形ソースをカラー展開して転送します。

(b) コマンドフォーマット

- SS=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
OP CODE=1010 0001								Reserve (all 0)								Draw Mode																															
Reserve (all 0)								0								0								ROP																							
Color1																Color0																															
0				0				0				0				TXS ($0 \leq TXS \leq 4,088$)								0								0								TYS ($0 \leq TYS \leq 4,095$)							
0				0				0				0				LW ($0 \leq LW \leq 4,087$)								0								0								RW ($0 \leq RW \leq 4,087$)							
0				0				0				0				TH ($0 \leq TH \leq 4,094$)								0								0								BH ($0 \leq BH \leq 4,094$)							
符								BXC(-32,768 \leq BXC \leq 32,767)								符								BYC(-32,768 \leq BYC \leq 32,767)																							

【注】 $0 \leq TXS \leq SSTRR-(LW+RW+1)$ 、 $0 \leq TYS \leq 4,096-(TH+BH+1)$ (SSTRR: ソースストライドレジスタ設定値)

$8 \leq LW+RW+1 \leq 4,088$ (8の倍数)、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

- SS=0かつREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
OP CODE=1010 0001								Reserve (all 0)								Draw Mode																															
Reserve (all 0)								0								0								ROP																							
Color1																Color0																															
0				0				0				Base Address(quad word address)																0				0				0											
0				0				0				0				LW ($0 \leq LW \leq 4,087$)								0								0								RW ($0 \leq RW \leq 4,087$)							
0				0				0				0				TH ($0 \leq TH \leq 4,094$)								0								0								BH ($0 \leq BH \leq 4,094$)							
符								BXC(-32,768 \leq BXC \leq 32,767)								符								BYC(-32,768 \leq BYC \leq 32,767)																							

【注】 $8 \leq LW+RW+1 \leq 4,088$ (8の倍数)、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

- SS=0かつREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
OP CODE=1010 0001								Reserve (all 0)								Draw Mode																															
Reserve (all 0)								0								0								ROP																							
Color1																Color0																															
符号拡張				符				Base Address(long word address)																0				0																			
0				0				0				0				LW ($0 \leq LW \leq 4,087$)								0								0								RW ($0 \leq RW \leq 4,087$)							
0				0				0				0				TH ($0 \leq TH \leq 4,094$)								0								0								BH ($0 \leq BH \leq 4,094$)							
符								BXC(-32768 \leq BXC \leq 32,767)								符								BYC(-32768 \leq BYC \leq 32,767)																							

【注】 $8 \leq LW+RW+1 \leq 4,088$ (8 の倍数)、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

コマンドコードが配置されるアドレス (ロングワード: 32 ビット単位) + Base Address (ロングワード: 32 ビット単位) が、クワッドワードアドレス (64 ビット) 単位になるようにしてください。

(c) CODE

B'10100001

(d) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	○	○ (WORK=1 のみ)		○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	CLIP	RCLIP	STRANS	DTRANS	WORK	SS	REL	SRCDIRX	SRCDIRY	DSTDIRX	DSTDIRY	COOF	αE	0 固定

(e) コマンドパラメータ

TXS, TYS : ソース開始点。未使用ビットは 0 を書き込んでください。

Base Address : ソース開始絶対アドレス (クワッドワードアドレス、A31~29 および A2~A0 は、0 を書き込んでください)。

ソース開始相対アドレス (ロングワードアドレス、負の数は 2 の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は 0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

BXC, BYC : センターX、Y 座標値 レンダリング座標 (絶対座標)、負の数は 2 の補数とします。

LW, RW : Left 幅、Right 幅、(BXC, BYC)からの相対値、レンダリング座標。画素数で設定してください。
未使用ビットは 0 を書き込んでください。

TH, BH : Top 高さ、Bottom 高さ、(BXC, BYC) からの相対値、レンダリング座標。画素数で設定してください。

未使用ビットは 0 を書き込んでください。

ROP : ラスタオペレーションコード

COLOR0, COLOR1 : 8 または 16 ビット/画素カラー指定。16 ビット/画素時は、デスティネーションのピクセルフォーマットに合わせてください。

8 ビット/画素時は、上位、下位バイト共、同じ値を設定してください。

(f) 説明

2 値 (1 ビット/画素) の矩形ソースデータをレンダリング座標に転送します。

LW+RW+1 は、SS ビットの値によらず、8 画素の倍数になるように設定してください。

- レンダリング属性でワーク指定 (WORK=1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながら、ワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
- 2値のソースデータは、メモリにリニア配置します。ソースアドレスは、REL=0のときは絶対アドレスで指定できます。REL=1のときは、BITBLTBコマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスでソースアドレスを指定できます。
- 描画が16ビット/画素のとき、レンダリング属性のCOOFビットに1を設定すると、2値ソースデータをカラー展開したデータにCOFSRレジスタの値を加えた結果が描画されます。演算は、飽和处理付で行われます。8ビット/画素のときには、COOFビットは必ず0に設定してください。
- SRCDIRX、SRCDIRYビットでソースの参照方向を選択できます。
- DSTDIRX、DSTDIRYビットで描画方向の選択ができます。
- $\alpha E=1$ にすると、2値ソースデータをカラー展開したデータと下地をアルファブレンドして描画します。 $\alpha E=1$ にする場合は、ROPコード=H'CC (ソースコピー) にしてください。ARGBフォーマット時のA値は、アルファブレンドされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。16ビット/画素時に有効です。
- 16種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値は、ラスタオペレーションされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。

【注】 システムクリッピング、(相対) ユーザクリッピングは、矩形で行います。

(g) 例

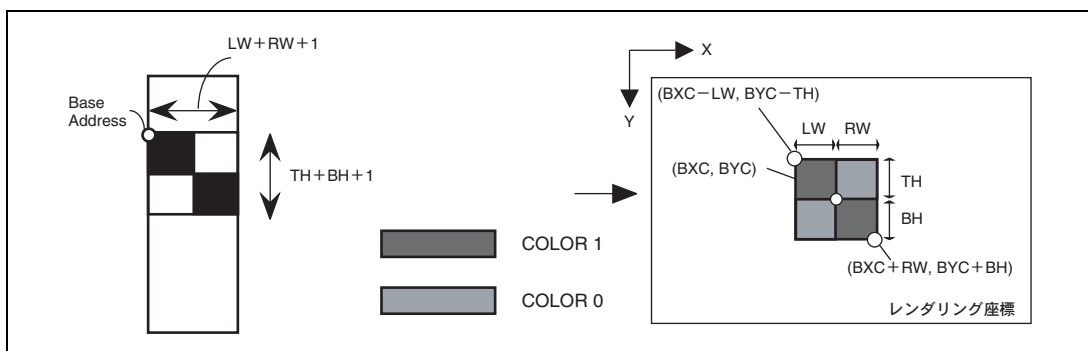


図 11.33 BITBLTB コマンド例

(3) BITBLTC

(a) 機能

デスティネーション領域に単色指定で矩形描画します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=1010 0000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								0								ROP															
Reserve (all 0)								Color																							
0 0 0 0				LW (0≤LW≤4,094)								0 0 0 0				RW (0≤RW≤4,094)															
0 0 0 0				TH (0≤TH≤4,094)								0 0 0 0				BH (0≤BH≤4,094)															
符								BXC(-32,768≤BXC≤32,767)								符								BYC(-32,768≤BYC≤32,767)							

【注】 $1 \leq LW+RW+1 \leq 4,095$ 、 $1 \leq TH+BH+1 \leq 4,095$

$-32,768 \leq BXC-LW \leq 32,767$ 、 $-32,768 \leq BYC-TH \leq 32,767$ 、 $-32,768 \leq BXC+RW \leq 32,767$ 、 $-32,768 \leq BYC+BH \leq 32,767$

(c) CODE

B'10100000

(d) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
		○ (WORK=1のみ)	○	○	

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0固定	0固定	CLIP	RCLIP	0固定	DTRANS	WORK	0固定	0固定	0固定	0固定	DSTDIRX	DSTDIRY	COOF	αE	0固定

(e) コマンドパラメータ

BXC、BYC : センターX、Y座標値 レンダリング座標（絶対座標）、負の数は2の補数とします。

LW、RW : Left幅、Right幅、(BXC、BYC)からの相対値、レンダリング座標。画素数で設定してください。
未使用ビットは0を書き込んでください。

TH、BH : Top高さ、Bottom高さ、(BXC、BYC)からの相対値、レンダリング座標。画素数で設定してください。
未使用ビットは0を書き込んでください。

COLOR : 8または16ビット/画素カラー指定。16ビット/画素時は、デスティネーションのピクセルフォーマットに合わせてください。
8ビット/画素時は、上位、下位バイト共、同じ値を設定してください。

ROP : ラスタオペレーションコード

(f) 説明

デスティネーション領域に、パラメータの COLOR で指定した単色で、矩形描画します。

- レンダリング属性でワーク指定 (WORK=1) を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながら、ワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
- 描画が16ビット/画素のとき、レンダリング属性のCOOFビットに1を設定すると、指定カラーの値にCOFSRレジスタの値を加えた結果が描画されます。演算は、飽和处理付で行われます。8ビット/画素のときには、COOFビットは必ず0に設定してください。
- DSTDIRX、DSTDIRYビットで描画方向の選択ができます。
- $\alpha E=1$ にすると、指定カラーデータと下地をアルファブレンドして描画します。 $\alpha E=1$ にする場合は、ROPコード=H'CC (ソースコピー) にしてください。ARGBフォーマット時のA値は、アルファブレンドされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。16ビット/画素時に有効です。
- 16種のラスタオペレーションが可能です。また、ARGBフォーマット時のA値は、ラスタオペレーションされません。A値は、RCLRレジスタのSAUビットおよびAVALUEビットの設定に従い描画されます。

【注】 システムクリッピング、(相対) ユーザクリッピングは、矩形で行います。

(g) 例

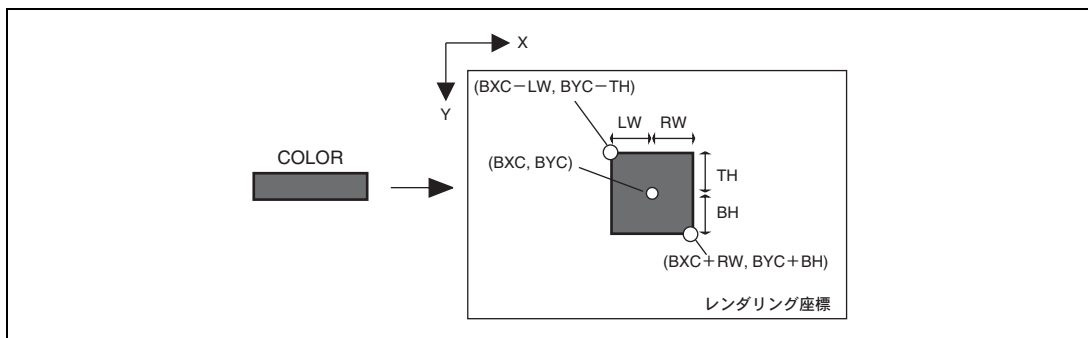


図 11.34 BITBLTC コマンド例

11.4.6 制御コマンド

(1) MOVE

(a) 機能

カレントポイントを設定します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0100 1000								Reserve (all 0)								Draw Mode															
XC(-32,768≤XC≤32,767)																YC(-32,768≤YC≤32,767)															

(c) CODE

B'01001000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) コマンドパラメータ

XC : レンダリング座標 (絶対座標)、ワーク座標 (絶対座標)、負の数は2の補数とします。

YC : レンダリング座標 (絶対座標)、ワーク座標 (絶対座標)、負の数は2の補数とします。

(f) 説明

XC、YCに、ローカルオフセット値を加算した値をカレントポイントに設定します。また、XC、YCは、絶対座標で設定します。なお、カレントポイントは、相対系描画コマンドのみで使用します。MOVEコマンド発行後は、相対系描画コマンドを連続で使用してください。途中で絶対系描画コマンドを使用した場合、カレントポイントを内部の演算用レジスタとして使用し、カレントポイントの値を破壊します。そのため、再度、相対系描画コマンドを使用する場合は、MOVEコマンドを発行してから使用してください。

(g) 例

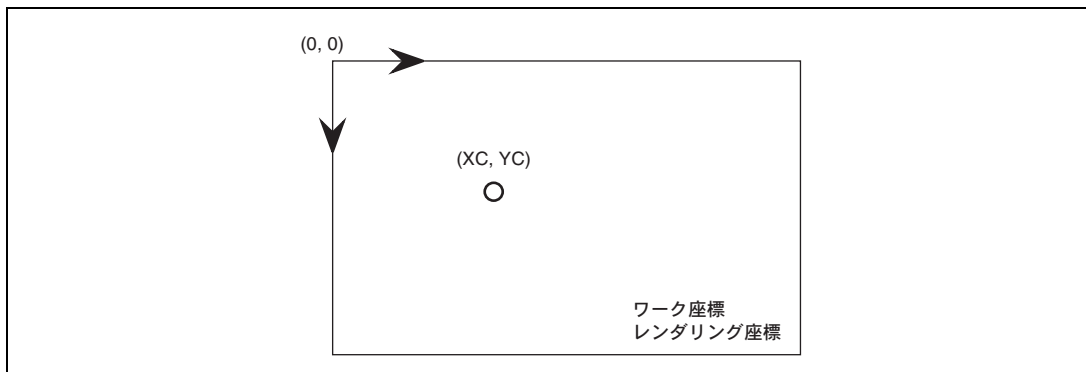


図 11.35 MOVE コマンド例

(2) RMOVE

(a) 機能

カレントポイントを加算します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0100 1100								Reserve (all 0)								Draw Mode															
XC(-32,768≤XC≤32,767)																YC(-32,768≤YC≤32,767)															

(c) CODE

B'01001100

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) コマンドパラメータ

XC : レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は2の補数とします。

YC : レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は2の補数とします。

(f) 説明

カレントポイントに XC、YC を加算します。

(g) 例

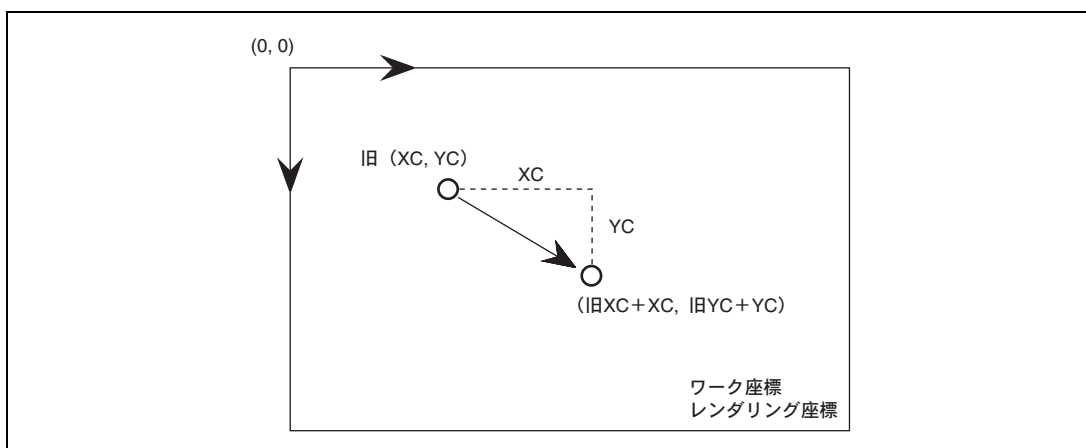


図 11.36 RMOVE コマンド例

(3) LCOFS

(a) 機能

デスティネーション領域およびワーク領域のオフセット値（ローカルオフセット）を設定します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0100 0000								Reserve (all 0)								Draw Mode															
XO(-32,768≤XO≤32,767)																YO(-32,768≤YO≤32,767)															

(c) CODE

B'01000000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) コマンドパラメータ

XO : ローカルオフセット値、レンダリング座標（絶対座標）、ワーク座標（絶対座標）、負の数は2の補数とします。

YO : ローカルオフセット値、レンダリング座標（絶対座標）、ワーク座標（絶対座標）、負の数は2の補数とします。

(f) 説明

ローカルオフセットを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されます。

ディスプレイリストの先頭で、必ず設定してください（初期値は不定です）。

カレントポイントにローカルオフセットを反映したい場合は、LCOFS コマンドの後で MOVE コマンドを発行してください。

(g) 例

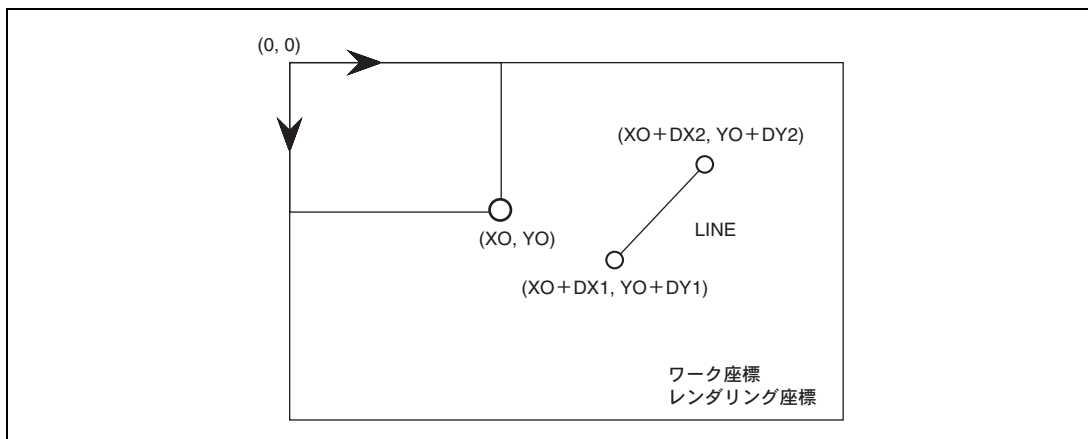


図 11.37 LCOFS コマンド例

(4) RLCOFS

(a) 機能

ローカルオフセットに XO 、 YO を加算します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0100 0100								Reserve (all 0)								Draw Mode															
XO(-32,768 \leq XO \leq 32,767)																YO(-32,768 \leq YO \leq 32,767)															

(c) CODE

B'01000100

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) コマンドパラメータ

XO : ローカルオフセット値、レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は 2 の補数とします。

YO : ローカルオフセット値、レンダリング座標 (相対座標)、ワーク座標 (相対座標)、負の数は 2 の補数とします。

(f) 説明

ローカルオフセットに XO 、 YO を加算した値を、ローカルオフセットとします。これを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されます。

また、カレントポインタにローカルオフセット値を反映したい場合は、LCOFS、RLCOFS コマンドでローカルオフセットを設定した後に、MOVE コマンドを実行するようにしてください。

(g) 例

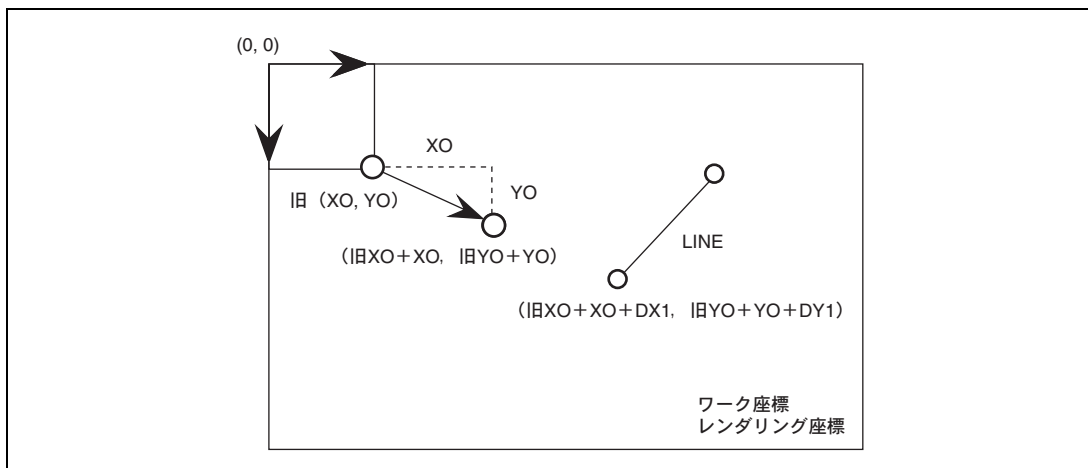


図 11.38 RLCOFS コマンド例

(5) WPR

(a) 機能

特定のアドレスマップレジスタに値を設定します。

(b) コマンドフォーマット

• LINKE=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0001 1000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n - 1 (0 ≤ n - 1 ≤ 255)								0 0 0 0				W Reg No											
Data0																															
.																															
.																															
Data n-1																															

• LINKE=1かつLREL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0001 1000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n - 1 (0 ≤ n - 1 ≤ 255)								0 0 0 0				W Reg No											
0 0 0			LINK Address(long word address)																								0 0				

【注】 LINK Address 次のロングワードを次のコマンドコードとして解釈するので、LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

- LINKE=1かつLREL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0001 1000								Reserve (all 0)								Draw Mode															
Reserve (all 0)								n -1(0≤n-1≤255)								0	0	0	0	W Reg No											
符号拡張		符		LINK Address(long word address)														0	0												

【注】 LINK Address 次のロングワードを次のコマンドコードとして解釈するので、コマンドコードが配置されるアドレス +LINK Address で指定するリンク先アドレスには、LINK Address が配置される次のロングワードアドレスは指定しないでください。

(c) CODE

B'00011000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	LINKE	LREL	0 固定	0 固定	0 固定	0 固定	0 固定	ByteM3	ByteM2	ByteM1	ByteM0

(e) パラメータ

W reg No : レジスタ番号。

Data n(n=1~256) : ライトデータ

n-1 : ライトデータ数

LINK Address : LINK 絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は、0 を書き込んでください)。

LINK 相対アドレス (ロングワードアドレス、負の数は2の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は、0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

アドレスマップレジスタにデータを書き込みます。レジスタ番号は W reg No に、書き込むデータは Data n に設定します。

また、CPU からのアクセス競合が起こらないようにしてください。

1. LINKEビットを設定するとメモリ上のLINK Addressからデータを読み出し、レジスタに書き込みます。
2. LINK Addressは、LRELビットによって、絶対アドレスまたはWPRコマンドのコマンドコードが配置されたメモリアドレスからの相対アドレスで指定できます。
3. ByteM3~0ビットに1を設定すると、バイト単位でレジスタ書き込みをマスクできます。

(6) JUMP

(a) 機能

ディスプレイリストのフェッチ先を変更します。

(b) コマンドフォーマット

- REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0010 1000								Reserve (all 0)								Draw Mode															
0	0	0	JUMP Address(long word address)0														0	0													

- REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0010 1000								Reserve (all 0)								Draw Mode															
符号拡張		符	JUMP Address(long word address)														0	0													

(c) CODE

B'00101000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	REL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) コマンドパラメータ

JUMP Address : ジャンプ先絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は、0 を書き込んでください)。

ジャンプ先相対アドレス (ロングワードアドレス、負の数は2の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は、0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

ディスプレイリストのフェッチ先を指定するアドレスに変更します。

ジャンプ先アドレスは、REL=0 のとき、絶対アドレスで指定できます。REL=1 のときは、コマンドコードが配置されているメモリアドレスからの相対アドレスで指定できます。

(g) 例

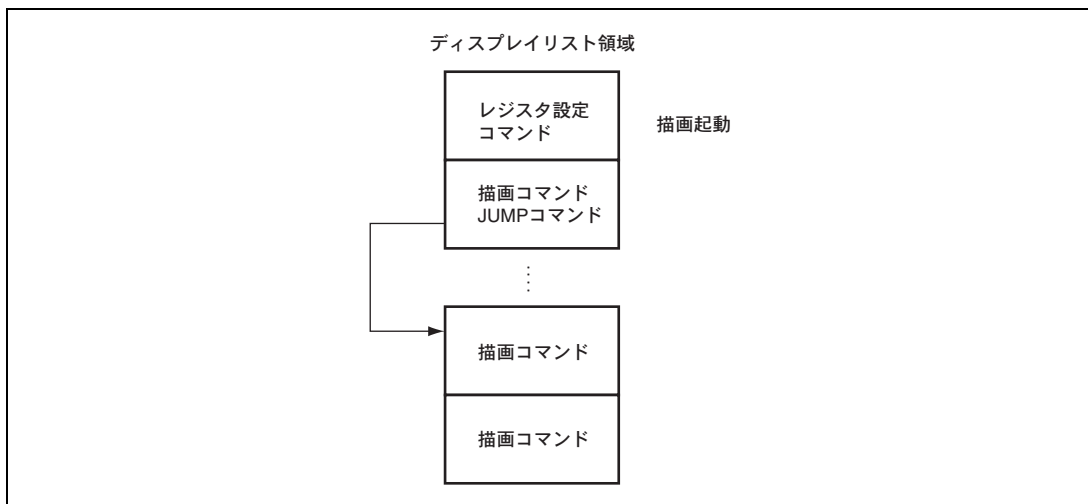


図 11.39 JUMP コマンド例

(7) GOSUB

(a) 機能

ディスプレイリストをサブルーチンコールします。

(b) コマンドフォーマット

- REL=0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0011 0000								Reserve (all 0)								Draw Mode															
0	0	0	GOSUB Address(long word address)0														0	0													

- REL=1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0011 0000								Reserve (all 0)								Draw Mode															
符号拡張 符								GOSUB Address(long word address)								0	0														

(c) CODE

B'00110000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	REL	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	No

(e) コマンドパラメータ

GOSUB Address : サブルーチン絶対アドレス (ロングワードアドレス、A31~29 および A1、A0 は、0 を書き込んでください)。

サブルーチン相対アドレス (ロングワードアドレス、負の数は2の補数とします。A31~A29 は A28 の符号を拡張してください。A1、A0 は、0 を書き込んでください)。

【注】 32 ビットアドレスモードにおいても、指定する 32 ビットアドレスのビット 28~ビット 3 を A28~A3 に書き込んでください。

(f) 説明

ディスプレイリストのフェッチ先を、指定するサブルーチンアドレスに変更します。RET 命令により、フェッチアドレスは復帰します。ただし、多重度 (ネスト) は 1 なので、サブルーチンの中でサブルーチンコールをすると復帰できなくなります。

サブルーチンアドレスは、REL=0 のとき、絶対アドレスで指定できます。REL=1 のときは、コマンドコードが配置されているメモリアドレスからの相対アドレスで指定できます。

また、No ビットが 0 の場合は RTN0R レジスタに、1 の場合は RTN1R レジスタに、リターンアドレスが設定されます。

(g) 例

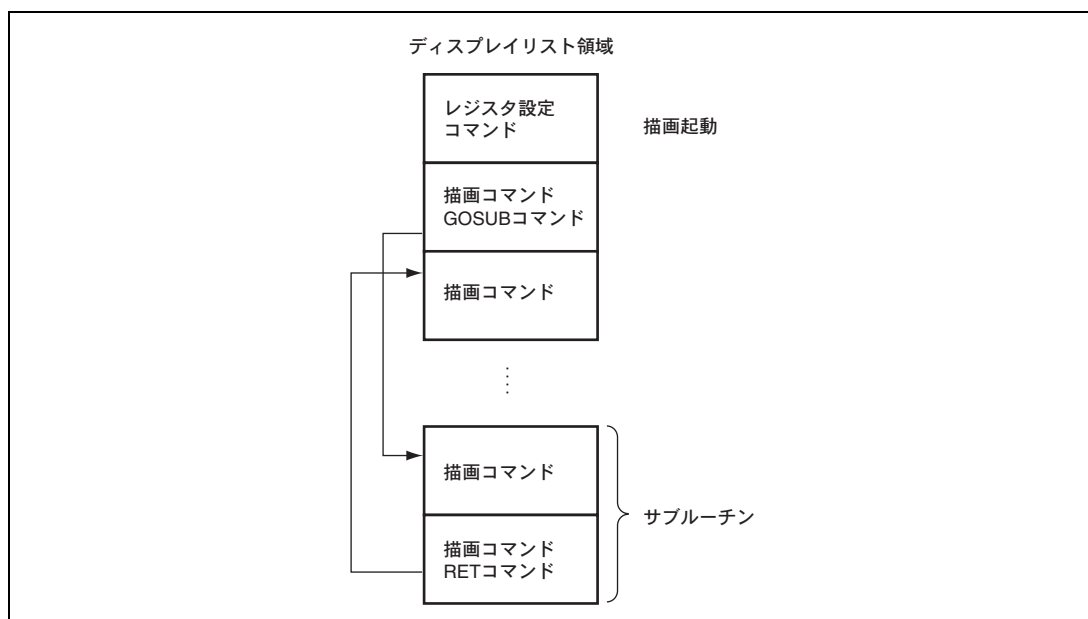


図 11.40 GOSUB コマンド例

(8) RET

(a) 機能

GOSUB コマンドによるサブルーチンコールから復帰します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0011 1000								Reserve (all 0)								Draw Mode															

(c) CODE

B'00111000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	No

(e) 説明

ディスプレイリストのフェッチ先を、サブルーチンコール元の次アドレスに復帰させます。

No ビットが 0 の場合は RTNOR レジスタ、1 の場合は RTN1R レジスタのアドレスに復帰します。

(9) NOP/INT

(a) 機能

ノーオペレーションを実行します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0000 1000								Reserve (all 0)								Draw Mode															

(c) CODE

B'00001000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INT	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	INT No							

(e) 説明

何の動作もしません。次の命令をフェッチします。ただし、INT ビットを設定した場合は、本コマンドフェッチ後、SR レジスタの INT ビットを 1 にセットし、ICIDR レジスタに INT No を格納した後、描画動作を停止します。SR レジスタの INT ビットのクリアで、次のコマンドから描画再開します。割り込み発生時のメインメモリと内蔵キャッシュのコヒーレンシを保つためには、NOP/INT コマンドの直前に、SYNC (レンダリング属性: 0x0111) コマンドを挿入してください。INT ビット=0 のときは SYNC コマンドを挿入する必要はありません。

(10) TRAP

(a) 機能

ディスプレイリストの終了を示します。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0000 0000								Reserve (all 0)								Draw Mode															

(c) CODE

B'00000000

(d) レンダリング属性

Draw Mode															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

(e) 説明

描画動作を停止し、SRレジスタのTRAビットを1にします。また、IERレジスタのTREビットを1にした場合に、CPU に対し割り込みを発生します。割り込み発生時のメインメモリと内蔵キャッシュのコヒーレンスを保つためには、TRAPコマンドの直前に、SYNC (レンダリング属性：0x0111) コマンドを挿入してください。

ディスプレイリストの終了に必ず入れてください。

(f) 例

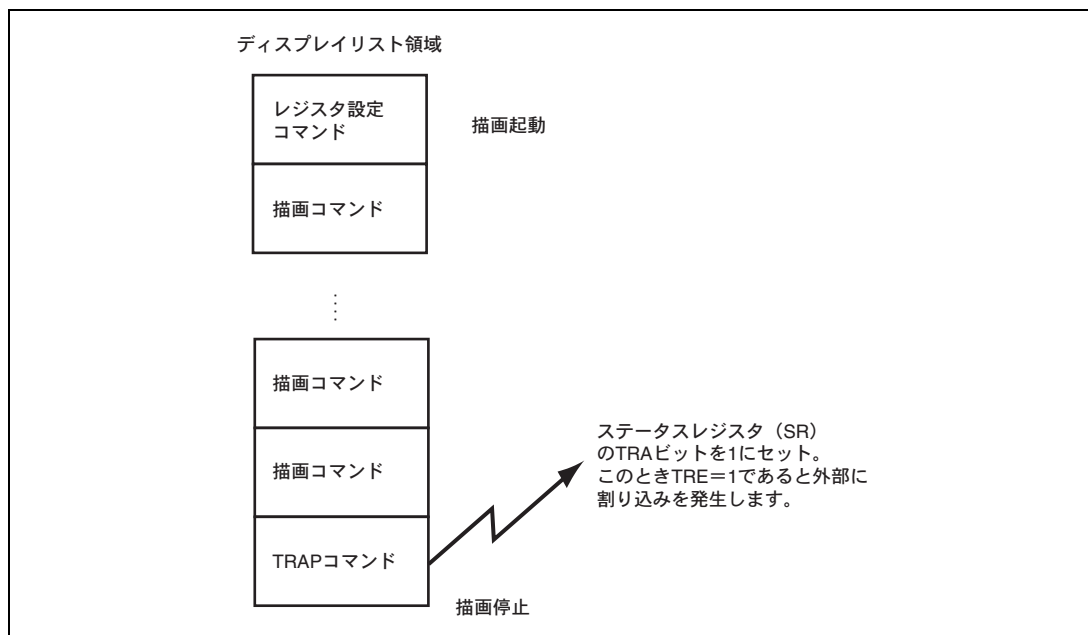


図 11.41 TRAP コマンド例

(11) SYNC

(a) 機能

各キャッシュのクリア/フラッシュ制御を行います。

(b) コマンドフォーマット

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OP CODE=0001 0010								Reserve (all 0)								Draw Mode															

Draw Mode															
b15	B14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	WCLR	WFLSH	0 固定	0 固定	0 固定	TCLR	0 固定	0 固定	DCLR	DFLSH

(c) CODE

B'00010010

(d) レンダリング属性

(e) 説明

各キャッシュを意図的にクリア/フラッシュさせたいときに使用します。レンダリング属性がすべて0のときは、NOP動作します。

- TCLR=1にすると、ソース（テクスチャ）キャッシュをクリアします。
- DCLR=1にすると、デスティネーションキャッシュをクリアします。
- DFLSH=1にすると、デスティネーションキャッシュをフラッシュします。
- WCLR=1にすると、ワークキャッシュをクリアします。
- WFLSH=1にすると、ワークキャッシュをフラッシュします。

【注】 デスティネーションキャッシュ、ワークキャッシュにおいて、クリアとフラッシュを同時に1にしないでください。

12. ビデオ入力 0 (VIN0)

ビデオ入力 0 モジュール (VIN0) は、ITU-R BT.601 および ITU-R BT.656 インタフェースの YCbCr-422 データ、および ITU-R BT.601 インタフェースの ITU-R BT.709 で色空間定義された RGB-666 データを外部メモリに格納可能なビデオキャプチャモジュールです。

本モジュールは、外部より入力されるインタレース方式のビデオデータに対し、最大 2048×2048 のキャプチャ領域に対する取り込み制御、および最大 3 倍までの垂直スケーリング、2 倍までの水平スケーリング処理が可能です。キャプチャされたビデオデータは、YCbCr-422 から RGB-565 のカラースペース変換および、RGB-565 から ARGB-1555 フォーマット変換などのフォーマット変換が可能です。

また、垂直同期信号およびフィールド信号を内部生成することにより、ITU-R BT.1358 インタフェースのプログレッシブデータなどがキャプチャ可能です。

12.1 特長

12.1.1 入力インタフェース

本モジュールは、4 種類の入力インタフェースを選択可能です。

インタフェース	bit 幅	データ形式
ITU-R BT.601	8bit	YCbCr-422 データ (UYVY 形式)
ITU-R BT.656	8bit	YCbCr-422 データ (UYVY 形式)
ITU-R BT.1358	16bit	YCbCr-422 データ (8bit(Y)+8bit(CbCr)形式)
ITU-R BT.601	18bit	RGB-666 データ (ITU-R BT.709 色空間形式)

(1) 内部同期信号生成機能

ビデオデータキャプチャ時、入力同期信号が停止してもフィールド信号を内部生成することが可能です。

(2) キャプチャモード

キャプチャするインタレース画像に対して以下 4 種類のキャプチャモードの選択が可能です。キャプチャモードは、シングルフレームキャプチャおよび連続フレームキャプチャ動作の選択が可能です。

キャプチャされるフィールド画像およびフレーム画像に合わせてトリプルバッファ制御を行い、表示モジュールのビデオキャプチャモードとの連動制御を行います。

- 奇数フィールドキャプチャモード
- 偶数/奇数フィールドキャプチャモード
- 偶数フィールドキャプチャモード
- フルインタレースキャプチャモード

(3) 垂直および水平方向スケーリング

垂直方向は最大 3 倍、および水平方向は最大 2 倍までの任意な拡大および縮小スケーリングが設定可能です。

(4) サイズクリッピング

最大 2048×2048 までの独立なクリッピング回路を 2 個搭載し、スケーリング前後の任意な取り込みサイズが設定可能です（拡大スケーリング設定時は、ブレクリッピングは 768×2048 まで対応）。

(5) YC (YCbCr-422) →RGB-565 色空間変換機能

YC (YCbCr-422) 形式で格納された画像データを RGB-565 色空間に変換し、外部メモリ格納が可能です。ここで、変換係数はレジスタにより任意に色調整が可能です。また、YC (YCbCr-422) 形式のまま外部メモリに格納することも可能です。

(6) フォーマット変換機能

YCbCr-422→RGB-565 色変換機能の他に、以下のデータフォーマット変換機能が設定可能です。

- RGB-565→ARGB-1555データフォーマット変換機能
- YCbCr-422→YCbCr-420 (NV12形式) データフォーマット変換機能
- YC分離機能 (Y成分とUV成分に分離)

12.1.2 ブロック図

図 12.1 に VINO のブロック構成図を示します。

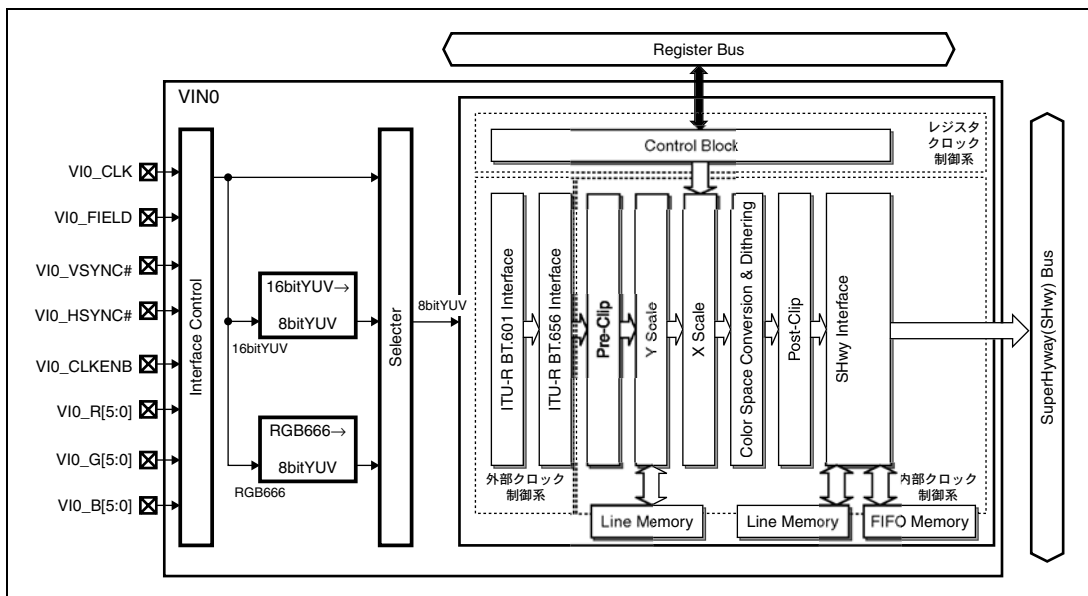


図 12.1 ブロック図

12.2 入出力端子

表 12.1 入出力端子

端子名	名 称	入出力	備 考
VI0_CLK	VIN0 ビデオクロック	入力	ITU-R BT.601/BT.656/BT.1358 インタフェースの外部ビデオクロック
VI0_FIELD*	VIN0 フィールド信号	入力	ITU-R BT.601 インタフェースのフィールド信号
VI0_VSYNC#*	VIN0 垂直同期信号	入力	ITU-R BT.601/BT.1358 インタフェースの垂直同期信号
VI0_HSYNC#*	VIN0 水平同期信号	入力	ITU-R BT.601/BT.1358 インタフェースの水平同期信号
VI0_CLKENB*	VIN0 データイネーブル	入力	ITU-R BT.601/BT.1358 インタフェースのデータイネーブル
VI0_R5~0* VI0_G5~0* VI0_B5~0*	VIN0 ビデオデータ	入力	ITU-R BT.601/BT.656/BT.1358 インタフェースのデータ信号 16Bit/8Bit の YCbCr-422 および RGB-666 に対応します。 データ端子接続は、表 12.2 を参照してください。

【注】 * 端子未使用時は、High または Low で固定してください。

表 12.2 データ端子接続一覧

入力データ形式	VI0_R[5:0]						VI0_G[5:0]						VI0_B[5:0]					
	5	4	3	2	1	0	5	4	3	2	1	0	5	4	3	2	1	0
ITU-R BT.601/BT.656 8bit YCbCr-422	*	*	*	*	*	*	*	*	*	*	*	*	ビデオデータ[7:0]					
ITU-R BT.601/BT.1358 16bit YCbCr-422	*	*	Y ビデオデータ[7:0]						CbCr ビデオデータ[7:0]									
ITU-R BT.601 RGB-666	R ビデオデータ[5:0]						G ビデオデータ[5:0]						B ビデオデータ[5:0]					

【注】 * High または Low で端子固定してください。

12.3 レジスタの説明

表 12.3 にレジスタ構成を、表 12.4 に各処理モードにおけるレジスタの状態を示します。

表 12.3 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	内部更新 モード 対応*
メインコントロールレジスタ	MC	R/W	H'FFC50000	H'1FC50000	32	△
モジュールステータスレジスタ	MS	R	H'FFC50004	H'1FC50004	32	×
フレームキャプチャレジスタ	FC	R/W	H'FFC50008	H'1FC50008	32	×
前クリップ開始ラインレジスタ	SLPrC	R/W	H'FFC5000C	H'1FC5000C	32	○
前クリップ終了ラインレジスタ	ELPrC	R/W	H'FFC50010	H'1FC50010	32	○
前クリップ開始画素レジスタ	SPPrC	R/W	H'FFC50014	H'1FC50014	32	○
前クリップ終了画素レジスタ	EPPrC	R/W	H'FFC50018	H'1FC50018	32	○
後クリップ開始ラインレジスタ	SLPoC	R/W	H'FFC5001C	H'1FC5001C	32	○
後クリップ終了ラインレジスタ	ELPoC	R/W	H'FFC50020	H'1FC50020	32	○
後クリップ開始画素レジスタ	SPPoC	R/W	H'FFC50024	H'1FC50024	32	○
後クリップ終了画素レジスタ	EPPoC	R/W	H'FFC50028	H'1FC50028	32	○
画素ストライドレジスタ	IS	R/W	H'FFC5002C	H'1FC5002C	32	○
メモリベース 1 レジスタ	MB1	R/W	H'FFC50030	H'1FC50030	32	○
メモリベース 2 レジスタ	MB2	R/W	H'FFC50034	H'1FC50034	32	○
メモリベース 3 レジスタ	MB3	R/W	H'FFC50038	H'1FC50038	32	○
ラインカウントレジスタ	LC	R	H'FFC5003C	H'1FC5003C	32	×
割り込みイネーブルレジスタ	IE	R/W	H'FFC50040	H'1FC50040	32	×
割り込みステータスレジスタ	INTS	R/W	H'FFC50044	H'1FC50044	32	×
スキャンライン割り込みレジスタ	SI	R/W	H'FFC50048	H'1FC50048	32	○
メモリ転送制御レジスタ	MTC	R/W	H'FFC5004C	H'1FC5004C	32	○
Y 方向拡大/縮小レジスタ	YS	R/W	H'FFC50050	H'1FC50050	32	○
X 方向拡大/縮小レジスタ	XS	R/W	H'FFC50054	H'1FC50054	32	○
データモードレジスタ	DMR	R/W	H'FFC50058	H'1FC50058	32	○
データモードレジスタ 2	DMR2	R/W	H'FFC5005C	H'1FC5005C	32	×
UV アドレスオフセットレジスタ	UVAOF	R/W	H'FFC50060	H'1FC50060	32	○
カラースペース変換係数レジスタ 1	CSCC1	R/W	H'FFC50064	H'1FC50064	32	○
カラースペース変換係数レジスタ 2	CSCC2	R/W	H'FFC50068	H'1FC50068	32	○
カラースペース変換係数レジスタ 3	CSCC3	R/W	H'FFC5006C	H'1FC5006C	32	○
係数セットレジスタ 1A	C1A	R/W	H'FFC50080	H'1FC50080	32	×
係数セットレジスタ 1B	C1B	R/W	H'FFC50084	H'1FC50084	32	×
係数セットレジスタ 1C	C1C	R/W	H'FFC50088	H'1FC50088	32	×

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	内部更新 モード 対応*
係数セットレジスタ 2A	C2A	R/W	H'FFC50090	H'1FC50090	32	×
係数セットレジスタ 2B	C2B	R/W	H'FFC50094	H'1FC50094	32	×
係数セットレジスタ 2C	C2C	R/W	H'FFC50098	H'1FC50098	32	×
係数セットレジスタ 3A	C3A	R/W	H'FFC500A0	H'1FC500A0	32	×
係数セットレジスタ 3B	C3B	R/W	H'FFC500A4	H'1FC500A4	32	×
係数セットレジスタ 3C	C3C	R/W	H'FFC500A8	H'1FC500A8	32	×
係数セットレジスタ 4A	C4A	R/W	H'FFC500B0	H'1FC500B0	32	×
係数セットレジスタ 4B	C4B	R/W	H'FFC500B4	H'1FC500B4	32	×
係数セットレジスタ 4C	C4C	R/W	H'FFC500B8	H'1FC500B8	32	×
係数セットレジスタ 5A	C5A	R/W	H'FFC500C0	H'1FC500C0	32	×
係数セットレジスタ 5B	C5B	R/W	H'FFC500C4	H'1FC500C4	32	×
係数セットレジスタ 5C	C5C	R/W	H'FFC500C8	H'1FC500C8	32	×
係数セットレジスタ 6A	C6A	R/W	H'FFC500D0	H'1FC500D0	32	×
係数セットレジスタ 6B	C6B	R/W	H'FFC500D4	H'1FC500D4	32	×
係数セットレジスタ 6C	C6C	R/W	H'FFC500D8	H'1FC500D8	32	×
係数セットレジスタ 7A	C7A	R/W	H'FFC500E0	H'1FC500E0	32	×
係数セットレジスタ 7B	C7B	R/W	H'FFC500E4	H'1FC500E4	32	×
係数セットレジスタ 7C	C7C	R/W	H'FFC500E8	H'1FC500E8	32	×
係数セットレジスタ 8A	C8A	R/W	H'FFC500F0	H'1FC500F0	32	×
係数セットレジスタ 8B	C8B	R/W	H'FFC500F4	H'1FC500F4	32	×
係数セットレジスタ 8C	C8C	R/W	H'FFC500F8	H'1FC500F8	32	×

【注】 上記アドレス以外のアクセスはしないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* 内部更新モードについては、MC レジスタの VUP ビット説明を参照してください。

表 12.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ	ディープ スタンバイ
メインコントロールレジスタ	MC	H'00000000	H'00000000	保持	保持	H'00000000
モジュールステータスレジスタ	MS	H'00000018	H'00000018	保持	保持	H'00000018
フレームキャプチャレジスタ	FC	H'00000000	H'00000000	保持	保持	H'00000000
前クリップ開始ラインレジスタ	SLPrC	H'00000000	H'00000000	保持	保持	H'00000000
前クリップ終了ラインレジスタ	ELPrC	H'00000000	H'00000000	保持	保持	H'00000000
前クリップ開始画素レジスタ	SPPrC	H'00000000	H'00000000	保持	保持	H'00000000
前クリップ終了画素レジスタ	EPPrC	H'00000000	H'00000000	保持	保持	H'00000000
後クリップ開始ラインレジスタ	SLPoC	H'00000000	H'00000000	保持	保持	H'00000000
後クリップ終了ラインレジスタ	ELPoC	H'00000000	H'00000000	保持	保持	H'00000000
後クリップ開始画素レジスタ	SPPoC	H'00000000	H'00000000	保持	保持	H'00000000
後クリップ終了画素レジスタ	EPPoC	H'00000000	H'00000000	保持	保持	H'00000000
画素ストライドレジスタ	IS	H'00000000	H'00000000	保持	保持	H'00000000
メモリベース 1 レジスタ	MB1	H'00000000	H'00000000	保持	保持	H'00000000
メモリベース 2 レジスタ	MB2	H'00000000	H'00000000	保持	保持	H'00000000
メモリベース 3 レジスタ	MB3	H'00000000	H'00000000	保持	保持	H'00000000
ラインカウントレジスタ	LC	H'00000000	H'00000000	保持	保持	H'00000000
割り込みイネーブルレジスタ	IE	H'00000000	H'00000000	保持	保持	H'00000000
割り込みステータスレジスタ	INTS	H'00000000	H'00000000	保持	保持	H'00000000
スキャンライン割り込みレジスタ	SI	H'00000000	H'00000000	保持	保持	H'00000000
メモリ転送制御レジスタ	MTC	H'0A080008	H'0A080008	保持	保持	H'0A080008
Y 方向拡大/縮小レジスタ	YS	H'00000000	H'00000000	保持	保持	H'00000000
X 方向拡大/縮小レジスタ	XS	H'00000000	H'00000000	保持	保持	H'00000000
データモードレジスタ	DMR	H'00000000	H'00000000	保持	保持	H'00000000
データモードレジスタ 2	DMR2	H'00000000	H'00000000	保持	保持	H'00000000
UV アドレスオフセットレジスタ	UVAOF	H'00000000	H'00000000	保持	保持	H'00000000
CSC 係数レジスタ 1	CSCC1	H'01291080	H'01291080	保持	保持	H'01291080
CSC 係数レジスタ 2	CSCC2	H'019800D0	H'019800D0	保持	保持	H'019800D0
CSC 係数レジスタ 3	CSCC3	H'00640204	H'00640204	保持	保持	H'00640204
係数セットレジスタ 1A	C1A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 1B	C1B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 1C	C1C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 2A	C2A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 2B	C2B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 2C	C2C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 3A	C3A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 3B	C3B	H'00000000	H'00000000	保持	保持	H'00000000

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ	ディープ スタンバイ
係数セットレジスタ 3C	C3C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 4A	C4A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 4B	C4B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 4C	C4C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 5A	C5A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 5B	C5B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 5C	C5C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 6A	C6A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 6B	C6B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 6C	C6C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 7A	C7A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 7B	C7B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 7C	C7C	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 8A	C8A	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 8B	C8B	H'00000000	H'00000000	保持	保持	H'00000000
係数セットレジスタ 8C	C8C	H'00000000	H'00000000	保持	保持	H'00000000

【レジスタ説明の記号説明】

初期値：リセット後のレジスタ値

— : 不定値

R/W : 読み出しおよび書き込み可。書き込み値を読み出すことができます。

R : 読み出しのみ可。書き込む値は常に 0 にしてください。

リザーブビットは、0 を書いてください。

12.3.1 メインコントロールレジスタ (MC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CLP[1:0]	—	—	—	CFSL	—	—	FOC	—	YCAL	INF[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VUP	—	—	—	EN	EC	IM[1:0]	—	BPS	ME	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明		
31, 30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。		
29, 28	CLP[1:0]	00	R/W	画素データクリッピング (pixel data CLiPping) 入力フォーマットが ITU-R BT.601 のとき、画素データが ITU-R BT.601 で規定された公証値外である場合に、クリップする値を設定します。		
					輝度	色差
				00	スルー	16 以下の場合 16 にクリップ 240 以上の場合 240 にクリップ
				01	16 以下の場合 16 にクリップ 240 以上の場合 240 にクリップ	16 以下の場合 16 にクリップ 240 以上の場合 240 にクリップ
				10	スルー	16 以下の場合 128 にクリップ 240 以上の場合 128 にクリップ
				11	0 以下の場合 1 にクリップ	
				【注】本ビットは内部更新モードに対応します。		
27~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。		
24	CFSL	0	R/W	RGB カラーフォーマット選択 (rgb Color Format SeLect) 入力 RGB-666 データは、8bitYCbCr-422 に変換後、キャプチャ制御を行います。RGB-666 データは、ITU-R BT.601/BT.709 色空間 (カラースペース) 設定に対応するため、入力 RGB データのカラースペースを設定します。 0 : ITU-R BT.601 色空間 RGB-666 データ入力 1 : ITU-R BT.709 色空間 RGB-666 データ入力 【注】本ビットは内部更新モードに対応します。		
23, 22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。		

ビット	ビット名	初期値	R/W	説明
21	FOC	0	R/W	フィールドオーダー制御 (Field Order Control) フルインタレース取り込み時のフィールドオーダーの変更制御を行います。 0: トップフィールド=奇数フィールド (フィールド 1) 1: トップフィールド=偶数フィールド (フィールド 2) 【注】本ビットは内部更新モードに対応します。
20	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	YCAL	0	R/W	YCbCr-422 入力データアライメント (YCbCr-422 input data ALignment) 16bitYCbCr-422 入力時のデータアライメント制御を行います。 0: 16bit ビデオデータ入力をそのまま入力します。 1: 16bit ビデオデータ入力の上位/下位をバイト単位で入れ替えます。
18~16	INF[2:0]	000	R/W	入力インタフェースフォーマット (INput interface Format) 本モジュールに入力する入力画像フォーマットを設定します。 000: ITU-R BT.656/8bitYCbCr-422 フォーマットを入力します 001: ITU-R BT.601/8bitYCbCr-422 フォーマットを入力します 101: ITU-R BT.1358/16bitYCbCr-422 フォーマットを入力します 111: ITU-R BT.601/18bitRGB-666 フォーマットを入力します 上記以外: 設定禁止
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VUP	0	R/W	VIN レジスタ内部更新制御 (Vin register UPdate control) レジスタ設定による内部更新タイミングを設定します。対応レジスタはレジスタ一覧を参照してください。 0: レジスタライト直後に内部更新されます。 1: レジスタ値は、ITU-R BT.601 の有効フィールド検出および ITU-R BT.656 のフィールドビット (F ビット) の変化タイミング後に、更新されます。
9~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	EN	0	R/W	エンディアンタイプ (Endian Type) 外部メモリに出力するデータのエンディアンタイプを設定します。 0: 画像データをリトルエンディアンにパックして配置します。 1: 画像データをビッグエンディアンにパックして配置します。 【注】データフォーマットをビッグエンディアンとして配置する場合は、DMR/BPSM ビットを 1 に設定してください。

ビット	ビット名	初期値	R/W	説明
5	EC	0	R/W	<p>エラー訂正制御 (Error Correct Control)</p> <p>ITU-R BT.656 入力に対してパリティビットを用いてエラー訂正を行うかどうかを設定します。</p> <p>0 : ITU-R BT.656 入力に対してエラー訂正を行いません。</p> <p>1 : ITU-R BT.656 入力に対してパリティビットを用いてエラー訂正を行います。</p> <p>以下の場合、エラー訂正を行わないでください。</p> <ul style="list-style-type: none"> • ITU-R BT.601 インタフェース取り込みの場合 • ITU-R BT.656 パリティビット規定外のデータが入力された場合
4, 3	IM[1:0]	00	R/W	<p>インタレースモード (Interlace Mode)</p> <p>キャプチャモードを設定します。取り込み動作中に本ビットは変化させないでください。</p> <p>00 : 奇数フィールド (フィールド 1) キャプチャモード 奇数フィールドのみをフレームとして外部メモリに格納します。</p> <p>01 : 奇数/偶数フィールドキャプチャモード 奇数、偶数フィールドをそれぞれフレームとして外部メモリに格納します。</p> <p>本モードは連続フレームキャプチャモードのみ設定可能です。</p> <p>10 : 偶数フィールド (フィールド 2) キャプチャモード 偶数フィールドのみをフレームとして外部メモリに格納します。</p> <p>11 : フルインタレースモード 奇数、偶数フィールドを外部メモリ上でフレームとして組み合わせ格納します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	BPS	0	R/W	<p>YCbCr-422→RGB-565 変換バイパスモード (ycbcr-422→rgb-565 convert ByPaSs mode)</p> <p>YCbCr-422→RGB-565 変換機能を制御します。</p> <p>0 : YCbCr-422→RGB-565 変換を行います</p> <p>1 : YCbCr-422→RGB-565 変換を行いません</p> <p>【注】RGB-565 変換係数は、CSCC1~3 により任意に設定可能です。</p>
0	ME	0	R/W	<p>モジュールイネーブル (Module Enable)</p> <p>本モジュールのイネーブルビットです。本ビットを設定後、各種レジスタを設定してください。</p> <p>0 : 本モジュールは動作しません。</p> <p>1 : 本モジュールは動作します。</p>

12.3.2 モジュールステータスレジスタ (MS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FBS[1:0]	FS	AV	CA	
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4, 3	FBS[1:0]	11	R	フレームバッファステータス (Frame Buffer Status) フレームバッファのステータスを示します。 00: 最新有効フレームバッファは、メモリベース1レジスタで定義されたベースアドレスを持つフレームバッファであることを示します。 01: 最新有効フレームバッファは、メモリベース2レジスタで定義されたベースアドレスを持つフレームバッファであることを示します。 10: 最新有効フレームバッファは、メモリベース3レジスタで定義されたベースアドレスを持つフレームバッファであることを示します。 11: 有効なフレームバッファがないことを示します
2	FS	0	R	フィールドステート (Field Status) 現在のキャプチャフィールドのフィールドタイプを示します。 0: 現在のフィールドは、奇数フィールド (フィールド1) であることを示します。 1: 現在のフィールドは、偶数フィールド (フィールド2) であることを示します。
1	AV	0	R	アクティブビデオ領域ステータス (Active Video status) ブレイクリッピングレジスタで定義されたアクティブビデオ領域であることを示します。 0: 現在のフィールドがアクティブビデオ領域ではないことを示します。 1: 現在のフィールドがアクティブビデオ領域であることを示します。 【注】 入力データが取り込まれない場合は、本ビットは0になります。
0	CA	0	R	ビデオキャプチャアクティブステータス (video Capture Active Status) 現在のビデオキャプチャ動作状態を示します。ここで、本ビットはキャプチャされたフィールド信号によって更新します。 0: ビデオキャプチャが動作していないことを示します。 1: ビデオキャプチャが動作中であることを示します。 【注】 フィールドキャプチャモード時、取り込み動作を行わないフィールドでも本ビットは1設定されます。

12.3.3 フレームキャプチャレジスタ (FC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC	SC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CC	0	R/W	連続フレームキャプチャモード (Continuous frame Capture mode) 連続フレームキャプチャモードに設定します。連続フレームキャプチャモードに設定したとき、最初のフレームキャプチャをメモリベース 1 (MB1) レジスタで設定したメモリアドレスへライトします。以後、MB2→MB3→MB1→ MB2...のサイクルによりキャプチャ動作を繰り返します。連続キャプチャ動作中、本ビットに0を書き込むと、現在のフレームの終了か、または現在フレームが取り込まれていない場合は、ただちにキャプチャ動作を終了します。 0: 連続フレームキャプチャモードに設定しません。 1: 連続フレームキャプチャモードに設定します。
0	SC	0	R/W	シングルフレームキャプチャモード (Single frame Capture mode) シングルフレームキャプチャモードに設定します。シングルフレームキャプチャモードで取り込まれたフレームは、メモリベース 1 レジスタ (MB1) で設定したメモリアドレスへライトします。ここで、本ビットを 1 にセットした後、モジュールステータスレジスタ (MS) の FBS ビットがただちに初期化され、本ビットも 0 にセットされます。 0: シングルフレームキャプチャモードに設定しません。 1: シングルフレームキャプチャモードに設定します。 【注】 MC レジスタの IM[1:0]ビットが B'01 (奇数/偶数フィールドキャプチャモード) 設定時は、本ビットは設定しないでください。

【注】 シングルフレームキャプチャモードと連続フレームキャプチャモードの同時設定はしないでください。

12.3.4 前クリップ開始ラインレジスタ (SLPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLPrC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SLPrC[10:0]	H'000	R/W	スタートラインプレクリップ (Start Line Pre-Clip) スケーリング処理前のプレクリッピング先頭ライン-1をライン単位に設定します。本レジスタは、プレクリッピング後のライン数が2以上になるように0~2046の範囲で設定してください。(0は最初の有効ラインを示します。)

12.3.5 前クリップ終了ラインレジスタ (ELPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ELPrC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	ELPrC[10:0]	H'000	R/W	エンドラインプレクリップ (End Line Pre-Clip) スケーリング処理前のクリッピング最終ライン-1をライン単位に設定します。本レジスタは、プレクリッピング後のライン数が2以上になるように1~2047の範囲で設定してください。

12.3.6 前クリップ開始画素レジスタ (SPPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPPrC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SPPrC[10:0]	H'000	R/W	スタートピクセルプレクリップ (Start Pixel Pre-Clip) スケーリング処理前のクリッピング先頭画素位置-1を画素単位に設定します。本レジスタは、プレクリッピング後の画素数が5以上になるように0~2042の範囲で設定してください。 【注】・本レジスタは、YCbCr-422フォーマットでのクリッピング処理を行うために2の倍数処理となるためにLSBは無視され、奇数値を設定すると設定値-1の偶数値としてクリッピング処理します。 ・拡大水平スケーリング設定時は、EPPrC-SPPrCの設定値が768画素以下になるように設定してください。

12.3.7 前クリップ終了画素レジスタ (EPPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	EPPrC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	EPPrC[10:0]	H'000	R/W	エンドピクセルプレクリップ (End Pixel Pre-Clip) スケーリング処理前のクリッピング最終画素-1を画素単位に設定します。本レジスタは、プレクリッピング後の画素数が5以上になるように5~2047の範囲で設定してください。 【注】・本レジスタは、YCbCr-422フォーマットでの2の倍数でのクリッピング処理を行うために2の倍数処理となるためにLSBは無視され、偶数値を設定すると設定値+1の奇数値としてクリッピング処理します。 ・拡大水平スケーリング設定時は、EPPrC-SPPrcの設定値が768画素以下になるように設定してください。

12.3.8 後クリップ開始ラインレジスタ (SLPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLPoC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SLPoC[10:0]	H'000	R/W	スタートラインポストクリップ (Start Line Post-Clip) スケーリング処理後のポストクリッピング先頭ラインをライン単位に設定します。本レジスタは、ポストクリッピング後のライン数が2以上になるように0~2046の範囲で設定してください。(0はスケーリング処理後の先頭ラインを示します。)

12.3.9 後クリップ終了ラインレジスタ (ELPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ELPoC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	ELPoC[10:0]	H'000	R/W	エンドラインポストクリップ (End Line Post-Clip) スケーリング処理後のポストクリッピング最終ライン数-1をライン単位に設定します。本レジスタは、ポストクリッピングのライン数が2以上になるように1~2047の範囲で設定してください。

12.3.10 後クリップ開始画素レジスタ (SPPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPPoC[10:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SPPoC[10:0]	H'000	R/W	スタートピクセルポストクリップ (Start Pixel Post-Clip) スケーリング処理後のクリッピング先頭画素位置-1を画素単位に設定します。本レジスタは、ポストクリッピング後の画素数が5以上になるように0~2042の範囲で設定してください。 【注】本レジスタは、YCbCr-444フォーマットでのクリッピング処理を行うためにLSBも有効です。

12.3.11 後クリップ終了画素レジスタ (EPPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EPPoC[10:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	EPPoC[10:0]	H'000	R/W	エンドピクセルポストクリップ (End Pixel Post-Clip) スケーリング処理後のクリッピング最終画素-1を画素単位に設定します。本レジスタは、ポストクリッピング後の画素数が5以上になるように5~2047の範囲で設定してください。 【注】本レジスタは、YCbCr-444フォーマットでのクリッピング処理を行うためにLSBも有効です。

【注】 ピクセルポストクリップ処理で奇数切り出しを行っても、YCbCr-422 フォーマット出力を行うため、メモリには偶数画素単位に出力されます。EPPoC-SPPoC クリッピングサイズが奇数の場合、+1 した偶数サイズに丸められるので注意してください。

(例) SPPoC=0、EPPoC=62 で設定した場合、実際の処理サイズは、64 画素で処理されます。

$EPPoC - SPPoC = 62 - 0 = 62$ (63 画素) → 63 画素 + 1 = 64 画素

12.3.12 画素ストライドレジスタ (IS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IS[8:0]								—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~4	IS[8:0]	H'000	R/W	イメージストライド (Image Stride) 転送先のメモリ幅を 16 画素~4096 画素まで 16 画素単位に設定します。設定値は Post クリップ幅 (EPPoC-SPPoC) 以上の値を設定してください。 16bit/pixel データは、Word アドレスとしてアドレス生成を行います。YC 分離モード設定において、8bit/pixel データは、Byte アドレスとしてアドレス生成します。
3~0	—	すべて 0	R	イメージストライドの 16 画素単位を示すリザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.13 メモリベース 1 レジスタ (MB1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MB1[24:9]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	MB1[8:0]										—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~7	MB1[24:0]	H'0000000	R/W	<p>メモリベースアドレス 1 (Memory Base address 1)</p> <p>フレームバッファ 1 の転送開始アドレスを設定します。設定値は 128B 単位に[31:7]の物理アドレスを設定してください。</p> <p>本モジュールが連続フレームキャプチャモードの場合、フレームバッファが MB1→MB2→MB3→MB1→MB2→MB3...のようなキャプチャシーケンスの中で、MB1 アドレスとして使用されます。また、シングルフレームキャプチャモードの場合はキャプチャアドレスとして使用されます。</p> <p>ここで、本レジスタには画像サイズに対してアドレスマップ上のエリア境界をまたがないように開始アドレスを設定してください。</p>
6~0	—	すべて 0	R	<p>メモリベースアドレス 1 の 128B 単位を示すリザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

12.3.14 メモリベース 2 レジスタ (MB2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MB2[24:9]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	MB2[8:0]										—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~7	MB2[24:0]	H'0000000	R/W	<p>メモリベースアドレス 2 (Memory Base address 2)</p> <p>フレームバッファ 2 の転送開始アドレスを設定します。設定値は 128B 単位に[31:7]の物理アドレスを設定してください。</p> <p>本モジュールが連続フレームキャプチャモードの場合、フレームバッファが MB1→MB2→MB3→MB1→MB2→MB3... のようなキャプチャシーケンスの中で、MB2 アドレスとして使用されます。</p> <p>ここで、本レジスタには画像サイズに対して、アドレスマップ上のエリア境界をまたがないように開始アドレスを設定してください。</p>
6~0	—	すべて 0	R	<p>メモリベースアドレス 2 の 128B 単位を示すリザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

12.3.15 メモリベース 3 レジスタ (MB3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MB3[24:9]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB3[8:0]										—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~7	MB3[24:9]	H'0000000	R/W	<p>メモリベースアドレス 3 (Memory Base address 3)</p> <p>フレームバッファ 3 の転送開始アドレスを設定します。設定値は 128B 単位に[31:7]の物理アドレスを設定してください。</p> <p>本モジュールが連続フレームキャプチャモードの場合、フレームバッファが MB1→MB2→MB3→MB1→MB2→MB3...のようなキャプチャシーケンスの中で、MB3 アドレスとして使用されます。</p> <p>ここで、本レジスタには画像サイズに対して、アドレスマップ上のエリア境界をまたがないように開始アドレスを設定してください。</p>
6~0	—	すべて 0	R	<p>メモリベースアドレス 3 の 128B 単位を示すリザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

12.3.16 ラインカウントレジスタ (LC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LC[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	LC[10:0]	H'000	R	<p>ラインカウント (Line Count)</p> <p>現在のキャプチャフィールド中のラインポジションを示します。</p>

12.3.17 割り込みイネーブルレジスタ (IE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIE2	—	—	—	—	—	—	—	—	—	—	—	—	VFE	VRE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIE	CEE	SIE	EFE	FOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIE2	0	R/W	フィールド割り込みイネーブル 2 (Field Interrupt Enable 2) フィールド割り込みの INTC 出力を許可するか禁止するかを設定します。 本イネーブルビットによる割り込み信号は、キャプチャが動作していてもアサートされます。 0: フィールド割り込みを禁止します。 1: フィールド割り込みを許可します。
30~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	VFE	0	R/W	VSYNC 立ち下がり検出割り込みイネーブル (Vsync Falling edge detect interrupt Enable) VSYNC 立ち下がりエッジ検出割り込みの許可/禁止を設定します。本イネーブルビットによる割り込み信号は、キャプチャが動作していてもアサートされます。 0: VSYNC 立ち下がりエッジ検出割り込みを禁止します 1: VSYNC 立ち下がりエッジ検出割り込みを許可します
16	VRE	0	R/W	VSYNC 立ち上がり検出割り込みイネーブル (Vsync Rising edge detect interrupt Enable) VSYNC 立ち上がりエッジ検出割り込みの許可/禁止を設定します。本イネーブルビットによる割り込み信号は、キャプチャが動作していてもアサートされます。 0: VSYNC 立ち上がりエッジ検出割り込みを禁止します 1: VSYNC 立ち上がりエッジ検出割り込みを許可します
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FIE	0	R/W	フィールド割り込みイネーブル (Field Interrupt Enable) フィールド切り替え割り込みの許可/禁止を設定します。モジュールステータスレジスタ (MS) の CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0: フィールド切り替え割り込みを禁止します。 1: フィールド切り替え割り込みを許可します。

ビット	ビット名	初期値	R/W	説明
3	CEE	0	R/W	<p>訂正エラー割り込みイネーブル (Correct Error interrupt Enable)</p> <p>ITU-R BT.656 仕様に記述されたタイミングリファレンスコード (SAV/EAV) のエラーコレクトによる割り込みを許可/禁止するかを設定します。モジュールステータスレジスタ (MS) の CA ビットが 1 のとき、この割り込みイネーブルが有効となります。</p> <p>0 : ITU-R BT.656 タイミングリファレンスコードエラー割り込みを禁止します。</p> <p>1 : ITU-R BT.656 タイミングリファレンスコードエラー割り込みを許可します。</p>
2	SIE	0	R/W	<p>スキャンライン割り込みイネーブル (Scanline Interrupt Enable)</p> <p>スキャンライン割り込みの許可/禁止を設定します。</p> <p>モジュールステータスレジスタ (MS) の CA ビットが 1 のとき、この割り込みイネーブルが有効となります。</p> <p>0 : スキャンライン割り込みを禁止します。</p> <p>1 : スキャンライン割り込みを許可します。</p>
1	EFE	0	R/W	<p>最終フレーム割り込みイネーブル (End of Frame interrupt Enable)</p> <p>最終フレーム割り込みの許可/禁止を設定します。</p> <p>モジュールステータスレジスタ (MS) の CA ビットが 1 のとき、この割り込みイネーブルが有効となります。</p> <p>0 : 最終フレーム割り込みを禁止します。</p> <p>1 : 最終フレーム割り込みを許可します。</p>
0	FOE	0	R/W	<p>FIFO オーバフロー割り込みイネーブル (Fifo Over flow interrupt Enable)</p> <p>FIFO オーバフロー割り込みの許可/禁止を設定します。</p> <p>モジュールステータスレジスタ (MS) の CA ビットが 1 のとき、この割り込みイネーブルが有効となります。</p> <p>0 : FIFO オーバフロー割り込みを禁止します。</p> <p>1 : FIFO オーバフロー割り込みを許可します。</p>

12.3.18 割り込みステータスレジスタ (INTS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIS2	—	—	—	—	—	—	—	—	—	—	—	—	—	VFS	VRS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIS	CES	SIS	EFS	FOS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIS2	0	R/W	フィールド割り込みステータス2 (Field Interrupt Status 2) フィールドが変わったことを示します。 本ビットは、ITU-R BT.601の有効フィールド検出およびITU-R BT.656の中で定義されたFビットの変化点で1設定されます。1設定後、1ライトによって0クリアします。 【注】本ビットは、キャプチャが動作していなくても1設定されます。使用の際は、必ず0クリアしてから使用してください。
30~18	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	VFS	0	R/W	VSYNC 立ち下がり検出割り込みステータス (Vsync Falling edge detect interrupt Status) ITU-R BT.601 入力信号の VSYNCR 立ち下がりエッジ検出を示します。1 設定後、1 ライトによって 0 クリアします。 【注】本ビットは、キャプチャが動作していなくても 1 設定されます。使用の際は、必ず 0 クリアしてから使用してください。
16	VRS	0	R/W	VSYNCR 立ち上がり検出割り込みステータス (Vsync Rising edge detect interrupt Status) ITU-R BT.601 入力信号の VSYNCR 立ち上がりエッジ検出を示します。1 設定後、1 ライトによって 0 クリアします。 【注】本ビットは、キャプチャが動作していなくても 1 設定されます。使用の際は、必ず 0 クリアしてから使用してください。
15~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	FIS	0	R/W	フィールド割り込みステータス (Field Interrupt Status) 本モジュールのキャプチャアクティブ中にフィールドキャプチャされたことを示します。本ビットは、ITU-R BT.601の有効フィールド検出およびITU-R BT.656の中で定義されたFビットの変化点で1設定されます。1設定後、1ライトによって0クリアします。

ビット	ビット名	初期値	R/W	説明
3	CES	0	R/W	訂正エラー割り込みステータス (Correct Error interrupt Status) 本モジュールのキャプチャアクティブ中のタイミングリファレンスコードに、2ビット以上のエラーが発生したことを示します。1設定後、1ライトによって0クリアします。 本ビットはメインコントロールレジスタ (MC) の EC ビットがイネーブルで、2ビット以上のエラーが発生したときに1設定されます。もし、1ビットエラーで EC ビットがイネーブルの場合、1設定されません。
2	SIS	0	R/W	スキャンライン割り込みステータス (Scanline Interrupt Status) 本モジュールのキャプチャアクティブ中に、Scanline Interrupt (SI) レジスタで設定したラインに達したことを示します。1設定後、1ライトによって0クリアします。 本ビットは、LC レジスタの値と SI レジスタの設定値が一致した次のライン開始タイミングで、1に設定されます。アサートタイミングを図 12.2 に示します。
1	EFS	0	R/W	最終フレーム割り込みステータス (End of Frame interrupt Status) 本モジュールのキャプチャアクティブ中に、最終フレームに達したことを示します。本ビットは、偶数フィールド (フィールド 2) の終了で1に設定されます。1設定後、1ライトによって0クリアします。
0	FOS	0	R/W	FIFO オーバフロー割り込みステータス (Fifo Over flow interrupt Status) 本モジュールのキャプチャアクティブ中に、FIFO がオーバフローしたことを示します。1設定後、1ライトによって0クリアします。 ここで、FIFO がオーバフローした場合、本モジュールでキャプチャされたピクセルデータは、FIFO 内で書き込まれ、フレームバッファに転送されません。

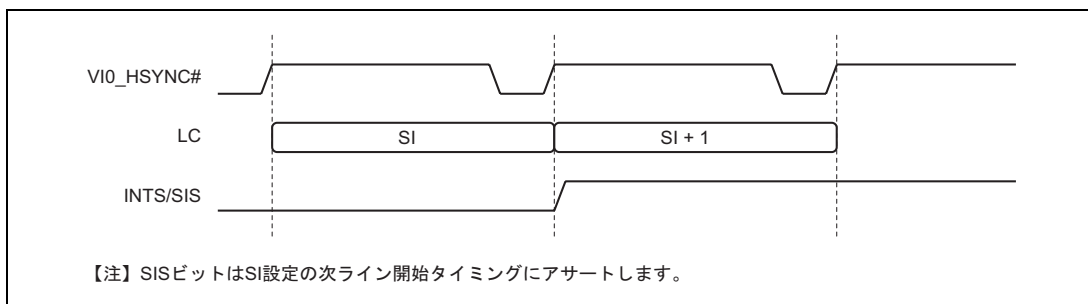


図 12.2 Scanline Interrupt Status 発生タイミング

12.3.19 スキャンライン割り込みレジスタ (SI)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SI[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	SI[10:0]	H'000	R/W	スキャンライン割り込み (Scanline Interrupt) IEレジスタのSIEビットを1設定したとき、各フィールド上においてLCレジスタの値と比較する値を設定します。 LCレジスタの値と一致した場合に、割り込み信号をアサートします。

12.3.20 メモリ転送コントロールレジスタ (MTC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PRIH[3:0]				—	—	—	—	PRIL[3:0]			
初期値:	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~24	PRIH[3:0]	H'A	R/W	高プライオリティ値設定 (PRiority High level value) メモリ転送時のトランザクション2語目以降のプライオリティ値を設定します。デフォルト値は10です。
23~20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19~16	PRIL[3:0]	H'8	R/W	低プライオリティ値設定 (PRiority Low level value) メモリ転送時のトランザクション開始1語目のプライオリティ値を設定します。デフォルト値は8です。 本ビットは、動作時、常に9にセットしてください。
15~0	—	H'0008	R	リザーブビット 読み出すと常にH'0008が読み出されます。書き込む値も常にH'0008にしてください。

【注】 動作時、本レジスタはH'0A090008にセットして使用してください。
上記以外の値を設定した場合の動作は、保証できません。

12.3.21 Y 方向拡大／縮小レジスタ (YS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Mantissa Y[3:0]				Fraction Y[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~12	Mantissa Y [3:0]	H'0	R/W	Y方向の拡大・縮小スケール値をそれぞれの mantissaY、fractionY により設定します。
11~0	Fraction Y [11:0]	H'000	R/W	このレジスタ値は、(フィールド当たりのキャプチャライン数) / (フィールド当たりのメモリにライトされたライン数) を示し、下記の式に示すスケール率の mantissaY、fractionY を設定してください。たとえば、Y スケールを 1/2 倍にするには、MantissaY=H'2、FractionY=H'000 に設定します。 $Y \text{ スケール} = 4096 / (4096 \times \text{MantissaY} + \text{FractionY})$ ここで、拡大は最大 3 倍までのスケールのみ可能です。また、mantissaY、fractionY がともに 0 ならば、スケール無効になります。Y スケールが 1 倍の場合、スケール無効に設定することを推奨します。

12.3.22 X 方向拡大／縮小レジスタ (XS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Mantissa X[3:0]				Fraction X[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~12	Mantissa X [3:0]	H'0	R/W	X方向の拡大・縮小スケーリング値をそれぞれの mantissaX、fractionX により設定します。
11~0	Fraction X [11:0]	H'000	R/W	このレジスタ値は、(ライン当たりの入力画素数) / (ライン当たりのメモリに出力された画素数) を示し下記の式に示すスケーリング率の mantissaX、fractionX を設定してください。スケーリング設定の際は、係数セットレジスタ CmA (m=1~8) によるマルチフェーズフィルタによってスケーリングを行うため、必ず係数セットレジスタを設定してください。 $X \text{ スケーリング} = 4096 / (4096 \times \text{MantissaX} + \text{FractionX})$ ここで、拡大は最大2倍までのスケーリングのみ可能です。また、mantissaX、fractionX がともに0ならば、スケーリング無効になります。スケーリングを1倍とする場合は、mantissaX、fractionX 共に0に設定してください。 入力画素 720 ピクセルのときの代表的な設定例、および縮小・拡大率を表 12.5 に示します。

入力画素 720 ピクセルのときの代表的な設定例および縮小・拡大率を以下に示します。

表 12.5 X スケーリング設定例

出力画素	縮小・拡大率	設定値
680	0.943	H'10F8
800	1.111	H'0E68
854	1.185	H'0D80

12.3.23 データモードレジスタ (DMR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	YMODE	—	—	—	—	—	—	QWSM	BPSM	—	ABIT	DTMD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	YMODE	0	R/W	Yデータ転送モード (Y data transfer MODE) 出力データ変換モード (DTMD) = B'10 (YC分離) 設定時の Y/UV(CbCr) の転送方式を設定します。 0: YとUVデータともにメモリに転送します 1: Yデータのみメモリに転送します
11~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	QWSM	0	R/W	出力データクアッドワードスワップモード (Quad Word Swap Mode) 0: 出力データの Quad Word (64Bit) 入れ替えを行いません 1: 出力データの Quad Word (64Bit) 入れ替えを行います
4	BPSM	0	R/W	出力データバイトスワップモード (Byte Position Swap Mode) 0: 出力データのバイト入れ替えを行いません 1: 出力データのバイト入れ替えを行います 【注】ビッグエンディアンで YCbCr-422 データを出力する場合、通常 YUYV 形式での転送となります。UYVY 形式で転送する際は本ビットを 1 に設定してください。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	ABIT	0	R/W	アルファビット (Alfa BIT) ARGB-1555 出力モードのときにデータのアルファ値を設定します。 0: アルファ値を 0 に設定します 1: アルファ値を 1 に設定します

ビット	ビット名	初期値	R/W	説明
1、0	DTMD[1:0]	00	R/W	データ変換モード (DaTa convert MoDe) 外部メモリへのデータ変換モードを設定します。 00 : RGB-565 または YCbCr-422 データとして出力します 01 : ARGB-1555 として出力します 10 : YC 分離を行い出力します 11 : YCbCr-420 として出力します (NV12 形式) 【注】 各出力データを選択時は、表 12.6 に従い ABIT、YMODE、BPS のレジスタ値を設定してください。

表 12.6 データ変換設定

DMR		MC	出力データ形式	備考
DTMD[1:0]	YMODE	BPS		
00	0	0	RGB-565 転送	
		1	YCbCr-422 転送	
01	0	0	ARGB-1555 転送	
10	0	1	YC 分離転送	Y 方向の拡大スケーリングは禁止
	1	1	Y 転送 (モノクロ転送)	Y 方向の拡大スケーリングは禁止
11	0	1	YCbCr-420 転送	Y 方向の拡大スケーリングは禁止 X 方向の取り込みは最大 1024 画素

【注】 上記以外の設定を行った場合の動作は、保証できません。

12.3.24 データモードレジスタ 2 (DMR2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FPS	VPS	HPS	CES	—	—	—	—	—	—	—	—	—	—	FTEV	FTEH
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VLV[3:0]				HLV[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FPS	0	R/W	フィールド信号極性選択 (Field Polarity Select) ITU-R BT.601 インタフェース入力フィールド信号の極性を設定します。 0: 0=奇数フィールド (フィールド 1) / 1=偶数フィールド (フィールド 2) 1: 0=偶数フィールド (フィールド 2) / 1=奇数フィールド (フィールド 1)
30	VPS	0	R/W	VSYNC 信号極性選択 (Vsync Polarity Select) ITU-R BT.601 インタフェース入力垂直同期信号の極性を選択します。 0: Low アクティブ 1: High アクティブ
29	HPS	0	R/W	HSYNC 信号極性選択 (Hsync Polarity Select) ITU-R BT.601 インタフェース入力水平同期信号の極性を選択します。 0: Low アクティブ 1: High アクティブ
28	CES	0	R/W	クロックイネーブル極性選択 (Clock Enable polarity Select) ITU-R BT.601 インタフェース入力クロックイネーブルの極性を選択します。 0: High アクティブ 1: Low アクティブ
27~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	FTEV	0	R/W	VSYNC フィールドトグルモードイネーブル (Field Toggle Enable of Vsync) VSYNC フィールドトグルモードは、入力 VSYNC 信号のアサート回数によりキャプチャフィールド信号を変化させるモードです。本モジュールは入力フィールド信号が変化しないとキャプチャ制御ができないため、プログレッシブ画像取り込み時には本モードを設定してください。 0: VSYNC によるフィールドトグル機能を無効にします。 1: VSYNC によるフィールドトグル機能を有効にします。トグルまでの期間は、VLV で設定してください。 【注】 FTEH、FTEV を両方同時に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
16	FTEH	0	R/W	<p>HSYNC フィールドトグルカウンタインーブル (Field Toggle Enable of Hsync)</p> <p>0 : キャプチャアクティブラインによるフィールドトグル機能を無効にします。</p> <p>1 : キャプチャアクティブラインによるフィールドトグル機能を有効にします。トグルまでの期間は、HLV で設定してください。</p> <p>【注】 FTEH、FTEV を両方同時に設定しないでください。</p>
15~12	VLV[3:0]	H'0	R/W	<p>VSYNC フィールドトグルモード移行期間 (Vsync toggle mode Length Value)</p> <p>VSYNC フィールドトグルモード移行までの垂直同期信号の回数を設定します。VSYNC フィールドトグルモード移行後は、VSYNC タイミングにキャプチャフィールド信号をトグル制御します。</p> <p>入力フィールド信号の変化点検出により、トグルモードは解除されます。</p> <p>H'0 : VSYNC 単位にフィールド信号を切り替えます</p> <p>H'1 : VSYNC1 回でトグルモードに移行します</p> <p>H'2 : VSYNC2 回でトグルモードに移行します</p> <p>H'3 : VSYNC3 回でトグルモードに移行します</p> <p>：</p> <p>H'E : VSYNC14 回でトグルモードに移行します</p> <p>H'F : VSYNC15 回でトグルモードに移行します</p> <p>【注】 移行期間カウント中にフィールド信号が変化した場合、回数カウンタは初期化されます。</p>
11~0	HLV[11:0]	H'000	R/W	<p>HSYNC フィールドトグルカウンタ (Hsync toggle count Value)</p> <p>HSYNC フィールドトグルカウンタは、キャプチャアクティブライン数をカウントし、設定カウント期間に外部フィールド信号が変化しない場合、キャプチャフィールド信号をトグル処理します。</p> <p>H'000 : 有効ラインごとにフィールド信号を切り替えます</p> <p>H'001 : 有効ライン 1 ラインごとにフィールド信号を切り替えます</p> <p>H'002 : 有効ライン 2 ラインごとにフィールド信号を切り替えます</p> <p>：</p> <p>H'FFF : 有効ライン 4095 ラインごとにフィールド信号を切り替えます</p> <p>【注】 トグルモードまでの期間は、1VSYNC よりも大きい値を設定してください。</p>

12.3.25 UV アドレスオフセットレジスタ (UVAOF)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UVAOF[24:9]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UVAOF[8:0]										—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~7	UVAOF [24:0]	H'000000	R/W	UV データアドレスオフセット (UV Address Offset) YC 分離 YCbCr-422 データおよび YCbCr-420 データの UV データに対し、 転送オフセットアドレスを設定します。 設定値は、128B 単位に[31:7]の物理アドレスを設定してください。 【注】Y の転送容量以上のアドレスを設定してください。容量が不足する 場合、Y データを上書きしますので注意してください。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.3.26 カラースペース変換係数レジスタ 1 (CSCC1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—						YMUL[9:0]									
初期値:	0	0	0	0	0	0	0	1	0	0	1	0	1	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	YSUB[7:0]							CSUB[7:0]								
初期値:	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	YMUL[9:0]	H'129	R/W	Y データ乗算係数 (Y data MULtiplication coefficient) YC (YCbCr-422)→RGB-565 色空間変換時の Y データの乗算係数を設定します。(初期値: 1.164/R,G,B 共通) 係数値×256 をサインビットなしの 10bit 整数値で設定してください。
15~8	YSUB[7:0]	H'10	R/W	Y データ減算係数 (Y data SUBtraction coefficient) YC (YCbCr-422)→RGB-565 色空間変換時の Y の減算係数を設定します。(初期値: H'16/R,G,B 共通) サインビットなしで 8bit 整数値を設定してください。
7~0	CSUB[7:0]	H'80	R/W	CbCr データ減算係数 (CbCr data SUBtraction coefficient) YC (YCbCr-422)→RGB-565 色空間変換時の Cb/Cr の減算係数を設定します。(初期値: H'128/R,G,B 共通) サインビットなしで 8bit 整数値を設定してください。

12.3.27 カラースペース変換係数レジスタ 2 (CSCC2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	RCRMUL[9:0]											
初期値:	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	GCRMUL[9:0]											
初期値:	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~16	RCRMUL [9:0]	H'198	R/W	R データ演算時の Cr 乗算係数 (R CR MULtiplication coefficient) YC (YCbCr-422) →RGB-565 色空間変換時の R データ演算式で Cr の乗算係数を設定します。(初期値: 1.596) 係数値×256 をサインビットなしの 10bit 整数値で設定してください。
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	GCRMUL [9:0]	H'0D0	R/W	G データ演算時の Cr 乗算係数 (G CR MULtiplication coefficient) YC (YCbCr-422) →RGB-565 色空間変換時の G データ演算式で Cr の乗算係数を設定します。(初期値: 0.813) 係数値×256 をサインビットなしの 10bit 整数値で設定してください。

12.3.28 カラースペース変換係数レジスタ 3 (CSCC3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	GCBMUL[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	BCBMUL[9:0]											
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~16	GCBMUL [9:0]	H'064	R/W	G データ演算時の Cb 乗算係数 (G CB MULTiplication coefficient) YC (YCbCr-422) →RGB-565 色空間変換時の G データ演算式で Cb の乗算係数を設定します。(初期値: 0.392) 係数値×256 をサインビットなしの 10bit 整数値で設定してください。
15~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	BCBMUL [9:0]	H'204	R/W	B データ演算時の Cb 乗算係数 (B CB MULTiplication coefficient) YC (YCbCr-422) →RGB-565 色空間変換時の B データ演算式で Cb の乗算係数を設定します。(初期値: 2.017) 係数値×256 をサインビットなしの 10bit 整数値で設定してください。

- CSCC1~3のレジスタの設定値は、下記のYC→RGBカラースペース変換式の各係数になります。

$$R' = YMUL (Y - YSUB) + RCRMUL (Cr - CSUB)$$

$$G' = YMUL (Y - YSUB) - GCRMUL (Cr - CSUB) - GCBMUL (Cb - CSUB)$$

$$B' = YMUL (Y - YSUB) + BCBMUL (Cb - CSUB)$$

【注】 初期値はITU-R BT.601 規定の係数が設定されます。各係数の設定方法の詳細は、「12.4.7 カラースペース変換」を参照してください。

12.3.29 係数セットレジスタ (CmA、CmB、CmC) (m=1~8)

係数セットレジスタは、X Scale (XS) で使用される演算係数です。X Scale は入力画素に対し 8 分解能によりスケーリング処理し、決定された画素を中心とする周辺 9 つの演算係数 (9 タップ) によりスケーリング画素を生成します。

以下に 9 タップの各係数の概略を示します。各係数は MSB がサインビットです。

表 12.7 タップ係数のビットサイズ

レジスタ名称 (m=1~8)	CmA			CmB			CmC		
9 タップ係数	L1	L2	L3	L4	M	R4	R3	R2	R1
ビット幅	10	10	10	10	10	10	10	10	10

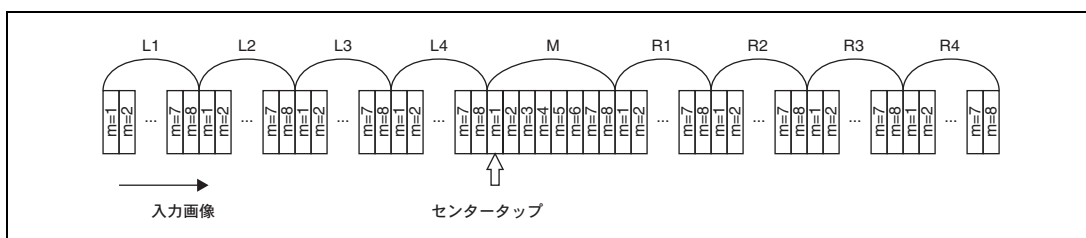


図 12.3 タップ係数のビットサイズ

(1) 係数セットレジスタ mA (CmA) (m=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—		L1[9:0]													L2[9:6]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	L2[5:0]						L3[9:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~20	L1[9:0]	H'000	R/W	L1 係数設定
19~10	L2[9:0]	H'000	R/W	L2 係数設定
9~0	L3[9:0]	H'000	R/W	L3 係数設定

(2) 係数セットレジスタ mB (CmB) (m=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	R1[9:0]										R2[9:6]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R2[5:0]						R3[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29~20	R1[9:0]	H'000	R/W	R1 係数設定
19~10	R2[9:0]	H'000	R/W	R2 係数設定
9~0	R3[9:0]	H'000	R/W	R3 係数設定

(3) 係数セットレジスタ mC (CmC) (m=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	R4[9:0]										L4[9:6]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L4[5:0]						M[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29~20	R4[9:0]	H'000	R/W	R4 係数設定
19~10	L4[9:0]	H'000	R/W	L4 係数設定
9~0	M[9:0]	H'000	R/W	M 係数設定

12.4 動作説明

12.4.1 入力インタフェース

本モジュールは、ITU-R BT.601、ITU-R BT.656 および ITU-R BT.1358 インタフェースのビデオデータを外部メモリへ格納可能なビデオキャプチャモジュールです。

以下に設定可能なインタフェースおよびデータフォーマットを示します。

表 12.8 ビデオチャンネルと対応インタフェース

MC/INF[2:0]	ITU-R BT.656	ITU-R BT.601		ITU-R BT.1358
	8bit YCbCr-422	8bit YCbCr-422	18bit RBB-666	16bit YCbCr-422
000	○	×	×	×
001	×	○	×	×
101	×	×	×	○
111	×	×	○	×
上記以外	×	×	×	×

【注】 プログレッシブ画像 (ITU-R BT.1358) をキャプチャする場合、内部フィールド信号生成機能を必ず設定してください。

各モジュールは、キャプチャ制御を外部からの同期信号により制御します。また、フレーム制御をフィールド信号により行っており、ITU-R BT.601 インタフェースのフィールド信号、および ITU-R BT.656 の SAV/EAV (F ビット) が切り替わらないとフレーム制御ができません。正しいフィールド信号およびタイミングリファレンスコードを入力してください。

また、各種インタフェースおよびデータフォーマットは、内部処理において ITU-R BT.656 8bitYCbCr-422 に変換されキャプチャ処理を行います。したがって、メモリに格納されるビデオキャプチャデータは 8bit 精度になるのでご注意ください。

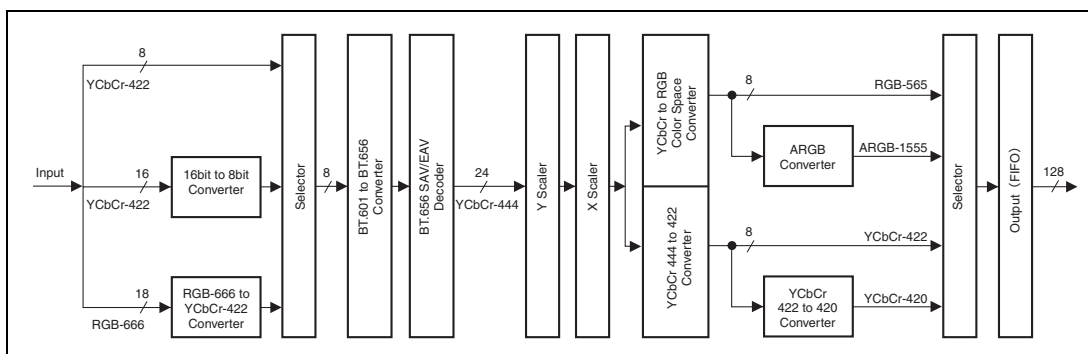


図 12.4 ビデオ入力モジュールのデータフォーマット変換の流れ

【注】 本モジュールでは、キャプチャ処理を 8bitYCbCr-422 データへ変換してからキャプチャ制御を行うため、入力インタフェースのサンプリング周波数によっては、トラフィック上拡大スケーリング機能が使用できません。「12.5.4 (1) 入力ビデオクロック制約」を参照してください。

(1) ITU-R BT.601/ITU-R BT.656 YCbCr-422 8bit データフォーマット

ITU-R BT.601 および ITU-R BT.656 インタフェースにおける YCbCr-422 8bit データは多重化された YCbCr=4:2:2 フォーマットです。データの形式は、UYVY 形式 (Cb0Y0Cr0Y1 Cb2Y2 Cr2Y4) に対応します。

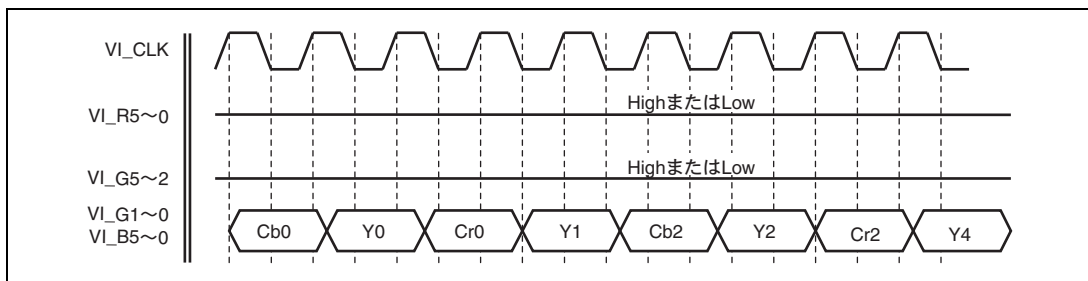


図 12.5 ITU-R BT.601/ITU-R BT.656 YCbCr-422 8bit データフォーマット

(2) ITU-R BT.601 YCbCr-422 16bit インタフェース

ITU-R BT.601 インタフェースにおける YCbCr-422 16bit データは、8bit (Y) +8bit (CbCr) の YCbCr=4:2:2 フォーマットに対応します。

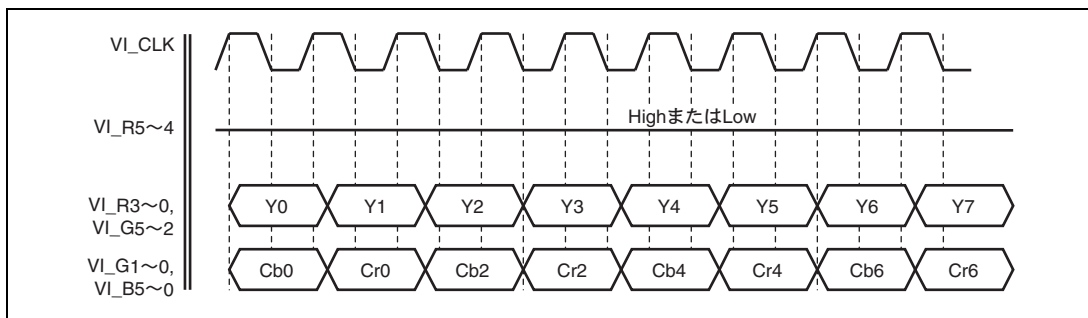


図 12.6 ITU-R BT.601 YCbCr-422 16bit データフォーマット

16bit データは、内部サンプリングクロックにより 8bit データへフォーマット変換 (多重化処理) を行ってからキャプチャ制御を行います。フォーマット変換処理時、メインコントロールレジスタ (MC) /YCAL ピットを設定することによりワードスワップ制御が可能です。

(3) ITU-R BT.601 RGB-666 18bit インタフェース

ITU-R BT.601 インタフェースにおける RGB-666 18bit データは、色変空間が ITU-R BT.601 および ITU-R BT.709 で規定された RGB=6:6:6 フォーマットに対応します。入力フォーマットは、メインコントロールレジスタ (MC) /CFSL ビットで色空間を設定してください。

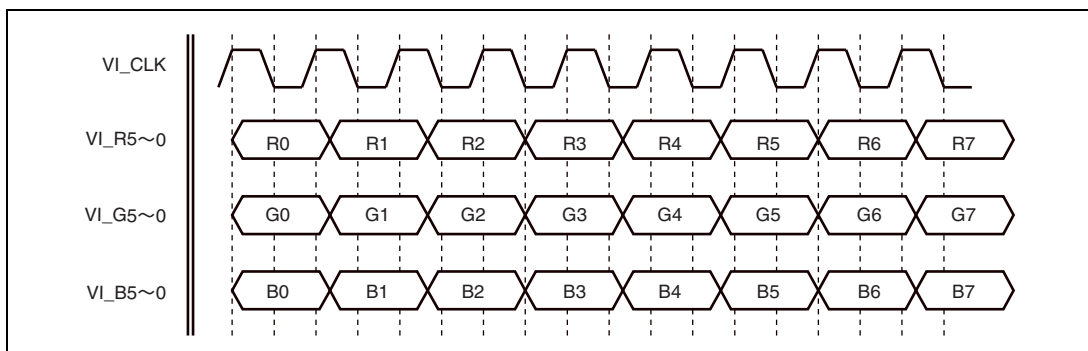


図 12.7 ITU-R BT.601 RGB-666 18bit データフォーマット

12.4.2 エラー訂正機能

ITU-R BT.656 によるキャプチャリング時、タイミングリファレンスコード (SAV/EAV) のエラー訂正が可能です。ITU-R BT.656 のタイミングリファレンスコード (SAV/EAV) は、4つの保護ビットを持ち、これらの保護ビットを用いてインタフェース上の1ビットエラー訂正のみ可能です。

ここで、割り込みイネーブルレジスタ (IE) /CEE ビットに1を設定し、本モジュールがエラー訂正できない場合、割り込みステータスレジスタ (INTS) /CES ビットの設定とともに割り込み信号を発生します。エラー訂正できる場合は、割り込み信号は発生しません。

12.4.3 キャプチャモード

本モジュールでは、シングルフレームキャプチャモードと、連続フレームキャプチャモードのキャプチャモードの動作モードが選択可能です。

シングルキャプチャモードは、メインコントロールレジスタ (MC) /IM ビットに取り込みフィールド設定後、フレームキャプチャレジスタ (FC) /SC ビットを 1 設定により動作します。SC ビットライトタイミング (現在のスキャンライン位置) が前クリップ開始ラインレジスタ (SLPrC) の値より小さい場合は、現在のフレームを取り込み、それ以外は次のフレームを取り込みます。取り込まれたフレームは、メモリベース 1 レジスタ (MB1) に設定したメモリアドレスへ格納されます。

連続フレームキャプチャモードは、メインコントロールレジスタ (MC) /IM ビットに取り込みフィールド設定後、FC レジスタ/CC ビットを 1 に設定により動作します。キャプチャデータは、MB1~MB3 レジスタに設定したアドレスへ、順次転送されます。このとき、最新のキャプチャしたフレーム ID は、モジュールステータスレジスタ (MS) /FBS ビットで参照可能です。

ここで、メインコントロールレジスタ (MC) /IM ビットがフルインタレースモード設定時、取り込み開始フィールドを奇数フィールド (フィールド 1) として、1 ラインおきにメモリへ格納し、次フィールドを偶数フィールド (フィールド 2) とし、1 ラインおきに交互にメモリへ格納することでインタレース合成を行います。取り込み開始フィールド (トップフィールド) は、メインコントロールレジスタ (MC) /FOC ビットにより切り替え可能です。

以下に奇数フィールド (フィールド 1) をトップフィールド、メモリ幅を H'200、MB1 を H'0000 に設定したフルインタレース取り込み概略図を示します。

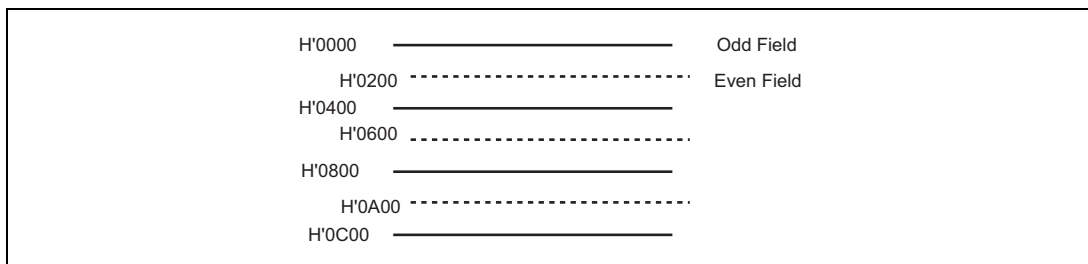


図 12.8 フルインタレース取り込み例

ここで、キャプチャシーケンスは、ITU-R BT.601 または 656 インタフェースのフレーム信号切り替わりを検出してから、キャプチャ動作を開始します。フィールド信号が変化しないプログレッシブデータの取り込みには、内部フィールド信号生成機能を併用し、内部フィールド信号が切り替わるように設定してください。

12.4.4 サイズクリッピング

キャプチャした画像データは、前クリップ開始ラインレジスタ (SLPrC)、前クリップ終了ラインレジスタ (ELPrC)、前クリップ開始画素レジスタ (SPPrC) および前クリップ終了画素レジスタ (EPPrC) レジスタの設定値によりプレクリッピングされます。

水平、垂直スケーリング後、後クリップ開始ラインレジスタ (SLPoC)、後クリップ終了ラインレジスタ (ELPoC)、後クリップ開始画素レジスタ (SPPoC)、および後クリップ終了画素レジスタ (EPPoC) の設定値によりポストクリッピングされます。サイズクリッピングの例を図 12.9 に示します。

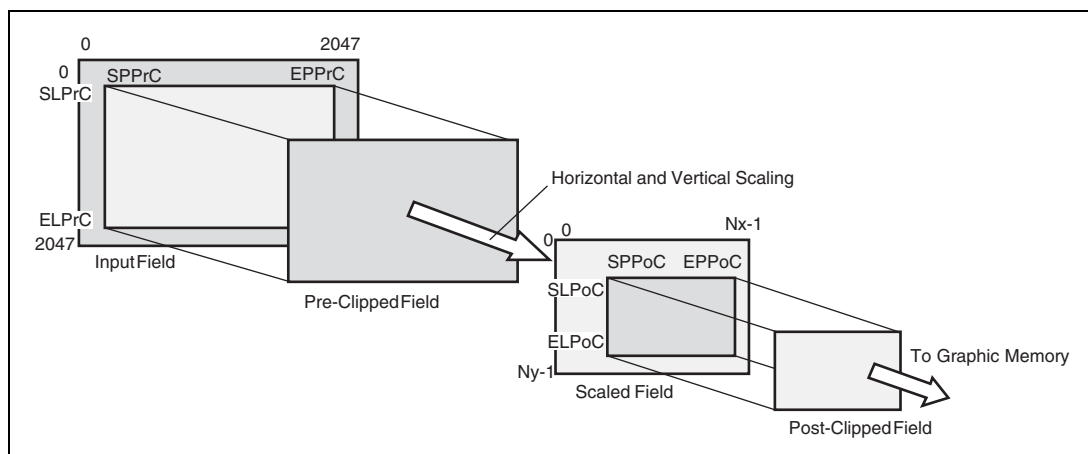


図 12.9 クリッピングの例

ここで、すべてのポストクリップラインに関して、メモリにライトされる各ラインの長さが画素ストライドレジスタ (IS) で定義され、ポストクリップされたフレーム幅より大きくは設定できませんが、小さくはできません。IS レジスタには、水平方向のポストクリップ幅より大きい値を設定してください。また、図 12.9 の Input Field は、ビデオデコーダからの有効な画像領域を示しており、本モジュールではこの画像領域以上の取り込みはできません。

【注】 前クリップ開始ラインレジスタ (SLPrC)、前クリップ終了ラインレジスタ (ELPrC)、前クリップ開始画素レジスタ (SPPrC)、および前クリップ終了画素レジスタ (EPPrC) の設定値は、すべて有効画面領域の開始位置からの値になります。

具体的には、ITU-R BT.601 では VI_CLKENB の開始から、ITU-R BT.656 では SAV (Start of Active Video) 信号を起点としています。

12.4.5 垂直方向スケーリング

本モジュールの垂直方向スケーリングは、キャプチャされたライン近傍の 2 点間補間により垂直方向の拡大／縮小スケーリングを行いラインを生成します。垂直方向スケーリングは、Y 方向拡張／縮小レジスタ (YS) の mantissaY、fractionY の組み合わせによって、キャプチャラインより生成ラインポジションを選定し、新しいラインを生成します。

YS レジスタの mantissaY、fractionY とともに 0 に設定することによって、Y スケーリング機能は無効になります。

キャプチャラインより少ないラインを生成することにより、縮小スケーリングを実現しています。拡大、縮小スケーリングの例を図 12.10 に示します。

【注】 フルインタレースキャプチャモードでの垂直拡大スケーリング設定は、フィールド単位の拡大処理後にメモリ上にてフルインタレース合成を行うため、スケーリング率によってはラインの逆転が発生する場合があります。事前に画質を評価したうえで使用してください。

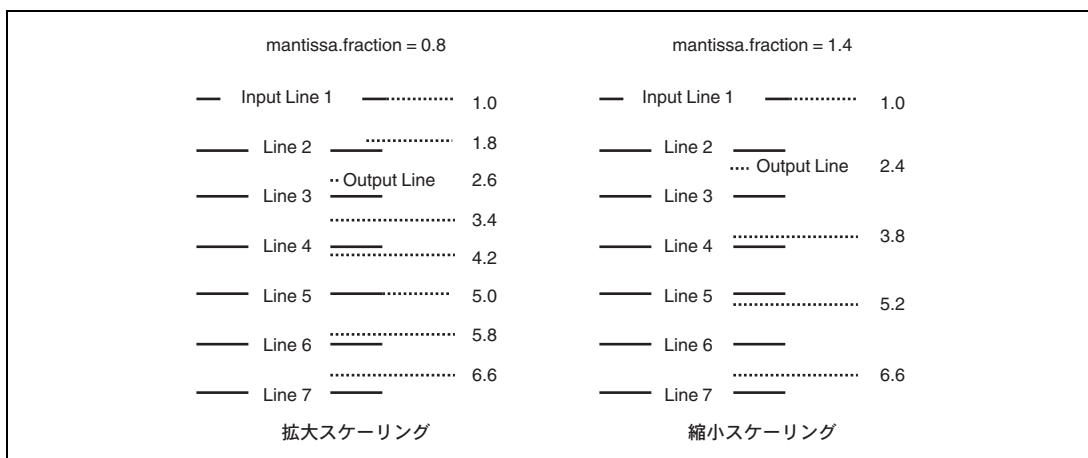


図 12.10 垂直方向拡大・縮小スケーリング例

この垂直方向スケーリングブロックによって生成されたライン数は、下記のとおりとなります。

$$N_y = \begin{cases} \frac{4096 \times (\text{ELPrC} - \text{SLPrC})}{4096 \times \text{MantissaY} + \text{FractionY}} - 1, & \text{when } \{4096 \times (\text{ELPrC} - \text{SLPrC})\} \% (4096 \times \text{MantissaY} + \text{FractionY}) = 0 \\ \text{Int} \left(\frac{4096 \times (\text{ELPrC} - \text{SLPrC})}{4096 \times \text{MantissaY} + \text{FractionY}} \right), & \text{(上記でない場合)} \end{cases}$$

ここで、

ELPrC は、前クリップ終了ラインレジスタ (ELPrC) の値です。

SLPrC は、前クリップ開始ラインレジスタ (SLPrC) の値です。

MantissaY と FractionY は、YS レジスタの値です。

12.4.6 水平方向スケーリング

本モジュールでは、9 タップマルチフェーズフィルタにより水平方向の縮小スケーリングを行い、画素を生成します。ここで、水平方向の拡大スケーリングは、取り込んだ入力画素を 2 倍にし、9 タップマルチフェーズフィルタの縮小スケーリングにより、2 倍までの拡大機能を実現しています。水平方向スケーリングは、X 方向拡張/縮小レジスタ (XS) の mantissaX、fractionX の組み合わせによって設定され、ポリフェーズフィルタにより、新たな画素の位置を決定します。選択された係数は、8 つの係数の内の 1 つで、出力画素位置によって決定します。

図 12.11 は、mantissaX、fractionX を 1.2 に設定した場合の例です。このケースでは、係数セットの C2 が選択されます。

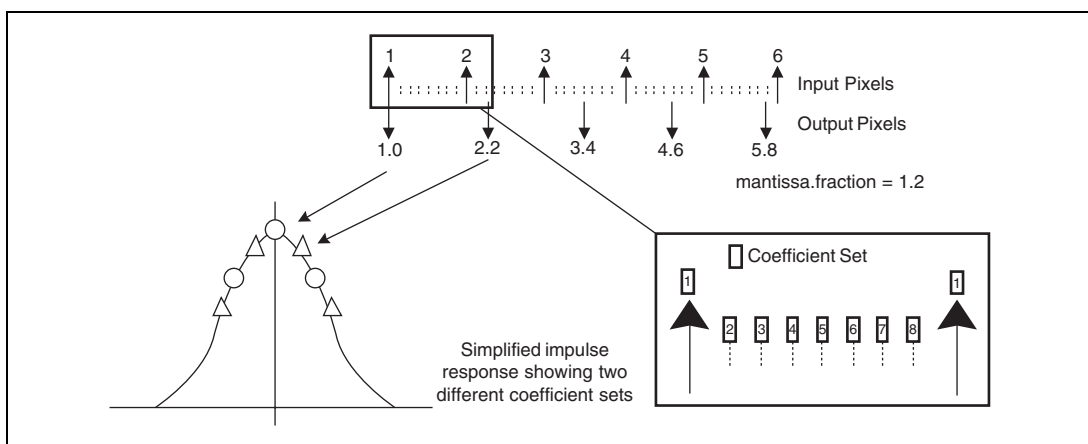


図 12.11 画素位置と係数セット

図 12.12 は、異なる出力画素位置での係数セットの例です。それぞれの係数セットは、9 つの係数セットを持ちます。全部で 72 の係数が水平方向スケーリングで使われます。係数セット内の各係数は、10 ビットの幅を持ち、MSB がサインビットとなります。この水平方向スケーリングは、すべての 8 つの係数セットレジスタの中へ同じ係数を設定することによって、シングルフェーズフィルタとしてマルチフェーズフィルタを使うことができます。

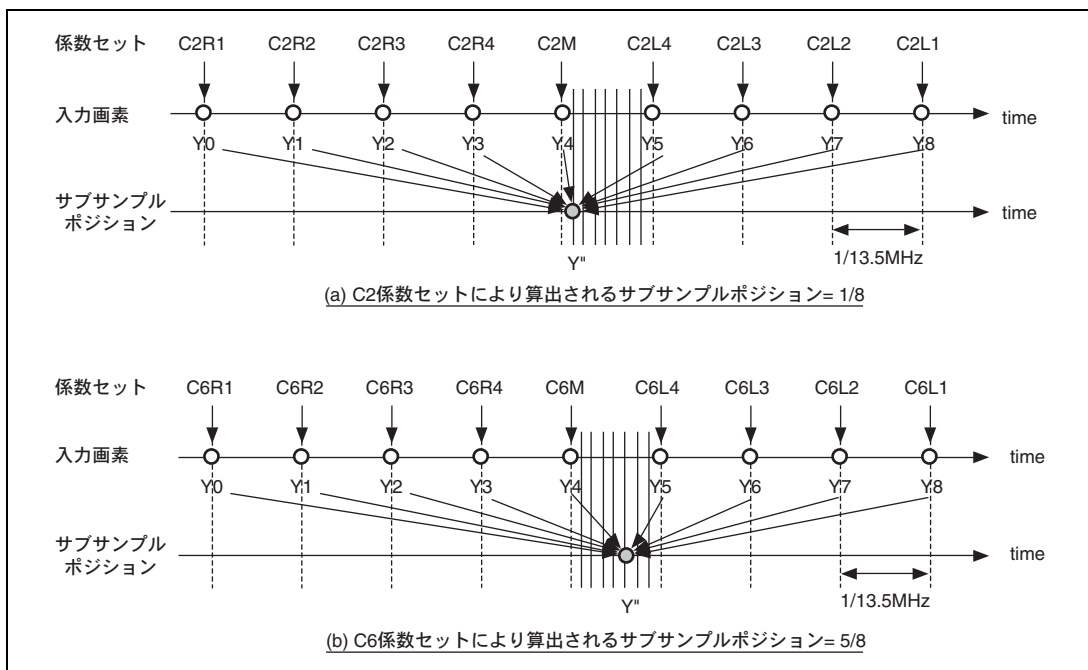


図 12.12 選択された係数セットでの係数の例

本スケーリング機構は、スケーリング比に依存した異なる係数値を必要とします。選択される係数セットの 1 例を下記に示します。係数、 C_{mM} 、 C_{mLi} 、および C_{mRi} ($m=1, 2, 3, \dots, 8$; $i=1, 2, 3, \text{ and } 4$) は、以下の式によって決定します。

$$C_{nM} = \beta \cdot h(-(n-1))$$

$$C_{nRi} = \beta \cdot h(-(n-1) - 8(5-i))$$

$$C_{nLi} = \beta \cdot h(-(n-1) + 8(5-i))$$

$$h(t) = \frac{\sin\left(\frac{\pi t}{T}\right)}{\frac{\pi t}{T}} \times \frac{\cos\left(\frac{\alpha \pi t}{T}\right)}{1 - \frac{4\alpha^2 t^2}{T^2}}$$

$$T = 8 \times \text{MantissaX} + \text{FractionX} [11:9]$$

MantissaX と FractionX は、XS レジスタの値です。パラメータ β は、標準化パラメータです。方程式上では、 $h(t)$ は余弦特性により、 α ($0 < \alpha \leq 1$) の場合は、9 タップフィルタを用いて実行されます。確実なスケール画像を得るためには、各係数セットが標準化した次式を用いて満たされる必要があります。これは上式で選択された固有の β 値によって実行します。

$$C_nM + \sum_{i=1}^4 C_nR_i + \sum_{i=1}^4 C_nL_i = 512$$

本水平方向スケーリングブロックによって生成した画素数は、次のとおりとなります。

$$N_x = \text{Int} \left(\frac{4096 \times (\text{EPPrC} - \text{SPPrC})}{4096 \times \text{MantissaX} + \text{FractionX}} \right) + 1$$

ここで、

EPPrCは、前クリップ終了画素レジスタ (EPPrC) の設定値です。

SPPrCは、前クリップ開始画素レジスタ (SPPrC) の設定値です。

MantissaXとFractionXは、XSレジスタの値です。

12.4.7 カラースペース変換

スケーリング処理後の YCbCr データに対して RGB へのカラースペース変換が可能です。

カラースペース変換は、内部 8bit YCbCr データに対して、カラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) で設定された 3×3 のマトリックス係数を用い、R'G'B'-888 データへのカラースペース変換 (色空間変換) を行います。

マトリックス係数は、各係数を可変にすることで入力されるデータレンジに柔軟に対応するとともに、メインコントロールレジスタ (MC) /BPS ビットにより、RGB 変換を行わずにキャプチャデータを YCbCr データのままメモリへ格納することも可能です。

入力 YCbCr データに対するカラースペース変換処理のカラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) の対応を以下に示します。ここで、算出される R'G'B'-888 データは内部データフォーマットであり、メモリ格納には RGB-565 に変換されたデータがメモリ格納されます。

$$R' = YMUL (Y - YSUB) + RCRMUL (Cr - CSUB)$$

$$G' = YMUL (Y - YSUB) - GCRMUL (Cr - CSUB) - GCBMUL (Cb - CSUB)$$

$$B' = YMUL (Y - YSUB) + BCBMUL (Cb - CSUB)$$

ここで、

YMUL : 8bitデータレンジ (255) ÷ Y信号データレベル (219レベル (16 ≤ Y ≤ 235))

YSUB : Yデータの正規化オフセット

CSUB : Cb、Crデータの正規化オフセット

RCRMUL : 赤色用Cr係数

GCRMUL : 緑色用Cr係数

GCBMUL : 緑色用Cb係数

BCBMUL : 青色用Cb係数

カラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) の設定例を以下に示します。各係数の詳細はレジスタ項目を参照ください。

表 12.9 カラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) 設定例

カラースペース 変換例	CSCC1			CSCC2		CSCC3	
	YMUL	YSUB	CSUB	RCRMUL	GCRMUL	GCBMUL	BCBMUL
ITU-R BT601(初期値) 16 ≤ Y ≤ 235、16 ≤ Cb、Cr ≤ 240	1.164	16	128	1.596	0.813	0.392	2.017
輝度拡張例 1 ≤ Y ≤ 254、16 ≤ Cb、Cr ≤ 240	1.008	1	128	1.596	0.392	0.813	2.017

ここで、加算係数は、全ビットを整数値。また、乗算係数は、256 倍した値を設定してください。

(例) 乗算係数が1.164の場合

$1.164 \times 256 = 297$ (設定値 : B'0100101001)

【注】 カラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) は、RGB 画像データが $0 \leq R', G', B' \leq 255$ の範囲になるように設定してください。RGB 画像データが 0 以下の場合は 0、255 以上の場合は 255 になります。

12.4.8 ディザリング

ディザリングは、内部カラースペース変換された R'G'B'-888 を RGB-565 に変換する際、RGB 各下位ビットごとに加算処理される誤差拡散です。本機能は RGB 変換時、常に実行されます。

$$R_n[7:3] \leftarrow (R'_n[7:0]) + R'_{n-1}[2:0] \gg 3$$

$$G_n[7:2] \leftarrow (G'_n[7:0]) + G'_{n-1}[1:0] \gg 2$$

$$B_n[7:3] \leftarrow (B'_n[7:0]) + B'_{n-1}[2:0] \gg 3$$

ここで、

R_n, G_n, B_n : 出力RGB565画素

R'_n, G'_n, B'_n : 入力R'G'B'888画素

$R'_{n-1}, G'_{n-1}, B'_{n-1}$: 擬似ランダムエラー (累積誤差からのLSB)

12.4.9 内部フィールド信号生成機能

ビデオ入力モジュールは、インタレース方式のキャプチャ制御であり、外部フィールド信号が変化しない場合、正しいキャプチャ制御ができません。

内部フィールド信号生成機能は、プログレッシブデータキャプチャなど、入力フィールド信号が切り替わらないインタフェースでも、キャプチャフィールド信号を制御しキャプチャ制御を行います。内部フィールド生成機能は、データモードレジスタ 2 (DMR2) /FTEV および FTEH ビットにより、以下の設定が可能です。

- VSYNCフィールドトグルモード (データモードレジスタ2 (DMR2) /FTEV=1)

VSYNCフィールドトグルモードは、データモードレジスタ2 (DMR2) /VLVビットで設定した入力VSYNC回数以上、入力フィールド信号が変化しない場合、VSYNCフィールドトグルモードに移行し、キャプチャフィールド信号を制御するモードです。トグルモード移行後、外部フィールド信号の変化点検出により、トグルモードを解除します (入力フィールド信号に従いキャプチャ制御を行います)。

- HSYNCフィールドトグルカウンタ (データモードレジスタ2 (DTMR2) /FTEH=1)

HSYNCフィールドトグルカウンタは、キャプチャアクティブライン数をカウントし、データモードレジスタ2 (DMR2) /HLVビットの設定範囲内に外部フィールド信号が変化しない場合、キャプチャフィールド信号を制御します。

【注】 データモードレジスタ 2 (DTMR2) /FTEV および FTEH ビットを同時設定しないでください。

トグルモード解除直後、入力フィールド信号の状態によってはキャプチャ制御が 1VSYNC スキップされます。

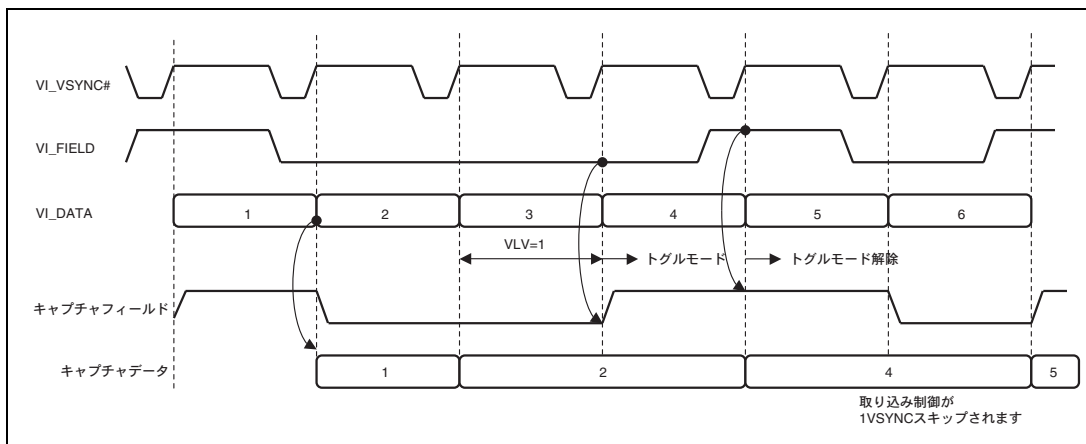


図 12.13 VSYNC フィールドトグルモード概略および注意点

12.4.10 YUV データの Y と UV データへの分離

YUV データをメモリ転送する際、Y データと UV (CbCr) データを分離して、別のアドレス空間へ転送することができます。

データモードレジスタ (DMR) /DTMD[1:0]ビットを B'10 に設定することで、YUV の分離転送を行います。

その際、Y データは、Memory Base に設定したアドレスに転送され、UV データは Memory Base に UV アドレスオフセットレジスタ (UVAOF) で設定した値を加算したアドレスに転送されます。

また、データモードレジスタ (DMR) /YMODE ビットを 1 に設定すると、分離した Y/UV データのうち Y データのみをメモリに転送します (このモードの場合、UV データはメモリへ転送されません)。

【注】 このモードを使用する場合は、Y 方向の拡大スケーリングを行わないでください。

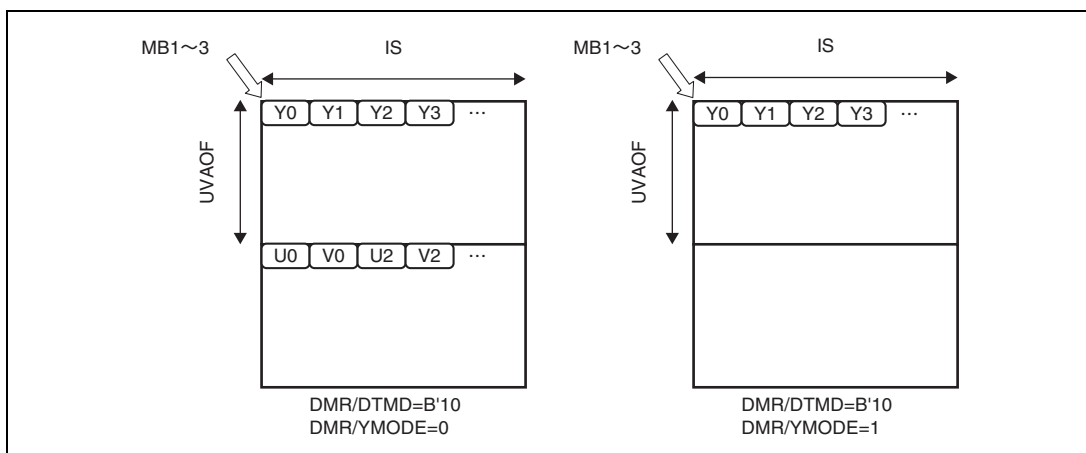


図 12.14 ビッグエンディアン時の Y/UV 分離図

12.4.11 YCbCr-422→YCbCr-420 変換機能

データモードレジスタ (DMR) /DTMD[1:0]ビットを B'11 に設定することで、YCbCr-422 から NV12 形式の YCbCr-420 フォーマット変換が可能です。このモードでは、キャプチャフィールドの UV (CbCr) データを基に 2 ライン間平均化データを生成し、2 ラインに一度メモリへ転送します。

Y データは、YUV 分離モード時と同様に毎ライン転送を行います。

UV (CbCr) データの転送先は、YUV 分離モード時と同様に、Memory Base に UV アドレスオフセットレジスタ (UVAOF) で設定した値を加算したアドレスに転送されます。

【注】・このモードを使用する場合は、Y 方向の拡大スケーリングを行わないでください。

・本モードでの X 方向の取り込みサイズは、最大 1024 画素です。

12.4.12 出力データフォーマット

本モジュールで出力する画像データには、次の形式があります。各フォーマットは、ユニファイドメモリ上にリトルエンディアンで配置された場合のデータ構成を示します。

(1) YC : YCbCr-422

YC(YCbCr)=4:2:2 形式の YUV 画像データです。YC のデータは、DMR/BPSM ビットにおいて UYVY 形式と YUYV 形式が切り替え可能です。

ここで、MC/EN ビットでビッグエンディアンに設定した場合は、DMR/BPSM=0 : YUYV 形式 / BPSM=1 : UYVY 形式となります。

- DMR/BPSM=0 : UYVY形式

YCbCr-422 データ (UYVY 形式)

D63~D48	63	56	55	48
画像データ 3、4	Y3		V2	
D47~D32	47	40	39	32
画像データ 3、4	Y2		U2	
D31~D16	31	24	23	16
画像データ 1、2	Y1		V0	
D15~D0	15	8	7	0
画像データ 1、2	Y0		U0	

- DMR/BPSM=1 : YUYV形式

YCbCr-422 データ (YUYV 形式)

D63~D48	63	56	55	48
画像データ 3、4	V2		Y3	
D47~D32	47	40	39	32
画像データ 3、4	U2		Y2	
D31~D16	31	24	23	16
画像データ 1、2	V0		Y1	
D15~D0	15	8	7	0
画像データ 1、2	U0		Y0	

(2) YC 分離 : YCbCr-422、YCbCr-420

YC(YCbCr)=4:2:2 形式および YC(YCbCr)=4:2:0 形式の YUV 画像データです。UV データは、NV12 形式にのみ対応します。

データモードレジスタ (DMR) /DTMD[1:0]ビットを、B'10 に設定することで 4:2:2 形式に、B'11 に設定することで 4:2:0 形式となります。

UV データは、Memory Base に UV アドレスオフセットレジスタ (UVAOF) で設定した値を加算したアドレスに分離され、Y データのみ転送モード時、UV データは転送されません。

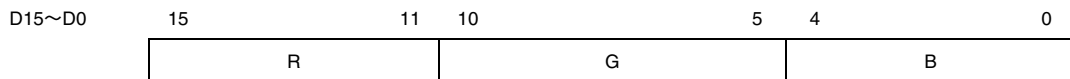
Y データ

D31~D16	31	24	23	16
画像データ 3、4	Y3		Y2	
D15~D0	15	8	7	0
画像データ 1、2	Y1		Y0	
Cb、Cr データ				
D31~D16	31	24	23	16
画像データ 3、4	V2		U2	
D15~D0	15	8	7	0
画像データ 1、2	V0		U0	

(3) 16bit/pixel : RGB-565

RGB のレベルを R : 5、G : 6、B : 5bit で表現します。

16bit/pixel データ (RGB データ) フォーマット

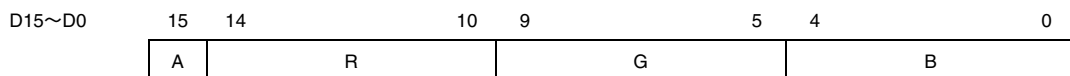


(4) 16bit/pixel : ARGB-1555

ARGB のレベルを A : 1、R : 5、G : 5、B : 5bit で表現します。ARGB-1555 データへの変換は、RGB-565 データの G データ下位 1 ビットを削除し、レジスタで指定した A 値を付与します。

ARGB-1555 データへの変換は、データモードレジスタ (DMR) /DTMD[1:0]ビットを B'01 に設定することで行い、A 値は DMR/ABIT で設定します。

16bit/pixel データ (ARGB データ) フォーマット



12.4.13 エンディアン変換

本モジュールのキャプチャデータは、初期値リトルエンディアンでメモリ格納します。メインコントロールレジスタ (MC) /EN ビットを 1 に設定することで、ビッグエンディアンにエンディアン変換したメモリ格納が可能です。

ここで、エンディアン変換制御は、メインコントロールレジスタ (MC) /EN ビットでワード単位の変換制御を行い、データモードレジスタ (DMR) /BPSM ビットによりバイト単位のスワップ制御を行っています。ビッグエンディアン変換を行う際には、データモードレジスタ (DMR) /DTMD ビットおよび、メインコントロールレジスタ (MC) /BPS ビットで設定されるデータフォーマットごとに下表のように設定してください。

表 12.10 データフォーマットとビッグエンディアン変換

データフォーマット	DMR/DTMD	MC/BPS	DMR/BPSM	エンディアン変換の単位
RGB-565	B'00	0	0	ワード単位
YCbCr-422	B'00	1	1	バイト単位
ARGB-1555	B'01	0	0	ワード単位
YC	B'10/ B'11	1	0	バイト単位

以下に各単位におけるエンディアン変換を図に示します。

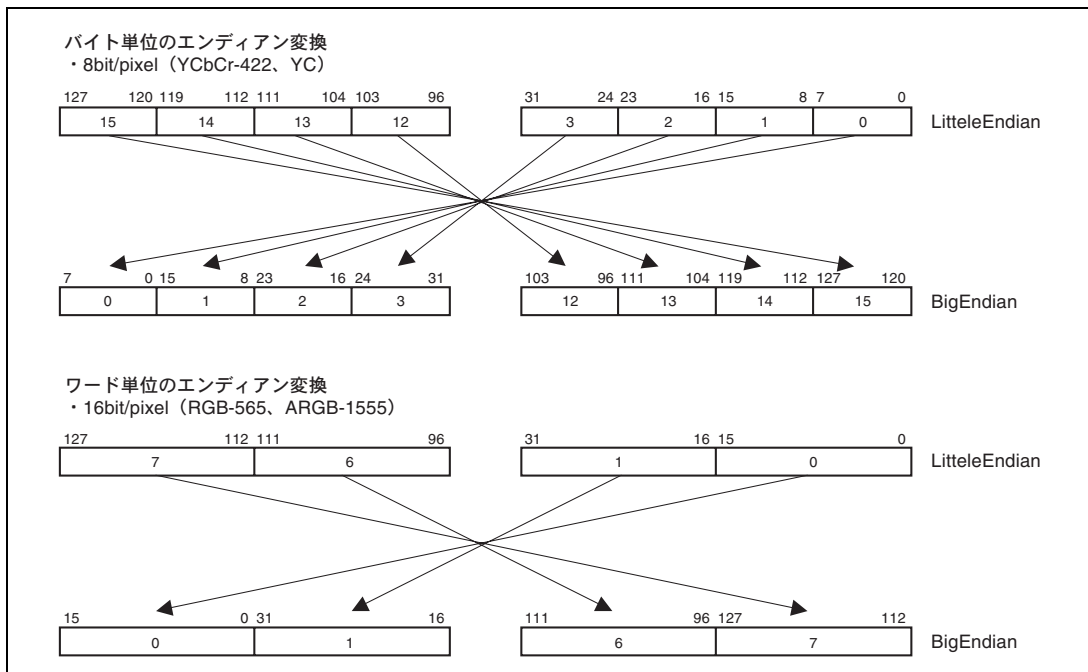


図 12.15 リトル/ビッグエンディアン時のデータアライメント変換図

また、上記エンディアン変換データに対して、データモードレジスタ (DMR) /QWSM ビットによりクアッドワード (64 ビット) 単位のスワップ制御が可能です。クアッドワード単位のスワップ制御により、エンディアンが異なる 64 ビットモジュールへの画像データ処理が可能となります。

以下に 16Bit/pixel 形式におけるクアッドワードのデータスワップ変換図を示します。

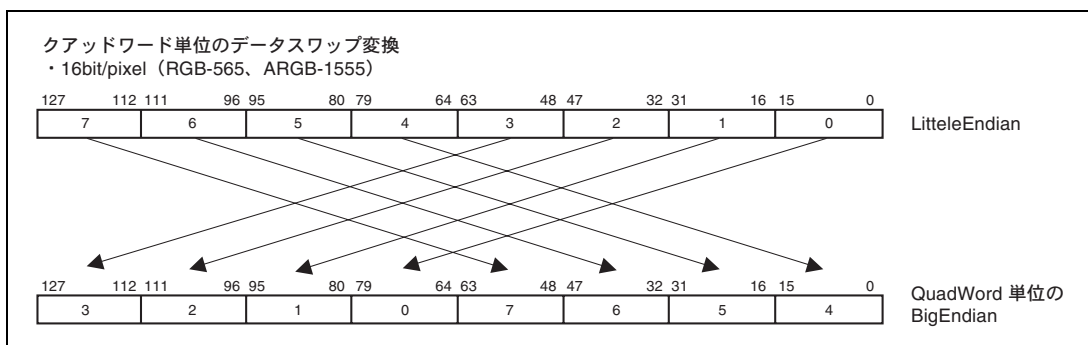


図 12.16 クアッドワード単位のデータスワップ変換図

12.5 使用上の注意事項

12.5.1 モジュールスタンバイモード

VIN に供給するクロックを停止するモジュールスタンバイモードをサポートしています。
スタンバイモードの期間、VIN へのアクセスはしないようにしてください。

12.5.2 モジュールスタンバイモードへの遷移

1. メインコントロールレジスタ (MC) /MEビットとフレームキャプチャレジスタ (FC) /CCビットおよびSCビットをともに0にし、ビデオ入力モジュールを停止させます。
2. モジュールステータスレジスタ (MS) /CAビットが0になったことを確認してください。
3. クロックを停止してください。

12.5.3 モジュールスタンバイモードの解除と再起動

1. クロックを起動してください。
2. メインコントロールレジスタ (MC) /MEビットを1にし、ビデオ入力モジュールを起動させます。
3. フレームキャプチャレジスタ (FC) /CC) ビットまたはSCビットを1にしてください。

12.5.4 使用制限

VIN を使用する際に使い方によっては、正常に動作しない場合がありますので注意が必要です。
以下に注意が必要なケースを示します。

(1) 入力ビデオクロック制約

入力ビデオクロックの上限は、クロックモード、取り込みインタフェースおよびスケーリング設定により異なります。本モジュール単体でのビデオクロック上限値を下記に示しますが、他モジュールのユースケースによりその上限値では動作できない可能性があります。特に拡大を行う場合は、十分評価のうえ入力ビデオクロックを設定してください。

制限以外の取り込み動作は、保証できません。

(a) モジュール単体でのビデオクロック上限値

- 177MHzクロックモード

取り込みモード	水平スケーリング率 XS	垂直スケーリング率 YS		
		0.0 ≤ YS ≤ 1.0	1.0 < YS ≤ 2.0	2.0 < YS ≤ 3.0
ITU-R BT601 YCbCr-422 8bit	0.0 ≤ XS ≤ 1.0	80MHz	80MHz	80MHz
ITU-R BT656 YCbCr-422 8bit	1.0 < XS ≤ 2.0	45MHz	45MHz	40MHz
ITU-R BT601 RGB-666 18bit	0.0 ≤ XS ≤ 1.0	40MHz	40MHz	40MHz
ITU-R BT1358 YCbCr-422 16bit	1.0 < XS ≤ 2.0	20MHz	20MHz	15MHz

- 200MHzクロックモード

取り込みモード	水平スケーリング率 XS	垂直スケーリング率 YS		
		$0.0 \leq YS \leq 1.0$	$1.0 < YS \leq 2.0$	$2.0 < YS \leq 3.0$
ITU-R BT601 YCbCr-422 8bit	$0.0 \leq XS \leq 1.0$	80MHz	80MHz	80MHz
ITU-R BT656 YCbCr-422 8bit	$1.0 < XS \leq 2.0$	52MHz	52MHz	45MHz
ITU-R BT601 RGB-666 18bit	$0.0 \leq XS \leq 1.0$	45MHz	45MHz	45MHz
ITU-R BT1358 YCbCr-422 16bit	$1.0 < XS \leq 2.0$	22MHz	22MHz	20MHz

(2) ITU-R BT.601 18ビットRGB-666キャプチャ動作

ITU-R BT.601 18ビットRGB-666キャプチャ動作では、入力RGB-666画像データを内部YUVデータに変換後、キャプチャ処理を行います。したがって、入力画像品質より画質低下が発生してしまいますのでご注意ください。

(3) レジスタ更新制約

キャプチャ動作中にレジスタ更新を行うと、レジスタ更新直後のキャプチャデータは保証できません。レジスタ更新を行う場合、「表 12.3 レジスタ構成」にて内部更新モード対応レジスタは、MC/VUPビットによりVINレジスタ内部更新を設定してください。それ以外のレジスタ更新は、キャプチャ動作を停止してからレジスタの更新を行ってください。

(4) ビデオ表示動作

本モジュールを用いたビデオ表示は、表示ユニットとのフレーム更新タイミングは非同期となり、スムーズなフレーム表示が行えません。

(5) フィールドキャプチャモード画像品質

MC/IM インタレースモードビット設定による、奇数フィールド、奇数/偶数フィールド、偶数フィールドキャプチャ画像は、入力インタレース画像に対して1ラインおきのフィールド画像品質です。したがって、ビデオ表示される水平解像度は、フィールド単位の解像度となるのでご注意ください。

(6) フルインタレースモード画像品質

フルインタレース合成モードは、インタレース方式上時間軸の異なるフィールドデータをメモリ上でインタレース合成します。したがって、合成画像は、コーミングノイズなどの横縞ノイズが発生するのでご注意ください。

(7) 垂直スケーリング制約

垂直拡大スケーリングとフルインタレース合成設定は、拡大処理後メモリ上でインタレース合成処理を行うため、スケーリング率によっては取り込みラインの入れ替え現象が起こります。画像を評価した上で使用してください。

(8) 割り込みイベントタイミング

本モジュールよりアサートされる割り込みイベントは、VIN内部の割り込みイベント発生タイミングを示しており、キャプチャデータのメモリ転送完了を示すものではありませんので、ご注意ください。

(9) YCbCr-420 データフォーマット変換

- 垂直方向の拡大スケーリング設定時は、YCbCr-420データフォーマット変換はできませんので、注意してください。
- フルインタレースモードかつYCbCr-420データフォーマット変換は、本モジュールのキャプチャ方式上、フィールド単位のYCbCr-420フォーマット変換後、メモリ上でインタレース合成処理を行います。したがって、メモリ上のUVデータは、入力インタレース画像間のUVデータ生成ではありませんので、留意ください。

(10) ピクセルポストクリップ設定

ピクセルポストクリップ設定されたクリッピングデータは、YCbCr-422 データ形式に従いメモリ転送されます。したがって、EPPoC-SPPoC クリッピングサイズが奇数の場合、クリッピングサイズ+1 された偶数サイズに正規化されるので、注意ください。

(11) カラースペース変換時の係数設定

カラースペース変換係数レジスタ 1~3 (CSCC1~CSCC3) は、生成する RGB 画像データが $0 \leq R', G', B' \leq 255$ の範囲になるように設定してください。0 以下の場合は 0、255 以上の場合は 255 になります。

(12) 拡大スケーリング

水平および垂直方向の拡大スケーリングを設定した場合、トラフィック増加に伴うメモリ転送量が增大します。内部バスへの使用率が上がることでシステム全体の転送効率が悪化する可能性があるため、システム全体のトラフィック量を考慮したうえで使用してください。

(13) 1 ライン中の取り込み画素上限値

1 ライン中の取り込み画素数については、スケーリングや出力データの種類により、以下の上限となります。なお、ライン数についての制限はありません。

条件	1 ライン中の取り込み画素上限値	
	プレクリップ	ポストクリップ
X 方向の拡大スケーリングと Y 方向のスケーリングの競合時	768 画素	1536 画素
Y 方向の拡大スケーリング時 (X 方向の拡大スケーリングなし)	1536 画素	1536 画素
出力データフォーマットが YCbCr-420 のとき	2048 画素	1024 画素
上記以外	2048 画素	2048 画素

(14) YC 分離機能制約

- UVデータを格納するUVアドレスオフセットレジスタ (UVAOF) は、YデータとUVデータの格納先が重ならないような設定をしてください。YデータとUVデータの格納先が重なる設定をした場合、Yデータが上書きされてしまいます。
- 垂直方向の拡大スケーリング設定と、YC分離転送およびY転送設定は、設定禁止です。

12.6 付録

12.6.1 水平方向 (x 方向) スケーリング時の係数セットレジスタ設定例

係数セットレジスタの設定は、下表を参照してください。

表 12.11 係数セットレジスタ設定例

- $\alpha = 0.6$ and X Scale (XS) = H'00001600

m	CmA	CmB	CmC
1	H'00000BDD	H'00000BDD	H'06519578
2	H'3FF007DA	H'00000BE3	H'03C24973
3	H'3FF003D9	H'00000BE9	H'01B30D5F
4	H'3FFFF7DF	H'001003F1	H'0003C542
5	H'000DFEC	H'001003F7	H'3EC4711D
6	H'000FC400	H'002FFFFD	H'3DF504F1
7	H'001FA81A	H'002FFC00	H'3D9578C3
8	H'002F8C3C	H'00100000	H'3DB5C492

- $\alpha = 0.6$ and X Scale (XS) = H'00002000

m	CmA	CmB	CmC
1	H'000FA400	H'000FA400	H'09625902
2~8	H'00000000	H'00000000	H'00000000

13. ビデオ入力 1 (VIN1)

ビデオ入力 1 (VIN1) は、ITU-R BT.656 インタフェース対応のビデオキャプチャモジュールです。VIN1 ではビデオデコーダからの偶数・奇数フィールド単位にキャプチャ制御を行い、キャプチャした 4:2:2YCbCr 画像データを、メモリに格納します。

ここで、キャプチャ制御するフィールドは最大入力 720 x 480 のピクセルサイズに対して水平、垂直方向の拡大／縮小スケーリングを行い最大 1024 x 960 のピクセルサイズまで出力可能です。

13.1 特長

- ITU-R BT.656インタフェース
- スケーリング前／後のサイズクリッピング可能
- 9タップマルチフェーズフィルタを使った水平方向 (x方向) の拡大 (最大2倍まで*) / 縮小スケーリング

【注】 * ただし、水平方向の出力最大画素は 1024 画素。

- 2点間補間を使用した垂直方向 (y方向) の拡大 (最大2倍まで) / 縮小スケーリング

図 13.1 に VIN1 のブロック構成図を示します。

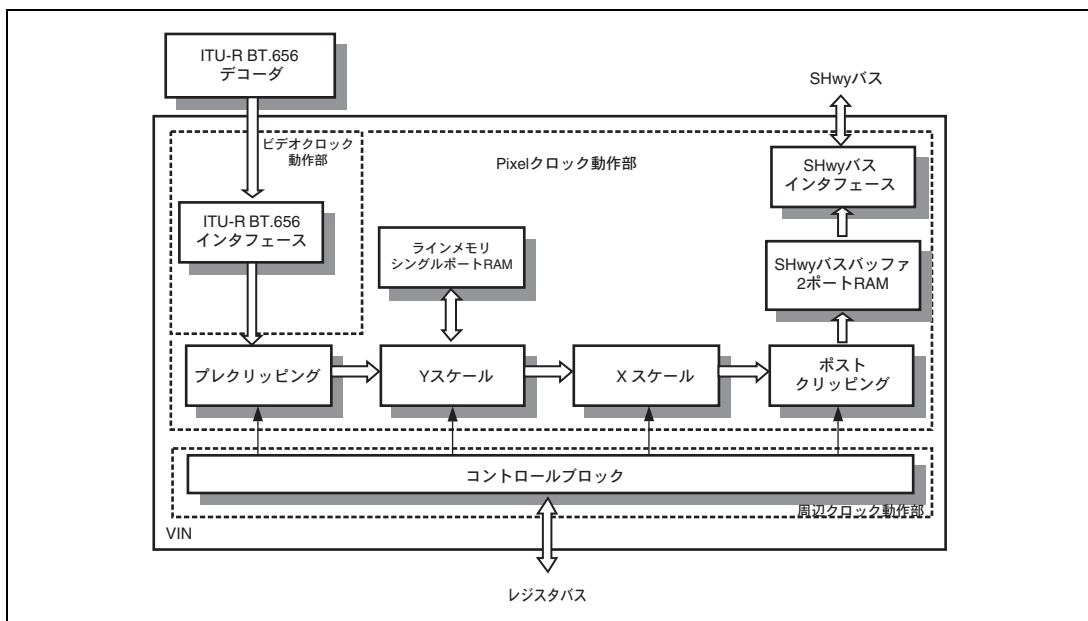


図 13.1 ブロック図

13.2 入出力端子

表 13.1 入出力端子

端子名	名 称	入出力	備 考
VI1_CLK_x* ¹	ビデオクロック入力	入力	ITU-R BT.656 インタフェース 外部非同期信号 27MHz クロック (typ)
VI1_7_x~VI1_0_x* ²	ビデオデータ入力	入力	ビデオデータ

【記号説明】 x : A または B (ミラー端子 A またはミラー端子 B)

【注】 *1 未使用時はフローティングにしないでください。ハイレベルもしくはローレベルに固定してください。

*2 未使用時はローレベルに固定してください。

13.3 機能概要

本モジュールの機能概要を以下に示します。

- ITU-R BT.656 インタフェース
- エラー訂正機能
- 垂直方向スケーリング
- 水平方向スケーリング
- サイズクリッピング
- キャプチャモード
- エンディアン変換と出力アドレス

13.3.1 ITU-R BT.656 インタフェース

本モジュールは、ITU-R BT.656 仕様に従ったビデオストリームのキャプチャリングが可能です。

また、VI1_CLK は最大 29.4MHz まで入力できます*。ここで、ITU-R BT.656 によるキャプチャリング時、本モジュールはフレーム切り替えを SAV/EAV の F ビットにより判定します。ビデオストリームのキャプチャリングにおいて、F ビットが切り替わらないと、フィールド取り込み終了しませんので正しいタイミングリファレンスコードを入力してください。

それぞれの規格外のデータが入力された場合、キャプチャ動作は保証できません。

【注】 * VI1_CLK の周波数はシステムクロック (clks1) の周波数の 1/3.3 倍以下にする制約があります
(例 システムクロック (clks1) : 88.9MHz の場合、VI1_CLK 周波数は、26.9MHz 以下としてください)。

13.3.2 エラー訂正機能

ITU-R BT.656 によるキャプチャリング時、本モジュールはタイミングリファレンスコード (SAV/EAV) でのエラー訂正が可能です。ITU-R BT.656 のタイミングリファレンスコード (SAV/EAV) は、4 つの保護ビットを持ち、これらの保護ビットを用いてインタフェース上の 1 ビットエラー訂正のみ可能です。

ここで、Interrupt Enable (IE) レジスタ/CEE ビットに 1 を設定し、本モジュールがエラー訂正できない場合、Interrupt Status (INTS) レジスタ/CES ビットの設定とともに割り込み信号を発生します。エラー訂正できる場合は割り込み信号は発生しません。

13.3.3 垂直方向スケーリング

本モジュールでは、キャプチャされたライン近傍の 2 点間補間により垂直方向の拡大/縮小スケーリングを行いラインを生成します。垂直方向スケーリングは、Y Scaling (YS) レジスタの mantissaY、fractionY の組み合わせによって、キャプチャラインより生成ラインポジションを選定し、新しいラインを生成します。

YS レジスタの mantissaY、fractionY とともに 0 に設定することによって、Y スケーリング機能は無効になります。

キャプチャラインより少ないラインを生成することにより縮小スケーリングを実現しています。拡大、縮小スケーリングの例を図 13.2 に示します。

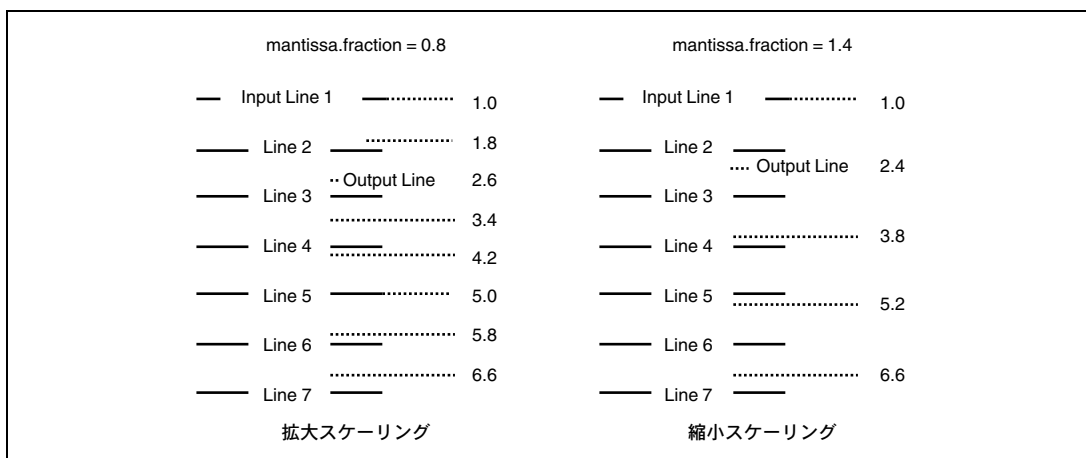


図 13.2 垂直方向拡大・縮小スケーリング例

この垂直方向スケーリングブロックによって生成されたライン数は、下記のとおりとなります。

$$N_y = \begin{cases} \frac{4096 \times (\text{ELPrC} - \text{SLPrC})}{4096 \times \text{MantissaY} + \text{FractionY}} - 1, & \text{when } \{4096 \times (\text{ELPrC} - \text{SLPrC})\} \% (4096 \times \text{MantissaY} + \text{FractionY}) = 0 \\ \text{Int} \left(\frac{4096 \times (\text{ELPrC} - \text{SLPrC})}{4096 \times \text{MantissaY} + \text{FractionY}} \right), & (\text{上記でない場合}) \end{cases}$$

ここで、

ELPrC は、End Line Pre-Clip (ELPrC) レジスタの値です。

SLPrC は、Start Line Pre-Clip (SLPrC) レジスタの値です。

MantissaY と FractionY は、YS レジスタの値です。

13.3.4 水平方向スケーリング

本モジュールでは、9タップマルチフェーズフィルタにより水平方向の縮小スケーリングを行い画素を生成します。ここで、水平方向の拡大スケーリングは、取り込んだ入力画素を2倍にし、9タップマルチフェーズフィルタの縮小スケーリングにより2倍までの拡大機能を実現しています。水平方向スケーリングは、X Scale (XS) レジスタの mantissaX、fractionX の組み合わせによって設定され、ポリフェーズフィルタにより新たな画素の位置を決定します。選択された係数は、8つの係数の内の1つで、出力画素位置によって決定します。

図 13.3 は、mantissaX、fractionX を 1.2 に設定した場合の例です。このケースでは、係数セットの C2 が選択されます。

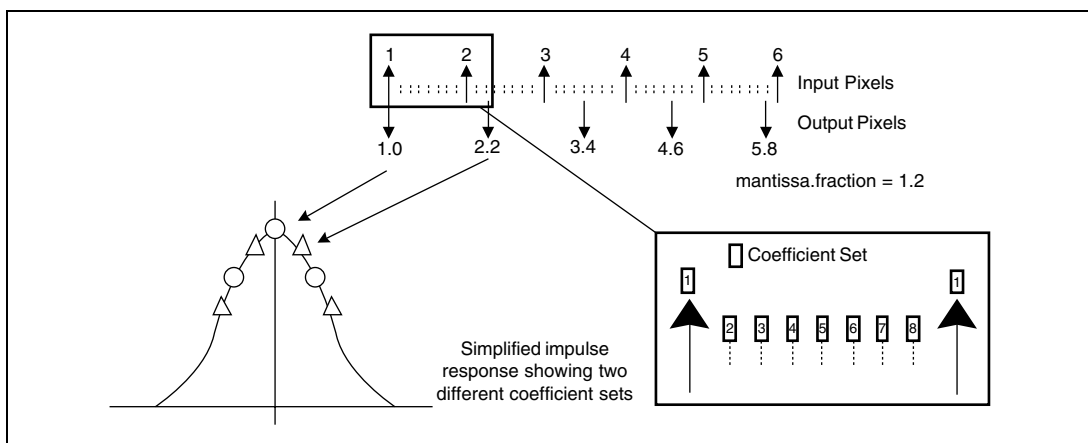


図 13.3 画素位置と係数セット

図 13.4 は、異なる出力画素位置での係数セットの例です。それぞれの係数セットは、9つの係数セットを持ちます。全部で 72 の係数が水平方向スケーリングに使われます。係数セット内の各係数は、10 ビットの幅を持ち、MSB がサインビットとなります。この水平方向スケーリングは、すべての 8 つの係数セットレジスタの中へ同じ係数を設定することによって、シングルフェーズフィルタとしてマルチフェーズフィルタを使うことができます。

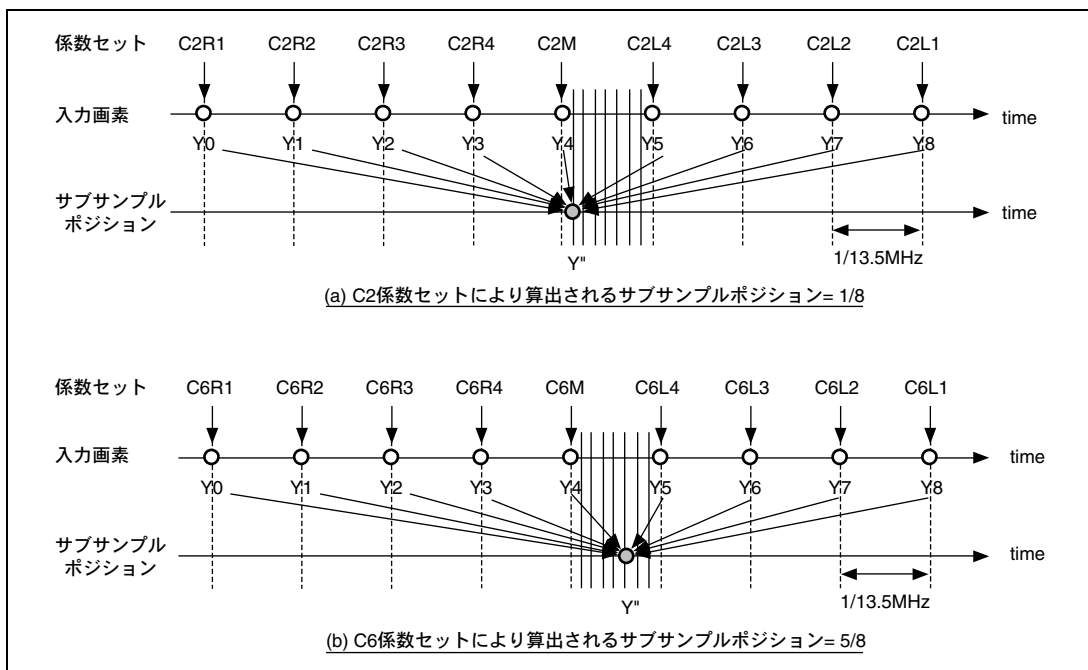


図 13.4 選択された係数セットでの係数の例

本スケーリング機構は、スケーリング比に依存した異なる係数値を必要とします。選択される係数セットの一例を下記に示します。係数、 C_nM 、 C_nLi 、および C_nRi ($n=1, 2, 3, \dots, 8$; $i=1, 2, 3, \text{ and } 4$) は、以下の式によって決定します。

$$C_nM = \beta \cdot h(-(n-1))$$

$$C_nR = \beta \cdot h(-(n-1) - 8(5-i))$$

$$C_nL = \beta \cdot h(-(n-1) + 8(5-i))$$

$$h(t) = \frac{\sin\left(\frac{\pi t}{T}\right)}{\frac{\pi t}{T}} \cdot \cos\left(\frac{\alpha \pi t}{T}\right) \cdot \frac{1 - 4\alpha^2 t^2}{T^2}$$

$$T = 8 \times \text{MantissaX} + \text{FractionX}[11:9]$$

MantissaX と FractionX は、XS レジスタの値です。パラメータ β は、標準化パラメータです。方程式上では、 $h(t)$ は余弦特性により、 α ($0 < \alpha \leq 1$) の場合は、9 タップフィルターを用いて実行されます。確実なスケール画像を得るためには、各係数セットが標準化した次式を用いて満たされる必要があります。これは上式で選択された固有の β 値によって実行します。

$$C_n M + \sum_{l=1}^4 C_n R_l + \sum_{l=1}^4 C_n L_l = 512$$

本水平方向スケーリングブロックによって生成した画素数は、次のとおりとなります。

$$N_x = \text{Int} \left(\frac{4096 \times (\text{EPPrC} - \text{SPPrC})}{4096 \times \text{MantissaX} + \text{FractionX}} \right) + 1$$

ここで、EPPrC と SPPrC は、End Pixel Pre-Clip (EPPrC) レジスタと Start Pixel Pre-Clip (SPPrC) レジスタの値です。MantissaX と FractionX は、XS レジスタの値です。

13.3.5 サイズクリッピング

キャプチャした画像データは、Start Line Pre-Clip (SLPrC)、End Line Pre-Clip (ELPrC)、Start Pixel Pre-Clip (SPPrC) および End Pixel Pre-Clip (EPPrC) レジスタの設定値によりプレクリッピングされます。

水平、垂直スケーリング後、Start Line Post-Clip (SLPoC)、End Line Post-Clip (ELPoC)、Start Pixel Post-Clip (SPPoC) および End Pixel Post-Clip (EPPoC) レジスタの設定値によりポストクリッピングされます。サイズクリッピングの例を図 13.5 に示します。

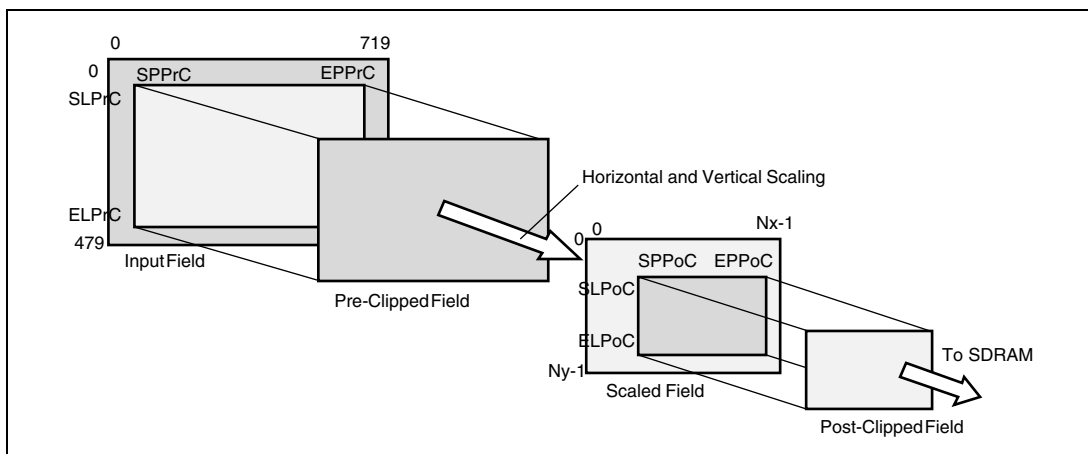


図 13.5 クリッピングの例

ここですべてのポストクリップラインに関して、メモリにライトされる各ラインの長さが Image Stride (IS) レジスタで定義され、ポストクリップされたフレーム幅より大きくは設定できますが、小さくはできません。IS レジスタには、水平方向のポストクリップ幅より大きい値を設定してください。また図 13.5 の Input Field はビデオデコーダからの有効な画像領域を示しており、本モジュールではこの画像領域以上の取り込みはできません。

【注】 Start Line Pre-Clip (SLPrC)、End Line Pre-Clip (ELPrC)、Start Pixel Pre-Clip (SPPrC) および End Pixel Pre-Clip (EPPrC) レジスタの設定値は、すべて有効画面領域の開始位置からの値になります。
具体的には、ITU-R BT.656 では、SAV (Start of Active Video) 信号を起点としています。

13.3.6 キャプチャモード

本モジュールでは、シングルキャプチャモードと、連続キャプチャモードのいずれかのキャプチャモードが選択可能です。

Frame Capture (FC) レジスタ/SC ビットを 1 に設定したとき、シングルキャプチャモードで動作します。シングルキャプチャモードは、Memory Base1 (MB1) レジスタに設定したメモリアドレスへキャプチャデータを転送します。

また FC レジスタ/CC ビットを 1 に設定したとき、連続キャプチャモードで動作します。キャプチャされたデータは、MemoryBase1-3 レジスタに設定したアドレスへ、順次転送されます。このとき、最新のキャプチャしたフレーム ID を、Module Status (MS) レジスタ/FBS ビットへ示します。

ここで、本モジュールのキャプチャ動作開始は ITU-R BT.656 仕様のフレーム切り替わりを検出してからキャプチャ動作を開始します。また、フルインタレースモードの取りこみ開始フィールドはフィールド 1 (奇数) 固定です。

13.3.7 エンディアン変換と出力アドレス

本モジュールでは、MC レジスタ/EN ビット設定によりビッグエンディアン/リトルエンディアンの変換が可能です。MC レジスタ/EN ビットを 1 に設定することで、キャプチャデータをビッグエンディアンに配置しメモリへ出力します。

また本モジュールでは、Memory Base レジスタで設定した転送開始アドレスに対してリニアアドレスを生成し、キャプチャデータをメモリへ出力します。

初期値はビッグエンディアンです。

13.4 レジスタの説明

表 13.2 に VIN1 のレジスタ構成を示します。

表 13.2 VIN1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*1	エリア 7 アドレス*1	アクセス サイズ	vsync update モード対応*2
メインコントロールレジスタ	MC	R/W	H'FFC5 1000	H'1FC5 1000	32	×
モジュールステータスレジスタ	MS	R	H'FFC5 1004	H'1FC5 1004	32	×
フレームキャプチャレジスタ	FC	R/W	H'FFC5 1008	H'1FC5 1008	32	×
前クリップ開始ラインレジスタ	SLPrC	R/W	H'FFC5 100C	H'1FC5 100C	32	○
前クリップ終了ラインレジスタ	ELPrC	R/W	H'FFC5 1010	H'1FC5 1010	32	○
前クリップ開始画素レジスタ	SPPrC	R/W	H'FFC5 1014	H'1FC5 1014	32	○
前クリップ終了画素レジスタ	EPPrC	R/W	H'FFC5 1018	H'1FC5 1018	32	○
後クリップ開始ラインレジスタ	SLPoC	R/W	H'FFC5 101C	H'1FC5 101C	32	○
後クリップ終了ラインレジスタ	ELPoC	R/W	H'FFC5 1020	H'1FC5 1020	32	○
後クリップ開始画素レジスタ	SPPoC	R/W	H'FFC5 1024	H'1FC5 1024	32	○
後クリップ終了画素レジスタ	EPPoC	R/W	H'FFC5 1028	H'1FC5 1028	32	○
画素ストライドレジスタ	IS	R/W	H'FFC5 102C	H'1FC5 102C	32	○
メモリベース 1 レジスタ	MB1	R/W	H'FFC5 1030	H'1FC5 1030	32	○
メモリベース 2 レジスタ	MB2	R/W	H'FFC5 1034	H'1FC5 1034	32	○
メモリベース 3 レジスタ	MB3	R/W	H'FFC5 1038	H'1FC5 1038	32	○
ラインカウントレジスタ	LC	R	H'FFC5 103C	H'1FC5 103C	32	×
割り込みイネーブルレジスタ	IE	R/W	H'FFC5 1040	H'1FC5 1040	32	×
割り込みステータスレジスタ	INTS	R/W	H'FFC5 1044	H'1FC5 1044	32	×
スキャンライン割り込みレジスタ	SI	R/W	H'FFC5 1048	H'1FC5 1048	32	○
Y 方向拡大/縮小レジスタ	YS	R/W	H'FFC5 1050	H'1FC5 1050	32	○
X 方向拡大/縮小レジスタ	XS	R/W	H'FFC5 1054	H'1FC5 1054	32	○
係数セットレジスタ 1A	C1A	R/W	H'FFC5 1080	H'1FC5 1080	32	×
係数セットレジスタ 1B	C1B	R/W	H'FFC5 1084	H'1FC5 1084	32	×
係数セットレジスタ 1C	C1C	R/W	H'FFC5 1088	H'1FC5 1088	32	×
係数セットレジスタ 2A	C2A	R/W	H'FFC5 1090	H'1FC5 1090	32	×
係数セットレジスタ 2B	C2B	R/W	H'FFC5 1094	H'1FC5 1094	32	×
係数セットレジスタ 2C	C2C	R/W	H'FFC5 1098	H'1FC5 1098	32	×
係数セットレジスタ 3A	C3A	R/W	H'FFC5 10A0	H'1FC5 10A0	32	×
係数セットレジスタ 3B	C3B	R/W	H'FFC5 10A4	H'1FC5 10A4	32	×
係数セットレジスタ 3C	C3C	R/W	H'FFC5 10A8	H'1FC5 10A8	32	×

名 称	略称	R/W	P4 領域 アドレス* ¹	エリア 7 アドレス* ¹	アクセス サイズ	vsync update モード対応* ²
係数セットレジスタ 4A	C4A	R/W	H'FFC5 10B0	H'1FC5 10B0	32	×
係数セットレジスタ 4B	C4B	R/W	H'FFC5 10B4	H'1FC5 10B4	32	×
係数セットレジスタ 4C	C4C	R/W	H'FFC5 10B8	H'1FC5 10B8	32	×
係数セットレジスタ 5A	C5A	R/W	H'FFC5 10C0	H'1FC5 10C0	32	×
係数セットレジスタ 5B	C5B	R/W	H'FFC5 10C4	H'1FC5 10C4	32	×
係数セットレジスタ 5C	C5C	R/W	H'FFC5 10C8	H'1FC5 10C8	32	×
係数セットレジスタ 6A	C6A	R/W	H'FFC5 10D0	H'1FC5 10D0	32	×
係数セットレジスタ 6B	C6B	R/W	H'FFC5 10D4	H'1FC5 10D4	32	×
係数セットレジスタ 6C	C6C	R/W	H'FFC5 10D8	H'1FC5 10D8	32	×
係数セットレジスタ 7A	C7A	R/W	H'FFC5 10E0	H'1FC5 10E0	32	×
係数セットレジスタ 7B	C7B	R/W	H'FFC5 10E4	H'1FC5 10E4	32	×
係数セットレジスタ 7C	C7C	R/W	H'FFC5 10E8	H'1FC5 10E8	32	×
係数セットレジスタ 8A	C8A	R/W	H'FFC5 10F0	H'1FC5 10F0	32	×
係数セットレジスタ 8B	C8B	R/W	H'FFC5 10F4	H'1FC5 10F4	32	×
係数セットレジスタ 8C	C8C	R/W	H'FFC5 10F8	H'1FC5 10F8	32	×
データモードレジスタ	DMR	R/W	H'FFC5 2100	H'1FC5 2100	32	×

【注】 *1 R4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。上記アドレス以外のアクセスはしないでください。

*2 vsync update モードについては MC レジスタ/VUP ビット説明を参照してください。

表 13.3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
MC	初期化	初期化	保持	保持	保持	初期化
MS	初期化	初期化	保持	保持	保持	初期化
FC	初期化	初期化	保持	保持	保持	初期化
SLPrC	初期化	初期化	保持	保持	保持	初期化
ELPrC	初期化	初期化	保持	保持	保持	初期化
SPPrC	初期化	初期化	保持	保持	保持	初期化
EPPrC	初期化	初期化	保持	保持	保持	初期化
SLPoC	初期化	初期化	保持	保持	保持	初期化
ELPoC	初期化	初期化	保持	保持	保持	初期化
SPPoC	初期化	初期化	保持	保持	保持	初期化
EPPoC	初期化	初期化	保持	保持	保持	初期化
IS	初期化	初期化	保持	保持	保持	初期化
MB1	初期化	初期化	保持	保持	保持	初期化
MB2	初期化	初期化	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
MB3	初期化	初期化	保持	保持	保持	初期化
LC	初期化	初期化	保持	保持	保持	初期化
IE	初期化	初期化	保持	保持	保持	初期化
INTS	初期化	初期化	保持	保持	保持	初期化
SI	初期化	初期化	保持	保持	保持	初期化
YS	初期化	初期化	保持	保持	保持	初期化
XS	初期化	初期化	保持	保持	保持	初期化
C1A	初期化	初期化	保持	保持	保持	初期化
C1B	初期化	初期化	保持	保持	保持	初期化
C1C	初期化	初期化	保持	保持	保持	初期化
C2A	初期化	初期化	保持	保持	保持	初期化
C2B	初期化	初期化	保持	保持	保持	初期化
C2C	初期化	初期化	保持	保持	保持	初期化
C3A	初期化	初期化	保持	保持	保持	初期化
C3B	初期化	初期化	保持	保持	保持	初期化
C3C	初期化	初期化	保持	保持	保持	初期化
C4A	初期化	初期化	保持	保持	保持	初期化
C4B	初期化	初期化	保持	保持	保持	初期化
C4C	初期化	初期化	保持	保持	保持	初期化
C5A	初期化	初期化	保持	保持	保持	初期化
C5B	初期化	初期化	保持	保持	保持	初期化
C5C	初期化	初期化	保持	保持	保持	初期化
C6A	初期化	初期化	保持	保持	保持	初期化
C6B	初期化	初期化	保持	保持	保持	初期化
C6C	初期化	初期化	保持	保持	保持	初期化
C7A	初期化	初期化	保持	保持	保持	初期化
C7B	初期化	初期化	保持	保持	保持	初期化
C7C	初期化	初期化	保持	保持	保持	初期化
C8A	初期化	初期化	保持	保持	保持	初期化
C8B	初期化	初期化	保持	保持	保持	初期化
C8C	初期化	初期化	保持	保持	保持	初期化
DMR	初期化	初期化	保持	保持	保持	初期化

13.4.1 メインコントロールレジスタ (MC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCKEN	PRICNT[2:0]				-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VUP	-	-	-	EN	EC	IM[1:0]	-	-	-	ME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31	LCKEN	0	R/W	LCK イネーブル VIN1 モジュールの SHwy バスの lck ビットのイネーブル、ディスエーブルを設定します。 0 : lck ビットディスエーブル 1 : lck ビットイネーブル 本ビットは動作時常に 0 にセットして下さい。
30~28	PRICNT[2:0]	000	R/W	PRI コントロール VIN1 モジュールの SHwy バスの pri[2:0] ビットを設定します。 本ビットは動作時常に 1 にセットしてください。 (pri[3] ビットは 1 固定のため、pri[2:0]=1 のとき pri[3:0] は 9 となります)
27~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VUP	0	R/W	Vsync 更新 レジスタ設定による内部更新タイミングを設定します。対応レジスタはレジスタ一覧を参照してください。 0 : レジスタライト直後に内部更新されます。 1 : レジスタ値は、ITU-R BT.656 のフィールドビット (F ビット) の変化タイミング後に、更新されます。
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	EN	0	R/W	エンディアンタイプ メモリ上に出力するデータのエンディアンタイプを設定します。 0 : 4:2:2YCbCr データをビッグエンディアンにバックして配置します。 1 : 4:2:2YCbCr データをリトルエンディアンにバックして配置します。

ビット	ビット名	初期値	R/W	説明
5	EC	0	R/W	<p>誤り訂正</p> <p>ITU-R BT.656 入力に対してパリティビットを用いてエラー訂正を行うかどうかを設定します。</p> <p>0 : ITU-R BT.656 入力に対してエラー訂正を行いません。</p> <p>1 : ITU-R BT.656 入力に対してパリティビットを用いてエラー訂正を行います。</p> <p>以下の場合、エラー訂正を行わないでください。</p> <ul style="list-style-type: none"> ITU-R BT.656 パリティビット規定外のデータが入力された場合
4、3	IM[1:0]	00	R/W	<p>インタレースモード</p> <p>本モジュールのキャプチャモードを設定します。本モジュールは、下記に示す4つのフレームキャプチャモードをサポートします。</p> <p>また、Frame Capture (FC) レジスタのシングルキャプチャモード、連続キャプチャモード設定との組み合わせは下記のとおりです。</p> <p>00 : 奇数フィールド (フィールド 1) キャプチャモード 奇数フィールドのみを処理します。 連続キャプチャモード、シングルキャプチャモードとも設定可能です。</p> <p>01 : 奇数/偶数フィールドキャプチャモード 奇数、偶数フィールドをそれぞれシングルフレームとして処理します。 連続キャプチャモードは設定可能ですが、シングルキャプチャモードは設定できません。</p> <p>10 : 偶数フィールド (フィールド 2) キャプチャモード 偶数フィールドのみを処理します。 連続キャプチャモード、シングルキャプチャモードとも設定可能です。</p> <p>11 : フルインタレースモード 奇数、偶数フィールドを組み合わせ、シングルフレームとして処理します。 連続キャプチャモード、シングルキャプチャモードとも設定可能です。</p> <p>フルインタレースモードでのキャプチャリングは、奇数フィールドを基準として1ラインおきにメモリへ書き込み、奇数フィールド取り込み終了後に偶数フィールドのラインを奇数フィールドのラインと交互にメモリへ書き込みます。</p> <p>H'200 の間隔で、Memory Base1 (MB1) を H'0000 に設定した例を図 13.6 に示します。</p> <p>取り込み動作中に Interlace Mode (IM) ビットは変化させないでください。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	ME	0	R/W	モジュールイネーブル 本モジュールのイネーブルビットです。本ビットを設定後、各種レジスタを設定してください。 0 : 本モジュールは動作しません。 1 : 本モジュールは動作します。

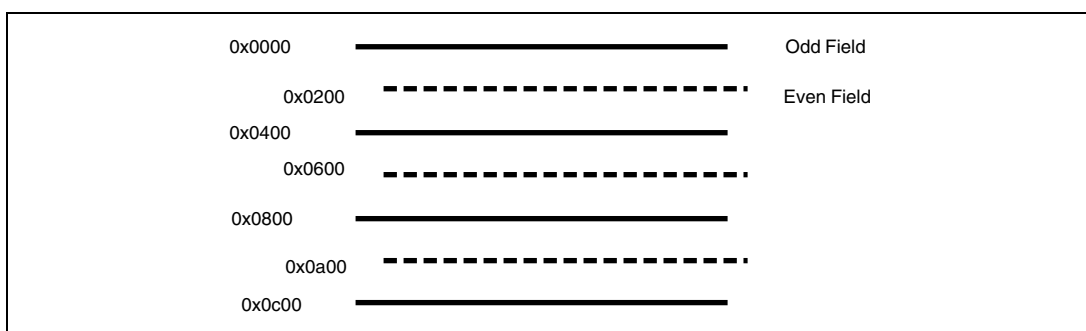


図 13.6 フルインタレース取り込み例

13.4.2 モジュールステータスレジスタ (MS)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FBS[1:0]	FS	AV	CA	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4, 3	FBS[1:0]	00	R	<p>フレームバッファステータス</p> <p>フレームバッファのステータスを示します。</p> <p>00: 最新有効フレームバッファは、Memory Base 1 (MB1) レジスタで定義されたベースアドレスを持つフレームバッファであることを示します</p> <p>01: 最新有効フレームバッファは、Memory Base 2 (MB2) レジスタで定義されたベースアドレスを持つフレームバッファであることを示します</p> <p>10: 最新有効フレームバッファは、Memory Base 3 (MB3) レジスタで定義されたベースアドレスを持つフレームバッファであることを示します</p> <p>11: 有効なフレームバッファがないことを示します</p>
2	FS	0	R	<p>フィールドステート</p> <p>現在のキャプチャフィールドのフィールドタイプを示します。</p> <p>0: 現在のフィールドは、フィールド 1 (奇数) であることを示します</p> <p>1: 現在のフィールドは、フィールド 2 (偶数) であることを示します</p>
1	AV	0	R	<p>有効ビデオ</p> <p>キャプチャ時のカレントポイントが、アクティブビデオ領域かどうかを示します。</p> <p>入力データが取り込まれない場合は、本ビットは 0 になります。</p> <p>アクティブビデオ領域はブレクリッピングレジスタで定義されます。</p> <p>0: 現在のフィールドがアクティブビデオ領域ではないことを示します</p> <p>1: 現在のフィールドがアクティブビデオ領域であることを示します</p>
0	CA	0	R	<p>キャプチャ起動状態</p> <p>現在ビデオキャプチャが動作中かどうかを示します。</p> <p>ただし Interlace Mode (IM) が 00 設定 (フィールド 1 取り込み) のとき現在のビデオ入力フィールドがフィールド 2 であり、フィールドが取り込まれない場合でもこのステータスビットは 1 となります。</p> <p>本ビットは ITU-R BT.656 で定義された F ビットの変化タイミングで更新されます。</p> <p>0: ビデオキャプチャが動作していないことを示します</p> <p>1: ビデオキャプチャが動作中であることを示します</p>

13.4.3 フレームキャプチャレジスタ (FC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CC	SC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CC	0	R/W	連続キャプチャ キャプチャモードを連続フレームキャプチャモードにするかどうかを設定します。 連続フレームキャプチャモードに設定したとき、最初のキャプチャフレームを MemoryBase1 (MB1) レジスタ設定したメモリアドレスへライトし、続いて次のキャプチャフレームを Memory Base2 (MB2) レジスタ設定したメモリアドレスへライトします。以後、MB3- MB1- MB2- MB3- MB1... のサイクルによりキャプチャ動作を繰り返します。 0: 連続フレームキャプチャモードに設定しません 1: 連続フレームキャプチャモードに設定します 連続キャプチャ動作中、本ビットに0を書き込むと、現在のフレームの終了か、または現在フレームが取り込まれていない場合は、ただちにキャプチャ動作を終了します。
0	SC	0	R/W	単一キャプチャ キャプチャモードをシングルフレームキャプチャモードにするかどうかを設定します。 シングルフレームキャプチャモードに設定したとき、現在のフレームラインカウンタ値が Start Line Pre-Clip (SLPrC) レジスタの値より小さい場合は、現在のフレームを取り込み、それ以外は次のフレームを取り込みます。シングルキャプチャモードで取り込まれたフレームを、Memory Base 1 (MB1) レジスタで設定したメモリアドレスへライトします。 0: シングルフレームキャプチャモードに設定しません 1: シングルフレームキャプチャモードに設定します ここで Frame Capture (FC) 設定が、連続キャプチャモードまたは Interface Mode (IM) が 01 (奇数/偶数フィールドキャプチャ) モード設定時は 1 設定しないでください。 シングルキャプチャモードでは、本ビットを 1 セットした後、Module Status レジスタの Frame Buffer Status (FBS) ビットがただちに初期化され、本ビットも 0 セットされます。

【注】 SC ビットと CC ビットを同時に 1 設定しないでください。

13.4.4 前クリップ開始ラインレジスタ (SLPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	SLPrC[9:0]									-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	SLPrC[9:0]	H'000	R/W	前クリップ開始ライン キャプチャ時に有効となる先頭ラインを設定します。 レジスタ値は SLPrC と ELPrC の設定値によってプレクリップされるライン数が2以上になるように、0~478 の範囲で設定してください。この値はスケーリングの前に使用されます。 ここで、値0は、ITU-R BT.656 の V ビットが、1 から 0 に変化する最初のキャプチャ有効ラインを示します。

13.4.5 前クリップ終了ラインレジスタ (ELPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	ELPrC[9:0]									-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	ELPrC[9:0]	H'000	R/W	前クリップ終了ライン キャプチャ時に有効となる最終ラインを設定します。 レジスタ値は SLPrC と ELPrC の設定値によってプレクリップされるライン数が2以上になるように、1~479 の範囲で設定してください。この値はスケーリングの前に使用されます。

13.4.6 前クリップ開始画素レジスタ (SPPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	SPPrC[9:0]									-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	SPPrC[9:0]	H'000	R/W	前クリップ開始画素 キャプチャ時に有効な現在のライン上にある先頭画素を設定します。 レジスタ値は SPPrC と EPPrC の設定値によってプレクリップされる画素数が5以上になるように、0~715の範囲で設定してください。この値はスケーリングの前に使用されます。 本モジュールでは、ITU-R BT.656 入力 (4:2:2YCbCr) のフォーマット上、2の倍数でのプレクリッピングのみを許可するためレジスタのLSBは無視されます。アドレスを奇数値に設定すると、実際には-1され、偶数アドレスとして処理します。

13.4.7 前クリップ終了画素レジスタ (EPPrC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	EPPrC[9:0]									-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9~0	EPPrC[9:0]	H'000	R/W	<p>前クリップ終了画素</p> <p>キャプチャ時に有効な現在のライン上にある最終画素を設定します。</p> <p>レジスタ値は SPPrC と EPPrC の設定値によってプレクリップされる画素数が 5 以上になるように、4~719 の範囲で設定してください。この値はスケーリングの前に使用されます。</p> <p>本モジュールでは、ITU-R BT.656 入力 (4:2:2YCbCr) のフォーマット上、2 の倍数でのプレクリッピングのみを許可するためアドレスを偶数値に設定すると、実際には+1 され、奇数アドレスとして処理します。したがって、レジスタの LSB は無視されます。</p>

13.4.8 後クリップ開始ラインレジスタ (SLPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	SLPoC[9:0]									-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9~0	SLPoC[9:0]	H'000	R/W	<p>後クリップ開始ライン</p> <p>メモリにライトされる画像の先頭ラインを設定します。</p> <p>レジスタ値は SLPoC と ELPoC の設定値によってポストクリップされるライン数が 2 以上になるように、0~958 の範囲で設定してください。この値はスケーリングの後に使用されます。</p> <p>値が 0 の場合は、スケーリング後の画像の先頭ラインを示します。</p>

13.4.9 後クリップ終了ラインレジスタ (ELPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	ELPoC[9:0]									—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	ELPoC[9:0]	H'000	R/W	後クリップ終了ライン メモリにライトされる画像の最終ラインを設定します。 レジスタ値はSLPoCとELPoCの設定値によってポストクリップされるライン数が2以上になるように、1~959の範囲で設定してください。この値はスケーリングの後に使用されます。

13.4.10 後クリップ開始画素レジスタ (SPPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	SPPoC[9:0]									—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	SPPoC[9:0]	H'000	R/W	後クリップ開始画素 メモリにライトされる画像の各ラインの先頭画素を設定します。 レジスタ値はSPPoCとEPPoCの設定値によってポストクリップされる画素数が5以上になるように、0~1019の範囲で設定してください。この値はスケーリングの後に使用されます。 ここで、ポストクリッピングは4:2:2YCbCrから4:4:4YCbCrへ変換した後に実行されるので、ポストクリッピング値を2の倍数に限定する必要はありません。

13.4.11 後クリップ終了画素レジスタ (EPPoC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R			
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	-	-	-	-	-	-	EPPoC[9:0]									-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	EPPoC[9:0]	H'000	R/W	後クリップ終了画素 メモリにライトされる画像の各ラインの最終画素を設定します。 レジスタ値はSPPoCとEPPoCの設定値によってポストクリップされる画素数が5以上になるように、4~1023の範囲で設定してください。この値はスケーリングの後に使用されます。

13.4.12 画素ストライドレジスタ (IS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	IS[8:0]									-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12~4	IS[8:0]	H'000	R/W	画素ストライド 転送先のメモリ幅を設定します。 本レジスタは、メモリコントローラでリニアタイル変換を行わない場合、転送先のメモリ幅を 16 画素~4096 画素まで 16 画素単位に設定してください。メモリコントローラでリニアタイル変換を行う場合、転送先のメモリ幅を 512 画素、1024 画素、2048 画素、4096 画素のいずれかに設定してください。 ここで、設定値は Post クリップ幅 (EPPoC-SPPoC) 以上の値を設定してください。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.4.13 メモリベース 1 レジスタ (MB1)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	MBA1[2:0]			MB1[18:9]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB1[8:0]										-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~26	MBA1[2:0]	000	R/W	メモリベースエリア 1 取り込んだフレームの転送開始を示すメモリのエリアを設定します。 010 : エリア 2 011 : エリア 3 100 : エリア 4 101 : エリア 5 上記以外の値は設定禁止
25~7	MB1[18:0]	H'00000	R/W	メモリベース 1 取り込んだフレームの転送開始を示すメモリアドレスを設定します。 設定値は 128 バイト単位に設定してください。また本レジスタは、本モジュールが連続キャプチャモードの場合、MB1- MB2- MB3- MB1- MB2- MB3 のように、キャプチャシーケンスの中で使用されます。 また、シングルキャプチャモードの場合は本レジスタ設定値をスタートメモリアドレスとして使用します。

ビット	ビット名	初期値	R/W	説明
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.4.14 メモリベース 2 レジスタ (MB2)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	MBA2[2:0]			MB2[18:9]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB2[8:0]										—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~26	MBA2[2:0]	000	R/W	メモリベースエリア 2 連続キャプチャモード時、取り込んだ 2 フレーム目の転送開始を示すメモリのエリアを設定します。 010 : エリア 2 011 : エリア 3 100 : エリア 4 101 : エリア 5 上記以外の値は設定禁止
25~7	MB2[18:0]	H'00000	R/W	メモリベース 2 連続キャプチャモード時、取り込んだ 2 フレーム目の転送開始を示すメモリアドレスを設定します。 設定値は 128 バイト単位に設定してください。また本レジスタは、本モジュールが連続キャプチャモードの場合、MB1- MB2- MB3- MB1- MB2- MB3 のように、キャプチャシーケンスの中で使用されます。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.4.15 メモリベース 3 レジスタ (MB3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	MBA3[2:0]			MB3[16:7]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB3[6:0]						-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~26	MBA3[2:0]	000	R/W	メモリベースエリア 3 連続キャプチャモード時、取り込んだ 3 フレーム目の転送開始を示すメモリのエリアを設定します。 010 : エリア 2 011 : エリア 3 100 : エリア 4 101 : エリア 5 上記以外の値は設定禁止
25~9	MB3[16:0]	H'00000	R/W	メモリベース 3 連続キャプチャモード時、取り込んだ 3 フレーム目の転送開始を示すメモリアドレスを設定します。 設定値は 128 バイト単位に設定してください。また本レジスタは、本モジュールが連続キャプチャモードの場合、MB1- MB2- MB3- MB1- MB2- MB3 のように、キャプチャシーケンスの中で使用されます。
8~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.4.16 ラインカウントレジスタ (LC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	LC[9:0]									—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9~0	LC[9:0]	H'000	R	ラインカウント 現在のキャプチャフィールドの中のラインポジションを示します。

13.4.17 割り込みステータスレジスタ (INTS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIS2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIS	CES	SIS	EFS	FOS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIS2	0	R/W	フィールド割り込みステータス 2 フィールドが変わったことを示します。 本ビットは ITU-R BT.656 の中で定義された F ビットの変化点で 1 設定されます。 本ビットはキャプチャが動作していても 1 設定されます。 本ビットを 1 ライトすることによってクリアされます。
30~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
4	FIS	0	R/W	<p>フィールド割り込みステータス</p> <p>フィールドキャプチャされたことを示します。</p> <p>本ビットは ITU-R BT.656 の中で定義された F ビットの変化点で 1 設定されます。</p> <p>本ビットを 1 ライトすることによってクリアされます。</p>
3	CES	0	R/W	<p>タイミングリファレンスコードエラーステータス</p> <p>現在のタイミングリファレンスコードに、2 ビット以上のエラーが発生したことを示します。</p> <p>本ビットは Main Control (MC) レジスタの EC ビットがイネーブルで、2 ビット以上のエラーが発生したときに 1 設定されます。もし、1 ビットエラーで EC ビットがイネーブルの場合、1 設定されません。</p> <p>本ビットを 1 ライトすることによってクリアされます。</p>
2	SIS	0	R/W	<p>スキャンライン割り込みステータス</p> <p>SI レジスタで設定したラインに達したことを示します。</p> <p>本ビットが 1 設定されるラインは、Scanline Interrupt (SI) レジスタによって決定します。</p> <p>LC レジスタの値と SI レジスタの設定値が一致した場合に本ビットは 1 設定されます。</p> <p>本ビットを 1 ライトすることによってクリアされます。</p>
1	EFS	0	R/W	<p>フレーム終了割り込みステータス</p> <p>最終フレームに達したことを示します。</p> <p>本ビットはフィールド 2 (偶数) の終了で 1 設定されます。</p> <p>本ビットを 1 ライトすることによってクリアされます。</p>
0	FOS	0	R/W	<p>ピクセルバスバッファオーバーフロー割り込みステータス</p> <p>FIFO がオーバーフローしたことを示します。</p> <p>FIFO は本モジュールがピクセルデータをピクセルバスへ転送するために使用されます。もし、FIFO がオーバーフローした場合、ピクセルデータは失われます。</p> <p>本ビットを 1 ライトすることによってクリアされます。</p>

13.4.18 割り込みイネーブルレジスタ (IE)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIE2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIE	CEE	SIE	EFE	FOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIE2	0	R/W	field interrupt enable 2 フィールド割り込みの INTC 出力を許可するか禁止するかを設定します。 本イネーブルビットによる割り込み信号は、キャプチャが動作していてもアサートされます。 0: フィールド割り込みを禁止します 1: フィールド割り込みを許可します
30~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FIE	0	R/W	field interrupt enable フィールド切り替え割り込みの INTC 出力を許可するか禁止するかを設定します。 Module Status (MS) レジスタの CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0: フィールド切り替え割り込みを禁止します 1: フィールド切り替え割り込みを許可します
3	CEE	0	R/W	timing reference code error enable ITU-R BT.656 仕様に記述されたタイミングリファレンスコード (SAV/EAV) のエラーコレクトによる割り込みの INTC 出力を許可するか禁止するかを設定します。 Module Status (MS) レジスタの CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0: ITU-R BT.656 タイミングリファレンスコードエラー割り込みを禁止します 1: ITU-R BT.656 タイミングリファレンスコードエラー割り込みを許可します

ビット	ビット名	初期値	R/W	説明
2	SIE	0	R/W	scanline interrupt enable スキャンライン割り込みの INTC 出力を許可するか禁止するかを設定します。 Module Status (MS) レジスタの CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0 : スキャンライン割り込みを禁止します 1 : スキャンライン割り込みを許可します
1	EFE	0	R/W	end of frame interrupt enable 最終フレーム割り込みの INTC 出力を許可するか禁止するかを設定します。 Module Status (MS) レジスタの CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0 : 最終フレーム割り込みを禁止します 1 : 最終フレーム割り込みを許可します
0	FOE	0	R/W	FIFO overflow interrupt enable FIFO オーバフロー割り込みの INTC 出力を許可するか禁止するかを設定します。 Module Status (MS) レジスタの CA ビットが 1 のとき、この割り込みイネーブルが有効となります。 0 : FIFO オーバフロー割り込みを禁止します 1 : FIFO オーバフロー割り込みを許可します

13.4.19 スキャンライン割り込みレジスタ (SI)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	SI[9:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	SI[9:0]	H'000	R/W	scanline interrupt IE レジスタの SIE ビットを 1 設定したとき、各フィールド上において LC レジスタの値と比較する値を設定します。 LC レジスタの値と一致した場合に割り込み信号をアサートします。

13.4.20 Y 方向拡大／縮小レジスタ (YS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Mantissa Y[3:0]				Fraction Y[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~12	Mantissa Y [3:0]	H'0	R/W	mantissaY Y方向の拡大・縮小スケーリング値をそれぞれの mantissaY、fractionYにより設定します。 このレジスタ値は、(フィールド当たりのキャプチャライン数) / (フィールド当たりのメモリにライトされたライン数) を示し下記の式に従います。 $Y \text{ スケーリング} = 4096 / (4096 \times \text{MantissaY} + \text{FractionY})$ ただし、拡大は最大2倍までのスケーリングのみ可能です。たとえば、Yスケーリングを1/2倍にするには、MantissaY=H'2、FractionY=H'000に設定します。 スケーリングによる生成ラインは、キャプチャライン近傍の2点間補間によって生成されます。 mantissaY、fractionYがともに0ならば、スケーリング無効になります。
11~0	Fraction Y [11:0]	H'000	R/W	fractionY

13.4.21 X 方向拡大／縮小レジスタ (XS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Mantissa X[3:0]				Fraction X[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~12	Mantissa X [3:0]	H'0	R/W	mantissaX X 方向の拡大・縮小スケール値をそれぞれの mantissaX、fractionX により設定します。 このレジスタ値は、(ライン当たりの入力画素数) / (ライン当たりのメモリに出力された画素数) を示し下記の式に従います。 X スケール値 = 4096 / (4096 × MantissaX + FractionX) ただし、拡大は最大 2 倍までのスケール値のみ可能です。2 倍以上の設定値は無視されます。 生成画素は Coefficient Set CnA (n=1~8) レジスタによるマルチフェーズフィルタによって生成されます。 mantissaX、fractionX がともに 0 ならば、スケール無効になります。
11~0	Fraction X [11:0]	H'000	R/W	fractionX

入力画素 720 ピクセルのときの代表的な設定例および縮小・拡大率を以下に示します。

表 13.4 X スケール設定例

出力画素	縮小・拡大率	設定値
680	0.943	H'10F8
800	1.111	H'0E68
854	1.185	H'0D80

13.4.22 係数セットレジスタ (CnA、CnC、CnB) (n=1~8)

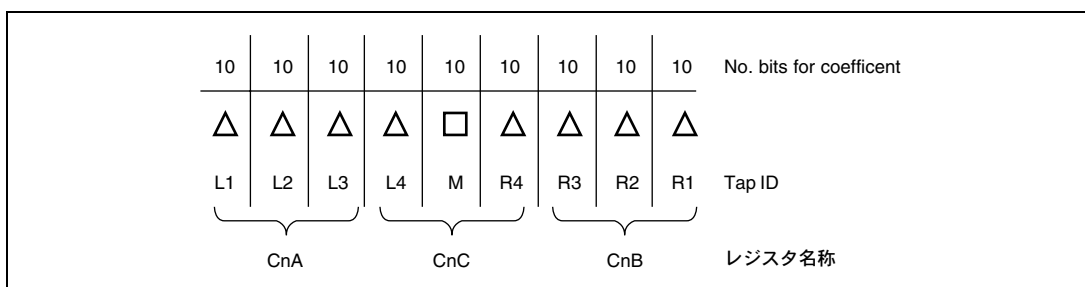


図 13.7 タップ係数のビットサイズ

図 13.7 は 9 つのタップの各係数に使用されるビット数を示します。それぞれの 8 つの係数は、以下に参照される 3 種類の 32 ビットレジスタからなります。各係数の MSB はサインビットです。

- 係数セットレジスタCnA (n=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	L1[9:0]										L2[9:6]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L2[5:0]						L3[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 係数セットレジスタCnB (n=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	R1[9:0]										R2[9:6]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R2[5:0]						R3[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 係数セットレジスタCnC (n=1~8)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	R4[9:0]										L4[9:6]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L4[5:0]						M[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ここで、n は係数セット番号です。

13.4.23 データモードレジスタ (DMR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	BPSM	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	BPSM	0	R/W	出力データバイトスワップモード 0: 出力データのバイト入れ替えを行いません (初期値) 1: 出力データのバイト入れ替えを行います 【注】 ビッグエンディアンで 422-YCbCr データを出力する場合、通常 YUYV 形式での転送となります。UYVY 形式で転送する際は本ビットを 1 に設定してください。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

13.5 プログラム例

ビデオ入力モジュール設定のプログラム例を説明します。

- ビデオ入力レジスタの初期設定
- X方向フィルタ係数を設定する関数

13.5.1 ビデオ入力 1 レジスタの初期設定例

リスト 1 に、ビデオ入力レジスタの初期設定ルーチン例を示します。この例では、NTSC (画像サイズ: 720×480) の動画を 360×240 に縮小し、NTSC のフィールド 1 および 2 をそれぞれのフレームメモリに取り込みます。setVideoReg() は、ビデオ入力レジスタを設定する関数です。この関数の第 1 引数はビデオ入力レジスタのアドレス、第 2 引数はそのアドレスに設定する値です。

リスト 1: ビデオ入力レジスタの初期設定ルーチン例

```

1.      setVideoReg (vi_mc, 0x000B);
2.      setVideoReg (vi_slprc, 0x0000);      // SLPrC = 0
3.      setVideoReg (vi_elprc, 0x00EF);      // ELPrC = 239
4.      setVideoReg (vi_spprc, 0x0000);      // SPPrC = 0
5.      setVideoReg (vi_epprc, 0x02CF);      // EPPoC = 719
6.      setVideoReg (vi_slpoc, 0x0000);      // SLPoC = 0
7.      setVideoReg (vi_elpoc, 0x00EF);      // ELPoC = 239
8.      setVideoReg (vi_sppoc, 0x0000);      // SPPoC = 0
9.      setVideoReg (vi_eppoc, 0x0167);      // EPPoC = 359
10.     setVideoReg (vi_xs, 0x2000);
11.     setVideoReg (vi_ys, 0x0000);
12.     setVideoReg (vi_mbl, 0x00300000);
13.     setVideoReg (vi_mb2, 0x00380000);
14.     setVideoReg (vi_mb3, 0x00400000);
15.     setVideoReg (vi_is, 0x0200);
16.     setVideoReg (vi_ie, 0x0000);
17.     setVideoReg (vi_ints, 0x0000);
18.     setVideoReg (vi_si, 0x0001);
19.     //===== video_in coeff registers =====
20.     setVideoReg (vi_c1a, 0x000fa400);
21.     setVideoReg (vi_c1b, 0x000fa400);
22.     setVideoReg (vi_c1c, 0x09625902);
23.     setVideoReg (vi_c2a, 0x00000000);
24.     setVideoReg (vi_c2b, 0x00000000);
25.     setVideoReg (vi_c2c, 0x00000000);

```

```
26.     setVideoReg (vi_c3a, 0x00000000);
27.     setVideoReg (vi_c3b, 0x00000000);
28.     setVideoReg (vi_c3c, 0x00000000);
29.     setVideoReg (vi_c4a, 0x00000000);
30.     setVideoReg (vi_c4b, 0x00000000);
31.     setVideoReg (vi_c4c, 0x00000000);
32.     setVideoReg (vi_c5a, 0x00000000);
33.     setVideoReg (vi_c5b, 0x00000000);
34.     setVideoReg (vi_c5c, 0x00000000);
35.     setVideoReg (vi_c6a, 0x00000000);
36.     setVideoReg (vi_c6b, 0x00000000);
37.     setVideoReg (vi_c6c, 0x00000000);
38.     setVideoReg (vi_c7a, 0x00000000);
39.     setVideoReg (vi_c7b, 0x00000000);
40.     setVideoReg (vi_c7c, 0x00000000);
41.     setVideoReg (vi_c8a, 0x00000000);
42.     setVideoReg (vi_c8b, 0x00000000);
43.     setVideoReg (vi_c8c, 0x00000000);
44.     //===== Continuous capture starts =====
45.     setVideoReg (vi_fc, 0x0002);
```

【注】 15. setVideoReg (vi_is, 0x0200); は、メモリコントローラでリニアタイル変換を行わない場合は
15. setVideoReg (vi_is, 0x0168); も可能です。

13.5.2 X 方向フィルタ係数を設定する関数

本ビデオ入力モジュールでは、X 方向の縮小に用いるフィルタタップは 9 つです。このアーキテクチャでは、十分な画像品質を得るために必要なフィルタ係数は、生成する画素の位置と画像の縮小率により異なります。

一般に、高品質の縮小画像を得るには、縮小率に応じて周波数帯を制限し、画像のリングングが発生しないようにします。ローパスフィルタは、一般に、高品質の画像を得るためには非常に多数のタップを必要としますが、ここでは、限られたタップ数で高品質を達成できるようなフィルタ特性が求められます。二乗余弦関数は、これを実現する特性を持つものとして知られています。リスト 2 に、この関数を用いた、ビデオ入力モジュールに適したフィルタ係数を求めるプログラムを示します。

リスト 2 に示す関数 `gen_tap` は、`creg[]`、`xs`、`alpha100` を引数として用います。フィルタ係数 `creg[]`、`xs` は、引数 `xs` および `alpha100` に値を代入することで、設定することができます。これらの引数の詳細について、下表に示します。

引数	型	説明
<code>creg[]</code>	Unsigned long	CnA/CnB/CnC レジスタ (n = 1~8) の設定値。配列の最初の添字は、生成する画素の位置を示します。2 番目の添字は 0 は CnA、1 は CnB、2 は CnC を示します。たとえば、 <code>creg[5][2]</code> は C6C レジスタを示します。
<code>xs</code>	Unsigned long	ビデオ入力モジュールの X 方向縮小レジスタ (XS) の値。H'1000 から H'FFFF の範囲で、正の数を指定してください。
<code>alpha100</code>	Int	二乗余弦関数の<値 (減衰比) の 100 倍値。0 ≤ alpha100 ≤ 100 の範囲で、正の数を指定してください。

二乗余弦関数の<値 (減衰比) が 0 に近いほど、ローパスフィルタの特性が、より適切になります。しかし、ビデオ入力モジュールで用いるフィルタのタップ数には制限があるため (9 タップ)、適切な特性が得られない場合があり、擬似輪郭が発生します。 α が 1 に近づくと、周波数特性はローパスフィルタのカットオフ値にむけて曲線がなだらかになるため、輪郭がぼやけます。

したがって、<値を 0.6 (`alpha100=60`) に設定します。

リスト 2: X 方向フィルタ係数を設定する関数

```

1.     #include <stdio.h>
2.     #include <math.h>
3.
4.     #define MAXBSIZ 255
5.     #define TAPSIDE 4
6.     #define TAPNUM (TAPSIDE*2+1)
7.     #define TAPDIV 8
8.
9.     #define CLIP 512
10.    #define SCLE 512
11.

```

```

12.         // control option
13.         #define COEFFCLIP 1
14.
15.         // #define DISPLAY
16.         // doublecoeff[TAPNUM*TAPDIV];
17.         // intc[TAPDIV][TAPNUM];
18.
19.         char
20.         gen_tap( unsigned long creg[][3], unsigned long xs, int alpha100 )
21.         {
22.             charoverflag;
23.
24.             inti, iofst j, k;
25.
26.             doublex, T, tT;
27.             doublecoeff[TAPNUM*TAPDIV];
28.             intc[TAPDIV][TAPNUM]
29.             doublecoeff_diff;
30.             doublesum;
31.             intsumd;
32.             doublealpha;
33.             // Raised Cosine Characteristics Model
34.             // 0.0 <= alpha <= 1.0
35.             // 0 <= alpha100 <= 100
36.             if ((XS & 0xf000) == 0)           //拡大時にはxsを2倍する。
37.                 XS * = 2.0;
38.             alpha = (double)(alpha100)/(double)100;
39.             //
40.             // calc coeff (double order)
41.             //
42.             T = (double)((unsigned long)(xs>>9));
43.             for ( j = 0; j < TAPDIV; j++) {
44.                 for ( I = -TAPSIDE; I <= TAPSIDE; I++) {
45.                     k = -j + I * TAPDIV;
46.                     iofst = k + (TAPSIDE+1)*TAPDIV-1;
47.                     if ( alpha100 == 0 ) {
48.                         if ( k == 0 ) coeff[iofst] = 1.0;
49.                     } else {

```

```
50.     x = (double)M_PI*(double)k/T;
51.     coeff[iofst] = sin( x ) / x;
52.     }
53.     }
54.     else {
55.     if ( k == 0 ) coeff[iofst] = 1.0;
56.     else {
57.     x = (double)M_PI* (double)k/T;
58.     sum = (double)4.0 * (double)(alpha100*alpha100) * (double)(k*k);
59.     tT = (double)1.0 - sum/T/T/(double)10000;
60.     /*                                     */
61.     /* if tT == 0 -> lim f(tT) = sin(PI/2alpha)/PI/2alpha * PI/4 */
62.     /*           tT -> 0                                     */
63.     if ( sum == T*T* (double)10000 ) {
64.     coeff[iofst] = sin((double)M_PI/(2.0*alpha))/((double)M_PI/
65.     (2.0*alpha)) * (double)M_PI/4.0;
66.     }
67.     else {
68.     coeff[iofst] = (sin(x)/x) * (cos(alpha*x)/tT);
69.     }
70.     }
71.     }
72.     }
73.
74.     //
75.     // trans : double -> integer
76.     //
77.     overflag = 0;
78.     for ( j = 0; j < TAPDIV; j++) {
79.     sum = 0.0;
80.     for ( i = -TAPSIDE; i <= TAPSIDE; i++) {
81.     k = -j + i * 8;
82.     k += (TAPSIDE+1) *TAPDIV-1;
83.     sum += coeff[k];
84.     }
85.
86.     coeff_diff = 0.0;
```

```

87.         sumd = 0;
88.         for ( i = -TAPSIDE; i < ((j<=(TAPDIV/2)) ? 0 : 1); i++) {
89.             k = -j + i * 8;
90.             k += (TAPSIDE+1)*TAPDIV-1;
91.             iofst = i+TAPSIDE;
92.             c[j][iofst] = (int)( (double)SCLE*(coeff[k]/sum) + coeff_diff );
93.
94.             // for jitter
95.             coeff_diff = (double)SCLE*(coeff[k]/sum) - (double)c[j][iofst];
96.             sumd += c[j][iofst];
97.             if( c[j][iofst] >= CLIP || c[j][iofst] < -CLIP ) {
98.                 overflag = 1;
99.             }
100.        }
101.        coeff_diff = 0.0;
102.        for ( i = TAPSIDE; i >= ((j<=(TAPDIV/2)) ? 0 : 1); i-- ) {
103.            k = -j + i * 8;
104.            k += (TAPSIDE+1)*TAPDIV-1;
105.            iofst = i+TAPSIDE;
106.            c[j][iofst] = (int)( (double)SCLE*(coeff[k]/sum) + coeff_diff );
107.
108.            // for jitter
109.            if ( i != ((j<=(TAPDIV/2)) ? 0 : 1) ) {
110.                coeff_diff = ((double)SCLE*(coeff[k]/sum)) - (double)c[j][iofst];
111.                sumd += c[j][iofst];
112.            }
113.            else {
114.                c[j][iofst] = SCLE - sumd;
115.            }
116.            if( c[j][iofst] >= CLIP || c[j][iofst] < -CLIP ) {
117.                overflag = 1;
118.            }
119.        }
120.
121.        //
122.        // when coeff[center] == CLIP && coeff[else] == 0 then coeff
        [center]--
123.        //

```

```
124.     if ( COEFFCLIP && overflag == 1) {
125.     for ( i = -TAPSIDE; i <= TAPSIDE; i++) {
126.     iofst = i+TAPSIDE;
127.     if( c[j][iofst] >= CLIP ) {
128.     c[j][iofst] = CLIP-1;
129.     }
130.     else if( c[j][iofst] < -CLIP ) {
131.     c[j][iofst] = -CLIP;
132.     }
133.     }
134.     overflag = 0;
135.     }
136.     }
137.
138.     for ( j = 0; j < TAPDIV; j++) {
139.     creg[j][0] = ((unsigned long)c[j][8]&0x3ff)<<20;
140.     creg[j][0] |= ((unsigned long)c[j][7]&0x3ff)<<10;
141.     creg[j][0] |= ((unsigned long)c[j][6]&0x3ff);
142.
143.     creg[j][1] = ((unsigned long)c[j][0]&0x3ff)<<20;
144.     creg[j][1] |= ((unsigned long)c[j][1]&0x3ff)<<10;
145.     creg[j][1] |= ((unsigned long)c[j][2]&0x3ff);
146.
147.     creg[j][2] = ((unsigned long)c[j][3]&0x3ff)<<20;
148.     creg[j][2] |= ((unsigned long)c[j][5]&0x3ff)<<10;
149.     creg[j][2] |= ((unsigned long)c[j][4]&0x3ff);
150.     }
151.
152.     return( overflag );
153.
154.     }
```


13.6 使用上の注意事項

13.6.1 拡大スケーリングの注意事項

本モジュールの拡大機能を使用した場合、ビデオ画像のみの表示を推奨します。

本モジュールはキャプチャデータをメモリコントローラのアクセス制御に従いメモリに転送します。

ここで、拡大設定と本モジュール以外のアクセスが混在したとき、メモリコントローラによるリアルタイム性が満たされない場合があります。詳細はメモリコントローラ項目を参照してください。

14. ディスプレイユニット (DU)

14.1 DU の概要

14.1.1 特長

表示チャンネル

表示チャンネル数は、1 チャンネルです。

プレーン

従来、フォアグラウンド、バックグラウンドあるいはカーソルと呼んでいた表示面を本章ではプレーンと呼びます。プレーンは最大 WXGA (1280×768) が表示可能*です。各プレーンは内蔵レジスタ設定によりパラメータの独立設定が可能です。また、内蔵レジスタ設定により表示優先順位の設定が可能です。

【注】 * 高解像度表示の場合、合成するプレーン面数や表示サイズによりユニファイドメモリのトラフィック量が多くなり、トラフィック量起因による制限が発生する場合があります。

- 表示サイズ
- 表示位置
- 画像データフォーマット (8bit/pixel、16bit/pixel、32bit/pixel、ARGB、YC)
- プレーンの重ね合わせ
- スクロール
- ラップアラウンド
- ブリンキング
- バッファ制御

内蔵レジスタ設定により 4 種類の制御モードの選択が可能です。

- オートレンダリングモード (ダブルバッファ)
- マニュアルディスプレイチェンジモード (ダブルバッファ)
- オートディスプレイチェンジモード (ダブルバッファ)
- ビデオキャプチャモード (トリプルバッファ)

プレーンの種類と数

画像データとアルファ値を兼用しているプレーン（表示プレーン）8面を使用可能です。

表示プレーンは、最大8画面で重ね合わせが可能です。プレーンはチャンネル固定ではなくレジスタで任意に選択することができます。

同期方式

表示出力タイミングを内蔵レジスタ設定により3種類の同期モードの選択が可能です。

- マスタモード（内部同期モード）
- TV同期モード（外部同期モード）
- 同期方式切り替えモード

CRT スキャンモード（CRT 走査方式）

内蔵レジスタ設定により3種類のスキャンモードの選択が可能です。

- ノンインタレースモード
- インタレースシンクモード
- インタレースシンク&ビデオモード

YC→RGB 色空間変換機能

YC形式で格納された画像データをRGB色空間に変換し、ウィンドウ表示が可能です。変換係数はレジスタ設定が可能です。（ただし、同時に2画素以上をRGB色空間に変換できません。）

YUV422およびYUV420フォーマットをRGB色空間に変換できます。

カラーパレット

26万色中、同時に256色の表示可能な4面のカラーパレットを内蔵し、プレーンの画像フォーマットにおいて8bit/pixelデータ選択時に、4面のうち1つを選択可能です。また、256色ごとに8ビットのブレンド比を持っています。

表示キャプチャ

出力するデジタルRGB888データまたはRGB666データをRGB565データまたはARGB1555データに変換しそれぞれ別の外部メモリに格納可能です。

レジスタアクセス制御

制御レジスタを内蔵し、HPB からの HPB プロトコルに従ったレジスタライト・リードが可能です。アクセスサイズは 32 ビット固定です。

ディスプレイアウトコンペア

表示出力データが期待値どおりのデータとなっているかを検知可能です。本機能は、任意のプレーンの領域を指定して CRC を計算し、あらかじめ計算された CRC 期待値と比較します。

14.1.2 ブロック図

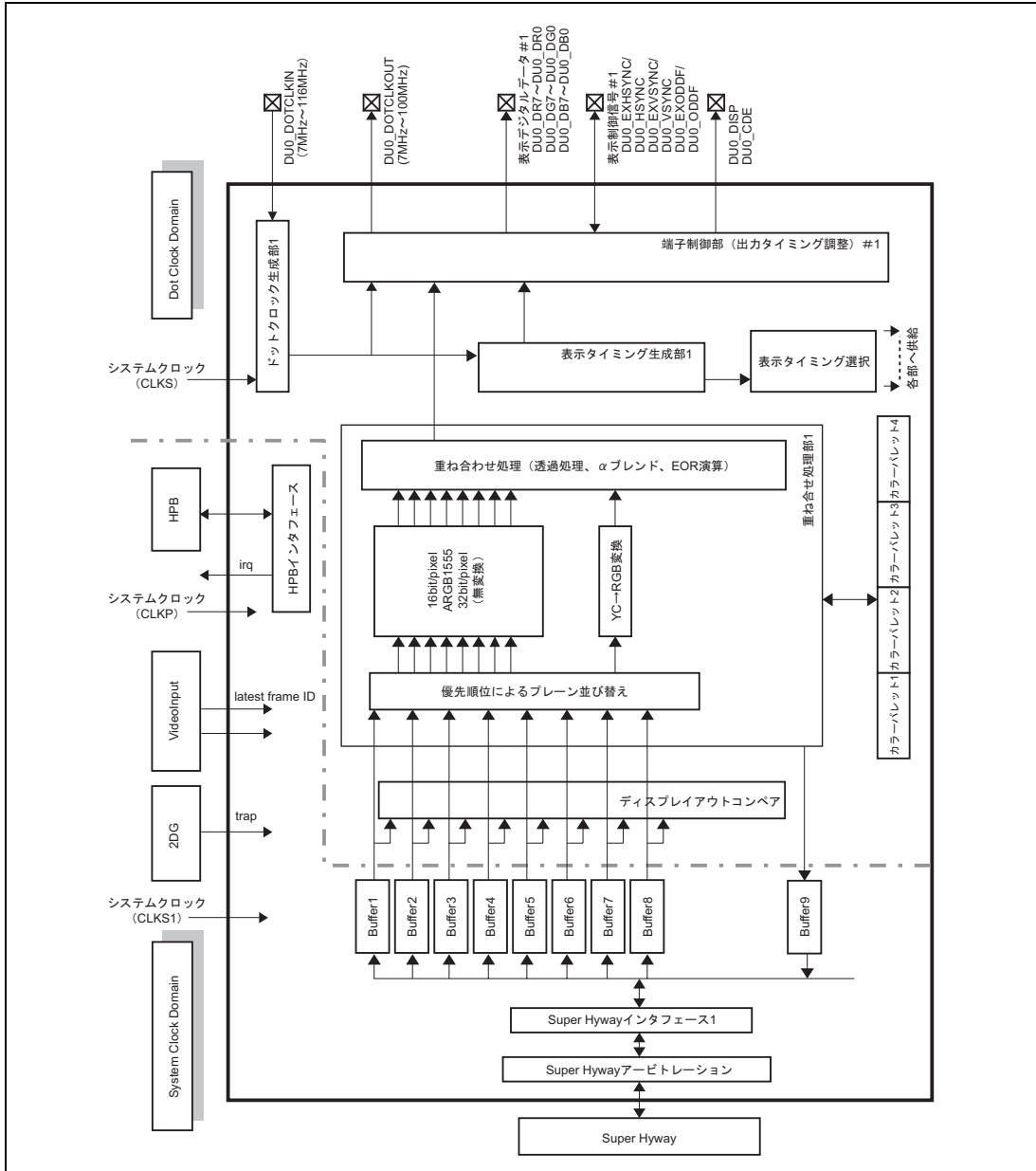


図 14.1 DU ブロック図

14.1.3 外部端子

表 14.1 端子機能 (DU0)

名称	端子名	入出力	機能	本章内信号名
DU0 入力ドットクロック	DU0_DOTCLKIN	入力	入力ドットクロック	DCLKIN
DU0 出力ドットクロック	DU0_DOTCLKOUT	出力	出力ドットクロック	DCLKOUT
DU0 水平同期出力/ DU0 外部水平同期入力	DU0_HSYNC/ DU0_EXHSYNC	入出力	コンポジット同期出力信号 (初期値) 水平同期出力/ 外部水平同期入力	CSYNC HSYCN または EXHSYNC*
DU0 垂直同期出力/ DU0 外部垂直同期入力	DU0_VSYNC/ DU0_EXVSYNC	入出力	垂直同期出力/ 外部垂直同期入力 (初期値) コンポジット同期出力信号	VSYNC または EXVSYNC* CSYNC
DU0 奇数・偶数フィールド	DU0_ODDF/ DU0_EXODDF	入出力	奇数・偶数フィールド (初期値) CLAMP 出力信号	ODDF または EXODDF* CLAMP
DU0 表示期間	DU0_DISP	出力	表示期間 (初期値) コンポジット同期出力信号 DE 出力信号	DISP CSYNC DE
DU0 色検出	DU0_CDE	出力	色検出	CDE
DU0 表示データ	DU0_DR0	出力	デジタル 0 Red 0	デジタル RGB
	DU0_DR1	出力	デジタル 0 Red 1	
	DU0_DR2	出力	デジタル 0 Red 2	
	DU0_DR3	出力	デジタル 0 Red 3	
	DU0_DR4	出力	デジタル 0 Red 4	
	DU0_DR5	出力	デジタル 0 Red 5	
	DU0_DR6	出力	デジタル 0 Red 6	
	DU0_DR7	出力	デジタル 0 Red 7	
	DU0_DG0	出力	デジタル 0 Green 0	
	DU0_DG1	出力	デジタル 0 Green 1	
	DU0_DG2	出力	デジタル 0 Green 2	
	DU0_DG3	出力	デジタル 0 Green 3	
	DU0_DG4	出力	デジタル 0 Green 4	
	DU0_DG5	出力	デジタル 0 Green 5	
	DU0_DG6	出力	デジタル 0 Green 6	
	DU0_DG7	出力	デジタル 0 Green 7	
	DU0_DB0	出力	デジタル 0 Blue 0	
	DU0_DB1	出力	デジタル 0 Blue 1	
	DU0_DB2	出力	デジタル 0 Blue 2	
	DU0_DB3	出力	デジタル 0 Blue 3	

名称	端子名	入出力	機能	本章内信号名
DU0 表示データ	DU0_DB4	出力	デジタル 0 Blue 4	デジタル RGB
	DU0_DB5	出力	デジタル 0 Blue 5	
	DU0_DB6	出力	デジタル 0 Blue 6	
	DU0_DB7	出力	デジタル 0 Blue 7	

- 【注】 * 入力の信号として説明するときは EXHSYNC、EXVSYNC、EXODDF として表記し、それ以外は HSYNC、VSYNC、ODDF として表記します。
- ・デジタル 0 とデジタル 1 を同時に出力する場合はデジタル 0 は出力ドットクロック立ち上がり同期、デジタル 1 は立ち下がり同期になります。
 - ・デジタル 0 のみ出力する場合の同期は出力信号タイミング調整レジスタ (OTAR) の設定値に従います。
 - ・本章では特に断らないかぎり、ドットクロックは出力ドットクロックを表します。

14.2 レジスタ構成

Display Unit ではレジスタに設定した値の反映のされ方が外部更新と内部更新の2通りあります。

(1) 外部更新

外部更新とは、CPU によるアドレスマップドレジスタへの設定値が、CPU のアクセス終了後に反映される更新のことをいいます。また、表示制御に関係するレジスタ（たとえば表示システム制御レジスタ）で、外部更新にて設定値が更新されるレジスタは、垂直ブランキング期間の開始位置を示す表示ステータスレジスタ (DSSR) における VBK フラグ、および FRM フラグを利用することで、表示のちらつきなく書き換えることが可能です。

(2) 内部更新

内部更新とは、アドレスマップドレジスタに設定された値が Display Unit の内部の更新タイミングで反映される更新をいいます。このため、内部更新機能付きレジスタの場合、CPU が表示タイミングを意識せずに表示動作に関するアドレスマップドレジスタを書き換えても、表示のちらつきを生じさせないようにすることができます。

内部更新は表示システム制御レジスタ (DSYSR) における表示リセット (DRES) ビット=1 の期間および毎フレームの先頭で行います。毎フレームの先頭で行う内部更新は、表示システム制御レジスタ (DSYSR) /IUPD (内部更新ディスエーブル) で禁止することができます。

内部更新のうち表示システム制御レジスタ (DSYSR) の表示リセット (DRES) にセットすることによって内部更新されるビットはレジスタ一覧表の「内部更新機能を持つビット」欄に明記してあります。

インタレースシンク&ビデオモードにおけるプレーン n 開始位置 X,Y レジスタ (PnSPXR、PnSPYR) は、フィールドの先頭においても内部更新されます。

更新のタイミングは、表示制御レジスタ (DSYSR) の同期方式が、マスタモード (TVM1=0、TVM0=0) のときは VSYNC の立ち下がり設定時となり、TV 同期モード (TVM1=1、TVM0=0) のときは EXVSYNC の立ち下がり検出時となります。また、同期方式移行モード (TVM1=0、TVM0=1) のときは内部更新を行いません。

ただし、プレーン n 表示領域開始アドレスレジスタ 0、プレーン n 表示領域開始アドレスレジスタ 1 およびプレーン n 表示領域開始アドレスレジスタ 2 は、表示動作のとき内部更新となり、ビデオデータおよび描画データをこれらのレジスタに設定したアドレスに書き込むときは外部更新となります。

内部更新機能付きのアドレスマップドレジスタを表 14.2～表 14.21 に示します。これらのレジスタの初期設定は、DRES ビット=1 の期間に行ってください。

(3) 表示制御レジスタ構成

表 14.2 表示制御レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を 持つビット
表示システム制御 レジスタ	DSYSR	R/W	H'FFF80000	H'1FF80000	32	DSEC (ビット 20) DEN (ビット 8)
表示モードレジスタ	DSMR	R/W	H'FFF80004	H'1FF80004	32	全ビット ただし下記ビットは DRES で更新 VSPM (ビット 28) ODPM (ビット 27) DIPM (ビット 26、25) CSPM (ビット 24) DIL (ビット 19) VSL (ビット 18) HSL (ビット 17)
表示ステータスレジスタ	DSSR	R	H'FFF80008	H'1FF80008	32	なし
表示ステータスレジスタ クリアレジスタ	DSRCR	W	H'FFF8000C	H'1FF8000C	32	なし
表示割り込み許可 レジスタ	DIER	R/W	H'FFF80010	H'1FF80010	32	なし
カラーパレット制御 レジスタ	CPCR	R/W	H'FFF80014	H'1FF80014	32	全ビット
表示プレーン優先順位 レジスタ	DPPR	R/W	H'FFF80018	H'1FF80018	32	全ビット
表示拡張機能制御 レジスタ	DEFR	R/W	H'FFF80020	H'1FF80020	32	下記ビットは DRES で更新 EXSL (ビット 12) EXUP (ビット 5) VCUP (ビット 4) DEFE (ビット 0)
表示キャプチャ制御 レジスタ	DCPCR	R/W	H'FFF80028	H'FFF80028	32	全ビット
表示拡張機能制御 レジスタ 2	DEFR2	R/W	H'FFF80034	H'1FF80034	32	全ビット DRES で更新
表示拡張機能制御 レジスタ 3	DEFR3	R/W	H'FFF80038	H'1FF80038	32	全ビット ただし下記ビットは DRES で更新 DEFE3 (ビット 0)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を 持つビット
表示拡張機能制御 レジスタ4	DEFR4	R/W	H'FFF8003C	H'1FF8003C	32	全ビット ただし下記ビットは DRESで更新 LRUO (ビット5) SPCE (ビット4)
表示ビデオキャプチャ ステータスレジスタ	DVCSR	R	H'FFF800D0	H'1FF800D0	32	なし

表 14.3 表示制御レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
表示システム制御レジスタ	DSYSR	H'00000280	H'00000280	保持
表示モードレジスタ	DSMR	H'00000000	H'00000000	保持
表示ステータスレジスタ	DSSR	H'30000000	H'30000000	保持
表示ステータスレジスタクリアレジスタ	DSRCR	不定	保持	保持
表示割り込み許可レジスタ	DIER	H'00000000	H'00000000	保持
カラーパレット制御レジスタ	CPCR	H'00000000	H'00000000	保持
表示プレーン優先順位レジスタ	DPPR	H'76543210	H'76543210	保持
表示拡張機能制御レジスタ	DEFR	H'00000000	H'00000000	保持
表示キャプチャ制御レジスタ	DCPCR	H'00000000	H'00000000	保持
表示拡張機能制御レジスタ2	DEFR2	H'00000000	H'00000000	保持
表示拡張機能制御レジスタ3	DEFR3	H'00000000	H'00000000	保持
表示拡張機能制御レジスタ4	DEFR4	H'00000000	H'00000000	保持
表示ビデオキャプチャステータスレジスタ	DVCSR	H'00000000	H'00000000	保持

(4) 表示タイミング生成レジスタ構成

表 14.4 表示タイミング生成レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を 持つビット
水平表示開始位置レジスタ	HDSR	R/W	H'FFF80040	H'1FF80040	32	全ビット
水平表示終了位置レジスタ	HDER	R/W	H'FFF80044	H'1FF80044	32	全ビット
垂直表示開始位置レジスタ	VDSR	R/W	H'FFF80048	H'1FF80048	32	全ビット
垂直表示終了位置レジスタ	VDER	R/W	H'FFF8004C	H'1FF8004C	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を 持つビット
水平走査周期レジスタ	HCR	R/W	H'FFF80050	H'1FF80050	32	全ビット
水平同期パルス幅レジスタ	HSWR	R/W	H'FFF80054	H'1FF80054	32	全ビット
垂直走査周期レジスタ	VCR	R/W	H'FFF80058	H'1FF80058	32	全ビット
垂直同期位置レジスタ	VSPR	R/W	H'FFF8005C	H'1FF8005C	32	全ビット
等価パルス幅レジスタ	EQWR	R/W	H'FFF80060	H'1FF80060	32	全ビット
セレーション幅レジスタ	SPWR	R/W	H'FFF80064	H'1FF80064	32	全ビット
CLAMP 信号開始位置レジスタ	CLAMPSCR	R/W	H'FFF80070	H'1FF80070	32	全ビット
CLAMP 信号幅レジスタ	CLAMPWR	R/W	H'FFF80074	H'1FF80074	32	全ビット
DE 信号開始位置レジスタ	DESR	R/W	H'FFF80078	H'1FF80078	32	全ビット
DE 信号幅レジスタ	DEWR	R/W	H'FFF8007C	H'1FF8007C	32	全ビット

表 14.5 表示タイミング生成レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
水平表示開始位置レジスタ	HDSR	不定	保持	保持
水平表示終了位置レジスタ	HDER	不定	保持	保持
垂直表示開始位置レジスタ	VDSR	不定	保持	保持
垂直表示終了位置レジスタ	VDER	不定	保持	保持
水平走査周期レジスタ	HCR	不定	保持	保持
水平同期パルス幅レジスタ	HSWR	不定	保持	保持
垂直走査周期レジスタ	VCR	不定	保持	保持
垂直同期位置レジスタ	VSPR	不定	保持	保持
等価パルス幅レジスタ	EQWR	不定	保持	保持
セレーション幅レジスタ	SPWR	不定	保持	保持
CLAMP 信号開始位置レジスタ	CLAMPSCR	不定	保持	保持
CLAMP 信号幅レジスタ	CLAMPWR	不定	保持	保持
DE 信号開始位置レジスタ	DESR	不定	保持	保持
DE 信号幅レジスタ	DEWR	不定	保持	保持

(5) 表示属性レジスタ構成

表 14.6 表示属性レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 持つビット
カラーパレット1透過色 レジスタ	CP1TR	R/W	H'FFF80080	H'1FF80080	32	全ビット
カラーパレット2透過色 レジスタ	CP2TR	R/W	H'FFF80084	H'1FF80084	32	全ビット
カラーパレット3透過色 レジスタ	CP3TR	R/W	H'FFF80088	H'1FF80088	32	全ビット
カラーパレット4透過色 レジスタ	CP4TR	R/W	H'FFF8008C	H'1FF8008C	32	全ビット
表示オフ時出力レジスタ	DOOR	R/W	H'FFF80090	H'1FF80090	32	全ビット
色検出レジスタ	CDER	R/W	H'FFF80094	H'1FF80094	32	全ビット
下地色レジスタ	BPOR	R/W	H'FFF80098	H'1FF80098	32	全ビット
ラスト割り込みオフセット レジスタ	RINTOFSR	R/W	H'FFF8009C	H'1FF8009C	32	全ビット
表示 SuperHyway プライオリ ティレジスタ	DSHPR	R/W	H'FFF800C8	H'1FF800C8	32	全ビット DRES で更新

表 14.7 表示属性レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
カラーパレット1透過色レジスタ	CP1TR	H'00000000	H'00000000	保持
カラーパレット2透過色レジスタ	CP2TR	H'00000000	H'00000000	保持
カラーパレット3透過色レジスタ	CP3TR	H'00000000	H'00000000	保持
カラーパレット4透過色レジスタ	CP4TR	H'00000000	H'00000000	保持
表示オフ時出力レジスタ	DOOR	不定	保持	保持
色検出レジスタ	CDER	不定	保持	保持
下地色レジスタ	BPOR	不定	保持	保持
ラスト割り込みオフセットレジスタ	RINTOFSR	不定	保持	保持
表示 SuperHyway プライオリティレジスタ	DSHPR	H'000000A8	H'000000A8	保持

(6) 表示プレーンレジスタ構成

表 14.8 表示プレーンレジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を持 つビット
プレーン1モードレジスタ	P1MR	R/W	H'FFF80100	H'1FF80100	32	全ビット
プレーン1メモリ幅レジスタ	P1MWR	R/W	H'FFF80104	H'1FF80104	32	全ビット
プレーン1ブレンド比レジスタ	P1ALPHAR	R/W	H'FFF80108	H'1FF80108	32	全ビット
プレーン1表示サイズXレジスタ	P1DSXR	R/W	H'FFF80110	H'1FF80110	32	全ビット
プレーン1表示サイズYレジスタ	P1DSYR	R/W	H'FFF80114	H'1FF80114	32	全ビット
プレーン1表示位置Xレジスタ	P1DPXR	R/W	H'FFF80118	H'1FF80118	32	全ビット
プレーン1表示位置Yレジスタ	P1DPYR	R/W	H'FFF8011C	H'1FF8011C	32	全ビット
プレーン1表示領域開始アドレス 0レジスタ	P1DSA0R	R/W	H'FFF80120	H'1FF80120	32	全ビット
プレーン1表示領域開始アドレス 1レジスタ	P1DSA1R	R/W	H'FFF80124	H'1FF80124	32	全ビット
プレーン1表示領域開始アドレス 2レジスタ	P1DSA2R	R/W	H'FFF80128	H'1FF80128	32	全ビット
プレーン1開始位置Xレジスタ	P1SPXR	R/W	H'FFF80130	H'1FF80130	32	全ビット
プレーン1開始位置Yレジスタ	P1SPYR	R/W	H'FFF80134	H'1FF80134	32	全ビット
プレーン1ラップアラウンド開始 位置レジスタ	P1WASPR	R/W	H'FFF80138	H'1FF80138	32	全ビット
プレーン1ラップアラウンドメモ リ幅レジスタ	P1WAMWR	R/W	H'FFF8013C	H'1FF8013C	32	全ビット
プレーン1プリンキング周期レジ スタ	P1BTR	R/W	H'FFF80140	H'1FF80140	32	全ビット
プレーン1透過色1レジスタ	P1TC1R	R/W	H'FFF80144	H'1FF80144	32	全ビット
プレーン1透過色2レジスタ	P1TC2R	R/W	H'FFF80148	H'1FF80148	32	全ビット
プレーン1メモリ長レジスタ	P1MLR	R/W	H'FFF80150	H'1FF80150	32	全ビット
プレーン1スワップ制御レジスタ	P1SWAPR	R/W	H'FFF80180	H'1FF80180	32	全ビット
プレーン1表示データ制御レジス タ	P1DDCR	R/W	H'FFF80184	H'1FF80184	32	全ビット
プレーン1表示データ制御レジス タ2	P1DDCR2	R/W	H'FFF80188	H'1FF80188	32	全ビット
プレーン2モードレジスタ	P2MR	R/W	H'FFF80200	H'1FF80200	32	全ビット
プレーン2メモリ幅レジスタ	P2MWR	R/W	H'FFF80204	H'1FF80204	32	全ビット
プレーン2ブレンド比レジスタ	P2ALPHAR	R/W	H'FFF80208	H'1FF80208	32	全ビット
プレーン2表示サイズXレジスタ	P2DSXR	R/W	H'FFF80210	H'1FF80210	32	全ビット
プレーン2表示サイズYレジスタ	P2DSYR	R/W	H'FFF80214	H'1FF80214	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
プレーン2表示位置Xレジスタ	P2DPXR	R/W	H'FFF80218	H'1FF80218	32	全ビット
プレーン2表示位置Yレジスタ	P2DPYR	R/W	H'FFF8021C	H'1FF8021C	32	全ビット
プレーン2表示領域開始アドレス 0レジスタ	P2DSA0R	R/W	H'FFF80220	H'1FF80220	32	全ビット
プレーン2表示領域開始アドレス 1レジスタ	P2DSA1R	R/W	H'FFF80224	H'1FF80224	32	全ビット
プレーン2表示領域開始アドレス 2レジスタ	P2DSA2R	R/W	H'FFF80228	H'1FF80228	32	全ビット
プレーン2開始位置Xレジスタ	P2SPXR	R/W	H'FFF80230	H'1FF80230	32	全ビット
プレーン2開始位置Yレジスタ	P2SPYR	R/W	H'FFF80234	H'1FF80234	32	全ビット
プレーン2ラップアラウンド開始 位置レジスタ	P2WASPR	R/W	H'FFF80238	H'1FF80238	32	全ビット
プレーン2ラップアラウンドメモ リ幅レジスタ	P2WAMWR	R/W	H'FFF8023C	H'1FF8023C	32	全ビット
プレーン2プリンキング周期レジ スタ	P2BTR	R/W	H'FFF80240	H'1FF80240	32	全ビット
プレーン2透過色1レジスタ	P2TC1R	R/W	H'FFF80244	H'1FF80244	32	全ビット
プレーン2透過色2レジスタ	P2TC2R	R/W	H'FFF80248	H'1FF80248	32	全ビット
プレーン2メモリ長レジスタ	P2MLR	R/W	H'FFF80250	H'1FF80250	32	全ビット
プレーン2スワップ制御レジスタ	P2SWAPR	R/W	H'FFF80280	H'1FF80280	32	全ビット
プレーン2表示データ制御レジス タ	P2DDCR	R/W	H'FFF80284	H'1FF80284	32	全ビット
プレーン2表示データ制御レジス タ2	P2DDCR2	R/W	H'FFF80288	H'1FF80288	32	全ビット
プレーン3モードレジスタ	P3MR	R/W	H'FFF80300	H'1FF80300	32	全ビット
プレーン3メモリ幅レジスタ	P3MWR	R/W	H'FFF80304	H'1FF80304	32	全ビット
プレーン3ブレンド比レジスタ	P3ALPHAR	R/W	H'FFF80308	H'1FF80308	32	全ビット
プレーン3表示サイズXレジスタ	P3DSXR	R/W	H'FFF80310	H'1FF80310	32	全ビット
プレーン3表示サイズYレジスタ	P3DSYR	R/W	H'FFF80314	H'1FF80314	32	全ビット
プレーン3表示位置Xレジスタ	P3DPXR	R/W	H'FFF80318	H'1FF80318	32	全ビット
プレーン3表示位置Yレジスタ	P3DPYR	R/W	H'FFF8031C	H'1FF8031C	32	全ビット
プレーン3表示領域開始アドレス 0レジスタ	P3DSA0R	R/W	H'FFF80320	H'1FF80320	32	全ビット
プレーン3表示領域開始アドレス 1レジスタ	P3DSA1R	R/W	H'FFF80324	H'1FF80324	32	全ビット
プレーン3表示領域開始アドレス 2レジスタ	P3DSA2R	R/W	H'FFF80328	H'1FF80328	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
ブレーン3 開始位置 X レジスタ	P3SPXR	R/W	H'FFF80330	H'1FF80330	32	全ビット
ブレーン3 開始位置 Y レジスタ	P3SPYR	R/W	H'FFF80334	H'1FF80334	32	全ビット
ブレーン3 ラップアラウンド開始 位置レジスタ	P3WASPR	R/W	H'FFF80338	H'1FF80338	32	全ビット
ブレーン3 ラップアラウンドメモ リ幅レジスタ	P3WAMWR	R/W	H'FFF8033C	H'1FF8033C	32	全ビット
ブレーン3 プリンキング周期レジ スタ	P3BTR	R/W	H'FFF80340	H'1FF80340	32	全ビット
ブレーン3 透過色 1 レジスタ	P3TC1R	R/W	H'FFF80344	H'1FF80344	32	全ビット
ブレーン3 透過色 2 レジスタ	P3TC2R	R/W	H'FFF80348	H'1FF80348	32	全ビット
ブレーン3 メモリ長レジスタ	P3MLR	R/W	H'FFF80350	H'1FF80350	32	全ビット
ブレーン3 スワップ制御レジスタ	P3SWAPR	R/W	H'FFF80380	H'1FF80380	32	全ビット
ブレーン3 表示データ制御レジス タ	P3DDCR	R/W	H'FFF80384	H'1FF80384	32	全ビット
ブレーン3 表示データ制御レジス タ 2	P3DDCR2	R/W	H'FFF80388	H'1FF80388	32	全ビット
ブレーン4 モードレジスタ	P4MR	R/W	H'FFF80400	H'1FF80400	32	全ビット
ブレーン4 メモリ幅レジスタ	P4MWR	R/W	H'FFF80404	H'1FF80404	32	全ビット
ブレーン4 ブレンド比レジスタ	P4ALPHAR	R/W	H'FFF80408	H'1FF80408	32	全ビット
ブレーン4 表示サイズ X レジスタ	P4DSXR	R/W	H'FFF80410	H'1FF80410	32	全ビット
ブレーン4 表示サイズ Y レジスタ	P4DSYR	R/W	H'FFF80414	H'1FF80414	32	全ビット
ブレーン4 表示位置 X レジスタ	P4DPXR	R/W	H'FFF80418	H'1FF80418	32	全ビット
ブレーン4 表示位置 Y レジスタ	P4DPYR	R/W	H'FFF8041C	H'1FF8041C	32	全ビット
ブレーン4 表示領域開始アドレ ス 0 レジスタ	P4DSA0R	R/W	H'FFF80420	H'1FF80420	32	全ビット
ブレーン4 表示領域開始アドレ ス 1 レジスタ	P4DSA1R	R/W	H'FFF80424	H'1FF80424	32	全ビット
ブレーン4 表示領域開始アドレ ス 2 レジスタ	P4DSA2R	R/W	H'FFF80428	H'1FF80428	32	全ビット
ブレーン4 開始位置 X レジスタ	P4SPXR	R/W	H'FFF80430	H'1FF80430	32	全ビット
ブレーン4 開始位置 Y レジスタ	P4SPYR	R/W	H'FFF80434	H'1FF80434	32	全ビット
ブレーン4 ラップアラウンド開始 位置レジスタ	P4WASPR	R/W	H'FFF80438	H'1FF80438	32	全ビット
ブレーン4 ラップアラウンドメモ リ幅レジスタ	P4WAMWR	R/W	H'FFF8043C	H'1FF8043C	32	全ビット
ブレーン4 プリンキング周期レジ スタ	P4BTR	R/W	H'FFF80440	H'1FF80440	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
プレーン4透過色1レジスタ	P4TC1R	R/W	H'FFF80444	H'1FF80444	32	全ビット
プレーン4透過色2レジスタ	P4TC2R	R/W	H'FFF80448	H'1FF80448	32	全ビット
プレーン4メモリ長レジスタ	P4MLR	R/W	H'FFF80450	H'1FF80450	32	全ビット
プレーン4スワップ制御レジスタ	P4SWAPR	R/W	H'FFF80480	H'1FF80480	32	全ビット
プレーン4表示データ制御レジスタ	P4DDCR	R/W	H'FFF80484	H'1FF80484	32	全ビット
プレーン4表示データ制御レジスタ2	P4DDCR2	R/W	H'FFF80488	H'1FF80488	32	全ビット
プレーン5モードレジスタ	P5MR	R/W	H'FFF80500	H'1FF80500	32	全ビット
プレーン5メモリ幅レジスタ	P5MWR	R/W	H'FFF80504	H'1FF80504	32	全ビット
プレーン5ブレンド比レジスタ	P5ALPHAR	R/W	H'FFF80508	H'1FF80508	32	全ビット
プレーン5表示サイズXレジスタ	P5DSXR	R/W	H'FFF80510	H'1FF80510	32	全ビット
プレーン5表示サイズYレジスタ	P5DSYR	R/W	H'FFF80514	H'1FF80514	32	全ビット
プレーン5表示位置Xレジスタ	P5DPXR	R/W	H'FFF80518	H'1FF80518	32	全ビット
プレーン5表示位置Yレジスタ	P5DPYR	R/W	H'FFF8051C	H'1FF8051C	32	全ビット
プレーン5表示領域開始アドレス0レジスタ	P5DSA0R	R/W	H'FFF80520	H'1FF80520	32	全ビット
プレーン5表示領域開始アドレス1レジスタ	P5DSA1R	R/W	H'FFF80524	H'1FF80524	32	全ビット
プレーン5表示領域開始アドレス2レジスタ	P5DSA2R	R/W	H'FFF80528	H'1FF80528	32	全ビット
プレーン5開始位置Xレジスタ	P5SPXR	R/W	H'FFF80530	H'1FF80530	32	全ビット
プレーン5開始位置Yレジスタ	P5SPYR	R/W	H'FFF80534	H'1FF80534	32	全ビット
プレーン5ラップアラウンド開始位置レジスタ	P5WASPR	R/W	H'FFF80538	H'1FF80538	32	全ビット
プレーン5ラップアラウンドメモリ幅レジスタ	P5WAMWR	R/W	H'FFF8053C	H'1FF8053C	32	全ビット
プレーン5プリンキング周期レジスタ	P5BTR	R/W	H'FFF80540	H'1FF80540	32	全ビット
プレーン5透過色1レジスタ	P5TC1R	R/W	H'FFF80544	H'1FF80544	32	全ビット
プレーン5透過色2レジスタ	P5TC2R	R/W	H'FFF80548	H'1FF80548	32	全ビット
プレーン5メモリ長レジスタ	P5MLR	R/W	H'FFF80550	H'1FF80550	32	全ビット
プレーン5スワップ制御レジスタ	P5SWAPR	R/W	H'FFF80580	H'1FF80580	32	全ビット
プレーン5表示データ制御レジスタ	P5DDCR	R/W	H'FFF80584	H'1FF80584	32	全ビット
プレーン5表示データ制御レジスタ2	P5DDCR2	R/W	H'FFF80588	H'1FF80588	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
ブレーン6モードレジスタ	P6MR	R/W	H'FFF80600	H'1FF80600	32	全ビット
ブレーン6メモリ幅レジスタ	P6MWR	R/W	H'FFF80604	H'1FF80604	32	全ビット
ブレーン6ブレンド比レジスタ	P6ALPHAR	R/W	H'FFF80608	H'1FF80608	32	全ビット
ブレーン6表示サイズXレジスタ	P6DSXR	R/W	H'FFF80610	H'1FF80610	32	全ビット
ブレーン6表示サイズYレジスタ	P6DSYR	R/W	H'FFF80614	H'1FF80614	32	全ビット
ブレーン6表示位置Xレジスタ	P6DPXR	R/W	H'FFF80618	H'1FF80618	32	全ビット
ブレーン6表示位置Yレジスタ	P6DPYR	R/W	H'FFF8061C	H'1FF8061C	32	全ビット
ブレーン6表示領域開始アドレス 0レジスタ	P6DSA0R	R/W	H'FFF80620	H'1FF80620	32	全ビット
ブレーン6表示領域開始アドレス 1レジスタ	P6DSA1R	R/W	H'FFF80624	H'1FF80624	32	全ビット
ブレーン6表示領域開始アドレス 2レジスタ	P6DSA2R	R/W	H'FFF80628	H'1FF80628	32	全ビット
ブレーン6開始位置Xレジスタ	P6SPXR	R/W	H'FFF80630	H'1FF80630	32	全ビット
ブレーン6開始位置Yレジスタ	P6SPYR	R/W	H'FFF80634	H'1FF80634	32	全ビット
ブレーン6ラップアラウンド開始 位置レジスタ	P6WASPR	R/W	H'FFF80638	H'1FF80638	32	全ビット
ブレーン6ラップアラウンドメモ リ幅レジスタ	P6WAMWR	R/W	H'FFF8063C	H'1FF8063C	32	全ビット
ブレーン6プリンキング周期レジ スタ	P6BTR	R/W	H'FFF80640	H'1FF80640	32	全ビット
ブレーン6透過色1レジスタ	P6TC1R	R/W	H'FFF80644	H'1FF80644	32	全ビット
ブレーン6透過色2レジスタ	P6TC2R	R/W	H'FFF80648	H'1FF80648	32	全ビット
ブレーン6メモリ長レジスタ	P6MLR	R/W	H'FFF80650	H'1FF80650	32	全ビット
ブレーン6スワップ制御レジスタ	P6SWAPR	R/W	H'FFF80680	H'1FF80680	32	全ビット
ブレーン6表示データ制御レジス タ	P6DDCR	R/W	H'FFF80684	H'1FF80684	32	全ビット
ブレーン6表示データ制御レジス タ2	P6DDCR2	R/W	H'FFF80688	H'1FF80688	32	全ビット
ブレーン7モードレジスタ	P7MR	R/W	H'FFF80700	H'1FF80700	32	全ビット
ブレーン7メモリ幅レジスタ	P7MWR	R/W	H'FFF80704	H'1FF80704	32	全ビット
ブレーン7ブレンド比レジスタ	P7ALPHAR	R/W	H'FFF80708	H'1FF80708	32	全ビット
ブレーン7表示サイズXレジスタ	P7DSXR	R/W	H'FFF80710	H'1FF80710	32	全ビット
ブレーン7表示サイズYレジスタ	P7DSYR	R/W	H'FFF80714	H'1FF80714	32	全ビット
ブレーン7表示位置Xレジスタ	P7DPXR	R/W	H'FFF80718	H'1FF80718	32	全ビット
ブレーン7表示位置Yレジスタ	P7DPYR	R/W	H'FFF8071C	H'1FF8071C	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
ブレーション7表示領域開始アドレス 0レジスタ	P7DSA0R	R/W	H'FFF80720	H'1FF80720	32	全ビット
ブレーション7表示領域開始アドレス 1レジスタ	P7DSA1R	R/W	H'FFF80724	H'1FF80724	32	全ビット
ブレーション7表示領域開始アドレス 2レジスタ	P7DSA2R	R/W	H'FFF80728	H'1FF80728	32	全ビット
ブレーション7開始位置Xレジスタ	P7SPXR	R/W	H'FFF80730	H'1FF80730	32	全ビット
ブレーション7開始位置Yレジスタ	P7SPYR	R/W	H'FFF80734	H'1FF80734	32	全ビット
ブレーション7ラップアラウンド開始 位置レジスタ	P7WASPR	R/W	H'FFF80738	H'1FF80738	32	全ビット
ブレーション7ラップアラウンドメモ リ幅レジスタ	P7WAMWR	R/W	H'FFF8073C	H'1FF8073C	32	全ビット
ブレーション7プリンキング周期レジ スタ	P7BTR	R/W	H'FFF80740	H'1FF80740	32	全ビット
ブレーション7透過色1レジスタ	P7TC1R	R/W	H'FFF80744	H'1FF80744	32	全ビット
ブレーション7透過色2レジスタ	P7TC2R	R/W	H'FFF80748	H'1FF80748	32	全ビット
ブレーション7メモリ長レジスタ	P7MLR	R/W	H'FFF80750	H'1FF80750	32	全ビット
ブレーション7スワップ制御レジスタ	P7SWAPR	R/W	H'FFF80780	H'1FF80780	32	全ビット
ブレーション7表示データ制御レジス タ	P7DDCR	R/W	H'FFF80784	H'1FF80784	32	全ビット
ブレーション7表示データ制御レジス タ2	P7DDCR2	R/W	H'FFF80788	H'1FF80788	32	全ビット
ブレーション8モードレジスタ	P8MR	R/W	H'FFF80800	H'1FF80800	32	全ビット
ブレーション8メモリ幅レジスタ	P8MWR	R/W	H'FFF80804	H'1FF80804	32	全ビット
ブレーション8ブレンド比レジスタ	P8ALPHAR	R/W	H'FFF80808	H'1FF80808	32	全ビット
ブレーション8表示サイズXレジスタ	P8DSXR	R/W	H'FFF80810	H'1FF80810	32	全ビット
ブレーション8表示サイズYレジスタ	P8DSYR	R/W	H'FFF80814	H'1FF80814	32	全ビット
ブレーション8表示位置Xレジスタ	P8DPXR	R/W	H'FFF80818	H'1FF80818	32	全ビット
ブレーション8表示位置Yレジスタ	P8DPYR	R/W	H'FFF8081C	H'1FF8081C	32	全ビット
ブレーション8表示領域開始アドレス 0レジスタ	P8DSA0R	R/W	H'FFF80820	H'1FF80820	32	全ビット
ブレーション8表示領域開始アドレス 1レジスタ	P8DSA1R	R/W	H'FFF80824	H'1FF80824	32	全ビット
ブレーション8表示領域開始アドレス 2レジスタ	P8DSA2R	R/W	H'FFF80828	H'1FF80828	32	全ビット
ブレーション8開始位置Xレジスタ	P8SPXR	R/W	H'FFF80830	H'1FF80830	32	全ビット
ブレーション8開始位置Yレジスタ	P8SPYR	R/W	H'FFF80834	H'1FF80834	32	全ビット

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能を持 つビット
ブレーン8ラップアラウンド開始 位置レジスタ	P8WASPR	R/W	H'FFF80838	H'1FF80838	32	全ビット
ブレーン8ラップアラウンドメモ リ幅レジスタ	P8WAMWR	R/W	H'FFF8083C	H'1FF8083C	32	全ビット
ブレーン8プリンキング周期レジ スタ	P8BTR	R/W	H'FFF80840	H'1FF80840	32	全ビット
ブレーン8透過色1レジスタ	P8TC1R	R/W	H'FFF80844	H'1FF80844	32	全ビット
ブレーン8透過色2レジスタ	P8TC2R	R/W	H'FFF80848	H'1FF80848	32	全ビット
ブレーン8メモリ長レジスタ	P8MLR	R/W	H'FFF80850	H'1FF80850	32	全ビット
ブレーン8スワップ制御レジスタ	P8SWAPR	R/W	H'FFF80880	H'1FF80880	32	全ビット
ブレーン8表示データ制御レジス タ	P8DDCR	R/W	H'FFF80884	H'1FF80884	32	全ビット
ブレーン8表示データ制御レジス タ2	P8DDCR2	R/W	H'FFF80888	H'1FF80888	32	全ビット

表 14.9 表示ブレーンレジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ブレーン1モードレジスタ	P1MR	H'00000000	H'00000000	保持
ブレーン1メモリ幅レジスタ	P1MWR	不定	保持	保持
ブレーン1ブレンド比レジスタ	P1ALPHAR	不定	保持	保持
ブレーン1表示サイズXレジスタ	P1DSXR	不定	保持	保持
ブレーン1表示サイズYレジスタ	P1DSYR	不定	保持	保持
ブレーン1表示位置Xレジスタ	P1DPXR	不定	保持	保持
ブレーン1表示位置Yレジスタ	P1DPYR	不定	保持	保持
ブレーン1表示領域開始アドレス0レジスタ	P1DSA0R	不定	保持	保持
ブレーン1表示領域開始アドレス1レジスタ	P1DSA1R	不定	保持	保持
ブレーン1表示領域開始アドレス2レジスタ	P1DSA2R	不定	保持	保持
ブレーン1開始位置Xレジスタ	P1SPXR	不定	保持	保持
ブレーン1開始位置Yレジスタ	P1SPYR	不定	保持	保持
ブレーン1ラップアラウンド開始位置レジスタ	P1WASPR	不定	保持	保持
ブレーン1ラップアラウンドメモリ幅レジスタ	P1WAMWR	不定	保持	保持
ブレーン1プリンキング周期レジスタ	P1BTR	H'00000101	H'00000101	保持
ブレーン1透過色1レジスタ	P1TC1R	不定	保持	保持
ブレーン1透過色2レジスタ	P1TC2R	不定	保持	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
プレーン1メモリ長レジスタ	P1MLR	H'00000000	H'00000000	保持
プレーン1スワップ制御レジスタ	P1SWAPR	H'00000000	H'00000000	保持
プレーン1表示データ制御レジスタ	P1DDCR	H'00000000	H'00000000	保持
プレーン1表示データ制御レジスタ2	P1DDCR2	H'00000000	H'00000000	保持
プレーン2モードレジスタ	P2MR	H'00000000	H'00000000	保持
プレーン2メモリ幅レジスタ	P2MWR	不定	保持	保持
プレーン2ブレンド比レジスタ	P2ALPHAR	不定	保持	保持
プレーン2表示サイズXレジスタ	P2DSXR	不定	保持	保持
プレーン2表示サイズYレジスタ	P2DSYR	不定	保持	保持
プレーン2表示位置Xレジスタ	P2DPXR	不定	保持	保持
プレーン2表示位置Yレジスタ	P2DPYR	不定	保持	保持
プレーン2表示領域開始アドレス0レジスタ	P2DSA0R	不定	保持	保持
プレーン2表示領域開始アドレス1レジスタ	P2DSA1R	不定	保持	保持
プレーン2表示領域開始アドレス2レジスタ	P2DSA2R	不定	保持	保持
プレーン2開始位置Xレジスタ	P2SPXR	不定	保持	保持
プレーン2開始位置Yレジスタ	P2SPYR	不定	保持	保持
プレーン2ラップアラウンド開始位置レジスタ	P2WASPR	不定	保持	保持
プレーン2ラップアラウンドメモリ幅レジスタ	P2WAMWR	不定	保持	保持
プレーン2プリンキング周期レジスタ	P2BTR	H'00000101	H'00000101	保持
プレーン2透過色1レジスタ	P2TC1R	不定	保持	保持
プレーン2透過色2レジスタ	P2TC2R	不定	保持	保持
プレーン2メモリ長レジスタ	P2MLR	H'00000000	H'00000000	保持
プレーン2スワップ制御レジスタ	P2SWAPR	H'00000000	H'00000000	保持
プレーン2表示データ制御レジスタ	P2DDCR	H'00000000	H'00000000	保持
プレーン2表示データ制御レジスタ2	P2DDCR2	H'00000000	H'00000000	保持
プレーン3モードレジスタ	P3MR	H'00000000	H'00000000	保持
プレーン3メモリ幅レジスタ	P3MWR	不定	保持	保持
プレーン3ブレンド比レジスタ	P3ALPHAR	不定	保持	保持
プレーン3表示サイズXレジスタ	P3DSXR	不定	保持	保持
プレーン3表示サイズYレジスタ	P3DSYR	不定	保持	保持
プレーン3表示位置Xレジスタ	P3DPXR	不定	保持	保持
プレーン3表示位置Yレジスタ	P3DPYR	不定	保持	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ブレーン3 表示領域開始アドレス 0 レジスタ	P3DSA0R	不定	保持	保持
ブレーン3 表示領域開始アドレス 1 レジスタ	P3DSA1R	不定	保持	保持
ブレーン3 表示領域開始アドレス 2 レジスタ	P3DSA2R	不定	保持	保持
ブレーン3 開始位置 X レジスタ	P3SPXR	不定	保持	保持
ブレーン3 開始位置 Y レジスタ	P3SPYR	不定	保持	保持
ブレーン3 ラップアラウンド開始位置レジスタ	P3WASPR	不定	保持	保持
ブレーン3 ラップアラウンドメモリ幅レジスタ	P3WAMWR	不定	保持	保持
ブレーン3 プリンキング周期レジスタ	P3BTR	H'00000101	H'00000101	保持
ブレーン3 透過色 1 レジスタ	P3TC1R	不定	保持	保持
ブレーン3 透過色 2 レジスタ	P3TC2R	不定	保持	保持
ブレーン3 メモリ長レジスタ	P3MLR	H'00000000	H'00000000	保持
ブレーン3 スワップ制御レジスタ	P3SWAPR	H'00000000	H'00000000	保持
ブレーン3 表示データ制御レジスタ	P3DDCR	H'00000000	H'00000000	保持
ブレーン3 表示データ制御レジスタ 2	P3DDCR2	H'00000000	H'00000000	保持
ブレーン4 モードレジスタ	P4MR	H'00000000	H'00000000	保持
ブレーン4 メモリ幅レジスタ	P4MWR	不定	保持	保持
ブレーン4 ブレンド比レジスタ	P4ALPHAR	不定	保持	保持
ブレーン4 表示サイズ X レジスタ	P4DSXR	不定	保持	保持
ブレーン4 表示サイズ Y レジスタ	P4DSYR	不定	保持	保持
ブレーン4 表示位置 X レジスタ	P4DPXR	不定	保持	保持
ブレーン4 表示位置 Y レジスタ	P4DPYR	不定	保持	保持
ブレーン4 表示領域開始アドレス 0 レジスタ	P4DSA0R	不定	保持	保持
ブレーン4 表示領域開始アドレス 1 レジスタ	P4DSA1R	不定	保持	保持
ブレーン4 表示領域開始アドレス 2 レジスタ	P4DSA2R	不定	保持	保持
ブレーン4 開始位置 X レジスタ	P4SPXR	不定	保持	保持
ブレーン4 開始位置 Y レジスタ	P4SPYR	不定	保持	保持
ブレーン4 ラップアラウンド開始位置レジスタ	P4WASPR	不定	保持	保持
ブレーン4 ラップアラウンドメモリ幅レジスタ	P4WAMWR	不定	保持	保持
ブレーン4 プリンキング周期レジスタ	P4BTR	H'00000101	H'00000101	保持
ブレーン4 透過色 1 レジスタ	P4TC1R	不定	保持	保持
ブレーン4 透過色 2 レジスタ	P4TC2R	不定	保持	保持
ブレーン4 メモリ長レジスタ	P4MLR	H'00000000	H'00000000	保持
ブレーン4 スワップ制御レジスタ	P4SWAPR	H'00000000	H'00000000	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ブレーン4表示データ制御レジスタ	P4DDCR	H'00000000	H'00000000	保持
ブレーン4表示データ制御レジスタ2	P4DDCR2	H'00000000	H'00000000	保持
ブレーン5モードレジスタ	P5MR	H'00000000	H'00000000	保持
ブレーン5メモリ幅レジスタ	P5MWR	不定	保持	保持
ブレーン5ブレンド比レジスタ	P5ALPHAR	不定	保持	保持
ブレーン5表示サイズXレジスタ	P5DSXR	不定	保持	保持
ブレーン5表示サイズYレジスタ	P5DSYR	不定	保持	保持
ブレーン5表示位置Xレジスタ	P5DPXR	不定	保持	保持
ブレーン5表示位置Yレジスタ	P5DPYR	不定	保持	保持
ブレーン5表示領域開始アドレス0レジスタ	P5DSA0R	不定	保持	保持
ブレーン5表示領域開始アドレス1レジスタ	P5DSA1R	不定	保持	保持
ブレーン5表示領域開始アドレス2レジスタ	P5DSA2R	不定	保持	保持
ブレーン5開始位置Xレジスタ	P5SPXR	不定	保持	保持
ブレーン5開始位置Yレジスタ	P5SPYR	不定	保持	保持
ブレーン5ラップアラウンド開始位置レジスタ	P5WASPR	不定	保持	保持
ブレーン5ラップアラウンドメモリ幅レジスタ	P5WAMWR	不定	保持	保持
ブレーン5プリンキング周期レジスタ	P5BTR	H'00000101	H'00000101	保持
ブレーン5透過色1レジスタ	P5TC1R	不定	保持	保持
ブレーン5透過色2レジスタ	P5TC2R	不定	保持	保持
ブレーン5メモリ長レジスタ	P5MLR	H'00000000	H'00000000	保持
ブレーン5スワップ制御レジスタ	P5SWAPR	H'00000000	H'00000000	保持
ブレーン5表示データ制御レジスタ	P5DDCR	H'00000000	H'00000000	保持
ブレーン5表示データ制御レジスタ2	P5DDCR2	H'00000000	H'00000000	保持
ブレーン6モードレジスタ	P6MR	H'00000000	H'00000000	保持
ブレーン6メモリ幅レジスタ	P6MWR	不定	保持	保持
ブレーン6ブレンド比レジスタ	P6ALPHAR	不定	保持	保持
ブレーン6表示サイズXレジスタ	P6DSXR	不定	保持	保持
ブレーン6表示サイズYレジスタ	P6DSYR	不定	保持	保持
ブレーン6表示位置Xレジスタ	P6DPXR	不定	保持	保持
ブレーン6表示位置Yレジスタ	P6DPYR	不定	保持	保持
ブレーン6表示領域開始アドレス0レジスタ	P6DSA0R	不定	保持	保持
ブレーン6表示領域開始アドレス1レジスタ	P6DSA1R	不定	保持	保持
ブレーン6表示領域開始アドレス2レジスタ	P6DSA2R	不定	保持	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ブレーン6 開始位置 X レジスタ	P6SPXR	不定	保持	保持
ブレーン6 開始位置 Y レジスタ	P6SPYR	不定	保持	保持
ブレーン6 ラップアラウンド開始位置レジスタ	P6WASPR	不定	保持	保持
ブレーン6 ラップアラウンドメモリ幅レジスタ	P6WAMWR	不定	保持	保持
ブレーン6 プリンキング周期レジスタ	P6BTR	H'00000101	H'00000101	保持
ブレーン6 透過色 1 レジスタ	P6TC1R	不定	保持	保持
ブレーン6 透過色 2 レジスタ	P6TC2R	不定	保持	保持
ブレーン6 メモリ長レジスタ	P6MLR	H'00000000	H'00000000	保持
ブレーン6 スワップ制御レジスタ	P6SWAPR	H'00000000	H'00000000	保持
ブレーン6 表示データ制御レジスタ	P6DDCR	H'00000000	H'00000000	保持
ブレーン6 表示データ制御レジスタ 2	P6DDCR2	H'00000000	H'00000000	保持
ブレーン7 モードレジスタ	P7MR	H'00000000	H'00000000	保持
ブレーン7 メモリ幅レジスタ	P7MWR	不定	保持	保持
ブレーン7 ブレンド比レジスタ	P7ALPHAR	不定	保持	保持
ブレーン7 表示サイズ X レジスタ	P7DSXR	不定	保持	保持
ブレーン7 表示サイズ Y レジスタ	P7DSYR	不定	保持	保持
ブレーン7 表示位置 X レジスタ	P7DPXR	不定	保持	保持
ブレーン7 表示位置 Y レジスタ	P7DPYR	不定	保持	保持
ブレーン7 表示領域開始アドレス 0 レジスタ	P7DSA0R	不定	保持	保持
ブレーン7 表示領域開始アドレス 1 レジスタ	P7DSA1R	不定	保持	保持
ブレーン7 表示領域開始アドレス 2 レジスタ	P7DSA2R	不定	保持	保持
ブレーン7 開始位置 X レジスタ	P7SPXR	不定	保持	保持
ブレーン7 開始位置 Y レジスタ	P7SPYR	不定	保持	保持
ブレーン7 ラップアラウンド開始位置レジスタ	P7WASPR	不定	保持	保持
ブレーン7 ラップアラウンドメモリ幅レジスタ	P7WAMWR	不定	保持	保持
ブレーン7 プリンキング周期レジスタ	P7BTR	H'00000101	H'00000101	保持
ブレーン7 透過色 1 レジスタ	P7TC1R	不定	保持	保持
ブレーン7 透過色 2 レジスタ	P7TC2R	不定	保持	保持
ブレーン7 メモリ長レジスタ	P7MLR	H'00000000	H'00000000	保持
ブレーン7 スワップ制御レジスタ	P7SWAPR	H'00000000	H'00000000	保持
ブレーン7 表示データ制御レジスタ	P7DDCR	H'00000000	H'00000000	保持
ブレーン7 表示データ制御レジスタ 2	P7DDCR2	H'00000000	H'00000000	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ブレーン8モードレジスタ	P8MR	H'00000000	H'00000000	保持
ブレーン8メモリ幅レジスタ	P8MWR	不定	保持	保持
ブレーン8ブレンド比レジスタ	P8ALPHAR	不定	保持	保持
ブレーン8表示サイズXレジスタ	P8DSXR	不定	保持	保持
ブレーン8表示サイズYレジスタ	P8DSYR	不定	保持	保持
ブレーン8表示位置Xレジスタ	P8DPXR	不定	保持	保持
ブレーン8表示位置Yレジスタ	P8DPYR	不定	保持	保持
ブレーン8表示領域開始アドレス0レジスタ	P8DSA0R	不定	保持	保持
ブレーン8表示領域開始アドレス1レジスタ	P8DSA1R	不定	保持	保持
ブレーン8表示領域開始アドレス2レジスタ	P8DSA2R	不定	保持	保持
ブレーン8開始位置Xレジスタ	P8SPXR	不定	保持	保持
ブレーン8開始位置Yレジスタ	P8SPYR	不定	保持	保持
ブレーン8ラップアラウンド開始位置レジスタ	P8WASPR	不定	保持	保持
ブレーン8ラップアラウンドメモリ幅レジスタ	P8WAMWR	不定	保持	保持
ブレーン8プリンキング周期レジスタ	P8BTR	H'00000101	H'00000101	保持
ブレーン8透過色1レジスタ	P8TC1R	不定	保持	保持
ブレーン8透過色2レジスタ	P8TC2R	不定	保持	保持
ブレーン8メモリ長レジスタ	P8MLR	H'00000000	H'00000000	保持
ブレーン8スワップ制御レジスタ	P8SWAPR	H'00000000	H'00000000	保持
ブレーン8表示データ制御レジスタ	P8DDCR	H'00000000	H'00000000	保持
ブレーン8表示データ制御レジスタ2	P8DDCR2	H'00000000	H'00000000	保持

(7) 表示キャプチャレジスタ構成

表 14.10 表示キャプチャレジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
表示キャプチャ1メモリ幅レジスタ	DC1MWR	R/W	H'FFF8C104	H'1FF8C104	32	全ビット
表示キャプチャ1格納領域開始アドレスレジスタ	DC1SAR	R/W	H'FFF8C120	H'1FF8C120	32	全ビット
表示キャプチャ1メモリ長レジスタ	DC1MLR	R/W	H'FFF8C150	H'1FF8C150	32	全ビット

表 14.11 表示キャプチャレジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
表示キャプチャ1メモリ幅レジスタ	DC1MWR	不定	保持	保持
表示キャプチャ1格納領域開始アドレスレジスタ	DC1SAR	不定	保持	保持
表示キャプチャ1メモリ長レジスタ	DC1MLR	H'00000000	H'00000000	保持

(8) カラーパレットレジスタ構成

表 14.12 カラーパレットレジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
カラーパレット1レジスタ 000	CP1_000R	R/W	H'FFF81000	H'1FF81000	32	全ビット
~						
カラーパレット1レジスタ 255	CP1_255R	R/W	H'FFF813FC	H'1FF813FC	32	全ビット
カラーパレット2レジスタ 000	CP2_000R	R/W	H'FFF82000	H'1FF82000	32	全ビット
~						
カラーパレット2レジスタ 255	CP2_255R	R/W	H'FFF823FC	H'1FF823FC	32	全ビット
カラーパレット3レジスタ 000	CP3_000R	R/W	H'FFF83000	H'1FF83000	32	全ビット
~						
カラーパレット3レジスタ 255	CP3_255R	R/W	H'FFF833FC	H'1FF833FC	32	全ビット
カラーパレット4レジスタ 000	CP4_000R	R/W	H'FFF84000	H'1FF84000	32	全ビット
~						
カラーパレット4レジスタ 255	CP4_255R	R/W	H'FFF843FC	H'1FF843FC	32	全ビット

表 14.13 カラーパレットレジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
カラーパレット1レジスタ 000	CP1_000R	不定	保持	保持
~				
カラーパレット1レジスタ 255	CP1_255R	不定	保持	保持
カラーパレット2レジスタ 000	CP2_000R	不定	保持	保持
~				
カラーパレット2レジスタ 255	CP2_255R	不定	保持	保持

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
カラーパレット 3 レジスタ 000	CP3_000R	不定	保持	保持
~				
カラーパレット 3 レジスタ 255	CP3_255R	不定	保持	保持
カラーパレット 4 レジスタ 000	CP4_000R	不定	保持	保持
~				
カラーパレット 4 レジスタ 255	CP4_255R	不定	保持	保持

(9) 外部同期制御レジスタ構成

表 14.14 外部同期制御レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
外部同期制御レジスタ	ESCR	R/W	H'FFF90000	H'1FF90000	32	なし
出力信号タイミング調整レジスタ	OTAR	R/W	H'FFF90004	H'1FF90004	32	全ビット DRES で更新

表 14.15 外部同期制御レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
外部同期制御レジスタ	ESCR	H'00000000	H'00000000	保持
出力信号タイミング調整レジスタ	OTAR	H'00000000	H'00000000	保持

(10) 表示 2 系統出力制御レジスタ構成

表 14.16 表示 2 系統出力制御レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
表示出力系統制御レジスタ	DORCR	R/W	H'FFF91000	H'1FF91000	32	全ビット DRES で更新
表示重ね合せ 1 優先順位レジスタ	DS1PR	R/W	H'FFF91020	H'1FF91020	32	全ビット

表 14.17 表示 2 系統出力制御レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
表示出力系統制御レジスタ	DORCR	H'00000000	H'00000000	保持
表示重ね合せ 1 優先順位レジスタ	DS1PR	H'00000000	H'00000000	保持

(11) YC-RGB 変換係数レジスタ構成

表 14.18 YC-RGB 変換係数レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセ ス サイズ	内部更新機能 を持つビット
Y 正規化係数レジスタ	YNCR	R/W	H'FFF91080	H'1FF91080	32	全ビット
Y 正規化オフセットレジスタ	YNOR	R/W	H'FFF91084	H'1FF91084	32	全ビット
Cr 正規化オフセットレジスタ	CRNOR	R/W	H'FFF91088	H'1FF91088	32	全ビット
Cb 正規化オフセットレジスタ	CBNOR	R/W	H'FFF9108C	H'1FF9108C	32	全ビット
赤色用 Cr 係数レジスタ	RCRCR	R/W	H'FFF91090	H'1FF91090	32	全ビット
緑色用 Cr 係数レジスタ	GCRCR	R/W	H'FFF91094	H'1FF91094	32	全ビット
緑色用 Cb 係数レジスタ	GCBCR	R/W	H'FFF91098	H'1FF91098	32	全ビット
青色用 Cb 係数レジスタ	BCBCR	R/W	H'FFF9109C	H'1FF9109C	32	全ビット

表 14.19 YC-RGB 変換係数レジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
Y 正規化係数レジスタ	YNCR	H'08000800	H'08000800	保持
Y 正規化オフセットレジスタ	YNOR	H'00000000	H'00000000	保持
Cr 正規化オフセットレジスタ	CRNOR	H'00800080	H'00800080	保持
Cb 正規化オフセットレジスタ	CBNOR	H'00800080	H'00800080	保持
赤色用 Cr 係数レジスタ	RCRCR	H'0AF00AF0	H'0AF00AF0	保持
緑色用 Cr 係数レジスタ	GCRCR	H'05900590	H'05900590	保持
緑色用 Cb 係数レジスタ	GCBCR	H'02B002B0	H'02B002B0	保持
青色用 Cb 係数レジスタ	BCBCR	H'0DE00DE0	H'0DE00DE0	保持

(12) ディスプレイアウトコンペアレジスタ構成

表 14.20 ディスプレイアウトコンペアレジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	内部更新機能 を持つビット
ディスプレイアウトコンペアコントロールレジスタ	DOCMCR	R/W	H'FFF93000	H'1FF93000	32	全ビット
ディスプレイアウトコンペアステータスレジスタ	DOCMSTR	R	H'FFF93004	H'1FF93004	32	なし
ディスプレイアウトコンペアステータスクリアレジスタ	DOCMCLSTR	-/W	H'FFF93008	H'1FF93008	32	なし
ディスプレイアウトコンペア割込み許可レジスタ	DOCMIENR	R/W	H'FFF9300C	H'1FF9300C	32	なし
ディスプレイアウトコンペアモードレジスタ 1	DOCMMDR1	R/W	H'FFF93020	H'1FF93020	32	なし
ディスプレイアウトコンペアパラメータレジスタ 1	DOCMPMR1	R/W	H'FFF93024	H'1FF93024	32	全ビット
ディスプレイアウトコンペアCRC 期待値レジスタ 1	DOCMECRCR1	R/W	H'FFF93028	H'1FF93028	32	全ビット
ディスプレイアウトコンペアCRC 期待値更新レジスタ 1	DOCMECRCUR1	R	H'FFF9302C	H'1FF9302C	32	なし
ディスプレイアウトコンペアCRC 期待値保持レジスタ 1	DOCMECRCHR1	R	H'FFF93030	H'1FF93030	32	なし
ディスプレイアウトコンペアCRC 計算値レジスタ 1	DOCMCCR1	R	H'FFF93034	H'1FF93034	32	なし
ディスプレイアウトコンペア開始位置 X レジスタ 1	DOCMSPXR1	R/W	H'FFF93038	H'1FF93088	32	全ビット
ディスプレイアウトコンペア開始位置 Y レジスタ 1	DOCMSPYR1	R/W	H'FFF9303C	H'1FF9303C	32	全ビット
ディスプレイアウトコンペアサイズ X レジスタ 1	DOCMSZXR1	R/W	H'FFF93040	H'1FF93040	32	全ビット
ディスプレイアウトコンペアサイズ Y レジスタ 1	DOCMSZYR1	R/W	H'FFF93044	H'1FF93044	32	全ビット
ディスプレイアウトコンペアCRC 初期値レジスタ 1	DOCMRCIR1	R/W	H'FFF93048	H'1FF93044	32	なし

表 14.21 ディスプレイアウトコンペアレジスタ構成 (2)

名称	略称	パワーオン リセット/ ディープ スタンバイ	マニュアル リセット	スリープ/ モジュール スタンバイ/ ソフトウェア スタンバイ
ディスプレイアウトコンペアコントロールレジスタ	DOCMCR	H'00000000	H'00000000	保持
ディスプレイアウトコンペアステータスレジスタ	DOCMSTR	不定	不定	保持
ディスプレイアウトコンペアステータスクリアレジスタ	DOCMCLSTR	H'00000000	H'00000000	保持
ディスプレイアウトコンペア割込み許可レジスタ	DOCMIENR	H'00000000	H'00000000	保持
ディスプレイアウトコンペアモードレジスタ 1	DOCMMDR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペアパラメータレジスタ 1	DOCMPMR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア CRC 期待値レジスタ 1	DOCMCCR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア CRC 期待値更新レジスタ 1	DOCMCCR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア CRC 期待値保持レジスタ 1	DOCMCCR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア CRC 計算値レジスタ 1	DOCMCCR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア開始位置 X レジスタ 1	DOCMSPXR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア開始位置 Y レジスタ 1	DOCMSPYR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペアサイズ X レジスタ 1	DOCMSZXR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペアサイズ Y レジスタ 1	DOCMSZYR1	H'00000000	H'00000000	保持
ディスプレイアウトコンペア CRC 初期値レジスタ 1	DOCMRCIR1	H'FFFFFFFF	H'FFFFFFFF	保持

14.3 レジスタの説明

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

—/W : ライトのみ可。読み出し値は不定です。

プレーン n : プレーン 1 からプレーン 8 を示します。

【注】 アドレスマップ上の空き領域にはアクセスしないでください。表 14.2 から表 14.21 に示したレジスタ以外の領域をアクセスした場合、値を書き換えた場合の動作は保証しません。

14.3.1 表示制御レジスタ

(1) 表示システム制御レジスタ (DSYSR : Display unit SYStem control Register)

アドレス : H'FFF80000

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ILTS	—	—	—	—	—	—	—	—	DSEC	—	—	—	IUPD
初期値:	—	—	0	—	—	—	—	—	—	—	—	0	—	—	—	0
R/W:	R	R	R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DRES	DEN	TVM	SCM	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	1	0	1	0	0	0	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
29	ILTS	0	R/W	なし	入力端子取り込みタイミング選択 (Input pad Latch Timing Select) ビット 29 を有効にするには表示拡張機能許可レジスタ (DEFR) /DEFE に 1 を設定してください。初期状態ではビット 29 は 0 固定となります。 0 : 入力端子の信号は DCLKIN の立ち上がりで取り込みます。 1 : 入力端子の信号は DCLKIN の立ち下がり取り込みます。 電气的特性は対象外となります。
28~21	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
20	DSEC	0	R/W	あり	表示データエンディアン変換 (Display data Endian Change) データスワップの詳細に関しては、「14.4.7 エンディアン変換」を参照してください。 0: メモリ上の表示データをバイトデータ/ワードデータスワップを行いません。 1: メモリ上の表示データをバイトデータ/ワードデータスワップを行います。
19~17	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
16	IUPD	0	R/W	なし	内部更新ディスエーブル (Internal UPdating Disable) DRES=1 の場合は本ビットに関係なく内部更新します。 内部更新の詳細に関しては「14.2 (2) 内部更新」を参照してください。 0: 内部更新は垂直同期信号 (VSYNC) アサートごとに行われます。 1: 本ビットに1を設定することにより内部更新を禁止することができます。 本ビットに0が設定されると、次の垂直同期信号 (VSYNC) によりレジスタ更新が行われます。
15~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
9	DRES	1	R/W	なし	表示リセット (Display RESEt)
8	DEN	0	R/W	あり	<p>表示イネーブル (Display ENable)</p> <p>00: 表示同期動作を開始します。</p> <p>未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、Display Unit 内のすべてのレジスタ設定後に DRES=0 にしてください。</p> <p>DEN=0 では、表示データは表示オフ時出力レジスタ (DOOR) に設定された値となります。</p> <p>01: 表示同期動作を開始します。</p> <p>未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、Display Unit 内のすべてのレジスタ設定後に DRES=0、DEN=1 にしてください。</p> <p>DEN=1 では、表示データは次のフレームからメモリ上に格納された値となります。</p> <p>10: 表示同期動作を停止します。</p> <p>表示動作および同期動作が停止します。表示ステータスレジスタ (DSSR) の下記ビットを除きレジスタ設定値は保持します。本設定では以下のように動作します。</p> <p>(1) 表示データは、すべて 0 が出力されます。</p> <p>(2) 表示ステータスレジスタ (DSSR) の下記ビットを 0 クリアします。</p> <ul style="list-style-type: none"> ・ TV 同期信号エラーフラグ (TVR) ・ フレームフラグ (FRM) ・ 垂直ブランキングフラグ (VBK) ・ ラスタ割り込みフラグ (RINT) ・ 水平ブランキングフラグ (HBK) <p>(3) HSYNC、VSYNC、ODDF 端子は入力となります。ただし、表示モードレジスタ (DSMR) の ODPM ビット =1 のとき、ODDF 端子は CLAMP 出力となります。</p> <p>11: 設定禁止</p>

ビット	ビット名	初期値	R/W	内部更新	説明
7、6	TVM	10	R/W	なし	TV同期モード (TV synchronization Mode) 00: マスタモード。 HSYNC、VSYNC、CSYNC を出力します。 01: 同期方式の切り替えモード。 TV同期モードからマスタモード、またはマスタモードからTV同期モードへの切り替えは、必要な場合、本モードを経由して行ってください。本モードでは表示系の動作が強制停止し、DISP端子はLowレベルを出力します。また、DCLKINへのクロック供給を停止(入力は無効)することもできます(LSI内部はHighレベル固定)。EXHSYNC、EXVSYNC、EXODDFは入力となります。 10: TV同期モード。 EXHSYNC、EXVSYNC、EXODDFを入力します。ただし、表示モードレジスタ(DSMR)/ODPMが1のとき、ODDF端子は出力となります。 11: 設定禁止
5、4	SCM	00	R/W	なし	スキャンモード (SCan Mode) 00: ノンインタレースモード 01: 設定禁止 10: インタレースシンクモード 11: インタレースシンク&ビデオモード
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(2) 表示モードレジスタ (DSMR : Display unit Mode Register)

アドレス : H'FFF80004

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	VSPM	ODPM	DIPM	CSPM	—	—	—	—	DIL	VSL	HSL	DDIS	
初期値:	—	—	—	0	0	0	0	0	—	—	—	—	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDEL	CDEM	CDED	—	—	—	ODEV	CSY	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	—	—	—	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~29	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
28	VSPM	0	R/W	DRES	<p>VSYNC ピンモード (VSync Pin Mode)</p> <p>0 : VSYNC 端子に VSYNC 信号を出力します。</p> <p>1 : VSYNC 端子に CSYNC 信号を出力します。</p> <p>VSYNC 端子は「表 14.1 端子機能 (DU0)」の DU0_VSYNC/DU0_EXVSYNC 端子に該当します。</p>
27	ODPM	0	R/W	DRES	<p>ODDF ピンモード (ODdf Pin Mode)</p> <p>0 : ODDF 端子に ODDF 信号を出力します。</p> <p>1 : ODDF 端子に CLAMP 信号を出力します。表示システム制御レジスタ (DSYSR) /TVM が TV 同期モードの場合でも、ODDF 端子は出力となります。</p> <p>ODDF 端子は「表 14.1 端子機能 (DU0)」の DU0_ODDF/DU0_EXODDF 端子に該当します。</p>
26、25	DIPM	0	R/W	DRES	<p>DISP ピンモード (Disp Pin Mode)</p> <p>00 : DISP 端子に DISP 信号を出力します。</p> <p>01 : DISP 端子に CSYNC 信号を出力します。</p> <p>10 : 設定禁止。(0 固定になります。)</p> <p>11 : DISP 端子に DE 信号を出力します。</p> <p>DISP 端子は「表 14.1 端子機能 (DU0)」の DU0_DISP 端子に該当します。</p>
24	CSPM	0	R/W	DRES	<p>CSYNC ピンモード (CSync Pin Mode)</p> <p>0 : CSYNC 端子に CSYNC 信号を出力します。</p> <p>1 : CSYNC 端子に HSYNC 信号を出力します。</p> <p>CSYNC 端子は「表 14.1 端子機能 (DU0)」の DU0_HSYNC/DU0_EXHSYNC 端子に該当します。</p>
23~20	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
19	DIL	0	R/W	DRES	<p>DISP 極性選択 (Disp poLarity select)</p> <p>0 : DISP 信号は表示期間が High レベルとなります。</p> <p>1 : DISP 信号の極性を逆にします。</p>
18	VSL	0	R/W	DRES	<p>Vsync 極性選択 (Vsync polarity SeLect)</p> <p>0 : VSYNC 信号は Low アクティブになります。</p> <p>1 : VSYNC の極性を逆にします。</p>
17	HSL	0	R/W	DRES	<p>Hsync 極性選択 (Hsync polarity SeLect)</p> <p>0 : HSYNC 信号は Low アクティブになります。</p> <p>1 : HSYNC 信号の極性を逆にします。</p>
16	DDIS	0	R/W	あり	<p>DISP 出力ディスエーブル (Disp DISable)</p> <p>0 : DISP 信号を出力します。</p> <p>1 : DISP 信号を出力しません。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
15	CDEL	0	R/W	あり	CDE 極性選択 (CDE polarity SeLect) 0 : CDE 信号は出力表示データと色検出レジスタ (CDER) が一致したとき、High レベルとなります。 1 : CDE 信号の極性を逆にします。
14、13	CDEM	00	R/W	あり	CDE 出力モード (CDE output Mode) 00 : CDE 信号をそのまま出力します。 01 : CDE 信号をそのまま出力します。 10 : 表示期間外は Low レベルを出力します。 11 : 表示期間外は High レベルを出力します。
12	CDED	0	R/W	あり	CDE ディスエーブル (CDE Disable) 0 : CDE 信号を出力します。 1 : CDE 信号の出力を禁止します。
11~9	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
8	ODEV	0	R/W	あり	ODDF 信号極性選択 (ODd EVen select for ODDF signal) 0 : インタレース表示の同一フレームにおいて、ODDF=Low レベルにより前半のフィールドを示します。 1 : インタレース表示の同一フレームにおいて、ODDF=High レベルにより前半のフィールドを示します。
7、6	CSY	00	R/W	あり	CSYNC モード (CSYnc mode) 00 : VSYNC と HSYNC で排他的論理和をとった波形を CSYNC として出力します。 01 : 設定禁止 10 : VSYNC 立ち下がりから 3 ラスタの期間は等価パルス、その後 3 ラスタはセレーション、その後 3 ラスタは等価パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。 11 : VSYNC 立ち下がりから 1/2 ラスタ後、2.5 ラスタの期間は等価パルス、その後 2.5 ラスタはセレーション、その後 2.5 ラスタは等価パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。
5~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(3) 表示ステータスレジスタ (DSSR : DiSplay Unit Status Register)

アドレス : H'FFF80008

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VCFB		—	—	—	—	DFB8	DFB7	DFB6	DFB5	DFB4	DFB3	DFB2	DFB1
初期値:	—	—	1	1	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVR	FRM	—	—	VBK	CMPI	RINT	HBK	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1
初期値:	0	0	—	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
29、28	VCFB	11	R	なし	ビデオキャプチャフレームバッファフラグ (Video Capture Frame Buffer Flag) 00: ビデオキャプチャに設定したプレーンにおいて PnDSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 01: ビデオキャプチャに設定したプレーンにおいて PnDSA1R で示されるアドレスを表示領域開始アドレスとして使用中。 10: ビデオキャプチャに設定したプレーンにおいて PnDSA2R で示されるアドレスを表示領域開始アドレスとして使用中。 11: ビデオキャプチャモジュールが初期状態です。
27~24	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23	DFB8	0	R	なし	ディスプレイフレームバッファ8フラグ (Display Frame Buffer 8 Flag) 0: プレーン8において P8DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン8において P8DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
22	DFB7	0	R	なし	ディスプレイフレームバッファ7フラグ (Display Frame Buffer 7 Flag) 0: プレーン7において P7DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン7において P7DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。

ビット	ビット名	初期値	R/W	内部更新	説明
21	DFB6	0	R	なし	ディスプレイフレームバッファ 6 フラグ (Display Frame Buffer 6 Flag) 0: プレーン 6 において P6DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 6 において P6DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
20	DFB5	0	R	なし	ディスプレイフレームバッファ 5 フラグ (Display Frame Buffer 5 Flag) 0: プレーン 5 において P5DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 5 において P5DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
19	DFB4	0	R	なし	ディスプレイフレームバッファ 4 フラグ (Display Frame Buffer 4 Flag) 0: プレーン 4 において P4DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 4 において P4DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
18	DFB3	0	R	なし	ディスプレイフレームバッファ 3 フラグ (Display Frame Buffer 3 Flag) 0: プレーン 3 において P3DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 3 において P3DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
17	DFB2	0	R	なし	ディスプレイフレームバッファ 2 フラグ (Display Frame Buffer 2 Flag) 0: プレーン 2 において P2DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 2 において P2DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
16	DFB1	0	R	なし	ディスプレイフレームバッファ 1 フラグ (Display Frame Buffer 1 Flag) 0: プレーン 1 において P1DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 1: プレーン 1 において P1DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。

ビット	ビット名	初期値	R/W	内部更新	説明
15	TVR	0	R	なし	<p>TV 同期信号エラーフラグ (TV synchronization eRror flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の TVCL ビットにより TVR ビットをクリアしてから、垂直走査周期レジスタ (VCR) の設定で決まる垂直周期内に、EXVSYNC の立ち上がりが毎回検出されていることを示します。</p> <p>1: TV 同期モード時に、垂直走査周期レジスタ (VCR) の設定値で決まる垂直周期内に、EXVSYNC の立ち上がりを検出されなかったことを示します。TVR ビットは DRES ビットまたは TVCL ビットによりクリアされるまで状態を保持します。</p>
14	FRM	0	R	なし	<p>フレームフラグ (FRaMe flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の FRCL ビットにより FRM ビットをクリアしてから、ノンインタレースでは次の表示終了までの期間を示し、インタレースシンクまたはインタレースシンク & ビデオでは次の偶数フィールドの表示終了までの期間を示します。</p> <p>1: DRES ビットまたは FRCL ビットにより FRM ビットをクリアした後の最初の偶数フィールドの垂直ブランキング期間から再度 FRM ビットをクリアするまでの期間を示します。(フレーム単位)</p>
13、12	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
11	VBK	0	R	なし	<p>垂直ブランキングフラグ (Vertical BlanKing flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の VBCL ビットにより VBK ビットをクリアしてから次の表示終了までの期間を示します。</p> <p>1: DRES ビットまたは VBCL ビットにより VBK ビットをクリアした後の最初の垂直ブランキング期間から再度 VBK ビットをクリアするまでの期間を示します。(フィールド単位)</p>
10	CMPI	0	R	なし	<p>ディスプレイアウトコンペア割り込みフラグ (rgb CoMPare Interrupt flag)</p> <p>0: ディスプレイアウトコンペアで、割り込みは発生していません。</p> <p>1: ディスプレイアウトコンペアで、割り込みが発生しました。</p> <p>【注】 ディスプレイアウトコンペア機能の割り込みの許可は、ディスプレイアウトコンペア割り込み許可レジスタ (DOCMENR) で行います。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
9	RINT	0	R	なし	<p>ラスト割り込みフラグ (Raster INterrupt flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の RICL ビットにより RINT ビットをクリアした後、次の表示開始からラスト割り込みオフセットレジスタで設定されたラストが経過するまでの期間を示します。</p> <p>1: DRES ビットまたは RICL ビットにより RINT ビットをクリアした後、次の表示開始からラスト割り込みオフセットレジスタで設定されたラストが経過した後から、再度ビットをクリアするまでの期間を示します。</p>
8	HBK	0	R	なし	<p>水平ブランキングフラグ (Horizontal Blanking Flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の HBCL ビットにより HBK ビットをクリアしてから次の HSYNC アサートまでの期間を示します。</p> <p>1: DRES ビットまたは HBCL ビットにより HBK ビットをクリアした後の最初の水平ブランキング期間から再度 HBK ビットをクリアするまでの期間を示します。</p>
7	ADC8	0	R	なし	<p>オートレンダリングディスプレイチェンジフラグ 8 (Auto rendering Display Change flag 8)</p> <p>0: プレーン 8 のフレームバッファの切り替えが行われていません。</p> <p>1: プレーン 8 のフレームバッファの切り替えが行われたことを示します。ADC8 ビットはクリアされるまで状態を保持します。</p>
6	ADC7	0	R	なし	<p>オートレンダリングディスプレイチェンジフラグ 7 (Auto rendering Display Change flag 7)</p> <p>0: プレーン 7 のフレームバッファの切り替えが行われていません。</p> <p>1: プレーン 7 のフレームバッファの切り替えが行われたことを示します。ADC7 ビットはクリアされるまで状態を保持します。</p>
5	ADC6	0	R	なし	<p>オートレンダリングディスプレイチェンジフラグ 6 (Auto rendering Display Change flag 6)</p> <p>0: プレーン 6 のフレームバッファの切り替えが行われていません。</p> <p>1: プレーン 6 のフレームバッファの切り替えが行われたことを示します。ADC6 ビットはクリアされるまで状態を保持します。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
4	ADC5	0	R	なし	オートレンダリングディスプレイチェンジフラグ 5 (Auto rendering Display Change flag 5) 0: プレーン 5 のフレームバッファの切り替えが行われていません。 1: プレーン 5 のフレームバッファの切り替えが行われたことを示します。ADC5 ビットはクリアされるまで状態を保持します。
3	ADC4	0	R	なし	オートレンダリングディスプレイチェンジフラグ 4 (Auto rendering Display Change flag 4) 0: プレーン 4 のフレームバッファの切り替えが行われていません。 1: プレーン 4 のフレームバッファの切り替えが行われたことを示します。ADC4 ビットはクリアされるまで状態を保持します。
2	ADC3	0	R	なし	オートレンダリングディスプレイチェンジフラグ 3 (Auto rendering Display Change flag 3) 0: プレーン 3 のフレームバッファの切り替えが行われていません。 1: プレーン 3 のフレームバッファの切り替えがなわれたことを示します。ADC3 ビットはクリアされるまで状態を保持します。
1	ADC2	0	R	なし	オートレンダリングディスプレイチェンジフラグ 2 (Auto rendering Display Change flag 2) 0: プレーン 2 のフレームバッファの切り替えが行われていません。 1: プレーン 2 のフレームバッファの切り替えが行われたことを示します。ADC2 ビットはクリアされるまで状態を保持します。
0	ADC1	0	R	なし	オートレンダリングディスプレイチェンジフラグ 1 (Auto rendering Display Change flag 1) 0: プレーン 1 のフレームバッファの切り替えが行われていません。 1: プレーン 1 のフレームバッファの切り替えが行われたことを示します。ADC1 ビットはクリアされるまで状態を保持します。

- ADCについての説明。

アニメーション表示を行う場合にオートレンダリングモードで動画表示を行うことが可能ですが、このとき、

1. TRAP割り込みをチェックする。
2. この後、VBK割り込みをチェック。

3. VBK割り込みが発生した後、レンダリングスタートするというように2回フラグチェックを行う必要があります。

本フラグビット (ADC) を使用することで1回のフラグチェックでADC割り込みを行い、レンダリングスタートすることが可能になります。

(4) 表示ステータスレジスタクリアレジスタ (DSRCR : Display unit Status Register Clear Register)

アドレス : H'FFF8000C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVCL	FRCL	—	—	VBCL	CMP CL	RICL	HBCL	ADCL 8	ADCL 7	ADCL 6	ADCL 5	ADCL 4	ADCL 3	ADCL 2	ADCL 1
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	R	R	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15	TVCL	—	—/W	なし	TV同期信号エラーフラグクリア 0: 表示ステータスレジスタ (DSSR) のTVRフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のTVRフラグを0にクリアします。
14	FRCL	—	—/W	なし	フレームフラグクリア 0: 表示ステータスレジスタ (DSSR) のFRMフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のFRMフラグを0にクリアします。
13, 12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11	VBCL	—	—/W	なし	垂直ブランキングフラグクリア 0: 表示ステータスレジスタ (DSSR) のVBKフラグを変更しません。 1: 表示ステータスレジスタ (DSSR) のVBKフラグを0にクリアします。
10	CMPCL	—	—/W	—	ディスプレイアウトコンペラ割り込みフラグクリア 0: 表示ステータスレジスタ (DSSR) のCMPIフラグを更新しません。 1: 表示ステータスレジスタ (DSSR) のCMPIフラグを0クリアします。

ビット	ビット名	初期値	R/W	内部更新	説明
9	RICL	—	—/W	なし	ラスタ割り込みフラグクリア 0: 表示ステータスレジスタ (DSSR) の RINT フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の RINT フラグを 0 にクリアします。
8	HBCL	—	—/W	なし	HBK フラグクリア 0: 表示ステータスレジスタ (DSSR) の HBK フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の HBK フラグを 0 にクリアします。
7	ADCL8	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 8 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 8 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 8 を 0 にクリアします。
6	ADCL7	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 7 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 7 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 7 を 0 にクリアします。
5	ADCL6	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 6 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 6 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 6 を 0 にクリアします。
4	ADCL5	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 5 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 5 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 5 を 0 にクリアします。
3	ADCL4	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 4 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 を 0 にクリアします。
2	ADCL3	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 3 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 を 0 にクリアします。

ビット	ビット名	初期値	R/W	内部更新	説 明
1	ADCL2	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 2 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 を 0 にクリアします。
0	ADCL1	—	—/W	なし	オートレンダリングディスプレイチェンジフラグクリア 1 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 を 0 にクリアします。

(5) 表示割り込み許可レジスタ (DIER : Display unit Interrupt Enable Register)

アドレス : H'FFF80010

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVE	FRE	—	—	VBE	—	RIE	HBE	ADCE ₈	ADCE ₇	ADCE ₆	ADCE ₅	ADCE ₄	ADCE ₃	ADCE ₂	ADCE ₁
初期値:	0	0	—	—	0	—	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表示割り込み許可レジスタ (DIER) は、表示ステータスレジスタ (DSSR) に反映される Display Unit 内部状態を要因とした、CPU への割り込みを許可するレジスタです。本レジスタに 1 を設定すると、表示ステータスレジスタ (DSSR) の同一ビット位置へ 1 を設定された場合に CPU への割り込みを発生します。

ビット	ビット名	初期値	R/W	内部更新	説 明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
15	TVE	0	R/W	なし	TV 同期信号エラーフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを許可します。
14	FRE	0	R/W	なし	フレームフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを許可します。

ビット	ビット名	初期値	R/W	内部更新	説明
13、12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11	VBE	0	R/W	なし	垂直ブランキングフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを許可します。
10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9	RIE	0	R/W	なし	ラスト割り込みフラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを許可します。
8	HBE	0	R/W	なし	HBK フラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを許可します。
7	ADCE8	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ8割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ8割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ8割り込みを許可します。
6	ADCE7	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ7割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ7割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ7割り込みを許可します。
5	ADCE6	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ6割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ6割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ6割り込みを許可します。
4	ADCE5	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ5割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ5割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ5割り込みを許可します。

ビット	ビット名	初期値	R/W	内部更新	説明
3	ADCE4	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 4 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 割り込みを許可します。
2	ADCE3	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 3 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 割り込みを許可します。
1	ADCE2	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 2 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 割り込みを許可します。
0	ADCE1	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 1 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 割り込みを許可します。

Display Unit からの割り込み発生は表示ステータスレジスタ (DSSR) と表示割り込み許可レジスタ (DIER) から次の条件となります。

割り込み発生条件 = a + b + c + d + e + f + g + h + i + j + k + l + m

- a = TVR · TVE
- b = FRM · FRE
- c = VBK · VBE
- d = RINT · RIE
- e = HBK · HBE
- f = ADC6 · ADCE6
- g = ADC5 · ADCE5
- h = ADC4 · ADCE4
- i = ADC3 · ADCE3
- j = ADC2 · ADCE2
- k = ADC1 · ADCE1
- l = ADC8 · ADCE8
- m = ADC7 · ADCE7

(6) カラーパレット制御レジスタ (CPCR : Color Palette Control Register)

アドレス : H'FFF80014

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CP4 CE	CP3 CE	CP2 CE	CP1 CE
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~20	—	—	R	—	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
19	CP4CE	0	R/W	あり	カラーパレット4切り替えイネーブル (Color Palette 4 Change Enable) 0: カラーパレット4の切り替えを行いません。 1: カラーパレット4の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) のビット9 (DRES) を1から0に設定したとき、または、内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット4の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。
18	CP3CE	0	R/W	あり	カラーパレット3切り替えイネーブル (Color Palette 3 Change Enable) 0: カラーパレット3の切り替えを行いません。 1: カラーパレット3の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) のビット9 (DRES) を1から0に設定したとき、または、内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット3の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。
17	CP2CE	0	R/W	あり	カラーパレット2切り替えイネーブル (Color Palette 2 Change Enable) 0: カラーパレット2の切り替えを行いません。 1: カラーパレット2の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) のビット9 (DRES) を1から0に設定したとき、または、内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット2の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。

ビット	ビット名	初期値	R/W	内部更新	説明
16	CP1CE	0	R/W	あり	カラーパレット1切り替えイネーブル (Color Palette 1 Change Enable) 0: カラーパレット1の切り替えを行いません。 1: カラーパレット1の切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) のビット9 (DRES) を1から0に設定したとき、または、内部更新タイミング時です。本ビットは1設定のみ有効で、0設定は無効となります。カラーパレット1の切り替え後、0にクリアされます。1設定とクリアが同時に発生した場合は0クリアが優先します。
15~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(7) 表示プレーン優先順位レジスタ (DPPR : Display Plane Priority Register)

アドレス : H'FFF80018

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DPE8	DPS8			DPE7	DPS7			DPE6	DPS6			DPE5	DPS5		
初期値:	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE4	DPS4			DPE3	DPS3			DPE2	DPS2			DPE1	DPS1		
初期値:	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 画面合成の順番と表示ON/OFFを定義します。
- 表示出力系統制御レジスタ (DORCR) のビット0が0のとき、有効となりプレーン1~8を表示ONできます。
- 重ね合せ処理部1の優先順位のみを設定します。重ね合せ処理部2は表示出力系統制御レジスタ (DORCR) のビット0を1とし、表示重ね合せ2優先順位レジスタで設定します。
- 「14.3.4 表示プレーンレジスタ」に示すレジスタに所望の値を設定した後に、ビット31、27、23、19、15、11、7、3の該当するビットに1を設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
31	DPE8	0	R/W	あり	表示プレーン優先順位 8 許可 (Display plane Priority 8 Enable)
30~28	DPS8	111	R/W	あり	表示プレーン優先順位 8 選択 (Display plane Priority 8 Select) 1000 : 優先順位 8 にプレーン 1 を選択し、表示します。 1001 : 優先順位 8 にプレーン 2 を選択し、表示します。 1010 : 優先順位 8 にプレーン 3 を選択し、表示します。 1011 : 優先順位 8 にプレーン 4 を選択し、表示します。 1100 : 優先順位 8 にプレーン 5 を選択し、表示します。 1101 : 優先順位 8 にプレーン 6 を選択し、表示します。 1110 : 優先順位 8 にプレーン 7 を選択し、表示します。 1111 : 優先順位 8 にプレーン 8 を選択し、表示します。 0--- : 優先順位 8 は表示しません。
27	DPE7	0	R/W	あり	表示プレーン優先順位 7 許可 (Display plane Priority 7 Enable)
26~24	DPS7	110	R/W	あり	表示プレーン優先順位 7 選択 (Display plane Priority 7 Select) 1000 : 優先順位 7 にプレーン 1 を選択し、表示します。 1001 : 優先順位 7 にプレーン 2 を選択し、表示します。 1010 : 優先順位 7 にプレーン 3 を選択し、表示します。 1011 : 優先順位 7 にプレーン 4 を選択し、表示します。 1100 : 優先順位 7 にプレーン 5 を選択し、表示します。 1101 : 優先順位 7 にプレーン 6 を選択し、表示します。 1110 : 優先順位 7 にプレーン 7 を選択し、表示します。 1111 : 優先順位 7 にプレーン 8 を選択し、表示します。 0--- : 優先順位 7 は表示しません。
23	DPE6	0	R/W	あり	表示プレーン優先順位 6 許可 (Display plane Priority 6 Enable)
22~20	DPS6	101	R/W	あり	表示プレーン優先順位 6 選択 (Display plane Priority 6 Select) 1000 : 優先順位 6 にプレーン 1 を選択し、表示します。 1001 : 優先順位 6 にプレーン 2 を選択し、表示します。 1010 : 優先順位 6 にプレーン 3 を選択し、表示します。 1011 : 優先順位 6 にプレーン 4 を選択し、表示します。 1100 : 優先順位 6 にプレーン 5 を選択し、表示します。 1101 : 優先順位 6 にプレーン 6 を選択し、表示します。 1110 : 優先順位 6 にプレーン 7 を選択し、表示します。 1111 : 優先順位 6 にプレーン 8 を選択し、表示します。 0--- : 優先順位 6 は表示しません。

ビット	ビット名	初期値	R/W	内部更新	説明
19	DPE5	0	R/W	あり	表示プレーン優先順位 5 許可 (Display plane Priority 5 Enable)
18~16	DPS5	100	R/W	あり	表示プレーン優先順位 5 選択 (Display plane Priority 5 Select) 1000 : 優先順位 5 にプレーン 1 を選択し、表示します。 1001 : 優先順位 5 にプレーン 2 を選択し、表示します。 1010 : 優先順位 5 にプレーン 3 を選択し、表示します。 1011 : 優先順位 5 にプレーン 4 を選択し、表示します。 1100 : 優先順位 5 にプレーン 5 を選択し、表示します。 1101 : 優先順位 5 にプレーン 6 を選択し、表示します。 1110 : 優先順位 5 にプレーン 7 を選択し、表示します。 1111 : 優先順位 5 にプレーン 8 を選択し、表示します。 0--- : 優先順位 5 は表示しません。
15	DPE4	0	R/W	あり	表示プレーン優先順位 4 許可 (Display plane Priority 4 Enable)
14~12	DPS4	011	R/W	あり	表示プレーン優先順位 4 選択 (Display plane Priority 4 Select) 1000 : 優先順位 4 にプレーン 1 を選択し、表示します。 1001 : 優先順位 4 にプレーン 2 を選択し、表示します。 1010 : 優先順位 4 にプレーン 3 を選択し、表示します。 1011 : 優先順位 4 にプレーン 4 を選択し、表示します。 1100 : 優先順位 4 にプレーン 5 を選択し、表示します。 1101 : 優先順位 4 にプレーン 6 を選択し、表示します。 1110 : 優先順位 4 にプレーン 7 を選択し、表示します。 1111 : 優先順位 4 にプレーン 8 を選択し、表示します。 0--- : 優先順位 4 は表示しません。
11	DPE3	0	R/W	あり	表示プレーン優先順位 3 許可 (Display plane Priority 3 Enable)
10~8	DPS3	010	R/W	あり	表示プレーン優先順位 3 選択 (Display plane Priority 3 Select) 1000 : 優先順位 3 にプレーン 1 を選択し、表示します。 1001 : 優先順位 3 にプレーン 2 を選択し、表示します。 1010 : 優先順位 3 にプレーン 3 を選択し、表示します。 1011 : 優先順位 3 にプレーン 4 を選択し、表示します。 1100 : 優先順位 3 にプレーン 5 を選択し、表示します。 1101 : 優先順位 3 にプレーン 6 を選択し、表示します。 1110 : 優先順位 3 にプレーン 7 を選択し、表示します。 1111 : 優先順位 3 にプレーン 8 を選択し、表示します。 0--- : 優先順位 3 は表示しません。

ビット	ビット名	初期値	R/W	内部更新	説明
7	DPE2	0	R/W	あり	表示プレーン優先順位 2 許可 (Display plane Priority 2 Enable)
6~4	DPS2	001	R/W	あり	表示プレーン優先順位 2 選択 (Display plane Priority 2 Select) 1000 : 優先順位 2 にプレーン 1 を選択し、表示します。 1001 : 優先順位 2 にプレーン 2 を選択し、表示します。 1010 : 優先順位 2 にプレーン 3 を選択し、表示します。 1011 : 優先順位 2 にプレーン 4 を選択し、表示します。 1100 : 優先順位 2 にプレーン 5 を選択し、表示します。 1101 : 優先順位 2 にプレーン 6 を選択し、表示します。 1110 : 優先順位 2 にプレーン 7 を選択し、表示します。 1111 : 優先順位 2 にプレーン 8 を選択し、表示します。 0--- : 優先順位 2 は表示しません。
3	DPE1	0	R/W	あり	表示プレーン優先順位 1 許可 (Display plane Priority 1 Enable)
2~0	DPS1	000	R/W	あり	表示プレーン優先順位 1 選択 (Display plane Priority 1 Select) 1000 : 優先順位 1 にプレーン 1 を選択し、表示します。 1001 : 優先順位 1 にプレーン 2 を選択し、表示します。 1010 : 優先順位 1 にプレーン 3 を選択し、表示します。 1011 : 優先順位 1 にプレーン 4 を選択し、表示します。 1100 : 優先順位 1 にプレーン 5 を選択し、表示します。 1101 : 優先順位 1 にプレーン 6 を選択し、表示します。 1110 : 優先順位 1 にプレーン 7 を選択し、表示します。 1111 : 優先順位 1 にプレーン 8 を選択し、表示します。 0--- : 優先順位 1 は表示しません。

(8) 表示拡張機能制御レジスタ (DEFER : Display unit Extensional Function enable Register)

アドレス : H'FFF80020

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	EXSL	EXVL	—	—	—	—	—	EXUP	VCUP	—	—	—	DEFE
初期値:	—	—	—	0	0	—	—	—	—	—	0	0	—	—	—	0
R/W:	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	表示拡張機能制御レジスタ有効コード ^① (register available CODE) 表示拡張機能制御レジスタを有効とするために、レジスタライト時にビット 31~16 を H'7773 に設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
15~13	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
12	EXSL	0	R/W	DRES	外部 SYNC 信号選択 (External Sync Signal Select) 0: 外部 SYNC 信号 (EXVSYNC、EXHSYNX) は端子からの信号を分周後クロックで直接取込みます。 1: 外部 SYNC 信号 (EXVSYNC、EXHSYNX) は分周前クロックでいったん取り込んだ信号を分周後クロックで取込みます。
11	EXVL	0	R/W	なし	外部 VSYNC 取り込み選択 (External Vsync Latch select) 0: 外部 VSYNC 信号 (EXVSYNC) は端子からの信号を毎クロックで取込みます。 1: 外部 VSYNC 信号 (EXVSYNC) は端子からの信号を外部 HSYNC 信号 (EXHSYNX) の立ち上がりで取込みます。
10~6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
5	EXUP	0	R/W	DRES	外部更新モード (External UPdating Mode) 0: 内部更新機能ビットは内部更新されます。 1: 内部更新機能ビットは内部更新されず、外部更新となります。このビットは表示システム制御レジスタ (DSYSR) / IUPD より、優先されます。
4	VCUP	0	R/W	DRES	垂直走査周期レジスタ内部更新タイミング選択 (Vertical Cycle register UPdate timing select) 0: 垂直走査周期レジスタの内部更新は VSYNC 立ち下がりです。 1: 垂直走査周期レジスタの内部更新は VSYNC 立ち上がりです。垂直走査周期レジスタの内部更新を VSYNC の立ち上がりとすることで、垂直走査周期レジスタの切り替え時に VSYNC 信号が乱れることはありません。
3~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説 明
0	DEFE	0	R/W	DRES	表示拡張機能許可 (Display unit Extensional Function Enable) 0: 拡張機能は無効です。 1: 拡張機能が有効となります。有効となる機能は次のとおりです。 <ul style="list-style-type: none"> ・表示領域開始アドレスレジスタ (DSAR)、格納領域開始アドレスレジスタ (DCSAR) のビット 31~29、表示システム制御レジスタ (DSYSR) のビット 29 が有効となります。 ・プレーン n モードレジスタ (PnMR) のビット 26~24 が有効となります。 ・表示領域開始アドレスのビット 31~29 が有効となります。 ・外部同期制御レジスタ (ESCR) のビット 24、ビット 5 が有効となります。 ・プレーン n ブレンド比レジスタ (PnALPHAR) のビット 10 が有効となります。

(9) 表示キャプチャ制御レジスタ (DCPCR : Display CaPture Control Register)

アドレス : H'FFF80028

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CAB	CDF	—	—	—	DCE
初期値:	—	—	—	—	—	—	—	—	—	—	0	0	—	—	—	0
R/W:	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W

- ・「14.3.5 表示キャプチャレジスタ」に示すレジスタに所望の値を設定した後に、ビット8またはビット0の該当するビットに1を設定してください。

ビット	ビット名	初期値	R/W	内部更新	説 明
31~16	CODE	—	—/W	なし	表示キャプチャ制御レジスタ有効コード (register available CODE) 表示キャプチャ制御レジスタを有効とするために、レジスタライト時にビット 31~16 を H'7773 に設定してください。
15、14	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
13、12	—	—	R/W	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
11~9	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
8	—	—	R/W	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7、6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
5	CAB	0	R/W	あり	表示キャプチャ A ビット機能選択 (display Capture A BIT function select) ビット 5 を有効にするには表示拡張機能許可レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 5 は 0 固定となります。 0 : 表示キャプチャデータフォーマットが ARGB1555 のとき、A 値は 0 となります。 1 : 表示キャプチャデータフォーマットが ARGB1555 のとき、A 値は 1 となります。
4	CDF	0	R/W	あり	表示キャプチャデータフォーマット (Display Capture Data Format) ビット 4 を有効にするには表示拡張機能許可レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 4 は 0 固定となります。 0 : 重ね合せ処理部 1 の表示キャプチャのデータは RGB565 となります。 1 : 重ね合せ処理部 1 の表示キャプチャのデータは ARGB1555 となります。A 値は本レジスタのビット 5 で指定します。
3~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
0	DCE	0	R/W	あり	表示キャプチャ許可 (Display Capture Enable) 0 : 重ね合せ処理部 1 の表示データをキャプチャしません。 1 : 表示システム制御レジスタ (DSYSR) の DRES、DEN が 01 時、重ね合せ処理部 1 の表示データをキャプチャします。1 設定後、次のフレームからキャプチャします。

(10) 表示拡張機能制御レジスタ 2 (DEFR2 : Display unit Extensional Function enable Register 2)

アドレス : H'FFF80034

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEFE 2G
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	表示拡張機能制御レジスタ 2 有効コード (CODE: register available CODE) 表示拡張機能制御レジスタ 2 を有効とするために、レジスタライト時にビット 31~16 を H'7775 に設定してください。
15~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
0	DEFE2G	0	R/W	DRES	表示拡張機能許可 (Display unit Extensional Function Enable 2G) 0: 拡張機能は無効です。 1: 拡張機能が有効となります。有効となる機能は次のとおりです。 ・ プレーン n ブレンド比レジスタ (PnALPHAR) のビット 13、12 が有効となります。 ・ 表示キャプチャ制御レジスタ (DCPCR) のビット 5、4 が有効となります。

(11) 表示拡張機能制御レジスタ 3 (DEFR3 : Display unit Extensional Function enable Register 3)

アドレス : H'FFF80038

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EVD	M	—	—	—	—	—	—	—	—	—	—	—	DEFE 3
初期値:	—	—	0	0	—	—	—	—	—	—	0	0	—	—	—	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	表示拡張機能制御レジスタ 3 有効コード (CODE: register available CODE) 表示拡張機能制御レジスタ 3 を有効とするために、レジスタライト時にビット 31~16 を H'7776 に設定してください。
15、14	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
13、12	EVDM	00	R/W	あり	プレーン 7、8 拡張ビデオ表示モード (Extensional Video Display Mode) 00: 拡張ビデオ表示機能を使用しません。 01: プレーン 7、8 を使用し、拡張ビデオ表示を行います。ビデオインプットモジュールの奇数/偶数フィールドキャプチャモードにより取り込まれた画像データを、プレーン 7、8 に振り分け、常時ブレンド比レジスタ値を用いた α ブレンディングを行います。 10: プレーン 7、8 を使用し、拡張ビデオ表示を行います。ビデオインプットモジュールの奇数/偶数フィールドキャプチャモードにより取り込まれた画像データを、プレーン 7、8 に振り分け、ビデオ入力と Display Unit の垂直同期信号の位相差に従うブレンド比レジスタ値を用いた α ブレンディングを行います。 11: プレーン 7、8 を使用し、拡張ビデオ表示を行います。ビデオインプットモジュールの奇数/偶数フィールドキャプチャモードにより取り込まれた画像データを、プレーン 7、8 に振り分け、フィールド交互表示を基準に、同一フィールド表示の場合のみ、ブレンド比レジスタ値を用いた α ブレンディングを行います。
11~6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
5、4	VMSM1	00	R/W	DRES	ビデオインプットマスタモード 1 (Video input MaSter Mode 1) ビデオインプットマスタモードを有効とするには、表示システム制御レジスタ (DSYSR) / TVM を 00 (マスタモード) に設定してください。00 以外では本ビットを設定してもビデオインプットマスタモードは有効となりません。 00: タイミング生成回路 1 のビデオインプットマスタモード機能は無効です。TV 同期モードは表示システム制御レジスタ (DSYSR) / TVM で指定したモードとなります。 01: タイミング生成回路 1 のビデオインプットマスタモード機能が有効となります。HSYNC、VSYNC、CSYNC を出力します。ビデオインプットが出力する VSYNC に同期した VSYNC を出力します。HSYNC、ODDF はレジスタ設定値となります。 10: 設定禁止。 11: 設定禁止。

ビット	ビット名	初期値	R/W	内部更新	説明
3~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
0	DEFE3	0	R/W	DRES	表示拡張機能許可 (Display unit Extensional Function Enable sh-navi3) 0: 拡張機能は無効です。 1: 拡張機能が有効となります。有効となる機能は次のとおりです。 ・表示キャプチャ制御レジスタ (DCPCR) のビット 13、12、8 が有効となります。 ・表示ビデオキャプチャステータスレジスタ (DVCSR) が有効となります。

(12) 表示拡張機能制御レジスタ 4 (DEFR4: Display unit Extensional Function enable Register 4)

アドレス: H'FFF8003C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	LRUO	SPCE	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	0	0	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	表示拡張機能制御レジスタ 4 有効コード (CODE: register available CODE) 表示拡張機能制御レジスタ 4 を有効とするために、レジスタライト時にビット 31~16 を H'7777 に設定してください。
15~6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
5	LRUO	0	R/W	DRES	LRU 機能 OFF (LRU function Off) 0: 各プレーンからの SHwy へのリクエストは LRU 方式で調停します。 1: 各プレーンからの SHwy へのリクエストは優先方式で調停します。 (高) プレーン 1>プレーン 2>プレーン 3>プレーン 4>プレーン 5>プレーン 6>プレーン 7>プレーン 8>表示キャプチャ 1 (低) の順に優先順位が高くなります。 32bit/pixel 表示をする場合は本ビットを 1 に設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
4	SPCE	0	R/W	DRES	SHwy プライオリティ可変許可 (Shwy Priority Change Enable) 0: プレーン n 表示データ制御レジスタ (PnDDCR) のビット 10 が 1 のとき、SHwy プライオリティの低い優先順位のビット 0 が 1 固定になります。 1: SHwy プライオリティの低い優先順位のビット 0 は表示 SuperHyway プライオリティレジスタ (DSHPR) のビット 0 となります。
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(13) 表示ビデオキャプチャステータスレジスタ (DVCSR : Display Unit Video Capture Status Register)

アドレス : H'FFF800D0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	V1CFB	—	—	—	—	—	—	VCFB	
初期値:	—	—	—	—	—	—	—	—	0	0	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタを有効にするには表示拡張機能許可レジスタ 3 (DEFR3) / DEFE3 に 1 を設定してください。初期状態では読み出しは 0 固定となります。

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
7、6	V1CFB	00	R	なし	ビデオ1キャプチャフレームバッファフラグ (Video1 Capture Frame Buffer Flag) VIN1の表示開始アドレスの状態を示します。 タイミング生成部1の内部更新タイミングで更新されます。 00: ビデオキャプチャに設定したプレーンにおいて PnDSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 01: ビデオキャプチャに設定したプレーンにおいて PnDSA1R で示されるアドレスを表示領域開始アドレスとして使用中。 10: ビデオキャプチャに設定したプレーンにおいて PnDSA2R で示されるアドレスを表示領域開始アドレスとして使用中。 11: ビデオインプットモジュールが初期状態です。
5~2	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
1、0	VCFB	00	R	なし	ビデオキャプチャフレームバッファフラグ (Video Capture Frame Buffer Flag) タイミング生成部1の内部更新タイミングで更新されます。 00: ビデオキャプチャに設定したプレーンにおいて PnDSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 01: ビデオキャプチャに設定したプレーンにおいて PnDSA1R で示されるアドレスを表示領域開始アドレスとして使用中。 10: ビデオキャプチャに設定したプレーンにおいて PnDSA2R で示されるアドレスを表示領域開始アドレスとして使用中。 11: ビデオインプットモジュールが初期状態です。

14.3.2 表示タイミング生成レジスタ

(1) 水平表示開始位置レジスタ (HDSR : Horizontal Display Start Register)

アドレス : H'FFF80040

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	HDS									—	—
初期値:	—	—	—	—	—	—	—	—									—	—
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
8~0	HDS	—	R/W	あり	水平表示開始位置 (Horizontal Display Start) 水平表示開始位置をドットクロック単位で設定します。 リセット時は値を保持します。

(2) 水平表示終了位置レジスタ (HDER : Horizontal Display End Register)

アドレス : H'FFF80044

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HDE										—
初期値:	—	—	—	—	—	—										—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	HDE	—	R/W	あり	水平表示終了位置 (Horizontal Display End) 水平表示終了位置をドットクロック単位で設定します。 リセット時は値を保持します。

(3) 垂直表示開始位置レジスタ (VDSR : Vertical Display Start Register)

アドレス : H'FFF80048

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	VDS									—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
8~0	VDS	—	R/W	あり	垂直表示開始位置 (Vertical Display Start) 垂直表示開始位置をラスタライン単位で設定します。 リセット時は値を保持します。

(4) 垂直表示終了位置レジスタ (VDER : Vertical Display End Register)

アドレス : H'FFF8004C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	VDE									—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	VDE	—	R/W	あり	垂直表示終了位置 (Vertical Display End) 垂直表示終了位置をラスタライン単位で設定します。 リセット時は値を保持します。

(5) 水平走査周期レジスタ (HCR : Horizontal Cycle Register)

アドレス : H'FFF80050

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HC										
初期値:	—	—	—	—	—	—										
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	HC	—	R/W	あり	水平走査周期 (Horizontal Cycle) 水平帰線期間を含めた1水平走査周期をドットクロック単位で設定します。 TV同期モード時は、EXHSYNCの周期より、本レジスタによるHSYNCの周期が同じか、大きくなるように本レジスタを設定してください。 リセット時は値を保持します。

(6) 水平同期パルス幅レジスタ (HSWR : Horizontal Sync Width Register)

アドレス : H'FFF80054

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HSW								
初期値:	—	—	—	—	—	—	—	—								
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
8~0	HSW	—	R/W	あり	水平同期パルス幅 (Horizontal Sync Width) 水平同期信号のLowレベルパルス幅をドットクロック単位で設定します。 リセット時は値を保持します。

(7) 垂直走査周期レジスタ (VCR : Vertical Cycle Register)

アドレス : H'FFF80058

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VC									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	VC	—	R/W	あり	垂直走査周期 (Vertical Cycle) 垂直帰線期間を含めた垂直走査周期をラスタライン単位で設定します。 TV同期モード時は、EXVSYNCの立ち上がりの検出期限時間を設定します。期限以内に検出されないとTVRフラグに結果を反映します。 リセット時は値を保持します。

(8) 垂直同期位置レジスタ (VSPR : Vertical Sync Point Register)

アドレス : H'FFF8005C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VSP									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	VSP	—	R/W	あり	垂直同期位置 (Vertical Sync Point) 垂直同期信号の開始位置をラスタライン単位で設定します。 TV 同期モード時は、EXVSYNC の立ち下がりより、本レジスタによる VSYNC の立ち下がり設定位置が同じか、後になるように本レジスタを設定してください。 リセット時は値を保持します。

(9) 等価パルス幅レジスタ (EQWR : Equal pulse Width Register)

アドレス : H'FFF80060

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
初期値:	—	—	—	—	—	—	—	—	—	EQW							—	—
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説 明
31~7	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
6~0	EQW	—	R/W	あり	等価パルス幅 (Equal pulse Width) CSYNC 信号の等価パルスの Low レベルパルス幅をドットクロック単位で設定します。 本設定を有効にするには、表示モードレジスタ (DSMR) / CSYNC モード (CSY) のビット7を1に設定してください。 リセット時は値を保持します。

(10) セレーション幅レジスタ (SPWR : Serration Width Register)

アドレス : H'FFF80064

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPW									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	SPW	—	R/W	あり	セレーション幅 (Serration Width) CSYNC 信号のセレーションパルスの Low レベルパルス幅をドットクロック単位で設定します。HC の 1/2 より小さい値を設定してください。 本設定を有効にするには、表示モードレジスタ (DSMR) / CSYNC モード (GSY) のビット 7 を 1 に設定してください。 リセット時は値を保持します。

(11) CLAMP 信号開始位置レジスタ (CLAMPSR : CLAMP signal Start Register)

アドレス : H'FFF80070

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPS										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	CLAMPS	—	R/W	あり	CLAMP 信号開始位置 (CLAMP signal Start) CLAMP 信号の立ち上がり位置を HSYNC 信号の立ち下がり基準としてドットクロック単位で設定します。 HSYNC 信号の立ち下がりから (設定値+1) サイクル後に CLAMP 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同じサイクルで CLAMP 信号を立ち上げることはできません。 リセット時は値を保持します。

(12) CLAMP 信号幅レジスタ (CLAMPW : CLAMP signal Width Register)

アドレス : H'FFF80074

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPW										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	CLAMPW	—	R/W	あり	CLAMP 信号幅 (CLAMP signal Width) CLAMP 信号の High レベル幅をドットクロック単位で設定します。 CLAMP 信号が High レベルのときに HSYNC 信号が立ち下がった場合、CLAMP 信号も立ち下がります。 リセット時は値を保持します。

(13) DE 信号開始位置レジスタ (DESR : DE signal Start Register)

アドレス : H'FFF80078

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DES										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	DES	—	R/W	あり	DE 信号開始位置 (DE signal Start) DE 信号の立ち上がり位置を HSYNC 信号の立ち下がりを基準としてドットクロック単位で設定します。 HSYNC 信号の立ち下がりから (設定値+1) サイクル後に DE 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同じサイクルで DE 信号を立ち上げることはできません。 垂直ブランキング期間は Low レベル固定になります。 リセット時は値を保持します。

(14) DE 信号幅レジスタ (DEWR : DE signal Width Register)

アドレス : H'FFF8007C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DEW										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	DEW	—	R/W	あり	DE 信号幅 (DE signal Width) DE 信号の High レベル幅をドットクロック単位で設定します。 DE 信号が High レベルのときに HSYNC 信号が立ち下がった場合、DE 信号も立ち下がります。 リセット時は値を保持します。

14.3.3 表示属性レジスタ

(1) カラーパレット1透過色レジスタ (CP1TR : Color Palette 1 Transparent color Register)

アドレス : H'FFF80080

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP1IF	CP1IE	CP1ID	CP1IC	CP1IB	CP1IA	CP1I9	CP1I8	CP1I7	CP1I6	CP1I5	CP1I4	CP1I3	CP1I2	CP1I1	CP1I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15	CP1IF	0	R/W	あり	カラーパレット1インデックス F (Color Palette 1 Index F) 0 : カラーパレット1のインデックス F のカラーを透過色に設定しません。 1 : カラーパレット1のインデックス F のカラーを透過色に設定します。
14	CP1IE	0	R/W	あり	カラーパレット1インデックス E (Color Palette 1 Index E) 0 : カラーパレット1のインデックス E のカラーを透過色に設定しません。 1 : カラーパレット1のインデックス E のカラーを透過色に設定します。
13	CP1ID	0	R/W	あり	カラーパレット1インデックス D (Color Palette 1 Index D) 0 : カラーパレット1のインデックス D のカラーを透過色に設定しません。 1 : カラーパレット1のインデックス D のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
12	CP1IC	0	R/W	あり	カラーパレット1インデックスC (Color Palette 1 Index C) 0: カラーパレット1のインデックスCのカラーを透過色に設定しません。 1: カラーパレット1のインデックスCのカラーを透過色に設定します。
11	CP1IB	0	R/W	あり	カラーパレット1インデックスB (Color Palette 1 Index B) 0: カラーパレット1のインデックスBのカラーを透過色に設定しません。 1: カラーパレット1のインデックスBのカラーを透過色に設定します。
10	CP1IA	0	R/W	あり	カラーパレット1インデックスA (Color Palette 1 Index A) 0: カラーパレット1のインデックスAのカラーを透過色に設定しません。 1: カラーパレット1のインデックスAのカラーを透過色に設定します。
9	CP1I9	0	R/W	あり	カラーパレット1インデックス9 (Color Palette 1 Index 9) 0: カラーパレット1のインデックス9のカラーを透過色に設定しません。 1: カラーパレット1のインデックス9のカラーを透過色に設定します。
8	CP1I8	0	R/W	あり	カラーパレット1インデックス8 (Color Palette 1 Index 8) 0: カラーパレット1のインデックス8のカラーを透過色に設定しません。 1: カラーパレット1のインデックス8のカラーを透過色に設定します。
7	CP1I7	0	R/W	あり	カラーパレット1インデックス7 (Color Palette 1 Index 7) 0: カラーパレット1のインデックス7のカラーを透過色に設定しません。 1: カラーパレット1のインデックス7のカラーを透過色に設定します。
6	CP1I6	0	R/W	あり	カラーパレット1インデックス6 (Color Palette 1 Index 6) 0: カラーパレット1のインデックス6のカラーを透過色に設定しません。 1: カラーパレット1のインデックス6のカラーを透過色に設定します。
5	CP1I5	0	R/W	あり	カラーパレット1インデックス5 (Color Palette 1 Index 5) 0: カラーパレット1のインデックス5のカラーを透過色に設定しません。 1: カラーパレット1のインデックス5のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
4	CP1I4	0	R/W	あり	カラーパレット1インデックス4 (Color Palette 1 Index 4) 0: カラーパレット1のインデックス4のカラーを透過色に設定しません。 1: カラーパレット1のインデックス4のカラーを透過色に設定します。
3	CP1I3	0	R/W	あり	カラーパレット1インデックス3 (Color Palette 1 Index 3) 0: カラーパレット1のインデックス3のカラーを透過色に設定しません。 1: カラーパレット1のインデックス3のカラーを透過色に設定します。
2	CP1I2	0	R/W	あり	カラーパレット1インデックス2 (Color Palette 1 Index 2) 0: カラーパレット1のインデックス2のカラーを透過色に設定しません。 1: カラーパレット1のインデックス2のカラーを透過色に設定します。
1	CP1I1	0	R/W	あり	カラーパレット1インデックス1 (Color Palette 1 Index 1) 0: カラーパレット1のインデックス1のカラーを透過色に設定しません。 1: カラーパレット1のインデックス1のカラーを透過色に設定します。
0	CP1I0	0	R/W	あり	カラーパレット1インデックス0 (Color Palette 1 Index 0) 0: カラーパレット1のインデックス0のカラーを透過色に設定しません。 1: カラーパレット1のインデックス0のカラーを透過色に設定します。

(2) カラーパレット2透過色レジスタ (CP2TR : Color Palette 2 Transparent color Register)

アドレス : H'FFF80084

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP2IF	CP2IE	CP2ID	CP2IC	CP2IB	CP2IA	CP2I9	CP2I8	CP2I7	CP2I6	CP2I5	CP2I4	CP2I3	CP2I2	CP2I1	CP2I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
15	CP2IF	0	R/W	あり	カラーパレット2インデックスF (Color Palette 2 Index F) 0: カラーパレット2のインデックスFのカラーを透過色に設定しません。 1: カラーパレット2のインデックスFのカラーを透過色に設定します。
14	CP2IE	0	R/W	あり	カラーパレット2インデックスE (Color Palette 2 Index E) 0: カラーパレット2のインデックスEのカラーを透過色に設定しません。 1: カラーパレット2のインデックスEのカラーを透過色に設定します。
13	CP2ID	0	R/W	あり	カラーパレット2インデックスD (Color Palette 2 Index D) 0: カラーパレット2のインデックスDのカラーを透過色に設定しません。 1: カラーパレット2のインデックスDのカラーを透過色に設定します。
12	CP2IC	0	R/W	あり	カラーパレット2インデックスC (Color Palette 2 Index C) 0: カラーパレット2のインデックスCのカラーを透過色に設定しません。 1: カラーパレット2のインデックスCのカラーを透過色に設定します。
11	CP2IB	0	R/W	あり	カラーパレット2インデックスB (Color Palette 2 Index B) 0: カラーパレット2のインデックスBのカラーを透過色に設定しません。 1: カラーパレット2のインデックスBのカラーを透過色に設定します。
10	CP2IA	0	R/W	あり	カラーパレット2インデックスA (Color Palette 2 Index A) 0: カラーパレット2のインデックスAのカラーを透過色に設定しません。 1: カラーパレット2のインデックスAのカラーを透過色に設定します。
9	CP2I9	0	R/W	あり	カラーパレット2インデックス9 (Color Palette 2 Index 9) 0: カラーパレット2のインデックス9のカラーを透過色に設定しません。 1: カラーパレット2のインデックス9のカラーを透過色に設定します。
8	CP2I8	0	R/W	あり	カラーパレット2インデックス8 (Color Palette 2 Index 8) 0: カラーパレット2のインデックス8のカラーを透過色に設定しません。 1: カラーパレット2のインデックス8のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
7	CP2I7	0	R/W	あり	カラーパレット2インデックス7 (Color Palette 2 Index 7) 0: カラーパレット2のインデックス7のカラーを透過色に設定しません。 1: カラーパレット2のインデックス7のカラーを透過色に設定します。
6	CP2I6	0	R/W	あり	カラーパレット2インデックス6 (Color Palette 2 Index 6) 0: カラーパレット2のインデックス6のカラーを透過色に設定しません。 1: カラーパレット2のインデックス6のカラーを透過色に設定します。
5	CP2I5	0	R/W	あり	カラーパレット2インデックス5 (Color Palette 2 Index 5) 0: カラーパレット2のインデックス5のカラーを透過色に設定しません。 1: カラーパレット2のインデックス5のカラーを透過色に設定します。
4	CP2I4	0	R/W	あり	カラーパレット2インデックス4 (Color Palette 2 Index 4) 0: カラーパレット2のインデックス4のカラーを透過色に設定しません。 1: カラーパレット2のインデックス4のカラーを透過色に設定します。
3	CP2I3	0	R/W	あり	カラーパレット2インデックス3 (Color Palette 2 Index 3) 0: カラーパレット2のインデックス3のカラーを透過色に設定しません。 1: カラーパレット2のインデックス3のカラーを透過色に設定します。
2	CP2I2	0	R/W	あり	カラーパレット2インデックス2 (Color Palette 2 Index 2) 0: カラーパレット2のインデックス2のカラーを透過色に設定しません。 1: カラーパレット2のインデックス2のカラーを透過色に設定します。
1	CP2I1	0	R/W	あり	カラーパレット2インデックス1 (Color Palette 2 Index 1) 0: カラーパレット2のインデックス1のカラーを透過色に設定しません。 1: カラーパレット2のインデックス1のカラーを透過色に設定します。
0	CP2I0	0	R/W	あり	カラーパレット2インデックス0 (Color Palette 2 Index 0) 0: カラーパレット2のインデックス0のカラーを透過色に設定しません。 1: カラーパレット2のインデックス0のカラーを透過色に設定します。

(3) カラーパレット3透過色レジスタ (CP3TR : Color Palette 3 Transparent color Register)

アドレス : H'FFF80088

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP3IF	CP3IE	CP3ID	CP3IC	CP3IB	CP3IA	CP3I9	CP3I8	CP3I7	CP3I6	CP3I5	CP3I4	CP3I3	CP3I2	CP3I1	CP3I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15	CP3IF	0	R/W	あり	カラーパレット3インデックスF (Color Palette 3 Index F) 0: カラーパレット3のインデックスFのカラーを透過色に設定しません。 1: カラーパレット3のインデックスFのカラーを透過色に設定します。
14	CP3IE	0	R/W	あり	カラーパレット3インデックスE (Color Palette 3 Index E) 0: カラーパレット3のインデックスEのカラーを透過色に設定しません。 1: カラーパレット3のインデックスEのカラーを透過色に設定します。
13	CP3ID	0	R/W	あり	カラーパレット3インデックスD (Color Palette 3 Index D) 0: カラーパレット3のインデックスDのカラーを透過色に設定しません。 1: カラーパレット3のインデックスDのカラーを透過色に設定します。
12	CP3IC	0	R/W	あり	カラーパレット3インデックスC (Color Palette 3 Index C) 0: カラーパレット3のインデックスCのカラーを透過色に設定しません。 1: カラーパレット3のインデックスCのカラーを透過色に設定します。
11	CP3IB	0	R/W	あり	カラーパレット3インデックスB (Color Palette 3 Index B) 0: カラーパレット3のインデックスBのカラーを透過色に設定しません。 1: カラーパレット3のインデックスBのカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
10	CP31A	0	R/W	あり	カラーパレット3インデックスA (Color Palette 3 Index A) 0: カラーパレット3のインデックスAのカラーを透過色に設定しません。 1: カラーパレット3のインデックスAのカラーを透過色に設定します。
9	CP319	0	R/W	あり	カラーパレット3インデックス9 (Color Palette 3 Index 9) 0: カラーパレット3のインデックス9のカラーを透過色に設定しません。 1: カラーパレット3のインデックス9のカラーを透過色に設定します。
8	CP318	0	R/W	あり	カラーパレット3インデックス8 (Color Palette 3 Index 8) 0: カラーパレット3のインデックス8のカラーを透過色に設定しません。 1: カラーパレット3のインデックス8のカラーを透過色に設定します。
7	CP317	0	R/W	あり	カラーパレット3インデックス7 (Color Palette 3 Index 7) 0: カラーパレット3のインデックス7のカラーを透過色に設定しません。 1: カラーパレット3のインデックス7のカラーを透過色に設定します。
6	CP316	0	R/W	あり	カラーパレット3インデックス6 (Color Palette 3 Index 6) 0: カラーパレット3のインデックス6のカラーを透過色に設定しません。 1: カラーパレット3のインデックス6のカラーを透過色に設定します。
5	CP315	0	R/W	あり	カラーパレット3インデックス5 (Color Palette 3 Index 5) 0: カラーパレット3のインデックス5のカラーを透過色に設定しません。 1: カラーパレット3のインデックス5のカラーを透過色に設定します。
4	CP314	0	R/W	あり	カラーパレット3インデックス4 (Color Palette 3 Index 4) 0: カラーパレット3のインデックス4のカラーを透過色に設定しません。 1: カラーパレット3のインデックス4のカラーを透過色に設定します。
3	CP313	0	R/W	あり	カラーパレット3インデックス3 (Color Palette 3 Index 3) 0: カラーパレット3のインデックス3のカラーを透過色に設定しません。 1: カラーパレット3のインデックス3のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
2	CP3I2	0	R/W	あり	カラーパレット3インデックス2 (Color Palette 3 Index 2) 0: カラーパレット3のインデックス2のカラーを透過色に設定しません。 1: カラーパレット3のインデックス2のカラーを透過色に設定します。
1	CP3I1	0	R/W	あり	カラーパレット3インデックス1 (Color Palette 3 Index 1) 0: カラーパレット3のインデックス1のカラーを透過色に設定しません。 1: カラーパレット3のインデックス1のカラーを透過色に設定します。
0	CP3I0	0	R/W	あり	カラーパレット3インデックス0 (Color Palette 3 Index 0) 0: カラーパレット3のインデックス0のカラーを透過色に設定しません。 1: カラーパレット3のインデックス0のカラーを透過色に設定します。

(4) カラーパレット4透過色レジスタ (CP4TR : Color Palette 4 Transparent color Register)

アドレス : H'FFF8008C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP4IF	CP4IE	CP4ID	CP4IC	CP4IB	CP4IA	CP4I9	CP4I8	CP4I7	CP4I6	CP4I5	CP4I4	CP4I3	CP4I2	CP4I1	CP4I0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15	CP4IF	0	R/W	あり	カラーパレット4インデックスF (Color Palette 4 Index F) 0: カラーパレット4のインデックスFのカラーを透過色に設定しません。 1: カラーパレット4のインデックスFのカラーを透過色に設定します。
14	CP4IE	0	R/W	あり	カラーパレット4インデックスE (Color Palette 4 Index E) 0: カラーパレット4のインデックスEのカラーを透過色に設定しません。 1: カラーパレット4のインデックスEのカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
13	CP4ID	0	R/W	あり	カラーパレット4インデックスD (Color Palette 4 Index D) 0: カラーパレット4のインデックスDのカラーを透過色に設定しません。 1: カラーパレット4のインデックスDのカラーを透過色に設定します。
12	CP4IC	0	R/W	あり	カラーパレット4インデックスC (Color Palette 4 Index C) 0: カラーパレット4のインデックスCのカラーを透過色に設定しません。 1: カラーパレット4のインデックスCのカラーを透過色に設定します。
11	CP4IB	0	R/W	あり	カラーパレット4インデックスB (Color Palette 4 Index B) 0: カラーパレット4のインデックスBのカラーを透過色に設定しません。 1: カラーパレット4のインデックスBのカラーを透過色に設定します。
10	CP4IA	0	R/W	あり	カラーパレット4インデックスA (Color Palette 4 Index A) 0: カラーパレット4のインデックスAのカラーを透過色に設定しません。 1: カラーパレット4のインデックスAのカラーを透過色に設定します。
9	CP4I9	0	R/W	あり	カラーパレット4インデックス9 (Color Palette 4 Index 9) 0: カラーパレット4のインデックス9のカラーを透過色に設定しません。 1: カラーパレット4のインデックス9のカラーを透過色に設定します。
8	CP4I8	0	R/W	あり	カラーパレット4インデックス8 (Color Palette 4 Index 8) 0: カラーパレット4のインデックス8のカラーを透過色に設定しません。 1: カラーパレット4のインデックス8のカラーを透過色に設定します。
7	CP4I7	0	R/W	あり	カラーパレット4インデックス7 (Color Palette 4 Index 7) 0: カラーパレット4のインデックス7のカラーを透過色に設定しません。 1: カラーパレット4のインデックス7のカラーを透過色に設定します。
6	CP4I6	0	R/W	あり	カラーパレット4インデックス6 (Color Palette 4 Index 6) 0: カラーパレット4のインデックス6のカラーを透過色に設定しません。 1: カラーパレット4のインデックス6のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説明
5	CP4I5	0	R/W	あり	カラーパレット4インデックス5 (Color Palette 4 Index 5) 0: カラーパレット4のインデックス5のカラーを透過色に設定しません。 1: カラーパレット4のインデックス5のカラーを透過色に設定します。
4	CP4I4	0	R/W	あり	カラーパレット4インデックス4 (Color Palette 4 Index 4) 0: カラーパレット4のインデックス4のカラーを透過色に設定しません。 1: カラーパレット4のインデックス4のカラーを透過色に設定します。
3	CP4I3	0	R/W	あり	カラーパレット4インデックス3 (Color Palette 4 Index 3) 0: カラーパレット4のインデックス3のカラーを透過色に設定しません。 1: カラーパレット4のインデックス3のカラーを透過色に設定します。
2	CP4I2	0	R/W	あり	カラーパレット4インデックス2 (Color Palette 4 Index 2) 0: カラーパレット4のインデックス2のカラーを透過色に設定しません。 1: カラーパレット4のインデックス2のカラーを透過色に設定します。
1	CP4I1	0	R/W	あり	カラーパレット4インデックス1 (Color Palette 4 Index 1) 0: カラーパレット4のインデックス1のカラーを透過色に設定しません。 1: カラーパレット4のインデックス1のカラーを透過色に設定します。
0	CP4I0	0	R/W	あり	カラーパレット4インデックス0 (Color Palette 4 Index 0) 0: カラーパレット4のインデックス0のカラーを透過色に設定しません。 1: カラーパレット4のインデックス0のカラーを透過色に設定します。

(5) 表示オフ時出力レジスタ (DOOR : Display Off mode Output Register)

アドレス : H'FFF80090

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DOR						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOG						—	—	DOB						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23~18	DOR	—	R/W	あり	表示オフ時出力赤 (Display Off mode output Red) 表示オフ時 (表示システム制御レジスタ (DSYSR) /DRES・DEN=00) に出力する赤色表示データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~10	DOG	—	R/W	あり	表示オフ時出力緑 (Display Off mode output Green) 表示オフ時 (表示システム制御レジスタ (DSYSR) /DRES・DEN=00) に出力する緑色表示データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~2	DOB	—	R/W	あり	表示オフ時出力青 (Display Off mode output Blue) 表示オフ時 (表示システム制御レジスタ (DSYSR) /DRES・DEN=00) に出力する青色表示データを設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(6) 色検出レジスタ (CDER : Color DEtection Register)

アドレス : H'FFF80094

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CDR						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG						—	—	CDB						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23~18	CDR	—	R/W	あり	カラー検出赤 (Color Detection Red) 色検出のための赤色データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~10	CDG	—	R/W	あり	カラー検出緑 (CDGColor Detection Green) 色検出のための緑色データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~2	CDB	—	R/W	あり	カラー検出青 (Color Detection Blue) 色検出のための青色データを設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

出力データと本レジスタの設定値が一致したときに CDE 端子より High レベルを出力します。出力カラーデータフォーマットについては「14.4.6 表示データおよび表示キャプチャデータフォーマット」を参照してください。

(7) 下地色レジスタ (BPOR : Background Plane Output Register)

アドレス : H'FFF80098

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	BPOR						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BPOG						—	—	BPOB						—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23~18	BPOR	—	R/W	あり	下地色赤 (Background Plane Output Red) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する赤色を設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~10	BPOG	—	R/W	あり	下地色緑 (Background Plane Output Green) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する緑色を設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~2	BPOB	—	R/W	あり	下地色青 (Background Plane Output Blue) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する青色を設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(8) ラスタ割り込みオフセットレジスタ (RINTOFSR : Raster INTerrupt OffSet Register)

アドレス : H'FFF8009C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RINTOFS									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	RINTOFS	—	R/W	あり	ラスタ割り込みオフセット (Raster INTerrupt OffSet) 垂直表示開始位置レジスタ (VDSR) で設定したラスタ数を基準とするラスタオフセット値 (H 数) を設定します。 オフセット値を n とすると VDS+n ラスタ目の水平表示期間後、HSYNC の立ち下がりで表示ステータスレジスタ (DSSR) の RINT が 1 にセットされます。 リセット時は値を保持します。

(9) 表示 SuperHyway プライオリティレジスタ (DSHPR : Display Super Hyway Priority Register)

アドレス : H'FFF800C8

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PRIH			PRIL				
初期値:	—	—	—	—	—	—	—	—	1	0	1	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	表示 SuperHyway プライオリティレジスタ有効コード (CODE : register available CODE) プレーン n 表示データ制御レジスタ 2 を有効とするために、レジスタライト時にビット 31~16 を H'7776 に設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
15~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~4	PRIH	1010	R/W	DRES	優先順位高値 (Priority High) 高い優先順位の値を設定します。 通常時は初期値のまま使用してください。初期値以外の値を設定した場合の動作は保証できません。
3~0	PRIL	1000	R/W	DRES	優先順位低値 (Priority Low) 低い優先順位の値を設定します。 通常時は初期値のまま使用してください。32bit/pixel 表示をする場合のみ H'9 に設定してください。32bit/pixel 表示をしない場合に上記の値に設定した場合や、初期値および上記以外の値を設定した場合の動作は保証できません。

14.3.4 表示プレーンレジスタ

これより以下にプレーン 1 からプレーン 8 までの各プレーンで同じ機能のレジスタに関する説明をプレーン n として記載します。説明文の n と # は次の意味を示しています。

n : 1、2、3、4、5、6、7、8 を表します。

: # = n (16 進) の関係になります。たとえばプレーン 3 モードレジスタのアドレスは FFF80#00 が FFF80300 となります。

(1) プレーン n モードレジスタ (PnMR : Plane n Mode Register)

アドレス : H'FFF80#00

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PnVISL			—	—	—	—	—	P_n YCDF	—	—	PnTC	P_n WAE
初期値:	—	—	—	0	0	0	—	—	—	—	—	0	—	—	0	0
R/W:	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PnSPIM			—	PnCPSL			PnDC	—	PnBM		—	—	PnDDF	
初期値:	—	0	0	0	—	0	0	0	0	—	0	0	—	—	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~29	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
28~26	PnVISL	000	R/W	あり	プレーン n ビデオインプット選択 (Plane n Video Input Select) ビット 28~26 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態ではビット 28~26 に 1 を設定することができません。 000: ビデオインプット 0 (VINO) を選択します。 001: 設定禁止 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: 設定禁止 110: 設定禁止 111: 設定禁止
25~21	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
20	PnYCDF	0	R/W	あり	プレーン nYC データ形式 (Plane n YC Data Format) 0: YC データの並びを UYVY 形式に設定します。 1: YC データの並びを YUYV 形式に設定します。
19、18	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
17	PnTC	0	R/W	あり	プレーン n 透過色指定 (Plane n Transparent Color) 0: 8bit/pixel 表示設定時、プレーン n 透過色 1 レジスタ (PnTC1R) 値を透過色とします。 1: 8bit/pixel 表示設定時、カラーパレット 1~4 透過色レジスタ (CPT1R~CPT4R) 値を透過色とします。 8bit/pixel 設定以外のときは無効です。詳細は「14.4.9 (2) 透過色」を参照してください。
16	PnWAE	0	R/W	あり	プレーン n ラップアラウンドイネーブル (Plane n Wrap Around Enable) 0: プレーン n のラップアラウンドを行いません。 1: プレーン n のラップアラウンドを行います。
15	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
14~12	PnSPIM	000	R/W	あり	<p>プレーン n 重ね合わせモード (Plane n SuPerImpose Mode)</p> <p>000: プレーン n は透過色処理を行います。 プレーン n が透過色の場合は下位プレーンを表示します。</p> <p>001: プレーン n と下位プレーンとのブレンディングを行います。 プレーン n が透過色の場合はブレンディングを行わず、下位プレーンを表示します。</p> <p>010: プレーン n と下位プレーンとの EOR 演算を行います。 プレーン n が透過色の場合は EOR 演算を行わず、下位プレーンを表示します。</p> <p>011: 設定禁止。</p> <p>100: プレーン n は透過処理を行いません。 プレーン n を表示します。</p> <p>101: プレーン n と下位プレーンとのブレンディングを行います。 プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとのブレンディングを行います。</p> <p>110: プレーン n と下位プレーンとの EOR 演算を行います。 プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとの EOR 演算を行います。</p> <p>111: 設定禁止。</p> <p>YC、32bit/pixel データの場合は透過色処理を行うことはできません。</p>
11	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
10~8	PnCPSL	000	R/W	あり	<p>プレーン n カラーパレットセレクト (Plane n Color Palette SeLect)</p> <p>ビット 1、0 のプレーン n 表示データフォーマットが 8bit/pixel 設定時に使用するカラーパレットを指定します。</p> <p>000: カラーパレット 1 を選択。</p> <p>001: カラーパレット 2 を選択。</p> <p>010: カラーパレット 3 を選択。</p> <p>011: カラーパレット 4 を選択。</p> <p>100: 設定禁止</p> <p>101: 設定禁止</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>

ビット	ビット名	初期値	R/W	内部更新	説明
7	PnDC	0	R/W	あり	プレーン n 表示エリアチェンジ (Plane n Display area Change) 0: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行いません。 1: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行います。 PnDC=0 のとき、1 を設定が可能です。切り替え単位は、フレーム単位で行います。 本ビットはフレームバッファ切り替え後 (垂直ブランキング検出後)、0 クリアされます。
6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
5、4	PnBM	00	R/W	あり	プレーン n バッファモード (Plane n Buffer Mode) 00: マニュアルディスプレイチェンジモード。 01: オートレンダリングモード。 10: オートディスプレイチェンジモード (プリンキングモード)。 11: ビデオキャプチャモード。 マニュアルディスプレイチェンジモード、オートレンダリングモード、オートディスプレイチェンジモード (プリンキングモード) 設定時は表示領域開始アドレス 0、1 を使用したダブルバッファ制御を行います。また、ビデオキャプチャモード設定時は、表示ステータスレジスタ (DSSR) のビデオキャプチャフレームバッファ (VCFB) に該当する開始アドレス 0、1、2 を使用したトリプルバッファ制御を行います
3、2	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
1、0	PnDDF	00	R/W	あり	プレーン n 表示データフォーマット (Plane n Display Data Format) 00: 8bit/pixel。 01: 16bit/pixel。 10: ARGB (ARGB1555)。 11: YC (4:2:2YUV を 8:8:8RGB へ変換します)。 32bit/pixel データの場合は 01 を設定してください。

(2) プレーン n メモリ幅レジスタ (PnMWR : Plane n Memory Width Register)

アドレス : H'FFF80#04

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PnMWX									—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~13	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
12~4	PnMWX	—	R/W	あり	プレーン n メモリ幅 X (Plane n Memory Width X) プレーン n のメモリ幅を 16 画素~4096 画素まで 16 画素単位に 設定します。 リセット時は値を保持します。
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(3) プレーン n ブレンド比レジスタ (PnALPHAR : Plane n Blending Ratio Register)

アドレス : H'FFF80#08

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PnABIT	—	PnBRSL			PnALPHA								
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~14	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
13、12	PnABIT	—	R/W	あり	プレーン n A ビット機能選択 (Plane n A BIT function select) 32bit/pixel データの場合は本機能を使うことができません。 ビット 13、12 を有効にするには表示拡張機能許可レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 13、12 に 1 を設定することができません。 00: プレーン n モードレジスタ (PnMR) / PnDDF が ARGB の場合、A 値が 1 のときにブレンディングを行います。 01: プレーン n モードレジスタ (PnMR) / PnDDF が ARGB の場合、A 値が 0 のときにブレンディングを行います。 1-: プレーン n モードレジスタ (PnMR) / PnDDF が ARGB の場合、A 値に関係なくブレンディングを行います。 リセット時は値を保持します。
11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~8	PnBRSL	—	R/W	あり	プレーン n ブレンド比セレクト (Plane n Blending Ratio SeLect) 本ビットはプレーン n モードレジスタ (PnMR) / PnSPIM がブレンディング指定の場合に有効となります。 32bit/pixel データの場合は本機能を使うことができません。 ビット 10 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態ではビット 10 は 0 固定となります。 -00: 本レジスタのビット 7~0 をブレンド比とします。 -01: 設定禁止。 -10: プレーン n モードレジスタ (PnMR) / PnCPSL で指定したカラーパレットレジスタのビット 31~24 をブレンド比とします。 【注】プレーン n モードレジスタ (PnMR) / PnDDF で表示データフォーマットを 8bit/pixel に指定した場合のみ有効となります。8bit/pixel 以外の場合は本レジスタのビット 7~0 をブレンド比とします。 011: 本レジスタのビット 2~0 で指定したプレーンの表示データをブレンド比とします。 ・ビット 2~0=000: プレーン 1 面の表示データをブレンド比とします。 ・ビット 2~0=001: プレーン 2 面の表示データをブレンド比とします。 ・ビット 2~0=010: プレーン 3 面の表示データをブレンド比とします。

ビット	ビット名	初期値	R/W	内部更新	説明
10~8	PnBRSL	—	R/W	あり	<ul style="list-style-type: none"> ・ ビット 2~0=011 : プレーン 4 面の表示データをブレンド比とします。 ・ ビット 2~0=100 : プレーン 5 面の表示データをブレンド比とします。 ・ ビット 2~0=101 : プレーン 6 面の表示データをブレンド比とします。 ・ ビット 2~0=110 : プレーン 7 面の表示データをブレンド比とします。 ・ ビット 2~0=111 : プレーン 8 面の表示データをブレンド比とします。 <p>【注】①自プレーンを指定した場合は本レジスタのビット 7~0 をブレンド比とします。②指定したプレーンは次の条件を設定してください。条件を満たさない場合、ブレンド比は不定値となります。表示プレーン優先順位レジスタ (DPPR) で表示は ON としてください。表示データフォーマットは 8bit/pixel としてください。表示サイズは自プレーンと同じか大きくなるようにしてください。表示位置 X,Y は自プレーンと同じとしてください。</p> <p>111 : 設定禁止 リセット時は値を保持します。</p>
7~0	PnALPHA	—	R/W	あり	<p>プレーン n ブレンド比レジスタ (Plane n Blending Ratio Register) プレーン n のブレンド比であるアルファ値 (α) を設定するレジスタです。</p> <p>32bit/pixel データの場合は本機能を使うことができません。</p> <p>ブレンド結果 \approx 指定プレーン*α/255+下位プレーン*(1-α/255) (近似式)</p> <p>【注】上記式でブレンド結果、α、プレーン n、下位プレーンはすべて 8bit データとなります。</p> <p>リセット時は値を保持します。</p>

(4) プレーン n 表示サイズ X レジスタ (PnDSXR : Plane n Display Size X Register)

アドレス : H'FFF80#10

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDSX										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	PnDSX	—	R/W	あり	プレーン n 表示サイズ X (Plane n Display Size X) プレーン n の水平方向の表示サイズを設定するレジスタです。本レジスタにはドットクロック単位で値を設定してください。 【注】プレーン n モードレジスタ (PnMR) / PnDDF で YC モードを設定した場合には偶数値を設定してください。 リセット時は値を保持します。

(5) プレーン n 表示サイズ Y レジスタ (PnDSYR : Plane n Display Size Y Register)

アドレス : H'FFF80#14

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PnDSY									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	PnDSY	—	R/W	あり	プレーン n 表示サイズ Y (Plane n Display Size Y) プレーン n の垂直方向の表示サイズを設定するレジスタです。本レジスタにはラスタライン単位で値を設定してください。 リセット時は値を保持します。

(6) プレーン n 表示位置 X レジスタ (PnDPXR : Plane n Display Position X Register)

アドレス : H'FFF80#18

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDPX										
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	PnDPX	—	R/W	あり	プレーン n 表示位置 X (Plane n Display Position X) プレーン n の表示モニタに対する水平開始位置を設定するレジスタです。本レジスタには表示モニタの左上を原点として、ドットクロック単位で設定してください。 リセット時は値を保持します。

(7) プレーン n 表示位置 Y レジスタ (PnDPYR : Plane n Display Position Y Register)

アドレス : H'FFF80#1C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PnDPY									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	PnDPY	—	R/W	あり	プレーン n 表示位置 Y (PnDPY : Plane n Display Position Y) プレーン n の表示モニタに対する垂直開始位置を設定するレジスタです。本レジスタには表示モニタの左上を原点として、ラスタライン単位で値を設定してください。 リセット時は値を保持します。

(8) プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R : Plane n Display Area Start Address 0 Register)

アドレス : H'FFF80#20

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PnDSA0															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnDSA0												—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA0	—	R/W	あり	<p>プレーン n 表示領域開始アドレス 0 (Plane n Display Area Start Address0)</p> <p>ビット 31~29 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。</p> <p>本レジスタは、プレーンのバッファモードがマニュアルディスプレイモード/オートレンダリングモード/オートディスプレイチェンジモード/ビデオキャプチャモード時に、フレームバッファ 0 面として使用します。</p> <p>【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28~A4) をビット 28~ビット 4 に指定してください。</p> <p>リセット時は値を保持します。</p>
3~0	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

(9) プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R : Plane n Display Area Start Address 1 Register)

アドレス : H'FFF80#24

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	PnDSA1																
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PnDSA1													—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA1	—	R/W	あり	<p>プレーン n 表示領域開始アドレス 1 (Plane n Display Area Start Address1)</p> <p>ビット 31~29 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。</p> <p>本レジスタは、プレーンのバッファモードがマニュアルディスプレイモード/オートレンダリングモード/オートディスプレイチェンジモード/ビデオキャプチャモード時に、フレームバッファ 1 面として使用します。</p> <p>【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28~A4) をビット 28~ビット 4 に指定してください。</p> <p>リセット時は値を保持します。</p>
3~0	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

(10) プレーン n 表示領域開始アドレス 2 レジスタ (PnDSA2R : Plane n Display Area Start Address 2 Register)

アドレス : H'FFF80#28

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PnDSA2															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnDSA2												—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA2	—	R/W	あり	プレーン n 表示領域開始アドレス 2 (Plane n Display Area Start Address2) ビット 31~29 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。 本レジスタは、プレーンのバッファモードがビデオキャプチャモード時に、フレームバッファ 2 面として使用します。 【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28~A4) をビット 28~ビット 4 に指定してください。 リセット時は値を保持します。
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(11) プレーン n 開始位置 X レジスタ (PnSPXR : Plane n Start Position X Register)

アドレス : H'FFF80#30

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnSPX											
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
11~0	PnSPX	—	R/W	あり	プレーン n 開始位置 X (Plane n Start Position X) メモリ上におけるプレーン n の開始位置 X を設定します。 【注】1. プレーン n モードレジスタ (PnMR) / PnDDF で YC モードを設定した場合には偶数値を設定してください。 2. プレーン n メモリ幅 X (PnMWX) の 2 倍を超える値は設定禁止です。 リセット時は値を保持します。

(12) プレーン n 開始位置 Y レジスタ (PnSPYR : Plane n Start Position Y Register)

アドレス : H'FFF80#34

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnSPY															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~0	PnSPY	—	R/W	あり	プレーン n 開始位置 Y (Plane n Start Position Y) メモリ上におけるプレーン n の開始位置 Y を設定します。 【注】 {プレーン n ラップアラウンド開始位置 Y (PnWASPY) +プレーン n ラップアラウンドメモリ幅 Y (PnWAMWY) の 2 倍} を超える値は設定禁止です。 リセット時は値を保持します。

(13) プレーン n ラップアラウンド開始位置レジスタ (PnWASPR : Plane n Wrap Around Start Position Register)

アドレス : H'FFF80#38

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PnWASPY										—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~14	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
13~4	PnWASPY	—	R/W	あり	プレーン n ラップアラウンド開始位置 Y (Plane n Wrap Around Start Position Y) 表示領域開始アドレスレジスタで指定するアドレスを基準に、1 ラップアラウンドエリアの Y 方向開始位置を設定します。 開始位置は 16 画素ごとの設定が可能です(ビット 3~0 は 0 固定)。 リセット時は値を保持します。

ビット	ビット名	初期値	R/W	内部更新	説明
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

(14) プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR : Plane n Wrap Around Memory Width Register)

アドレス : H'FFF80#3C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnWAMWY											
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	PnWAMWY	—	R/W	あり	プレーン n ラップアラウンドメモリ幅 Y (Plane n Wrap Around Memory Width Y) ラップアラウンドの Y 方向メモリ幅を 240 から 4095 ラインの範囲で任意設定します。 リセット時は値を保持します。

(15) プレーン n ブリンクング周期レジスタ (PnBTR : Plane n Blinking Time Register)

アドレス : H'FFF80#40

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnBTA								PnBTB							
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~8	PnBTA	00000001	R/W	あり	プレーン n ブリンクング周期 A (Plane n Blinking Time A)
7~0	PnBTB	00000001	R/W	あり	プレーン n ブリンクング周期 B (Plane n Blinking Time B)

プレーン n モードレジスタ (PnMR) / バッファモード (PnBM) がオートディスプレイチェンジモード (ブリンクングモード) に設定されたとき、本レジスタに表示領域 0、1 が表示される期間の長さをフィールド単位で設定することにより、表示領域アドレス 0、1 を使用したブリンクング動作を行います。

ここで、本レジスタを 1 に設定すると (0 以外の値を必ず設定してください。) 毎フィールド単位にプレーン n 表示領域開始アドレス 0、1(PnDSA0、PnDSA1)を切り替えます。

(16) プレーン n 透過色 1 レジスタ (PnTC1R : Plane n Transparent Color 1 Register)

アドレス : H'FFF80#44

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PnTC1							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~0	PnTC1	—	R/W	あり	プレーン n 透過色 1 (Plane n Transparent Color 1 for 8bit/pixel) 8bit/pixel データフォーマットのプレーン n 透過色を指定する場合に使用します。 本レジスタに設定した透過色を有効にするためには、プレーン n モードレジスタ (PnMR) / 透過色指定 (PnTC) を 0 に設定してください。 リセット時は値を保持します。

(17) プレーン n 透過色 2 レジスタ (PnTC2R : Plane n Transparent Color 2 Register)

アドレス : H'FFF80#48

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnTC2															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~0	PnTC2	—	R/W	あり	プレーン n 透過色 2 (Plane n Transparent Color 2 for 16bit/pixel) 16bit/pixel, ARGB データフォーマットのプレーン n 透過色を指定する場合に使用します。 ARGB の場合、本レジスタのビット 14~0 と比較し、ビット 15 は無視します。 リセット時は値を保持します。

(18) プレーン n メモリ長レジスタ (PnMLR : Plane n Memory Length Register)

アドレス : H'FFF80#50

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PnMLY
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnMLY															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~17	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
16~0	PnMLY	0	R/W	あり	プレーン n メモリ長 Y (Plane n Memory Length Y) プレーン n のメモリの長さ (Y 方向のメモリ領域) を設定します。 表示がこの領域を超えた場合、表示データは下地色レジスタ (BPOR) のデータとなります。 設定値が0 (初期値) の場合は領域は無限として扱いますので、表示データが下地色レジスタになることはありません。

(19) プレーン n スワップ制御レジスタ (PnSWAPR : Plane n SWAP control Register)

アドレス : H'FFF80#80

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PnDIGN	PnS PQW	PnS PLW	PnS PWD	PnS PBY
初期値:	—	—	—	—	—	—	—	—	—	—	—	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	プレーン n スワップ制御レジスタ有効コード (CODE : register available CODE) プレーン n スワップ制御レジスタを有効とするために、レジスタライト時にビット31~16をH'7775に設定してください。
15~5	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
4	PnDIGN	0	R/W	あり	プレーン n 表示データフォーマット無効 (Plane n Display data format IGNore) バイト (8 ビット) 単位のスワップを制御するビットです。本レジスタのビット 0 と組み合わせて設定します。本レジスタのビット 0 を参照してください。 本ビットの設定値は本レジスタのビット 3~1 に影響しません。
3	PnSPQW	0	R/W	あり	プレーン n Quad Word 単位スワップ許可 (Plane n SwaP Quad Word) 0 : データをスワップしません。 1 : 表示システム制御レジスタ (DSYSR) のビット 20 (DSEC) が 0 のとき、Quad Word (64 ビット) 単位にデータをスワップします。
2	PnSPLW	0	R/W	あり	プレーン n Long Word 単位スワップ許可 (Plane n SwaP Long Word) 0 : データをスワップしません。 1 : 表示システム制御レジスタ (DSYSR) のビット 20 (DSEC) が 0 のとき、Long Word (32 ビット) 単位にデータをスワップします。
1	PnSPWD	0	R/W	あり	プレーン n Word 単位スワップ許可 (Plane n SwaP Word) 0 : データをスワップしません。 1 : 表示システム制御レジスタ (DSYSR) のビット 20 (DSEC) が 0 のとき、Word (16 ビット) 単位にデータをスワップします。
0	PnSPBY	0	R/W	あり	プレーン n Byte 単位スワップ許可 (Plane n SwaP BYte) バイト (8 ビット) 単位のスワップを制御するビットです。本レジスタのビット 4 と組み合わせて設定し、表示システム制御レジスタ (DSYSR) /DSEC が 0 のとき、下記の組み合わせが有効となります。 ビット 0、4 00 : スワップしません。 01 : スワップしません。 10 : プレーン n モードレジスタ (PnMR) /PnDDF が 00、11 のときはバイト (8 ビット) 単位でスワップします。01、10 のときはスワップしません。 11 : バイト (8 ビット) 単位でスワップします。

表示システム制御レジスタ (DSYSR) /DSEC、プレーン n モードレジスタ (PnMR) /PnDDF および本レジスタの機能をまとめると以下になります。

表 14.22 エンディアン変換のまとめ

DSEC	PnSPQW	PnSPLW	PnSPWD	PnSPBY	PnDIGN	PnDDF	データ フォーマット	スワップ単位
1	-	-	-	-	-	00	8bit/pixel	128 ビットでバイト単位
						01	16bit/pixel (RGB データ)	128 ビットでワード単位
						10	ARGB	128 ビットでワード単位
						11	YC	128 ビットでバイト単位
0	0	0	0	0	-	-	-	変換なし
	1	-	-	-	-	-	-	64 ビット単位
	-	1	-	-	-	-	-	32 ビット単位
	-	-	1	-	-	-	-	16 ビット単位
	-	-	-	1	0	00	8bit/pixel	8 ビット単位
						01	16bit/pixel (RGB データ)	変換なし
						10	ARGB	変換なし
						11	YC	8 ビット単位
	1	-	-	-	-	-	-	8 ビット単位

(20) プレーン n 表示データ制御レジスタ (PnDDCR : Plane n Display Data Control Register)

アドレス : H'FFF80#84

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PnLR GB1	PnLR GB0	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	0	0	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	-	-/W	なし	プレーン n 表示データ制御レジスタ有効コード (CODE : register available CODE) プレーン n 表示データ制御レジスタを有効とするために、レジスタライト時にビット 31~16 を H'7775 に設定してください。
15~12	-	-	R	-	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
11	PnLRGB1	0	R/W	あり	<p>プレーン n 32bit/pixel 表示制御 1 (Plane n Long (32bit) R・G・B 1)</p> <p>0: 32bit/pixel データとして扱いません。</p> <p>1: 32bit/pixel データの下位データ (G: 8 ビット、B: 8 ビット) として扱います。</p> <p>ビット 11 はビット 10 に 1 設定したプレーンの直後のプレーンに設定してください。たとえば、プレーン 1 の本レジスタのビット 10 を 1 設定した場合はプレーン 2 の本レジスタのビット 11 を 1 設定してください。</p> <p>また、プレーン n モードレジスタ (PnMR) / PnDDF に 01 を設定してください。</p> <ul style="list-style-type: none"> • ビット 11 と 10 を同時に 1 に設定しないでください。 • ビット 10 が 1 の場合、本ビットが 0 でも 32bit/pixel データとして扱いビット 10 が 1 設定の機能となります。 • 32bit/pixel 表示をする場合はプレーン 1 とプレーン 2 を使用してください。 • 32bit/pixel データは透過色処理を行うことができませんのでプレーン n モードレジスタ (PnMR) / PnSPIM のビット 14 に 1 を設定してください。 • 32bit/pixel データと下位プレーンを α ブレンディングあるいは EOR 演算する場合は下位プレーンがある領域で実施してください。α ブレンディングあるいは EOR 演算を指定した場合、下位プレーンがない領域に 32bit/pixel データを表示することはできません。
10	PnLRGB0	0	R/W	あり	<p>プレーン n 32bit/pixel 表示制御 0 (Plane n Long (32bit) R・G・B 0)</p> <p>0: 32bit/pixel データとして扱いません。</p> <p>1: 32bit/pixel データの上位データ (A 値: 8 ビット、R: 8 ビット) として扱います。A 値: 8 ビットがブレンド比となり、プレーン n ブレンド比レジスタによるブレンド比は選択できません。</p> <p>また、プレーン n モードレジスタ (PnMR) / PnDDF に 01 を設定してください。</p> <ul style="list-style-type: none"> • ビット 11 と 10 を同時に 1 に設定しないでください。 • ビット 11 が 1 の場合、本ビットが 0 でも 32bit/pixel データとして扱いビット 11 が 1 設定の機能となります。 • 32bit/pixel 表示をする場合はプレーン 1 とプレーン 2 を使用してください。 • 32bit/pixel データは透過色処理を行うことができませんのでプレーン n モードレジスタ (PnMR) / PnSPIM のビット 14 に 1 を設定してください。
9~0	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

32bit/pixel 表示をする場合はプレーン 1 とプレーン 2 を使用してください。

プレーン 1 とプレーン 2 を使って 32bit/pixel 表示をする場合のレジスタ設定は以下のとおりです。

- 表示拡張機能制御レジスタ 4 (DEFER4) のビット 5、4 を 10 に設定してください。
- 本レジスタの設定は以下のとおりです。

	15	14	13	12	11	10	9	8
					PnLRG B1	PnLRG B0		
プレーン 1 (A, R)	—	—	—	—	0	1	—	—
プレーン 2 (G, B)	—	—	—	—	1	0	—	—

- 本レジスタ以外の表示プレーンレジスタはプレーン 1 とプレーン 2 で同じ設定としてください。
- プレーン 1 とプレーン 2 を表示 ON にして、プレーン 2 の優先順位はプレーン 1 の次にしてください。表示 ON については「14.4.2 表示 ON、OFF」を参照してください。
- 32bit/pixel を指定するプレーンの番号は常に若い番号にしてください。たとえば 32bit/pixel と 16bit/pixel の重ね合わせ表示をする場合はプレーン 1 とプレーン 2 に 32bit/pixel を指定しプレーン 3 以降に 16bit/pixel を指定してください。
- 表示 SuperHyway プライオリティレジスタ (DSHPR) のビット 7~0 に H'A9 を設定してください。
- ビデオインプットモジュールを使用する場合はビデオインプットモジュールの Memory Transfer Control (MTC) レジスタに H'0A090008 を設定してください。
- ビッグエンディアンの場合はプレーン n スワップ制御レジスタ (PnSWAP) のビット 3、2 に 1 を、ビット 1、0 に 0 を設定してください。ビット 4 は 1、0 どちらでもかまいません。また、表示システム制御レジスタ (DSYSR) / DSEC に 0 を設定してください。

(21) プレーン n 表示データ制御レジスタ 2 (PnDDCR2 : Plane n Display Data Control Register 2)

アドレス : H'FFF80#88

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PnNV 21	PnY 420	—	—	Pn DIVU	Pn DIVY
初期値:	—	—	—	—	—	—	—	—	—	—	0	0	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	—	—/W	なし	プレーン n 表示データ制御レジスタ 2 有効コード (CODE: register available CODE) プレーン n 表示データ制御レジスタ 2 を有効とするために、レジスタライト時にビット 31~16 を H'7776 に設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
15~6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
5	PnNV21	0	R/W	あり	プレーン n NV21 データフォーマット (Plane n NV21 data format) 本ビットはビット1を1、ビット4を1に設定した場合に有効となります。 0: 分離してメモリ上に格納した YUV420 の UV は NV12 です。 1: 分離してメモリ上に格納した YUV420 の UV は NV21 です。
4	PnY420	0	R/W	あり	プレーン n YUV420 データフォーマット (Plane n YUV420 data format) 本ビットはビット1を1に設定した場合に有効となります。ビット1が0の場合は YUV422 となります。 0: 分離してメモリ上に格納した YUV は YUV422 です。 1: 分離してメモリ上に格納した YUV は YUV420 です。 • 分離 YUV の表示については「14.4.19 分離 YUV 表示」を参照してください。
3、2	—	—	R	—	リザーブビット
1	PnDIVU	0	R/W	あり	プレーン n 分離 YUV の UV データ (Plane n UVata at Divided YUV) 0: プレーン n モードレジスタ (PnMR) / PnDDF ビットに従ったデータフォーマットになります。 1: プレーン n モードレジスタ (PnMR) / PnDDF ビットは無効となり、データフォーマットは YUV データを分離してメモリ上に格納した場合の UV データになります。ただし、YC → RGB 色空間変換機能を有効とするためにプレーン n モードレジスタ (PnMR) / PnDDF は 11 (YC) を設定してください。 • ビット1と0を同時に1に設定しないでください。 • ビット0が1の場合、本ビットが0でもプレーン n モードレジスタ (PnMR) / PnDDF に従ったデータフォーマットにはなりません。ビット0が1設定のデータフォーマットになります。 • 分離 YUV の表示については「14.4.19 分離 YUV 表示」を参照してください。

ビット	ビット名	初期値	R/W	内部更新	説 明
0	PnDIVY	0	R/W	あり	<p>プレーン n 分離 YUV の Y データ (Plane n Y data at Divided YUV)</p> <p>0 : プレーン n モードレジスタ (PnMR) / PnDDF ビットに従ったデータフォーマットになります。</p> <p>1 : プレーン n モードレジスタ (PnMR) / PnDDF ビットは無効となり、データフォーマットは YUV データを分離してメモリ上に格納した場合の Y データになります。ただし、YC → RGB 色空間変換機能を有効とするためにプレーン n モードレジスタ (PnMR) / PnDDF は 11 (YC) を設定してください。</p> <ul style="list-style-type: none"> • ビット 1 と 0 を同時に 1 に設定しないでください。 • ビット 1 が 1 の場合、本ビットが 0 でもプレーン n モードレジスタ (PnMR) / PnDDF に従ったデータフォーマットにはなりません。ビット 1 が 1 設定のデータフォーマットになります。 • 分離 YUV の表示については「14.4.19 分離 YUV 表示」を参照してください。

14.3.5 表示キャプチャレジスタ

n : 1 を表します。

: # = n (16 進) の関係になります。たとえば表示キャプチャ 1 メモリ幅レジスタのアドレスは FFF8C#04 が FFF8C104 となります。

(1) 表示キャプチャ n メモリ幅レジスタ (DCnMWR : Display Capture n Memory Width Register)

アドレス : H'FFF8C#04

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:	—	—	—	DCnMWX										—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説 明
31~13	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
12~4	DCnMWX	—	R/W	あり	表示キャプチャ n メモリ幅 X (Display Capture n Memory Width X) 表示キャプチャ n のメモリ幅を 16 画素~4096 画素まで 16 画素 単位に設定します。 キャプチャがこの領域を超えた場合、超えた領域はキャプチャさ れません。 リセット時は値を保持します。
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(2) 表示キャプチャ n 格納領域開始アドレスレジスタ (DCnSAR: Display Capture n Area Start Address Register)

アドレス : H'FFF8C#20

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DCnSA																
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DCnSA													—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	DCnSA	—	R/W	あり	表示キャプチャ n 格納領域開始アドレス (Display Capture n Area Start Address) ビット 31~29 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。 【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28~A4) をビット 28~ビット 4 に指定してください。 リセット時は値を保持します。
3~0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(3) 表示キャプチャ n メモリ長レジスタ (DCnMLR : Display Capture n Memory Length Register)

アドレス : H'FFF8C#50

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCnMLY
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCnMLY															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~17	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
16~0	DCnMLY	H'00000	R/W	あり	表示キャプチャ n メモリ長 Y (Display Capture n Memory Length Y) 表示キャプチャ n のメモリの長さ (Y 方向のメモリ領域) を設定します。 キャプチャがこの領域を超えた場合、超えた領域はキャプチャされません。 設定値が 0 (初期値) の場合、領域は無限として扱います。

14.3.6 カラーパレットレジスタ

(1) カラーパレット 1 レジスタ (CP1(000~255)R : Color Palette 1 (000~255) Register)

アドレス : H'FFF81000~H'FFF813FC

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP1_000A								CP1_000R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP1_000G						—	—	CP1_000B						—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
	⋮																	
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP1_255A								CP1_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP1_255G						—	—	CP1_255B						—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP1_000A ~ CP1_255A	—	R/W	あり	カラーパレット 1_000~255 ブレンド比 (Color Palette 1 000~255 Blending Ratio) ブレン n ブレンド比レジスタ (PnALPHAR) / PnBRSL が 10 のとき、ブレンディング比であるアルファ値となります。 リセット時は値を保持します。
23~18	CP1_000R ~ CP1_255R	—	R/W	あり	カラーパレット 1_000~255 赤 (Color Palette 1 000~255 Red) カラーパレット 1 の赤色データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
15~10	CP1_000G ~ CP1_255G	—	R/W	あり	カラーパレット 1_000~255 緑 (Color Palette 1 000~255 Green) カラーパレット 1 の緑色データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
7~2	CP1_000B ~ CP1_255B	—	R/W	あり	カラーパレット1_000~255 青 (Color Palette 1 000~255 Blue) カラーパレット1の青色データを設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 表示可能なカラーパレットとして使用します。

8bit/pixel データの表示時に有効となります。カラーパレット制御レジスタ (CPCR) の CP1CE を 1 にセットすることにより、設定した内容が次の VSYNC の立ち上がり (内部更新タイミング) または表示リセット解除で有効になります。

なお、カラーパレットを更新する場合は、必ず全面書き換えを行ってください。

カラーパレットを CPU からリードする場合は、CP1CE ビットを 1 にセットする前に行ってください。

カラーパレットはロングワードアクセスです。

(2) カラーパレット 2 レジスタ (CP2(000~255)R : Color Palette 2 (000~255) Register)

アドレス : H'FFF82000~H'FFF823FC

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP2_000A								CP2_000R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP2_000G								—	—	CP2_000B				—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
	⋮																	
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP2_255A								CP2_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP2_255G								—	—	CP2_255B				—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP2_000A ~ CP2_255A	—	R/W	あり	カラーパレット 2_000~255 ブレンド比 (Color Palette 2 000~255 Blending Ratio) ブレン n ブレンド比レジスタ (PnALPHAR) / PnBRSL が*10" のとき、ブレンド比であるアルファ値となります。 リセット時は値を保持します。
23~18	CP2_000R ~ CP2_255R	—	R/W	あり	カラーパレット 2_000~255 赤 (Color Palette 2 000~255 Red) カラーパレット 2 の赤色データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
15~10	CP2_000G ~ CP2_255G	—	R/W	あり	カラーパレット 2_000~255 緑 (Color Palette 2 000~255 Green) カラーパレット 2 の緑色データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
7~2	CP2_000B ~ CP2_255B	—	R/W	あり	カラーパレット 2_000~255 青 (Color Palette 2 000~255 Blue) カラーパレット 2 の青色データを設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 表示可能なカラーパレットとして使用します。

8bit/pixel データの表示時に有効となります。カラーパレット制御レジスタ (CPCR) の CP2CE を 1 にセットすることにより、設定した内容が次の VSYNC の立ち上がり (内部更新タイミング) または表示リセット解除で有効になります。

なお、カラーパレットを更新する場合は、必ず全面書き換えを行ってください。

カラーパレットを CPU からリードする場合は、CP2CE ビットを 1 にセットする前に行ってください。

カラーパレットはロングワードアクセスです。

(3) カラーパレット3レジスタ (CP3(000~255)R : Color Palette 3 (000~255) Register)

アドレス : H'FFF83000~H'FFF833FC

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP3_000A								CP3_000R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP3_000G							—	—	CP3_000B							—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
	⋮																	
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP3_255A								CP3_255R								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP3_255G							—	—	CP3_255B							—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP3_000A ~ CP3_255A	—	R/W	あり	カラーパレット3_000~255 ブレンド比 (Color Palette 3 000~255 Blending Ratio) プレーン n ブレンド比レジスタ (PnALPHAR) / PnBRSL が 10 のとき、ブレンディング比であるアルファ値となります。 リセット時は値を保持します。
23~18	CP3_000R ~ CP3_255R	—	R/W	あり	カラーパレット3_000~255 赤 (Color Palette 3 000~255 Red) カラーパレット3の赤色データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~10	CP3_000G ~ CP3_255G	—	R/W	あり	カラーパレット3_000~255 緑 (Color Palette 3 000~255 Green) カラーパレット3の緑色データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~2	CP3_000B ~ CP3_255B	—	R/W	あり	カラーパレット3_000~255 青 (Color Palette 3 000~255 Blue) カラーパレット3の青色データを設定します。 リセット時は値を保持します。

ビット	ビット名	初期値	R/W	内部更新	説明
1, 0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 表示可能なカラーパレットとして使用します。

8bit/pixel データの表示時に有効となります。カラーパレット制御レジスタ (CPCR) の CP3CE を 1 にセットすることにより、設定した内容が次の VSYNC の立ち上がり (内部更新タイミング) または表示リセット解除で有効になります。

なお、カラーパレットを更新する場合は、必ず全面書き換えを行ってください。

カラーパレットを CPU からリードする場合は、CP3CE ビットを 1 にセットする前に行ってください。

カラーパレットはロングワードアクセスです。

(4) カラーパレット 4 レジスタ (CP4(000~255)R : Color Palette 4 (000~255) Register)

アドレス : H'FFF84000~H'FFF843FC

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
	CP4_000A								CP4_000R								—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	CP4_000G								—	—	CP4_000B								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R				
	⋮																			
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
	CP4_255A								CP4_255R								—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R				
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	CP4_255G								—	—	CP4_255B								—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R				

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP4_000A ~ CP4_255A	—	R/W	あり	カラーパレット 4_000~255 ブレンド比 (Color Palette 4 000~255 Blending Ratio) ブレン n ブレンド比レジスタ (PnALPHAR) / PnBRSL が 10 のとき、ブレンディング比であるアルファ値となります。 リセット時は値を保持します。

ビット	ビット名	初期値	R/W	内部更新	説明
23~18	CP4_000R ~ CP4_255R	—	R/W	あり	カラーパレット4_000~255 赤 (Color Palette 4 000~255 Red) カラーパレット4の赤色データを設定します。 リセット時は値を保持します。
17、16	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
15~10	CP4_000G ~ CP4_255G	—	R/W	あり	カラーパレット4_000~255 緑 (Color Palette 4 000~255 Green) カラーパレット4の緑色データを設定します。 リセット時は値を保持します。
9、8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~2	CP4_000B ~ CP4_255B	—	R/W	あり	カラーパレット4_000~255 青 (Color Palette 4 000~255 Blue) カラーパレット4の青色データを設定します。 リセット時は値を保持します。
1、0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

RGB各6ビットのカラーを設定する256本レジスタ群で、26万色中同時256表示可能なカラーパレットとして使用します。

8bit/pixelデータの表示時に有効となります。カラーパレット制御レジスタ (CPCR) のCP4CEを1にセットすることにより、設定した内容が次のVSYNCの立ち下がり (内部更新タイミング) または表示リセット解除で有効になります。

なお、カラーパレットを更新する場合は、必ず全面書き換えを行ってください。

カラーパレットをCPUからリードする場合は、CP4CEビットを1にセットする前に行ってください。

カラーパレットはロングワードアクセスです。

14.3.7 外部同期制御レジスタ

(1) 外部同期制御レジスタ (ESCR : External Synchronization Control Register)

アドレス : H'FFF90000

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DCLK SEL	—	—	—	DCLK DIS
初期値:	—	—	—	—	—	—	—	—	—	—	—	0	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
							—	—	—	—	—	—	—	—	—	—
							—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	0	0	—	—	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~21	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
20	DCLKSEL	0	R/W	なし	入力ドットクロック選択 (DCLKIN SElect) 0 : 入力ドットクロックは DCLKIN 端子になります。 1 : 入力ドットクロックは CLKS のクロックになります。 本設定の場合、ドットクロック分周比は 2 分周以上 (分周後の周波数が CLKS の 2 分周以上) となるようにしてください。
19~17	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
16	DCLKDIS	0	R/W	なし	出力ドットクロックディスエーブル (DCLKOUT DISable) 0 : DCLKOUT を出力します。 1 : DCLKOUT を出力しません。DCLKOUT は Low レベル固定となります。
15~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9, 8	SYNCSSEL	00	R/W	なし	ドットクロック位相合わせ用同期信号選択 (SYNC SElect) 00 : 位相処理を行いません。 01 : 位相処理を行いません。 10 : EXVSYNC 信号により同期を行います。 11 : EXHSYNC 信号により同期を行います。
7, 6	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
5~0	FRQSEL	000000	R/W	なし	ドットクロック分周比選択 (FReQuency SElect) ビット5を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に1を設定してください。初期状態ではビット5は0固定となります。 分周比が奇数の場合、分周後ドットクロックのデューティは50%になりません。 分周比は表 14.23 を参照してください。

表 14.23 FRQSEL ビットによるドットクロック分周比

FRQSEL ビット設定値 : 分周比	FRQSEL ビット設定値 : 分周比
000000 : 入力ドットクロック (逓倍用クロック) の分周を行いません。	100000 : 入力ドットクロック (逓倍用クロック) の 33 分周。
000001 : 入力ドットクロック (逓倍用クロック) の 2 分周。	100001 : 入力ドットクロック (逓倍用クロック) の 34 分周。
000010 : 入力ドットクロック (逓倍用クロック) の 3 分周。	100010 : 入力ドットクロック (逓倍用クロック) の 35 分周。
000011 : 入力ドットクロック (逓倍用クロック) の 4 分周。	100011 : 入力ドットクロック (逓倍用クロック) の 36 分周。
000100 : 入力ドットクロック (逓倍用クロック) の 5 分周。	100100 : 入力ドットクロック (逓倍用クロック) の 37 分周。
000101 : 入力ドットクロック (逓倍用クロック) の 6 分周。	100101 : 入力ドットクロック (逓倍用クロック) の 38 分周。
000110 : 入力ドットクロック (逓倍用クロック) の 7 分周。	100110 : 入力ドットクロック (逓倍用クロック) の 39 分周。
000111 : 入力ドットクロック (逓倍用クロック) の 8 分周。	100111 : 入力ドットクロック (逓倍用クロック) の 40 分周。
001000 : 入力ドットクロック (逓倍用クロック) の 9 分周。	101000 : 入力ドットクロック (逓倍用クロック) の 41 分周。
001001 : 入力ドットクロック (逓倍用クロック) の 10 分周。	101001 : 入力ドットクロック (逓倍用クロック) の 42 分周。
001010 : 入力ドットクロック (逓倍用クロック) の 11 分周。	101010 : 入力ドットクロック (逓倍用クロック) の 43 分周。
001011 : 入力ドットクロック (逓倍用クロック) の 12 分周。	101011 : 入力ドットクロック (逓倍用クロック) の 44 分周。
001100 : 入力ドットクロック (逓倍用クロック) の 13 分周。	101100 : 入力ドットクロック (逓倍用クロック) の 45 分周。
001101 : 入力ドットクロック (逓倍用クロック) の 14 分周。	101101 : 入力ドットクロック (逓倍用クロック) の 46 分周。
001110 : 入力ドットクロック (逓倍用クロック) の 15 分周。	101110 : 入力ドットクロック (逓倍用クロック) の 47 分周。
001111 : 入力ドットクロック (逓倍用クロック) の 16 分周。	101111 : 入力ドットクロック (逓倍用クロック) の 48 分周。
010000 : 入力ドットクロック (逓倍用クロック) の 17 分周。	110000 : 入力ドットクロック (逓倍用クロック) の 49 分周。
010001 : 入力ドットクロック (逓倍用クロック) の 18 分周。	110001 : 入力ドットクロック (逓倍用クロック) の 50 分周。
010010 : 入力ドットクロック (逓倍用クロック) の 19 分周。	110010 : 入力ドットクロック (逓倍用クロック) の 51 分周。
010011 : 入力ドットクロック (逓倍用クロック) の 20 分周。	110011 : 入力ドットクロック (逓倍用クロック) の 52 分周。
010100 : 入力ドットクロック (逓倍用クロック) の 21 分周。	110100 : 入力ドットクロック (逓倍用クロック) の 53 分周。
010101 : 入力ドットクロック (逓倍用クロック) の 22 分周。	110101 : 入力ドットクロック (逓倍用クロック) の 54 分周。
010110 : 入力ドットクロック (逓倍用クロック) の 23 分周。	110110 : 入力ドットクロック (逓倍用クロック) の 55 分周。
010111 : 入力ドットクロック (逓倍用クロック) の 24 分周。	110111 : 入力ドットクロック (逓倍用クロック) の 56 分周。

FRQSEL ビット設定値 : 分周比	FRQSEL ビット設定値 : 分周比
011000 : 入力ドットクロック (逡倍用クロック) の 25 分周。	111000 : 入力ドットクロック (逡倍用クロック) の 57 分周。
011001 : 入力ドットクロック (逡倍用クロック) の 26 分周。	111001 : 入力ドットクロック (逡倍用クロック) の 58 分周。
011010 : 入力ドットクロック (逡倍用クロック) の 27 分周。	111010 : 入力ドットクロック (逡倍用クロック) の 59 分周。
011011 : 入力ドットクロック (逡倍用クロック) の 28 分周。	111011 : 入力ドットクロック (逡倍用クロック) の 60 分周。
011100 : 入力ドットクロック (逡倍用クロック) の 29 分周。	111100 : 入力ドットクロック (逡倍用クロック) の 61 分周。
011101 : 入力ドットクロック (逡倍用クロック) の 30 分周。	111101 : 入力ドットクロック (逡倍用クロック) の 62 分周。
011110 : 入力ドットクロック (逡倍用クロック) の 31 分周。	111110 : 入力ドットクロック (逡倍用クロック) の 63 分周。
011111 : 入力ドットクロック (逡倍用クロック) の 32 分周。	111111 : 入力ドットクロック (逡倍用クロック) の 64 分周。

(2) 出力信号タイミング調整レジスタ (OTAR : Output signal Timing Adjustment Register)

アドレス : H'FFF90004

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DEA			—	CLAMPA			—	DRGBA			—	—	—	—
初期値:	—	0	0	0	—	0	0	0	—	0	0	0	—	—	—	—
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CDEA			—	DISPA			—	SYNCA		
初期値:	—	—	—	—	—	0	0	0	—	0	0	0	—	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
30~28	DEA	000	R/W	なし	<p>DE 信号出力タイミング調整 (DE output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで DE 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで DE 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。</p>
27	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
26~24	CLAMPA	000	R/W	なし	<p>CLAMP 信号出力タイミング調整 (CLAMP output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで CLAMP 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p>
23	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
22~20	DRGBA	000	R/W	なし	<p>デジタル RGB 信号出力タイミング調整 (Digital RGB output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。 ドットクロックの立ち上がりでデジタル RGB 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>出力ドットクロックで表示データを切替える場合は立ち下がりタイミング (ビット 22 を 1) に設定しないでください。また、出力信号タイミング調整レジスタ 2 (OTAR2) と同じ値を設定してください。</p>
19~11	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
10~8	CDEA	000	R/W	なし	<p>CDE 信号出力タイミング調整 (CDE output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで CDE 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CDE 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p>
7	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
6~4	DISPA	000	R/W	なし	<p>DISP 信号出力タイミング調整 (DISP output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで DISP 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで DISP 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p>
3	—	—	R	—	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
2~0	SYNCA	000	R/W	なし	<p>SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号出カタイミン グ調整 (SYNC output timing Adjustment)</p> <p>000 : 出カタイミン グの調整を行いません。 ドットクロックの立ち上がりで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力し、基準タイミン グとなります。</p> <p>001 : 基準タイミン グに対してドットクロック (1) サイクル分 遅延させ、立ち上がりタイミン グで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>010 : 基準タイミン グに対してドットクロック (2) サイクル分 遅延させ、立ち上がりタイミン グで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>011 : 基準タイミン グに対してドットクロック (3) サイクル分 遅延させ、立ち上がりタイミン グで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>100 : 基準タイミン グに対してドットクロック (1/2) サイクル 分速く、立ち下がりタイミン グで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>101 : 基準タイミン グに対してドットクロック (1/2) サイクル 分遅延させ、立ち下がりタイミン グで SYNC (HSYNC、 VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>110 : 基準タイミン グに対してドットクロック (1+1/2) サイ クル分遅延させ、立ち下がりタイミン グで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力しま す。</p> <p>111 : 基準タイミン グに対してドットクロック (2+1/2) サイ クル分遅延させ、立ち下がりタイミン グで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力しま す。</p>

立ち下がりタイミン
グを設定した場合は、電気的特性は対象外となります。

14.3.8 表示 2 系統出力制御レジスタ

(1) 表示出力系統制御レジスタ (DORCR : Display unit Output Route Control Register)

アドレス : H'FFF91000

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PG1D	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DPRS
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~18	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
17、16	PG1D	00	R/W	DRES	端子制御部 1 入力データ選択 (Pin Generate 1 input Data Select) 00 : 端子制御部 1 の入力データは重ね合わせ回路 1 のデータです。重ね合わせ回路 1 のタイミングは本レジスタのビット 2 の設定となります。 01 : 設定禁止。 10 : 端子制御部 1 の入力データは 0 固定です。CDE 端子は 0 固定になります。 11 : 端子制御部 1 の入力データは表示オフ時出力レジスタ (DOOR) の値です。CDE 端子は 0 固定になります。 重ね合わせデータは表示システム制御レジスタ (DSYSR) の DRES と DEN の組合せで決まります。 ・ DRES/DEN=00 : 表示オフ時出力レジスタ (DOOR) の値です。 ・ DRES/DEN=01 : ユニファイドメモリデータ。 ・ DRES/DEN=10 : 表示データは 0 です。 ・ DRES/DEN=11 : 設定禁止 (データは 0 です)。
15~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
0	DPRS	0	R/W	DRES	<p>表示優先順位レジスタ選択 (Display Priority Register Select)</p> <p>0: 表示の優先順位は表示プレーン優先順位レジスタで設定してください。</p> <p>表示の重ね合せは重ね合せ処理部 1 で行い、プレーン 1~プレーン 8 までが使用可能です。</p> <p>1: 表示の優先順位は表示重ね合せ 1 優先順位レジスタで設定してください。</p> <p>表示の重ね合せは重ね合せ処理部 1 で行うことができ、プレーン 1~プレーン 8 までが使用可能です。</p>

(2) 表示重ね合せ 1 優先順位レジスタ (DS1PR : Display Superimpose 1 Priority Register)

アドレス : H'FFF91020

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S1S8				S1S7				S1S6				S1S5			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S1S4				S1S3				S1S2				S1S1			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 【注】
1. 表示出力系統制御レジスタ (DORCR) のビット 0 が 1 のとき、有効となります。
 2. 「14.3.4 表示プレーンレジスタ」に示すレジスタに所望の値を設定した後に、該当するプレーンの番号 (0001~1000) を設定してください。

ビット	ビット名	初期値	R/W	内部更新	説明
31~28	S1S8	0	R/W	あり	<p>表示重ね合せ 1 優先順位 8 選択 (Display Superimpose 1 Priority 8 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 8 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 8 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 8 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 8 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 8 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 8 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 8 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 8 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 8 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
27~24	S1S7	0	R/W	あり	<p>表示重ね合せ 1 優先順位 7 選択 (Display Superimpose 1 Priority 7 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 7 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 7 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 7 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 7 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 7 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 7 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 7 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 7 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 7 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
23~20	S1S6	0	R/W	あり	<p>表示重ね合せ 1 優先順位 6 選択 (Display Superimpose 1 Priority 7 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 6 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 6 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 6 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 6 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 6 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 6 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 6 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 6 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 6 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
19~16	S1S5	0	R/W	あり	<p>表示重ね合せ 1 優先順位 5 選択 (Display Superimpose 1 Priority 5 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 5 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 5 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 5 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 5 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 5 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 5 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 5 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 5 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 5 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
15~12	S1S4	0	R/W	あり	<p>表示重ね合せ 1 優先順位 4 選択 (Display Superimpose 1 Priority 4 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 4 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 4 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 4 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 4 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 4 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 4 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 4 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 4 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 4 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
11~8	S1S3	0	R/W	あり	<p>表示重ね合せ 1 優先順位 3 選択 (Display Superimpose 1 Priority 3 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 3 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 3 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 3 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 3 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 3 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 3 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 3 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 3 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 3 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
7~4	S1S2	0	R/W	あり	<p>表示重ね合せ 1 優先順位 2 選択 (Display Superimpose 1 Priority 2 Select)</p> <p>0000 : 重ね合せ処理部 1 の優先順位 2 は表示しません。</p> <p>0001 : 重ね合せ処理部 1 の優先順位 2 にプレーン 1 を選択し表示します。</p> <p>0010 : 重ね合せ処理部 1 の優先順位 2 にプレーン 2 を選択し表示します。</p> <p>0011 : 重ね合せ処理部 1 の優先順位 2 にプレーン 3 を選択し表示します。</p> <p>0100 : 重ね合せ処理部 1 の優先順位 2 にプレーン 4 を選択し表示します。</p> <p>0101 : 重ね合せ処理部 1 の優先順位 2 にプレーン 5 を選択し表示します。</p> <p>0110 : 重ね合せ処理部 1 の優先順位 2 にプレーン 6 を選択し表示します。</p> <p>0111 : 重ね合せ処理部 1 の優先順位 2 にプレーン 7 を選択し表示します。</p> <p>1000 : 重ね合せ処理部 1 の優先順位 2 にプレーン 8 を選択し表示します。</p> <p>1001 : 設定禁止。</p> <p>1010 : 設定禁止。</p> <p>1011 : 設定禁止。</p> <p>1100 : 設定禁止。</p> <p>1101 : 設定禁止。</p> <p>1110 : 設定禁止。</p> <p>1111 : 設定禁止。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
3~0	S1S1	0	R/W	あり	表示重ね合せ 1 優先順位 1 選択 (Display Superimpose 1 Priority 1 Select) 0000 : 重ね合せ処理部 1 の優先順位 1 は表示しません。 0001 : 重ね合せ処理部 1 の優先順位 1 にプレーン 1 を選択し表示します。 0010 : 重ね合せ処理部 1 の優先順位 1 にプレーン 2 を選択し表示します。 0011 : 重ね合せ処理部 1 の優先順位 1 にプレーン 3 を選択し表示します。 0100 : 重ね合せ処理部 1 の優先順位 1 にプレーン 4 を選択し表示します。 0101 : 重ね合せ処理部 1 の優先順位 1 にプレーン 5 を選択し表示します。 0110 : 重ね合せ処理部 1 の優先順位 1 にプレーン 6 を選択し表示します。 0111 : 重ね合せ処理部 1 の優先順位 1 にプレーン 7 を選択し表示します。 1000 : 重ね合せ処理部 1 の優先順位 1 にプレーン 8 を選択し表示します。 1001 : 設定禁止。 1010 : 設定禁止。 1011 : 設定禁止。 1100 : 設定禁止。 1101 : 設定禁止。 1110 : 設定禁止。 1111 : 設定禁止。

14.3.9 YC-RGB 変換係数レジスタ

(1) Y 正規化係数レジスタ (YNCR : Y Normalization Coefficient Register)

アドレス : H'FFF91080

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	YNC1											
初期値:	—	—	—	—	1	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	YNC1	H'800	R/W	あり	Y正規化係数1 (Y Normalization Coefficient 2) 重ね合せ処理部1に搭載してあるYC-RGB変換回路のYC-RGB変換時にYを正規化するための係数です。 固定小数点12ビットでの指定となります。11ビット目が整数であり、10ビット目から0ビット目が小数点以下の値です。 初期値は1です。

(2) Y正規化オフセットレジスタ (YNOR : Y Normalization Offset Register)

アドレス : H'FFF91084

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	YNO1								—	—
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~0	YNO1	H'00	R/W	あり	Y正規化オフセット1 (Y Normalization Offset 1) 重ね合せ処理部1に搭載してあるYC-RGB変換回路のYC-RGB変換時にYを正規化する前に引くオフセットです。 符号無し整数8ビットです。初期値は0です。

(3) Cr正規化オフセットレジスタ (CRNOR : Cr Normalization Offset Register)

アドレス : H'FFF91088

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	CRNO1								—	—
初期値:	—	—	—	—	—	—	—	—	1	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~0	CRNO1	H'80	R/W	あり	Cr 正規化オフセット 1 (Cr Normalization Offset 1) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に Cr を正規化する前に引くオフセットです。 符号無し整数 8 ビットです。初期値は 128 です。

(4) Cb 正規化オフセットレジスタ (CBNOR : Cb Normalization Offset Register)

アドレス : H'FFF9108C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CBNO1							
初期値:	—	—	—	—	—	—	—	—	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
7~0	CBNO1	H'80	R/W	あり	Cb 正規化オフセット 1 (Cb Normalization Offset 1) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に Cb を正規化する前に引くオフセットです。 符号無し整数 8 ビットです。初期値は 128 です。

(5) 赤色用 Cr 係数レジスタ (RCRCR : Red Cr Coefficient Register)

アドレス : H'FFF91090

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCRC1											
初期値:	—	—	—	—	1	0	1	0	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	RCRC1	H'AF0	R/W	あり	赤色用 Cr 係数 1 (Red Cr Coefficient 1) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に赤色を生成する際に Cr にかける係数のレジスタです。 固定小数点 12 ビットでの指定となります。11 ビット目が整数であり、10 ビット目から 0 ビット目が小数点以下の値です。 初期値は 1.37 です。

(6) 緑色用 Cr 係数レジスタ (GCRCR : Green Cr Coefficient Register)

アドレス : H'FFF91094

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	GCRC1											
初期値:	—	—	—	—	0	1	0	1	1	0	0	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	GCRC1	H'590	R/W	あり	緑色用 Cr 係数 1 (Green Cr Coefficient 1) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に緑色を生成する際に Cr にかける係数のレジスタです。 固定小数点 12 ビットでの指定となります。11 ビット目が整数であり、10 ビット目から 0 ビット目が小数点以下の値です。 初期値は 0.698 です。

(7) 緑色用 Cb 係数レジスタ (GCBCR : Green Cb Coefficient Register)

アドレス : H'FFF91098

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	GCBC1											
初期値:	—	—	—	—	0	0	1	0	1	0	1	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	GCBC1	H'2B0	R/W	あり	緑色用 Cb 係数 1 (Green Cb Coefficient 2) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に緑色を生成する際に Cb にかける係数のレジスタです。 固定小数点 12 ビットでの指定となります。11 ビット目が整数であり、10 ビット目から 0 ビット目が小数点以下の値です。 初期値は 0.336 です。

(8) 青色用 Cb 係数レジスタ (BCBCR : Blue Cb Coefficient Register)

アドレス : H'FFF9109C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	BCBC1											
初期値:	—	—	—	—	1	1	0	1	1	1	1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~12	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
11~0	BCBC1	H'DE0	R/W	あり	青色用 Cb 係数 1 (Blue Cb Coefficient 1) 重ね合せ処理部 1 に搭載してある YC-RGB 変換回路の YC-RGB 変換時に青色を生成する際に Cb にかける係数のレジスタです。 固定小数点 12 ビットでの指定となります。11 ビット目が整数であり、10 ビット目から 0 ビット目が小数点以下の値です。 初期値は 1.73 です。

14.3.10 ディスプレイアウトコンペアレジスタ

(1) ディスプレイアウトコンペアコントロールレジスタ (DOCMCR)

アドレス : H'FFF93000

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMP R1U
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMP R1
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~17	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
16	CMPR1U	0	R	—	ディスプレイアウトコンペア実行 1 更新値 ディスプレイアウトコンペア実行 1 (CMPR1) の内部更新を反映した値です。
15~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
0	CMPR1	0	R/W	あり	ディスプレイアウトコンペア実行 1 ディスプレイアウトコンペア 1 を動作させます。 0 : ディスプレイアウトコンペア停止 (初期値)。 1 : ディスプレイアウトコンペア動作。

(2) ディスプレイアウトコンペアステータスレジスタ (DOCMSTR)

アドレス : H'FFF93004

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPVS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPST1
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31	CMPVS	—	R	—	Vsync ステータス 0 : Vsync (内部信号) の立下り検出なし。 1 : Vsync (内部信号) の立下り検出あり。
30~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
0	CMPST1	0	R	なし	ディスプレイアウトコンペアステータス 1 0 : ディスプレイアウトコンペア 1 で相違検出なし。 1 : ディスプレイアウトコンペア 1 で相違検出あり。

(3) ディスプレイアウトコンペアステータスクリアレジスタ (DOCMCLSTR)

アドレス : H'FFF93008

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPCLVS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMCLST1
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—/W

ビット	ビット名	初期値	R/W	内部更新	説明
31	CMPCLVS	—	—/W	なし	Vsync ステータスクリア 0 : ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPVS を変更しません。 1 : ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPVS を 0 クリアします。
30~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
0	CMPCLST1	—	—/W	なし	ディスプレイアウトコンペアステータス1クリア 0: ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPST1 を変更しません。 1: ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPST1 を0クリアします。

(4) ディスプレイアウトコンペア割込み許可レジスタ (DOCMIENR)

アドレス: H'FFF9300C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMP EN1
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~1	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
0	CMPIEN1	—	R/W	なし	ディスプレイアウトコンペア割込み許可1 0: ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPST1 の割込みを禁止します。 1: ディスプレイアウトステータスレジスタ (DOCMSTR) の CMPST1 の割込みを許可します。

(5) ディスプレイアウトコンペアモードレジスタ (DOCMMDR1)

アドレス: H'FFF93020

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRC UMD	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~2	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
1	CRCUMD	0	R/W	なし	ディスプレイアウトコンペア CRC 期待値内部更新モード (CRC 期待値以外は、CMPUMD で更新モードを変更します) 0 : Vsync 同期で CRC 期待値を内部更新します。 1 : レジスタライト同期で CRC 期待値を内部更新します。
0	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。

(6) ディスプレイアウトコンペアパラメータレジスタ (DOCMPMR1)

アドレス : H'FFF93024

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPDFAU								CMPDAUFU	CMPCVFU	CMPDFFU	CMPSELPU				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPDFA								CMPDAUF	CMPCVF	CMPDFF	CMPSELP				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CMPDFAU	H'00	R	—	ディスプレイアウトコンペアデフォルトアルファ値更新値 ディスプレイアウトコンペアデフォルトアルファ値 (CMPDFA) の内部更新を反映した値です。
23	CMPDAUFU	0	R	—	ディスプレイアウトコンペアデフォルトアルファ値利用フラグ更新値 ディスプレイアウトコンペアデフォルトアルファ値利用フラグ (CMPDAUF) の内部更新を反映した値です。
22、21	CMPCVFU	00	R	—	ディスプレイアウトコンペアデータ変換フラグ更新値 ディスプレイアウトコンペアデータ変換フラグ (CMPCVF) の内部更新を反映した値です。
20	CMPDFFU	0	R	—	ディスプレイアウトコンペアデータフォーマットフラグ更新値 ディスプレイアウトコンペアデフォルトアルファ値利用フラグ (CMPCVF) の内部更新を反映した値です。
19~16	CMPSELPU	H'0	R	—	ディスプレイアウトコンペア選択プレーン更新値 ディスプレイアウトコンペア選択プレーン (CMPSELP) の内部更新を反映した値です。
15~8	CMPDFA	H'00	R/W	あり	ディスプレイアウトコンペアデフォルトアルファ値 CMPDAUF=1 のときに用いるアルファ値 (CRC の計算に用いる値)

ビット	ビット名	初期値	R/W	内部更新	説明
7	CMPDAUF	0	R/W	あり	ディスプレイアウトコンペアデフォルトアルファ値利用フラグ 0: デフォルトアルファ値 (CMPDFA) を使用しません。メモリから読み出された値が使用されます。 1: デフォルトアルファ値 (CMPDFA) を使用します。
6、5	CMPCVF	00	R/W	あり	ディスプレイアウトコンペアデータ変換フラグ RGB666 のフォーマットで CRC を計算する場合に用います。 00: RGB888 に変換する場合、下位 2 ビットに 0 を入れます。 01: RGB888 に変換する場合、下位 2 ビットに 1 を入れます。 10: RGB888 に変換する場合、下位 2 ビットにビット 3 の値を入れます。 11: RGB888 に変換する場合、下位 2 ビットに最上位ビットの値を入れます。
4	CMPDFF	0	R/W	あり	ディスプレイアウトコンペアデータフォーマットフラグ 32bit/pixel 時のデータフォーマットを指定します。 0: RGB888 または ARGB8888。 1: RGB666。
3~0	CMPSELP	H'0	R/W	あり	ディスプレイアウトコンペア選択プレーン 比較の対象となるプレーンを選択します H'0: 非選択。 H'1~8: プレーン 1~9 の表示データを選択 H'9: ブレンド後の表示データを選択

(7) ディスプレイアウトコンペア CRC 期待値レジスタ (DOCMECR1)

アドレス: H'FFF93028

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPECRC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPECRC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~0	CMPECRC	H'00000000	R/W	あり	ディスプレイアウトコンペア CRC 期待値 選択されたプレーン、領域に対する CRC の期待値。

(8) ディスプレイアウトコンペア CRC 期待値更新レジスタ (DOCMECRUR1)

アドレス : H'FFF9302C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPECRUCU															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPECRUCU															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~0	CMPECRUCU	H'00000000	R	なし	ディスプレイアウトコンペア CRC 期待値更新値 ディスプレイアウトコンペア CRC 期待値レジスタ (DOCMECRUR) の内部更新を反映した値です。

(9) ディスプレイアウトコンペア CRC 期待値保持レジスタ (DOCMECRCHR1)

アドレス : H'FFF93030

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPECRCH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPECRCH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~0	CMPECRCH	H'00000000	R	なし	ディスプレイアウトコンペア CRC 期待値保持値 ディスプレイアウトコンペアで比較に使用された CRC 期待値です。

(10) ディスプレイアウトコンペア CRC 計算値レジスタ (DOCMCRCR1)

アドレス : H'FFF93034

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMPCCRC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPCCRC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~0	CMPCCRC	H'00000000	R	なし	ディスプレイアウトコンペア CRC 計算値 選択されたプレーン、領域に対する CRC の計算値。

(11) ディスプレイアウトコンペア開始位置 X レジスタ (DOCMSPX R1)

アドレス : H'FFF93038

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMPSPXU										
初期値:	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMPSPX										
初期値:	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~27	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
26~16	CMPSPXU	H'000	R	なし	ディスプレイアウトコンペア開始位置 X 更新値 ディスプレイアウトコンペア開始位置 X (CMPSPX) の内部更新を反映した値です。
15~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	CMPSPX	H'000	R/W	あり	ディスプレイアウトコンペア開始位置 X ディスプレイアウトコンペアの比較対象となる領域の水平方向開始位置。選択したプレーン n 表示サイズ X レジスタ (PnDSXR) の設定値以下の値を設定してください。

(12) ディスプレイアウトコンペア開始位置 Y レジスタ (DOCMSPYR1)

アドレス : H'FFF9303C

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CMPSPYU									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CMPSPY									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~26	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
25~16	CMPSPYU	H'000	R	なし	ディスプレイアウトコンペア開始位置 Y 更新値 ディスプレイアウトコンペア開始位置 Y (CMPSPY) の内部更新を反映した値です。
15~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	CMPSPY	H'000	R/W	あり	ディスプレイアウトコンペア開始位置 Y ディスプレイアウトコンペアの比較対象となる領域の垂直方向開始位置。選択したプレーン n 表示サイズ Y レジスタ (PnDSYR) の設定値以下の値を設定してください。

(13) ディスプレイアウトコンペアサイズ X レジスタ (DOCMSZX1R)

アドレス : H'FFF93040

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMPSZXU										
初期値:	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CMPSZX										
初期値:	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~27	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	内部更新	説明
26~16	CMPSZXU	H'000	R	なし	ディスプレイアウトコンペアサイズX更新値 ディスプレイアウトコンペアサイズX (CMPSZX) の内部更新を反映した値です。
15~11	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
10~0	CMPSZX	H'000	R/W	あり	ディスプレイアウトコンペアサイズX ディスプレイアウトコンペアの比較対象となる領域の水平方向のサイズ。ディスプレイアウトコンペア開始位置X (CMPSPX) + ディスプレイアウトコンペアサイズX (CMPSZX) が選択したプレーンn表示サイズXレジスタ (PnDSXR) の設定値以下の値を設定してください。

(14) ディスプレイアウトコンペアサイズYレジスタ (DOCMSZYR1)

アドレス : H'FFF93044

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	CMPSZYU											
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	CMPSZY											
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~26	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
25~16	CMPSZYU	H'000	R	なし	ディスプレイアウトコンペアサイズY更新値 ディスプレイアウトコンペアサイズY (CMPSZY) の内部更新を反映した値です。
15~10	—	—	R	—	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
9~0	CMPSZY	H'000	R/W	あり	ディスプレイアウトコンペアサイズY ディスプレイアウトコンペアの比較対象となる領域の垂直方向のサイズ。ディスプレイアウトコンペア開始位置Y (CMPSPY) + ディスプレイアウトコンペアサイズY (CMPSZY) が選択したプレーンn表示サイズYレジスタ (PnDSYR) の設定値以下の値を設定してください。

(15) ディスプレイアウトコンペア CRC 初期値レジスタ (DOCMCRCIR1)

アドレス : H'FFF93048

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCINI															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMPCCRC															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~0	CRCINI	H'FFFFFFF	R/W	なし	ディスプレイアウトコンペア CRC 初期値 選択されたプレーン、領域に対する CRC の初期値。

14.4 表示機能

14.4.1 出力画面構造

Display Unit は、最大 8 階層表示でウィンドウ表示を行います。それぞれのウィンドウをプレーンと呼び、プレーンごとの重ね合わせ順序は任意に設定可能です。各プレーンは、表示 ON/OFF や画像データフォーマット (8bit/pixel、16bit/pixel、ARGB、YC、32bit/pixel)、ブレンディング機能などの独自設定が可能です。

各プレーンはダブルバッファ (ビデオキャプチャ指定プレーンのみトリプルバッファ) 構成となり、スムーズな表示が可能です。

【注】 高解像度表示の場合、合成するプレーン面数や表示サイズによりユニファイドメモリのトラフィック量が多くなり、トラフィック量起因による制限が発生する場合がありますが、表示機能には制限がありません。

表 14.24 プレーンの表示機能

	表示 ON/ OFF	画像データフォーマット					重ね合わせ	プリン キング	サイズ	スクロール	ラップ アラウンド	アルファ値 プレーン
		8bit/ pixel	16bit/ pixel	ARGB	YC	32bit/ pixel						
プレーン 1	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	α ブレンド 透過色 ^{*5} EOR 演算	○	X,Y 任意	○	○	○
プレーン 2	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 3	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 4	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 5	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 6	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 7	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
プレーン 8	○	○ ^{*1}	○	○	○ ^{*2}	○ ^{*4}	↑	○	↑	○	○	○
下地色 ^{*3}	×	×	×	×	×	×	×	×	×	×	×	×

【注】 *1 カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 のいずれかを選択。

*2 YC→RGB 変換は、最も上位のプレーンの YUV データのみ変換可能です。

*3 下地色は RGB666 のデータフォーマットとなります。

*4 32bit/pixel の表示はプレーンを 2 面使用します。たとえばプレーン 1 と 2 を組み合わせて 32bit/pixel を表示します。

*5 32bit/pixel データの場合は透過色処理を行うことはできません。

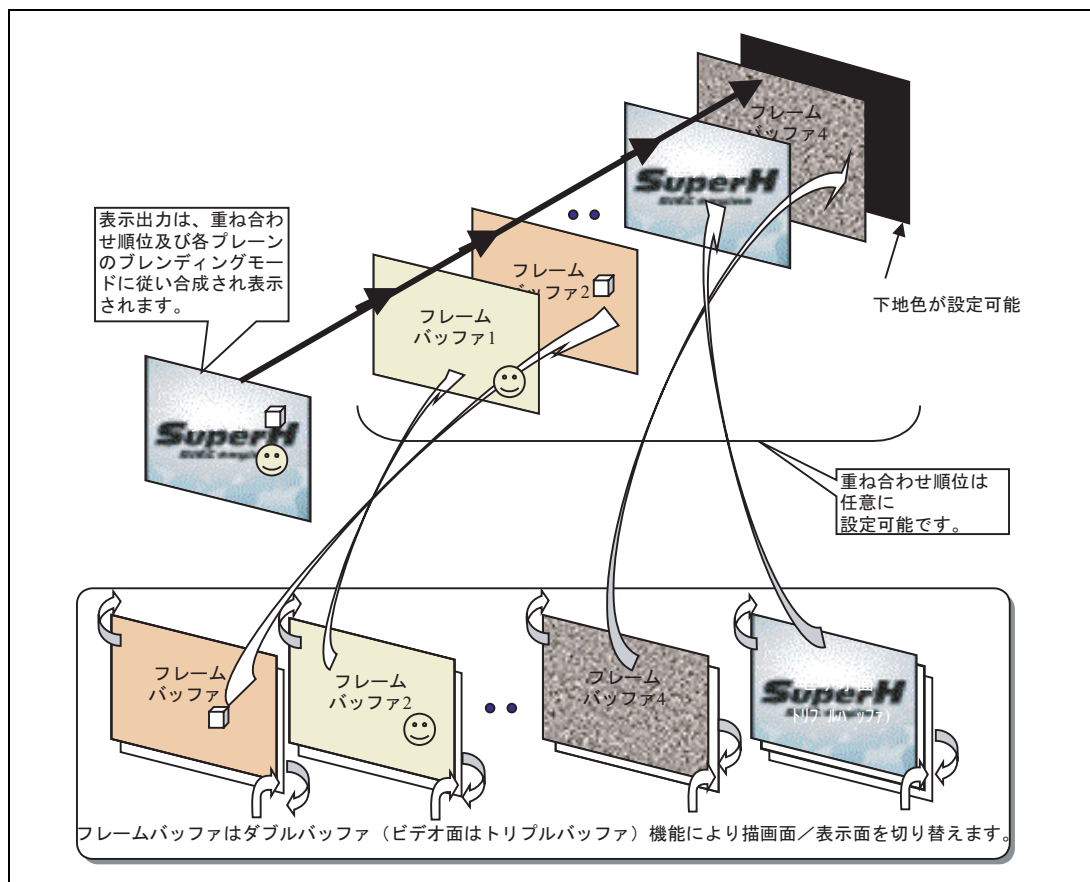


図 14.2 プレーン構成および重ね合わせ概略

14.4.2 表示 ON、OFF

すべての表示 ON、OFF は、表示システム制御レジスタ (DSYSR) / DEN で設定します。DEN が 0 の場合は表示オフ時出力レジスタ (DOOR) に設定された表示データを表示します。

表示出力システム制御レジスタ (DORCR) のビット 0 が 0 のとき、プレーン 1~8 の表示 ON、OFF は、表示プレーン優先順位レジスタ (DPPR) で設定します。表示出力システム制御レジスタ (DORCR) のビット 0 が 1 のとき、プレーン 1~8 の表示 ON、OFF は、表示重ね合せ 1 優先順位レジスタ (DS1PR)、表示重ね合せ 2 優先順位レジスタ (DS2PR) で設定します。

下記のような表示条件の場合は下地色レジスタ (BPOR) に設定された表示データを表示します。

1. プレーン 1~8 がすべて表示 OFF
2. 表示サイズと表示位置により表示するプレーンのない領域
3. 表示するプレーンの画素がすべて透過色である場合

表 14.25 プレーン 1~8 の表示 ON/OFF (表示出力系統制御レジスタ (DORCR) のビット 0 が 0 のとき)

表示面	表示プレーン優先順位レジスタ (DPPR)
プレーン 1	優先順位 1~8 のいずれかにプレーン 1 を選択し、当該許可ビットに 1 を設定
プレーン 2	優先順位 1~8 のいずれかにプレーン 2 を選択し、当該許可ビットに 1 を設定
プレーン 3	優先順位 1~8 のいずれかにプレーン 3 を選択し、当該許可ビットに 1 を設定
プレーン 4	優先順位 1~8 のいずれかにプレーン 4 を選択し、当該許可ビットに 1 を設定
プレーン 5	優先順位 1~8 のいずれかにプレーン 5 を選択し、当該許可ビットに 1 を設定
プレーン 6	優先順位 1~8 のいずれかにプレーン 6 を選択し、当該許可ビットに 1 を設定
プレーン 7	優先順位 1~8 のいずれかにプレーン 7 を選択し、当該許可ビットに 1 を設定
プレーン 8	優先順位 1~8 のいずれかにプレーン 8 を選択し、当該許可ビットに 1 を設定

表 14.26 プレーン 1~8 の表示 ON/OFF (表示出力系統制御レジスタ (DORCR) のビット 0 が 1 のとき)

表示面	表示重ね合せ 1 優先順位レジスタ (DS1PR)
	表示重ね合せ 2 優先順位レジスタ (DS2PR)
プレーン 1	優先順位 1~8 のいずれかにプレーン 1 を選択 (設定データ: 0001)
プレーン 2	優先順位 1~8 のいずれかにプレーン 2 を選択 (設定データ: 0010)
プレーン 3	優先順位 1~8 のいずれかにプレーン 3 を選択 (設定データ: 0011)
プレーン 4	優先順位 1~8 のいずれかにプレーン 4 を選択 (設定データ: 0100)
プレーン 5	優先順位 1~8 のいずれかにプレーン 5 を選択 (設定データ: 0101)
プレーン 6	優先順位 1~8 のいずれかにプレーン 6 を選択 (設定データ: 0110)
プレーン 7	優先順位 1~8 のいずれかにプレーン 7 を選択 (設定データ: 0111)
プレーン 8	優先順位 1~8 のいずれかにプレーン 8 を選択 (設定データ: 1000)

【注】 表示プレーン優先順位レジスタ (DPPR) あるいは表示重ね合せ 1 優先順位レジスタ (DS1PR)、表示重ね合せ 2 優先順位レジスタ (DS2PR) で表示 ON としても、次の条件の場合は表示 OFF として扱われ、該当プレーンは表示しません。

1. プレーン n 表示位置 X レジスタ (PnDPXR) に設定した値が画面サイズ {水平表示終了位置レジスタ (HDE) - 水平表示開始位置レジスタ (HDS)} より大きいプレーン。
2. プレーン n 表示位置 Y レジスタ (PnDPYR) に設定した値が画面サイズ {垂直表示終了位置レジスタ (VDE) - 垂直表示開始位置レジスタ (VDS)} より大きいプレーン。
3. プレーン n 表示サイズ X レジスタ (PnDSXR) に設定した値が 0 であるプレーン。
4. プレーン n 表示サイズ Y レジスタ (PnDSYR) に設定した値が 0 であるプレーン。
5. プレーン n メモリ幅レジスタ (PnMWR) に設定した値が 0 であるプレーン。
6. プレーン n 開始位置 X レジスタ (PnSPXR) に設定した値がプレーン n メモリ幅レジスタ (PnMWR) に設定した値の 2 倍以上であるプレーン。

14.4.3 プレーンパラメータ

プレーンでは表示領域開始位置・メモリ幅・表示開始位置・表示サイズをレジスタによって設定します。

プレーンに関する各種開始位置およびサイズ概念図と各種開始位置とサイズの設定に関するレジスタを以下に示します。

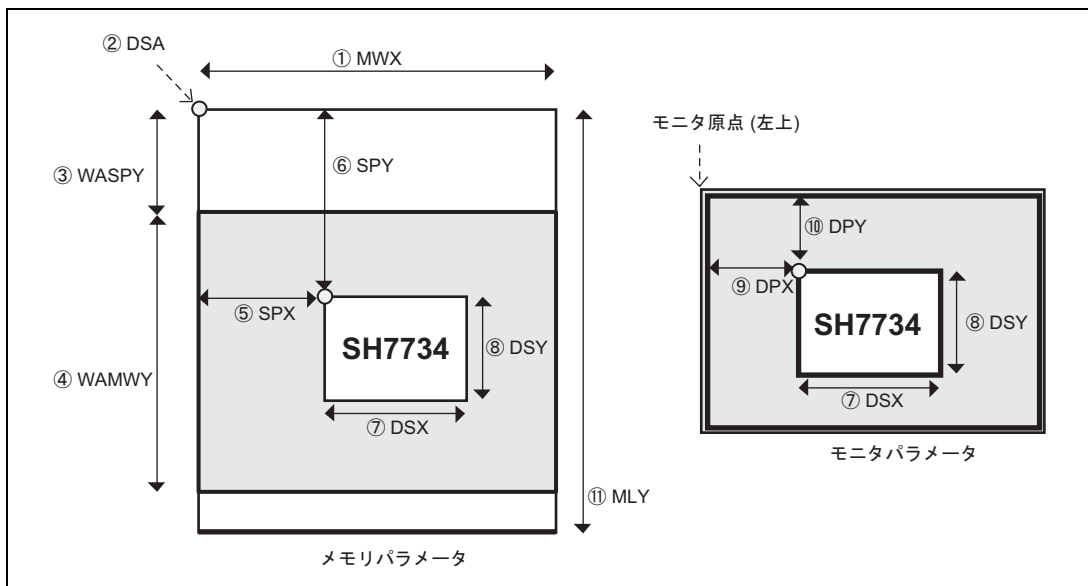


図 14.3 パラメータ

表 14.27 メモリパラメータ・モニタパラメータ設定レジスタ

No	図中の名称	レジスタ略称	説明
①	MWX (プレーンメモリ幅)	PnMWXR	プレーンのX方向のメモリ幅を16画素~4096画素まで16画素単位に設定します。
②	DSA (表示領域開始位置)	PnDSA0R ~ PnDSA2R	メモリ領域におけるプレーンの開始アドレスを設定します。
③	WASPY (ラップアラウンド開始位置)	PnWASPR	DSAで設定したアドレスを基準に、ラップアラウンドエリアのY方向開始位置をライン単位で設定します。
④	WAMWY (ラップアラウンドメモリ幅)	PnWAMWR	ラップアラウンドのY方向のメモリ幅を240~4095ラインの範囲でライン単位で設定します。
⑤	SPX (開始位置 X)	PnSPXR	DSAで設定したアドレスを原点として表示開始位置までのX方向の距離を画素単位で設定します。
⑥	SPY (開始位置 Y)	PnSPYR	DSAで設定したアドレスを原点として表示開始位置までのY方向の距離をラスタライン単位で設定します。
⑦	DSX (表示サイズ X)	PnDSXR	プレーンのX方向の表示サイズをドットクロック単位で設定します。
⑧	DSY (表示サイズ Y)	PnDSYR	プレーンのY方向の表示サイズをラスタライン単位で設定します。
⑨	DPX (表示位置 X)	PnDPXR	モニタの左上を原点として表示位置までのX方向の距離をドットクロック単位で設定します。
⑩	DPY (表示位置 Y)	PnDPYR	モニタの左上を原点として表示位置までのY方向の距離をラスタライン単位で設定します。
⑪	MLY (メモリ長 Y)	PnMLR	プレーンのY方向のメモリ領域をライン単位で設定します。

14.4.4 メモリ割り付け

各プレーンは表示面、描画面1およびビデオ表示のための描画面2の表示領域開始アドレスを個別に設定することができます。表示領域開始アドレスレジスタには、使用するメモリ領域の先頭アドレスをおのおのに設定します。

Display Unit では、表示プレーンがビデオキャプチャでは、それぞれのプレーンごとの表示領域開始アドレス0、1および2を使用してトリプルバッファ制御を行い、ビデオキャプチャ以外では、プレーンごとの表示領域開始アドレス0および1を使用してダブルバッファ制御を行い各プレーンを表示します。

表示キャプチャでは格納する領域を1つのみ設定することができます。

各プレーンで使用する、表示領域開始アドレスレジスタ一覧を以下に示します。

表 14.28 メモリ割り付け設定レジスタ

表示面	設定レジスタ名称	
プレーン n	プレーン n 表示領域開始アドレスレジスタ 0	PnDSA0
	プレーン n 表示領域開始アドレスレジスタ 1	PnDSA1
	プレーン n 表示領域開始アドレスレジスタ 2	PnDSA2
表示キャプチャ	表示キャプチャ格納領域開始アドレスレジスタ	DCSAR

【注】 n : 1、2、3、4、5、6、7、8

14.4.5 画像データフォーマット

Display Unit に入力する画像データには次の形式があります。

ユニファイドメモリ上にリトルエンディアンで配置された場合のデータ構成を示します。

(1) 8bit/pixel

カラーパレットのインデックスです。カラーパレットによって RGB 各 6 ビット (RGB666) の画像データに変換して表示します。

8bit/pixel データ (インデックスカラー)

D15~D0	15	8	7	0
画素番号	1		0	

(2) 16bit/pixel : RGB

RGB のレベルを R : 5、G : 6、B : 5 ビット (RGB565) で表現します。

16bit/pixel データ (RGB データ) フォーマット

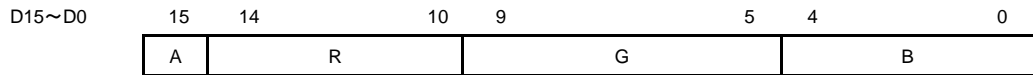
D15~D0	15	11	10	5	4	0
	R		G		B	

(3) 16bit/pixel : ARGB

ARGB のレベルを A : 1、R : 5、G : 5、B : 5 ビット (ARGB1555) で表現します。RGB の値のほかに α ブレンドの制御を設定します。本章では特に断らないかぎり ARGB は ARGB1555 を表し ARGB8888 は 32bit/pixel と表します。

A 値によるブレンド制御はプレーン n モードレジスタ (PnMR) / PnSPIM がブレンドを行う設定の場合に有効となります。プレーン n ブレンド比レジスタ (PnALPHAR) / PnABIT が 00 の場合、A 値=1 で α ブレンドを行います。PnABIT が 01 の場合、A 値=0 で α ブレンドを行います。PnABIT が 10 あるいは 11 の場合は A 値の値によらず α ブレンドを行います。PnSPIM がブレンド設定でないとき A 値の値によらずブレンドを行いません。

16bit/pixel データ (ARGB データ) フォーマット



(4) YC : YUV422

YC (YCbCr) = 4:2:2 形式の画像データです。演算回路により RGB 各 8 ビット (RGB888) の画像データに変換して表示します。透過色処理を行うことはできません。

YC のデータ並びは UYVY 形式と YUYV 形式に対応しています。UYVY 形式と YUYV 形式はプレーン n モードレジスタ (PnMR) / PnYCDF にて選択できます。

YC-RGB の変換式は下記のとおりで、アンダラインの係数をレジスタ設定できます。

$$R = \underline{YNC} \times (Y - \underline{YNO}) + \underline{RCRC} \times (Cr - \underline{CRNO})$$

$$G = \underline{YNC} \times (Y - \underline{YNO}) - \underline{GCRCR} \times (Cr - \underline{CRNO}) - \underline{GCBC} \times (Cb - \underline{CBNO})$$

$$B = \underline{YNC} \times (Y - \underline{YNO}) + \underline{BCBC} \times (Cb - \underline{CBNO})$$

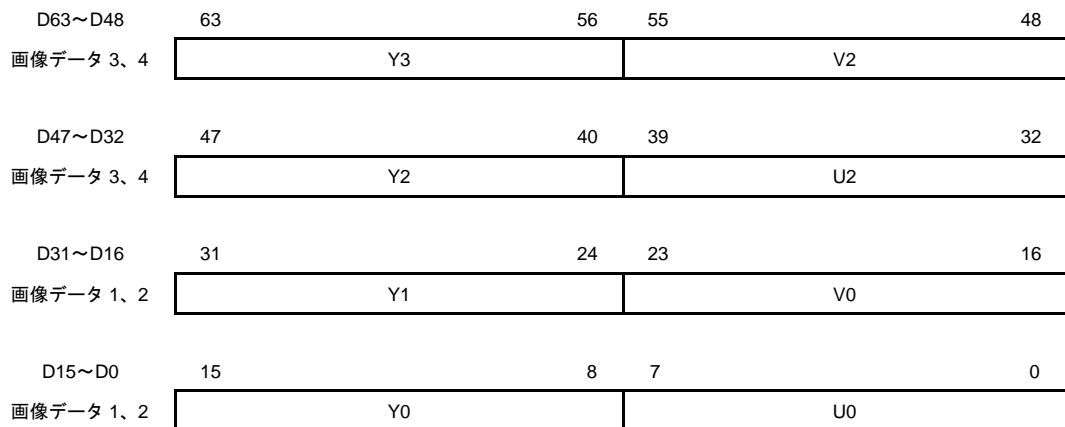
初期状態の変換式は下記になります。

$$R = Y + 1.37 \times (Cr - 128)$$

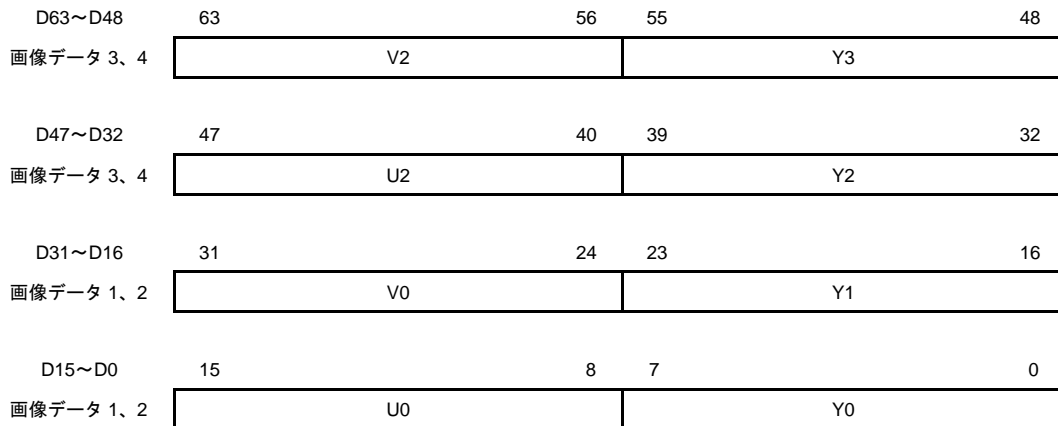
$$G = Y - 0.698 \times (Cr - 128) - 0.336 \times (Cb - 128)$$

$$B = Y + 1.73 \times (Cb - 128)$$

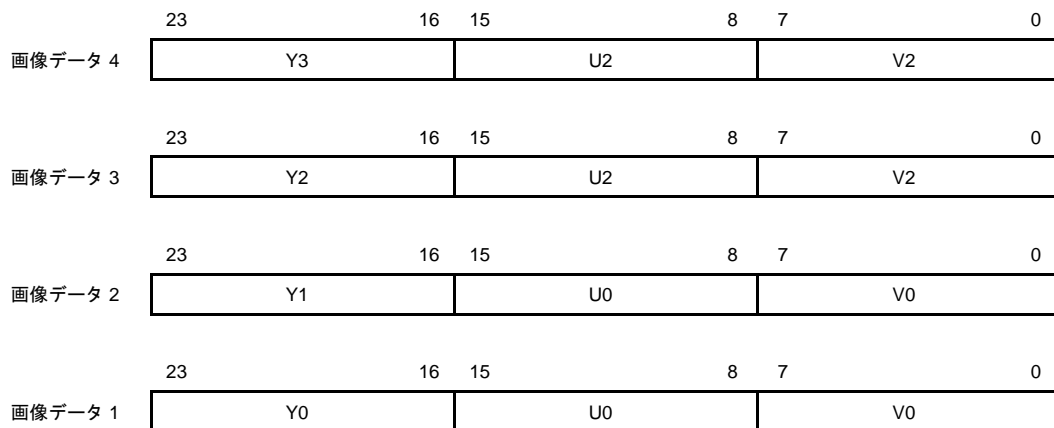
(a) UYVY 形式



(b) YUYV 形式



(c) RGB 色空間変換時のフォーマット



(5) YC : YUV420

YC(YCbCr)=4:2:0 形式の画像データです。演算回路により RGB 各 8 ビット (RGB888) の画像データに変換して表示します。透過色処理を行うことはできません。

UV データの並びは NV12 形式と NV21 形式に対応しています。NV12 形式と NV21 形式はプレーン n 表示データ制御レジスタ 2 (PnDDCR2) / PnNV21 にて選択できます。

YC-RGB の変換式は YC : YUV422 と同じです。

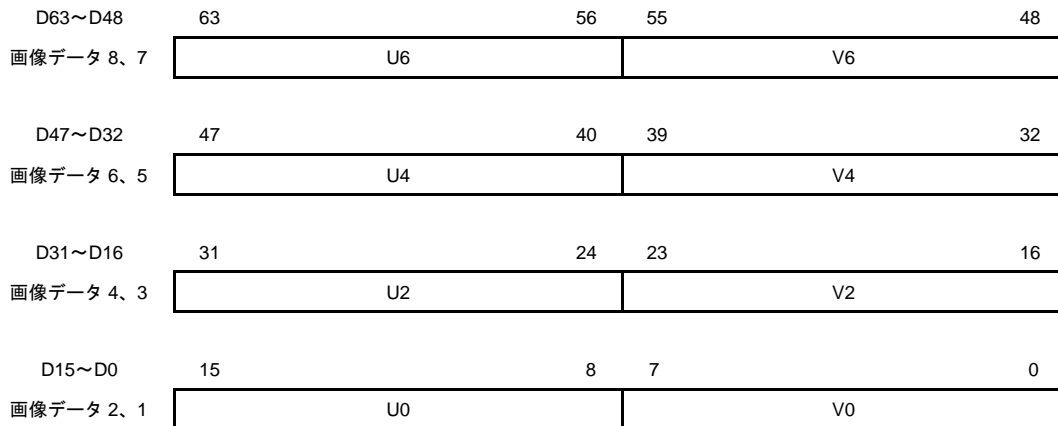
(a) Y データ

D63~D48	63	56	55	48
画像データ 8、7	Y7		Y6	
D47~D32	47	40	39	32
画像データ 6、5	Y5		Y4	
D31~D16	31	24	23	16
画像データ 4、3	Y3		Y2	
D15~D0	15	8	7	0
画像データ 2、1	Y1		Y0	

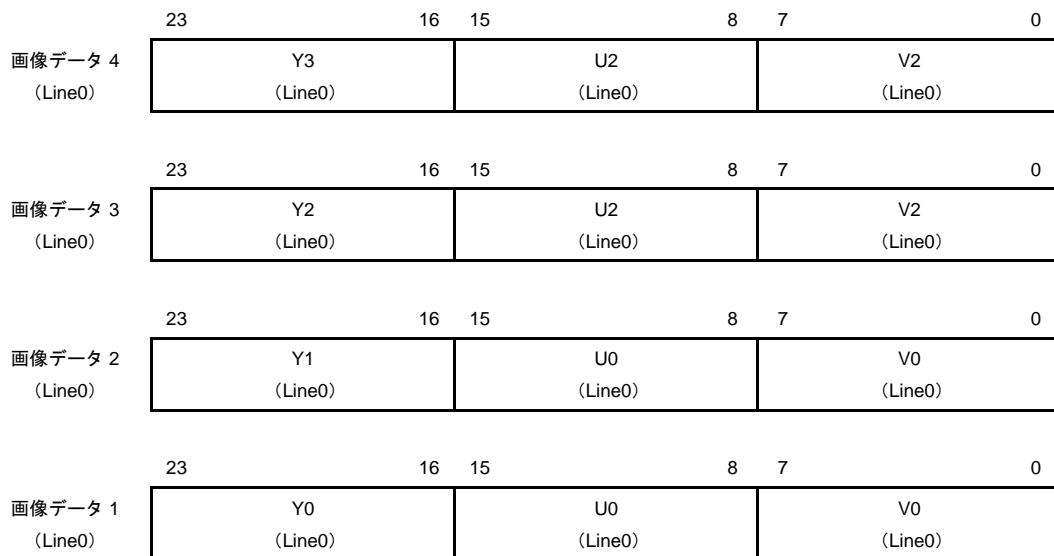
(b) UV データ (NV12)

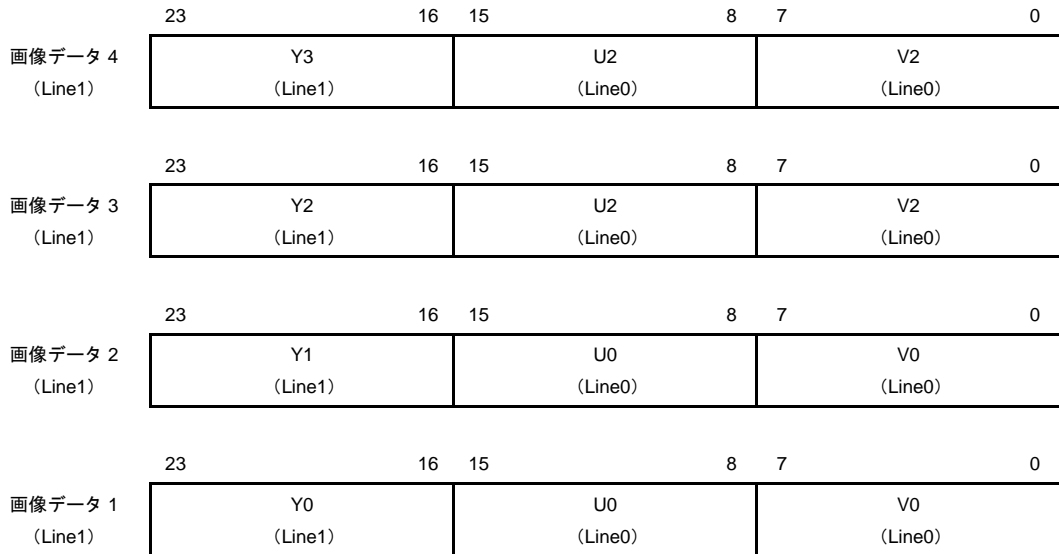
D63~D48	63	56	55	48
画像データ 8、7	V6		U6	
D47~D32	47	40	39	32
画像データ 6、5	V4		U4	
D31~D16	31	24	23	16
画像データ 4、3	V2		U2	
D15~D0	15	8	7	0
画像データ 2、1	V0		U0	

(c) UV データ (NV21)



(d) RGB 色空間変換時のフォーマット





(6) 32bit/pixel : ARGB8888

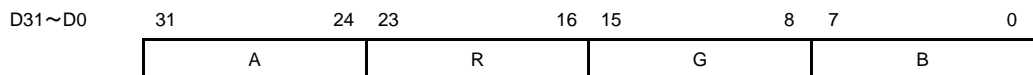
ARGB のレベルを A : 8、R : 8、G : 8、B : 8 ビット (ARGB8888) で表現します。RGB の値の他にアルファ値を設定します。本章では特に断らないかぎり本フォーマットは 32bit/pixel と表します。

プレーン n モードレジスタ (PnMR) / PnSPIM がブレンディングを行う設定の場合に A 値をブレンド比としてブレンディングを行い、プレーン n ブレンド比レジスタ (PnALPHAR) によるアルファ値は選択できません。

透過色処理を行うことはできません。

α ブレンディングと EOR 演算は下位プレーンがある領域で実施してください。PnSPIM が α ブレンディングあるいは EOR 演算を行う設定の場合かつ下位プレーンがない場合、32bit/pixel データを重ね合わせをせずに表示することはできません。

32bit/pixel データ (ARGB8888 データ) フォーマット



14.4.6 表示データおよび表示キャプチャデータフォーマット

Display Unit からデジタル RGB 出力する場合、各画像データのフォーマットを R・G・B 8・8・8 に展開した後に α ブレンディングおよび EOR 演算の重ね合わせを行い出力します。表示キャプチャデータは Red および Blue 端子出力の上位 5 ビット、Green 端子出力の 6 ビットを格納します。R・G・B 8・8・8 に展開時の補完フォーマットと表示データのフォーマットを下表に記します。

表 14.29 表示データフォーマット

		Red								Green								Blue							
		7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
展 開 後 デ ー タ	カラーパレット 変換後 8bit/pixel	R (6 ビット)						0	0	G (6 ビット)						0	0	B (6 ビット)						0	0
	16bit/pixel	R (5 ビット)				0	0	0	G (6 ビット)						0	0	B (5 ビット)				0	0	0		
	ARGB	R (5 ビット)				0	0	0	G (5 ビット)				0	0	0	B (5 ビット)				0	0	0			
	RGB 変換後 YC	R (8 ビット)						G (8 ビット)						B (8 ビット)											
	32bit/pixel	R (8 ビット)						G (8 ビット)						B (8 ビット)											
重ね合わせ後		R (8 ビット)						G (8 ビット)						B (8 ビット)											
DU0 表示データ		R (8 ビット)						G (8 ビット)						B (8 ビット)											
表示キャプチャ	R (5 ビット)						G (6 ビット)							B (5 ビット)											
	R (5 ビット)						G (5 ビット)							B (5 ビット)											

14.4.7 エンディアン変換

Display Unit は、表示システム制御レジスタ (DSYSR) /DSEC の設定によりビッグエンディアン/リトルエンディアンの変換が可能です。画像データが 32bit/pixel の場合はプレーン n スワップ制御レジスタ (PnSWAP) を使って変換します。

Display Unit 内部はリトルエンディアン固定となっており、表示システム制御レジスタ (DSYSR) /DSEC ビットを 1 に設定することで、ユニファイドメモリ上にビッグエンディアンで配置された画像データをリトルエンディアンに変換して読み出しが行えます。

エンディアン変換の単位 (バイト/ワード) は、プレーン n モードレジスタ (PnMR) /PnDDF の設定に従います。

表 14.30 エンディアン変換単位

PnMR/PnDDF	データフォーマット	エンディアン変換の単位
0 0	8bit/pixel	バイト単位
0 1	16bit/pixel	ワード単位
1 0	ARGB	ワード単位
1 1	YC	バイト単位

以下に各単位におけるエンディアン変換を図に示します。

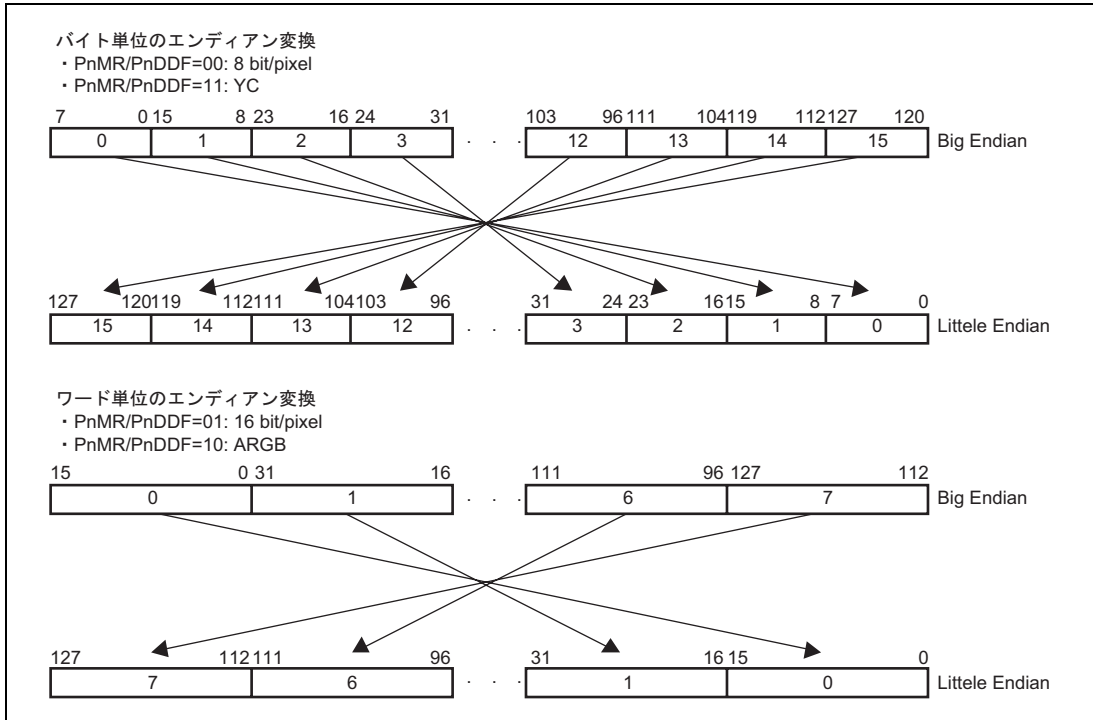


図 14.4 エンディアン変換

32bit/pixel の場合はプレーン n スワップ制御レジスタ (PnSWAP) のビット 3、2 に 1 を、ビット 1、0 に 0 を設定することで、図 14.5 のようにエンディアン変換を行います。ビット 4 は 1、0 どちらでもかまいません。このとき、表示制御レジスタ (DSYSR) /DSEC ビットは 0 を設定してください。

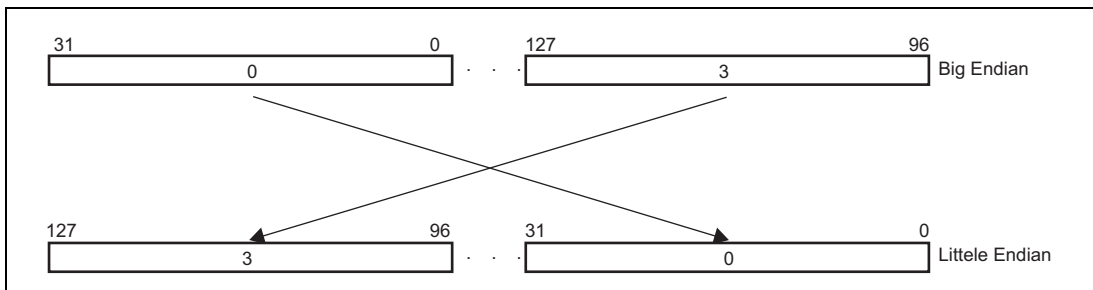


図 14.5 ARGB888 のエンディアン変換

14.4.8 カラーパレット

8bit/pixel データはカラーパレットを使用します。カラーパレットは Display Unit で 4 つ搭載し、カラーパレットは重ね合せ処理部 1 のみアクセスできます。各カラーパレットをカラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 と呼びます。

各プレーンで使用するカラーパレットは、プレーン n モードレジスタ (PnMR) / PnCPSL でカラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 のいずれかに設定します。それぞれのカラーパレットは 2 面の交替バッファで構成されており、一方が表示面、他方が CPU アクセス面となります。各カラーパレットの設定後、カラーパレット制御レジスタ (CPCR) のカラーパレット切り替えイネーブルビット (CP4CE、CP3CE、CP2CE、CP1CE) を 1 にセットすることにより、次の VSYNC の立ち下がり (内部更新タイミング)、または表示リセット解除 (表示システム制御レジスタ (DSYSR) / DRES を 1→0) で設定したカラーパレットが有効になります。

(1) カラーパレット使用上の注意

1. 交替バッファで構成されているため、カラーパレットの更新時には全面書き換えが必要です。ただし、カラーパレットの更新内容を管理している場合は、該当部分のみの書き換えでも問題ありません。
2. カラーパレットの設定終了時には、必ず切り替えイネーブルビットを 1 に設定してください。
3. カラーパレットを CPU からリードする場合は、切り替えイネーブルビットを 1 にセットする前に行ってください。

(2) カラーパレット設定手順

(a) 初期状態からの切り替え手順

初期状態 (パワーオンリセット後) は表示リセット状態です。

1. 表示システム制御レジスタを設定。
2. カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 を設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに 1 を設定。
4. 表示リセットを解除。

(b) 表示状態からの切り替え手順

表示状態は表示システム制御レジスタの DRES=0、DEN=1 の状態です。

1. カラーパレット切り替えイネーブルの 0 を確認。
2. カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 を設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに 1 を設定。

14.4.9 プレーンの重ね合わせ表示

各プレーンは、 α ブレンディング、透過色、EOR 演算の3種類を組み合わせた重ね合わせ表示が可能です。プレーン n モードレジスタ (PnMR) / PnSPIM を設定することで重ね合わせ表示を選択します。

ただし、同一プレーンに対し α ブレンディングと EOR 演算を同時に行うことはできません。

YC データは透過色処理を行うことはできません。

32bit/pixel データの重ね合わせ表示には下記の制限があります。

1. 透過色処理を行うことはできません。PnSPIM のビット2は1に設定してください。
2. α ブレンディングあるいはEOR演算を指定し下位プレーンがすべて表示OFFのとき32bit/pixelデータを表示できません。
3. アルファ値は32bit/pixelデータの上位8ビット (A値) のみとなります。

表 14.31 重ね合わせ表示

PnSPIM	重ね合わせ表示	YC, 32bit/pixel
000	指定プレーンは透過処理を行います。 指定プレーンが透過色の場合は下位プレーンを表示します。(初期値)	設定禁止
001	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンが透過色の場合はブレンディングを行わず、下位プレーンを表示します。	設定禁止
010	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンが透過色の場合は EOR 演算を行わず、下位プレーンを表示します。	設定禁止
011	設定禁止。(下位プレーンを表示します)	設定禁止
100	指定プレーンは透過処理を行いません。 指定プレーンを表示します。	設定可能
101	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとのブレンディングを行います。	設定可能*
110	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとの EOR 演算を行います。	設定可能*
111	設定禁止。(下位プレーンを表示します)	設定禁止

【注】 * 下位プレーンがすべて表示 OFF のとき 32bit/pixel データを表示できません。

α ブレンディングおよび EOR 演算は画像データフォーマットを R・G・B 8:8:8 に展開した後に行います。各画像データフォーマットの補完フォーマットは表 14.29 を参照してください。

α ブレンディングおよび EOR 演算は下位のプレーンから上位のプレーンの順に処理を行っていきます。これをブロック図化したものを図 14.6 に示します。

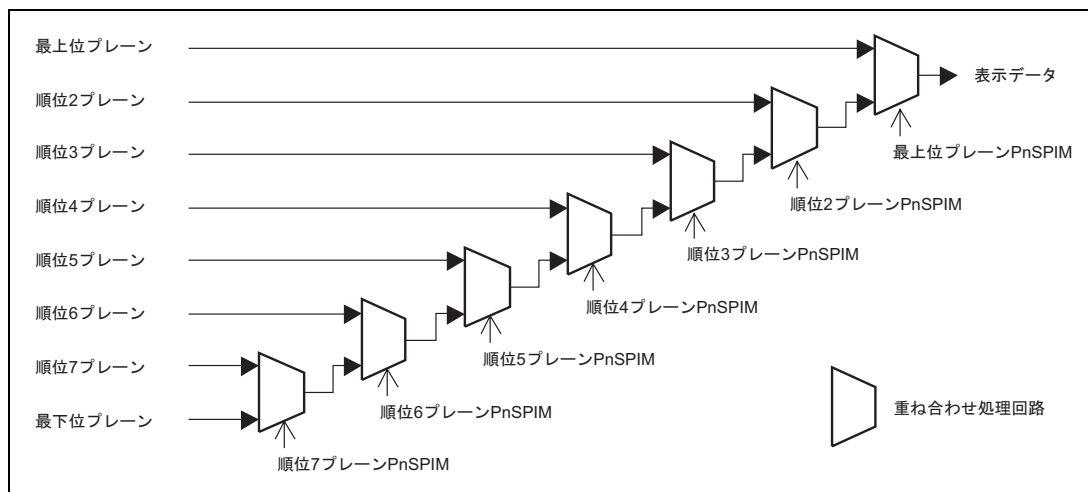


図 14.6 α ブレンディング・EOR 演算時のプレーン処理順序

α ブレンディングあるいは EOR 演算する表示データのデータフォーマットが 8bit/pixel の場合は、あらかじめ使用するカラーパレットの選択を行ってから α ブレンディングあるいは EOR 演算の ON/OFF を設定してください。このとき α ブレンディングあるいは EOR 演算する両プレーンが同一のカラーパレットを選択している場合 (カラーパレット競合)、 α ブレンディングあるいは EOR 演算されず指定プレーンのみ表示されます。下位プレーンがすべて表示 OFF のとき、指定プレーンを表示します。つまり、下地色レジスタ (BPOR) に指定された画像データと指定プレーンとのブレンディングあるいは EOR 演算は行いません。

(1) α ブレンディング

α ブレンディングは、次の 3 種類から選択できるアルファ値 (α) に従いブレンディング処理を行います。

- プレーン n ブレンド比レジスタ (PnALPHAR) / PnALPHA
- カラーパレット内のブレンド比ビット
- 表示プレーンの表示データ
- 32bit/pixel データの場合、アルファ値は 32bit/pixel データの上位 8 ビット (A 値) のみとなります。

$$\text{ブレンディング結果} \approx \text{指定プレーン} * \alpha / 255 + \text{下位プレーン} * (1 - \alpha / 255) \quad (\text{近似式})$$

【注】 上記式でブレンディング結果、 α 、指定プレーン、下位プレーンはすべて 8 ビットデータとなります。

アルファ値を H'00 に設定した場合は下位プレーンのみを、H'FF に設定した場合は指定プレーンのみを表示します。ここで、プレーン n モードレジスタ (PnMR) / PnDDF が ARGB モードに設定かつ、プレーン n モードレジスタ (PnMR) / PnSPIM がブレンディングを行う設定の場合、ARGB データフォーマットの A 値に従い、プレーン n ブレンド比レジスタ (PnALPHAR) / PnALPHA で設定されたアルファ値により α ブレンディングが行われず。

プレーン n ブレンド比レジスタ (PnALPHAR) / PnABIT が 00 の場合、A 値=1 で α ブレンディングを行います。PnABIT が 01 の場合、A 値=0 で α ブレンディングを行います。PnABIT が 10 あるいは 11 の場合は A 値の値によらず α ブレンディングを行います。

(2) 透過色

各プレーンは、プレーン n モードレジスタ (PnMR) / PnSPIM のビット 2 を 0 に設定することで指定面と下位プレーンとの透過色処理が可能です。ただし、YC および 32bit/pixel データの場合は透過色処理は行うことはできません。

• 8bit/pixel の場合

プレーン n モードレジスタ (PnMR) / PnTC=0 (初期値) のときプレーン n 透過色 1 レジスタ (PnTC1R) 設定に従い透過色処理を行います。プレーン n モードレジスタ (PnMR) / PnTC=1 のとき、カラーパレット 1~4 透過色レジスタ (CPT1R~CPT4R) の設定に従った各カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 の最大同時 16 色を透過色に指定できます。透過色に指定できるのはインデックス H'00~H'0F のみで、H'10~H'FF は透過色に指定できません。

カラーパレット 1~4 透過色レジスタはプレーン n モードレジスタ (PnMR) / PnCPSL ビットで選択します。

• 16bit/pixel、ARGB の場合

プレーン n モードレジスタ (PnMR) / PnTC の設定に関係なくプレーン n 透過色 2 レジスタ (PnTC2R) に従い透過色処理を行います。

ARGB の場合、プレーン n 透過色 2 レジスタ (PnTC2R) のビット 14~0 と比較し、ビット 15 は無視します。

以上をまとめ、下表に PnTC=0、1 のそれぞれの場合に有効となる透過色指定レジスタを示します。

表 14.32 透過色指定レジスタ

データフォーマット	透過色指定ビット (PnMR) / PnTC	カラーパレットセレクトビット (PnMR) / PnCPSL	透過色指定レジスタ
—	—	—	—
8bit/pixel	0	—	PnTC1R
	1	000	CP1TR
	1	001	CP2TR
	1	010	CP3TR
	1	011	CP4TR
16bit/pixel	—	—	PnTC2R
ARGB	—	—	PnTC2R

(3) EOR 演算

指定プレーンと下位プレーンとの EOR 演算を行います。

14.4.10 表示の競合

(1) カラーパレットの競合

α ブレンディングおよび EOR 演算を行う場合、画像データフォーマットが 8bit/pixel のプレーン間において同一のカラーパレットを選択しているとカラーパレットの競合が発生する場合があります。これは競合判定をプレーンの面単位ではなく、画素単位に行うためです。

下図に、プレーン 1、プレーン 2、プレーン 3 が 8bit/pixel、プレーン 1 は α ブレンディング、プレーン 2 は EOR 演算を指定し、各プレーンが同一カラーパレットを選択していた場合の競合を示します (プレーン 1、プレーン 2、プレーン 3 に透過色の画素がないものとします)。

競合が発生した場合は、 α ブレンディングおよび EOR 演算は無効となり最も上の位置にあるプレーンが表示されます。

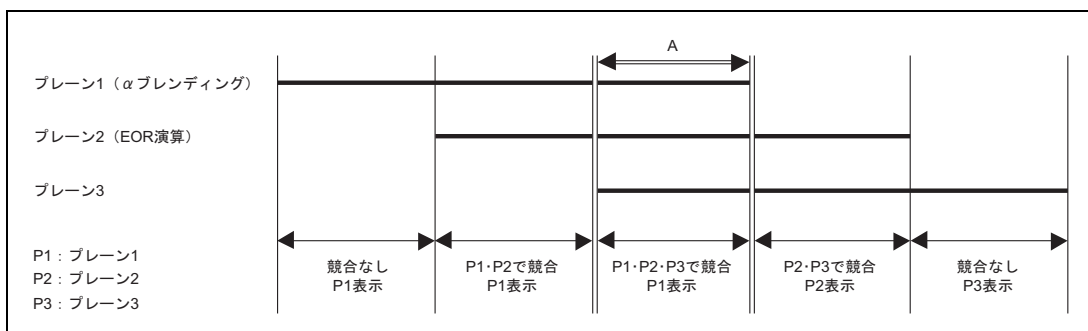


図 14.7 カラーパレットの競合 (複数プレーンにおける同一カラーパレット選択)

また、図 14.7 の表示区間 A において、カラーパレットの競合と透過色を組み合わせた場合の表示結果を図 14.8 にまとめます。

- $P1 \alpha P2$ はプレーン 1 とプレーン 2 の α ブレンディングを示します。
- $P2 \odot P3$ はプレーン 2 とプレーン 3 の EOR 演算を示します。
- $P1 \alpha (P2 \odot P3)$ はプレーン 2 とプレーン 3 の EOR 演算結果とプレーン 1 との α ブレンディングを示します。
- BPOR は下地色レジスタの表示データを示します。

		カラーパレット競合 : Δ競合、×競合なし							
		P1	P2	P3					
○透過色、●非透過色	P1	●	●	●	Δ	Δ	Δ	×	×
	P2	●	●	○	Δ	Δ	×	Δ	×
	P3	●	○	●	Δ	×	Δ	Δ	×
	●	○	○	P1	P1	P1 α P2	P1 α P2	P1 α (P2 ⊙ P3)	
	○	●	○	P1	P1	P1 α P2	P1 α P2	P1 α P2	
	○	○	●	P1	P1 α P3	P1	P1 α P3	P1 α P3	
	○	●	○	P1	P1	P1	P1	P1	
	○	○	○	P2	P2 ⊙ P3	P2 ⊙ P3	P2	P2 ⊙ P3	
	○	●	P2	P2	P2	P2	P2		
	○	○	P3	P3	P3	P3	P3		
	○	○	BPOR	BPOR	BPOR	BPOR	BPOR		

図 14.8 カラーパレットの競合と透過色を組み合わせた場合の表示結果

(2) YC データの競合

Display Uint 内には YC-RGB 変換回路を 1 セットのみ有していますので、同時に 2 プレーン以上の YC-RGB 変換を行うことができません。同時に 2 プレーン以上の YC-RGB 変換の必要な画素があった場合は、最も上にあるプレーンの画素を YC-RGB 変換し、下位のプレーンは表示されません。

図 14.9 に 3 プレーンが YC データの場合の YC-RGB 変換するプレーンを示します。

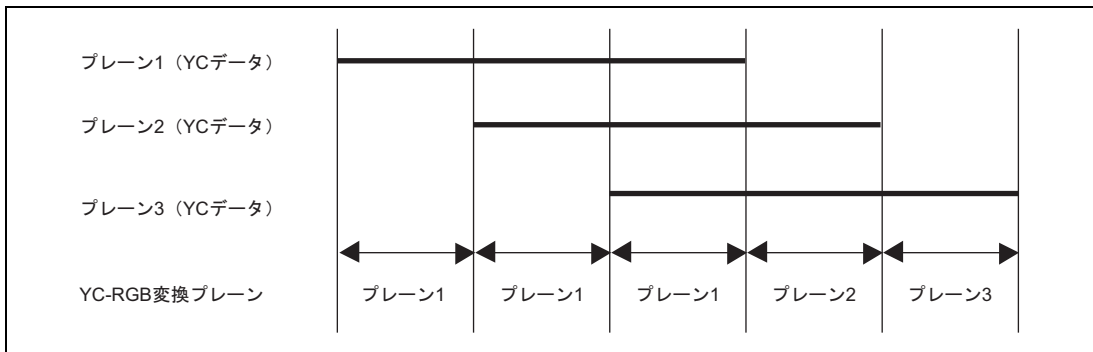


図 14.9 YC データの競合図

(3) プレーンの優先順位

各プレーンの表示優先順位は表示プレーン優先順位レジスタ (DPPR) または表示重ね合せ 1 優先順位レジスタ (DS1PR) と表示重ね合せ 2 優先順位レジスタ (DS2PR) にて設定しますが、1つのプレーンが2つ以上の順位に設定された場合は、最も上の順位を選択します。

たとえば、表示プレーン優先順位 (DPPR) レジスタの設定値が H'00CB_D888 の場合、優先順位と表示 ON/OFF の結果は次のとおりになります。

最上位プレーン	プレーン 1
順位 2 プレーン	該当プレーンなし
順位 3 プレーン	該当プレーンなし
順位 4 プレーン	プレーン 6
順位 5 プレーン	プレーン 4
最下位プレーン	プレーン 5
表示 OFF プレーン	プレーン 2、プレーン 3、プレーン 7、プレーン 8

14.4.11 ブリンキング

各プレーンは、表示領域開始アドレス 0 および 1 を使用してブリンキング動作が可能です。各プレーンは通常プレーン n モードレジスタ (PnMR) / PnBM の設定に従いダブルバッファ制御を行います。プレーン n モードレジスタ (PnMR) / PnBM をオートディスプレイ (ブリンキングモード) = 10 に設定することにより、プレーン n ブリンキング周期レジスタ (PnBTR) / PnBTA、PnBTB で設定した周期でブリンキングを行います。

ここで、ブリンキング周期を 1 に設定すると毎 VSYNC 単位に表示領域開始アドレス 0、1 を切り替えることが可能で、旧 Q2SD のオートディスプレイチェンジモードと同様の機能が実現可能です。

【注】 プレーン n ブリンキング周期レジスタ (PnBTR) / PnBTA、PnBTB には 0 以外の値を設定してください。

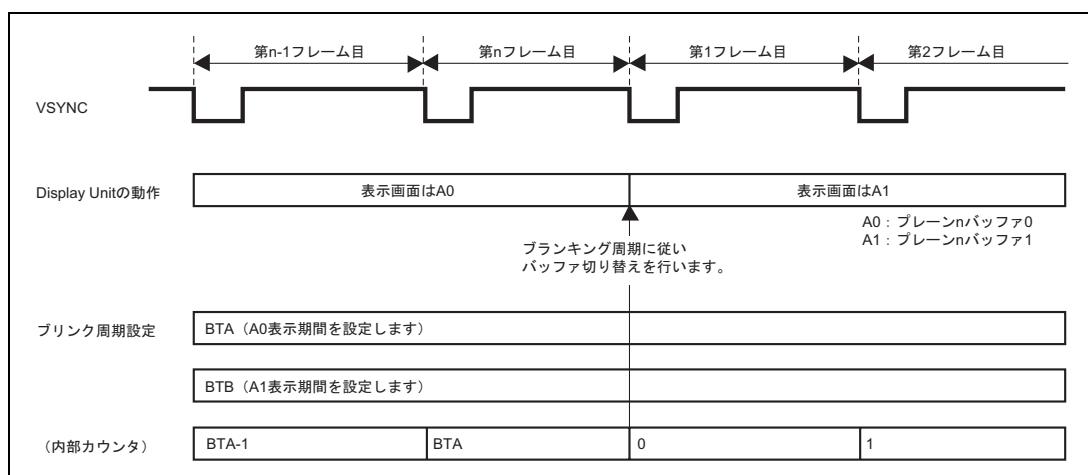


図 14.10 ブリンキング動作

14.4.12 スクロール表示

各プレーンは、表示領域と表示画面のサイズおよび開始位置をプレーンごと独立に設定することにより、スムーズなスクロール処理がプレーン独立に可能です。

スクロール表示を行うためには、各プレーンの表示領域開始アドレス 0~2 レジスタ (PnDSA0~2R) で指定したメモリの先頭を原点として、プレーン n 表示開始位置 (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) をサイクリックに設定することにより可能です。

スクロール表示概要を図 14.11 に示します。表示開始位置を A から B に設定することによりスクロール表示を行います。

【注】 各プレーンの表示サイズなどの領域設定は、メモリ構成領域外を表示しないように設定してください。

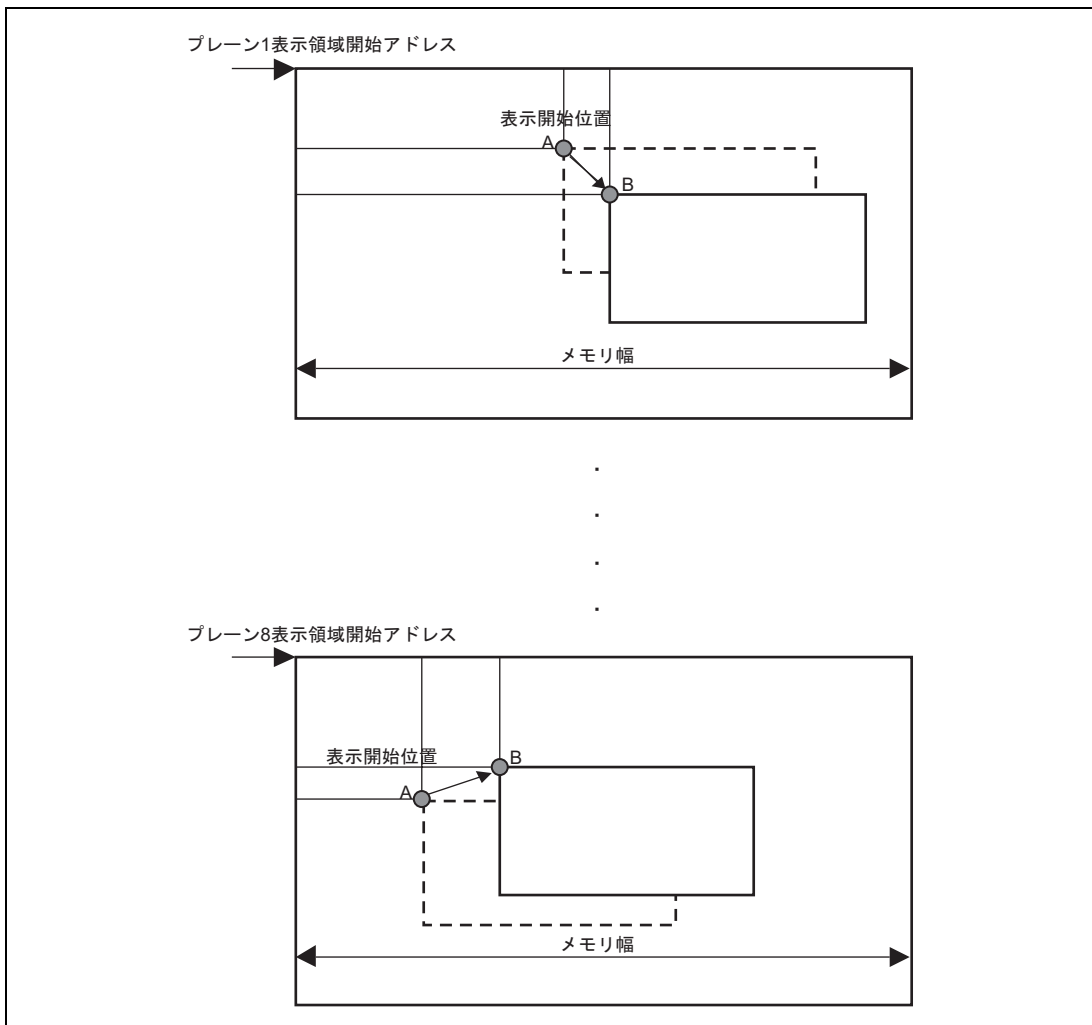


図 14.11 スクロール機能概略図

14.4.13 ラップアラウンド表示

各プレーンは、スクロール表示に加えて、球面スクロールを実現できるラップアラウンド表示ができます。ラップアラウンド表示を有効にする場合、プレーン n モードレジスタ (PnMR) / PnWAE に 1 を設定します。スクロール表示のため、プレーン n 表示開始位置 (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) を変化させた結果、プレーン n がラップアラウンドエリアをはみ出した場合でも、ラップアラウンド表示では、**図 14.12** のようにラップアラウンドエリアを球面に見立てて、はみ出した部分を補完して表示します。ラップアラウンドエリアの指定方法を以下に示します。

1. プレーン n 表示領域開始アドレス 0~2 レジスタ (PnDSA0~2R) にプレーン n で使用するメモリの先頭アドレスを指定します。
2. 指定したメモリの先頭を原点として、プレーン n ラップアラウンド開始位置レジスタ (PnWASPR) でラップアラウンドエリアの左上座標を指定します。ラップアラウンドエリアの X 方向幅は、プレーン n メモリ幅レジスタ (PnMWR) で設定するメモリ幅です。
3. ラップアラウンドエリアの Y 方向幅は、プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR) で設定します。

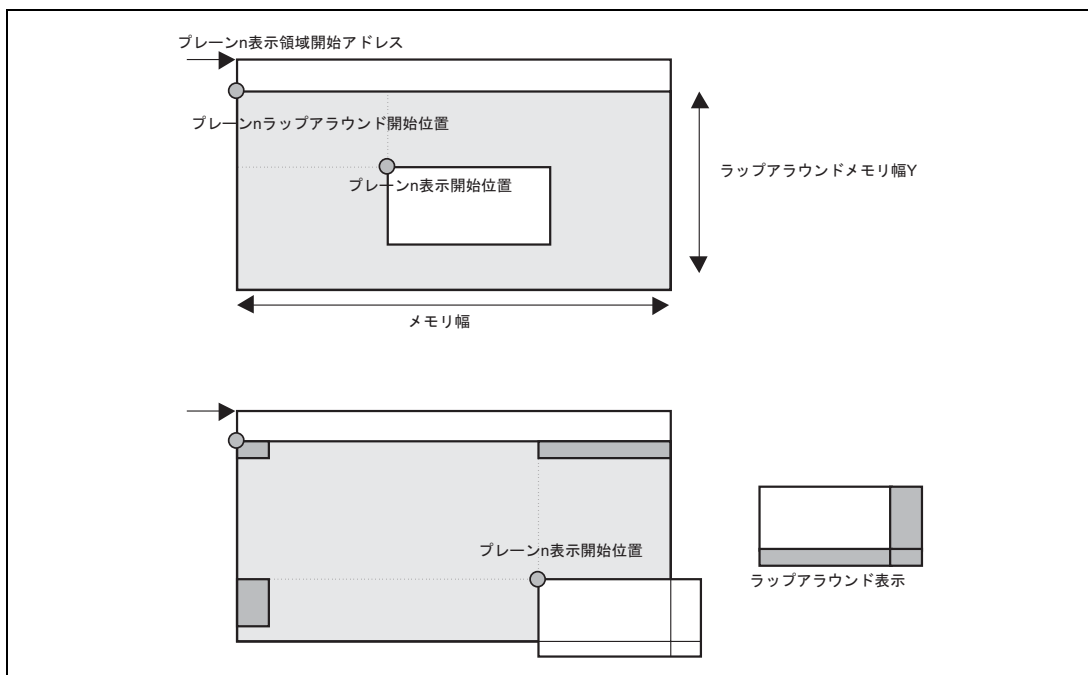


図 14.12 ラップアラウンド機能概略図

【注】 ラップアラウンド表示が無効な場合 (プレーン n モードレジスタ (PnMR) / PnWAE ビット=0)、ラップアラウンドエリアをはみ出した部分は下地色レジスタ (BPOR) で指定した色となり、この色にて重ね合わせ処理を行います。

14.4.14 左上はみ出し表示

各プレーンは、メモリ上の表示開始位置（プレーン n 開始位置 X レジスタ (PnSPXR)、プレーン n 開始位置 Y レジスタ (PnSPYR)）と表示サイズ（プレーン n 表示サイズ X レジスタ (PnDSXR)、プレーン n 表示サイズ Y レジスタ (PnDSYR)）を任意に設定できるので、これらのレジスタを組み合わせることで、メモリ上の表示データを書き換えることなく、モニタの原点（左上）に対して左上へのはみ出し表示ができます。

もとの絵のサイズが (DSX,DSY)、開始位置が (SPX,SPY) の絵に対して、サイズを (DSX- Δ X、DSY- Δ Y)、開始位置を (SPX+ Δ X、SPY+ Δ Y) に設定することにより、左側に Δ X、上側に Δ Y 分はみ出して表示することができます。このとき、表示位置（プレーン n 表示位置 X レジスタ (PnDPXR)、プレーン n 表示位置 Y レジスタ (PnDPYR)）は 0 固定しておきます。

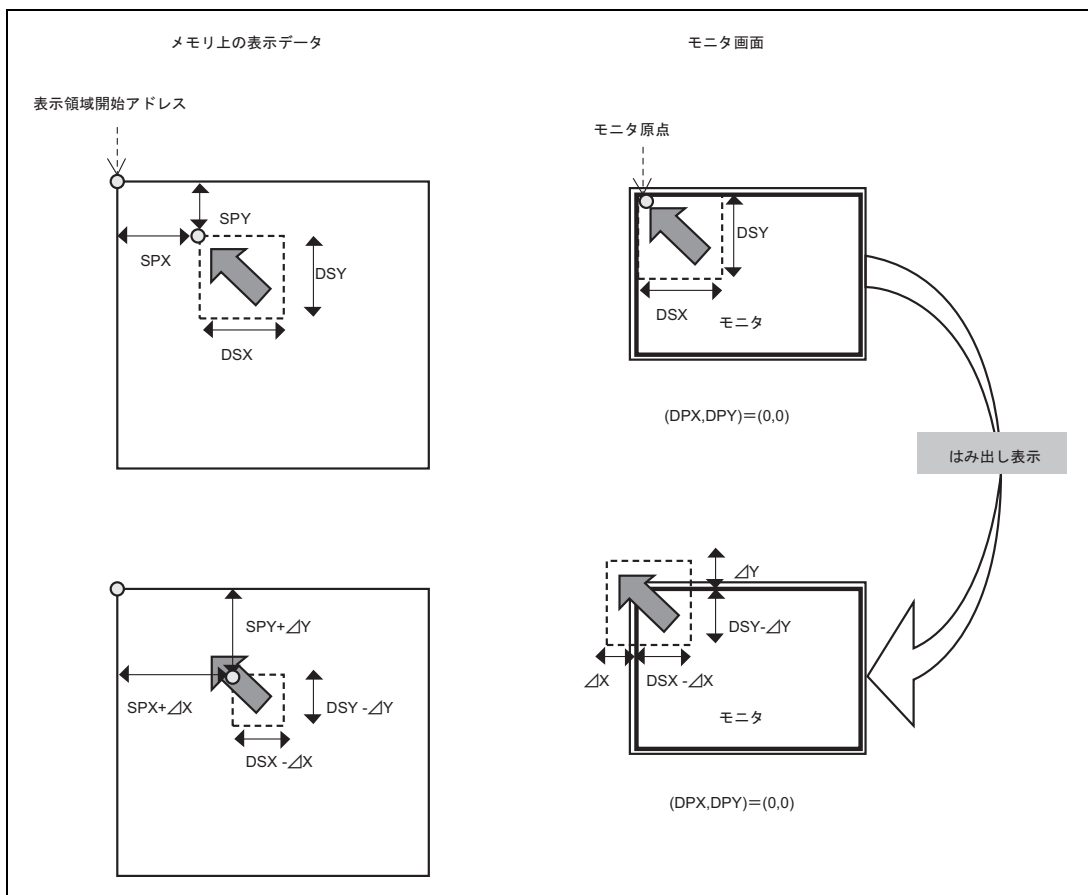


図 14.13 左上はみ出し表示概略図

14.4.15 ダブルバッファ制御

Display Unit のダブルバッファ制御は、描画が終了するまで表示を切り替えないオートレンダリングモード、表示や描画の切り替えをすべてソフトウェアで制御するマニュアルディスプレイチェンジモード、プリンキングを実現するオートディスプレイチェンジモードおよびビデオインプット (VIN0、VIN1) モジュールのフレーム ID に従うビデオキャプチャモードの 4 種類の機能を備えています。

オートレンダリングモードとマニュアルディスプレイチェンジモードの場合、ディスプレイチェンジは、ノンインタレースおよびインタレースシンクの時、フレーム単位で行われ、インタレースシンク&ビデオのとき、フィールド単位で行われます。オートディスプレイチェンジモードの場合はすべてフィールド単位となり、ビデオキャプチャモードの場合はすべてフレーム単位となります。

(1) オートレンダリングモード

オートレンダリングモードは、描画が終了するまで表示の切り替えを行わないモードです。1 フレーム以内に描画が終了しなくても、そのまま描画は続行されます。

(2) マニュアルディスプレイチェンジモード

マニュアルディスプレイチェンジモードは、表示のフレーム切り替えと描画開始をソフトウェアで制御するモードです。表示の切り替えはソフトウェアによってプレーン n モードレジスタ (PnMR) / PnDC で切り替えを行うか、表示ステータスレジスタ (DSSR) の DFBn で示されるプレーン n 表示領域開始アドレスレジスタ (PnDSA0 ~ 1R) にバッファ 0 またはバッファ 1 の開始アドレスを設定することで行えます。

描画の開始はレンダリングスタートビットで制御します。これらの制御タイミングは表示ステータスレジスタ (DSSR) / VBK とトラップフラグによる割り込みを用います。

なお、本モードから他のモードへ移行するときは必ず PnDC ビットに 1 を設定した後に行ってください。

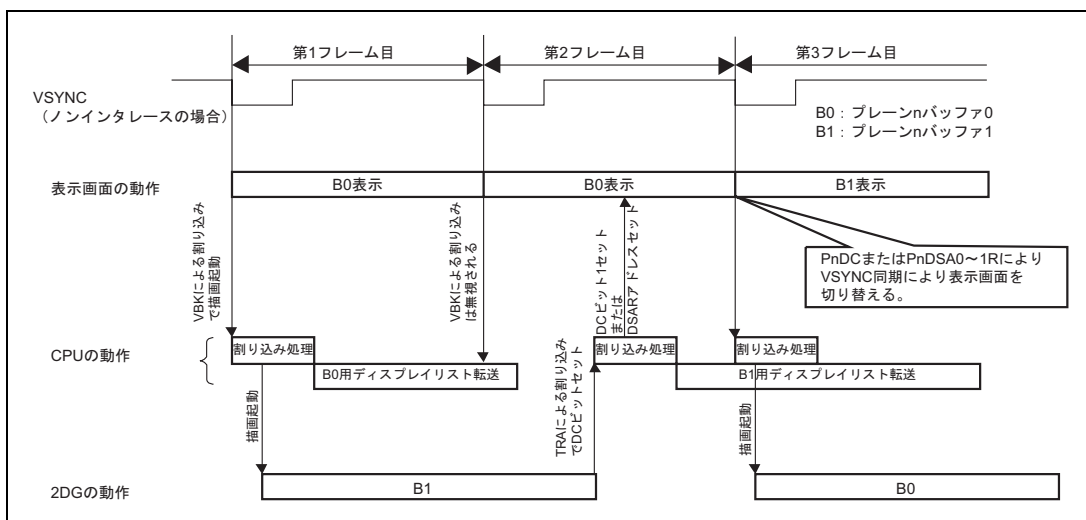


図 14.14 マニュアルディスプレイチェンジモード

(3) オートディスプレイチェンジモード

オートディスプレイチェンジモードは「14.4.11 ブリンキング」を参照してください。

(4) ビデオキャプチャモード

ビデオキャプチャモードは、ビデオインプット (VIN0、VIN1) モジュールからの最新キャプチャフレームを示すフレーム ID に従い、フレーム単位にて、表示フレームバッファを切り替えます。

14.4.16 同期方式

外部機器との同期動作を容易にするため、マスタモードのほかにも TV 同期機能を備えています。マスタモード、TV 同期モードの選択は、表示システム制御レジスタ (DSYSR) / TVM (TV 同期モード) で行います。マスタモード (内部同期モード) の場合は垂直同期位置レジスタ (VSPR) で設定される垂直同期信号 (VSYNC) の立ち下がり位置を検出し、TV 同期モード (外部同期モード) の場合は EXVSYNC 信号の立ち下がり位置を検出し、表示ステータスレジスタ (DSSR) / FRM、VBK に反映します。

(1) マスタモード (内部同期モード)

表示タイミング生成レジスタに、水平、垂直同期信号 (HSYNC、VSYNC) の周期、パルス幅を設定することで、その波形を出力します。また、それに同期して表示データを出力します。

インタレースシンクモード、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を出力します。

(2) TV 同期モード (外部同期モード)

TV 同期モードは TV、ビデオなどの外部の同期信号発生回路から入力される水平同期信号、垂直同期信号 (EXHSYNC、EXVSYNC) に同期して表示データを出力します。EXHSYNC 信号の立ち下がりエッジおよび EXVSYNC の立ち上がりエッジを基準として表示データを出力します。

外部の同期信号発生回路から水平同期信号、垂直同期信号およびクロックを、EXHSYNC、EXVSYNC、DCLKIN 端子にそれぞれ入力してください。CSYNC は High レベルを出力します。インタレースシンクモード、インタレースシンク & ビデオモードの場合は、EXODDF 端子に奇数フィールド / 偶数フィールドを示す信号を入力してください。ノンインタレースモードの場合は EXODDF 端子を Low レベルまたは High レベルに固定してください。

また、TV 同期モードで動作させる際にも、「14.3.2 表示タイミング生成レジスタ」の HSWR、HCR、VSPR、VCR の設定は必須です。

Display Unit に設定した表示サイズ分の表示完了前であっても後であっても、EXVSYNC 信号が入力されると、Display Unit は垂直表示完了動作を行い次画面の制御に移行します。EXVSYNC 信号が入力されない場合は、垂直帰線期間のまま EXVSYNC 信号を待ち続けます (自走制御は行いません)。同様に EXHSYNC 信号が入力されると、Display Unit は水平表示完了動作を行い次ラスタの制御に移行します。EXHSYNC 信号が入力されない場合は、水平帰線期間のまま EXHSYNC 信号を待ち続けます (自走制御は行いません)。

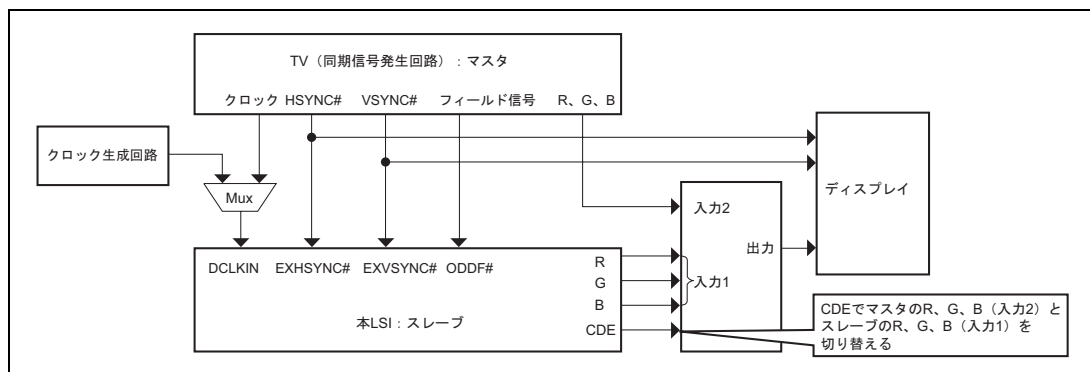


図 14.15 TV 同期モード時の信号の流れ

(3) 同期方式切り替えモード

マスタモードから TV 同期モード、または TV 同期モードからマスタモードに切り替える際に、必要な場合は、本モードを経由して切り替えてください。本モードを経由しなくても、同期方式を切り替えることは可能です。

本モードでは Display Unit に接続する入出力端子が入力になるため、端子の衝突を避けることができます。また、内部ドットクロックを停止するので、入力するクロックが乱れても表示動作に影響を与えません。

14.4.17 表示キャプチャ

合成後の表示データ、つまり端子へ出力するデジタル RGB666 データを RGB565 または ARGB1555 のデータに変換しリードと同じ構成の Buffer に格納し、SuperHyway 経由で表示キャプチャ格納領域開始アドレスレジスタ (DCSAR) で指定した領域へ格納します。表示データをキャプチャする場合は表示キャプチャ制御レジスタ (DCPCR) のビット 0 またはビット 8 に 1 を設定してください。設定後の次フレームからキャプチャ動作が開始します。表示キャプチャの様子は次のとおりです。

データフォーマット：「表 14.29 表示データフォーマット」を参照してください。ARGB1555 の A 値は表示キャプチャ制御レジスタ (DCPCR) で指定します。

キャプチャ領域開始アドレス：1 アドレスのみ設定可能

キャプチャサイズ X：モニタサイズと同じ（水平表示終了位置 (HDE) - 水平表示開始位置 (HDS)）

キャプチャサイズ Y：モニタサイズと同じ（垂直表示終了位置 (VDE) - 垂直表示開始位置 (VDS)）

メモリ幅 X：レジスタ指定。メモリ幅を超えた時点で Buffer へのライトを終了。

メモリ長 Y：レジスタ指定。メモリ長 (ライン) を超えた時点でメモリへの格納を終了。

14.4.18 ディスプレイアウトコンペア

ディスプレイアウトコンペアには、任意のプレーンの領域の CRC を計算する機能があり、事前に計算された CRC 期待値と比較することで、期待値どおりの表示出力が得られているかを検知することが可能です。本機能は以下の設定が可能です。

- プレーン1~8の任意のプレーン
- 選択したプレーン内の任意の矩形領域
- 32bit/pixel (ARGB8888 / RGB888 / RGB666) もしくは 16bit/pixel (RGB565) (これ以外のフォーマットはサポート外)
- 比較結果が不一致の場合の割り込み

ディスプレイアウトコンペアユニットは、図 14.16 に示すように構成されます。この図に示すように CRC の比較は、重ね合わせ前のプレーンのデータに対して行われます。

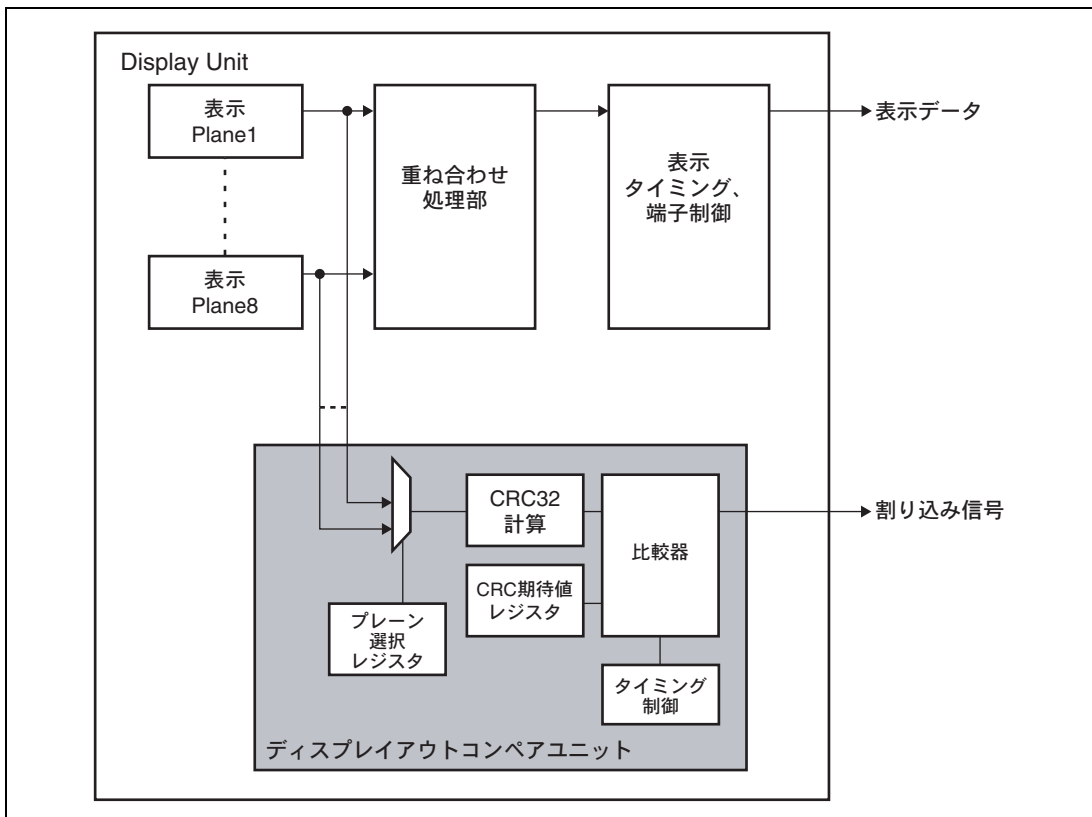


図 14.16 ディスプレイアウトコンペアユニットブロック図

(1) CRC 計算方法

ディスプレイアウトコンペアユニットでは、次の式を用いて 32bit の CRC を生成します。(RFC2083 で定義されている多項式)

$$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

初期値 : H'FFFFFFF、出力時 (すべてのデータの計算終了後) にビットを反転します。

CRC の計算は、ピクセル単位で CRC を計算します (LSB から順に入力されると仮定して計算します)。つまり、32bit/pixel の場合は 32bit 単位、16bit/pixel の場合は 16bit 単位で計算します。また、CRC 計算されるデータの順番としては、走査線 (左上→右下) の順にピクセルのデータを取り込んで計算します。

(a) プレーン、表示色の指定

プレーンの指定は、ディスプレイアウトコンペアパラメータレジスタ (DOCMPMR1、2) を用いて設定します。

また、各表示色のディスプレイアウトコンペアパラメータレジスタ (DOCMPMR1、2) の設定例を、表 14.33 に示します。(Display Unit では、RGB888、RGB666 はサポートしていないため、表 14.33 に従ってください。)

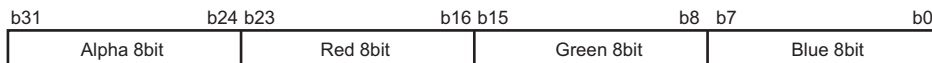
表 14.33 ディスプレイアウトコンペアパラメータレジスタの設定例

DOCMPMR1、2 のビット		CMPDFF	CMPCVF	CMPDAUF	CMPDFA
32bit/pixel	ARGB8888	0	—	0	—
	RGB888	0	—	0/1*	任意
	RGB666	1	任意	0/1*	任意
16bit/pixel	RGB565	—	—	—	—

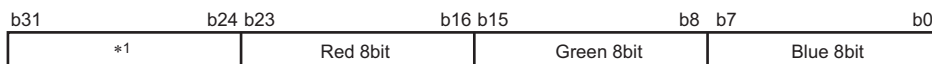
【注】 * CMPDAUF=0 のときは、RAM から読み出された値が α 値として使用されます。
任意と記述のあるビットには、CRC 期待値を計算するときに用いた値を設定してください。

(b) CRC 計算に用いるピクセルフォーマット

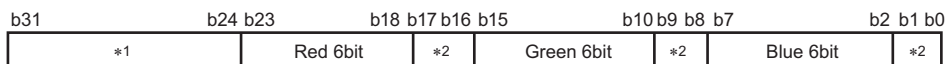
- ARGB8888 (32bit/pixel)



- RGB888 (32bit/pixel)



- RGB666 (32bit/pixel)



【注】 *1 CMPDAUF=0 のとき、RAMから読み出された値
 =1 のとき、CMPDFA

*2 CMPCVFで指定される値

- RGB565 (16bit/pixel)



(c) 領域の設定

比較対象となる領域は、比較開始位置、比較サイズをレジスタによって指定します。

領域の設定に関するパラメータの関係と設定に関するレジスタを以下に示します。

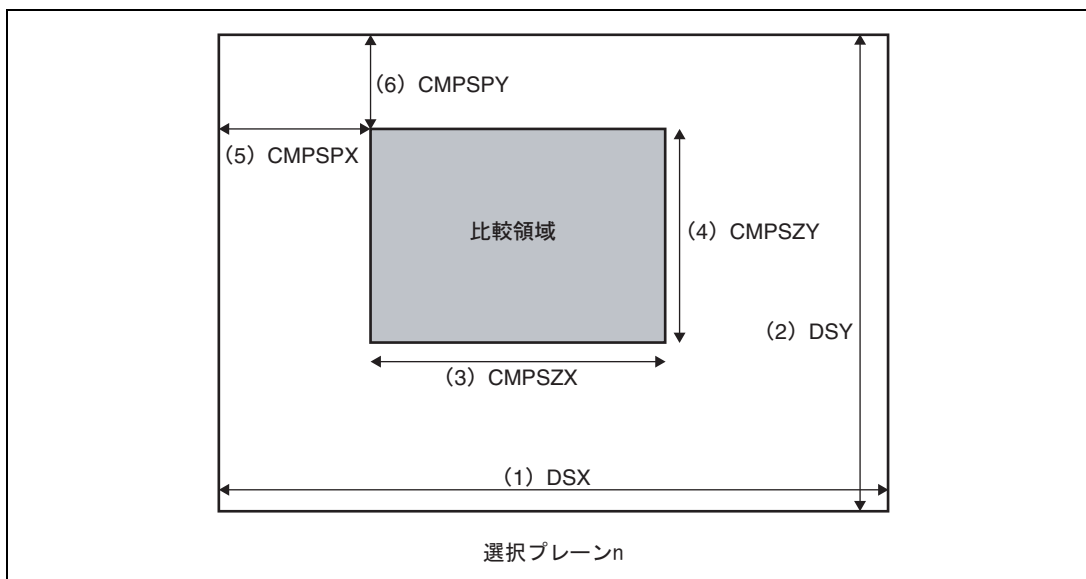


図 14.17 比較領域設定パラメータ

表 14.34 比較領域パラメータ設定レジスタ

No	図中の名称	設定レジスタ名	説明
(1)	DSX (表示サイズ X)	PnDSXR	プレーンの X 方向の表示サイズをドットクロック単位で設定します。 (本レジスタは、表示プレーンレジスタです)
(2)	DSY (表示サイズ Y)	PnDSYR	プレーンの Y 方向の表示サイズをラスタライン単位で設定します。 (本レジスタは、表示プレーンレジスタです)
(3)	CMPSZX (比較サイズ X)	DOCMSZXR1 DOCMSZXR2	プレーンの左上を原点として比較位置までの X 方向の距離をドットクロック単位で設定します。 $DSX \geq CMPSPX + CMPSZX$ となるように設定してください。
(4)	CMPSZY (比較サイズ Y)	DOCMSZYR1 DOCMSZYR2	プレーンの左上を原点として比較位置までの Y 方向の距離をライン単位で設定します。 $DSY \geq CMPSPY + CMPSZY$ となるように設定してください。
(5)	CMPSPX (比較開始位置 X)	DOCMSPRX1 DOCMSPRX2	比較領域の X 方向のサイズをドットクロック単位で設定します。
(6)	CMPSPY (比較開始位置 Y)	DOCMSPYR1 DOCMSPYR2	比較領域の Y 方向のサイズをライン単位で設定します。

(2) CRC 比較タイミング

比較を実行するタイミングの例を以下に示します。

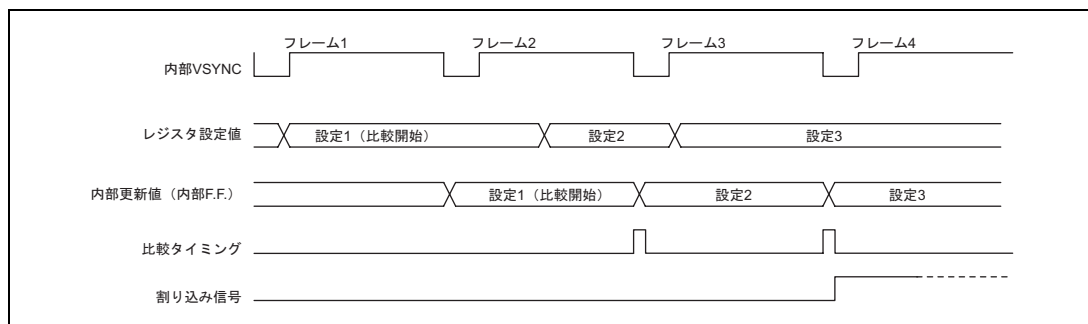


図 14.18 CRC 比較タイミング例

図 14.18 に示す例では次のような動作になります。

- フレーム1

フレーム1で比較開始の設定 (CMPR1=1) をした場合、フレーム1での比較は行われません。ディスプレイアウトコンペアユニットでは、レジスタ値を二重管理しており、実際の動作に使用する値は、内部VSYNCの立下りエッジで内部F.F.に取り込まれた値を使用するためです (二重管理しているレジスタは、ディスプレイアウトレジスタの内部更新ありのレジスタです)。

ただし、ディスプレイアウトコンペアCRC期待値レジスタ (DOCMECR1、DOCMECR2) は、ディスプレイアウトコンペアモードレジスタ (DOCMMDR1、DOCMMDR2) のCRCUMDビットに1を設定することで、レジスタライトに同期して、対応する内部F.F.に取り込むことが可能です。この場合は、VSYNCの立下りの1ライン前までに設定を完了してください。

- フレーム2

フレーム2では、フレーム1のVSYNCの立下りを取り込んだ値を使用するため、設定1を用いてCRCを計算し、フレーム2のVSYNCの立下りで比較を実行します。内部F.F.への取り込みタイミングは、比較を実行するタイミングより後になります。したがって、フレーム1のVSYNCの立下りでは、比較は実行されません。この例では、CRCの比較を実行後、設定2の値を内部F.F.に取り込みます。

- フレーム3

フレーム3では、設定2を用いてCRCが計算され、フレーム3のVSYNCの立下りで比較が実行されます。このとき、設定2で割込みが許可されていて、CRC比較の結果が不一致の場合、割込みがアサートされます。割込みは、ステータスレジスタもしくは割込み許可レジスタがクリアされるまでアサートされ続けます。

このように、設定値を二重に管理することで、フレームごとにプレーンや比較領域を変更することが可能になります。

14.4.19 分離 YUV 表示

メモリ上に分離して格納された Y データと UV データを 2 つのプレーンを使用して、YUV422 あるいは YUV420 の画像データとして表示することができます。

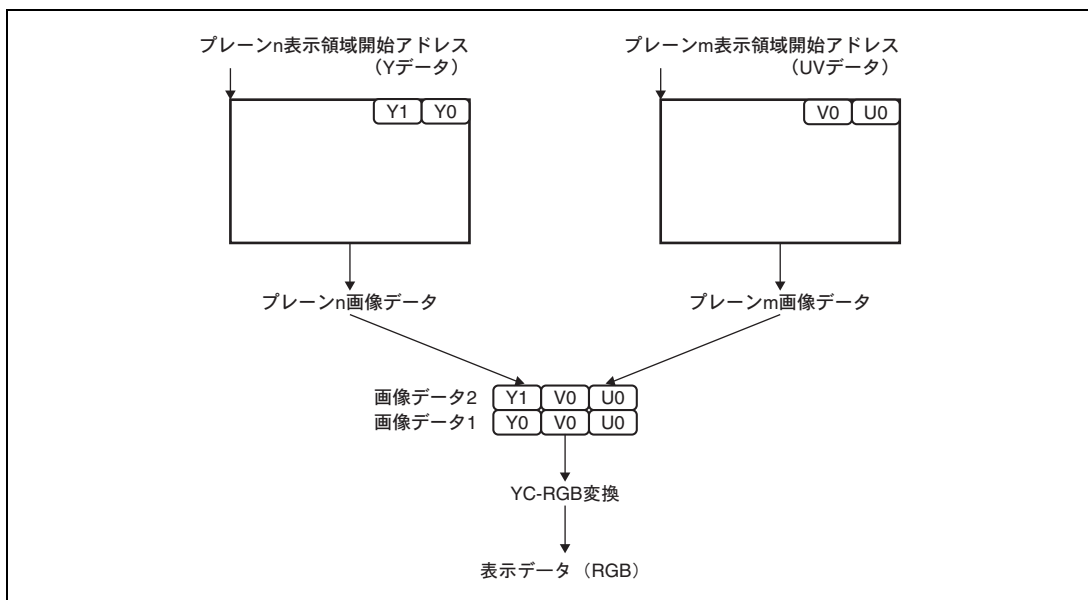


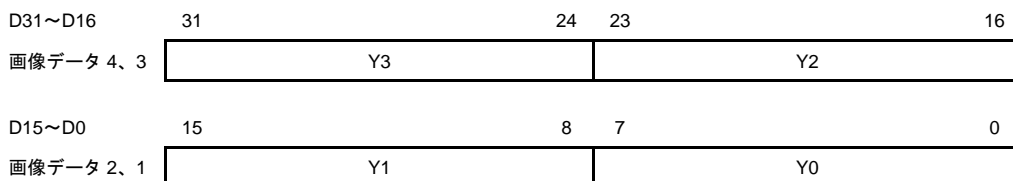
図 14.19 分離 YUV 表示機能概要 (リトルエンディアン時)

(1) 画像データフォーマット

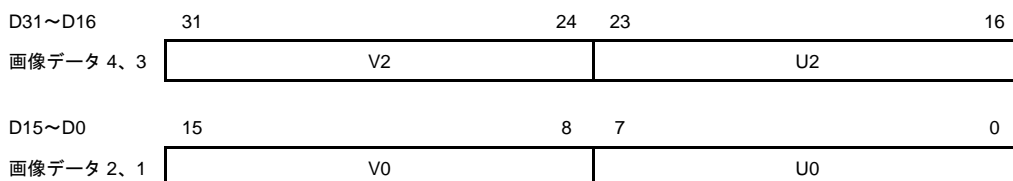
メモリ上にリトルエンディアンで分離して格納された場合の YUV422 データの構成を示します。YUV420 データの構成は YC : YUV420 と同じになります。

YC-RGB の変換式は「14.4.5 (4) YC : YUV422」と同じになります。

(a) Y データ



(b) UV データ



(2) レジスタ設定例

分離 YUV データを表示する場合は 2 つのプレーンを使用します。プレーン 1 に Y データを指定し、プレーン 2 に UV データを指定して分離 YUV データを表示する場合の指定方法を以下に示します。

1. プレーン_n表示データ制御レジスタ 2 (PnDDCR2) の設定は、以下のとおりです。

● YUV422データの場合

ビット:	7	6	5	4	3	2	1	0
			PnNV21	PnY420			PnDIVU	PnDIVY
プレーン 1 (Y データ)	—	—	0	0	—	—	0	1
プレーン 2 (UV データ)	—	—	0	0	—	—	1	0

● YUV420データの場合

ビット:	7	6	5	4	3	2	1	0
			PnNV21	PnY420			PnDIVU	PnDIVY
プレーン 1 (Y データ)	—	—	0	0	—	—	0	1
プレーン 2 (UV データ)	—	—	0/1	1	—	—	1	0

2. プレーン1表示領域開始アドレス0~2レジスタ (P1DSA0~2R) には、Yデータの開始アドレスを設定してください。
3. プレーン2表示領域開始アドレス0~2レジスタ (P2DSA0~2R) には、UVデータの開始アドレスを設定してください。

4. 1～3で設定したレジスタ以外の表示プレーンレジスタは、プレーン1とプレーン2で同じ値を設定してください。プレーンnモードレジスタ (PnMR) / PnDDFは、11 (YC) を設定してください。
5. ビッグエンディアンで格納されている場合は、表示システム制御レジスタ (DSYSR) / DSECを1に設定してください。
6. プレーン1とプレーン2を表示ONにして、プレーン2の優先順位はプレーン1の次にしてください。表示ONについては、「14.4.2 表示ON、OFF」を参照してください。

(3) プレーンの組み合わせ

Y データと UV データを指定可能なプレーンの組み合わせは、以下のとおりです。UV データのプレーンの優先順位は、Y データのプレーンの直下になるように優先順位を指定してください。

表 14.35 Y データと UV データを指定可能なプレーン

分離 YUV の Y データ	分離 YUV の UV データ
プレーン 1	プレーン 2
プレーン 2	プレーン 3
プレーン 3	プレーン 4
プレーン 4	プレーン 5
プレーン 5	プレーン 6
プレーン 6	プレーン 7
プレーン 7	プレーン 8
プレーン 8	プレーン 1

14.5 表示制御

14.5.1 表示タイミング生成

Display Unit では表示画面の水平方向および垂直方向表示タイミングを生成します。表示タイミングは「14.3.2 表示タイミング生成レジスタ」で設定します。図 14.20 にノンインタレースモード時の表示タイミングを示します。またここでは表示画面を表 14.36 に示す変数で定義します。

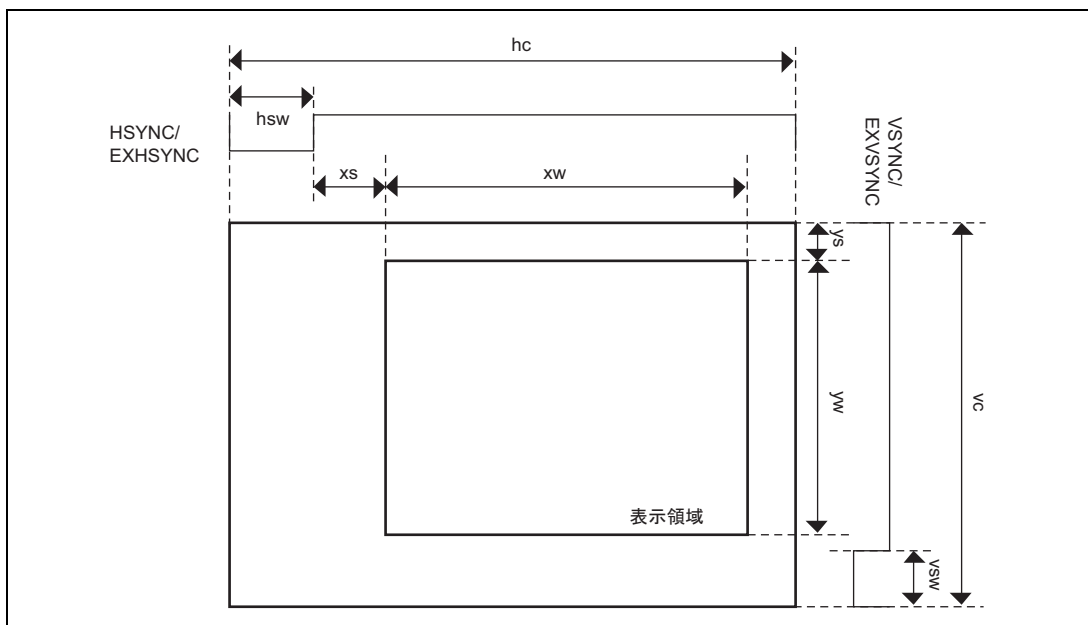


図 14.20 表示画面の水平方向および垂直方向のタイミング生成図

表 14.36 表示画面で定義した変数

変数	内容	単位
hc* ¹	水平走査周期	ドットクロック
hsw	水平同期パルス幅	ドットクロック
xs	HSYNCの立ち上がりから表示画面水平方向の表示開始位置まで	ドットクロック
xw	表示画面の1ラスタ当たりの表示幅	ドットクロック
vc* ²	垂直走査周期	ラスタライン数
vsw	垂直同期パルス幅	ラスタライン数
ys	VSYNCの立ち上がりから表示画面垂直方向の表示開始位置まで	ラスタライン数
yw	表示画面の垂直表示期間	ラスタライン数

【注】 *1 $hsw + xs + xw < hc$

*2 $vsw + ys + yw < vc$

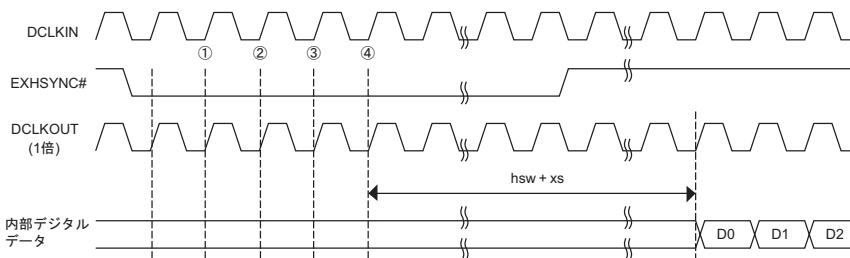
表示タイミング生成レジスタは、走査方式、および同期方式により設定値が異なります。そのため表示タイミング生成レジスタの設定は表 14.37 に示すような計算を行った上で設定します。

表 14.37 表示画面のレジスタ設定値対応表

レジスタ名称	ビット名称	同期方式	
		マスタモード	TV 同期モード
水平表示開始位置レジスタ (HDSR)	HDS	$hsw + xs - 19$	$hsw + xs - 25$ * ²
水平表示終了位置レジスタ (HDER)	HDE	$hsw + xs - 19 + xw$	$hsw + xs - 25 + xw$ * ²
垂直表示開始位置レジスタ (VDSR)	VDS	$ys - 2$ * ³	$ys - 2$ * ³
垂直表示終了位置レジスタ (VDER)	VDE	$ys - 2 + yw$	$ys - 2 + yw$
水平同期パルス幅レジスタ (HSWR)	HSW	$hsw - 1$	$hsw - 1$
水平走査周期レジスタ (HCR)	HC	$hc - 1$	$hc - 1$
垂直同期位置レジスタ (VSPR)	VSP	$vc - vsw - 1$	$vc - vsw - 1$
垂直走査周期レジスタ (VCR)	VC	$vc - 1$	$vc - 1$

【注】 *1 すべての走査モードで、VDS、VDE、VSP、VC の設定値は 1 フィールド単位の設定になります。

*2 HDS、HDE の規定は EXHSYNC の立ち下がり、DCLKOUT の立ち上がりで検出し、さらに DCLKOUT の 4 つ目の立ち上がりからの値です。



*3 VDS は、1 以上にしてください。

*4 HC は、 $HC > HDE$ の条件を満たすように設定してください。

14.5.2 CSYNC

マスタモードの場合、コンポジット同期信号 (CSYNC) を出力します。等価パルス幅レジスタ (EQWR) で、CSYNC の等価パルスの Low レベルパルス幅を設定します。セレーション幅レジスタ (SPWR) で、CSYNC のセレーションパルスの Low レベルパルス幅を設定します。

CSYNC 波形の選択は表示モードレジスタ (DSMR) / CSY (CSYNC モード) で行います。

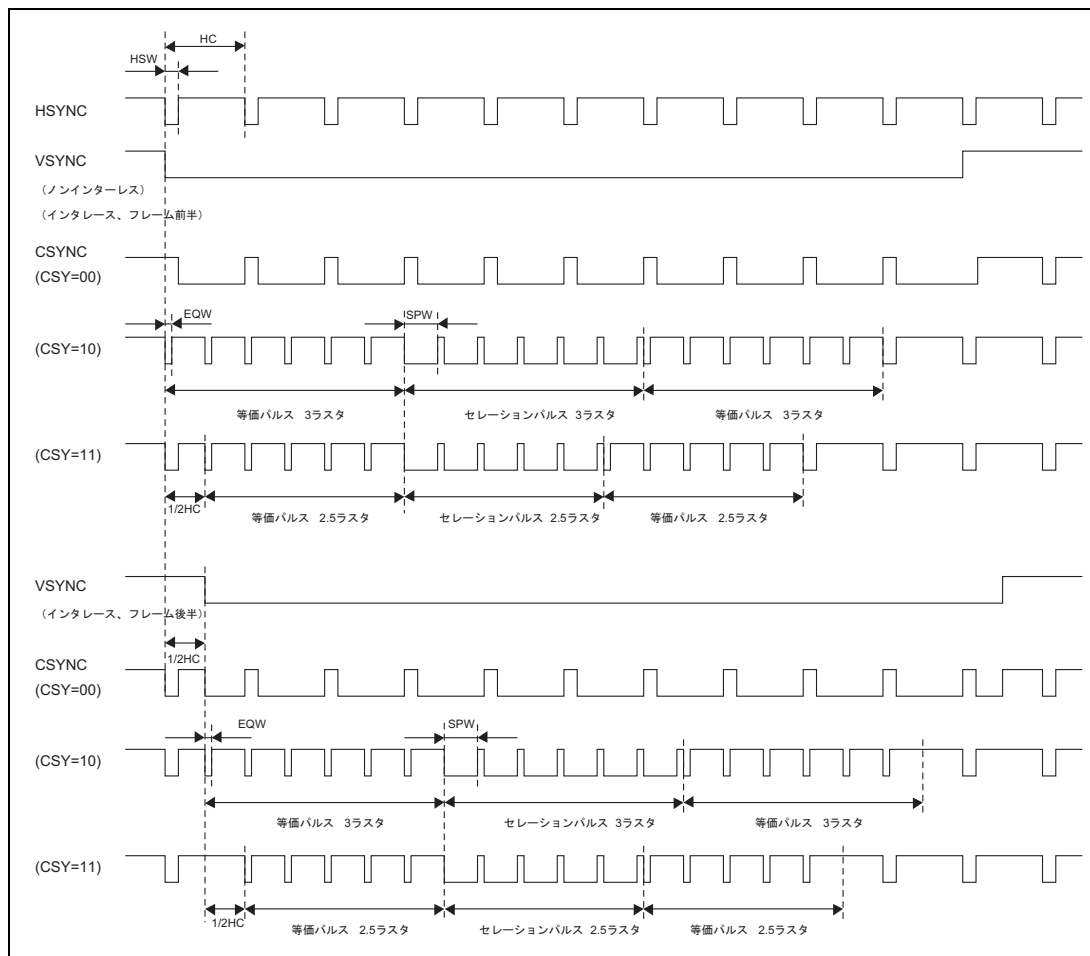


図 14.21 CSYNC タイミングチャート

14.5.3 走査方式

走査方式をノンインタレースモード、インタレースシンクモード、およびインタレースシンク&ビデオモードから選択できます。モード選択は、表示システム制御レジスタ (DSYSR) /SCM (スキャンモード)で行います。

1. ノンインタレースモード

1フィールドで1フレームを構成する走査方式です。

2. インタレースシンクモード

2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、同じデータを表示します。

3. インタレースシンク&ビデオモード

2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、異なるデータを表示します。

表示モードレジスタ (DSMR) の ODEV ビットで、インタレースシンクモード、インタレースシンク&ビデオモードにおけるフィールドの表示順を設定します。ODEV ビットが 0 のとき、1 フレームは、奇数フィールド、偶数フィールドの表示順となり、ODEV ビットが 1 のとき、1 フレームは偶数フィールド、奇数フィールドの順になります。

マスタモードのときは、ODDF 端子より偶数フィールド表示中は High レベルを、奇数フィールド表示中は Low レベルを出力します。TV 同期モードのときは、EXODDF 端子に偶数フィールドを表示させたい場合は High レベルを、奇数フィールドを表示させたい場合は Low レベルを入力します。

【注】 TV同期モードでノンインタレースモードの場合はEXODDF端子をLowレベルまたはHighレベルに固定してください。

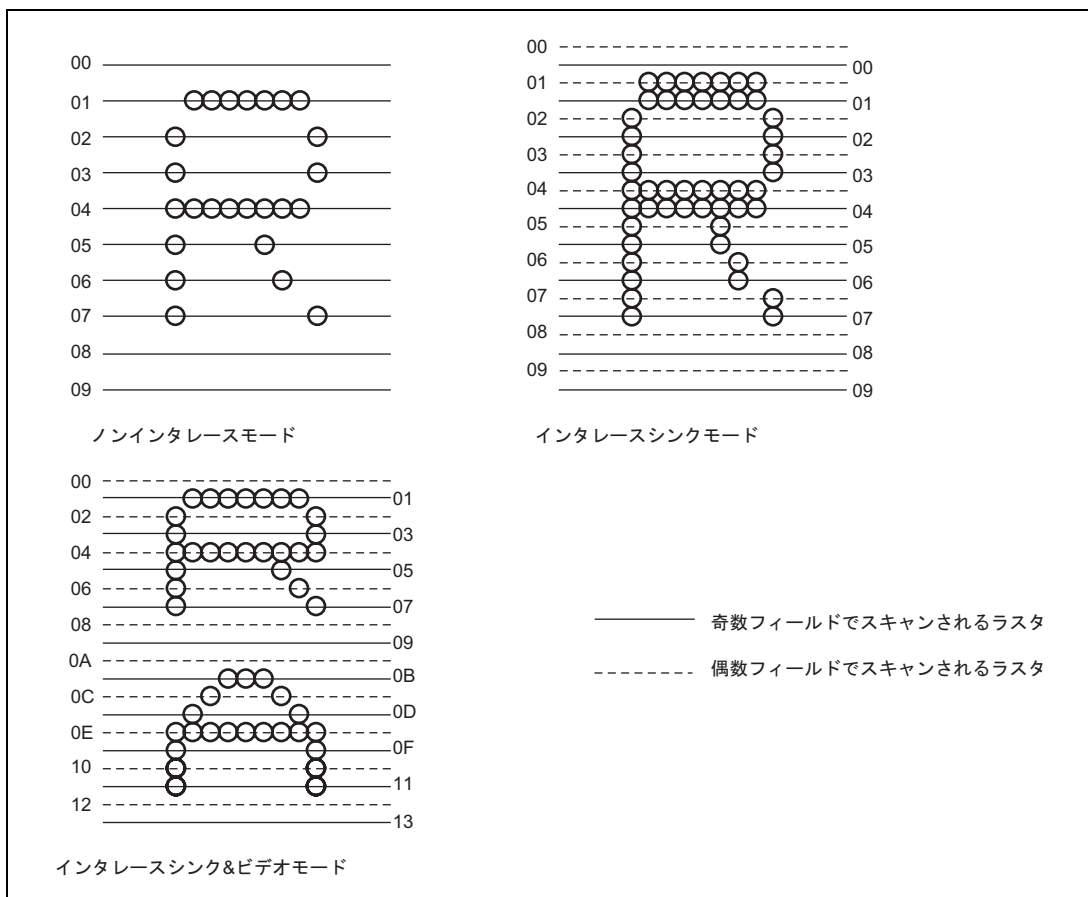


図 14.22 各走査方式による表示イメージ図

(1) 垂直走査周期例

ノンインタレース : 1/60秒フィールド、1/30秒フィールド

インタレースシンク : 1/30秒フレーム

インタレースシンク & ビデオ : 1/30秒フレーム

(2) ノンインタレース方式の表示

入力される画像信号の間を空けずに、一度に全ライン表示する方式です。

高解像度表示のできるモニタなどの入力方式です。

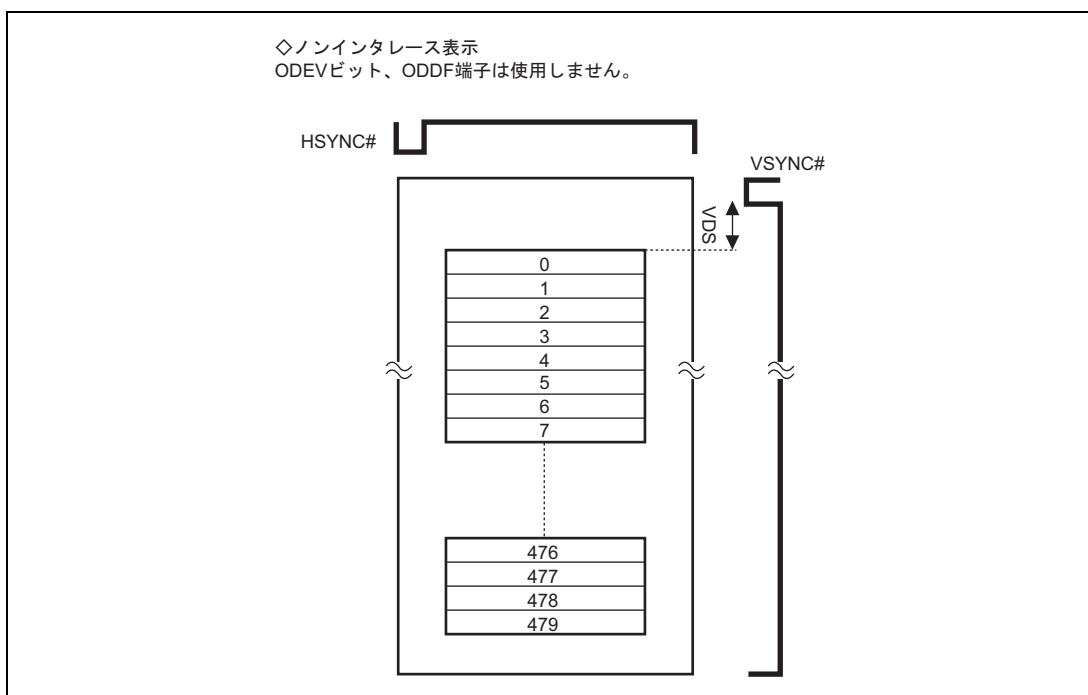


図 14.23 ノンインタレース方式の表示

(3) インタレース方式の表示

入力される画像信号を走査周期VCごとに、偶数ラインと奇数ラインを切り替えて交互に表示し、2VC周期で1画面（1フレーム）を合成（先の1VCのデータは残像）して表示する方式です。これは通常のTVやビデオの入力方式です。

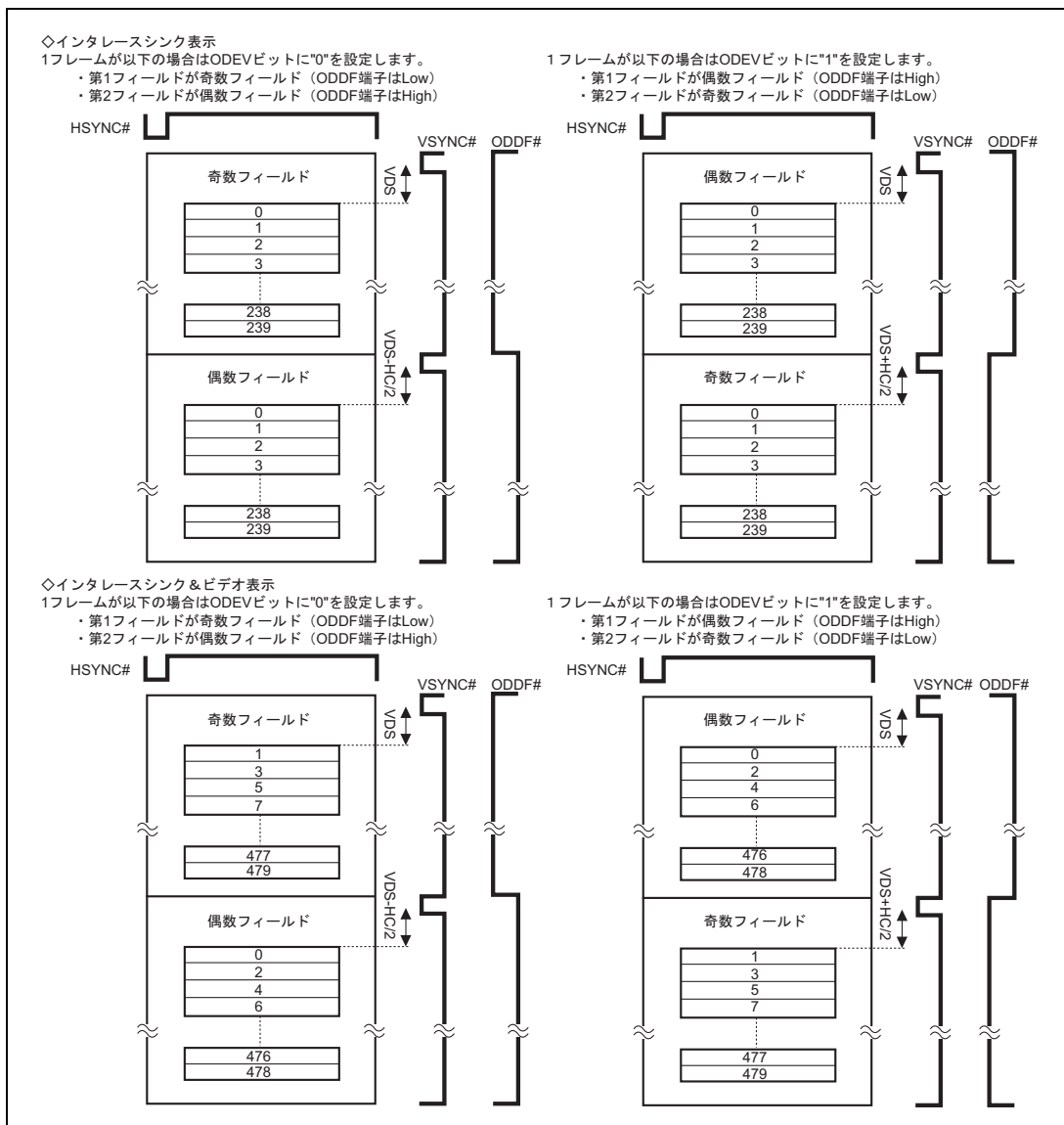


図 14.24 インタレース方式の表示

14.5.4 色検出

出力表示データと、色検出レジスタ (CDER) に設定したカラーが一致したとき、CDE 端子より High レベルを出力します。

表示モードレジスタ (DSMR) / CDEM ビットにより、表示期間外のレベルを固定することができます。また、表示モードレジスタ (DSMR) / CDEL ビットにより、出力レベルの極性を選択できます。

表 14.38 CDE 端子の出力レベル

CDEL	CDEM	表示期間中の CDE 端子		表示期間外の CDE 端子	
		出力表示データと色検出レジスタとの比較結果		色検出レジスタの値*	
		一致	不一致	0	0 以外
0	00	High	Low	High	Low
0	01	High	Low	High	Low
0	10	High	Low	Low	Low
0	11	High	Low	High	High
1	00	Low	High	Low	High
1	01	Low	High	Low	High
1	10	Low	High	High	High
1	11	Low	High	Low	Low

【注】 * 表示期間外は出力表示データが 0 となります。

14.5.5 外部同期制御

Display Unit は、TV 同期モード時、外部から入力ドットクロック（通信用クロック：DCLKIN）を入力することにより外部同期信号（EXHSYNC、EXVSYNC）に従ったドットクロック（出力ドットクロック：DCLKOUT）生成が可能です。

外部より入力ドットクロック（通信用クロック：DCLKIN）を入力し以下の各パラメータを設定してください。

表 14.39 外部同期制御パラメータ

変数	内容
ESCR/SYNCSEL	ドットクロック位相あわせ用同期信号選択（EXHSYNC、EXVSYNC）
ESCR/FRQSEL	ドットクロック分周比選択

- ESCR/SYNCSELビットにより生成する内部ドットクロック（出力ドットクロック：DCLKOUT）の同期タイミングを設定。
- ESCR/FRQSELビットにより内部ドットクロック生成のための分周比を設定してください。

以下に EXHSYNC に同期した入力ドットクロックを 4 分周比した内部ドットクロックタイミングを示します。

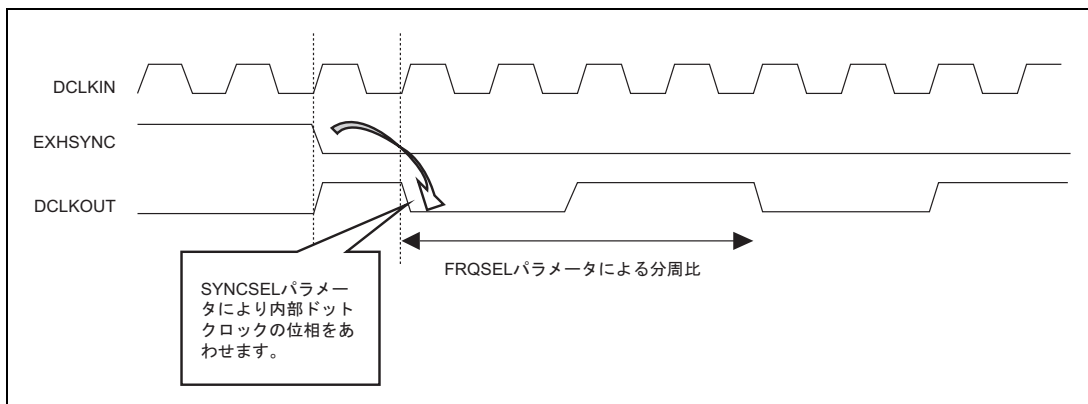


図 14.25 EXHSYNC に同期した DCLKIN を 4 分周した DCLKOUT タイミング図

14.5.6 出力信号タイミング調整

Display Unit は、それぞれの出力信号 (HSYNC、VSYNC、CSYNC、ODDF の同期信号 4 本ならびに、DISP、CDE、CLAMP、DE、DigitalRGB) のドットクロックに対する出力タイミングを選択可能です。タイミングの選択は出力信号タイミング調整レジスタ (OTAR) で設定します。

表 14.40 出力信号のタイミング設定パラメータ

変数	内容
SYNCA	HSYNC、VSYNC、CSYNC、ODDF 信号の出カタイミングを設定します。
DISPA	DISP 信号の出カタイミングを設定します。
CDEA	CDE 信号の出カタイミングを設定します。
DRGBA	DigitalRGB 信号の出カタイミングを設定します。
CLAMPA	CLAMP 信号の出カタイミングを設定します。
DEA	DE 信号の出カタイミングを設定します。

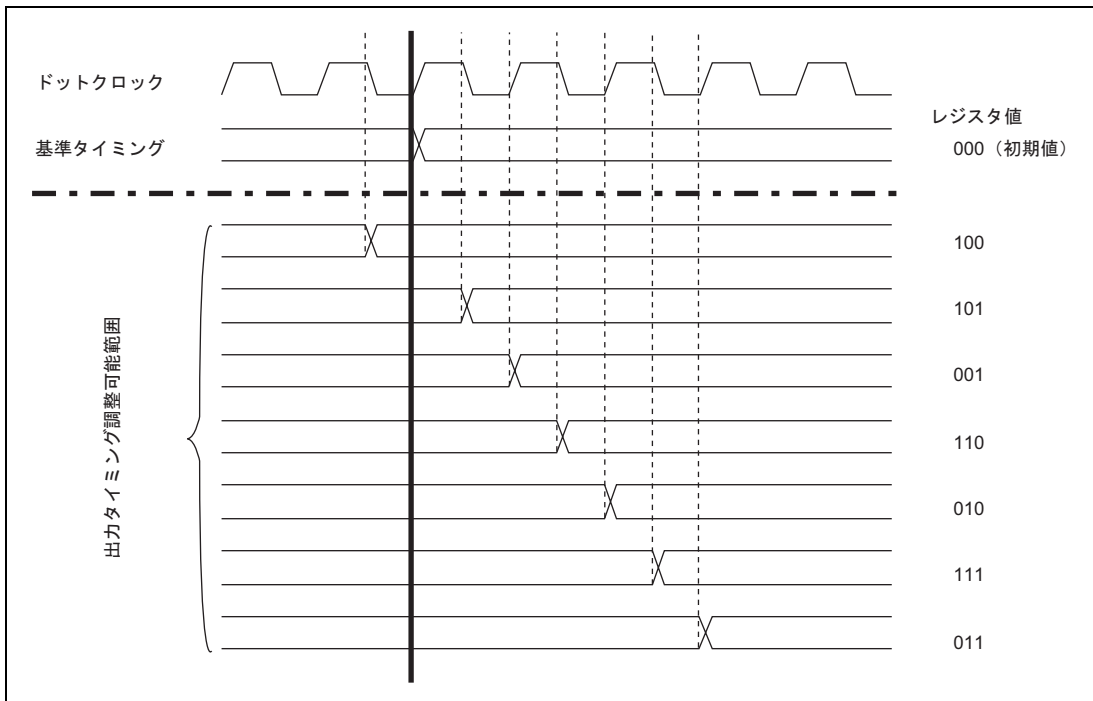


図 14.26 出カタイミング調整可能範囲

14.6 使用上の注意

14.6.1 モジュールスタンバイモード

DisplayUnit に供給するクロックを停止するモジュールスタンバイモードをサポートしています。

DisplayUnit がスタンバイモードに入ってもレジスタ内容は保持されます。また、スタンバイモードの期間、DisplayUnit へのアクセスはしないようにしてください。

14.6.2 モジュールスタンバイモードへの遷移

1. 表示システム制御レジスタ (DSYSR) の表示イネーブル (DEN) =0、表示リセット (DRES) =0としてSHwy アクセス停止の設定を行います。
2. 次のVBKフラグを表示ステータスレジスタ (DSSR) のVBKビットで確認します (VBKのタイミングで1の設定が有効になり、SHwyのアクセスが停止します。表示データは表示オフ時出力レジスタ (DOOR) に設定された値となります)。
3. クロックを停止してください。

14.6.3 モジュールスタンバイモードの解除と表示起動

1. クロックを起動してください。
2. 表示システム制御レジスタ (DSYSR) /DEN=1、DRES=0として表示ONの設定を行います。

14.6.4 外部 SYNC 信号の取り込み

表示タイミングを生成するための外部 SYNC 信号は3通りの取り込み方法があります。

1. DCLKIN (分周する場合は分周後クロック) の立ち上がりで取り込む。
2. DCLKIN (分周する場合は分周後クロック) の立ち下がりで取り込む。
3. 分周を前提として、分周前クロックで取り込んだSYNC信号を分周後クロックで取り込む。

外部 SYNC 信号の取り込みに関する電気的特性 (AC スペック) の保証は1の場合のみとなります。2、3の電気的特性 (AC スペック) は保証しません。

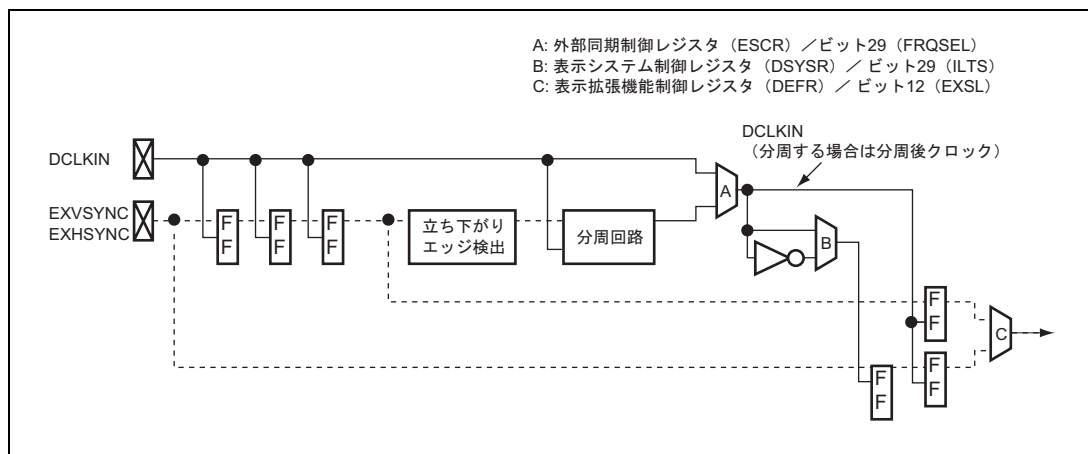


図 14.27 表示タイミング生成用外部 SYNC 信号の取り込み回路図

14.6.5 外部 SYNC 信号の同時変化制約

外部 SYNC 信号の取り込みに関する電気的特性 (AC スペック) を満たさない場合、外部 SYNC 信号である EXHSYNC と EXVSYNC を変化させる場合は 2 サイクル以上空けて変化させてください。サイクルの基準となるクロックは表示拡張機能制御レジスタ (DEFRR) の EXSL (ビット 12) が 0 の場合は分周後ドットクロック、1 の場合は分周前ドットクロックとなります。

14.6.6 レジスタ設定の注意点

Display Unit 内のレジスタにはリセットにより値が確定するレジスタと値が確定しないレジスタがあります。値が確定しないレジスタは電源 ON 後の初期状態でレジスタ値が 0、1 どちらになるかは不明です。

電源 ON 後の初期状態から表示同期動作を開始*1する場合は Display Unit 内のすべてのレジスタに所望の値を設定後に表示同期動作を開始してください。

値を設定せずに不明なレジスタ値の状態では表示 ON*2、キャプチャ ON*3のいずれかを実行しますと Display Unit から予期せぬ領域にアクセスし誤動作となる場合があります (Display Unit はすべての領域にアクセスすることができます)。

【注】 *1 表示同期動作の開始

下記 (1) あるいは (2) の設定。

- (1) 表示システム制御レジスタ (DSYSR) / DRES、DEN に 00 を設定。
- (2) 表示システム制御レジスタ (DSYSR) / DRES、DEN に 01 を設定。

***2 表示 ON**

- (1) 表示出力システム制御レジスタ (DORCR) / DPRS が 0 のとき
上記*1- (2)、かつ、表示プレーン優先順位レジスタ (DPPR) / DPE8~DPE1 のいずれかに 1 を設定。
- (2) 表示出力システム制御レジスタ (DORCR) / DPRS が 1 のとき
上記*1- (2)、かつ、表示重ね合せ 1 優先順位レジスタ (DS1PR) / S1S8~S1S1 または表示重ね合せ 2 優先順位レジスタ (DS2PR) / S2S8~S2S1 に 0001~1000 を設定。

*3 キャプチャ ON

上記*1ー (2) 、かつ、表示キャプチャ制御レジスタ (DCPCR) /DC2E または DCE のいずれかに 1 を設定。

15. LCD コントローラ (LCDC)

LCD コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール*などの液晶モジュールは接続できません。

【注】 * LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

15.1 特長

LCDC は次のような特長があります。

- パネルインタフェース
STN/Dual STN/TFT パネル (8/12/16/18 ビットバス幅) のデータフォーマットをサポート*1
- 4/8/15/16 bpp (ビットパーピクセル) カラーモードをサポート
- 1/2/4/6bpp グレイスケールモードをサポート
- 16×1~1024×1024 までの液晶パネルサイズをサポート*2
- 24 ビットカラーパレットメモリ (24 ビット中、16 ビットが有効 R:5 / G:6 / B:5)
- RGB 各 8 ビットの、24 ビットの空間変調 FRC により、ちらつき、シャドーイングが起りやすい STN/DSTN パネルでのちらつきの少ない 65536 の色制御を実現
- CPU に接続されたメモリ (エリア 2、3) の一部を LCDC の表示データ格納用 VRAM として使用することで、専用の表示用メモリが不要
- 2.4K バイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット (バイト内のエンディアン設定、バックドピクセル方式) をレジスタにより選択的にサポート可能
- ユーザ指定位置で割り込みを発生可能 (VRAM の更新開始タイミングを制御することによりティアリング (ちらつき) を回避)

【注】 *1 18 ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

*2 詳細は「15.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

図 15.1 に LCDC のブロック図を示します。

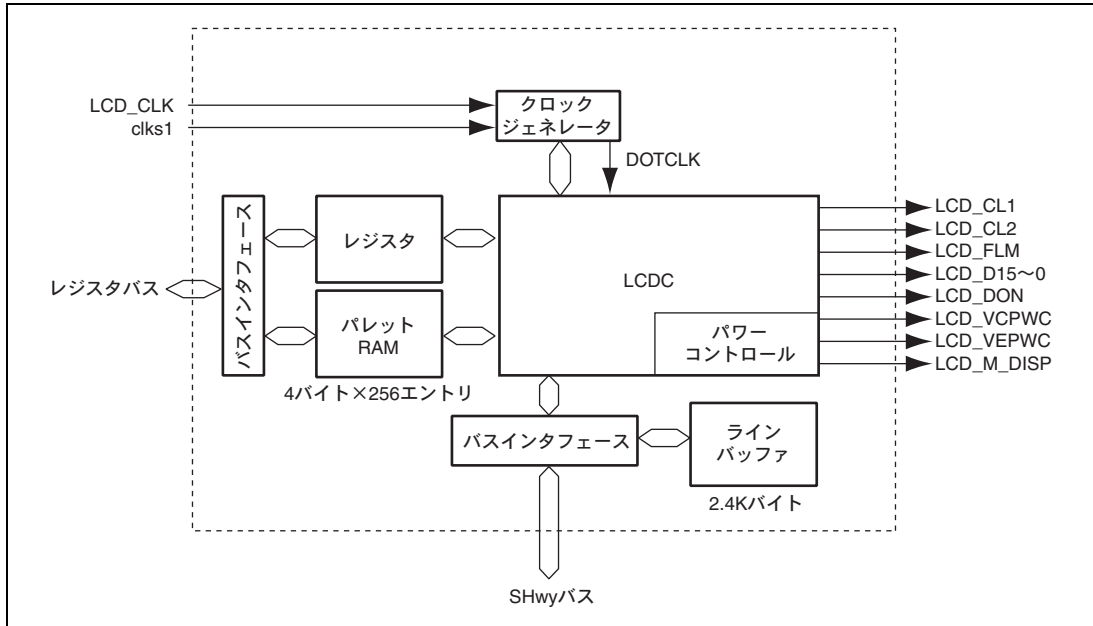


図 15.1 LCDC のブロック図

15.2 入出力端子

表 15.1 に LCDC の端子構成を示します。

LCDC 端子の選択は、PFC のピンマルチ設定で行います。

表 15.1 端子構成

端子名	入出力	機能
LCD_D15~0_x	出力	LCD_DATA15~0_x LCD パネル用データ。LCD_D15~0_x と略記。
LCD_DON_x	出力	表示開始信号 (DON)
LCD_CL1_x	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC)
LCD_CL2_x	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DOTCLK)
LCD_M_DISP_x	出力	液晶交流化信号 / DISP 信号
LCD_FLM_x	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
LCD_VCPWC_x	出力	液晶モジュール電源制御 (VCC)
LCD_VEPWC_x	出力	液晶モジュール電源制御 (VEE)
LCD_CLK_x	入力	LCD クロックソース外部入力 外部クロックを入力してください。水晶発振子を接続することはできません。

【記号説明】 x : A または B (ミラー端子 A またはミラー端子 B)

【注】 液晶モジュールとの結線仕様に関しては、「15.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様をよく確認の上、決定してください。

15.3 レジスタの説明

LCDC のレジスタ構成を表 15.2 に示します。また、各処理モードにおけるレジスタの状態を表 15.3 に示します。

表 15.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
パレットデータレジスタ 00~FF	LDPR00~ LDPRFF	R/W	H'FFC6 0000~ H'FFC6 03FC	H'1FC6 0000~ H'1FC6 03FC	32
LCDC インプットクロックレジスタ	LDICKR	R/W	H'FFC6 0400	H'1FC6 0400	16
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'FFC6 0402	H'1FC6 0402	16
LCDC データフォーマットレジスタ	LDDFR	R/W	H'FFC6 0404	H'1FC6 0404	16
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	R/W	H'FFC6 0408	H'1FC6 0408	32
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	R/W	H'FFC6 040C	H'1FC6 040C	32
LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	R/W	H'FFC6 0410	H'1FC6 0410	16
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'FFC6 0412	H'1FC6 0412	16
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'FFC6 0414	H'1FC6 0414	16
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'FFC6 0416	H'1FC6 0416	16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'FFC6 0418	H'1FC6 0418	16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'FFC6 041A	H'1FC6 041A	16
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'FFC6 041C	H'1FC6 041C	16
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	R/W	H'FFC6 041E	H'1FC6 041E	16
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'FFC6 0420	H'1FC6 0420	16
LCDC パワーマネジメントモードレジスタ	LDPMMR	R/W	H'FFC6 0424	H'1FC6 0424	16
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'FFC6 0426	H'1FC6 0426	16
LCDC コントロールレジスタ	LDCNTR	R/W	H'FFC6 0428	H'1FC6 0428	16
LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	R/W	H'FFC6 0434	H'1FC6 0434	16
LCDC ユーザ指定割り込みラインナンバー レジスタ	LDUINTLNR	R/W	H'FFC6 0436	H'1FC6 0436	16
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	R/W	H'FFC6 0440	H'1FC6 0440	16

表 15.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	マニュアル リセット
LDPR00~ LDPRFF	不定	不定	保持	保持	保持	不定
LDICKR	H'1101	H'1101	保持	保持	保持	H'1101
LDMTR	H'0109	H'0109	保持	保持	保持	H'0109
LDDFR	H'000C	H'000C	保持	保持	保持	H'000C
LDSARU	H'04000000	H'04000000	保持	保持	保持	H'04000000
LDSARL	H'04000000	H'04000000	保持	保持	保持	H'04000000
LDLAOR	H'0280	H'0280	保持	保持	保持	H'0280
LDPALCR	H'0000	H'0000	保持	保持	保持	H'0000
LDHCNR	H'4F52	H'4F52	保持	保持	保持	H'4F52
LDHSYNR	H'0050	H'0050	保持	保持	保持	H'0050
LDVDLNR	H'01DF	H'01DF	保持	保持	保持	H'01DF
LDVTLNR	H'01DF	H'01DF	保持	保持	保持	H'01DF
LDVSYNR	H'01DF	H'01DF	保持	保持	保持	H'01DF
LDACLNR	H'000C	H'000C	保持	保持	保持	H'000C
LDINTR	H'0000	H'0000	保持	保持	保持	H'0000
LDPMMR	H'0010	H'0010	保持	保持	保持	H'0010
LDPSPR	H'F60F	H'F60F	保持	保持	保持	H'F60F
LDCNTR	H'0000	H'0000	保持	保持	保持	H'0000
LDUINTR	H'0000	H'0000	保持	保持	保持	H'0000
LDUINTLNR	H'004F	H'004F	保持	保持	保持	H'004F
LDLIRNR	H'0000	H'0000	保持	保持	保持	H'0000

15.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、周辺クロックまたは外部クロックを選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力

(LCD_CL2) を生成します。TFT パネルの場合は LCD_CL2=DOTCLK となり、STN、DSTN パネルの場合は LCD_CL2= (DOTCLK/液晶パネルへの出力データバス幅) の周波数のクロックが出力されます。LCD_CL2 にかかわらず、LCDC への入力クロックが周辺クロック (clks1) 以下となるように、LDICKR を設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ICKSEL[1:0]	—	—	—	—	—	—	—	DCDR[5:0]					
初期値:	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	ICKSEL[1:0]	01	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00: 設定禁止 01: 周辺クロックを選択 (clks1) 10: 外部クロックを選択 (LCD_CLK) 11: 設定禁止
11~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7, 6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	DCDR[5:0]	000001	R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 15.4 を参照してください。

表 15.4 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)	
		100.000* ¹	54.000* ²
000001	1/1	100.000	54.000
000010	1/2	50.000	27.000
000011	1/3	33.333	18.000
000100	1/4	25.000	13.500
000110	1/6	16.666	9.000
001000	1/8	12.500	6.750
001100	1/12	8.333	4.500
010000	1/16	6.250	3.375
011000	1/24	4.166	2.250
100000	1/32	3.125	1.688

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

*1 周辺クロック=100MHz のケース (EXTAL 周波数、クロックモード設定により変化します)

*2 外部クロック=54MHz のケース

15.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLM POL	CL1 POL	DISP POL	DPOL	—	MCNT	CL1CNT	CL2CNT	—	—	MIFTYP[5:0]					
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0: LCD_FLM パルスはハイアクティブ 1: LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0: LCD_CL1 パルスはハイアクティブ 1: LCD_CL1 パルスはローアクティブ

ビット	ビット名	初期値	R/W	説明
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0 : LCD_M_DISP はハイアクティブ 1 : LCD_M_DISP はローアクティブ
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールの LCD_D15~0 (表示データ) の極性を選択します。液晶モジュールの反映をサポートしています。 0 : LCD_D15~0 はハイアクティブ。透過型液晶パネル 1 : LCD_D15~0 はローアクティブ。反射型液晶パネル
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	MCNT	0	R/W	M 信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0 : M (AC ラインモジュレーション) 信号を出力する 1 : M 信号は出力しない
9	CL1CNT	0	R/W	CL1 (水平同期) 制御 垂直帰線期間中の LCD_CL1 出力を設定します。 0 : 垂直帰線期間中、LCD_CL1 は出力する 1 : 垂直帰線期間中、LCD_CL1 は出力しない
8	CL2CNT	1	R/W	CL2 (液晶モジュールのドットクロック) 制御 垂直水平帰線期間中の LCD_CL2 出力を設定します。 0 : 垂直水平帰線期間中、LCD_CL2 は出力する 1 : 垂直水平帰線期間中、LCD_CL2 は出力しない
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5~0	MIFTYP[5:0]	001001	R/W	<p>モジュールインタフェースタイプ選択</p> <p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプはSTN、DSTN、TFTの3種類から選択します。液晶パネルへの出力データバス幅は4ビット、8ビット、12ビット、16ビットから選択します。TFTの液晶パネルの要求データバス幅が16ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFTと異なり、STN、DSTNの液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bppの表示色数であっても8ビットのデータバス幅であったり、4bppの表示色数であっても12ビットのデータバス幅であることがあります。これは、STN、DSTNの表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTNの場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、またはDSTNタイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらずLCDCに内蔵されたRGB各8ビットの24ビット空調変調FRCにより表示制御が行われます。そのため、STN、またはDSTNの表示においては1600万色からDSPCOLOR指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ4ビットデータバスモジュール 000001 : STN モノクロ8ビットデータバスモジュール 001000 : STN カラー4ビットデータバスモジュール 001001 : STN カラー8ビットデータバスモジュール 001010 : STN カラー12ビットデータバスモジュール 001011 : STN カラー16ビットデータバスモジュール 010001 : DSTN モノクロ8ビットデータバスモジュール 010011 : DSTN モノクロ16ビットデータバスモジュール 011001 : DSTN カラー8ビットデータバスモジュール 011010 : DSTN カラー12ビットデータバスモジュール 011011 : DSTN カラー16ビットデータバスモジュール 101011 : TFT カラー16ビットデータバスモジュール 上記以外の設定 : 設定禁止</p>

15.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PABD	—	DSPCOLOR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アラインメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 (B'0101) としてください。 0 : バイトデータ内をビッグエンディアンに設定 1 : バイトデータ内をリトルエンディアンに設定
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	DSPCOLOR [6:0]	0001100	R/W	表示カラー選択 ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。 (パレット経由) との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。回転表示時にサポート可能な色数は、表示解像度によって制限されます。 0000000 : モノクロ、2 グレyscale、1bpp (パレット経由) 0000001 : モノクロ、4 グレyscale、2bpp (パレット経由) 0000010 : モノクロ、16 グレyscale、4bpp (パレット経由) 0000100 : モノクロ、64 グレyscale、6bpp (パレット経由) 0001010 : カラー、16 色、4bpp (パレット経由) 0001100 : カラー、256 色、8bpp (パレット経由) 0011101 : カラー、32k 色 (RGB : 5-5-5)、15bpp 0101101 : カラー、64k 色 (RGB : 5-6-5)、16bpp 上記以外の設定 : 設定禁止

15.3.4 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SAU[27:16]											
初期値 :	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAU[15:4]												—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	SAU[27]	0	R/W	上部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 2、3 のメモリ領域内に設定します。 SAU[27]='0' は設定禁止 (初期値を書き換えて使用してください)
26	SAU[26]	1	R/W	
25~4	SAU[25:4]	すべて 0	R/W	
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。

15.3.5 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SAL[27:16]											
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL[15:4]												—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27	SAL[27]	0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 2、3 のメモリ領域内に設定します。 STN、TFT：使用しません DSTN：下部パネルに対応する表示データの取り込み開始アドレス SAL[27]=0は設定禁止（初期値を書き換えて使用してください）
26	SAL[26]	1	R/W	
25~4	SAL[25:4]	すべて0	R/W	
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 LDSARL の最小アラインメント単位は 32 バイトです。下位 5 ビットには 0 を設定してください。

15.3.6 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X, Y) のメモリアドレスが $Ax + By + C$ で計算される場合、本レジスタはこの式の B と等しくなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO[15:0]															
初期値:	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~0	LAO[15:0]	H'0280	R/W	ラインアドレスオフセット 最小のアライメント単位は 32 バイトです。32 バイト単位の処理となるので、各レジスタ書き込み値の下位 5 ビットは 0 としてください。また、レジスタ値を読み出すと下位 5 ビットは 0 が読み出されます。初期値は、VGA (640×480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度=640) となっています。LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。

15.3.7 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PALS	-	-	-	PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (CPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し/書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

15.3.8 パレットデータレジスタ 00~FF (LDPR00~LDPRFF)

LDPR は、メモリ空間上に直接配置 (4 バイト×256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00~LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「15.4.2 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn[23:16]							
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	R	リザーブビット
23~0	PALDnn[23:0]	-	R/W	パレットデータ ビット 18~16、9、8、2~0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn=H'00~H'FF

15.3.9 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向（スキャン方向）のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN[7:0]								HTCN[7:0]							
初期値 :	0	1	0	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~8	HDCN[7:0]	01001111	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します（キャラクタ=8ドット単位）。 （表示キャラクタ数）-1の値を設定してください。 （例）横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
7~0	HTCN[7:0]	01010010	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します（キャラクタ=8ドット単位）。 （総キャラクタ数）-1の値を設定してください。 ただし、最小の水平帰線期間は3キャラクタ（24ドット）です。 （例）横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は664ドット、水平帰線期間は24ドットになります。

- 【注】
1. HDCN、HTCNの設定値は、 $HTCN \geq HDCN$ の関係を必ず満足してください。また、HTCNは総キャラクタ数を偶数としてください（設定値は-1値設定のため奇数となります）。
 2. HDCNの設定は、使用するディスプレイの解像度によって下記としてください。
 - 1bpp の場合：（16の倍数）-1[1ラインが128pixelの倍数]
 - 2bpp の場合：（8の倍数）-1[1ラインが64pixelの倍数]
 - 4bpp の場合：（4の倍数）-1[1ラインが32pixelの倍数]
 - 6bpp/8bpp の場合：（2の倍数）-1[1ラインが16pixelの倍数]

15.3.10 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向（スキャン方向）の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSYNW[3:0]				-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	HSYNW[3:0]	すべて0	R/W	水平同期信号幅 水平画面方向の同期信号（CL1、Hsync）幅を設定します（キャラクタ=8ドット単位）。 （水平同期信号幅）-1の値を設定してください。 （例）水平同期信号幅を8ドットとする場合 $HSYNW = (8 \text{ドット} / 8 \text{ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
11~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	HSYNP[7:0]	01010000	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置を設定します（キャラクタ=8ドット単位）。 （水平同期信号出力位置）-1の値を設定してください。 （例）横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$ この場合、648ドット目から655ドット目まで水平同期信号がアクティブになります。

【注】 $HTCN \geq HSYNP + HSYNW + 1$

$HSYNP \geq HDCN + 1$ の関係を満足してください。

15.3.11 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向（スキャン方向と垂直方向）のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください（例：640×480 のパネルの場合は 480）。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	VDLN[10:0]	00111011111	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します（ライン単位）。 （表示ライン数）-1 の値を設定してください。 （例）480 ラインの液晶モジュールを使用する場合 VDLN=480-1=479=H'1DF

15.3.12 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	VTLN[10:0]	00111011111	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します（ライン単位）。 （総ライン数）-1 の値を設定してください。 最小の垂直総ライン数は 2 ラインです。 VTLN ≥ VDLN、VTLN ≥ 1 を満足してください。 （例）480 ラインの液晶モジュールを使用し、垂直帰線期間が 0 ラインの場合 VTLN=(480+0)-1=479=H'1DF

15.3.13 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向（スキャン方向と垂直方向）の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNW[3:0]				—	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	VSYNW[3:0]	すべて 0	R/W	垂直同期信号幅 垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。 (垂直同期信号幅) - 1 の値を設定してください。 (例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW=(1-1)=0=H'0$
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	VSYNP[10:0]	0011101111	R/W	垂直同期信号出力位置 垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。 (垂直同期信号出力位置) - 2 の値を設定してください。 DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。 (例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり VTLN=479 のときに 1 ライン目に垂直同期信号をアクティブにする場合 <ul style="list-style-type: none"> シングルディスプレイの場合 $VSYPN=[(1-1)+VTLN] \bmod (VTLN+1)=[(1-1)+479] \bmod (479+1)$ $=479 \bmod 480=479$ $=H'1DF$ デュアルディスプレイの場合 $VSYPN=[(1-1) \times 2 + VTLN] \bmod (VTLN+1)=[(1-1) \times 2 + 479] \bmod (479+1)$ $=479 \bmod 480=479$ $=H'1DF$

15.3.14 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号（液晶交流化信号）をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ACLN[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	ACLN[4:0]	01100	R/W	AC ラインナンバー 液晶モジュール交流化信号をトグルする行数を設定します(ライン単位)。 (トグルする行数) - 1 の値を設定してください。 (例) 13 ラインごとにトグルさせる場合 ACLN=13-1=12=H'0C

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

15.3.15 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、Vsync 割り込みの開始点を指定するレジスタです。割り込みについては、「15.3.19 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)」および「15.3.20 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)」も参照してください。なお、本レジスタの設定による作用と、LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) の設定による作用は独立です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MINT EN	FINT EN	VSINT EN	VEINT EN	MINTS	FINTS	VSINTS	VEINTS	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	MINTEN	0	R/W	メモリアクセス割り込みイネーブル LCDC による VRAM アクセスの垂直帰線期間の開始点で割り込みを発生するか否かを設定します。 0: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生しません。 1: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生します。
14	FINTEN	0	R/W	フレーム終了割り込みイネーブル 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するか否かを設定します。 0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生しません。 1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生します。
13	VSINTEN	0	R/W	Vsync 開始割り込みイネーブル LCDC Vsync の開始時に割り込みを発生するか否かを設定します。 0: LCDC Vsync の開始時に割り込みを発生しません。 1: LCDC Vsync の開始時に割り込みを発生します。
12	VEINTEN	0	R/W	Vsync 終了割り込みイネーブル LCDC Vsync の終了時に割り込みを発生するか否かを設定します。 0: LCDC Vsync の終了時に割り込みを発生しません。 1: LCDC Vsync の終了時に割り込みを発生します。

ビット	ビット名	初期値	R/W	説明
11	MINTS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>メモリアクセス割り込みの処理状態を表します。</p> <p>このビットは、LCDC メモリアクセス割り込みが発生した時点で 1 を示します (セット状態)。メモリアクセス割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がメモリアクセス割り込みを発生していないか、またはメモリアクセス割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がメモリアクセス割り込みを発生し処理済の通知を受けていない状態を表します。</p>
10	FINTS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC フレーム終了割り込みが発生した時点で 1 を示します (セット状態)。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC がフレーム終了割り込みを発生していないか、またはフレーム終了割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC がフレーム終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
9	VSINTS	0	R/W	<p>Vsync 開始割り込み状態</p> <p>LCDC Vsync 開始割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 開始割り込みが発生した時点で 1 を示します (セット状態)。Vsync 開始割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 開始割り込みを発生していないか、または Vsync 開始割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1 : LCDC が Vsync 開始割り込みを発生し処理済の通知を受けていない状態を表します。</p>
8	VEINTS	0	R/W	<p>Vsync 終了割り込み状態</p> <p>LCDC Vsync 終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 終了割り込みが発生した時点で 1 を示します (セット状態)。Vsync 終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0 : LCDC が Vsync 終了割り込みを発生していないか、または Vsync 終了割り込み発生に対して処理済の通知を受けた状態を示します。</p> <p>1 : LCDC が Vsync 終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
7~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

15.3.16 LCDC パワーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。LCD_VCPWC と LCD_VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONC[3:0]				OFFD[3:0]				—	VCPE	VEPE	DONE	—	—	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	ONC[3:0]	すべて 0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。 図 15.4~図 15.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (c) 期間に当たります。詳細な方法は、表 15.5 を参照してください(設定方法は ONA、ONB、OFFD、OFFE、OFFF の各レジスタに共通です)。
11~8	OFFD[3:0]	すべて 0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネゲートから LCD_VEPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。 図 15.4~図 15.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (d) 期間に当たります。
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	VCPE	0	R/W	LCDC_VCPWC 端子イネーブル LCD_VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0: (処理無) LCD_VCPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VCPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする
5	VEPE	0	R/W	LCDC_VEPWC 端子イネーブル LCD_VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_VEPWC 端子出力はマスクされロー固定 1: (処理有) LCD_VEPWC 端子出力は所定のシーケンスに従いアサート、ネゲートする

ビット	ビット名	初期値	R/W	説明
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0: (処理無) LCD_DON 端子出力はマスクされロー固定 1: (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネゲートする
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	LPS[1:0]	すべて0	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00: 液晶モジュール電源遮断 11: 液晶モジュール電源投入

15.3.17 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。
LCD_VEPWC、LCD_VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA[3:0]				ONB[3:0]				OFFE[3:0]				OFFF[3:0]			
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	ONA[3:0]	1111	R/W	<p>LCDC 電源投入シーケンス期間</p> <p>LCD モジュールの電源投入シーケンスにおいて LCD_VCPWC 端子のアサートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。</p> <p>図 15.4~図 15.7 「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。</p>
11~8	ONB[3:0]	0110	R/W	<p>LCDC 電源投入シーケンス期間</p> <p>LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から LCD_VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。</p> <p>図 15.4~図 15.7 「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。</p>
7~4	OFFE[3:0]	0000	R/W	<p>LCDC 電源遮断シーケンス期間</p> <p>液晶モジュールの電源遮断シーケンスにおいて LCD_VEPWC 端子ネゲートから表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。</p> <p>図 15.4~図 15.7 「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。</p>
3~0	OFFF[3:0]	1111	R/W	<p>LCDC 電源遮断シーケンス期間</p> <p>液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_D15~0) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から LCD_VCPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) -1 の値を設定してください。</p> <p>図 15.4~図 15.7 「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。</p>

15.3.18 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始/終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するときは、DON ビットを 0 に設定します。LDPMMR および LDCNTR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DON2	-	-	-	DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0: LCDC 動作/終了中 1: 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始/終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0: LCDC 非動作。表示オフモード 1: LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
 - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。
 - LDCNTR 書き込み後に LCDC の別のレジスタにアクセスを行う場合は、周辺クロック (Pck) 4 サイクル以上間を空けるか LCDC 以外の 32 ビットレジスタのダミーリードを 1 回行ってください。

15.3.19 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)

LDUINTR は、ユーザ指定割り込みの発生有無を設定し、その状態を表示するレジスタです。本割り込みは、LCDC が LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) で設定したラインの画像データを VRAM から読み終えた時点で発生します。

本 LCDC が発行する割り込み (LCDCI) は、本レジスタによるユーザ指定割り込みと LCDC 割り込みコントロールレジスタ (LDINTR) によるメモリアクセス、Vsync 割り込みとの OR 出力となります。なお、本レジスタと LCDC 割り込みコントロールレジスタ (LDINTR) の設定は、割り込み動作に対して独立に作用します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UINTEN	-	-	-	-	-	-	-	UINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	UINTEN	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかを設定します。 0: LCDC ユーザ指定割り込みを発生しません。 1: LCDC ユーザ指定割り込みを発生します。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	UINTS	0	R/W	ユーザ指定割り込み状態 このビットは、LCDC ユーザ指定割り込みが発生した時点で1を示します (セット状態)。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。 0: LCDC がユーザ指定割り込みを発生していないか、またはユーザ指定割り込み発生に対して処理済の通知を受けた状態を表します。 1: LCDC がユーザ指定割り込みを発生し処理済の通知を受けていない状態を表します。

【注】 割り込み処理の流れ

1. 割り込み信号入力
2. LDINTR のリード
3. もし MINTS または FINTS または VSINTS または VEINTS=1 ならば、その割り込みはメモリアクセスあるいはフレーム終了割り込みあるいは Vsync 立ち上がり割り込みあるいは Vsync 立ち下がり割り込み。それぞれの割り込みに対する処理を行う。
4. もし MINTS=FINTS=VSINTS=VEINTS=0 ならば、その割り込みはメモリアクセス、フレーム終了、Vsync 立ち上がり割り込み、および Vsync 立ち下がり割り込みではない。
5. UINTS のリード
6. もし UINTS=1 ならば、その割り込みはユーザ指定割り込み。ユーザ指定割り込みに対する処理を行う。
7. もし UINTS=0 ならば、その割り込みはユーザ指定割り込みではない。他の処理を行う。

15.3.20 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)

LDUINTLNR は、ユーザ指定割り込みを発生する位置を設定するレジスタです。設定は水平ライン単位で行うことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	UINTLN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~0	UINTLN[10:0]	0000100 1111	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生するラインを設定します (ライン単位)。 (割り込み発生ライン数) - 1 の値を設定してください。 (例) 80 ライン目にユーザ指定割り込みを発生する場合: HINTLN=160/2-1=79=H'04F

- 【注】
1. STN/TFT の液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) 以下にしてください。
 2. DSTN 液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) の 1/2 以下に設定してください。このとき、ユーザ指定割り込みは LCDC が下部画面の画像データを本レジスタに設定したライン数分 VRAM から読み終えた時点で発生します。

15.3.21 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)

LDLIRNR は、LCDC が VRAM を読み出す際のバスサイクルの間隔を制御します。LDLIRNR に H'00 以外の値を設定した場合には、SDRAM のクロック数をカウントし LDLIRNR の設定値と一致するまで、LCDC は VRAM をアクセスしません。LDLIRNR に H'00 を設定した場合 (初期値) には、LCDC の VRAM アクセスの 1 クロック後に、LCDC が VRAM アクセスを行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LIRN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	LIRN[7:0]	すべて 0	R/W	LCDC の VRAM 読み出しクロックサイクル間隔 LCDC が VRAM を読み出すバスサイクルの間の SDRAM のクロックサイクル数を指定します。 H'00 : 1 クロックサイクル H'01 : 1 クロックサイクル H'02 : 2 クロックサイクル : H'FE : 254 クロックサイクル H'FF : 255 クロックサイクル

15.4 動作説明

15.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024×1024 ドット、16bpp (ビットパーピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である VRAM に格納されており、本 LCDC は表示に間に合うように VRAM からデータの読み出しを行う必要があります。

本 LSI では、最大 64 バイトのメモリリードと 2.4k バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。フレームレート 60Hz とした場合の推奨するサイズとしては、16bpp 時 320×240 ドット、もしくは 8bpp 時 640×480 ドットです。

下記よりバス占有率を算出することができます。

$$\text{バス占有率 [\%]} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数} ((\text{HDCN}+1) \times 8 \times (\text{VDLN}+1)) \times \text{フレームレート (Hz)} \times \text{色数 (bpp)}}{\text{DDR-SDRAM MCK} \times \text{バス幅} (=16\text{bit})} \times 100$$

オーバーヘッド係数は、DDR-SDRAM の CL (CAS レイテンシ) =3 のときに 1.75、4 のときに 1.8125、5 のときに 1.875 となります (いずれもベストケースの理想値になります)。

図 15.2 に有効な表示と帰線期間について示します。

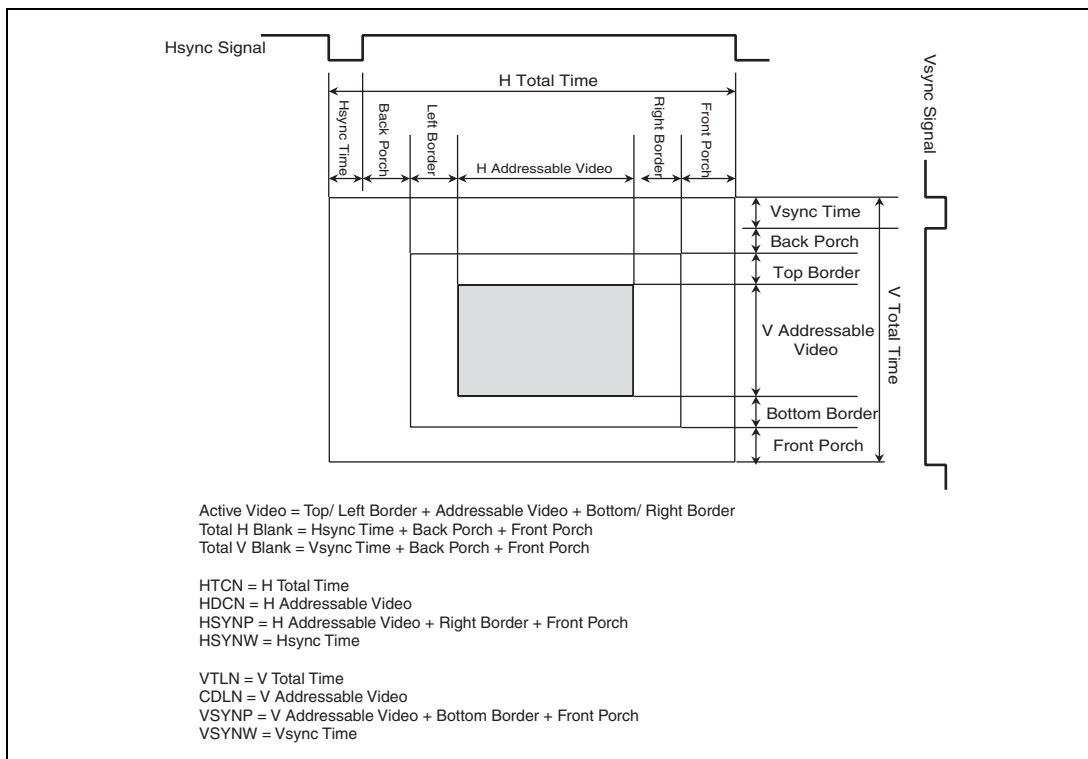


図 15.2 有効な表示と帰線期間

15.4.2 カラーパレット仕様について

(1) カラーパレットレジスタ

本LCDCは1エントリにつき24ビットデータ出力で256エントリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCRのPALENビット=0（初期値）：通常表示動作
2. LDPALCRにアクセスしPALEN=1を設定：カラーパレット設定モードに移行は周辺クロックの3サイクル後
3. LDPALCRにアクセスしPALS=1を確認
4. LDPR00~FFにアクセスしPALD00~FFに必要な値を書き込む
5. LDPALCRにアクセスしPALEN=0を設定：通常表示モードに移行は周辺クロックの1サイクル後

なお、LDPALCRのPALS=1の間、LCDC表示データ出力（LCD_D15~0）は0値出力となります。

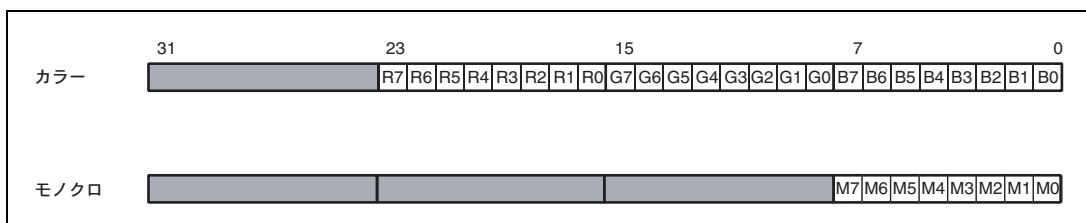


図 15.3 カラーパレットデータフォーマット

PALDnnの色／階調データは上記のように設定してください。

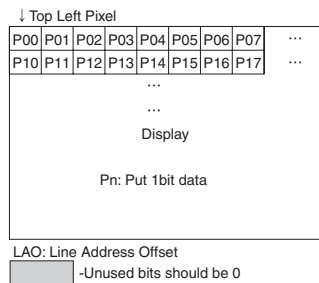
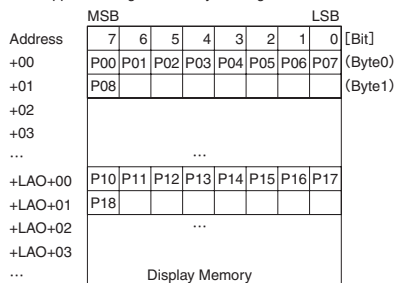
カラー表示の場合、PALDnn[23:16]にはRデータを、PALDnn[15:8]にはGデータを、PALDnn[7:0]にはBデータを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5ビット、G:6ビット、B:5ビットが有効となります。実際に使用する際は、24ビット（R:8ビット、G:8ビット、B:8ビット）のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0または1で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0のときはPALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0で埋めることで24ビットに拡張します。

モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]はdon't careです。PALDnn[7:3]の値が0でないときはPALDnn[2:0]を1で埋め、PALDnn[7:3]の値が0のときはPALDnn[2:0]を0で埋めることで8ビットに拡張します。

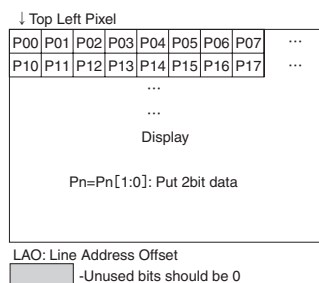
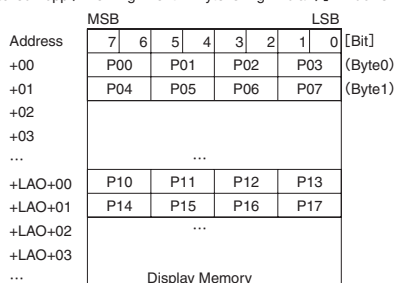
【記号説明】 nn : H'00~H'FF

15.4.3 データフォーマット

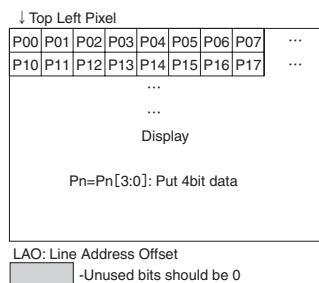
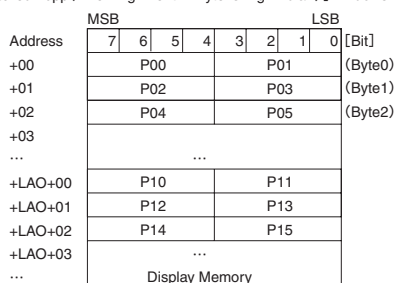
1.Packed 1bpp(Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



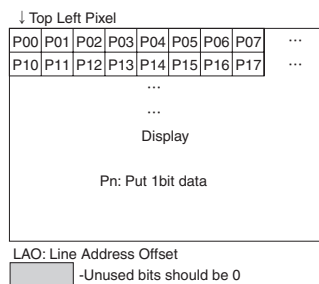
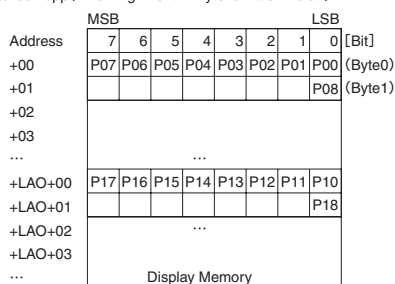
2.Packed 2bpp(Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]



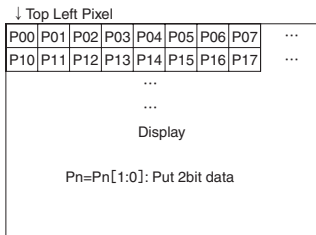
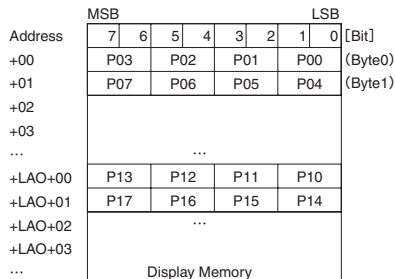
3.Packed 4bpp (Pixel Alignment in Byte is Big Endian) [Windows CE Recommended Format]




4.Packed 1bpp(Pixel Alignment in Byte is Little Endian)

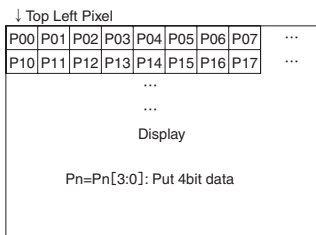
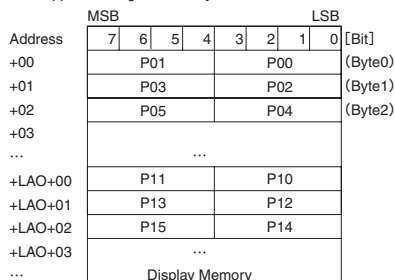



5.Packed 2bpp(Pixel Alignment in Byte is Little Endian)



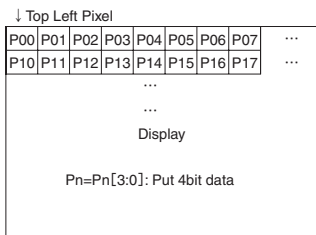
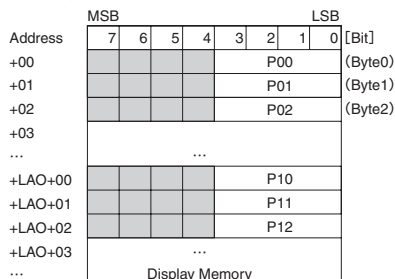
LAO: Line Address Offset
 -Unused bits should be 0


6.Packed 4bpp(Pixel Alignment in Byte is Little Endian)



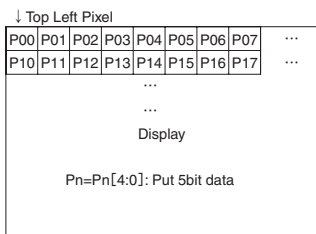
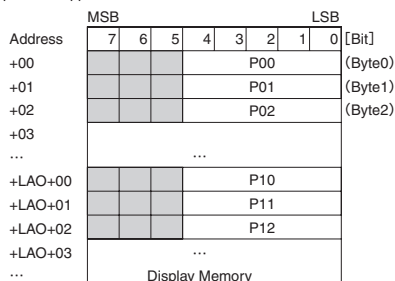
LAO: Line Address Offset
 -Unused bits should be 0


7.Unpacked 4bpp[Windows CE Recommended Format]



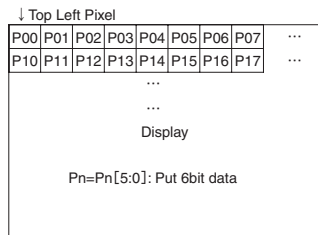
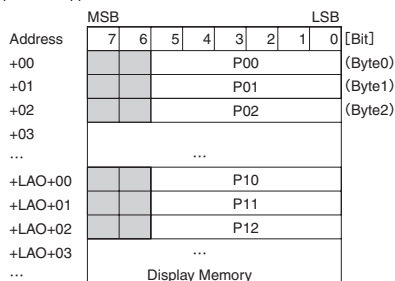
LAO: Line Address Offset
 -Unused bits should be 0

8.Unpacked 5bpp[Windows CE Recommended Format]



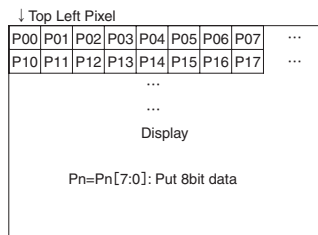
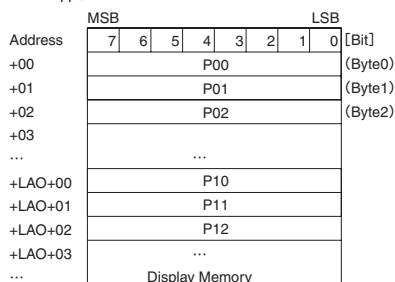
LAO: Line Address Offset
 -Unused bits should be 0

9.Unpacked 6bpp[Windows CE Recommended Format]



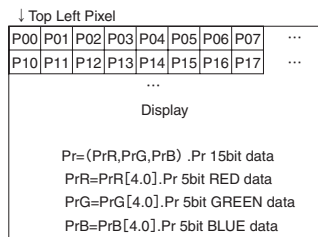
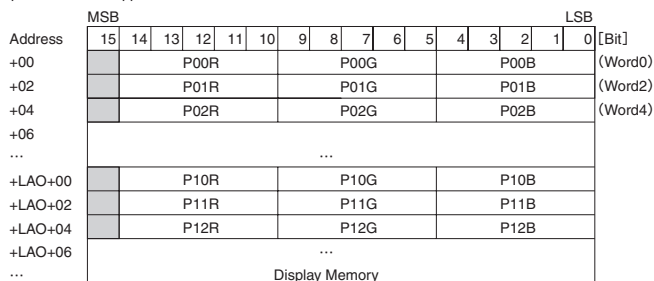
LAO: Line Address Offset
 [Grey Box] -Unused bits should be 0

10.Packed 8bpp[Windows CE Recommended Format]



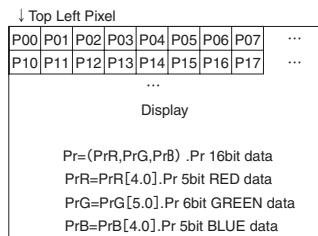
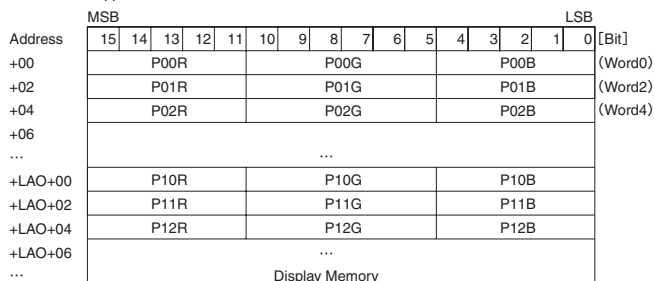
LAO: Line Address Offset
 [Grey Box] -Unused bits should be 0

11.Unpacked color 15bpp(RGB 555) [Windows CE Recommended Format]



LAO: Line Address Offset
 [Grey Box] -Unused bits should be 0

12.Packed color 16bpp(RGB 565) [Windows CE Recommended Format]



LAO: Line Address Offset
 [Grey Box] -Unused bits should be 0

15.4.4 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640×480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面+帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

15.4.5 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD_VCPWC、LCD_VEPWC、LCD_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスの概略タイミングチャートを図 15.4~図 15.7 に、設定可能な電源制御シーケンス期間の説明を表 15.5 に示します。

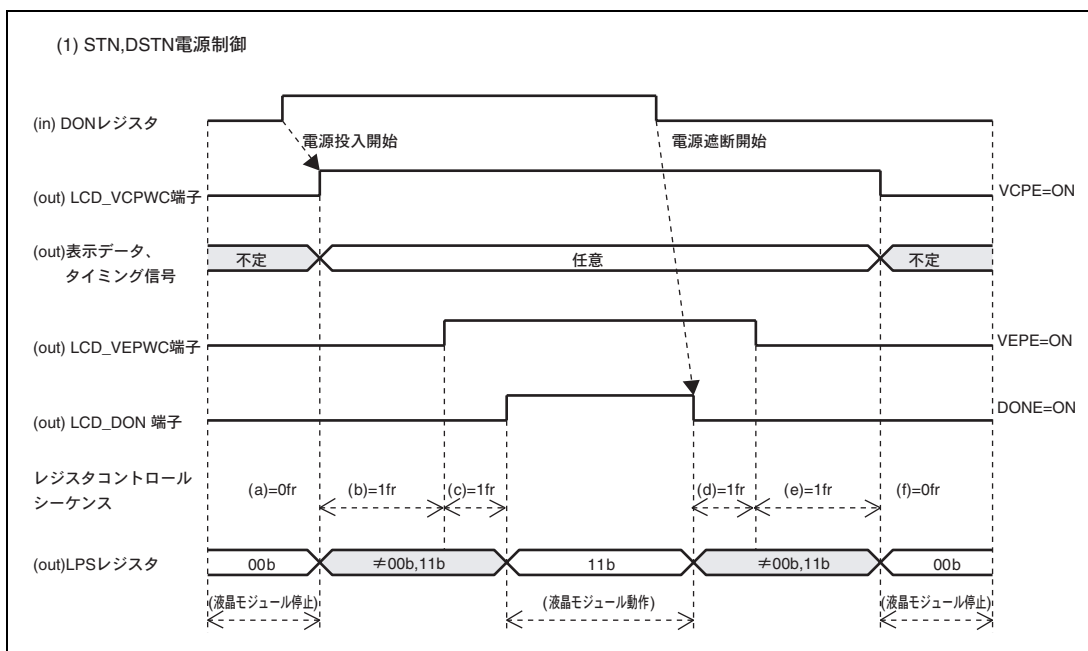


図 15.4 電源制御シーケンスと液晶モジュールの動作状態

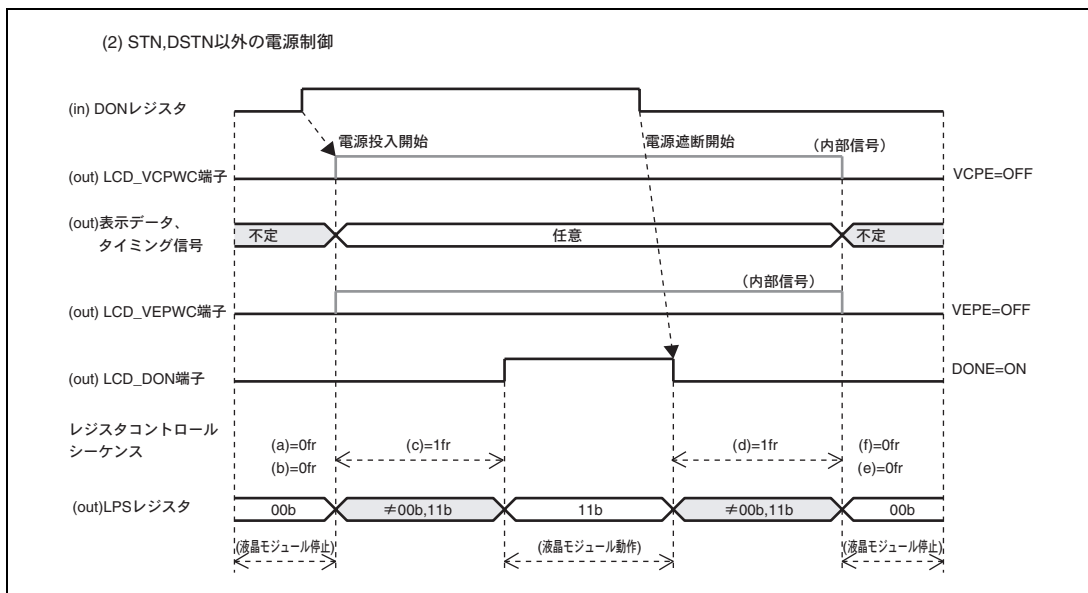


図 15.5 電源制御シーケンスと液晶モジュールの動作状態

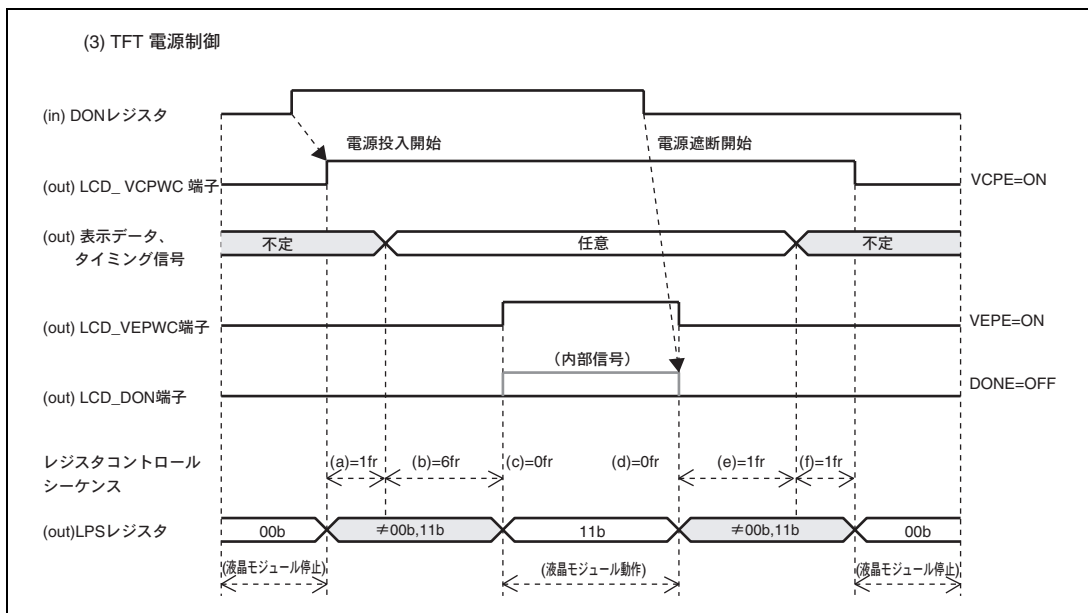


図 15.6 電源制御シーケンスと液晶モジュールの動作状態

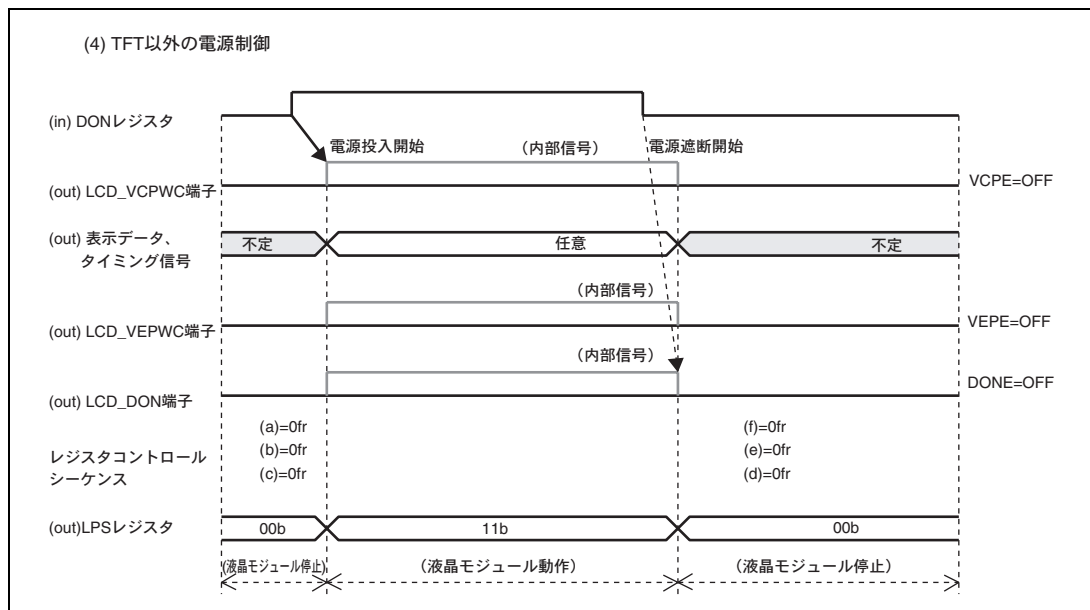


図 15.7 電源制御シーケンスと液晶モジュールの動作状態

表 15.5 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0~15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は (-1 値) 設定であり、H'0~H'E 設定でおのおの 1~15 フレーム、HF 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONBレジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は 8.33 (ms) = 1/120 (sec)

ONB レジスタは (-1 値) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は 58.33 (ms) = 8.33 (ms) × 7 となります。

表 15.6 LCDC 動作モード

モード		機能
表示 ON (LCDC 動作)	レジスタ設定 : DON=1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定 : DON=0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 15.7 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_D15~0	LCD_VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_D15~0	LCD_VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとは限りません。

表示 OFF モード (LCDC 停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

15.5 クロックと LCD データ信号例

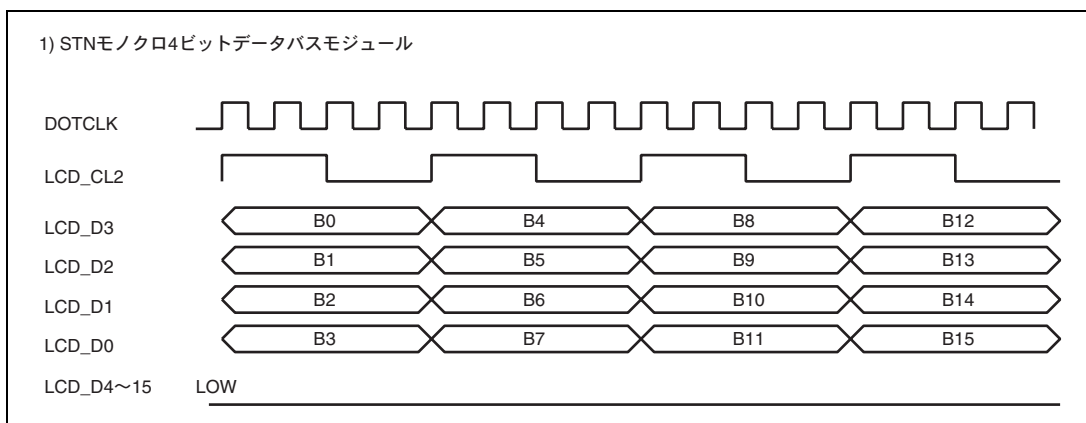


図 15.8 クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール)

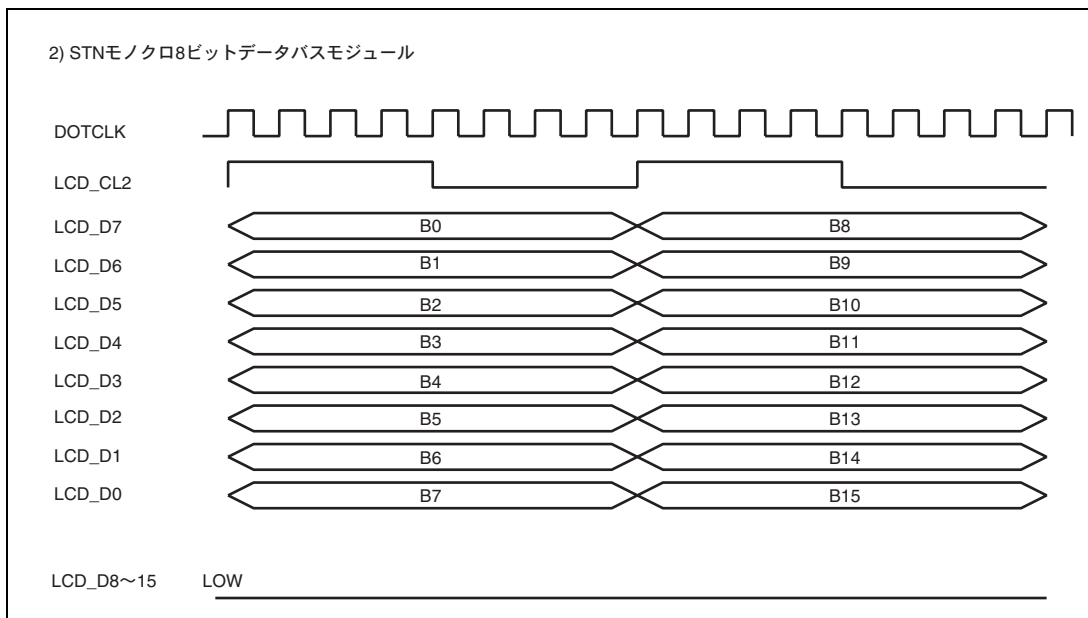


図 15.9 クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール)

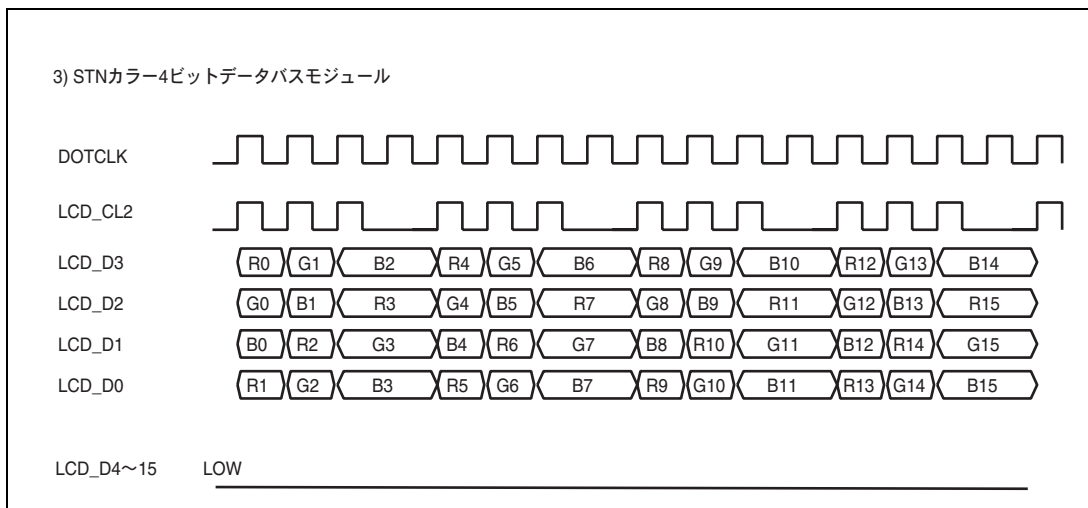


図 15.10 クロックと LCD データ信号例 (STN カラー 4 ビットデータバスモジュール)

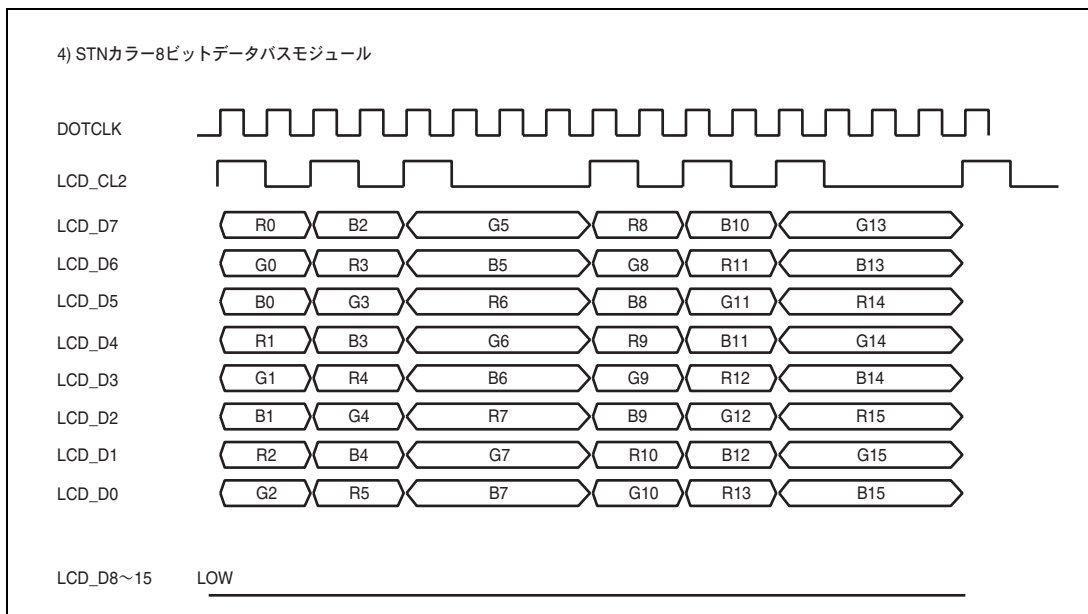


図 15.11 クロックと LCD データ信号例 (STN カラー8 ビットデータバスモジュール)

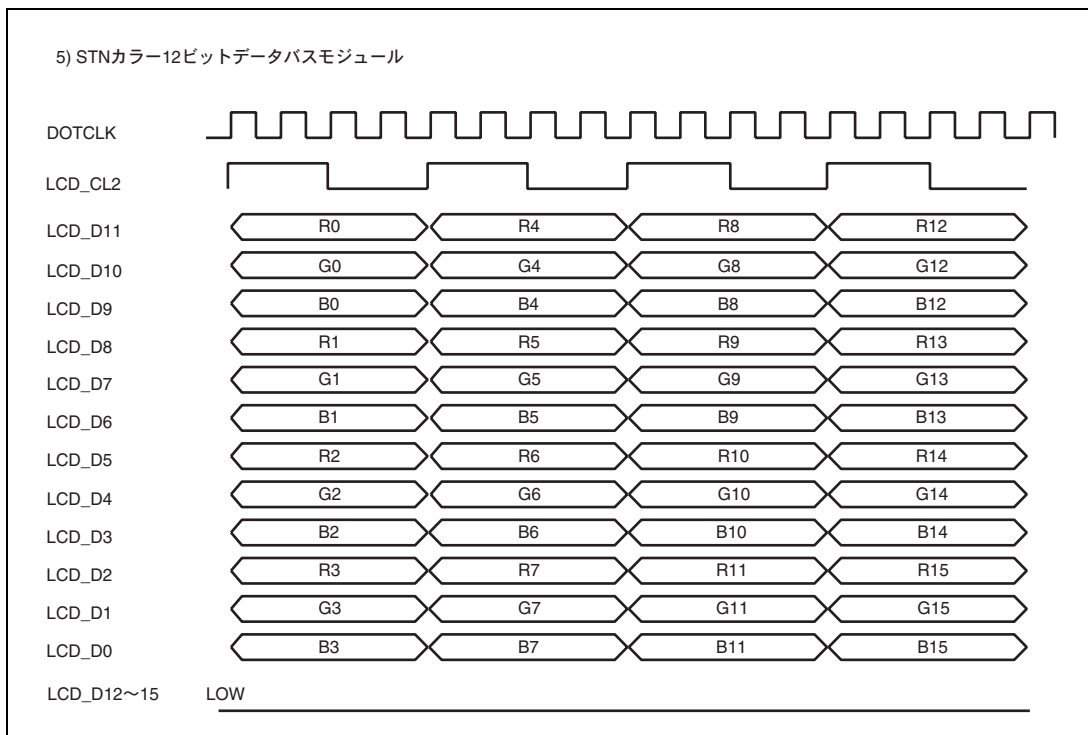


図 15.12 クロックと LCD データ信号例 (STN カラー12 ビットデータバスモジュール)

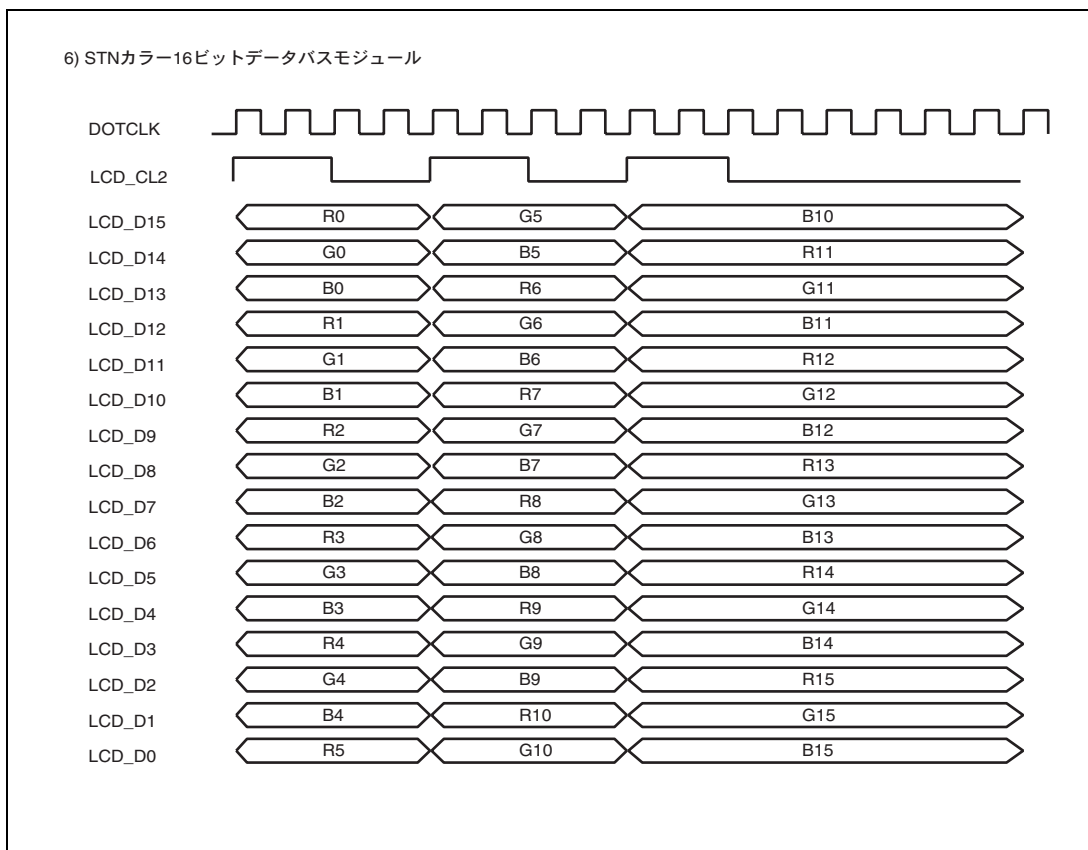


図 15.13 クロックと LCD データ信号例 (STN カラー16 ビットデータバスモジュール)

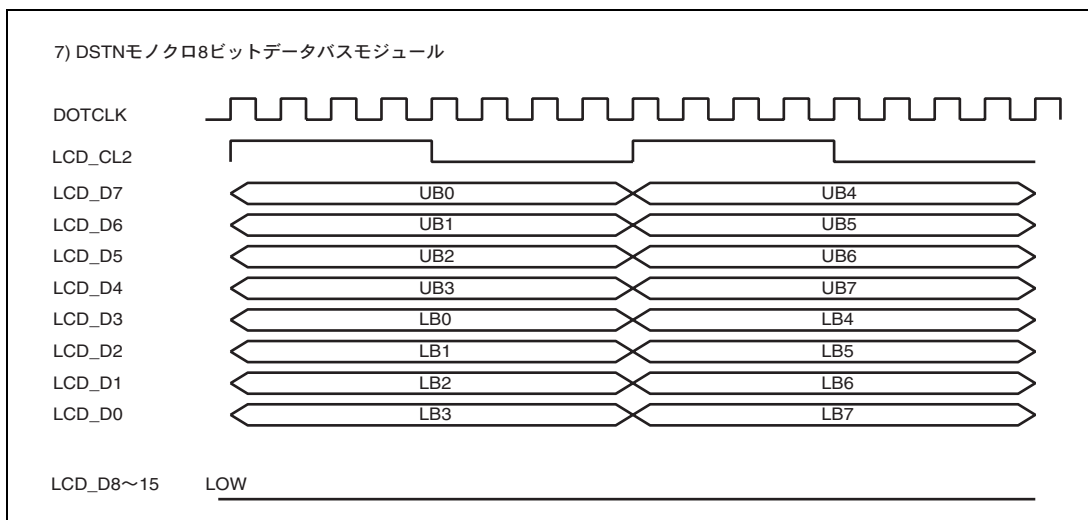


図 15.14 クロックと LCD データ信号例 (DSTN モノクロ 8 ビットデータバスモジュール)

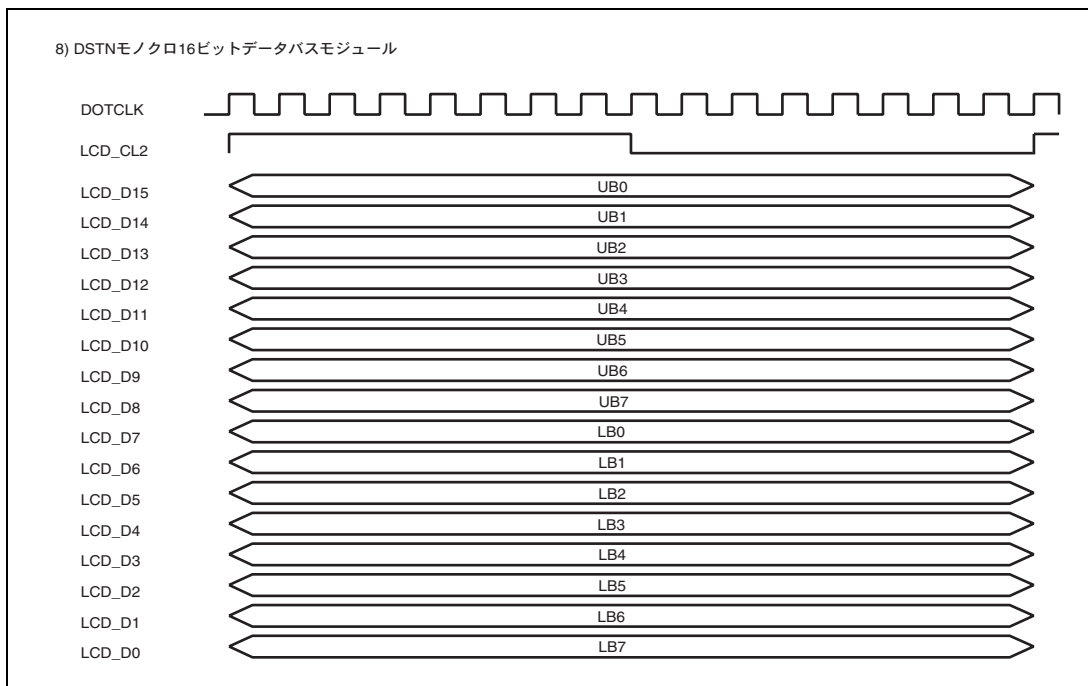


図 15.15 クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール)

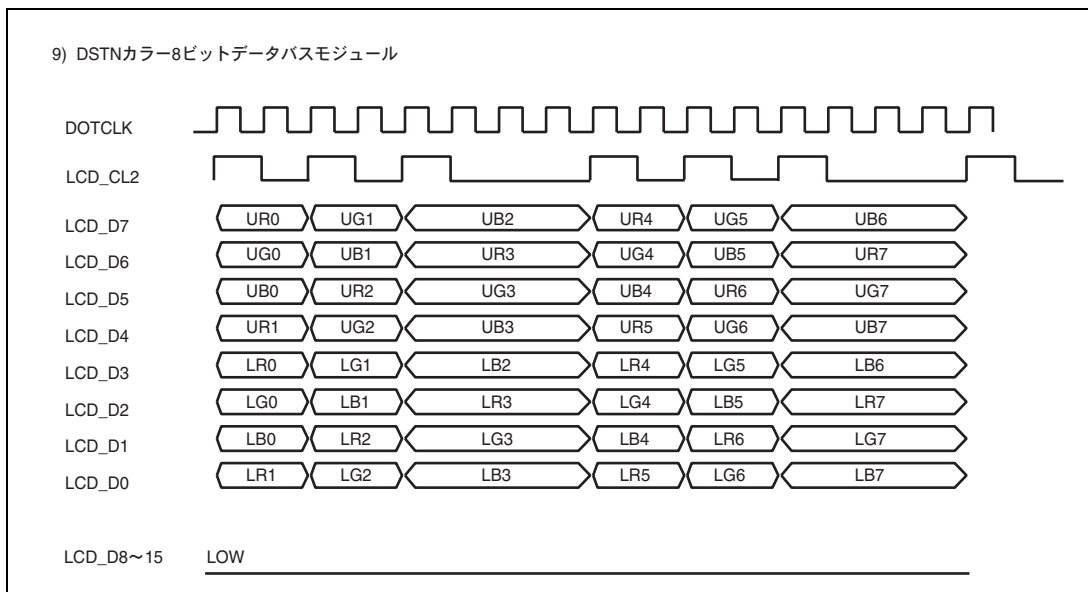


図 15.16 クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール)

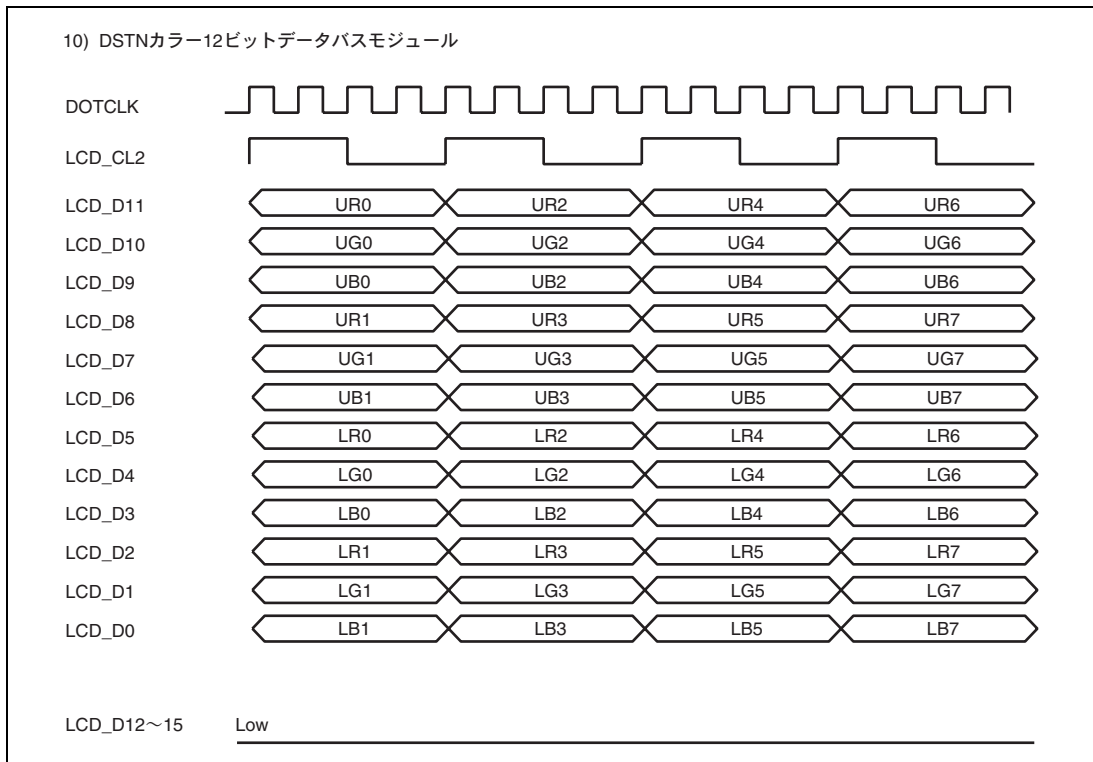


図 15.17 クロックと LCD データ信号例 (DSTN カラー12ビットデータバスモジュール)

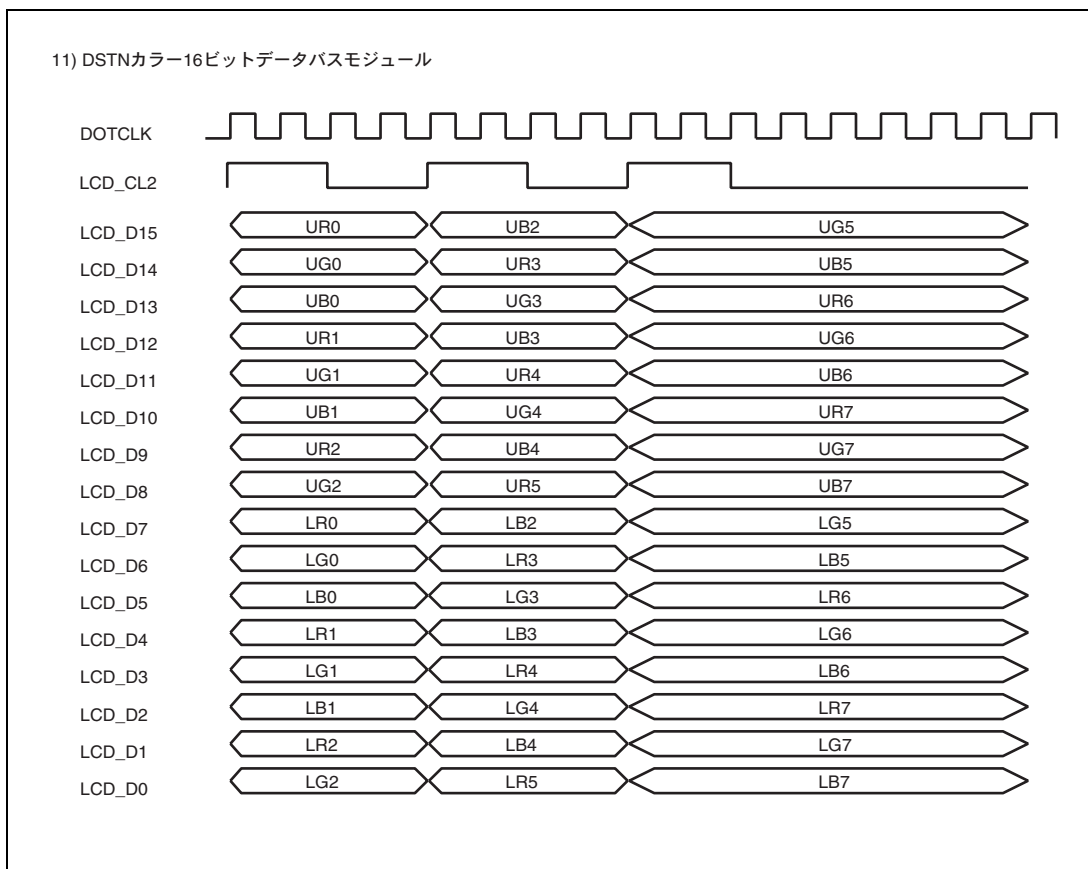


図 15.18 クロックと LCD データ信号例 (DSTN カラー16ビットデータバスモジュール)

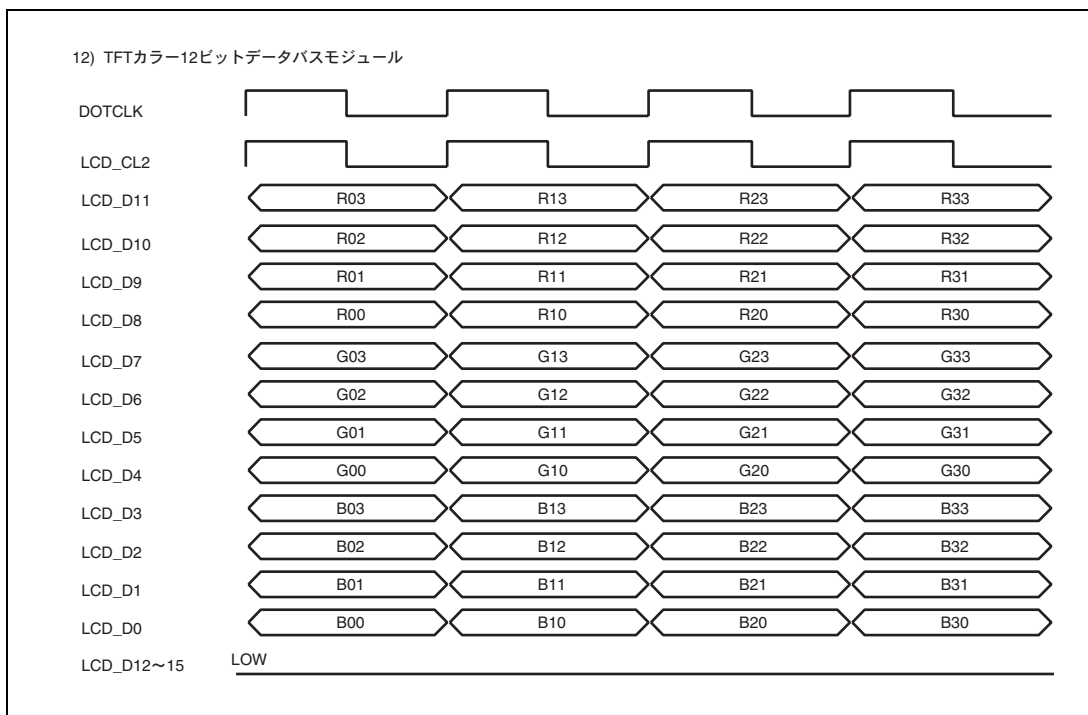


図 15.19 クロックと LCD データ信号例 (TFT カラー12ビットデータバスモジュール)

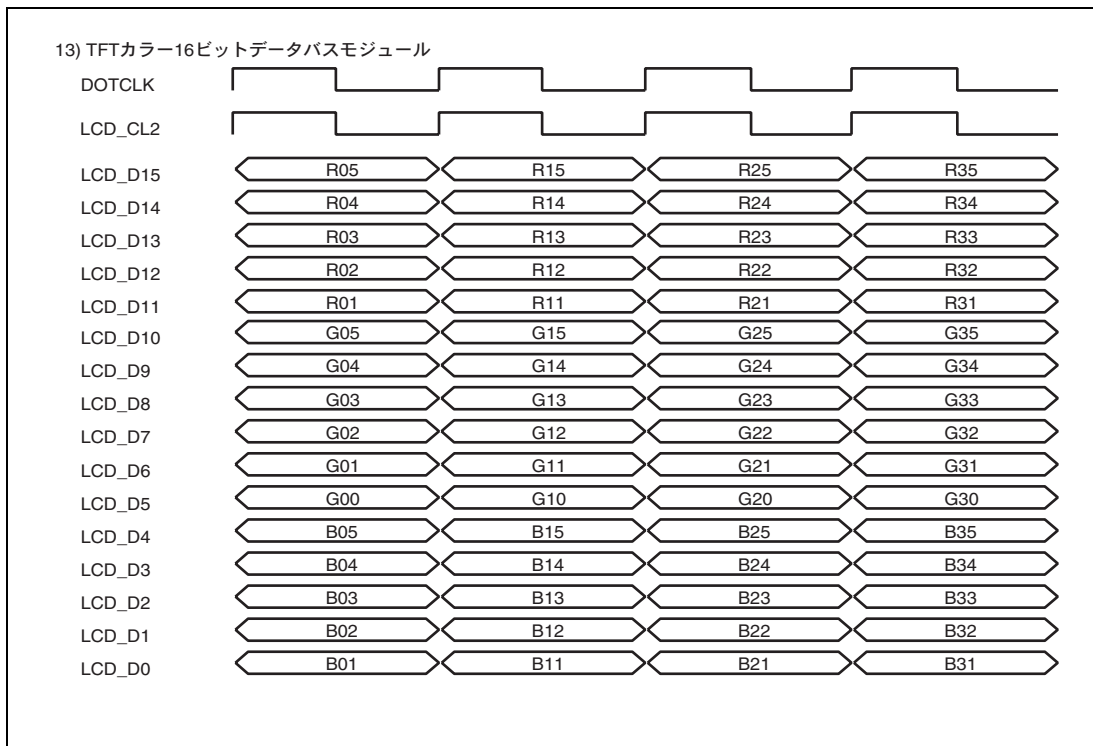


図 15.20 クロックと LCD データ信号例 (TFT カラー16 ビットデータバスモジュール)

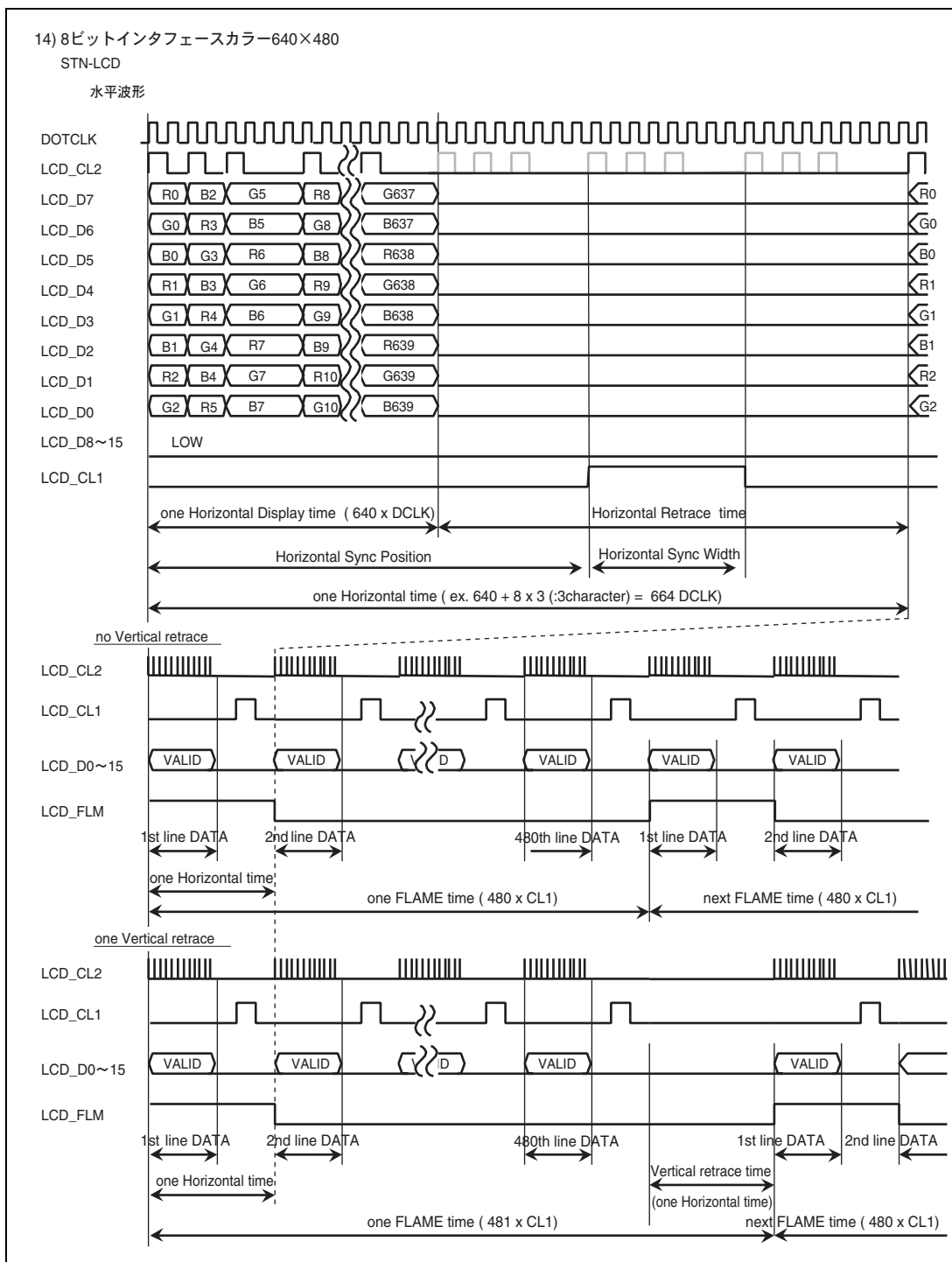


図 15.21 クロックと LCD データ信号例 (8ビットインタフェースカラー640×480)

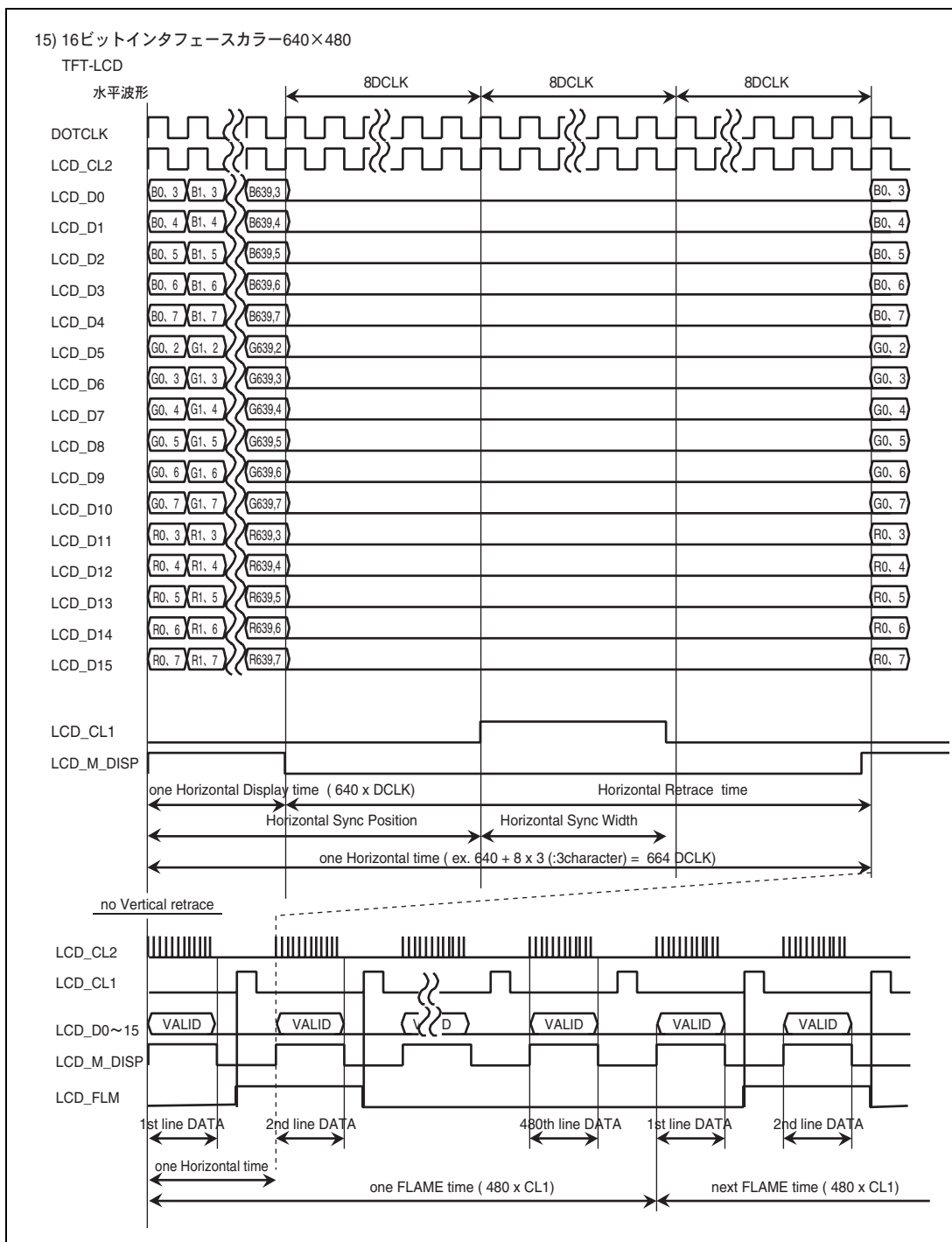


図 15.22 クロックとLCDデータ信号例 (16ビットインタフェースカラー640×480)

15.6 使用上の注意事項

15.6.1 表示データ格納用 VRAM (エリア 2、3) アクセスの停止手順について

表示データ格納用 VRAM (エリア 2、3) アクセスの停止手順は、以下のフローに従ってください。

- 表示データ格納用 VRAM アクセスの停止手順
 1. 現在の状態が LDPMMR の LPS1 と LPS0 ビットが 1 であることを確認します。
 2. LDCNTR の DON ビットを 0 (表示オフモード) に設定します。
 3. LDPMMR の LPS1 と LPS0 ビットが 0 になることを確認します。
 4. 1 フレームの表示時間を待ちます。

表示データ格納用 VRAM (エリア 2、3) をセルフリフレッシュにする前、スタンバイモード、モジュールスタンバイ等に入る前には、この停止手順が必要です。

15.6.2 表示開始時の注意事項について

表示を開始する場合は以下手順で LCDC の状態を確認してください。

1. DON2、DON ビットに '11' を書き込み、モジュールスタンバイ制御レジスタ 4 を 1 回ダミーリードした後、LDCNTR レジスタを n 回ダミーリードして、LPS[0] ビットが '1' に変化する時間を待ちます。
2. LPS [0] が '1' に変化していない場合は、再度 LDCNTR レジスタへの書き込みを行ってください。

【注】 表示を停止する場合 (DON2、DON ビットに '00' を設定する場合) の手順に変更はありません。

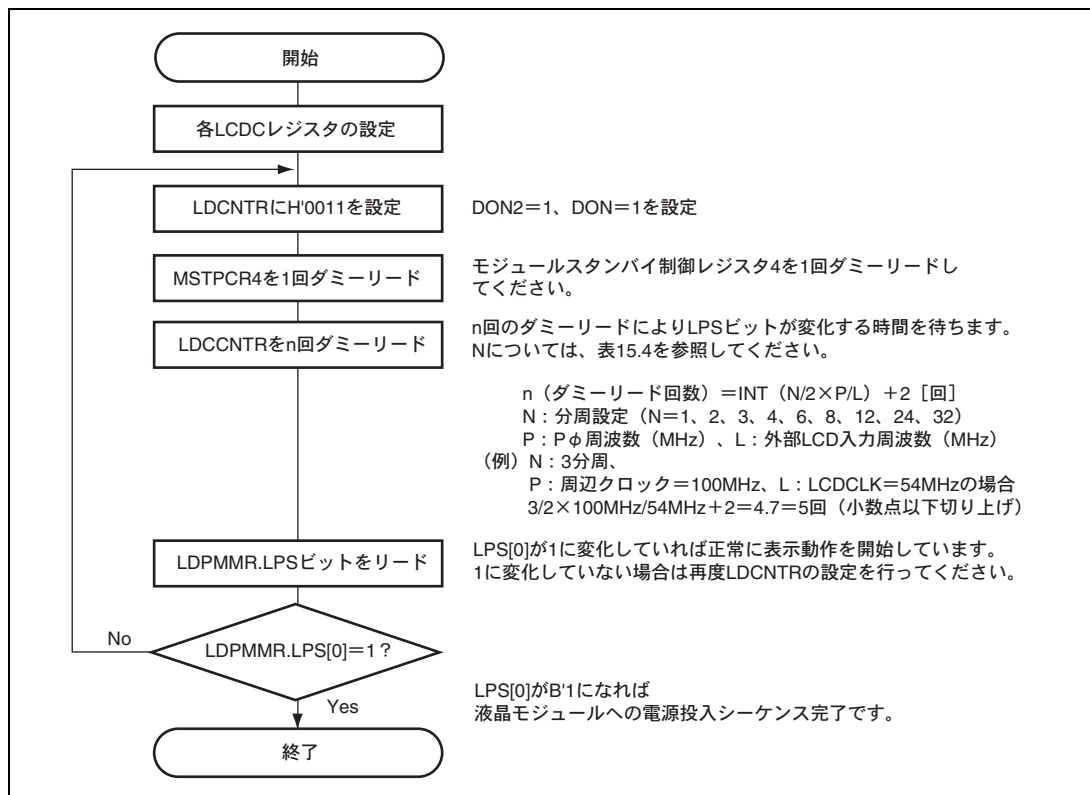


図 15.23 表示開始時の手順

16. シリアルサウンドインタフェース クロックセレクタ (SSS)

16.1 特長

シリアルサウンドインタフェースクロックセレクタ (SSS) のブロック図を示します。SSS は、SSI モジュールを 4 つと Audio_clk 生成のためのボーレートジェネレータを 2 つ内蔵します。なお、本文中の clks は SHwy 用クロック (clks) に対応します。また、clkp は周辺モジュール用クロック (clkp) に対応します。

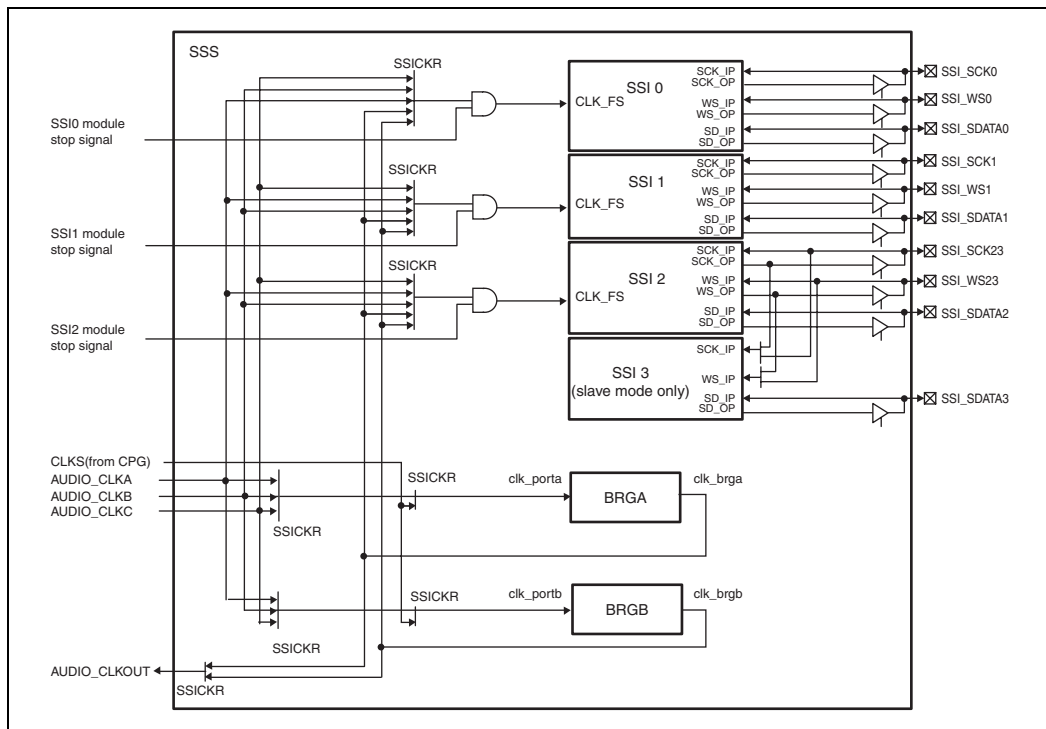


図 16.1 SSS モジュールのブロック図

16.2 入出力端子

SSS に関する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	本数	入出力	機能
SSI_SCK0	1	入出力	シリアルビットクロック
SSI_WS0	1	入出力	ワード選択 (L/R クロック)
SSI_SDATA0	1	入出力	シリアルデータ入出力
SSI_SCK1	1	入出力	シリアルビットクロック
SSI_WS1	1	入出力	ワード選択 (L/R クロック)
SSI_SDATA1	1	入出力	シリアルデータ入出力
SSI_SCK23	1	入出力	シリアルビットクロック (SSI2、3 共通)
SSI_WS23	1	入出力	ワード選択 (L/R クロック) (SSI2、3 共通)
SSI_SDATA2	1	入出力	シリアルデータ入出力
SSI_SDATA3	1	入出力	シリアルデータ入出力
AUDIO_CLKA	1	入力	AUDIO_CLK(オーバーサンプルクロック。SSI モジュールには 256/384/512fs の CLK を入力してください。)
AUDIO_CLKB	1	入力	AUDIO_CLK(オーバーサンプルクロック。SSI モジュールには 256/384/512fs の CLK を入力してください。)
AUDIO_CLKC	1	入力	AUDIO_CLK(オーバーサンプルクロック。SSI モジュールには 256/384/512fs の CLK を入力してください。)
AUDIO_CLKOUT	1	出力	分周クロック clk_brga または clk_brgb を出力

- 【注】
1. SSI0 と SSI1 は、専用端子を有します。
 2. SSI2 と SSI3 は、ワード選択 (SSI_WS23) とシリアルビットクロック (SSI_SCK23) は兼用端子です。また、シリアルデータ入出力 (SSI_SDATA2、SSI_SDATA3) は専用端子です。

16.3 接続構成表

SSS に関する接続構成表を表 16.2 に示します。

表 16.2 SSS に関する接続構成表

端子系統	端子名	入出力	SSI0	SSI1	SSI2	SSI3	備考
SSI0 系	SSI_SCK0	out	master (送信)	-	-	-	どれか一つを選択してください。
		out					
	SSI_WS0	out	-	-	-		
		out					
	SSI_SDATA0	out	master (受信)	-	-	-	
		in					
		in	slave (送信)	-	-	-	
		out					
in		slave (受信)	-	-	-		
in							
in							
SSI1 系	SSI_SCK1	out	-	master (送信)	-	-	どれか一つを選択してください。
		out					
	SSI_WS1	out	-	-	-		
		out					
	SSI_SDATA1	out	-	-	-	-	
		in					
		in	slave (送信)	-	-	-	
		out					
in		slave (受信)	-	-	-		
in							
in							
SSI2,3 系	SSI_SCK23	out	-	-	master (送信)	slave (送信)	どれか一つを選択してください。 赤枠は、一つとしても選択できます。
		out					
	SSI_WS23	out	-	-	-	-	
		out					
	SSI_SDATA2	out	-	-	-	-	
		out					
	SSI_SDATA3	out	-	-	-	-	
		in					
		out	-	-	-	-	
		in					
		out	-	-	-	-	
		in					
	in						
	out	-	-	-	-		
	in						
	in	-	-	-	-		
	in						
	in	-	-	-	-		
in							
in	-	-	-	-			
in							
in	-	-	-	-			
in							

【注】 - は、接続がありません。

16.4 レジスタの説明

ボーレートジェネレータのレジスタ構成を表 16.3 に示します。

表 16.3 (1) ボーレートジェネレータレジスタ構成

レジスタ名	略称	初期値	アドレス	アクセスサイズ
BRGA ボーレート設定レジスタ	BRRA	H'0000_00FF	H'FFFE 0104	32 bit
BRGB ボーレート設定レジスタ	BRRB	H'0000_00FF	H'FFFE 010C	32 bit
クロック選択レジスタ	SSICKR	H'2300_0000	H'FFFE 0118	32 bit

表 16.3 (2) ボーレートジェネレータレジスタ初期化条件

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
BRRA	初期化	初期化	保持	保持	保持	初期化
BRRB	初期化	初期化	保持	保持	保持	初期化
SSICKR	初期化	初期化	保持	保持	保持	初期化

16.4.1 BRGA ボーレート設定レジスタ (BRRA)

BRRA は、読み出し、書き込み可能な 32 ビットのレジスタで、clk_porta を元にボーレートを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKS[1:0]		BRRA[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	CKS[1:0]	00	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00 : clk_porta 01 : clk_porta/4 10 : clk_porta/16 11 : clk_porta/64
7~0	BRRA[7:0]	H'FF	R/W	分周比を設定します。 詳細は、表 16.4 を参照してください。

BRGA の分周比は、表 16.4 のとおりとなります。

表 16.4 BRGA の分周比

BRGA 動作クロック (CKS[1:0])	分周比 BRRA (N = 0~255)	計算式
clk_porta	1/2、1/4、1/6 ~ 1/512	$1/(2(N+1))$
clk_porta/4	1/8、1/16、1/24 ~ 1/2048	$1/(8(N+1))$
clk_porta/16	1/32、1/64、1/96 ~ 1/8192	$1/(32(N+1))$
clk_porta/64	1/128、1/256、1/384 ~ 1/32768	$1/(128(N+1))$

16.4.2 BRGB ポーレート設定レジスタ (BRRB)

BRRB は、読み出し、書き込み可能な 32 ビットのレジスタで、clk_portb を元にポーレートを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKS[1:0]		BRRB[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	CKS[1:0]	00	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00 : clk_portb 01 : clk_portb/4 10 : clk_portb/16 11 : clk_portb/64
7~0	BRRB[7:0]	H'FF	R/W	分周比を設定します。 詳細は、表 16.5 を参照してください。

BRGB の分周比は、表 16.5 のとおりとなります。

表 16.5 BRGB の分周比

BRGB 動作クロック (CKS[1:0])	分周比 BRRB (N = 0~255)	計算式
clk_portb	1/2、1/4、1/6 ~ 1/512	$1/(2(N+1))$
clk_portb/4	1/8、1/16、1/24 ~ 1/2048	$1/(8(N+1))$
clk_portb/16	1/32、1/64、1/96 ~ 1/8192	$1/(32(N+1))$
clk_portb/64	1/128、1/256、1/384 ~ 1/32768	$1/(128(N+1))$

16.4.3 クロック選択レジスタ (SSICKR)

SSICKR の設定により、SSS に入力/出力されるクロックを選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSICKR[31]	SSICKR[30:28]			—	SSICKR[26:24]			—	SSICKR[22:20]			—	SSICKR[18:16]		
初期値:	0	0	1	0	0	0	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SSICKR[14:12]			—	SSICKR[10:8]			—	SSICKR[6:4]			—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SSICKR[31]	0	R/W	外部端子 AUDIO_CLKOUT に出力するクロックを選択します。 0 : BRGA 出カクロック 1 : BRGB 出カクロック
30~28	SSICKR [30:28]	010	R/W	FSI 用 Audio_clk (clk_audio_ai) に入力するクロックを選択します。 000 : AUDIO_CLKA 001 : AUDIO_CLKB 010 : BRGA 出カクロック 011 : BRGB 出カクロック 100 : AUDIO_CLKC 101 : 0 11x : 0
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~24	SSICKR [26:24]	011	R/W	FSI 用 Audio_clk (clk_audio_bi) に入力するクロックを選択します。 000 : AUDIO_CLKA 001 : AUDIO_CLKB 010 : BRGA 出カクロック 011 : BRGB 出カクロック 100 : AUDIO_CLKC 101 : 0 11x : 0
23	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
22~20	SSICKR [22:20]	000	R/W	BRGA に入力するクロックを選択します。 000 : AUDIO_CLKA 001 : AUDIO_CLKB 01x : clks 100 : AUDIO_CLKC 101 : 0 11x : 0
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	SSICKR [18:16]	000	R/W	BRGB に入力するクロックを選択します。 000 : AUDIO_CLKA 001 : AUDIO_CLKB 01x : clks 100 : AUDIO_CLKC 101 : 0 11x : 0
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	SSICKR [14:12]	000	R/W	SSI0 に入力するクロックを選択します。 000 : BRGA 出カクロック 001 : BRGB 出カクロック 010 : AUDIO_CLKA 011 : AUDIO_CLKB 100 : AUDIO_CLKC 101 : 0 11x : 0
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	SSICKR [10:8]	000	R/W	SSI1 に入力するクロックを選択します。 000 : BRGA 出カクロック 001 : BRGB 出カクロック 010 : AUDIO_CLKA 011 : AUDIO_CLKB 100 : AUDIO_CLKC 101 : 0 11x : 0
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6~4	SSICKR[6:4]	000	R/W	SSI2 に入力するクロックを選択します。 000 : BRGA 出カクロック 001 : BRGB 出カクロック 010 : AUDIO_CLKA 011 : AUDIO_CLKB 100 : AUDIO_CLKC 101 : 0 11x : 0
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16A. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) モジュールは、Philips 方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。ほかの一般的フォーマットだけでなく、バーストとマルチチャンネルモードにも対応しています。

16A.1 特長

SSI には次のような特長があります。

- チャンネル数：4チャンネル（最大）
- 動作モード：圧縮モード、非圧縮モード
圧縮モードは、連続ビットストリームの転送に使用されます。
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、圧縮モードと非圧縮モードのどちらでもシリアルバスフォーマットを使用できます。
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- DMACまたは割り込みで、データ送受信を制御できます。
- TDMモードをサポートします。
- TDMモードは、44.1kHz、48kHzのサンプルレートにて動作します。
- WS信号を停止せず動作するモード（WSコンティニューモード）をサポートします。

図 16A.1 に SSI モジュール単体のブロック図を示します。

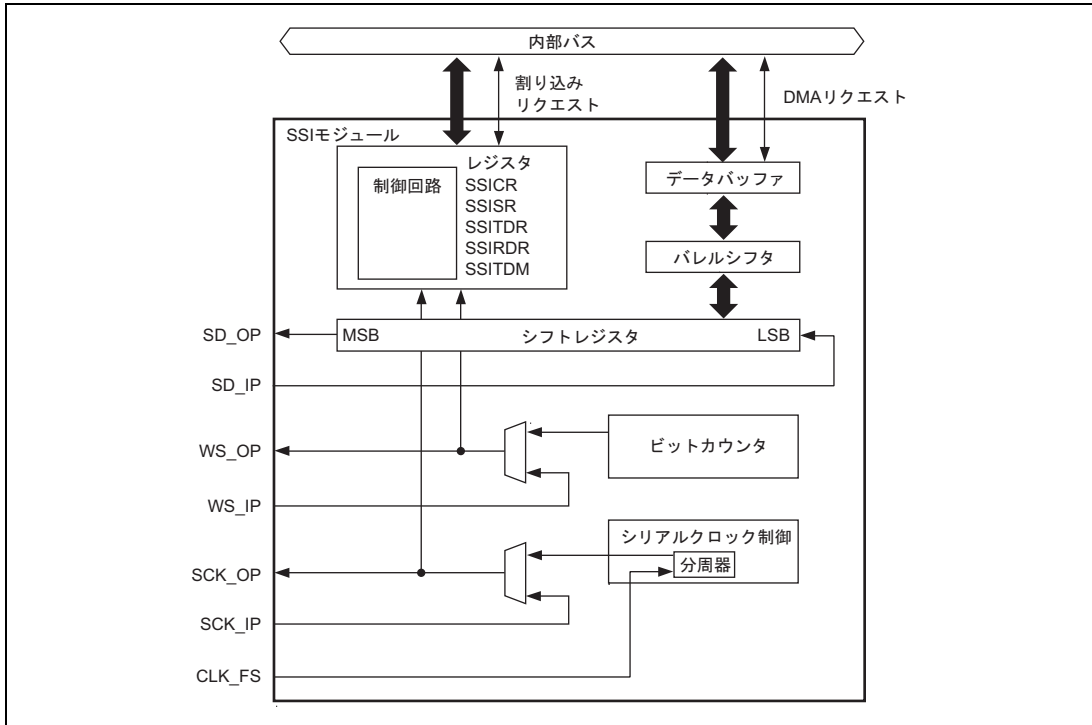


図 16A.1 SSI のブロック図

16A.2 レジスタの説明

SSIには以下のレジスタがあります。また本文中では、モジュールによる区別を省略して説明しています。

表 16A.1 (1) レジスタ構成

モジュール	名称	略称	R/W	アドレス	サイズ
0	コントロールレジスタ 0	SSICR0	R/W	H'FFE0 0000	32
	ステータスレジスタ 0	SSISR0	R/W*	H'FFE0 0004	32
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FFE0 0008	32
	レシーブデータレジスタ 0	SSIRDR0	R	H'FFE0 000C	32
	TDM モードレジスタ 0	SSITDM0	R/W	H'FFE0 0020	32
1	コントロールレジスタ 1	SSICR1	R/W	H'FFE1 0000	32
	ステータスレジスタ 1	SSISR1	R/W*	H'FFE1 0004	32
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FFE1 0008	32
	レシーブデータレジスタ 1	SSIRDR1	R	H'FFE1 000C	32
	TDM モードレジスタ 1	SSITDM1	R/W	H'FFE1 0020	32
2	コントロールレジスタ 2	SSICR2	W	H'FFE2 0000	32
	ステータスレジスタ 2	SSISR2	R/W*	H'FFE2 0004	32
	トランスミットデータレジスタ 2	SSITDR2	R/W	H'FFE2 0008	32
	レシーブデータレジスタ 2	SSIRDR2	R	H'FFE2 000C	32
	TDM モードレジスタ 2	SSITDM2	R/W	H'FFE2 0020	32
3	コントロールレジスタ 3	SSICR3	R/W	H'FFE3 0000	32
	ステータスレジスタ 3	SSISR3	R/W*	H'FFE3 0004	32
	トランスミットデータレジスタ 3	SSITDR3	R/W	H'FFE3 0008	32
	レシーブデータレジスタ 3	SSIRDR3	R	H'FFE3 000C	32
	TDM モードレジスタ 3	SSITDM3	R/W	H'FFE3 0020	32

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* 本レジスタの 26、27 ビットは読み出し／書き込み可能で、それ以外は読み出し専用です、詳細は、「16A.2.2 ステータスレジスタ (SSISRn) (n=0~3)」を参照してください。

表 16A.1 (2) 各処理状態におけるレジスタの状態

略称 (n はチャネル数)	初期値	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
SSICRn	H'00000000	初期化	初期化	保持	保持	保持	初期化
SSISRn	ビット 28/27/26/ 24/3/2=0、 ビット 1=1 (他は不定)	初期化	初期化	保持	保持	保持	初期化
SSITDRn	H'00000000	初期化	初期化	保持	保持	保持	初期化
SSIRDRn	H'00000000	初期化	初期化	保持	保持	保持	初期化
SSITDMn	H'00000000	初期化	初期化	保持	保持	保持	初期化

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

16A.2.1 コントロールレジスタ (SSICRn) (n=0~3)

SSICR は、読み出し／書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMEN	UIEN	OIEN	IEN	DIEN	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	BREN	CKDV[2:0]			MJEN	CPEN	TRMD	EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	0	R	リザーブビット 読み出し値は 0 です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可／禁止します。 0: DMA 要求を禁止 1: DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0: データ割り込みを禁止 1: データ割り込みを許可

ビット	ビット名	初期値	R/W	説明
23, 22	CHNL[1:0]	00	R/W	<p>チャンネル</p> <p>各システムワードのチャンネル数を示します。CPEN=1 のとき、これらのビットは無視されます。</p> <p>00 : 各システムワードは 1 チャンネルで構成されています。</p> <p>01 : 各システムワードは 2 チャンネルで構成されています。</p> <p>10 : 各システムワードは 3 チャンネルで構成されています。</p> <p>11 : 各システムワードは 4 チャンネルで構成されています。</p> <p>TDM モードレジスタの TDM=1 のときは、下記の設定に変わります。</p> <p>00 : 設定禁止</p> <p>01 : TDM フレームに対して 4 システムワードで構成されています。</p> <p>10 : TDM フレームに対して 6 システムワードで構成されています。</p> <p>11 : TDM フレームに対して 8 システムワードで構成されています。</p>
21~19	DWL[2:0]	000	R/W	<p>データワード長</p> <p>データワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。</p> <p>000 : 8 ビット</p> <p>001 : 16 ビット</p> <p>010 : 18 ビット</p> <p>011 : 20 ビット</p> <p>100 : 22 ビット</p> <p>101 : 24 ビット</p> <p>110 : 32 ビット</p> <p>111 : 設定禁止</p>
18~16	SWL[2:0]	000	R/W	<p>システムワード長</p> <p>システムワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。</p> <p>000 : 8 ビット</p> <p>001 : 16 ビット</p> <p>010 : 24 ビット</p> <p>011 : 32 ビット</p> <p>100 : 48 ビット</p> <p>101 : 64 ビット</p> <p>110 : 128 ビット</p> <p>111 : 256 ビット</p>

ビット	ビット名	初期値	R/W	説明															
15	SCKD	0	R/W	シリアルビットクロック方向 0: シリアルビットクロック入力、スレーブモード 1: シリアルビットクロック出力、マスターモード 【注】 非圧縮モード (CPEN=0) の場合、SSI0~2 は、(SCKD,SWSD)=(0,0) と(1,1)の設定のみ可能です。SSI3 は、(SCKD,SWSD)=(0,0)の設定のみ可能です。それ以外の設定は禁止です。															
14	SWSD	0	R/W	シリアル WS 方向 0: シリアルワード選択入力、スレーブモード 1: シリアルワード選択出力、マスターモード 【注】 非圧縮モード (CPEN=0) の場合、SSI0~2 は、(SCKD,SWSD)=(0,0) と(1,1)の設定のみ可能です。SSI3 は、(SCKD,SWSD)=(0,0)の設定のみ可能です。それ以外の設定は禁止です。															
13	SCKP	0	R/W	シリアルビットクロック極性 0: SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1: SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング)															
<table border="1"> <thead> <tr> <th></th> <th>SCKP=0</th> <th>SCKP=1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD=1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスターモード時 (SWSD=1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>						SCKP=0	SCKP=1	受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 (TRMD=1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスターモード時 (SWSD=1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP=0	SCKP=1																	
受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 (TRMD=1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスターモード時 (SWSD=1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	

ビット	ビット名	初期値	R/W	説明
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>このビットの機能は SSI モジュールが非圧縮モードか圧縮モードであるかによって異なります。</p> <p>[CPEN=0 (非圧縮モード) のとき]</p> <p>0: SSI_WS は第 1 チャネルではローレベル、第 2 チャネルではハイレベル</p> <p>1: SSI_WS は第 1 チャネルではハイレベル、第 2 チャネルではローレベル</p> <p>[CPEN=1 (圧縮モード) のとき]</p> <p>0: SSI_WS はアクティブハイフロー制御。WS がハイレベルのときデータは転送され、WS がローレベルのときデータは転送されません。</p> <p>1: SSI_WS はアクティブローフロー制御。WS がローレベルのときデータは転送され、WS がハイレベルのときデータは転送されません。</p> <p>TDM モードレジスタの TDM=1 のときは、このビットは 0 にセットしてください。SYNC パルスはシステムワード 1 の区間のみハイレベル、それ以外はローレベルでのみ動作します。</p> <p>【注】 EN=1 のときに変更しないでください。</p>
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>CPEN=1 のとき、このビットは無視されます。</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>MUEN=1 のとき、パディングビットはローレベルになります。(MUTE 機能が優先されます)</p>
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>CPEN=1 のとき、このビットは無視されます。</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>CPEN=1 のとき、このビットは無視されます。データワード長が 32、16、8 ビットのとき、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0: パラレルデータ (SSITDR、SSIRDR) を左詰め 1: パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL=000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL=001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32-DWL によって設定されたデータワード長のビット数) つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるかりザービットになります。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL によって設定されたデータワード長のビット数-1) ~ビット 0 つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるかりザービットになります。 • DWL=110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0: SSI_WS と SSI_SDATA 間で 1 クロックサイクルの遅延 1: SSI_WS と SSI_SDATA 間の遅延なし</p> <p>CPEN=1 のとき、このビットは 1 にセットしてください。</p>

ビット	ビット名	初期値	R/W	説明
7	BREN	0	R/W	<p>バーストモードイネーブル</p> <p>0: バーストモードを禁止</p> <p>1: バーストモードを許可</p> <p>CPEN=0 のとき、このビットは 0 にセットしてください。</p> <p>バーストモードは圧縮モード (CPEN=1) のみ使用可能です。バーストモードが許可されているとき、SSI_SCK 信号は出力制御されます。SSI_SDATA に有効なシリアルデータが出力されている期間中のみクロックパルスを出力します。</p>
6~4	CKDV[2:0]	000	R/W	<p>シリアルオーバサンプルクロック分周比</p> <p>オーバサンプルクロック CLK_FS とシリアルビットクロックの分周比を設定します。SCKD=0 のとき、このビットは無視されます。</p> <p>シリアルビットクロックはシフトレジスタで使われ、SSI_SCK 端子から供給されます。</p> <p>000: シリアルビットクロック周波数=オーバサンプルクロック周波数/1</p> <p>001: シリアルビットクロック周波数=オーバサンプルクロック周波数/2</p> <p>010: シリアルビットクロック周波数=オーバサンプルクロック周波数/4</p> <p>011: シリアルビットクロック周波数=オーバサンプルクロック周波数/8</p> <p>100: シリアルビットクロック周波数=オーバサンプルクロック周波数/16</p> <p>101: シリアルビットクロック周波数=オーバサンプルクロック周波数/6</p> <p>110: シリアルビットクロック周波数=オーバサンプルクロック周波数/12</p> <p>111: 設定禁止</p> <p>なお、TDM モードレジスタの TDM=1 または CONT=1 の場合は、CKDV=000 の設定は使用できません。</p>
3	MUEN	0	R/W	<p>シリアルデータ出力ディセーブルビット</p> <p>0: SSI モジュールはミュート状態でない</p> <p>1: SSI モジュールはミュート状態</p> <p>【注】 本ビットは、出力を停止 (Low 出力) または、出力を許可することができませんが、SSI_WS 信号の変化には同期していません。</p>
2	CPEN	0	R/W	<p>圧縮モードイネーブル</p> <p>0: 圧縮モードを禁止</p> <p>1: 圧縮モードを許可</p> <p>【注】 圧縮モード (CPEN=1) の場合、スレーブトランスミッタ (SWSD=0 かつ TRMD=1) 以外の動作でご使用ください。</p>

ビット	ビット名	初期値	R/W	説明
1	TRMD	0	R/W	送信/受信モード選択 0: SSI モジュールは受信モード 1: SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0: SSI モジュール動作を禁止 1: SSI モジュール動作を許可

16A.2.2 ステータスレジスタ (SSISRn) (n=0~3)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	—	—	—	—	—	—	—	—
初期値:	—	—	—	0	0	0	—	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/WC0	R/WC0	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CHNO[1:0]	SWNO	IDST	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	0	0	1	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	—	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD=0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ=1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の未読データがくるまで DMRQ=0 になります。 [TRMD=1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ=1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ=0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/WC0	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ=1 かつ UIEN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>UIRQ=1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>UIRQ=1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/WC0	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ=1 かつ OIEN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>OIRQ=1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>OIRQ=1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	—	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>アイドル状態とは、SSI モジュール起動した後、シリアルバスが停止した状態をいいます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>I IRQ=1 かつ I IEN=1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しか書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>D I RQ=1 かつ D I EN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求していません</p>
23~4	—	—	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3, 2	CHNO[1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。なお、データワード長が8、16ビットの場合は、このビットは意味を持ちません。</p> <p>00 : 1 チャンネル 01 : 2 チャンネル 10 : 3 チャンネル 11 : 4 チャンネル</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p> <p>なお、TDM モードレジスタの TDM=1 または CONT=1 の場合は、本ビットは使用できません。</p>
1	SWNO	1	R	<p>シリアルワード番号</p> <p>現在のワード番号を示します。なお、データワード長が8、16ビットの場合は、このビットは意味を持ちません。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p> <p>なお、TDM モードレジスタの TDM=1 または CONT=1 の場合は、本ビットは使用できません。</p>

ビット	ビット名	初期値	R/W	説明
0	IDST	—	R	<p>アイドルモードステータスフラグ</p> <p>本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN=1かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に1にセットされます。</p> <p>[SSIがマスタトランスミッタ (SWSD=1かつTRMD=1) のとき]</p> <p>ENビットがクリアされ、SSITDRに書き込まれているデータがシリアルデータ入出力端子 (SSI_SDATA) から出力を完了すると、このビットは1にセットされます。</p> <p>[SSIがマスタレシーバ (SWSD=1かつTRMD=0) のとき]</p> <p>ENビットがクリアされ、現在のシステムワードが終了すると、このビットは1にセットされます。</p> <p>[SSIがスレーブトランスミッタ/レシーバ (SWSD=0) のとき]</p> <p>ENビットがクリアされ、現在のシステムワードが終了すると、このビットは1にセットされます。</p> <p>【注】 現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

16A.2.3 トランスミットデータレジスタ (SSITDRn) (n=0~3)

SSITDRは、32ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が32ビット未満のとき、アラインメントはSSICRのPDTAコントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
ビット:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16A.2.4 レシーブデータレジスタ (SSIRDRn) (n=0~3)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16A.2.5 TDM モードレジスタ (SSITDM)

SSITDM は、読み出し/書き込み可能な 32 ビットのレジスタで、TDM モードの設定、WS コンティニューモードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出し値は 0 です。書き込む値は常に 0 にしてください。
8	CONT	0	R/W	WS コンティニューモード 0 : WS コンティニューモードを禁止 1 : WS コンティニューモードを許可 【注】非圧縮モード (SSICR.CPEN=0) でかつ、マスターモード (SSICR.SCKD=1、SSICR.SWSD=1) の場合のみ設定可能です。
7~1	—	すべて 0	R	リザーブビット 読み出し値は 0 です。書き込む値は常に 0 にしてください。
0	TDM	0	R/W	TDM モード 0 : TDM モードを禁止 1 : TDM モードを許可

16A.3 動作説明

16A.3.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 16A.2 に示す 11 の主要なモードから選択できます。

表 16A.2 SSI モジュールのバスフォーマット

	TRMD	CPEN	SCKD	SWSD	EN	MUEN	DIEN	IEN	OEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]	TDM	CONT	
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット						コンフィギュレーションビット						0	0/1				
非圧縮スレーブトランスミッタ	1	0	0	0																		
非圧縮マスタレシーバ	0	0	1	1																		
非圧縮マスタトランスミッタ	1	0	1	1																		
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット						1	無視されます	コンフィギュレーションビット	無視されます							0	
圧縮マスタレシーバ	0	1	0/1	1																		
圧縮マスタトランスミッタ	1	1	0/1	1																		
TDM スレーブレシーバ	0	0	0	0	コントロールビット						コンフィギュレーションビット						0	コンフィギュレーションビット	1	0/1		
TDM スレーブトランスミッタ	1	0	0	0																		
TDM マスタレシーバ	0	0	1	1																		
TDM マスタトランスミッタ	1	0	1	1																		

16A.3.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は CLK_FS 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は CLK_FS 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定 (ワード長関連)

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

1. Philipsフォーマット

図 16A.2、図 16A.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

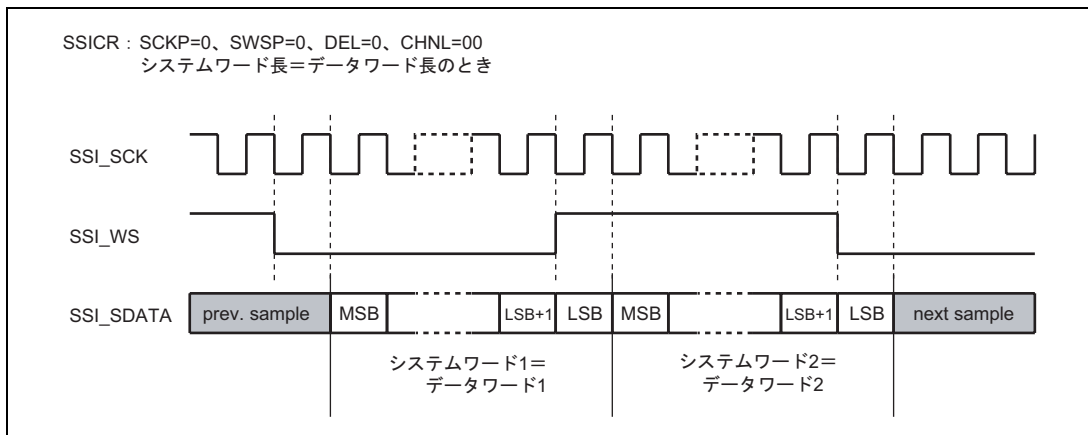


図 16A.2 Philips フォーマット (パディングなし)

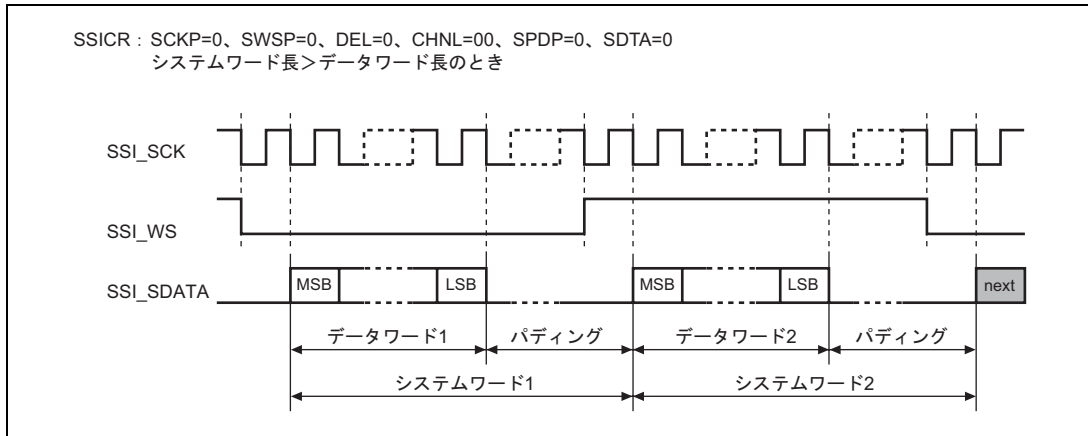


図 16A.3 Philips フォーマット (パディングあり)

図 16A.4 に Sony フォーマットを、図 16A.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

2. Sonyフォーマット

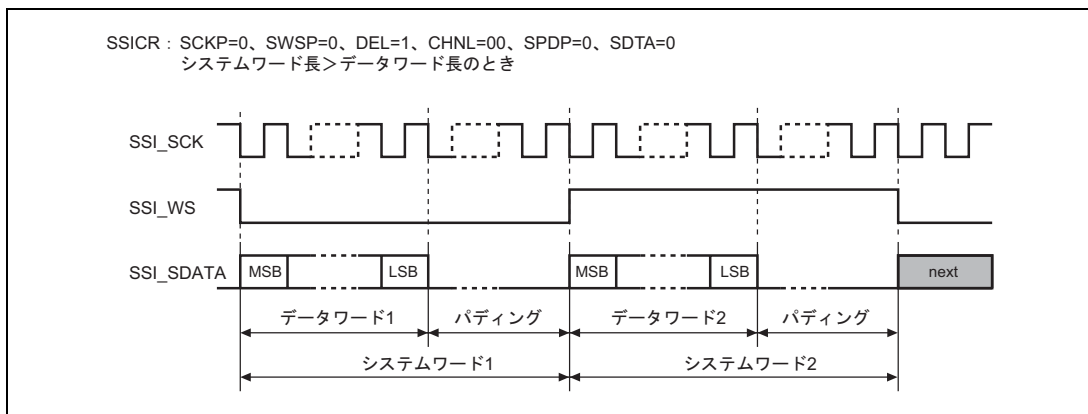


図 16A.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

3. 松下フォーマット

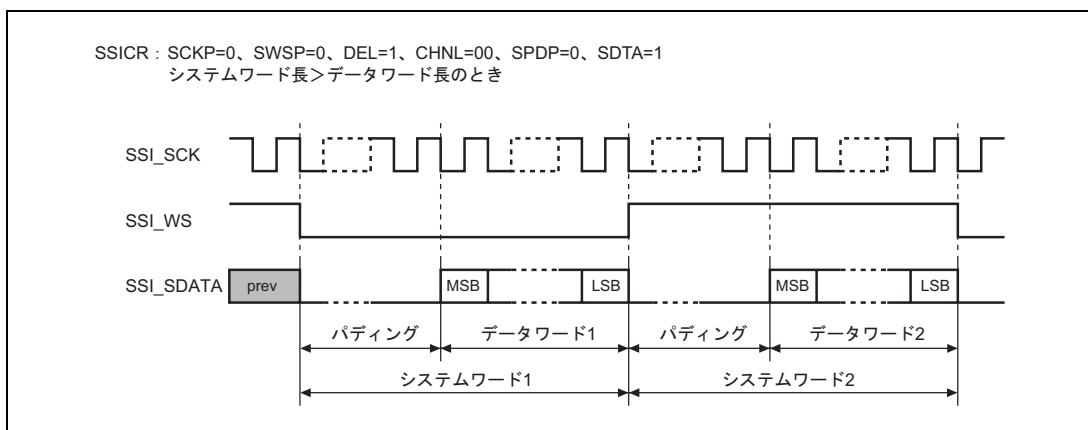


図 16A.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

Philips 仕様の定義を拡張し、2システムワード中に2より多いチャンネルの転送を行うデバイスタイプもあります。SSI モジュールは、CHNL、SWL および DWL ビットを使って、2、3、および4チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 16A.3 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 16A.3 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2 : 0]	000	001	010	011	100	101	110
CHNL [1 : 0]	システムワードごとに デコードされるチャンネル	SWL [2 : 0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 16A.6～図 16A.8 に、2、3 および 4 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 16A.6 はパディングビットがない場合、図 16A.7 は左詰めの場合、図 16A.8 は右詰めの場合を示します。これらの例は、すべて任意の例です。

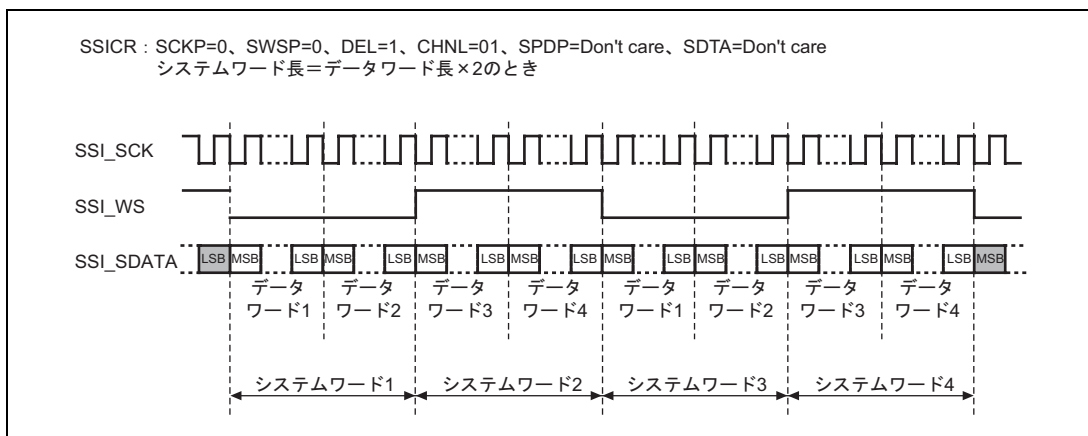


図 16A.6 マルチチャンネルフォーマット (2 チャンネル、パディングなし)

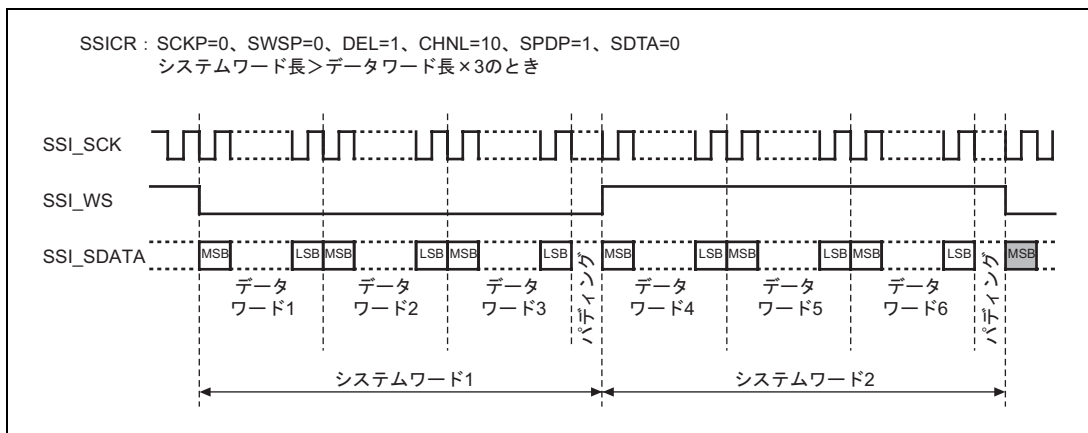


図 16A.7 マルチチャンネルフォーマット (3 チャンネル、High パディング)

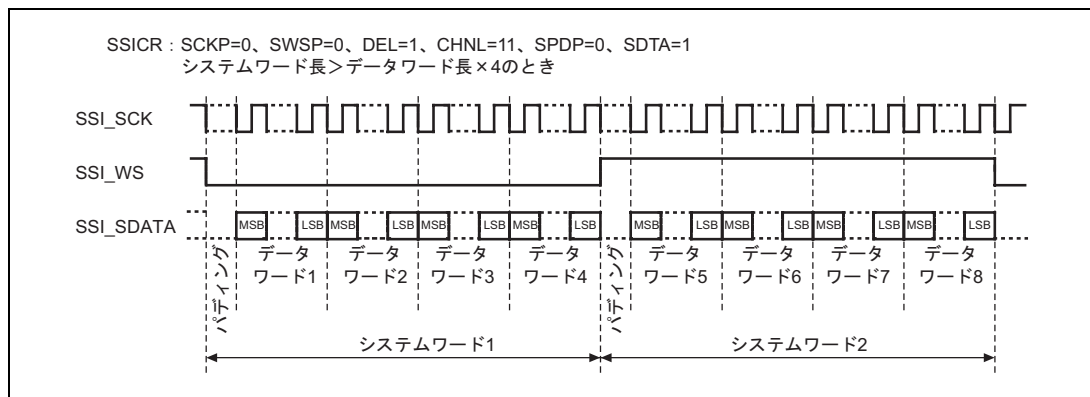


図 16A.8 マルチチャンネルフォーマット

(4チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 16A.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

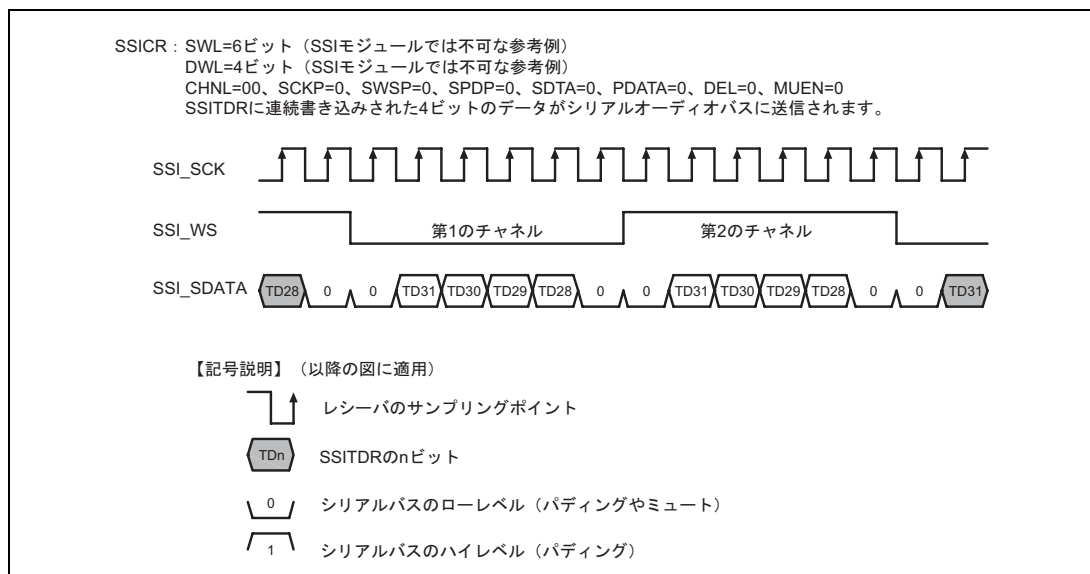


図 16A.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 16A.9 の例では、6ビットのシステムワードと4ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

1. 反転クロック

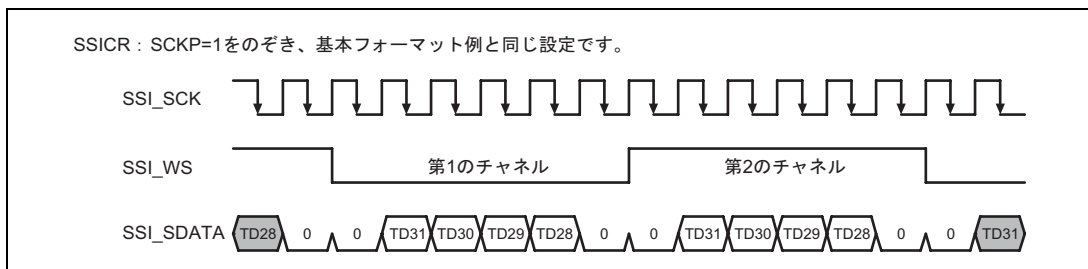


図 16A.10 反転クロック

2. 反転ワード選択信号

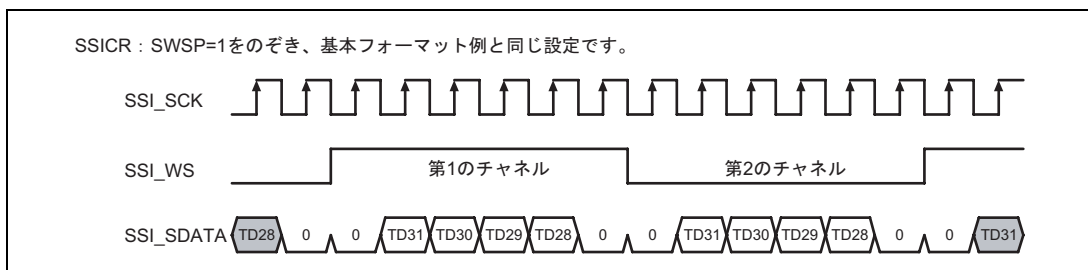


図 16A.11 反転ワード選択信号

3. 反転パディング極性

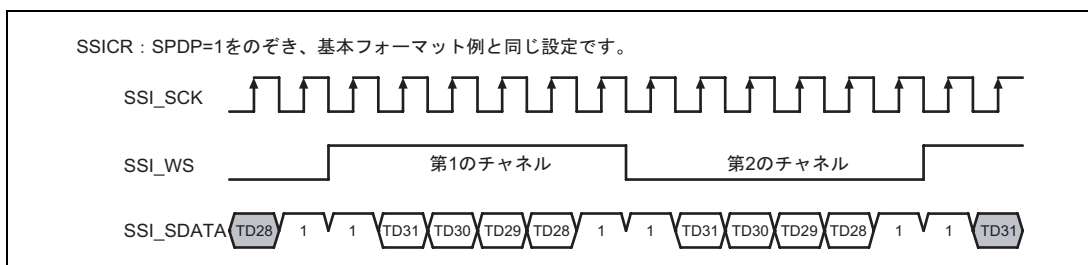


図 16A.12 反転パディング極性

4. パディングビット、シリアルデータの順に送受信、遅延あり

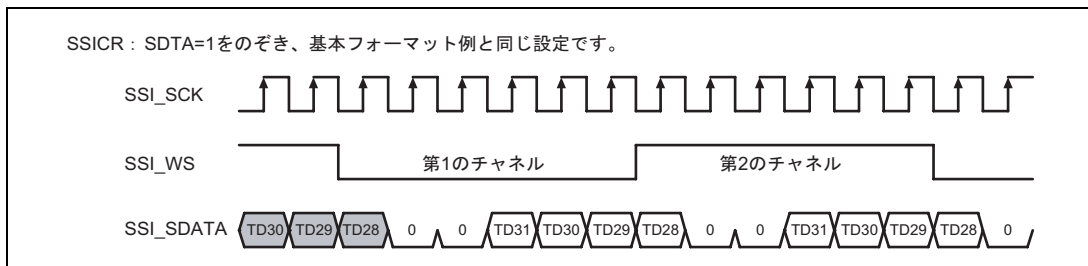


図 16A.13 パディングビット、シリアルデータの順に送受信、遅延あり

5. パディングビット、シリアルデータの順に送受信、遅延なし

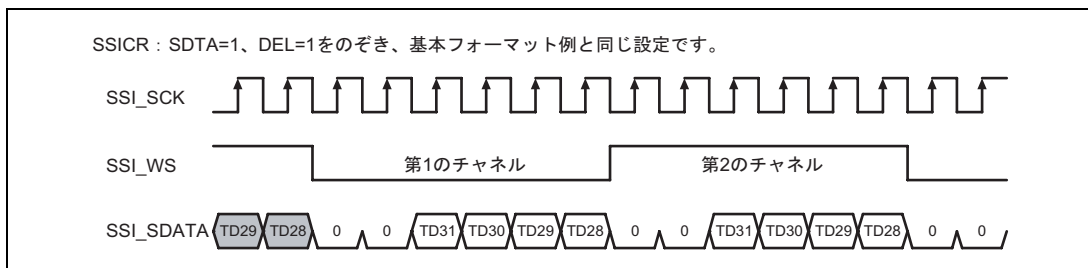


図 16A.14 パディングビット、シリアルデータの順に送受信、遅延なし

6. シリアルデータ、パディングビットの順に送受信、遅延なし

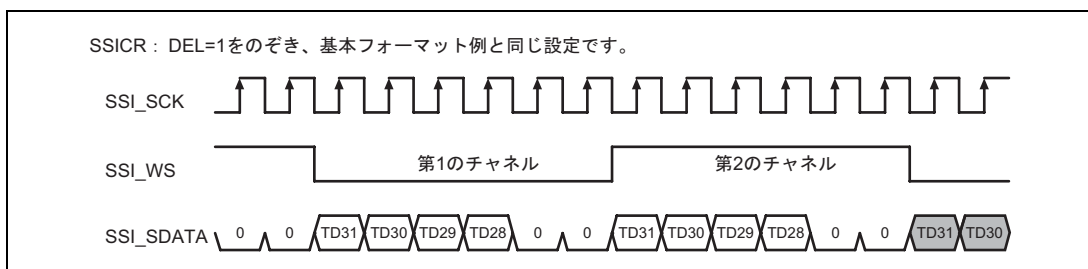


図 16A.15 シリアルデータ、パディングビットの順に送受信、遅延なし

7. パラレルデータの右詰め、遅延あり

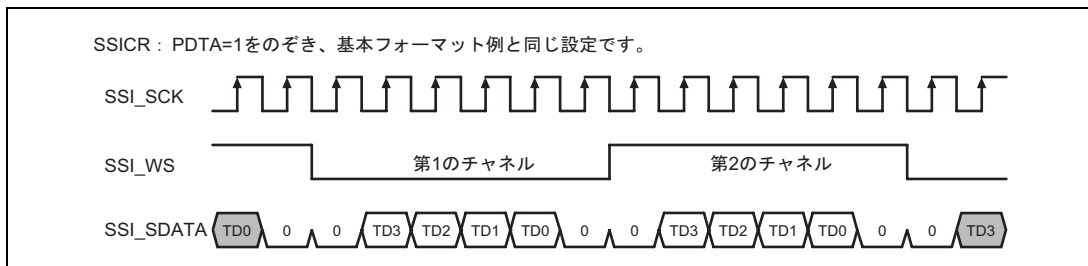


図 16A.16 パラレルデータの右詰め、遅延あり

8. ミュート有効

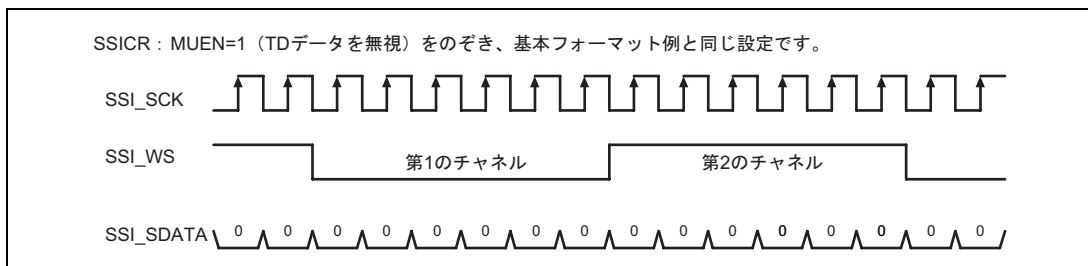


図 16A.17 ミュート有効

16A.3.3 圧縮モード

圧縮モードは、連続ビットストリームの転送に使用されます。このモードでは、受信側で圧縮されたビットストリームからデータを抽出する操作を必要とします。

ストリームモード（バーストモード無効）のとき、データワードという概念は存在しません。しかし、送信と受信を行うには、シリアルバスとメモリ間の転送が必要です。送信/受信時のワードバウンダリ設定は任意ですので、別の手段で処理しなくてはなりません。バーストモード有効時、送信されているデータビットは、出力するワードが存在するときのみシリアルビットクロック出力が有効であり、各 32 ビットワードを出力するのに必要なクロックパルス数しか生成されないことで認識されます。シリアルビットクロックは、SSICR.SCKP=0 のときローレベル、SSICR.SCKP=1 のときハイレベルで停止します。SSI モジュールがトランスミッタの場合にのみバーストモードは有効になるので注意してください。このモジュールはバーストモードデータを受信できません。

データの送信と受信は 32 ビットのブロック単位で行われ、メモリに保存する際には、最初に送信された/受信したビットがビット 31 になります。

非圧縮モードと違って、このモードでのワード選択端子からの出力はシステムワード開始信号ではなく、レシーバが次のデータバーストを受信できる状態にあることやトランスミッタが次のデータバーストを送信できる状態にあることを示すのに使用されます。

図 16A.18、図 16A.19 では、バーストモード無効時と有効時の圧縮モードデータ転送をそれぞれ示します。

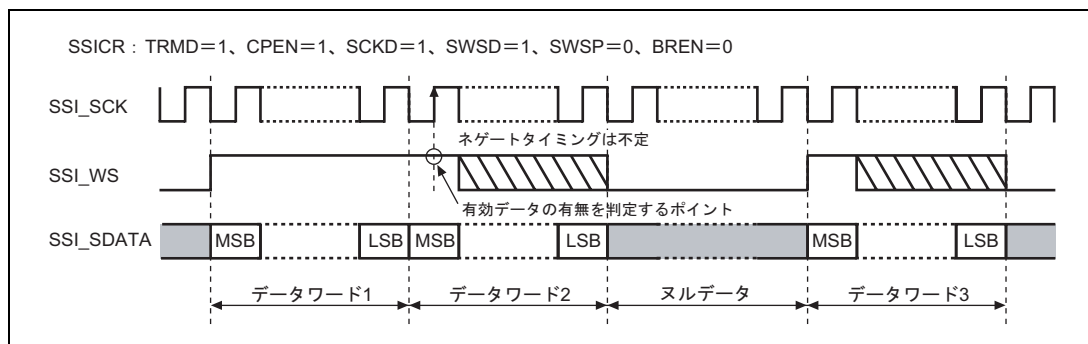


図 16A.18 圧縮データフォーマット、マスタトランスミッタ、バーストモード無効

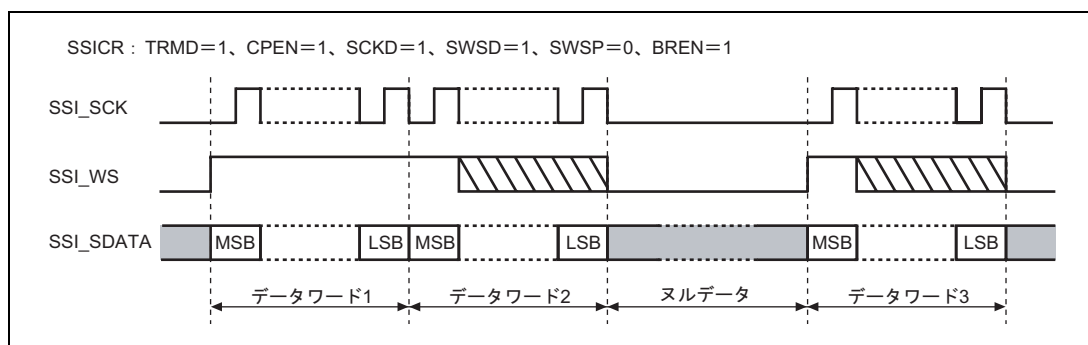


図 16A.19 圧縮データフォーマット、マスタトランスミッタ、バーストモード有効

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は入力フロー制御に使われます。SSICR.SWSP=0 のとき、SSI_WS がハイレベルなら、1 クロックサイクルに 1 データビットのタイミングで、32 ビットのブロック単位でビットストリームを受信します。SSI_WS がローレベルになった場合、現在の 32 ビットブロックが終了した時点で受信を停止します。SSI_WS が再びハイレベルになったときに受信を再開します。

(2) スレーブトランスミッタ

このモードは、使用しないでください。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて受信できることを示すために、ワード選択端子は常にアサートされています。データの損失が起きないタイミングで SSI モジュールにデータを送信するのは送信デバイスの責任です。

(4) マスタトランスミッタ

このモードでは、メモリから別のデバイスにシリアルビットストリームを転送できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて送信することを示すために、ワード選択端子は常にアサートされています。ただし、ワード選択端子は最初のワードの転送準備ができるまではアサートされません。データの損失が起きないタイミングでシリアルデータを受信するのは受信デバイスの責任です。

データ転送用にコンフィギュレーションが終了したら、SSI モジュールは最小限の CPU とのやりとりで動作できます。CPU は、SSI モジュールと DMAC の設定をし、必要に応じてオーバフローやアンダフロー割り込みを処理します。

16A.3.4 TDM モード

TDM モードは、TDM 対応のマルチチャネル・デバイスと接続するためのモードです。このモードは TDM モードレジスタ (SSITDM) の TDM ビットにて設定できます。このモードに設定すると、SSI_WS 信号はシステムワード 1 の区間のみ High レベルとなり、それ以外の区間は Low レベルになります。この SSI_WS 信号に発生するパルスを SYNC パルスと定義します。なお、SYNC パルスは、正極性 (システムワード 1 の区間のみ High レベル) のみで動作します。

図 16A.20 にパディングなしの TDM フォーマットと図 16A.21 にパディングありの TDM フォーマットを示します。

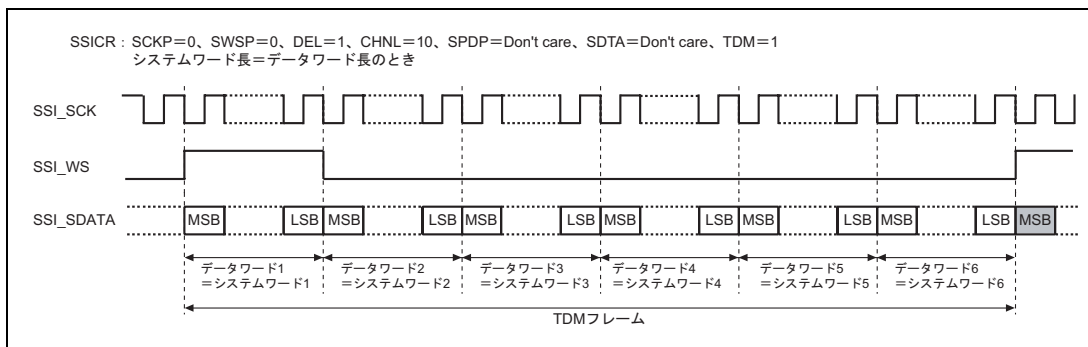


図 16A.20 TDM フォーマット (6 システムワード、パディングなし)

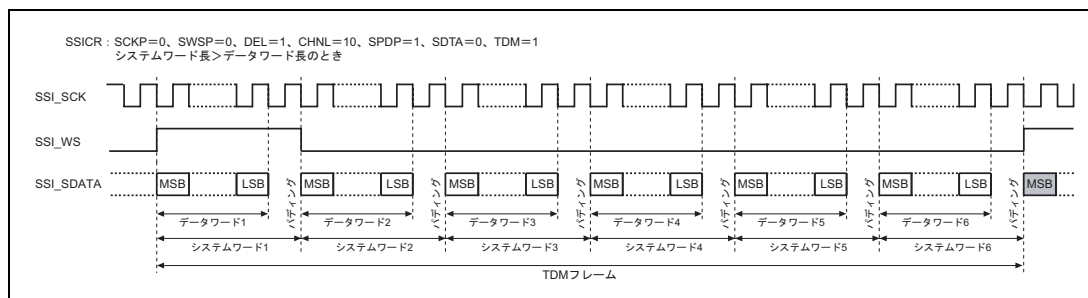


図 16A.21 TDM フォーマット (6 システムワード、パディングあり)

下記に、各モードにおける動作を説明します。

(1) マスタトランスミッタ

- 転送開始の合図 (コントロールレジスタのENビットを1に設定) により、SYNCパルスに同期して送信データをシステムワード1より送信します。
- 転送停止の合図 (コントロールレジスタのENビットを0に設定) により、転送中のシステムワードが終了次第、送信は停止されSDATA信号はSSIICR.SPDPの設定値 (もしSPDP=0ならLow出力) に従い出力します。

送信中に SSI モジュール内で送信すべきデータが準備できていないと、アンダフローが発生します。アンダフローが発生した場合は、SYNC パルスに出力すべきデータが判別できなくなるため、一度転送は停止し、再度転送の準備を行ってください。

(2) マスタレシーバ

- 転送開始の合図 (コントロールレジスタのENビットを1に設定) により、SSIモジュールがSYNCパルスを認識した時点よりシステムワード1のデータの受信を開始します。
- 転送の停止の合図 (コントロールレジスタのENビットを0に設定) により、転送中のシステムワードが終了次第、データ受信を停止します。

レシーブデータレジスタにデータがない状態で、読み出さないでください。読み出した場合、アンダフローが発生します。アンダフローが発生した場合は、一度転送は停止し、再度転送の準備を行ってください。

レシーブデータレジスタは次のデータが上書きされることなく読み出してください。上書きされると、オーバフローが発生します。オーバフローが発生した場合は、一度転送は停止し、再度転送の準備を行ってください。

(3) スレーブトランスミッタ

- 転送開始の合図 (コントロールレジスタのENビットを1に設定) により、SYNCパルスに同期して送信データをシステムワード1より送信します。
- 転送の停止の合図 (コントロールレジスタのENビットを0に設定) により、転送中のシステムワードが終了次第、送信は停止されSDATA信号はSSIICR.SPDPの設定値 (もしSPDP=0ならLow出力) に従い出力します。

送信中に SSI モジュール内で送信すべきデータが準備できていないと、アンダフローが発生します。アンダフローが発生した場合は、SYNC パルスに出力すべきデータが判別できなくなるため、一度転送は停止し、再度転送の準備を行ってください。

転送中に、SCK 信号と SYNC パルスが SSI モジュールに供給されないと転送できなくなりますので注意してください。

(4) スレープレシーバ

- 転送開始の合図（コントロールレジスタのENビットを1に設定）により、SSIモジュールがSYNCパルスを認識した時点よりシステムワード1のデータの受信を開始します。
- 転送の停止の合図（コントロールレジスタのENビットを0に設定）により、転送中のシステムワードが終了次第、データ受信を停止します。

レシーブデータレジスタにデータがない状態で、読み出さないでください。読み出した場合、アンダフローが発生します。アンダフローが発生した場合は、一度転送は停止し、再度転送の準備を行ってください。

レシーブデータレジスタは次のデータが上書きされることなく読み出してください。上書きされると、オーバフローが発生します。オーバフローが発生した場合は、一度転送は停止し、再度転送の準備を行ってください。

転送中に、SCK 信号と SYNC パルスが SSI モジュールに供給されないと転送できなくなりますので注意してください。

16A.3.5 WS コンティニューモード

WS コンティニューモードは、データ転送の許可/禁止に関係なく SSI_WS 信号を出力し続けるモードです。このモードは TDM モードレジスタ (SSITDM) の CONT ビットにて設定できます。このモードは非圧縮モードと TDM モードに対応しています。このモードを許可すると、SSICR.EN ビットを 0 に設定（転送停止）しても SSI_WS 信号は停止せず動作し続けます。一方、このモードを禁止すると、SSICR.EN ビットに同期して SSI_WS 信号が動作します。

図 16A.22、図 16A.23 に WS コンティニューモードの許可/禁止設定の動作を示します。

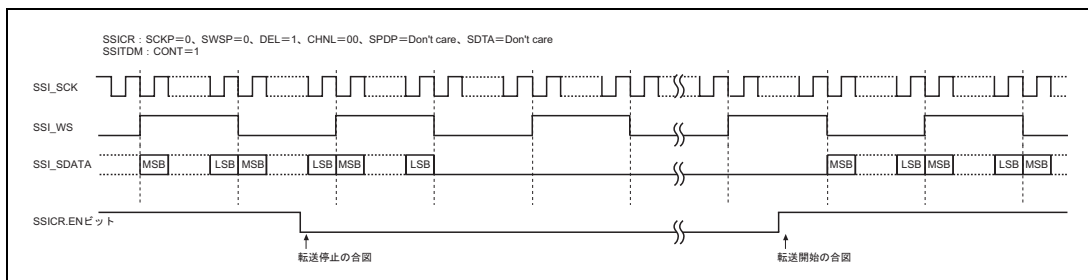


図 16A.22 WS コンティニューモード（モードの許可設定時）

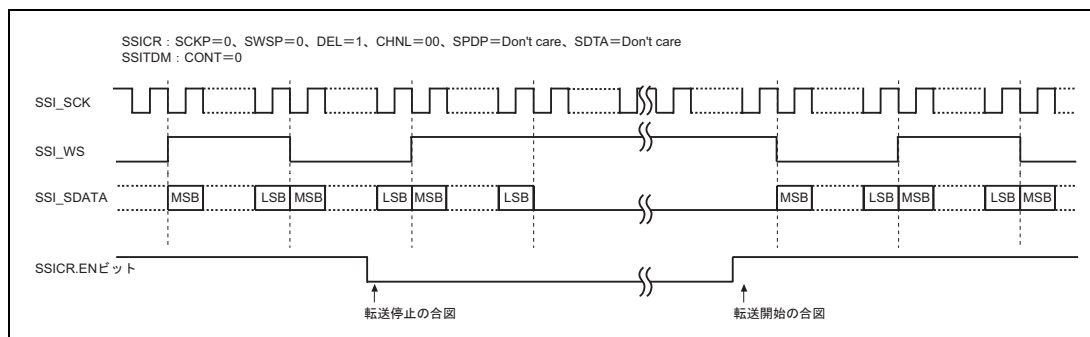


図 16A.23 WS コンティニューモード (モードの禁止設定時)

16A.3.6 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 16A.24 に動作モードの遷移図を示します。

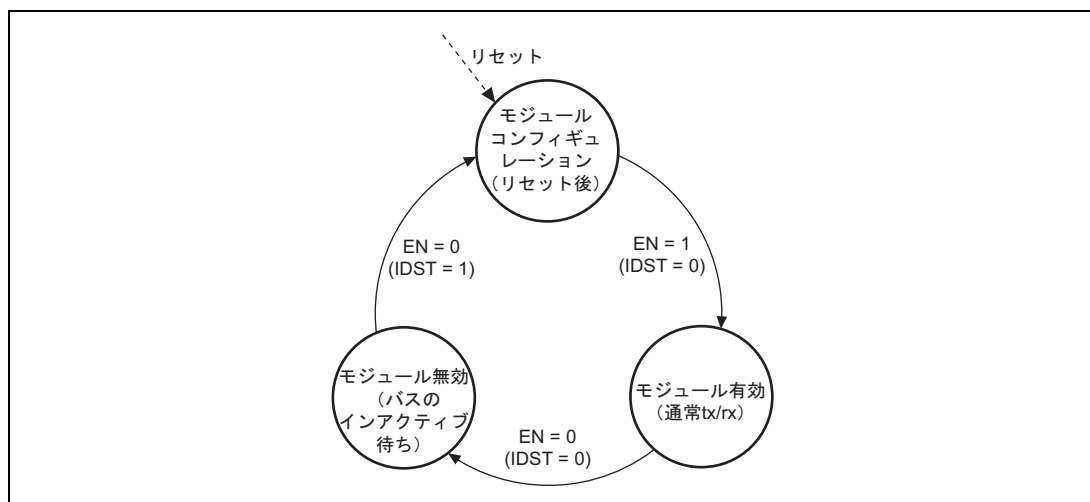


図 16A.24 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「16A.3.7 送信動作」と「16A.3.8 受信動作」を参照してください。

16A.3.7 送信動作

送信は DMA か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバーフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、SSISR.IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 16A.25 に DMA 制御モードの送信動作を、図 16A.26 に割り込み制御モードの送信動作を示します。

- 【注】 * SCKD=0 のとき SSI_SCK 端子からの入力クロック
SCKD=1 のとき CLK_FS 端子からの入力クロック

(1) DMA コントローラを使用した送信

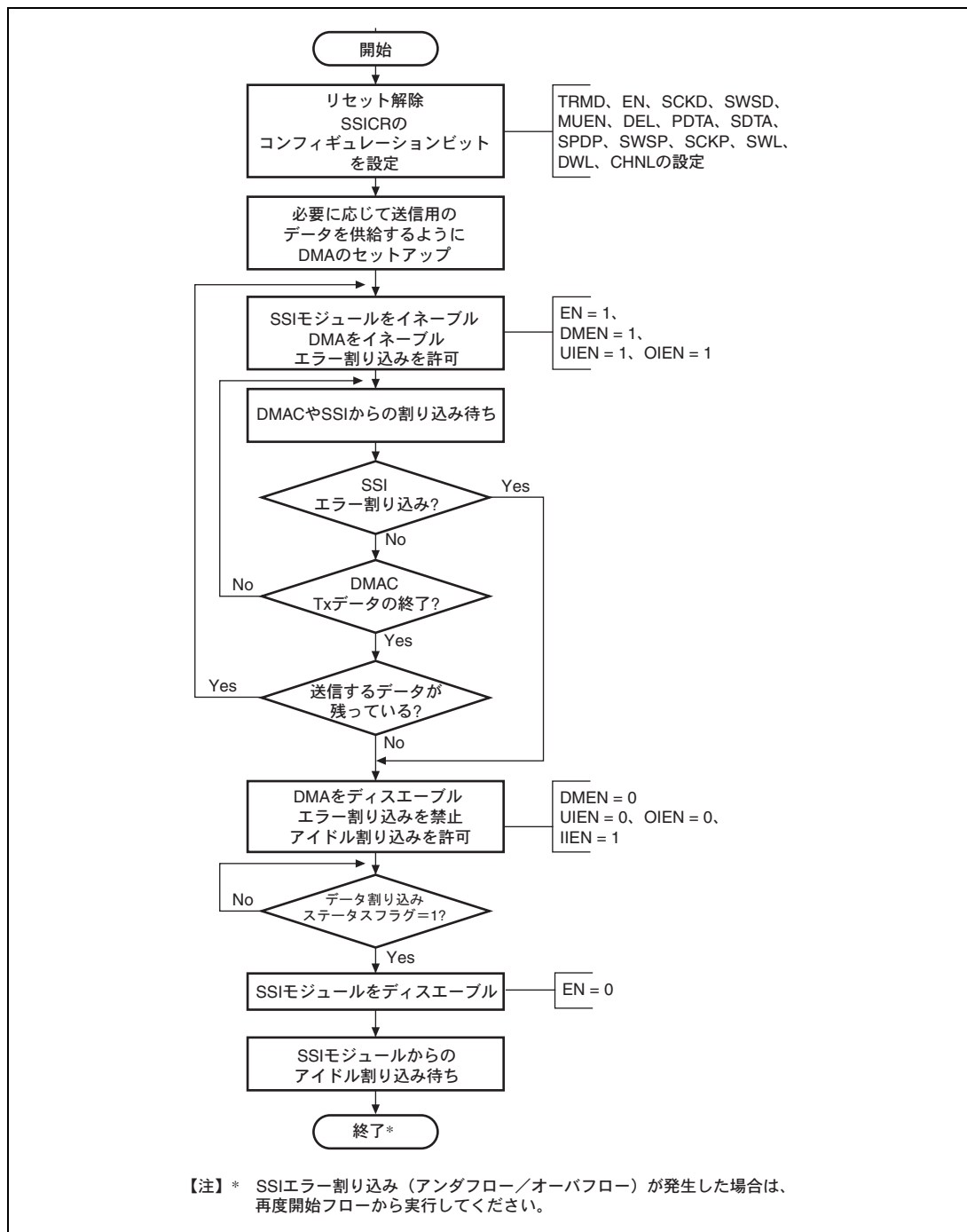


図 16A.25 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

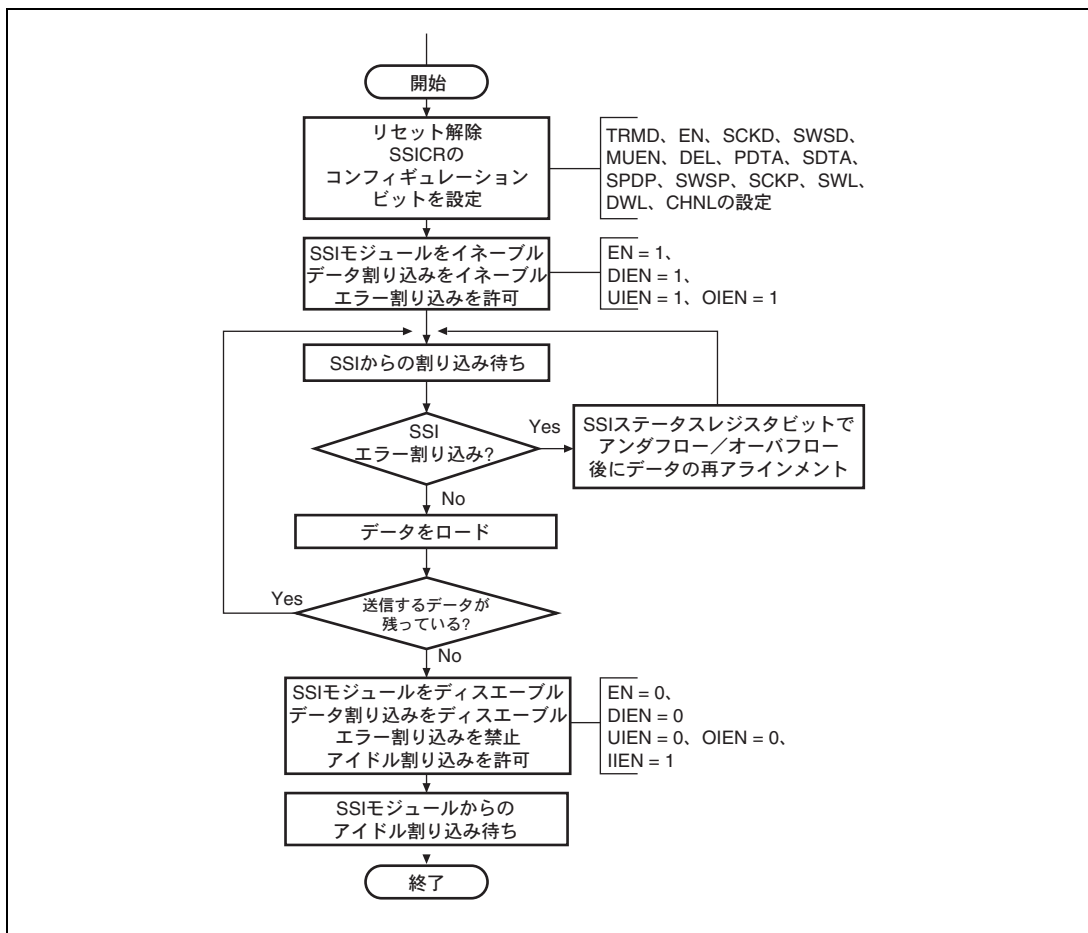


図 16A.26 割り込みデータフロー制御を使用した送信

16A.3.8 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 16A.27、図 16A.28 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、SSISR.IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD=0 のとき SSI_SCK 端子からの入力クロック
SCKD=1 のとき CLK_FS 端子からの入力クロック

(1) DMA コントローラを使用した受信

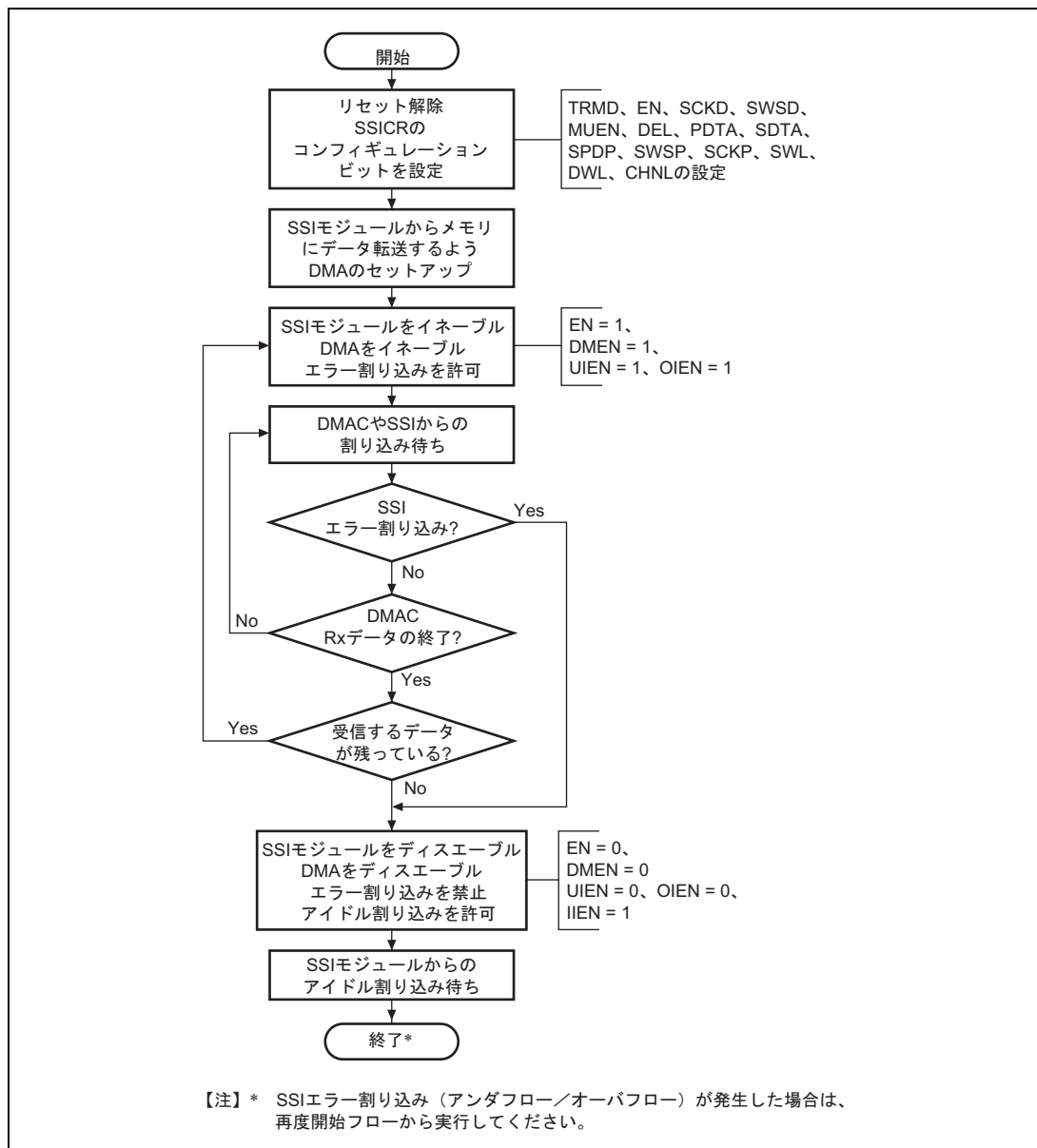


図 16A.27 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

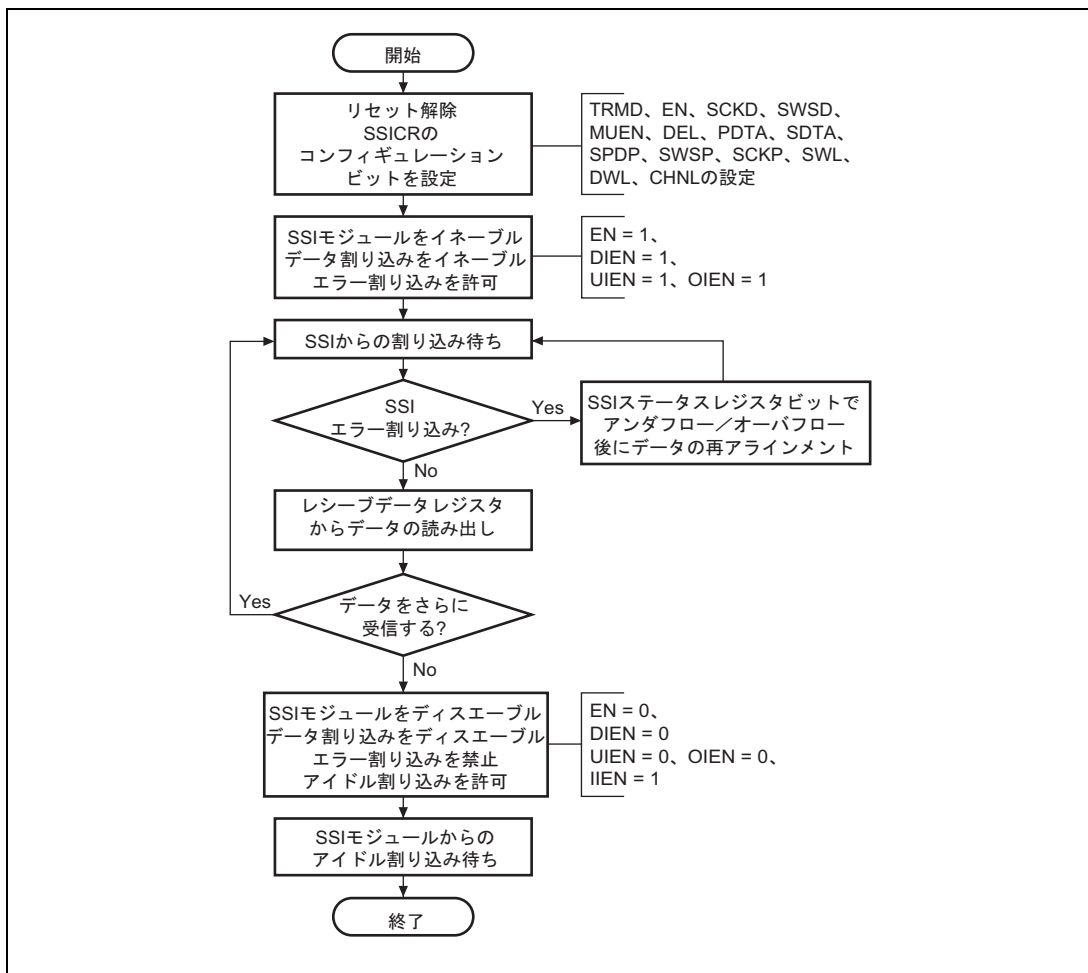


図 16A.28 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、SSISR.CHNO[1:0]ビットと SSISR.SWNO ビットを使って SSI モジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホスト CPU はチャネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSI モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSI モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

16A.3.9 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SSICR.SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSI_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SSICR.SCKD=1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックは CLK_FS 入力端子から入力されたクロックまたはそれを分周したクロックです。CLK_FS 端子から入力されたクロックは、SSICR のシリアルオーバーサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われま

す。

上記のいずれの場合でも、SSI_SCK 端子の出力はビットクロックと同じになります。

16A.4 使用上の注意事項

16A.4.1 受信 DMA 動作中にオーバフローが起こった場合の制限事項

受信 DMA 動作中にオーバフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~0) が 32 ビットの設定で、システムワード長 (SWL2~0) が 32 ビットの設定の場合、オーバフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバフローエラー割り込みまたはオーバフローエラーステータスフラグ (SSISR.OIRQ) によりオーバフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (このとき DMA コントローラの設定も停止させてください)。その後、SSISR.OIRQ ビットに 0 を書き込み、オーバフלוーステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

16A.4.2 SSI2 と SSI3 の端子兼用化に伴うモード設定の組み合わせと制限事項

表 16A.4 に SSI2 と SSI3 の使用可能な動作モードの組み合わせを示します。動作モードは、SSI2 と SSI3 のコントロールレジスタ (SSICR) にて設定を行ってください。

表 16A.4 SSI2 と SSI3 の使用可能な動作モードの組み合わせ

No	動作モード		外部デバイスの動作モード		機能
	SSI2	SSI3	SSI2 側	SSI3 側	
1	slave	slave	master	slave	入力される SSI_W23 と SSI_SCK23 に同期して SSI2 と SSI3 が動作します。
			slave	master	
			slave	slave	
2	master	slave	slave	slave	SSI2 の WS と SCK に同期して SSI3 と外部デバイスが動作します。
3	slave	master	-	-	設定禁止
4	master	master	-	-	設定禁止

表 16A.4 の動作モードの組み合わせにおいて、下記の制限事項があります。

- 表 16A.4 の No1 の設定を行う場合、SSI2 と SSI3 のどちらかがデータ転送を開始する前に SSI_WS23 と SSI_SCK23 を入力しておく必要があります。
- 表 16A.4 の No2 の設定を行う場合、master 側である SSI2 を先に転送動作を開始し、SSI_WS23 と SSI_SCK23 を出力した状態で slave 側である SSI3 を使用してください。また、master 側の転送動作を停止すると SSI_WS23 が出力されませんので slave 側である SSI3 も停止してください。

16A.4.3 スレーブモードで動作させる場合の制限事項

本 LSI をスレーブモードで使用される場合において、データ転送を終了する際には、入力するワード選択信号 (SSI_WS) が停止する前に本 LSI のデータ転送を終了 (SSICR.EN=0) してください。

スレーブモードの場合、SSICR.EN がクリア (転送停止の設定) され、ワード選択信号 (SSI_WS) の立ち下がりがエッジを検出することでデータ転送を終了する構成になっています。入力するワード選択信号が停止するとワード選択信号の立ち下がりがエッジを検出できなくなり、データ転送が正常に終了できなくなります。

16A.4.4 設定変更時の制限事項

コントロールレジスタ (SSICR) のコンフィギュレーションビットと TDM モードレジスタ (SSITDM) の設定を切り替える場合、切り替え直後の SSI_SCK 信号、SSI_WS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

16A.4.5 TDM モードの制限事項

TDM モードにおいて、以下の制限事項があります。

- (1) スレーブモードの送信設定の場合に、転送開始後の送信データが、sync パルス (SSI_WS) に同期しない場合があります。
- (2) スレーブモードの受信設定の場合に、転送開始後の受信データが、sync パルス (SSI_WS) に同期しない場合があります。
- (3) マスタモードで WS Continue モードが禁止の受信設定の場合に、転送開始後の sync パルス幅が規定値より短くなる場合があります。

制限事項が発生する設定は以下です。

◆コントロールレジスタ (SSICR)

ビット	23,22	15	14	12	7	2	1	その他
ビット名	CHNL	SCKD	SWSD	SWSP	BREN	CPEN	TRMD	-
(1)	00 以外	0	0	0	0	0	1	Don't Care
(2)	00 以外	0	0	0	0	0	0	Don't Care
(3)	00 以外	1	1	0	0	0	0	Don't Care

◆TDM モードレジスタ (SSITDM)

ビット	8	0	その他
ビット名	CONT	TDM	-
(1)	Don't Care	1	Don't Care
(2)	Don't Care	1	Don't Care
(3)	0	1	Don't Care

制限事項の回避方法を以下に示します。

1. 停止後 (SSICR.EN=0)、アイドル状態 (SSISR.IDST=1) になることを確認してください。
2. 2フレーム期間 (*) を固定時間で待ってください。
3. 転送の再開が可能です。

(*) 1 フレームは、SSI_WS の立ち上がりから次の SSI_WS の立ち上がりまでの期間を指します。

17. I²C バスインタフェース 3

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式をサポートしており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 2 チャンネルあります。

17.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信／受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信／受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。

- 割り込み要因：6 種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラージロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因：4 種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラを起動させてデータの転送を行うことができます。

図 17.1 にブロック図を示します。

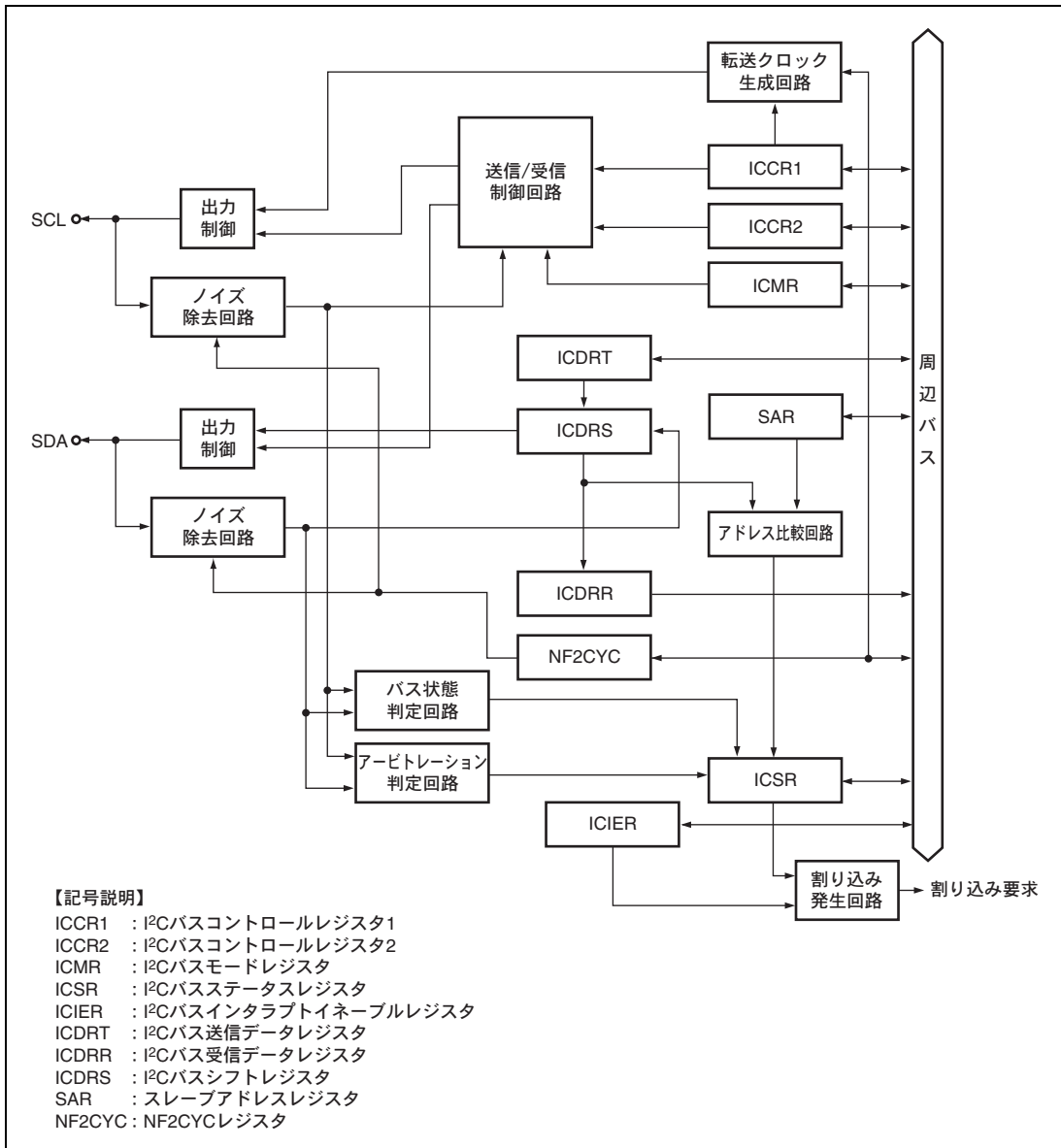


図 17.1 ブロック図

17.2 入出力端子

表 17.1 に端子構成を示します。

表 17.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL0、SCL1	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA0、SDA1	入出力	I ² C シリアルデータ入出力端子

図 17.2 に入出力端子の外部回路接続例を示します。

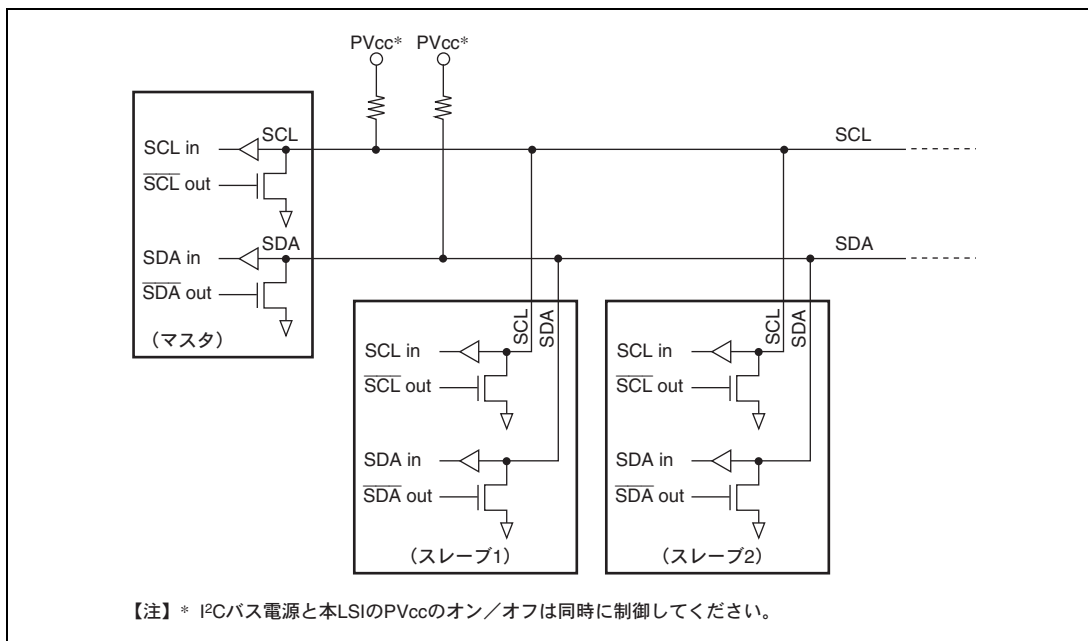


図 17.2 入出力端子の外部回路接続例

17.3 レジスタの説明

表 17.2 (1) にレジスタ構成を、表 17.2 (2) にレジスタの状態を示します。

表 17.2 (1) レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFC70000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFC70001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFC70002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_0	R/W	H'00	H'FFC70003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFC70004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFC70005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFC70006	8
	I ² C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFC70007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFC70008	8
1	I ² C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'FFC71000	8
	I ² C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'FFC71001	8
	I ² C バスモードレジスタ	ICMR_1	R/W	H'38	H'FFC71002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_1	R/W	H'00	H'FFC71003	8
	I ² C バスステータスレジスタ	ICSR_1	R/W	H'00	H'FFC71004	8
	スレーブアドレスレジスタ	SAR_1	R/W	H'00	H'FFC71005	8
	I ² C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'FFC71006	8
	I ² C バス受信データレジスタ	ICDRR_1	R/W	H'FF	H'FFC71007	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'FFC71008	8

表 17.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
ICCR1_0	初期化	初期化	保持	保持	保持	初期化
ICCR2_0	初期化	初期化	保持	保持	保持	初期化
ICMR_0	初期化	初期化	保持	保持	保持*	初期化
ICIER_0	初期化	初期化	保持	保持	保持	初期化
ICSR_0	初期化	初期化	保持	保持	保持	初期化
SAR_0	初期化	初期化	保持	保持	保持	初期化
ICDRT_0	初期化	初期化	保持	保持	保持	初期化
ICDRR_0	初期化	初期化	保持	保持	保持	初期化
NF2CYC_0	初期化	初期化	保持	保持	保持	初期化
ICCR1_1	初期化	初期化	保持	保持	保持	初期化
ICCR2_1	初期化	初期化	保持	保持	保持	初期化
ICMR_1	初期化	初期化	保持	保持	保持*	初期化
ICIER_1	初期化	初期化	保持	保持	保持	初期化
ICSR_1	初期化	初期化	保持	保持	保持	初期化
SAR_1	初期化	初期化	保持	保持	保持	初期化
ICDRT_1	初期化	初期化	保持	保持	保持	初期化
ICDRR_1	初期化	初期化	保持	保持	保持	初期化
NF2CYC_1	初期化	初期化	保持	保持	保持	初期化

【注】 * ICCMR_0、ICMR_1 の BC[2:0]ビットは初期化

17.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し/書き込み可能なレジスタで、I²C バスインタフェース 3 の動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送信/受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされず。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3~0	CKS[3:0]	0000	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 17.3 参照) にあわせて設定してください。

表 17.3 転送レート

NF2CYC	ICCR1				クロック	転送レート (kHz)						
	ビット4	ビット3	ビット2	ビット1		ビット0	Pφ=	Pφ=	Pφ=	Pφ=	Pφ=	
	CKS4	CKS[3]	CKS[2]	CKS[1]		CKS[0]	20.0MHz	24.0MHz	32.0MHz	36.0MHz	50.0MHz	
0	0	0	0	0	0	Pφ/44	455	545	727	818	1136	
				1	0	Pφ/52	385	462	615	692	962	
			1	0	0	Pφ/64	313	375	500	563	781	
				1	0	Pφ/72	278	333	444	500	694	
		1	0	0	0	Pφ/84	238	286	381	429	595	
				1	0	Pφ/92	217	261	348	391	543	
			1	0	0	Pφ/100	200	240	320	360	500	
				1	0	Pφ/108	185	222	296	333	463	
	1	0	0	0	0	Pφ/176	114	136	182	205	284	
				1	0	Pφ/208	96.2	115	154	173	240	
				1	0	Pφ/256	78.1	93.8	125	141	195	
			1	0	0	Pφ/288	69.4	83.3	111	125	174	
				1	0	0	Pφ/336	59.5	71.4	95.2	107	149
					1	0	Pφ/368	54.3	65.2	87.0	97.8	136
		1	0	0	0	0	Pφ/400	50.0	60.0	80.0	90.0	125
					1	0	Pφ/432	46.3	55.6	74.1	83.3	116
				1	0	0	Pφ/352	56.8	68.2	90.9	102	142
			1		0	0	Pφ/416	48.1	57.7	76.9	86.5	120
					1	0	Pφ/512	39.1	46.9	62.5	70.3	97.7
			1	0	0	0	0	0	Pφ/576	34.7	41.7	55.6
1	0	Pφ/672					29.8	35.7	47.6	53.6	74.4	
1	0	0				Pφ/736	27.2	32.6	43.5	48.9	67.9	
	1	0				Pφ/800	25.0	30.0	40.0	45.0	62.5	
1	0	0			0	Pφ/864	23.1	27.8	37.0	41.7	57.9	
		1			0	Pφ/704	28.4	34.1	45.5	51.1	71.0	
	1	0			0	Pφ/832	24.0	28.8	38.5	43.3	60.1	
		1			0	Pφ/1024	19.5	23.4	31.3	35.2	48.8	
1	0	0		0	0	Pφ/1152	17.4	20.8	27.8	31.3	43.4	
				1	0	Pφ/1344	14.9	17.9	23.8	26.8	37.2	
		1		0	0	Pφ/1472	13.6	16.3	21.7	24.5	34.0	
				1	0	Pφ/1600	12.5	15.0	20.0	22.5	31.3	
	1	0		0	0	Pφ/1728	11.6	13.9	18.5	20.8	28.9	
				1	0	Pφ/1728	11.6	13.9	18.5	20.8	28.9	

【注】 1. 外部仕様を満足するように設定してください。

2. PφはHPBバスクロックを示します。

17.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、開始／停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有／解放状態を示すフラグ機能とマスタモードの開始／停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始／停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0: リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1: リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	コントロール部リセット IICRST は ICMR の BC[2:0] ビットと内部回路をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR の BC[2:0] ビットと内部回路をリセットすることができます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し／書き込み可能なレジスタで、MSB ファースト／LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト／LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	BCWP	1	R/W	BC ライトプロテクト BC[2:0] の書き込みを制御します。BC[2:0] を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期シリアルフォーマットでは BC[2:0] の書き換えは行わないでください。 0 : ライト時、BC[2:0] の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0] 設定値は無効

ビット	ビット名	初期値	R/W	説 明																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。また本ビットは、パワーオンリセット、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

17.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効／無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可／禁止します。 0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可／禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可／禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出兼アービトレーションロスト／オーバランエラー割り込み要求 (NAKI) の許可／禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可

ビット	ビット名	初期値	R/W	説明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIEは、ICSRのSTOPがセットされたとき、停止条件検出割り込み要求(STPI)の許可/禁止を選択します。</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクリリッジビット判定選択</p> <p>0: 受信アクリリッジの内容を無視して連続的に転送を行う</p> <p>1: 受信アクリリッジが1の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクリリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクリリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2のBBSYを1にセットするとクリアされます。</p> <p>0: 受信アクリリッジ=0</p> <p>1: 受信アクリリッジ=1</p>
0	ACKBT	0	R/W	<p>送信アクリリッジ</p> <p>受信モード時、アクリリッジのタイミングで送出するビットを設定します。</p> <p>0: アクリリッジのタイミングで0を送出</p> <p>1: アクリリッジのタイミングで1を送出</p>

17.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し/書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

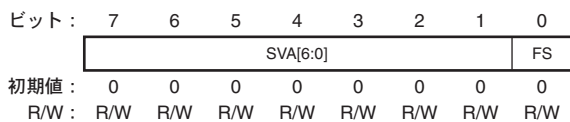
ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スレープモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	受信データフル [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき [セット条件] <ul style="list-style-type: none"> • ICIEP の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I²Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態では最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA端子がHighレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF=1の状態では最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6~SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²Cバスフォーマットのスレーブ受信モードのとき有効</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

17.3.6 スレーブアドレスレジスタ (SAR)

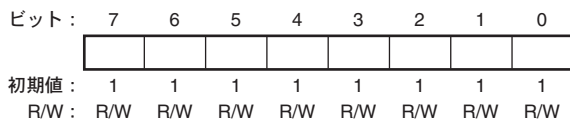
SAR は、8 ビットの読み出し/書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

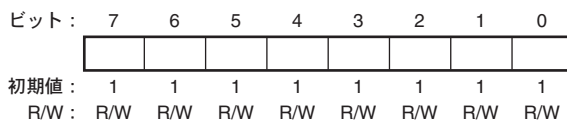
17.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し/書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。



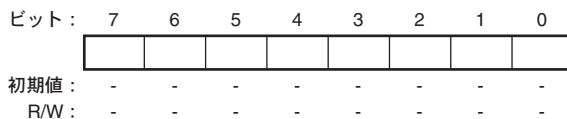
17.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。



17.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。



17.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し／書き込み可能なレジスタで、転送クロック選択、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「17.4.7 ノイズ除去回路」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	CKS4	-	-	PRS	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CKS4	0	R/W	転送クロック選択 マスタモードのとき、必要な転送レート (表 17.3 参照) にあわせて設定してください。 本ビットは 1MB 版ではリザーブビットで読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low = 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

17.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

17.4.1 I²C バスフォーマット

I²C バスフォーマットを図 17.3 に、I²C バスのタイミングを図 17.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

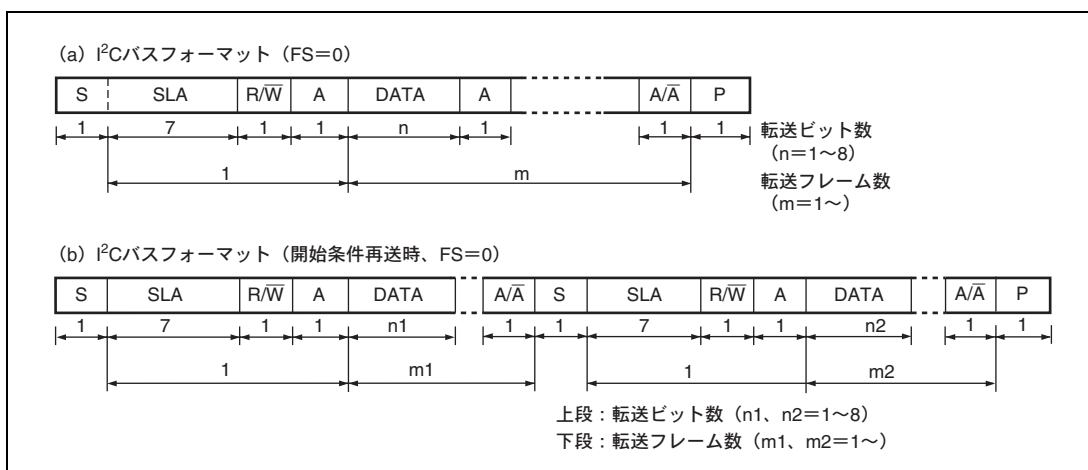


図 17.3 I²C バスフォーマット

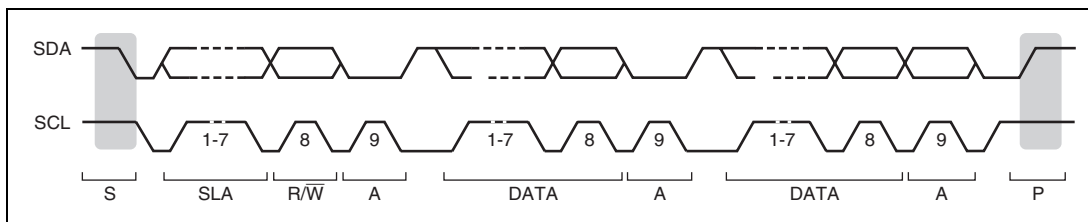


図 17.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

17.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 17.5 と図 17.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

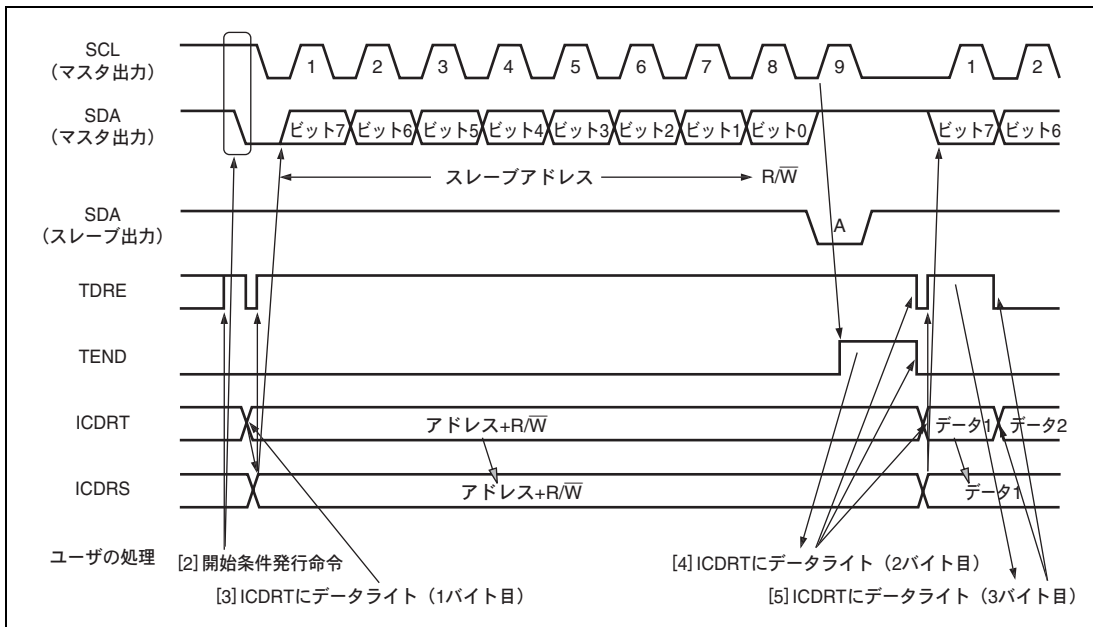


図 17.5 マスタ送信モード動作タイミング (1)

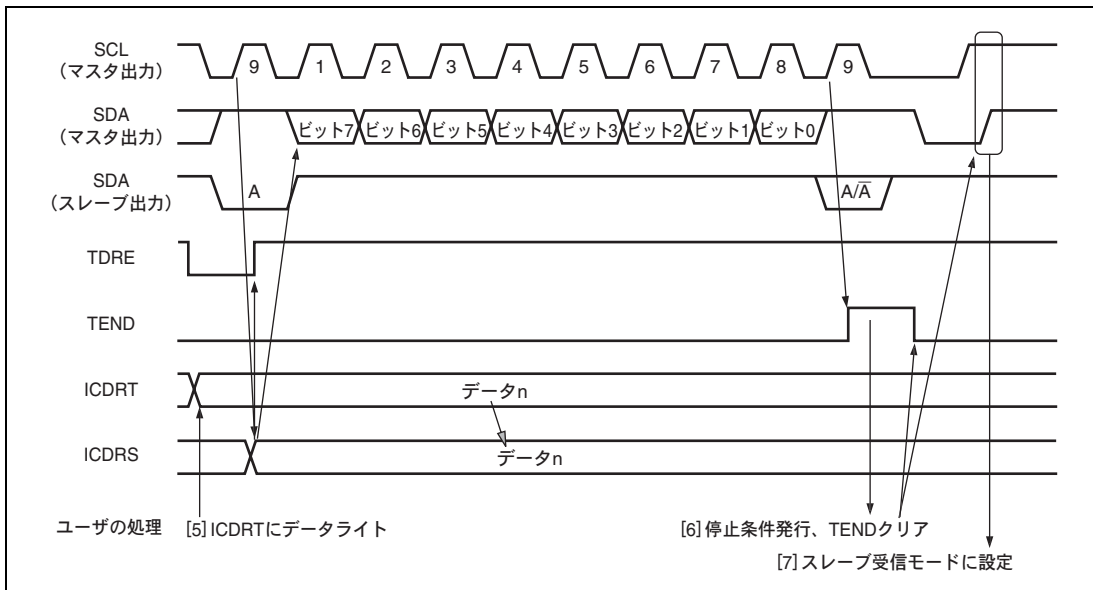


図 17.6 マスタ送信モード動作タイミング (2)

17.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 17.7 と図 17.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

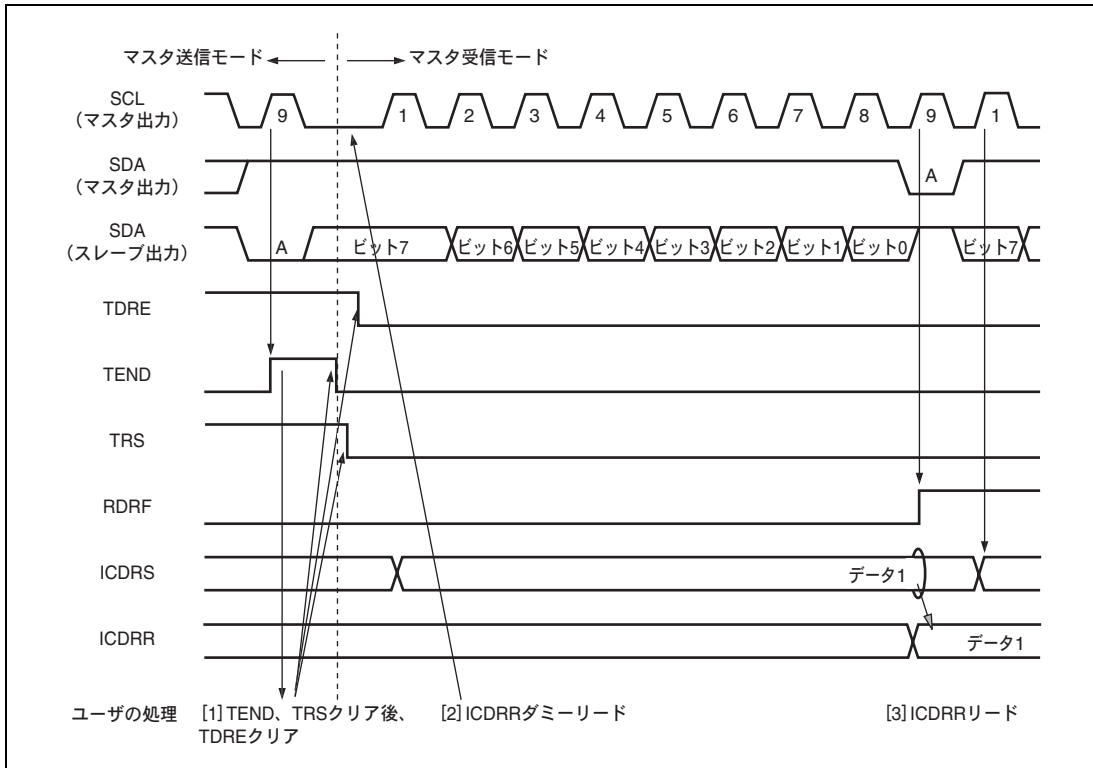


図 17.7 マスタ受信モード動作タイミング (1)

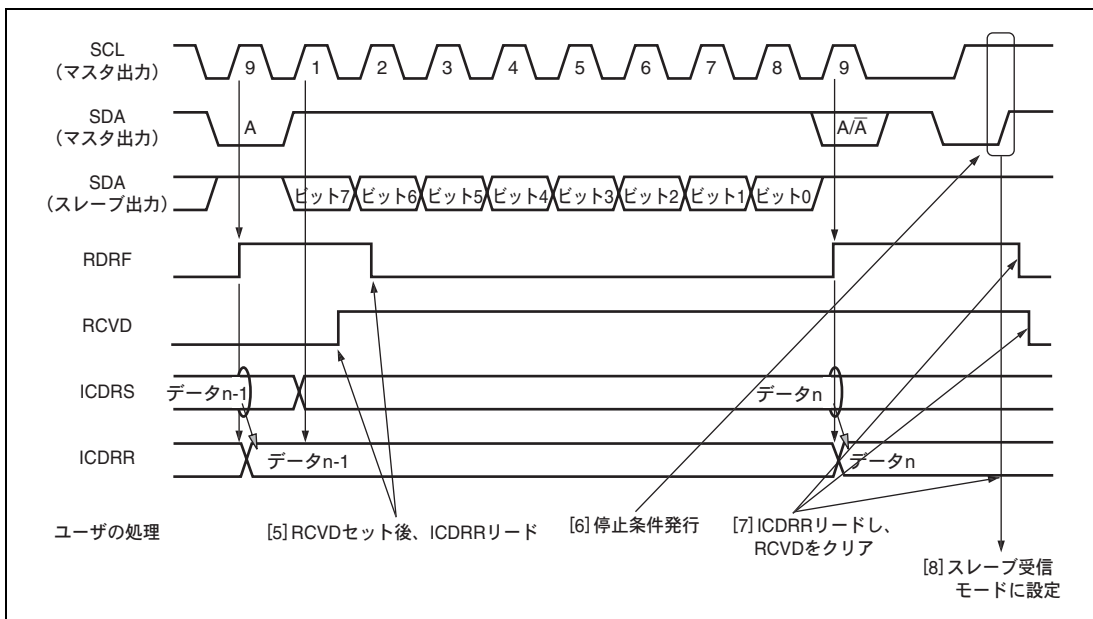


図 17.8 マスタ受信モード動作タイミング (2)

17.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 17.9 と図 17.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

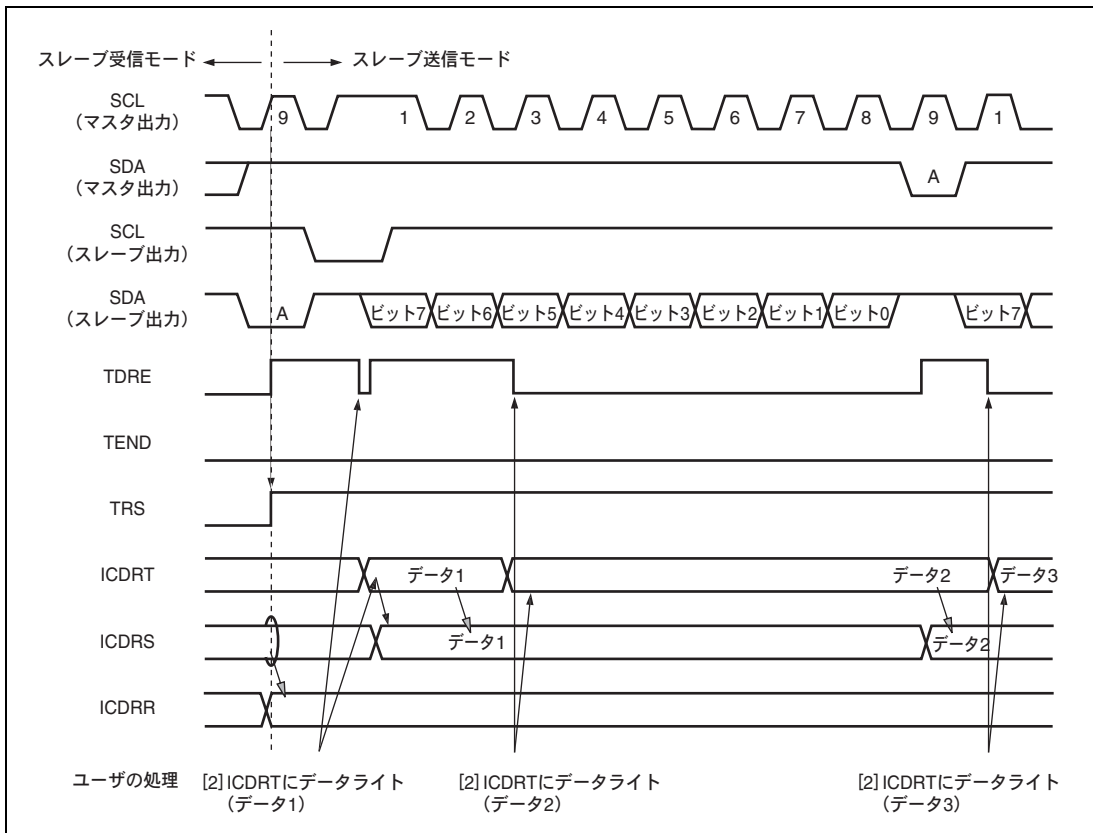


図 17.9 スレーブ送信モード動作タイミング (1)

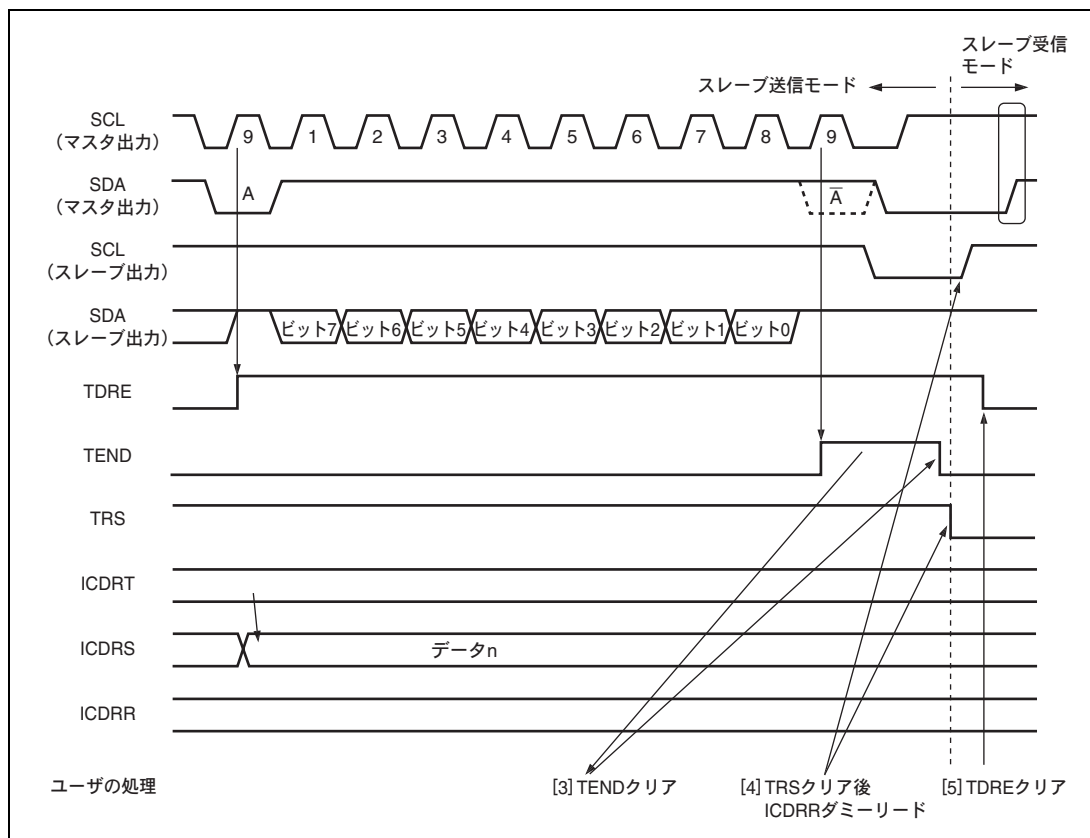


図 17.10 スレーブ送信モード動作タイミング (2)

17.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 17.11 と図 17.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

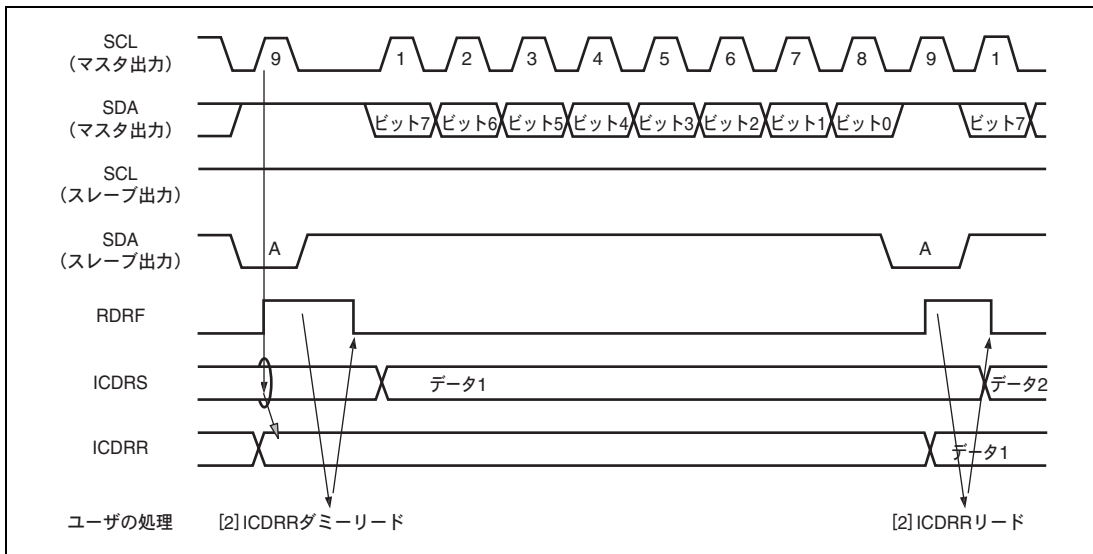


図 17.11 スレーブ受信モード動作タイミング (1)

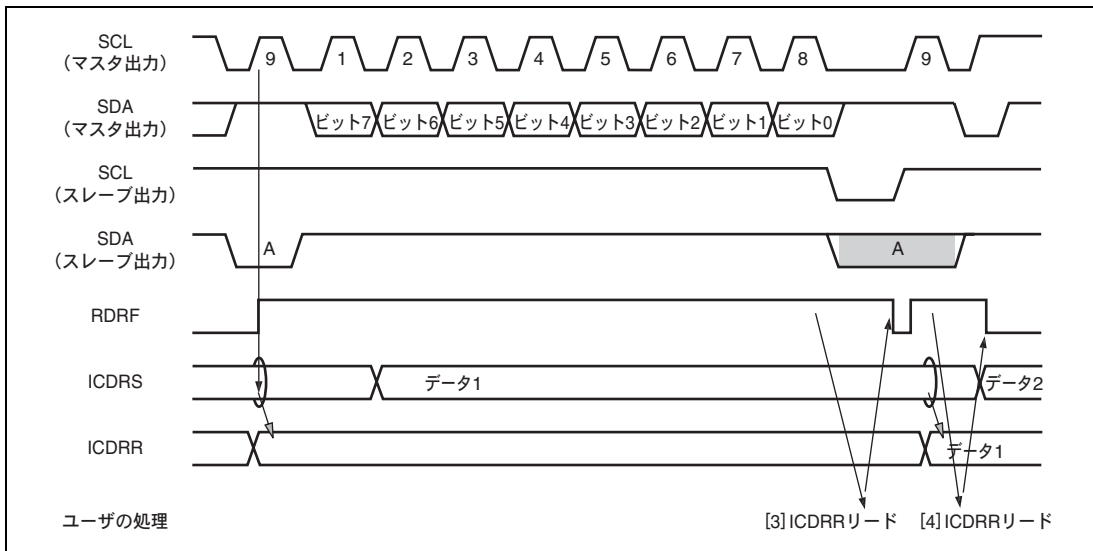


図 17.12 スレーブ受信モード動作タイミング (2)

17.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 17.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジでデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

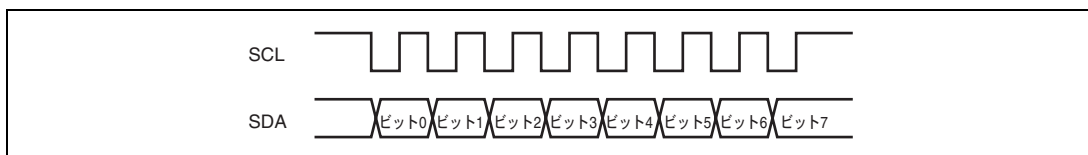


図 17.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 17.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

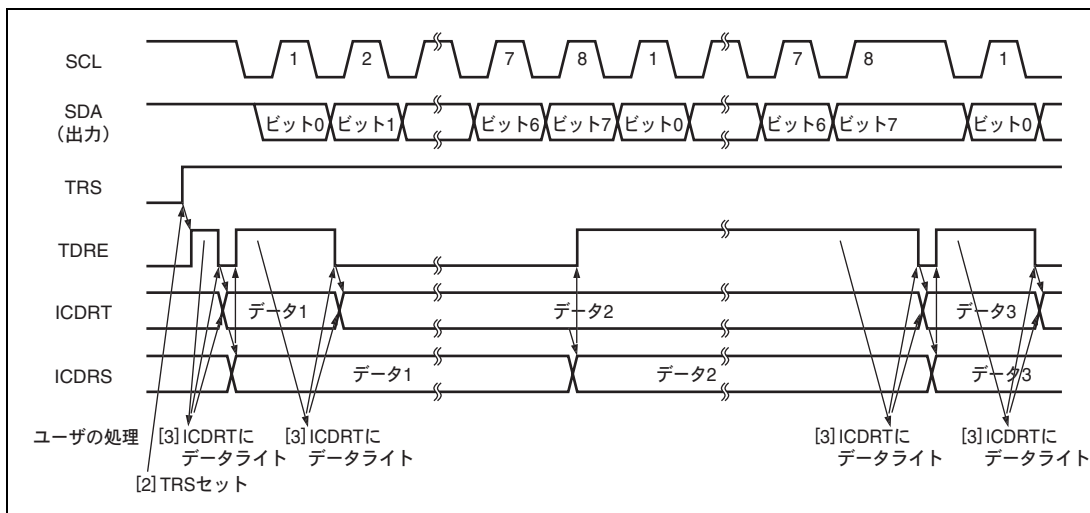


図 17.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 17.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST=1で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 17.16 を参照してください。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR1のRCVDビットが0の状態、MST=1にセットします。これにより受信クロックの出力を開始します。
3. ICMRのBC[2]ビットが1にセットされたことを確認後、ICCR1のRCVDビットを1にセットしてください。これにより受信クロックを1バイト分出力した後、SCLがHighレベルに固定されます。

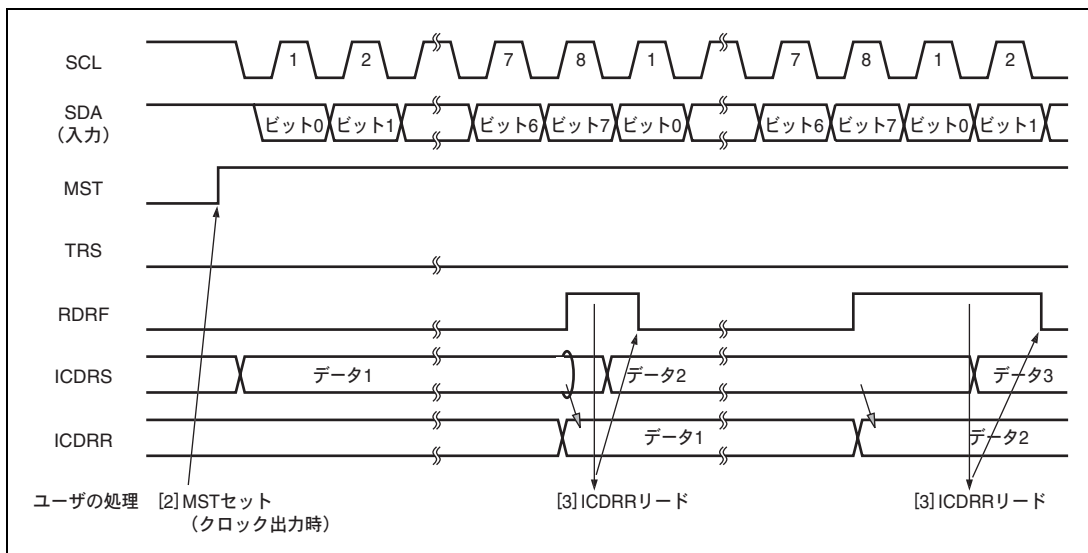


図 17.15 受信モード動作タイミング

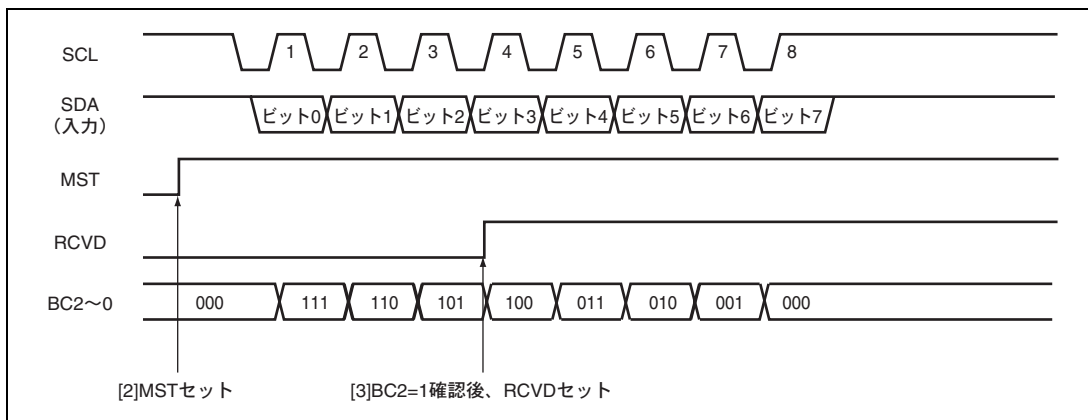


図 17.16 1バイト受信動作タイミング (MST=1)

17.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 17.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

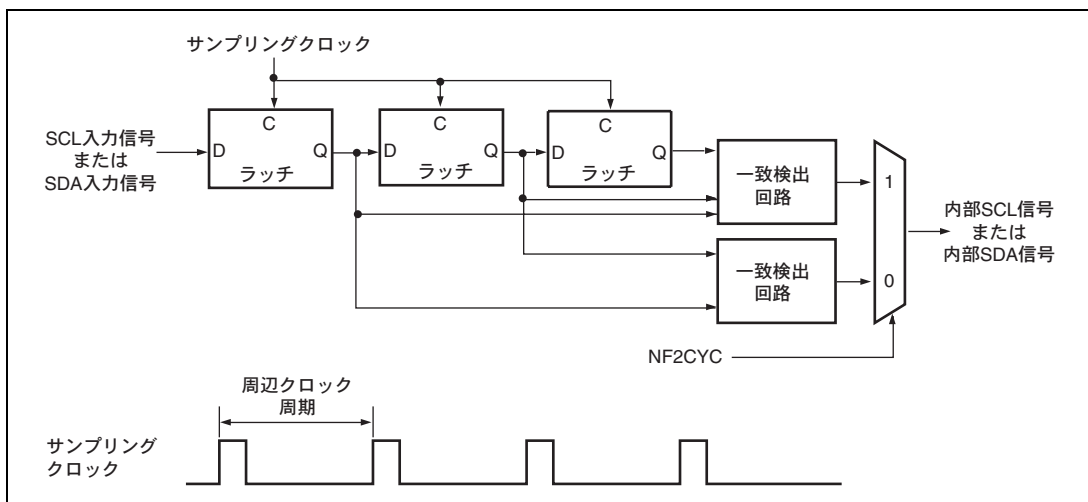


図 17.17 ノイズ除去回路のブロック図

17.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 17.18～図 17.21 に示します。

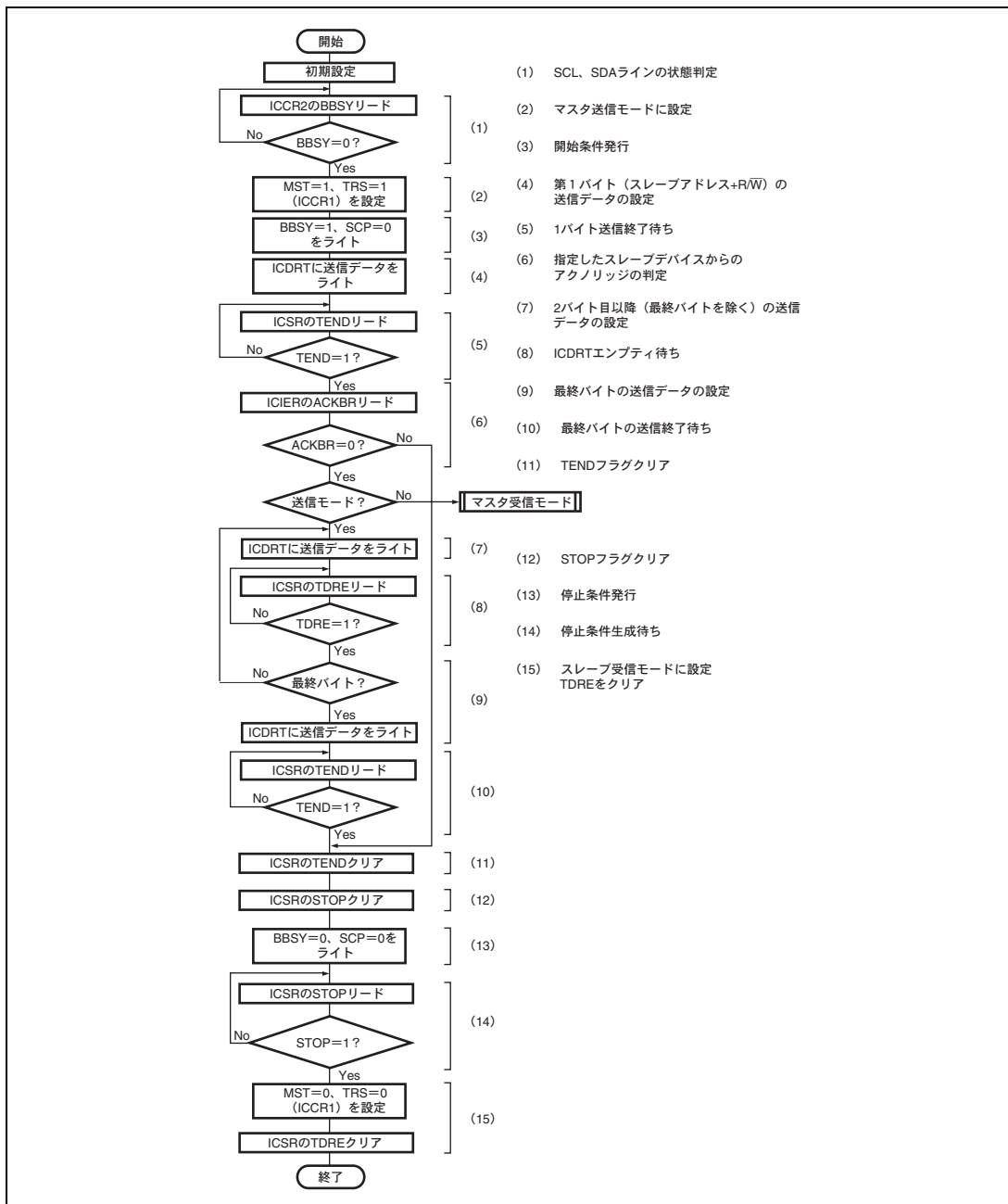


図 17.18 マスタ送信モードのフローチャート例

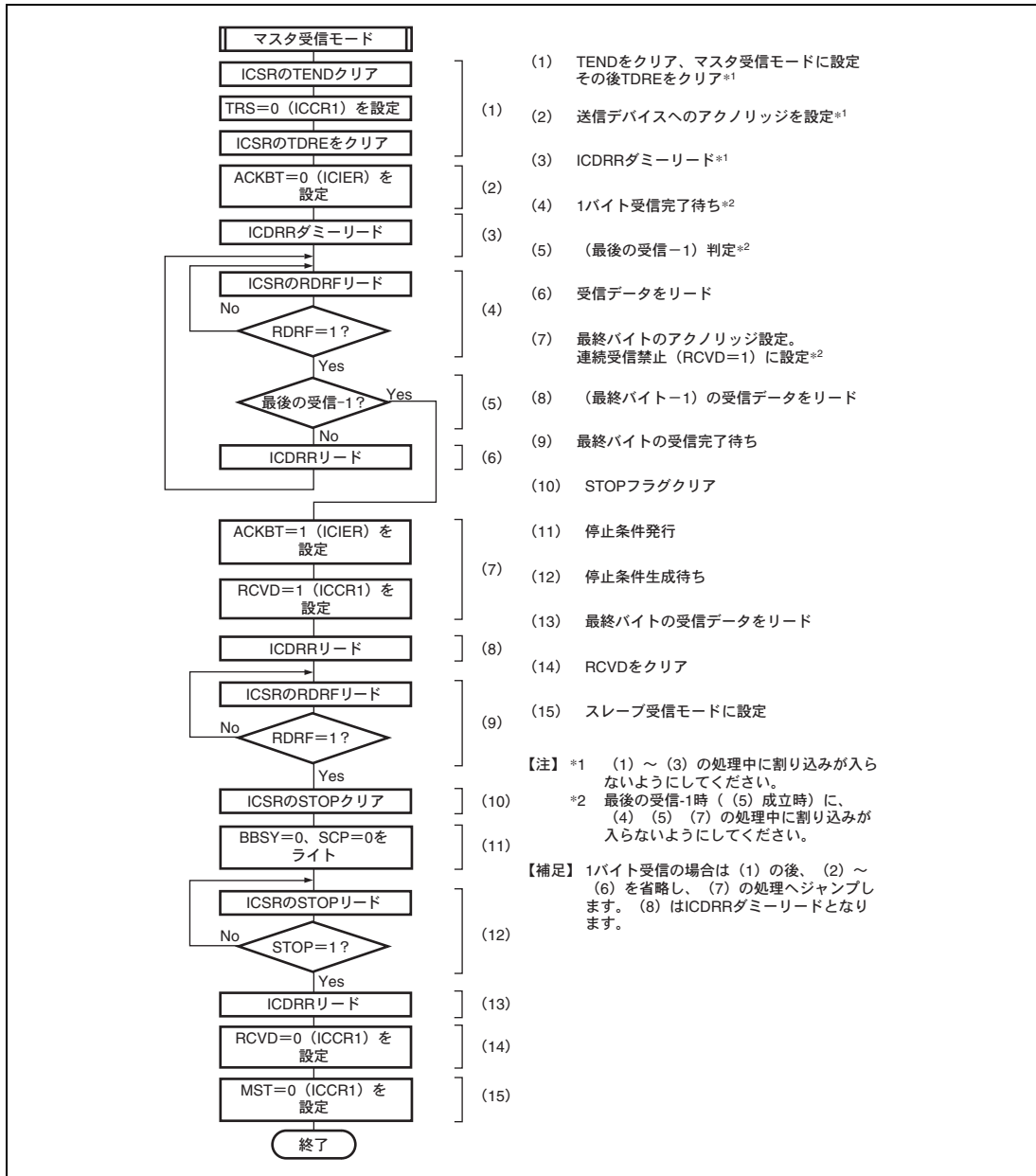


図 17.19 マスタ受信モードのフローチャート例

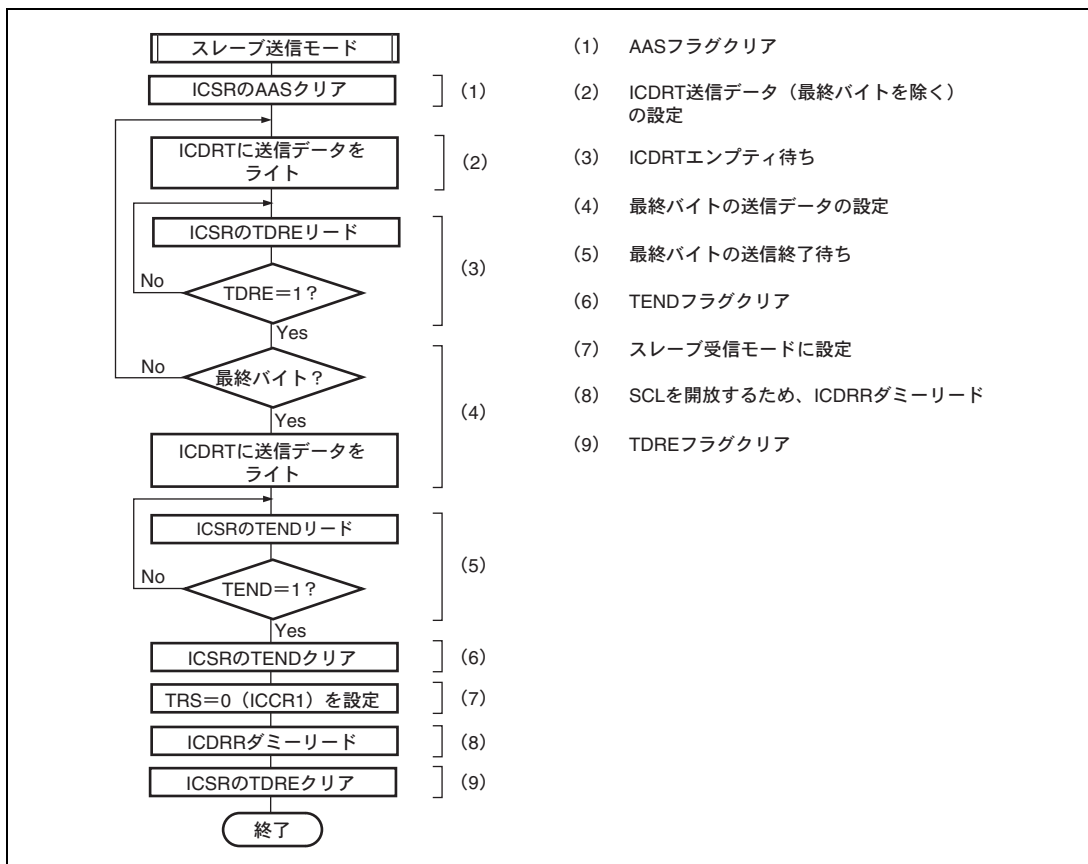


図 17.20 スレーブ送信モードのフローチャート例

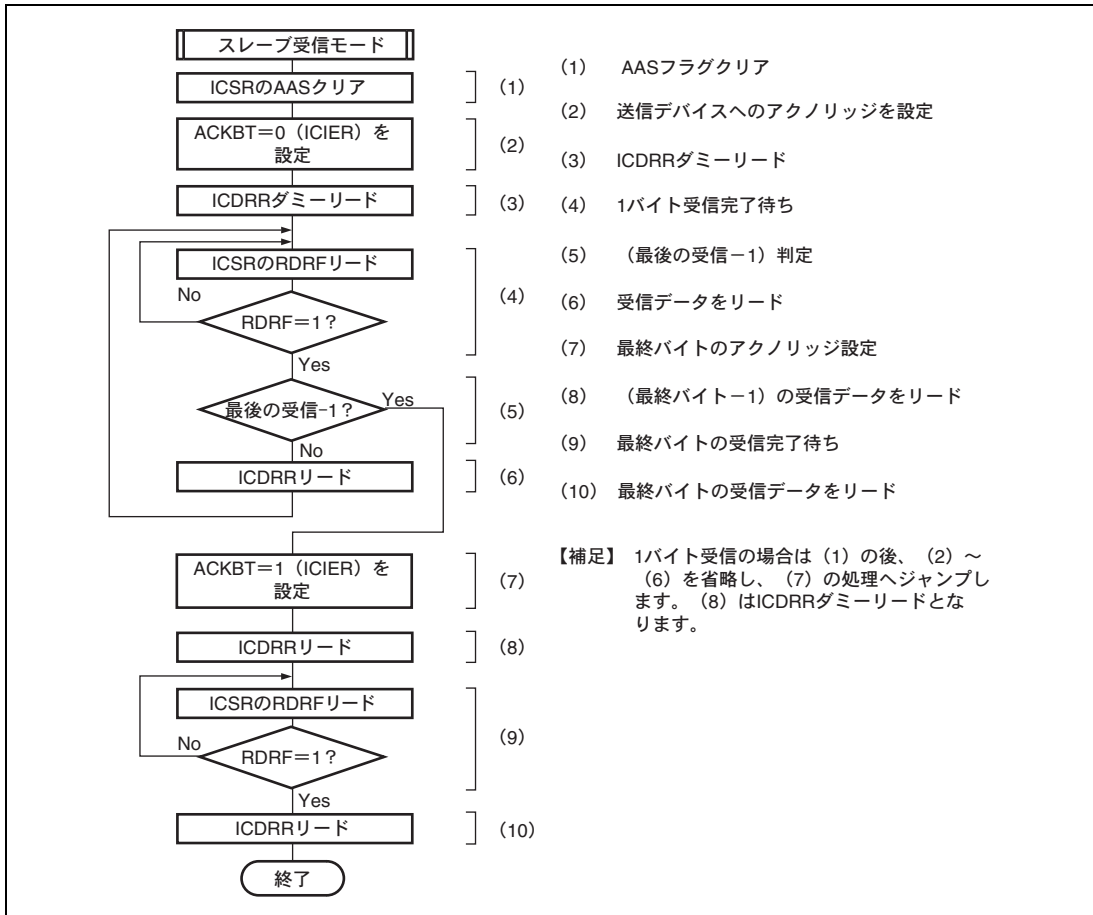


図 17.21 スレーブ受信モードのフローチャート例

17.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 17.4 に各割り込み要求の内容を示します。

表 17.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	$(TDRE=1) \cdot (TIE=1)$	○	○
送信終了	TEI	$(TEND=1) \cdot (TEIE=1)$	○	○
受信データフル	RXI	$(RDRF=1) \cdot (RIE=1)$	○	○
停止条件検出	STPI	$(STOP=1) \cdot (STIE=1)$	○	×
NACK 検出	NAKI	$\{(NACKF=1) + (AL=1)\} \cdot (NAKIE=1)$	○	×
アービトレーションロスト/ オーバランエラー			○	○

表 17.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、ダイレクトメモリアクセスコントローラの起動設定を行っている場合は、ダイレクトメモリアクセスコントローラを起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

17.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 17.22 に、SCL を Low 出力→Hi-Z にしてから SCL をモニタするまでの時間を表 17.5 に示します。

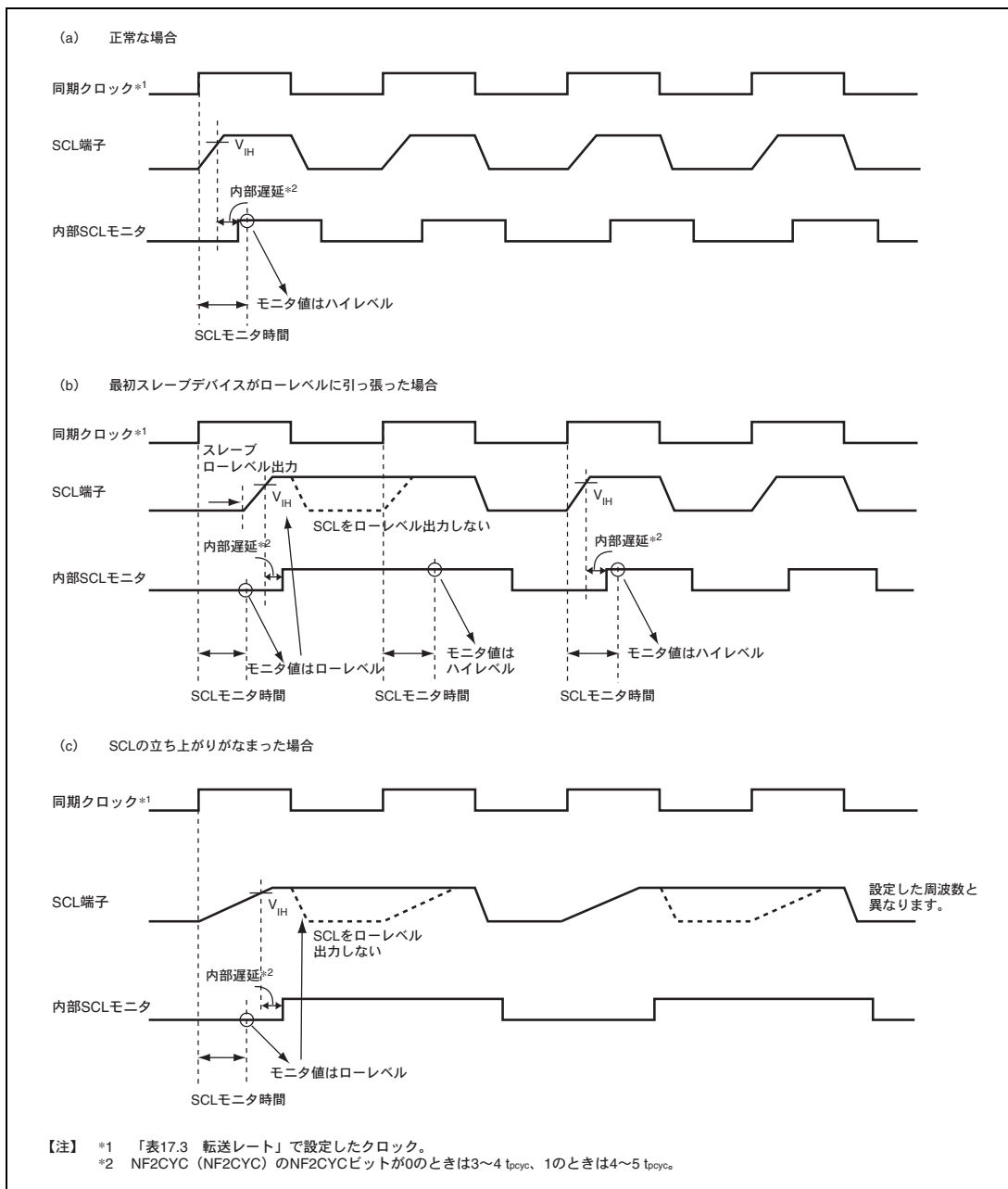


図 17.22 ビット同期回路のタイミング

表 17.5 SCL をモニタする時間

CKS4	CKS[3]	CKS[2]	SCL をモニタする時間
0	0	0	9tpcyc
		1	21tpcyc
	1	0	39tpcyc
		1	87tpcyc
1	0	0	79tpcyc
		1	175tpcyc
	1	0	159tpcyc
		1	351tpcyc

【注】 * tpcyc は HPB バスクロック (Pφ) の同期を示します。

17.7 使用上の注意事項

17.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本モジュール転送レートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

17.7.2 マスタ受信モード時の注意

8クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ8クロック目の立ち下がり付近で RCVD=1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD=1にし、1バイトごとの通信で処理を行ってください。

17.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの8つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

17.7.4 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0を確認してください。

万一、MST=0、TRS=0 以外の状態の場合、MST=0、TRS=0 を設定し直してください。

17.7.5 I²C バスインタフェースモードのマスタ受信モード時の注意事項

マスタ受信完了後、SCL の9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

17.7.6 IICRST、BBSY ビットに関する注意事項

IICR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件と認識して IICR2 の BBSY ビットが 0 にクリアされます。

17.7.7 マスタ送信モード、停止条件発行時の注意事項

(1) 現象

マスタ送信モードかつ I²C バスインタラプトイネーブルレジスタ (ICIER) の ACKE ビット=1 設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

(2) 対策

マスタ送信モードかつ I²C バスインタラプトイネーブルレジスタ (ICIER) の ACKE ビット=1 設定時における停止条件の発行は、9 クロック目の立ち下がりを経験してから行ってください。9 クロック目の立ち下がりには、I²C コントロールレジスタ 2 (IICR2) の SCLO ビットをチェックすることにより認識することができます。

18. シリアルペリフェラルインタフェース (HSPI)

18.1 概要

本 LSI は、シリアルペリフェラルインタフェース (HSPI) を 1 チャンネル内蔵しています。

18.1.1 特長

HSPI には次のような特長があります。

- 動作モード：マスタモード、スレーブモード
- 送信部と受信部はダブルバッファ構造で、全二重通信が可能
- 内部バスクロック分周機能により、広範囲のビットレートをサポート
- クロックのレジスタ設定により、2種類の送信プロトコルを設定でき、シリアルビットクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかと同期した送信／受信機能を実現しています。
- 受信エラーに関しては、レシーブバッファのオーバフローを検出できます。
- マスタ設定のとき、データ転送中に自動的に、または手動でコントロールすることにより、スレーブモジュールに対するチップセレクト信号を生成できます。
- 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

図 18.1 に HSPI のブロック図を示します。

なお、本文中の内部バスクロック、周辺クロックは周辺モジュール用クロック (clkp) に対応します。

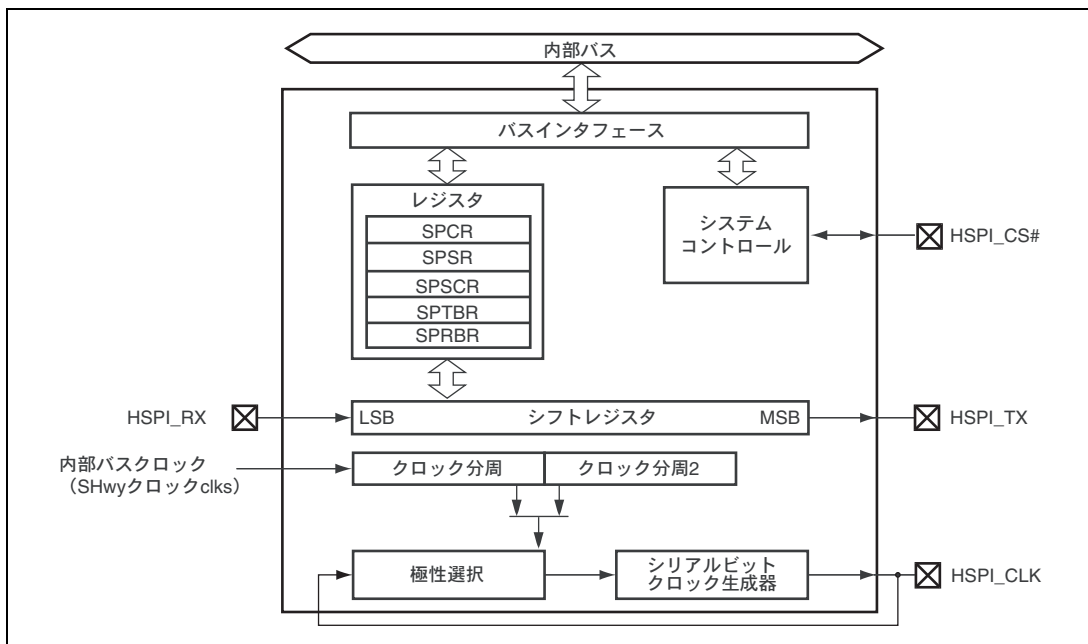


図 18.1 HSPI のブロック図

18.1.2 外部端子

表 18.1 に HSPI の端子構成を示します。

表 18.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	HSPI_CLK	入出力	クロック入出力
送信データ端子	HSPI_TX	出力	送信データ出力
受信データ端子	HSPI_RX	入力	受信データ入力
チップセレクト端子	HSPI_CS#	入出力	チップセレクト

18.1.3 レジスタ構成

HSPI のレジスタベースアドレスは次のとおりです。

HSPI ベースアドレス : H'FFFC7000

表 18.2 (1) レジスタ構成

名称	略称	R/W	ベースアドレスからの オフセットアドレス	サイズ
コントロールレジスタ	SPCR	R/W	H'00	32
ステータスレジスタ	SPSR	R*	H'04	32
システムコントロールレジスタ	SPSCR	R/W	H'08	32
トランスミットバッファレジスタ	SPTBR	R/W	H'0C	32
レシーブバッファレジスタ	SPRBR	R	H'10	32

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* ビット 4、3 はフラグをクリアするための 0 書き込みが可能です。

表 18.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
SPCR	初期化	初期化	保持	保持	保持	初期化
SPSR	初期化	初期化	保持	保持	保持	初期化
SPSCR	初期化	初期化	保持	保持	保持	初期化
SPTBR	初期化	初期化	保持	保持	保持	初期化
SPRBR	初期化	初期化	保持	保持	保持	初期化

18.2 レジスタ説明

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

—W : ライトのみ可。読み出し値は不定です。

18.2.1 コントロールレジスタ (SPCR)

SPCR は、32 ビットの読み出し/書き込み可能なレジスタで、転送データのシフトタイミングの制御、クロック極性、およびクロック周波数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FBS	CLKP	IDIV	CLK C4	CLK C3	CLK C2	CLK C1	CLK C0
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	—	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7	FBS	0	R/W	ファーストビットスタート リードおよびライト可。書き込み値を読み出すことができます。 各ビットの転送されたデータとシリアルビットクロックの間のタイミングを制御します。 0: HSPI から転送された最初のビットが、HSPI_CS#端子がローレベルになった後の最初の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが HSPI_CS#端子がローレベルになった後の最初の HSPI_CLK エッジでサンプルされます。 1: HSPI から転送された最初のビットが、HSPI_CS#端子がローレベルになった後の 2 番目の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが HSPI_CS#端子がローレベルになった後の 2 番目の HSPI_CLK エッジでサンプルされます。
6	CLKP	0	R/W	シリアルクロック極性 0: HSPI_CLK 信号は反転されず、インアクティブ期間中はローレベルです。 1: HSPI_CLK 信号は反転され、インアクティブ期間中はハイレベルです。
5	IDIV	0	R/W	初期クロック分周比 0: 初期化時、インタミディエイト周波数を生成するために内部バスクロック (clks) は 16 で分周され、マスタモード用のシリアルビットクロックを生成するためにさらに分周されます。 1: 初期化時、インタミディエイト周波数を生成するために内部バスクロック (clks) は 128 で分周され、マスタモード用のシリアルビットクロックを生成するためにさらに分周されます。

ビット	ビット名	初期値	R/W	説明
4	CLKC4	0	R/W	クロック分周カウント
3	CLKC3	0	R/W	シリアルビットクロックがハイレベルとローレベルの間中のインタミディエイト周波数サイクル数を設定します。
2	CLKC2	0	R/W	0000 : 1 インタミディエイト周波数サイクル。 シリアルビットクロック周波数は、インタミディエイト周波数/2
1	CLKC1	0	R/W	00001 : 2 インタミディエイト周波数サイクル。 シリアルビットクロック周波数は、インタミディエイト周波数/4
0	CLKC0	0	R/W	00010 : 3 インタミディエイト周波数サイクル。 シリアルビットクロック周波数は、インタミディエイト周波数/6 : : 11111 : 32 インタミディエイト周波数サイクル。 シリアルビットクロック周波数は、インタミディエイト周波数/64

シリアルビットクロック周波数は以下の計算式で求められます。

$$\text{シリアルビットクロック周波数} = \frac{\text{周辺クロック周波数}}{(\text{初期クロック分周比} \times (\text{クロック分周カウント} + 1) \times 2)}$$

HSPI がスレープとして動作する場合、IDIV と CLKC ビットは無視され、HSPI は外部から供給されたシリアルビットクロックと同期します。

動作可能な外部シリアルビットクロックの最大値は、内部バスクロック周波数 (clks) / 32 です。

FBS または CLKP、IDIV、CLKC ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

18.2.2 ステータスレジスタ (SPSR)

SPSR のステータスフラグにより、システムが正しく動作しているかどうかを確認できます。

SPSCR の ROIE ビットが 1 に設定されている場合、レシーブバッファオーバラン発生やレシーブバッファオーバラン警告により割り込み要求を発生します。SPSCR の TFIE ビットが 1 に設定されている場合、送信完了フラグにより割り込み要求を発生します。SPSCR の該当イネーブルビットが 1 に設定されている場合、受信 FIFO ハーフウェイや受信 FIFO フル、送信 FIFO エンプティ、送信 FIFO ハーフウェイフラグにより割り込み要求を発生します。SPSCR の RNIE ビットが 1 に設定されていると、受信 FIFO が空ではない場合に割り込み要求を発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXFU	TXHA	TXEM	RXFU	RXHA	RXEM	RXOOR	RXOW	RXFL	TXFN	TXFL
初期値 :	—	—	—	—	—	0	0	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/WC0	R/WC0	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	—	—	R	リザーブビット 読み出したときの値は不定です。書き込み値は常に0にしてください。
10	TXFU	0	R	送信 FIFO フルフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が送信データでいっぱいになり、次の送信データを受け付けなくなったときにこのフラグはセットされます。送信データが転送のために HSPI バスに出力されたときにこのフラグはクリアされます。
9	TXHA	0	R	送信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が中間点に到達したとき、つまり、4 バイトに送信データを格納し、4 バイトが空いている状態のときにこのフラグはセットされます。送信 FIFO にさらにデータが書き込まれたときにこのフラグはクリアされます。次に続く FIFO レベルが中間点より下回っても、このフラグは中間点より上回るまではセットされたままです。 TXHA=1 かつ THIE=1 のとき、irq=1 となります。
8	TXEM	1	R	送信 FIFO エンプティフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO に送信データが入ってないときにこのフラグはセットされます。送信 FIFO にデータが書き込まれたときにこのフラグはクリアされます。 TXEM=1 かつ TEIE=1 のとき、irq=1 となります。
7	RXFU	0	R	受信 FIFO フルフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が受信データでいっぱいになり、次の受信データを受け付けなくなったときにこのフラグはセットされます。受信 FIFO からデータが読み出されたときにこのフラグはクリアされます。 RXFU=1 かつ RFIE=1 のとき、irq=1 となります。
6	RXHA	0	R	受信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が中間点に到達したとき、つまり、4 バイトに受信データを格納し、4 バイトが空いている状態のときにこのフラグはセットされます。受信 FIFO を読み出し、4 バイト（中間点）を下回った場合にフラグはクリアされます。 RXHA=1 かつ RHIE=1 のとき、irq=1 となります。
5	RXEM	1	R	受信 FIFO エンプティフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO に受信データが入ってないときにこのフラグはセットされます。受信 FIFO にデータが書き込まれたときにこのフラグはクリアされます。 RXEM=0 かつ RNIE=1 のとき、irq=1 となります。
4	RXOO	0	R/WC0	レシーブバッファオーバラン発生フラグ 新しいデータを受信したが、前の受信データが HSPI の SPRBR からまだ読み出されてないときにこのフラグはセットされます。新しく受信したデータは、前に受信したデータを上書きしません。RXOO フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、ハイレベルのままです。 RXOO=1 かつ ROIE=1 のとき、irq=1 となります。

ビット	ビット名	初期値	R/W	説明
3	RXOW	0	R/WC0	レシーブバッファオーバーラン警告フラグ 新しいシリアルデータ転送が開始されたのに、前の受信データが HSPI の SPRBR からまだ読み出されていないときにこのフラグはセットされます。RXOW フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、ハイレベルのままです。 RXOW=1 かつ ROIE=1 のとき、irq=1 となります。
2	RXFL	0	R	レシーブバッファフルステータスフラグ 本ステータスフラグは、SPRBR に読み出されていない新しいデータが格納されていることを示します。シリアルバス転送の終わりの方で、シフトレジスタ内容がレシーブバッファにロードされた時点でこのフラグはセットされます。SPRBR を読み出すことで、このビットをリセットできます。
1	TXFN	0	R	送信完了ステータスフラグ 本ステータスフラグは、最後の転送が完了したことを示します。SPTBR が内部バスからデータを受信できるようになったときにこのフラグはセットされます。SPTBR にデータを書き込むことで、このビットをリセットできます。 TXFN=1 かつ TFIE=1 のとき、irq=1 となります。
0	TXFL	0	R	トランスミットバッファフルステータスフラグ 本ステータスフラグは、SPTBR に送信していないデータがあることを示します。内部バスからのデータが SPTBR に書き込まれたときにこのフラグはセットされます。SPTBR が内部バスからのデータを受信できるようになったときにこのビットはリセットされます。

18.2.3 システムコントロールレジスタ (SPSCR)

SPSCR は、読み出し/書き込み可能な 32 ビットのレジスタで、割り込みまたは FIFO モードの制御、データを送受信するときの LSB/MSB ファーストの選択、ソフトリセットの発生を行うことができます。

FFEN または LMSB、CSA、MASL ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL
初期値:	—	—	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R	W	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	TEIE	0	W	送信 FIFO エンプティ割り込みイネーブル 0: 送信 FIFO エンプティ割り込みを禁止 1: 送信 FIFO エンプティ割り込みを許可 このレジスタは書き込みのみ可能なレジスタです。読み出し値は不定です。
12	THIE	0	W	送信 FIFO ハーフウェイ割り込みイネーブル 0: 送信 FIFO ハーフウェイ割り込みを禁止 1: 送信 FIFO ハーフウェイ割り込みを許可 このレジスタは書き込みのみ可能なレジスタです。読み出し値は不定です。
11	RNIE	0	R/W	受信 FIFO ノットエンプティ割り込みイネーブル 0: 受信 FIFO ノットエンプティ割り込みを禁止 1: 受信 FIFO ノットエンプティ割り込みを許可
10	RHIE	0	R/W	受信 FIFO ハーフウェイ割り込みイネーブル 0: 受信 FIFO ハーフウェイ割り込みを禁止 1: 受信 FIFO ハーフウェイ割り込みを許可
9	RFIE	0	R/W	受信 FIFO フル割り込みイネーブル 0: 受信 FIFO フル割り込みを禁止 1: 受信 FIFO フル割り込みを許可
8	FFEN	0	R/W	FIFO モードイネーブル FIFO モードを許可/禁止します。FIFO モードが許可されているとき、送信データと受信データのためにそれぞれ 1 つずつ 8 エントリ FIFO が使用可能になります。これらの FIFO は、SPTBR と SPRBR 経由で読み出しと書き込みができます。 FIFO モードが禁止されているとき、存在する SPTBR と SPRBR が直接使われるため、HSPI バス上のすべての転送ごとに新しいデータを SPTBR に書き込んだり、SPRBR から読み出したりする必要があります。 SPTBR と SPRBR のために DMA 要求が使われる場合、FIFO モードを禁止しておく必要があります。 0: FIFO モードを禁止 1: FIFO モードを許可
7	LMSB	0	R/W	LSB/MSB ファーストコントロール 0: データの送受信は MSB ファースト 1: データの送受信は LSB ファースト
6	CSV	1	R/W	チップセレクト値 HSPI がマスタで、チップセレクト生成が"手動"選択されているとき、このビットがチップセレクト出力値をコントロールします。 0: チップセレクト出力がローレベル 1: チップセレクト出力がハイレベル
5	CSA	0	R/W	自動/手動チップセレクト 0: チップセレクト出力をデータ転送中に自動生成 1: チップセレクト出力を手動でコントロールし、CSV ビットが値を決定

ビット	ビット名	初期値	R/W	説明
4	TFIE	0	R/W	送信完了割り込みイネーブル 0: 送信完了割り込みを禁止 1: 送信完了割り込みを許可
3	ROIE	0	R/W	レシーブオーバーラン発生/警告割り込みイネーブル 0: レシーブオーバーラン発生/警告割り込みを禁止 1: レシーブオーバーラン発生/警告割り込みを許可
2	RXDE	0	R/W	レシーブ DMA イネーブル 0: レシーブ DMA の転送要求を禁止 1: レシーブ DMA の転送要求を許可
1	TXDE	0	R/W	トランスミット DMA イネーブル 0: トランスミット DMA の転送要求を禁止 1: トランスミット DMA の転送要求を許可
0	MASL	0	R/W	マスタ/スレーブセレクト 0: HSPI はスレーブとして動作 1: HSPI はマスタとして動作

18.2.4 トランスミットバッファレジスタ (SPTBR)

SPTBR は、読み出し/書き込み可能な 32 ビットのレジスタで、送信するデータを格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	—	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	TD	すべて 0	R/W	送信データ これらのビットに書き込まれたデータは送信のためのシフトレジスタに転送されます。 読み出し時には、送信バッファに格納されているデータが読み出されます。

18.2.5 レシーブバッファレジスタ (SPRBR)

SPRBR は、読み出し専用の 32 ビットのレジスタで、受信したデータ数を格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	RD	すべて 0	R	受信データ 前回受信したデータの読み出しが完了しているならば、1 バイトを受信することにシフトレジスタからデータがこれらのビットに格納されます。

18.3 動作説明

18.3.1 DMA を使用しない場合の動作 (FIFO モード無効時の動作) の動作

図 18.2 に送信/受信動作の手順フローを示します。

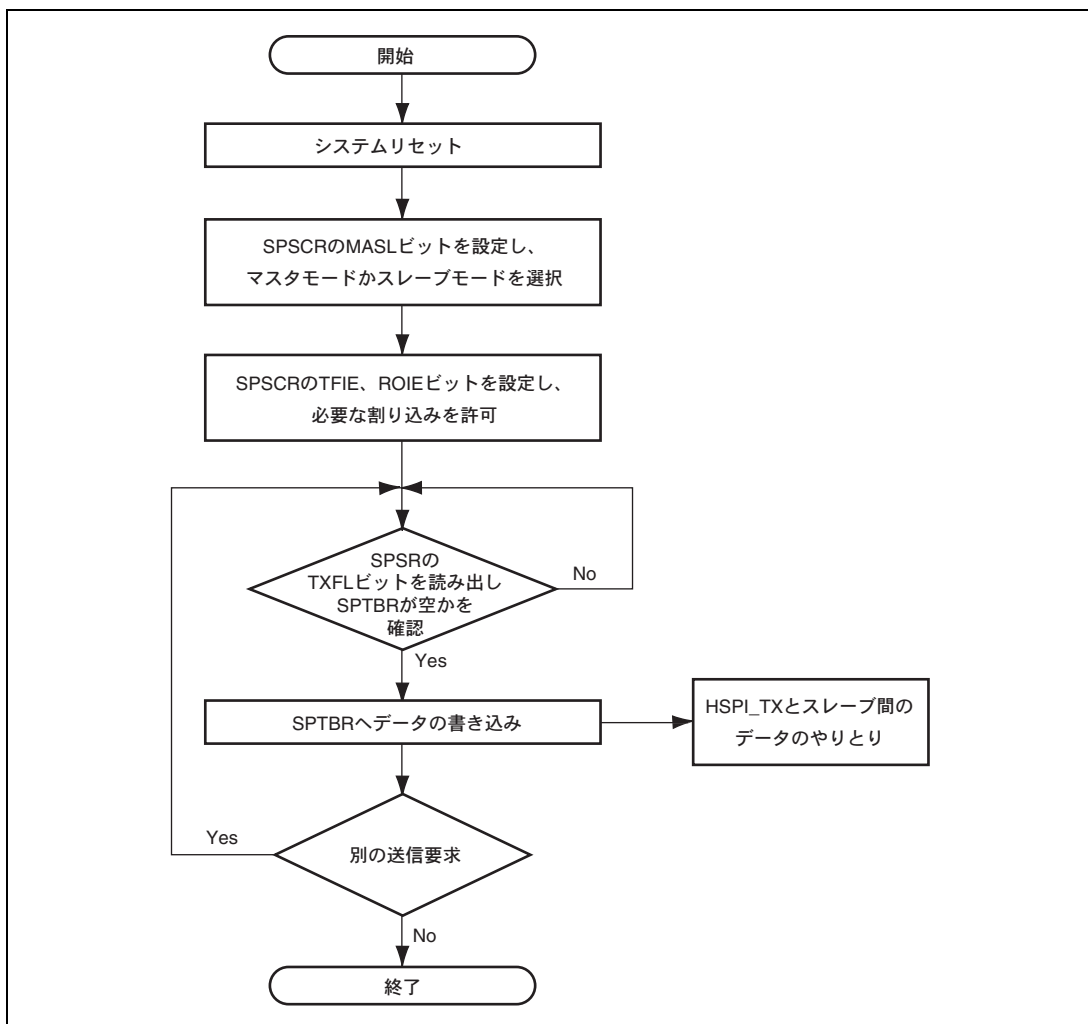


図 18.2 動作フローチャート

マスタは SPCR の設定により HSPI_CLK の立ち下がりか立ち上がりエッジでスレーブにデータを送信し、反対のエッジでスレーブからのデータをサンプリングします。マスタとスレーブ間のデータ転送は、SPSR の TXFN ビット (送信完了ステータスフラグ) が 1 にセットされたときに終了します。HSPI モジュールが受信専用 (スレーブデータ送信中) に設定されている場合にでも、TXFN ビットを使えば、HSPI 転送イベント (バイト送信とバイト受信) がいつ発生したかを調べることができます。データ送信方式のデフォルトは MSB ファーストですが、SPSCR の LMSB ビットの設定によっては、LSB ファーストも可能です。

送信動作中のスレーブは、マスタからの HSPI_CLK 出力と同期して、マスタにデータを送信しています。スレーブから送信されたデータはサンプリングされたあとでシフトレジスタに転送され、送信完了時には SPRBR に転送されます。

HSPI がスレーブとして動作する場合、HSPI_CS#端子を用いて HSPI を選択し、外部マスタからのデータを受信できるように準備します。SPCR の FBS ビットが 0 のとき、バイトデータとバイトデータの間は HSPI_CS#端子をハイレベルに保持する必要があります (1 バイト転送後には、HSPI_CS#端子をハイレベルにする必要があります)。FBS=1 のとき、数バイトの送信期間なら、HSPI_CS#端子がローレベルでも問題ありません。常に FBS=1 となるようにシステムが構成されている場合、HSPI_CS#端子をグランドに固定できます (ただし、HSPI がスレーブとして動作する場合にのみ限られます)。

18.3.2 DMA を使用する場合の動作

HSPI の動作は、DMA を使わないときより DMA を使ってデータの送受信を行うときの方が簡略化されます。HSPI は、DMA を使わない転送の場合と同じように設定されます。FIFO モードは必ず無効にしてください。次に、DMA コントローラ (DMAC) が要求されたデータ量を転送するように設定します。これにより、DMA 要求は HSPI で有効になり、さらに操作しなくても転送が実行されます。

DMAC がすべての転送が終了したことを通知してきたら、残っている DMA 要求をクリアするために HSPI の DMA 要求信号を無効にしなくてはなりません。これを行わないと、HSPI は常に送信するデータを要求し続けます。

18.3.3 FIFO モード有効時の動作

DMA モードを使用しない場合のプロセッサの割り込みオーバヘッドを低減するために FIFO モードが用意されています。FIFO モード有効時、送信前に最大 8 バイトのデータが書き込みでき、受信 FIFO からの読み出し前に最大 8 バイトのデータを受信できます。HSPI モジュールと外部デバイス間で、決められたデータ量を転送する場合、以下の手順に従ってください。

1. 要求されたHSPI転送特性 (マスタ/スレーブ、クロック極性など) を満足できるようにモジュールをセットアップし、FIFOモードを有効にします。
2. SPTBR経由で送信FIFOにバイトデータを書き込みます。8バイトより多いデータを送信する場合は、データ送信時のFIFOレベルが分かるように送信FIFOハーフウェイ割り込みを許可します。
3. 送信FIFOハーフウェイ割り込みが発生したら、送信FIFOにさらにデータを書き込み、SPRBR経由で受信FIFOからデータを読み出します。

- すべての送信データを送信FIFOに書き込んだら、送信FIFOハーフウェイ割り込みを禁止し、受信FIFOが空になるまでデータを読み出します。送信された最後のバイトデータがいつ受信されたかが分かるように受信FIFOノットエンプティ割り込みを許可します。
- 予定されているデータの受信が完了するまでは、受信FIFOノットエンプティ割り込みには対処します。
- 次に使うときまでモジュールを無効にします。

アプリケーションによっては、外部のHSPIデバイスから未定量のデータを受信することもあります。この場合は、以下の手順に従ってください。

- 要求されたHSPI転送特性（マスタ/スレーブ、クロック極性など）を満足できるようにモジュールをセットアップし、FIFOモードを有効にします。
- 送信するデータを送信FIFOに書き込みます。受信FIFOノットエンプティ割り込みを許可します。
- 受信FIFOノットエンプティ割り込みに対処し、受信FIFOが空になるまでデータを読み出します。必要に応じて、もっとデータを送信FIFOに書き込みます。
- 送信が停止するときにモジュールを無効にします。

18.3.4 タイミング図

HSPIのシフトとサンプリング処理におけるタイミング関係を以下の図で示します。図 18.3 に SPCR の FBS ビットが0のときの状態、図 18.4 に SPCR の FBS ビットが1のときの状態を示します。これらの図からも分かるように、SPCR の CLKP ビットが0のとき、送信データは HSPI_CLK の立ち下がりエッジでシフトされ、受信データは立ち上がりエッジでサンプリングされます。逆のことが、CLKP ビットが1のときに起こります。

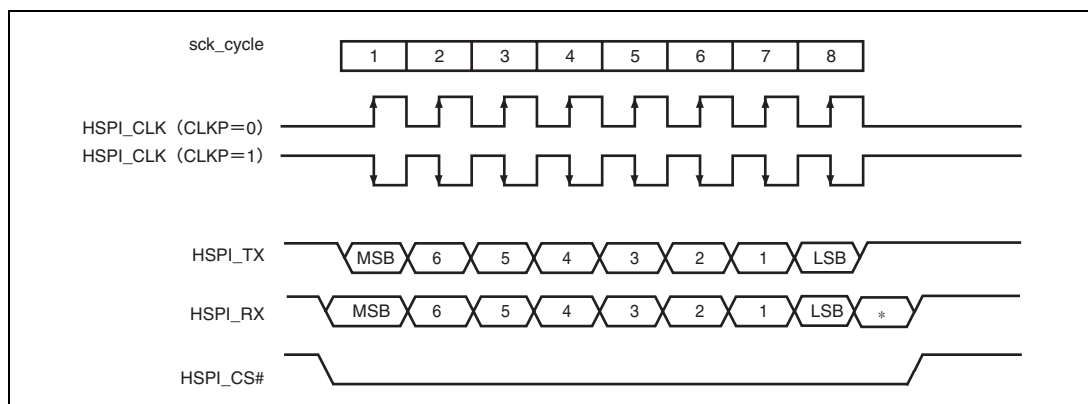


図 18.3 FBS=0 のときのタイミング

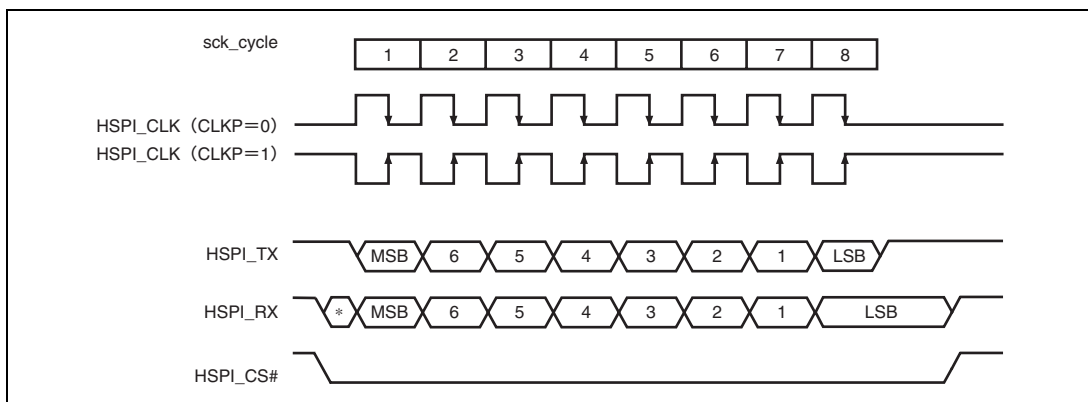


図 18.4 FBS=1 のときのタイミング

18.3.5 ソフトリセット

ソフトリセットにより、モジュールを決められた状態に戻し、受信と送信 FIFO ポインタを初期化することができます。SPCR と SPSCR の割り込み/DMA イネーブルビットとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。

HSPI がスレープモード時にマスタデバイスがデータ転送中の場合を除いて HSPI_CS#をローレベルにする場合、ソフトリセット後に CSV/CSA を設定し直してください。これにより、データの誤った受信を防ぐことができます。

18.3.6 クロック極性と送信制御

SPCR を使って、転送データのシフトタイミングと極性を設定できます。SPCR の FBS ビットで異なる 2 つの転送方式から選択できます。MSB または LSB は、HSPI_CS#の立ち下がりエッジで有効になります。SPCR の CLKP ビットを使って、マスタとスレープで HSPI_CLK の立ち上がりエッジと立ち下がりエッジのどちらでデータをシフトしてサンプリングするかを制御する極性選択ブロックを制御できます。

18.3.7 送信と受信ルーチン

接続されたマスタとスレープは、HSPI_CLK に同期した巡回シフトレジスタとして機能すると考えることができます。マスタからの送信バイトは、8 HSPI_CLK サイクルでスレープからの受信バイトと交換されます。送信部、および受信部ともにダブルバッファ構造になっていますので連続読み出し/書き込みができます。FIFO モード有効時、送信データと受信データのために 8 エントリ FIFO があります。

19. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

19.1 概要

FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) です。SCIF は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。

送受信用に FIFO バッファをおのおの 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

本 LSI におけるチャンネルごとの SCIF の機能は、以下のとおりです。

チャンネル	名称	機能	端子	ベースアドレス	備考
0	SCIF-0	調歩同期式モード (モデムコントロール機能 あり) クロック同期式モード	RX0、TX0、SCK0、 RTS0#、CTS0#	H'FFE4 0000	送受信クロックソース を外部から供給可能 (SCK0 端子より)
1	SCIF-1	調歩同期式モード (モデムコントロール機能 あり) クロック同期式モード	RX1、TX1、SCK1、 RTS1#、CTS1#	H'FFE4 1000	送受信クロックソース を外部から供給可能 (SCK1 端子より)
2	SCIF-2	調歩同期式モード クロック同期式モード	RX2、TX2、SCK2	H'FFE4 2000	送受信クロックソース を外部から供給可能 (SCK2 端子より)
3	SCIF-3	調歩同期式モード	RX3、TX3	H'FFE4 3000	—
4	SCIF-4	調歩同期式モード	RX4、TX4	H'FFE4 4000	—
5	SCIF-5	調歩同期式モード	RX5、TX5	H'FFE4 5000	—

19.1.1 特長

SCIF には次のような特長があります。

- 調歩同期式シリアル通信

キャラクタ単位で同期を取る調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

—データ長 : 7ビット、または8ビット

—ストップビット長 : 1ビット、または2ビット

—パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

—受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

—ブレークの検出 : フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時にRX端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つほかの LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは1種類です。

—データ長 : 8ビット

—受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに16段のFIFOバッファ構造になっているので、シリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、LSI内部クロックを基準に内蔵ボーレートジェネレータが供給するクロックか、または外部クロックから選択可能です。

- 8種類の割り込み要因

レシーブデータレディ、レシーブFIFOデータフル、ブレーク検出、トランスミットFIFOデータエンプティ、トランスミットエンド、レシーブエラー、オーバランエラー、タイムアウトの8種類の割り込み要因があり、それぞれ独立に要求することができます。

- DMAデータ転送

送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- チャネル0、チャネル1の調歩同期式モードにおいてモデムコントロール機能 (RTS#, CTS#) を内蔵しています。

- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、レシーブデータレディ (DR)、タイムアウトエラー (TO) を検出できます。

19.1.2 ブロック図

図 19.1 に SCIF のブロック図を示します。

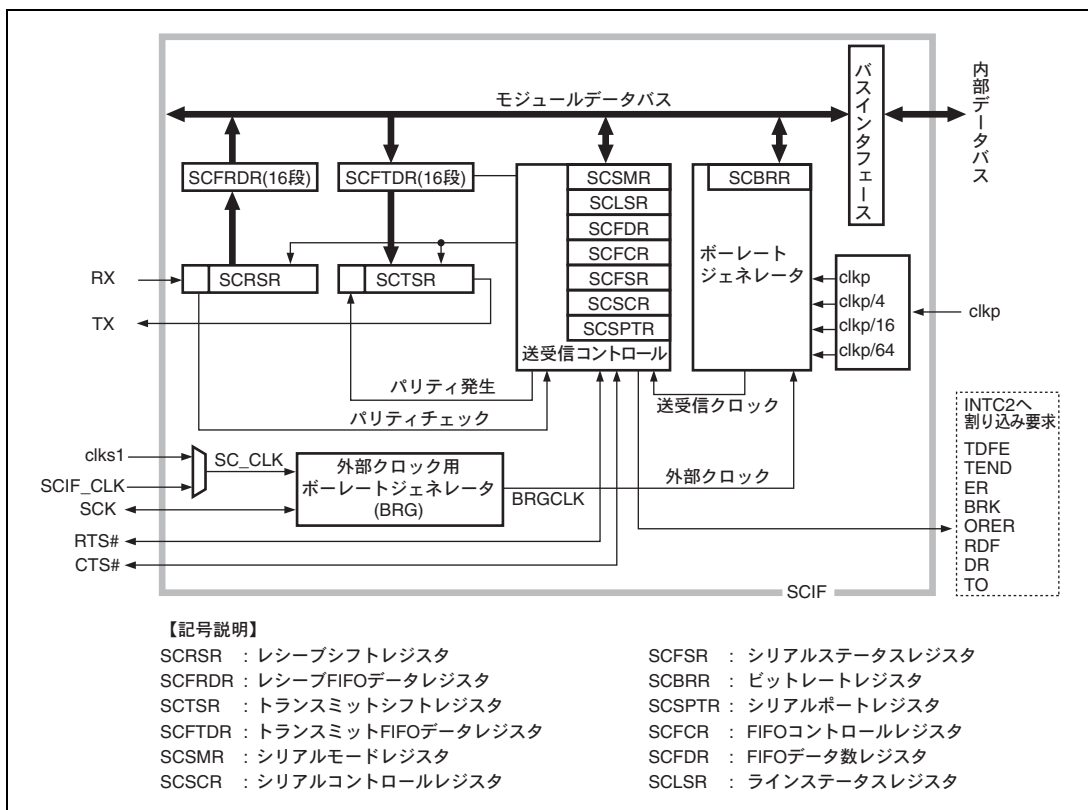


図 19.1 SCIF のブロック図

19.1.3 端子構成

SCIF の端子構成を表 19.1 に示します。

各端子は、チャンネルごとの機能により異なっています。また、これらの端子は他機能の端子とピンマルチプレクスされており、ピンマルチプレクスの設定によっては使用できる端子に制限があります。

表 19.1 SCIF の端子構成

略称	名称	入出力	機能
シリアルクロック端子	SCK	入出力	同期クロック入出力
レシーブデータ端子	RX	入力	受信データ入力
トランスミットデータ端子	TX	出力	送信データ出力
モデムコントロール端子	CTS#	入出力	送信可
モデムコントロール端子	RTS#	入出力	送信要求
ボーレート生成クロック端子	SCIF_CLK	入力	外部クロック用ボーレートジェネレータへ入力するクロック

【注】 SCIF の動作設定を SCSMR の C/A#ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

19.1.4 レジスタ構成

SCIF のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名称	略称	R/W	ベースアドレスからの オフセット	アクセス サイズ
シリアルモードレジスタ	SCSMR	R/W	H'00	16
ビットレートレジスタ	SCBRR	R/W	H'04	8
シリアルコントロールレジスタ	SCSCR	R/W	H'08	16
トランスミット FIFO データレジスタ	SCFTDR	W	H'0C	8
シリアルステータスレジスタ	SCFSR	R/W*1	H'10	16
レシーブ FIFO データレジスタ	SCFRDR	R	H'14	8
FIFO コントロールレジスタ	SCFCR	R/W	H'18	16
FIFO データ数レジスタ	SCFDR	R	H'1C	16
シリアルポートレジスタ	SCSPTR	R/W	H'20	16
ラインステータスレジスタ	SCLSR	R/W*2	H'24	16

【注】 *1 フラグをクリアするための 0 書き込みのみ可能です。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするための 0 書き込みのみ可能です。ビット 15~3、1 は読み出し専用であり書き込むことはできません。

調歩同期、調歩同期（モデム機能あり）、クロック同期の各モードで使用するレジスタは、以下のとおりです。対応しないモードに関するビットには、初期値と同じ値を設定してください。初期値と違う値を設定した場合は、誤動作する場合があります。また、下記レジスタ以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 19.3 各モードで使用するレジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCFRDR	—	—	—	—	—	—	—	—	*	*	*	*	*	*	*	*
SCFTDR	—	—	—	—	—	—	—	—	*	*	*	*	*	*	*	*
SCSMR	0	0	0	0	0	0	0	0	C	A	A	A	A	0	*	*
SCSCR	0	0	0	0	*	0	0	0	*	*	*	*	*	A	*	*
SCFSR	A	A	A	A	A	A	A	A	A	*	*	A	A	A	*	A
SCBRR	—	—	—	—	—	—	—	—	*	*	*	*	*	*	*	*
SCFCR	0	0	0	0	0	M	M	M	*	*	*	*	M	*	*	M
SCFDR	0	0	0	*	*	*	*	*	0	0	0	*	*	*	*	*
SCSPTR	0	0	0	0	0	0	0	0	M	M	M	M	C	C	*	*
SCLSR	0	0	0	0	0	0	0	0	0	0	0	0	0	A	0	*
DL	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
CKS	*	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【記号説明】

- * : すべてのモードで使用
- A : 調歩同期式モードで使用
- M : 調歩同期式モード（モデム機能あり）で使用（A に追加で使用）
- C : クロック同期式モードで使用
- 0 : 予約ビット（常に0を書き込んでください。）
- : 未定義

19.2 レジスタの説明

19.2.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RX 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し/書き込みすることはできません。

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—

19.2.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタであり、CPU から書き込むことはできません。

また、SCFRDR に受信データが空の状態を読み出した値は不定値になります。SCFRDR 内の受信データが満杯の状態になると、以降のシリアルデータは失われます。

SCFRDR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に不定となります。

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R

19.2.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TX 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると、自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し/書き込みすることはできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

19.2.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタであり、CPU から読み出すことはできません。SCFTDR 内の送信データが 16 バイトで満杯のときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

SCFTDR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に不定となります。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

19.2.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し/書き込みが可能です。

SCSMR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/A#	CHR	PE	O/E#	STOP	-	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	C/A#	0	R/W	<p>コミュニケーションモード</p> <p>SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。</p> <p>0 : 調歩同期式モード 1 : クロック同期式モード</p> <p>【注】クロック同期を選択できないチャンネルがあります。</p>
6	CHR	0	R/W	<p>キャラクタレンクス</p> <p>調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。</p> <p>0 : 8 ビットデータ 1 : 7 ビットデータ</p>
5	PE	0	R/W	<p>パリティネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>PE ビットに 1 をセットすると、送信時には、O/E#ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E#ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可</p>
4	O/E#	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。</p> <p>O/E#ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E#ビットの指定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。</p> <p>ストップビットの設定は、調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合には、ストップビットは付加されませんので、このビットの設定は無効です。</p> <p>受信時には、STOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1ストップビット*¹</p> <p>1 : 2ストップビット*²</p> <p>【注】*¹ 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>*² 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト1、0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>CKS1、CKS0 ビットの設定でP1φ、P1φ/4、P1φ/16、P1φ/64の4種類からクロックソースを選択できます。</p> <p>P1φは、周辺モジュール用クロックでclkpです。</p> <p>00 : P1φクロック</p> <p>01 : P1φ/4クロック</p> <p>10 : P1φ/16クロック</p> <p>11 : P1φ/64クロック</p>

19.2.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し/書き込みが可能です。

SCSCR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TEIE	—	—	—	TIE	RIE	TE	RE	REIE	TOIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TIE で許可されたとき、割り込み要求の要因として、SCFSR の TDFE フラグがセットされたときか、SCFSR の TEND フラグがセットされたときか、を選択します。 0: トランスミット FIFO データエンプティ (TDFE) 割り込み要求を使用します。 1: トランスミットエンド (TEND) 割り込み要求を使用します。
10~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCSCR の TEIE ビットが 0 の場合、SCFTDR から SCTSR ヘシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、トランスミット FIFO データエンプティ割り込み (TDFE) 要求の発生を許可/禁止します。 SCSCR の TEIE ビットが 1 の場合、SCTSR の送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく送信を終了し、SCFSR の TEND フラグが 1 にセットされたときに、トランスミットエンド割り込み (TEND) 要求の発生を許可/禁止します。 0: TEIE = 0 のとき、TDFE 要求を禁止 TEIE = 1 のとき、TEND 要求を禁止 1: TEIE = 0 のとき、TDFE 要求を許可 TEIE = 1 のとき、TEND 要求を許可
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR の RDF フラグが 1 にセットされたときのレシーブ FIFO データフル割り込み要求、SCFSR の DR フラグが 1 にセットされたときのレシーブデータレディ割り込み要求、SCFSR の ER フラグが 1 にセットされたときのレシーブエラー割り込み要求、SCFSR の BRK フラグが 1 にセットされたときのブレイク検出割り込み要求、SCLSR の ORER フラグが 1 にセットされたときのオーバーランエラー割り込み要求の発生を許可/禁止します。 0: レシーブ FIFO データフル割り込み (RDF) 要求、レシーブデータレディ割り込み (DR) 要求、レシーブエラー割り込み (ER) 要求、ブレイク検出割り込み (BRK) 要求、オーバーランエラー割り込み (ORER) 要求を禁止 1: レシーブ FIFO データフル割り込み (RDF) 要求、レシーブデータレディ割り込み (DR) 要求、レシーブエラー割り込み (ER) 要求、ブレイク検出割り込み (BRK) 要求、オーバーランエラー割り込み (ORER) 要求を許可

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可／禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>TE ビットを 1 にセットする前に、必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p> <p>0 : 送信動作を禁止 1 : 送信動作を許可</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可／禁止します。</p> <p>RE ビットが 1 のときに、調歩同期モードの場合はスタートビットを、クロック同期モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても、DR、ER、BRK、RDF、FER、PER、TO、ORER の各フラグは影響を受けず、状態を保持します。</p> <p>RE ビットを 1 にセットする前に、必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p> <p>0 : 受信動作を禁止 1 : 受信動作を許可</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>レシーブエラー割り込み (ER) 要求、ブレイク検出割り込み (BRK) 要求、オーバランエラー割り込み (ORER) 要求の発生を許可／禁止します。</p> <p>RIE を 0 に設定しても、REIE を 1 に設定すれば、ER、BRK、ORER 割り込み要求は発生します。DMA 転送時に ER、BRK、ORER 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : ER 要求、BRK 要求、ORER 要求を禁止 1 : ER 要求、BRK 要求、ORER 要求を許可</p>
2	TOIE	0	R/W	<p>タイムアウトインタラプトイネーブル</p> <p>SCLSR の TO フラグが 1 にセットされたときのタイムアウト割り込み (TO) 要求の発生を許可／禁止します。</p> <p>0 : TO 要求の発生を禁止 1 : TO 要求の発生を許可</p>

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0 SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可/禁止を設定します。 CKE1 ビットと CKE0 ビットの組み合わせによって、SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A#ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。なお、クロック同期式モードを選択できないチャンネルがあります。 ビットの設定内容は、表 19.4 を参照してください。
0	CKE0	0	R/W	

表 19.4 クロック選択

ビット1	ビット0	説明		
CKE1	CKE0	モード	クロックソース	SCK 端子
0	0	調歩同期式モード	内部クロック (P1φ、P1φ/4、P1φ/16、P1φ/64) を使用します。	SCK 端子を使用しません。 SCK 端子は入力端子 (入力信号は無視) (初期値)
		クロック同期式モード		SCK 端子は同期クロック出力 (初期値)
	1	調歩同期式モード		SCK 端子はクロック出力 (ビットレートの 16 倍のクロックを出力)
		クロック同期式モード		SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック用ポーレートジェネレータ出力 または SCK を使用	SC_CLK 選択時： SCK 端子は入力端子 (入力信号は無視) BRGCLK がビットレートの 16 倍の周波数になるように、SC_CLK の周波数を設定。 SCK 選択時： SCK 端子はクロック入力 (ビットレートの 16 倍のクロックを入力)
		クロック同期式モード		SCK*
	1	禁止		

【注】 * SC_CLK を入力とした同期通信はできません。

19.2.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタです。下位 8 ビットは SCIF の動作状態を示すステータスフラグを、上位 8 ビットは SCFRDR 内のデータの受信エラー数を示します。

SCFSR は、常に CPU から読み出し/書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

SCFSR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'0060 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	H'0	R	<p>パリティエラー数</p> <p>SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、PER[3:0]で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイトの受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0 を表示します。</p>
11~8	FER[3:0]	H'0	R	<p>フレーミングエラー数</p> <p>SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、FER[3:0]で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイトの受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0 を表示します。</p>

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • 0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数が、SCSMR の O/E# ビットで指定した偶数/奇数パリティの設定と一致しなかったとき <p>【注】* 2ストップモードのときは、1ビット目のストップビットが 1 であるかどうかのみを判定し、2ストップビット目のストップビットはチェックしません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0：送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信データを書き込み、TEND フラグに 0 を書き込んだとき • DMAC で SCFTDR へデータを書き込んだとき <p>1：送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき <p>【注】 クロック同期式モードにおいて、DMAC を使用し、SCFTDR へデータを書き込んだ場合、TEND フラグがクリアされない場合があります。そのため、クロック同期式モードにおいて、DMAC 使用時は、下記手順にて TEND フラグの読み出しを行ってください。</p> <ol style="list-style-type: none"> 1. DMAC にてデータ転送終了を確認 2. TEND フラグを読み出し 3. TEND フラグが 1 の場合、0 クリア 4. 再度 TEND フラグを読み出し 5. 2 度目に読み出した TEND フラグを使用

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンプティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG[1:0]ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>SCFTDR は 16 バイトの FIFO レジスタです。TDFE=1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は、無視されます。また、SCFTDR 内のデータ数は、SCFCR の上位ビットに示されます。</p> <p>TDFE フラグは、SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは、送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。</p> <p>0 : SCFTDR 内に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE に 0 を書き込んだとき • DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1 : SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき
4	BRK	0	R/W*	<p>ブレイク検出</p> <p>受信データのブレイク信号を検出して示します。ブレイク検出すると受信データ (H'00) の SCFRDR 転送は停止します。ブレイクが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p> <p>0 : ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • 0 を書き込んだとき <p>1 : ブレイク信号を受信したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • 次に SCFRDR から読み出す受信データにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出す受信データにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • 次に SCFRDR から読み出す受信データにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出すデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG[1:0]ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>SCFRDR は 16 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと、不定値が読み出されます。なお、SCFRDR 内の受信データ数は、SCFCR の下位ビットに示されます。</p> <p>読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされるので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/W*	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0：受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1：次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき <p>【記号説明】 ETU (Elementary Time Unit : 1 ビットの転送期間の略)</p> <p>【注】 15ETU 時間は、8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

19.2.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。本ボーレートジェネレータは、P1φ、P1φ/4、P1φ/16、P1φ/64 用です。外部クロック用ボーレートジェネレータについては、「19.6 外部クロック用ボーレートジェネレータ (BRG)」を参照してください。

SCBRR は、常に CPU による読み出し/書き込みが可能です。

SCBRR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'FF に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P1\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \frac{P1\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$) (電気的特性を満足する値としてください。)

P1φ: 周辺モジュール用動作周波数 (MHz)

n: 0、1、2、3

(n とボーレートジェネレータ入力クロックの関係は、表 19.5 を参照してください)

表 19.5 SCSMR の設定値

n	ボーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	P1φ	0	0
1	P1φ/4	0	1
2	P1φ/16	1	0
3	P1φ/64	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P1\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

19.2.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信／受信の各 FIFO レジスタのデータ数のリセットおよびトリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含みます。

SCFCR は、常に CPU による読み出し／書き込みが可能です。

SCFCR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS#出力アクティブトリガ SCFRDR 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS#信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ SCFSR のデータフル (RDF) フラグをセットする受信データ数を設定するビットです。 SCFRDR に格納された受信データ数が以下に示すトリガ設定数以上になったとき RDF フラグをセットします。 • 調歩同期式モード 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード 00 : 1 01 : 2 10 : 8 11 : 14

ビット	ビット名	初期値	R/W	説明
5、4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、以下に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 8 (8)</p> <p>01 : 4 (12)</p> <p>10 : 2 (14)</p> <p>11 : 0 (16)</p> <p>【注】 () 内の値はフラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールラインネーブル</p> <p>モデムコントロール信号 CTS#、RTS#を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。モデム機能を選択できないチャンネルがあります。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】 * CTS#、RTS#は、ポート機能となります。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>SCFTDR 内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * パワーオンリセット、マニュアルリセット、ディープスタンバイ時には、リセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>SCFRDR 内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】 * パワーオンリセット、マニュアルリセット、ディープスタンバイ時には、リセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TX) と受信入力端子 (RX)、RTS#端子と CTS#端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

19.2.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、SCFTDR および SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。

SCFDR は常に CPU から読み出しができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	T[4:0]				—	—	—	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'10 は SCFTDR に満杯の送信データが格納されていることを示します。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'10 は SCFRDR に満杯の受信データが格納されていることを示します。

19.2.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。

ビット 1、0 によって RX 端子から入力データを読み出し、TX 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

ビット 3 およびビット 2 で、SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。

ビット 5 およびビット 4 で、CTS#端子に対してデータの読み込みおよび出力データを書き込むことができます。

ビット 7 およびビット 6 で、RTS#端子に対してデータの読み込みおよび出力データを書き込むことができます。

SCSPTR レジスタは 16 ビットで、常に CPU による読み出し／書き込みが可能です。

パワーオンリセット、マニュアルリセット、ディープスタンバイ時に、ビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は不定です。

【注】 モデムコントロール機能を選択できないチャンネルがあります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTS IO	RTS DT	CTS IO	CTS DT	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値:	0	0	0	0	0	0	0	0	0	—	0	—	0	—	0	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	シリアルポート RTS#ポート入出力 シリアルポートの RTS#端子の入出力を指定します。 実際に RTS#端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : RTS#端子に RTSDT ビットの値を出力しないことを示します。 1 : RTS#端子に RTSDT ビットの値を出力することを示します。
6	RTSDT	不定	R/W	シリアルポート RTS#ポートデータ シリアルポートの RTS#端子の入出力データを指定します。 入出力は RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が RTS#端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは RTS#端子の値が読み出されます。 パワーオンリセット、マニュアルリセット、ディープスタンバイ後の初期値は、不定です。 0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。
5	CTSIO	0	R/W	シリアルポート CTS#ポート入出力 シリアルポートの CTS#端子の入出力を指定します。 実際に CTS#端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : CTS#端子に CTSDT ビットの値を出力しないことを示します。 1 : CTS#端子に CTSDT ビットの値を出力することを示します。
4	CTS DT	不定	R/W	シリアルポート CTS#ポートデータ シリアルポートの CTS#端子の入出力データを指定します。 入出力は CTSIO ビットで指定します。出力の場合、CTS DT ビットの値が CTS#端子に出力されます。CTSIO ビットの値にかかわらず、CTS DT ビットからは CTS#端子の値が読み出されます。 パワーオンリセット、マニュアルリセット、ディープスタンバイ後の初期値は、不定です。 0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCK 端子の入出力を指定します。 実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CK1、CK0 ビットを 0 に設定してください。 0 : SCK 端子に SCKDT ビットの値を出力しないことを示します。 1 : SCK 端子に SCKDT ビットの値を出力することを示します。

ビット	ビット名	初期値	R/W	説明
2	SCKDT	不定	R/W	<p>シリアルポートクロックポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。</p> <p>入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。</p> <p>パワーオンリセット、マニュアルリセット、ディープスタンバイ後の初期値は、不定です。</p> <p>0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。</p>
1	SPB2IO	0	R/W	<p>シリアルポートブレイク入出力</p> <p>シリアルポートの TX 端子の出力条件を指定します。</p> <p>実際に TX 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : TX 端子に SPB2DT ビットの値を出力しないことを示します。 1 : TX 端子に SPB2DT ビットの値を出力することを示します。</p>
0	SPB2DT	不定	R/W	<p>シリアルポートブレイクデータ</p> <p>シリアルポートの RX 端子の入力データおよび TX 端子の出力データを指定します。</p> <p>TX 端子の出力条件は SPB2IO ビットで指定します。TX 端子を出力に設定した場合、SPB2DT ビットの値が TX 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RX 端子の値が読み出されます。</p> <p>パワーオンリセット、マニュアルリセット、ディープスタンバイ後の初期値は、不定です。</p> <p>0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。</p>

SCIF の I/O ポートのブロック図を図 19.2～図 19.6 に示します。

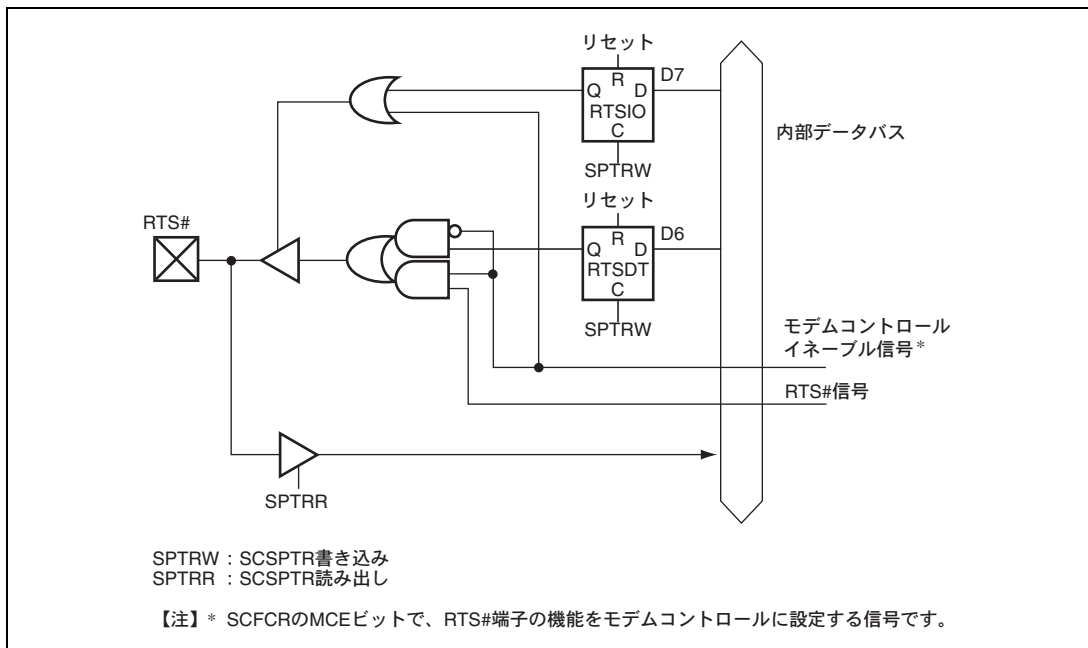


図 19.2 RTS#端子

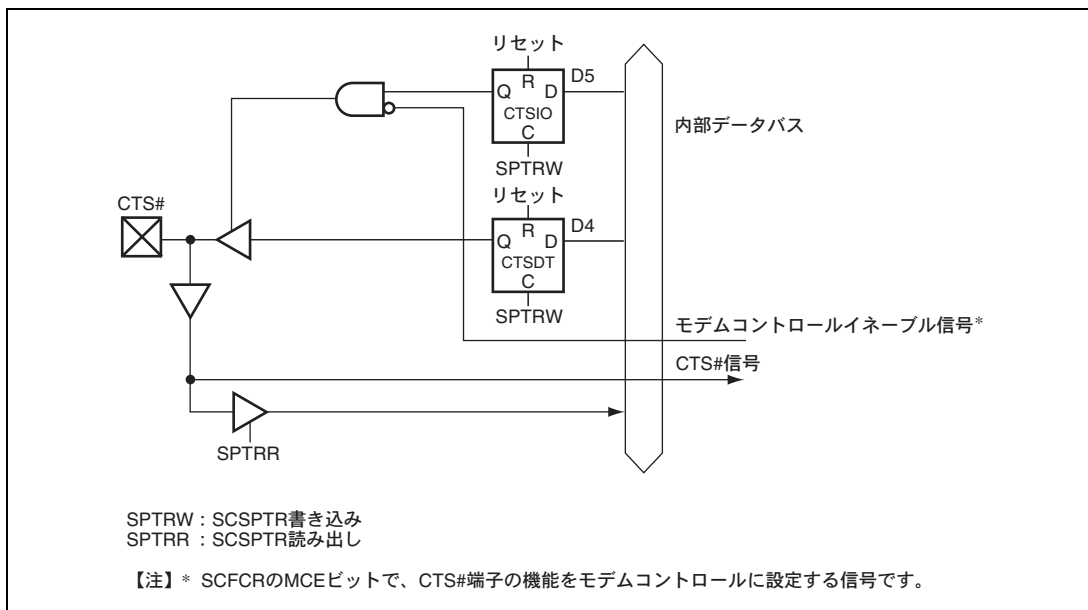


図 19.3 CTS#端子

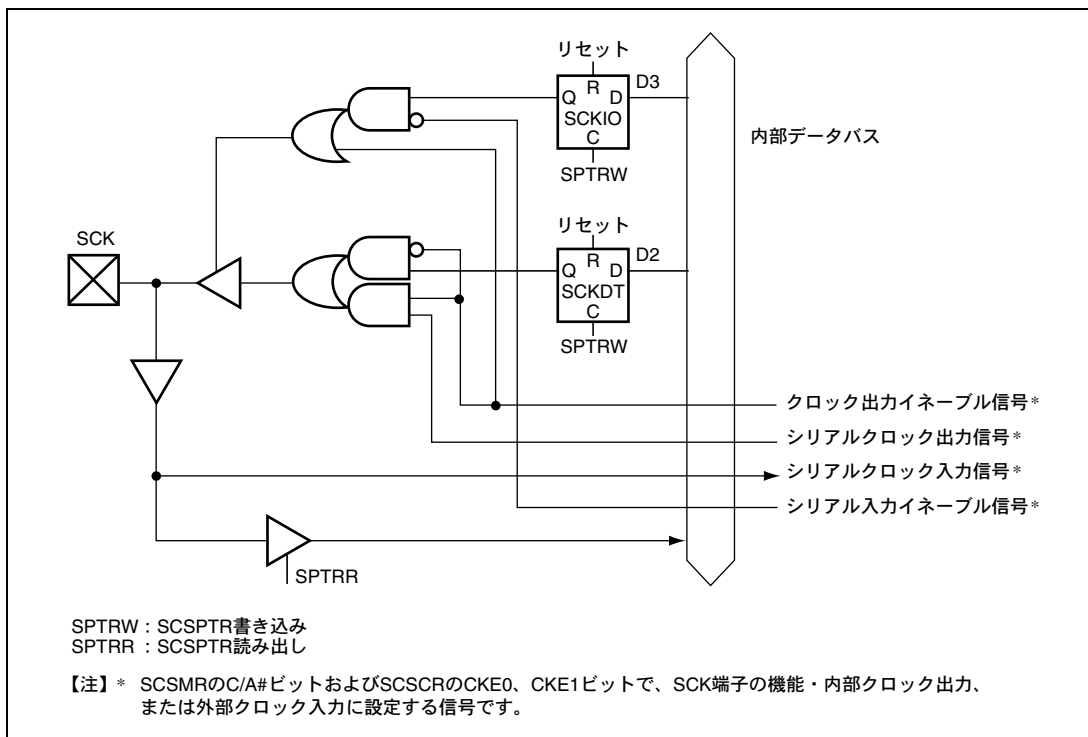


図 19.4 SCK 端子

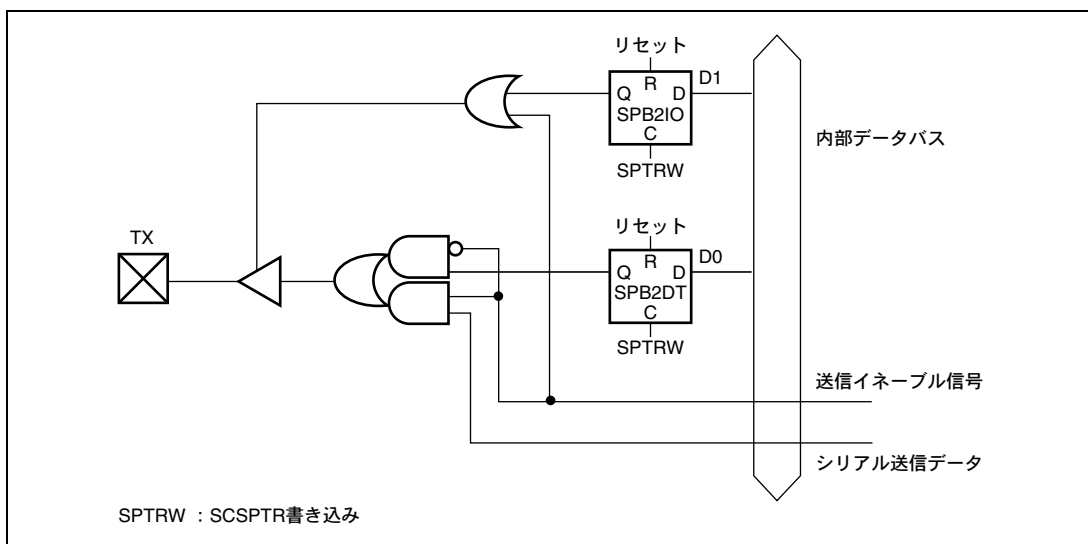


図 19.5 TX 端子

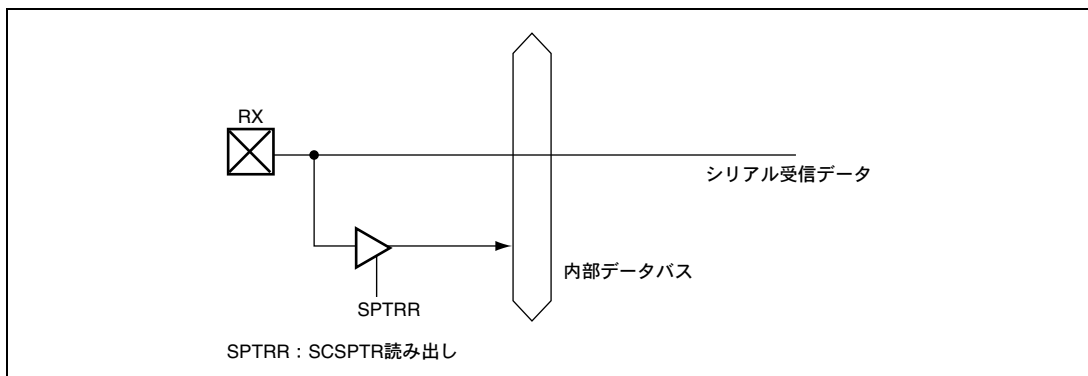


図 19.6 RX 端子

19.2.12 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TO	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*	R	R/W*

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TO	0	R/W*	<p>タイムアウト</p> <p>調歩同期式モードで、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。</p> <p>クロック同期式モードに設定した場合は、セットされません。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット、ディープスタンバイ時 SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき <p>1: 次の受信データが来ないことを表示 (受信タイムアウト)</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき <p>【記号説明】 ETU (Elementary Time Unit : 1 ビットの転送期間の略)</p> <p>【注】 15ETU 時間は、8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

ビット	ビット名	初期値	R/W	説明
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p> <p>ORER フラグをクリアして受信を再開する場合、受信 FIFO からのデータ読み出し(または受信 FIFO クリア)と受信エラー処理を行った後で、ORER フラグをクリアしてください。</p> <p>0 : 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット、ディープスタンバイ時 • 0 を書き込んだとき <p>1 : 受信時にオーバランエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR が最大数 (16 バイト) のデータを受信した状態で次のシリアル受信を完了したとき <p>【注】 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p>

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

19.3 動作説明

19.3.1 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信/受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

調歩同期式シリアル通信の一般的なフォーマットを図 19.7 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ/ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを1ビット期間の16倍の周波数のクロックの8番目でサンプリングするので、各ビットの中央で通信データが取り込まれます。

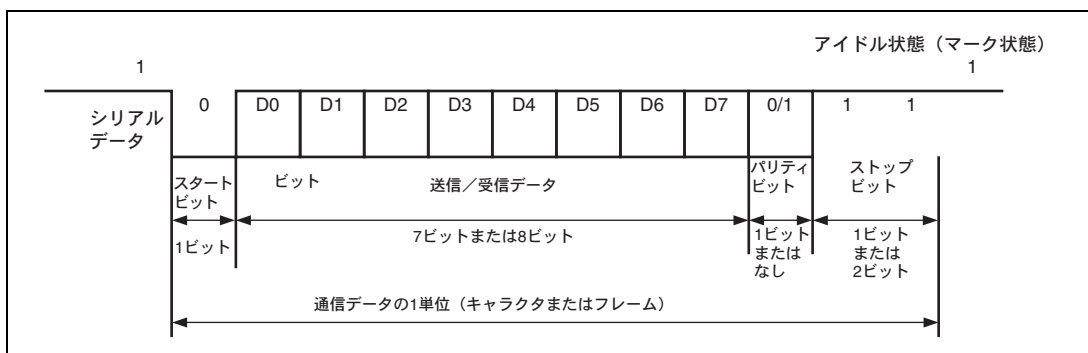


図 19.7 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット、クロック

設定可能な送信/受信フォーマットを、表 19.6 に示します。

送信/受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

SCIF の送受信クロックは、SCSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または外部クロック用ポーレートジェネレータの生成した外部クロックの 2 種類から選択できます。

表 19.6 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット
 STOP: ストップビット
 P : パリティビット

(2) データの送信/受信動作

• SCIFの初期化 (調歩同期式)

データの送信/受信前、動作モードの変更、通信フォーマットの変更などの場合には、図 19.8 に示す SCIF の初期化フローチャートの例を参考に SCIF の初期化を行ってください。

【注意事項】

TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR、および SCFRDR の内容は保持されるので注意してください。

TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また、再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして、SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になるので、初期化を含めた動作中にクロックを止めないでください。また、外部クロック用ポーレートジェネレータを使用する場合は、下記の初期化フローより前に外部クロック用ポーレートジェネレータの設定を行ってください。

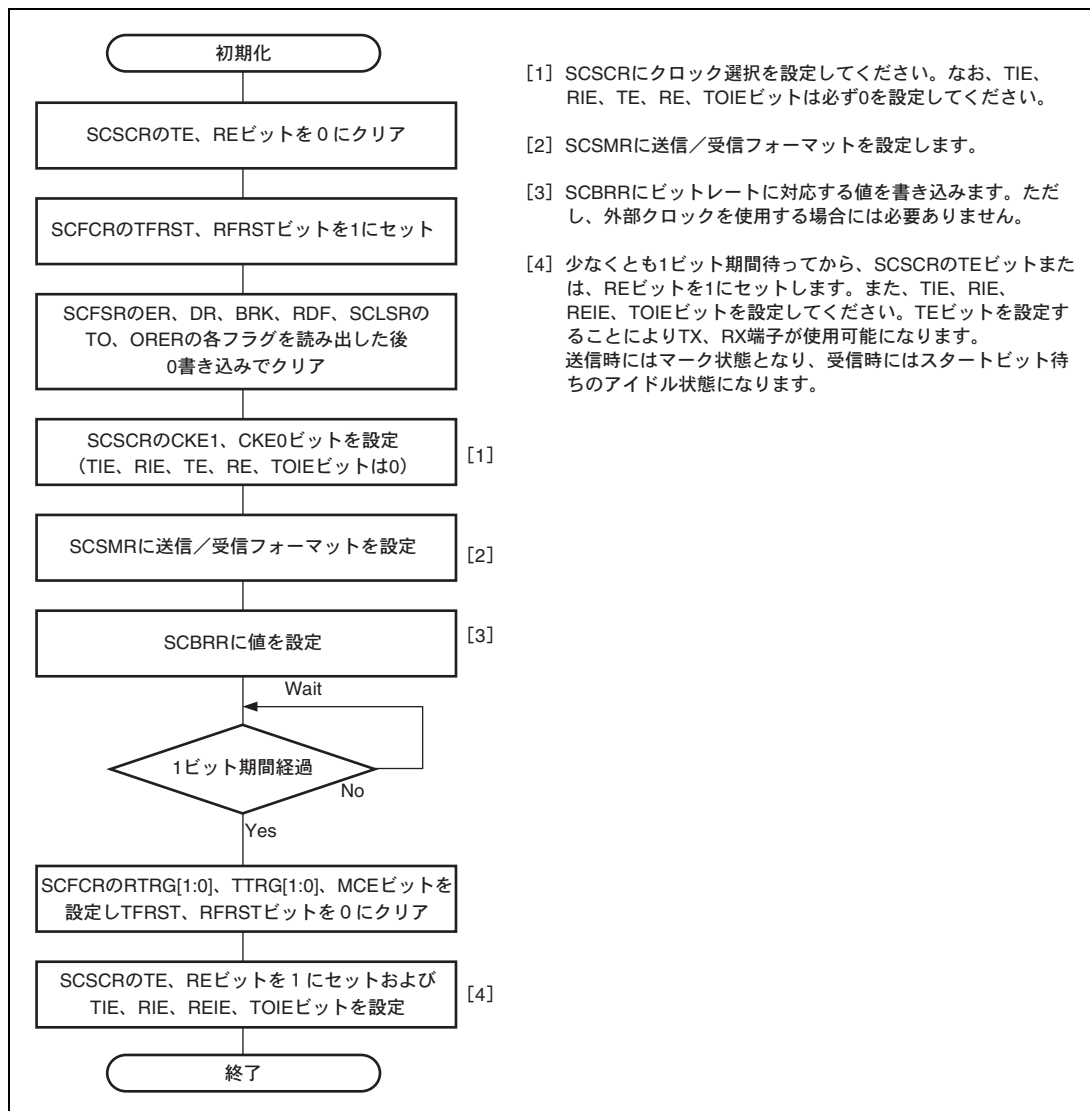


図 19.8 SCIF の初期化フローチャート

● シリアルデータ送信（調歩同期式）

図 19.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

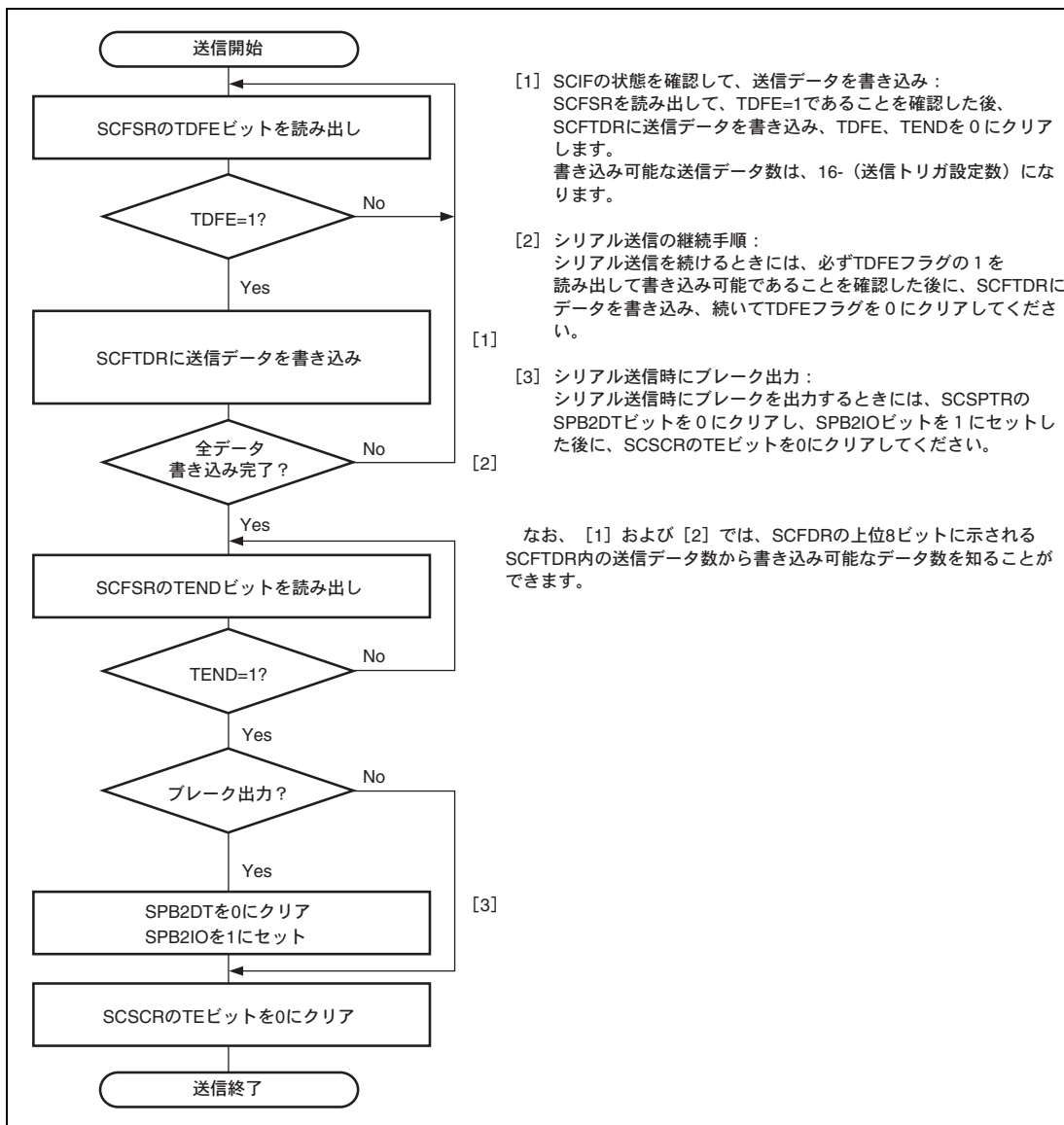


図 19.9 シリアル送信のフローチャートの例

SCIF は、シリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は、少なくとも16－（送信トリガ設定数）です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1、TEIEビットが0にセットされていると、トランスミットFIFOデータエンプティ割り込み（TDFE）要求を発生します。
シリアル送信データは、以下の順にTX端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット（偶数パリティ、または奇数パリティ）が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このとき、SCSCRのTIEビットが1、TEIEビットが1にセットされていると、トランスミットエンド（TEND）割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 19.10 に示します。

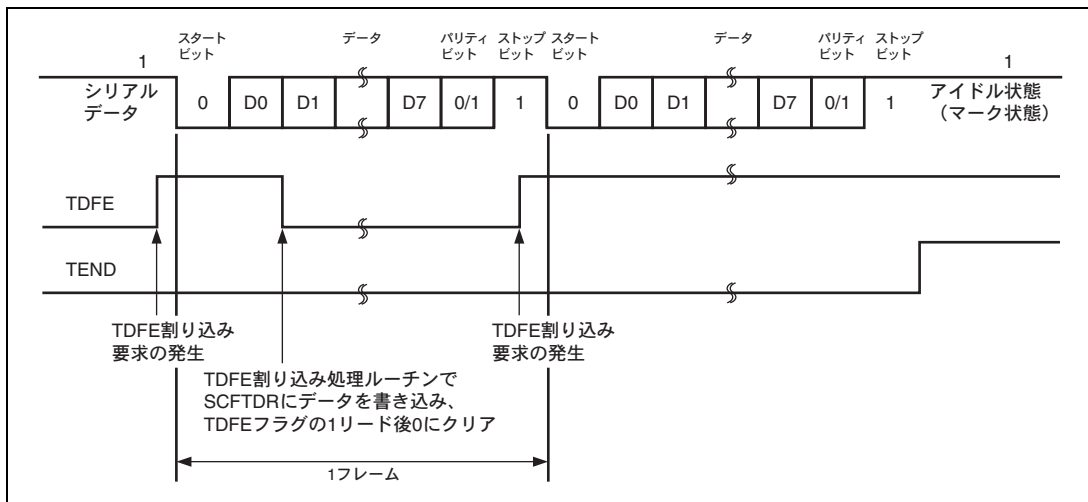


図 19.10 送信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

4. モデムコントロールイネーブル時は、CTS#入力値によって送信動作を停止/再開することができます。CTS#が1になると、現在送信中のときは1フレーム送信終了後マーク状態になります。CTS#を0にすると、再びスタートビットから次の送信データを出力します。

モデムコントロール時の動作例を図 19.11 に示します。

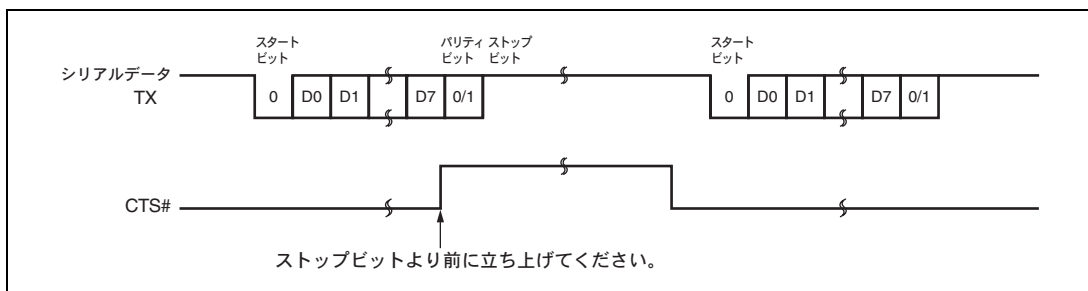


図 19.11 モデムコントロール (CTS#) 時の動作例

● シリアルデータ受信（調歩同期式）

図 19.12、図 19.13 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

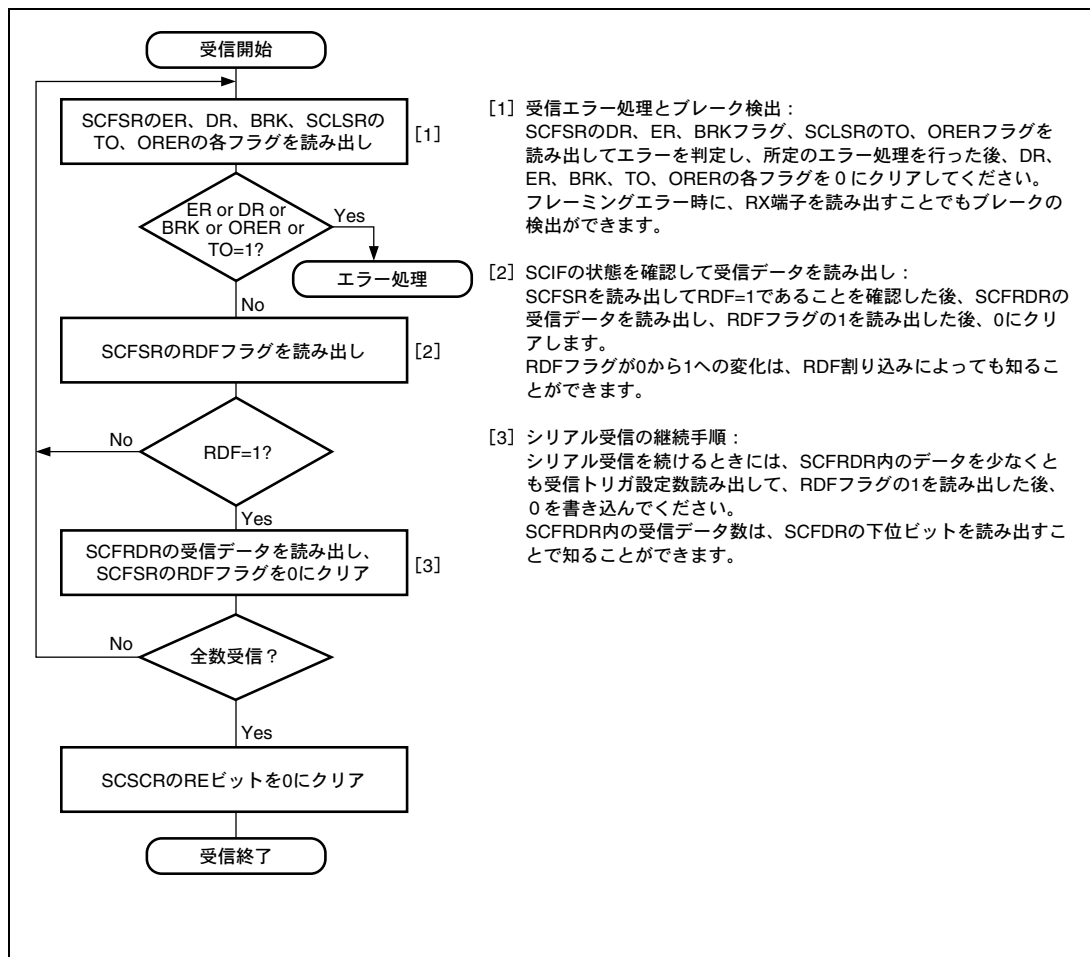


図 19.12 シリアル受信のフローチャートの例 (1)

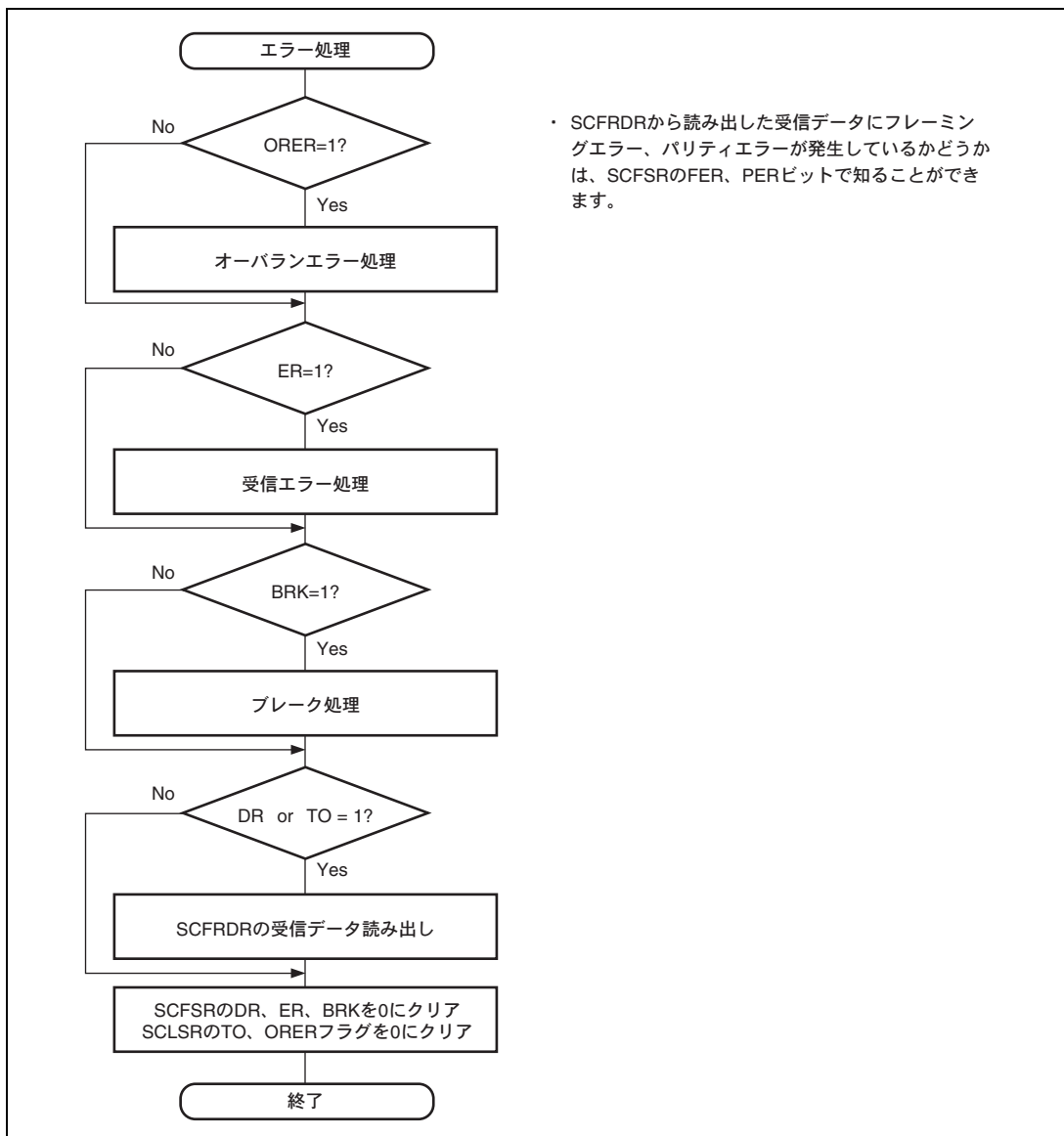


図 19.13 シリアル受信のフローチャートの例 (2)

SCIF は、受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。受信後、SCIFは以下のチェックを行います。(b)、(c)、(d)のチェックがパスしたとき、SCFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。
 - (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。
 - (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。
4. SCSCRのRIEビットが1にセットされていてRDFフラグが1になったとき、レシーブFIFOデータフル割り込み (RDF) 要求を発生します。SCSCRのRIEビットが1にセットされていてDRフラグが1になったとき、レシーブデータレディ割り込み (RDF) 要求を発生します。SCSCRのTOIEビットが1にセットされていてTOフラグが1になったとき、タイムアウト割り込み (TO) 要求を発生します。
また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとレシーブエラー割り込み (ER) 要求を発生します。
さらに、BRKフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク検出割り込み (BRK) 要求を発生します。ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、オーバランエラー割り込み (ORER) 要求を発生します。

調歩同期式モード受信時の動作例を図 19.14 に示します。

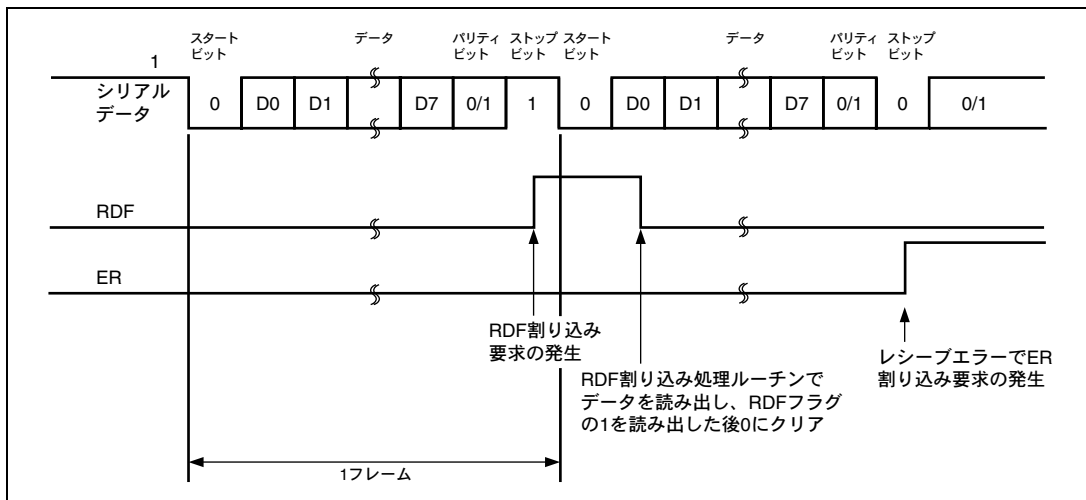


図 19.14 SCIF の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によってRTS#信号を出力します。RTS#が0のときは、受信可能状態です。RTS#が1のときは、SCFRDR内のデータ数がRTS#出力アクティブトリガ設定数以上であることを示します。

モデムコントロール時の動作例を図 19.15 に示します。

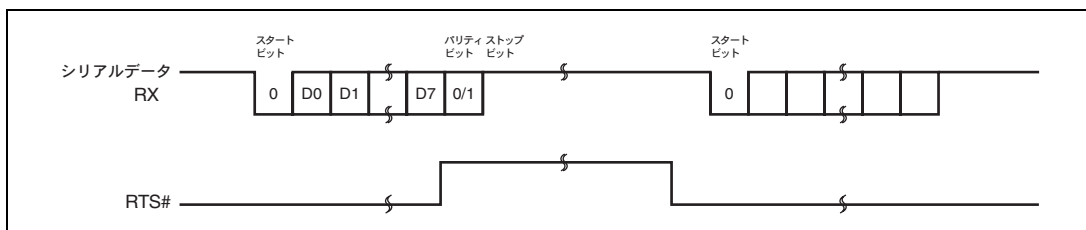


図 19.15 モデムコントロール (RTS#) の動作例

19.3.2 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

クロック同期式シリアル通信の一般的なフォーマットを図 19.16 に示します。

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

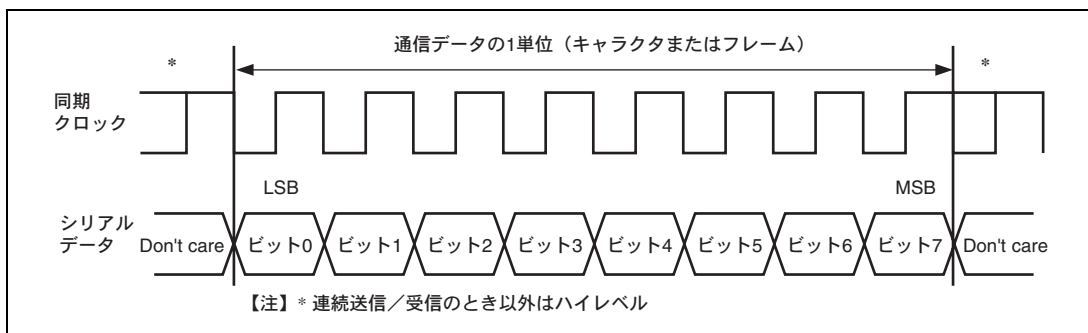


図 19.16 クロック同期式通信のデータフォーマット

(1) 送信／受信フォーマット、クロック

8 ビット固定です。パリティビットの付加はできません。

SCSMR の C/A#ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(2) データの送信／受信動作

• SCIFの初期化（クロック同期式）

データの送信／受信前、モードの変更、通信フォーマットの変更などの場合には必ず、SCSCR の TE および RE ビットを 0 にクリアした後、図 19.17 に示す初期化フローチャート例を参考に、SCIF の初期化を行ってください。

【注】 TE ビット 0 にクリアすると、SCTSR が初期化されます。RE ビットを 0 にクリアしても、RDF、PER、FER、ORER の各フラグ、および SCRDR の内容は保持されるので注意してください。

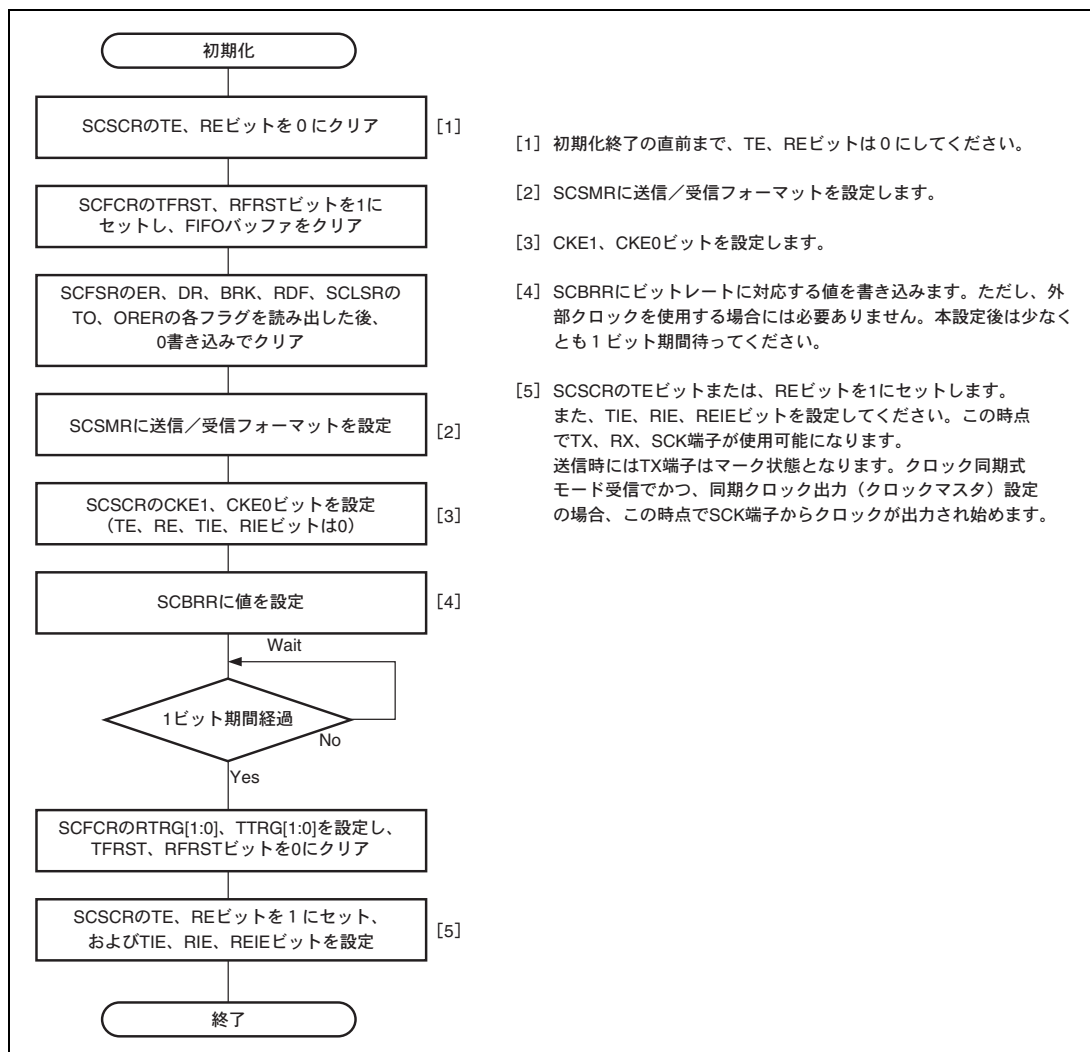


図 19.17 SCIF 初期化フローチャートの例

● シリアルデータ送信 (クロック同期式)

図 19.18 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

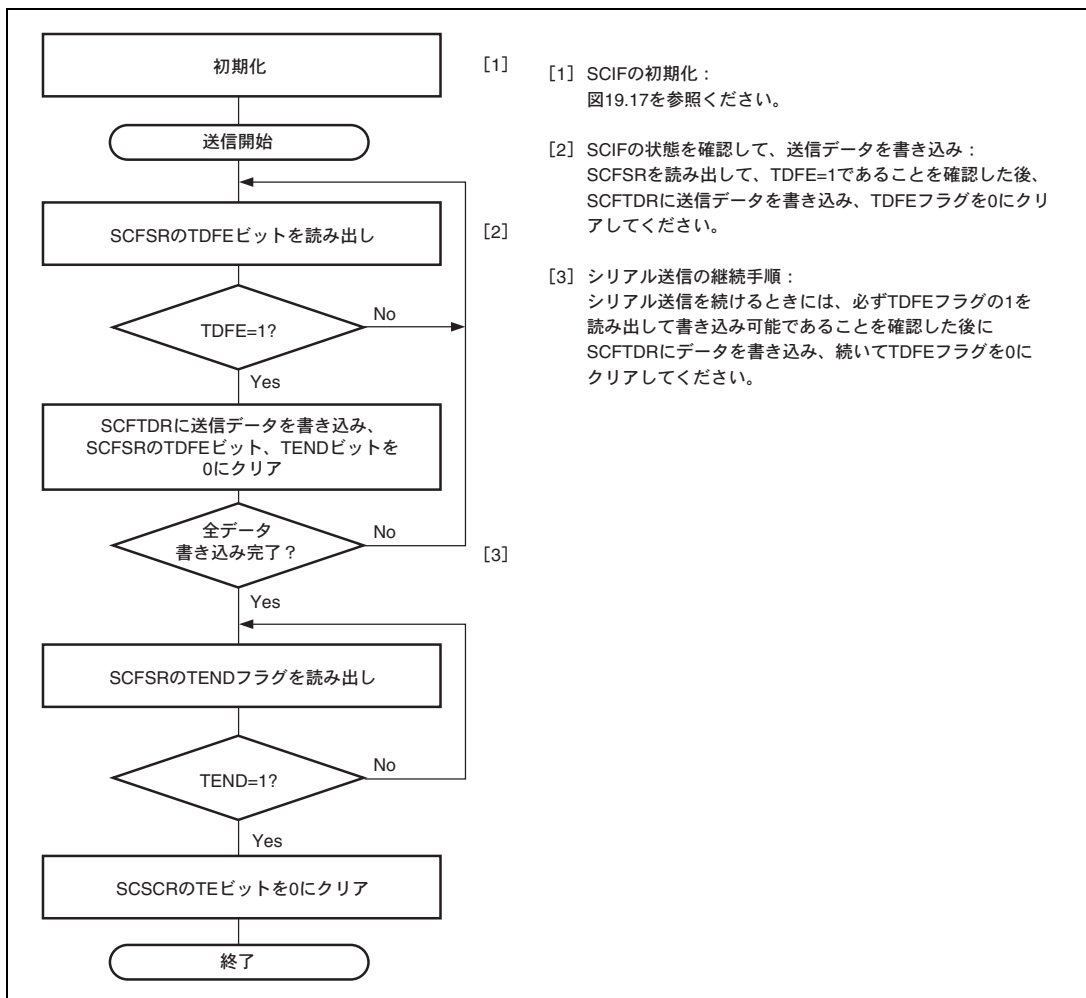


図 19.18 シリアル送信のフローチャートの例

SCIF は、シリアル送信時に、以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は、少なくとも {16- (送信トリガ設定数) } です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1、TEIEビットが0にセットされていると、トランスミットFIFOデータエンプティ割り込み (TDFE) 要求を発生します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にTX端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、トランスミットデータ端子 (TX端子) は状態を保持します。このとき、SCSCRのTIEビットが1、TEIEビットが1にセットされていると、トランスミットエンド (TEND) 割り込み要求を発生します。
4. シリアル送信終了後、SCK端子はハイレベル固定になります。

【注】 クロック同期式モードにおいて、DMAC を使用し SCFTDR へデータを書き込んだ場合、TEND フラグがクリアされない場合があります。そのため、クロック同期式モードにおいて、DMAC 使用時は、下記手順にて TEND フラグの読み出しを行ってください。

- (a) DMAC にてデータ転送終了を確認
- (b) TEND フラグを読み出し
- (c) TEND フラグが 1 の場合、0 クリア
- (d) 再度 TEND フラグを読み出し
- (e) 2 度目に読み出した TEND フラグを使用

図 19.19 に SCIF の送信時の動作例を示します。

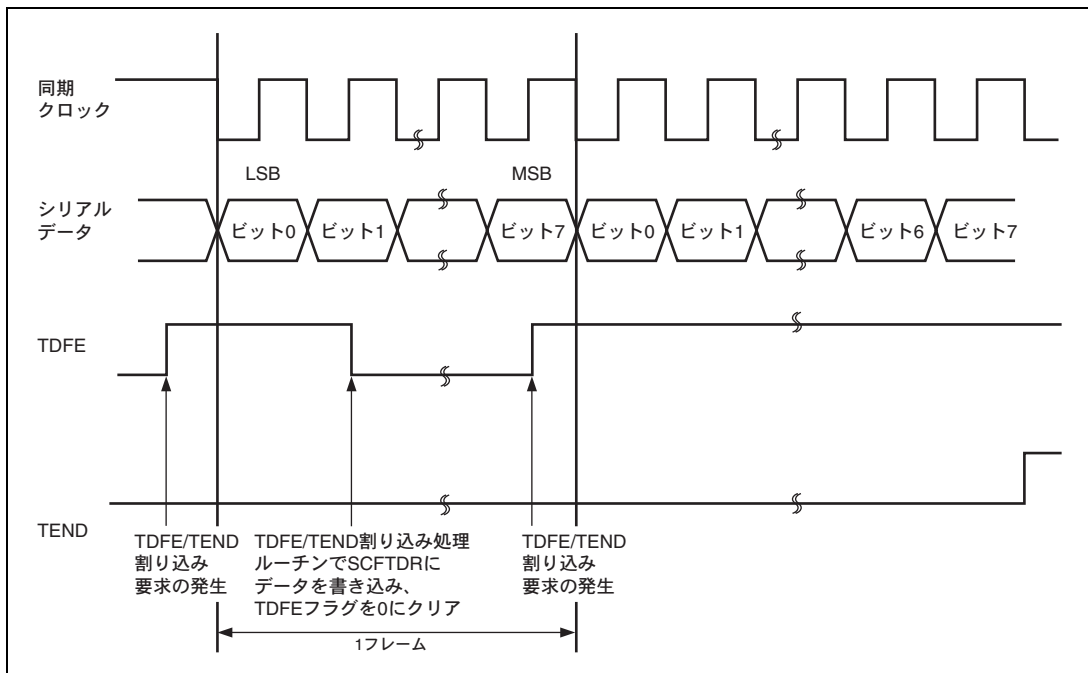


図 19.19 SCIF の送信時の動作例

● シリアルデータ受信 (クロック同期式)

図 19.20、図 19.21 にシリアル受信のフローチャートの例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER3~0、FER3~0 の各フラグが 0 にクリアされていることを確認してください。

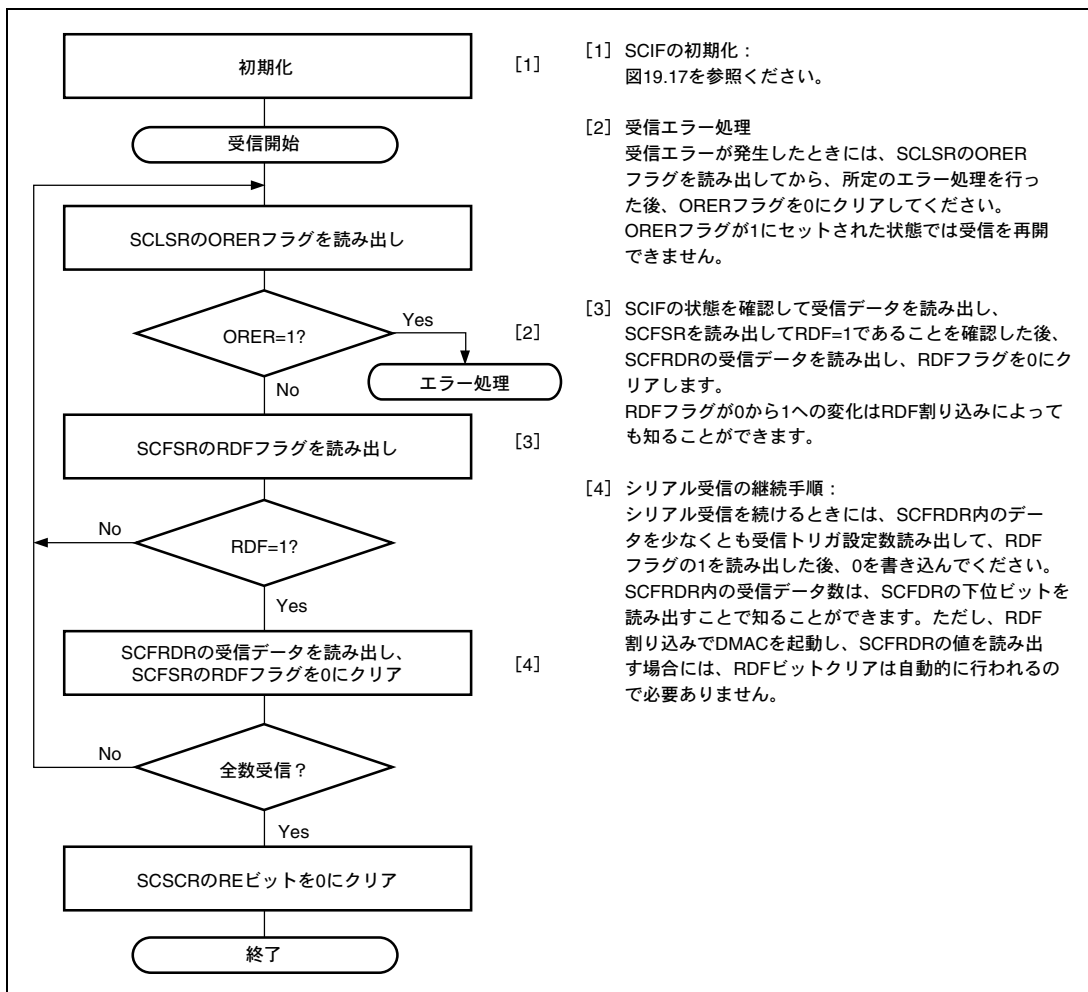


図 19.20 シリアル受信のフローチャートの例

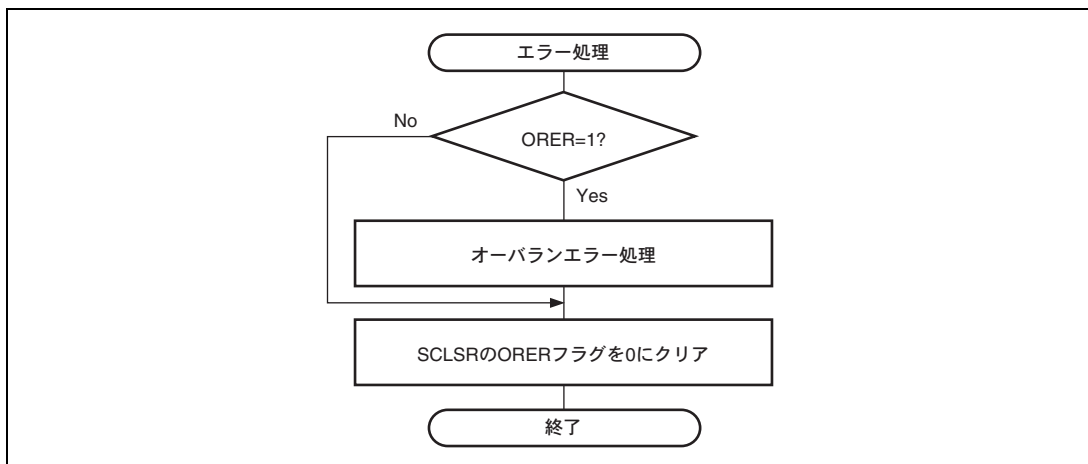


図 19.21 シリアル受信のフローチャートの例

SCIF は、シリアル受信時に、以下のように動作します。

1. SCIFは、同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。
エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、レシーブFIFOデータフル割り込み (RDF) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク割り込み (BRI) 要求を発生します。

図 19.22 に SCIF の受信時の動作例を示します。

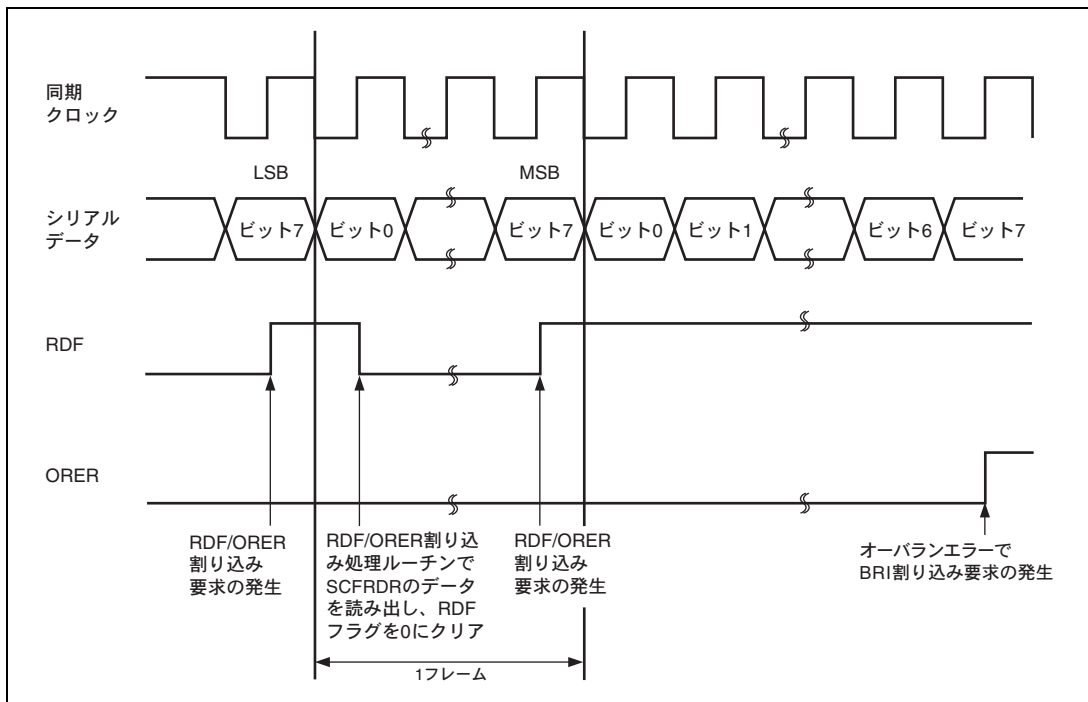


図 19.22 SCIF の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式)

図 19.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

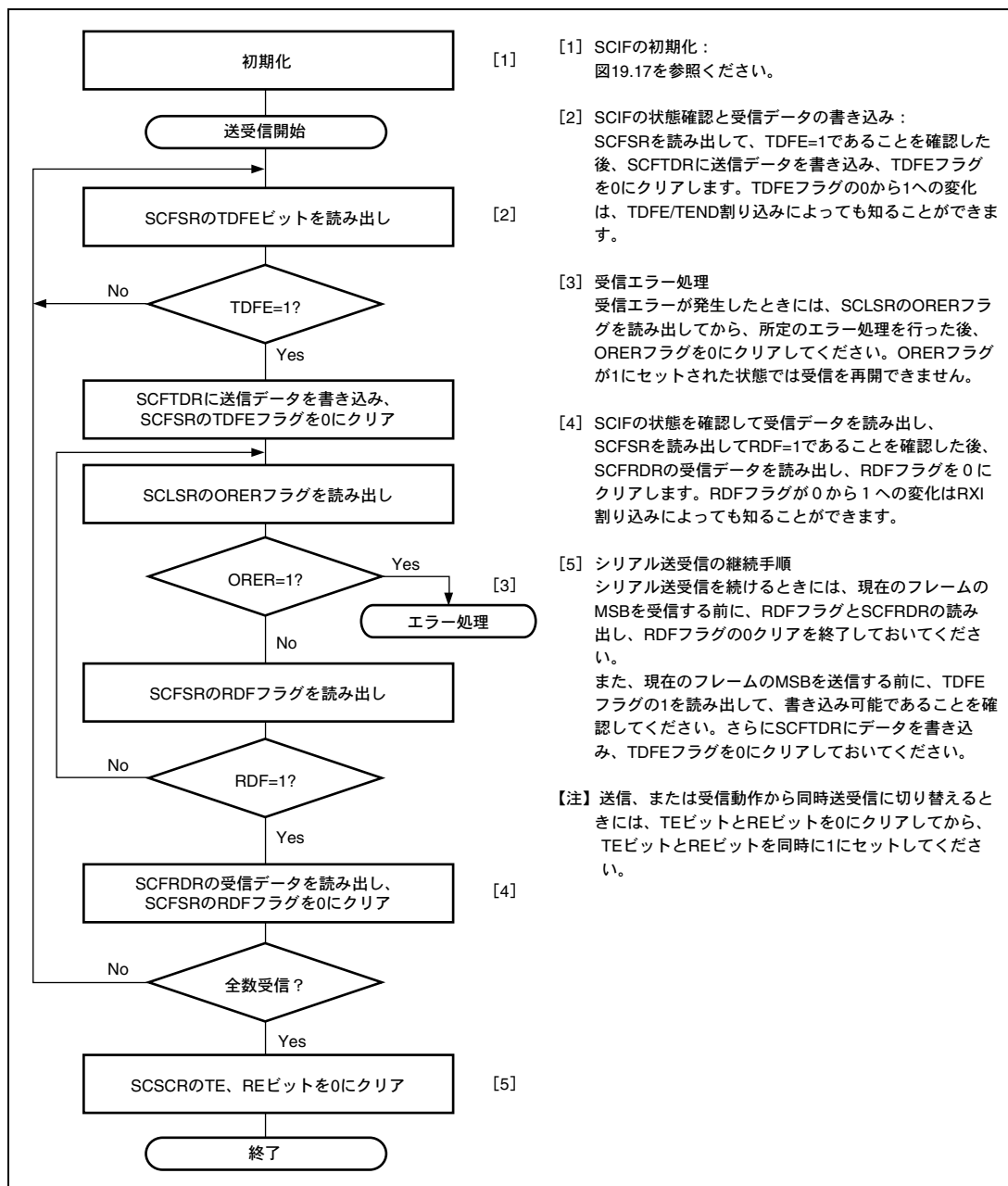


図 19.23 シリアル送受信のフローチャートの例

19.4 SCIF 割り込み要因と DMAC

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから、SCIF の設定を行ってください。

(1) 送信系割り込みと DMA 転送

TIE ビットにより TDFE/TEND が許可されている場合、SCFSR の TDFE/TEND フラグが 1 にセットされると、TDFE/TEND 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TDFE/TEND が禁止されている場合、TDFE/TEND フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します (SCSCR の TEIE ビットが 0 の場合は TDFE フラグ、TEIE ビットが 1 の場合は TEND フラグがセットされたときに発生します。DMA 転送要求は TEIE の影響を受けません)。

TDFE/TEND 割り込み要求を出す設定にした場合、割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(2) 受信系割り込みと DMA 転送

RIE ビットにより RDF/DR が許可されている場合、SCFSR の RDF/DR フラグが 1 にセットされると、RDF/DR 割り込み要求が発生します。また、RDF/DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RDF/DR が禁止されている場合、RDF/DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生し、DMAC を起動してデータ転送を行うことができます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RDF/DR 割り込み要求を出さずに ER/BRK/ORER 割り込み要求を出すことができます。SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRK/ORER 割り込み要求が発生します。

TOIE ビットにより TO が許可されている場合、SCLSR の TO フラグが 1 にセットされると、TO 割り込み要求が発生します。

DR フラグまたは TO フラグが 1 にセットされたことによる DR/TO 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

DR/TO 割り込み要求を出す設定にした場合、DR フラグによる割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。TO フラグによる割り込み要求は DMAC によってクリアされませんので、割り込み処理プログラムによるクリア処理が必要です (DR フラグと TO フラグのセットは同時に行われ、クリアは個別処理となります)。

表 19.7 SCIF 割り込み要因

割り込み要因	DMAC の起動	リセット解除時の優先順位
レシーブエラー (ER) による割り込み	不可	高 ↑ ↓ 低
レシーブ FIFO データフル (RDF) またはレシーブデータレディ (DR) タイムアウト (TO) による割り込み*	可	
ブレイク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
トランスミット FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR、TO による割り込みは、調歩同期モード時のみ

19.5 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RX 端子の値を直接読み出すことによって、ブレークを検出できます。ブレークでは、RX 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると、SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(2) ブレークの送り出し

TX 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TX 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは、SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると、現在の送信状態とは無関係に送信部は初期化され、TX 端子からは 0 が出力されます。

(3) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 19.24 に示します。

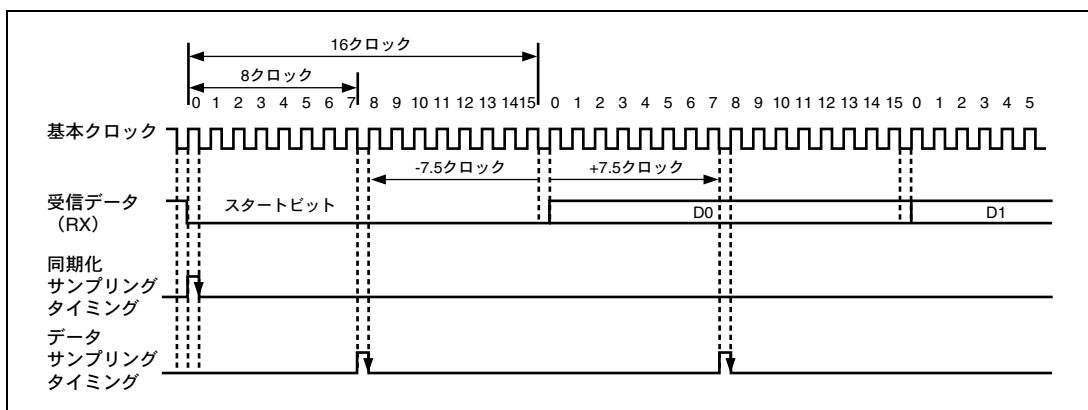


図 19.24 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\% \cdots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\%$$

$$= 46.875\% \cdots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(4) 受信マージンとボーレート誤差

式 (2) の 46.875% は、ボーレート誤差が 0 (F=0) のときの受信マージンです。つまり、受信と送信のボーレートに誤差がなければ、約 1/2 ビット分のずれがあっても受信可能です。送信と受信のボーレートに誤差があると、ストップビット受信までの誤差が蓄積されることになり受信マージンが低下します。ボーレートの許容誤差を求めるために、式 (1) を F について変形します。D=0.5 とすると、式 (3) になります。

$$F = \left\{ (15/32 - M) / (L - 0.5) \right\} \times 100 (\%) \cdots \text{式 (3)}$$

式 (3) から、フレーム長 L=12 の場合の許容誤差 - 受信マージンは、以下のようになります。

許容誤差 (%)	4.07	3.64	3.20	2.33	1.46
受信マージン (%)	0	5	10	20	30

19.6 外部クロック用ポーレートジェネレータ (BRG)

19.6.1 概要

外部クロック用ポーレートジェネレータ (以下、BRG と略します) は、SCIF に内蔵され、外部クロック SC_CLK (SCIF_CLK、clks1 の 2 つより選択) に対し、1 から 2 の 16 乗-1 の範囲で分周することにより、SCIF モジュールへサンプリングクロック (BRGCLK) を供給します。また、外部クロック SCK と分周クロックとの出力の切り替えも行います。

19.6.2 各ブロックの説明

図 19.25 に、BRG のブロック図を示します。

(1) リセット制御

制御レジスタ、ベースカウンタ、トリガジェネレータのリセットを制御します。

(2) 制御レジスタ

分周レジスタ、クロックセレクトレジスタを保持します。

(3) ベースカウンタ

16 ビットの CLK 同期カウンタ。

分周クロック生成の際、タイミングを決めるために基準となるカウンタです。

(4) トリガジェネレータ

分周レジスタ値およびベースカウンタの値でタイミングを取り、分周クロックの立ち上がり/立ち下がりエッジのトリガを生成します。これにより、分周クロックを生成します。

また、SCK (外部クロック入力) と分周クロックとの出力の切り替えも行います。

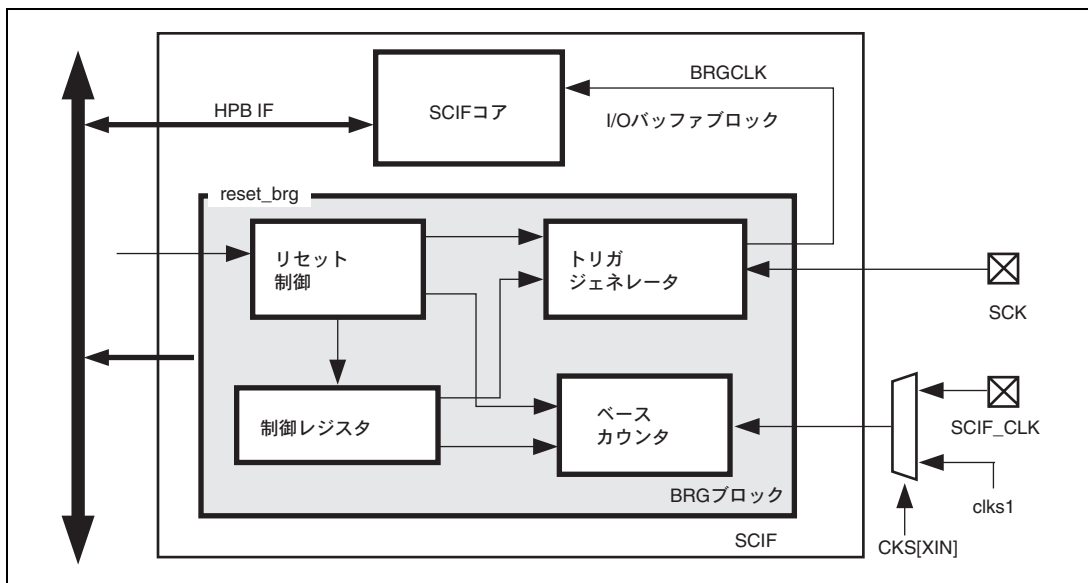


図 19.25 BRG ブロック図

19.6.3 レジスタ仕様

本ブロックには表 19.8 に示す内部レジスタがあります。

表 19.8 レジスタ構成

名 称	略称	R/W	初期値	相対アドレス	アクセスサイズ
分周レジスタ	DL	R/W	H'00	H'30	16
クロックセレクトレジスタ	CKS	R/W	H'00	H'34	16

(1) 分周レジスタ (DL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DL15	DL14	DL13	DL12	DL11	DL10	DL9	DL8	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	DL[15:0]	H'0000	R/W	BRG で生成する分周クロックの分周値を指定します。DL は、16 ビットのバイナリフォーマットで、1~65,535 の範囲で設定可能です。なお、DL の値が H'0000 の場合、分周クロックはローレベル出力となります。分周値は、以下の計算式により求められます。 $\text{分周値} = \text{クロック入力周波数} / (\text{要求するポーレート} \times 16)$ 表 19.9 に、3.6864MHz の水晶発振子を使用した場合のポーレートジェネレータの使用法を示します。

(2) クロックセレクトレジスタ (CKS)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKS	XIN	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CKS	0	R/W	分周クロック (SC_CLK) と外部クロック (SCK) との出力を切り替えます。 0 : 分周クロックを選択します。 1 : 外部クロックを選択します。
14	XIN	0	R/W	外部クロック用ポーレートジェネレータクロックソースを選択します。SCIF_CLK と clks1 の 2 種類のクロックソースを選択できます。 0 : 外部クロック (SCIF_CLK) を選択します。 1 : 内部クロック (clks1) を選択します。
13~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 19.9 ポーレート (3.6864MHz クロック)

ポーレート	分周値	エラー率*
50	4,608	—
75	3,072	—
110	2,095	-0.022
134.5	1,713	0.001
150	1,536	—
300	768	—
600	384	—
1,200	192	—
1,800	128	—
2,000	115	0.174
2,400	96	—
3,600	64	—
4,800	48	—
7,200	32	—
9,600	24	—
14,400	16	—
19,200	12	—
38,400	6	—
76,800	3	—
115,200	2	—

【注】 * — : エラー率=0 を示します。

19.6.4 分周レジスタ設定時の注意事項

- リセット後、本レジスタへの最初の設定の際には、クロック安定時間を保証するため、1ビット期間以上、待ち時間が必要です。

(例) DL=2の1ビット期間

$$3.68 \text{ (MHz)} \times 1/2 \times 1/16 = 0.115 \text{ (MHz)} \rightarrow 8695 \text{ (ns)}$$

- 上記1.での設定以降、本レジスタ値を再度書き換える場合は、最大ビットレート (DL=65,535) の1ビット期間以上、待ち時間が必要です。SCIFレジスタとBSGレジスタは、以下のように設定してください。

• 調歩同期式モード (SC_CLK外部入力)

SCIF	レジスタ.ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A#	0		CKS	H'0000
	SCSCR.CKE1、CKE0	10		DL	H'1~H'FFFF

• 調歩同期式モード (SCK外部入力)

SCIF	レジスタ.ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A#	0		CKS	H'8000
	SCSCR.CKE1、CKE0	10		DL	Don't care

• クロック同期式モード (外部入力)

SCIF	レジスタ.ビット名	設定値	BRG	レジスタ名	設定値
	SCSMR.C/A#	1		CKS	H'8000
	SCSCR.CKE1、CKE0	B'10		DL	Don't care

- 外部クロック用ポーレートジェネレータのレジスタ設定は、SCIFの初期化フローの前に行ってください。

19A. IrDA

19A.1 概要

IrDA モジュールは、SCIF-3ch と共に使用し、シリアルコミュニケーションインタフェースのデータフォーマットを、IrDA 赤外線通信用のデータフォーマットに変調、復調する機能を持ちます。

19A.2 レジスタ構成

IrDA モジュールのレジスタベースアドレスは次のとおりです。

H'FFE4 3000

表 19A.1 レジスタ一覧

レジスタ名	略称	R/W	初期値	オフセットアドレス	アクセスサイズ
シリアルモードレジスタ	SCSMRIR	R/W	H'0000	H'0040	16 ビット

19A.2.1 シリアルモードレジスタ (SCSMRIR)

SCSMRIR は、パワーオンリセット、マニュアルリセット、ディープスタンバイ時に H'0000 に初期化されます。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	EDGEN	LOOP	IRMOD	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビット6～2は、ライトの場合は、0をライトしてください。1はライトしないでください。

ビット	ビット名	初期値	R/W	説明
15～10	—	すべて0	R	リザーブビット
9	EDGEN	0	R/W	Rx3 サンプルモード 0：Rx3 をエッジでサンプリング 1：Rx3 をエッジ+レベルの2回でサンプリング
8	LOOP	0	R/W	IrDA ループバックテスト 0：通常動作 1：Tx3→Rx3 ループバック動作
7	IRMOD	0	R/W	IrDA モード 0：SCIF のチャンネル3を SCIF として動作 1：SCIF のチャンネル3を IrDA として動作
6～2	—	すべて0	R/W*	リザーブビット
1、0	—	すべて0	R	リザーブビット

19A.3 インタフェース

19A.3.1 データ送受信形式

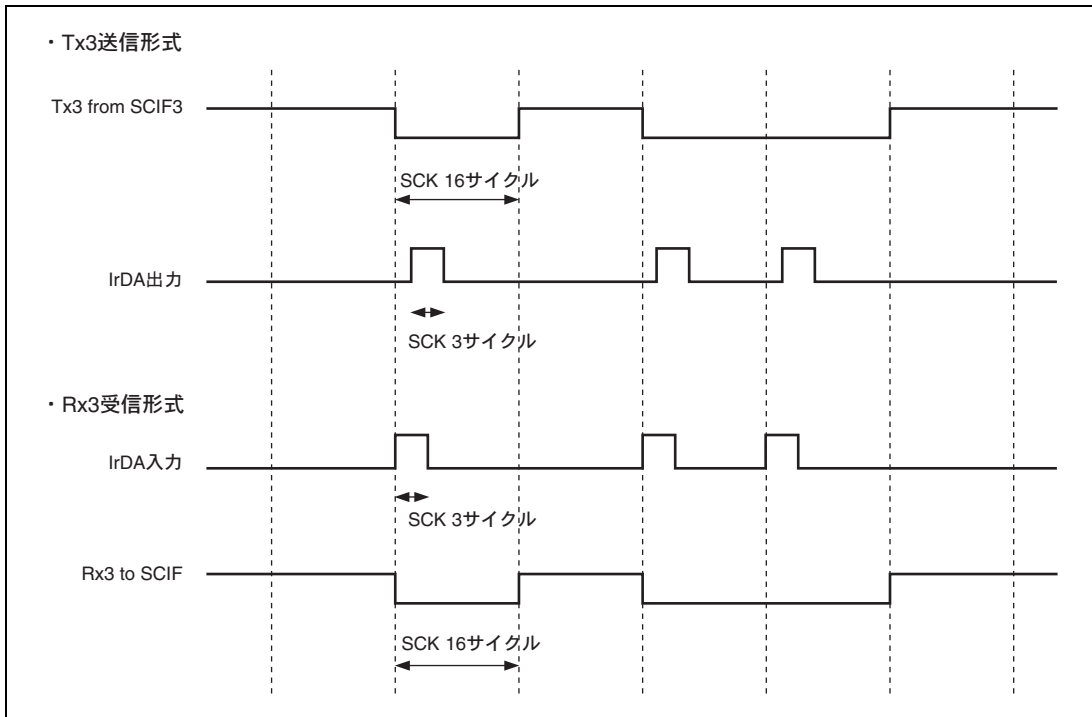


図 19A.1 データ送受信形式

19A.3.2 データセクタ部動作

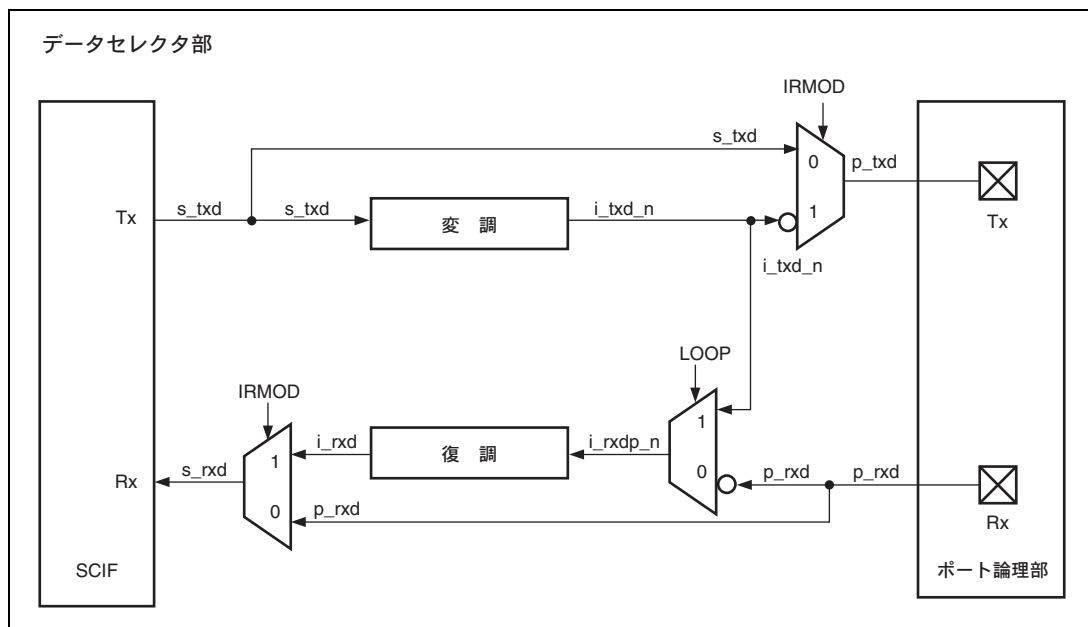


図 19A.2 データセクタ部ブロック図

データセクタ部は、SCIFに入力される受信データ（図 19A.2 の s_rxd）およびポート論理部に出力される送信データ（図 19A.2 の p_txd）のデータセレクトを行います。

SCSMRIR の IRMOD ビットが 1 のときは、IrDA の変調／復調後のデータを入力／出力します。

SCSMRIR の IRMOD ビットが 0 のときは、SCIF とポート論理部は直結され、変調／復調は行われません。

SCSMRIR の LOOP ビットがアクティブのときは、SCIF からの送信データを変調したもの（図 19A.2 の i_txd_n）がデータセクタ部の復調回路に入力されます（ループバックテスト用）。

これらのセクタ論理にはクロックは使用されていません。このため、リセット後やスタンバイ中などのセレクト状態は、SCSMRIR レジスタの値のみに依存します。

【注】 本モジュールは、受信時においてチャタリングのような短いパルスについても検出してしまいますので、IrDA 規格で示されている最短パルス幅を確保するようにしてください。

20. ルネサスシリアルペリフェラルインタフェース

本モジュールは、全二重同期式のシリアル通信ができます。

20.1 特長

本 LSI の本モジュールには次のような特長があります。

- SPI転送機能

MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) 信号を使用して、SPI動作 (4線式) でシリアル通信が可能。

マスタ/スレーブモードでのシリアル通信が可能。

モードフォルトエラー検出が可能 (SPIスレーブモード設定時のみ)。

オーバランエラー検出が可能 (SPIスレーブモード設定時のみ)。

シリアル転送クロックの極性を変更可能。

シリアル転送クロックの位相を変更可能。

- データフォーマット

MSBファースト/LSBファーストの切り替え可能。

転送ビット長を8、16、32ビットに変更可能。

- ビットレート

マスタ時のRSPCKは、最大4096分周

内蔵ポーレートジェネレータでBφを分周してRSPCKを生成。

外部入力クロックをシリアルクロックとして使用。

- バッファ構成

送信用バッファ8Byte、受信用バッファ32Byte。

- SSL制御機能

1チャンネルあたり1本のSSL信号あり。

マスタ設定時には、SSL信号を出力。

スレーブ設定時には、SSL信号を入力。

SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能。

設定範囲：1～8 RSPCK 設定単位：1 RSPCK

SSL極性変更機能。

- マスタ転送時の制御方式

最大4コマンドで構成された転送をシーケンシャルにループ実行可能。

各コマンドに設定可能な項目は以下のとおり。

SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延。

送信バッファへのライトで転送を起動可能。

SPTEFビットクリアで転送を起動可能。

SSLネゲート時のMOSI信号値を設定可能。

- 割り込み要因

マスカブルな割り込み要因あり。

受信割り込み（受信バッファフル）。

送信割り込み（送信バッファエンプティ）。

エラー割り込み（モードフォルト、オーバラン）。

- その他

ループバックモードあり。

ディスエーブル（初期化）機能あり。

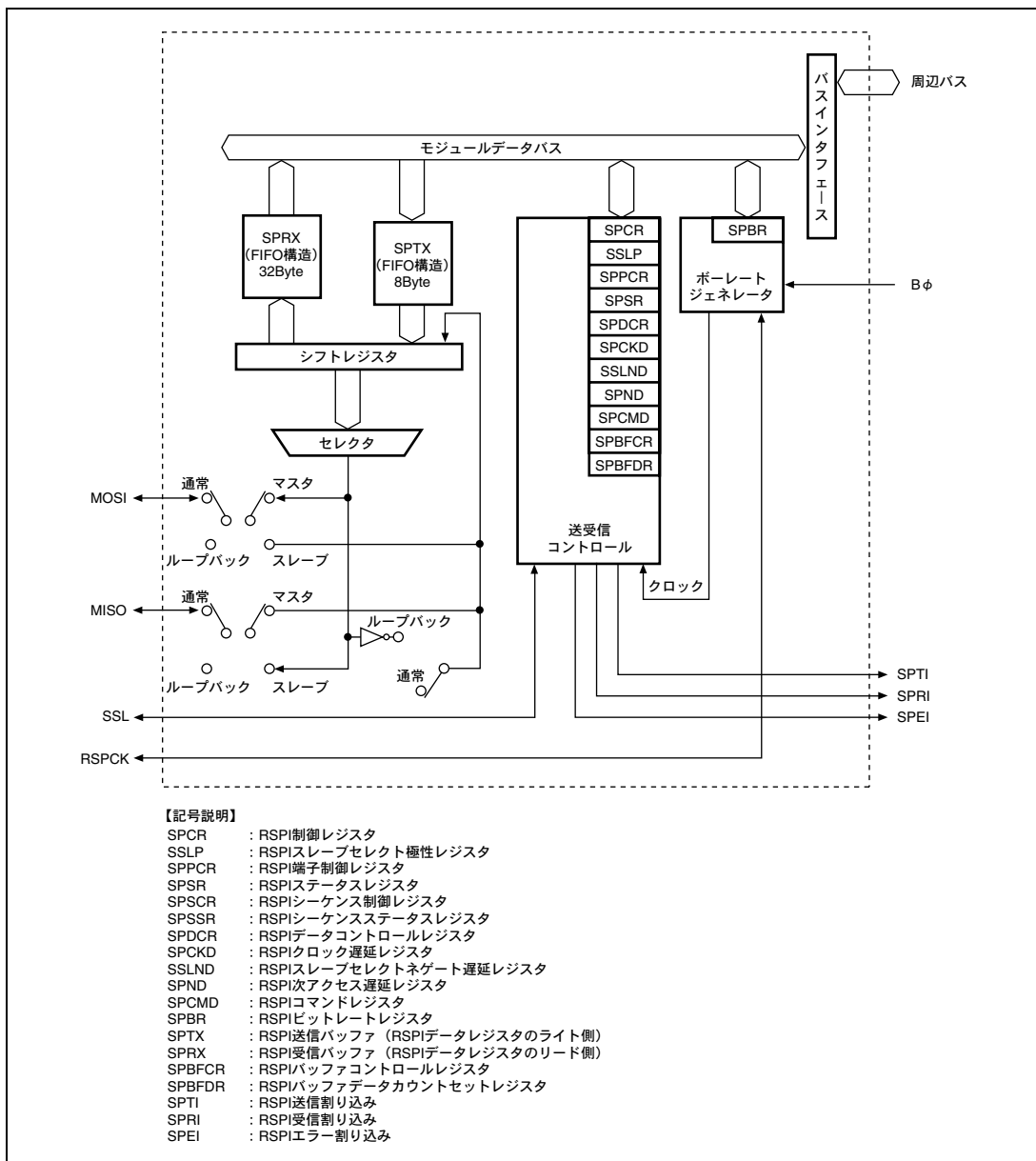


図 20.1 ブロック図

20.2 入出力端子

表 20.1 に端子構成を示します。SSL 端子の入出力方向は、マスタ設定の場合には出力、スレーブ設定の場合には入力に、本モジュールが自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ/スレーブ設定と SSL 入力レベルに応じて、本モジュールが自動的に切り替えます（「20.4.2 端子の制御」を参照）。

表 20.1 端子構成

名称	端子名	入出力	機能
クロック端子	D6 (RSPCK)	入出力	クロック入出力
マスタ送出データ端子	D10 (MOSI)	入出力	マスタ送出データ
スレーブ送出データ端子	D11 (MISO)	入出力	スレーブ送出データ
スレーブセレクト端子	D7 (SSL)	入出力	スレーブセレクト

20.3 レジスタの説明

表 20.2 にレジスタ構成を示します。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。

表中のアドレス以外への書き込みを行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 20.2 (1) レジスタ構成

名称	略称	R/W	アドレス	アクセス サイズ
制御レジスタ	SPCR	R/W	H'FFFC2000	8、16
スレーブセレクト極性レジスタ	SSLP	R/W	H'FFFC2001	8、16
端子制御レジスタ	SPPCR	R/W	H'FFFC2002	8、16
ステータスレジスタ	SPSR	R/(W)*	H'FFFC2003	8、16
データレジスタ	SPDR	R/W	H'FFFC2004	8、16、32
シーケンス制御レジスタ	SPSCR	R/W	H'FFFC2008	8、16
シーケンスステータスレジスタ	SPSSR	R	H'FFFC2009	8、16
ビットレートレジスタ	SPBR	R/W	H'FFFC200A	8、16
データコントロールレジスタ	SPDCR	R/W	H'FFFC200B	8、16
クロック遅延レジスタ	SPCKD	R/W	H'FFFC200C	8、16
スレーブセレクトネゲート遅延 レジスタ	SSLND	R/W	H'FFFC200D	8、16
次アクセス遅延レジスタ	SPND	R/W	H'FFFC200E	8
コマンドレジスタ 0	SPCMD0	R/W	H'FFFC2010	16
コマンドレジスタ 1	SPCMD1	R/W	H'FFFC2012	16
コマンドレジスタ 2	SPCMD2	R/W	H'FFFC2014	16
コマンドレジスタ 3	SPCMD3	R/W	H'FFFC2016	16
バッファコントロールレジスタ	SPBFCR	R/W	H'FFFC2020	8、16
バッファデータカウントセット レジスタ	SPBFDR	R/W	H'FFFC2022	16

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

表 20.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
SPCR	H'00	H'00	保持	保持	保持	初期化
SSLP	H'00	H'00	保持	保持	保持	初期化
SPPCR	H'00	H'00	保持	保持	保持	初期化
SPSR	H'60	H'60	保持	保持	保持	初期化
SPDR	不定	不定	保持	保持	保持	初期化
SPSCR	H'00	H'00	保持	保持	保持	初期化
SPSSR	H'00	H'00	保持	保持	保持	初期化
SPBR	H'FF	H'FF	保持	保持	保持	初期化
SPDCR	H'20	H'20	保持	保持	保持	初期化
SPCKD	H'00	H'00	保持	保持	保持	初期化
SSLND	H'00	H'00	保持	保持	保持	初期化
SPND	H'00	H'00	保持	保持	保持	初期化
SPCMD0	H'070D	H'070D	保持	保持	保持	初期化
SPCMD1	H'070D	H'070D	保持	保持	保持	初期化
SPCMD2	H'070D	H'070D	保持	保持	保持	初期化
SPCMD3	H'070D	H'070D	保持	保持	保持	初期化
SPBFDR	H'00	H'00	保持	保持	保持	初期化
SPBFDR	H'0000	H'0000	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

20.3.1 制御レジスタ (SPCR)

SPCR は、動作モードを設定するためのレジスタです。SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MOD FEN	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファ (SPRX) の受信データ数が指定受信トリガ数以上になり、ステータスレジスタ (SPSR) の SPRF フラグが 1 にセットされたとき、受信割り込み (SPRI) 要求の発生の許可/禁止を設定します。 0: 受信割り込み要求の発生を禁止する 1: 受信割り込み要求の発生を許可する
6	SPE	0	R/W	機能イネーブル 本ビットを 1 にすることにより、本モジュールの機能が有効になります。ステータスレジスタ (SPSR) の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません (「20.4.6 エラー検出」を参照)。SPE ビットを 0 にすると、本モジュールの機能は無効化されて、モジュール機能の一部が初期化されます (「20.4.7 初期化」を参照)。 0: 本モジュールの機能は無効化する 1: 本モジュールの機能を有効化する
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファ (SPTX) の送信データ数が指定送信トリガ数以下になり、ステータスレジスタ (SPSR) の SPTEF フラグが 1 にセットされたとき、送信割り込み (SPTI) 要求の発生の許可/禁止を設定します。 0: 送信割り込み要求の発生を禁止する 1: 送信割り込み要求の発生を許可する
4	SPEIE	0	R/W	エラー割り込みイネーブル 本モジュールがモードフォルトエラーを検出してステータスレジスタ (SPSR) の MODF ビットを 1 にした場合、または本モジュールがオーバーランエラーを検出して SPSR の OVRF ビットを 1 にした場合のエラー割り込み要求の発生を許可/禁止するためのビットです (「20.4.6 エラー検出」を参照)。 0: エラー割り込み要求の発生を禁止する 1: エラー割り込み要求の発生を許可する 【注】 SPI スレープモード設定時のみ有効となります。

ビット	ビット名	初期値	R/W	説明
3	MSTR	0	R/W	<p>マスタ/スレーブモード選択</p> <p>マスタ/スレーブモードを選択するためのビットです。また、本モジュールは MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。</p> <p>0 : スレーブモード 1 : マスタモード</p>
2	MODFEN	0	R/W	<p>モードフォルトエラー検出イネーブル</p> <p>モードフォルトエラーの検出を許可/禁止するためのビットです（「20.4.6 エラー検出」を参照）。</p> <p>0 : モードフォルトエラー検出を禁止する 1 : モードフォルトエラー検出を許可する</p> <p>【注】 SPI スレーブモード設定時のみ有効となります。 また、MSTR ビットをマスタモード設定する場合は必ず、MODFEN ビットを 0 に設定してください。</p>
1、0	—	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>

20.3.2 スレーブセレクト極性レジスタ (SSLP)

SSLPは、SSL信号の極性を設定するためのレジスタです。制御レジスタ (SPCR) のSPEビットが1で本モジュールの機能がイネーブルである状態において、SSL0Pビットを書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSL0P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
0	SSL0P	0	R/W	SSL信号極性設定 SSL信号の極性を設定するためのビットです。SSL0Pの設定値が、SSL信号のアクティブ極性を示します。 0: SSL信号は0アクティブ 1: SSL信号は1アクティブ

20.3.3 端子制御レジスタ (SPPCR)

SPPCR は、端子モードを設定するために使用されるレジスタです。SPCR の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	-	-	SPLP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの本モジュールが、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、本モジュールは SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、本モジュールは MOIFV ビットに設定された固定値を MOSI に出力します。 0 : MOSI 出力値は前回転送の最終データ 1 : MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、本モジュールは MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0 : MOSI アイドル固定値は 0 1 : MOSI アイドル固定値は 1
3~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
0	SPLP	0	R/W	ループバック SPLP ビットを 1 にすると、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0 : 通常モード 1 : ループバックモード

20.3.4 ステータスレジスタ (SPSR)

SPSR は、動作状態を示すフラグを格納したレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
初期値:	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R/(W)*	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	SPRF	0	R	<p>受信バッファフルフラグ</p> <p>受信バッファ (SPRX) の受信データ数がバッファコントロールレジスタ (SPBFCR) の受信バッファデータ数トリガ (RXTRG) で指定した値以上になったことを示すビットです。</p> <p>0: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である</p> <p>1: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である</p> <p>SPRF ビットを 0 にクリアするための条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満まで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット <p>SPRF ビットを 1 にセットするための条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上のとき
6	TEND	1	R	<p>送信終了</p> <p>送信終了したことを示すビットです。TEND ビットが 1 の場合、送信終了したことを示し、TEND ビットが 0 の場合、送信未終了であることを示します。</p> <p>TEND ビットを 0 にクリアする条件は以下のとおりです。</p> <ul style="list-style-type: none"> • 送信レジスタからシフトレジスタへ送信データが転送されたとき <p>TEND ビットを 1 にセットする条件は以下のとおりです。</p> <ul style="list-style-type: none"> • シリアル転送終了時に送信バッファ (SPTX) のデータ格納数が空であるとき

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R	<p>送信バッファエンプティフラグ</p> <p>送信バッファ (SPTX) の送信データ数がバッファコントロールレジスタ (SPBFCR) の送信バッファデータ数トリガ (TXTRG) で指定した値以下になったことを示すビットです。</p> <p>0: 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以上である</p> <p>1: 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満である</p> <p>SPTEF ビットを 0 にクリアする条件は以下のとおりです。</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき <p>SPTEF ビットに 1 をセットする条件は以下のとおりです。</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満になったとき 送信バッファデータリセットを有効にしたとき パワーオンリセット
4, 3	—	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
2	MODF	0	R/(W)*	<p>モードフォルトエラーフラグ</p> <p>モードフォルトエラーの発生状況を示すビットです。本モジュールがスレープモードの場合に MODFEN ビットに 1 を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされると、本モジュールがモードフォルトエラーを検出します。なお、SSL 信号のアクティブレベルは、スレープセレクト極性レジスタ (SSLP) の SSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。</p> <ul style="list-style-type: none"> MODF が 1 にされた状態の SPSR を読み出した後、MODF に 0 を書き込む パワーオンリセット <p>0: モードフォルトエラーなし</p> <p>1: モードフォルトエラー発生</p> <p>【注】 SPI スレープモード設定時のみ有効となります。</p>
1	—	0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>

ビット	ビット名	初期値	R/W	説明
0	OVRF	0	R/(W)*	<p>オーバーランエラーフラグ</p> <p>オーバーランエラーの発生状況を示すビットです。受信バッファ (SPRX) に受信データ長の空きがない状態でシリアル転送が完了した場合に、本モジュールはオーバーランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。</p> <ul style="list-style-type: none"> • OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む • パワーオンリセット <p>0 : オーバランエラーなし 1 : オーバランエラー発生</p> <p>【注】 SPI スレーブモード設定時のみ有効となります。</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

20.3.5 データレジスタ (SPDR)

SPDR は、送受信用のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード/ライトは、データコントロールレジスタ (SPDCR) のアクセス幅設定ビット (SPLW) の設定によって、バイト/ワード/ロングワードで行ってください。

SPDR の使用するビット長はコマンドレジスタ (SPCMD) のデータ長設定ビット (SPB3~0) によって決定されます。

SPDR への書き込みは、送信バッファに SPDR アクセス幅長の空きがあると、SPDR から送信バッファへデータを書き込みます。送信バッファに SPDR アクセス幅長の空きがないと、書き込みを行いません。書き込みを試みてもデータは無視されます。

SPDR からデータを読み出すと、受信バッファにある受信データを読み出すことができます。受信バッファに受信データがない状態で読み出すと不定値となります。

また、SPDR にロングワード/ワード/バイトのアクセス幅で書き込みを行う場合、下記のビットに送信データを書き込んでください。下記のビット以外に書き込んだ場合のデータは保証しません。

- ロングワード：31~0ビット
- ワード：31~16ビット
- バイト：31~24ビット

SPDR からロングワード/ワード/バイトのアクセス幅で読み込みを行う場合、下記のビットから受信データを読み込んでください。下記のビット以外から読み込んだ場合のデータは不定値となります。

- ロングワード：31~0ビット
- ワード：31~16ビット
- バイト：31~24ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3.6 シーケンス制御レジスタ (SPSCR)

SPSCR は、本モジュールがマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュール機能がイネーブルである状態において、SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPS LN1	SPS LN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明															
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。															
1	SPSLN1	0	R/W	シーケンス長設定 マスタモードの本モジュールがシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの本モジュールは SPSLN1、SPSLN0 に設定されたシーケンス長に応じて、参照するコマンドレジスタ 0~3 (SPCMD0~3) と参照順を変更します。SPSLN1、SPSLN0 の設定値とシーケンス長、本モジュールが参照する SPCMD0~3 の関係は以下のとおりです。なお、スレーブモードの本モジュールでは、常に SPCMD0 が参照されます。 <div style="margin-left: 40px;"> <table style="border: none;"> <tr> <td style="padding-right: 20px;">シーケンス長</td> <td style="padding-right: 20px;">参照する SPCMD レジスタ (番号)</td> <td></td> </tr> <tr> <td>00 :</td> <td style="padding-left: 20px;">1</td> <td>0→0→...</td> </tr> <tr> <td>01 :</td> <td style="padding-left: 20px;">2</td> <td>0→1→0→...</td> </tr> <tr> <td>10 :</td> <td style="padding-left: 20px;">3</td> <td>0→1→2→0→...</td> </tr> <tr> <td>11 :</td> <td style="padding-left: 20px;">4</td> <td>0→1→2→3→0→...</td> </tr> </table> </div>	シーケンス長	参照する SPCMD レジスタ (番号)		00 :	1	0→0→...	01 :	2	0→1→0→...	10 :	3	0→1→2→0→...	11 :	4	0→1→2→3→0→...
シーケンス長	参照する SPCMD レジスタ (番号)																		
00 :	1	0→0→...																	
01 :	2	0→1→0→...																	
10 :	3	0→1→2→0→...																	
11 :	4	0→1→2→3→0→...																	
0	SPSLN0	0	R/W																

20.3.7 シーケンスステータスレジスタ (SPSSR)

SPSSR は、本モジュールがマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPCP1	SPCP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1 0	SPCP1 SPCP0	0 0	R R	コマンドポインタ シーケンス制御で、現在ポインタで指されているコマンドレジスタ0~3 (SPCMD0~3) を示すビットです。SPCP1、SPCP0 の値と SPCMD0~SPCMD3 の対応は以下のとおりです。 なお、シーケンス制御については、「20.4.8 (1) (c) シーケンス制御」を参照してください。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

20.3.8 ビットレートレジスタ (SPBR)

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールの機能がイネーブルである状態において、SPBR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本モジュールをスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビットレートは SPBR の設定値とコマンドレジスタ (SPCMD0~3) の BRDV1~0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値 (0、1、2、……、255)、N は BRDV1~0 ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(B\phi)}{2 \times (n+1) \times 2^N}$$

SPBR レジスタ、BRDV1~0 ビットの設定値とビットレートの関係の例を表 20.3 に示します。

表 20.3 SPBR レジスタ、BRDV1~0 ビットの設定値とビットレート

SPBR の 設定値 (n)	BRDV1~0 の 設定値 (N)	分周比	ビットレート
			Bφ = 100MHz
0	0	2	50.0Mbps
1	0	4	25.0Mbps
2	0	6	16.67Mbps
3	0	8	12.50Mbps
4	0	10	10.00Mbps
5	0	12	8.33Mbps
5	1	24	4.17Mbps
5	2	48	2.08Mbps
5	3	96	1042kbps
255	3	4096	24.41kbps

20.3.9 データコントロールレジスタ (SPDCR)

SPDCR は、SPDR レジスタへのアクセス幅をバイトアクセス/ロングワードアクセス/ワードアクセスに設定、本モジュールがマスタモード設定時、ダミーデータ送信イネーブル (TXDMY) の許可設定をするためのレジスタです。

ステータスレジスタ (SPCR) の TEND ビットが送信未終了の状態のときに SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	TXDMY	SPLW1	SPLW0	-	-	-	-	-
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル ダミーデータ送信の許可/禁止を設定するためのビットです。 TXDMY を 1 にセットにし通信を行った場合、送信バッファに送信データがない場合でも、MOSI 端子からダミーデータを送信し、シリアル通信をすることが可能となります。 送信バッファに送信データがなく、TXDMY に 1 がセットされている場合に、ダミーデータをシフトレジスタへ転送します。ダミーデータは端子から送信された直前のデータとなります。また、初期化後に TXDMY を 1 にセットし、転送を行った場合、送信されるダミーデータは不定値となります。 0: ダミーデータ送信を禁止にする 1: ダミーデータ送信を許可にする 【注】 本モジュールがマスタ設定時のみ有効となります。
6 5	SPLW1 SPLW0	0 1	R/W R/W	アクセス幅設定 データレジスタ (SPDR) へのアクセス幅を設定します。データレジスタ (SPDR) への転送データ長と SPLW のアクセス幅設定が異なる場合の動作は保証しません。 00: 設定禁止 01: SPDR レジスタへバイトアクセス 10: SPDR レジスタへワードアクセス 11: SPDR レジスタへロングワードアクセス 【注】 HPB-DMAC のバースト転送を使用してデータレジスタ (SPDR) へ書き込みを行う場合は、10、11 の設定は禁止となります。
4~0	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

20.3.10 クロック遅延レジスタ (SPCKD)

SPCKD は、コマンドレジスタ (SPCMD) の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPCKD を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレープモードで使用する場合には、SCKDL2~SCKDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCK DL2	SCK DL1	SCK DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2	SCKDL2	0	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 SCKDL2~SCKDL0 の設定値と RSPCK 遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK
1	SCKDL1	0	R/W	
0	SCKDL0	0	R/W	

20.3.11 スレーブセレクトネゲート遅延レジスタ (SSLND)

SSLND は、マスタモードの本モジュールがシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SSLND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SLNDL2~SLNDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLN DL2	SLN DL1	SLN DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2	SLNDL2	0	R/W	SSL ネゲート遅延設定
1	SLNDL1	0	R/W	SPCMD の SLNDEN ビットが 1 の場合の SSL ネゲート遅延を設定するためのビットです。
0	SLNDL0	0	R/W	SLNDL2~SLNDL0 の設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK

20.3.12 次アクセス遅延レジスタ (SPND)

SPND は、コマンドレジスタ (SPCMD) の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。制御レジスタ (SPCR) の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレープモードで使用する場合には、SPNDL2~SPNDL0 に B'000 を設定してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPN DL2	SPN DL1	SPN DL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証されません。
2	SPNDL2	0	R/W	次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 SPNDL2~SPNDL0 の設定値と次アクセス遅延値の関係は以下のとおりです。 000 : 1RSPCK+2B φ 001 : 2RSPCK+2B φ 010 : 3RSPCK+2B φ 011 : 4RSPCK+2B φ 100 : 5RSPCK+2B φ 101 : 6RSPCK+2B φ 110 : 7RSPCK+2B φ 111 : 8RSPCK+2B φ
1	SPNDL1	0	R/W	
0	SPNDL0	0	R/W	

20.3.13 コマンドレジスタ (SPCMD)

1チャンネルにコマンドレジスタ (SPCMD) が4本あります (SPCMD0~SPCMD3)。SPCMD0~SPCMD3は、マスタモードの転送フォーマットを設定するために使用されます。また、SPCMD0の一部のビットは、スレーブモードの転送フォーマットを設定するためにも使用されます。マスタモードの本モジュールはシーケンス制御レジスタ (SPSCR) のSPSLN1、SPSLN0ビットの設定に従ってシーケンシャルにSPCMD0~3を参照し、参照したSPCMDに設定されたシリアル転送を実行します。

ステータスレジスタ (SPSR) のTENDビットが送信未終了の状態のときに、本モジュールが参照しているSPCMDを書き換えた場合には、本モジュールの以降の動作は保証されません。マスタモードの本モジュールが参照しているSPCMDは、シーケンスステータスレジスタ (SPSSR) のSPCP1、0ビットにより確認できます。また、スレーブモードの本モジュールがイネーブルな状態において、SPCMD0を書き換えた場合には、以降の動作は保証されません。

ビット:	15	14	13	12	11	10	9	8
	SCK DEN	SLN DEN	SPN DEN	LSBF	SPB3	SPB2	SPB1	SPB0
初期値:	0	0	0	0	0	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	7	6	5	4	3	2	1	0
	SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
初期値:	0	0	0	0	1	1	0	1
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	0	R/W	<p>RSPCK 遅延設定イネーブル</p> <p>マスタモードの本モジュールが、SSL信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定するためのビットです。</p> <p>SCKDEN が 0 の場合には、本モジュールは RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、本モジュールはクロック遅延レジスタ (SPCKD) の設定に従った RSPCK 遅延で RSPCK の発振を開始します。</p> <p>本モジュールをスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。</p> <p>0 : RSPCK 遅延は 1RSPCK 1 : RSPCK 遅延は RSPCK 遅延レジスタ (SPCKD) の設定値</p>

ビット	ビット名	初期値	R/W	説明
14	SLNDEN	0	R/W	<p>SSL ネゲート遅延設定イネーブル</p> <p>マスタモードの本モジュールが、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定するためのビットです。SLNDEN が 0 の場合には、本モジュールは SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、本モジュールはスレーブセレクトネゲート遅延レジスタ (SSLND) の設定に従った RSPCK 遅延で SSL をネゲートします。</p> <p>本モジュールをスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。</p> <p>0 : SSL ネゲート遅延は 1RSPCK 1 : SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値</p>
13	SPNDEN	0	R/W	<p>次アクセス遅延イネーブル</p> <p>マスタモードの本モジュールがシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間 (次アクセス遅延) を設定するためのビットです。SPNDEN が 0 の場合には、本モジュールは次アクセス遅延を 1RSPCK+2Bφ にします。SPNDEN が 1 の場合には、本モジュールは次アクセス遅延レジスタ (SPND) の設定に従った次アクセス遅延を挿入します。</p> <p>本モジュールをスレーブモードで使用する場合には、SPNDEN に 0 を設定してください。</p> <p>0 : 次アクセス遅延は 1RSPCK+2Bφ 1 : 次アクセス遅延は次アクセス遅延レジスタ (SPND) の設定値</p>
12	LSBF	0	R/W	<p>LSB ファースト</p> <p>マスタモード/スレーブモードのデータフォーマットを、MSB ファースト/LSB ファーストに設定するためのビットです。</p> <p>0 : MSB ファースト 1 : LSB ファースト</p>
11	SPB3	0	R/W	データ長設定
10	SPB2	1	R/W	マスタモード/スレーブモードの転送データ長を設定するためのビット
9	SPB1	1	R/W	です。
8	SPB0	1	R/W	<p>0100~0111 : 8 ビット 1111 : 16 ビット 0010, 0011 : 32 ビット その他 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
7	SSLKP	0	R/W	<p>SSL 信号レベル保持</p> <p>マスタモードの本モジュールがシリアル転送する場合に、現コマンドに対応する SSL ネグートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネグートするかを設定するビットです。</p> <p>本モジュールをスレープモードで使用する場合には、SSLKP に 0 を設定してください。</p> <p>0 : 転送終了時に SSL 信号をネグート</p> <p>1 : 転送終了後から次アクセス開始まで SSL 信号レベルを保持</p>
6~4	—	すべて 0	R	<p>リザーブビット</p> <p>書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。</p>
3 2	BRDV1 BRDV0	1 1	R/W R/W	<p>ビットレート分周設定</p> <p>ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットとビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します (「20.3.8 ビットレートレジスタ (SPBR)」を参照)。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1~0 ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMD0~3 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレートを選択</p> <p>01 : ベースのビットレートの 2 分周を選択</p> <p>10 : ベースのビットレートの 4 分周を選択</p> <p>11 : ベースのビットレートの 8 分周を選択</p>
1	CPOL	0	R/W	<p>RSPCK 極性設定</p> <p>マスタモード/スレープモードの RSPCK 極性を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。</p> <p>0 : アイドル時の RSPCK が 0</p> <p>1 : アイドル時の RSPCK が 1</p>
0	CPHA	1	R/W	<p>RSPCK 位相設定</p> <p>マスタモード/スレープモードの RSPCK 位相を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。</p> <p>0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化</p> <p>1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル</p>

20.3.14 バッファコントロールレジスタ (SPBFCR)

SPBFCRは、送信バッファ (SPTX) / 受信バッファ (SPRX) のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG[1:0]	-	-	-	RXTRG[2:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TXRST	0	R/W	送信バッファデータリセット 送信バッファ内の送信データを無効にし、データが何も無い状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
6	RXRST	0	R/W	受信バッファデータリセット 受信バッファ内の受信データを無効にし、データが何も無い状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】 * パワーオンリセット時にはリセット動作が行われます。
5、4	TXTRG	00	R/W	送信バッファデータ数トリガ ステータスレジスタの SPTEF フラグの基準となる、送信バッファエンプティタイミングの設定をします。送信バッファ (SPTX) に格納されたデータバイト数が以下に示す設定トリガ数以下になったとき SPTEF フラグは 1 にセットされます。 00: 7Byte (1) * 01: 6Byte (2) * 10: 4Byte (4) * 11: 0Byte (8) * 【注】 * () 内の数値は送信バッファ (SPTX) の空きバイト数を示します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	RXTRG	000	R/W	<p>受信バッファデータ数トリガ</p> <p>ステータスレジスタの SPRF フラグの基準値となる、受信バッファフルタイムングの設定をします。受信バッファ (SPRX) に格納されたデータバイト数が以下に示す設定トリガ数以上になったときに SPRF フラグは 1 にセットされます。</p> <p>000 : 1Byte (31) *</p> <p>001 : 2Byte (30) *</p> <p>010 : 4Byte (28) *</p> <p>011 : 8Byte (24) *</p> <p>100 : 16Byte (16) *</p> <p>101 : 24Byte (8) *</p> <p>110 : 32Byte (0) *</p> <p>111 : 5Byte (27) *</p> <p>【注】 * () 内の数値は受信バッファ (SPRX) の空きバイト数を示します。</p>

20.3.15 バッファデータカウントセットレジスタ (SPBFDR)

SPBFDR は、送信バッファ (SPTX) と受信バッファ (SPRX) に格納されているデータ数を示します。

上位 8 ビットで SPTX の送信データバイト数を、下位 8 ビットで SPRX の受信データバイト数を示します。

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	T[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	-	-	R[5:0]					
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
11~8	T[3:0]	0000	R	SPTX に格納されている未送信データバイト数を示します。 B'0000 は SPTX がエンプティ状態であることを示します。 B'1000 は SPTX がフル状態であることを示します。
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
5~0	R[5:0]	000000	R	SPRX に格納されている受信データバイト数を示します。 B'000000 は SPRX がエンプティ状態であることを示します。 B'100000 は SPRX がフル状態であることを示します。

20.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

20.4.1 動作の概要

本モジュールは、スレーブモード、マスタモードのシリアル転送が可能です。モードは、制御レジスタ (SPCR) の MSTR ビットによって設定可能です。表 20.4 にモードと SPCR 設定の関係および各モードの概要を下記に示します。

表 20.4 モードと SPCR 設定の関係および各モードの概要

モード	スレーブ (SPI 動作)	マスタ (SPI 動作)
MSTR ビットの設定	0	1
MODFEN ビットの設定	0 or 1	0
RSPCK 信号	入力	出力
MOSI 信号	入力	出力
MISO 信号	出力/Hi-Z	入力
SSL 信号	入力	出力
SSL 極性変更機能	あり	あり
転送レート	~Bφ/8	~Bφ/2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2 種	2 種
クロック位相	2 種	2 種
先頭転送ビット	MSB/LSB	MSB/LSB
転送データ長	8、16、32 ビット	8、16、32 ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0、1)
RSPCK 遅延制御	なし	あり
SSL ネゲート遅延制御	なし	あり
次アクセス遅延制御	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPE=1 で送信 バッファ書き込み
シーケンス制御	なし	あり
送信バッファエンプティ検出	あり	あり
受信バッファフル検出	あり	あり
オーバランエラー検出	あり	なし
モードフォルトエラー検出	あり (MODFEN=1)	なし

20.4.2 端子の制御

本モジュールは、制御レジスタ（SPCR）の MSTR ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 20.5 に示します。

表 20.5 端子の状態と制御ビット設定値の関係

モード	端子	端子状態
マスタ（SPI 動作）（MSTR=1）	RSPCK	CMOS 出力
	SSL	CMOS 出力
	MOSI	CMOS 出力
	MISO	入力
スレーブ（SPI 動作）（MSTR=0）	RSPCK	入力
	SSL	入力
	MOSI	入力
	MISO*	CMOS 出力/Hi-Z

【注】 * SSL が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモード（SPI 動作）の本モジュールは、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を表 20.6 のように決定します。

表 20.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

20.4.3 システム構成例

(1) マスタ/スレーブ（本 LSI=マスタ）

図 20.2 に、本 LSI をマスタとして使用した場合のマスタ/スレーブのシステムの構成例を示します。マスタ/スレーブの構成では、本 LSI（マスタ）の SSL 出力は使用しません。スレーブの SSL 入力は 0 レベルに固定して、スレーブを常にセレクト状態にします。制御レジスタ（SPCR）の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。スレーブは、MISO を常にドライブします。

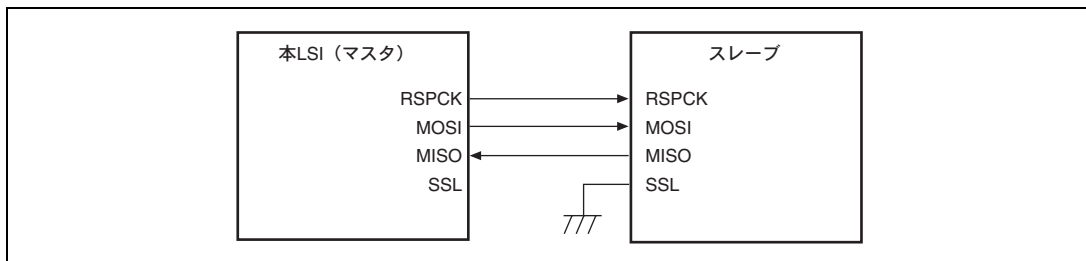


図 20.2 マスタ/スレーブの構成例（本 LSI=マスタ）

(2) マスタ/スレーブ (本 LSI=スレーブ)

図 20.3 に、本 LSI をスレーブとして使用した場合のマスタ/スレーブのシステム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL 端子を SSL 入力として使用します。マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。SSL が非アクティブレベルの場合、端子状態が Hi-Z になります。

コマンドレジスタ (SPCMD) の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL 入力を 0 レベルに固定して本 LSI (スレーブ) を常に選択状態とし、シリアル転送を実行することも可能です (図 20.4)。

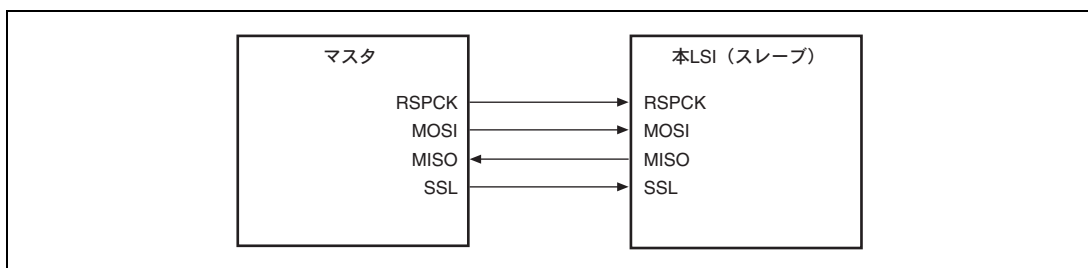


図 20.3 マスタ/スレーブの構成例 (本 LSI=スレーブ)

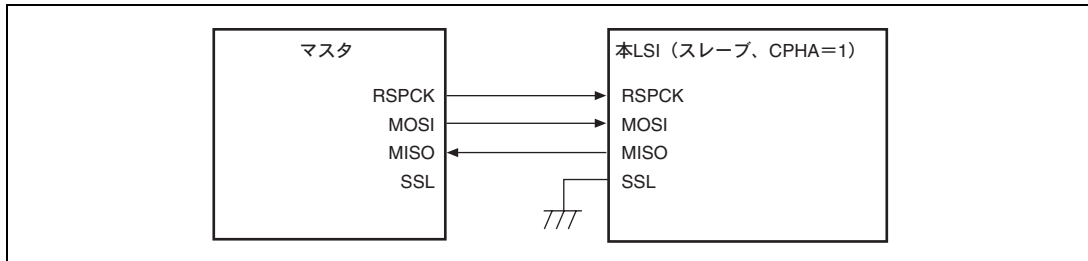


図 20.4 マスタ/スレーブの構成例 (本 LSI=スレーブ、CPHA=1)

(3) マスタ/マルチスレーブ (本 LSI=スレーブ)

図 20.5 に、本 LSI をスレーブとして使用した場合のマスタ/マルチスレーブのシステム構成例を示します。図 20.5 の例では、マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) からシステムを構成しています。

マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO 出力は、マスタの MISO 入力に接続します。マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL 入力に接続します。

マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL0 入力が 0 レベルを入力されているスレーブが、MISO をドライブします。

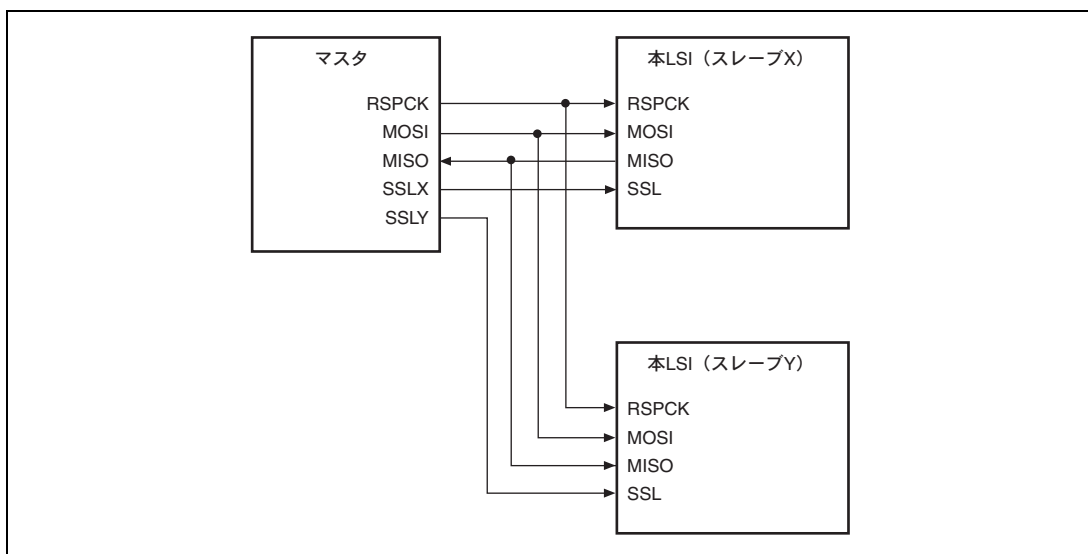


図 20.5 シングルマスタ/マルチスレーブの構成例 (本 LSI=スレーブ)

20.4.4 転送フォーマット

(1) CPHA=0 の場合

図 20.6 にコマンドレジスタ (SPCMD) の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 20.6 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、本モジュールの設定に依存します。詳細は「20.4.2 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、システム上のマスタデバイスによって制御されます。本モジュールがマスタモードである場合の t1、t2、t3 については、「20.4.3 (1) マスタ/スレーブ (本 LSI=マスタ)」を参照してください。

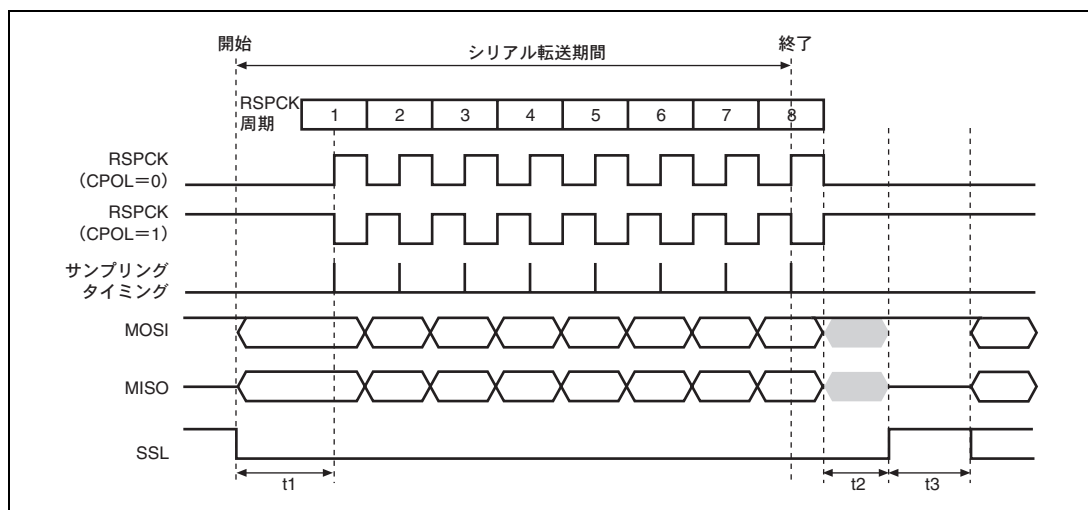


図 20.6 転送フォーマット (CPHA=0)

(2) CPHA=1 の場合

図 20.7 コマンドレジスタ (SPCMD) の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 20.7 において、RSPCK (CPOL=0) は SPCMD の CPOL ビットが 0 の場合、RSPCK (CPOL=1) は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、モード (マスタ/スレーブ) に依存します。詳細は「20.4.2 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA=0 の場合と同様です。本モジュールがマスタモードである場合の t1、t2、t3 については、「20.4.3 (1) マスタ/スレーブ (本 LSI=マスタ)」を参照してください。

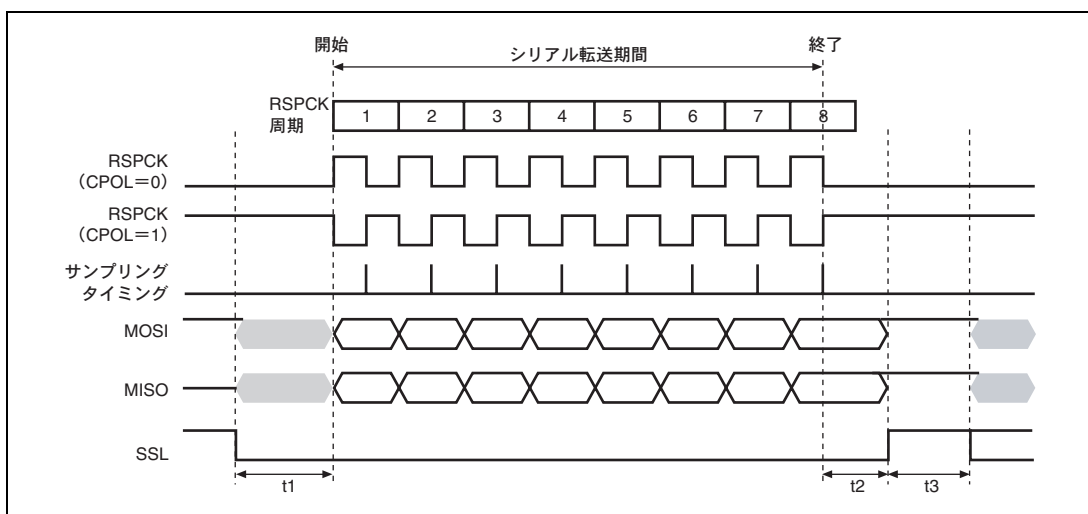


図 20.7 転送フォーマット (CPHA=1)

20.4.5 データフォーマット

データフォーマットは、コマンドレジスタ（SPCMD）の設定値に依存します。MSB/LSB ファーストにかかわらず、本モジュールはデータレジスタ（SPDR）のLSB から設定データ長分の範囲を転送データとして扱います。

(1) MSB ファースト転送（32 ビットデータ）

図 20.8 に、本モジュールがデータ長 32 ビットの MSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、SPDR の送信バッファに T31～T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31～R00 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31～R00 がシフトレジスタからシフトアウトされます。

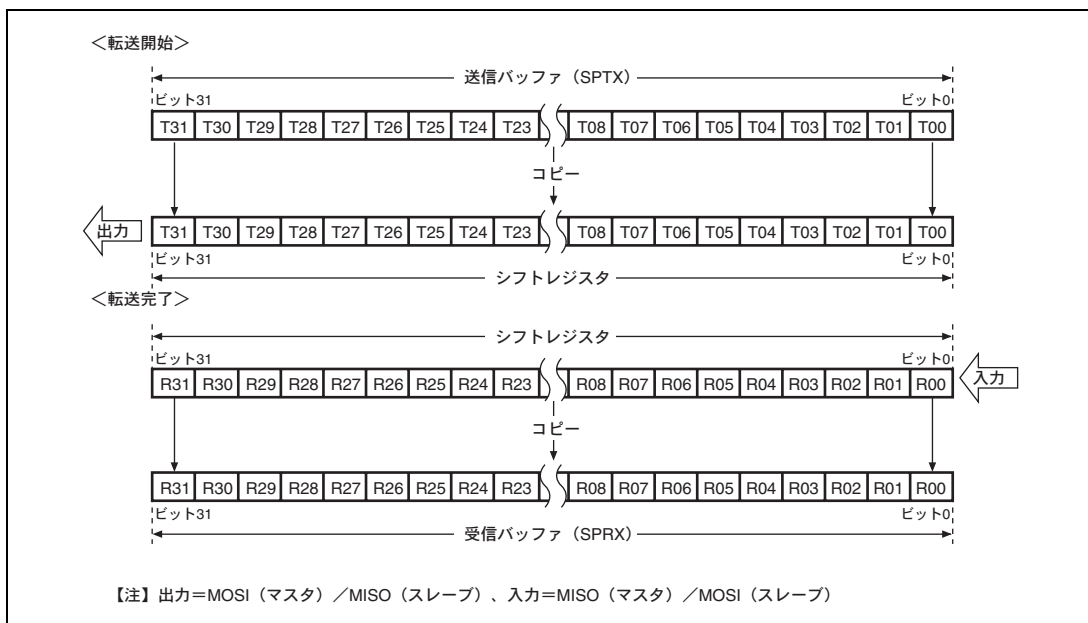


図 20.8 MSB ファースト転送（32 ビットデータ）

(2) MSB ファースト転送 (16 ビットデータ)

図 20.9 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15~T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 15 からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15~0 には受信データ R15~R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31~16 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15~R00 がシフトレジスタからシフトアウトされます。

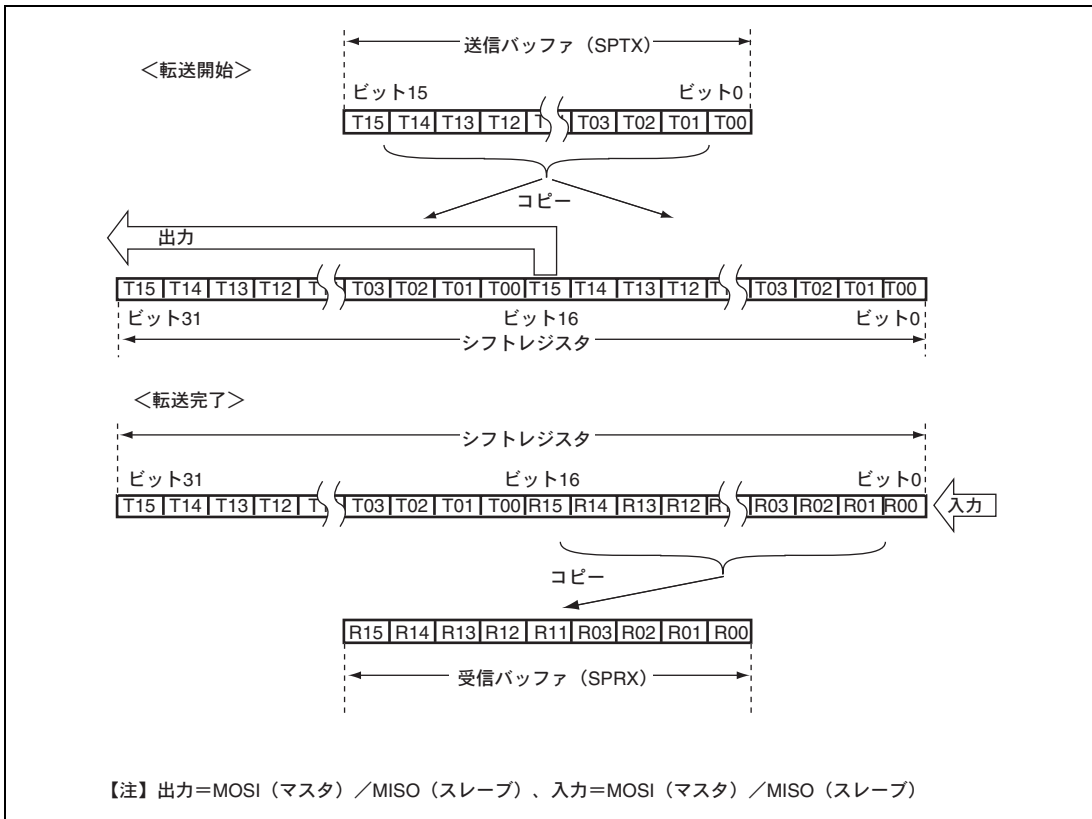


図 20.9 MSB ファースト転送 (16 ビットデータ)

(3) MSB ファースト転送 (8 ビットデータ)

図 20.10 に、本モジュールが 8 ビットのデータ転送を実施する場合のデータレジスタ (SPDR) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07~T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 7 からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 7~0 には受信データ R07~R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31~8 には、転送前のデータが保持されています。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R07~R00 がシフトレジスタからシフトアウトされます。

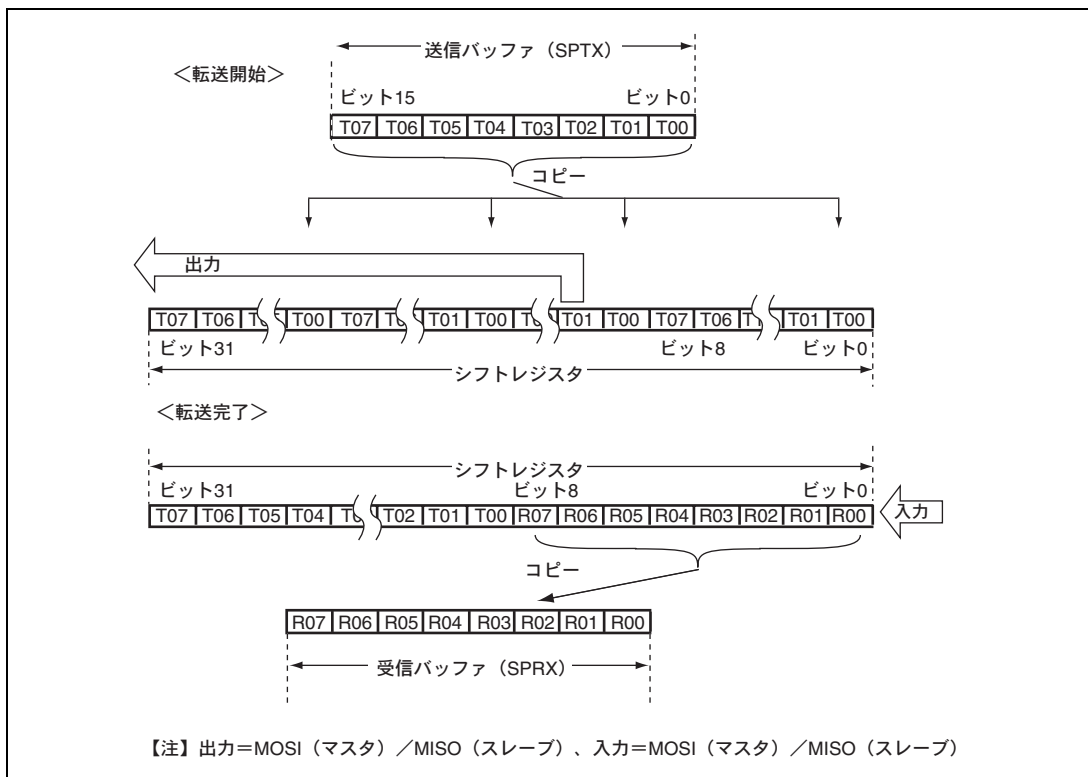


図 20.10 MSB ファースト転送 (8 ビットデータ)

(4) LSB ファースト転送 (32 ビットデータ)

図 20.11 に、本モジュールがデータ長 32 ビットの LSB ファースト転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T31~T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) から送信データを出力し、シフトレジスタの LSB (ビット 0) から受信データをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタには受信データ R00~R31 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。

また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R31 がシフトレジスタからシフトアウトされます。

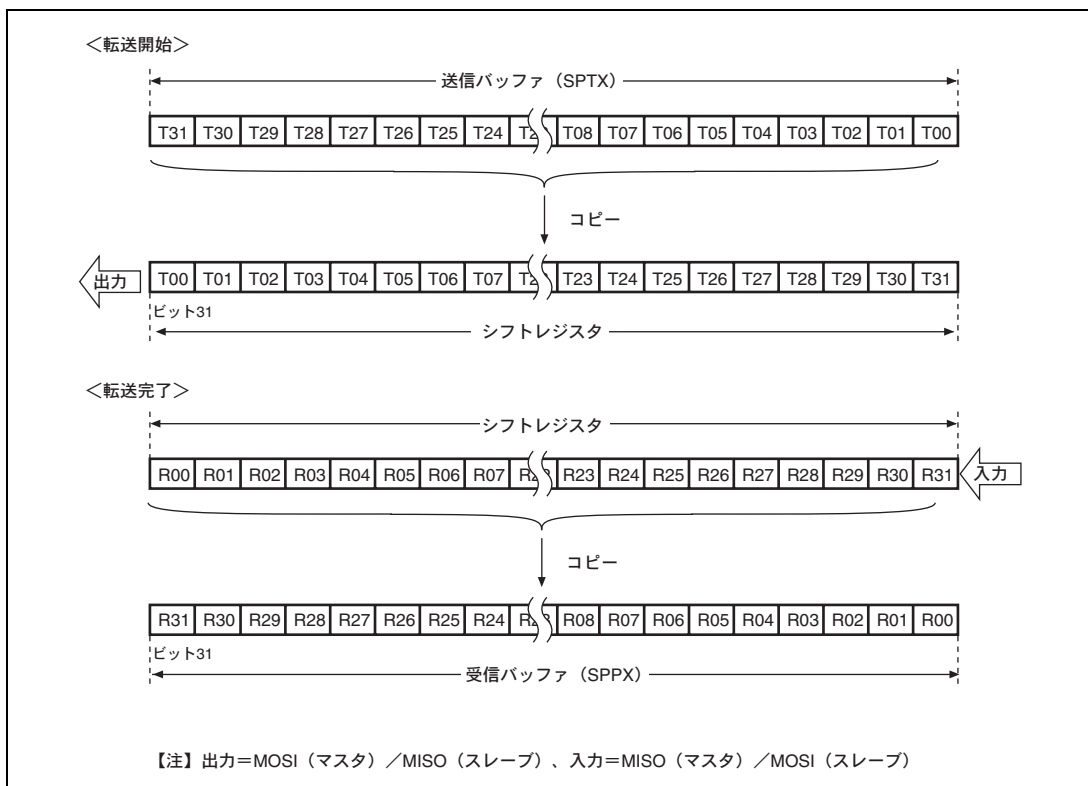


図 20.11 LSB ファースト転送 (32 ビットデータ)

(5) LSB ファースト転送 (16 ビットデータ)

図 20.12 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15~T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 16 からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31~16 には受信データ R00~R15 が格納されます。シリアル転送完了後のシフトレジスタのビット 15~0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R15 がシフトレジスタからシフトアウトされます。

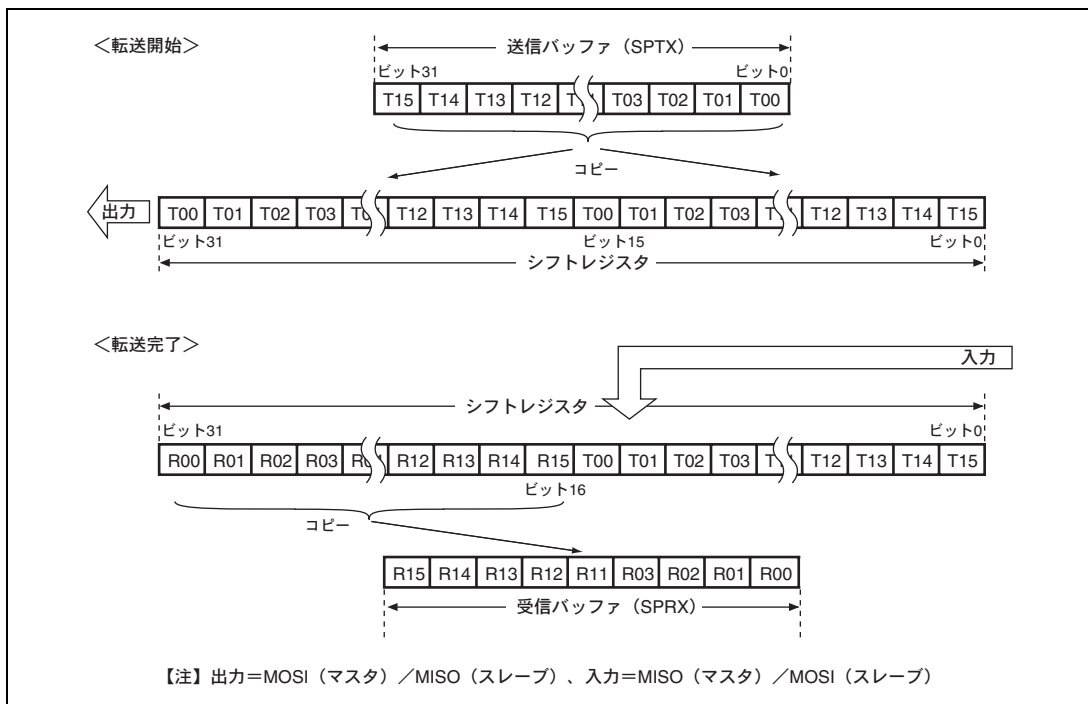


図 20.12 LSB ファースト (16 ビットデータ)

(6) LSB ファースト転送 (8 ビットデータ)

図 20.13 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ(SPTX)とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07~T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 24 からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31~24 には受信データ R00~R07 が格納されます。シリアル転送完了後のシフトレジスタのビット 23~0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00~R07 がシフトレジスタからシフトアウトされます。

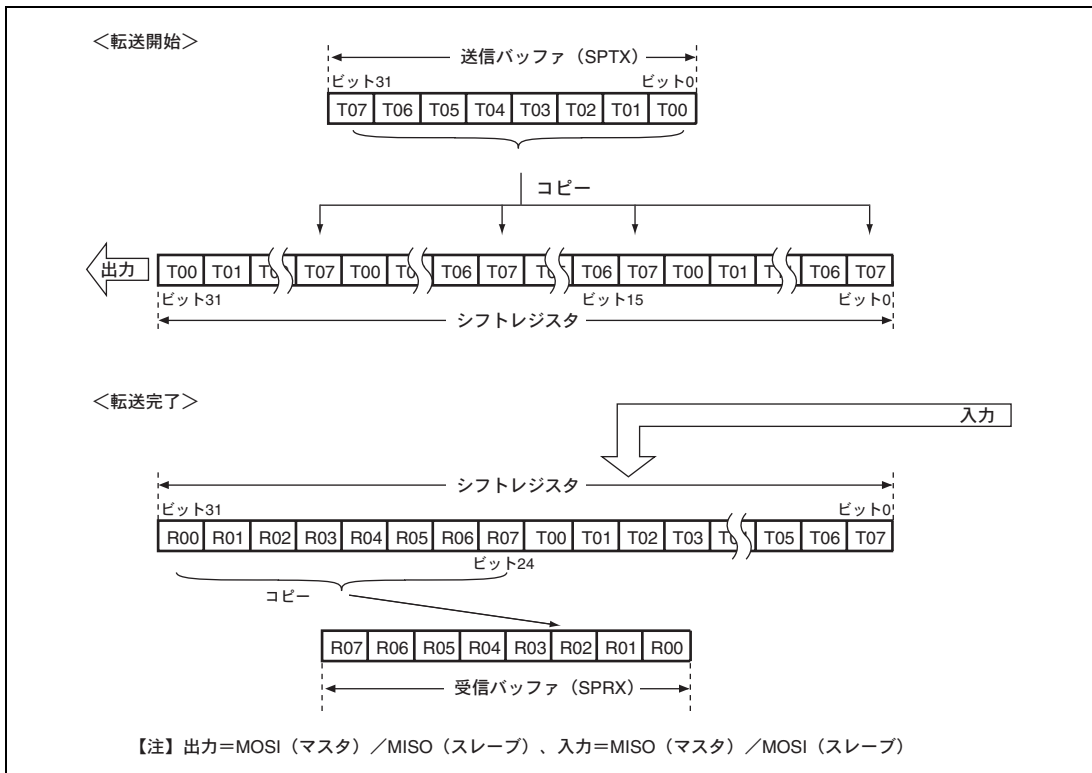


図 20.13 LSB ファースト (8 ビットデータ)

20.4.6 エラー検出

通常のシリアル転送では、データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、本モジュールはオーバランエラーまたはモードフォルトエラーとして検出します。表 20.7 に、通常以外の転送動作とエラー検出機能の関係を示します。

表 20.7 通常以外の転送の発生条件とエラー検出機能

	発生条件	動作	エラー検出
A	送信バッファがいっぱいの状態で SPDR を書き込み。	書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファに受信データが 1 つもない状態で SPDR を読み出し。	不定出力	なし
D	受信バッファが受信データでいっぱい状態で、シリアル転送が終了。	シリアル受信データ欠落。	オーバランエラー検出 (スレーブモードのみ)
E	スレーブモードでシリアル転送中に SSL 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 動作ディスエーブル。	モードフォルトエラー検出

表 20.7 の A に示した動作に対しては、本モジュールはエラーを検出しません。SPDR への書き込みが可能であるかについては、バッファデータカウントセットレジスタ (SPBFDR) の T[3:0]ビットで確認することができます。

B に示した動作に対しても、本モジュールはエラーを検出しません。本モジュールでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR の受信バッファに保持されているので、正しく読み出されます。

C に示した動作に対しても、本モジュールはエラーを検出しません。不要なデータを読み出さないためには、バッファデータカウントセットレジスタ (SPBFDR) の R[5:0]ビットで受信バッファに格納されている受信データ数を確認してください。

D に示したオーバランエラーについては、「20.4.6 (1) オーバランエラー」で詳しく説明します。また、E に示したモードフォルトエラーについては、「20.4.6 (2) モードフォルトエラー」で説明します。

(1) オーバランエラー

データレジスタ (SPDR) の受信バッファフル状態でシリアル転送が終了すると、本モジュールはオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、本モジュールはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を読み出した後に、OVRF に 0 を書き込む必要があります。

図 20.14 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 20.14 に記載した SPSR アクセスと SPDR アクセスは、それぞれのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 20.14 の例では、コマンドレジスタ (SPCMD) の CPHA が 1、CPOL が 0 の設定で、本モジュールが 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

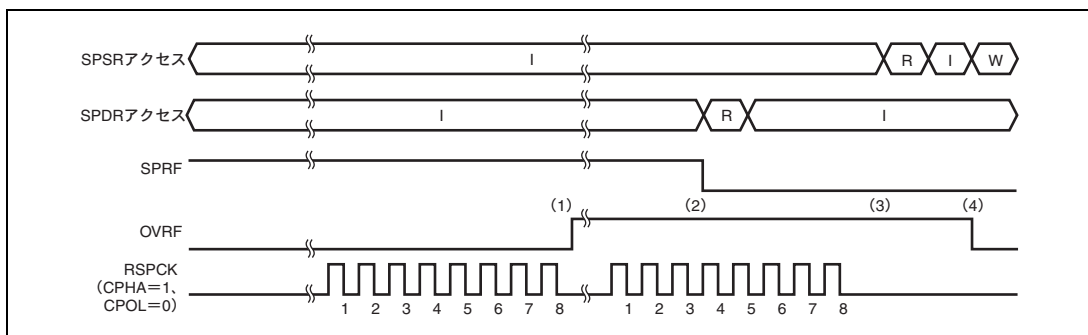


図 20.14 SPRF、OVRF ビットの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファに受信データ長の空きがない状態でシリアル転送が終了すると、本モジュールがオーバランエラーを検出し、OVRF ビットを 1 にします。本モジュールはシフトレジスタのデータを受信バッファにコピーしません。
2. SPDR を読み出し、バッファコントロールレジスタ (SPBFCR) の受信バッファデータ数トリガ (RXTRG) ビットで設定したトリガ数以下になっても OVRF ビットはクリアされません。
3. オーバランエラー発生状態で、シリアル転送が終了すると本モジュールはシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、本モジュールは OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。

OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRを読み出した後、OVRFに0を書き込む
- パワーオンリセット

【注】 オーバランエラーが発生している状態で、受信バッファに受信データ格納領域がある場合、本モジュールは受信データを受信します。

(2) モードフォルトエラー

MSTR ビットが 0 の場合には、本モジュールはスレープモードで動作します。スレープモードで MODFEN ビットが 1 の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSL 入力信号がネゲートされると、本モジュールはモードフォルトエラーを検出します。

本モジュールはモードフォルトエラーを検出すると出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットが 0 になると本モジュールの機能が無効化され、本モジュールによる外部信号のドライブは停止します。SPE ビットを 0 にすることによる本モジュール機能の無効化については「20.4.7 初期化」を参照してください。

モードフォルトエラーの発生は、SPSR の読み出し、あるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ (SPCR) の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。

MODF ビットが 1 の状態では、SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に本モジュールの機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODFが1にされた状態のSPSRを読み出した後、MODFに0を書き込む
- パワーオンリセット

20.4.7 初期化

制御レジスタ (SPCR) の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により本モジュールが SPE ビットを 0 にクリアした場合には、本モジュールは機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットが発生した場合には、本モジュールはモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とパワーオンリセットによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合、本モジュールは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- 内部ステートの初期化
- SPSR の TEND ビットの初期化

SPE ビットのクリアによる初期化では、本モジュールの制御ビットは初期化されません。このため、SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで本モジュールを起動できます。

20.4.8 SPI 動作

(1) マスタモード動作

マルチマスタモード動作について説明します。

(a) シリアル転送の開始

シリアル転送の開始条件は送信バッファからシフトレジスタへ送信データをコピーし、シフトレジスタがフルになり、かつ受信バッファに受信データ長の空きがある場合にシリアル転送を開始します。また、シフトレジスタに送信データが書き込まれていた場合、送信バッファからシフトレジスタへのコピーは行われません。

なお、転送フォーマットの詳細については「20.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

コマンドレジスタ (SPCMD) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。シリアル転送終了後にシフトレジスタから受信データを受信バッファにコピーします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信データ長の空きを確保してください。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのデータ長は、コマンドレジスタ (SPCMD) の SPB3~SPB0 ビットの設定値に依存します。転送フォーマットの詳細については「20.4.4 転送フォーマット」を参照してください。

(c) シーケンス制御

マスタモード時の転送フォーマットは、シーケンス制御レジスタ (SPSCR)、コマンドレジスタ 0~3 (SPCMD0~3)、ビットレートレジスタ (SPBR)、クロック遅延値レジスタ (SPCKD)、スレープセレクトネゲート遅延レジスタ (SSLND)、次アクセス遅延値レジスタ (SPND) によって決定されます。

SPSCR は、マスタモードの本モジュールで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0~3 には、SSL 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD にはクロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

本モジュールは、SPSCR に設定されたシーケンス長に従って、SPCMD0~3 の一部/全部からなるシーケンスを構成します。本モジュールには、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、シーケンスステータスレジスタ (SPSSR) の SPCP1、0 ビットを読み出すことで確認が可能です。制御レジスタ (SPCR) の SPE ビットを 1 にして本モジュールの機能をイネーブルにすると、本モジュールはコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。本モジュールは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、本モジュールはポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

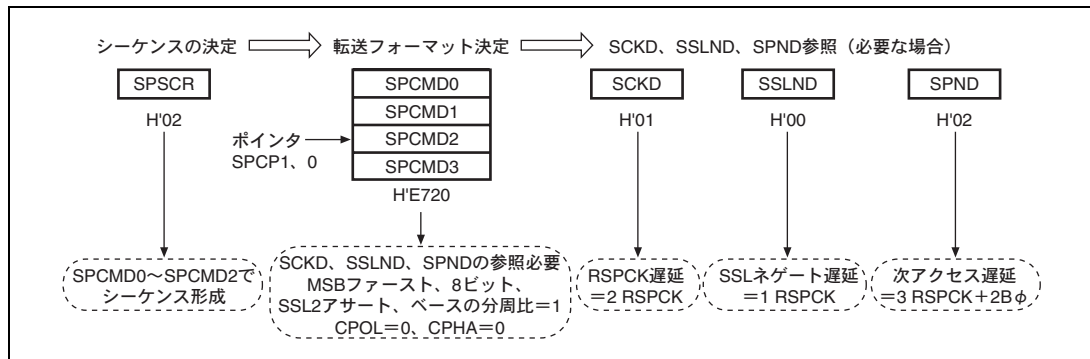


図 20.15 マスタモードでのシリアル転送方式の決定方法

(d) バースト転送

本モジュールが現在のシリアル転送で参照しているコマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、本モジュールはシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、本モジュールは SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 20.16 に、SPCMD0、1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 20.16 に記載した (1) ～ (7) の動作内容について、以下に説明します。なお、SSL 出力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
2. SPCMD0に従ったシリアル転送を実行します。
3. SSLネゲート遅延を挿入します。
4. SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
6. SPCMD1に従ったシリアル転送を実行します。
7. SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1に従った次アクセス遅延が挿入されます。

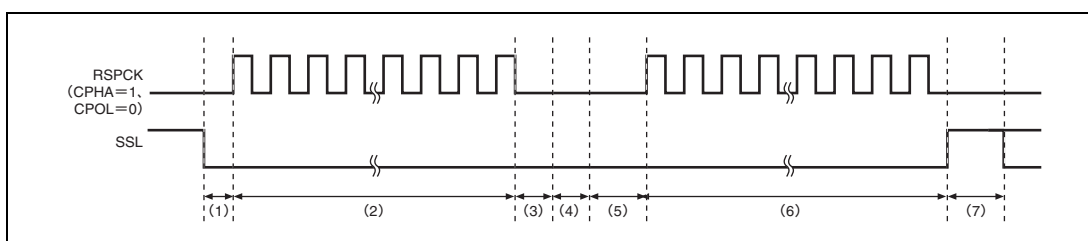


図 20.16 SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、本モジュールは次転送のコマンドに対応した SSL 信号のアサート時（図 20.16 の (5)）に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの本モジュールは、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、本モジュールは内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（「20.4.8 (2) スレーブモード動作」を参照）。

(e) RSPCK 遅延 (t1)

マスタモードの RSPCK 遅延値は、コマンドレジスタ (SPCMD) の SCKDEN ビットの設定とクロック遅延レジスタ (SPCKD) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 20.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「20.4.4 転送フォーマット」を参照してください。

表 20.8 SCKDEN、SPCKD と RSPCK 遅延値の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000~111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(f) SSL ネゲート遅延 (t2)

マスタモードの SSL ネゲート遅延値は、コマンドレジスタ (SPCMD) の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ (SSLND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 20.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「20.4.4 転送フォーマット」を参照してください。

表 20.9 SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000~111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(g) 次アクセス遅延 (t3)

マスタモードの次アクセス遅延は、コマンドレジスタ (SPCMD) の SPNDEN ビットの設定と次アクセス遅延レジスタ (SPND) の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、表 20.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「20.4.4 転送フォーマット」を参照してください。

表 20.10 SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000~111	1RSPCK+2Bφ
1	000	1RSPCK+2Bφ
	001	2RSPCK+2Bφ
	010	3RSPCK+2Bφ
	011	4RSPCK+2Bφ
	100	5RSPCK+2Bφ
	101	6RSPCK+2Bφ
	110	7RSPCK+2Bφ
	111	8RSPCK+2Bφ

(h) 初期化フロー

図 20.17 に、SPI 動作時、本モジュールをマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

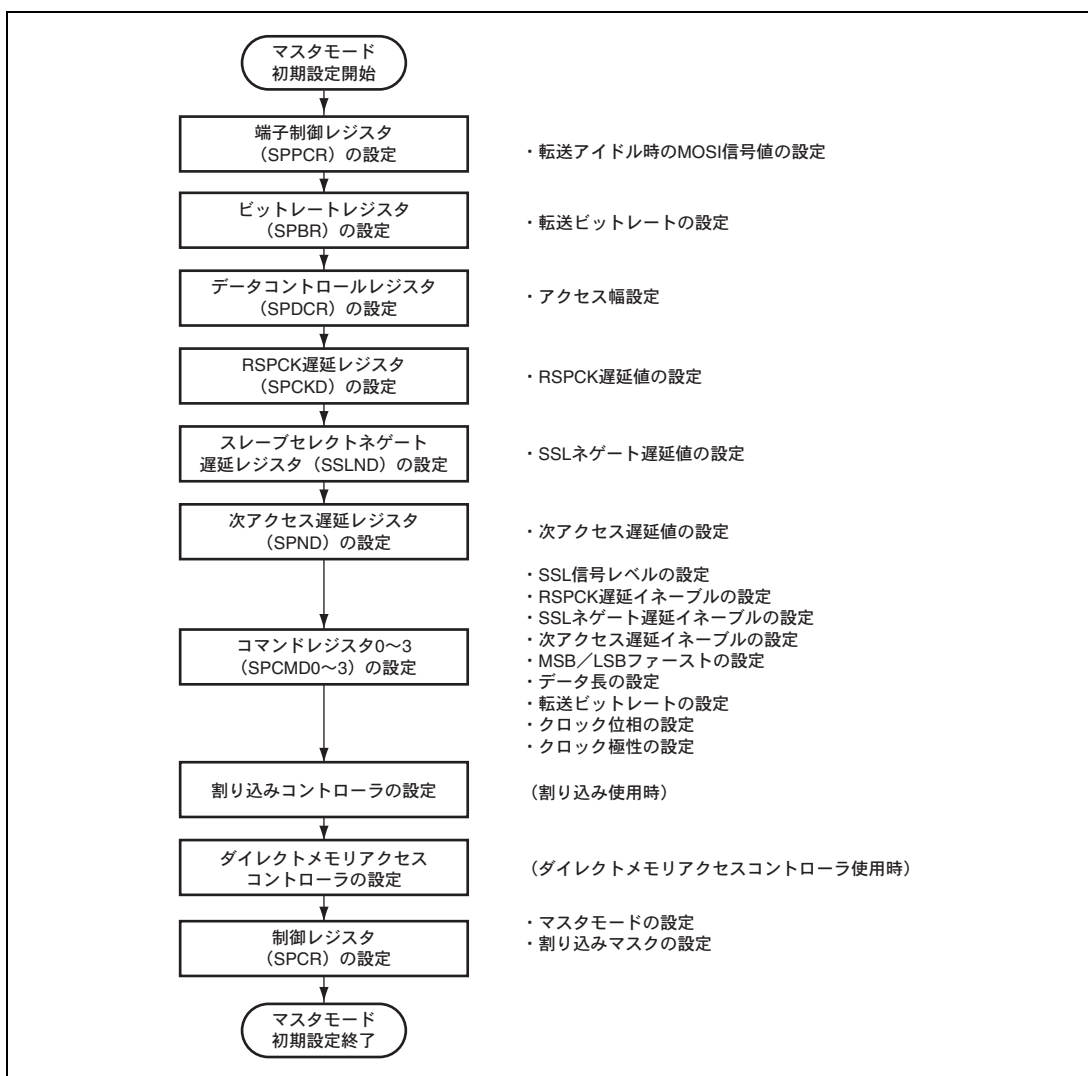


図 20.17 マスタモード時の初期化フロー例

(i) 転送動作フロー

図 20.18 に、SPI 動作時、マスタモードの転送動作フローを示します。

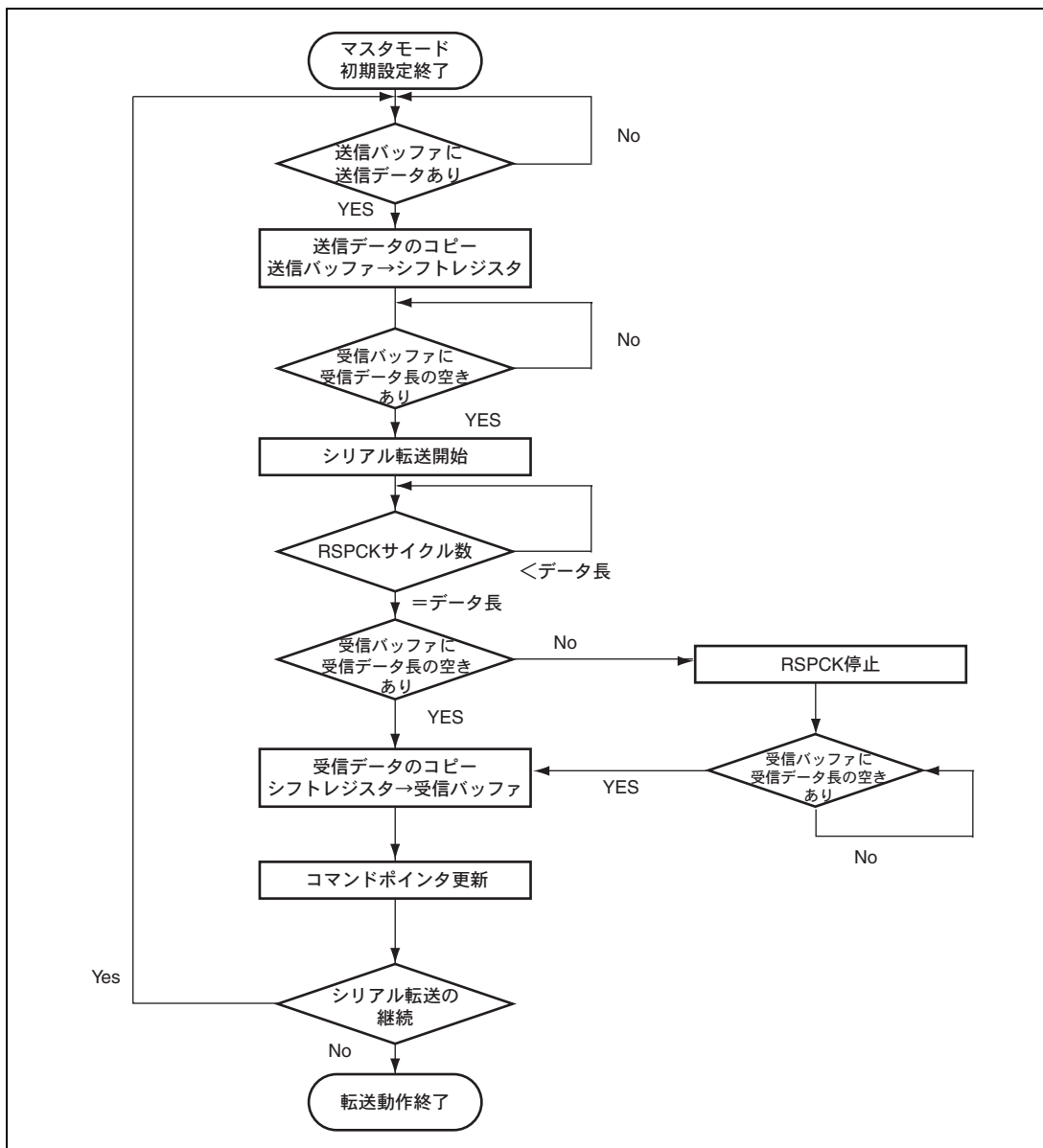


図 20.18 マスタモード時の転送動作フロー

(2) スレーブモード動作

(a) シリアル転送の開始

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合、本モジュールは SSL 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、本モジュールは SSL 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

本モジュールは、シフトレジスタがエンプティの状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、本モジュールはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、本モジュールが MISO 出力信号のドライブを開始するタイミングは、SSL 信号アサートタイミングです。CPHA ビットの設定によって、本モジュールが出力するデータの有効/無効が異なります。

なお、本モジュールの転送フォーマットの詳細については、「20.4.4 転送フォーマット」を参照してください。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。

(b) シリアル転送の終了

コマンドレジスタ 0 (SPCMD0) の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに受信データを保存することができる空きがある場合には、シリアル転送の終了後に、本モジュールはシフトレジスタからデータレジスタ

(SPDR) の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、本モジュールはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に本モジュールが SSL 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「20.4.6 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのデータ長は SPCMD0 の SPB3~SPB0 ビットの設定値に依存します。SSL 入力信号の極性は、スレーブセレクト極性レジスタ (SSLP) の SSLP ビットの設定値に依存します。転送フォーマットの詳細については、「20.4.4 転送フォーマット」を参照してください。

(c) スレーブ時の注意点

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 0 の場合には、本モジュールは SSL 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 20.4 の例に示したような構成で本モジュールをスレーブで使用する場合には、SSL 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した本モジュールではシリアル転送を正しく開始できません。SSL 入力信号をアクティブ状態に固定する構成で、スレーブモードの送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL 入力信号を固定しないでください。

(d) バースト転送

コマンドレジスタ 0 (SPCMD0) の CPHA ビットが 1 の場合には、SSL 入力信号のアサート状態を保持したまま連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「20.4.8 (2) (c) スレープ時の注意点」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e) 初期化フロー

図 20.19 に、SPI 動作時、本モジュールをスレープモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

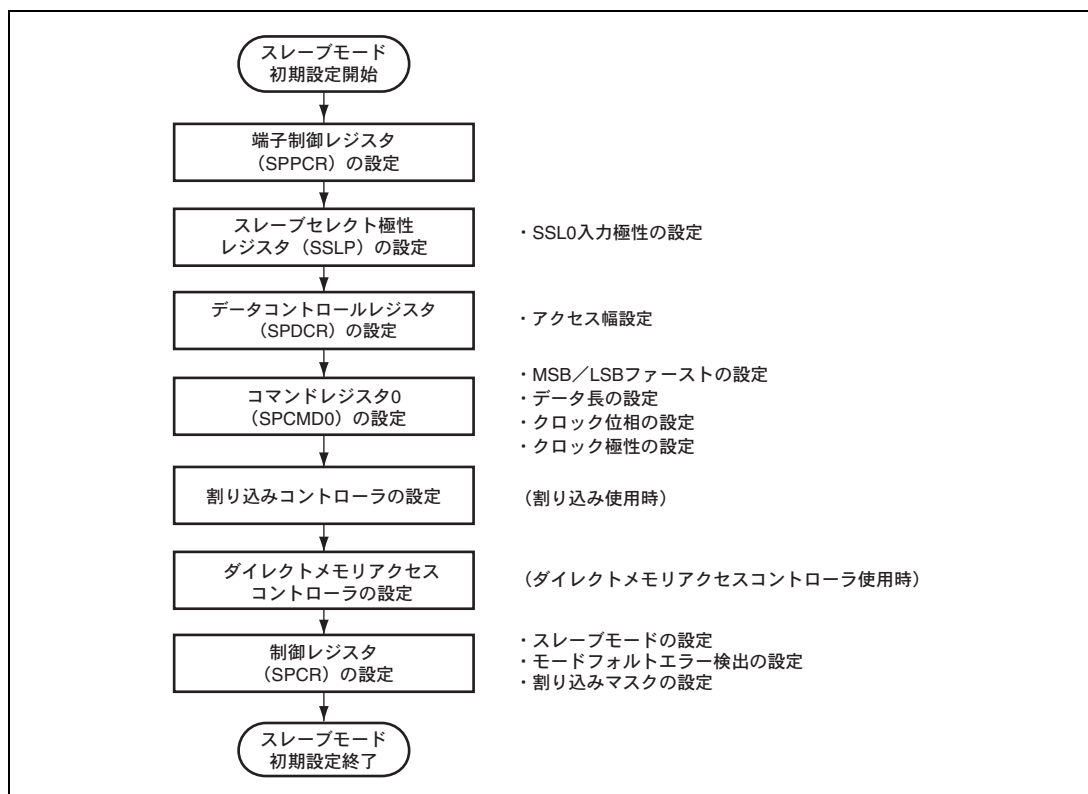


図 20.19 スレープモード時の初期化フロー例

(f) 転送動作フロー (CPHA=0)

図 20.20 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 0 に設定したスレーブモードの転送動作フローを示します。

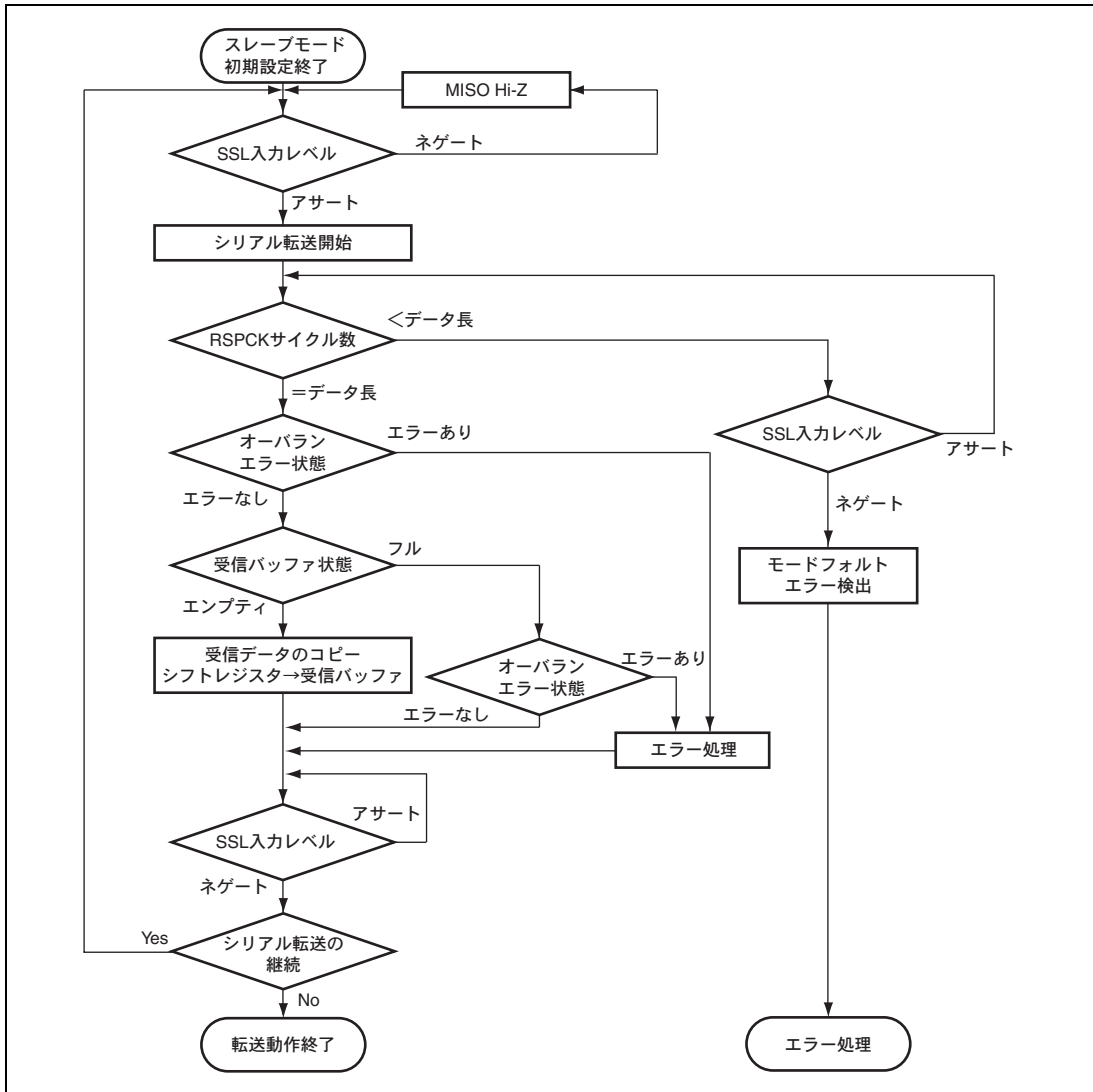


図 20.20 スレーブモード時の転送動作フロー (CPHA=0)

(g) 転送動作フロー (CPHA=1)

図 20.21 に、SPI 動作時、コマンドレジスタ 0 (SPCMD0) の CPHA ビットを 1、制御レジスタ (SPCR) の MODFEN ビットを 1 に設定したスレーブモードの転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL 入力レベルがネゲートされた場合、以降の動作は保証されません。

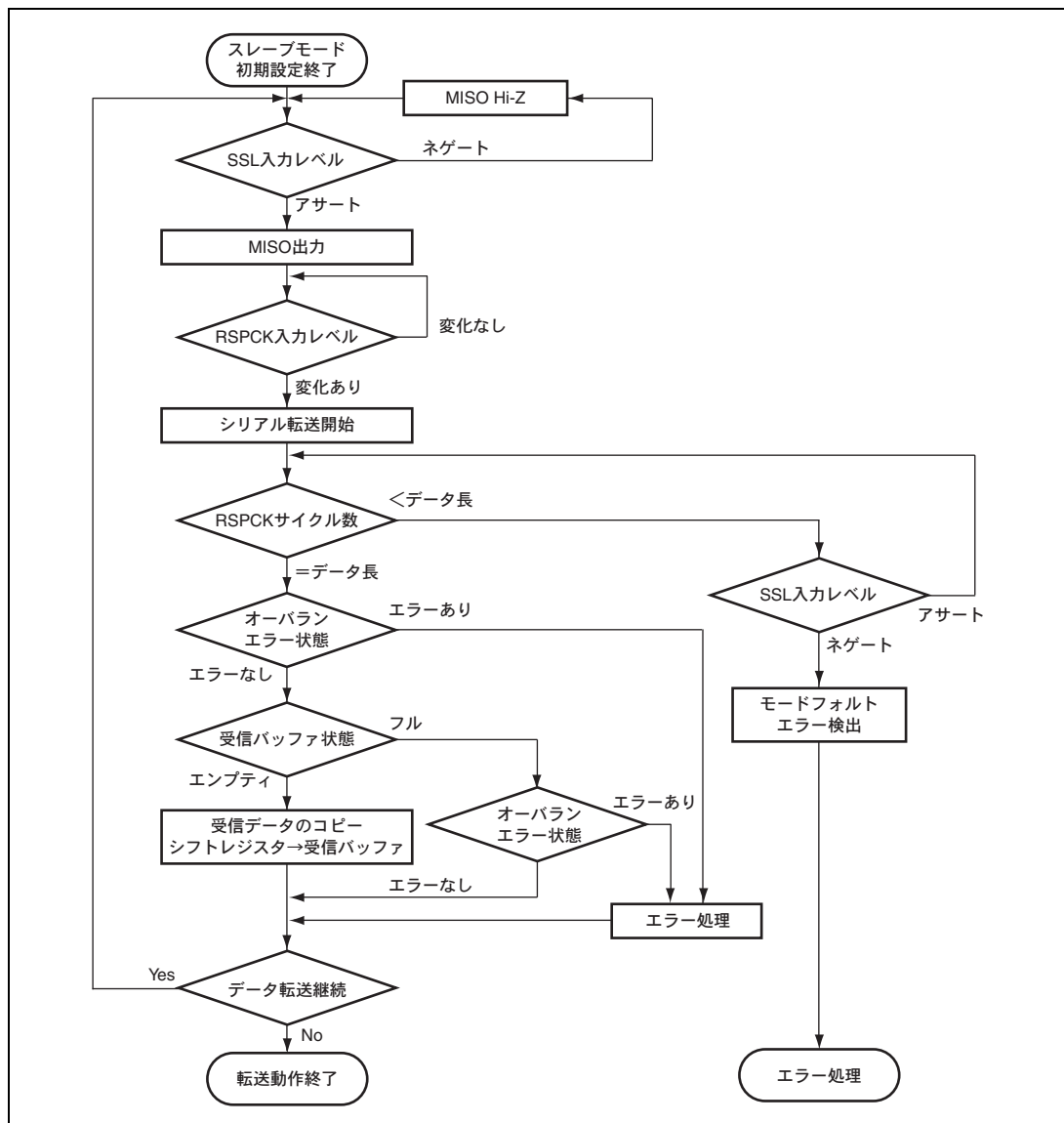


図 20.21 スレーブモード時の転送動作フロー (CPHA=1)

20.4.9 エラー処理

図 20.22、図 20.23 に、エラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

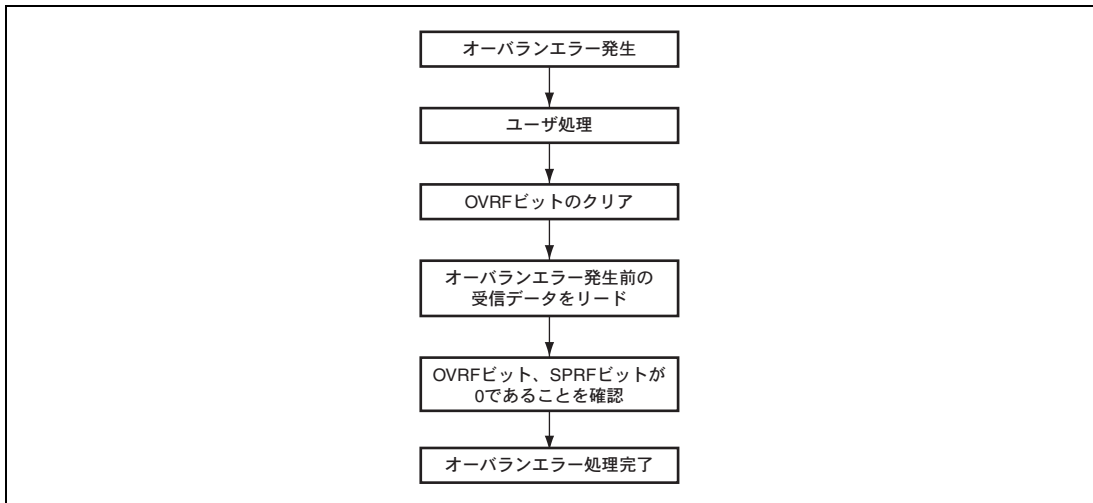


図 20.22 エラー処理（オーバーランエラー）

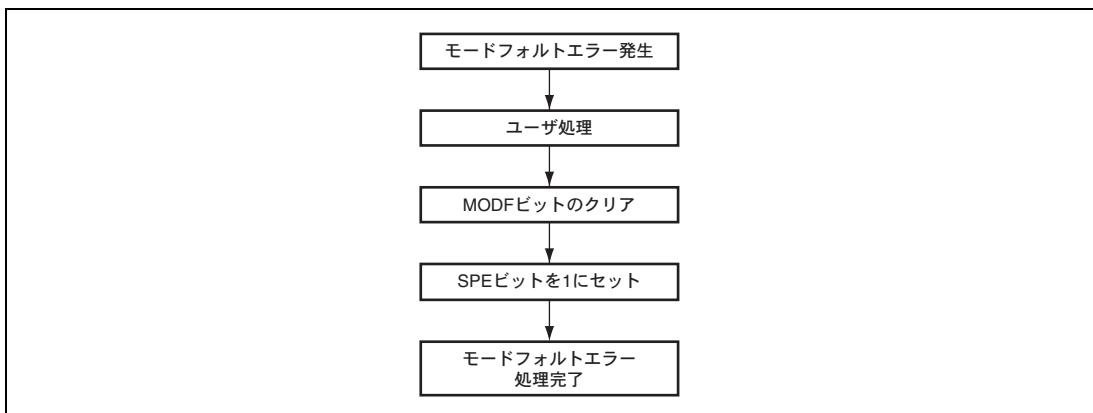


図 20.23 エラー処理（モードフォルトエラー）

20.4.10 ループバックモード

端子制御レジスタ (SPPCR) の SPLP ビットに 1 を書き込むと、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、送信データが受信データになります。図 20.24 に、マスタモードの本モジュールをループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

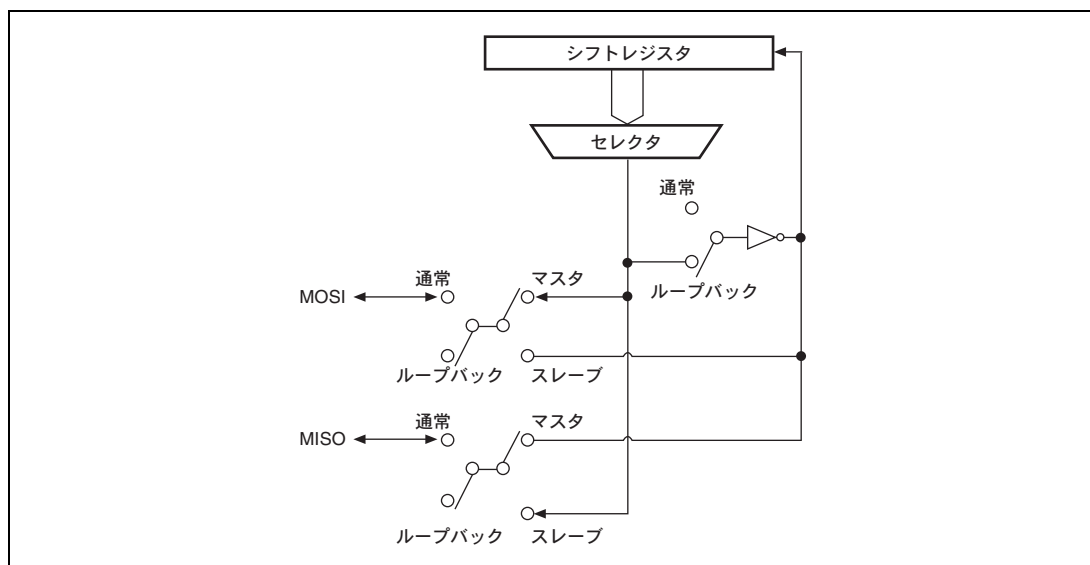


図 20.24 ループバックモード時のシフトレジスタ入出力構成（マスタモード）

20.4.11 割り込み要因

割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバーランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

表 20.11 に、割り込み要因を示します。

表 20.11 の割り込み条件が成立すると、割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラ（HPB-DMAC）によるデータ転送で割り込み要因をクリアしてください。

表 20.11 割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセス コントローラ (HPB-DMAC) 起動
SPRI	受信バッファフル	RXI	(SPRIE=1)・(SPRF=1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE=1)・(SPTIEF=1)	○
SPEI	モードフォルト	MOI	(SPEIE=1)・(MODF=1)	—
	オーバーラン	OVI	(SPEIE=1)・(OVRF=1)	—

21. ホストインタフェース (HIF)

本 LSI はシステムバスを共有できない外部デバイスと高速にデータ転送を行うためのホストインタフェース (HIF : Host Interface) を内蔵しています。

HIF を用いることにより、外部デバイスから本 LSI に内蔵された 4KB (2KB×2 バンク) の HIF 用内蔵 RAM (HIFRAM) に対して 32 ビット単位のリード/ライトが可能となります。さらに外部デバイスから本 LSI への割り込み、本 LSI から外部デバイスへの割り込み、および本 LSI から外部デバイスへの DMA 転送要求をサポートします。この HIFRAM と割り込み機能を用いることにより、ソフトウェア的に外部デバイスと本 LSI 間のデータ転送が可能となり、バス権を開放しない外部デバイスとの接続が可能となります。

また HIFRAM を使って本 LSI を起動することができる HIF ブートモードをサポートします。

21.1 特長

HIF には、次のような特長があります。

- 外部デバイスからは、HIFの端子を介して、HIFRAMに32ビット単位でリード/ライトが可能です (8/16ビット単位のアクセスはできません)。本LSIのCPUからは、内部周辺バスを介して、HIFRAMに8/16/32ビット単位でリード/ライトが可能です。また、2つのHIFRAMアクセスモード (バンクモード、非バンクモード) が選べます。
- 外部デバイスが、HIFの端子を介して、HIFRAMをアクセスする場合、HIF内部レジスタの設定により、アドレスの自動インクリメントやエンディアンの設定が可能となります。
- 外部デバイスからHIF内部レジスタの特定ビットへライトを行うこと、あるいは外部デバイスがHIFRAM最終アドレスをアクセスすることで、本LSIのCPUに割り込み (内部割り込み) をかけることができます。また逆に本LSIのCPUからHIF内部レジスタの特定ビットへライトを行うことで、外部デバイスに対して割り込み (外部割り込み)、あるいはDMAC転送要求をかけることも可能です。
- 割り込み要因ビットを内部割り込み/外部割り込み用にそれぞれ7ビットサポートします。これにより128とおりの割り込みの制御がソフトウェアから可能となり、割り込みを用いたデータ転送を高速に行うことが可能となります。
- ブートモード時に、外部デバイスがHIFRAMに命令コードを格納しておくことで、HIFRAMからブート可能です。

図 21.1 に HIF のブロック図を示します。

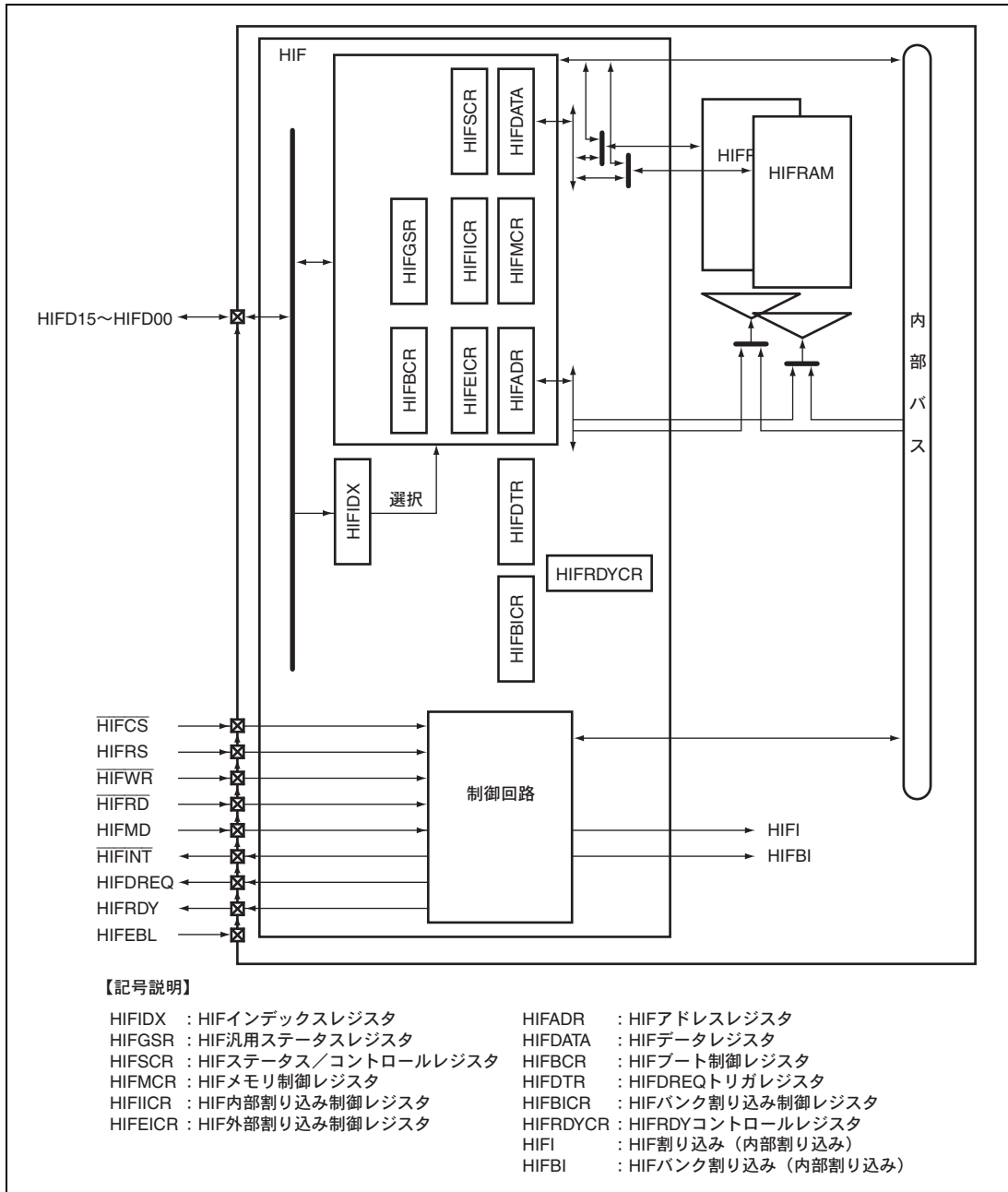


図 21.1 HIF ブロック図

21.2 入出力端子

HIF の端子構成を表 21.1 に示します。

表 21.1 端子構成

名称	略称	入出力	機能
HIF データ端子	HIFD15~ HIFD00	入出力	HIF へのアドレス/データ/コマンド入出力
HIF チップセレクト	HIFCS	入力	HIF へのチップセレクト入力
HIF レジスタセレクト	HIFRS	入力	HIF へのアクセス種別切り替え 0 : 通常アクセス (下記以外) 1 : インデックスレジスタライト
HIF ライト	HIFWR	入力	ライトストロープ信号。外部デバイスが HIF ヘータを書き込む場合、ローレベルを入力します。
HIF リード	HIFRD	入力	リードストロープ信号。外部デバイスが HIF からデータを読み出す場合、ローレベルを入力します。
HIF 割り込み	HIFINT	出力	HIF から外部デバイスへの割り込み要求
HIF モード	HIFMD	入力	HIF ブートをするか、しないかを指定します。ハイレベルを入力した状態でパワーオンリセット解除することで、本 LSI は HIF ブートモードで起動します。
HIFDMAC 転送要求	HIFDREQ	出力	外部デバイスに対して HIFRAM への DMAC 転送を要求します。
HIF ブートレディ	HIFRDY	出力	本 LSI 内部で、HIF モジュールのリセットが解除され、外部デバイスから HIF モジュールへのアクセスを受け付け可能になったことを示します。 ディープスタンバイ時に HIFRDY を RDY 状態 (HIFRDY=Low) にしたい場合は HIFRDY コントロールレジスタで設定してください。
HIF 端子イネーブル	HIFEBL	入力	ハイレベルを入力することで、本端子以外の HIF 端子を活性化します。

21.3 パラレルアクセス

21.3.1 動作説明

HIF へのアクセスは $\overline{\text{HIFCS}}$ 、 $\overline{\text{HIFRS}}$ 、 $\overline{\text{HIFWR}}$ 、 $\overline{\text{HIFRD}}$ の各端子を組み合わせることで行います。表 21.2 にこれらの信号の組み合わせと動作との対応を示します。

表 21.2 HIF 動作

HIFCS	HIFRS	HIFWR	HIFRD	動作
1	*	*	*	ノーオペレーション (NOP)
0	1	0	1	インデックスレジスタ (HIFIDX[7:0]) へのライト
0	0	0	1	HIFIDX[7:0]で指定されるレジスタへのライト
0	*	1	0	HIFIDX[7:0]で指定されるレジスタからのリード
0	*	1	1	ノーオペレーション (NOP)
0	*	0	0	設定禁止

【注】 * : Don't Care

21.3.2 接続方法

HIF を外部デバイスに接続する場合は、たとえば図 21.2 に示すような方法で接続してください。

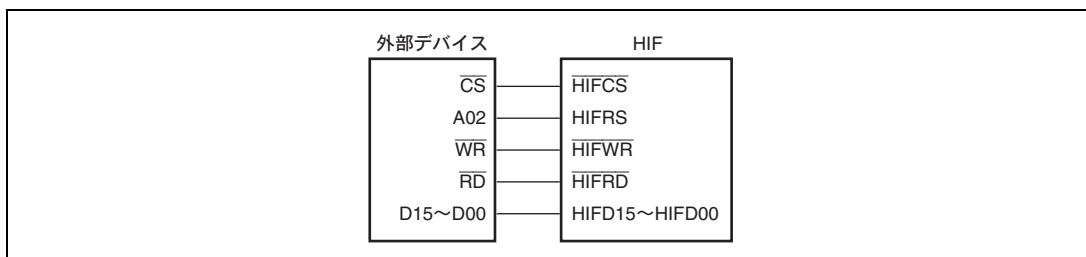


図 21.2 HIF 接続参考例

21.4 レジスタの説明

表 21.3 (1) にレジスタ構成を、表 21.3 (2) にレジスタの状態を示します。

表 21.3 (1) レジスタ構成

レジスタ名	略称	アドレス	アクセス サイズ
HIF インデックスレジスタ	HIFIDX	H'FF830000	32
HIF 汎用ステータスレジスタ	HIFGSR	H'FF830004	32
HIF ステータス/コントロールレジスタ	HIFSCR	H'FF830008	32
HIF メモリ制御レジスタ	HIFMCR	H'FF83000C	32
HIF 内部割り込み制御レジスタ	HIFIICR	H'FF830010	32
HIF 外部割り込み制御レジスタ	HIFEICR	H'FF830014	32
HIF アドレスレジスタ	HIFADR	H'FF830018	32
HIF データレジスタ	HIFDATA	H'FF83001C	32
HIFDREQ トリガレジスタ	HIFDTR	H'FF830020	32
HIF バンク割り込み制御レジスタ	HIFBICR	H'FF830024	32
HIF ブート制御レジスタ	HIFBCR	H'FF830040	32
HIFRDY コントロールレジスタ	HIFRDYCR	H'FF830080	32

表 21.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
HIFIDX	初期化	初期化	保持	保持	保持	初期化
HIFGSR	初期化	初期化	保持	保持	保持	初期化
HIFSCR	初期化	初期化	保持	保持	保持	初期化
HIFMCR	初期化	初期化	保持	保持	保持	初期化
HIFIICR	初期化	初期化	保持	保持	保持	初期化
HIFEICR	初期化	初期化	保持	保持	保持	初期化
HIFADR	初期化	初期化	保持	保持	保持	初期化
HIFDATA	初期化	初期化	保持	保持	保持	初期化
HIFDTR	初期化	初期化	保持	保持	保持	初期化
HIFBICR	初期化	初期化	保持	保持	保持	初期化
HIFBCR	初期化	初期化	保持	保持	保持	初期化
HIFRDYCR	初期化	初期化	保持	保持	保持	初期化

21.4.1 HIF インデックスレジスタ (HIFIDX)

HIFIDX は、32 ビットのレジスタで、HIFRS 端子がローレベルのときに外部デバイスがリード/ライトするレジスタを指定するために用います。本 LSI の CPU からはリードのみ可能です。外部デバイスからは HIFRS 端子をハイレベルにした状態でライトのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REG5	REG4	REG3	REG2	REG1	REG0	BYTE1	BYTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	REG5	0	R/W	HIF 内蔵レジスタ選択
6	REG4	0	R/W	外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、
5	REG3	0	R/W	HIFDATA、HIFBCR のうち、どれをアクセスするかを指定するためのビットで
4	REG2	0	R/W	す。
3	REG1	0	R/W	000000 : HIFGSR 000001 : HIFSCR
2	REG0	0	R/W	000010 : HIFMCR 000011 : HIFIICR
				000100 : HIFEICR 000101 : HIFADR
				000110 : HIFDATA 001111 : HIFBCR
				上記以外 : リザーブビット

ビット	ビット名	初期値	R/W	説明
1	BYTE1	0	R/W	内蔵レジスタ内バイト指定 外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、HIFDATA、HIFBCR のいずれかをアクセスする前に、あらかじめターゲットとなるワード位置を指定しておくためのビットです。「21.8 アライメント制御」も併せて参照してください。 HIFSCR.BO=0 の場合 00 : レジスタのビット[31:16] 01 : 設定しないでください 10 : レジスタのビット[15:0] 11 : 設定しないでください HIFSCR.BO=1 の場合 00 : レジスタのビット[15:0] 01 : 設定しないでください 10 : レジスタのビット[31:16] 11 : 設定しないでください ただし REG5~REG0 で HIFDATA が選択された場合には、HIFDATA へのリード/ライトが発生するたびに BYTE1、BYTE0 が以下の規則で変化します。 00 → 10 → 00 → 10繰り返し
0	BYTE0	0	R/W	

21.4.2 HIF 汎用ステータスレジスタ (HIFGSR)

HIFGSR は、32 ビットのレジスタで、HIF に接続される外部デバイスと本 LSI 上のソフトウェアとの間でハンドシェイクをとるために自由に用いることができるレジスタです。本 LSI の CPU からはリードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STATUS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	STATUS [15:0]	すべて0	R/W	汎用ステータス。 HIF に接続された外部デバイスからも、本 LSI の CPU からもリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。

21.4.3 HIF ステータス/コントロールレジスタ (HIFSCR)

HIFSCR は、32 ビットのレジスタで、HIFRAM のアクセスモード制御やエンディアン制御を行います。本 LSI の CPU からはリードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DMD	DPOL	BMD	BSEL	—	—	MD1	—	—	WBSWP	EDN	BO
初期値:	0	0	0	0	0	0	0	0	0	1	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	DMD	0	R/W	DREQ モード DREQ ポラリティ HIFDREQ 端子のアサートモードを制御します。ネゲートタイミング等の詳細は、「21.7 外部 DMAC インタフェース」を参照してください。 00: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にローレベルを生成します。HIFDREQ はデフォルトハイレベル出力です。 01: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にハイレベルを生成します。HIFDREQ はデフォルトローレベル出力です。 10: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち下がエッジを生成します。HIFDREQ はデフォルトハイレベル出力です。 11: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち上がりエッジを生成します。HIFDREQ はデフォルトローレベル出力です。
10	DPOL	0	R/W	

ビット	ビット名	初期値	R/W	説明
9 8	BMD BSEL	0 0	R/W R/W	<p>HIFRAM バンクモード</p> <p>HIFRAM バンクセレクト</p> <p>HIFRAM のアクセスモードを設定します。</p> <p>00: 外部デバイス、本 LSI の CPU ともにバンク 0 をアクセス可能です。両者のアクセスが競合した場合、たとえアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 1 はアクセスできません。</p> <p>01: 外部デバイス、本 LSI の CPU ともにバンク 1 をアクセス可能です。両者のアクセスが競合した場合、例えアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 0 はアクセスできません。</p> <p>10: 外部デバイスはバンク 0 のみを、本 LSI の CPU はバンク 1 のみをアクセス可能です。</p> <p>11: 外部デバイスはバンク 1 のみを、本 LSI の CPU はバンク 0 のみをアクセス可能です。</p>
7	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
6	—	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込み値も常に 1 にしてください。</p>
5	MD1	0/1	R	<p>HIF モード 1</p> <p>本 LSI を HIF ブートモードで起動したか、非 HIF ブートモードで起動したかを示します。本ビットはパワーオンリセット時にサンプリングされた HIFMD 端子への入力レベルが格納されます。</p> <p>0: 非 HIF ブートモードで起動 (エリア 0 に接続しているメモリからブート) した。</p> <p>1: HIF ブートモードで起動 (HIFRAM からブート) した。</p>
4, 3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
2	WBSWP	0	R/W	<p>HIFDATA をアクセスする時のバイトオーダー</p> <p>外部デバイスが HIFDATA をアクセスする場合のバイトオーダーを指定します。「21.8 アライメント制御」も併せて参照してください。</p> <p>0: BO ビットにしたがってアライメントされます。</p> <p>1: ビッグエンディアンの状態からワード単位のスワップをし、さらに各ワード内でバイト単位のスワップをします。BO ビットの設定は無視されます。</p>
1	EDN	0	R/W	<p>HIFRAM アクセス時のエンディアン</p> <p>本 LSI の CPU が HIFRAM をアクセスする場合のバイトオーダーを指定します。</p> <p>0: ビッグエンディアン (MSB ファースト)</p> <p>1: リトルエンディアン (LSB ファースト)</p>

ビット	ビット名	初期値	R/W	説 明
0	BO	0	R/W	HIFDATA を含め HIF の全レジスタをアクセスするときのバイトオーダー 外部デバイスが HIFDATA を含め HIF の全レジスタをアクセスする場合のバイトオーダーを指定します。ただし、HIFDATA のアライメントについては、WBSWP=0 のときのみ、本ビットが参照され、WBSWP=1 のときは、本ビットの参照は無視されます。「21.8 アライメント制御」も併せて参照してください。 0: ビッグエンディアン (MSB ファースト) 1: リトルエンディアン (LSB ファースト)

21.4.4 HIF メモリ制御レジスタ (HIFMCR)

HIFMCR は、32 ビットのレジスタで、HIFRAM の制御を行います。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	LOCK	—	WT	—	RD	—	—	AI/AD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R	R/W*	R	R/W*	R	R	R/W*

【注】 * HIFSCRのBMDビット、BSELビットにより、外部デバイスからアクセス可能なHIFRAMのバンクを変更しても、本ビットの設定は影響を受けません。

ビット	ビット名	初期値	R/W	説 明
31~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	LOCK	0	R/W*	ロック 外部デバイスが、HIFDATA 経由で HIFRAM を連続アクセスする場合、アクセス方向（リード、またはライト）をロックするためのビットです。本ビットへ1を書き込むと同時に設定した RD ビット、WT ビットの値が、次に本ビットを0クリアするまで保持されます。RD ビットと本ビットに同時に1を書き込んだ場合は連続読み出しモード、WT ビットと本ビットに同時に1を書き込んだ場合は連続書き込みモードとなります。RD ビットと WT ビットは同時に1にしないでください。
6	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5	WT	0	R/W*	ライト 本ビットに1を書き込むと HIFDATA の値が、HIFADR に対応する HIFRAM の位置へ書き込まれます。 本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続書き込み状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。 LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ書き込みが発生し、その後、本ビットの値は自動的に0クリアされます。
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RD	0	R/W*	リード 本ビットに1を書き込むと HIFADR に対応する HIFRAM のデータが、HIFDATA に読み出されます。 本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続読み出し状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。 LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ読み出しが発生し、その後、本ビットの値は自動的に0クリアされます。
2, 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AI/AD	0	R/W*	アドレスオートインクリメント/デクリメント。 LOCK ビットが1のときのみ有効なビットです。HIFRAM へのリードもしくはライトが発生するたびに、HIFADR の値が自動的に+4 もしくは-4 します。 0: オートインクリメントモード (+4) 1: オートデクリメントモード (-4)

【注】 * HIFSCR の BMD ビット、BSEL ビットにより、外部デバイスからアクセス可能な HIFRAM のバンクを変更しても、本ビットの設定は影響を受けません。

21.4.5 HIF 内部割り込み制御レジスタ (HIFIICR)

HIFIICR は、32 ビットのレジスタで、HIF に接続された外部デバイスから本 LSI の CPU に対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IIC6	IIC5	IIC4	IIC3	IIC2	IIC1	IIC0	IIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IIC6	0	R/W	内部割り込み要因 IIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。
6	IIC5	0	R/W	
5	IIC4	0	R/W	
4	IIC3	0	R/W	
3	IIC2	0	R/W	
2	IIC1	0	R/W	
1	IIC0	0	R/W	
0	IIR	0	R/W	内部割り込みリクエスト このビットが1の期間、本 LSI の CPU に対して割り込み要求 (HIFI) が発生します。

21.4.6 HIF 外部割り込み制御レジスタ (HIFEICR)

HIFEICR は、32 ビットのレジスタで、本 LSI から HIF に接続された外部デバイスに対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EIC6	EIC5	EIC4	EIC3	EIC2	EIC1	EIC0	EIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7	EIC6	0	R/W	外部割り込み要因 EIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。
6	EIC5	0	R/W	
5	EIC4	0	R/W	
4	EIC3	0	R/W	
3	EIC2	0	R/W	
2	EIC1	0	R/W	
1	EIC0	0	R/W	
0	EIR	0	R/W	外部割り込みリクエスト このビットが 1 の期間、本 LSI から外部デバイスに対して $\overline{\text{HIFINT}}$ 端子をアサートして割り込みを要求します。

21.4.7 HIF アドレスレジスタ (HIFADR)

HIFADR は、32 ビットのレジスタで、外部デバイスが HIFRAM をアクセスする際のアドレスを示します。HIFMCR の LOCK ビットの設定により HIFRAM への連続アクセスが指定されているときは、HIFMCR の AI/AD ビットの設定に従い、アドレスのオートインクリメント (+4) もしくはオートデクリメント (-4) が HIFRAM へのアクセスのたびに自動的に行われ、HIFADR が更新されます。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	A[10:2]										—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~2	A[10:2]	すべて 0	R/W	HIFRAM アドレス指定。 外部デバイスが HIFRAM をアクセスする際のアドレスを 32 ビット境界で指定します。
1, 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.4.8 HIF データレジスタ (HIFDATA)

HIFDATA は、32 ビットのレジスタで、外部デバイスから HIFRAM へのライトデータや、HIFRAM からの外部デバイスへのリードデータを保持するレジスタです。HIFRAM へのアクセスで HIFDATA を用いない場合は、HIF に接続されている外部デバイスと、本 LSI の CPU とのデータ転送に用いることも可能です。本 LSI の CPU から、リードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	D[31:0]	すべて 0	R/W	32 ビットデータ

21.4.9 HIF ブート制御レジスタ (HIFBCR)

HIFBCR は、32 ビットのレジスタで、HIFRAM アクセスに関して、外部デバイスと本 LSI の CPU との排他制御を行うレジスタです。本 LSI の CPU からは、リードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~1	—	すべて 0	R/W	AC ビット書き込み用補助 AT ビットに 1 を設定するためのビットパターン (H'A5) 書き込みに使用しません。読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
0	AC	0/1	R/W	<p>HIFRAM アクセス排他制御</p> <p>HIFSCR の BMD ビット、BSEL ビットによって選択された、本 LSI がアクセス可能な HIFRAM のバンクに対して、本 LSI の CPU からのアクセス制御を行います。</p> <p>0 : 本 LSI の CPU から HIFRAM ヘリッド/ライトが可能です。</p> <p>1 : 本 LSI の CPU から HIFRAM へのリード/ライトが発生すると、CPU は待機状態となり、本ビットが 0 になるまで命令の実行を停止します。</p> <p>非 HIF ブートモードで起動した場合、AC ビットの初期値は 0 です。</p> <p>HIF ブートモードで起動した場合、AC ビットの初期値は 1 です。外部デバイスが HIF 経由で HIFRAM にブートプログラムを格納した後、本ビットをクリアすることで、本 LSI の CPU は HIFRAM からブートします。</p> <p>外部デバイスが本ビットへ 1 に設定する場合は、誤書き込み防止のため、HIFBCR[7:0]に H'A5 を書き込んでください。</p>

21.4.10 HIFDREQ トリガレジスタ (HIFDTR)

HIFDTR は、32 ビットのレジスタで、本 LSI の CPU が本レジスタにライト動作を行うことで、HIFDREQ 端子がアサートされます。外部デバイスからのアクセスはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTRG
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	DTRG	0	R/W	<p>HIFDREQ トリガ</p> <p>本ビットに 1 をライトすると、HIFSCR の DMD ビット、DPOL ビットの設定に従って、HIFDREQ 端子がアサートされます。また、本ビットは HIFDREQ 端子のネゲートに同期して、自動的にクリアされます。</p> <p>本 LSI の CPU からは、本ビットのセットはできますが、クリアはできません。</p> <p>HIFDREQ 端子のネゲートによる本ビットのクリアと、本 LSI の CPU によるセットが競合しないように、本 LSI の CPU によるセットの前に、必ずクリアされていることを確認してください。</p> <p>0 ライトは無効です。</p>

21.4.11 HIF バンク割り込み制御レジスタ (HIFBICR)

HIFBICR は、32 ビットのレジスタで、HIF バンク割り込みの制御を行います。外部デバイスからのアクセスはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BIE	BIF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	BIE	0	R/W	バンク割り込みイネーブル 本 LSI の CPU に対して、バンク割り込み要求 (HIFBI) を禁止するか、許可するかを設定します。 0 : HIFBI を禁止します。 1 : HIFBI を許可します。
0	BIF	0	R/W	バンク割り込み要求フラグ 本ビットが 1 の期間、BIE の設定に従って、本 LSI の CPU に対してバンク割り込み要求 (HIFBI) を発生します。 本ビットは、オートインクリメントモード (HIFMCR の AI/AD ビット=0) 時には、外部デバイスが HIFRAM の最後尾の 32 ビットデータのアクセスを完了し、 $\overline{\text{HIFCS}}$ がネゲートされたときに自動的にセットされます。 オートデクリメントモード (HIFMCR の AI/AD ビット=1) 時には、外部デバイスが HIFRAM の先頭の 32 ビットデータのアクセスを完了し、 $\overline{\text{HIFCS}}$ がネゲートされたときに自動的にセットされます。 本 LSI の CPU からは、本ビットのクリアはできますが、セットはできません。外部デバイスの HIFRAM アクセスによる本ビットのセットと、本 LSI の CPU によるクリアが競合しないように、ソフトウェアで保証してください。 1 書き込みはできません。

21.4.12 HIFRDY コントロールレジスタ (HIFRDYCR)

HIFRDYCR は、32 ビットのレジスタで、本 LSI の CPU が本レジスタにライト動作を行うことで、HIFRDY 端子をマスク出来ます。外部デバイスからのアクセスはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MASK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MASK	0	R/W	HIFRDY マスク HIFRDY 端子は、HIF モジュールのリセットが解除され、外部デバイスから HIF モジュールへのアクセスを受け付け可能になったことを示す端子ですが、本ビットに1をライトする事により、アクセス可能状態 (HIFRDY=High) をマスク (HIFRDY=Low) する事が可能です。本ビットのクリアは、0を書き込んでください。

21.5 メモリマップ

表 21.4 に HIFRAM のメモリマップを示します。

表 21.4 メモリマップ

分類	開始アドレス	終了アドレス	サイズ
外部デバイスからみたマップ*	H'0000	H'07FF	2KB
本 LSI の CPU からみたマップ*	H'FF82_0000	H'FF82_07FF	2KB

【注】 * HIFRAM の 1 バンクあたりのマップです。外部デバイスや本 LSI の CPU がどちらのバンクをアクセスするかは、HIFSCR の BMD ビット、BSEL ビットに依存し、マッピングアドレスはバンク間で共通です。

21.6 インタフェース

21.6.1 基本シーケンス

図 21.3 に基本シーケンスを示します。 $\overline{\text{HIFRD}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でリードを規定し、 $\overline{\text{HIFWR}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でライトを規定します。また HIFRS 信号は、当該アクセスが通常アクセスなのか、インデックスレジスタアクセスなのかを示し、ローレベルならば通常アクセス、ハイレベルであればインデックスレジスタアクセスとなります。

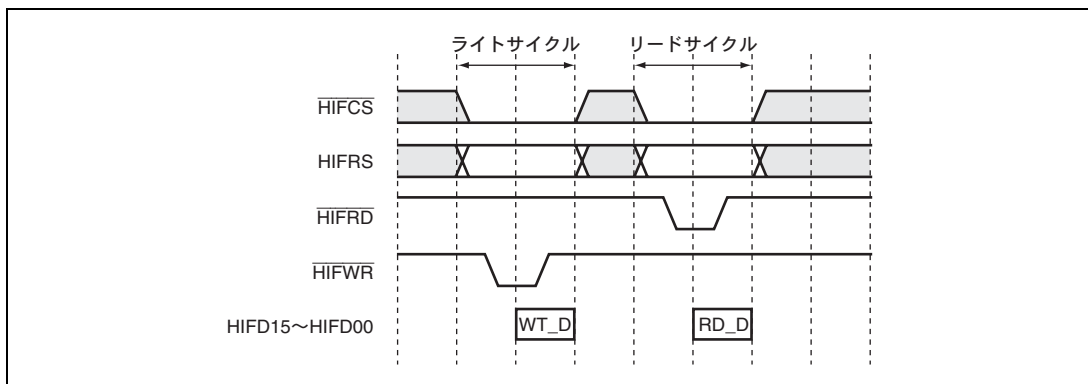


図 21.3 HIF インタフェース基本タイミング

21.6.2 HIFIDX と HIFIDX 以外の HIF レジスタのリード/ライト

図 21.4 に示すように、 HIFIDX と HIFIDX 以外の HIF レジスタへのリード/ライトは最初 HIFRS をハイレベルにした状態で HIFIDX に書き込みを行うことでアクセスするレジスタとバイト位置を選びます。その後 HIFRS をローレベルにして HIFIDX で選択したレジスタにリード/ライトを行ってください。

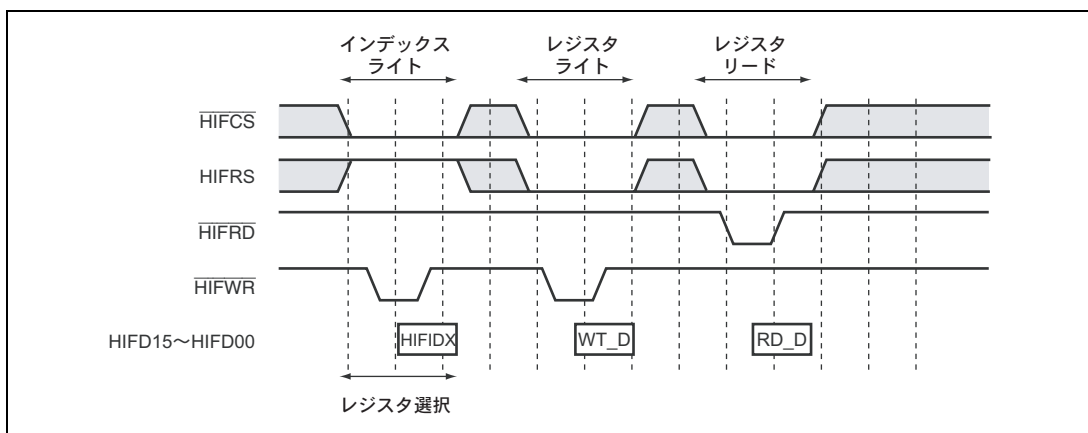


図 21.4 HIF レジスタ設定

21.6.3 外部デバイスから HIFRAM への連続データ書き込み

図 21.5 に外部デバイスから HIFRAM への連続データ転送のタイミングチャートを示します。本タイミングチャートで示すとおり、開始アドレスと最初の書き込みデータを設定すれば、それ以降は連続してデータを転送することが可能となります。

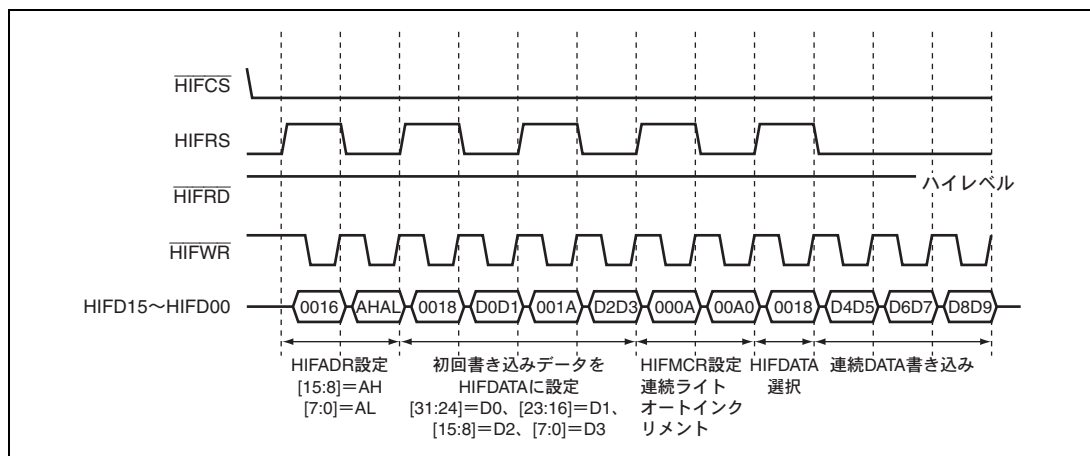


図 21.5 HIFRAM への連続データ書き込み

21.6.4 HIFRAM から外部デバイスへの連続読み出し

図 21.6 に HIFRAM から外部デバイスへの連続データ読み出しのタイミングチャートを示します。本タイミングチャートに示すとおり、開始アドレスを設定すれば、それ以降は連続してデータを読み出すことが可能となります。

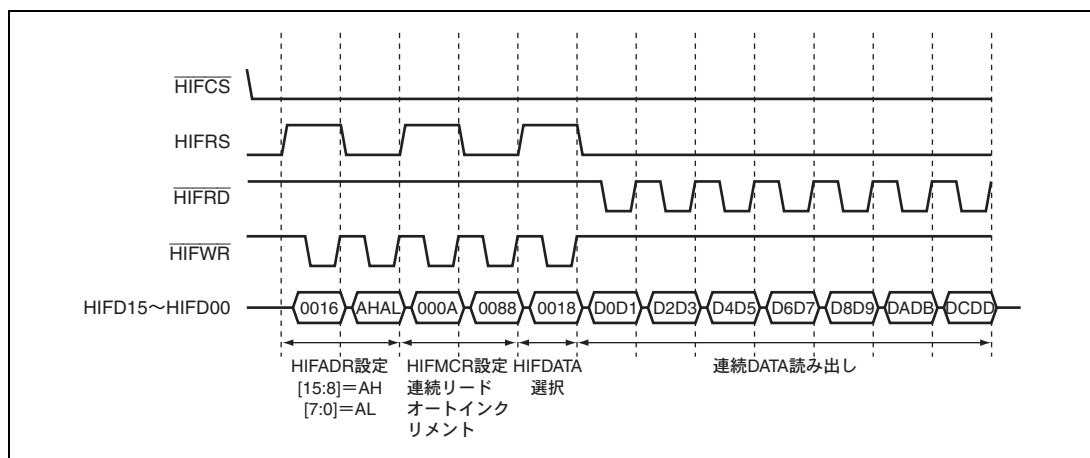


図 21.6 HIFRAM からの連続データ読み出し

21.7 外部 DMAC インタフェース

図 21.7～図 21.10 に HIFDREQ 出力タイミングを示します。HIFDREQ のアサート開始は、HIFDTR の DTRG ビットへの 1 ライトに同期します。HIFDREQ ネゲートタイミング、アサートレベルは、それぞれ HIFSCR の DMD ビット、DPOL ビットによって決まります。

外部 DMAC が HIFDREQ をローアクティブでレベル検出する場合、DMD=0、DPOL=0 を設定します。DTRG に 1 ライトしてから HIFIDX で指定されるレジスタへのリード/ライトを検出するまで、HIFDREQ はローレベルを保持します。インデックスレジスタ (HIFIDX) へのライトでは、ネゲートされません。

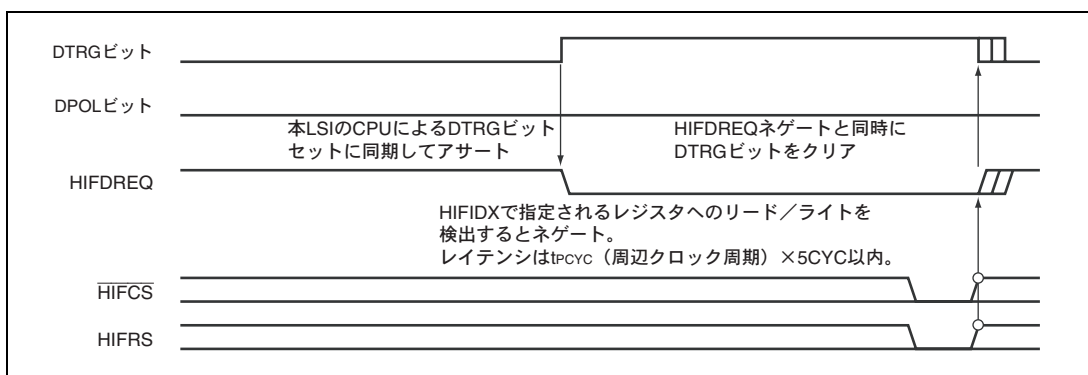


図 21.7 HIFDREQ タイミング (DMD=0、DPOL=0 の場合)

外部 DMAC が HIFDREQ をハイアクティブでレベル検出する場合、DMD=0、DPOL=1 を設定します。DPOL=1 を設定した時点で、HIFDREQ はローレベルとなります。その後、DTRG に 1 ライトしてから HIFIDX で指定されるレジスタへのリード/ライトを検出するまで、HIFDREQ はハイレベルを保持します。インデックスレジスタ (HIFIDX) へのライトでは、ネゲートされません。

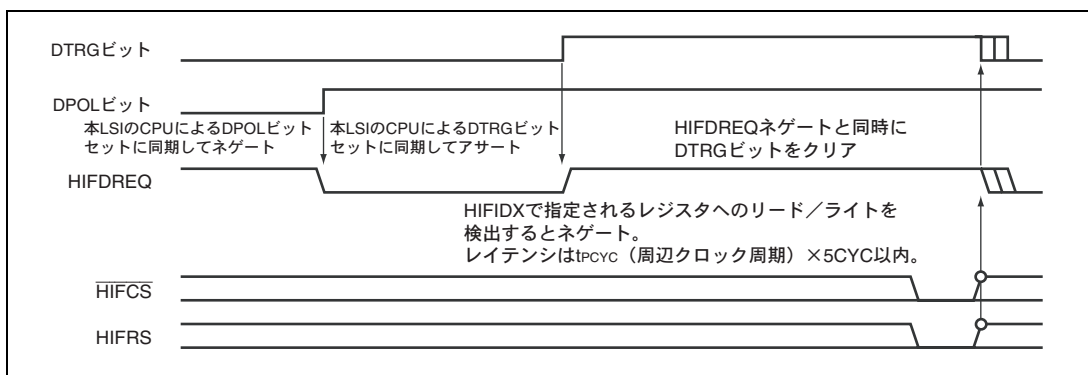


図 21.8 HIFDREQ タイミング続き (DMD=0、DPOL=1 の場合)

外部 DMAC が HIFDREQ を立ち下がりエッジ検出する場合、DMD=1、DPOL=0 を設定します。HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

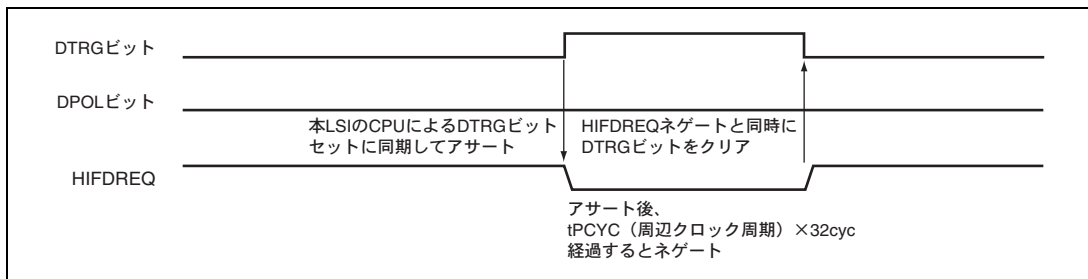


図 21.9 HIFDREQ タイミング続き (DMD=1、DPOL=0 の場合)

外部 DMAC が HIFDREQ を立ち上がりエッジ検出する場合、DMD=1、DPOL=1 を設定します。DPOL=1 を設定した時点で、HIFDREQ はローレベルとなります。その後、HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

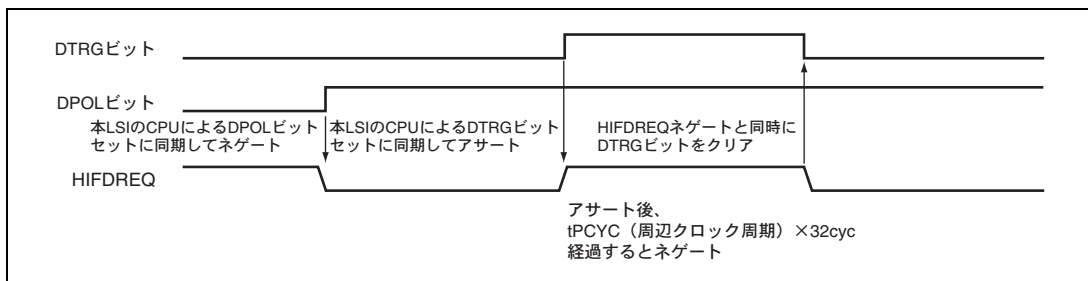


図 21.10 HIFDREQ タイミング続き (DMD=1、DPOL=1 の場合)

外部 DMAC が間欠動作モード（ブロック転送モード）をサポートしている場合、HIFRAM の連続アクセス機能とバンク機能を利用して、効率の良いデータ転送が可能です。

表 21.5 外部 DMAC による HIFRAM への連続ライト手順例

番号	外部デバイス			本 LSI		
	CPU		DMAC	HIF		CPU
1	HIF 初期設定					HIF 初期設定
2	DMAC 初期設定					
3	HIFADR を (HIFRAM の最終アドレス-8) に設定					
4	HIFDATA を選択し、HIFDATA にダミーデータ (4 バイト) 書き込み					
5	HIFMCR でアドレスインクリメントの HIFRAM 連続ライトを設定					
6	HIFDATA 選択し、HIFRAM にダミーデータ (4 バイト) 書き込み	→		→	HIF バンク 割り込み発生	→
						HIF バンク 割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス)
7			DMAC 起動	←	HIFDREQ アサート	←
						DTRG ビットをセット
8			HIFRAM バンク 1 にデータ連続書き込み			
9			HIFRAM バンク 1 の最終アドレスへの書き込み完了し、いったん停止	→	HIF バンク 割り込み発生	→
						HIF バンク 割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス)
10			DMAC 再起動	←	HIFDREQ アサート	←
						DTRG ビットをセット
11			HIFRAM バンク 0 にデータ連続書き込み			HIFRAM バンク 1 のデータを読み出し
12			HIFRAM バンク 0 の最終アドレスへの書き込み完了し、いったん停止	→	HIF バンク 割り込み発生	→
						HIF バンク 割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス)

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
13		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット
以降 11 番～13 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると (ただし、HIFRS=ローレベル状態での HIFGSR リードは除く)、HIFRAM 連続ライトが途切れ、再度 3 番～6 番の手続きが必要となります。				

表 21.6 外部 DMAC による HIFRAM からの連続リード手順例

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
1	HIF 初期設定			HIF 初期設定
2	DMAC 初期設定			
3	HIFADR を (HIFRAM の先頭) に設定			
4	HIFMCR でアドレスインクリメントの HIFRAM 連続リードを設定			
5	HIFDATA 選択			
6				HIFRAM バンク 1 にデータを書き込み
7				HIFRAM バンク 1 の最終アドレスにデータ書き込み後、HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス)
8		DMAC 起動	← HIFDREQ アサート	← DTRG ビットをセット
9		HIFRAM バンク 1 からデータ連続読み出し		HIFRAM バンク 0 にデータを書き込み
10		HIFRAM バンク 1 の最終アドレスからの読み出し完了し、いったん停止	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス)
11		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット
12		HIFRAM バンク 0 からデータ連続読み出し		HIFRAM バンク 1 にデータを書き込み

番号	外部デバイス		本 LSI		
	CPU	DMAC	HIF	CPU	
13		HIFRAMバンク0の最終アドレスからの読み出し完了し、いったん停止	→ HIFバンク割り込み発生	→	HIFバンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク1アクセス、本 LSI の CPU はバンク0をアクセス)
14		DMAC 再起動	← HIFDREQ アサート	←	DTRG ビットをセット

以降 12 番～14 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると (ただし、HIFRS=ローレベル状態での HIFGSR リードは除く)、HIFRAM 連続リードが途切れ、再度 3 番～5 番の手続きが必要となります。

21.8 アライメント制御

表 21.7、表 21.8 に外部デバイスが HIFDATA、HIFDATA 以外の HIF レジスタをアクセスするときのアライメント制御を示します。

表 21.7 外部デバイスによるアクセス時の HIFDATA アライメント

HIFDATA 内データ	WBSWP ビット	BO ビット	BYTE[1:0]ビット	HIFD[15:0]端子上的アライメント
H'76543210	0	0	B'00	H'7654
			B'10	H'3210
		1	B'00	H'3210
			B'10	H'7654
	1	0	B'00	H'1032
			B'10	H'5476
		1	B'00	H'5476
			B'10	H'1032

表 21.8 外部デバイスによるアクセス時の HIF レジスタ (HIFDATA 除く) アライメント

HIFDATA 内データ	WBSWP ビット	BO ビット	BYTE[1:0]ビット	HIFD[15:0]端子上的アライメント
H'76543210	Don't Care	0	B'00	H'7654
			B'10	H'3210
		1	B'00	H'3210
			B'10	H'7654

21.9 外部デバイス電源遮断時のインタフェース

本モジュールとインタフェースをとる外部デバイスの電源が遮断された場合、本モジュールの入力端子に中間電位が印加されたり、本モジュールの出力端子が通電されていないデバイスをドライブしたりすることがあり、これはデバイス破壊の原因となります。これを防ぐため、HIFEBL 端子を設けています。システム電源監視ブロックが、外部デバイスの電源遮断に同期して本端子を制御することで、HIFMD を除く本モジュールの全端子をハイインピーダンス状態にできます。図 21.11 にハイインピーダンス制御のイメージを示します。また、表 21.9 に HIF 端子の入出力制御をまとめます。

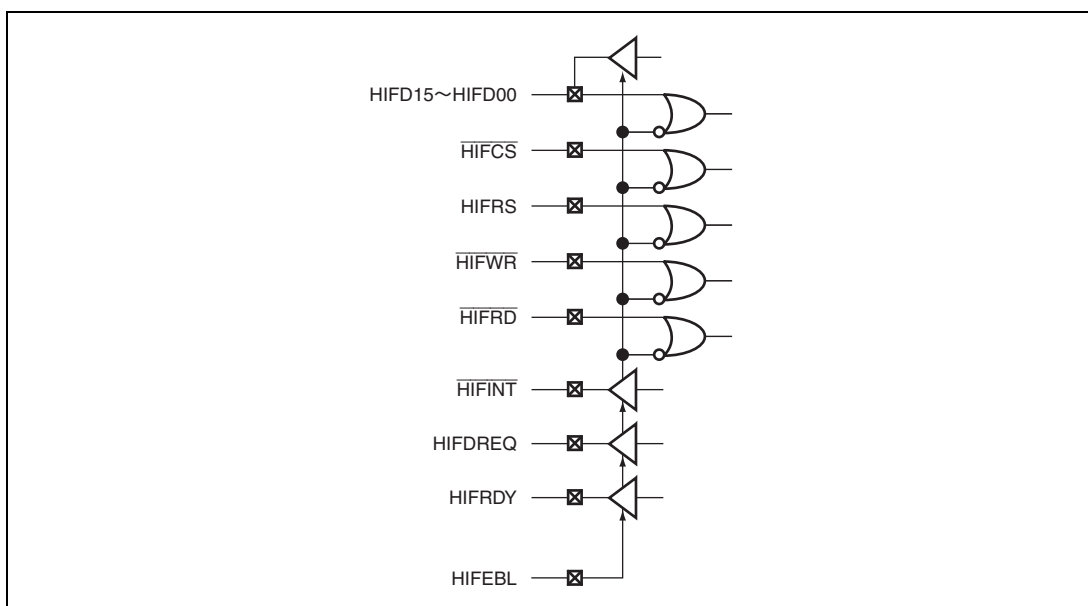


図 21.11 HIFEBL による HIF 端子ハイインピーダンス制御イメージ

表 21.9 HIF 端子の入出力制御

LSI 状態	RES 端子によるリセット中		RES 端子によるリセットを解除した後		RES 端子によるリセットを解除した後	
HIFMD (MD19) 入力レベル	High 入力 (ブートモード指定) HIF 機能選択		High 入力の状態で RES 端子によるリセットを解除した (ブートモード確定) HIF 機能選択		Low 入力の状態で RES 端子によるリセットを解除した (非ブートモード確定) その後、PFC 設定で HIF 機能選択	
HIFEBL 入力レベル	Low	High	Low	High	Low	High
HIFRDY 出力制御	出力バッファ ON (Low 出力)	出力バッファ ON (Low 出力)	出力バッファ OFF	出力バッファ ON (シーケンス出力)	出力バッファ OFF	出力バッファ ON (シーケンス出力)
HIFINT 出力制御	出力バッファ OFF	出力バッファ OFF	出力バッファ OFF	出力バッファ ON (シーケンス出力)	出力バッファ OFF	出力バッファ ON (シーケンス出力)
HIFDREQ 出力制御	出力バッファ OFF	出力バッファ OFF	出力バッファ OFF	出力バッファ ON (シーケンス出力)	出力バッファ OFF	出力バッファ ON (シーケンス出力)
HIFD15~ HIFD0 入出力制御	入出力バッファ OFF	入出力バッファ OFF	入出力バッファ OFF	HIFCS/HIFWR/ HIFRD への入力レ ベルに従って入出力 バッファ制御	入出力バッファ OFF	HIFCS/HIFWR/ HIFRD への入力レ ベルに従って入出力 バッファ制御
HIFCS 入力制御	入力バッファ OFF	入力バッファ OFF	入力バッファ OFF	入力バッファ ON	入力バッファ OFF	入力バッファ ON
HIFRS 入力制御	入力バッファ OFF	入力バッファ OFF	入力バッファ OFF	入力バッファ ON	入力バッファ OFF	入力バッファ ON
HIFWR 入力制御	入力バッファ OFF	入力バッファ OFF	入力バッファ OFF	入力バッファ ON	入力バッファ OFF	入力バッファ ON
HIFRD 入力制御	入力バッファ OFF	入力バッファ OFF	入力バッファ OFF	入力バッファ ON	入力バッファ OFF	入力バッファ ON

【注】 PFC 設定で HIFEBL 端子を選択しないで、本端子を HIF 端子として選択した場合は、入出力バッファは OFF のままと
なります。このような設定はしないでください。

22. コントローラエリアネットワーク (RCAN-TL1)

ルネサスコントローラエリアネットワーク (RCAN-TL1 : 以下、RCAN と略します) は自動車および産業機器システムなどでのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本 LSI には 2 チャンネルの (RCAN0、RCAN1) を備えています。本文中では、チャンネルによる区別を省略して説明します。本章は RCAN のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-CD-11898-1, 2003)
5. CAN Licence Specification, Robert Bosch GmbH, 1992

22.1 特長

- 本LSIのRCANには次のような特長があります。
- CAN規格2.0B対応
- 2チャンネルのRCAN (RCAN0、RCAN1) を搭載
- ビットタイミングはISO-11898-1規格に準拠
- 32個のメールボックス
- プログラム可能な31個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因

- テストモードを内蔵 (受信専用モード、エラーパッシブモード)
- 16ビットのフリーランニングタイマ (多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ)
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、定周期送信もサポート
- 外部クロック同期モードをサポート (入力可能な外部クロックの周波数: 16MHz~50MHz)

【注】 パワーオン時の RCAN の立ち上がり時間 (リセット後から実際に動作開始するまでの時間) は、使用している OS およびお客様のソフトウェアの実行時間に依存しますので、例えば反応時間に制限のあるアプリケーション (用途) に利用される場合は、慎重な検討が必要ですので、注意してください。

図 22.1 に RCAN モジュールのブロック図を示します。

RCAN は、CAN2.0B Active と ISO-11898-1 をサポートする CAN フレームを構成、制御する柔軟性の高い高度な方法を提供します。RCAN は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス (RAM とレジスタ)、メールボックスコントロール、タイマ、および CAN インタフェースの 5 種類のブロックからなります。

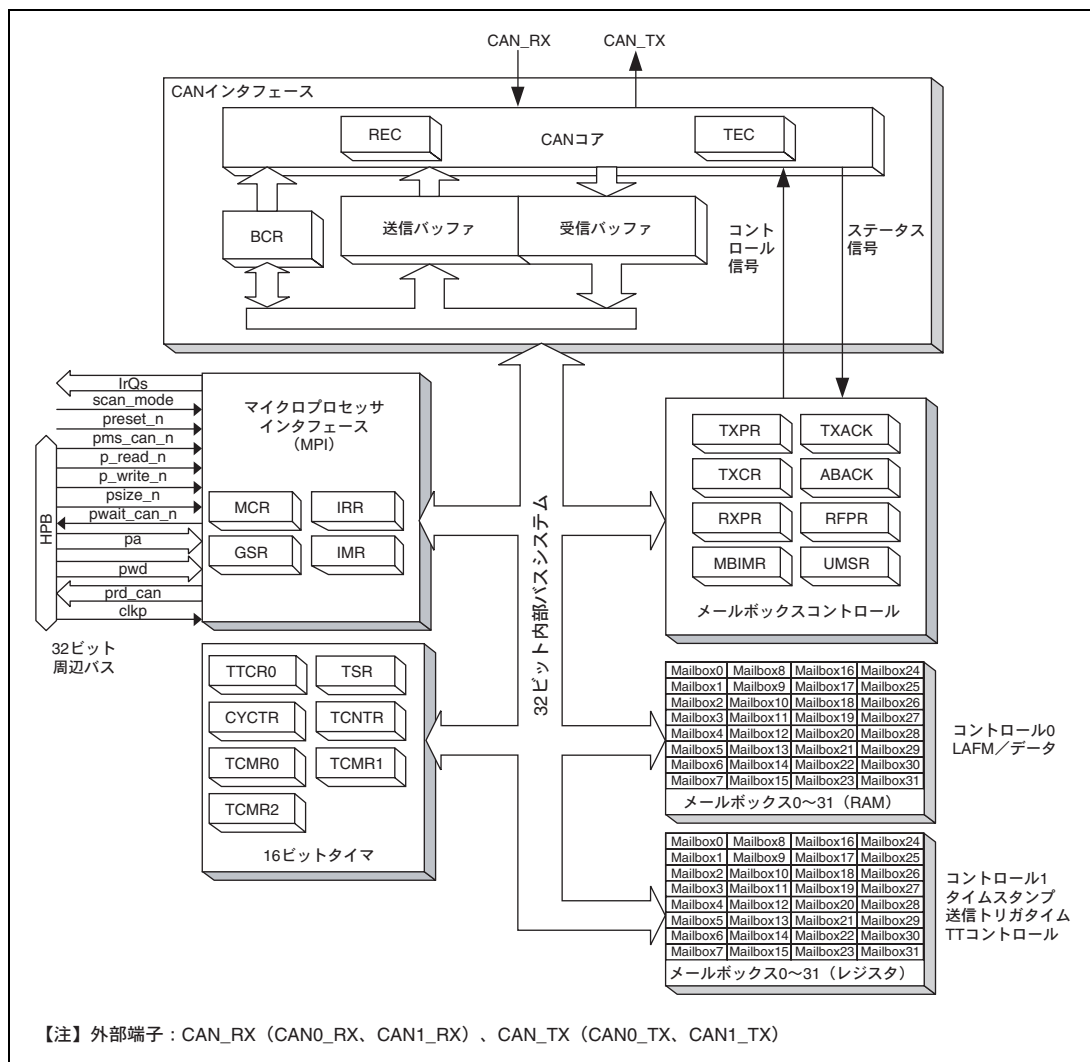


図 22.1 RCAN のブロック図

図 22.2 に外部クロック同期モードの概念図を示します。

HPB アドレス空間に存在する RCAN0CTL レジスタ (RCAN0 用) と RCAN1CTL レジスタ (RCAN1 用) を制御することにより、CPG からの内部クロック clkp、あるいは外部端子 CAN_CLK から外部クロック入力のどちらかより、RCAN の動作クロックを選択することが可能です。

初期状態は clkp が選択されております。外部クロック入力を選択する場合は、RCAN へのアクセスの前に RCAN0CTL レジスタあるいは RCAN1CTL レジスタを設定してください。また、外部クロック使用時は入力クロックの発振安定後、RCAN へのレジスタにアクセス開始してください。RCAN 動作途中での RCAN0CTL レジスタと RCAN1CTL レジスタの設定変更は禁止です。RCAN0CTL レジスタと RCAN1CTL レジスタに関する詳細は、「第 6 章 バスブリッジ (HPB)」を参照してください。

なお、本文中で「周辺バスクロック」と記載がある場合は、内部クロック同期モードでは clkp、外部クロック同期モードでは CAN_CLK のことを示します。

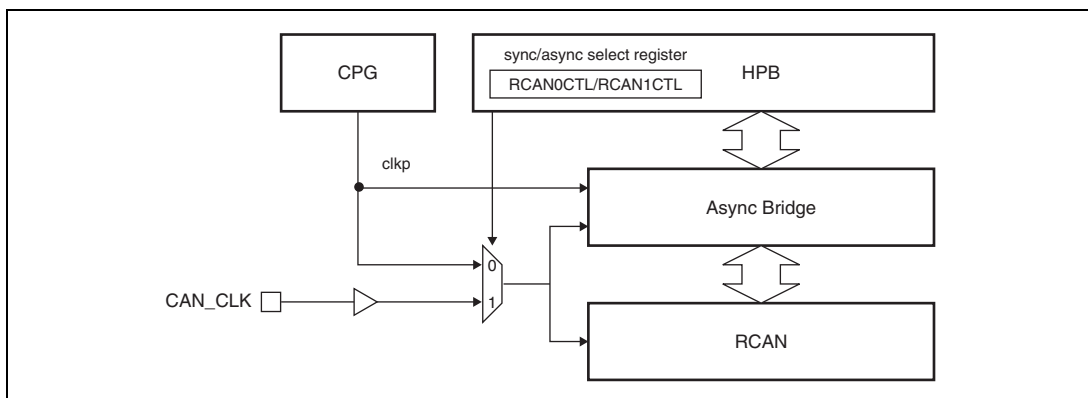


図 22.2 外部クロック同期モード概念図

22.1.1 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

(a) [RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

(b) [レジスタ]

- CANメッセージコントロール (DLCなど)
- メッセージ送信/受信用タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16ビットのフリーランニングアップカウンタで、CPUで制御することができます。ローカルタイムと比較する16ビットのコンペアマッチレジスタが1個と、サイクルタイムと比較するコンペアマッチレジスタが2個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CANバスの1ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、TSR、CYCTR、TCMR0、TCMR1、およびTCMR2があります。

(5) CAN インタフェース

本ブロックは参考文献[2]と[4]のCANバスデータリンクコントローラ仕様をサポートしています。これはISOモデルで規定されるデータリンクコントローラの全機能を満たしています。また、CANバスに特化したレジスタやロジックも備えています。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、多様なテストモードなどです。さらに、CANデータリンクコントローラの送受信を格納する機能もあります。

22.2 端子構成

RCANの端子構成を表22.1に示します。

表 22.1 端子構成

機能	端子名	入出力	説明
送信データ端子	CAN0_TX, CAN1_TX	出力	CANバス送信用端子です。
受信データ端子	CAN0_RX, CAN1_RX	入力	CANバス受信用端子です。
外部クロック入力	CAN_CLK	入力	外部クロック同期モード用クロック入力です。

22.3 レジスタの説明

表 22.2 にレジスタ一覧、表 22.3 にレジスタ構成、表 22.4 に各処理モードにおけるレジスタの状態を示します。

下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R : リード専用ビットです。書き込む値 (Read Modify Writeする場合) は、各ビットの説明に従ってください。

R/WC1 : リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

表 22.2 レジスタ一覧

レジスタ名		略称	機能
コント ロール レジスタ	マスタコントロールレジスタ	MCR	RCANまたはテストモードの設定
	ジェネラルステータスレジスタ	GSR	RCANのステータスレジスタ
	ビットコンフィギュレーションレジスタ 1,0	BCR1、BCR0	ボーレート設定のタイミング設定
	割り込みリクエストレジスタ	IRR	割り込み要求ステータス
	割り込みマスクレジスタ	IMR	割り込み要求マスク
	送信エラーカウンタ/受信エラーカウンタ	TEC/REC	テスト専用
メール ボックス コントロール レジスタ	送信待ちレジスタ	TXPR1、TXPR0	送信リクエスト
	送信キャンセルレジスタ	TXCR1、TXCR0	送信アボート要求
	送信アクノリッジレジスタ	TXACK1、TXACK0	送信成功フラグ
	アボートアクノリッジレジスタ	ABACK1、ABACK0	送信アボートフラグ
	データフレーム受信待ちレジスタ	RXPR1、RXPR0	データフレーム受信フラグ
	リモートフレーム受信待ちレジスタ	RFPR1、RFPR0	リモートフレーム受信フラグ
	メールボックス割り込みマスクレジスタ	MBIMR1、MBIMR0	メールボックス関連割り込み用マスク
	未読メッセージステータスレジスタ	UMSR1、UMSR0	オーバライトメッセージフラグ
タイマ レジスタ	タイムトリガコントロールレジスタ 0	TTCR0	タイマ設定
	タイマステータスレジスタ	TSR	タイマ用ステータスフラグ
	タイマカウンタレジスタ	TCNTR	カレントタイム値
	サイクルタイムレジスタ	CYCTR	CYCTR=TCNTR
	タイマコンペアマッチレジスタ	TCMRi (i=0~2)	タイマコンペア値

RCAN のレジスタベースアドレスは次のとおりです。

RCAN0 : H'FFFD0000

RCAN1 : H'FFFD1000

表 22.3 レジスタ構成

名 称	略称	R/W	ベースアドレスからの オフセットアドレス	アクセス サイズ
マスタコントロールレジスタ	MCR	R/W	H'000	16
ジェネラルステータスレジスタ	GSR	R	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	R/W	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	R/W	H'006	16
割り込みリクエストレジスタ	IRR	R/W	H'008	16
割り込みマスクレジスタ	IMR	R/W	H'00A	16
送信エラーカウンタ/受信エラーカウンタ	TEC/REC	R/W	H'00C	16
送信待ちレジスタ 1	TXPR1	R/W	H'020	32
送信待ちレジスタ 0	TXPR0	R/W	H'022	—
送信キャンセルレジスタ 1	TXCR1	R/W	H'028	16/32
送信キャンセルレジスタ 0	TXCR0	R/W	H'02A	16
送信アクノリッジレジスタ 1	TXACK1	R/WC1	H'030	16/32
送信アクノリッジレジスタ 0	TXACK0	R/WC1	H'032	16
アボートアクノリッジレジスタ 1	ABACK1	R/WC1	H'038	16/32
アボートアクノリッジレジスタ 0	ABACK0	R/WC1	H'03A	16
データフレーム受信待ちレジスタ 1	RXPR1	R/WC1	H'040	16/32
データフレーム受信待ちレジスタ 0	RXPR0	R/WC1	H'042	16
リモートフレーム受信待ちレジスタ 1	RFPR1	R/WC1	H'048	16/32
リモートフレーム受信待ちレジスタ 0	RFPR0	R/WC1	H'04A	16
メールボックス割り込みマスクレジスタ 1	MBIMR1	R/W	H'050	16/32
メールボックス割り込みマスクレジスタ 0	MBIMR0	R/W	H'052	16
未読メッセージステータスレジスタ 1	UMSR1	R/WC1	H'058	16/32
未読メッセージステータスレジスタ 0	UMSR0	R/WC1	H'05A	16
タイムトリガコントロールレジスタ 0	TTCR0	R/W	H'080	16
タイマステータスレジスタ	TSR	R	H'088	16
タイマカウンタレジスタ	TCNTR	R/W*	H'08C	16
サイクルタイムレジスタ	CYCTR	R	H'090	16
タイマコンペアマッチレジスタ 0	TCMR0	R/W	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	R/W	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	R/W	H'0A0	16

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

表 22.4 各処理モードにおけるレジスタの状態 (チャンネル 0、1 共通)

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
MCR	初期化	初期化	保持	保持	保持	初期化
GSR	初期化	初期化	保持	保持	保持	初期化
BCR1	初期化	初期化	保持	保持	保持	初期化
BCR0	初期化	初期化	保持	保持	保持	初期化
IRR	初期化	初期化	保持	保持	保持	初期化
IMR	初期化	初期化	保持	保持	保持	初期化
TEC/REC	初期化	初期化	保持	保持	保持	初期化
TXPR1	初期化	初期化	保持	保持	保持	初期化
TXPR0	初期化	初期化	保持	保持	保持	初期化
TXCR1	初期化	初期化	保持	保持	保持	初期化
TXCR0	初期化	初期化	保持	保持	保持	初期化
TXACK1	初期化	初期化	保持	保持	保持	初期化
TXACK0	初期化	初期化	保持	保持	保持	初期化
ABACK1	初期化	初期化	保持	保持	保持	初期化
ABACK0	初期化	初期化	保持	保持	保持	初期化
RXPR1	初期化	初期化	保持	保持	保持	初期化
RXPR0	初期化	初期化	保持	保持	保持	初期化
RFPR1	初期化	初期化	保持	保持	保持	初期化
RFPR0	初期化	初期化	保持	保持	保持	初期化
MBIMR1	初期化	初期化	保持	保持	保持	初期化
MBIMR0	初期化	初期化	保持	保持	保持	初期化
UMSR1	初期化	初期化	保持	保持	保持	初期化
UMSR0	初期化	初期化	保持	保持	保持	初期化
TTCR0	初期化	初期化	保持	保持	保持	初期化
TSR	初期化	初期化	保持	保持	保持	初期化
TCNTR	初期化	初期化	保持	保持	保持	初期化
CYCTR	初期化	初期化	保持	保持	保持	初期化
TCMR0	初期化	初期化	保持	保持	保持	初期化
TCMR1	初期化	初期化	保持	保持	保持	初期化
TCMR2	初期化	初期化	保持	保持	保持	初期化

22.3.1 メモリマップ

メモリマップを図 22.3 に示します。

なお、以後本文中ではメモリアドレスはオフセットアドレスで表記します。

	ビット15	ビット0
H'000	マスタコントロールレジスタ (MCR)	
H'002	ジェネラルステータスレジスタ (GSR)	
H'004	ビットコンフィギュレーションレジスタ1 (BCR1)	
H'006	ビットコンフィギュレーションレジスタ0 (BCR0)	
H'008	割り込みリクエストレジスタ (IRR)	
H'00A	割り込みマスクレジスタ (IMR)	
H'00C	送信エラーカウンタ (TEC)	受信エラーカウンタ (REC)
H'020	送信待ちレジスタ1 (TXPR1)	
H'022	送信待ちレジスタ0 (TXPR0)	
H'028	送信キャンセルレジスタ1 (TXCR1)	
H'02A	送信キャンセルレジスタ0 (TXCR0)	
H'030	送信アクノリッジレジスタ1 (TXACK1)	
H'032	送信アクノリッジレジスタ0 (TXACK0)	
H'038	アボートアクノリッジレジスタ1 (ABACK1)	
H'03A	アボートアクノリッジレジスタ0 (ABACK0)	
H'040	データフレーム受信待ちレジスタ1 (RXPR1)	
H'042	データフレーム受信待ちレジスタ0 (RXPR0)	
H'048	リモートフレーム受信待ちレジスタ1 (RFPR1)	
H'04A	リモートフレーム受信待ちレジスタ0 (RFPR0)	
H'050	メールボックス割り込みマスクレジスタ1 (MBIMR1)	
H'052	メールボックス割り込みマスクレジスタ0 (MBIMR0)	
H'058	未読メッセージステータスレジスタ1 (UMSR1)	
H'05A	未読メッセージステータスレジスタ0 (UMSR0)	
H'080	タイムトリガコントロールレジスタ0 (TTCR0)	
H'088	タイムステータスレジスタ (TSR)	
H'08C	タイムカウンタレジスタ (TCNTR)	
H'090	サイクルタイムレジスタ (CYCTR)	
H'098	タイマコンペアマッチレジスタ0 (TCMR0)	
H'09C	タイマコンペアマッチレジスタ1 (TCMR1)	
H'0A0	タイマコンペアマッチレジスタ2 (TCMR2)	
H'0FF		

【注】 : 未使用領域はリザーブビットです。

図 22.3 RCAN のメモリマップ (1)

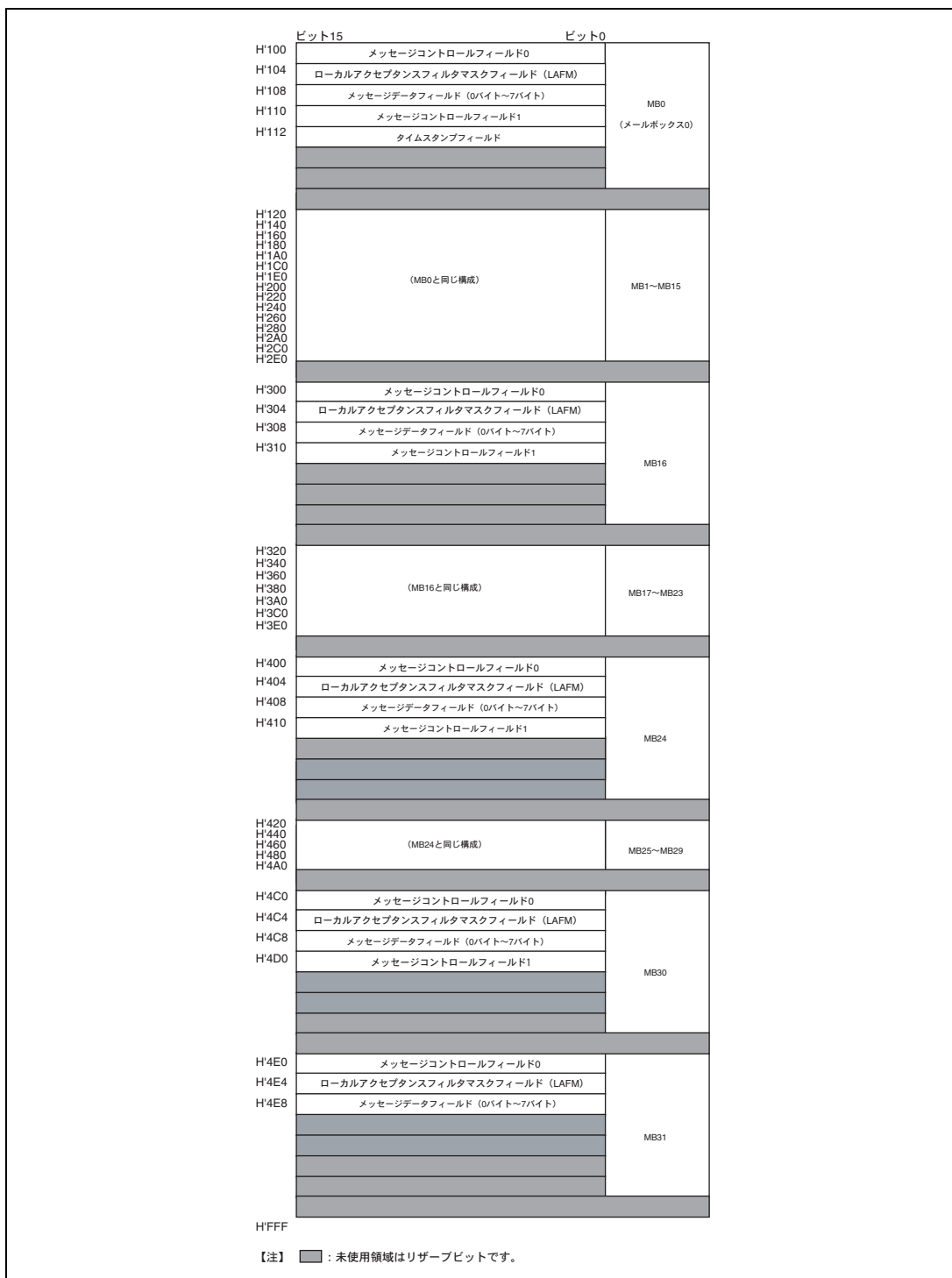


図 22.3 RCAN のメモリマップ (2)

22.4 メールボックス

22.4.1 メールボックスの構成

メールボックスはCANフレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの3個の格納フィールドからなります。さらに、タイムスタンプのフィールドを持つメールボックスもあります。

表 22.5 に各メールボックスに対するメッセージコントロール0 および1、LAFM、メッセージデータ、タイムスタンプのアドレスマップを示します。

表中のアドレスはオフセットアドレスです。実アドレスは、ベースアドレスを足してください。

表 22.5 各メールボックスのアドレスマップ (1チャンネルあたり)

メール ボックス (MB)	アドレス				
	RAM			レジスタ	
	メッセージ コントロール0	LAFM	メッセージ データ	メッセージ コントロール1	タイム スタンプ
	4バイト	4バイト	8バイト	2バイト	2バイト
MB 0 (受信のみ)	100-103	104-107	108-10F	110-111	112-113
MB 1	120-123	124-127	128-12F	130-131	132-133
MB 2	140-143	144-147	148-14F	150-151	152-153
MB 3	160-163	164-167	168-16F	170-171	172-173
MB 4	180-183	184-187	188-18F	190-191	192-193
MB 5	1A0-1A3	1A4-1A7	1A8-1AF	1B0-1B1	1B2-1B3
MB 6	1C0-1C3	1C4-1C7	1C8-1CF	1D0-1D1	1D2-1D3
MB 7	1E0-1E3	1E4-1E7	1E8-1EF	1F0-1F1	1F2-1F3
MB 8	200-203	204-207	208-20F	210-211	212-213
MB 9	220-223	224-227	228-22F	230-231	232-233
MB 10	240-243	244-247	248-24F	250-251	252-253
MB 11	260-263	264-267	268-26F	270-271	272-273
MB 12	280-283	284-287	288-28F	290-291	292-293
MB 13	2A0-2A3	2A4-2A7	2A8-2AF	2B0-2B1	2B2-2B3
MB 14	2C0-2C3	2C4-2C7	2C8-2CF	2D0-2D1	2D2-2D3
MB 15	2E0-2E3	2E4-2E7	2E8-2EF	2F0-2F1	2F2-2F3
MB 16	300-303	304-307	308-30F	310-311	-
MB 17	320-323	324-327	328-32F	330-331	-
MB 18	340-343	344-347	348-34F	350-351	-
MB 19	360-363	364-367	368-36F	370-371	-
MB 20	380-383	384-387	388-38F	390-391	-
MB 21	3A0-3A3	3A4-3A7	3A8-3AF	3B0-3B1	-

メールボックス (MB)	アドレス				
	RAM			レジスタ	
	メッセージ コントロール 0	LAFM	メッセージ データ	メッセージ コントロール 1	タイム スタンプ
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト
MB 22	3C0-3C3	3C4-3C7	3C8-3CF	3D0-3D1	-
MB 23	3E0-3E3	3E4-3E7	3E8-3EF	3F0-3F1	-
MB 24	400-403	404-407	408-40F	410-411	-
MB 25	420-423	424-427	428-42F	430-431	-
MB 26	440-443	444-447	448-44F	450-451	-
MB 27	460-463	464-467	468-46F	470-471	-
MB 28	480-483	484-487	488-48F	490-491	-
MB 29	4A0-4A3	4A4-4A7	4A8-4AF	4B0-4B1	-
MB 30	4C0-4C3	4C4-4C7	4C8-4CF	4D0-4D1	4D2-4D3 (ローカル タイム)
MB 31	4E0-4E3	4E4-4E7	4E8-4EF	4F0-4F1	4F2-4F3 (ローカル タイム)

メールボックス 0 は受信専用です。他のすべてのメールボックスは、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 22.4~図 22.6 に示します。

表 22.6 メールボックスの役割

メールボックス (MB)	イベントトリガ		備考
	送信 (Tx)	受信 (Rx)	タイムスタンプフィールド
MB0	-	設定可	有
MB15~MB1	設定可	設定可	有
MB23~MB16	設定可	設定可	-
MB29~MB24	設定可	設定可	-
MB30	設定可	設定可	有
MB31	設定可	設定可	有

・ MB0 (タイムスタンプ付き受信用メールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0 ²⁺⁴	
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM ²⁺⁴
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	0	0	NMC	0	0	MBC[2:0] ^{*1}		0	0	0	0	DLC[3:0]			8/16	コントロール1 ^{*3}		
H'112+N×32	TimeStamp[15:0] (CYCTR[15:0] at SOF)																16	タイムスタンプ

【記号説明】 N : 0 (メールボックス番号)

・ MB15~1 (タイムスタンプ付きメールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0 ²⁺⁴	
H'102+N×32	EXTID[15:0]																16	
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM ²⁺⁴
H'106+N×32	EXTID_LAFM[15:0]																16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H'10A+N×32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+N×32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+N×32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1		
H'112+N×32	TimeStamp[15:0] (CYCTR[15:0] at SOF)																16	タイムスタンプ

【記号説明】 N : 15~1 (メールボックス番号)

【注】 *1 メールボックス0は受信専用のため、MBC[2:0]ビットのMBC[1]=1固定に設定しています。また、メールボックス0のMBC[2:0]設定値は限られています。
*2 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
*3 ATXとDARTは送信機能を持ったビットのため、メールボックス0ではサポートされません (メールボックス0ではリザーブビット)。
*4 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

図 22.4 メールボックス 0~15 (MB0~MB15) の構成

・ MB23~16 (メールボックス : タイムスタンプなし)

アドレス	データバス															アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0 ^{*1} *2	
H'102+N×32	EXTID[15:0]															16		
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM ^{*1} *2
H'106+N×32	EXTID_LAFM[15:0]															16		
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ		
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16			
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32			
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16			
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1			

【記号説明】 N : 23~16 (メールボックス番号)

・ MB29~24

アドレス	データバス															アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0 ^{*1} *2	
H'102+N×32	EXTID[15:0]															16		
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM ^{*1} *2
H'106+N×32	EXTID_LAFM[15:0]															16		
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ		
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16			
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32			
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16			
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1			
H'112+N×32	リザーブ															—	—	

【記号説明】 N : 29~24 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
*2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

図 22.5 メールボックス 16~29 (MB16~MB29) の構成

・ MB30

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*1} *2	
H'102+N×32	EXTID[15:0]																16
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*1} *2
H'106+N×32	EXTID_LAFM[15:0]															16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16		
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16		
H'110+N×32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16

【記号説明】 N : 30 (メールボックス番号)

・ MB31

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H'100+N×32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0 ^{*1} *2	
H'102+N×32	EXTID[15:0]																16
H'104+N×32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM ^{*1} *2
H'106+N×32	EXTID_LAFM[15:0]															16	
H'108+N×32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H'10A+N×32	MSG_DATA_2							MSG_DATA_3							8/16		
H'10C+N×32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H'10E+N×32	MSG_DATA_6							MSG_DATA_7							8/16		

【記号説明】 N : 31 (メールボックス番号)

【注】 *1 コントロール0とLAFMのグレー表示のビットは、リザーブビットです。読み出し値は不定です。書き込み値は常に0としてください。
 *2 マスタコントロールレジスタのID並び替えビット (MCR.MCR15) は、メッセージコントロール0とLAFMのSTDID、RTR、IDEおよびEXTIDの順序を変更できます。
 上記の図は、MCR.MCR15=B'1 (初期値) の場合の順序です。

図 22.6 メールボックス 30、31 (MB30、MB31) の構成

22.4.2 メッセージコントロールフィールド

(1) メッセージコントロール0

- メールボックスNメッセージコントロール0 (MB[N].CONTROL0H+MB[N].CONTROL0L) (N=0~31)

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. CONTROL0H	H'100+N×32	15	IDE	ID 拡張 CAN データフレームとリモートフレームのフォーマットが標準か拡張かを区別します。 0 : 標準フォーマット 1 : 拡張フォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】 MBC[2:0]=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレーム受信割り込み) ビットによって通知されますが、RCAN は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】 MBC[2:0]=B'001 で ATX=1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0 : データフレーム 1 : リモートフレーム
		13	—	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[N]. CONTROL0L	H'102+N×32	15~0	EXTID [15:0]	

【記号説明】 N : 0~31 (メールボックス番号)

(2) メッセージコントロール 1

● メールボックス0メッセージコントロール1 (MB0.CONTROL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	NMC	-	-	MBC[2:0]			-	-	-	-	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
13	NMC	0	R/W	ニューメッセージコントロール このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。 このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバライトし、UMSRの対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。 0: オーバランモード 1: オーバライトモード
12, 11	-	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
10 9 8	MBC[2] MBC[1] MBC[0]	1 1 1	R/W R R/W	メールボックスコンフィギュレーション これらのビットは各メールボックスの機能を表22.7のように設定します。本ビットがB'111(初期値)のとき、メールボックスはアクティブでなくなります。つまりTXPRやその他の設定にかかわらずメッセージの送受信を行いません。本ビットが受信に設定されているとき、TXPRはセットしないでください。 ハードウェア保護機能はなく、TXPRはセットされたままになります。メールボックス0のMBC[1]は受信専用のため、ハードウェアによって1に固定されています。 x0x: 設定禁止 010: メールボックス0使用可能 011: メールボックス0使用可能 110: 設定禁止 111: メールボックスインアクティブ(初期値) 【注】 x=不定
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
3~0	DLC[3:0]	0000	R/W	データ長コード データフレームで送信されるデータのバイト数 (0~8) をエンコードします。 0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト 【注】 x : Don't care

【注】 MBC[2:0]のうち、ビット9 (MBC[1]) の値は常に1です。

● メールボックス1~31メッセージコントロール1 (MB1.CONTROL1~MB31.CONTROL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NMC	ATX	DART	MBC[2:0]				—	—	—	—	DLC[3:0]		
初期値 :	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15, 14	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
13	NMC	0	R/W	ニューメッセージコントロール このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。 このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバライトし、UMSRの対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。 0 : オーバランモード 1 : オーバライトモード

ビット	ビット名	初期値	R/W	説明
12	ATX	0	R/W	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納され、TXPRは自動的にセットされます。同じメールボックスから書き換えられたDLCを使用し、自動的にデータフレームが送信されます。</p> <p>自動送信設定されたメールボックスは、メッセージ送信プライオリティビット (MCR2) の設定に従って、ID優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するにはMBC[2:0]=B'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード (DLC) は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】</p> <ul style="list-style-type: none"> ●本ビットが使用され、MBC[2:0]=B'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。 ●本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCANは現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。 ●リモートフレームの自動送信が開始されないこともあります。オーバーランの状態 (NMC=0のときのUMSRセット) に注意してください。 ●ATX=1に設定されたメールボックスがリモートフレームによりオーバーラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。 <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>
11	DART	0	R/W	<p>自動再送信無効</p> <p>このビットが1にセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトレーションで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCANは、TXCRで送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>

ビット	ビット名	初期値	R/W	説明
10~8	MBC[2:0]	111	R/W	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 22.7 のように設定します。本ビットが B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>本ビットを B'100、B'101、B'110 に設定することは禁止されています。本ビットの値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。</p> <p>本ビットが受信に設定されているとき、TXPR はセットしないでください。</p> <p>ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1] は受信専用のため、ハードウェアによって 1 に固定されています。</p> <p>詳細は「表 22.7 メールボックスの機能の設定」を参照してください。</p>
7~4	—	すべて 0	—	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
3~0	DLC[3:0]	0000	R/W	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。</p> <p>0000 : データ長 0 バイト (初期値)</p> <p>0001 : データ長 1 バイト</p> <p>0010 : データ長 2 バイト</p> <p>0011 : データ長 3 バイト</p> <p>0100 : データ長 4 バイト</p> <p>0101 : データ長 5 バイト</p> <p>0110 : データ長 6 バイト</p> <p>0111 : データ長 7 バイト</p> <p>1xxx : データ長 8 バイト</p> <p>【注】 x : 不定</p>

表 22.7 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用不可能	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用不可能 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

22.4.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC[2:0]が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 22.7 に示すとおり、2 つの 16 ビットの読み出し／書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[N].LAFMH	H'104+N×32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32	LAFM
MB[N].LAFML	H'106+N×32	EXTID_LAFM[15:0]																16	

【記号説明】 N : 31~0 (メールボックス番号)

図 22.7 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN は、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。RCAN は一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、ただちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[N]. LAFMH	H'104+N×32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	—	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[N]. LAFML	H'106+N×32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

【記号説明】 N : 15~0 (メールボックス番号)

22.4.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

22.4.5 タイムスタンプ

送信/受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信/受信されたかどうかモニタするのに役立ちます。

(1) タイムスタンプ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) メッセージ受信

メールボックス 0~15 の受信メッセージのタイムスタンプには、CYCTR[15:0] (サイクルタイムレジスタ) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

(3) メッセージ送信

メールボックス 1~15 の送信メッセージのタイムスタンプには、CYCTR[15:0] (サイクルタイムレジスタ) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

メールボックス 30、31 の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。

【重要】 タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバーランによって UMSR[N] がセットされると同時に CPU が RXPR[N]/RFPR[N] をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR[N]/RFPR[N] がクリアされる前の正しいタイムスタンプ値をリードすることができます。

【記号説明】 N : 31、30、15~0 (メールボックス番号)

22.5 RCAN のコントロールレジスタ

RCAN のコントロールレジスタについて説明します。RCAN のコントロールレジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 22.8 に RCAN のコントロールレジスタを示します。

表 22.8 RCAN のコントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	H'006	16
割り込みリクエストレジスタ	IRR	H'008	16
割り込みマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ/受信エラーカウンタ	TEC/REC	H'00C	16

22.5.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し/書き込み可能なレジスタで、RCAN を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	—	—	—	TST[2:0]		MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	メールボックスの ID 並べ替え 本ビットはメッセージコントロール 0 フィールドの ID (STDID、RTR、IDE、EXTID) および LAFM フィールドの ID (STDID_LAFM、RTR_LAFM、IDE_LAFM、EXTID_LAFM) の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 22.8 を参照してください。
14	MCR14	0	R/W	自動バスオフホルト 本ビットと MCR6 ビットがともに設定された場合、RCAN がバスオフ状態に入ると MCR1 ビットはただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。 0: 通常の復帰シーケンス (128×11 レセツピビット) で RCAN バスオフ状態を維持 1: MCR6 ビットがセットされると RCAN はバスオフ状態のあと、ただちにホルトモードに入ります
13~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCANをホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「22.8.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCANが通常動作時には使用できません。</p> <p>000: 通常モード (初期値)</p> <p>001: 受信専用モード</p> <p>010: セルフテストモード 1 (外部)</p> <p>011: セルフテストモード 2 (内部)</p> <p>100: ライトエラーカウンタ</p> <p>101: エラーパッシブモード</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットはCANスリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCANはCANバスアクティビティ(ドミナントビット)を検出して自動的にCANスリープモードビット(MCR5)を解除します。本ビットがクリアされるとRCANは自動的にCANスリープモードを解除しません。</p> <p>RCANは、RCANをウェイクアップしたメッセージを格納できません。</p> <p>0: CANバスのアクティビティによる自動ウェイクモードが無効</p> <p>1: CANバスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CANスリープモード中は本ビットを変更できません。</p>
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時にMCR1がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CANコントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0: バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1: バスオフ時にMCR1設定によるホルトモード遷移を有効にします</p>

ビット	ビット名	初期値	R/W	説明
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2つのエラーカウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには2つの方法があります。</p> <p>(1) MCR5 ビットに0を書き込む</p> <p>(2) MCR7 が有効の場合、CAN バス上のドミナントビットを検出する</p> <p>自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで RCAN はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN は CAN バス動作に入る前に11レセシブビットをチェックすることで CAN バスと同期を取ります。これは2番目の方法が使用されているときに RCAN が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「22.8.1 (3) CAN スリープモード」を参照してください。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN は、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には本ビットに1を、MCR1 ビットに0を同時に書き込みます。)</p>
4、3	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE=1 の場合) + RTR ビット) を持ち、最初に送信されます。</p> <p>内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信</p> <p>1: メールボックス番号順 (メールボックス 31 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります（ここでCANバスからは切り離されます）。RCANは本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態をCPUに通知するためのIRR0とGSR4を除き、ユーザレジスタ（メールボックスの内容およびTEC/RECを含みます）の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCANは1ビット時間内にホルトモードになります。MCR6がセットされていると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされていると、本ビットはRCANがバスオフ状態に遷移するとすぐに自動的にセットされます。</p> <p>ホルトモード中、RCANはバス動作に関係しないため、ビットタイミング設定を除きRCANの構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCANは11レセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0：ホルトモードリクエストをクリア 1：ホルトモード遷移リクエスト</p> <p>【注】 1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで（IRR0とGSR4で通知されます）TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってから、（ソフトウェアまたはハードウェアでの）リセット動作でのみ解除できます。</p> <p>2. ホルトモードへあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なボーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN は再構成することができます。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN モジュールは、11 レセシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにポーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN を構成する必要がありますを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア [クリア条件] RCAN をリセットした後に 0 が書き込まれたとき 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]															16		

【記号説明】 N : 31~0 (メールボックス番号)

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]	16/32	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]															16		

【記号説明】 N : 31~0 (メールボックス番号)

図 22.8 ID 並べ替え

22.5.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	GSR5	0	R	エラーバッシブステータス CAN インタフェースがエラーバッシブかどうかを示します。本ビットは RCAN がエラーバッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーバッシブ中とバスオフ中は、GSR5 は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN はエラーバッシブあるいはバスオフ状態ではありません [クリア条件] RCAN がエラーアクティブ状態の間 1: RCAN がエラーバッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC \geq 128 または REC \geq 128 またはテストモードでエラーバッシブモード選択された場合
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので注意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN の状態をフルに反映するものではありません。RCAN は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN がバスオフへ遷移したとき
3	GSR3	1	R	リセットステータス RCAN がリセット状態かどうかを示します。 0: RCAN はリセット状態ではありません 1: RCAN がリセット状態です [セット条件] RCAN のソフトウェアまたはハードウェアリセットの後

ビット	ビット名	初期値	R/W	説明
2	GSR2	1	R	<p>メッセージ送信中フラグ</p> <p>RCAN がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー／オーバーロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK は EOF の 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。</p> <p>0 : RCAN はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない</p>
1	GSR1	0	R	<p>送信／受信ワーニングフラグ</p> <p>エラーワーニングを示すフラグです。</p> <p>0 : [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1 : [セット条件] $96 \leq TEC < 256$ または $96 \leq REC < 256$ のとき</p> <p>【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセシブビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。</p>
0	GSR0	0	R	<p>バスオフフラグ</p> <p>RCAN がバスオフ状態であることを示します。</p> <p>0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] $TEC \geq 256$ (バスオフ状態)</p>

22.5.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムカウンタを以下のとおり定義します。

$$\text{タイムカウンタ} = 2 \times (\text{BRP} + 1) / f_{\text{clk}}$$

f_{clk} は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 22.9 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TSG1[3:0]				—	TSG2[2:0]				—	—	SJW[1:0]		—	—	—	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (=PRSEG + PHSEG1) を設定することに使用します。4~16 タイムカウンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1=4 タイムカウンタ 0100 : PRSEG + PHSEG1=5 タイムカウンタ : : 1111 : PRSEG + PHSEG1=16 タイムカウンタ
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (=PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2=2 タイムクオンタ (条件によっては設定禁止です。表 22.9 を参照してください)</p> <p>010 : PHSEG2=3 タイムクオンタ</p> <p>011 : PHSEG2=4 タイムクオンタ</p> <p>100 : PHSEG2=5 タイムクオンタ</p> <p>101 : PHSEG2=6 タイムクオンタ</p> <p>110 : PHSEG2=7 タイムクオンタ</p> <p>111 : PHSEG2=8 タイムクオンタ</p>
7、6	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅=1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅=2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅=3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅=4 タイムクオンタ</p>
3~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCRO

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	0000000	R/W	ポーレートプリスケアラ これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : 2× (レジスタ値+1) × 周辺バスクロック 1111111 : 512×周辺バスクロック

(3) ビットコンフィギュレーションレジスタについて

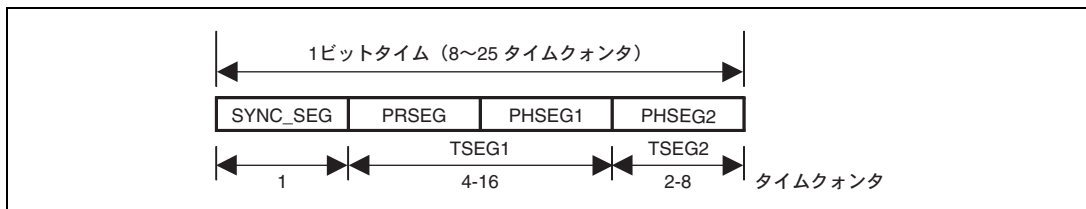


図 22.9 1 ビットタイムの構成

SYNC_SEG : CAN バス上のノードの同期をするセグメント

(通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC_SEG の 1 タイムクオンタであることによります。

$fclk$ = 周辺バスクロック

BCR 設定上の制約となる事項

$$TSEG1 \text{ (Min.)} > TSEG2 \geq SJW \text{ (Max.)} \quad (SJW=1\sim 4)$$

$$8 \leq TSEG1 + TSEG2 + 1 \leq 25 \text{ タイムクオンタ} \quad (TSEG1 + TSEG2 + 1 = 7 \text{ は不可})$$

$$TSEG2 \geq 2$$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 22.9 に示される設定値の範囲であれば、上述の制限事項を満たします。表 22.9 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 22.9 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例： $fclk$ が 50MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 16、TSEG2 = 8 が条件を満たします。この場合、BCR1 には HF700、BCR0 には H'0001 をライトすることになります。

22.5.4 割り込みリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	—	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込み 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると (TCMR1=CYCTR)、本ビットがセットされます。</p> <p>0: TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込み 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると (TCMR0=TCNTR)、本ビットがセットされます。</p> <p>0: TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR0 がタイム値と一致 (TCMR0=TCNTR)</p>
13	IRR13	0	R/W	<p>タイマオーバラン割り込み／メッセージエラー割り込み</p> <p>本割り込みは RCAN のモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> イベントトリガモード (テストモードを含む) で動作中、タイマ (TCNTR) オーバランが発生。 テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。 <p>0: イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生していない</p> <p>テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: [セット条件] イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生し、H'FFFF から H'0000 に変化</p> <p>テストモードでメッセージエラーが発生</p>

ビット	ビット名	初期値	R/W	説明
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けられない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりがエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0 : バスアイドル状態 [クリア条件] 1 を書き込む 1 : CAN バスアクティビティを CAN スリープモード中に検出 [セット条件] CAN スリープモード中に CAN_RX 上でドミナントへのビット状態変化を検出</p>
11	IRR11	0	R/W	<p>タイマコンペアマッチ割り込み 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると (TCMR2=CYCTR)、本ビットがセットされます。</p> <p>0 : TCMR2 のタイマコンペアマッチが発生していない [クリア条件] 1 を書き込む 1 : TCMR2 のタイマコンペアマッチが発生 [セット条件] TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)</p>
10	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: メッセージオーバラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1: オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPB または RFPR=1 かつ MBIMR=0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると、本ビットがセットされます。このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき (対応する MBIMR=0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN がオーバーロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCANがバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了（11 レセッシブビットを 128 回連続受信）またはバスオフから停止状態への遷移（オートまたはマニュアル）が要因となります。</p> <p>本ビットは RCAN がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、RCAN がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] $TEC \geq 256$ または 11 レセッシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信/受信エラーによるエラーパッシブ状態</p> <p>[セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN がバスオフ状態以外で $REC \geq 96$</p>
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN がバスオフ状態でないときに送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによるエラーワーニング状態</p> <p>[セット条件] $TEC \geq 96$</p>

ビット	ビット名	初期値	R/W	説明
2	IRR2	0	R	<p>リモートフレーム受信割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RFPR のすべてのビットがクリア</p> <p>1 : 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR=0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RXPR のすべてのビットがクリア</p> <p>1 : データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR=0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ</p> <p>下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 22.12 「状態遷移図」を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード/CAN スリープモードから送信/受信動作に遷移する際、GSR4 がクリアされるまでに[1 ビット時間 - TSEG2]~[1 ビット時間×2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

22.5.5 割り込みマスクレジスタ (IMR)

IMR は、16 ビットの読み出し/書き込み可能なレジスタで、割り込みリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	—	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	IMR[15:11]	すべて 1	R/W	IRR[15:11]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする
10	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値は常に 1 にしてください。
9~0	IMR[9:0]	すべて 1	R/W	IRR[9:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

22.5.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し/条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信/受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き換え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN をホルトモードにする必要があります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセッシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセッシブビットの受信回数をカウントします。

22.6 RCAN のメールボックスレジスタ

RCAN のメールボックスレジスタについて説明します。RCAN のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。表 22.10 に RCAN のメールボックスレジスタを示します。

表 22.10 RCAN のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	—
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16/32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16/32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アボートアクノリッジレジスタ 1	ABACK1	H'038	16/32
アボートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16/32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16/32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックス割り込みマスクレジスタ 1	MBIMR1	H'050	16/32
メールボックス割り込みマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16/32
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

22.6.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。

TXPR1 レジスタはメールボックス 31~16 を制御し、TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アボートが行われた後、RCAN は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ、RCAN は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「22.8 動作説明」を参照してください。

RCAN が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用書き換えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1[15:0]	H'0000	R/W	<p>対応するメールボックスに対してCANフレーム送信をリクエストします。ビット15~0はメールボックス31~16に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了 (イベントトリガメッセージの場合) またはメッセージ送信アボート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>

(2) TXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXPR0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。
 TXPR1/TXPR0の読み出し/書き込みは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	すべて 0	R/W	<p>対応するメールボックスにCANフレーム送信リクエストが発生していることを示します。ビット15~1はメールボックス15~1に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了 (イベントトリガメッセージの場合) またはメッセージ送信アボート (自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視されます。読み出し値は0です。</p>

22.6.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)

TXCR1とTXCR0は、16ビットの読み出し/条件付き書き込み可能なレジスタで、TXCR1はメールボックス31~16を制御し、TXCR0はメールボックス15~1を制御します。CPUはTXCRを使用して、TXPRの送信リクエストをキャンセルします。TXPRのビットをクリアするには、CPUから対応するTXCRのビットに1を書き込んでください。0を書き込むと無視されます。

アポートが正常に行われると、CANコントローラは対応するTXPRとTXCRのビットをクリアし、ABACKのビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了するとCANコントローラはTXPRとTXCRのビットをクリアし、TXACKのビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CANコントローラは対応するTXPRとTXCRのビットをクリアし、対応するABACKのビットをセットします。CPUが送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPUはTXCRのフラグをセットすることはできません。

(1) TXCR1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1[15:0]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット15~0はメールボックス31~16（およびTXPR1[15:0]）に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>

(2) TXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	すべて 0	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。 0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます) 1: 対応するメールボックスに対して送信キャンセルを要求
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。

22.6.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)

TXACK1 と TXACK0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN は TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

(1) TXACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	TXACK1[15:0]	H'0000	R/WC1	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了

(2) TXACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	すべて 0	R/WC1	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

22.6.4 アポートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)

ABACK1 と ABACK0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN は ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。RCAN が ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

(1) ABACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	ABACK1[15:0]	H'0000	R/WC1	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル

(2) ABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/WC1	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

22.6.5 データフレーム受信待ちレジスタ 1、0 (RXPR1、RXPR0)

RXPR1 と RXPR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

(1) RXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	RXPR1[15:0]	H'0000	R/WC1	ビット 15~0 はメールボックス番号 31~16 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

(2) RXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/WC1	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

22.6.6 リモートフレーム受信待ちレジスタ 1、0 (RFPR1、RFPR0)

RFPR1 と RFPR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレーム受信割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

(1) RFPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	RFPR1[15:0]	H'0000	R/WC1	メールボックス 31~16 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

(2) RFPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/WC1	メールボックス 15~0 のリモートリクエスト受信フラグです。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

22.6.7 メールボックス割り込みマスクレジスタ 1、0 (MBIMR1、MBIMR0)

MBIMR1 と MBIMR0 は、16 ビットの読み出し/書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR (IRR1 : データフレーム受信割り込み、IRR2 : リモートフレーム受信割り込み、IRR8 : メールボックスエンプティ割り込み、IRR9 : メッセージオーバーラン/オーバーライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アポートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます

(1) MBIMR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31~16 からの割り込み要求を許可/禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

(2) MBIMR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可/禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

22.6.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)

UMSR1 と UMSR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

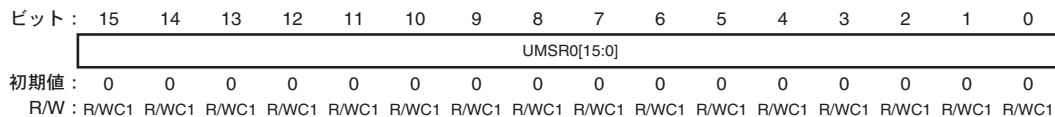
メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

(1) UMSR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1[15:0]	H'0000	R/WC1	メールボックス 31~16 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

(2) UMSRO



ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/WC1	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0： [クリア条件] 1 を書き込む</p> <p>1： 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信</p>

22.7 タイマレジスタ

RCAN のタイマは 16 ビットのタイマで、数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また、3 個のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) を備えています。アドレスマップを以下に示します。

【重要】 タイマレジスタはすべてワード (16 ビット) アクセスのみ可能です。

表 22.11 RCAN のタイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
タイムステータスレジスタ	TSR	H'088	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16

22.7.1 タイムトリガコントロールレジスタ 0 (TTCR0)

TTCR0 は、16 ビットの読み出し/書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	—	TCR13	TCR12	TCR11	TCR10	—	—	—	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	タイマイネーブル 本ビットをセットすると TCNTR は動作し、クリアすると TCNTR がクリアされます。 0 : TCNTR をクリアし、動作停止 1 : タイマ動作
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
13	TCR13	0	R/W	TCMR2 によるキャンセル 本ビットおよびビット 12 がセットされた状態で、RCAN がホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。 0 : TCMR2 のコンペアマッチによる送信キャンセル禁止 1 : TCMR2 のコンペアマッチによる送信キャンセル許可
12	TCR12	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされます。 0 : TCMR2 のコンペアマッチで IRR11 がセットされない 1 : TCMR2 のコンペアマッチで IRR11 がセットされる
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0 : TCMR1 のコンペアマッチで IRR15 がセットされない 1 : TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0 : TCMR0 のコンペアマッチで IRR14 がセットされない 1 : TCMR0 のコンペアマッチで IRR14 がセットされる

ビット	ビット名	初期値	R/W	説明
9~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
6	TCR6	0	R/W	TCMR0 によるタイマクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 0 : TCMR0 でタイマクリアしない 1 : TCMR0 でタイマクリア
5~0	TPSC5~ TPSC0	すべて0	R/W	タイマプリスケラ 本ビットの設定により、タイマのソースクロック (4×RCAN のシステムクロック) を分周して使用することができます。プリスケラはイベントトリガモードでのみ有効です。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック

22.7.2 タイマステータスレジスタ (TSR)

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバラン状態を監視することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3	TSR3	0	R*	<p>タイマコンペアマッチフラグ 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致 (TCMR2=CYCTR) したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11 (タイマコンペアマッチ割り込み 2 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR2 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR11 (タイマコンペアマッチ割り込み 2 フラグ) に 1 を書き込む</p> <p>1 : TCMR2 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)</p>
2	TSR2	0	R*	<p>タイマコンペアマッチフラグ 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致 (TCMR1=CYCTR) したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15 (タイマコンペアマッチ割り込み 1 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR15 (タイマコンペアマッチ割り込み 1 フラグ) に 1 を書き込む</p> <p>1 : TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
1	TSR1	0	R*	<p>タイマコンペアマッチフラグ 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致 (TCMR0=TCNTR) したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14 (タイマコンペアマッチ割り込み 0 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR14 (タイマコンペアマッチ割り込み 0 フラグ) に 1 を書き込む</p> <p>1 : TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
0	TSR0	0	R*	<p>タイマオーバーラン/メッセージエラー</p> <p>本フラグは2つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、およびテストモード中にCANバス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。</p> <p>0: イベントトリガモードでタイマ (TCNTR) オーバーランが発生していない</p> <p>テストモードでメッセージエラーが発生していない</p> <p>[クリア条件]</p> <p>IRR13に1を書き込む</p> <p>1: [セット条件]</p> <p>イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFFからH'0000に変化</p> <p>テストモードでメッセージエラーが発生</p>

【注】 * 本ビットは読み出し専用で、CPUはサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

22.7.3 タイマカウンタレジスタ (TCNTR)

TCNTRは、16ビットの読み出し/書き込み可能なレジスタです。

TCNTRはフリーランニングタイマカウンタです。TTCR0[15]=1に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、TTCR0[5:0]のTPSC値です。

TTCR0[6]=1を設定時、TCNTRの値がタイマコンペアマッチレジスタ0 (TCMR0) と一致すると、TCNTRはH'0000にクリアされカウントアップします。

- 【注】
1. TTCR0[15]=0の場合、TCNTRは常にH'0000です。
 2. タイマをイネーブル設定 (TTCR0[15]=1) してからTCNTRがカウントを開始するまで、数クロックサイクルの遅延があります。これはプリスケアラの内部論理に起因するものです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 本レジスタへの書き込みは、タイマイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

22.7.4 サイクルタイムレジスタ (CYCTR)

本レジスタは TCNTR のコピーとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

22.7.5 タイマコンペアマッチレジスタ 0~2 (TCMR0~2)

TCMR0~2 は、16 ビットの読み出し/書き込み可能なレジスタです。

割り込み信号の発生、タイマ値のクリア (TCMR0 のみサポート)、送信リクエストのクリア (TCMR2 のみサポート) を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12~10 をセットする必要があります。

(1) 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ (ビット 11、ビット 15、ビット 14) をセットします。

割り込み信号の発生は、IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11 (または IRR15 か IRR14) がセットされると、タイムステータスレジスタ (TSR) のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

(2) タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値 (TCNTR) のクリア機能があります。TTCR0[6]=1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

(3) 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]=B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

- TCMR0

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR0[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

- TCMR1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR1[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR1 [15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

- TCMR2

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TCMR2[15:0]

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

22.8 動作説明

22.8.1 RCAN の設定

ハードウェアリセット（パワーオンリセット）またはソフトウェアリセット（MCR0）後のコンフィギュレーションモードおよびホルトモード時の RCAN の設定について説明します。どちらの場合も RCAN は CAN バスアクティビティに参加できません。また、RCAN の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 22.10 にソフトウェアリセットまたはハードウェアリセット後の RCAN の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN を設定する必要があります。詳細については図中の注を参照してください。

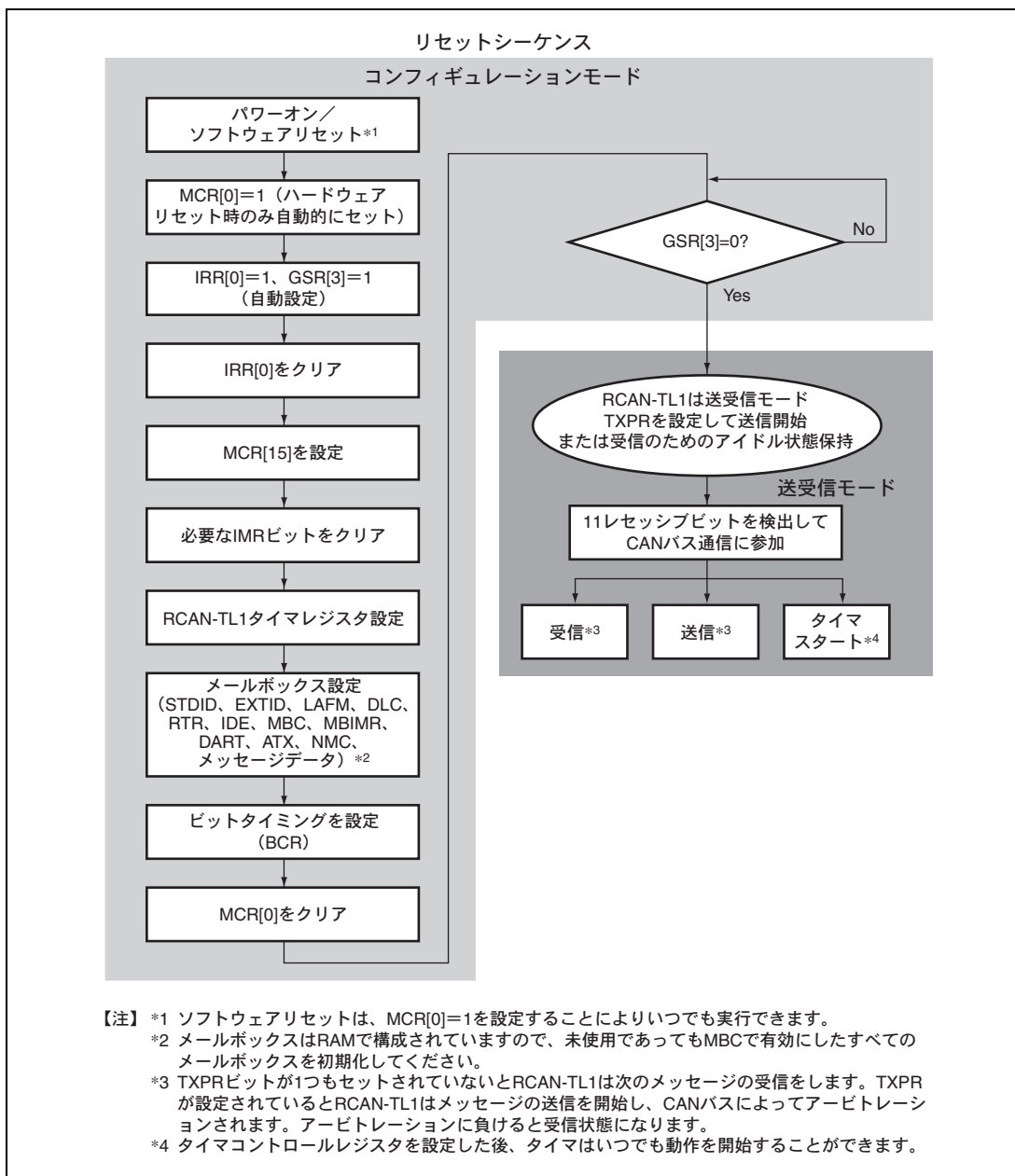


図 22.10 リセットシーケンス

(2) ホルトモード

RCAN はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。RCAN がホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後 (MCR1=0 か GSR4=0) に RCAN は CAN バス上で 11 レセシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 22.11 に RCAN の CAN スリープモードのフローチャートを示します。

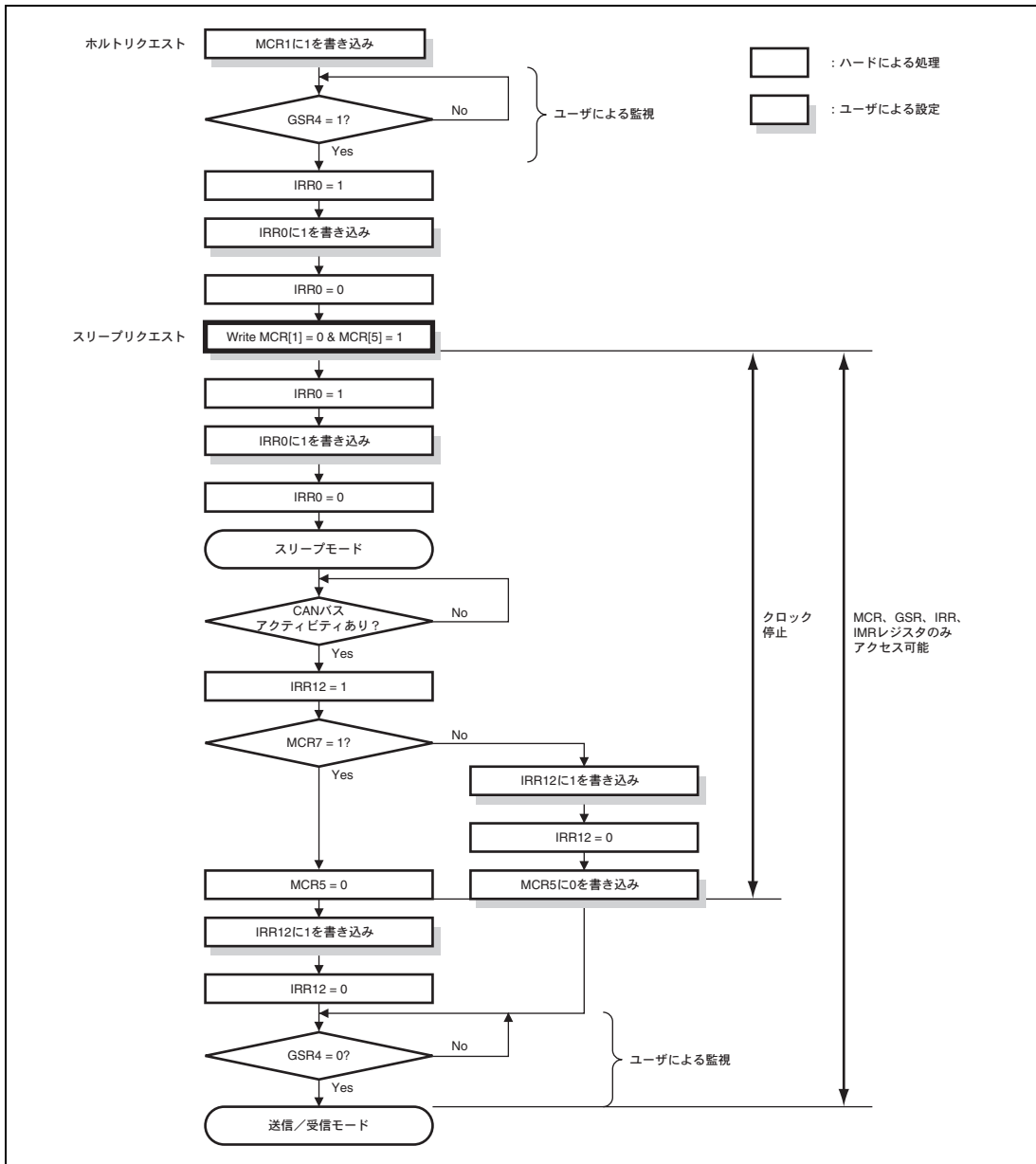


図 22.11 CAN スリープモードのフローチャート

図 22.12 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 のセットを確認して RCAN をホルトモードにしてください。

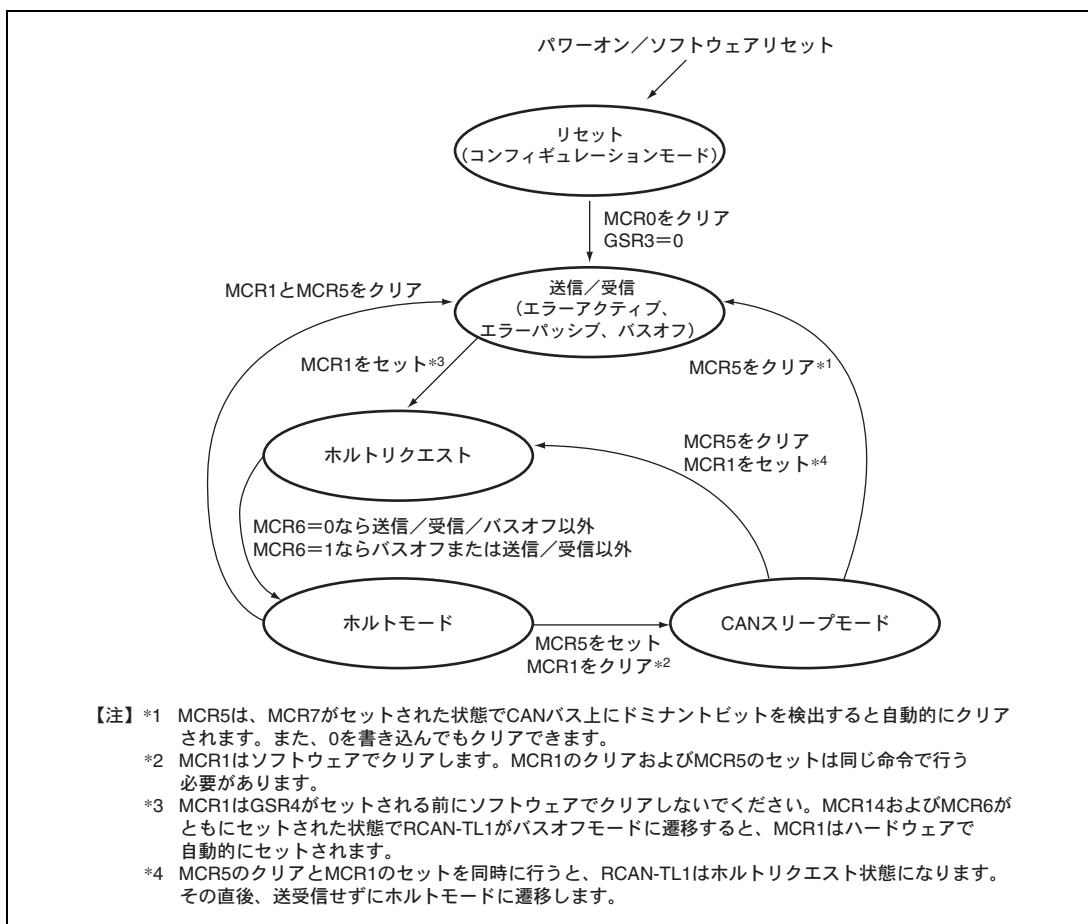


図 22.12 状態遷移図

各モードでのアクセスを許可する条件を表 22.12 に示します。

表 22.12 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ	フラグ レジスタ	メール ボックス (コント ロール 0、 LAFM)	メール ボックス (データ)	メール ボックス (コント ロール 1)		
リセット	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	
送信/ 受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルト リクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルト モード	Yes	Yes	No	Yes	Yes	Yes	Yes	Yes	Yes	
CAN スリープ モード	Yes	Yes	No	No	No	No	No	No	No	

【記号説明】 Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

22.8.2 テストモードの設定

RCANには種々のテストモードがあります。テストモードの選択はMCRレジスタのTST[2:0]ビットで行います。RCANは、デフォルト（初期値）ではノーマルモードで動作します。

表 22.13 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1 が設定されていることを確認）してください。

表 22.13 テストモードの設定

ビット 10 TST2	ビット 9 TST1	ビット 8 TST0	モード
0	0	0	ノーマルモード
0	0	1	受信専用モード
0	1	0	セルフテストモード 1（外部）
0	1	1	セルフテストモード 2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCANは通常の動作をします。

- リスンオンリモード

ポーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、TX出力を禁止し、RCANによるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード1（外部）

RCAN自身でアクノリッジビットを生成し、必要ならばメッセージをRCANの受信メールボックスに格納します。RX/TX端子は必ずCANバスに接続してください。

- セルフテストモード2（内部）

RCAN自身でアクノリッジビットを生成し、必要ならばメッセージをRCANの受信メールボックスに格納します。内部CTXが内部CRXにループバックされるため、CRX/CTX端子をCANバスその他の外部デバイスに接続する必要はありません。CTX端子はレセシブビットのみ出力し、CRX端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCANを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCANを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCANがホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1=1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- **エラーパッシブモード**

RCANは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCANはバスオフ状態になりますが、本モードを使用するとRCANはエラーアクティブになることができません。したがってRCANはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

22.8.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 22.13 に示します。

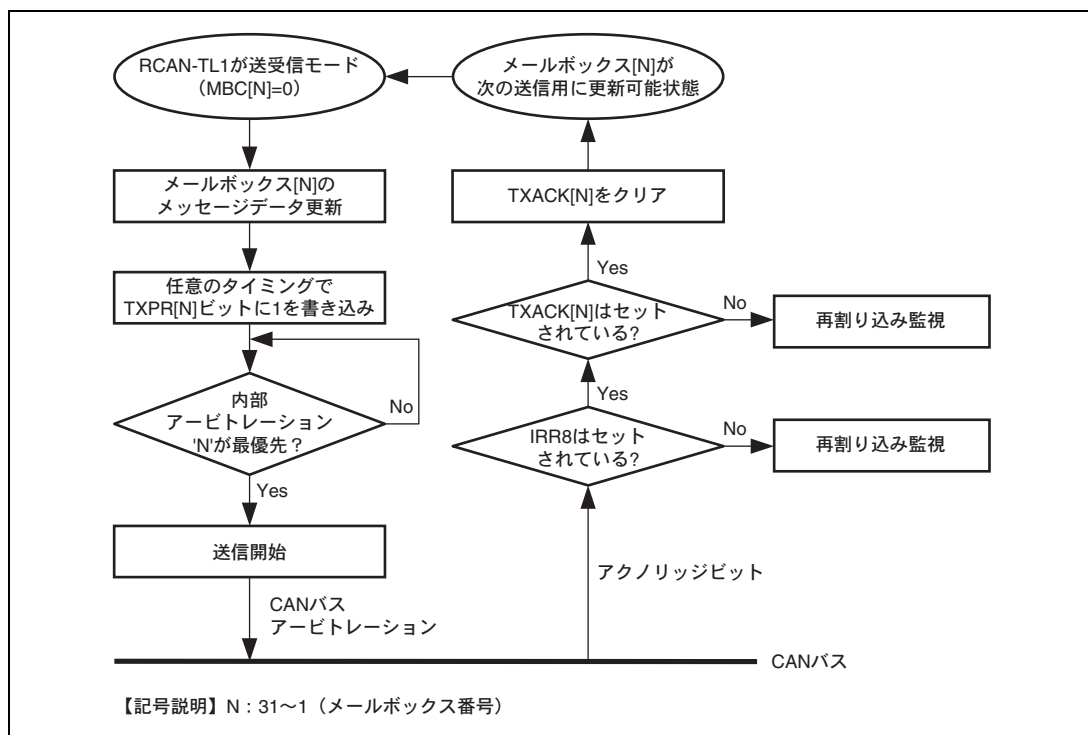


図 22.13 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることに注意してください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない (すべての TXPR フラグがセットされていない) ことを示しています。

(2) 送信用内部アービトレーション

図 22.14 は、RCAN がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

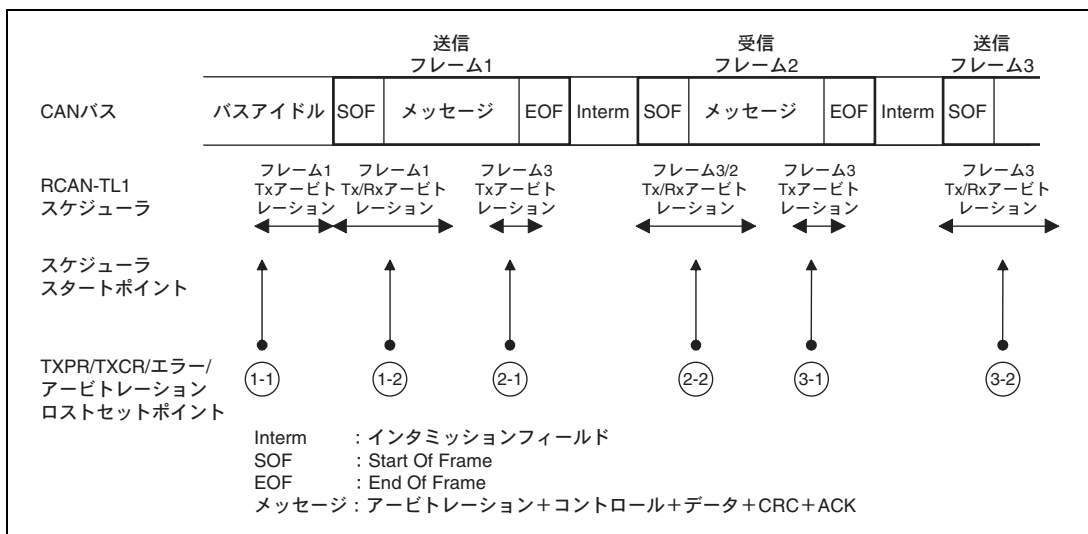


図 22.14 送信用内部アービトレーション

- 1-1 : CANバスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOFで送信、受信の両方の動作を開始します。受信フレームでないため、RCANは送信を行います。
- 2-1 : CRCのデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOFで送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCANは受信を行います。このため、フレーム3を送信せずに受信を行います。
- 3-1 : CRCのデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOFで送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCANは送信を行います。

CANバス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションはCRCのデリミタで行われるため、ATX=1のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたはCRCデリミタまたはエラーデリミタになります。

CANバスの状態により、TXCRがセットされてから最大1CANフレームの遅延後に対応するメッセージのアポート処理が行われます。

(3) タイマ動作

図 22.15 にタイマのタイミング図を示します。

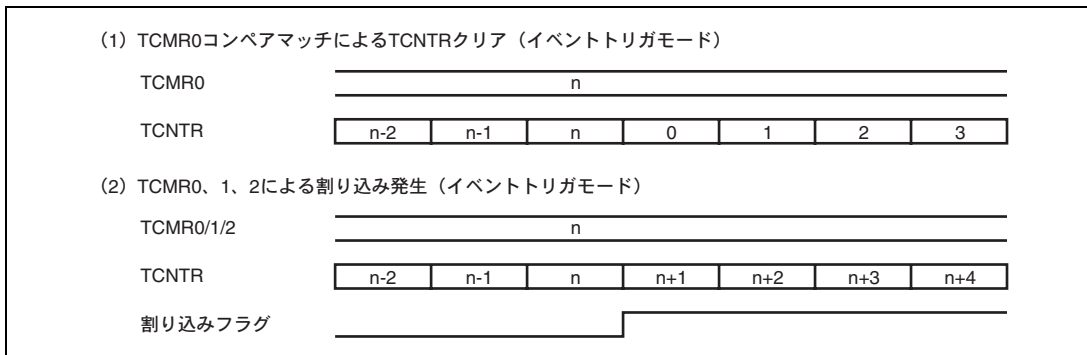


図 22.15 タイマのタイミング図

22.8.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 22.16 に示します。

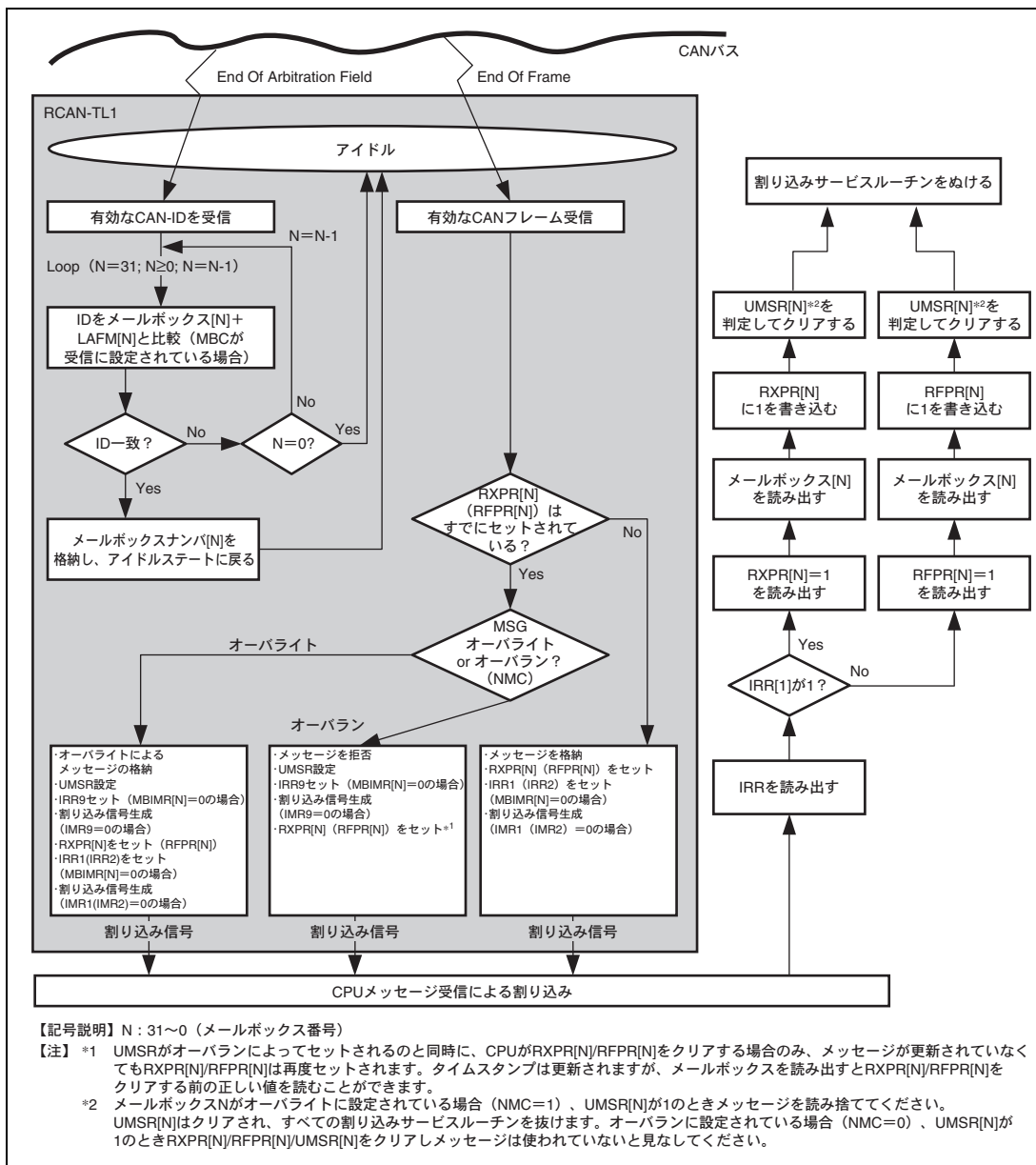


図 22.16 メッセージ受信シーケンス

メッセージを受信中に RCAN がアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージを対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用するときは CAN-ID が異なる CAN-ID でオーバーライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 22.16 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること (NMC が 1 のとき) を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバーランに (NMC=0) 設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモートフレームがデータフレームでオーバーライトされた場合、リモートフレーム受信割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、注意してください。同様にデータフレームがリモートフレームでオーバーライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID (EXTID[17:0]) には 0 が書き込まれます。

22.8.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC[2:0]=B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCANがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんので注意してください。

RCANがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスのID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にありRCANが受信モードの場合、そのメッセージを逃すことはありません。RCANは現在行っている受信を完了してからホルトモードに遷移します。RCANがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんので注意してください。

RCANがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

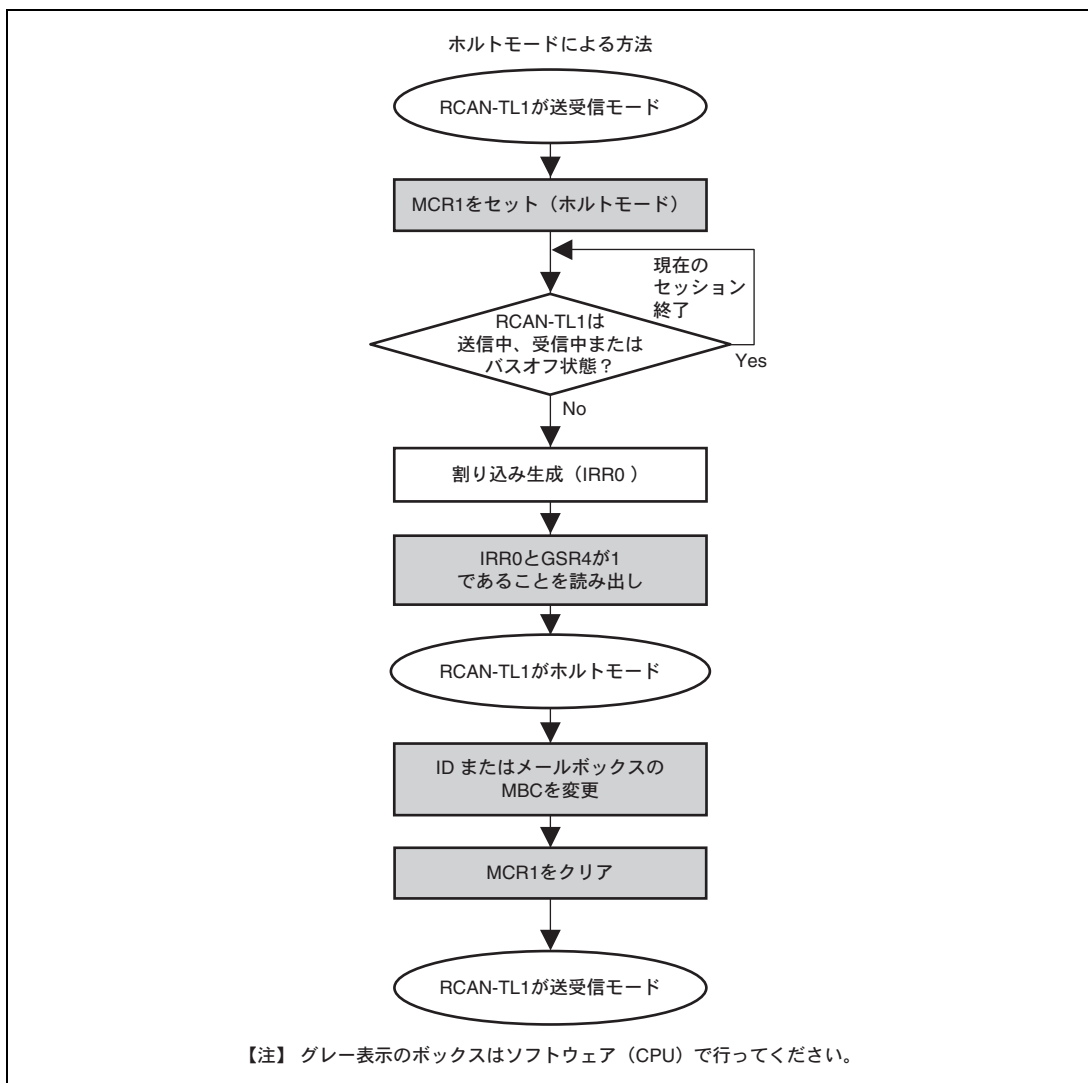


図 22.17 受信ボックスの ID 変更/受信ボックスから送信ボックスへの変更

22.9 RCANの割り込み要因

RCANには表 22.14 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックス割り込みマスクレジスタ (MBIMR1、MBIMR0) および割り込みマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第7章 割り込みコントローラ (INTC、INTC2)」を参照してください。

表 22.14 RCAN0、RCAN1 の割り込み要因

モジュール名	種類	割り込み要因	割り込みフラグ (IRR レジスタ)	
RCAN0 RCAN1 共通	エラー処理	エラーパッシブ (TEC \geq 128 または REC \geq 128)	IRR5	
		バスオフ (TEC \geq 256) / バスオフからの復帰	IRR6	
		送信エラーワーニング (TEC \geq 96)	IRR3	
		受信エラーワーニング (REC \geq 96)	IRR4	
	オーバラン処理	リセット/ホルト/CAN スリープ遷移	IRR0	
		オーバロードフレーム送信	IRR7	
		未読メッセージのオーバライト (オーバラン)	IRR9	
		TCMR2 コンペアマッチ	IRR11	
		CAN スリープ中 CAN バス動作の検出	IRR12	
		タイマオーバラン/メッセージエラー	IRR13	
		TCMR0 コンペアマッチ	IRR14	
		TCMR1 コンペアマッチ	IRR15	
	メールボックス処理	メールボックス 0 受信 (MB0) * ³⁾	データフレーム受信	IRR1* ²⁾
			リモートフレーム受信	IRR2* ¹⁾
		メールボックス 1~31 受信 (MB1~MB31) * ⁴⁾	データフレーム受信	IRR1* ²⁾
			リモートフレーム受信	IRR2* ¹⁾
		メッセージの送信/送信取り消し (スロットエンプティ)	IRR8	

【注】 *1 IRR2 はメールボックス 31~0 のリモートフレーム受信フラグ (RFPR1[15:0]、RFPR0[15:0]) による割り込みです。

*2 IRR1 はメールボックス 31~0 のデータフレーム受信フラグ (RXPR1[15:0]、RXPR0[15:0]) による割り込みです。

*3 メールボックス 0 のリモートフレーム受信またはデータフレーム受信に関する割り込みを示します。
詳細は「第7章 割り込みコントローラ (INTC、INTC2)」の「7.4.14 INTC2/割り込み詳細要因レジスタ (INT2B0~INT2B52)」を参照してください。

*4 メールボックス 31~1 のリモートフレーム受信またはデータフレーム受信に関する割り込みを示します。
詳細は「第7章 割り込みコントローラ (INTC、INTC2)」の「7.4.14 INTC2/割り込み詳細要因レジスタ (INT2B0~INT2B52)」を参照してください。

23. USB

USB モジュールは、USB-LINK(EHCI/OHCI/FUNCTION)/PHY、各インタフェースおよび共通レジスタ (REGS) によって構成されています。

本章では、共通レジスタ (REGS) および USB-PHY 外付け回路の説明を行います。

USB-LINK (EHCI/OHCI/FUNCTION) レジスタについては、「第 23A 章 USB2.0-HOST コントローラ」、「第 23B 章 USB1.1 ホストモジュール (USB1.1H)」、および「第 23C 章 USB2.0 ファンクションモジュール (USBF)」を参照してください。

23.1 特長

下記の制御が可能です。

- USBモジュール内部の初期化
- Host/Functionのポート切り替え
- OVC/VBUSの極性切り替え

図 23.1 にブロック図を示します。

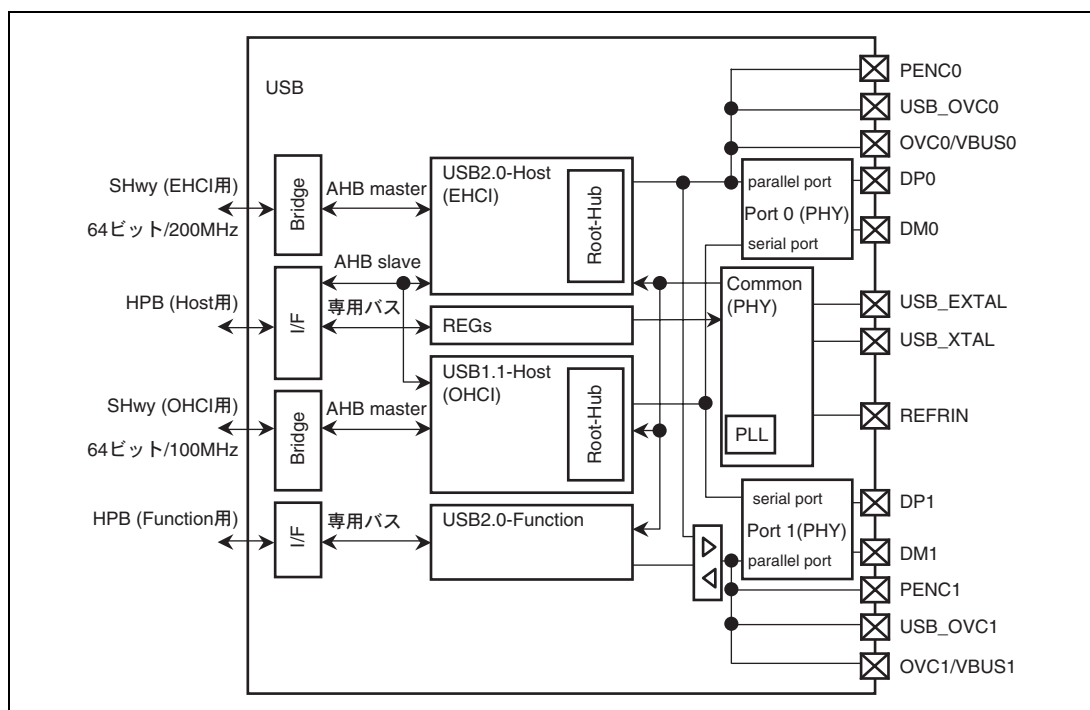


図 23.1 USB ブロック図

23.2 入出力端子

表 23.1 入出力端子

端子名	入出力	説明
USB_EXTAL	入力	USB 用水晶発振子を接続します。
USB_XTAL	出力	また、USB_EXTAL 端子は外部クロックを入力することもできます。
DP0	入出力	USB port0 D+
DM0	入出力	USB port0 D-
PENC0	出力	PortEnable0 (Host 時 : 電源 IC 管理、1=電源 ON、0=電源 OFF) 初期状態は 0 (電源 OFF)
OVC0/VBUS0	入力	5V 入力 OverCurrent0 (Host 時 : 過電流検出) 初期状態は LowActive で、レジスタ設定により切り替え可能。
USB_OVC0	入力	3.3V 入力 OverCurrent0 (Host : 過電流検出) 初期状態は LowActive で、レジスタ設定により切り替え可能。
DP1	入出力	USB port1 D+
DM1	入出力	USB port1 D-
PENC1	出力	PortEnable1 (Host 時 : 電源 IC 管理、1=電源 ON、0=電源 OFF、Function 時 : Port 出力機能) 初期状態は 0
OVC1/VBUS1	入力	5V 入力 OverCurrent1/VBUS1 (Host 時 : 過電流検出、Function 時 : ケーブル接続/切断の検出) 初期状態は HostMode の LowActive で、レジスタ設定により切り替え可能。
USB_OVC1	入力	3.3V 入力 OverCurrent1 (Host 時 : 過電流検出) 初期状態は HostMode の LowActive で、レジスタ設定により切り替え可能。
REFRIN	入出力	外部抵抗接続用端子

【注】 PENC1 端子の初期状態は GPIO が選択されています。PENC1 機能として使用する場合は、PENC1 機能に切り替え後、USB ファンクションデバイスを接続してください。

PENC1 機能切り替えは、LSI ピンマルチ設定レジスタにて、ピンマルチ設定を行ってください。
設定値詳細内容は、「第 37 章 ピンファンクションコントローラ (PFC)」を参照してください。

23.3 レジスタの説明

CPU アクセスのみ許可。CPU 以外のアクセスでの動作は保証しません。レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 23.2 (1) レジスタ一覧

レジスタ名称	略称	R/W	初期値	アドレス	アクセスサイズ
Port Control 0	USBPCTRL0	R/W	H'0000 0000	H'FFE7 0800	32
Port Control 1	USBPCTRL1	R/W	H'0000 0000	H'FFE7 0804	32
Port Status	USBST	R	H'0000 0000	H'FFE7 0808	32
EHCI Control 0	USBEH0	R/W	H'0000 0000	H'FFE7 080C	32
OHCI Control 0	USBOH0	R/W	H'0000 0000	H'FFE7 081C	32
USB Control 0	USBCTL0	R/W	H'0000 0224	H'FFE7 0858	32

【注】 上記アドレス以外への書き込みは、行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 23.2 (2) 各処理状態におけるレジスタの状態

略 称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
USBPCTRL0	H'00000000	H'00000000	保持	保持	保持	初期化*
USBPCTRL1	H'00000000	H'00000000	保持	保持	保持	初期化*
USBST	H'00000000	H'00000000	保持	保持	保持	初期化*
USBEH0	H'00000000	H'00000000	保持	保持	保持	初期化*
USBCTL0	H'00000224	H'00000224	保持	保持	保持	初期化*
USBOH0	H'00000000	H'00000000	保持	保持	保持	初期化*

【注】 * 初期化：パワーオンリセット項記載の値となります。

【レジスタ説明の記号説明】

初期値：リセット後のレジスタ値

—：不定値

R/W：リードおよびライト可。書き込み値を読み出すことができます。

R/WC1：リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

R：読み出し専用ビットです。書き込み (Read Modify Write (読み出し修正後書き込み)) を行う場合は、各ビットの説明に従ってください。

—/W：ライトのみ可。読み出し値は不定です。

23.3.1 Port Control 0 (USBPCTRL0)

Port の機能割り当てレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OVC1/ VBUS1	OVC0/ VBUS0	—	—	—	PENC	OVC0	—	OVC1	PORT1
初期値 :	—	—	—	—	—	—	0	0	—	—	—	0	0	—	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	—	不定	R	リザーブビット 必ず 0 を書き込んでください。
9	OVC1/VBUS1	0	R/W	Port1 OVC 入力切り替え 0 : OVC1/VBUS1 端子からの入力を使用 1 : USB_OVC1 端子からの入力を使用 本ビットを 1 に設定した場合は、必ず OVC1/VBUS1 端子に 5V を入力してください。 Function 時は、必ず本ビットを 0 に設定してください。
8	OVC0/VBUS0	0	R/W	Port0 OVC 入力切り替え 0 : OVC0/VBUS0 端子からの入力を使用 1 : USB_OVC0 端子からの入力を使用 本ビットを 1 に設定した場合は、必ず OVC0/VBUS0 端子に 5V を入力してください。
7~5	—	不定	R	リザーブビット 必ず 0 を書き込んでください。
4	PENC	0	R/W	Function を選択した PENC1 用レジスタ 0 : Low 出力 1 : High 出力
3	OVC0	0	R/W	Host 時 : OVC0 極性切り替え 0 : Low Active 1 : High Active
2	—	不定	R	リザーブビット 必ず 0 を書き込んでください。
1	OVC1	0	R/W	Host 時 : OVC1 極性切り替え 0 : Low Active 1 : High Active Function 時は必ず本ビットを 1 に設定してください (0 で切断検出、1 で接続検出)。

ビット	ビット名	初期値	R/W	説 明
0	PORT1	0	R/W	Port1 Host/Function 切り替え 0 : Host 1 : Function

23.3.2 Port Control 1 (USBPCTRL1)

Port の機能割り当ておよび USB 初期化レジスタです。RST ビットを使用した場合に初期化されるレジスタは、USBPCTRL0、USBPCTRL1、USBEH0、USBOH0、USBCTL0、USBST を除く、すべての USB レジスタが対象になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PHY RST	PLL ENB	PHY ENB
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	RST	0	R/W	USB モジュールの初期化を行います。 本ビットは 1 設定中リセットをアサートし続けます。 起動させたい場合は 0 を設定してください。 0 : ネゲート 1 : アサート
30~3	—	不定	R	リザーブビット 必ず 0 を書き込んでください。
2	PHYRST	0	R/W	USB-PHY のリセット USB を使用する場合は、PHYENB を 1、PLLENB を 1 に設定し、PLL の発振安定期間後、1 を設定してください。 0 : アサート 1 : ネゲート
1	PLLENB	0	R/W	USB-PHY 内部の PLL イネーブル USB を使用する場合は、PHYENB を 1 に設定した後、1 を設定してください。 0 : ディスエーブル 1 : イネーブル
0	PHYENB	0	R/W	USB-PHY のイネーブル USB を使用する場合は、1 を設定してください。 0 : ディスエーブル 1 : イネーブル

USB モジュールを使用する場合の手順は、以下のようになります。

1. USBPCTRL1レジスタのPHYENBビットに1を設定。
2. USBPCTRL1レジスタのPLENBビットに1を設定。
3. USBSTレジスタのPLLビット、ACTビットがともに1になっているのを確認。
4. USBPCTRL1レジスタのPHYRSTビットに1を設定。

23.3.3 USB Status (USBST)

USB モジュールの状態を示すレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ACT	PLL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	ACT	不定*1	R	USB モジュールの状態を示します。 レジスタ設定を行う場合は、ACT ビット、PLL ビットがともに 1 になっていることを確認してから実行してください。 0 : 初期化中 1 : 動作中
30	PLL	不定*2	R	USB 用 PLL の状態を示します。 レジスタ設定を行う場合は、ACT ビット、PLL ビットがともに 1 になっていることを確認してから実行してください。 0 : 発振不安定 1 : 発振安定
29~0	—	不定	R	リザーブビット 必ず 0 を書き込んでください。

【注】 *1 LSI が起動してから約 1ms 以内に読み出した場合は、0 が読み出されます。

*2 USB クロックを入力しなければ、発振安定にはなりません。

23.3.4 EHCI Control 0 (USBEH0)

本レジスタは、EHCI 側 Bridge 部のデータアライメントを制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	USBEH0															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	USBEH0															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	USBEH0	H'0000 0000	R/W	バスアライメント制御レジスタです。 詳細は「23.4 初期設定」を参照してください。

23.3.5 USB Control0 (USBCTL0)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLK SEL	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	0	0	0	1	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブ 0以外の書き込み禁止
9	—	1	R	リザーブ 1以外の書き込み禁止
8	—	0	R	リザーブ 0以外の書き込み禁止
7	CLKSEL	0	R/W	USB クロックモード 0 : 水晶発振子モード 1 : 外部クロックモード
6	—	0	R	リザーブ 0以外の書き込み禁止
5	—	1	R	リザーブ 1以外の書き込み禁止

ビット	ビット名	初期値	R/W	説 明
4、3	—	すべて0	R	リザーブ 0以外の書き込み禁止
2	—	1	R	リザーブ 1以外の書き込み禁止
1、0	—	すべて0	R	リザーブ 0以外の書き込み禁止

23.3.6 OHCI Control 0 (USBOH0)

本レジスタは OHCI 側 Bridge 部のデータアライメントを制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	USBOH0															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	USBOH0															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	USBOH0	H'00000 000	R/W	バスアライメント制御レジスタです。 詳細は「23.4 初期設定」を参照願います。

23.4 初期設定

EHCI/OHCI レジスタおよび Function レジスタへアクセスするには、下記の手順を行った後、実行してください。

- 設定1
 - アドレス : H'FFE7 0804 (USBCTRL1)
 - 書き込みデータ : H'0000 0001 (PHYENBに1を設定し、USB-PHYをスタンバイ状態から解除する)
- 設定2
 - アドレス : H'FFE7 0804 (USBCTRL1)
 - 書き込みデータ : H'0000 0003 (PLLENBに1を設定し、USB-PHY内部のPLLを動作させる)
- 確認
 - アドレス : H'FFE7 0808 (USBST)
 - 確認ビット : ACT=1 (USBが動作状態であることを示す)
 - 確認ビット : PLL = 1 (USB用PLLが発振安定状態であることを示す)
- 設定3
 - アドレス : H'FFE7 0804 (USBCTRL1)
 - 書き込みデータ : H'0000 0007 (PHYRSTに1を設定し、USB-PHY内部ロジックのリセットを解除する)

USB 機能を使用する場合、下記の設定を行う必要があります。

- 設定1
 - アドレス : H'FFE7 0094
 - 初期値データ : H'0040 0040
 - 書き込みデータ : H'00FF 0040
- 設定2
 - アドレス : H'FFE7 009C
 - 初期値データ : H'0000 0000
 - 書き込みデータ : H'0000 0001

バスアライメント処理として、下記の値を設定してください。

EHCI 側バスアライメント処理

- 設定

アドレス : H'FFE7 080C (USBEH0)

初期値データ : H'0000 0000

書き込みデータ : 下記表参照

エンディアン	スワップ設定	レジスタ値	備考
ビッグ	スワップなし	H'0000 0003	通常はこの値を設定してください。
	バイトスワップ	H'0000 0002	
	ワードスワップ	H'0000 0001	
	ワードバイトスワップ	H'0000 0000	
リトル	スワップなし	H'0000 0000	通常はこの値を設定してください。
	バイトスワップ	H'0000 0001	
	ワードスワップ	H'0000 0002	
	ワードバイトスワップ	H'0000 0003	

OHCI 側バスアライメント処理

- 設定

アドレス : H'FFE7 081C (USBOH0)

初期値データ : H'0000 0000

書き込みデータ : 下記表参照

エンディアン	スワップ設定	レジスタ値	備考
ビッグ	スワップなし	H'8800 0003	通常はこの値を設定してください。
	バイトスワップ	H'8800 0002	
	ワードスワップ	H'8800 0001	
	ワードバイトスワップ	H'8800 0000	
リトル	スワップなし	H'0000 0000	通常はこの値を設定してください。
	バイトスワップ	H'0000 0001	
	ワードスワップ	H'0000 0002	
	ワードバイトスワップ	H'0000 0003	

23.5 未使用時の接続例

未使用端子の処理について説明します。

23.5.1 DP/DM の接続例

未使用時は、両ポートとも Open にしてください。

23.5.2 OVC/PENC の接続例

OVC は、HOST では NotActive 状態に、Function では切断状態になるようにしてください。

例：HOST 時に LowActive 設定ならば Pull-Up 処理

PENC は Open にしてください。

なお、OVC/PENC は GPIO 設定が可能です。

GPIO 設定時は、GPIO の処理に従ってください。

23.6 基板設計ガイドライン

23.6.1 はじめに

本資料は、USB2.0 ホスト/ファンクションモジュールの端子名を用いて説明しています。表 23.3 に USB2.0 ホスト/ファンクションモジュールの端子概要を示します。

表 23.3 USB2.0 ホスト/ファンクションモジュールの端子概要

使用端子名	入出力	名称	機能
DP0/1	入出力	USB D+データ	USB バスの D+データです。
DM0/1	入出力	USB D-データ	USB バスの D-データです。
OVC0/VBUS0、 OVC1/VBUS1	入力	VBUS 入力	USB バスの VBUS に接続ください。
REFRIN	入力	リファレンス入力	5.6k Ω \pm 1% 抵抗を介して AG 端子に接続してください。
USB_EXTAL	入力	USB 水晶発振子/ 外部クロック	USB 用水晶発振子を接続します。また、USB_EXTAL 端子は外部クロックを入力することもできます。
USB_XTAL	出力		
AV33	電源	トランシーバ部 アナログ端子電源	端子用 3.3V アナログ電源
AV12	電源	トランシーバ部 アナログコア電源	コア用 1.2V アナログ電源
AG	電源	トランシーバ部 アナログコア/ 端子グラウンド	コア用 1.2V/端子用 3.3V アナロググラウンド
VCCQ*	電源	入出力回路用電源	入出力端子用 3.3V 電源
VSSQ*	電源	入出力回路用グラウンド	入出力端子用 3.3V グラウンド
VDD*	電源	電源	内部用コア 1.2V 電源
VSS*	電源	グラウンド	内部用コア 1.2V グラウンド

【注】 * VCCQ、VSSQ、VDD、VSS 電源端子は、USB 以外の LSI IO 電源、コア電源です。

23.6.2 USB 伝送線路

USB 伝送線路とは、USB コネクタと USB トランシーバを接続する配線パターンを表します。

USB2.0 には、Hi-Speed、Full-Speed、Low-Speed の通信モードがあります。この中で Hi-Speed は 480Mbps の通信速度であるため、USB 伝送線路は高周波回路として設計する必要があります。USB 伝送線路は、インピーダンスコントロールが必要です。

以下に USB 伝送線路のパターン配線設計時の注意点について説明します。

- USB Hi-Speed伝送線路に要求される特性インピーダンスは、差動インピーダンス $90\Omega \pm 15\%$ です。
- インピーダンスコントロールは、基板の厚さ、材質、層構成などによりパターン幅、パターン間隔が異なります。詳細は、基板メーカーにご相談ください。
- LSIからUSBコネクタまでのUSB伝送線路の配線パターン長は、USB規格で規定されている最大遅延時間を超えないように設計する必要があります。表23.4に、一般的な材料のプリント配線板によるUSB伝送線路の推奨パターン設計値を示します。

表 23.4 USB 伝送線路の配線パターン設計推奨値

	最大遅延時間 (USB 規格)	配線長	D+, D-の配線長の差
ホストコントローラ	3ns	150mm 以下	2.5mm 以下
ファンクションコントローラ	1ns	50mm 以下	2.5mm 以下

- USB伝送線路の下の層は、ベタグラウンドにしてください。ベタグラウンドは、USB伝送線路より外側へ2mm以上確保してください。
- USB伝送線路近くに他の信号線を配置しないでください。特にクロックやデータバスなど変化の激しい信号は、USB伝送線路から離してください。また、USB伝送線路と他の信号が交差しないようにしてください。
- USB伝送線路と同一層（表層）では、伝送線路より外側へ2mm程度離してグラウンドでガードリングすることを推奨します。
- USB伝送線路は、ビアを通さず同じ階層で配線してください。また、USB伝送線路は、分岐配線しないでください。
- USB伝送線路の間隔は、すべて一定になるように配線してください。
- USB伝送線路は、発振器、電源回路、他のIOコネクタから離すようにしてください。
- USB伝送線路は可能な限り直線で配線してください。レイアウト上、USB伝送線路を曲げる場合は、 135° もしくは円弧を用いて緩やかに曲げてください。USB伝送線路は急角度（直角）に曲げないでください。
- クロック、リセット、リード、ライト、チップセレクト信号は、グラウンドでガードリングすることを推奨します。

図 23.2 にホストコントローラ時の USB 伝送線路パターン設計例を、図 23.3 にファンクションコントローラ時の USB 伝送線路パターン設計例を示します。

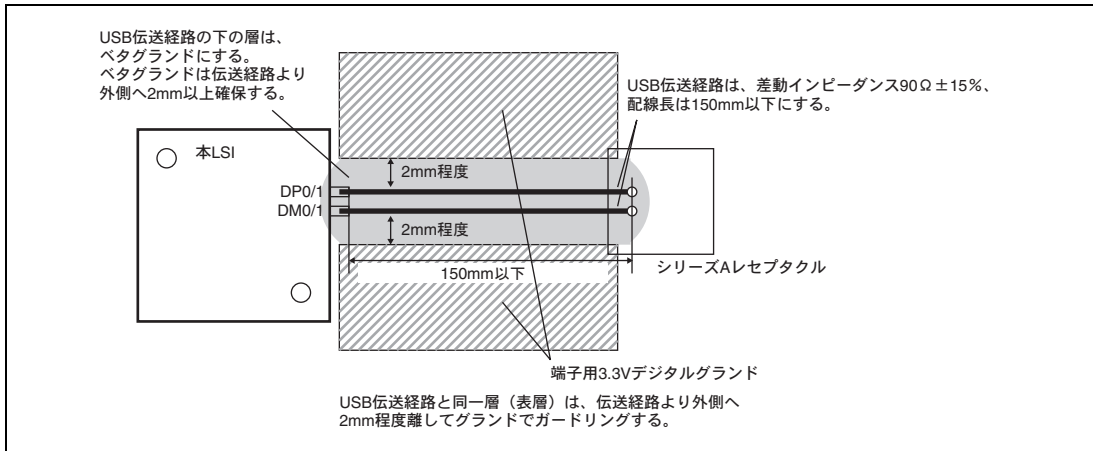


図 23.2 ホストコントローラ時の USB 伝送線路パターン設計例

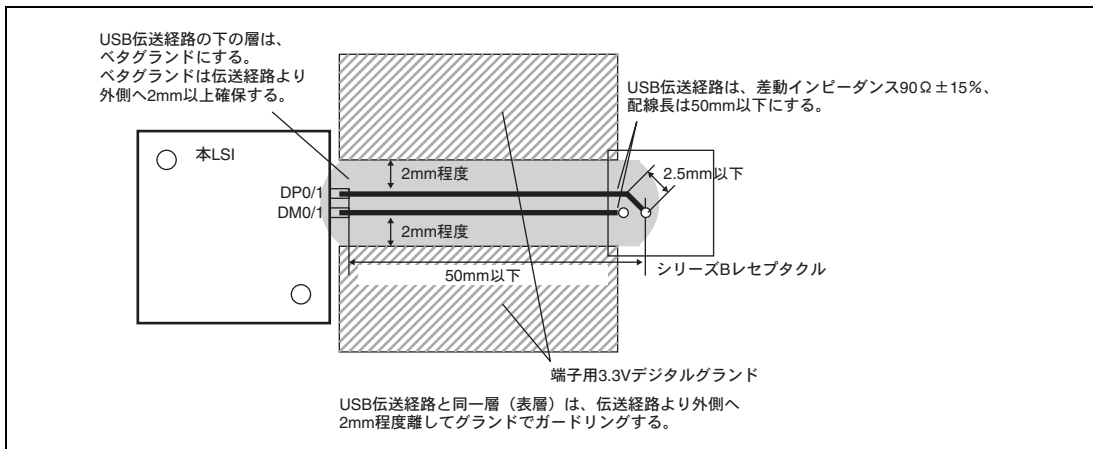


図 23.3 ファンクションコントローラ時の USB 伝送線路パターン設計例

23.6.3 電源、グランドパターン

以下に、電源、グランドパターン設計時の注意点について説明します。

- 電源、グランドは、デジタルとアナログに分離してください。表23.5、表23.6に電源とグランドの分類を示します。

表 23.5 USB 電源分類

端子名	電源の分類			
	アナログ電源 (1.2V)	デジタル電源 (1.2V)	アナログ電源 (3.3V)	デジタル電源 (3.3V)
AV12	○			
AV33			○	
VDD		○		
VCCQ				○

【注】 ○：使用する電源を示します。

表 23.6 USB グランド分類

端子名/USB コネクタ	グランドの分類	
	アナロググランド (AGND)	デジタルグランド (DGND)
AG	○	
VSS		○
VSSQ		○
USB コネクタグランド (フレームグランドを含む)		○

【注】 ○：使用するグランドを示します。

- LSI内部で接続されている端子に対しても、基板上、低インピーダンスで接続してください。
- 電源、グランドは、できる限り広い面の層となるようにパターン設計してください。
- 電源のコンデンサは、高周波特性の良いセラミックコンデンサまたは、タンタルコンデンサを推奨します。
- アルミ電解コンデンサは、EYEパターン測定時のジッタ値に影響があるので、十分な設計、テストの上、使用ください。
- デカップリングコンデンサの容量値としては、0.001 μ F、0.01 μ F、0.1 μ F、10 μ Fの容量をUSB電源端子の直近に配置することを推奨します。図23.4にデカップリングコンデンサの配置例を示します。

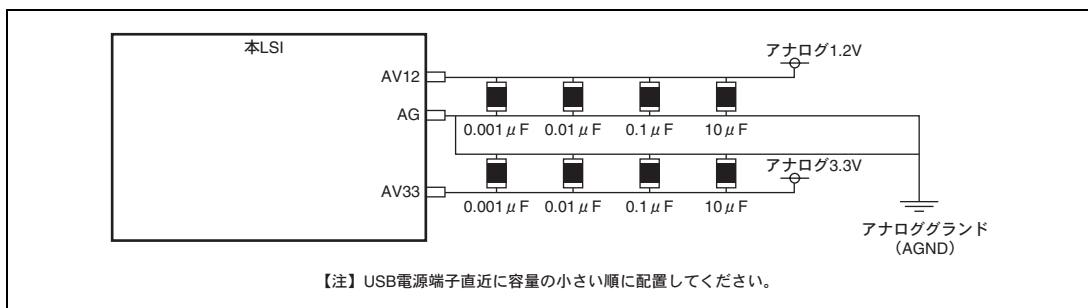


図 23.4 デカップリングコンデンサ配置例

23.6.4 発振回路

以下に発振回路設計時の注意点について説明します。

- 発振回路は、USB用クロック入力端子USB_EXTALの近くに配置してください。USB_EXTALは、グランドでガードリングすることを推奨します。
- 発振部品は、周波数スペックが48MHz±100ppmを満たすものを使用してください。
- 水晶振動子を使用する場合は、水晶振動子メーカーと相談の上、回路定数を決定してください。

図 23.5 に水晶振動子の接続例を、図 23.6 に発振器の接続例を示します。

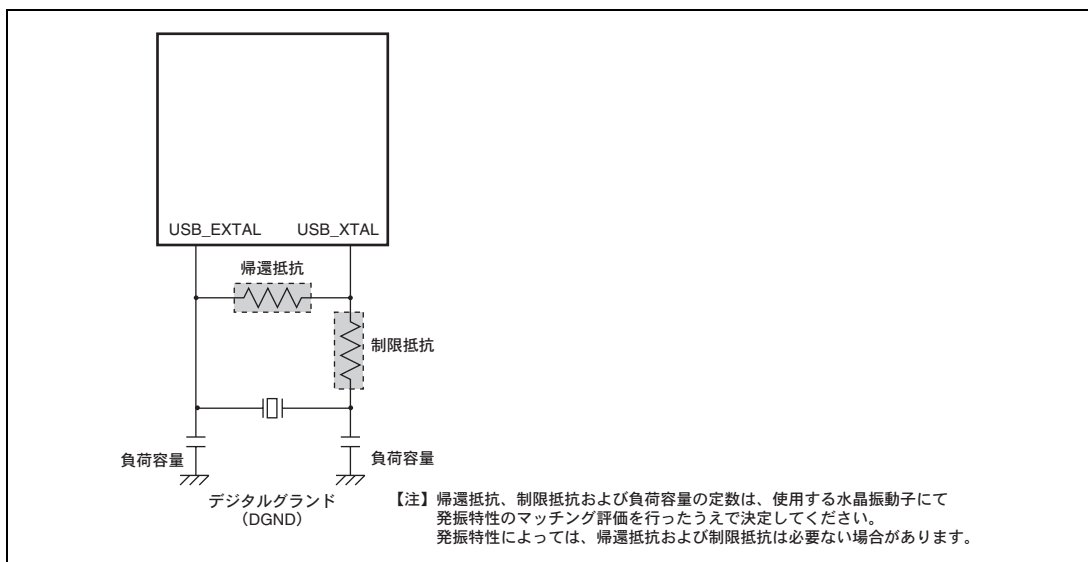


図 23.5 水晶振動子接続例

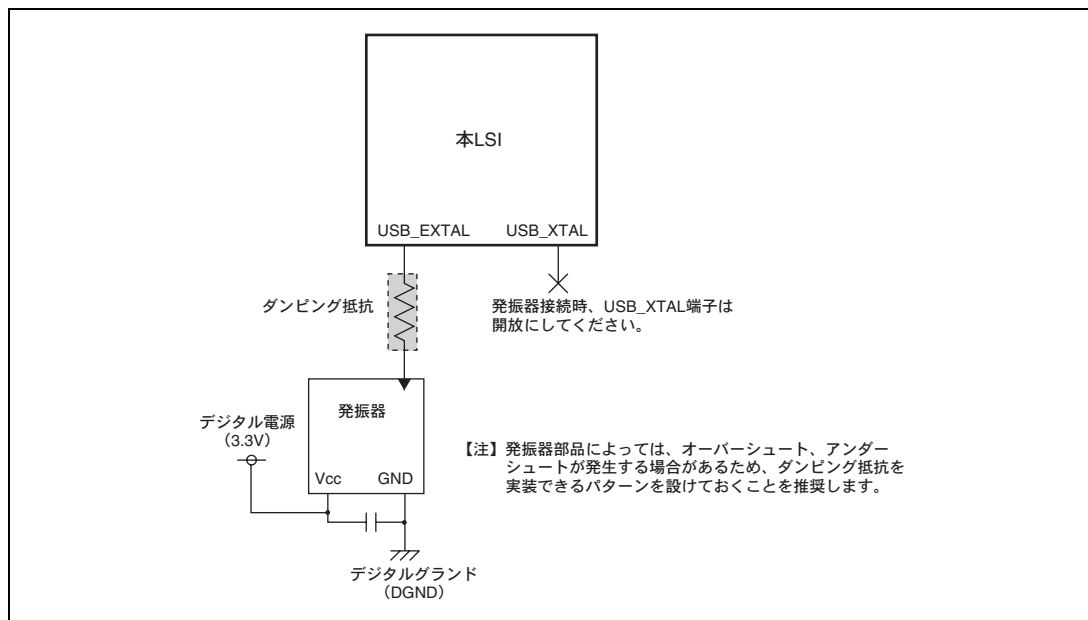


図 23.6 発振器接続例

23.6.5 VBUS 電源回路

以下に、VBUS 電源回路設計時の注意点について説明します。

- ホストコントローラとして使用する場合、VBUSラインの付加容量が $120\mu\text{F}$ 以上になるように設計してください。
- ファンクションコントローラとして使用する場合、VBUSラインの付加容量が $1.0\mu\text{F}\sim 10\mu\text{F}$ 以内になるように設計してください。
- VBUSラインには、USBケーブル接続時にインピーダンスの不整合によって、オーバーシュートが発生する場合がありますため、フィルタ回路を設けてください。フィルタ回路として、容量 $1.0\mu\text{F}\sim 10\mu\text{F}$ と抵抗 $100\Omega\sim 1\text{k}\Omega$ を付けてください。最終的な定数は、基板上でオーバーシュートが発生しないことを確認した上で決定してください。なお、 $1\text{k}\Omega$ 以上の抵抗は付けしないでください。
- ホストコントローラとして使用する場合、ファンクション機器に対して、VBUS電源を供給する必要があります。VBUS電源の制御には、USB電源バス用過電流制限機能付きパワースイッチIC（以降USB電源スイッチICと記載）を使用することを推奨します。

VBUS電源ラインの電流の制限値は、適用するシステムの電源、通信するUSBファンクション機器が必要とする電流値をもとに検討してください。また、VBUS電源制御回路は、使用するUSB電源スイッチICのデータシートに記載されている回路例等を参考に設計してください。

- ホストコントローラとして使用する場合、LSI電源OFF時は、ホストコントローラとして使用する OVCn/VBUSn (n=0,1) 端子の入力もOFFしてください。
ファンクションコントローラとして使用する場合は、LSI電源OFF時であっても、ファンクションコントローラとして使用するOVCn/VBUSn (n=0,1) 端子に、USBホストからのVBUS電圧印加を許容します。

図 23.7、図 23.8、図 23.9 にホストコントローラとして使用する場合の VBUS 電源回路例を、図 23.10 にファンクションコントローラとして使用する場合の VBUS 電源回路例を示します。

ホストコントローラとして使用する例 (図 23.7、図 23.8) では、USB_OVC0/1 端子は 3.3V I/O のため、Low 時 0V、High 時 3.3V を入力してください。

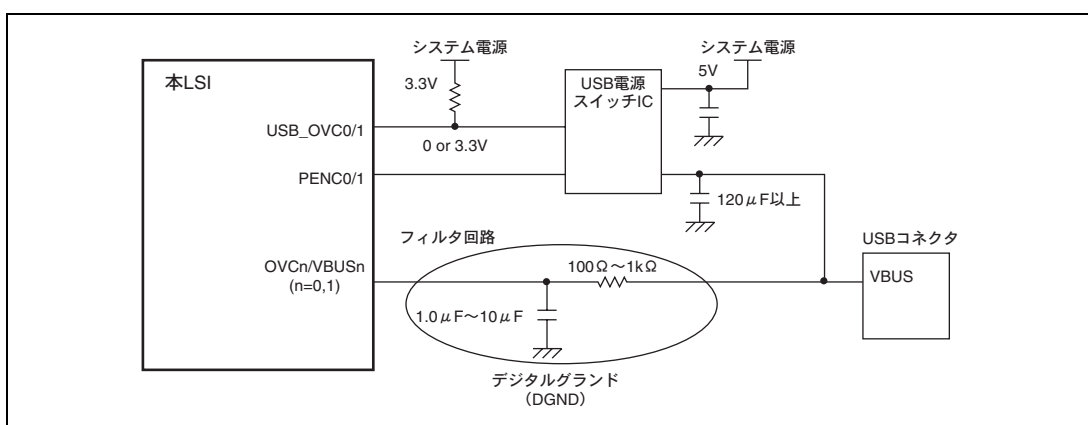


図 23.7 ホストコントローラ VBUS 回路例 (OVCn/VBUSn (n=0,1) 端子と USB_OVC0/1 を別端子として使用 1)

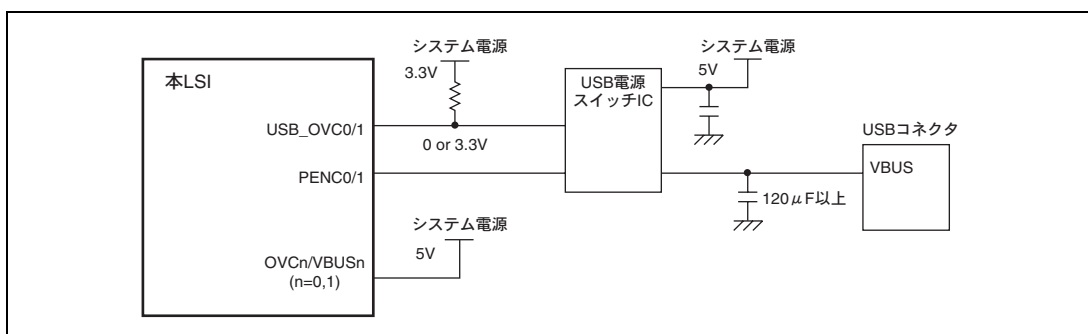


図 23.8 ホストコントローラ VBUS 回路例 (OVCn/VBUSn (n=0,1) 端子と USB_OVC0/1 を別端子として使用 2)

ホストコントローラとして使用する例（図 23.9）では、USB_OVC0/1 端子は 5V I/O のため、Low 時 0V、High 時 5V を入力してください。また、VBUS 端子内部にはプルダウン抵抗が存在するため、OVC 検出信号は、一端、5V 標準ロジック等を介して入力してください。

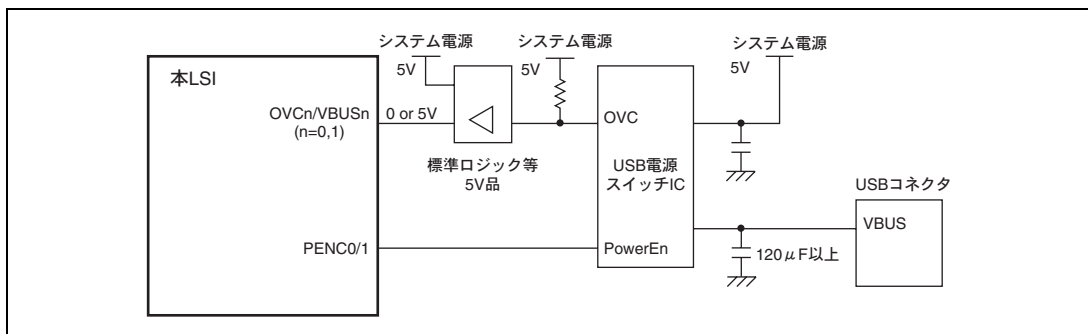


図 23.9 ホストコントローラ VBUS 回路例 (OVCn/VBUSn(n=0,1)端子を OVC 機能として使用)

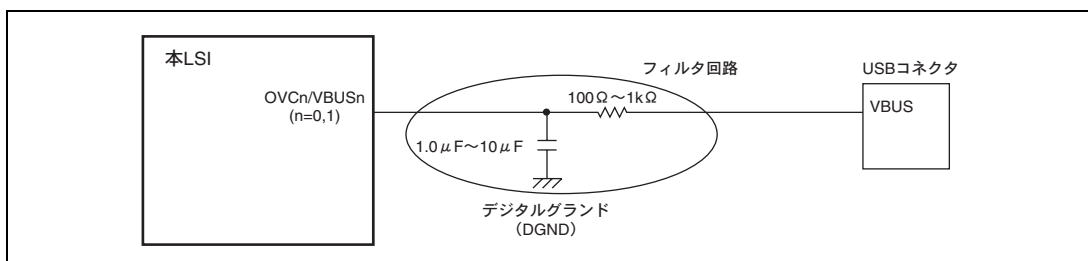


図 23.10 ファンクションコントローラ VBUS 回路例

23.6.6 REFRIN 端子

以下に REFRIN 端子周辺回路設計時の注意点について説明します。

- REFRIN端子とAGの間に $5.6\text{k}\Omega \pm 1\%$ の抵抗（以降 基準抵抗と記載）を接続してください。
- 基準抵抗は、LSIに可能な限り近くに配置してください。
- REFRIN端子と基準抵抗とAGは、太いパターンで、かつ最短で接続してください。
- 基準抵抗とAGを専用のパターンで接続し、その先でアナロググランドに接続してください。他の信号と共通インピーダンスを持たないようにパターン設計する必要があります。
- クロストークを避けるため、基準抵抗の近くとそのパターンの近くには、変化の激しい信号（DP0/I、DM0/I、クロック、アドレス、データ、コントロール信号等）を交差または並行しないようにしてください。基準抵抗とそのパターンは、グランドでガードリングすることを推奨します。

図 23.11 に REFRIN 端子周辺の接続図およびパターン設計例を示します。

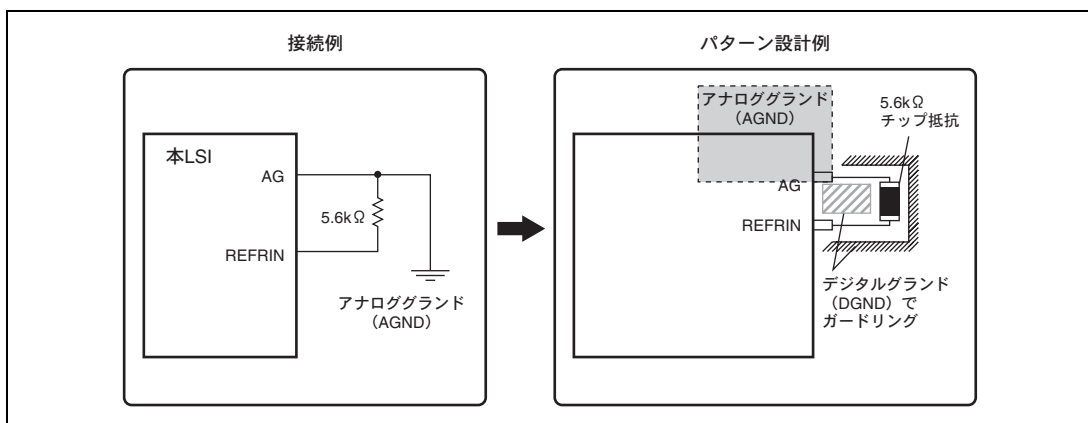


図 23.11 REFRIN 端子周辺の接続図およびパターン設計例

23.6.7 EMI/ESD 対策

以下に EMI、ESD 対策時の注意点について説明します。

- コイルやダイオードなどのEMI、ESD対策用部品をUSB伝送線路に実装する場合は、USB伝送線路の近くに配置し、配線は可能な限り短くしてください。
- EMI、ESD対策用部品は、必ずUSB2.0対応品を使用してください。なお、EMI、ESD対策用部品を実装することで、USB伝送線路のインピーダンスに不整合が生じ、波形が乱れることがあるので、十分に評価した上で使用する部品を決定してください。

図 23.12 に、EMI、ESD 対策用部品使用時の接続図の例を示します。

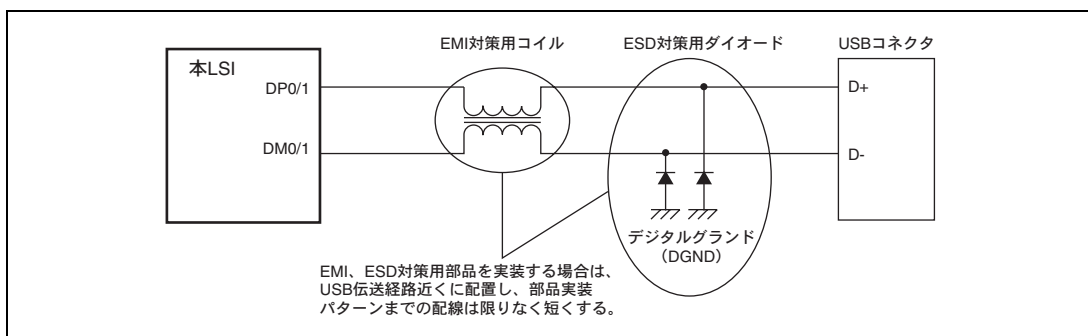


図 23.12 EMI、ESD 対策用部品使用時の接続例

23.7 使用上の注意事項

23.7.1 ファンクションコントローラ時の注意事項

ファンクションコントローラ時、USB ケーブル長が 1.5m を超えると、接続が確立されない場合があります。このため、使用する USB ケーブルのケーブル長は、1.5m 以下としてください。

23A. USB2.0-HOST コントローラ

本章では、EHCI 規格について説明します。

EHCI 規格の詳細については、「Enhanced Host Controller Interface Specification for Universal Serial Bus Revision 1.0」を参照してください。

23A.1 レジスタの説明

CPU アクセスのみ許可します。CPU 以外のアクセスでの動作は保証しません。

レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 23A.1 レジスタ一覧

- Host Controller Capability Registers

アドレスは、H'FFE7 0000 + Offsetになります。

レジスタ名	R/W	Offset	アクセスサイズ
HCIVERSION/CAPLENGTH	R	0	32
HCSPARAMS	R	4	32
HCCPARAMS	R	8	32
HCSP-PORTROUTE	R	C	32

- Host Controller Operational Registers

アドレスは、H'FFE7 0010 + Offsetになります。

レジスタ名	R/W	Offset	アクセスサイズ
USBCMD	R/W	0	32
USBSTS	R/W	4	32
USBINTR	R/W	8	32
FRINDEX	R/W	C	32
CTRLDSSEGMENT	R/W	10	32
PERIODICLISTBASE	R/W	14	32
ASYNCLISTADDR	R/W	18	32
CONFIGFLAG	R/W	40	32
PORTSC (1~N_PORT)	R/W	44	32

【注】 上記アドレス以外への書き込みは行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 23A.2 各処理状態におけるレジスタの状態

レジスタ アドレス	レジスタ名	パワーオン リセット	マニュアル リセット	スリープ	ソフト ウェア スタン バイ	モジュ ール スタン バイ	ディープ スタン バイ
H'FFE7 0000	HCVERSION/CAPLENGTH	H'0100 xx10	H'0100 xx10	保持	保持	保持	初期化
H'FFE7 0004	HCSPARAMS	H'xx00 1212	H'xx00 1212	保持	保持	保持	初期化
H'FFE7 0008	HCCPARAMS	H'xxxx A016	H'xxxx A016	保持	保持	保持	初期化
H'FFE7 000C	HCSP-PORTROUTE	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
H'FFE7 0010	USBCMD	H'xx08 xB00	H'xx08 xB00	保持	保持	保持	初期化
H'FFE7 0014	USBSTS	H'xxxx 1x00	H'xxxx 1x00	保持	保持	保持	初期化
H'FFE7 0018	USBINTR	H'xxxx xx00	H'xxxx xx00	保持	保持	保持	初期化
H'FFE7 001C	FRINDEX	H'xxxx 0000	H'xxxx 0000	保持	保持	保持	初期化
H'FFE7 0020	CTRLDSSEGMENT	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
H'FFE7 0024	PERIODICLISTBASE	H'0000 0xxx	H'0000 0xxx	保持	保持	保持	初期化
H'FFE7 0028	ASYNCLISTADDR	H'0000 00xx	H'0000 00xx	保持	保持	保持	初期化
H'FFE7 0050	CONFIGFLAG	H'xxxx xxx0	H'xxxx xxx0	保持	保持	保持	初期化
H'FFE7 0054	PORTSC (1~N_PORT)	H'xx00 2000	H'xx00 2000	保持	保持	保持	初期化

23A.1.1 HCIVERSION/CAPLENGTH

このレジスタは、ホストコントローラがサポートする EHCI 規格のバージョンおよび Capability レジスタ領域全体のサイズを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCIVERSION															
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAPLENGTH															
初期値:	—	—	—	—	—	—	—	—	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	HCIVERSION	H'0100	R	Host Controller Interface Version Number ホストコントローラがサポートする EHCI 規格のバージョンを示します (BCD 表示)。
15~8	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に 0 にしてください。
7~0	CAPLENGTH	H'10	R	Capability Register Length Capability レジスタ領域のサイズを示します。 Operational レジスタ領域は、Capability レジスタ領域の直後に配置されるので、このレジスタの値をオフセットとして使うことで Operational レジスタ領域の位置を知ることができます。

23A.1.2 HCSPARAMS

このレジスタは、ポートの数など、ホストコントローラの構造パラメータ群を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DPN															
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	N_CC				N_PCC				PRR	—	—	PCC	N_PORTS			
初期値:	0	0	0	1	0	0	1	0	0	—	—	1	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
23~20	DPN	H'0	R	<p>Debug Port Number</p> <p>N_PORTS 個あるポートの中で、デバッグポートであるポートを示します。</p> <p>H'0 : デバッグポートが存在しない。</p> <p>上記以外 : デバッグポートが存在する。このビットの値がそのままポート番号になる。</p> <p>DPN ビットの値は、N_PORTS より大きい値の設定は不可です。</p>
19~17	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込み値は常に0にしてください。</p>
16	P_INDI	0	R	<p>Port Indicator</p> <p>ポートが Port Indicator Control 機能をサポートしているかどうかを示します。</p> <p>0 : Port Indicator Control をサポートしない。</p> <p>1 : Port Indicator Control をサポートする。</p> <p>この場合、PORTSC レジスタの PIC ビットで Port Indicator の制御が可能です。</p>
15~12	N_CC	H'1	R	<p>Number of Companion Controller</p> <p>搭載している USB1.1 Companion Host Controller の個数を示します。</p> <p>H'0 : Companion Host Controller は搭載していません。EHCI Host Controller のみです。</p> <p>上記以外 : このビットで示された値だけ、Companion Host Controller を搭載しています。</p>
11~8	N_PCC	H'2	R	<p>Number of Ports per Companion Controller</p> <p>一つの Companion Host Controller が持つポートの数を示します。</p>
7	PRR	0	R	<p>Port Routing Rule</p> <p>それぞれのポートをどの Companion Host Controller に割り当てるかを定めるルーティングルールを指定します。</p> <p>0 : N_PCC 個数分ずつ、Companion Host Controller の若い番号順に割り当てる。</p> <p>N_PORT=8、N_CC=2、N_PCC=4 とすると、No.1~No.4 のポートは最初の Companion Host Controller に、No.5~No.8 のポートは2番目の Companion Host Controller に割り当てる。</p> <p>1 : HCSP-PORTROUTE レジスタで割り当てルールを定義し、それに従って割り当てる</p>
6、5	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込み値は常に0にしてください。</p>
4	PCC	1	R	<p>Port Power Control</p> <p>ポート電源の ON、OFF を切り替え可能かを示します。</p> <p>0 : ポート電源は切り替え不可</p> <p>1 : ポート電源は切り替え可能</p> <p>1 の場合、PORTSC レジスタの PP ビットで切り替え可能です。</p>

ビット	ビット名	初期値	R/W	説明
3~0	N_PORTS	H'2	R	ホストコントローラが持つダウンストリームポートの数を示します。 この値によって Operational レジスタ空間の PORTSC レジスタの個数も決まります。 H'1~H'F の範囲で指定します。

23A.1.3 HCCPARAMS

このレジスタは、ホストコントローラの能力に関するパラメータ群を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EECP							IST				—	ASPC	PFLF	64AC	
初期値:	1	0	1	0	0	0	0	0	0	0	0	1	—	1	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
15~8	EECP	H'A0	R	EHCI Extended Capabilities Pointer 追加の Capability 情報を設定したい場合、PCI Configuration 領域に追加 Capability 領域を確保することができます。このビットで、その追加した Capability 領域へのオフセットを指定します。
7~4	IST	0001	R	Isochronous Scheduling Threshold Isochronous Schedule データのキャッシングモードを示します。 7Bit 目=0: マイクロフレームキャッシング [6: 4]でキャッシングするマイクロフレームを指定。 7Bit 目=1: フレームキャッシング 一つのフレーム分をキャッシング。 1000: 1 フレーム分丸ごとキャッシングするので、今のフレーム対応するデータ構造体は修正できない。次のフレーム以後のデータ構造体は修正可能。 0010: 2 マイクロフレーム分キャッシングするので、3 マイクロフレーム先以後のデータ構造体は修正可能である。 0000: データ構造体をキャッシングせず、各マイクロフレームでその都度データ構造体を取得する。そのため、次のマイクロフレーム以後のデータ構造体が修正可能である。
3	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	ASPC	1	R	Asynchronous Schedule Park Capability Asynchronous Schedule 内の HS 用 QH に対する Park 機能を有効にするかを指定します。 0 : Park 機能はサポートしない。 1 : Park 機能をサポートする。 この場合、USBCMD レジスタの ASPME、ASPMC ビットにより Park 機能を使うことができる。
1	PFLF	1	R	Programmable Frame List Flag Frame List のサイズが可変かどうかを指定します。 0 : Frame List の要素数は 1024 で固定。 この場合、USBCMD レジスタの FLS ビットは 0 読み出しのみとなり、書き込みは無効となる。 1 : Frame List の要素数を変更できる (512、256 に変更することができる)。 USBCMD レジスタの FLS ビットにより変更できる。
0	64AC	0	R	64-Bit Addressing Capability 各種データ構造体アクセスする際のアドレッシングモードを指定します。 0 : 32 ビットアドレッシング 1 : 64 ビットアドレッシング

23A.1.4 HCSP-PORTROUTE

このレジスタは、各 Down Stream ポートをどの Companion Host Controller に割り当てるかを指定します。

このレジスタは、HCSPARAMS レジスタの PRR ビットが 1 である場合のみ有効です。

ビット :	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	HCSP-PORTROUTE															
初期値 :	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	HCSP-PORTROUTE															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCSP-PORTROUTE															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCSP-PORTROUTE															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~60	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
59~0	HCSP- PORTROUTE	すべて0	R	N_PORTS 個のポートのそれぞれが、何番目の Companion Host Controller に 対応するかを示します。 Companion Host Controller の番号を4ビットで指定します。N_PORTS は最 大15であり、本レジスタは15×4=60ビット長となります。 たとえば、H'0、H'1、H'0、H'1…となっていれば、対応する Companion Host Controller の番号は、それぞれ1、2、1、2…となります。

23A.1.5 USBCMD

このレジスタは、ホストコントローラ自体の ON/OFF 設定、ホストコントローラリセットの制御、Schedule 処
理の ON/OFF などを設定できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ITC							
初期値:	—	—	—	—	—	—	—	—	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ASPME	—	ASPMC	LHCR	IAAD	ASE	PSE	FLS	HCR	RS		
初期値:	—	—	—	—	1	—	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
23~16	ITC	H'08	R/W	Interrupt Threshold Control ホストコントローラがハードウェア割り込みを発生させる頻度(割り込みの最 大間隔)を示します。 H'01: 1マイクロフレーム H'02: 2マイクロフレーム H'04: 4マイクロフレーム H'08: 8マイクロフレーム(初期値、1ms) H'10: 16マイクロフレーム(2ms) H'20: 32マイクロフレーム(4ms) H'40: 64マイクロフレーム(8ms) 本ビットは、USBSTS レジスタの HCH ビットが0の場合は、設定禁止です。
15~12	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
11	ASPME	1	R/W	<p>Asynchronous Schedule Park Mode Enable</p> <p>Asynchronous Schedule の Park モードを有効にします。</p> <p>0 : Park モードは無効 1 : Park モードは有効</p> <p>本ビットは、HCCPARAMS レジスタの ASPC ビットが 1 にセットされていない場合は 0 固定で読み出し専用となります。</p> <p>逆に ASPC ビットが 1 にセットされていれば、初期値が 1 で、読み出し/書き込み可能となります。</p>
10	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込み値は常に 0 にしてください。</p>
9、8	ASPMC	11	R/W	<p>Asynchronous Schedule Park Mode Count</p> <p>Asynchronous Schedule 中の一つの QH から、一度に発行するトランザクションの数を設定します。</p> <p>たとえば、3 と設定されている場合、フェッチした QH から 3 回バストラザクションを実行してから、次の QH をフェッチします。</p> <p>ASPM ビットを 1 に設定した場合、本ビットを 0 に設定してはいけません。</p> <p>本ビットは、HCCPARAMS レジスタの ASPC ビットが 1 にセットされていない場合は 0 固定で読み出し専用となります。</p> <p>逆に、ASPC ビットが 1 にセットされていれば、初期値が 3 で、読み出し/書き込み可能となります。</p>
7	LHCR	0	R/W	<p>Light Host Controller Reset</p> <p>ポートの状態、ポートのオーナーシップの関係に影響を与えることなく、EHCI ホストコントローラをリセットします。つまり、PORTSC レジスタ、CF レジスタを初期化することなく、ほかのレジスタを初期化します。</p> <p>本ビットに 1 をセットすることで、Light Host Controller Reset を実行することができます。そして、本ビットを読み出して 0 であれば、リセット完了したことが分かります。1 であれば、まだリセット中です。</p>
6	IAAD	0	R/W	<p>Interrupt on Async Advance Doorbell</p> <p>ソフトウェアがホストコントローラに対して、Asynchronous Schedule の処理を進めたときに割り込みを発生させるように依頼するためのビットです。</p> <p>本ビットがセットされると、ホストコントローラは、キャッシングしている Asynchronous Schedule データをクリアし、USBSTS レジスタの IAA ビットをセットします。このとき、USBINTR レジスタの IAAE ビットがセットされていたら、ホストコントローラは、次の Interrupt Threshold で割り込みを発生させます。</p>
5	ASE	0	R/W	<p>Asynchronous Schedule Enable</p> <p>ホストコントローラが Asynchronous Schedule を実行するか、もしくは実行しないでスキップするかを指定します。</p> <p>0 : Asynchronous Schedule を処理しない。 1 : ASYNCLISTADDR レジスタを使って、Asynchronous Schedule を処理する。</p>

ビット	ビット名	初期値	R/W	説明
4	PSE	0	R/W	<p>Periodic Schedule Enable</p> <p>ホストコントローラが Periodic Schedule を実行するか、もしくは実行しないでスキップするかを指定します。</p> <p>0 : Periodic Schedule を処理しない。</p> <p>1 : PERIODICLISTBASE レジスタを使って、Periodic Schedule を処理する。</p>
3、2	FLS	00	R/W	<p>Frame List Size</p> <p>Frame List のサイズを規定します。</p> <p>このビットで規定した Frame List のサイズによって、FRINDEX レジスタのどのビットを Frame List Current Index のために使うかが決まります。</p> <p>HCCPARAMS レジスタの PFLF フラグがセットされているときのみ、本ビットに書き込みできます。</p> <p>00 : 1024 Elements (4096 バイト)</p> <p>01 : 512 Elements (2048 バイト)</p> <p>10 : 256 Elements (1024 バイト)</p>
1	HCR	0	R/W	<p>Host Controller Reset</p> <p>ホストコントローラをリセットします。</p> <p>本ビットによりホストコントローラがリセットされた場合、ルートハブのレジスタについては、チップのハードウェアリセットと同様の動作になります。</p> <p>本ビットがセットされた場合、ホストコントローラは、ホストコントローラ内の Pipeline、Timer、Counter、State Machine などをリセットし、初期値をセットします。また、その時点で行われているすべての転送をすぐに終了させます。Downstream ポートには、このリセットはドライブされません。</p> <p>リセットによって、PCI Configuration レジスタ領域の各レジスタは初期化されませんが、Operational レジスタ領域の全レジスタは、ポートのレジスタ、ポートの State Machine も含めて、すべて初期値に戻されます。ポートのオーナーシップは Companion Host Controller に戻されます。そのため、リセット後ソフトウェアはオーナーシップを再度動作状態に戻すために、ホストコントローラを、再度、初期化する必要があります。</p> <p>このビットのクリアは（つまり 1 がセットされた後、再び 0 に戻すのは）、ホストコントローラが行います。リセット処理が完了したときにホストコントローラがクリアします。リセット処理中に、ソフトウェアがこのビットをクリアしてリセット処理を中断させることはできません。</p> <p>また、ソフトウェアは USBSTS レジスタの HCH ビットが 0 のときは、本ビットをセットすることはできません。ホストコントローラが実行状態のときは USBRESET しないでください。</p>

ビット	ビット名	初期値	R/W	説 明
0	RS	0	R/W	<p>Run/Stop</p> <p>ホストコントローラ全体の ON/OFF を制御します。</p> <p>0 : ホストコントローラは、現在実行中のすべての通信を完了させて、動作を停止する。</p> <p>ホストコントローラは、ソフトウェアがこのビットをクリアしてから 16 マイクロフレーム以内に動作を停止しないとイケない。</p> <p>USBSTS レジスタの HCH ビットで、ホストコントローラが実行中の転送を完了させて、Stop 状態に遷移したかを確認できる。</p> <p>1 : 1 である間、ホストコントローラは Schedule を実行し続ける。</p> <p>ソフトウェアはホストコントローラが Halt 状態のとき（USBSTS レジスタの HCH=1 のとき）には、本ビットを 1 にセットしないでください。</p>

23A.1.6 USBSTS

このレジスタは、割り込みや Schedule などの各種のステータス情報を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASS	PSS	R	HCH	—	—	—	—	—	—	IAA	HSE	FLR	PCD	UEI	UI
初期値 :	0	0	0	1	—	—	—	—	—	—	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説 明
31~16	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
15	ASS	0	R	<p>Asynchronous Schedule Status</p> <p>Asynchronous Schedule の現状の（実際の）状態を示します。</p> <p>0 : Asynchronous Schedule が Disable</p> <p>1 : Asynchronous Schedule が Enable</p> <p>ソフトウェアが USBCMD レジスタの ASE ビットをセット/クリアして Asynchronous Schedule を Enable/Disable にした場合、ホストコントローラは、すぐに Asynchronous Schedule を Enable/Disable にする必要はありません（ソフトウェアの要求をすぐには反映する必要はありません）。</p> <p>本ビットと USBCMD レジスタの ASE ビットが一致していれば、Asynchronous Schedule が Enable/Disable であると分かります。</p>

ビット	ビット名	初期値	R/W	説明
14	PSS	0	R	<p>Periodic Schedule Status</p> <p>Periodic Schedule の現状の（実際の）状態を示します。</p> <p>0 : Periodic Schedule が Disable</p> <p>1 : Periodic Schedule が Enable</p> <p>ソフトウェアが USBCMD レジスタの PSE ビットを Enable/Disable にした場合、ホストコントローラはすぐに Periodic Schedule を Enable/Disable にする必要はありません（ソフトウェアの要求をすぐには反映する必要はありません）。</p> <p>本ビットと USBCMD レジスタの PSE ビットが一致していれば、Periodic Schedule が Enable/Disable であると分かります。</p>
13	R	0	R	<p>Reclamation</p> <p>Asynchronous Schedule が空の状態を検出した場合にセットされます。</p>
12	HCH	1	R	<p>HCHalted</p> <p>ホストコントローラの状態を示します。</p> <p>0 : USBCMD レジスタの RS ビットが 1 である場合</p> <p>1 : RS ビットがクリアされて、ホストコントローラが停止した場合</p> <p>RS ビットのクリアは、ソフトウェアからも行われるし、ハードウェアからも行われます（InternalError などの場合）。</p>
11~6	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
5	IAA	0	R/W*	<p>Interrupt on Async Advance</p> <p>ソフトウェアは USBCMD の IAAD ビットをセットすることにより、ホストコントローラに Asynchronous Schedule を進めたときに、割り込みを発生させることを強制することができます。本ビットは、これによりホストコントローラが Asynchronous Schedule を進めたことを示します。</p> <p>本ビットはステータスビットであり、この割り込み要因によって割り込みが発生したことを示します。</p> <p>本割り込みは、Asynchronous Schedule から Queue Head を削除する場合に使用します。</p>
4	HSE	0	R/W*	<p>Host System Error</p> <p>ホストシステムがホストコントローラモジュールを伴うアクセスを行っている最中に、重大なエラーが起こった場合に、ホストコントローラが本ビットをセットします。</p> <p>PCI システムでは、このビットがセットされる場合は、「PCI Parity Error」「PCI Master Abort」「PCI Target Abort」の状態を含みます。</p> <p>これらのエラーが起こった場合、ホストコントローラは RS ビットを 0 にして、スケジュールされている TD が実行されないようにします。</p>

ビット	ビット名	初期値	R/W	説明
3	FLR	0	R/W*	<p>Frame List Rollover</p> <p>FRINDEX レジスタが最大値から 0 へ Roll Over した場合に、ホストコントローラが本ビットをセットします。</p> <p>どの値で Roll Over するかは Frame List Size (USBCMD レジスタの FLS ビット) に依存します。</p> <p>Frame List Size が 1024 に設定されていれば、FRINDEX[13]がトグルするたびに Role Over します。同様に、512 なら、FRINDEX[12]がトグルするたびに Role Over します。</p>
2	PCD	0	R/W*	<p>Port Change Detect</p> <p>本ビットは、以下の場合にホストコントローラがセットします。</p> <ul style="list-style-type: none"> • PO ビット=0 であるポートで、PO ビット=1 になった場合。 • サスペンド中のポートで、J-K の遷移を検出し、FPR ビットが 0 から 1 に変化した場合。 • ソフトウェアが、PO ビットに 1 を書き込み、ポートのオーナーシップを放棄した場合。
1	UEI	0	R/W*	<p>USB Error Interrupt</p> <p>エラーとして USB 転送が完了 (Error Counter がアンダフローした場合) した場合に、ホストコントローラがこのビットをセットします。</p> <p>ioc=1 となった TD がエラーで転送完了した場合は、このビットと UI ビットの両方がセットされます。</p>
0	UI	0	R/W*	<p>USB Interrupt</p> <p>ioc=1 となって TD がリタイアして USB 転送が完了した際に、ホストコントローラがこのビットをセットします。</p> <p>Short Packet を受信した場合 (受信したデータサイズが、期待していたサイズ以下であった場合) にもセットします。</p>

【注】 * 本ビットは 1 書き込みによるクリアのみ有効で、0 書き込みは無効となります。

23A.1.7 USBINTR

このレジスタでは、ハードウェア割り込みの ON/OFF を設定できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	IAAE	HSEE	FLRE	PCDE	UEIE	UIE
初期値:	—	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
5	IAAE	0	R/W	Interrupt on Async Advance Enable 本ビットがセットされて、かつ USBSTS レジスタの IAA ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させます。
4	HSEE	0	R/W	Host System Error Enable 本ビットがセットされ、かつ USBSTS レジスタの HSE ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させます。
3	FLRE	0	R/W	Frame List Rollover Enable 本ビットがセットされ、かつ USBSTS レジスタの FLR ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させます。
2	PCDE	0	R/W	Port Change Detect Enable 本ビットがセットされ、かつ USBSTS レジスタの PCD ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させる。
1	UEIE	0	R/W	USB Error Interrupt Enable 本ビットがセットされ、かつ USBSTS レジスタの UEI ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させます。
0	UIE	0	R/W	USB Interrupt Enable 本ビットがセットされ、かつ USBSTS レジスタの UI ビットがセットされていれば、ホストコントローラはハードウェア割り込みを発生させます。

23A.1.8 FRINDEX

このレジスタは、現在のフレーム番号を示します。125 μ s ごとにアップデートされ、ホストコントローラが Periodic Frame List を参照するときに使われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FI													
初期値:	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明																
31~14	—	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。																
13~0	FI	H'0000	R/W	Frame Index それぞれのマイクロフレームの最後に、この値がインクリメントされます。 Bit[N:3]は Frame List の Current Index のために使用されます。つまり、Frame List のそれぞれの場所は、8 マイクロフレーム (1 フレーム) ごとにアクセスされます。																
<table border="1"> <thead> <tr> <th>FLS ビット (USBCMD)</th> <th>Number Element</th> <th>N</th> <th>Frame List の実サイズ</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1024</td> <td>12</td> <td>2¹² = 4096</td> </tr> <tr> <td>01</td> <td>512</td> <td>11</td> <td>2¹¹ = 2048</td> </tr> <tr> <td>10</td> <td>256</td> <td>10</td> <td>2¹⁰ = 1024</td> </tr> </tbody> </table>					FLS ビット (USBCMD)	Number Element	N	Frame List の実サイズ	00	1024	12	2 ¹² = 4096	01	512	11	2 ¹¹ = 2048	10	256	10	2 ¹⁰ = 1024
FLS ビット (USBCMD)	Number Element	N	Frame List の実サイズ																	
00	1024	12	2 ¹² = 4096																	
01	512	11	2 ¹¹ = 2048																	
10	256	10	2 ¹⁰ = 1024																	

23A.1.9 CTRLDSSEGMENT

このレジスタは、ホストコントローラが 64 ビット版データ構造体をアクセスする際の上位 32 ビット ([63:32]) を示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CTRLDSSEGMENT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTRLDSSEGMENT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CTRLDSSEGMENT	H'0000 0000	R/W	Control Data Structure Data Segment EHCI の各データ構造体を 64 ビットでアクセスする際の上位 32 ビット ([63:32]) を指定します。 HCCPARAMS レジスタの 64AC ビットが 0 なら、このビットは無効となります。1 であれば、EHCI の各データ構造体を 64 ビットでアクセスすることができます。 データ構造体は、同じ 4G バイト境界内に置く必要があります。

23A.1.10 PERIODICLISTBASE

このレジスタは、Periodic Frame List のベースアドレスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA				—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12	BA	H'0 0000	R/W	Base Address メモリ上に用意した Periodic Frame List の先頭アドレスを指定します。 ソフトウェアは、ホストコントローラが Periodic Schedule を実行する前にこのレジスタをロードします。 本レジスタと FRINDEX レジスタによって、ホストコントローラは Periodic Frame List を順序どおりに処理できます。

ビット	ビット名	初期値	R/W	説 明
11~0	—	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

23A.1.11 ASYNCLISTADDR

このレジスタは、Asynchronous Schedule 中の Queue Head へポインタを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	LPL																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	LPL												—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—	—	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説 明
31~5	LPL	H'000 0000	R/W	Link Pointer Low Asynchronous Schedule 中の次に実行する Queue Head を指定します。Queue Head は 32 ビット境界に配置されているので、上位 27 ビットのみでの定義となります。
4~0	—	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

23A.1.12 CONFIGFLAG

このレジスタは、全ポートのオーナーシップを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~1	—	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	CF	0	R/W	Config Flag 全ポートのルーティングルールを規定します。 0：それぞれのポートは、それぞれ対応の cHC にルーティングされる。 1：全ポートは、eHC にルーティングされる。

23A.1.13 PORTSC (1~N_PORT)

このレジスタでは、ポートに対して各種の制御や、状態モニタを行うことができます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	WOE	WDE	WCE	PTC			
初期値	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC		PO	PP	LS		—	PR	S	FPR	OC	OA	PEDC	PED	CSC	CCS
初期値	0	0	1	0	0	0	—	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W*	R	R/W*	R/W	R/W*	R

ビット	ビット名	初期値	R/W	説明
31~23	—	不定	R	リザーブビット 読み出し値は不定です。書き込み値は常に0にしてください。
22	WOE	0	R/W	Wake on Over-Current Enable (WKOC_E) サスペンドからレジュームさせる WakeUp イベントとして、ポートの Over-Current 検出を有効にします。
21	WDE	0	R/W	Wake on Disconnect Enable (WKDSCNNT_E) サスペンドからレジュームさせる WakeUp イベントとして、デバイスの Disconnect 検出を有効にします。
20	WCE	0	R/W	Wake on Connect Enable (WKCNNT_E) サスペンドからレジュームさせる WakeUp イベントとして、Device Connect 検出を有効にします。
19~16	PTC	0000	R/W	Port Test Control ポートのテストモードを制御します。 0000：テストモードが有効ではない。 0001：Test J-STATE 0010：Test K-STATE 0011：Test SE0_NAK 0100：Test Packet 0101：Test FORCE_ENABLE 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説明						
15、14	PIC	00	R/W	<p>Port Indicator Control</p> <p>ポートのインディケータを制御します。</p> <p>00 : ポートのインディケータ機能は OFF</p> <p>01 : Amber</p> <p>10 : Greed</p> <p>HCSPARAMS レジスタの P_INDI=0 であれば、本ビットは無効になります。</p>						
13	PO	1	R/W	<p>Port Owner</p> <p>ポートのオーナーシップを制御します。</p> <p>0 : このポートのオーナーシップは EHCI Host Controller</p> <p>1 : このポートのオーナーシップは Companion Host Controller</p> <p>接続されたデバイスが High-Speed デバイスでなかった場合、ソフトウェアは、本ビットをセットし、オーナーシップを解放します。</p> <p>CONFIGFLAG レジスタの CF ビットが 0→1 になった場合は、本ビットは無条件で 0 になります。逆に CF ビットが 0 になった場合は、本ビットは無条件で 1 になります。</p>						
12	PP	0	R/W	<p>Port Power</p> <p>ポート電源を制御します。</p> <p>本ビットは HCSPARAMS レジスタの PPC ビットに依存します。</p> <table border="1" data-bbox="568 962 1205 1116"> <thead> <tr> <th>PPC</th> <th>PP</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1 (Read Only)。ポート電源は常に ON で、本ビットは常に 1。</td> </tr> <tr> <td>1</td> <td>0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示す。</td> </tr> </tbody> </table> <p>本ビットが 0、つまりポート電源が OFF の場合は、ポートが機能しないので、接続・切断の検知なども行われません。</p> <p>Over-Current が検出された場合、PPC=1 であるときは、そのポートの PP ビットはホストコントローラによって 1 から 0 にクリアされ、ポート電源が OFF にされます。</p>	PPC	PP	0	1 (Read Only)。ポート電源は常に ON で、本ビットは常に 1。	1	0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示す。
PPC	PP									
0	1 (Read Only)。ポート電源は常に ON で、本ビットは常に 1。									
1	0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示す。									

ビット	ビット名	初期値	R/W	説明															
11、10	LS	00	R	<p>Line Status</p> <p>現在の D+/D-の論理レベルを示します。</p> <p>D+が 11 ビット目、D-が 10 ビット目に示されます。</p> <p>本ビットはポートリセット/ポートイネーブル処理に先立って、Low Speed デバイスの接続を検知するために使用されます。</p> <p>本ビットの値は、PED=0 かつ CCS=1 である場合のみ有効です。つまり、接続を検出してポートをイネーブルにするまでの間だけ有効であり、接続検出して、その接続されたデバイスが Low Speed デバイスか否かを判定するために使用します。</p> <table border="1"> <thead> <tr> <th>LS</th> <th>状態</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>SE0</td> <td>Not Low-Speed Device, perform EHCl reset</td> </tr> <tr> <td>01</td> <td>J-State</td> <td>Not Low-Speed Device, perform EHCl reset</td> </tr> <tr> <td>10</td> <td>K-State</td> <td>Low-Speed Device, release ownership of port</td> </tr> <tr> <td>11</td> <td>SE1</td> <td>Not Low-Speed Device, perform EHCl reset</td> </tr> </tbody> </table>	LS	状態	説明	00	SE0	Not Low-Speed Device, perform EHCl reset	01	J-State	Not Low-Speed Device, perform EHCl reset	10	K-State	Low-Speed Device, release ownership of port	11	SE1	Not Low-Speed Device, perform EHCl reset
LS	状態	説明																	
00	SE0	Not Low-Speed Device, perform EHCl reset																	
01	J-State	Not Low-Speed Device, perform EHCl reset																	
10	K-State	Low-Speed Device, release ownership of port																	
11	SE1	Not Low-Speed Device, perform EHCl reset																	
9	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>															

ビット	ビット名	初期値	R/W	説明
8	PR	0	R/W	<p>Port Reset</p> <p>ポートリセット処理を制御します。</p> <p>0: ポートはリセット中ではない 1: ポートはリセット中である</p> <p>ソフトウェアが本ビットをセットすると、USB2.0仕様書で規定されたバスリセット処理が開始されます。ソフトウェアは、バスリセット処理を完了するために、本ビットに0書き込みしないとできません。ソフトウェアは、USB2.0仕様書で規定されたリセット期間が完了するまで、本ビットを1に保ち続ける必要があります。</p> <p>【注】1. 本ビットを0→1にする場合は、PEDビットを0にしないとできません。</p> <p>2. ソフトウェアが本ビットを0にしても、本ビットが0になるのは多少遅延します。</p> <p>本ビットを読み出しても、リセット処理が完了するまでは、0が読み出されません。ポートが High-Speed モードの場合で、リセットが完了した場合は、ホストコントローラは自動的にポートを有効にします (PED=1)。ホストコントローラは、ソフトウェアが本ビットを0にセットしてから2ms以内に、リセットを完了させてポートを安定させないとできません。たとえば、ポートリセット中に High-Speed デバイスの接続を検知した場合、ソフトウェアが本ビットを0にセットしてから2ms以内に、ポートを有効にしないとできません。</p> <p>3. ソフトウェアがこのビットを使う際には、USBSTSレジスタのHCHビットを0にしないとできません。ホストコントローラは、USBSTSレジスタのHCH=1である間は、本ビットを1にアサートし続けないとできません。</p>

ビット	ビット名	初期値	R/W	説明								
7	S	0	R/W	<p>Suspend</p> <p>ポートのサスペンド処理を制御します。</p> <p>0: ポートはサスペンド状態ではない</p> <p>1: ポートはサスペンド状態である</p> <p>PED ビットと S ビットの設定により、ポートの状態は以下のようになります。</p> <table border="1"> <thead> <tr> <th>PED, S ビット</th> <th>ポートの状態</th> </tr> </thead> <tbody> <tr> <td>00, 01</td> <td>Disable</td> </tr> <tr> <td>10</td> <td>Enable</td> </tr> <tr> <td>11</td> <td>Suspend</td> </tr> </tbody> </table> <p>サスペンド状態では、このポートの Down Stream へのデータの伝播はブロックされます。ただし、ポートリセットは伝わります。もし、転送が行われている最中である場合、現在の転送が完了後、データのブロックが行われます。</p> <p>サスペンド状態では、ポートはレジュームを検出できます。</p> <p>【注】 1. サスペンド状態に遷移後および、現在の転送が処理中でサスペンド遷移待ちであるとき、このビットの状態は変化しない。</p> <p>2. ソフトウェアがこのビットをクリアしても HC に無視される。ホストコントローラは、以下の条件が成立したら無条件でこのビットをクリアする。</p> <ul style="list-style-type: none"> ・ソフトウェアが FPR ビットを 0→1 にセット ・ソフトウェアが PR ビットを 0→1 にセット 	PED, S ビット	ポートの状態	00, 01	Disable	10	Enable	11	Suspend
PED, S ビット	ポートの状態											
00, 01	Disable											
10	Enable											
11	Suspend											

ビット	ビット名	初期値	R/W	説明
6	FPR	0	R/W	<p>Force Port Resume</p> <p>ポートのレジューム処理を制御します。</p> <p>0: ポートはレジューム (K 状態) を検知していないし、ドライブもしていない。</p> <p>1: ポートがレジュームしたことを検知したとき。もしくは、ポートがレジュームをドライブしていることを検知したとき。</p> <p>つまりは、ポートがレジューム状態にあるということ。</p> <p>本ビットは、S ビットの状態に依存します。たとえば、ポートがサスペンド状態ではない (S ビット & PED ビットがともに 1 であればサスペンドですが、そうならない) 場合は、本ビットをセットしても、どのような状態になるかは未定義です。</p> <p>ソフトウェアが本ビットをセットした場合、レジュームをドライブします。つまり、ソフトウェア自身がレジュームをドライブしたいときに、本ビットをセットします。</p> <p>ホストコントローラが本ビットをセットする場合は、ポートがサスペンド状態にいるときに、J→K への遷移を検出した場合です。つまり、ホストコントローラはレジュームを検知したら、自身でこのビットをセットします。J→K の遷移を検知してこのビットをセットするので、その際は、USBSTS レジスタの PCD ビットもセットしないとけません。ただ、ソフトウェアが本ビットをセットした場合は、ホストコントローラは PCD ビットをセットしてはいけません。</p> <p>【注】ソフトウェアがセットする場合</p> <p>EHCI がポートのオーナーである場合は、レジュームの処理は USB2.0 仕様書に従います。このビットが 1 である間中、レジューム信号 (Full-Speed K) をドライブし続けます。ソフトウェアは適切な時間だけレジュームして、十分な時間レジュームした後、本ビットに 0 をセットしないとけません。</p> <p>本ビットを 1→0 にセットすると、ポートは High-Speed モードに戻ります (バスを High-Speed のアイドル状態にフォースします)。本ビットは、High-Speed のアイドル状態にスイッチできるまでは 0 を書き込まれても 1 であり続けます。ホストコントローラは、ソフトウェアが本ビットに 0 を書き込んでから 2ms 以内にこのスイッチを完了しないとけません。</p>
5	OC	0	R/W*	<p>Over-Current Change</p> <p>ポートの Over-Current 状態の変化を示します。</p> <p>0: 状態に変化なし</p> <p>1: ポートの Over-Current 状態が非 Active から Active 状態に変化したことを示す。</p> <p>ソフトウェアは、本ビットに 1 を書き込むことで、本ビットをクリアできます。</p>

ビット	ビット名	初期値	R/W	説明
4	OA	0	R	<p>Over-Current Active</p> <p>ポートの Over-Current 状態を示します。</p> <p>0 : ポートは Over-Current 状態にはない</p> <p>1 : ポートは Over-Current 状態にある</p> <p>本ビットは Over-Current 状態が取り除かれたら、自動的に 0 へとクリアされます。</p>
3	PEDC	0	R/W*	<p>Port Enable/Disable Change</p> <p>ポートの Enable/Disable 状態の変化を示します。</p> <p>0 : 状態に変化なし。</p> <p>1 : ポートの Enable/Disable の状態が変化したことを示す。</p> <p>本ビットが 1 にセットされるのは、EOF2 の時点でポートが無効になるような条件が存在していて、ポートが無効になった場合のみです (USB2.0 仕様書 11 章 PortError の部分を参照)。</p>
2	PED	0	R/W	<p>Port Enabled/Disabled</p> <p>ポートの Enable/Disable を示します。</p> <p>0 : ポートが無効</p> <p>1 : ポートが有効</p> <p>ポートが有効になるのは、ポートリセットを行ったときのみであり、ソフトウェアが本ビットをセットすることでポートを有効にすることはできません。ポートを有効にできるホストコントローラだけです。</p> <p>ホストコントローラは、リセットシーケンスによって接続デバイスが High-Speed デバイスであると確定したときのみ、本ビットをセットできます。</p> <p>ポートは、Fault Condition になった場合 (Disconnect 発生やその他 Fault Event)、もしくはソフトウェアによってのみ無効にされます。</p> <p>【注】1. ポートの状態が本当に変化するまでは、このビットの状態は変化しません。</p> <p>ホストコントローラの別の処理やバスの処理などで、ポートが Enable/Disable になるのが遅れる場合があります。</p> <p>2. 本ビットが 0 でポートが無効のときは、Down Stream にデータは伝播しません。</p> <p>ただし、リセットは伝わります。</p>
1	CSC	0	R/W*	<p>Connect Status Change</p> <p>Connect Status の変化を示します。</p> <p>0 : 変化なし</p> <p>1 : Current Connect Status が変化した</p> <p>ソフトウェアが本ビットをクリアしていなくても、ポートのデバイス接続状態なんらかの変化が起これば、ホストコントローラは本ビットをセットします。ソフトウェアは、本ビットに 1 を書き込むことで、本ビットをクリアできます。</p>

ビット	ビット名	初期値	R/W	説 明
0	CCS	0	R	Current Connect Status 0: デバイスがポートに存在していない 1: デバイスがポートに存在している 本ビットは、ポートの状態を反映するものであり、CSC ビットがセットされるようなイベントが発生しても、それに直接は影響されません。

【注】 * 本ビットは 1 書き込みによるクリアのみ有効で、0 書き込みは無効となります。

23B. USB1.1 ホストモジュール (USB1.1H)

23B.1 概要

本 LSI は、USB ホストインタフェースを内蔵しており、ルートハブと 2 ポートの USB トランシーバを備え、FullSpeed で動作します。また、OpenHCI インタフェースとレジスタも内蔵しています。

ソフトウェア開発に際しては、OpenHCI 仕様も参照してください。

23B.1.1 特長

- OpenHCI インタフェースをサポート
- USB ホストインタフェースをサポート
- ルートハブ機能
- FullSpeed (12Mbps) および LowSpeed (1.5Mbps) モードで動作
- 過電流検出機能および電源イネーブル管理機能を内蔵

23B.2 レジスタの説明

本モジュールのレジスタ一覧を表 23B.1 に示します。

USB ホストのレジスタは、I/O バスのアドレス空間に割り当てられます。なお、本和文は、Open HCI Rev.1.0 を参考にしています。詳細は、原文（英文）を参照してください。レジスタのビット幅は 32 ビットで、ロングワードサイズ（32 ビット）でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 23B.1 (1) Open HCI レジスタ一覧

レジスタアドレス	レジスタ名	R/W	アクセスサイズ
H'FFE70400	HcRevision レジスタ	R	32
H'FFE70404	HcControl レジスタ	R/W	32
H'FFE70408	HcCommandStatus レジスタ	R/W	32
H'FFE7040C	HcInterruptStatus レジスタ	R/W	32
H'FFE70410	HcInterruptEnable レジスタ	R/W	32
H'FFE70414	HcInterruptDisable レジスタ	R/W	32
H'FFE70418	HcHCCA レジスタ	R/W	32
H'FFE7041C	HcPeriodCurrentED レジスタ	R/W	32
H'FFE70420	HcControlHeadED レジスタ	R/W	32
H'FFE70424	HcControlCurrentED レジスタ	R/W	32
H'FFE70428	HcBulkHeadED レジスタ	R/W	32
H'FFE7042C	HcBulkCurrentED レジスタ	R/W	32
H'FFE70430	HcDoneHead レジスタ	R/W	32
H'FFE70434	HcFmInterval レジスタ	R/W	32
H'FFE70438	HcFmRemaining レジスタ	R	32
H'FFE7043C	HcFmNumber レジスタ	R	32
H'FFE70440	HcPeriodicStart レジスタ	R/W	32
H'FFE70444	HcLSThreshold レジスタ	R/W	32
H'FFE70448	HcRhDescriptorA レジスタ	R/W	32
H'FFE7044C	HcRhDescriptorB レジスタ	R/W	32
H'FFE70450	HcRhStatus レジスタ	R/W	32
H'FFE70454	HcRhPortStatus1 レジスタ	R/W	32
H'FFE70458	HcRhPortStatus2 レジスタ	R/W	32

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 23B.1 (2) 各処理状態におけるレジスタの状態

レジスタ名	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
HcRevision レジスタ	H'xxxxxx10	H'xxxxxx10	保持	保持	保持	初期化
HcControl レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcCommandStatus レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcInterruptStatus レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcInterruptEnable レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcInterruptDisable レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcHCCA レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcPeriodCurrentED レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcControlHeadED レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcControlCurrentED レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcBulkHeadED レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcBulkCurrentED レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcDoneHead レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcFmInterval レジスタ	H'00002EDF	H'00002EDF	保持	保持	保持	初期化
HcFmRemaining レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcFmNumber レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcPeriodicStart レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcLSThreshold レジスタ	H'00000628	H'00000628	保持	保持	保持	初期化
HcRhDescriptorA レジスタ	H'FF000902	H'FF000902	保持	保持	保持	初期化
HcRhDescriptorB レジスタ	H'00060000	H'00060000	保持	保持	保持	初期化
HcRhStatus レジスタ	H'00000000	H'00000000	保持	保持	保持	初期化
HcRhPortStatus1 レジスタ	H'00000100	H'00000100	保持	保持	保持	初期化
HcRhPortStatus2 レジスタ	H'00000100	H'00000100	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

【レジスタ説明の記号説明】

- 初期値 : リセット後のレジスタ値
 — : 読み出し値は不定です。書き込む値は常に 0 にしてください。
 R/W : リードおよびライト可。
 R : リードのみ可。書き込む値は常に 0 にしてください。

【注】 レジスタは、48MHz のクロックが入力されているときに設定することができます。

設定コントロールレジスタ以外のレジスタは、Open HCI 仕様に適合しています。

設定コントロールレジスタは、本 LSI 専用のレジスタです。

23B.2.1 HcRevision レジスタ

- アドレス : H'FFE70400

ビット	初期値	R/W	説明
31~8	—	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
7~0	H'10	R	Revision ハードウェアがサポートする Open HCI 仕様のリビジョン番号を示します。(X.Y = XYh) 本 USB ホストコントローラ (HC) は、Open HCI 1.0 仕様をサポートしています。

23B.2.2 HcControl レジスタ

- アドレス : H'FFE70404

ビット	初期値	R/W	説明
31~11	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
10	0	R/W	Remote Wakeup Connected Enable リモートウェイクアップ信号をサポートしている場合、このビットでリモートウェイクアップ機能を有効にします。USB ホストモジュールではリモートウェイクアップ信号をサポートしていないので、このビットは無視されます。
9	0	R/W	Remote Wakeup Connected ホストコントローラ (HC) がリモートウェイクアップ信号をサポートするかどうかを示します。
8	0	R/W	Interrupt Routing 割り込みの通知先を指定します。 0 : 割り込みを通常の割り込み処理部 (INTC2) に通知します。 1 : 割り込みを SMI に通知します。

ビット	初期値	R/W	説明
7、6	00	R/W	<p>Host Controller Functional State</p> <p>ホストコントローラの状態を設定します。以下の4種類の状態があります。</p> <p>00 : UsbReset 01 : UsbResume 10 : UsbOperational 11 : UsbSuspend</p> <p>ホストコントローラは、ダウンストリームのポートから送信された再開信号を検出すると、強制的に UsbSuspend 状態を UsbResume 状態に切り替えます。</p>
5	0	R/W	<p>Bulk List Enable</p> <p>このビットをセットすると、バルクリストの処理を有効にします。</p>
4	0	R/W	<p>Control List Enable</p> <p>このビットをセットすると、コントロールリストの処理を有効にします。</p>
3	0	R/W	<p>Isochronous Enable</p> <p>周期リストが有効なとき、このビットをクリアすると、アイソクロナスリストを無効にします（したがって、インタラプト ED の処理が可能です）。周期リスト処理中に、HC はアイソクロナス ED を見つけると、このビットの状態をチェックします。</p>
2	0	R/W	<p>Periodic List Enable</p> <p>このビットをセットすると、周期リスト（インタラプトリストとアイソクロナスリスト）の処理を有効にします。フレーム内の周期転送を行う前に、HC はこのビットの状態をチェックします。</p>
1、0	00	R/W	<p>Control Bulk Service Ratio</p> <p>バルクエンドポイント1個に対し、いくつのコントロールエンドポイントを処理するかを指定します。処理するコントロールエンドポイント数-1の値を指定してください（例：00：コントロールエンドポイント1個、11：コントロールエンドポイント4個）。</p>

23B.2.3 HcCommandStatus レジスタ

- アドレス : H'FFE70408

ビット	初期値	R/W	説明
31~18	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17、16	00	R	Schedule Overrun Count HcInterruptStatus レジスタの Scheduling Overrun ビットがセットされるたびに、このビットの値がインクリメントされます。カウント値 11 のあとにインクリメントが起こると、値は 00 に戻ります。
15~4	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
3	0	R/W	Ownership Change Request ソフトウェアでこのビットをセットすると、HcInterruptStatus レジスタの Ownership Change ビットがセットされます。このビットは、ソフトウェアでクリアできます。
2	0	R/W	Bulk List Filled このビットがセットされているとき、バルクリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、バルクリストの先頭から処理を開始するたびに、このビットをクリアします。
1	0	R/W	Control List Filled このビットがセットされているとき、コントロールリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、コントロールリストの先頭から処理を開始するたびに、このビットをクリアします。
0	0	R/W	Host Controller Reset このビットをセットすると、ソフトウェアリセットを開始します。リセット動作が完了すると、ホストコントローラがこのビットをクリアします。

23B.2.4 HcInterruptStatus レジスタ

このレジスタのすべてのビットは、セットはハードウェアが行い、クリアはソフトウェアが行います。
ビットをクリアするときは、対応するビットに 1 を書き込んでください。

- アドレス : H'FFE7040C

ビット	初期値	R/W	説明
31	0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
30	0	R/W	Ownership Change HcCommand Status レジスタの Ownership Change Request ビットがセットされると、このビットがセットされます。
29~7	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	0	R/W	Root Hub Status Change HcRhStatus レジスタまたは HcRhPortStatus レジスタの値が変化すると、このビットがセットされます。
5	0	R/W	Frame Number Overflow Frame Number のビット 15 の値が 0 から 1 へ、または 1 から 0 へ変化すると、このビットがセットされます。
4	0	R/W	Unrecoverable Error HC が USB に関わらないシステムエラーを検出すると、このビットがセットされます。
3	0	R/W	Resume Detected HC がダウンストリームポートからの開始信号を検出すると、このビットがセットされます。
2	0	R/W	Start of Frame フレームマネージャが Start of Frame (フレーム開始) のイベントを通知すると、このビットがセットされます。
1	0	R/W	Writeback Done Head HC が HcDoneHead レジスタの値を HccaDoneHead に書き込むと、このビットがセットされます。
0	0	R/W	Scheduling Overrun リストプロセッサが、スケジュールオーバーランが発生したと判断すると、このビットがセットされます。

23B.2.5 HcInterruptEnable レジスタ

このレジスタのビットに1を書き込むと、対応するビットがセットされます。ただし、0を書き込んでもビットの値は変化しません。

- アドレス : H'FFE70410

ビット	初期値	R/W	説明
31	0	R/W	Master Interrupt Enable 割り込み全体を有効にするビットです。1を書き込むと、以下のビットで有効にした割り込みの発生を許可します。
30	0	R/W	Ownership Change Enable 0 : 無視されます。 1 : 所有権の変更 (Ownership Change) による割り込みを有効にします。
29~7	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
6	0	R/W	Root Hub Status Change Enable 0 : 無視されます。 1 : ルートハブ状態の変更 (Root Hub Status Change) による割り込みを有効にします。
5	0	R/W	Frame Number Overflow Enable 0 : 無視されます。 1 : フレーム番号のオーバーフロー (Frame Number Overflow) による割り込みを有効にします。
4	0	R/W	Unrecoverable Error Enable この機能はサポートしていません。値を書き込んでも無視されます。
3	0	R/W	Resume Detected Enable 0 : 無視されます。 1 : 開始信号の検出 (Resume Detected) による割り込みを有効にします。
2	0	R/W	Start of Frame Enable 0 : 無視されます。 1 : フレームの開始 (Start of Frame) による割り込みを有効にします。
1	0	R/W	Writeback Done Head Enable 0 : 無視されます。 1 : Writeback Done Head による割り込みを有効にします。
0	0	R/W	Scheduling Overrun Enable 0 : 無視されます。 1 : スケジュールオーバーラン (Scheduling Overrun) による割り込みを有効にします。

23B.2.6 HcInterruptDisable レジスタ

このレジスタのビットに1を書き込むと、HcInterruptEnable レジスタの対応するビットがクリアされます。ただし、0を書き込んでもビットの値は変化しません。

- アドレス : H'FFE70414

ビット	初期値	R/W	説明
31	0	R/W	Master Interrupt Disable 割り込み全体を無効にするビットです。1を書き込むと、すべての割り込みの発生を禁止します。
30	0	R/W	Ownership Change Disable 0 : 無視されます。 1 : ホストコントローラ所有権の変更 (Ownership Change) による割り込みを禁止します。
29~7	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
6	0	R/W	Root Hub Status Change Disable 0 : 無視されます。 1 : ルートハブ状態の変更 (Root Hub Status Change) による割り込みを禁止します。
5	0	R/W	Frame Number Overflow Disable 0 : 無視されます。 1 : フレーム番号のオーバーフロー (Frame Number Overflow) による割り込みを禁止します。
4	0	R/W	Unrecoverable Error Disable この機能はサポートしていません。値を書き込んでも無視されます。
3	0	R/W	Resume Detected Disable 0 : 無視されます。 1 : 開始信号の検出 (Resume Detected) による割り込みを禁止します。
2	0	R/W	Start of Frame Disable 0 : 無視されます。 1 : フレームの開始 (Start of Frame) による割り込みを禁止します。
1	0	R/W	Writeback Done Head Disable 0 : 無視されます。 1 : Writeback Done Head による割り込みを禁止します。
0	0	R/W	Scheduling Overrun Disable 0 : 無視されます。 1 : スケジュールオーバーラン (Scheduling Overrun) による割り込みを禁止します。

23B.2.7 HcHCCA レジスタ

- アドレス : H'FFE70418

ビット	初期値	R/W	説明
31~8	すべて 0	R/W	HCCA HCCA 基底アドレスへのポインタ (Unified Memory 空間内)
7~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.8 HcPeriodCurrentED レジスタ

- アドレス : H'FFE7041C

ビット	初期値	R/W	説明
31~4	すべて 0	R	Period Current ED 現在の周期リスト ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.9 HcControlHeadED レジスタ

- アドレス : H'FFE70420

ビット	初期値	R/W	説明
31~4	すべて 0	R/W	Control Head ED コントロールリストの先頭 ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.10 HcControlCurrentED レジスタ

- アドレス : H'FFE70424

ビット	初期値	R/W	説明
31~4	すべて 0	R/W	Control Current ED 現在のコントロールリスト ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.11 HcBulkHeadED レジスタ

- アドレス : H'FFE70428

ビット	初期値	R/W	説明
31~4	すべて 0	R/W	Bulk Head ED バルクリストの先頭 ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.12 HcBulkCurrentED レジスタ

- アドレス : H'FFE7042C

ビット	初期値	R/W	説明
31~4	すべて 0	R/W	Bulk Current ED 現在のバルクリスト ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.13 HcDoneHead レジスタ

- アドレス : H'FFE70430

ビット	初期値	R/W	説明
31~4	すべて 0	R	Done Head 現在の完了リストの先頭 ED へのポインタ (Unified Memory 空間内)
3~0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

23B.2.14 HcFmInterval レジスタ

- アドレス : H'FFE70434

ビット	初期値	R/W	説明
31	0	R/W	Frame Interval Toggle 新しい値を Frame Interval ビットにロードするたびに、ホストコントローラドライバ (HCD) がこのビットの値を反転します。
30~16	すべて 0	R/W	FS Largest Data Packet 各フレームの最初で最大データパケットカウンタ (Largest Data Packet Counter) にロードする値を指定します。
15, 14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13~0	H'2EDF	R/W	Frame Interval フレーム長を (ビット時間-1) の形で指定します。1 フレームあたり 12,000 ビット時間の場合、11,999 を指定します。

23B.2.15 HcFrameRemaining レジスタ

- アドレス : H'FFE70438

ビット	初期値	R/W	説明
31	0	R	Frame Remaining Toggle Frame Remaining ビットに値がロードされると、このビットに Frame Interval Toggle ビットの値がロードされます。
30~14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13~0	すべて 0	R	Frame Remaining このビットは 14 ビットのダウンカウンタで、フレームのタイミングを決めるために用います。ホストコントローラが UsbOperational 状態にあるとき、このカウンタは、12 MHz のクロックごとにデクリメントします。カウンタ値が 0 になったときが、フレームの終わりです。このとき、カウンタには Frame Interval ビットの値がリロードされます。また、ホストコントローラの状態が UsbOperational に遷移するタイミングでも、このカウンタはリロードされます。

23B.2.16 HcFmNumber レジスタ

- アドレス : H'FFE7043C

ビット	初期値	R/W	説明
31~16	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
15~0	すべて 0	R	Frame Number このビットは、16 ビットのアップカウンタです。Frame Remaining ビットへのロードと同時に、値をインクリメントします。カウンタ値は、H'FFFF を超えると H'0000 に戻ります。

23B.2.17 HcPeriodicStart レジスタ

- アドレス : H'FFE70440

ビット	初期値	R/W	説明
31~14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13~0	すべて 0	R/W	Periodic Start リストプロセッサが、フレーム中のどこから周期リスト処理を開始するのかを判断するために必要な値を設定します。

23B.2.18 HcLSThreshold レジスタ

- アドレス : H'FFE70444

ビット	初期値	R/W	説明
31~12	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
11~0	H'628	R/W	LS Threshold フレームマネージャが、現在のフレームで低速トランザクションを行えるかどうかを判断するために必要な値を設定します。

23B.2.19 HcRhDescriptorA レジスタ

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

- アドレス : H'FFE70448

ビット	初期値	R/W	説明
31~24	H'FF	R/W	Power-on to Power Good Time USB ホストコントローラの電源切り替えは、2ms で有効になります。このビットの値は、2ms 単位で指定します。 ビット 25 と 24 のみ、リードおよびライト可能です。他のビットはリードのみ可能で、読み出し値は 0 です。これらのビットに H'1 以外の値を書き込むことは想定されていません。限られた範囲で、インプリメンテーション特有の機能用のみ、書き込むことが可能です。これらのビットには、常に 0 以外の値を書き込んでください。
23~13	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
12	0	R/W	No Over Current Protection USB ホストコントローラが全体の過電流通知を行うかどうかを指定します。 0 : 過電流状態を通知します。 1 : 過電流状態を通知しません。 このビットは、外部システムポートの過電流検出のインプリメンテーションに合わせて、値を設定してください。
11	1	R/W	Over Current Protection Mode USB ホスト全体の過電流通知を行うかどうかを指定します。 0 : 全体の過電流を通知します。 1 : 個別の過電流を通知します。 このビットの設定は、No Over Current Protection ビットがクリアされているときにのみ有効です。
10	0	R	Device Type USB ホストコントローラが複合デバイスでないことを示します。
9	0	R/W	No Power Switching USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。 0 : ポートの電源切り替えは可能です。 1 : ポートは常に電源オン状態です。 このビットは、外部システムポートの電源切り替えのインプリメンテーションに合わせて、値を設定してください。

ビット	初期値	R/W	説明
8	1	R/W	Power Switching Mode USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。 0: 全体の電源を切り替えます。 1: 個別に電源を切り替えます。 このビットの設定は、No Power Switching ビットがクリアされているときのみ有効です。
7~0	H'02	R	Number Downstream Ports USB ホストコントローラが1つのダウンストリームポートをサポートしていることを示します。

23B.2.20 HcRhDescriptorB レジスタ

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

- アドレス : H'FFE7044C

ビット	初期値	R/W	説明
31~16	H'0006	R/W	<p>Port Power Control Mask</p> <p>USB ホストコントローラが全体の電源切り替えをサポートするかどうかを指定します。このビットは、No Power Switching ビットがクリアされ、Power Switching Mode ビットがセットされているとき（個別のポート切り替え時）のみ、有効です。このビットをセットすると、ポートは個別ポート電源切り替えコマンド（Set/ClearPortPower）でのみ切り替えられます。このビットをクリアすると、ポートは全体（グローバル）ポート電源切り替えコマンド（Set/ClearGlobalPower）でのみ切り替えられます。</p> <p>0 : デバイスは取り外し不可です。 1 : グローバル電源切り替えをマスクします</p> <p>ビットとポートの対応</p> <p>ビット 16 : リザーブ ビット 17 : ポート 1 ビット 18 : ポート 2 ... ビット 31 : ポート 15</p> <p>システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>
15~0	H'0000	R/W	<p>Device Removable</p> <p>USB ホストコントローラのポートは、デフォルトでは取り外し可能です。</p> <p>0 : デバイスは取り外し可能です。 1 : デバイスは取り外し不可です。</p> <p>ビットとポートの対応</p> <p>ビット 0 : リザーブ ビット 1 : ポート 1 ビット 2 : ポート 2 ... ビット 15 : ポート 15</p> <p>システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>

23B.2.21 HcRhStatus レジスタ

このレジスタは UsbReset 状態でリセットされます。

- アドレス : H'FFE70450

ビット	初期値	R/W	説明
31	—	W	(ライト時) Clear Remote Wakeup Enable 1 を書き込むと、Device Remote Wakeup Enable ビットをクリアします。0 を書き込んでも変化しません。
30~18	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17	0	R/W	Over Current Indicator Change Over Current Indicator ビットが変化すると、このビットがセットされます。1 を書き込むとビットをクリアします。0 を書き込んでも変化しません。
16	0	R/W	(リード時) Local Power Status Change 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) Set Global Power 1 を書き込むと、ポートに SetGlobalPower コマンドを発行します。0 を書き込んでも変化しません。
15	0	R/W	(リード時) Device Remote Wakeup Enable ポートの Connect Status Change をリモートウェイクアップイベントとして有効にします。 0 : 無効 1 : 有効 (ライト時) Set Remote Wakeup Enable 1 を書き込むと Device Remote Wakeup Enable ビットをセットします。0 を書き込んでも変化しません。
14~2	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
1	0	R	Over Current Indicator OVRCUR 端子の状態を示します。No Over Current Protection と Over Current Protection Mode ビットがクリアされているときのみ有効です。 0 : 過電流状態は検出されていません。 1 : 過電流状態です。
0	0	R/W	(リード時) Local Power Status 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) ClearGlobalPower 1 を書き込むと、ポートに ClearGlobalPower コマンドを発行します。0 を書き込んでも変化しません。

23B.2.22 HcRhPortStatus1、2 レジスタ

このレジスタは UsbReset 状態でリセットされます。

- HcRhPortStatus1 アドレス : H'FFE70454
- HcRhPortStatus2 アドレス : H'FFE70458

ビット	初期値	R/W	説明
31~21	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
20	0	R/W	Port Reset Status Change ポートリセットが完了したことを示します。 0 : ポートリセットは未完了です。 1 : ポートリセットは完了しています。
19	0	R/W	Port Over Current Indicator Change Over Current Indicator ビットが変化すると、このビットがセットされます。1 を書き込むとビットをクリアします。0 を書き込んでも変化しません。
18	0	R/W	Port Suspend Status Change ポートの選択的再開シーケンスが完了したことを示します。 0 : ポートは再開されていません。 1 : ポートの再開が完了しています。
17	0	R/W	Port Enable Status Change ハードウェアのイベントにより、ポートが無効になっている (Port Enable Status ビットがクリアされている) ことを示します。 0 : ポートは無効になっていません。 1 : Port Enable Status ビットがクリアされています。
16	0	R/W	Connect Status Change 接続あるいは切断イベントが検出されたことを示します。1 を書き込むとビットをクリアします。0 を書き込んでも変化しません。 0 : 接続/切断イベントは発生していません。 1 : 接続/切断イベントをハードウェアで検出しました。 【注】 Device Removeable ビットがセットされると、このビットは 1 にリセットされます。
15~10	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

ビット	初期値	R/W	説明
9	X	R/W	<p>(リード時) Low Speed Device Attached</p> <p>接続されているデバイスのスピード（およびバスアイドル）を示します。Current Connect Status ビットがセットされているときのみ有効です。</p> <p>0: 高速デバイス 1: 低速デバイス</p> <p>(ライト時) Clear Port Power</p> <p>1 を書き込むと、Port Power Status ビットをクリアします。0 を書き込んでも変化しません。</p>
8	0	R/W	<p>(リード時) Port Power Status</p> <p>電源切り替えモードにかかわらず、ポートの電源状態を示します。</p> <p>0: ポートの電源はオフ。 1: ポートの電源はオン。</p> <p>【注】 No Power Switching ビットがセットされていると、このビットの読み出し値は常に 1 です。</p> <p>(ライト時) Set Port Power</p> <p>1 を書き込むと、Port Power Status ビットをセットします。0 を書き込んでも変化しません。</p>
7~5	すべて 0	—	<p>リザーブビット</p> <p>読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>
4	0	R/W	<p>(リード時) Port Reset Status</p> <p>0: ポートリセット信号はアクティブではありません。 1: ポートリセット信号はアクティブです。</p> <p>(ライト時) Set Port Reset</p> <p>1 を書き込むと、Port Reset Status ビットをセットします。0 を書き込んでも変化しません。</p>
3	0	R/W	<p>(リード時) Port Over Current Indicator</p> <p>USB ホストコントローラは全体の過電流通知機能をサポートしています。このビットは、対応するポートの OVRCUR 端子の状態を示します。No Over Current Protection ビットがクリアされ Over Current Protection Mode ビットがセットされているときのみ有効です。</p> <p>0: 過電流状態は検出されていません。 1: 過電流状態が検出されています。</p> <p>(ライト時) Clear Suspend Status</p> <p>1 を書き込むと、対応するポートの選択的再開シーケンスを開始します。0 を書き込んでも変化しません。</p>

ビット	初期値	R/W	説明
2	0	R/W	<p>(リード時) Port Suspend Status</p> <p>0: ポートは中断されていません。</p> <p>1: ポートは選択的に中断されています。</p> <p>(ライト時) Set Port Suspend</p> <p>1 を書き込むと、Port Suspend Status ビットをセットします。0 を書き込んでも変化しません。</p>
1	0	R/W	<p>(リード時) Port Enable Status</p> <p>0: ポートは無効です。</p> <p>1: ポートは有効です。</p> <p>(ライト時) Set Port Enable</p> <p>1 を書き込むと、Port Enable Status ビットをセットします。0 を書き込んでも変化しません。</p>
0	0	R/W	<p>(リード時) Current Connect Status</p> <p>0: デバイスが接続されていません。</p> <p>1: デバイスが接続されています。</p> <p>【注】 Device Removeable ビットがセットされていると (取り外し不可)、このビットの読み出し値は常に1です。</p> <p>(ライト時) Clear Port Enable</p> <p>1 を書き込むと、Port Enable Status ビットをクリアします。0 を書き込んでも変化しません。</p>

【注】 X: トランシーバの状態に影響します。

23C. USB2.0 ファンクションモジュール (USBF)

本モジュールは、ペリフェラル機能を備えた USB コントローラです。

USB 規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送に対応しています。

本コントローラは、USB 規格で定義されている全転送タイプに対応しています。また、データ転送用に最大 4K バイトのバッファメモリを内蔵でき、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行うペリフェラル機器やユーザシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。CPU バスインタフェースとは独立したローカルバスインタフェース (DMA インタフェース専用) を備え、高速大容量データ転送を要求されるシステムに適しています。

23C.1 特長

(1) USB Hi-Speed 対応のペリフェラルコントローラを内蔵

- UTMI+Spec1.0のインタフェース仕様に対応 (UTMI+level3。ただし、On-the-Go機能は未対応)

(2) USB 全転送タイプに対応

- アイソクロナス転送対応を含むUSB全転送タイプに対応
 - － コントロール転送
 - － バルク転送
 - － インタラプト転送 (High Bandwidthは非対応)
 - － アイソクロナス転送 (High Bandwidthは非対応)

(3) バスインタフェース

- バス幅32bitのHPBに準拠
- DMAインタフェースを2チャンネル内蔵可能
(CPUとは独立したDMACインタフェースを選択可能)
- 内蔵FIFOへのアクセスは60Mバイト/秒の高速データ転送が可能 (UTMI+ 8bitモード選択時)

(4) パイプコンフィグレーション

- USB通信用バッファメモリを最大4Kバイトまで対応可能
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1~9は、任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件
 - パイプ0: コントロール転送、64バイト固定シングルバッファ
 - パイプ1~2: バルク転送/アイソクロナス転送、連続転送モード
バッファサイズはプログラマブル (最大1Kバイトでダブルバッファ指定可能)
 - パイプ3~5: バルク転送、連続転送モード
バッファサイズはプログラマブル (最大1Kバイトでダブルバッファ指定可能)
 - パイプ6~9: インタラプト転送、64バイト固定シングルバッファ

(5) ペリフェラル機能の特長

- Hi-Speed転送 (480Mbps) と Full-Speed転送 (12Mbps) に対応
- リセットハンドシェイク自動応答によるHi-Speed動作、もしくはFull-Speed動作自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(6) その他の機能

- バイトエンディアンスワップ機能により、ビッグエンディアン、リトルエンディアンのどちらのデータ形式にも対応可能
- トランザクションカウントによるトランスファー終了機能
- 外部トリガ (TEND信号またはWREND信号) によるDMA転送の終了機能
- SOFパルス出力機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファー終了による応答PIDのNAK設定機能 (SHTNAK)

(7) 用途

ナビゲーションシステム、DVDレコーダ、セットトップボックス、オーディオ機器、プリンタ、外部ストレージ機器、その他USB搭載の機器全般

23C.1.1 ブロック図

図 23C.1 に本コントローラのブロック図を示します。

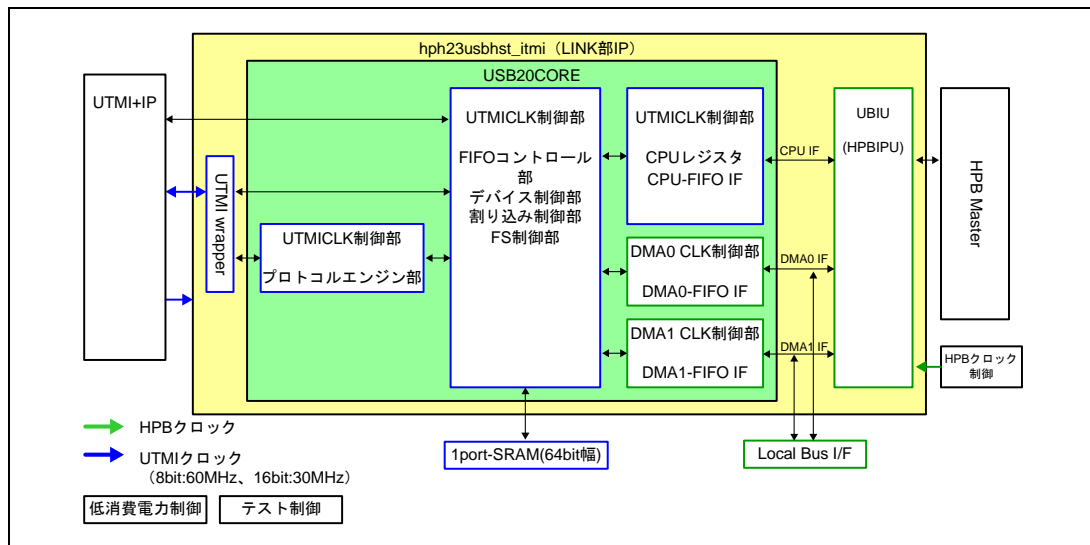


図 23C.1 ブロック図

USB バス上に接続されているホストコントローラとデータ送受信を行う場合は、パイプごとに割り当てを行ったバッファメモリを使用します。本コントローラが、バッファメモリに格納されているデータを USB データパケットに変換し、USB バス上にシリアル出力を行い、また、USB バス上のデータパケットを入力し、バッファメモリへデータ格納することで、相互通信が可能となります。

23C.1.2 機能概要

(1) コントローラ機能

ハードウェアが、USB 転送 Speed を自動認識します。

(2) バスインタフェース

本コントローラは、バス幅 32bit の HPB に準拠しています。

(a) FIFO バッファメモリアクセス方法

本コントローラは、USB データ転送用の FIFO バッファメモリへのアクセス方法として下記の 2 種類に対応しています。CPU (DMAC) から FIFO ポートアクセス (読み出し/書き込み) を行うことにより、FIFO バッファメモリからの読み出し (または FIFO バッファメモリへの書き込み) を行うことができます。

- CPUアクセス

FIFOポートアドレスを指定し、データをFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

- DMAアクセス

CPU内蔵DMAC、もしくは専用DMACから、FIFOポートアドレスを指定し、データを本コントローラのFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

USBデータ通信は、リトルエンディアンで行われます。FIFOポートアクセスにはバイトエンディアンスワップ機能があり、16bit/32bitアクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

(b) ローカルバスからの FIFO バッファメモリアクセス方法

CPU バスインタフェースとは独立したローカルバスインタフェース (DMA インタフェース専用) を選択することができ、高速大容量データ転送の FIFO バッファアクセスが可能になります。

(3) USB イベント

本コントローラは、USB 動作上のイベントを割り込みによりユーザシステムに通知します。また、DMA インタフェースを選択したパイプのバッファメモリへのアクセスが可能であることを、UCL_Dx_DREQ 信号をアサートすることにより通知します。

ソフトウェアの設定により、種類別、要因別に割り込み通知の可否を選択することができます。

(4) USB データ転送

本コントローラは、USB 通信のコントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対するパイプのリソースは、下記のとおりです。

- コントロール転送専用パイプ：1本
- インタラプト転送専用パイプ：4本
- バルク転送専用パイプ：3本
- バルク転送もしくはアイソクロナス転送選択パイプ：2本

各パイプは、ユーザシステムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等の USB 転送に必要な設定を行ってください。

また、本コントローラは、最大 4K バイトのバッファメモリを内蔵できます。バルク転送専用パイプ、およびバルク転送もしくはアイソクロナス転送選択パイプに対しては、ユーザシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

ユーザシステムの制御用 CPU、および DMA コントローラからのバッファメモリへのアクセスは、3 本の FIFO ポートレジスタを通して行います。

(5) DMAC (ダイレクトメモリアクセスコントローラ) からのアクセス用機能

本コントローラは、2 チャンネルの DMA インタフェースを備えており、下記のような機能を有しています。

- 転送終了信号によるトランスファー終了通知機能 (ローカルバス選択時のみ)
- Zero-Length パケット受信時の FIFO バッファ自動クリア機能
- トランザクションカウンタ機能によるトランスファー終了機能

(6) SOF パルス出力機能

SOF パケットの送受信タイミングを通知する SOF パルス出力機能を備えています。

SOF パケットの受信時に SOF パルス出力をアサートします。SOF パケット破損時も SOF 補間タイマにより、一定間隔でパルスを出力します。

23C.2 レジスタの説明

表 23C.1 に本コントローラのレジスタ一覧表を示します。

表 23C.1 (1) レジスタ一覧表

名 称	略称	R/W	アドレス	アクセス サイズ
システムコンフィグレーションコントロールレジスタ	SYSCFG0	R/W	H'FFE6 0000	16
CPU バスウェイト設定レジスタ	BUSWAIT	R/W	H'FFE6 0002	16
システムコンフィグレーションステータスレジスタ	SYSSTS0	R	H'FFE6 0004	16
デバイスステートコントロールレジスタ	DVSTCTR0	R/W	H'FFE6 0008	16
テストモードレジスタ	TESTMODE	R/W	H'FFE6 000C	16
CFIFO ポートレジスタ	CFIFO	R/W	H'FFE6 0014	8、16、32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'FFE6 0018	8、16、32
D1FIFO ポートレジスタ	D1FIFO	R/W	H'FFE6 001C	8、16、32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'FFE6 0020	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'FFE6 0022	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'FFE6 0028	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'FFE6 002A	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'FFE6 002C	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'FFE6 002E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'FFE6 0030	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'FFE6 0036	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'FFE6 0038	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'FFE6 003A	16
SOF ピンコンフィグレーションレジスタ	SOFCFG	R/W	H'FFE6 003C	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'FFE6 0040	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'FFE6 0046	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'FFE6 0048	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'FFE6 004A	16
フレームナンバレジスタ	FRMNUM	R/W	H'FFE6 004C	16
μフレームナンバレジスタ	UFRMNUM	R	H'FFE6 004E	16
USB アドレスレジスタ	USBADDR	R	H'FFE6 0050	16
USB リクエストタイプレジスタ	USBREQ	R	H'FFE6 0054	16
USB リクエストバリュージスタ	USBVAL	R	H'FFE6 0056	16
USB リクエストインデックスレジスタ	USBINDX	R	H'FFE6 0058	16
USB リクエストレンガレジスタ	USBLENG	R	H'FFE6 005A	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'FFE6 005E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'FFE6 0060	16

名 称	略称	R/W	アドレス	アクセス サイズ
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'FFE6 0064	16
パイプコンフィグレーションレジスタ	PIPECFG	R/W	H'FFE6 0068	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'FFE6 006A	16
パイプマックスパケットサイズレジスタ	PIPEMAXP	R/W	H'FFE6 006C	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'FFE6 006E	16
PIPE1 コントロールレジスタ	PIPE1CTR	R/W	H'FFE6 0070	16
PIPE2 コントロールレジスタ	PIPE2CTR	R/W	H'FFE6 0072	16
PIPE3 コントロールレジスタ	PIPE3CTR	R/W	H'FFE6 0074	16
PIPE4 コントロールレジスタ	PIPE4CTR	R/W	H'FFE6 0076	16
PIPE5 コントロールレジスタ	PIPE5CTR	R/W	H'FFE6 0078	16
PIPE6 コントロールレジスタ	PIPE6CTR	R/W	H'FFE6 007A	16
PIPE7 コントロールレジスタ	PIPE7CTR	R/W	H'FFE6 007C	16
PIPE8 コントロールレジスタ	PIPE8CTR	R/W	H'FFE6 007E	16
PIPE9 コントロールレジスタ	PIPE9CTR	R/W	H'FFE6 0080	16
PIPE1 トランザクションカウンタ許可レジスタ	PIPE1TRE	R/W	H'FFE6 0090	16
PIPE1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'FFE6 0092	16
PIPE2 トランザクションカウンタ許可レジスタ	PIPE2TRE	R/W	H'FFE6 0094	16
PIPE2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'FFE6 0096	16
PIPE3 トランザクションカウンタ許可レジスタ	PIPE3TRE	R/W	H'FFE6 0098	16
PIPE3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'FFE6 009A	16
PIPE4 トランザクションカウンタ許可レジスタ	PIPE4TRE	R/W	H'FFE6 009C	16
PIPE4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'FFE6 009E	16
PIPE5 トランザクションカウンタ許可レジスタ	PIPE5TRE	R/W	H'FFE6 00A0	16
PIPE5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'FFE6 00A2	16
UTMI サスペンドモードレジスタ	SUSPMODE	R/W	H'FFE6 0102	16

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 23C.1 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
SYSCFG0	不定	不定	保持	保持	保持	初期化
BUSWAIT	不定	不定	保持	保持	保持	初期化
SYSSTS0	不定	不定	保持	保持	保持	初期化
DVSTCTRO	不定	不定	保持	保持	保持	初期化
TESTMODE	不定	不定	保持	保持	保持	初期化
CFIFO	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
D0FIFO	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
D1FIFO	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CFIFOSEL	不定	不定	保持	保持	保持	初期化
CFIFOCTR	不定	不定	保持	保持	保持	初期化
D0FIFOSEL	不定	不定	保持	保持	保持	初期化
D0FIFOCTR	不定	不定	保持	保持	保持	初期化
D1FIFOSEL	不定	不定	保持	保持	保持	初期化
D1FIFOCTR	不定	不定	保持	保持	保持	初期化
INTENB0	不定	不定	保持	保持	保持	初期化
BRDYENB	不定	不定	保持	保持	保持	初期化
NRDYENB	不定	不定	保持	保持	保持	初期化
BEMPENB	不定	不定	保持	保持	保持	初期化
SOFCFG	不定	不定	保持	保持	保持	初期化
INTSTS0	不定	不定	保持	保持	保持	初期化
BRDYSTS	不定	不定	保持	保持	保持	初期化
NRDYSTS	不定	不定	保持	保持	保持	初期化
BEMPSTS	不定	不定	保持	保持	保持	初期化
FRMNUM	不定	不定	保持	保持	保持	初期化
UFRMNUM	不定	不定	保持	保持	保持	初期化
USBADDR	不定	不定	保持	保持	保持	初期化
USBREQ	H'0000	H'0000	保持	保持	保持	初期化
USBVAL	H'0000	H'0000	保持	保持	保持	初期化
USBINDX	H'0000	H'0000	保持	保持	保持	初期化
USBLENG	H'0000	H'0000	保持	保持	保持	初期化
DCPMAXP	不定	不定	保持	保持	保持	初期化
DCPCTR	不定	不定	保持	保持	保持	初期化
PIPESEL	不定	不定	保持	保持	保持	初期化
PIPECFG	不定	不定	保持	保持	保持	初期化
PIPEBUF	不定	不定	保持	保持	保持	初期化
PIPEMAXP	不定	不定	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
PIPEPERI	不定	不定	保持	保持	保持	初期化
PIPE1CTR	不定	不定	保持	保持	保持	初期化
PIPE2CTR	不定	不定	保持	保持	保持	初期化
PIPE3CTR	不定	不定	保持	保持	保持	初期化
PIPE4CTR	不定	不定	保持	保持	保持	初期化
PIPE5CTR	不定	不定	保持	保持	保持	初期化
PIPE6CTR	不定	不定	保持	保持	保持	初期化
PIPE7CTR	不定	不定	保持	保持	保持	初期化
PIPE8CTR	不定	不定	保持	保持	保持	初期化
PIPE9CTR	不定	不定	保持	保持	保持	初期化
PIPE1TRE	不定	不定	保持	保持	保持	初期化
PIPE1TRN	H'0000	H'0000	保持	保持	保持	初期化
PIPE2TRE	不定	不定	保持	保持	保持	初期化
PIPE2TRN	H'0000	H'0000	保持	保持	保持	初期化
PIPE3TRE	不定	不定	保持	保持	保持	初期化
PIPE3TRN	H'0000	H'0000	保持	保持	保持	初期化
PIPE4TRE	不定	不定	保持	保持	保持	初期化
PIPE4TRN	H'0000	H'0000	保持	保持	保持	初期化
PIPE5TRE	不定	不定	保持	保持	保持	初期化
PIPE5TRN	H'0000	H'0000	保持	保持	保持	初期化
SUSPMODE	不定	不定	保持	保持	保持	初期化

【注】初期化：パワーオンリセット項記載の値となります。

23C.2.1 システムコンフィグレーションコントロールレジスタ (SYSCFG0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSE	—	—	DPRPU	—	—	—	USBE
初期値:	—	—	—	—	—	—	—	—	0	—	—	0	—	—	—	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
7	HSE	0	R/W	Hi-Speed 動作許可 本ビットを1に設定することにより、Hi-Speed 動作を許可します。HSE=1を設定した場合、本コントローラは Reset Handshakeの結果に従いHi-Speed または Full-Speed 動作させます。 本ビットの書き換えは、DPRPU=0のときに行ってください。 0: Hi-Speed 動作禁止 (Full-Speed) 1: Hi-Speed 動作許可 (コントローラが通信 Speed を検出)
6、5	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
4	DPRPU	0	R/W	D+ライン抵抗制御 D+ライン Pull Up の禁止/許可を指定します。 0: Pull Up 禁止 1: Pull Up 許可 本ビットを1に設定すると、本コントローラは D+ラインを 3.3V に Pull Up し、USB ホストに対してアタッチを通知することができます。 また、本ビットを1から0に変更することにより、本コントローラは D+ラインの Pull Up を解消しますので、USB ホストに対してデタッチしたと見せることができます。
3~1	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
0	USBE	0	R/W	USB ブロック動作許可 USB ブロックの動作禁止/許可を指定します。 0: USB ブロック動作禁止 1: USB ブロック動作許可 USBE=1 から USBE=0 に変更した場合には、本コントローラは表 23C.2 に示すビットを初期化します。 本ビットの変更は、SuspendM=1、かつ UTMI クロックが発振された後に行ってください。

【注】 本レジスタへの書き込みは、UTMI クロックが停止時でも可能です。しかし、UTMI クロックが停止時に設定された値は、UTMI クロックが発振されてから、設定値が反映されます。

表 23C.2 USBE=0 書き込みにより初期化されるレジスタ一覧

レジスタ名	ビット名
SYSSTS0	LNST
DVSTCTRO	RHST
INTSTS0	DVSQ
USBADDR	USBADDR
USBREQ	bRequest、bmRequestType
USBVAL	wValue
USBINDX	wIndex
USBLENG	wLength

23C.2.2 CPU バスウェイト設定レジスタ (BUSWAIT)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT			
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
3~0	BWAIT	1111	R/W	CPU バスウェイト 本モジュールに対するアクセスウェイト数を設定します。 0000 : 設定禁止 0001 : 1 ウェイト (アクセスサイクル 3) 0010~1110 : 設定禁止 1111 : 15 ウェイト (アクセスサイクル 17) (初期値) 【注】 本モジュールの初期化ルーチンで本ビットを必ず、B'0001 に設定してください。

23C.2.3 システムコンフィグレーションステータスレジスタ (SYSSTS0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	0	—	0	0	0	1	0	0	0	0	0	0	0	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
14	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
13~11	—	0	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
10	—	1	R	リザーブビット 書き込むときは、必ず1を書き込んでください。
9~2	—	0	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
1、0	LNST	00*	R	USB データラインステータスマニタ USB データバスのラインステータス (D+ラインおよびD-ライン) が表示されます。LNST ビットの参照は、USBE=1 設定後、アタッチ処理 (DPRPU=1 設定) 以後に行ってください。

【注】 * USB バスリセット時の初期値は不定となります。

表 23C.3 USB データバスラインステータス表

LNST[1]	LNST[0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J State	Unsquench	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

【記号説明】

Chirp	: Hi-Speed 動作許可の状態 (SYSCFG.HSE=1) で、リセットハンドシェイクプロトコル実行中
Squelch	: SE0 または Idle 状態
Unsquench	: Hi-Speed J State または Hi-Speed K State
Chirp J	: Chirp J State
Chirp K	: Chirp K State
Invalid	: 無効

23C.2.4 デバイスステートコントロールレジスタ (DVSTCTRO)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	—	—	RHST
初期値:	—	—	—	—	—	—	—	0	—	—	—	—	—	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
8	WKUP	0	R/W	ウェイクアップ出力 リモートウェイクアップ（レジューム信号出力）禁止／許可を指定します。 0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力 本コントローラは、USB バスへのリモートウェイクアップ信号出力と出力時間を管理しています。ソフトウェアが WKUP ビットに 1 を設定すると、本コントローラは 10ms の K-State を出力し、その後、WKUP=0 にします。 USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、サスペンド状態を検出した直後に WKUP=1 を書き込んでも、本コントローラは 2ms 待ってから K-State を出力します。 WKUP ビットへの 1 書き込みは、デバイスステートがサスペンド（DVSQ=B'1xx）であり、かつ USB ホストからリモートウェイクアップが許可されている場合にのみ行ってください。 WKUP ビットを 1 に設定する場合は、サスペンド中であっても内部クロックを停止しないでください（SUSPMODE.SUSPM=1 の状態で、WKUP=1 を書き込んでください）。
7~3	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
2~0	RHST	000	R	<p>リセットハンドシェイク</p> <p>本コントローラは、Reset Handshake の結果を本ビットに表示します。</p> <p>000 : Powered 時または Disconnect 時</p> <p>010 : Full-Speed 接続時</p> <p>011 : Hi-Speed 接続時</p> <p>100 : Reset Handshake 中</p> <p>HSE=1 を設定している場合、本コントローラが USB バスリセットを検出すると、本ビットは B'100 を示します。その後、本コントローラが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは B'011 を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは B'010 を示します。</p> <p>HSE=0 を設定している場合、本コントローラが USB バスリセットを検出すると、本ビットは B'010 を示します。本コントローラが USB バスリセットを検出後、RHST ビットが B'010 または B'011 に確定した時点で、DVST 割り込みが発生します。</p>

23C.2.5 テストモードレジスタ (TESTMODE)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	UTST			
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
3~0	UTST	0000	R/W	<p>テストモード</p> <p>本レジスタに値を書き込むことにより、本コントローラは Hi-Speed 動作時の USB テスト信号出力を行います。</p> <p>0000 : 通常動作</p> <p>0001 : Test_J</p> <p>0010 : Test_K</p> <p>0011 : Test_SE0_NAK</p> <p>0100 : Test_Packet</p> <p>0101~0111 : リザーブ</p> <p>Hi-Speed 通信時の USB ホストからの SetFeature リクエストに従って、本ビットを書き込んでください。本ビットに B'0001~B'0100 を設定しているときには、本コントローラはサスペンド状態へ遷移しません。</p>

23C.2.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

本コントローラの送受信バッファメモリは、FIFO 構造 (FIFO バッファ) となっています。FIFO バッファへのアクセスは FIFO ポートレジスタを使用してください。

FIFO ポートは、CFIFO ポート、D0FIFO ポート、および D1FIFO ポートの 3 ポートがあります。各 FIFO ポートは FIFO バッファへのデータ読み書きを行うポートレジスタ (CFIFO、D0FIFO、および D1FIFO)、FIFO ポートに割り当てるパイプを選択するレジスタ (CFIFOSEL、D0FIFOSEL、および D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、および D1FIFOCTR) で構成されます。

各 FIFO ポートには、下記に示す特長があります。

1. DCP用FIFOバッファへのアクセスはCFIFOポートを通して行ってください。
2. DMA転送によるFIFOバッファアクセスは、DnFIFOポートを通して行ってください。
3. CPUによるDnFIFOポートアクセスも可能です。
4. FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA関連端子への信号入出力など)
5. FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
6. 同一パイプを別々のFIFOポートへ割り当てないでください。
7. FIFOバッファの状態には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。バッファメモリのアクセス権がSIE側にある場合は、CPUからのアクセスはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT(Low)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT(High)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT	H'0000 0000	R/W	<p>FIFO ポート</p> <p>本ビットにアクセスすることにより、FIFO バッファからの受信データ読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。</p> <p>ソフトウェアが本レジスタにアクセスを行うことにより、本コントローラは各選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の CURPIPE ビットに設定したパイプ番号に割り当てた FIFO バッファへのアクセスを行います。</p> <p>本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY ビットが 1 を示しているとき、または本コントローラが UCL_Dx_DREQ 出力をアサートしているときのみ可能です。</p> <p>本レジスタの有効ビットは、MBW ビットの設定値、および BIGEND ビットの設定値により異なります。有効ビットを、表 23C.4~表 23C.6 に示します。</p>

表 23C.4 32bit アクセス (CFIFOSEL.MBW=B'10) 時のエンディアン動作表

BIGEND	b31~b24	b23~b16	b15~b8	b7~b0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 23C.5 16bit アクセス (CFIFOSEL.MBW=B'01) 時のエンディアン動作表

BIGEND	b31~b24	b23~b16	b15~b8	b7~b0
0	書き込み：無効 読み出し：禁止*		奇数アドレス	偶数アドレス
1	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止*	

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 23C.6 8bit アクセス (CFIFOSEL.MBW=B'00) 時のエンディアン動作表

BIGEND	b31~b24	b23~b16	b15~b8	b7~b0
0	書き込み：無効 読み出し：禁止*			書き込み：有効 読み出し：有効
1	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：無効*		

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

23C.2.7 CFIFO ポート選択レジスタ (CFIFOSEL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE				
初期値:	0	0	—	—	0	0	—	0	—	—	0	—	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>CFIFOCTR の DTLN の読み出しモードを指定します。</p> <p>0 : 全受信データ読み出しで DTLN ビットクリア</p> <p>1 : 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>本ビットに 0 を設定した場合、CURPIPE ビットに指定したパイプ (指定パイプ) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は 1 面分の読み出し終了時) に、本コントローラは CFIFOCTR レジスタの DTLN ビットを 0 にクリアします。</p> <p>本ビットに 1 を設定した場合、指定パイプに割り付けた FIFO バッファから受信データ読み出しごとに、本コントローラは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。</p>
14	REW	0	R/W	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドを行う場合に 1 を指定します。</p> <p>0 : バッファポインタリワインドしない</p> <p>1 : バッファポインタリワインドする</p> <p>指定パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は、読み出し中の 1 面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW=1 設定と CURPIPE ビットの設定変更を同時に行わないでください。</p> <p>REW=1 設定を実行するときには、必ず FRDY=1 であることを確認してから実施してください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13, 12	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
11、10	MBW	00	R/W	<p>CFIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止</p> <p>CURPIPE ビットに指定したパイプが受信方向の場合、本ビットを設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。また、指定パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅/32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>16 ビット/32 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。</p> <p>詳細は、「23C.2.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)」を参照してください。</p> <p>0 : リトルエンディアン 1 : ビッグエンディアン</p>
7、6	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
5	ISEL	0	R/W	<p>DCP 選択時の FIFO ポートアクセス方向指定</p> <p>CURPIPE ビットに DCP 選択時の FIFO ポートアクセス方向を指定します。</p> <p>0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択</p> <p>指定パイプが DCP の場合に、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスすることができます。</p> <p>本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>
4	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	CURPIPE	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : DCP</p> <p>0001 : パイプ 1</p> <p>0010 : パイプ 2</p> <p> : :</p> <p>1000 : パイプ 8</p> <p>1001 : パイプ 9</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE ビットに同じパイプを設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。</p>

23C.2.8 DnFIFO ポート選択レジスタ (D0FIFOSEL、D1FIFOSEL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	RCNT	REW	DCLRM	DREQE	MBW	—	BIGEND	—	—	—	—	—	—	—	—	CURPIPE	
初期値:	0	0	0	0	0	0	—	0	—	—	—	—	—	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>Dx_FIFOCTR DTLN の読み出しモードを指定します。</p> <p>0 : 全受信データ読み出しで DTLN ビットクリア</p> <p>1 : 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>本ビットに 0 を設定した場合、CURPIPE ビットに指定したパイプ (指定パイプ) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は 1 面分の読み出し終了時) に、本コントローラは DnFIFOCTR レジスタの DTLN ビットを 0 にクリアします。</p> <p>本ビットに 1 を設定した場合、指定パイプに割り付けた FIFO バッファからの受信データ読み出しごとに、本コントローラは DnFIFOCTR レジスタの DTLN ビットをカウントダウンします。</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
14	REW	0	R/W	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドを行う場合に 1 を指定します。</p> <p>0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする</p> <p>指定パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は、読み出し中の 1 面の最初のデータからの再読み出し可能状態になります)。ソフトウェアが本ビットに 1 を書き込んだ後、本コントローラは本ビットを 0 に戻します。</p> <p>REW=1 設定と CURPIPE ビットの設定変更を同時に行わないでください。</p> <p>REW=1 設定を実行するときには、かならず FRDY=1 であることを確認してから実施してください。</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに 1 を設定しないでください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13	DCLRM	0	R/W	<p>指定パイプのデータ読み出し後自動バッファメモリクリアモード</p> <p>指定パイプのデータ読み出し後自動バッファメモリクリアの禁止/許可を指定します。</p> <p>0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可</p> <p>本ビットに 1 を設定した場合、指定パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または、BFRE=1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR=1 処理を本コントローラが行います。</p> <p>BRDYM=1 に設定して本コントローラを使用するときには、必ず本ビットに 0 を設定してください。</p>
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求発行の禁止/許可を指定します。</p> <p>0 : DMA 転送要求禁止 1 : DMA 転送要求許可</p> <p>DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。</p> <p>CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>

ビット	ビット名	初期値	R/W	説明
11、10	MBW	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>本ビットに DnFIFO ポートへのアクセスビット幅を設定してください。</p> <p>詳細は、「23C.2.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)」を参照してください。</p> <p>00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止</p>
9	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>各 FIFO ポートのバイトエンディアンを指定します。</p> <p>詳細は、「23C.2.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)」を参照してください。</p> <p>0 : リトルエンディアン 1 : ビッグエンディアン</p>
7~4	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
3~0	CURPIPE	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>DnFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 : 1000 : パイプ 8 1001 : パイプ 9</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE ビットに同じパイプを設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。</p>

23C.2.9 CFIFO、DnFIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN											
初期値:	0	0	0	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W	<p>バッファメモリ有効フラグ</p> <p>CURPIPE に指定したパイプ (当該パイプ) の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。</p> <p>0: 無効 1: 書き込み終了</p> <p>CURPIPE ビットに指定したパイプ (指定パイプ) が送信方向のとき、以下の場合に本ビットに 1 を設定してください。本コントローラは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO ヘデータを書き込む前に本ビットに 1 を設定 • 非連続転送モードのパイプに対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに 1 を設定 <p>連続転送モードのパイプに対して MaxPacketSize 分のデータを書き込むと、本コントローラが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>本ビットへの 1 書き込みは、本コントローラが FRDY=1 を示しているときに実施してください。指定パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W	<p>CPU バッファクリア</p> <p>当該パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : CPU 側バッファメモリクリア</p> <p>本ビットに 1 を設定すると、本コントローラは指定パイプにアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。</p> <p>指定パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本コントローラは片面の FIFO バッファのみをクリアします。</p> <p>指定パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により本コントローラは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR=1 を行ってください。</p> <p>指定パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本コントローラはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>指定パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本コントローラが FRDY=1 を示しているときに実施してください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>CPU (DMAC) からの FIFO ポートへのアクセス可否を表示します。</p> <p>0 : FIFO ポートアクセス不可</p> <p>1 : FIFO ポートアクセス可能</p> <p>以下の場合には、本コントローラは FRDY=1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> 指定パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合 BFRE=1 設定時に、ショートパケットを受信し、データ読み出しを完了したとき
12	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN	H'000	R	<p>受信データ長</p> <p>本コントローラは、本ビットに受信データ長を表示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT=0 設定時 : CPU (DMAC) が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本コントローラは受信データ長を本ビットに表示します。 BFRE=1 設定時には、読み出しが完了しても BCLR=1 を行うまでは本コントローラは受信データ長を保持します。 • RCNT=1 設定時 : 読み出しごとに本コントローラは DTLN ビットの表示をダウンカウントします (MBW=0 設定時は-1、MBW=1 設定時は-2 ずつダウンカウント)。 1 面分の FIFO バッファ読み出し完了時に、本コントローラは DTLN=0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。 RCNT=1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後 150ns 後までに、本コントローラは本ビットの更新値を表示します。

23C.2.10 割り込み許可レジスタ 0 (INTENB0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	<p>VBUS 割り込み許可</p> <p>VBINT 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。</p> <p>0: 割り込み出力禁止 1: 割り込み出力許可</p>
14	RSME	0	R/W	<p>レジューム割り込み許可</p> <p>RESM 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。</p> <p>0: 割り込み出力禁止 1: 割り込み出力許可</p>
13	SOFE	0	R/W	<p>フレーム番号更新割り込み許可</p> <p>SOF 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。</p> <p>0: 割り込み出力禁止 1: 割り込み出力許可</p>

ビット	ビット名	初期値	R/W	説明
12	DVSE	0	R/W	デバイスステート遷移割り込み許可 DVST 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可 CTRRT 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンブティ割り込み許可 BEMP 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時の USB 割り込み要求の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
7~0	—	不定	R	リザーブビット 書き込むときは、必ず"0"を書き込んでください。

23C.2.11 BRDY 割り込み許可レジスタ (BRDYENB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPEBRDYE									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
9~0	PIPEBRDYE	H'000	R/W	各パイプの BRDY 割り込み許可 各パイプの BRDY 割り込み検出時に BRDY ビットを1にするかどうかの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】ビット番号がパイプ番号に該当します。 ソフトウェアが本レジスタに1を設定したパイプに対して、本コントローラが BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットと INTSTS0 レジスタの BRDY ビットに1を表示し、割り込み要求します。 BRDYSTS レジスタの PIPEBRDY ビットの少なくとも一つのビットが1を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを0から1に変更すれば、本コントローラは、割り込み要求します。

23C.2.12 NRDY 割り込み許可レジスタ (NRDYENB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPENRDYE									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
9~0	PIPENRDYE	H'000	R/W	各パイプの NRDY 割り込み許可 各パイプの NRDY 割り込み検出時に NRDY ビットを 1 にするかどうかの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】ビット番号がパイプ番号に該当します。 ソフトウェアが本レジスタに 1 を設定したパイプに対して、本コントローラが NRDY 割り込みを検出した場合に、本コントローラは NRDYSTS レジスタの PIPENRDY ビットの対応するビットと INTSTS0 レジスタの NRDY ビットに 1 を表示し、割り込み要求します。 NRDYSTS レジスタの PIPENRDY ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本コントローラは、割り込み要求します。

23C.2.13 BEMP 割り込み許可レジスタ (BEMPENB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPEBEMPE									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
9~0	PIPEBEMPE	H'000	R/W	各パイプの BEMP 割り込み許可 各パイプの BEMP 割り込み検出時に BEMP ビットを 1 にするかどうかの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】ビット番号がパイプ番号に該当します。 ソフトウェアが本レジスタに 1 を設定したパイプに対して、本コントローラが BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットと INTSTS0 レジスタの BEMP ビットに 1 を表示し、割り込み要求します。 BEMPSTS レジスタの PIPEBEMP ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本コントローラは、割り込み要求します。

23C.2.14 SOF ピンコンフィグレーションレジスタ (SOFCFG)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BRDYM	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	0	0	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
6	BRDYM	0	R/W	PIPEBRDY 割り込みステータスクリアタイミング設定 PIPEBRDY 割り込みステータスをクリアするタイミングを指定します。 0: ソフトウェアがステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作によりハードウェアがステータスをクリア
5	—	0	R/W	リザーブビット 直前に読み出した値を書き込むようにしてください。 【注】 パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。
4~0	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。

23C.2.15 割り込みステータスレジスタ 0 (INTSTS0)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS		DVSQ		VALID		CTSQ	
初期値:	0	0	0	0	0	0	0	0	—	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W	VBUS 変化検出割り込みステータス VBUS 変化検出割り込みステータスが表示されます。 0: VBUS 割り込み非発生 1: VBUS 割り込み発生 本コントローラが VBUS 端子入力値の変化 (High から Low への変化、および Low から High への変化) を検出したときに、本ビットに 1 を表示します。本コントローラは、VBUS 端子の入力値を VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

ビット	ビット名	初期値	R/W	説明
14	RESM	0	R/W	<p>レジューム割り込みステータス</p> <p>レジューム検出割り込みステータスが表示されます。</p> <p>0 : レジューム割り込み非発生</p> <p>1 : レジューム割り込み発生</p> <p>本コントローラが Suspend 状態 (DVSQ=B'1xx) であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに 1 を表示します。</p>
13	SOFR	0	R/W	<p>フレーム番号更新割り込みステータス</p> <p>フレーム番号更新割り込みステータスが表示されます。</p> <p>0 : SOF 割り込み非発生</p> <p>1 : SOF 割り込み発生</p> <p>本コントローラが本ビットに 1 を表示する条件は、以下のとおりです。</p> <ul style="list-style-type: none"> ・フレームナンバーの更新時に、本コントローラは本ビットに 1 を表示します (本割り込みは、1ms ごとに検出します)。 ・USB HOST からの SOF パケットが破損したときでも、内部補間により、本コントローラは SOFR 割り込みを検出します。
12	DVST	0* ¹	R/W	<p>デバイスステート遷移割り込みステータス</p> <p>デバイスステート遷移割り込みが表示されます。</p> <p>0 : デバイスステート遷移割り込み非発生</p> <p>1 : デバイスステート遷移割り込み発生</p> <p>本コントローラがデバイスステートの変化を検出したときに、本コントローラは DVSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本コントローラが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。</p>
11	CTRT	0	R/W	<p>コントロール転送ステージ遷移割り込みステータス</p> <p>コントロール転送ステージ遷移割り込みステータスが表示されます。</p> <p>0 : コントロール転送ステージ遷移割り込み非発生</p> <p>1 : コントロール転送ステージ遷移割り込み発生</p> <p>本コントローラがコントロール転送のステージ遷移を検出したときに、本コントローラは CTSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本コントローラがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。</p>

ビット	ビット名	初期値	R/W	説明
10	BEMP	0	R	<p>バッファエンプティ割り込みステータス</p> <p>BEMP 割り込みステータスが表示されます。</p> <p>0 : BEMP 割り込み非発生</p> <p>1 : BEMP 割り込み発生</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくとも一つに対し、本コントローラが BEMP 割り込み状態を検出したとき) に、本コントローラは本割り込みステータスに 1 を表示します。</p> <p>PIPEBEMP ステータスのアサート条件は、PIPEBEMP レジスタを参照ください。</p> <p>ソフトウェアが、PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本コントローラは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>NRDY 割り込みステータスが表示されます。</p> <p>0 : NRDY 割り込み非発生</p> <p>1 : NRDY 割り込み発生</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが NRDY 割り込み通知を許可したパイプのうち、少なくとも一つに対し、本コントローラが NRDY 割り込み状態を検出したとき) に、本コントローラは本割り込みステータスに 1 を表示します。</p> <p>PIPENRDY ステータスのアサート条件は、PIPENRDY レジスタを参照ください。</p> <p>ソフトウェアが、PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本コントローラは本ビットを 0 にクリアします。ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDY 割り込みステータスが表示されます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが BRDY 割り込み通知を許可したパイプのうち、少なくとも一つに対し、本コントローラが BRDY 割り込み状態を検出したとき) に、本コントローラは本割り込みステータスに 1 を表示します。</p> <p>PIPEBRDY ステータスのアサート条件は、PIPEBRDY レジスタを参照ください。</p> <p>ソフトウェアが PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本コントローラは本ビットを 0 にクリアします。ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
7	VBSTS	不定	R	<p>VBUS 入力ステータス</p> <p>VBUS 端子の入力状態が表示されます。</p> <p>本ビットの値を有効にするには USBPCTRL0 レジスタの OVC1 ビットを 1 に設定してください。</p> <p>0 : VBUS 端子が Low レベル 1 : VBUS 端子が High レベル</p>
6~4	DVSQ	000* ²	R	<p>デバイスステート</p> <p>デバイスステートが表示されます。</p> <p>000 : Powered ステート 001 : Default ステート 010 : Address ステート 011 : Configured ステート 1xx : Suspended ステート</p>
3	VALID	0	R/W	<p>USB リクエスト受信</p> <p>USB リクエスト受信検出有無が表示されます。</p> <p>0 : 未検出 1 : セットアップパケット受信</p>

ビット	ビット名	初期値	R/W	説明
2~0	CTSQ	000	R	コントロール転送ステージ コントロール転送ステージが表示されます。 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : リザーブ

- 【注】
- VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットが示すステータスをクリアする場合は、クリアしたいビットのみに 0 を、他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
 - 本コントローラは、本レジスタの VBINT ビット、RESM ビットが示すステータス変化をクロック停止中でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
- *1 USB バスリセット時に 1 に初期化されます。
- *2 USB バスリセット時に 001 に初期化されます。

23C.2.16 BRDY 割り込みステータスレジスタ (BRDYSTS)

本コントローラがあるパイプに対して BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって BRDYENB レジスタの対応するビットに 1 が設定されている場合、本コントローラは INTSTS0 レジスタの BDY ビットに 1 を表示し、割り込み要求します。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) BRDYM=0 かつ BFRE=0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本コントローラは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

(a) 送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを 0 から 1 に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本コントローラが当該パイプのバケット送信を完了したとき。

連続送受信モードに設定した場合には、FIFO バッファ 1 面分のデータの送信完了時に要求トリガが発生します。

- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき
FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送TYPEがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- ACLRMビットに1を書き込むことより、FIFOバッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき（BSTSビット読み出し値が0のとき）に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき。

データPID mismatchesのトランザクションに対しては、要求トリガは発生しません。

連続送受信モードの場合には、MaxPacketSizeのデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。

ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガが発生します。

トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガが発生します。

このとき、FIFOバッファにまだ空きがあっても要求トリガが発生します。

- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき

読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

コントロール転送のステータスステージでの通信では、本割り込みは発生しません。

ソフトウェアは、本ビットの該当パイプに対応するビットに0を書き込むことにより、該当パイプのPIPEBRDY割り込みステータスを0にクリアすることができます。このとき、他のパイプに対応するビットには1を書き込んでください。

本割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

(2) BRDYM=0 かつ BFRE=1 設定時

この設定の場合、本コントローラは、受信パイプにおいて1トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの該当パイプに対応するビットに1を表示します。

本コントローラは、以下のいずれかのときに1トランスファーにおける最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショートパケットを受信したとき
- トランザクションカウンタ（TRNCNTビット）を使用し、TRNCNTビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本コントローラは1トランスファー分の全データ読み出し完了と判断します。

FIFO バッファが空の状態では Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、本コントローラは 1 トランスファー分の全データ読み出し完了と判断します。

この場合、次のトランスファーを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。

本設定の場合には、本コントローラは送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、本ビットの該当パイプに対応するビットに 0 を書き込むことにより、該当パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファー分の処理を終了するまで BFRE ビットの設定値を変更しないでください。途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) BRDYM=1 かつ BFRE=0 設定時

この設定の場合、本ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって、本コントローラが 1、0 を表示します。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば 1 を表示し、書き込み不可の状態になれば 0 を表示します。

ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みはアサートされません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば 1 を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0 を表示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが BCLR=1 を書き込むまで該当ビットには 1 が表示され、BRDY 割り込みはアサートされ続けます。

本設定時、ソフトウェアは、本ビットの 0 クリアを行うことはできません。

BRDYM=1 設定時は、BFRE ビットは必ずすべて（全パイプ）0 に設定してください。

BRDYM=1 設定時は、INTL ビットは必ず 1（レベル制御）に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPEBRDY									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
9~0	PIPEBRDY	H'000	R/W	各パイプの BRDY 割り込みステータス 各パイプの BRDY 割り込みステータスが表示されます。 0: 割り込み非発生 1: 割り込み発生

- 【注】
- ビット番号がパイプ番号に該当します。
 - BRDYM=0の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに0を、他のビットには1を書き込んでください。
 - BRDYM=0の設定の場合、本割り込みのクリアは、必ずFIFOアクセスを行う前に実施してください。

23C.2.17 NRDY 割り込みステータスレジスタ (NRDYSTS)

ソフトウェアがPID=BUFに設定したパイプに対して、本コントローラが内部NRDY割り込み要求を発生させた場合に、本コントローラはNRDYSTSレジスタのPIPENRDYビットの対応するビットに1を表示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットに1が設定されている場合、本コントローラはINTSTS0レジスタのNRDYビットに1を表示し、割り込み要求します。

本コントローラが、あるパイプに対して内部NRDY割り込み要求を発生させる条件を以下に述べます。
コントロール転送ステータスステージ実行時は、割り込み要求を発生させません。

(1) 送信方向パイプの場合

- FIFOバッファに送信データがない状態でIN Tokenを受信したとき

IN Token受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。割り込み発生パイプの転送TYPEがアイソクロナスの場合、本コントローラはZero-Lengthパケットを送信し、OVRNビットに1を表示します。

(2) 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき

割り込み発生パイプの転送TYPEがアイソクロナスの場合、OUTトークン受信時に本コントローラはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示し、OVRNビットに1を表示します。

割り込み発生パイプの転送TYPEがアイソクロナス以外の場合、本コントローラは、OUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

ただし、再送時 (DATA-PID mismatch発生時) には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

- FIFOバッファに空きがない状態でPINGトークンを受信したとき

PINGトークン受信時に、本コントローラはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

- 転送TYPEがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき

SOF受信のタイミングで本コントローラは、NRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPENRDY															
初期値:	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
9~0	PIPENRDY	H'000	R/W	各パイプのNRDY割り込みステータス 各パイプのNRDY割り込みステータスが表示されます。 0: 割り込み非発生 1: 割り込み発生

- 【注】
1. ビット番号がパイプ番号に該当します。
 2. 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに0を、他のビットには1を書き込んでください。

23C.2.18 BEMP 割り込みステータスレジスタ (BEMPSTS)

ソフトウェアがPID=BUFに設定したパイプに対して、本コントローラが、BEMP 割り込みを検出した場合に、本コントローラはBEMPSTSレジスタのPIPEBEMPビットの対応するビットに1を表示します。このとき、ソフトウェアによってBEMPENBレジスタの対応するビットに1が設定されている場合、本コントローラはINTSTS0レジスタのBEMPビットに1を表示し、割り込み要求します。

以下の場合に、本コントローラは内部BEMP割り込み要求を発生させます。

- (1) 送信方向パイプにおいて、送信完了時（Zero-Lengthパケットの送信時を含む）に対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。ただし、以下の場合、内部BEMP割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア（DMAC）がCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア（エンプティ）
- コントロール転送StatusステージのIN転送（Zero-Lengthパケット送信）時

- (2) 受信方向パイプの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき

この場合、本コントローラは、BEMP 割り込み要求を発生させ、PIPEBEMPビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (B'11)に変更します。このとき、本コントローラは、STALL応答を行います。ただし、以下の場合、内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラーなどを検出したとき
- SETUPトランザクション実行時

本ビットに0を書き込むことにより、ステータスをクリアすることができます。本ビットに1を書き込んでも、何もしません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPEBEMP									
初期値:	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
9~0	PIPEBEMP	H'000	R/W	各パイプの BEMP 割り込みステータス 各パイプの BEMP 割り込みステータスが表示されます。 0: 割り込み非発生 1: 割り込み発生

- 【注】
1. ビット番号がパイプ番号に該当します。
 2. 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに0を、他のビットには1を書き込んでください。

23C.2.19 フレームナンバレジスタ (FRMNUM)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM										
初期値:	0	0	—	—	—	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN*	0	R/W	オーバーラン/アンダーラン検出ステータス 転送 TYPE がアイソクロナスのパイプにおいて、本コントローラがオーバーランまたはアンダーランを検出したときに、本ビットに1を表示します。 0: エラーなし 1: エラー発生 オーバーランまたはアンダーラン検出時には、本コントローラは内部 NRDY 割り込み要求を発生させます。詳細は、「23C.2.17 NRDY 割り込みステータスレジスタ (NRDYSTS)」を参照してください。 ソフトウェアは、本ビットに0を書き込むことにより、本ビットを0にクリアすることができます。このとき、本レジスタの他のビットには1を書き込んでください。 以下のいずれかの場合に、本コントローラが本ビットに1を表示します。 (1) 転送 TYPE がアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。 (2) 転送 TYPE がアイソクロナスの受信方向パイプにおいて、少なくとも1面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W	<p>CRC エラー検出ステータス</p> <p>アイソクロナス転送を行っているパイプに対する CRC エラー検出ステータスが表示されます。</p> <p>0 : エラーなし 1 : エラー発生</p> <p>転送 TYPE がアイソクロナスのパイプにおいて、本コントローラが CRC エラーやビットスタッフィングエラーを検出したときに、本ビットに 1 を表示します。</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより、本ビットを 0 にクリアすることができます。このとき、本レジスタの他のビットには 1 を書き込んでください。</p> <p>CRC エラーの検出時には、本コントローラは内部 NRDY 割り込み要求を発生させません。</p>
13~11	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
10~0	FRNM	H'000	R	<p>フレーム番号</p> <p>最新のフレーム番号が表示されます。</p> <p>本コントローラは 1ms に 1 回の SOF 発行タイミング、または、SOF 受信時に本ビットを更新し、フレーム番号を表示します。</p> <p>ソフトウェアで本ビットを読み出す場合には、2 度一致を行ってください。</p>

【注】 * OVRN ビットはデバッグ用のビットです。システムとしてはオーバーラン/アンダーランが発生しないようにタイミング設計を行ってください。

23C.2.20 μフレームナンバーレジスタ (UFRMNUM)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
2~0	UFRNM	000	R	<p>マイクロフレーム</p> <p>マイクロフレーム番号が表示されます。</p> <p>Hi-Speed 通信の場合、本コントローラは本ビットにマイクロフレーム番号を表示します。Hi-Speed 状態以外の場合、本コントローラは本ビットに H'0 を表示します。</p> <p>ソフトウェアで本ビットを読み出す場合には、2 度一致を行ってください。</p>

23C.2.21 USB アドレスレジスタ (USBADDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	USBADDR						
初期値:	-	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
6~0	USBADDR	H'00*	R	USB アドレス Host から割り付けられた USB アドレス確認が表示されます。 本コントローラが SetAddress リクエストを正常に処理したときに、本ビットに受信した USB アドレスを表示します。 本コントローラが USB リセットを検出したときに、本コントローラは本ビットに H'00 を表示します。

【注】 * USB バスリセット時、H'00 を表示します。

23C.2.22 USB リクエストタイプレジスタ (USBREQ)

USB リクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。受信した USB リクエストの値が格納されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	bRequest								bmRequestType							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	bRequest	H'00*	R	リクエスト USB リクエスト bRequest の値 本コントローラが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。
7~0	bmRequest Type	H'00*	R	リクエストタイプ USB リクエスト bmRequestType の値 本コントローラが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

【注】 * USB バスリセット時、H'00 を表示します。

23C.2.23 USB リクエストバリュeregスタ (USBVAL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	wValue															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	wValue	H'0000*	R	バリュー USB リクエスト wValue の値を読み出すためのビットです。b7-0 が下位バイトです。 本コントローラが SETUP トランザクションで受信した USB リクエスト wValue の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

【注】 * USB バスリセット時、H'0000 を表示します。

23C.2.24 USB リクエストインデックスレジスタ (USBINDX)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	wIndex															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	wIndex	H'0000*	R	インデックス USB リクエスト wIndex の値を読み出すためのビットです。b7-0 が下位バイトです。 本コントローラが SETUP トランザクションで受信した USB リクエスト wIndex の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

【注】 * USB バスリセット時、H'0000 を表示します。

23C.2.25 USB リクエストレンゲスレジスタ (USBLENG)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	wLength															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	wLength	H'0000*	R	<p>レンゲス</p> <p>USB リクエスト wLength の値を読み出すためのビットです。b7-0 が下位バイトです。</p> <p>本コントローラが SETUP トランザクションで受信した USB リクエスト wLength の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。</p>

【注】 * USB バスリセット時、H'0000 を表示します。

23C.2.26 DCP マックスパケットサイズレジスタ (DCPMAXP)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MXPS						
初期値:	-	-	-	-	-	-	-	-	-	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
6~0	MXPS	H'40	R/W	<p>マックスパケットサイズ</p> <p>DCP の最大データペイロード (マックスパケットサイズ) を指定します。初期値は、H'40 (64Bytes) です。</p> <p>MXPS ビットの設定は、USB 規格に準拠した値を設定してください。</p> <p>MXPS ビットの設定は、PID=NAK、および CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。</p>

23C.2.27 DCP コントロールレジスタ (DCPCTR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID	
初期値:	0	—	—	—	—	—	—	0	0	1	0	—	—	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかが表示されます。</p> <p>0: バッファアクセス不可</p> <p>1: バッファアクセス可</p> <p>本ビットの意味は、ISEL ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL=0 のとき: 受信データの読み出しが可能かどうかを表示します。 • ISEL=1 のとき: 送信データの書き込みが可能かどうかを表示します。
14~9	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
8	SQCLR	0	R/W	<p>トグルビットクリア</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定します。</p> <p>0: 無効</p> <p>1: DATA0 指定</p> <p>本コントローラは、常に本ビットに 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、PID=NAK 時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
7	SQSET	0	R/W	<p>トグルビットセット</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。</p> <p>0: 無効</p> <p>1: DATA1 指定</p> <p>本コントローラは、常に本ビットに 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、PID=NAK 時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
6	SQMON	1	R	<p>シーケンストグルビットモニタ</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>トランザクションが正常処理すると本コントローラは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p> <p>SETUP パケット正常受信時に、本コントローラは本ビットを 1 にセット (期待値を DATA1 に設定) します。</p> <p>本コントローラは、ステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また、正常終了してもトグルさせません。</p>
5	SPBUSY	0	R	<p>パイプビジ-</p> <p>DCP の PID ビットを BUF から NAK に変更した場合に、DCP の実際の通信が NAK 状態に遷移したかどうかが表示されます。</p> <p>0 : NAK に遷移未完了 1 : NAK に遷移完了</p> <p>本コントローラは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。一つのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4、3	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>
2	CCPL	0* ¹	R/W	<p>コントロール転送終了許可</p> <p>本ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。</p> <p>読み出し時は 0 が読み出されます。0 書き込みは無効です。</p> <p>0 : 無効 1 : コントロール転送終了許可</p> <p>対応する PID ビットが BUF のときにソフトウェアが本ビットに 1 を設定すると、本コントローラはコントロール転送のステージを完了させます。</p> <p>すなわち、コントロールリード転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライトおよびノーデータコントロール転送時では USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本コントローラは SETUP ステージからステータスステージ完了まで自動応答を行います。</p> <p>新たな SETUP パケットを受信したときに、本コントローラは本ビットを 1 から 0 に変更します。</p> <p>VALID=1 のとき、ソフトウェアは本ビットへの 1 書き込みを行うことができません。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID	00*2	R/W	<p>応答 PID</p> <p>本ビットによりコントロール転送における本コントローラの応答を制御します。</p> <p>00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答</p> <p>本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、ソフトウェアで本ビットを NAK から BUF に変更してください。</p> <p>以下の場合には、本コントローラが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 本コントローラが SETUP パケットを受信したときに、本コントローラは本ビットを NAK (B'00) に変更します。このとき、本コントローラは VALID=1 を表示し、ソフトウェアで VALID=0 を設定するまではソフトウェアは本ビットの変更を行うことはできません。 • ソフトウェアが本ビットに BUF を設定しているときに、本コントローラが MaxPacketSize を超えるデータを受信した場合、本コントローラは PID=STALL (B'11) を表示します。 • 本コントローラがコントロール転送シーケンスエラーを検出した場合、PID=STALL (B'1x) を表示します。 • 本コントローラが USB バスリセットを検出した場合、PID=NAK を表示します。 <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本コントローラは本ビットの設定値を参照しません。</p>

【注】 *1 USB バスリセット時、0 に初期化されます。

*2 USB バスリセット時、00 に初期化されます。

23C.2.28 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ1~9の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPECTR レジスタ、PIPEenTRE レジスタおよびPIPEenTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPECTR レジスタ、PIPEenTRE レジスタおよび PIPEenTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PIPESEL			
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
3~0	PIPESEL	0000	R/W	<p>パイプウィンドウ選択</p> <p>PIPECFG、PIPEBUF、PIPEMAXP、および PIPEPERI レジスタに対するパイプ指定を行います。</p> <p>0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9</p> <p>ソフトウェアが本ビットに B'0001~B'1001 を設定すると、本コントローラは、PIPECFG、PIPEBUF、および PIPEMAXP レジスタに対応するパイプの情報、および設定値を表示します。本ビットへのパイプ指定設定後、ソフトウェアが PIPECFG、PIPEBUF、および PIPEMAXP レジスタに設定する値は、本コントローラによって対応するパイプの転送方法に反映されます。</p> <p>ソフトウェアが本ビットに B'0000 を設定すると、本コントローラは PIPECFG、PIPEBUF、および PIPEMAXP レジスタにすべて0を表示します。このとき、ソフトウェアによる PIPECFG、PIPEBUF、および PIPEMAXP レジスタへの書き込みは無効です。</p>

23C.2.29 パイプコンフィグレーションレジスタ (PIPECFG)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE		-	-	-	BFRE	DBLB	CNTMD	SHTNAK	-	-	DIR	EPNUM			
初期値:	0	0	-	-	-	0	0	0	0	-	-	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	TYPE	00	R/W	<p>転送タイプ</p> <p>PIPESEL ビットに指定したパイプ (当該パイプ) の USB 転送タイプを指定します。</p> <p>00 : パイプ使用不可</p> <p>01 : バルク転送</p> <p>10 : インタラプト転送</p> <p>11 : アイソクロナス転送</p> <p>選択パイプと本ビットに設定可能な転送タイプの一覧を表 23C.7 に示します。</p> <p>PID=BUF に設定 (することにより選択パイプを使用した USB 通信を開始) する前に、必ず本ビットを B'00 以外の値に設定してください。</p> <p>本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
13~11	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定</p> <p>本コントローラからの当該パイプに関する BRDY 割り込みの通知タイミングを指定します。</p> <p>0 : データ送受信時に BRDY 割り込み通知</p> <p>1 : データ読み出し完了時に BRDY 割り込み通知</p> <p>本ビットは、選択パイプがパイプ1~パイプ5の場合に有効なビットです。</p> <p>ソフトウェアが本ビットに1を設定し、かつ、選択パイプを受信方向で使用している（すなわち、DIR ビット=0に設定しているとき）場合、本コントローラは、トランスファーの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発生します。</p> <p>この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR=1の書き込み処理を行う必要があります。BCLR=1を行うまでは、選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。</p> <p>ソフトウェアが本ビットに1を設定し、かつ、選択パイプを送信方向で使用している（すなわち、DIR ビット=1に設定しているとき）場合、本コントローラは BRDY 割り込みを発生させません。</p> <p>詳細は、「23C.2.16 BRDY 割り込みステータスレジスタ (BRDYSTS)」を参照してください。</p> <p>本ビットの変更は、PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>当該パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。</p> <p>0: シングルバッファ 1: ダブルバッファ</p> <p>本ビットは、選択パイプがパイプ1~パイプ5の場合に有効なビットです。</p> <p>ソフトウェアが本ビットに1を設定している場合、本コントローラは選択パイプに対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを2面分割り当てます。</p> <p>すなわち、本コントローラが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1) \times 64 \times (DBLB+1)$ [バイト]</p> <p>本ビットの変更は、PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>当該パイプを連続転送モードで通信させるかどうかを指定します。</p> <p>0: 非連続転送モード 1: 連続転送モード</p> <p>本ビットは、選択パイプがパイプ1~パイプ5であり、かつ、選択パイプの転送タイプを bulk に設定している場合に有効なビットです。</p> <p>本ビットの設定値によって、本コントローラは選択パイプに割り当てられた FIFO バッファに対する送受信完了判定を表 23C.8 に示すとおりに行います。</p> <p>本ビットの変更は、PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SHTNAK	0	R/W	<p>トランスファー終了時のパイプ禁止</p> <p>当該パイプが受信方向の場合に、トランスファー終了時に PID を NAK に変更するかどうかを指定します。</p> <p>0 : トランスファー終了時にパイプ継続 1 : トランスファー終了時にパイプ禁止</p> <p>本ビットは、選択パイプがパイプ1~パイプ5であり、かつ、受信方向である場合に有効なビットです。</p> <p>受信方向パイプに対してソフトウェアが本ビットに1を設定している場合、本コントローラは、選択パイプに対しトランスファーの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本コントローラは、以下のいずれかの条件が満たされたときにトランスファー終了と判定します。</p> <ul style="list-style-type: none"> • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき <p>本ビットの変更は、PID=NAK の状態のときに実施してください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>送信方向パイプに対しては、本ビットを0に設定してください。</p>
6、5	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず0を書き込んでください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>当該パイプの転送方向を指定します。</p> <p>0 : 受信方向 1 : 送信方向</p> <p>ソフトウェアが本ビットに0を設定している場合、本コントローラは選択パイプを受信方向に、本ビットに1を設定している場合、本コントローラは選択パイプを送信方向に使用します。</p> <p>本ビットの変更は、PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
3~0	EPNUM	0000	R/W	<p>エンドポイント番号</p> <p>当該パイプのエンドポイント番号を指定します。</p> <p>ソフトウェアで本ビットに選択パイプに対するエンドポイント番号を設定してください。</p> <p>ただし、B'0000 の設定は、未使用パイプを意味します。</p> <p>本ビットの変更は、PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプ設定と重複しないようにして設定してください。</p> <p>EPNUM=B'000 (選択パイプは未使用) の設定は、重複可能です。</p>

表 23C.7 選択パイプと TYPE ビットに設定可能な転送タイプの一覧

選択パイプ	TYPE ビット	USB 転送 TYPE
パイプ 1、またはパイプ 2	B'01、または B'11	バルク転送、またはアイソクロナス転送
パイプ 3~パイプ 5	B'01	バルク転送
パイプ 6~パイプ 9	B'10	インタラプト転送

表 23C.8 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能の判定方法
0	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 ;</p> <ul style="list-style-type: none"> ● 本コントローラが 1 パケット受信したとき <p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 ;</p> <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> ● ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 ● ソフトウェア (または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだ。
1	<p>受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 ;</p> <ul style="list-style-type: none"> ● 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1)×64) が等しくなったとき ● 本コントローラが Zero-Length パケット以外のショートパケットを受信したとき ● 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき ● ソフトウェアが選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき

CNTMD ビット 設定値	読み出し可能状態、送信可能の判定方法
1	<p>送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 ;</p> <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> ソフトウェア (または DMAC) が書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき ソフトウェア (または DMAC) が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき ソフトウェア (または DMAC) が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込みと同時に DENDx_N 信号をアサートしたとき

23C.2.30 パイプバッファ指定レジスタ (PIPEBUF)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—						—						—			
	BUFSIZE										BUFNMB					
初期値 :	—	0	0	0	0	0	—	—	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
14~10	BUFSIZE	H'00	R/W	<p>バッファサイズ</p> <p>PIPESEL ビットに指定したパイプ (当該パイプ) の FIFO バッファサイズを指定します。</p> <p>H'00 : 64 バイト H'01 : 128 バイト : : H'0F : 1K バイト</p> <p>単位はブロック数であり、1 ブロックは 64 バイトです。</p> <p>ソフトウェアが DBLB=1 を設定している場合、本コントローラは選択パイプに対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。本コントローラが選択パイプに対して割り当てる FIFO バッファの容量は、以下のとおりです。</p> <p>$(BUFSIZE+1) \times 64 \times (DBLB+1)$ [バイト]</p> <p>本ビットへは、以下の範囲の値を設定してください。</p> <ul style="list-style-type: none"> 選択パイプがパイプ 1~パイプ 5 の場合 : H'00~H'0F の値を設定可能です。 選択パイプがパイプ 6~パイプ 9 の場合 : H'00 のみを設定可能です。 <p>CNTMD=1 で使用する場合には、BUFSIZE ビットには MaxPacketSize の整数倍の値を設定してください。</p>
9, 8	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
7~0	BUFNMB	H'00	R/W	<p>バッファ番号</p> <p>当該パイプに割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください (H'04~H'87)。</p> <p>本コントローラが選択パイプに対して割り当てる FIFO バッファのブロックは、以下のとおりです。</p> <p>ブロック番号 : BUFNMB~ブロック番号 : BUFNMB+(BUFSIZE+1)×(DBLB+1)-1</p> <p>本ビットへは、搭載メモリサイズの範囲を超えないように設定してください (8.5K バイトの場合は、0 [H'00]~8640 [H'87])。</p> <p>ただし、以下の条件を守ってください。</p> <p>H'00~H'03 は DCP 専用です。DCP の CNTMD を 0 (非連続) にて使用する場合には、H'01~H'03 は他パイプで使用可能です。</p> <p>H'04 はパイプ 6 専用です。ただし、パイプ 6 を使用しない場合は、他のパイプで使用可能です。また、選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効です。本コントローラは、パイプ 6 に対し BUFNMB=H'04 を自動的に割り付けます。</p> <p>H'05 はパイプ 7 専用です。ただし、パイプ 7 を使用しない場合は、他のパイプで使用可能です。また、選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効です。本コントローラは、パイプ 7 に対し BUFNMB=H'05 を自動的に割り付けます。</p> <p>H'06 はパイプ 8 専用です。ただし、パイプ 8 を使用しない場合は、他のパイプで使用可能です。また、選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効です。本コントローラは、パイプ 8 に対し BUFNMB=H'06 を自動的に割り付けます。</p> <p>H'07 はパイプ 9 専用です。ただし、パイプ 9 を使用しない場合は、他のパイプで使用可能です。また、選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効です。本コントローラは、パイプ 9 に対し BUFNMB=H'07 を自動的に割り付けます。</p>

- 【注】
1. 本レジスタの各ビットの変更は、ソフトウェアが PID=NAK、および CURPIPE ビットにパイプ未設定の状態のときに実施してください。
 2. 選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

23C.2.31 パイプマックスパケットサイズレジスタ (PIPEMAXP)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	MXPS										
初期値:	-	-	-	-	-	0	0	0	0	0/1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
10~0	MXPS	H'040/ H'000*	R/W	<p>マックスパケットサイズ</p> <p>当該パイプの最大データペイロード（マックスパケットサイズ）を指定します。</p> <p>パイプ1、2に対しては、1バイト（H'001）～1024バイト（H'400）の値を設定可能です。</p> <p>パイプ3～5に対しては8バイト（H'008）、16バイト（H'010）、32バイト（H'020）、64バイト（H'040）、512バイト（H'200）の値を設定可能です（[2:0]のビットはありません）。</p> <p>パイプ6～9に対しては、1バイト（H'001）～64バイト（H'040）の値を設定可能です。</p> <p>初期値は、H'040（64バイト）です。</p> <p>MXPSビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。</p> <p>アイソクロナス-PIPEをSplit-Transactionで通信する場合には、MXPSビットには188バイト以下の値を設定してください。</p> <p>MXPSビットの設定は、PID=NAK、およびCURPIPEビットに未設定時に実施してください。</p> <p>対応するパイプのPIDビットをBUFからNAKへ変更してから本ビットを変更する場合には、PBUSY=0を確認してから本ビットを変更してください。ただし、本コントローラがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。</p> <p>MXPS=0の設定でのFIFOバッファへの書き込み、またはPID=BUFの設定は行わないでください。</p>

【注】 * MXPSビットの初期値は、PIPESELレジスタのPIPESELビットでパイプを選択していないときはH'000、パイプを選択しているときはH'040が表示されます。

23C.2.32 パイプ周期制御レジスタ (PIPEPERI)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	IFIS	-	-	-	-	-	-	-	-	-	-	IITV	-
初期値:	-	-	-	0	-	-	-	-	-	-	-	-	-	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ（当該パイプ）がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0 : バッファフラッシュしない 1 : バッファフラッシュする 選択パイプの転送 TYPE がアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定した Interval ごとの（マイクロ）フレーム中に USB HOST から IN-Token を本コントローラが受信しなかった場合に、本コントローラが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時（DBLB=1 設定時）は、本コントローラがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN-Token を受信するはずの（マイクロ）フレーム直後の SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補間機能により SOF を受信すべきタイミングにクリアを行います。 選択パイプの転送 TYPE がアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11~3	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
2~0	IITV	000	R/W	インターバルエラー検出間隔 当該パイプの転送インターバルタイミングをフレームタイミングの 2 の n 乗で指定します。 本ビットの設定は、PID=NAK、および CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。 本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID=NAK 設定後、ACLRM=1 をセットし、Interval タイマの初期化を行ってください。パイプ 3~5 に対しては、本ビットは存在しません。パイプ 3~5 に対応する本ビットの位置には 0 を設定してください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV	000	R/W	<p>選択パイプの転送 TYPE がアイソクロナスの場合に、IITV ビットへの設定が可能です。</p> <ul style="list-style-type: none"> • 選択パイプがアイソクロナス-OUT 転送パイプの場合 <p>IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に DATA パケットを受信しなかったとき、本コントローラは NRDY 割り込みを発生させます。</p> <p>DATA パケットに CRC エラーなどのエラーが発生したために受信できなかったとき、または、(ソフトウェア (DMAC) が FIFO バッファからデータを読み出すのが遅いなどの原因で) FIFO バッファがフルのために本コントローラがデータを受信できなかったときにも NRDY 割り込みを発生させます。</p> <p>NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生させます。</p> <p>ただし、IITV=0 以外のときには、インターバルのカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。</p> <p>インターバルタイマ起動後、ソフトウェアで PID ビットを NAK に設定した場合、本コントローラは SOF パケットを受信しても NRDY 割り込みを発生させません。</p> <p>インターバルのカウント開始条件は、IITV ビットの設定値により異なります (図 23C.2、図 23C.3 参照)。</p> • 選択パイプがアイソクロナス-IN 転送パイプの場合 <p>IFIS=1 と組み合わせて使用します。IFIS=0 の場合には IITV ビットへの設定値とは関係なく、受信した Token に応答してデータパケットを送信します。</p> <p>IFIS=1 を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に IN-Token を受信しなかったとき、本コントローラは FIFO バッファをクリアします。</p> <p>IN-Token に CRC エラーなどのバスエラーが発生したために本コントローラが正常受信できなかった場合にもクリアを行います。</p> <p>FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います</p> <p>インターバルのカウント開始条件は、IITV ビットの設定値により異なります (OUT 時と同様です)。</p> <p>インターバルカウント条件は、以下 (1)、(2) または (3) の場合です。</p> <p>(1) 本コントローラがハードウェアリセットされた場合 (このとき、IITV ビットへの設定値も 0 にクリアされます)</p> <p>(2) ソフトウェアが ACLRM=1 を設定した場合</p> <p>(3) 本コントローラが USB リセットを検出した場合</p>

- IITV=0のとき：選択パイプのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウントを開始します。

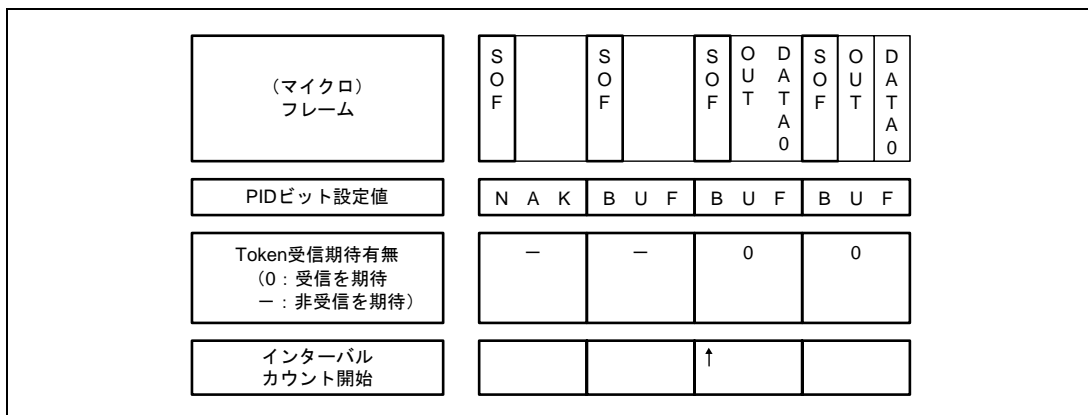


図 23C.2 IITV=0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

- IITV=0以外のとき：選択パイプのPIDビットをBUFに変更した後、最初のDATAパケット正常受信完了時点からインターバルのカウントを開始します。

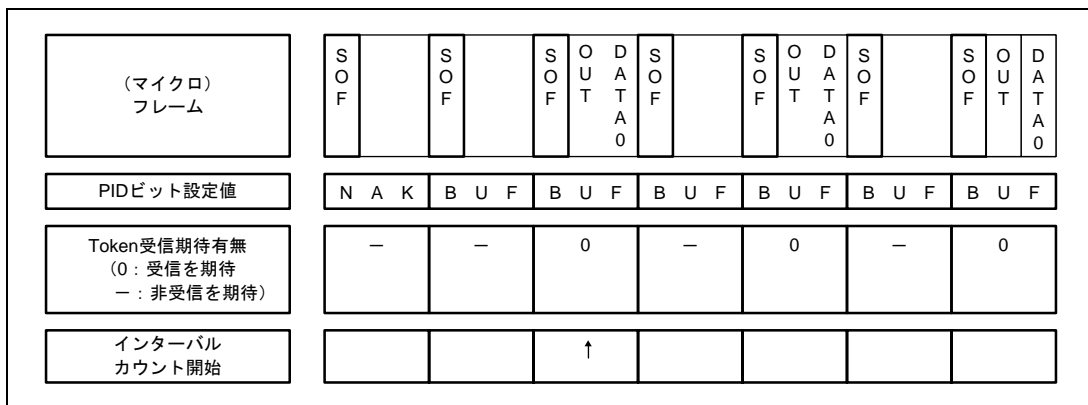


図 23C.3 IITV=0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBSY	—	—	—	PID	
初期値:	0	0	—	—	—	0	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプに割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRM ビットの設定値により表 23C.9 のように異なります。
14	INBUFM	0	R	送信バッファモニタ 当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。 0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり 当該パイプを送信方向 (DIR=1) に設定している場合に、ソフトウェア (または DMAC) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本コントローラは本ビットに 1 を表示します。 書き込みが完了している面の FIFO バッファ上のデータを本コントローラがすべて送信完了したときに、本コントローラは本ビットに 0 を表示します。 ダブルバッファ使用時 (DBLB=1 設定時) には、本コントローラが 2 面分のデータを送信完了し、かつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。 当該パイプを受信方向 (DIR=0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。
13~11	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>自動応答モード</p> <p>当該パイプの自動応答禁止/許可を指定します。</p> <p>0 : 自動応答禁止</p> <p>1 : 自動応答許可 (当該パイプの FIFO バッファの状態にかかわらず、送信時 Zero-length Packet 応答、受信時 NAK 応答し NRDY 割り込み発生)</p> <p>当該パイプの転送 TYPE を Bulk に設定している場合、本ビットへの 1 設定が可能です。</p> <p>本ビットに 1 を設定した場合、USB HOST からの Token に対し、本コントローラは以下のように応答します。</p> <ul style="list-style-type: none"> • 当該パイプが Bulk-IN 転送 (TYPE=B'01 かつ DIR=1 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、IN-Token に対して本コントローラは Zero-Length パケットを送信します。 USB Host からの ACK 受信の度に (1 トランザクションは IN-Token 受信 → Zero Length パケット送信 → ACK 受信)、本コントローラはシーケンス トグルビット (DATA-PID) の更新 (トグル) を行います。 BRDY 割り込み、BEMP 割り込みは発生させません。 • 当該パイプが Bulk-OUT 転送 (TYPE=B'01 かつ DIR=0 を設定) の場合 ATREPM=1 かつ PID=BUF を設定している場合、OUT-Token (または PING-Token) に対して本コントローラは NAK 応答を行い、NRDY 割り込みを発生させます。 本ビットの変更は、PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。 <p>本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態を設定を行ってください。本ビットを 1 に設定して USB 通信を行っている期間は、FIFO バッファへの書き込みを行わないでください。</p> <p>当該パイプの転送 TYPE がアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止/許可を指定します。</p> <p>0: 禁止</p> <p>1: 許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本コントローラがクリアする内容と、当該項目のクリアが必要なケースについて表 23C.10 に示します。</p> <p>本ビットの変更は、PID=NAK、および当該パイプを CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。</p> <p>0: 無効</p> <p>1: DATA0 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると、本コントローラは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本コントローラは、常に本ビットに 0 を表示します。</p> <p>SQCLR ビットへの 1 設定は、PID=NAK に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを "NAK" に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
7	SQSET	0	R/W	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0: 無効</p> <p>1: DATA1 指定</p> <p>本コントローラは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、PID=NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送 TYPE がアイソクロナス転送以外の場合、トランザクションが正常処理すると本コントローラは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在 USB バスで使用中心かが表示されます。</p> <p>0 : 当該パイプを USB バスにて未使用 1 : 当該パイプを USB バスにて使用</p> <p>本コントローラは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。一つのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	—	不定	R	<p>リザーブビット</p> <p>書き込むときは、必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID	00*	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本コントローラの基本動作 (通信パケットにエラーがない場合の動作) は、表 23C.11 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=0 であることを確認してください。ただし、本コントローラが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本コントローラが当該パイプにおいて Split トランザクションの S-Split 発行後にソフトウェアが本ビットを NAK に変更しても、終了までトランザクションを実行します。</p> <p>以下の場合には、本コントローラが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが当該パイプの SHTNAK ビットに 1 を設定している場合、本コントローラがトランスファー終了を認識したときに、PID=NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本コントローラは PID=STALL (B'11) を表示します。 • USB バスリセットを検出した場合、本コントローラは PID=NAK を表示します。 <p>PID=NAK (B'00) の状態から PID=STALL 状態にする場合には、B'10 を書き込んでください。BUF (B'01) 状態から STALL 状態にする場合には、B'11 を書き込んでください。STALL (B'11) から NAK 状態にする場合には、いったん B'10 を書き込んでから B'00 を書き込んでください。</p> <p>STALL 状態から BUF 状態に変更する場合は、いったん NAK 状態に変更し、その後、BUF 状態に変更してください。</p>

【注】 * USB バスリセット時、00 に初期化されます。

表 23C.9 BSTS ビットの動作

DIR ビット 設定値	BFRE ビット 設定値	DCLRM ビット 設定値	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後でソフトウェアが BCLR=1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 23C.10 ACLRM=1 設定時に本コントローラがクリアされる内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
(1)	当該パイプに割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)	
(2)	当該パイプの転送 TYPE がアイソクロナス転送の場合、インターバルカウンタ値	インターバルカウンタ値のリセットを行いたい場合
(3)	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
(4)	FIFO バッファトグル制御	DBLB ビットの設定値変更時
(5)	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 23C.11 PID ビットによる本コントローラの動作一覧

PID ビット 設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作
B'00(NAK)	バルク(TYPE=B'01)、 または インタラプト (TYPE=B'10)	設定値に依存しない	USB Host からの Token に NAK 応答を行う。
	アイソクロナス (TYPE=B'11)	設定値に依存しない	USB Host からの Token に無応答を行う
B'01(BUF)	バルク(TYPE=B'01)	受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該パイプに 対応する FIFO バッファが受信可能な状態ならばデ ータを受信し ACK 応答を行う。受信可能な状態で なければ NAK 応答を行う。 USB Host からの PING Token に対し、当該パイプ に対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可能な状態であれば NAK 応答を行う。
	インタラプト (TYPE=B'10)	受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該パイプに 対応する FIFO バッファが受信可能な状態ならばデ ータを受信し ACK 応答を行う。受信可能な状態で なければ NAK 応答を行う。
	バルク(TYPE=B'01)、 または インタラプト (TYPE=B'10)	送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB Host からの Token に対しデータを送信する。 送信可能であれば NAK 応答を行う。
	アイソクロナス (TYPE=B'11)	受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該パイプに 対応する FIFO バッファが受信可能な状態ならばデ ータを受信する。受信可能な状態であればデータ を破棄する。
B'10(STALL)、 または B'11(STALL)	バルク(TYPE=B'01)、 または インタラプト (TYPE=B'10)	設定値に依存しない	USB Host からの Token に STALL 応答を行う
	アイソクロナス (TYPE=B'11)	設定値に依存しない	USB Host からの Token に無応答を行う

23C.2.34 PIPEn コントロールレジスタ (PIPEnCTR) (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBSY	—	—	—	PID	
初期値:	0	—	—	—	—	—	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプに割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。
14~10	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
9	ACLRM	0	R/W	自動バッファクリアモード 当該パイプの自動バッファクリアモードの禁止/許可を指定します。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可 (全バッファ初期化) 当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。 本ビットに 1、0 を連続して設定した場合に本コントローラがクリアする内容と、当該項目のクリアが必要なケースについて表 23C.12 に示します。 本ビットの変更は、PID=NAK、および当該パイプを CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。 ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W	トグルビットクリア 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。 0: 無効 1: DATA0 指定 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W	トグルビットセット 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。 0 : 無効 1 : DATA1 指定 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。
6	SQMON	0	R	トグルビット確認 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。
5	PBUSY	0	R	パイプビジー 当該パイプを現在 USB バスで使用中心かが表示されます。 0 : 当該パイプを USB バスにて未使用 1 : 当該パイプを USB バスにて使用 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。
4~2	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
1、0	PID	00*	R/W	応答 PID 当該パイプの次回トランザクションにおける応答方法を指定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答 「23C.2.33 PIPEn コントロールレジスタ (PIPEnCTR) (n=1~5)」を参照ください。

【注】 * USB バスリセット時、00 に初期化されます。

表 23C.12 ACLRM=1 設定時に本コントローラがクリアされる内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
(1)	当該パイプに割り付けた FIFO バッファのすべての内容	—
(2)	—	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
(4)	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

23C.2.35 PIPEn トランザクションカウンタ許可レジスタ (PIPEnTRE) (n=1~5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。
9	TRENB	0	R/W	<p>トランザクションカウンタ許可 トランザクションカウンタ無効/有効を指定します。</p> <p>0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効</p> <p>受信パイプに対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに1を設定すると、本コントローラは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。</p> <ul style="list-style-type: none"> • 連続送受信モード使用 (CNTMD=1 設定) 時、受信完了時に FIFO バッファがフルの状態でなくても、CPU 側にトグルさせます。 • SHTNAK=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。 • DENDE=1 かつ PKTMD=0 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出すときに、DEND 信号をアサートします。 • BFRE=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 <p>送信パイプについては、本ビットに0を設定してください。</p> <p>トランザクションカウンタ機能を使用しない場合は、本ビットに0を設定してください。トランザクションカウンタ機能を使用する場合、本ビットに1を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに1を設定してください。</p>
8	TRCLR	0	R/W	<p>トランザクションカウンタクリア 本ビットに1を設定すると、本コントローラは当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに0を表示します。</p> <p>0: 無効 1: カレントカウンタクリア</p>
7~0	—	不定	R	リザーブビット 書き込むときは、必ず0を書き込んでください。

【注】 本レジスタの各ビットの変更は、PID=NAK 時に実施してください。

対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません

23C.2.36 PIPEn トランザクションカウンタレジスタ (PIPEnTRN) (n=1~5)

受信パイプに対して、ソフトウェアで本ビットに受信すべき総パケット数を設定した後で TRENb ビットに 1 を設定すると、本コントローラは「23C.2.35 PIPEn トランザクションカウンタ許可レジスタ (PIPEnTRE) (n=1~5)」に述べる制御を行います。

- 本コントローラは、受信時の状態が以下(a)から(c)をすべて満たしたときに TRNCNT ビットの表示を 1 インクリメントします。
 - (a) TRENb=1 である
 - (b) パケット受信時に (TRNCNT 設定値 ≠ 現在のカウンタ値+1) である
 - (c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した
- 本コントローラは、以下(1)、(2)、または(3)のいずれかの条件が満たされたときに TRNCNT ビットの表示を 0 にクリアします。
 - (1) 以下の条件が満たされたとき
 - パケット受信時に (TRNCNT 設定値 = 現在のカウンタ値+1) である
 - (2) 以下(a)および(b)の条件がすべて満たされたとき
 - (a) TRENb=1 である
 - (b) ショートパケットを受信した
 - (3) 以下(a)および(b)の条件がすべて満たされたとき
 - (a) TRENb=1 である
 - (b) ソフトウェアが TRCLR ビットに 1 を設定した

送信パイプについては、本ビットに 0 を設定してください。

トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。

本ビットの変更は、PID=NAK、かつ TRENb=0 設定時に実施してください。

対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットの値を変更する場合は、TRENb=1 を設定する前に TRCLR=1 を実施してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT	H'0000	R/W	トランザクションカウンタ ● 書き込み時: DMA 転送のトランザクション回数を設定します。 ● 読み出し時: TRENb=0 の場合: 設定したトランザクション回数が表示されます。 TRENb=1 の場合: カウント中のトランザクション回数が表示されます。

23C.2.37 UTMI サスペンドモードレジスタ (SUSPMODE)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SUSPM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。
14	SUSPM	0	R/W	<p>UTMI SuspendM 制御 UTMI への SuspendM 信号の制御をします。</p> <p>0 : UTMI サスペンドモード 1 : UTMI 通常モード</p> <p>初期値は 0 であり、UTMI はサスペンドモードとなっています。本コントローラを動作させるときには、本ビットに 1 を設定してください。</p> <p>UTMI 規格では、通常 SuspendM 信号によりクロック出力制御を行っており、SuspendM=0 の状態では LINK へのクロックが停止されます。</p> <p>詳細は、搭載する UTMI の仕様を参照してください。</p> <p>SUSPM ビットが 0 のとき (UTMI クロックが停止しているとき) には、本コントローラへの書き込みはできません。読み出しは可能です。ただし、以下に示すレジスタは、SUSPM ビットが 0 のときでも書き込み可能です。</p> <p>SYSCFG0 BUSWAIT SUSPMODE</p> <p>ただし、UTMI クロックが停止 (SUSPM=0) 時に SYSCFG0 レジスタへ書き込んだ設定値は、UTMI クロックが発振 (SUSPM=1) されてから、設定値が反映されます。</p>
13~0	—	不定	R	リザーブビット 書き込むときは、必ず 0 を書き込んでください。

23C.3 動作説明

23C.3.1 システム制御および発振制御

本コントローラの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタの説明について述べます。

(1) リセット

表 23C.13 に本コントローラのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、「23C.2 レジスタの説明」を参照してください。

表 23C.13 リセット種別一覧表

名称	操作
ハードウェアリセット	PRESET#端子からの Low レベル入力
USB バスリセット	本コントローラが D+、D-ラインから自動検出

(2) USB データバス抵抗制御

本コントローラは、D+信号のプルアップ抵抗の切り替え制御を行います。SYSCFG0 レジスタの DPRPU ビットの設定により各信号のプルアップを設定してください。

また、PC と通信中に SYSCFG0 レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（もしくは終端抵抗）をディスエーブルにするので、ホストコントローラにデバイス切断を通知することができます。

23C.3.2 割り込み機能

(1) 割り込み機能概要

表 23C.14 に本コントローラの割り込み機能一覧表を示します。

表 23C.14 割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (Low→High、High→Low の両方の変化) 	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State→K-State、もしくは J-State→SE0) 	—
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> フレーム番号の異なる SOF パケットを受信したとき 	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき USB バスリセット検出 サスペンド状態検出 Set Address リクエストの受信 Set Configuration リクエストの受信 	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信し、バッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	PIPEBEMP
NRDY	バッファノットレディ割り込み	<ul style="list-style-type: none"> IN トークン/OUT トークン/PING トークンに対して NAK 応答したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき アイソクロナス転送時のオーバーラン/アンダーランが発生したとき 	PIPENRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ (リード、もしくはライト可能状態) になったとき 	PIPEBRDY
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	—

図 23C.4 に本コントローラの割り込み関連図を示します。

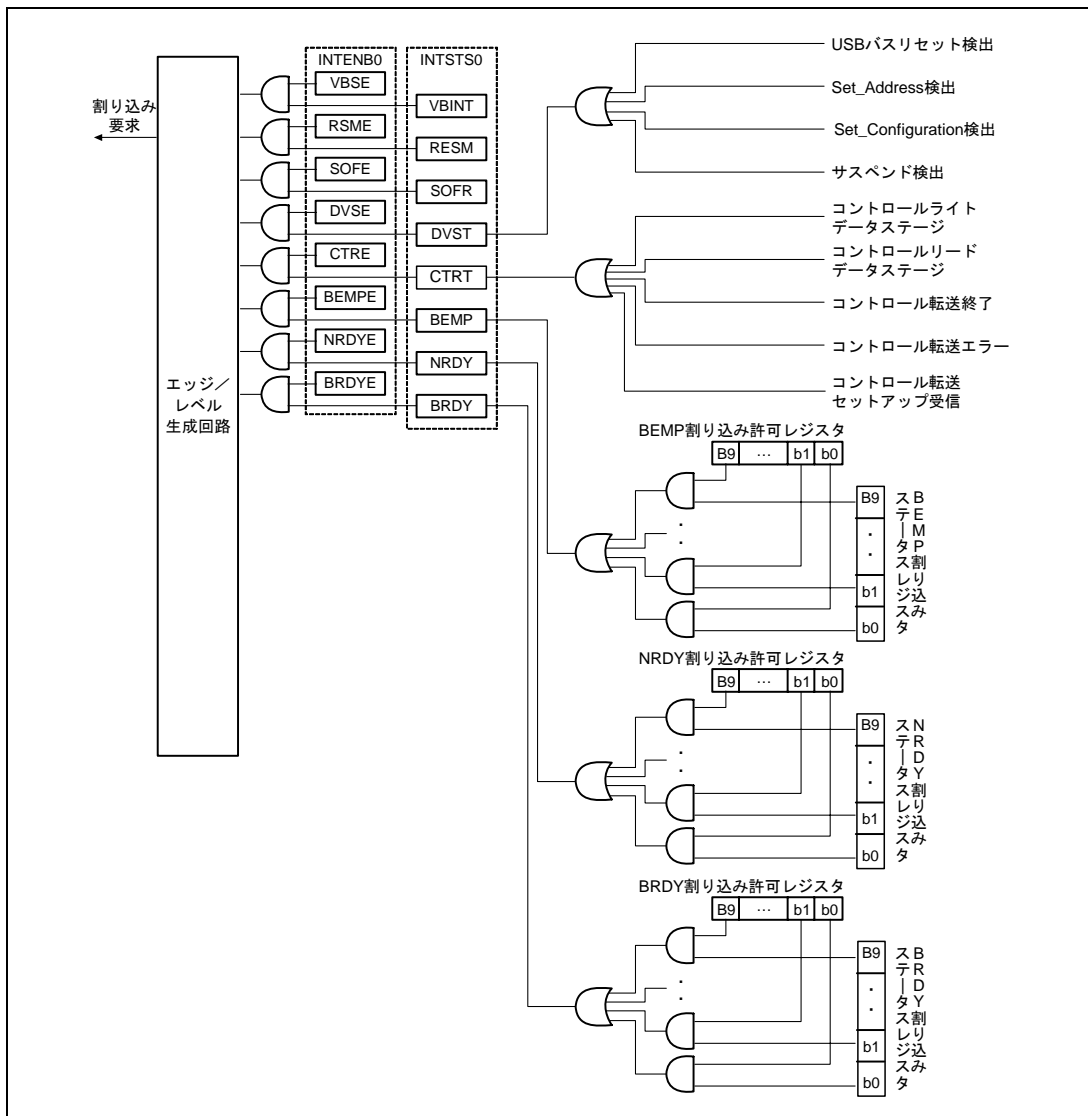


図 23C.4 割り込み関連図

(2) デバイスステート遷移割り込み (Peripheral Controller 機能)

図 23C.5 に本コントローラのデバイスステート遷移図を示します。本コントローラは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

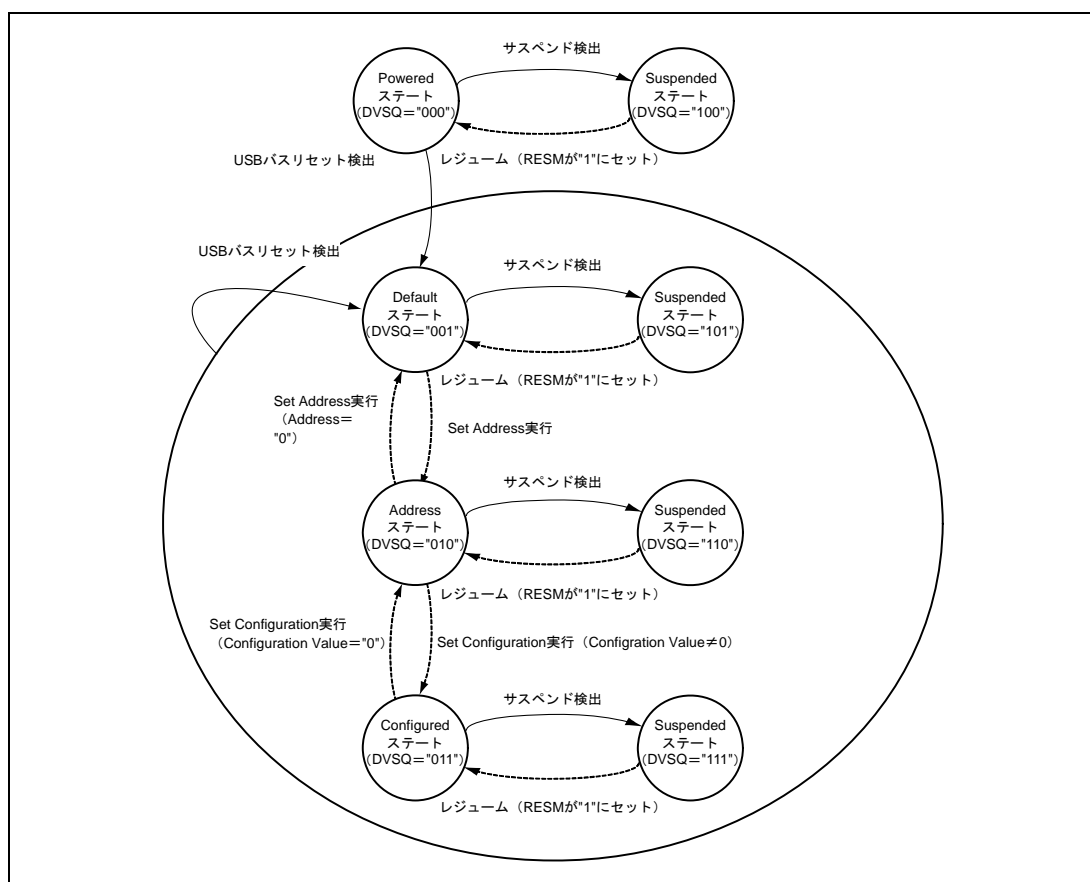


図 23C.5 デバイスステート遷移図

(3) コントロール転送ステージ遷移割り込み

図 23C.6 に本コントローラのコントロール転送ステージ遷移図を示します。本コントローラは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL) になります。

(a) コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUT、もしくはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID=DATA0のパケットを受信

(b) コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID=DATA0のパケットを受信
- ステータスステージでOUT、もしくはPINGトークン受信

(c) コントロールライトノーデータ転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時は、CTSQ=B'110 の値がユーザシステムから CTRT=0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ=B'110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了は、本コントローラで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します。

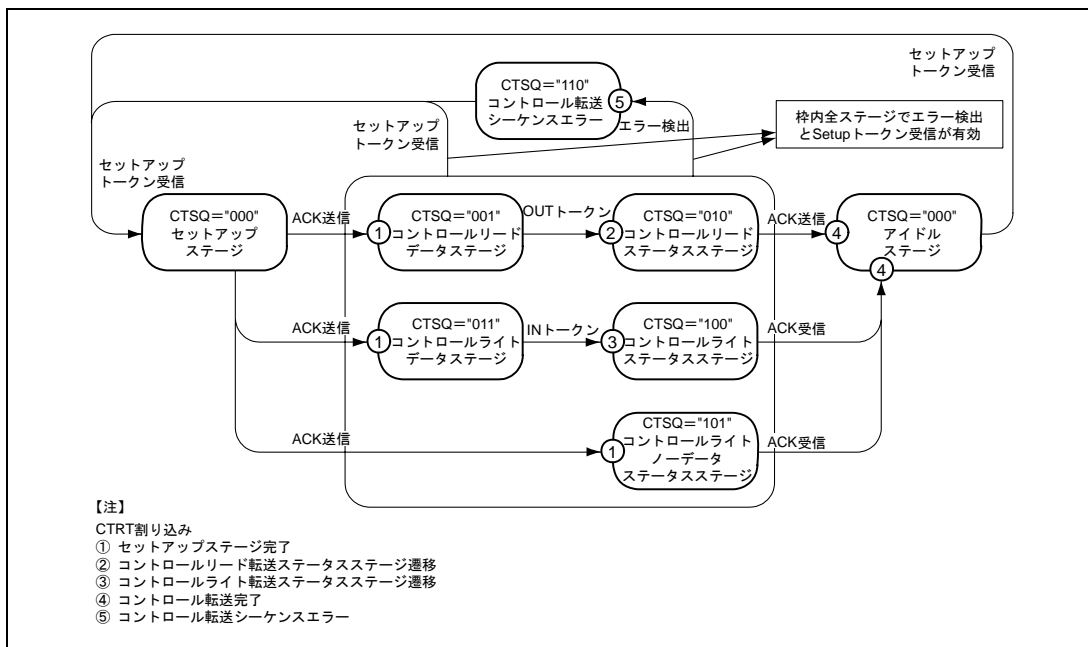


図 23C.6 コントロール転送ステージ遷移図

23C.3.3 パイプコントロール

表 23C.15 に本コントローラのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。本コントローラには、データ転送用に 10 本のパイプがあります。各パイプは、ユーザシステムの仕様に合わせて設定を行ってください。

表 23C.15 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
DCPCFG	TYPE	転送 Type を指定	パイプ 1~9 : 設定可
PIPECFG	BFRE	BRDY 割込モードを選択	パイプ 1~5 : 設定可
	DBLB	ダブルバッファを選択	パイプ 1~5 : 設定可
	CNTMD	連続転送もしくは非連続転送を選択	パイプ 1, 2 : バルク転送選択時のみ設定可 パイプ 3~5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9 : 設定可 パイプ使用時は B'0000 以外に設定
	SHTNAK	トランスファー終了時のパイプ禁止選択	パイプ 1, 2 : バルク転送選択時のみ設定可 パイプ 3~5 : 設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNMB		バッファメモリ番号	DCP : 設定不可 (領域 H'0~H'3 固定) パイプ 1~5 : 設定可 (領域 H'8~H'87 で指定可) パイプ 6~9 : 設定不可 (領域 H'4~H'7 固定)
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1, 2 : アイソクロナス転送選択時のみ設定可 パイプ 3~5 : 設定不可 パイプ 6~9 : 設定不可
	IITV	インターバルカウンタ	パイプ 1, 2 : アイソクロナス転送選択時のみ設定可 パイプ 3~5 : 設定不可 パイプ 6~9 : 設定不可
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信/送信バッファ状態の切り替え
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3~5 のみ搭載
	ATREPM	自動応答モード	パイプ 1~5 : 設定可
	ACLRM	自動バッファクリア	パイプ 1~9 : 設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
DCPCTR	PBUSY	パイプビジー確認	
PIPEnCTR	PID	応答 PID	

レジスタ名	ビット名	設定内容	備考
PIPE _n TRE	TRENB	トランザクションカウント許可	パイプ1~5: 設定可
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1~5: 設定可
PIPE _n TRN	TRNCNT	トランザクションカウンタ	パイプ1~5: 設定可

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID=NAK) であるときのみ書き換えが可能です。図 23C.7 に USB 通信許可 (PID=BUF) 状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可 (PID=BUF) 状態では、設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPE_nCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPE_nTREレジスタ、PIPE_nTRNレジスタの各ビット

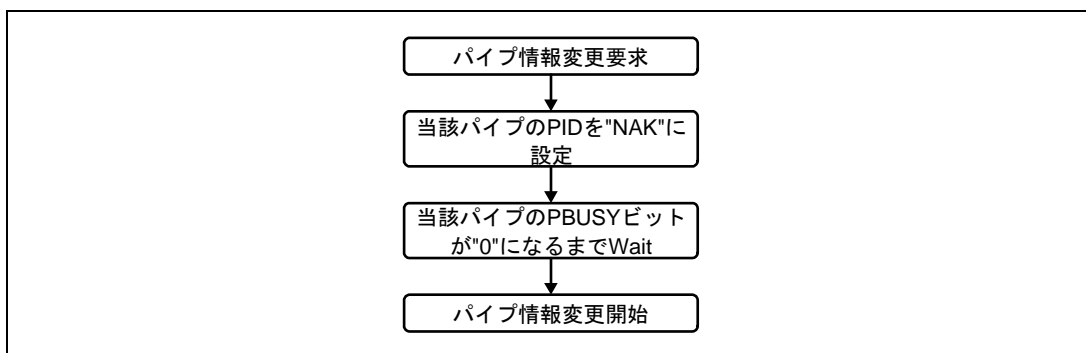


図 23C.7 USB 通信許可 (PID=BUF) 状態からのパイプ情報変更手順

また、パイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO-PORT のいずれの CURPIPE にも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット

パイプ情報を変更する場合には、CURPIPE の設定を変更パイプ以外にしてください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

23C.3.4 FIFO バッファ

本コントローラに内蔵する FIFO バッファに関する動作を説明します。

(1) FIFO バッファ割り当て

図 23C.8 に本コントローラの FIFO バッファのメモリマップ例を示します。FIFO バッファはユーザシステムの制御用 CPU と本コントローラが共用する領域です。FIFO バッファの状況には、アクセス権がユーザシステム (CPU 側) にある場合と、本コントローラ (SIE 側) にある場合があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定) で設定します。PIPEnCFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また、PIPEnCFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

FIFO バッファへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプの FIFO バッファステータスは、DCPCTR レジスタ、および PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DnFIFOCTR レジスタの FRDY ビットで確認できます。

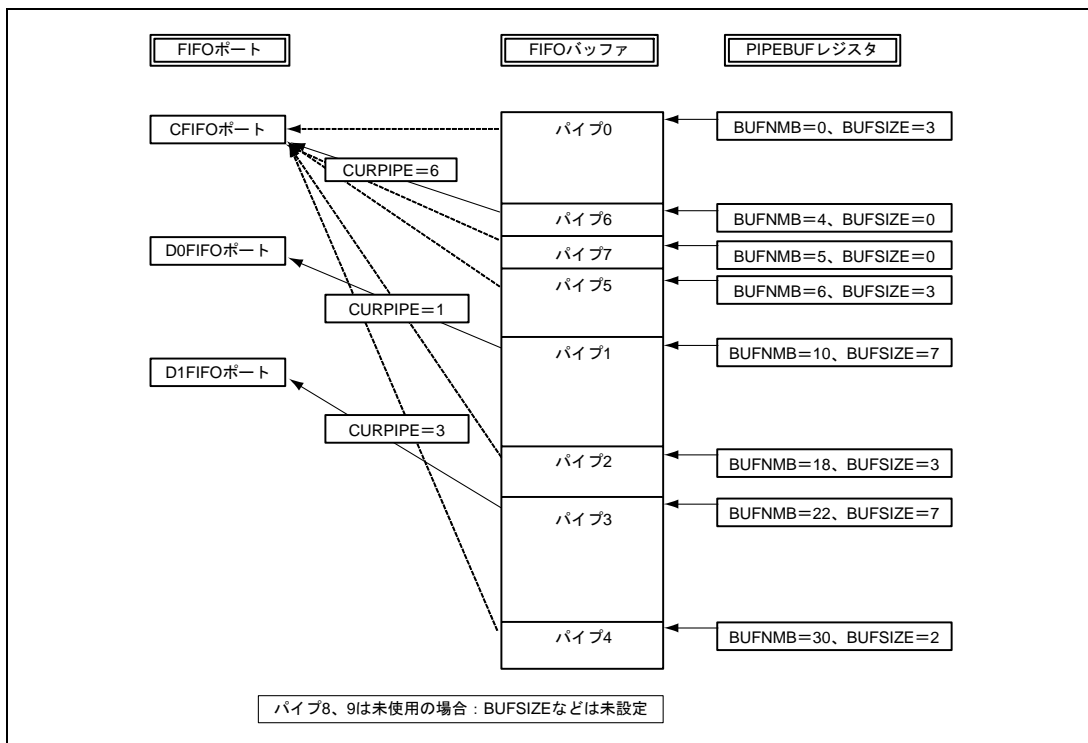


図 23C.8 FIFO バッファのメモリマップ例

(2) FIFO バッファクリア

表 23C.16 に本コントローラによる FIFO バッファのクリア一覧表を示します。FIFO バッファは下記の 3 ビットによってクリアできます。

表 23C.16 FIFO バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側 FIFO バッファをクリア します	指定パイプのデータを読み出し た後で、自動で FIFO バッファを クリアするモードです。	受信したパケットをすべて破棄する 自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 : モード有効 0 : モード無効	1 : モード有効 0 : モード無効

23C.3.5 FIFO ポートの機能

FIFO ポートに関する機能の説明をします。表 23C.17 に本コントローラの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能な状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定（DMA 転送時には TEND 信号）が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能な状態になります。ただし、Zero-Length パケット受信時（DTLN=0）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 23C.17 FIFO ポート機能設定表

レジスタ名	ビット名	機能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリwind（再読み出し、再書き込み）	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DREQ 信号アサート	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
C/DnFIFOCTR	CURPIPE	カレントパイプ選択	
	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	FRDY	FIFO ポートレディーマニタ	
	DTLN	受信データ長確認	

(1) FIFO ポート選択

表 23C.18 に各 FIFO ポートで選択可能なパイプを示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中であることを示します）、FRDY=1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他のパイプは PIPEnCFG レジスタの DIR ビットに従います。

表 23C.18 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~パイプ 9	CPU アクセス	CFIFO ポートレジスタ DnFIFO ポートレジスタ
	DMA アクセス	DnFIFO ポートレジスタ

(2) DnFIFO 自動クリアモード (DnFIFO ポート読み出し方向)

本コントローラは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 23C.19 に各設定でのパケット受信とソフトウェアによるバッファメモリクリア処理の関連表を示します。

表 23C.19 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 23C.19 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

パケット受信時のバッファ状態	レジスタ設定			
	DCLRM=0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

(3) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウンットの終了を示します。BFRE=1 に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 23C.20 に本コントローラの BRDY 割り込み発生タイミングを示します。

表 23C.20 BRDY 割り込み発生タイミング表

パケット受信時のバッファ状態	レジスタ設定	
	BFRE=0	BFRE=1
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Length パケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウンット終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

【注】 BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは 0 に固定してください。

23C.3.6 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

本コントローラは、本コントローラに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージでの本コントローラの動作を以下に示します。

- 新しいセットアップパケットを受信すると、本コントローラは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
- セットアップパケットに引き続き、データパケット受信すると、本コントローラは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID=0 を設定後に行ってください。VALID=1 状態では PID=BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本コントローラは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラは、受信した USB リクエストの方向ビット (bmRequestType の bit8)、およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノードータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラのステージ管理については図 23C.6 を参照ください。

(1) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

Hi-Speed 動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(2) ステータスステージ

DCPCTR レジスタの PID ビットが PID=BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本コントローラが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合：

本コントローラは Zero-Length パケットの送信を行い、USB Host Controller からの ACK 応答を受信します。

- コントロールライト転送、ノードータコントロール転送の場合：

USB ホストからの Zero-Length パケットを受信し、ACK 応答を送信します。

(3) コントロール転送自動応答機能

本コントローラは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は、ソフトウェアによる応答が必要です。

- コントロールライト転送以外の場合： bmRequestType ≠ H'00
- リクエストエラーの場合： wIndex ≠ H'00
- ノードータコントロール転送以外の場合： wLength ≠ H'00
- リクエストエラーの場合： wValue > H'7F
- デバイスステートエラーのコントロール転送： DVSQ = B'011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

23C.3.7 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリの使用方法 (シングル/ダブルバッファ設定、もしくは連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 1K バイトまで設定可能です。バッファメモリの状態はコントローラが管理し、PING パケット/NYET ハンドシェイクには自動応答します。

23C.3.8 インタラプト転送 (パイプ 6~9)

本コントローラは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットに対しては無視 (無応答になる) します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

また、本コントローラは、インタラプト転送の High-Bandwidth 転送には対応していません。

23C.3.9 アイソクロナス転送 (パイプ 1、2)

本コントローラは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)
- SOFパルス出力機能

本コントローラは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(1) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表 23C.21 の機能を実現します。

表 23C.21 インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} (μ) フレームです。

本コントローラは、下記の条件でインターバルカウンタを初期化します。

- ハードウェアリセット

IITVビットが初期化されます。

- ACLRMビットによるバッファメモリのクリア

IITVビットは初期化されませんが、カウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。

- PID=BUF状態で、INトークンに対してデータを送信後のSOF受信
- PID=BUF状態で、OUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PIDをNAKまたはSTALLに設定した場合
インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。
- USBバスリセット、USBサスペンド
IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(2) アイソクロナス転送送信データセットアップ

本コントローラのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダーランエラーとなります。

Zero-Lengthパケット送出は、図中で網掛けNullと表示しています。

図 23C.9 に本コントローラで、IITV=0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

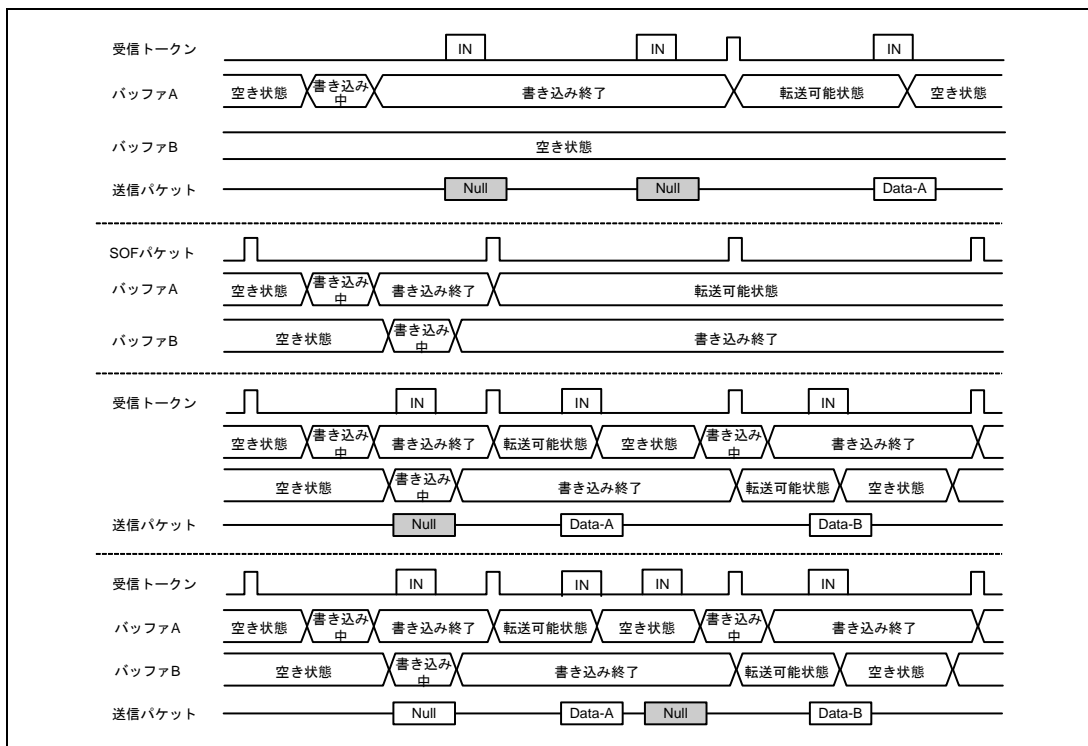


図 23C.9 データセットアップ機能動作例

(3) アイソクロナス転送送信バッファフラッシュ

本コントローラは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの(μ)SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ)SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は、IITV ビット設定値により、動作開始タイミングが異なります。

- IITV=0の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV=0以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 23C.10 に本コントローラのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダーランエラーとして Zero-Length パケットを送出します。

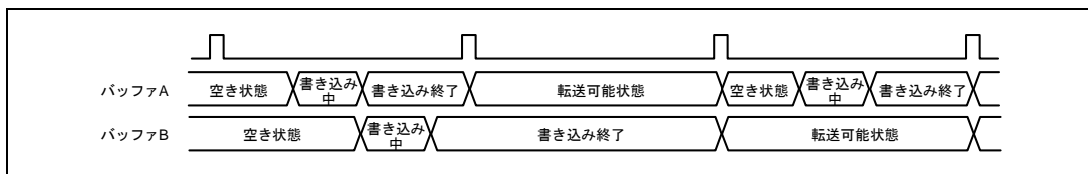


図 23C.10 バッファフラッシュ機能動作例

図 23C.11 に本コントローラのインターバルエラー発生例を示します。インターバルエラーは、図に示す 5 種類です。図中の①タイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

インターバルエラーは、IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバーランエラーとの区別は、OVRN ビットで判定してください。

図中網掛けのトークンに対しては、バッファメモリの状態に応じた応答になります。

- IN方向：

バッファ転送可能状態であれば、データ転送し、正常応答

バッファ転送不能状態であれば、Zero-Lengthパケット送信し、アンダーランエラー

- OUT方向：

バッファ受信可能状態であれば、データ受信し、正常応答

バッファ受信不能状態であれば、データ破棄し、オーバーランエラー

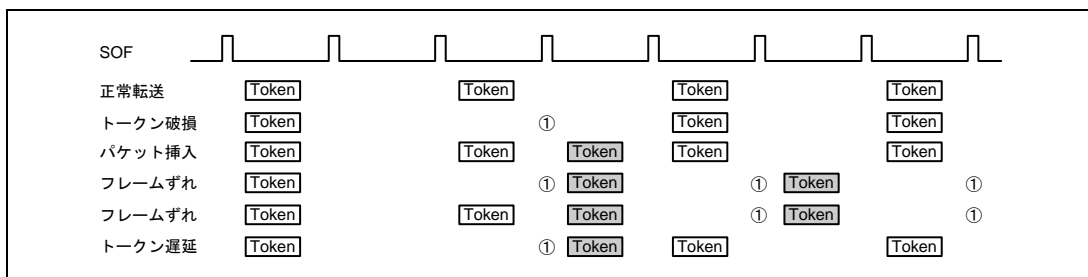


図 23C.11 IITV=1 のときのインターバルエラー発生例

23C.3.10 SOF 補間機能

SOF パケットの破損、もしくは欠落のために 1ms (Full-Speed 動作時) または 125 μ s (Hi-Speed 動作時) 間隔で受信できなかった場合に、コントローラ内部で SOF を補間します。SOF 補間動作の開始は、USBE=1 かつ SUSPMODE.SUSPM=1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- ハードウェアリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は、次の仕様で動作します。

- フレーム間隔 (125 μ sまたは1ms) は、リセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は、内部クロック48MHzで125 μ sもしくは1msをカウントし補間する。
- 2回目以降のSOFパケットを受信後は、前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

(Hi-Speed動作時のサスペンド移行では、最終パケットから3ms間は補間を継続します)

SOF 補間機能は、次の機能で動作します。

- フレーム番号、およびマイクロフレーム番号の更新
- SOFR割り込み、および μ SOFロック
- アイソクロナス転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM0 レジスタの FRNM ビットは更新されません。Hi-Speed 動作時に μ SOF パケットが欠落した場合には、FRMNUM1 レジスタの UFRNM ビットが更新されます。

ただし、 μ FRNM=B'000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する μ FRNM=B'000 以外の μ SOF パケットが正常に受信されても、FRNM ビットは更新されません。

24. ギガビットイーサネットコントローラ (GETHER)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格をサポートしたギガビットイーサネットコントローラ (GETHER) を内蔵しています。GETHER は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット/IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しており、送信および受信動作をさせることができます。

GETHER は、専用のダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しており、送受信するイーサネットフレームデータを、メモリ上の送受信バッファとの間で高速に転送することが可能です。

24.1 特長

- MAC (Media Access Control) 機能
 - データフレームの組み立て/分解 (IEEE802.3, 2000Edition 準拠フレーム形式)
 - 10Mbps、100Mbps、および 1000Mbps 転送に対応
 - 全二重モードおよび半二重モード対応
 - 1チャンネル内蔵 (GETHER0)
 - IEEE802.3x 準拠のフロー制御が可能
 - 3種の IEEE802.3 準拠 PHY インタフェースをサポート
 - GMI (Gigabit Media Independent Interface)
 - MII (Media Independent Interface)
 - RMI (Reduced Media Independent interface)
 - 上位プロトコルサポート (サムチェック) 機能
- E-DMAC (イーサネットコントローラダイレクトメモリアクセスコントローラ) 機能
 - GETHER と外部/内部メモリ間転送可能
 - 1チャンネル内蔵
 - 32バイトバースト転送可能
 - 1フレーム/1ディスクリプタ、1フレーム/複数ディスクリプタ方式 (マルチバッファ) 対応可能
 - 転送データ幅: 32ビット
 - 送受信 FIFO 搭載 (送信用: 2Kバイト、受信用: 4Kバイト)
 - インテリジェントチェックサム値計算機能

図24.1にGETHERの構成を示します。

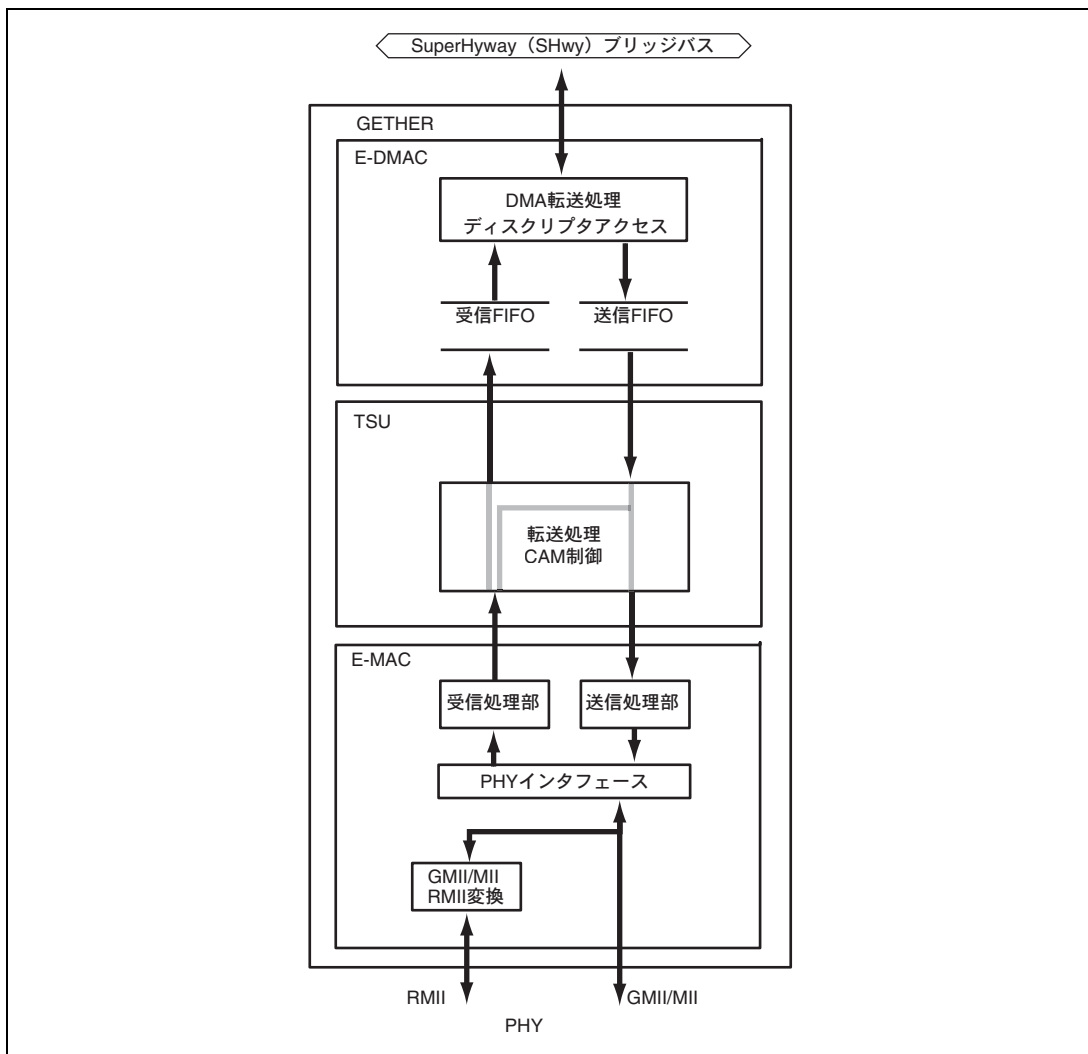


図 24.1 GETHER の構成

24.2 入出力端子

GETHER の端子構成を表 24.1 に示します。

表 24.1 端子構成

名 称	系	記号	入出力	機 能
送信クロック	0	ET0_TX-CLK*	入力	ET0_TX-EN、ET0_ETXD3~ET0_ETXD0、ET0_TX-ERのタイミング参照信号
送信イネーブル		ET0_TX-EN*	出力	ET0_ETXD3~ET0_ETXD0 上に送信データが準備できたことを示す信号
MII/GMII 送信データ		ET0_ETXD3~ET0_ETXD0*	出力	MII の 4 ビットあるいは GMII の下位 4 ビットの送信データ
GMII 送信データ		GET0_ETXD7~GET0_ETXD4	出力	GMII の上位 4 ビットの送信データ
衝突検出		ET0_COL*	入力	衝突検出信号
送信エラー		ET0_TX-ER*	出力	送信中のエラーを PHY-LSI に通知
受信クロック		ET0_RX-CLK*	入力	ET0_RX-DV、ET0_ERXD3~ET0_ERXD0、ET0_RX-ERのタイミング参照信号
受信データ有効		ET0_RX-DV*	入力	有効な受信データが ET0_ERXD3~ET0_ERXD0 上にあることを示す信号
MII/GMII 受信データ		ET0_ERXD3~ET0_ERXD0*	入力	MII および GMII の下位 4 ビットの受信データ (MII および GMII)
GMII 受信データ		GET0_ERXD7~GET0_ERXD4	入力	GMII の上位 4 ビットの受信データ
受信エラー		ET0_RX-ER*	入力	データ受信中に発生したエラー状態を認識
キャリア検出		ET0_CRS*	入力	キャリア検出信号
管理用データクロック		ET0_MDC*	出力	ET0_MDIO による情報転送用の参照クロック信号
管理用データ入出力		ET0_MDIO*	入出力	STA と PHY との間で管理情報を交換するための双方向信号
RMII 管理用データクロック		RMII0_MDC	出力	RMII モード時、RMII0_MDIO による情報転送用の参照クロック信号
RMII 管理用データ入出力		RMII0_MDIO	入出力	RMII モード時、STA と PHY との間で管理情報を交換するための双方向信号
RMII 管理用データクロック (ミラー0 端子)		RMII0M0_MDC	出力	RMII モード時、RMII0M0_MDIO による情報転送用の参照クロック信号 (ミラー0 端子)
RMII 管理用データ入出力 (ミラー0 端子)		RMII0M0_MDIO	入出力	RMII モード時、STA と PHY との間で管理情報を交換するための双方向信号 (ミラー0 端子)
RMII 管理用データクロック (ミラー1 端子)		RMII0M1_MDC	出力	RMII モード時、RMII0M1_MDIO による情報転送用の参照クロック信号 (ミラー1 端子)
RMII 管理用データ入出力 (ミラー1 端子)	RMII0M1_MDIO	入出力	RMII モード時、STA と PHY との間で管理情報を交換するための双方向信号 (ミラー1 端子)	

名 称	系	記号	入出力	機 能
リンクステータス	0	ET0_LINKSTA	入力	PHY-LSI からのリンク状態入力
ウェイク・オン・ラン		ET0_WOL	出力	Magic Packet 受信を示す信号
PHY 割り込み		ET0_PHY-INT	入力	PHY からの割り込み信号
GMII 送信クロック		GET0_GTX-CLK	出力	GMII モード時、送信信号タイミング参照信号
RMII キャリア検出		RMII0_CRSDV	入力	RMII モード時、キャリア検出信号
RMII 受信エラー		RMII0_RX_ER	入力	RMII モード時のデータ受信中に発生したエラー状態を認識
RMII 受信データ		RMII0_RXD0	入力	RMII モード時、2 ビットの受信データ
RMII 受信データ		RMII0_RXD1	入力	RMII モード時、2 ビットの受信データ
RMII 送信イネーブル		RMII0_TXD_EN	出力	RMII モード時、RMII0_TXD0~1 に送信データが準備できたことを示す信号
RMII 送信データ		RMII0_TXD0	出力	RMII モード時、2 ビットの送信データ
RMII 送信データ		RMII0_TXD1	出力	RMII モード時、2 ビットの送信データ
125MHz 基準クロック	共通	REF125CK	入力	GMII モード時送信クロック生成信号
50MHz 基準クロック		REF50CK	入力	RMII モード時の送受信信号タイミング参照信号

【注】 * IEEE802.3u 準拠の MII 信号

24.3 レジスタの説明

GETHER のレジスタ構成を表 24.2 に示します。また各処理状態におけるレジスタの状態を表 24.3 に示します。

表 24.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
ソフトウェアリセットレジスタ	ARSTR	R/W	H'FEE0 1800	H'1EE0 1800	32
E-MAC モードレジスタ	ECMR0	R/W	H'FEE0 0500	H'1EE0 0500	32
E-MAC ステータスレジスタ	ECSR0	R/W	H'FEE0 0510	H'1EE0 0510	32
E-MAC 割り込み許可レジスタ	ECSIPR0	R/W	H'FEE0 0518	H'1EE0 0518	32
PHY 部インタフェースレジスタ	PIR0	R/W	H'FEE0 0520	H'1EE0 0520	32
MAC アドレス上位設定レジスタ	MAHR0	R/W	H'FEE0 05C0	H'1EE0 05C0	32
MAC アドレス下位設定レジスタ	MALR0	R/W	H'FEE0 05C8	H'1EE0 05C8	32
受信フレーム長上限レジスタ	RFLR0	R/W	H'FEE0 0508	H'1EE0 0508	32
PHY 部ステータスレジスタ	PSR0	R	H'FEE0 0528	H'1EE0 0528	32
PHY_INT 極性設定レジスタ	PIPR0	R/W	H'FEE0 052C	H'1EE0 052C	32
送信リトライオーバカウンタレジスタ	TROCR0	R/W	H'FEE0 0700	H'1EE0 0700	32
遅延衝突検出カウンタレジスタ	CDCR0	R/W	H'FEE0 0708	H'1EE0 0708	32
キャリア消失カウンタレジスタ	LCCR0	R/W	H'FEE0 0710	H'1EE0 0710	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR0	R/W	H'FEE0 0740	H'1EE0 0740	32
フレーム受信エラーカウンタレジスタ	FRECR0	R/W	H'FEE0 0748	H'1EE0 0748	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR0	R/W	H'FEE0 0750	H'1EE0 0750	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	R/W	H'FEE0 0758	H'1EE0 0758	32
端数ビットフレーム受信カウンタレジスタ	RFRCR0	R/W	H'FEE0 0760	H'1EE0 0760	32
キャリア拡張消失カウンタレジスタ	CERCRO	R/W	H'FEE0 0768	H'1EE0 0768	32
キャリア拡張エラーカウンタレジスタ	CEECRO	R/W	H'FEE0 0770	H'1EE0 0770	32
マルチキャストアドレスフレーム受信カウンタ レジスタ	MAFCR0	R/W	H'FEE0 0778	H'1EE0 0778	32
自動 PAUSE フレーム設定レジスタ	APR0	R/W	H'FEE0 0554	H'1EE0 0554	32
手動 PAUSE フレーム設定レジスタ	MPR0	R/W	H'FEE0 0558	H'1EE0 0558	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER0	R/W	H'FEE0 0564	H'1EE0 0564	32
PAUSE フレーム送信カウンタ	PFTCR0	R	H'FEE0 055C	H'1EE0 055C	32
PAUSE フレーム受信カウンタ	PFRCR0	R	H'FEE0 0560	H'1EE0 0560	32
GETHER モードレジスタ	GECMR0	R/W	H'FEE0 05B0	H'1EE0 05B0	32
バーストサイクル回数上限設定レジスタ	BCULR0	R/W	H'FEE0 05B4	H'1EE0 05B4	32
TSU カウンタリセットレジスタ	TSU_CTRST	R/W	H'FEE0 1804	H'1EE0 1804	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
転送機能設定レジスタ (共通)	TSU_FWSLC	R/W	H'FEE0 1838	H'1EE0 1838	32
VLANtag 設定レジスタ	TSU_VTAG0	R/W	H'FEE0 1858	H'1EE0 1858	32
CAM エントリテーブル設定ビジーレジスタ	TSU_ADSBSY	R	H'FEE0 1860	H'1EE0 1860	32
CAM エントリテーブルイネーブル設定レジスタ	TSU_TEN	R/W	H'FEE0 1864	H'1EE0 1864	32
CAM エントリテーブル POST 設定 1 レジスタ	TSU_POST1	R/W	H'FEE0 1870	H'1EE0 1870	32
CAM エントリテーブル POST 設定 2 レジスタ	TSU_POST2	R/W	H'FEE0 1874	H'1EE0 1874	32
CAM エントリテーブル POST 設定 3 レジスタ	TSU_POST3	R/W	H'FEE0 1878	H'1EE0 1878	32
CAM エントリテーブル POST 設定 4 レジスタ	TSU_POST4	R/W	H'FEE0 187C	H'1EE0 187C	32
CAM エントリテーブル 0H レジスタ	TSU_ADRH0	R/W	H'FEE0 1900	H'1EE0 1900	32
CAM エントリテーブル 1H レジスタ	TSU_ADRH1	R/W	H'FEE0 1908	H'1EE0 1908	32
CAM エントリテーブル 2H レジスタ	TSU_ADRH2	R/W	H'FEE0 1910	H'1EE0 1910	32
CAM エントリテーブル 3H レジスタ	TSU_ADRH3	R/W	H'FEE0 1918	H'1EE0 1918	32
CAM エントリテーブル 4H レジスタ	TSU_ADRH4	R/W	H'FEE0 1920	H'1EE0 1920	32
CAM エントリテーブル 5H レジスタ	TSU_ADRH5	R/W	H'FEE0 1928	H'1EE0 1928	32
CAM エントリテーブル 6H レジスタ	TSU_ADRH6	R/W	H'FEE0 1930	H'1EE0 1930	32
CAM エントリテーブル 7H レジスタ	TSU_ADRH7	R/W	H'FEE0 1938	H'1EE0 1938	32
CAM エントリテーブル 8H レジスタ	TSU_ADRH8	R/W	H'FEE0 1940	H'1EE0 1940	32
CAM エントリテーブル 9H レジスタ	TSU_ADRH9	R/W	H'FEE0 1948	H'1EE0 1948	32
CAM エントリテーブル 10H レジスタ	TSU_ADRH10	R/W	H'FEE0 1950	H'1EE0 1950	32
CAM エントリテーブル 11H レジスタ	TSU_ADRH11	R/W	H'FEE0 1958	H'1EE0 1958	32
CAM エントリテーブル 12H レジスタ	TSU_ADRH12	R/W	H'FEE0 1960	H'1EE0 1960	32
CAM エントリテーブル 13H レジスタ	TSU_ADRH13	R/W	H'FEE0 1968	H'1EE0 1968	32
CAM エントリテーブル 14H レジスタ	TSU_ADRH14	R/W	H'FEE0 1970	H'1EE0 1970	32
CAM エントリテーブル 15H レジスタ	TSU_ADRH15	R/W	H'FEE0 1978	H'1EE0 1978	32
CAM エントリテーブル 16H レジスタ	TSU_ADRH16	R/W	H'FEE0 1980	H'1EE0 1980	32
CAM エントリテーブル 17H レジスタ	TSU_ADRH17	R/W	H'FEE0 1988	H'1EE0 1988	32
CAM エントリテーブル 18H レジスタ	TSU_ADRH18	R/W	H'FEE0 1990	H'1EE0 1990	32
CAM エントリテーブル 19H レジスタ	TSU_ADRH19	R/W	H'FEE0 1998	H'1EE0 1998	32
CAM エントリテーブル 20H レジスタ	TSU_ADRH20	R/W	H'FEE0 19A0	H'1EE0 19A0	32
CAM エントリテーブル 21H レジスタ	TSU_ADRH21	R/W	H'FEE0 19A8	H'1EE0 19A8	32
CAM エントリテーブル 22H レジスタ	TSU_ADRH22	R/W	H'FEE0 19B0	H'1EE0 19B0	32
CAM エントリテーブル 23H レジスタ	TSU_ADRH23	R/W	H'FEE0 19B8	H'1EE0 19B8	32
CAM エントリテーブル 24H レジスタ	TSU_ADRH24	R/W	H'FEE0 19C0	H'1EE0 19C0	32
CAM エントリテーブル 25H レジスタ	TSU_ADRH25	R/W	H'FEE0 19C8	H'1EE0 19C8	32
CAM エントリテーブル 26H レジスタ	TSU_ADRH26	R/W	H'FEE0 19D0	H'1EE0 19D0	32
CAM エントリテーブル 27H レジスタ	TSU_ADRH27	R/W	H'FEE0 19D8	H'1EE0 19D8	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
CAM エントリテーブル 28H レジスタ	TSU_ADRH28	R/W	H'FEE0 19E0	H'1EE0 19E0	32
CAM エントリテーブル 29H レジスタ	TSU_ADRH29	R/W	H'FEE0 19E8	H'1EE0 19E8	32
CAM エントリテーブル 30H レジスタ	TSU_ADRH30	R/W	H'FEE0 19F0	H'1EE0 19F0	32
CAM エントリテーブル 31H レジスタ	TSU_ADRH31	R/W	H'FEE0 19F8	H'1EE0 19F8	32
CAM エントリテーブル 0L レジスタ	TSU_ADRL0	R/W	H'FEE0 1904	H'1EE0 1904	32
CAM エントリテーブル 1L レジスタ	TSU_ADRL1	R/W	H'FEE0 190C	H'1EE0 190C	32
CAM エントリテーブル 2L レジスタ	TSU_ADRL2	R/W	H'FEE0 1914	H'1EE0 1914	32
CAM エントリテーブル 3L レジスタ	TSU_ADRL3	R/W	H'FEE0 191C	H'1EE0 191C	32
CAM エントリテーブル 4L レジスタ	TSU_ADRL4	R/W	H'FEE0 1924	H'1EE0 1924	32
CAM エントリテーブル 5L レジスタ	TSU_ADRL5	R/W	H'FEE0 192C	H'1EE0 192C	32
CAM エントリテーブル 6L レジスタ	TSU_ADRL6	R/W	H'FEE0 1934	H'1EE0 1934	32
CAM エントリテーブル 7L レジスタ	TSU_ADRL7	R/W	H'FEE0 193C	H'1EE0 193C	32
CAM エントリテーブル 8L レジスタ	TSU_ADRL8	R/W	H'FEE0 1944	H'1EE0 1944	32
CAM エントリテーブル 9L レジスタ	TSU_ADRL9	R/W	H'FEE0 194C	H'1EE0 194C	32
CAM エントリテーブル 10L レジスタ	TSU_ADRL10	R/W	H'FEE0 1954	H'1EE0 1954	32
CAM エントリテーブル 11L レジスタ	TSU_ADRL11	R/W	H'FEE0 195C	H'1EE0 195C	32
CAM エントリテーブル 12L レジスタ	TSU_ADRL12	R/W	H'FEE0 1964	H'1EE0 1964	32
CAM エントリテーブル 13L レジスタ	TSU_ADRL13	R/W	H'FEE0 196C	H'1EE0 196C	32
CAM エントリテーブル 14L レジスタ	TSU_ADRL14	R/W	H'FEE0 1974	H'1EE0 1974	32
CAM エントリテーブル 15L レジスタ	TSU_ADRL15	R/W	H'FEE0 197C	H'1EE0 197C	32
CAM エントリテーブル 16L レジスタ	TSU_ADRL16	R/W	H'FEE0 1984	H'1EE0 1984	32
CAM エントリテーブル 17L レジスタ	TSU_ADRL17	R/W	H'FEE0 198C	H'1EE0 198C	32
CAM エントリテーブル 18L レジスタ	TSU_ADRL18	R/W	H'FEE0 1994	H'1EE0 1994	32
CAM エントリテーブル 19L レジスタ	TSU_ADRL19	R/W	H'FEE0 199C	H'1EE0 199C	32
CAM エントリテーブル 20L レジスタ	TSU_ADRL20	R/W	H'FEE0 19A4	H'1EE0 19A4	32
CAM エントリテーブル 21L レジスタ	TSU_ADRL21	R/W	H'FEE0 19AC	H'1EE0 19AC	32
CAM エントリテーブル 22L レジスタ	TSU_ADRL22	R/W	H'FEE0 19B4	H'1EE0 19B4	32
CAM エントリテーブル 23L レジスタ	TSU_ADRL23	R/W	H'FEE0 19BC	H'1EE0 19BC	32
CAM エントリテーブル 24L レジスタ	TSU_ADRL24	R/W	H'FEE0 19C4	H'1EE0 19C4	32
CAM エントリテーブル 25L レジスタ	TSU_ADRL25	R/W	H'FEE0 19CC	H'1EE0 19CC	32
CAM エントリテーブル 26L レジスタ	TSU_ADRL26	R/W	H'FEE0 19D4	H'1EE0 19D4	32
CAM エントリテーブル 27L レジスタ	TSU_ADRL27	R/W	H'FEE0 19DC	H'1EE0 19DC	32
CAM エントリテーブル 28L レジスタ	TSU_ADRL28	R/W	H'FEE0 19E4	H'1EE0 19E4	32
CAM エントリテーブル 29L レジスタ	TSU_ADRL29	R/W	H'FEE0 19EC	H'1EE0 19EC	32
CAM エントリテーブル 30L レジスタ	TSU_ADRL30	R/W	H'FEE0 19F4	H'1EE0 19F4	32
CAM エントリテーブル 31L レジスタ	TSU_ADRL31	R/W	H'FEE0 19FC	H'1EE0 19FC	32

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ
送信フレーム数カウンタレジスタ (正常送信のみ)	TXNLCR0	R	H'FEE0 1880	H'1EE0 1880	32
送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて)	TXALCR0	R	H'FEE0 1884	H'1EE0 1884	32
受信フレーム数カウンタレジスタ (正常受信のみ)	RXNLCR0	R	H'FEE0 1888	H'1EE0 1888	32
受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて)	RXALCR0	R	H'FEE0 188C	H'1EE0 188C	32
E-DMAC 起動レジスタ	EDSR0	W	H'FEE0 0000	H'1EE0 0000	32
E-DMAC モードレジスタ	EDMR0	R/W	H'FEE0 0400	H'1EE0 0400	32
E-DMAC 送信要求レジスタ	EDTRR0	R/W	H'FEE0 0408	H'1EE0 0408	32
E-DMAC 受信要求レジスタ	EDRRR0	R/W	H'FEE0 0410	H'1EE0 0410	32
E-MAC/E-DMAC ステータスレジスタ	EESR0	R/W	H'FEE0 0428	H'1EE0 0428	32
E-MAC/E-DMAC ステータス割り込み許可 レジスタ	EESIPR0	R/W	H'FEE0 0430	H'1EE0 0430	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	R/W	H'FEE0 0010	H'1EE0 0010	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	R/W	H'FEE0 0014	H'1EE0 0014	32
送信ディスクリプタ処理済アドレスレジスタ	TDFXR0	R/W	H'FEE0 0018	H'1EE0 0018	32
送信ディスクリプタ最終フラグレジスタ	TDFFR0	R/W	H'FEE0 001C	H'1EE0 001C	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	R/W	H'FEE0 0030	H'1EE0 0030	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	R/W	H'FEE0 0034	H'1EE0 0034	32
受信ディスクリプタ処理済アドレスレジスタ	RDFXR0	R/W	H'FEE0 0038	H'1EE0 0038	32
受信ディスクリプタ最終フラグレジスタ	RDFFR0	R/W	H'FEE0 003C	H'1EE0 003C	32
送受信ステータスコピー指示レジスタ	TRSCER0	R/W	H'FEE0 0438	H'1EE0 0438	32
ミスドフレームカウンタレジスタ	RMFCR0	R/W	H'FEE0 0440	H'1EE0 0440	32
送信 FIFO しきい値指定レジスタ	TFTR0	R/W	H'FEE0 0448	H'1EE0 0448	32
FIFO 容量指定レジスタ	FDR0	R/W	H'FEE0 0450	H'1EE0 0450	32
受信方式制御レジスタ	RMCR0	R/W	H'FEE0 0458	H'1EE0 0458	32
受信データパディング挿入設定レジスタ	RPADIR0	R/W	H'FEE0 0460	H'1EE0 0460	32
オーバフロー予告 FIFO しきい値設定レジスタ	FCFTR0	R/W	H'FEE0 0468	H'1EE0 0468	32
インテリジェントチェックサムモードレジスタ	CSMR	R/W	H'FEE0 04E4	H'1EE0 04E4	32
インテリジェントチェックサムスキップ済み バイト数モニタレジスタ	CSSBM	R	H'FEE0 04E8	H'1EE0 04E8	32
インテリジェントチェックサム機能モニタ レジスタ	CSSMR	R	H'FEE0 04EC	H'1EE0 04EC	32
RMII_MII 選択バイト	RMII_MII	R/W	H'FEE0 0790	H'1EE0 0790	32

表 24.3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
ARSTR	H'00000000	H'00000000	保持	保持	保持	初期化
ECMR0	H'00000000	H'00000000	保持	保持	保持	初期化
ECSR0	H'00000000	H'00000000	保持	保持	保持	初期化
ECSIPR0	H'00000000	H'00000000	保持	保持	保持	初期化
PIR0	H'0000000x	H'0000000x	保持	保持	保持	初期化
MAHR0	H'00000000	H'00000000	保持	保持	保持	初期化
MALR0	H'00000000	H'00000000	保持	保持	保持	初期化
RFLR0	H'00000000	H'00000000	保持	保持	保持	初期化
PSR0	H'00000000	H'00000000	保持	保持	保持	初期化
PIPR0	H'00000000	H'00000000	保持	保持	保持	初期化
TROCR0	H'00000000	H'00000000	保持	保持	保持	初期化
CDCR0	H'00000000	H'00000000	保持	保持	保持	初期化
LCCR0	H'00000000	H'00000000	保持	保持	保持	初期化
CEFCR0	H'00000000	H'00000000	保持	保持	保持	初期化
FRECR0	H'00000000	H'00000000	保持	保持	保持	初期化
TSFRCR0	H'00000000	H'00000000	保持	保持	保持	初期化
TLFRCR0	H'00000000	H'00000000	保持	保持	保持	初期化
RFRCR0	H'00000000	H'00000000	保持	保持	保持	初期化
CERCR0	H'00000000	H'00000000	保持	保持	保持	初期化
CEECR0	H'00000000	H'00000000	保持	保持	保持	初期化
MAFCR0	H'00000000	H'00000000	保持	保持	保持	初期化
APR0	H'00000000	H'00000000	保持	保持	保持	初期化
MPR0	H'00000000	H'00000000	保持	保持	保持	初期化
PFTCR0	H'00000000	H'00000000	保持	保持	保持	初期化
PFRCR0	H'00000000	H'00000000	保持	保持	保持	初期化
TPAUSER0	H'00000000	H'00000000	保持	保持	保持	初期化
GECMR0	H'00000000	H'00000000	保持	保持	保持	初期化
BCULR0	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_CTRST	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_FWSLC	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_VTAG0	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADSBSY	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_TEN	H'00000000	H'00000000	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TSU_POST1	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_POST2	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_POST3	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_POST4	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH0	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH1	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH2	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH3	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH4	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH5	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH6	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH7	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH8	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH9	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH10	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH11	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH12	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH13	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH14	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH15	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH16	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH17	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH18	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH19	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH20	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH21	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH22	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH23	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH24	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH25	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH26	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH27	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH28	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH29	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH30	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRH31	H'00000000	H'00000000	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TSU_ADRL0	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL1	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL2	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL3	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL4	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL5	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL6	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL7	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL8	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL9	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL10	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL11	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL12	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL13	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL14	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL15	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL16	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL17	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL18	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL19	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL20	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL21	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL22	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL23	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL24	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL25	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL26	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL27	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL28	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL29	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL30	H'00000000	H'00000000	保持	保持	保持	初期化
TSU_ADRL31	H'00000000	H'00000000	保持	保持	保持	初期化
TXNLCR0	H'00000000	H'00000000	保持	保持	保持	初期化
TXALCR0	H'00000000	H'00000000	保持	保持	保持	初期化
RXNLCR0	H'00000000	H'00000000	保持	保持	保持	初期化
RXALCR0	H'00000000	H'00000000	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
EDSR0	H'00000000	H'00000000	保持	保持	保持	初期化
EDMR0	H'00000000	H'00000000	保持	保持	保持	初期化
EDTRR0	H'00000000	H'00000000	保持	保持	保持	初期化
EDRRR0	H'00000000	H'00000000	保持	保持	保持	初期化
EESR0	H'00000000	H'00000000	保持	保持	保持	初期化
EESIPR0	H'00000000	H'00000000	保持	保持	保持	初期化
TDLAR0	H'00000000	H'00000000	保持	保持	保持	初期化
TDFAR0	H'00000000	H'00000000	保持	保持	保持	初期化
TDFXR0	H'00000000	H'00000000	保持	保持	保持	初期化
TDFFR0	H'00000000	H'00000000	保持	保持	保持	初期化
RDLAR0	H'00000000	H'00000000	保持	保持	保持	初期化
RDFAR0	H'00000000	H'00000000	保持	保持	保持	初期化
RDFXR0	H'00000000	H'00000000	保持	保持	保持	初期化
RDFFR0	H'00000000	H'00000000	保持	保持	保持	初期化
TRSCER0	H'00000000	H'00000000	保持	保持	保持	初期化
RMFCR0	H'00000000	H'00000000	保持	保持	保持	初期化
TFTR0	H'00000000	H'00000000	保持	保持	保持	初期化
FDR0	H'00000000	H'00000000	保持	保持	保持	初期化
RMCR0	H'00000000	H'00000000	保持	保持	保持	初期化
RPADIRO	H'00000000	H'00000000	保持	保持	保持	初期化
FCFTR0	H'001700FF	H'001700FF	保持	保持	保持	初期化
CSMR	H'C000001A	H'C000001A	保持	保持	保持	初期化
CSSBM	H'00000000	H'00000000	保持	保持	保持	初期化
CSSMR	H'00000000	H'00000000	保持	保持	保持	初期化
RMII_MII	H'00000000	H'00000000	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

24.3.1 ソフトウェアリセットレジスタ (ARSTR)

ARSTR は、GETHER すべてのブロック (E-MAC、TSU および E-DMAC) をリセットします。本レジスタの ARST ビットに 1 を書き込むことにより、GETHER のすべてのブロックに対しソフトウェアリセットが発行されます (外部バスクロック Bck で 256 サイクル間)。ARST ビットにリード動作をすると常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、GETHER のすべてのブロックに対するレジスタアクセスを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ARST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ARST	0	R/W	ソフトウェアリセット 本ビットに 1 を書き込むと、GETHER のすべてのブロックに対しソフトウェアリセットが発行されます (外部バスクロック Bck で 256 サイクル間)。0 を書き込んでも何も行われません。読み出し時は常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、GETHER のすべてのブロックに対するレジスタアクセスを禁止します。また、以下のレジスタは、ソフトウェアリセットでは初期化されません。 TSU_ADRH0~TSU_ADRH31、TSU_ADRL0~TSU_ADRL31、TXNLCR0、TXALCR0、RXNLCR0、RXALCR0

24.3.2 E-MAC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、GETHER の動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合には、EDMR 内にある SWRT および SWRR ビットにより、E-MAC および E-DMAC を初期状態に戻してから再設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TRCCM	—	—	RCSC	—	DPAD	RZPF	ZPF	PFR	RXF	TXF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MCT	—	—	—	MPDE	—	—	RE	TE	—	ILB	—	DM	PRM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
26	TRCCM	0	R/W	カウンタクリアモード カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。 0: 当該レジスタに、H'11111111 を書き込むことで0クリアされます。 1: 当該レジスタの読み出し時に0クリアされます。
25, 24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	RCSC	0	R/W	サムチェック計算 受信フレームデータ部のサムチェックの自動計算（ハードウェア計算）を行うかどうかを指定します。 0: サムチェック自動計算を行いません。 1: サムチェック自動計算を行います。 ただし、VLANtag を含むフレームに対するサムチェック自動計算はサポートしていません。詳しくは「24.6.1 イーサネットフレームのサムチェック計算」を参照してください。
22	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21	DPAD	0	R/W	データパディング 0: 60 バイト未満のデータにパディングを行い、60 バイトのデータとして送信します 1: 60 バイト未満のデータにパディングを行わず、そのまま送信します

ビット	ビット名	初期値	R/W	説明
20	RZPF	0	R/W	0TIMEPAUSE フレーム受信 0 : TIME パラメータ値が 0 の PAUSE フレームの受信が無効です 1 : TIME パラメータ値が 1 の PAUSE フレームの受信が有効です
19	ZPF	0	R/W	0TIMEPAUSE フレーム使用許可/キャリア消失エラー検出許可 <ul style="list-style-type: none"> 0TIMEPAUSE フレーム使用許可 (全二重モード時) 0 : TIME パラメータ値が 0 の PAUSE フレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1 : TIME パラメータ値が 0 の PAUSE フレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTR レジスタ設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。 キャリア消失エラー検出許可 (半二重モード時) 0 : フレーム送信時、キャリア消失エラーのチェックを行います 1 : フレーム送信時、キャリア消失エラーのチェックを行いません EX_TX_EN がハイアクティブになってから ET0_CRCS=1 検出までの時間が、63BT*以下の場合にのみキャリア消失エラー検出を有効に設定することが可能です。 EX_TX_EN がハイアクティブになってから ET0_CRCS=1 検出までの時間が、63BT*を超える場合か、ET0_CRCS 信号のタイミングが不明な場合は本ビットを 0 にしないでください。 【注】 1BT=1nS (1000Mbps)、1BT=10nS (100Mbps)、1BT=100nS (10Mbps)
18	PFR	0	R/W	PAUSE フレーム受信モード 0 : PAUSE フレームを E-DMAC に転送しません 1 : PAUSE フレームを E-DMAC に転送します
17	RXF	0	R/W	受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります 1 : 受信時系のフロー制御機能が有効になります
16	TXF	0	R/W	送信系フロー制御動作モード 0 : 送信系のフロー制御機能が無効になります (自動 PAUSE フレームは送信されません。) 1 : 送信系のフロー制御機能が有効になります (必要に応じて自動 PAUSE フレームが送信されます。)
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13	MCT	0	R/W	マルチキャストアドレスフレーム受信モード 0: CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレス以外のフレームのみ受信します。ただし、内蔵 CAM エントリテーブル参照が無効になっているときは、マルチキャストアドレスフレームをすべて受信します。 1: CAM エントリテーブル 0~31 (H/L) レジスタで設定したマルチキャストアドレスのみ受信します。
12~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	MPDE	0	R/W	Magic Packet 検出許可 イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。 0: Magic Packet の検出を許可しません 1: Magic Packet の検出を許可する
8, 7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効 (RE=1) から無効 (RE=0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0: 受信機能を無効にする 1: 受信機能を有効にする
5	TE	0	R/W	送信許可 本ビットを送信機能有効 (TE=1) から無効 (TE=0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0: 送信機能を無効にする 1: 送信機能を有効にする
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	ILB	0	R/W	内部ループバックモード GETHER 内部でのループバックモードを指定します。 0: 通常データ送受信を行う 1: DM=1 のとき、GETHER 内の E-MAC 内部でのデータの折り返しを行う
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	DM	0	R/W	デュプレックスモード GETHER の転送方式を指示します。 0: 半二重転送方式を指定する 1: 全二重転送方式を指定する

ビット	ビット名	初期値	R/W	説明
0	PRM	0	R/W	<p>プロミスキャスモード</p> <p>本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。</p> <p>0 : GETHER は、通常動作を行う</p> <p>1 : GETHER は、プロミスキャスモード動作を行う</p>

【注】 TE および RE ビットを除くすべてのビットは、送信機能が無効 (TE=0) かつ受信機能が無効 (RE=0) の状態で書き換えてください。

24.3.3 E-MAC ステータスレジスタ (ECSR)

ECSR は、読み出したり書き込み可能な 32 ビットのレジスタで、E-MAC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PFROI、LCHNG、MPD、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。

PHYI への 1 あるいは 0 の書き込みは無効です。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	PFROI	PHYI	LCHNG	MPD	ICD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
4	PFROI	0	R/W	<p>PAUSE フレーム再送リトライオーバ</p> <p>フロー制御を用いる際の PAUSE フレームの再送において、再送回数が PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。</p> <p>0 : PAUSE フレーム再送信回数が上限値を超えていない</p> <p>1 : PAUSE フレーム再送信回数が上限値を超えた</p>

ビット	ビット名	初期値	R/W	説明
3	PHYI	0	R	<p>ET0_PHY-INT 割り込み</p> <p>PHY-LSI から入力される ET0_PHY-INT 端子の状態を示します。</p> <p>0 : ET0_PHY-INT 端子はアサートされていません。</p> <p>1 : ET0_PHY-INT 端子はアサートされています。</p> <p>ET0_PHY-INT 端子の信号極性は、PIPR レジスタで設定することができます。</p>
2	LCHNG	0	R/W	<p>リンク信号変化</p> <p>PHY-LSI から入力される ET0_LINKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、ET0_LINKSTA 機能の端子を選択したタイミングで、信号の変化を検出する場合があります。</p> <p>現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。</p> <p>0 : ET0_LINKSTA 信号の変化を検出していない</p> <p>1 : ET0_LINKSTA 信号の変化 (ハイレベル→ローレベルあるいはローレベル→ハイレベル) を検出した</p>
1	MPD	0	R/W	<p>Magic Packet 検出</p> <p>回線上から Magic Packet を検出したことを表します。</p> <p>0 : Magic Packet を検出していない</p> <p>1 : Magic Packet を検出した</p>
0	ICD	0	R/W	<p>不正キャリア検出</p> <p>回線上で PHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。</p> <p>0 : PHY-LSI は、回線上で不正キャリアを検出していない</p> <p>1 : PHY-LSI は、回線上で不正キャリアを検出した</p>

24.3.4 E-MAC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR によって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PFROI IP	PHYIP	LCHN GIP	MPDIP	ICDIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PFROIIP	0	R/W	PAUSE フレーム再送割り込み許可ビット 0 : PFROI の割り込み通知を禁止 1 : PFROI の割り込み通知を許可
3	PHYIP	0	R/W	ET0_PHY-INT 端子割り込み許可ビット 0 : PHYI の割り込み通知を禁止 1 : PHYI の割り込み通知を許可
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	MPDIP	0	R/W	Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

24.3.5 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、GMII/MII/RMII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	MDI	MDO	MMD	MDC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	-	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	GMII/MII/RMII マネジメントデータイン ET0_MDIO 端子のレベルを表します。
2	MDO	0	R/W	GMII/MII/RMII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を ET0_MDIO 端子より出力します。
1	MMD	0	R/W	GMII/MII/RMII マネジメントモード GMII/MII/RMII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定
0	MDC	0	R/W	GMII/MII/RMII マネジメントデータクロック 本ビットに設定された値を ET0_MDC 端子より出力し、GMII/MII/RMII へのマネジメントデータクロックを供給します。GMII/MII/RMII レジスタへのアクセス方法については、「24.5.4 MII レジスタのアクセス方法」を参照してください。

24.3.6 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	MA [47:16]	すべて 0	R/W	MAC アドレスビット 47~16 MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

24.3.7 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MA[15:0]	すべて 0	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

24.3.8 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFL[17:16]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFL[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17~0	RFL[17:0]	すべて 0	R/W	受信フレームデータ長 ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されず、CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。 H'00000~H'005EE : 1,518 バイト H'005EF : 1,519 バイト H'005F0 : 1,520 バイト : : H'007FF : 2,047 バイト H'00800 : 2,048 バイト : : H'01000 : 4,096 バイト : : H'10000 : 65,536 バイト : : H'20000~H'3FFFF : 131,072 バイト

24.3.9 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	LMON	0	R	ET0_LINKSTA 端子状態 ET0_LINKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

24.3.10 PHY_INT 極性設定レジスタ (PIPR)

PIPR は、ET0_PHY-INT 端子の極性を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PHYIP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	PHYIP	0	R/W	ET0_PHY-INT 入力端子極性 0: ET0_PHY-INT 端子はローアクティブとする (ローで割り込み状態) 1: ET0_PHY-INT 端子はハイアクティブとする (ハイで割り込み状態) 極性については、接続する PHY-LSI の仕様を参照してください。

24.3.11 送信リトライオーバーカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 16 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TROC [15:0]	すべて 0	R/W	送信リトライオーバーカウント 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.12 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上の衝突回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	COSDC [15:0]	すべて 0	R/W	衝突検出カウンタ 送信開始からのすべての衝突の回数を表します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.13 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	LCC[15:0]	すべて 0	R/W	キャリア消失カウンタ データ送信中にキャリアが消失した回数を表します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.14 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。

ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CEFC [15:0]	すべて 0	R/W	CRC エラーフレームカウント CRC エラーとなったフレームを受信した回数を表示します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.15 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される ET0_RX-ER 端子により受信エラーとなったフレームの個数を示す 16 ビットのカウンタです。ET0_RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRECR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	FRECR [15:0]	すべて 0	R/W	フレーム受信エラーカウンタ フレームを受信中にエラーとなった回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.16 64バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCRは、64バイト未満のフレームを受信した回数を示す16ビットのカウンタです。本レジスタの値がH'0000FFFFになるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1の場合、読み出し時に0クリアされます。ECMR.TRCCM=0の場合、本レジスタへH'11111111を書き込むことにより0クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	TSFC [15:0]	すべて0	R/W	64バイト未満フレーム受信カウンタ 64バイト未満のフレームを受信した回数を表します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.17 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信した回数を示す 16 ビットのカウンタです。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TLFC [15:0]	すべて 0	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.18 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCRは、8ビットに満たない端数ビットデータを含むフレームを受信した回数を示す16ビットのカウンタで、H'0000FFFFになるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1の場合、読み出し時に0クリアされます。ECMR.TRCCM=0の場合、本レジスタへH'11111111を書き込むことにより0クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	RFC[15:0]	すべて0	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.19 キャリア拡張消失カウンタレジスタ (CERCRCR)

CERCRCR は、キャリア拡張を消失したフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CERC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CERC [15:0]	すべて 0	R/W	キャリア拡張消失フレーム受信カウンタ キャリア拡張を消失したフレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.20 キャリア拡張エラーカウンタレジスタ (CEECCR)

CEECCR は、キャリア拡張が不正なフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM=1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM=0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEECC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CEECC [15:0]	すべて 0	R/W	キャリア拡張エラーカウンタ キャリア拡張が不正なフレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.21 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信した回数を示す 16 ビットのカウンタで、H'0000FFFF になるとカウントアップを停止します。本レジスタの 0 クリア方法は、本レジスタは、ECMR.TRCCM = 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM = 0 の場合、本レジスタへ H'11111111 を書き込むことにより 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MAFC [15:0]	すべて 0	R/W	マルチキャストアドレスフレームカウンタ マルチキャストフレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.22 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	AP[15:0]	すべて 0	R/W	自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。 送信時のフロー制御機能 (PAUSE フレーム送信) を有効とした場合 (ECMR.TXF=1)、本ビットには H'0000 以外の値を設定してください。 H'0000 : - H'0001 : 512×1 ビット時間 H'0002 : 512×2 ビット時間 : : H'FFFF : 512×65535 ビット時間 【注】ビット時間は、転送速度に応じて以下のようになります。 1000Mbps 時 : 1 ビット時間=1ns 100Mbps 時 : 1 ビット時間=10ns 10Mbps 時 : 1 ビット時間=100ns

24.3.23 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MP[15:0]	すべて 0	R/W	手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。 H'0000 : - H'0001 : 512×1 ビット時間 H'0002 : 512×2 ビット時間 : : H'FFFF : 512×65535 ビット時間 【注】 ビット時間は、転送速度に応じて以下のようになります。 1000Mbps 時 : 1 ビット時間=1ns 100Mbps 時 : 1 ビット時間=10ns 10Mbps 時 : 1 ビット時間=100ns

24.3.24 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。本レジスタは、送信機能が有効な状態で書き換えることを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TPAUSE [15:0]	すべて 0	R/W	自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65535 回

24.3.25 PAUSE フレーム送信カウンタレジスタ (PFTCR)

PFTCR は、PAUSE フレームを送信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFTXC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	PFTXC [15:0]	すべて 0	R	PAUSE フレーム送信カウンタ 自動 PAUSE フレームと手動 PAUSE フレームの送信回数をあわせて表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.26 PAUSE フレーム受信カウンタレジスタ (PFRCR)

PFRCR は、PAUSE フレームを受信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFRXC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	PFRXC [15:0]	すべて 0	R	PAUSE フレーム受信カウンタ 受信時のフロー制御機能有効 (ECMR.RXF=1) 時、PAUSE フレームを受信した回数を表します。

【注】 本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.27 GETHER モードレジスタ (GECMR)

GECMR は、GETHER の動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SPEED[1]	BSE	SPEED[0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	SPEED[1]	0	R/W	転送速度 SPEED[0]ビットとの組み合わせで、転送速度を設定します。SPEED[0]ビットを参照してください。
1	BSE	0	R/W	バースト転送許可 0: バースト転送を行いません。 1: 転送速度が 1Gbps で、半二重転送モード (ECMR.DM=0) 時、バースト転送を行います。
0	SPEED[0]	0	R/W	転送速度 転送速度を、SPEED[1]と SPEED[0]ビットとの組み合わせで指定します。 SPEED[1:0] 00: 10Mbps 転送 01: 1Gbps 転送 10: 100Mbps 転送 11: 設定禁止

24.3.28 バーストサイクル回数上限設定レジスタ (BCULR)

BCULR は、バーストサイクル回数の上限値を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BSTLMT[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	BSTLMT [11:0]	すべて0	R/W	バーストサイクル上限値 バーストサイクルの上限値を設定します。バーストタイマが本レジスタの設定値を超えるとバースト転送を終了します。フレームの転送中に、バーストタイマが本レジスタの設定値を超えたとき、転送中のフレームの転送終了を待ってバースト転送を終了します。 H'000~H'100 : バーストサイクル数は、256 サイクル H'101 : バーストサイクル数は、257 サイクル : : H'FFE : バーストサイクル数は、4094 サイクル H'FFF : バーストサイクル数は、4095 サイクル 【注】 1 サイクル=32ns です。

24.3.29 TSU カウンタリセットレジスタ (TSU_CTRST)

TSU_CTRST は、送信、受信、および転送フレーム数カウンタを0にクリアします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CTRST	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8	CTRST	0	R/W	TSU カウンタリセット 本ビットに1を書き込むと、TXNLCR0、TXALCR0、RXNLCR0、RXALCR0の各レジスタの値が0にクリアされます。0書き込みしても何も行われません。読み出すと常に0が読み出されます。
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

24.3.30 転送機能設定レジスタ (共通) (TSU_FWSLC)

CAM を使用する場合は、TSU_POST1~TSU_POST4 レジスタにより、CAM エントリテーブル中の参照する部分 (一部または全部) を指定することができます。TSU_FWSLC は、TSU_POST1~TSU_POST4 レジスタによる設定のイネーブルを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	POST ENU	POST ENL	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	POSTENU	0	R/W	CAM エントリテーブル 0~15 の POST フィールド設定 (TSU_POST1 および TSU_POST2 レジスタによる設定) を有効にします。 0: POST フィールド設定無効 1: POST フィールド設定有効 (CAM エントリテーブル参照条件は、POST フィールド設定に従う)
12	POSTENL	0	R/W	CAM エントリテーブル 16~31 の POST フィールド設定 (TSU_POST3 および TSU_POST4 レジスタによる設定) を有効にします。 0: POST フィールド設定無効 1: POST フィールド設定有効 (CAM エントリテーブル参照条件は、POST フィールド設定に従う)
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

24.3.31 VLANtag 設定レジスタ (TSU_VTAG0)

TSU_VTAG0は、受信動作で、VLAN 番号によるフレームの受信／破棄判定機能を有効にするか、また、そのときの VLAN 番号を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	VID0[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	VTAG0	0	R/W	0系 VLANtag 判定機能 0 : VLAN 番号によるフレームの受信／破棄判定機能を無効にします 1 : VLAN 番号によるフレームの受信／破棄判定機能を有効にします
30~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11~0	VID0	すべて0	R/W	V-LAN ID 設定 (VID) 受信フレームの受信する VLAN 番号を設定します。

24.3.32 CAM エントリテーブル設定ビジーレジスタ (TSU_ADSBSY)

CAM エントリテーブルレジスタ (TSU_ADRH0~TSU_ADRH31, TSU_ADRL0~TSU_ADRL31) をレジスタ書き込みで設定すると、本レジスタの ADSBSY ビットが 1 にセットされます (TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します)。本レジスタの ADSBSY ビットが 1 にセットされている期間は、TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 へのアクセスを禁止します。本レジスタは、読み出し専用のステータスレジスタです。書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ADSBSY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み動作は禁止します。
0	ADSBSY	0	R	CAM エントリテーブル設定ビジー TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 をレジスタライトで設定すると、1 にセットされます。TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します。本ビットが 1 にセットされている期間は、TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 へのアクセスを禁止します。本レジスタへの書き込み動作は、禁止します。

24.3.33 CAM エントリテーブルイネーブル設定レジスタ (TSU_TEN)

TSU_TEN は、TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 の有効または無効を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7	TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23	TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TEN0	0	R/W	CAM エントリテーブル 0 (TSU_ADRH0、TSU_ADRL0) 設定 0: 無効 1: 有効
30	TEN1	0	R/W	CAM エントリテーブル 1 (TSU_ADRH1、TSU_ADRL1) 設定 0: 無効 1: 有効
29	TEN2	0	R/W	CAM エントリテーブル 2 (TSU_ADRH2、TSU_ADRL2) 設定 0: 無効 1: 有効
28	TEN3	0	R/W	CAM エントリテーブル 3 (TSU_ADRH3、TSU_ADRL3) 設定 0: 無効 1: 有効
27	TEN4	0	R/W	CAM エントリテーブル 4 (TSU_ADRH4、TSU_ADRL4) 設定 0: 無効 1: 有効
26	TEN5	0	R/W	CAM エントリテーブル 5 (TSU_ADRH5、TSU_ADRL5) 設定 0: 無効 1: 有効
25	TEN6	0	R/W	CAM エントリテーブル 6 (TSU_ADRH6、TSU_ADRL6) 設定 0: 無効 1: 有効
24	TEN7	0	R/W	CAM エントリテーブル 7 (TSU_ADRH7、TSU_ADRL7) 設定 0: 無効 1: 有効

ビット	ビット名	初期値	R/W	説明
23	TEN8	0	R/W	CAM エントリテーブル 8 (TSU_ADRH8、TSU_ADRL8) 設定 0: 無効 1: 有効
22	TEN9	0	R/W	CAM エントリテーブル 9 (TSU_ADRH9、TSU_ADRL9) 設定 0: 無効 1: 有効
21	TEN10	0	R/W	CAM エントリテーブル 10 (TSU_ADRH10、TSU_ADRL10) 設定 0: 無効 1: 有効
20	TEN11	0	R/W	CAM エントリテーブル 11 (TSU_ADRH11、TSU_ADRL11) 設定 0: 無効 1: 有効
19	TEN12	0	R/W	CAM エントリテーブル 12 (TSU_ADRH12、TSU_ADRL12) 設定 0: 無効 1: 有効
18	TEN13	0	R/W	CAM エントリテーブル 13 (TSU_ADRH13、TSU_ADRL13) 設定 0: 無効 1: 有効
17	TEN14	0	R/W	CAM エントリテーブル 14 (TSU_ADRH14、TSU_ADRL14) 設定 0: 無効 1: 有効
16	TEN15	0	R/W	CAM エントリテーブル 15 (TSU_ADRH15、TSU_ADRL15) 設定 0: 無効 1: 有効
15	TEN16	0	R/W	CAM エントリテーブル 16 (TSU_ADRH16、TSU_ADRL16) 設定 0: 無効 1: 有効
14	TEN17	0	R/W	CAM エントリテーブル 17 (TSU_ADRH17、TSU_ADRL17) 設定 0: 無効 1: 有効
13	TEN18	0	R/W	CAM エントリテーブル 18 (TSU_ADRH18、TSU_ADRL18) 設定 0: 無効 1: 有効
12	TEN19	0	R/W	CAM エントリテーブル 19 (TSU_ADRH19、TSU_ADRL19) 設定 0: 無効 1: 有効

ビット	ビット名	初期値	R/W	説明
11	TEN20	0	R/W	CAM エントリテーブル 20 (TSU_ADRH20、TSU_ADRL20) 設定 0: 無効 1: 有効
10	TEN21	0	R/W	CAM エントリテーブル 21 (TSU_ADRH21、TSU_ADRL21) 設定 0: 無効 1: 有効
9	TEN22	0	R/W	CAM エントリテーブル 22 (TSU_ADRH22、TSU_ADRL22) 設定 0: 無効 1: 有効
8	TEN23	0	R/W	CAM エントリテーブル 23 (TSU_ADRH23、TSU_ADRL23) 設定 0: 無効 1: 有効
7	TEN24	0	R/W	CAM エントリテーブル 24 (TSU_ADRH24、TSU_ADRL24) 設定 0: 無効 1: 有効
6	TEN25	0	R/W	CAM エントリテーブル 25 (TSU_ADRH25、TSU_ADRL25) 設定 0: 無効 1: 有効
5	TEN26	0	R/W	CAM エントリテーブル 26 (TSU_ADRH26、TSU_ADRL26) 設定 0: 無効 1: 有効
4	TEN27	0	R/W	CAM エントリテーブル 27 (TSU_ADRH27、TSU_ADRL27) 設定 0: 無効 1: 有効
3	TEN28	0	R/W	CAM エントリテーブル 28 (TSU_ADRH28、TSU_ADRL28) 設定 0: 無効 1: 有効
2	TEN29	0	R/W	CAM エントリテーブル 29 (TSU_ADRH29、TSU_ADRL29) 設定 0: 無効 1: 有効
1	TEN30	0	R/W	CAM エントリテーブル 30 (TSU_ADRH30、TSU_ADRL30) 設定 0: 無効 1: 有効
0	TEN31	0	R/W	CAM エントリテーブル 31 (TSU_ADRH31、TSU_ADRL31) 設定 0: 無効 1: 有効

24.3.34 CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)

CAM を使用する場合、TSU_POST1～TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST1 は、TSU_ADRH0～TSU_ADRH7 および TSU_ADRL0～TSU_ADRL7 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST0	—	—	—	POST1	—	—	—	POST2	—	—	—	POST3	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST4	—	—	—	POST5	—	—	—	POST6	—	—	—	POST7	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST0	0	R/W	CAM エントリテーブル 0 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST0: 受信時に CAM エントリテーブル 0 を参照
30～28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27	POST1	0	R/W	CAM エントリテーブル 1 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST1: 受信時に CAM エントリテーブル 1 を参照
26～24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	POST2	0	R/W	CAM エントリテーブル 2 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST2: 受信時に CAM エントリテーブル 2 を参照
22～20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19	POST3	0	R/W	CAM エントリテーブル 3 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST3: 受信時に CAM エントリテーブル 3 を参照
18～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	POST4	0	R/W	CAM エントリテーブル 4 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST4: 受信時に CAM エントリテーブル 4 を参照

ビット	ビット名	初期値	R/W	説明
14~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST5	0	R/W	CAM エントリテーブル 5 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST5 : 受信時に CAM エントリテーブル 5 を参照
10~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST6	0	R/W	CAM エントリテーブル 6 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST6 : 受信時に CAM エントリテーブル 6 を参照
6~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST7	0	R/W	CAM エントリテーブル 7 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST7 : 受信時に CAM エントリテーブル 7 を参照
2~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

24.3.35 CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)

CAM を使用する場合は、TSU_POST1~TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST2 は、TSU_ADRH8~TSU_ADRH15 および TSU_ADRL8~TSU_ADRL15 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST8	—	—	—	POST9	—	—	—	POST10	—	—	—	POST11	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST12	—	—	—	POST13	—	—	—	POST14	—	—	—	POST15	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST8	0	R/W	CAM エントリテーブル 8 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST8 : 受信時に CAM エントリテーブル 8 を参照
30~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
27	POST9	0	R/W	CAM エントリテーブル 9 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST9 : 受信時に CAM エントリテーブル 9 を参照
26~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	POST10	0	R/W	CAM エントリテーブル 10 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST10 : 受信時に CAM エントリテーブル 10 を参照
22~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19	POST11	0	R/W	CAM エントリテーブル 11 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST11 : 受信時に CAM エントリテーブル 11 を参照
18~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	POST12	0	R/W	CAM エントリテーブル 12 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST12 : 受信時に CAM エントリテーブル 12 を参照
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	POST13	0	R/W	CAM エントリテーブル 13 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST13 : 受信時に CAM エントリテーブル 13 を参照
10~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	POST14	0	R/W	CAM エントリテーブル 14 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST14 : 受信時に CAM エントリテーブル 14 を参照
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	POST15	0	R/W	CAM エントリテーブル 15 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST15 : 受信時に CAM エントリテーブル 15 を参照
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

24.3.36 CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)

CAM を使用する場合、TSU_POST1～TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST3 は、TSU_ADRH16～TSU_ADRH23 および TSU_ADRL16～TSU_ADRL23 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST16	—	—	—	POST17	—	—	—	POST18	—	—	—	POST19	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST20	—	—	—	POST21	—	—	—	POST22	—	—	—	POST23	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST16	0	R/W	CAM エントリテーブル 16 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST16 : 受信時に CAM エントリテーブル 16 を参照
30～28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27	POST17	0	R/W	CAM エントリテーブル 17 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST17 : 受信時に CAM エントリテーブル 17 を参照
26～24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	POST18	0	R/W	CAM エントリテーブル 18 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST18 : 受信時に CAM エントリテーブル 18 を参照
22～20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19	POST19	0	R/W	CAM エントリテーブル 19 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST19 : 受信時に CAM エントリテーブル 19 を参照
18～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	POST20	0	R/W	CAM エントリテーブル 20 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST20 : 受信時に CAM エントリテーブル 20 を参照

ビット	ビット名	初期値	R/W	説明
14~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST21	0	R/W	CAM エントリテーブル 21 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST21 : 受信時に CAM エントリテーブル 21 を参照
10~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST22	0	R/W	CAM エントリテーブル 22 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST22 : 受信時に CAM エントリテーブル 22 を参照
6~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST23	0	R/W	CAM エントリテーブル 23 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST23 : 受信時に CAM エントリテーブル 23 を参照
2~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

24.3.37 CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)

CAM を使用する場合は、TSU_POST1~TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST4 は、TSU_ADRH24~TSU_ADRH31 および TSU_ADRL24~TSU_ADRL31 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST24	—	—	—	POST25	—	—	—	POST26	—	—	—	POST27	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST28	—	—	—	POST29	—	—	—	POST30	—	—	—	POST31	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST24	0	R/W	CAM エントリテーブル 24 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST24 : 受信時に CAM エントリテーブル 24 を参照
30~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
27	POST25	0	R/W	CAM エントリテーブル 25 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST25 : 受信時に CAM エントリテーブル 25 を参照
26~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	POST26	0	R/W	CAM エントリテーブル 26 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST26 : 受信時に CAM エントリテーブル 26 を参照
22~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19	POST27	0	R/W	CAM エントリテーブル 27 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST27 : 受信時に CAM エントリテーブル 27 を参照
18~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	POST28	0	R/W	CAM エントリテーブル 28 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST28 : 受信時に CAM エントリテーブル 28 を参照
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	POST29	0	R/W	CAM エントリテーブル 29 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST29 : 受信時に CAM エントリテーブル 29 を参照
10~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	POST30	0	R/W	CAM エントリテーブル 30 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST30 : 受信時に CAM エントリテーブル 30 を参照
6~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	POST31	0	R/W	CAM エントリテーブル 31 を参照する条件を設定します。 1 にセットすることにより、条件を選択することが可能です。 POST31 : 受信時に CAM エントリテーブル 31 を参照
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

24.3.38 CAM エントリテーブル 0~31H レジスタ (TSU_ADRH0~TSU_ADRH31)

TSU_ADRH0~TSU_ADRH31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの上位 32 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRHn[31:16] (n:0~31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRHn[15:0] (n:0~31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ADRHn [31:0] (n: 0~31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU_ADRH0~TSU_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU_ADRL0~TSU_ADRL31 により、MAC アドレスの下部 16 ビットを設定します。

24.3.39 CAM エントリテーブル 0~31L レジスタ (TSU_ADRL0~TSU_ADRL31)

TSU_ADRL0~TSU_ADRL31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの低位 16 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRLn[15:0] (n:0~31)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	ADRLn15~ ADRLn0 (n: 0~31)	すべて 0	R/W	MAC アドレスビット MAC アドレスの低位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

【注】 CAM エントリテーブルは下記の手順に従って設定してください。

1. TSU_ADSBSY の ADSBSY ビットが 0 であることを確認します。
2. TSU_ADRH0~TSU_ADRH31 により、MAC アドレスの上位 32 ビットを設定します。
3. TSU_ADRL0~TSU_ADRL31 により、MAC アドレスの低位 16 ビットを設定します。

24.3.40 送信フレーム数カウンタレジスタ (正常送信のみ) (TXNLCR0)

TXNLCR0は、E-MACにて正常に送信が完了したフレーム数を示す32ビットのカウンタです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NCT0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NTC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NTC0[31:0]	すべて0	R	送信フレームカウンタビット 正常に送信が完了したフレームのカウンタ数を表示します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.41 送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (TXALCR0)

TXALCR0は、E-MACにて障害が発生した送信フレーム数を含んだ送信フレーム数を示す32ビットのカウンタです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TC0[31:0]	すべて0	R	送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウンタ数を表示します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.42 受信フレーム数カウンタレジスタ (正常受信のみ) (RXNLCR0)

RXNLCR0は、E-MACにて正常に受信が完了したフレーム数を示す32ビットのカウンタです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	NRC0[31:0]	すべて0	R	受信フレームカウンタビット 正常に受信が完了したフレームのカウンタ数を表します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.43 受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (RXALCR0)

RXALCR0は、E-MACにて障害が発生した送信フレーム数を含んだ送信フレーム数を示す32ビットのカウンタです。値がH'FFFFFFFになるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0にクリアされます。本レジスタへの書き込みはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC0[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RC0[31:0]	すべて0	R	受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウンタ数を表します。

【注】 本レジスタのカウンタ値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

24.3.44 E-DMAC 起動レジスタ (EDSR)

EDSR は、E-DMAC の送信部、受信部の起動を指定します。本レジスタは書き込みのみ可能で読み出しは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENT	ENR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	ENT	0	W	E-DMAC 送信部起動 0 : E-DMAC 送信部を停止します。 1 : E-DMAC 送信部を起動します。
0	ENR	0	W	E-DMAC 受信部起動 0 : E-DMAC 受信部を停止します。 1 : E-DMAC 受信部を起動します。

24.3.45 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC のリセット指示および送受信ディスクリプタ長を指定します。本レジスタの設定は、送信機能、受信機能が有効になる前 (EDTRR の TR ビットまたは, EDRRR の RR ビットを 1 とする以前) に行います。ただし、SWRR と SWRT ビットは、送信機能、受信機能が有効になった後でも書き込むことが可能です。データ送信中に本レジスタによってソフトウェアリセットを実行すると、回線に異常データを送出する可能性があります。本レジスタによる送受信ディスクリプタ長の指定、TDLAR、RDLAR 等の設定値、ECMR (E-MAC モードレジスタ) の設定値、他 E-DMAC、E-MAC の動作に関わるレジスタ設定値を変更するには、本レジスタのソフトウェアリセットを実行後設定します。

本レジスタのソフトウェアリセットを実行する場合は、必ず、SWRT ビットと SWRR ビットに同時に 1 を書き込んでください。SWRT ビットと SWRR ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、E-MAC の各レジスタを初期化することができます。TSU のレジスタ (レジスタ名が TSU_ で始まるレジスタ) は初期化されません。EDMR0 の SWRT および SWRR ビットでは E-DMAC と E-MAC 関係の各レジスタが初期化されます。なお、ソフトウェアリセットの発行期間中 (内部バスクロック Bck で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]	—	—	SWRT	SWRR	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	DE	0	R/W	送受信フレームエンディアン 送受信 FIFO・送受信バッファ間のフレームデータ DMA 転送時のエンディアンを設定します。 0: ビッグエンディアンモード (ロングワードアクセス) 1: リトルエンディアンモード (ロングワードアクセス)
5, 4	DL[1:0]	00	R/W	送受信ディスクリプタ長 ディスクリプタ長を指定します (「24.4.1 ディスクリプタとディスクリプタリスト」参照)。 00: 16 バイト 01: 32 バイト 10: 64 バイト 11: リザーブ (設定不可)

ビット	ビット名	初期値	R/W	説 明
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	SWRT	0	R/W	送信 FIFO 制御部ソフトウェアリセット [書き込み時] 0: 無効 1: ソフトウェアリセット起動 [読み出し時] 0: ソフトウェアリセット未実行 (あるいは完了) 1: ソフトウェアリセット実行中
0	SWRR	0	R/W	受信 FIFO 制御部ソフトウェアリセット [書き込み時] 0: 無効 1: ソフトウェアリセット起動 [読み出し時] 0: ソフトウェアリセット未実行 (あるいは完了) 1: ソフトウェアリセット実行中

24.3.46 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。本レジスタの TR ビットに 11 を書き込んだ後、E-DMAC は TDLAR に指示されているアドレスの送信ディスクリプタを読み込みます。この送信ディスクリプタの TACT ビットが 1 (有効) であれば、E-DMAC による送信 DMA 転送が開始します。以降、最初の送信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の送信ディスクリプタを読み込み TACT ビットが有効であれば、送信 DMA 動作を継続します。また、送信ディスクリプタの TACT ビットが 0 (無効) の場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	TR	00	R/W	送信要求 00、01、10 : 送信停止状態 00、01、あるいは 10 を書き込んだ場合、E-DMAC は、現在処理中の送信ディスクリプタの DMA 転送を終了し、その次の送信ディスクリプタを読み込んだ後に、TR ビットをクリアします (それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます)。 また、E-DMAC は、送信ディスクリプタの枯渇あるいは送信完了を検出した場合、TR ビットをクリアします (それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます)。 11 : E-DMAC による送信 DMA 動作中 11 を書き込んだ後は、E-DMAC は送信ディスクリプタの読み込みを開始します。

24.3.47 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。本レジスタの RR ビットに 1 を書き込んだ後、E-DMAC は RDLAR に指示されているアドレスの受信ディスクリプタを読み込みます。この受信ディスクリプタの RACT ビットが 1 (有効) で受信 FIFO に受信したフレームがあれば、E-DMAC による受信 DMA 転送が開始します。以降、最初の受信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の受信ディスクリプタを読み込み RACT ビットが有効であれば、受信 DMA 動作を継続します。ただし、受信 FIFO に受信データがない場合には、E-DMAC は受信 DMA 動作を待機状態にします。また、受信ディスクリプタの RACT ビットが 0 (無効) の場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0: 受信機能を無効にする* 0 を書き込んだ場合、E-DMAC は、1 フレームの DMA 転送を終了した時点で受信機能を停止し、RR ビットをクリアします。 また、受信ディスクリプタの枯渇を検出した場合、E-DMAC は、RR ビットをクリアします。 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態となる

【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポイントが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR0 の SWRT および SWRR ビットによりソフトウェアリセットを実行してください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR0 の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

24.3.48 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出したり書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=00) による送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:15]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDLA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ: TDLA[3:0]=0000 32 バイトバウンダリ: TDLA[4:0]=00000 64 バイトバウンダリ: TDLA[5:0]=000000

24.3.49 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出したり書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDLA[31:15]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDLA [31:0]	すべて0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0]=0000 32 バイトバウンダリ : RDLA[4:0]=00000 64 バイトバウンダリ : RDLA[5:0]=000000

24.3.50 E-MAC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 を書き込むことでクリアされます（ただし、ビット 22 (ECI) はリード専用で、1 を書き込んでもクリアされません）。0 を書き込んでも、各ビットの状態には影響しません。各割り込み要因は E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、GEINT0 となります。割り込みの優先順位については、「第 7 章 割り込みコントローラ (INTC、INTC2)」の「7.3.2 割り込み要因」を参照ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB[1:0]	TC[1]	TUC	ROC	TABT	RABT	RFCOF	—	ECI	TC[0]	TDE	TFUF	FR	RDE	RFE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLC	CD	TRO	RMAF	CEEF	CELF	RRF	RTLF	RTSF	PRE	CERF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	TWB[1:0]	00	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、送信フレームの最後を含む送信ディスクリプタの TWBI ビットが 1 にセットされているときのみ有効です。 00 : ライトバック未完了または送信未指示 11 : ライトバック完了 その他 : 無効

ビット	ビット名	初期値	R/W	説明
29	TC[1]	0	R/W	<p>フレーム送信完了</p> <p>TC[0]ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべて E-MAC 部から送信したことを示します。1 フレーム/1 ディスクリプタでは、1 フレームの送信が完了し次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合、また 1 フレーム/複数ディスクリプタであるマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は送信状態を当該ディスクリプタにライトバックします。</p> <p>TC[1:0]</p> <p>00 : 送信未完了または送信未指示</p> <p>11 : 送信完了</p> <p>その他 : 無効</p>
28	TUC	0	R/W	<p>送信アンダフローフレームライトバック完了</p> <p>0 : 送信アンダフローを起こしたフレームのライトバックが完了していない</p> <p>1 : 送信アンダフローを起こしたフレームのライトバックが完了した</p>
27	ROC	0	R/W	<p>受信オーバフローフレームライトバック完了</p> <p>0 : 受信アンダフローを起こしたフレームのライトバックが完了していない</p> <p>1 : 受信アンダフローを起こしたフレームのライトバックが完了した</p>
26	TABT	0	R/W	<p>送信中断検出</p> <p>フレーム送信時、障害等により E-MAC がフレーム送信を中断したことを示します。</p> <p>0 : フレーム送信中断未発生または送信未指示</p> <p>1 : フレーム送信中断発生</p>
25	RABT	0	R/W	<p>受信中断検出</p> <p>フレーム受信時、障害等により E-MAC がフレーム受信を中断したことを示します。</p> <p>0 : フレーム受信中断未発生または受信未指示</p> <p>1 : フレーム受信中断発生</p>
24	RFCOF	0	R/W	<p>受信フレームカウンタオーバフロー</p> <p>受信 FIFO 内のフレームカウンタがオーバフローしたことを示します。</p> <p>0 : 受信フレームカウンタがオーバフローしていない</p> <p>1 : 受信フレームカウンタがオーバフローした</p>
23	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
22	ECI	0	R	<p>E-MAC ステータスレジスタ要因</p> <p>本ビットは、リード専用です。ECSR の要因がクリアされると、本ビットもクリアされます。</p> <p>0 : E-MAC ステータス割り込み要因未検出</p> <p>1 : E-MAC ステータス割り込み要因検出</p>

ビット	ビット名	初期値	R/W	説明
21	TC[0]	0	R/W	フレーム送信完了 TC[1]ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべて E-MAC 部から送信したことを示します。詳しくは、TC[1]ビットの説明を参照してください。
20	TDE	0	R/W	送信ディスクリプタ枯渇 1 フレーム/複数ディスクリプタであるマルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。 0 : 送信ディスクリプタ有効ビット TACT=1 を検出 1 : 送信ディスクリプタ有効ビット TACT=0 を検出 送信ディスクリプタ枯渇 (TDE=1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。
19	TFUF	0	R/W	送信 FIFO アンダフロー フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。 0 : アンダフロー未発生 1 : アンダフロー発生
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1 フレームを受信するたびに 1 にセットされます。 0 : フレーム未受信 1 : フレーム受信済み
17	RDE	0	R/W	受信ディスクリプタ枯渇 E-DMAC が受信 DMA のため読み込んだ受信ディスクリプタの RACT ビットが 0 (無効) であったことを示します。 受信ディスクリプタ枯渇 (RDE=1) が発生した場合は、RACT ビット=0 となっていた受信ディスクリプタを RACT=1 に設定し EDRRR の RR ビットに 1 を書き込むことで、受信を再開することができます。 0 : 受信ディスクリプタ有効ビット RACT=1 を検出 1 : 受信ディスクリプタ有効ビット RACT=0 を検出
16	RFOF	0	R/W	受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0 : オーバフロー未発生 1 : オーバフロー発生
15~11	—	すべて 0	R	リザーブビット 書き込み時は常に 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
10	DLC	0	R/W	キャリア消失検出 フレームを送信中にキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 フレームを送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出
8	TRO	0	R/W	送信リトライオーバ フレームを送信中にリトライオーバが発生したことを示します。これは、E-MAC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信
6	CEEF	0	R/W	キャリア拡張エラー 1 ギガビット/半二重転送モード時、フレームを受信中にキャリア拡張エラーが発生したことを示します。 0: キャリア拡張エラー未発生 1: キャリア拡張エラー発生
5	CELF	0	R/W	キャリア拡張消失 1 ギガビット/半二重転送モード時、キャリア拡張が消失したことを示します。フレームとキャリア拡張の長さの合計が SLOT_TIME (4096bit) 未満であることを示します。 0: キャリア拡張消失未発生 1: キャリア拡張消失発生
4	RRF	0	R/W	端数ビットフレーム受信 0: 端数ビットフレーム未受信 1: 端数ビットフレーム受信
3	RTLFL	0	R/W	ロングフレーム受信エラー RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0: ロングフレーム未受信 1: ロングフレーム受信
2	RTSF	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0: ショートフレーム未受信 1: ショートフレーム受信

ビット	ビット名	初期値	R/W	説明
1	PRE	0	R/W	PHY-LSI 受信エラー 0 : PHY-LSI 受信エラー未検出 1 : PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0 : CRC エラー未検出 1 : CRC エラー検出

24.3.51 E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出したり書き込み可能な 32 ビットのレジスタで、E-MAC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB1 IP	TWB0 IP	TC1 IP	TUC IP	ROC IP	TABT IP	RABT IP	RFCOF IP	—	ECI IP	TC0 IP	TDE IP	TFUF IP	FR IP	RDE IP	RFE IP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLC IP	CD IP	TRO IP	RMAF IP	CEEF IP	CELF IP	RRF IP	RTLF IP	RTSF IP	PRE IP	CERF IP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TWB1IP	0	R/W	ライトバック完了割り込み許可 0 : ライトバック完了割り込み禁止 1 : ライトバック完了割り込み許可
30	TWB0IP	0	R/W	ライトバック完了割り込み許可 0 : ライトバック完了割り込み禁止 1 : ライトバック完了割り込み許可
29	TC1IP	0	R/W	フレーム送信完了割り込み許可 0 : フレーム送信完了割り込み禁止 1 : フレーム送信完了割り込み許可
28	TUCIP	0	R/W	送信アンダフローフレームライトバック完了 0 : 送信アンダフローフレームライトバック完了割り込み禁止 1 : 送信アンダフローフレームライトバック完了割り込み許可
27	ROCIP	0	R/W	受信オーバフローフレームライトバック完了 0 : 受信オーバフローフレームライトバック完了割り込み禁止 1 : 受信オーバフローフレームライトバック完了割り込み許可

ビット	ビット名	初期値	R/W	説明
26	TABTIP	0	R/W	送信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバーフロー割り込み許可 0: 受信フレームカウンタオーバーフロー割り込み禁止 1: 受信フレームカウンタオーバーフロー割り込み許可
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
22	ECIIP	0	R/W	E-MAC ステータスレジスタ要因割り込み許可 0: E-MAC ステータス割り込み禁止 1: E-MAC ステータス割り込み許可
21	TCOIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可

ビット	ビット名	初期値	R/W	説明
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバー割り込み許可 0: 送信リトライオーバー割り込み禁止 1: 送信リトライオーバー割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可
6	CEEFIP	0	R/W	キャリア拡張エラー割り込み許可 0: キャリア拡張エラー割り込み禁止 1: キャリア拡張エラー割り込み許可
5	CELFIP	0	R/W	キャリア拡張消失割り込み許可 0: キャリア拡張消失割り込み禁止 1: キャリア拡張消失割り込み許可。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0: 端数ビットフレーム受信割り込み禁止 1: 端数ビットフレーム受信割り込み許可
3	RTLFIPI	0	R/W	ロングフレーム受信エラー割り込み許可 0: ロングフレーム受信エラー割り込み禁止 1: ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0: ショートフレーム受信エラー割り込み禁止 1: ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0: PHY-LSI 受信エラー割り込み禁止 1: PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレーム CRC エラー割り込み許可 0: CRC エラー割り込み禁止 1: CRC エラー割り込み許可

24.3.52 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 26 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 25 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TABT CE	RABT CE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLC CE	CD CE	TRO CE	RMAF CE	CEEF CE	CELF CE	RRF CE	RTL CE	RTSF CE	PRE CE	CERF CE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	TABTCE	0	R/W	TABT ビットコピー指示 0 : TABT ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1 : 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません
16	RABTCE	0	R/W	RABT ビットコピー指示 0 : RABT ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1 : 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	DLCCE	0	R/W	DLC ビットコピー指示 0 : DLC ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1 : 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません

ビット	ビット名	初期値	R/W	説明
9	CDCE	0	R/W	CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません
8	TROCE	0	R/W	TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFE ビットに反映します 1: 該当する要因が発生しても送信ディスクリプタの TFE ビットに反映しません
7	RMAFCE	0	R/W	RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
6	CEEFCE	0	R/W	CEEF ビットコピー指示 0: CEEF ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
5	CELFCCE	0	R/W	CELF ビットコピー指示 0: CELF ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
4	RRFCE	0	R/W	RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
3	RTLFCCE	0	R/W	RTLFC ビットコピー指示 0: RTLFC ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
2	RTSFCCE	0	R/W	RTSFC ビットコピー指示 0: RTSFC ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません

ビット	ビット名	初期値	R/W	説明
1	PRECE	0	R/W	PRE ビットコピー指示 0: PRF ビットのステータスを受信ディスクリプタの RFE ビットに反映しません 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません
0	CERFCE	0	R/W	CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタの RFE ビットに反映します 1: 該当する要因が発生しても受信ディスクリプタの RFE ビットに反映しません

24.3.53 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに破棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバーフローすると、この FIFO 内にある受信フレームは破棄されます。このときに破棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値をクリアする際は、本レジスタに H'0000 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC [15:0]	すべて 0	R/W	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに破棄されたフレーム数を示します。

24.3.54 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。E-MAC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお送信動作中 (EDTRR.TR[1:0]=11) の本レジスタへの書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFT[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~0	TFT[10:0]	すべて 0	R/W	送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい 32 バイト単位の値で設定してください。 H'000 : スタア&フォワードモード H'008 : 32 バイト H'010 : 64 バイト H'018 : 128 バイト : : H'07F : 508 バイト H'080 : 512 バイト : : H'0FF : 1020 バイト H'100 : 1024 バイト : : H'1FF : 2044 バイト H'200 : 2048 バイト

【注】 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

24.3.55 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFD[2:0]			—	—	—	RFD[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~8	TFD[2:0]	すべて 0	R/W	送信 FIFO 容量 最大 2K バイトある送信 FIFO の容量を 256 バイトから 2K バイトまで、256 バイト単位で指定します。256~2048 バイト設定としてください。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト (初期値) H'01 : 512 バイト : : H'07 : 2048 バイト
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4~0	RFD[4:0]	すべて 0	R/W	受信 FIFO 容量 最大 4K バイトある受信 FIFO の容量を 256 バイトから 4K バイトまで、256 バイト単位で指定します。256~4096 バイト設定としてください。送受信開始後は、設定値を変更することを禁止します。 H'00 : 256 バイト (初期値) H'01 : 512 バイト : : H'0F : 4096 バイト

24.3.56 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信時の ECMR 内にある RE ビットの制御の方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RNC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RNC	0	R/W	受信許可制御 フレーム受信を継続する/しないを設定します。 0: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込んで EDRRR の RR ビットを 0 とします。 1: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタに書き込み (ライトバック) します。さらに E-DMAC は次のディスクリプタを読み込み、次のフレームの受信に備えます。

24.3.57 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する受信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDFAR [31:0]	すべて0	R/W	受信ディスクリプタフェッチアドレス 受信中に本レジスタへの書き込みは禁止です。

24.3.58 受信ディスクリプタ処理済アドレスレジスタ (RDFXR)

RDFXR は、E-DMAC が、直前にライトバック処理を完了した受信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタまで処理を実行したかを認識できます。初期設定の際は、RDFAR レジスタ設定値の1つ前の受信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFXR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFXR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDFXR [31:0]	すべて0	R/W	受信ディスクリプタ処理済アドレス 受信中に本レジスタへの書き込みは禁止です。

24.3.59 受信ディスクリプタ最終フラグレジスタ (RDFFR)

RDFFR は、RDFX でアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RDLF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	RDLF	0	R/W	受信ディスクリプタ列最終フラグ RDFXR でアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。 0: 受信ディスクリプタ列の最終でない 1: 受信ディスクリプタ列の最終である

24.3.60 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタ情報をもとに処理を実行しているか認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する送信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDFAR [31:0]	すべて0	R/W	送信ディスクリプタフェッチアドレス 送信中に本レジスタへの書き込みは禁止です。

24.3.61 送信ディスクリプタ処理済アドレスレジスタ (TDFXR)

TDFXR は、E-DMAC が、直前にライトバック処理を完了した送信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタまで処理を実行したか認識できます。初期設定の際は、TDFAR レジスタレジスタ設定値の1つ前の送信ディスクリプタのアドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFXR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFXR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDFXR [31:0]	すべて0	R/W	送信ディスクリプタ処理済アドレス 送信中に本レジスタへの書き込みは禁止です。

24.3.62 送信ディスクリプタ最終フラグレジスタ (TDFFR)

TDFFR は、TDFXR でアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDLF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	TDLF	0	R/W	送信ディスクリプタ列最終フラグ TDFXR でアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスクリプタ列 (ディスクリプタリスト) の最終であるかどうかを示します。 0: 送信ディスクリプタ列の最終でない 1: 送信ディスクリプタ列の最終である

24.3.63 オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC のフロー制御の設定を行います。受信 FIFO データ容量 (RFD[7:0])、受信フレーム数 (RFF[4:0]) によるしきい値を設定できます。

RFD の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量-64) バイトでフロー制御をオンにします。たとえば FDR の RFD=7、FCFTR の RFD=7 の場合は、受信 FIFO 内に (2,048-64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

フロー制御のオンは、RFF[4:0]または RFD[7:0]のいずれかの設定条件を満たしたときになります。フロー制御のオフは、いずれの設定条件も満たしていない (解除) ときになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	RFF[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RFD[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20~16	RFF[4:0]	H'17	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00: 受信フレームを受信 FIFO 内に 1 フレーム格納完了時 H'01: 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 : : H'16: 受信フレームを受信 FIFO 内に 23 フレーム格納完了時 H'17: 受信フレームを受信 FIFO 内に 24 フレーム格納完了時
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	RFD[7:0]	H'FF	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00: 受信 FIFO 内に 256-32 バイトのデータ容量を格納時 H'01: 受信 FIFO 内に 512-32 バイトのデータ容量を格納時 : : H'06: 受信 FIFO 内に 1,792-32 バイトのデータ容量を格納時 H'07: 受信 FIFO 内に 2,048-64 バイトのデータ容量を格納時

24.3.64 受信データパディング挿入設定レジスタ (RPADIR)

RPADIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信データのパディングの挿入を行うレジスタです。本レジスタを再設定するときは、E-DMAC モードレジスタ (EDMR) の SWRT および SWRR ビットでソフトウェアリセットしてから行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-											PADS[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20~16	PADS [4:0]	H'00	R/W	パディングサイズ H'00 : パディング挿入なし H'01 : 1 バイト挿入 : : H'1F : 31 バイト挿入
15~0	PADR [15:0]	H'0000	R/W	パディング範囲 H'0000 : 1 バイト目にパディングサイズ分挿入 H'0001 : 2 バイト目にパディングサイズ分挿入 : : H'FFFF : 64K バイト目にパディングサイズ分挿入

24.3.65 インテリジェントチェックサムモードレジスタ (CSMR)

CSMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、インテリジェントチェックサムの動作モードを指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSEBL	CSMD	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	SB[5:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CSEBL	1	R/W	インテリジェントチェックサム計算機能の動作設定 0 : チェックサム計算結果を受信ディスクリプタにライトバックしません。 1 : チェックサム計算結果を受信ディスクリプタにライトバックします。
30	CSMD	1	R/W	インテリジェントチェックサム計算モードの設定 0 : MAC レイヤパケットの先頭から SB[5:0] に設定されたバイト数分をスキップした残りのすべてのデータについてチェックサムを計算します。 1 : MAC/IP レイヤパケットを解析しながら、TCP/UDP など上位レイヤのパケットのチェックサムを計算します。
29~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	SB[5:0]*	011010	R/W	インテリジェントチェックサム機能チェックサム計算スキップバイト 受信 MAC の先頭から起算したスキップバイト数を指定します。 パディング挿入する場合は、パディングサイズ/パディング範囲を含めてチェックサム計算開始位置を設定してください。 H'00 : 0 バイト目 (受信 MAC パケットの先頭からチェックサム計算開始) H'02 : 2 バイト目 : : H'1A : 26 バイト目 : : H'3E : 62 バイト目

【注】 * CSEBL=1、CSMD=0 のときのみ設定可能です。左記以外のときは H'00 を設定してください。

24.3.66 インテリジェントチェックサム機能スキップ済みバイト数モニタレジスタ (CSSBM)

CSSBM は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのスキップ済みバイト数を格納します。本レジスタに表示される値をモニタすることにより、スキップ済みバイト数を認識できます。E-DMAC が受信しているデータとスキップ済みバイト数が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	SBM[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
5~0	SBM[5:0]	000000	R	スキップ済みバイト数 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で0に初期化します。

【注】 * CSEBL=1、CSMD=0 のときのみ有効な値です。

24.3.67 インテリジェントチェックサム機能モニタレジスタ (CSSMR)

CSSMR は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのチェックサム値を格納します。本レジスタに表示される値をモニタすることにより、チェックサム値を認識できます。E-DMAC が受信しているデータとチェックサム値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	CS[15:0]	0	R	チェックサム値 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で 0 に初期化します。

【注】 * CSEBL=1、CSMD=0 のときのみ有効な値です。

24.3.68 RMII_MII 選択バイト (RMII_MII)

RMII_MII は、読み出しまたは書き込み可能な 32 ビットのレジスタで、GMII、MII、RMII のモードを選択するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	rmiist[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1, 0	rmiist [1:0]	00	R/W	RMII_MII 選択バイト RMII/MII/GMII のモードを設定してください。 H'0 : RMII H'1 : MII H'2 : GMII H'3 : リザーブ

24.4 動作説明

GETHER は、以下の 3 つの機能から構成されています。

- DMA転送制御部 (E-DMAC) : メモリ上の送受信バッファと送受信FIFO間のDMA転送
- MAC制御部 (E-MAC) : 送信/受信FIFOとGMII/MII/RMII間の送信/受信処理
- 転送制御部 (TSU) : 転送処理およびCAM処理

E-DMAC は、E-DMAC に内蔵されているダイレクトメモリアクセス (DMA) 機能を使用し、ユーザが指定するイーサネットフレームデータの格納先 (アクセス可能なメモリ空間: 送信バッファ/受信バッファ) と送信/受信 FIFO との間でフレームデータの転送を行います。ユーザが CPU を介して直接送信/受信 FIFO のデータを読み書きすることはできません。

E-DMAC が DMA 転送を行うためには、ディスクリプタと呼ぶ送信/受信データの格納アドレス等が書かれた情報 (データ) が必要になります。E-DMAC は、ディスクリプタに書かれた情報に従って送信データを送信バッファから読み出す、あるいは受信データを受信バッファへ書き込みます。このディスクリプタは、読み書き可能なメモリ空間に配置されます。ディスクリプタを複数個並べ、ディスクリプタ列 (リスト) 化することによって、複数のイーサネットフレームデータの送信/受信を連続的に行うことができます。

E-MAC は、送信 FIFO に書き込まれたデータからイーサネットフレームを構成し、GMII/MII/RMII へ送信します。また、GMII/MII/RMII から受信したイーサネットフレームの CRC チェックを行った後、分解し受信 FIFO に書き込みます。本 LSI の外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII、GMII、RMII の 3 種類をサポートしています。

TSU は、E-DMAC と E-MAC の間に位置し、CAM エントリテーブルを参照しながら、E-MAC に入力されたイーサネットフレームの DA (宛先アドレス) を元に、以下のいずれかの処理を選択します。

1. 受信し受信FIFOに書き込む
2. 破棄する

図 24.2 にフレームデータ経路と各種設定の概要を示します。

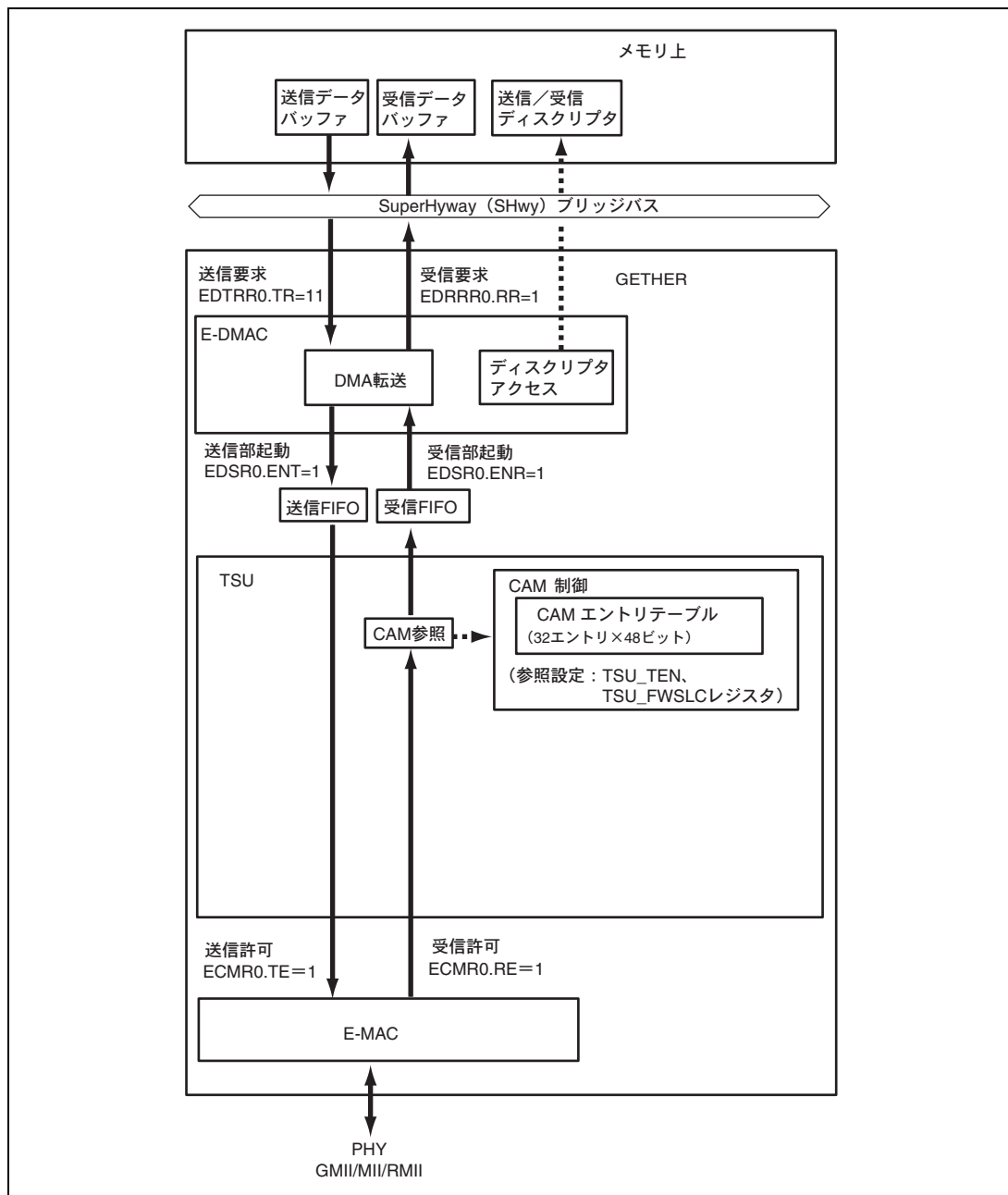


図 24.2 GETHER のデータ経路と各種設定

24.4.1 ディスクリプタとディスクリプタリスト

E-DMAC は、メモリ空間上に書き込まれたディスクリプタと呼ぶ情報（データ）に従って DMA 転送を行います。ディスクリプタには、送信ディスクリプタと受信ディスクリプタの 2 種類があります。DMA 転送を起動する前に、ソフトウェアで、送信／受信フレームデータの格納アドレス等の DMA 転送に関する情報を設定しておく必要があります。

E-DMAC は、EDTRR の TR ビットが 11/EDRRR の RR ビットが 1 になると、送信／受信ディスクリプタを自律的に読み込み、ディスクリプタに記述された情報に従って、送信／受信バッファと送信／受信 FIFO の間で、フレームデータの DMA 伝送を行います。フレームデータの送信／受信が完了した後は、E-DMAC がディスクリプタの有効／無効ビットを無効とし、送信／受信の結果をディスクリプタ上のステータスビットに反映します。

ディスクリプタは、読み書き可能なメモリ空間に配置し、先頭ディスクリプタ（E-DMAC が最初に読み込むディスクリプタ）のアドレスを TDLAR/RDLAR に設定します。複数のディスクリプタをディスクリプタ列（ディスクリプタリスト）として用意する場合には、EDMR の DL[0:1]ビットに設定したディスクリプタ長に従って連続したアドレス（メモリ番地）に配置します。

(1) 送信ディスクリプタ

図 24.3 に送信ディスクリプタの構成と送信バッファの関係を示します。

送信ディスクリプタは、データの先頭から 32 ビット単位に TD0、TD1、TD2 およびパディングで構成されます。最後のパディングは EDMR の DL[1:0]ビットで指定するディスクリプタ長に従い長さが決まります。

TD0 は、送信ディスクリプタの有効/無効、ディスクリプタの構成情報およびステータス情報を示します。TD1 は、そのディスクリプタで指示する転送すべき送信バッファのデータ長 (TDL) を示します。TD2 は、転送する送信バッファの先頭アドレス (TBA) を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの送信データを全部指定すること (1 フレーム/1 バッファ) あるいはディスクリプタ複数個で 1 フレームの送信データを指定すること (1 フレーム/マルチバッファ) が可能です。1 フレーム/マルチバッファの具体例としては、イーサネットフレーム中毎回の送信で固定的に使われるデータ部分を複数のディスクリプタで参照するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレスのデータを複数のディスクリプタで共有して、残りのデータを各々別のバッファに格納するという方法が考えられます。

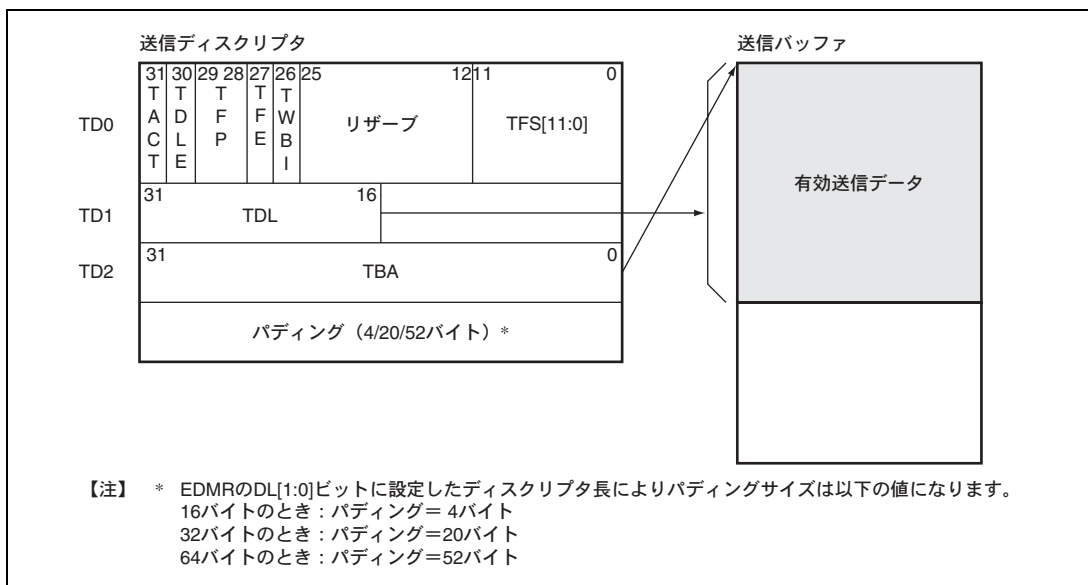


図 24.3 送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、EDTRR の TR ビット=11 とする以前に、ユーザがあらかじめディスクリプタの有効/無効ビットの設定やディスクリプタの構成を設定します。イーサネットフレームの送信が完了した後に、E-DMAC がディスクリプタの有効/無効ビットを無効にし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31~28、26 にディスクリプタの構成に従った値を書き込んでください。またビット 27、25~0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	TACT	0	R/W	<p>送信ディスクリプタ有効/無効</p> <p>当該ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ送信データを送信バッファ（ユーザの指定する送信データ格納先）に格納した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0：本送信ディスクリプタが無効</p> <p>初期値の状態か 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDTRR の TR ビットを 0 クリアし、E-DMAC の送信に関わる転送動作は停止します。</p> <p>1：本送信ディスクリプタが有効</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列（ディスクリプタリスト）が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	TDLE	0	R/W	<p>送信ディスクリプタリスト最終</p> <p>本ディスクリプタがディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。</p> <p>0：最終のディスクリプタリストではない</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1：最終のディスクリプタリストである</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、TDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>

ビット	ビット名	初期値	R/W	説明
29、28	TFP[1:0]	00	R/W	<p>送信フレーム内位置</p> <p>本ディスクリプタの情報が送信フレームの先頭かその途中または最終かを示します。</p> <p>00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む (1フレーム/1ディスクリプタ (1バッファ) である)</p> <p>【参考】</p> <p>1フレームを分割して使用する際の分割数に応じたディスクリプタ列における本ビットの指定要領を示します。</p> <ul style="list-style-type: none"> • 1フレーム/1ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 11 • 1フレーム/2ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 01 • 1フレーム/3ディスクリプタの場合 <ul style="list-style-type: none"> 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 00 3番目のディスクリプタ：TFP[1:0] = 01 <p>以降、分割数が多い場合には、中間の TFP[1:0] = 00 であるディスクリプタを追加していくことでディスクリプタ列を構成します。</p>
27	TFE	0	R/W	<p>送信フレームエラー発生</p> <p>送信フレームに何らかのエラーが発生したことを示します。</p> <p>0：TFS[11:0]のすべてのビットの値が 0 1：TFS[11:0]のいずれかのビットの値が 1</p> <p>TRSCER レジスタで、TFS[8:0]の要因単位にマスクすることができます。ただし、TFS[11:9]はマスクすることができません。</p> <p>本ビットは E-DMAC によってライトバックされます。</p>
26	TWBI	0	R/W	<p>ライトバック完了割り込み通知</p> <p>0：ライトバック完了割り込みを通知しません。 1：本ディスクリプタへのライトバック完了後、EESR レジスタの TWB[1:0] ビットに 11 をセットし、CPU にライトバック完了割り込みを通知します。</p> <p>本ビットは、送信フレームの最後を含むディスクリプタ (TFP=01 あるいは 11) でのみ有効です。本ビットはライトバックによって 0 に書き換わります。</p>
25~12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説 明
11~0	TFS[11:0]	すべて 0	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMAC によりライトバックされ、1 で当該の事象が発生したことを示します。 <ul style="list-style-type: none"> • TFS[11:10] : リザーブ (書き込み値は 0 としてください) • TFS[9] : 送信 FIFO アンダフロー (EESR の TUC ビットに相当) • TFS[8] : 送信中断検出 (EESR の TABT ビットに相当) • TFS[7:3] : リザーブ (書き込み値は 0 としてください) • TFS[2] : キャリア損失検出 (EESR の DLC ビットに相当) • TFS[1] : 遅延衝突検出 (EESR の CD ビットに相当) • TFS[0] : 送信タイムアウト (EESR の TRO ビットに相当)

(b) 送信ディスクリプタ 1 (TD1)

TD1 は、当該ディスクリプタが使用する送信バッファのデータ長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説 明
31~16	TDL [15:0]	すべて 0	R/W	送信バッファデータ長 (単位 : バイト) 当該送信バッファのデータ長をバイト単位で設定します。最大長は 64K-32 (H'FFE0) バイトです。
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

(c) 送信ディスクリプタ 2 (TD2)

TD2 は、32 ビット幅の当該送信バッファの先頭アドレスを示します。アドレス値はロングワード境界としてください。

ビット	ビット名	初期値	R/W	説明
31~0	TBA [31:0]	すべて 0	R/W	送信バッファ先頭アドレス 当該送信バッファの先頭アドレスを 16 バイト境界で設定します。

ディスクリプタの設定で以下のような設定を行った場合、E-DMAC はシステムリセットを行うまで、正常動作に復帰しませんので注意してください。

- TFP (送信フレーム内位置) が論理的に間違った設定

例：あるディスクリプタAでTFP=11と設定し、次のディスクリプタBでTFP=01と設定した。

ディスクリプタBが示す送信フレームの先頭部を示すディスクリプタが存在しないこととなります。

- TBL (送信バッファ長) を0とした設定

送信フレームを 3 つ以上の送信ディスクリプタに分割した場合、E-DMAC は以下のようにライトバックします。

- 送信フレームの先頭を含む送信ディスクリプタ (TFP=10あるいはTFP=11) と送信フレームの最後を含む送信ディスクリプタ (TFP=01あるいはTFP=11) に対してのみライトバックをします。
- 送信フレームの中間に対応する送信ディスクリプタ (TFP=00) に対してはライトバックしません。

ただし、TFE (送信フレームエラー発生) や TFS (送信フレームステータス) は、送信フレームの最後を含む送信ディスクリプタ (TFP=01 あるいは TFP=11) にのみライトバックされます。

また、ソフトウェアで送信ディスクリプタを再設定する場合は、未処理の送信ディスクリプタの上書き (再設定) を防ぐために、送信フレームの最後を含む送信ディスクリプタ (TFP=01 あるいは TFP=11) がライトバックされている (TACT=0 になっている) ことを再設定の前にあらかじめ確認する必要があります。

(2) 受信ディスクリプタ

図 24.4 に受信ディスクリプタと受信バッファの関係を示します。

受信ディスクリプタは、データの先頭から 32 ビット単位に RD0、RD1、RD2、およびパディングで構成されます。最後のパディングは EDMR の DL[0:1] ビットで指定するディスクリプタ長に従い長さが決まります。

RD0 は、受信ディスクリプタの有効/無効、ディスクリプタの構成情報、およびステータス情報を示します。

RD1 は、そのディスクリプタで指示する受信可能な受信バッファのデータ長 (RBL) と受信したフレームのデータ長 (RDL) を示します。RD2 は、受信データを格納する受信バッファの先頭アドレス (RBA) を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの受信データ全部を受信バッファに格納すること (1 フレーム/1 バッファ) あるいはディスクリプタ複数個で 1 フレームの受信データを受信バッファに格納すること (1 フレーム/マルチバッファ) が可能です。1 フレーム/マルチバッファのケースとしては、あらかじめ複数のディスクリプタ列 (ディスクリプタリスト) を用意しておき、各ディスクリプタの RBL を 500 バイトとしたときに 1514 バイトのイーサネットフレームを受信したとします。この場合、受信したイーサネットフレームは最初のディスクリプタから順に 500 バイトずつバッファに転送され、最後の 14 バイトだけが 4 つ目のバッファに転送されます。このように E-DMAC は、受信したフレームがディスクリプタの RBL を超える長さのフレームを受信した場合には、連続する次のディスクリプタを使用していくことによって受信バッファに転送していきます。また、1 フレーム/マルチバッファの効率的な具体例としては、イーサネットフレーム中の処理レイヤの異なる情報をバッファによって分離するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレス、およびタイプフィールドのデータをバッファ 1 (RBL を 14 バイトに指定) に格納し、残りのデータをバッファ 2 (RBL を 1500 バイトに指定) に格納するという方法があります。もちろん、複数のディスクリプタを用意してすべてのディスクリプタの RBL を 1514 バイト (イーサネットフレームの最大長) 以上にすれば、すべての受信フレームを 1 バッファに収めることができます。

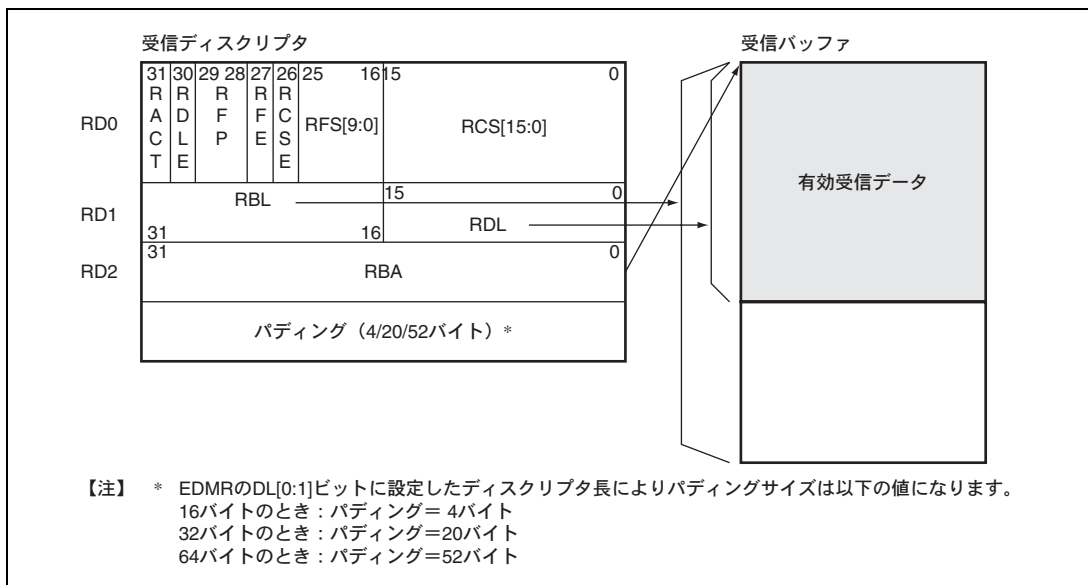


図 24.4 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ 0 (RD0)

RD0 は、EDRRR の RR ビット=1 後の E-DMAC がディスクリプタ情報の読み込みを開始する以前に、ユーザがあらかじめディスクリプタの有効/無効ビットの設定、およびディスクリプタリストが最終か否かを設定します。イーサネットフレームの受信バッファへの DMA 転送が完了した後、E-DMAC がディスクリプタの有効/無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31、30 にディスクリプタの構成に従った値を書き込んでください。また、ビット 29~0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	RACT	0	R/W	<p>受信ディスクリプタ有効/無効</p> <p>本ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ受信バッファ（ユーザの指定する受信データ格納先）を用意した後、本ビットに 1 を書き込みます。また、E-DMAC はデータの転送を完了すると本ビットを 0 クリアします。</p> <p>0: 本受信ディスクリプタが無効</p> <p>初期値の状態か 0 を書き込んだ後の状態、またはユーザが 1 を書き込んだ後の場合には E-DMAC のデータ転送処理終了により本ビットが 0 クリアされたことを示します。</p> <p>E-DMAC のディスクリプタ読み込みの際に、本状態が認識されると E-DMAC は EDRRR の RR ビットを 0 クリアし、E-DMAC の受信にかかわる転送動作は停止します。</p> <p>1: 本受信ディスクリプタが有効</p> <p>ユーザが 1 を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。</p> <p>E-DMAC は連続する複数個のディスクリプタ列（ディスクリプタリスト）が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。</p>
30	RDLE	0	R/W	<p>受信ディスクリプタリスト最終</p> <p>本ディスクリプタがディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。</p> <p>0: 最終のディスクリプタリストではない</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。</p> <p>1: 最終のディスクリプタリストである</p> <p>E-DMAC は本ディスクリプタの転送が完了した後、RDLAR が示すアドレスにあるディスクリプタを読み込みます。</p>

ビット	ビット名	初期値	R/W	説明
29、28	RFP[1:0]	00	R/W	<p>受信フレーム内位置</p> <p>本ディスクリプタの情報が受信フレームの先頭かその途中または最終かをE-DMACがライトバックによって示します。</p> <p>00：本ディスクリプタの情報はフレームの中間である</p> <p>01：本ディスクリプタの情報はフレームの最後である</p> <p>10：本ディスクリプタの情報はフレームの先頭である</p> <p>11：本ディスクリプタの情報はフレームの先頭と最後を含む (1フレーム/1ディスクリプタ (1バッファ) である)</p> <p>【参考】</p> <p>1フレームを受信した後のフレームとディスクリプタの関係を示します。</p> <ul style="list-style-type: none"> • 1フレーム/1ディスクリプタの場合 <ul style="list-style-type: none"> 1 番目のディスクリプタ：RFP[1:0] = 11 • 1フレーム/2ディスクリプタの場合 <ul style="list-style-type: none"> 1 番目のディスクリプタ：RFP[1:0] = 10 2 番目のディスクリプタ：RFP[1:0] = 01 • 1フレーム/3ディスクリプタの場合 <ul style="list-style-type: none"> 1 番目のディスクリプタ：RFP[1:0] = 10 2 番目のディスクリプタ：RFP[1:0] = 00 3 番目のディスクリプタ：RFP[1:0] = 01 <p>以降、分割数が多い場合には、中間の RFP[1:0] = 00 であるディスクリプタが増えることになります。</p>
27	RFE	0	R/W	<p>受信フレームエラー発生</p> <p>受信フレームに何らかのエラーが発生したことを示します。</p> <p>0：RFS[11:0]のすべてのビットの値が0</p> <p>1：RFS[11:0]のいずれかのビットの値が0</p> <p>TRSCER レジスタで、RFS[8:0]の要因単位にマスクすることができます。ただし、RFS[11:9]はマスクすることができません。</p> <p>本ビットはE-DMACによってライトバックされます。</p>
26	RCSE	0	R/W	<p>インテリジェントチェックサム機能 受信パケットチェックサム値判定</p> <p>CSEBL=1、CSMD=1のとき、受信パケットや受信データにより、表 24.4 のように設定されます。</p> <p>上記以外の設定での動作時、本ビットの情報は無効になります。</p>

ビット	ビット名	初期値	R/W	説明
25~16	RFS[9:0]	すべて 0	R/W	受信フレームステータス フレーム受信中のエラーステータスを表示します。 <ul style="list-style-type: none"> • PFS9 : 受信 FIFO オーバフロー (EESR の RFOF ビットに相当) • RFS8 : 予約 (書き込み時は 0 としてください) • RFS7 : マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当) • RFS6 : CAM エントリ未登録フレームを受信 (EESR の RUAF ビットに相当) • RFS5 : 予約 (書き込み時は 0 としてください) • RFS4 : 端数ビットフレーム受信エラー (EESR の RRF ビットに相当) • RFS3 : ロングフレーム受信エラー (EESR の RTLF ビットに相当) • RFS2 : ショートフレーム受信エラー (EESR の RTSF ビットに相当) • RFS1 : PHY-LSI 受信エラー (EESR の PRE ビットに相当) • RFS0 : 受信フレーム CRC エラー検出 (EESR の CERF ビットに相当)
15~0	RCS [15:0]	すべて 0	R/W	インテリジェントチェックサム機能 受信パケットチェックサム値

表 24.4 受信パケット種と受信データにおける RCSE の状態

フレーム種		データ正常時		データ異常時	
IP version	オプション、拡張ヘッダ	RCS[15:0]	RCSE	RCS[15:0]	RCSE
IPv4	なし	H'FFFF H'0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	オプション	H'FFFF H'0000	0	不定	1
IPv6	なし	H'FFFF H'0000	0	不定	1
	ホップバイホップ	H'FFFF H'0000	0	不定	1
	ルーティング	H'FFFF H'0000	0	不定	1
	終点オプション	H'FFFF H'0000	0	不定	1
	AH	H'FFFF H'0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	ESP	H'0000	1	H'0000	1
	MobileIPv6	H'0000	1	H'0000	1
	その他	H'0000	1	H'0000	1
IPv4、IPv6 以外		H'0000	0	H'0000	0

(b) 受信ディスクリプタ 1 (RD1)

RD1 は、当該ディスクリプタが使用できる受信バッファのデータ長をユーザが指定し、フレーム受信後には E-DMAC が受信したフレーム長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31~16	RBL [15:0]	すべて 0	R/W	受信バッファデータ長 (単位: バイト、32 バイト境界で指定) 当該受信バッファの受信可能なデータ長を 32 バイトの整数倍で設定します。 最大長は 64K-32 (H'FFE0) バイトです。
15~0	RDL [15:0]	すべて 0	R	受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後である CRC データ (4 バイト) が含まれていません。また、受信フレーム長は、この CRC データを含めない (有効データバイト) 語数が報告されます。 1 フレーム/複数バッファ (ディスクリプタ) となった場合には、最終ディスクリプタの本受信データ長のみが有効です。途中のディスクリプタの受信データ長は意味を持ちません。 受信可能な最大受信データ長は以下のようになります。 パディング機能無効時: 64K-1 (H'FFFF) バイト パディング機能有効時: 64K-32 (H'FFE0) バイト

(c) 受信ディスクリプタ 2 (RD2)

RD2は、当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、32 バイトを境界として設定してください。

ビット	ビット名	初期値	R/W	説明
31~0	RBA [31:0]	すべて 0	R/W	受信バッファ先頭アドレス 当該受信バッファの先頭アドレスを 32 バイト境界で設定します。

E-DMAC は、RBA (受信バッファアドレス) に設定されたアドレスから 32 バイト単位で受信フレームを受信バッファへ DMA 転送します。したがって、RBL (受信バッファ長) へは 32 バイトの整数倍を設定してください。

以下のようにデータが 32 バイトに満たない場合は、無効なデータが書き込まれます。

【転送例】

受信フレーム長=170 バイト、必要な受信バッファ容量=192 バイト (32 バイト×6) の場合、6 回目の DMA において、無効なデータも受信バッファに DMA 転送されます (DMA データ 32 バイト中、前半の 10 バイトは有効データで後半の 22 バイトは無効データ)。

受信データパディング挿入設定レジスタ (RPADIR) を設定することで、受信フレームの任意の位置に 1 か所だけ値 0 をパディングすることが可能です。パディングサイズは 1 バイト単位で任意であり、最小 1 バイト、最大 31 バイトです。受信フレームにパディングを行う場合は、「受信フレーム長+パディングサイズ」分の受信バッファ領域が必要です。なお、RPADIR の設定はすべての受信フレームに対して有効です。

RFE (受信フレームエラー発生)、PV (パディング挿入)、RFS (受信フレームステータス)、および RFL (受信フレーム長) は、受信フレームの最後を含む受信ディスクリプタ (RFP=01 あるいは 11) にのみライトバックされます。

ソフトウェアで受信ディスクリプタを再設定する場合は、未処理の受信ディスクリプタの上書き (再設定) を防ぐために、受信ディスクリプタがライトバックされている (RACT=0 になっている) ことを再設定の前にかじめ確認する必要があります。

(3) ディスクリプタと送受信バッファ

(a) 送信

送信ディスクリプタごとに1つの送信バッファを保持します。E-DMACは、送信ディスクリプタで示された送信バッファに格納されている送信フレームを送信FIFOへ転送します。また、複数の送信ディスクリプタで示された各送信バッファに格納されている送信フレームをそれぞれ連結して1つの送信フレームとして送信FIFOへ転送することも可能です。

図 24.5 に送信ディスクリプタと送信バッファとの関係を示します。

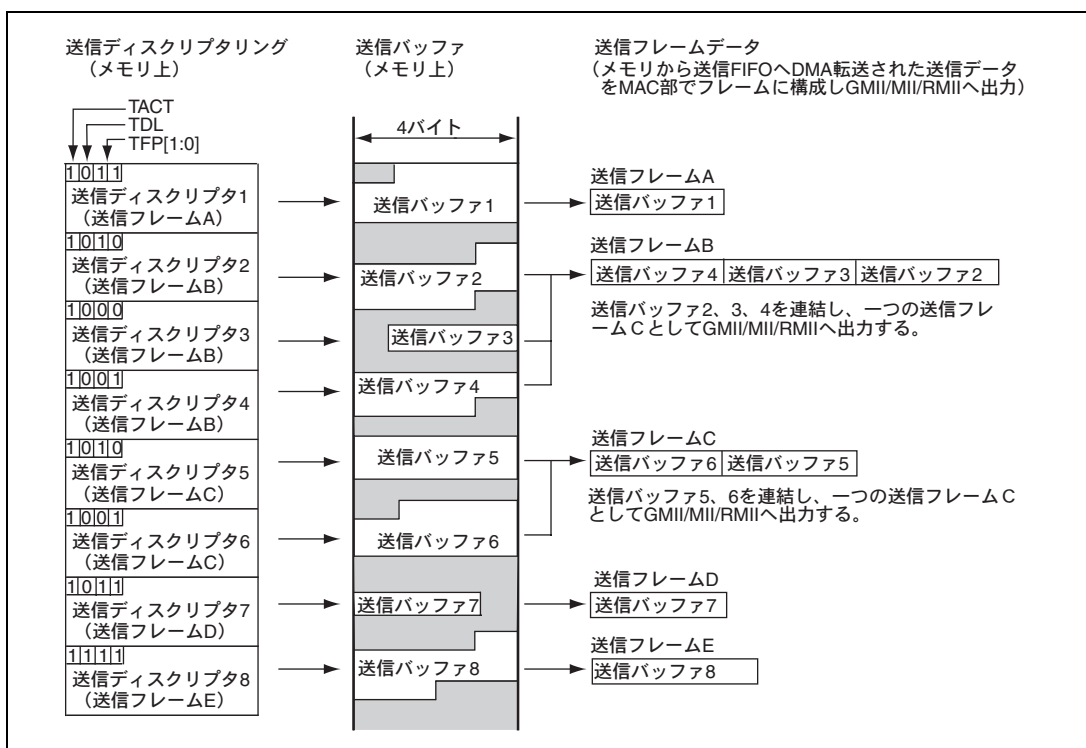


図 24.5 送信ディスクリプタと送信バッファとの関係

(b) 受信

受信ディスクリプタごとに1つの受信バッファを保持します。E-DMACは、受信ディスクリプタで示された受信バッファへ受信FIFOから受信したフレームを格納します。ここで、受信フレームのサイズが受信バッファのサイズをオーバーする場合は、別の受信ディスクリプタで示された受信バッファへ当該受信フレームのオーバーした部分を格納します。このように、1つの受信フレームを複数の受信バッファに分けて格納することも可能です。

図 24.6 に受信ディスクリプタと受信バッファとの関係を示します。

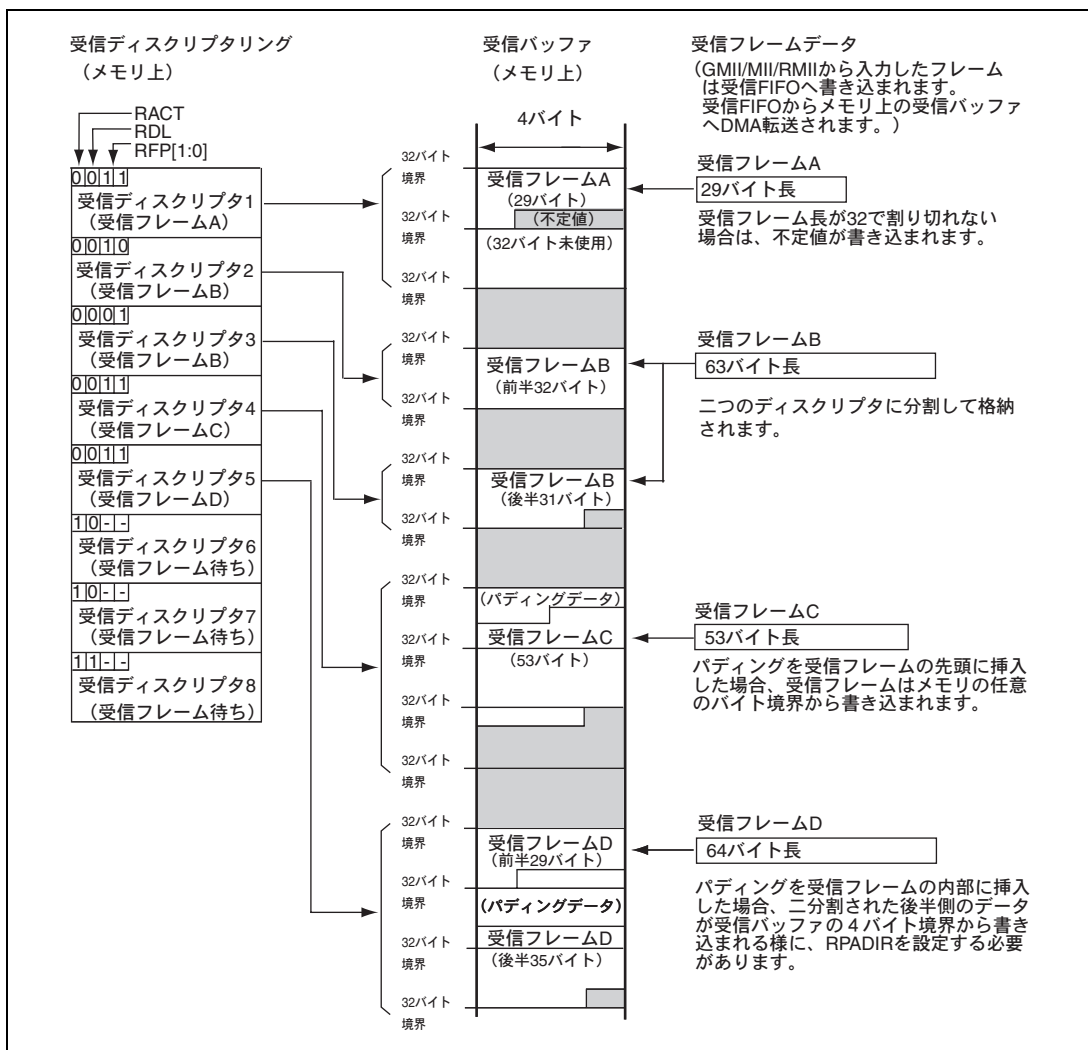


図 24.6 受信ディスクリプタと受信バッファとの関係

(4) ディスクリプタポインタ

E-DMAC は、送信ディスクリプタおよび受信ディスクリプタのメモリ上のアドレスや処理順序を以下に示すレジスタを用いて制御します。

1. 送信ディスクリプタ関連

- TDLARレジスタ：送信ディスクリプタリストの先頭ディスクリプタのアドレス
- TDFARレジスタ：処理すべき送信ディスクリプタのアドレス
- TDFXRレジスタ：処理を最後に完了した（ライトバックした）送信ディスクリプタのアドレス
- TDFFRレジスタ（DLビット）：TDFXRで示された送信ディスクリプタのTDLE値が1かどうかを指示

2. 受信ディスクリプタ関連

- RDLARレジスタ：受信ディスクリプタリストの先頭ディスクリプタのアドレス
- RDFARレジスタ：処理すべき受信ディスクリプタのアドレス
- RDFXRレジスタ：処理を最後に完了した（ライトバックした）受信ディスクリプタのアドレス
- RDFFRレジスタ（DLビット）：RDFXRで示された受信ディスクリプタのRDLE値が1かどうかを指示

送信ディスクリプタおよび受信ディスクリプタはそれぞれリング構成をとっています。処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が0であった場合、当該ディスクリプタの次に位置するディスクリプタを処理します。次に位置するディスクリプタとは、処理した送信ディスクリプタ（受信ディスクリプタ）のアドレスに、E-DMAC モードレジスタ（EDMR）のディスクリプタ長ビット（DL）で指定されたディスクリプタ長を加算して得られたアドレスに存在する送信ディスクリプタ（受信ディスクリプタ）です。一方、処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が1であった場合、次に処理するディスクリプタは TDLAR（RDLAR）で示された送信ディスクリプタ（受信ディスクリプタ）です。図 24.7 に送信／受信ディスクリプタリングとリードポインタの関係の例を示します。

送信ディスクリプタに関しては、必ず送信フレームを5つ以上ポイントすることができる大きさのリスト構成にしてください。送信フレームを4つ以下しかポイントできないリスト構成の場合、E-DMAC の動作保証はいたしません（すなわち、4つ以下の送信フレームでリング内のすべての送信ディスクリプタを使用するという設定は行わないでください）。一方、受信ディスクリプタリストについては、このような制約はありません。たとえば、1つの受信フレームでリスト内のすべての受信ディスクリプタを使用しても問題ありません。

初期設定では、ソフトウェアでディスクリプタリストの先頭アドレスを、TDLAR（RDLAR）レジスタと TDFAR（RDFAR）に、ディスクリプタリストの最終ディスクリプタのアドレスを TDFXR（RDFXR）に設定してください。

E-DMAC は、ディスクリプタを処理するごとに、TDFAR（RDFAR）、TDFXR（RDFXR）、TDFFR.DL ビット（RDFFR.DL ビット）をそれぞれ更新します。

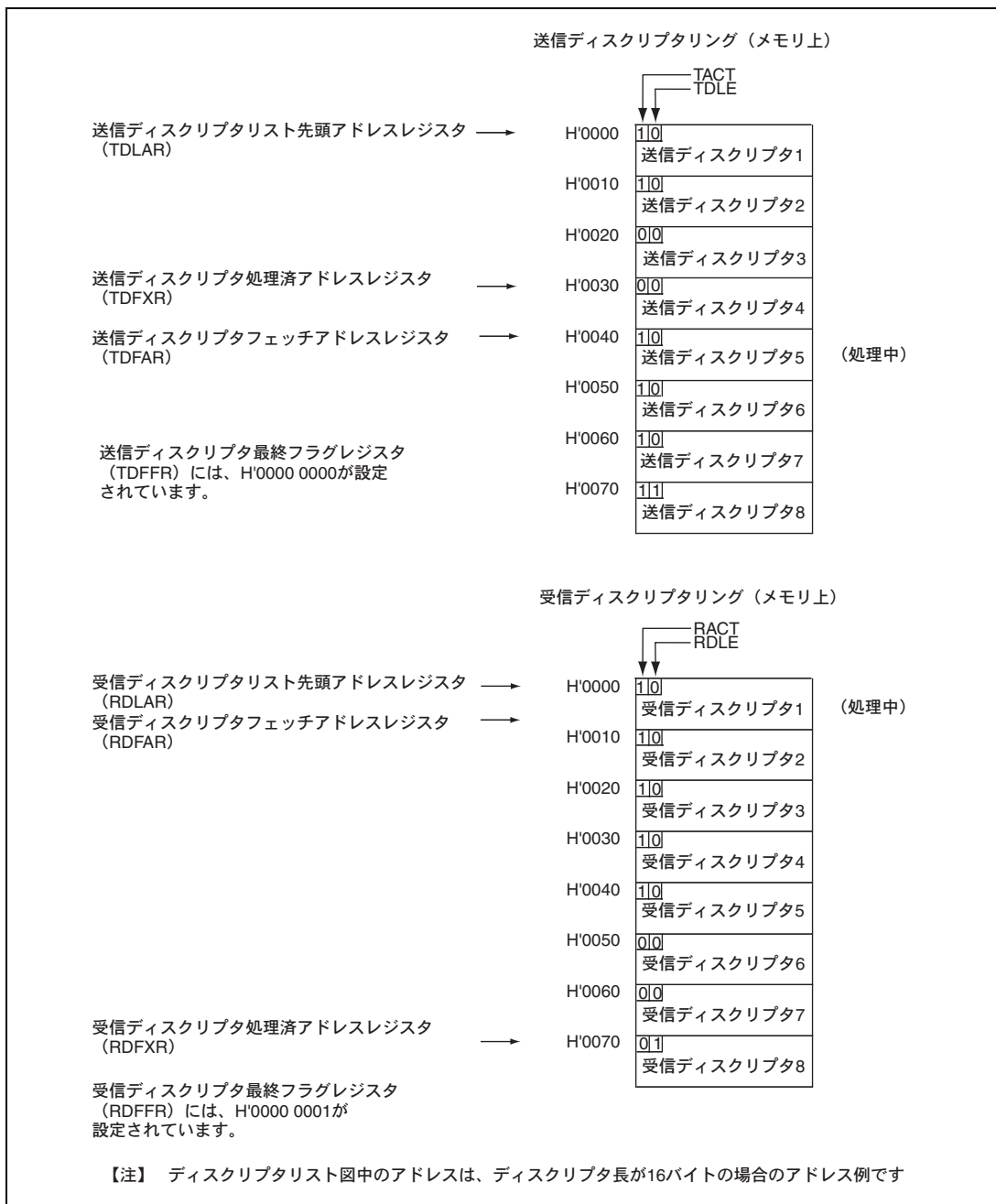


図 24.7 送受信ディスクリプタとディスクリプタポイントレジスタとの関連

24.4.2 送信動作

(1) 送信手順とフロー

E-DMAC モードレジスタ (ECMR) の TE ビットが 1 の状態で E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) に 11 が書き込まれたときに、送信 FIFO に 32 バイト以上の空きがあれば、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初回起動時は送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。

読み込んだディスクリプタの TACT ビットが 1 (有効) の場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して送信 FIFO に転送します。E-MAC は送信フレームを作成し GMII/MII/RMII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP=10 (フレーム開始)

DMA 転送後、ディスクリプタのライトバック (TACT ビットの 0 書き込み) を行います。

- TFP=01 or 11 (フレーム終了)

フレームの送信完了後、ディスクリプタのライトバック (TACT ビットの 0 およびステータスの書き込み) を行います。

- TFP=00 (フレーム継続)

ディスクリプタのライトバックは行いません。TACT ビットは 1 のままですので注意してください。

読み込んだディスクリプタの TACT ビットが 1 (有効) の間は、E-DMAC はディスクリプタの読み込みとフレームの送信を継続します。

読み込んだディスクリプタの TACT ビットが 0 (無効) の場合は、E-DMAC は以下の処理を行った後、送信処理を終了します。

- E-DMAC 送信要求レジスタ (EDTRR) の TR ビットに 00 を書き込みます。
- E-MAC/E-DMAC ステータスレジスタ (EESR) の TC ビットに 11 を書き込み、CPU に対して割り込みを発生させます。

なお、E-DMAC は、送信 FIFO に最大で 4 フレーム分のデータを格納することが可能です。

E-MAC 送信処理部は、以下の条件が成立すると、送信 FIFO から送信データを読み出しフレームに組み立てて GMII/MII/RMII へ送信します。

- 送信 FIFO に送信 FIFO しきい値指定レジスタ (TFTR) で設定したバイト数以上のデータが格納された。
- 送信 FIFO に 1 フレーム以上のデータが格納された。
- 送信 FIFO に空き領域がなくなった。(GMII/MII/RMII への送信待ちデータでフルになっている)

図 24.8 に、送信フローの例を示します。

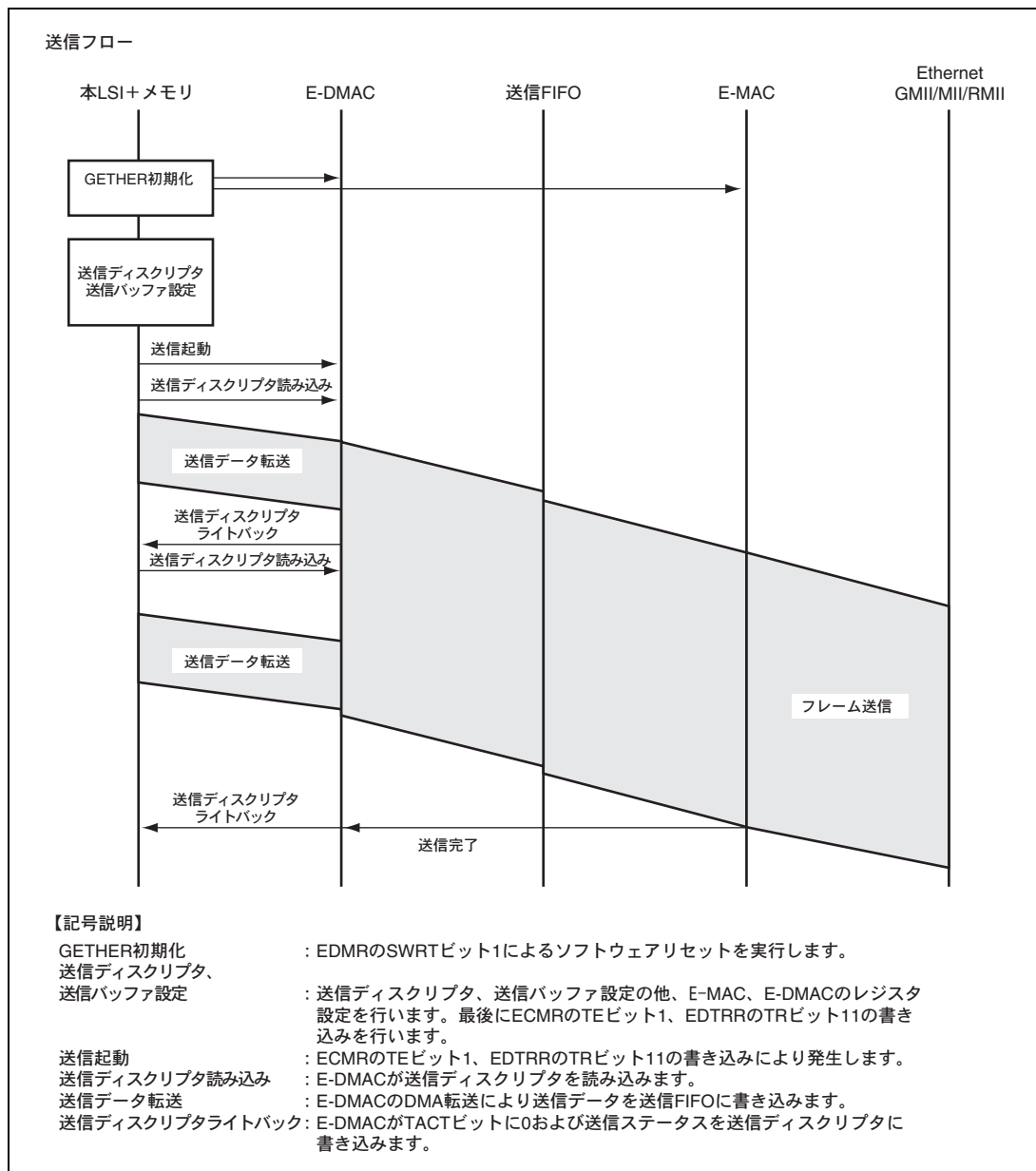


図 24.8 送信フローの例 (1 フレーム/2 ディスクリプタ)

E-MAC 送信部の状態遷移図を図 24.9 に示します。

1. E-MACモードレジスタ (ECMR) の送信許可ビット (TE) がセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があると、E-MACはキャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをGMII/MII/RMIIに送信します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を続けます。

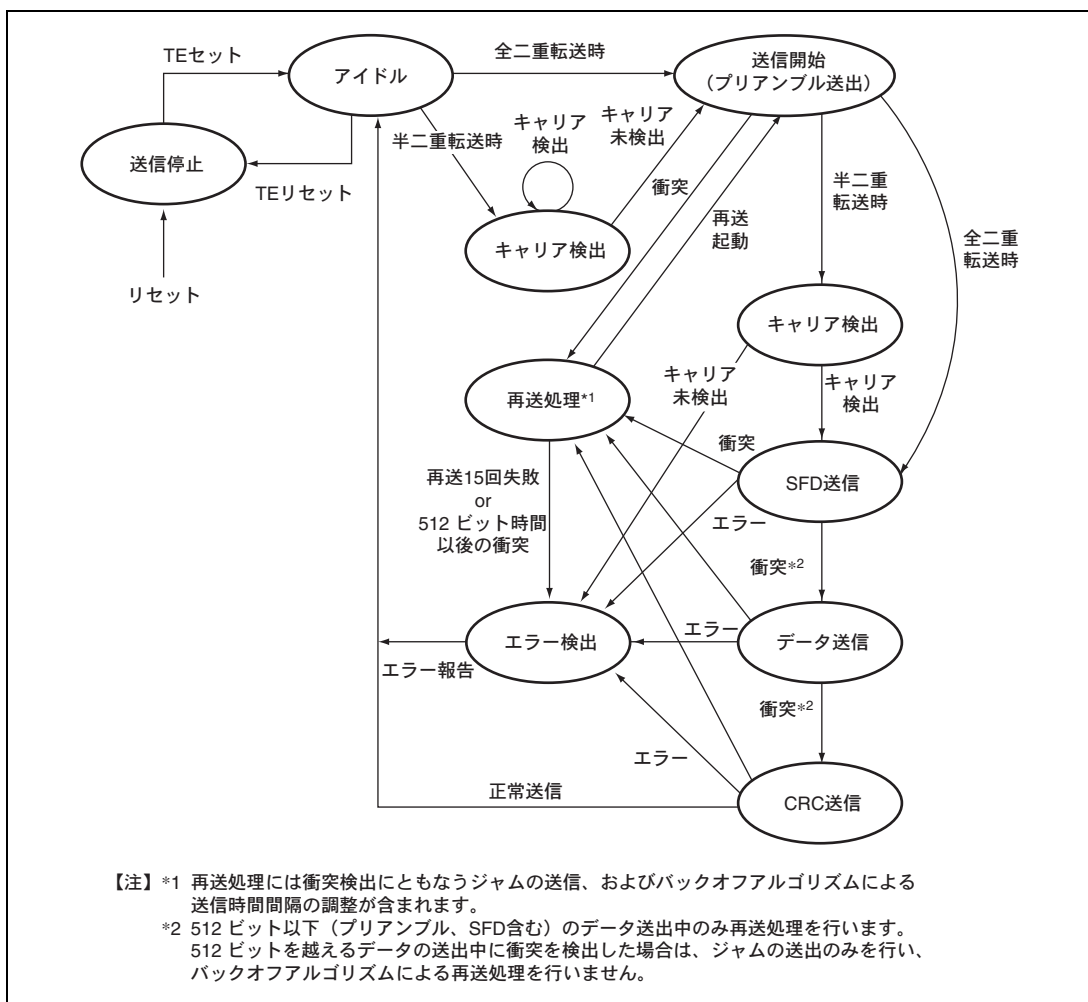


図 24.9 E-MAC 送信部状態遷移図

(2) 送信エラー処理

(a) 送信アバート

送信 FIFO から GMII/MII/RMII へのフレーム送信中に送信エラーを検出すると、送信 FIFO から GMII/MII/RMII への該当フレームのデータ送出を中断します。また、送信バッファから送信 FIFO への当該フレームの DMA 転送がまだ終了していない場合は、本 DMA 転送も同様に中断します。

送信エラー終了した送信フレームに関連する送信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ (EESR) の送信中断検出ビット (TABT) に 1 を書き込み、CPU へ割り込みを発生します。以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

(b) 送信 FIFO のアンダフロー

送信 FIFO から GMII/MII/RMII へのフレーム送信中に送信 FIFO が空 (送信 FIFO のアンダフロー) になると、E-MAC は、当該送信フレームの GMII/MII/RMII への送信を強制的に中断します。このとき、E-MAC が E-DMAC から受信した当該フレームは途中で切断されたフレームとなります。そして E-MAC は以下の動作を行います。

- E-MAC/E-DMACステータスレジスタ (EESR) の送信FIFOアンダフロービット (TFUF) に1を書き込み、CPU へ割り込みを発生します。
- 該当送信フレームに対する送信ディスクリプタにライトバック
- 上記ライトバックの終了後、E-MAC/E-DMACステータスレジスタ (EESR) の送信FIFOアンダフローライトバック完了ビット (TUC) に1を書き込み、CPUへ割り込みを発生します。

以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

E-MAC は、送信 FIFO に送信 FIFO しきい値指定レジスタ (TFTR) で設定したバイト数以上のデータが格納されるまで送信 FIFO から GMII/MII/RMII へのフレーム送信を開始しません。本 TFTR を有効利用することにより、送信 FIFO のアンダフローの発生頻度を制御することが可能です。

(c) 送信ディスクリプタの枯渇

読み込んだ送信ディスクリプタの TACT ビットが 0 (無効) の場合で、前回処理したディスクリプタの TFP ビットが 00 あるいは 10 の場合、送信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ (EESR) の送信ディスクリプタ枯渇 (TDE) に 1 を書き込み、CPU へ割り込みを発生します。

送信ディスクリプタ枯渇が発生したときは、ソフトウェアリセットを実行した後に送信処理を起動してください。

24.4.3 受信動作

(1) 受信手順とフロー

E-MAC 受信部は、GMII/MII/RMII から入力したフレームを、プリアンプル、SFD、データおよび CRC データに分解し、DA (宛先アドレス) からデータまでを受信 FIFO に書き込みます。受信 FIFO には最大 24 フレームまで書き込むことが可能です。E-MAC 受信部の状態遷移図を図 24.10 に示します。

1. E-MACモードレジスタ (ECMR) の受信許可ビット (RE) が1にセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続くSFD (スタートフレームデリミタ) を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのDA (宛先アドレス) が本LSI宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. GMII/MII/RMIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果は受信FIFOへフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。

フレームを受信後、ECMR 内の RE ビットが 1 に設定されていると、次のフレーム受信に備えます。

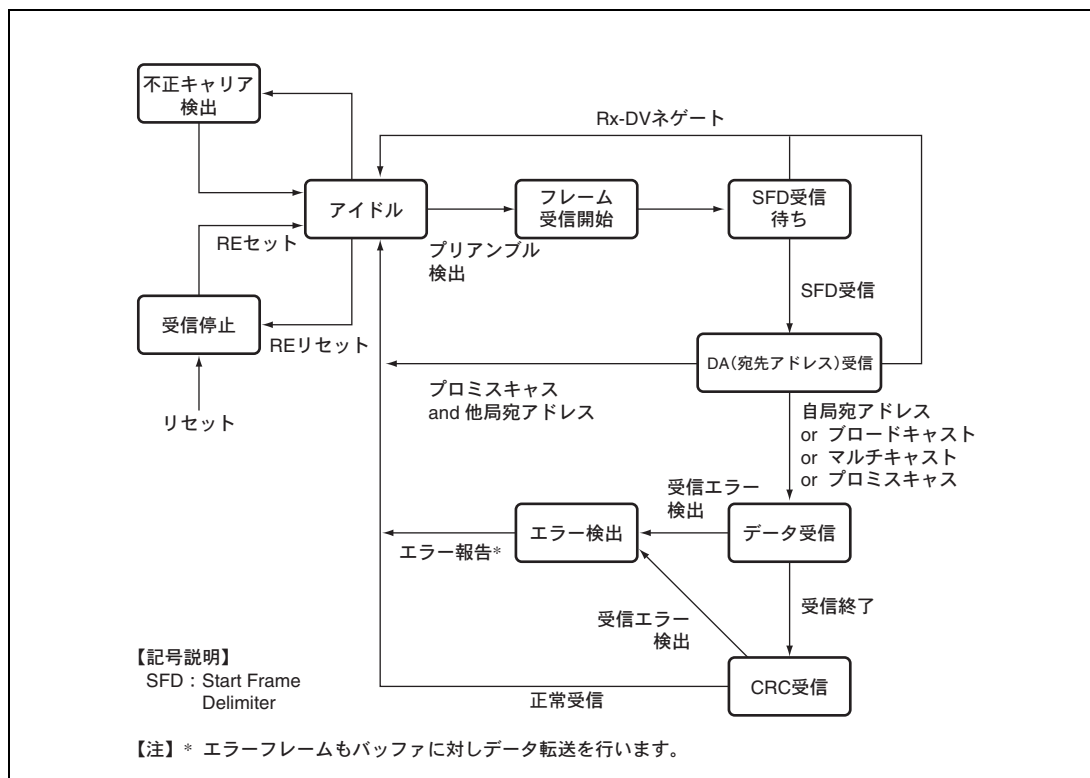


図 24.10 E-MAC 受信部状態遷移図

また、受信時のフレーム処理では CAM の判定を参照することができます（CAM 機能を使用する場合については、「24.4.5 CAM 機能」を参照してください）。

ECMR の RE ビットが 1 の状態で E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) に 1 を書き込むと、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初回起動時は受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ）を読み込んだ後に受信待機状態となります。E-DMAC は、受信 FIFO に 32 バイト以上のデータ格納されているか、受信フレームの最終バイトが格納されている場合、受信ディスクリプタの RACT ビットが 1 (有効) の受信ディスクリプタに従い受信 FIFO のデータを RD2 で指定される受信バッファに転送します。

受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP=10 or 00) を行った後、次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。

以下の条件が成立すると、当該ディスクリプタにライトバック (RFP=11 or 01) を行った後に、E-MAC/E-DMAC ステータスレジスタ (EESR) のフレーム受信完了ビット (FR) に 11 を書き込み、CPU に割り込みを発生します。

- 受信バッファが DMA 転送でフルになった。
- 受信フレームの最終バイトの受信バッファへの DMA 転送が終了した。

当該フレームの受信処理が終了した後、次のディスクリプタを読み込み受信待機状態となります。このとき、受信 FIFO に 32 バイト以上のデータが格納されているか、受信フレームの最終バイトが格納されている場合、続けて次の受信ディスクリプタの処理を行います。

読み込んだ受信ディスクリプタの TACT ビットが 0 (無効) の場合は、受信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ (EESR) の受信ディスクリプタ枯渇 (PDE) に 1 を書き込み、CPU へ割り込みを発生します。

なお、連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロールビット (RNC) を 1 に設定してください。初期値は 0 です。

図 24.11 に、受信フローの例を示します。

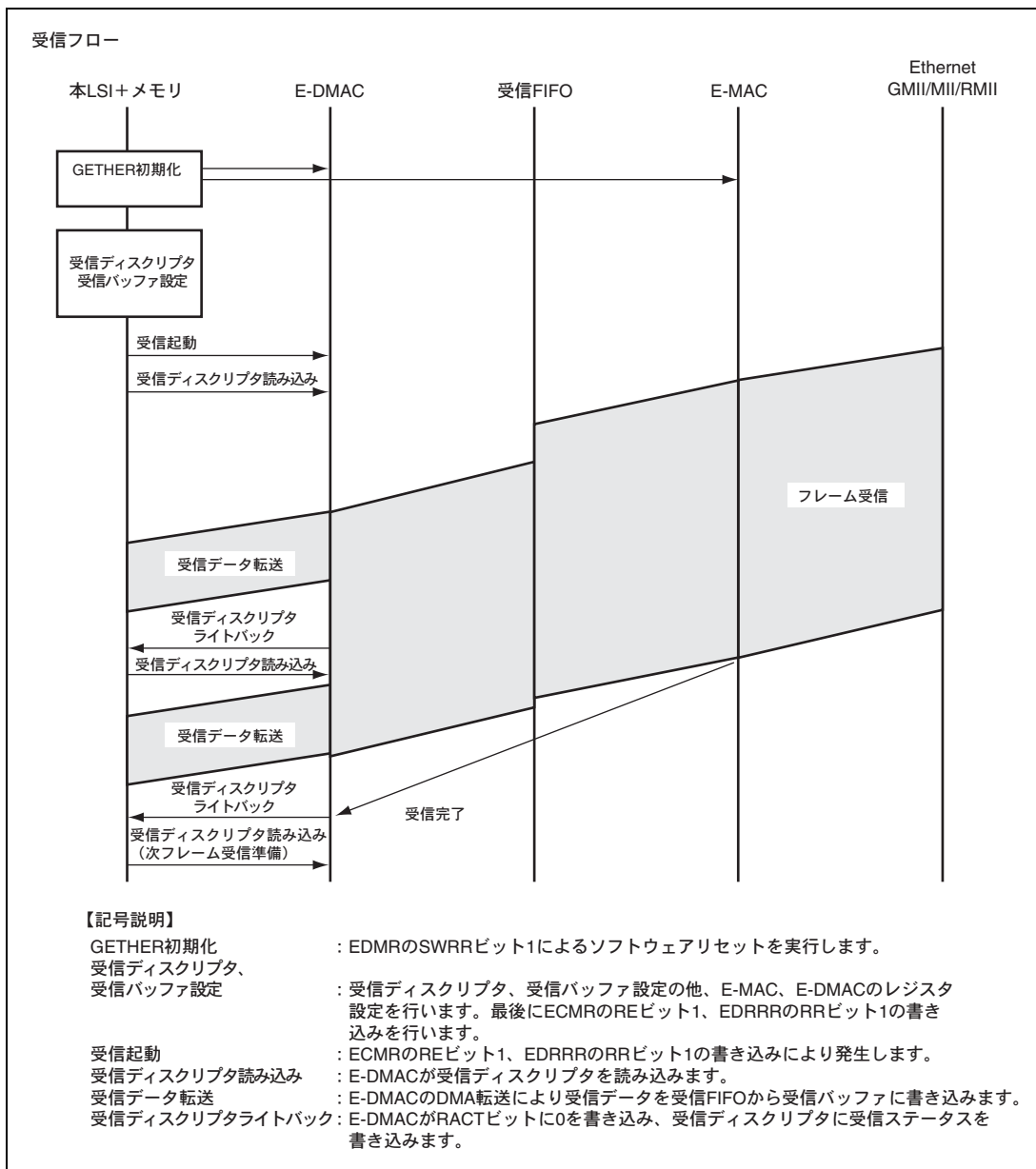


図 24.11 受信フローの例 (1 フレーム/2 ディスクリプタ)

(2) 受信エラー処理

(a) 受信エラー

受信エラーが発生した場合、受信エラーフレームに関連する受信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ (EESR) のフレーム受信完了ビット (FR) および受信中断検出ビット (RABT) に 1 を設定し、CPU へ割り込みを発生します。

なお、GMII/MII/RMII から受信したフレームのバイト長が 32 バイト未満のときに受信エラーが発生した場合は、当該フレームの受信バッファへの DMA 転送は行いません。この場合、E-DMAC 内部で当該受信フレームを破棄します (フラッシュ機能)。ただし、受信データパディング挿入設定レジスタ (RPADIR) により受信フレームにパディング挿入した場合は、パディングバイト数を含めた長さが 32 バイト未満であるときに本フラッシュ機能が働きます。

(b) 受信 FIFO のオーバーフロー

下記どちらかの状態のときは、E-MAC は GMII/MII/RMII からの受信フレームを格納する領域がないため GMII/MII/RMII からフレームを受信することができません。この状態では E-MAC へ新たに転送してきた受信フレームは、すべて E-MAC 内部で破棄されます (受信 FIFO のオーバーフロー)。

- 受信FIFOがDMA転送待ちデータでフルになった (受信FIFOに空き領域がない)
- DMA転送待ち受信フレーム数が計24になった (受信フレーム情報管理領域に空きがない: 最大管理フレーム数は24)

前者によりオーバーフローした場合、EESR レジスタの受信 FIFO オーバフロービット (RFE) に 1 をセットし、CPU へ割り込みを発生します。一方、後者によりオーバーフローした場合、EESR レジスタの受信フレームカウンタオーバーフロービット (RFCOF) に 1 をセットし、CPU へ割り込みを発生します。また、オーバーフローで受信フレームを 1 つ破棄するごとに、ミスドフレームカウンタレジスタ (RMFCR) をカウントアップします。ただし、受信 FIFO 空き容量不足により途中で切断された受信フレームについては、RMFCR のカウントアップの対象外です。なお、受信 FIFO 空き容量不足により受信フレームを途中で切断した (途中までは受信 FIFO に格納した) 場合、E-DMAC は以下の動作を行います。

- 受信FIFOに格納済みの切断フレームを受信バッファへDMA転送
- 上記DMA転送の終了後、該当受信ディスクリプタをライトバック
- 上記ライトバックの終了後、EESRの受信FIFOオーバーフローフレームライトバック完了ビット (ROC) に1をセットし、CPUへ割り込みを発生

受信 FIFO が DMA 転送待ちデータでフルの場合、受信 FIFO から受信バッファへの DMA 転送が行われ、受信 FIFO に 32 バイト以上の空き領域が生じると、GMII/MII/RMII からのフレーム受信が再び可能になります。一方、DMA 転送待ち受信フレーム数が計 24 の場合、受信 FIFO から受信バッファへの 1 フレーム以上の DMA 転送が完了すると、GMII/MII/RMII からのフレーム受信が再び可能になります。なお、GMII/MII/RMII からのフレーム受信を再開する際、E-DMAC はフレームの先頭からのみ受信を再開します。

(c) フロー制御

E-DMAC は、受信 FIFO の受信データ量あるいは受信フレーム数が以下の状態になった場合、E-MAC へ通知し、E-MAC から受信 FIFO への書き込みを制御することができます

- 受信FIFOの使用容量が、オーバフロー予告FIFOしきい値設定レジスタ (FCFTR) で設定したデータ容量を超えた場合
- 受信FIFOの受信フレーム数が、FCFTRで設定したフレーム数を超えた場合

受信データ量のしきい値は、256~65536 バイト (256 バイト刻み) が設定可能です。

受信フレームのしきい値は、1~24 フレーム (1 フレーム刻み) が設定可能です。

(d) 受信ディスクリプタの枯渇

読み込んだディスクリプタの RACT ビットが 0 (無効) の場合は、受信ディスクリプタが枯渇したと判断し、DMA 転送処理を停止し、以下の動作を行います。

- EDRRRのRRビットに0を書き込む
- EESRの受信ディスクリプタ枯渇ビット (RDE) に1をセットし、CPUへ割り込みを発生

再度、受信バッファへの DMA 転送を行うためには、ソフトウェアが割り込み要因をクリアし、受信ディスクリプタを再設定し、EDRRR の RR ビットに 1 を書き込む必要があります。

なお、受信ディスクリプタが枯渇した場合においても、受信 FIFO 容量や受信フレーム情報管理領域に空きがあれば、GMII/MII/RMII 受信 FIFO へのフレーム受信は継続します。したがって、受信ディスクリプタが枯渇した場合でも、オーバフローする前に受信バッファへの DMA 転送を再開させることができれば、GMII/MII/RMII からの受信フレームを破棄することなく受信バッファへ DMA 転送することが可能です。

24.4.4 転送動作

(1) 転送手順とフロー

GETHER は、転送動作が有効になっている場合は、E-MAC から入力されたフレームは TSU 部で転送 FIFO と受信 FIFO の双方に送られ、受信系では受信するか否か、転送系では転送するか否かをそれぞれ独立に判定します。マルチキャストフレームと宛先が本 LSI 以外のフレームについては、転送時のフレーム処理に CAM の判定を参照することができます (CAM 機能についての詳細は、「24.4.5 CAM 機能」を参照してください)。

24.4.5 CAM 機能

E-MAC 部分に入力されたフレームは、次の 4 種類に分類されます。(1) 本 LSI 宛ユニキャスト、(2) ブロードキャスト、(3) マルチキャスト、および (4) 他宛ユニキャスト。このうち、(1) および (2) の MAC アドレスは固定であり、レジスタ設定のみで判定を行います。したがって、CAM を用いて受信するかどうかの判定を行うのは、(3) マルチキャスト、(4) 他宛ユニキャストのみです (ユニキャストフレームのうち、当該フレーム内の宛先 MAC アドレスが本 LSI と一致するフレームを本 LSI 宛ユニキャストフレーム、一致しないフレームを他宛ユニキャストフレームと称しています)。

さらに、TSU では CAM を利用する他宛ユニキャストおよびマルチキャストフレームの受信の判定を TSU 内蔵の CAM エントリテーブルを参照して行います。本機能を使用することにより、受信不要なフレームデータの蓄積による受信 FIFO のオーバーフローを未然に防ぎ、受信判定要否のための CPU 処理を低減できます。

また、POST テーブルは、当該ビットが 1 のとき CAM 判定結果を受信判定に使用します。

内蔵 CAM は 32 エントリの MAC アドレスを登録できるエントリテーブルを有しており、その内容は TSU_ADRH0~TSU_ADRH31 および TSU_ADRL0~TSU_ADRL31 で設定することができます。内蔵 CAM エントリテーブル参照の有効/無効の設定は、CAM 判定を行うかどうかを設定する CAM エントリテーブルイネーブル設定レジスタと CAM 判定結果を受信判定に使用するかを設定する CAM エントリテーブル POST 設定レジスタにより行います。受信時の内蔵 CAM エントリテーブル参照が有効になっている場合は、フレームの中の宛先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより、E-MAC に入力されたフレームを E-DMAC に引き渡す (E-DMAC にフレームを受信させる) か破棄するかが判定されます。また、転送動作が有効か否か転送時の内蔵 CAM エントリテーブル参照が有効になっているとき、マルチキャストフレームと宛先が本 LSI 以外のフレームについては、フレームの中の宛先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより該当フレームを転送するか破棄するかを判定することができます。表 24.5 に E-MAC →E-DMAC 受信動作時のフレームの種類に対する処理方法 (受信または破棄) の対応を示します。

表 24.5 受信フレーム処理

CAM エントリ テーブル参照結果	フレーム種類	通常モード		プロミスキャスモード	
		MCT=0	MCT=1	MCT=0	MCT=1
CAM ヒット (アドレス一致)	本 LSI 宛フレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本 LSI 以外を宛先とするフレーム	受信		破棄	
CAM ミスヒット (アドレス不一致)	本 LSI 宛フレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本 LSI 以外を宛先とするフレーム	破棄		受信	

【記号説明】

MCT (ECMR レジスタのビット 13) : マルチキャスト受信モード (0 : CAM ミスヒット時受信、1 : CAM ヒット時受信)

24.4.6 マルチバッファフレーム（1フレーム／複数ディスクリプタ）の送受信処理について

(1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 24.12 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

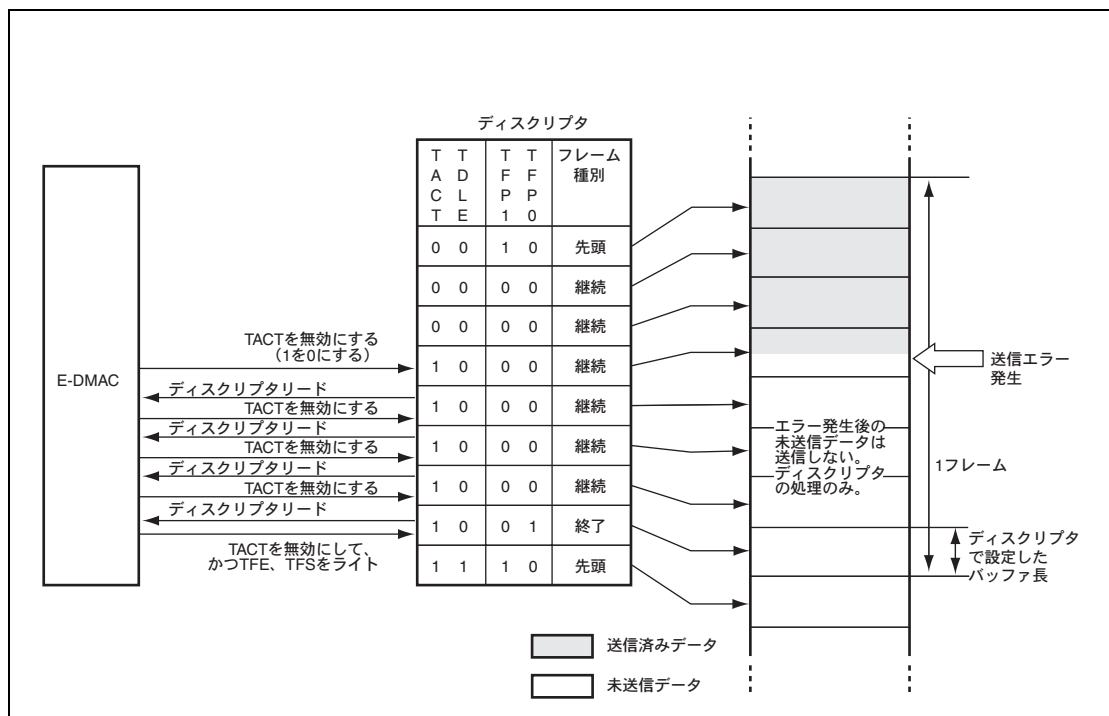


図 24.12 送信エラー発生後の E-DMAC 動作

(2) マルチバッファフレームとなるケースの受信処理

受信フレームが複数のバッファに分割されマルチバッファフレームとなるケースでの受信中にエラーが発生した場合は、E-DMACは図 24.13 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファに格納されるデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中のディスクリプタ部分でフレーム受信エラーが発生した場合は、該当するディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

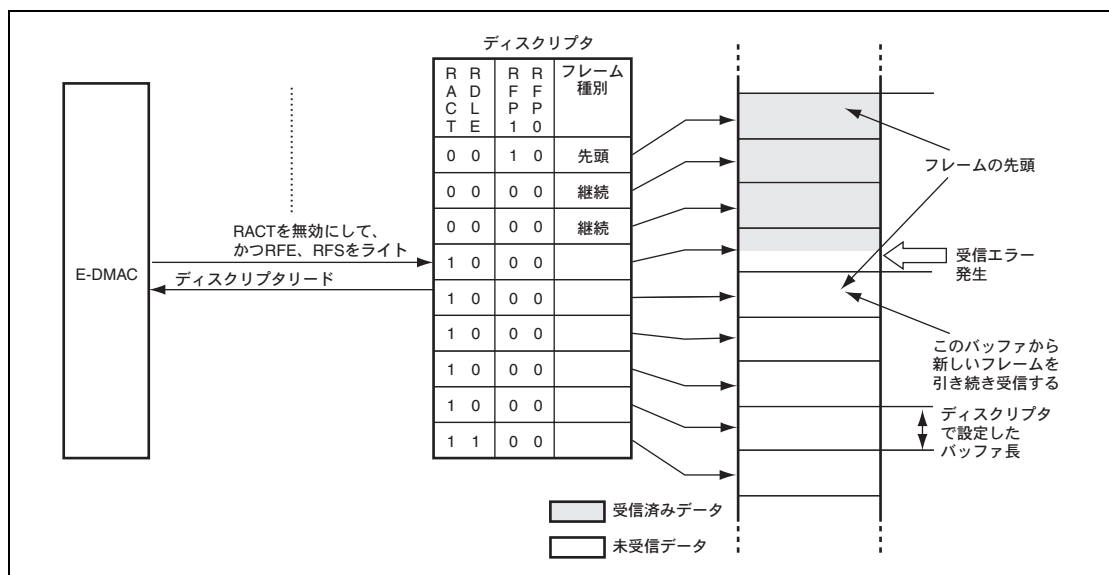


図 24.13 受信エラー発生後の E-DMAC 動作

24.4.7 受信データへのパディング挿入について

E-DMAC は、受信データ処理能力の向上のため、受信データの任意のバイト位置に1~3バイトのパディングを挿入できます。この機能を使用することで、たとえば、イーサネットフレームのMACヘッダ(14バイト)の後に2バイトのパディングを挿入することによって以降のデータを4バイト境界の先頭に置くことができます。

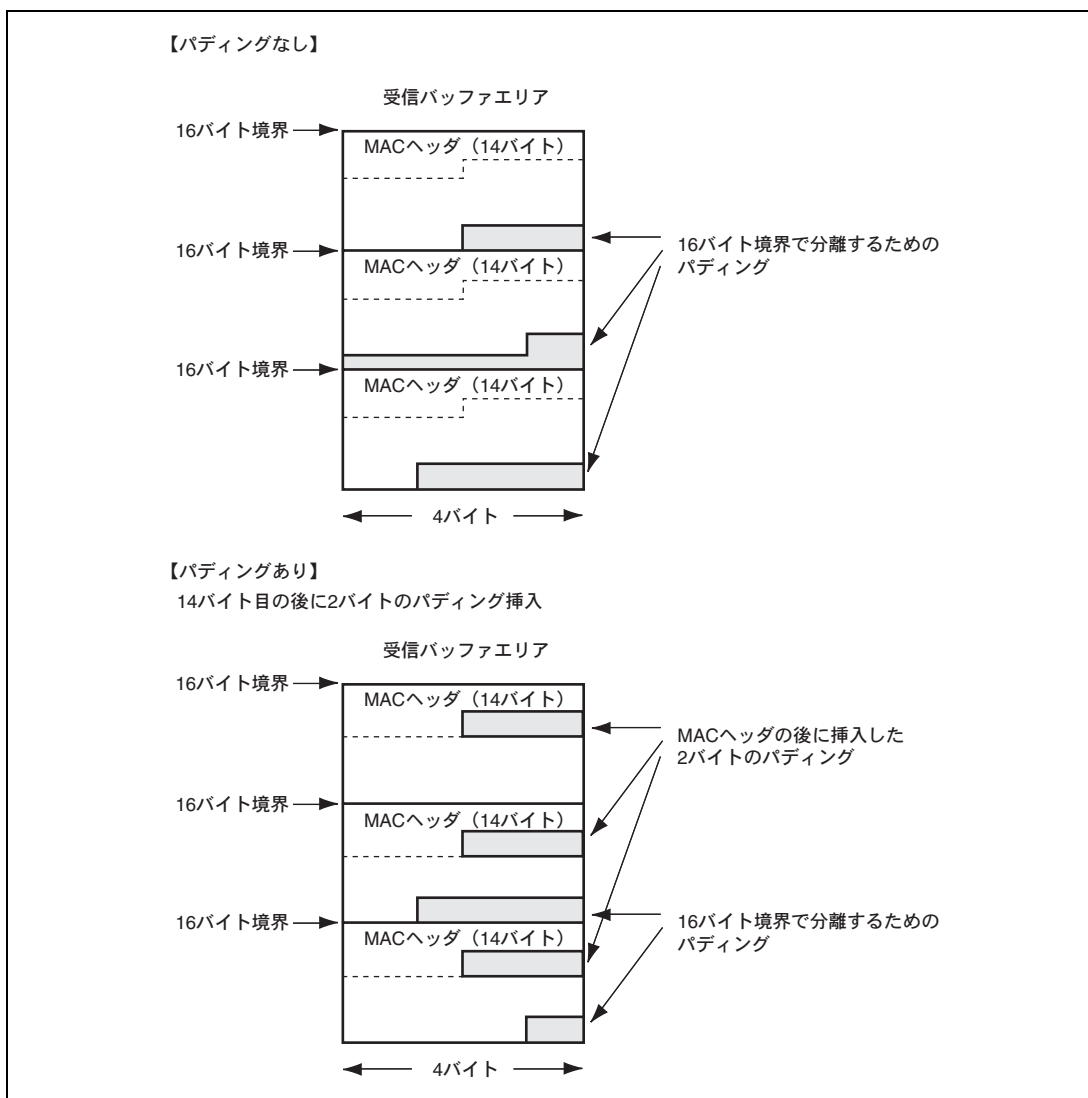


図 24.14 受信データへのパディング挿入

24.4.8 割り込み動作

(1) 割り込み要因

GETHER から CPU に対して発行する割り込みは、送受信割り込み (GEINT0) のみとなります。

GEINT0 は、送受信動作に関連して発生する割り込みです。割り込み要因が発生すると EESR0 レジスタにセットされるとともに CPU に対して割り込みを発行します。ただし、割り込み要因によっては、レジスタへのセット／割り込みの発行が、割り込み要因を検出した直後ではなく、ディスクリプタへのライトバックが完了した時点のものもあります。E-MAC ステータスレジスタ要因 (ECI ビット) を除く各割り込みの要因は、対応する要因ビットに 1 を書き込むことによりクリアされます。E-MAC ステータスレジスタ要因 (ECI ビット) の割り込み要因は、ECSR レジスタの対応するビットに 1 を書き込むことによりクリアされます。これらの割り込み要因は、クリアされるまではその値を保持します。GEINT0 の各割り込み要因は、EESIPRO レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。また、E-MAC ステータスレジスタ要因 (ECI ビット) に含まれる個々の割り込み要因は、ECSIPR レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。許可ビットの初期値は割り込み禁止の状態になっています。

表 24.6 に、割り込みとそれぞれの割り込みの要因、割り込み要因が発生したときに設定される割り込みステータスレジスタ／ビット、および割り込み発生タイミングを示します。

表 24.6 GETHERC 割り込み一覧

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生 タイミング
0 系送受信 割り込み (GEINT0)	ライトバック完了	EESR0.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR0.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR0.ROC	ライトバック後
	送信中断検出	EESR0.TABT	ライトバック後
	受信中断検出	EESR0.RABT	ライトバック後
	受信フレームカウンタオーバー	EESR0.RFCOF	割り込み要因検出時
	E-MAC ステータスレジスタ要因	EESR0.ECI	割り込み要因検出時
	フレーム送信完了	EESR0.TUC	ライトバック後
	送信ディスクリプタ枯渇	EESR0.TDE	割り込み要因検出時
0 系送受信 割り込み	送信 FIFO アンダフロー	EESR0.TFUF	割り込み要因検出時
	フレーム受信	EESR0.FR	ライトバック後
	受信ディスクリプタ枯渇	EESR0.RDE	割り込み要因検出時
	受信 FIFO オーバフロー	EESR0.RFOF	割り込み要因検出時
	キャリア消失検出	EESR0.DLC	割り込み要因検出時
	遅延衝突検出	EESR0.CD	割り込み要因検出時
	送信リトライオーバ	EESR0.TRO	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR0.RMAF	ライトバック後

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生 タイミング
0系送受信 割り込み	キャリア拡張エラー	EESR0.CEEF	ライトバック後
	キャリア拡張消失	EESR0.CELF	ライトバック後
	端数ビットフレーム受信	EESR0.RRF	ライトバック後
	ロングフレーム受信エラー	EESR0.RTLF	ライトバック後
	ショートフレーム受信エラー	EESR0.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR0.PRE	ライトバック後
	受信フレーム CRC エラー	EESR0.CERF	ライトバック後

24.4.9 起動手順

以下の手順で GETHER を起動してください。

(1) リセット

1. パワーオンリセット
2. E-DMAC送信部／受信部の起動（ディスクリプタエンジン起動）
 - E-DMAC起動レジスタ (EDSR) の設定：ENT=1、ENR=1
3. ソフトウェアリセット
 - E-DMACモードレジスタ (EDMR) の設定：SWRR=1、SWRT=1（同時に設定のこと）
4. ディスクリプタエントリテーブルの初期化
5. ソフトウェアリセットの解除確認
 - E-DMACモードレジスタ (EDMR) の確認：SWRR=0、SWRT=0に戻っていること

(2) 端子、動作モード設定

1. 端子設定
 - PFCの章を参照してください。
2. 動作モード設定
 - GETHERモードレジスタ (GECMR) の設定：転送速度等
 - RMII_MII選択バイト (RMII_MII) の設定：インタフェース選択

(3) ディスクリプタリング登録

メモリに構成されたディスクリプタリングのアドレスをディスクリプタエントリテーブルに登録します。

1. 送信ディスクリプタの設定
 - 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) の設定
 - 送信ディスクリプタフェッチアドレスレジスタ (TDFAR) の設定
 - 送信ディスクリプタ処理済アドレスレジスタ (TDFXR) の設定
 - 送信ディスクリプタ最終フラグレジスタ (TDFFR) の設定：TDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定
2. 受信ディスクリプタの設定
 - 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR) の設定
 - 受信ディスクリプタフェッチアドレスレジスタ (RDFAR) の設定
 - 受信ディスクリプタ処理済アドレスレジスタ (RDFXR) の設定

- 受信ディスクリプタ最終フラグレジスタ (RDFFR) の設定: RDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定

(4) レジスタ設定

必要に応じて以下のレジスタを設定してください。

1. E-DMAC関連レジスタの設定

- E-DMACモードレジスタ (EDMR) の設定: 動作モード他
- E-MAC/E-DMACステータス割り込み許可レジスタ (EESIPR) の設定: 割り込みマスク
- 送受信ステータスコピー指示レジスタ (TRSCER) の設定: エラーマスク
- 送信FIFOしきい値指定レジスタ (TFTR) の設定: 送信FIFOしきい値
- FIFO容量指定レジスタ (FDR) の設定: 外部FIFO容量値
- 受信方式制御レジスタ (RMCR) の設定: 受信起動リセット方法
- 受信データパディング挿入設定レジスタ (RPADIR) の設定: 受信データへのパディング挿入
- オーバフロー予告FIFOしきい値設定レジスタ (FCFTR) の設定: 受信BSY送出しきい値

2. E-MAC関連レジスタの設定

- E-MACモードレジスタ (ECMR) の設定: 送信、受信仕様
- E-MAC割り込み許可レジスタ (ECSIPR) の設定: 割り込みマスク
- MACアドレス上位設定レジスタ (MAHR) の設定: MACアドレス
- MACアドレス下位設定レジスタ (MALR) の設定: MACアドレス
- 受信フレーム長上限レジスタ (RFLR) の設定: 受信フレーム長上限
- PHY-INT極性設定レジスタ (PIPR) の設定: ET0_PHY-INT端子の極性
- 自動PAUSEフレーム設定レジスタ (APR) の設定: 自動PAUSEフレームTIMEパラメータ値
- 手動PAUSEフレーム設定レジスタ (MPR) の設定: 手動PAUSEフレームTIMEパラメータ値
- 自動PAUSEフレーム再送回数設定レジスタ (TPAUSER) の設定: PAUSEフレーム再送回数上限値
- バーストサイクル回数上限設定レジスタ (BCULR) の設定: バーストサイクル上限値

(5) 起動

1. E-DMAC送受信機能の起動

- E-DMAC送信要求レジスタ (EDTRR) の設定: TR=11
- E-DMAC受信要求レジスタ (EDRRR) の設定: RR=1

2. E-MAC送受信機能の起動

- E-MACモードレジスタ (ECMR) の設定: TE=1、RE=1

24.4.10 フロー制御

GETHER は、全二重動作時に、IEEE802.3x 準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の (1)、(2) の方法があります。

(1) 自動 PAUSE フレーム送信

受信フレームに対しては、受信 FIFO に書き込まれたデータ量が、オーバフロー予告 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動的に送信します。このときの PAUSE フレームに含まれる TIME パラメータ値は、自動 PAUSE フレーム設定レジスタ (APR) で設定します。PAUSE フレームの再送回数上限を規定しない場合、自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送信回数の上限値を 1~65535 回の範囲で設定することができます。この場合は、自動 PAUSE フレームの送信は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで繰り返されます。送信回数カウンタは、いったん受信 FIFO 内のデータ量が FCFTR 設定値未満になった後、次の PAUSE フレームが送信される時点で 0 クリアされます。

自動 PAUSE フレームの送信は、E-MAC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効になります。

(2) 手動 PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。手動 PAUSE フレーム設定レジスタ (MPR) へ Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は 1 回 (1 フレーム) のみです。

(3) PAUSE フレーム受信

PAUSE フレームを受信した場合、TIME パラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。PAUSE フレームの受信は E-MAC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。PAUSE フレーム受信回数をカウントします。

(4) 0 TIME PAUSE フレーム制御

TIME パラメータ値が 0 の PAUSE フレームによるフロー制御を行うことができます。TIME パラメータ値が 0 の PAUSE フレーム制御を有効/無効するかを、E-MAC モードレジスタ (ECMR) の ZPF ビットで指定することができます。

- TIME パラメータ値が 0 の PAUSE フレーム制御有効時

TIME パラメータ値の示す時間が経過していない状態で、受信 FIFO の容量がオーバフロー予告 FIFO しきい値設定レジスタ (FCFTR) の設定値未満になると、TIME パラメータ値が 0 の PAUSE フレームを送信します。

TIME パラメータ値が 0 の PAUSE フレームを受信した場合、フレーム送信待ち状態を解除します。

- TIMEパラメータ値が0のPAUSEフレーム制御無効時
TIMEパラメータ値が0のPAUSEフレームを送信しません。また、TIMEパラメータ値が0のPAUSEフレームを受信した場合は、そのPAUSEフレームを破棄します。

24.4.11 Magic Packet の検出

GETHER は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、E-MAC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、ソフトウェアリセットレジスタ (ARSTR) の ARST ビットにより E-MAC、TSU、および E-DMAC の初期化を実行してください。

Magic Packet においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定される宛先に合致する場合のみ有効となり ET0_WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可/マスクレジスタによって割り込み要因の出力を禁止します。
2. E-MACモードレジスタ (ECMR) の Magic Packet検出許可ビット (MPDE) を設定します。
3. E-MAC割り込み許可レジスタ (ECSIPR) の Magic Packet検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
4. E-MAC/E-DMACステータス割り込み許可レジスタ (EESIPR) の E-MACステータスレジスタ要因割り込み許可ビット (ECIIP) を設定します。
5. 必要ならCPUの動作モードをスリープモードに設定します。
6. Magic Packet を検出すると、CPUには割り込みが通知されます。また、周辺LSIに対しては、ET0_WOL端子により Magic Packet を検出したことを通知します。

【注】 ディープスタンバイ時の Magic Packet の検出に関しては、「第9章 動作モード、低消費電力モード」を参照してください。

24.4.12 インテリジェントチェックサム計算機能

受信パケットに対するチェックサム演算をアクセラレートします。下記の2つのモードがあります。

- MAC/IPパケット解析型インテリジェントチェックサム計算モード
- スキップバイト数指定型全データインテリジェントチェックサム計算モード

(1) MAC/IPパケット解析型インテリジェントチェックサム計算モード (CSMR レジスタ CSEBL=1、CSMD =1)

受信パケットが下表に含まれるものであれば、計算の対象となります。

IPver	項 目
IPv4	オプションなし
	オプションあり
	フラグメント* ¹
IPv6	拡張ヘッダなし
	ホップバイホップオプション拡張ヘッダ長
	ルーティング拡張ヘッダ長
	フラグメント拡張ヘッダ長* ¹
	終点オプション拡張ヘッダ長
	AH 拡張ヘッダ長
	ESP 拡張ヘッダ長* ²
MobileIPv6 用拡張ヘッダ長* ²	

【注】 *1 計算の対象となりますが、データが正常な場合でも RD0.RCS[15:0]=不定となり、RD0.RCSE=不定となります。

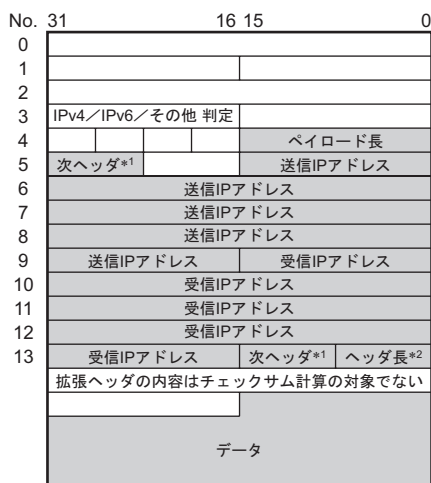
*2 RD0.RCS[15:0]の計算は行わずに RD0.RCSE=1 にセットされます。

以下に IPv4 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。

No.	31	16	15	11	8	7	0
0							
1							
2							
3	IPv4/IPv6/その他 判定				IHL*		
4	パケット長						
5							
6				送信IPアドレス			
7	送信IPアドレス			受信IPアドレス			
8	受信IPアドレス						
9	オプションがあれば計算対象から削除						
10	データ						

【注】 * オクテット単位に変更後、チェックサム計算時は減算する。
計算時 {8'h00、プロトコルNo.[7:0]}

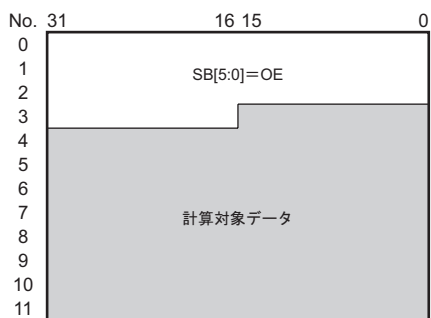
以下に IPv6 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。



【注】 *1 TCP/UDPのときのみ計算する。計算する場合は {8'h00, 次ヘッダ[7:0]} に拡張する。
*2 オクテット単位に変更後、チェックサム計算時は減算する。

(2) スキップバイト数指定型全データインテリジェントチェックサム計算モード(CSMR レジスタ CSEBL=1、CSMD=0)

CSMR レジスタ SB[5:0]で指定したバイト数分だけ、パケットの先頭からデータをスキップした後、以降の全有効データをチェックサムの対象として計算を行います。(例：14 バイトスキップ)



24.5 PHY-LSI との接続

24.5.1 MII フレームタイミング

各種 MII フレームのタイミングを図 24.15～図 24.20 に示します。

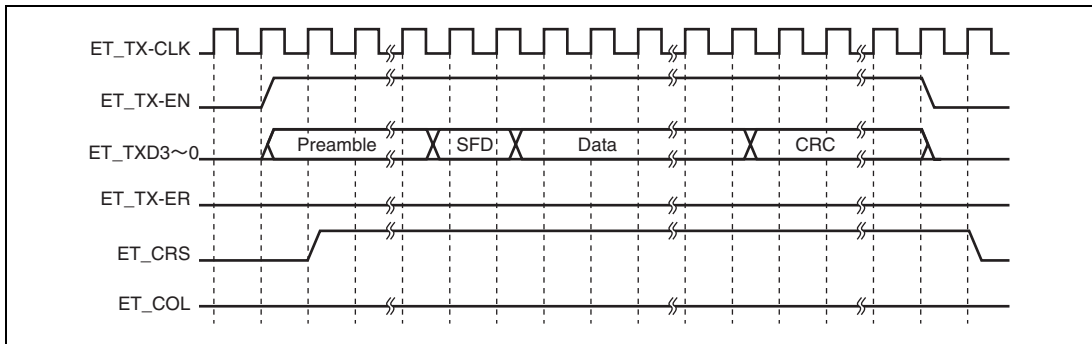


図 24.15 MII フレーム送信タイミング (正常時)

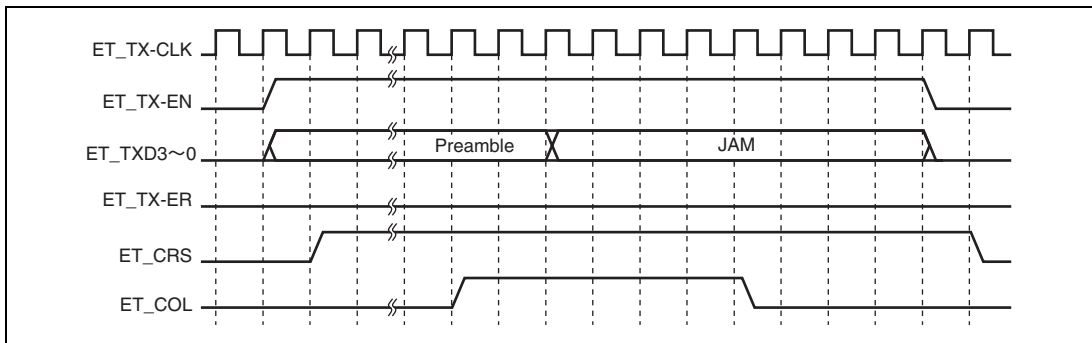


図 24.16 MII フレーム送信タイミング (衝突発生)

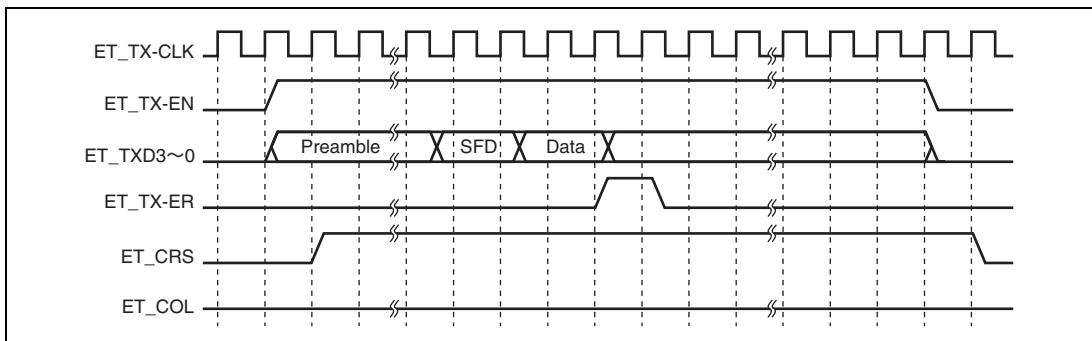


図 24.17 MII フレーム送信タイミング (送信エラー発生)

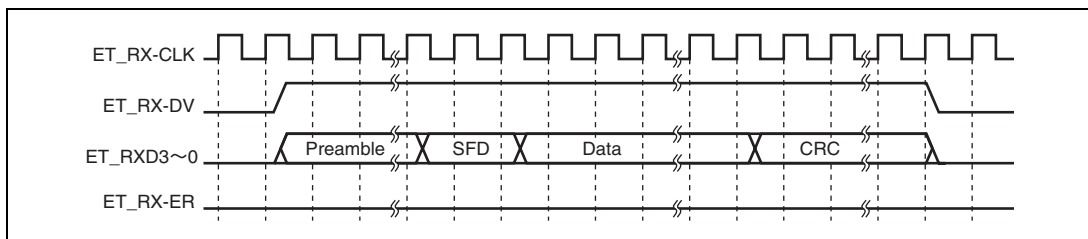


図 24.18 MII フレーム受信タイミング (正常受信)

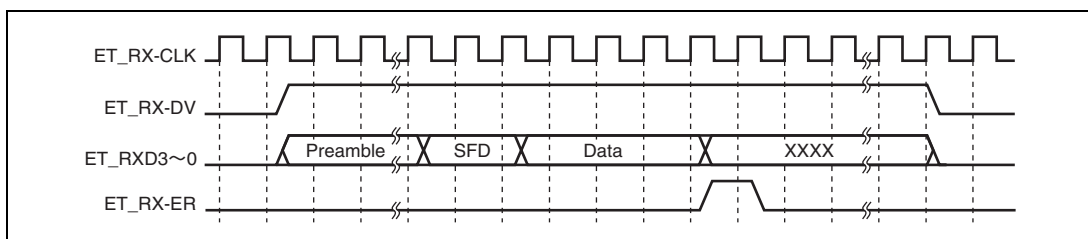


図 24.19 MII フレーム受信タイミング (受信エラー (1))

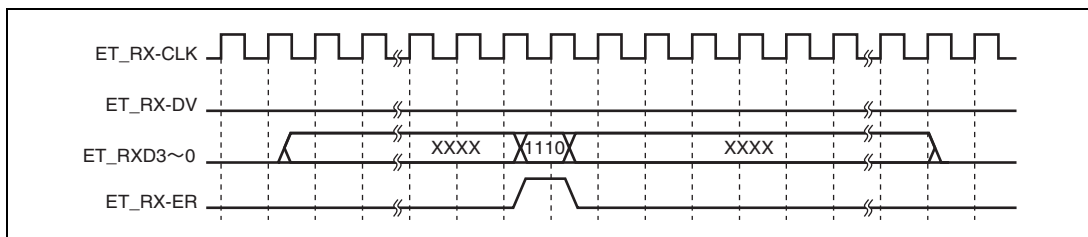


図 24.20 MII フレーム受信タイミング (受信エラー (2))

24.5.2 GMII/MII フレームタイミング

各種 GMII/MII フレームのタイミングを図 24.21～図 24.26 に示します。

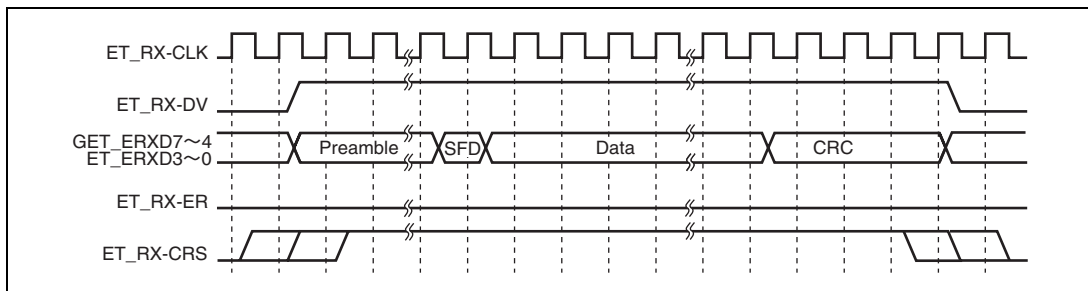


図 24.21 GMII/MII フレーム受信タイミング (正常時)

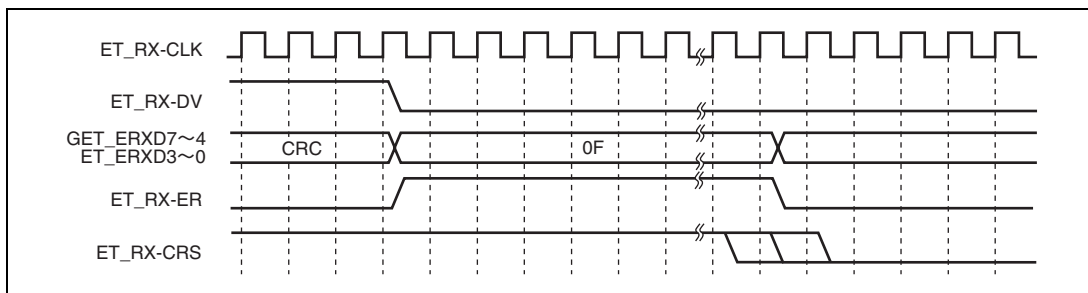


図 24.22 GMII/MII フレーム受信タイミング (キャリア拡張あり時)

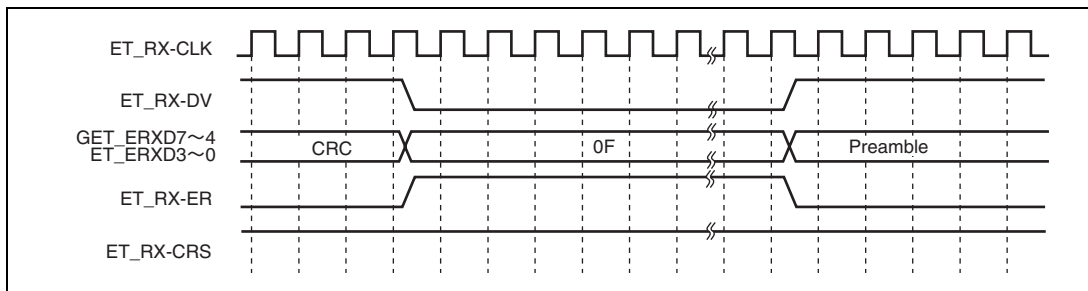


図 24.23 GMII/MII フレーム受信タイミング (バースト受信時)

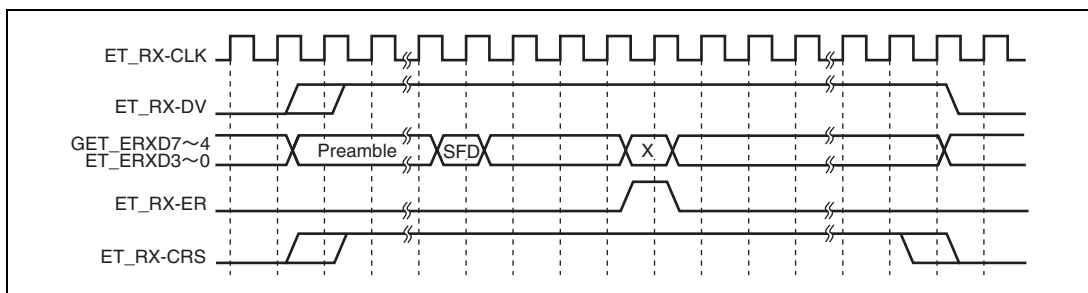


図 24.24 GMII/MII フレーム受信タイミング (受信エラー時)

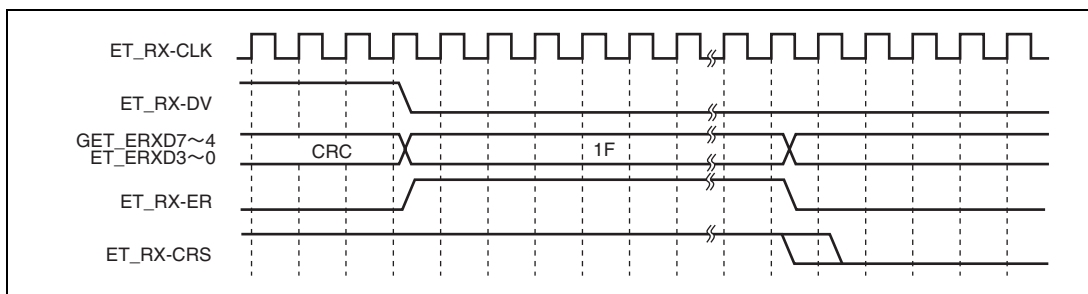


図 24.25 GMII/MII フレーム受信タイミング (キャリア拡張中のエラー時)

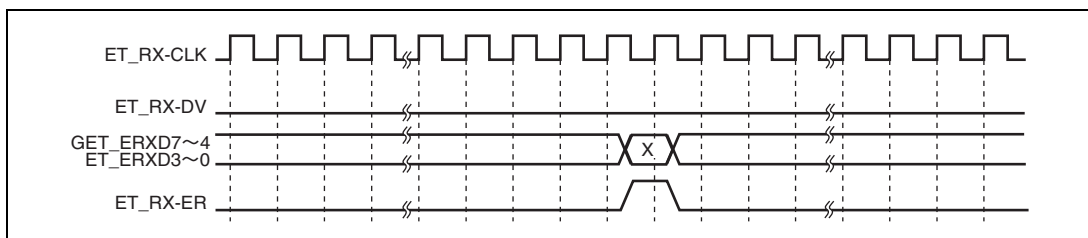


図 24.26 GMII/MII フレーム受信タイミング (False Carrier Indication)

24.5.3 RMII フレームタイミング

各種 RMII フレームのタイミングを図 24.27～図 24.29 に示します。

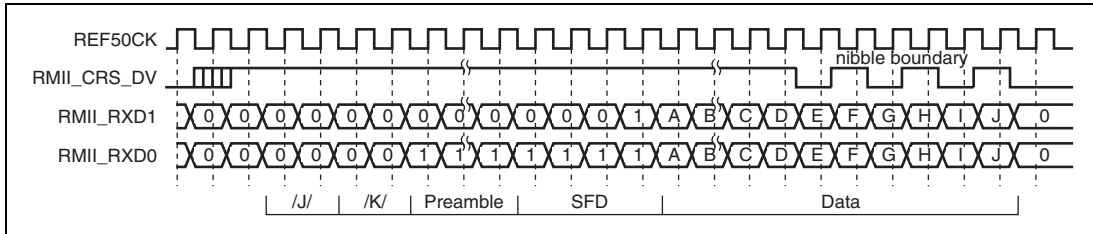


図 24.27 RMII フレーム受信タイミング (100Mbps 正常受信時)

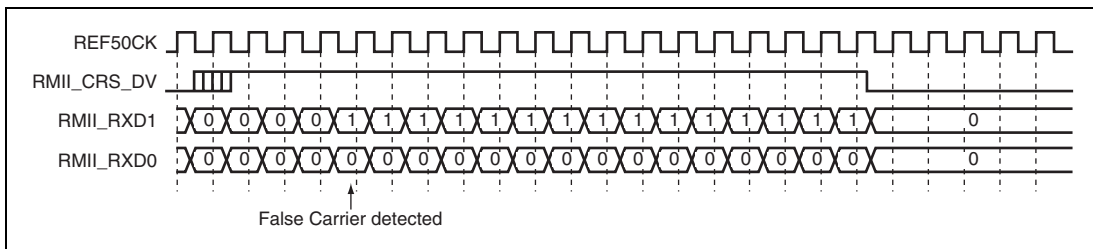


図 24.28 RMII フレーム受信タイミング (False Carrier を伴う 100Mbps 受信時)

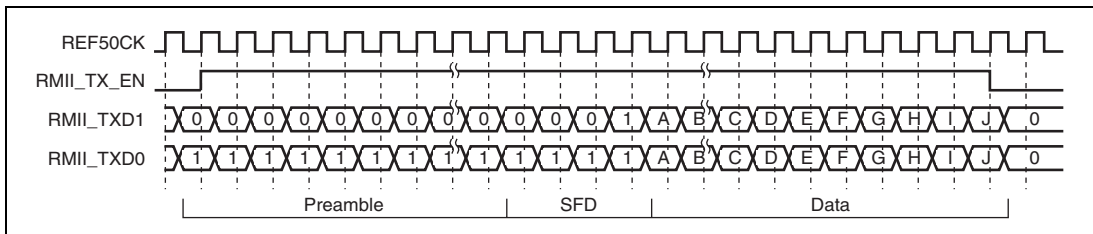


図 24.29 RMII フレーム送信タイミング (100Mbps 正常送信時)

24.5.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを図 24.30 に示します。MII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り換える時間
 - (a) ライト時は10をライト
 - (b) リード時は、「バス解放」(Z0と表記)を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
 - (a) ライト時は、16ビットデータのライト
 - (b) リード時は、16ビットデータのリード
- IDLE : 次のMII管理フォーマット入力までの待機時間
 - (a) ライト時は、「単独バス解放」(Xと表記)を行う
 - (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 24.30 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 24.31 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

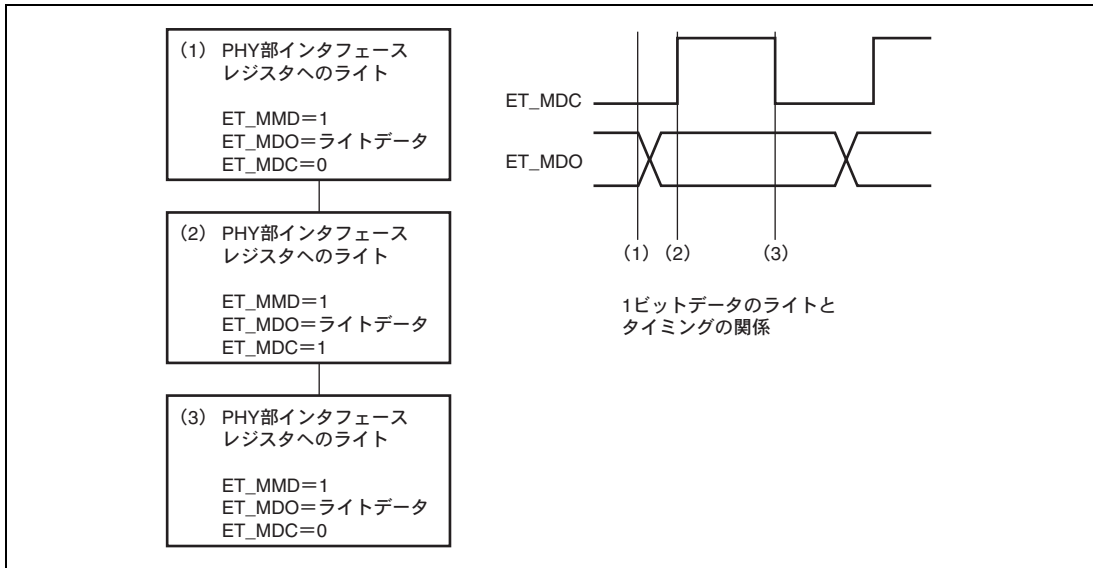


図 24.31 (1) 1 ビットデータのライトフロー

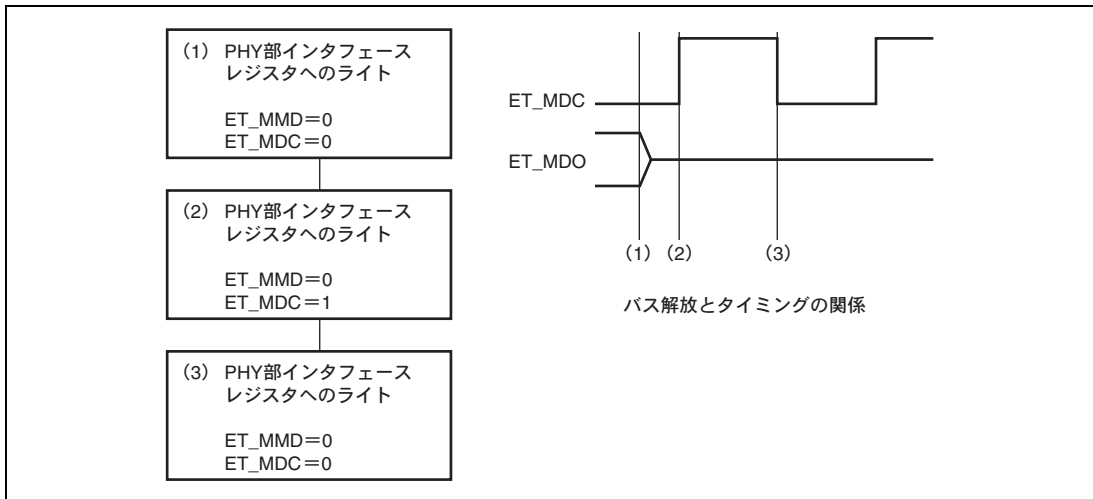


図 24.31 (2) バス解放フロー (図 24.30 中のリード時の TA)

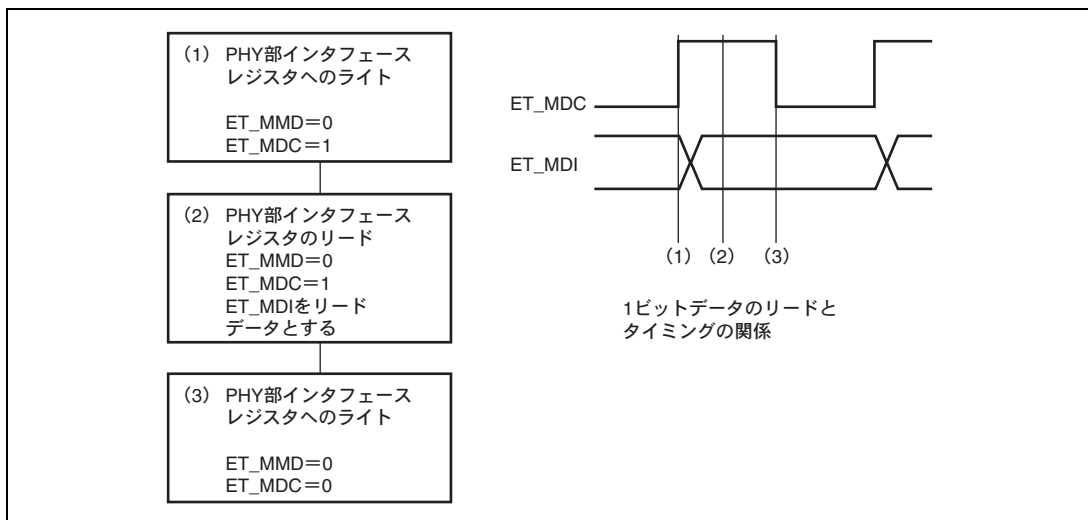


図 24.31 (3) 1ビットデータのリードフロー

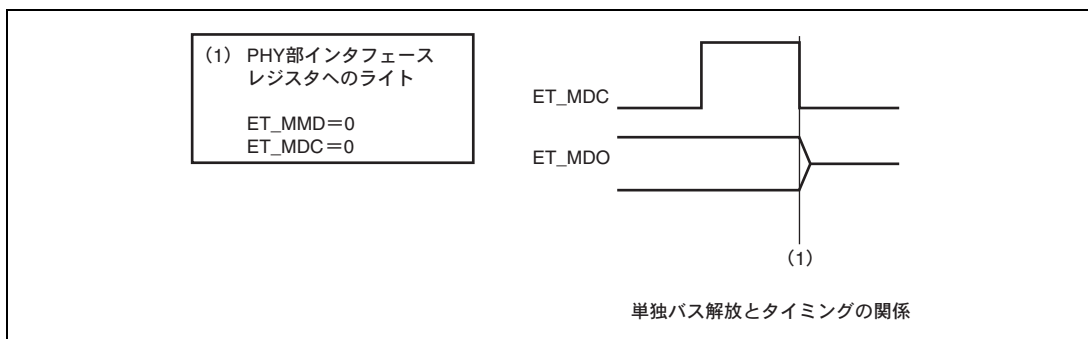


図 24.31 (4) 単独バス解放フロー (図 24.30 のライト時の IDLE)

24.5.5 MII-RMII インタフェース変換

本 LSI は、RMII インタフェースをサポートしています。RMII インタフェースは、MII-RMII 変換回路で、MII インタフェースを変換して作成されます。

(1) クロック

RMII インタフェースからの REF50CK (50MHz) を分周し、ET0_TX-CLK/ET0_RX-CLK (25MHz、2.5MHz) を出力します。

(2) 受信

RMII インタフェースからの受信波形を MII インタフェースに変換して出力します (10Mbps、100Mbps)。

RMII インタフェースからのフォルスキャリア検知を MII インタフェースに変換して出力します。

RMII インタフェースからの RMII_RX-ER 信号を MII インタフェースに出力します。

【注】 フォルスキャリア検知は、プリアンプル検出から受信が終了する (ET0_RX-DV ネゲート) まで発生しません。

(3) 送信

MII インタフェースからの送信波形を RMII インタフェースに変換して出力します (10Mbps、100Mbps)。

コリジョン信号 (ET0_COL) を CRS と ET0_TX-EN の AND で生成します。

(4) 全二重/半二重の選択

全二重転送モード時は、COL アサートを抑止します。

図 24.32 に、変換回路の概略図を示します。

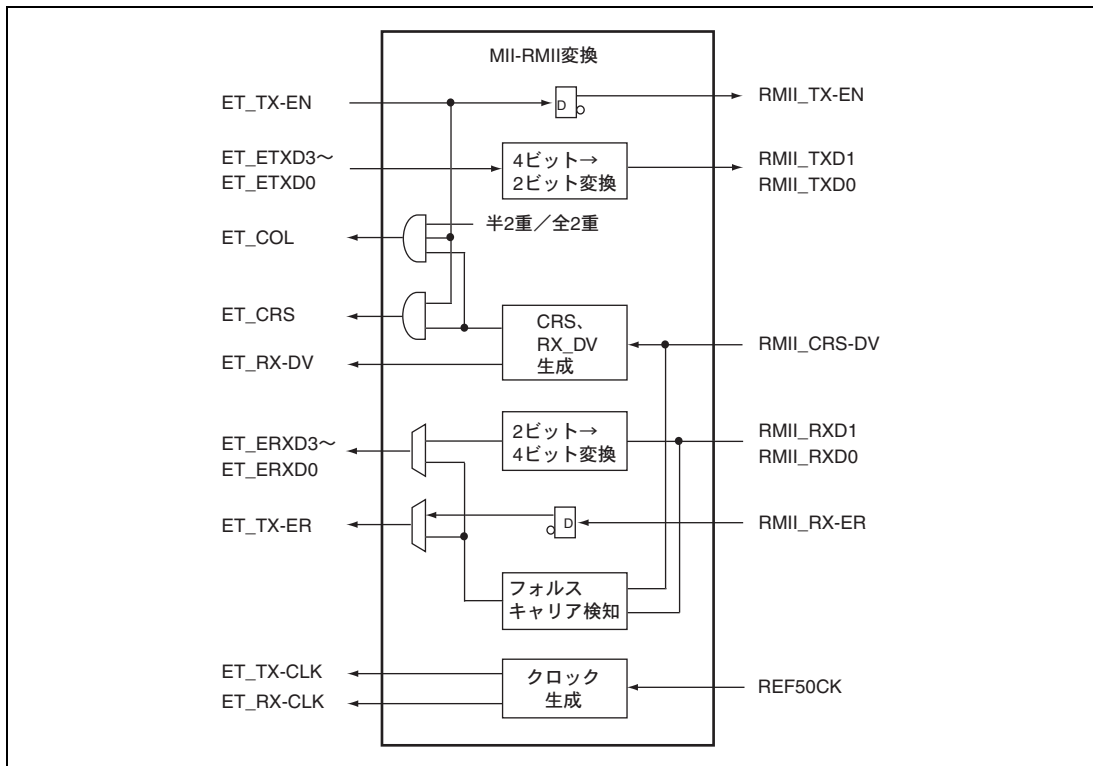


図 24.32 MII-RMII 変換回路

24.6 使用上の注意事項

24.6.1 イーサネットフレームのサムチェック計算

本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分（長さ/タイプフィールドの直後から、CRC データの直前まで）です。図 24.33 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ（4 バイト）は受信フレームとしては転送されず、サムチェックデータ（Sum Data）が自動的に付きます。図 24.34 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。

【注】 VLANtag が挿入されたフレームに対しても、先頭 15 バイト目以降、CRC データの直前までを計算対象としますのでご注意ください。

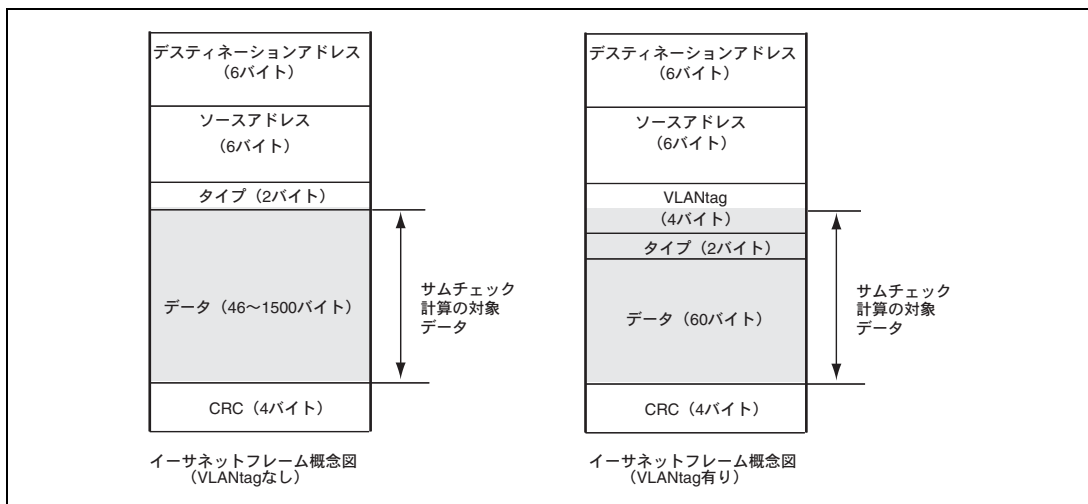


図 24.33 サムチェック計算の対象データ

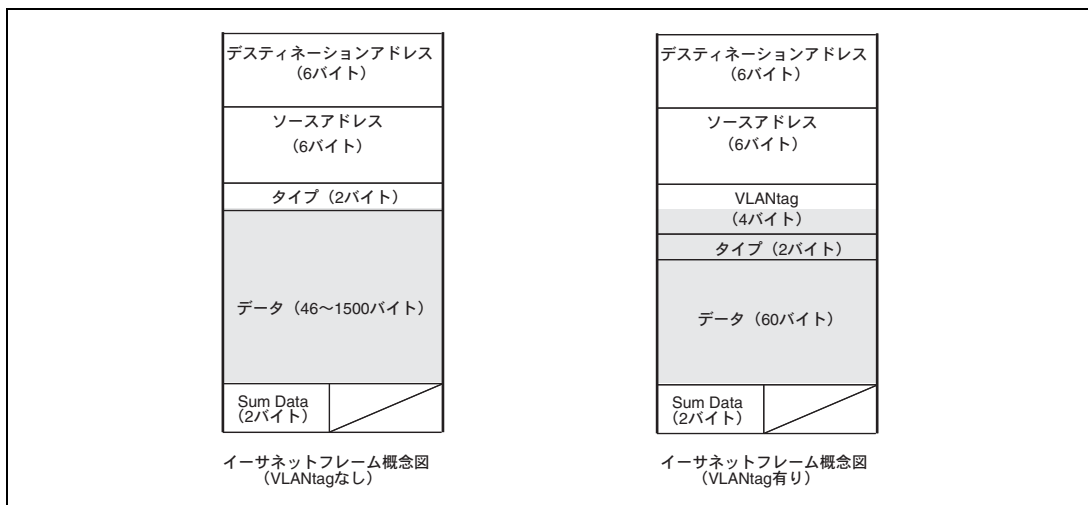


図 24.34 サムチェックデータ付加後のデータ

24.6.2 TSU 使用時の注意

本 LSI の TSU は、100BASE-T のデータ転送まで対応した仕様となっております。1000BASE-T で TSU を使用した場合もデータ転送に関しては、転送性能は 100BASE-T 相当となりますのでご注意ください。

24.6.3 インテリジェントチェックサム機能の使用時の注意

インテリジェントチェックサム機能のチェックサム計算は、受信データパディング挿入設定レジスタ (RPADIR) によるパディング挿入の影響を受けません。これは、チェックサム計算が、受信データを E-MAC から E-DMAC に転送する際に行われるのに対し、受信データパディングが、受信データを E-DMAC からメモリ上の受信バッファに転送する際に行われるためです。

24.6.4 RMII 選択時の ET0_RX-ER 端子入力について

RMII 選択時、PHY から受け取る受信エラー信号の幅が RMII のリファレンスクロック 50MHz の 1 サイクル分しか出ない場合、エラー信号として認識しません。

25. タイマユニット (TMU)

本 LSI は 9 チャンネル (チャンネル 0~8) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : TiMer Unit) を内蔵しています。

25.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2、5のみ、インプットキャプチャ機能を搭載
- チャンネル0、1、2、3、4、5のみ外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ/立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し/書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0、1、2、3、4、5のみ、6種類のカウンタ入力クロックを選択可能
外部クロック (TCLK)、5種類の周辺クロック (clkp/4、clkp/16、clkp/64、clkp/256、clkp/1024) (ただし、clkpは周辺クロック)
- チャンネル6、7、8は、5種類のカウンタ入力クロックを選択可能
5種類の周辺クロック (clkp/4、clkp/16、clkp/64、clkp/256、clkp/1024) (ただし、clkpは周辺クロック)
- 2種類の割り込み要因
アンドフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2、5) があります。

図 25.1 に TMU のブロック図を示します。

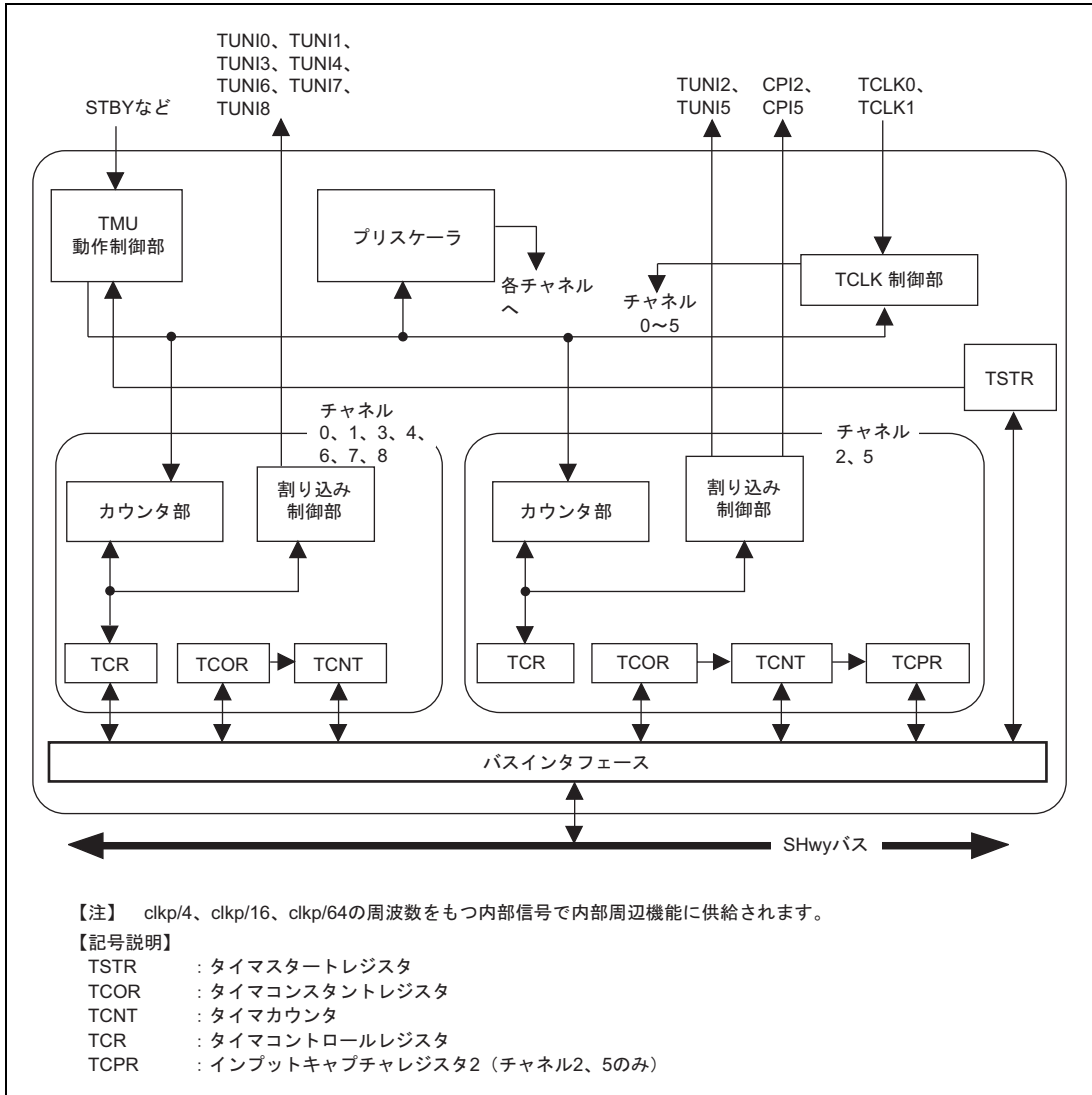


図 25.1 TMU のブロック図

25.2 入出力端子

表 25.1 に TMU の端子構成を示します。

表 25.1 端子構成

名称	略称	入出力	機能
クロック入力 0	TCLK0	入力	チャンネル 0、1、2 外部クロック入力端子/ チャンネル 2 インพุットキャプチャ制御入力端子
クロック入力 1	TCLK1	入力	チャンネル 3、4、5 外部クロック入力端子/ チャンネル 5 インพุットキャプチャ制御入力端子

25.3 レジスタの説明

TMU には以下のレジスタがあります。下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 25.2 (1) レジスタ構成

チャンネル	名称	略称	R/W	P4 アドレス	サイズ
0、1、2 共通	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD80004	8
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD80008	32
	タイマカウンタ 0	TCNT0	R/W	H'FFD8000C	32
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD80010	16
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD80014	32
	タイマカウンタ 1	TCNT1	R/W	H'FFD80018	32
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8001C	16
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD80020	32
	タイマカウンタ 2	TCNT2	R/W	H'FFD80024	32
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD80028	16
	インพุットキャプチャレジスタ 2	TCPR2	R	H'FFD8002C	32
3、4、5 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFD81004	8
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFD81008	32
	タイマカウンタ 3	TCNT3	R/W	H'FFD8100C	32
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFD81010	16
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFD81014	32
	タイマカウンタ 4	TCNT4	R/W	H'FFD81018	32
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFD8101C	16

チャンネル	名称	略称	R/W	P4 アドレス	サイズ
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFD81020	32
	タイマカウンタ 5	TCNT5	R/W	H'FFD81024	32
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFD81028	16
	インプットキャプチャレジスタ 5	TCPR5	R	H'FFD8102C	32
6、7、8 共通	タイマスタートレジスタ 2	TSTR2	R/W	H'FFD82004	8
6	タイマコンスタントレジスタ 6	TCOR6	R/W	H'FFD82008	32
	タイマカウンタ 6	TCNT6	R/W	H'FFD8200C	32
	タイマコントロールレジスタ 6	TCR6	R/W	H'FFD82010	16
7	タイマコンスタントレジスタ 7	TCOR7	R/W	H'FFD82014	32
	タイマカウンタ 7	TCNT7	R/W	H'FFD82018	32
	タイマコントロールレジスタ 7	TCR7	R/W	H'FFD8201C	16
8	タイマコンスタントレジスタ 8	TCOR8	R/W	H'FFD82020	32
	タイマカウンタ 8	TCNT8	R/W	H'FFD82024	32
	タイマコントロールレジスタ 8	TCR8	R/W	H'FFD82028	16

表 25.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TSTR0	初期化	初期化	保持	保持	保持	初期化
TCOR0	初期化	初期化	保持	保持	保持	初期化
TCNT0	初期化	初期化	保持	保持	保持	初期化
TCR0	初期化	初期化	保持	保持	保持	初期化
TCOR1	初期化	初期化	保持	保持	保持	初期化
TCNT1	初期化	初期化	保持	保持	保持	初期化
TCR1	初期化	初期化	保持	保持	保持	初期化
TCOR2	初期化	初期化	保持	保持	保持	初期化
TCNT2	初期化	初期化	保持	保持	保持	初期化
TCR2	初期化	初期化	保持	保持	保持	初期化
TCPR2	初期化	初期化	保持	保持	保持	初期化
TSTR1	初期化	初期化	保持	保持	保持	初期化
TCOR3	初期化	初期化	保持	保持	保持	初期化
TCNT3	初期化	初期化	保持	保持	保持	初期化
TCR3	初期化	初期化	保持	保持	保持	初期化
TCOR4	初期化	初期化	保持	保持	保持	初期化
TCNT4	初期化	初期化	保持	保持	保持	初期化
TCR4	初期化	初期化	保持	保持	保持	初期化

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
TCOR5	初期化	初期化	保持	保持	保持	初期化
TCNT5	初期化	初期化	保持	保持	保持	初期化
TCR5	初期化	初期化	保持	保持	保持	初期化
TCPR5	初期化	初期化	保持	保持	保持	初期化
TSTR2	初期化	初期化	保持	保持	保持	初期化
TCOR6	初期化	初期化	保持	保持	保持	初期化
TCNT6	初期化	初期化	保持	保持	保持	初期化
TCR6	初期化	初期化	保持	保持	保持	初期化
TCOR7	初期化	初期化	保持	保持	保持	初期化
TCNT7	初期化	初期化	保持	保持	保持	初期化
TCR7	初期化	初期化	保持	保持	保持	初期化
TCOR8	初期化	初期化	保持	保持	保持	初期化
TCNT8	初期化	初期化	保持	保持	保持	初期化
TCR8	初期化	初期化	保持	保持	保持	初期化

25.3.1 タイマスタートレジスタ (TSTRn) (n=0~2)

TSTR は、読み出し/書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

- TSTR0

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0 : TCNT2 のカウント動作は停止 1 : TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作する
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作する

- TSTR1

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR5	STR4	STR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR5	0	R/W	カウンタスタート 5 TCNT5 を動作させるか、停止させるかを選択します。 0 : TCNT5 のカウント動作は停止 1 : TCNT5 はカウント動作する

ビット	ビット名	初期値	R/W	説明
1	STR4	0	R/W	カウンタスタート 4 TCNT4 を動作させるか、停止させるかを選択します。 0 : TCNT4 のカウント動作は停止 1 : TCNT4 はカウント動作する
0	STR3	0	R/W	カウンタスタート 3 TCNT3 を動作させるか、停止させるかを選択します。 0 : TCNT3 のカウント動作は停止 1 : TCNT3 はカウント動作する

- TSTR2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR8	STR7	STR6
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR8	0	R/W	カウンタスタート 8 TCNT8 を動作させるか、停止させるかを選択します。 0 : TCNT8 のカウント動作は停止 1 : TCNT8 はカウント動作する
1	STR7	0	R/W	カウンタスタート 7 TCNT7 を動作させるか、停止させるかを選択します。 0 : TCNT7 のカウント動作は停止 1 : TCNT7 はカウント動作する
0	STR6	0	R/W	カウンタスタート 6 TCNT6 を動作させるか、停止させるかを選択します。 0 : TCNT6 のカウント動作は停止 1 : TCNT6 はカウント動作する

25.3.2 タイマコンスタントレジスタ (TCORn) (n=0~8)

TCOR は、読み出し/書き込み可能な 32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.3 タイマカウンタ (TCNTn) (n=0~8)

TCNT は、読み出し/書き込み可能な 32 ビットレジスタです。TCNT は、TCR の TPSC2~TPSC0 ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TCR の UNF がセットされます。また、同時に TCNT には、TCOR の値がセットされ、セットされた値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

25.3.4 タイマコントロールレジスタ (TCRn) (n=0~8)

TCR は、読み出し/書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生の制御を行います。また、チャンネル 2、5 の TCR はインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生の制御を行います。

- TCR0、TCR1、TCR3、TCR4、TCR6、TCR7、TCR8

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- TCR2、TCR5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ICPF* ¹	0	R/W	インプットキャプチャ割り込みフラグ チャンネル 2、5 のみの機能で、インプットキャプチャレジスタ発生を示すステータスフラグです。 0: インプットキャプチャが発生していないことを示します [クリア条件] ICPF に 0 を書き込んだとき 1: インプットキャプチャが発生したことを示します [セット条件] インプットキャプチャが発生したとき* ²
8	UNF	0	R/W	アンダフローフラグ TCNT のアンダフローの発生を示すステータスフラグです。 0: TCNT がアンダフローを起こしていないことを示します [クリア条件] UNF に 0 を書き込んだとき 1: TCNT がアンダフローを起こしたことを示します [セット条件] TCNT がアンダフローを起こしたとき* ²

ビット	ビット名	初期値	R/W	説明
7 6	ICPE1*1 ICPE0*1	0 0	R/W R/W	<p>インプットキャプチャ制御</p> <p>チャンネル 2、5 のみの機能で、インプットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。</p> <p>TCLK 端子の立ち上がりエッジ/立ち下がりエッジのいずれかを使って TCPR2、5 に TCNT2、5 の値をセットするかは、CKEG ビットで設定します。</p> <p>TCR2、5 の ICPF ビットが 0 のときのみ、TCNT2、5 の値が TCPR2、5 にセットされます。ICPF ビットが 1 のときは、インプットキャプチャが発生しても TCPR2、5 はセットされません。</p> <p>00 : インプットキャプチャ機能を使用しないことを示します</p> <p>01 : リザーブ (設定禁止)</p> <p>10 : インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2、TICPI5) を許可しないことを示します。</p> <p>11 : インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2、TICPI5) を許可することを示します。</p>
5	UNIE	0	R/W	<p>アンダフロー割り込み制御</p> <p>TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。</p> <p>0 : アンダフローによる割り込み (TUNI) を許可しない</p> <p>1 : アンダフローによる割り込み (TUNI) を許可する</p>
4 3	CKEG1 CKEG0	0 0	R/W R/W	<p>クロックエッジ 1、0</p> <p>外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。</p> <p>00 : 立ち上がりエッジでカウント/インプットキャプチャレジスタセット</p> <p>01 : 立ち下がりエッジでカウント/インプットキャプチャレジスタセット</p> <p>1X : 立ち上がり/立ち下がり両エッジでカウント/インプットキャプチャレジスタセット</p>
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	<p>タイマプリスケラ 2~0</p> <p>TCNT のカウントクロックを選択します。</p> <p>000 : clkp/4 でカウント</p> <p>001 : clkp/16 でカウント</p> <p>010 : clkp/64 でカウント</p> <p>011 : clkp/256 でカウント</p> <p>100 : clkp/1024 でカウント</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 外部クロック (TCLK) でカウント (ch6、7、8 は使用できません)</p>

【注】 X : Don't care

*1 チャンネル 0、1、3、4、6、7、8 ではリザーブビットです (初期値 0、リードのみ)。

*2 1 を書き込むと元の値が保持されます。

25.3.5 インพุットキャプチャレジスタ 2、5 (TCPR2、TCPR5)

TCPR2、5は、チャンネル2、5のみに内蔵されているインพุットキャプチャ機能用の読み出し専用の32ビットレジスタです。TCR2、5のICPEビットおよびCKEGビットによって、インพุットキャプチャ機能を制御します。インพุットキャプチャが発生すると、TCNT2の値がTCPR2に、TCNT5の値がTCPR5にコピーされます。TCR2、5のICPFビットが0のときのみTCPR2、5にセットします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

25.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNTは、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2、5には、インプットキャプチャ機能があります。

25.4.1 カウンタの動作

TSTR0~TSTR2のSTR8~STR0ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグがセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 25.2 にカウント動作の設定手順例を示します。

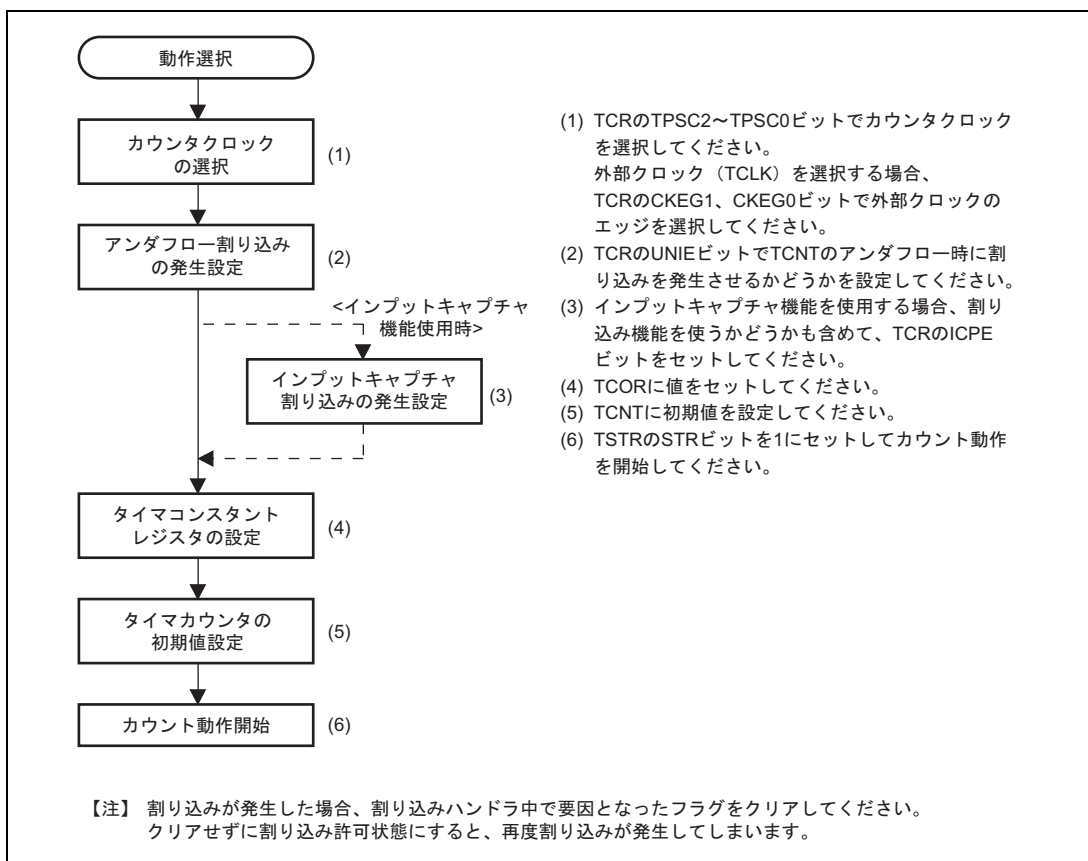


図 25.2 カウント動作設定手順例

(2) オートリロードカウンタ動作

図 25.3 に TCNT のオートリロード動作を示します。

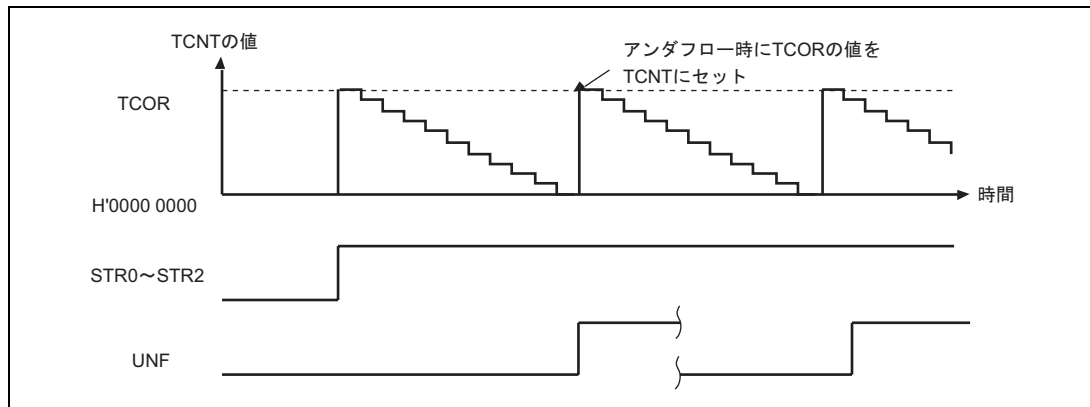


図 25.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCR の TPSC2~TPSC0 ビットにより、カウントクロックとして周辺クロックを分周した 5 種類のクロック (clkp/4、clkp/16、clkp/64、clkp/256、clkp/1024) を選択できます。

このときのタイミングを図 25.4 に示します。

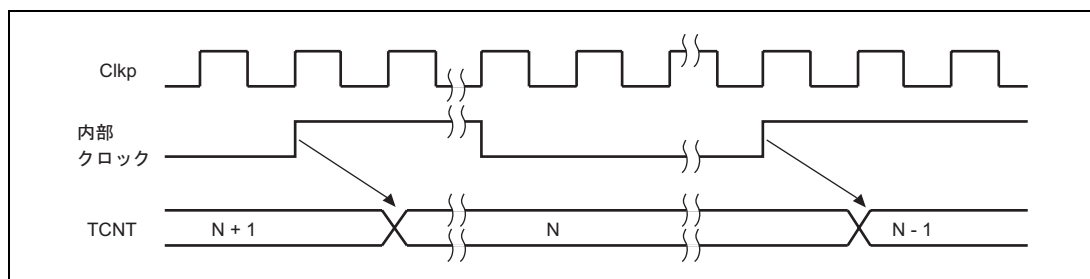


図 25.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

TCR の TPSC2~TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。

図 25.5 に両エッジ検出時のタイミングを示します。

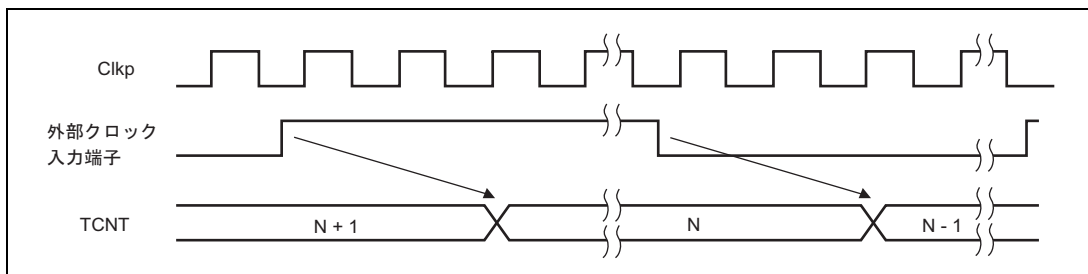


図 25.5 外部クロック動作時のカウントタイミング

25.4.2 インพุットキャプチャ機能

チャンネル 2、5 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCRのTPSC2～TPSC0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE1、ICPE0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG1、CKEG0ビットでTCLK端子の立ち上がり／立ち下がりのどのエッジを使用してTCP2、5にTCNTの値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2、5のICPFビットが0のときのみ、TCNT2の値をTCP2に、TCNT5の値をTCP5にセットします。

図 25.6 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

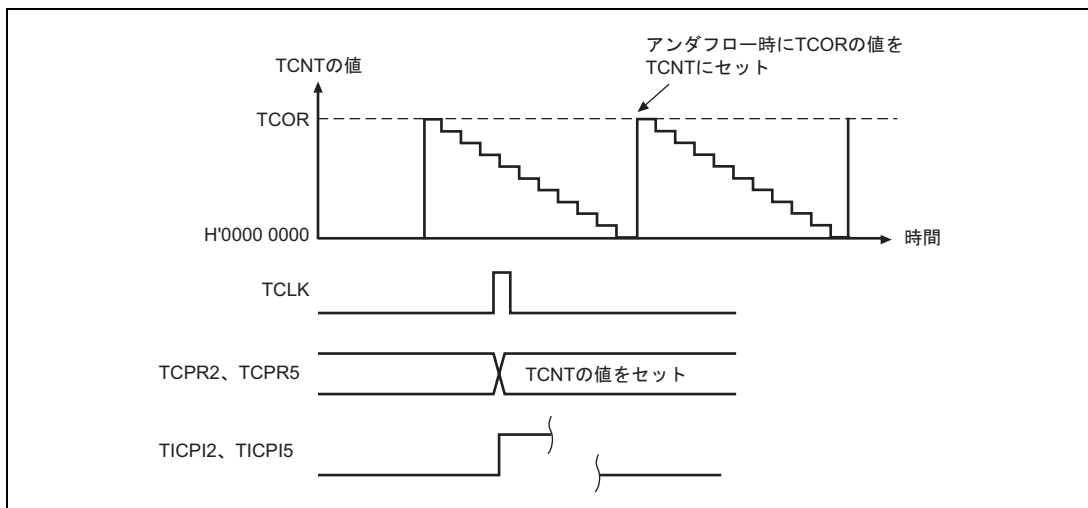


図 25.6 インพุットキャプチャ機能使用時の動作タイミング

25.5 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2、5 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2、5 の ICPF ビットが 1 で TCR2、5 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 25.3 に TMU の割り込み要因を示します。

表 25.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンダフロー割り込み 0
1	TUNI1	アンダフロー割り込み 1
2	TUNI2	アンダフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンダフロー割り込み 3
4	TUNI4	アンダフロー割り込み 4
5	TUNI5	アンダフロー割り込み 5
	TICPI5	インプットキャプチャ割り込み 5
6	TUNI6	アンダフロー割り込み 6
7	TUNI7	アンダフロー割り込み 7
8	TUNI8	アンダフロー割り込み 8

25.6 使用上の注意事項

25.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR8~STR0) をクリアして、タイマのカウンタ動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウンタ動作中に行うことができます。カウンタ動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

25.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

25.6.3 外部クロック周波数について

各チャンネルへ入力する外部クロック (TCLK) の周波数は $\text{clkp}/4$ を超えないようにしてください。

25.6.4 リセット中のレジスタアクセスについて

システム停止の危険性がありますので、リセット中にレジスタアクセスは実行しないでください。

26. リアルタイムクロック

本 LSI は、リアルタイムクロックおよび 32.768kHz 水晶発振器を内蔵しています。

26.1 特長

- 時計・カレンダー機能（BCD表示）を搭載
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ（バイナリ表示）を搭載
64Hzカウンタが、分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能
- アラーム割り込みによる、ディープスタンバイ復帰が可能

図 26.1 にブロック図を示します。

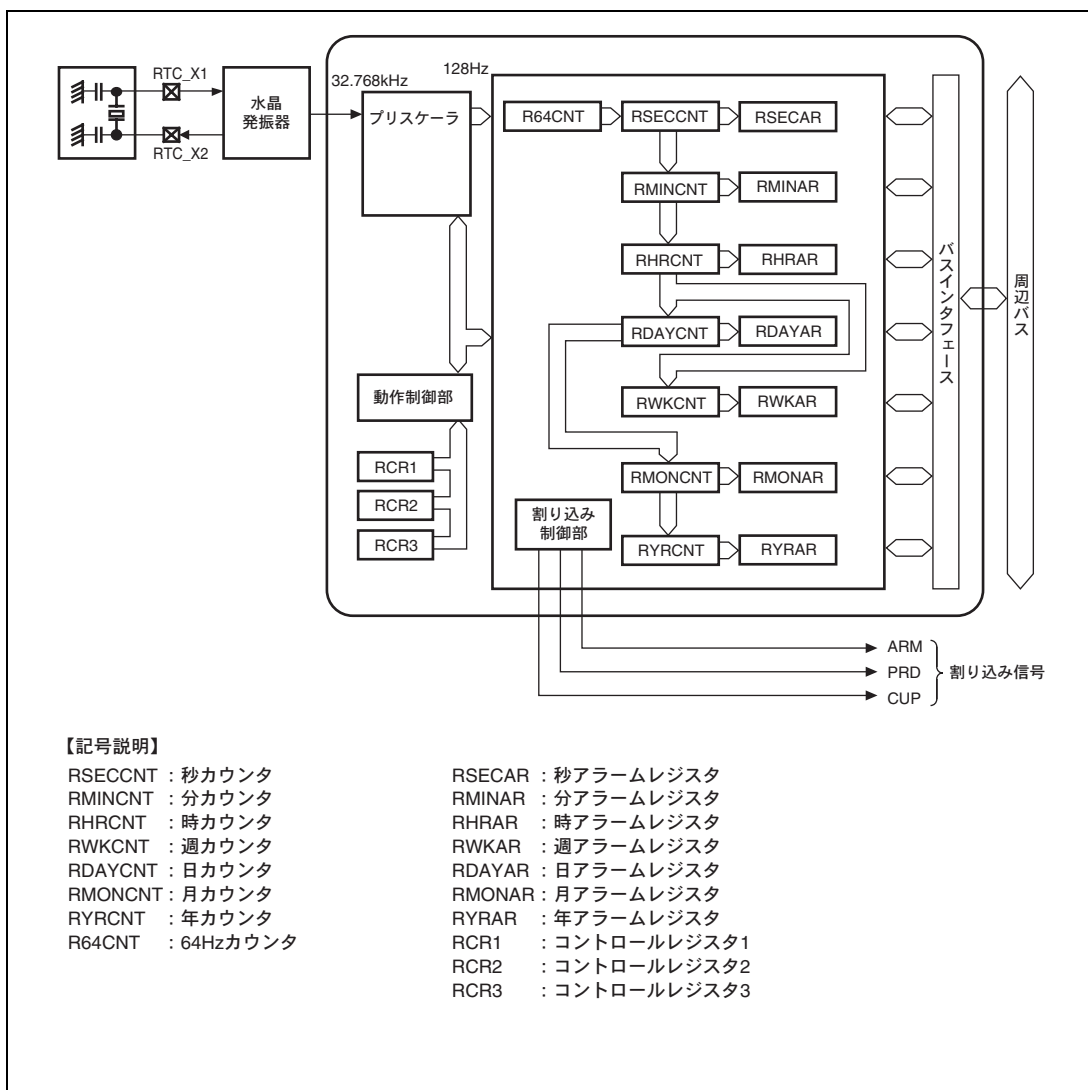


図 26.1 ブロック図

26.2 入出力端子

表 26.1 に端子構成を示します。

表 26.1 端子構成

名称	端子名	入出力	機能
リアルタイムクロック用水晶 発振子端子/外部クロック	RTC_X1	入力	本モジュール用に 32.768kHz の水晶発振子を接続します。 また RTC_X1 端子は外部クロックを入力することもできます。
	RTC_X2	出力	

26.3 レジスタの説明

表 26.2 (1) にレジスタ構成を示します。

表 26.2 (1) レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFC5000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFC5002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFC5004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFC5006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFC5008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFC500A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFC500C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFC500E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFC5010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFC5012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFC5014	8
曜日アラームレジスタ	RWKAR	R/W	H'xx	H'FFFC5016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFC5018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFC501A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFC5020	16
コントロールレジスタ 1	RCR1	R/W	H'xx	H'FFFC501C	8
コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFC501E	8
コントロールレジスタ 3	RCR3	R/W	H'x0	H'FFFC5024	8

表 26.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
R64CNT	保持*1	保持*1	保持*1	保持*1	保持*2	保持*1
RSECCNT						
RMINCNT						
RHRCNT						
RWKCNT						
RDAYCNT						
RMONCNT						
RYRCNT						
RSECAR	保持	保持	保持	保持	保持	保持
RMINAR						
RHRAR						
RWKAR						
RDAYAR						
RMONAR						
RYRAR						
RCR1	初期化	初期化	保持	保持	保持	初期化
RCR2	初期化	初期化*3	保持	保持	保持	初期化
RCR3	保持	保持	保持	保持	保持	保持

【注】 *1 カウントアップ続行

*2 モジュールストップ前に、コントロールレジスタ 2 (RCR2) の RTCEN ビットを 0 に設定する必要があります。

*3 RTCEN、START ビットは保持

26.3.1 64Hz カウンタ (R64CNT)

R64CNT は、分周回路のうち、64Hz～1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、分周回路が初期化され、R64CNT は初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	分周回路のうち、1Hz～64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

26.3.2 秒カウンタ (RSECCNT)

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 秒	不定	R/W	秒十位カウンタ 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3~0	1 秒	不定	R/W	秒一位カウンタ 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

26.3.3 分カウンタ (RMINCNT)

RMINCNT は、BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 分	不定	R/W	分十位カウンタ 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0	1 分	不定	R/W	分一位カウンタ 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

26.3.4 時カウンタ (RHRCNT)

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
3~0	1 時間	不定	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。

26.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

26.3.6 日カウンタ (RDAYCNT)

RDAYCNTは、BCDコード化された日部分の設定・カウンタ用のカウンタであり、時カウンタの1日ごとのキャリーによってカウンタ動作を行います。

設定可能範囲は、10進 (BCD) で01~31です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウンタ動作を停止させてから行ってください。

RDAYCNTの設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4で割り切れるかどうかにより計算されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10日	不定	R/W	日十位カウンタ
3~0	1日	不定	R/W	日一位カウンタ 日一位は1日ごとに0~9をカウントします。桁上りを発生すると日十位が+1されます。

26.3.7 月カウンタ (RMONCNT)

RMONCNTは、BCDコード化された月部分の設定・カウンタ用のカウンタであり、日カウンタの月ごとのキャリーによってカウンタ動作を行います。

設定可能範囲は、10進 (BCD) で01~12です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウンタ動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	10月		1月		
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	10月	不定	R/W	月十位カウンタ
3~0	1月	不定	R/W	月一位カウンタ 月一位は1月ごとに0~9をカウントします。桁上りを発生すると月十位が+1されます。

26.3.8 年カウンタ (RYRCNT)

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの1年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10進 (BCD) で 0000~9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000年	不定	R/W	年千位カウンタ
11~8	100年	不定	R/W	年百位カウンタ
7~4	10年	不定	R/W	年十位カウンタ
3~0	1年	不定	R/W	年一位カウンタ

26.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、BCD コード化された秒部分のカウンタ RSECNT に対応するアラームレジスタです。ENB ビットが1にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RCR3) のうち、ENB ビットが1にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが1にセットされます。

設定可能範囲は、10進 (BCD) で 00~59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	不定	R/W	1にセットされていると、RSECNT の値と比較を行います。
6~4	10秒	不定	R/W	秒十位の設定値
3~0	1秒	不定	R/W	秒一位の設定値

26.3.10 分アラームレジスタ (RMINAR)

RMINAR は、BCD コード化された部分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00~59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	10 分	不定	R/W	分十位の設定値
3~0	1 分	不定	R/W	分一位の設定値

26.3.11 時アラームレジスタ (RHRAR)

RHRAR は、BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00~23+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RHRCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

26.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	不定	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値 000: 日 001: 月 010: 火 011: 水 100: 木 101: 金 110: 土 111: 予約 (設定禁止)

26.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01~31+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	不定	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

26.3.14 月アラームレジスタ (RMONAR)

RMONAR は、BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01~12+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	不定	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6, 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

26.3.15 年アラームレジスタ (RYRAR)

RYRAR は、BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進 (BCD) で 0000～9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～12	1000 年	不定	R/W	年千位の設定値
11～8	100 年	不定	R/W	年百位の設定値
7～4	10 年	不定	R/W	年十位の設定値
3～0	1 年	不定	R/W	年一位の設定値

26.3.16 コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

AF フラグは、アラームレジスタとカウンタに値がセットされるまでは不定になります。AF フラグを使用する場合には、使用前に必ずアラームレジスタとカウンタを設定してください。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	不定
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	<p>桁上げフラグ</p> <p>このフラグが1にセットされた場合、秒カウンタ桁上げ、または64Hzカウンタ読み出し時に64Hzカウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。</p> <p>0：秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げなし</p> <p>〔クリア条件〕CFに0を書き込んだとき</p> <p>1：秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げあり</p> <p>〔セット条件〕秒カウンタ桁上げまたは64Hzカウンタ桁上げ時の読み出し時の64Hzカウンタ桁上げあり、またはCFに1を書き込んだとき</p>
6、5	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
4	CIE	0	R/W	<p>桁上げ割り込みイネーブルフラグ</p> <p>桁上げフラグ（CF）が1にセットされているとき、割り込み発生を許可するビットです。</p> <p>0：CFフラグが1にセットされたとき、桁上げ割り込みを発生させない</p> <p>1：CFフラグが1にセットされたとき、桁上げ割り込みを発生させる</p>
3	AIE	0	R/W	<p>アラーム割り込みイネーブルフラグ</p> <p>アラームフラグ（AF）が1にセットされているとき、割り込み発生を許可するビットです。</p> <p>0：AFフラグが1にセットされたとき、アラーム割り込みを発生させない</p> <p>1：AFフラグが1にセットされたとき、アラーム割り込みを発生させる</p>
2、1	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
0	AF	不定	R/W	<p>アラームフラグ</p> <p>アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR）で設定したアラーム時刻（ENBビットを1に設定したレジスタのみ）とカウンタが一致したとき1にセットされるフラグです。</p> <p>0：アラームレジスタとカウンタは不一致</p> <p>〔クリア条件〕AFに0を書き込んだとき</p> <p>1：アラームレジスタとカウンタは一致*</p> <p>〔セット条件〕アラームレジスタ（ENBビットを1に設定したレジスタのみ）とカウンタが一致したとき</p> <p>【注】*1を書き込むと、元の値が保持されます。</p>

26.3.17 コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、カウント制御に関するレジスタです。

パワーオンリセットおよびディープスタンバイモード時は初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PEF	0	R/W	周期割り込みフラグ PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。 このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES2～PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2～PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2～PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6～4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 設定禁止 010 : 周期割り込み発生の周期を 1/64 秒ごとにする 011 : 周期割り込み発生の周期を 1/16 秒ごとにする 100 : 周期割り込み発生の周期を 1/4 秒ごとにする 101 : 周期割り込み発生の周期を 1/2 秒ごとにする 110 : 周期割り込み発生の周期を 1 秒ごとにする 111 : 周期割り込み発生の周期を 2 秒ごとにする
3	RTCEN	1	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を停止/外部クロック入力禁止 1 : 内蔵水晶発振器を動作/外部クロック入力許可

ビット	ビット名	初期値	R/W	説 明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路（プリスケラおよび R64CNT）も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路および R64CNT レジスタ、アラームレジスタ、RCR3 レジスタ、RCR1 レジスタの CF、AF ビット、RCR2 レジスタの PEF ビットが初期化されます。なお、1 が書き込まれた場合、上記レジスタがリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：分周回路をリセット
0	START	1	R/W	START ビット カウンタ（時計）動作を停止させたり、再起動をかけるビットです。 0：秒、分、時、日、曜日、月、年カウンタは停止 1：秒、分、時、日、曜日、月、年カウンタは通常動作

26.3.18 コントロールレジスタ 3 (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値：	不定	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ENB	不定	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

26.4 動作説明

本モジュールの使用例を示します。

26.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

26.4.2 時刻設定手順

時刻設定手順例を図 26.2 に示します。

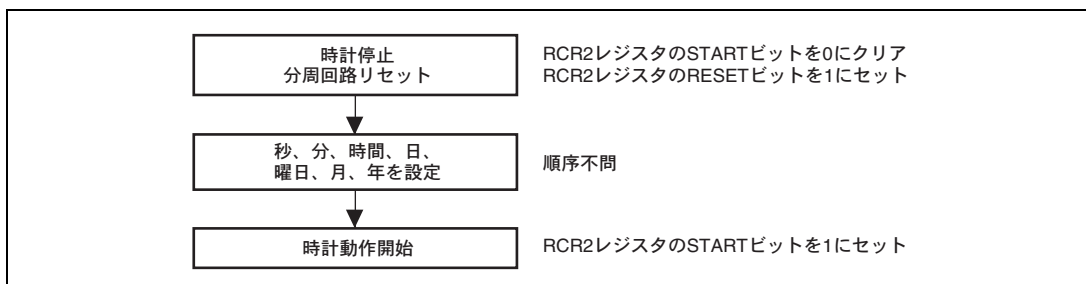


図 26.2 時刻設定手順

26.4.3 時刻読み出し手順

時刻読み出し手順を図 26.3 に示します。

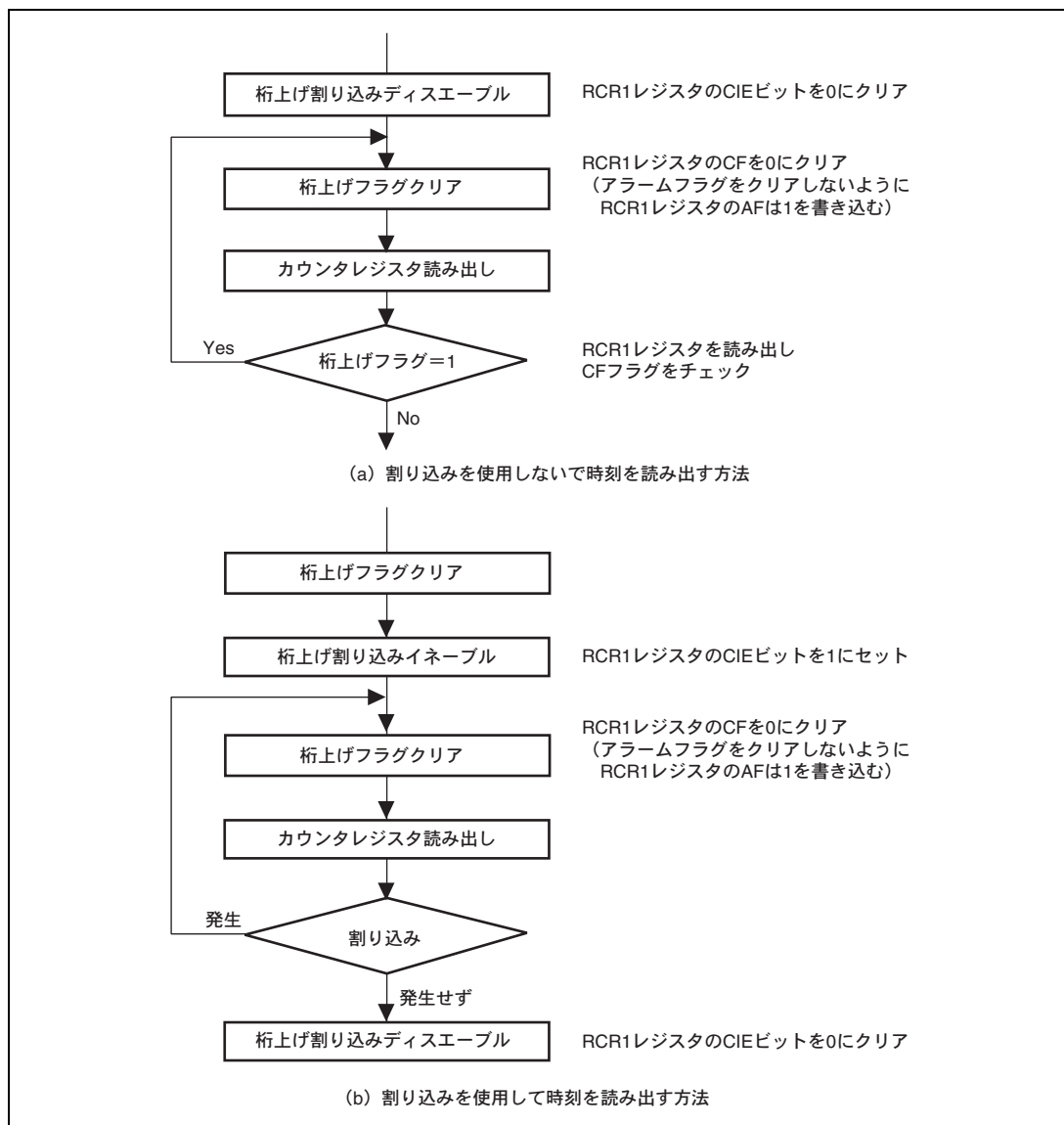


図 26.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 26.3 の (a) に、桁上げ割り込みを使用する方法を図 26.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

26.4.4 アラーム機能

アラーム機能の使用例を図 26.4 に示します。

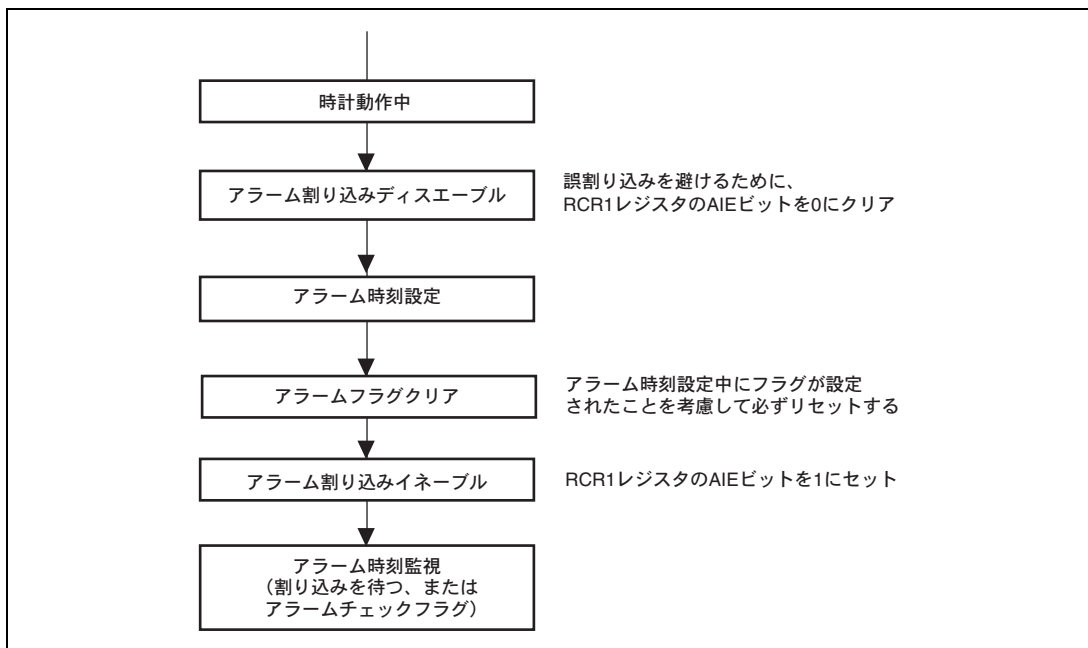


図 26.4 アラーム機能の使用法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1レジスタのAFビットに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1レジスタのAIEビットに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

26.5 使用上の注意事項

26.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2レジスタのSTARTビット=1のとき）は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

26.5.2 リアルタイムクロックの周期割り込みの使用について

周期割り込みの使用方法を図 26.5 に示します。

周期割り込みは、RCR2レジスタのPES[2:0]ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0]ビットで設定した時間が経過するとPEFが1にセットされます。

PEFは、PES[2:0]ビット設定時および周期割り込み発生時に0にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

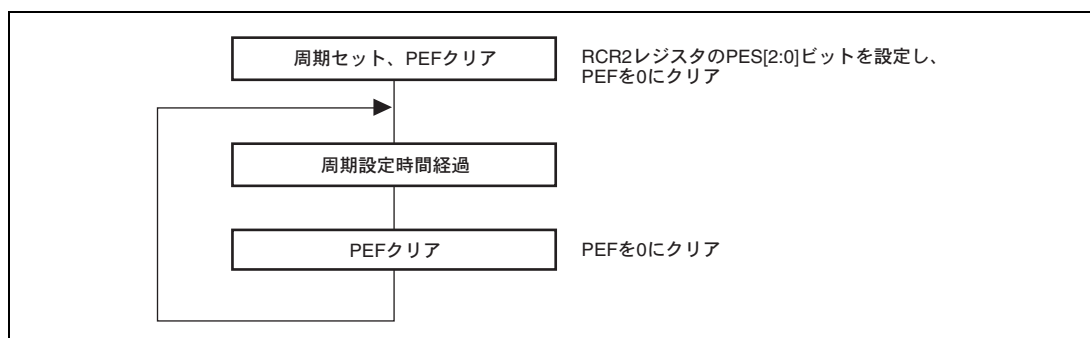


図 26.5 周期割り込み機能の使用方法

26.5.3 レジスタ設定後のスタンバイ遷移について

本モジュール内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

26.5.4 レジスタ書き込み／読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの書き込み後の読み出しは、「時刻読み出し手順」に従ってください。
- RCR2レジスタの書き込み後の読み出しは、ダミーリードを2回行った後にリードしてください。2回のダミーリードでは、書き込み前の値が読み出せません。3回目のリードで書き込み値が反映されます。
- 上記以外のレジスタは、書き込み直後の読み出しで書き込み値が反映されます。

27. マルチファンクションタイマパルスユニット 2

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 を内蔵しています。

27.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ（TCNT）への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相の PWM 出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種（チョッピング、レベル）の波形出力が選択可能
- 相補PWMモード時、カウンタの山/谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

【注】 本章の Pφ とは、HPB P2 バス（32 ビット/50MHz）のクロックを示します。本モジュール内は 16 ビットバスでアクセスできます。

表 27.1 マルチファンクションタイマパルスユニット 2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	—	—	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力	○	○	○	○
	1 出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○
同期動作	○	○	○	○	○
PWM モード 1	○	○	○	○	○
PWM モード 2	○	○	○	—	—
相補 PWM モード	—	—	—	○	○
リセット PWM モード	—	—	—	○	○
AC 同期モータ駆動モード	○	—	—	○	○
位相計数モード	—	○	○	—	—
バッファ動作	○	—	—	○	○

項 目	チャネル 0	チャネル 1	チャネル 2	チャネル 3	チャネル 4
ダイレクトメモリアクセス コントローラの起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)
割り込み要因	7 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 0A • コンペアマッチ/インプットキャプチャ 0B • コンペアマッチ/インプットキャプチャ 0C • コンペアマッチ/インプットキャプチャ 0D • コンペアマッチ 0E • コンペアマッチ 0F • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 2A • コンペアマッチ/インプットキャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 3A • コンペアマッチ/インプットキャプチャ 3B • コンペアマッチ/インプットキャプチャ 3C • コンペアマッチ/インプットキャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ/インプットキャプチャ 4A • コンペアマッチ/インプットキャプチャ 4B • コンペアマッチ/インプットキャプチャ 4C • コンペアマッチ/インプットキャプチャ 4D • オーバフロー/アンダフロー

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
A/D 変換開始要求 ディレイド機能	—	—	—	—	<ul style="list-style-type: none"> • TADCORA_4 と TCNT_4 の 一致で、A/D 変 換開始要求 • TADCORB_4 と TCNT_4 の 一致で、A/D 変 換開始要求
割り込み間引き機能	—	—	—	<ul style="list-style-type: none"> • TGRA_3 のコ ンペアマッチ 割り込みを間 引き 	<ul style="list-style-type: none"> • TCIV_4 割り込 みを間引き

【記号説明】

○：可能

—：不可

図 27.1 にブロック図を示します。

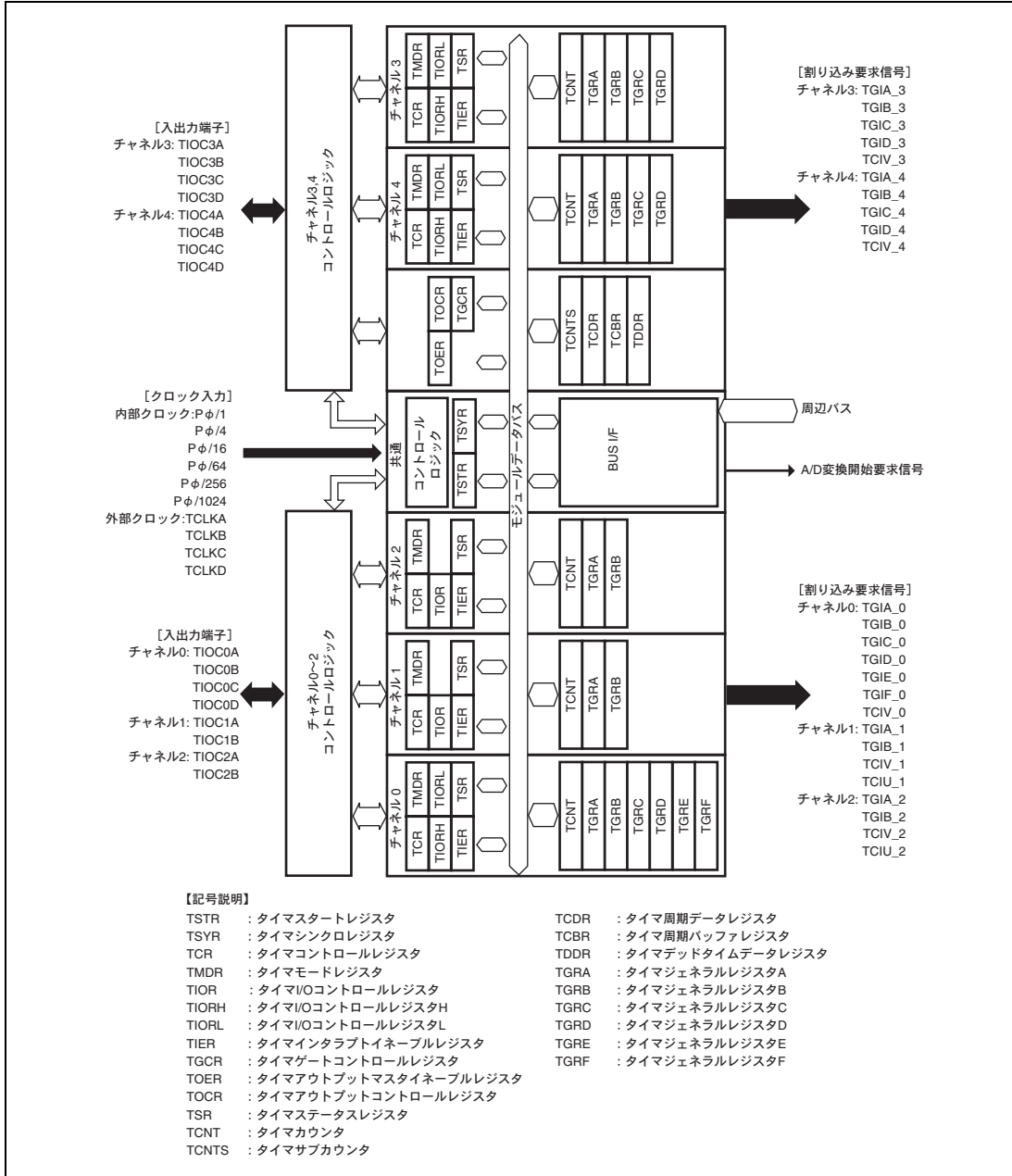


図 27.1 ブロック図

27.2 入出力端子

表 27.2 に端子構成を示します。

表 27.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

チャンネル	端子名	入出力	機能
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

【注】 相補 PWM モードの端子構成は、「27.4.8 相補 PWM モード」の表 27.52 を参照してください。

27.3 レジスタの説明

表 27.3 にレジスタ構成を示します。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR_0 と表記してあります。

表 27.3 (1) レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFC6300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFC6301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFC6302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFC6303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFC6304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFC6305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFC6306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFC6308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFC630A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFC630C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFC630E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFC6320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFC6322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFC6324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFC6325	8
	タイマバッファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFC6326	8
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFC6380	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFC6381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFC6382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFC6384	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFC6385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFC6386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFC6388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFC638A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFC6390	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFC6000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFC6001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFC6002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFC6004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'00	H'FFFC6005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFC6006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFC6008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFC600A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFC6200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFC6202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFC6204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFC6205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFC6208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'00	H'FFFC622C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFC6210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFC6218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFC621A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFC6224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFC6226	16
	タイマバッファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFC6238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFC6201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFC6203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFC6206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFC6207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFC6209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'00	H'FFFC622D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFC6212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFC621C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFC621E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFC6228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFC622A	16
	タイマバッファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFC6239	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFC6240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFC6244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFC6246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFC6248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFC624A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFC6280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFC6281	8
	タイマリードライトイネーブル レジスタ	TRWER	R/W	H'01	H'FFFC6284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFC620A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFC620E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFC620F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H80	H'FFFC620D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFC6214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFC6216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFC6220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFC6222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFC6230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFC6231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFC6232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFC6234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFC6260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFC6236	8

表 27.3 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
全レジスタ	初期化	初期化	保持	保持	初期化	初期化

27.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャンネル 0～4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 27.4、表 27.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入カクロックのエッジを選択します。内部クロックを両エッジでカウントすると、入カクロックの周期が 1/2 になります（例：Pφ/4 の両エッジ=Pφ/2 の立ち上がりエッジ）。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入カクロックが Pφ/4 もしくはそれより遅い場合に有効です。入カクロックに Pφ/1、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合、値は書き込みますが、動作は初期値となります。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント
2～0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 27.6～表 27.9 を参照してください。

【記号説明】 x : Don't care

表 27.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 27.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 27.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 27.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P ϕ /256 でカウント
	1	1	1	TCNT_2 のオーバフロー/アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 27.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P ϕ /1 でカウント
	0	0	1	内部クロック : P ϕ /4 でカウント
	0	1	0	内部クロック : P ϕ /16 でカウント
	0	1	1	内部クロック : P ϕ /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P ϕ /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 27.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	内部クロック : Pφ/256 でカウント
	1	0	1	内部クロック : Pφ/1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

27.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。本モジュールには、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	<p>バッファ動作 B</p> <p>TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。</p> <p>TGRD を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作</p>
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1,2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3~MD0 はタイムの動作モードを設定します。</p> <p>詳細は表 27.10 を参照してください。</p>

表 27.10 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説 明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 ^{*1}
0	1	0	0	位相計数モード 1 ^{*2}
0	1	0	1	位相計数モード 2 ^{*2}
0	1	1	0	位相計数モード 3 ^{*2}
0	1	1	1	位相計数モード 4 ^{*2}
1	0	0	0	リセット同期 PWM モード ^{*3}
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送) ^{*3}
1	1	1	0	相補 PWM モード 2 (谷で転送) ^{*3}
1	1	1	1	相補 PWM モード 3 (山・谷で転送) ^{*3}

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

27.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は、TGR を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4

ビット :	7	6	5	4	3	2	1	0
	IOB[3:0]				IOA[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3~B0 IOB3~IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 27.11 TIOR_1 : 表 27.13 TIOR_2 : 表 27.14 TIORH_3 : 表 27.15 TIORH_4 : 表 27.17
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3~A0 IOA3~IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 27.19 TIOR_1 : 表 27.21 TIOR_2 : 表 27.22 TIORH_3 : 表 27.23 TIORH_4 : 表 27.25

- TIORL_0、TIORL_3、TIORL_4

ビット :	7	6	5	4	3	2	1	0
	IOD[3:0]				IOC[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3~D0 IOD3~IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 27.12 TIORL_3 : 表 27.16 TIORL_4 : 表 27.18
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3~C0 IOC3~IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 27.20 TIORL_3 : 表 27.24 TIORL_4 : 表 27.26

表 27.11 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.12 TIORL_0 (チャンネル 0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 27.13 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.14 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.15 TIORH_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.16 TIORL_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 27.17 TIORH_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.18 TIORL_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFB ビットを 1 にセットして、TGRD_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表 27.19 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.20 TIORL_0 (チャンネル 0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 27.21 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.22 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.23 TIORH_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.24 TIORL_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 27.25 TIORH_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 27.26 TIORL_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

27.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し／書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。本モジュールには、チャンネル 0 に 2 本、チャンネル 1～4 に各 1 本、計 6 本の TIER があります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ／コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。 チャンネル 0～3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー（谷）による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求（TCIU）を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求（TCIU）を禁止 1 : TCFU による割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求（TCIV）を許可または禁止します。 0 : TCFV による割り込み要求（TCIV）を禁止 1 : TCFV による割り込み要求（TCIV）を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

• TIER2_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1 : TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGFE ビットによる割り込み要求 (TGIF) を禁止 1 : TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0 : TGEE ビットによる割り込み要求 (TGIE) を禁止 1 : TGEE ビットによる割り込み要求 (TGIE) を許可

27.3.5 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。本モジュールには、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TSR があります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット：	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF→H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001→H'0000) したときにも本フラグがセットされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みによりダイレクトメモリアクセスコントローラが起動されたとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*² <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

• TSR2_0

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF=1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0=TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE=1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0=TGFE_0 になったとき

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

*2 1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでもフラグはクリアされません。再度1を読み出して0を書き込んでください。

27.3.6 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し／書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。本モジュールには、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

27.3.7 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し／書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。本モジュールには、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する／しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する／しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する／しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する／しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

27.3.8 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し／書き込み可能なレジスタで、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。本モジュールには、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値:	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 27.27 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可／禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可／禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可／禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可／禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する／しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する／しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する／しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する／しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
 2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
 3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- * 相補 PWM モード以外では、1 に設定しないでください。

表 27.27 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する*1
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する*2

【注】 *1 相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1/通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

*2 相補 PWM モード以外では設定禁止です。

27.3.9 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4)

TADCORA/B_4 は、16 ビットの読み出し/書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCORA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4)

TADCOBRA/B_4 は、16 ビットの読み出し/書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TADCOBRA/B_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.11 タイマカウンタ (TCNT)

TCNTは、16ビットの読み出し／書き込み可能なカウンタです。チャンネル0～4に各1本、計5本のTCNTがあります。

TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.12 タイマジェネラルレジスタ (TGR)

TGRは、16ビットの読み出し／書き込み可能なレジスタです。チャンネル0に6本、チャンネル1、2に各2本、チャンネル3、4に各4本、計18本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル0、3、4のTGRCとTGRDは、バッファレジスタとして動作設定することができます。TGRとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

TGRE_0、TGRF_0はコンペアレジスタとして機能し、TCNT_0とTGRE_0が一致したとき、A/D変換開始要求を発生することができます。TGRFは、バッファレジスタとして動作設定することができます。TGRとバッファレジスタの組み合わせは、TGRE-TGRFになります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

27.3.13 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0～4 の TCNT の動作／停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2～0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2～TCNT_0 のカウント動作は停止 1 : TCNT_2～TCNT_0 はカウント動作

27.3.14 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し／書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

27.3.15 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE=1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ／カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

27.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し/書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可/禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

ビット:	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の本モジュール出力を許可/禁止します。 0: 本モジュール出力禁止 (非アクティブレベル) * 1: 本モジュール出力許可

【注】 * 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「27.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「27.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード/リセット同期 PWM モード以外で本モジュール出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

27.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/(W)*3	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可／禁止を設定します。 0：トグル出力を禁止 1：トグル出力を許可
5, 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TOCL	0	R/(W)*3	TOC レジスタ書き込み禁止ビット*1 TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。 0：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1：TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0：TOCR1 の設定を有効にする 1：TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N*2 リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。表 27.28 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P*2 リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。表 27.29 を参照してください。

【注】 *1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

*3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。

表 27.28 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 27.29 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 27.2 に示します。

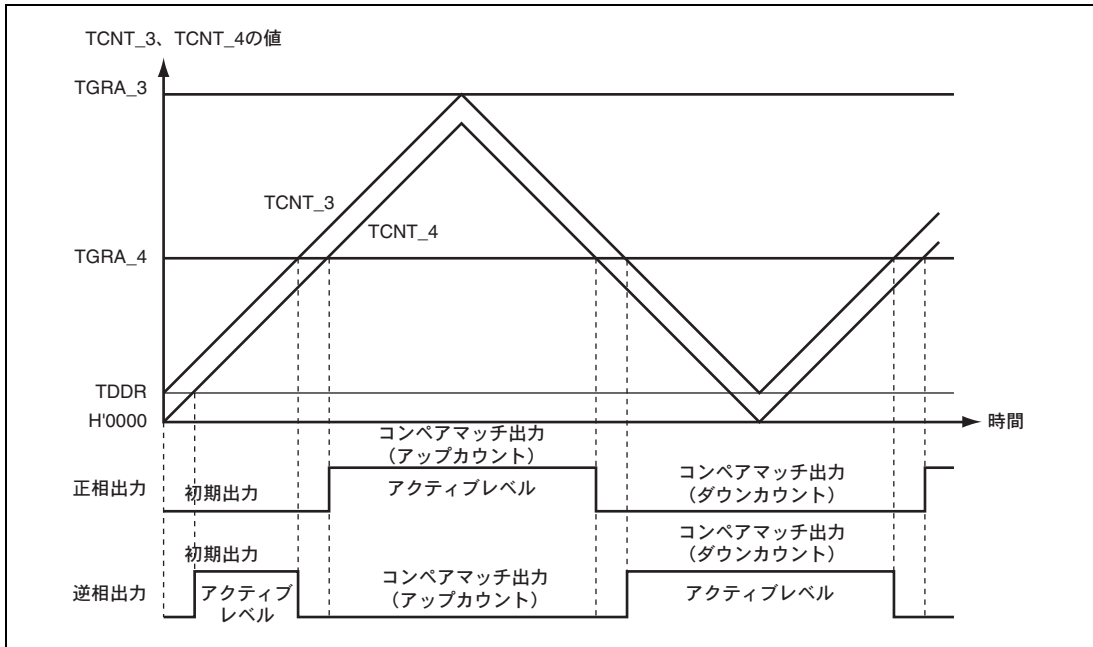


図 27.2 相補 PWM モードの出力レベルの例

27.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 27.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 27.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 27.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 27.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 27.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード／相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 27.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード／相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 27.36 を参照してください。

【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。

表 27.30 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 27.31 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 27.32 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 27.33 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 27.34 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 27.35 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 27.36 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

27.3.19 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 27.3 に示します。

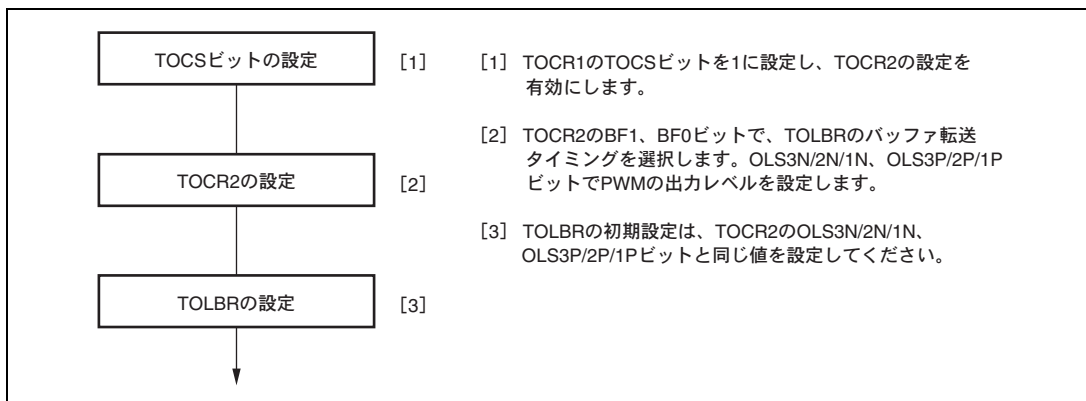


図 27.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

27.3.20 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し/書き込み可能なレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM/相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM/相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相/逆相の出力の切り替えを本モジュール/チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0 正相/逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 27.37 を参照してください。
1	VF	0	R/W	
0	UF	0	R/W	

表 27.37 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

27.3.21 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.22 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.23 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.24 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

27.3.25 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し／書き込み可能なレジスタで、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。本モジュールには 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止／許可を設定します。 0: TGIA_3 割り込みの間引きを禁止する 1: TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 27.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止／許可を設定します。 0: TCIV_4 割り込みの間引きを禁止する 1: TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 27.39 を参照してください。

【注】 * 割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 27.38 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 27.39 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

27.3.26 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。本モジュールには 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 3ACOR2~3ACOR0 と TITCNT の 3ACNT2~3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2~3ACOR0 が 0 のとき
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> • TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2~4VCOR0 が 0 のとき

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

27.3.27 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する／しない、または割り込み間引き機能と連動する／しないを設定します。本モジュールには 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する／しない、または割り込み間引き機能と連動する／しないを設定します。詳細は表 27.40 を参照してください。

【注】 * 対象バッファレジスタ

TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表 27.40 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑制しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑制する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 *1 TMDR の MD3～MD0 の設定に従い転送します。詳細は「27.4.8 相補 PWM モード」を参照してください。

*2 割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）の BTE1 を 0 に設定）にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

27.3.28 タイマデッドタイムイネーブルレジスタ（TDER）

TDER は、8 ビットの読み出し／書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。本モジュールには 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする／しないを設定します。 0：デッドタイムを生成しない 1：デッドタイムを生成する* [クリア条件] • TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 * TDDR ≥ 1 に設定してください。

27.3.29 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モードで TNCT_3、TNCT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値：	0*	0	0	0	0	0	0	0
R/W：	R/(W)	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。 0：TGRA_3 のコンペアマッチによるカウンタクリアをしない 1：TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE=0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 27.40 を参照してください。 0：TOCR レジスタで設定した初期出力値を出力 1：初期出力を抑止する [セット条件] • WRE=0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 * 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

27.3.30 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。また、8 ビット単位での読み出し/書き込みもできます。

27.4 動作説明

27.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

本モジュールの外部端子の機能設定は汎用入出力ポートで行ってください。

(1) カウンタの動作

TSTR の CST0~CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 27.4 に示します。

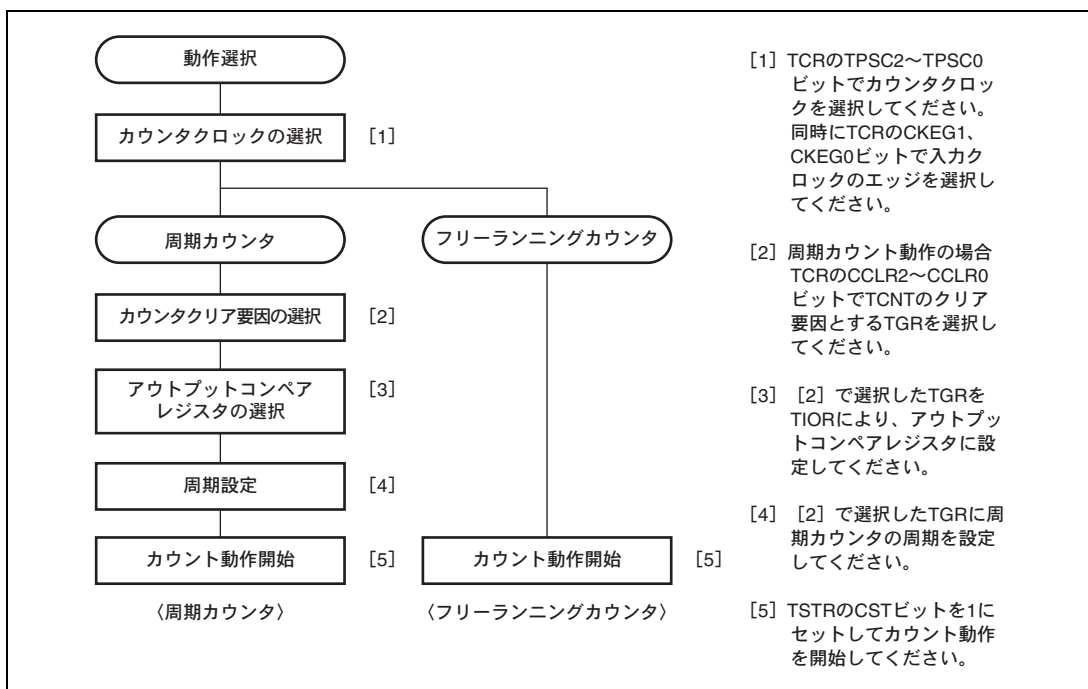


図 27.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

本モジュールの TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF→H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 27.5 に示します。

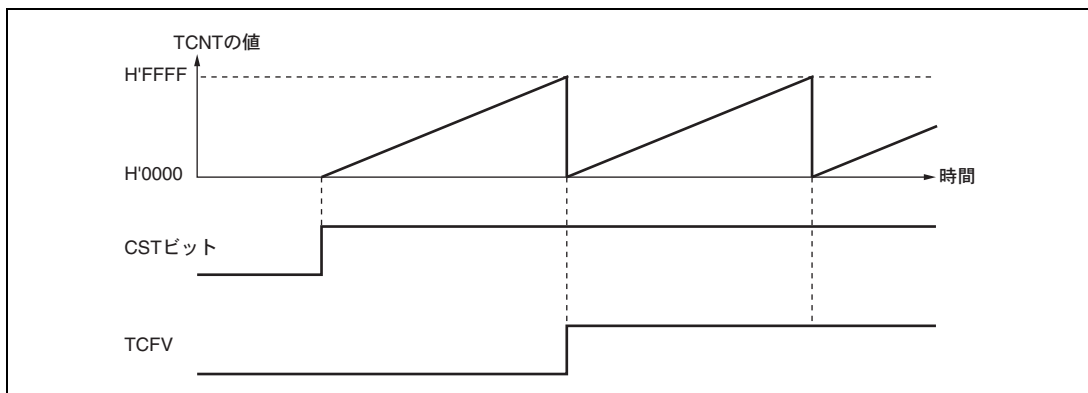


図 27.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 27.6 に示します。

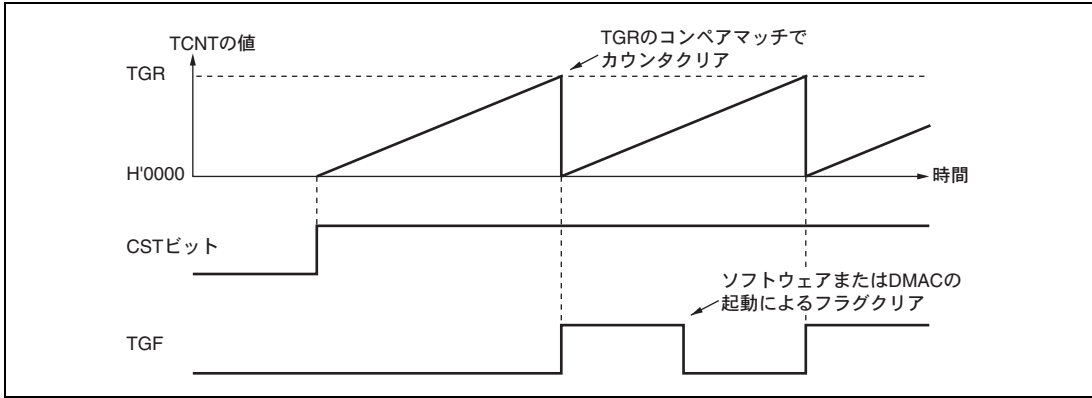


図 27.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

本モジュールは、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 27.7 に示します。

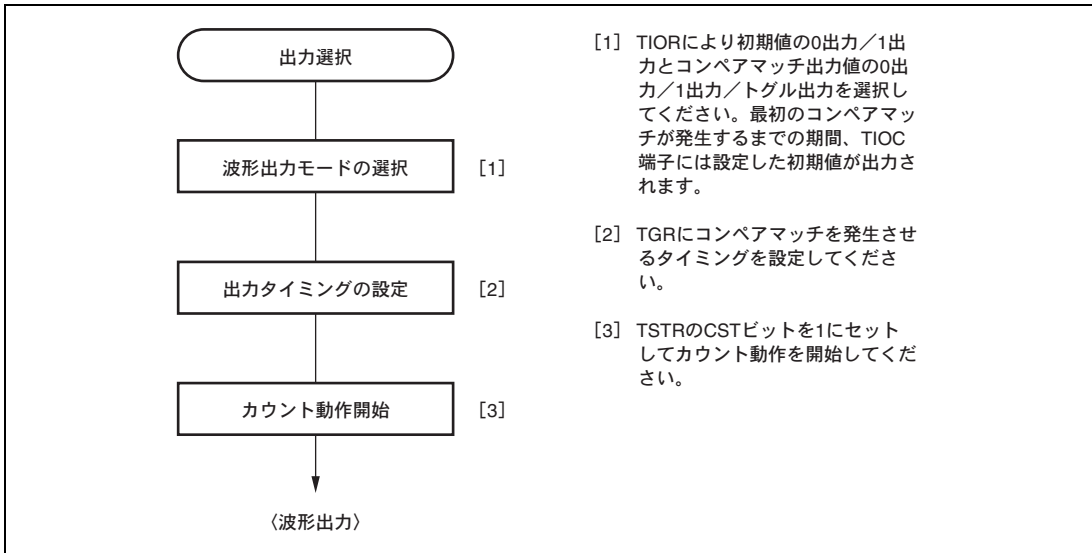


図 27.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 27.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

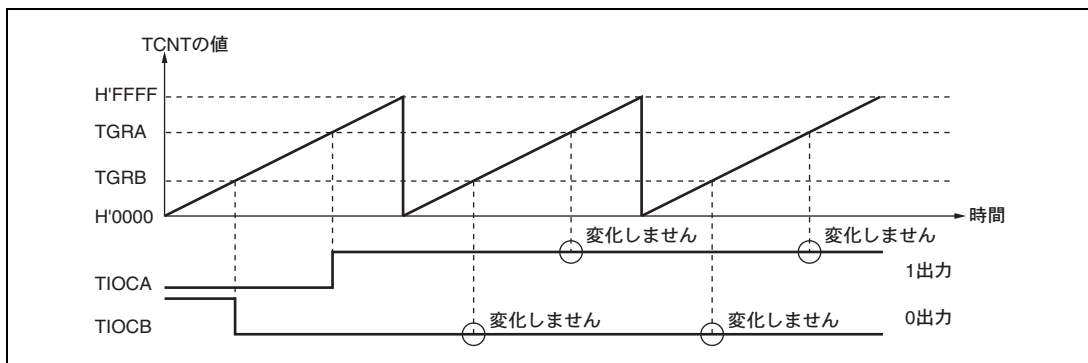


図 27.8 0 出力 / 1 出力の動作例

トグル出力の例を図 27.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

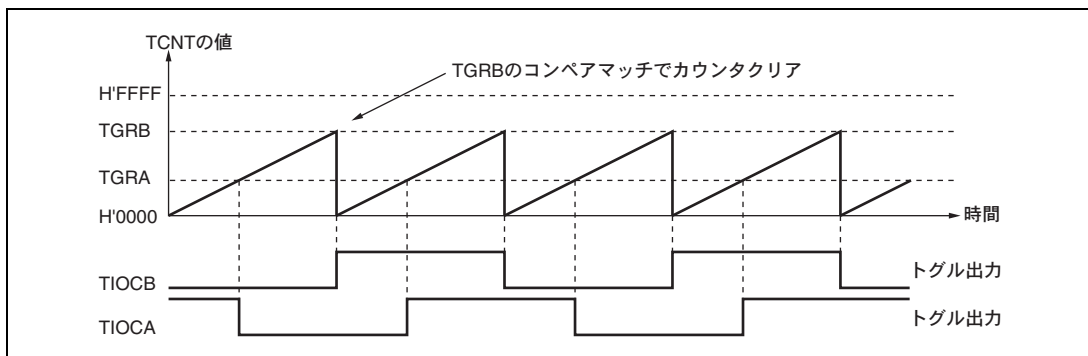


図 27.9 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 27.10 に示します。

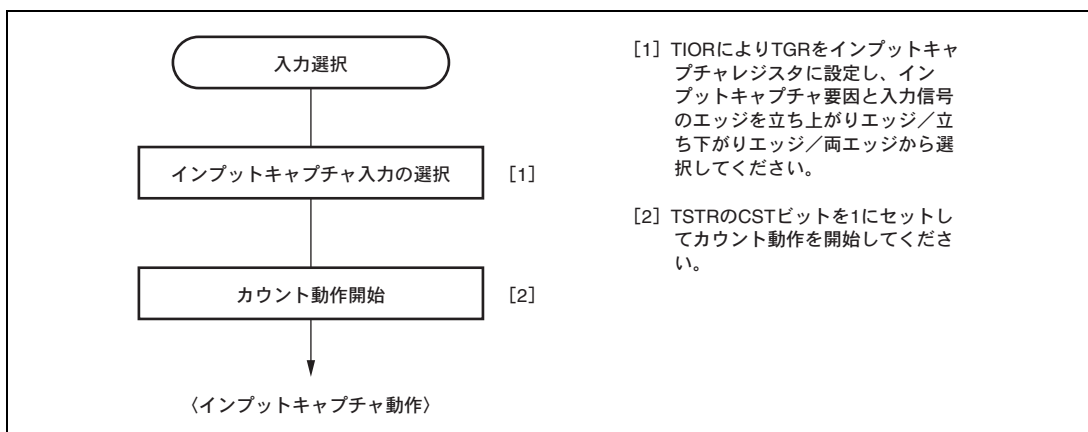


図 27.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 27.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

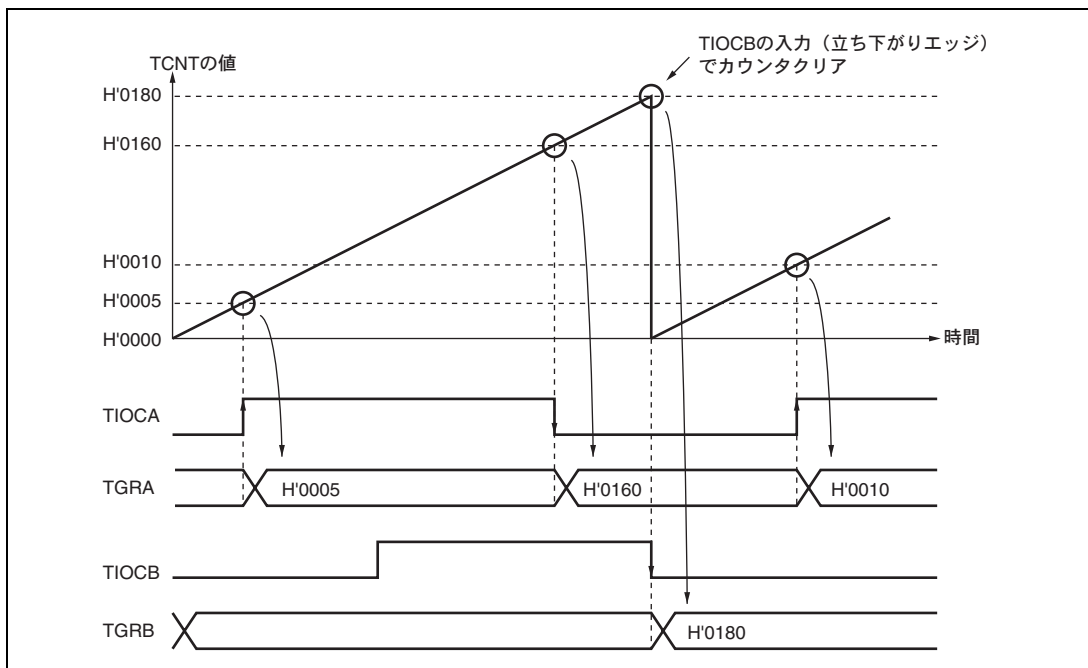


図 27.11 インพุットキャプチャ動作例

27.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

チャンネル 5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 27.12 に示します。

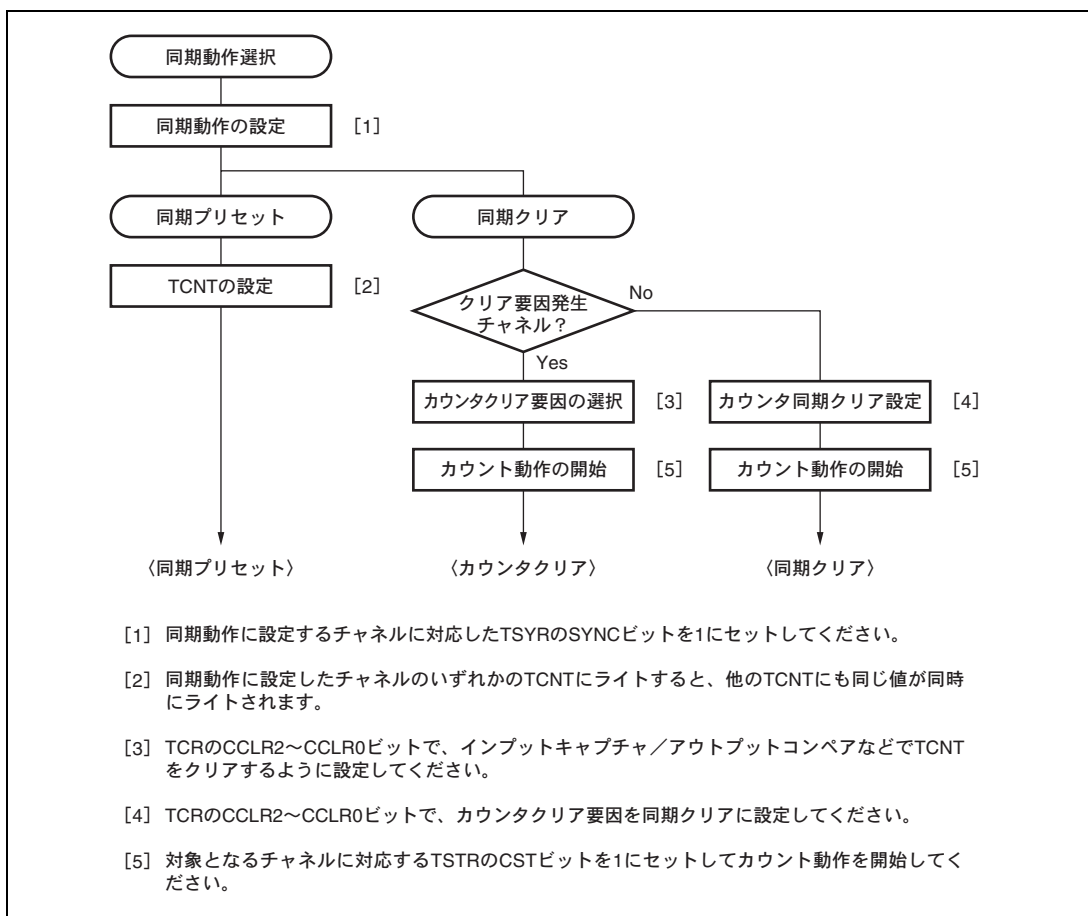


図 27.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 27.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「27.4.5 PWM モード」を参照してください。

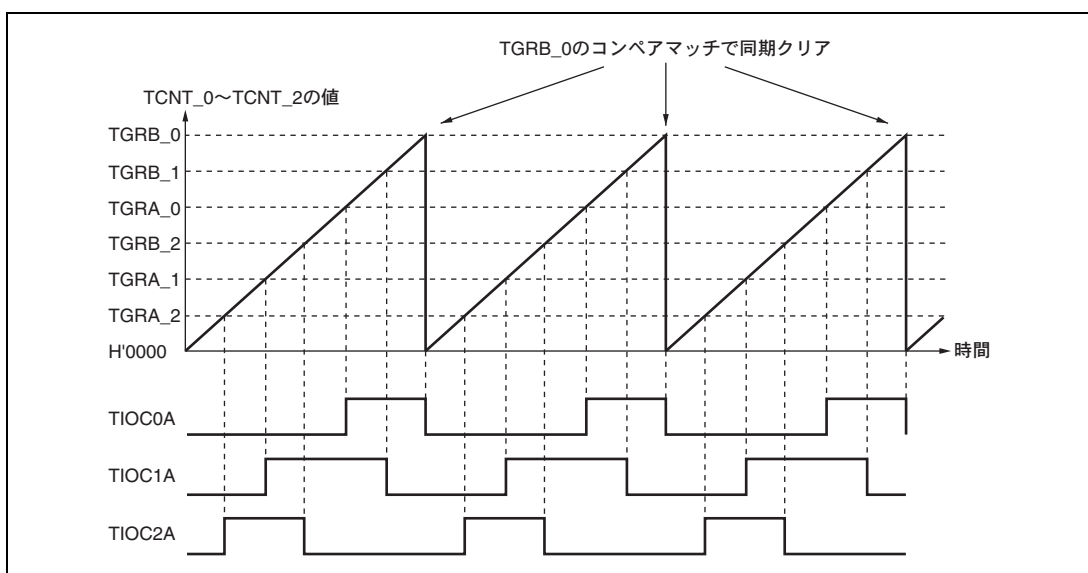


図 27.13 同期動作の動作例

27.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE_0 はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 27.41 にバッファ動作時のレジスタの組み合わせを示します。

表 27.41 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 27.14 に示します。

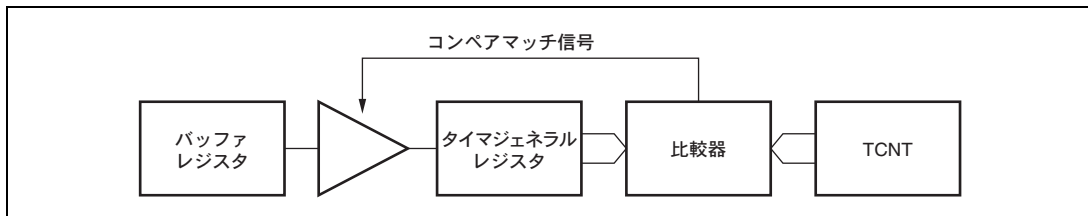


図 27.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 27.15 に示します。

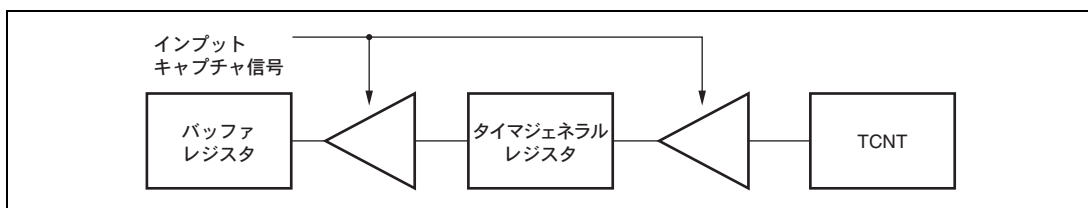


図 27.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 27.16 に示します。

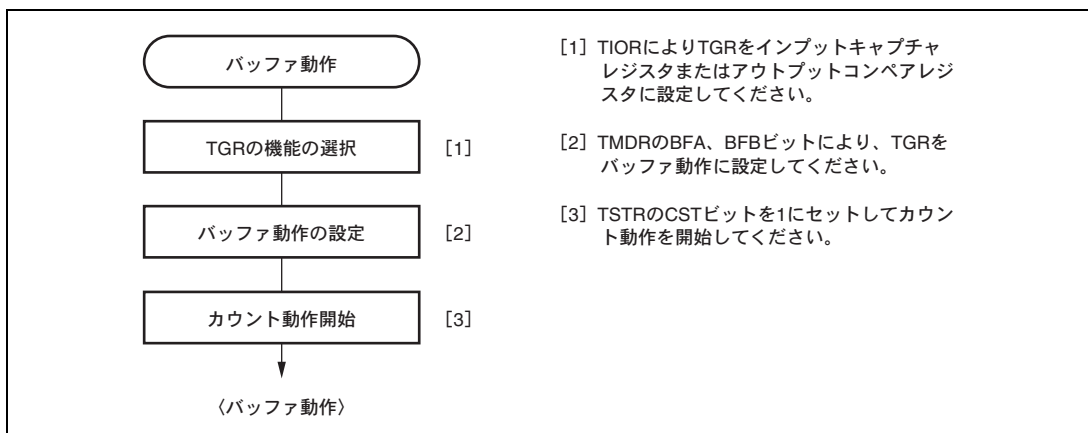


図 27.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 27.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「27.4.5 PWM モード」を参照してください。

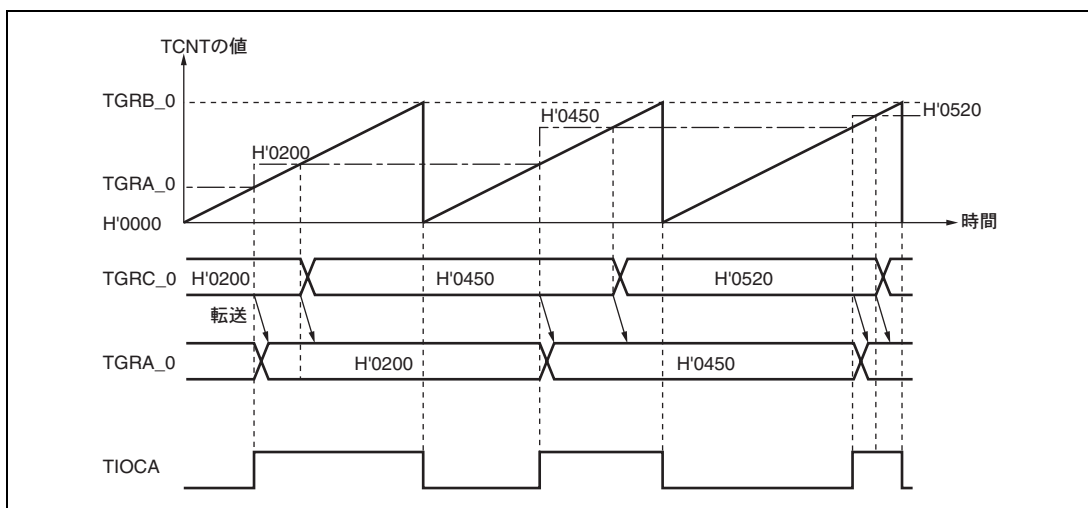


図 27.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 27.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

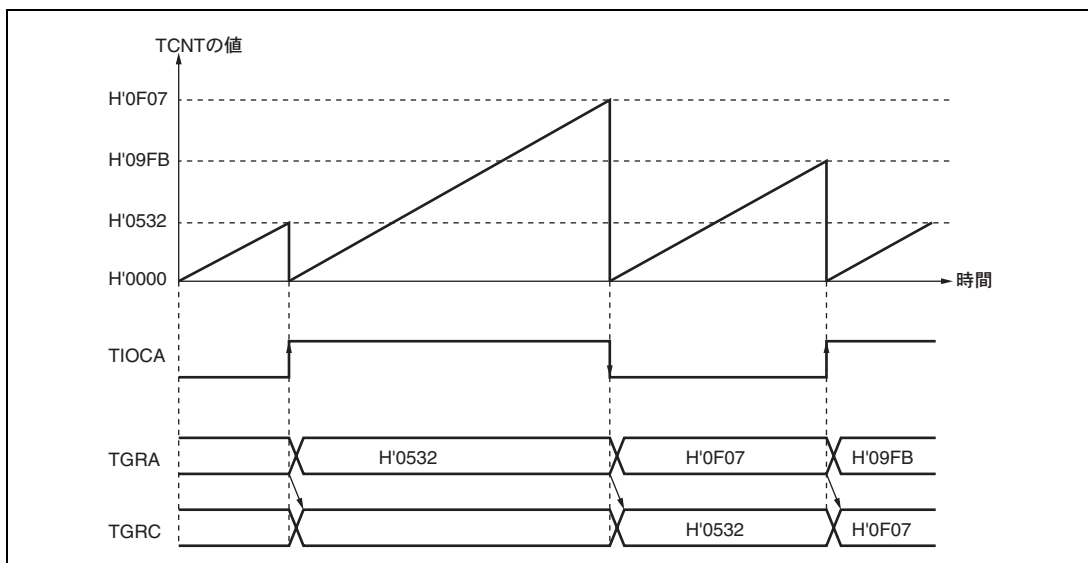


図 27.18 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM_0、TBTM_3、TBTM_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF→H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2～CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 27.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

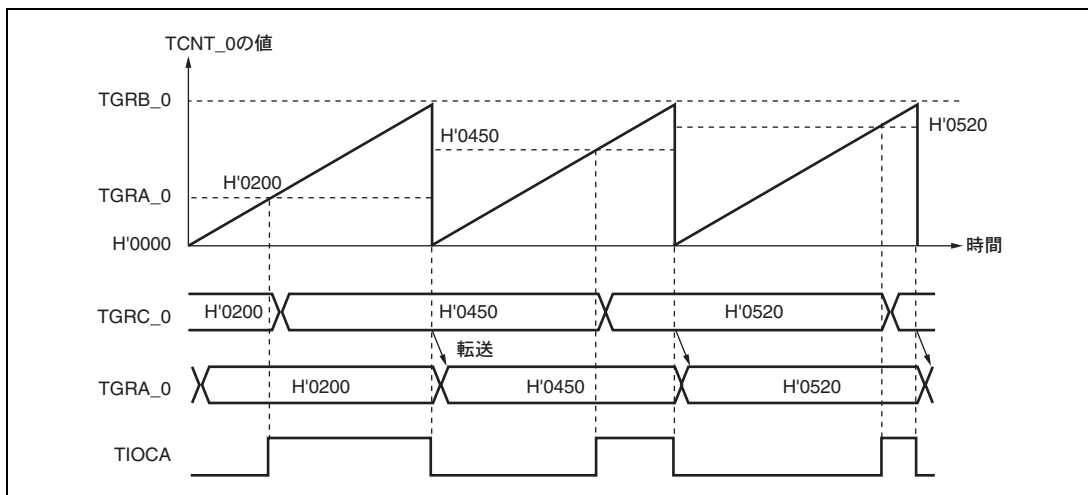


図 27.19 TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

27.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRのTPSC2～TPSC0ビットでTCNT_2のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 27.42 にカスケード接続の組み合わせを示します。

【注】 チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 27.42 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1とTCNT_2の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ(TICCR)で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。カスケード接続時のインプットキャプチャについては「27.7.22 カスケード接続におけるTCNT_1、TCNT_2同時インプットキャプチャ」を参照してください。

TICCR設定値とインプットキャプチャ入力端子の対応を表 27.43 に示します。

表 27.43 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット=0 (初期値)	TIOC1A
	I2AE ビット=1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット=0 (初期値)	TIOC1B
	I2BE ビット=1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット=0 (初期値)	TIOC2A
	I1AE ビット=1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット=0 (初期値)	TIOC2B
	I1BE ビット=1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 27.20 に示します。

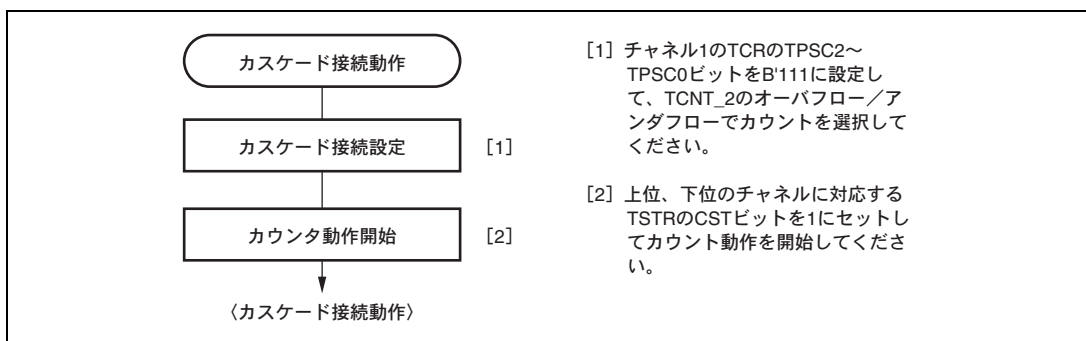


図 27.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 27.21 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

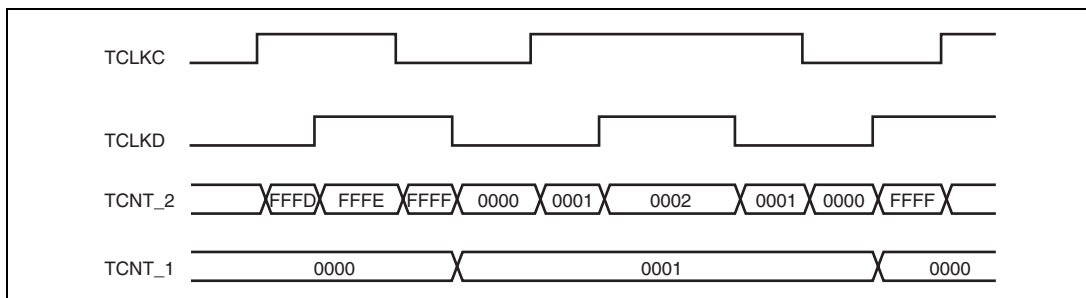


図 27.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加した場合の動作を図 27.22 に示します。この例では TIOR_1 の IOA0~IOA3 の設定は、(TIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR_2 の IOA0~IOA3 の設定は、(TIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 の入力キャプチャ条件に設定されます。また、TGRA_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

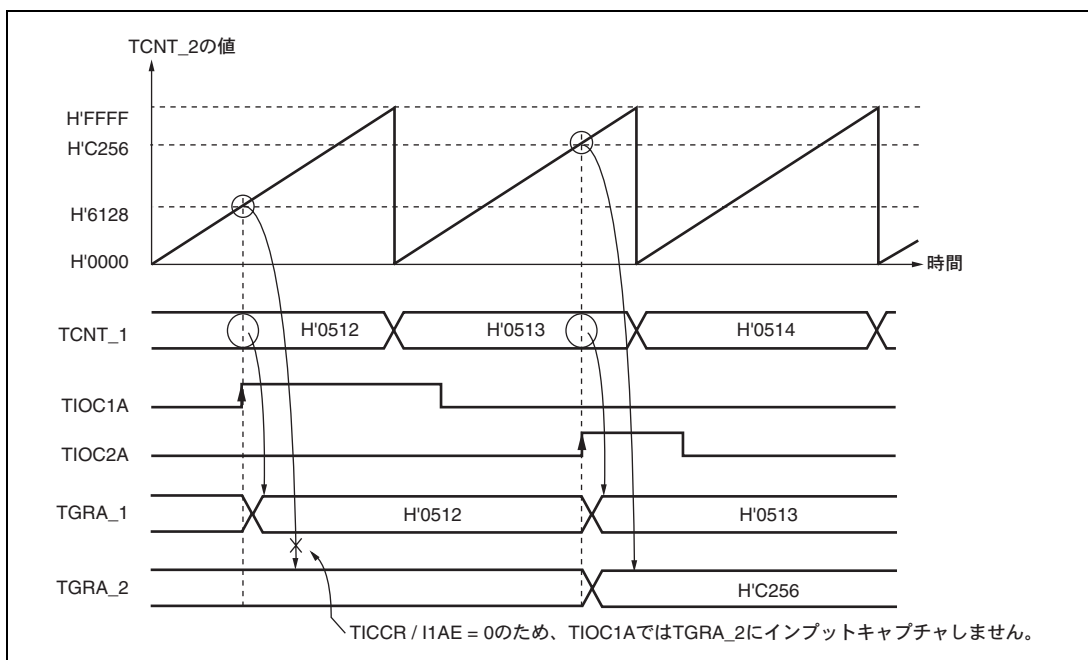


図 27.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA_2 の入力キャプチャ条件に追加した場合の動作を図 27.23 に示します。この例では TIOR_1、TIOR_2 の IOA0~IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 の入力キャプチャ条件となります。

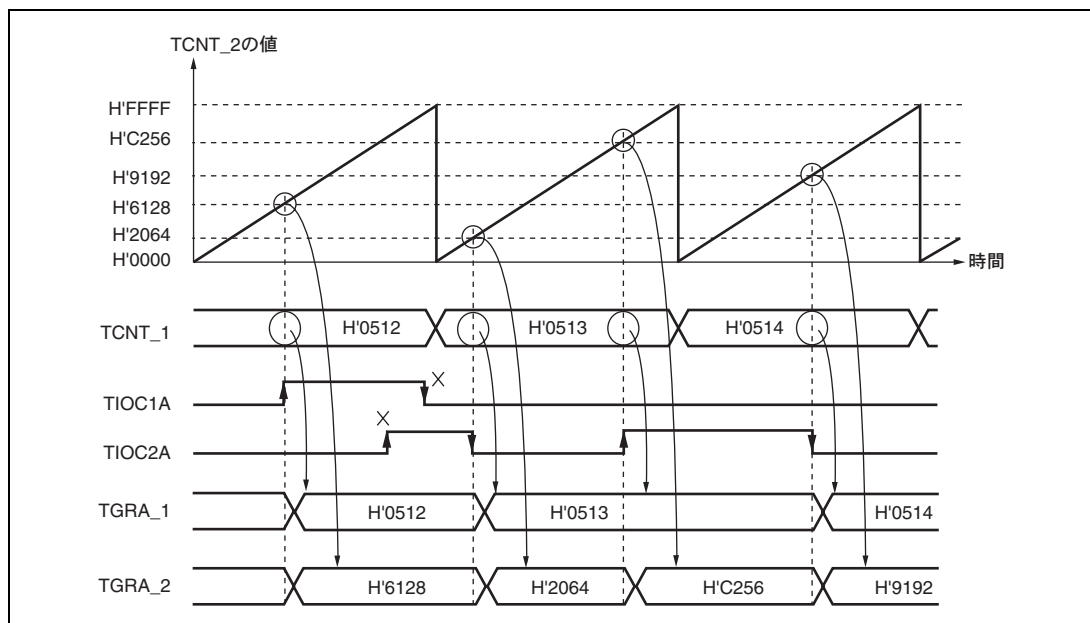


図 27.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

TCNT_1、TCNT_2をカスケード接続し、TICCRのI2AEビットに1をセットして、TIOC2A端子をTGRA_1のインプットキャプチャ条件に追加した場合の動作を図27.24に示します。この例ではTIOR_1のIOA0~IOA3の設定は、TGRA_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2のIOA0~IOA3の設定は、(TIOC2Aの)立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1の設定がTGRA_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCRのI2AEビットを1にセットしてもTIOC2AのエッジがTGRA_1のインプットキャプチャ条件になることはありません。

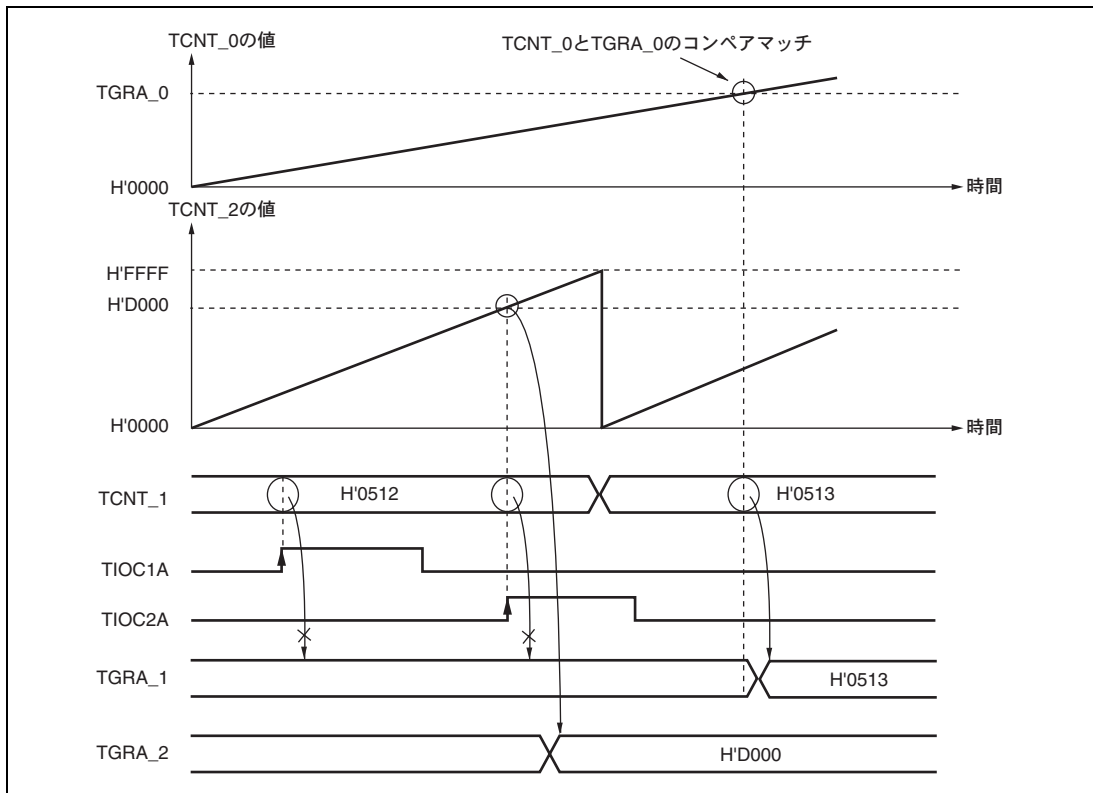


図 27.24 カスケード接続動作例 (d)

27.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWMモード1

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。TIOCA、TIOCC端子からコンペアマッチA、CによってTIORのIOA3~IOA0、IOC3~IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIORのIOB3~IOB0、IOD3~IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大8相のPWM出力が可能です。

- PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大8相のPWM出力が可能です。

PWM出力端子とレジスタの対応を表27.44に示します。

表 27.44 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3	TIOC3C	
	TGRC_3		
	TGRD_3		
4	TGRA_4		
	TGRB_4	TIOC4C	
	TGRC_4		
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 27.25 に示します。

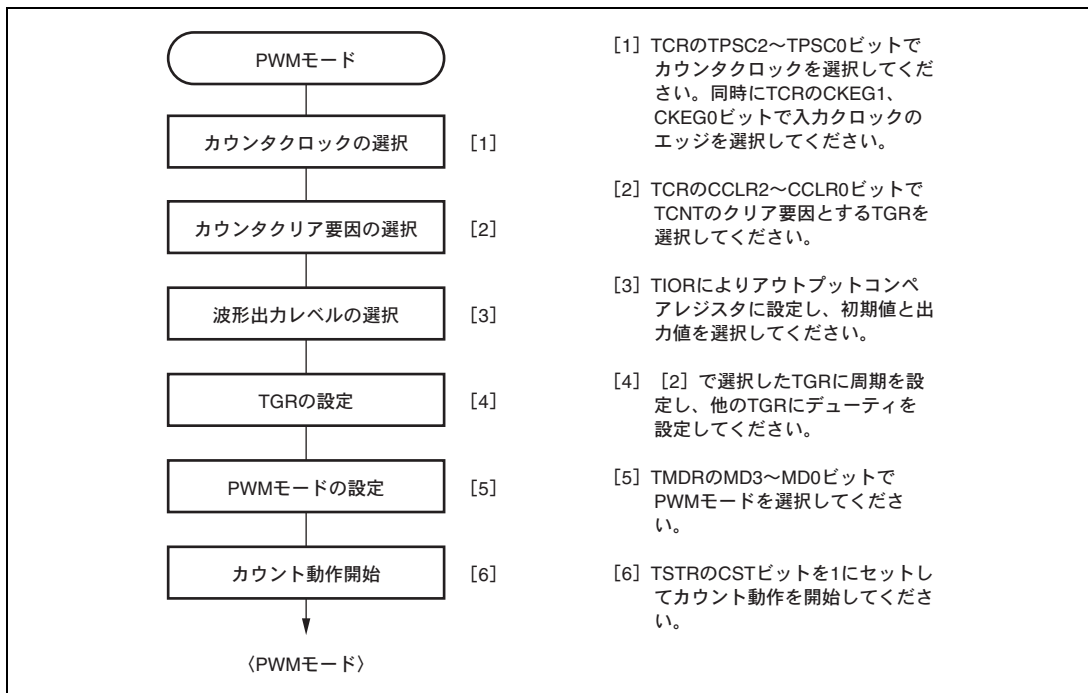


図 27.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 27.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

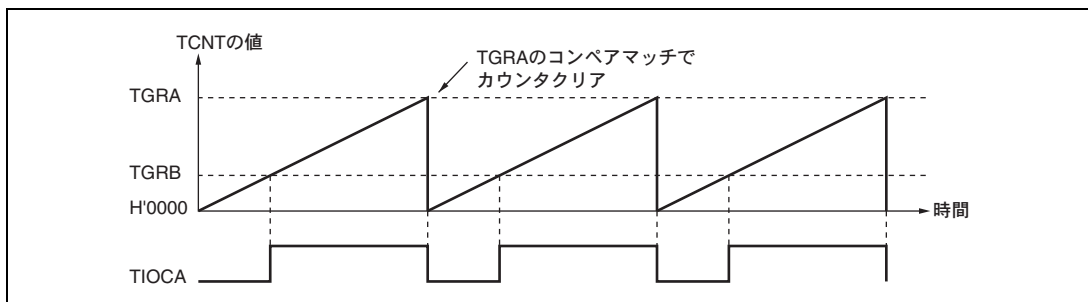


図 27.26 PWM モードの動作例

PWM モード 2 の動作例を図 27.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

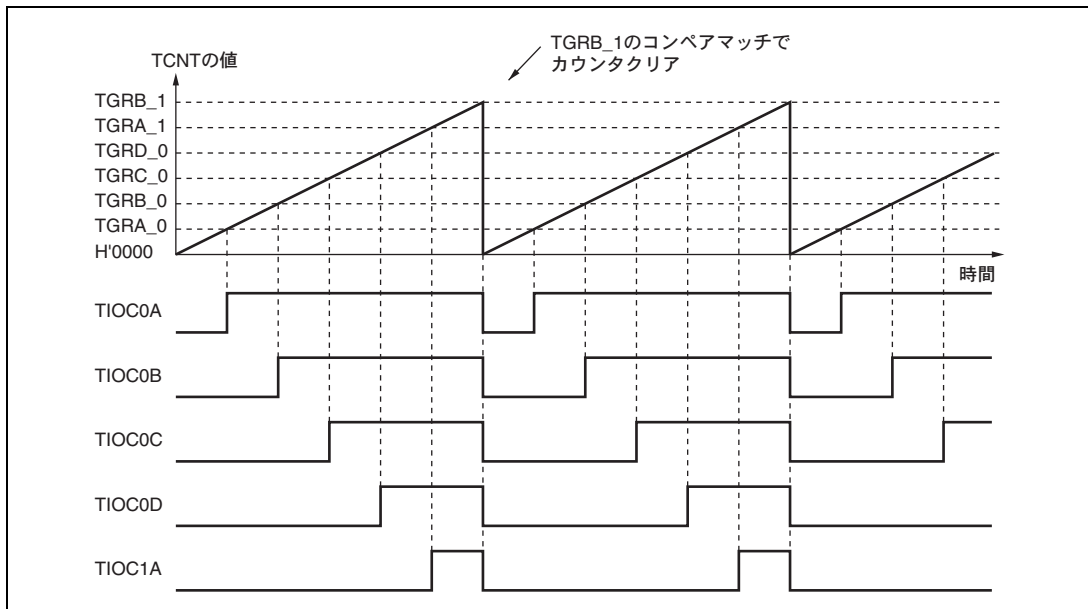


図 27.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 27.28 に示します。

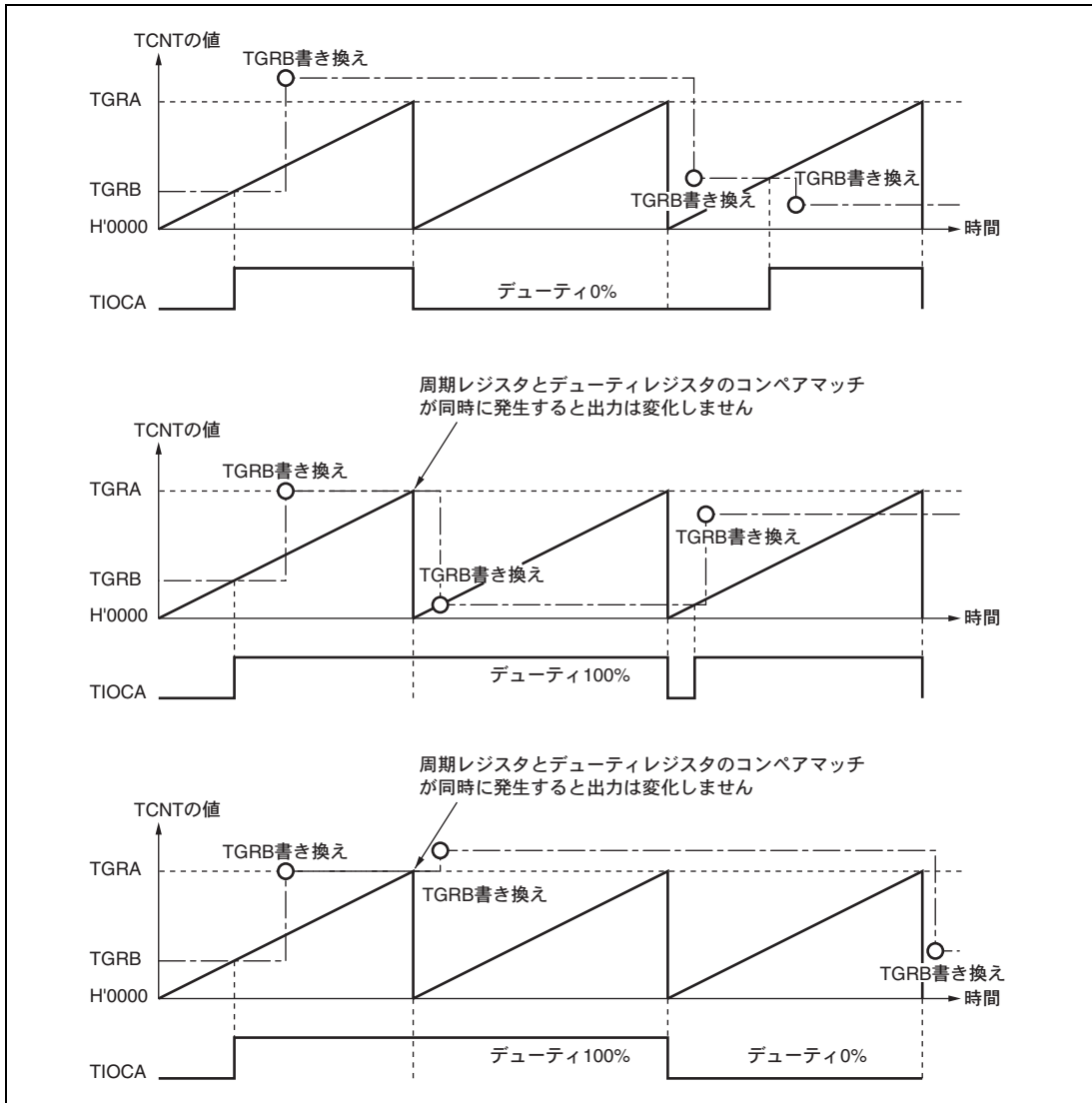


図 27.28 PWM モード動作例

27.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 27.45 に外部クロック端子とチャンネルの対応を示します。

表 27.45 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 27.29 に示します。

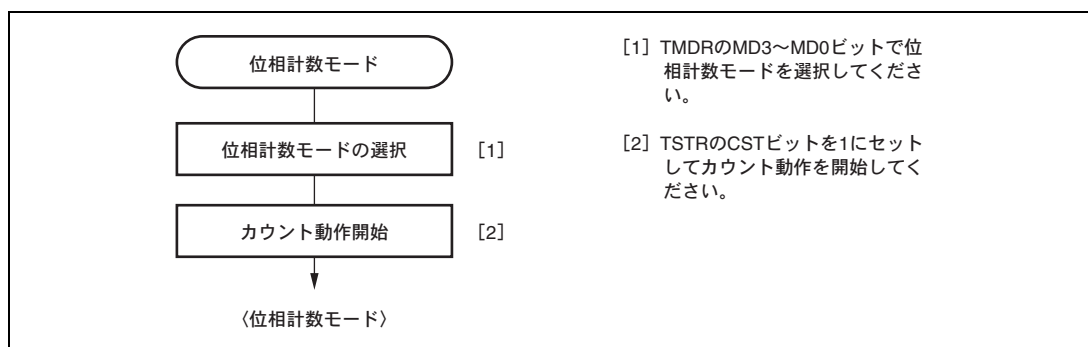


図 27.29 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 27.30 に、TCNT のアップ/ダウンカウント条件を表 27.46 に示します。

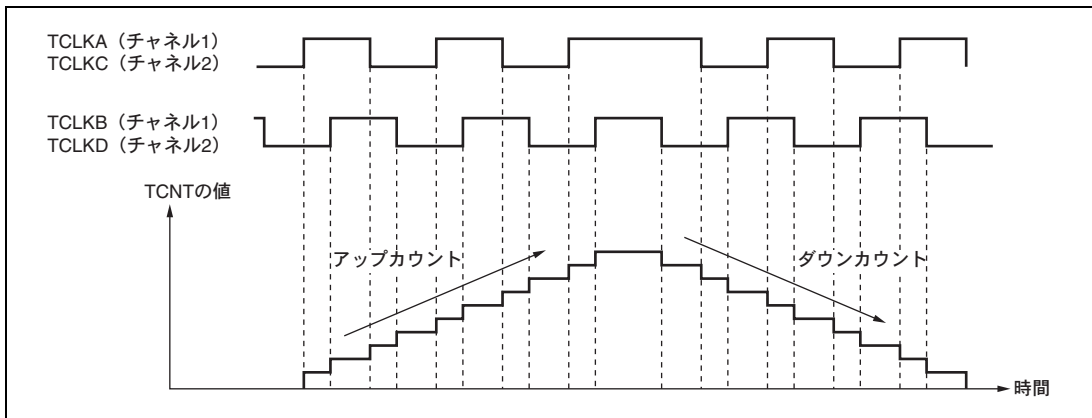


図 27.30 位相計数モード 1 の動作例

表 27.46 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 27.31 に、TCNT のアップ/ダウンカウント条件を表 27.47 に示します。

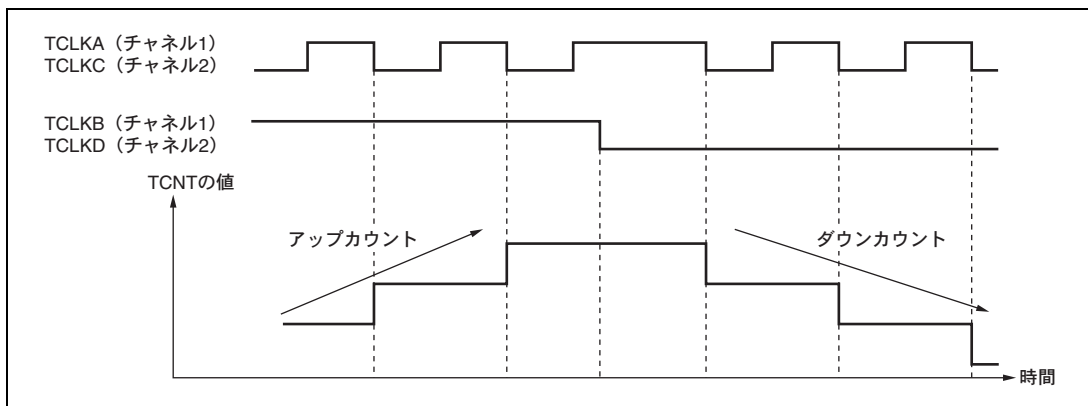


図 27.31 位相計数モード 2 の動作例

表 27.47 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 27.32 に、TCNT のアップ/ダウンカウント条件を表 27.48 に示します。

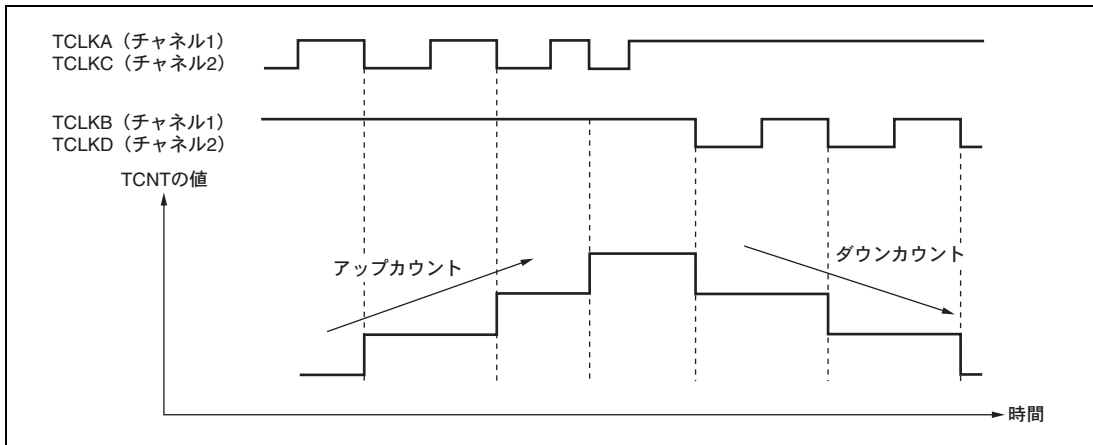


図 27.32 位相計数モード 3 の動作例

表 27.48 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 27.33 に、TCNT のアップ/ダウンカウント条件を表 27.49 に示します。

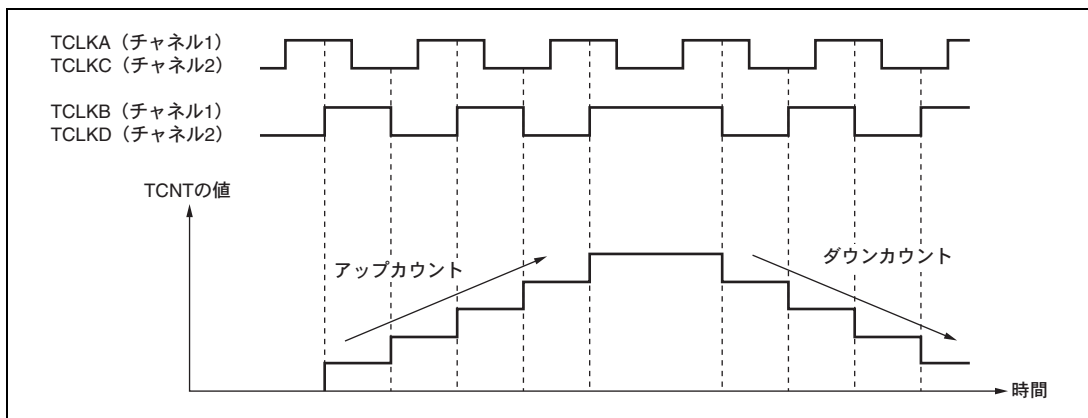


図 27.33 位相計数モード 4 の動作例

表 27.49 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図27.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

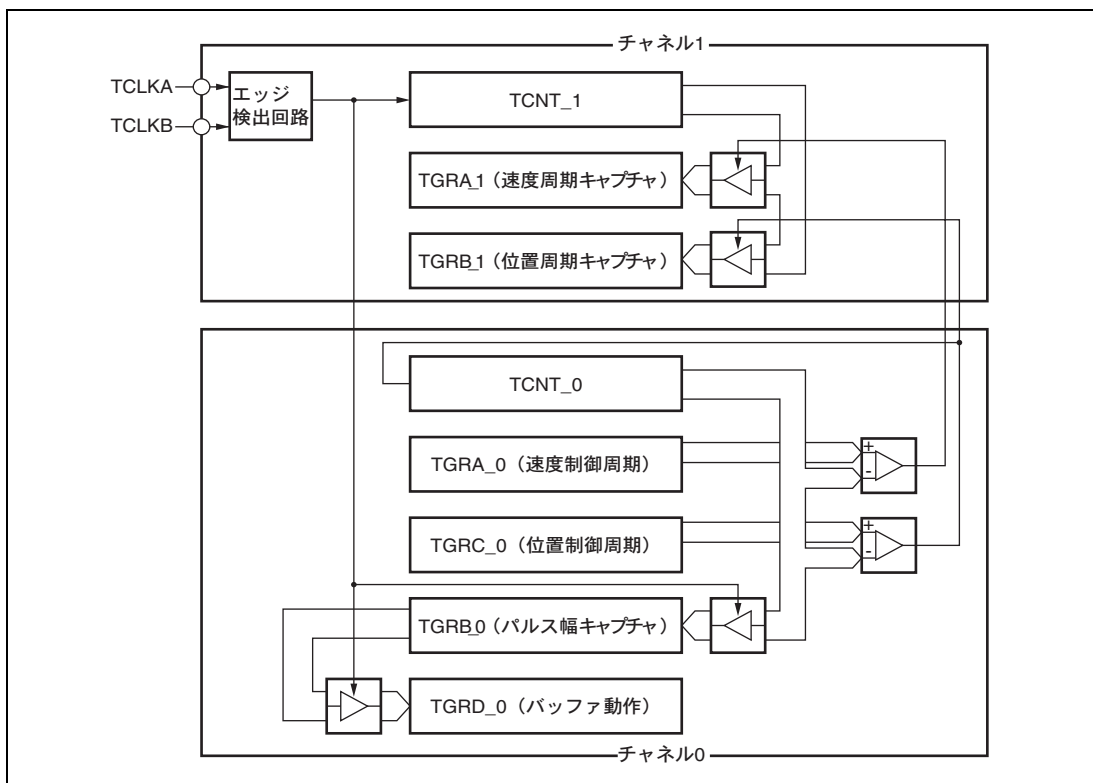


図 27.34 位相計数モードの応用例

27.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 27.50 に、使用するレジスタの設定を表 27.51 に示します。

表 27.50 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 27.51 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 27.35 に示します。

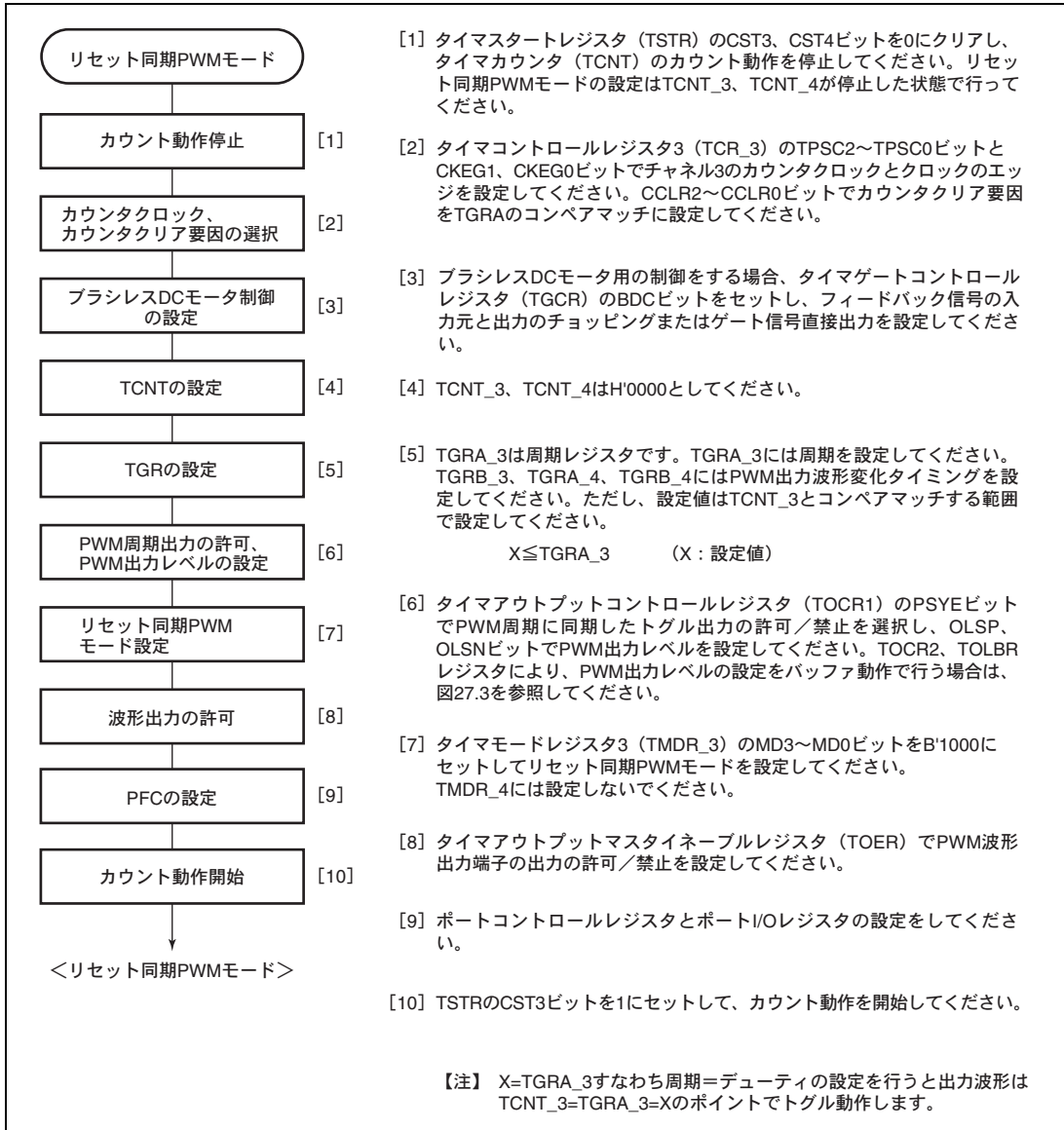


図 27.35 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 27.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

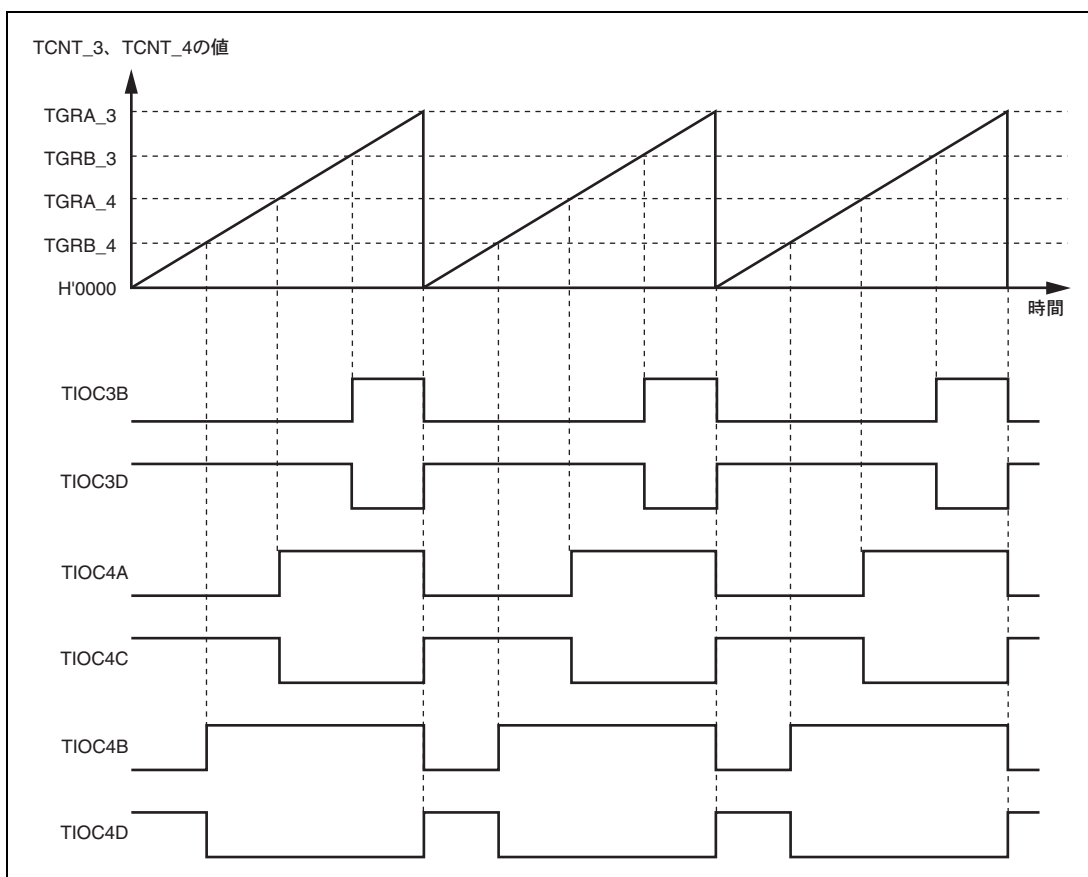


図 27.36 リセット同期 PWM モードの動作例 (TOCR の OLSN=1、OLSP=1 に設定した場合)

27.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 27.52 に、使用するレジスタの設定を表 27.53 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 27.52 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 * TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 27.53 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ/ レジスタ	説明	CPU からの 読み出し/書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定（キャリア周期の 1/2 + デッドタイム）	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し/書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し/書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し/書き込み可能

チャンネル	カウンタ/ レジスタ	説 明	CPU からの 読み出し/書き込み
	タイマデッドタイムデータ レジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し/書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し/書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し/書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し/書き込み不可

【注】 * TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可/禁止が可能です。

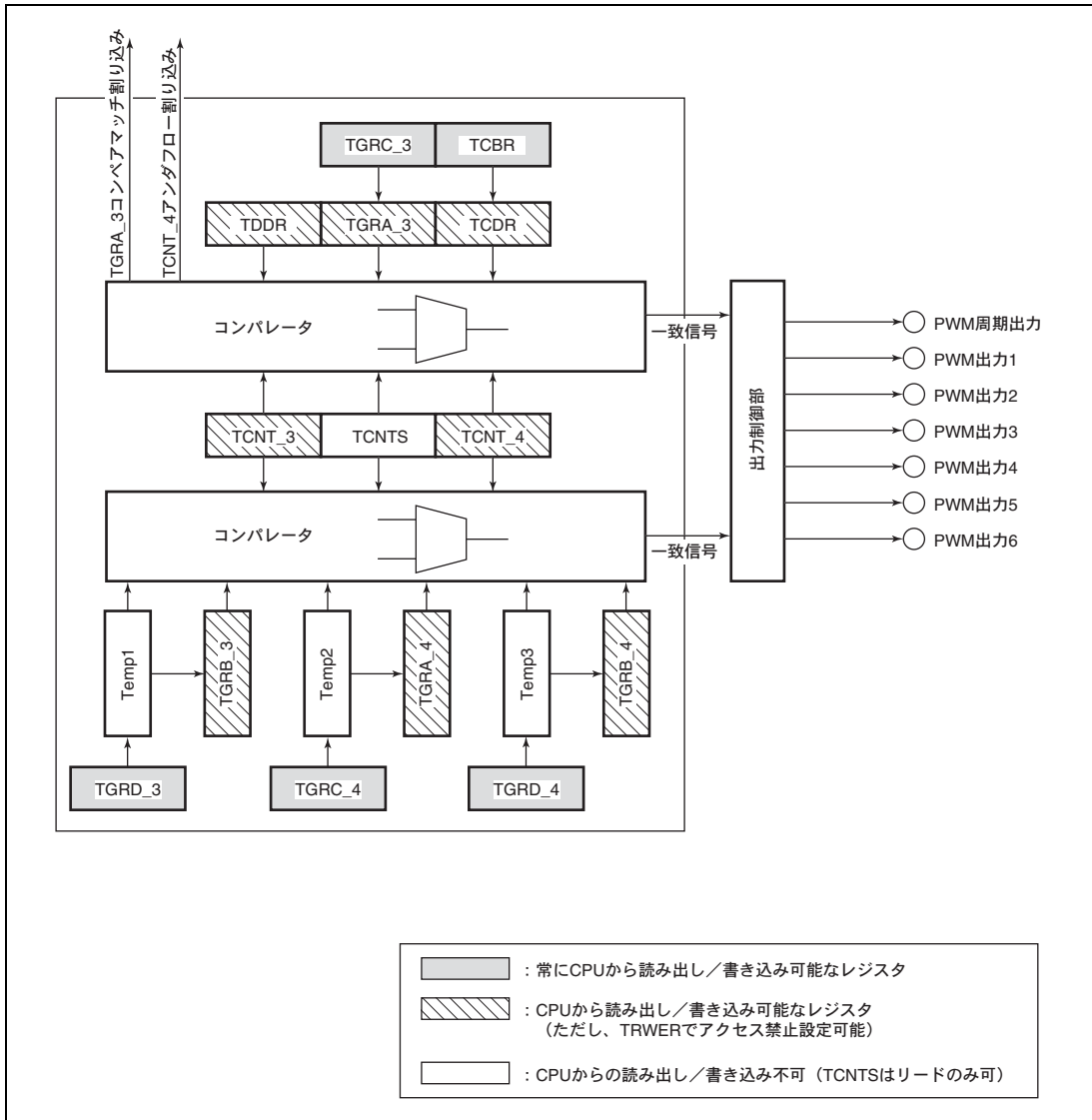


図 27.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 27.38 に示します。

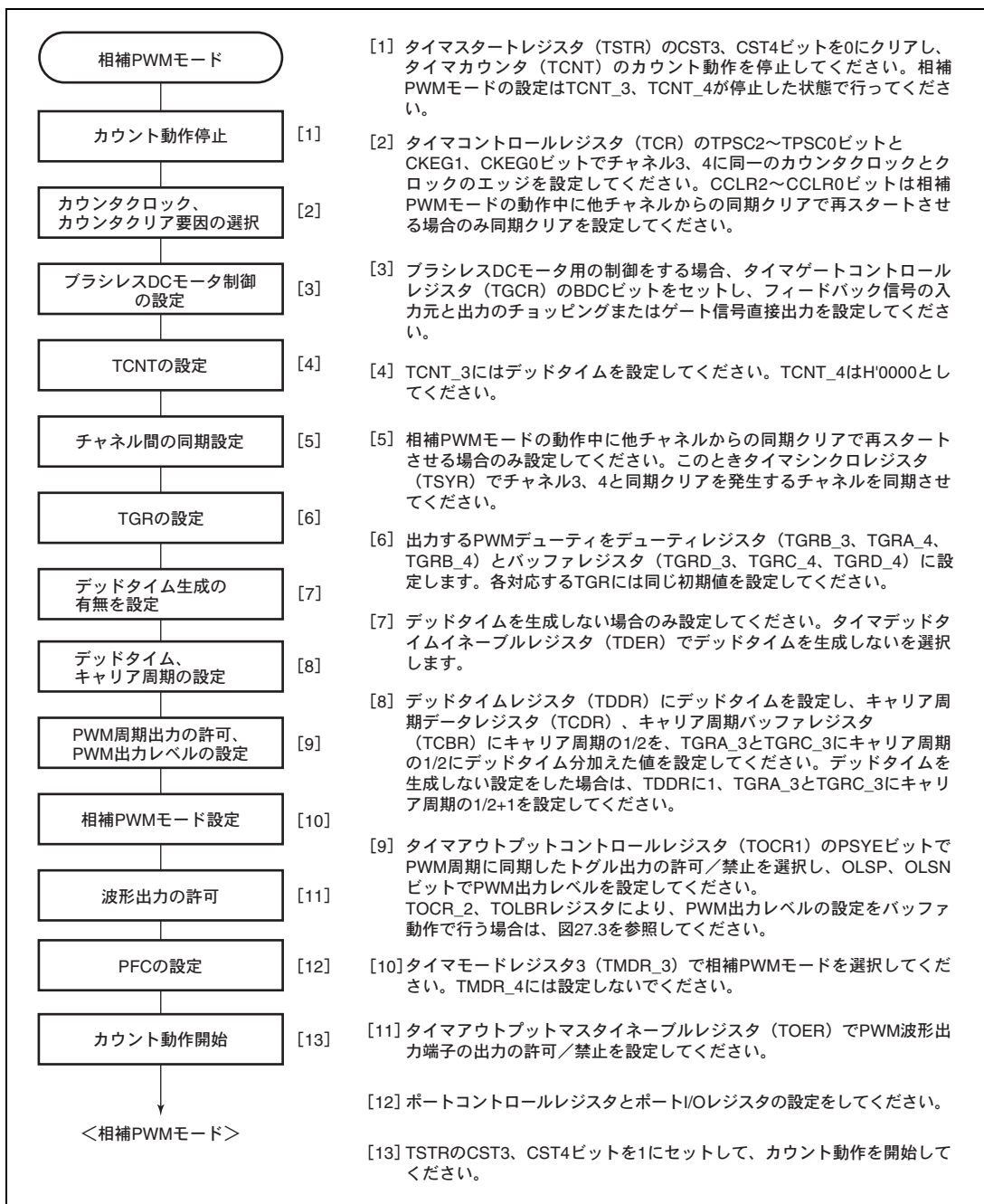


図 27.38 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 27.39 に相補 PWM モードのカウンタの動作を示します。図 27.40 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCNR と一致するとダウンカウントを開始し、TCNTS が TCNR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンパレレジスタおよびテンポラリレジスタと比較されます。

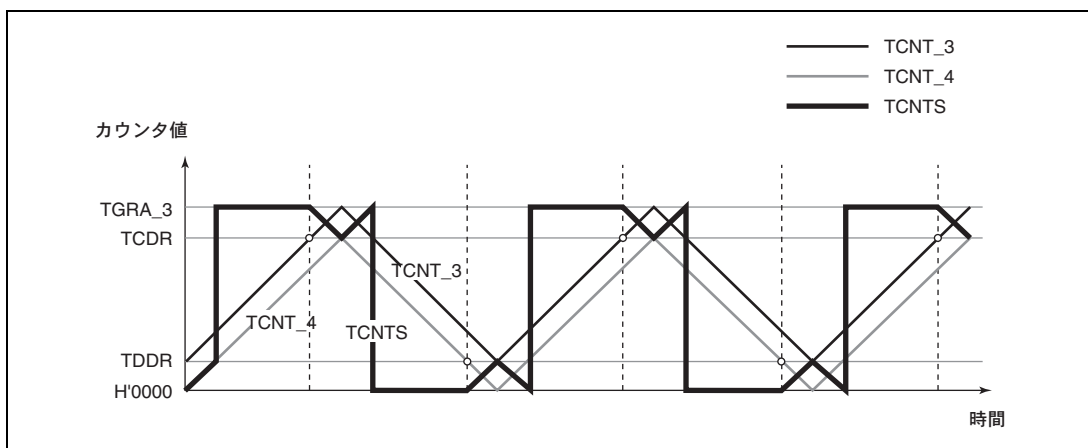


図 27.39 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 27.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3~MD0 ビットで選択できます。図 27.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 27.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

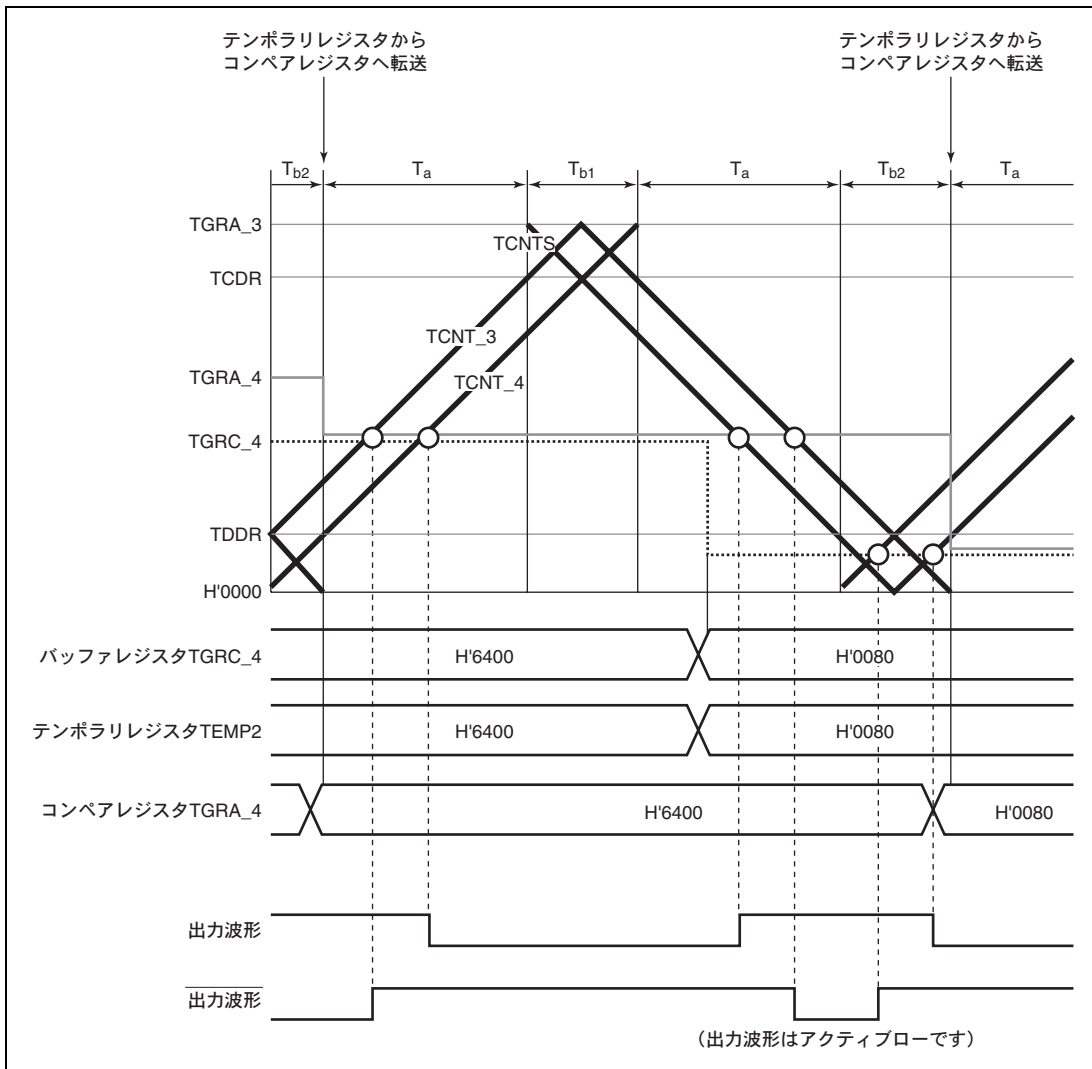


図 27.40 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ（TMDR）の MD3～MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ（TCBR）は、タイマ周期データレジスタ（TCDR）のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ（TDDR）には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の $1/2+1$ を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 27.54 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2$ +デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の $1/2$ の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P~OLS3P、OLS1N~OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER=1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA_3、TGRC_3 には PWM キャリア周期の $1/2+1$ を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 27.41 にデッドタイムを生成しない場合の動作例を示します。

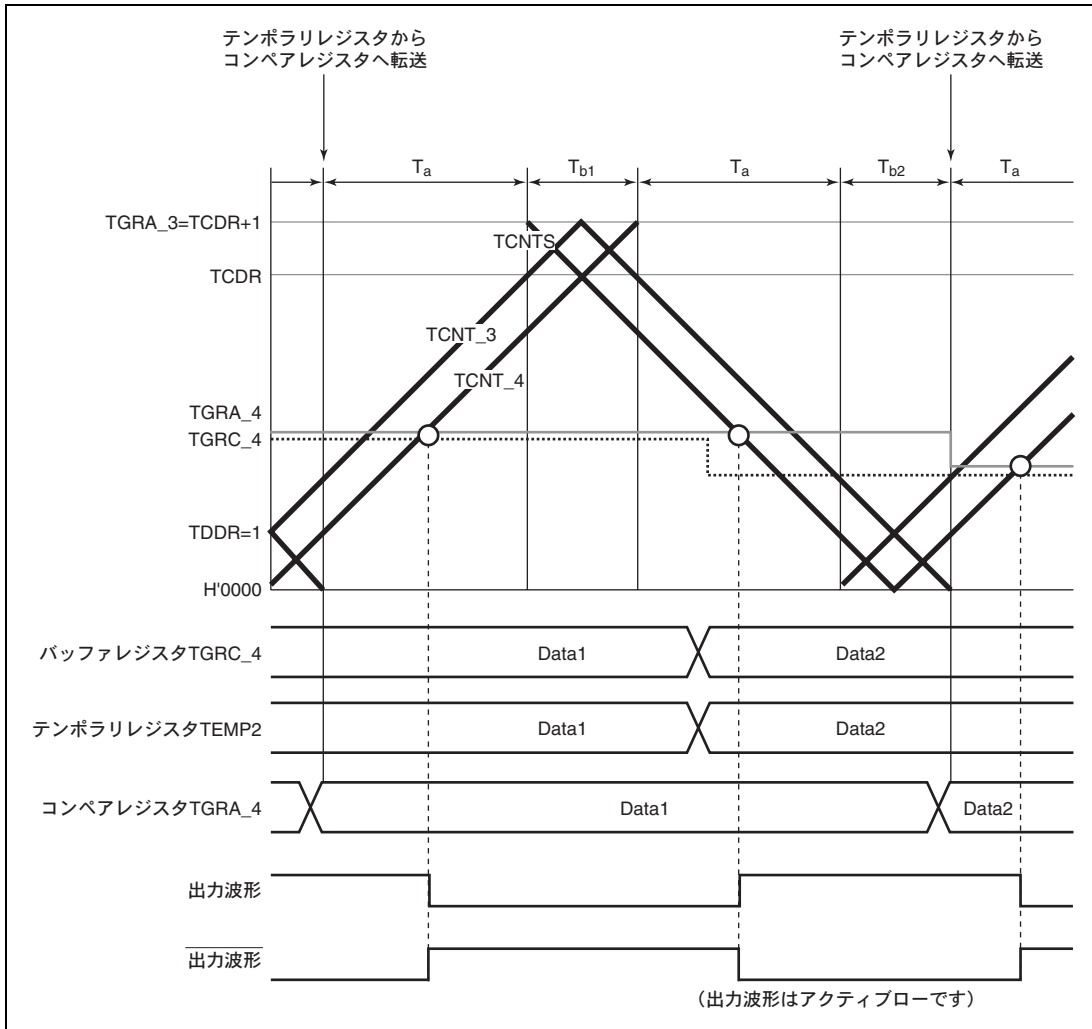


図 27.41 デッドタイムを生成しない場合の動作例

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値

デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。

TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3～MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 27.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

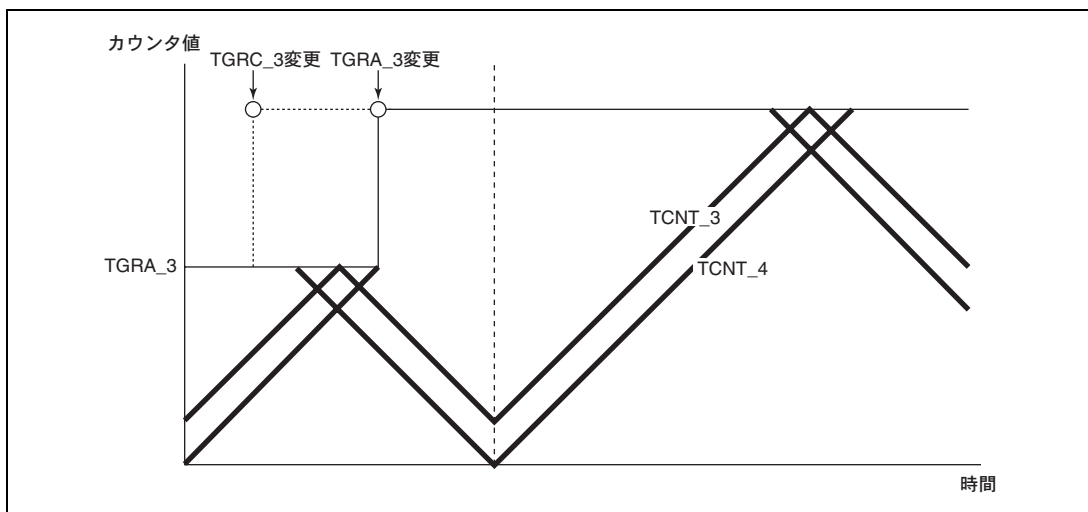


図 27.42 PWM 周期の変更例

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3～MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 27.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

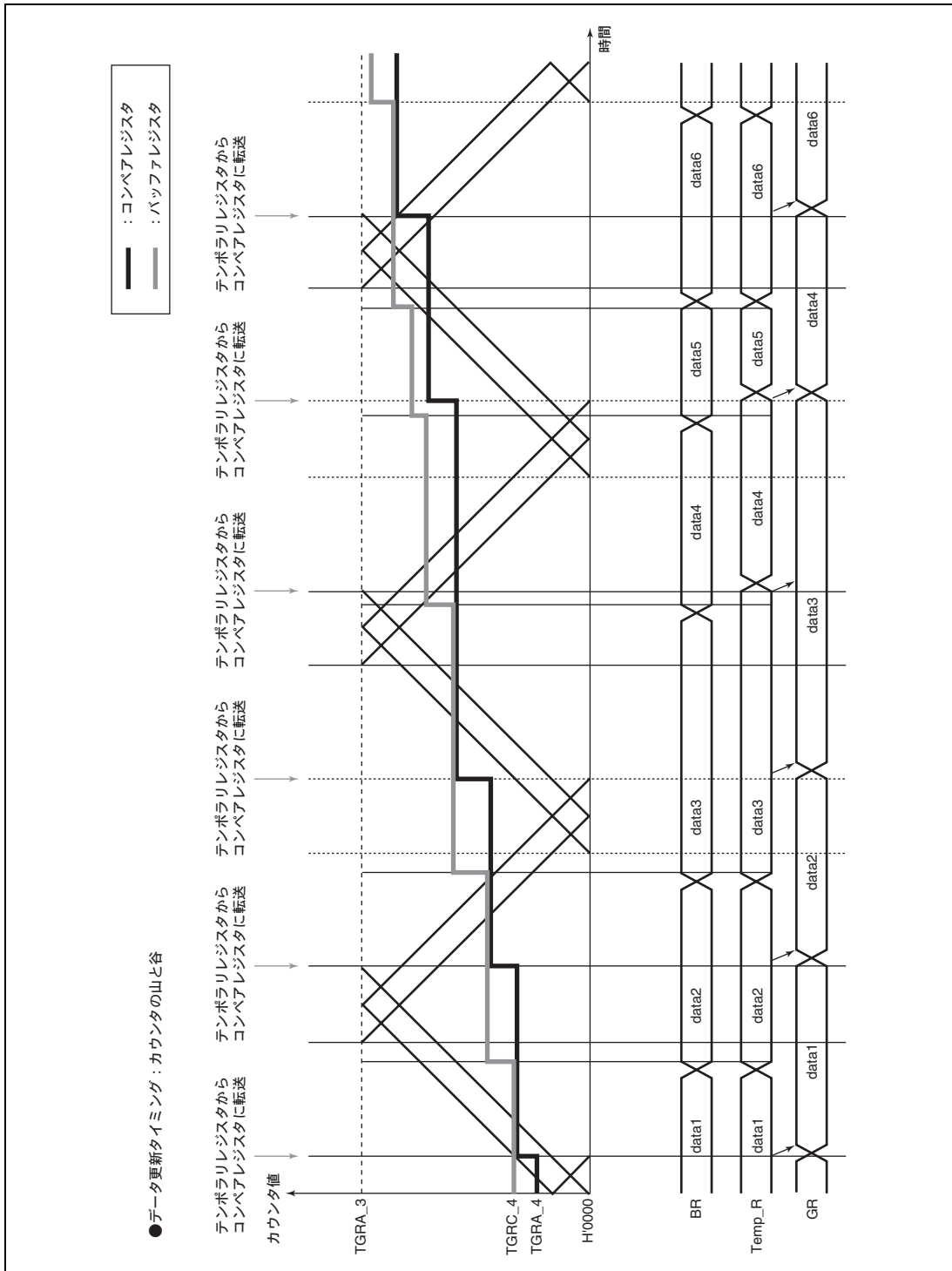


図 27.43 相補 PWM モードのデータ更新例

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N~OLS3N、OLS1P~OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 27.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 27.45 に示します。

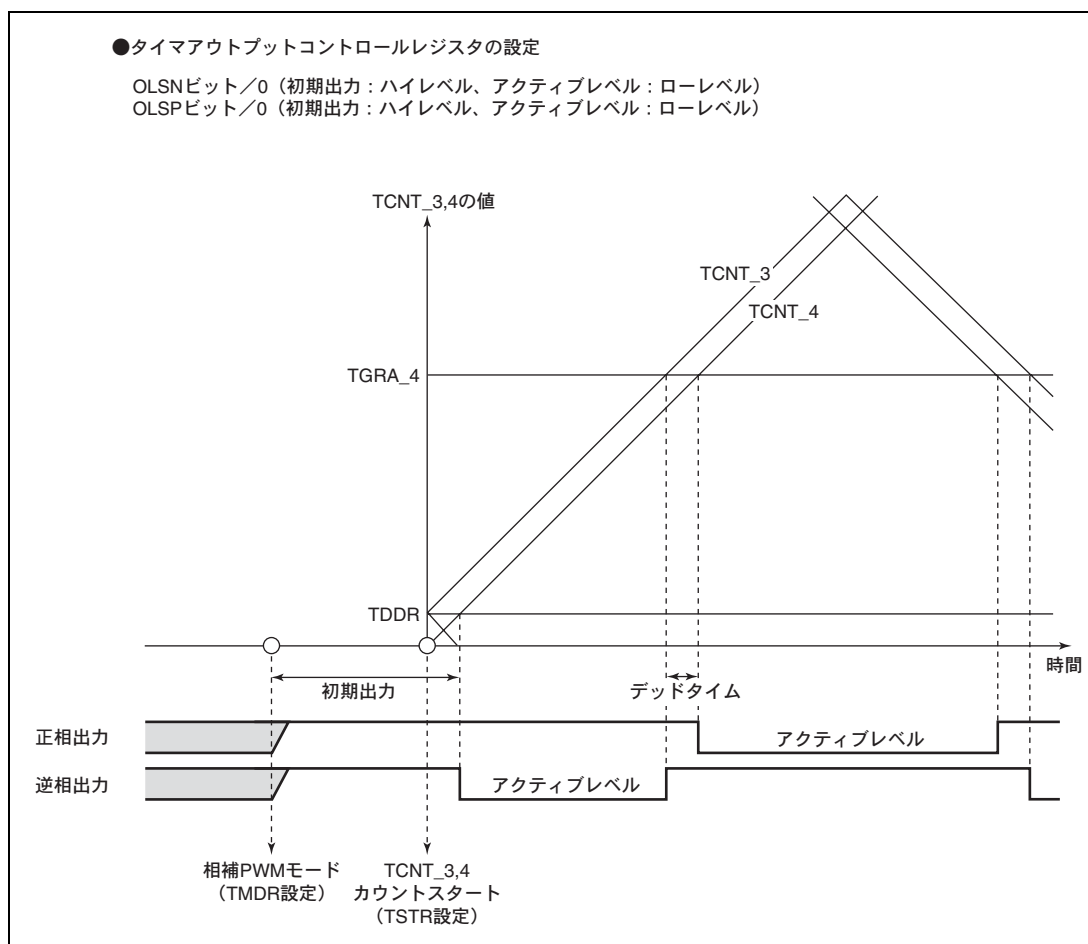


図 27.44 相補 PWM モードの初期出力例 (1)

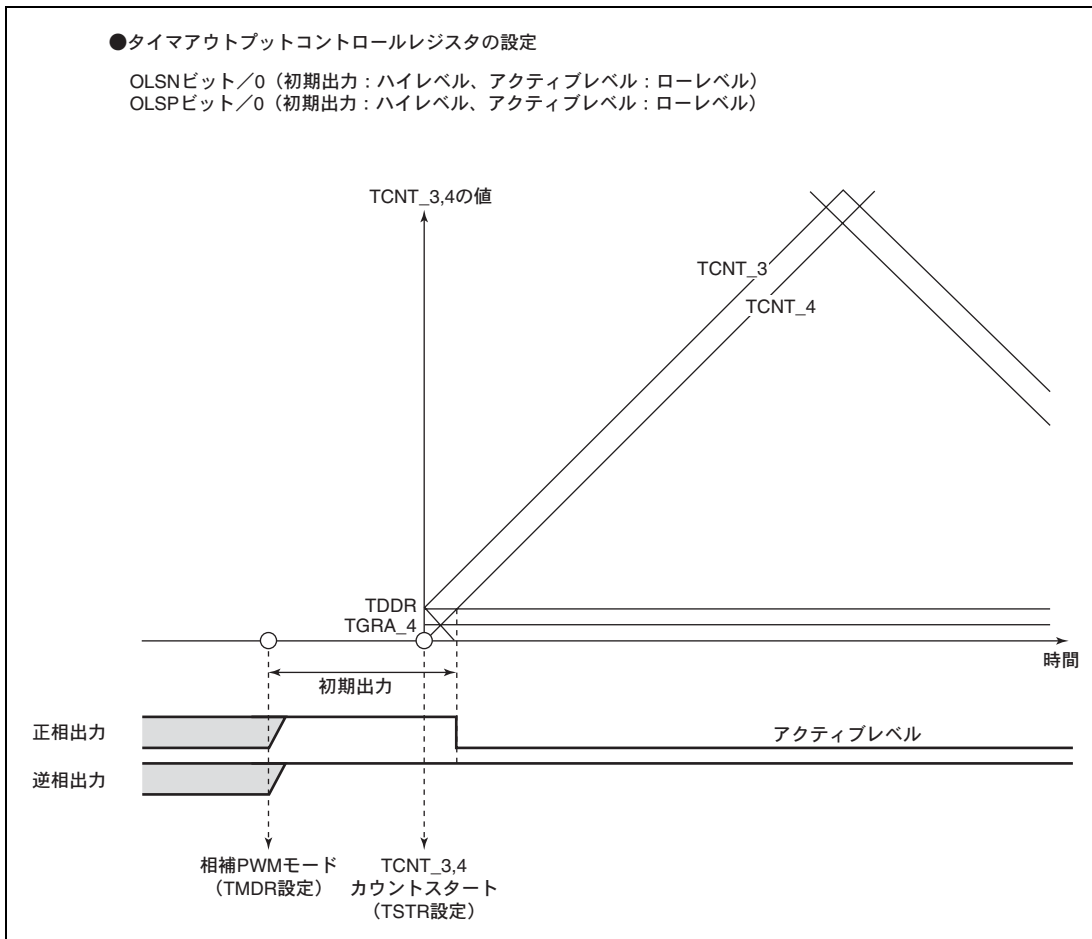


図 27.45 相補 PWM モードの初期出力例 (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。

図 27.46~図 27.48 に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 27.46 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 27.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 27.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

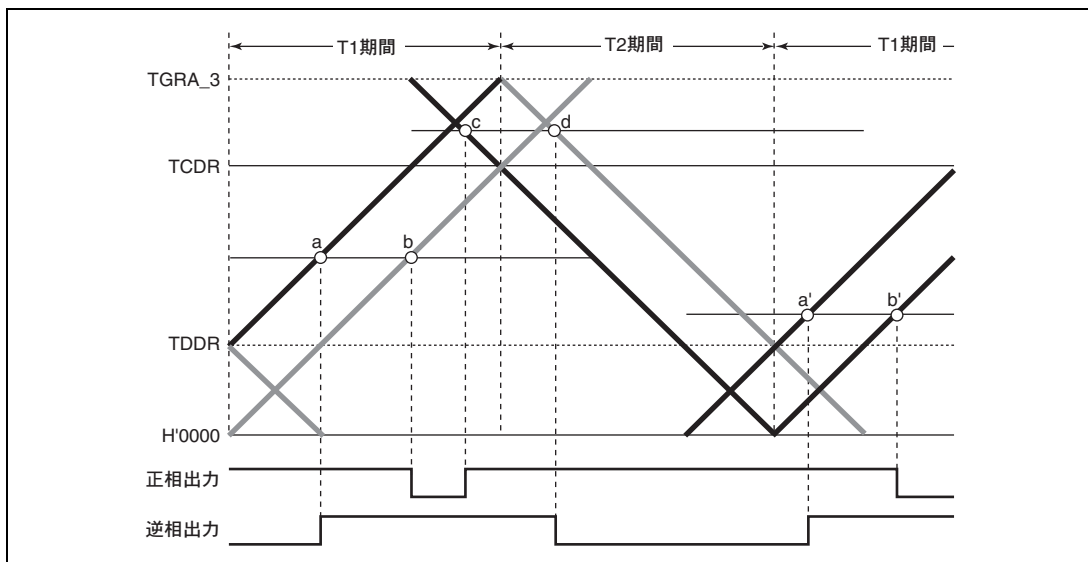


図 27.46 相補 PWM モード波形出力例 (1)

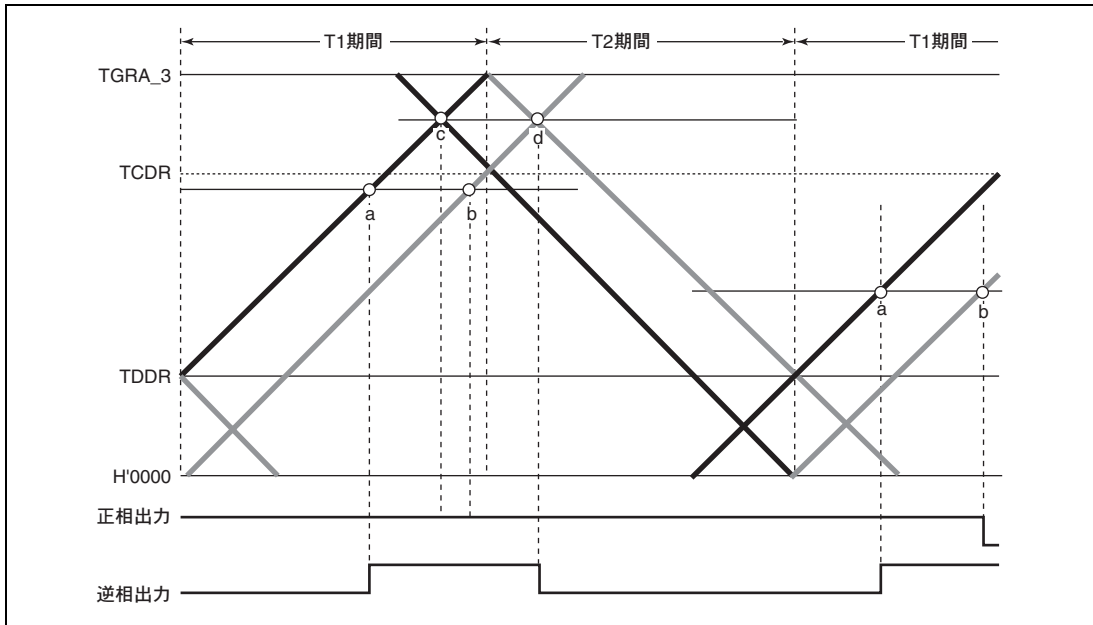


図 27.47 相補 PWM モード波形出力例 (2)

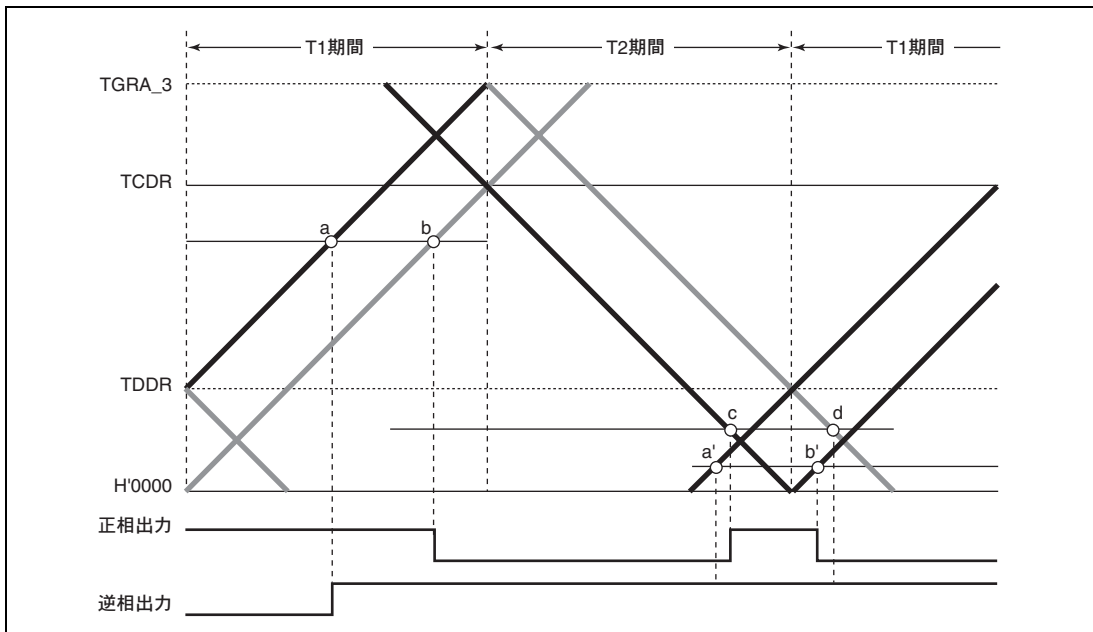


図 27.48 相補 PWM モード波形出力例 (3)

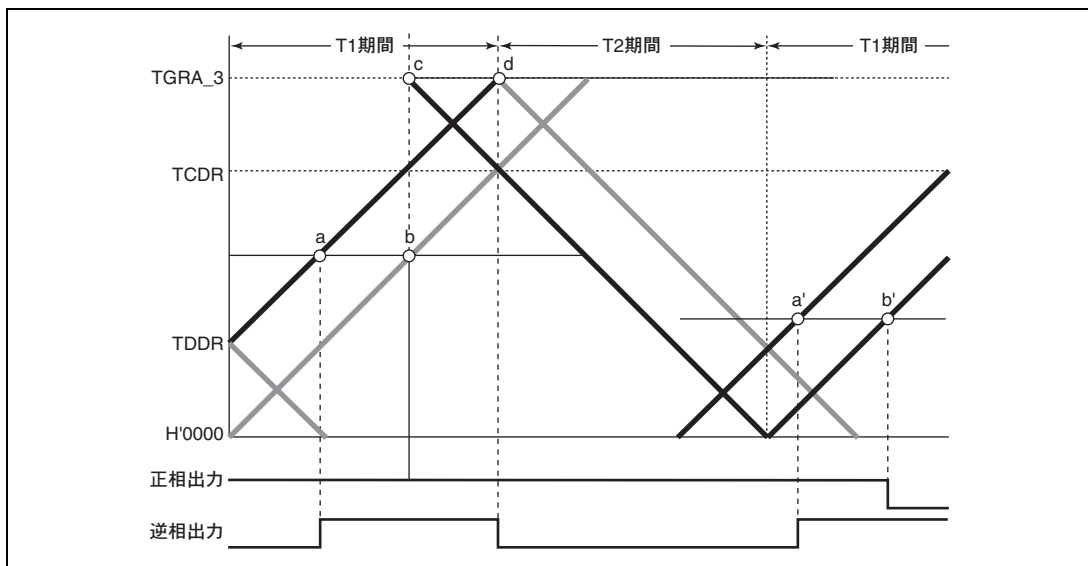


図 27.49 相補 PWM モード 0%、100%波形出力例 (1)

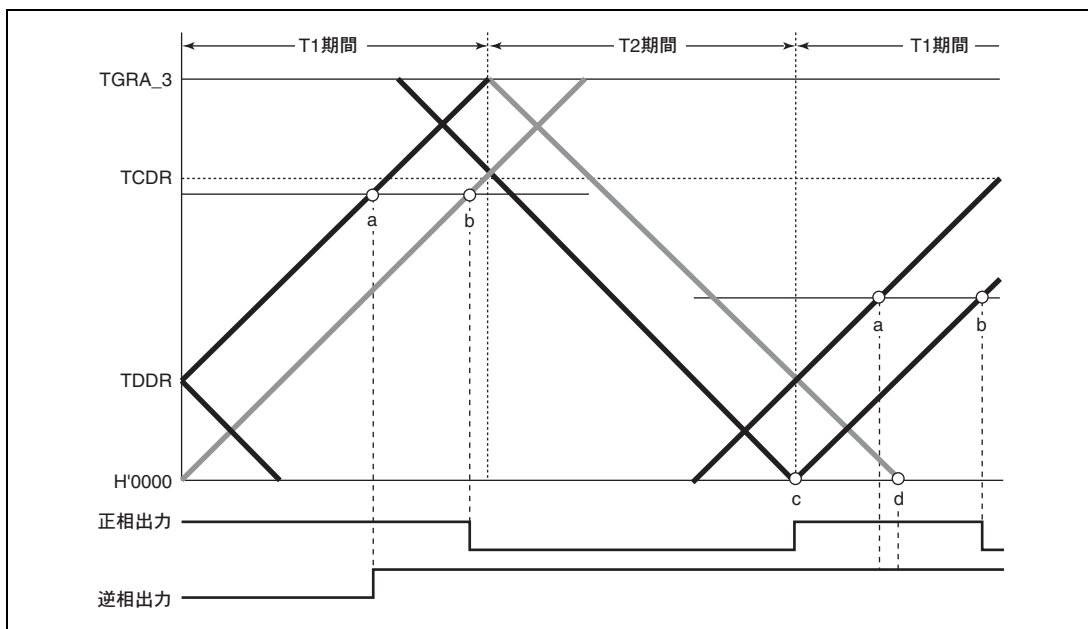


図 27.50 相補 PWM モード 0%、100%波形出力例 (2)

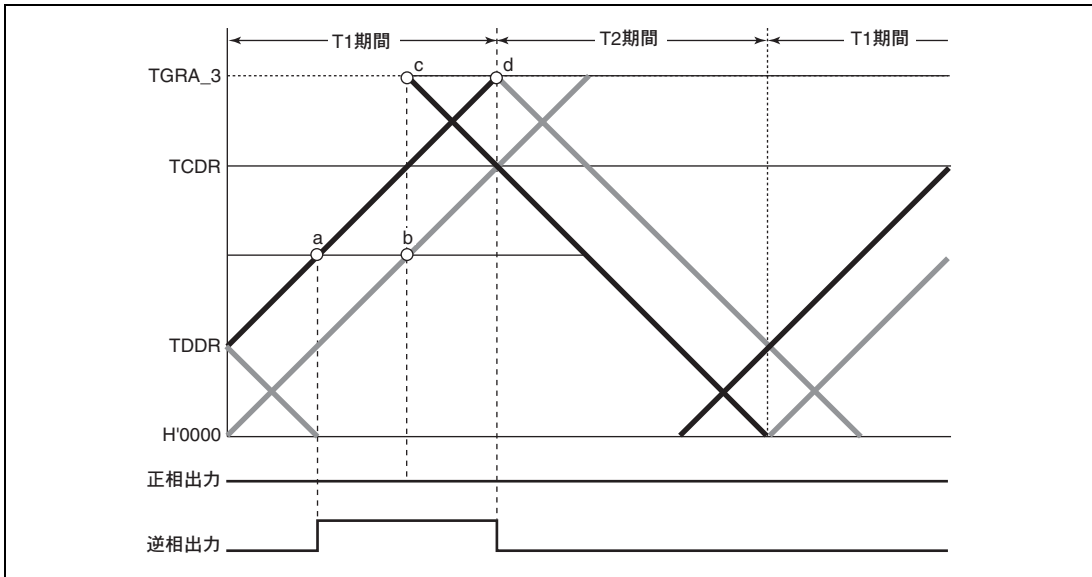


図 27.51 相補 PWM モード 0%、100%波形出力例 (3)

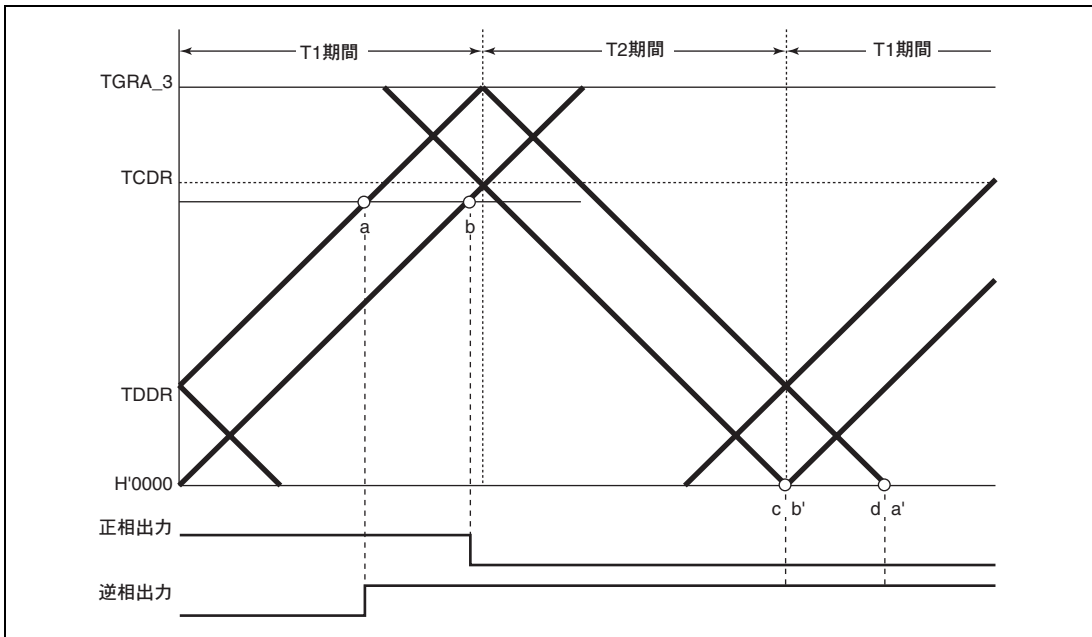


図 27.52 相補 PWM モード 0%、100%波形出力例 (4)

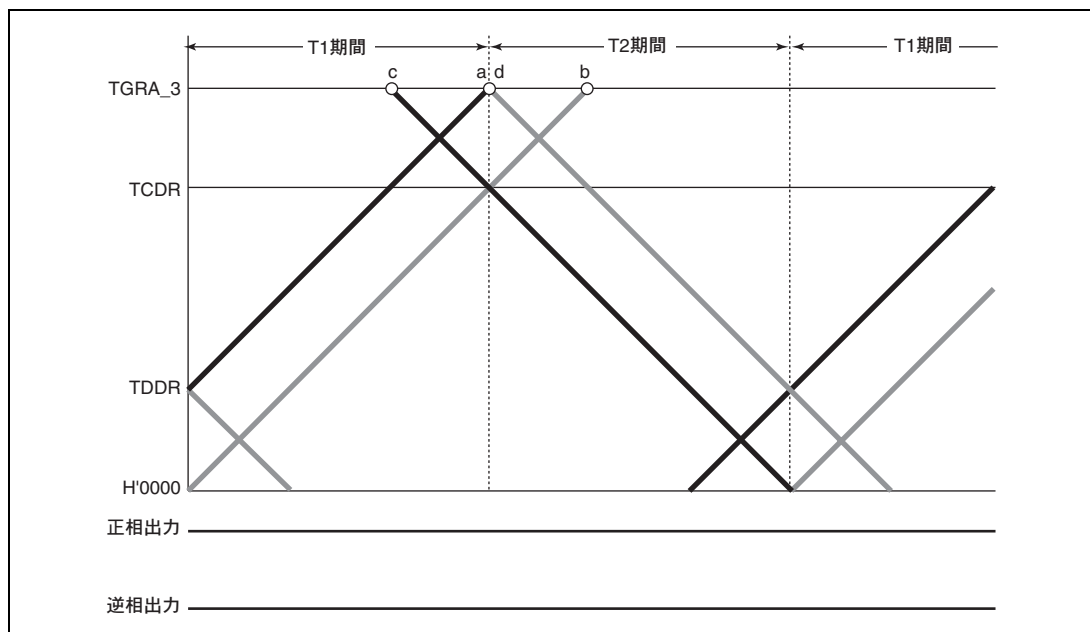


図 27.53 相補 PWM モード 0%、100% 波形出力例 (5)

(k) 相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 27.49～図 27.53 に出力例を示します。

デューティ 100% 出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0% 出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 27.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

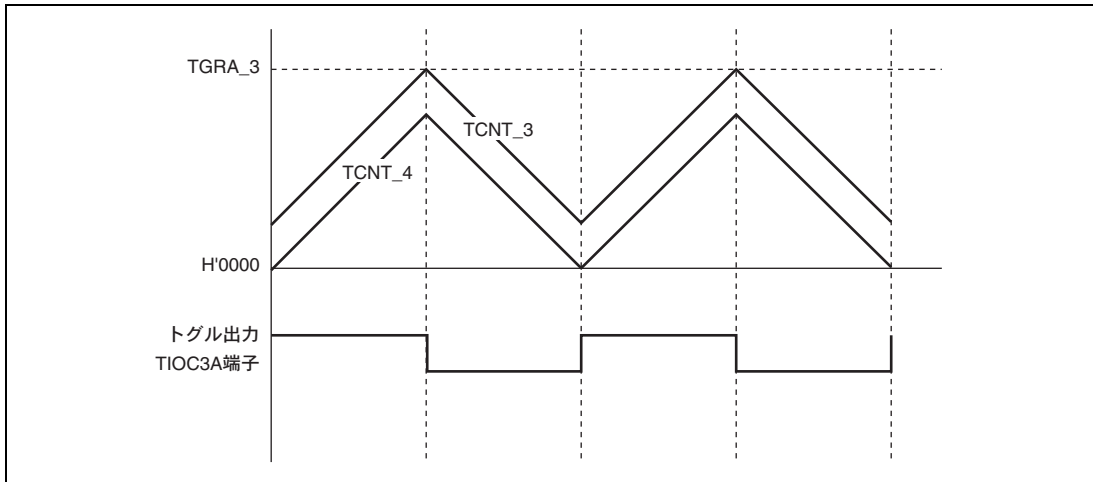


図 27.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャンネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャンネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2~CCLR0 により同期クリアを選択することにより他のチャンネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 27.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

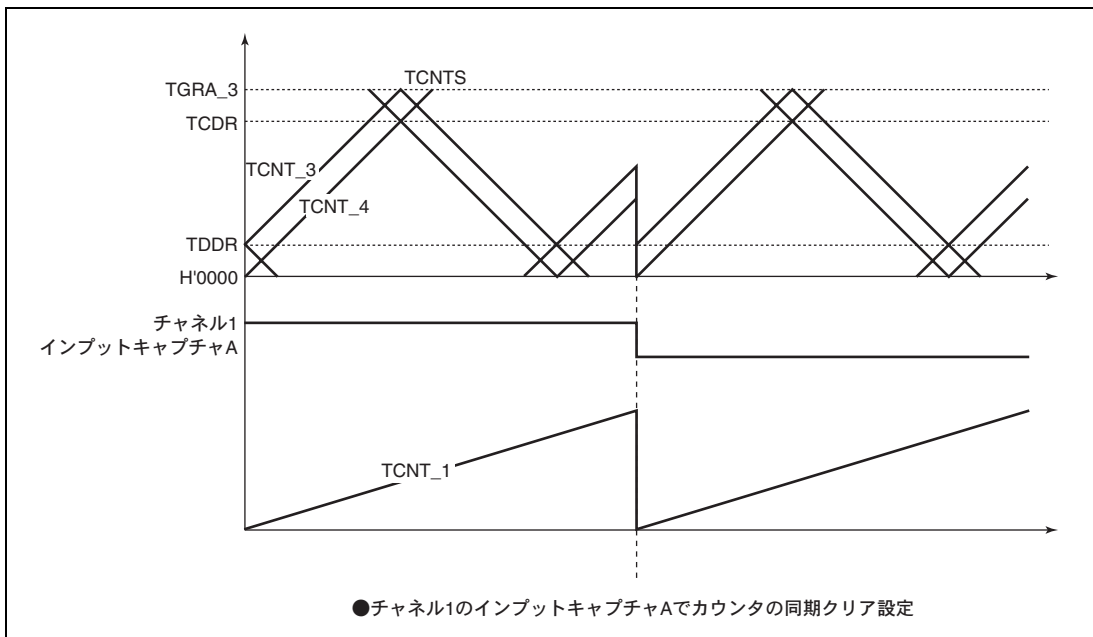


図 27.55 他のチャンネルに同期したカウンタクリア

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の T_b 区間で同期カウンタクリアが起こった場合の初期出力を抑制することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑制することができます。

WRE ビットを 1 に設定することで初期出力を抑制することができるのは、同期クリアが図 27.56 の⑩、⑪のような谷の T_b 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の T_b 区間であっても、図 27.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑制する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「27.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

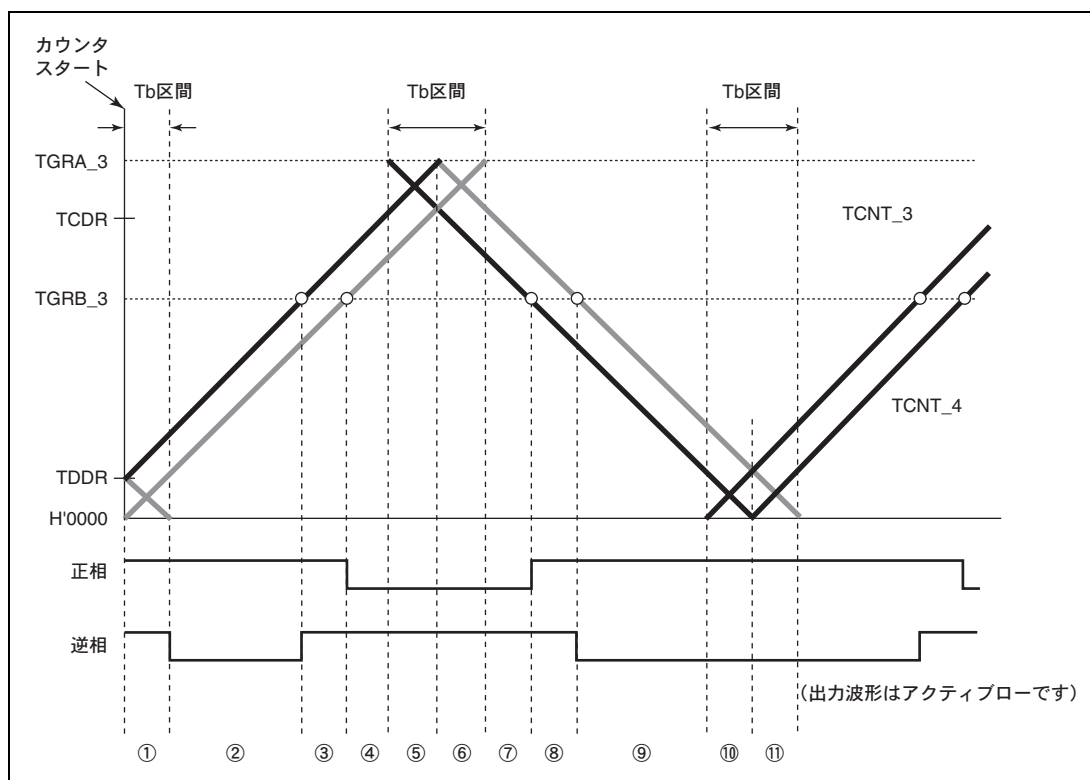


図 27.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 27.57 に示します。

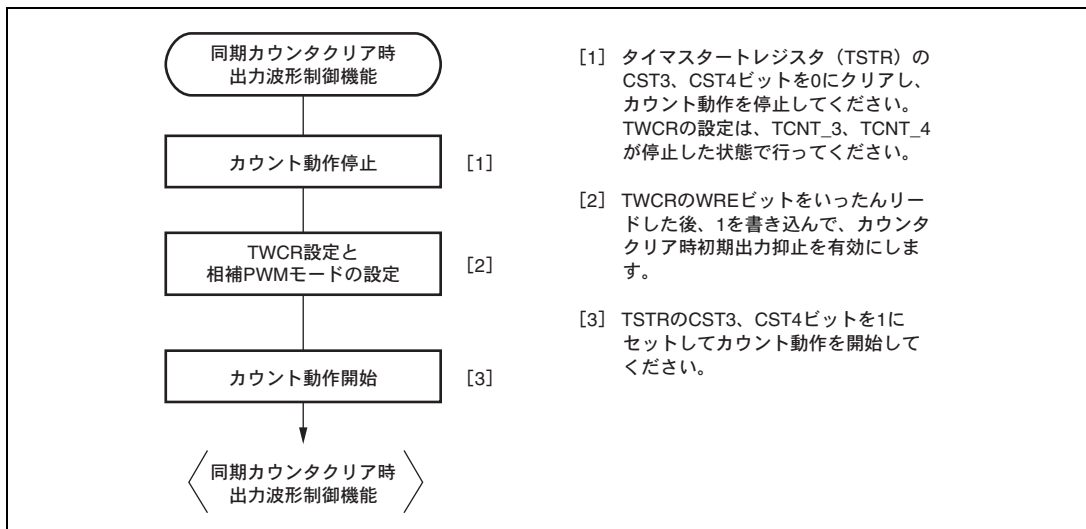


図 27.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 27.58～図 27.61 に、TWCR の WRE ビットを 1 に設定した状態で本モジュールを相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 27.58～図 27.61 の同期カウンタクリアのタイミングは、それぞれ図 27.56 の③、⑥、⑧、⑪で示したタイミングです。

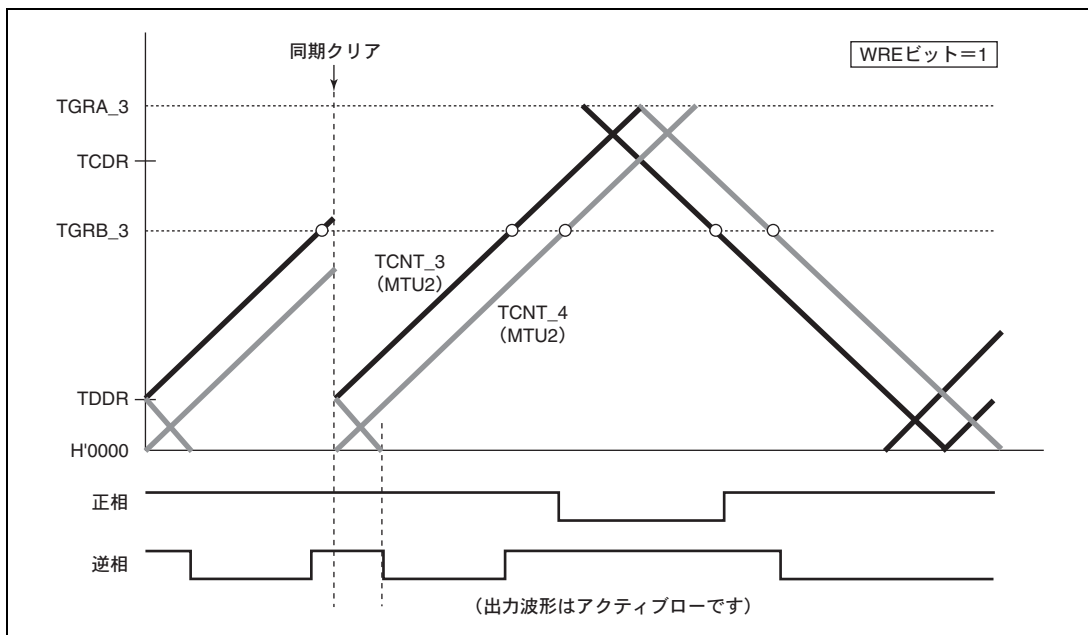


図 27.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 27.56 のタイミング③、本モジュールの TWCR レジスタの WRE ビット=1)

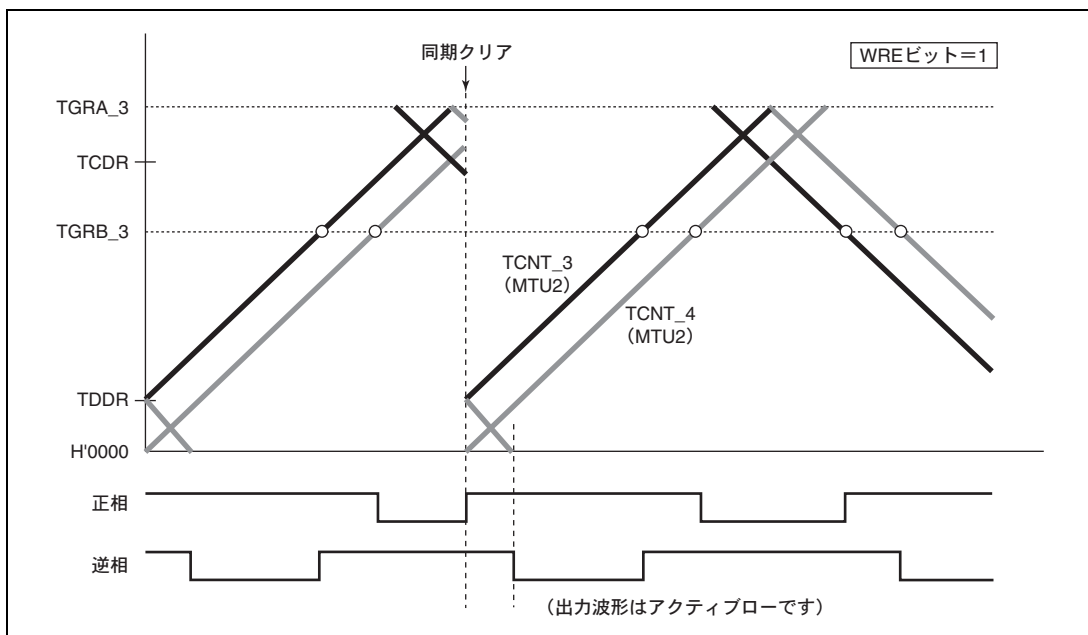


図 27.59 山の Tb 区間で同期クリアが発生した場合
(図 27.56 のタイミング⑥、本モジュールの TWCR レジスタの WRE ビット=1)

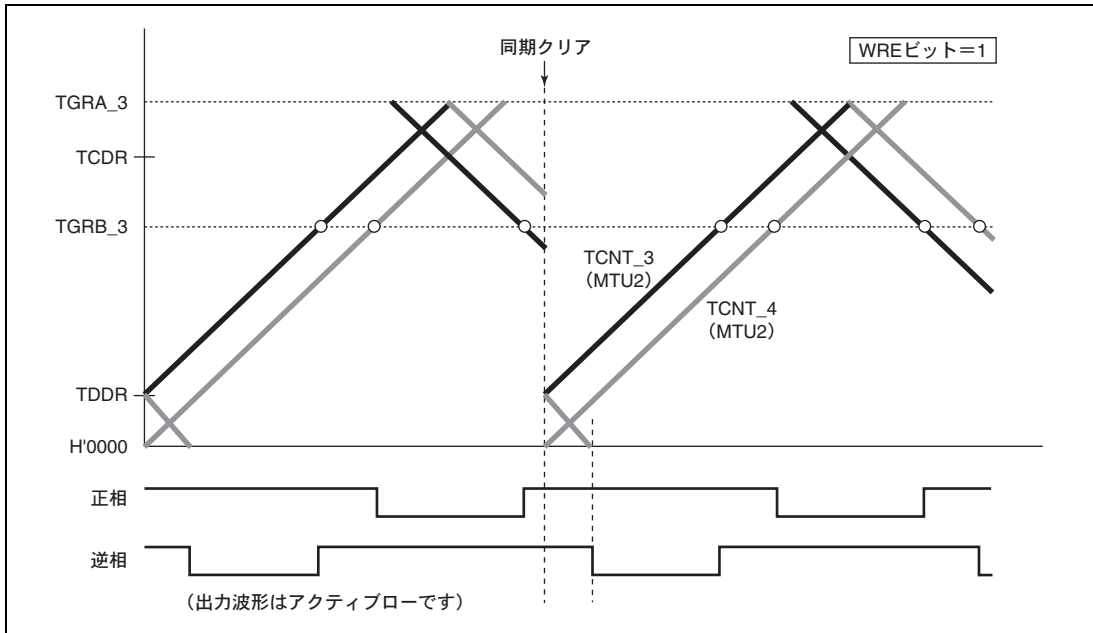


図 27.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 27.56 のタイミング⑧、TWCR レジスタの WRE ビット=1)

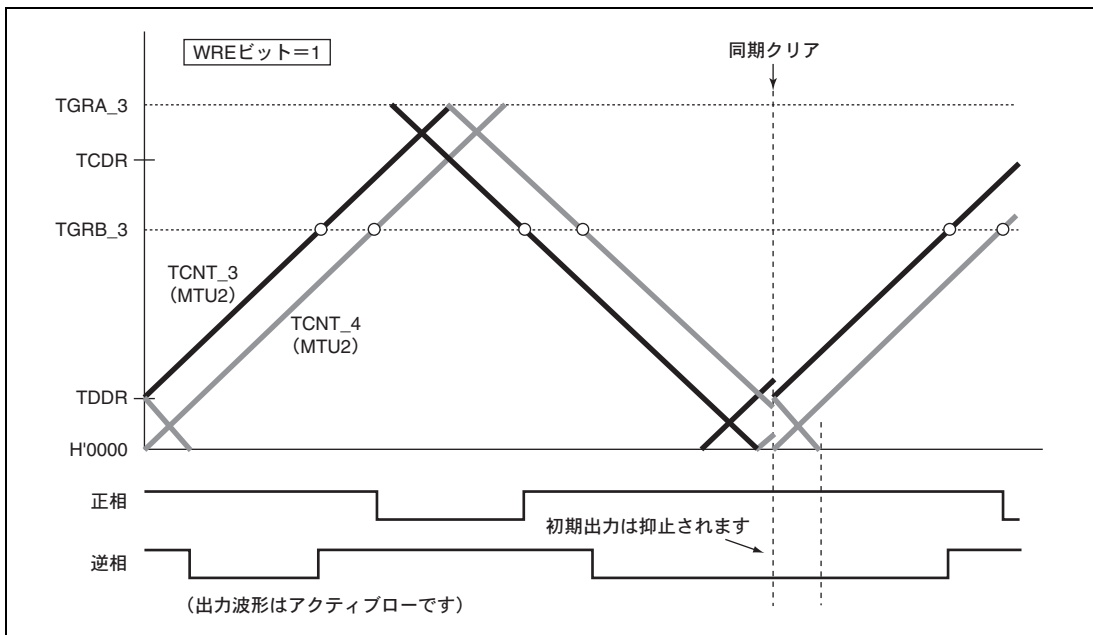


図 27.61 谷の Tb 区間で同期クリアが発生した場合
 (図 27.56 のタイミング⑩、TWCR レジスタの WRE ビット=1)

(o) TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 27.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0~SYNC4 ビットを 1 に設定しないでください)
 3. PWM デューティは、H'0000 を設定しないでください。
 4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

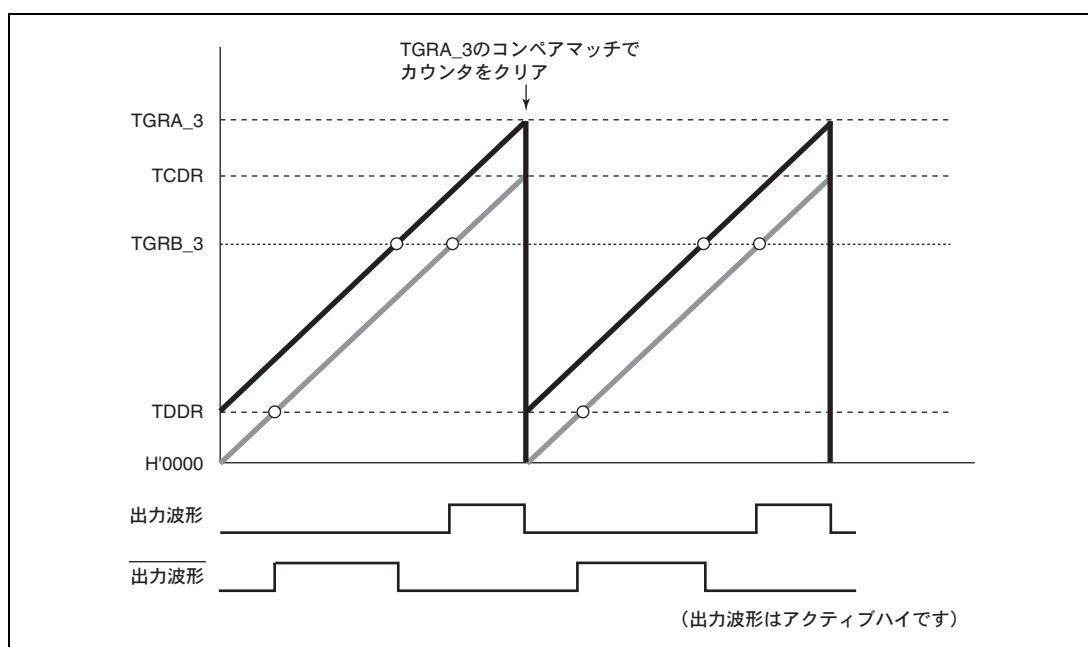


図 27.62 TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 27.63~図 27.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (汎用入出力ポートで設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この6相出力はNビットまたはPビットを1に設定することにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。NビットまたはPビットが0の場合は、レベル出力になります。

また、6相出力のアクティブレベル（ON出力時レベル）は、NビットおよびPビットの設定にかかわらず、タイムアウトコントロールレジスタ（TOCR）のOLSNビット、OLSPビットで設定できます。

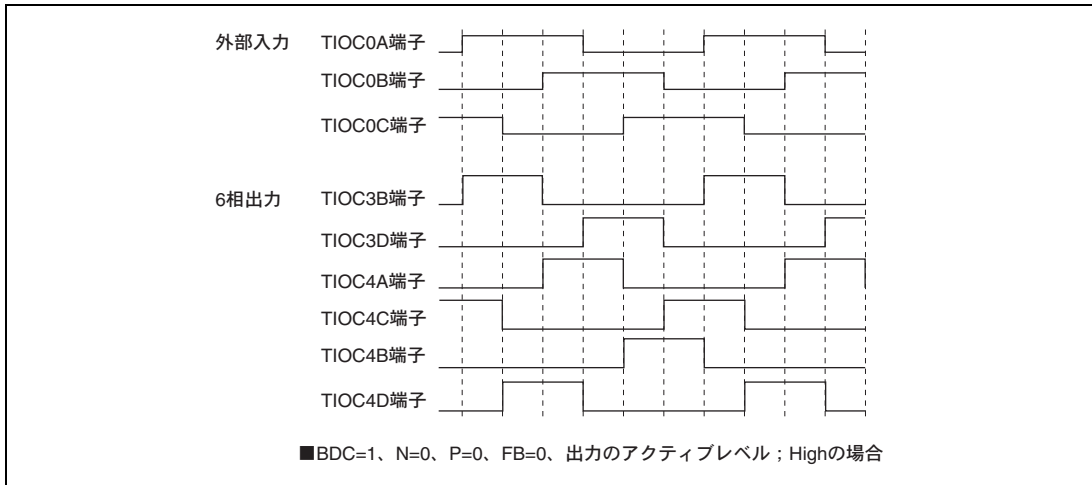


図 27.63 外部入力による出力相の切り替え動作例（1）

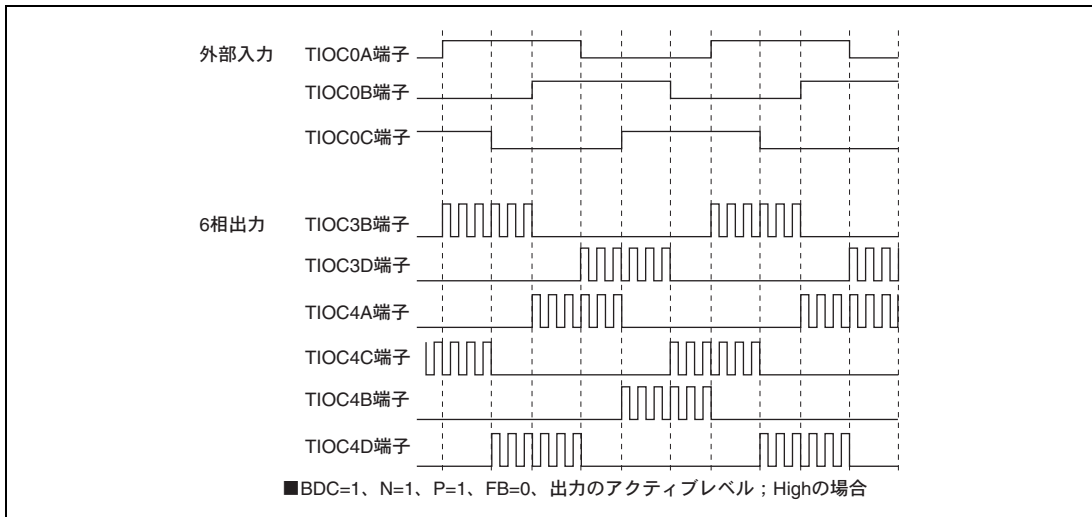


図 27.64 外部入力による出力相の切り替え動作例（2）

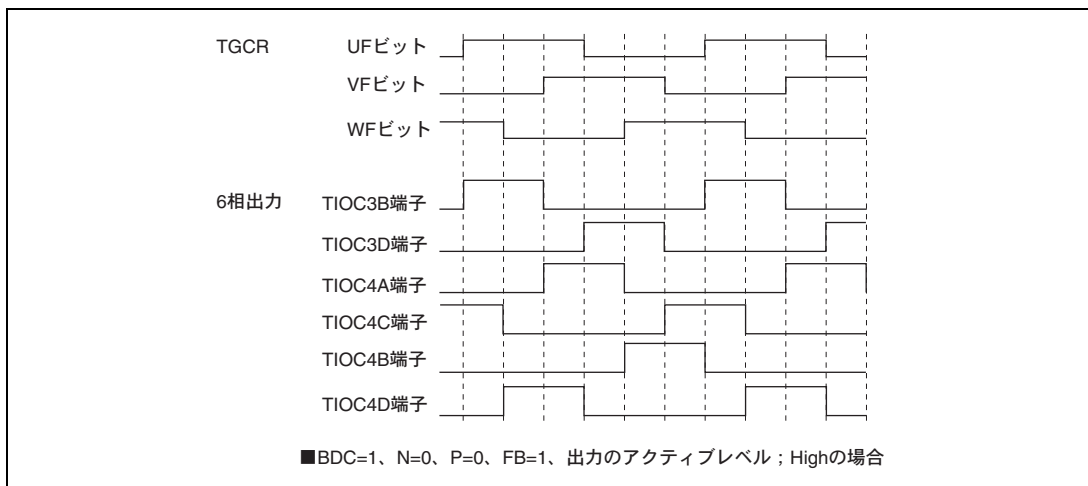


図 27.65 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

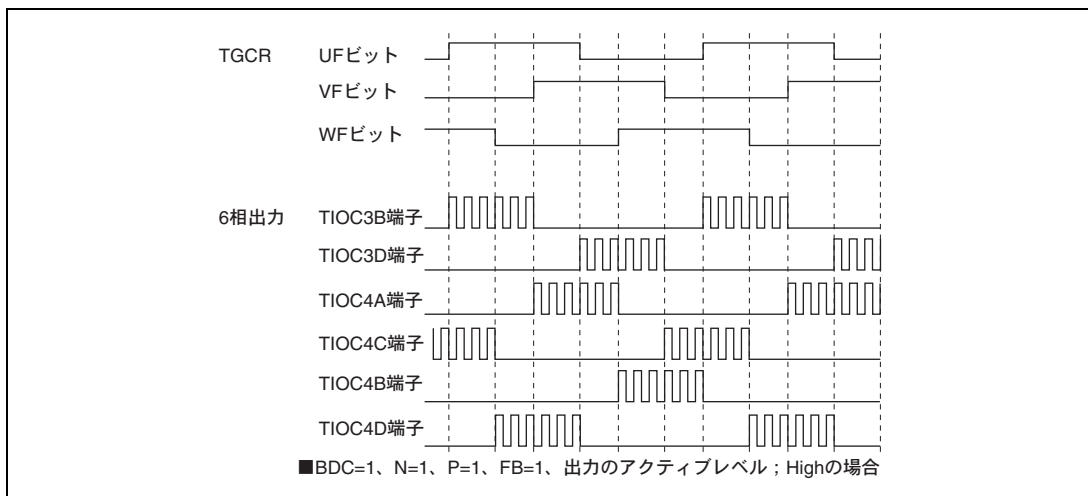


図 27.66 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイムインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA_3 (山の割り込み)、および TCIV_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「27.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 27.67 に示します。また、割り込み間引き回数の変更可能期間を図 27.68 に示します。

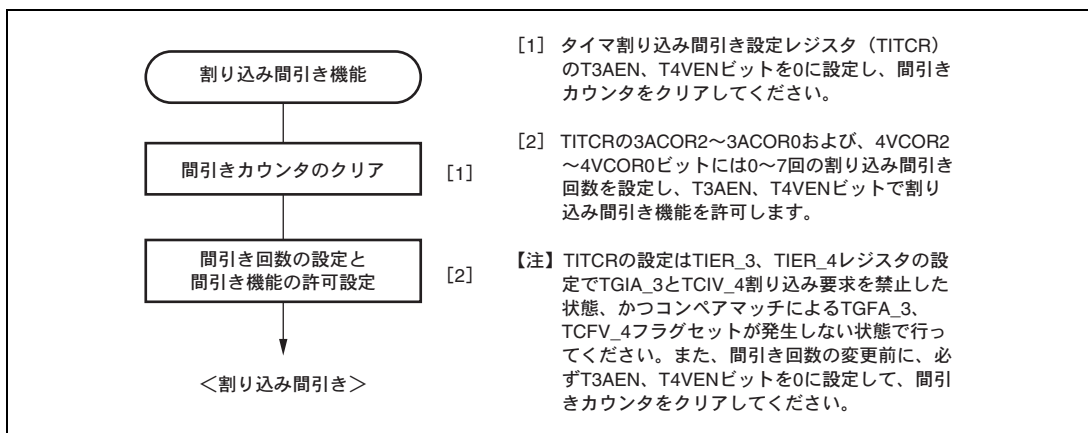


図 27.67 割り込み間引き機能の設定手順例

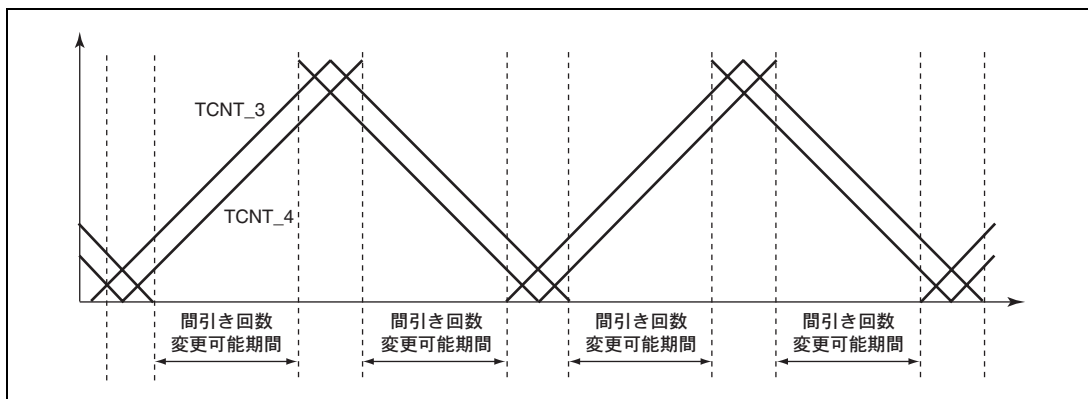


図 27.68 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ(TITCR)の3ACORビットで割り込みの間引き回数を3回に設定し、T3AENビットを1に設定した場合の、TGIA_3割り込み間引きの動作例を図27.69に示します。

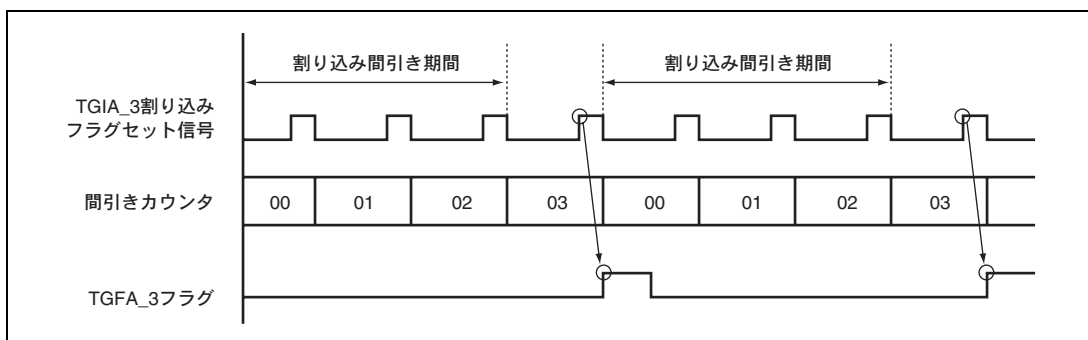


図 27.69 割り込み間引き機能の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ(TBTER)レジスタのBTE1、BTE0ビットを設定することで、相補PWMモード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑制する設定(BTE1=0、BTE0=1)にした場合の動作例を図27.70に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定(BTE1=1、BTE0=0)にした場合の動作例を図27.71に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが2種類あります。

なお、タイマ割り込み間引き設定レジスタ(TITCR)のT3AENビットを1に設定した場合、T4VENビットを1に設定した場合、T3AEN/T4VENビットを1に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCRのT3AEN、T4VENビットの設定とバッファ転送許可期間の関係を図27.72に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

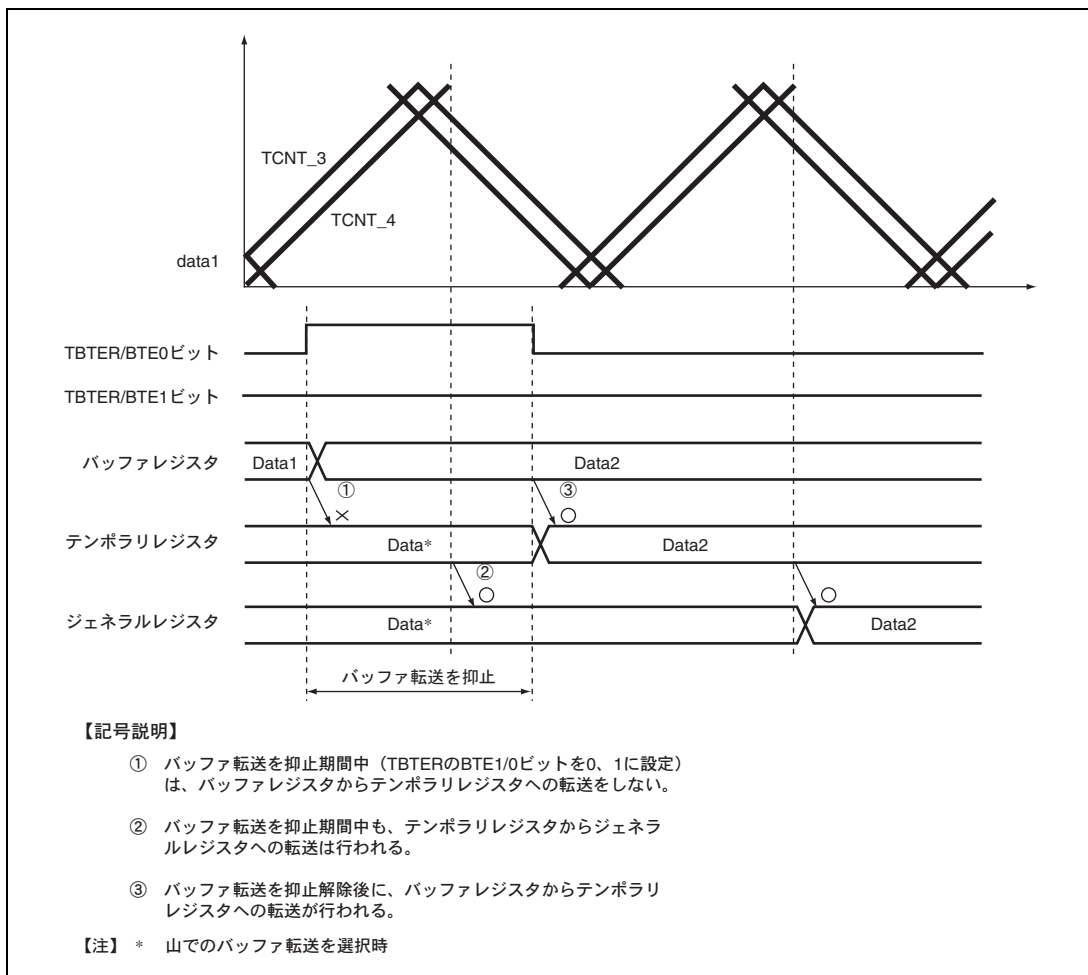


図 27.70 バッファ転送を抑制する設定（BTE1=0、BTE0=1）にした場合の動作例

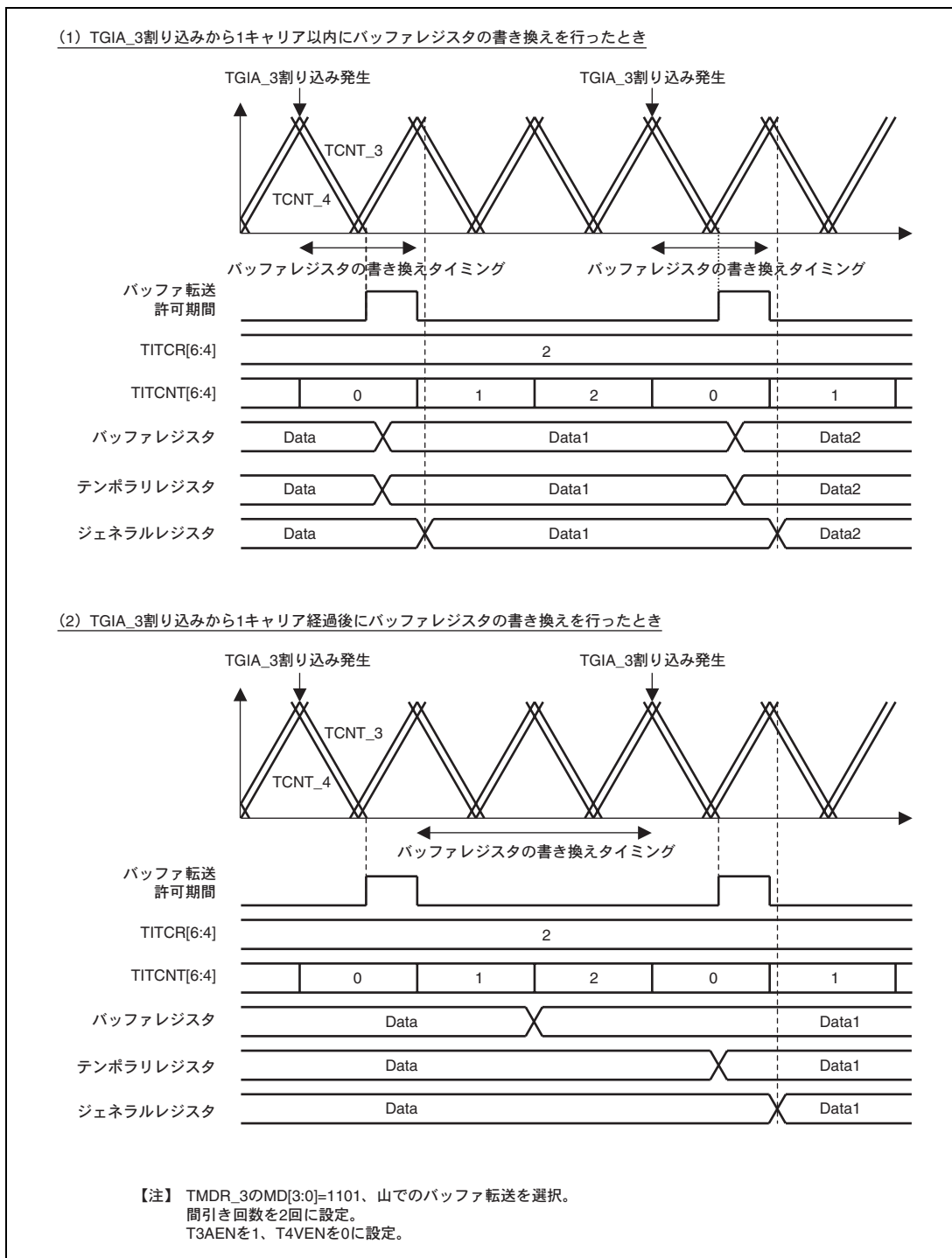


図 27.71 バッファ転送を割り込み間引きと連動する設定 (BTE1=1、BTE0=0) にした場合の動作例

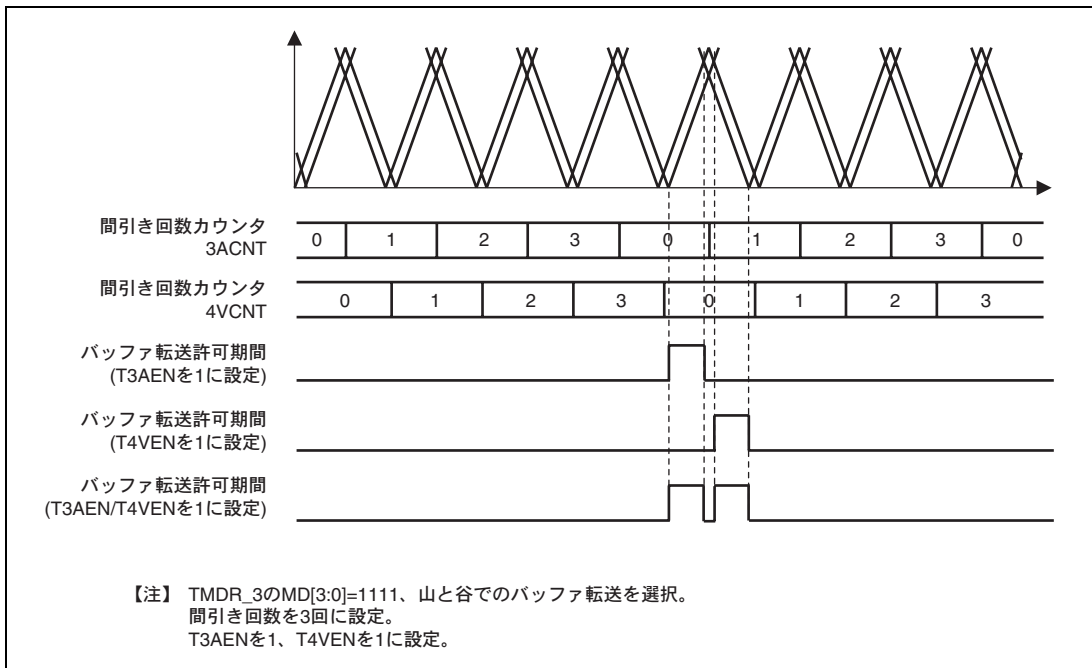


図 27.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と
バッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

27.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA_4、TADCORB_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA_4、TADCOBRB_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D変換開始要求ディレイド機能の設定手順例

A/D変換開始要求ディレイド機能の設定手順例を図27.73に示します。

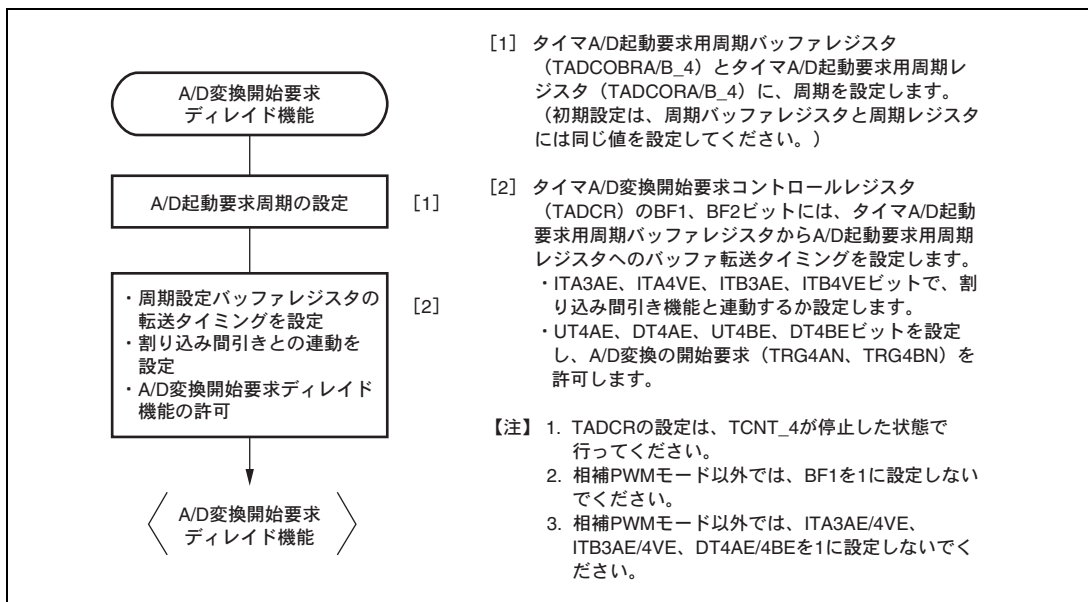


図 27.73 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングをTCNT_4の谷に設定し、TCNT_4のダウンカウント時にA/D変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D変換の開始要求信号 (TRG4AN) の基本動作例を図27.74に示します。

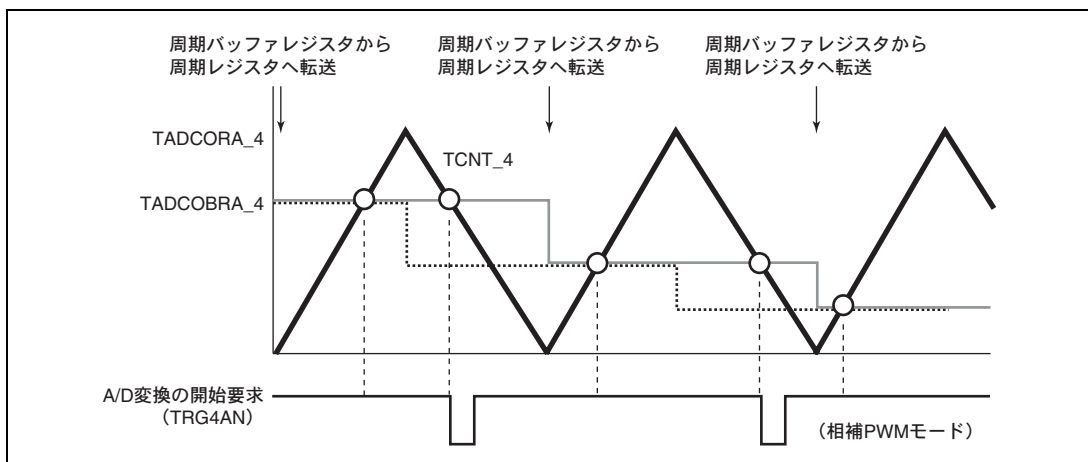


図 27.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

- バッファ転送

タイマA/D起動要求用周期設定レジスタ (TADCORA/B_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR_4) のBF1、BF0ビットを設定することにより選択することができます。

- 割り込み間引き機能と連動したA/D変換開始要求ディレイド機能

タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VEビットの設定により、割り込み間引き機能と連動してA/D変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT_4のアップカウント時、およびダウンカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図27.75に示します。

また、TCNT_4のアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図27.76に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット (3ACOR、4VCOR) を0に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VEビットを0に設定) 設定にしてください。

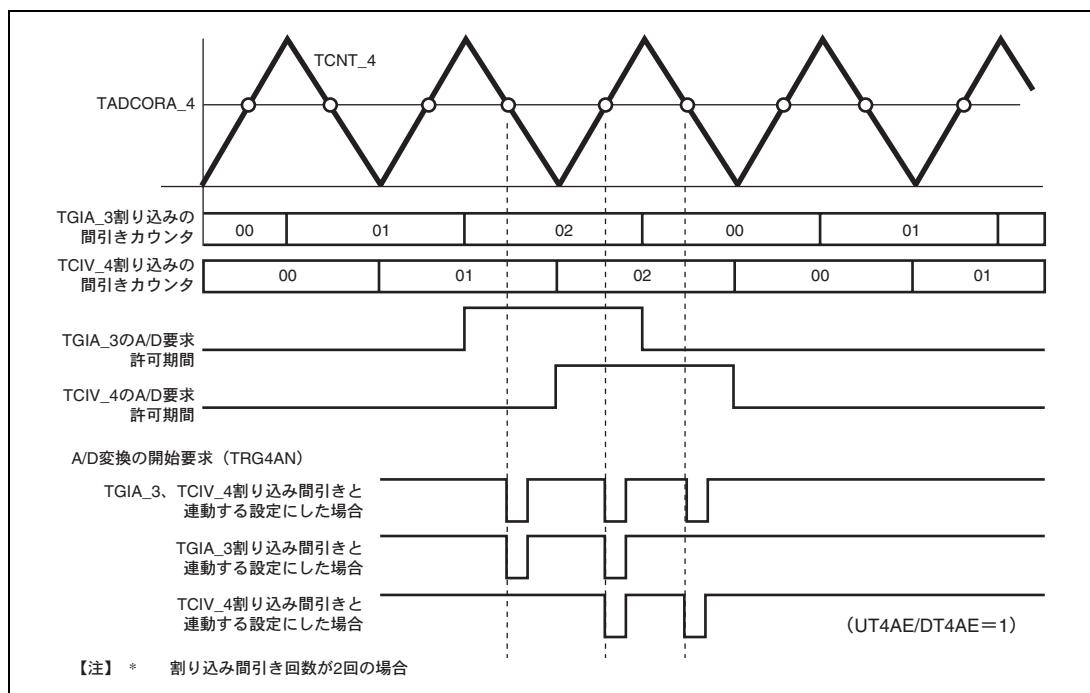


図 27.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

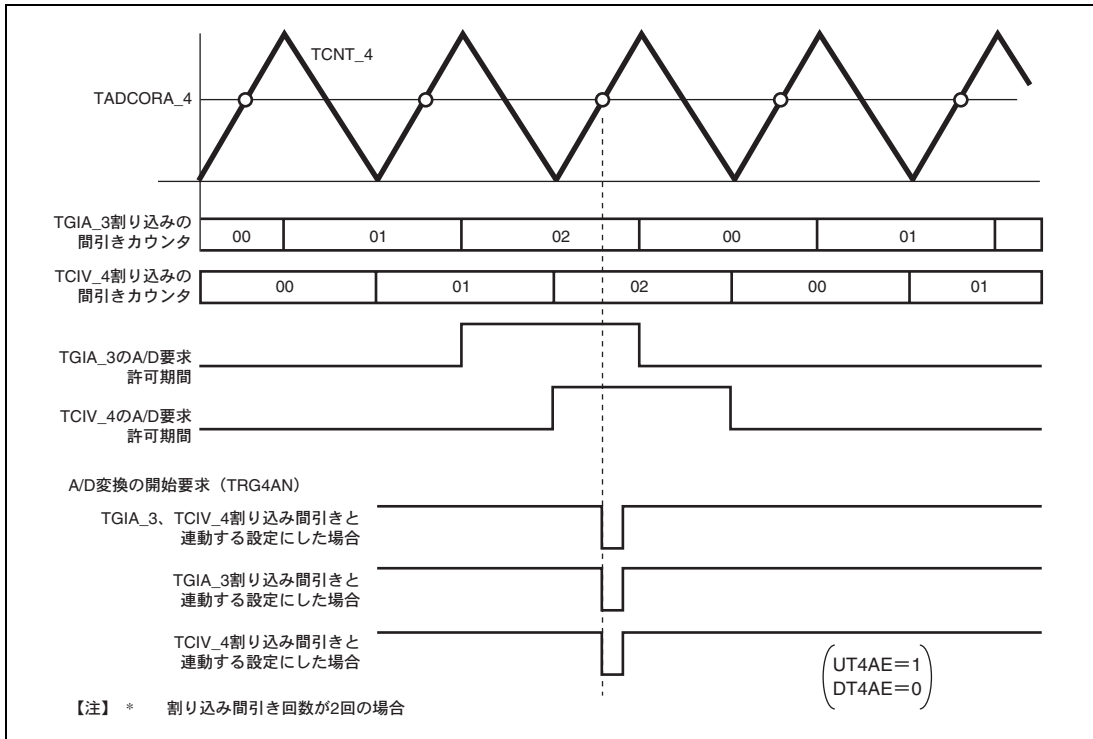


図 27.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

27.4.10 相補 PWM の「山／谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 27.77 は TCNT はフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

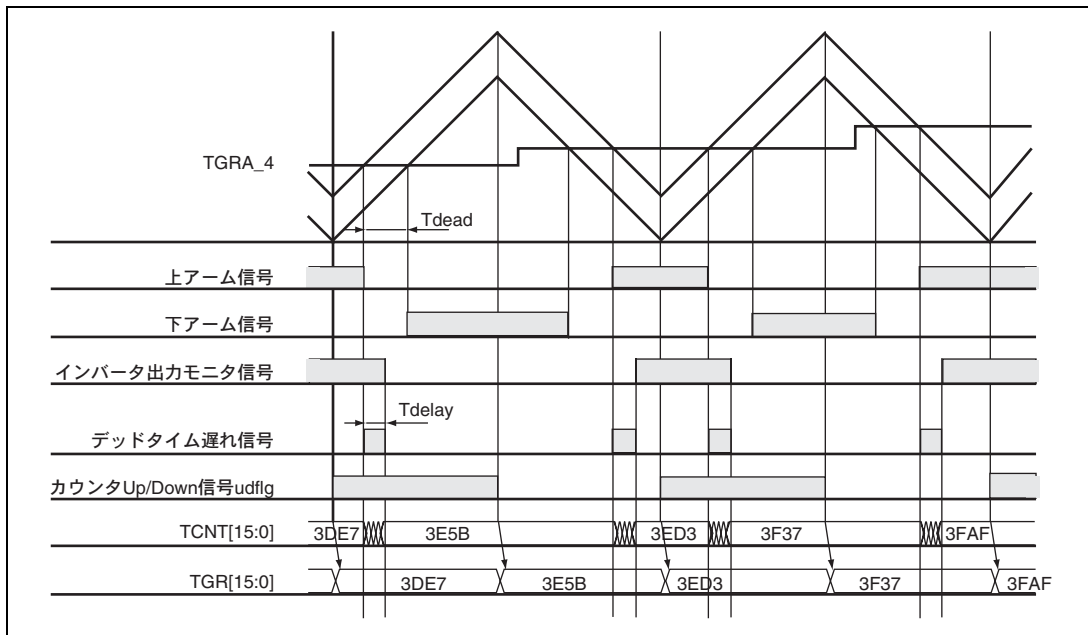


図 27.77 相補 PWM の「山／谷」での TCNT キャプチャ動作

27.5 割り込み要因

27.5.1 割り込み要因と優先順位

本モジュールの割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、SH2A 製品とは違い、すべて同列で割り込みコントローラにより取り扱われます。詳細は「第 7 章 割り込みコントローラ (INTC、INTC2)」を参照してください。

表 27.55 に本モジュールの割り込み要因の一覧を示します。

表 27.55 マルチファンクションタイマパルスユニット 2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	ダイレクト メモリアクセス コントローラの 起動
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可

チャンネル	名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
4	TGIA_4	TGRA_4のインプットキャプチャ/コンペアマッチ	TGFA_4	可
	TGIB_4	TGRB_4のインプットキャプチャ/コンペアマッチ	TGFB_4	不可
	TGIC_4	TGRC_4のインプットキャプチャ/コンペアマッチ	TGFC_4	不可
	TGID_4	TGRD_4のインプットキャプチャ/コンペアマッチ	TGFD_4	不可
	TCIV_4	TCNT_4のオーバフロー/アンダフロー	TCFV_4	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。本モジュールには、チャンネル0に6本、チャンネル3、4に各4本、チャンネル1,2に各2本、計18本のインプットキャプチャ/コンペアマッチ割り込みがあります。チャンネル0のTGFE_0、TGFF_0フラグは、インプットキャプチャではセットされません。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。本モジュールには、各チャンネルに1本、計5本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。本モジュールには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

27.5.2 ダイレクトメモリアクセスコントローラの起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、ダイレクトメモリアクセスコントローラを起動することができます。詳細は「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ (LBSC-DMAC/HPB-DMAC)」を参照してください。

本モジュールでは、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みをダイレクトメモリアクセスコントローラの起動要因とすることができます。

27.5.3 A/D 変換器の起動

本モジュールでは、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 27.56 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷 (TCNT_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷 (TCNT_4 = H'0000) になった場合

これらのとき A/D 変換器側で本モジュールの変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で本モジュールの変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「27.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 27.56 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

27.6 動作タイミング

27.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 27.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 27.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 27.80 に示します。

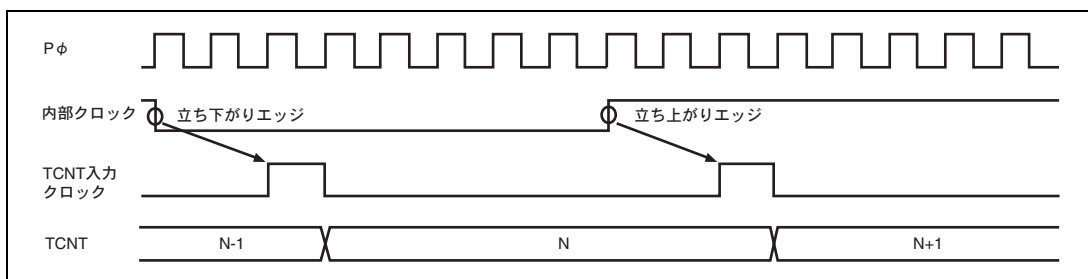


図 27.78 内部クロック動作時のカウントタイミング

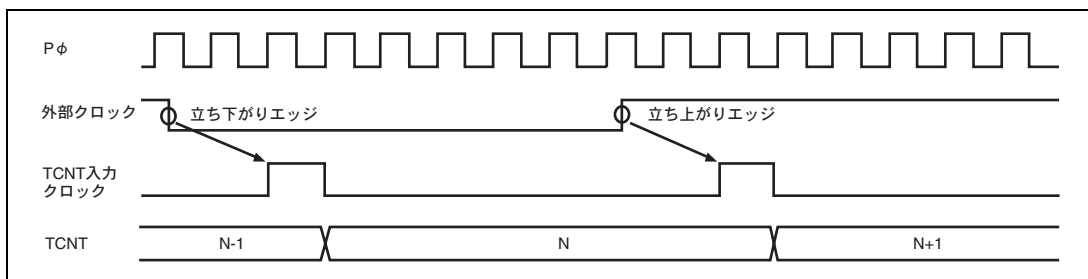


図 27.79 外部クロック動作時のカウントタイミング

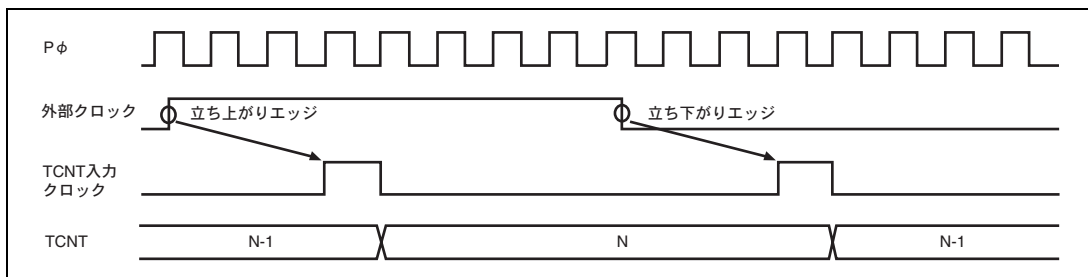


図 27.80 外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子（TIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 27.81 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 27.82 に示します。

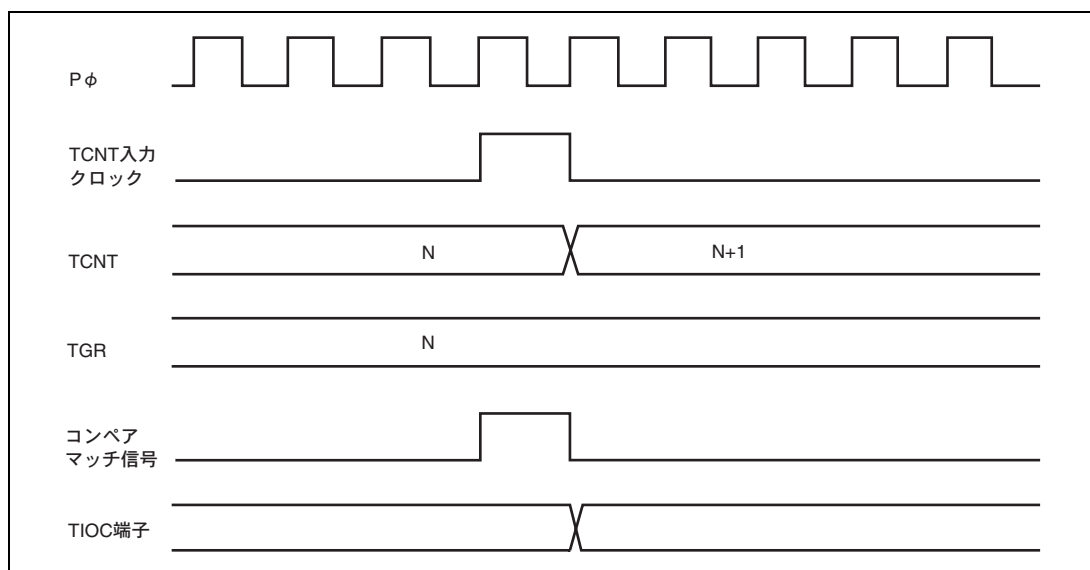


図 27.81 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

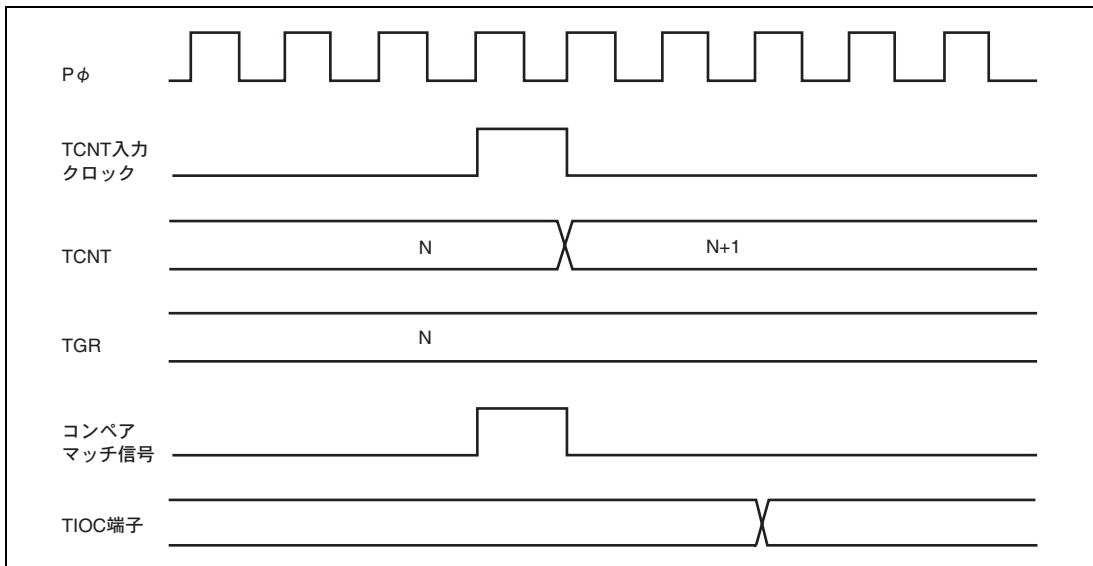


図 27.82 アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 27.83 に示します。

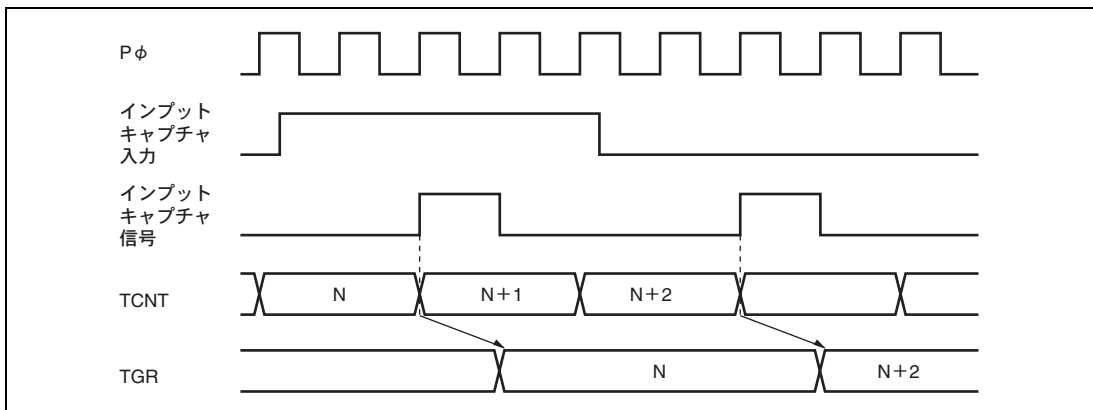


図 27.83 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 27.84 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 27.85 に示します。

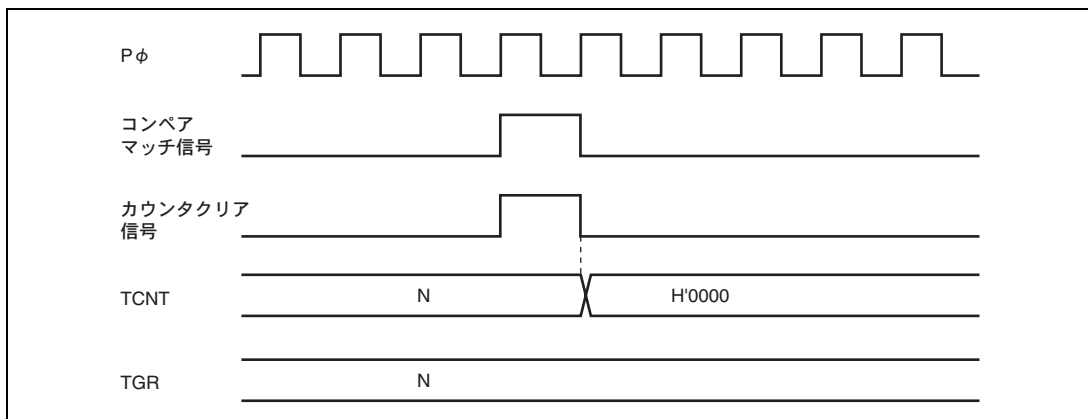


図 27.84 カウンタクリアタイミング (コンペアマッチ)

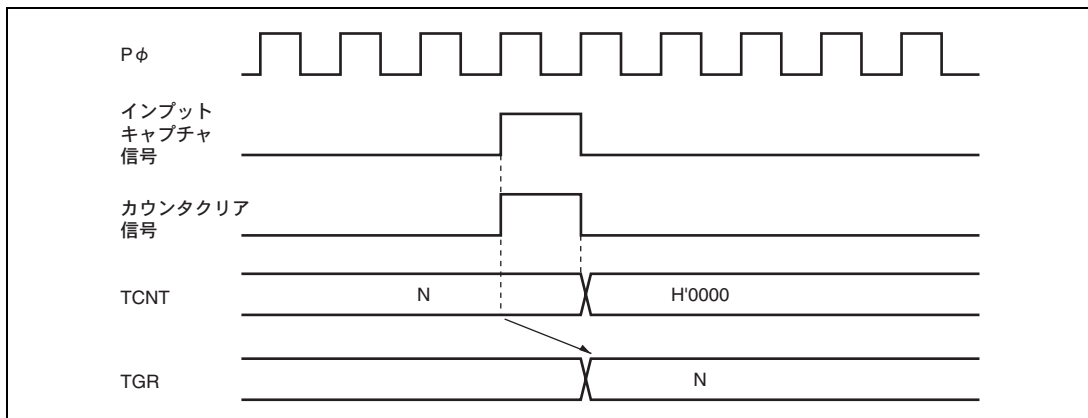


図 27.85 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 27.86～図 27.88 に示します。

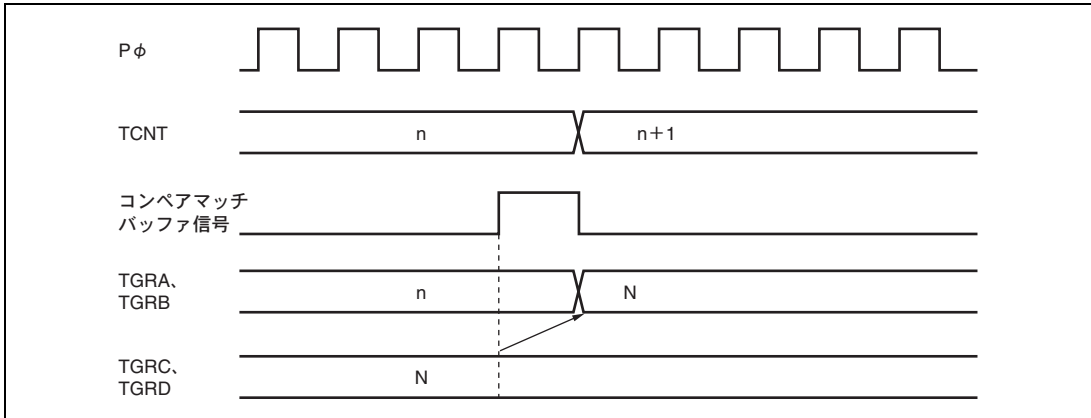


図 27.86 バッファ動作タイミング (コンペアマッチ)

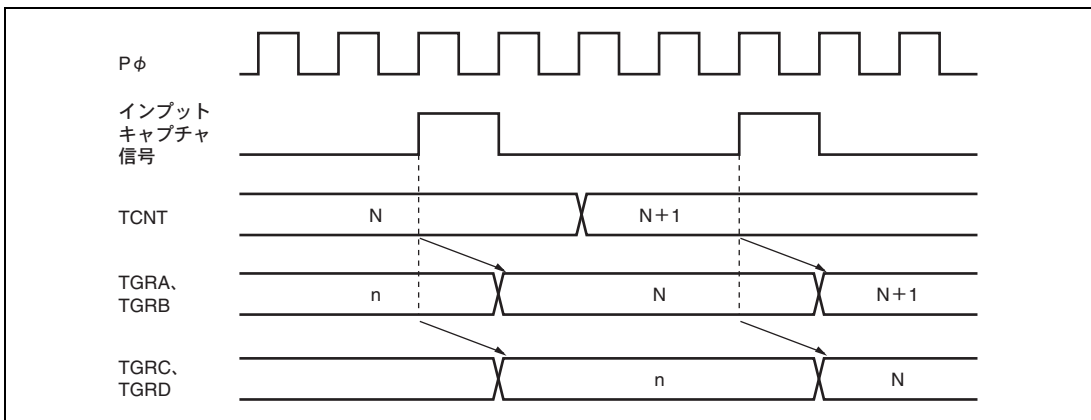


図 27.87 バッファ動作タイミング (インプットキャプチャ)

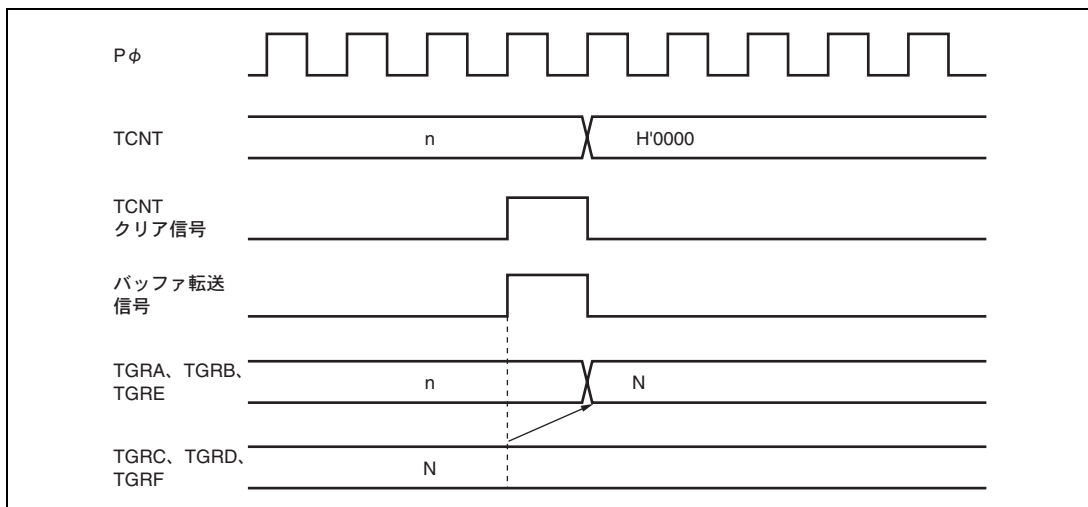


図 27.88 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 27.89～図 27.91 に示します。

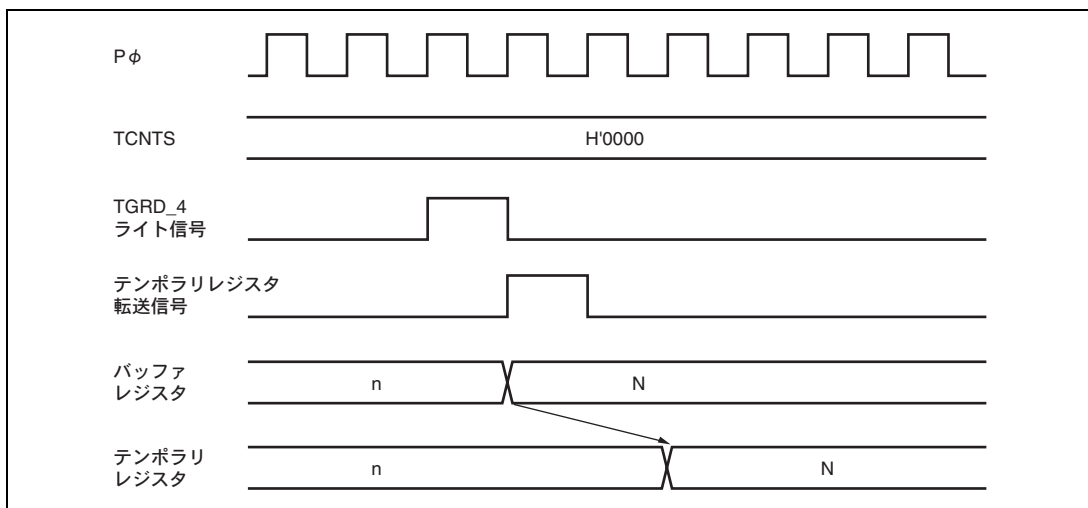


図 27.89 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

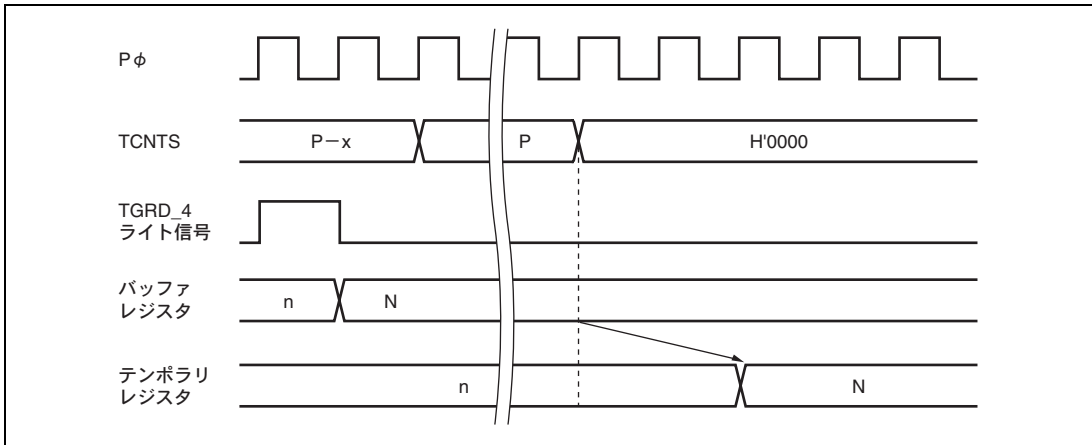


図 27.90 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

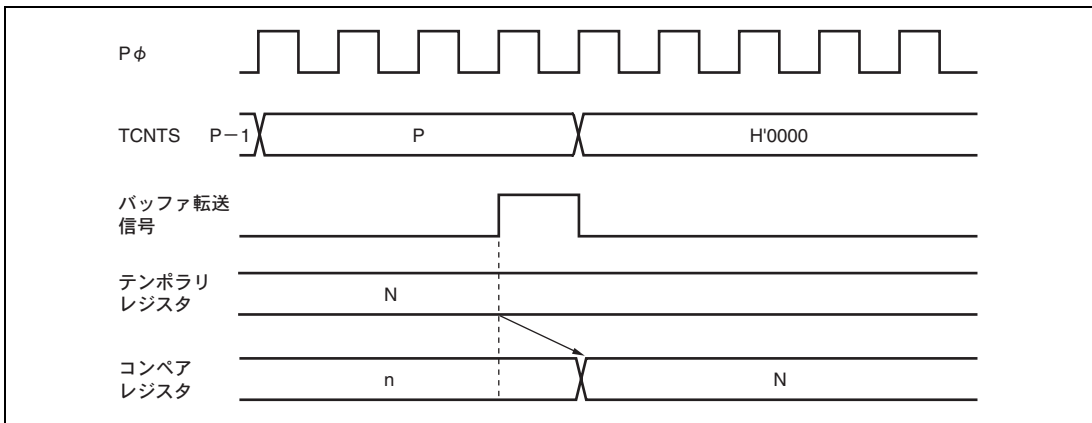


図 27.91 テンポラリレジスタからコンペアレジスタへの転送タイミング

27.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 27.92 に示します。

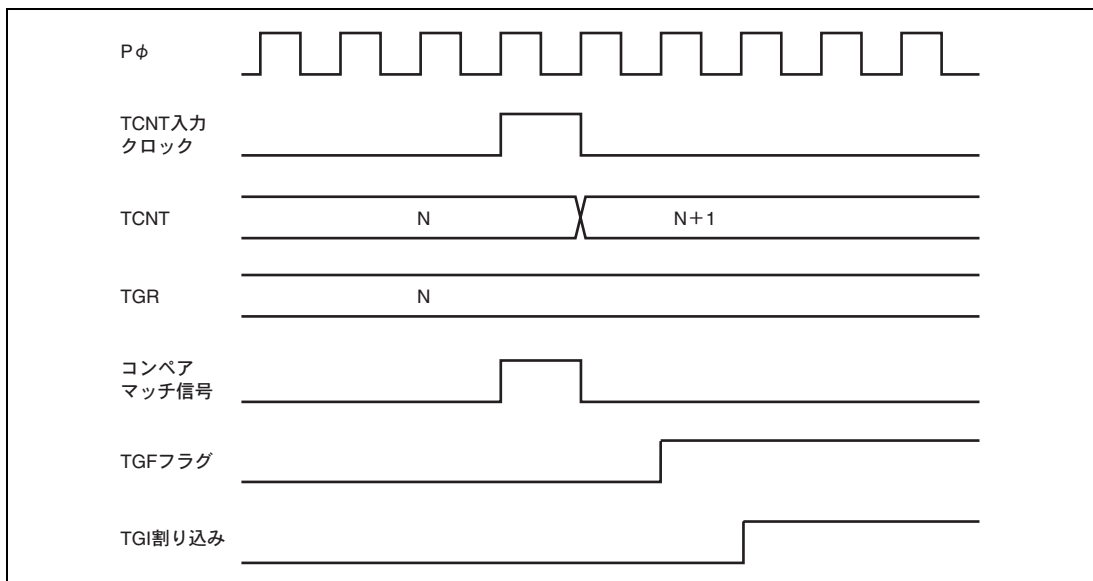


図 27.92 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 27.93 に示します。

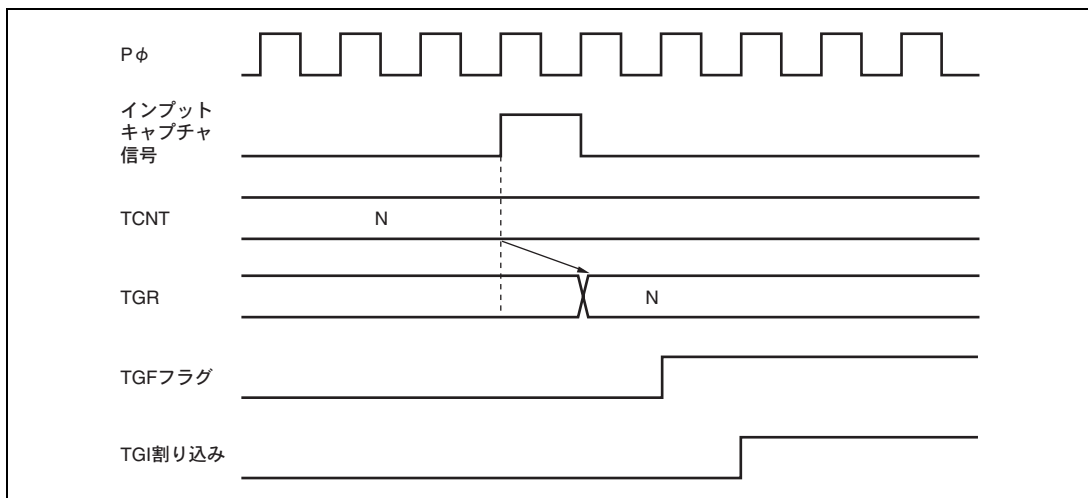


図 27.93 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 27.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 27.95 に示します。

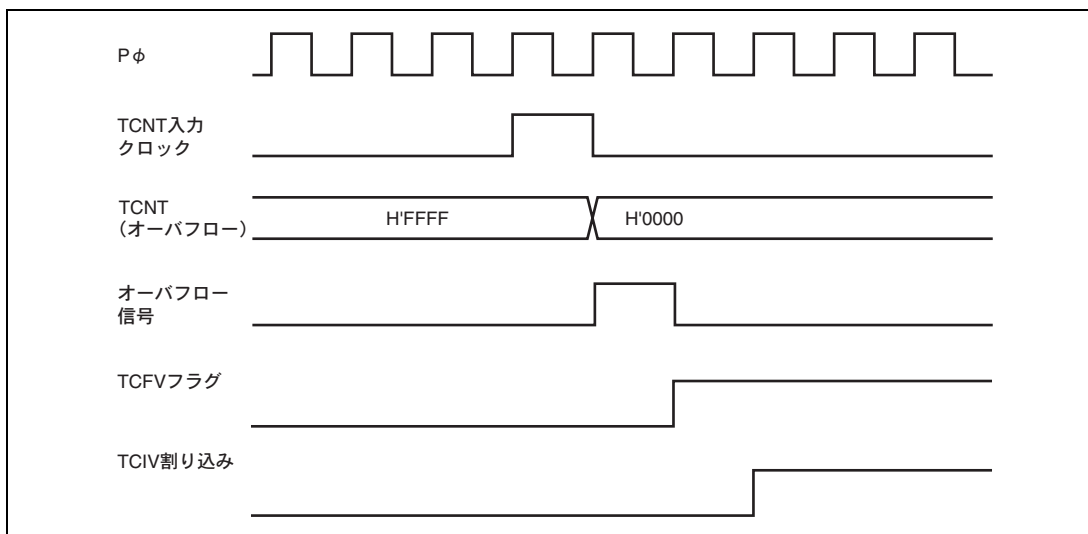


図 27.94 TCIV 割り込みのセットタイミング

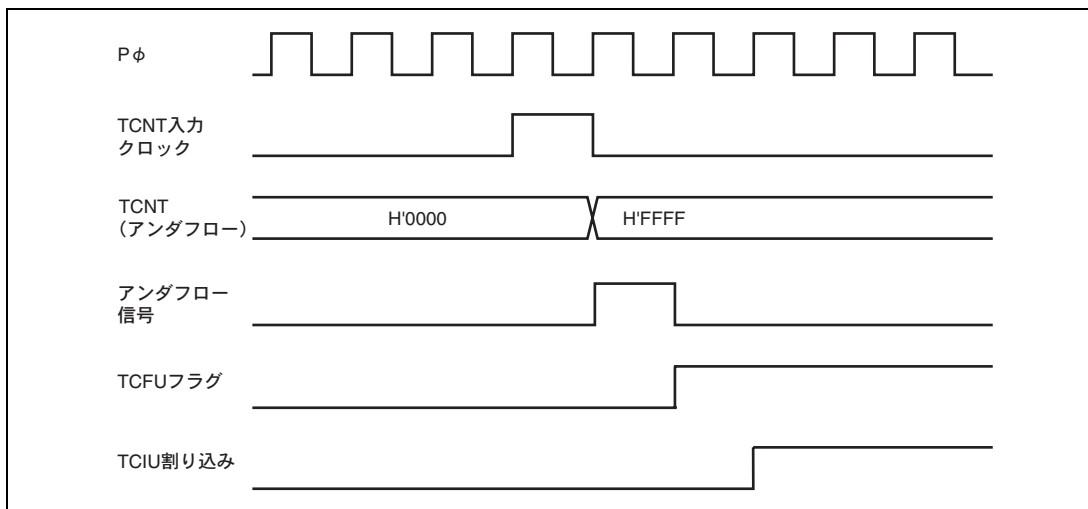


図 27.95 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。ダイレクトメモリアクセスコントローラを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図 27.96 に、ダイレクトメモリアクセスコントローラによるステータスフラグのクリアのタイミングを図 27.97 に示します。

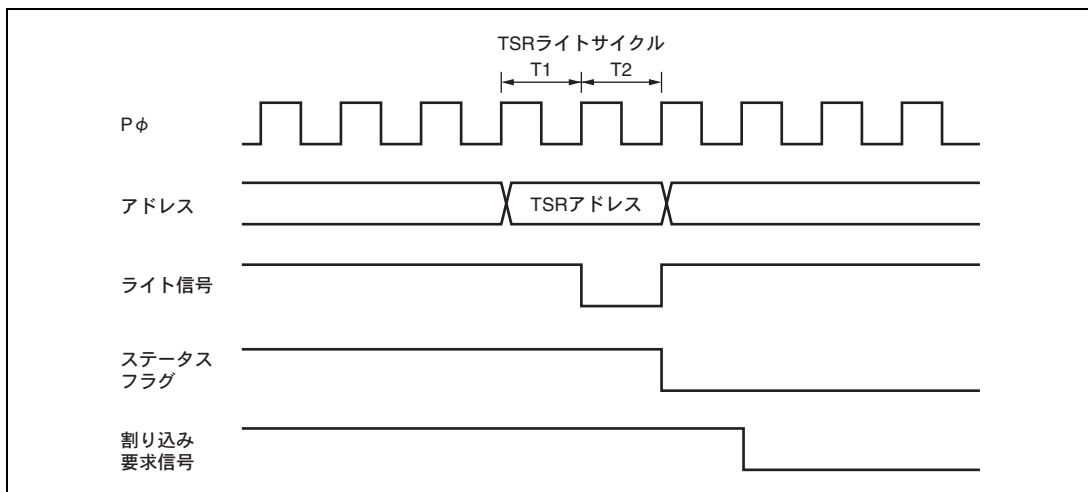


図 27.96 CPU によるステータスフラグのクリアタイミング

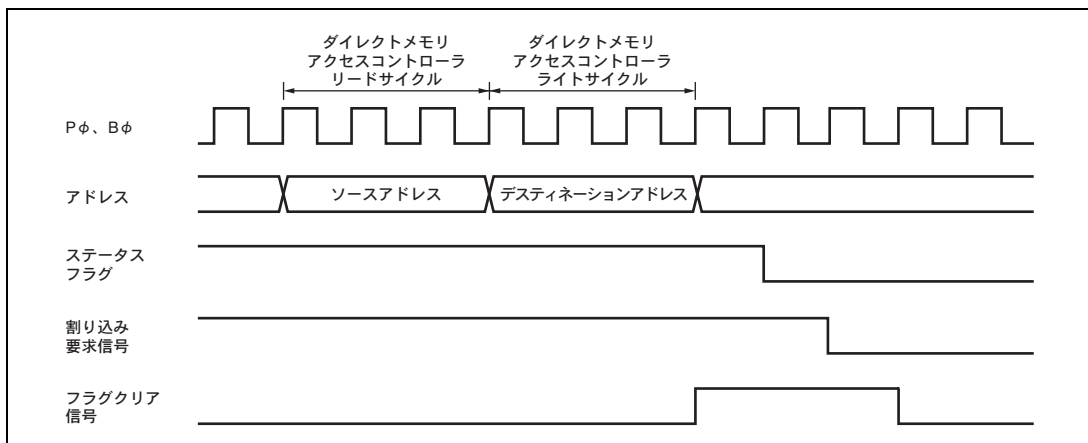


図 27.97 ダイレクトメモリアクセスコントローラの起動によるステータスフラグのクリアタイミング

27.7 使用上の注意事項

27.7.1 モジュールスタンバイモードの設定

本モジュールは、スタンバイコントロールレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値では、本モジュールの動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第9章 動作モード、低消費電力モード」を参照してください。

27.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5 ステートクロック以上、両エッジの場合は2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 ステート以上、パルス幅は2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図27.98に示します。

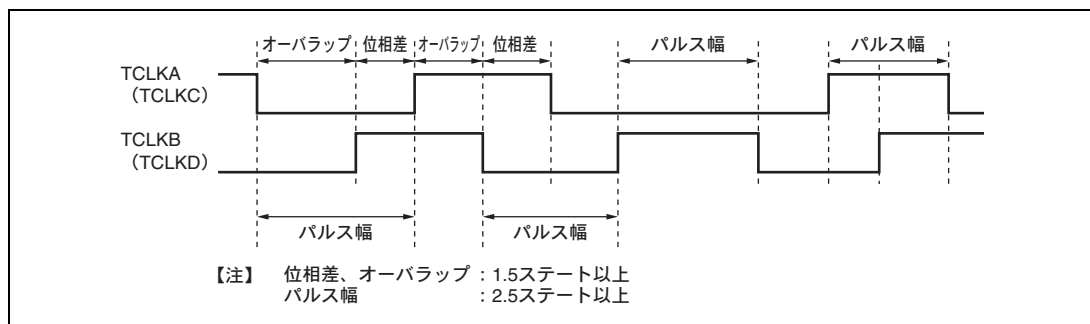


図 27.98 位相計数モード時の位相差、オーバーラップ、およびパルス幅

27.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 本モジュール用の周辺クロック動作周波数

N : TGR の設定値

27.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 27.99 に示します。

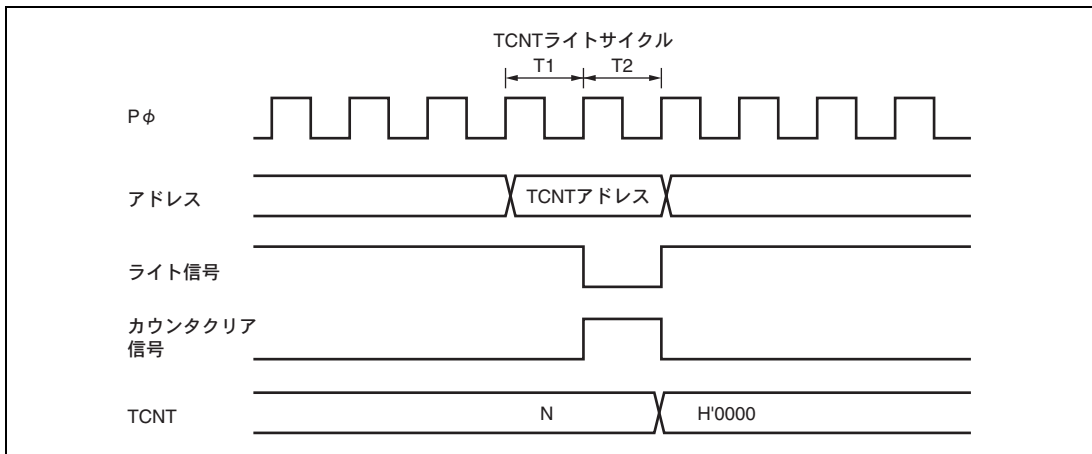


図 27.99 TCNT のライトとクリアの競合

27.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 27.100 に示します。

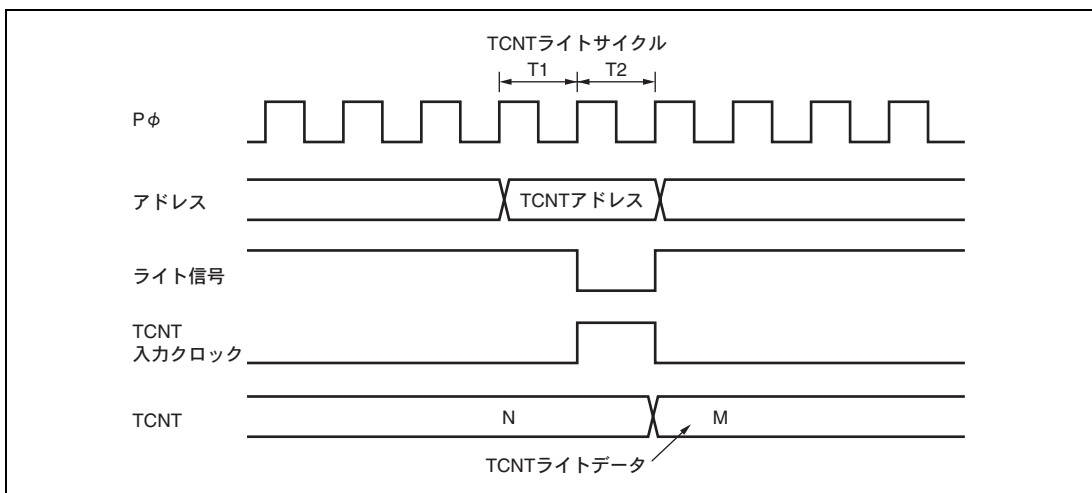


図 27.100 TCNT のライトとカウントアップの競合

27.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 27.101 に示します。

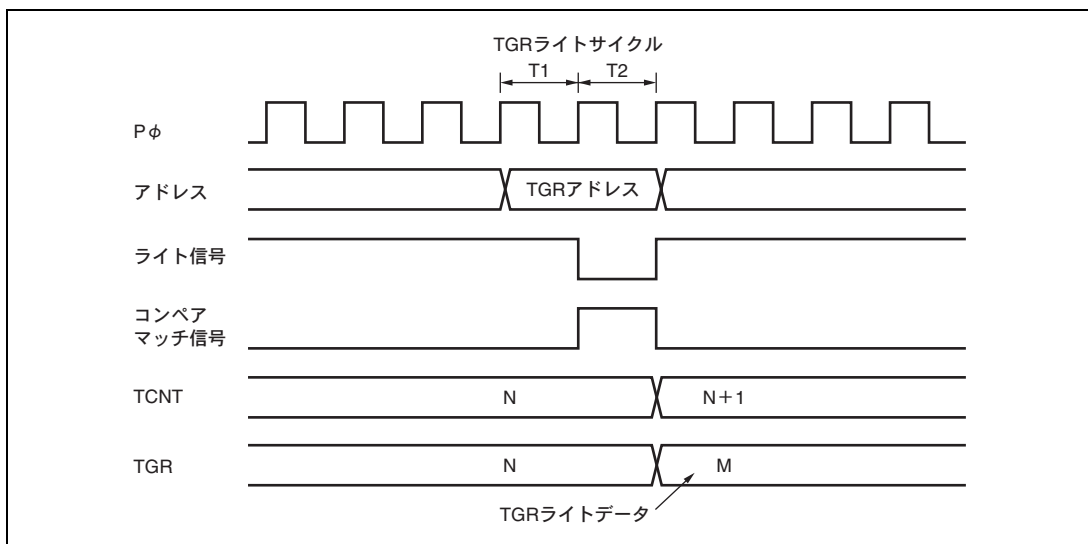


図 27.101 TGR のライトとコンペアマッチの競合

27.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 27.102 に示します。

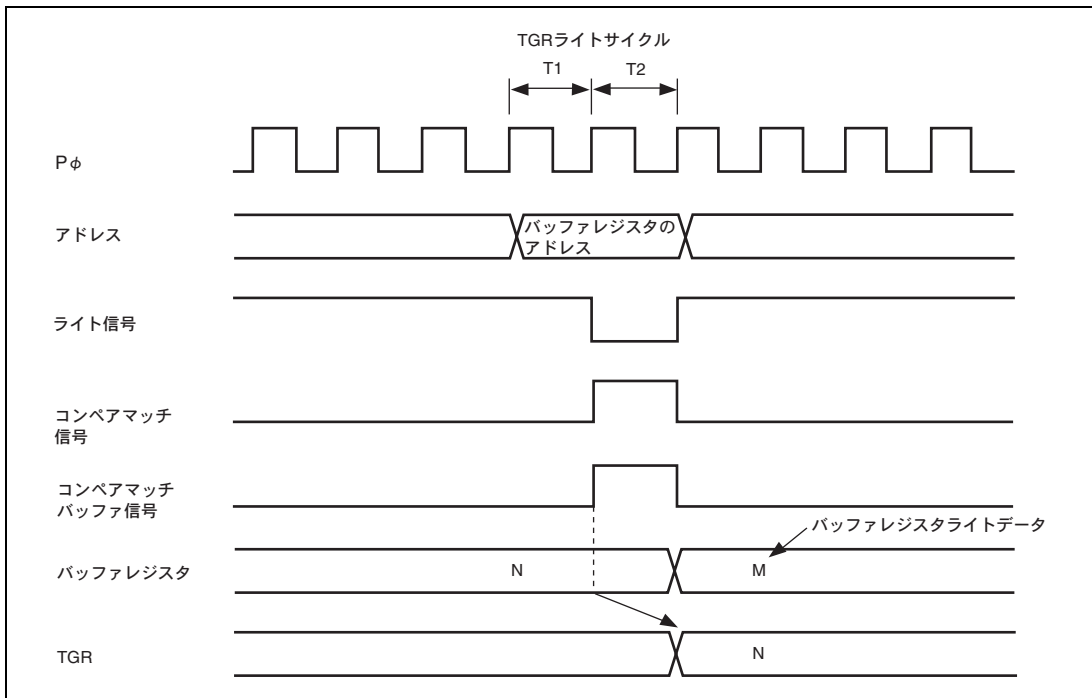


図 27.102 バッファレジスタのライトとコンペアマッチの競合

27.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 27.103 に示します。

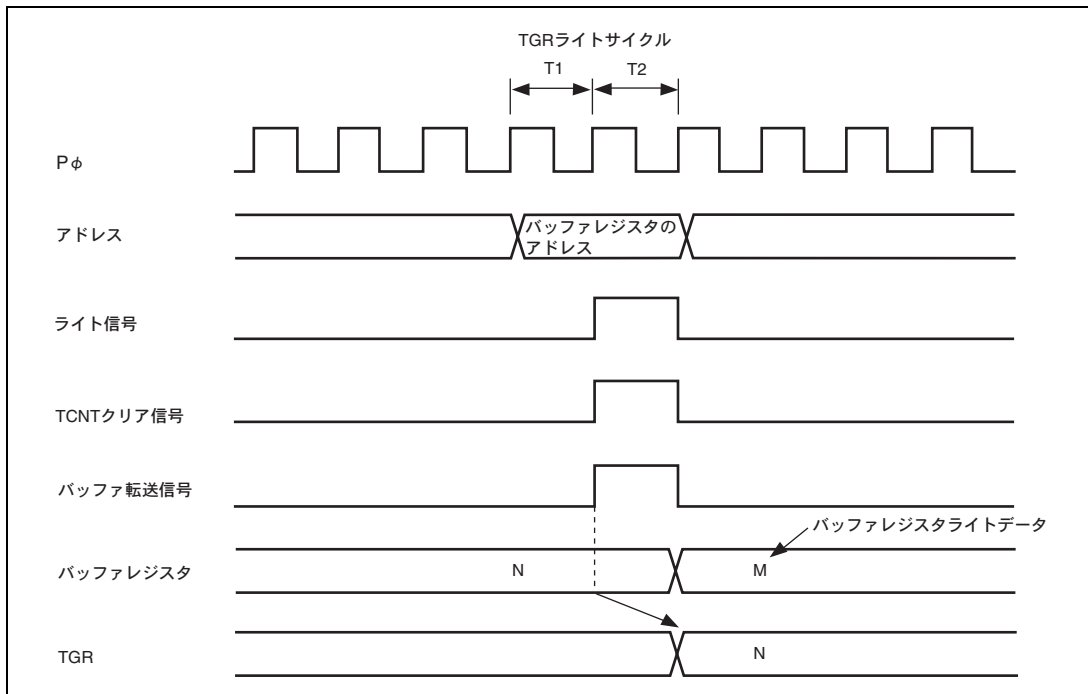


図 27.103 バッファレジスタのライトと TCNT クリアの競合

27.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 27.104 に示します。

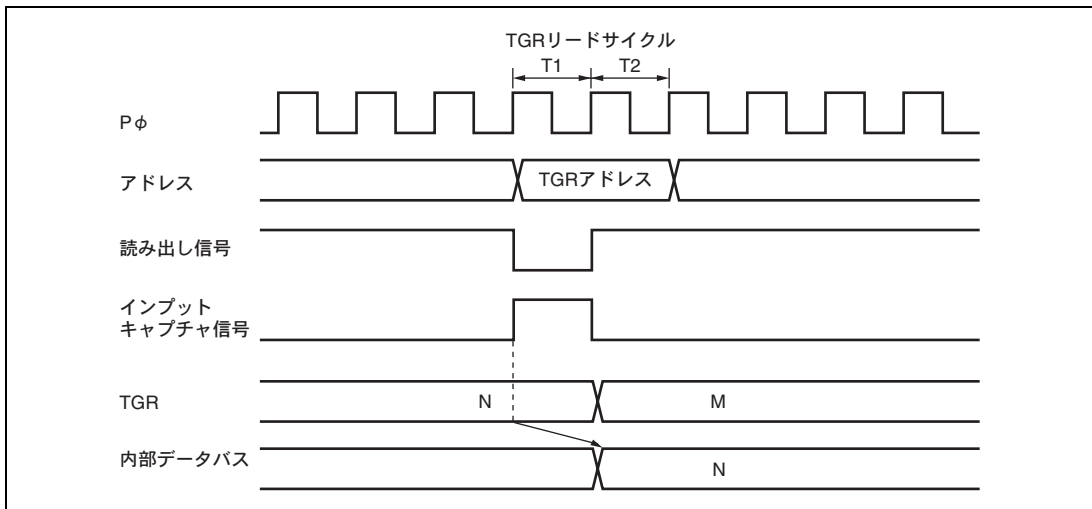


図 27.104 TGR のリードとインプットキャプチャの競合

27.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 27.105 に示します。

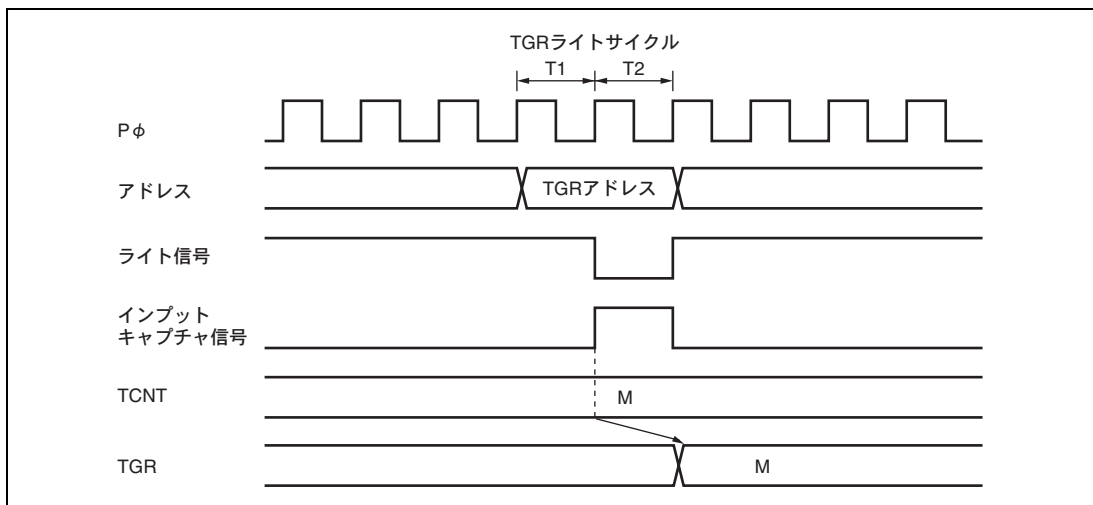


図 27.105 TGR のライトとインプットキャプチャの競合

27.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 27.106 に示します。

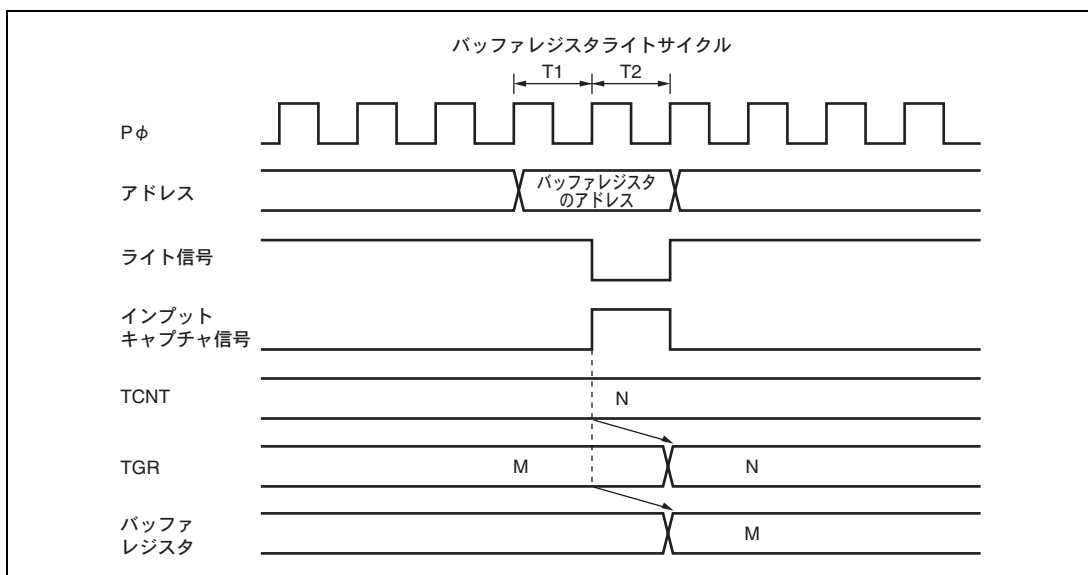


図 27.106 バッファレジスタのライトと入力キャプチャの競合

27.7.12 カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー／アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0~D_0 は入力キャプチャ動作します。さらに TGRB_1 の入力キャプチャ要因に TGRC_0 のコンペアマッチ／入力キャプチャを選択した場合には、TGRB_1 は入力キャプチャ動作します。

このタイミングを図 27.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

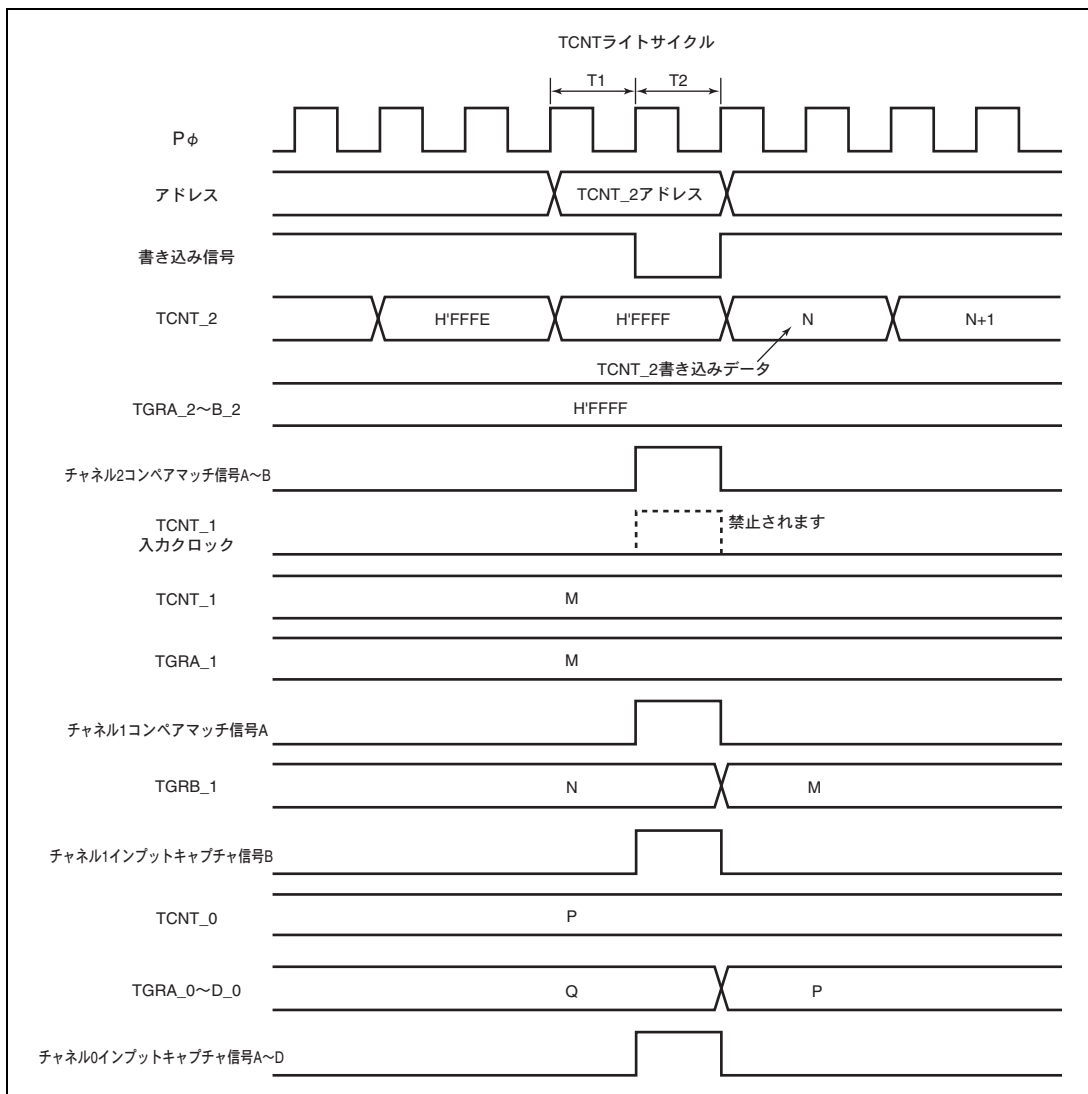


図 27.107 カスケード接続における TCNT_2 のライトとオーバーフロー/アンダフローの競合

27.7.13 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 27.108 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

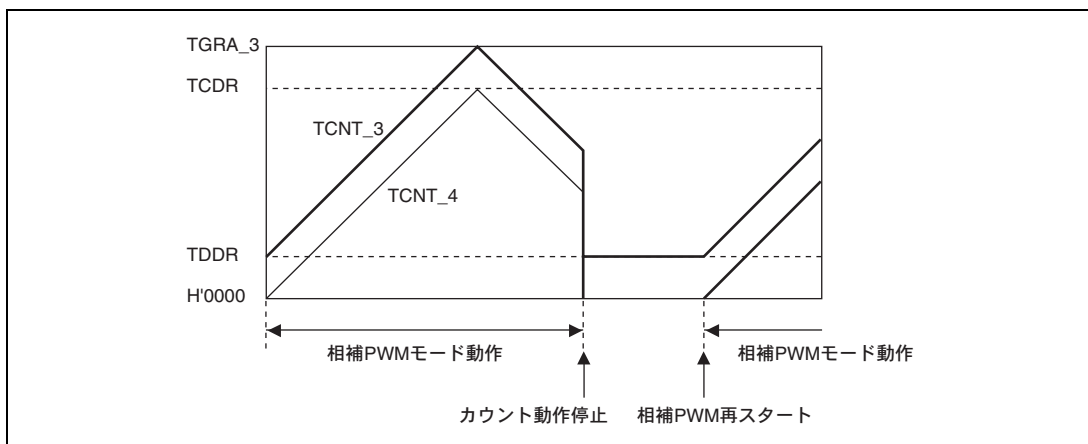


図 27.108 相補 PWM モード停止時のカウンタ値

27.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

27.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 27.109 に示します。

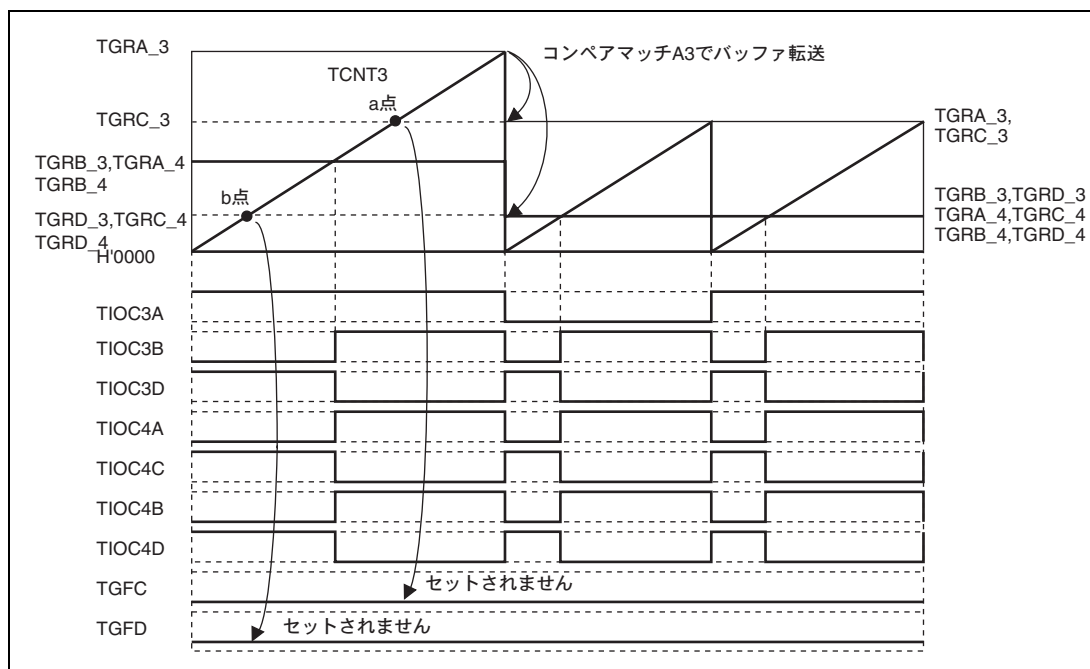


図 27.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

27.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 27.110 に示します。

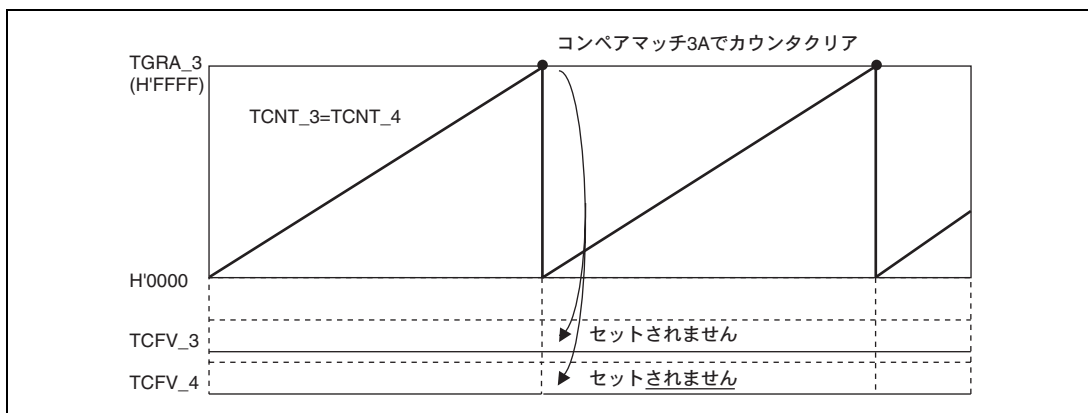


図 27.110 リセット同期 PWM モードのオーバーフローフラグ

27.7.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 27.111 に示します。

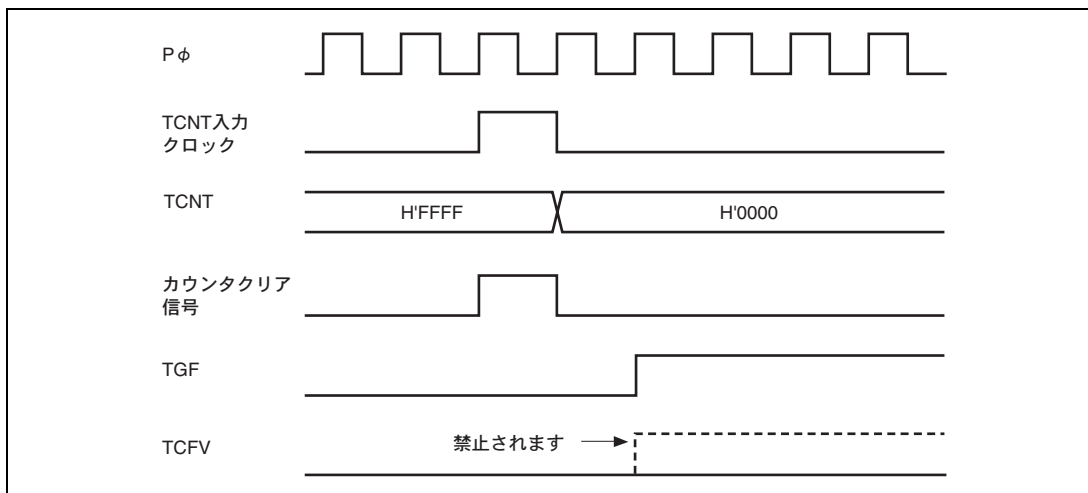


図 27.111 オーバフローとカウンタクリアの競合

27.7.18 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 27.112 に示します。

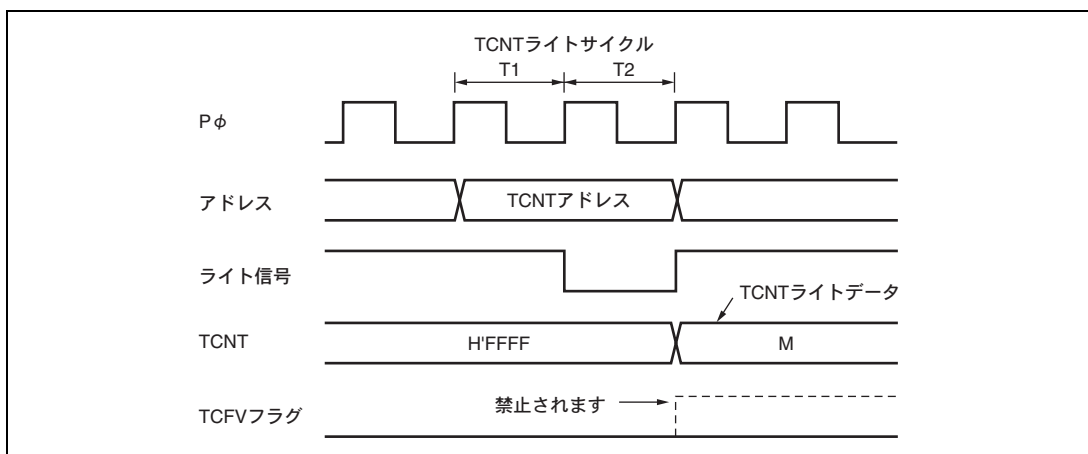


図 27.112 TCNT のライトとオーバフローの競合

27.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

27.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

27.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPU の割り込み要因、またはダイレクトメモリアクセスコントローラの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

27.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1 と TCNT_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1 (上位 16 ビットのカウンタ) が TCNT_2 (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGRA_1 と TGRA_2、もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

27.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1)とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる（もしくは消失）。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) 初期出力の抑止期間^⑩にて、PWM 出力がデッドタイム期間中に、同期クリアする（図 27.113）。

条件 (2) 初期出力の抑止期間^⑩、^⑪にて、 $TGRB_3 \leq TDDR$ 、 $TGRA_4 \leq TDDR$ 、 $TGRB_4 \leq TDDR$ のいずれかが成立する状態で、同期クリアする（図 27.114）。

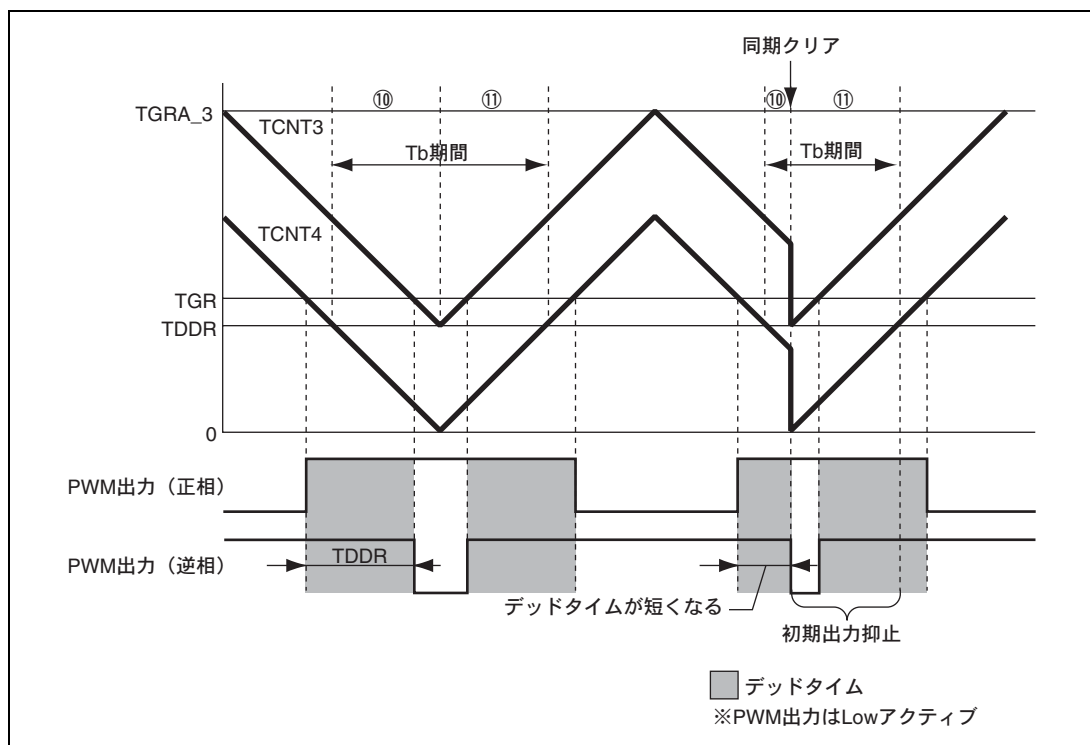


図 27.113 条件 (1) の同期クリア例

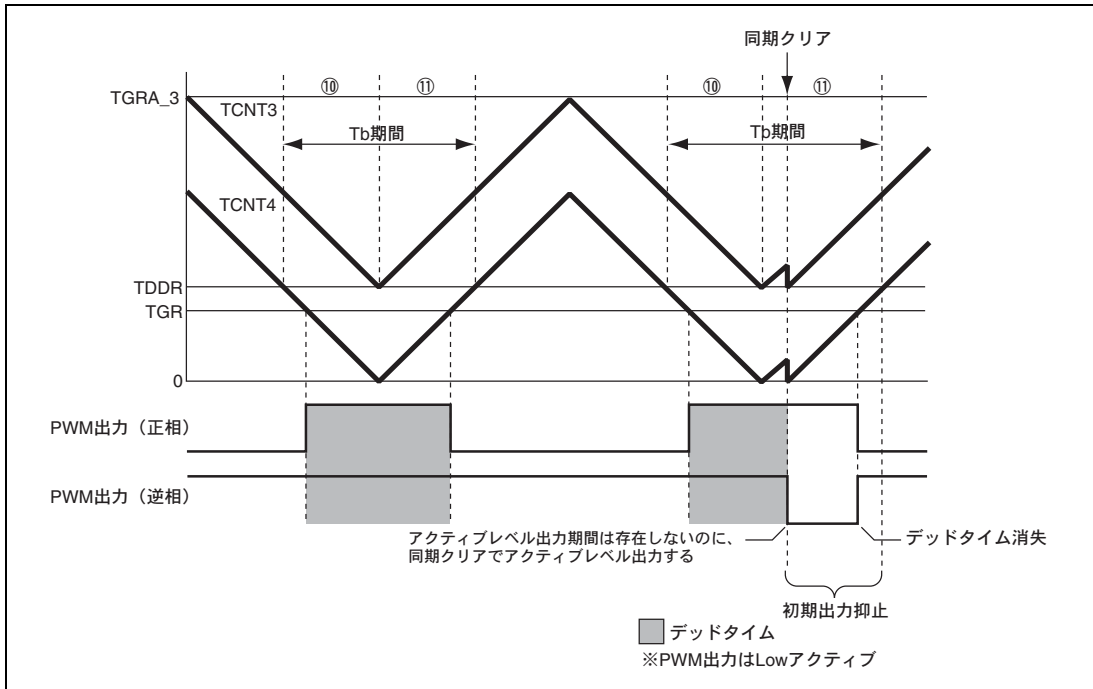


図 27.114 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンパアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

27.8 マルチファンクションタイマパルスユニット 2 出力端子の初期化方法

27.8.1 動作モード

本モジュールには以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの本モジュール出力端子の初期化方法について示します。

27.8.2 リセットスタート時の動作

本モジュールの出力端子 (TIOC*) はリセットまたはスタンバイモード時に L に初期化されます。本モジュールの端子機能の選択は汎用入出力ポートで行うため、汎用入出力ポートが設定された時点でそのときの本モジュールの端子の状態がポートに出力されます。リセット直後に汎用入出力ポートで本モジュールの出力を選択した場合、ポート出力には本モジュール出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、汎用入出力ポートの設定は本モジュールの出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

27.8.3 動作中の異常などによる再設定時の動作

本モジュールの動作中に異常が発生した場合、システムで本モジュールの出力を遮断してください。遮断は端子の出力を汎用入出力ポートでポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

本モジュールには前述のように6つの動作モードがあります。モード遷移の組み合わせは36通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 27.57 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 27.57 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

27.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインープルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 27.57 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルはLとします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 27.115 に示します。

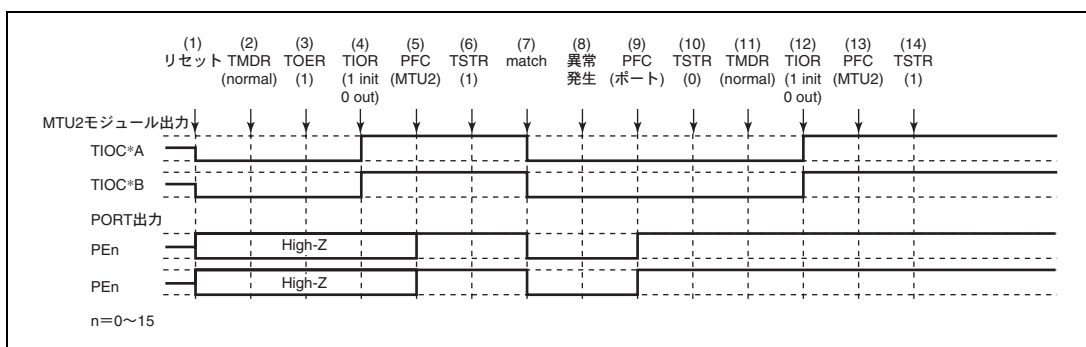


図 27.115 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.116 に示します。

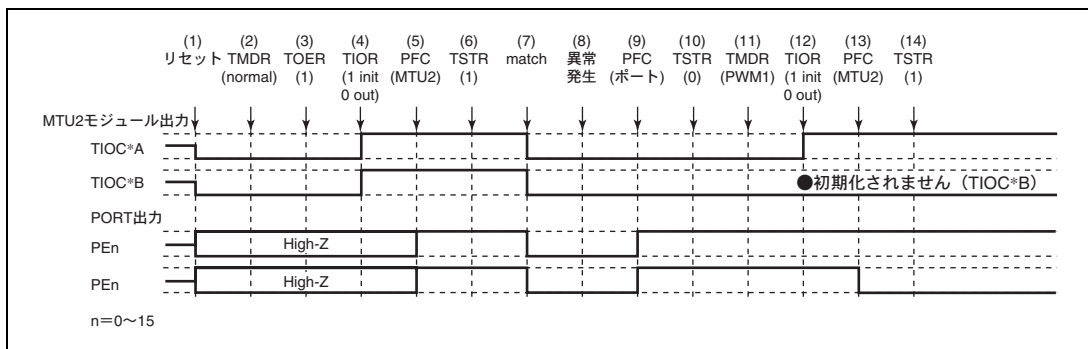


図 27.116 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 27.115 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 27.117 に示します。

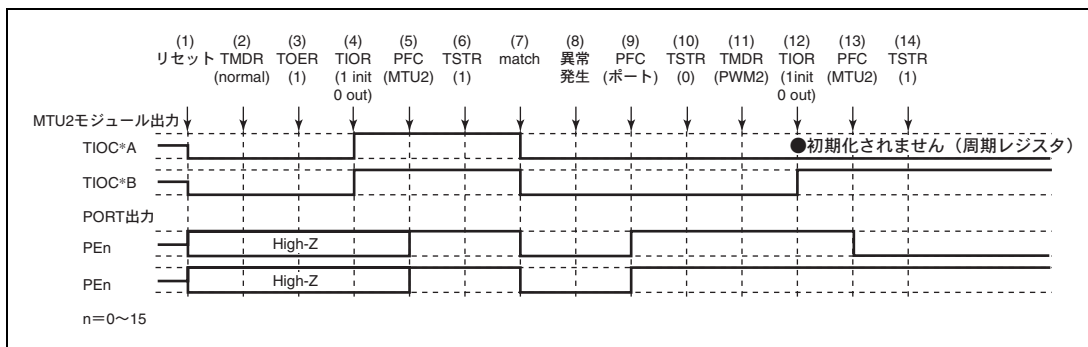


図 27.117 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 27.115 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 27.118 に示します。

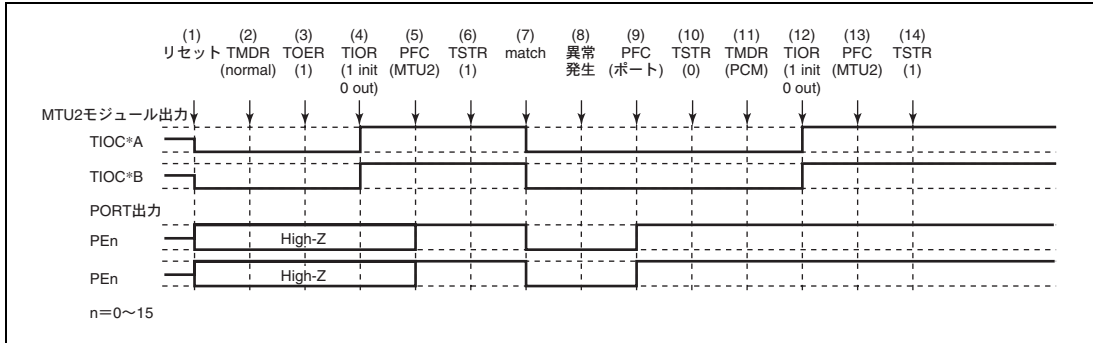


図 27.118 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 27.115 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 27.119 に示します。

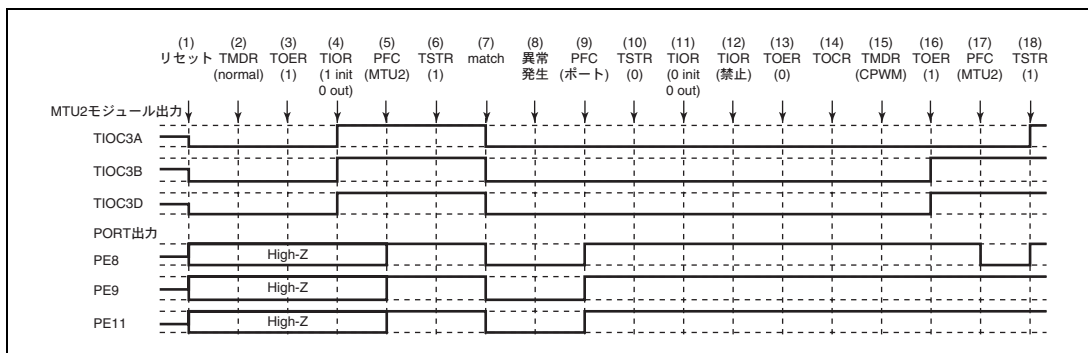


図 27.119 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 27.115 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) 汎用入出力ポートで本モジュール出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 27.120 に示します。

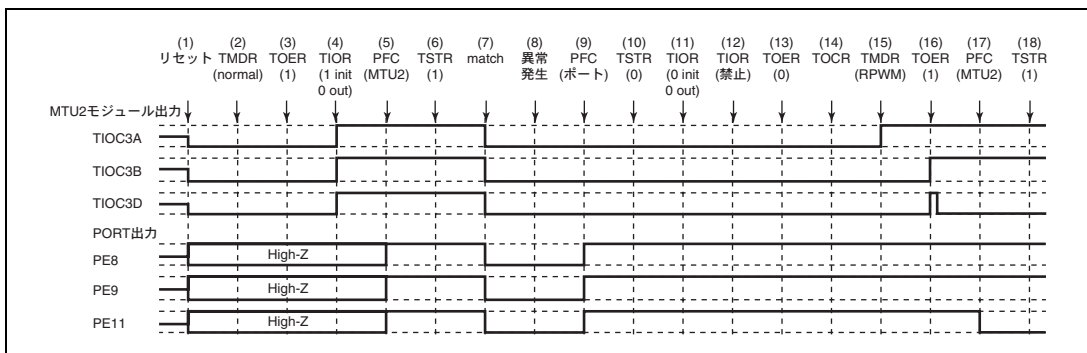


図 27.120 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 27.115 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) 汎用入力ポートで本モジュール出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 27.121 に示します。

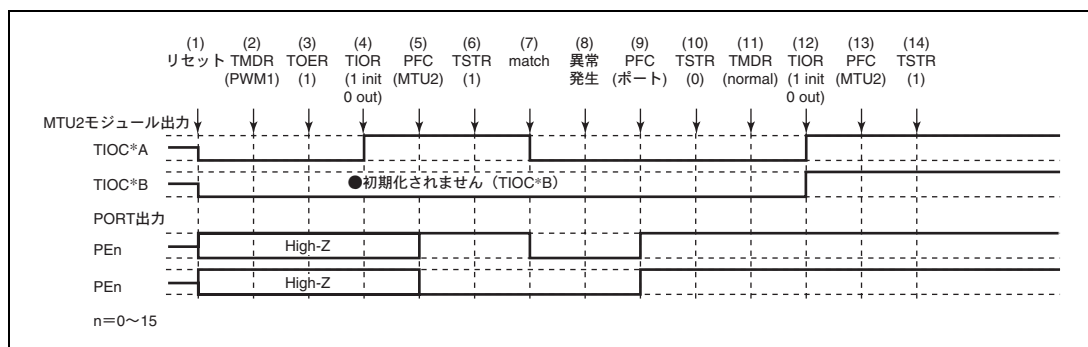


図 27.121 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.122 に示します。

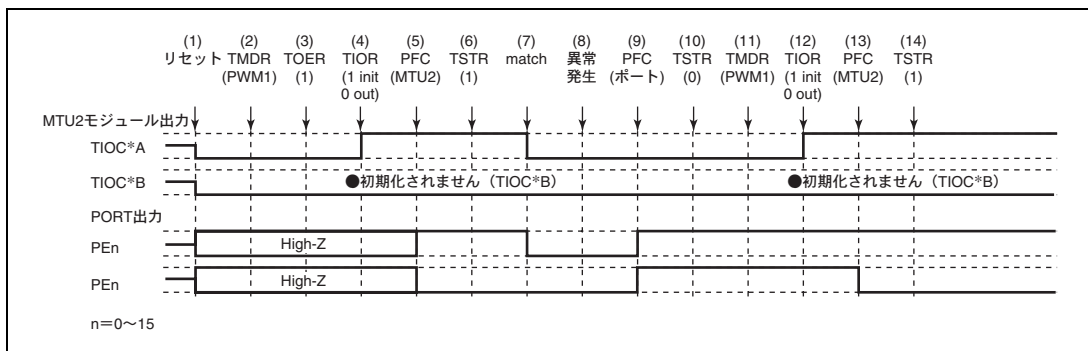


図 27.122 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 27.121 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) 汎用入出力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 27.123 に示します。

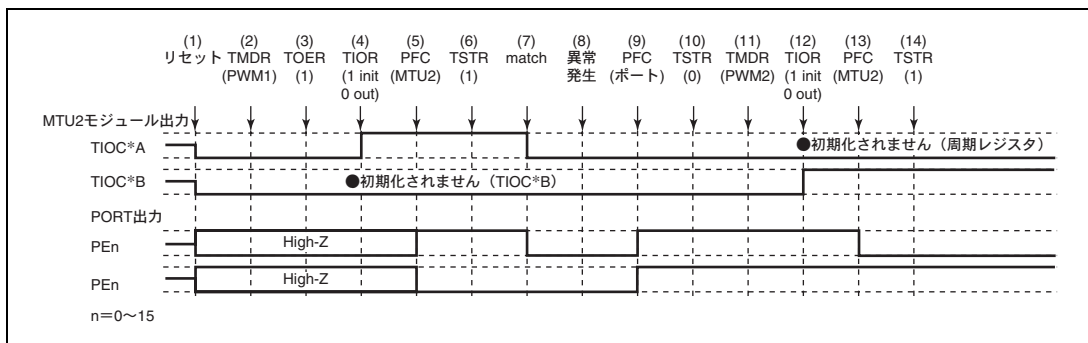


図 27.123 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 27.121 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) 汎用入力ポートで本モジュール出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再起動する場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 27.124 に示します。

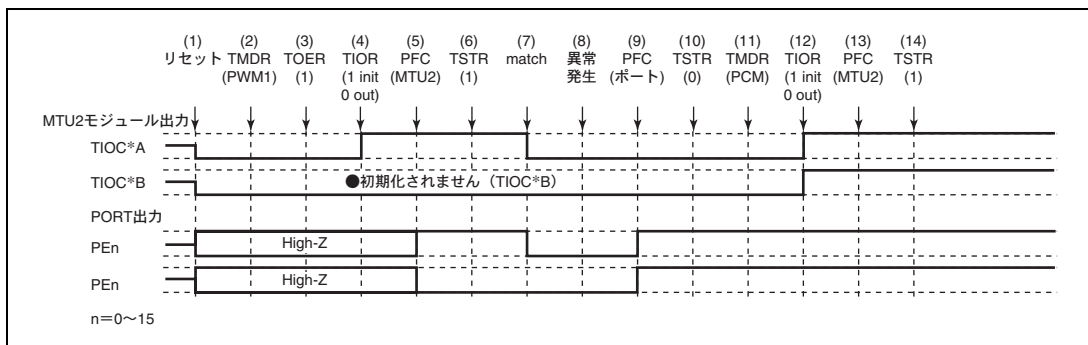


図 27.124 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 27.121 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再起動します。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 27.125 に示します。

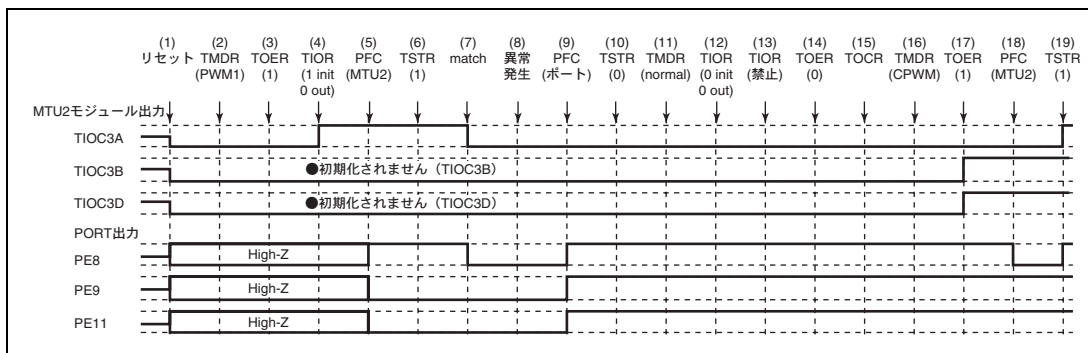


図 27.125 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 27.121 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) 汎用入出力ポートで本モジュール出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 27.126 に示します。

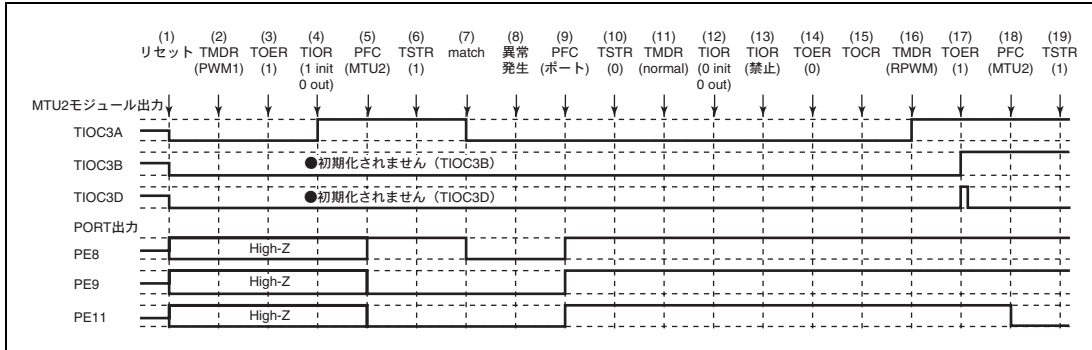


図 27.126 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (14) は図 27.125 と共通です。
- (15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) リセット同期 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) 汎用入力ポートで本モジュール出力としてください。
- (19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再起動する場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再起動する場合の説明図を図 27.127 に示します。

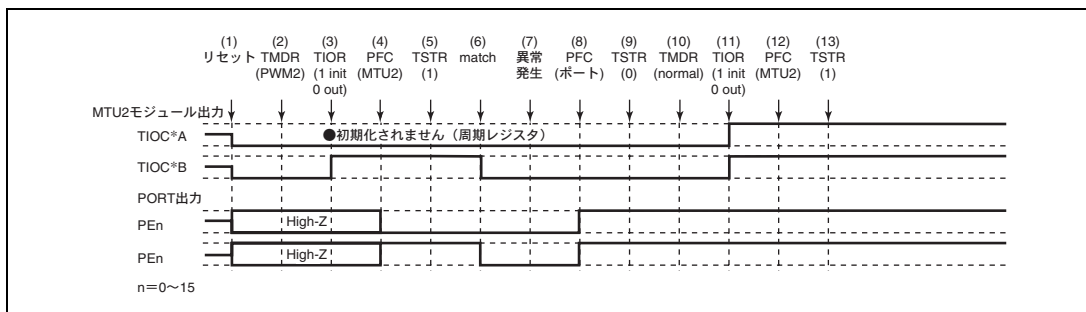


図 27.127 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再起動します。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.128 に示します。

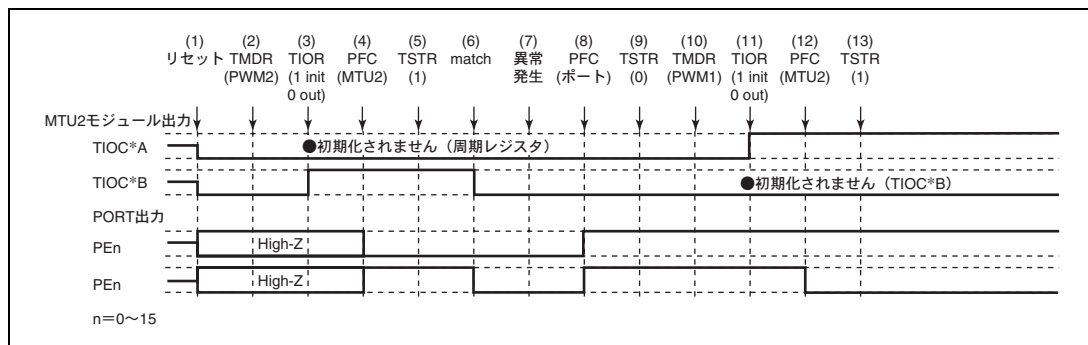


図 27.128 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 27.127 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 27.129 に示します。

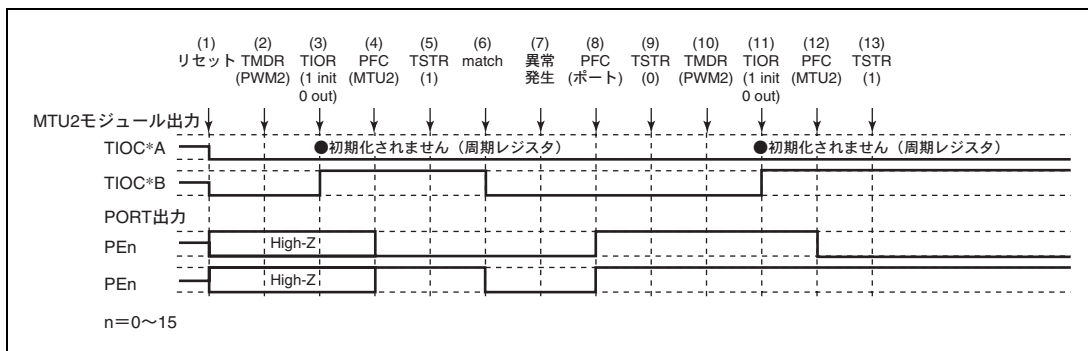


図 27.129 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 27.127 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再起動する場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再起動する場合の説明図を図 27.130 に示します。

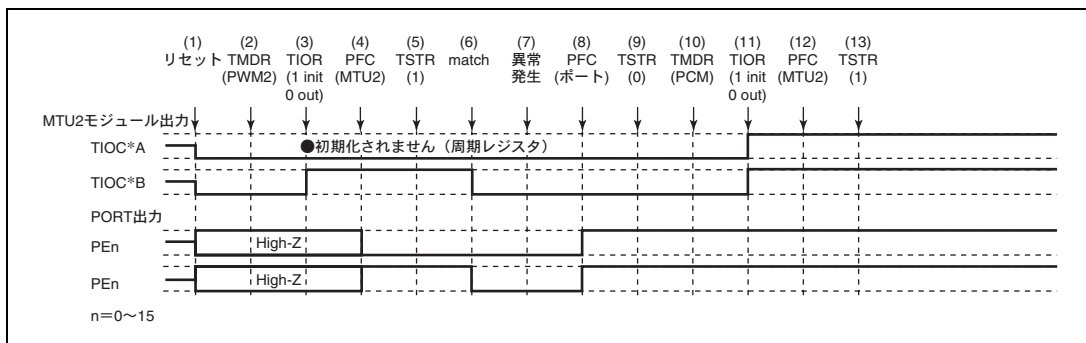


図 27.130 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 27.127 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再起動します。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 27.131 に示します。

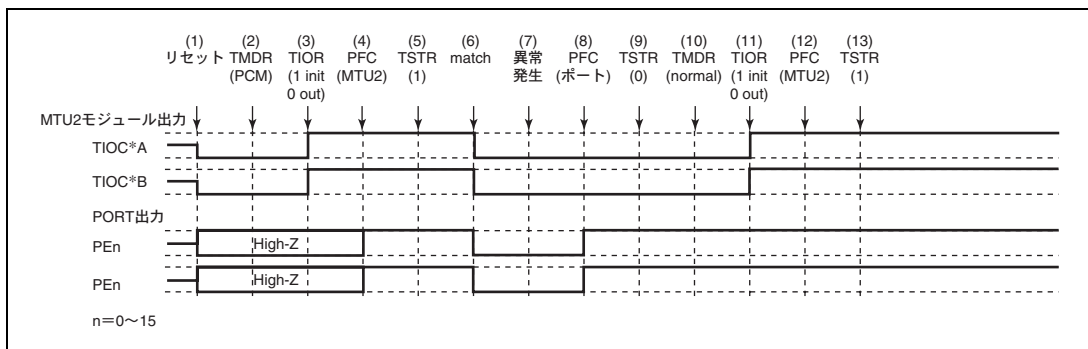
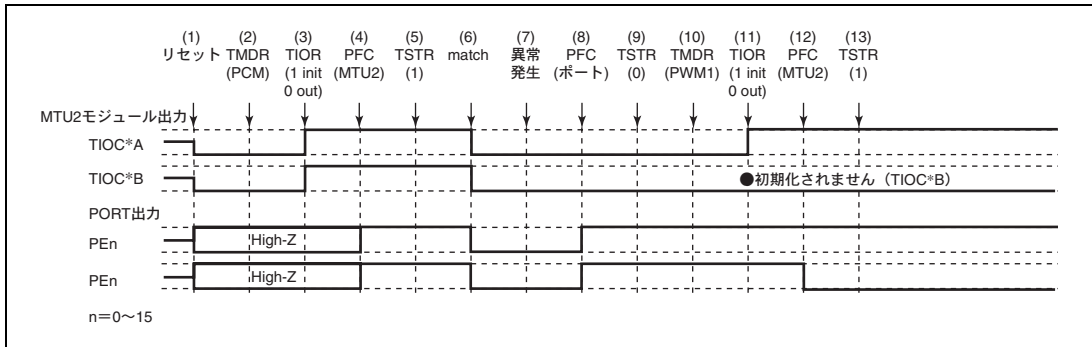


図 27.131 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) 汎用入出力ポートで本モジュール出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) 汎用入出力ポートで本モジュール出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.132 に示します。



(1) ~ (9) は図 27.131 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 27.133 に示します。

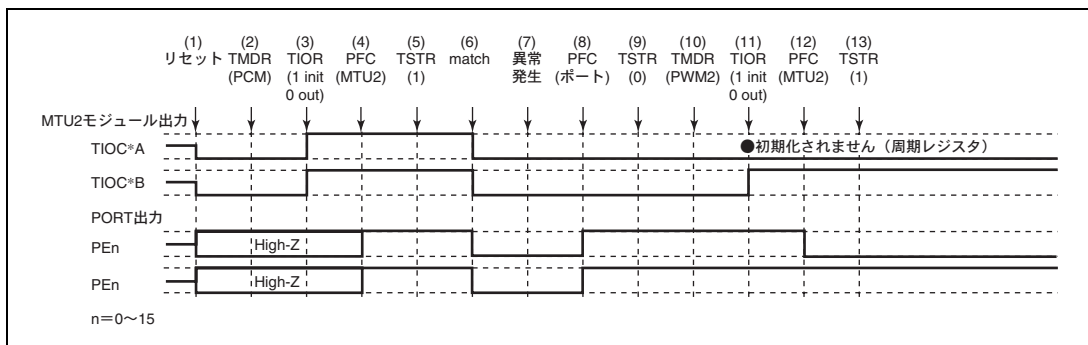


図 27.133 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 27.131 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 27.134 に示します。

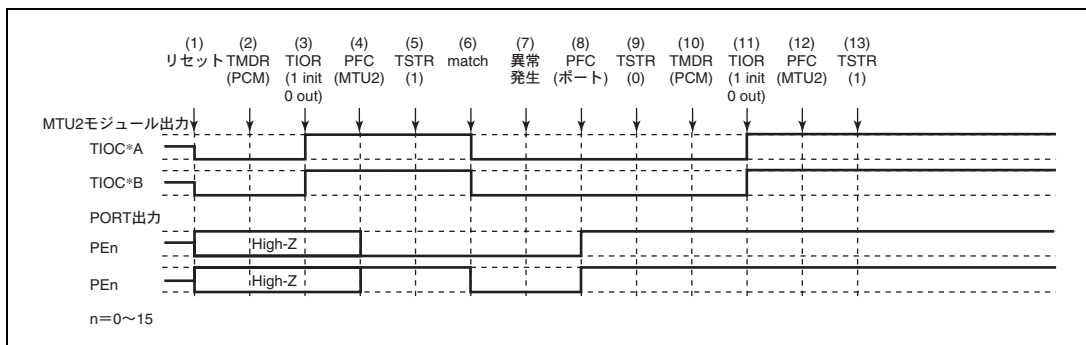


図 27.134 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 27.131 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) 汎用入出力ポートで本モジュール出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 27.135 に示します。

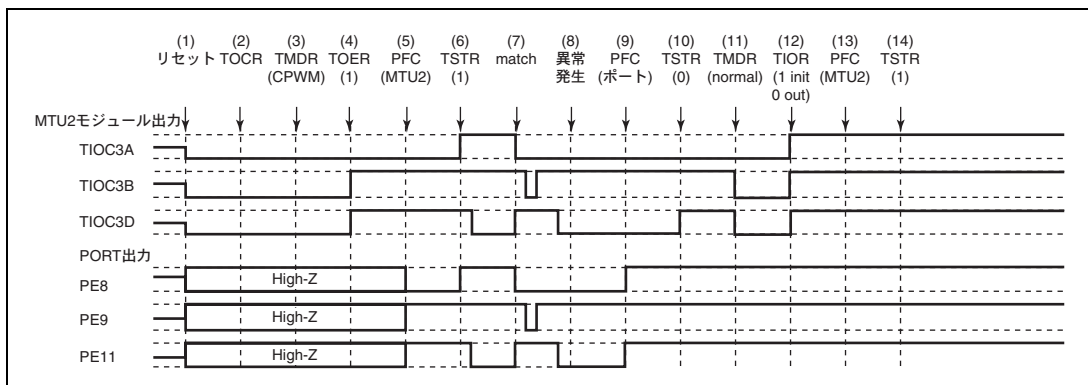


図 27.135 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します（本モジュール出力は相補 PWM 出力初期値となります）。
- (11) ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.136 に示します。

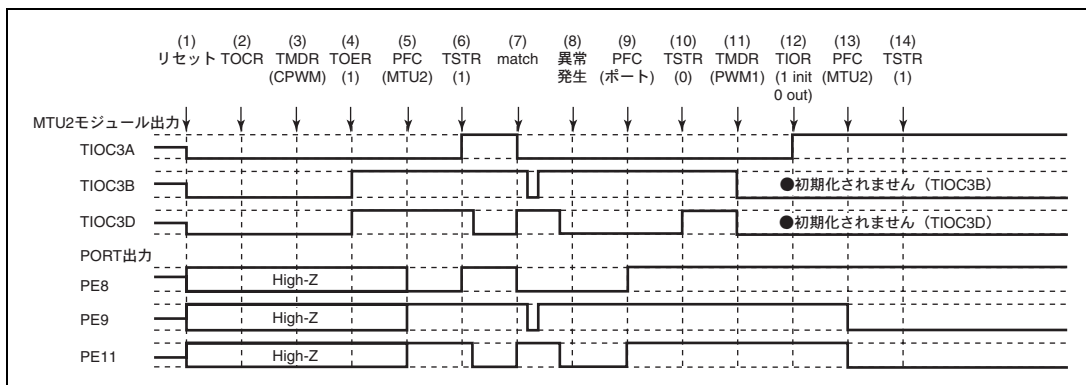


図 27.136 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 27.135 と共通です。
- (11) PWM モード 1 を設定してください (本モジュール出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 27.137 に示します（周期、デューティ設定をカウンタを止めた時の値から再スタートする場合）。

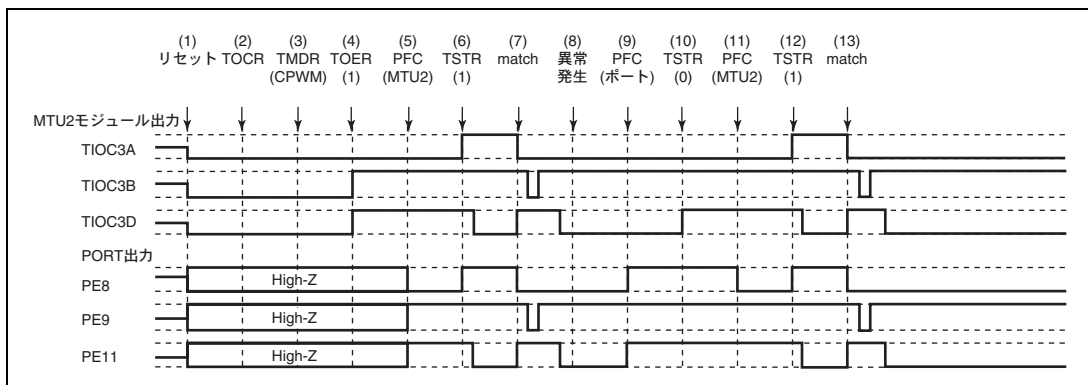


図 27.137 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 27.135 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 27.138 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

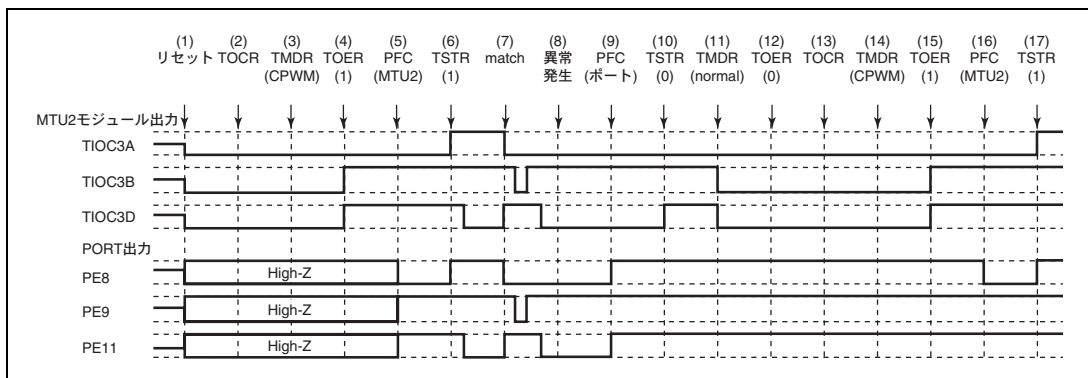


図 27.138 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 27.135 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください（本モジュール出力はローレベルとなります）。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) 汎用入出力ポートで本モジュール出力としてください。
- (17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
 27.139 に示します。

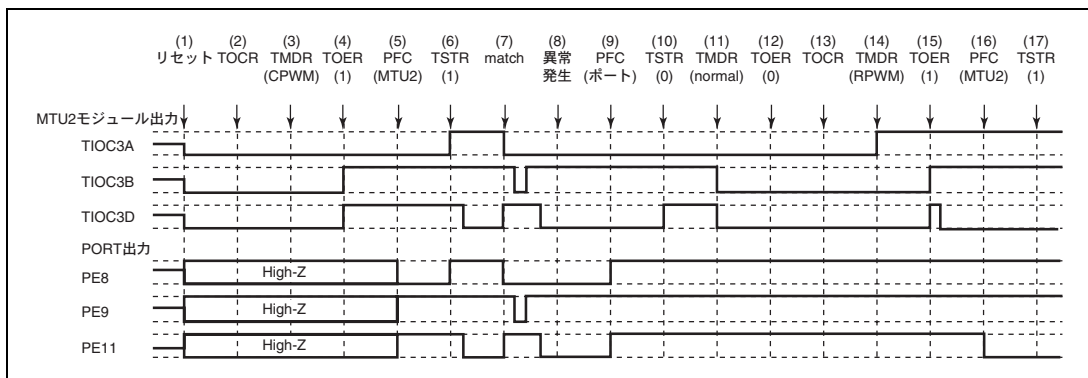


図 27.139 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 27.135 と共通です。
- (11) ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) 汎用入出力ポートで本モジュール出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 27.140 に示します。

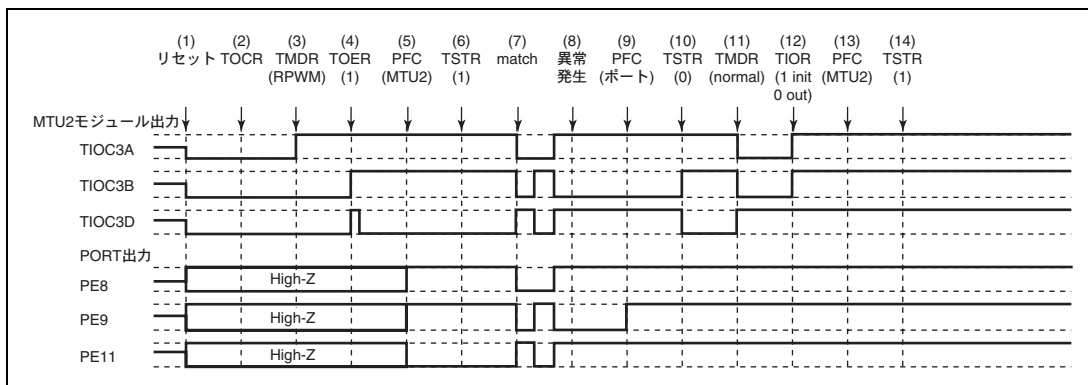


図 27.140 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) 汎用入出力ポートで本モジュール出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します（本モジュール出力はリセット同期 PWM 出力初期値となります）。
- (11) ノーマルモードを設定してください（本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります）。
- (12) TIOR で端子を初期化してください。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 27.141 に示します。

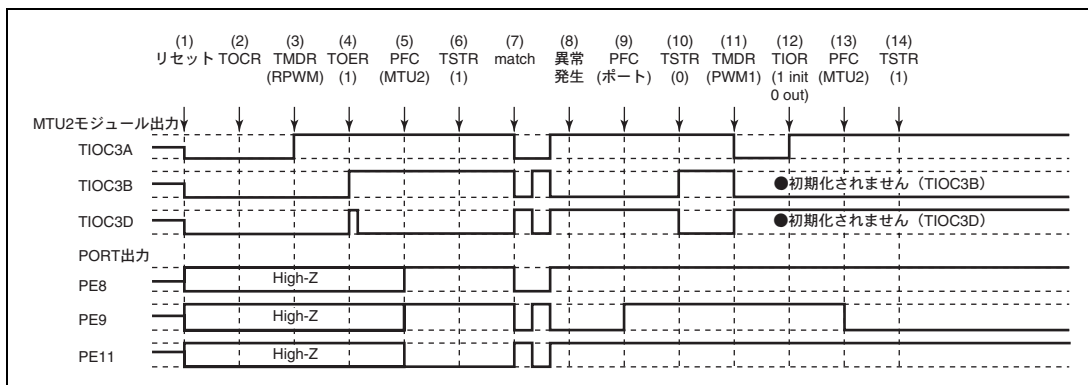


図 27.141 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 27.140 と共通です。
- (11) PWM モード 1 を設定してください (本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) 汎用入出力ポートで本モジュール出力としてください。
- (14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 27.142 に示します。

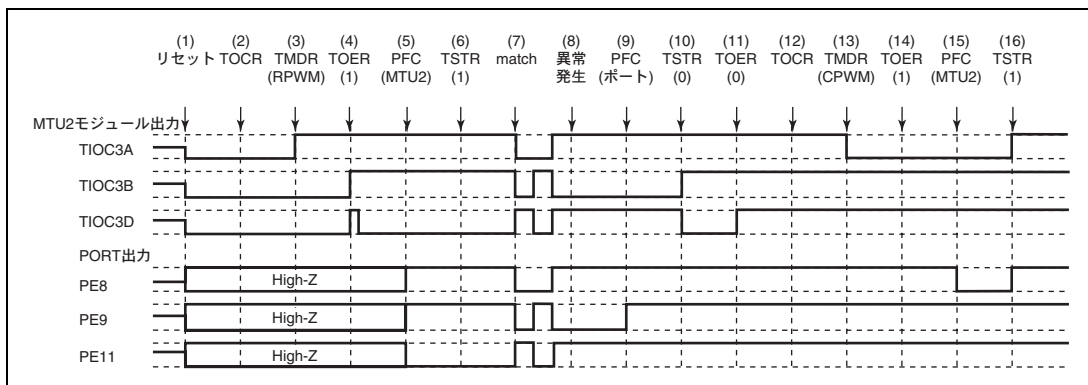


図 27.142 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 27.140 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します（本モジュールの周期出力端子はローレベルになります）。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) 汎用入出力ポートで本モジュール出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 27.143 に示します。

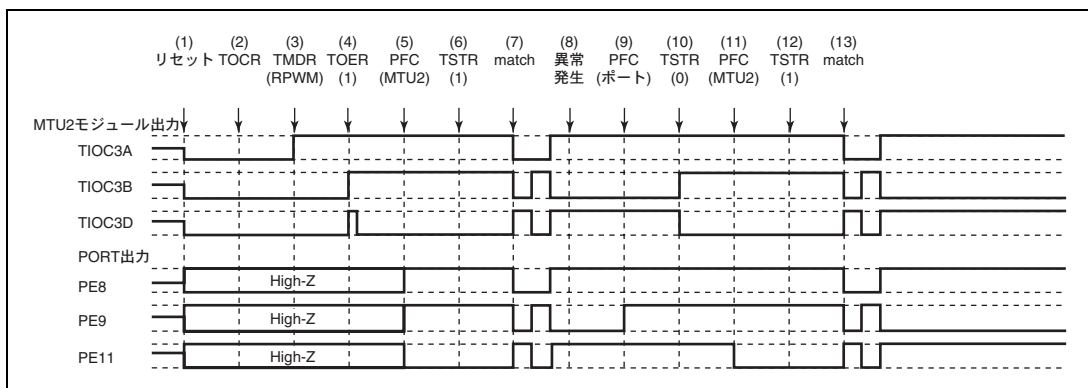


図 27.143 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 27.140 と共通です。
- (11) 汎用入出力ポートで本モジュール出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

28. A/D 変換器

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

28.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 最小変換時間：1チャンネル当たり6.0 μ s
- 絶対精度： ± 5 LSB
- 動作モード：3種類
 - シングルモード：1チャンネルのA/D変換
 - マルチモード：1~4チャンネルのA/D変換または1~8チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換または1~8チャンネルの連続A/D変換
- データレジスタ：8本
 - 変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - マルチファンクションタイマパルスユニット2による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了時に、A/D変換終了割り込み（ADI）要求を発生可能
- モジュールスタンバイモードの設定可能

図 28.1 にブロック図を示します。

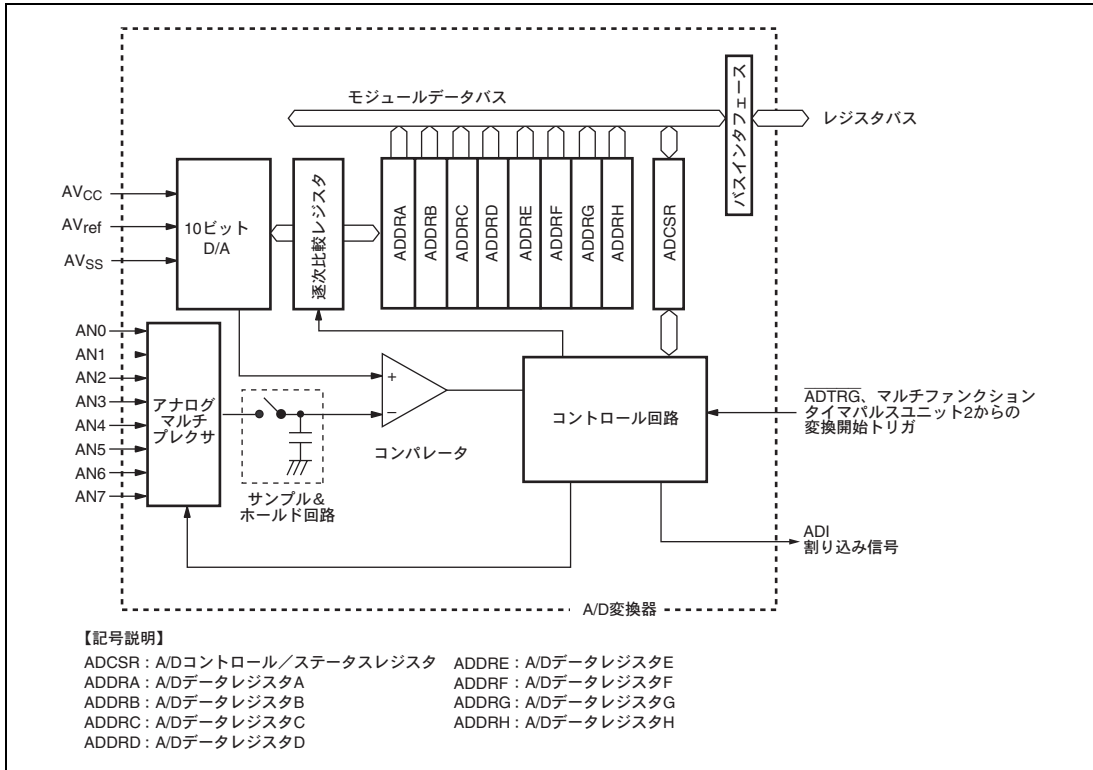


図 28.1 ブロック図

28.2 入出力端子

表 28.1 に端子構成を示します。

表 28.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	アナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

28.3 レジスタの説明

表 28.2 (1) にレジスタ構成を示します。

表 28.2 (1) レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFCB800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFCB802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFCB804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFCB806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFCB808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFCB80A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFCB80C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFCB80E	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'0000	H'FFFCB820	16

表 28.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
ADDRA	初期化	初期化	保持	保持	初期化	初期化
ADDRB	初期化	初期化	保持	保持	初期化	初期化
ADDRC	初期化	初期化	保持	保持	初期化	初期化
ADDRD	初期化	初期化	保持	保持	初期化	初期化
ADDRE	初期化	初期化	保持	保持	初期化	初期化
ADDRF	初期化	初期化	保持	保持	初期化	初期化
ADDRG	初期化	初期化	保持	保持	初期化	初期化
ADDRH	初期化	初期化	保持	保持	初期化	初期化
ADCSR	初期化	初期化	保持	保持	初期化	初期化

28.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャンネルと ADDR の対応を表 28.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 28.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

28.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	TRGS[3:0]				CKS[2:0]			MDS[2:0]		CH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*1	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ADF=1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき ADI 割り込みによりダイレクトメモリアクセスコントローラが起動され、ADDR を読み出したとき <p>[セット条件]</p> <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0: A/D 変換の終了による割り込み (ADI) 要求を禁止</p> <p>1: A/D 変換の終了による割り込み (ADI) 要求を許可</p>
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0: A/D 変換を停止</p> <p>1: シングルモード時: A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。</p> <p>マルチモード時: A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。</p> <p>スキャンモード時: A/D 変換を開始。ソフトウェア、パワーオンリセットなどにより 0 にクリアされるまで連続変換します。</p>

ビット	ビット名	初期値	R/W	説明
12~9	TRGS[3:0]	0000	R/W	<p>タイマトリガセレクト</p> <p>トリガ信号による A/D 変換開始の許可または禁止を選択します。</p> <p>0000 : 外部トリガによる A/D 変換開始を禁止</p> <p>0001 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRGAN による A/D 変換開始</p> <p>0010 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG0N による A/D 変換開始</p> <p>0011 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG4AN による A/D 変換開始</p> <p>0100 : マルチファンクションタイムパルスユニット 2 からの変換トリガ TRG4BN による A/D 変換開始</p> <p>1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始</p> <p>上記以外 : 設定禁止</p>
8~6	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>A/D 変換時間の設定を行います*²。変換時間の設定は変換停止中 (ADST=0) に行ってください。</p> <p>000 : 変換時間=412 t_{cyc} (最大値)</p> <p>001 : 変換時間=480 t_{cyc} (最大値)</p> <p>010 : 変換時間=548 t_{cyc} (最大値)</p> <p>上記以外 : 設定禁止</p>
5~3	MDS[2:0]	000	R/W	<p>マルチスキャンモード</p> <p>A/D 変換の動作モードを選択します。</p> <p>0xx : シングルモード</p> <p>100 : マルチモード。1~4 チャンネルの A/D 変換</p> <p>101 : マルチモード。1~8 チャンネルの A/D 変換</p> <p>110 : スキャンモード。1~4 チャンネルの A/D 変換</p> <p>111 : スキャンモード。1~8 チャンネルの A/D 変換</p>

ビット	ビット名	初期値	R/W	説明
2~0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS=0xx のとき MDS=100 または MDS=101 または MDS=110 のとき MDS=111 のとき 000 : AN0 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 001 : AN0、AN1 010 : AN2 010 : AN0~AN2 010 : AN0~AN2 011 : AN3 011 : AN0~AN3 011 : AN0~AN3 100 : AN4 100 : AN4 100 : AN0~AN4 101 : AN5 101 : AN4、AN5 101 : AN0~AN5 110 : AN6 110 : AN4~AN6 110 : AN0~AN6 111 : AN7 111 : AN4~AN7 111 : AN0~AN7

【記号説明】 x : Don't care

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。
ただし、以下の場合も 0 書き込みによるクリアとなりますのでご注意ください。

- (1) CPU で ADF=1 の状態を読み出す
- (2) DMAC による ADDR 読み出しによる ADF クリア
- (3) A/D 変換終了による ADF フラグセット
- (4) CPU で ADF フラグに 0 書き込み

*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。

28.4 動作説明

A/D変換器は逐次比較方式で分解能は10ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるためADCSRのADSTビットが8の状態で行ってください。動作モードやアナログ入力チャンネルの変更とADSTビットのセットは同時に行うことができます。

28.4.1 シングルモード

シングルモードは、1チャンネルのみのA/D変換を行う場合に選択します。

シングルモードは、指定された1チャンネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、マルチファンクションタイムパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。更新した後、ADSTビットを1にセットすると（モードおよびチャンネルの変換とADSTビットのセットは同時に行うことができます）、再びA/D変換を開始します。

シングルモードでチャンネル1（AN1）が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図28.2に示します（動作例におけるビットの指定はADCSRレジスタです）。

1. 動作モードをシングルモードに、入力チャンネルをAN1に（CH[2:0]=001）、A/D割り込み要求許可（ADIE=1）に設定して、A/D変換を開始（ADST=1）します。
2. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1を読み出した後、ADFに0を書き込みます。
6. A/D変換結果（ADDRB）を読み出して、処理します。
7. A/D割り込み処理ルーチンの実行を終了します。この後、ADSTビットを1にセットするとA/D変換が開始され2~7を行います。

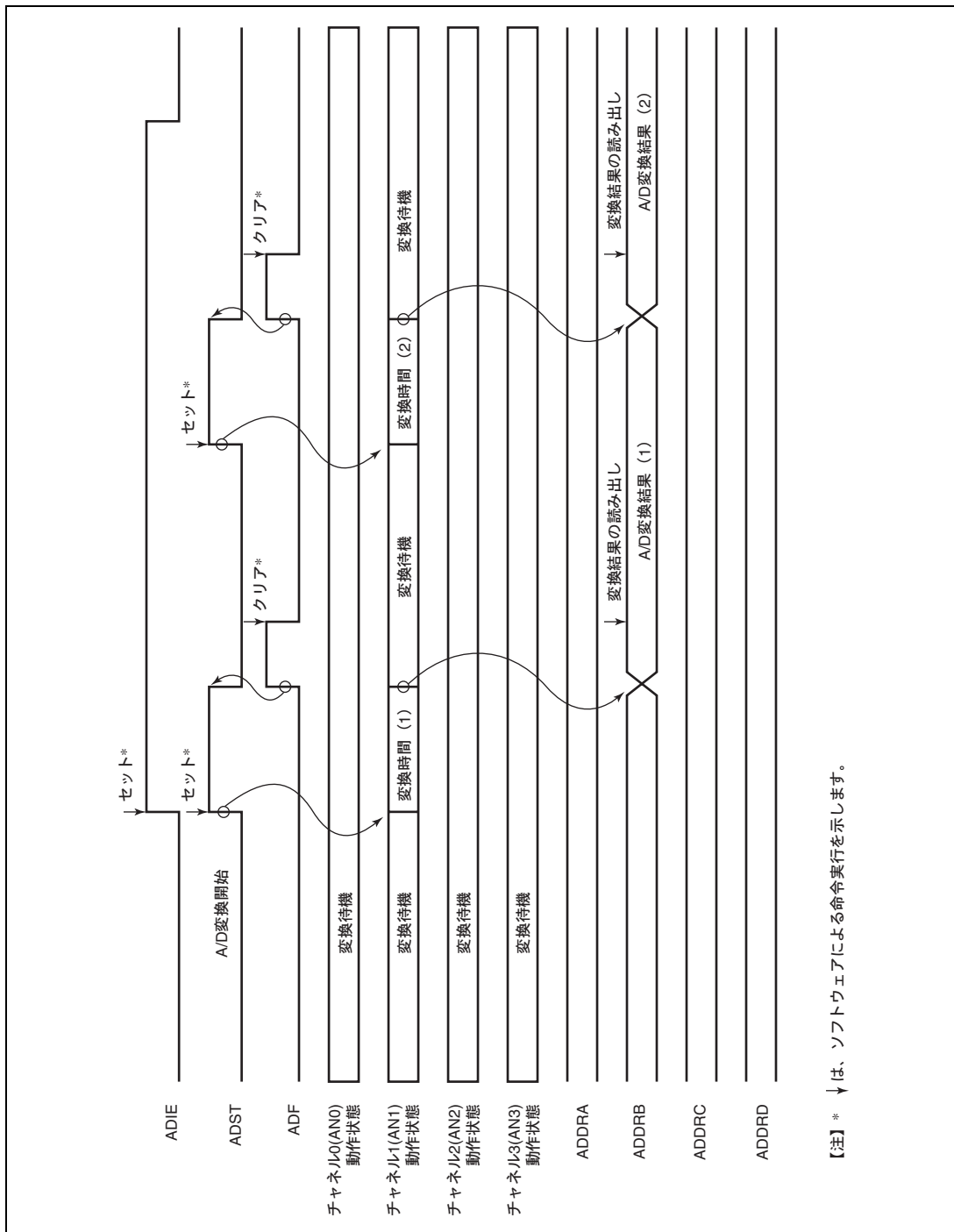


図 28.2 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

28.4.2 マルチモード

マルチモードは、複数チャンネル（1チャンネルを含む）のアナログ入力をそれぞれ1回順次変換します。

マルチモードは指定された最大8チャンネルのアナログ入力を以下のように1回A/D変換します。

1. ソフトウェア、マルチファンクションタイムバルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードで3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図28.3に示します。

1. 動作モードをマルチモード（MDS[2]=1、MDS[1]=0）に、アナログ入力チャンネルをAN0～AN2（CH[2:0]=010）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR_Aに転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。
6. このときADIEビットが1であると、A/D変換終了後、ADI割り込みを発生します。

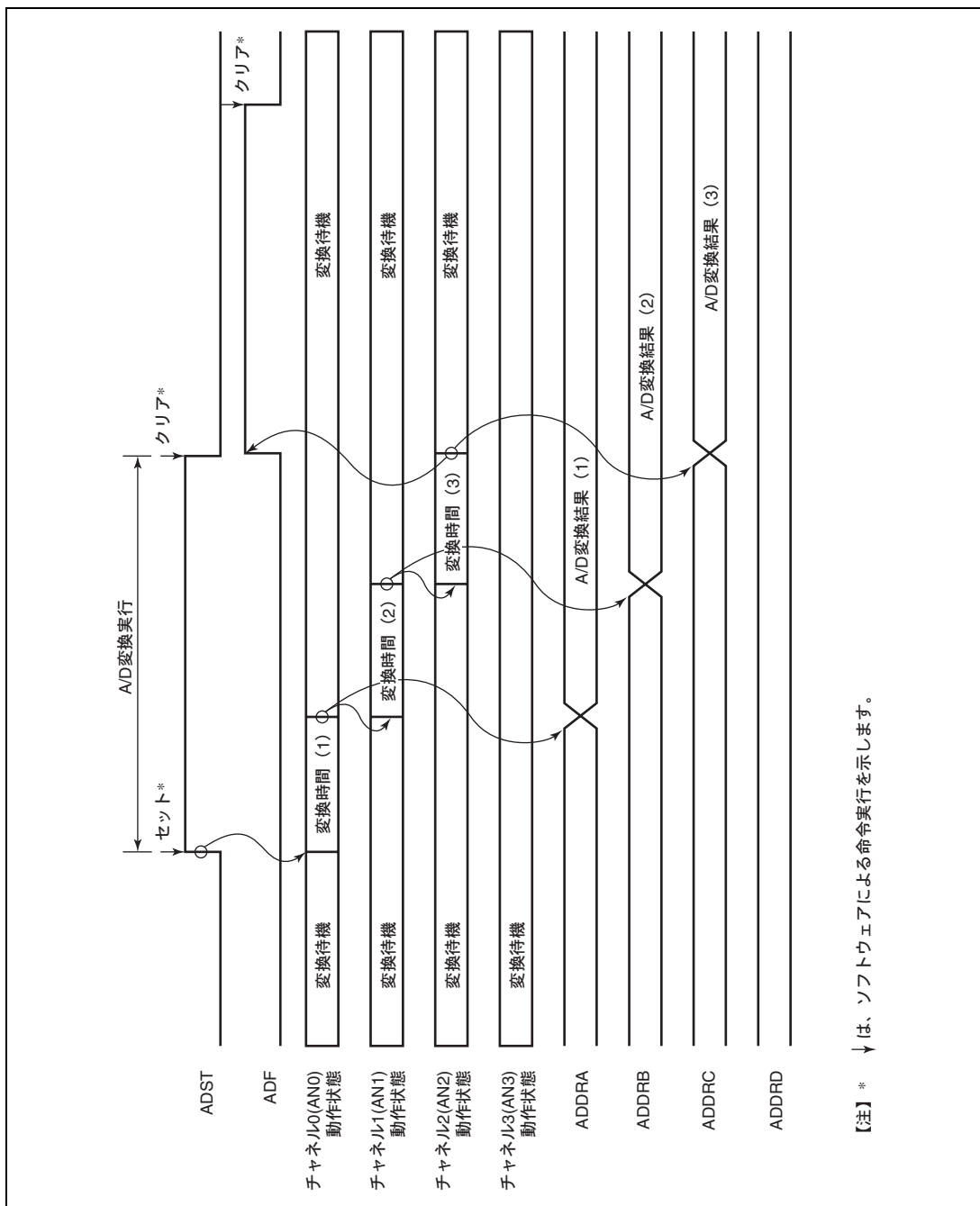


図 28.3 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

28.4.3 スキャンモード

スキャンモードは、複数チャンネル（1チャンネルを含む）のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。

4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。

ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル（AN0~AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図28.4に示します。

1. 動作モードをスキャンモード（MDS[2]=1、MDS[1]=1）に、アナログ入力チャンネルをAN0~AN2（CH[2:0]=010）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR_Aに転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0~AN2）の変換が終了すると、ADF=1となり、再び、第1チャンネル（AN0）を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換（第3チャンネルの変換）終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.~4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.~4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

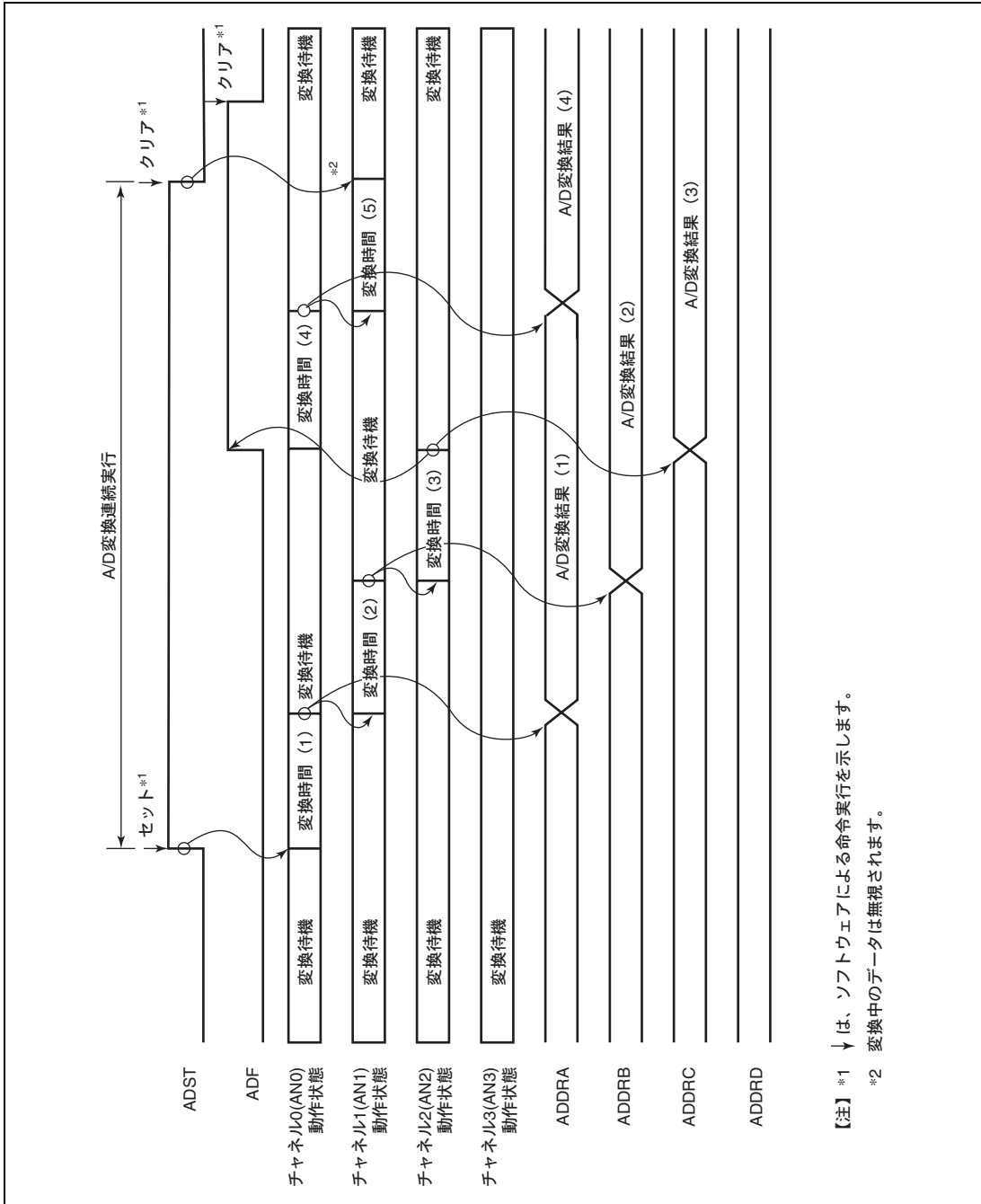


図 28.4 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の3チャンネル選択時)

28.4.4 外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動

外部トリガ、マルチファンクションタイマパルスユニット 2 からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、マルチファンクションタイマパルスユニット 2 から A/D 変換器を起動するときには、A/D トリガイネーブルビット (TRGS3~TRGS0) の設定を行います。この状態で外部トリガ、マルチファンクションタイマパルスユニット 2 の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャンネルは、ADCSR の CH2~CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

28.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_b) 経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 28.5 に示します。また、A/D 変換時間を表 28.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 28.5 に示すように、 t_b と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 28.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 28.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 28.5 に示す値となります。

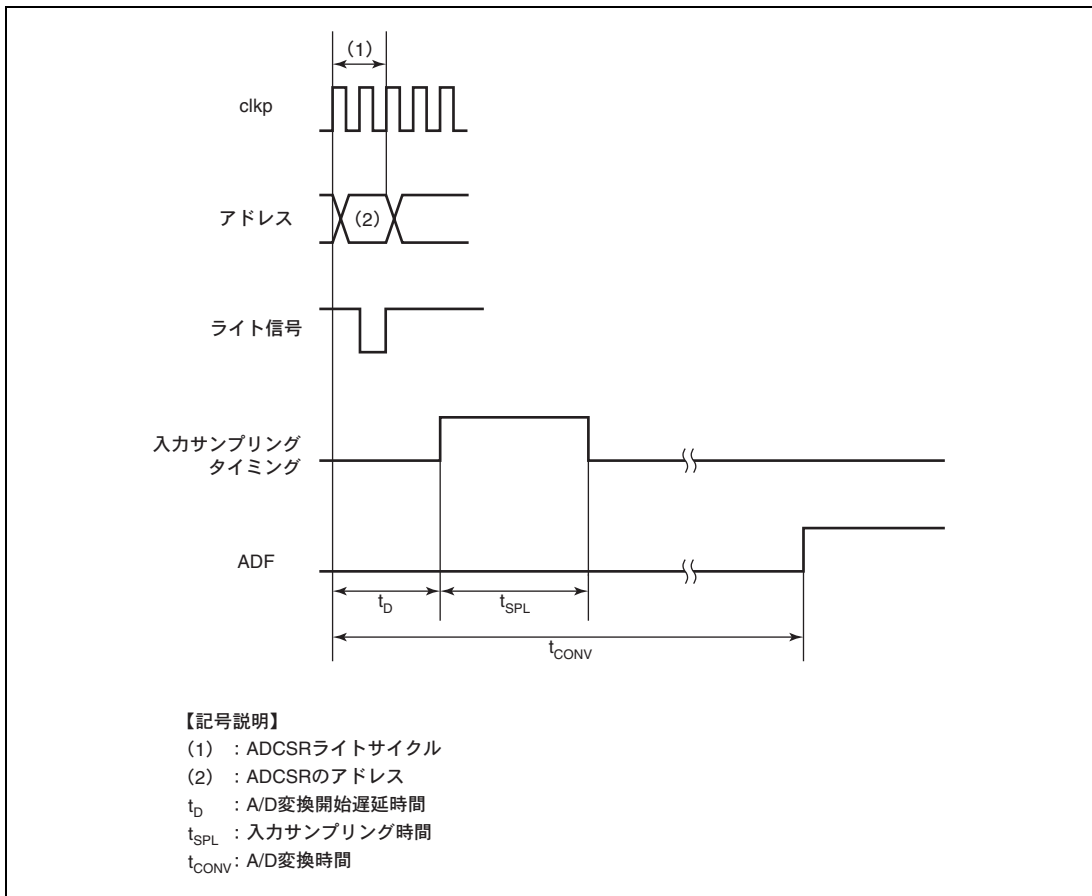


図 28.5 A/D 変換タイミング

表 28.4 A/D 変換時間 (シングルモード)

項目	記号	CKS2=0								
		CKS1=0						CKS1=1		
		CKS0=0			CKS0=1			CKS0=0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	15	—	26	17	—	30	19	—	34
入力サンプリング時間	t_{SPL}	—	97	—	—	113	—	—	129	—
A/D 変換時間	t_{CONV}	401	—	412	467	—	480	533	—	548

【注】 表中の数値の単位は t_{cyc} です。

表 28.5 A/D 変換時間 (マルチモード/スキャンモード)

CKS2	CKS1	CKS0	変換時間 (t_{cyc})
0	0	0	384 (固定)
		1	448 (固定)
	1	0	512 (固定)

【注】 表中の数値の単位は t_{cyc} です。

28.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3~TRGS0 ビットが B'1001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/マルチモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 28.6 に示します。

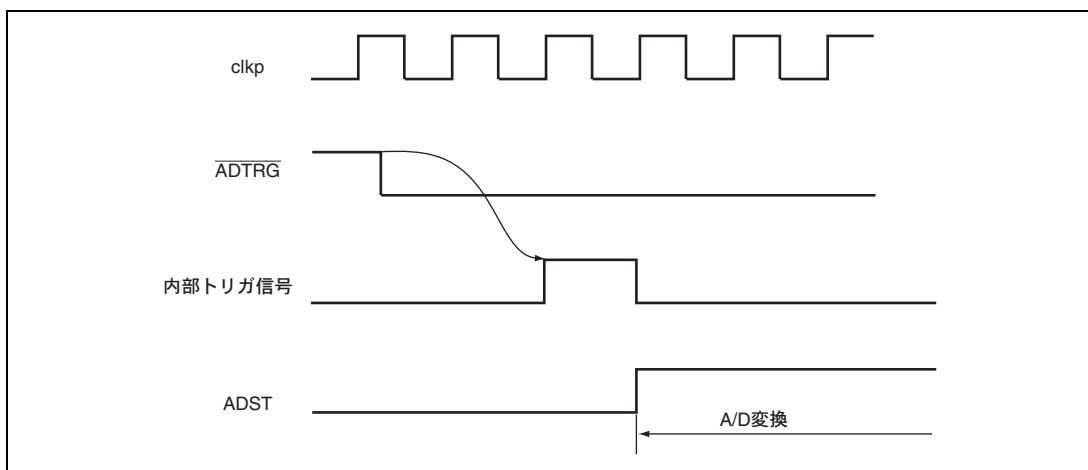


図 28.6 外部トリガ入力タイミング

28.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。なお、ADI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラの起動ができます。このとき、CPU への割り込み要求は発生されません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU への割り込み要求が発生します。ダイレクトメモリアクセスコントローラを使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャンネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャンネルのデータ転送のみで DMA 転送が終了してしまいます。ダイレクトメモリアクセスコントローラによりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送回数を変換チャンネル数に設定してください。

ADI でダイレクトメモリアクセスコントローラを起動する場合、DMA 転送時に ADCSR の ADF ビットは自動的にクリアされます。

表 28.6 割り込み要因と DMA 転送要求の関係

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
ADI	A/D 変換終了	ADCSR の ADF	可

28.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 28.7 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000（図では 000）から B'000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 28.7 (1)）です。フルスケール誤差とはデジタル出力値が B'111111110（図では 110）から最大値（フルスケール電圧）B'111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 28.7 (2)）です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 28.7 (3)）。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 28.7 (4)）です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

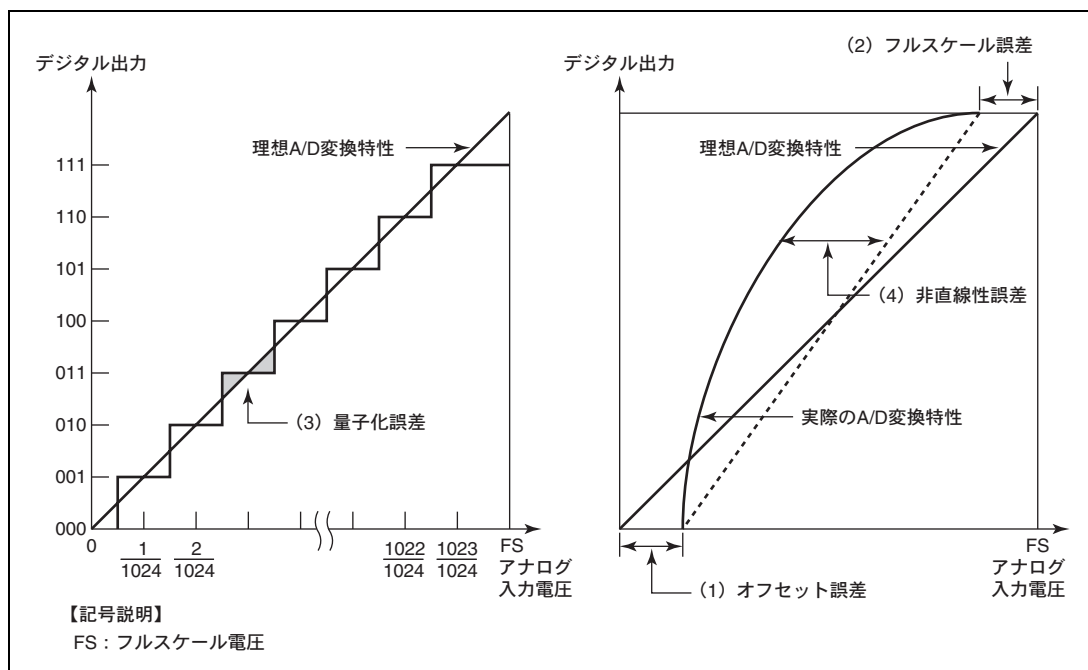


図 28.7 A/D 変換精度の定義

28.7 使用上の注意事項

A/D変換器を使用する際は、以下のことに注意してください。

28.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D変換器の動作禁止/許可を設定することが可能です。初期値では、A/D変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第9章 動作モード、低消費電力モード」の「9.2 低消費電力モード概要」を参照してください。

28.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えてLSIを使用した場合、LSIの信頼性に悪影響をおよぼすことがあります。

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS} \leq ANn \leq AV_{CC}$ の範囲としてください。(n=0~7)

2. AVcc、AVss入力電圧

AVcc、AVss入力電圧は、 $PV_{CC} - 0.3V \leq AV_{CC} \leq PV_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。さらに、A/D変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss端子をオープンにしないでください。使用しないときは、必ずAVccは電源(PVcc)に、AVssはグランド(Vss)に接続してください。

3. AVrefの設定範囲

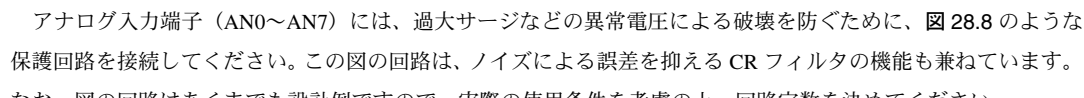
AVref端子によるリファレンス電圧範囲は $3.0V \leq AV_{ref} \leq AV_{CC}$ にしてください。

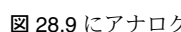
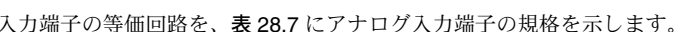
28.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号(AN0~AN7)、アナログ基準電圧(AVref)、アナログ電源(AVcc)は、アナロググランド(AVss)で、デジタル回路を分離してください。さらに、アナロググランド(AVss)は、ボード上の安定したデジタルグランド(Vss)に一点接続してください。

28.7.4 アナログ入力端子の取り扱い

アナログ入力端子(AN0~AN7)には、過大サージなどの異常電圧による破壊を防ぐために、のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑えるCRフィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

にアナログ入力端子の等価回路を、にアナログ入力端子の規格を示します。

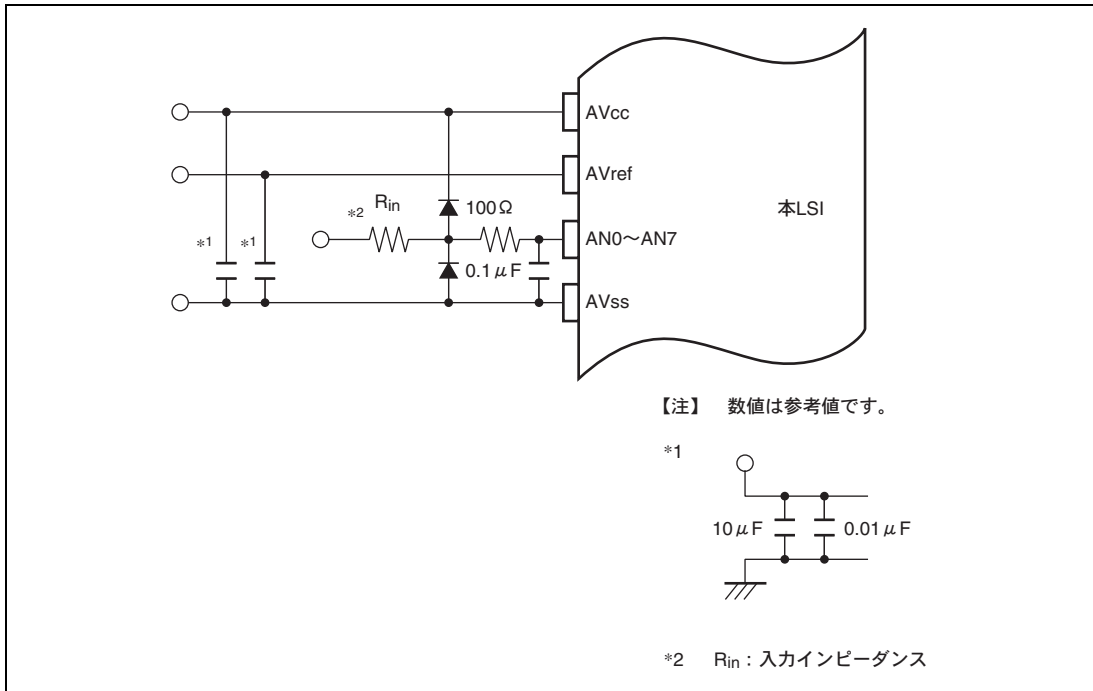


図 28.8 アナログ入力端子の保護回路例

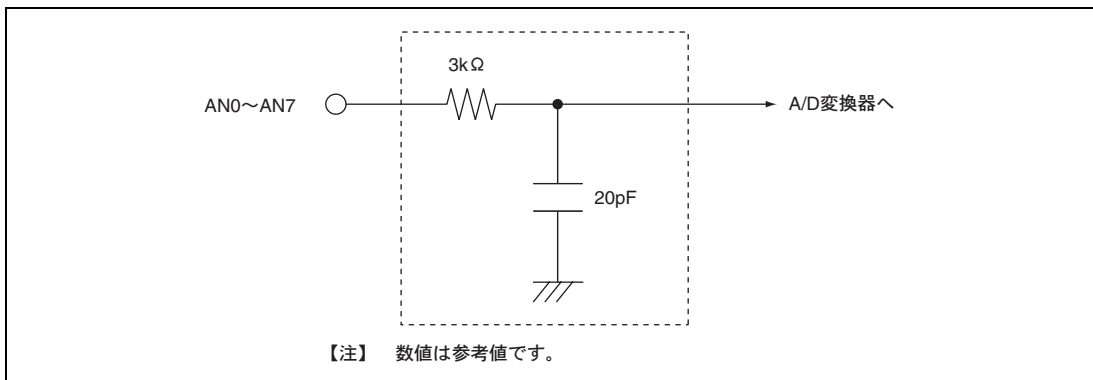


図 28.9 アナログ入力端子の等価回路

表 28.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	kΩ

28.7.5 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $3k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 28.10）。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

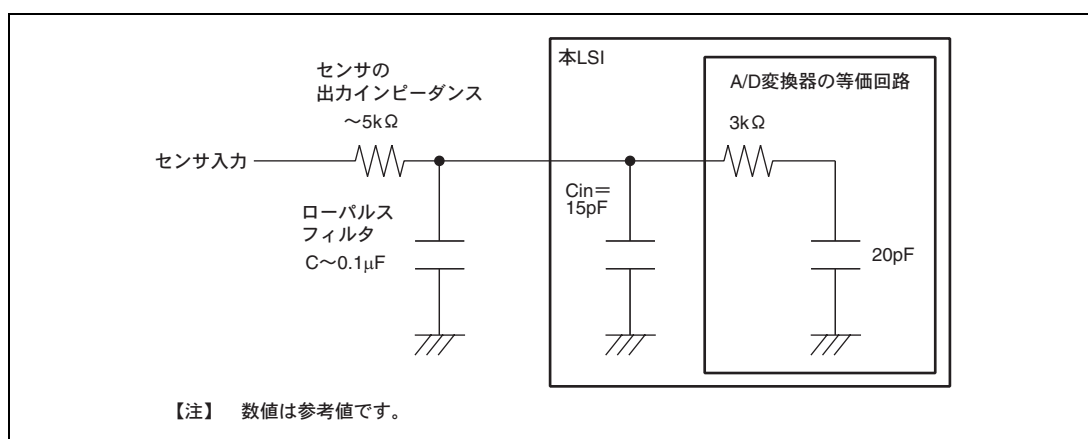


図 28.10 アナログ入力回路の例

28.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

28.7.7 ディープスタンバイモード時の A/D 変換

ディープスタンバイモードに遷移する場合は、ADST ビットを 0 にクリアして A/D 変換を禁止してください。A/D 変換を許可した状態で本 LSI がディープスタンバイモードになると A/D の端子状態は保証されません。

28.7.8 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。連続して変換を行う場合は、ADST=0 とした後、1 チャネル分の A/D 変換時間以上経過してから起動（ADST=1）するようにしてください（1 チャネル分の変換時間は分周レジスタ設定により異なります）。

28.7.9 シングルモードおよびマルチモード使用時の注意

シングルモードおよびマルチモードの変換終了直後に、同一モードまたは違うモードで変換を開始した場合、誤った変換動作をすることがあります。

連続して変換を行う場合は、ADCSR に対して 2 回ダミーリードを行ってから、ADST を 1 にセットしてください。

29. SD ホストインタフェース (SDHI)

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。

30. マルチメディアカードインタフェース (MMC)

30.1 特長

(1) MMC インタフェースとしての機能

- バス幅1/4/8ビットに対応
- Boot Operationに対応
- MMCクロック周波数 $\leq 1/2 \times \text{clks1}$ クロック周波数
- Boot Operation時のMMCクロック周波数切り替えに対応
- エラーチェック機能：CRC7、CRC16
- 割り込み要求：通常動作割り込み、エラー／タイムアウト割り込み
- DMA転送要求：バッファライト、バッファリード
- MMCモードに対応（SPIモード非対応）

(2) CE-ATA インタフェースとしての機能

- CE-ATA Digital Protocolに対応
- バス幅1/4/8ビットに対応
- MMCクロック周波数 $\leq 1/2 \times \text{clks1}$ クロック周波数
- エラーチェック機能：CRC7、CRC16
- 割り込み要求：通常動作割り込み、エラー／タイムアウト割り込み
- DMA転送要求：バッファライト、バッファリード
- CCS (Command Completion Signal)、CCSD (Command Completion Signal Disable) に対応

ブロック図を図 30.1 に示します。

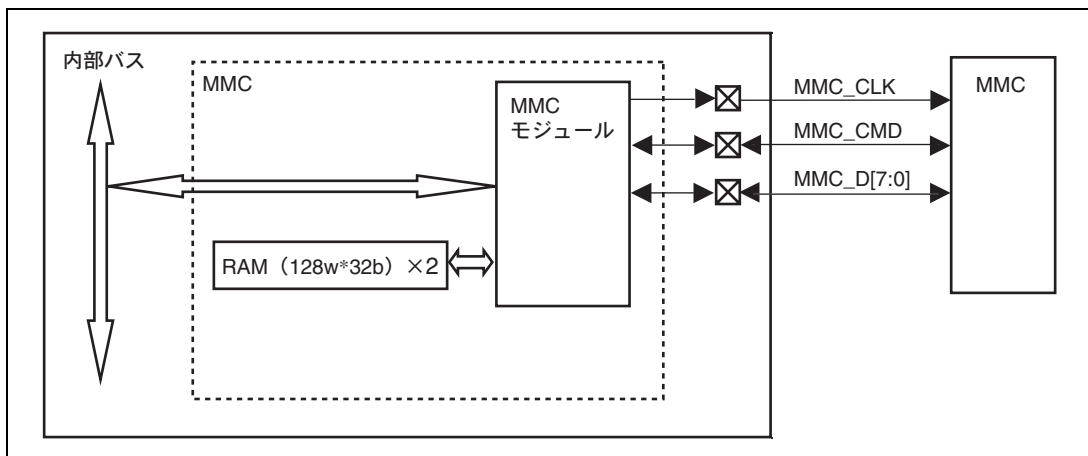


図30.1 MMCのブロック図

30.2 入出力端子

本モジュールの端子構成を表 30.1 に示します。

表 30.1 端子構成

名称	端子名	入出力	機能
MMCCLK	D8 (MMC_CLK)	出力	MMC クロック
MMCCMD	D9 (MMC_CMD)	入出力	MMC コマンド/レスポンス
MMCDAT[7:0]	D0 (MMC_D0)、D1 (MMC_D1)、 D2 (MMC_D2)、D3 (MMC_D3)、 D4 (MMC_D4)、D5 (MMC_D5)、 D6 (MMC_D6)、D7 (MMC_D7)	入出力	MMC データ[7:0]

30.3 レジスタの説明

本モジュールのレジスタ構成を表 30.2 (1) に示します。

ベースアドレスは、H'FFE4_F000 (P4 アドレス)、H'1FE4_F000 (エリア7アドレス) です。

表 30.2 (1) レジスタ構成

レジスタ名称	略称	R/W	ベースアドレスからの オフセットアドレス	アクセス サイズ
コマンド設定レジスタ	CE_CMD_SET	R/W	H'00	16/32
アークメントレジスタ	CE_ARG	R/W	H'08	16/32
自動 CMD12 アークメントレジスタ	CE_ARG_CMD12	R/W	H'0C	16/32
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'10	16/32
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'14	16/32
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'18	16/32
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'1C	16/32
レスポンスレジスタ 3	CE_RESP3	R/W	H'20	16/32
レスポンスレジスタ 2	CE_RESP2	R/W	H'24	16/32
レスポンスレジスタ 1	CE_RESP1	R/W	H'28	16/32
レスポンスレジスタ 0	CE_RESP0	R/W	H'2C	16/32
自動 CMD12 レスポンスレジスタ	CE_RESP_CMD12	R/W	H'30	16/32
データレジスタ	CE_DATA	R/W	H'34	16*/32
Boot Operation 設定レジスタ	CE_BOOT	R/W	H'3C	16/32
割り込みフラグレジスタ	CE_INT	R/W	H'40	16/32
割り込みイネーブルレジスタ	CE_INT_EN	R/W	H'44	16/32
ステータスレジスタ 1	CE_HOST_STS1	R/W	H'48	16/32
ステータスレジスタ 2	CE_HOST_STS2	R/W	H'4C	16/32
バージョンレジスタ	CE_VERSION	R/W	H'7C	16/32

【注】 上記以外のアドレスには、アクセスしないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* 16ビットアクセス時は (H'34) のみアクセス可能です。

表 30.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
CE_CMD_SET	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_ARG	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_ARG_CMD12	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_CMD_CTRL	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_BLOCK_SET	H'0000 0200	H'0000 0200	保持	保持	保持	初期化
CE_CLK_CTRL	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_BUF_ACC	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_RESP3	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_RESP2	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_RESP1	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_RESP0	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_RESP_CMD12	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_DATA	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_BOOT	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_INT	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_INT_EN	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_HOST_STS1	不定	不定	保持	保持	保持	初期化
CE_HOST_STS2	H'0000 0000	H'0000 0000	保持	保持	保持	初期化
CE_VERSION	H'0000 0002	H'0000 0002	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

30.3.1 コマンド設定レジスタ (CE_CMD_SET)

CE_CMD_SET は、コマンドシーケンスを設定するレジスタです。

各種設定と共にコマンドインデックスを設定すると、コマンドシーケンスがスタートします。16 ビットアクセスの場合は、ビット 31~16 を設定するとコマンドシーケンスがスタートします。なお、コマンドシーケンス中 (CE_HOST_STS1 の CMDSEQ ビットが 1 のとき) は、CE_CMD_SET にライトできない仕様となっています。

CE_CMD_SET に設定する値については、「30.7.17 CE_CMD_SET 設定値」に従い設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	BOOT	CMD[5:0]					RTYP[1:0]		RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]		RCRC7C[1:0]		—	CRC 16C	BOOT ACK	CRC STE	TBIT	OPDM	CCSH	—	—	—	DATW[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	BOOT	0	R/W	Boot Operation 0 : Boot Operation 以外のコマンドシーケンス 1 : Boot Operation のコマンドシーケンス
29~24	CMD[5:0]	H'00	R/W	コマンドインデックス 【注】コマンドインデックスを設定すると、コマンドシーケンスがスタートします。
23, 22	RTYP[1:0]	00	R/W	レスポンスタイプ 00 : レスポンス無し 01 : 6 バイトのレスポンス (R1, R1b, R3, R4, R5) 10 : 17 バイトのレスポンス (R2) 11 : 設定禁止
21	RBSY	0	R/W	レスポンスビジーあり/なし レスポンス受信時のビジーの有無を選択します。 0 : レスポンスビジーなし 1 : レスポンスビジーあり (R1b)
20	CCSEN	0	R/W	CCS 受け付け 0 : CCS の受け付けを禁止 1 : CCS の受け付けを許可
19	WDAT	0	R/W	データあり/なし 0 : データなし 1 : データあり

ビット	ビット名	初期値	R/W	説明
18	DWEN	0	R/W	リード/ライト (データありのとき有効) 0: カードからリード 1: カードヘライト
17	CMLTE	0	R/W	シングルブロック転送/マルチブロック転送選択 (データありのとき有効) 0: シングルブロック転送 1: マルチブロック転送
16	CMD12EN	0	R/W	自動 CMD12 発行設定 (マルチブロック転送時有効) 0: CMD12 を自動発行しない 1: CMD12 を自動発行する 自動 CMD12 発行については、「30.6.2 自動 CMD12 発行について」を参照してください。 【注】転送ブロックサイズ=512 バイトに設定してください。
15, 14	RIDX[1:0]	00	R/W	レスポンスインデックスチェック 00: インデックスチェック 01: check bits チェック 10: チェック無し 11: 設定禁止
13, 12	RCRC7C[1:0]	00	R/W	レスポンス CRC7 チェック 00: CRC7 チェック (レスポンスタイプを 01 に設定してください) 01: check bits チェック (レスポンスタイプを 01 に設定してください) 10: internal CRC7 チェック (R2 専用) (レスポンスタイプを 10 に設定してください) 11: チェック無し
11	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	CRC16C	0	R/W	受信時 CRC16 チェック 0: CRC16 をチェックする 1: CRC16 をチェックしない (CMD14 時に使用)
9	BOOTACK	0	R/W	Boot Acknowledge 受信 (Boot Operation のとき有効) 0: Boot Acknowledge を受信しない 1: Boot Acknowledge を受信する
8	CRCSTE	0	R/W	CRC status 受信 (データあり、かつ、ライトのとき有効) 0: CRC status を受信する 1: CRC status を受信しない (CMD19 時に使用)
7	TBIT	0	R/W	トランスミッションビット設定 0: トランスミッションビットを H にする 1: トランスミッションビットを L にする

ビット	ビット名	初期値	R/W	説明
6	OPDM	0	R/W	オーブンドレイン出力モード設定 0 : 通常出力 1 : オーブンドレイン出力 【注】 MMCCMD 線のみ有効となります。
5	CCSH	0	R/W	CCS 受信後 H 出力設定 0 : CCS 受信後 3 サイクル目に H を出力する 1 : CCS 受信後に H を出力しない
4~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	DATW[1:0]	00	R/W	データバス幅設定 (データありのとき有効) 00 : 1 ビット 01 : 4 ビット 10 : 8 ビット 11 : 設定禁止

30.3.2 アーギュメントレジスタ (CE_ARG)

CE_ARG は、送信するコマンドのアーギュメントを設定するレジスタです。CE_CMD_SET の CMD[5:0] ビットを設定する前に設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARG[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ARG[31:0]	H'0000 0000	R/W	アーギュメント 31~0 を設定 【注】 自動 CMD12 のアーギュメントは、CE_ARG_CMD12 で設定してください。

30.3.3 自動CMD12 アーギュメントレジスタ (CE_ARG_CMD12)

CE_ARG_CMD12 は、マルチブロック転送におけるCMD12 を自動発行する際に、自動CMD12 のアーギュメントを設定するレジスタです。CE_CMD_SET のCMD[5:0]ビットを設定する前に設定してください。

自動CMD12 については、「30.6.2 自動CMD12 発行について」を参照ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C12ARG[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C12ARG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	C12ARG [31:0]	H'0000 0000	R/W	アーギュメント31~0を設定

30.3.4 コマンド制御レジスタ (CE_CMD_CTRL)

CE_CMD_CTRL は、強制終了を行う際に設定するレジスタです。また、CCSD の発行は、CE-ATA デバイスを接続している場合に有効です。MMC と接続している際は、CCSD を発行しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCSD	BREAK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	CCSD	0	R/W	CCSD 発行 0の状態から1をライトすると、CCSD を発行します。 CE_INT の CCSDE が1になってから、CCSD を0ライトし戻してください。 【注】CCSD を発行する前に、CE_HOST_STS1 のCMDSEQ ビットが0であることを確認してください。

ビット	ビット名	初期値	R/W	説明
0	BREAK	0	R/W	<p>コマンドシーケンス強制終了</p> <p>0の状態から1をライトし、その後、0をライトするとコマンドシーケンスを中断します。</p> <p>【注】上記設定後、CE_HOST_STS1のCMDSEQビットが0になることを確認してください。その後次の処理が可能となります。</p> <p>また、「30.8.2 強制終了について」を参照してください。</p>

30.3.5 転送ブロック設定レジスタ (CE_BLOCK_SET)

CE_BLOCK_SETは、転送するデータのブロックサイズとブロック数を設定するレジスタです。CE_CMD_SETのCMD[5:0]ビットを設定する前に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BLKCNT [15:0]	H'0000	R/W	<p>転送ブロック数</p> <p>【注】マルチブロック転送のとき、有効となります。</p>
15~0	BLKSIZ[15:0]	H'0200	R/W	<p>転送ブロックサイズ</p> <p>【注】転送ブロックサイズは、</p> <ul style="list-style-type: none"> • シングルブロック転送設定時：1~512バイト • マルチブロック転送設定時：512バイト <p>に設定してください。</p>

30.3.6 クロックコントロールレジスタ (CE_CLK_CTRL)

CE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定するレジスタです。なお、コマンドシーケンス中は再設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLKEN	—	—	—	—	CLKDIV[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SRSPTO[1:0]		SRBSYTO[3:0]			SRWDTO[3:0]			SCCSTO[3:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	CLKEN	0	R/W	MMC クロック出力制御 0 : MMC クロックを出力しない (L 固定) 1 : MMC クロックを出力する
23~20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19~16	CLKDIV[3:0]	0000	R/W	MMC クロック周波数設定 0000 : $\text{clks1}/2^1$ 0001 : $\text{clks1}/2^2$: 0111 : $\text{clks1}/2^8$ 1000 : $\text{clks1}/2^9$ 1001~1111 : 設定禁止 Boot Operation 時については、「30.6.6 Boot Operation 時の MMC クロック周波数について」および「30.3.11 Boot Operation 設定レジスタ (CE_BOOT)」を参照してください。
15	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	SRSPTO[1:0]	00	R/W	レスポンスタイムアウト設定 CE_INT の RSPTO の期間を設定します。 00 : 64×MMC クロック周期 01 : 128×MMC クロック周期 10 : 256×MMC クロック周期 11 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
11~8	SRBSYTO [3:0]	0000	R/W	レスポンスビジータイムアウト設定 CE_INT の RBSYTO の期間を設定します。 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 : 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期
7~4	SRWDTO[3:0]	0000	R/W	ライトデータタイムアウト/リードデータタイムアウト設定 CE_INT の WDATTO、RDATTO の期間を設定します。 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 : 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期
3~0	SCCSTO[3:0]	0000	R/W	CCS タイムアウト設定 CE_INT の CCSTO の期間を設定します。 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 : 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期

30.3.7 バッファアクセス設定レジスタ (CE_BUF_ACC)

CE_BUF_ACC は、データレジスタのアクセス方法と DMA の転送方法を設定するレジスタです。

CE_CMD_SET の CMD[5:0]ビットを設定する前に設定してください。バッファの説明については「30.6.3 バッファの構造について」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DMAW EN	DMAR EN	—	—	—	—	—	—	BUSW	ATYP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
26	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25	DMAWEN	0	R/W	バッファライト DMA 転送要求イネーブル 0 : バッファライト DMA 転送要求を禁止 1 : バッファライト DMA 転送要求を許可
24	DMAREN	0	R/W	バッファリード DMA 転送要求イネーブル 0 : バッファリード DMA 転送要求を禁止 1 : バッファリード DMA 転送要求を許可
23、22	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21~18	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	BUSW	0	R/W	データレジスタアクセス幅選択 0 : CE_DATA に 32 ビットでアクセスする場合 1 : CE_DATA に 16 ビットでアクセスする場合
16	ATYP	0	R/W	バッファアクセス選択 0 : バイト単位差し替えなし 1 : バイト単位差し替えあり 【注】 バッファへのアクセスについては「30.6.4 CE_DATA アクセス時のバッファアクセス選択機能について」を参照してください。
15~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.3.8 レスポンスレジスタ 3~0 (CE_RESP3~0)

CE_RESP3~0は、受信したレスポンス値が格納されるレジスタです。

レスポンス値のフォーマットについては、「30.6.1 コマンド/レスポンスのフォーマットについて」を参照してください。

• CE_RESP3

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[127:112]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[111:96]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[127:96]	H'0000 0000	R	R2 レスポンス[127:96]

• CE_RESP2

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[95:80]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[79:64]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[95:64]	H'0000 0000	R	R2 レスポンス[95:64]

• CE_RESP1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[63:48]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[63:32]	H'0000 0000	R	R2 レスポンス[63:32]

- CE_RESP0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RSP[31:16]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RSP[15:0]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[31:0]	H'0000 0000	R	レスポンス[31:0]もしくは R2 レスポンス[31:0]

30.3.9 自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)

CE_RESP_CMD12 は、CMD12 を自動発行した際に、CMD12 に対するレスポンス値が格納されるレジスタです。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RSP12[31:16]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RSP12[15:0]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
31~0	RSP12[31:0]	H'0000 0000	R	CMD12 レスポンス[31:0]

30.3.10 データレジスタ (CE_DATA)

CE_DATA は、バッファにアクセスするためのレジスタです。

16 ビットアクセス時は、DATA[31:16]ビットのみアクセス可能です。ライトデータ/リードデータのフォーマットについては、「30.6.5 データのフォーマットについて」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DATA[31:0]	H'0000 0000	R/W	バッファライト/リード[31:0]

30.3.11 Boot Operation 設定レジスタ (CE_BOOT)

CE_BOOT は、Boot Operation 時の MMC クロック周波数とタイムアウト値を設定するレジスタです。

コマンドシーケンスが実行中は再設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BTCLKDIV				SBTACKTO				S1STBDATTO				SBTDATTO			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	BTCLKDIV[3:0]	H'0	R/W	Boot モード時 MMC クロック周波数設定 0000 : モジュールクロック/2 ¹ 0001 : モジュールクロック/2 ² 0010 : モジュールクロック/2 ³ 0011 : モジュールクロック/2 ⁴ 0100~1111 : 設定禁止 BTCLKDIV は、CE_CLK_CTRL の CLKDIV 以下の値を設定してください。 Boot モード時 MMC クロック周波数については、「30.6.6 Boot Operation 時の MMC クロック周波数について」を参照してください。
27~24	SBTACKTO[3:0]	H'0	R/W	Boot Acknowledge タイムアウト設定 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期

ビット	ビット名	初期値	R/W	説明
23~20	S1STBTDATTO[3:0]	H'0	R/W	1st Boot データタイムアウト設定 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期
19~16	SBTDATTO[3:0]	H'0	R/W	Boot データ間タイムアウト設定 0000 : 2 ¹⁴ ×MMC クロック周期 0001 : 2 ¹⁵ ×MMC クロック周期 1110 : 2 ²⁸ ×MMC クロック周期 1111 : 2 ²⁹ ×MMC クロック周期
15~0	—	H'0000	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

30.3.12 割り込みフラグレジスタ (CE_INT)

CE_INT は、コマンドシーケンス中の各種ステータスを表すレジスタです。各ビットは、セット条件を満たすと1にセットされます。フラグをクリアする際は、クリアするビットのみ0を設定し、それ以外のビットは1を設定してください。

エラー、タイムアウト発生時の動作については、「30.6.7 エラー、タイムアウト発生時の動作について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CCSDE	—	—	CMD12 DRE	CMD12 RBE	CMD12 CRE	DTRAN E	BUFR E	BUFW EN	BUFR EN	CCS RCV	—	RBSY E	CRSP E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/WC0	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R	R/WC0	R/WC0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD VIO	BUF VIO	—	—	WDAT ERR	RDAT ERR	RIDX ERR	RSP ERR	—	—	CCS TO	CRCS TO	WDAT TO	RDAT TO	RBSY TO	RSP TO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC0	R/WC0	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0

ビット	ビット名	初期値	R/W	説明
31, 30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に1にしてください。
29	CCSDE	0	R/WC0*	CCSD 発行完 セット条件: CCSD 発行完 クリア条件: 0 ライト
28, 27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に1にしてください。

ビット	ビット名	初期値	R/W	説明
26	CMD12DRE	0	R/WC0*	自動 CMD12&バッファリード完 セット条件：自動 CMD12 のレスポンスビジーとバッファリードが完了したとき クリア条件：0 ライト 【注】 CMD12DRE がセットされた際は、CMD12RBE、CMD12CRE、BUFRE もセットされているので、クリアしてください。
25	CMD12RBE	0	R/WC0*	自動 CMD12 レスポンスビジー完 セット条件：自動 CMD12 のレスポンス受信とレスポンスビジーが完了したとき クリア条件：0 ライト 【注】 CMD12RBE がセットされた際は、CMD12CRE もセットされているので、クリアしてください。また、マルチブロックライトのときに CMD12RBE がセットされた際は、DTRANE もセットされているので、クリアしてください。
24	CMD12CRE	0	R/WC0*	自動 CMD12 コマンドレスポンス完 セット条件：自動 CMD12 のレスポンスを受信したとき クリア条件：0 ライト
23	DTRANE	0	R/WC0*	データ送信完 セット条件：全ブロックの全データの送信が完了したとき <ul style="list-style-type: none"> • CRC status を受信する設定の場合： CRC status 後のビジー（データビジー）が完了したとき • CRC status を受信しない設定の場合： データの送信が完了したとき クリア条件：0 ライト
22	BUFRE	0	R/WC0*	バッファリード完 セット条件： <ul style="list-style-type: none"> • Boot Operation 以外 全ブロックの全データの受信が完了し バッファからリードし終わったとき • Boot Operation のとき 全ブロックの全データの受信が完了し バッファからリードし終わったとき、かつ、MMCCMD が 0 から 1 に変化し、48×MMC クロック周期経過したとき クリア条件：0 ライト
21	BUFWEN	0	R/WC0*	バッファライト可 セット条件：バッファが空でライト可能になったとき クリア条件：0 ライト 【注】 バッファライト DMA 転送要求を許可している場合は、セットされません

ビット	ビット名	初期値	R/W	説明
20	BUFREN	0	R/WC0*	バッファリード可 セット条件：バッファに転送ブロックサイズ分のデータが格納されリード可能になったとき クリア条件：0 ライト 【注】 バッファリード DMA 転送要求を許可している場合は、セットされません
19	CCSRCV	0	R/WC0*	CCS 受信完 セット条件：CCS を受信したとき クリア条件：0 ライト
18	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に1にしてください。
17	RBSYE	0	R/WC0*	レスポンスビジー完 セット条件：レスポンスの受信とレスポンスビジーの受信が完了したとき クリア条件：0 ライト 【注】 RBSYE がセットされた際は、CRSPE もセットされているので、クリアしてください。また、自動 CMD12 のレスポンスとレスポンスビジーについては、CMD12RBE に反映されます。
16	CRSPE	0	R/WC0*	コマンドレスポンス完 <ul style="list-style-type: none"> • セット条件： <ul style="list-style-type: none"> Boot Operation 以外 - レスポンス無し設定の場合： <ul style="list-style-type: none"> コマンドの送信が完了したとき - 6 バイトまたは 17 バイトのレスポンス設定の場合： <ul style="list-style-type: none"> レスポンスを受信したとき • Boot Operation かつ Boot Acknowledge 受信設定のとき <ul style="list-style-type: none"> Boot Acknowledge を受信したとき クリア条件：0 ライト 【注】 自動 CMD12 のレスポンスについては、CMD12CRE に反映されます。

ビット	ビット名	初期値	R/W	説明
15	CMDVIO	0	R/WC0*	<p>コマンド発行エラー</p> <p>セット条件: CE_CMD_SET、CE_BLOCK_SET への設定に不正があったとき</p> <ul style="list-style-type: none"> • コマンドシーケンスが実行中の場合: CE_CMD_SET の CMD[5:0] ビットヘライトしたとき (コマンドシーケンスは自動停止しません) • コマンドシーケンス開始時の場合: レジスタの設定が、下記のいずれかの組み合わせの状態 CE_CMD_SET の CMD[5:0] ビットヘライトしたとき <ul style="list-style-type: none"> - レスポンス無し+レスポンスビジーあり - レスポンス無し+データあり+Boot Operation 以外 - レスポンス無し+CCS の受け付けを許可 - データ無し+CMD12 を自動発行する - データあり+シングル+CMD12 を自動発行する - データあり+CMD12 を自動発行する+CCS の受け付けを許可 - データあり+レスポンスビジーあり+CMD12 を自動発行する - データあり+転送ブロックサイズ=0 - データあり+転送ブロックサイズ\geq513 - データあり+マルチブロック転送+転送ブロック数=0 - Boot Operation+データ無し - Boot Operation+ライト - Boot Operation+レスポンスビジーあり - Boot Operation+CMD12 を自動発行する - Boot Acknowledge 受信あり+Boot Operation 以外 <p>クリア条件: 0 ライト</p>
14	BUFVIO	0	R/WC0*	<p>バッファアクセスエラー</p> <p>セット条件: バッファアクセスに不正があったとき</p> <ul style="list-style-type: none"> • CE_BLOCK_SET の BLKSIZ[15:0] ビットに設定したブロックサイズより多く CE_DATA へアクセスしたとき • カードからデータをリード中の場合: BUFREN がセットされていない (DMA 時は、バッファリード DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき • カードへデータをライト中の場合: BUFREN がセットされていない (DMA 時は、バッファライト DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき <p>クリア条件: 0 ライト</p> <p>【注】 BUFVIO がセットされた際は、コマンドシーケンスは自動停止しません。</p>

ビット	ビット名	初期値	R/W	説明
13, 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 1 にしてください。
11	WDATERR	0	R/WC0*	ライトデータエラー セット条件： <ul style="list-style-type: none"> • ライトデータにエラーがあったとき • CRC status のステータスにエラーがあるとき • CRC status のエンドビットにエラーがあるとき クリア条件：0 ライト 【注】 WDATERR がセットされた際は、コマンドシーケンスが自動停止します。
10	RDATERR	0	R/WC0*	リードデータエラー セット条件：リードデータにエラーがあったとき <ul style="list-style-type: none"> • リードデータの CRC16 にエラーがあるとき • リードデータのエンドビットにエラーがあるとき クリア条件：0 ライト 【注】 RDATERR がセットされた際は、コマンドシーケンスが自動停止します。
9	RIDXERR	0	R/WC0*	レスポンスインデックスエラー セット条件： <ul style="list-style-type: none"> • 6 バイトレスポンス（自動 CMD12 含む）の[45:40]、または、17 バイトレスポンスの[133:128]にエラーがあったとき （チェック内容は、CE_CMD_SET の RIDXC に設定） クリア条件：0 ライト 【注】 RIDXERR がセットされた際は、コマンドシーケンスが自動停止します。
8	RSPERR	0	R/WC0*	レスポンスエラー セット条件： <ul style="list-style-type: none"> • レスポンスのトランスミッションビットが 1 のとき • レスポンスのエンドビットにエラーがあったとき • 6 バイトレスポンス（自動 CMD12 含む）、または、17 バイトレスポンスの[7:1]にエラーがあったとき （チェック内容は、CE_CMD_SET の RCRC7C に設定） • Boot Acknowledge の Pattern にエラーがあったとき • Boot Acknowledge のエンドビットにエラーがあったとき クリア条件：0 ライト 【注】 RSPERR がセットされた際は、コマンドシーケンスが自動停止します。
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
5	CCSTO	0	R/WC0*	<p>CCS タイムアウト</p> <p>セット条件：CE_CLK_CTRL の SCCSTO の期間を超え、CCS を受信できなかったとき</p> <p>クリア条件：0 ライト</p> <p>【注】 CCSTO がセットされても、コマンドシーケンスは停止しません。</p>
4	CRCSTO	0	R/WC0*	<p>CRC status タイムアウト</p> <p>セット条件：CRC status を受信できなかったとき</p> <p>クリア条件：0 ライト</p> <p>【注】 CRCSTO がセットされても、コマンドシーケンスは停止しません。</p>
3	WDATTO	0	R/WC0*	<p>ライトデータタイムアウト</p> <p>セット条件：CRC status 受信後、CE_CLK_CTRL の SRWDTO の期間を超えビジーが続いたとき</p> <p>クリア条件：0 ライト</p> <p>【注】 WDATTO がセットされても、コマンドシーケンスは停止しません。</p>
2	RDATTO	0	R/WC0*	<p>リードデータタイムアウト</p> <p>セット条件：</p> <ul style="list-style-type: none"> • Boot Operation 以外 <ul style="list-style-type: none"> - リードコマンド送信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかったとき - リードデータ受信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかったとき • Boot Operation のとき <ul style="list-style-type: none"> - CE_BOOT の S1STBTDATTO の期間を超え、最初のリードデータを受信できなかったとき - リードデータ受信後、CE_BOOT の SBTDATTO の期間を超え、リードデータを受信できなかったとき <p>クリア条件：0 ライト</p> <p>【注】 RDATTO がセットされても、コマンドシーケンスは停止しません。</p>
1	RBSYTO	0	R/WC0*	<p>レスポンスビジータイムアウト</p> <p>セット条件：コマンド（自動 CMD12 含む）送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いたとき</p> <p>クリア条件：0 ライト</p> <p>【注】 RBSYTO がセットされても、コマンドシーケンスは停止しません。</p>

ビット	ビット名	初期値	R/W	説明
0	RSPTO	0	R/WC0*	レスポンスタイムアウト セット条件 : <ul style="list-style-type: none"> • Boot Operation 以外 コマンド (自動 CMD12 含む) 送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかったとき • Boot Operation かつ Boot Acknowledge 受信設定のとき、CE_BOOT の SBTACKTO の期間を超え、Boot Acknowledge を受信できなかったとき クリア条件 : 0 ライト 【注】 RSPTO がセットされても、コマンドシーケンスは停止しません。

【注】 * リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

30.3.13 割り込みイネーブルレジスタ (CE_INT_EN)

CE_INT_EN は、CE_INT の割り込み出力を制御するレジスタです。1 に設定したビットに対応する CE_INT のフラグが 1 となっていた場合に、割り込みを出力します。割り込み要求の詳細については、「30.4 割り込み要求の説明」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MC CSDE	—	—	MCMD 12DRE	MCMD 12RBE	MCMD 12CRE	MDT RANE	MBUF RE	MBUF WEN	MBUF REN	MCCS RCV	—	MRBSY E	MCRSP E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMD VIO	MBUF VIO	—	—	MWDAT ERR	MRDAT ERR	MRIDX ERR	MRSP ERR	—	—	MCCS TO	MCRC STO	MWDA TTO	MRDA TTO	MRBS YTO	MRSP TO
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	MCCSDE	0	R/W	CCSDE 割り込みマスクフラグ 0 : CCSDE フラグによる割り込み出力を禁止 1 : CCSDE フラグにより割り込み出力を許可
28、27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	MCMD12DRE	0	R/W	CMD12DRE 割り込みマスクフラグ 0 : CMD12DRE フラグによる割り込み出力を禁止 1 : CMD12DRE フラグにより割り込み出力を許可
25	MCMD12RBE	0	R/W	CMD12RBE 割り込みマスクフラグ 0 : CMD12RBE フラグによる割り込み出力を禁止 1 : CMD12RBE フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説明
24	MCMD12CRE	0	R/W	CMD12CRE 割り込みマスクフラグ 0 : CMD12CRE フラグによる割り込み出力を禁止 1 : CMD12CRE フラグにより割り込み出力を許可
23	MDTRANE	0	R/W	DTRANE 割り込みマスクフラグ 0 : DTRANE フラグによる割り込み出力を禁止 1 : DTRANE フラグにより割り込み出力を許可
22	MBUFRE	0	R/W	BUFRE 割り込みマスクフラグ 0 : BUFRE フラグによる割り込み出力を禁止 1 : BUFRE フラグにより割り込み出力を許可
21	MBUFWEN	0	R/W	BUFWEN 割り込みマスクフラグ 0 : BUFWEN フラグによる割り込み出力を禁止 1 : BUFWEN フラグにより割り込み出力を許可
20	MBUFREN	0	R/W	BUFREN 割り込みマスクフラグ 0 : BUFREN フラグによる割り込み出力を禁止 1 : BUFREN フラグにより割り込み出力を許可
19	MCCSRCV	0	R/W	CCSRCV 割り込みマスクフラグ 0 : CCSRCV フラグによる割り込み出力を禁止 1 : CCSRCV フラグにより割り込み出力を許可
18	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	MRBSYE	0	R/W	RBSYE 割り込みマスクフラグ 0 : RBSYE フラグによる割り込み出力を禁止 1 : RBSYE フラグにより割り込み出力を許可
16	MCRSPE	0	R/W	CRSPE 割り込みマスクフラグ 0 : CRSPE フラグによる割り込み出力を禁止 1 : CRSPE フラグにより割り込み出力を許可
15	MCMDVIO	0	R/W	CMDVIO 割り込みマスクフラグ 0 : CMDVIO フラグによる割り込み出力を禁止 1 : CMDVIO フラグにより割り込み出力を許可
14	MBUFVIO	0	R/W	BUFVIO 割り込みマスクフラグ 0 : BUFVIO フラグによる割り込み出力を禁止 1 : BUFVIO フラグにより割り込み出力を許可
13, 12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	MWDATERR	0	R/W	WDATERR 割り込みマスクフラグ 0 : WDATERR フラグによる割り込み出力を禁止 1 : WDATERR フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説明
10	MRDATERR	0	R/W	RDATERR 割り込みマスクフラグ 0 : RDATERR フラグによる割り込み出力を禁止 1 : RDATERR フラグにより割り込み出力を許可
9	MRIDXERR	0	R/W	RIDXERR 割り込みマスクフラグ 0 : RIDXERR フラグによる割り込み出力を禁止 1 : RIDXERR フラグにより割り込み出力を許可
8	MRSPERR	0	R/W	RSPERR 割り込みマスクフラグ 0 : RSPERR フラグによる割り込み出力を禁止 1 : RSPERR フラグにより割り込み出力を許可
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	MCCSTO	0	R/W	CCSTO 割り込みマスクフラグ 0 : CCSTO フラグによる割り込み出力を禁止 1 : CCSTO フラグにより割り込み出力を許可
4	MRCSTO	0	R/W	CRCSTO 割り込みマスクフラグ 0 : CRCSTO フラグによる割り込み出力を禁止 1 : CRCSTO フラグにより割り込み出力を許可
3	MWDATTO	0	R/W	WDATTO 割り込みマスクフラグ 0 : WDATTO フラグによる割り込み出力を禁止 1 : WDATTO フラグにより割り込み出力を許可
2	MRDATTO	0	R/W	RDATTO 割り込みマスクフラグ 0 : RDATTO フラグによる割り込み出力を禁止 1 : RDATTO フラグにより割り込み出力を許可
1	MRBSYTO	0	R/W	RBSYTO 割り込みマスクフラグ 0 : RBSYTO フラグによる割り込み出力を禁止 1 : RBSYTO フラグにより割り込み出力を許可
0	MRSPTO	0	R/W	RSPTO 割り込みマスクフラグ 0 : RSPTO フラグによる割り込み出力を禁止 1 : RSPTO フラグにより割り込み出力を許可

30.3.14 ステータスレジスタ 1 (CE_HOST_STS1)

CE_HOST_STS1 は、転送完了したブロック数、MMCCMD と MMCDAT の状態、受信したレスポンスのインデックス、コマンドシーケンス中の状態を表すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD SEQ	CMD SIG	RSPIDX[5:0]						DATSIG[7:0]							
初期値:	0	—	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVBLK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDSEQ	0	R	コマンドシーケンス中表示 0 : コマンドシーケンスが初期状態にあるとき 1 : コマンドシーケンスが実行中であるとき
30	CMDSIG	不定	R	CMD 状態表示 CMD 線の状態を表示します。
29~24	RSPIDX[5:0]	H'00	R	レスポンスインデックス表示 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]を表示します。
23~16	DATSIG[7:0]	不定	R	DAT[7:0]状態表示 MMCDAT[7:0]の状態を表示します。 【注】通信エラーまたはタイムアウトが発生すると、MMCDAT[0]が 0 の状態のままの場合があります。
15~0	RCVBLK [15:0]	H'0000	R	転送完了ブロック数表示 転送完了したブロック数を表示します。 CE_CMD_SET の DWEN が 0 のとき : カードからリードしたブロック数 CE_CMD_SET の DWEN が 1 のとき : カードヘライトしたブロック数

30.3.15 ステータスレジスタ 2 (CE_HOST_STS2)

CE_HOST_STS2 は、各種タイムアウト、各種エラーの状態を表すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRC STE	CRC 16E	AC12 CRCE	RSP CRC7E	CRC STE7E	RDAT EBE	AC12R EBE	RSP EBE	AC12 IDXE	RSP IDXE	BTACK PATE	BTACK EBE	—	CRCST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STCC STO	STRD ATTO	DATBS YTO	CRCST TO	AC12 BSYTO	RSPBS YTO	AC12 RSPTO	STRS PTO	BTAC KTO	1STBT DATTO	BTDA TTO	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CRCSTE	0	R	CRC status エラー CRC status 値にエラーがあった場合、1 になります。
30	CRC16E	0	R	リードデータ CRC16 エラー リードデータの CRC16 にエラーがあった場合、1 になります。
29	AC12CRCE	0	R	自動 CMD12 レスポンス CRC7 エラー 自動 CMD12 に対するレスポンスの[7:1]にエラーがあった場合、1 になります。 【注】チェック内容は、CE_CMD_SET の RCRC7C に設定
28	RSPCRC7E	0	R	コマンドレスポンス CRC7 エラー (自動 CMD12 以外) 6 バイトレスポンス、または、17 バイトレスポンスの[7:1]にエラーがあった場合、1 になります。 【注】チェック内容は、CE_CMD_SET の RCRC7C に設定
27	CRCSTEBE	0	R	CRC status エンドビットエラー CRC status のエンドビットにエラーがあった場合、1 になります。
26	RDATEBE	0	R	リードデータエンドビットエラー リードデータのエンドビットにエラーがあった場合、1 になります。
25	AC12REBE	0	R	自動 CMD12 レスポンスエンドビットエラー 自動 CMD12 レスポンスのエンドビットにエラーがあった場合、1 になります。
24	RSPEBE	0	R	コマンドレスポンスエンドビットエラー (自動 CMD12 以外) レスポンスのエンドビットにエラーがあった場合、1 になります。
23	AC12IDXE	0	R	自動 CMD12 レスポンスインデックスエラー 自動 CMD12 に対するレスポンスの[45:40]にエラーがあった場合、1 になります。 【注】チェック内容は、CE_CMD_SET の RIDXC に設定。
22	RSPIDXE	0	R	コマンドレスポンスインデックスエラー (自動 CMD12 以外) 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]にエラーがあった場合、1 になります。 【注】チェック内容は、CE_CMD_SET の RIDXC に設定。
21	BTACKPATE	0	R	Boot Acknowledge Pattern エラー Boot Acknowledge の Pattern にエラーがあった場合、1 になります。
20	BTACKEBE	0	R	Boot Acknowledge エンドビットエラー Boot Acknowledge のエンドビットにエラーがあった場合、1 になります。
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	CRCST[2:0]	000	R	CRC status 表示 受信した CRC status のステータス値を表示します

ビット	ビット名	初期値	R/W	説明
15	STCCSTO	0	R	CCS タイムアウト CE_CLK_CTRL の SCCSTO の期間を超え CCS を受信できなかった場合、1 になります。
14	STRDATTO	0	R	リードデータタイムアウト (Boot Operation 以外のとき有効) <ul style="list-style-type: none"> リードコマンド送信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1 になります。 リードデータ受信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1 になります。
13	DATBSYTO	0	R	データビジータイムアウト CRC status 受信後、CE_CLK_CTRL の SRWDTO の期間を超えビジーが続いた場合、1 になります。
12	CRCSTTO	0	R	CRC status タイムアウト CRC status が受信できなかった場合、1 になります。
11	AC12BSYTO	0	R	自動 CMD12 レスポンスビジータイムアウト 自動 CMD12 送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1 になります。
10	RSPBSYTO	0	R	レスポンスビジータイムアウト コマンド (自動 CMD12 以外) 送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1 になります。
9	AC12RSPTO	0	R	自動 CMD12 レスポンスタイムアウト 自動 CMD12 送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1 になります。
8	STRSPTO	0	R	レスポンスタイムアウト コマンド (自動 CMD12 以外) 送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1 になります。
7	BTACKTO	0	R	Boot Acknowledge タイムアウト Boot Operation のとき、CE_BOOT の SBTACKTO の期間を超え、Boot Acknowledge を受信できなかった場合、1 になります。
6	1STBTDATTO	0	R	1st Boot データタイムアウト Boot Operation のとき、CE_BOOT の S1STBTDATTO の期間を超え、最初のリードデータを受信できなかった場合、1 になります。
5	BTDATTO	0	R	Boot データ間タイムアウト Boot Operation のとき、リードデータ受信後、CE_BOOT の SBTDATTO の期間を超え、リードデータを受信できなかった場合、1 になります。
4~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.3.16 バージョンレジスタ (CE_VERSION)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SW RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VERSION[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SWRST	0	R/W	ソフトリセット 0: ソフトリセット解除 (通常動作) 1: ソフトリセット中
30~24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~16	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~0	VERSION [15:0]	H'0002	R	バージョン表示 本モジュールのバージョン値を表示します。

30.4 割り込み要求の説明

本モジュールには通常動作割り込み、エラー/タイムアウト割り込みの2種類の割り込み要求があります。

割り込みフラグは、CE_INTに表示されます。フラグレジスタのビットが1かつイネーブルレジスタのビットが1であるとき割り込み要求に反映されます。各割り込み要求の仕様を表30.3に示します。

表 30.3 割り込み要求の仕様

フラグレジスタ	ビット	イネーブルレジスタ	ビット	割り込み要求	
CE_INT	CCSDE	CE_INT_EN	MCCSDE	通常動作割り込み	
	CMD12DRE		MCMD12DRE		
	CMD12RBE		MCMD12RBE		
	CMD12CRE		MCMD12CRE		
	DTRANE		MDTRANE		
	BUFRE		MBUFRE		
	BUFWEN		MBUFWEN		
	BUFREN		MBUFREN		
	CCSRCV		MCCSRCV		
	RBSYE		MRBSYE		
	CRSPE		MCRSPE		
	CMDVIO		MCMDVIO		エラー/タイムアウト 割り込み
	BUFVIO		MBUFVIO		
	WDATERR		MWDATERR		
	RDATERR		MRDATERR		
	RIDXERR		MRIDXERR		
	RSPERR		MRSPPERR		
	CCSTO		MCCSTO		
	CRCSTO		MCRCSTO		
	WDATTO		MWDATTO		
	RDATTO		MRDATTO		
	RBSYTO		MRBSYTO		
	RSPTO		MRSPTO		

30.5 DMA 仕様

本モジュールは、バッファリード用とバッファライト用 2 チャンネルの DMA 転送要求を持っています。

DMA の転送方式は、CE_BUF_ACC で設定してください。

30.5.1 バッファライト DMA の説明

CE_BUF_ACC の DMAWEN ビットを 1 に設定し、バッファが空であるとき、バッファライト DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ (CE_BLOCK_SET に設定したブロックサイズ) × BLKCNT (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFEN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

30.5.2 バッファリード DMA の説明

CE_BUF_ACC の DMAREN ビットを 1 に設定し、CE_BLOCK_SET に設定した転送ブロックサイズ分のデータがたまっているとき、バッファリード DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ (CE_BLOCK_SET に設定したブロックサイズ) × BLKCNT (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFREN はアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

30.6 動作説明

コマンド/レスポンスのフォーマット、自動 CMD12 発行のタイミング、バッファの構造、バッファアクセス選択機能、エラー発生時の動作について説明します。

30.6.1 コマンド/レスポンスのフォーマットについて

送信するコマンドのフォーマットを図 30.2 に示します。CE_CMD_SET の CMD[5:0] ビットに設定したコマンドインデックスと CE_ARG の ARG[31:0] ビットに設定したアーギュメントが反映されます。

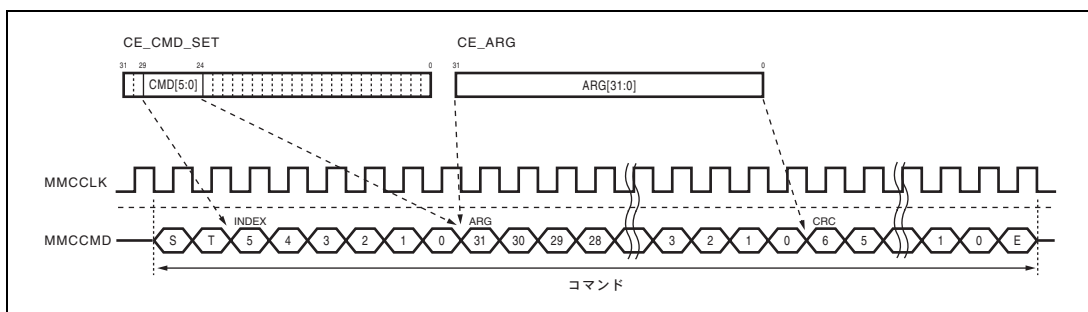


図30.2 コマンドのフォーマット

6 バイトレスポンス受信時のフォーマットを図 30.3 に、17 バイトレスポンス (R2) 受信時のフォーマットを図 30.4 に示します。CE_HOST_STS1 の RSPIDX[5:0] ビットにレスポンスインデックスが格納され、CE_RESP0 もしくは CE_RESP3~0 にレスポンスのステータス値が格納されます。

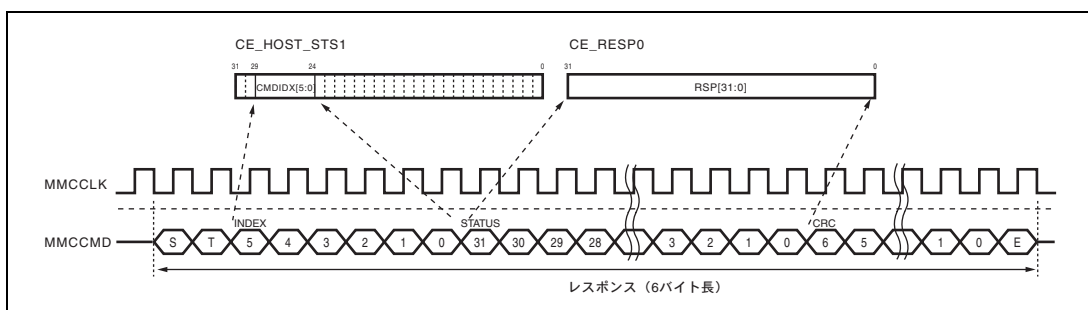


図30.3 6バイトレスポンスのフォーマット

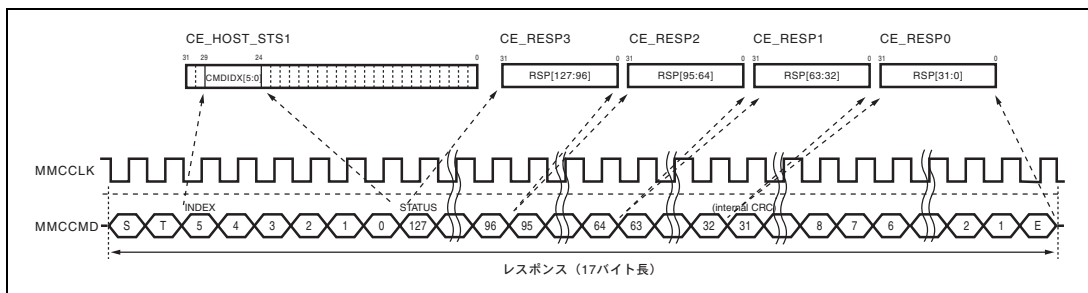


図30.4 17バイトレスポンスのフォーマット (R2)

30.6.2 自動 CMD12 発行について

本モジュールは、CE_CMD_SET の CMD12EN をセットしマルチブロック転送を行うと、CMD12 を自動発行する機能を持っています。マルチブロックリード時とマルチブロックライト時に CMD12 を自動発行するタイミングについて説明します。

図 30.5 に、マルチブロックリード時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロック受信中に、データのエンドビットから 2 ビット前にコマンドのエンドビットが来るように発行されます。

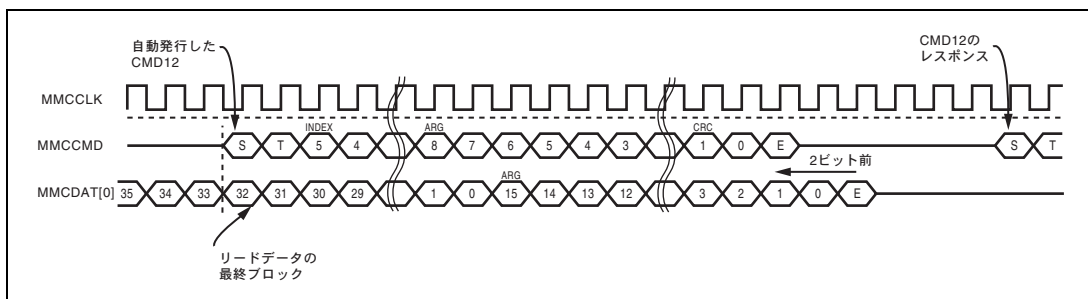


図30.5 マルチブロックリード時の自動 CMD12 発行タイミング (1 ビットモード時)

図 30.6 に、マルチブロックライト時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロックの送信後のデータビジーが終了した後に発行されます。

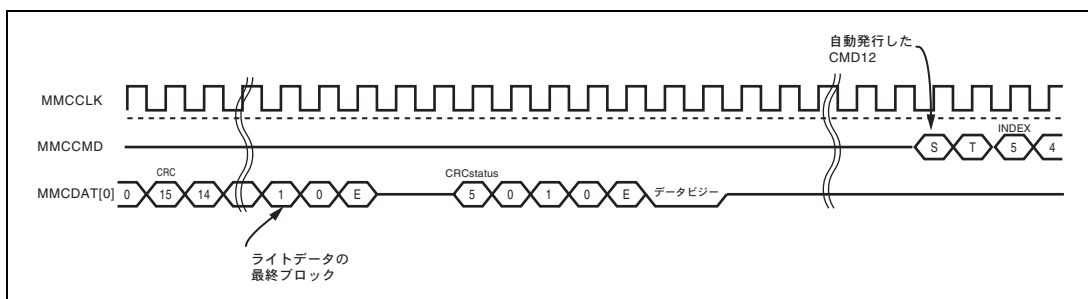


図30.6 マルチブロックライト時の自動 CMD12 発行タイミング (1 ビットモード時)

30.6.3 バッファの構造について

本モジュールは図 30.7 に示すように、512 バイトの RAM を 2 つ持っており、ダブルバッファとして用いています。転送ブロックサイズを $4 \times n + 1$ もしくは $4 \times n + 3$ と設定した場合、16 ビットアクセス時は $4 \times n + 2$ バイトもしくは $4 \times (n + 1)$ バイト分、32 ビットアクセス時は $4 \times (n + 1)$ バイト分アクセスしてください ($n = 0, 1, 2, 3, \dots, 127$)。

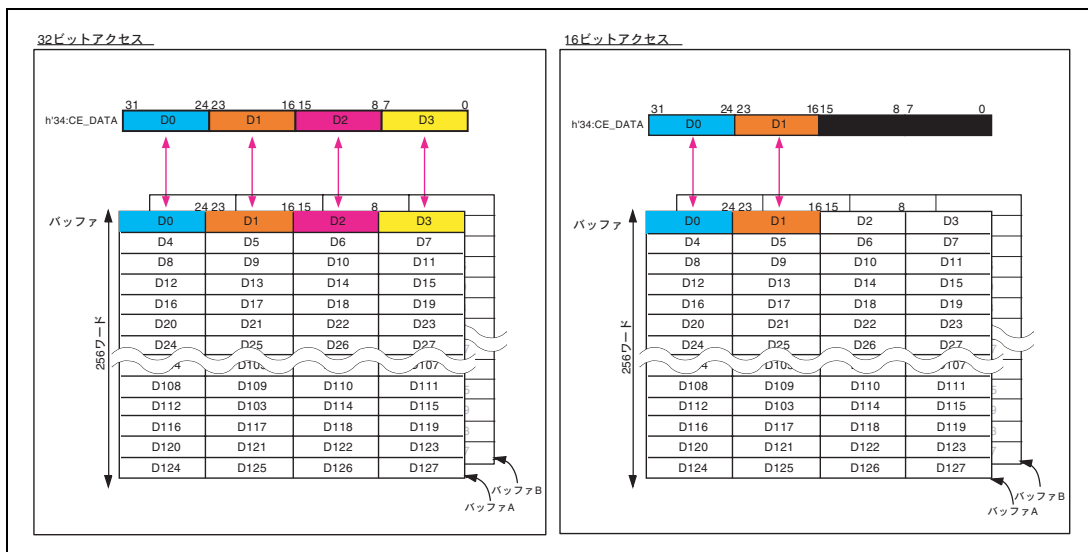


図30.7 ダブルバッファの構造

30.6.4 CE_DATA アクセス時のバッファアクセス選択機能について

本モジュールは、CE_BUF_ACC のバッファアクセス選択機能により、CE_DATA にライト、リードするデータを 1 バイト単位で差し替え、バッファにアクセスすることができます。

図 30.8 に、32 ビット/16 ビットアクセス時の仕様を示します。

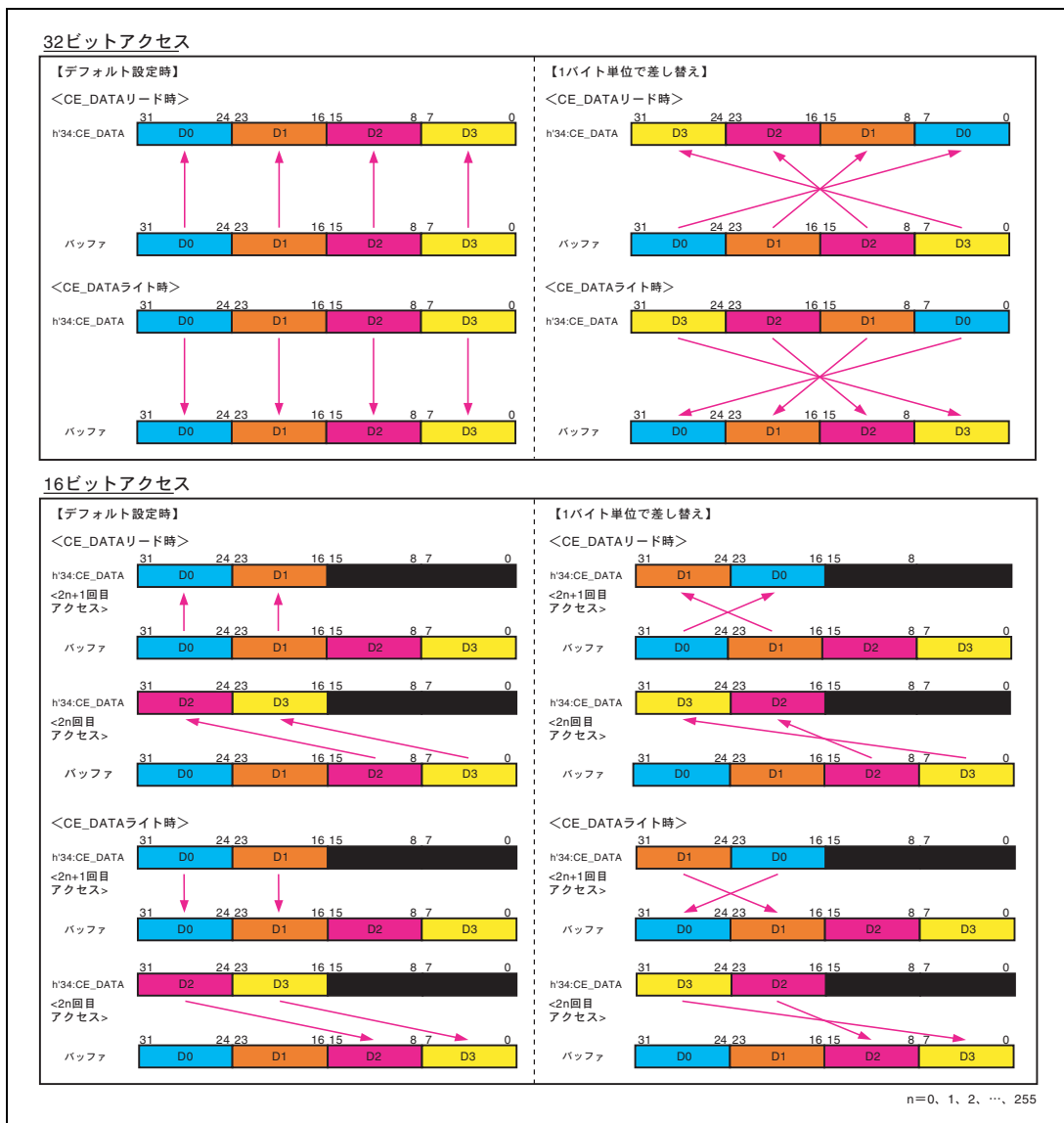


図30.8 32ビット/16ビットアクセス時の1バイト単位差し替えの仕様

30.6.5 データのフォーマットについて

データのフォーマットを図30.9～図30.11に示します。データを送信する場合は、バッファに書き込んだ値が反映され、データを受信する場合は、バッファに値が格納されます。

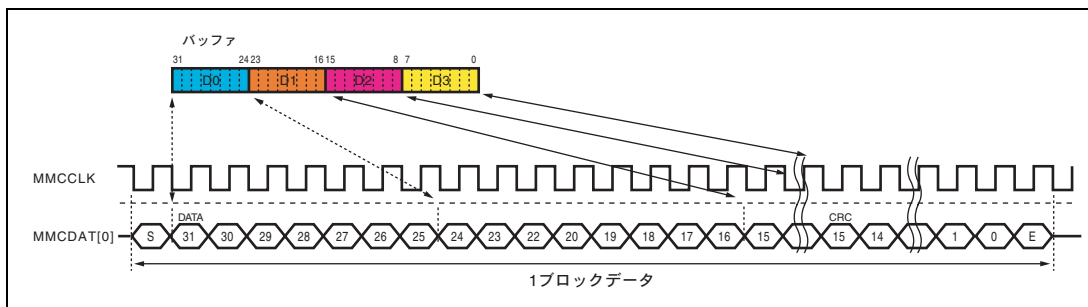


図30.9 データのフォーマット (1ビットモード)

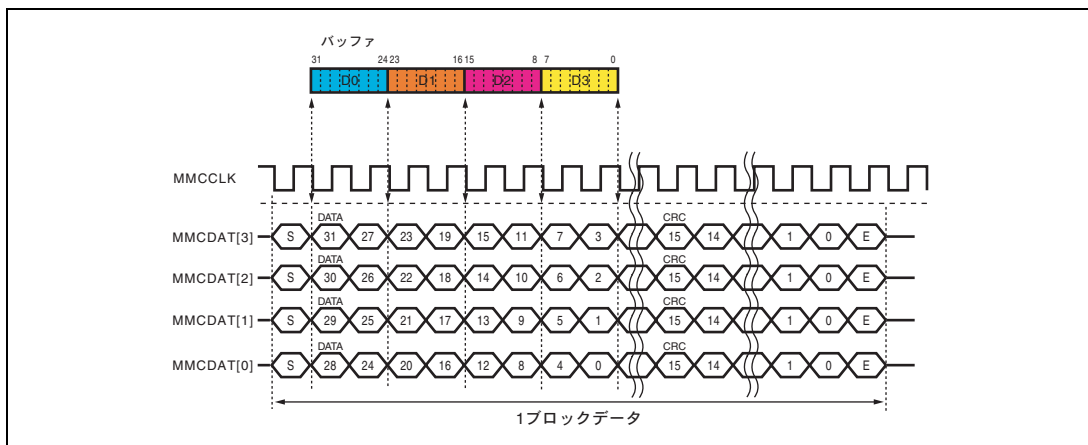


図30.10 データのフォーマット (4ビットモード)

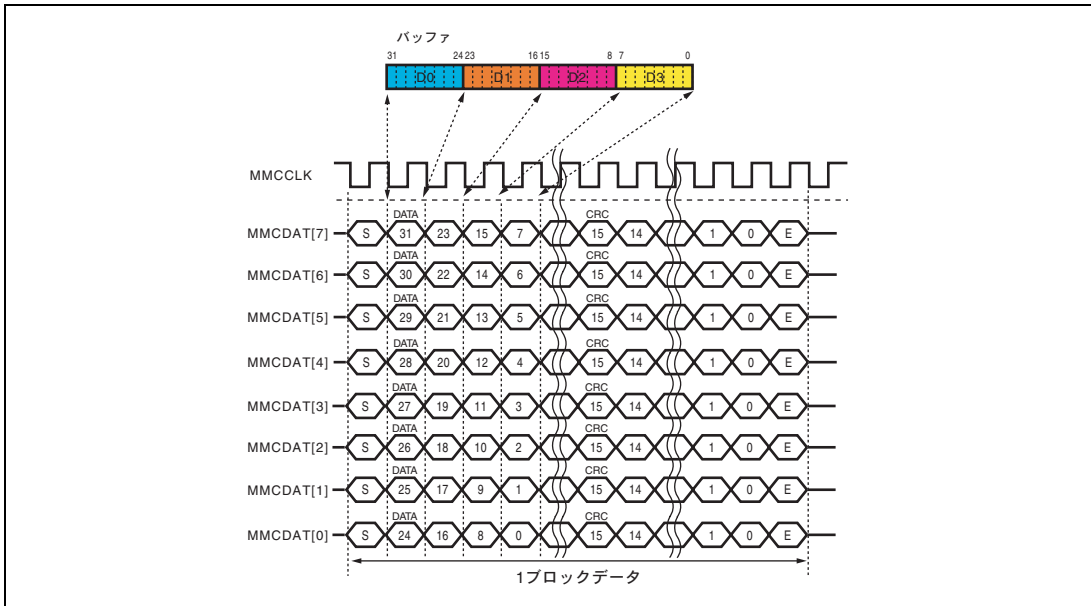


図30.11 データのフォーマット (8ビットモード)

30.6.6 Boot Operation 時の MMC クロック周波数について

図 30.12 に Boot Operation 時の MMC クロック周波数が切り替わる動作を示します。Boot Operation 時には、MMCCMD が 1 から 0 に変化してから、 $74 \times \text{MMC}$ クロック周期後に CE_BOOT の BTCLKDIV に対応した MMC クロック周波数に切り替わります。また、MMCCMD が 0 から 1 に変化した後、 $48 \times \text{MMC}$ クロック周期後に CE_CLK_CTRL の CLKDIV に対応した MMC クロック周波数に戻ります。

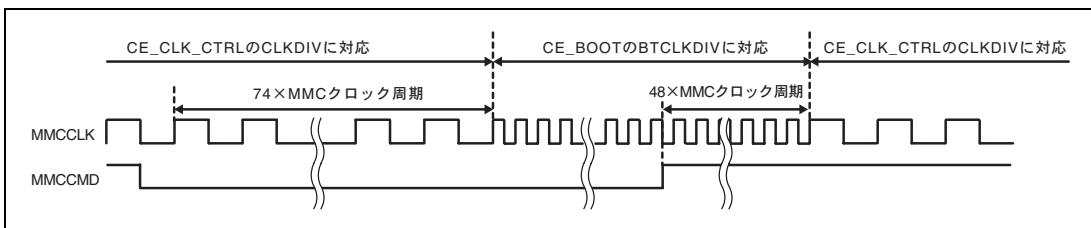


図 30.12 Boot operation 時の MMC クロック周波数

30.6.7 エラー、タイムアウト発生時の動作について

エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

また、エラー確認後の動作は、ステータスレジスタ 1 を確認し、コマンドシーケンス中であれば強制終了を行ってください。その後、本モジュールを初期化し、コマンドシーケンスをやり直してください。

タイムアウト発生時に、本モジュールは停止しません。タイムアウト発生時にコマンドシーケンスが正常に終了せず、ステータスレジスタ 1 を確認し、コマンドシーケンス中のままとなってしまう場合は、強制終了を行い、本モジュールを初期化してください。

強制終了に関しては、「30.8 使用上の注意事項」を参照してください。

30.7 設定例

代表的なコマンドシーケンスを実行する手順について説明します。

30.7.1 凡例の説明

図中記載の記号についての凡例を、図 30.13 に示します。

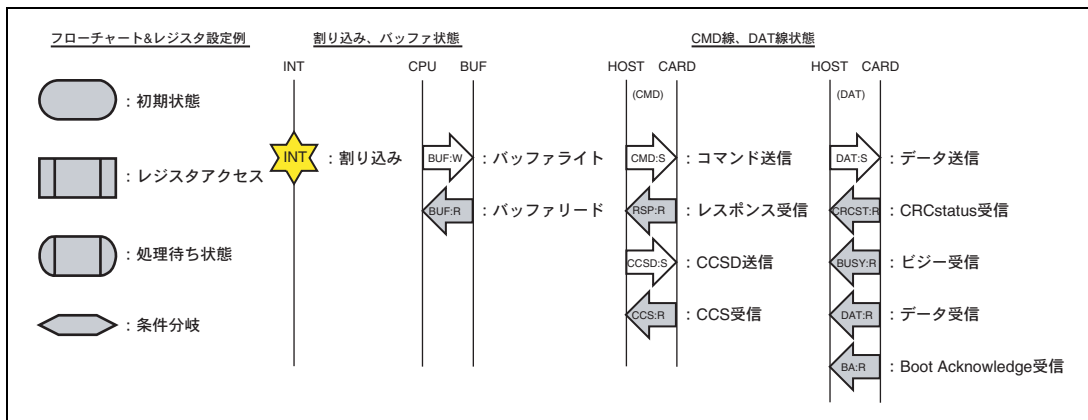


図30.13 図中記載記号の凡例

30.7.2 コマンド送信設定例

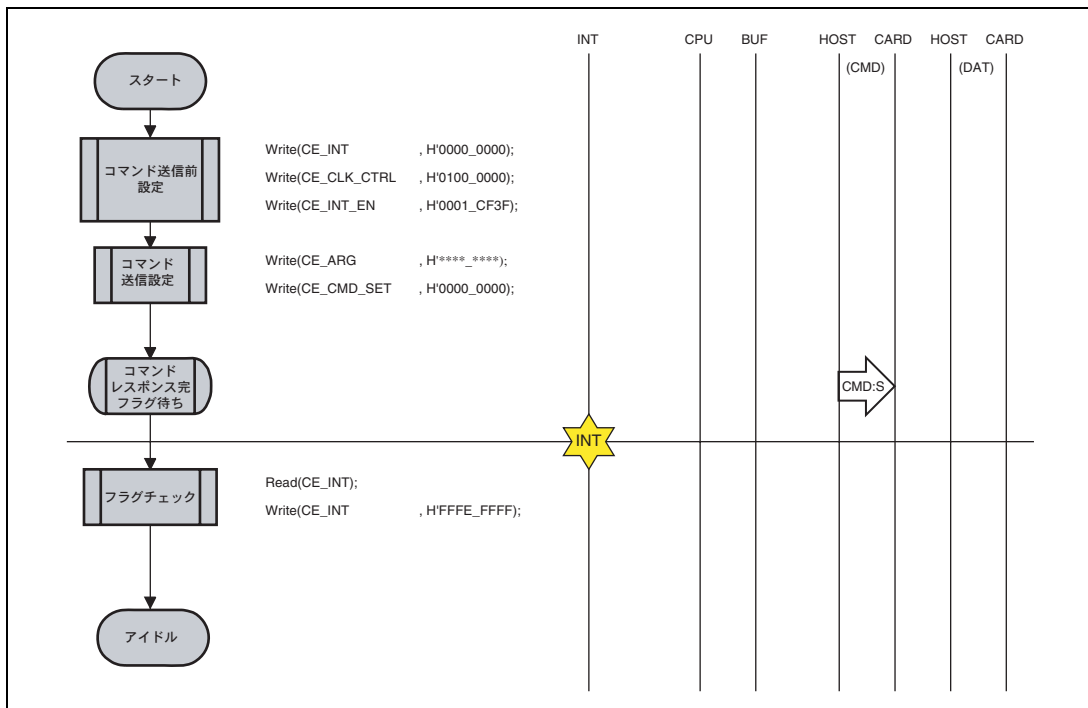


図30.14 コマンド送信設定例 (CMD0)

30.7.3 コマンド送信→レスポンス受信設定例

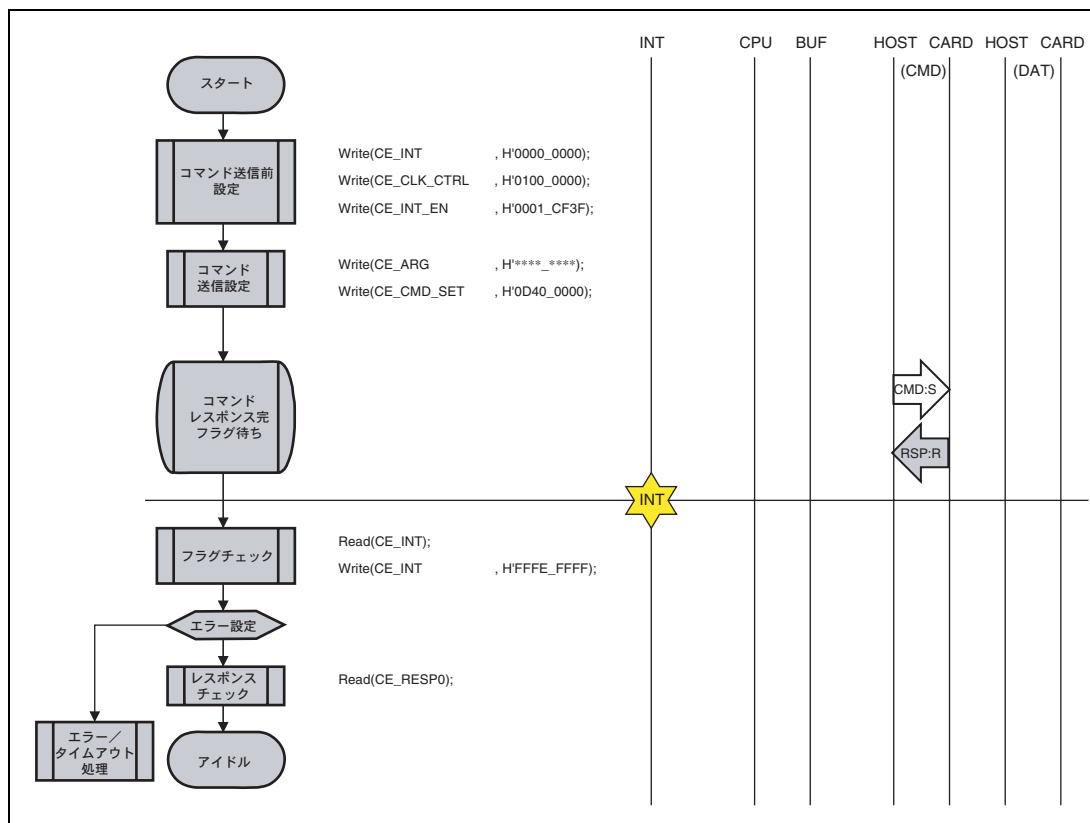


図30.15 コマンド送信→レスポンス受信設定例 (CMD3)

30.7.4 コマンド送信→レスポンス受信 (レスポンスビジーあり) 設定例

- ビジー時間がCE_CLK_CTRLのSRBSYTOの設定未満の場合

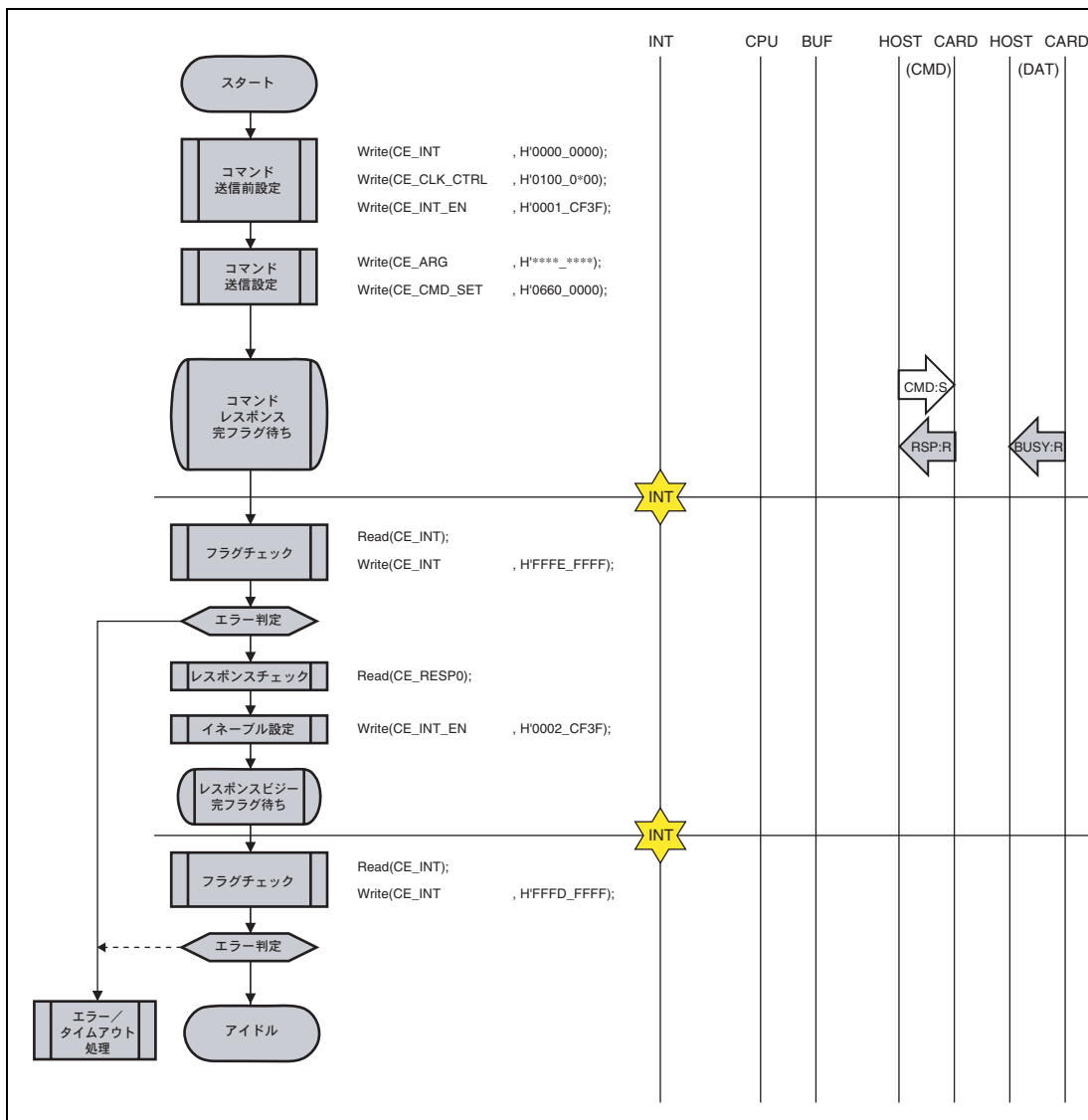


図30.16 コマンド送信→レスポンス受信 (レスポンスビジーあり) 設定例 (CMD6)

- ビジー時間がCE_CLK_CTRLのSRBSYTOの設定以上になることがある場合

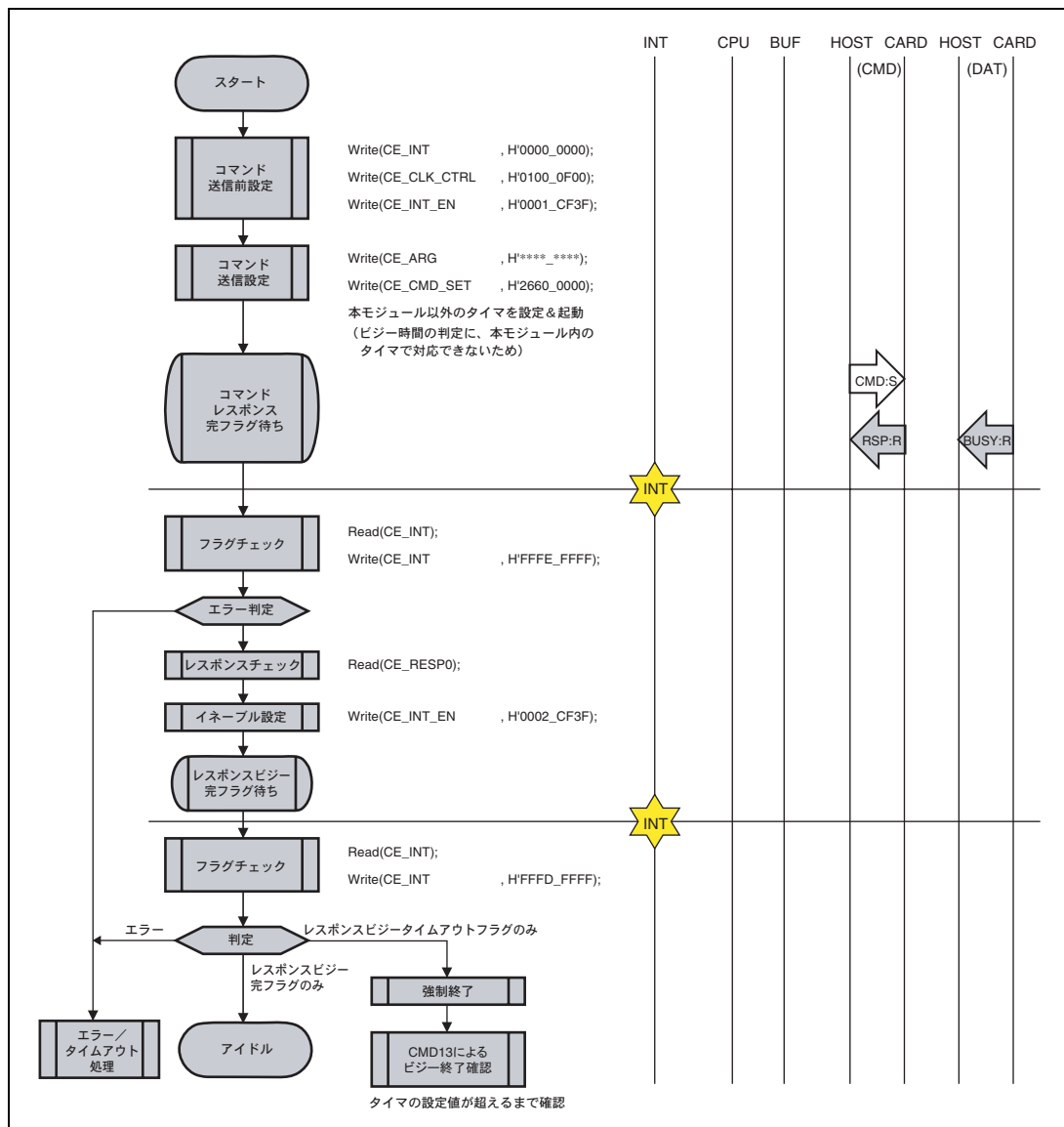


図 30.17 コマンド送信→レスポンス受信（レスポンスビジーあり）設定例（CMD38）

30.7.5 シングルブロックリード設定例

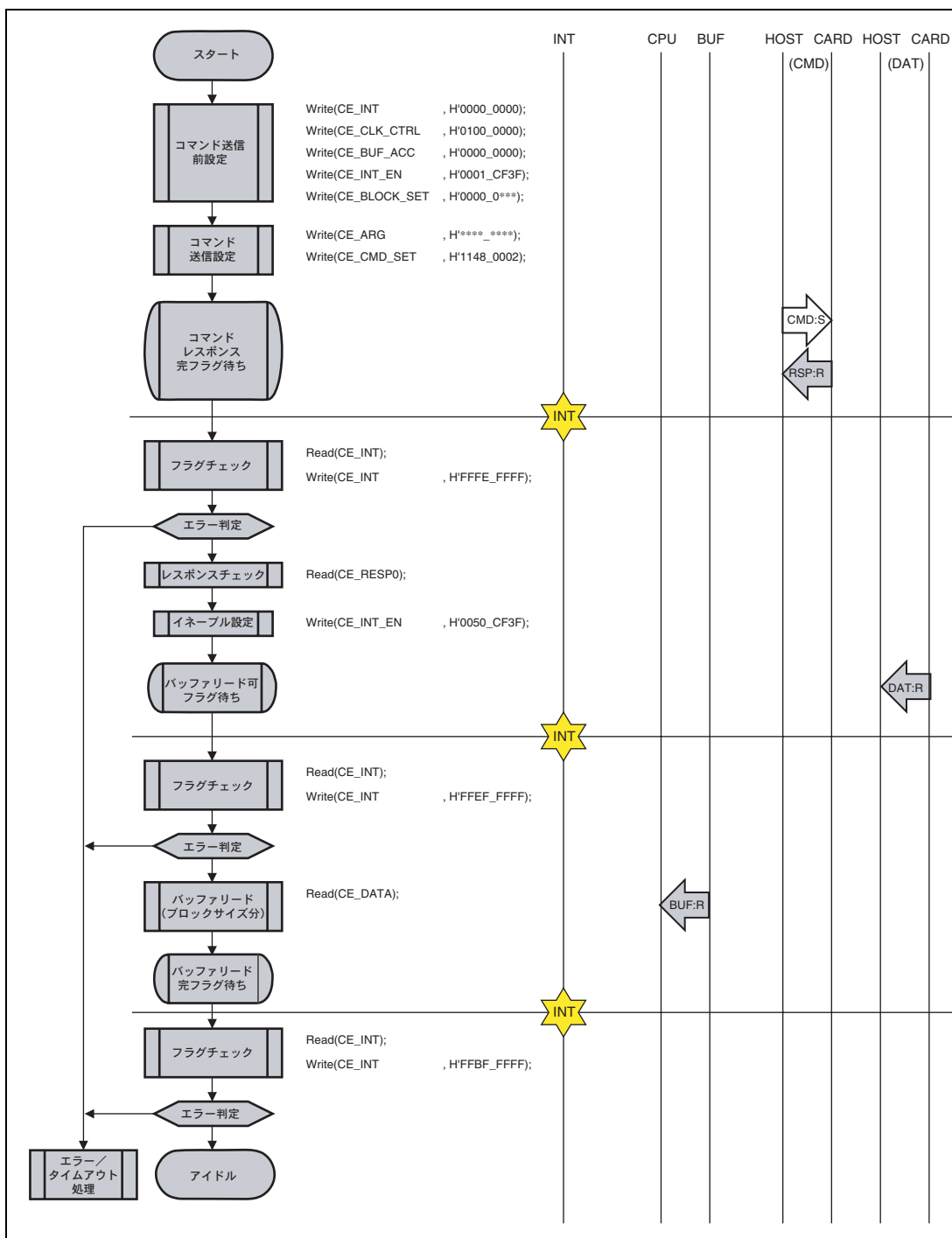


図30.18 シングルブロックリード設定例 (CMD17)

30.7.6 マルチブロックリード設定例

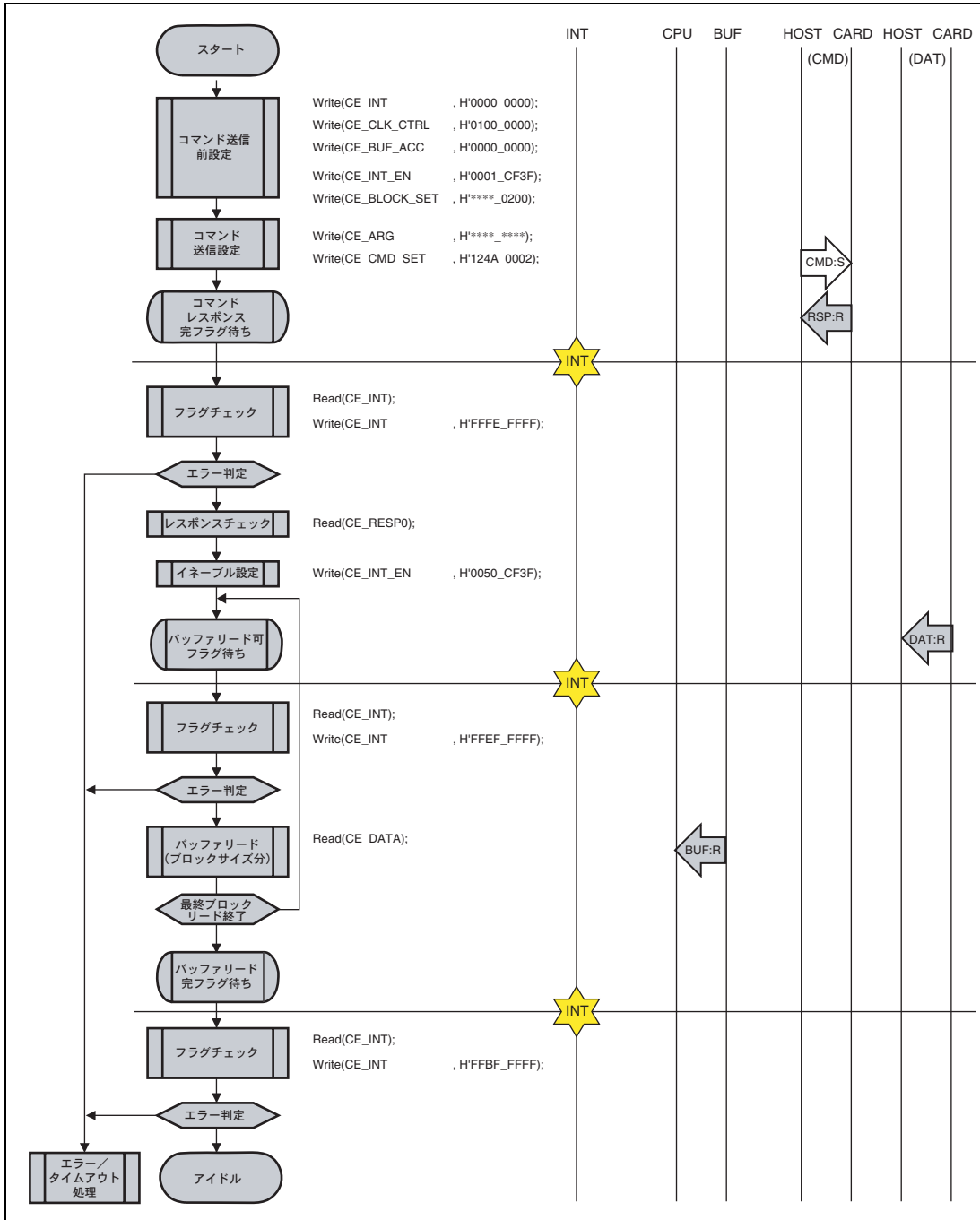


図 30.19 マルチブロックリード設定例 (CMD18 Pre-defined)

30.7.7 マルチブロックリード (自動 CMD12 あり) 設定例

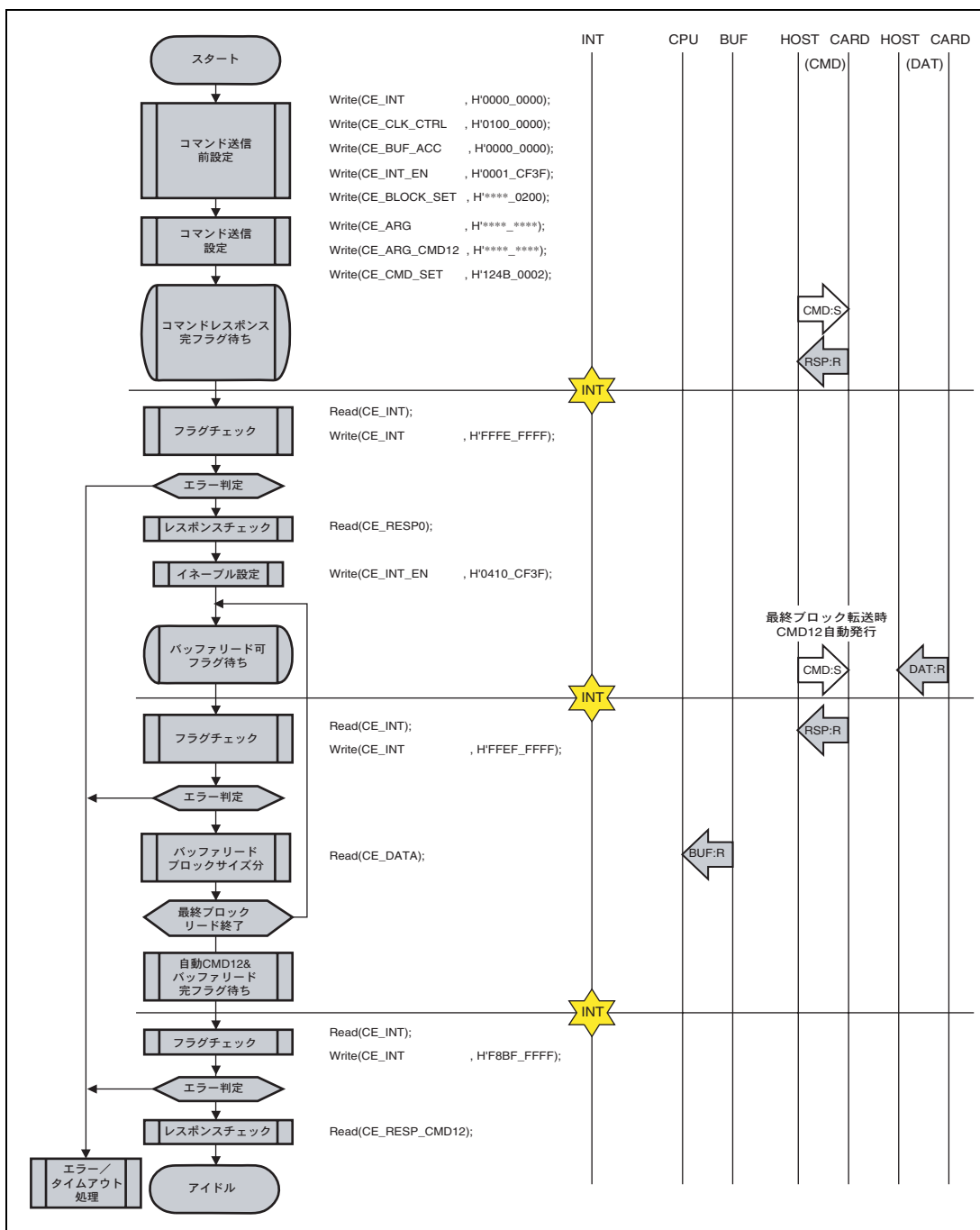


図30.20 マルチブロックリード (自動 CMD12 あり) 設定例 (CMD18 Open-ended)

30.7.8 シングルブロックライト設定例

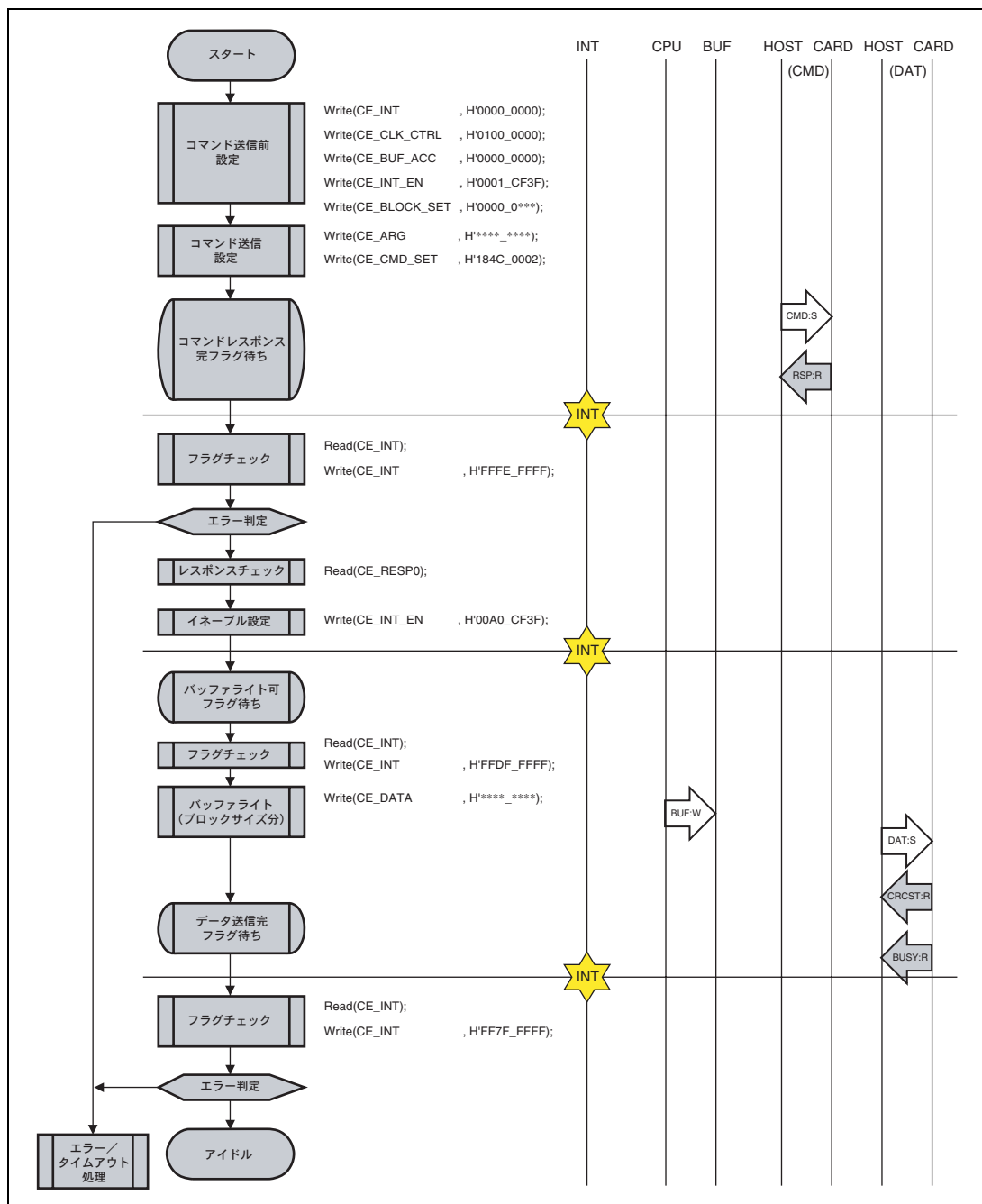


図30.21 シングルブロックライト設定例 (CMD24)

30.7.9 マルチブロックライト設定例

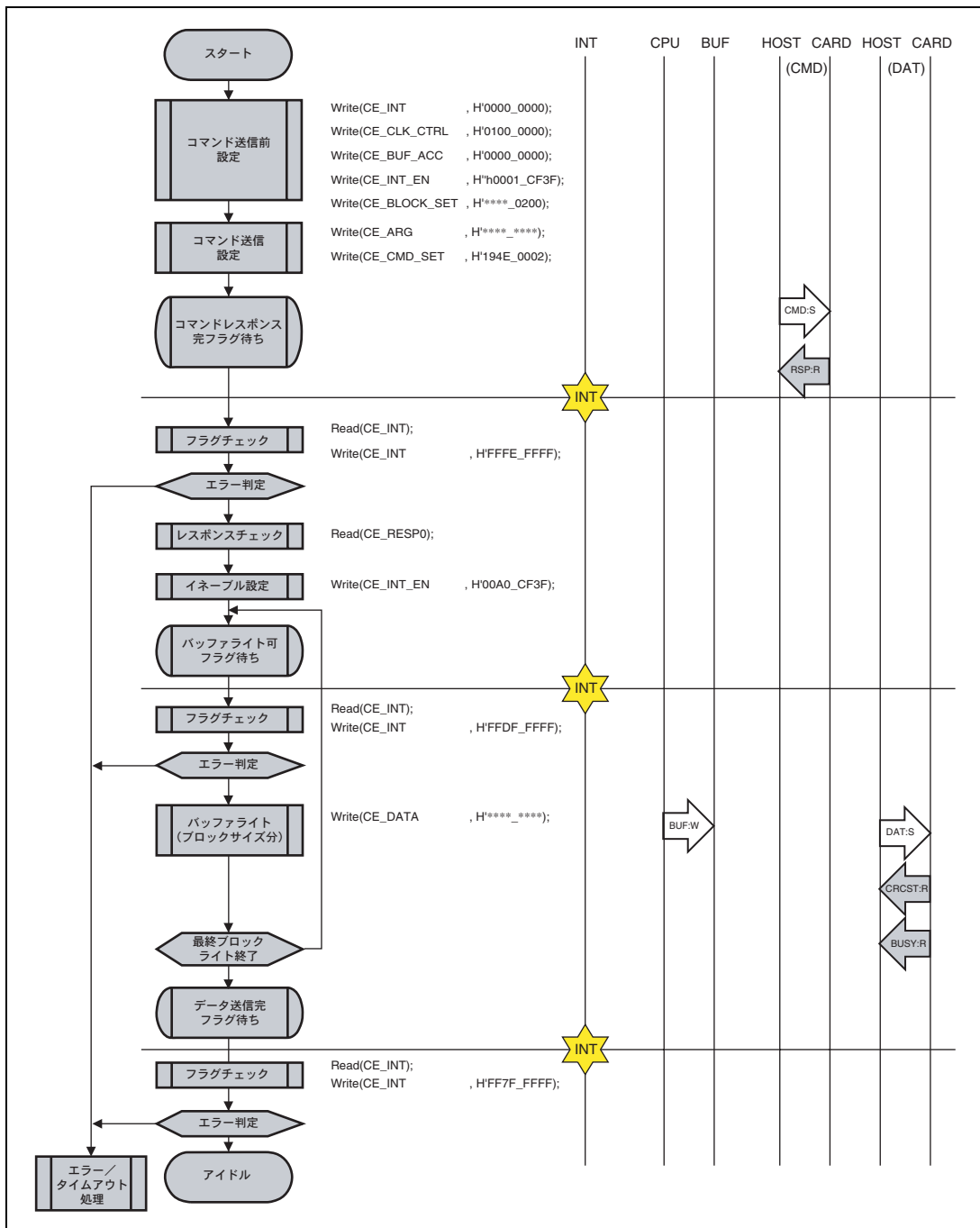


図 30.22 マルチブロックライト設定例 (CMD25 Pre-defined)

30.7.10 マルチブロックライト (自動 CMD12 あり) 設定例

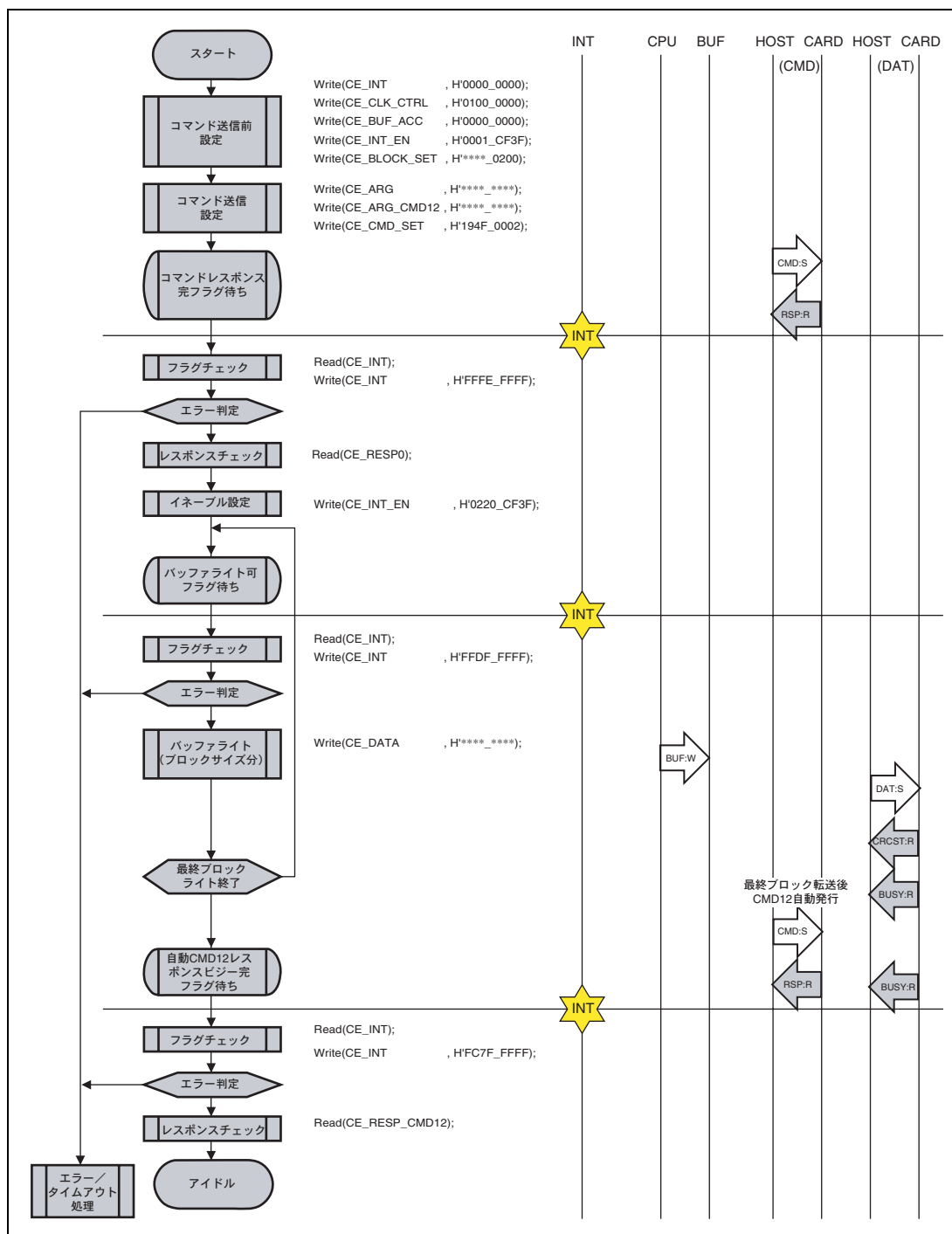


図30.23 マルチブロックライト (自動 CMD12 あり) 設定例 (CMD25 Open-ended)

30.7.11 Boot Operation 設定例

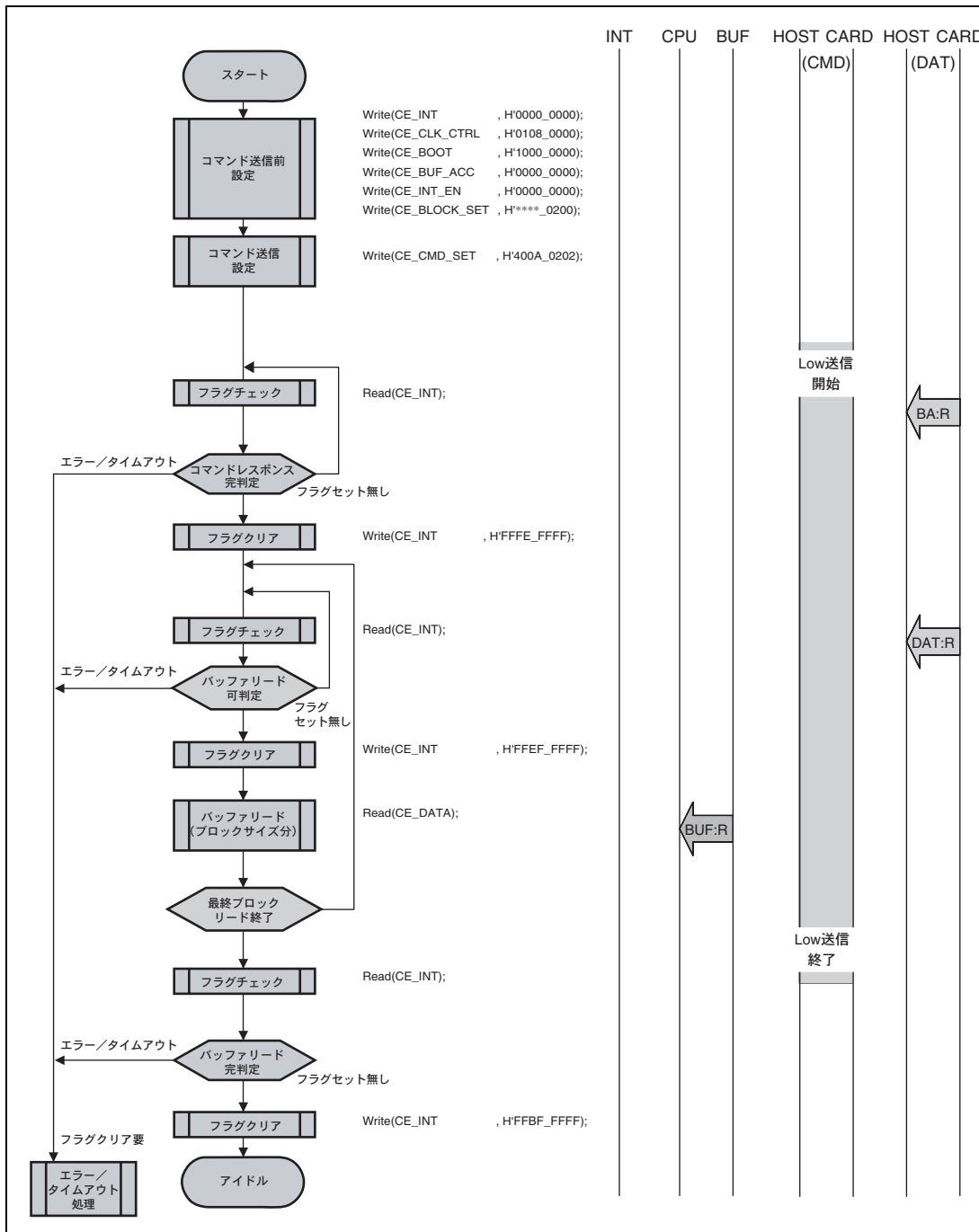


図 30.24 Boot Operation 設定例 (Boot Acknowledge あり)

30.7.12 強制終了設定例

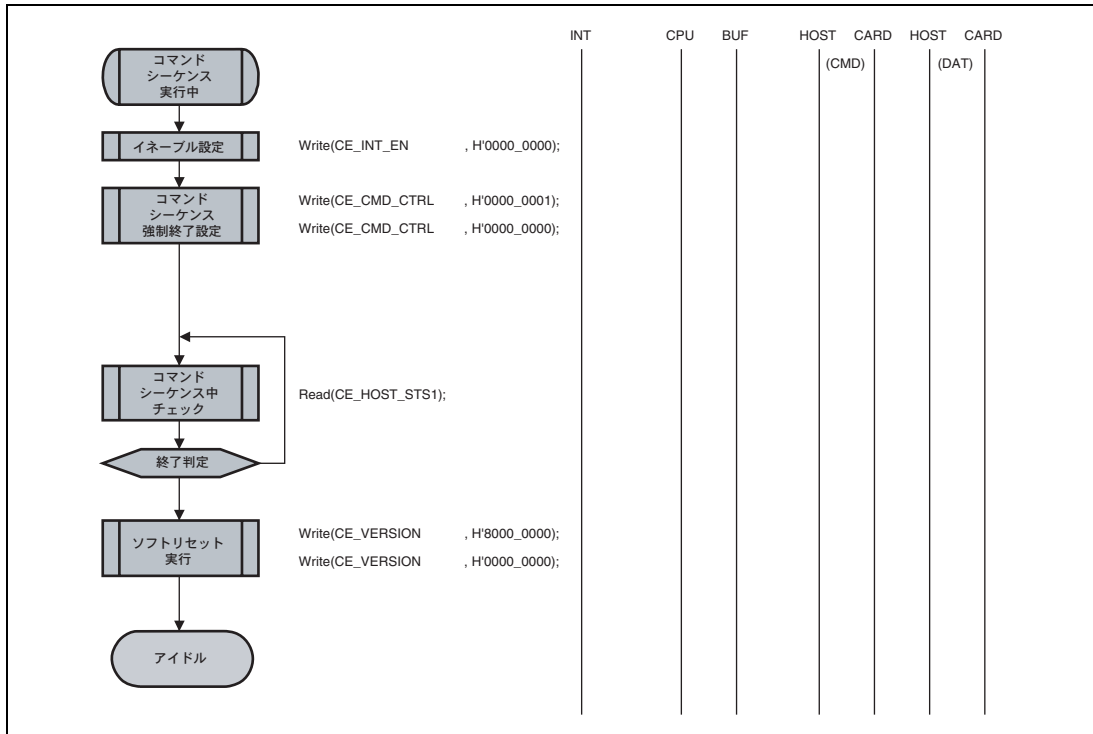


図30.25 強制終了設定例

30.7.13 コマンド送信→レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例

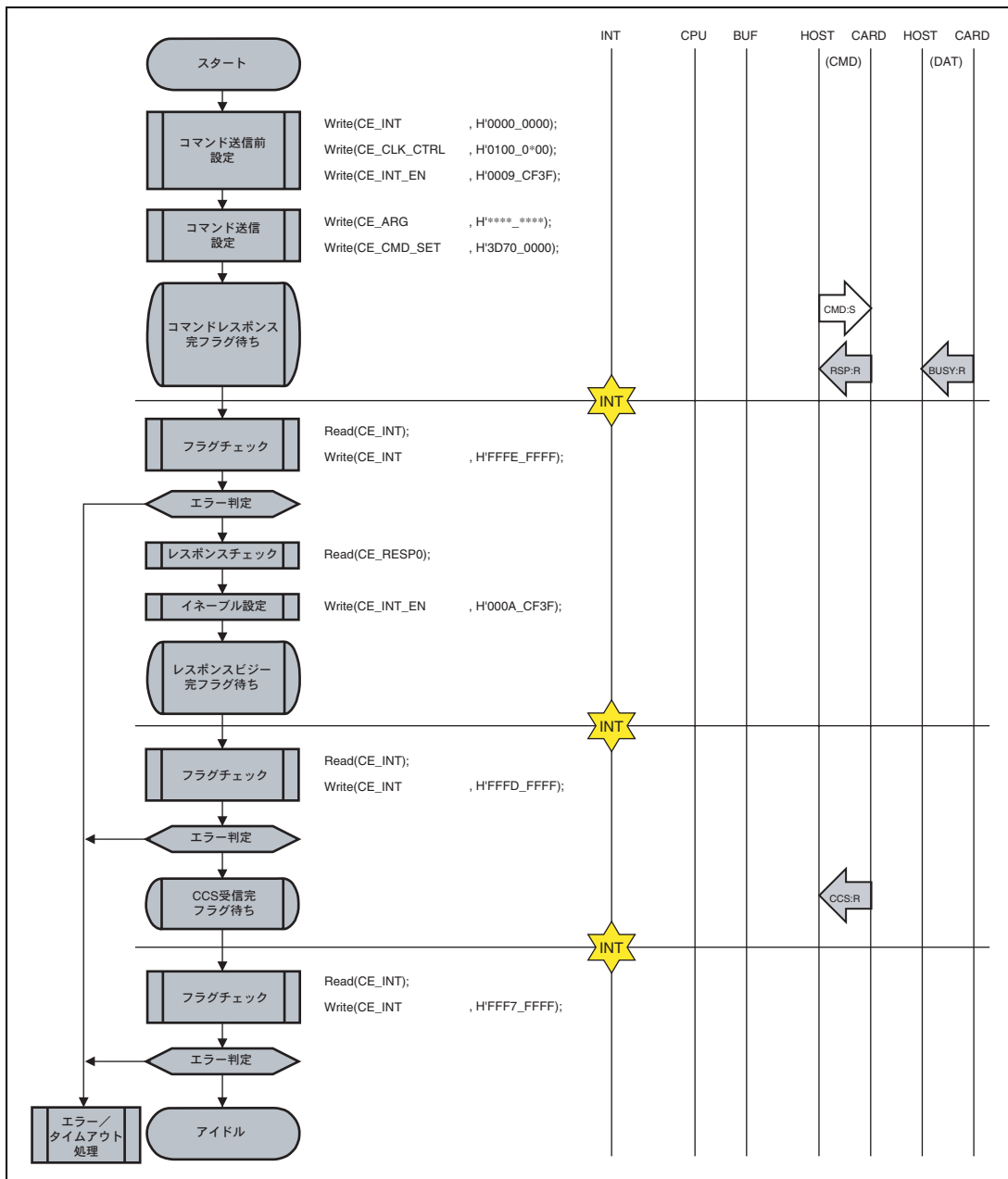


図30.26 コマンド送信→レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例 (CMD61)

30.7.14 マルチブロックリード (CCS 受信あり) 設定例

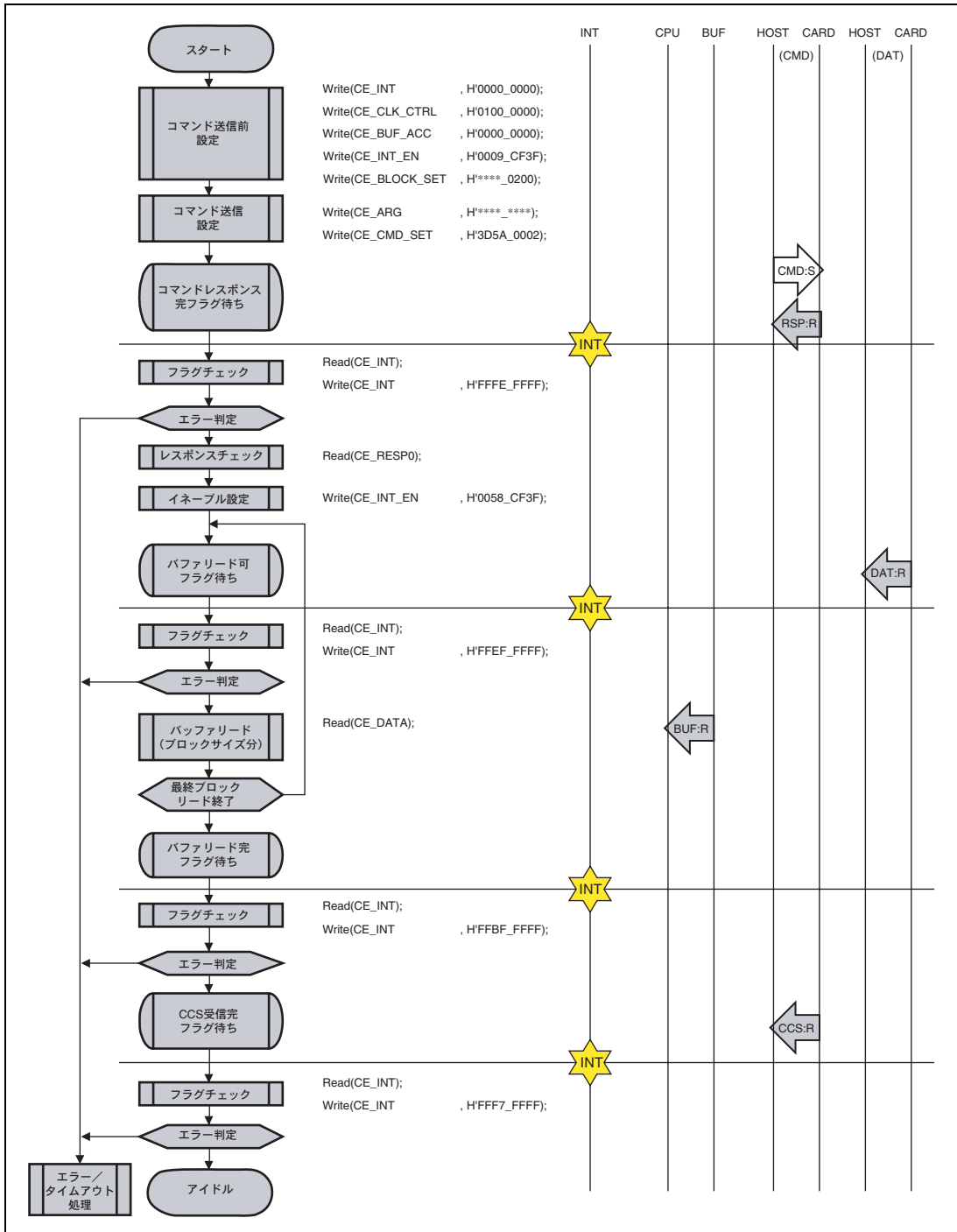


図30.27 マルチブロックリード (CCS 受信あり) 設定例 (CMD61)

30.7.15 マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例

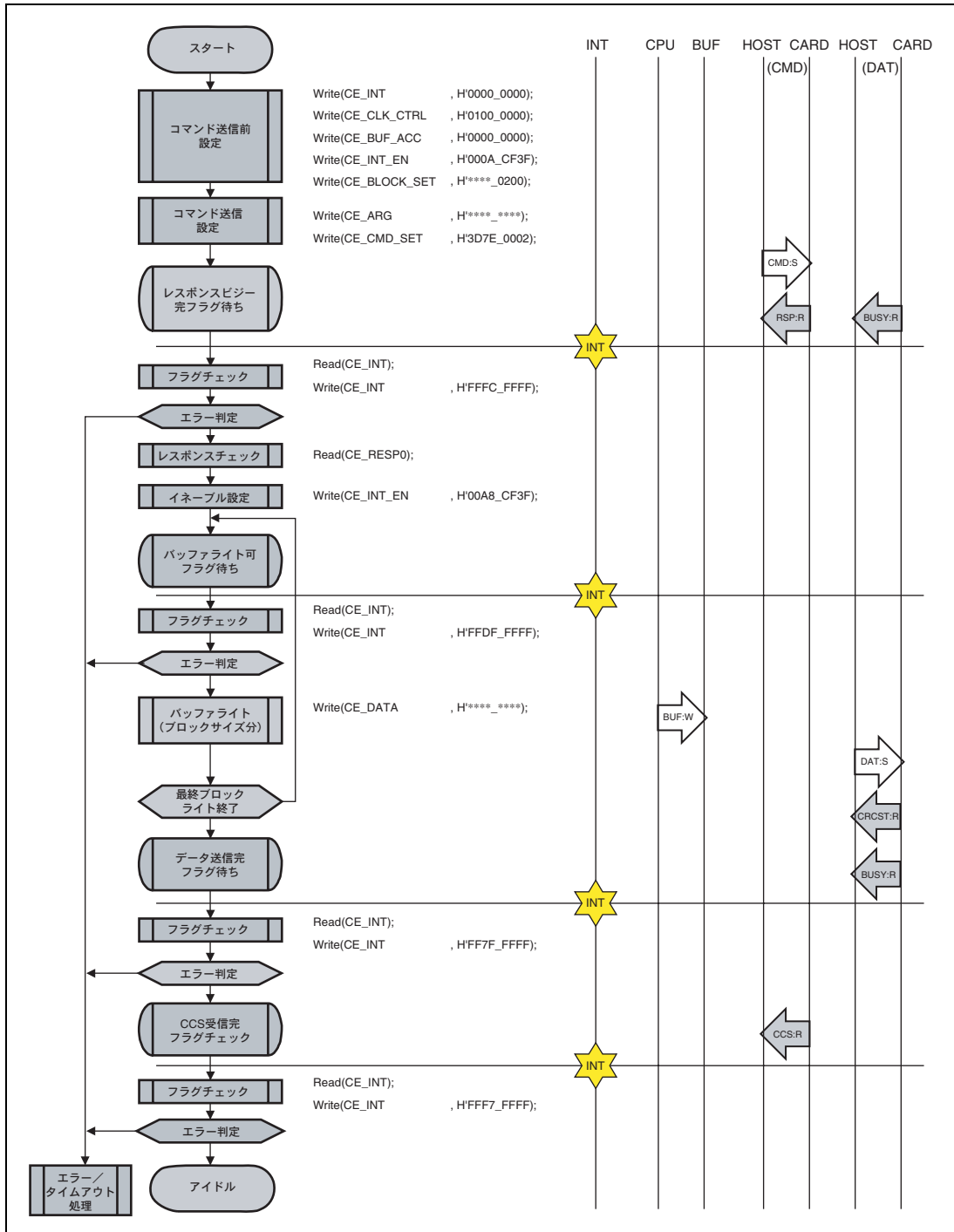


図30.28 マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例 (CMD61)

30.7.16 強制終了→CCSD 発行設定例

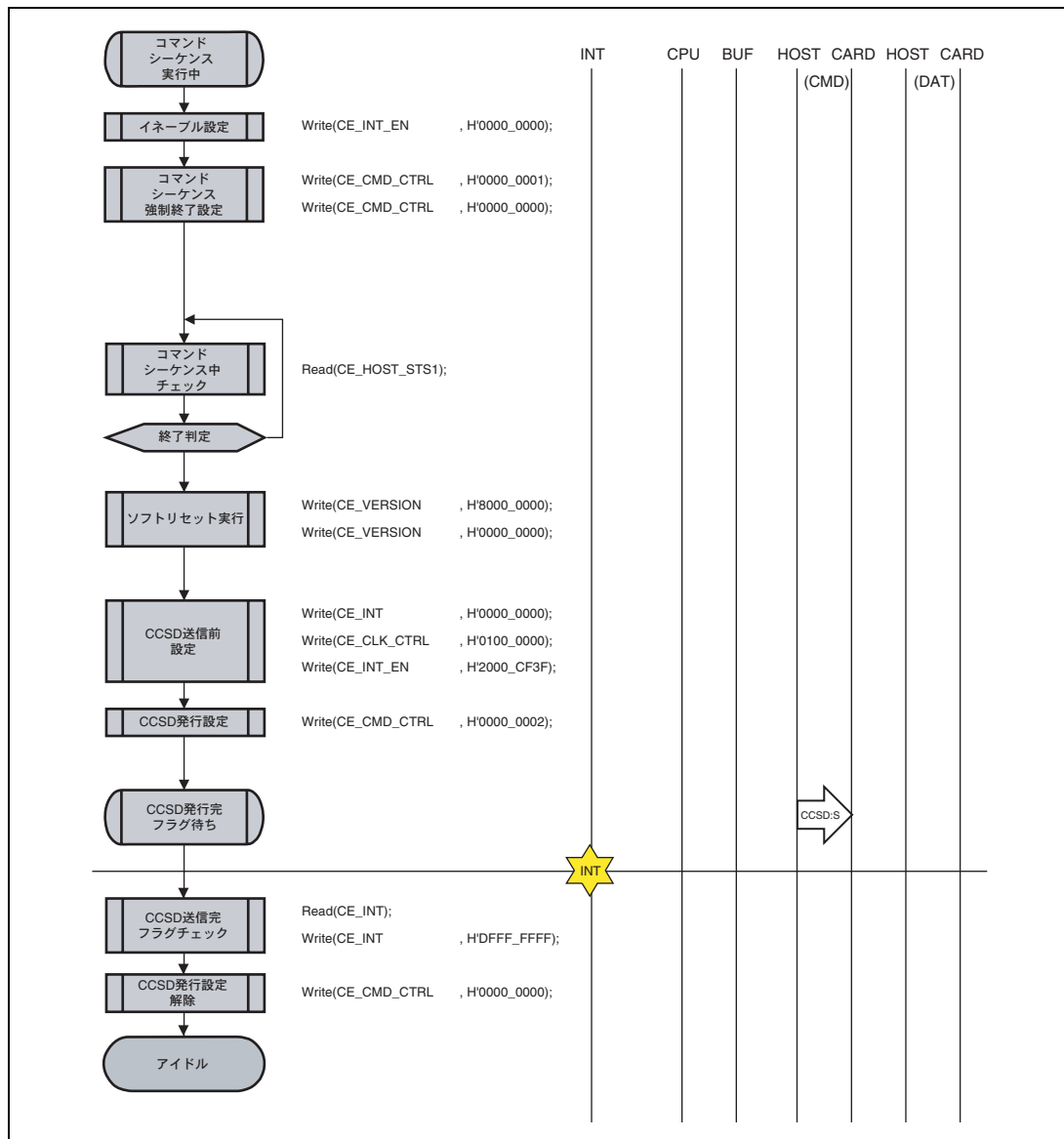


図30.29 強制終了→CCSD 発行設定例

30.7.17 CE_CMD_SET 設定値

コマンドを発行する際の設定値一覧を、表 30.4～表 30.6 に示します。

表 30.4 CE_CMD_SET 設定値 1 (MMC/Boot Operation 以外のコマンドシーケンス)

Command	CE_CMD_SET 設定値																				備考		
	Response	Reserved	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	Reserved	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	CCSH		Reserved[2:0]	DATW[1:0]
CMD0	—	0	0	000000	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD1	R3	0	0	000001	01	0	0	0	0	0	0	01	01	0	0	0	0	0	0	0	000	00	
CMD2	R2	0	0	000010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	000	00	
CMD3	R1	0	0	000011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD4	—	0	0	000100	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD5	R1b	0	0	000101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD6	R1b	0	0	000110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD7	R1	0	0	000111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
	R1b	0	0	000111	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD8	R1	0	0	001000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD9	R2	0	0	001001	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	000	00	
CMD10	R2	0	0	001010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	000	00	
CMD12	R1	0	0	001100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
	R1b	0	0	001100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD13	R1	0	0	001101	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD14	R1	0	0	001110	01	0	0	1	0	0	0	00	00	0	1	0	0	0	0	0	000	**	
CMD15	—	0	0	001111	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD16	R1	0	0	010000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD17	R1	0	0	010001	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD18	R1	0	0	010010	01	0	0	1	0	1	0	00	00	0	0	0	0	0	0	0	000	**	Pre-defined
	R1	0	0	010010	01	0	0	1	0	1	1	00	00	0	0	0	0	0	0	0	000	**	Open-ended
CMD19	R1	0	0	010011	01	0	0	1	1	0	0	00	00	0	0	0	1	0	0	0	000	**	
CMD23	R1	0	0	010111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD24	R1	0	0	011000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD25	R1	0	0	011001	01	0	0	1	1	1	0	00	00	0	0	0	0	0	0	0	000	**	Pre-defined
	R1	0	0	011001	01	0	0	1	1	1	1	00	00	0	0	0	0	0	0	0	000	**	Open-ended
CMD26	R1	0	0	011010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD27	R1	0	0	011011	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD28	R1b	0	0	011100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD29	R1b	0	0	011101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	

Command	Response	CE_CMD_SET 設定値																				備考	
		Reserved	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	Reserved	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	CCSH	Reserved[2:0]		DATW[1:0]
CMD30	R1	0	0	011110	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD35	R1	0	0	100011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD36	R1	0	0	100100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD38	R1b	0	0	100110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD39	R4	0	0	100111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD40	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	Send CMD
	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	1	1	0	000	00	Send RSP
CMD42	R1	0	0	101010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	
CMD55	R1	0	0	110111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	000	00	
CMD56	R1	0	0	111000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	000	**	Read
	R1	0	0	111000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	Write

【注】 本 MMC は、CMD11 と CMD20 には対応していません。

表 30.5 CE_CMD_SET 設定値 2 (MMC/Boot Operation コマンドシーケンス)

I	Boot Acknowledge	CE_CMD_SET 設定値																				備考	
		Reserved	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	Reserved	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	CCSH	Reserved[2:0]		DATW[1:0]
-	有	0	1	000000	00	0	0	1	0	1	0	00	00	0	0	1	0	0	0	0	000	**	
	無	0	1	000000	00	0	0	1	0	1	0	00	00	0	0	0	0	0	0	0	000	**	

表 30.6 CE_CMD_SET 設定値 3 (CE-ATA 専用コマンドシーケンス)

Command	Response	CE_CMD_SET 設定値																				備考	
		Reserved	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	Reserved	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	CCSH	Reserved[2:0]		DATW[1:0]
CMD60	R1	0	0	111100	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	000	**	Read
	R1b	0	0	111100	01	1	0	1	1	0	0	00	00	0	0	0	0	0	0	0	000	**	Write
CMD61	R1b	0	0	111101	01	1	1	0	0	0	0	00	00	0	0	0	0	0	0	*	000	**	No data
	R1	0	0	111101	01	0	1	1	0	1	0	00	00	0	0	0	0	0	0	*	000	**	Read
	R1b	0	0	111101	01	1	1	1	1	1	0	00	00	0	0	0	0	0	0	*	000	**	Write

30.8 使用上の注意事項

30.8.1 レスポンスビジー出カタイミング

MMC 規格 (The MultiMediaCard System Specification) にて、コマンド発行後のレスポンスビジー (R1b) 出カタイミング (Nst) は 2 サイクル固定と決められていますが、一部のデバイス (カードおよび組み込み用フラッシュメモリ) にて、レスポンスビジー出カタイミングが 1 サイクル遅い現象が見つかっています。

本 MMC は、MMC 規格に対応して 2 サイクルのタイミングでレスポンスビジーを検出しています。そのため、上記のデバイスと接続した場合には、デバイスがビジー状態にもかかわらず、(レスポンスビジーが終了したと判断して) 次のコマンドを発行してしまうことが考えられます。しかも、このときに発行したコマンドはデバイスに受け付けてもらえません。

これを回避するため、レスポンスビジーを持つコマンドシーケンス (CMD38、CMD12 など) が終了した後、Card Status の CURRENT_STATE 値が期待する状態 (デバイスがビジーでない状態) になるまで、CMD13 を発行して確認するようにしてください。

30.8.2 強制終了について

コマンドシーケンスを強制終了する場合、CE_CMD_CTRL レジスタの BREAK ビットの設定タイミングによってはコマンドシーケンスが終了しない場合があります。このため、コマンドシーケンスを強制終了する場合、以下の 2 つの方法のいずれかで処理をしてください。

1. コマンドシーケンスを強制終了するときは、CE_CMD_CTRL レジスタの BREAK ビットを使用しないで、ソフトリセットする。
2. R1b レスポンスのコマンドを発行した後に、下記の状態でコマンドシーケンスを強制終了する場合のみ、CE_CMD_CTRL レジスタの BREAK ビットを使用しないで、ソフトリセットする。
 - レスポンスビジーのタイムアウト
 - レスポンス値の異常

31. NAND フラッシュメモリコントローラ (FLCTL)

NAND フラッシュメモリコントローラは、外付けの NAND 型フラッシュメモリとのメモリインタフェースを提供します。

31.1 特長

(1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの直結が可能なインタフェース
- セクタ (512+16バイト) 単位のリードライト。
- バイト単位のリードライト
- ラージブロック (2048+64) サイズのフラッシュメモリに対応*
- 5バイトアドレスへの拡張により2Gビット超のアドレスに対応

【注】 * 本モジュールは、512+16 バイトを 1 セクタとして扱います。1 ページ 2048+64 バイトの製品に関しては、512+16 バイトごと (1 ページを 4 セクタ) に分割して処理します。

(2) アクセスモード：本モジュールでは次の 2 つのアクセスモードが選択できます。

- コマンドアクセスモード：本モジュールからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。
- セクタアクセスモード：セクタアドレスを指定することで、セクタ単位のリードライトを実行します。セクタ数を指定することで、連続するセクタに対するリードライトを実行できます。

(3) セクタと管理コード

- セクタはアクセスの基本単位で、512バイトのデータと16バイトの管理コードから構成されます。
- 管理コードには、ユーザ情報を書き込むことができます。

(4) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能で
ず。

(5) データ転送用 FIFO とデータレジスタ

- フラッシュメモリのデータ転送用に224バイトのデータFIFOレジスタ (FLDTFIFO) を内蔵
- 管理コードのデータ転送用に32バイトの管理コードFIFOレジスタ (FLECFIFO) を内蔵

(6) DMA 転送

- ダイレクトメモリアクセスコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定す
ることにより、異なる領域にデータと管理コードを転送できます。

(7) アクセスタイム

- NAND型フラッシュメモリ端子側の動作クロック (FCLK) は、周辺クロック (Pφ) を分周して使用します。
分周率は、共通コントロールレジスタ (FLCMNCR) のQTSELビットにより指定可能です。
- CPGの設定を変更する場合は、本モジュールをモジュールストップにより停止させた状態で行ってください。
- NAND型フラッシュメモリでは、 $\overline{\text{FRE}}$ 端子、 $\overline{\text{FWE}}$ 端子がFCLKの動作周波数で動作します。接続するメモリの
最大動作周波数を超えないように設定してください。

図 31.1 にブロック図を示します。

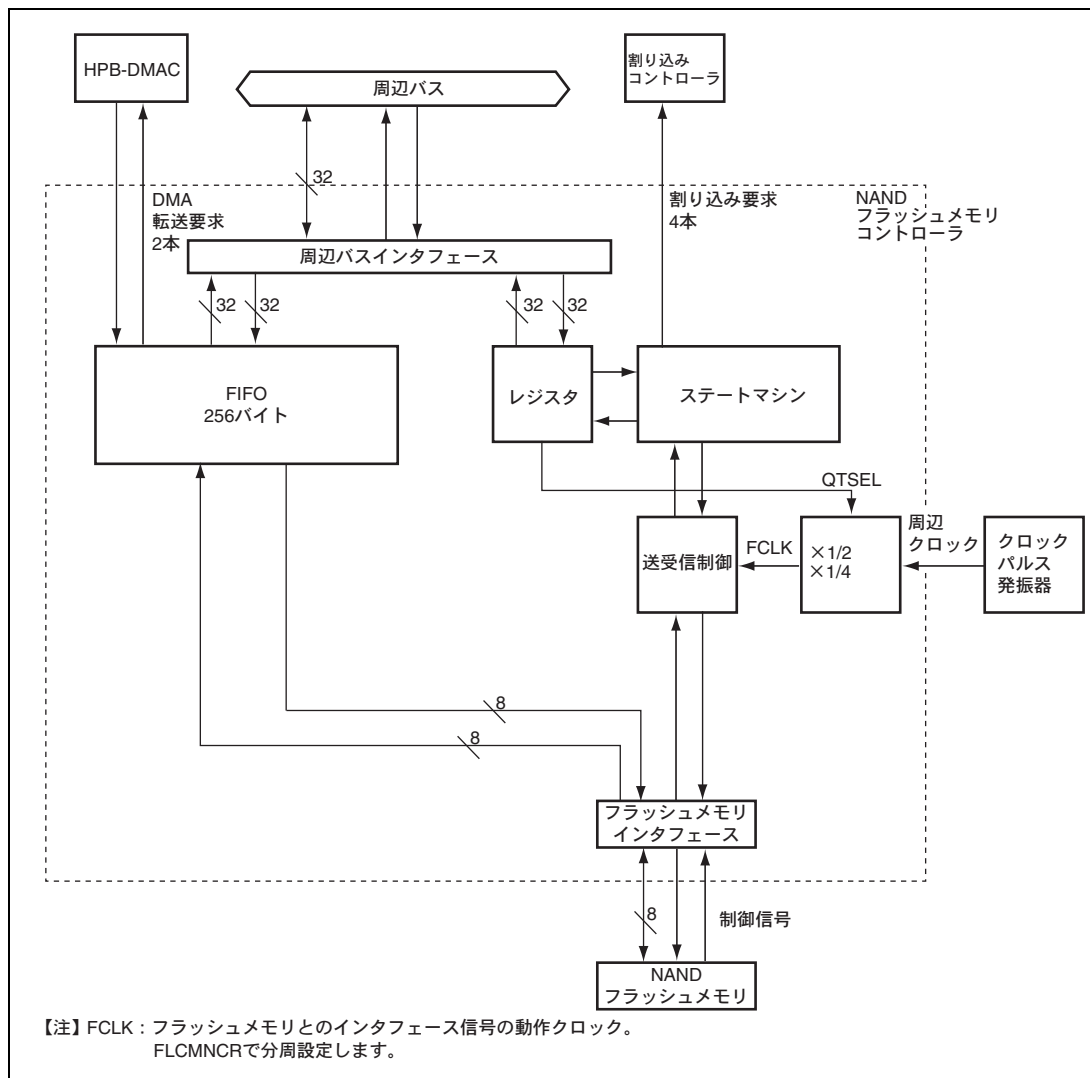


図 31.1 ブロック図

31.2 入出力端子

表 31.1 に端子構成を示します。

表 31.1 端子構成

端子名	入出力	対応するフラッシュメモリの端子	機能
		NAND 型	
FCE	出力	\overline{CE}	フラッシュメモリチップイネーブル 本 LSI に接続されたフラッシュメモリをイネーブルにします。
NAF7~0	入出力	I/O7~I/O0	フラッシュメモリデータ コマンド、アドレス、データの入出力端子です。
FCLE	出力	CLE	フラッシュメモリコマンドラッチイネーブル コマンド出力時にアサートします。
FALE	出力	ALE	フラッシュメモリアドレスラッチイネーブル アドレス出力時にアサートします。 データ入出力時にネゲートします。
\overline{FRE}	出力	\overline{RE}	フラッシュメモリリードイネーブル \overline{RE} の立ち下がリエッジでデータリードします。
FWE	出力	\overline{WE}	フラッシュメモリライトイネーブル \overline{WE} の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FRB	入力	R/ \overline{B}	フラッシュメモリレディ/ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
—*	—	\overline{WP}	ライトプロテクト/リセット ローレベルで電源投入切断時の偶発的消去/プログラムから保護します。
—*	—	\overline{SE}	スペアエリアイネーブル スペアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 * 本 LSI では、サポートしていません。

31.3 レジスタの説明

表 31.2 (1) にレジスタ構成を示します。

表中のアドレス以外への書き込みを行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 31.2 (1) レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
共通コントロールレジスタ	FLCMNCR	R/W	H'FFFC A000	32
コマンド制御レジスタ	FLCMDCR	R/W	H'FFFC A004	32
コマンドコードレジスタ	FLCMCDR	R/W	H'FFFC A008	32
アドレスレジスタ	FLADR	R/W	H'FFFC A00C	32
アドレスレジスタ 2	FLADR2	R/W	H'FFFC A03C	32
データレジスタ	FLDATAR	R/W	H'FFFC A010	32
データカウンタレジスタ	FLDTCNTR	R/W	H'FFFC A014	32
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFFC A018	32
レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'FFFC A01C	32
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FFFC A020	32
データ FIFO レジスタ	FLDTFIFO	R/W	H'FFFC A050	32
管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFFC A060	32
転送制御レジスタ	FLTRCR	R/W	H'FFFC A02C	8
モードレジスタ	FLMODE	R/W	H'FFFC A038	32

表 31.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
FLCMNCR	H'00100001	H'00100001	保持	保持	保持	初期化
FLCMDCR	H'00000000	H'00000000	保持	保持	保持	初期化
FLCMCDR	H'00000000	H'00000000	保持	保持	保持	初期化
FLADR	H'00000000	H'00000000	保持	保持	保持	初期化
FLADR2	H'00000000	H'00000000	保持	保持	保持	初期化
FLDATAR	H'00000000	H'00000000	保持	保持	保持	初期化
FLDTCNTR	H'00000000	H'00000000	保持	保持	保持	初期化
FLINTDMACR	H'00000000	H'00000000	保持	保持	保持	初期化
FLBSYTMR	H'00000000	H'00000000	保持	保持	保持	初期化
FLBSYCNT	H'00000000	H'00000000	保持	保持	保持	初期化
FLDTFIFO	H'xxxxxxxx	H'xxxxxxxx	保持	保持	保持	初期化
FLECFIFO	H'xxxxxxxx	H'xxxxxxxx	保持	保持	保持	初期化
FLTRCR	H'00	H'00	保持	保持	保持	初期化
FLMODE	H'00000000	H'00000000	保持	保持	保持	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

31.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し／書き込み可能な 32 ビットのレジスタで、アクセスモードなどを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	SNAND	QT SEL	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ACM[1:0]		NAND WF	-	-	-	-	-	CE	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
19	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1G ビット以上のフラッシュメモリのうち、1 ページの構成が 2048+64 バイトである NAND フラッシュメモリのために使用します。 0: 1 ページ構成が 512+16 バイトのフラッシュメモリ使用時は 0 に設定してください。 1: 1 ページ構成が 2048+64 バイトの NAND 型フラッシュメモリ使用時は 1 に設定してください。
17	QTSEL	0	R/W	フラッシュクロック分周選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。 0: CPG からのクロック (Pφ) を 2 分の 1 に分周して FCLK として使用します。 1: CPG からのクロック (Pφ) を 4 分の 1 に分周して FCLK として使用します。
16~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11, 10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1, 0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0: アドレス、データの入出力が 1FCLK サイクルで行われます 1: アドレス、データの入出力が 2FCLK サイクルで行われます
8~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CE	0	R/W	チップイネーブルビット 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2, 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】 共通コントロールレジスタ (FLCMNCR) の SNAND ビット使用時は、コマンド制御レジスタ (FLCMDCR) の DOCMD1、DOCMD2 ビットの設定によらず、第 1 コマンド、第 2 コマンドのみの対応となります。
コマンド発行なし、もしくは第 1 コマンドのみを発行する場合、SNAND ビットには 0 を設定してください。

31.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCRは、読み出し／書き込み可能な32ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CDS RC	DOSR	-	-	SEL RW	DOA DR	ADRCNT[1:0]	DOC MD2	DOC MD1		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット2 アドレスステージで発行するアドレスデータのバイト数を指定します。 ADRCNT[1:0]ビットとあわせて使用します。 0: ADRCNT[1:0]で指定したバイト数だけアドレスを発行します。 1: 5バイトのアドレスを発行 ADRCNT[1:0]は00に設定してください。
30~27	SCTCNT [19:16]	0000	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]とSCTCNT[15:0]はあわせてSCTCNT[19:0]の20ビットのカウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。 0: アドレスレジスタの値はセクタアドレスとして処理されます。セクタアクセス時は通常こちらを使用してください。 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます。 【注】連続セクタアクセス時は、0に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージのリード/ライトするデータバッファを指定します。 0: データバッファとしてFLDATARを指定 1: データバッファとしてFLDTFIFOを指定

ビット	ビット名	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23, 22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージを実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19, 18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット1、0 アドレスステージで発行するアドレスデータのバイト数を指定します。 00: 1バイトのアドレスを発行 01: 2バイトのアドレスを発行 10: 3バイトのアドレスを発行 11: 4バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット[15:0] セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 SCTCNT[19:16]と合わせて使用します。 コマンドアクセスモード時は、動作中H'0 0001になります。

31.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し/書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD2[7:0]								CMD1[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD2[7:0]	H'00	R/W	第 2 コマンドデータビット 第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD1[7:0]	H'00	R/W	第 1 コマンドデータビット 第 1 コマンドステージに発行するコマンドコードを指定します。

31.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し／書き込み可能な 32 ビットのレジスタで、アドレスとして出力する値を指定します。ADR1 から順にコマンドレジスタで指定されたバイト数がバイト単位でアドレスとして出力されます。なお、コマンド制御レジスタのセクタアクセスアドレス指定ビット (ADRMD) で、アドレスデータビットに指定されたセクタ番号がアドレスに変換された値を出力するかどうかを指定できます。

- ADRMD=1のとき

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR4[7:0]								ADR3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR2[7:0]								ADR1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ADR4[7:0]	H'00	R/W	第 4 アドレスデータビット ADRMD=1 のときにアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR3[7:0]	H'00	R/W	第 3 アドレスデータビット ADRMD=1 のときにアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15~8	ADR2[7:0]	H'00	R/W	第 2 アドレスデータビット ADRMD=1 のときにアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7~0	ADR1[7:0]	H'00	R/W	第 1 アドレスデータビット ADRMD=1 のときにアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

• ADRMD=0のとき

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ADR[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~0	ADR[25:0]	H'0000000	R/W	セクタアドレス指定ビット ADRMD=0のとき、アクセスするセクタ番号を指定します。セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。FLCMDRCRのADRCNT2ビットが1のときは、ADR[25:0]、ADRCNT2ビットが0のときはADR[17:0]が有効になります。詳細は図31.11を参照してください。 <ul style="list-style-type: none"> • ラージブロック品 (2048+64 バイト) ADR[25:2]でページアドレス、ADR[1:0]でセクタ単位のコラムアドレスを指定できます。 ADR[1:0]=00 : 0 バイト目 (0 セクタ) ADR[1:0]=01 : 512+16 バイト目 (1 セクタ) ADR[1:0]=10 : 1024+32 バイト目 (2 セクタ) ADR[1:0]=11 : 1536+48 バイト目 (3 セクタ) • スモールブロック品 (512+16 バイト) ページアドレスのみの指定となります。

31.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2は、読み出し／書き込み可能な 32 ビットのレジスタで、FLCMDRCR の ADRCNT2 ビットが 1 のとき有効になります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ADR5[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ADR5[7:0]	H'00	R/W	第 5 アドレスデータビット ADRMD=1 のときにアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

31.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し／書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048+64 バイトまで指定可能です)。

31.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。5 バイト以上の連続データのリードライト時には使用できません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT4[7:0]								DT3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT2[7:0]								DT1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DT4[7:0]	H'00	R/W	第 4 データビット NAF7~0 から 4 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
23~16	DT3[7:0]	H'00	R/W	第 3 データビット NAF7~0 から 3 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
15~8	DT2[7:0]	H'00	R/W	第 2 データビット NAF7~0 から 2 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。
7~0	DT1[7:0]	H'00	R/W	第 1 データビット NAF7~0 から 1 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します。 読み出し時：読み出しデータが格納されます。

31.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可／禁止を設定します。本モジュールからダイレクトメモリアクセスコントローラに対する転送要求は、各アクセスモードの動作開始後発生します。

また、ビット 8～5 は、フラッシュメモリアクセス時の各種エラーおよび FIFO からの転送要求の有無を表示するフラグビットで、0 書き込みのみ可能なビットです。フラグをクリアする場合、クリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	FIFOTRG [1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	ST ERB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBER INTE	TE INTE	TR INTE1	TR INTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】 * 0書き込みのみ有効です。

ビット	ビット名	初期値	R/W	説明
31～22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	FIFOTRG[1:0]	00	R/W	FIFO トリガ設定ビット FLDTFIFO、FLECFIFO の転送要求発生条件 (バイト数) を設定します。 <ul style="list-style-type: none"> フラッシュメモリ読み出し時 FLDTFIFO (FLECFIFO) の格納バイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。 00 : 4 (4) 01 : 16 (16) 10 : 128 (4) 11 : 128 (16) フラッシュメモリ書き込み時 FLDTFIFO (FLECFIFO) の空きバイト数が以下に示す値以上になったとき CPU に割り込み、または DMA 転送要求を発生。 00 : 4 (4) 01 : 16 (16) 10 : 128 (4) 11 : 128 (16) 【注】 DMA 転送を行う場合、"00" 設定以外は禁止。

ビット	ビット名	初期値	R/W	説明
19	AC1CLR	0	R/W	FLECFIFO クリアビット FLECFIFO をクリアします。 0 : FLECFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLECFIFO をクリアします。クリア後は 0 に設定してください。
18	AC0CLR	0	R/W	FLDTFIFO クリアビット データ領域 FLDTFIFO をクリアします。 0 : FLDTFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。 1 : FLDTFIFO の値をクリアします。クリア後は 0 に設定してください。
17	DREQ1EN	0	R/W	FLECFIFODMA リクエストイネーブルビット FLECFIFO 領域からの DMA 転送要求発行許可/禁止を選択します。 0 : FLECFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLECFIFO 領域からの DMA 転送要求発行を許可します
16	DREQ0EN	0	R/W	FLDTFIFODMA リクエストイネーブルビット FLDTFIFO 領域からの DMA 転送要求発行許可/禁止を選択します。 0 : FLDTFIFO 領域からの DMA 転送要求発行を禁止します 1 : FLDTFIFO 領域からの DMA 転送要求発行を許可します
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	STERB	0	R/(W)*	ステータスエラービット ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0] ビットの特定ビットが 1 であれば、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : ステータスエラーなし (FLBSYCNT の STAT[7:0] ビットの特定ビットが 0 であったことを示します) 1 : ステータスエラーが発生したことを示します。 特定ビットに関しては「31.4.6 ステータスリード」を参照してください。
7	BTOERB	0	R/(W)*	R/ \bar{R} タイムアウトエラービット R/ \bar{R} タイムアウトエラーが発生した (FLBSYCNT の RBTIMCNT[19:0] ビットがカウントダウン後 0 になった) とき、本ビットに 1 がセットされます。 本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : R/ \bar{R} タイムアウトエラーなし 1 : R/ \bar{R} タイムアウトエラーが発生したことを示します。

ビット	ビット名	初期値	R/W	説明
6	TRREQF1	0	R/(W)*	FLECFIFO 転送要求フラグビット FLECFIFO からの転送要求が発生したことを示します。 本ビットはフラグビットであるため、1は書き込めません。フラグをクリアするための0書き込みのみ可能です。 0 : FLECFIFO からの転送要求は発生していません 1 : FLECFIFO からの転送要求が発生したことを示します
5	TRREQF0	0	R/(W)*	FLDTFIFO 転送要求フラグビット FLDTFIFO からの転送要求が発生したことを示します。 本ビットはフラグビットであるため、1は書き込めません。フラグをクリアするための0書き込みのみ可能です。 0 : FLDTFIFO からの転送要求は発生していません 1 : FLDTFIFO からの転送要求が発生したことを示します
4	STERINTE	0	R/W	ステータスエラー発生時の割り込み許可ビット ステータスエラーによる CPU に対する割り込みの許可/禁止を選択します。 0 : ステータスエラーによる CPU に対する割り込み禁止 1 : ステータスエラーによる CPU に対する割り込み許可
3	RBERINTE	0	R/W	R/ \bar{R} タイムアウトエラー発生時の割り込み許可ビット R/ \bar{R} タイムアウトエラーによる CPU に対する割り込みの許可/禁止を選択します。 0 : R/ \bar{R} タイムアウトエラーによる CPU に対する割り込み禁止 1 : R/ \bar{R} タイムアウトエラーによる CPU に対する割り込み許可
2	TEINTE	0	R/W	転送終了割り込み許可ビット 転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可/禁止を選択します。 0 : 転送終了による CPU に対する割り込み禁止 1 : 転送終了による CPU に対する割り込み許可
1	TRINTE1	0	R/W	CPU への FLECFIFO 転送要求許可ビット FLECFIFO からの転送要求による CPU に対する割り込みの許可/禁止を選択します。 0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLECFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブルにしている時は、本ビットを0に設定してください。

ビット	ビット名	初期値	R/W	説明
0	TRINTE0	0	R/W	CPU への FLDTFIFO 転送要求許可ビット FLDTFIFO からの転送要求による CPU に対する割り込みの許可/禁止を選択します。 0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブリングしている時は、本ビットを 0 に設定してください。

【注】 * 0 書き込みのみ有効です。

31.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し/書き込み可能な 32 ビットのレジスタで、FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBTMOUT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	RBTMOUT[19:0]	H'00000	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を (Pφ のクロック数で) 設定します。0 に設定した場合、タイムアウトは発生しません。

31.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]								-	-	-	-	RBTIMCNT[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19~0	RBTIMCNT[19:0]	H'00000	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0]ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

31.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタをデータの転送先（転送元）に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC0CLR ビットで FLDTFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DTFO[31:0]	H'xxxxxxx	R/W	データ FIFO 領域へのリードライト用レジスタ 書き込み時：データ FIFO 領域にデータが書き込まれます。 読み出し時：データ FIFO 領域のデータが読み出されます。

31.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタを管理コードの転送先（転送元）に指定してください。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC1CLR ビットで FLECFIFO をクリアしてから使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:16]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:0]															
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ECFO[31:0]	H'xxxxxxx	R/W	管理コード FIFO 領域へのリードライト用レジスタ 書き込み時：管理コード FIFO 領域にデータが書き込まれます。 読み出し時：管理コード FIFO 領域のデータが読み出されます。

31.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。転送中 (TRSTRT ビットを 1 にセットしてから TREND ビットに 1 がセットされるまでの間) には強制終了 (TRSTRT ビットを 0 にセット) は行わないでください。また、フラッシュメモリ読み出し時は、フラッシュメモリからの読み出しが終了した時点で TREND がセットされます。FIFO に読み出しデータが残っている場合は、FIFO の読み出しが終了するまで強制終了は行わないでください。また、TREND がセットされ転送終了するまで、SLEEP 命令を実行しないでください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TR STAT	TR END	TR STRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TRSTAT	0	R	転送状態ビット 本モジュールが外部バスのバス権を獲得し、転送が実際に行われていることを示します。 0: 転送は開始されていません。 1: 転送中、転送終了
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。 0: 転送停止 1: 転送開始

31.3.14 モードレジスタ (FLMODE)

本コントローラのモード設定レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MODE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MODE	0	R/W	モード設定 0:モード0 1:モード1 【注】本製品では、NANDフラッシュメモリとの転送を行う前に必ずモード1に設定してください。

31.4 動作説明

31.4.1 アクセス手順

本モジュールのアクセスは、一連のアクセス手順を分割して、独立したステージに分かれています。たとえば、NAND 型フラッシュメモリの書き込み時は、以下の 5 つのステージからなります。

- 第1コマンド発行ステージ (ライトセットアップコマンド)
- アドレス発行ステージ (ライトアドレス)
- データステージ (出力)
- 第2コマンド発行ステージ (ライトスタートコマンド)
- ステータスリード

一連のアクセスはこの 5 つのステージを順に実行することにより実現され、最後のステージ (この場合ステータスリード) が終了した時点でフラッシュメモリへのアクセスが終了します。

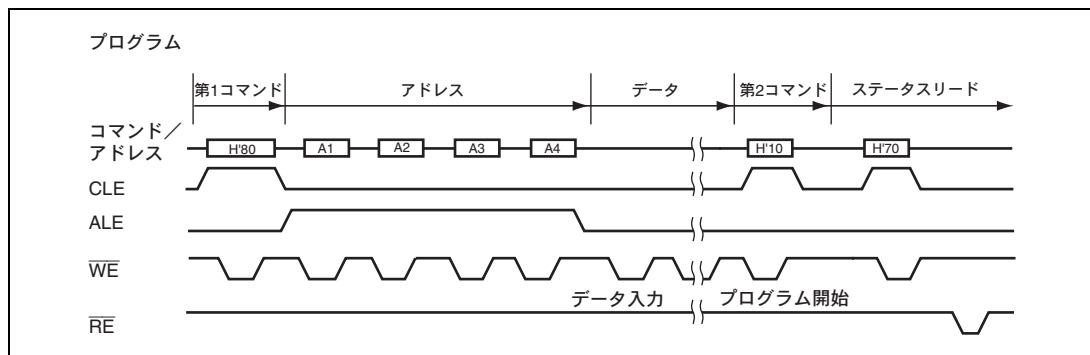


図 31.2 NAND 型フラッシュメモリのライト動作をステージに区分した例

詳細および NAND 型フラッシュメモリのリード動作については、「31.4.4 コマンドアクセスモード」を参照してください。

31.4.2 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。ECC の生成/エラーチェックは、セクタアクセスモードで実行されます。

31.4.3 レジスタ設定手順

図 31.3 にフラッシュメモリとのアクセスに必要なレジスタ設定フローを示します。

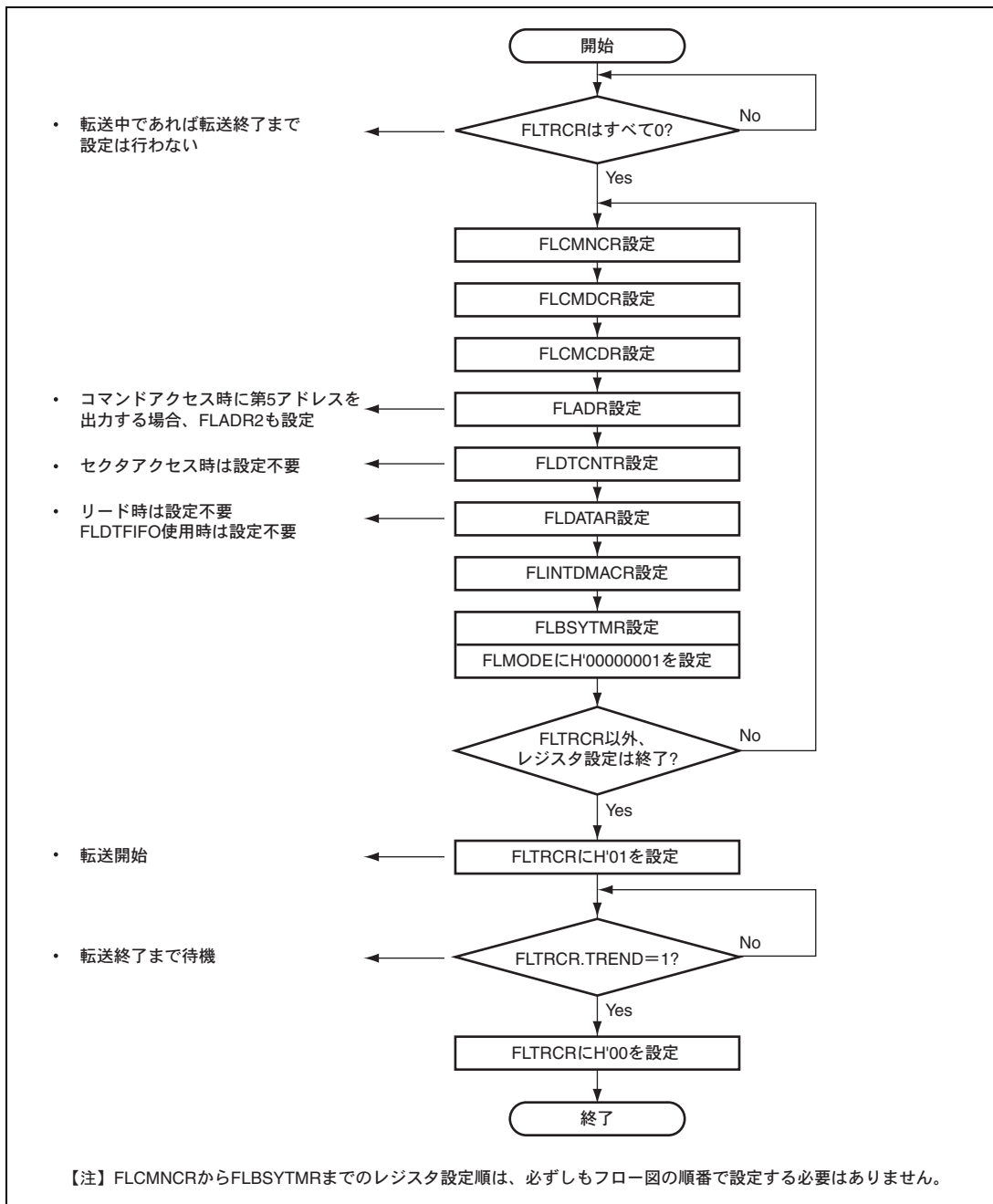


図 31.3 レジスタ設定フロー

31.4.4 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用い DMA 転送が可能です。

(1) NAND 型フラッシュメモリのアクセス

図 31.4 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

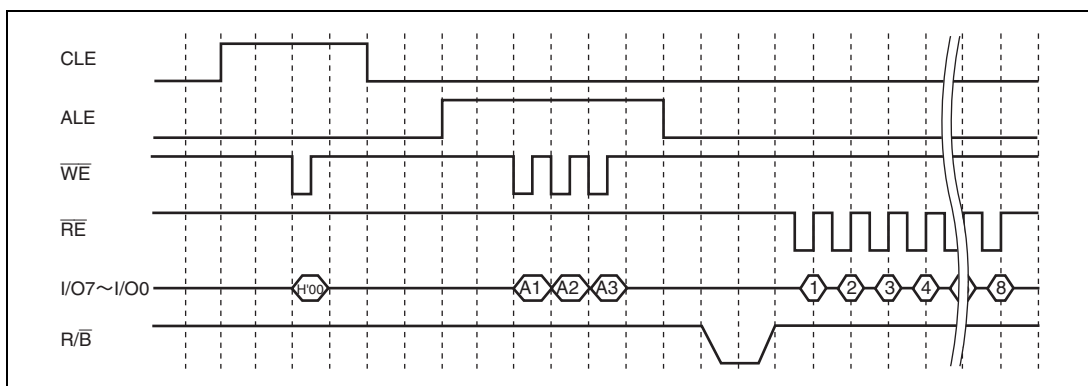


図 31.4 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 31.5、図 31.6 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

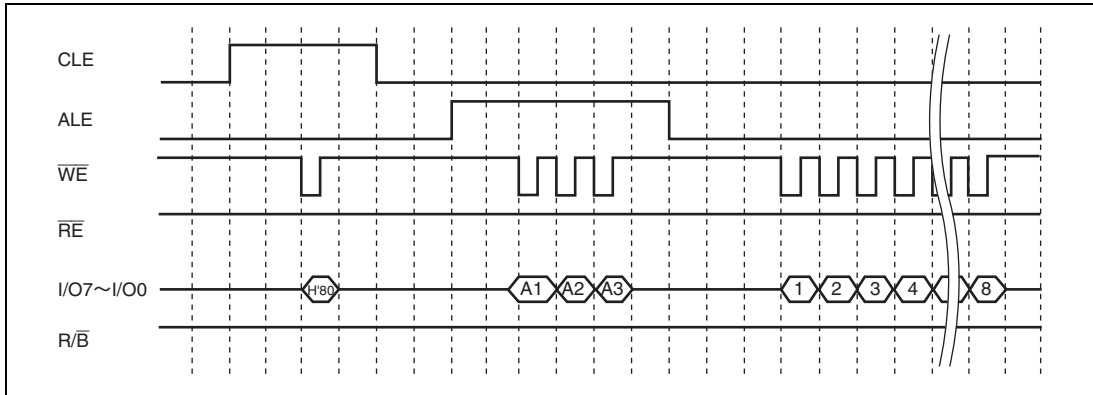


図 31.5 NAND 型フラッシュメモリの書き込み動作タイミング (1)

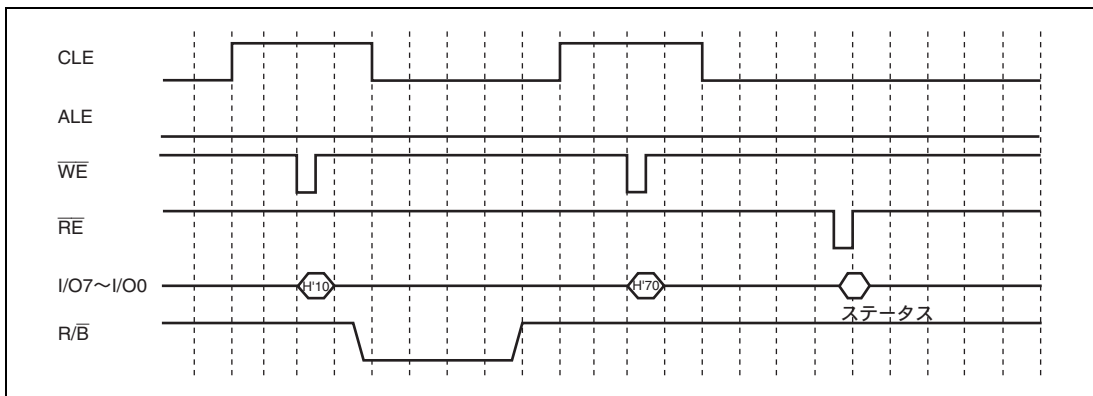


図 31.6 NAND 型フラッシュメモリの書き込み動作タイミング (2)

(2) NAND 型フラッシュメモリ (2048+64 バイト) のアクセス

図 31.7 に NAND 型フラッシュメモリ (2048+64 バイト) に対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

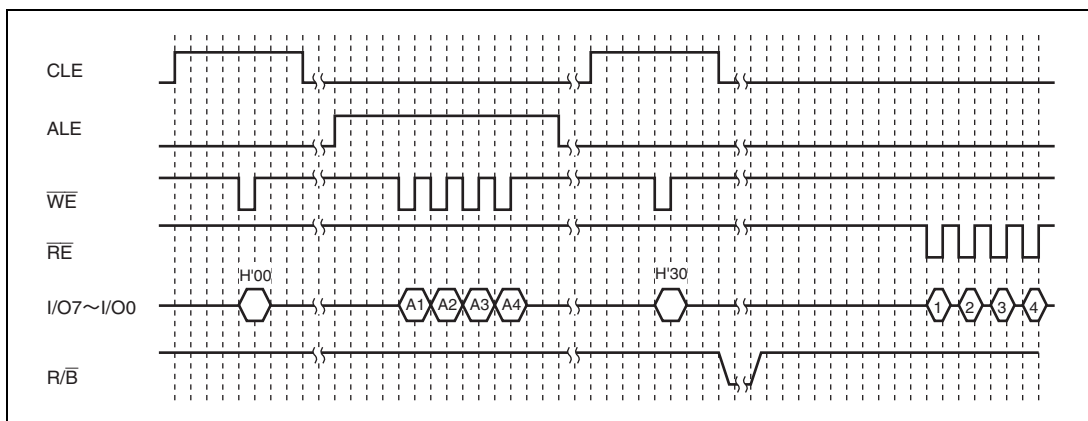


図 31.7 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 31.8、図 31.9 に NAND 型フラッシュメモリ (2048+64 バイト) に対して書き込み動作を行った場合の波形を示します。

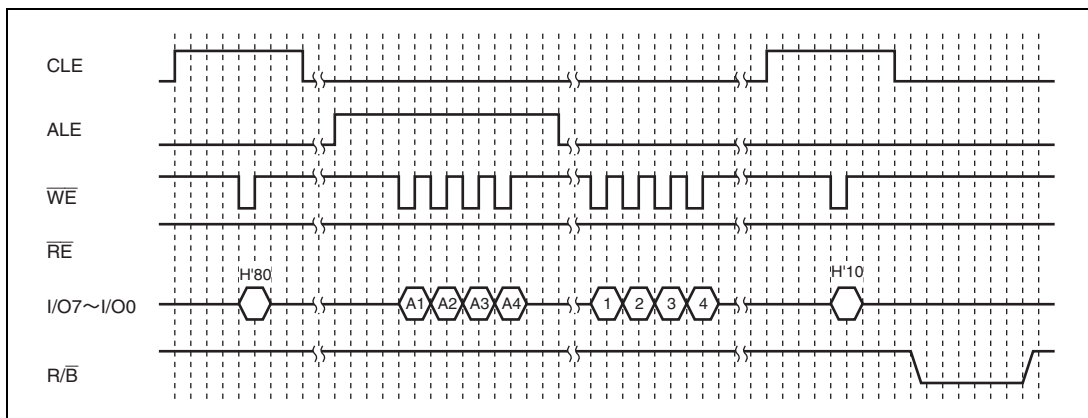


図 31.8 NAND 型フラッシュメモリの書き込み動作タイミング (1)

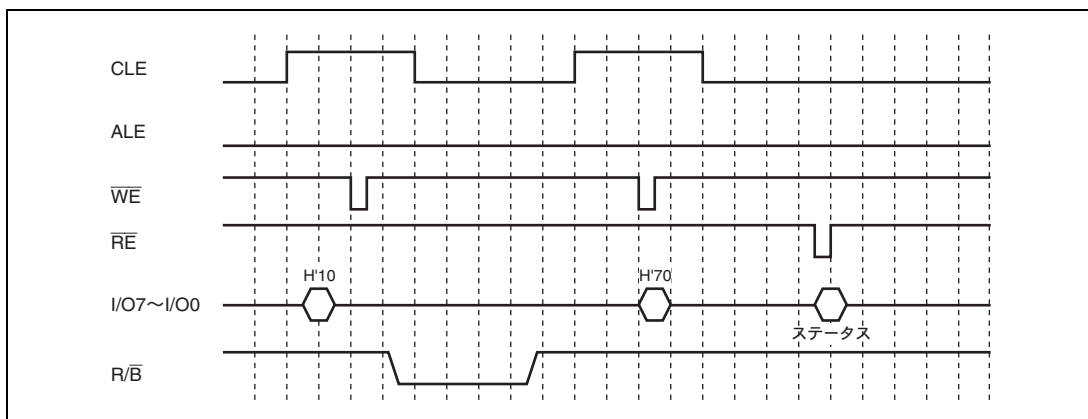


図 31.9 NAND 型フラッシュメモリの書き込み動作タイミング (2)

31.4.5 セクタアクセスモード

セクタアクセスモードでは、アクセスするセクタ番号を指定することによりセクタ単位のリードライトが可能です。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ(データ+管理コード)とアドレス空間上のメモリとの DMA 転送の関係を図 31.10 に示します。

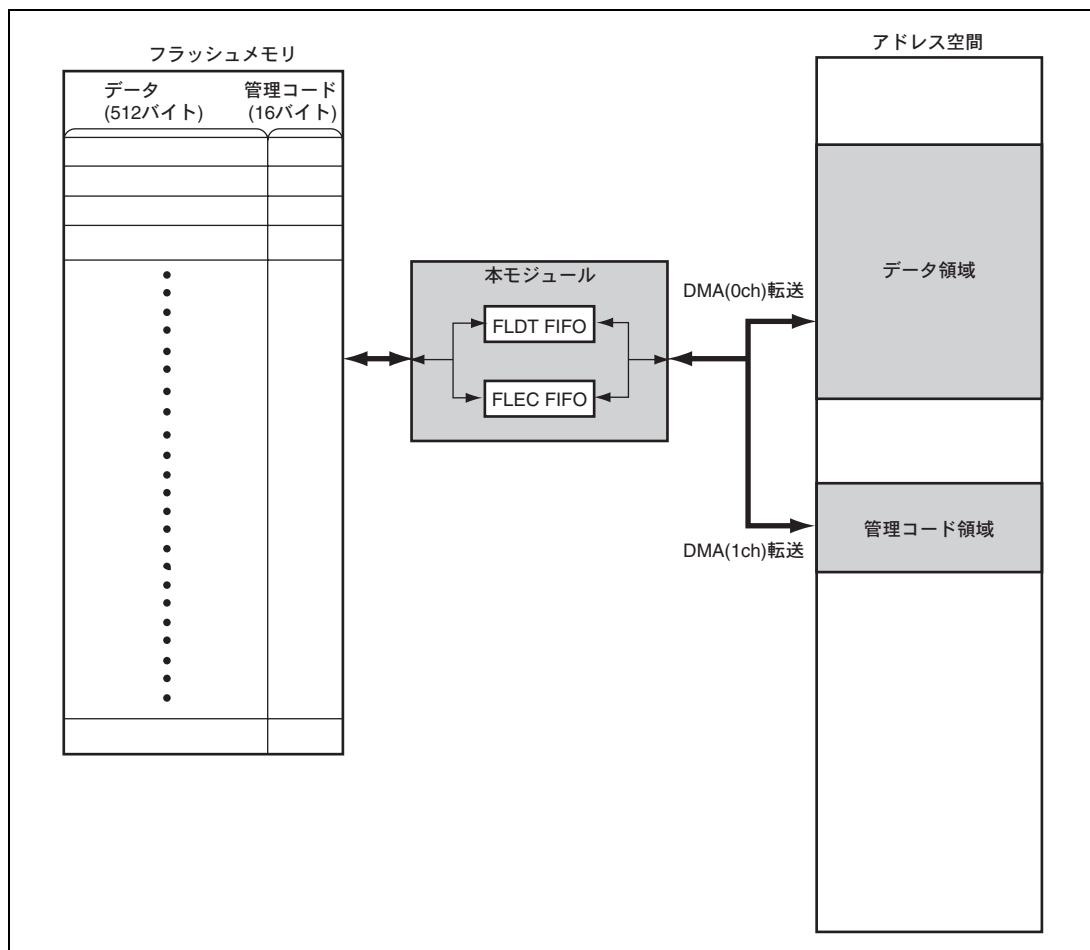


図 31.10 DMA 転送とセクタ（データ、管理コード）とメモリと DMA 転送の関連模式図

(1) セクタアドレス

NAND型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図31.11に示します。

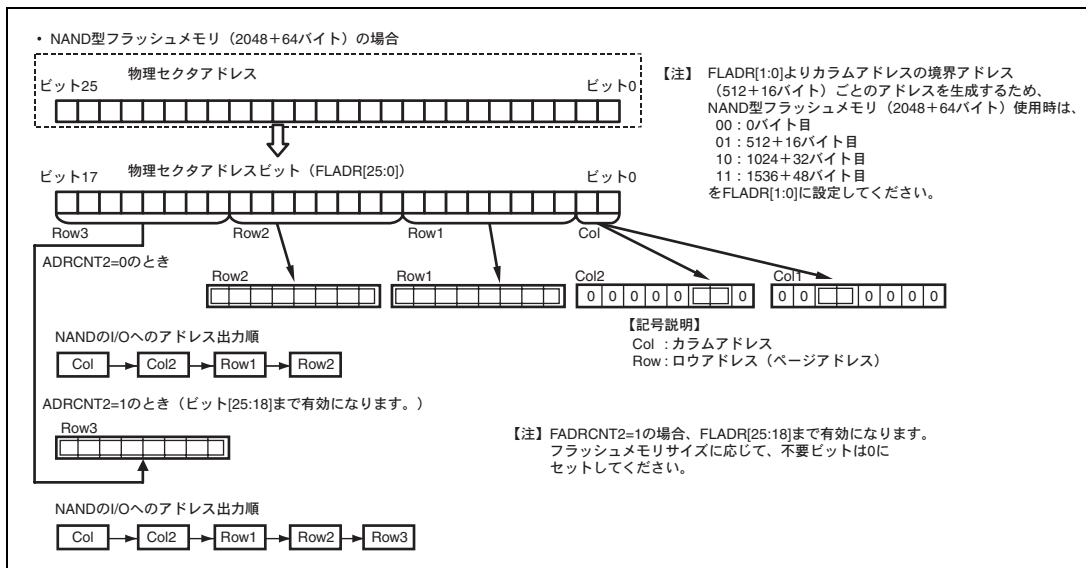


図 31.11 セクタ番号と NAND 型フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭のセクタアドレスとセクタ転送回数を指定することにより、連続したセクタのリード/ライトが可能になります。途中で不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 31.12 にまとめます。

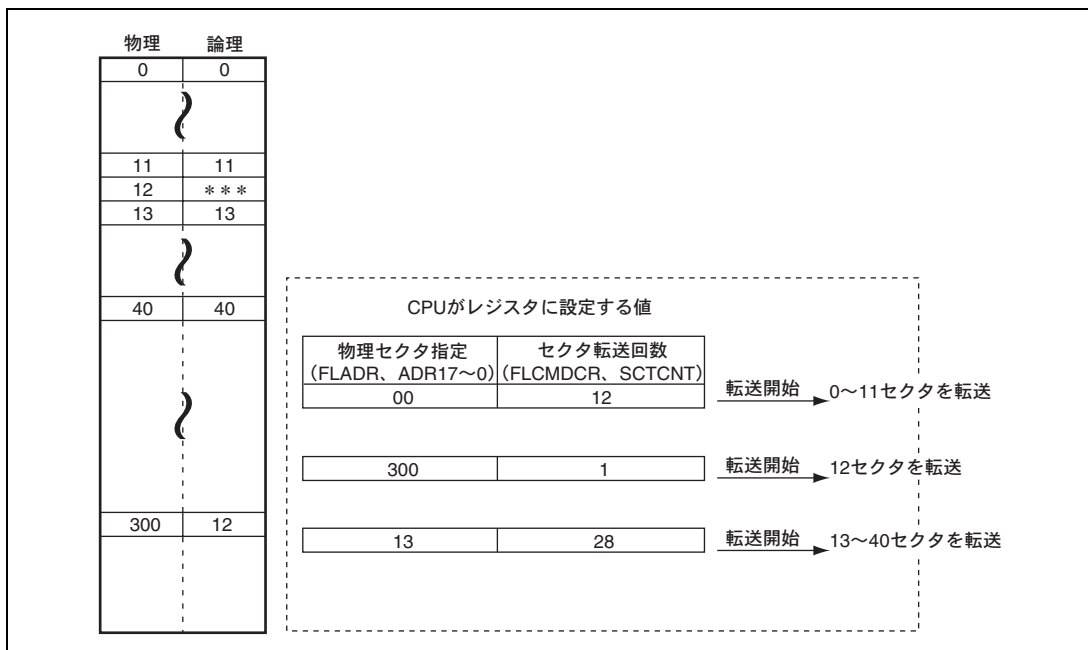


図 31.12 不良セクタがある場合のセクタアクセス例

(3) セクタアクセスモード時のフラッシュメモリアクセス

図 31.13、図 31.14 にセクタアクセスモード時、NAND 型フラッシュメモリに対して書き込みおよび読み出し動作を行った際の波形を示します。

図 31.13 は、メモリ容量：1G ビットのラージブロック品への書き込み波形になります。複数ページにまたがる連続セクタアクセス実行時は、1 ページ（2048+64 バイト）ごとに、図 31.13 の波形でフラッシュメモリに値を書き込みます。

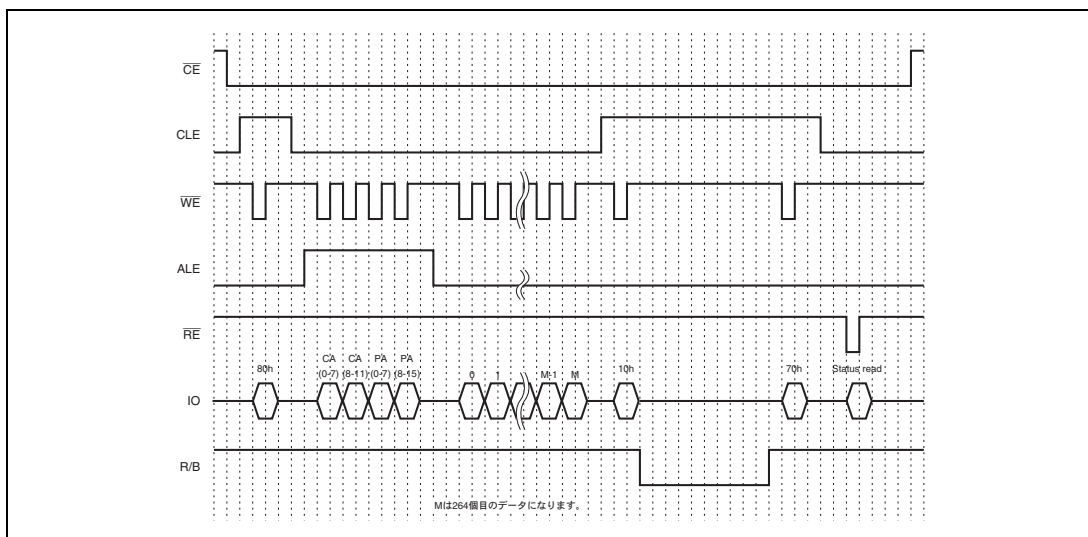


図 31.13 NAND 型フラッシュメモリの書き込み動作タイミング

図 31.14 は、メモリ容量 : 1G ビットのラージブロック品への読み出し波形になります。複数ページにまたがる連続セクタアクセス実行時は、1 ページ (2048+64 バイト) ごとに、図 31.14 の波形でフラッシュメモリからデータを読み出します。

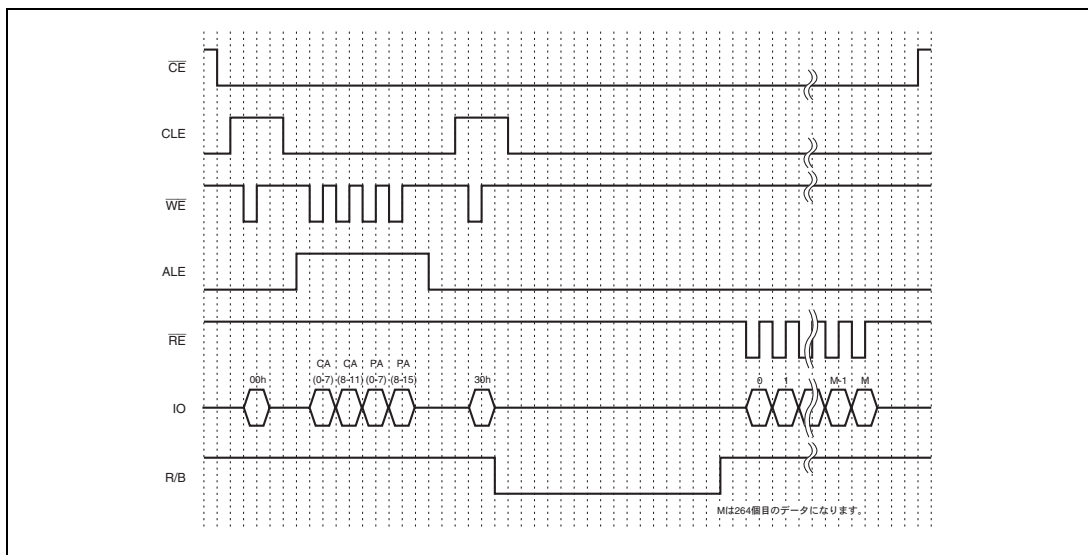


図 31.14 NAND 型フラッシュメモリからの読み出しタイミング (セクタアクセスモード)

31.4.6 ステータスリード

本モジュールは NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。ステータスレジスタの値は I/O7~0 から入力され FLBSYCNТ の STAT[7:0] ビットに格納され、CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNТ の STAT[7:0] ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。また、連続セクタアクセスの途中でステータスエラーが発生した場合、FLTRCR の TREND ビットに 1 がセットされ、処理が終了します。

(1) NAND 型フラッシュメモリのステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、本モジュールは自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7~0 から入力されるステータスレジスタ各ビットの意味を表 31.3 に示します。

表 31.3 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ/ビジー	0 : ビジー状態 1 : レディ状態
I/O5~1	リザーブ	—
I/O0	書き込み/消去	0 : Pass (成功) 1 : Fail (失敗)

31.5 割り込み処理

本モジュールには5種類の割り込み要因（ステータスエラー、レディ/ビジータイムアウトエラー、転送終了、FIFO0 転送要求、FIFO1 転送要求）があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、CPU に対し独立した割り込み要求が発生します。ステータスエラーとレディ/ビジータイムアウトエラーは、CPU に対して共通の FLSTE 割り込みを使用します。

表 31.4 割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味	優先順位
FLSTE 割り込み	STERB	STERINTE	ステータスエラー	高   低
	BTOERB	RBERINTE	レディ/ビジータイムアウトエラー	
FLTEND 割り込み	TREND	TEINTE	転送終了	
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求	
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求	

31.6 DMA 転送の設定

本モジュールはデータ領域 FLDTFIFO と管理コード領域 FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可/不可を表 31.5 に示します。

表 31.5 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

ダイレクトメモリアクセスコントローラ（HPB-DMAC）の設定については「第 6A 章 ローカルバス用、周辺モジュール用ダイレクトメモリアクセスコントローラ（LBSC-DMAC/HPB-DMAC）」を参照してください。

32. 高速 FIFO 内蔵シリアルコミュニケーション インタフェース (HSCIF)

32.1 概要

FIFO バッファ内蔵の高速シリアルコミュニケーションインタフェース (HSCIF: High speed Serial Communication Interface with FIFO) です。HSCIF は、調歩同期式通信でシリアル通信ができます。送受信用に FIFO バッファを各々 128 段内蔵しており、効率の良い高速連続通信を行うことができます。

32.1.1 特長

HSCIF には次のような特長があります。

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

—データ長 : 7ビット、または8ビット

—ストップビット長 : 1ビット、または2ビット

—パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

—受信エラー検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

—ブレイク検出 : フレーミングエラーが発生し、引き続き1フレーム長以上スペース0 (ローレベル) の場合、ブレイクを検出します。また、フレーミングエラー発生時に HRX 端子のレベルをシリアルポートレジスタ (HSSPTR) から直接読み出すことによってもブレイクを検出できます。

—サンプリングレート : 可変 (8~32の整数値)

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともに128段のFIFOバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ポーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、LSI内部クロックを基準に内蔵ポーレートジェネレータが供給するクロックか、または外部クロックから選択可能です。

- 8種類の割り込み要因

レシーブデータレディ、レシーブFIFOデータフル、ブ레이크検出、トランスミットFIFOデータエンプティ、トランスミットエンド、レシーブエラー、オーバランエラー、タイムアウトの8種類の割り込み要因があり、それぞれ独立に要求することができます。

- DMAデータ転送

送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

- モデムコントロール機能 (HRTS#, HCTS#) を内蔵しています。

- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。

- レシーブデータレディ、タイムアウトエラー (DR, TO) を検出できます。

32.1.2 ブロック図

図 32.1 に HSCIF のブロック図を示します。

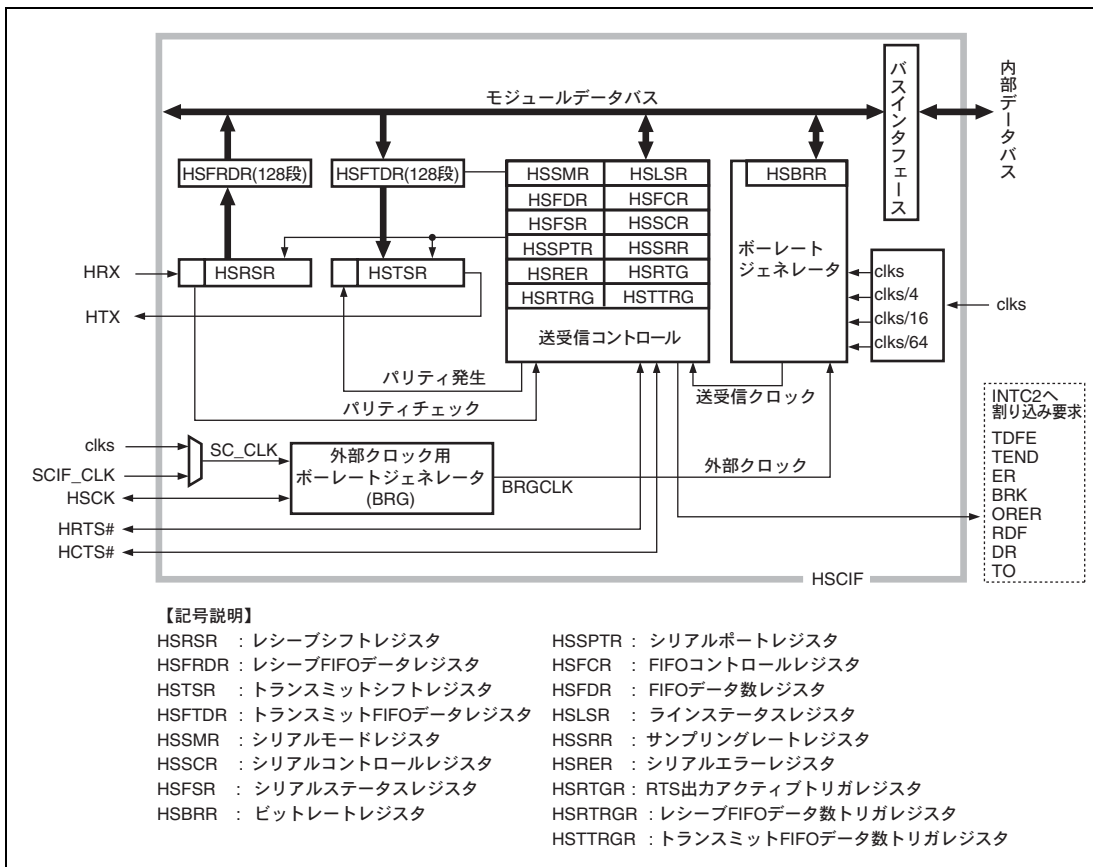


図 32.1 HSCIF ブロック図

32.1.3 端子構成

HSCIF の端子構成を表 32.1 に示します。これらの端子は他機能の端子とピンマルチプレクスされており、ピンマルチプレクスの設定によっては使用できる端子に制限があります。

表 32.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	HSCCK0	入出力	クロック入出力
レシーブデータ端子	HRX0	入力	受信データ入力
トランスミットデータ端子	HTX0	出力	送信データ出力
モデムコントロール端子	HCTS0#	入出力	送信可
モデムコントロール端子	HRTS0#	入出力	送信要求
ボーレート生成クロック端子	SCIF_CLK	入力	外部クロック用ボーレートジェネレータへ入力するクロック

【注】 HSCIF の動作設定を、HSSCR の TE、RE、CKE1、CKE0 ビットおよび HSCFR の MCE ビットで行うことにより、シリアル端子として機能します。ブレイク状態の送出、検出は、HSSPTR によって行うことができます。

32.1.4 レジスタ構成

HSCIF には表 32.2 に示す内部レジスタがあります。下記レジスタ以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

HSCIF のベースアドレスは以下のとおりです。

HSCIF0 : H'FFE4_8000

表 32.2 (1) 内部レジスタ構成

名称	略称	R/W	ベースアドレスからの オフセット	アクセスサイズ
シリアルモードレジスタ	HSSMR	R/W	H'00	16
ビットレートレジスタ	HSBRR	R/W	H'04	8
シリアルコントロールレジスタ	HSSCR	R/W	H'08	16
トランスミット FIFO データレジスタ	HSFTDR	W	H'0C	8
シリアルステータスレジスタ	HSFSR	R/W*1	H'10	16
レシーブ FIFO データレジスタ	HSFRDR	R	H'14	8
FIFO コントロールレジスタ	HSFCR	R/W	H'18	16
FIFO データ数レジスタ	HSFDR	R	H'1C	16
シリアルポートレジスタ	HSSPTR	R/W	H'20	16
ラインステータスレジスタ	HLSR	R/W*2	H'24	16
サンプリングレートレジスタ	HSSRR	R/W	H'40	16
シリアルエラーレジスタ	HSRER	R	H'44	16
RTS 出力アクティブトリガ数レジスタ	HSRTGR	R/W	H'50	16
レシーブ FIFO データ数トリガレジスタ	HSRTRGR	R/W	H'54	16
トランスミット FIFO データ数トリガレジスタ	HSTTRGR	R/W	H'58	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。

*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15~3、1 は読み出し専用であり書き込むことはできません。

表 32.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
HSSMR	初期化	初期化	保持	保持	保持	初期化
HSBRR	初期化	初期化	保持	保持	保持	初期化
HSSCR	初期化	初期化	保持	保持	保持	初期化
HSFTDR	不定	不定	保持	保持	保持	不定
HSFSR	初期化	初期化	保持	保持	保持	初期化
HSFRDR	不定	不定	保持	保持	保持	不定
HSFCR	初期化	初期化	保持	保持	保持	初期化
HSFDR	初期化	初期化	保持	保持	保持	初期化
HSSPTR	初期化	初期化	保持	保持	保持	初期化
HSLSR	初期化	初期化	保持	保持	保持	初期化
HSSRR	初期化	初期化	保持	保持	保持	初期化
HSREER	初期化	初期化	保持	保持	保持	初期化
HSRTGR	初期化	初期化	保持	保持	保持	初期化
HSRTRGR	初期化	初期化	保持	保持	保持	初期化
HSTRTRGR	初期化	初期化	保持	保持	保持	初期化

32.2 レジスタの説明

32.2.1 レシーブシフトレジスタ (HSRSR)

レシーブシフトレジスタ (HSRSR) は、シリアルデータを受信するためのレジスタです。

HSCIF は、HSRSR に HRX 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO レジスタ (HSFRDR) へ転送されます。

CPU から直接、HSRSR の読み出し/書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

32.2.2 レシーブ FIFO データレジスタ (HSFRDR)

レシーブ FIFO データレジスタ (HSFRDR) は、受信したシリアルデータを格納する 128 段の FIFO レジスタです。

HSCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (HSRSR) から HSFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、HSRSR は受信可能になり、レシーブ FIFO レジスタが一杯になる 128 データまで連続した受信動作が可能です。

HSFRDR は、読み出し専用レジスタであり、CPU から書き込むことはできません。

レシーブ FIFO レジスタ内の受信データが空の状態を読み出した値は不定値になります。

レシーブ FIFO レジスタ内の受信データが満杯の状態になると、以降のシリアルデータは失われます。

HSFRDR は、パワーオンリセット、マニュアルリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

32.2.3 トランスミットシフトレジスタ (HSTSR)

トランスミットシフトレジスタ (HSTSR) は、シリアルデータを送信するためのレジスタです。

HSCIF は、トランスミット FIFO データレジスタ (HSFTDR) から送信データをいったん HSTSR に転送し、LSB (ビット 0) から順に HTX 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に HSFTDR から HSTSR へ次の送信データを転送し、送信を開始します。

CPU から直接、HSTSR の読み出し/書き込みをすることはできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

32.2.4 トランスミット FIFO データレジスタ (HSFTDR)

トランスミット FIFO データレジスタ (HSFTDR) は、シリアル送信するデータを格納する 8 ビット長の 128 段 FIFO レジスタです。

HSCIF は、送信データが HSFTDR に書き込まれたとき、トランスミットシフトレジスタ (HSTSR) が空ならば、HSFTDR に書き込まれた送信データを HSTSR に転送してシリアル送信を開始します。

HSFTDR は、書き込み専用レジスタであり、CPU から読み出すことはできません。

HSFTDR 内の送信データが満杯のときは、次のデータを書き込むことはできません。書き込んだデータは無視されます。

HSFTDR は、パワーオンリセット、マニュアルリセット時に不定となります。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

32.2.5 シリアルモードレジスタ (HSSMR)

シリアルモードレジスタ (HSSMR) は、HSCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

HSSMR は、常に CPU による読み出し/書き込みが可能です。

HSSMR は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	CHR	PE	O/E#	STOP	-	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6	CHR	0	R/W	<p>キャラクタレングス データ長を 7 ビット/8 ビットデータのいずれかから選択します。</p> <p>0 : 8 ビットデータ 1 : 7 ビットデータ*</p> <p>【注】 * 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ (HSFTDR) の MSB (ビット 7) は送信されません。</p>
5	PE	0	R/W	<p>パリティネーブル 送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。</p> <p>PE ビットに 1 をセットすると送信時には、O/E#ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E#ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可</p>
4	O/E#	0	R/W	<p>パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。</p> <p>O/E#ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E#ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを1ビット/2ビットのいずれかから選択します。</p> <p>受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0: 1ストップビット*¹</p> <p>1: 2ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト1、0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>CKS1、CKS0ビットの設定でclks、clks/4、clks/16、clks/64の4種類からクロックソースを選択できます。</p> <p>00: clks クロック</p> <p>01: clks/4 クロック</p> <p>10: clks/16 クロック</p> <p>11: clks/64 クロック</p>

32.2.6 シリアルコントロールレジスタ (HSSCR)

シリアルコントロールレジスタ (HSSCR) は、HSCIF の送信/受信動作、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

HSSCR は、常に CPU による読み出し/書き込みが可能です。

HSSCR は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TOT1	TOT0	—	—	TEIE	—	—	—	TIE	RIE	TE	RE	REIE	TOIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 14	TOT1 TOT0	0 0	R/W R/W	<p>タイムアウト時間 1、0</p> <p>調歩同期モードで、データレディ (DR)、タイムアウト (TO) がセットされるまでの時間を設定します。</p> <p>00 : 15ETU(*) 01 : 31ETU 10 : 47ETU 11 : 63ETU</p> <p>【注】 * 8ビット長1ストップビットフォーマット時の1.5フレーム時間に相当します。 ETU (Elementary Time Unit) : 1ビットの転送期間の略。</p>
13, 12	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
11	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>TIE で許可されたとき、割り込み要求の要因として、シリアルステータスレジスタ (HSFSR) の TDFE フラグがセットされたときか、HSFSR の TEND フラグがセットされたときか、を選択します。</p> <p>0 : 送信 FIFO データエンプティ (TDFE) 割り込み要求を使用します。 1 : トランスミットエンド (TEND) 割り込み要求を使用します。</p>
10~8	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>シリアルコントロールレジスタ (HSSCR) の TEIE ビットが0の場合、トランスミット FIFO データレジスタ (HSFTDR) からトランスミットシフトレジスタ (HSTSR) へシリアル送信データが転送され、送信 FIFO レジスタ内のデータ数が送信トリガ設定数以下になり、シリアルステータスレジスタ (HSFSR) の TDFE フラグが1にセットされたときに、トランスミット FIFO データエンプティ割り込み (TDFE) 要求の発生を許可/禁止します。</p> <p>シリアルコントロールレジスタ (HSSCR) の TEIE ビットが1の場合、トランスミットシフトレジスタ (HSTSR) の送信キャラクタの最後尾ビットの送信時に HSFTDR に有効なデータがなく送信を終了し、シリアルステータスレジスタ (HSFSR) の TEND フラグが1にセットされたときに、トランスミットエンド割り込み (TEND) 要求の発生を許可/禁止します。</p> <p>0 : TEIE = 0 のとき トランスミット FIFO データエンプティ (TDFE) 要求を禁止 TEIE = 1 のとき トランスミットエンド (TEND) 要求を禁止 1 : TEIE = 0 のとき トランスミット FIFO データエンプティ (TDFE) 要求を許可 TEIE = 1 のとき トランスミットエンド (TEND) 要求を許可</p>

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>HSFSR の RDF フラグが 1 にセットされたときのレシーブ FIFO データフル割り込み要求、HSFSR の DR フラグが 1 にセットされたときのレシーブデータレディ割り込み要求、HSFSR の ER フラグが 1 にセットされたときのレシーブエラー割り込み要求、HSFSR の BRK フラグが 1 にセットされたときのブレイク検出割り込み要求、HLSR の ORER フラグが 1 にセットされたときのオーバランエラー割り込み要求の発生を許可／禁止します。</p> <p>0：レシーブ FIFO データフル割り込み (RDF) 要求、レシーブデータレディ割り込み (DR) 要求、レシーブエラー割り込み (ER) 要求、ブレイク検出割り込み (BRK) 要求、オーバランエラー割り込み (ORER) 要求を禁止</p> <p>1：レシーブ FIFO データフル割り込み (RDF) 要求、レシーブデータレディ割り込み (DR) 要求、レシーブエラー割り込み (ER) 要求、ブレイク検出割り込み (BRK) 要求、オーバランエラー割り込み (ORER) 要求を許可</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>HSCIF のシリアル送信動作の開始を許可／禁止します。TE ビットが 1 の状態で、HSFTDR に送信データを書き込むとシリアル送信を開始します。TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (HSSMR)、FIFO コントロールレジスタ (HSFCR) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p> <p>0：送信動作を禁止</p> <p>1：送信動作を許可</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>HSCIF のシリアル受信動作の開始を許可／禁止します。RE ビットが 1 の状態で、スタートビットを検出するとシリアル受信を開始します。RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (HSSMR)、FIFO コントロールレジスタ (HSFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p> <p>0：受信動作を禁止*</p> <p>1：受信動作を許可</p> <p>【注】* RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、TO、ORER の各フラグは影響を受けず、状態を保持します。</p>

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>レシーブエラー割り込み (ER) 要求、ブレーク検出割り込み (BRK) 要求、オーバーランエラー割り込み (ORER) 要求の発生を許可/禁止します。</p> <p>0: レシーブエラー割り込み (ER) 要求、ブレーク検出割り込み (BRK) 要求、オーバーランエラー割り込み (ORER) 要求を禁止*</p> <p>1: レシーブエラー割り込み (ER) 要求、ブレーク検出割り込み (BRK) 要求、オーバーランエラー割り込み (ORER) 要求を許可</p> <p>【注】* RIE を 0 に設定しても、REIE を 1 に設定すれば、ER、BRK、ORER 割り込み要求は発生します。DMAC 転送時に ER、BRK、ORER 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	TOIE	0	R/W	<p>タイムアウトインタラプトイネーブル</p> <p>HSSCLSR の TO フラグが 1 にセットされたときのタイムアウト割り込み (TO) 要求の発生を許可/禁止します。</p> <p>0: タイムアウト割り込み (TO) 要求を禁止</p> <p>1: タイムアウト割り込み (TO) 要求を許可</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>HSCIF のクロックソースの選択、および HSCK 端子からのクロック出力の許可/禁止を設定します。</p> <p>CKE1 ビットと CKE0 ビットの組合わせによって HSCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。</p> <p>ビットの設定内容は、表 32.3 を参照してください。</p>

表 32.3 クロック選択

ビット1	ビット0	説明	
CKE1	CKE0	クロックソース	HSCK 端子
0	0	内部クロック (clks、clks/4、clks/16、clks/64) を使用	HSCK 端子を使用しない。 HSCK 端子は入力端子 (入力信号は無視)
	1		HSCK 端子はクロック出力 (ビットレートにサンプリングレートを乗じたクロックを出力)
1	0	外部クロック用ポーレートジェネレータ出力、または HSCK を使用	SC_CLK 選択時： HSCK 端子は入力端子 (入力信号は無視)。BRGCLK がビットレートにサンプリングレートを乗じた周波数になるように、SC_CLK の周波数を設定。
	1		HSCK 選択時： HSCK 端子はクロック入力 (ビットレートにサンプリングレートを乗じたクロックを入力)
	1	禁止	

【注】 * SC_CLK を入力とした同期通信はできません。

32.2.7 シリアルステータスレジスタ (HSFSR)

シリアルステータスレジスタ (HSFSR) は 16 ビット長のレジスタです。下位 8 ビットは、HSCIF の動作状態を示すステータスフラグを表示します。上位 8 ビットは予約ビットです。HSFSR は常に CPU から読み出し/書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

HSFSR は、パワーオンリセット、マニュアルリセット時に H'0060 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。HSSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。</p> <p>レシーブエラーが発生しても受信データは HSFRDR に転送され、受信動作を続けます。</p> <p>HSFRDR から読み出したデータに受信エラーがあるかどうかは、HSFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (HSSMR) の O/E ビットで指定した偶数/奇数パリティの設定と一致しなかったとき <p>【注】* 2ストップモードのときは1ビット目のストップビットが1であるかどうかのみを判定し、2ストップビット目のストップビットはチェックしません。</p>
6	TEND	1	R/W*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時にトランスミット FIFO データレジスタ (HSFTDR) に有効なデータがなく、送信を終了した事を示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • トランスミット FIFO データレジスタ (HSFTDR) に送信データを書き込み、0 を書き込んだとき • DMAC でトランスミット FIFO データレジスタ (HSFTDR) ヘデータを書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • シリアルコントロールレジスタ (HSSCR) の TE ビットが 0 のとき • 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にトランスミット FIFO データレジスタ (HSFTDR) に送信データがないとき

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンブティ</p> <p>トランスミット FIFO データレジスタ (HSFTDR) からトランスミットシフトレジスタ (HSTSR) にデータ転送が行われ、HSFTDR 内のデータ数がトランスミット FIFO データ数トリガレジスタ (HSTTRGR) で設定した送信トリガデータ数以下になり、HSFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>トランスミット FIFO データレジスタ (HSFTDR) は 128 バイトの FIFO レジスタです。TDFE=1 で書き込むことができる最大データ数は、128・(送信トリガ設定数) です。これより多くデータを書き込んだ場合は無視されます。また、HSFTDR 内のデータ数は FIFO データ数レジスタ (HSFDR) の上位ビットに示されます。</p> <p>TDFE フラグはトランスミット FIFO データレジスタ (HSFTDR) に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データがトランスミット FIFO データレジスタ (HSFTDR) に格納されたときに行ってください。</p> <p>0: トランスミット FIFO データレジスタ (HSFTDR) に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> トランスミット FIFO データレジスタ (HSFTDR) に送信トリガ設定数を超える送信データを書き込み、TDFE に 0 を書き込んだとき DMAC でトランスミット FIFO データレジスタ (HSFTDR) に送信トリガ設定数を超えるデータを書き込んだとき <p>1: トランスミット FIFO データレジスタ (HSFTDR) の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 トランスミット FIFO データレジスタ (HSFTDR) の送信データ数が送信動作によって送信トリガ設定数以下になったとき
4	BRK	0	R/W*	<p>ブレイク検出</p> <p>受信データのブレイク信号を検出して示します。</p> <p>ブレイク検出すると受信データ (H'00) のレシーブ FIFO データレジスタ (HSFRDR) 転送は停止します。ブレイクが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p> <p>0: ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 0 を書き込んだとき <p>1: ブレイク信号を受信したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーミングエラーを伴うデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>次にレシーブ FIFO データレジスタ (HSFRDR) から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次にレシーブ FIFO データレジスタ (HSFRDR) から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次のレシーブ FIFO データレジスタ (HSFRDR) 読み出しデータにフレーミングエラーなし <p>1: 次にレシーブ FIFO データレジスタ (HSFRDR) から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次のレシーブ FIFO データレジスタ (HSFRDR) 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>次にレシーブ FIFO データレジスタ (HSFRDR) から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次にレシーブ FIFO データレジスタ (HSFRDR) から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次のレシーブ FIFO データレジスタ (HSFRDR) 読み出しデータにパリティエラーなし <p>1: 次にレシーブ FIFO データレジスタ (HSFRDR) から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次のレシーブ FIFO データレジスタ (HSFRDR) 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル</p> <p>受信したデータがレシーブシフトレジスタ (HSRSR) からレシーブ FIFO データレジスタ (HSFRDR) に転送され、HSFRDR 内の受信データ数が、レシーブ FIFO データ数トリガレジスタ (HSRTRGR) で設定した受信トリガデータ数以上になったことを示します。</p> <p>レシーブ FIFO データレジスタ (HSFRDR) は 128 バイトの FIFO レジスタです。</p> <p>RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。</p> <p>HSFRDR が空の状態でもデータを読み出すと不定値が読み出されます。</p> <p>HSFRDR 内の受信データ数は FIFO データ数レジスタ (HSFDR) の下位ビットに示されます。</p> <p>読み出し後もレシーブ FIFO データレジスタ (HSFRDR) 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、レシーブ FIFO データレジスタ (HSFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。</p> <p>0: レシーブ FIFO データレジスタ (HSFRDR) の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • レシーブ FIFO データレジスタ (HSFRDR) 内の受信データ数が受信トリガ設定数より少なくなるまで HSFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC でレシーブ FIFO データレジスタ (HSFRDR) 内の受信データ数が受信トリガ設定数より少なくなるまで HSFRDR を読み出したとき <p>1: レシーブ FIFO データレジスタ (HSFRDR) の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • レシーブ FIFO データレジスタ (HSFRDR) に受信トリガ設定数以上の受信データが格納されたとき

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/W*	<p>レシーブデータレディ</p> <p>レシーブ FIFO データレジスタ (HSFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから HSSCR[15:14]で設定した時間 (*) 以上、次のデータが来ないことを示します。</p> <p>0 : 受信中または正常に受信完了してレシーブ FIFO データレジスタ (HSFRDR) に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • HSFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で HSFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <p>レシーブ FIFO データレジスタ (HSFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから HSSCR[15:14]で設定した時間以上次のデータが来ないとき*</p> <p>【注】 * 設定値が 15ETU の場合、8 ビット長 1 ストップビットフォーマットの 1.5 フレーム時間に相当。</p> <p>ETU (Elementary Time Unit) : 1 ビットの転送期間の略。</p>

32.2.8 ビットレートレジスタ (HSBRR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (HSBRR) は、シリアルモードレジスタ (HSSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。本ボーレートジェネレータは、clks、clks/4、clks/16、clks/64 用です。外部クロック用ボーレートジェネレータについては、「32.6 外部クロック用ボーレートジェネレータ (BRG)」を参照してください。

HSBRR は、常に CPU による読み出し/書き込みが可能です。

HSBRR は、パワーオンリセット、マニュアルリセット時に H'FF に初期化されます。

HSBRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{clks}}{\text{Sr} \times 2^{2n+1} \times B} \times 10^6 - 1$$

B ビットレート (bit/s)

N ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$) (電気的特性を満足する設定値としてください)

clks SHwy バスクロック動作周波数 (MHz)

n ボーレートジェネレータ入力クロック ($n=0, 1, 2, 3$) (n とクロックの関係は、下表を参照してください)

Sr サンプルングレート (8~32)

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	clks	0	0
1	clks/4	0	1
2	clks/16	1	0
3	clks/64	1	1

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{clks} \times 10^6}{(N + 1) \times B \times \text{Sr} \times 2^{2n+1}} - 1 \right\} \times 100$$

32.2.9 FIFO コントロールレジスタ (HSFCR)

FIFO コントロールレジスタ (HSFCR) は送信、受信各 FIFO レジスタのデータ数リセットを行うレジスタです。

また、モデムコントロールとループバックテストの許可ビットを含んでいます。

HSFCR は、常に CPU による読み出し/書き込みが可能です。

HSFCR は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MCE	TFRST	RFRST	LOOP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MCE	0	R/W	モデムコントロールイネーブル モデムコントロール信号 HCTS#、HRTS#を有効にします。 0: モデム信号を無効* 1: モデム信号を有効 【注】* HCTS#、HRTS#はポート機能となります。
2	TFRST	0	R/W	トランスミット FIFO データレジスタリセット トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われません。
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われません。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (HTX) と受信入力端子 (HRX)、HRTS#端子と HCTS#端子を内部で接続し、ループバックテストを可能にします。 0: ループバックテストを禁止 1: ループバックテストを許可

32.2.10 FIFO データ数レジスタ (HSFDR)

トランスミット FIFO データレジスタ (HSFTDR) および、レシーブ FIFO データレジスタ (HSFRDR) 内に格納されているデータ数を示す 16 ビット長のレジスタです。

上位 8 ビットで HSFTDR 内の送信データ数を、下位 8 ビットで HSFRDR 内の受信データ数を示します。

HSFDR は常に CPU から読み出しができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]								R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	H'00	R	HSFTDR 内に格納されている未送信のデータ数を示します。H'00 は送信データがないことを示します。H'80 は HSFTDR に満杯の送信データが格納されていることを示します。
7~0	R[7:0]	H'00	R	HSFRDR 内に格納されている受信データ数を示します。H'00 は受信データがないことを示します。H'80 は HSFRDR に満杯の受信データが格納されていることを示します。

32.2.11 シリアルポートレジスタ (HSSPTR)

シリアルポートレジスタ (HSSPTR) は、高速 FIFO 内蔵シリアルコミュニケーションインタフェース (HSCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。

ビット 1、0 によって HRX 端子から入力データを読み出し、HTX 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。

ビット 3 およびビット 2 で HSCCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。

ビット 5 およびビット 4 で HCTS#端子に対してデータの読み込みおよび出力データを書き込むことができます。

ビット 7 およびビット 6 で HRTS#端子に対してデータの読み込みおよび出力データを書き込むことができます。

HSSPTR レジスタは 16 ビットで、常に CPU による読み出し/書き込みが可能です。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は不定です。

【注】 モデムコントロール機能を選択できないチャンネルがあります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTS IO	RTS DT	CTS IO	CTS DT	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値:	0	0	0	0	0	0	0	0	0	—	0	—	0	—	0	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	RTSIO	0	R/W	<p>シリアルポート RTS ポート入出力</p> <p>シリアルポートの HRTS#端子の入出力を指定します。実際に HRTS#端子をポート出力端子として RTSIO ビットで設定した値を出力する場合は、FIFO コントロールレジスタ (HSFCR) の MCE ビットを 0 に設定してください。</p> <p>0 : HRTS#端子に RTSIO ビットの値を出力しないことを示します。 1 : HRTS#端子に RTSIO ビットの値を出力することを示します。</p>
6	RTSDT	不定	R/W	<p>シリアルポート RTS ポートデータ</p> <p>シリアルポートの HRTS#端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が HRTS#端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは HRTS#端子の値が読み出されます。</p> <p>パワーオンリセット、マニュアルリセット後の初期値は不定です。</p> <p>0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。</p>
5	CTSIO	0	R/W	<p>シリアルポート CTS ポート入出力</p> <p>シリアルポートの HCTS#端子の入出力を指定します。実際に HCTS#端子をポート出力端子として CTSIO ビットで設定した値を出力する場合は、FIFO コントロールレジスタ (HSFCR) の MCE ビットを 0 に設定してください。</p> <p>0 : HCTS#端子に CTSIO ビットの値を出力しないことを示します。 1 : HCTS#端子に CTSIO ビットの値を出力することを示します。</p>
4	CTSMT	不定	R/W	<p>シリアルポート CTS ポートデータ</p> <p>シリアルポートの HCTS#端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTSMT ビットの値が HCTS#端子に出力されます。CTSIO ビットの値にかかわらず、CTSMT ビットからは HCTS#端子の値が読み出されます。</p> <p>パワーオンリセット、マニュアルリセット後の初期値は不定です。</p> <p>0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。</p>
3	SCKIO	0	R/W	<p>シリアルポートクロックポート入出力</p> <p>シリアルポートの HSCK 端子の入出力を指定します。実際に HSCK 端子をポート出力端子として SCKMT ビットで設定した値を出力する場合は、シリアルコントロールレジスタ (HSSCR) の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : HSCK 端子に SCKMT ビットの値を出力しないことを示します。 1 : HSCK 端子に SCKMT ビットの値を出力することを示します。</p>

ビット	ビット名	初期値	R/W	説明
2	SCKDT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの HSCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が HSCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは HSCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。
1	SPB2IO	0	R/W	シリアルポートブレイク入出力 シリアルポートの HTX 端子の出力条件を指定します。実際に HTX 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、シリアルコントロールレジスタ (HSSCR) の TE ビットを 0 に設定してください。 0 : HTX 端子に SPB2DT ビットの値を出力しないことを示します。 1 : HTX 端子に SPB2DT ビットの値を出力することを示します。
0	SPB2DT	不定	R/W	シリアルポートブレイクデータ シリアルポートの HRX 端子の入力データおよび HTX 端子の出力データを指定します。HTX 端子の出力条件は SPB2IO ビットで指定します。HTX 端子を出力に設定した場合、SPB2DT ビットの値が HTX 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは HRX 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します。 1 : 入出力データがハイレベルであることを示します。

32.2.12 ラインステータスレジスタ (HLSLR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TO	—	ORER
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*	R	R/W*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	TO	0	R/W*	<p>タイムアウト</p> <p>レシーブ FIFO データレジスタ (HSFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから HSSCR[15:14]で設定した時間(*)以上、次のデータが来ないことを示します。</p> <p>0: 受信中または正常に受信完了してレシーブ FIFO データレジスタ (HSFRDR) に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • HSFRDR 内の受信データをすべて読み出し、0 を書き込んだとき <p>1: 次の受信データが来ないことを表示 (受信タイムアウト)</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • レシーブ FIFO データレジスタ (HSFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから HSSCR[15:14]で設定した時間(*)以上次のデータが来ないとき* <p>【注】* 設定値が 15ETU の場合、8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当。</p> <p>ETU (Elementary Time Unit) : 1 ビットの転送期間の略。</p>
1	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>レシーブ FIFO データレジスタ (HSFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。ORER フラグをクリアして受信を再開する場合、受信 FIFO からのデータ読み出し (または受信 FIFO クリア) と受信エラー処理を行った後で、ORER フラグをクリアしてください。</p> <p>0: 受信中、または正常に受信完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 0 を書き込んだとき <p>1: 受信時にオーバランエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO が 128 バイト満杯の状態での次のシリアル受信を完了したとき <p>【注】* シリアルコントロールレジスタ (HSSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p>

32.2.13 サンプリングレートレジスタ (HSSRR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRE	SRDE	—	—	SRHP3	SRHP2	SRHP1	SRHP0	—	—	—	SRCYC4	SRCYC3	SRCYC2	SRCYC1	SRCYC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SRE	0	R/W	サンプリングレートレジスタイネーブルビット 本ビットに1を設定することでSRCYC4~0の設定が有効となります。本ビットに0を設定した場合、SRCYC4~0の設定を15(初期値)としてください。
14	SRDE	0	R/W	サンプリングポイントレジスタイネーブルビット 本ビットに1を設定することでSRHP3~0の設定が有効となります。本ビットに0を設定した場合、SRHP3~0に設定は無効となり、サンプリングポイントは、サンプリングレート(S)が奇数のときは(S+1)/2、偶数の場合はS/2となります。
13, 12	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	SRHP[3:0]	0	R	サンプリングポイントレジスタ SRDEビットに1を設定し、本フィールドに値を設定することでサンプリングポイントをずらすことができます。通常、サンプリングポイントは、サンプリングレートがSの場合、S/2または(S+1)/2のポイントとなります。本フィールドに符号付4ビットの整数値を設定することにより、このポイントからサンプリングポイントを設定したサンプリングクロック分だけずらすことができます。これにより、受信マージンを向上することが可能です。 本フィールドに値を設定する場合、サンプリングポイントが負の値になったり、サンプリングレートを超えないように注意してください。また、ずらしたサンプリングポイントがセットアップマージンおよびホールドマージンを満足するようにしてください。
7~5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	SRCYC [4:0]	01111	R/W	サンプリングレートレジスタ SREビットに1を設定し、本フィールドに値を設定することで、任意のサンプリングレートでの転送が可能となります。サンプリングレートを"S"としたい場合、本フィールドには"S-1"を設定してください。また、サンプリングレートは8~32(本フィールドへの設定値は7~31)としてください。SREビットが0の場合の設定値は15(初期値)としてください。

32.2.14 シリアルエラーレジスタ (HSRER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PER6	PER5	PER4	PER3	PER2	PER1	PER0	—	FER6	FER5	FER4	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~8	PER[6:0]	H'00	R	パリティエラー数 レシーブ FIOF データレジスタ (HSFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を表示します。 HSFSR の ER ビットがセットされた後、ビット 14~8 で示される値がパリティエラー発生データ数を表示します。HSFRDR の 128 バイトの受信データすべてがパリティエラーを伴う場合、PER6~PER0 は 0 を表示します。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	FER[6:0]	H'00	R	フレーミングエラー数 レシーブ FIOF データレジスタ (HSFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を表示します。 HSFSR の ER ビットがセットされた後、ビット 6~0 で示される値がフレーミングエラー発生データ数を表示します。HSFRDR の 128 バイトの受信データすべてがフレーミングエラーを伴う場合、PER6~PER0 は 0 を表示します。

32.2.15 RTS 出力アクティブトリガ数レジスタ (HSRTGR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RST RG6	RST RG5	RST RG4	RST RG3	RST RG2	RST RG1	RST RG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	RSTRG [6:0]	H'0F	R/W	RTS 出力アクティブトリガ数 レシーブ FIFO データレジスタ (HSFRDR) 内に格納された受信データ数が、本フィールドで設定する値以上になったとき、HRTS#信号はハイレベルになります。初期値は"15"です。

32.2.16 レシーブ FIFO データ数トリガレジスタ (HSRTRGR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RT RG6	RT RG5	RT RG4	RT RG3	RT RG2	RT RG1	RT RG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	RSTRG [6:0]	H'01	R	レシーブ FIFO データ数トリガ シリアルステータスレジスタ (HSFSR) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するフィールドです。レシーブ FIFO データレジスタ (HSFRDR) 内に格納された受信データ数が、本フィールドで設定する値以上になったとき、RDF フラグをセットします。初期値は"1"です。

32.2.17 トランスミット FIFO データ数トリガレジスタ (HSTTRGR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TT RG6	TT RG5	TT RG4	TT RG3	TT RG2	TT RG1	TT RG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	RSTRG [6:0]	H'08	R/W	トランスミット FIFO データ数トリガ シリアルステータスレジスタ (HSFSR) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するフィールドです。送信動作によりトランスミット FIFO データレジスタ (HSFTDR) 内の送信データ数が、本フィールドで設定する値以下になったとき TDFE フラグをセットします。初期値は"8"です。

32.3 動作説明

32.3.1 調歩同期通信の動作

調歩同期式通信は、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行います。

調歩同期式シリアル通信の一般的なフォーマットを図 32.2 に示します。調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。HSCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。調歩同期モードでは、HSCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、HSCIF はデータを1ビット期間に対し、サンプリングレートレジスタ（HSSRR）で設定したサンプリングレートを S とすると、 S 倍の周波数のクロックの $S/2$ 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます（サンプリングレートが奇数の場合は $(S+1)/2$ 番目でサンプリングされます）。また、SRDE ビットを有効にし、サンプリングポイントレジスタを設定した場合には意図的に各ビットの中央からデータの取り込みポイントをずらすことができます。

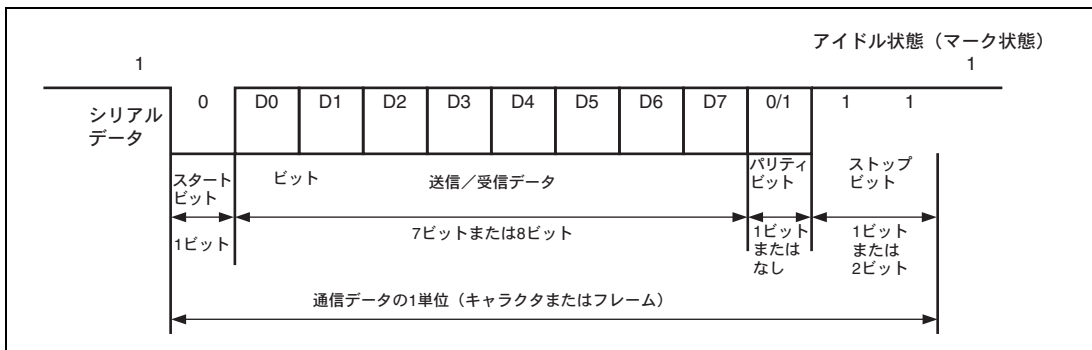


図 32.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット、クロック

設定可能な送信/受信フォーマットを、表 32.4 に示します。送信/受信フォーマットは 8 種類あり、シリアルモードレジスタ (HSSMR) の設定により選択できます。

送信/受信クロックは、シリアルコントロールレジスタ (HSSCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、外部クロック用ポーレートジェネレータの生成した外部クロックの 2 種類から選択できます。

表 32.4 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット
 STOP: ストップビット
 P : パリティビット

(2) データの送信/受信動作

• HSCIFの初期化 (調歩同期式)

データの送信/受信前、動作モードの変更、通信フォーマットの変更などの場合には、図 32.3 に示す、HSCIFの初期化フローチャートの例を参考に、HSCIFの初期化を行ってください。

【注意事項】

TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (HSTSR) が初期化されます。

TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (HSFSR)、トランスミット FIFO データレジスタ (HSFTDR) および、レシーブ FIFO データレジスタ (HSFRDR) の内容は保持されます。

TE ビットの 0 クリアは、送信データをすべて送信し HSFSR の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また、再度 TE ビットを 1 にセットして送信開始する前に FIFO コントロールレジスタ (HSFCR) の TFRST ビットをいったん 1 にセ

ットして HSFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。また、外部クロック用ポーレートジェネレータを使用する場合は、下記の初期化フローより前に外部クロック用ポーレートジェネレータの設定を行ってください。

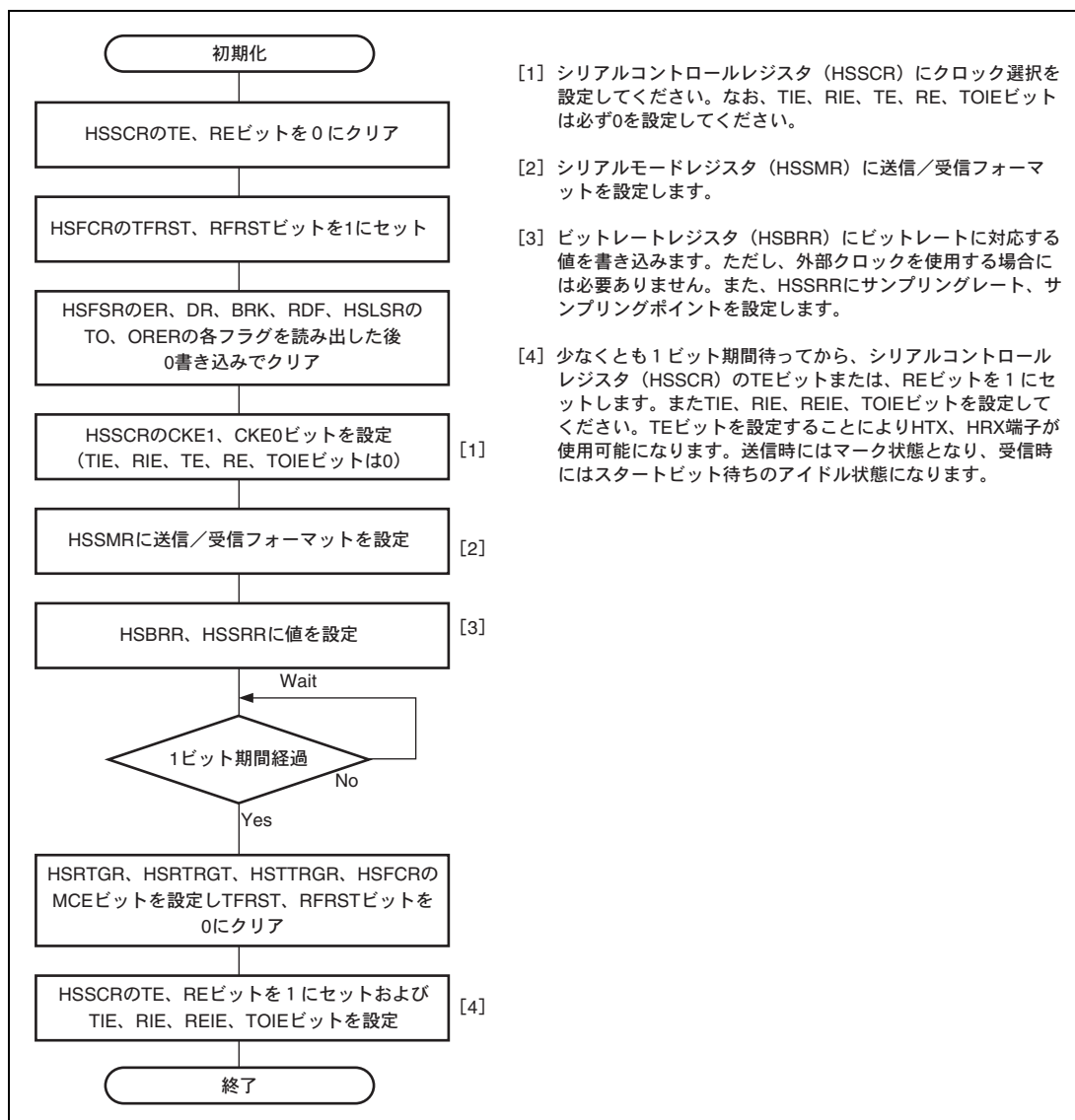


図 32.3 HSCIF の初期化フローチャート

● シリアルデータ送信（調歩同期式）

図 32.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、HSCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

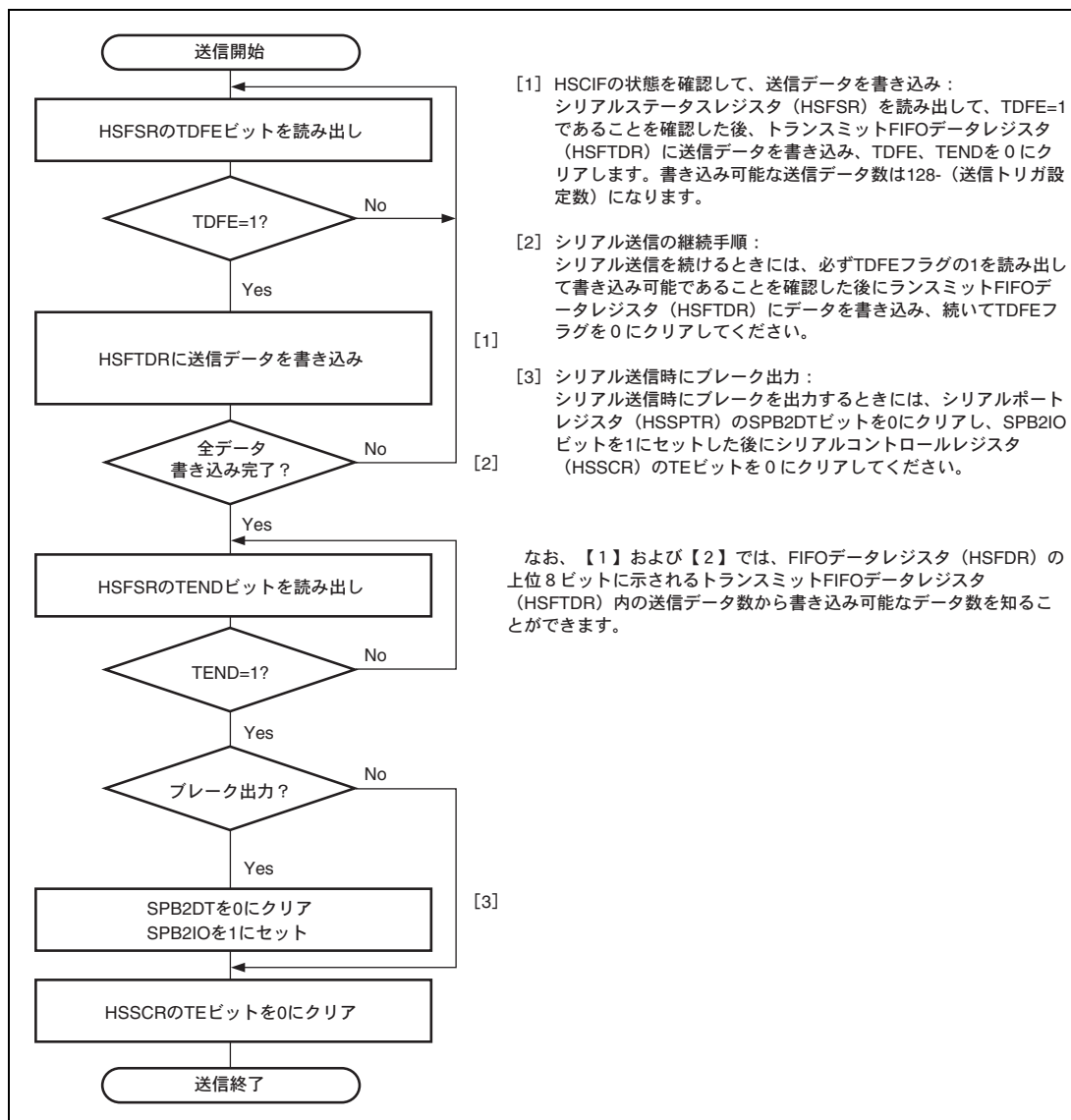


図 32.4 シリアル送信のフローチャートの例

HSCIF は、シリアル送信時に以下のように動作します。

1. HSCIFは、トランスミットFIFOデータレジスタ (HSFTDR) にデータが書き込まれると、HSFTDRからトランスミットシフトレジスタ (HSTSR) にデータを転送し、送信を開始します。HSFTDRにはシリアルステータスレジスタ (HSFSR) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は、少なくとも128- (送信トリガ設定数) です。
2. トランスミットFIFOデータレジスタ (HSFTDR) からトランスミットシフトレジスタ (HSTSR) へデータが転送され、送信を開始すると、HSFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、HSFTDR内の送信データ数がトランスミットFIFOデータ数トリガレジスタ (HSTTRGR) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、シリアルコントロールレジスタ (HSSCR) のTIEビットが1、TEIEビットが0にセットされているとトランスミットFIFOデータエンプティ割り込み (TDFE) 要求を発生します。シリアル送信データは、以下の順にHTX端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. HSCIFは、ストップビットを送出するタイミングでトランスミットFIFOデータレジスタ (HSFTDR) の送信データをチェックします。データがあるとHSFTDRからトランスミットシフトレジスタ (HSTSR) にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとシリアルステータスレジスタ (HSFSR) のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このとき、シリアルコントロールレジスタ (HSSCR) のTIEビットが1、TEIEビットが1にセットされているとトランスミットエンド (TEND) 割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 32.5 に示します。

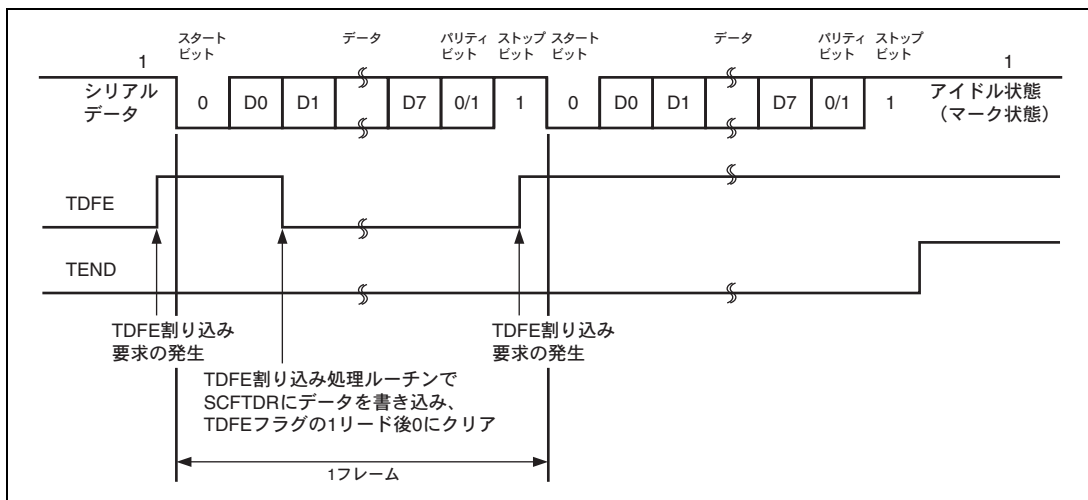


図 32.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

4. モデムコントロールイネーブル時はHCTS#入力値によって送信動作を停止/再開することができます。HCTS#が1になると現在送信中のときは1フレーム送信終了後マーク状態になります。HCTS#を0にすると再びスタートビットから次の送信データを出力します。モデムコントロール時の動作例を図32.6に示します。

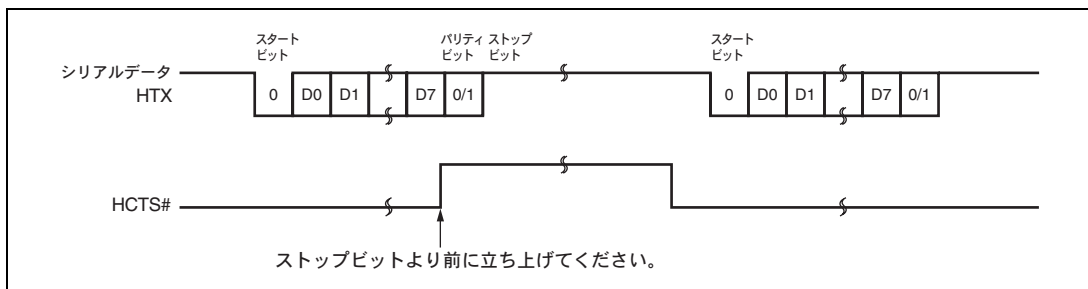


図 32.6 モデムコントロール (HCTS#) 時の動作例

● シリアルデータ受信（調歩同期式）

図 32.7、図 32.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、HSCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

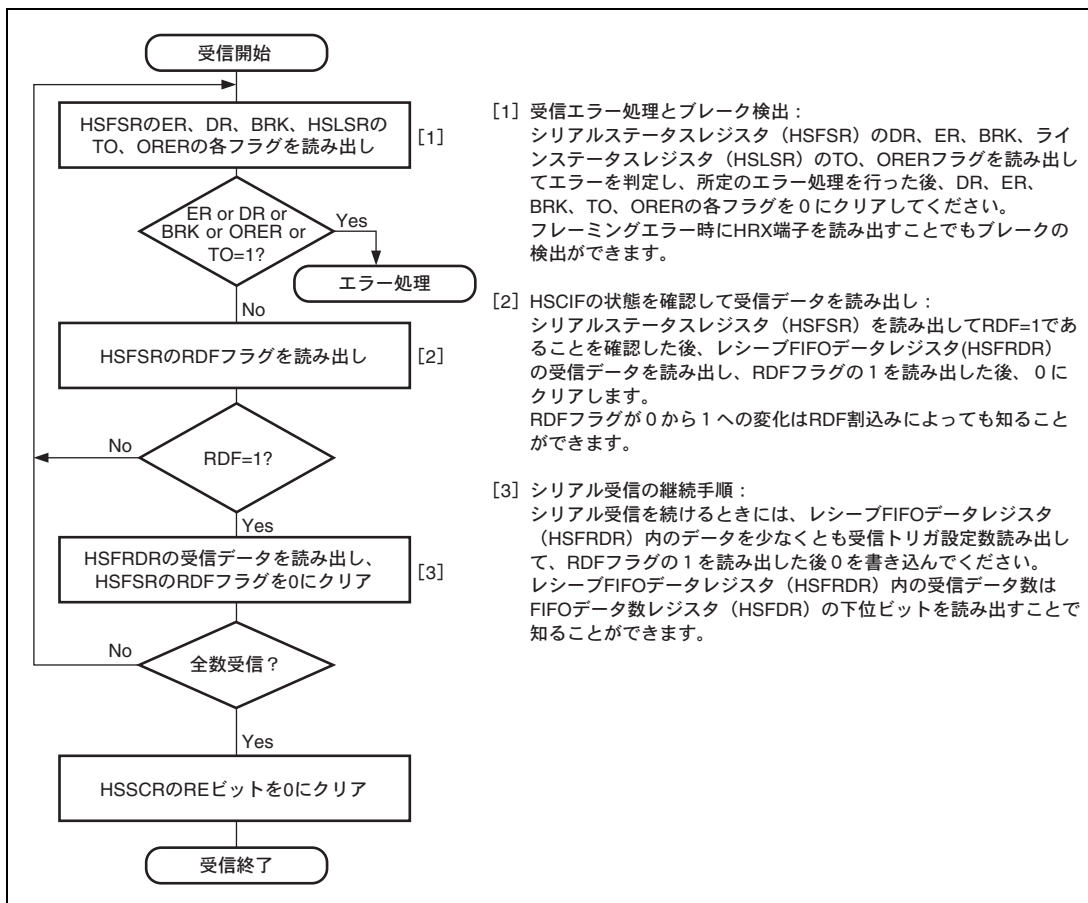


図 32.7 シリアル受信のフローチャートの例 (1)

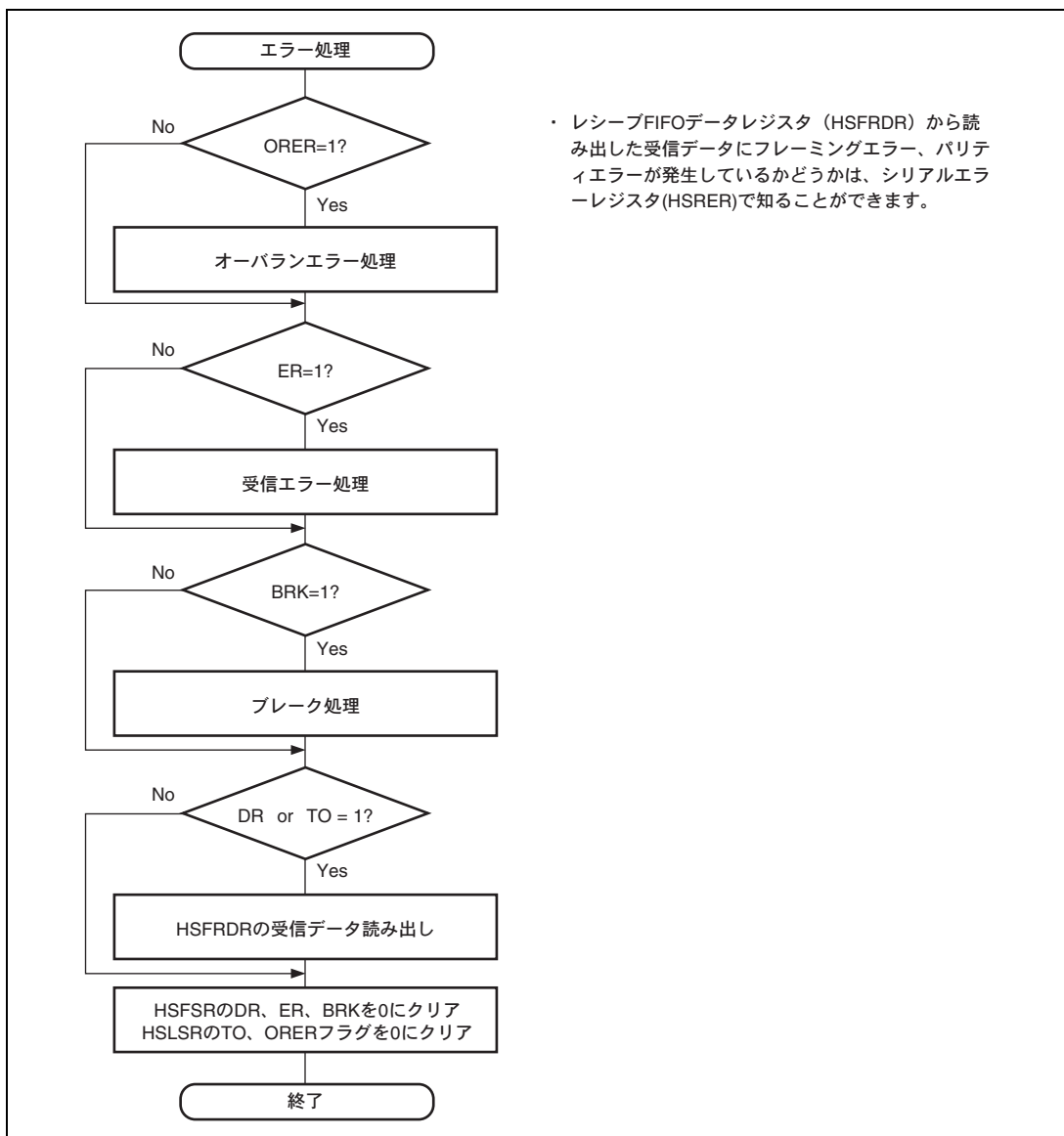


図 32.8 シリアル受信のフローチャートの例 (2)

HSCIF は、受信時に以下のように動作します。

1. HSCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをレシーブシフトレジスタ (HSRSR) のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。受信後、HSCIFは以下のチェックを行います。(b)、(c)、(d)のチェックがパスしたとき、HSFRDRに受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - (b) 受信データをレシーブシフトレジスタ (HSRSR) からHSFRDRに転送できる状態であるかをチェックします。
 - (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。
 - (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。
4. シリアルコントロールレジスタ (HSSCR) のRIEビットが1にセットされていてRDFフラグが1になったとき、レシーブFIFOデータフル割り込み (RDF) 要求を発生します。シリアルコントロールレジスタ (HSSCR) のRIEビットが1にセットされていてDRフラグが1になったとき、レシーブデータレディ割り込み (RDF) 要求を発生します。シリアルコントロールレジスタ (HSSCR) のTOIEビットが1にセットされていてTOフラグが1になったとき、タイムアウト割り込み (TO) 要求を発生します。
また、ERフラグが1になったとき、HSSCRのRIEビットまたはREIEビットが1にセットされているとレシーブエラー割り込み (ER) 要求を発生します。
さらに、BRKフラグが1になったとき、HSSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク検出割り込み (BRK) 要求を発生します。ORERフラグが1になったとき、HSSCRのRIEビットまたはREIEビットが1にセットされていると、オーバランエラー割り込み (ORER) 要求を発生します。

調歩同期式モード受信時の動作例を図 32.9 に示します。

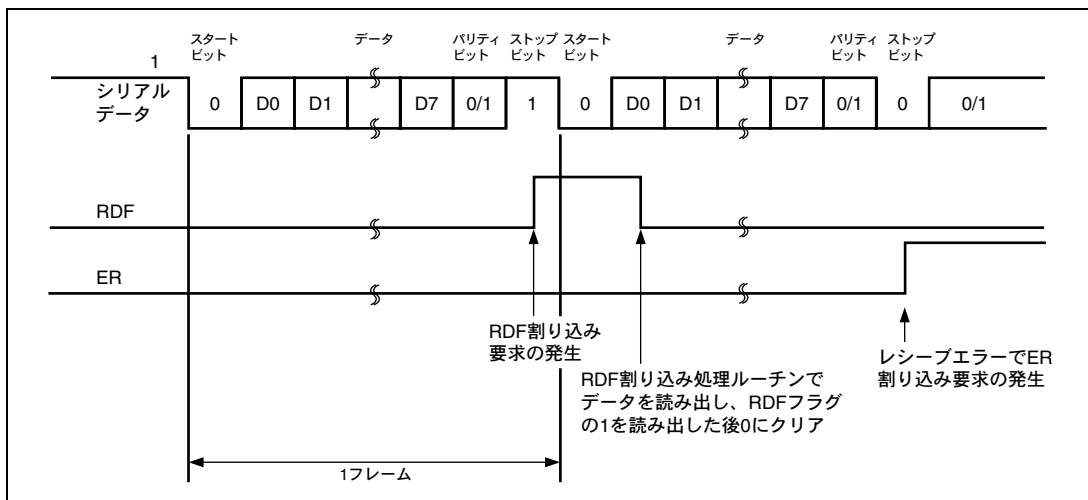


図 32.9 HSCIF の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールイネーブル時は、レシーブFIFOデータレジスタ (HSFRDR) の空き状況によってHRTS#信号を出力します。HRTS#が0のときは受信可能状態です。HRTS#が1のときはHSFRDR内のデータ数がHRTS#出力アクティブトリガ設定数以上であることを示します。

モデムコントロール時の動作例を図 32.10 に示します。

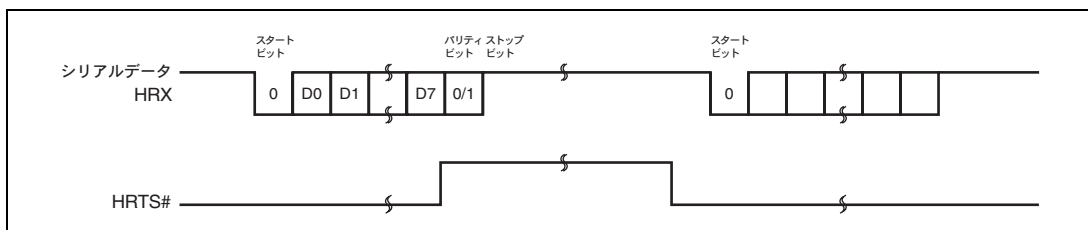


図 32.10 モデムコントロール (HRTS#) の動作例

32.4 HSCIF 割り込み要因と DMAC

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから HSCIF の設定を行ってください。

(1) 送信系割り込みと DMA 転送

TIE ビットにより TDFE/TEND が許可されている場合、シリアルステータスレジスタ (HSFSR) の TDFE/TEND フラグが 1 にセットされると、TDFE/TEND 割り込み要求と送信 FIFO データエンpty DMA 転送要求が発生します。TIE ビットにより TDFE/TEND が禁止されている場合、TDFE/TEND フラグが 1 にセットされると、送信 FIFO データエンpty DMA 転送要求のみが発生します。(HSSCR の TEIE ビットが 0 の場合は TDFE フラグ、TEIE ビットが 1 の場合は TEND フラグがセットされたときに発生します。DMA 転送要求は TEIE の影響を受けません。)

TDFE/TEND 割り込み要求を出す設定にした場合、割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(2) 受信系割り込みと DMA 転送

RIE ビットにより RDF/DR が許可されている場合、シリアルステータスレジスタ (HSFSR) の RDF/DR フラグが 1 にセットされると、RDF/DR 割り込み要求が発生します。また、RDF/DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RDF/DR が禁止されている場合、RDF/DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生し、DMAC を起動してデータ転送を行うことができます。

HSSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RDF/DR 割り込み要求を出さずに ER/BRK/ORER 割り込み要求を出すことができます。シリアルステータスレジスタ (HSFSR) の BRK フラグまたはラインステータスレジスタ (HLSLR) の ORER フラグが 1 にセットされると、BRK/ORER 割り込み要求が発生します。

TOIE ビットにより TO が許可されている場合、ラインステータスレジスタ (HLSLR) の TO フラグが 1 にセットされると、TO 割り込み要求が発生します。

DR/TO 割り込み要求を出す設定にした場合、DR フラグによる割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。TO フラグによる割り込み要求は DMAC によってクリアされませんので、割り込み処理プログラムによるクリア処理が必要です (DR フラグと TO フラグのセットは同時に行われ、クリアは個別処理となります)。

表 32.5 HSCIF 割り込み要因

割り込み要因	DMAC の起動	リセット解除時の優先順位
レシーブエラー (ER) による割り込み	不可	高 ↑ ↓ 低
レシーブ FIFO データフル (RDF) またはレシーブデータレディ (DR) タイムアウト (TO) による割り込み	可	
ブ레이크 (BRK) またはオーバランエラー (ORER) による割り込み	不可	
送信 FIFO データエンpty (TDFE) による割り込み	可	

32.5 使用上の注意事項

HSCIF を使用する際は、以下のことに注意してください。

(1) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に HRX 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、HRX 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

HSCIF は、ブレークを検出するとレシーブ FIFO データレジスタ (HSFRDR) への受信データの転送は停止しますが、受信動作は続けています。

(2) ブレークの送り出し

HTX 端子は、シリアルポートレジスタ (HSSPTR) の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、HTX 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、HTX 端子からは 0 が出力されます。

(3) 受信データサンプリングタイミングと受信マージン

HSCIF は転送レートに対し、サンプリングレートとして設定した値倍の周波数の基本クロックで動作しています。

受信時に HSCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを、サンプリングレートを S としたとき、基本クロックの、 $S/2$ (S が偶数のとき) または $(S+1)/2$ (S が奇数のとき) クロック目の立ち上がりエッジで内部に取り込みます。

$S=16$ の場合の例を図 32.11 に示します。

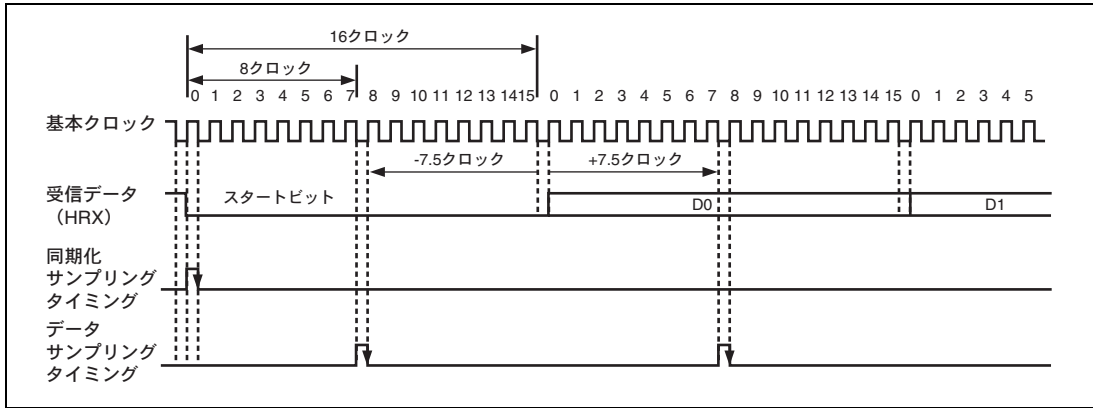


図 32.11 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=サンプリングレート)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、サンプリングレートを 16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% \\ = 46.875\% \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(4) 受信マージンとボーレート誤差

式 (2) の 46.875% は、ボーレート誤差が 0 (F=0) のときの受信マージンです。つまり、受信と送信のボーレートに誤差がなければ、約 1/2 ビット分のずれがあっても受信可能です。送信と受信のボーレートに誤差があると、ストップビット受信までの誤差が蓄積されることになり受信マージンが低下します。ボーレートの許容誤差を求めるために、式 (1) を F について変形します。D=0.5 とすると、式 (3) になります。

$$F = \{ (15/32 - M) / (L - 0.5) \} \times 100 (\%) \dots \text{式 (3)}$$

式 (3) から、フレーム長 $L=12$ の場合の許容誤差-受信マージンは以下のようになります。

許容誤差 (%)	4.07	3.64	3.20	2.33	1.46
受信マージン (%)	0	5	10	20	30

(5) SRHP フィールドの使い方

サンプリングレートレジスタの SRHP フィールドの使い方について説明します。

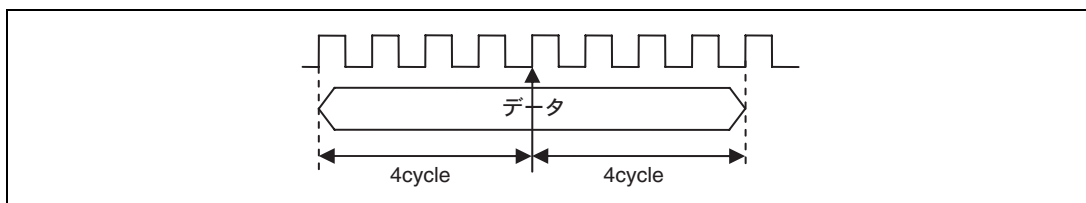


図 32.12 SRHP フィールド無効時のサンプリング

図 32.12 に SRHP フィールド無効時のサンプリング例を示します (サンプリングレート=8)。この場合、HSCIF はサンプリングレートの半分、つまり 4 クロック目の立ち上がりでデータをサンプリングします。これにより、セットアップ、ホールド側のマージンをそれぞれ 50% 確保することができます。

しかしながら、ボーレートと、サンプリングクロックの比が 1:1 でない場合、1 フレーム内の受信でセットアップまたはホールドのいずれかのマージンが削られます。セットアップのマージンが削れた場合はホールドマージンが増加します。逆に、ホールドのマージンが削れた場合はセットアップのマージンが増加します。この例を図 32.13 および図 32.14 に示します。

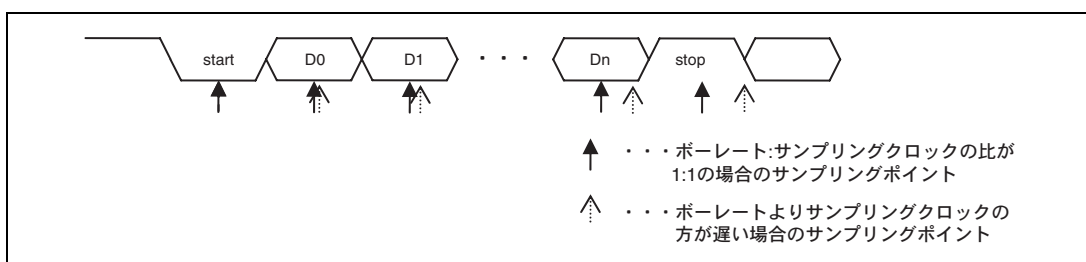


図 32.13 ボーレートよりサンプリングクロックの方が遅い場合のサンプリングポイント

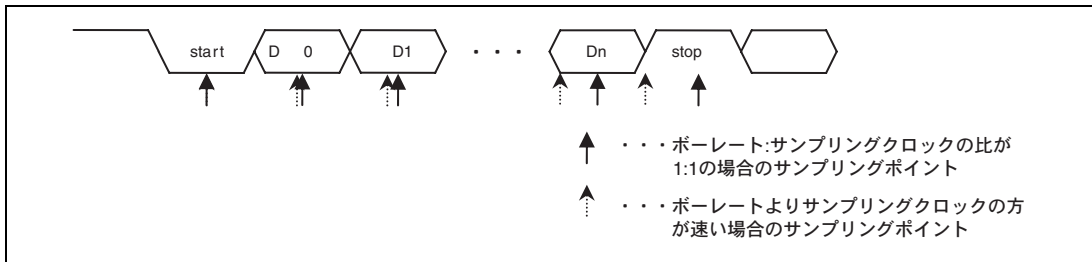


図 32.14 ボーレートよりサンプリングクロックの方が速い場合のサンプリングポイント

ボーレートとサンプリングクロックの比がわかっていれば、セットアップ/ホールドマージンのどちらが削られ、どちらが増加するかわかるため、削られるほうのマージンをあらかじめ多くとっておくことにより、1フレーム内のマージンを増加させることが可能です。そこで、SRHP フィールドに値を設定することでサンプリングポイントをずらすことが可能です。図 32.15 に例を示します。

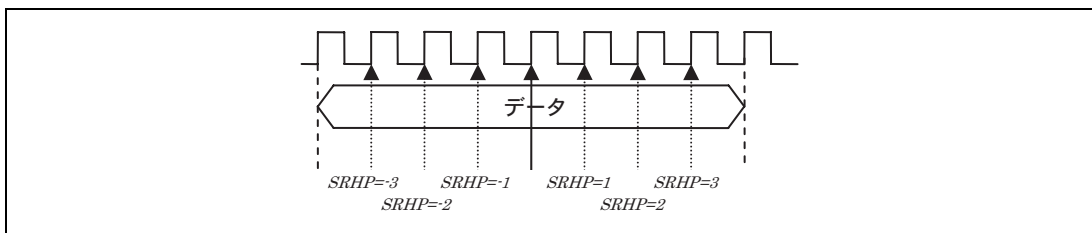


図 32.15 SRHP フィールドによりずらしたサンプリングポイント

(6) サンプリングレート及びビットレートの設定とマージン

HSCIF ではボーレートを設定するために、クロックの分周を設定する以外に、ビットレートレジスタ (HSBRR)、サンプリングレートレジスタ (HSSRR) の二つのレジスタを設定する必要があります。これらのレジスタには 32.5(3)の式(1)で求まるマージンが十分となる値を設定してください。

HSCIF で使用する分周されたクロック周波数をサンプリングレートで割った値が設定したいボーレートに近いとき、ビットレート誤差が小さくなります。同じビットレート誤差となるビットレートとサンプリングレートの組み合わせが多数ある場合には、サンプリングレートが大きくなる組み合わせを選ぶとマージンを大きくすることができます。これは、32.5(3)の式(1)でビットレート誤差が一定の場合、つまり“クロック周波数の偏差の絶対値(F)”が一定の場合、“サンプリングレート(N)”が大きくなると“マージン(M)”が大きくなるためです。

ビットレート誤差が異なるビットレートとサンプリングレートの組み合わせではサンプリングレートを大きくすると、ビットレート誤差が大きくなり、従って 32.5(3)の式(1)の右辺の“クロック周波数の偏差の絶対値(F)”が大きくなり、“マージン(M)”が小さくなる場合があります。

サンプリングレート及びビットレートの設定値を選択するには以下の手順を参考にしてください。

1. 8~32の各サンプリングレートに対して最もビットレート誤差が小さくなるビットレートを求めます
2. 上記、1.で求めた各サンプリングレートとビットレートの組み合わせでのマージンを32.5(3)の式(1)で計算します
3. サンプリングレートとビットレートの組み合わせのうち、求めたマージンが大きい組み合わせを選びます

32.6 外部クロック用ポーレートジェネレータ (BRG)

32.6.1 概要

外部クロック用ポーレートジェネレータ (以下、BRG と略) は HSCIF に内蔵され、外部クロック SC_CLK(SCIF_CLK,clks の 2 つより選択) に対し、1 から 2 の 16 乗-1 の範囲で分周することにより、HSCIF コアへサンプリングクロック (BRGCLK) を供給します。また、外部クロック HSCK と分周クロックとの出力の切り替えも行います。

32.6.2 各ブロックの説明

図 32.16 に、BRG のブロック図を示します。

(1) リセット制御

制御レジスタ、ベースカウンタ、トリガジェネレータのリセットを制御します。

(2) 制御レジスタ

分周レジスタ、クロックセレクトレジスタを保持します。

(3) ベースカウンタ

16bit の CLK 同期カウンタ。分周クロック生成の際のタイミングを決めるのに基準となるカウンタです。

(4) トリガジェネレータ

分周レジスタ値、及びベースカウンタの値でタイミングを取り、分周クロックの rise/fall エッジのトリガを生成します。これにより、分周クロックを生成します。また、HSCK (外部クロック入力) と分周クロックとの出力の切り替えも行います。

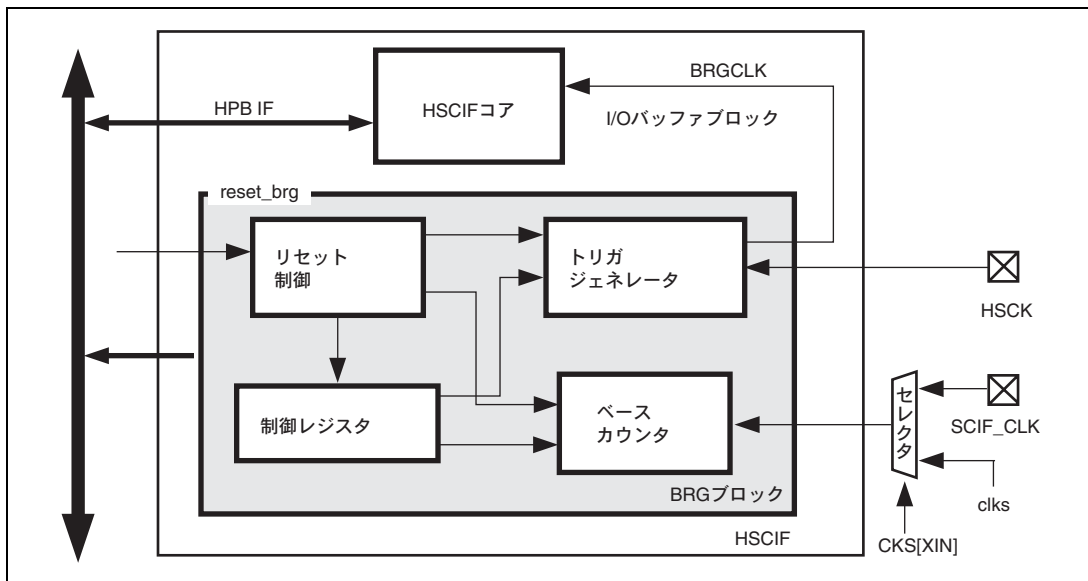


図 32.16 BRG ブロック図

32.6.3 レジスタ仕様

本ブロックには表 32.6 に示す内部レジスタがあります。

表 32.6 レジスタ一覧

名称	略称	R/W	初期値	ベースアドレスからのオフセット	アクセスサイズ
分周レジスタ	DL	R/W	H'00	H'30	16
クロックセレクトレジスタ	CKS	R/W	H'00	H'34	16

【注】 ベースアドレスは、「32.1.4 レジスタ構成」を参照のこと。

(1) 分周レジスタ (DL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DL15	DL14	DL13	DL12	DL11	DL10	DL9	DL8	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	DL[15:0]	H'0000	R/W	BRG で生成する分周クロックの分周値を設定します。DL は、16 ビットのバイナリフォーマットで、1~65535 の範囲で設定可能です。なお、DL の値が H'0000 の場合、分周クロックはローレベル出力となります。分周値は、以下の計算式により求められます。 $\text{分周値} = \text{クロック入力周波数} / (\text{要求するボーレート} \times \text{サンプリングレート})$ 表 32.7 に、3.6864MHz の水晶発振子を使用した場合のボーレート・ジェネレータの使用法を示します。また、表 32.8 には 26MHz の水晶発振子を使用した場合のボーレート・ジェネレータの使用法を示します。

(2) クロックセレクトレジスタ (CKS)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKS	XIN	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CKS	0	R/W	分周クロック (SC_CLK) と外部クロック (HSCK) との出力を切り替えます。 0 : 分周クロックを選択します。 1 : 外部クロックを選択します。
14	XIN	0	R/W	外部クロック用ボーレートジェネレータ用クロックソースを選択します。SCIF_CLK、clks の 2 種類のクロックソースを選択できます。 0 : 外部クロック (SCIF_CLK) を選択します。 1 : 内部クロック (clks) を選択します。
13~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 32.7 ボーレート (3.6864MHz クロック)

ボーレート	分周値	サンプリングレート	エラー率*
50	4608	16	—
75	3072	16	—
110	4189	8	-0.002
134.5	1713	16	0.001
150	1536	16	—
300	768	16	—
600	384	16	—
1200	192	16	—
1800	128	16	—
2000	123	15	0.098
2400	96	16	—
3600	64	16	—
4800	48	16	—
7200	32	16	—
9600	24	16	—
14400	16	16	—
19200	12	16	—
38400	6	16	—
76800	3	16	—
115200	2	16	—

【注】 * — : エラー率=0 を示す。

表 32.8 ボーレート (26MHz クロック)

ボーレート	分周値	サンプリングレート	エラー率*
9600	129	21	0.025
19200	52	26	-0.160
38400	26	26	-0.160
57600	15	30	-0.309
115200	9	25	-0.309
230400	4	28	-0.756
460800	2	28	-0.756
921600	1	28	-0.756
1843200	1	14	-0.756
3250000	1	8	—

【注】 * — : エラー率=0 を示す。

32.6.4 分周レジスタ設定時の注意事項

- リセット後、本レジスタへの最初の設定の際には、クロック安定時間を保証するため、1ビット期間以上、待ち時間が必要です。

(例) DL=2の1ビット期間

$$3.68 \text{ (MHz)} \times 1/2 \times 1/16 = 0.115 \text{ (MHz)} \rightarrow 8695 \text{ (ns)}$$

- 上記1.での設定以降、本レジスタ値を再度書き換える場合は、最大ビットレート (DL=65535) の1ビット期間以上、待ち時間が必要です。HSCIFレジスタと本モジュールレジスタは、以下のように設定してください。

• [調歩同期式モード] (SC_CLK外部入力)

HSCIF	レジスタ名	設定値	BRG	レジスタ名	設定値
	HSSCR.CKE1、CKE0	10		CKS	H'0000
				DL	H'1~FFFF

• [調歩同期式モード] (SCK外部入力)

HSCIF	レジスタ名	設定値	BRG	レジスタ名	設定値
	HSSCR.CKE1、CKE0	10		CKS	H'8000
				DL	Don't care

- 外部クロック用ポーレートジェネレータのレジスタ設定は、HSCIFの初期化フローの前に行ってください。

33. サンプリングレートコンバータ (SRC)

サンプリングレートコンバータ (SRC) は、WMA/MP3/AAC などの各種デコーダで生成されたデータのサンプリングレートを変換するモジュールです。

33.1 特長

- データ形式：16ビット (ステレオ/モノラル)
- サンプリングレート
 - 入力：8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
 - 出力：32kHz、44.1kHz、48kHzから選択可能
- 処理性能：1サンプルの出力間隔は最大約10 μ s (周辺バスクロック=51MHz)
- SNR：93db以上
- 割り込み要因：3種類
 - 入力データFIFOエンプティ、出力データFIFOフル、出力データFIFOオーバライト
- DMA転送要因：2種類
 - 入力データFIFOエンプティ、出力データFIFOフル
- モジュールスタンバイモード
 - 不使用時にSRCへのクロック供給を停止することにより、消費電力の低減が可能

図 33.1 に SRC のブロック図を示します。

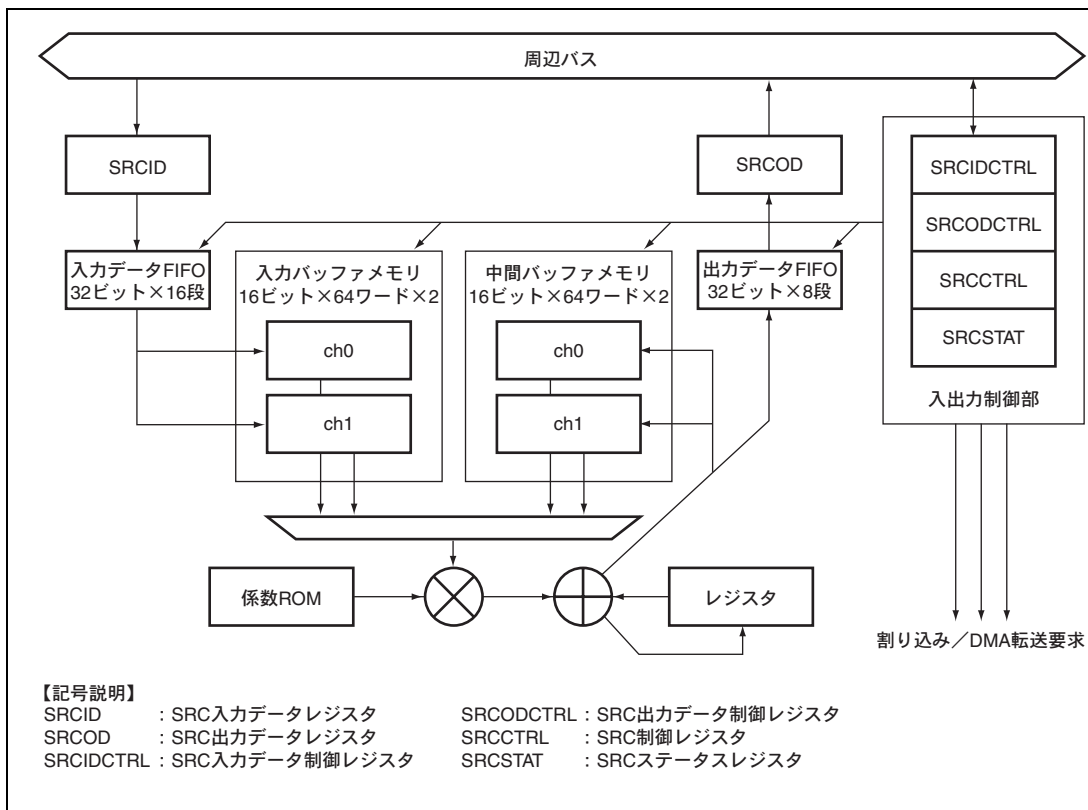


図 33.1 SRC のブロック図

33.2 レジスタの説明

SRC には以下のレジスタがあります。

表 33.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ
0	SRC 入力データレジスタ	SRCID_0	R/W	H'FFF2 0000	H'1FF2 0000	16、32
	SRC 出力データレジスタ	SRCOD_0	R	H'FFF2 0004	H'1FF2 0004	16、32
	SRC 入力データ制御レジスタ	SRCIDCTRL_0	R/W	H'FFF2 0008	H'1FF2 0008	16
	SRC 出力データ制御レジスタ	SRCODCTRL_0	R/W	H'FFF2 000A	H'1FF2 000A	16
	SRC 制御レジスタ	SRCCTRL_0	R/W	H'FFF2 000C	H'1FF2 000C	16
	SRC ステータスレジスタ	SRCSTAT_0	R/(W)*	H'FFF2 000E	H'1FF2 000E	16
1	SRC 入力データレジスタ	SRCID_1	R/W	H'FFF3 0000	H'1FF3 0000	16、32
	SRC 出力データレジスタ	SRCOD_1	R	H'FFF3 0004	H'1FF3 0004	16、32
	SRC 入力データ制御レジスタ	SRCIDCTRL_1	R/W	H'FFF3 0008	H'1FF3 0008	16
	SRC 出力データ制御レジスタ	SRCODCTRL_1	R/W	H'FFF3 000A	H'1FF3 000A	16
	SRC 制御レジスタ	SRCCTRL_1	R/W	H'FFF3 000C	H'1FF3 000C	16
	SRC ステータスレジスタ	SRCSTAT_1	R/(W)*	H'FFF3 000E	H'1FF3 000E	16

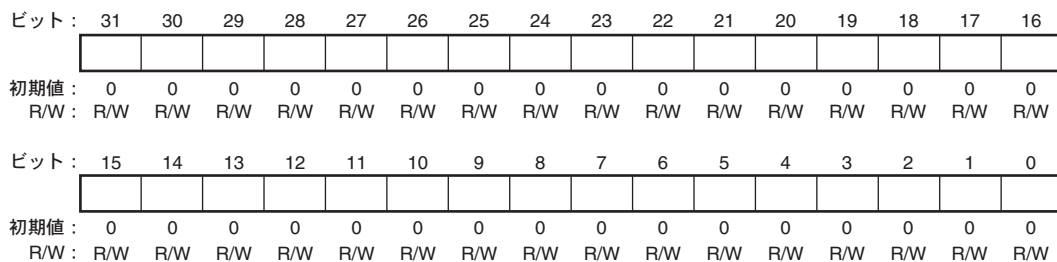
【注】 * ビット 15~3 は読み出しのみ可能です。また、ビット 2~0 は 1 を読み出した後の 0 書き込みのみ可能です。ビット 2 については、それをクリアしない場合、常に 1 を書き込んでください。ビット 2~0 への 1 書き込みは、各ビットの値に影響を与えません。

表 33.2 各処理モードにおけるレジスタの状態 (各チャンネル共通)

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
SRCID	H'0000 0000	H'0000 0000	保持	保持	保持	H'0000 0000
SRCOD	H'0000 0000	H'0000 0000	保持	保持	保持	H'0000 0000
SRCIDCTRL	H'0000	H'0000	保持	保持	保持	H'0000
SRCODCTRL	H'0000	H'0000	保持	保持	保持	H'0000
SRCCTRL	H'0000	H'0000	保持	保持	保持	H'0000
SRCSTAT	H'0002	H'0002	保持	保持	保持	H'0002

33.2.1 SRC 入力データレジスタ (SRCID)

SRCID は、32 ビットの読み出し／書き込み可能なレジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、16 段の入力データ FIFO に格納されます。入力データ FIFO のデータ数が 16 のときは、SRCID への書き込みは無効になります。ステレオデータの場合、ビット 31~16 には ch0 のデータ、ビット 15~0 には ch1 のデータを格納します。モノラルデータの場合、ビット 31~16 に格納されたデータが有効となり、ビット 15~0 に格納されたデータは無効となります。



変換処理の対象となるデータは、SRCIDCTRL の IED ビットの設定値によりアラインメントが異なります。表 33.3 に SRCIDCTRL の IED ビットの設定値とデータのアラインメントの関係を示します。

表 33.3 変換データのアラインメント

IED	ch0[15:8]	ch0[7:0]	ch1[15:8]	ch1[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

33.2.2 SRC 出力データレジスタ (SRCOD)

SRCOD は、32 ビットの読み出し可能なレジスタで、サンプリングレート変換後のデータの出力に用います。8 段の出力データ FIFO に格納されたデータを SRCOD から読み出すことができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3	0*3
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

SRCOD の内容は、SRCODCTRL の OCH、OED ビットの設定値によりアラインメントが異なります。表 33.4 に SRCODCTRL の OCH、OED ビットの設定値と SRCOD に格納されるデータのアラインメントの関係を示します。

表 33.4 SRCOD のアラインメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	ch0[15:8]	ch0[7:0]	ch1[15:8]*2	ch1[7:0]*2
	1	ch0[7:0]	ch0[15:8]	ch1[7:0]*2	ch1[15:8]*2
1*1	0	ch1[15:8]	ch1[7:0]	ch0[15:8]	ch0[7:0]
	1	ch1[7:0]	ch1[15:8]	ch0[7:0]	ch0[15:8]

- 【注】 *1 モノラルデータを処理する場合は設定しないでください。
 *2 モノラルデータを処理する場合は無効なデータとなります。
 *3 SRCCTRL レジスタ CL ビットに 1 を書き込んだ後、読み出すと 0 が読み出されます。CL ビットに 1 を書き込む前に読み出すと値は保証されません。

33.2.3 SRC 入力データ制御レジスタ (SRCIDCTRL)

SRCIDCTRL は、16 ビットの読み出し／書き込み可能なレジスタで、入力データのエンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	IED	IEN	-	-	-	-	-	-	-	IFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	IED	0	R/W	入力データエンディアン指定 入力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	IEN	0	R/W	入力データエンプティインタラプトイネーブル 入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、SRC ステータスレジスタ (SRCSTAT) の IINT ビットが 1 にセットされたときに、入力データエンプティ割り込み要求の発生を許可／禁止します。 0: 入力データエンプティ割り込み要求を禁止 1: 入力データエンプティ割り込み要求を許可
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	IFTRG[1:0]	00	R/W	入力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の IINT ビットをセットする条件を指定します。入力 FIFO に格納された入力データ数が以下に示す設定トリガ数以下になったとき、IINT ビットは 1 にセットされます。 00: 0 01: 4 10: 8 11: 12

33.2.4 SRC 出力データ制御レジスタ (SRCODCTRL)

SRCODCTRL は、16 ビットの読み出し／書き込み可能なレジスタで、出力データのチャンネル入れ替え、エンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	OCH	OED	OEN	-	-	-	-	-	-	-	OFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	OCH	0	R/W	出力データチャンネルスワップ SRC 出力データレジスタ (SRCOD) のチャンネル入れ替えを指定します。 モノラルデータを変換する場合は 1 に設定しないでください。 0: チャンネルを入れ替えない (入力データの順と同じにする) 1: チャンネルを入れ替える (入力データの順と逆にする)
9	OED	0	R/W	出力データエンディアン指定 出力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	OEN	0	R/W	出力データフルインタラプトイネーブル 出力 FIFO のデータ数が OFTRG[1:0] ビットで設定されたトリガ数以上になり、SRC ステータスレジスタ (SRCSTAT) の OINT ビットがセットされたときに、出力データフル割り込み要求の発生を許可／禁止します。 0: 出力データフル割り込み要求を禁止 1: 出力データフル割り込み要求を許可
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	OFTRG[1:0]	00	R/W	出力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の OINT ビットをセットする条件を指定します。出力 FIFO に格納された出力データ数が以下に示す設定トリガ数以上になったとき、OINT ビットは 1 にセットされます。 00: 1 01: 2 10: 4 11: 6

33.2.5 SRC 制御レジスタ (SRCCTRL)

SRCCTRL は、16 ビットの読み出し/書き込み可能なレジスタで、モジュール動作の許可/禁止、割り込み要求の許可/禁止、フラッシュ処理、内部ワークメモリのクリア処理、入力および出力サンプリングレートを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SRCEN	-	EEN	FL	CL	IFS[3:0]			-	-	OFS[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明												
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
12	SRCEN	0	R/W	SRC モジュールイネーブル SRC のモジュール動作の許可/禁止を設定します。 0: SRC モジュール動作を禁止 1: SRC モジュール動作を許可 【注】 SRCEN=1 のときは、下記ビットの設定値を変更しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ名</th> <th>ビット</th> <th>ビット名</th> </tr> </thead> <tbody> <tr> <td>SRCIDCTRL</td> <td>9</td> <td>IED</td> </tr> <tr> <td>SRCODCTRL</td> <td>10, 9</td> <td>OCH, OED</td> </tr> <tr> <td>SRCCTRL</td> <td>7~4, 0</td> <td>IFS[3:0], OFS</td> </tr> </tbody> </table>	レジスタ名	ビット	ビット名	SRCIDCTRL	9	IED	SRCODCTRL	10, 9	OCH, OED	SRCCTRL	7~4, 0	IFS[3:0], OFS
レジスタ名	ビット	ビット名														
SRCIDCTRL	9	IED														
SRCODCTRL	10, 9	OCH, OED														
SRCCTRL	7~4, 0	IFS[3:0], OFS														
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
10	EEN	0	R/W	出力 FIFO オーバライトインタラプトイネーブル 出力 FIFO のデータが読み出される前に上書きが発生し、SRC ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされたときに、出力 FIFO オーバライト割り込み要求の発生を許可/禁止します。 0: 出力 FIFO オーバライト割り込み要求を禁止 1: 出力 FIFO オーバライト割り込み要求を許可												
9	FL	0	R/W	内部ワークメモリフラッシュ 1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間バッファメモリに格納されたすべてのデータに対するサンプリングレート変換の実行 (フラッシュ処理) を開始します。読み出すと常に 0 が読み出されます。SRCEN=0 のときは、1 を書き込んででもフラッシュ処理を実行しません。 また、入力バッファメモリ内のデータ数が 64 未満の状態では FL ビットに 1 を書き込んだ場合は、有効な出力データが得られないため、フラッシュ処理を実行しません。												

ビット	ビット名	初期値	R/W	説明
8	CL	0	R/W	<p>内部ワークメモリクリア</p> <p>1を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアします。読み出すと常に0が読み出されます。</p> <p>SRC 実行前に 1 を書き込んで、SRC 内部をクリアしてください。</p> <p>なお、本ビットを 1 とした後、クリア処理のために周辺バスブロックで 32cyc 待った後、次の処理をしてください。本ビットを 1 とする際、IFS[3:0]、OFS を設定してください。</p>
7~4	IFS[3:0]	0000	R/W	<p>入力サンプリングレート</p> <p>入力サンプリングレートを設定します。</p> <p>0000 : 8.0kHz 0001 : 11.025kHz 0010 : 12.0kHz 0011 : 設定禁止 0100 : 16.0kHz 0101 : 22.05kHz 0110 : 24.0kHz 0111 : 設定禁止 1000 : 32.0kHz 1001 : 44.1kHz 1010 : 48.0kHz 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
3, 2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1, 0	OFS[1:0]	すべて0	R/W	<p>出力サンプリングレート</p> <p>出力サンプリングレートを設定します。</p> <p>00 : 44.1kHz 01 : 48.0kHz 10 : 32kHz 11 : 設定禁止</p>

変換結果として得られる出力データ数は、以下に示す式 (A) または式 (B) から求められます。表 33.5 に IFS、OFS[1:0]ビットの設定値と適用される計算式の関係を示します。

$$\text{出力データ数} = \text{入力データ数} \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート}} \quad \dots \text{ (A)}$$

$$\text{出力データ数} = \text{入力データ数} \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート}} - 1 \quad \dots \text{ (B)}$$

表 33.5 サンプリングレート設定と出力データ数の関係

OFS[1:0]設定値 (出力サンプリングレート [kHz])	IFS[3:0]設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
00 (44.1)	B	A	A	B	A	A	B	—	A
01 (48.0)	B	B	A	B	B	A	B	B	—
10 (32.0)	A	B	B	A	B	A	—	B	A

33.2.6 SRC ステータスレジスタ (SRCSTAT)

SRCSTAT は、16 ビットの読み出し/書き込み可能なレジスタで、出力 FIFO および入力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFDN[3:0]			IFDN[4:0]				-	-	FLF	-	OVF	IINT	OINT		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】 * 1を読み出した後の0書き込みのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	OFDN[3:0]	0000	R	出力 FIFO データカウント 出力 FIFO に格納されたデータの数を示します。
11~7	IFDN[4:0]	00000	R	入力 FIFO データカウント 入力 FIFO に格納されたデータの数を示します。
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FLF	0	R	フラッシュ処理ステータスフラグ フラッシュ処理の実行中であることを示します。 [クリア条件] <ul style="list-style-type: none"> フラッシュ処理が終了したとき SRCCTRL の CL ビットに 1 を書き込んだとき [セット条件] <ul style="list-style-type: none"> SRCCTRL の FL ビットに 1 を書き込んだとき
3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OVF	0	R/(W)*	出力 FIFO オーバライト割り込み要求フラグ 出力 FIFO のデータ数が 8 のときに、次のデータの変換処理が終了したことを示します。このとき、SRC 出力データレジスタ (SRCOD) の読み出しによって出力データ FIFO に空きができるまで、変換処理は停止します。 [クリア条件] <ul style="list-style-type: none"> OVF=1 の状態で OVF を読み出し後、OVF に 0 を書き込んだとき (ただし、OVF をクリアしない場合は、常に 1 を書き込んでください。OVF への 1 書き込みは OVF の値に影響を与えません) SRCCTRL の CL ビットに 1 を書き込んだとき [セット条件] <ul style="list-style-type: none"> 出力 FIFO のデータ数が 8 の状態で、次のデータの変換処理が終了したとき

ビット	ビット名	初期値	R/W	説明
1	IINT	1	R/(W)*	<p>入力 FIFO エンプティ割り込み要求フラグ</p> <p>入力 FIFO に格納されたデータ数が SRC 入力データ制御レジスタ (SRCIDCTRL) の IFTRG[1:0]ビットで設定されたトリガ数以下になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IINT=1 の状態で IINT を読み出した後、IINT に 0 を書き込んだとき • DMA 転送により、入力 FIFO のデータ数が設定されたトリガ数を上回ったとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 入力 FIFO に格納されたデータ数が設定されたトリガ数以下になったとき • SRCCTRL の CL ビットに 1 を書き込んだとき
0	OINT	0	R/(W)*	<p>出力 FIFO フル割り込み要求フラグ</p> <p>出力 FIFO に格納されたデータ数が SRC 出力データ制御レジスタ (SRCODCTRL) の OFTRG[1:0]ビットで設定されたトリガ数以上になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OINT=1 の状態で OINT を読み出した後、OINT に 0 を書き込んだとき • DMA 転送により、出力 FIFO のデータ数が設定されたトリガ数を下回ったとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 出力 FIFO に格納されたデータ数が設定されたトリガ数以上になったとき

【注】 * 1 を読み出した後の 0 書き込みのみ可能です。

33.3 動作説明

33.3.1 初期設定

図 33.2 に初期設定の手順を示します。

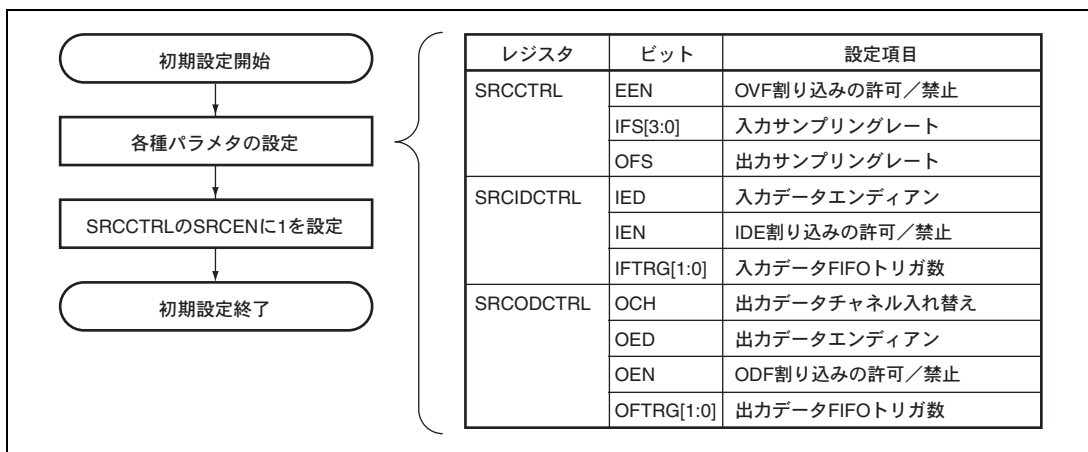


図 33.2 初期設定手順の例

33.3.2 データ入力

図 33.3 にデータ入力の手順を示します。

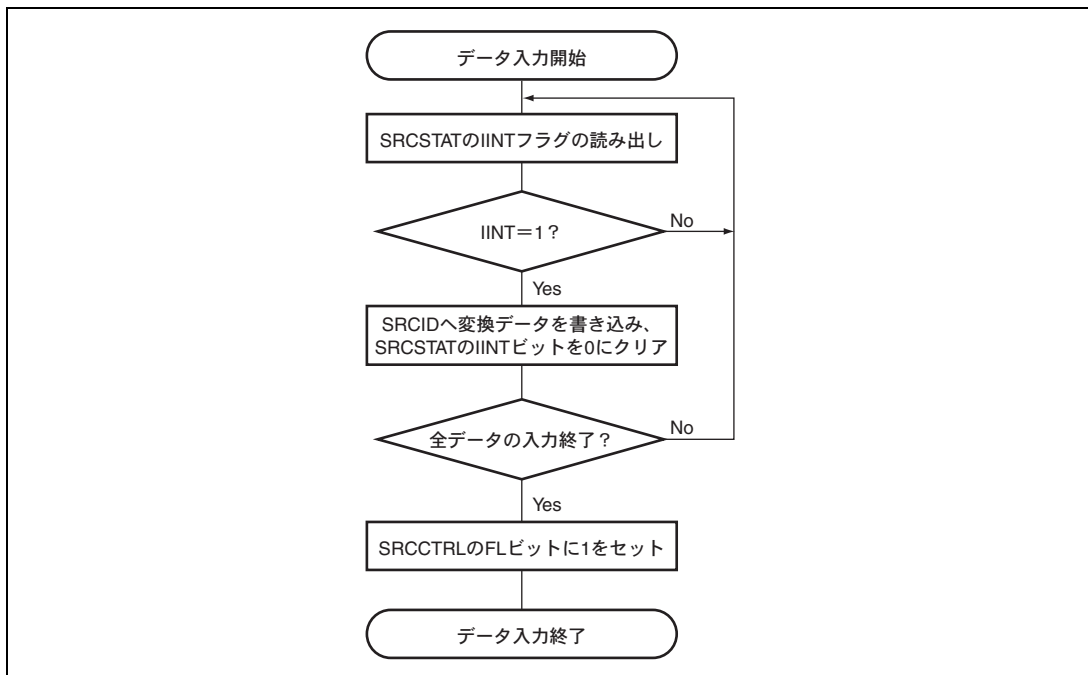


図 33.3 データ入力手順の例

(1) CPU への割り込みを使用する場合

1. SRCIDCTRLのIENビットに1を設定します。
2. 割り込みコントローラの設定をします。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生します。割り込み処理ルーチンで SRCSTATのIINTビットが1であることを読み出した後、SRCIDへデータを書き込み、SRCSTATのIINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
4. 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

(2) 割り込みにより DMAC を起動する場合

1. DMACのいずれかのチャンネルをSRCのIDEIに割り当てます。
2. SRCIDCTRLのIENビットに1を設定します。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生し、DMACを起動します。DMA転送により、SRCIDへデータが書き込まれ、入力データFIFOのデータ数がSRCIDCTRLのIFTRG[1:0]ビットで設定したトリガ数を上回ると、SRCSTATのIINTビットがクリアされます。

- 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

33.3.3 データ出力

図 33.4 にデータ出力の手順を示します。

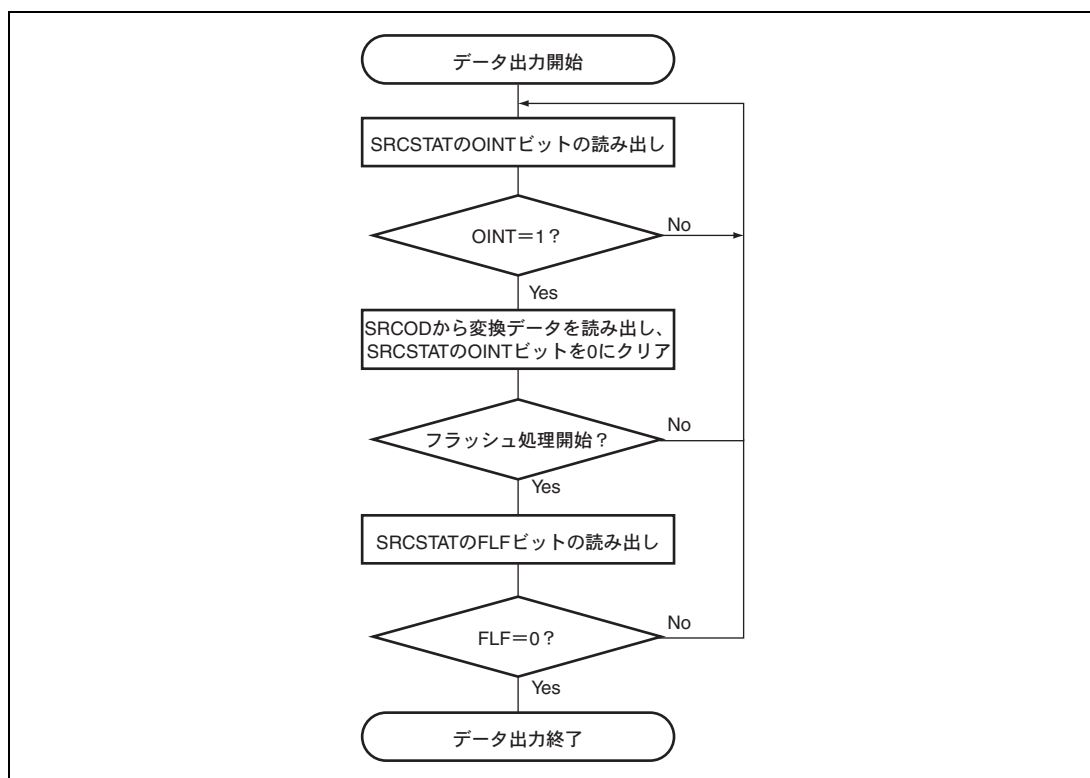


図 33.4 データ出力手順の例

(1) CPU への割り込みを使用する場合

- SRCODCTRLのOENビットに1を設定します。
- 割り込みコントローラの設定をします。
- SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生します。割り込み処理ルーチンで SRCSTATのOINTビットが1であることを読み出した後、SRCODからデータを読み出し、SRCSTATのOINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
- フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

(2) 割り込みにより DMAC を起動する場合

- DMACのいずれかのチャンネルをSRCのODFIに割り当てます。

2. SRCODCTRLのOENビットに1を設定します。
3. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求を発生し、DMACを起動します。DMA転送により、SRCODからデータが読み出され、出力データFIFOのデータ数がSRCODCTRLのOFTRG[1:0]ビットで設定したトリガ数を下回ると、SRCSTATのOINTビットがクリアされます。
4. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

33.4 割り込み

SRCの割り込み要因には、入力FIFOデータエンプティ (IDEI)、出力FIFOデータフル (ODFI)、出力FIFOオーバーライト (OVF) の3種類があります。表 33.6 に割り込みの種類と発生条件を示します。

表 33.6 割り込み要求の種類と発生条件

割り込み要求	略称	発生条件	DMAC 起動
入力データ FIFO エンプティ	IDEI	$(IINT=1) \cdot (IEN=1) \cdot (SRCEN=1)$	可
出力データ FIFO フル	ODFI	$(OINT=1) \cdot (OEN=1) \cdot (SRCEN=1)$	可
出力データ FIFO オーバライト	OVF	$(OVF=1) \cdot (EEN=1) \cdot (SRCEN=1)$	不可

割り込み発生条件が成立すると、CPUは割り込み例外処理を実行します。割り込み要因フラグは、割り込み例外処理ルーチン内でクリアしてください。

IDEI割り込みとODFI割り込みは、DMACの設定により、DMACを起動することができます。DMA転送によりSRCIDにデータが書き込まれ、入力データFIFOのデータ数が設定トリガ数を上回った場合、IINTはクリアされます。同様に、SRCODからデータが読み出され、出力データFIFOのデータ数が設定トリガ数を下回った場合、OINTはクリアされます。

33.5 使用上の注意事項

33.5.1 レジスタアクセス時の注意

SRCCTRL の FL ビットに 1 を書き込んだ場合、SRCSTAT の FLF ビットがセットされるまでに周辺クロック (P ϕ) で 3 サイクルかかります。一方、CPU はレジスタ書き込み完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、FLF がセットされた状態を読み出すことはできません。フラッシュ処理の実行状態確認する場合は、SRCCTRL への書き込み命令の後に SRCCTRL または SRCSTAT をダミーリードし、FLF ビットがセットされるのを待ってください。

33.5.2 フラッシュ処理に関する注意

SRC 制御レジスタ (SRCCTRL) の FL ビットに 1 が書き込まれると、SRC はそれまでに入力されたデータの終点以降に 0 データを付加しながら、変換処理を続行します。フラッシュ処理は、オーディオデータの終点となるデータの入力が完了し、後続するデータが存在しない場合に行ってください。

また、フラッシュ処理を実行した後に再度変換処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRL の CL ビットに 1 を書き込む
- SRCCTRL の SRCEN ビットに 0 を書き込んだ後に 1 を書き込む

33.5.3 OVF フラグビットのクリアについて

SRC ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされるタイミングで、CPU による読み出しを行うと、CPU には 0 が返されますが、SRC 内部論理は CPU に 1 を返したと認識することがあります。このため、その後、CPU が本フラグに 0 を書き込むと、1 読み出し後の 0 書き込みの条件が成立し、本フラグが誤ってクリアされることがあります。

これを回避するため、本フラグのクリアを意図しない SRCSTAT への書き込みでは、OVF フラグビットに 1 を書き込んでください (OVF フラグビットへの 1 書き込みはフラグの値に影響を与えません)。本フラグのクリアを意図する SRCSTAT への書き込みでのみ、OVF フラグビットに 0 を書き込んでください。

34. ストリームインタフェース (STIF)

詳細は、STIF 関連の別冊マニュアルに記載されています。

35. ビデオエンジンユニット (VEU3F)

ビデオエンジンユニット (VEU3F、以下 VEU と略す) は、バスブリッジモジュールを経由したバス接続を前提とするモジュールです。VEU は指定されたメモリ領域の画像を読み込み、指定されたアドレスへ書き戻す機能を提供します。

35.1 特長

VEU は、以下の機能を持ちます。

- RGB⇔YCbCr変換機能によるフォーマット変換
- フィルタ機能による画像の拡大縮小
- 減色処理 (量子化) を行い、RGBを32ビット単位にパック
- RGBの減色時にディザ処理を実行
- ローパスフィルタ機能による高周波成分の除去
- ローパスフィルタをブロック境界のみに適用するデブロッキングフィルタ機能を実現
- メディアンフィルタ機能を実現
- 画像のエッジ強調 (エンハンサ機能)

35.2 機能概要

表 35.1 に VEU の機能概要を示します。また、VEU では、1 回の起動で同時に実現ができる機能とできない機能があります。これを表 35.2 に示します。

なお、本文中の機能説明と表 35.1 の機能説明との間に相違があった場合は、「35.4 使用上の注意事項」を優先します。

表 35.1 機能概要

項目	実現機能	説明	特記事項
入力フォーマット	YCbCr (4:4:4/4:2:2/4:2:0) RGB バック		
出力フォーマット	YCbCr (4:4:4/4:2:2/4:2:0) RGB バック		
読み出しモード	通常読み出し バンドル読み出し	バンドル読み出しライン数 8 ライン～960 ライン設定可	
ローパスフィルタ	高周波成分の除去		
デブロッキングフィルタ	ブロック境界のみの高周波成分の除去		
エンハンサ	画像強調		
メディアンフィルタ	砂状ノイズ除去		
画像回転/反転	上下/左右反転	独立に指定可	組み合わせにより、180° 回転を実現可能
	90° /270° 回転	時計回りに回転	
拡大縮小等倍	メモリ画面の拡大縮小	×1/16～×16 の任意倍率	
フォーマット変換	YCbCr⇔RGB 変換	YCbCr 形式と RGB 形式の双方向変換	
ディザ処理 (減色処理)	24 bpp	Full Color (1677 万色)	ディザ処理不可
	18 bpp	26 万色	ディザ処理不可
	16 bpp	High Color (65536 色)	
	12 bpp	4096 色	
	8 bpp	256 色	
最大画像サイズ	16M 画素	4092 pixel×4092 line	
最小画像サイズ	16×16 画素	16pixel×16line	

【注】 フィルタの拡大倍率は、1/16 倍～16 倍の間で設定できます。詳細は、「35.3.11 VEU リサイズフィルタ制御レジスタ (VRFCR)」、「35.3.12 VEU リサイズフィルタサイズクリップレジスタ (VRFSR)」を参照してください。

表 35.2 1 回の起動内の同時実現機能一覧

	バンドル モード	色変換	ローパス フィルタ	デブロッキ ング フィルタ	メディア ン フィルタ	エンハンサ	上下/ 左右反転	90° / 270° 回転	拡大縮小
バンドル モード	—	○	×	×	×	○	○	×	○
色変換	○	—	○	○	○	○	○	○	○
ローパス フィルタ	×	○	—	×	×	×	○	○	×
デブロッキ ング フィルタ	×	○	×	—	○*	×	○	○	×
メディア ン フィルタ	×	○	×	×	—	×	○	○	×
エンハンサ	○	○	×	×	×	—	○	×	○
上下/ 左右反転	○	○	○	○	○	○	—	○	○
90° /270° 回転	×	○	○	○	○	×	○	—	×
拡大縮小	○	○	×	×	×	○	○	×	—

【記号説明】 ○ : 可能、 × : 不可

【注】 本表の各項目に対応するレジスタ値を下記に示します。

バンドルモード : VESTR.VBE

色変換 : VTRCR.TE

ローパスフィルタ : VFMCR.LPHV

デブロッキングフィルタ : VFMCR.LPHV&&VFMCR.DBLK

メディアンフィルタ : VFMCR.MED

エンハンサ : VENHR.ENHHI|VENHR.ENHV

上下/左右反転 : VFMCR.VMRR/VFMCR.HMRR

90度/270度回転 : VFMCR.POTR/VFMCR.POTL

拡大/縮小 : VRFCR! =0

* デブロッキングフィルタ → メディアンフィルタの順は可、逆は不可

VEU のブロック図を図 35.1 に示します。

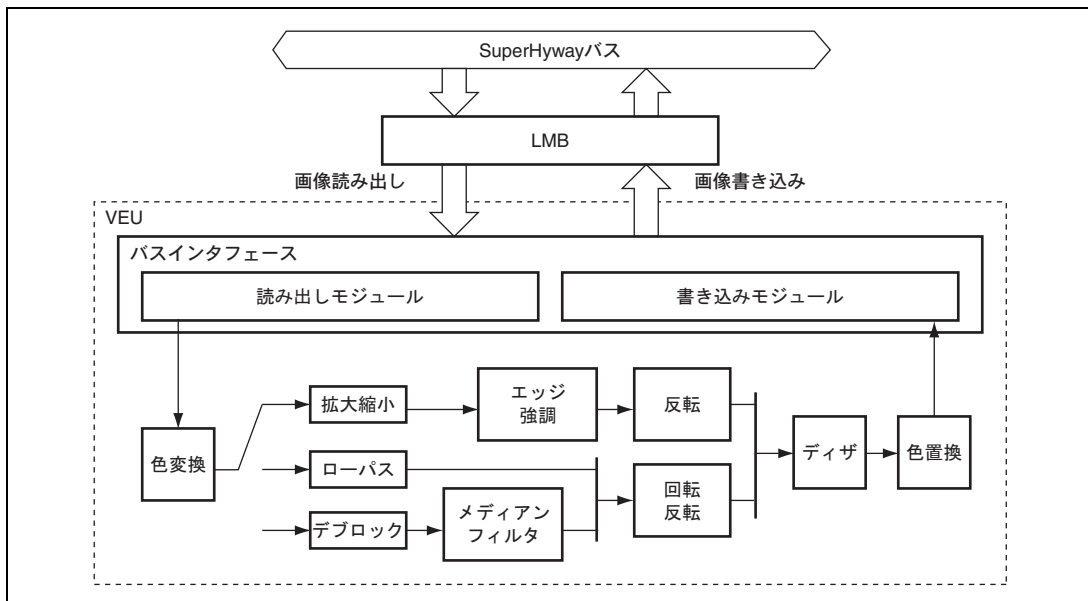


図 35.1 VEU のブロック図

- 【注】 図 35.1 において、反転とは左右反転および上下反転を表し、回転とは 90 度回転または 270 度回転を表します。拡大縮小後の反転回路では左右反転、上下反転、およびこの 2 つの反転の複合である 180 度回転を実行することができます。
- メディアンフィルタ後の回転、反転回路では拡大縮小後の反転回路で可能な動作に加え 90 度回転、270 度回転および 90 度回転 + 左右反転の複合、90 度回転 + 上下反転の複合が可能です。

- 動作説明

VEU の演算処理順序を図 35.2 に示します。VEU は様々な機能を有していますが、表 35.2 に示すように一回の起動で同時に行うことができない機能が存在します。図 35.2 に示す経路 1、経路 2 のいずれかの経路となりますので別の経路にある処理は実行できません。

1. VESTR.VBE || (VENHR.ENHH || VENHR.ENHV) || (VRFCR != 0) の条件を満たし、かつ VFMCR.FLTPI = 0 の場合は経路 2 となります。
2. 1. 以外の場合は経路 1 となります。

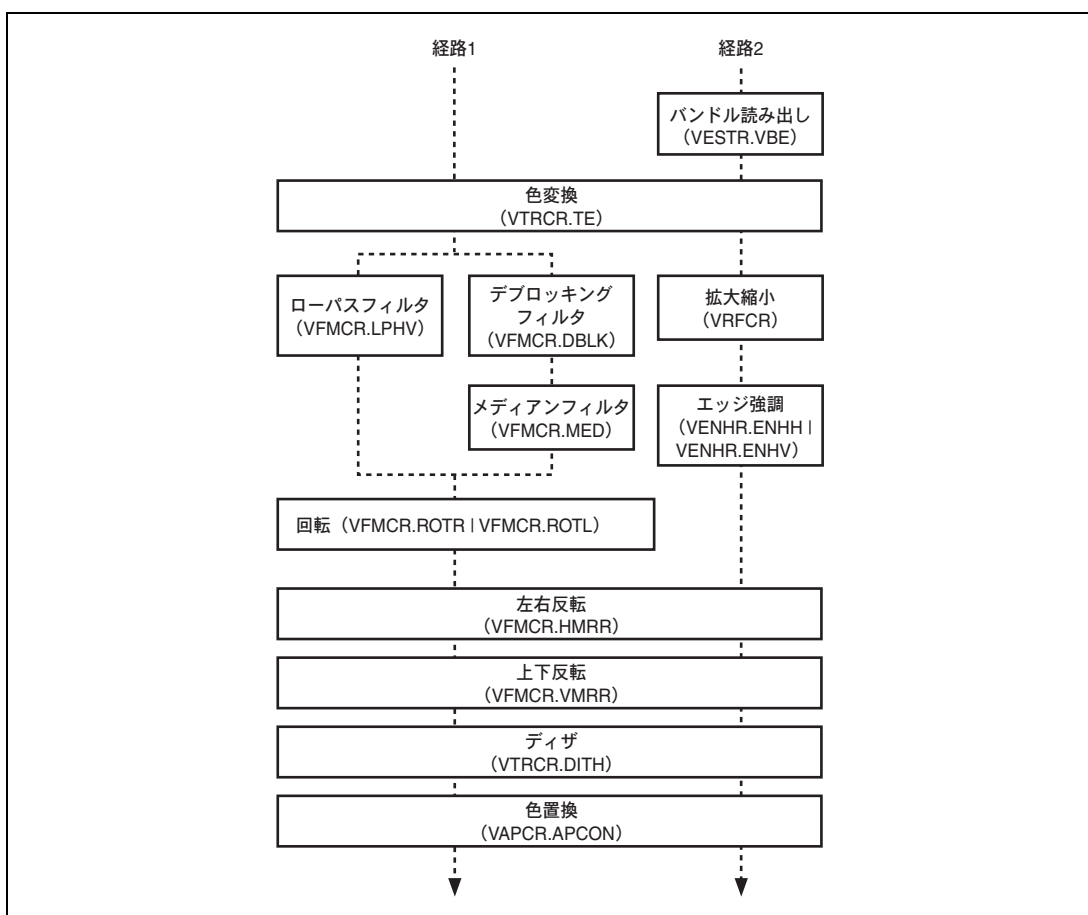


図 35.2 VEU のレジスタ設定と処理フロー、同時実現機能

35.3 レジスタの説明

(1) レジスタの R/W 制限

レジスタの R/W 制限について示します。以下のレジスタ操作が保証されない場合、動作破綻する可能性があります。

1. すべてのレジスタの読み出し専用ビットおよびリザーブ領域に対しては、1書き込みを禁止します。指定されている設定値以外の値を設定しないでください。
2. 読み出し専用ビットは、0以外の値が読み出されることがありますが、この値は書き変えないでください。
3. 動作中のレジスタ書き込み禁止を規定しているレジスタ（ビット）に関しては、動作中のレジスタ書き込みを禁止します（読み出しは可）。VEUの動作状態は、VEU起動レジスタ（VESTR）のVEビットを読み出すことで判定可能です。レジスタの書き換えは、このビットが0を示しているときに書き換えてください。
4. VEUのレジスタは、すべて非キャッシュ領域に配置してください。

(2) 本文中で使用されている語句、略語

本文中で使用されている語句について説明します。

1. 「ソフトウェアリセット」とは、VEUの処理動作の処理中断を表し、現在の処理を中止します。ソフトウェアリセットを行ったフレームの画像処理結果は、保証されません。
2. 「モジュールリセット」は、VEU内部回路への強制リセットを示します。動作としては、モジュールリセットは、ハードウェアの状態を一切考慮せずにリセット動作を行います。このため、VEUが正常動作中にモジュールリセットを適用すると、VEU周辺のハードウェアが動作不能状態になる可能性があります。
3. 本文中の「動作中」とは、VEU起動レジスタ（VESTR）のVEビットが1となっている状態を示します。
4. 本文中のレジスタのビット名を参照する場合、レジスタ名.ビット名の形式で表します。

(例) VESTR.VE

(3) 注意事項

VEUで使用可能なレジスタのアドレスは、表 35.3 に示すアドレスです。表 35.3 に示すレジスタ以外のアドレスにアクセスした場合、動作保証できません。

(4) レジスタ一覧

VEU のレジスタ構成を表 35.3 に示します。また、各処理モードにおけるレジスタの状態を表 35.4 に示します。

表 35.3 VEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
VEU 起動レジスタ	VESTR	R/W	H'FD12 0000	32
VEU ソースメモリ幅レジスタ	VESWR	R/W	H'FD12 0010	32
VEU ソースサイズレジスタ	VESSR	R/W	H'FD12 0014	32
VEU ソースアドレス Y レジスタ	VSAYR	R/W	H'FD12 0018	32
VEU ソースアドレス C レジスタ	VSACR	R/W	H'FD12 001C	32
VEU バンドルソースサイズレジスタ	VBSSR	R/W	H'FD12 0020	32
VEU デスティネーションメモリ幅レジスタ	VEDWR	R/W	H'FD12 0030	32
VEU デスティネーションアドレス Y レジスタ	VDAYR	R/W	H'FD12 0034	32
VEU デスティネーションアドレス C レジスタ	VDACR	R/W	H'FD12 0038	32
VEU 変換制御レジスタ	VTRCR	R/W	H'FD12 0050	32
VEU リサイズフィルタ制御レジスタ	VRFCR	R/W	H'FD12 0054	32
VEU リサイズフィルタサイズクリップレジスタ	VRFSR	R/W	H'FD12 0058	32
VEU エンハンスレジスタ	VENHR	R/W	H'FD12 005C	32
VEU リサイズフィルタサブ制御レジスタ	VRSCR	R/W	H'FD12 0064	32
VEU リサイズフィルタサイズクリップオフセットレジスタ	VRSOR	R/W	H'FD12 0068	32
VEU フィルタモード制御レジスタ	VMCR	R/W	H'FD12 0070	32
VEU 垂直タップ係数レジスタ	VVTCR	R/W	H'FD12 0074	32
VEU 水平タップ係数レジスタ	VHTCR	R/W	H'FD12 0078	32
VEU 指定色レジスタ	VAPCR	R/W	H'FD12 0080	32
VEU 変換色レジスタ	VECCR	R/W	H'FD12 0084	32
VEU フィル色指定レジスタ	VFLCR	R/W	H'FD12 0088	32
VEU アドレス固定レジスタ	VAFXR	R/W	H'FD12 0090	32
VEU スワッピングレジスタ	VSWPR	R/W	H'FD12 0094	32
VEU イベント割り込みイネーブルレジスタ	VEIER	R/W	H'FD12 00A0	32
VEU イベントレジスタ	VEVTR	R/W	H'FD12 00A4	32
VEU ステータスレジスタ	VSTAR	R	H'FD12 00B0	32
VEU モジュールリセットレジスタ	VBSRR	R/W	H'FD12 00B4	32
VEU リサイズ通過帯域設定レジスタ	VRPBR	R/W	H'FD12 00C8	32

表 35.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
VESTR	初期化	初期化	保持	保持	保持	初期化
VESWR	初期化	初期化	保持	保持	保持	初期化
VESSR	初期化	初期化	保持	保持	保持	初期化
VSAYR	初期化	初期化	保持	保持	保持	初期化
VSACR	初期化	初期化	保持	保持	保持	初期化
VBSSR	初期化	初期化	保持	保持	保持	初期化
VEDWR	初期化	初期化	保持	保持	保持	初期化
VDAYR	初期化	初期化	保持	保持	保持	初期化
VDACR	初期化	初期化	保持	保持	保持	初期化
VTRCR	初期化	初期化	保持	保持	保持	初期化
VRFCR	初期化	初期化	保持	保持	保持	初期化
VRFSR	初期化	初期化	保持	保持	保持	初期化
VENHR	初期化	初期化	保持	保持	保持	初期化
VMOCR	初期化	初期化	保持	保持	保持	初期化
VVTCR	初期化	初期化	保持	保持	保持	初期化
VHTCR	初期化	初期化	保持	保持	保持	初期化
VAPCR	初期化	初期化	保持	保持	保持	初期化
VECCR	初期化	初期化	保持	保持	保持	初期化
VFLCR	初期化	初期化	保持	保持	保持	初期化
VAFXR	初期化	初期化	保持	保持	保持	初期化
VSWPR	初期化	初期化	保持	保持	保持	初期化
VEIER	初期化	初期化	保持	保持	保持	初期化
VEVTR	初期化	初期化	保持	保持	保持	初期化
VSTAR	初期化	初期化	保持	保持	保持	初期化
VBSRR	初期化	初期化	保持	保持	保持	初期化
VRPBR	初期化	初期化	保持	保持	保持	初期化

35.3.1 VEU 起動レジスタ (VESTR)

VESTR は、VEU の起動、処理のソフトウェアリセットを制御するレジスタです。VESTR による処理の起動前には、VEU に関するすべてのレジスタが設定されていなければなりません。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VBE	—	—	—	—	—	—	—	VE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBE	0	R/W	バンドル読み出しモード (N ライン読み出しモード) 設定 VEU では、1 フレームの画像を VBSSR で設定したライン数で分けて読み出し処理を行うモードとして、バンドル読み出しモード (N ライン読み出しモード) があります。バンドル読み出し (N ライン読み出し) モードでの起動時は、回転処理、デブロッキングフィルタ処理、ローパスフィルタ処理、メディアアンフィルタ処理は実行できません (左右反転、上下反転、左右上下反転は可)。 0: 通常読み出しモード 1: バンドル読み出し (N ライン読み出し) モードの設定
7~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VE	0	R/W	VEU 処理開始および処理のソフトウェアリセット (処理動作の中断) 制御 VEU が停止状態で本ビットを 1 とすると、VEU はレジスタ設定値に従ってメモリ上の画像処理を開始し、本ビットは 1 となります。また、本ビットが 1 の状態で 0 を書き込んだ場合、現在処理中の VEU 処理を即座に中止することができます。 ソフトウェアリセット処理の終了は、ソフトウェアリセットを VEU に対して発行した後、本ビットが 0 になることで確認可能です。ソフトウェアリセット処理後に再起動する場合は、VE ビット=0 を確認後に行ってください。 0: NOP (本ビットが 1 のときに 0 を書き込むとソフトウェアリセット動作) 1: VEU の処理開始

VEUの起動の際に、VBEビットがB'1の状態ではVEビットにB'1を書き込むとバンドル読み出しモード（Nライン読み出しモード）となります。バンドル読み出しモードでは、2つのメモリ領域から、VBSSRのVBSSビットで設定したライン数を交互に読み込みます。VEUがVBSSRで設定したライン数の読み込みを完了した時点で、1フレームすべての読み出しを終えていなければバンドル終了割り込み（VEVTR.VBEND）が発生し、読み出し再起動待ち状態となります。読み出しの再起動をかけるときは、バンドル終了割り込みの要因をクリア後に、再びVEビットにB'1書き込みを行ってください（VBEビットがB'1のまま書き込む）。これを繰り返し、1フレームすべてを終えた時点で1フレーム終了割り込み（VEVTR.VEEND）が発生します。バンドル読み出し処理の処理イメージを図35.5に示します。通常画像処理、バンドル読み出しモードでの読み出し処理、およびバンドル読み出しモードでの読み出し再起動待ちの状態は、VESTARで確認可能です。

【ソフトウェアリセット時の注意】

1. VEUソフトウェアリセット発行のタイミングによっては、VEU終了割り込みフラグ（VEVTR.VEEND）がB'1となる場合がありますが、ソフトウェアリセットを発行したフレームの処理画像は保証されません。
2. VEUソフトウェアリセット後、VEENDフラグがB'1とならない場合でも、VEENDフラグは必ずB'0クリアしてください。
3. バンドル読み出しモードにおいてソフトウェアリセットをかける際は、バンドル終了割り込み後の再起動をかける前までに行ってください。

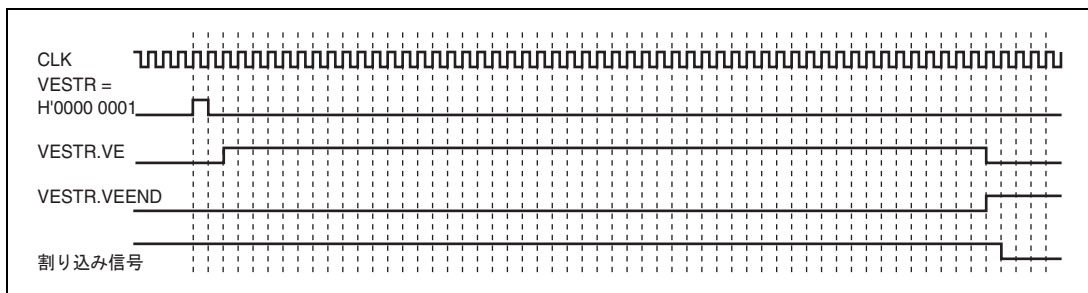


図 35.3 VEビットと各ステータスの動作タイミング

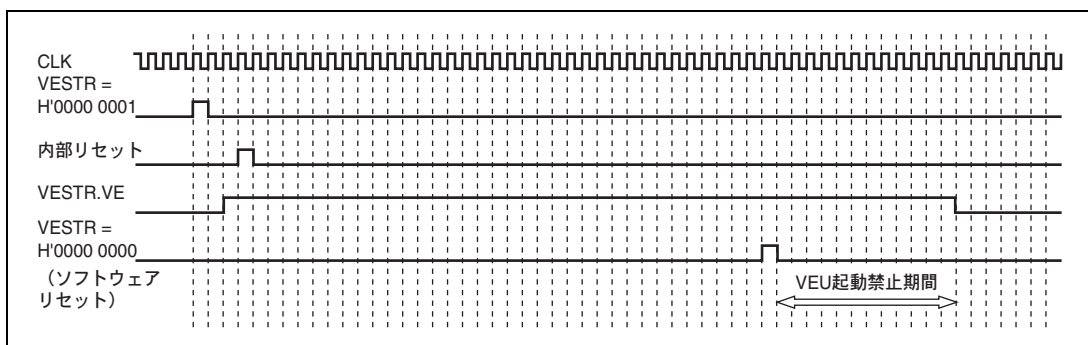


図 35.4 ソフトウェアリセットと各ステータスの動作タイミング

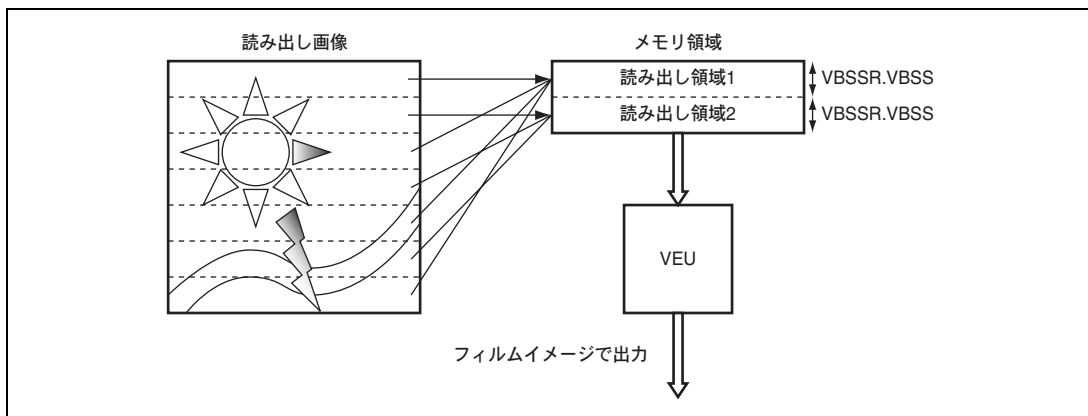


図 35.5 バンドル読み出しモードの処理イメージ図

35.3.2 VEU ソースメモリ幅レジスタ (VESWR)

VESWR は、VEU のソースメモリ領域のメモリ幅を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
15~2	VSW[15:2]	H'0000	R/W	VEU のソースメモリ領域の幅を設定 (4 画素単位)
1, 0	VSW[1:0]		R	VTRCR の RPKF=0、1、3、7、13 のときは、2 画素単位となります。

VSW ビットには、VEU の処理において、ソース画像が配置されているソースメモリ領域の横幅をバイト数で指定してください。設定はソース画像 4 画素に相当するバイト数単位で設定してください。読み込み画像が YCbCr のときは、Y 成分に合わせた設定にしてください。YCbCr 4:2:0、YCbCr 4:2:2、および YCbCr 4:4:4 読み込みにおける C 成分のソースメモリ領域の横幅は、それぞれ VSW、VSW、および $VSW \times 2$ の値が適用されます。VTRCR の RPKF=0、1、3、7、13 (RGB 2byte/pixel または RGB 4byte/pixel) のときは、ソース画像 2 画素に相当するバイト数単位で設定することが可能です。図 35.6 (A) に示すように、画像をメモリ領域から切り出す場合は、あるラインの画像の右端アドレスとその次のライン画像左端アドレスは不連続となります。これに対して、図 35.6 (B) は VEU に入力する画像の水平サイズがメモリの水平アドレス長と同じ場合を表しており、この場合は画像の右端アドレスと次のラインの左端アドレスが連続値になります。

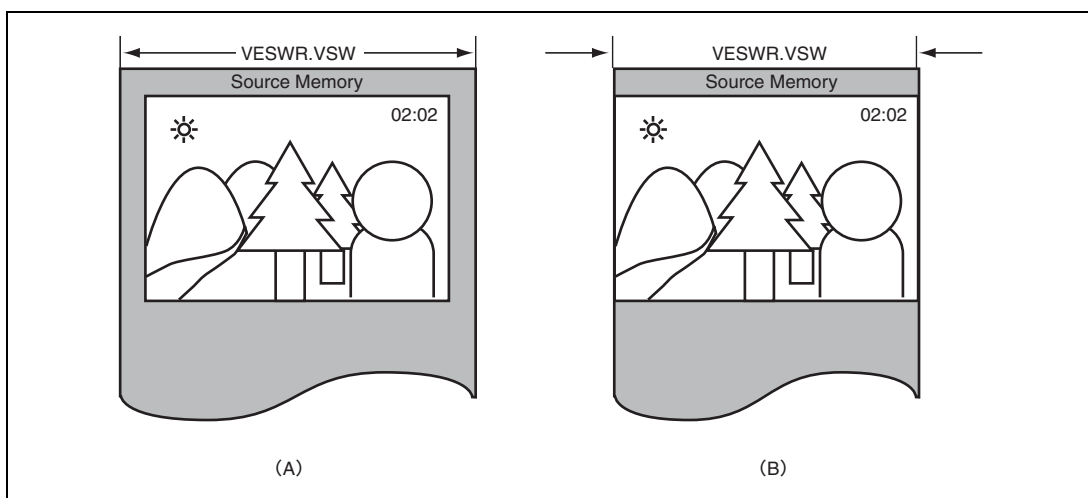


図 35.6 画像の切り出し幅と VESWR の関係

35.3.3 VEU ソースサイズレジスタ (VESSR)

VESSR は、VEU が読み込む画像の縦横サイズ (画素数) を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VVSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VHSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27~16	VVSS[11:0]	H'000	R/W	VEU の垂直方向の読み込み画素数を設定 本ビットには、VEU が読み込むソース画像の垂直方向の読み込み画素数を設定してください (図 35.7 参照)。 <ul style="list-style-type: none"> 拡大縮小、エンハンサ、およびバンドル読み出しなしの場合 (図 35.7 参照) 読み込みフォーマット、書き込みフォーマットともに RGB で、かつ VTRCR.RPKF が 3 (RGB 2byte/pixel)、0、1、7、13 (RGB 4byte/pixel)、いずれかでかつ VTRCR.WPKF が 1、2、6 (RGB 2byte/pixel)、14、19、20、22、23 (RGB 4byte/pixel) のいずれかの場合は、2 画素単位の指定が可能です。それ以外では、4 画素単位の指定してください。 拡大縮小、エンハンサ、およびバンドル読み出しありの場合 (図 35.7 参照) 1 画素単位の指定が可能です。 ただし、YCbCr 4:2:0 フォーマットの場合には、2 画素単位の切り上げた範囲までのデータがメモリ上に配置されている必要があります。 最大設定値は 4092 画素となります。
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11~0	VHSS[11:0]	H'000	R/W	<p>VEU の水平方向の読み込み画素数を設定</p> <p>本ビットには、VEU が読み込むソース画像の水平方向の読み込み画素数を設定してください (図 35.7)。</p> <ul style="list-style-type: none"> 拡大縮小、エンハンサ、およびバンドル読み出しなしの場合 (図 35.7 参照) 読み込みフォーマット、書き込みフォーマットともに RGB で、かつ VTRCR.RPKF が 3 (RGB 2byte/pixel)、0、1、7、13 (RGB 4byte/pixel)、いずれかでかつ VTRCR.WPKF が 1、2、6 (RGB 2byte/pixel)、14、19、20、22、23 (RGB 4byte/pixel) のいずれかの場合は、2 画素単位の指定が可能です。それ以外では、4 画素単位の指定してください。 拡大縮小、エンハンサ、およびバンドル読み出しありの場合 (図 35.7 参照) 1 画素単位の指定が可能です。 <p>ただし、VESWR.VSW[15:0]には、(VHSS[11:0]を 4 画素単位の切り上げた値) × 4 / (使用フォーマットの P_density_y) 以上の値を設定してください。</p> <p>ただし、YCbCr 4:2:0、YCbCr4:2:2 フォーマットの場合には、VHSS[11:0]を 2 画素単位の切り上げた範囲までのデータがメモリ上に配置されている必要があります。</p> <p>最大設定値は 4092 画素となります。</p>

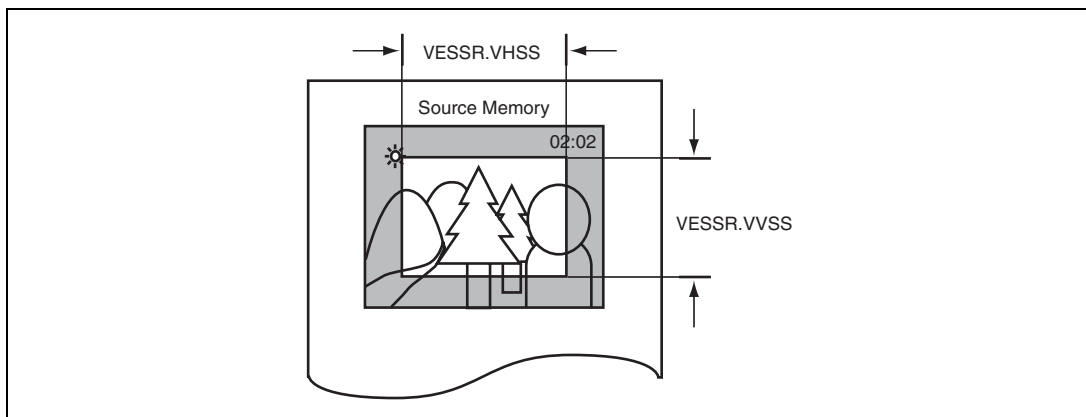


図 35.7 読み込みサイズと VESSR の関係

35.3.4 VEU ソースアドレス Y レジスタ (VSAYR)

VSAYR は、VEU が読み込む画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。ただし、N ライン読み出しモード時の再起動待ち状態 (VSTAR = H'0000 1001 の状態) では、本レジスタへの書き込みは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VSAY[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VSAY[31:2]	H'0000 0000	R/W	VEU の Y/RGB プレーンの読み込み先頭アドレスを設定 (ロングワード単位)
1, 0	VSAY[1:0]		R	

VSAY ビットには、図 35.8 のように VEU の Y/RGB プレーン画像先頭アドレスを設定します。YCbCr 形式の画像を読み込む場合には Y プレーンの先頭アドレスを指定し、RGB 形式の画像を読み込む場合には RGB プレーンの先頭アドレス (読み込む画像領域の左上端アドレス) を設定してください。YCbCr 形式の Y プレーンの入力フォーマットは図 35.8 のようになります。RGB 形式の場合の入力フォーマットは、表 35.8 を参照してください。

【注】 バンドル読み出しモード時は、VEVTR.VBEND 割り込みごとに 2 つのアドレスを交互に設定してください。

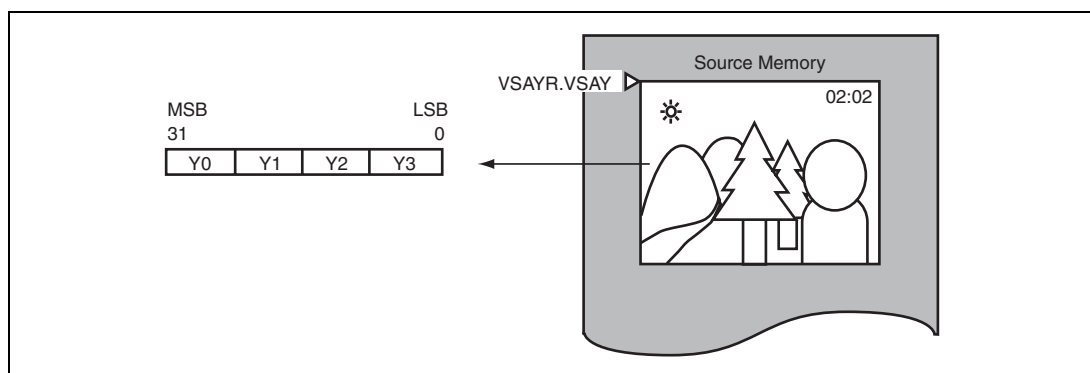


図 35.8 VSAYR の設定アドレスと Y プレーンのフォーマット

35.3.5 VEU ソースアドレス C レジスタ (VSACR)

VSACR は、VEU が読み込む画像の C プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。ただし、N ライン読み出しモード時の再起動待ち状態 (VSTAR = H'0000 1001 の状態) では、本レジスタへの書き込みは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VSAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VSAC[31:2]	H'0000 0000	R/W	VEU の C プレーンの読み込み先頭アドレスを指定 (1 ロングワード単位、YCbCr 4:4:4 のときは 2 ロングワード単位)
1, 0	VSAC[1:0]		R	

VSAC ビットには、図 35.9 のように VEU のソース画像の C プレーン先頭アドレスを設定します。YCbCr 形式の画像を読み込む場合には、C プレーンの先頭アドレス (読み込む画像領域の左上端アドレス) を指定してください。C プレーンの入力フォーマットは、図 35.9 のようになります。RGB 形式の画像を読み込む場合は、VSACR は使用しません。また、YCbCr 4:2:0、YCbCr 4:2:2 フォーマットでは 1 ロングワード単位ですが、YCbCr 4:4:4 フォーマットのときは 2 ロングワード単位となります。

【注】 バンドル読み出しモード時は、VEVTR.VBEND 割り込みごとに 2 つのアドレスを交互に設定してください。

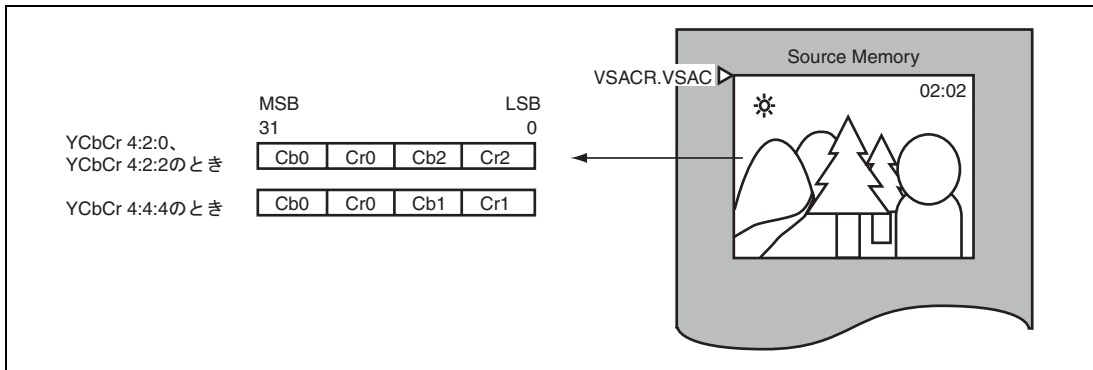


図 35.9 VSACR の設定アドレスと C プレーンのフォーマット

35.3.6 VEU バンドルソースサイズレジスタ (VBSSR)

VBSSR は、バンドル読み出しモード (N ライン読み出しモード) 時に VEU が 1 回の起動で読み込む画像のライン数 (画素数) を設定するレジスタです。本レジスタは、バンドル読み出しモード以外では設定の必要はありません。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VBSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11~3	VBSS[11:3]	H'000	R/W	バンドル読み出しモード (N ライン読み出しモード) 時の 1 回の起動で読み出すライン数 (8 ライン単位)
2~0	VBSS[2:0]		R	

VBSS ビットには、バンドル読み出しモード時に VEU が 1 回の処理に読み込むソース画像のライン数を設定してください。設定の単位は、8 ライン単位、最大設定値は 960 ラインとなります。

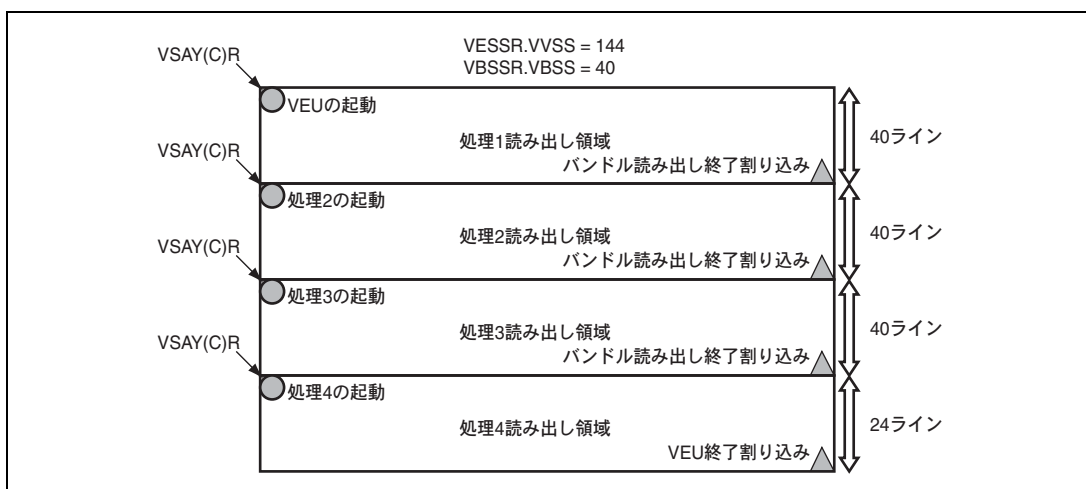


図 35.10 バンドル読み出しモード時の読み込み画像と各処理の読み込み画像の関係

35.3.7 VEU デスティネーションメモリ幅レジスタ (VEDWR)

VEDWR は、VEU のデスティネーションメモリ領域のメモリ幅を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
15~2	VDW[15:2]	H'0000	R/W	VEU のデスティネーションメモリ領域の幅を設定 (ロングワード単位)
1, 0	VDW[1:0]		R	

VDW ビットには、デスティネーション画像が配置されるデスティネーションメモリ領域の横幅をバイト数で指定します。設定はデスティネーション画像 4 画素に相当するバイト数の単位で設定してください。書き込み画像が YCbCr のときは Y 成分に合わせた設定にしてください。YCbCr 4:2:0、YCbCr 4:2:2、および YCbCr 4:4:4 書き込みにおける C 成分のデスティネーションメモリ領域の横幅は、それぞれ VDW、VDW、および VDW×2 の値が適用されます。VTRCR の WPKF=1、2、6 (RGB 2byte/pixel) および 8~14、19、20、22、23 (RGB 4byte/pixel) のときは、デスティネーション画像 2 画素に相当するバイト数の単位で設定することが可能です。図 35.11 (A) に示すように、画像をメモリ上の背景画面等に貼り付ける場合は、あるラインの画像の右端アドレスとその次のライン画像左端アドレスは不連続となります。これに対して、図 35.11 (B) は VEU が出力する画像の水平サイズがメモリの水平方向のメモリ幅と同じ場合を表しており、この場合は画像の右端アドレスと次のラインの左端アドレスが連続値となります。

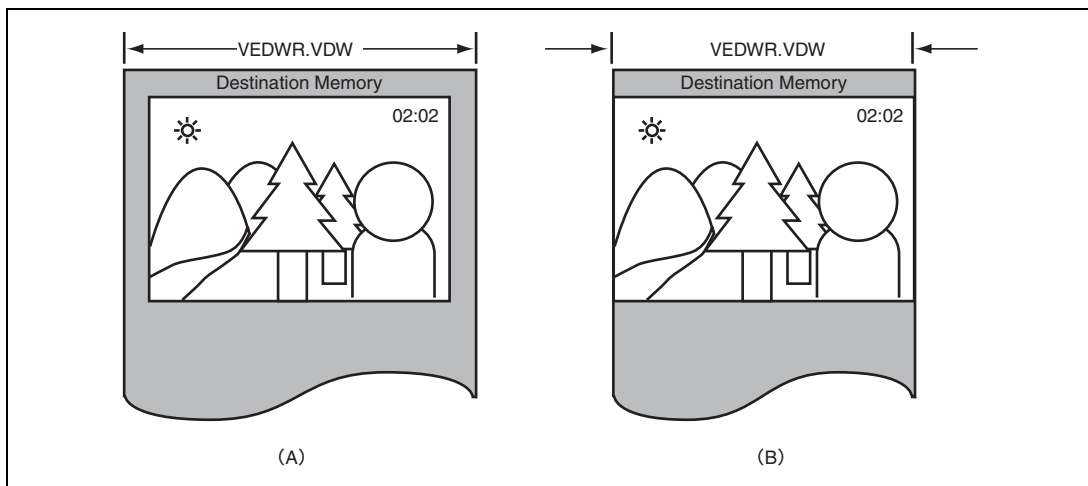


図 35.11 画像の貼り付け幅と VEDWR の関係

35.3.8 VEU デスティネーションアドレス Y レジスタ (VDAYR)

VDAYR は、VEU が書き出す画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDAY[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VDAY[31:2]	H'0000 0000	R/W	VEU の Y/RGB プレーンの書き出し先頭アドレスを設定(ロングワード単位)
1、0	VDAY[1:0]		R	

VDAY ビットには、図 35.12 のように VEU のデスティネーション画像先頭アドレス（出力画像領域の左上端のアドレス）を設定します。YCbCr 形式の画像を書き出す場合には Y プレーンの先頭アドレスを指定し、RGB 形式の画像を書き出す場合には RGB プレーンの先頭アドレスを設定してください。

VTRCR.WPKF=6（RGB 16bpp パック）では、ワード単位で設定することが可能です。

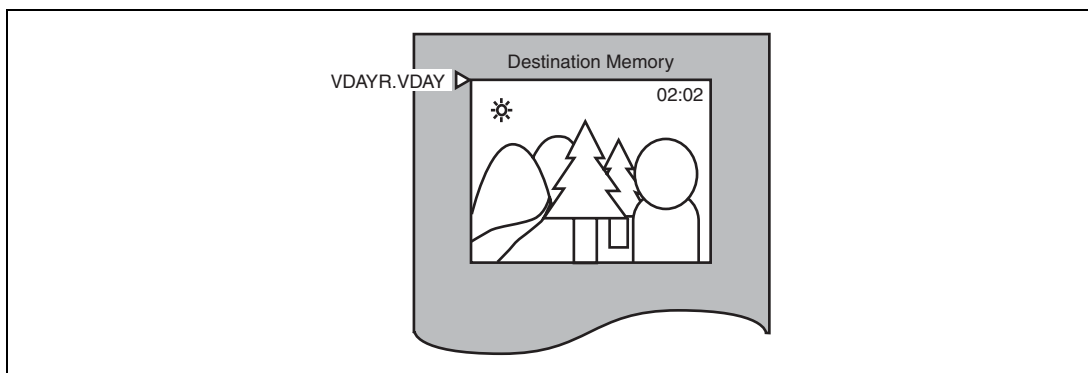


図 35.12 VDAYR の設定アドレス

VDAYR に指定するアドレスは、画像を回転／反転する場合に指定するポイントが変化します。この指定ポイントについて表 35.5 に各処理に対応するアドレスの指定ポイントを表します。図 35.13 にブロック処理の場合のアドレス指定ポイント、図 35.14 にライン処理の場合のアドレス指定ポイントを図示します。灰色の四角形が出力画像とすると☆印の場所がアドレス設定ポイントとなります。

拡大縮小、エンハンサ、バンドル読み出しモードのいずれも使用しない、かつ VFMC.R.FLTPI=0 ときの各アドレス指定ポイントは、デスティネーションへの出力画像を 16×16 画素のブロックに分割したとき、上下左右のコーナー部分に位置するブロックの左上端のアドレスとなっています。また、拡大縮小、エンハンサ、バンドル読み出しモードのいずれかも使用しない、かつ VFMC.R.FLTPI=1 のとき、もしくは拡大縮小、エンハンサ、バンドル読み出しモードのいずれかを使用するとき、各アドレス指定ポイントは出力画像の 4 隅のいずれかになります。

表 35.5 VDAYR へのアドレス指定ポイント

	回転/ 反転なし	90° 回転	270° 回転	90° 回転+ 水平反転	90° 回転+ 垂直反転	水平反転	垂直反転	水平反転+ 垂直反転
(ブロック処理) 拡大縮小、エンハンサ、 バンドル読み出しなし、 かつ FLTPI=0	—	D	E	F	G	A	B	C
(ライン処理) 拡大縮小、エンハンサ、 バンドル読み出しなし、 かつ VFMCR.FLTPI=1、 もしくは拡大縮小、 エンハンサ、バンドル 読み出しあり	—	X	X	X	X	H	J	K

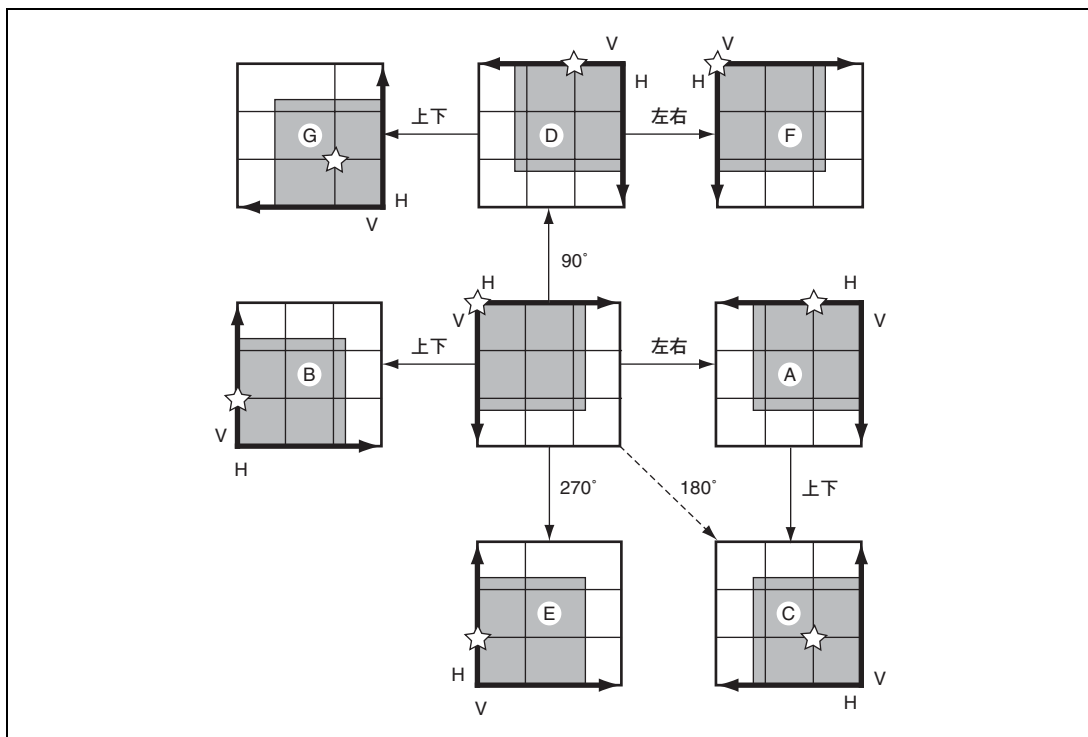


図 35.13 VDAYR へのアドレス指定ポイント位置 (ブロック処理)

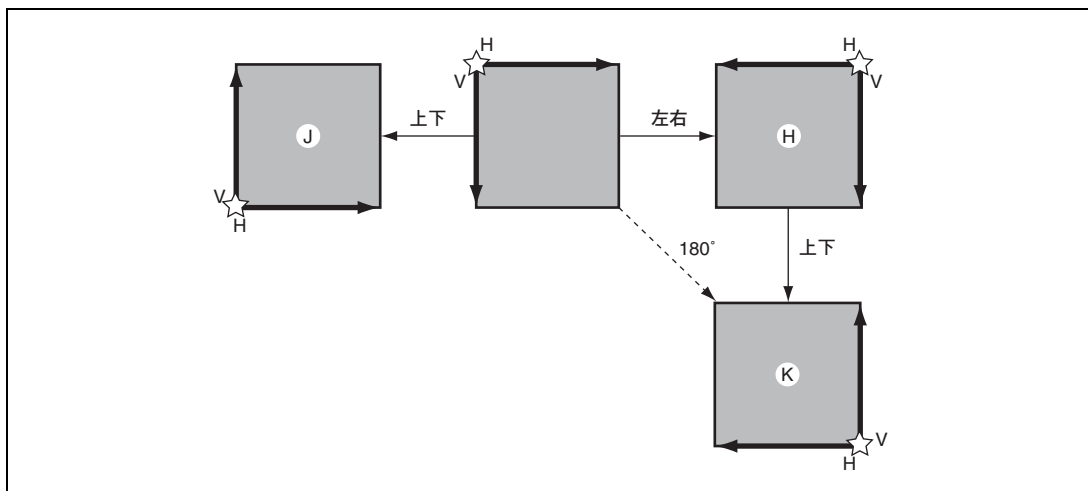


図 35.14 VDAYR へのアドレス指定ポイント位置 (ライン処理)

YCbCr 形式の画像を書き出す場合には Y プレーンのアドレスを指定し、RGB 形式の画像を書き出す場合には RGB プレーンのアドレスを設定してください。

アドレス設定式を以下に示します。

Offset_ad 出力画像の左上端のアドレス位置となります。

yuv420out 書き込みフォーマットが YCbCr4:2:0 1 : VTRCR.CHDS=0 のとき

0 : VTRCR.CHDS=1 または 2 のとき

clip_hsize ライン処理出力横サイズ VRFSSR.VHCLP

clip_vsize ライン処理出力縦サイズ VRFSSR.VVCLP

clip_vsize_c ライン処理出力縦サイズ(C) (clip_vsize+1)/2 : VTRCR.CHDS=0 のとき (切り捨て)

clip_vsize : VTRCR.CHDS=1 または 2 のとき

dest_width 書き込みメモリ幅 VEDWR.VDW

dest_width_c 書き込みメモリ幅(C) dest_width : VTRCR.CHDS=0 または 1 のとき

dest_width×2 : VTRCR.CHDS=2 のとき

src_hblk 横ブロック数 VESSR.VHSS/16 (切り上げ)

src_vblk 縦ブロック数 VESSR.VVSS/16 (切り上げ)

src_sideh 右端ブロック横サイズ (VESSR.VHSS+15)%16+1

src_sidev 下端ブロック縦サイズ (VESSR.VVSS+15)%16+1

< > 負の数を 0 とする演算子 < > の中が 0 以下の場合には 0、それ以外は < > 内の値

RGB 出力のときの $P_density_y$ は、表 35.6 を参照してください。また、YCbCr 出力の場合の $P_density_y$ および $P_density_c$ は表 35.7 を参照してください。

【Y 成分出力アドレス】

- 0 $VDAYR = offset_ad$
- F $VDAYR = offset_ad$
- D $VDAYR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times (4 / P_density_y)$
- A $VDAYR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times (4 / P_density_y)$
- E $VDAYR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times dest_width$
- B $VDAYR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times dest_width$
- G $VDAYR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times dest_width + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times (4 / P_density_y)$
- C $VDAYR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times dest_width + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times (4 / P_density_y)$
- H $VDAYR = offset_ad + clip_hsize \times (4 / P_density_y)$
- J $VDAYR = offset_ad + (clip_vsize - 1) \times dest_width$
- K $VDAYR = offset_ad + (clip_vsize - 1) \times dest_width + clip_hsize \times (4 / P_density_y)$

【C 成分出力アドレス】

- 0 $VDACR = offset_ad$
- F $VDACR = offset_ad$
- D $VDACR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times (4 / P_density_c)$
- A $VDACR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times (4 / P_density_c)$
- E $VDACR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle / (1 + yuv420out) \times dest_width_c$
- B $VDACR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle / (1 + yuv420out) \times dest_width_c$
- G $VDACR = offset_ad + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle / (1 + yuv420out) \times dest_width_c + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle \times (4 / P_density_c)$
- C $VDACR = offset_ad + \langle ((src_vblk - 2) \times 16 + src_sidev) \rangle / (1 + yuv420out) \times dest_width_c + \langle ((src_hblk - 2) \times 16 + src_sideh) \rangle \times (4 / P_density_c)$
- H $VDACR = offset_ad + clip_hsize \times (4 / P_density_c)$
- J $VDACR = offset_ad + (clip_vsize_c - 1) \times dest_width_c$
- K $VDACR = offset_ad + (clip_vsize_c - 1) \times dest_width_c + clip_hsize \times (4 / P_density_c)$

35.3.9 VEU デスティネーションアドレス C レジスタ (VDACR)

VDACR は、VEU が書き出す画像の C プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VDAC[31:2]	H'0000 0000	R/W	VEU の C プレーンの書き出し先頭アドレスを指定 (1 ロングワード単位、YCbCr 4:4:4 のときは 2 ロングワード単位)
1, 0	VDAC[1:0]		R	

VDAC ビットには、図 35.15 のように VEU のデスティネーション画像先頭アドレス (出力画像領域の左上端のアドレス) を設定します。YCbCr 形式の画像を書き出す場合には、C プレーンの先頭アドレスを指定してください。RGB 形式の画像を書き出す場合は、VDACR は使用しません。

VDACR に指定するアドレスは、画像を回転/反転する場合に指定するポイントが変化します。この指定ポイントについては VDAYR と同様ですので、図 35.13 と表 35.5 を参照してください。ただし、YCbCr 4:2:0 で出力する場合には、C 成分の垂直方向の出力ライン数が Y 成分の場合や RGB 出力時に比べて 1/2 倍になります。垂直方向へのアドレス計算時に (メモリ幅×垂直方向のライン数) として計算する場合には、ライン数が 1/2 となることに注意してください (「35.3.8 VEU デスティネーションアドレス Y レジスタ (VDAYR)」の説明を参照)。

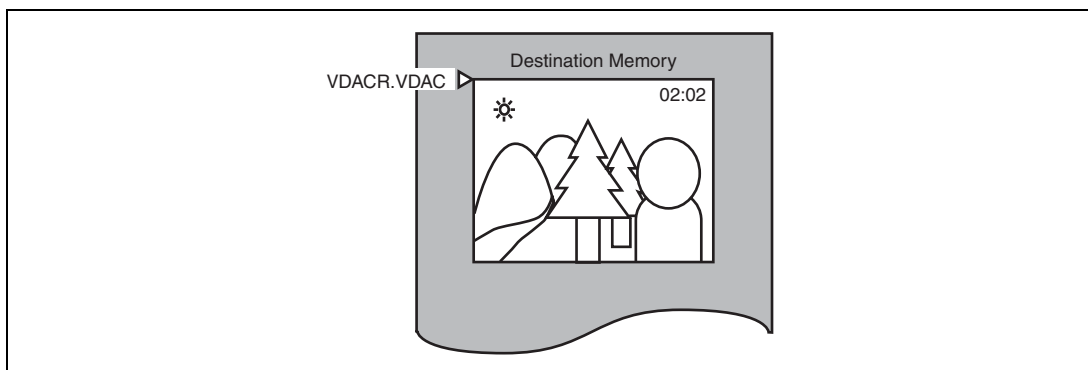


図 35.15 VDACR の設定アドレス

35.3.10 VEU 変換制御レジスタ (VTRCR)

VTRCR は、主に VEU の色変換、入出力データフォーマットに関する処理内容の設定を行います。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PAD[7:0]								CHDS[1:0]	—	WPKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHRR[1:0]		—	—	RPKF[3:0]			—	—	—	DITH	TM2	TM1	TE	RY	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	PAD[7:0]	H'00	R/W	VEU の出力データが RGB 形式のとき、出力データ中に埋め込む PAD 値を設定 RGB の出力データパックの型には、図 35.16 のように PAD を含むものがあります (表 35.6 参照)。PAD には、任意の 8 ビットのデータを付加することができます。本ビットには、この PAD の部分に埋め込むデータを設定してください。
23, 22	CHDS[1:0]	00	R/W	VEU の出力データが YCbCr 形式のとき、出力フォーマット形式を選択 YCbCr 形式出力時には、表 35.7 のバックパターンで出力を行います。YCbCr 4:4:4 から YCbCr 4:2:2 形式、YCbCr 4:2:0 形式への変換は、左右は 2 画素の平均値により行い、垂直方向は単純間引きとなります。 メモリ出力先は Y と C で別プレーンとなります。したがって、Y:C のメモリ領域の比は、YCbCr 4:2:0 のときは 2:1、YCbCr 4:2:2 のときは 2:2、YCbCr 4:4:4 のときは 2:4 となります。 00 : YCbCr モードのとき YCbCr 4:2:0 で出力 01 : YCbCr モードのとき YCbCr 4:2:2 で出力 10 : YCbCr モードのとき YCbCr 4:4:4 で出力 11 : 設定禁止
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
20~16	WPKF[4:0]	00000	R/W	VEU の出力データが RGB 形式のとき、出力データパック形式を設定 VEU では出力するデータを 32 ビットにパックします。このときのデータフォーマットは、RGB 形式で出力する場合は表 35.6、YCbCr 形式で出力する場合は、表 35.7 に示すパターンでパックを行います。RGB 形式出力時の場合は、表 35.6 の WPKF の欄に示した値を、本ビットに設定してください。 RGB のスタッフィング出力パック (WPKF=H'10、H'11、H'12、H'15) 時には、ラインの先頭は必ず表 35.6 に示した phase0 のバック形式になります。

ビット	ビット名	初期値	R/W	説明
15, 14	CHRR[1:0]	00	R/W	VEUの入力画像形式を選択 YCbCr形式入力時には、表 35.7 のバックパターンで出力を行います。 00 : 入力画像形式を YCbCr 4:2:0 として読み込む 01 : 入力画像形式を YCbCr 4:2:2 として読み込む 10 : 入力画像形式を YCbCr 4:4:4 として読み込む 00 : 設定禁止
13, 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11~8	RPKF[3:0]	0000	R/W	VEUの入力が RGB 形式のとき、RGB の入力データバック形式を設定 本ビットの設定による RGB のフォーマットと入力形式の関係は、表 35.8 のようになっています。RGB 形式で VEU に入力する場合は、表 35.8 の RPKF の欄に示した値を本ビットに設定してください。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	DITH	0	R/W	RGB 画像の減色処理時のディザ処理の有無 VEU には RGB 画像を減色する機能があります。減色後の色数は WPKF ビットの設定に依存します。RGB 画像の減色処理は、量子化処理により行うため、量子化処理により減色後の画像には擬似輪郭が発生します。この現象は色数を少なくする程顕著になり、一般的に画質劣化の原因となります。VEU ではこの画質劣化を抑制するためのディザ処理を行うことが可能です。 0 : VEU の出力画像が RGB 形式のとき減色時にディザ処理を適用しない 1 : VEU の出力画像が RGB 形式のとき減色時にディザ処理を適用する
3	TM2	0	R/W	TM1 ビットは色変換回路の色変換式を ITU-R BT.601 もしくは BT.709 に設定するビットです。TM2 ビットは色変換において R/G/B と Y/Cb/Cr の 8-bit デジタル値の変換範囲を設定します。 00 : 色変換式は ITU-R BT.601 に準拠し、値域 RGB(0,255)⇔Y(16,235)、CbCr(16,240)の変換を行う 01 : 色変換式は ITU-R BT.601 に準拠し、値域 RGB(0,255)⇔YCbCr(0,255)の変換を行う 10 : 色変換式は ITU-R BT.709 に準拠し、値域 RGB(0,255)⇔Y(16,235)、CbCr(16,240)の変換を行う 11 : 色変換式は ITU-R BT.709 に準拠し、値域 RGB(16,235)⇔Y(16,235)、CbCr(16,240)の変換を行う
2	TM1	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/W	TE ビットは RGB⇔YCbCr 変換回路のオン/オフを設定します。
0	RY	0	R/W	RY ビットは入力形式が RGB であるか YCbCr であるかを設定します。 表 35.9 に TE ビットと RY ビットの設定と入出力のデータ形式の関係を示します。 00 : ソース画像を YCbCr 形式として読み込み、YCbCr→RGB 変換を行わない 01 : ソース画像を RGB 形式として読み込み、RGB→YCbCr 変換を行わない 10 : ソース画像を YCbCr 形式として読み込み、YCbCr→RGB 変換を行う 11 : ソース画像を RGB 形式として読み込み、RGB→YCbCr 変換を行う

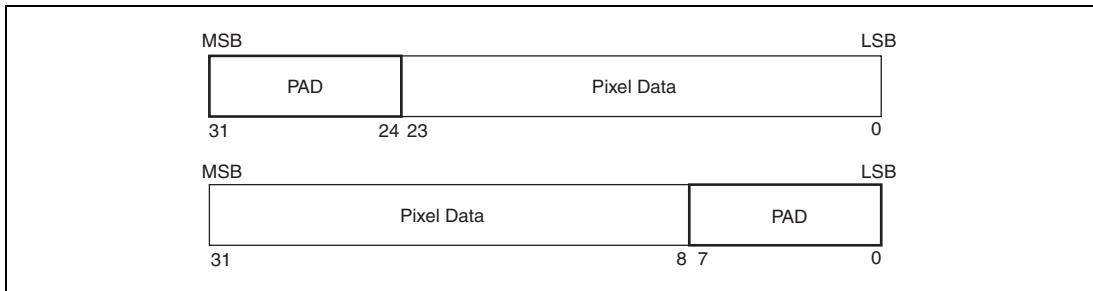


図 35.16 PAD を含むデータパックの型

表 35.6 RGB データの出力パック形式

No.	WPKF	Bit Rate [bpp]	P Density [pix/LW]	Phase	Bit																																															
					31~24								23~16								15~8								7~0																							
0	B'00000	8	4	—	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	R2	R2	R2	R2	G2	G2	G2	G2	B2	B2	B2	B2	R3	R3	R3	R3	G3	G3	G3	G3	B3	B3	B3	B3
1	B'00001	12	2	—	0	0	0	0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	0	0	0	0												
2	B'00010				R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	0	0	0	0	0	0	0	0												
6	B'00110	16	2	—	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1	G1	G1	G1	G1	G1	G1	G1	G1												
8	B'01000	18	1	—	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
10	B'01010				PAD								R0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0															
13	B'01101				PAD								R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	0	0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	0	0														
14	B'01110				R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0	0	0												
16	B'10000		4/3	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	R1	R1	R1	R1	R1	R1	R1	R1	G1	G1												
				1	G1	G1	G1	G1	B1	B1	B1	B1	B1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0														
				2	B2	B2	0	0	0	0	0	0	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3													
17	B'10001		4/3	0	0	0	0	R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	G0	G0	0	0	0	0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	R1									
				1	0	0	G1	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	B1	0	0	0	0	0	0	R2	R2	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2						
				2	0	0	B2	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	R3	0	0	0	0	0	0	G3	G3	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3						
18	B'10010		4/3	0	R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	R1	0	0	0	0												
				1	G1	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2	0	0	0	0											
				2	B2	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3	0	0	0	0											
19	B'10011	24	1	—	PAD																																															
20	B'10100				R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0												
21	B'10101		4/3	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0											
				1	G1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1											
				2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2										
22	B'10110	18	1	—	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0											
23	B'10111				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0										

表 35.7 YCbCr データのパック形式

No.	Comp	Bit Rate [bpp]	P density Y, C [pix/LW]	Bit																														
				31~24								23~16								15~8								7~0						
0	Y data	16	4	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3
	C data			Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2
1	Y data	16	4	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	
	C data			Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2
2	Y data	24	4	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	
	C data			2	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1
				2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cb3	Cb3	Cb3	Cb3	Cb3	Cb3	Cb3	Cb3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3

表 35.8 RGB データの入カパック形式

No.	RPKF	Bit Rate [bpp]	P Density-y [pix/LW]	Phase	Bit																																	
					31~24								23~16								15~8								7~0									
0	B'00000	24	1	—	X	X	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0		
1	B'00001			—	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	X	X	X	X	X	X
2	B'00010			4/3	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	
		1	G1		G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2			
3	B'00011	16	2	—	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	R1	R1	R1	R1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1		
7	B'00111	18	1	—	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	
13	B'01101	16	1	—	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	

【記号説明】 X : Don't care

表 35.9 VTRCR の TE ビット、RY ビットと入出力のデータ形式の関係

TE ビット	RY ビット	入力	出力
0	0	YCbCr 形式	YCbCr 形式
0	1	RGB 形式	RGB 形式
1	0	YCbCr 形式	RGB 形式
1	1	RGB 形式	YCbCr 形式

35.3.11 VEU リサイズフィルタ制御レジスタ (VRFCR)

VRFCR は、画像拡大縮小フィルタの拡大率/縮小率の設定を行います。拡大縮小処理を実行する場合は、他のいくつかの処理は同時に行うことができません (表 35.2 参照)。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VVMNT[3:0]				VVFRC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VHMNT[3:0]				VHFRC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	VVMNT[3:0]	H'0	R/W	垂直方向の拡大縮小率の倍数部 VVMNT ビットでは、垂直方向の倍率設定を行います。設定範囲は H'0~H'F です。VVMNT ビットを H'0、VVFRC ビットを H'000 に設定した場合には、等倍出力となります。
27~16	VVFRC[11:0]	H'000	R/W	垂直方向の縮小率の端数部 VVFRC ビットでは、垂直方向の倍率設定を行います。設定範囲は H'000~H'FFF です。
15~12	VHMNT[3:0]	H'0	R/W	水平方向の拡大縮小率の倍数部 VHMNT ビットでは、水平方向の倍率設定を行います。設定範囲は H'0~H'F です。VHMNT ビットを H'0、VHFRC ビットを H'000 に設定した場合には、等倍出力となります。
11~0	VHFRC[11:0]	H'000	R/W	水平方向の縮小率の端数部 VHFRC ビットでは、水平方向の倍率設定を行います。設定範囲は H'000~H'FFF です。

VEU では図 35.17 に示すように、画像拡大縮小フィルタによる画像拡大または縮小が可能です。VRFCR を設定したときは、メディアンフィルタ、デブロッキングフィルタ、ローパスフィルタ、および回転との同時動作は禁止されるので、VFMCRR の HMRR (左右反転) および VMRR (上下反転) 以外のビットには B'0 を設定してください。

拡大縮小の倍率は、1/16~16 倍の範囲で設定可能です。

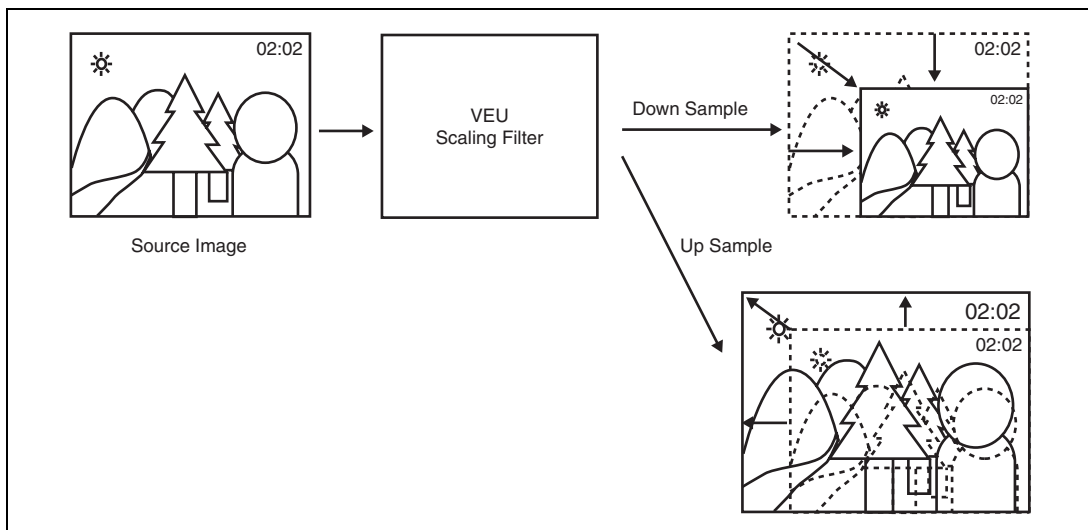


図 35.17 VEU による画像の拡大縮小

倍率、入力画素数から拡大縮小フィルタの出力画素数を求める式を示します。

$$\alpha = \text{MANT} \times 4096 + \text{FRAC} \quad \dots \text{数式1}$$

$$\text{SCL} = 4096 / \alpha \quad \dots \text{数式2}$$

数値 A の小数点以下を切り捨てる演算 <A>

入力サイズを Sin、出力サイズを SIZE と表します。

【注】 水平 : $\text{Sin} = \text{VESSR.VHSS}$

垂直 : $\text{Sin} = \text{VESSR.VVSS}$

【縮小】

$$\text{SIZE} = \langle 1 + (1 + (\text{Sin} - 1) / \text{MANTpre}) - 1 \rangle \times \text{MANTpre} \times \text{SCL} \quad [1/16 < \text{SCL} \leq 1] \quad \dots \text{数式3}$$

$$\text{MANTpre} = 1 [1 \leq \text{MANT} < 4]$$

$$= 2 [4 \leq \text{MANT} < 8]$$

$$= 4 [8 \leq \text{MANT} < 16]$$

【拡大】

$$\text{SIZE} = \langle 1 + (\text{Sin} - 1) \times \text{SCL} \rangle \quad [1 < \text{SCL} < 16, \text{VRSCR.AMD} = 0] \quad \dots \text{数式5}$$

$$\text{SIZE} = \langle \text{Sin} \times \text{SCL} \rangle \quad [1 < \text{SCL} < 16, \text{VRSCR.AMD} = 1] \quad \dots \text{数式6}$$

【注】 VRSCR.AMD に関しては VRSCR を参照

- 例：88画素を352画素に拡大 (VRSCR.AMD=0)

倍率=352/88=4であり、SCL=4と仮定し、数式1、数式2にあてはめ、MANT=0、FRAC=1024と仮決めします。数式5へ代入すると、SIZE（出力画素数）=349を得ることができます。所望の出力画素数352よりも小さいため、SCL（数式1）の値をこれより大きい値でかつ最小の値（MANT=0、FRAC=H'3FF）に設定します。これにより出力画素=349となりますが、まだ所望の画素数より小さいため、これを繰り返します。MANT=0、FRAC=H'3F7で所望の画素数352を得ることができるので、88画素を352画素に拡大（VRSCR.AMD=0）するために、MANT=0、FRAC=H'3F7を設定してください。

表 35.10 に VEU で拡大／縮小を行う際の本レジスタの設定値の例を示します。

表 35.10 拡大／縮小フィルタの水平方向の各倍率設定例

倍率	AMD	FRAC		MANT
		10 進	16 進	
8	0	508	H'1FC	0
4	0	1017	H'3F9	0
2	0	2039	H'7F7	0
1.5	0	2723	H'AA3	0
8	1	512	H'200	0
4	1	1024	H'400	0
2	1	2048	H'800	0
1.5	1	2730	H'AAA	0
7/8	0	585	H'249	1
3/4	0	1365	H'555	1
5/8	0	2457	H'999	1
1/2	0	0	H'0	2
1/4	0	0	H'0	4
1/8	0	0	H'0	8

35.3.12 VEU リサイズフィルタサイズクリップレジスタ (VRFSR)

VRFSR は、フィルタの端数出力画素について、クリップ（切り捨て）の設定を行います。VRFCR と合わせて設定してください。本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VVCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VHCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み値は常に0にしてください。
27~17	VVCLP[11:1]	H'000	R/W	拡縮後の縦クリップサイズを画素数で指定（1画素単位）
16	VVCLP[0]	H'0	R	ただし、YCbCr 4:2:0 のときは、2画素単位で設定してください。
15~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み値は常に0にしてください。
11~1	VHCLP[11:1]	H'000	R/W	拡縮後の横クリップサイズを画素数で指定（4画素単位）
0	VHCLP[0]		R	ただし、VTRCR.WPKF（書き込みバック）=1、2、6、8~14、19、20、22、23 のときは、2画素単位で設定してください。

VRFSR.VVCLP、VRFSR.VHCLP は、ライン処理（拡大縮小またはエンハンサまたはバンドル読み出しあり）の場合の出力サイズを設定するレジスタです。VRFSR は横方向4画素単位、縦方向1画素単位（YCbCr 4:2:0 出力の場合は2画素単位）で指定可能です。ただし、RGB 2byte/pixel（VTRCR.WPKF=1、2、6）とRGB 4byte/pixel（VTRCR.WPKF=8~14、19、20、22、23）は横方向2画素単位の設定が可能です。

最大設定値は VRFSR.VVCLP および VRFSR.VHCLP とともに 4092 画素となり、最小設定値は VRFSR.VVCLP および VRFSR.VHCLP とともに 16 画素となります。ただし、VRFSR.VHCLP+VRSOR.VHCLOFS≤4092 となるように設定してください。

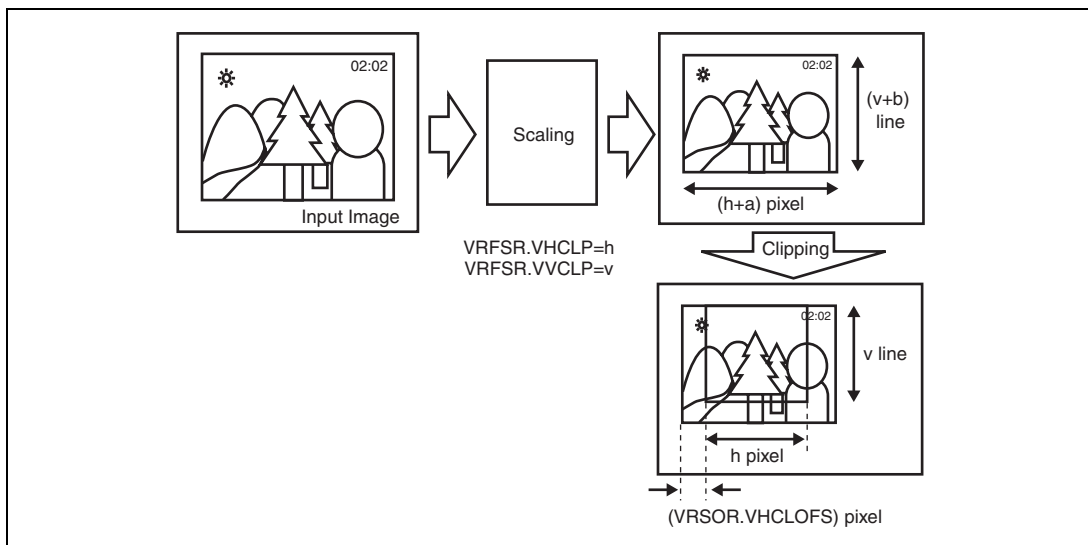


図 35.18 VEU 拡大縮小フィルタ出力画像のクリッピング

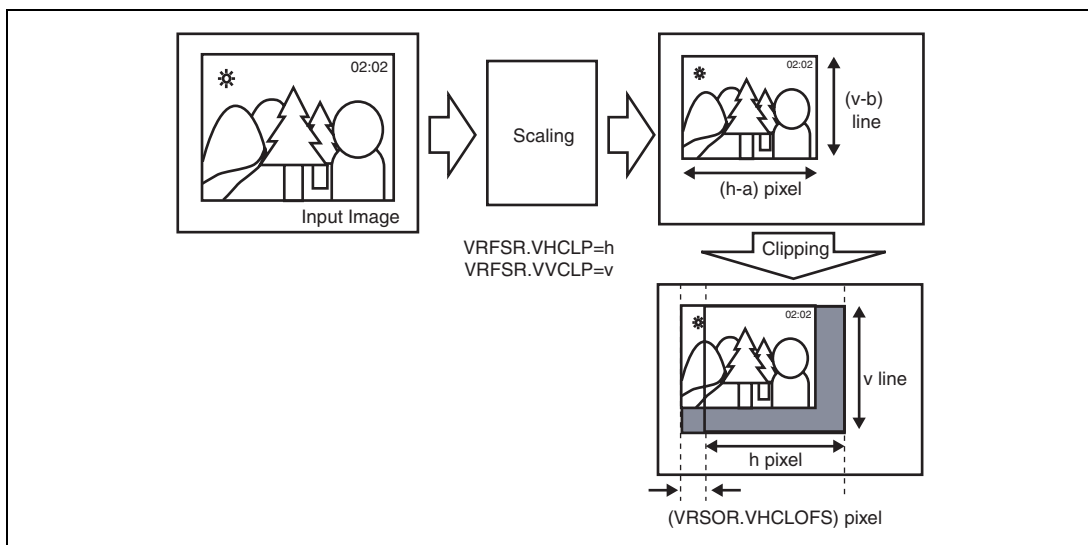


図 35.19 VEU 拡大縮小フィルタ出力画像の押し出し

本設定値をフィルタ出力画素数より小さく設定すると、図 35.18 に示すように出力画像をクリッピングします。出力する画素数は、 $VRSOR.VHCLOFS$ で設定したオフセット画素だけ右方向へずらした位置からのカウントとなります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、画像クリップ機能により切り捨てられます。

本設定値をフィルタ出力画素数よりも大きく設定した場合、 $VRSCR.FMD$ ビットの値に従い、 $VRSOR.VHCLOFS$ で設定したオフセット画素だけ右方向へずらした位置から画素数をカウントし、設定した画素数まで画素を補充出力します (図 35.19)。

ただし、水平方向に関しては、VRFSR に設定した画素数が実際の拡大縮小フィルタ出力画素数を 16 の倍数まで切り上げた値よりも大きい場合には、補完機能は動作しません。この場合、VEU がハングアップする可能性があるため、必ず、数式 1～数式 6 を用いて求めた画素数を 16 の倍数に切り上げた値以下の数値を VRFSR に設定してください。

数式 1～数式 6 から求まるフィルタ出力画素数が $16M+N$ ($N=1\sim 16$) の場合、 $VRFSR.VV(H)CLP \leq 16M+16$

なお、拡大または縮小処理をする以外は、 $VRFSR.VHCLP=VESSR.VHSS$ 、 $VRFSR.VVCLP=VESSR.VVSS$ の設定としてください。

35.3.13 VEU エンハンスレジスタ (VENHR)

VENHR は、画像のエッジ強調フィルタ (エンハンサ) の設定を行います。エッジ強調処理を実行する場合は、他のいくつかの処理は同時に行うことができません (表 35.2 参照)。本レジスタは、動作中の書き込みは禁止です。

VENHR を設定したときは、メディアンフィルタ、デブロッキングフィルタ、ローパスフィルタ、および回転との同時動作は禁止となるので、VFMC の HMRR (左右反転) および VMRR (上下反転) 以外のビットには 0 を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENSCL[2:0]		—	—	—	—	—	—	—	ENHV	ENHH
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	ENSCL[2:0]	010	R/W	エッジ強調の倍率を設定 001: 強調レベル 1 (最大) 010: 強調レベル 2 011: 強調レベル 3 100: 強調レベル 4 (最小) 上記以外: 設定禁止
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	ENHV	0	R/W	垂直方向のエッジ強調の有無 0: 垂直方向のエッジ強調を行わない 1: 垂直方向のエッジ強調を行う
0	ENHH	0	R/W	水平方向のエッジ強調の有無 0: 水平方向のエッジ強調を行わない 1: 水平方向のエッジ強調を行う

35.3.14 VEU リサイズフィルタサブ制御レジスタ (VRSCR)

VRSCR は、ライン処理（拡大縮小またはエンハンサまたはバンドル読み出しあり）での拡大縮小フィルタの調整を行うレジスタです。ブロック処理（拡大縮小およびエンハンサおよびバンドル読み出しなし）では、本設定値は初期値（すべて 0）を設定してください。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AMD	FMD	LC[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	AMD	0	R/W	VEU の拡大縮小フィルタが拡大時に生成する画素数を指定します。AMD=1 を設定すると、AMD=0 にて生成される出力画像の上下、左右に画素を補完することにより $\text{int}(n \times \text{拡大率})$ の画素数が生成されます。 0 : 拡大時、得られる画素数は $1 + \text{int}((n-1) \times \text{拡大率})$ になる 1 : 拡大時、得られる画素数が $\text{int}(n \times \text{拡大率})$ になるようにする
30	FMD	0	R/W	VEU の拡大縮小フィルタがクリップサイズに満たない画像を出力した際、クリップサイズまで画素を補間します。FMD は補間方法を指定します。FMD=0 の場合、右端（下端）の画素値をコピーして画素値を補完します。FMD=1 の場合、フィル色指定レジスタ (VFPCR) にて指定した色で右端（下端）の画素を補完します。 0 : 最終生成画素 / 最終生成ラインを繰り返して出力 1 : 変換色指定レジスタ (VFPCR) で指定された色を繰り返し出力
29, 28	LC[1:0]	00	R/W	ソース画像の水平左端の切り取り画素数指定 0~3 まで指定可能 ソースアドレスレジスタの VSAYR、VSACR とともにロングワード単位なので、たとえば、入力フォーマットが YCbCr の場合は、背景画面からの水平切り出し開始位置は 4 画素単位となります。そのため、左端 $4M + LC$ (M : 整数、LC : 0~3 の整数) の画素位置から背景画面の切り出しを行いたい場合は、 $4M$ を読み取り先頭アドレス VSAYR で調整し、下位 2 ビットを本ビット (LC) で調整します。 本ビットに値を設定した場合、拡大縮小フィルタへの入力は、水平 VESSR.VHSS - VRSCR.LC、垂直 VESSR.VVSS となります。
27~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

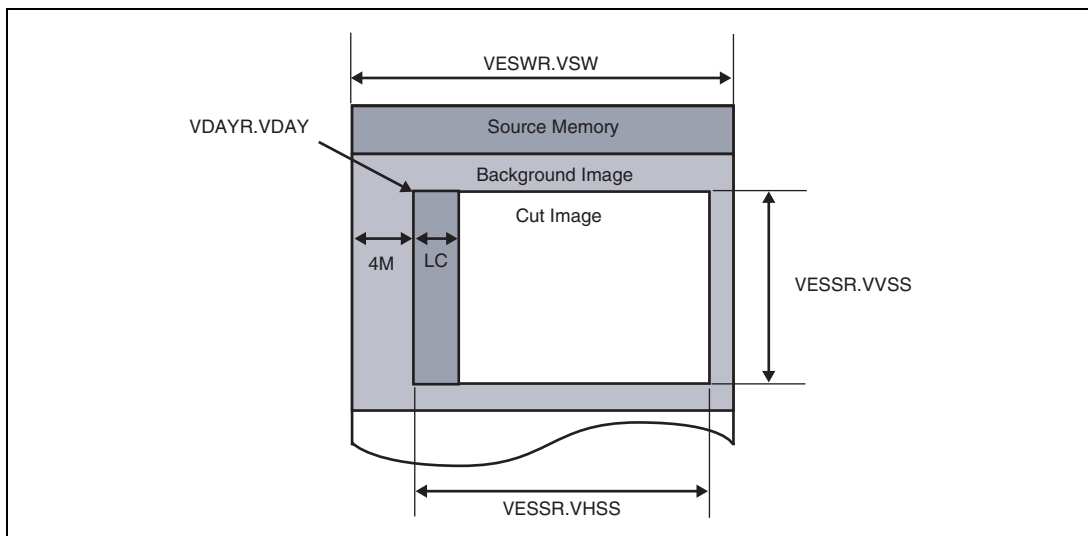


図 35.20 背景画面と切り出し画素位置の関係

35.3.15 VEU リサイズフィルタサイズクリップオフセットレジスタ (VRSOR)

VRSOR は、フィルタ出力画素のクリップ動作時における、画面左側のクリップオフセットの設定を行います。オフセット位置の詳細については図 35.18 および図 35.19 を参照してください。なお、図 35.2 に示す経路 2 において、拡大縮小後の出力画像の横画素数よりも小さく設定してください。

また、 $VRFSR.VHCLP + VRSOR.VHCLOFS \leq 4092$ となるように設定してください。

本レジスタを設定する場合は、VRFCR、VRFSR レジスタと合わせて設定してください。また、「35.2 機能概要」で説明している経路 2（ライン処理（拡大縮小またはエンハンサまたはバンドル読み出しあり））の動作を行う際の出力サイズ設定となりますので、拡大縮小を行わない場合にも設定を行ってください。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	VHCLOFS[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7~0	VHCLOFS [7:0]	H'00	R/W	拡大縮小後の横方向のクリップオフセットを画素数で指定（1 画素単位）してください。

35.3.16 VEU フィルタモード制御レジスタ (VFMCR)

VFMCR は、フィルタ処理をする際の動作モードを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MED FST	FLTPI	—	—	—	—	—	—	—	MED
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TPN	—	—	DBLK	LPHV	—	—	VMRR	HMRR	—	—	ROTL	ROTR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
25	MEDFST	0	R/W	MEDFST は、FLTPI が 1 に設定された場合に、メディアンフィルタおよび LPF/デブロッキングフィルタの処理順序を変更するビットです。 0: LPF/デブロッキングフィルタ、メディアンフィルタの順序で処理を行う 1: メディアンフィルタ、LPF/デブロッキングフィルタの順序で処理を行う
24	FLTPI	0	R/W	FLTPI は、LPF、デブロッキングフィルタおよびメディアンフィルタの高速処理を制御するビットです。 0: LPF/デブロッキングフィルタ、メディアンフィルタの高速処理を行わない 1: LPF/デブロッキングフィルタ、メディアンフィルタの高速処理を行う FLTPI に 1 を設定する場合は、設定制約があるので、必ず以下を設定してください。 (1)VFMCR.ROTR=0 (2)VFMCR.ROTL=0 (3)VESTR.VBE=0 (4)VRSOR.VHCLOFS=0 (5)VRFSR.VVCLP=VSSR.VVSS (6)VRFSR.VHCLP=VSSR.VHSS
23~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
16	MED	0	R/W	<p>メディアンフィルタ適用</p> <p>メディアンフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを1に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには0を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。</p> <p>本ビットとフィルタ動作の関係は、表 35.11 を参照してください。</p> <p>0: メディアンフィルタを使用しない 1: 入力画像に対してメディアンフィルタを適用する</p>
15~13	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>
12	TPN	0	R/W	<p>ローパスフィルタ (LPF) のタップ数設定</p> <p>0: LPF のタップ数を3タップに設定する 1: LPF のタップ数を5タップに設定する</p>
11、10	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>
9	DBLK	0	R/W	<p>デブロッキングモード適用</p> <p>デブロッキングフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを1に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには0を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。</p> <p>本ビットとフィルタ動作の関係は、表 35.11 を参照してください。</p> <p>0: LPF を入力画像全体に対して適用 (通常モード) 1: LPF を入力画像の 8×8 画素ブロックの境界のみに対して適用 (デブロッキングモード)</p>
8	LPHV	0	R/W	<p>ローパスフィルタ適用</p> <p>ローパスフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを1に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには0を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。</p> <p>本ビットとフィルタ動作の関係は、表 35.11 を参照してください。</p> <p>0: NOP 1: 入力画像に対してローパスフィルタ (LPF) を適用</p>
7、6	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	VMRR	0	R/W	垂直反転（水平軸対称）フィルタ適用 本ビットと回転／反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して垂直反転（水平軸対称）フィルタを適用
4	HMRR	0	R/W	水平反転（垂直軸対称）フィルタ適用 本ビットと回転／反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して水平反転（垂直軸対称）フィルタを適用
3, 2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	ROTL	0	R/W	270° 回転（時計回り）フィルタ適用 回転処理を適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには 0 を設定してください（拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止）。 本ビットと回転／反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して 270° 回転（時計回り）フィルタを適用
0	ROTR	0	R/W	90° 回転（時計回り）フィルタ適用 回転処理を適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには 0 を設定してください（拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止）。 本ビットと回転／反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して 90° 回転（時計回り）フィルタを適用

表 35.11 MED、DBLK、LPHV ビットとフィルタ動作の関係

MED ビット	DBLK ビット	LPHV ビット	フィルタ動作
0	0	0	スルー
0	0	1	ローパスフィルタ
0	1	1	デブロッキングフィルタ
1	1	1	デブロッキングフィルタ+メディアンフィルタ*
1	0	0	メディアンフィルタ
その他			設定禁止

【注】 * デブロッキングフィルタ→メディアンフィルタの順番は変更できません。

表 35.12 VMRR、VMRR、ROTL、ROTR ビットと回転／反転動作の関係

VMRR ビット	HMRR ビット	ROTL ビット	ROTR ビット	回転/反転動作
0	0	0	0	回転反転なし
0	0	0	1	時計回りに 90° 回転
0	0	1	0	時計回りに 270° 回転
0	1	0	1	時計回りに 90° 回転後、水平反転
1	0	0	1	時計回りに 90° 回転後、垂直反転
0	1	0	0	水平反転
1	0	0	0	垂直反転
1	1	0	0	180° 回転
その他				設定禁止

「270° 回転後、水平反転」と「270° 回転後、垂直反転」は、それぞれ「90° 回転後、垂直反転」および「90° 回転後、水平反転」で実現できます。

各回転／反転機能を使用したときの処理後の画像と原画との関係を、図 35.21、図 35.22 に示します。

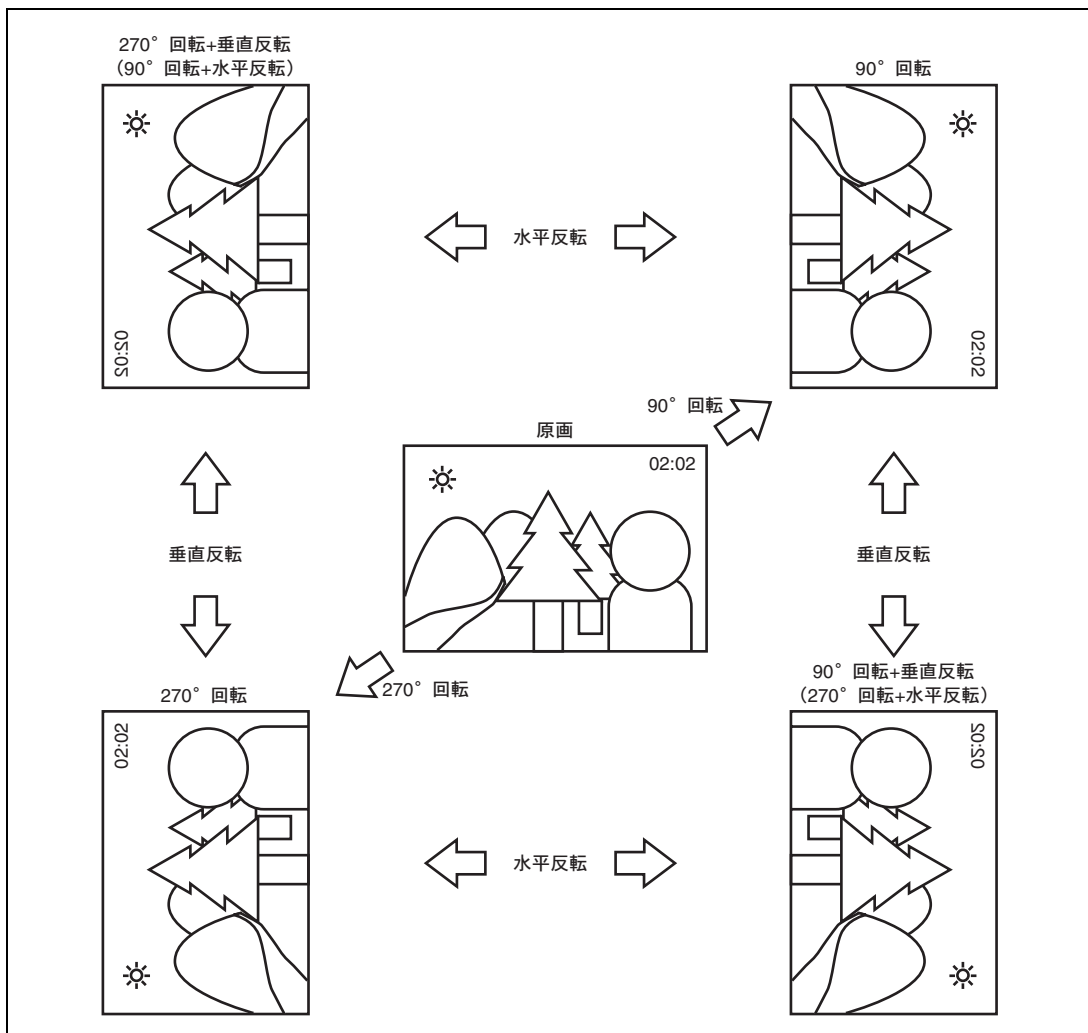


図 35.21 回転／反転の組み合わせ画像と原画との関係

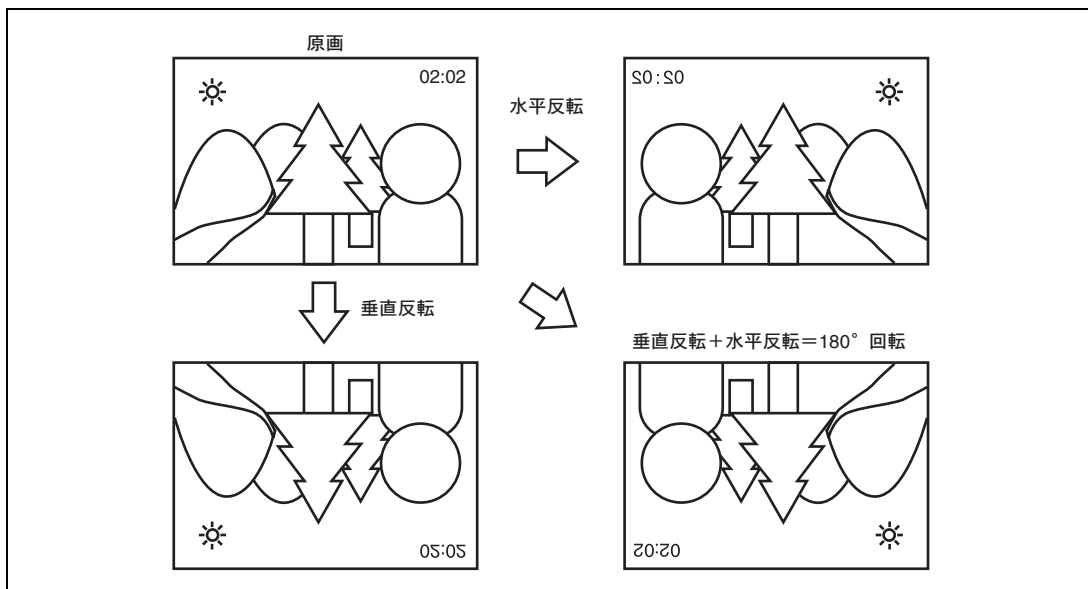


図 35.22 反転画像と原画像の関係

35.3.17 VEU 垂直タップ係数レジスタ (VVTCCR)

VVTCCR は、ローパスフィルタ適用の際の垂直タップ係数を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	VSHFT[2:0]			VTPC4[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VTPC3[3:0]			VTPC2[3:0]			VTPC1[3:0]			VTPC0[3:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
22~20	VSHFT[2:0]	000	R/W	垂直タップ演算後のシフト量指定 垂直方向の各タップの合計値を足した後、右にシフトする数を設定します。 VTPC0~VTPC4 ビットの合計値に対応した設定を行ってください。 表 35.13 に VVTCCR.VTPC の合計値に対応した値を示します。

ビット	ビット名	初期値	R/W	説明
19~16	VTPC4[3:0]	H'0	R/W	垂直タップ係数 4 設定 (3TAP フィルタの場合は 0 設定にしてください) 5TAP のローパスフィルタを掛ける場合、2 画素右の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は 0 に設定してください。
15~12	VTPC3[3:0]	H'0	R/W	垂直タップ係数 3 設定 ローパスフィルタを掛ける場合、1 画素右の成分の寄与を設定します。
11~8	VTPC2[3:0]	H'0	R/W	垂直タップ係数 2 設定 ローパスフィルタを掛ける場合、その位置の成分の寄与を設定します。
7~4	VTPC1[3:0]	H'0	R/W	垂直タップ係数 1 設定 ローパスフィルタを掛ける場合、1 画素左の成分の寄与を設定します。
3~0	VTPC0[3:0]	H'0	R/W	垂直タップ係数 0 設定 (3TAP フィルタの場合は 0 設定にしてください) 5TAP のローパスフィルタを掛ける場合、2 画素左の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は 0 に設定してください。

表 35.13 VTPC4~VTPC0 の合計とシフト量 (VSHFT) の設定

Σ VVTCR.VTPC	VVTCR.VSHFT
4	2
8	3
16	4
32	5
64	6

以下に VVTCR の設定例を示します。VTPC4 ビットが H'0、VTPC0 ビットが H'0 のときは、3TAP のローパスフィルタなので、VFMCR の TPN ビットに B'0 を設定してください。また、それ以外は 5TAP のローパスフィルタなので、TPN ビットに B'1 を設定してください。

表 35.14 VVTCR 設定例

ビット名	VSHFT ビット	VTPC4 ビット	VTPC3 ビット	VTPC2 ビット	VTPC1 ビット	VTPC0 ビット
設定値	2	0	1	2	1	0
	3	0	1	6	1	0
	3	1	2	2	2	1
	3	1	1	4	1	1
	4	0	1	14	1	0
	4	0	3	10	3	0
	4	0	5	6	5	0
	4	1	1	12	1	1
	4	1	2	10	2	1
	4	1	3	8	3	1
	4	1	4	6	4	1
	4	2	3	6	3	2
	4	3	3	4	3	3
	5	0	9	14	9	0
	5	1	8	14	8	1
	5	1	9	12	9	1
	5	1	10	10	10	1
	5	2	7	14	7	2
	5	2	9	10	9	2
	5	3	6	14	6	3
	5	3	7	12	7	3
	5	3	8	10	8	3
	5	4	5	14	5	4
	5	4	7	10	7	4
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
6	11	14	14	14	11	
6	12	13	14	13	12	

【注】 水平タップ数と垂直タップ数は同一にする必要があります。

35.3.18 VEU 水平タップ係数レジスタ (VHTCR)

VHTCR は、ローパスフィルタ適用の際の水平タップ係数を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	HSHFT[2:0]			HTPC4[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HTPC3[3:0]			HTPC2[3:0]			HTPC1[3:0]			HTPC0[3:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
22~20	HSHFT[2:0]	000	R/W	水平タップ演算後のシフト量指定 水平方向の各タップの合計値を足した後、右にシフトする数を設定します。 設定は VVTCR の VSHFT ビットの項を参照してください。 表 35.15 に VHTCR.HTPC の合計値に対応した値を示します。
19~16	HTPC4[3:0]	H'0	R/W	水平タップ係数 4 設定 5TAP のローパスフィルタを掛ける場合、2 画素右の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は 0 に設定してください。
15~12	HTPC3[3:0]	H'0	R/W	水平タップ係数 3 設定 ローパスフィルタを掛ける場合、1 画素右の成分の寄与を設定します。
11~8	HTPC2[3:0]	H'0	R/W	水平タップ係数 2 設定 ローパスフィルタを掛ける場合、その位置の成分の寄与を設定します。
7~4	HTPC1[3:0]	H'0	R/W	水平タップ係数 1 設定 ローパスフィルタを掛ける場合、1 画素左の成分の寄与を設定します。
3~0	HTPC0[3:0]	H'0	R/W	水平タップ係数 0 設定 5TAP のローパスフィルタを掛ける場合、2 画素左の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は 0 に設定してください。

表 35.15 HTPC4~HTPC0 の合計とシフト量 (HSHFT) の設定

Σ VHTCR.HTPC	VHTCR.HSHFT
4	2
8	3
16	4
32	5
64	6

以下に VHTCR の設定例を示します。HTPC4 ビットと HTPC0 ビットがともに H'0 のときは、3TAP のローパスフィルタなので、VFMCN の TPN ビットに B'0 を設定してください。また、それ以外は 5TAP のローパスフィルタなので、TPN ビットに B'1 を設定してください。

表 35.16 VHTCR 設定例

ビット名	HSFT ビット	HTPC4 ビット	HTPC3 ビット	HTPC2 ビット	HTPC1 ビット	HTPC0 ビット
設定値	2	0	1	2	1	0
	3	0	1	6	1	0
	3	1	2	2	2	1
	3	1	1	4	1	1
	4	0	1	14	1	0
	4	0	3	10	3	0
	4	0	5	6	5	0
	4	1	1	12	1	1
	4	1	2	10	2	1
	4	1	3	8	3	1
	4	1	4	6	4	1
	4	2	3	6	3	2
	4	3	3	4	3	3
	5	0	9	14	9	0
	5	1	8	14	8	1
	5	1	9	12	9	1
	5	1	10	10	10	1
	5	2	7	14	7	2
	5	2	9	10	9	2
	5	3	6	14	6	3
	5	3	7	12	7	3
	5	3	8	10	8	3
	5	4	5	14	5	4
	5	4	7	10	7	4
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
6	11	14	14	14	11	
6	12	13	14	13	12	

【注】 水平タップ数と垂直タップ数は同一にする必要があります。

35.3.19 VEU 指定色レジスタ (VAPCR)

VAPCR は、指定色指定レジスタです。

VEU の処理画像の任意の画素が本レジスタで指定した指定色と等しい場合、VCCR で指定した変換色と置き換えます。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。YCbCr 出力モードでは、YCbCr 4:4:4 出力のみ対応しています。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	AP CON	RAPC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAPC[7:0]								BAPC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
24	APCON	0	R/W	指定色置換 0: VEU の処理画像をそのまま出力 1: VEU の処理画像の指定色と等しい画素を変換色で置き換えて出力
23~16	RAPC[7:0]	H'00	R/W	指定色の R (Cb) 成分を指定
15~8	GAPC[7:0]	H'00	R/W	指定色の G (Y) 成分を指定
7~0	BAPC[7:0]	H'00	R/W	指定色の B (Cr) 成分を指定

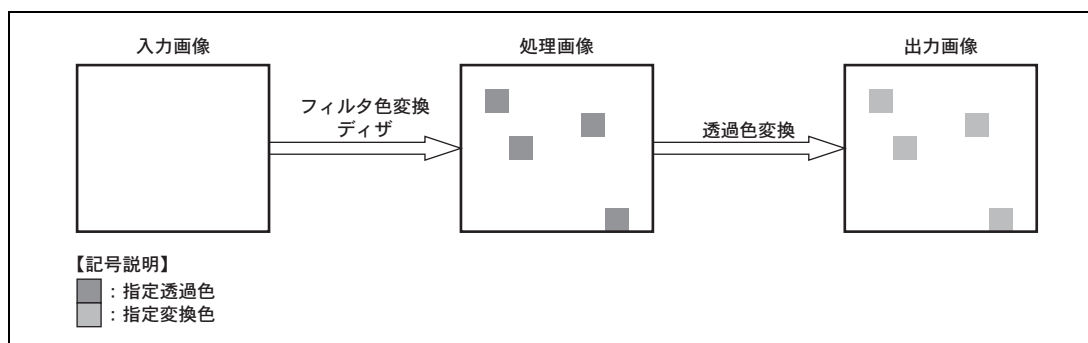


図 35.23 VEU 処理画像の指定色画素の変換色への置き換え

35.3.20 VEU 変換色レジスタ (VECCR)

VECCR は、変換色指定レジスタです。

VEU の処理画像の任意の画素が VAPCR で指定した指定色と等しい場合、本レジスタで指定した変換色と置き換えます。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。YCbCr 出力モードでは、YCbCr 4:4:4 出力のみ対応しています。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	RCHGC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GCHGC[7:0]								BCHGC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
23~16	RCHGC[7:0]	H'00	R/W	変換色の R (Cb) 成分を指定
15~8	GCHGC[7:0]	H'00	R/W	変換色の G (Y) 成分を指定
7~0	BCHGC[7:0]	H'00	R/W	変換色の B (Cr) 成分を指定

35.3.21 VEU フィル色指定レジスタ (VFLCR)

VFLCR は、フィル色指定レジスタです。

VRSCR.FMD=1 のとき、VEU の拡大縮小フィルタが生成した画素領域からクリップサイズレジスタにより指定したクリップ領域までの間にフィルされる色を指定します。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	RFILC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GFILC[7:0]								BFILC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
23~16	RFILC[7:0]	H'00	R/W	フィル色の R (Cb) 成分を指定
15~8	GFILC[7:0]	H'00	R/W	フィル色の G (Y) 成分を指定
7~0	BFILC[7:0]	H'00	R/W	フィル色の B (Cr) 成分を指定

35.3.22 VEU アドレス固定レジスタ (VAFXR)

VAFXR は、VEU から出力するデータのアドレスを固定モード出力に設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VAFX
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VAFX	0	R/W	出力アドレス固定モード 本ビットが 1 のときは、VEU の画像書き込み先アドレスを VDAYR に設定した値に固定します。本ビットが 0 のときは、出力アドレスはデータと VEDWR に応じてインクリメントします。 アドレス固定モードは、VEU の出力画像形式が RGB モードのときのみ有効です。出力画像形式が YCbCr モードのときは、本ビットを 0 に設定してください。アドレス固定モードを使用する場合は、VFMCR の MED、LPHV、ROTL、ROTR ビットをすべて 0 (メディアンフィルタ、ローパスフィルタ、回転の禁止)、VRFCR を 0 (等倍出力)、VDAYR および VRFSR の下位 3 ビットを 0 (バースト転送以外を不可) に設定してください。 0 : 出力アドレスをアドレス固定モードにしない 1 : 出力アドレスをアドレス固定モードにする

35.3.23 VEU スワッピングレジスタ (VSWPR)

VSWPR は、VEU のデータ入出力部で 64 ビットデータ内の入れ替え(スワッピング)を設定するレジスタです。アドレスを 64 ビットで区切った場合、

- すべての入出力をロングワード単位で入れ替える場合 : H'0000 0044
- すべての入出力をワード単位で入れ替える場合 : H'0000 0022
- すべての入出力をバイト単位で入れ替える場合 : H'0000 0011
- すべての入出力をMSBからLSBにわたってバイト単位で入れ替える場合 : H'0000 0077

を設定します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VEOLS	VEOWS	VEOBS	—	VEILS	VEIWS	VEIBS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
6	VEOLS	0	R/W	出力ロングワードスワップ設定 出力ロングワードスワップは、VEU の出力部で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます (図 35.24)。 0 : 出力ロングワードスワップをしない 1 : 出力ロングワードスワップをする
5	VEOWS	0	R/W	出力ワードスワップ設定 出力ワードスワップは、VEU の出力部で、64 ビットのデータに対し MSB 側 32 ビット内と LSB 側 32 ビット内をワード単位で入れ替えます (図 35.25)。 0 : 出力ワードスワップをしない 1 : 出力ワードスワップをする
4	VEOBS	0	R/W	出力バイトスワップ設定 出力バイトスワップは、VEU の出力部で、64 ビットのデータに対し各 16 ビット内において、バイト単位でデータを入れ替えます (図 35.26)。 0 : 出力バイトスワップをしない 1 : 出力バイトスワップをする

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
2	VEILS	0	R/W	入カロングワードスワップ設定 入カロングワードスワップは、VEUの入力部で、64ビットのデータに対しMSB側32ビットとLSB側32ビットをロングワード単位で入れ替えます(図35.24)。 0: 入カロングワードスワップをしない 1: 入カロングワードスワップをする
1	VEIWS	0	R/W	入カワードスワップ設定 入カワードスワップは、VEUの入力部で、64ビットのデータに対しMSB側32ビット内とLSB側32ビット内において、ワード単位でデータを入れ替えます(図35.25)。 0: 入カワードスワップをしない 1: 入カワードスワップをする
0	VEIBS	0	R/W	入カバイトスワップ設定 入カバイトスワップは、VEUの入力部で、64ビットのデータに対し各16ビット内において、バイト単位でデータを入れ替えます(図35.26)。 0: 入カバイトスワップをしない 1: 入カバイトスワップをする

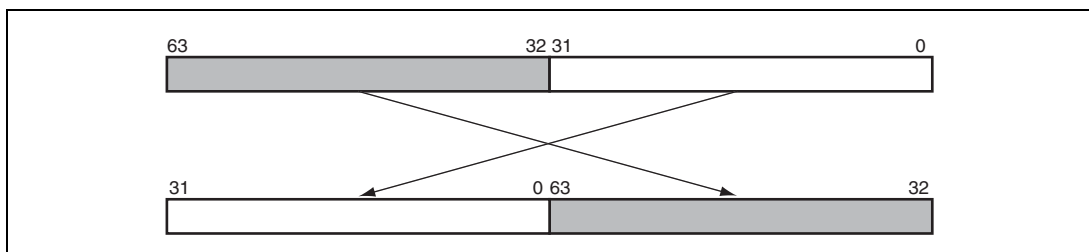


図 35.24 ロングワードスワップ時のデータスワップ前後の関係

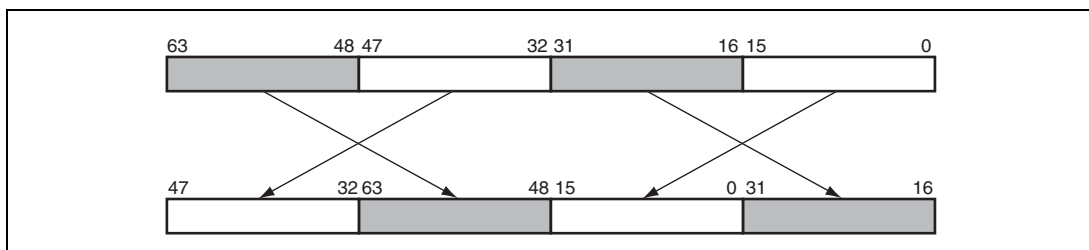


図 35.25 ワードスワップ時のデータスワップ前後の関係

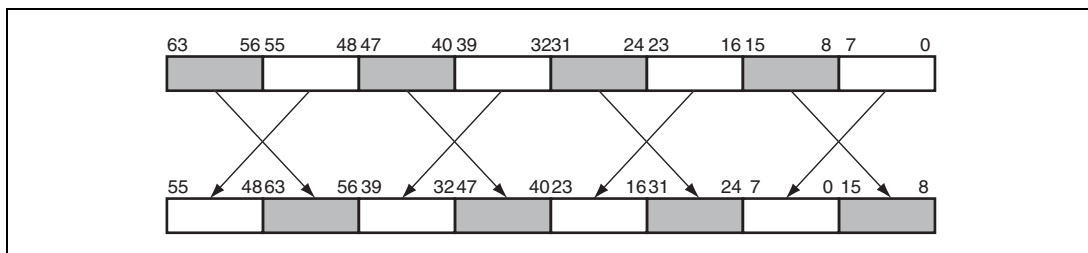


図 35.26 バイトスワップ時のデータスワップ前後の関係

35.3.24 VEU イベント割り込みイネーブルレジスタ (VEIER)

VEIER は、VEVTR のフラグを割り込み信号として出力することを禁止/許可設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破壊する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VB ENDE	—	—	—	—	—	—	—	VE ENDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBENDE	0	R/W	VEVTR.VBEND の割り込み信号出力の禁止/許可を設定 VEIER.VBENDE=1 の場合は VEVTR.VBEND=1 となった場合、割り込み信号が出力されます。VEIER.VBENDE=0 の場合は VEVTR.VBEND=1 となった場合でも、割り込み信号は出力されません。 0 : VEVTR.VBEND の割り込み信号出力を禁止 1 : VEVTR.VBEND の割り込み信号出力を許可
7~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VEENDE	0	R/W	VEVTR.VEEND の割り込み信号出力の禁止/許可を設定 VEIER.VEENDE=1 の場合は VEVTR.VEEND=1 となった場合、割り込み信号が出力されます。VEIER.VEENDE=0 の場合は VEVTR.VEEND=1 となった場合でも、割り込み信号は出力されません。 0 : VEVTR.VEEND の割り込み信号出力を禁止 1 : VEVTR.VEEND の割り込み信号出力を許可

35.3.25 VEU イベントレジスタ (VEVTR)

VEVTR は、VEU 内部で割り込みが発生した場合に、その要因を表すレジスタです。VEVTR の各要因の割り込み信号への出力許可/禁止は VEIER で設定します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VB END	—	—	—	—	—	—	—	VE END
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBEND	0	R/W	本フラグは、VEU のバンドル読み出し (N ライン読み出し) モード時、VEU が 1 回の読み出し処理 (VBSSR に設定したライン数の読み出し) が終了したときに 1 となります。本フラグが発生した場合は、VEU は読み出し再起動待ち状態となりますので、割り込み要因のクリアを行った後にアドレスレジスタの切り替えを行い、読み出し再起動 (VESTR=H'0000 0011) を行ってください。 【読み出しの場合】 0: バンドル読み出し処理時の読み出し処理状態または VBEND フラグクリア後の状態 1: バンドル読み出し処理時の再起動待ちを表すステータス 【書き込みの場合】 0: VBEND フラグの 0 クリアを行う 1: 現在の値を保持
7~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VEEND	0	R/W	本フラグは、VEU の処理がすべて終了したときに 1 となります。本フラグは、処理終了後 0 クリアしなければ 0 にはなりません。このため、次の VEU の起動前に必ず本フラグに 0 を書き込み、0 クリアする必要があります。 【読み出しの場合】 0: VEU の処理が終了していない状態または VEEND フラグクリア後の状態 1: VEU の処理が終了したことを表すステータス 【書き込みの場合】 0: VEEND フラグの 0 クリアを行う 1: 現在の値を保持

35.3.26 VEU ステータスレジスタ (VSTAR)

VSTAR は、VEU 内部のステータスおよび内部信号の状態を表示するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	INTL	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	VB PRC	—	—	—	VB READ	—	—	—	—	—	—	—	VE PRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
24	INTL	0	R	VEU の CPU への割り込み信号のアサート状態を表示 0: VEU の割り込み信号ポートに、割り込み信号がアサートされていないことを表す 1: VEU の割り込み信号ポートに、割り込み信号がアサートされていることを表す
23~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
12	VBPRC	0	R	VEU のバンドル読み出しモード動作状態。詳しくは表 35.17 を参照してください。 0: VEU がバンドル読み出し (N ライン読み出し) モードで動作を行っていないことを表す 1: VEU がバンドル読み出し (N ライン読み出し) モードで動作していることを表す
11~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBREAD	0	R	詳しくは表 35.17 を参照してください。 0: バンドル読み出し (N ライン読み出し) モードで動作中に VEU が再起動待ちであることを示す 1: バンドル読み出し (N ライン読み出し) モードで動作中に VEU が読み出し処理中であることを示す
7~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VEPRC	0	R	VESTR の VE ビットと同じ値を示します。詳しくは表 35.17 を参照してください。 0: VEU がレディー (停止状態) であることを表す 1: VEU がビジー (動作状態) であることを表す

VEUでの動作は、通常動作モードおよびバンドル読み出しモードの2つがあります。通常動作モードでは起動から処理終了までレジスタ書き換えはありません。バンドル読み出しモードでは動作中に2つの状態として、読み出し処理状態およびソフトによる再起動待ち状態があります。各状態とVSTARを読み出したときの値は表35.17のようになります。また、通常動作モードにおけるVSTARの状態遷移を図35.27、バンドル読み出しモードにおけるVSTARの状態遷移を図35.28に示します。

表 35.17 各状態でVSTARを読み出したときのレジスタ値

動作モード		VBPRC ビット	VBREAD ビット	VEPRC ビット
通常動作	停止中	0	0	0
	動作中	0	0	1
Nライン読み出しモード	停止中	0	0	0
	読み出し処理中	1	1	1
	再起動待ち	1	0	1

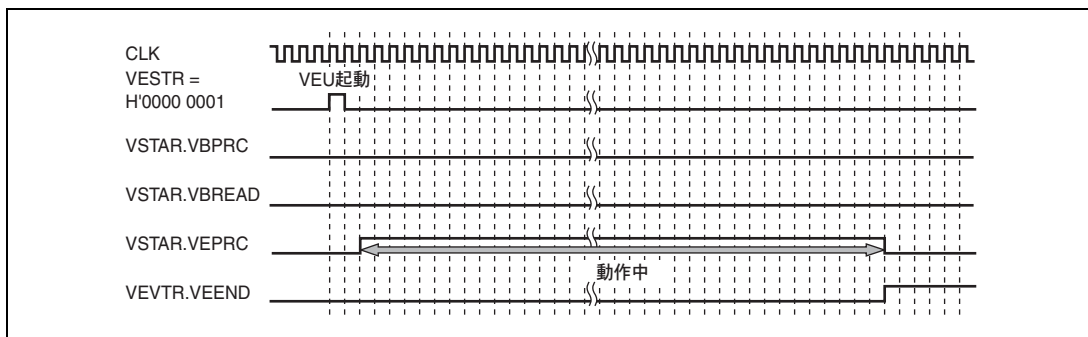


図 35.27 通常動作モードにおけるVSTARの状態遷移

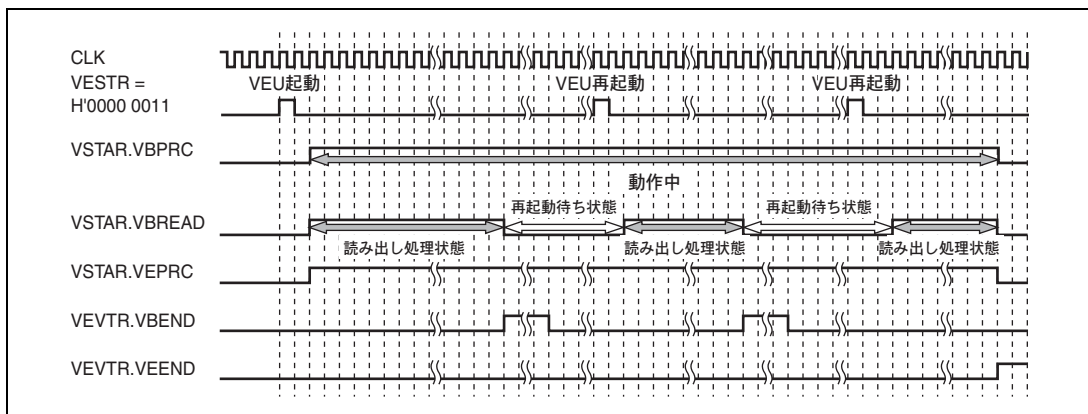


図 35.28 バンドル読み出しモードにおけるVSTARの状態遷移

35.3.27 VEU モジュールリセットレジスタ (VBSRR)

VBSRR は、VEU に対してモジュールリセットを行うレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

動作中にモジュールリセットを行った場合、CPU バスとハンドシェイクしている論理回路等に強制リセットが適用されるため、動作破綻が VEU 外部に及ぶ可能性があります。CPU バスとのハンドシェイクを正常に行って終了させる場合は、「35.3.1 VEU 起動レジスタ (VESTR)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ALL RST	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	ALLRST	0	W	モジュールリセット ALLRST ビットに 1 を書き込むと、VEU の内部のすべての制御信号に対してリセットが適用されます。 0 : 設定禁止 1 : VEU 内部のリセットを行う
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

35.3.28 VEU リサイズ通過帯域設定レジスタ (VRPBR)

VRPBR レジスタは、拡大縮小時の信号通過帯域を設定します。VRFCR、VRFSR レジスタと合わせて設定してください。本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	VBW[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	HBW[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
22~16	VBW[6:0]	H'00	R/W	拡大縮小時の縦方向の信号通過帯域を設定します。
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6~0	HBW[6:0]	H'00	R/W	拡大縮小時の横方向の信号通過帯域を設定します。

縦方向の拡大時 (VRFCR.VMNT が 0 の場合) は、VRPBR.VBW に 64 を設定してください。

縦方向の縮小時 (VRFCR.VMNT が 0 以外の場合) については、以下の式に従い VRPBR.VBW を設定してください。

$$VSPBR.VBW = \left(64 \times \frac{4096 \times VMANTpre}{4096 \times VRFCR.VMNT + VRFCR.VFRC} \right)$$

ただし、 $VMANTpre$ は

$$4(8 \leq VRFCR.VMNT < 16)$$

$$2(4 \leq VRFCR.VMNT < 8)$$

$$1(1 \leq VRFCR.VMNT < 4)$$

となります。また、 $\langle A \rangle$ は数値 A の小数点以下を切り捨てる演算です。

横方向の拡大時 (VRFCR.HMNT が 0 の場合) は、VRPBR.HBW に 64 を設定してください。

横方向の縮小時 (VRFCR.HMNT が 0 以外の場合) については、以下の式に従い VRPBR.HBW を設定してください。

$$VSPBR.HBW = \left(64 \times \frac{4096 \times HMANTpre}{4096 \times VRFCR.HMNT + VRFCR.HFRC} \right)$$

ただし、 $HMANTpre$ は

$$4(8 \leq VRFCR.HMNT < 16)$$

$$2(4 \leq VRFCR.HMNT < 8)$$

$$1(1 \leq VRFCR.HMNT < 4)$$

となります。また、 $\langle A \rangle$ は数値 A の小数点以下を切り捨てる演算です。

35.4 使用上の注意事項

(1) 動作中の制限事項

VEU の動作中に、CSTP (クロックストップ) または MSTP (モジュールストップ) を行わないでください。

(2) 入力制限事項

本文中の制限事項と本表の制限事項の間に相違があった場合は、本表の制限事項を優先します。

表 35.18 入出力制限事項

項目	バック	制限事項
入力	RGB565、 4 byte/pixel	<ul style="list-style-type: none"> 入力開始アドレスはロングワード単位で指定する。 原画像 (メモリ) の横幅は、ソース画像 2 画素に相当するバイト数で指定する。
	その他	<ul style="list-style-type: none"> 入力開始アドレスはロングワード単位で指定する。ただし、スタフィングの RGB バック入力時は、phase0 のバックから読み出しを開始するようアドレスを指定する。 原画像 (メモリ) の横幅は、ソース画像 4 画素に相当するバイト数の単位で指定する。
出力	RGB565 4 byte/pixel	<ul style="list-style-type: none"> 出力アドレスはロングワード単位で指定する。 出力先画像 (メモリ) の横幅は、デスティネーション画像 2 画素に相当するバイト数で指定する。
	その他	<ul style="list-style-type: none"> 出力アドレスはロングワード単位で指定する。 出力先画像 (メモリ) の横幅は、デスティネーション画像 4 画素に相当するバイト数の単位で指定する。

36. 汎用 I/O ポート (GPIO)

36.1 概要

GPIO ブロックは、汎用入出力と割り込み入力のポートを 32 チャンネルサポートする機能ブロックです。GPIO ブロックが 6 個搭載されます。(合計のポート数は最大 171 チャンネルで、そのうち 12 チャンネルは汎用入力と割り込み入力専用です。ただしピンマルチプレクスされています。) 汎用出力に関しては、レジスタへの書き込みにより汎用ポート端子へ信号が出力され、汎用入力に関しては、汎用ポート端子への入力により、レジスタに信号入力の有無が表示されます。更に汎用ポート端子へ割り込み入力した場合は、レジスタに割り込み入力の有無が表示されると共に、割り込み制御ブロックを経由して SH-4A コアに割り込みを要求します。これらの機能はレジスタへの設定により 32 チャンネルのポートごとに使用する機能を選択することが可能です。また、各ポートではそれぞれ信号の正論理/負論理、エッジ/レベルを設定することも可能です。特に、0 チャンネル~3 チャンネルの 4 つのポートでは入力ポートに設定時に外部からのチャタリングを防止するフィルタリング機能を使用することも可能です。

36.1.1 GPIO ブロック図

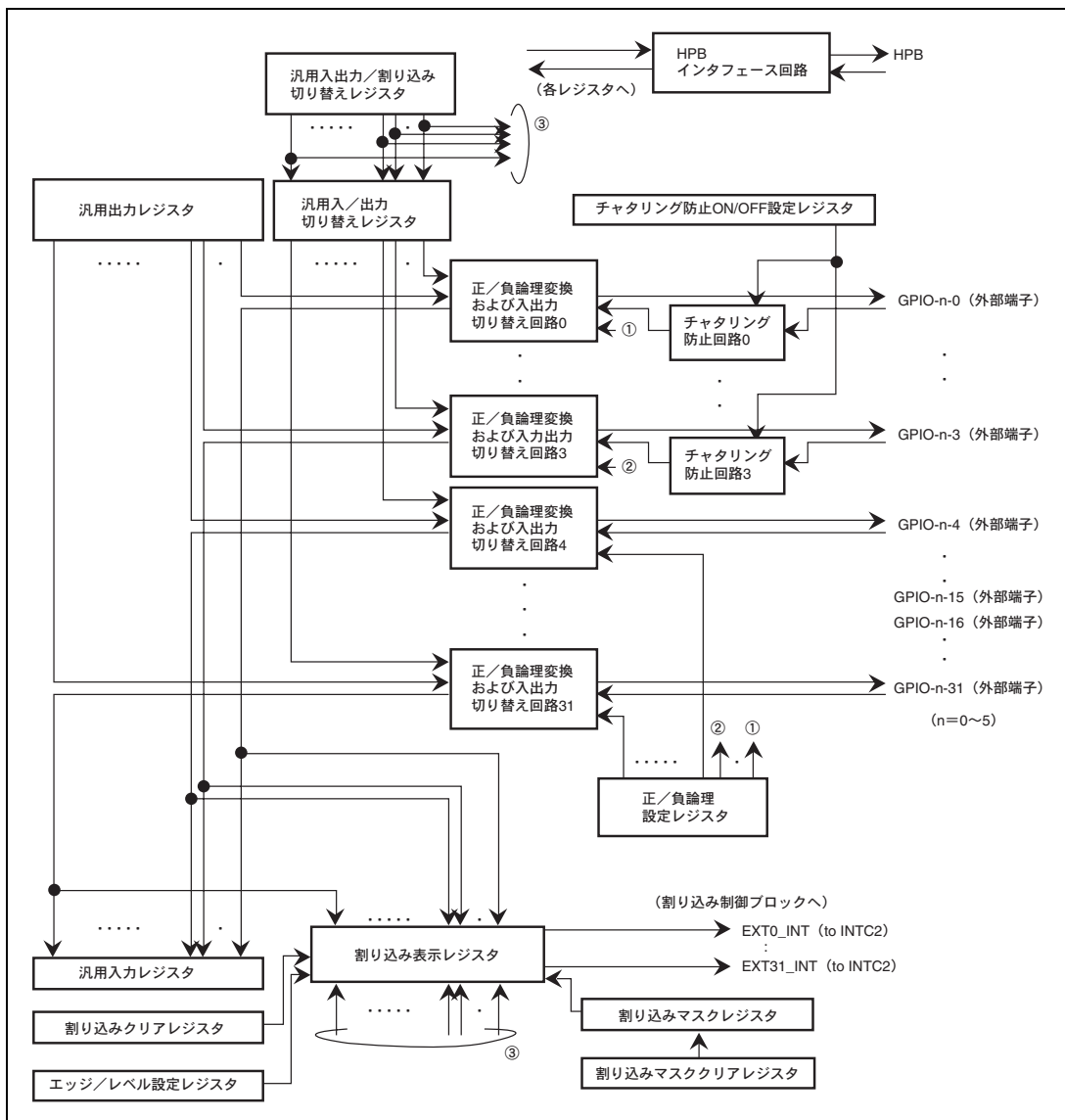


図 36.1 GPIO ブロック構成図

36.1.2 GPIO ブロック端子一覧

表 36.1 に GPIO の端子構成を示します。

表 36.1 GPIO 端子構成

信号名	端子名	入出力	説明
入出力/割り込み入力兼用ポート	GP-0-0~GP-5-31	入出力	汎用入出力、割り込み入力

36.1.3 モード切り替え操作方法

GPIO ブロックの汎用入出力/割り込み入力兼用ピン (GPIO-n-0~GPIO-n-31) のモード切り替え操作は、いずれも 32 チャンネル分、個別ビットで対応している 2 種類のレジスタを用いて行います。まず、1 つ目のレジスタである「汎用入出力/割り込み切り替えレジスタ」に対して、各チャンネルごとに汎用入出力として使用するのか、あるいは割り込み入力として使用するのかを設定します。汎用入出力モードとして設定した場合は、2 つ目のレジスタである「汎用入/出力切り替えレジスタ」の該当ビットの状態に従います。具体的には、「汎用入/出力切り替えレジスタ」の該当ビットが汎用出力モード設定であれば、そのポート端子を出力方向に向けて、「汎用出力レジスタ」の該当ビットの設定値が端子に出力されるルートを形成します。汎用入力モードとして設定した場合は、そのポート端子を入力方向に向けると共に、受信した信号が「汎用入力レジスタ」に表示されるルートを形成します。一方、割り込み入力モードとして使用するよう該当ポートのビット設定を行った場合、GPIO ブロックは、そのポート端子を入力方向に向けると共に、受信した信号が「割り込み表示レジスタ」に表示されるルートを形成します。この場合、2 つ目のレジスタである「汎用入/出力切り替えレジスタ」の設定値は意味を持ちません。

36.2 ポート端子の仕様

汎用入出力／外部割り込み入力の兼用ポートとして 32 チャンネル分の 32 本を用意します。各端子の機能を表 36.2 に示します。

表 36.2 ポート端子の仕様 (1/6)

モジュール	番号	名称	機能	備考
GPIO-0 対象レジスタ IOINTSEL0 INOUTSEL0 OUTDT0 INDT0 INTDT0 INTCLR0 INTMSK0 MSKCLR0 POSNEG0 EDGLEVEL0 FILONOFF0	1	GP-0-0	入出力／割り込み入力兼用ポート A0	• 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。
	2	GP-0-1	入出力／割り込み入力兼用ポート A1	
	3	GP-0-2	入出力／割り込み入力兼用ポート A2	
	4	GP-0-3	入出力／割り込み入力兼用ポート A3	• 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。
	5	GP-0-4	入出力／割り込み入力兼用ポート A4	
	6	GP-0-5	入出力／割り込み入力兼用ポート A5	
	7	GP-0-6	入出力／割り込み入力兼用ポート A6	
	8	GP-0-7	入出力／割り込み入力兼用ポート A7	
	9	GP-0-8	入出力／割り込み入力兼用ポート A8	
	10	GP-0-9	入出力／割り込み入力兼用ポート A9	• 汎用出力モード時、出力の信号極性は、各ポートごとに個別設定可。
	11	GP-0-10	入出力／割り込み入力兼用ポート A10	
	12	GP-0-11	入出力／割り込み入力兼用ポート A11	
	13	GP-0-12	入出力／割り込み入力兼用ポート A12	
	14	GP-0-13	入出力／割り込み入力兼用ポート A13	
	15	GP-0-14	入出力／割り込み入力兼用ポート A14	
	16	GP-0-15	入出力／割り込み入力兼用ポート A15	• 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ／レベルの個別設定可。
	17	GP-0-16	入出力／割り込み入力兼用ポート A16	
	18	GP-0-17	入出力／割り込み入力兼用ポート A17	
	19	GP-0-18	入出力／割り込み入力兼用ポート A18	
	20	GP-0-19	入出力／割り込み入力兼用ポート A19	
	21	GP-0-20	入出力／割り込み入力兼用ポート A20	
	22	GP-0-21	入出力／割り込み入力兼用ポート A21	
	23	GP-0-22	入出力／割り込み入力兼用ポート A22	
	24	GP-0-23	入出力／割り込み入力兼用ポート A23	
	25	GP-0-24	入出力／割り込み入力兼用ポート A24	
	26	GP-0-25	入出力／割り込み入力兼用ポート A25	
	27	GP-0-26	入出力／割り込み入力兼用ポート A26	
	28	GP-0-27	入出力／割り込み入力兼用ポート A27	
	29	GP-0-28	入出力／割り込み入力兼用ポート A28	
	30	GP-0-29	入出力／割り込み入力兼用ポート A29	
	31	GP-0-30	入出力／割り込み入力兼用ポート A30	
	32	GP-0-31	入出力／割り込み入力兼用ポート A31	

表 36.2 ポート端子の仕様 (2/6)

モジュール	番号	名称	機能	備考
GPIO-1 対象レジスタ IOINTSEL1 INOUTSEL1 OUTDT1 INDT1 INTDT1 INTCLR1 INTMSK1 MSKCLR1 POSNEG1 EDGLEVEL1 FILONOFF1	33	GP-1-0	入出力/割り込み入力兼用ポート A0	• 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。
	34	GP-1-1	入出力/割り込み入力兼用ポート A1	
	35	GP-1-2	入出力/割り込み入力兼用ポート A2	
	36	GP-1-3	入出力/割り込み入力兼用ポート A3	• 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。
	37	GP-1-4	入出力/割り込み入力兼用ポート A4	
	38	GP-1-5	入出力/割り込み入力兼用ポート A5	
	39	GP-1-6	入出力/割り込み入力兼用ポート A6	• 汎用出力モード時、出力の信号極性は • 各ポートごとに個別設定可。
	40	GP-1-7	入出力/割り込み入力兼用ポート A7	
	41	GP-1-8	入出力/割り込み入力兼用ポート A8	
	42	GP-1-9	入出力/割り込み入力兼用ポート A9	• 割り込み入力モード時、割り込みの信号極性は、各ポートごとに個別設定可。
	43	GP-1-10	入出力/割り込み入力兼用ポート A10	
	44	GP-1-11	入出力/割り込み入力兼用ポート A11	
	45	GP-1-12	入出力/割り込み入力兼用ポート A12	• 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ/レベルの個別設定可。
	46	GP-1-13	入出力/割り込み入力兼用ポート A13	
	47	GP-1-14	入出力/割り込み入力兼用ポート A14	
	48	GP-1-15	入出力/割り込み入力兼用ポート A15	
	49	GP-1-16	入出力/割り込み入力兼用ポート A16	
	50	GP-1-17	入出力/割り込み入力兼用ポート A17	
	51	GP-1-18	入出力/割り込み入力兼用ポート A18	
	52	GP-1-19	入出力/割り込み入力兼用ポート A19	
	53	GP-1-20	入出力/割り込み入力兼用ポート A20	
	54	GP-1-21	入出力/割り込み入力兼用ポート A21	
	55	GP-1-22	入出力/割り込み入力兼用ポート A22	
	56	GP-1-23	入出力/割り込み入力兼用ポート A23	
	57	GP-1-24	入出力/割り込み入力兼用ポート A24	
	58	GP-1-25	入出力/割り込み入力兼用ポート A25	
	59	GP-1-26	入出力/割り込み入力兼用ポート A26	
	60	GP-1-27	入出力/割り込み入力兼用ポート A27	
	61	GP-1-28	入出力/割り込み入力兼用ポート A28	
	62	GP-1-29	入出力/割り込み入力兼用ポート A29	
	63	GP-1-30	入出力/割り込み入力兼用ポート A30	
64	GP-1-31	入出力/割り込み入力兼用ポート A31		

表 36.2 ポート端子の仕様 (3/6)

モジュール	番号	名称	機能	備考
GPIO-2 対象レジスタ IOINTSEL2 INOUTSEL2 OUTDT2 INDT2 INTDT2 INTCLR2 INTMSK2 MSKCLR2 POSNEG2 EDGLEVEL2 FILONOFF2	65	GP-2-0	入出力/割り込み入力兼用ポート A0	<ul style="list-style-type: none"> 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。 汎用出力モード時、出力の信号極性は、各ポートごとに個別設定可。 割り込み入力モード時、割り込みの信号極性は、各ポートごとに個別設定可。 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ/レベルの個別設定可。
	66	GP-2-1	入出力/割り込み入力兼用ポート A1	
	67	GP-2-2	入出力/割り込み入力兼用ポート A2	
	68	GP-2-3	入出力/割り込み入力兼用ポート A3	
	69	GP-2-4	入出力/割り込み入力兼用ポート A4	
	70	GP-2-5	入出力/割り込み入力兼用ポート A5	
	71	GP-2-6	入出力/割り込み入力兼用ポート A6	
	72	GP-2-7	入出力/割り込み入力兼用ポート A7	
	73	GP-2-8	入出力/割り込み入力兼用ポート A8	
	74	GP-2-9	入出力/割り込み入力兼用ポート A9	
	75	GP-2-10	入出力/割り込み入力兼用ポート A10	
	76	GP-2-11	入出力/割り込み入力兼用ポート A11	
	77	GP-2-12	入出力/割り込み入力兼用ポート A12	
	78	GP-2-13	入出力/割り込み入力兼用ポート A13	
	79	GP-2-14	入出力/割り込み入力兼用ポート A14	
	80	GP-2-15	入出力/割り込み入力兼用ポート A15	
	81	GP-2-16	入出力/割り込み入力兼用ポート A16	
	82	GP-2-17	入出力/割り込み入力兼用ポート A17	
	83	GP-2-18	入出力/割り込み入力兼用ポート A18	
	84	GP-2-19	入出力/割り込み入力兼用ポート A19	
	85	GP-2-20	入出力/割り込み入力兼用ポート A20	
	86	GP-2-21	入出力/割り込み入力兼用ポート A21	
	87	GP-2-22	入出力/割り込み入力兼用ポート A22	
	88	GP-2-23	入出力/割り込み入力兼用ポート A23	
	89	GP-2-24	入出力/割り込み入力兼用ポート A24	
	90	GP-2-25	入出力/割り込み入力兼用ポート A25	
	91	GP-2-26	入出力/割り込み入力兼用ポート A26	
	92	GP-2-27	入出力/割り込み入力兼用ポート A27	
	93	GP-2-28	入出力/割り込み入力兼用ポート A28	
	94	GP-2-29	入出力/割り込み入力兼用ポート A29	
	95	GP-2-30	入出力/割り込み入力兼用ポート A30	
96	GP-2-31	入出力/割り込み入力兼用ポート A31		

表 36.2 ポート端子の仕様 (4/6)

モジュール	番号	名称	機能	備考
GPIO-3 対象レジスタ IOINTSEL3 INOUTSEL3 OUTDT3 INDT3 INTDT3 INTCLR3 INTMSK3 MSKCLR3 POSNEG3 EDGLEVEL3 FILONOFF3	97	GP-3-0	入出力/割り込み入力兼用ポート A0	<ul style="list-style-type: none"> 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。 汎用出力モード時、出力の信号極性は、各ポートごとに個別設定可。 割り込み入力モード時、割り込みの信号極性は、各ポートごとに個別設定可。 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ/レベルの個別設定可。
	98	GP-3-1	入出力/割り込み入力兼用ポート A1	
	99	GP-3-2	入出力/割り込み入力兼用ポート A2	
	100	GP-3-3	入出力/割り込み入力兼用ポート A3	
	101	GP-3-4	入出力/割り込み入力兼用ポート A4	
	102	GP-3-5	入出力/割り込み入力兼用ポート A5	
	103	GP-3-6	入出力/割り込み入力兼用ポート A6	
	104	GP-3-7	入出力/割り込み入力兼用ポート A7	
	105	GP-3-8	入出力/割り込み入力兼用ポート A8	
	106	GP-3-9	入出力/割り込み入力兼用ポート A9	
	107	GP-3-10	入出力/割り込み入力兼用ポート A10	
	108	GP-3-11	入出力/割り込み入力兼用ポート A11	
	109	GP-3-12	入出力/割り込み入力兼用ポート A12	
	110	GP-3-13	入出力/割り込み入力兼用ポート A13	
	111	GP-3-14	入出力/割り込み入力兼用ポート A14	
	112	GP-3-15	入出力/割り込み入力兼用ポート A15	
	113	GP-3-16	入出力/割り込み入力兼用ポート A16	
	114	GP-3-17	入出力/割り込み入力兼用ポート A17	
	115	GP-3-18	入出力/割り込み入力兼用ポート A18	
	116	GP-3-19	入出力/割り込み入力兼用ポート A19	
	117	GP-3-20	入出力/割り込み入力兼用ポート A20	
	118	GP-3-21	入出力/割り込み入力兼用ポート A21	
	119	GP-3-22	入出力/割り込み入力兼用ポート A22	
	120	GP-3-23	入出力/割り込み入力兼用ポート A23	
	121	GP-3-24	入出力/割り込み入力兼用ポート A24	
	122	GP-3-25	入出力/割り込み入力兼用ポート A25	
	123	GP-3-26	入出力/割り込み入力兼用ポート A26	
	124	GP-3-27	入出力/割り込み入力兼用ポート A27	
	125	GP-3-28	入出力/割り込み入力兼用ポート A28	
	126	GP-3-29	入出力/割り込み入力兼用ポート A29	
	127	GP-3-30	入出力/割り込み入力兼用ポート A30	
128	GP-3-31	入出力/割り込み入力兼用ポート A31		

表 36.2 ポート端子の仕様 (5/6)

モジュール	番号	名称	機能	備考
GPIO-4 対象レジスタ IOINTSEL4 INOUTSEL4 OUTDT4 INDT4 INTDT4 INTCLR4 INTMSK4 MSKCLR4 POSNEG4 EDGLEVEL4 FILONOFF4	129	GP-4-0	入出力/割り込み入力兼用ポート A0	• 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。
	130	GP-4-1	入出力/割り込み入力兼用ポート A1	
	131	GP-4-2	入出力/割り込み入力兼用ポート A2	
	132	GP-4-3	入出力/割り込み入力兼用ポート A3	• 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。
	133	GP-4-4	入出力/割り込み入力兼用ポート A4	
	134	GP-4-5	入出力/割り込み入力兼用ポート A5	
	135	GP-4-6	入出力/割り込み入力兼用ポート A6	• 汎用出力モード時、出力の信号極性は、各ポートごとに個別設定可。
	136	GP-4-7	入出力/割り込み入力兼用ポート A7	
	137	GP-4-8	入出力/割り込み入力兼用ポート A8	
	138	GP-4-9	入出力/割り込み入力兼用ポート A9	• 割り込み入力モード時、割り込みの信号極性は、各ポートごとに個別設定可。
	139	GP-4-10	入出力/割り込み入力兼用ポート A10	
	140	GP-4-11	入出力/割り込み入力兼用ポート A11	
	141	GP-4-12	入出力/割り込み入力兼用ポート A12	• 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ/レベルの個別設定可。
	142	GP-4-13	入出力/割り込み入力兼用ポート A13	
	143	GP-4-14	入出力/割り込み入力兼用ポート A14	
	144	GP-4-15	入出力/割り込み入力兼用ポート A15	
	145	GP-4-16	入出力/割り込み入力兼用ポート A16	
	146	GP-4-17	入出力/割り込み入力兼用ポート A17	
	147	GP-4-18	入出力/割り込み入力兼用ポート A18	
	148	GP-4-19	入出力/割り込み入力兼用ポート A19	
	149	GP-4-20	入出力/割り込み入力兼用ポート A20	
	150	GP-4-21	入出力/割り込み入力兼用ポート A21	
	151	GP-4-22	入力/割り込み入力兼用ポート A22	
	152	GP-4-23	入力/割り込み入力兼用ポート A23	
	153	GP-4-24	入力/割り込み入力兼用ポート A24	
	154	GP-4-25	入力/割り込み入力兼用ポート A25	
	155	GP-4-26	入出力/割り込み入力兼用ポート A26	
	156	GP-4-27	入出力/割り込み入力兼用ポート A27	
	157	GP-4-28	入出力/割り込み入力兼用ポート A28	
	158	GP-4-29	入出力/割り込み入力兼用ポート A29	
	159	GP-4-30	入出力/割り込み入力兼用ポート A30	
160	GP-4-31	入出力/割り込み入力兼用ポート A31		

表 36.2 ポート端子の仕様 (6/6)

モジュール	番号	名 称	機 能	備 考
GPIO-5	161	GP-5-0	入出力/割り込み入力兼用ポート A0	
	162	—	—	
対象レジスタ	163	GP-5-2	入力/割り込み入力兼用ポート A2	• 汎用入出力と割り込み入力のモード切り替えは、各ポートごとに個別設定可。
IOINTSEL5	164	GP-5-3	入力/割り込み入力兼用ポート A3	
INOUTSEL5	165	GP-5-4	入力/割り込み入力兼用ポート A4	• 汎用入力モード時、入力の信号極性は、各ポートごとに個別設定可。
OUTDT5	166	GP-5-5	入力/割り込み入力兼用ポート A5	
INDT5	167	GP-5-6	入力/割り込み入力兼用ポート A6	• 汎用出力モード時、出力の信号極性は、各ポートごとに個別設定可。
INTDT5	168	GP-5-7	入力/割り込み入力兼用ポート A7	
INTCLR5	169	GP-5-8	入力/割り込み入力兼用ポート A8	• 割り込み入力モード時、割り込みの信号極性は、各ポートごとに個別設定可。
INTMSK5	170	GP-5-9	入力/割り込み入力兼用ポート A9	
MSKCLR5	171	GP-5-10	入出力/割り込み入力兼用ポート A10	• 割り込み入力モード時、割り込み信号検出条件は、各ポートごとにエッジ/レベルの個別設定可。
POSNEG5	172	GP-5-11	入出力/割り込み入力兼用ポート A11	
EDGLEVEL5	173	—	—	
FILONOFF5	174	—	—	
	175	—	—	
	176	—	—	
	177	—	—	
	178	—	—	
	179	—	—	
	180	—	—	
	181	—	—	
	182	—	—	
	183	—	—	
	184	—	—	
	185	—	—	
	186	—	—	
	187	—	—	
	188	—	—	
	189	—	—	
	190	—	—	
	191	—	—	
	192	—	—	

36.3 各モードの動作

36.3.1 汎用入出力モード

任意のポートに対して、対応する「汎用入出力／割り込み切り替えレジスタ」の該当ビットを汎用入出力モードに設定した場合、本ポートは汎用入出力モードとして動作します。更に汎用入出力モード時における入力モードと出力モードとの切り替えは、「汎用入／出力切り替えレジスタ」の該当ビットの設定により行います。汎用出力モードとして設定されたポートは、「汎用出力レジスタ」の該当ビットの値がポート端子に反映されます。ただし、このときの出力信号極性としては、「正／負論理設定レジスタ」の該当ビットの設定により決定します。出力信号を停止させる場合は、「汎用出力レジスタ」の該当ビットをクリアしてください。また、汎用入力モードとして設定されたポートに関しても「正／負論理設定レジスタ」の該当ビットの設定により入力信号極性が決定され、これを元にアクティブな極性の入力信号を受信した場合に、「汎用入力レジスタ」に受信したことが表示されます。「汎用入力レジスタ」は、FF による入力信号保持は行いません。

36.3.2 割り込み入力モード

任意のポートに対して、対応する「汎用入出力／割り込み切り替えレジスタ」の該当ビットを割り込み入力モードに設定した場合、本ポートは割り込み入力モードとして動作し、外部からの割り込みに対して「割り込み表示レジスタ」の該当ビットに割り込みを表示して、割り込み制御ブロックに割り込み信号を出力します。割り込み入力モードでは、外部からの入力信号に対して、信号極性や、エッジまたはレベルの受信条件をポートごとに設定できます。それぞれ「正／負論理設定レジスタ」と「エッジ／レベル設定レジスタ」の該当ビットを設定ください。

「エッジ／レベル設定レジスタ」をエッジ設定とした場合、「割り込み表示レジスタ」の該当ビットは、外部からの入力がパルスであっても、この入力を FF で保持し、割り込み制御ブロックへの割り込み信号出力はレベルで行います。この割り込み信号の出力は、「割り込み表示レジスタ」における割り込み表示中の全ビットに対し、「割り込みクリアレジスタ」の該当ビットをすべてクリア設定することにより停止します。ただし、「エッジ／レベル設定レジスタ」をレベル設定として、外部からの入力信号もレベルの場合、「割り込み表示レジスタ」の該当ビットは、FF で保持しない構成となります。

「割り込み表示レジスタ」に表示された割り込みは、「割り込みマスクレジスタ」でビット対応に個別でマスクが可能です。割り込み表示が点火しているすべてのビットがマスク設定されている時、割り込み制御ブロックへ出力する割り込み信号は出力されません。なお、マスクの解除は、「割り込みマスククリアレジスタ」への該当ビットライトで解除できます。

36.4 GPIO ブロック内部レジスタ

全部で 11 本のレジスタからなる GPIO ブロック内部のレジスタは、それぞれが 32 ビットの構成を採っています。また、これらのレジスタは、HPB インタフェースからのアクセスが可能です。以下に各レジスタの機能を説明します。

- GPIO-0

アドレス	レジスタ名	略称
H'FFC40000	GPIO-0 汎用入出力/割り込み切り替えレジスタ	IOINTSEL0
H'FFC40004	GPIO-0 汎用入/出力切り替えレジスタ	INOUTSEL0
H'FFC40008	GPIO-0 汎用出力レジスタ	OUTDT0
H'FFC4000C	GPIO-0 汎用入力レジスタ	INDT0
H'FFC40010	GPIO-0 割り込み表示レジスタ	INTDT0
H'FFC40014	GPIO-0 割り込みクリアレジスタ	INTCLR0
H'FFC40018	GPIO-0 割り込みマスクレジスタ	INTMSK0
H'FFC4001C	GPIO-0 割り込みマスククリアレジスタ	MSKCLR0
H'FFC40020	GPIO-0 正/負論理設定レジスタ	POSNEG0
H'FFC40024	GPIO-0 エッジ/レベル設定レジスタ	EDGLEVEL0
H'FFC40028	GPIO-0 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF0

- GPIO-1

アドレス	レジスタ名	略称
H'FFC41000	GPIO-1 汎用入出力/割り込み切り替えレジスタ	IOINTSEL1
H'FFC41004	GPIO-1 汎用入/出力切り替えレジスタ	INOUTSEL1
H'FFC41008	GPIO-1 汎用出力レジスタ	OUTDT1
H'FFC4100C	GPIO-1 汎用入力レジスタ	INDT1
H'FFC41010	GPIO-1 割り込み表示レジスタ	INTDT1
H'FFC41014	GPIO-1 割り込みクリアレジスタ	INTCLR1
H'FFC41018	GPIO-1 割り込みマスクレジスタ	INTMSK1
H'FFC4101C	GPIO-1 割り込みマスククリアレジスタ	MSKCLR1
H'FFC41020	GPIO-1 正/負論理設定レジスタ	POSNEG1
H'FFC41024	GPIO-1 エッジ/レベル設定レジスタ	EDGLEVEL1
H'FFC41028	GPIO-1 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF1

- GPIO-2

アドレス	レジスタ名	略称
H'FFC42000	GPIO-2 汎用入出力/割り込み切り替えレジスタ	IOINTSEL2
H'FFC42004	GPIO-2 汎用入/出力切り替えレジスタ	INOUTSEL2
H'FFC42008	GPIO-2 汎用出力レジスタ	OUTDT2
H'FFC4200C	GPIO-2 汎用入力レジスタ	INDT2
H'FFC42010	GPIO-2 割り込み表示レジスタ	INTDT2
H'FFC42014	GPIO-2 割り込みクリアレジスタ	INTCLR2
H'FFC42018	GPIO-2 割り込みマスクレジスタ	INTMSK2
H'FFC4201C	GPIO-2 割り込みマスククリアレジスタ	MSKCLR2
H'FFC42020	GPIO-2 正/負論理設定レジスタ	POSNEG2
H'FFC42024	GPIO-2 エッジ/レベル設定レジスタ	EDGLEVEL2
H'FFC42028	GPIO-2 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF2

- GPIO-3

アドレス	レジスタ名	略称
H'FFC43000	GPIO-3 汎用入出力/割り込み切り替えレジスタ	IOINTSEL3
H'FFC43004	GPIO-3 汎用入/出力切り替えレジスタ	INOUTSEL3
H'FFC43008	GPIO-3 汎用出力レジスタ	OUTDT3
H'FFC4300C	GPIO-3 汎用入力レジスタ	INDT3
H'FFC43010	GPIO-3 割り込み表示レジスタ	INTDT3
H'FFC43014	GPIO-3 割り込みクリアレジスタ	INTCLR3
H'FFC43018	GPIO-3 割り込みマスクレジスタ	INTMSK3
H'FFC4301C	GPIO-3 割り込みマスククリアレジスタ	MSKCLR3
H'FFC43020	GPIO-3 正/負論理設定レジスタ	POSNEG3
H'FFC43024	GPIO-3 エッジ/レベル設定レジスタ	EDGLEVEL3
H'FFC43028	GPIO-3 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF3

- GPIO-4

アドレス	レジスタ名	略称
H'FFC44000	GPIO-4 汎用入出力/割り込み切り替えレジスタ	IOINTSEL4
H'FFC44004	GPIO-4 汎用入/出力切り替えレジスタ	INOUTSEL4
H'FFC44008	GPIO-4 汎用出力レジスタ	OUTD4
H'FFC4400C	GPIO-4 汎用入力レジスタ	INDT4
H'FFC44010	GPIO-4 割り込み表示レジスタ	INTD4
H'FFC44014	GPIO-4 割り込みクリアレジスタ	INTCLR4
H'FFC44018	GPIO-4 割り込みマスクレジスタ	INTMSK4
H'FFC4401C	GPIO-4 割り込みマスククリアレジスタ	MSKCLR4
H'FFC44020	GPIO-4 正/負論理設定レジスタ	POSNEG4
H'FFC44024	GPIO-4 エッジ/レベル設定レジスタ	EDGLEVEL4
H'FFC44028	GPIO-4 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF4

- GPIO-5

アドレス	レジスタ名	略称
H'FFC45000	GPIO-5 汎用入出力/割り込み切り替えレジスタ	IOINTSEL5
H'FFC45004	GPIO-5 汎用入/出力切り替えレジスタ	INOUTSEL5
H'FFC45008	GPIO-5 汎用出力レジスタ	OUTD5
H'FFC4500C	GPIO-5 汎用入力レジスタ	INDT5
H'FFC45010	GPIO-5 割り込み表示レジスタ	INTD5
H'FFC45014	GPIO-5 割り込みクリアレジスタ	INTCLR5
H'FFC45018	GPIO-5 割り込みマスクレジスタ	INTMSK5
H'FFC4501C	GPIO-5 割り込みマスククリアレジスタ	MSKCLR5
H'FFC45020	GPIO-5 正/負論理設定レジスタ	POSNEG5
H'FFC45024	GPIO-5 エッジ/レベル設定レジスタ	EDGLEVEL5
H'FFC45028	GPIO-5 チャタリング防止 ON/OFF 設定レジスタ	FILONOFF5

【注】 上記 GPIO-0~5 記載のアドレス以外への書き込みは行わないでください。
書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

• GPIO-0 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL0	H'00000000	保持	保持	保持	—	初期化
INOUTSEL0	H'00000000	保持	保持	保持	—	初期化
OUTDT0	H'00000000	保持	保持	保持	—	初期化
INDT0	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT0	H'00000000	保持	保持	保持	—	初期化
INTCLR0	H'00000000	保持	保持	保持	—	初期化
INTMSK0	H'00000000	保持	保持	保持	—	初期化
MSKCLR0	H'00000000	保持	保持	保持	—	初期化
POSNEG0	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL0	H'00000000	保持	保持	保持	—	初期化
FILONOFF0	H'00000000	保持	保持	保持	—	初期化

• GPIO-1 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL1	H'00000000	保持	保持	保持	—	初期化
INOUTSEL1	H'00000000	保持	保持	保持	—	初期化
OUTDT1	H'00000000	保持	保持	保持	—	初期化
INDT1	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT1	H'00000000	保持	保持	保持	—	初期化
INTCLR1	H'00000000	保持	保持	保持	—	初期化
INTMSK1	H'00000000	保持	保持	保持	—	初期化
MSKCLR1	H'00000000	保持	保持	保持	—	初期化
POSNEG1	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL1	H'00000000	保持	保持	保持	—	初期化
FILONOFF1	H'00000000	保持	保持	保持	—	初期化

• GPIO-2 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL2	H'00000000	保持	保持	保持	—	初期化
INOUTSEL2	H'00000000	保持	保持	保持	—	初期化
OUTDT2	H'00000000	保持	保持	保持	—	初期化
INDT2	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT2	H'00000000	保持	保持	保持	—	初期化
INTCLR2	H'00000000	保持	保持	保持	—	初期化
INTMSK2	H'00000000	保持	保持	保持	—	初期化
MSKCLR2	H'00000000	保持	保持	保持	—	初期化
POSNEG2	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL2	H'00000000	保持	保持	保持	—	初期化
FILONOFF2	H'00000000	保持	保持	保持	—	初期化

• GPIO-3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL3	H'00000000	保持	保持	保持	—	初期化
INOUTSEL3	H'00000000	保持	保持	保持	—	初期化
OUTDT3	H'00000000	保持	保持	保持	—	初期化
INDT3	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT3	H'00000000	保持	保持	保持	—	初期化
INTCLR3	H'00000000	保持	保持	保持	—	初期化
INTMSK3	H'00000000	保持	保持	保持	—	初期化
MSKCLR3	H'00000000	保持	保持	保持	—	初期化
POSNEG3	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL3	H'00000000	保持	保持	保持	—	初期化
FILONOFF3	H'00000000	保持	保持	保持	—	初期化

• GPIO-4 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL4	H'00000000	保持	保持	保持	—	初期化
INOUTSEL4	H'00000000	保持	保持	保持	—	初期化
OUTDT4	H'00000000	保持	保持	保持	—	初期化
INDT4	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT4	H'00000000	保持	保持	保持	—	初期化
INTCLR4	H'00000000	保持	保持	保持	—	初期化
INTMSK4	H'00000000	保持	保持	保持	—	初期化
MSKCLR4	H'00000000	保持	保持	保持	—	初期化
POSNEG4	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL4	H'00000000	保持	保持	保持	—	初期化
FILONOFF4	H'00000000	保持	保持	保持	—	初期化

• GPIO-5 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
IOINTSEL5	H'00000000	保持	保持	保持	—	初期化
INOUTSEL5	H'00000000	保持	保持	保持	—	初期化
OUTDT5	H'00000000	保持	保持	保持	—	初期化
INDT5	ポート端子の 状態	保持	保持	保持	—	初期化
INTDT5	H'00000000	保持	保持	保持	—	初期化
INTCLR5	H'00000000	保持	保持	保持	—	初期化
INTMSK5	H'00000000	保持	保持	保持	—	初期化
MSKCLR5	H'00000000	保持	保持	保持	—	初期化
POSNEG5	H'00000000	保持	保持	保持	—	初期化
EDGLEVEL5	H'00000000	保持	保持	保持	—	初期化
FILONOFF5	H'00000000	保持	保持	保持	—	初期化

【注】 初期化：パワーオンリセット項記載の値となります。

36.4.1 GPIO-n 汎用入出力／割り込み切り替えレジスタ (IOINTSEL0-5)

本レジスタは、GPIO モジュールの全 32 チャンネルの各ポートを汎用入出力モードで使用するか、あるいは割り込み入力モードで使用するかをポート単位に設定します。汎用入出力モード設定をしたポートに関しては、更に「汎用入／出力切り替えレジスタ」の該当ビットを汎用入力モードで使用するか、汎用出力モードで使用するかを設定する必要があります。一方、割り込み入力モードを設定した場合は、「汎用入／出力切り替えレジスタ」の設定は無視されます。

[ハードデフォルト値：00000000(H)=全ポート汎用入出力モード]

略称：IOINTSEL 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOINT SEL31	IOINT SEL30	IOINT SEL29	IOINT SEL28	IOINT SEL27	IOINT SEL26	IOINT SEL25	IOINT SEL24	IOINT SEL23	IOINT SEL22	IOINT SEL21	IOINT SEL20	IOINT SEL19	IOINT SEL18	IOINT SEL17	IOINT SEL16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOINT SEL15	IOINT SEL14	IOINT SEL13	IOINT SEL12	IOINT SEL11	IOINT SEL10	IOINT SEL9	IOINT SEL8	IOINT SEL7	IOINT SEL6	IOINT SEL5	IOINT SEL4	IOINT SEL3	IOINT SEL2	IOINT SEL1	IOINT SEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	IOINTSEL [31:0]	各ポートを汎用入出力モードで使用するか 割り込み入力モードで使用するかを選択する	0：汎用入出力モード 1：割り込み入力モード

【注】 未使用ビットは初期値の状態にしてください。

36.4.2 GPIO-n 汎用入／出力切り替えレジスタ (INOUTSEL0-5)

本レジスタは、「汎用入出力／割り込み切り替えレジスタ」において、汎用入出力モードが設定されたポートにのみ、意味を持つレジスタです。具体的には、この場合において、ポート番号に対応する本レジスタの該当ビットの設定により、汎用入力モードか汎用出力モードかが設定できます。本レジスタは汎用入出力／割り込み切り替えレジスタが0の時のみライトできます。なお、汎用出力モードから割り込み入力モードに切り替えた時、設定は保持されていますがリードした場合は割り込み入力モードでガイドされ0が読み出されます。

[ハードデフォルト値：00000000(H)=全ポート汎用入力モード]

略称：INOUTSEL 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INOUT SEL31	INOUT SEL30	INOUT SEL29	INOUT SEL28	INOUT SEL27	INOUT SEL26	INOUT SEL25	INOUT SEL24	INOUT SEL23	INOUT SEL22	INOUT SEL21	INOUT SEL20	INOUT SEL19	INOUT SEL18	INOUT SEL17	INOUT SEL16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INOUT SEL15	INOUT SEL14	INOUT SEL13	INOUT SEL12	INOUT SEL11	INOUT SEL10	INOUT SEL9	INOUT SEL8	INOUT SEL7	INOUT SEL6	INOUT SEL5	INOUT SEL4	INOUT SEL3	INOUT SEL2	INOUT SEL1	INOUT SEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	INOUTSEL [31:0]	ポート番号に対応する該当ビットで汎用入力モードか 汎用出力モードかを選択する	0：汎用入力モード 1：汎用出力モード

【注】 未使用ビットは初期値の状態にしてください。

36.4.3 GPIO-n 汎用出力レジスタ (OUTDT0-5)

本レジスタは、「汎用入出力/割り込み切り替えレジスタ」において、汎用入出力モードが設定され、更に「汎用入/出力切り替えレジスタ」において汎用出力モードが設定されたポートにのみ意味を持つレジスタです。具体的には、ポート番号に対応する本レジスタの該当ビットの値が、「正/負論理設定レジスタ」に従い、正転/反転され該当ポート端子から信号が出力されます。なお、出力信号の極性設定は、予め「正/負論理設定レジスタ」の該当ビットの設定を行ってください。

[ハードデフォルト値：00000000(H)=全ポート 0 出力信号状態]

略称：OUTDT 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OUT DT31	OUT DT30	OUT DT29	OUT DT28	OUT DT27	OUT DT26	OUT DT25	OUT DT24	OUT DT23	OUT DT22	OUT DT21	OUT DT20	OUT DT19	OUT DT18	OUT DT17	OUT DT16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OUT DT15	OUT DT14	OUT DT13	OUT DT12	OUT DT11	OUT DT10	OUT DT9	OUT DT8	OUT DT7	OUT DT6	OUT DT5	OUT DT4	OUT DT3	OUT DT2	OUT DT1	OUT DT0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	OUTDT [31:0]	36.4.1,4.2 設定によるポート番号に対応する該当ビットの値を出力	0 : 0 出力 1 : 1 出力

【注】 GPIO 端子からの出力信号は、本レジスタでの設定値がそのまま出力されるのではなく、さらに「正/負論理設定レジスタ」の設定が反映されて出力されます。

未使用ビットは初期値の状態にしてください。

36.4.4 GPIO-n 汎用入力レジスタ (INDT0-5)

本レジスタは、「汎用入出力／割り込み切り替えレジスタ」において、汎用入出力モードを設定し、かつ「汎用入／出力切り替えレジスタ」において汎用入力モードが設定されたポートのみ意味を持つレジスタです。ポートに対応する該当ビットに信号の受信が表示され、常に LSI の端子状態が本レジスタの該当ビットに表示されません。

ただし該当ビットの正／負論理設定レジスタのビットが1に設定されている場合は反転された値が表示されません。

[ハードデフォルト値：ポート端子の信号入力状態]

略称：INDT 初期値：ポート端子の信号入力状態

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INDT 31	INDT 30	INDT 29	INDT 28	INDT 27	INDT 26	INDT 25	INDT 24	INDT 23	INDT 22	INDT 21	INDT 20	INDT 19	INDT 18	INDT 17	INDT 16
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INDT 15	INDT 14	INDT 13	INDT 12	INDT 11	INDT 10	INDT 9	INDT 8	INDT 7	INDT 6	INDT 5	INDT 4	INDT 3	INDT 2	INDT 1	INDT 0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 *：ポート端子の信号入力状態

ビット	ビット名	説明	数値の意味
31~0	INDT [31:0]	ポート番号に対応する該当ビットに信号の受信が表示される	0：信号受信なし状態 1：信号受信中状態

【注】 未使用ビットは初期値の状態にしてください。

36.4.5 GPIO-n 割り込み表示レジスタ (INTDT0-5)

本レジスタは、「汎用入出力/割り込み切り替えレジスタ」において、割り込み入力モードが設定されている場合にのみ意味を持つレジスタです。具体的には、この場合において、ポート端子から割り込み入力があると、本レジスタのポートに対応する該当ビットに割り込み入力が表示されます。割り込み入力モードでは、外部からの入力信号に対して、信号極性や、エッジまたはレベルの受信条件をポートごとに設定できます。それぞれ「正/負論理設定レジスタ」と「エッジ/レベル設定レジスタ」の該当ビットを事前に設定してください。

「エッジ/レベル設定レジスタ」をエッジ設定とした場合、本レジスタの該当ビットは、外部からの入力がパルスであっても、この入力を FF で保持し、割り込み制御ブロックへの割り込み信号出力はレベルで行います。この割り込み信号の出力は、本レジスタにおける割り込み表示中の全ビットに対し、「割り込みクリアレジスタ」の該当ビットをすべてクリア設定することにより停止します。ただし、「エッジ/レベル設定レジスタ」をレベル設定として、外部からの入力信号もレベルの場合、本レジスタの該当ビットは、FF で保持しない構成となります。したがって、外部からの入力信号が停止すれば、本レジスタの該当ビットも自動的にクリアされます。本レジスタのすべてのビットの表示が消えた場合、GPIO ブロックが出力している割り込み信号は停止します。

【ハードデフォルト値：00000000(H)=全ポート割り込み信号出力なし状態】

略称：INTDT 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTDT 31	INTDT 30	INTDT 29	INTDT 28	INTDT 27	INTDT 26	INTDT 25	INTDT 24	INTDT 23	INTDT 22	INTDT 21	INTDT 20	INTDT 19	INTDT 18	INTDT 17	INTDT 16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTDT 15	INTDT 14	INTDT 13	INTDT 12	INTDT 11	INTDT 10	INTDT 9	INTDT 8	INTDT 7	INTDT 6	INTDT 5	INTDT 4	INTDT 3	INTDT 2	INTDT 1	INTDT 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	説明	数値の意味
31~0	INTDT [31:0]	ポート番号に対応する該当ビットに割り込み入力が表示される	0：割り込み信号出力なし 1：割り込み信号出力あり

【注】 未使用ビットは初期値の状態にしてください。

割り込み表示条件

- レベル設定時 (EDGLEVEL=0)
 - 外部入力信号をモニタリングしています。(負論理設定時は外部信号の反転した値を出力します。)
- エッジ設定時 (EDGLEVEL=1)
 - クリア条件は、正/負論理設定レジスタに関係なく割り込みクリアレジスタをクリア設定します。
 - セット条件は、正論理設定時 (POSNEG=0) は外部入力の立ち上がりエッジを検出します。
(負論理設定時は立ち下がりエッジを検出)

36.4.6 GPIO-n 割り込みクリアレジスタ (INTCLR0-5)

本レジスタは、割り込み入力モードで、且つ、「エッジ/レベル設定レジスタ」をエッジに設定したポートからの割り込み入力を「割り込み表示レジスタ」が表示している場合、この表示をクリアする場合に用います。具体的には、本レジスタのポート番号に対応した該当ビットに1をライトすることで、対応する「割り込み表示レジスタ」の該当ビットがクリアされます。ただし、「エッジ/レベル設定レジスタ」をレベルに設定したポートからの割り込みが「割り込み表示レジスタ」に表示されている場合、この表示を、本レジスタの該当ビットでクリアしても「割り込み表示レジスタ」の該当ビットはクリアされません。本レジスタは、1ライトのみ有効でリードしても常に0が読めます。

[ハードデフォルト値 : 00000000(H)=全ポート割り込みクリアなし状態]

略称 : INTCLR 初期値 : 00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTC LR31	INTC LR30	INTC LR29	INTC LR28	INTC LR27	INTC LR26	INTC LR25	INTC LR24	INTC LR23	INTC LR22	INTC LR21	INTC LR20	INTC LR19	INTC LR18	INTC LR17	INTC LR16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTC LR15	INTC LR14	INTC LR13	INTC LR12	INTC LR11	INTC LR10	INTC LR9	INTC LR8	INTC LR7	INTC LR6	INTC LR5	INTC LR4	INTC LR3	INTC LR2	INTC LR1	INTC LR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	INTCLR [31:0]	ポート番号に対応した該当ビットに1ライトすることで、対応する「割り込み表示レジスタ」の該当ビットがクリアされる	0 : クリアなし状態 1 : 割り込み表示レジスタクリア

【注】 未使用ビットは初期値の状態にしてください。

36.4.7 GPIO-n 割り込みマスクレジスタ (INTMSK0-5)

本レジスタは、「割り込み表示レジスタ」に表示された割り込みに対する通知をマスクする為に使用します。個々の割り込みは、本レジスタによりビット対応に個別でマスクが可能です。割り込み表示が点火しているすべてのビットがマスク設定されている時、割り込み制御ブロックへ出力する割り込み信号は出力されません。なお、マスクの解除は、「割り込みマスククリアレジスタ」への該当ビットライトで解除します。本レジスタは 0 ライトのみ有効です。

[ハードデフォルト値 : 00000000(H)=全ポートマスク状態]

略称 : INTMSK 初期値 : 00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTM SK31	INTM SK30	INTM SK29	INTM SK28	INTM SK27	INTM SK26	INTM SK25	INTM SK24	INTM SK23	INTM SK22	INTM SK21	INTM SK20	INTM SK19	INTM SK18	INTM SK17	INTM SK16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTM SK15	INTM SK14	INTM SK13	INTM SK12	INTM SK11	INTM SK10	INTM SK9	INTM SK8	INTM SK7	INTM SK6	INTM SK5	INTM SK4	INTM SK3	INTM SK2	INTM SK1	INTM SK0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	INTMSK [31:0]	マスク設定時は、割り込み制御ブロックへ出力する 割り込み信号は出力されない	0 : マスクする 1 : マスクしない

【注】 未使用ビットは初期値の状態にしてください。

36.4.8 GPIO-n 割り込みマスククリアレジスタ (MSKCLR0-5)

本レジスタは、「割り込みマスクレジスタ」に設定されているマスクを解除するために用います。本レジスタへのライトにより、ビット対応に個別で割り込みマスクのクリアが可能です。本レジスタは、1 ライトのみ有効でリードしても常に 0 が読めます。

[ハードデフォルト値：00000000(H)=全ポートクリア設定なし状態]

略称：MSKCLR 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSK CLR31	MSK CLR30	MSK CLR29	MSK CLR28	MSK CLR27	MSK CLR26	MSK CLR25	MSK CLR24	MSK CLR23	MSK CLR22	MSK CLR21	MSK CLR20	MSK CLR19	MSK CLR18	MSK CLR17	MSK CLR16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSK CLR15	MSK CLR14	MSK CLR13	MSK CLR12	MSK CLR11	MSK CLR10	MSK CLR9	MSK CLR8	MSK CLR7	MSK CLR6	MSK CLR5	MSK CLR4	MSK CLR3	MSK CLR2	MSK CLR1	MSK CLR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	MSKCLR [31:0]	「割り込みマスクレジスタ」に設定されているマスクを解除する	0 : クリア設定なし 1 : クリア設定

【注】 未使用ビットは初期値の状態にしてください（ピンマルチ設定で、GPIO を非選択としている時に、割り込みマスクを解除しないでください）。

36.4.9 GPIO-n 正/負論理設定レジスタ (POSNEG0-5)

汎用入力モードや汎用出力モード、および割り込み入力モードにおける端子の極性をポート単位で個別に設定するレジスタです。本レジスタは、モードを設定する前に設定を行ってください。

[ハードデフォルト値：00000000(H)=全ポート正論理状態]

略称：POSNEG 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POS NEG31	POS NEG30	POS NEG29	POS NEG28	POS NEG27	POS NEG26	POS NEG25	POS NEG24	POS NEG23	POS NEG22	POS NEG21	POS NEG20	POS NEG19	POS NEG18	POS NEG17	POS NEG16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POS NEG15	POS NEG14	POS NEG13	POS NEG12	POS NEG11	POS NEG10	POS NEG9	POS NEG8	POS NEG7	POS NEG6	POS NEG5	POS NEG4	POS NEG3	POS NEG2	POS NEG1	POS NEG0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	POSNEG [31:0]	端子の極性をポート単位で個別に設定する	0：正論理状態 1：負論理状態

【注】 未使用ビットは初期値の状態にしてください。

36.4.10 GPIO-n エッジ/レベル設定レジスタ (EDGLEVEL0-5)

本レジスタは、「汎用入出力/割り込み切り替えレジスタ」において、割り込み入力モードが設定されたポートにのみ意味を持つレジスタです。すなわち、割り込み入力モードが設定されたポート端子の割り込み入力をエッジ検出とするか、レベル検出とするかをポート単位で設定するためのレジスタです。本レジスタは、割り込み入力モードを設定する前に設定を行ってください。

[ハードデフォルト値：00000000(H)=全ポートレベル状態]

略称：EDGLEVEL 初期値：00000000(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDGLE VEL31	EDGLE VEL30	EDGLE VEL29	EDGLE VEL28	EDGLE VEL27	EDGLE VEL26	EDGLE VEL25	EDGLE VEL24	EDGLE VEL23	EDGLE VEL22	EDGLE VEL21	EDGLE VEL20	EDGLE VEL19	EDGLE VEL18	EDGLE VEL17	EDGLE VEL16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDGLE VEL15	EDGLE VEL14	EDGLE VEL13	EDGLE VEL12	EDGLE VEL11	EDGLE VEL10	EDGLE VEL9	EDGLE VEL8	EDGLE VEL7	EDGLE VEL6	EDGLE VEL5	EDGLE VEL4	EDGLE VEL3	EDGLE VEL2	EDGLE VEL1	EDGLE VEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~0	EDGLEVEL [31:0]	割り込み入力モードが設定されたポート端子の割り込み入力をエッジ検出か、レベル検出かを設定する	0：レベル状態 1：エッジ状態

【注】 未使用ビットは初期値の状態にしてください。

36.4.11 GPIO-n チャタリング防止 ON/OFF 設定レジスタ (FILONOFF0-5)

本レジスタは、ポート端子の0チャンネル~3チャンネルの4ポートに関して、チャタリング入力回避を設定するためのレジスタです。詳細は、「36.5 ポート端子の入力信号処理」を参照してください。

[ハードデフォルト値：0(H)=全ポートチャタリング防止 OFF 状態]

略称：FILONOFF 初期値：0(H)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	FILON OFF3	FILON OFF2	FILON OFF1	FILON OFF0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	説明	数値の意味
31~4	—	リザーブビット	
3~0	FILONOFF [3:0]	チャタリング入力回避を設定する	0: チャタリング防止 OFF 状態 1: チャタリング防止 ON 状態

【注】 未使用ビットは初期値の状態にしてください。

36.5 ポート端子の入力信号処理

36.5.1 チャタリング

ポート端子の0チャンネル~3チャンネルの4ポートに関しては、汎用入力モード時と割り込み入力モード時に外部から入力されるチャタリングを回避するフィルタリング機能の使用が可能です。具体的には、「チャタリング防止 ON/OFF 設定レジスタ」において、ポート端子に対応した該当ビットを設定することにより、GPIO 内部で生成する 500usec クロックで入力を 4 回サンプリングし、すべて入力検出できなければ入力をキャンセルします。したがって、0チャンネル~3チャンネルの4ポートに関しては、フィルタリング機能を使用した場合の入力信号は、500usec サンプリングで4クロック長以上を必要とします。(周辺クロック (clkp) 周波数=50MHz 時、サンプリングクロック=500usec)

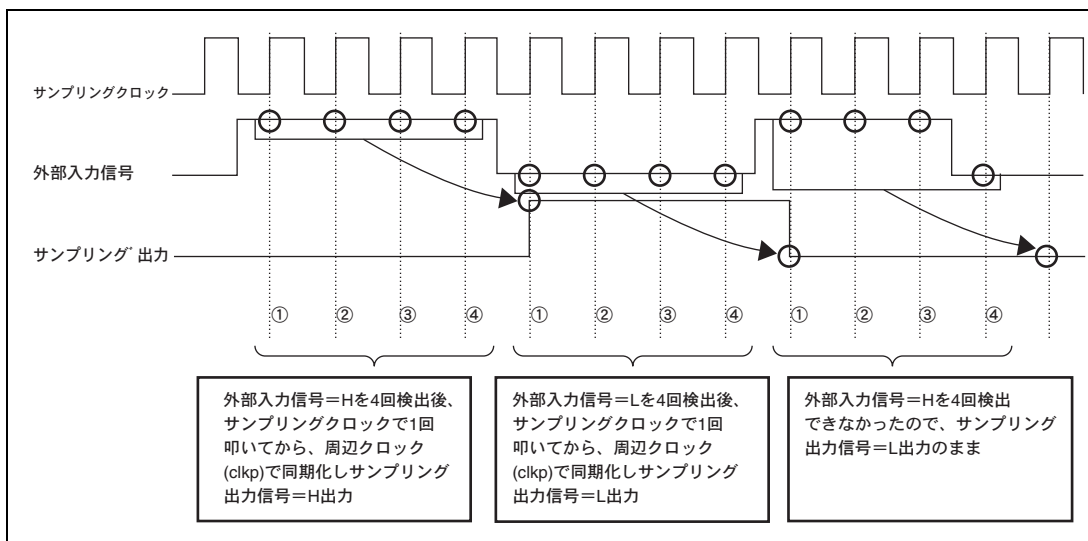


図 36.2 サンプリングタイムチャート

36.5.2 クロック同期化

ポート端子の全チャンネルのポートに関し、汎用入力モード時と割り込み入力モード時には外部から入力される信号に対するクロック同期化を行います。

36.6 割り込み表示タイミングチャート

下記に割り込み表示タイムチャートおよび注意事項を示します。それぞれの状態は正論理設定、エッジ設定です。

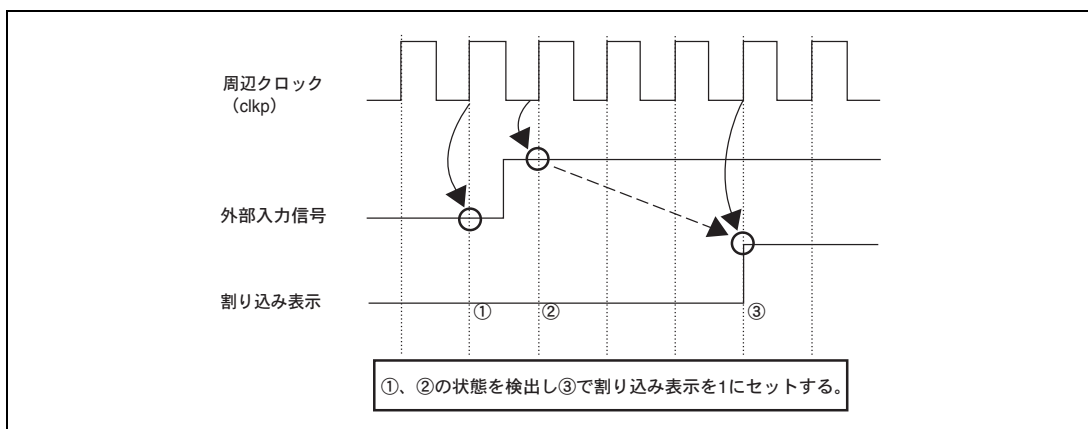


図 36.3 割り込み表示タイムチャート

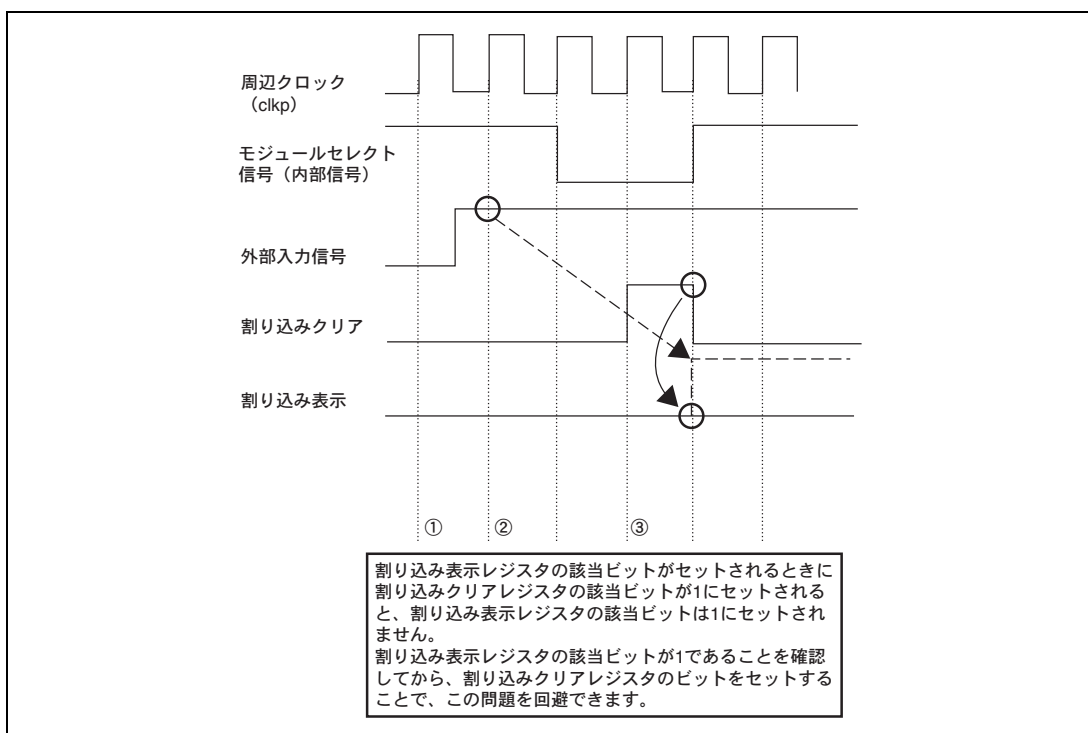


図 36.4 割り込み表示タイム注意事項

36.7 使用説明

以下に本 GPIO の使用説明をいたします。このフロー以外の操作については動作を保証できませんので注意してください。

36.7.1 エッジ割り込み入力モード設定

割り込み入力モード（エッジ入力）の設定については、以下の手順内容を参考にしてください。

なお、本フロー内での①、②、③の設定を変更すると、モジュール内部で予期しない割り込みを生成する可能性があります。設定変更の際は④、⑤を実行してください。

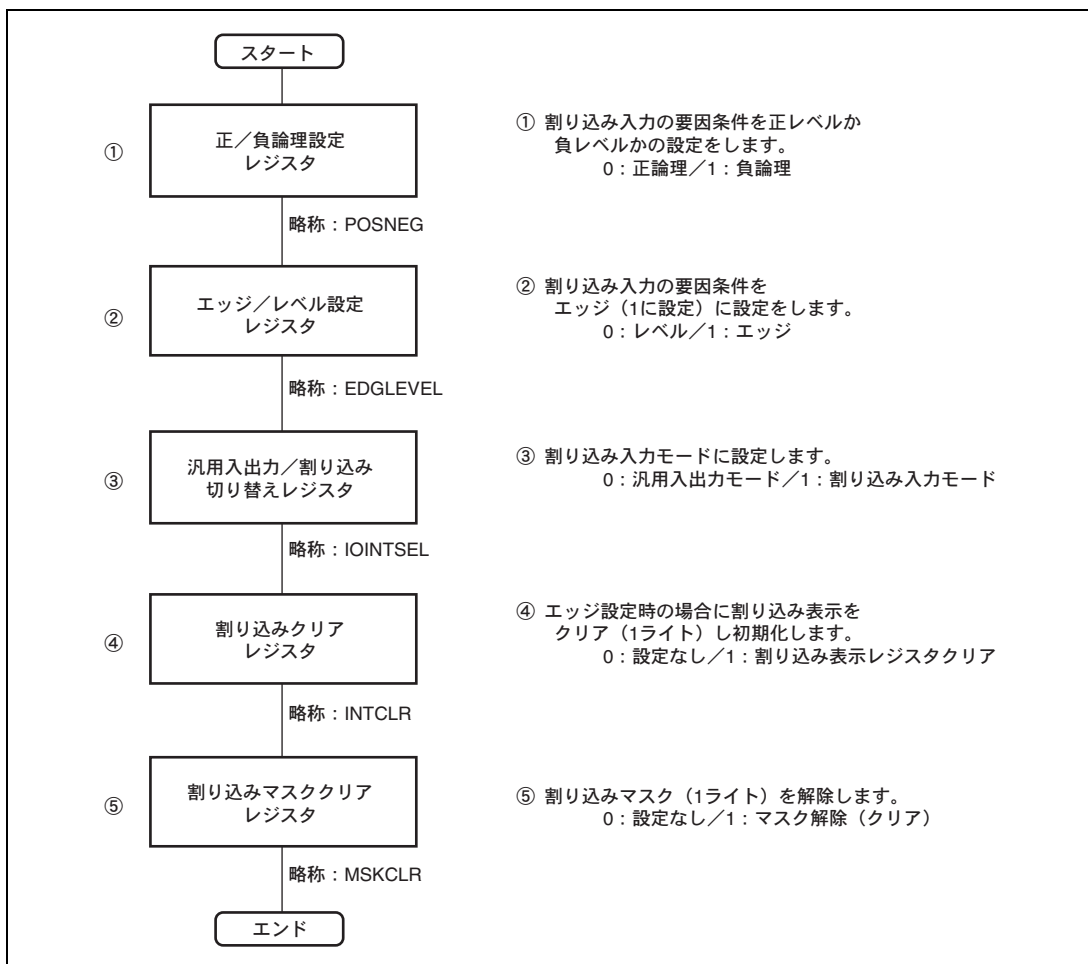


図 36.5 GPIO エッジ割り込み設定フロー図

36.7.2 レベル割り込み入力モード設定

割り込み入力モード（レベル入力）の設定については、以下の手順内容を参考にしてください。

なお、レベル入力割り込みは外部入力から割り込み入力停止されると自動的に割り込みは解除されます。

またレベル設定時は割り込みクリアレジスタは無効になります。

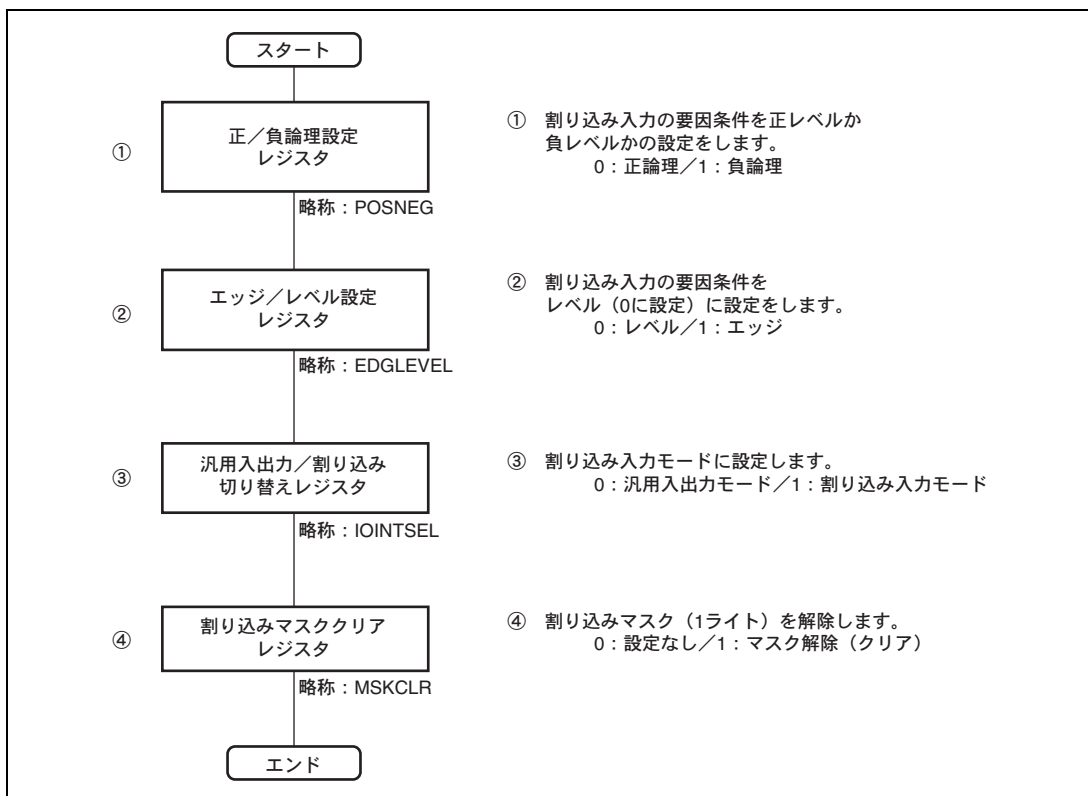


図 36.6 GPIO レベル割り込み設定フロー図

36.7.3 汎用出力モード設定

汎用出力モードの設定については、以下の手順内容を参考にしてください。

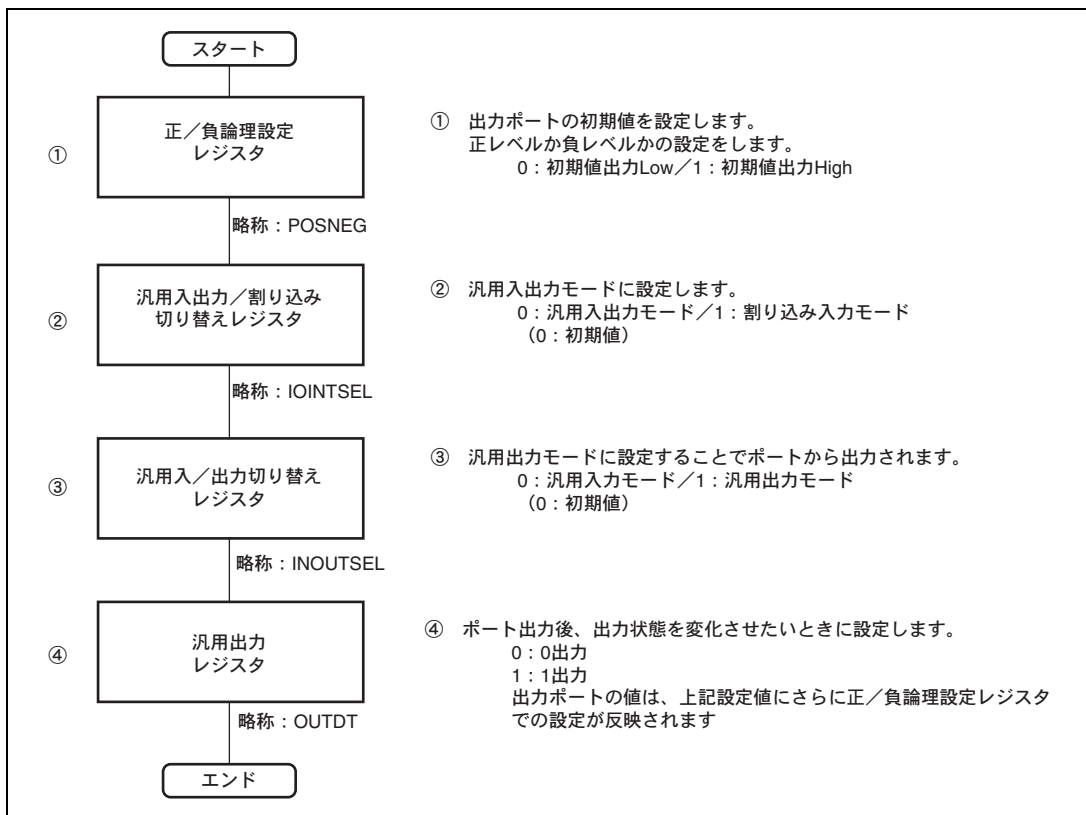


図 36.7 GPIO 汎用出力モード設定フロー図

36.7.4 汎用入力モード設定

汎用入力モードの設定については、以下の手順内容を参考にしてください。

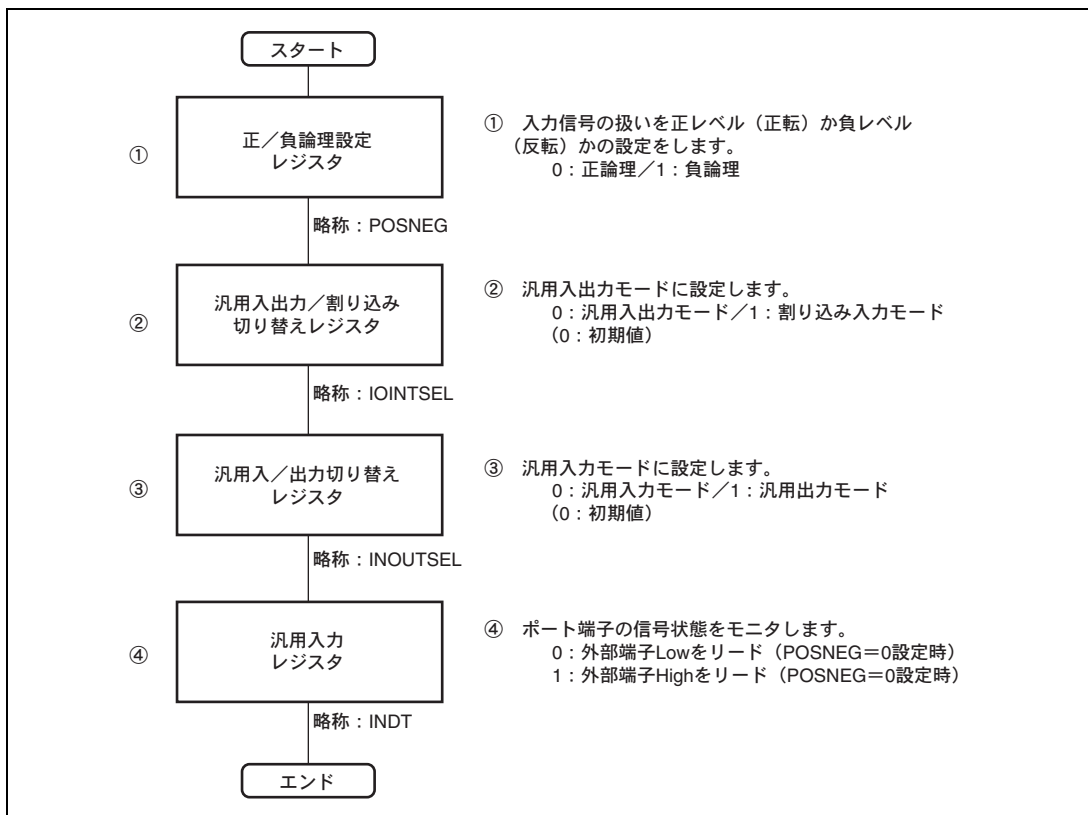


図 36.8 GPIO 汎用入力モード設定フロー図

37. ピンファンクションコントローラ (PFC)

37.1 概要

PFC (pin function control) は、LSI ピンマルチ設定および PULL UP 制御のためのレジスタモジュールです。

37.1.1 特長

- HPBバスインタフェースによるレジスタアクセス
- LSIピンマルチ設定機能

PFCモジュール内レジスタにより本LSIピンの選択機能

(PFCモジュール内GPIO周辺機能選択レジスタ0~5 (GPSR0~5)、周辺機能選択レジスタ0~11 (IPSR0~11) にてLSIピン機能を選択。詳細は「37.2.2 GPIO周辺機能選択レジスタ0 (GPSR0)」~「37.2.19 周辺機能選択レジスタ11 (IPSR11)」を参照ください。)

- Module選択機能

MODULE選択レジスタ (MOD_SEL)、MODULE選択レジスタ2 (MOD_SEL2) により選択。詳細は「37.2.20 MODULE選択レジスタ (MOD_SEL)」、「37.2.21 MODULE選択レジスタ2 (MOD_SEL2)」を参照ください。

- LSIピンPULL UP制御機能

PFCモジュール内レジスタにより本LSIピンのPULL UP制御機能

(PFCモジュール内LSIピンPULL UP制御レジスタ0~5 (PUPCTL0~5) にてLSIピン機能を選択。詳細は「37.2.22 LSIピンPULL UP制御レジスタ0 (PUPCTL0)」~「37.2.27 LSIピンPULL UP制御レジスタ5 (PUPCTL5)」を参照ください。)

37.1.2 レジスタ構成

PFC レジスタはすべて HPB バス空間にマッピングされます。PFC 内部に存在するレジスタ構成を表 37.1 に、各処理状態でのレジスタ状態を表 37.2 に示します。さらに PFC 内部レジスタの詳細を「37.2 レジスタの説明」に示します。

表 37.1 PFC 内部レジスタ構成

アドレス	レジスタ名	名称	パワーオンリセット	マニュアルリセット	アクセスサイズ	格納ブロック
H'FFFC 0000	LSI ピンマルチマスクレジスタ	PMMR	H'0000 0000	保持	32	PFC
H'FFFC 0004	GPIO 周辺機能選択レジスタ 0	GPSR0	H'F9FF FFFF	保持	32	PFC
H'FFFC 0008	GPIO 周辺機能選択レジスタ 1	GPSR1	H'73A0 7FF1	保持	32	PFC
H'FFFC 000C	GPIO 周辺機能選択レジスタ 2	GPSR2	H'0000 0000	保持	32	PFC

アドレス	レジスタ名	名称	パワーオン リセット	マニュアル リセット	アクセス サイズ	格納 ブロック
H'FFFC 0010	GPIO 周辺機能選択レジスタ 3	GPSR3	H'0000 0000 (通常時) H'007F FFFF (HIF ブート時)	保持	32	PFC
H'FFFC 0014	GPIO 周辺機能選択レジスタ 4	GPSR4	H'1400 0000 (通常時) H'1600 0000 (HIF ブート時)	保持	32	PFC
H'FFFC 0018	GPIO 周辺機能選択レジスタ 5	GPSR5	H'0000 0000	保持	32	PFC
H'FFFC 001C	周辺機能選択レジスタ 0	IPSR0	H'0000 0000	保持	32	PFC
H'FFFC 0020	周辺機能選択レジスタ 1	IPSR1	H'0000 0000	保持	32	PFC
H'FFFC 0024	周辺機能選択レジスタ 2	IPSR2	H'0000 0000	保持	32	PFC
H'FFFC 0028	周辺機能選択レジスタ 3	IPSR3	H'0000 0000	保持	32	PFC
H'FFFC 002C	周辺機能選択レジスタ 4	IPSR4	H'0000 0000	保持	32	PFC
H'FFFC 0030	周辺機能選択レジスタ 5	IPSR5	H'0000 0000	保持	32	PFC
H'FFFC 0034	周辺機能選択レジスタ 6	IPSR6	H'0000 0000 (通常時) H'0097 FFED (HIF ブート時)	保持	32	PFC
H'FFFC 0038	周辺機能選択レジスタ 7	IPSR7	H'0000 0000 (通常時) H'5C92 4924 (HIF ブート時)	保持	32	PFC
H'FFFC 003C	周辺機能選択レジスタ 8	IPSR8	H'0000 0000 (通常時) H'0000 000A (HIF ブート時)	保持	32	PFC
H'FFFC 0040	周辺機能選択レジスタ 9	IPSR9	H'0000 0000	保持	32	PFC
H'FFFC 0044	周辺機能選択レジスタ 10	IPSR10	H'0000 0000	保持	32	PFC
H'FFFC 0048	周辺機能選択レジスタ 11	IPSR11	H'0000 0000 (通常時) H'0000 0004 (HIF ブート時)	保持	32	PFC
H'FFFC 004C	MODULE 選択レジスタ	MOD_SEL	H'0000 0000	保持	32	PFC
H'FFFC 0050	MODULE 選択レジスタ 2	MOD_SEL2	H'0000 0000	保持	32	PFC
H'FFFC 0100	LSI ピン PULL UP 制御レジスタ 0	PUPCTL0	H'0000 0000	保持	32	PFC
H'FFFC 0104	LSI ピン PULL UP 制御レジスタ 1	PUPCTL1	H'DE29 C000	保持	32	PFC
H'FFFC 0108	LSI ピン PULL UP 制御レジスタ 2	PUPCTL2	H'7FFF FDEF	保持	32	PFC
H'FFFC 010C	LSI ピン PULL UP 制御レジスタ 3	PUPCTL3	H'7F00 0000	保持	32	PFC

アドレス	レジスタ名	名称	パワーオン リセット	マニュアル リセット	アクセス サイズ	格納 ブロック
H'FFFC 0110	LSI ピン PULL UP 制御レジスタ 4	PUPCTL4	H'0ACF FFFE	保持	32	PFC
H'FFFC 0114	LSI ピン PULL UP 制御レジスタ 5	PUPCTL5	H'0000 01F1	保持	32	PFC
H'FFFC 0118	LSI ピンドライブ能力切り替えレジスタ	DRV_SEL	H'0000 0000	保持	32	PFC

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

表 37.2 各処理状態におけるレジスタ状態

名称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
PMMR	初期化	保持	保持	保持	保持	初期化
GPSR0	初期化	保持	保持	保持	保持	初期化
GPSR1	初期化	保持	保持	保持	保持	初期化
GPSR2	初期化	保持	保持	保持	保持	初期化
GPSR3	初期化	保持	保持	保持	保持	初期化
GPSR4	初期化	保持	保持	保持	保持	初期化
GPSR5	初期化	保持	保持	保持	保持	初期化
IPSR0	初期化	保持	保持	保持	保持	初期化
IPSR1	初期化	保持	保持	保持	保持	初期化
IPSR2	初期化	保持	保持	保持	保持	初期化
IPSR3	初期化	保持	保持	保持	保持	初期化
IPSR4	初期化	保持	保持	保持	保持	初期化
IPSR5	初期化	保持	保持	保持	保持	初期化
IPSR6	初期化	保持	保持	保持	保持	初期化
IPSR7	初期化	保持	保持	保持	保持	初期化
IPSR8	初期化	保持	保持	保持	保持	初期化
IPSR9	初期化	保持	保持	保持	保持	初期化
IPSR10	初期化	保持	保持	保持	保持	初期化
IPSR11	初期化	保持	保持	保持	保持	初期化
MOD_SEL	初期化	保持	保持	保持	保持	初期化
MOD_SEL2	初期化	保持	保持	保持	保持	初期化
PUPCTL0	初期化	保持	保持	保持	保持	初期化
PUPCTL1	初期化	保持	保持	保持	保持	初期化
PUPCTL2	初期化	保持	保持	保持	保持	初期化
PUPCTL3	初期化	保持	保持	保持	保持	初期化
PUPCTL4	初期化	保持	保持	保持	保持	初期化

名称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
PUPCTL5	初期化	保持	保持	保持	保持	初期化
DRV_SEL	初期化	保持	保持	保持	保持	初期化

37.2 レジスタの説明

レジスタ説明で使用される記号は以下を意味しています。

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R : リードのみ可。書き込む値は常に 0 にしてください。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

W : ライトのみ可。リードは禁止されています。予約ビットの場合、書き込む値は常に 0 にしてください。

—/W : ライトのみ可。読み出し値は不定です。

すべてのビットは記載のない場合アクティブハイで、リセットするとインアクティブになります。

すべてのアクセスはロングワードで行われます。

リザーブビットは 0 を書いてください。

37.2.1 LSI ピンマルチマスクレジスタ (PMMR)

機能：ピンマルチ設定マスク

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'0000 0000	R/W	ピンマルチ設定マスク。 GPIO 周辺機能選択レジスタ、周辺機能選択レジスタ、MODULE 選択レジスタへの書き込みは、書き込む値の反転値を事前に本レジスタに書き込んでおくことで有効となります。

【注】 GPIO 周辺機能選択レジスタ 0~5、周辺機能選択レジスタ 0~11、MODULE 選択レジスタ、MODULE 選択レジスタ 2 の個々のレジスタ設定前には毎回必ず設定してください。

37.2.2 GPIO 周辺機能選択レジスタ 0 (GPSR0)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GP0 [31]	GP0 [30]	GP0 [29]	GP0 [28]	GP0 [27]	GP0 [26]	GP0 [25]	GP0 [24]	GP0 [23]	GP0 [22]	GP0 [21]	GP0 [20]	GP0 [19]	GP0 [18]	GP0 [17]	GP0 [16]
初期値:	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GP0 [15]	GP0 [14]	GP0 [13]	GP0 [12]	GP0 [11]	GP0 [10]	GP0 [9]	GP0 [8]	GP0 [7]	GP0 [6]	GP0 [5]	GP0 [4]	GP0 [3]	GP0 [2]	GP0 [1]	GP0 [0]
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'F9FF FFFF	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP0[0]	GP-0-0	IP1[9:8]で選択される周辺機能
GP0[1]	GP-0-1	IP1[11:10]で選択される周辺機能
GP0[2]	GP-0-2	IP1[13:12]で選択される周辺機能
GP0[3]	GP-0-3	IP1[15:14]で選択される周辺機能

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP0[4]	GP-0-4	IP0[7:6]で選択される周辺機能
GP0[5]	GP-0-5	IP0[9:8]で選択される周辺機能
GP0[6]	GP-0-6	IP0[11:10]で選択される周辺機能
GP0[7]	GP-0-7	IP0[13:12]で選択される周辺機能
GP0[8]	GP-0-8	IP0[15:14]で選択される周辺機能
GP0[9]	GP-0-9	IP0[17:16]で選択される周辺機能
GP0[10]	GP-0-10	IP0[19:18]で選択される周辺機能
GP0[11]	GP-0-11	IP0[21:20]で選択される周辺機能
GP0[12]	GP-0-12	IP0[23:22]で選択される周辺機能
GP0[13]	GP-0-13	IP0[25:24]で選択される周辺機能
GP0[14]	GP-0-14	IP0[27:26]で選択される周辺機能
GP0[15]	GP-0-15	IP0[29:28]で選択される周辺機能
GP0[16]	GP-0-16	IP0[31:30]で選択される周辺機能
GP0[17]	GP-0-17	IP1[1:0]で選択される周辺機能
GP0[18]	GP-0-18	IP1[3:2]で選択される周辺機能
GP0[19]	GP-0-19	IP1[5:4]で選択される周辺機能
GP0[20]	GP-0-20	IP1[7:6]で選択される周辺機能
GP0[21]	GP-0-21	IP1[28]で選択される周辺機能
GP0[22]	GP-0-22	IP0[1:0]で選択される周辺機能
GP0[23]	GP-0-23	IP0[3:2]で選択される周辺機能
GP0[24]	GP-0-24	IP0[5:4]で選択される周辺機能
GP0[25]	GP-0-25	IP1[17:16]で選択される周辺機能
GP0[26]	GP-0-26	IP1[19:18]で選択される周辺機能
GP0[27]	GP-0-27	IP1[22:20]で選択される周辺機能
GP0[28]	GP-0-28	IP1[25:23]で選択される周辺機能
GP0[29]	GP-0-29	IP1[28:26]で選択される周辺機能
GP0[30]	GP-0-30	IP1[31:29]で選択される周辺機能
GP0[31]	GP-0-31	IP2[2:0]で選択される周辺機能

37.2.3 GPIO 周辺機能選択レジスタ 1 (GPSR1)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GP1 [31]	GP1 [30]	GP1 [29]	GP1 [28]	GP1 [27]	GP1 [26]	GP1 [25]	GP1 [24]	GP1 [23]	GP1 [22]	GP1 [21]	GP1 [20]	GP1 [19]	GP1 [18]	GP1 [17]	GP1 [16]
初期値:	0	1	1	1	0	0	1	1	1	0	1	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GP1 [15]	GP1 [14]	GP1 [13]	GP1 [12]	GP1 [11]	GP1 [10]	GP1 [9]	GP1 [8]	GP1 [7]	GP1 [6]	GP1 [5]	GP1 [4]	GP1 [3]	GP1 [2]	GP1 [1]	GP1 [0]
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'73A0 7FF1	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP1[0]	GP-1-0	IP3[20]で選択される周辺機能
GP1[1]	GP-1-1	IP3[29:27]で選択される周辺機能
GP1[2]	GP-1-2	IP11[20:19]で選択される周辺機能
GP1[3]	GP-1-3	IP11[22:21]で選択される周辺機能
GP1[4]	GP-1-4	IP2[16:14]で選択される周辺機能
GP1[5]	GP-1-5	IP2[19:17]で選択される周辺機能
GP1[6]	GP-1-6	IP2[22:20]で選択される周辺機能
GP1[7]	GP-1-7	IP2[24:23]で選択される周辺機能
GP1[8]	GP-1-8	IP2[27:25]で選択される周辺機能
GP1[9]	GP-1-9	IP2[30:28]で選択される周辺機能
GP1[10]	GP-1-10	IP3[1:0]で選択される周辺機能
GP1[11]	GP-1-11	CLKOUT
GP1[12]	GP-1-12	BS#
GP1[13]	GP-1-13	CS0#
GP1[14]	GP-1-14	IP3[2]で選択される周辺機能
GP1[15]	GP-1-15	EX_CS0#
GP1[16]	GP-1-16	IP3[5:3]で選択される周辺機能
GP1[17]	GP-1-17	IP3[8:6]で選択される周辺機能
GP1[18]	GP-1-18	IP3[11:9]で選択される周辺機能
GP1[19]	GP-1-19	IP3[14:12]で選択される周辺機能
GP1[20]	GP-1-20	IP3[17:15]で選択される周辺機能
GP1[21]	GP-1-21	RD#
GP1[22]	GP-1-22	IP3[19:18]で選択される周辺機能

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP1[23]	GP-1-23	WE0#
GP1[24]	GP-1-24	WE1#
GP1[25]	GP-1-25	IP2[4:3]で選択される周辺機能
GP1[26]	GP-1-26	IP3[23:21]で選択される周辺機能
GP1[27]	GP-1-27	IP3[26:24]で選択される周辺機能
GP1[28]	GP-1-28	IP2[7:5]で選択される周辺機能
GP1[29]	GP-1-29	IP2[10:8]で選択される周辺機能
GP1[30]	GP-1-30	IP2[13:11]で選択される周辺機能
GP1[31]	GP-1-31	IP11[25:23]で選択される周辺機能

37.2.4 GPIO 周辺機能選択レジスタ 2 (GPSR2)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GP2 [31]	GP2 [30]	GP2 [29]	GP2 [28]	GP2 [27]	GP2 [26]	GP2 [25]	GP2 [24]	GP2 [23]	GP2 [22]	GP2 [21]	GP2 [20]	GP2 [19]	GP2 [18]	GP2 [17]	GP2 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GP2 [15]	GP2 [14]	GP2 [13]	GP2 [12]	GP2 [11]	GP2 [10]	GP2 [9]	GP2 [8]	GP2 [7]	GP2 [6]	GP2 [5]	GP2 [4]	GP2 [3]	GP2 [2]	GP2 [1]	GP2 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP2[0]	GP-2-0	IP11[6:4]で選択されている周辺機能
GP2[1]	GP-2-1	IP11[9:7]で選択されている周辺機能
GP2[2]	GP-2-2	IP11[11:10]で選択されている周辺機能
GP2[3]	GP-2-3	IP4[2:0]で選択される周辺機能
GP2[4]	GP-2-4	IP8[29:28]で選択される周辺機能
GP2[5]	GP-2-5	IP11[27:26]で選択される周辺機能
GP2[6]	GP-2-6	IP8[22:20]で選択される周辺機能
GP2[7]	GP-2-7	IP8[25:23]で選択される周辺機能
GP2[8]	GP-2-8	IP11[12]で選択されている周辺機能
GP2[9]	GP-2-9	IP8[27:26]で選択される周辺機能
GP2[10]	GP-2-10	IP4[5:3]で選択される周辺機能
GP2[11]	GP-2-11	IP4[8:6]で選択される周辺機能

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP2[12]	GP-2-12	IP4[11:9]で選択される周辺機能
GP2[13]	GP-2-13	IP4[14:12]で選択される周辺機能
GP2[14]	GP-2-14	IP4[17:15]で選択される周辺機能
GP2[15]	GP-2-15	IP4[19:18]で選択される周辺機能
GP2[16]	GP-2-16	IP4[21:20]で選択される周辺機能
GP2[17]	GP-2-17	IP4[23:22]で選択される周辺機能
GP2[18]	GP-2-18	IP4[25:24]で選択される周辺機能
GP2[19]	GP-2-19	IP4[27:26]で選択される周辺機能
GP2[20]	GP-2-20	IP4[29:28]で選択される周辺機能
GP2[21]	GP-2-21	IP4[31:30]で選択される周辺機能
GP2[22]	GP-2-22	IP5[2:0]で選択される周辺機能
GP2[23]	GP-2-23	IP5[5:3]で選択される周辺機能
GP2[24]	GP-2-24	IP5[8:6]で選択される周辺機能
GP2[25]	GP-2-25	IP5[11:9]で選択される周辺機能
GP2[26]	GP-2-26	IP5[14:12]で選択される周辺機能
GP2[27]	GP-2-27	IP5[17:15]で選択される周辺機能
GP2[28]	GP-2-28	IP5[20:18]で選択される周辺機能
GP2[29]	GP-2-29	IP5[22:21]で選択される周辺機能
GP2[30]	GP-2-30	IP5[24:23]で選択される周辺機能
GP2[31]	GP-2-31	IP5[26:25]で選択される周辺機能

37.2.5 GPIO 周辺機能選択レジスタ 3 (GPSR3)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GP3 [31]	GP3 [30]	GP3 [29]	GP3 [28]	GP3 [27]	GP3 [26]	GP3 [25]	GP3 [24]	GP3 [23]	GP3 [22]	GP3 [21]	GP3 [20]	GP3 [19]	GP3 [18]	GP3 [17]	GP3 [16]
初期値:	0	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GP3 [15]	GP3 [14]	GP3 [13]	GP3 [12]	GP3 [11]	GP3 [10]	GP3 [9]	GP3 [8]	GP3 [7]	GP3 [6]	GP3 [5]	GP3 [4]	GP3 [3]	GP3 [2]	GP3 [1]	GP3 [0]
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時：0、HIF ブート時：1) ので注意してください。

ビット	初期値	R/W	説明
31~0	H'0000 0000 (通常時) H'007F FFFF (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP3[0]	GP-3-0	IP6[2:0]で選択される周辺機能
GP3[1]	GP-3-1	IP6[5:3]で選択される周辺機能
GP3[2]	GP-3-2	IP6[7:6]で選択される周辺機能
GP3[3]	GP-3-3	IP6[9:8]で選択される周辺機能
GP3[4]	GP-3-4	IP6[11:10]で選択される周辺機能
GP3[5]	GP-3-5	IP6[13:12]で選択される周辺機能
GP3[6]	GP-3-6	IP6[15:14]で選択される周辺機能
GP3[7]	GP-3-7	IP6[17:16]で選択される周辺機能
GP3[8]	GP-3-8	IP6[20:18]で選択される周辺機能
GP3[9]	GP-3-9	IP6[23:21]で選択される周辺機能
GP3[10]	GP-3-10	IP7[2:0]で選択される周辺機能
GP3[11]	GP-3-11	IP7[5:3]で選択される周辺機能
GP3[12]	GP-3-12	IP7[8:6]で選択される周辺機能
GP3[13]	GP-3-13	IP7[11:9]で選択される周辺機能
GP3[14]	GP-3-14	IP7[14:12]で選択される周辺機能
GP3[15]	GP-3-15	IP7[17:15]で選択される周辺機能
GP3[16]	GP-3-16	IP7[20:18]で選択される周辺機能
GP3[17]	GP-3-17	IP7[23:21]で選択される周辺機能
GP3[18]	GP-3-18	IP7[26:24]で選択される周辺機能
GP3[19]	GP-3-19	IP7[28:27]で選択される周辺機能
GP3[20]	GP-3-20	IP7[30:29]で選択される周辺機能
GP3[21]	GP-3-21	IP8[1:0]で選択される周辺機能
GP3[22]	GP-3-22	IP8[3:2]で選択される周辺機能
GP3[23]	GP-3-23	IP8[5:4]で選択される周辺機能
GP3[24]	GP-3-24	IP8[7:6]で選択される周辺機能
GP3[25]	GP-3-25	IP8[9:8]で選択される周辺機能
GP3[26]	GP-3-26	IP8[11:10]で選択される周辺機能
GP3[27]	GP-3-27	IP8[13:12]で選択される周辺機能
GP3[28]	GP-3-28	IP8[15:14]で選択される周辺機能
GP3[29]	GP-3-29	IP8[17:16]で選択される周辺機能
GP3[30]	GP-3-30	IP8[19:18]で選択される周辺機能
GP3[31]	GP-3-31	IP9[1:0]で選択される周辺機能

37.2.6 GPIO 周辺機能選択レジスタ 4 (GPSR4)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GP4 [31]	GP4 [30]	GP4 [29]	GP4 [28]	GP4 [27]	GP4 [26]	GP4 [25]	GP4 [24]	GP4 [23]	GP4 [22]	GP4 [21]	GP4 [20]	GP4 [19]	GP4 [18]	GP4 [17]	GP4 [16]
初期値:	0	0	0	1	0	1	*	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GP4 [15]	GP4 [14]	GP4 [13]	GP4 [12]	GP4 [11]	GP4 [10]	GP4 [9]	GP4 [8]	GP4 [7]	GP4 [6]	GP4 [5]	GP4 [4]	GP4 [3]	GP4 [2]	GP4 [1]	GP4 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時: 0, HIF ブート時: 1) ので注意してください。

ビット	初期値	R/W	説明
31~0	H'1400 0000 (通常時) H'1600 0000 (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP4[0]	GP-4-0	IP9[19:18]で選択される周辺機能
GP4[1]	GP-4-1	IP9[21:20]で選択される周辺機能
GP4[2]	GP-4-2	IP9[23:22]で選択される周辺機能
GP4[3]	GP-4-3	IP9[25:24]で選択される周辺機能
GP4[4]	GP-4-4	IP9[11:10]で選択される周辺機能
GP4[5]	GP-4-5	IP9[13:12]で選択される周辺機能
GP4[6]	GP-4-6	IP9[15:14]で選択される周辺機能
GP4[7]	GP-4-7	IP9[17:16]で選択される周辺機能
GP4[8]	GP-4-8	IP9[3:2]で選択される周辺機能
GP4[9]	GP-4-9	IP9[5:4]で選択される周辺機能
GP4[10]	GP-4-10	IP9[7:6]で選択される周辺機能
GP4[11]	GP-4-11	IP9[9:8]で選択される周辺機能
GP4[12]	GP-4-12	IP9[27:26]で選択される周辺機能
GP4[13]	GP-4-13	IP9[29:28]で選択される周辺機能
GP4[14]	GP-4-14	IP10[2:0]で選択される周辺機能
GP4[15]	GP-4-15	IP10[5:3]で選択される周辺機能
GP4[16]	GP-4-16	IP10[8:6]で選択される周辺機能
GP4[17]	GP-4-17	IP10[11:9]で選択される周辺機能
GP4[18]	GP-4-18	IP10[14:12]で選択される周辺機能
GP4[19]	GP-4-19	IP10[15]で選択される周辺機能
GP4[20]	GP-4-20	IP10[18:16]で選択される周辺機能

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP4[21]	GP-4-21	IP10[21:19]で選択される周辺機能
GP4[22]	GP-4-22	IP11[0]で選択されている周辺機能
GP4[23]	GP-4-23	IP11[1]で選択されている周辺機能
GP4[24]	GP-4-24	SCL0
GP4[25]	GP-4-25	IP11[2]で選択されている周辺機能
GP4[26]	GP-4-26	PENC0
GP4[27]	GP-4-27	IP11[15:13]で選択される周辺機能
GP4[28]	GP-4-28	USB_OVC0
GP4[29]	GP-4-29	IP11[18:16]で選択される周辺機能
GP4[30]	GP-4-30	IP10[22]で選択される周辺機能
GP4[31]	GP-4-31	IP10[24:23]で選択される周辺機能

37.2.7 GPIO 周辺機能選択レジスタ 5 (GPSR5)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	GP5 [11]	GP5 [10]	—	—	—	—	—	—	GP5 [3]	GP5 [2]	GP5 [1]	GP5 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~12	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	H'0	R/W	下表に従い LSI ピン機能を選択設定します。
9~4	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	H'0	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	GPIO (設定値=H'0)	周辺機能 (設定値=H'1)
GP5[0]	GP-5-0	IP10[25]で選択される周辺機能
GP5[1]	GP-5-1	IP11[3]で選択される周辺機能
GP5[2]	GP-5-2	IRQ2_B
GP5[3]	GP-5-3	IRQ3_B
GP5[10]	GP-5-10	IP10[27:26]で選択される周辺機能
GP5[11]	GP-5-11	IP10[29:28]で選択される周辺機能

【注】 GPIOch5 port 4~9 は ADC/AN2~7 とピンマルチしておりますが、ADC 向けに使用している専用 IO セルのデジタル入力を使用し、ADC のアナログ入力とは混在しておりません。したがって、本 GPIO 周辺機能選択レジスタ設定によるピン機能切り替えは不要となります。

37.2.8 周辺機能選択レジスタ 0 (IPSR0)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0 [31]	IP0 [30]	IP0 [29]	IP0 [28]	IP0 [27]	IP0 [26]	IP0 [25]	IP0 [24]	IP0 [23]	IP0 [22]	IP0 [21]	IP0 [20]	IP0 [19]	IP0 [18]	IP0 [17]	IP0 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP0 [15]	IP0 [14]	IP0 [13]	IP0 [12]	IP0 [11]	IP0 [10]	IP0 [9]	IP0 [8]	IP0 [7]	IP0 [6]	IP0 [5]	IP0 [4]	IP0 [3]	IP0 [2]	IP0 [1]	IP0 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)
IP0[1:0]	A0	ST0_CLKIN	LCD_DATA0_A	TCLKA_C
IP0[3:2]	A1	ST0_REQ	LCD_DATA1_A	TCLKB_C
IP0[5:4]	A2	ST0_SYC	LCD_DATA2_A	TCLKC_C
IP0[7:6]	A3	ST0_VLD	LCD_DATA3_A	TCLKD_C
IP0[9:8]	A4	ST0_D[0]	LCD_DATA4_A	TIOC0A_C
IP0[11:10]	A5	ST0_D[1]	LCD_DATA5_A	TIOC0B_C
IP0[13:12]	A6	ST0_D[2]	LCD_DATA6_A	TIOC0C_C
IP0[15:14]	A7	ST0_D[3]	LCD_DATA7_A	TIOC0D_C
IP0[17:16]	A8	ST0_D[4]	LCD_DATA8_A	TIOC1A_C
IP0[19:18]	A9	ST0_D[5]	LCD_DATA9_A	TIOC1B_C
IP0[21:20]	A10	ST0_D[6]	LCD_DATA10_A	TIOC2A_C
IP0[23:22]	A11	ST0_D[7]	LCD_DATA11_A	TIOC2B_C
IP0[25:24]	A12	LCD_DATA12_A	TIOC3A_C	設定禁止
IP0[27:26]	A13	LCD_DATA13_A	TIOC3B_C	設定禁止
IP0[29:28]	A14	LCD_DATA14_A	TIOC3C_C	設定禁止
IP0[31:30]	A15	ST0_VCO_CLKIN	LCD_DATA15_A	TIOC3D_C

37.2.9 周辺機能選択レジスタ 1 (IPSR1)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP1 [31]	IP1 [30]	IP1 [29]	IP1 [28]	IP1 [27]	IP1 [26]	IP1 [25]	IP1 [24]	IP1 [23]	IP1 [22]	IP1 [21]	IP1 [20]	IP1 [19]	IP1 [18]	IP1 [17]	IP1 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP1 [15]	IP1 [14]	IP1 [13]	IP1 [12]	IP1 [11]	IP1 [10]	IP1 [9]	IP1 [8]	IP1 [7]	IP1 [6]	IP1 [5]	IP1 [4]	IP1 [3]	IP1 [2]	IP1 [1]	IP1 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
IP1[1:0]	A16	ST0_PWM	LCD_DON_A	TIOC4A_C	設定禁止
IP1[3:2]	A17	ST1_VCO_CLKIN	LCD_CL1_A	TIOC4B_C	設定禁止
IP1[5:4]	A18	ST1_PWM	LCD_CL2_A	TIOC4C_C	設定禁止
IP1[7:6]	A19	ST1_CLKIN	LCD_CLK_A	TIOC4D_C	設定禁止
IP1[9:8]	A20	ST1_REQ	LCD_FLM_A	設定禁止	設定禁止
IP1[11:10]	A21	ST1_SYC	LCD_VCPWC_A	設定禁止	設定禁止
IP1[13:12]	A22	ST1_VLD	LCD_VEPWC_A	設定禁止	設定禁止
IP1[15:14]	A23	ST1_D[0]	LCD_M_DISP_A	設定禁止	設定禁止
IP1[17:16]	A24	RX2_D	ST1_D[1]	設定禁止	設定禁止
IP1[19:18]	A25	TX2_D	ST1_D[2]	設定禁止	設定禁止
IP1[22:20]	D0	SD0_DAT0_A	MMC_D0_A	ST1_D[3]	NAF0_A
IP1[25:23]	D1	SD0_DAT1_A	MMC_D1_A	ST1_D[4]	NAF1_A
IP1[28:26]	D2	SD0_DAT2_A	MMC_D2_A	ST1_D[5]	NAF2_A
IP1[31:29]	D3	SD0_DAT3_A	MMC_D3_A	ST1_D[6]	NAF3_A

37.2.10 周辺機能選択レジスタ 2 (IPSR2)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IP2 [30]	IP2 [29]	IP2 [28]	IP2 [27]	IP2 [26]	IP2 [25]	IP2 [24]	IP2 [23]	IP2 [22]	IP2 [21]	IP2 [20]	IP2 [19]	IP2 [18]	IP2 [17]	IP2 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP2 [15]	IP2 [14]	IP2 [13]	IP2 [12]	IP2 [11]	IP2 [10]	IP2 [9]	IP2 [8]	IP2 [7]	IP2 [6]	IP2 [5]	IP2 [4]	IP2 [3]	IP2 [2]	IP2 [1]	IP2 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP2[2:0]	D4	SD0_CD_A	MMC_D4_A	ST1_D[7]	NAF4_A	設定禁止
IP2[4:3]	D5	SD0_WP_A	MMC_D5_A	NAF5_A	設定禁止	設定禁止
IP2[7:5]	D6	RSPL_RSPCK_A	MMC_D6_A	QSPCLK_A	NAF6_A	設定禁止
IP2[10:8]	D7	RSPL_SSL_A	MMC_D7_A	QSSL_A	NAF7_A	設定禁止
IP2[13:11]	D8	SD0_CLK_A	MMC_CLK_A	QIO2_A	FCE#_A	ET0_GTX_CLK_B
IP2[16:14]	D9	SD0_CMD_A	MMC_CMD_A	QIO3_A	FCLE_A	ET0_ETXD1_B
IP2[19:17]	D10	RSPL_MOSI_A	設定禁止	QMO / QIO0_A	FALE_A	ET0_ETXD2_B
IP2[22:20]	D11	RSPL_MISO_A	設定禁止	QMI / QIO1_A	FRE#_A	ET0_ETXD3_B
IP2[24:23]	D12	設定禁止	FWE#_A	ET0_ETXD5_B	設定禁止	設定禁止
IP2[27:25]	D13	RX2_B	設定禁止	FRB_A	ET0_ETXD6_B	設定禁止
IP2[30:28]	D14	TX2_B	設定禁止	設定禁止	ET0_TX_CLK_B	設定禁止

37.2.11 周辺機能選択レジスタ 3 (IPSR3)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IP3 [29]	IP3 [28]	IP3 [27]	IP3 [26]	IP3 [25]	IP3 [24]	IP3 [23]	IP3 [22]	IP3 [21]	IP3 [20]	IP3 [19]	IP3 [18]	IP3 [17]	IP3 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP3 [15]	IP3 [14]	IP3 [13]	IP3 [12]	IP3 [11]	IP3 [10]	IP3 [9]	IP3 [8]	IP3 [7]	IP3 [6]	IP3 [5]	IP3 [4]	IP3 [3]	IP3 [2]	IP3 [1]	IP3 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31、30	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP3[1:0]	D15	SCK2_B	設定禁止	設定禁止	設定禁止	設定禁止
IP3[2]	CS1#/A26	QIO3_B	設定禁止	設定禁止	設定禁止	設定禁止
IP3[5:3]	EX_CS1#	RX3_B	ATACS0#	QIO2_B	ET0_ETXD0	設定禁止
IP3[8:6]	EX_CS2#	TX3_B	ATACS1#	QSPCLK_B	ET0_GTX_CLK_A	設定禁止
IP3[11:9]	EX_CS3#	SD1_CD_A	ATARD#	QMO / QIO0_B	ET0_ETXD1_A	設定禁止
IP3[14:12]	EX_CS4#	SD1_WP_A	ATAWR#	QMI / QIO1_B	ET0_ETXD2_A	設定禁止
IP3[17:15]	EX_CS5#	SD1_CMD_A	ATADIR#	QSSL_B	ET0_ETXD3_A	設定禁止
IP3[19:18]	RD/WR#	TCLK0	CAN_CLK_B	ET0_ETXD4	設定禁止	設定禁止
IP3[20]	EX_WAIT0	TCLK1_B	設定禁止	設定禁止	設定禁止	設定禁止
IP3[23:21]	EX_WAIT1	SD1_DAT0_A	DREQ2	CAN1_TX_C	ET0_LINK_C	ET0_ETXD5_A
IP3[26:24]	EX_WAIT2	SD1_DAT1_A	DACK2	CAN1_RX_C	ET0_MAGIC_C	ET0_ETXD6_A
IP3[29:27]	DRACK0	SD1_DAT2_A	ATAG#	TCLK1_A	ET0_ETXD7	設定禁止

37.2.12 周辺機能選択レジスタ 4 (IPSR4)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP4 [31]	IP4 [30]	IP4 [29]	IP4 [28]	IP4 [27]	IP4 [26]	IP4 [25]	IP4 [24]	IP4 [23]	IP4 [22]	IP4 [21]	IP4 [20]	IP4 [19]	IP4 [18]	IP4 [17]	IP4 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4 [15]	IP4 [14]	IP4 [13]	IP4 [12]	IP4 [11]	IP4 [10]	IP4 [9]	IP4 [8]	IP4 [7]	IP4 [6]	IP4 [5]	IP4 [4]	IP4 [3]	IP4 [2]	IP4 [1]	IP4 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP4[2:0]	HCTS0#_A	CTS1#_A	VI0_FIELD	RMII0_RXD1_A	ET0_ERXD7	設定禁止
IP4[5:3]	HRTS0#_A	RTS1#_A	VI0_HSYNC#	RMII0_TXD_EN_A	ET0_RX_DV	設定禁止
IP4[8:6]	HSCK0_A	SCK1_A	VI0_VSYNC#	RMII0_RX_ER_A	ET0_RX_ER	設定禁止
IP4[11:9]	HRX0_A	RX1_A	VI0_DATA0/VI0_B0	RMII0_CRS_DV_A	ET0_CRS	設定禁止
IP4[14:12]	HTX0_A	TX1_A	VI0_DATA1/VI0_B1	RMII0_MDC_A	ET0_COL	設定禁止
IP4[17:15]	設定禁止	CTS0#_B	VI0_DATA2/VI0_B2	RMII0_MDIO_A	ET0_MDC	設定禁止
IP4[19:18]	設定禁止	RTS0#_B	VI0_DATA3/VI0_B3	ET0_MDIO_A	設定禁止	設定禁止
IP4[21:20]	設定禁止	SCK1_B	VI0_DATA4/VI0_B4	ET0_LINK_A	設定禁止	設定禁止
IP4[23:22]	設定禁止	RX1_B	VI0_DATA5/VI0_B5	ET0_MAGIC_A	設定禁止	設定禁止
IP4[25:24]	設定禁止	TX1_B	VI0_DATA6/VI0_G0	ET0_PHY_INT_A	設定禁止	設定禁止
IP4[27:26]	設定禁止	CTS1#_B	VI0_DATA7/VI0_G1	設定禁止	設定禁止	設定禁止
IP4[29:28]	設定禁止	RTS1#_B	VI0_G2	設定禁止	設定禁止	設定禁止
IP4[31:30]	設定禁止	SCK2_A	VI0_G3	設定禁止	設定禁止	設定禁止

37.2.13 周辺機能選択レジスタ 5 (IPSR5)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	IP5 [26]	IP5 [25]	IP5 [24]	IP5 [23]	IP5 [22]	IP5 [21]	IP5 [20]	IP5 [19]	IP5 [18]	IP5 [17]	IP5 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP5 [15]	IP5 [14]	IP5 [13]	IP5 [12]	IP5 [11]	IP5 [10]	IP5 [9]	IP5 [8]	IP5 [7]	IP5 [6]	IP5 [5]	IP5 [4]	IP5 [3]	IP5 [2]	IP5 [1]	IP5 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~27	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~0	H'000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
IP5[2:0]	SD2_CLK_A	RX2_A	VI0_G4	設定禁止	ET0_RX_CLK_B
IP5[5:3]	SD2_CMD_A	TX2_A	VI0_G5	設定禁止	ET0_ERXD2_B
IP5[8:6]	SD2_DAT0_A	RX3_A	VI0_R0	設定禁止	ET0_ERXD3_B
IP5[11:9]	SD2_DAT1_A	TX3_A	VI0_R1	設定禁止	ET0_MDIO_B
IP5[14:12]	SD2_DAT2_A	RX4_A	VI0_R2	設定禁止	ET0_LINK_B
IP5[17:15]	SD2_DAT3_A	TX4_A	VI0_R3	設定禁止	ET0_MAGIC_B
IP5[20:18]	SD2_CD_A	RX5_A	VI0_R4	設定禁止	ET0_PHY_INT_B
IP5[22:21]	SD2_WP_A	TX5_A	VI0_R5	設定禁止	設定禁止
IP5[24:23]	REF125CK	ADTRG#	RX5_C	設定禁止	設定禁止
IP5[26:25]	REF50CK	CTS1#_E	HCTS0#_D	設定禁止	設定禁止

37.2.14 周辺機能選択レジスタ 6 (IPSR6)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	IP6 [23]	IP6 [22]	IP6 [21]	IP6 [20]	IP6 [19]	IP6 [18]	IP6 [17]	IP6 [16]
初期値:	0	0	0	0	0	0	0	0	*	0	0	*	0	*	*	*
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP6 [15]	IP6 [14]	IP6 [13]	IP6 [12]	IP6 [11]	IP6 [10]	IP6 [9]	IP6 [8]	IP6 [7]	IP6 [6]	IP6 [5]	IP6 [4]	IP6 [3]	IP6 [2]	IP6 [1]	IP6 [0]
初期値:	*	*	*	*	*	*	*	*	*	*	*	0	*	*	0	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時: 0, HIF ブート時: 1) ので注意してください。

ビット	初期値	R/W	説明
31~24	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~0	H'00 0000 (通常時) H'97 FFED (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP6[2:0]	DU0_DR0	SCIF_CLK_B	HRX0_D	IETX_A	TCLKA_A	HIFD00
IP6[5:3]	DU0_DR1	SCK0_B	HTX0_D	IERX_A	TCLKB_A	HIFD01
IP6[7:6]	DU0_DR2	RX0_B	TCLKC_A	HIFD02	設定禁止	設定禁止
IP6[9:8]	DU0_DR3	TX0_B	TCLKD_A	HIFD03	設定禁止	設定禁止
IP6[11:10]	DU0_DR4	CTS0#_C	TIOC0A_A	HIFD04	設定禁止	設定禁止
IP6[13:12]	DU0_DR5	RTS0#_C	TIOC0B_A	HIFD05	設定禁止	設定禁止
IP6[15:14]	DU0_DR6	SCK1_C	TIOC0C_A	HIFD06	設定禁止	設定禁止
IP6[17:16]	DU0_DR7	RX1_C	TIOC0D_A	HIFD07	設定禁止	設定禁止
IP6[20:18]	DU0_DG0	TX1_C	HSCK0_D	IECLK_A	TIOC1A_A	HIFD08
IP6[23:21]	DU0_DG1	CTS1#_C	HRTS0#_D	TIOC1B_A	HIFD09	設定禁止

37.2.15 周辺機能選択レジスタ 7 (IPSR7)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IP7 [30]	IP7 [29]	IP7 [28]	IP7 [27]	IP7 [26]	IP7 [25]	IP7 [24]	IP7 [23]	IP7 [22]	IP7 [21]	IP7 [20]	IP7 [19]	IP7 [18]	IP7 [17]	IP7 [16]
初期値:	0	*	0	*	*	*	0	0	*	0	0	*	0	0	*	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP7 [15]	IP7 [14]	IP7 [13]	IP7 [12]	IP7 [11]	IP7 [10]	IP7 [9]	IP7 [8]	IP7 [7]	IP7 [6]	IP7 [5]	IP7 [4]	IP7 [3]	IP7 [2]	IP7 [1]	IP7 [0]
初期値:	0	*	0	0	*	0	0	*	0	0	*	0	0	*	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時: 0, HIF ブート時: 1) ので注意してください。

ビット	初期値	R/W	説明
31	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~0	H'0000 0000 (通常時) H'5C92 4924 (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP7[2:0]	DU0_DG2	RTS1#_C	RMII0_MDC_B	TIOC2A_A	HIFD10	設定禁止
IP7[5:3]	DU0_DG3	SCK2_C	RMII0_MDIO_B	TIOC2B_A	HIFD11	設定禁止
IP7[8:6]	DU0_DG4	RX2_C	RMII0_CRSDV_B	TIOC3A_A	HIFD12	設定禁止
IP7[11:9]	DU0_DG5	TX2_C	RMII0_RX_ER_B	TIOC3B_A	HIFD13	設定禁止
IP7[14:12]	DU0_DG6	RX3_C	RMII0_RXD0_B	TIOC3C_A	HIFD14	設定禁止
IP7[17:15]	DU0_DG7	TX3_C	RMII0_RXD1_B	TIOC3D_A	HIFD15	設定禁止
IP7[20:18]	DU0_DB0	RX4_C	RMII0_TXD_EN_B	TIOC4A_A	HIFCS	設定禁止
IP7[23:21]	DU0_DB1	TX4_C	RMII0_TXD0_B	TIOC4B_A	HIFRS	設定禁止
IP7[26:24]	DU0_DB2	RX5_B	RMII0_TXD1_B	TIOC4C_A	HIFWR	設定禁止
IP7[28:27]	DU0_DB3	TX5_B	TIOC4D_A	HIFRD	設定禁止	設定禁止
IP7[30:29]	DU0_DB4	SD2_CLK_B	HIFINT	設定禁止	設定禁止	設定禁止

37.2.16 周辺機能選択レジスタ 8 (IPSR8)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IP8 [29]	IP8 [28]	IP8 [27]	IP8 [26]	IP8 [25]	IP8 [24]	IP8 [23]	IP8 [22]	IP8 [21]	IP8 [20]	IP8 [19]	IP8 [18]	IP8 [17]	IP8 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP8 [15]	IP8 [14]	IP8 [13]	IP8 [12]	IP8 [11]	IP8 [10]	IP8 [9]	IP8 [8]	IP8 [7]	IP8 [6]	IP8 [5]	IP8 [4]	IP8 [3]	IP8 [2]	IP8 [1]	IP8 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	*	0	*	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時: 0、HIF ブート時: 1) ので注意してください。

ビット	初期値	R/W	説明
31、30	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~0	H'0000 0000 (通常時) H'0000 000A (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
IP8[1:0]	DU0_DB5	SD2_CMD_B	HIFDREQ	設定禁止	設定禁止
IP8[3:2]	DU0_DB6	SD2_DAT0_B	HIFRDY	設定禁止	設定禁止
IP8[5:4]	DU0_DB7	SD2_DAT1_B	SSI_SCK0_B	HIFEFL_B	設定禁止
IP8[7:6]	DU0_DOTCLKIN	SD2_DAT2_B	HSPI_CS#_C	SSI_WS0_B	設定禁止
IP8[9:8]	DU0_DOTCLKOUT	SD2_DAT3_B	HSPI_CLK_C	SSI_SDATA0_B	設定禁止
IP8[11:10]	DU0_EXHSYNC/DU0_HSYNC	SD2_CD_B	HSPI_TX_C	SSI_SCK1_B	設定禁止
IP8[13:12]	DU0_EXVSYNC/DU0_VSYNC	SD2_WP_B	HSPI_RX_C	SSI_WS1_B	設定禁止
IP8[15:14]	DU0_EXODDF/DU0_ODDF	CAN0_RX_B	HACK0_B	SSI_SDATA1_B	設定禁止
IP8[17:16]	DU0_DISP	CAN0_TX_B	HRX0_B	AUDIO_CLKA_B	設定禁止
IP8[19:18]	DU0_CDE	HTX0_B	AUDIO_CLKB_B	LCD_VCPWC_B	設定禁止
IP8[22:20]	IRQ0_A	設定禁止	HSPI_TX_B	RX3_E	ET0_ERXD0
IP8[25:23]	IRQ1_A	設定禁止	HSPI_RX_B	TX3_E	ET0_ERXD1
IP8[27:26]	IRQ2_A	CTS0#_A	HCTS0#_B	ET0_ERXD2_A	設定禁止
IP8[29:28]	IRQ3_A	RTS0#_A	HRTS0#_B	ET0_ERXD3_A	設定禁止

37.2.17 周辺機能選択レジスタ 9 (IPSR9)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IP9 [29]	IP9 [28]	IP9 [27]	IP9 [26]	IP9 [25]	IP9 [24]	IP9 [23]	IP9 [22]	IP9 [21]	IP9 [20]	IP9 [19]	IP9 [18]	IP9 [17]	IP9 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP9 [15]	IP9 [14]	IP9 [13]	IP9 [12]	IP9 [11]	IP9 [10]	IP9 [9]	IP9 [8]	IP9 [7]	IP9 [6]	IP9 [5]	IP9 [4]	IP9 [3]	IP9 [2]	IP9 [1]	IP9 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31、30	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)
IP9[1:0]	VI1_CLK_A	設定禁止	NAF0_B	LCD_DATA0_B
IP9[3:2]	VI1_0_A	設定禁止	NAF1_B	LCD_DATA1_B
IP9[5:4]	VI1_1_A	設定禁止	NAF2_B	LCD_DATA2_B
IP9[7:6]	VI1_2_A	設定禁止	NAF3_B	LCD_DATA3_B
IP9[9:8]	VI1_3_A	設定禁止	NAF4_B	LCD_DATA4_B
IP9[11:10]	VI1_4_A	設定禁止	NAF5_B	LCD_DATA5_B
IP9[13:12]	VI1_5_A	設定禁止	NAF6_B	LCD_DATA6_B
IP9[15:14]	VI1_6_A	設定禁止	NAF7_B	LCD_DATA7_B
IP9[17:16]	VI1_7_A	FCE#_B	LCD_DATA8_B	設定禁止
IP9[19:18]	SSI_SCK0_A	TIOC1A_B	LCD_DATA9_B	設定禁止
IP9[21:20]	SSI_WS0_A	TIOC1B_B	LCD_DATA10_B	設定禁止
IP9[23:22]	SSI_SDATA0_A	VI1_0_B	TIOC2A_B	LCD_DATA11_B
IP9[25:24]	SSI_SCK1_A	VI1_1_B	TIOC2B_B	LCD_DATA12_B
IP9[27:26]	SSI_WS1_A	VI1_2_B	LCD_DATA13_B	設定禁止
IP9[29:28]	SSI_SDATA1_A	VI1_3_B	LCD_DATA14_B	設定禁止

37.2.18 周辺機能選択レジスタ 10 (IPSR10)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IP10 [29]	IP10 [28]	IP10 [27]	IP10 [26]	IP10 [25]	IP10 [24]	IP10 [23]	IP10 [22]	IP10 [21]	IP10 [20]	IP10 [19]	IP10 [18]	IP10 [17]	IP10 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP10 [15]	IP10 [14]	IP10 [13]	IP10 [12]	IP10 [11]	IP10 [10]	IP10 [9]	IP10 [8]	IP10 [7]	IP10 [6]	IP10 [5]	IP10 [4]	IP10 [3]	IP10 [2]	IP10 [1]	IP10 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31、30	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29~0	H'0000 0000	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)	機能 6 (設定値=H'5)
IP10[2:0]	SSI_SCK23	VI1_4_B	RX1_D	FCLE_B	LCD_DATA15_B	設定禁止
IP10[5:3]	SSI_WS23	VI1_5_B	TX1_D	HSCK0_C	FALE_B	LCD_DON_B
IP10[8:6]	SSI_SDATA2	VI1_6_B	設定禁止	HRX0_C	FRE#_B	LCD_CL1_B
IP10[11:9]	SSI_SDATA3	VI1_7_B	設定禁止	HTX0_C	FWE#_B	LCD_CL2_B
IP10[14:12]	AUDIO_CLKA_A	VI1_CLK_B	SCK1_D	IECLK_B	LCD_FLM_B	設定禁止
IP10[15]	AUDIO_CLKB_A	LCD_CLK_B	設定禁止	設定禁止	設定禁止	設定禁止
IP10[18:16]	AUDIO_CLKC	SCK1_E	設定禁止	HCTS0#_C	FRB_B	LCD_VEPWC_B
IP10[21:19]	AUDIO_CLKOUT	TX1_E	設定禁止	HRTS0#_C	設定禁止	LCD_M_DISP_B
IP10[22]	CAN_CLK_A	RX4_D	設定禁止	設定禁止	設定禁止	設定禁止
IP10[24:23]	CAN0_TX_A	TX4_D	MLB_CLK	設定禁止	設定禁止	設定禁止
IP10[25]	CAN1_RX_A	IRQ1_B	設定禁止	設定禁止	設定禁止	設定禁止
IP10[27:26]	CAN0_RX_A	IRQ0_B	MLB_SIG	設定禁止	設定禁止	設定禁止
IP10[29:28]	CAN1_TX_A	TX5_C	MLB_DAT	設定禁止	設定禁止	設定禁止

37.2.19 周辺機能選択レジスタ 11 (IPSR11)

機能：マルチプレクスされた LSI ピンの切り替え制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	IP11 [28]	IP11 [27]	IP11 [26]	IP11 [25]	IP11 [24]	IP11 [23]	IP11 [22]	IP11 [21]	IP11 [20]	IP11 [19]	IP11 [18]	IP11 [17]	IP11 [16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP11 [15]	IP11 [14]	IP11 [13]	IP11 [12]	IP11 [11]	IP11 [10]	IP11 [9]	IP11 [8]	IP11 [7]	IP11 [6]	IP11 [5]	IP11 [4]	IP11 [3]	IP11 [2]	IP11 [1]	IP11 [0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	*	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 通常起動時/HIF ブート時で初期値が異なる (通常時: 0、HIF ブート時: 1) ので注意してください。

ビット	初期値	R/W	説明
31~29	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~0	H'0000 0000 (通常時) H'0000 0004 (HIF ブート時)	R/W	下表に従い LSI ピン機能を選択設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

ビット名称	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
IP11[0]	SCL1	SCIF_CLK_C	設定禁止	設定禁止	設定禁止
IP11[1]	SDA1	RX1_E	設定禁止	設定禁止	設定禁止
IP11[2]	SDA0	HIFEBL_A	設定禁止	設定禁止	設定禁止
IP11[3]	SDSELF	RTS1#_E	設定禁止	設定禁止	設定禁止
IP11[6:4]	SCIF_CLK_A	HSPI_CLK_A	VI0_CLK	RMII0_TXD0_A	ET0_ERXD4
IP11[9:7]	SCK0_A	HSPI_CS#_A	VI0_CLKENB	RMII0_TXD1_A	ET0_ERXD5
IP11[11:10]	RX0_A	HSPI_RX_A	RMII0_RXD0_A	ET0_ERXD6	設定禁止
IP11[12]	TX0_A	HSPI_TX_A	設定禁止	設定禁止	設定禁止
IP11[15:13]	PENC1	TX3_D	CAN1_TX_B	TX5_D	IETX_B
IP11[18:16]	USB_OVC1	RX3_D	CAN1_RX_B	RX5_D	IERX_B
IP11[20:19]	DREQ0	SD1_CLK_A	ET0_TX_EN	設定禁止	設定禁止
IP11[22:21]	DACK0	SD1_DAT3_A	ET0_TX_ER	設定禁止	設定禁止
IP11[25:23]	DREQ1	HSPI_CLK_B	RX4_B	ET0_PHY_INT_C	ET0_TX_CLK_A
IP11[27:26]	DACK1	HSPI_CS#_B	TX4_B	ET0_RX_CLK_A	設定禁止
IP11[28]	PRESETOUT#	ST_CLKOUT	設定禁止	設定禁止	設定禁止

機能信号から見た GPIO 切り替えレジスタの設定表を表 37.3 に示します。

表 37.3 機能から見たレジスタ対応表

GPIO-周辺 切り替え (GP 設定 値=0)	GPIO-周辺切り替え						GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-0-0	A20	ST1_REQ	LCD_FLM_A	設定禁止	設定禁止	設定禁止	GP0[0]	IP1[9:8]
GP-0-1	A21	ST1_SYC	LCD_VCPWC_A	設定禁止	設定禁止	設定禁止	GP0[1]	IP1[11:10]
GP-0-2	A22	ST1_VLD	LCD_VEPWC_A	設定禁止	設定禁止	設定禁止	GP0[2]	IP1[13:12]
GP-0-3	A23	ST1_D[0]	LCD_M_DISP_A	設定禁止	設定禁止	設定禁止	GP0[3]	IP1[15:14]
GP-0-4	A3	ST0_VLD	LCD_DATA3_A	TCLKD_C	設定禁止	設定禁止	GP0[4]	IP0[7:6]
GP-0-5	A4	ST0_D[0]	LCD_DATA4_A	TIOC0A_C	設定禁止	設定禁止	GP0[5]	IP0[9:8]
GP-0-6	A5	ST0_D[1]	LCD_DATA5_A	TIOC0B_C	設定禁止	設定禁止	GP0[6]	IP0[11:10]
GP-0-7	A6	ST0_D[2]	LCD_DATA6_A	TIOC0C_C	設定禁止	設定禁止	GP0[7]	IP0[13:12]
GP-0-8	A7	ST0_D[3]	LCD_DATA7_A	TIOC0D_C	設定禁止	設定禁止	GP0[8]	IP0[15:14]
GP-0-9	A8	ST0_D[4]	LCD_DATA8_A	TIOC1A_C	設定禁止	設定禁止	GP0[9]	IP0[17:16]
GP-0-10	A9	ST0_D[5]	LCD_DATA9_A	TIOC1B_C	設定禁止	設定禁止	GP0[10]	IP0[19:18]
GP-0-11	A10	ST0_D[6]	LCD_DATA10_A	TIOC2A_C	設定禁止	設定禁止	GP0[11]	IP0[21:20]
GP-0-12	A11	ST0_D[7]	LCD_DATA11_A	TIOC2B_C	設定禁止	設定禁止	GP0[12]	IP0[23:22]
GP-0-13	A12	LCD_DATA12_A	TIOC3A_C	設定禁止	設定禁止	設定禁止	GP0[13]	IP0[25:24]
GP-0-14	A13	LCD_DATA13_A	TIOC3B_C	設定禁止	設定禁止	設定禁止	GP0[14]	IP0[27:26]
GP-0-15	A14	LCD_DATA14_A	TIOC3C_C	設定禁止	設定禁止	設定禁止	GP0[15]	IP0[29:28]
GP-0-16	A15	ST0_VCO_CLKIN	LCD_DATA15_A	TIOC3D_C	設定禁止	設定禁止	GP0[16]	IP0[31:30]
GP-0-17	A16	ST0_PWM	LCD_DON_A	TIOC4A_C	設定禁止	設定禁止	GP0[17]	IP1[1:0]
GP-0-18	A17	ST1_VCO_CLKIN	LCD_CL1_A	TIOC4B_C	設定禁止	設定禁止	GP0[18]	IP1[3:2]
GP-0-19	A18	ST1_PWM	LCD_CL2_A	TIOC4C_C	設定禁止	設定禁止	GP0[19]	IP1[5:4]
GP-0-20	A19	ST1_CLKIN	LCD_CLK_A	TIOC4D_C	設定禁止	設定禁止	GP0[20]	IP1[7:6]
GP-0-21	PRESETOUT#	ST_CLKOUT	設定禁止	設定禁止	設定禁止	設定禁止	GP0[21]	IP11[28]
GP-0-22	A0	ST0_CLKIN	LCD_DATA0_A	TCLKA_C	設定禁止	設定禁止	GP0[22]	IP0[1:0]
GP-0-23	A1	ST0_REQ	LCD_DATA1_A	TCLKB_C	設定禁止	設定禁止	GP0[23]	IP0[3:2]
GP-0-24	A2	ST0_SYC	LCD_DATA2_A	TCLKC_C	設定禁止	設定禁止	GP0[24]	IP0[5:4]
GP-0-25	A24	RX2_D	ST1_D[1]	設定禁止	設定禁止	設定禁止	GP0[25]	IP1[17:16]
GP-0-26	A25	TX2_D	ST1_D[2]	設定禁止	設定禁止	設定禁止	GP0[26]	IP1[19:18]
GP-0-27	D0	SD0_DAT0_A	MMC_D0_A	ST1_D[3]	NAF0_A	設定禁止	GP0[27]	IP1[22:20]
GP-0-28	D1	SD0_DAT1_A	MMC_D1_A	ST1_D[4]	NAF1_A	設定禁止	GP0[28]	IP1[25:23]
GP-0-29	D2	SD0_DAT2_A	MMC_D2_A	ST1_D[5]	NAF2_A	設定禁止	GP0[29]	IP1[28:26]
GP-0-30	D3	SD0_DAT3_A	MMC_D3_A	ST1_D[6]	NAF3_A	設定禁止	GP0[30]	IP1[31:29]
GP-0-31	D4	SD0_CD_A	MMC_D4_A	ST1_D[7]	NAF4_A	設定禁止	GP0[31]	IP2[2:0]

GPIO-周辺切り替え							GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
GPIO-周辺 切り替え (GP 設定 値=0)	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-1-0	EX_WAIT0	TCLK1_B	設定禁止	設定禁止	設定禁止	設定禁止	GP1[0]	IP3[20]
GP-1-1	DRACK0	SD1_DAT2_A	ATAG#	TCLK1_A	ET0_ETXD7	設定禁止	GP1[1]	IP3[29:27]
GP-1-2	DREQ0	SD1_CLK_A	ET0_TX_EN	設定禁止	設定禁止	設定禁止	GP1[2]	IP11[20:19]
GP-1-3	DACK0	SD1_DAT3_A	ET0_TX_ER	設定禁止	設定禁止	設定禁止	GP1[3]	IP11[22:21]
GP-1-4	D9	SD0_CMD_A	MMC_CMD_A	QIO3_A	FCLE_A	ET0_ETXD1_ B	GP1[4]	IP2[16:14]
GP-1-5	D10	RSPI_MOSI_A	設定禁止	QMO / QIO0_A	FALE_A	ET0_ETXD2_ B	GP1[5]	IP2[19:17]
GP-1-6	D11	RSPI_MISO_A	設定禁止	QMI / QIO1_A	FRE#_A	ET0_ETXD3_ B	GP1[6]	IP2[22:20]
GP-1-7	D12	設定禁止	FWE#_A	ET0_ETXD5_B	設定禁止	設定禁止	GP1[7]	IP2[24:23]
GP-1-8	D13	RX2_B	設定禁止	FRB_A	ET0_ETXD6_B	設定禁止	GP1[8]	IP2[27:25]
GP-1-9	D14	TX2_B	設定禁止	設定禁止	ET0_TX_CLK_ B	設定禁止	GP1[9]	IP2[30:28]
GP-1-10	D15	SCK2_B	設定禁止	設定禁止	設定禁止	設定禁止	GP1[10]	IP3[1:0]
GP-1-11	CLKOUT	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[11]	設定禁止
GP-1-12	BS#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[12]	設定禁止
GP-1-13	CS0#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[13]	設定禁止
GP-1-14	CS1#/A26	QIO3_B	設定禁止	設定禁止	設定禁止	設定禁止	GP1[14]	IP3[2]
GP-1-15	EX_CS0#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[15]	設定禁止
GP-1-16	EX_CS1#	RX3_B	ATACS0#	QIO2_B	ET0_ETXD0	設定禁止	GP1[16]	IP3[5:3]
GP-1-17	EX_CS2#	TX3_B	ATACS1#	QSPCLK_B	ET0_GTX_CLK_ A	設定禁止	GP1[17]	IP3[8:6]
GP-1-18	EX_CS3#	SD1_CD_A	ATARD#	QMO / QIO0_B	ET0_ETXD1_A	設定禁止	GP1[18]	IP3[11:9]
GP-1-19	EX_CS4#	SD1_WP_A	ATAWR#	QMI / QIO1_B	ET0_ETXD2_A	設定禁止	GP1[19]	IP3[14:12]
GP-1-20	EX_CS5#	SD1_CMD_A	ATADIR#	QSSL_B	ET0_ETXD3_A	設定禁止	GP1[20]	IP3[17:15]
GP-1-21	RD#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[21]	設定禁止
GP-1-22	RD/WR#	TCLK0	CAN_CLK_B	ET0_ETXD4	設定禁止	設定禁止	GP1[22]	IP3[19:18]
GP-1-23	WE0#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[23]	設定禁止
GP-1-24	WE1#	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP1[24]	設定禁止
GP-1-25	D5	SD0_WP_A	MMC_D5_A	NAF5_A	設定禁止	設定禁止	GP1[25]	IP2[4:3]
GP-1-26	EX_WAIT1	SD1_DAT0_A	DREQ2	CAN1_TX_C	ET0_LINK_C	ET0_ETXD5_ A	GP1[26]	IP3[23:21]
GP-1-27	EX_WAIT2	SD1_DAT1_A	DACK2	CAN1_RX_C	ET0_MAGIC_C	ET0_ETXD6_ A	GP1[27]	IP3[26:24]

GPIO-周辺切り替え							GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
GPIO-周辺 切り替え (GP 設定 値=0)	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-1-28	D6	RSPI_RSPCK_A	MMC_D6_A	QSPCLK_A	NAF6_A	設定禁止	GP1[28]	IP2[7:5]
GP-1-29	D7	RSPI_SSL_A	MMC_D7_A	QSSL_A	NAF7_A	設定禁止	GP1[29]	IP2[10:8]
GP-1-30	D8	SD0_CLK_A	MMC_CLK_A	QIO2_A	FCE#_A	ET0_GTX_CLK_B	GP1[30]	IP2[13:11]
GP-1-31	DREQ1	HSPI_CLK_B	RX4_B	ET0_PHY_INT_C	ET0_TX_CLK_A	設定禁止	GP1[31]	IP1[25:23]
GP-2-0	SCIF_CLK_A	HSPI_CLK_A	VI0_CLK	RMII0_TXD0_A	ET0_ERXD4	設定禁止	GP2[0]	IP11[6:4]
GP-2-1	SCK0_A	HSPI_CS#_A	VI0_CLKENB	RMII0_TXD1_A	ET0_ERXD5	設定禁止	GP2[1]	IP11[9:7]
GP-2-2	RX0_A	HSPI_RX_A	RMII0_RXD0_A	ET0_ERXD6	設定禁止	設定禁止	GP2[2]	IP11[11:10]
GP-2-3	HCTS0#_A	CTS1#_A	VI0_FIELD	RMII0_RXD1_A	ET0_ERXD7	設定禁止	GP2[3]	IP4[2:0]
GP-2-4	IRQ3_A	RTS0#_A	HRTS0#_B	ET0_ERXD3_A	設定禁止	設定禁止	GP2[4]	IP8[29:28]
GP-2-5	DACK1	HSPI_CS#_B	TX4_B	ET0_RX_CLK_A	設定禁止	設定禁止	GP2[5]	IP11[27:26]
GP-2-6	IRQ0_A	設定禁止	HSPI_TX_B	RX3_E	ET0_ERXD0	設定禁止	GP2[6]	IP8[22:20]
GP-2-7	IRQ1_A	設定禁止	HSPI_RX_B	TX3_E	ET0_ERXD1	設定禁止	GP2[7]	IP8[25:23]
GP-2-8	TX0_A	HSPI_TX_A	設定禁止	設定禁止	設定禁止	設定禁止	GP2[8]	IP11[12]
GP-2-9	IRQ2_A	CTS0#_A	HCTS0#_B	ET0_ERXD2_A	設定禁止	設定禁止	GP2[9]	IP8[27:26]
GP-2-10	HRTS0#_A	RTS1#_A	VI0_HSYNC#	RMII0_TXD_EN_A	ET0_RX_DV	設定禁止	GP2[10]	IP4[5:3]
GP-2-11	HACK0_A	SCK1_A	VI0_VSYNC#	RMII0_RX_ER_A	ET0_RX_ER	設定禁止	GP2[11]	IP4[8:6]
GP-2-12	HRX0_A	RX1_A	VI0_DATA0/VI0_B0	RMII0_CRS_DV_A	ET0_CRS	設定禁止	GP2[12]	IP4[11:9]
GP-2-13	HTX0_A	TX1_A	VI0_DATA1/VI0_B1	RMII0_MDC_A	ET0_COL	設定禁止	GP2[13]	IP4[14:12]
GP-2-14	設定禁止	CTS0#_B	VI0_DATA2/VI0_B2	RMII0_MDIO_A	ET0_MDC	設定禁止	GP2[14]	IP4[17:15]
GP-2-15	設定禁止	RTS0#_B	VI0_DATA3/VI0_B3	ET0_MDIO_A	設定禁止	設定禁止	GP2[15]	IP4[19:18]
GP-2-16	設定禁止	SCK1_B	VI0_DATA4/VI0_B4	ET0_LINK_A	設定禁止	設定禁止	GP2[16]	IP4[21:20]
GP-2-17	設定禁止	RX1_B	VI0_DATA5/VI0_B5	ET0_MAGIC_A	設定禁止	設定禁止	GP2[17]	IP4[23:22]
GP-2-18	設定禁止	TX1_B	VI0_DATA6/VI0_G0	ET0_PHY_INT_A	設定禁止	設定禁止	GP2[18]	IP4[25:24]
GP-2-19	設定禁止	CTS1#_B	VI0_DATA7/VI0_G1	設定禁止	設定禁止	設定禁止	GP2[19]	IP4[27:26]
GP-2-20	設定禁止	RTS1#_B	VI0_G2	設定禁止	設定禁止	設定禁止	GP2[20]	IP4[29:28]
GP-2-21	設定禁止	SCK2_A	VI0_G3	設定禁止	設定禁止	設定禁止	GP2[21]	IP4[31:30]

GPIO-周辺切り替え							GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
GPIO-周辺 切り替え (GP 設定 値=0)	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-2-22	SD2_CLK_A	RX2_A	VI0_G4	設定禁止	ET0_RX_CLK_B	設定禁止	GP2[22]	IP5[2:0]
GP-2-23	SD2_CMD_A	TX2_A	VI0_G5	設定禁止	ET0_ERXD2_B	設定禁止	GP2[23]	IP5[5:3]
GP-2-24	SD2_DAT0_A	RX3_A	VI0_R0	設定禁止	ET0_ERXD3_B	設定禁止	GP2[24]	IP5[8:6]
GP-2-25	SD2_DAT1_A	TX3_A	VI0_R1	設定禁止	ET0_MDIO_B	設定禁止	GP2[25]	IP5[11:9]
GP-2-26	SD2_DAT2_A	RX4_A	VI0_R2	設定禁止	ET0_LINK_B	設定禁止	GP2[26]	IP5[14:12]
GP-2-27	SD2_DAT3_A	TX4_A	VI0_R3	設定禁止	ET0_MAGIC_B	設定禁止	GP2[27]	IP5[17:15]
GP-2-28	SD2_CD_A	RX5_A	VI0_R4	設定禁止	ET0_PHY_INT_B	設定禁止	GP2[28]	IP5[20:18]
GP-2-29	SD2_WP_A	TX5_A	VI0_R5	設定禁止	設定禁止	設定禁止	GP2[29]	IP5[22:21]
GP-2-30	REF125CK	ADTRG#	RX5_C	設定禁止	設定禁止	設定禁止	GP2[30]	IP5[24:23]
GP-2-31	REF50CK	CTS1#_E	HCTS0#_D	設定禁止	設定禁止	設定禁止	GP2[31]	IP5[26:25]
GP-3-0	DU0_DR0	SCIF_CLK_B	HRX0_D	IETX_A	TCLKA_A	HIFD00	GP3[0]	IP6[2:0]
GP-3-1	DU0_DR1	SCK0_B	HTX0_D	IERX_A	TCLKB_A	HIFD01	GP3[1]	IP6[5:3]
GP-3-2	DU0_DR2	RX0_B	TCLKC_A	HIFD02	設定禁止	設定禁止	GP3[2]	IP6[7:6]
GP-3-3	DU0_DR3	TX0_B	TCLKD_A	HIFD03	設定禁止	設定禁止	GP3[3]	IP6[9:8]
GP-3-4	DU0_DR4	CTS0#_C	TIOC0A_A	HIFD04	設定禁止	設定禁止	GP3[4]	IP6[11:10]
GP-3-5	DU0_DR5	RTS0#_C	TIOC0B_A	HIFD05	設定禁止	設定禁止	GP3[5]	IP6[13:12]
GP-3-6	DU0_DR6	SCK1_C	TIOC0C_A	HIFD06	設定禁止	設定禁止	GP3[6]	IP6[15:14]
GP-3-7	DU0_DR7	RX1_C	TIOC0D_A	HIFD07	設定禁止	設定禁止	GP3[7]	IP6[17:16]
GP-3-8	DU0_DG0	TX1_C	HSCCK0_D	IECLK_A	TIOC1A_A	HIFD08	GP3[8]	IP6[20:18]
GP-3-9	DU0_DG1	CTS1#_C	HRTS0#_D	TIOC1B_A	HIFD09	設定禁止	GP3[9]	IP6[23:21]
GP-3-10	DU0_DG2	RTS1#_C	RMII0_MDC_B	TIOC2A_A	HIFD10	設定禁止	GP3[10]	IP7[2:0]
GP-3-11	DU0_DG3	SCK2_C	RMII0_MDIO_B	TIOC2B_A	HIFD11	設定禁止	GP3[11]	IP7[5:3]
GP-3-12	DU0_DG4	RX2_C	RMII0_CRS_DV_B	TIOC3A_A	HIFD12	設定禁止	GP3[12]	IP7[8:6]
GP-3-13	DU0_DG5	TX2_C	RMII0_RX_ER_B	TIOC3B_A	HIFD13	設定禁止	GP3[13]	IP7[11:9]
GP-3-14	DU0_DG6	RX3_C	RMII0_RXD0_B	TIOC3C_A	HIFD14	設定禁止	GP3[14]	IP7[14:12]
GP-3-15	DU0_DG7	TX3_C	RMII0_RXD1_B	TIOC3D_A	HIFD15	設定禁止	GP3[15]	IP7[17:15]
GP-3-16	DU0_DB0	RX4_C	RMII0_TXD_EN_B	TIOC4A_A	HIFCS	設定禁止	GP3[16]	IP7[20:18]
GP-3-17	DU0_DB1	TX4_C	RMII0_TXD0_B	TIOC4B_A	HIFRS	設定禁止	GP3[17]	IP7[23:21]
GP-3-18	DU0_DB2	RX5_B	RMII0_TXD1_B	TIOC4C_A	HIFWR	設定禁止	GP3[18]	IP7[26:24]
GP-3-19	DU0_DB3	TX5_B	TIOC4D_A	HIFRD	設定禁止	設定禁止	GP3[19]	IP7[28:27]
GP-3-20	DU0_DB4	SD2_CLK_B	HIFINT	設定禁止	設定禁止	設定禁止	GP3[20]	IP7[30:29]
GP-3-21	DU0_DB5	SD2_CMD_B	HIFDREQ	設定禁止	設定禁止	設定禁止	GP3[21]	IP8[1:0]

GPIO-周辺切り替え							GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
GPIO-周辺 切り替え (GP 設定 値=0)	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-3-22	DU0_DB6	SD2_DAT0_B	HIFRDY	設定禁止	設定禁止	設定禁止	GP3[22]	IP8[3:2]
GP-3-23	DU0_DB7	SD2_DAT1_B	SSI_SCK0_B	HIFEBL_B	設定禁止	設定禁止	GP3[23]	IP8[5:4]
GP-3-24	DU0_DOTCLKI N	SD2_DAT2_B	HSPI_CS#_C	SSI_WS0_B	設定禁止	設定禁止	GP3[24]	IP8[7:6]
GP-3-25	DU0_DOTCLKO UT	SD2_DAT3_B	HSPI_CLK_C	SSI_SDATA0_B	設定禁止	設定禁止	GP3[25]	IP8[9:8]
GP-3-26	DU0_EXHSYNC /DU0_HSYNC	SD2_CD_B	HSPI_TX_C	SSI_SCK1_B	設定禁止	設定禁止	GP3[26]	IP8[11:10]
GP-3-27	DU0_EXVSYNC /DU0_VSYNC	SD2_WP_B	HSPI_RX_C	SSI_WS1_B	設定禁止	設定禁止	GP3[27]	IP8[13:12]
GP-3-28	DU0_EXODDF/ DU0_ODDF	CAN0_RX_B	HACK0_B	SSI_SDATA1_B	設定禁止	設定禁止	GP3[28]	IP8[15:14]
GP-3-29	DU0_DISP	CAN0_TX_B	HRX0_B	AUDIO_CLKA_ B	設定禁止	設定禁止	GP3[29]	IP8[17:16]
GP-3-30	DU0_CDE	HTX0_B	AUDIO_CLKB_B	LCD_VCPWC_ B	設定禁止	設定禁止	GP3[30]	IP8[19:18]
GP-3-31	VI1_CLK_A	設定禁止	NAF0_B	LCD_DATA0_B	設定禁止	設定禁止	GP3[31]	IP9[1:0]
GP-4-0	SSI_SCK0_A	TIOC1A_B	LCD_DATA9_B	設定禁止	設定禁止	設定禁止	GP4[0]	IP9[19:18]
GP-4-1	SSI_WS0_A	TIOC1B_B	LCD_DATA10_B	設定禁止	設定禁止	設定禁止	GP4[1]	IP9[21:20]
GP-4-2	SSI_SDATA0_A	VI1_0_B	TIOC2A_B	LCD_DATA11_ B	設定禁止	設定禁止	GP4[2]	IP9[23:22]
GP-4-3	SSI_SCK1_A	VI1_1_B	TIOC2B_B	LCD_DATA12_ B	設定禁止	設定禁止	GP4[3]	IP9[25:24]
GP-4-4	VI1_4_A	設定禁止	NAF5_B	LCD_DATA5_B	設定禁止	設定禁止	GP4[4]	IP9[11:10]
GP-4-5	VI1_5_A	設定禁止	NAF6_B	LCD_DATA6_B	設定禁止	設定禁止	GP4[5]	IP9[13:12]
GP-4-6	VI1_6_A	設定禁止	NAF7_B	LCD_DATA7_B	設定禁止	設定禁止	GP4[6]	IP9[15:14]
GP-4-7	VI1_7_A	FCE#_B	LCD_DATA8_B	設定禁止	設定禁止	設定禁止	GP4[7]	IP9[17:16]
GP-4-8	VI1_0_A	設定禁止	NAF1_B	LCD_DATA1_B	設定禁止	設定禁止	GP4[8]	IP9[3:2]
GP-4-9	VI1_1_A	設定禁止	NAF2_B	LCD_DATA2_B	設定禁止	設定禁止	GP4[9]	IP9[5:4]
GP-4-10	VI1_2_A	設定禁止	NAF3_B	LCD_DATA3_B	設定禁止	設定禁止	GP4[10]	IP9[7:6]
GP-4-11	VI1_3_A	設定禁止	NAF4_B	LCD_DATA4_B	設定禁止	設定禁止	GP4[11]	IP9[9:8]
GP-4-12	SSI_WS1_A	VI1_2_B	LCD_DATA13_B	設定禁止	設定禁止	設定禁止	GP4[12]	IP9[27:26]
GP-4-13	SSI_SDATA1_A	VI1_3_B	LCD_DATA14_B	設定禁止	設定禁止	設定禁止	GP4[13]	IP9[29:28]
GP-4-14	SSI_SCK23	VI1_4_B	RX1_D	FCLE_B	LCD_DATA15_ B	設定禁止	GP4[14]	IP10[2:0]
GP-4-15	SSI_WS23	VI1_5_B	TX1_D	HACK0_C	FALE_B	LCD_DON_B	GP4[15]	IP10[5:3]

GPIO-周辺切り替え							GPIO- 周辺 切り替え 信号	周辺 切り替え 信号
GPIO-周辺 切り替え (GP 設定 値=0)	周辺モジュール (GP 設定値=1)							
	IP 切り替え							
	機能 1 IP 設定値=0	機能 2 IP 設定値=1	機能 3 IP 設定値=2	機能 4 IP 設定値=3	機能 5 IP 設定値=4	機能 6 IP 設定値=5		
GP-4-16	SSL_SDATA2	VI1_6_B	設定禁止	HRX0_C	FRE#_B	LCD_CL1_B	GP4[16]	IP10[8:6]
GP-4-17	SSL_SDATA3	VI1_7_B	設定禁止	HTX0_C	FWE#_B	LCD_CL2_B	GP4[17]	IP10[11:9]
GP-4-18	AUDIO_CLKA_A	VI1_CLK_B	SCK1_D	IECLK_B	LCD_FLM_B	設定禁止	GP4[18]	IP10[14:12]
GP-4-19	AUDIO_CLKB_A	LCD_CLK_B	設定禁止	設定禁止	設定禁止	設定禁止	GP4[19]	IP10[15]
GP-4-20	AUDIO_CLKC	SCK1_E	設定禁止	HCTS0#_C	FRB_B	LCD_VEPWC_B	GP4[20]	IP10[18:16]
GP-4-21	AUDIO_CLKOUT	TX1_E	設定禁止	HRTS0#_C	設定禁止	LCD_M_DISP_B	GP4[21]	IP10[21:19]
GP-4-22	SCL1	SCIF_CLK_C	設定禁止	設定禁止	設定禁止	設定禁止	GP4[22]	IP11[0]
GP-4-23	SDA1	RX1_E	設定禁止	設定禁止	設定禁止	設定禁止	GP4[23]	IP11[1]
GP-4-24	SCL0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP4[24]	設定禁止
GP-4-25	SDA0	HIFEBL_A	設定禁止	設定禁止	設定禁止	設定禁止	GP4[25]	IP11[2]
GP-4-26	PENC0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP4[26]	設定禁止
GP-4-27	PENC1	TX3_D	CAN1_TX_B	TX5_D	IETX_B	設定禁止	GP4[27]	IP11[15:13]
GP-4-28	USB_OVC0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP4[28]	設定禁止
GP-4-29	USB_OVC1	RX3_D	CAN1_RX_B	RX5_D	IERX_B	設定禁止	GP4[29]	IP11[18:16]
GP-4-30	CAN_CLK_A	RX4_D	設定禁止	設定禁止	設定禁止	設定禁止	GP4[30]	IP10[22]
GP-4-31	CAN0_TX_A	TX4_D	MLB_CLK	設定禁止	設定禁止	設定禁止	GP4[31]	IP10[24:23]
GP-5-0	CAN1_RX_A	IRQ1_B	設定禁止	設定禁止	設定禁止	設定禁止	GP5[0]	IP10[25]
GP-5-1	SDSELF	RTS1#_E	設定禁止	設定禁止	設定禁止	設定禁止	GP5[1]	IP11[3]
GP-5-2	IRQ2_B	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP5[2]	設定禁止
GP-5-3	IRQ3_B	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	GP5[3]	設定禁止
GP-5-10	CAN0_RX_A	IRQ0_B	MLB_SIG	設定禁止	設定禁止	設定禁止	GP5[10]	IP10[27:26]
GP-5-11	CAN1_TX_A	TX5_C	MLB_DAT	設定禁止	設定禁止	設定禁止	GP5[11]	IP10[29:28]

37.2.20 MODULE 選択レジスタ (MOD_SEL)

機能：複数の LSI ピンにマルチされているモジュールピンを使用するグループ選択

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	iebus_sel	rqspi_sel	vin_sel	hif_sel	rspi_sel	lcd_sel	get_et0_ctl_sel[1]	get_et0_ctl_sel[0]	get_et0_sel	get_rmii_sel	tmu_sel	hspi0_sel[1]	hspi0_sel[0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	hscif_sel[1]	hscif_sel[0]	rcan_clk_sel	rcan1_sel[1]	rcan1_sel[0]	rcan0_sel	sdhi2_sel	sdhi1_sel	sdhi0_sel	ssi1_sel	ssi0_sel	audiob_sel	audioa_sel	flctl_sel	mmc_sel	intc_sel
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~29	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~0	H'0000 0000	R/W	下表に従い、マルチ選択を設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

INTC、FLCTL、RCAN (ch0/ch1、CLK)、SDHI (ch2)、HSCIF (ch0)、SSS (ch0/ch1、AUDIO_CLKA/AUDIO_CLKB)、HSPI、TMU、GETHER (RMII/ET0)、LCDC、HIF、VIN ch1、RQSPI、IEBus は 2 ヶ所以上に設定されています。前記モジュール端子を使用する場合、どちらか一方を選択してから使用してください。非選択側のモジュール端子の使用は禁止します。非選択側のモジュール端子を使用した場合、動作は保証できません。

(2 箇所以上設定されている端子でも出力端子には選択信号はありません。該当する周辺選択レジスタにていずれかの端子を選択してください。)

ビット名	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)
intc_sel	Group A 側の INTC を選択	Group B 側の INTC を選択	設定禁止	設定禁止
mmc_sel	Group A 側の MMC を選択	設定禁止	設定禁止	設定禁止
flctl_sel	Group A 側の FLCTL を選択	Group B 側の FLCTL を選択	設定禁止	設定禁止
audioa_sel	Group A 側の AUDIO_CLKA を選択	Group B 側の AUDIO_CLKA を選択	設定禁止	設定禁止
audiob_sel	Group A 側の AUDIO_CLKB を選択	Group B 側の AUDIO_CLKB を選択	設定禁止	設定禁止
ssi0_sel	Group A 側の SSI0 を選択	Group B 側の SSI0 を選択	設定禁止	設定禁止
ssi1_sel	Group A 側の SSI1 を選択	Group B 側の SSI1 を選択	設定禁止	設定禁止
sdhi0_sel	Group A 側の SDHI ch0 を選択	設定禁止	設定禁止	設定禁止
sdhi1_sel	Group A 側の SDHI ch1 を選択	設定禁止	設定禁止	設定禁止
sdhi2_sel	Group A 側の SDHI ch2 を選択	Group B 側の SDHI ch2 を選択	設定禁止	設定禁止
rcan0_sel	Group A 側の RCAN 0 を選択	Group B 側の RCAN0 を選択	設定禁止	設定禁止
rcan1_sel[1:0]	Group A 側の RCAN1 を選択	Group B 側の RCAN1 を選択	Group C 側の RCAN1 を選択	設定禁止
rcan_clk_sel	Group A 側の RCAN CLK を選択	Group B 側の RCAN CLK を選択	設定禁止	設定禁止

ビット名	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)
hscif_sel[1:0]	Group A 側の HSCIF を選択	Group B 側の HSCIF を選択	Group C 側の HSCIF を選択	Group D 側の HSCIF を選択
hspi0_sel[1:0]	Group A 側の HSPI を選択	Group B 側の HSPI を選択	Group C 側の HSPI を選択	設定禁止
tmu_sel	Group A 側の TMU を選択	Group B 側の TMU を選択	設定禁止	設定禁止
get_rmii_sel	Group A 側の GETHER (RMII) を選択	Group B 側の GETHER (RMII) を選択	設定禁止	設定禁止
get_et0_sel	Group A 側の GETHER (ET0) * ¹ を選択	Group B 側の GETHER (ET0) * ¹ を選択	設定禁止	設定禁止
get_et0_ctl_sel[1:0]	Group A 側の GETHER (ET0) * ² を選択	Group B 側の GETHER (ET0) * ² を選択	Group C 側の GETHER (ET0) * ² を選択	設定禁止
lcd_sel	Group A 側の LCDC を選択	Group B 側の LCDC を選択	設定禁止	設定禁止
rspi_sel	Group A 側の RSPI を選択	設定禁止	設定禁止	設定禁止
hif_sel	Group A 側の HIF を選択	Group B 側の HIF を選択	設定禁止	設定禁止
vin_sel	Group A 側の VIN1 を選択	Group B 側の VIN1 を選択	設定禁止	設定禁止
rqspi_sel	Group A 側の RQSPI を選択	Group B 側の RQSPI を選択	設定禁止	設定禁止
iebus_sel	Group A 側の IEBus を選択	Group B 側の IEBus を選択	設定禁止	設定禁止

【注】 *1 ET0_TX_CLK、ET0_RX_CLK、ET0_ERXD2、ET0_ERXD3、ET0_MDIO 端子です。

*2 ET0_LINK、ET0_PHY_INT 端子です。

37.2.21 MODULE 選択レジスタ 2 (MOD_SEL2)

機能：複数の LSI ピンにマルチされているモジュールピンを使用するグループ選択

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	mtuclk_sel	mtu4_sel	mtu3_sel	mtu2_sel[1]	mtu2_sel[0]	mtu1_sel[1]	mtu1_sel[0]	mtu0_sel
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	scif5_sel[1]	scif5_sel[0]	scif4_sel[1]	scif4_sel[0]	scif3_sel[2]	scif3_sel[1]	scif3_sel[0]	scif2_sel[1]	scif2_sel[0]	scif1_sel[2]	scif1_sel[1]	scif1_sel[0]	scif0_sel[1]	scif0_sel[0]	scif_clk_sel[1]	scif_clk_sel[0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~24	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~0	H'00 0000	R/W	下表に従い、マルチ選択を設定します。

【注】 本レジスタ設定直前に、必ずピンマルチマスク (PMMR) レジスタを設定してマスク解除を行ってください。

SCIF (CLK、ch1/ch2/ch3/ch4/ch5)、MTU2 (ch0/ch1/ch2/ch3/ch4、CLK) は 2ヶ所以上に設定されています。前記モジュール端子を使用する場合、どちらか一方を選択してから使用してください。非選択側のモジュール端子の使用は禁止します。非選択側のモジュール端子を使用した場合、動作は保証できません。

(2 箇所以上設定されている端子でも出力端子には選択信号はありません。該当する周辺選択レジスタにていずれかの端子を選択してください。)

ビット名	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
scif_clk_sel[1:0]	Group A 側の SCIF_CLK を選択	Group B 側の SCIF_CLK を選択	Group C 側の SCIF_CLK を選択	設定禁止	設定禁止
scif0_sel[1:0]	Group A 側の SCIF0 を選択	Group B 側の SCIF0 を選択	Group C 側の SCIF0 を選択	設定禁止	設定禁止
scif1_sel[2:0]	Group A 側の SCIF1 を選択	Group B 側の SCIF1 を選択	Group C 側の SCIF1 を選択	Group D 側の SCIF1 を選択	Group E 側の SCIF1 を選択
scif2_sel[1:0]	Group A 側の SCIF2 を選択	Group B 側の SCIF2 を選択	Group C 側の SCIF2 を選択	Group D 側の SCIF2 を選択	設定禁止
scif3_sel[2:0]	Group A 側の SCIF3 を選択	Group B 側の SCIF3 を選択	Group C 側の SCIF3 を選択	Group D 側の SCIF3 を選択	Group E 側の SCIF3 を選択
scif4_sel[1:0]	Group A 側の SCIF4 を選択	Group B 側の SCIF4 を選択	Group C 側の SCIF4 を選択	Group D 側の SCIF4 を選択	設定禁止
scif5_sel[1:0]	Group A 側の SCIF5 を選択	Group B 側の SCIF5 を選択	Group C 側の SCIF5 を選択	Group D 側の SCIF5 を選択	設定禁止
mtu0_sel	Group A 側の MTU2 ch0 を選択	Group C 側の MTU2 ch0 を選択	設定禁止	設定禁止	設定禁止

ビット名	機能 1 (設定値=H'0)	機能 2 (設定値=H'1)	機能 3 (設定値=H'2)	機能 4 (設定値=H'3)	機能 5 (設定値=H'4)
mtu1_sel[1:0]	GroupA 側の MTU2 ch1 を選択	GroupB 側の MTU2 ch1 を選択	GroupC 側の MTU2 ch1 を選択	設定禁止	設定禁止
mtu2_sel[1:0]	GroupA 側の MTU2 ch2 を選択	GroupB 側の MTU2 ch2 を選択	GroupC 側の MTU2 ch2 を選択	設定禁止	設定禁止
mtu3_sel	GroupA 側の MTU2 ch3 を選択	GroupC 側の MTU2 ch3 を選択	設定禁止	設定禁止	設定禁止
mtu4_sel	GroupA 側の MTU2 ch4 を選択	GroupC 側の MTU2 ch4 を選択	設定禁止	設定禁止	設定禁止
mtuclk_sel	GroupA 側の MTU2 CLK を選択	GroupC 側の MTU2 CLK を選択	設定禁止	設定禁止	設定禁止

表 37.4 複数の LSI ピンにマルチされているモジュールピンのグループ選択まとめ表

対象ピン名	Group A	Group B	Group C	Group D	Group E
IRQ0	IRQ0_A 端子を選択	CAN0_RX_A 端子とマルチしている IRQ0 を選択	設定禁止	設定禁止	設定禁止
IRQ1	IRQ1_A 端子を選択	CAN1_RX_A 端子とマルチしている IRQ1 を選択	設定禁止	設定禁止	設定禁止
IRQ2	IRQ2_A 端子を選択	AN0 端子とマルチしている IRQ2 を選択	設定禁止	設定禁止	設定禁止
IRQ3	IRQ3_A 端子を選択	AN1 端子とマルチしている IRQ3 端子を選択	設定禁止	設定禁止	設定禁止
MMC_D0	D0 端子とマルチしている MMC_D0 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D1	D1 端子とマルチしている MMC_D1 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D2	D2 端子とマルチしている MMC_D2 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D3	D3 端子とマルチしている MMC_D3 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D4	D4 端子とマルチしている MMC_D4 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D5	D5 端子とマルチしている MMC_D5 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D6	D6 端子とマルチしている MMC_D6 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_D7	D7 端子とマルチしている MMC_D7 を選択	設定禁止	設定禁止	設定禁止	設定禁止
MMC_CMD	D9 端子とマルチしている MMC_CMD を選択	設定禁止	設定禁止	設定禁止	設定禁止
NAF0	D0 端子とマルチしている NAF0 を選択	VI1_CLK_A 端子とマルチしている NAF0 を選択	設定禁止	設定禁止	設定禁止
NAF1	D1 端子とマルチしている NAF1 を選択	VI1_0_A 端子とマルチしている NAF1 を選択	設定禁止	設定禁止	設定禁止
NAF2	D2 端子とマルチしている NAF2 を選択	VI1_1_A 端子とマルチしている NAF2 を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
NAF3	D3 端子とマルチしている NAF3 を選択	VI1_2_A 端子とマルチしている NAF3 を選択	設定禁止	設定禁止	設定禁止
NAF4	D4 端子とマルチしている NAF4 を選択	VI1_3_A 端子とマルチしている NAF4 を選択	設定禁止	設定禁止	設定禁止
NAF5	D5 端子とマルチしている NAF5 を選択	VI1_4_A 端子とマルチしている NAF5 を選択	設定禁止	設定禁止	設定禁止
NAF6	D6 端子とマルチしている NAF6 を選択	VI1_5_A 端子とマルチしている NAF6 を選択	設定禁止	設定禁止	設定禁止
NAF7	D7 端子とマルチしている NAF7 を選択	VI1_6_A 端子とマルチしている NAF7 を選択	設定禁止	設定禁止	設定禁止
FRB	D13 端子とマルチしている FRB を選択	AUDIO_CLKC 端子とマルチしている FRB を選択	設定禁止	設定禁止	設定禁止
AUDIO_CLK A	AUDIO_CLKA_A 端子を選択	DU0_DISP 端子とマルチしている AUDIO_CLKA を選択	設定禁止	設定禁止	設定禁止
AUDIO_CLK B	AUDIO_CLKB_A 端子を選択	DU0_CDE 端子とマルチしている AUDIO_CLKB を選択	設定禁止	設定禁止	設定禁止
SSI_SCK0	SSI_SCK0_A 端子を選択	DU0_DB7 端子とマルチしている SSI_SCK0 を選択	設定禁止	設定禁止	設定禁止
SSI_WS0	SSI_WS0_A 端子を選択	DU0_DOTCLKIN 端子とマルチしている SSI_WS0 を選択	設定禁止	設定禁止	設定禁止
SSI_SDATA 0	SSI_SDATA0_A 端子を選択	DU0_DOTCLKOUT 端子とマルチしている SSI_SDATA0 を選択	設定禁止	設定禁止	設定禁止
SSI_SCK1	SSI_SCK1_A 端子を選択	DU0_EXHSYNC/DU0_HSYNC 端子とマルチしている SSI_SCK1 を選択	設定禁止	設定禁止	設定禁止
SSI_WS1	SSI_WS1_A 端子を選択	DU0_EXVSYNC/DU0_VSYNC 端子とマルチしている SSI_WS1 を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
SSI_SDATA1	SSI_SDATA1_A 端子を選択	DU0_EXODDF/DU0_ODDF 端子とマルチしている SSI_SDATA1 を選択	設定禁止	設定禁止	設定禁止
SD0_CMD	D9 端子とマルチしている SD0_CMD を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_DAT0	D0 端子とマルチしている SD0_DAT0 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_DAT1	D1 端子とマルチしている SD0_DAT1 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_DAT2	D2 端子とマルチしている SD0_DAT2 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_DAT3	D3 端子とマルチしている SD0_DAT 3 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_CD	D4 端子とマルチしている SD0_CD を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD0_WP	D5 端子とマルチしている SD0_WP を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_CMD	EX_CS5#端子とマルチしている SD1_CMD を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_DAT0	EX_WAIT1 端子とマルチしている SD1_DAT0 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_DAT1	EX_WAIT2 端子とマルチしている SD1_DAT1 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_DAT2	DRACK0 端子とマルチしている SD1_DAT2 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_DAT3	DACK0 端子とマルチしている SD1_DAT 3 を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD1_CD	EX_CS3#端子とマルチしている SD1_CD を選択	設定禁止	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
SD1_WP	EX_CS4#端子とマルチしている SD1_WP を選択	設定禁止	設定禁止	設定禁止	設定禁止
SD2_CMD	SD2_CMD_A 端子を選択	DU0_DB5 端子とマルチしている SD2_CMD を選択	設定禁止	設定禁止	設定禁止
SD2_DAT0	SD2_DAT0_A 端子を選択	DU0_DB6 端子とマルチしている SD2_DAT0 を選択	設定禁止	設定禁止	設定禁止
SD2_DAT1	SD2_DAT1_A 端子を選択	DU0_DB7 端子とマルチしている SD2_DAT1 を選択	設定禁止	設定禁止	設定禁止
SD2_DAT2	SD2_DAT2_A 端子を選択	DU0_DOTCLKIN 端子とマルチしている SD2_DAT2 を選択	設定禁止	設定禁止	設定禁止
SD2_DAT3	SD2_DAT3_A 端子を選択	DU0_DOTCLKOUT 端子とマルチしている SD2_DAT3 を選択	設定禁止	設定禁止	設定禁止
SD2_CD	SD2_CD_A 端子を選択	DU0_EXHSYNC/DU0_HSYNC 端子とマルチしている SD2_CD を選択	設定禁止	設定禁止	設定禁止
SD2_WP	SD2_WP_A 端子を選択	DU0_EXVSYNC/DU0_VSYNC 端子とマルチしている SD2_WP を選択	設定禁止	設定禁止	設定禁止
CAN0_RX	CAN0_RX_A 端子を選択	DU0_EXODDF/DU0_ODDF 端子とマルチしている CAN0_RX を選択	設定禁止	設定禁止	設定禁止
CAN1_RX	CAN1_RX_A 端子を選択	USB_OVC1 端子とマルチしている CAN1_RX を選択	EX_WAIT2 端子とマルチしている CAN1_RX を選択	設定禁止	設定禁止
CAN_CLK	CAN_CLK_A 端子を選択	RD/WR#端子とマルチしている CAN_CLK を選択	設定禁止	設定禁止	設定禁止
HCTS0#	HCTS0#_A 端子を選択	IRQ2_A 端子とマルチしている HCTS0# を選択	SSL_WS23 端子とマルチしている HCTS0# を選択	REF50CK 端子とマルチしている HCTS0# を選択	設定禁止
HRTS0#	HRTS0#_A 端子を選択	IRQ3_A 端子とマルチしている HRTS0# を選択	SSL_SDATA2 端子とマルチしている HRTS0# を選択	DU0_DG1 端子とマルチしている HRTS0# を選択	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
HSCK0	HSCK0_A 端子を選択	DU0_EXODDF/DU0_ODDF 端子とマルチしている HSCK0 を選択	AUDIO_CLKC 端子とマルチしている HSCK0 を選択	DU0_DG0 端子とマルチしている HSCK0 を選択	設定禁止
HRX0	HRX0_A 端子を選択	DU0_DISP 端子とマルチしている HRX0 を選択	AUDIO_CLKOUT 端子とマルチしている HRX0 を選択	DU0_DR0 端子とマルチしている HRX0 を選択	設定禁止
HSPI_CLK	SCIF_CLK_A 端子とマルチしている HSPI_CLK を選択	DREQ1 端子とマルチしている HSPI_CLK を選択	DU0_DOTCLKOUT 端子とマルチしている HSPI_CLK を選択	設定禁止	設定禁止
HSPI_CS#	SCK0_A 端子とマルチしている HSPI_CS# を選択	DACK1 端子とマルチしている HSPI_CS# を選択	DU0_DOTCLKIN 子とマルチしている HSPI_CS# を選択	設定禁止	設定禁止
HSPI_RX	RX0_A 端子とマルチしている HSPI_RX を選択	IRQ1_A 端子とマルチしている HSPI_RX を選択	DU0_EXVSYNC/DU0_VSYNC 端子とマルチしている HSPI_RX を選択	設定禁止	設定禁止
TCLK1	DRACK0 端子とマルチしている TCLK1 を選択	EX_WAIT0 端子とマルチしている TCLK1 を選択	設定禁止	設定禁止	設定禁止
RMII0_RXD0	RX0_A 端子とマルチしている RMII0_RXD0 を選択	DU0_DG6 端子とマルチしている RMII0_RXD0 を選択	設定禁止	設定禁止	設定禁止
RMII0_RXD1	HCTS0#_A 端子とマルチしている RMII0_RXD1 を選択	DU0_DG7 端子とマルチしている RMII0_RXD1 を選択	設定禁止	設定禁止	設定禁止
RMII0_MDI0	HRTS0#_A 端子とマルチしている RMII0_MDIO を選択	DU0_DG3 端子とマルチしている RMII0_MDIO を選択	設定禁止	設定禁止	設定禁止
RMII0_RX_ER	HSCK0_A 端子とマルチしている RMII0_RX_ER を選択	DU0_DG5 端子とマルチしている RMII0_RX_ER を選択	設定禁止	設定禁止	設定禁止
RMII0_CRS_DV	HRX0_A 端子とマルチしている RMII0_CRS_DV を選択	DU0_DG4 端子とマルチしている RMII0_CRS_DV を選択	設定禁止	設定禁止	設定禁止
ET0_TX_CLK	DREQ1 端子とマルチしている ET0_TX_CLK を選択	D14 端子とマルチしている ET0_TX_CLK を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
ET0_RX_CLK	DACK1 端子とマルチしている ET0_RX_CLK を選択	SD2_CLK_A 端子とマルチしている ET0_RX_CLK を選択	設定禁止	設定禁止	設定禁止
ET0_ERXD2	IRQ2_A 端子とマルチしている ET0_ERXD2 を選択	SD2_CLK_A 端子とマルチしている ET0_ERXD2 を選択	設定禁止	設定禁止	設定禁止
ET0_ERXD3	IRQ3_A 端子とマルチしている ET0_ERXD3 を選択	SD2_DAT0_A 端子とマルチしている ET0_ERXD3 を選択	設定禁止	設定禁止	設定禁止
ET0_MDIO	RTS0#_B 端子とマルチしている ET0_MDIO を選択	SD2_DAT1_A 端子とマルチしている ET0_MDIO を選択	設定禁止	設定禁止	設定禁止
ET0_LINK	SCK1_B 端子とマルチしている ET0_LINK を選択	SD2_DAT2_A 端子とマルチしている ET0_LINK を選択	EX_WAIT1 端子とマルチしている ET0_LINK を選択	設定禁止	設定禁止
ET0_PHY_INT	TX1_B 端子とマルチしている ET0_PHY_INT を選択	SD2_CD_A 端子とマルチしている ET0_PHY_INT を選択	DREQ1 端子とマルチしている ET0_PHY_INT を選択	設定禁止	設定禁止
LCD_CLK	A19 端子とマルチしている LCD_CLK を選択	AUDIO_CLKB_A 端子とマルチしている LCD_CLK を選択	設定禁止	設定禁止	設定禁止
RSPI_RSPCK	D6 端子とマルチしている RSPI_RSPCK を選択	設定禁止	設定禁止	設定禁止	設定禁止
RSPI_SSL	D7 端子とマルチしている RSPI_SSL を選択	設定禁止	設定禁止	設定禁止	設定禁止
RSPI_MOSI	D10 端子とマルチしている RSPI_MOSI を選択	設定禁止	設定禁止	設定禁止	設定禁止
RSPI_MISO	D11 端子とマルチしている RSPI_MISO を選択	設定禁止	設定禁止	設定禁止	設定禁止
HIFEBL	SDA0 端子とマルチしている HIFEBL を選択	DU0_DB7 端子とマルチしている HIFEBL を選択	設定禁止	設定禁止	設定禁止
VI1_CLK	VI1_CLK_A 端子を選択	AUDIO_CLKA_A 端子とマルチしている VI1_CLK を選択	設定禁止	設定禁止	設定禁止
VI1_0	VI1_0_A 端子を選択	SSI_SDATA0_A 端子とマルチしている VI1_0 を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
VI1_1	VI1_1_A 端子を選択	SSI_SCK1_A 端子とマルチしている VI1_1 を選択	設定禁止	設定禁止	設定禁止
VI1_2	VI1_2_A 端子を選択	SSI_WS1_A 端子とマルチしている VI1_2 を選択	設定禁止	設定禁止	設定禁止
VI1_3	VI1_3_A 端子を選択	SSI_SDATA1_A 端子とマルチしている VI1_3 を選択	設定禁止	設定禁止	設定禁止
VI1_4	VI1_4_A 端子を選択	SSI_SCK23 端子とマルチしている VI1_4 を選択	設定禁止	設定禁止	設定禁止
VI1_5	VI1_5_A 端子を選択	SSI_WS23 端子とマルチしている VI1_5 を選択	設定禁止	設定禁止	設定禁止
VI1_6	VI1_6_A 端子を選択	SSI_SDATA2 端子とマルチしている VI1_6 を選択	設定禁止	設定禁止	設定禁止
VI1_7	VI1_7_A 端子を選択	SSI_SDATA3 端子とマルチしている VI1_7 を選択	設定禁止	設定禁止	設定禁止
QSPCLK	D6 端子とマルチしている QSPCLK を選択	EX_CS2#端子とマルチしている QSPCLK を選択	設定禁止	設定禁止	設定禁止
QSSL	D7 端子とマルチしている QSSL を選択	EX_CS5#端子とマルチしている QSSL を選択	設定禁止	設定禁止	設定禁止
QIO2	D8 端子とマルチしている QIO2 を選択	EX_CS1#端子とマルチしている QIO2 を選択	設定禁止	設定禁止	設定禁止
QIO3	D9 端子とマルチしている QIO3 を選択	CS1#/A26 端子とマルチしている QIO3 を選択	設定禁止	設定禁止	設定禁止
QMO / QIO0	D10 端子とマルチしている QMO / QIO0 を選択	EX_CS3#端子とマルチしている QMO / QIO0 を選択	設定禁止	設定禁止	設定禁止
QMI / QIO1	D11 端子とマルチしている QMI / QIO1 を選択	EX_CS4#端子とマルチしている QMI / QIO1 を選択	設定禁止	設定禁止	設定禁止
IERX	DU0_DR1 端子とマルチしている IERX を選択	USB_OVC1 端子とマルチしている IERX を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
IECLK	DU0_DG0 端子とマルチしている IECLK を選択	AUDIO_CLKA_A 端子とマルチしている IECLK を選択	設定禁止	設定禁止	設定禁止
SCIF_CLK	SCIF_CLK_A 端子を選択	DU0_DR0 端子とマルチしている SCIF_CLK 端子を選択	SCL1 端子とマルチしている SCIF_CLK を選択	設定禁止	設定禁止
SCK0	SCK0_A 端子を選択	DU0_DR1 端子とマルチしている SCK0 を選択	設定禁止	設定禁止	設定禁止
RX0	RX0_A 端子を選択	DU0_DR2 端子とマルチしている RX0 を選択	設定禁止	設定禁止	設定禁止
CTS0#	IRQ2_A 端子とマルチしている CTS0# を選択	CTS0#_B 端子を選択	DU0_DR4 端子とマルチしている CTS0# を選択	設定禁止	設定禁止
RTS0#	IRQ3_A 端子とマルチしている RTS0# を選択	RTS0#_B 端子を選択	DU0_DR5 端子とマルチしている RTS0# を選択	設定禁止	設定禁止
SCK1	HSCK0_A 端子とマルチしている SCK1 を選択	SCK1_B 端子を選択	DU0_DR6 端子とマルチしている SCK1 を選択	AUDIO_CLKA_A 端子とマルチしている SCK1 を選択	AUDIO_CLKC 端子とマルチしている SCK1 を選択
RX1	HRX0_A 端子とマルチしている RX1 を選択	RX1_B 端子を選択	DU0_DR7 端子とマルチしている RX1 を選択	SSI_SCK23 端子とマルチしている RX1 を選択	SDA1 端子とマルチしている RX1 を選択
CTS1#	HCTS0#_A 端子とマルチしている CTS1# を選択	CTS1#_B 端子を選択	DU0_DG1 端子とマルチしている CTS1# を選択	設定禁止	REF50CK 端子とマルチしている CTS1# を選択
RTS1#	HRTS0#_A 端子とマルチしている RTS1# を選択	RTS1#_B 端子を選択	DU0_DG2 端子とマルチしている RTS1# を選択	設定禁止	SDSELF 端子とマルチしている RTS1# を選択
SCK2	SCK2_A 端子を選択	D15 端子とマルチしている SCK2 を選択	DU0_DG3 端子とマルチしている SCK2 を選択	設定禁止	設定禁止
RX2	SD2_CLK_A 端子とマルチしている RX2 を選択	D13 端子とマルチしている RX2 を選択	DU0_DG4 端子とマルチしている RX2 を選択	A24 端子とマルチしている RX2 を選択	設定禁止
RX3	SD2_DAT0_A 端子とマルチしている RX3 を選択	EX_CS1# 端子とマルチしている RX3 を選択	DU0_DG6 端子とマルチしている RX3 を選択	USB_OVC1 端子とマルチしている RX3 を選択	IRQ0_A 端子とマルチしている RX3 を選択
RX4	SD2_DAT2_A 端子とマルチしている RX4 を選択	DREQ1 端子とマルチしている RX4 を選択	DU0_DB0 端子とマルチしている RX4 を選択	CAN_CLK_A 端子とマルチしている RX4 を選択	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
RX5	SD2_CD_A 端子とマルチしている RX5 を選択	DU0_DB2 端子とマルチしている RX5 を選択	REF125CK 端子とマルチしている RX5 を選択	USB_OVC1 端子とマルチしている RX5 を選択	設定禁止
TCLKA	DU0_DR0 端子とマルチしている TCLKA を選択	A0 端子とマルチしている TCLKA を選択	設定禁止	設定禁止	設定禁止
TCLKB	DU0_DR1 端子とマルチしている TCLKB を選択	A1 端子とマルチしている TCLKB を選択	設定禁止	設定禁止	設定禁止
TCLKC	DU0_DR2 端子とマルチしている TCLKC を選択	A2 端子とマルチしている TCLKC を選択	設定禁止	設定禁止	設定禁止
TCLKD	DU0_DR3 端子とマルチしている TCLKD を選択	A3 端子とマルチしている TCLKD を選択	設定禁止	設定禁止	設定禁止
TIOC0A	DU0_DR4 端子とマルチしている TIOC0A を選択	A4 端子とマルチしている TIOC0A を選択	設定禁止	設定禁止	設定禁止
TIOC0B	DU0_DR5 端子とマルチしている TIOC0B を選択	A5 端子とマルチしている TIOC0B を選択	設定禁止	設定禁止	設定禁止
TIOC0C	DU0_DR6 端子とマルチしている TIOC0C を選択	A6 端子とマルチしている TIOC0C を選択	設定禁止	設定禁止	設定禁止
TIOC0D	DU0_DR7 端子とマルチしている TIOC0D を選択	A7 端子とマルチしている TIOC0D を選択	設定禁止	設定禁止	設定禁止
TIOC1A	DU0_DG0 端子とマルチしている TIOC1A を選択	SSI_SCK0_A 端子とマルチしている TIOC1A を選択	A8 端子とマルチしている TIOC1A を選択	設定禁止	設定禁止
TIOC1B	DU0_DG1 端子とマルチしている TIOC1B を選択	SSI_WS0_A 端子とマルチしている TIOC1B を選択	A9 端子とマルチしている TIOC1B を選択	設定禁止	設定禁止
TIOC2A	DU0_DG2 端子とマルチしている TIOC2A を選択	SSI_SDATA0_A 端子とマルチしている TIOC2A を選択	A10 端子とマルチしている TIOC2A を選択	設定禁止	設定禁止
TIOC2B	DU0_DG3 端子とマルチしている TIOC2B を選択	SSI_SCK1_A 端子とマルチしている TIOC2B を選択	A11 端子とマルチしている TIOC2B を選択	設定禁止	設定禁止
TIOC3A	DU0_DG4 端子とマルチしている TIOC3A を選択	A12 端子とマルチしている TIOC3A を選択	設定禁止	設定禁止	設定禁止

対象ピン名	Group A	Group B	Group C	Group D	Group E
TIOC3B	DU0_DG5 端子とマルチしている TIOC3B を選択	A13 端子とマルチしている TIOC3B を選択	設定禁止	設定禁止	設定禁止
TIOC3C	DU0_DG6 端子とマルチしている TIOC3C を選択	A14 端子とマルチしている TIOC3C を選択	設定禁止	設定禁止	設定禁止
TIOC3D	DU0_DG7 端子とマルチしている TIOC3D を選択	A15 端子とマルチしている TIOC3D を選択	設定禁止	設定禁止	設定禁止
TIOC4A	DU0_DB0 端子とマルチしている TIOC4A を選択	A16 端子とマルチしている TIOC4A を選択	設定禁止	設定禁止	設定禁止
TIOC4B	DU0_DB1 端子とマルチしている TIOC4B を選択	A17 端子とマルチしている TIOC4B を選択	設定禁止	設定禁止	設定禁止
TIOC4C	DU0_DB2 端子とマルチしている TIOC4C を選択	A18 端子とマルチしている TIOC4C を選択	設定禁止	設定禁止	設定禁止
TIOC4D	DU0_DB3 端子とマルチしている TIOC4D を選択	A19 端子とマルチしている TIOC4D を選択	設定禁止	設定禁止	設定禁止

37.2.22 LSI ピン PULL UP 制御レジスタ 0 (PUPCTL0)

機能：ピン PULL UP 制御

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

D5	D4	D3	D2	D1	D0	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット	ビット名	初期値	R/W	説明
31~0	—	H'0000 0000	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.23 LSI ピン PULL UP 制御レジスタ 1 (PUPCTL1)

機能：ピン PULL UP 制御

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DACK1	DREQ1#	DACK0	DREQ0#	DRACK0	EX_WAIT2	EX_WAIT1	EX_WAIT0	WE1#	WE0#	RD/WR#	RD	EX_CS5#	EX_CS4#	EX_CS3#	EX_CS2#	EX_CS1#	EX_CS0#	CS1#/A26	CS0#	BS#	CLKOUT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6
1	1	0	1	1	1	1	0	0	0	1	0	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット	ビット名	初期値	R/W	説明
31~0	—	H'DE29 C000	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.24 LSI ピン PULL UP 制御レジスタ 2 (PUPCTL2)

機能：ピン PULL UP 制御

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	SD2_WP_A	SD2_CD_A	SD2_DAT3_A	SD2_DAT2_A	SD2_DAT1_A	SD2_DAT0_A	SD2_CMD_A	SD2_CLK_A	SCK2_A	RTS1#_B	CTS1#_B	TX1_B	RX1_B	SCK1_B	RTS0#_B	CTS0#_B	HTX0_A	HRX0_A	HSCK0_A	HRTS0#_A	HCTS0#_A	TX0_A	RX0_A	SCK0_A	SCIF_CLK_A	ASEBRK_N_ACK	TDO	TDI	TMS	TCK	TRST_N	
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
		W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット	ビット名	初期値	R/W	説明
31	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~0	—	H'7FFF FDEF	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.25 LSI ピン PULL UP 制御レジスタ 3 (PUPCTL3)

機能：ピン PULL UP 制御

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	DU0_CDE	DU0_DISP	DU0_EXODDF	DU0_ODDF	DU0_EXVSYNC	DU0_VSYNC	DU0_EXHSYNC	DU0_HSYNC	DU0_DOTCLKOUT	DU0_DOTCLKIN	DU0_DB7	DU0_DB6	DU0_DB5	DU0_DB4	DU0_DB3	DU0_DB2	DU0_DB1	DU0_DB0	DU0_DG7	DU0_DG6	DU0_DG5	DU0_DG4	DU0_DG3	DU0_DG2	DU0_DG1	DU0_DG0	DU0_DR7	DU0_DR6	DU0_DR5	DU0_DR4	DU0_DR3	DU0_DR2	DU0_DR1	DU0_DR0	
初期値:	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
		W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット	ビット名	初期値	R/W	説明
31	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30~0	—	H'7F00 0000	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.26 LSI ピン PULL UP 制御レジスタ 4 (PUPCTL4)

機能：ピン PULL UP 制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:																																
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
					USB_OVC1	USB_OVC0	PENC1	PENC0	SDSELF	AUDIO_CLKOUT	AUDIO_CLKC	AUDIO_CLKB_A	AUDIO_CLKA_A	SSI_SDATA3	SSI_SDATA2	SSI_WS23	SSI_SCK23	SSI_SDATA1_A	SSI_WSI_A	SSI_SCK1_A	SSI_SDATA0_A	SSI_WSO_A	SSI_SCK0_A	VI1_7_A	VI1_6_A	VI1_5_A	VI1_4_A	VI1_3_A	VI1_2_A	VI1_1_A	VI1_0_A	VI1_CLK_A

ビット	ビット名	初期値	R/W	説明
31~28	—	すべて0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27~0	—	H'ACF FFFE	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.27 LSI ピン PULL UP 制御レジスタ 5 (PUPCTL5)

機能：ピン PULL UP 制御

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
初期値:																																	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
																						PRESETOUT#	REF50CK	REF125CK	IRQ3_A	IRQ2_A	IRQ1_A	IRQ0_A	CAN1_RX_A	CAN1_TX_A	CAN0_RX_A	CAN0_TX_A	CAN_CLK_A

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0	—	H'1F1	R/W	LSI 各信号ピンの内蔵 PULL UP 機能の ON/OFF 制御を信号単位に行います。 0 : PULL UP 機能 無効 1 : PULL UP 機能 有効

37.2.28 LSI ピンドライブ能力切り替えレジスタ (DRV_SEL)

機能 : LSI ピンのドライブ能力切り替え

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	sel_drv _stif	sel_drv _gr.b	sel_drv _gr.a	sel_drv _gr.com
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	初期値	R/W	説明
31~4	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	0	R/W	PRESETOUT#端子のドライブビリティ設定が可能です。 0 : 6mA 1 : 8mA
2	0	R/W	D8、D9、D10、D11、D12、D13 端子のドライブビリティ設定が可能です。 0 : 6mA 1 : 8mA
1	0	R/W	EX_CS2#、EX_CS3#、EX_CS4#、EX_CS5#、EX_WAIT1、EX_WAIT2 端子のドライブビリティ設定が可能です。 0 : 6mA 1 : 8mA
0	0	R/W	EX_CS1#、RD/WR#、DRACK0、DREQ0、DACK0 端子のドライブビリティ設定が可能です。 0 : 6mA 1 : 8mA

37.3 動作説明

37.3.1 ピンマルチ設定

GPIO 周辺機能選択レジスタ 0~5 (GPSR0~5)、周辺機能選択レジスタ 0~11 (IPSR0~11) および MODULE 選択レジスタ (MOD_SEL)、MODULE 選択レジスタ 2 (MOD_SEL2) の設定をする場合、必ず各レジスタごとに LSI ピンマルチマスクレジスタ (PMMR) の設定が必要となります。LSI ピンマルチマスクレジスタにはマルチ設定値の反転したデータを設定してください。設定しない場合は、GPIO 周辺機能選択レジスタ 0~5 (GPSR0~5)、周辺機能選択レジスタ 0~11 (IPSR0~11) および MODULE 選択レジスタ (MOD_SEL)、MODULE 選択レジスタ 2 (MOD_SEL2) には値を設定することはできません。

また、ピンマルチ設定で INTC、MMC、FLCTL、RCAN (ch0/ch1、CLK)、SDHI (ch0/ch1/ch2)、HSCIF (ch0)、SSS (ch0/ch1、AUDIO_CLKA/AUDIO_CLKB)、HSPI、TMU、GETHER (RMII/ET0)、LCDC、RSPI、SCIF (SCIF_CLK、ch1/ch2/ch3/ch4/ch5)、HIF、MTU2 (ch0/ch1/ch2/ch3/ch4、CLK)、VIN (ch1)、RQSPI、IEBus を設定する場合は、先に MODULE 選択レジスタおよび MODULE 選択レジスタ 2 を設定してからピンマルチの設定をしてください。

なお、端子の機能を周辺機能から GPIO へ切り替えるとき、GPIO から周辺機能へ切り替えるとき、もしくは、周辺機能から周辺機能へ切り替えるときに、周辺機能から出力される信号が完全な波形とはならず、途中で切り替わる可能性があります。

(1) GPIO から周辺機能への設定変更

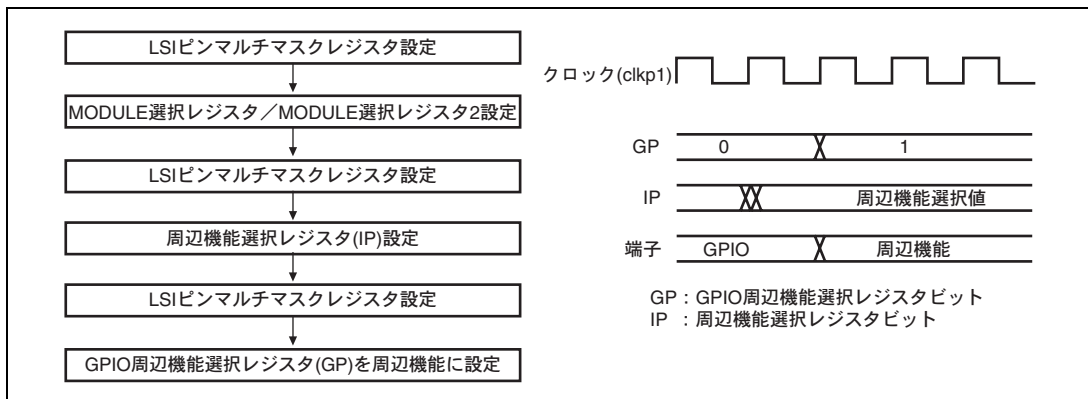


図 37.1 GPIO から周辺機能への設定変更手順

(2) 周辺機能から GPIO への設定変更

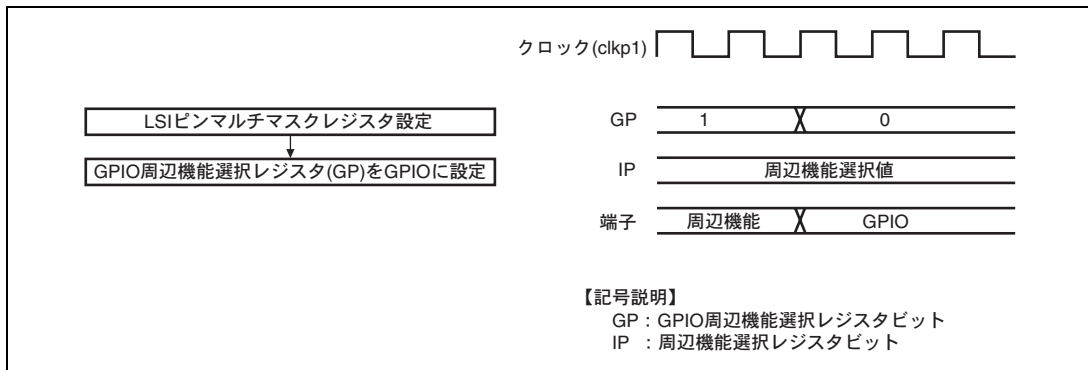


図 37.2 周辺機能から GPIO への設定変更手順

(3) 周辺機能から周辺機能への設定変更 1

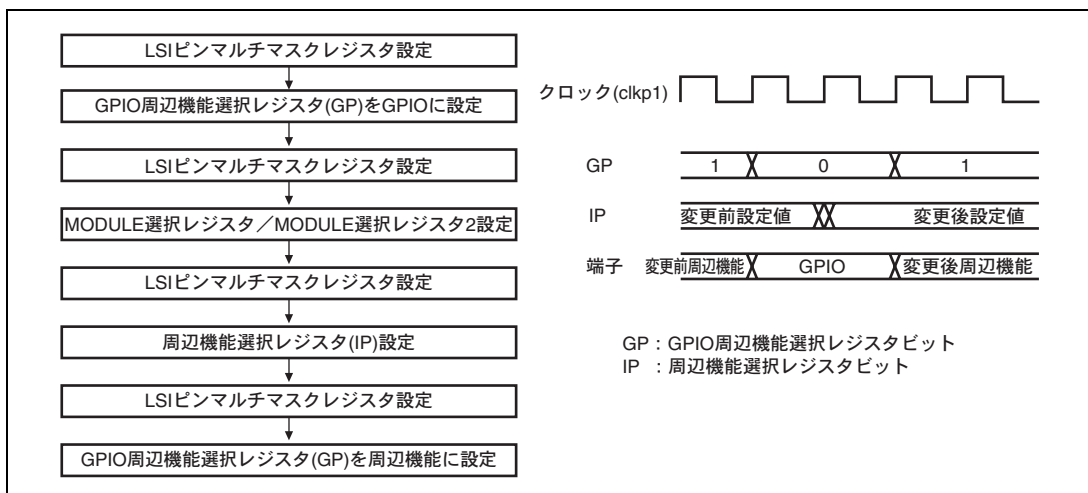


図 37.3 周辺機能から周辺機能への設定変更手順 (GPIO を経由する設定)

(4) 周辺機能から周辺機能への設定変更 2

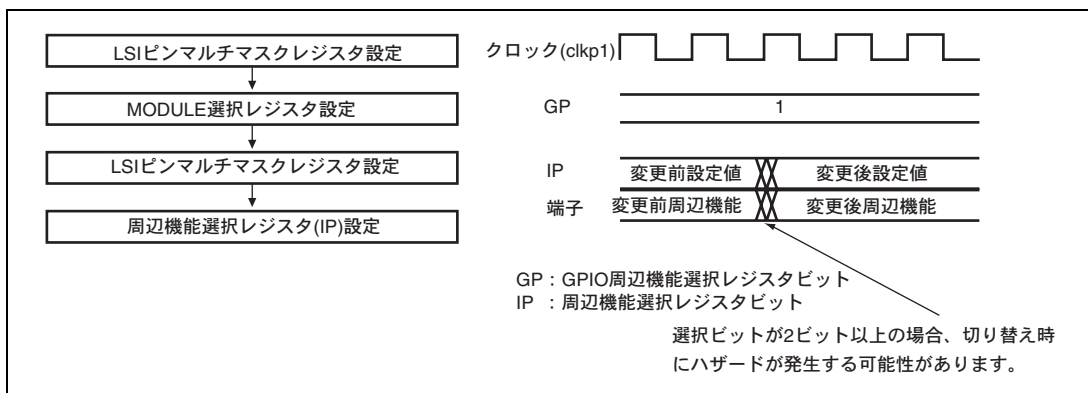


図 37.4 周辺機能から周辺機能への設定変更手順 (GPIO を経由しない設定)

37.3.2 PULL UP 設定

端子の PULL UP の設定は LSI ピン PULL UP 制御レジスタ 0~5 (PUPCTL0~5) で制御します。

37.4 注意事項

PENC1 端子は初期状態が PULL UP です。

PENC1 機能として使用する場合、PUPCTL4 レジスタのビット 25 にて PULL UP 機能を無効とする前まで PENC1 はイネーブル状態となりますので、ディスエーブル状態となるように適切な抵抗値の外付けプルダウン抵抗を設置してください。

38. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

38.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2チャンネル（チャンネル0と1）

ユーザブ레이크は、チャンネル0、1 独立に、または連続した（シーケンシャル）1つの条件として設定することができます（シーケンシャルブ레이크設定：チャンネル0のブ레이크条件が一致した後チャンネル1のブ레이크条件の一致が発生、またはチャンネル1のブ레이크条件が一致した後チャンネル0のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき）。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット（4K バイトページ）、下位 10 ビット（1K バイトページ）、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル1のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크（PCブ레이크）またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件（チャンネル1に対してのみ）として、最大 $2^{12}-1$ 回まで繰り返し回数を指定可能。

図 38.1 に UBC のブロック図を示します。

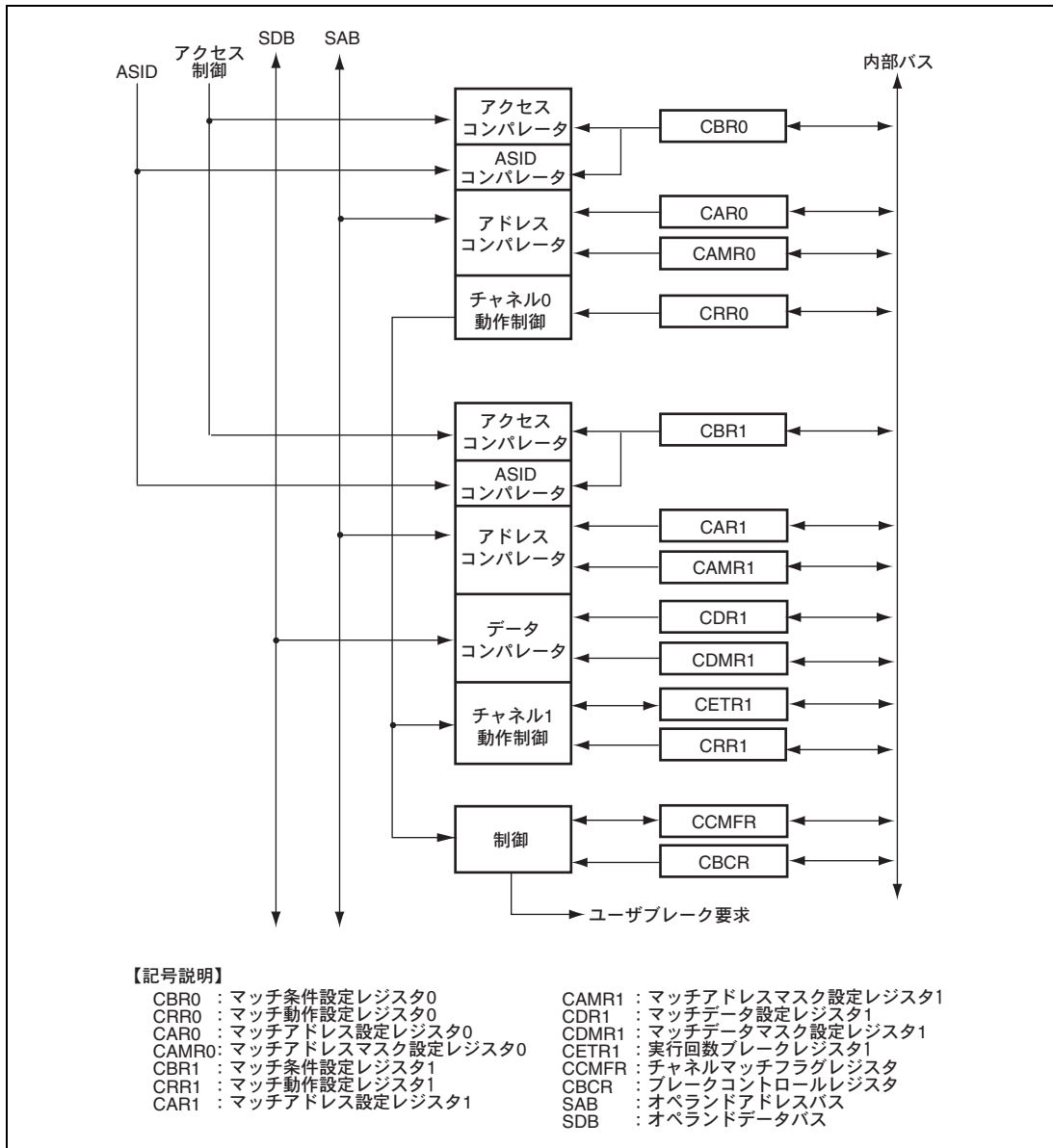


図 38.1 UBC のブロック図

38.2 レジスタの説明

UBC のレジスタ構成を表 38.1 に示します。また、各処理モードにおけるレジスタの状態を表 38.2 に示します。下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。

表 38.1 レジスタ構成

名称	略称	R/W	P4 アドレス*	エリア 7 アドレス*	アクセスサイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 38.2 各処理状態におけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ	ソフトウェアスタンバイ	ディープスタンバイ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持	保持	H'2000 0000
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持	保持	H'0000 2000
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持	保持	不定
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持	保持	不定
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持	保持	H'2000 0000
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持	保持	H'0000 2000
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持	保持	不定
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持	保持	不定
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持	保持	不定
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持	保持	不定
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持	保持	不定
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持	保持	H'0000 0000
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持	保持	H'0000 0000

アクセスサイズは、コントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

38.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

• CBR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MFE	AIE	MFI						AIV								
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	SZ		—	—	—	—	CD		ID		—	RW		CE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める

ビット	ビット名	初期値	R/W	説明
29~24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCMRF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャンネル 0 でヒットしなくなりますので注意してください。</p>
23~16	AIV	H'00	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14~12	SZ	000	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする *³</p> <p>その他 : リザーブ (設定禁止)</p>
11~8	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7、6	CD	00	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00 : オペランドアクセスにおいてオペランドバスを対象とする</p> <p>その他 : リザーブ (設定禁止)</p>
5、4	ID	00	R/W	<p>命令フェッチ/オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00 : 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01 : 命令フェッチサイクルを対象とする</p> <p>10 : オペランドアクセスサイクルを対象とする</p> <p>11 : 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、ほかのビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD	ID		—	RW	CE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0: ASID はマッチ条件に含まれず、チェックされない 1: マッチ条件に ASID を含める
29~24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000: CCMFR レジスタの MF0 ビット 000001: CCMFR レジスタの MF1 ビット その他: リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCMRF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャネル 1 でヒットしなくなりますので注意してください。
23~16	AIV	H'00	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル ^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0: データ値はマッチ条件に含まれず、チェックされない 1: マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	000	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる) * ¹ 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする* ³ その他: リザーブ (設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが 1 の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0: 実行回数値はマッチ条件に含まれず、チェックされない 1: マッチ条件に実行回数値を含める
10~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする その他: リザーブ (設定禁止)
5、4	ID	00	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2, 1	RW	00	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、ほかのビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

38.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブ레이크タイミング、(2) ブ레이크要求の有無です。

• CRR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PCB	0	R/W	PC ブ레이크セレクト 命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブ레이크に対して、本ビットは無効です。 0 : PC ブ레이크を命令実行前に設定する 1 : PC ブ레이크を命令実行後に設定する
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0 : ブ레이크要求しない 1 : ブ레이크を要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PCB	0	R/W	PCブ레이크セレクト 命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブ레이크に対して、本ビットは無効です。 0: PCブ레이크を命令実行前に設定する 1: PCブ레이크を命令実行後に設定する
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0: ブ레이크要求しない 1: ブ레이크を要求する

38.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し／書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

- CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

- CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

38.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し／書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうち、マスクするビットを指定します（マスクするビットに 1 を設定します）。

• CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに 1 を指定します）。 0 : アドレスビット CA[n]は、ブ레이크条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

• CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに 1 を指定します）。 0 : アドレスビット CA[n]は、ブ레이크条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

38.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 38.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

38.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データマスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0: データ値ビット CD[n]は、ブ레이크条件に含まれる 1: データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

38.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12}-1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後、さらにヒットするとブ레이크が発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値:	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

38.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し／書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

38.2.9 ブレークコントロールレジスタ (CBCR)

CBCR は、読み出し／書き込み可能な 32 ビットのレジスタであり、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「38.3.7 ユーザブレークデバッグサポート機能」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBDE	0	R/W	ユーザブレークデバッグサポート機能イネーブル ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0: デバッグサポート機能を使用しない 1: デバッグサポート機能を使用する

38.3 動作説明

38.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 `MOV.W @(disp,PC),Rn` のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- `PREF`、`OCBP` および `OCBWB` 命令：読み出しアクセスとして扱います。
- `MOVCA.L` および `OCBI` 命令：書き込みアクセスとして扱います。
- `TAS.B` 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

`PREF`、`OCBP`、`OCBWB`、`OCBI` 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。`PREF`、`OCBP`、`OCBWB`、`MOVCA.L`、`OCBI` 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

38.3.2 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (`CBR0`または`CBR1`) により指定します。ブ레이크アドレスをマッチアドレス設定レジスタ (`CAR0`、`CAR1`)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (`CAMR0`、`CAMR1`) により指定します。マッチ条件に`ASID`を含める場合は、マッチ条件設定レジスタの`AIE`ビットをセットし、`AIV`ビットにより`ASID`を指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタの`DBE`ビットをセットし、ブ레이크データをマッチデータ設定レジスタ (`CDR1`)、データのマスク条件をマッチデータマスク設定レジスタ (`CDMR1`) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタの`ETBE`ビットをセットし、実行回数条件を実行回数ブ레이크レジスタ (`CETR1`) により指定します。シーケンシャルブ레이크を設定する場合、マッチ条件設定レジスタの`MFE`ビットをセットし、シーケンス元チャンネル番号を`MFI`により指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。ほかのすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

38.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークとほかの例外との優先順位については、「第2章 SH-4A」の「2.5 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークとほかの例外との優先順位については、「第2章 SH-4A」の「2.5 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタCBR1のDBEビットは無効となり、マッチデータ設定レジスタCDR1およびマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

38.3.4 オペランドアクセスサイクルブレーク

1. オペランドアクセスサイクルブレークの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 38.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31~A3
ロングワード	アドレスビット A31~A2
ワード	アドレスビット A31~A1
バイト	アドレスビット A31~A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31~A3 ロングワードアクセス時のアドレスビット A31~A2 ワードアクセス時のアドレスビット A31~A1 バイトアクセス時のアドレスビット A31~A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(ほかのすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE 命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブ레이크を発生させないでください。

38.3.5 シーケンシャルブ레이크

1. マッチ条件設定レジスタ (CBR0, CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル 1 については実行回数ブ레이크条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

38.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル（命令実行前）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

- 命令フェッチサイクル（命令実行後）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス（アドレスのみ）をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス（アドレス+データ）をマッチ条件として指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に退避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

38.3.7 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR+オフセット]で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 38.2 に示します。

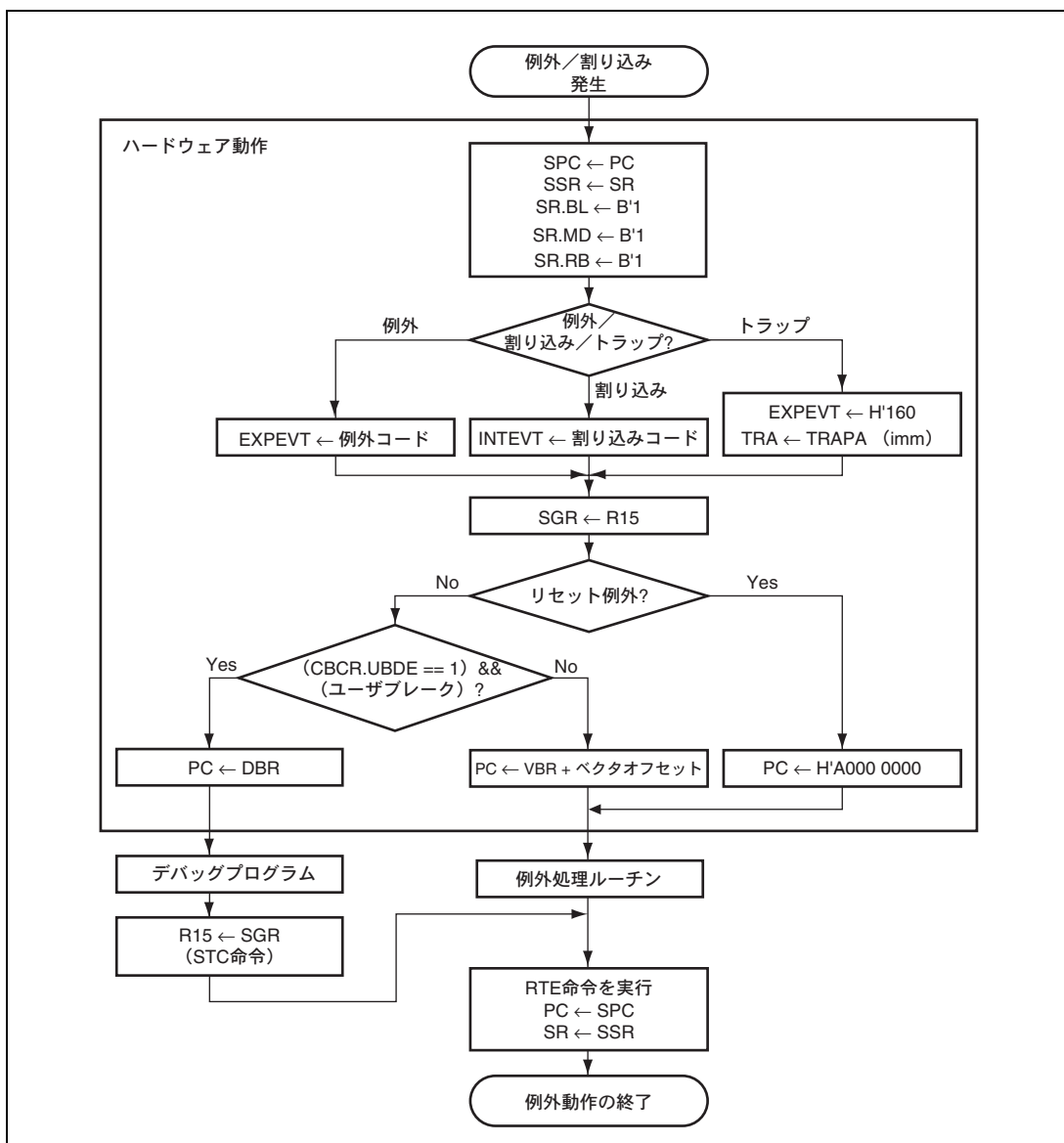


図 38.2 ユーザブレイクデバッグサポート機能のフローチャート

38.3.8 ユーザブ레이크使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

```
CBR0=H'00000013/CRR0=H'00002003/CAR0=H'00000404/CAMR0=H'00000000/  
CBR1=H'00000013/CRR1=H'00002001/CAR1=H'00008010/CAMR1=H'00000006/  
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル 1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブ레이크は、アドレス H'00000404 の命令実行後、またはアドレス H'00008010~H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

```
CBR0=H'40800013/CRR0=H'00002000/CAR0=H'00037226/CAMR0=H'00000000/  
CBR1=H'C0700013/CRR1=H'00002001/CAR1=H'0003722E/CAMR1=H'00000000/  
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル 0 → チャンネル 1 シーケンシャルモード

【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル 1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID=H'80 かつアドレス H'00037226 の命令が実行された後、ASID=H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0=H'00000013/CRR0=H'00002001/CAR0=H'00027128/CAMR0=H'00000000/

CBR1=H'00000013/CRR1=H'00002001/CAR1=H'00031415/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/

CBCR=H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル 1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル 0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0=H'40800013/CRR0=H'00002000/CAR0=H'00037226/CAMR0=H'00000000/

CBR1=H'C0700013/CRR1=H'00002001/CAR1=H'0003722E/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/

CBCR=H'00000000

指定条件：チャンネル 0 → チャンネル 1 シーケンシャルモード

【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル 1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID=H'80 かつアドレス H'00037226 の命令が実行された後、ASID=H'70 かつアドレス H'0003722E の命令実行前にブレイクが発生します。

• 例1-5

レジスタ設定

CBR0=H'00000013/CRR0=H'00002001/CAR0=H'00000500/CAMR0=H'00000000/

CBR1=H'00000813/CRR1=H'00002001/CAR1=H'00001000/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000005/

CBCR=H'00000000

指定条件：チャンネル 0/チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル 1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5 回

ASID、データ値は条件に含まれない

チャンネル 0 では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル 1 では、ユーザブレイクは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

• 例1-6

レジスタ設定

```
CBR0=H'40800013/CRR0=H'00002003/CAR0=H'00008404/CAMR0=H'00000FFF/  
CBR1=H'40700013/CRR1=H'00002001/CAR1=H'00008010/CAMR1=H'00000006/  
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル0/チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレークは、ASID=H'80 でアドレス H'00008000～H'00008FFE の命令の実行後、または、ASID=H'70 でアドレス H'00008010～H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

```
CBR0=H'40800023/CRR0=H'00002001/CAR0=H'00123456/CAMR0=H'00000000/  
CBR1=H'4070A025/CRR1=H'00002001/CAR1=H'000ABCDE/CAMR1=H'000000FF/  
CDR1=H'0000A512/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル 0/チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス/オペランドアクセス/読み出し（オペランドサイズは条件に含まれない）

【チャンネル 1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス/オペランドアクセス/書き込み/ワード

実行回数は条件に含まれない

チャンネル 0 では、ユーザブレイクは、ASID=H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレイクは ASID=H'70 で H'000ABC00~H'000ABCFE にワード H'A512 を書き込むときに生じます。

38.4 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブ레이크が発生しない場合があります。UBCレジスタを変更後、ブ레이크対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

- (1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

- (2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

- (3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト→レジスタリード→(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0およびチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブ레이크は発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブ레이크を発生させないでください。また、SLEEP 命令の1～5命令前では、オペランドアクセスをマッチ条件とするブ레이크を発生させないでください。
5. ユーザブ레이크とほかの例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第2章 SH-4A」の「2.5 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブ레이크は発生しません。
 - 命令実行前のブ레이크は他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブ레이크やデータアクセスブ레이크は、より優先度の高い再実行型の例外(命令実行前ブ레이크を含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブ레이크が発生し、フラグがセットされます。
 - 命令実行後ブ레이크やオペランドアクセスブ레이크が、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブ레이크は発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) →SPC=112、CCMFR.MF0=1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) →SPC=112、CCMFR.MF1=1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが2以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが1にセットされる場合と、セットされない場合があります。

39. ユーザデバッグインタフェース (H-UDI)

39.1 概要

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) にサブセットをサポートしたシリアル入出力インタフェースであり、エミュレータの接続に使用します。

39.1.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" のサブセットにルネサス拡張機能をサポートしたシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの JTAG 機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、TRST#、ASEBRK#/BRKACK) からなります。ASEBRK#/BRKACK を除く端子機能やシリアル転送プロトコルは、JTAG の規格のサブセットをサポートします。さらにエミュレータ用端子として 10 本の信号 (AUDSYNC、AUDCK、AUDATA7~0)、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、TRST# のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 39.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、TRST# 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

39.1.2 ブロック図

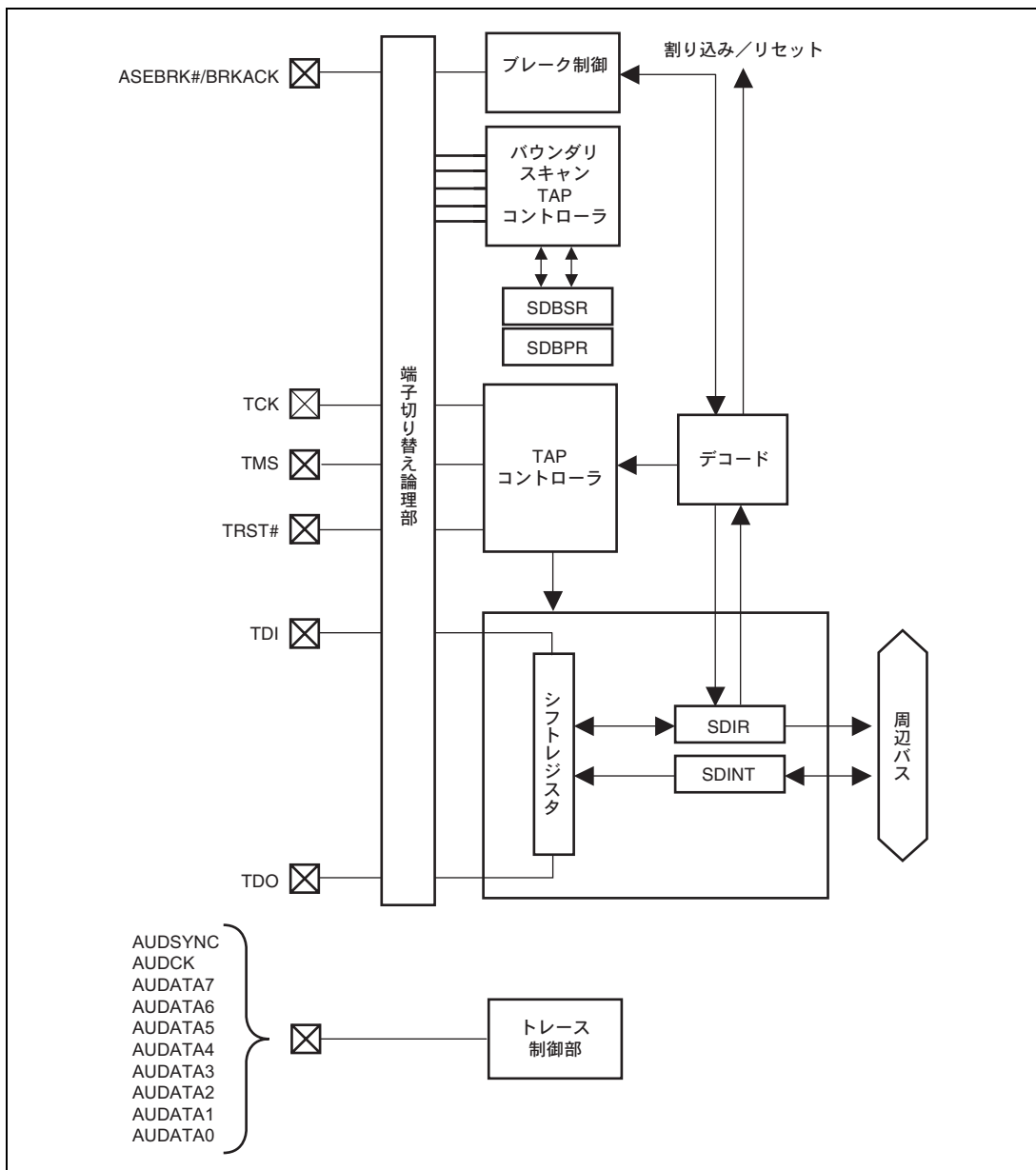


図 39.1 H-UDI のブロック図

39.1.3 外部端子

H-UDI の端子構成を表 39.1 に示します。

表 39.1 H-UDI の端子構成

名称	端子名	入出力	機能	未使用時
クロック端子	TCK* ¹	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン
モード端子	TMS* ¹	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1)規格のサブセットをサポートします。	オープン
リセット端子	TRST#* ^{1,2,3}	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST#を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。エミュレータを使用しないときはローレベルに固定してください。	グランド固定または PRESET#接続
データ入力端子	TDI* ¹	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン
データ出力端子	TDO	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
エミュレータ用端子	ASEBRK#/ BRKACK* ¹	入出力	エミュレータ専用の端子	オープン
エミュレータ用端子	AUDSYNC AUDCK AUDATA7~0	出力	エミュレータ専用の端子	オープン
チップモード指定端子	MPMD	入力	エミュレーションサポートモードとして動作させる(MPMD=0)か、本体チップモードとして動作させる(MPMD=1)かを示します。	3.3V 固定

- 【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み／リセットを利用する場合は、電源投入時に PRESET#と重複する期間 TRST#をローレベルにし、かつ TRST#単独でも制御可能となるようにしてください。
- *3 グランド固定または PRESET#と同じ（あるいは同じ挙動の）信号と接続する。ただし、グランド固定の場合には下記の問題があります。TRST#はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCKの周波数が本LSIの周辺クロックの周波数より低くなるようにTCKあるいは本LSIのCPGの設定を行ってください。CPGの設定の詳細は「第8章 クロック発振器 (CPG)」を参照してください。

39.1.4 レジスタ構成

H-UDIには以下のレジスタがあります。

下記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。

表 39.2 レジスタ構成 (1)

名称	略称	CPU 側			
		R/W	アドレス	アクセスサイズ	同期クロック
インストラクションレジスタ	SDIR	R	H'FC11 0000	16	clkp1
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	16	clkp1
バウンダリスキャンレジスタ	SDBSR	—	—	—	—
バイパスレジスタ	SDBPR	—	—	—	—

表 39.3 レジスタ構成 (2)

名称	略称	H-UDI 端子側		
		R/W	アクセスサイズ	同期クロック
インストラクションレジスタ	SDIR	R/W*1	32	clkp1
割り込み要因レジスタ	SDINT	W*2	32	clkp1
バウンダリスキャンレジスタ	SDBSR	R/W	—	—
バイパスレジスタ	SDBPR	R/W	1	—

【注】 *1 H-UDIからの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*2 H-UDI 割り込みコマンドにより最下位ビットへ1を書き込むことができます。

表 39.4 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持	保持	保持*
割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持	保持	保持*

【注】 * MPMD 端子=ロー時。MPMD 端子がハイ状態のときは、パワーオンリセットと同じになります。

39.2 レジスタの説明

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R : リードのみ可。

39.2.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。TRST#または TAP の Test-Logic-Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。H-UDI からの読み出しの場合は常に固定値 (HFFF FFFD) となります。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx : H-UDI リセット・ネゲート 0111xxxx : H-UDI リセット・アサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

39.2.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し/書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアし、再度 INTREQ を読み出しクリアされたことを確認してください。このレジスタ値は TRST#または TAP の Test-Logic-Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT REQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC0

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INTREQ	0	R/WC0	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

39.2.3 バイパスレジスタ (SDBPR)

バイパスレジスタ(SDBPR)は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。バウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは TRST#のアサートでも初期化されません。Capture-DR ステートでのみ 0 に初期化されます。

39.2.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD、EXTTEST コマンドを用いて JTAG(IEEE Std1149.1)規格のサブセットをサポートしたバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。

表 39.5 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ
From TDI			640	ASEBRK#/ACK	CONTROL
641	ASEBRK#/ACK	OUTPUT	639	ASEBRK#/ACK	INPUT

番号	ピン名称	タイプ
638	GP/CLKOUT	OUTPUT
637	GP/CLKOUT	CONTROL
636	GP/CLKOUT	OBSERVE_ONLY
635	GP/D0/SD0_DAT0_A/MMC_D0_A/ST1_D[3]/NAF0_A	OUTPUT
634	GP/D0/SD0_DAT0_A/MMC_D0_A/ST1_D[3]/NAF0_A	CONTROL
633	GP/D0/SD0_DAT0_A/MMC_D0_A/ST1_D[3]/NAF0_A	INPUT
632	GP/D1/SD0_DAT1_A/MMC_D1_A/ST1_D[4]/NAF1_A	OUTPUT
631	GP/D1/SD0_DAT1_A/MMC_D1_A/ST1_D[4]/NAF1_A	CONTROL
630	GP/D1/SD0_DAT1_A/MMC_D1_A/ST1_D[4]/NAF1_A	INPUT
629	GP/D2/SD0_DAT2_A/MMC_D2_A/ST1_D[5]/NAF2_A	OUTPUT
628	GP/D2/SD0_DAT2_A/MMC_D2_A/ST1_D[5]/NAF2_A	CONTROL
627	GP/D2/SD0_DAT2_A/MMC_D2_A/ST1_D[5]/NAF2_A	INPUT
626	GP/D3/SD0_DAT3_A/MMC_D3_A/ST1_D[6]/NAF3_A	OUTPUT
625	GP/D3/SD0_DAT3_A/MMC_D3_A/ST1_D[6]/NAF3_A	CONTROL
624	GP/D3/SD0_DAT3_A/MMC_D3_A/ST1_D[6]/NAF3_A	INPUT
623	GP/D4/SD0_CD_A/MMC_D4_A/ST1_D[7]/NAF4_A	OUTPUT
622	GP/D4/SD0_CD_A/MMC_D4_A/ST1_D[7]/NAF4_A	CONTROL
621	GP/D4/SD0_CD_A/MMC_D4_A/ST1_D[7]/NAF4_A	INPUT
620	GP/D5/SD0_WP_A/MMC_D5_A/NAF5_A	OUTPUT
619	GP/D5/SD0_WP_A/MMC_D5_A/NAF5_A	CONTROL
618	GP/D5/SD0_WP_A/MMC_D5_A/NAF5_A	INPUT

番号	ピン名称	タイプ
617	GP/D6/RSPI_RSPCK_A/MMC_D6_A/QSPCLK_A/NAF6_A	OUTPUT
616	GP/D6/RSPI_RSPCK_A/MMC_D6_A/QSPCLK_A/NAF6_A	CONTROL
615	GP/D6/RSPI_RSPCK_A/MMC_D6_A/QSPCLK_A/NAF6_A	INPUT
614	GP/D7/RSPI_SSL_A/MMC_D7_A/QSSL_A/NAF7_A	OUTPUT
613	GP/D7/RSPI_SSL_A/MMC_D7_A/QSSL_A/NAF7_A	CONTROL
612	GP/D7/RSPI_SSL_A/MMC_D7_A/QSSL_A/NAF7_A	INPUT
611	GP/D8/SD0_CLK_A/MMC_CLK_A/QIO2_A/FCE#_A/ET0_GTX_CLK_B	OUTPUT
610	GP/D8/SD0_CLK_A/MMC_CLK_A/QIO2_A/FCE#_A/ET0_GTX_CLK_B	CONTROL
609	GP/D8/SD0_CLK_A/MMC_CLK_A/QIO2_A/FCE#_A/ET0_GTX_CLK_B	INPUT
608	GP/D9/SD0_CMD_A/MMC_CMD_A/QIO3_A/FCLE_A/ET0_ETXD1_B	OUTPUT
607	GP/D9/SD0_CMD_A/MMC_CMD_A/QIO3_A/FCLE_A/ET0_ETXD1_B	CONTROL
606	GP/D9/SD0_CMD_A/MMC_CMD_A/QIO3_A/FCLE_A/ET0_ETXD1_B	INPUT
605	GP/D10/RSPI_MOSI_A/TXC_LK0/QMO/QIO0_A/FALE_A/ET0_ETXD2_B	OUTPUT
604	GP/D10/RSPI_MOSI_A/TXC_LK0/QMO/QIO0_A/FALE_A/ET0_ETXD2_B	CONTROL
603	GP/D10/RSPI_MOSI_A/TXC_LK0/QMO/QIO0_A/FALE_A/ET0_ETXD2_B	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
602	GP/D11/RSPI_MISO_A/SA MPOINT0/QMI/QIO1_A/FRE #_A/ET0_ETXD3_B	OUTPUT	583	GP/A1/ST0_REQ/LCD_DAT A1_A/TCLKB_C	CONTROL
601	GP/D11/RSPI_MISO_A/SA MPOINT0/QMI/QIO1_A/FRE #_A/ET0_ETXD3_B	CONTROL	582	GP/A1/ST0_REQ/LCD_DAT A1_A/TCLKB_C	INPUT
600	GP/D11/RSPI_MISO_A/SA MPOINT0/QMI/QIO1_A/FRE #_A/ET0_ETXD3_B	INPUT	581	GP/A2/ST0_SYC/LCD_DAT A2_A/TCLKC_C	OUTPUT
599	GP/D12/EN_NEXTQU0/FW E#_A/ET0_ETXD5_B	OUTPUT	580	GP/A2/ST0_SYC/LCD_DAT A2_A/TCLKC_C	CONTROL
598	GP/D12/EN_NEXTQU0/FW E#_A/ET0_ETXD5_B	CONTROL	579	GP/A2/ST0_SYC/LCD_DAT A2_A/TCLKC_C	INPUT
597	GP/D12/EN_NEXTQU0/FW E#_A/ET0_ETXD5_B	INPUT	578	GP/A3/ST0_VLD/LCD_DAT A3_A/TCLKD_C	OUTPUT
596	GP/D13/RX2_B/TXCLK1/FR B_A/ET0_ETXD6_B	OUTPUT	577	GP/A3/ST0_VLD/LCD_DAT A3_A/TCLKD_C	CONTROL
595	GP/D13/RX2_B/TXCLK1/FR B_A/ET0_ETXD6_B	CONTROL	576	GP/A3/ST0_VLD/LCD_DAT A3_A/TCLKD_C	INPUT
594	GP/D13/RX2_B/TXCLK1/FR B_A/ET0_ETXD6_B	INPUT	575	GP/A4/ST0_D[0]/LCD_DAT A4_A/TIOC0A_C	OUTPUT
593	GP/D14/TX2_B/SAMPOINT 1/ET0_TX_CLK_B	OUTPUT	574	GP/A4/ST0_D[0]/LCD_DAT A4_A/TIOC0A_C	CONTROL
592	GP/D14/TX2_B/SAMPOINT 1/ET0_TX_CLK_B	CONTROL	573	GP/A4/ST0_D[0]/LCD_DAT A4_A/TIOC0A_C	INPUT
591	GP/D14/TX2_B/SAMPOINT 1/ET0_TX_CLK_B	INPUT	572	GP/A5/ST0_D[1]/LCD_DAT A5_A/TIOC0B_C	OUTPUT
590	GP/D15/SCK2_B/EN_NEXT QU1	OUTPUT	571	GP/A5/ST0_D[1]/LCD_DAT A5_A/TIOC0B_C	CONTROL
589	GP/D15/SCK2_B/EN_NEXT QU1	CONTROL	570	GP/A5/ST0_D[1]/LCD_DAT A5_A/TIOC0B_C	INPUT
588	GP/D15/SCK2_B/EN_NEXT QU1	INPUT	569	GP/A6/ST0_D[2]/LCD_DAT A6_A/TIOC0C_C	OUTPUT
587	GP/A0/ST0_CLKIN/LCD_DA TA0_A/TCLKA_C	OUTPUT	568	GP/A6/ST0_D[2]/LCD_DAT A6_A/TIOC0C_C	CONTROL
586	GP/A0/ST0_CLKIN/LCD_DA TA0_A/TCLKA_C	CONTROL	567	GP/A6/ST0_D[2]/LCD_DAT A6_A/TIOC0C_C	INPUT
585	GP/A0/ST0_CLKIN/LCD_DA TA0_A/TCLKA_C	INPUT	566	GP/A7/ST0_D[3]/LCD_DAT A7_A/TIOC0D_C	OUTPUT
584	GP/A1/ST0_REQ/LCD_DAT A1_A/TCLKB_C	OUTPUT	565	GP/A7/ST0_D[3]/LCD_DAT A7_A/TIOC0D_C	CONTROL
			564	GP/A7/ST0_D[3]/LCD_DAT A7_A/TIOC0D_C	INPUT

番号	ピン名称	タイプ
563	GP/A8/ST0_D[4]/LCD_DAT A8_A/TIOC1A_C	OUTPUT
562	GP/A8/ST0_D[4]/LCD_DAT A8_A/TIOC1A_C	CONTROL
561	GP/A8/ST0_D[4]/LCD_DAT A8_A/TIOC1A_C	INPUT
560	GP/A9/ST0_D[5]/LCD_DAT A9_A/TIOC1B_C	OUTPUT
559	GP/A9/ST0_D[5]/LCD_DAT A9_A/TIOC1B_C	CONTROL
558	GP/A9/ST0_D[5]/LCD_DAT A9_A/TIOC1B_C	INPUT
557	GP/A10/ST0_D[6]/LCD_DAT A10_A/TIOC2A_C	OUTPUT
556	GP/A10/ST0_D[6]/LCD_DAT A10_A/TIOC2A_C	CONTROL
555	GP/A10/ST0_D[6]/LCD_DAT A10_A/TIOC2A_C	INPUT
554	GP/A11/ST0_D[7]/LCD_DAT A11_A/TIOC2B_C	OUTPUT
553	GP/A11/ST0_D[7]/LCD_DAT A11_A/TIOC2B_C	CONTROL
552	GP/A11/ST0_D[7]/LCD_DAT A11_A/TIOC2B_C	INPUT
551	GP/A12/LCD_DATA12_A/TI OC3A_C	OUTPUT
550	GP/A12/LCD_DATA12_A/TI OC3A_C	CONTROL
549	GP/A12/LCD_DATA12_A/TI OC3A_C	INPUT
548	GP/A13/LCD_DATA13_A/TI OC3B_C	OUTPUT
547	GP/A13/LCD_DATA13_A/TI OC3B_C	CONTROL
546	GP/A13/LCD_DATA13_A/TI OC3B_C	INPUT
545	GP/A14/LCD_DATA14_A/TI OC3C_C	OUTPUT
544	GP/A14/LCD_DATA14_A/TI OC3C_C	CONTROL

番号	ピン名称	タイプ
543	GP/A14/LCD_DATA14_A/TI OC3C_C	INPUT
542	GP/BS#	OUTPUT
541	GP/BS#	CONTROL
540	GP/BS#	INPUT
539	GP/A15/ST0_VCO_CLKIN/L CD_DATA15_A/TIOC3D_C	OUTPUT
538	GP/A15/ST0_VCO_CLKIN/L CD_DATA15_A/TIOC3D_C	CONTROL
537	GP/A15/ST0_VCO_CLKIN/L CD_DATA15_A/TIOC3D_C	INPUT
536	GP/A16/ST0_PWM/LCD_D ON_A/TIOC4A_C	OUTPUT
535	GP/A16/ST0_PWM/LCD_D ON_A/TIOC4A_C	CONTROL
534	GP/A16/ST0_PWM/LCD_D ON_A/TIOC4A_C	INPUT
533	GP/A17/ST1_VCO_CLKIN/L CD_CL1_A/TIOC4B_C	OUTPUT
532	GP/A17/ST1_VCO_CLKIN/L CD_CL1_A/TIOC4B_C	CONTROL
531	GP/A17/ST1_VCO_CLKIN/L CD_CL1_A/TIOC4B_C	INPUT
530	GP/CS0#	OUTPUT
529	GP/CS0#	CONTROL
528	GP/CS0#	OBSERVE_ONLY
527	GP/CS1#/A26/QIO3_B	OUTPUT
526	GP/CS1#/A26/QIO3_B	CONTROL
525	GP/CS1#/A26/QIO3_B	OBSERVE_ONLY
524	GP/A18/ST1_PWM/LCD_CL 2_A/TIOC4C_C	OUTPUT
523	GP/A18/ST1_PWM/LCD_CL 2_A/TIOC4C_C	CONTROL
522	GP/A18/ST1_PWM/LCD_CL 2_A/TIOC4C_C	INPUT
521	GP/A19/ST1_CLKIN/LCD_C LK_A/TIOC4D_C	OUTPUT
520	GP/A19/ST1_CLKIN/LCD_C LK_A/TIOC4D_C	CONTROL
519	GP/A19/ST1_CLKIN/LCD_C LK_A/TIOC4D_C	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
518	GP/A20/ST1_REQ/LCD_FL M_A	OUTPUT	491	GP/EX_CS2#/TX3_B/ATAC S1#/QSPCLK_B/ET0_GTX_ CLK_A	OUTPUT
517	GP/A20/ST1_REQ/LCD_FL M_A	CONTROL	490	GP/EX_CS2#/TX3_B/ATAC S1#/QSPCLK_B/ET0_GTX_ CLK_A	CONTROL
516	GP/A20/ST1_REQ/LCD_FL M_A	INPUT	489	GP/EX_CS2#/TX3_B/ATAC S1#/QSPCLK_B/ET0_GTX_ CLK_A	INPUT
515	GP/A21/ST1_SYC/LCD_VC PWC_A	OUTPUT	488	GP/RD/WR#/TCLK0/CAN_C LK_B/ET0_ETXD4	OUTPUT
514	GP/A21/ST1_SYC/LCD_VC PWC_A	CONTROL	487	GP/RD/WR#/TCLK0/CAN_C LK_B/ET0_ETXD4	CONTROL
513	GP/A21/ST1_SYC/LCD_VC PWC_A	INPUT	486	GP/RD/WR#/TCLK0/CAN_C LK_B/ET0_ETXD4	INPUT
512	GP/A22/ST1_VLD/LCD_VE PWC_A	OUTPUT	485	GP/EX_CS3#/SD1_CD_A/A TARD#/QMO/QIO0_B/ET0_ ETXD1_A	OUTPUT
511	GP/A22/ST1_VLD/LCD_VE PWC_A	CONTROL	484	GP/EX_CS3#/SD1_CD_A/A TARD#/QMO/QIO0_B/ET0_ ETXD1_A	CONTROL
510	GP/A22/ST1_VLD/LCD_VE PWC_A	INPUT	483	GP/EX_CS3#/SD1_CD_A/A TARD#/QMO/QIO0_B/ET0_ ETXD1_A	INPUT
509	GP/A23/ST1_D[0]/LCD_M_ DISP_A	OUTPUT	482	GP/WE1#	OUTPUT
508	GP/A23/ST1_D[0]/LCD_M_ DISP_A	CONTROL	481	GP/WE1#	CONTROL
507	GP/A23/ST1_D[0]/LCD_M_ DISP_A	INPUT	480	GP/WE1#	INPUT
506	GP/A24/RX2_D/ST1_D[1]	OUTPUT	479	GP/EX_CS5#/SD1_CMD_A/ ATADIR#/QSSL_B/ET0_ET XD3_A	OUTPUT
505	GP/A24/RX2_D/ST1_D[1]	CONTROL	478	GP/EX_CS5#/SD1_CMD_A/ ATADIR#/QSSL_B/ET0_ET XD3_A	CONTROL
504	GP/A24/RX2_D/ST1_D[1]	INPUT	477	GP/EX_CS5#/SD1_CMD_A/ ATADIR#/QSSL_B/ET0_ET XD3_A	INPUT
503	GP/A25/TX2_D/ST1_D[2]	OUTPUT	476	GP/EX_WAIT0/TCLK1_B	OUTPUT
502	GP/A25/TX2_D/ST1_D[2]	CONTROL	475	GP/EX_WAIT0/TCLK1_B	CONTROL
501	GP/A25/TX2_D/ST1_D[2]	INPUT	474	GP/EX_WAIT0/TCLK1_B	INPUT
500	GP/TX0_A/HSPI_TX_A	OUTPUT	473	GP/EX_CS0#	OUTPUT
499	GP/TX0_A/HSPI_TX_A	CONTROL	472	GP/EX_CS0#	CONTROL
498	GP/TX0_A/HSPI_TX_A	INPUT			
497	GP/RD#	OUTPUT			
496	GP/RD#	CONTROL			
495	GP/RD#	INPUT			
494	GP/WE0#	OUTPUT			
493	GP/WE0#	CONTROL			
492	GP/WE0#	INPUT			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
471	GP/EX_CS0#	INPUT	453	GP/REF125CK/ADTRG#/RX5_C	INPUT
470	GP/EX_CS1#/RX3_B/ATAC S0#/QIO2_B/ET0_ETXD0	OUTPUT	452	GP/REF50CK/CTS1#_E/HC TS0#_D	OUTPUT
469	GP/EX_CS1#/RX3_B/ATAC S0#/QIO2_B/ET0_ETXD0	CONTROL	451	GP/REF50CK/CTS1#_E/HC TS0#_D	CONTROL
468	GP/EX_CS1#/RX3_B/ATAC S0#/QIO2_B/ET0_ETXD0	INPUT	450	GP/REF50CK/CTS1#_E/HC TS0#_D	INPUT
467	GP/EX_WAIT2/SD1_DAT1_A/DACK2/CAN1_RX_C/ET0_MAGIC_C/ET0_ETXD6_A	OUTPUT	449	GP/IRQ0_A/PCMOE#/HSPI_TX_B/RX3_E/ET0_ERXD0	OUTPUT
466	GP/EX_WAIT2/SD1_DAT1_A/DACK2/CAN1_RX_C/ET0_MAGIC_C/ET0_ETXD6_A	CONTROL	448	GP/IRQ0_A/PCMOE#/HSPI_TX_B/RX3_E/ET0_ERXD0	CONTROL
465	GP/EX_WAIT2/SD1_DAT1_A/DACK2/CAN1_RX_C/ET0_MAGIC_C/ET0_ETXD6_A	INPUT	447	GP/IRQ0_A/PCMOE#/HSPI_TX_B/RX3_E/ET0_ERXD0	INPUT
464	GP/DACK0/SD1_DAT3_A/ET0_TX_ER	OUTPUT	446	GP/DRACK0/SD1_DAT2_A/ATAG#/TCLK1_A/ET0_ETXD7	OUTPUT
463	GP/DACK0/SD1_DAT3_A/ET0_TX_ER	CONTROL	445	GP/DRACK0/SD1_DAT2_A/ATAG#/TCLK1_A/ET0_ETXD7	CONTROL
462	GP/DACK0/SD1_DAT3_A/ET0_TX_ER	INPUT	444	GP/DRACK0/SD1_DAT2_A/ATAG#/TCLK1_A/ET0_ETXD7	INPUT
461	GP/DREQ0/SD1_CLK_A/ET0_TX_EN	OUTPUT	443	GP/DREQ1/HSPI_CLK_B/RX4_B/ET0_PHY_INT_C/ET0_TX_CLK_A	OUTPUT
460	GP/DREQ0/SD1_CLK_A/ET0_TX_EN	CONTROL	442	GP/DREQ1/HSPI_CLK_B/RX4_B/ET0_PHY_INT_C/ET0_TX_CLK_A	CONTROL
459	GP/DREQ0/SD1_CLK_A/ET0_TX_EN	INPUT	441	GP/DREQ1/HSPI_CLK_B/RX4_B/ET0_PHY_INT_C/ET0_TX_CLK_A	INPUT
458	GP/EX_WAIT1/SD1_DAT0_A/DREQ2/CAN1_TX_C/ET0_LINK_C/ET0_ETXD5_A	OUTPUT	440	GP/HCTS0#_A/CTS1#_A/VI0_FIELD/RMII0_RXD1_A/ET0_ERXD7	OUTPUT
457	GP/EX_WAIT1/SD1_DAT0_A/DREQ2/CAN1_TX_C/ET0_LINK_C/ET0_ETXD5_A	CONTROL	439	GP/HCTS0#_A/CTS1#_A/VI0_FIELD/RMII0_RXD1_A/ET0_ERXD7	CONTROL
456	GP/EX_WAIT1/SD1_DAT0_A/DREQ2/CAN1_TX_C/ET0_LINK_C/ET0_ETXD5_A	INPUT	438	GP/HCTS0#_A/CTS1#_A/VI0_FIELD/RMII0_RXD1_A/ET0_ERXD7	INPUT
455	GP/REF125CK/ADTRG#/RX5_C	OUTPUT			
454	GP/REF125CK/ADTRG#/RX5_C	CONTROL			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
437	GP/IRQ1_A/PCMWE#/HSPI_RX_B/TX3_E/ET0_ERXD1	OUTPUT	419	GP/IRQ3_A/RTS0#_A/HRTS0#_B/ET0_ERXD3_A	OUTPUT
436	GP/IRQ1_A/PCMWE#/HSPI_RX_B/TX3_E/ET0_ERXD1	CONTROL	418	GP/IRQ3_A/RTS0#_A/HRTS0#_B/ET0_ERXD3_A	CONTROL
435	GP/IRQ1_A/PCMWE#/HSPI_RX_B/TX3_E/ET0_ERXD1	INPUT	417	GP/IRQ3_A/RTS0#_A/HRTS0#_B/ET0_ERXD3_A	INPUT
434	GP/IRQ2_A/CTS0#_A/HCTS0#_B/ET0_ERXD2_A	OUTPUT	416	GP/CTS0#_B/VI0_DATA2/VI0_B2/RMII0_MDIO_A/ET0_MDC	OUTPUT
433	GP/IRQ2_A/CTS0#_A/HCTS0#_B/ET0_ERXD2_A	CONTROL	415	GP/CTS0#_B/VI0_DATA2/VI0_B2/RMII0_MDIO_A/ET0_MDC	CONTROL
432	GP/IRQ2_A/CTS0#_A/HCTS0#_B/ET0_ERXD2_A	INPUT	414	GP/CTS0#_B/VI0_DATA2/VI0_B2/RMII0_MDIO_A/ET0_MDC	INPUT
431	GP/DACK1/HSPI_CS#_B/TX4_B/ET0_RX_CLK_A	OUTPUT	413	GP/HRTS0#_A/RTS1#_A/VI0_HSYNC#/RMII0_TXD_EN_A/ET0_RX_DV	OUTPUT
430	GP/DACK1/HSPI_CS#_B/TX4_B/ET0_RX_CLK_A	CONTROL	412	GP/HRTS0#_A/RTS1#_A/VI0_HSYNC#/RMII0_TXD_EN_A/ET0_RX_DV	CONTROL
429	GP/DACK1/HSPI_CS#_B/TX4_B/ET0_RX_CLK_A	INPUT	411	GP/HRTS0#_A/RTS1#_A/VI0_HSYNC#/RMII0_TXD_EN_A/ET0_RX_DV	INPUT
428	GP/RX0_A/HSPI_RX_A/RMII0_RXD0_A/ET0_ERXD6	OUTPUT	410	GP/HSCK0_A/SCK1_A/VI0_VSYNC#/RMII0_RX_ER_A/ET0_RX_ER	OUTPUT
427	GP/RX0_A/HSPI_RX_A/RMII0_RXD0_A/ET0_ERXD6	CONTROL	409	GP/HSCK0_A/SCK1_A/VI0_VSYNC#/RMII0_RX_ER_A/ET0_RX_ER	CONTROL
426	GP/RX0_A/HSPI_RX_A/RMII0_RXD0_A/ET0_ERXD6	INPUT	408	GP/HSCK0_A/SCK1_A/VI0_VSYNC#/RMII0_RX_ER_A/ET0_RX_ER	INPUT
425	GP/SCK0_A/HSPI_CS#_A/VI0_CLKENB/RMII0_TXD1_A/ET0_ERXD5	OUTPUT	407	GP/EX_CS4#/SD1_WP_A/A_TAWR#/QMI/QIO1_B/ET0_ETXD2_A	OUTPUT
424	GP/SCK0_A/HSPI_CS#_A/VI0_CLKENB/RMII0_TXD1_A/ET0_ERXD5	CONTROL	406	GP/EX_CS4#/SD1_WP_A/A_TAWR#/QMI/QIO1_B/ET0_ETXD2_A	CONTROL
423	GP/SCK0_A/HSPI_CS#_A/VI0_CLKENB/RMII0_TXD1_A/ET0_ERXD5	INPUT	405	GP/EX_CS4#/SD1_WP_A/A_TAWR#/QMI/QIO1_B/ET0_ETXD2_A	INPUT
422	GP/SCIF_CLK_A/HSPI_CLK_A/VI0_CLK/RMII0_TXD0_A/ET0_ERXD4	OUTPUT			
421	GP/SCIF_CLK_A/HSPI_CLK_A/VI0_CLK/RMII0_TXD0_A/ET0_ERXD4	CONTROL			
420	GP/SCIF_CLK_A/HSPI_CLK_A/VI0_CLK/RMII0_TXD0_A/ET0_ERXD4	INPUT			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
404	GP/RX1_B/VI0_DATA5/VI0_B5/ET0_MAGIC_A	OUTPUT	386	GP/CAN1_TX_A/TX5_C/MLB_DAT	OUTPUT
403	GP/RX1_B/VI0_DATA5/VI0_B5/ET0_MAGIC_A	CONTROL	385	GP/CAN1_TX_A/TX5_C/MLB_DAT	CONTROL
402	GP/RX1_B/VI0_DATA5/VI0_B5/ET0_MAGIC_A	INPUT	384	GP/CAN1_TX_A/TX5_C/MLB_DAT	INPUT
401	GP/TX1_B/VI0_DATA6/VI0_G0/ET0_PHY_INT_A	OUTPUT	383	GP/CAN_CLK_A/RX4_D	OUTPUT
400	GP/TX1_B/VI0_DATA6/VI0_G0/ET0_PHY_INT_A	CONTROL	382	GP/CAN_CLK_A/RX4_D	CONTROL
399	GP/TX1_B/VI0_DATA6/VI0_G0/ET0_PHY_INT_A	INPUT	381	GP/CAN_CLK_A/RX4_D	INPUT
398	GP/RTS0#_B/VI0_DATA3/VI0_B3/ET0_MDIO_A	OUTPUT	380	NMI	INPUT
397	GP/RTS0#_B/VI0_DATA3/VI0_B3/ET0_MDIO_A	CONTROL	379	GP/CAN1_RX_A/IRQ1_B	OUTPUT
396	GP/RTS0#_B/VI0_DATA3/VI0_B3/ET0_MDIO_A	INPUT	378	GP/CAN1_RX_A/IRQ1_B	CONTROL
395	GP/HTX0_A/TX1_A/VI0_DATA1/VI0_B1/RMII0_MDC_A/ET0_COL	OUTPUT	377	GP/CAN1_RX_A/IRQ1_B	INPUT
394	GP/HTX0_A/TX1_A/VI0_DATA1/VI0_B1/RMII0_MDC_A/ET0_COL	CONTROL	376	GP/CAN0_RX_A/IRQ0_B/MLB_SIG	OUTPUT
393	GP/HTX0_A/TX1_A/VI0_DATA1/VI0_B1/RMII0_MDC_A/ET0_COL	INPUT	375	GP/CAN0_RX_A/IRQ0_B/MLB_SIG	CONTROL
392	GP/SCK1_B/VI0_DATA4/VI0_B4/ET0_LINK_A	OUTPUT	374	GP/CAN0_RX_A/IRQ0_B/MLB_SIG	INPUT
391	GP/SCK1_B/VI0_DATA4/VI0_B4/ET0_LINK_A	CONTROL	373	GP/CAN0_TX_A/TX4_D/MLB_CLK	OUTPUT
390	GP/SCK1_B/VI0_DATA4/VI0_B4/ET0_LINK_A	INPUT	372	GP/CAN0_TX_A/TX4_D/MLB_CLK	CONTROL
389	GP/HRX0_A/RX1_A/VI0_DATA0/VI0_B0/RMII0_CRSD_V_A/ET0_CRSD	OUTPUT	371	GP/CAN0_TX_A/TX4_D/MLB_CLK	INPUT
388	GP/HRX0_A/RX1_A/VI0_DATA0/VI0_B0/RMII0_CRSD_V_A/ET0_CRSD	CONTROL	370	AN0/IRQ2_B	INPUT
387	GP/HRX0_A/RX1_A/VI0_DATA0/VI0_B0/RMII0_CRSD_V_A/ET0_CRSD	INPUT	369	AN1/IRQ3_B	INPUT
			368	AN2	INPUT
			367	AN3	INPUT
			366	AN4	INPUT
			365	AN5	INPUT
			364	AN6	INPUT
			363	AN7	INPUT
			362	SDA1/RX1_E	OUTPUT
			361	SDA1/RX1_E	INPUT
			360	SCL1/SCIF_CLK_C	OUTPUT
			359	SCL1/SCIF_CLK_C	INPUT
			358	SDA0/HIFEBL_A	OUTPUT
			357	SDA0/HIFEBL_A	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
356	SCL0	OUTPUT	335	GP/DU0_DR2/RX0_B/TCLK C_A/HIFD02	CONTROL
355	SCL0	INPUT	334	GP/DU0_DR2/RX0_B/TCLK C_A/HIFD02	INPUT
354	GP/PENC1/TX3_D/CAN1_T X_B/TX5_D/IETX_B	OUTPUT	333	GP/DU0_DR3/TX0_B/TCLK D_A/HIFD03	OUTPUT
353	GP/PENC1/TX3_D/CAN1_T X_B/TX5_D/IETX_B	CONTROL	332	GP/DU0_DR3/TX0_B/TCLK D_A/HIFD03	CONTROL
352	GP/PENC1/TX3_D/CAN1_T X_B/TX5_D/IETX_B	INPUT	331	GP/DU0_DR3/TX0_B/TCLK D_A/HIFD03	INPUT
351	GP/USB_OVC1/RX3_D/CA N1_RX_B/RX5_D/IERX_B	OUTPUT	330	GP/DU0_DR4/CTS0#_C/TI OC0A_A/HIFD04	OUTPUT
350	GP/USB_OVC1/RX3_D/CA N1_RX_B/RX5_D/IERX_B	CONTROL	329	GP/DU0_DR4/CTS0#_C/TI OC0A_A/HIFD04	CONTROL
349	GP/USB_OVC1/RX3_D/CA N1_RX_B/RX5_D/IERX_B	INPUT	328	GP/DU0_DR4/CTS0#_C/TI OC0A_A/HIFD04	INPUT
348	GP/PENC0	OUTPUT	327	GP/DU0_DR5/RTS0#_C/TI OC0B_A/HIFD05	OUTPUT
347	GP/PENC0	CONTROL	326	GP/DU0_DR5/RTS0#_C/TI OC0B_A/HIFD05	CONTROL
346	GP/PENC0	INPUT	325	GP/DU0_DR5/RTS0#_C/TI OC0B_A/HIFD05	INPUT
345	GP/USB_OVC0	OUTPUT	324	GP/DU0_DR6/SCK1_C/TIO C0C_A/HIFD06	OUTPUT
344	GP/USB_OVC0	CONTROL	323	GP/DU0_DR6/SCK1_C/TIO C0C_A/HIFD06	CONTROL
343	GP/USB_OVC0	INPUT	322	GP/DU0_DR6/SCK1_C/TIO C0C_A/HIFD06	INPUT
342	GP/DU0_DR0/SCIF_CLK_B/ HRX0_D/IETX_A/TCLKA_A/ HIFD00	OUTPUT	321	GP/DU0_DR7/RX1_C/TIOC 0D_A/HIFD07	OUTPUT
341	GP/DU0_DR0/SCIF_CLK_B/ HRX0_D/IETX_A/TCLKA_A/ HIFD00	CONTROL	320	GP/DU0_DR7/RX1_C/TIOC 0D_A/HIFD07	CONTROL
340	GP/DU0_DR0/SCIF_CLK_B/ HRX0_D/IETX_A/TCLKA_A/ HIFD00	INPUT	319	GP/DU0_DR7/RX1_C/TIOC 0D_A/HIFD07	INPUT
339	GP/DU0_DR1/SCK0_B/HTX 0_D/IERX_A/TCLKB_A/HIF D01	OUTPUT	318	GP/DU0_DG0/TX1_C/HACK 0_D/IECLK_A/TIOC1A_A/HI FD08	OUTPUT
338	GP/DU0_DR1/SCK0_B/HTX 0_D/IERX_A/TCLKB_A/HIF D01	CONTROL	317	GP/DU0_DG0/TX1_C/HACK 0_D/IECLK_A/TIOC1A_A/HI FD08	CONTROL
337	GP/DU0_DR1/SCK0_B/HTX 0_D/IERX_A/TCLKB_A/HIF D01	INPUT			
336	GP/DU0_DR2/RX0_B/TCLK C_A/HIFD02	OUTPUT			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
316	GP/DU0_DG0/TX1_C/HSCK0_D/IECLK_A/TIOC1A_A/HIFD08	INPUT	301	GP/DU0_DG5/TX2_C/RMII0_RX_ER_B/TIOC3B_A/HIFD13	INPUT
315	GP/DU0_DG1/CTS1#_C/HR TS0#_D/TIOC1B_A/HIFD09	OUTPUT	300	GP/DU0_DG6/RX3_C/RMII0_RXD0_B/TIOC3C_A/HIFD14	OUTPUT
314	GP/DU0_DG1/CTS1#_C/HR TS0#_D/TIOC1B_A/HIFD09	CONTROL	299	GP/DU0_DG6/RX3_C/RMII0_RXD0_B/TIOC3C_A/HIFD14	CONTROL
313	GP/DU0_DG1/CTS1#_C/HR TS0#_D/TIOC1B_A/HIFD09	INPUT	298	GP/DU0_DG6/RX3_C/RMII0_RXD0_B/TIOC3C_A/HIFD14	INPUT
312	GP/DU0_DG2/RTS1#_C/RMII0_MDC_B/TIOC2A_A/HIFD10	OUTPUT	297	GP/DU0_DG7/TX3_C/RMII0_RXD1_B/TIOC3D_A/HIFD15	OUTPUT
311	GP/DU0_DG2/RTS1#_C/RMII0_MDC_B/TIOC2A_A/HIFD10	CONTROL	296	GP/DU0_DG7/TX3_C/RMII0_RXD1_B/TIOC3D_A/HIFD15	CONTROL
310	GP/DU0_DG2/RTS1#_C/RMII0_MDC_B/TIOC2A_A/HIFD10	INPUT	295	GP/DU0_DG7/TX3_C/RMII0_RXD1_B/TIOC3D_A/HIFD15	INPUT
309	GP/DU0_DG3/SCK2_C/RMII0_MDIO_B/TIOC2B_A/HIFD11	OUTPUT	294	GP/DU0_DB0/RX4_C/RMII0_TXD_EN_B/TIOC4A_A/HIFCS	OUTPUT
308	GP/DU0_DG3/SCK2_C/RMII0_MDIO_B/TIOC2B_A/HIFD11	CONTROL	293	GP/DU0_DB0/RX4_C/RMII0_TXD_EN_B/TIOC4A_A/HIFCS	CONTROL
307	GP/DU0_DG3/SCK2_C/RMII0_MDIO_B/TIOC2B_A/HIFD11	INPUT	292	GP/DU0_DB0/RX4_C/RMII0_TXD_EN_B/TIOC4A_A/HIFCS	INPUT
306	GP/DU0_DG4/RX2_C/RMII0_CRS_DV_B/TIOC3A_A/HIFD12	OUTPUT	291	GP/DU0_DB1/TX4_C/RMII0_TXD0_B/TIOC4B_A/HIFRS	OUTPUT
305	GP/DU0_DG4/RX2_C/RMII0_CRS_DV_B/TIOC3A_A/HIFD12	CONTROL	290	GP/DU0_DB1/TX4_C/RMII0_TXD0_B/TIOC4B_A/HIFRS	CONTROL
304	GP/DU0_DG4/RX2_C/RMII0_CRS_DV_B/TIOC3A_A/HIFD12	INPUT	289	GP/DU0_DB1/TX4_C/RMII0_TXD0_B/TIOC4B_A/HIFRS	INPUT
303	GP/DU0_DG5/TX2_C/RMII0_RX_ER_B/TIOC3B_A/HIFD13	OUTPUT	288	GP/DU0_DB2/RX5_B/RMII0_TXD1_B/TIOC4C_A/HIFWR	OUTPUT
302	GP/DU0_DG5/TX2_C/RMII0_RX_ER_B/TIOC3B_A/HIFD13	CONTROL	287	GP/DU0_DB2/RX5_B/RMII0_TXD1_B/TIOC4C_A/HIFWR	CONTROL

番号	ピン名称	タイプ	番号	ピン名称	タイプ
286	GP/DU0_DB2/RX5_B/RMIIO_TXD1_B/TIOC4C_A/HIFW \bar{R}	INPUT	266	GP/DU0_EXHSYNC/DU0_H SYNC/SD2_CD_B/HSPI_TX_C/SSI_SCK1_B	CONTROL
285	GP/DU0_DB3/TX5_B/TIOC4D_A/HIFRD	OUTPUT	265	GP/DU0_EXHSYNC/DU0_H SYNC/SD2_CD_B/HSPI_TX_C/SSI_SCK1_B	INPUT
284	GP/DU0_DB3/TX5_B/TIOC4D_A/HIFRD	CONTROL	264	GP/DU0_DOTCLKOUT/SD2_DAT3_B/HSPI_CLK_C/SSI_SDATA0_B	OUTPUT
283	GP/DU0_DB3/TX5_B/TIOC4D_A/HIFRD	INPUT	263	GP/DU0_DOTCLKOUT/SD2_DAT3_B/HSPI_CLK_C/SSI_SDATA0_B	CONTROL
282	GP/DU0_DB7/SD2_DAT1_B/SSI_SCK0_B/HIFE \bar{B} L_B	OUTPUT	262	GP/DU0_DOTCLKOUT/SD2_DAT3_B/HSPI_CLK_C/SSI_SDATA0_B	INPUT
281	GP/DU0_DB7/SD2_DAT1_B/SSI_SCK0_B/HIFE \bar{B} L_B	CONTROL	261	GP/DU0_DOTCLKIN/SD2_D AT2_B/HSPI_CS#_C/SSI_WS0_B	OUTPUT
280	GP/DU0_DB7/SD2_DAT1_B/SSI_SCK0_B/HIFE \bar{B} L_B	INPUT	260	GP/DU0_DOTCLKIN/SD2_D AT2_B/HSPI_CS#_C/SSI_WS0_B	CONTROL
279	GP/DU0_DB6/SD2_DAT0_B/HIFRDY	OUTPUT	259	GP/DU0_DOTCLKIN/SD2_D AT2_B/HSPI_CS#_C/SSI_WS0_B	INPUT
278	GP/DU0_DB6/SD2_DAT0_B/HIFRDY	CONTROL	258	GP/RTS1#_B/VI0_G2	OUTPUT
277	GP/DU0_DB6/SD2_DAT0_B/HIFRDY	INPUT	257	GP/RTS1#_B/VI0_G2	CONTROL
276	GP/DU0_DB5/SD2_CMD_B/HIFDREQ	OUTPUT	256	GP/RTS1#_B/VI0_G2	INPUT
275	GP/DU0_DB5/SD2_CMD_B/HIFDREQ	CONTROL	255	GP/DU0_CDE/HTX0_B/AUDIO_CLKB_B/LCD_VCPWC_B	OUTPUT
274	GP/DU0_DB5/SD2_CMD_B/HIFDREQ	INPUT	254	GP/DU0_CDE/HTX0_B/AUDIO_CLKB_B/LCD_VCPWC_B	CONTROL
273	GP/DU0_DB4/SD2_CLK_B/HIFINT	OUTPUT	253	GP/DU0_CDE/HTX0_B/AUDIO_CLKB_B/LCD_VCPWC_B	INPUT
272	GP/DU0_DB4/SD2_CLK_B/HIFINT	CONTROL	252	GP/DU0_EXODDF/DU0_ODDF/CAN0_RX_B/HSCK0_B/SSI_SDATA1_B	OUTPUT
271	GP/DU0_DB4/SD2_CLK_B/HIFINT	INPUT	251	GP/DU0_EXODDF/DU0_ODDF/CAN0_RX_B/HSCK0_B/SSI_SDATA1_B	CONTROL
270	GP/DU0_DISP/CAN0_TX_B/HRX0_B/AUDIO_CLKA_B	OUTPUT			
269	GP/DU0_DISP/CAN0_TX_B/HRX0_B/AUDIO_CLKA_B	CONTROL			
268	GP/DU0_DISP/CAN0_TX_B/HRX0_B/AUDIO_CLKA_B	INPUT			
267	GP/DU0_EXHSYNC/DU0_H SYNC/SD2_CD_B/HSPI_TX_C/SSI_SCK1_B	OUTPUT			

番号	ピン名称	タイプ
250	GP/DU0_EXODDF/DU0_ODDF/CAN0_RX_B/HSC0_B/SSI_SDATA1_B	INPUT
249	GP/DU0_EXVSYNC/DU0_VSYNC/SD2_WP_B/HSPI_RX_C/SSI_WS1_B	OUTPUT
248	GP/DU0_EXVSYNC/DU0_VSYNC/SD2_WP_B/HSPI_RX_C/SSI_WS1_B	CONTROL
247	GP/DU0_EXVSYNC/DU0_VSYNC/SD2_WP_B/HSPI_RX_C/SSI_WS1_B	INPUT
246	GP/SD2_CLK_A/RX2_A/VI0_G4/ET0_RX_CLK_B	OUTPUT
245	GP/SD2_CLK_A/RX2_A/VI0_G4/ET0_RX_CLK_B	CONTROL
244	GP/SD2_CLK_A/RX2_A/VI0_G4/ET0_RX_CLK_B	OBSERVE_ONLY
243	GP/SCK2_A/VI0_G3	OUTPUT
242	GP/SCK2_A/VI0_G3	CONTROL
241	GP/SCK2_A/VI0_G3	INPUT
240	GP/SD2_DAT0_A/RX3_A/VI0_R0/ET0_ERXD3_B	OUTPUT
239	GP/SD2_DAT0_A/RX3_A/VI0_R0/ET0_ERXD3_B	CONTROL
238	GP/SD2_DAT0_A/RX3_A/VI0_R0/ET0_ERXD3_B	OBSERVE_ONLY
237	GP/CTS1#_B/VI0_DATA7/VI0_G1	OUTPUT
236	GP/CTS1#_B/VI0_DATA7/VI0_G1	CONTROL
235	GP/CTS1#_B/VI0_DATA7/VI0_G1	INPUT
234	GP/SD2_DAT2_A/RX4_A/VI0_R2/ET0_LINK_B	OUTPUT
233	GP/SD2_DAT2_A/RX4_A/VI0_R2/ET0_LINK_B	CONTROL
232	GP/SD2_DAT2_A/RX4_A/VI0_R2/ET0_LINK_B	OBSERVE_ONLY
231	GP/SD2_DAT1_A/TX3_A/VI0_R1/ET0_MDIO_B	OUTPUT

番号	ピン名称	タイプ
230	GP/SD2_DAT1_A/TX3_A/VI0_R1/ET0_MDIO_B	CONTROL
229	GP/SD2_DAT1_A/TX3_A/VI0_R1/ET0_MDIO_B	OBSERVE_ONLY
228	GP/SD2_WP_A/TX5_A/VI0_R5	OUTPUT
227	GP/SD2_WP_A/TX5_A/VI0_R5	CONTROL
226	GP/SD2_WP_A/TX5_A/VI0_R5	OBSERVE_ONLY
225	GP/SD2_CMD_A/TX2_A/VI0_G5/ET0_ERXD2_B	OUTPUT
224	GP/SD2_CMD_A/TX2_A/VI0_G5/ET0_ERXD2_B	CONTROL
223	GP/SD2_CMD_A/TX2_A/VI0_G5/ET0_ERXD2_B	OBSERVE_ONLY
222	GP/VI1_CLK_A/AUDCK/NAF0_B/LCD_DATA0_B	OUTPUT
221	GP/VI1_CLK_A/AUDCK/NAF0_B/LCD_DATA0_B	CONTROL
220	GP/VI1_CLK_A/AUDCK/NAF0_B/LCD_DATA0_B	INPUT
219	GP/VI1_0_A/AUDSYNC/NAF1_B/LCD_DATA1_B	OUTPUT
218	GP/VI1_0_A/AUDSYNC/NAF1_B/LCD_DATA1_B	CONTROL
217	GP/VI1_0_A/AUDSYNC/NAF1_B/LCD_DATA1_B	INPUT
216	GP/SD2_CD_A/RX5_A/VI0_R4/ET0_PHY_INT_B	OUTPUT
215	GP/SD2_CD_A/RX5_A/VI0_R4/ET0_PHY_INT_B	CONTROL
214	GP/SD2_CD_A/RX5_A/VI0_R4/ET0_PHY_INT_B	OBSERVE_ONLY
213	GP/SD2_DAT3_A/TX4_A/VI0_R3/ET0_MAGIC_B	OUTPUT
212	GP/SD2_DAT3_A/TX4_A/VI0_R3/ET0_MAGIC_B	CONTROL
211	GP/SD2_DAT3_A/TX4_A/VI0_R3/ET0_MAGIC_B	OBSERVE_ONLY

番号	ピン名称	タイプ	番号	ピン名称	タイプ
210	GP/VI1_4_A/AUDATA3/NAF 5_B/LCD_DATA5_B	OUTPUT	190	GP/SSI_SDATA1_A/VI1_3_ B/LCD_DATA14_B	OBSERVE_ONLY
209	GP/VI1_4_A/AUDATA3/NAF 5_B/LCD_DATA5_B	CONTROL	189	GP/VI1_7_A/AUDATA6/FCE #_B/LCD_DATA8_B	OUTPUT
208	GP/VI1_4_A/AUDATA3/NAF 5_B/LCD_DATA5_B	INPUT	188	GP/VI1_7_A/AUDATA6/FCE #_B/LCD_DATA8_B	CONTROL
207	GP/VI1_3_A/AUDATA2/NAF 4_B/LCD_DATA4_B	OUTPUT	187	GP/VI1_7_A/AUDATA6/FCE #_B/LCD_DATA8_B	INPUT
206	GP/VI1_3_A/AUDATA2/NAF 4_B/LCD_DATA4_B	CONTROL	186	GP/SSI_SCK0_A/AUDATA7 /TIOC1A_B/LCD_DATA9_B	OUTPUT
205	GP/VI1_3_A/AUDATA2/NAF 4_B/LCD_DATA4_B	INPUT	185	GP/SSI_SCK0_A/AUDATA7 /TIOC1A_B/LCD_DATA9_B	CONTROL
204	GP/VI1_2_A/AUDATA1/NAF 3_B/LCD_DATA3_B	OUTPUT	184	GP/SSI_SCK0_A/AUDATA7 /TIOC1A_B/LCD_DATA9_B	OBSERVE_ONLY
203	GP/VI1_2_A/AUDATA1/NAF 3_B/LCD_DATA3_B	CONTROL	183	GP/SSI_SCK1_A/VI1_1_B/T IOC2B_B/LCD_DATA12_B	OUTPUT
202	GP/VI1_2_A/AUDATA1/NAF 3_B/LCD_DATA3_B	INPUT	182	GP/SSI_SCK1_A/VI1_1_B/T IOC2B_B/LCD_DATA12_B	CONTROL
201	GP/VI1_6_A/AUDATA5/NAF 7_B/LCD_DATA7_B	OUTPUT	181	GP/SSI_SCK1_A/VI1_1_B/T IOC2B_B/LCD_DATA12_B	OBSERVE_ONLY
200	GP/VI1_6_A/AUDATA5/NAF 7_B/LCD_DATA7_B	CONTROL	180	GP/SSI_WS0_A/TIOC1B_B/ LCD_DATA10_B	OUTPUT
199	GP/VI1_6_A/AUDATA5/NAF 7_B/LCD_DATA7_B	INPUT	179	GP/SSI_WS0_A/TIOC1B_B/ LCD_DATA10_B	CONTROL
198	GP/VI1_5_A/AUDATA4/NAF 6_B/LCD_DATA6_B	OUTPUT	178	GP/SSI_WS0_A/TIOC1B_B/ LCD_DATA10_B	OBSERVE_ONLY
197	GP/VI1_5_A/AUDATA4/NAF 6_B/LCD_DATA6_B	CONTROL	177	GP/SSI_WS1_A/VI1_2_B/L CD_DATA13_B	OUTPUT
196	GP/VI1_5_A/AUDATA4/NAF 6_B/LCD_DATA6_B	INPUT	176	GP/SSI_WS1_A/VI1_2_B/L CD_DATA13_B	CONTROL
195	GP/VI1_1_A/AUDATA0/NAF 2_B/LCD_DATA2_B	OUTPUT	175	GP/SSI_WS1_A/VI1_2_B/L CD_DATA13_B	OBSERVE_ONLY
194	GP/VI1_1_A/AUDATA0/NAF 2_B/LCD_DATA2_B	CONTROL	174	GP/SSI_WS23/VI1_5_B/TX1 _D/HSC0_C/FALE_B/LCD _DON_B	OUTPUT
193	GP/VI1_1_A/AUDATA0/NAF 2_B/LCD_DATA2_B	INPUT	173	GP/SSI_WS23/VI1_5_B/TX1 _D/HSC0_C/FALE_B/LCD _DON_B	CONTROL
192	GP/SSI_SDATA1_A/VI1_3_ B/LCD_DATA14_B	OUTPUT	172	GP/SSI_WS23/VI1_5_B/TX1 _D/HSC0_C/FALE_B/LCD _DON_B	OBSERVE_ONLY
191	GP/SSI_SDATA1_A/VI1_3_ B/LCD_DATA14_B	CONTROL			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
171	GP/SSI_SDATA0_A/VI1_0_B/TIOC2A_B/LCD_DATA11_B	OUTPUT	156	GP/AUDIO_CLKC/SCK1_E/HCTS0#_C/FRB_B/LCD_VE_PWC_B	OUTPUT
170	GP/SSI_SDATA0_A/VI1_0_B/TIOC2A_B/LCD_DATA11_B	CONTROL	155	GP/AUDIO_CLKC/SCK1_E/HCTS0#_C/FRB_B/LCD_VE_PWC_B	CONTROL
169	GP/SSI_SDATA0_A/VI1_0_B/TIOC2A_B/LCD_DATA11_B	OBSERVE_ONLY	154	GP/AUDIO_CLKC/SCK1_E/HCTS0#_C/FRB_B/LCD_VE_PWC_B	INPUT
168	GP/SSI_SCK23/VI1_4_B/RX1_D/FCLE_B/LCD_DATA15_B	OUTPUT	153	GP/SSI_SDATA3/VI1_7_B/HTX0_C/FWE#_B/LCD_CL2_B	OUTPUT
167	GP/SSI_SCK23/VI1_4_B/RX1_D/FCLE_B/LCD_DATA15_B	CONTROL	152	GP/SSI_SDATA3/VI1_7_B/HTX0_C/FWE#_B/LCD_CL2_B	CONTROL
166	GP/SSI_SCK23/VI1_4_B/RX1_D/FCLE_B/LCD_DATA15_B	OBSERVE_ONLY	151	GP/SSI_SDATA3/VI1_7_B/HTX0_C/FWE#_B/LCD_CL2_B	INPUT
165	GP/SSI_SDATA2/VI1_6_B/HRX0_C/FRE#_B/LCD_CL1_B	OUTPUT	150	GP/AUDIO_CLKOUT/TX1_E/HRTS0#_C/LCD_M_DISP_B	OUTPUT
164	GP/SSI_SDATA2/VI1_6_B/HRX0_C/FRE#_B/LCD_CL1_B	CONTROL	149	GP/AUDIO_CLKOUT/TX1_E/HRTS0#_C/LCD_M_DISP_B	CONTROL
163	GP/SSI_SDATA2/VI1_6_B/HRX0_C/FRE#_B/LCD_CL1_B	INPUT	148	GP/AUDIO_CLKOUT/TX1_E/HRTS0#_C/LCD_M_DISP_B	INPUT
162	GP/AUDIO_CLKA_A/VI1_C/LK_B/SCK1_D/IECLK_B/LCD_FLM_B	OUTPUT	147	GP/SDSELF/RTS1#_E	OUTPUT
161	GP/AUDIO_CLKA_A/VI1_C/LK_B/SCK1_D/IECLK_B/LCD_FLM_B	CONTROL	146	GP/SDSELF/RTS1#_E	CONTROL
160	GP/AUDIO_CLKA_A/VI1_C/LK_B/SCK1_D/IECLK_B/LCD_FLM_B	INPUT	145	GP/SDSELF/RTS1#_E	INPUT
159	GP/AUDIO_CLKB_A/LCD_C/LK_B	OUTPUT	144	*	INTERNAL
158	GP/AUDIO_CLKB_A/LCD_C/LK_B	CONTROL	143	*	INTERNAL
157	GP/AUDIO_CLKB_A/LCD_C/LK_B	INPUT	142	*	INTERNAL
			141	*	INTERNAL
			140	*	INTERNAL
			139	*	INTERNAL
			138	*	INTERNAL
			137	*	INTERNAL
			136	*	INTERNAL
			135	*	INTERNAL
			134	*	INTERNAL

番号	ピン名称	タイプ
133	*	INTERNAL
132	*	INTERNAL
131	*	INTERNAL
130	*	INTERNAL
129	*	INTERNAL
128	*	INTERNAL
127	*	INTERNAL
126	*	INTERNAL
125	*	INTERNAL
124	*	INTERNAL
123	*	INTERNAL
122	*	INTERNAL
121	*	INTERNAL
120	*	INTERNAL
119	*	INTERNAL
118	*	INTERNAL
117	*	INTERNAL
116	*	INTERNAL
115	*	INTERNAL
114	*	INTERNAL
113	*	INTERNAL
112	*	INTERNAL
111	*	INTERNAL
110	*	INTERNAL
109	*	INTERNAL
108	*	INTERNAL
107	*	INTERNAL
106	*	INTERNAL
105	*	INTERNAL
104	*	INTERNAL
103	*	INTERNAL
102	*	INTERNAL
101	*	INTERNAL
100	*	INTERNAL
99	*	INTERNAL
98	*	INTERNAL
97	*	INTERNAL
96	*	INTERNAL

番号	ピン名称	タイプ
95	*	INTERNAL
94	*	INTERNAL
93	*	INTERNAL
92	*	INTERNAL
91	*	INTERNAL
90	*	INTERNAL
89	*	INTERNAL
88	*	INTERNAL
87	*	INTERNAL
86	*	INTERNAL
85	*	INTERNAL
84	*	INTERNAL
83	*	INTERNAL
82	*	INTERNAL
81	*	INTERNAL
80	*	INTERNAL
79	*	INTERNAL
78	*	INTERNAL
77	*	INTERNAL
76	*	INTERNAL
75	*	INTERNAL
74	*	INTERNAL
73	*	INTERNAL
72	*	INTERNAL
71	*	INTERNAL
70	*	INTERNAL
69	*	INTERNAL
68	*	INTERNAL
67	*	INTERNAL
66	*	INTERNAL
65	*	INTERNAL
64	*	INTERNAL
63	*	INTERNAL
62	*	INTERNAL
61	*	INTERNAL
60	*	INTERNAL
59	*	INTERNAL
58	*	INTERNAL

番号	ピン名称	タイプ
57	*	INTERNAL
56	*	INTERNAL
55	*	INTERNAL
54	*	INTERNAL
53	*	INTERNAL
52	*	INTERNAL
51	*	INTERNAL
50	*	INTERNAL
49	*	INTERNAL
48	*	INTERNAL
47	*	INTERNAL
46	*	INTERNAL
45	*	INTERNAL
44	*	INTERNAL
43	*	INTERNAL
42	*	INTERNAL
41	*	INTERNAL
40	*	INTERNAL
39	*	INTERNAL
38	*	INTERNAL
37	*	INTERNAL
36	*	INTERNAL
35	*	INTERNAL
34	*	INTERNAL
33	*	INTERNAL
32	*	INTERNAL
31	*	INTERNAL
30	*	INTERNAL
29	*	INTERNAL
28	*	INTERNAL
27	*	INTERNAL
26	*	INTERNAL

番号	ピン名称	タイプ
25	*	INTERNAL
24	*	INTERNAL
23	*	INTERNAL
22	*	INTERNAL
21	*	INTERNAL
20	*	INTERNAL
19	*	INTERNAL
18	*	INTERNAL
17	*	INTERNAL
16	*	INTERNAL
15	*	INTERNAL
14	*	INTERNAL
13	*	INTERNAL
12	*	INTERNAL
11	*	INTERNAL
10	*	INTERNAL
9	*	INTERNAL
8	*	INTERNAL
7	*	INTERNAL
6	*	INTERNAL
5	*	INTERNAL
4	*	INTERNAL
3	PRESET#	OBSERVE_ONLY
2	GP/PRESETOUT#/ST_CLK OUT	OUTPUT
1	GP/PRESETOUT#/ST_CLK OUT	CONTROL
0	GP/PRESETOUT#/ST_CLK OUT	INPUT
To TDO		

【注】 CONTROL はローアクティブの信号。CONTROL を LOW にすることで、該当ピンを OUTPUT 値でドライブする。

39.3 動作説明

39.3.1 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、TRST#アサートによりバウンダリスキャン用 TAP コントローラが活き、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL) はバウンダリスキャンの対象から外れます。
- H-UDI 関連信号 (TCK、TDI、TDO、TMS、TRST#、MPMD) はバウンダリスキャンの対象から外れます。
- DDR2/DDR3 IF 関連端子はバウンダリスキャンの対象から外れます。
- USB IF 関連端子 (USB_EXTAL、USB_XTAL、REFRIN、DP0、DP1、DM0、DM1、OVC0/VBUS0、OVC1/VBUS1) はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、H-UDI 切り替えコマンド) 実行時、TCK の最大周波数は 2MHz です。
- H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 8 ビットです。

以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】 バウンダリスキャン利用時は、それぞれ TEST1 をローレベル、TEST2 をローレベル、BSMODE をハイレベル、MPMD をハイレベルに固定にしてください。また、エミュレーションサポートモードとして動作させる (MPMD=0) 場合、バウンダリスキャン機能を利用することはできません。バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを図 39.2 に示します。

表 39.6 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド
上記以外								設定禁止

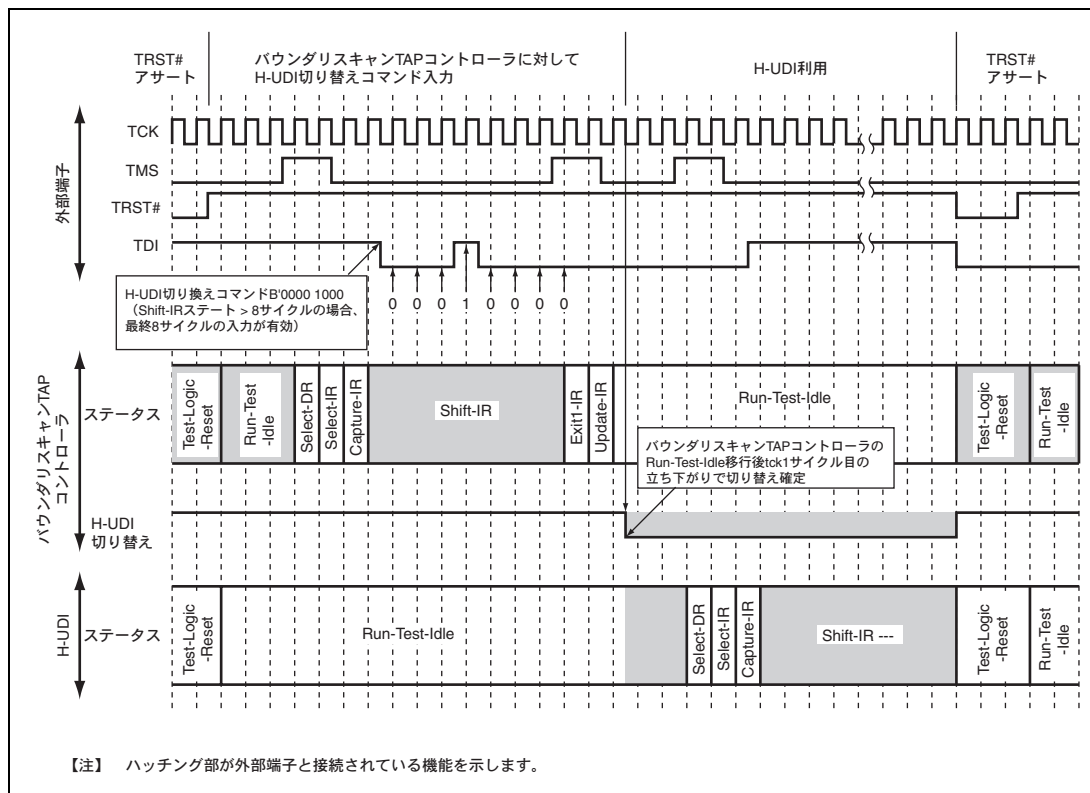


図 39.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

39.3.2 TAP 制御

図 39.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移のサブセットをサポートしています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDO端子はShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- TRST#=0への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

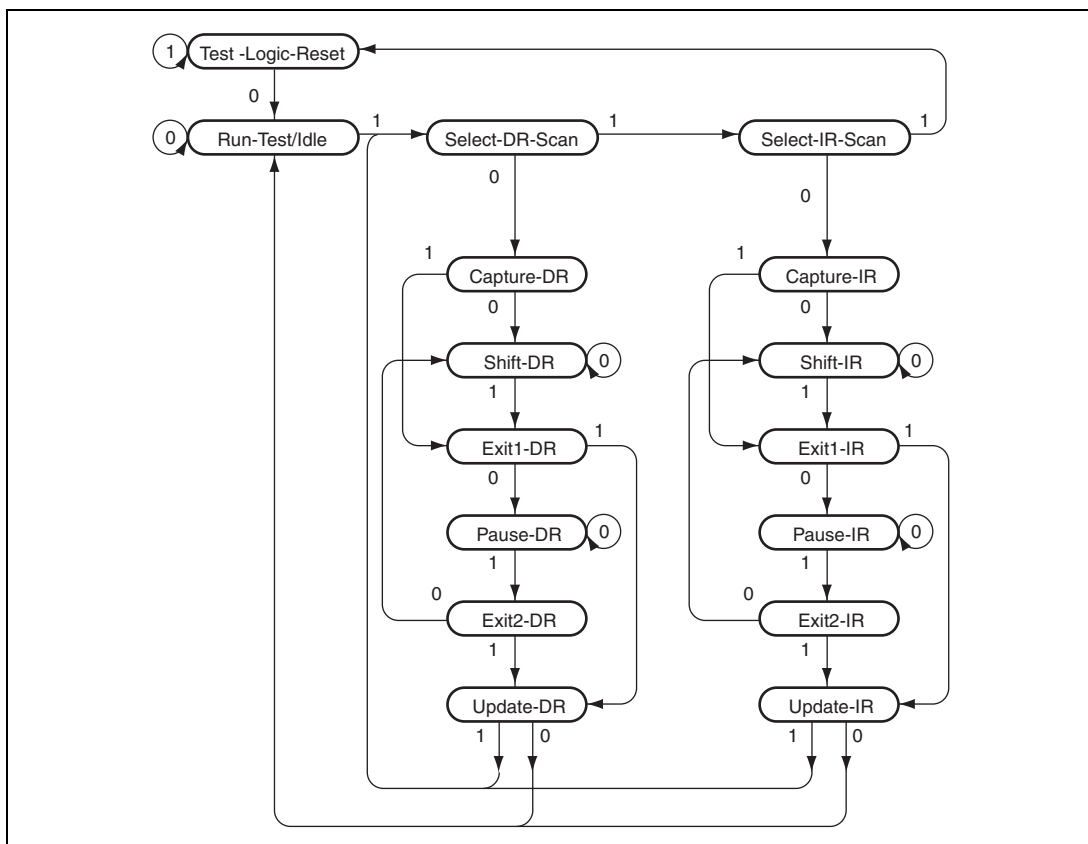


図 39.3 TAP 制御状態遷移図

39.3.3 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます (図 39.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。H-UDI リセット・アサートコマンドをセット後、clkp1 4 サイクル後にチップ内リセットがアサートされ、H-UDI リセット・ネゲートコマンドをセット後、リセット保持期間 (最小で clkp1 38 サイクル、最大で clkp1 73 サイクルです) 後にチップ内リセットがネゲートされま

【注】 RST/WDT モジュールは初期化されません。ただし、RST/WDT モジュールのオーバフローカウンタは初期化されます。

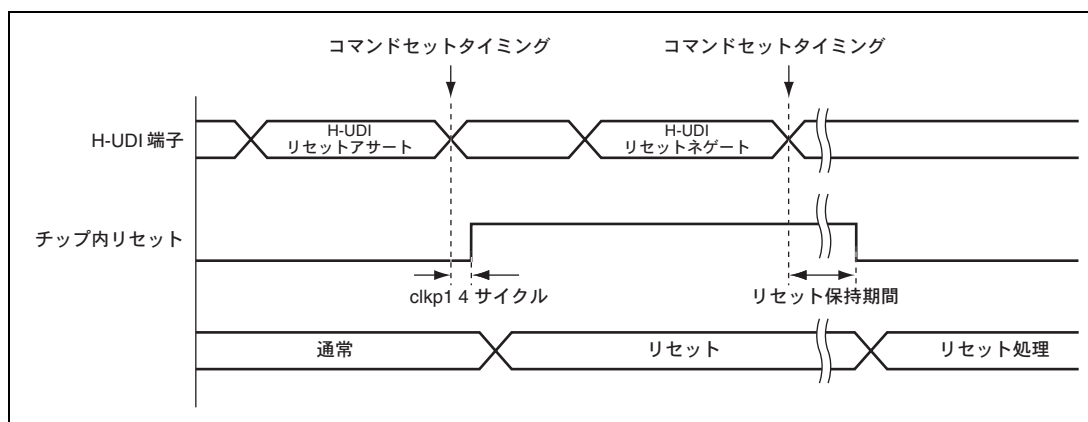


図 39.4 H-UDI リセット

39.3.4 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割り込みは一般例外/割り込み動作であり、VBR に基づいたアドレスに岐し、RTE 命令で復帰します。この時、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ INT2PRI2 のビット 28 ~24 により H-UDI 割り込みの優先度を制御できます。詳細は「第 7 章 割り込みコントローラ (INTC、INTC2)」を参照してください。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。TDO から読み出される値等は「39.2.2 割り込み要因レジスタ (SDINT)」を参照してください。

39.4 注意事項

1. 一度設定したSDIRコマンドはTRST#のアサート、またはTAPをTest-Logic-Reset状態にすることによる初期化以外はH-UDIから他のコマンドを書き込まない限り変化しません。
2. エミュレータを使用しないときはTRST#端子をローレベルに固定してください。
3. エミュレーションサポートモードのときは、スリープモード、ソフトウェアスタンバイモードおよびディープスタンバイモードはH-UDI割り込み、H-UDIリセットにより解除され、それらの要求を受け付けます。
4. H-UDIは、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、JTAGの機能は使用できません。
5. ディープスタンバイモードのとき、H-UDI割り込み後、命令フェッチが開始するまでの間、H-UDIリセットを発行しないでください。

40. Quad-SPI

40.1 特長

本モジュールは以下の特長を持ちます。

- Single/Dual/Quad-SPI動作でシリアルフラッシュメモリとの通信が可能

Single-SPI動作

QMO (MasterOut)、QMI (MasterIn)、QSSL (Slave Select)、QSPCLK (SPI Clock) の4線を用いてシリアルフラッシュメモリへアクセスを行う

QMO端子は出力、QMI端子は入力

QSSL端子、QSPCLK端子は出力

Dual-SPI動作

QIO1-0、QSSL、QSPCLKの4線を用いてシリアルフラッシュメモリへアクセスを行う

QSSL端子、QSPCLK端子は出力

QIO1-0端子は双方向

Quad-SPI動作

QIO3-0、QSSL、QSPCLKの6線を用いてシリアルフラッシュメモリへアクセスを行う

QSSL端子、QSPCLK端子は出力

QIO3-0端子は双方向

- 転送データ長

8ビット～128Gビットで転送可能

ただし、8、16、32ビットの転送を基本の1転送として1～4294967296回繰り返しの連続転送とする

- ビットレート

QSPCLK分周比を2～4080で設定可能

内部ポーレートジェネレータでCLKS1を分周してQSPCLKを生成

- バッファ構成

送信バッファ：8ビット×32個

受信バッファ：8ビット×32個

- シフトレジスタ

送信用、受信用それぞれに専用で32ビットずつのシフトレジスタを持つ

- QSSL端子制御

QSSL信号アサートからQSPCLK動作までの遅延（クロック遅延）を設定可能

設定範囲：0および、1.5～8.5QSPCLK 設定単位：1QSPCLK

QSPCLK停止からQSSL出力ネゲートまでの遅延（QSSLネゲート遅延）を設定可能

設定範囲：0～8QSPCLK 設定単位：1QSPCLK

次のアクセスのQSSL出力アサートのウェイト（次アクセス遅延）を設定可能

設定範囲：0～8QSPCLK 設定単位：1QSPCLK

転送終了後から次アクセスまでの間QSSL出力値を保持可能

QSSL極性変更可能

- 転送制御

最大4コマンドで構成された転送方式をシーケンシャルにループ実行可能

Single-SPIまたはDual/Quad-SPIライト動作：SPI機能有効で送信バッファへのデータライトで転送を起動

Dual/Quad-SPIリード動作：受信バッファに転送データ長の空きがある状態でSPI機能有効で転送を起動

QSSLネゲート期間中、QIO3-0端子出力、およびQMO出力は設定可能

Single/Dual-SPIモード時、QIO3-2端子出力は設定可能

- 割り込み要因

マスク可能な割り込み要因あり

受信バッファフル割り込み

送信バッファエンプティ割り込み

- その他

ループバックモード

初期化機能あり

40.2 入出力端子

端子構成を表 40.1 に示します。

表 40.1 端子構成

名称	端子名	入出力	機能
クロック端子	QSPCLK	出力	クロック出力
マスタ送出データ端子/データ 0 端子* ²	QMO/QIO0	入出力	マスタ送出データ/データ 0
マスタ入力データ端子/データ 1 端子* ²	QMI/QIO1	入出力	マスタ入力データ/データ 1
データ 2 端子* ¹	QIO2	入出力	データ 2
データ 3 端子* ²	QIO3	入出力	データ 3
スレーブセレクト端子	QSSL	出力	スレーブセレクト

【注】 *1 Single-SPI モード時は QMO/QMI、Dual/Quad-SPI モード時は QIO0/QIO1 となります。

*2 Single/Dual-SPI モード時はレジスタ設定による固定値出力、Quad-SPI モード時は QIO2/QIO3 となります。

40.3 レジスタの説明

レジスタ構成を表 40.2 に示します。

アドレスの先頭番地は、H'FFFC 3000 です。

表 40.2 (1) レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
制御レジスタ	SPCR	R/W	H'00	H'00	8、16、32
スリープセレクト極性レジスタ	SSLP	R/W	H'00	H'01	8、16、32
端子制御レジスタ	SPPCR	R/W	H'06	H'02	8、16、32
ステータスレジスタ	SPSR	R(W)*	H'60	H'03	8、16、32
データレジスタ	SPDR	R/W	不定	H'04	8、16、32
シーケンス制御レジスタ	SPSCR	R/W	H'00	H'08	8、16、32
シーケンスステータスレジスタ	SPSSR	R	H'00	H'09	8、16、32
ビットレートレジスタ	SPBR	R/W	H'FF	H'0A	8、16、32
データコントロールレジスタ	SPDCR	R/W	H'00	H'0B	8、16、32
クロック遅延レジスタ	SPCKD	R/W	H'00	H'0C	8、16、32
スリープセレクトネゲート遅延レジスタ	SSLND	R/W	H'00	H'0D	8、16、32
次アクセス遅延レジスタ	SPND	R/W	H'00	H'0E	8、16、32
コマンドレジスタ 0	SPCMD0	R/W	H'E001	H'10	16、32
コマンドレジスタ 1	SPCMD1	R/W	H'E001	H'12	16、32
コマンドレジスタ 2	SPCMD2	R/W	H'E001	H'14	16、32
コマンドレジスタ 3	SPCMD3	R/W	H'E001	H'16	16、32
バッファコントロールレジスタ	SPBFCR	R/W	H'00	H'18	8、16、32
バッファデータカウントセットレジスタ	SPBDCR	R	H'0000	H'1A	16、32
データ長倍数設定レジスタ 0	SPBMUL0	R/W	H'00000001	H'1C	32
データ長倍数設定レジスタ 1	SPBMUL1	R/W	H'00000001	H'20	32
データ長倍数設定レジスタ 2	SPBMUL2	R/W	H'00000001	H'24	32
データ長倍数設定レジスタ 3	SPBMUL3	R/W	H'00000001	H'28	32

【注】 * フラグクリアのための 0 ライトのみ有効です。

表 40.2 (2) 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	スリープ	ソフトウェア スタンバイ	モジュール スタンバイ	ディープ スタンバイ
全レジスタ	初期化	初期化	保持	保持	保持	初期化

40.3.1 制御レジスタ (SPCR)

制御レジスタ (SPCR) は動作モードを設定するためのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファの受信データ数が指定したトリガ以上になり、ステータスレジスタのフラグが1になったときの受信割り込み要求を許可／禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
6	SPE	0	R/W	SPI 機能イネーブル 1に設定でSPIモジュールの機能を有効にします。 0にすると本モジュールの一部が初期化されます。 0: 機能無効 1: 機能有効
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファの送信データ数が指定したトリガ以下になり、ステータスレジスタのフラグが1になったときの送信割り込み要求を許可／禁止します。 0: 割り込み要求禁止 1: 割り込み要求許可
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	—	0	R/W	リザーブビット 書き込む値は常に1としてください。0を書き込んだときの動作は保証されません。
2~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

40.3.2 スレーブセレクト極性レジスタ (SSLP)

スレーブセレクト極性レジスタ (SSLP) は QSSL 信号の極性を設定するためのレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSLP
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SSLP	0	R/W	QSSL 信号極性設定 QSSL 信号の極性を設定するビットです。 0: QSSL 信号は Low アクティブ 1: QSSL 信号は High アクティブ

40.3.3 端子制御レジスタ (SPPCR)

端子制御レジスタ (SPPCR) は端子モードを設定するレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	IO3FV	IO2FV	SPLP
初期値:	0	0	0	0	0	1	1	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MOIFE	0	R/W	データ出カアイドル値固定イネーブル QSSL ネグート期間またはバースト転送時の QSSL 保持期間に出力端子の値を固定するためのビットです。 Single-SPI モード時は QMO、Dual-SPI モード時は QIO1-0、Quad-SPI モード時は QIO3-0 について有効です。 0: 出力値は前回転送の最終データ 1: 出力値は MOIFV ビットの設定値 【注】 Dual/Quad-SPI モード時、リード後の QIO1-0/QIO3-0 は本ビットの設定に関わらず Hi-Z となります。(「40.4.2 端子の制御」参照)

ビット	ビット名	初期値	R/W	説明
4	MOIFV	0	R/W	データ出力アイドル時固定値 MOIFE ビットが 1 の場合、本ビットの設定値に従って QSSL ネグート期間の出力端子の値を決定します。 0 : 出力端子アイドル値は 0 1 : 出力端子アイドル値は 1
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	IO3FV	1	R/W	Single/Dual-SPI 時 QIO3 出力固定値 Single/Dual-SPI モード時、QIO3 端子の出力方向を固定するためのビットです。Single/Dual-SPI モード時のみ有効であり、このとき MOIFE ビットおよび MOIFV ビットの値には影響されません。 0 : QIO3 は 0 固定 1 : QIO3 は 1 固定
1	IO2FV	1	R/W	Single/Dual-SPI 時 QIO2 固定値 Single/Dual-SPI モード時、QIO2 端子の出力方向を固定するためのビットです。Single/Dual-SPI モード時のみ有効であり、このとき MOIFE ビットおよび MOIFV ビットの設定値には影響されません。 0 : QIO2 は 0 固定 1 : QIO2 は 1 固定
0	SPLP	0	R/W	ループバックモード SPLP ビットを 1 に設定すると、本モジュールはデータ入出力端子と送信用/受信用シフトレジスタ間の経路を遮断し、送信用/受信用シフトレジスタ間で接続します。 0 : 通常モード 1 : ループバックモード 【注】 Dual/Quad-SPI でループバックモードとする場合、コマンドレジスタ 0~3 (SPCMD0~3) の SPRW は 0 (ライト動作) としてください。

40.3.4 ステータスレジスタ (SPSR)

ステータスレジスタ (SPSR) は本モジュールの動作状態を示すフラグを格納したレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SPRFF	TEND	SPTEF	-	-	-	-	-
初期値:	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	SPRFF	0	R	受信バッファフルフラグ 受信バッファの受信データ数がバッファコントロールレジスタの受信バッファデータ数トリガで指定した値以上になったことを示します。 0: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である 1: 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である [クリア条件] <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満になるまで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット [セット条件] <ul style="list-style-type: none"> • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上になったとき
6	TEND	1	R	通信終了フラグ 本ビットが1のとき通信終了したことを示します。0のときは通信未終了です。 [クリア条件] <ul style="list-style-type: none"> • 送信レジスタから送信用シフトレジスタへ送信データが転送されたとき • Dual/Quad-SPI モードで受信動作を開始したとき [セット条件] <ul style="list-style-type: none"> • シリアル転送終了時に送信バッファのデータ格納数が空であったとき (ダミー送信許可ビット (TXDMY) が1にセットされている場合を除く) • シリアル転送終了時に受信バッファに次の受信データ長の空きがないとき

ビット	ビット名	初期値	R/W	説明
5	SPTEF	1	R	<p>送信バッファエンプティフラグ</p> <p>送信バッファの送信データ数がバッファコントロールレジスタの送信バッファデータ数トリガで指定した値以下になったことを示します。</p> <p>0 : 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多い</p> <p>1 : 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以下である</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき <p>[セット条件]</p> <ul style="list-style-type: none"> 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以下になったとき 送信バッファデータリセットを有効にしたとき パワーオンリセット
4~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

40.3.5 データレジスタ (SPDR)

データレジスタ (SPDR) は送受信のデータバッファへアクセスするレジスタです。

送信バッファ (SPTXB) と受信バッファ (SPRXB) は独立したバッファで、これらのバッファが SPDR にマッピングされています。本レジスタへの書き込みは送信バッファ (SPTXB) へ行われ、本レジスタからの読み込みは受信バッファ (SPRXB) から行われます。

本レジスタへのアクセスはバイト/ワード/ロングワードで行ってください。

各アクセスサイズでの有効データは以下となります。

ロングワード : 31~0 ビット

ワード : 31~16 ビット

バイト : 31~24 ビット

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

初期値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
-------	-------	-------	-------	-------	-------	------	------	------	------	------	------	------	------	------	------

初期値 : 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定 不定

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

40.3.6 シーケンス制御レジスタ (SPSCR)

シーケンス制御レジスタ (SPSCR) は、本モジュールのシーケンス制御方式を設定するためのレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSC1	SPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	SPSC1 SPSC0	0 0	R/W R/W	シーケンス制御設定 本モジュールのシーケンス動作を設定します。 SPSC[1:0]ビットの設定値に従ってコマンドレジスタ 0~3 (SPCMD0~3) を順番に参照します。 参照するコマンドレジスタ (SPCMD) 番号 00 : 0→0→・・・ 01 : 0→1→0→・・・ 10 : 0→1→2→0→・・・ 11 : 0→1→2→3→0→・・・

40.3.7 シーケンスステータスレジスタ (SPSSR)

シーケンスステータスレジスタ (SPSSR) はシーケンスの状態を示すレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSS1	SPSS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	SPSS1 SPSS0	0 0	R R	シーケンスステータス シーケンス制御で現在参照しているコマンドレジスタ 0~3 (SPCMD0~3) を示します。 00 : SPCMD0 01 : SPCMD1 10 : SPCMD2 11 : SPCMD3

40.3.8 ビットレートレジスタ (SPBR)

ビットレートレジスタ (SPBR) はビットレートを設定するレジスタです。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	SPBR7	SPBR6	SPBR5	SPBR4	SPBR3	SPBR2	SPBR1	SPBR0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートは本レジスタの設定値とコマンドレジスタ 0~3 (SPCMD0~3) のビットレート分周設定ビット (BRDV[1:0]) の設定値により決定されます。

本レジスタを 0 に設定すると、1 分周となります。

SPBR≠0 のときのビットレートの計算式は以下のとおりです。

式中の n は本レジスタの設定値 (1, …255)、N はビットレート分周ビット (BRDV[1:0]) の設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(P1\phi)}{2 \times n \times 2^N}$$

SPBRレジスタとBRDV[1:0]ビットの設定値とビットレートの関係を表40.3に示します。

表 40.3 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBR の設定値 (n)	BRDV[1:0]の設定値 (N)	分周比	ビットレート
			CLKS1=100MHz (Not supported)
0	0	1	(Not supported)
1	0	2	50Mbps
2	0	4	25.00Mbps
3	0	6	16.66Mbps
4	0	8	12.50Mbps
5	0	10	10.00Mbps
6	0	12	8.33Mbps
6	1	24	4.16Mbps
6	2	48	2.08Mbps
6	3	96	1.04Mbps
255	3	4080	24.51kbps

【注】 QSPCLK が 2 分周以上となるようにビットレートレジスタ (SPBR) とビットレート分周ビット (BRDV) を設定してください。

40.3.9 データコントロールレジスタ (SPDCR)

データコントロールレジスタ (SPDCR) はダミーデータ送信許可を設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXDMY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル Single-SPI 動作時、送信バッファに送信データがない場合に QMO 端子からダミーデータを出力することを許可/禁止します。 送信バッファに送信データがなく、TXDMY に 1 が設定されているとき、QMO 端子からダミーデータとして 0 が出力されます。 本ビットはステータスレジスタ (SPSR) の通信終了フラグ (TEND) が 1 であるときに変更可能です。それ以外の状態で変更した場合の動作は保証されません。 0 : ダミーデータ送信禁止 1 : ダミーデータ送信許可
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

40.3.10 クロック遅延レジスタ (SPCKD)

クロック遅延レジスタ (SPCKD) は QSSL 信号アサートから QSPCLK 発振までの期間 (クロック遅延) を設定するためのレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) のクロック遅延設定イネーブルビット (SCKDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SCKDL2	0	R/W	クロック遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の SCKDEN ビットが 1 の場合、QSSL 信号アサートから QSPCLK 発振までの期間 (クロック遅延) を設定します。 000 : 1.5QSPCLK 001 : 2.5QSPCLK 010 : 3.5QSPCLK 011 : 4.5QSPCLK 100 : 5.5QSPCLK 101 : 6.5QSPCLK 110 : 7.5QSPCLK 111 : 8.5QSPCLK
1	SCKDL1	0	R/W	
0	SCKDL0	0	R/W	

40.3.11 スレーブセレクトネゲート遅延レジスタ (SSLND)

スレーブセレクトネゲート遅延レジスタ (SSLND) はシリアル転送の最終 QSPCLK エッジを送出してから QSSL 信号をネゲートするまでの期間 (QSSL ネゲート遅延) を設定するためのレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) の QSSL ネゲート遅延設定イネーブルビット (SLNDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	SLNDL2	0	R/W	QSSL ネゲート遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の SLNDEN ビットが 1 の場合、シリアル転送の最終 QSPCLK エッジを送出してから QSSL 信号をネゲートするまでの期間 (QSSL ネゲート遅延) を設定します。 000 : 1QSPCLK 001 : 2QSPCLK 010 : 3QSPCLK 011 : 4QSPCLK 100 : 5QSPCLK 101 : 6QSPCLK 110 : 7QSPCLK 111 : 8QSPCLK 本ビットを 2QSPCLK 以上に設定する場合は次アクセス遅延設定レジスタ (SPND) も必ず 2QSPCLK 以上の設定としてください。
1	SLNDL1	0	R/W	
0	SLNDL0	0	R/W	

40.3.12 次アクセス遅延レジスタ (SPND)

次アクセス遅延レジスタ (SPND) はシリアル転送終了から次のシリアル転送までの期間 (次アクセス遅延) を設定するレジスタです。コマンドレジスタ 0~3 (SPCMD0~3) の次アクセス遅延設定イネーブルビット (SPNDEN) が 1 のときに本レジスタの設定値が有効になります。制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) が 1 の状態で本レジスタを書き換えた場合、以降の動作は保証されません。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPNDL2	0	R/W	次アクセス遅延設定 コマンドレジスタ 0~3 (SPCMD0~3) の次アクセス遅延設定イネーブルビット (SPNDEN) が 1 の場合、シリアル転送終了から次のシリアル転送開始までの期間 (次アクセス遅延) を設定します。 000 : 1QSPCLK 001 : 2QSPCLK 010 : 3QSPCLK 011 : 4QSPCLK 100 : 5QSPCLK 101 : 6QSPCLK 110 : 7QSPCLK 111 : 8QSPCLK 本ビットを 2QSPCLK 以上に設定する場合は QSSL ネゲート遅延レジスタ (SSLND) も必ず 2QSPCLK 以上の設定としてください。
1	SPNDL1	0	R/W	
0	SPNDL0	0	R/W	

40.3.13 コマンドレジスタ n (SPCMDn) (n=0、1、2、3)

本モジュールは4本のコマンドレジスタ (SPCMD0~3) を持ちます。これらは転送フォーマットを設定するために使用されます。シーケンス制御レジスタ (SPSCR) の設定に従って SPCMD0~3 を参照し、参照したコマンドレジスタに設定されたシリアル転送を実行します。

ステータスレジスタ (SPSR) の通信終了フラグ (TEND) が通信未終了の状態のときに参照しているコマンドレジスタを書き換えた場合、以降の動作は保証されません。参照しているコマンドレジスタはシーケンスステータスレジスタ (SPSSR) により確認できます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0	SSLKP	SPIMOD ₁	SPIMOD ₀	SPRW	BRDV1	BRDV0	CPOL	CPHA
初期値:	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKDEN	1	R/W	<p>クロック遅延設定イネーブル</p> <p>QSSL 信号をアサートしてから QSPCLK を発振するまでの期間 (クロック遅延) を設定します。本ビットが 0 の場合、クロック遅延期間は 0QSPCLK になります。本ビットが 1 の場合、クロック遅延レジスタ (SPCKD) の設定値に従って QSPCLK の発振を開始します。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスの 2 回目以降の場合のみ 0 に設定可能です。それ以外は 1 設定としてください。</p> <p>0 : クロック遅延期間は 0QSPCLK 1 : クロック遅延期間はクロック遅延レジスタ (SPCKD) の設定値</p>
14	SLNDEN	1	R/W	<p>QSSL ネグート遅延設定イネーブル</p> <p>QSPCLK を発振停止してから QSSL 信号をネグートするまでの期間 (QSSL ネグート遅延) を設定します。本ビットが 0 の場合、QSSL ネグート遅延期間は 0QSPCLK になります。本ビットが 1 の場合、QSSL ネグート遅延レジスタ (SSLND) の設定値に従って QSSL をネグートします。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスで最後のコマンドで無い場合は 0 に設定可能です。それ以外は 1 設定としてください。</p> <p>0 : QSSL ネグート遅延期間は 0QSPCLK 1 : QSSL ネグート遅延期間は QSSL ネグート遅延レジスタ (SSLND) の設定値</p>

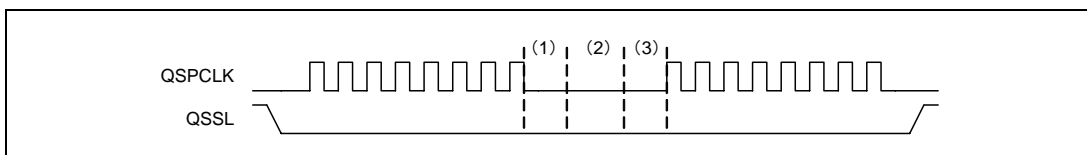
ビット	ビット名	初期値	R/W	説明
13	SPNDEN	1	R/W	<p>次アクセス遅延設定イネーブル</p> <p>シリアル転送を終了して次のシリアル転送を開始するまでの期間（次アクセス遅延）を設定します。本ビットが0の場合、次アクセス遅延期間は0QSPCLKになります。本ビットが1の場合、次アクセス遅延レジスタ（SPND）の設定値によって次のシリアル転送を開始します。複数のコマンドにわたり QSSL をアサートし続ける連続アクセスで最後のコマンドで無い場合は0に設定可能です。それ以外には1設定としてください。</p> <p>0：次アクセス遅延期間は0QSPCLK 1：次アクセス遅延期間は次アクセス遅延レジスタ（SPND）の設定値</p>
12	LSBF	0	R/W	<p>LSB ファースト設定</p> <p>データフォーマットをMSB ファースト/LSB ファーストに設定します。</p> <p>0：MSB ファースト 1：LSB ファースト</p>
11 10 9 8	SPB3 SPB2 SPB1 SPB0	0 0 0 0	R/W R/W R/W R/W	<p>転送データ長設定</p> <p>シリアル転送の基本となる転送データ長を設定します。LSB ファーストで転送する場合、転送データは本ビットで設定されたデータ幅でビット順を反転します。実際に転送されるデータ長は本ビットの設定に転送データ長倍数設定レジスタ0～3（SPBMUL0～3）の設定値を掛けた値となります。</p> <p>0000：8ビット（1バイト） 0001：16ビット（2バイト） 0010：32ビット（4バイト） 0011～1111：設定禁止</p>
7	SSLKP	0	R/W	<p>QSSL 信号レベル保持</p> <p>現コマンドに対応する転送終了から次コマンドに対応する転送開始までの間に QSSL 信号を保持するか設定します。本ビットを1に設定することにより、QSSL 信号をアサートしたまま次アクセスへ移行することが可能です。</p> <p>0：転送終了後に QSSL 信号をネゲート 1：転送終了後から次アクセス開始まで QSSL 信号レベルを保持</p>
6 5	SPIMOD1 SPIMOD0	0 0	R/W R/W	<p>SPI 動作モード設定</p> <p>動作モードを設定します。</p> <p>動作モードは Single/Dual/Quad-SPI から選びます。</p> <p>00：Single-SPI 01：Dual-SPI 10：Quad-SPI 11：設定禁止</p>
4	SPRW	0	R/W	<p>SPI リードライトアクセス設定</p> <p>Dual/Quad-SPI モード時のアクセス方向を設定します。</p> <p>Single-SPI モード時、本ビットは無効です。</p> <p>0：ライト動作（QIO1-0/QIO3-0は出力） 1：リード動作（QIO1-0/QIO3-0は入力）</p>

ビット	ビット名	初期値	R/W	説明
3 2	BRDV1 BRDV0	0 0	R/W R/W	<p>ビットレート分周設定</p> <p>本ビットとビットレートレジスタ (SPBR) の設定値の組み合わせでビットレートを決定します。ビットレートレジスタ (SPBR) の設定値によりベースとなるビットレートを決定します。本ビットの設定値はベースのビットレートに対して分周無し/2分周/4分周/8分周したビットレートを選択するために使用します。コマンドレジスタ 0~3 で、それぞれ異なる BRDV[1:0] の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。</p> <p>00 : ベースのビットレート 01 : ベースのビットレートの 2 分周 10 : ベースのビットレートの 4 分周 11 : ベースのビットレートの 8 分周</p> <p>【注】 QSPCLK が 2 分周以上となる組み合わせでビットレートレジスタ (SPBR) と本ビットを設定してください。</p>
1	CPOL	0	R/W	<p>QSPCLK 極性設定</p> <p>QSPCLK の極性を設定します。通信を行うモジュール間で同一の極性としてください。</p> <p>0 : 正極性 (アイドル時に QSPCLK は 0) 1 : 負極性 (アイドル時に QSPCLK は 1)</p>
0	CPHA	1	R/W	<p>QSPCLK 位相設定</p> <p>転送データのラッチ/シフトを行う QSPCLK エッジを設定します。通信を行うモジュール間で同一の位相としてください。</p> <p>0 : 奇数エッジでデータラッチ、偶数エッジでデータシフト 1 : 奇数エッジでデータシフト、偶数エッジでデータラッチ</p> <p>【注】 QSPCLK の最初のエッジを 1 番目のエッジとしています。</p>

【参考】 シリアルフラッシュメモリのデータシートによっては QSPCLK の設定について SPI モード 0~3 と表現されているものがあります。この設定を SPI モード[1:0]とした場合、本書における CPOL および CPHA はそれぞれ CPOL = SPI モード[1]、CPHA = SPI モード[0]と対応します。

本モジュールの CPOL/CPHA の初期値は CPOL=0、CPHA=1 であり、SPI モード 1 が初期値となっています。

- 【注】
1. クロック遅延期間、QSSL ネゲート遅延期間、次アクセス遅延期間のいずれかまたは全部を 0 とする場合、必ず SSLKP=1 として、QSSL をネゲートしない連続アクセスとしてください。それ以外の場合の動作は保証しません。また、QSSL をネゲートしない連続アクセスでの各遅延期間の設定の仕方は下記を参照してください。
 2. QSSL をネゲートしない連続アクセスの場合、QSPCLK クロックの停止後、QSSL ネゲート遅延期間、次アクセス遅延期間、次のコマンドのクロック遅延期間とつながります。このとき、設定イネーブル (SPCKDEN)、QSSL ネゲート遅延設定イネーブル (SLNDEN)、次アクセス遅延設定イネーブル (SPNDEN) の設定を 0 とする場合、必ず後ろに来る期間からとしてください。



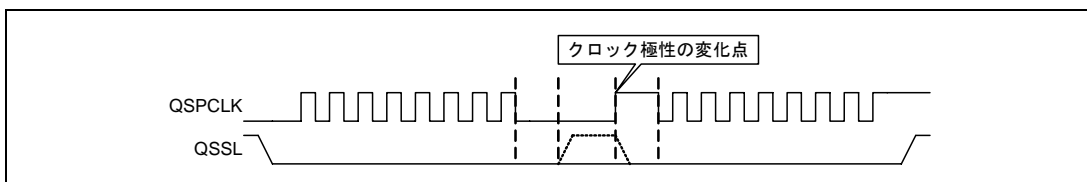
上図において、(1)はQSSLネゲート遅延期間、(2)は次アクセス遅延期間、(3)は次のコマンドのクロック遅延期間です。これらのうちどれかを0とする場合、必ず(3)から0としてください。

すなわち、{(1)、(2)、(3)}={0、0、1}、{0、1、1}、{0、1、0}…というように0の後に1の設定とすることは禁止です。

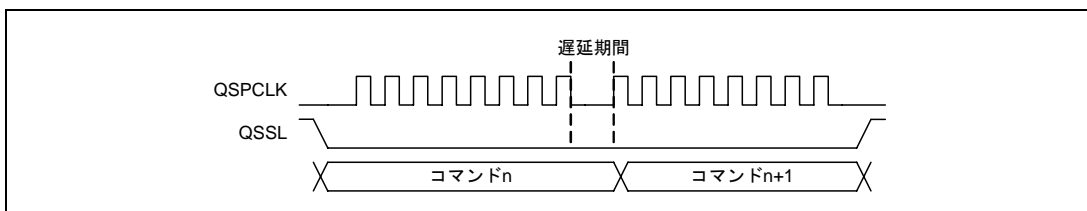
可能な設定は{(1)、(2)、(3)}={1、1、1}、{1、1、0}、{1、0、0}、{0、0、0}です。

これ以外の設定の場合、動作は保証しません。

- 【注】
1. QSSLを保持した連続転送にてBRDV[1:0]およびCPOLをコマンドごとに变化させる場合、コマンド間の遅延期間は必ずQSSLネゲート遅延期間、次アクセス遅延期間、クロック遅延期間を挿入してください。それ以外の場合の動作は保証しません。
 2. QSSLを保持したままCPOLを变化させる場合、クロック極性の变化点がクロックエッジとして検出されうることを考慮してください。



- 【注】 QSSLを保持した連続転送にてSPIMOD[1:0]およびCPHAをコマンドごとに变化させる場合、コマンド間の遅延期間は必ず1サイクル以上挿入してください。それ以外の場合の動作は保証しません。
(Dual/Quad-SPIのライト/リードを切り換える場合も含まれます。)
- なお、下図においてコマンドnがDual/Quad-SPIライト動作時では、コマンドnの期間中データ線をドライブします。



40.3.14 バッファコントロールレジスタ (SPBF CR)

バッファコントロールレジスタ (SPBF CR) は送信バッファ (SPTXB) および受信バッファ (SPRXB) 内のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG1	TXTRG0	—	RXTRG2	RXTRG1	RXTRG0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TXRST	0	R/W	送信バッファリセット 送信バッファの送信データを無効にし、バッファが空の状態にリセットします。 0: 送信バッファ通常動作 1: 送信バッファリセット
6	RXRST	0	R/W	受信バッファリセット 受信バッファの受信データを無効にし、バッファが空の状態にリセットします。 0: 受信バッファ通常動作 1: 受信バッファリセット
5 4	TXTRG1 TXTRG0	0 0	R/W R/W	送信バッファデータ数トリガ ステータスレジスタの送信バッファエンプティフラグ (SPTEF) の基準となる、送信バッファエンプティタイミングを設定します。送信バッファ (SPTXB) に格納されたデータバイト数が設定トリガ数以下になったとき SPTEF フラグが 1 にセットされます。 00: 31 バイト (1 バイト空きあり) 01: 30 バイト (2 バイト空きあり) 10: 28 バイト (4 バイト空きあり) 11: 0 バイト (32 バイト空きあり)
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 1 0	RXTRG2 RXTRG1 RXTRG0	0 0 0	R/W R/W R/W	受信バッファデータ数トリガ ステータスレジスタの受信バッファフルフラグ (SPRFF) の基準となる、受信バッファフルタイミングを設定します。受信バッファ (SPRXB) に格納されたデータバイト数が設定トリガ数以上になったとき SPRFF フラグが 1 にセットされます。 000: 1 バイト (31 バイト空きあり) 001: 2 バイト (30 バイト空きあり) 010: 4 バイト (28 バイト空きあり) 011: 5 バイト (27 バイト空きあり) 100: 8 バイト (24 バイト空きあり) 101: 16 バイト (16 バイト空きあり) 110: 24 バイト (8 バイト空きあり) 111: 32 バイト (0 バイト空きあり)

40.3.15 バッファデータカウントセットレジスタ (SPBDCR)

バッファデータカウントセットレジスタ (SPBDCR) は送信バッファ (SPTXB) と受信バッファ (SPRXB) に格納されているデータ数を示します。上位 8 ビットで送信バッファの送信データバイト数を、下位 8 ビットで受信バッファの受信データバイト数を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXBC5	TXBC4	TXBC3	TXBC2	TXBC1	TXBC0	—	—	RXBC5	RXBC4	RXBC3	RXBC2	RXBC1	RXBC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	TXBC[5:0]	000000	R	送信バイト数カウンタ 送信データバッファ (SPTXB) に格納されているデータバイト数を示します。 B'000000 で SPTXB がエンプティであることを示します。 B'100000 で SPTXB がフルであることを示します。
7, 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	RXBC[5:0]	000000	R	受信バイト数カウンタ 受信データバッファ (SPRXB) に格納されているデータバイト数を示します。 B'000000 で SPRXB がエンプティであることを示します。 B'100000 で SPRXB がフルであることを示します。

40.3.16 転送データ長倍数設定レジスタ n (SPBMULn) (n=0, 1, 2, 3)

転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) はコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) で設定されたデータ長の転送の繰り返し回数を設定するレジスタです。本レジスタは 4 本あり、それぞれがコマンドレジスタ 0~3 に対応します。

ステータスレジスタ (SPSR) の通信終了フラグ (TEND) が通信未終了の状態のときに参照しているコマンドレジスタと対応する本レジスタを書き換えた場合、以降の動作は保証されません。参照しているコマンドレジスタはシーケンスステータスレジスタ (SPSSR) により確認できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPBMUL [31:24]								SPBMUL [23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBMUL [15:8]								SPBMUL [7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPBMUL [31:0]	H'00000001	R/W	<p>転送データ長倍数設定ビット</p> <p>転送データ長の倍数を設定します。</p> <p>本ビットはコマンドレジスタ (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) で設定された転送データ長の繰り返し回数を設定するビットです。</p> <p>転送データ長は SPB[3:0]×SPBMUL[31:0]で決定されます。</p> <p>本ビットを H'00000000 に設定すると、4,294,967,296 回の繰り返し回数となります。</p>

40.4 動作説明

本章では有効データのドライブ開始から最終データの取り込みまでの期間をシリアル転送期間と表し、QSSL ネゲート期間をアイドル時と表します。

40.4.1 動作の概要

本モジュールは Single/Dual/Quad-SPI でのシリアル転送が可能です。Single/Dual/Quad-SPI の特長を表 40.4 に示します。

表 40.4 各 SPI モードの特長

	Single-SPI	Dual-SPI	Quad-SPI
データ線本数	入力、出力各 1 本	入出力 2 本	入出力 4 本
データ線方向	単方向	双方向	双方向
送受信同時動作	○	×	×

また、動作の概要を表 40.5 に示します。

表 40.5 動作の概要

項 目	特 長
QSPCLK 信号	出力
QMO 信号 (Single-SPI)	出力
QMI 信号 (Single-SPI)	入力
QIO1-0 (Dual-SPI) / QIO3-0 (Quad-SPI)	入出力
QSSL 信号	出力
QSSL 極性変更	○
転送レート	~CLKS1
クロックソース	内部ポーレートジェネレータ
クロック極性	正/負
クロック位相	(立ち上がりラッチ/立ち下がり出力) (立ち下がりラッチ/立ち上がり出力)
転送ビット順	MSB ファースト/LSB ファースト
転送データ長	(8/16/32) × (1~4,294,967,296) ビット
バースト転送	○
QSPCLK 遅延制御	○
QSSL ネゲート遅延制御	○
次アクセス遅延制御	○
転送起動方法	SPE=1 で送信バッファ書き込み SPE=1 で受信バッファ空きあり*
シーケンス制御	○

項目	特長
送信バッファEMPTY検出	○
受信バッファフル検出	○

【注】 * Single-SPI および Dual/Quad-SPI ライト動作時は SPE=1&送信バッファ書き込みで転送起動
Dual/Quad-SPI リード動作時は SPE=1&受信バッファに転送データ長の空きありで転送起動

40.4.2 端子の制御

本モジュールは Single-SPI/Dual/Quad-SPI 動作のライト/リード転送後の状態により端子状態を自動的に切り替えます。アイドル時のデータ端子 (QMO/QMI/QIO[3:0]) の状態は端子制御レジスタ (SPPCR) のデータ出力アイドル値固定イネーブルビット (MOIFE) /データ出力アイドル時固定値ビット (MOIFV) および Single/Dual-SPI 時 QIO3 出力固定値ビット (IO3FV) /Single/Dual-SPI 時 QIO2 出力固定値ビット (IO2FV) の設定により異なります。Single-SPI の端子状態を表 40.6 に、Dual/Quad-SPI の端子状態を表 40.7 に示します。

表 40.6 Single-SPI の端子状態

	Single-SPI
QSSL	出力
QSPCLK	出力
QMO	出力
QMI	入力
アイドル時 QMO	MOIFE=0 : 最終出力値 MOIFE=1 : MOIFV 設定値
アイドル時 QMI	—
QIO2	IO2FV 設定値出力 or 不使用
QIO3	IO3FV 設定値出力 or 不使用

表 40.7 Dual/Quad-SPI の端子状態

	Dual-SPI	Quad-SPI
QSSL	出力	出力
QSPCLK	出力	出力
QIO0	入出力	入出力
QIO1	入出力	入出力
QIO2	IO2FV 設定値出力 or 不使用	入出力
QIO3	IO3FV 設定値出力 or 不使用	入出力
アイドル時 QIO0	ライト後 : MOIFE=0 : 最終出力値 MOIFE=1 : MOIFV 設定値 リード後 : Hi-Z	ライト後 : MOIFE=0 : 最終出力値 MOIFE=1 : MOIFV 設定値 リード後 : Hi-Z

	Dual-SPI	Quad-SPI
アイドル時 QIO1	ライト後： MOIFE=0：最終出力値 MOIFE=1：MOIFV 設定値 リード後：Hi-Z	ライト後： MOIFE=0：最終出力値 MOIFE=1：MOIFV 設定値 リード後：Hi-Z
アイドル時 QIO2	IO2FV 設定値出力 or 不使用	ライト後： MOIFE=0：最終出力値 MOIFE=1：MOIFV 設定値 リード後：Hi-Z
アイドル時 QIO3	IO3FV 設定値出力 or 不使用	ライト後： MOIFE=0：最終出力値 MOIFE=1：MOIFV 設定値 リード後：Hi-Z

40.4.3 転送フォーマット

SPI ではコマンドレジスタ 0~3 (SPCMD0~3) の QSPCLK 極性設定ビット (CPOL) および QSPCLK 位相設定ビット (CPHA) の設定により 4 つのクロック設定が存在します。8 ビット MSB ファースト転送を例に各設定でのデータラッチ/シフトタイミングを図 40.1 に示します。図中'L'はラッチタイミングを表し、'S'はシフトタイミングを表します。また、DATA は Single-SPI モードでは QMI/QMO、Dual-SPI モードでは QIO1-0、Quad-SPI モードでは QIO3-0 に対応します。 t_{ckd} は SPCMD0~3 のクロック遅延設定イネーブルビット (SCKDEN) を 1 に設定したときのクロック遅延期間です。同様に t_{smd} は SPCMD0~3 の QSSL ネゲート遅延設定イネーブルビット (SLNDEN) を 1 に設定したときの QSSL ネゲート遅延期間、 t_{spnd} は SPCMD0~3 の次アクセス遅延イネーブルビット (SPNDEN) を 1 に設定したときの次アクセス遅延期間です。

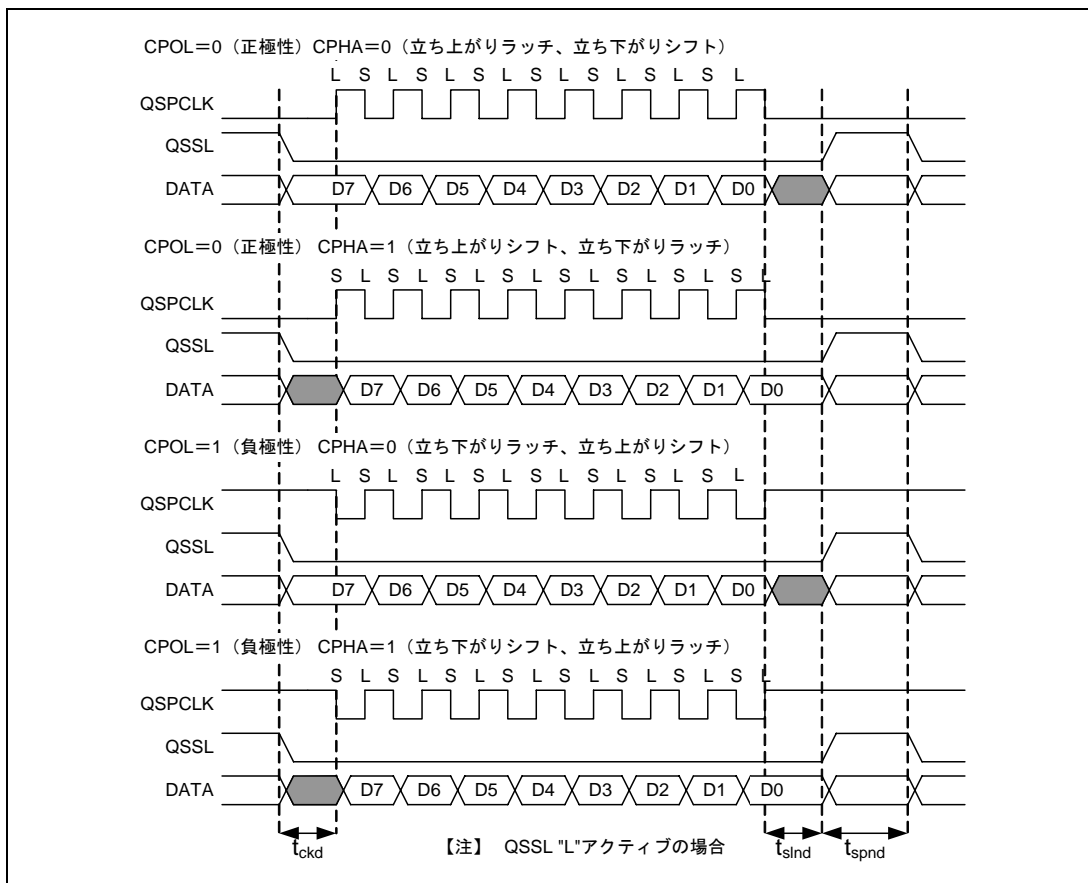


図 40.1 SPI クロック設定と転送タイミング

以下、CPOL=0、CPHA=0 の設定を例に Single/Dual/Quad-SPI での 8 ビット MSB ファースト転送を説明します。

(1) Single-SPI モード

Single-SPI モードの転送フォーマットを図 40.2 に示します。Single-SPI では送受信同時に動作します。送受信ともに 1 本ずつのデータ線でシリアル通信するため、転送速度は 1QSPCLK 当たり 1 ビットとなります。転送データはコマンドレジスタ 0~3 (SPCMD0~3) にて設定します。転送データの詳細は「40.4.4 転送データ」を参照してください。

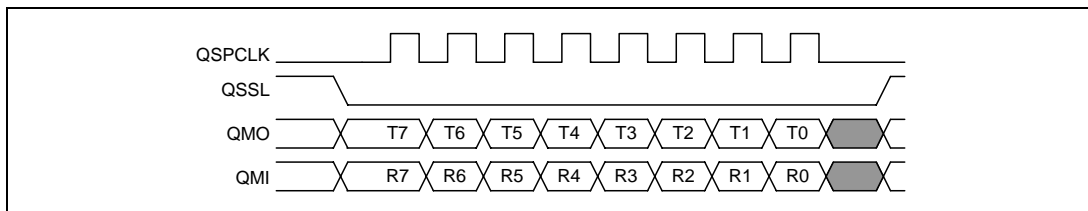


図 40.2 Single-SPI モード転送フォーマット

(2) Dual-SPI モード

Dual-SPI モードの転送フォーマットを図 40.3 に示します。Dual-SPI では送信または受信のどちらか一方のみの動作となります。送信／受信の設定は SPCMD0～3 の SPI リードライトアクセス設定ビット (SPRW) にて行います。ライト動作で送信し、リード動作で受信します。QIO1-0 はそれぞれの動作で出力と入力切り替わります。送受信ともに 2 本のデータ線でシリアル通信をするため、通信速度は 1QSPCLK 当たり 2 ビットとなります。転送データの先頭ビットは QIO1 から転送されます。転送データは SPCMD0～3 にて設定します。転送データの詳細は次項「40.4.4 転送データ」を参照してください。

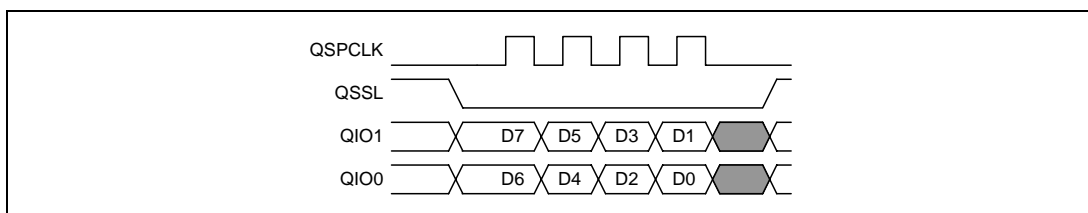


図 40.3 Dual-SPI モード転送フォーマット

(3) Quad-SPI モード

Quad-SPI モードの転送フォーマットを図 40.4 に示します。Quad-SPI では送信または受信のどちらか一方のみの動作となります。送信／受信の設定はコマンドレジスタ 0～3 (SPCMD0～3) の SPI リードライトアクセス設定ビット (SPRW) にて行います。ライト動作で送信し、リード動作で受信します。QIO3-0 はそれぞれの動作で出力と入力切り替わります。送受信ともに 4 本のデータ線でシリアル通信をするため、通信速度は 1QSPCLK 当たり 4 ビットとなります。転送データの先頭ビットは QIO3 から転送されます。転送データは SPCMD0～3 にて設定します。転送データの詳細は次項「40.4.4 転送データ」を参照してください。

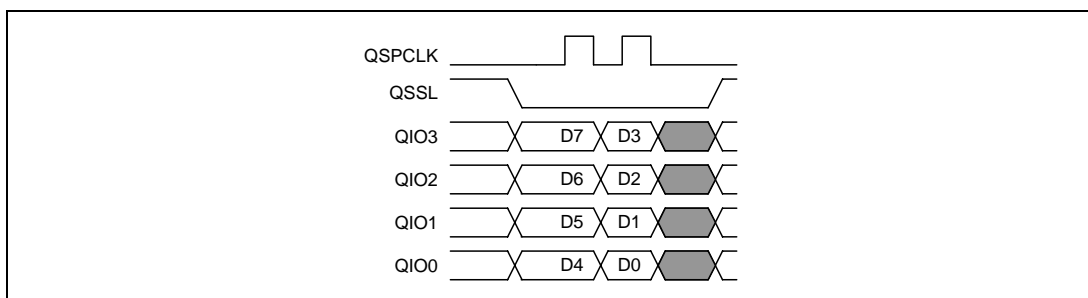


図 40.4 Quad-SPI モード転送フォーマット

40.4.4 転送データ

データフォーマットはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0])、LSB ファースト設定ビット (LSBF) および転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) により決定されます。本モジュールでは MSB/LSB ファーストに関わらず、送信用シフトレジスタの MSB から転送データ長分のデータを送信データとし、受信用シフトレジスタの LSB から転送バイト長分のデータを受信データとします。以降、基本となる転送データ長 32 ビット、16 ビット、8 ビットの転送に沿って説明します。

(1) MSB ファースト転送 (32 ビットデータ)

32 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信用シフトレジスタと受信バッファの動作を図 40.5 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 32 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信用シフトレジスタの LSB (ビット 0) から書き込まれます。32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信用シフトレジスタはフルとなります。受信バッファ (SPRXB) に 32 ビット分の空きがある場合、受信用シフトレジスタの LSB から 32 ビットのデータを受信バッファにコピーし、受信用シフトレジスタはエンプティとなります。受信バッファに 32 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、32 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

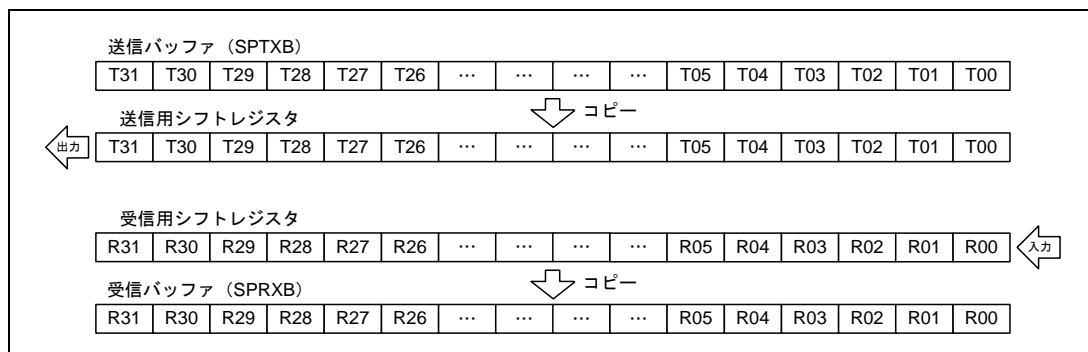


図 40.5 MSB ファースト転送 (32 ビットデータ)

(2) MSB ファースト転送 (16 ビットデータ)

16 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信用シフトレジスタと受信バッファの動作を図 40.6 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 16 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信用シフトレジスタの LSB (ビット 0) から書き込まれます。16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信用シフトレジスタはフルとなります。受信バッファ (SPRXB) に 16 ビット分の空きがある場合、受信用シフトレジスタの LSB から 16 ビットのデータを受信バッファにコピーし、受信用シフトレジスタはエンプティとなります。受信バッファに 16 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、16 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

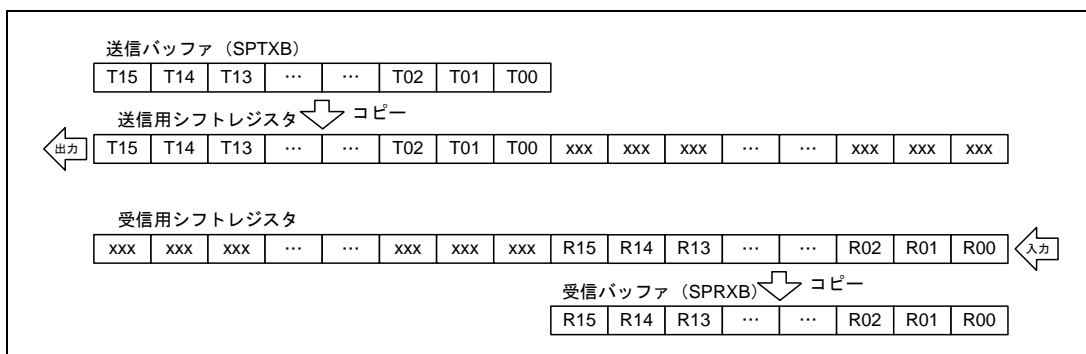


図 40.6 MSB ファースト転送 (16 ビット)

(3) MSB ファースト転送 (8 ビットデータ)

8 ビット MSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信用シフトレジスタと受信バッファの動作を図 40.7 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 8 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信用シフトレジスタの LSB (ビット 0) から書き込まれます。8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信用シフトレジスタはフルとなります。受信バッファ (SPRXB) に 8 ビット分の空きがある場合、受信用シフトレジスタの LSB から 8 ビットのデータを受信バッファにコピーし、受信用シフトレジスタはエンプティとなります。受信バッファに 8 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、8 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

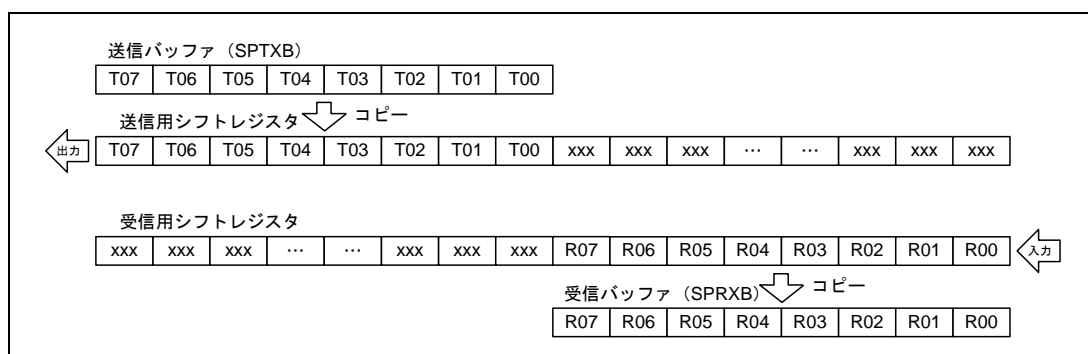


図 40.7 MSB ファースト転送 (8 ビット)

(4) LSB ファースト転送 (32 ビットデータ)

32 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 40.8 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 32 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、32 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。32 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 32 ビット分の空きがある場合、受信シフトレジスタの LSB から 32 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 32 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、32 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

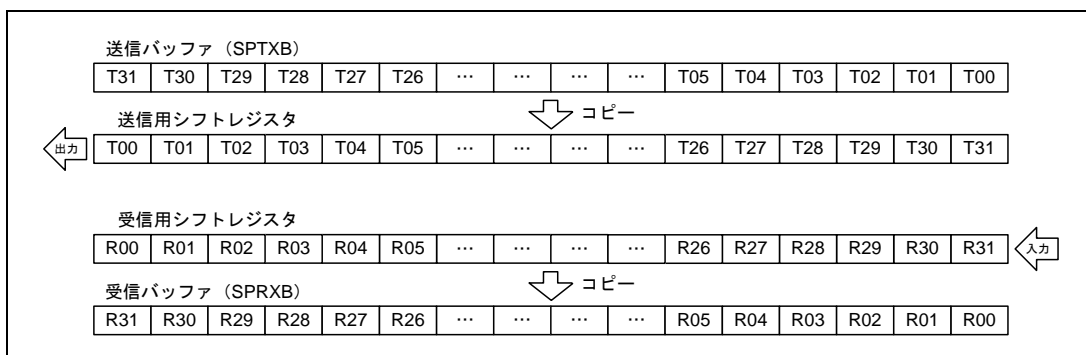


図 40.8 LSB ファースト転送 (32 ビット)

(5) LSB ファースト転送 (16 ビットデータ)

16 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 40.9 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 16 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、16 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出力し、16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。16 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 16 ビット分の空きがある場合、受信シフトレジスタの LSB から 16 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 16 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、16 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

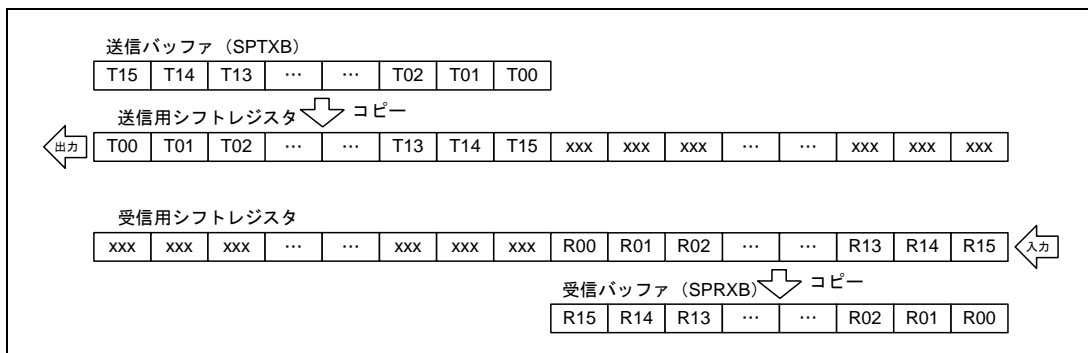


図 40.9 LSB ファースト転送 (16 ビット)

(6) LSB ファースト転送 (8 ビットデータ)

8 ビットデータを LSB ファーストで送受信する場合の送信バッファと送信用シフトレジスタ、受信シフトレジスタと受信バッファの動作を図 40.10 に示します。

送信の場合、CPU またはダイレクトメモリアクセスコントローラは送信バッファ (SPTXB) に 8 ビットの送信データを書き込みます。送信用シフトレジスタがエンプティの場合、8 ビットのビット順を反転した送信データを MSB 詰めでコピーし、送信用シフトレジスタはフルとなります。送信を開始すると送信用シフトレジスタの MSB (ビット 31) からデータを出し、8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると、送信用シフトレジスタはエンプティとなります。

受信の場合、データ端子から受信したデータは受信シフトレジスタの LSB (ビット 0) から書き込まれます。8 ビット分のシリアル転送に必要な QSPCLK 周期が経過すると受信シフトレジスタはフルとなります。受信バッファ (SPRXB) に 8 ビット分の空きがある場合、受信シフトレジスタの LSB から 8 ビットのビット順を反転して受信バッファにコピーし、受信シフトレジスタはエンプティとなります。受信バッファに 8 ビットの空きがない場合は受信をしません。受信を開始するためには、受信バッファをリードし、8 ビットの空きを確保してください。

実際の転送ではこの動作を転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の設定数分繰り返します。

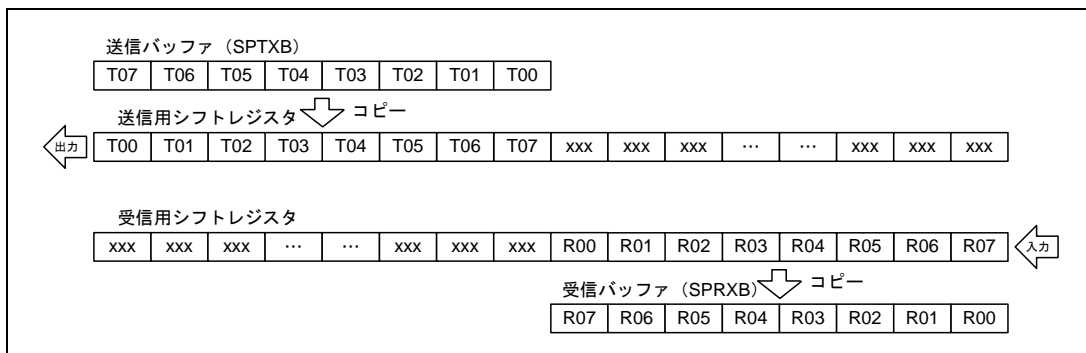


図 40.10 LSB ファースト転送 (8 ビット)

40.4.5 通常以外の動作

通常のシリアル転送では、データレジスタ（SPDR）から送信バッファに書き込んだデータをシリアル送信し、シリアル受信したデータは SPDR を読むことで受信バッファから読み出すことができます。しかし、SPDR へアクセスしたときの送信バッファと受信バッファの状態によっては、通常以外の転送が実行される場合があります。

通常以外の転送動作を表 40.8 に示します。

表 40.8 通常以外の転送の発生条件

	発生条件	動作
A	送信バッファがフルの状態ですべて SPDR に書き込み	書き込みデータの欠落
B	受信バッファがエンプティの状態ですべて SPDR を読み出し	不定出力

表 40.8 の A の動作のとき、SPDR への書き込みが可能であるかについてはバッファデータカウントセットレジスタ（SPBDCR）の送信バイト数カウンタビット（TXBC[5:0]）を確認してください。

また、B の動作のとき、受信バッファに有効なデータが格納されているかについては SPBDCR の受信バイト数カウンタビット（RXBC[5:0]）を確認してください。

40.4.6 初期化

制御レジスタ（SPCR）の SPI 機能イネーブルビット（SPE）に 0 を書き込んだ場合、本モジュールは機能を無効化し、一部の機能を初期化します。また、パワーオンリセットが発生した場合、本モジュールはすべての機能を初期化します。

SPCR の SPE ビットが 0 クリアされた場合、以下の初期化を実施します。

- 実行中のシリアル転送を中断
- 送信用シフトレジスタおよび受信用シフトレジスタの初期化
- 内部ステートマシンの初期化
- シーケンスの初期化
- SPSR の通信終了ビット（TEND）の初期化

SPE ビットの 0 クリアによる初期化では、本モジュールの制御ビットと送信／受信バッファは初期化されません。このため、SPE ビットを 1 に設定することで、SPE ビットの 0 クリア前と同じ状態で転送を再開することができます。ただし、SPE ビットを 0 クリアすると送信用シフトレジスタおよび受信用シフトレジスタは初期化されるため、転送途中であった場合の転送データは破棄されます。

40.4.7 SPI 動作

本モジュールの動作モードは以下のとおりです。

- Single-SPIモード
- Dual-SPIモード/Quad-SPIモード

それぞれの動作について以下に説明します。

(1) Single-SPI モード

(a) シリアル転送の開始

シリアル転送の開始条件は送信バッファに転送データ長のデータがあることと受信バッファに転送データ長の空きがあることです。

(b) シリアル転送の終了

シリアル転送の終了条件はクロック設定に関わらず最終サンプリングタイミングに対応する QSPCLK エッジを送出することです。シリアル転送が正常に終了すると、受信データが受信シフトレジスタから受信バッファへコピーされます。シリアル転送が終了し、受信シフトレジスタから受信バッファへ受信データがコピーされた後、受信バッファに次に転送するデータ長の空きがない場合、次の転送は開始されません。

(c) シーケンス制御

Single-SPI モードの場合、シーケンス制御レジスタ (SPSCR) に設定することによりコマンドレジスタ 0~3 (SPCMD0~3) および転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) の一部または全部からなるシーケンスを構成することができます。また、本モジュールにはコマンドレジスタに対するポインタが存在し、シーケンスステータスレジスタ (SPSSR) を読むことでこのポインタの値を確認できます。

制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) を 1 に設定して本モジュールの機能を有効にすると、コマンドレジスタに対するポインタを SPCMD0 にセットし、シリアル転送開始時に SPCMD0 と SPBMUL0 の設定内容を転送フォーマットに反映します。本モジュールは参照している SPCMD0~3 に対応する転送の次アクセス遅延期間が終了するたびにコマンドレジスタ用ポインタをインクリメントします。シーケンスを構成しているコマンドの最終のものに対応する転送が終了するとポインタは SPCMD0 に戻り、シーケンスは繰り返し実行されます。

SPCMD0~3 はそれぞれに対して、基本となる転送データ長、MSB/LSB ファースト、クロック設定、ビットレートの一部、SPI 転送モードおよび転送方向 (Dual/Quad-SPI モードのみ)、QSSL 保持、クロック遅延期間、QSSL ネゲート遅延期間、次アクセス遅延期間の設定ができます。ここで設定した基本となる転送データ長に SPBMUL0~3 の設定値を掛けた値がトータルの転送データ長となります。

シーケンス制御レジスタを H'02 に設定し、SPCMD0~2 を用いてシーケンスを構成したときの動作例を図 40.11 に示します。図中 QMO/QMI の灰色部は無効データを表します。また、図中 (1) ~ (3) は以下を示します。

1. クロック遅延期間 (SPCKD) 設定値=B'000 (1QSPCLK)
2. QSSLネゲート遅延期間 (SSLND) 設定値=B'000 (1QSPCLK)
3. 次アクセス遅延期間 (SPND) 設定値=B'000 (1QSPCLK)

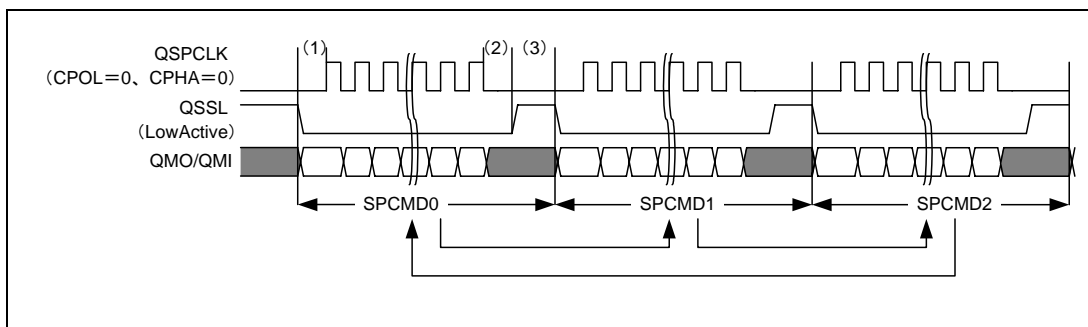


図 40.11 シーケンス制御動作例

(d) バースト転送

Single-SPI モードでは 2 通りの方法でバースト転送を実行することが可能です。

一つはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) と転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) を用いる方法です。SPB[3:0]ビットを 8、16、32 ビットに設定し、SPBMUL0~3 を 1~4,294,967,296 に設定することにより、SPB[3:0]ビットで設定した長さの転送を 1 転送として SPBMUL0~3 に設定した回数だけ連続的に繰り返す転送を実行します。ただし、転送中に送信バッファ (SPTXB) に送信データが無くなった場合、または受信バッファ (SPRXB) に SPB[3:0]ビットに設定したデータ長の空きが無くなった場合はクロックを停止して、転送の再開を待ちます。SPB[3:0]ビットを 32 ビット設定、SPBMUL を 4 に設定し、トータルの転送データ長を 128 ビットとした場合のバースト転送の例を図 40.12 に示します。図中 (1) ~ (4) の内容を以下に説明します。

1. 1回目の32ビット転送です。
2. 2回目の32ビット転送です。
3. 送信バッファに送信データが無くなったか受信バッファに32ビット分の空きが無くなったためにクロックを停止します。その間のQMO出力は直前の値を保持します。送信データが書き込まれるか受信バッファに空きができるとクロックを送出して転送を再開します。
4. 3回目と4回目の32ビット転送です。

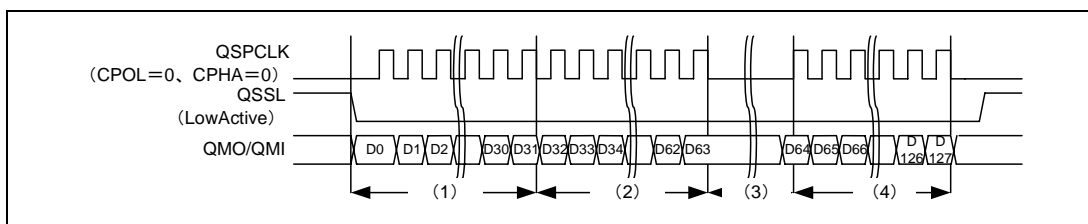


図 40.12 転送データ長を 128 ビットに設定したバースト転送の例 (Single-SPI モード)

もう一つの方法はシリアル転送終了後、次のシリアル転送まで QSSL をアサートし続けることでバースト転送を実行する方法です。コマンドレジスタ 0~3 (SPCMD0~3) の QSSL 信号レベル保持ビット (SSLKP) を 1 に設定すると、そのコマンドレジスタに対応する転送終了から次の転送までの間 QSSL 信号をアサートし続けます。QSSL 信号レベル保持機能を利用したバースト転送の例を図 40.13 に示します。図中 (1) ~ (6) の動作内容を以下に説明します。

1. SPCMD0に従ったクロック遅延期間です。バースト転送の最初の転送では必ず1QSPCLK以上となるように設定してください。
2. SPCMD0に従ったQSSLネグート遅延期間です。SSLKPを1に設定しているため、QSSLネグート遅延期間後もQSSLはネグートされません。SPCMD0のQSSLネグート遅延設定イネーブルビット (SLNDEN) の設定により期間の長さが変化します。SLNDENを1に設定するとスレーブセレクトネグート遅延レジスタ (SSLND) の設定値に従います。SLNDENを0に設定すると0QSPCLKとなります。
3. SPCMD0に従った次アクセス遅延期間です。SSLKPを1に設定しているため、この期間もQSSLはネグートされません。SPCMD0の次アクセス遅延設定イネーブルビット (SPNDEN) の設定により期間の長さが変化します。SPNDENを1に設定すると次アクセス遅延レジスタ (SPND) の設定値に従います。SPNDENを0に設定すると0QSPCLKとなります。
4. SPCMD1に従ったクロック遅延期間です。SPCMD1のクロック遅延設定イネーブルビット (SCKDEN) の設定により期間の長さが変化します。SCKDENを1に設定するとクロック遅延設定レジスタ (SPCKD) の設定値に従います。SCKDENを0に設定すると0QSPCLKとなります。
5. SPCMD1に従ったQSSLネグート遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。SPCMD1のSSLKPを0に設定しているため、QSSLネグート遅延期間後にQSSLがネグートされます。
6. SPCMD1に従った次アクセス遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。また、必ずSSLKPを0としてQSSLをネグートしてください。

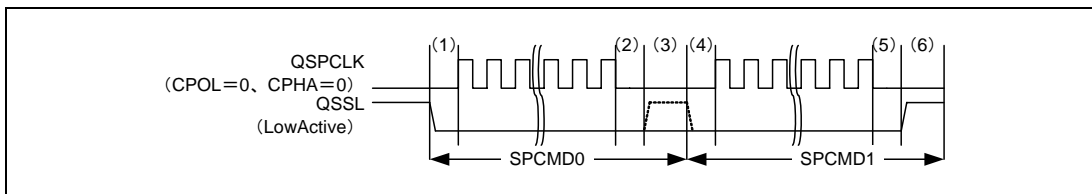


図 40.13 QSSL 信号レベル保持を利用したバースト転送の例 (Single-SPI モード)

この方法によるバースト転送を設定するときは、以下の内容に注意してください。

コマンドの更新によりクロック分周比またはクロック極性を変更する場合は必ず (2) ~ (4) の期間を挿入してください。

また、クロック分周比を変更した場合、(4) の期間が設定値より前後する場合があります。

コマンドの更新によりクロック位相または Single/Dual/Quad-SPI の転送モードを変更する場合は少なくとも (2) の期間を挿入してください (Dual/Quad-SPI はリード/ライトの変更も含む)。

(e) 初期設定フロー

Single-SPI モード時の初期設定フローの例を図 40.14 に示します。割り込みコントローラ、ダイレクトメモリアクセスコントローラの設定についてはそれぞれの章を参照してください。

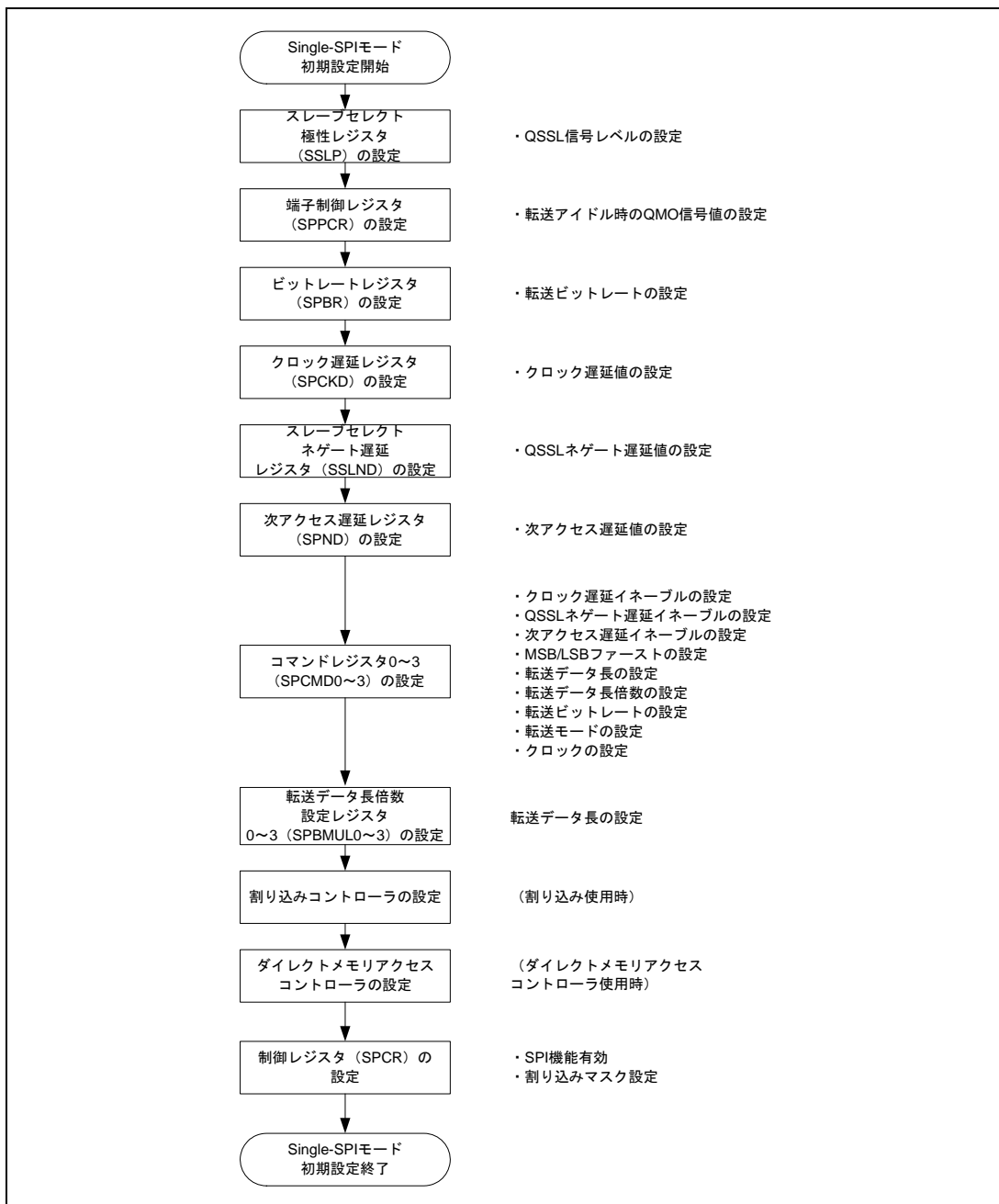


図 40.14 Single-SPI マスタモード時の初期設定フロー例

(f) 転送動作フロー

Single-SPI モード時の動作フローを図 40.15 に示します。転送データ長設定によるバースト転送もこのフローに準じた動作をします。

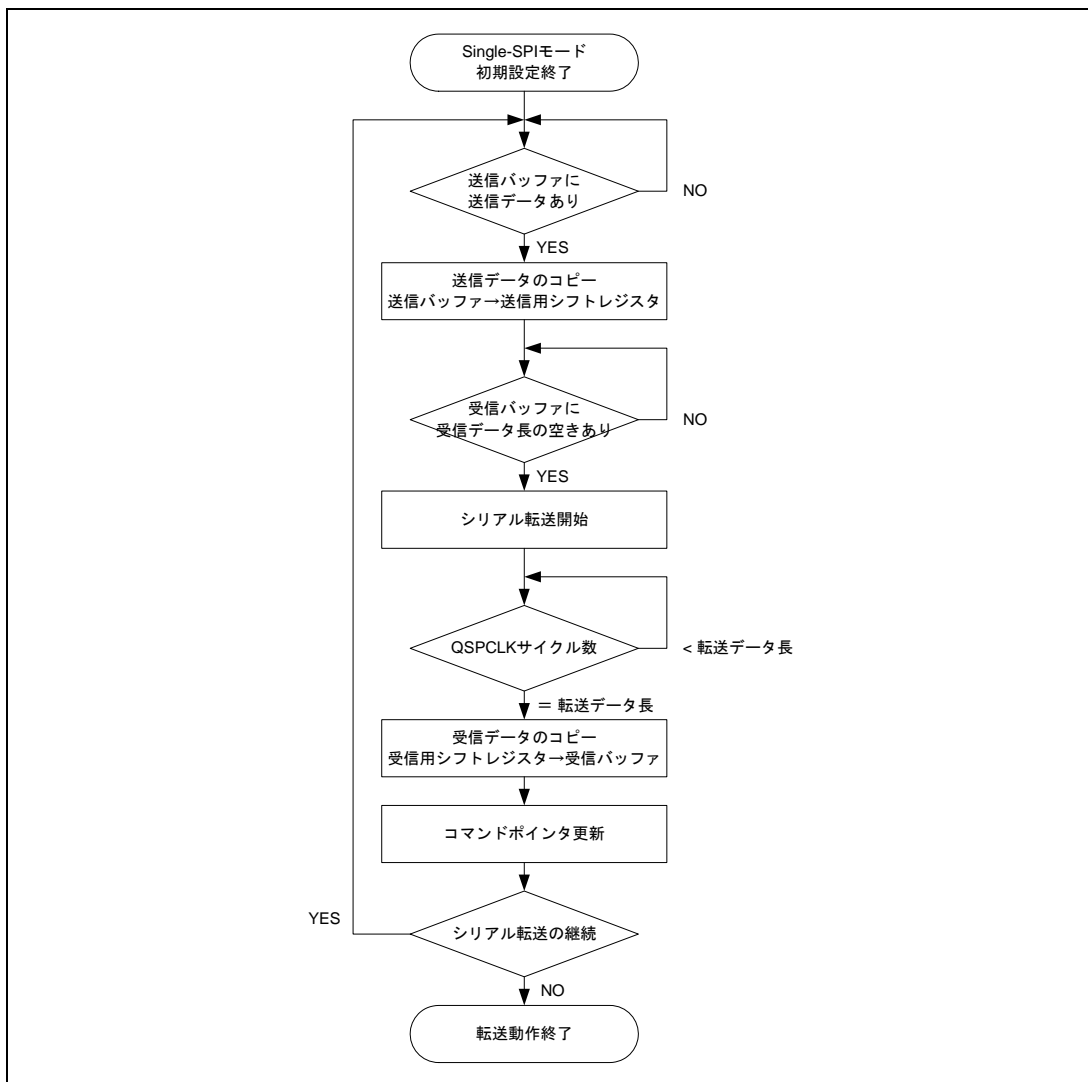


図 40.15 Single-SPI モードの動作フロー

(2) Dual-SPI モード/Quad-SPI モード

(a) シリアル転送の開始

Dual-SPI モードと Quad-SPI モードのシリアル転送開始条件はデータ送信時と受信時で異なります。

データ送信時の開始条件は送信バッファに転送データ長のデータがあることです。

データ受信時の開始条件は受信バッファに転送データ長の空きがあることです。

(b) シリアル転送の終了

転送終了条件は送受信に関わらず最終サンプリングタイミングに対応する QSPCLK エッジを送出することです。

Dual/Quad-SPI モードでのアイドル時の QIO 端子制御はライト後とリード後で異なります。ライト後はレジスタ設定により最終出力データか固定値を出力します。リード後は QIO 端子を Hi-Z にします。Quad-SPI モードを例としたアクセス終了後の端子状態を図 40.16 に示します。図中 (1)、(2) について以下に説明します。

1. ライト時 QIO0~3 は出力であるため、ライト動作終了後に QSSL がネゲートされると、端子制御レジスタ (SPPCR) のデータ出力アイドル値固定イネーブルビット (MOIFE) の設定により出力値を変化させます。MOIFE が 1 の場合、データ出力アイドル時固定値ビット (MOIFV) に設定された値を出力し、MOIFE が 0 の場合は最終出力データの値を出力します。
2. リード時 QIO0~3 は入力であるため、リード動作終了後は QSSL がネゲートされると、MOIFE および MOIFV の値に関わらず Hi-Z となります。

Dual/Quad-SPI モードの端子制御については「40.4.2 端子の制御」を参照してください。

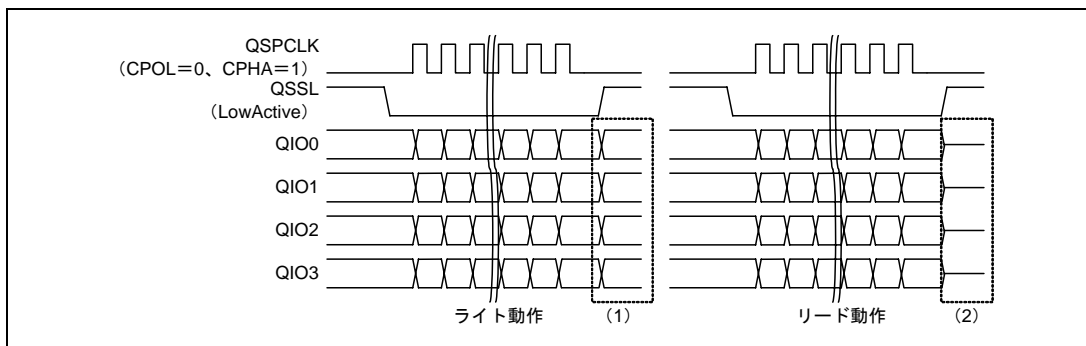


図 40.16 Dual/Quad-SPI モード転送終了後の端子状態 (Quad-SPI の例)

(c) シーケンス制御

Dual/Quad-SPI モードでは Single-SPI モードと同様にシーケンス制御レジスタ (SPSCR) とコマンドレジスタ 0~3 (SPCMD0~3)、転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) を用いてシーケンスを構成することができます。動作の詳細は「40.4.7 SPI 動作 (1) Single-SPI モード (c) シーケンス制御」を参照してください。

Dual/Quad-SPI モードではシリアル転送は送信または受信の一方のみの動作となるため、送受信は SPCMD0~3 の SPI リードライトアクセス設定ビット (SPRW) にて設定します。また、Dual/Quad-SPI モードと Single-SPI モードを含めた 3 つの動作モードは SPCMD0~3 の SPI 動作モード設定ビット (SPIMOD[1:0]) にて設定します。これらを用いることにより Single-SPI モード、Dual-SPI モードの送受信および Quad-SPI モードの送受信をシーケンス制御で切り替えることが可能です。転送モードを切り替えてシーケンスを構成する例を図 40.17 に示します。

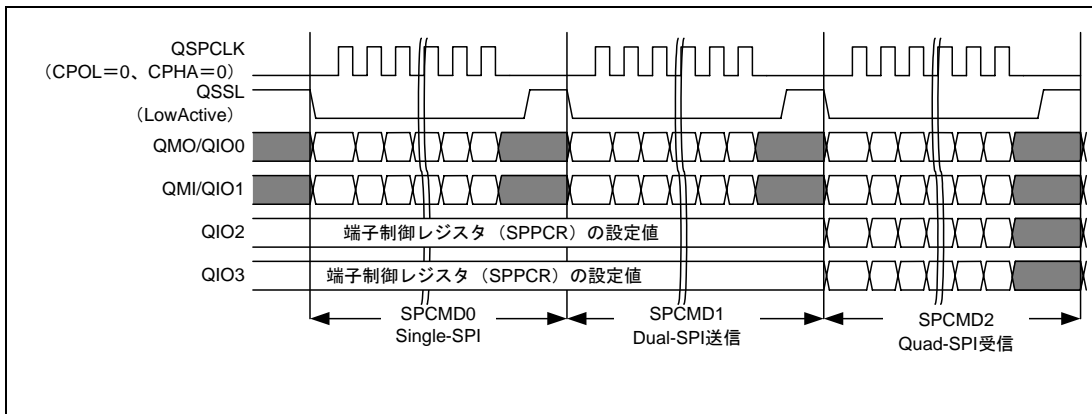


図 40.17 転送モードを切り替えたシーケンス構成の例

【注】 Dual/Quad-SPI モードでシーケンスを構成する場合は次の点にご注意ください。

シーケンスを構成するコマンドがすべて Dual/Quad-SPI リード動作である場合、受信バッファに受信データ長の空きがある限りシーケンス動作を実行します。

リード動作を終了させるためには、必要なデータ長を受信したあとで制御レジスタ (SPCR) の SPI 機能イネーブルビット (SPE) を 0 クリアするか、最後のシーケンスをライト動作として、送信バッファを空にしてください。

(d) バースト転送

Dual/Quad-SPI モードでは 2 通りの方法でバースト転送を実行することが可能です。

一つはコマンドレジスタ 0~3 (SPCMD0~3) の転送データ長設定ビット (SPB[3:0]) と転送データ長倍数設定レジスタ 0~3 (SPBMUL0~3) を用いる方法です。Single-SPI モードの場合と同様に SPB[3:0] ビットを 8、16、32 ビットに設定し、SPBMUL0~3 を 1~4,294,967,296 に設定することにより、SPB[3:0] ビットで設定した長さの転送を SPBMUL0~3 に設定した回数だけ連続的に繰り返す転送を実行します。ただし、ライト時に送信バッファ

(SPTXB) に送信データが無くなるか、リード時に受信バッファ (SPRXB) に SPB[3:0] ビットに設定したデータ長の空きが無くなった場合はクロックを停止して、転送の再開を待ちます。この方法は Dual/Quad-SPI モードで大量のデータを転送したいときに有効です。SPB[3:0] ビットを 32 ビット設定、SPBMUL を 4 に設定し、トータルの転送データ長を 128 ビットに設定した場合の Quad-SPI のバースト転送例を図 40.18 に示します。図中 (1) ~ (4) の内容を以下に説明します。

1. 1回目の32ビット転送です。
2. 2回目の32ビット転送です。
3. 送信バッファに送信データが無くなったか受信バッファに32ビット分の空きが無くなったためにクロックを停止します。その間のQIO3-0が出力の場合は直前の値を保持します。QIO3-0が入力の場合は通信相手となるデバイスの出力によります。送信データが書き込まれるか受信バッファに空きができて転送再開の条件が整うと内部クロックにて送信データを出力します。
4. 3回目と4回目の32ビット転送です。

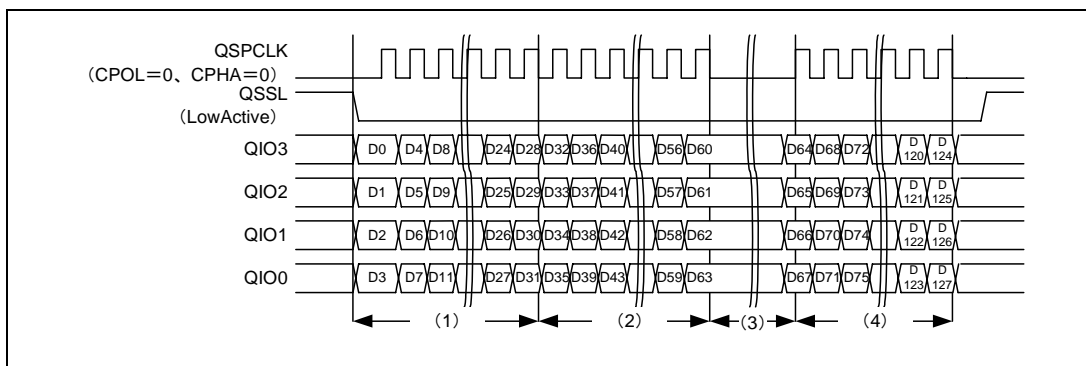


図 40.18 転送データ長を 128 ビットに設定したバースト転送の例 (Quad-SPI モード)

もう一つの方法は Single-SPI モードと同様に QSSL 信号レベル保持機能を用いる方法です。この方法は転送の途中で SPI 転送モード (Single/Dual/Quad-SPI) を変更することができるため、シリアルフラッシュメモリなどのようにコマンドデータを Single-SPI モードでライトし、メモリ格納データを Quad-SPI モードでライトする場合などで有効です。ただし、SPI 転送モードを変更する場合は転送の間に遅延期間を 1 サイクル以上挿入してください。Single-SPI と Quad-SPI を混合したバースト転送の例を図 40.19 に示します。図中 (1) ~ (6) の動作内容を以下に説明します。

1. SPCMD0に従ったクロック遅延期間です。バースト転送の最初の転送では必ず1QSPCLK以上となるように設定してください。
2. SPCMD0に従ったQSSLネゲート遅延期間です。SPCMD0のQSSL信号レベル保持ビット（SSLKP）を1に設定しているため、QSSLネゲート遅延期間後もQSSLはネゲートされません。SPCMD0のQSSLネゲート遅延設定イネーブルビット（SLNDEN）の設定により期間の長さが変化します。SLNDENを1に設定するとスレープセレクトネゲート遅延レジスタ（SSLND）の設定値に従います。SLNDENを0に設定すると0QSPCLKとなります。
3. SPCMD0に従った次アクセス遅延期間です。SSLKPを1に設定しているため、この期間もQSSLはネゲートされません。SPCMD0の次アクセス遅延設定イネーブルビット（SPNDEN）の設定により期間の長さが変化します。SPNDENを1に設定すると次アクセス遅延レジスタ（SPND）の設定値に従います。SPNDENを0に設定すると0QSPCLKとなります。この期間までSPCMD0の設定に従ってデータ端子をドライブします。
4. SPCMD1に従ったクロック遅延期間です。SPCMD1のクロック遅延設定イネーブルビット（SCKDEN）の設定により期間の長さが変化します。SCKDENを1に設定するとクロック遅延設定レジスタ（SPCKD）の設定値に従います。SCKDENを0に設定すると0QSPCLKとなります。
5. SPCMD1に従ったQSSLネゲート遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。SPCMD1のSSLKPを0に設定しているため、QSSLネゲート遅延期間後にQSSLがネゲートされます。
6. SPCMD1に従った次アクセス遅延期間です。バースト転送の最後の転送では必ず1QSPCLK以上となるように設定してください。また、必ずSSLKPを0としてQSSLをネゲートしてください。

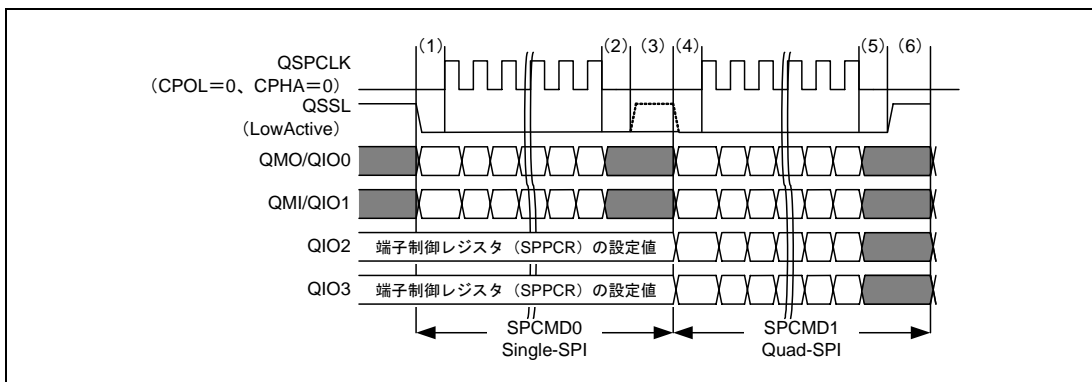


図 40.19 QSSL 信号レベル保持を利用したバースト転送の例（Single-SPI、Quad-SPI 混合）

この方法によるバースト転送を設定するときは、以下の内容に注意してください。

コマンドの更新によりクロック分周比またはクロック極性を変更する場合は必ず (2) ~ (4) の期間を挿入してください。

また、クロック分周比を変更した場合、(4) の期間が設定値より前後する場合があります。

コマンドの更新によりクロック位相または Single/Dual/Quad-SPI の転送モードを変更する場合は少なくとも (2) の期間を挿入してください（Dual/Quad-SPI はリード/ライトの変更も含む）。

(e) 初期設定フロー

Dual/Quad-SPI モード時の初期設定フローの例を図 40.20 に示します。割り込みコントローラ、ダイレクトメモリアクセスコントローラの設定についてはそれぞれの章を参照してください。

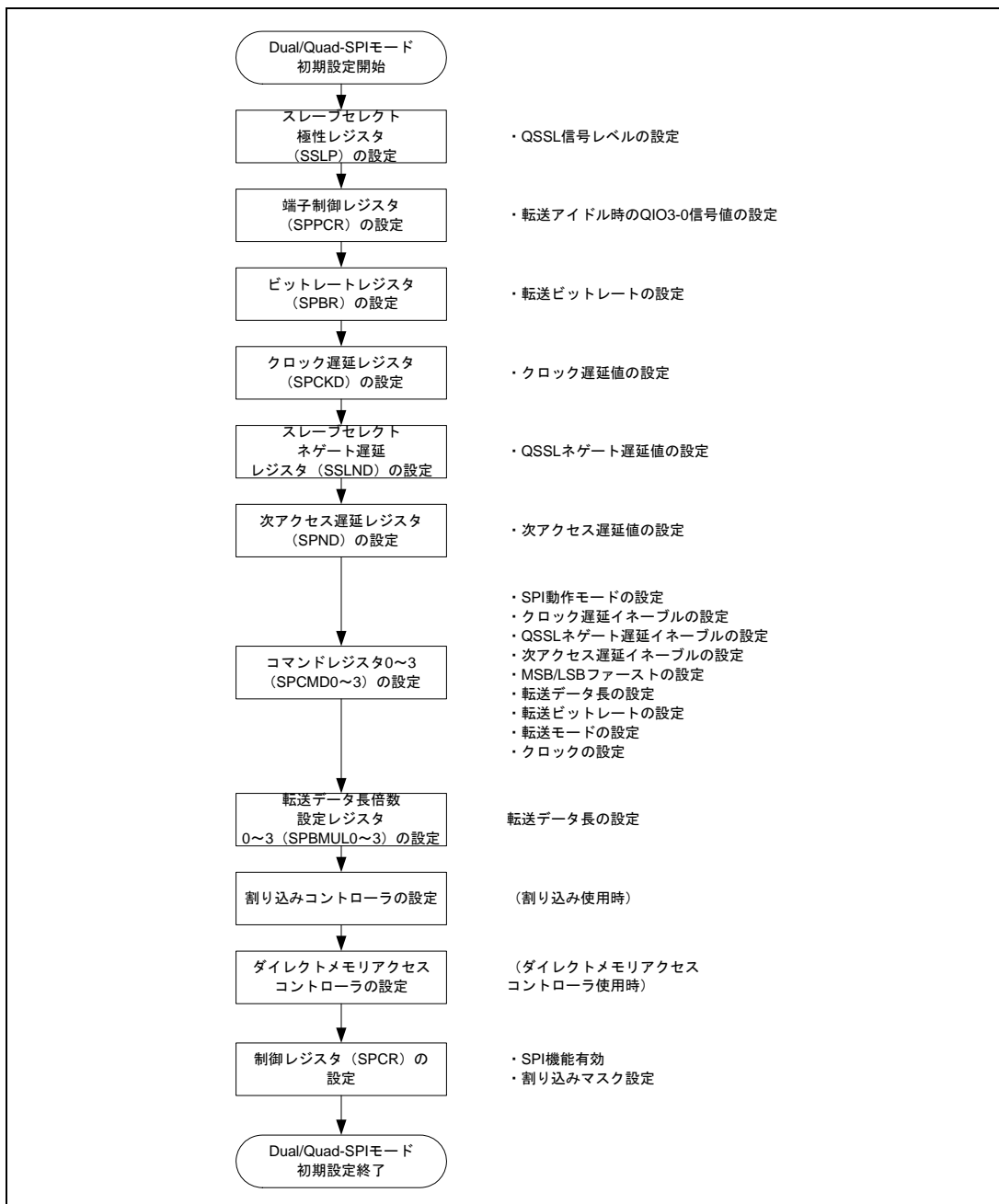


図 40.20 Dual/Quad-SPI モード時の初期設定フロー例

(f) 転送動作フロー

Dual/Quad-SPI モード時の動作フローを図 40.21 に示します。

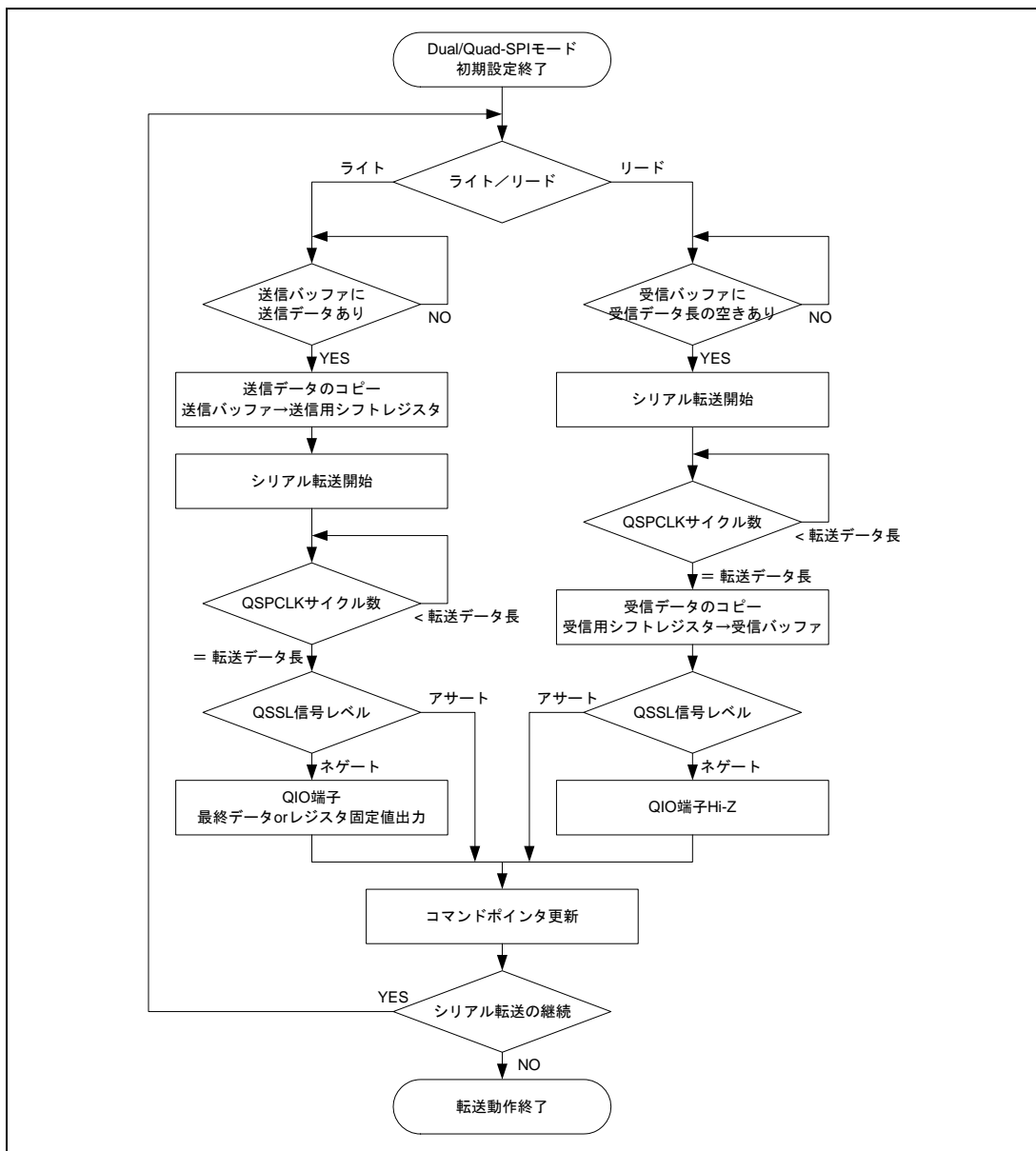


図 40.21 Dual/Quad-SPI モードの動作フロー

40.4.8 割り込み要因

本モジュールの割り込み要因には受信バッファフルと送信バッファエンプティがあります。受信バッファフルおよび送信バッファエンプティ割り込みでダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因を表 40.9 に示します。表中の割り込み条件が成立すると割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 40.9 割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセスコントローラ起動
SPRI	受信バッファフル	RXI	(SPRIE=1)・(SPRFF=1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE=1)・(SPTEF=1)	○

40.4.9 ループバックモード

本モジュールにはテスト用の機能としてループバックモードがあります。ループバックモードにするには端子制御レジスタ (SPPCR) のループバックモードビット (SPLP) を 1 に設定します。ループバックモードでは送信用/受信用シフトレジスタと QMI/QMO 端子および QIO3-0 の間の経路を遮断し、送信用シフトレジスタの出力と受信用シフトレジスタの入力を接続します。ループバックモード時の内部結線の概略を図 40.22 に示します。

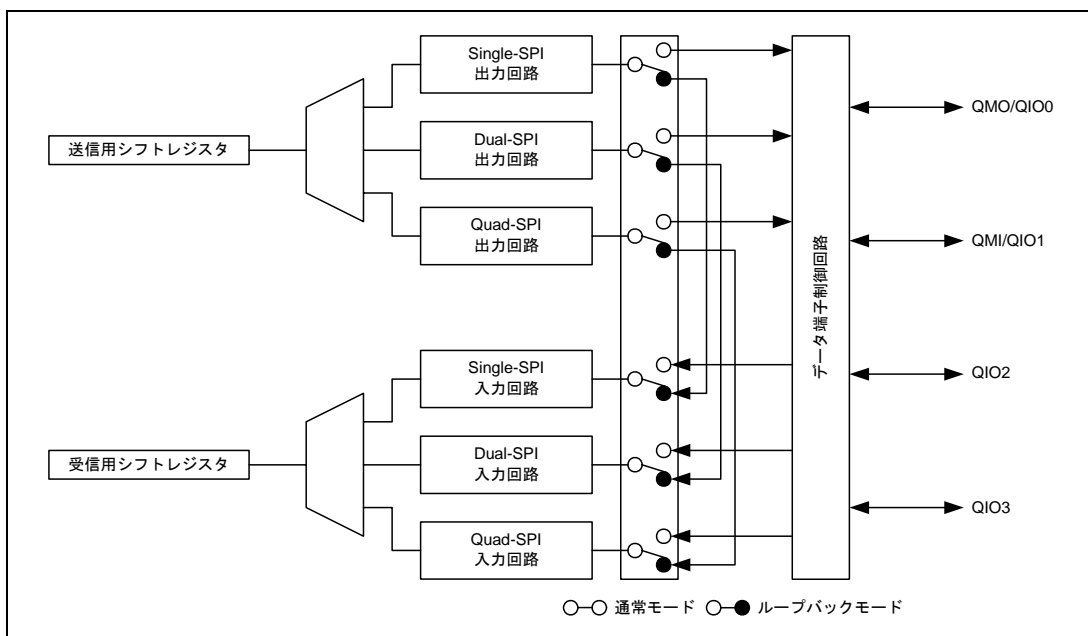


図 40.22 ループバックモードの内部結線概略図

41. 電気的特性

41.1 絶対最大定格

表 41.1 絶対最大定格

項目	仕様	単位	備考
電源電圧 (VCCQ、VCC、VCCQ-PLL、AV33)	-0.3 ~ +4.6	V	
電源電圧 (VDD-DDR)	-0.3 ~ +2.6	V	
電源電圧 (VDD、VDD-PLL、AV12)	-0.3 ~ +1.8	V	
アナログ電源電圧 (AVCC)	-0.3 ~ +4.6	V	*1 *2
アナログ電源電圧 (AVref)	-0.3 ~ AVCC +0.3	V	*1 *2
入力電圧 (3.3V I/O 部) (DDR I/O 部) (OVC0/VBUS0 端子、OVC1/VBUS1 端子)	-0.3 ~ VCCQ +0.3	V	*1 *2
	-0.3 ~ VDD-DDR +0.3	V	*1 *3
	-0.3 ~ +5.5	V	*1
出力電圧 (3.3V I/O 部) (DDR I/O 部)	-0.3 ~ VCCQ +0.3	V	*1 *2
	-0.3 ~ VDD-DDR +0.3	V	*1 *3
出力電流 (出力端子)	22 (6mA バッファ)	mA	
	30 (8mA バッファ)	mA	
保存温度	-55°C~+125°C	°C	
動作温度	-40°C~+85°C	°C	広温度保証品

- 【注】 1. 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因となるとともに、LSI の信頼性に悪影響を及ぼすことがあります。
2. 電圧は、すべて GND=VSS=0V を基準にした値です。
- *1 -0.3V 未満の電圧にならないようにしてください。
- *2 4.6V を超えないようにしてください。
- *3 2.6V を超えないようにしてください。

41.2 電源電圧

表 41.2 電源電圧*1

項目	記号	Min.	Typ.	Max.	単位	備考
電源電圧 (内部)	VDD	1.15	—	1.30	V	電源 : VDD グラウンド : VSS
電源電圧 (3.3V I/O)	VCCQ、 VCC*2	3.0	3.3	3.6	V	電源 : VCCQ グラウンド : VSS
電源電圧 (DDR I/O)	VDD-DDR (DDR2)	1.7	1.8	1.9	V	電源 : VDD-DDR グラウンド : VSS
	VDD-DDR (DDR3 対応品のみ)	1.425	1.5	1.575	V	
	MVREFCA	—	VSS	—	V	MVREFCA は弊社テスト用端子です。
	MVREFDQ	—	VDD-DDR /2	—	V	
電源電圧 (PLL)	VCCQ-PLL	3.0	3.3	3.6	V	電源 : VCCQ-PLL グラウンド : VSSQ-PLL
電源電圧 (PLL)	VDD-PLL	1.15	—	1.30	V	電源 : VDD-PLL グラウンド : VSS-PLL
電源電圧 (AVCC)	AVCC	3.0	3.3	3.6	V	電源 : AVCC グラウンド : AVSS
電源電圧 (AVREF)	AVREF	—	—	$AVREF \leq AVCC + 0.3$	V	電源 : AVREF グラウンド : AVSS
電源電圧 (USB)	AV33	3.0	3.3	3.6	V	電源 : AV33 グラウンド : AG
	AV12	1.15	—	1.30	V	電源 : AV12 グラウンド : AG

【注】 *1 使用／未使用にかかわらず、すべての電源に電圧を印加してください。さもないと永久破壊のおそれがあります。

*2 VCC は VCCQ と基板上でベタ電源としてください。

41.3 電源投入および切断順序

41.3.1 異電位電源間の電源の投入および切断順序について

AVREFは、AVSSレベルからAVCC→AVREFの順に投入し、AVREF→AVCCの順に遮断してください。その他の電源は、以下のとおりです。

1.2V系電源（以下VDD12、LSI端子名：VDD、VDD-PLL、AV12）、DDR系電源（以下VDD-DDR、LSI端子名：VDD-DDR）、および3.3V系電源（以下VDD33、LSI端子名：VCCQ、VCC、VCCQ-PLL、AV33）間の電源投入切断順序について規定します。

以下、VSS**とは、各電源のGNDレベルを示します。

(1) 電源の投入順序について

投入順序の制約はありません。1つの電源がVSS**レベルから立ち上がった後、300ms以内にすべての電源をVSS**レベルから立ち上げてください。

(2) 電源の切断順序について

切断順序の制約はありません。1つの電源が立ち下がった後、300ms以内にすべての電源を立ち下げ、最終的にすべての電源をVSS**レベルまで立ち下げてください。

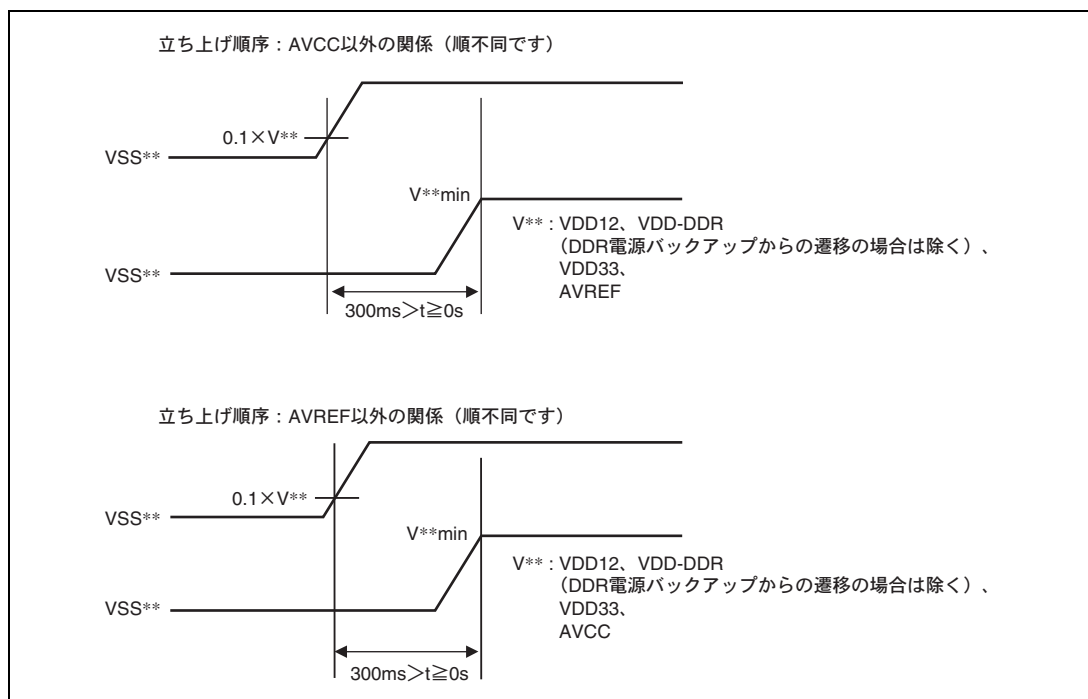


図 41.1 異電位間の電源投入シーケンス

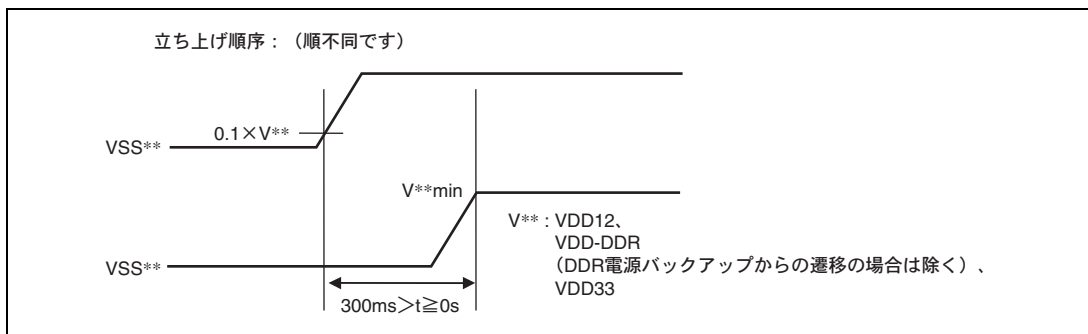


図 41.2 異電位間の電源投入シーケンス

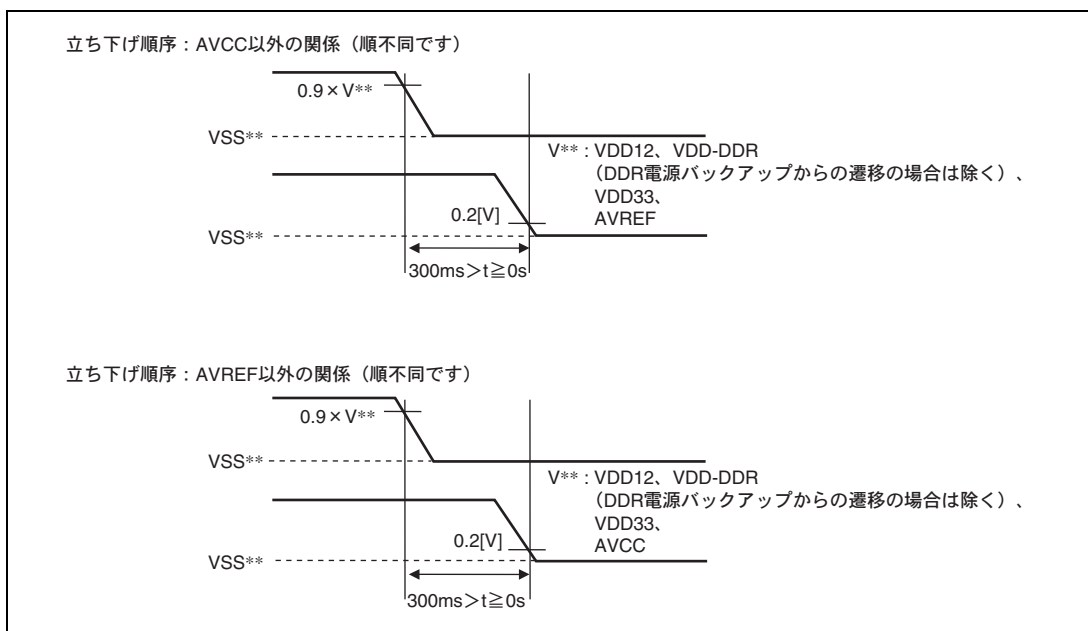


図 41.3 異電位間の電源切断シーケンス

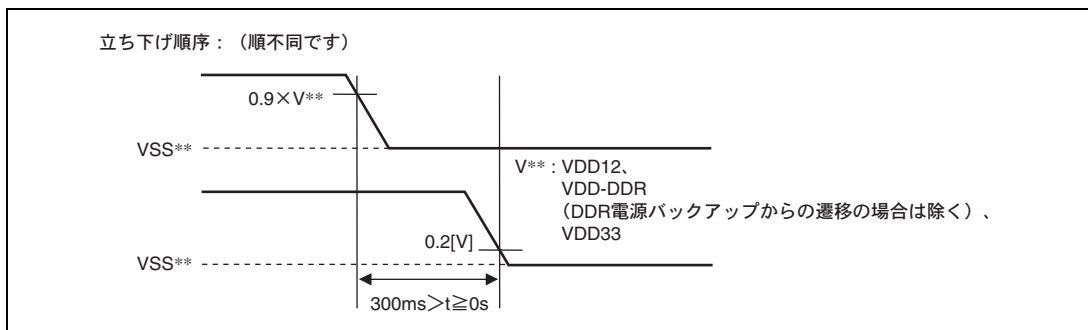


図 41.4 異電位間の電源切断シーケンス [AD 以外]

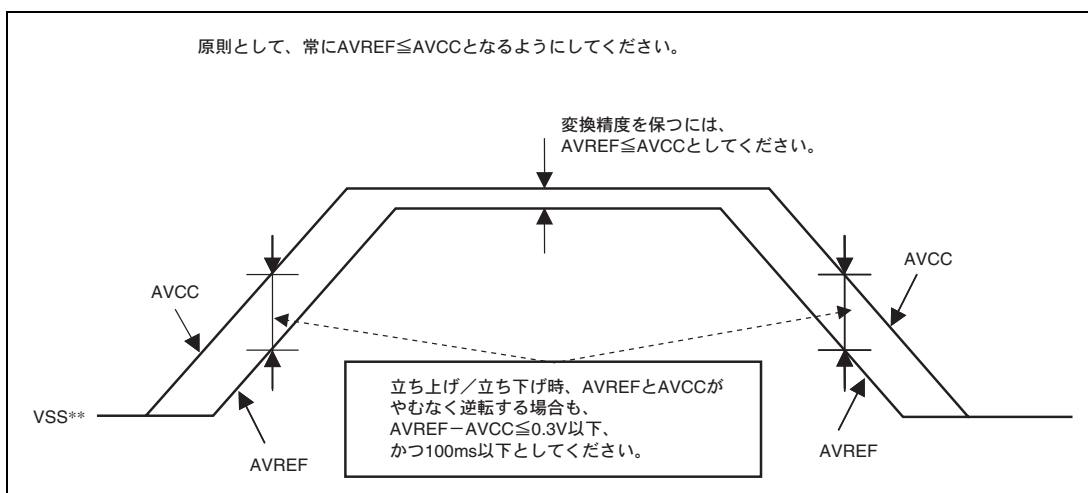


図 41.5 AVCC と AVREF の電源投入/切断シーケンス

41.3.2 同電位電源間の電源の投入および切断順序について

VCCを除き、以下のとおりです。VCCはVCCQと基板上でベタ電源とし、同電位としてください。

VDD12電源間、VDD-DDR電源間、およびVDD33電源間の電源投入切断順序について規定します。図41.2はVDD12についての説明図です。VDD-DDR、およびVDD33についても電位差の規定は同じです。

(1) 電源の投入順序について

投入順序の制約はありません。ただし、立ち上げはVSS**レベルからとし、同電位間の電位差は0.3V以下にしてください。

(2) 電源の切断順序について

切断順序の制約はありません。ただし、同電位間の電位差は0.3V以下にしてください。最終的にVSS**レベルまで立ち下げてください。

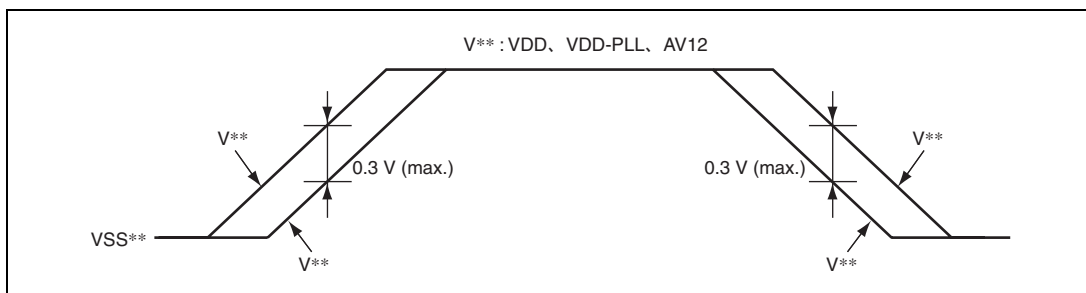


図 41.6 同電位間での電源投入/切断シーケンス

41.4 DC 特性（共通項目）

表 41.3 消費電流（1）

Ta-max は、共通温度条件 [AC 測定条件参照]

項目	記号	Min.	Typ.	Max.	単位	備考	
消費電流 (内部)	通常動作 IDD	—	0.6	1.2	A	VDD=1.30V、 Ta-max、USB デジタル部込み (CPU=400MHz/SHwy= 200MHz、CPU=533.3MHz/ SHwy=177.7MHz 時も同等)	
消費電流 (3.3V IO、 ADC 込み)	通常動作 ICCQ	—	200	310	mA	VCCQ=3.6V、 Ta-max、USB デジタル部込み	
消費電流 (DDR IO)	通常動作 IDD-DDR	—	400	600	mA	VDD-DDR=1.9V、(DDR2)、 Ta-max [DDR2-600Mbps 時]	
		—	300	400	mA	VDD-DDR=1.9V、(DDR2)、 Ta-max [DDR2-400Mbps 時]	
		—	250	333	mA	VDD-DDR=1.9V、(DDR2)、 Ta-max [DDR2-333Mbps 時]	
		—	400	500	mA	VDD-DDR=1.575V、(DDR3)、 Ta-max [DDR3-600Mbps 時]	
	DDR 電源 バックアップ	—	—	55	mA	VDD-DDR=1.9V、(DDR2) Ta=70°C、Vtt 終端なし	
		—	—	50	mA	VDD-DDR=1.575V、(DDR3) Ta=70°C、Vtt 終端なし	
消費電流 (PLL)	通常動作	ICCQ-PLL	—	—	15	mA	VCCQ-PLL=3.6V、Ta-max
消費電流 (PLL)		IDD-PLL	—	—	20	mA	VDD-PLL=1.30V、Ta-max
消費電流 (ADC)		AICC	—	—	5	mA	AVCC=3.6V、Ta-max
消費電流 (USB)		AI33	—	—	5	mA	AV33=3.6V、Ta-max
		AI12	—	—	15	mA	AV12=1.30V、Ta-max

表 41.4 消費電流 (2)

Ta-max は、共通温度条件 [AC 測定測定条件参照]

項目	記号	Min.	Typ.	Max.	単位	備考		
消費電流 (内部)	ソフトウェア スタンバイ時	IDD	—	—	450	mA	VDD=1.30V、 Ta-max、USB 停止 (USB_EXTAL=固定) 状態 (CPU=400MHz/SHwy= 200MHz、CPU=533.3MHz/ SHwy=177.7MHz 時も同等) DDR-SDRAM はセルフリフレ ッシュ状態*	
	DeepStandby 時 (RTC/HIFRA M/GEther すべ て停止/遮断 時)		—	—	50			
	DeepStandby 時 (RTC のみ稼 動)		—	—	51			
	DeepStandby 時 (保持 RAM (HIFRAM) の み非遮断で稼 動)		—	—	51			
	DeepStandby 時 (GEther のみ 非遮断で稼動)		—	—	60			
消費電流 (3.3V IO、ADC 込み)	SW スタンバ イおよび DeepStandby	ICCQ	—	—	5	mA	VCCQ=3.6V、 Ta-max、USB 停止 (USB_EXTAL=固定) 状態 全モジュールは停止状態	
消費電流 (DDR IO)	IDD-DDR	—	—	55				
消費電流 (PLL)	ICCQ-PLL	—	—	9	μA			VCCQ-PLL=3.6V、Ta-max
消費電流 (PLL)	IDD-PLL	—	—	9	μA			VDD-PLL=1.30V、Ta-max
消費電流 (USB)	AI33	—	—	4	μA			(USB_EXTAL は固定) AV33=3.6V、Ta-max
	AI12	—	—	4	μA	(USB_EXTAL は固定) AV12=1.30V、Ta-max		

【注】 * DDR-SDRAM : セルフリフレッシュ遷移

(DBPDCNT3 設定 : db_stby_n=0、db_comhiz=1、db_add2cyc_mode=0、db_iobackup=1、db_dllenable2=0、
db_dllenable1=0、db_dllreset_n=0、db_add_strength=0、db_dqdm_strength=0、db_ck_strength=0、db_ioenable2
=1、db_ioenable1=1、db_calib_start=1 のとき)

表 41.5 DC 特性 (3.3V IO)

項目	記号	Min.	Typ.	Max.	単位	電圧条件	備考	
入力 High レベル電圧	AN0~AN7	VIH	2.4	—	AVCC + 0.3	V	AVCC=3.0~3.6V、 VDD=1.15~1.30V	
	EXTAL、 USB_EXTAL、 RTC_X1		VCCQ ×0.8	—	VCCQ + 0.3	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	
	その他の 入力端子 (シュミット 端子除く)		2.0	—	VCCQ + 0.3	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	
入力 Low レベル電圧	AN0~AN7	VIL	-0.3	—	0.8	V	AVCC=3.0~3.6V、 VDD=1.15~1.30V	
	EXTAL、 USB_EXTAL、 RTC_X1		-0.3	—	VCCQ×0.2	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	
	その他の 入力端子 (シュミット 端子除く)		-0.3	—	0.8	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	
シュミット入力 High レベル電圧	VT+	—	—	2.2	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	PRESET#, BSMODE、 NMI	
シュミット入力 Low レベル電圧	VT-	0.8	—	—	V			
立ち上がり入力 スロープ時間 (推奨値)	Tr	—	—	10	ns/V		Vin=0.7~1.7V	
立ち下がり入力 スロープ時間 (推奨値)	Tf	—	—	10	ns/V		Vin=1.7~0.7V	
出力 High レベル電圧	VOH	2.4	—	VCCQ+0.3	V		IOH=-2mA(TTL)	
出力 Low レベル電圧	VOL	-0.3	—	0.4	V		IOL=2mA(TTL)	
端子容量	CL	—	—	10	pF		—	全端子*2
	CL	—	—	20	pF	—	DP/DM のみ	
	CL	—	—	20	pF	—	AN0~AN7	
入力リーク電流	ILI	—	—	1	μA	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	全入力端子*1	
出力リーク電流	ILO	—	—	1	μA		Hi-Z 出力時*1	
プルアップ電流	IPU	10	—	200	μA		Vin=VSS	

【注】 *1 プルアップ抵抗付き端子は除きます。プログラマブルプルアップ抵抗付き端子はオフ状態の値です。

*2 電源端子、USB 端子、および AD 変換端子は除きます。

表 41.6 DC 特性 (MIM 端子 [MLB_CLK/MLB_SIG/MLB_DAT])

項目	記号	Min.	Typ.	Max.	単位	電圧条件	備考
入力 High レベル電圧	VIH	1.8	—	VCCQ + 0.3	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	
入力 Low レベル電圧	VIL	-0.3	—	0.7	V		
出力 High レベル電圧	VOH	2.4	—	VCCQ+0.3	V	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	IOH=-2mA(TTL)
出力 Low レベル電圧	VOL	-0.3	—	0.4	V		IOL=2mA(TTL)
端子容量	CL	—	—	10	pF	—	MLB_SIG, MLB_DAT, MLB_CLK
入力リーク電流	ILI	—	—	1	μA	VCCQ=3.0~3.6V、 VDD=1.15~1.30V	MLB_SIG, MLB_DAT, MLB_CLK
出力リーク電流	ILO	—	—	1	μA		Hi-Z 出力時

表 41.7 DC 特性 (DDR IO 端子)

【注】 以下、VREF は MVREFDQ 端子を示します。

項目	記号	Min.	Typ.	Max.	単位	電圧条件	備考
入力 High レベル電圧	VIH	$0.8 \times$ VDD-DDR	—	VDD-DDR +0.3	V	VDD-DDR=1.425~ 1.575V [DDR3]、	MBKPRST#、 SDBUP
入力 Low レベル電圧	VIL	-0.3	—	$0.2 \times$ VDD-DDR	V	VDD-DDR=1.7~1.9V [DDR2]、 VDD=1.15~1.30V	
入力 High レベル電圧	VIH (DC)	VREF+ 0.125	—	VDD-DDR +0.3	V	VDD-DDR=1.7~1.9V [DDR2]、	MDQ15~MDQ0
入力 Low レベル電圧	VIL (DC)	-0.3	—	VREF - 0.125	V	VDD=1.15~1.30V、 VREF=0.5×VDD-DDR	
入力 High レベル電圧	VIH (AC)	VREF+ 0.200	—	—	V		
入力 Low レベル電圧	VIL (AC)	—	—	VREF - 0.200	V		
入力 High レベル電圧	VIH (DC)	VREF+ 0.100	—	VDD-DDR +0.3	V	VDD-DDR=1.425~ 1.575V [DDR3]、	MDQ15~MDQ0
入力 Low レベル電圧	VIL (DC)	-0.3	—	VREF - 0.100	V	VDD=1.15~1.30V、 VREF=0.5×VDD-DDR	
入力 High レベル電圧	VIH (AC)	VREF+ 0.175	—	—	V		
入力 Low レベル電圧	VIL (AC)	—	—	VREF - 0.175	V		
入力信号 スループレート	SLEW	1.0	—	—	V/ns	VDD-DDR=1.425~ 1.575V [DDR3]、 VDD-DDR=1.7~1.9V [DDR2]、 VDD=1.15~1.30V	MBKPRST#、 SDBUP を除く DDR IO* ⁴ MBKPRST#を 除く DDR IO* ⁵
AC 差動入力電圧* ¹	VID (AC)	0.500	—	VDD-DDR +0.6	V	VDD-DDR=1.7~1.9V [DDR2]、	MDQS1、MDQS0
AC 差動入力クロス ポイント電圧* ²	VIX (AC)	$0.5 \times$ VDD-DDR - 0.300	—	$0.5 \times$ VDD-DDR + 0.300	V	VDD=1.15~1.30V	
AC 差動入力電圧* ¹	VID (AC)	0.400	—	VDD-DDR +0.6	V	VDD-DDR=1.425~ 1.575V [DDR3]、 VDD=1.15~1.30V	MDQS1、MDQS0
AC 差動入力クロス ポイント電圧* ²	VIX (AC)	$0.5 \times$ VDD-DDR - 0.250	—	$0.5 \times$ VDD-DDR + 0.250	V		

項目	記号	Min.	Typ.	Max.	単位	電圧条件	備考
出力ソース DC 電流	IOH (DC)	-13.36	—	-4.82	mA	VDD-DDR=1.7~1.9V [DDR2]、	DDR 出力端子 IOH:Vout= VDD-DDR-0.28V IOL:Vout=0.28V
出力シンク DC 電流	IOL (DC)	4.82	—	13.36	mA	VDD=1.15~1.30V	
AC 差動出力クロス ポイント電圧	VOX (AC)	0.5× VDD-DDR - 0.125	—	0.5× VDD-DDR +0.125	V	VDD-DDR=1.425~ 1.575V [DDR3]、 VDD-DDR=1.7~1.9V [DDR2]、 VDD=1.15~1.30V	MCK、MDQS1、 MDQS0
差動入力リファレン ス電圧* ⁶	VREF	0.49× VDD-DDR	0.50× VDD-DDR	0.51× VDD-DDR	V	VDD-DDR=1.425~ 1.575V [DDR3]、	
ターミネーション 電圧	Vtt	VREF-40	VREF	VREF+40	mV	VDD-DDR=1.7~1.9V [DDR2]、 VDD=1.15~1.30V、 VREF=0.5×VDD-DDR	
ODT 抵抗値 (75Ω 設定時)	Rtt1	50	75	100	Ω	VDD-DDR=1.7~1.9V [DDR2]、	
ODT 抵抗値 (150Ω 設定時)	Rtt2	100	150	200	Ω	VDD=1.15~1.30V	
VM 偏差 (DDR2) * ⁵	ΔVM	-6	—	6	%		
ODT 抵抗値 (60Ω 設定時)	Rtt1	54	60	96	Ω	VDD-DDR=1.5V、 VDD=1.25V [DDR3]	
		46.8	60	102.6		上記を除く	
VM 偏差 (DDR3) * ⁵	ΔVM	-5	—	5	%	VDD-DDR=1.425~ 1.575V、VDD=1.15~ 1.30V [DDR3]	
端子容量	CL	—	—	4	pF	VDD-DDR=1.425~ 1.575V [DDR3]、	全端子* ³
入力リーク電流	ILI	—	—	7	μA	VDD-DDR=1.7~1.9V	全入力端子
出力リーク電流	ILO	—	—	7	μA	VDD-DDR=1.7~1.9V [DDR2]	Hi-Z 出力時

【注】 *1 VID (AC) は入力差動電圧 (|Vtr-Vcpl) を示しています。Vtr は信号の正相 (MDQS0、MDQS1) の電圧レベルを表しており、Vcp は信号の逆相 (MDQS0#、MDQS1#) の電圧レベルを表しています。最小値は VIH (AC) - VILD (AC) になります。

*2 VIX (AC) の標準値は 0.5×VDD-DDR であることが期待されており、VIX (AC) は差動入力信号が交差しなければならぬ電圧を意味します。

*3 電源端子は除きます。

*4 SLEW は、入力信号の立ち上がりエッジの VREF から VIH (AC) の期間と、立ち下がりエッジの VREF から VIL (AC) の期間を示しています。

*5 VM は ODT オン時に本 LSI チップに負荷を与えずに測定した電圧値で、ΔVM は下記で算出されます。
 $\Delta VM = (2 \times VM / VDD-DDR - 1) \times 100$

*6 AC ノイズを含む Peak to Peak は、VREF の ±2% 以下としてください。

表 41.8 DC 特性 (I²C バスインタフェース 3 関連端子*)

条件：温度電圧共通条件（測定条件の項参照）

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V _{IH}	VCCQ×0.7	—	VCCQ+0.3	V	
入力ローレベル電圧	V _{IL}	-0.3	—	VCCQ×0.3	V	
シュミットトリガ入力特性	V _{IH} -V _{IL}	VCCQ× 0.05	—	—	V	
出力ローレベル電圧	V _{OL}	—	—	0.4	V	I _{OL} =3.0mA

【注】 * SCLn、SDAn 端子 (n=0、1 オープンドレイン端子)

表 41.9 DC 特性 [USB 関連端子 (1)]

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R _{REF}	5.6kΩ ± 1%			V	
入力ハイレベル電圧 (VBUS)	V _{IH}	4.02	—	5.25	V	
入力ローレベル電圧 (VBUS)	V _{IL}	0.0	—	1.0	V	
入力ハイレベル電圧 (XIN)	V _{IH}	V _{DDQ} -0.5	—	V _{DDQ} +0.3	V	
入力ローレベル電圧 (XIN)	V _{IL}	-0.3	—	0.5	V	

表 41.10 DC 特性 [USB 関連端子 (2) フルスピード/ハイスピード共通項目]

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
DP プルアップ抵抗 (ファンクション機能選択時)	R _{pu}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM プルアップ抵抗 (ホスト機能選択時)	R _{pd}	14.25	—	24.80	kΩ	

表 41.11 DC 特性 [USB 関連端子 (3) フルスピード時]

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	2.0	—	—	V	
入力ローレベル電圧	V_{IL}	—	—	0.8	V	
差動入力感度	V_{DI}	0.2	—	—	V	(DP) - (DM)
差動コモンモード範囲	V_{CM}	0.8	—	2.5	V	
出力ハイレベル電圧	V_{OH}	2.8	—	3.6	V	$I_{OH}=5mA$
出力ローレベル電圧	V_{OL}	0.0	—	0.3	V	$I_{OL}=5mA$
シングルエンディッド レシーバスレッシュョルド電圧	V_{SE}	0.8	—	2.0	V	
クロスオーバ電圧	V_{CRS}	1.3	—	2.0	V	$C_L=50pF$

【注】 USB 関連端子：DP、DM

表 41.12 DC 特性 [USB 関連端子 (4) ハイスピード時]

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
差動入力感度	V_{HSDI}	0.15	—	—	V	
スケルチ検出スレッシュョルド電圧 (差動電圧)	V_{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V_{HSCM}	-50	—	500	mV	
アイドル状態	V_{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	—	440	mV	
出力ローレベル電圧	V_{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧 (差分)	V_{CHIRPJ}	700	—	1000	mV	
Chirp K 出力電圧 (差分)	V_{CHIRPK}	-900	—	-500	mV	

【注】 USB 関連端子：DP、DM

表 41.13 DC 特性 [USB 関連端子 (5) ロースピード時]

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	V_{LSOH}	2.8	—	—	V	$I_{OH}=200\mu A$
出力ローレベル電圧	V_{LSOL}	—	—	0.3	V	$I_{OL}=2mA$

【注】 USB 関連端子：DP、DM

表 41.14 VccQ で駆動される端子群の出力許容電流値

条件：温度電圧共通条件

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (6mA バッファ)	I_{OL}	—	6	22	mA
出力ローレベル許容電流 (8mA バッファ)	I_{OL}	—	8	30	
出力ローレベル許容電流 (総和、参考値)	ΣI_{OL}	—	—	120	
出力ハイレベル許容電流 (6mA バッファ)	$-I_{OH}$	—	6	22	mA
出力ハイレベル許容電流 (8mA バッファ)	$-I_{OH}$	—	8	30	
出力ハイレベル許容電流 (総和、参考値)	$\Sigma -I_{OH} $	—	—	120	

【注】 LSI の信頼性を確保するため、端子 1 本あたりの出力電流値は本表の値を超えないようにしてください。

総和に関しては、時間平均での目安です。恒久的にオーバーしても、直接 LSI の破壊につながるわけではありません。

41.5 リセット、ウォッチドッグタイマ (RESET、WDT)

表 41.15 クロック/リセットタイミング

条件：温度電圧共通条件（測定条件の項参照）

端子	項目	記号	Min.	Max.	単位	参考図
PRESET#, EXTAL	パワーオン発振安定時間	tOSC	20	—	ms	図 41.7
モード信号*	MD リセットセットアップ時間	tMDRS	20	—	ms	
モード信号*	MD リセットホールド時間	tMDRH	0	—	ns	
TRST#	TRST#リセットホールド時間	tTRSTRH	20	—	ns	
VCCQ	リアルタイムクロック発振安定時間	tROSC	3	—	s	図 41.8

【注】 * モード信号は、下記のとおり。

MD (0~19)、MPMD

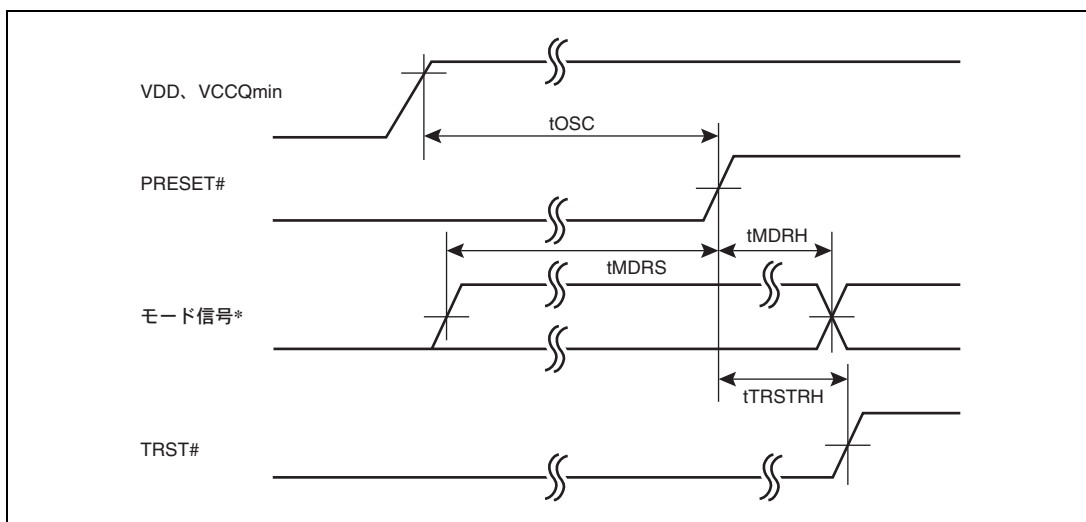
リセット立ち上げ/立ち下げ期間（入力レベルが V_{IH} ~ V_{IL} まで遷移する期間）は 20ns 以下としてください。

図 41.7 電源投入時リセット

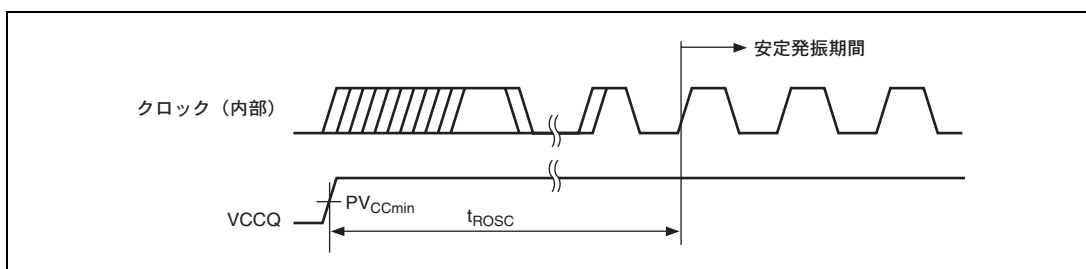


図 41.8 リアルタイムクロック発振安定時間

41.6 クロックタイミング

表 41.16 クロックタイミング

条件：温度電圧共通条件

項目	記号	Min.	Max.	単位	参照図	
EXTAL クロック入力 周波数 (400MHz モード (1))	PLL1 逡倍率×12	f_{EX}	50.00	51.00	MHz	
	PLL1 逡倍率×16		37.50	38.25		
	PLL1 逡倍率×24		25.00	25.50		
	PLL1 逡倍率×32		18.75	19.12		
EXTAL クロック入力 周波数 (400MHz モード (2))	PLL1 逡倍率×12		27.77	33.33		
	PLL1 逡倍率×16		20.83	25.00		
	PLL1 逡倍率×24		13.88	16.66		
	PLL1 逡倍率×32		10.41	12.50		
EXTAL クロック入力 周波数 (533MHz モード)	PLL1 逡倍率×12		41.66	44.44		
	PLL1 逡倍率×16		31.25	33.33		
	PLL1 逡倍率×24		20.83	22.22		
	PLL1 逡倍率×32		15.62	16.66		
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	3.84	—	ns	図 41.9	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	3.84	—	ns	図 41.9	
EXTAL クロック入力立ち上がり時間	t_{EXr}	—	3	ns	図 41.9	
EXTAL クロック入力立ち下がり時間	t_{EXf}	—	3	ns	図 41.9	
CLKOUT クロック出力	t_{OP}	—	51	MHz		
CLKOUT クロック出力サイクル時間	$t_{CLKOUTcyc}$	19.61	—	ns	図 41.10	
CLKOUT クロック出力ローレベルパルス幅	$t_{CLKOUTL}$	5	—	ns	図 41.10	
CLKOUT クロック出力ハイレベルパルス幅	$t_{CLKOUTH}$	5	—	ns	図 41.10	
CLKOUT クロック出力立ち上がり時間	$t_{CLKOUTr}$	—	3	ns	図 41.10	
CLKOUT クロック出力立ち下がり時間	$t_{CLKOUTf}$	—	3	ns	図 41.10	

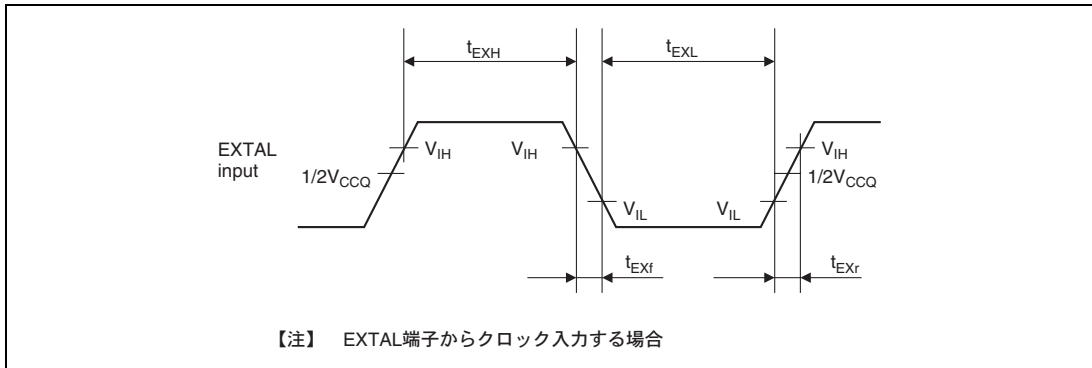


図 41.9 EXTAL クロック入カタイミング

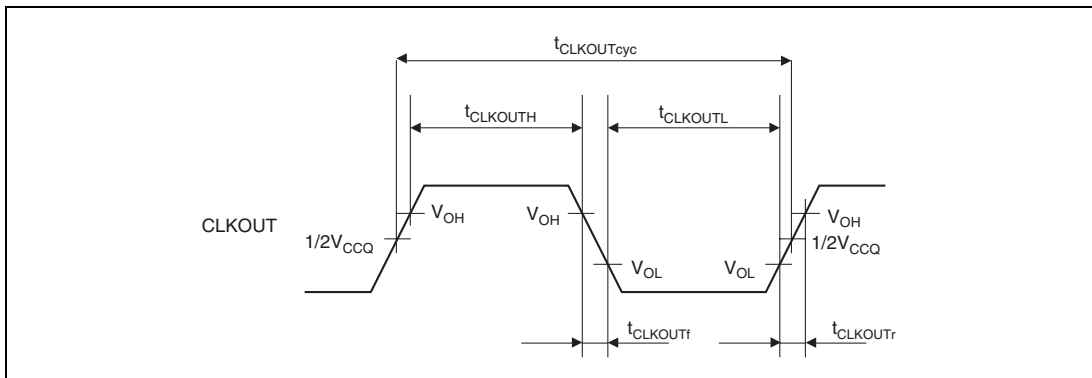


図 41.10 CLKOUT クロック出カタイミング

41.7 メモリコントローラ (DBSC3)

表 41.17 DDR2-SDRAM アクセスタイミング

【注】 以下、VREF は MVREFDQ 端子を示します。

条件：VDD-DDR=1.8V±0.1V、GND=VSS=0V、温度は共通温度条件 [AC 測定条件の項参照]、表 41.19 参照

項目	記号	Min.	Max.	単位	参照図*1	備考
CK 周期	tCK(avg.)	5.0	6.0	ns	図 41.12	DDR2-400
		3.75	5.0			DDR2-533
		3.27	3.75			DDR2-667*2
CK high 期間	tCH(avg.)	0.48	0.52	tCK(avg.)	図 41.12	—
CK low 期間	tCL(avg.)	0.48	0.52	tCK(avg.)	図 41.12	—
CK に対する制御信号セットアップ時間	tIS	1.29	—	ns	図 41.13	DDR2-400
		0.98	—			DDR2-533
		0.88	—			DDR2-667*2
CK に対する制御信号ホールド時間	tIH	1.29	—	ns	図 41.13	DDR2-400
		0.98	—			DDR2-533
		0.88	—			DDR2-667*2
コントロール/アドレス信号幅	tIPW	0.7	—	tCK(avg.)	図 41.13	—
CK と DQS 間スキュー (read)	tRDQSK	-0.2	1.4	ns	図 41.14	—
DQS high 期間 (read)	tRDQSH	0.35	0.65	tCK(avg.)	図 41.15	—
DQS low 期間 (read)	tRDQSL	0.35	0.65	tCK(avg.)	図 41.15	—
DQS プレアンブル時間 (read)	tRPRE	0.9	1.1	tCK(avg.)	図 41.15	—
DQS ポストアンブル時間 (read)	tRPST	0.4	0.6	tCK(avg.)	図 41.15	—
DQS と DQ 間スキュー (read)	tRDQSQ	—	0.59	ns	図 41.16	DDR2-400
		—	0.45			DDR2-533
		—	0.39			DDR2-667*2
DQS に対する DQ ホールド時間 (read)	tRQH	0.48tCK-0.63	—	ns	図 41.16	DDR2-400
		0.48tCK-0.53	—			DDR2-533
		0.48tCK-0.47	—			DDR2-667*2
ライトコマンド発行後初回 DQS 立ち上がり時間 (write)	tWDQSS	-0.15	0.15	tCK(avg.)	図 41.17	—
CK に対する DQS 立ち下がりセットアップ時間 (write)	tWDSS	0.27	—	tCK(avg.)	図 41.17	—
CK に対する DQS 立ち下がりホールド時間 (write)	tWDSH	0.27	—	tCK(avg.)	図 41.17	—
DQS high 期間 (write)	tWDQSH	0.35	0.9	tCK(avg.)	図 41.18	—
DQS low 期間 (write)	tWDQSL	0.35	0.9	tCK(avg.)	図 41.18	—
DQS プレアンブル時間 (write)	tWPRE	0.35	—	tCK(avg.)	図 41.18	—
DQS ポストアンブル時間 (write)	tWPST	0.4	0.6	tCK(avg.)	図 41.18	—

項目	記号	Min.	Max.	単位	参照図*1	備考
DQS に対する DQ/DM セットアップ時間 (write)	tWDS	0.63	—	ns	図 41.19	DDR2-400
		0.48	—			DDR2-533
		0.43	—			DDR2-667*2
DQS に対する DQ/DM ホールド時間 (write)	tWDH	0.63	—	ns	図 41.19	DDR2-400
		0.48	—			DDR2-533
		0.43	—			DDR2-667*2
DQ/DM 信号幅 (write)	tWDIPW	0.35	—	tCK(avg.)	図 41.19	—
DQ の HiZ 遷移時間 (write)	tHZ	tWDH	tCK	ns	図 41.20	—

【注】 *1 各信号のタイミングは、以下の電位を基準にしています。

MCK の出力、MDQS の入出力 : 相補信号のクロスポイント

MDQ の入力 : VREF

MCK と MDQS 以外の出力 : $0.5 \times VDD\text{-DDR}$

*2 備考欄の表記「DDR2-667」で使用可能なメモリであっても、本製品の最大周波数 612MHz を超えて使用することはできません。

表 41.18 DDR3-SDRAM アクセスタイミング

【注】 以下、VREF は MVREFDQ 端子を示します。

条件 : $VDD\text{-DDR}=1.5V \pm 0.075V$ 、 $GND=VSS=0V$ 、温度は共通温度条件 [AC 測定条件の項参照]、表 41.19 参照

項目	記号	Min.	Max.	単位	参照図*1	備考
CK 周期	tCK(avg.)	3.27	5.0	ns	図 41.12	DDR3-800*2
CK high 期間	tCH(avg.)	0.47	0.53	tCK(avg.)	図 41.12	DDR3-800*2
CK low 期間	tCL(avg.)	0.47	0.53	tCK(avg.)	図 41.12	DDR3-800*2
CK に対する制御信号セットアップ時間	tIS	0.52	—	ns	図 41.13	DDR3-800*2
CK に対する制御信号ホールド時間	tIH	0.52	—	ns	図 41.13	DDR3-800*2
コントロール/アドレス信号幅	tIPW	—	—	tCK(avg.)	図 41.13	DDR3-800*2
CK と DQS 間スキュー (read)	tRDQSCK	-0.3	1.3	ns	図 41.14	DDR3-800*2
DQS high 期間 (read)	tRDQSH	0.38	—	tCK(avg.)	図 41.15	DDR3-800*2
DQS low 期間 (read)	tRDQSL	0.38	—	tCK(avg.)	図 41.15	DDR3-800*2
DQS プリアンブル時間 (read)	tRPRE	0.9	—	tCK(avg.)	図 41.15	DDR3-800*2
DQS ポストアンブル時間 (read)	tRPST	0.3	—	tCK(avg.)	図 41.15	DDR3-800*2
DQS と DQ 間スキュー (read)	tRDQSQ	—	0.22	ns	図 41.16	DDR3-800*2
DQS に対する DQ ホールド時間 (read)	tRQH	0.32	—	tCK(avg.)	図 41.16	DDR3-800*2
ライトコマンド発行後初回 DQS 立ち上がり時間 (write)	tWDQSS	-0.18	0.18	tCK(avg.)	図 41.17	DDR3-800*2
CK に対する DQS 立ち下がりセットアップ時間 (write)	tWDSS	0.27	—	tCK(avg.)	図 41.17	DDR3-800*2
CK に対する DQS 立ち下がりホールド時間 (write)	tWDSH	0.27	—	tCK(avg.)	図 41.17	DDR3-800*2

項目	記号	Min.	Max.	単位	参照図*1	備考
DQS high 期間 (write)	tWDQSH	0.45	0.55	tCK(avg.)	図 41.18	DDR3-800*2
DQS low 期間 (write)	tWDQSL	0.45	0.55	tCK(avg.)	図 41.18	DDR3-800*2
DQS プレアンブル時間 (write)	tWPRE	0.9	—	tCK(avg.)	図 41.18	DDR3-800*2
DQS ポストアンブル時間 (write)	tWPST	0.3	—	tCK(avg.)	図 41.18	DDR3-800*2
DQS に対する DQ/DM セットアップ時間 (write)	tWDS	0.28	—	ns	図 41.19	DDR3-800*2
DQS に対する DQ/DM ホールド時間 (write)	tWDH	0.28	—	ns	図 41.19	DDR3-800*2
DQ/DM 信号幅 (write)	tWDIPW	0.35	—	tCK(avg.)	図 41.19	DDR3-800*2
DQ の HiZ 遷移時間 (write)	tHZ	tWDH	tCK	ns	図 41.20	DDR3-800*2

【注】 *1 各信号のタイミングは、以下の電位を基準にしています。

MCK の出力、MDQS の入出力 : 相補信号のクロスポイント

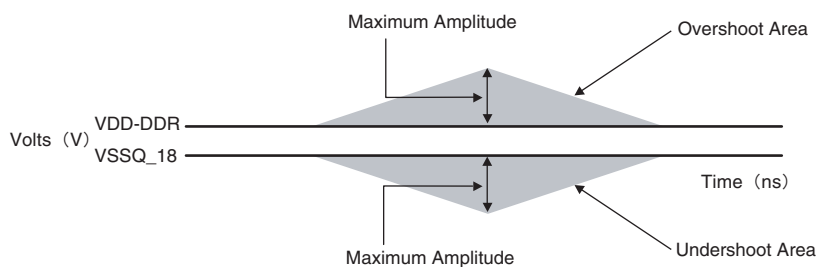
MDQ の入力 : VREF

MCK と MDQS 以外の出力 : $0.5 \times VDD\text{-}DDR$

*2 備考欄の表記「DDR3-800」で使用可能なメモリであっても、本製品の最大周波数 612MHz を超えて使用することはできません。

表 41.19 入力オーバーシュート/アンダーシュート条件

	Value	Unit
Maximum peak amplitude allowed for overshoot area. (See Figure below)	0.3	V
Maximum peak amplitude allowed for undershoot area. (See Figure below)	0.3	V
Maximum overshoot area above VDD-DDR (See Figure below)	0.19	V-ns
Maximum undershoot area below VSSQ_18 (See Figure below)	0.19	V-ns



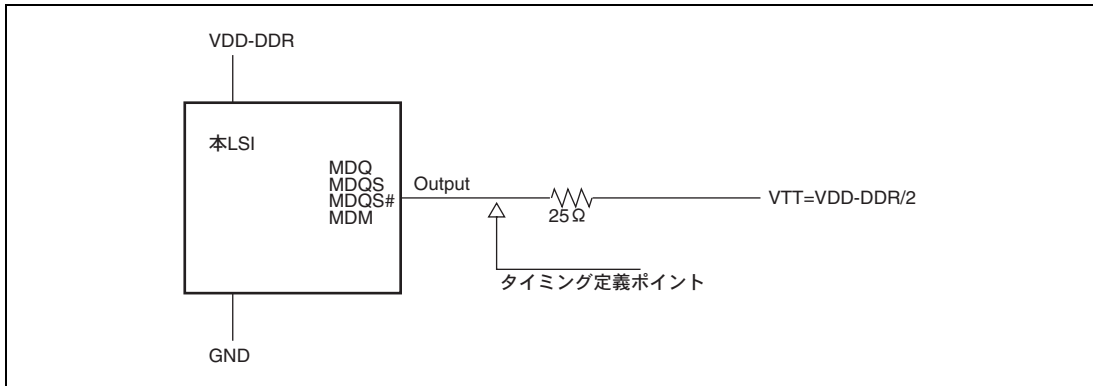


図 41.11 出カクロック AC タイミング測定条件

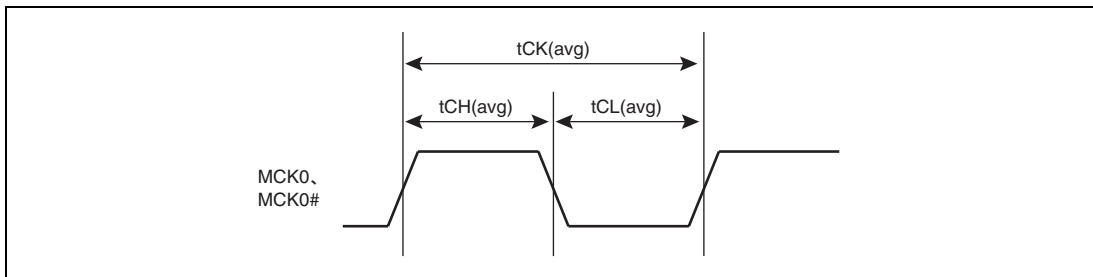


図 41.12 出カクロック

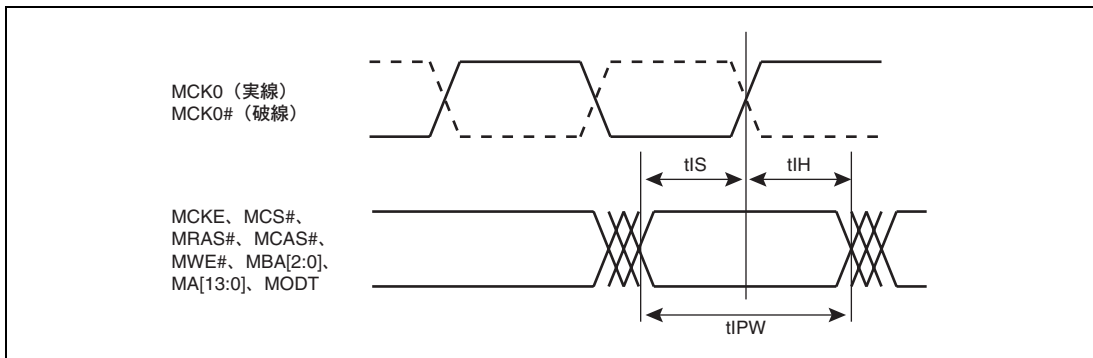


図 41.13 コマンド系端子と出カクロックとの関係

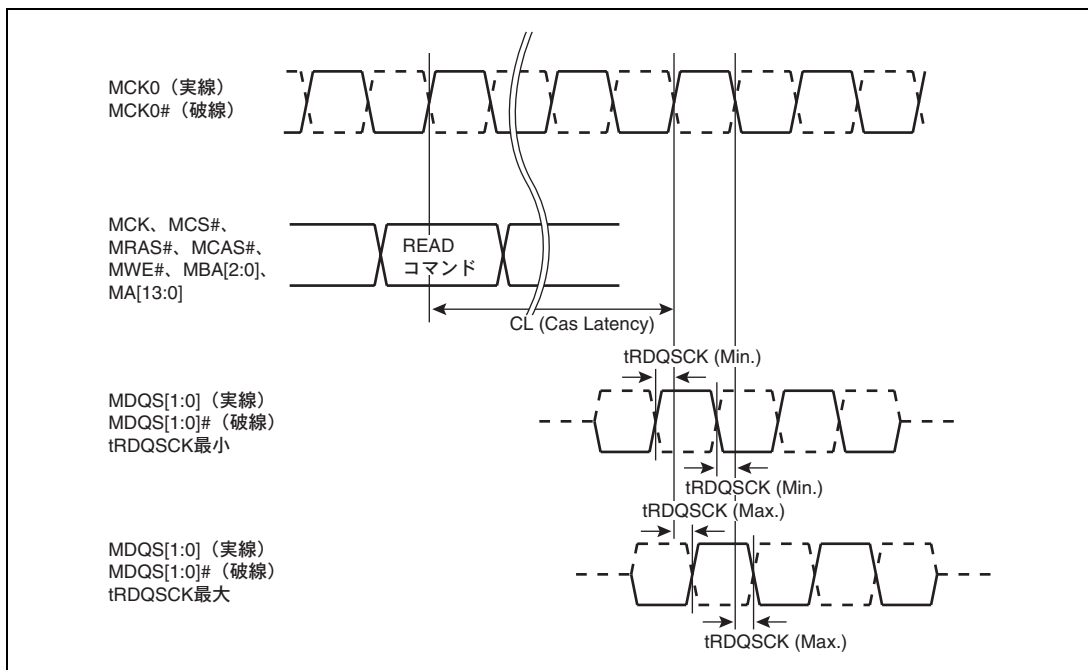


図 41.14 データリード時の DQS 入力

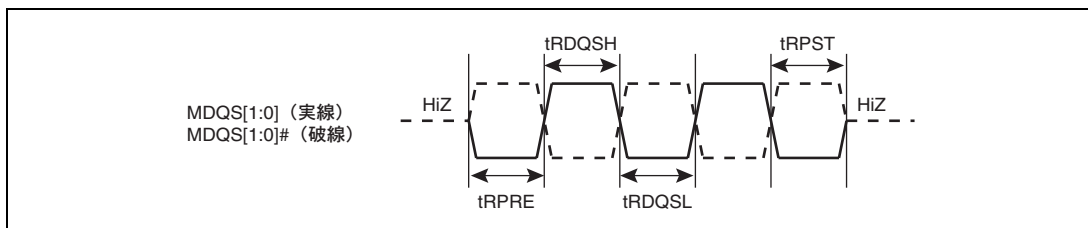


図 41.15 DQS 入力波形の制約 (リード時)

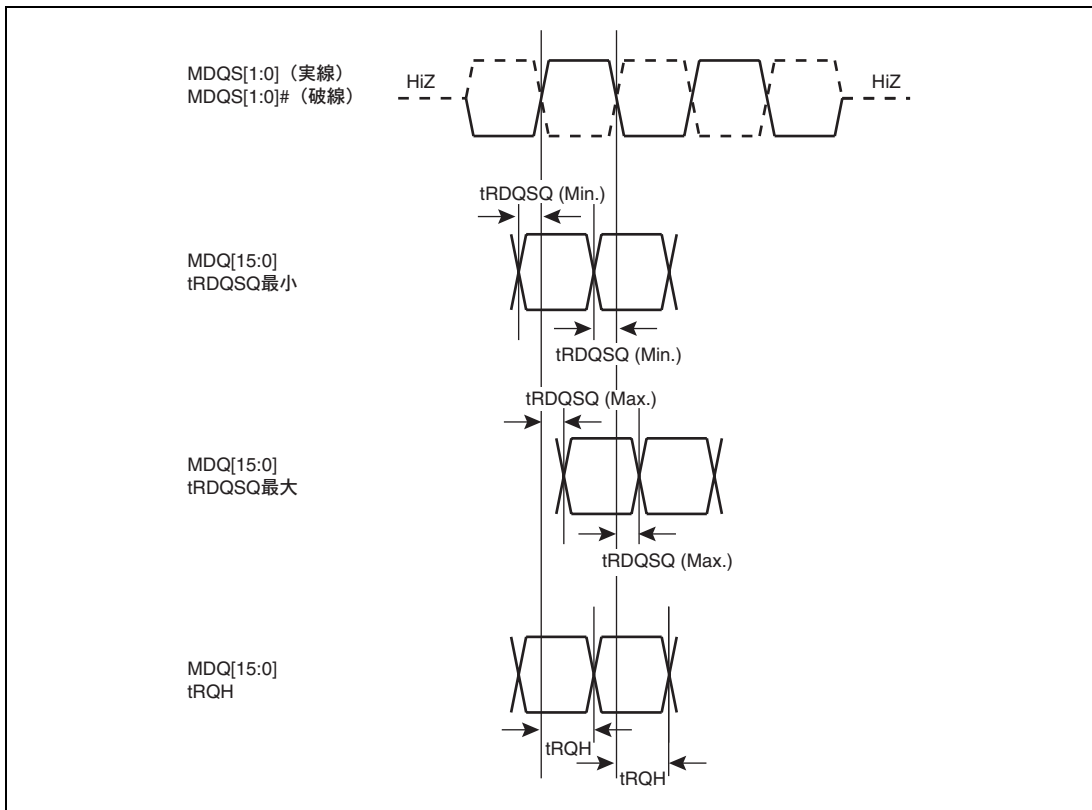


図 41.16 DQS に対する DQ 入力波形の制約 (リード時)

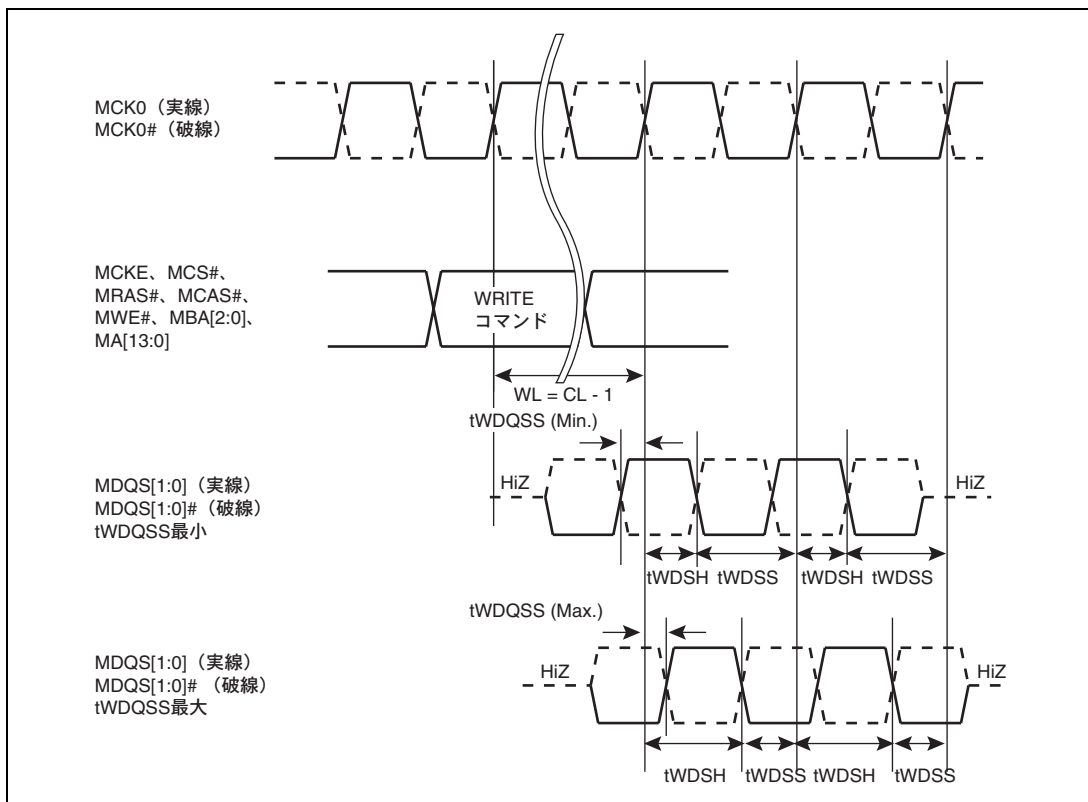


図 41.17 CK に対する DQS 出力波形の関係 (ライト時)

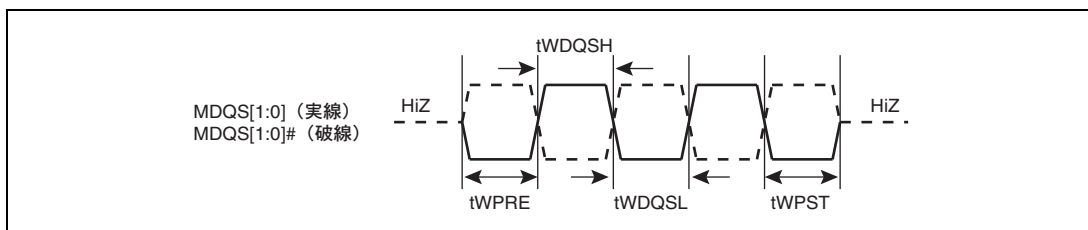


図 41.18 DQS 出力波形の関係 (ライト時)

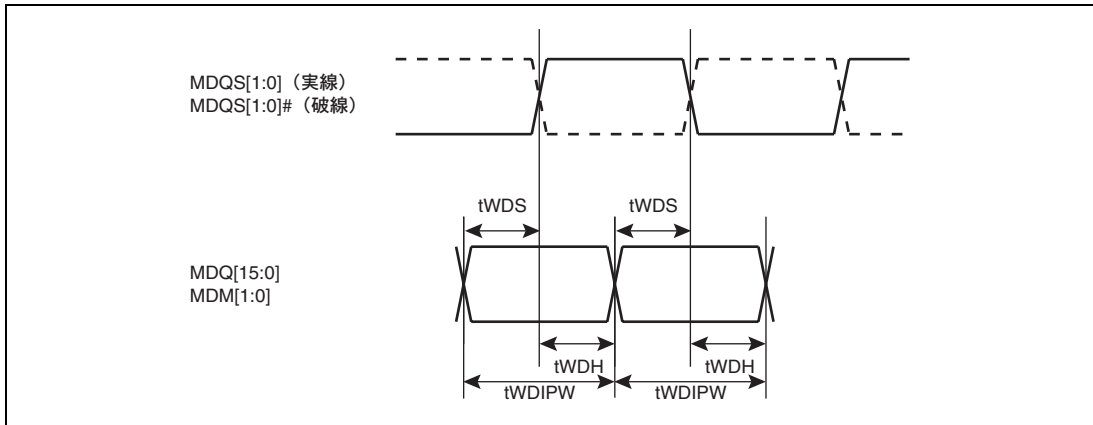


図 41.19 DQS と DQ/DQM 出力波形の関係 (ライト時)

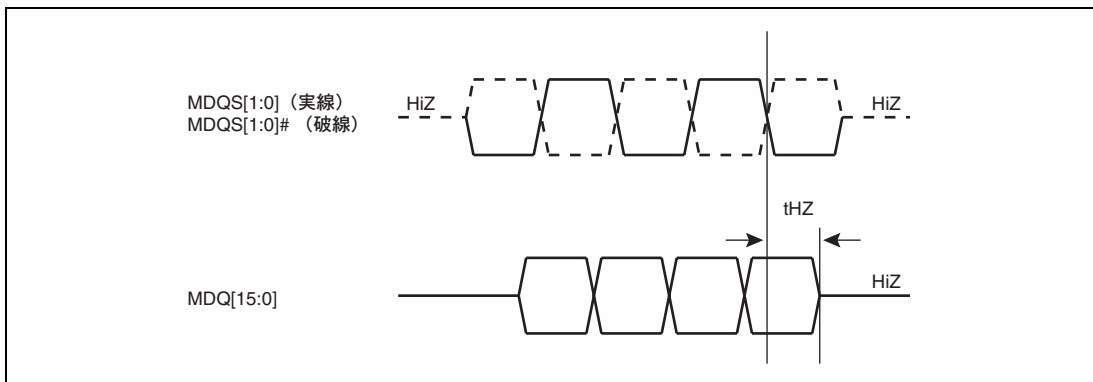


図 41.20 DQ 出力が HiZ へ遷移するまでの時間 (ライト時)

41.8 ローカルバスステートコントローラ (LBSC)

表 41.20 標準リード/ライトアクセスタイミング

条件：温度電圧共通条件（測定条件の項参照）、CL=40pF

項目	記号	Min.	Typ.	Max.	単位	参考図
アドレス出力遅延時間	tDA	0.0	—	6.0	ns	図 41.21
CS 出力遅延時間	tDCS	0.0	—	6.0	ns	
BS 出力遅延時間	tDBS	0.0	—	6.0	ns	
RD 出力遅延時間	tDRD	0.0	—	6.0	ns	
RDWR 出力遅延時間	tDRW	0.0	—	6.0	ns	
リードデータセットアップ時間	tSD	11.0	—	—	ns	
リードデータホールド時間	tHD	0.0	—	—	ns	
WE 出力遅延時間	tDWE	0.0	—	6.0	ns	
ライトデータ出力遅延時間	tDD	0.0	—	6.0	ns	
外部ウェイト信号セットアップ時間	tSEW	11.0	—	—	ns	
外部ウェイト信号ホールド時間	tHEW	0.0	—	—	ns	
ATADIR 出力遅延時間	tDATAD	0.0	—	6.0	ns	
ATAG 出力遅延時間	tDATAG	0.0	—	6.0	ns	
DIOR 出力遅延時間	tDDIOR	0.0	—	6.0	ns	
DIOW 出力遅延時間	tDDIOW	0.0	—	6.0	ns	

表 41.21 バースト ROM リードアクセスタイミング

条件：温度電圧共通条件、CL=40pF

項目	記号	Min.	Typ.	Max.	単位	参考図
アドレス出力遅延時間	tDABST	0.0	—	6.0	ns	図 41.22
CS 出力遅延時間	tDCSBST	0.0	—	6.0	ns	
RD 出力遅延時間	tDRDBST	0.0	—	6.0	ns	
リードデータセットアップ時間	tSDBST	11.0	—	—	ns	
リードデータホールド時間	tHDBST	0.0	—	—	ns	

表 41.22 DMA 専用信号アクセスタイミング

条件：温度電圧共通条件、CL=40pF

項目	記号	Min.	Typ.	Max.	単位	参考図
DMA 転送要求信号セットアップ時間	tSDRQ	11.0	—	—	ns	図 41.23
DMA 転送要求信号ホールド時間	tHDRQ	0.0	—	—	ns	
DMA 転送終了通知信号出力遅延時間	tDDAK	0.0	—	6.0	ns	
DMA 受付確認信号出力遅延時間	tDDRQ	0.0	—	6.0	ns	

表 41.23 ATA インタフェース UltraATA 転送タイミング

条件：温度電圧共通条件、CL=40pF

項目	記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
平均サイクル時間 (2 サイクル分)	t2CYCTYP	240	—	160	—	120	—	90	—	60	—	ns	図 41.24 ～ 図 41.33
サイクル時間	tCYC	112	—	73	—	54	—	39	—	25	—	ns	
最小サイクル時間 (2 サイクル分)	t2CYC	230	—	153	—	115	—	86	—	57	—	ns	
データセット アップ時間 (受け側)	tDS	15	—	10	—	7	—	7	—	5	—	ns	
データホールド 時間 (受け側)	tDH	5	—	5	—	5	—	5	—	5	—	ns	
データセット アップ時間 (送り側)	tDVS	70	—	48	—	31	—	20	—	6.7	—	ns	
データホールド 時間 (送り側)	tDVH	6.2	—	6.2	—	6.2	—	6.2	—	6.2	—	ns	
CRC データ セットアップ 時間 (送り側)	tCVS	70	—	48	—	31	—	20	—	6.7	—	ns	
CRC データ ホールド時間 (送り側)	tCVH	6.2	—	6.2	—	6.2	—	6.2	—	6.2	—	ns	
ストロープの ドライブから 最初の STROBE までの セットアップ 時間 (送り側)	tZFS	0	—	0	—	0	—	0	—	0	—	ns	
データの ドライブから 最初の STROBE までの セットアップ 時間 (送り側)	tDZFS	70	—	48	—	31	—	20	—	6.7	—	ns	

項目	記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
最初の STROBE 時間	tFS	—	230	—	200	—	170	—	130	—	120	ns	図 41.24 ～ 図 41.33
制限付き インターロック 時間	tLI	0	150	0	150	0	150	0	100	0	100	ns	
最小 インターロック 時間	tMLI	20	—	20	—	20	—	20	—	20	—	ns	
制限なし インターロック 時間	tUI	0	—	0	—	0	—	0	—	0	—	ns	
出力リリース時間	tAZ	—	10	—	10	—	10	—	10	—	10	ns	
出力ディレイ時間	tZAH	20	—	20	—	20	—	20	—	20	—	ns	
出力確定時間 (リリースから)	tZAD	0	—	0	—	0	—	0	—	0	—	ns	
エンベロープ時間	tENV	20	70	20	70	20	70	20	55	20	55	ns	
最終の STROBE 時間	tRFS	—	75	—	70	—	60	—	60	—	60	ns	
STOP をアサート または DMARQ を ネゲートする までの時間	tRP	160	—	125	—	100	—	100	—	100	—	ns	
IORDY を リリースする までの時間	tIORDYZ	—	20	—	20	—	20	—	20	—	20	ns	
STROBE を ドライブする までの時間	tZIORDY	0	—	0	—	0	—	0	—	0	—	ns	
DMACK# セットアップ/ ホールド時間	tACK	20	—	20	—	20	—	20	—	20	—	ns	
STROBE STOP 時間	tSS	50	—	50	—	50	—	50	—	50	—	ns	

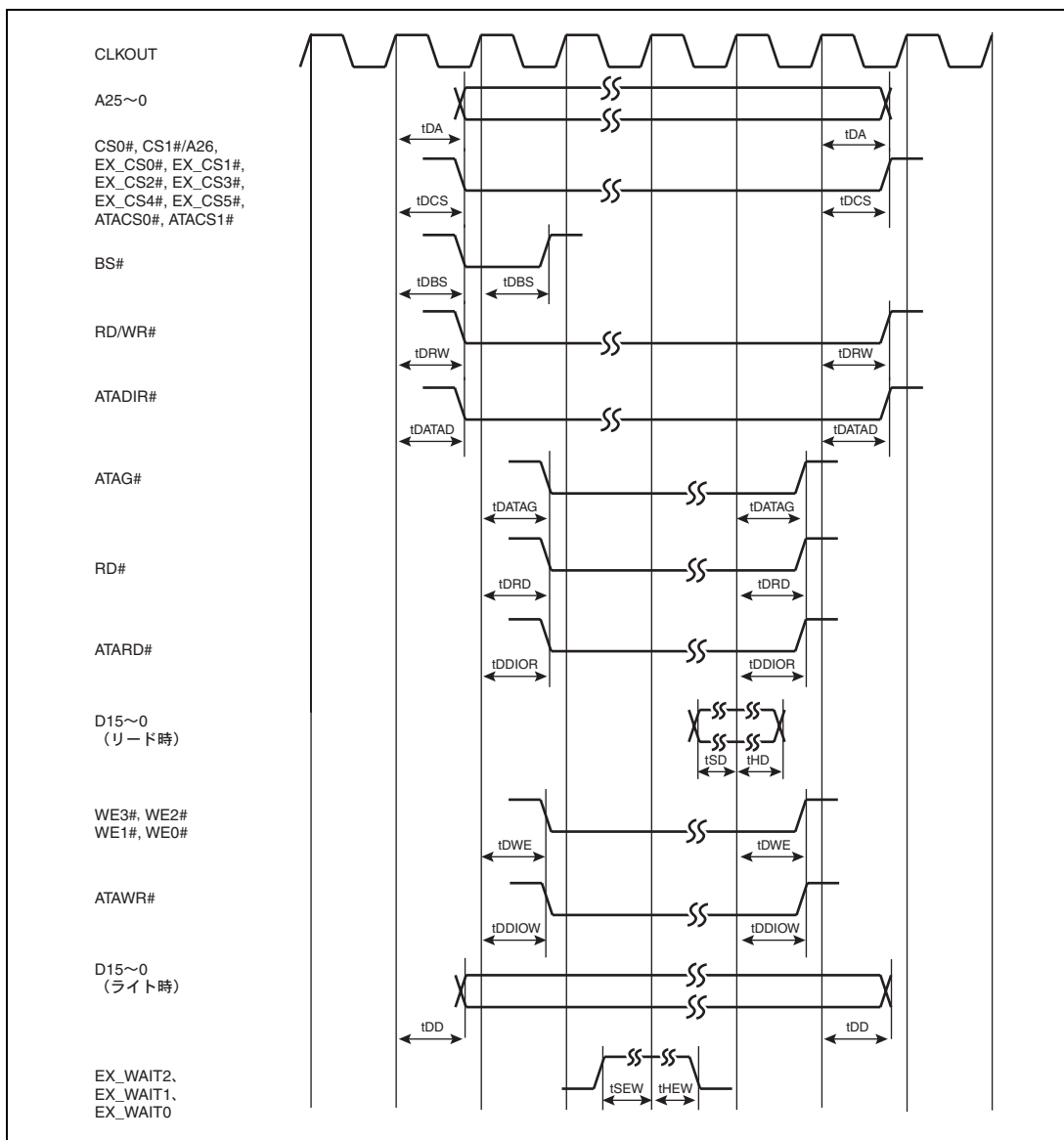


図 41.21 標準リード/ライト アクセスタイミング

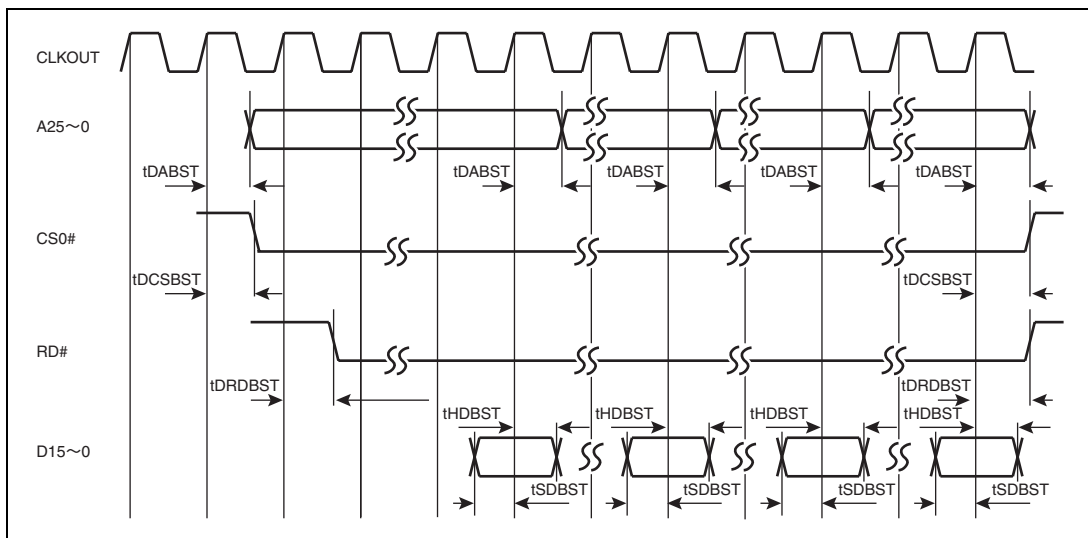


図 41.22 バースト ROM リードアクセスタイミング

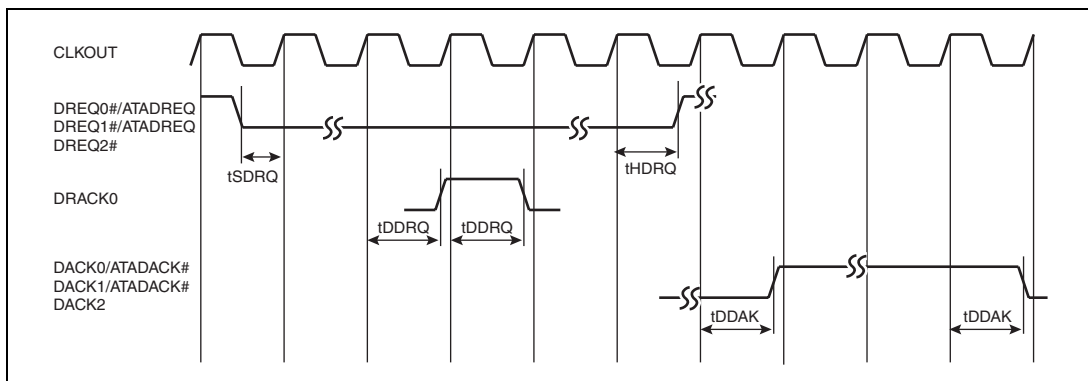


図 41.23 DMA 専用信号アクセスタイミング

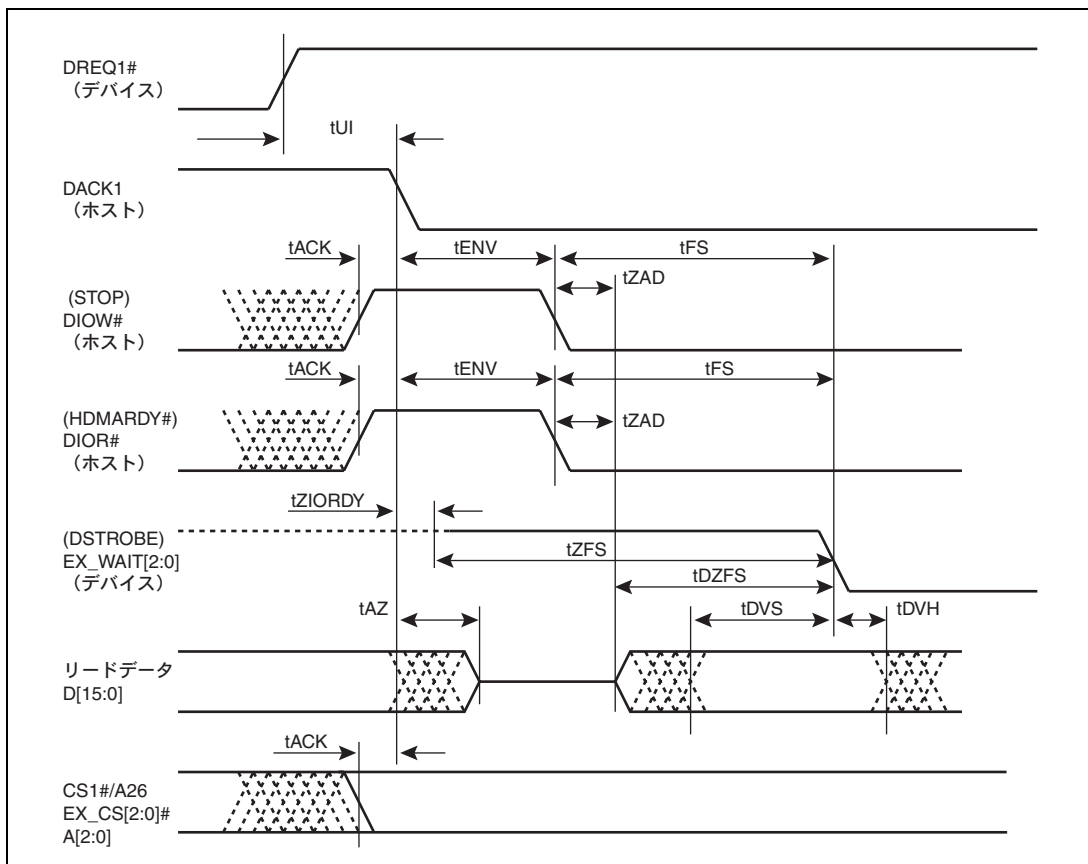


図 41.24 UltraDMA 転送開始 (リード)

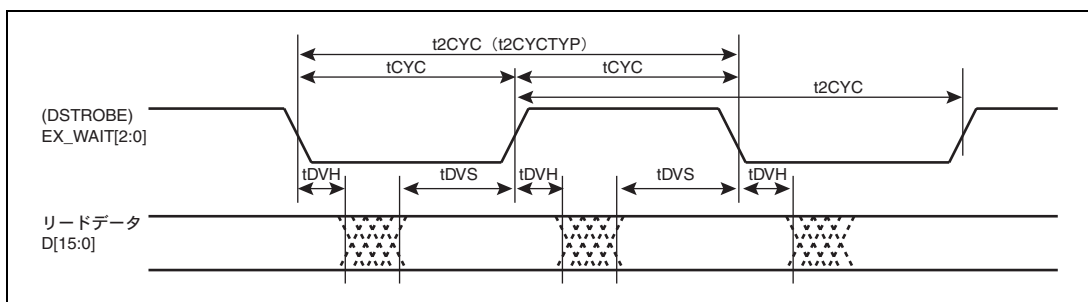


図 41.25 UltraDMA 転送 (リード)

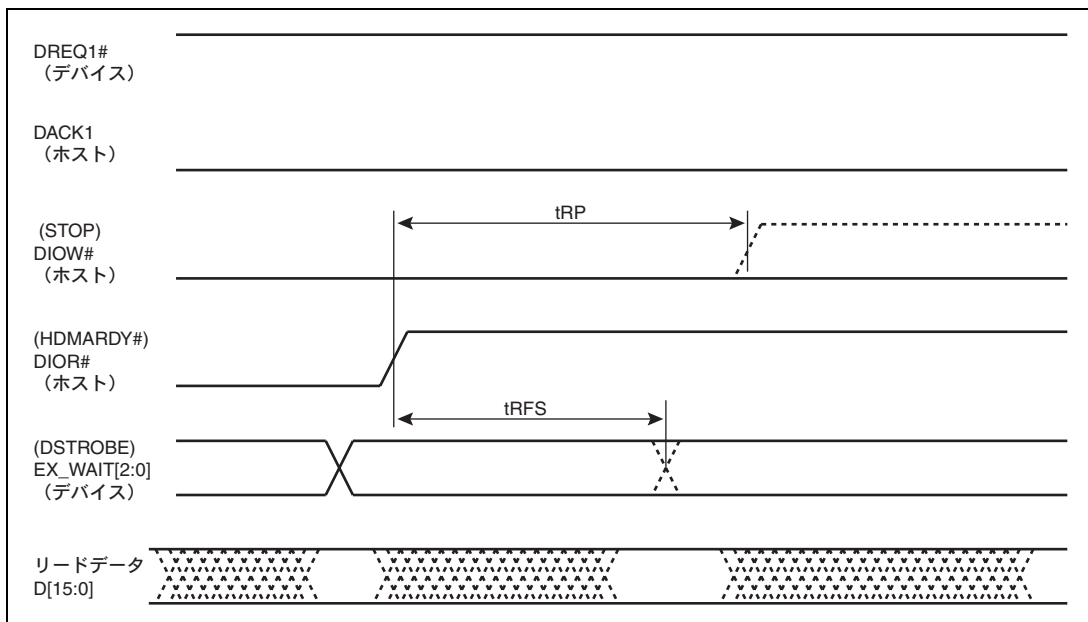


図 41.26 UltraDMA ホストからのポーズ (リード)

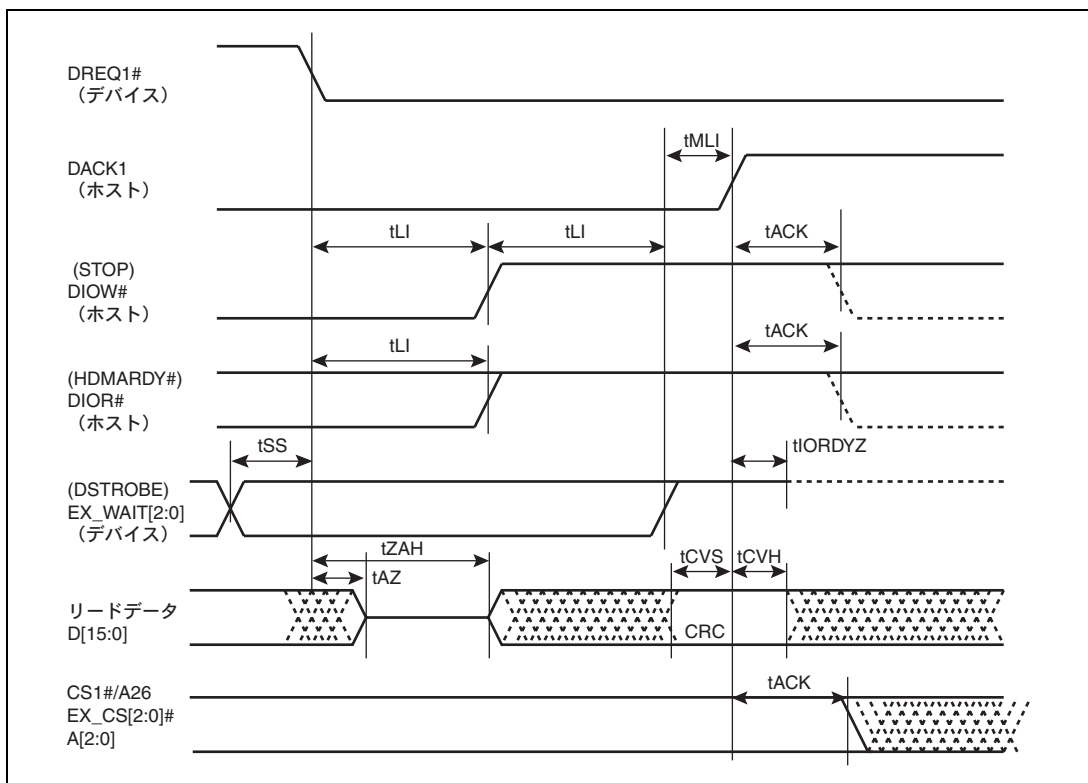


図 41.27 デバイスからの UltraDMA 転送終了 (リード)

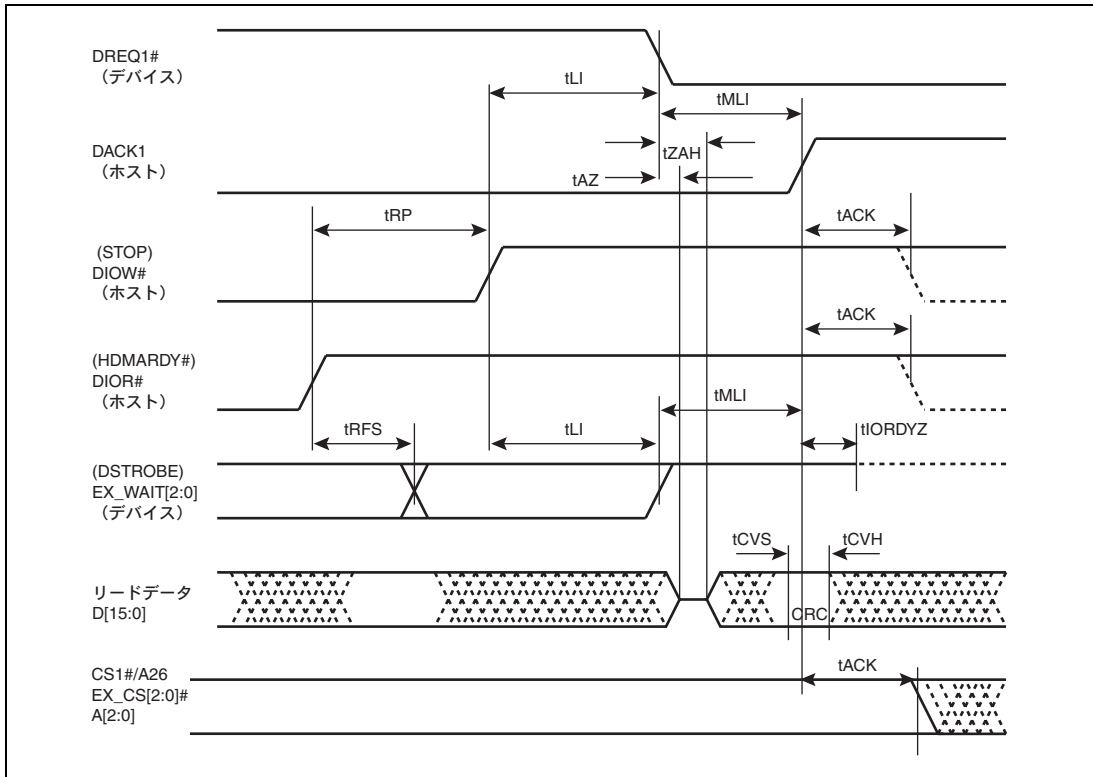


図 41.28 ホストからの UltraDMA 転送終了 (リード)

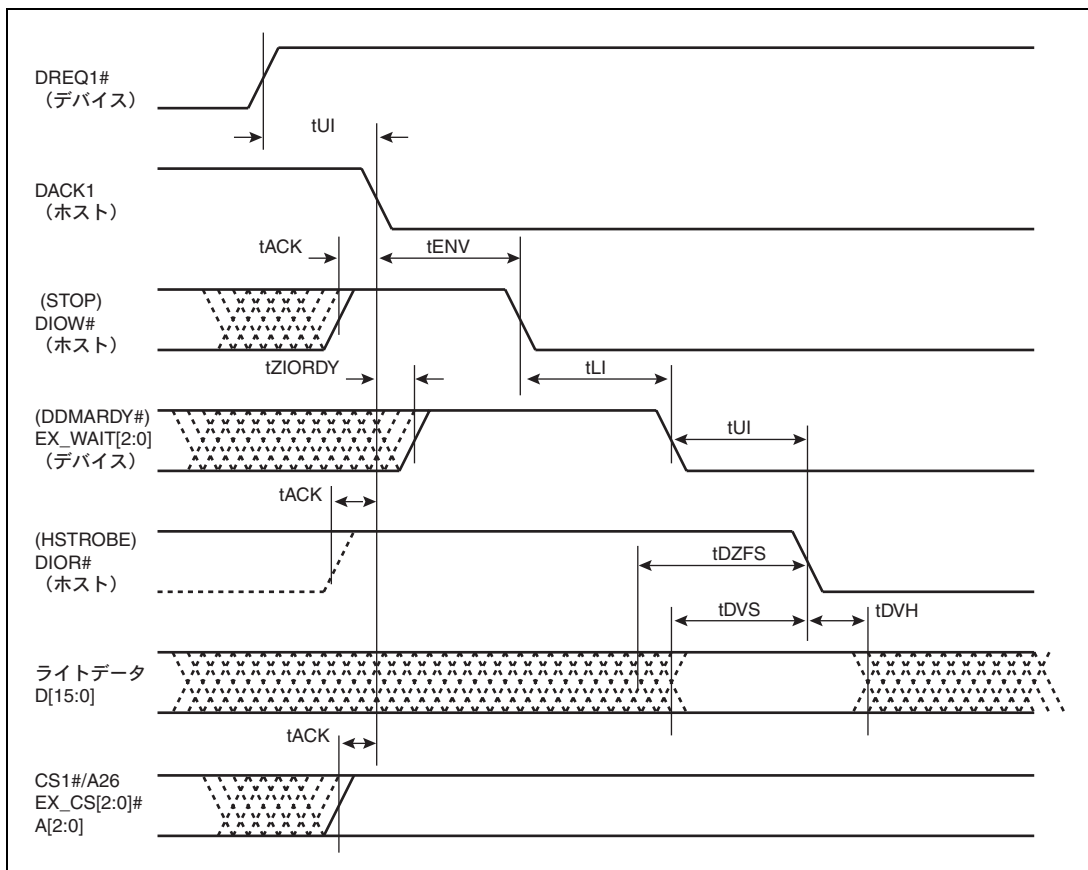


図 41.29 UltraDMA 転送開始 (ライト)

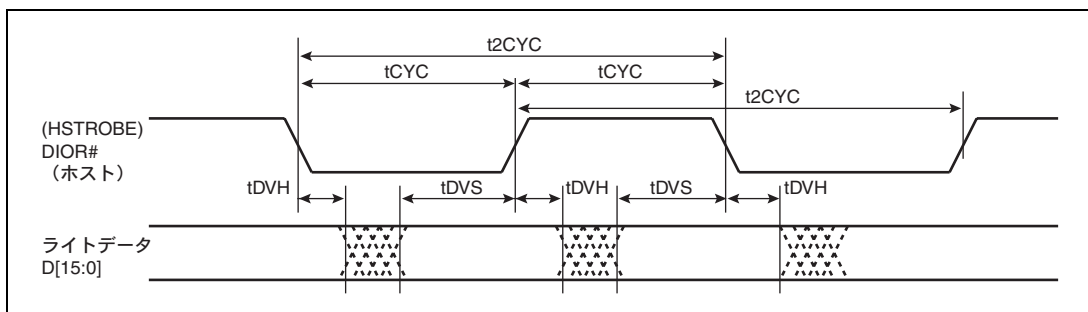


図 41.30 UltraDMA 転送 (ライト)

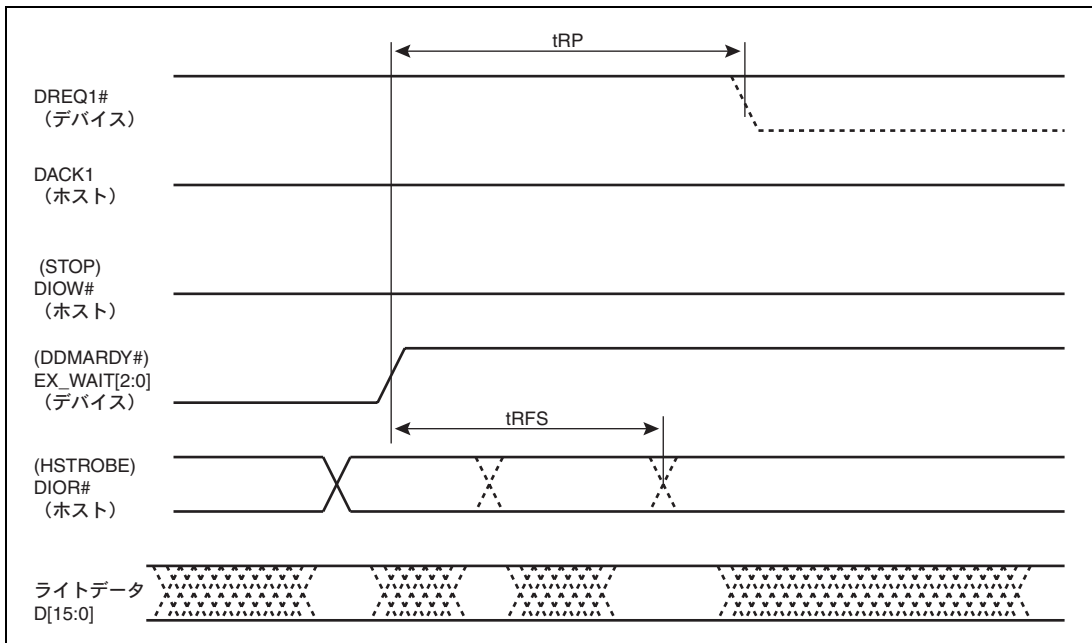


図 41.31 UltraDMA デバイスからのポーズ (ライト)

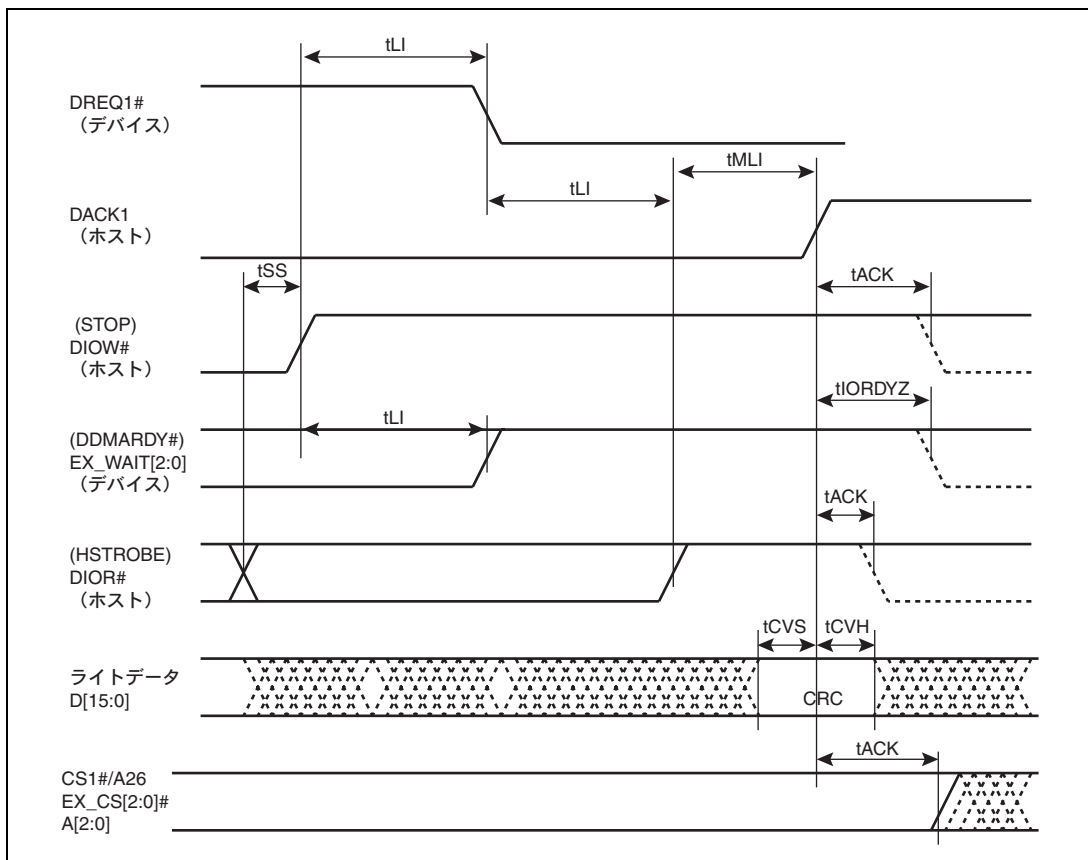


図 41.32 ホストからの UltraDMA 転送終了 (ライト)

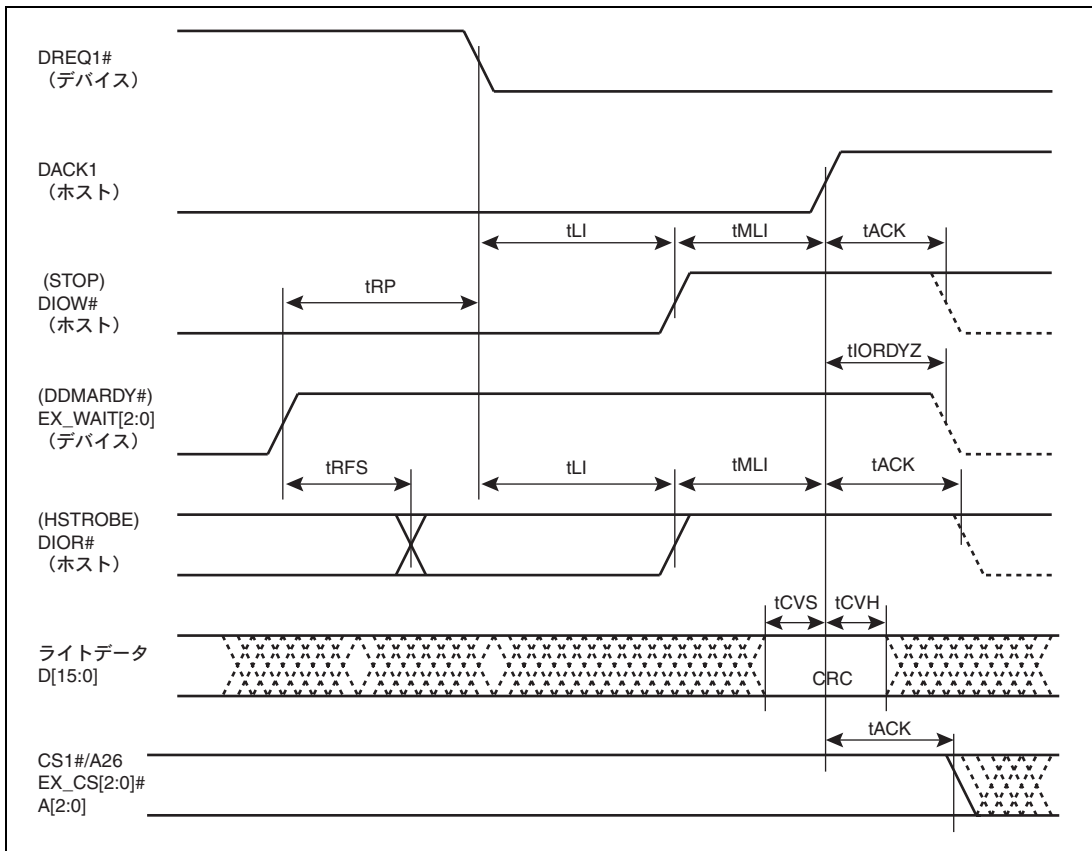


図 41.33 デバイスからの UltraDMA 転送終了 (ライト)

41.9 割り込みコントローラ (INTC、INTC2)

表 41.24 INTC モジュール信号タイミング

条件：温度電圧共通条件

項目	記号	Min	Max.	単位	参照図	備考
NMI/IRQn (n=0~3) パルス幅 (High 時)	t_{NMIH}/t_{IRQH}	5	—	tcyc	図 41.34	通常時 スリープ時
NMI/IRQn (n=0~3) パルス幅 (Low 時)	t_{NMIL}/t_{IRQL}	5	—	tcyc	図 41.34	通常時 スリープ時

【注】 t_{cyc} は clk_{s1} (内部クロック) クロックの 1 サイクル時間を示します。
パルス幅が Min 値より短い場合、割り込みを検出できないことがあります。

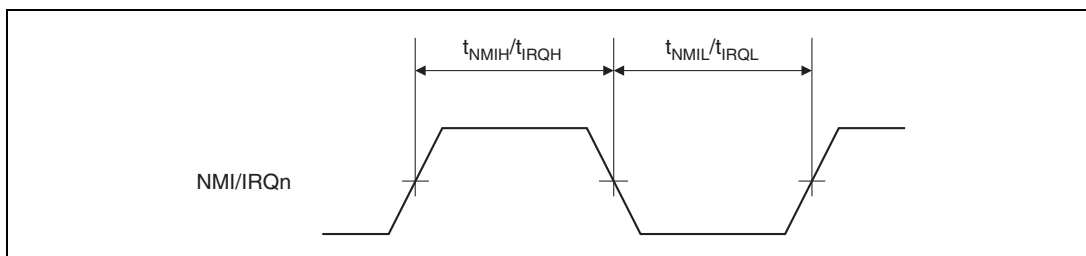


図 41.34 NMI/IRQn 入力タイミング

41.10 ビデオ入力 0 (VIN0)

表 41.25 ビデオ入力タイミング

条件：温度電圧共通条件、CL=0pF

項目	記号	Min.	Typ.	Max.	単位	参考図
VI_CLK サイクル時間	tVCcyc	12.5	37	—	ns	図 41.35
データセットアップ時間	tVCDs	5	—	—	ns	
データホールド時間	tVCDh	3	—	—	ns	
同期信号セットアップ時間	tVCEs	5	—	—	ns	
同期信号ホールド時間	tVCEh	3	—	—	ns	
VI_HSYNC#ホールドサイクル	tVMcyc	8	—	—	サイクル	

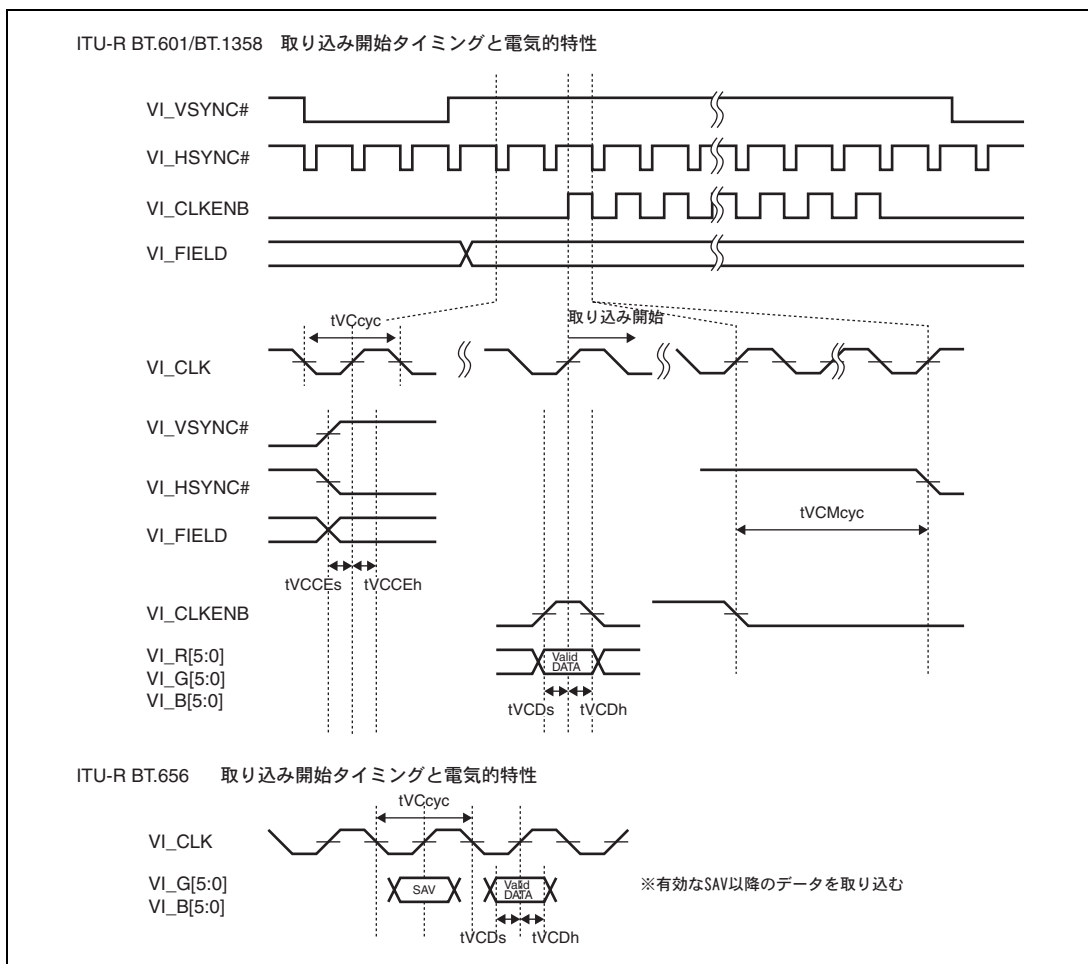


図 41.35 取り込み開始タイミングと電気的特性

41.11 ビデオ入力 1 (VIN1)

表 41.26 VIN モジュール信号タイミング

条件：温度電圧共通条件

項目	記号	min	typ	max	単位	参考図
VINn 入力ホールド時間	t_{VIDH}	5	—	—	ns	図 41.36
VINn 入力セットアップ時間	t_{VIDS}	5	—	—	ns	
同期信号ホールド時間	t_{VCCEH}	5	—	—	ns	
同期信号セットアップ時間	t_{VCCES}	5	—	—	ns	
VICLK クロック周期	t_{VICYC}	34	37	40	ns	

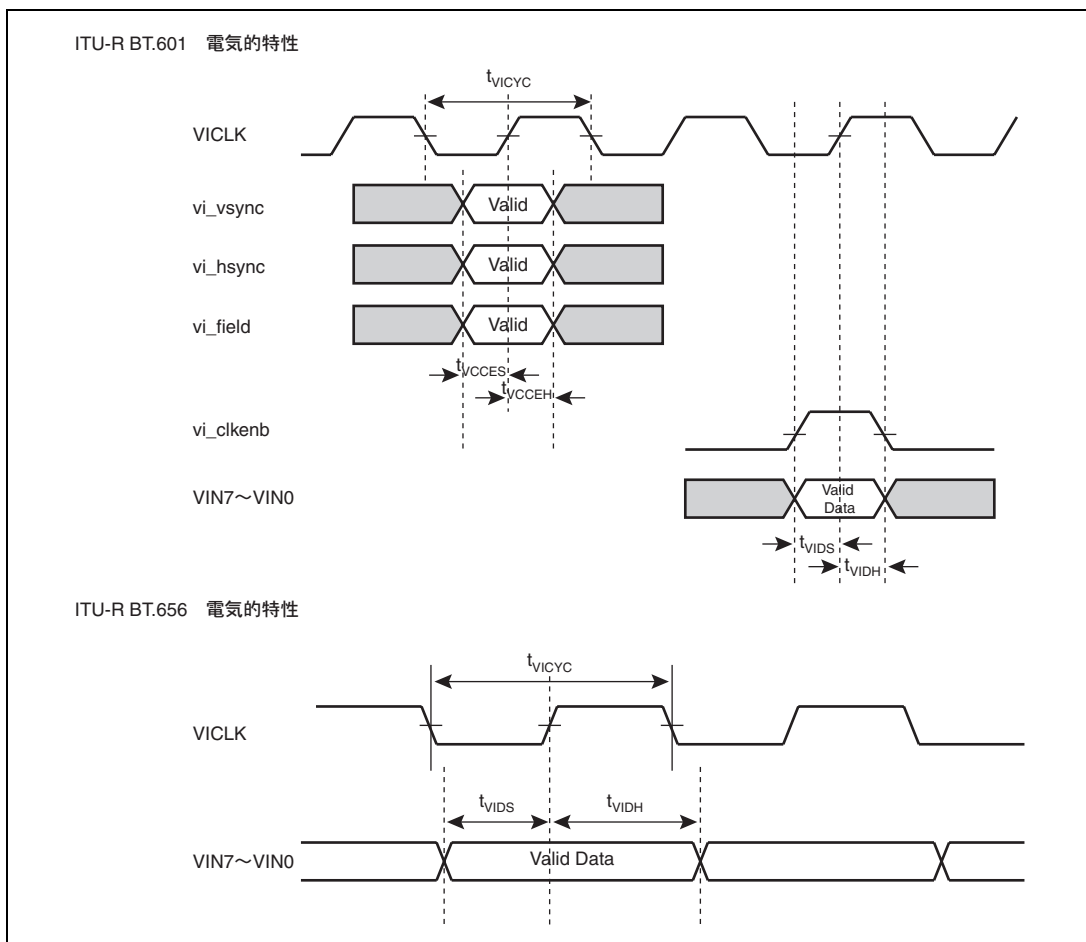


図 41.36 ビデオ入力タイミング

41.12 ディスプレイユニット (DU)

表 41.27 DOTCLKIN タイミング

条件：温度電圧共通条件、CL=20pF

項目	記号	Min.	Typ.	Max.	単位	参照図
DOTCLKIN サイクル時間	tDICYC	8.4	—	200	ns	図 41.37
DOTCLKIN High レベル時間	tDCKIH	3	—	—	ns	
DOTCLKIN Low レベル時間	tDCKIL	3	—	—	ns	

表 41.28 表示タイミング

条件：温度電圧共通条件、CL=20pF

項目	記号	Min.	Typ.	Max.	単位	参照図
表示入力制御信号*1 セットアップ時間	tDS1	5	—	—	ns	図 41.38 (DOTCLKIN 基準)
表示入力制御信号*1 ホールド時間	tDH1	3	—	—	ns	
DOTCLKOUT 出力サイクル時間	tDCYC	10	—	200	ns	図 41.39 (DOTCLKOUT 基準)
DOTCLKOUT 出力 High レベル幅	tDCKH	2	—	—	ns	
表示入力制御信号*1 セットアップ時間*4	tDS2	16	—	—	ns	
表示入力制御信号*1 ホールド時間*4	tDH2	-3	—	—	ns	
表示出力制御信号*2 出力遅延時間	tDD	0	—	7	ns	
表示デジタルデータ*3 出力遅延時間	tDD	0	—	7	ns	図 41.40
EXHSYNC#入力 Low レベル幅	tEXHLW	4tDCYC	—	—	ns	
EXHSYNC#入力 High レベル幅	tEXHHW	4tDCYC	—	—	ns	
EXVSYNC#入力 Low レベル幅	tEXVLW	3HC	—	—	tDCYC	
VSYNC 入力に対する ODDF#Setup 時間	tOD1	(ys+yw)×HC	—	—	tDCYC	
VSYNC 入力に対する ODDF#Hold 時間	tOD2	1HC	—	—	tDCYC	

【注】 ys：VSYNC の立ち上がりから表示画面垂直方向の表示開始位置まで（単位：ラスタライン数）

yw：表示画面の垂直表示期間（単位：ラスタライン数）

HC：水平走査期間（単位：ドットクロック）

*1 表示入力制御信号に対応する端子名については、表 41.29 を参照してください。

*2 表示出力制御信号に対応する端子名については、表 41.29 を参照してください。

*3 表示デジタルデータに対応する端子名については、表 41.29 を参照してください。

*4 DOTCLKIN からクロックを供給し、分周しないで DOTCLKOUT から出力する場合です。

表 41.29 表示信号と端子名の対応表

表示信号	端子名
表示入力制御信号	DU0_EXVSYNC/DU0_VSYNC DU0_EXHSYNC/DU0_HSYNC DU0_EXODDF/DU0_ODDF
表示出力制御信号	DU0_EXVSYNC/DU0_VSYNC DU0_EXHSYNC/DU0_HSYNC DU0_EXODDF/DU0_ODDF DU0_DISP DU0_CDE
表示デジタルデータ	DU0_DR7 DU0_DR6 DU0_DR5 DU0_DR4 DU0_DR3 DU0_DR2 DU0_DR1 DU0_DR0 DU0_DG7 DU0_DG6 DU0_DG5 DU0_DG4 DU0_DG3 DU0_DG2 DU0_DG1 DU0_DG0 DU0_DB7 DU0_DB6 DU0_DB5 DU0_DB4 DU0_DB3 DU0_DB2 DU0_DB1 DU0_DB0

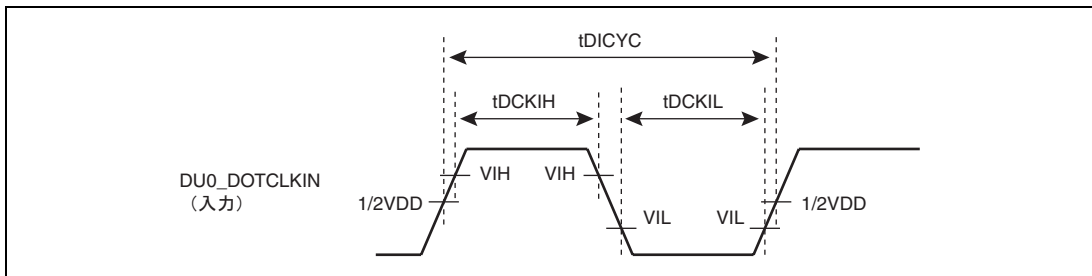


図 41.37 DOTCLKIN クロック入力タイミング

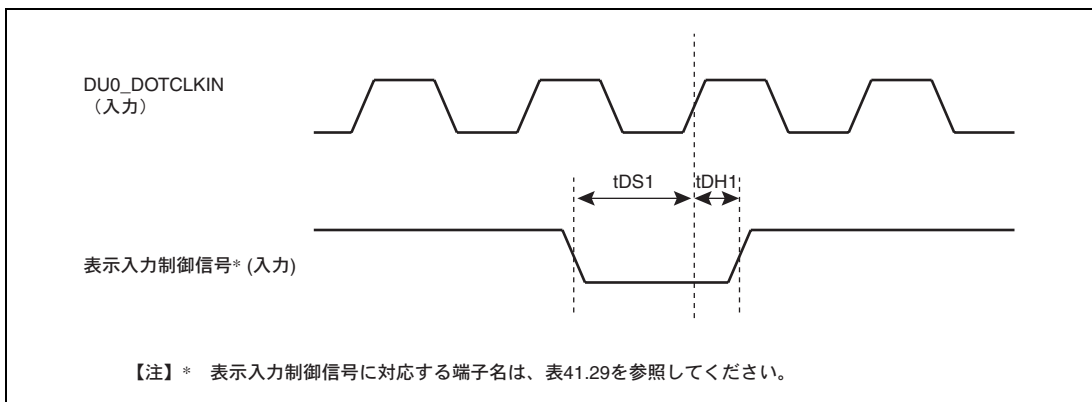


図 41.38 表示タイミング (DOTCLKIN 基準)

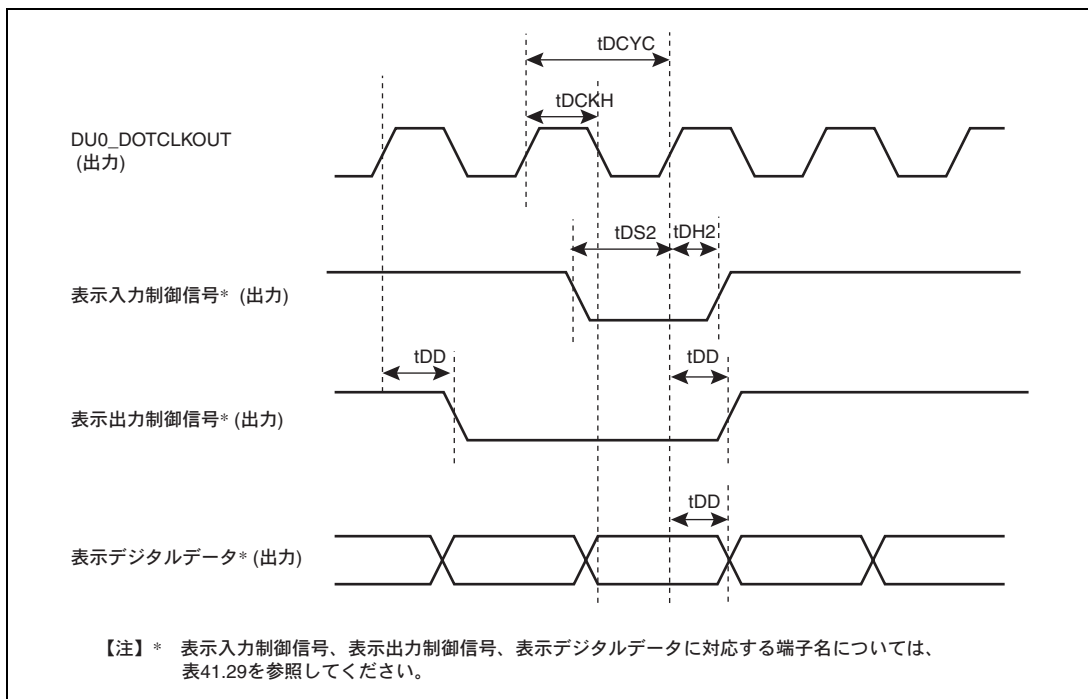


図 41.39 表示タイミング (DOTCLKOUT 基準)

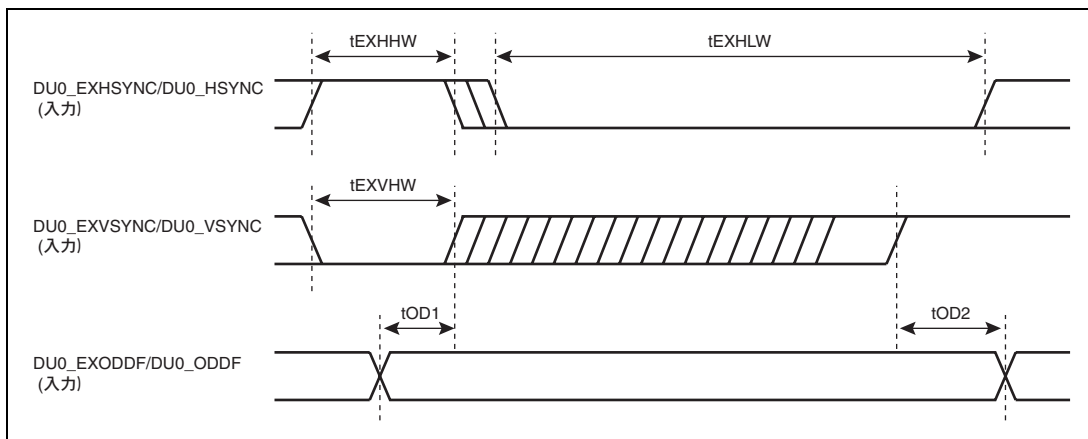


図 41.40 TV 同期モード表示タイミング

41.13 LCD コントローラ (LCDC)

表 41.30 LCDC モジュール信号タイミング

条件：温度電圧共通条件

項 目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	t_{FREQ}	—	54	MHz	図 41.41
LCD_CLK 入力クロック立ち上がり時間	t_r	—	3	ns	
LCD_CLK 入力クロック立ち下がり時間	t_f	—	3	ns	
LCD_CLK 入力クロックデューティ	t_{DUTY}	90	110	%	
クロック (LCD_CL2) サイクル時間	t_{CC}	25	—	ns	
クロック (LCD_CL2) High レベルパルス幅	t_{CHW}	7	—	ns	
クロック (LCD_CL2) Low レベルパルス幅	t_{CLW}	7	—	ns	
クロック (LCD_CL2) 遷移時間 (立ち上がり/立ち下がり)	t_{CT}	—	3	ns	
データ (LCD_DATA) 遅延時間	t_{DDdo}	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	t_{DDdo}	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	t_{HDdo}	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	t_{VDdo}	-3.5	3	ns	

【注】 Pck は周辺クロックの周波数を示します。

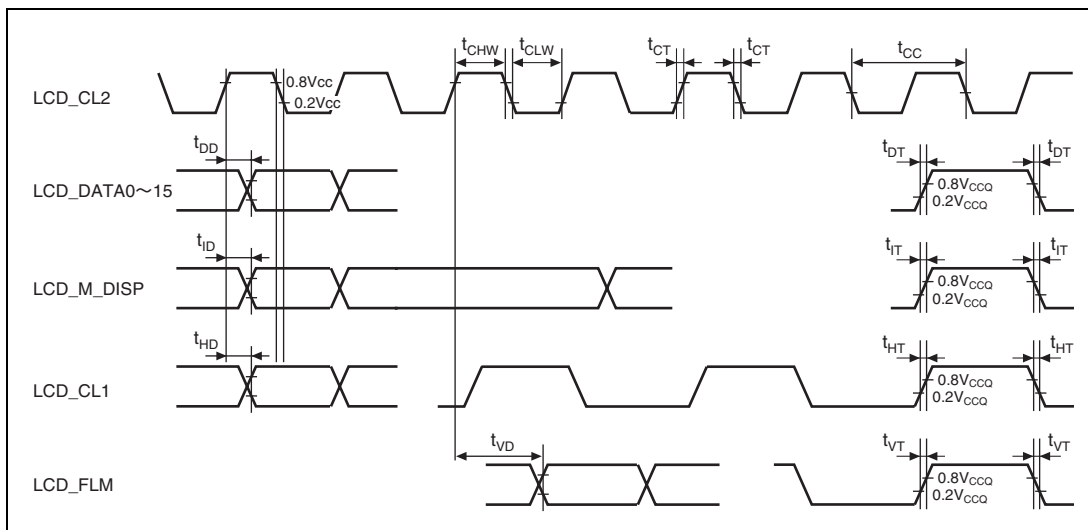


図 41.41 LCDC モジュール信号タイミング

41.14 シリアルサウンドインタフェース (SSI)

表 41.31 SSI インタフェース信号タイミング

条件：温度電圧共通条件、CL=30pF

項目	記号	Min.	Typ.	Max.	単位	備考	参考図
出力クロック周期	t_{O}	80	—	3364	ns	—	図 41.42
入力クロック周期	t_{I}	80	—	3364	ns	—	
クロック High 期間	t_{HC}	35	—	—	ns	双方向	
クロック Low 期間	t_{LC}	35	—	—	ns	双方向	
クロック立ち上がり時間	t_{RC}	—	—	20	ns	出力 (100pF)	
出力遅延	t_{D}	0	—	25	ns	—	図 41.43~ 図 41.48
セットアップ時間	t_{S}	17	—	—	ns	—	
ホールド時間	t_{H}	5	—	—	ns	—	
AUDIO_CLK 周波数	fAUDIO	3.072	—	24.576	MHz	—	図 41.49

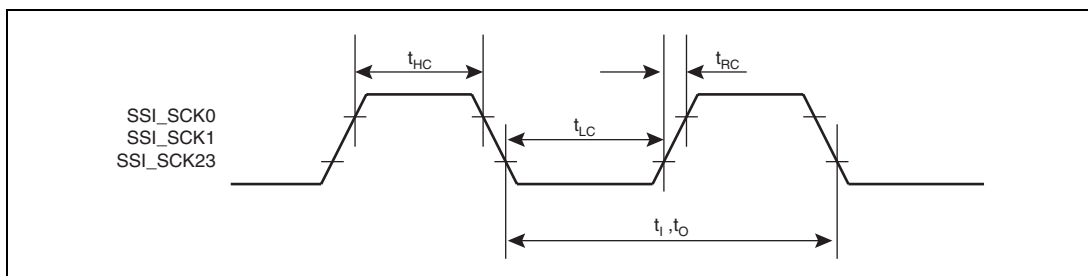


図 41.42 クロック入出力タイミング

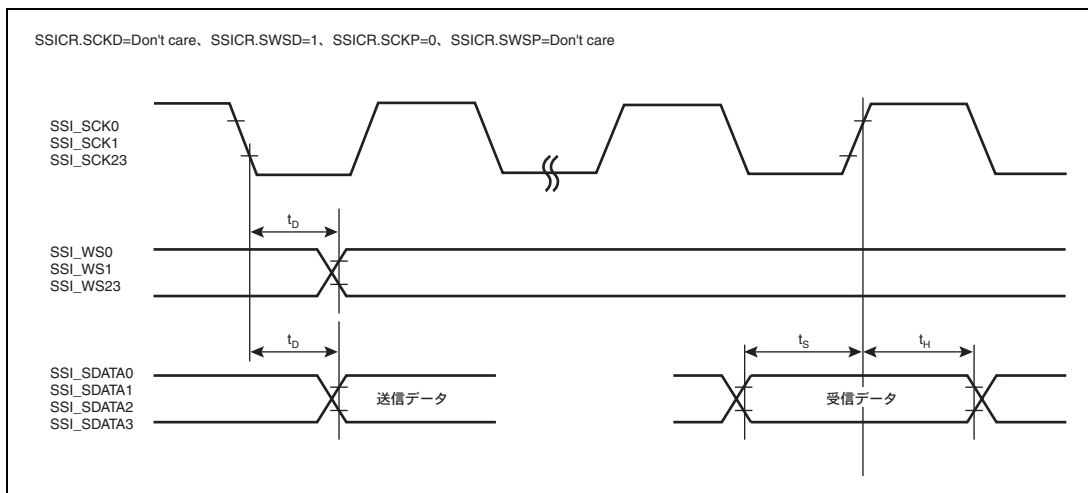


図 41.43 SSI タイミング (1) マスタモード、SSI_SCK 立ち上りでサンプリング

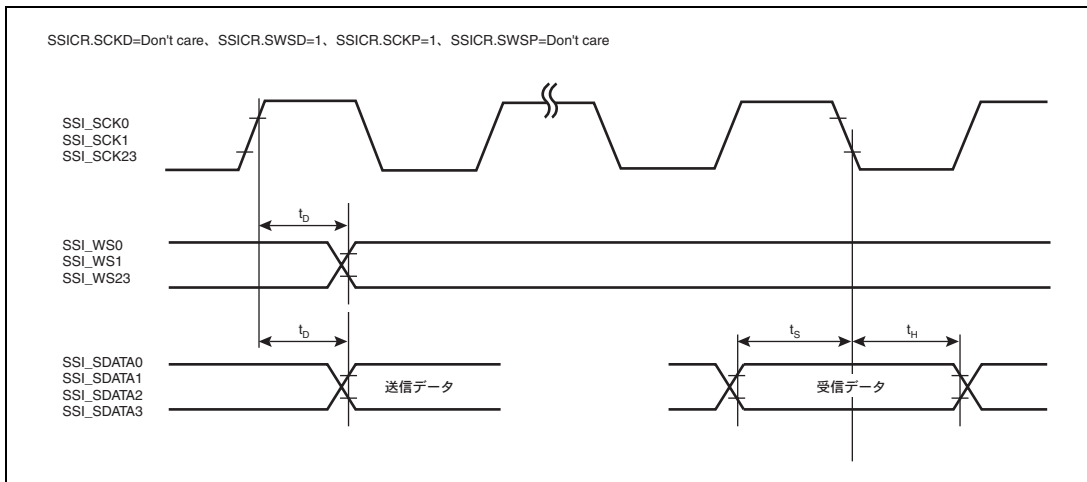


図 41.44 SSI タイミング (2) マスタモード、SSI_SCK 立ち下りでサンプリング

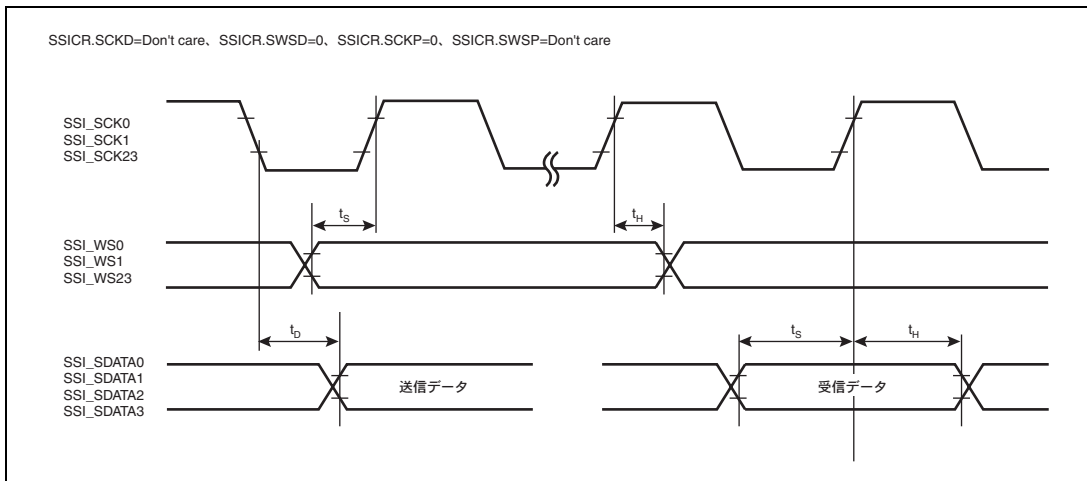


図 41.45 SSI タイミング (3) スレーブモード、SSI_SCK 立ち上りでサンプリング

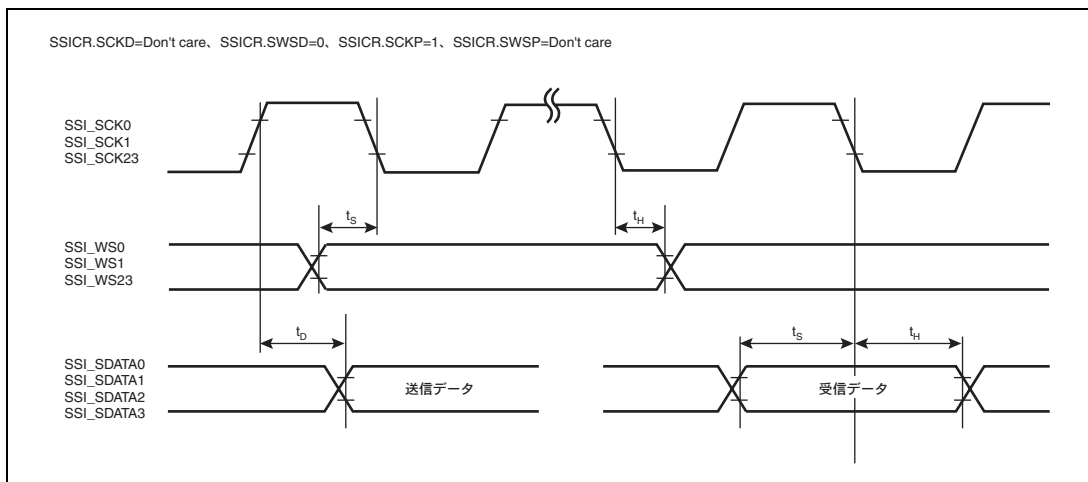


図 41.46 SSI タイミング (4) スレープモード、SSI_SCK 立ち下りでサンプリング

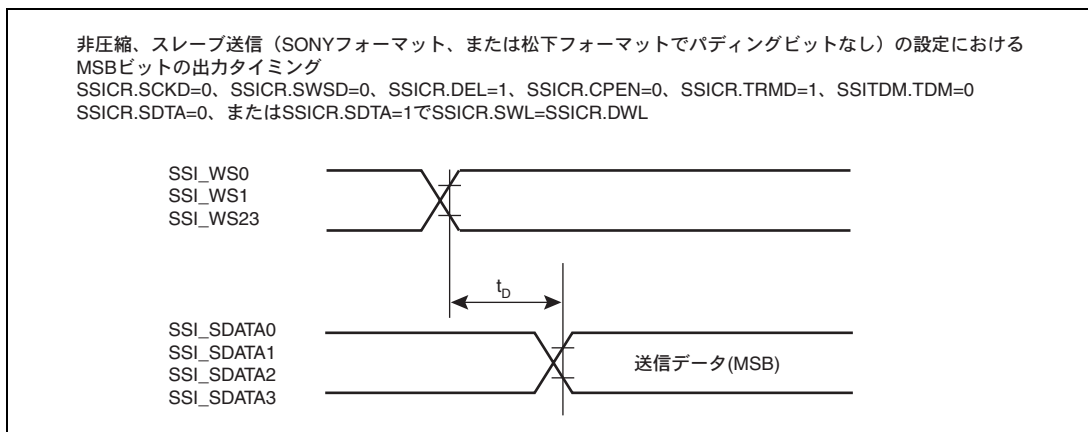


図 41.47 SSI タイミング (5) スレープモード (SONY/Panasonic フォーマット)

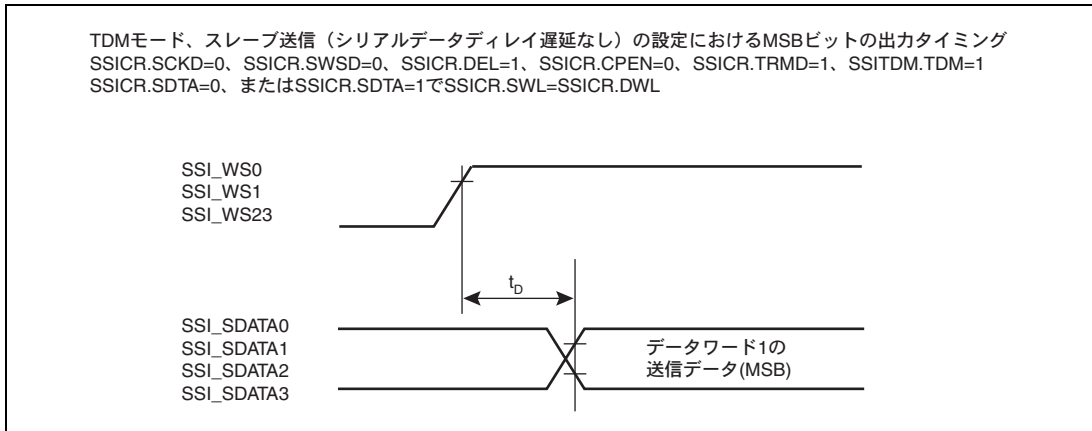


図 41.48 SSI タイミング (6) TDM モード

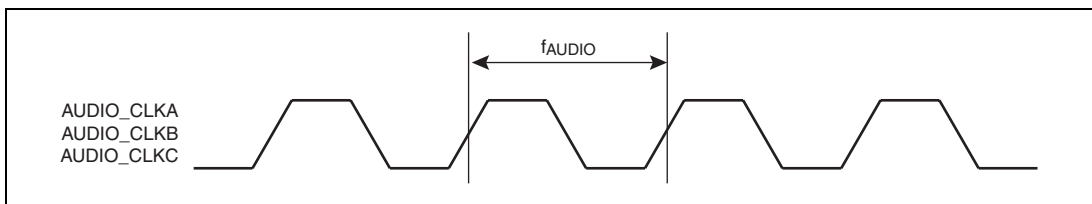
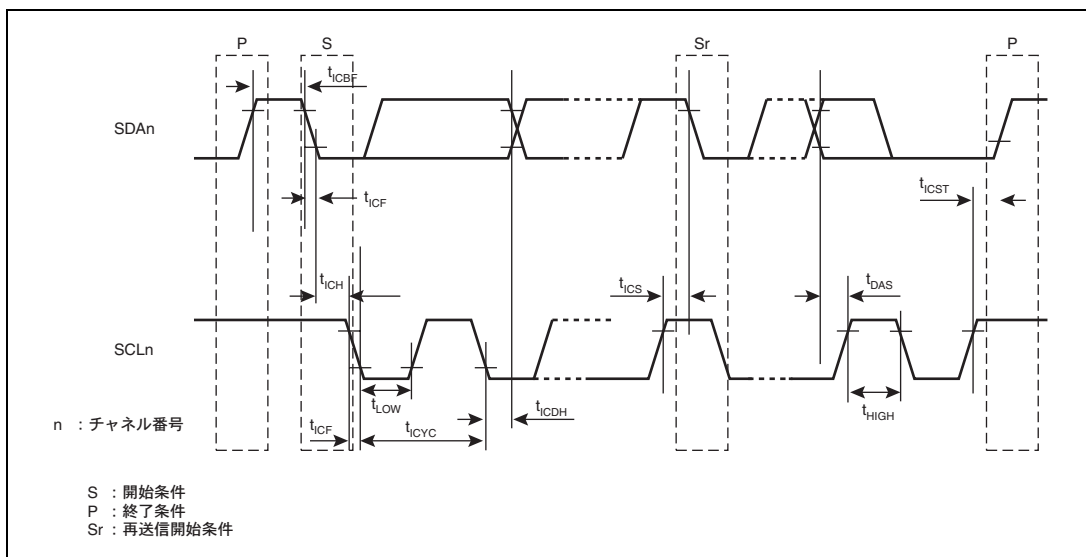


図 41.49 AUDIO_CLK タイミング

41.15 I²C バスインタフェース 3表 41.32 I²C 信号タイミング

条件：温度電圧共通条件、CL=400pF

項目	記号	Min.	Typ.	Max.	単位	参考図
I ² C_SCL 周波数	t _{ICYC}	—	—	400	kHz	図 41.50
I ² C_SCL ローレベル時間	t _{LOW}	1/(2×t _{ICYC})-100	—	—	ns	
I ² C_SCL ハイレベル時間	t _{HIGH}	600	—	—	ns	
I ² C_SCL/I ² C_SDA 立ち下がり時間	t _{ICF}	—	—	250	ns	
I ² C_SDA バスフリー時間	t _{ICBF}	1300	—	—	ns	
I ² C_SCL START 条件ホールド時間	t _{ICH}	600	—	—	ns	
I ² C_SCL 繰り返し START 条件セットアップ時間	t _{ICS}	600	—	—	ns	
I ² C_SDA STOP 条件セットアップ時間	t _{ICST}	600	—	—	ns	
I ² C_SDA セットアップ時間	t _{DAS}	100	—	—	ns	
I ² C_SDA ホールド時間	t _{ICDH}	0	—	900	ns	

図 41.50 I²C 信号タイミング

41.16 シリアルペリフェラルインタフェース (HSPI)

表 41.33 HSPI タイミング

条件：温度電圧共通条件、CL=30pF

モード	項目	記号	Min.	Typ.	Max.	単位	参考図
MASTER	HSPI クロックサイクル	tSPICYC	—	—	clkp/8	MHz	図 41.51
	HSPI クロックハイ幅	tSPIHW	4clkp	—	—	ns	
	HSPI クロックロー幅	tSPILW	4clkp	—	—	ns	
	HSPI TX セットアップ時間	tsUSPITX	20	—	—	ns	
	HSPI TX 遅延時間	tdSPITX	—	—	20	ns	
	HSPI RX セットアップ時間	tsUSPIRX	20	—	—	ns	
	HSPI RX ホールド時間	thLSPIRX	20	—	—	ns	
SLAVE	HSPI クロックサイクル	tSPICYC	—	—	clkp/8	MHz	図 41.51
	HSPI クロックハイ幅	tSPIHW	4clkp	—	—	ns	
	HSPI クロックロー幅	tSPILW	4clkp	—	—	ns	
	HSPI TX 遅延時間	tdSPITX	—	—	3clkp + 20	ns	
	HSPI RX セットアップ時間	tsUSPIRX	20	—	—	ns	
	HSPI RX ホールド時間	thLSPIRX	1clkp + 5	—	—	ns	
	HSPI CS リード時間	tCSLEAD	—	—	3clkp + 20	ns	

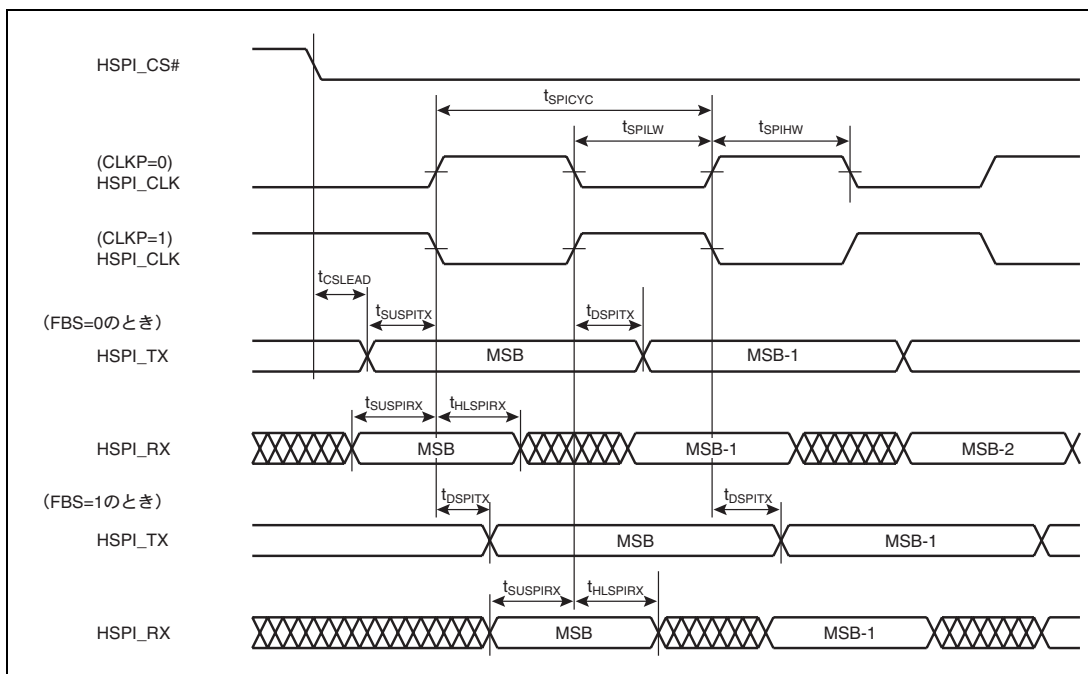


図 41.51 HSPI タイミング

41.17 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 41.34 SCIF 信号タイミング

条件：温度電圧共通条件、CL=30pF

項目	記号	Min.	Typ.	Max.	単位	参考図
入力クロックサイクル (調歩同期)	tscyC	4	—	—	tcyc	図 41.52
入力クロックサイクル (クロック同期)	tscyC	8	—	—	tcyc	
入力クロックパルス幅	tsckw	0.4	—	0.6	tscyC	
入力クロック立ち上がり時間	tsckr	—	—	0.8	tcyc	
入力クロック立ち下がり時間	tsckf	—	—	0.8	tcyc	
送信データ遅延時間	tTXD	—	—	4	tcyc	図 41.53
受信データセットアップ時間 (クロック同期)	trXS	4	—	—	tcyc	
受信データホールド時間 (クロック同期)	trXH	1	—	—	tcyc	

【注】 tcycはIOクロック (clkp) の1サイクル時間を示します。

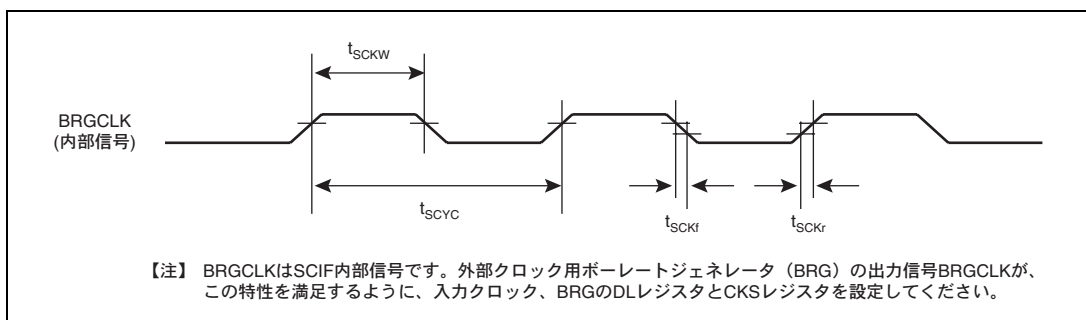


図 41.52 入力クロックタイミング

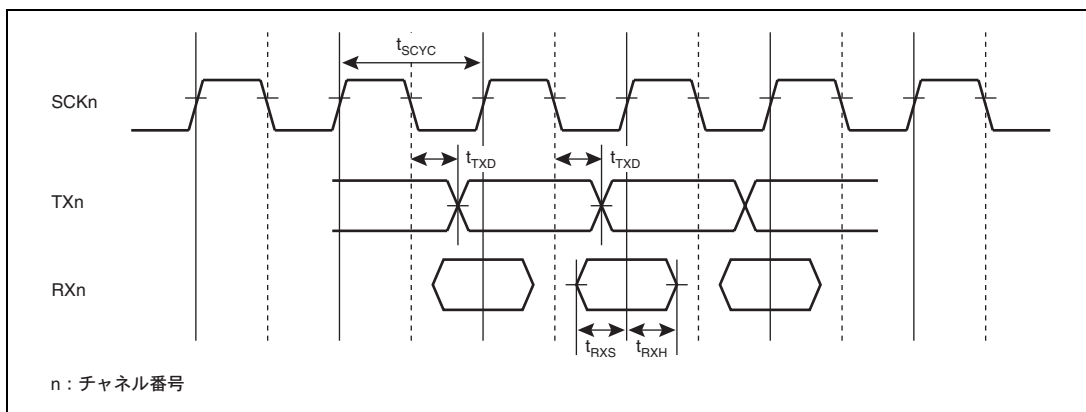


図 41.53 クロック同期式モード時の入出カタイミグ

41.18 IrDA

電気的特性に関しては、SCIF を参照してください。

41.19 ルネサスシリアルペリフェラルインタフェース

表 41.35 ルネサスシリアルペリフェラルインタフェースタイミング

条件：温度電圧共通条件

項 目		記号	Min.	Max.	単位	参照図	
RSPCK クロックサイクル	マスタ	tSPcyc	1	2048	tclkp	図 41.54	
	スレーブ		4	2048			
RSPCK クロックハイレベルパルス幅	マスタ	tSPCKWH	0.4	—	tSPcyc		
	スレーブ		0.4	—			
RSPCK クロックローレベルパルス幅	マスタ	tSPCKWL	0.4	—	tSPcyc		
	スレーブ		0.4	—			
データ入力セットアップ時間	マスタ	tsu	15	—	ns		図 41.55～図 41.58
	スレーブ		0	—			
データ入力ホールド時間	マスタ	tH	0	—	ns		
	スレーブ		2	—			
SSL セットアップ時間	マスタ	tLEAD	1	8	tSPcyc		
	スレーブ		2	—		tclkp	
SSL ホールド時間	マスタ	tLAG	1	8	tSPcyc		
	スレーブ		2	—		tclkp	
データ出力遅延時間	マスタ	tOD	—	11	ns		
	スレーブ		—	2		tclkp	
データ出力ホールド時間	マスタ	tOH	0	—	ns		
	スレーブ		1	—		tclkp	
連続送信遅延時間	マスタ	tTD	$1 \times tSPcyc + 1 \times tclkp$	$8 \times tSPcyc + 1 \times tclkp$	ns		
	スレーブ		$2 \times tclkp$	—			
スレーブアクセス時間		tSA	—	2	tclkp	図 41.57、図 41.58	
スレーブ出力解放時間		tREL	—	2	tclkp		

【注】 tclkp : Min.=20ns (50MHz)

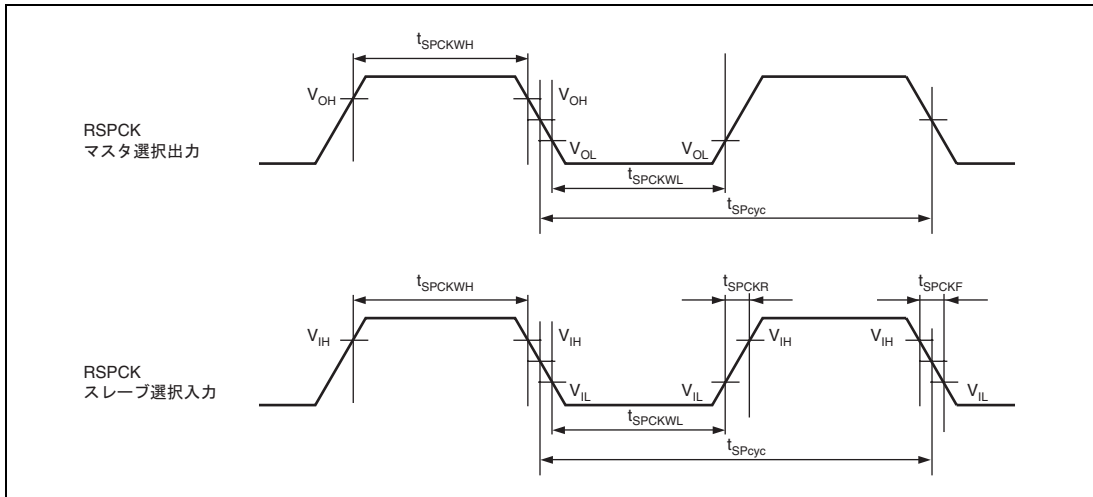


図 41.54 クロックタイミング

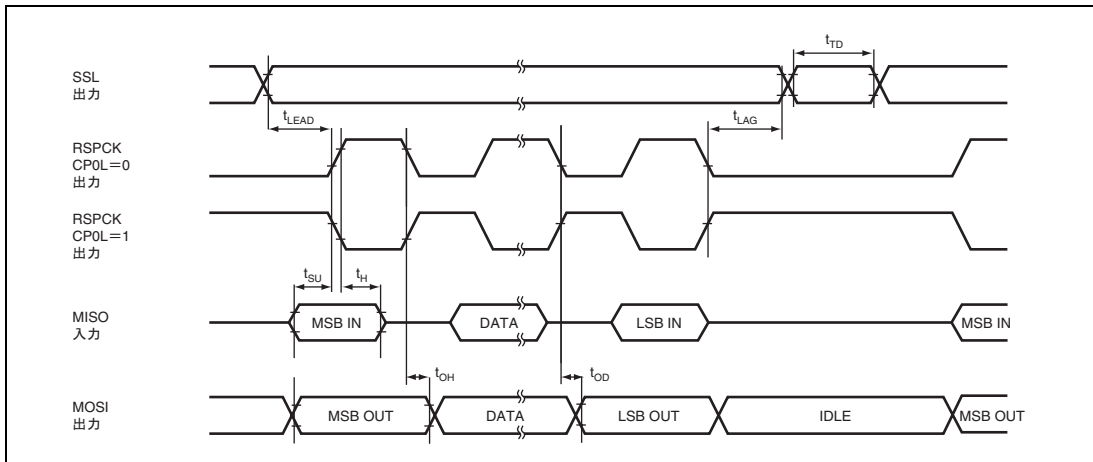


図 41.55 送受信タイミング (マスタ、CPHA=0)

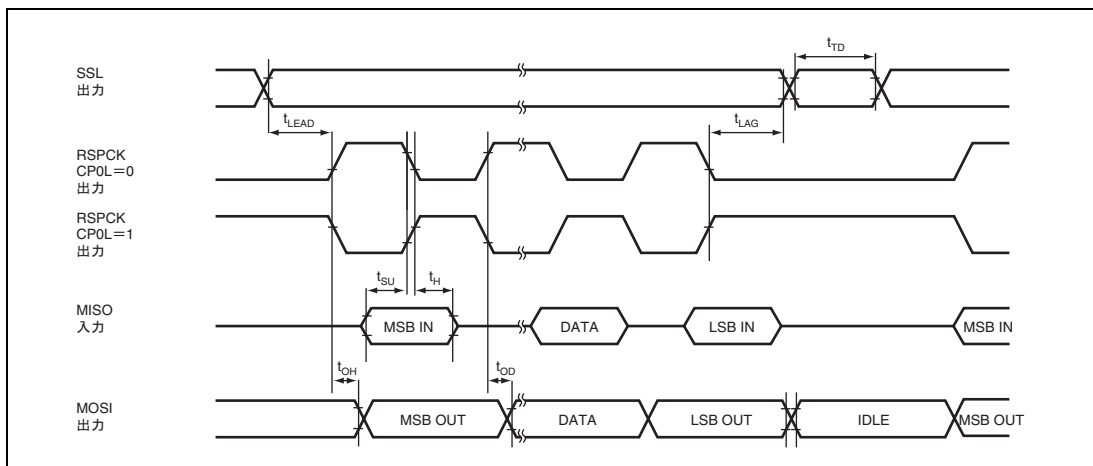


図 41.56 送受信タイミング (マスタ、CPHA=1)

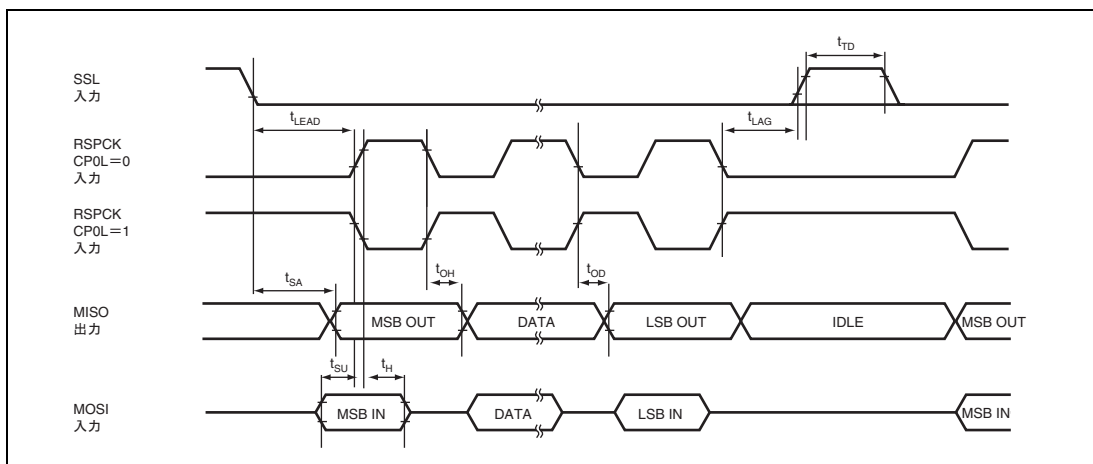


図 41.57 送受信タイミング (スレーブ、CPHA=0)

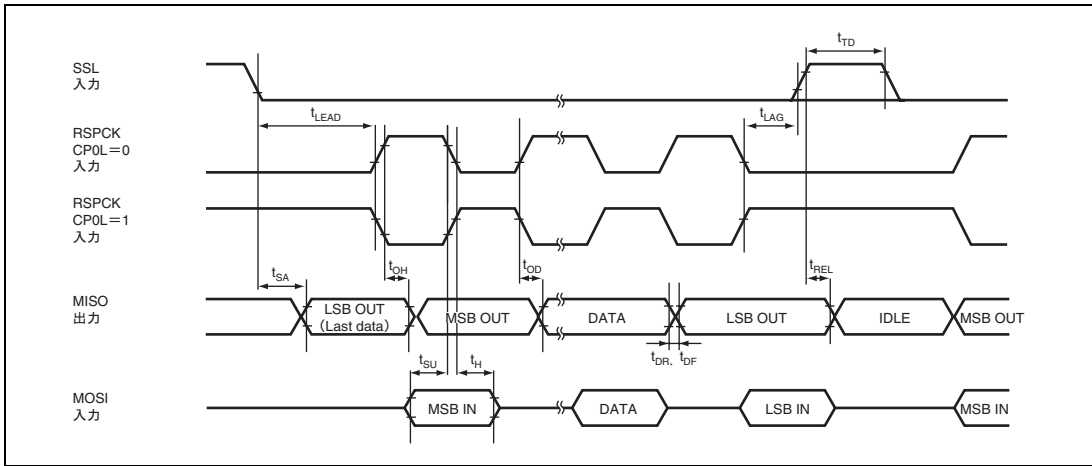


図 41.58 送受信タイミング (スレーブ、CPHA=1)

41.20 ホストインタフェース (HIF)

表 41.36 HIF モジュール信号タイミング

条件：温度電圧共通条件

項目	記号	min	max	単位	参照図
リードバスサイクル時間	t_{HIFCYCR}	6.0	—	t_{psyc}	図 41.59
ライトバスサイクル時間	t_{HIFCYCW}	6.0	—	t_{psyc}	
アドレスセットアップ時間	t_{HIFAS}	1.0	—	t_{psyc}	
アドレスホールド時間	t_{HIFAH}	1.0	—	t_{psyc}	
リードロー幅 (リード時)	t_{HIFWRL}	3.0	—	t_{psyc}	
ライトロー幅 (ライト時)	t_{HIFWWL}	3.0	—	t_{psyc}	
リード/ライトハイ幅	t_{HIFWRWH}	3.0	—	t_{psyc}	
読み出しデータ遅延時間	t_{HIFRDD}	—	$2 \times t_{\text{psyc}} + 10$	ns	
読み出しデータホールド時間	t_{HIFRDH}	0	—	ns	
書き込みデータセットアップ時間	t_{HIFWDS}	$t_{\text{psyc}} + 10$	—	ns	
書き込みデータホールド時間	t_{HIFWDH}	10	—	ns	
HIFINT 出力遅延時間	t_{HIFITD}	—	20	ns	図 41.60
HIFDREQ 出力遅延時間	t_{HIFDQD}	—	20	ns	
HIFRDY 出力遅延時間 (MD0=0)	t_{HIFRYD}	—	3100	t_{psyc}	図 41.61
HIFRDY 出力遅延時間 (MD0=1)	t_{HIFRYD}	—	61000	t_{psyc}	
HIF 端子イネーブル遅延時間	t_{HIFEBD}	—	20	ns	
HIF 端子ディスエーブル遅延時間	t_{HIFDBD}	—	20	ns	

- 【注】
- t_{psyc} は周辺クロック (Pφ) の周期を示します。
 - t_{HIFAS} は、 $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号、または $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間の開始に対して規定されます。
 - t_{HIFAH} は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号、または $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間の終了に対して規定されます。
 - t_{HIFWRL} 期間は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号の LOW 期間のオーバーラップ期間で規定されます。
 - t_{HIFWWL} 期間は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間で規定されます。

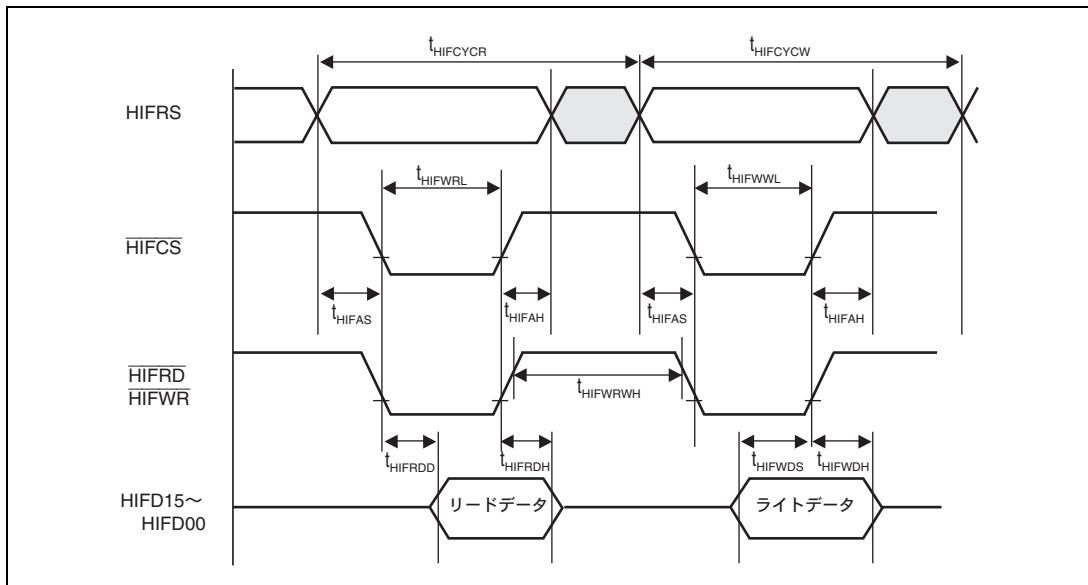


図 41.59 HIF アクセスタイミング

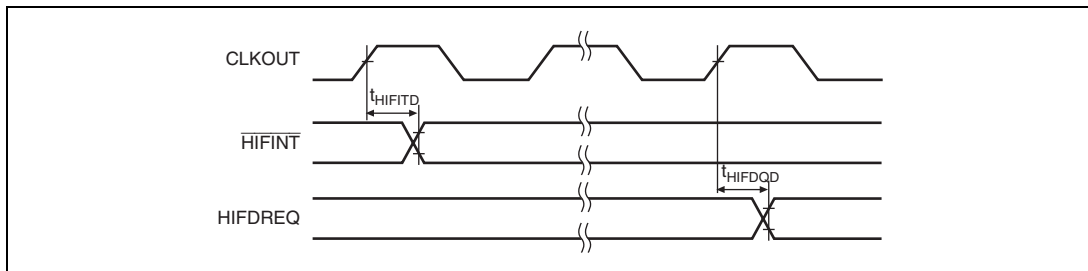


図 41.60 HIFINT、HIFDREQ タイミング

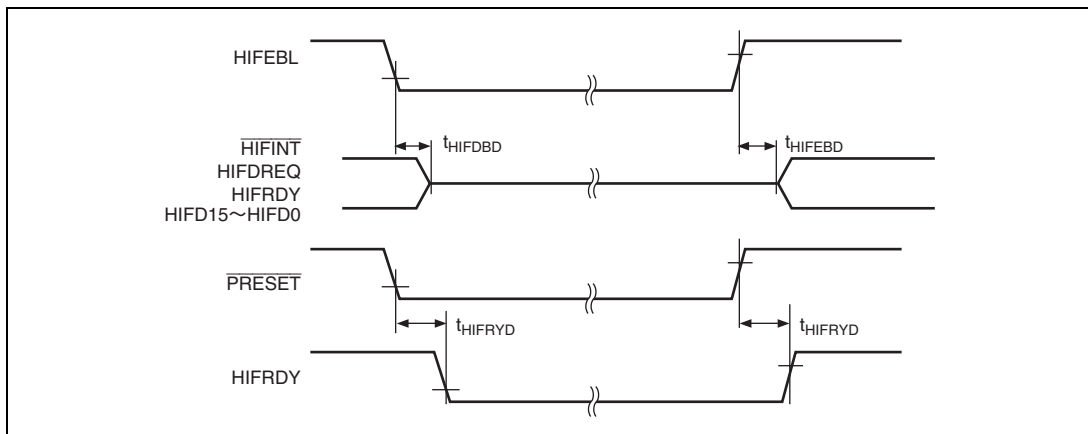


図 41.61 HIFRDY、HIF 端子イネーブル/ディスエーブルタイミング

41.21 USB

41.21.1 High Speed トランシーバ特性

表 41.37 High Speed トランシーバ特性

条件 : VDD=VDD-PLL=AV12=1.15~1.3V、
VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V、
VSS=VSS-PLL=AG=AVSS=0V
温度は共通温度条件

項目		記号	Min.	Typ.	Max.	単位	備考
入力 特性	入力コモンモード電圧範囲	VHSCM	-50	—	500	mV	
	差動入力電位	V _{diff}	150	—	—	mV	
	スケルチ検出電圧	VHSSQ	100	—	150	mV	
	ディスコネクト電圧	VHSDSQ	525	—	625	mV	
出力 特性	アイドル状態出力電圧	VHSOI	-10	—	10	mV	
	"H"出力電圧	VHSOH	360	—	440	mV	
	"L"出力電圧	VHSOL	-10	—	10	mV	
	チャープJ出力電圧 (差動電圧)	VCHIRPJ	700	—	1100	mV	
	チャープK出力電圧 (差動電圧)	VCHIRPK	-900	—	-500	mV	
	データ転送速度	THSDRAT	479.76	480	480.24	Mb/s	

41.21.2 Full/Low Speed トランシーバ特性

表 41.38 Full/Low Speed トランシーバ特性 (入力側)

条件 : VDD=VDD-PLL=AV12=1.15~1.3V、
VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V、
VSS=VSS-PLL=AG=AVSS=0V
温度は共通温度条件

項目		記号	Min.	Typ.	Max.	単位	備考
入力 特性	入力電圧	V _{IH}	20	—	—	V	
		V _{IL}	—	—	0.8	V	
	差動入力感度	V _{DI}	0.2	—	—	V	D+ - D-
	差動入力コモンモードレンジ	V _{CM}	0.8	—	2.5	V	

表 41.39 Full/Low Speed トランシーバ特性 (出力側)

条件 : $VDD=VDD-PLL=AV12=1.15\sim 1.3V$ 、
 $VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V$ 、
 $VSS=VSS-PLL=AG=AVSS=0V$
 温度は共通温度条件

項目		記号	Min.	Typ.	Max.	単位	備考	
出力特性	出力電圧	V_{OH}	2.8	—	VCC	V		
		V_{OL}	—	—	0.3	V		
	Low Speed Mode (図 41.62)	立ち上がり時間*	TR	75	—	300	ns	
		立ち下がり時間*	TF	75	—	300	ns	
		マッチング	T_{RFM}	80	—	125	%	
		クロスオーバー電圧	T_{CRS}	1.3	—	2.0	V	
	Full Speed Mode (図 41.63)	立ち上がり時間*	TR	4	—	20	ns	
		立ち下がり時間*	TF	4	—	20	ns	
マッチング		T_{RFM}	90	—	111.1	%		
クロスオーバー電圧		T_{CR}	1.3	—	2.0	V		

【注】 * 10%レベルから90%レベルまでの時間 (図 41.64)

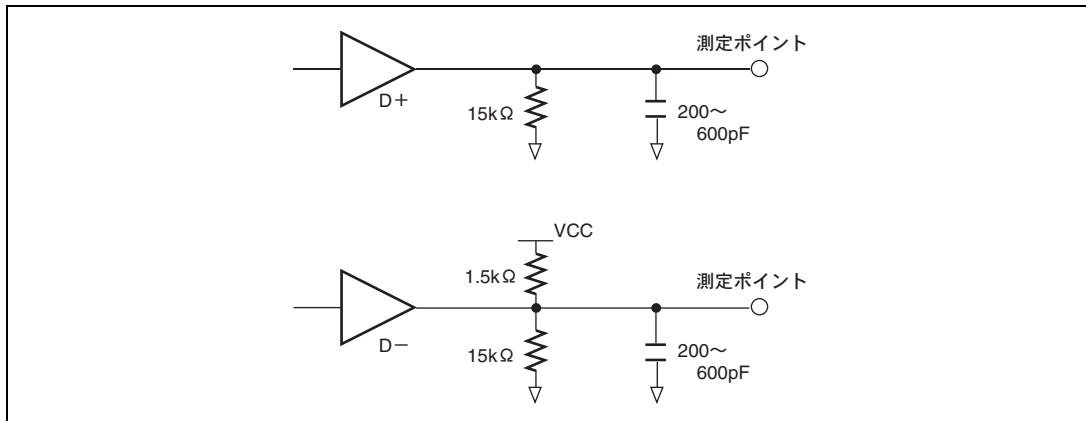


図 41.62 Low Speed Mode 負荷条件

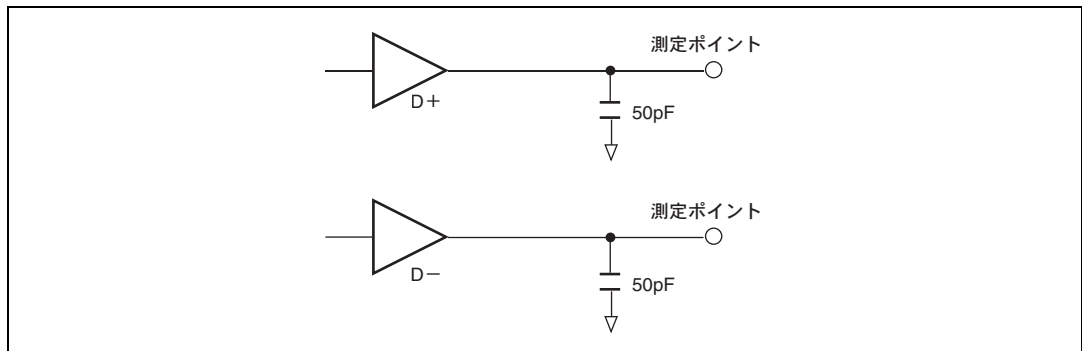


図 41.63 Full Speed Mode 負荷条件

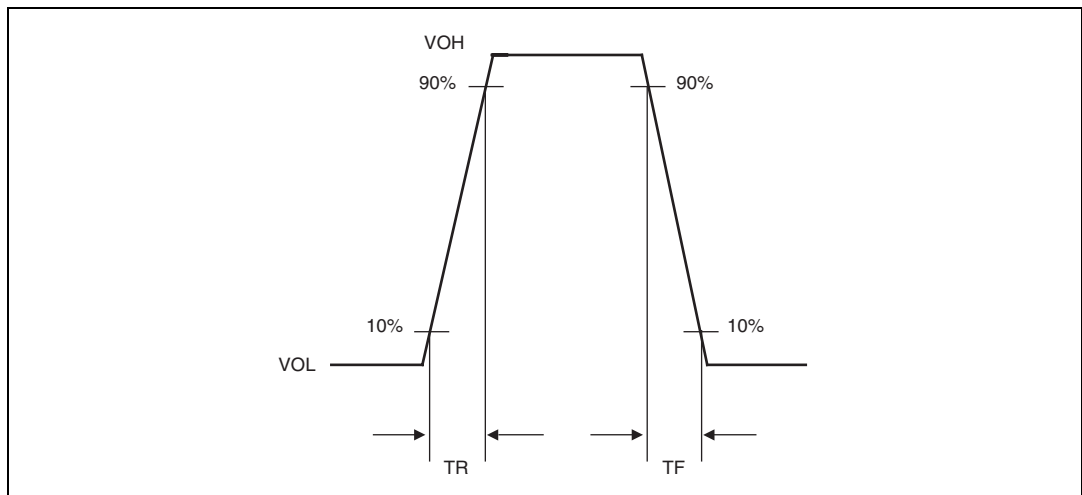


図 41.64 TR、TF 測定タイミング

41.21.3 ドライバ出力インピーダンス特性

表 41.40 ドライバ出力インピーダンス特性

条件 : VDD=VDD-PLL=AV12=1.15~1.3V、
 VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V、
 VSS=VSS-PLL=AG=AVSS=0V
 温度は共通温度条件

項目	記号	Min.	Typ.	Max.	単位	備考	
出カインピーダンス	R _O	40.5	45.0	49.5	Ω		
内蔵 DP プルアップ抵抗	アイドル時	R _{PU}	0.9	—	1.575	kΩ	
	受信時	R _{PU}	1.425	—	3.09	kΩ	
内蔵プルダウン抵抗	R _{PD}	14.25	—	24.80	kΩ		
外部リファレンス抵抗	R _{REF}	5.544	5.6	5.656	kΩ	±1%	

41.21.4 外部クロック精度

表 41.41 外部クロック精度

条件 : VDD=VDD-PLL=AV12=1.15~1.3V、
 VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V、
 VSS=VSS-PLL=AG=AVSS=0V
 温度は共通温度条件

項目	記号	Min.	Typ.	Max.	単位	備考
外部クロック精度 (USBCLK)	—	47.981	48.000	48.019	MHz	周波数偏差±100ppm 以下

41.21.5 VBUS 端子 DC 特性

表 41.42 VBUS 端子 DC 特性

条件 : VDD=VDD-PLL=AV12=1.15~1.3V、
 VCCQ=VCC=VCCQ-PLL=AV33=AVCC=AVREF=3.3V、
 VSS=VSS-PLL=AG=AVSS=0V
 温度は共通温度条件

項目	記号	Min.	Typ.	Max.	単位	備考
VBUS 入力電圧	V _{IH}	4.35	—	5.25	V	
	V _{IL}	—	—	1.0	V	

41.22 GETHER モジュール信号タイミング

(1) イーサネットコントローラタイミング (MII)

表 41.43 イーサネットコントローラタイミング (MII)

条件：温度電圧共通条件、IOセルは 6mA 選択

項目	記号	Min.	Typ.	Max.	単位	参照図
ETn_TX-CLK サイクル時間	t_{Teyc}	40	—	—	ns	図 41.65
ETn_TX-EN 出力遅延時間	t_{TEND}	3	—	20		
ETn_ETXD[3:0]出力遅延時間	t_{ETDD}	3	—	20		
ETn_RX-CLK サイクル時間	t_{Rcyc}	40	—	—		図 41.66
ETn_RX-DV セットアップ時間	t_{RDVS}	10	—	—		
ETn_RX-DV ホールド時間	t_{RDVH}	3	—	—		
ETn_ERXD[3:0]セットアップ時間	t_{ERDS}	10	—	—		
ETn_ERXD[3:0]ホールド時間	t_{ERDH}	3	—	—		
ETn_RX-ER セットアップ時間	t_{RERS}	10	—	—		
ETn_RX-ER ホールド時間	t_{RERH}	3	—	—	図 41.67	
ETn_WOL 出力遅延時間	t_{WOLD}	1	—	18		図 41.68

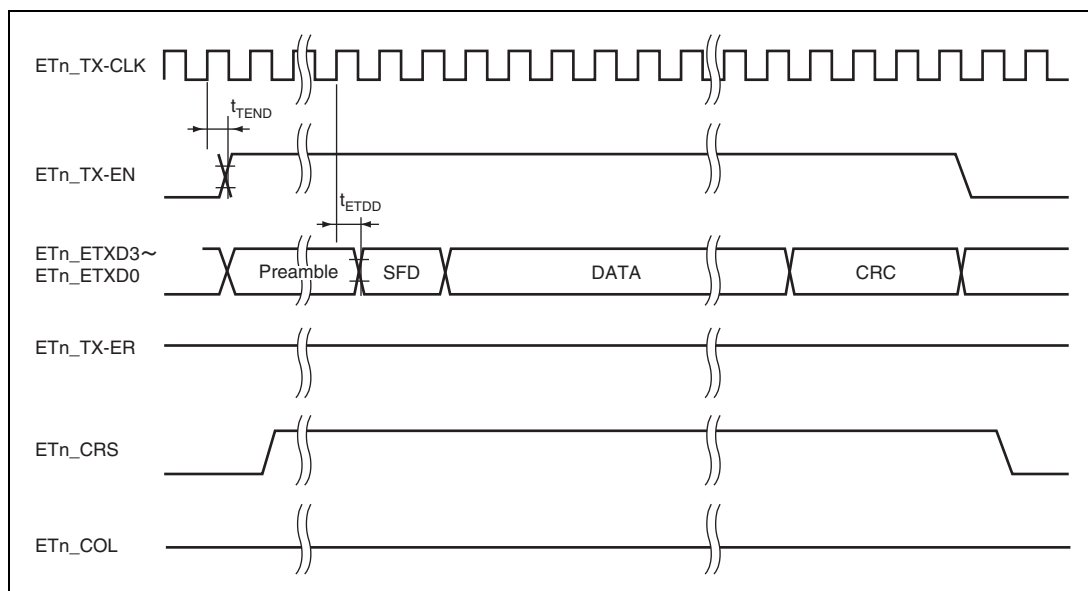


図 41.65 MII 送信タイミング (正常動作時)

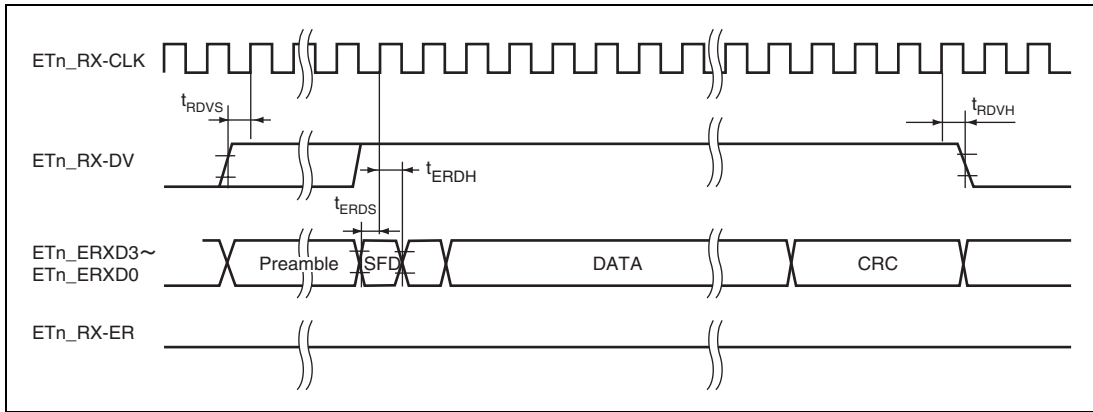


図 41.66 MII 受信タイミング (正常動作時)

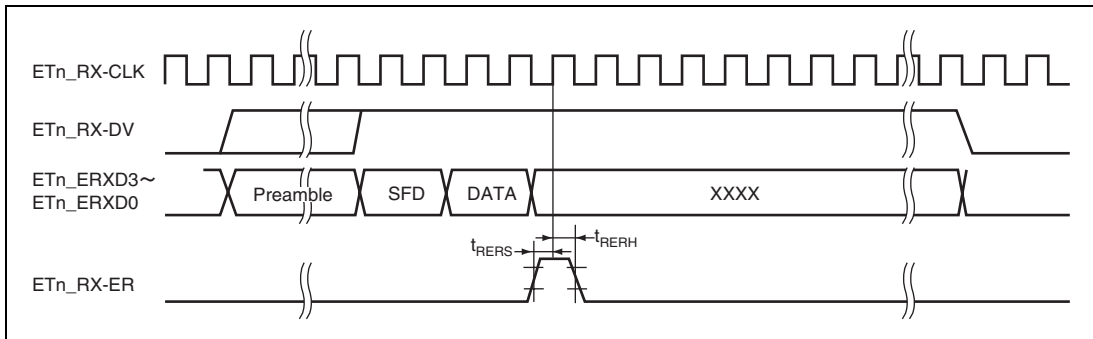


図 41.67 MII 受信タイミング (エラー発生ケース)

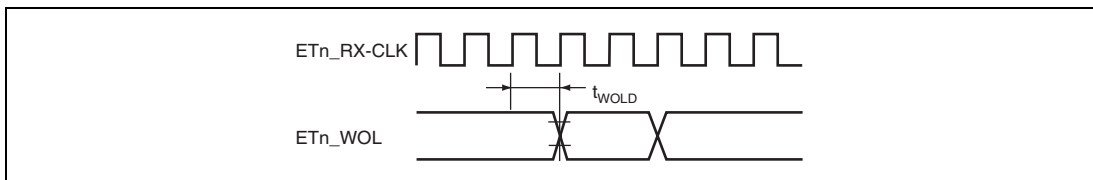


図 41.68 WOL 出力タイミング

(2) イーサネットコントローラタイミング (GMII)

表 41.44 イーサネットコントローラタイミング (GMII)

条件：温度電圧共通条件、IOセルは 8mA 選択限定

項目	記号	Min.	Typ.	Max.	単位	参照図
REF125CK クロック入力周波数	$f_{REF125CK}$	125 – 100ppm	—	125 + 100ppm	MHz	
GETn_GTX_CLK サイクル時間	t_{GTcyC}	8	—	—	ns	図 41.69
ETn_TX-EN 出力遅延時間	t_{GTEND}	0.5	—	5.5		
GETn_ETXD7~GETn_ETXD4、 ETn_ETXD3~ETn_ETXD0 出力遅延時間	t_{GETDD}	0.5	—	5.5		
ETn_RX-CLK サイクル時間	t_{GRcyC}	8	—	—		図 41.70
ETn_RX-DV セットアップ時間	t_{GRDVS}	2	—	—		
ETn_RX-DV ホールド時間	t_{GRDVH}	0	—	—		
GETn_ERXD7~GETn_ERXD4、 ETn_ERXD3~ETn_ERXD0 セットアップ時間	t_{GERDS}	2	—	—		
GETn_ERXD7~GETn_ERXD4、 ETn_ERXD3~ETn_ERXD0 ホールド時間	t_{GERDH}	0	—	—		
ETn_RX-ER セットアップ時間	t_{GERS}	2	—	—		
ETn_RX-ER ホールド時間	t_{GERRH}	0	—	—		図 41.71
ETn_WOL 出力遅延時間	t_{GWOLD}	0	—	18		図 41.72

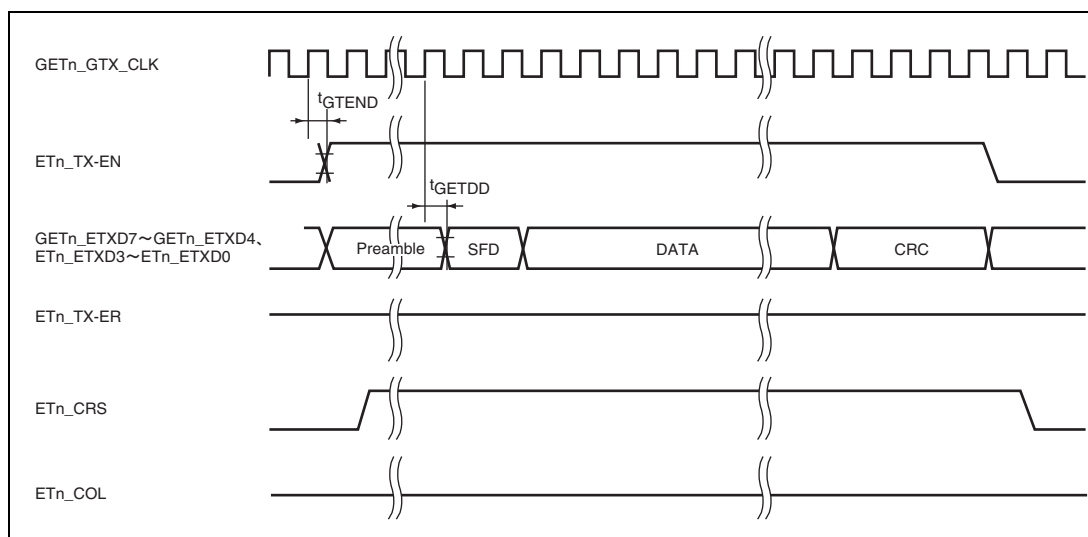


図 41.69 GMII 送信タイミング (正常動作時)

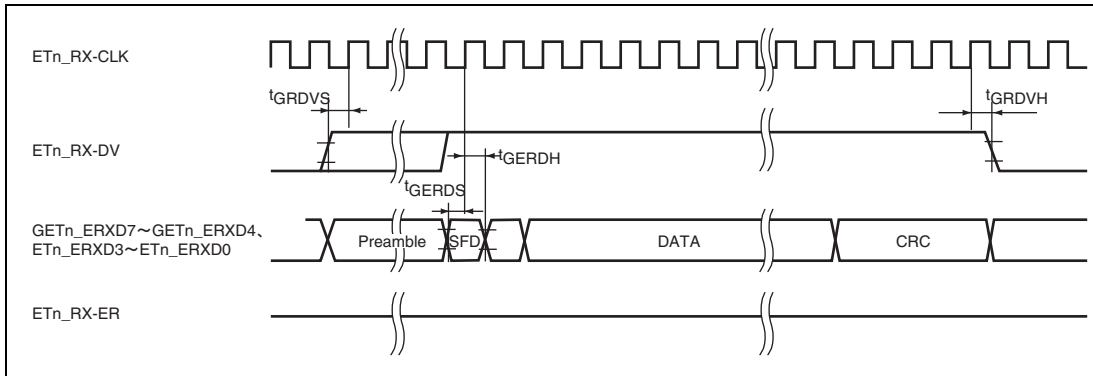


図 41.70 GMII 受信タイミング (正常動作時)

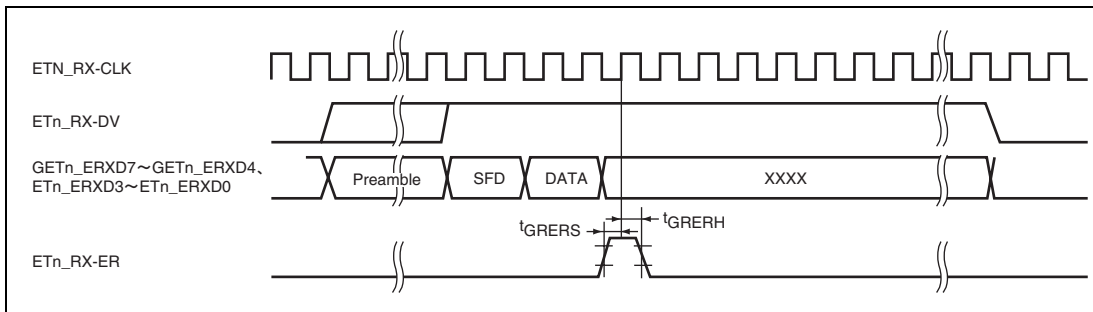


図 41.71 GMII 受信タイミング (エラー発生ケース)

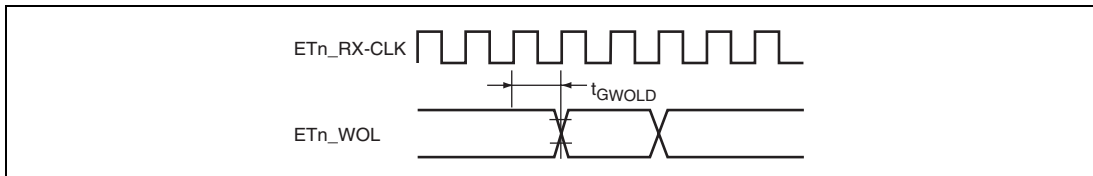


図 41.72 WOL 出カタイミング

(3) イーサネットコントローラタイミング (RMII)

表 41.45 イーサネットコントローラタイミング (RMII)

条件：温度電圧共通条件、IOセルは6mA選択

項目	記号	Min.	Typ.	Max.	単位	参照図
REF50CK クロック入力周波数	f_{RT0yc}	50 – 50ppm	—	50 + 50ppm	MHz	図 41.73
RMII _n _TXD_EN、RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5	—	11	ns	
RMII _n _TXD1、RMII _n _TXD0、RMII1M_TXD1、 RMII1M_TXD0 出力遅延時間	t_{RETDD}	2.5	—	11		図 41.74
RMII _n _CRS_DV、RMII1M_CRS_DV セットアップ 時間	t_{RRDVS}	4	—	—		
RMII _n _CRS_DV、RMII1M_CRS_DV ホールド時間	t_{RRDVH}	2.5	—	—		
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、 RMII1M_RXD0 セットアップ時間	t_{RERDS}	4	—	—		
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、 RMII1M_RXD0 ホールド時間	t_{RERDH}	2.5	—	—		
RMII _n _RX_ER セットアップ時間	t_{RERS}	4	—	—		図 41.75
RMII _n _RX_ER ホールド時間	t_{RERH}	2.5	—	—		

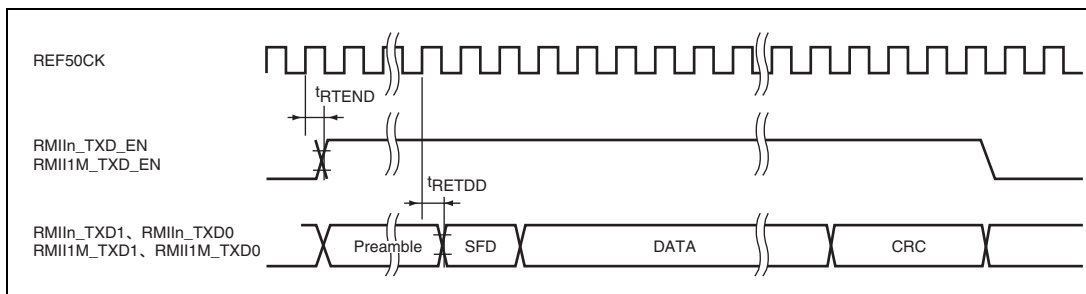


図 41.73 RMII 送信タイミング

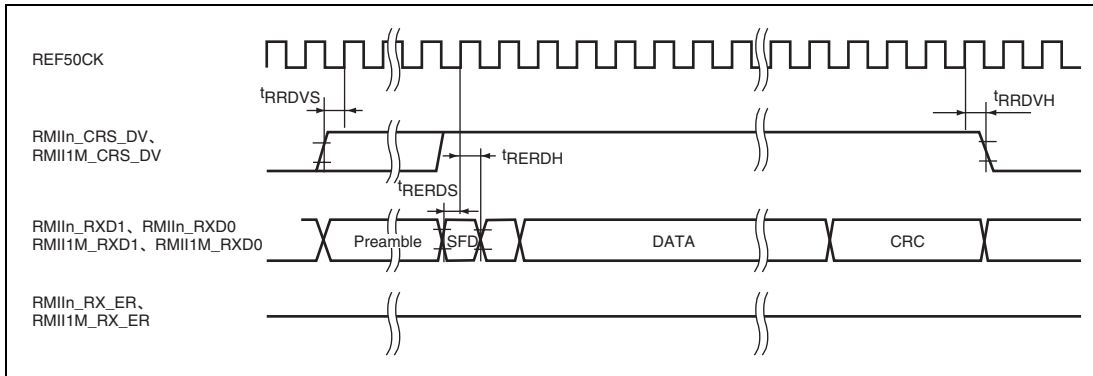


図 41.74 RMII 受信タイミング (正常動作時)

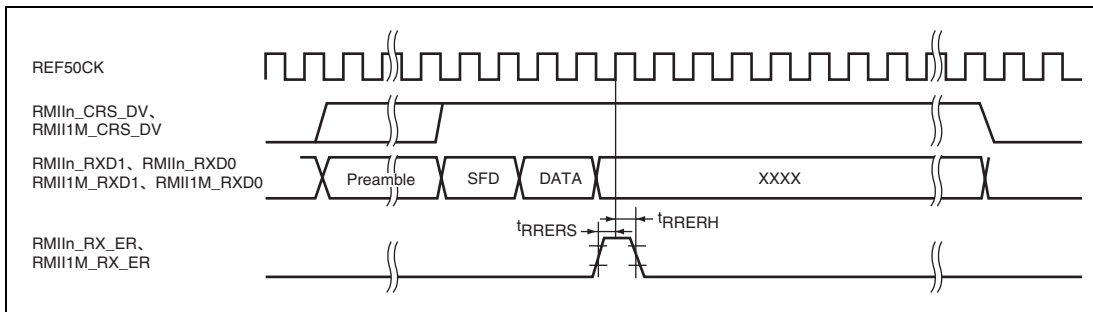


図 41.75 RMII 受信タイミング (エラー発生ケース)

41.23 TMU

表 41.46 TMU 信号タイミング

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	参照図
TCLK クロックサイクル	t _{TCLKCY}	4	—	16.37	t _{cy}	図 41.76

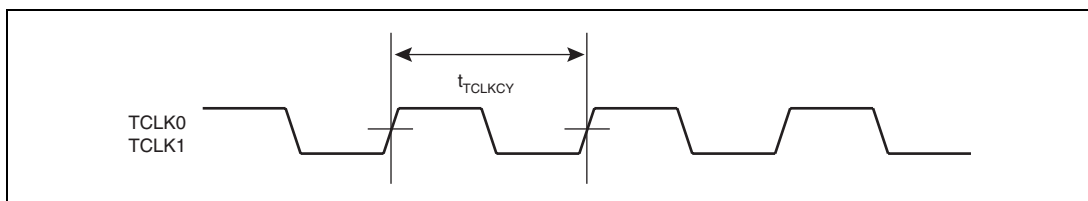
【注】 t_{cy}は、IO クロック (clkp) の 1 サイクル時間を示します。

図 41.76 TMU 信号タイミング

41.24 マルチファンクションタイムパルスユニット 2 タイミング

表 41.47 マルチファンクションタイムパルスユニット 2 タイミング

条件：温度電圧共通条件

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	t _{TOCD}	—	20	ns	図 41.77
インプットキャプチャ入力セットアップ時間	t _{TICS}	20	—	ns	
タイマ入力セットアップ時間	t _{TCKS}	20	—	ns	図 41.78
タイマクロックパルス幅 (単エッジ指定)	t _{TCKWH/L}	1.5	—	t _{pyc}	
タイマクロックパルス幅 (両エッジ指定)	t _{TCKWH/L}	2.5	—	t _{pyc}	
タイマクロックパルス幅 (位相計数モード)	t _{TCKWH/L}	2.5	—	t _{pyc}	

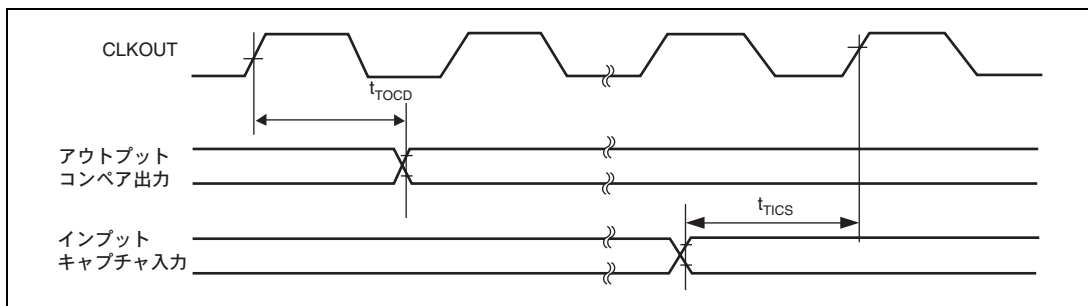
【注】 t_{pyc}は周辺クロック (Pφ) の周期を示します。

図 41.77 パルス入出力タイミング

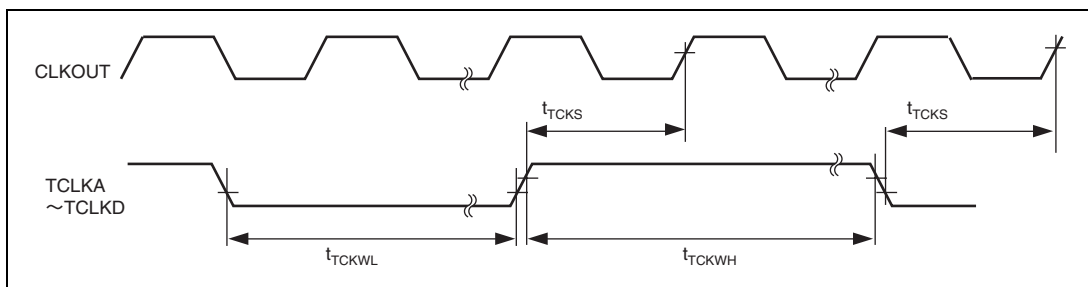


図 41.78 クロック入力タイミング

41.25 A/D 変換器タイミング

表 41.48 A/D 変換器タイミング

条件：温度電圧共通条件

モジュール	項目	記号	Min.	Max.	単位	参照図	
A/D 変換器	トリガ入力セット アップ時間	S : P クロック比=1 : 1	tTRGS	17	—	ns	図 41.79
		S : P クロック比=2 : 1		$t_{cyc} + 17$	—		
		S : P クロック比=4 : 1		$3 \times t_{cyc} + 17$	—		

【注】 S=clks1、P=clkp1

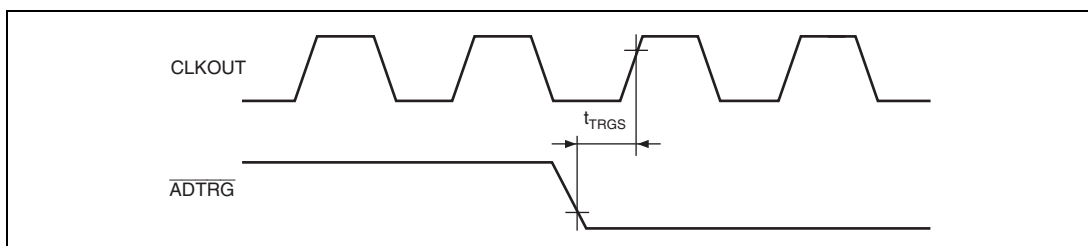


図 41.79 A/D 変換器外部トリガ入力タイミング

41.26 A/D 変換器特性

表 41.49 A/D 変換器特性

条件：温度電圧共通条件

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	6	—	—	μ s
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	$\pm 5.0^*$	LSB
オフセット誤差	—	—	$\pm 2.0^*$	LSB
フルスケール誤差	—	—	$\pm 2.0^*$	LSB
量子化誤差	—	—	$\pm 0.5^*$	LSB
絶対精度	—	—	± 5.0	LSB

【注】 * 参考値

41.27 マルチメディアカードインタフェース (MMC)

表 41.50 MMC 信号タイミング

条件：温度電圧共通条件、CL=Max.30pF

項目	記号	Min.	Max.	単位	参照図
MMC_CLK クロックサイクル	t _{MMCCYC}	2×t _{PCYC}	—	ns	図 41.80
MMC_CMD 出力データセットアップ	t _{MMCCMDS}	4	—	ns	
MMC_CMD 出力データホールド	t _{MMCCMDH}	4	—	ns	
MMC_D 出力データセットアップ	t _{MMCDADS}	4	—	ns	
MMC_D 出力データホールド	t _{MMCDADH}	4	—	ns	
MMC_CMD 入力データセットアップ	t _{MMCCMS}	5	—	ns	
MMC_CMD 入力データホールド	t _{MMCCMH}	2	—	ns	
MMC_D 入力データセットアップ	t _{MMCDAS}	5	—	ns	
MMC_D 入力データホールド	t _{MMCDAH}	2	—	ns	

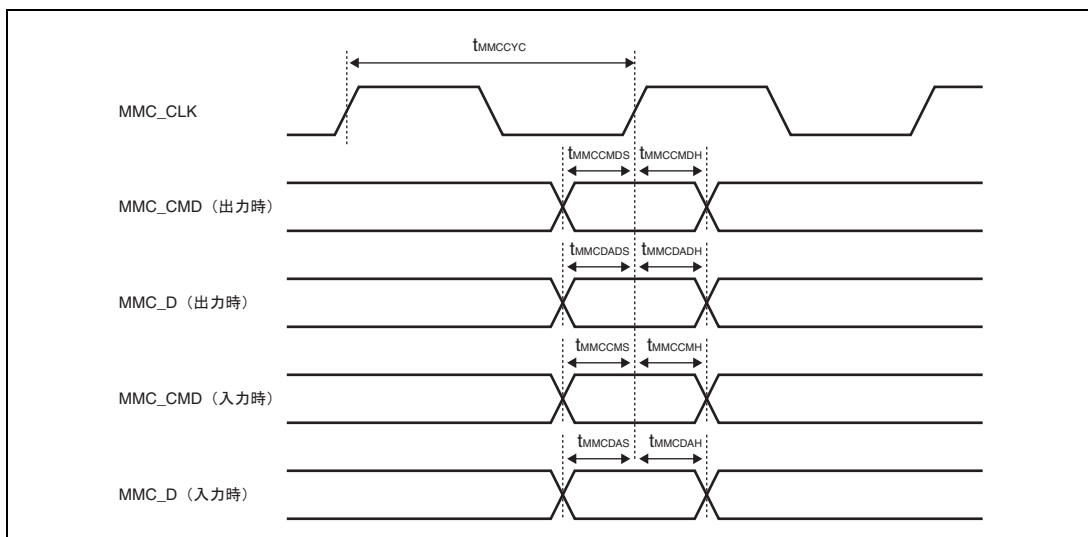
【注】 t_{PCYC} は、clk_{s1} の 1 サイクル時間を示します。

図 41.80 MMC 信号タイミング

41.28 NAND フラッシュメモリコントローラタイミング

表 41.51 NAND 型フラッシュメモリインタフェースタイミング

条件：温度電圧共通条件

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	tNCDS	$2 \times t_{f\text{cyc}} - 10$	—	ns	図 41.81、図 41.85
コマンド出力ホールド時間	tNC DH	$1.5 \times t_{f\text{cyc}} - 5$	—	ns	
データ出力セットアップ時間	tNDOS	$0.5 \times t_{w\text{f\text{cyc}}} - 5$	—	ns	図 41.81、図 41.82、 図 41.84、図 41.85
データ出力ホールド時間	tNDOH	$0.5 \times t_{w\text{f\text{cyc}}} - 10$	—	ns	
コマンドアドレス遷移時間 1	tNC DAD1	$1.5 \times t_{f\text{cyc}} - 10$	—	ns	図 41.81、図 41.82
コマンドアドレス遷移時間 2	tNC DAD2	$2 \times t_{f\text{cyc}} - 10$	—	ns	図 41.82
FWE サイクル時間	tNWC	$t_{w\text{f\text{cyc}}} - 5$	—	ns	図 41.82、図 41.84
FWE ローパルス幅	tNWP	$0.5 \times t_{w\text{f\text{cyc}}} - 5$	—	ns	図 41.81、図 41.82、 図 41.84、図 41.85
FWE ハイパルス幅	tNWH	$0.5 \times t_{w\text{f\text{cyc}}} - 5$	—	ns	
アドレスレディ/ビジー遷移時間	tNADR B	—	$32 \times t_{p\text{cyc}}$	ns	図 41.82、図 41.83
コマンドレディ/ビジー遷移時間	tNC DR B	—	$10 \times t_{p\text{cyc}}$	ns	図 41.82、図 41.83
レディ/ビジーデータリード遷移時間 1	tNR BDR1	$1.5 \times t_{f\text{cyc}}$	—	ns	図 41.83
レディ/ビジーデータリード遷移時間 2	tNR BDR2	$32 \times t_{p\text{cyc}}$	—	ns	
FRE サイクル時間	tNSCC	$t_{w\text{f\text{cyc}}} - 5$	—	ns	
FRE ローパルス幅	tNSP	$0.5 \times t_{w\text{f\text{cyc}}} - 5$	—	ns	図 41.83、図 41.85
FRE ハイパルス幅	tNSPH	$0.5 \times t_{w\text{f\text{cyc}}} - 5$	—	ns	図 41.83
リードデータセットアップ時間	tNRDS	16	—	ns	図 41.83、図 41.85
リードデータホールド時間	tNRDH	5	—	ns	図 41.83、図 41.85
データライトセットアップ時間	tNDWS	$32 \times t_{p\text{cyc}}$	—	ns	図 41.84
コマンドステータスリード遷移時間	tNCDSR	$4 \times t_{f\text{cyc}}$	—	ns	図 41.85
コマンド出力オフステータスリード遷移時間	tNCDFSR	$3.5 \times t_{f\text{cyc}}$	—	ns	
ステータスリードセットアップ時間	tNSTS	$2.5 \times t_{f\text{cyc}}$	—	ns	
FCE 出力セットアップ時間	tNCES	$8 \times t_{p\text{cyc}}$	—	ns	図 41.81
FCE 出力ホールド時間	tNCEH	$t_{p\text{cyc}}$	—	ns	図 41.84
FCE 出力アクセス時間	tNCEA	$6 \times t_{p\text{cyc}}$	—	ns	図 41.83
FCE 出力ハイホールド時間	tNCEOH	$2 \times t_{p\text{cyc}}$	—	ns	

【注】 $t_{f\text{cyc}}$ は FCLK の 1 サイクル時間になります。

$t_{w\text{f\text{cyc}}}$ は、NANDWF ビットが 0 の場合、FCLK の 1 サイクル時間に、NANDWF ビットが 1 の場合、FCLK の 2 サイクル時間になります。

$t_{p\text{cyc}}$ は周辺クロック (Pφ) の 1 サイクル時間を示します。

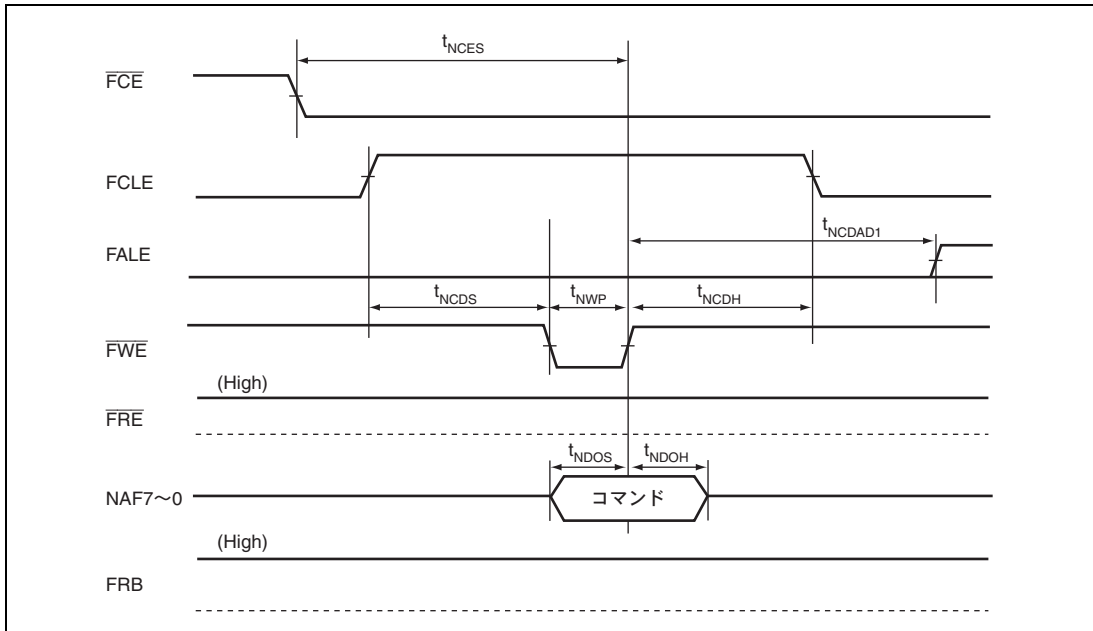


図 41.81 NAND 型フラッシュメモリのコマンド発行タイミング

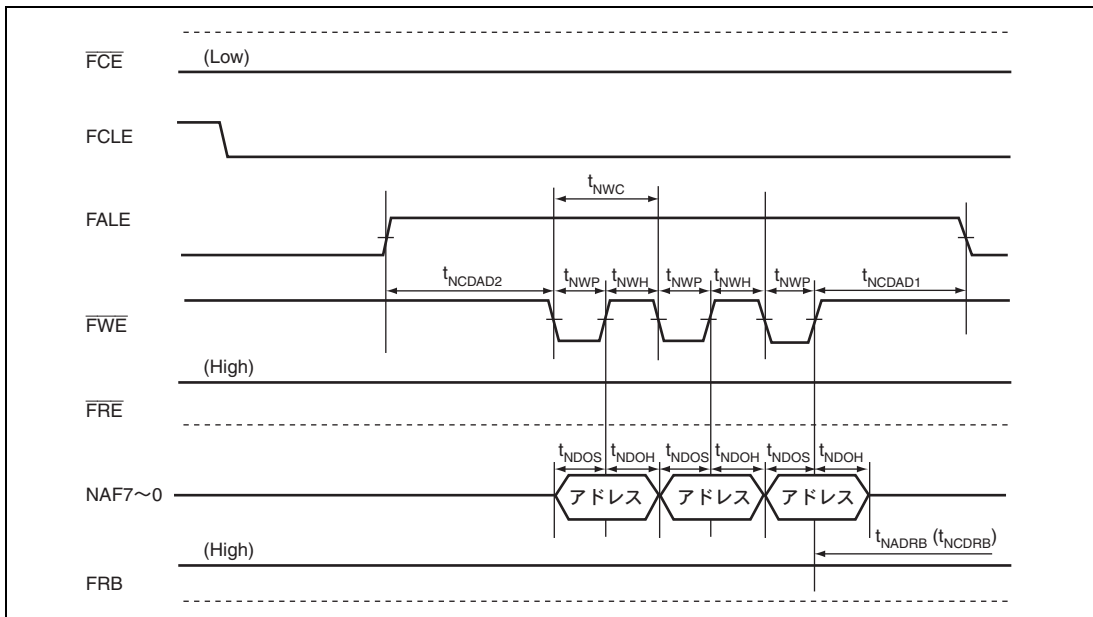


図 41.82 NAND 型フラッシュメモリのアドレス発行タイミング

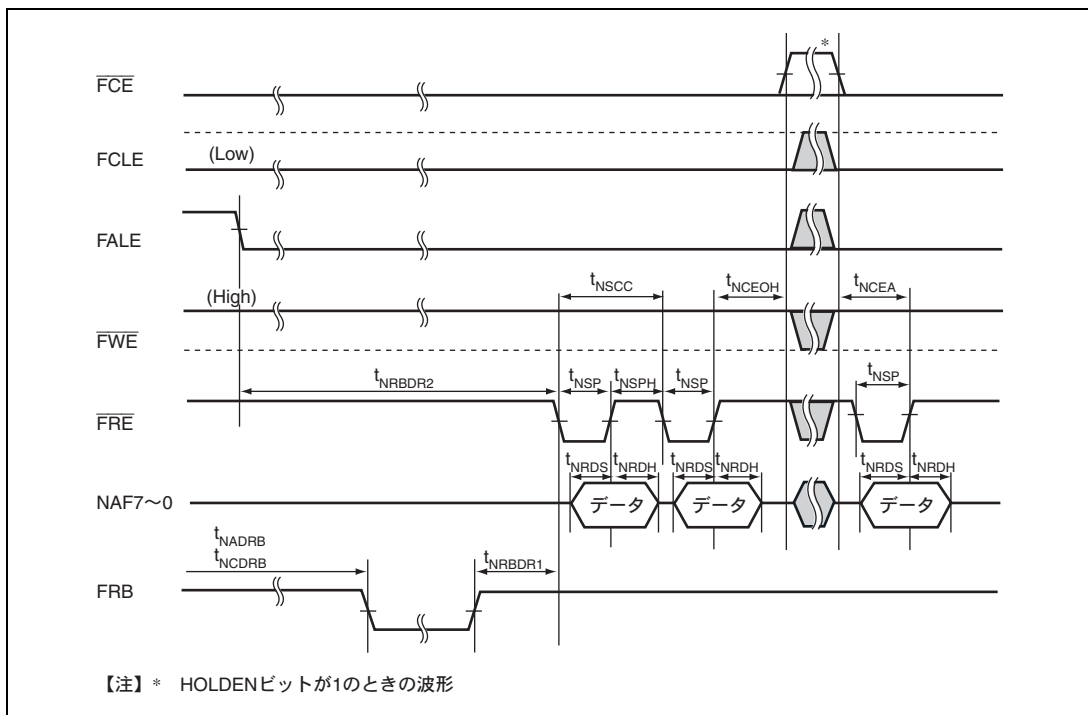


図 41.83 NAND 型フラッシュメモリのデータリードタイミング

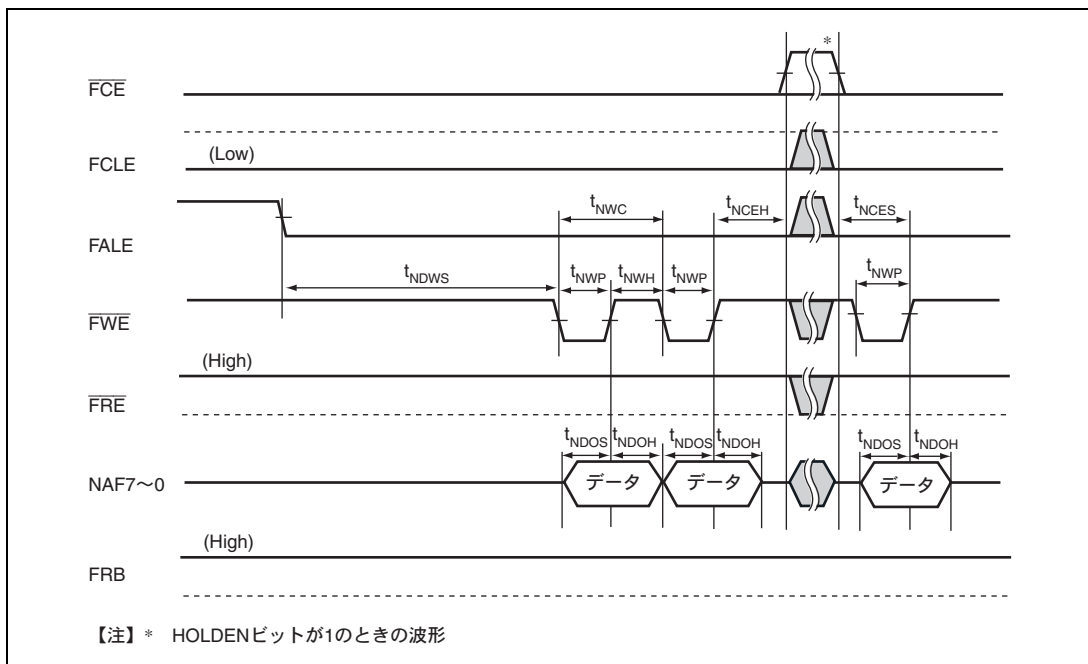


図 41.84 NAND 型フラッシュメモリのデータライトタイミング

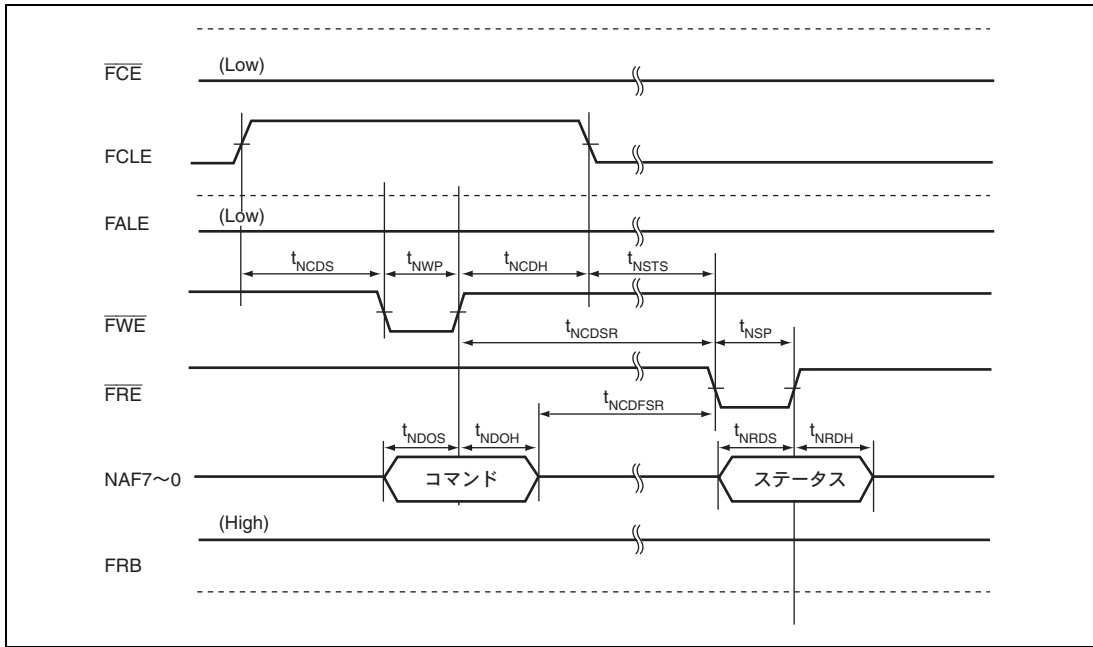


図 41.85 NAND 型フラッシュメモリのステータスリードタイミング

41.29 高速 FIFO 内蔵シリアルコミュニケーションインタフェース (HSCIF)

表 41.52 HSCIF 信号タイミング

条件：温度電圧共通条件

項目	記号	Min.	Typ.	Max.	単位	参考図
入力クロックサイクル (調歩同期)	tscyc	4	—	—	tscy	図 41.86
入力クロックパルス幅	tsckw	0.4	—	0.6	tsckw	
入力クロック立ち上がり時間	tsckr	—	—	0.8	tscy	
入力クロック立ち下がり時間	tsckf	—	—	0.8	tscy	

【注】 tscy は、SHwy-BUS 周波数 (clks) の 1 サイクル時間を示します。

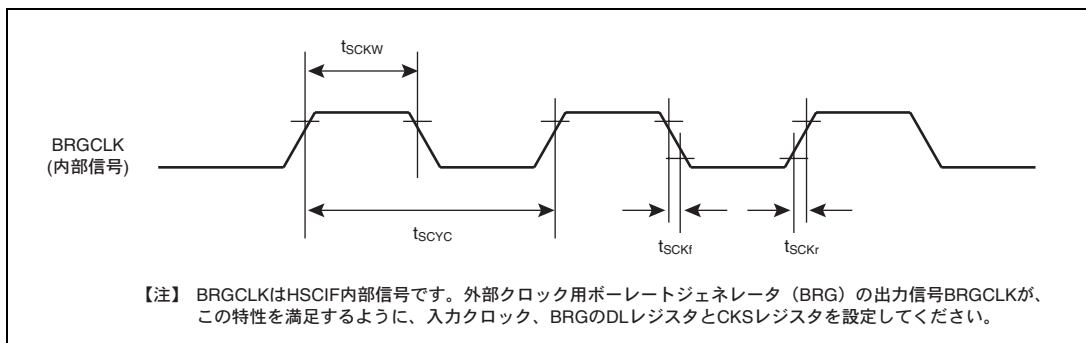


図 41.86 入力クロックタイミング

41.30 I/O ポートタイミング

表 41.53 I/O ポートタイミング

条件：温度電圧共通条件

項目	記号	min	max	単位	参照図
出力データ遅延時間	t_{PORTD}	—	100	ns	図 41.87
入力データセットアップ時間	t_{PORTS}	100	—	ns	
入力データホールド時間	t_{PORTH}	100	—	ns	

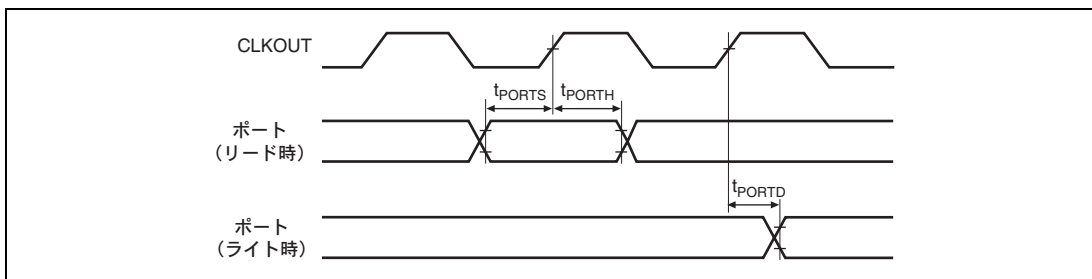


図 41.87 I/O ポートタイミング

41.31 H-UDI

表 41.54 H-UDI タイミング

条件：温度電圧共通条件、CL=30pF

項目	記号	Min.	Typ.	Max.	単位	参考図
入力クロック周期	t_{TCKcyc}	50*	—	—	ns	図 41.88
入力クロックパルス幅 (High)	t_{TCKH}	15	—	—	ns	
入力クロックパルス幅 (Low)	t_{TCKL}	15	—	—	ns	
入力クロック立ち上がり時間	t_{TCKr}	—	—	10	ns	
入力クロック立ち下がり時間	t_{TCKf}	—	—	10	ns	
TDI/TMS セットアップ時間	t_{TDIS}	15	—	—	ns	図 41.89
TDI/TMS ホールド時間	t_{TDIH}	15	—	—	ns	
TDO 出力遅延時間	t_{TDO}	0	—	14	ns	

【注】 * バウンダリスキャン動作時は、500ns (2MHz) となります。

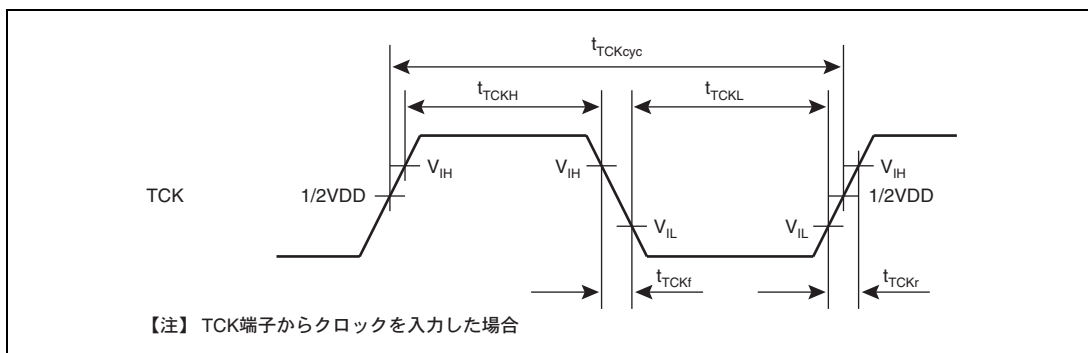


図 41.88 TCK 入力タイミング

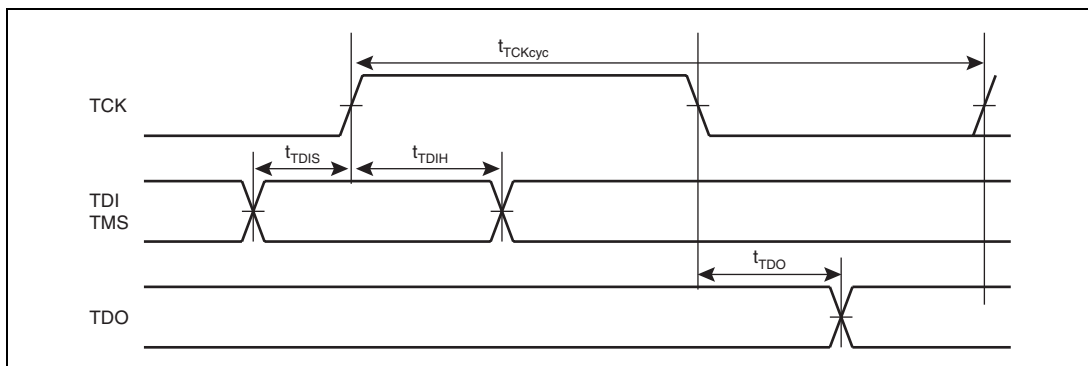


図 41.89 H-UDI データ転送タイミング

41.32 ルネサスクワッドシリアルペリフェラルインタフェースタイミング

表 41.55 ルネサスクワッドシリアルペリフェラルインタフェースタイミング

条件：温度電圧共通条件

項目	記号	Min.	Max.	単位	参照図
QSPCLK クロックサイクル	t_{QScyc}	2	4080	t_{cyc}	図 41.90
QSPCLK クロックハイレベルパルス幅	t_{SPCKWH}	0.4	—	t_{QScyc}	
QSPCLK クロックローレベルパルス幅	t_{SPCKWL}	0.4	—	t_{QScyc}	
データ入力セットアップ時間	t_{SU}	7	—	ns	図 41.91、 図 41.92
データ入力ホールド時間	t_H	0.0	—	ns	
SSL セットアップ時間	t_{LEAD}	1.5	8.5	t_{QScyc}	
SSL ホールド時間	t_{LAG}	1	8	t_{QScyc}	
データ出力遅延時間	t_{OD}	—	10.0	ns	
データ出力ホールド時間	t_{OH}	-1.4	—	ns	
連続転送遅延時間	t_{TD}	1	8	t_{QScyc}	

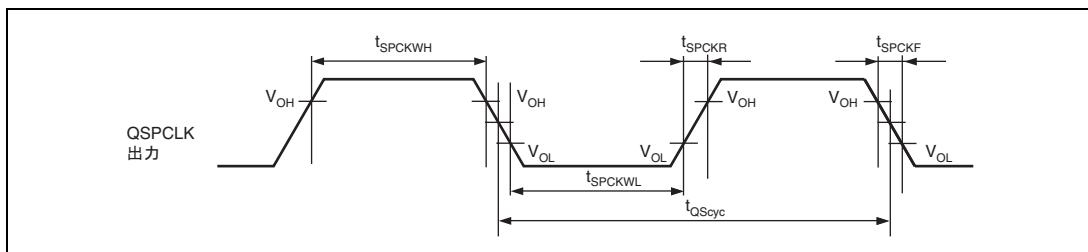
【注】 t_{cyc} は clk_{s1} の 1 サイクル時間を示します。

図 41.90 クロックタイミング

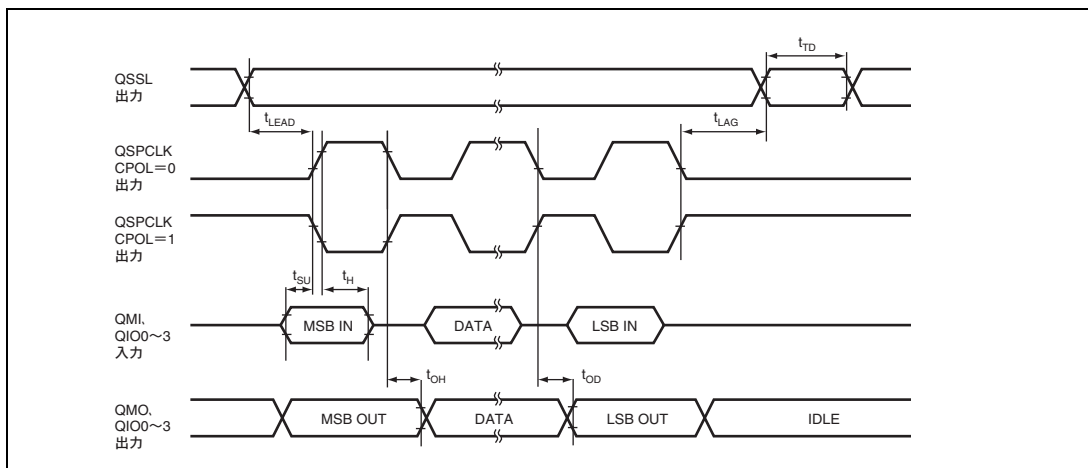


図 41.91 送受信タイミング (CPHA=0)

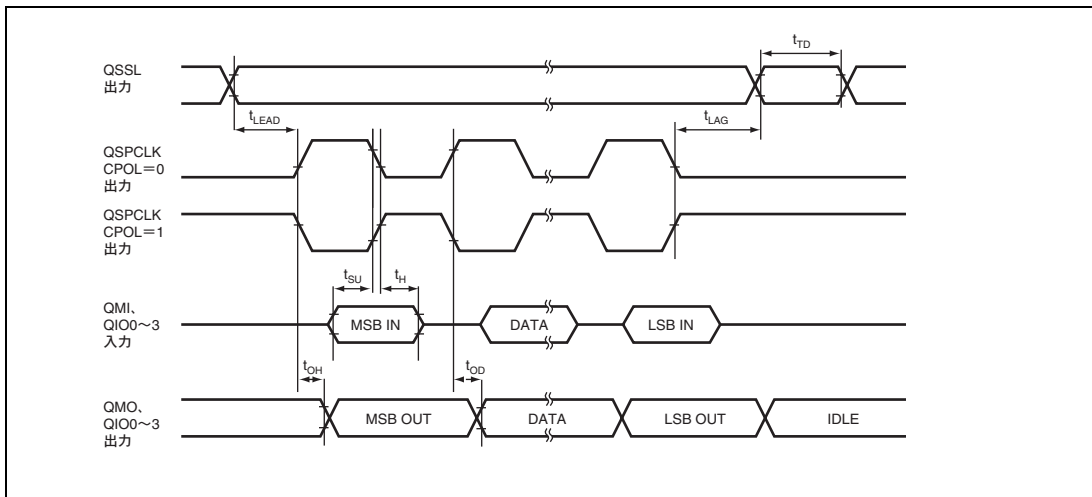


図 41.92 送受信タイミング (CPHA=1)

41.33 MIMLB

表 41.56 MediaLB インタフェースタイミング

条件：VCCQ=3.3V±0.3V、Ta=-40~85℃、GND=VSS=0V、CL=10pF

項目	記号	Min.	Typ.	Max.	単位	参考図
MLB_CLK 周期	fCK	45.056	49.152	49.2544	MHz	図 41.93
MLB_CLK 周期時間	tCK	—	20.3	—	ns	
MLB_CLK high 期間	tCH	9.7	10.6	—	ns	
MLB_CLK low 期間	tCL	6.5	7.7	—	ns	
MLB_SIG 出力遅延 (クロック立ち上がり)	tDR	—	—	7.5	ns	
MLB_SIG 出力遅延 (クロック立ち下がり)	tDF	0	—	—	ns	
MLB_SIG 入力セットアップ時間	tSD	2.7	—	—	ns	
MLB_SIG 入力ホールド時間	tHD	0	—	—	ns	
MLB_DAT 出力遅延 (クロック立ち上がり)	tDR	—	—	7.5	ns	
MLB_DAT 出力遅延 (クロック立ち下がり)	tDF	0	—	—	ns	
MLB_DAT 入力セットアップ時間	tSD	2.7	—	—	ns	
MLB_DAT 入力ホールド時間	tHD	0	—	—	ns	

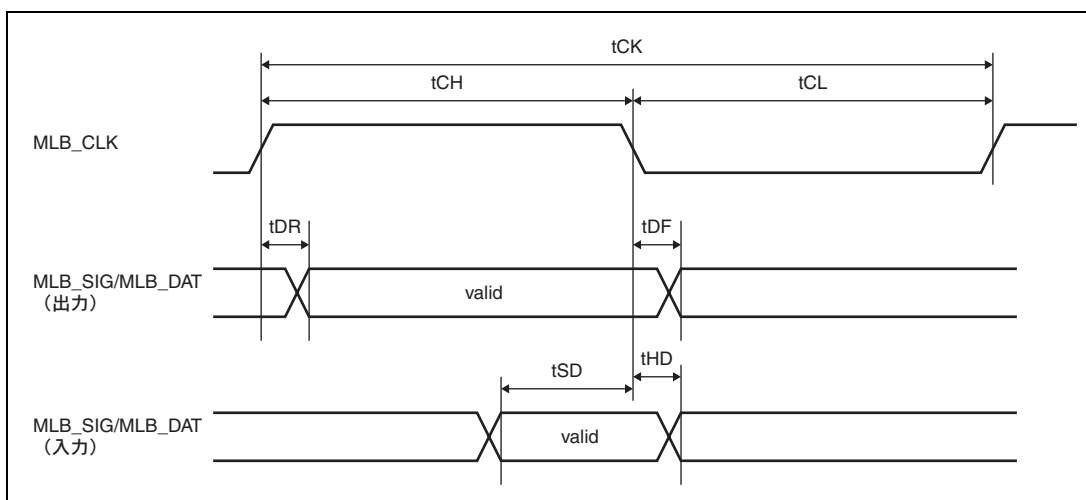


図 41.93 MediaLB インタフェースタイミング

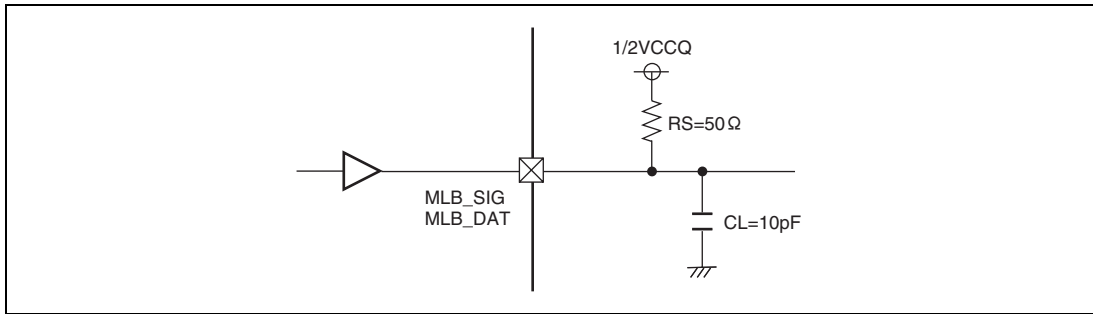


図 41.94 MLB_SIG、MLB_DAT 出力遅延測定条件

41.34 使用上の注意

41.34.1 USB I/O バッファ

本製品の USB I/O バッファとの接続は、インピーダンスが規格範囲の USB ケーブルをお使いください。

実際のシステムに組み込む場合は、ハードウェアマニュアルを参照の上、システム全体で十分検討評価し、基盤設計ガイドラインの適用可否判断をしてください。

41.34.2 I²C I/O バッファ

本製品の I²C I/O バッファは 5V トレラントに対応しておりませんので、5V を印加しないでください。

また、本製品のオープンドレインバッファにおいては、I²C バスの電源は VCCQ と共通にしてください (VCCQ が Off で I²C バス電源だけ印加 (=ViH だけ印加) されると LSI の破壊につながるおそれがあります)。

41.34.3 ラッチアップ対策について

本 IC は、過度の外来ノイズが印加されるとラッチアップを起こすことがあります。ラッチアップ状態では、本 IC と実装基板に大電流が流れ、発熱、発煙を起こす可能性があります。電源系に電流リミッタを挿入するなどの対策を実施してください。

41.34.4 中間電位レベルの入力について

入力として使っている端子*への中間電位レベルの入力は、長期信頼性に影響する可能性があるので注意してください (不使用でオープンにしたい端子では、外部プルアップでの対策や、内蔵プログラマブルプルアップなどを活用してください)。

【注】 * 入出力端子で入力に設定している場合、もしくは、入力専用端子。

41.34.5 AC 特性について

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

41.35 ボード設計上の注意事項

41.35.1 水晶発振子使用時の注意

水晶発振子とコンデンサは、できるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

水晶発振子周辺の負荷コンデンサ容量やダンピング抵抗値などは、使用する水晶発振子メーカーと評価検討の上、値を決めてください。

41.35.2 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

41.35.3 PLL 発振回路使用時の注意

VDD-PLL は、その他の VDD とはボードの電源供給元から分離し、VCCQ-PLL も、その他の VCCQ とはボードの電源供給元からは分離してください。また、これら端子の近くにノイズフィルタとして抵抗 RCB、バイパスコンデンサ CPB、CB を挿入してください。

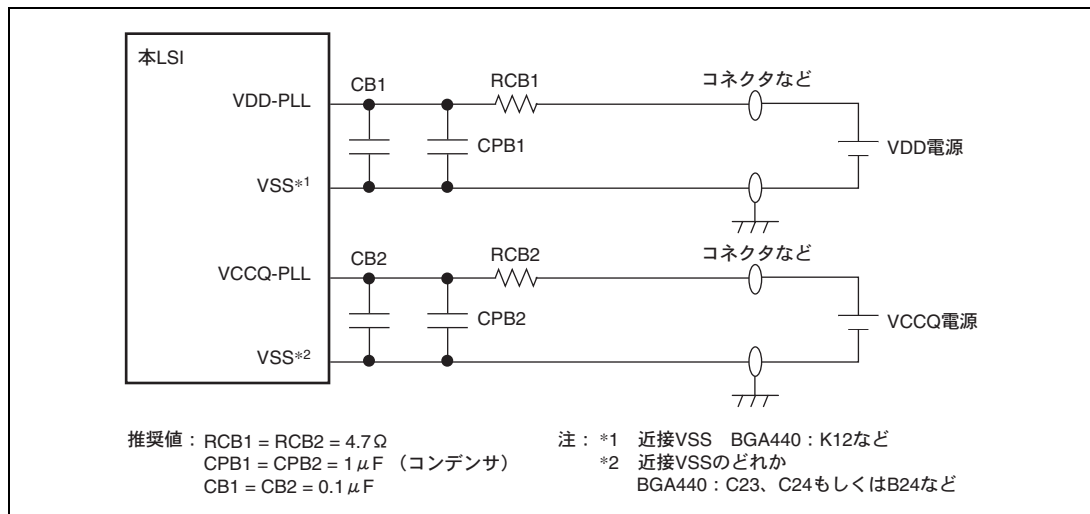


図 41.95 PLL 発振回路使用時の注意

41.36 測定条件

41.36.1 共通温度条件

温度は特に断りのないかぎり、下記共通温度条件。

Ta = -20~75°C (標準温度範囲)、-40~85°C (広温度範囲)

Ta-max = 75°C (標準温度範囲)、Ta-max = 85°C (広温度範囲)

41.36.2 AC 特性測定条件

特に断りのないかぎり、AC 特性測定条件は次のとおりです。

(1) 温度電圧共通条件：

VDD = VDD-PLL = AV12 = 1.15~1.3V、

VCCQ = VCC = VCCQ-PLL = AV33

= AVCC = AVREF = 3.0~3.6V、

VSS = VSS-PLL = AG = AVSS = 0V

温度は、共通温度条件。

(2) AC 測定条件

- 入出力信号参照レベル：V*/2
- 入力パルスレベル：VSS~V*
- 入力立ち上がり、立ち下がり時間：1ns

【注】 V*：VCCQ = VCC = VCCQ-PLL = AV33 = AVCC = AVREF (VCCQ = 3.0~3.6V)

3.3V I/O の出力負荷回路を図 41.96 に示します。

IO セルは、特に断りのないかぎり 6mA 設定です。

負荷容量 (CL) は、各 AC スペック表の特記があれば、そちらが優先します。

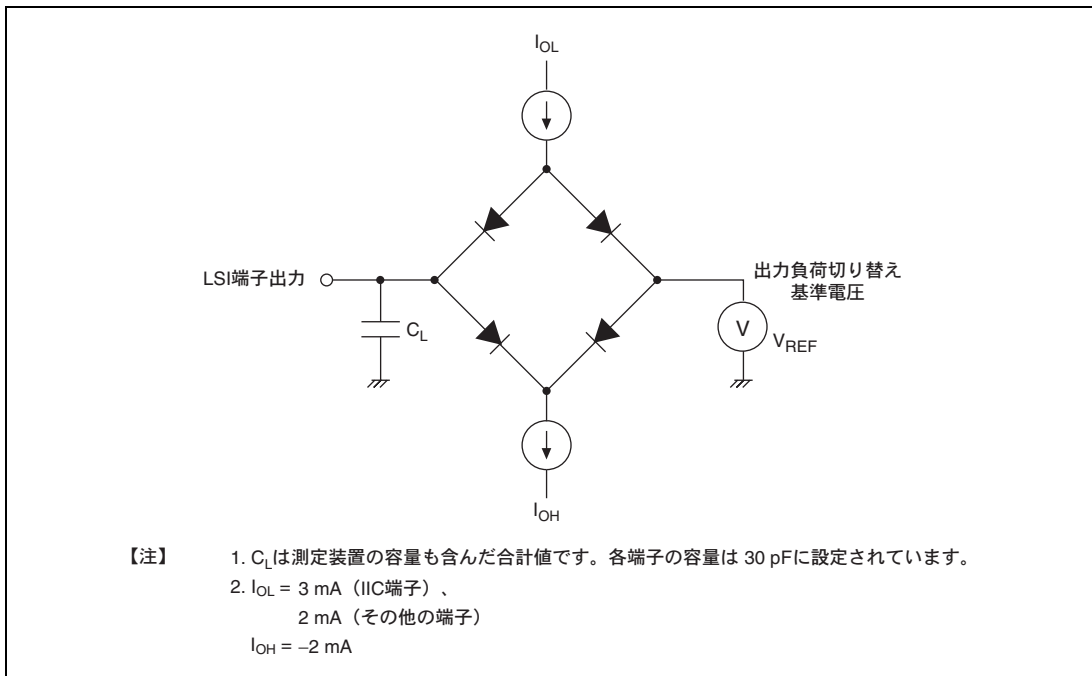


図 41.96 出力負荷回路

付録

A. 端子状態

端子名	パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
					停止時	復帰時* ²
MCK0	L/O	O	O	K	K	O
MCK0#	L/O	O	O	K	K	O
MCKE	L	O	O	K	K	L
MCS#	Z/H	O	O	K	K	H* ¹³
MWE#	Z/H	O	O	K	K	H* ¹³
MRAS#	Z/H	O	O	K	K	H* ¹³
MCAS#	Z/H	O	O	K	K	H* ¹³
MA0	Z/L	O	O	K	K	L* ¹³
MA1	Z/L	O	O	K	K	L* ¹³
MA2	Z/L	O	O	K	K	L* ¹³
MA3	Z/L	O	O	K	K	L* ¹³
MA4	Z/L	O	O	K	K	L* ¹³
MA5	Z/L	O	O	K	K	L* ¹³
MA6	Z/L	O	O	K	K	L* ¹³
MA7	Z/L	O	O	K	K	L* ¹³
MA8	Z/L	O	O	K	K	L* ¹³
MA9	Z/L	O	O	K	K	L* ¹³
MA10	Z/L	O	O	K	K	L* ¹³
MA11	Z/L	O	O	K	K	L* ¹³
MA12	Z/L	O	O	K	K	L* ¹³
MA13	Z/L	O	O	K	K	L* ¹³
MBA0	Z/L	O	O	K	K	L* ¹³
MBA1	Z/L	O	O	K	K	L* ¹³
MBA2	Z/L	O	O	K	K	L* ¹³
MDQ0	Z	IO	IO	K	K	Z
MDQ1	Z	IO	IO	K	K	Z
MDQ2	Z	IO	IO	K	K	Z
MDQ3	Z	IO	IO	K	K	Z

端子名			パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時* ²
MDQ4			Z	IO	IO	K	K	Z
MDQ5			Z	IO	IO	K	K	Z
MDQ6			Z	IO	IO	K	K	Z
MDQ7			Z	IO	IO	K	K	Z
MDQ8			Z	IO	IO	K	K	Z
MDQ9			Z	IO	IO	K	K	Z
MDQ10			Z	IO	IO	K	K	Z
MDQ11			Z	IO	IO	K	K	Z
MDQ12			Z	IO	IO	K	K	Z
MDQ13			Z	IO	IO	K	K	Z
MDQ14			Z	IO	IO	K	K	Z
MDQ15			Z	IO	IO	K	K	Z
MDQS0			Z	IO	IO	K	K	Z
MDQS0#			Z	IO	IO	K	K	Z
MDQS1			Z	IO	IO	K	K	Z
MDQS1#			Z	IO	IO	K	K	Z
MDM0			L/O	O	O	K	K	O
MDM1			L/O	O	O	K	K	O
MODT			L	O	O	K	K	L
MBKPRST#			I	I	I	I	I	I
MRESET#			O	O	O	K	K	K
SDBUP			I	I	I	I	I	I
SDSELF			ZU	P	P	K	K	K
BSMODE			I	I	I	I	I	I
EXTAL			I	I	I	I	I	I
XTAL			O	O	O	O	O	O
PRESET#			I	I	I	I	I	I
PRESETOUT#			L/O	P	P	H* ¹⁵	H* ¹⁵	O* ¹⁸
						K* ¹⁵	K* ¹⁵	K* ⁸
A0	ブート モード	0、1	L/O	P	P	K	K	O* ¹⁸ K* ⁶
		2、3、4、5、6	L	P	P	K	K	K
A1	ブート モード	0、1	L/O	P	P	K	K	O* ¹⁸ K* ⁶
		2、3、4、5、6	L	P	P	K	K	K

端子名			パワーオン リセット*1	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時*2
A2	ブート モード	0, 1	L/O	P	P	K	K	O*18 K*6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A3	ブート モード	0, 1	L/O	P	P	K	K	O*18 K*6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A4	ブート モード	0, 1	L/O	P	P	K	K	O*18 K*6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A5	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A6	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A7	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A8	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A9	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A10	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A11	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A12	ブート モード	0, 1	I/O	P	P	K	K	O*3*18 K*6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K

端子名			パワーオン リセット*1	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時*2
A13	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A14	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A15	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A16	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A17	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A18	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A19	ブート モード	0, 1	I/O	P	P	K	K	O**3*18 K**6
		2, 3, 4, 5, 6	I/L	P	P	K	K	K
A20	ブート モード	0, 1	L/O	P	P	K	K	O**18 K**6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A21	ブート モード	0, 1	L/O	P	P	K	K	O**18 K**6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A22	ブート モード	0, 1	L/O	P	P	K	K	O**18 K**6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A23	ブート モード	0, 1	L/O	P	P	K	K	O**18 K**6
		2, 3, 4, 5, 6	L	P	P	K	K	K
A24			I	P	P	K	K	K
A25			I	P	P	K	K	K

端子名			パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ		
							停止時	復帰時* ²	
D0	ブート モード	0, 1	Z/IO	P	P	K	K	IO* ¹⁸	
								K* ⁶	
		2, 4, 5	Z/IO	P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
		3, 6	Z	P* ¹⁶	P	K	K	K	K
		D1	ブート モード	0, 1	Z/IO	P	P	K	K
K* ⁶									
2, 4, 5	Z/IO			P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
3, 6	Z			P* ¹⁶	P	K	K	K	K
D2	ブート モード			0, 1	Z/IO	P	P	K	K
		K* ⁶							
		2, 4, 5	Z/IO	P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
		3, 6	Z	P* ¹⁶	P	K	K	K	K
		D3	ブート モード	0, 1	Z/IO	P	P	K	K
K* ⁶									
2, 4, 5	Z/IO			P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
3, 6	Z			P* ¹⁶	P	K	K	K	K
D4	ブート モード			0, 1	Z/IO	P	P	K	K
		K* ⁶							
		2, 4, 5	Z/IO	P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
		3, 6	Z	P* ¹⁶	P	K	K	K	K
		D5	ブート モード	0, 1	Z/IO	P	P	K	K
K* ⁶									
2, 4, 5	Z/IO			P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
3, 6	Z			P* ¹⁶	P	K	K	K	K
D6	ブート モード			0, 1	Z/IO	P	P	K	K
		K* ⁶							
		2, 3, 4	Z/IO	P* ¹⁶	P	K	K	K	IO* ¹⁸
									K* ⁷
		5, 6	Z	P* ¹⁶	P	K	K	K	K

端子名			パワーオン リセット*1	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時*2
D7	ブート モード	0、1	Z/IO	P	P	K	K	IO*18 K*6
		2、3、4	Z/IO	P*16	P	K	K	IO*18 K*7
		5、6	Z	P*16	P	K	K	K
D8	ブート モード	0	Z	P	P	K	K	K
							L*10	L*10
							O*10a	O*10a
		1	Z/IO	P	P	K	K	IO*18 K*6
		2、4、5	Z/IO	P*16	P	K	K	IO*18 K*7
3、6	Z	P*16	P	K	K	K		
D9	ブート モード	0	Z	P	P	K	K	K
							O*11	O*11
		1	Z/IO	P	P	K	K	IO*18 K*6
		2、4、5	Z/IO	P*16	P	K	K	IO*18 K*7
3、6	Z	P*16	P	K	K	K		
D10	ブート モード	0	Z	P	P	K	K	K
							O*11	O*11
		1	Z/IO	P	P	K	K	IO*18 K*6
		2、3	Z/IO	P*16	P	K	K	IO*18 K*7
4、5、6	Z	P*16	P	K	K	K		
D11	ブート モード	0	Z	P	P	K	K	K
							O*11	O*11
		1	Z/IO	P	P	K	K	IO*18 K*6
		2、3	Z/IO	P*16	P	K	K	IO*18 K*7
4、5、6	Z	P*16	P	K	K	K		

端子名			パワーオン リセット*1	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ		
							停止時	復帰時*2	
D12	ブート モード	0	Z	P	P	K	K	K	
							O*11	O*11	
		1	Z/I/O	P	P	K	K	IO*18	K*6
								IO*18	K*7
2	Z/I/O	P*16	P	K	K	K	K		
3、4、5、6	Z	P*16	P	K	K	K	K		
D13	ブート モード	0	Z	P	P	K	K	K	
							O*11	O*11	
		1	Z/I/O	P	P	K	K	IO*18	K*6
								IO*18	K*7
2	Z/I/O	P*16	P	K	K	K	K		
3、4、5、6	Z	P*16	P	K	K	K	K		
D14	ブート モード	0	Z	P	P	K	K	K	
							I*11	I*11	
		1	Z/I/O	P	P	K	K	IO*18	K*6
								IO*18	K*7
2	Z/I/O	P*16	P	K	K	K	K		
3、4、5、6	Z	P*16	P	K	K	K	K		
D15	ブート モード	0、2、3、4、5、 6	Z	P	P	K	K	K	
		1	Z/I/O	P	P	K	K	IO*18 K*6	
CLKOUT			O	P	P	L*14 K*14	L*14 K*14	O*18 K*9	
BS#	ブート モード	0、1	H/O	P	P	K	K	O*18 K*6	
		2、3、4、5、6	H	P	P	K	K	K	
CS0#	ブート モード	0、1	H/O	P	P	K	K	O*18 K*6	
		2、3、4、5、6	H	P	P	K	K	K	
CS1#/A26			H/O	P	P	K	K	K	
EX_CS0#			ZU	P	P	K	K	K	

端子名			パワーオン リセット*1	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時*2
EX_CS1#			ZU	P	P	K	K	K
							O*11	O*11
EX_CS2#			ZU	P	P	K	K	K
							L*10b	L*10b
EX_CS3#			I	P	P	K	K	K
EX_CS4#			I	P	P	K	K	K
EX_CS5#			ZU	P	P	K	K	K
RD#	ブート モード	0、1	H/O	P	P	K	K	O*10
		2、3、4、5、6	H	P	P	K	K	K*6
RD/WR#			ZU	P	P	K	K	K
							O*11	O*11
WE0#			H	P	P	K	K	K
WE1#			H	P	P	K	K	K
EX_WAIT0			I	P	P	K	K	K
EX_WAIT1			ZU	P	P	K	K	K
EX_WAIT2			ZU	P	P	K	K	K
DRACK0			ZU	P	P	K	K	K
							O*11	O*11
DREQ0			ZU	P	P	K	K	K
							O*11	O*11
DACK0			Z	P	P	K	K	K
							O*11	O*11
DREQ1			ZU	P	P	K	K	K
DACK1			ZU	P	P	K	K	K
TRST#			ZU	I	I	I	K	K*19
TCK			ZU	I	I	I	K	K*19
TMS			ZU	I	I	I	K	K*19
TDI			ZU	I	I	I	K	K*19
TDO			Z	O	O	K	K	K*19
MPMD			I	I	I	I	I	I
ASEBRK#/ACK			ZU	IO	IO	K*12	K*12	IO*19
NMI			I	I	I	I	I	I
IRQ0_A			ZU	P	P	K	K	K
						I*17	I*11*17	I*11*17

端子名	パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
					停止時	復帰時* ²
IRQ1_A	ZU	P	P	K	K	K
				I* ¹⁷	I* ¹¹ * ¹⁷	I* ¹¹ * ¹⁷
IRQ2_A	ZU	P	P	K	K	K
				I* ¹⁷	I* ¹⁷	I* ¹⁷
IRQ3_A	ZU	P	P	K	K	K
				I* ¹⁷	I* ¹⁷	I* ¹⁷
SCIF_CLK_A	ZU	P	P	K	K	K
					I* ^{11a}	I* ^{11a}
					O* ^{11b}	O* ^{11b}
SCK0_A	ZU	P	P	K	K	K
					I* ^{11a}	I* ^{11a}
					O* ^{11b}	O* ^{11b}
RX0_A	ZU	P	P	K	K	K
					I* ¹¹	I* ¹¹
TX0_A	I	P	P	K	K	K
HCTS0#_A	ZU	P	P	K	K	K
					I* ¹¹	I* ¹¹
HRTS0#_A	ZU	P	P	K	K	K
					I* ^{11a}	I* ^{11a}
					O* ^{11b}	O* ^{11b}
HSCK0_A	ZU	P	P	K	K	K
					I* ¹¹	I* ¹¹
HRX0_A	ZU	P	P	K	K	K
					I* ¹¹	I* ¹¹
HTX0_A	ZU	P	P	K	K	K
					I* ¹¹	I* ¹¹
CTS0#_B	ZU	P	P	K	K	K
RTS0#_B	ZU	P	P	K	K	K
SCK1_B	ZU	P	P	K	K	K
RX1_B	ZU	P	P	K	K	K
TX1_B	ZU	P	P	K	K	K
CTS1#_B	ZU	P	P	K	K	K
RTS1#_B	ZU	P	P	K	K	K
SCK2_A	ZU	P	P	K	K	K
SD2_CLK_A	ZU	P	P	K	K	K

端子名			パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時* ²
SD2_CMD_A			ZU	P	P	K	K	K
SD2_DAT0_A			ZU	P	P	K	K	K
SD2_DAT1_A			ZU	P	P	K	K	K
SD2_DAT2_A			ZU	P	P	K	K	K
SD2_DAT3_A			ZU	P	P	K	K	K
							O* ¹¹	O* ¹¹
SD2_CD_A			ZU	P	P	K	K	K
SD2_WP_A			ZU	P	P	K	K	K
REF125CK			Z	P	P	K	K	K
REF50CK			Z	P	P	K	K	K
DU0_ DR0	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR1	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR2	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR3	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR4	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR5	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR6	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DR7	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG0	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG1	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG2	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG3	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO

端子名			パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
							停止時	復帰時* ²
DU0_ DG4	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG5	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG6	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DG7	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/IO	P	P	K	K	IO
DU0_ DB0	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/I	P	P	K	K	I
DU0_ DB1	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/I	P	P	K	K	I
DU0_ DB2	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/I	P	P	K	K	I
DU0_ DB3	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/I	P	P	K	K	I
DU0_ DB4	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/O	P	P	K	K	O
DU0_ DB5	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	Z/O	P	P	K	K	O
DU0_ DB6	ブート モード	0~3、4、5	Z	P	P	K	K	K
		6	L/O	P	P	K	L	O
DU0_DB7			Z	P	P	K	K	K
DU0_DOTCLKIN			ZU	P	P	K	K	K
DU0_DOTCLKOUT			ZU	P	P	K	K	K
DU0_EXHSYNC/DU0_HSYNC			ZU	P	P	K	K	K
DU0_EXVSYNC/DU0_VSYNC			ZU	P	P	K	K	K
DU0_EXODDF/DU0_ODDF			ZU	P	P	K	K	K
DU0_DISP			ZU	P	P	K	K	K
DU0_CDE			ZU	P	P	K	K	K
VI1_CLK_A			Z	P	P	K	K	K
VI1_0_A			ZU	P	P	K	K	K
VI1_1_A			ZU	P	P	K	K	K
VI1_2_A			ZU	P	P	K	K	K
VI1_3_A			ZU	P	P	K	K	K

端子名		パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ		
						停止時	復帰時* ²	
VI1_4_A		ZU	P	P	K	K	K	
VI1_5_A		ZU	P	P	K	K	K	
VI1_6_A		ZU	P	P	K	K	K	
VI1_7_A		ZU	P	P	K	K	K	
SSI_SCK0_A		ZU	P	P	K	K	K	
SSI_WS0_A		ZU	P	P	K	K	K	
SSI_SDATA0_A		ZU	P	P	K	K	K	
SSI_SCK1_A		ZU	P	P	K	K	K	
SSI_WS1_A		ZU	P	P	K	K	K	
SSI_SDATA1_A		ZU	P	P	K	K	K	
SSI_SCK23		ZU	P	P	K	K	K	
SSI_WS23		ZU	P	P	K	K	K	
SSI_SDATA2		ZU	P	P	K	K	K	
SSI_SDATA3		ZU	P	P	K	K	K	
AUDIO_CLKA_A		ZU	P	P	K	K	K	
AUDIO_CLKB_A		Z	P	P	K	K	K	
AUDIO_CLKC		Z	P	P	K	K	K	
AUDIO_CLKOUT		ZU	P	P	K	K	K	
SCL0		Z	P	P	K	Z	K* ⁴	
SDA0	ブート モード	0~3、4、5	Z	P	P	K	Z	K* ⁴
		6	Z/I	P	P	K	Z	I
SCL1		Z	P	P	K	Z	K* ⁴	
SDA1		Z	P	P	K	Z	K* ⁴	
USB_EXTAL		I	I	I	I	I	I	
USB_XTAL		O	O	O	O	O	O	
PENC0		O	O	O	K	K	K	
PENC1		ZU	P	P	K	K	K	
USB_OVC0		Z	I	I	K	K	K	
USB_OVC1		ZU	P	P	K	K	K	
DP0		Z	IO	IO	K	Z	Z* ⁵	
DM0		Z	IO	IO	K	Z	Z* ⁵	
DP1		Z	IO	IO	K	Z	Z* ⁵	
DM1		Z	IO	IO	K	Z	Z* ⁵	
OVC0/VBUS0		Z	I	I	I	I	I	
OVC1/VBUS1		Z	I	I	I	I	I	

端子名	パワーオン リセット* ¹	マニュアル リセット	スリープ	ソフトウェア スタンバイ	ディープスタンバイ	
					停止時	復帰時* ²
RTC_X1	I	I	I	I	I	I
RTC_X2	O	O	O	O	O	O
CAN_CLK_A	ZU	P	P	K	K	K
CAN0_TX_A	Z	P	P	K	K	K
CAN0_RX_A	Z	P	P	K	K	K
				* ¹⁷	* ¹⁷	
CAN1_TX_A	Z	P	P	K	K	K
CAN1_RX_A	ZU	P	P	K	K	K
				* ¹⁷	* ¹⁷	
AN0	Z	P	P	K	Z	I
				* ¹⁷		
AN1	Z	P	P	K	Z	I
				* ¹⁷		
AN2	Z	P	P	K	Z	I
AN3	Z	P	P	K	Z	I
AN4	Z	P	P	K	Z	I
AN5	Z	P	P	K	Z	I
AN6	Z	P	P	K	Z	I
AN7	Z	P	P	K	Z	I

【記号説明】

K : ディープスタンバイ遷移前ポート状態保持。ソフトウェアスタンバイ遷移前ポート状態。

I : 入力

O : 出力

P : ポート機能（入力/出力、PULL UP/ドライブ切り替え能力はレジスタ設定に依存）

Z : ハイインピーダンス（入力バッファオフ、出力バッファオフ）

ZU : ハイインピーダンス（内部 PULL UP アクティブ状態）

H : ハイレベル出力

L : ローレベル出力

IO : 入出力双方向（ピンファンクション選択モジュールの状態により変化）

/ : パワーオンリセット : 左側が PRESET#ローレベル入力時の状態、

右側が PRESET#ローレベルからハイレベルへ変化させた後の状態となります。

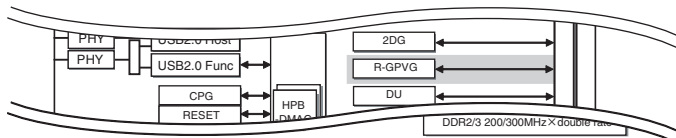
【ブートモード】

- 0 : CS0 ブート (8 ビット)
- 1 : CS0 ブート (16 ビット)
- 2 : NAND フラッシュブート
- 3 : シリアルブート
- 4 : MMC ブート
- 5 : eSD ブート
- 6 : HIF ブート

- 【注】 *1 PRESET#端子へのローレベル入力によるパワーオンリセットを指します。H-UDI リセット・アサートコマンドおよびウォッチドッグタイマオーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作状態と同じ端子状態になります。
- *2 IOKEEP フラグクリアまでの状態を指します。
また、すべての端子の PULL UP 制御とドライブ能力切り替えは K となります。
DBSC3 の状態はセルフリフレッシュ状態でディープスタンバイに遷移した場合を前提としています。
また、HIF ブート時の HIFRDY#はローレベルに固定した状態でディープスタンバイに遷移した場合を前提としています。
- *3 入力状態になる期間が存在します。
- *4 ディープスタンバイ遷移前の制御を保持する状態になります。
- *5 USB モジュールの初期化処理を行うことで、使用可能になります。
- *6 ディープスタンバイ遷移前に DSCTR レジスタの EBUSKEEPE に 1 を書き込んだ場合、ポート状態保持となります。
- *7 ディープスタンバイ遷移前に DSCTR レジスタの EBUSKEEPE、RAMBOOT のいずれかに 1 を書き込んだ場合、ポート状態保持となります。
- *8 ディープスタンバイ遷移前に DSCTR レジスタの PRSTOKEEPE に 1 を書き込んだ場合、ポート状態保持となります。
- *9 ディープスタンバイ遷移前に DSCTR レジスタの CKOKEEPE に 1 を書き込んだ場合、ポート状態保持となります。
- *10 ET0_GTX_CLK_B を選択し GET ビットへ 0 を書き込んだ場合、ローレベル出力となります。
- *10a ET0_GTX_CLK_B を選択し GET ビットへ 1 を書き込むと出力となります。
- *10b ET0_GTX_CLK_A を選択した場合、ローレベル出力となります。
- *11 DSSSR レジスタの GET ビットへ 1 を書き込んで、ピンファンクションを GMII_B、MII_B、もしくは RMII_A に選択したとき、入力の場合、端子のレベルが G etherC に反映され、出力の場合、G etherC の出力が端子のレベルに反映されます。
- *11a DSSSR レジスタの GET ビットへ 1 を書き込んで、ピンファンクションを GMII_B もしくは MII_B に選択したとき、入力の場合、端子のレベルが G etherC に反映され、出力の場合、G etherC の出力が端子のレベルに反映されます。
- *11b DSSSR レジスタの GET ビットへ 1 を書き込んで、ピンファンクションを RMII_A に選択したとき、入力の場合、端子のレベルが G etherC に反映され、出力の場合、G etherC の出力が端子のレベルに反映されます。
- *12 出力状態で TRST#ローレベル入力時、入力状態へ遷移します。
mpmd=0 の場合、入力をハイレベルからローレベルにすることにより、スタンバイから復帰します。

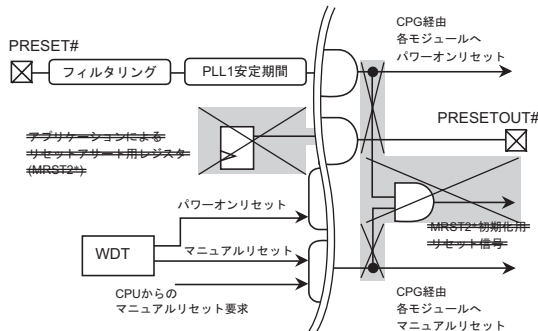
- *13 1st フェッチ開始までの間、Z 状態になる期間が存在します。
- *14 ピンファンクションで CLKOUT を選択している場合、ローレベル出力となります。
ピンファンクションで CLKOUT 以外の機能を選択している場合、スタンバイ遷移直前の状態を保持します。
- *15 ピンファンクションで PRESETOUT# を選択している場合、ハイレベル出力となります。
ピンファンクションで PRESETOUT# 以外の機能を選択している場合、スタンバイ遷移直前の状態を保持します。
- *16 ブートモード 2、3、4、5 で起動した場合、マニュアルリセット発生後の端子状態はパワーオンリセット発生後と同様の初期状態となります。
必要に応じてパワーオンリセット例外発生後と同様の初期化処理を行ってください。
- *17 IRQ0～IRQ3 を復帰要因として使用する場合、設定に従ったレベル変化によりスタンバイからの復帰を開始します。
- *18 ポート保持状態となっていない場合、ピンファンクションの設定変更により選択される GPIO/周辺機能に切り替わります。
- *19 デバッグを使用する場合 (mpmd=0)、デバッグ機能ピンとして使用可能になります。

本版で修正または追加された箇所

項 目	ページ	修正箇所											
マニュアル全体	-	用語を修正 IEBUS → IEBus IE-BUS → IEBus IE_BUS → IEBus QSPI → RQSPI NandFlash → FLCTL											
図 1.1 本 LSI システム構成	1-3	追加  <p style="font-size: small;">【注】 IEBus™ (Inter Equipment Bus™) はルネサス エレクトロニクス株式会社の商標です。</p>											
1.4.2 CPU コア周辺	1-7	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">項 目</th> <th style="text-align: center;">説 明</th> </tr> </thead> <tbody> <tr> <td>ダイレクトメモリ アクセスコントローラ (DMAC)</td> <td> <ul style="list-style-type: none"> • 28 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照) </td> </tr> </tbody> </table>	項 目	説 明	ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> • 28 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照) 							
項 目	説 明												
ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> • 28 チャンネル物理アドレス DMA コントローラ (「1.8 ダイレクトメモリアクセスコントローラ」参照) 												
1.4.5 グラフィックス部	1-11	修正および追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">項 目</th> <th style="text-align: center;">説 明</th> </tr> </thead> <tbody> <tr> <td>最大動作クロック 周波数</td> <td> グラフィックエンジン動作 SHwy と同速および、半分のクロック (clks1) で混在動作 ; 表示系最大内部動作 SHwy の半分のクロック (clks1) で動作 ; </td> </tr> <tr> <td>動作クロック</td> <td> ご採用のパッケージにより、最大周波数は変わります。 HPB 周波数: clks1 の半分のクロックで動作 ; </td> </tr> <tr> <td>グラフィックエンジン基本機能 (2DG)</td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">2D 機能</td> <td style="width: 20%;">R-GPVG</td> <td style="width: 60%;"> <ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応 </td> </tr> </table> ; </td> </tr> </tbody> </table>	項 目	説 明	最大動作クロック 周波数	グラフィックエンジン動作 SHwy と同速および、半分のクロック (clks1) で混在動作 ; 表示系最大内部動作 SHwy の半分のクロック (clks1) で動作 ;	動作クロック	ご採用のパッケージにより、最大周波数は変わります。 HPB 周波数: clks1 の半分のクロックで動作 ;	グラフィックエンジン基本機能 (2DG)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">2D 機能</td> <td style="width: 20%;">R-GPVG</td> <td style="width: 60%;"> <ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応 </td> </tr> </table> ;	2D 機能	R-GPVG	<ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応
項 目	説 明												
最大動作クロック 周波数	グラフィックエンジン動作 SHwy と同速および、半分のクロック (clks1) で混在動作 ; 表示系最大内部動作 SHwy の半分のクロック (clks1) で動作 ;												
動作クロック	ご採用のパッケージにより、最大周波数は変わります。 HPB 周波数: clks1 の半分のクロックで動作 ;												
グラフィックエンジン基本機能 (2DG)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">2D 機能</td> <td style="width: 20%;">R-GPVG</td> <td style="width: 60%;"> <ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応 </td> </tr> </table> ;	2D 機能	R-GPVG	<ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応 									
2D 機能	R-GPVG	<ul style="list-style-type: none"> • オープンな 2D ベクタグラフィックス API である OpenVG に対応 											

項 目	ページ	修正箇所				
1.4.5 グラフィック ス部	1-12	<p>削除</p> <table border="1" data-bbox="463 343 1195 668"> <thead> <tr> <th data-bbox="463 343 742 384">項 目</th> <th data-bbox="742 343 1195 384">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="463 384 742 668"> ビデオ入力 (VIN1) 【注】 DU 項の注意書き参照。 </td> <td data-bbox="742 384 1195 668"> <ul style="list-style-type: none"> ● ITU-R BT.656 インタフェース対応 ● インタレースープリングレップ入力に対応 ● 水平/垂直方向への拡大 (最大 2 倍)・縮小スケーリング機能 ● キャプチャする画像データは YCbCr-422 データ ● 出力フォーマットは、YCbCr-422 および RGB-565 ● 720 ピクセル×480 ラインのフィールド画像をキャプチャ可能 </td> </tr> </tbody> </table>	項 目	説 明	ビデオ入力 (VIN1) 【注】 DU 項の注意書き参照。	<ul style="list-style-type: none"> ● ITU-R BT.656 インタフェース対応 ● インタレースープリングレップ入力に対応 ● 水平/垂直方向への拡大 (最大 2 倍)・縮小スケーリング機能 ● キャプチャする画像データは YCbCr-422 データ ● 出力フォーマットは、YCbCr-422 および RGB-565 ● 720 ピクセル×480 ラインのフィールド画像をキャプチャ可能
項 目	説 明					
ビデオ入力 (VIN1) 【注】 DU 項の注意書き参照。	<ul style="list-style-type: none"> ● ITU-R BT.656 インタフェース対応 ● インタレースープリングレップ入力に対応 ● 水平/垂直方向への拡大 (最大 2 倍)・縮小スケーリング機能 ● キャプチャする画像データは YCbCr-422 データ ● 出力フォーマットは、YCbCr-422 および RGB-565 ● 720 ピクセル×480 ラインのフィールド画像をキャプチャ可能 					
1.4.8 周辺モジュール	1-17	<p>削除</p> <table border="1" data-bbox="463 726 1195 1420"> <thead> <tr> <th data-bbox="463 726 742 767">項 目</th> <th data-bbox="742 726 1195 767">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="463 767 742 1420"> RCAN-TL1 (RCAN) 【注】 ご利用の際は、「1.5 製品型名」の対応する製品を採用してください。 </td> <td data-bbox="742 767 1195 1420"> : <ul style="list-style-type: none"> ● リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意 ● 16ビットのプリランニングタイム (多様なクロックソース、プリスケール、3個のタイマコンペアマッチレジスタ) ● タイムトリガ送信用の 6ビットサイクルカウンタ (Basic Cycle) ● タイマのコンペアマッチレジスタによる割り込み ● タイマカウンタのクリアおよび設定が可能 ● タイムトリガ用レジスタ Local Time、Cycle time、Ref_Mark、Tx_Enable Window、Ref_Trigger_Offset ● SOF (Start Of Frame) でのフレキシブルなタイムスタンズ機能を送信、受信ともにサポート ● イベントトリガ送信に加え、タイムトリガ送信および定期送信もサポート ● サイクルカウンタ (Basic Cycle) を CAN フレームに組み込んで送信可能 ● CAN-ウェイクアップ </td> </tr> </tbody> </table>	項 目	説 明	RCAN-TL1 (RCAN) 【注】 ご利用の際は、「1.5 製品型名」の対応する製品を採用してください。	: <ul style="list-style-type: none"> ● リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意 ● 16ビットのプリランニングタイム (多様なクロックソース、プリスケール、3個のタイマコンペアマッチレジスタ) ● タイムトリガ送信用の 6ビットサイクルカウンタ (Basic Cycle) ● タイマのコンペアマッチレジスタによる割り込み ● タイマカウンタのクリアおよび設定が可能 ● タイムトリガ用レジスタ Local Time、Cycle time、Ref_Mark、Tx_Enable Window、Ref_Trigger_Offset ● SOF (Start Of Frame) でのフレキシブルなタイムスタンズ機能を送信、受信ともにサポート ● イベントトリガ送信に加え、タイムトリガ送信および定期送信もサポート ● サイクルカウンタ (Basic Cycle) を CAN フレームに組み込んで送信可能 ● CAN-ウェイクアップ
項 目	説 明					
RCAN-TL1 (RCAN) 【注】 ご利用の際は、「1.5 製品型名」の対応する製品を採用してください。	: <ul style="list-style-type: none"> ● リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意 ● 16ビットのプリランニングタイム (多様なクロックソース、プリスケール、3個のタイマコンペアマッチレジスタ) ● タイムトリガ送信用の 6ビットサイクルカウンタ (Basic Cycle) ● タイマのコンペアマッチレジスタによる割り込み ● タイマカウンタのクリアおよび設定が可能 ● タイムトリガ用レジスタ Local Time、Cycle time、Ref_Mark、Tx_Enable Window、Ref_Trigger_Offset ● SOF (Start Of Frame) でのフレキシブルなタイムスタンズ機能を送信、受信ともにサポート ● イベントトリガ送信に加え、タイムトリガ送信および定期送信もサポート ● サイクルカウンタ (Basic Cycle) を CAN フレームに組み込んで送信可能 ● CAN-ウェイクアップ 					

項 目	ページ	修正箇所										
1.4.8 周辺モジュール	1-21	<p>追加</p> <table border="1"> <thead> <tr> <th>項 目</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>ブート</td> <td> <ul style="list-style-type: none"> • 各種ブートモードサポート - CS0 空間に接続されたメモリからブート - NAND フラッシュメモリからブート - シリアルフラッシュメモリからブート - MMC4.4 ブート(ブート用のみ、I/F モジュールは MMC4.3) - eSD ブート <ul style="list-style-type: none"> ・ 対応デバイス eSD (Embedded SD) Addendum Version 2.10 対応デバイス - HIF ブート </td> </tr> </tbody> </table>	項 目	説 明	ブート	<ul style="list-style-type: none"> • 各種ブートモードサポート - CS0 空間に接続されたメモリからブート - NAND フラッシュメモリからブート - シリアルフラッシュメモリからブート - MMC4.4 ブート(ブート用のみ、I/F モジュールは MMC4.3) - eSD ブート <ul style="list-style-type: none"> ・ 対応デバイス eSD (Embedded SD) Addendum Version 2.10 対応デバイス - HIF ブート 						
項 目	説 明											
ブート	<ul style="list-style-type: none"> • 各種ブートモードサポート - CS0 空間に接続されたメモリからブート - NAND フラッシュメモリからブート - シリアルフラッシュメモリからブート - MMC4.4 ブート(ブート用のみ、I/F モジュールは MMC4.3) - eSD ブート <ul style="list-style-type: none"> ・ 対応デバイス eSD (Embedded SD) Addendum Version 2.10 対応デバイス - HIF ブート 											
1.5 製品型名	1-22	<p>修正</p> <p>SH7734 シリーズ型名: R8A77343xAxxBx</p> <p>修正</p> <table border="1"> <thead> <tr> <th>STIF</th> <th>RCAN</th> <th>SDHI</th> <th>R-GPVG</th> <th>コード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>A00</td> </tr> </tbody> </table>	STIF	RCAN	SDHI	R-GPVG	コード	0	0	0	0	A00
STIF	RCAN	SDHI	R-GPVG	コード								
0	0	0	0	A00								
1.6 電源電圧/温度範囲	1-22	<p>削除</p> <p>温度範囲: -40°C~85°C (広範囲温度品 P/D-品)</p>										
図 1.3 メモリマップ (29 ビットアドレスモード時)	1-24	図を差し替え										
図 1.5 メモリマップ (2) (32 ビットアドレスモード時)	1-26	図を差し替え										
図 1.6 メモリマップ ICB レジスタ空間	1-26	図を差し替え										
図 1.7 メモリマップ LBSC レジスタ空間	1-27	図を差し替え										
図 1.8 メモリマップ HPB レジスタ空間	1-28	図を差し替え										
1.8 ダイレクトメモリアクセスコントローラ	1-30	<p>修正</p> <p>本 LSI は LBSC 内に 3 チャネルの外部リクエスト付き DMAC、HPB バスモジュール専用 28 チャネルの DMAC、さらに SuperHyway 上に外部メモリ間用の DMAC (SHwy-DMAC) を 2 チャネル内蔵しています。</p>										

項目	ページ	修正箇所																																																
1.14 端子の設定	1-38	修正、追加および削除 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>MD19</th> <th>MD14</th> <th>MD18</th> <th>MD17</th> <th>MD16</th> <th>ブートモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>CS0 ブート (NOR フラッシュなど)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>NAND フラッシュブート (SLC)</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>シリアルブート(低速)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>eSD ブート</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	MD19	MD14	MD18	MD17	MD16	ブートモード	0	0	0	0	0	CS0 ブート (NOR フラッシュなど)	0	0	0	0	1	設定禁止	0	0	0	1	0	NAND フラッシュブート (SLC)	0	0	0	1	1	シリアルブート(低速)	0	1	0	0	1	設定禁止	0	1	0	1	0	eSD ブート	0	1	0	1	1	設定禁止
MD19	MD14	MD18	MD17	MD16	ブートモード																																													
0	0	0	0	0	CS0 ブート (NOR フラッシュなど)																																													
0	0	0	0	1	設定禁止																																													
0	0	0	1	0	NAND フラッシュブート (SLC)																																													
0	0	0	1	1	シリアルブート(低速)																																													
0	1	0	0	1	設定禁止																																													
0	1	0	1	0	eSD ブート																																													
0	1	0	1	1	設定禁止																																													
表 1.3 端子特性 (BGA440)	1-41	修正 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>信号名</th> <th>○ : GPIO あり GPI : GPI あり × : GPIO なし</th> <th>(GPIO 割り付け)</th> <th>(Drivability of IO's powered by VCCQ)</th> </tr> </thead> <tbody> <tr> <td>SDBUP</td> <td>×</td> <td></td> <td>—</td> </tr> </tbody> </table>	信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)	SDBUP	×		—																																								
信号名	○ : GPIO あり GPI : GPI あり × : GPIO なし	(GPIO 割り付け)	(Drivability of IO's powered by VCCQ)																																															
SDBUP	×		—																																															
表 1.4 ピン機能表 (BGA440)	1-48～ 1-60	表を差し替え																																																
1.17 パッケージ	—	項目を削除																																																
1.17 外形寸法図	1-61	項目を追加																																																
図 2.1 ブロック図	2-3	図を差し替え																																																
2.5.2 レジスタの説明 (4) 非サポート検出 例外レジスタ (EXPMASK)	2-67	削除 1. RTE 命令、 RTB 命令の遅延スロットが NOP 命令以外である場合																																																
図 3.2 PRESETOUT#構成	3-4	削除 																																																

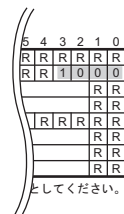
項 目	ページ	修正箇所				
3.2 入出力端子	3-4	削除 【注】*MRST2はPRESETOUT#専用レジスタです。本レジスタビットは初期値1となります。通常状態においてPRESETOUT#端子をL出力とする場合は、本レジスタビットを0にする必要があります。また、このレジスタの初期化条件は他のRESETAWDTモジュール内のレジスタとは異なり、パワーオンリセット、マニュアルリセットすべての要因で初期化されます。(RESETAWDTモジュール内の他のレジスタの初期化条件は外部リセットのみです。)				
3.4.1 リセット要求 (2) マニュアルリセット	3-11	修正 • 要因： 1. SRのBLビットが1のときキューザブレイクを除く一般例外が発生した場合 2. WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが1の状態、WDTCNTがオーバーフローした場合				
表 4.1 DBSC3 機能 (SDRAM 共通の機能)	4-1	追加 <table border="1" style="width: 100%;"> <thead> <tr> <th>項目</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>低消費電力モード</td> <td>• セルフリフレッシュモード、パワーダウンモード、SDRAM電源バックアップモード、ディープスタンバイモードをサポートします。なお、パーシャルセルフリフレッシュモードはサポートしていません。</td> </tr> </tbody> </table>	項目	機能	低消費電力モード	• セルフリフレッシュモード、パワーダウンモード、SDRAM電源バックアップモード、ディープスタンバイモードをサポートします。なお、パーシャルセルフリフレッシュモードはサポートしていません。
	項目	機能				
低消費電力モード	• セルフリフレッシュモード、パワーダウンモード、SDRAM電源バックアップモード、ディープスタンバイモードをサポートします。なお、パーシャルセルフリフレッシュモードはサポートしていません。					
4-2	追加 <table border="1" style="width: 100%;"> <thead> <tr> <th>項目</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>接続対象メモリ</td> <td>DDR3-SDRAM JEDEC 準拠 (512Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート、ライトレベリング機能も非サポート) DDR2-SDRAM JEDEC 準拠 (256Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート)</td> </tr> </tbody> </table>	項目	機能	接続対象メモリ	DDR3-SDRAM JEDEC 準拠 (512Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート、ライトレベリング機能も非サポート) DDR2-SDRAM JEDEC 準拠 (256Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート)	
項目	機能					
接続対象メモリ	DDR3-SDRAM JEDEC 準拠 (512Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート、ライトレベリング機能も非サポート) DDR2-SDRAM JEDEC 準拠 (256Mbit~2Gbit 品の×8品 2個接続、×16品 1個接続をサポート。×4品は非サポート)					
表 4.3 (1) DBSC3 レジスタ構成	4-6	レジスタ DBPDLCK、DBPDRGA、DBPDRGDを追加				
表 4.3 (2) 各処理 状態におけるレジスタの状態	4-6~4-8	既存のマニュアルリセット項、すべて修正 初期化 → 保持				
	4-8	レジスタ DBPDRGA、DBPDRGD、DBBS0CNT0を追加				
4.2 レジスタの説明	4-8	記述を差し替え				
4.2.8 SDRAM 種類 設定レジスタ (DBKIND)	4-17	ビット 2~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…				
4.2.9 SDRAM 構成 設定レジスタ (DBCONF)	4-18、 4-19	ビット表を差し替え				

項 目	ページ	修正箇所
4.2.10 SDRAM タイミングレジスタ 0 (DBTR0)	4-20	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.11 SDRAM タイミングレジスタ 1 (DBTR1)	4-21	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.12 SDRAM タイミングレジスタ 2 (DBTR2)	4-22	ビット 3~0 の説明を修正 本ビットで SDRAM のアディティブレイテンシを設定します。本製品では AL=0 のみサポートします。
4.2.13 SDRAM タイミングレジスタ 3 (DBTR3)	4-23	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.14 SDRAM タイミングレジスタ 4 (DBTR4)	4-24	ビット 19~16、3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
	4-25	【注】 4 を追加
4.2.15 SDRAM タイミングレジスタ 5 (DBTR5)	4-25	ビット 5~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 4 を追加
4.2.16 SDRAM タイミングレジスタ 6 (DBTR6)	4-26	ビット 5~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.17 SDRAM タイミングレジスタ 7 (DBTR7)	4-27	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.18 SDRAM タイミングレジスタ 8 (DBTR8)	4-28	ビット 7~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 4 を追加
4.2.19 SDRAM タイミングレジスタ 9 (DBTR9)	4-29	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.20 SDRAM タイミングレジスタ 10 (DBTR10)	4-30	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.21 SDRAM タイミングレジスタ 11 (DBTR11)	4-31	ビット 5~0 の説明を差し替え
		【注】 2 を差し替え
4.2.22 SDRAM タイミングレジスタ 12 (DBTR12)	4-32	ビット 5~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…

項 目	ページ	修正箇所
4.2.23 SDRAM タ イミングレジスタ 13 (DBTR13)	4-33	ビット 7~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.24 SDRAM タ イミングレジスタ 14 (DBTR14)	4-34	ビット 23~16、7~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
	4-35	【注】 2 を差し替え
4.2.25 SDRAM タ イミングレジスタ 15 (DBTR15)	4-36	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.26 SDRAM タ イミングレジスタ 16 (DBTR16)	4-37、	ビット 29、28、25、24、21~16、13、12、3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
	4-38	
4.2.27 SDRAM タ イミングレジスタ 17 (DBTR17)	4-39	ビット 21~16 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
		【注】 3 を追加
4.2.28 SDRAM タ イミングレジスタ 18 (DBTR18)	4-40、	ビット表を差し替え
	4-41	
4.2.29 SDRAM タ イミングレジスタ 19 (DBTR19)	4-42	ビット 7~0 の説明を差し替え
4.2.33 DBSC3 動作 調整レジスタ 2 (DBADJ2)	4-46、 4-47	ビット表を差し替え
4.2.34 リフレッシュ ユ設定レジスタ 0 (DBRFCNF0)	4-48	ビット 11~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.35 リフレッシュ ユ設定レジスタ 1 (DBRFCNF1)	4-50	ビット 15~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.37 DDR3-SDRAM キャ リブレーション設定 レジスタ (DBCALCNF)	4-52	ビット 15~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.38 DDR3-SDRAM キャ リブレーションタイ ミングレジスタ (DBCALTR)	4-53	ビット 27~16、11~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…

項 目	ページ	修正箇所
4.2.39 ODT 動作設定レジスタ (DBRNK0)	4-54	修正 SDRAM への MODT 端子出力の設定を行います。 ビット表を差し替え
4.2.40 パワーダウン設定レジスタ (DBPDNCNF)	4-55	ビット 15~8 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.41 DDR-PHY 部制御レジスタ 0 (DBPDCNT0)	4-56、 4-57	ビット表を差し替え
4.2.42 DDR-PHY 部制御レジスタ 1 (DBPDCNT1)	4-57	ビット 3~0 の説明を修正 …初期値 (DBSC3 使用の場合、下記…
4.2.45 DDR-PHY 部ロックレジスタ (DBPDLCK)	4-61	レジスタを追加
4.2.46 DDR-PHY 部レジスタアドレスレジスタ (DBPDRGA)	4-61	レジスタを追加
4.2.47 DDR-PHY 部レジスタアクセスレジスタ (DBPDRGD)	4-62	レジスタを追加
4.2.49 バス制御部 0 設定レジスタ 1 (DBBS0CNT1)	4-64	【注】3 を差し替え
4.3.1 初期化シーケンス (1) DDR2-SDRAM	4-65、 4-66	修正、追加および削除 1. … : ③ DDR-PHY 部制御レジスタ 3 (DBPDCNT3) の db_calib_start、db_ioenable1、db_ioenable2、db_dllreset_n、db_dllenable1、db_dllenable2、db_iobackup、db_comhiz を 0 に設定し、db_ck_strength、db_dqs_strength、db_dqdm_strength、db_add_strength、db_stby_n を 1 に設定します。 : 11. …、ODT 動作設定レジスタ 0 (DBRNK0) の設定を行います。 : 17. …DLL リセットはリセット、バースト長は SDRAM 動作設定レジスタ (DBBL) で設定した長さ、バーストタイプは… : 25. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…

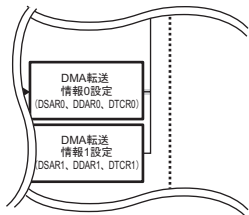
項 目	ページ	修正箇所
(2) DDR3-SDRAM	4-67、 4-68	修正 7. …SDBUP 端子には、電源投入後のパワーオンリセット解除から DBPDCNT3 の db_dllenable2 を 1 に設定するまではローレベルを与えます。本シーケンス以降はハイレベルを与えてください。 : 25. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
4.3.6 ソフトウェアスタンバイ状態での SDRAM メモリの保持 (1) DDR2-SDRAM	4-73	追加 6. DDR-PHY 部制御レジスタ 3 (DBPDCNT3) の db_dllreset_n, db_dllenable1, db_dllenable2, db_stby_n を 0 に設定、db_comhiz を 1 に設定します。
(2) DDR3-SDRAM	4-74	削除 DDR3-SDRAM ソフトウェアスタンバイモードへの遷移は、以下の手順に従ってください。 なお、9、~11 は、同時に設定可能です。 追加 9. DDR-PHY 部制御レジスタ 3 (DBPDCNT3) の db_dllreset_n, db_dllenable1, db_dllenable2, db_stby_n を 0 に設定、db_comhiz を 1 に設定します。
図 4.1 SDRAM 電源バックアップ機能	4-76	用語を修正 DBSC2 → DBSC3 1.8V 系電源 → VDD_DDR 電源
4.3.7 SDRAM 電源バックアップ機能 (1) DDR2-SDRAM	4-78	修正および削除 16. …ODT 動作設定レジスタ 0 (DBRNK0) の設定を行います。 : 18. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
(2) DDR3-SDRAM	4-81	修正 18. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
4.3.8 電源バックアップ機能も使用する場合のディープスタンバイ状態での SDRAM メモリの保持 (1) DDR2-SDRAM	4-84	修正および削除 16. …ODT 動作設定レジスタ 0 (DBRNK0) の設定を行います。 : 18. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
(2) DDR3-SDRAM	4-86	修正 18. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…

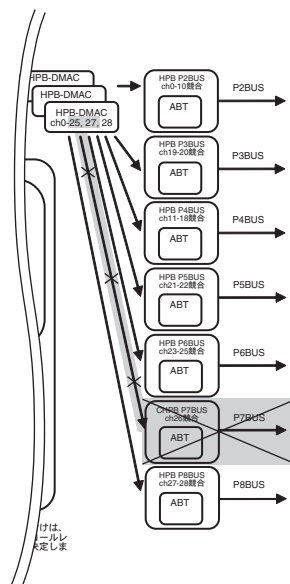
項目	ページ	修正箇所
4.3.9 電源バックアップ機能を使用しない場合のディープスタンバイ状態でのSDRAMメモリの保持 (3) DDR2-SDRAM	4-89	修正および削除 15. …ODT 動作設定レジスタ θ (DBRNK0) の設定を行います。 : 17. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
(4) DDR3-SDRAM	4-91	修正 17. 必要に応じて、DBSC3 動作調整レジスタ 0~2 (DBADJ0~DBADJ2)、…
4.3.10 MZQ 端子の Open/Short テスト	4-92	項目を追加
表 4.6 SDRAM 構成設定レジスタ (DDR3-SDRAM)	4-93	256M×8bit、2Gbit (2 個) の行を削除
4.6.2 バンクアドレスを連続アドレスとして使用する場合	4-97	追加 以下では、32M×16bit の DDR2-SDRAM 1 個をつないだ例で説明します。
表 4.10 BKADM = “00”、BKADP = “000000” の場合 表 4.11 BKADM = “00”、BKADP = “001010” の場合 表 4.12 BKADM = “00”、BKADP = “001100” の場合	4-97	種類を修正 16M×16b → 32M×16b
4.6.3 バンクアドレスを非連続アドレスとして使用する場合	4-98	追加 以下では、64M×16bit の DDR2-SDRAM 1 個をつないだ例で説明します。
5.3.4 コマンドチェーン	5-21	追加 H'00 に設定する CHE は必ず 1 をセットしてください。H'04 はリザーブビットです。H'04 へは H'0000_0008 をセットしてください。また、コマンドチェーンの最後のコマンド列では、H'10 の CCA は必ず 27'H0 をセットしてください。
図 5.6 コマンドチェーン コマンド列フォーマット	5-22	修正  としてください。

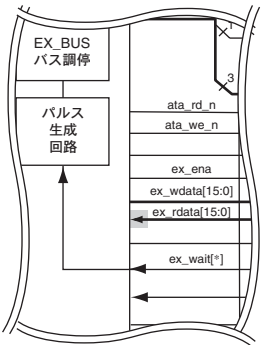
項目	ページ	修正箇所						
図 6.1 HPB 配下の機能モジュールへのアクセスルート図	6-3	修正および追加 HPB P1BUS (DMA 無) : 50MHz/44.4MHz HPB P2BUS~P5BUS (DMA 有) : 50MHz/44.4MHz HPB P6BUS、P8BUS (DMA 有) : 100MHz/88.8MHz						
6.5.1 RCAN0 コントロールレジスタ (RCANOCTL) 6.5.2 RCAN1 コントロールレジスタ (RCAN1CTL)	6-6	ビット 0 の説明を修正 0 : 同期 (内部クロック動作) 1 : 非同期 (CLKSEL ビットで選択された外部クロック動作)						
表 6A.2 (2) 各処理状態におけるレジスタの状態	6A-8、 6A-9	修正 <table border="1"> <thead> <tr> <th>略称</th> <th>パワーオンリセット PRESET#端子/WDT/H-UDI による</th> <th>マニュアルリセット PRESET#端子/WDT/多重例外による</th> </tr> </thead> <tbody> <tr> <td>UATTSR</td> <td>H'FFFF_FFFF</td> <td>H'FFFF_FFFF</td> </tr> </tbody> </table>	略称	パワーオンリセット PRESET#端子/WDT/H-UDI による	マニュアルリセット PRESET#端子/WDT/多重例外による	UATTSR	H'FFFF_FFFF	H'FFFF_FFFF
略称	パワーオンリセット PRESET#端子/WDT/H-UDI による	マニュアルリセット PRESET#端子/WDT/多重例外による						
UATTSR	H'FFFF_FFFF	H'FFFF_FFFF						
表 6A.3 (2) 各処理状態におけるレジスタの状態	6A-10、 6A-11	修正 <table border="1"> <thead> <tr> <th>略称</th> <th>パワーオンリセット PRESET#端子/WDT/H-UDI による</th> <th>マニュアルリセット PRESET#端子/WDT/多重例外による</th> </tr> </thead> <tbody> <tr> <td>HPB-DMASPR3</td> <td>H'0008_8088</td> <td>H'0008_8088</td> </tr> </tbody> </table>	略称	パワーオンリセット PRESET#端子/WDT/H-UDI による	マニュアルリセット PRESET#端子/WDT/多重例外による	HPB-DMASPR3	H'0008_8088	H'0008_8088
略称	パワーオンリセット PRESET#端子/WDT/H-UDI による	マニュアルリセット PRESET#端子/WDT/多重例外による						
HPB-DMASPR3	H'0008_8088	H'0008_8088						
6A.4.3 DMA トランスファカウンタレジスタ 0、1 (DTCR0、DTCR1)	6A-14	ビット 31~26 の初期値を修正 - → 0						
6A.4.6 DMA トランスファカウンタステータスレジスタ (DTCSSR)	6A-15	ビット 31~26 の初期値を修正 - → 0						
6A.4.7 DMA ポート選択レジスタ (DPTR)	6A-16、 6A-17	ビット 31~13、7~5 の初期値を修正 - → 0						
	6A-17、 6A-18	ビット 12~8、4~0 の説明、用語を修正 NFI0 → FLCTL0 NFI1 → FLCTL1						
	6A-18	ビット 4~0 の説明、注記を修正 【注】 *3 (stream 送信) *4 (packet 送信)						
6A.4.8 DMA コントロールレジスタ (DCR)	6A-19~ 6A-21	ビット 31~27、19、7、6 の初期値を修正 - → 0						
		ビット表、ビット 15、14 の初期値を修正 - → 0						

項 目	ページ	修正箇所
6A.4.9 DMA コマンドレジスタ (DCMDR)	6A-22	ビット 31~8 の初期値を修正 - → 0
6A.4.10 DMA 強制停止レジスタ (DSTPR)	6A-23	ビット 31~1 の初期値を修正 - → 0
6A.4.11 DMA ステータスレジスタ (DSTS)	6A-24	ビット 31~7 の初期値を修正 - → 0
6A.4.12 DMA チャネルデバッグレジスタ (DDBGR)	6A-27	ビット 30~7、3 の初期値を修正 - → 0
6A.4.13 DMA チャネルデバッグレジスタ 2 (DDBGR2)	6A-27、 6A-28	ビット 31、27、26 の初期値を修正 - → 0
6A.4.14 DMA タイマコントロールレジスタ (DTIMR)	6A-28	ビット 31~16 の初期値を修正 - → 0
6A.4.15 DMA リクエストマスクコントロールレジスタ (DRMSKR)	6A-29	ビット 31~12 の初期値を修正 - → 0
6A.4.16 DMA メモリアクセス優先レベルコントロールレジスタ (DMLVLR)	6A-29	ビット 31~3 の初期値を修正 - → 0
6A.4.17 DMA 転送終了割り込み表示レジスタ (DINTSR) • LBSC-DMAC 専用レジスタ	6A-30	ビット 31~3 の初期値を修正 - → 0
• HPB-DMAC 専用レジスタ	6A-30	ビット 31~29、26 の初期値を修正 - → 0
6A.4.18 DMA 転送終了割り込み表示クリアレジスタ (DINTCR) • LBSC-DMAC 専用レジスタ	6A-31	ビット 31~3 の初期値を修正 - → 0
• HPB-DMAC 専用レジスタ	6A-31、 6A-32	ビット 31~29、26 の初期値を修正 - → 0

項 目	ページ	修正箇所
6A.4.19 DMA 転送終了割り込みイネーブルレジスタ (DINTMR) • LBSC-DMAC 専用レジスタ	6A-33	ビット 31~3 の初期値を修正 - → 0
• HPB-DMAC 専用レジスタ	6A-33	ビット 31~29、26 の初期値を修正 - → 0
6A.4.20 DMA 起動状態表示レジスタ (DACTSR) • LBSC-DMAC 専用レジスタ	6A-34	ビット 31~3 の初期値を修正 - → 0
• HPB-DMAC 専用レジスタ	6A-34	ビット 31~29、26 の初期値を修正 - → 0
6A.4.21 ソフトリセットレジスタ (LSRSTR0~2、HSRSTR0~28)	6A-35	タイトルを修正 ビット表、ビット 31~1 の初期値を修正 - → 0
6A.4.22 外部 DMA データアライメントコントロールレジスタ (DMALGR)	6A-36	ビット 31~12 の初期値を修正 - → 0
6A.4.23 LBSC-DMA SHwy プライオリティコントロールレジスタ (LBSC-DMASPR)	6A-37	ビット 31~12 の初期値を修正 - → 0
6A.4.27 HPB-DMA SHwy プライオリティコントロールレジスタ 3 (HPB-DMASPR3)	6A-39	ビット 31~20、11~8 の初期値を修正 - → 0
6A.4.28 HPB-DMA アクセス優先レベルコントロール (HPB-DMLVLR)	6A-40	ビット 31~29、26 の初期値を修正 - → 0 ビット図、ビット 2 のビット名を修正 DMLV1 → DMLV2
6A.4.29 UltraATA DMA モードレジスタ (UATMR)	6A-41	ビット 31~10、7、6、3 の初期値を修正 - → 0

項 目	ページ	修正箇所
6A.4.30 UltraATA ライトサイクル設定 レジスタ (UATWCR)	6A-42	ビット 31~3 の初期値を修正 - → 0
6A.4.32 UltraATA エラー表示レジスタ (UATTER)	6A-44	ビット 31~2 の初期値を修正 - → 0
		ビット 0 の説明を修正 タイムアウト時間は、UATTSR、UATMR2 レジスタの設定値による。
6A.4.33 UltraATA エラー割り込みイネ ーブルレジスタ (UATIER)	6A-45	ビット 31~2 の初期値を修正 - → 0
6A.4.34 UltraATA CRC コード表示レ ジスタ (UATCRCR)	6A-46	ビット 31~16 の初期値を修正 - → 0
6A.4.36 UltraATA DMA モードレジス タ 3 (UATMR3)	6A-48	ビット 31~8、7~4 の初期値を修正 - → 0
6A.4.37 UltraATA 転送モードレジスタ (UATTMR)	6A-49	ビット 31~16 の初期値を修正 - → 0
図 6A.2 DMA 転送 フロー図 (1)	6A-51	追加 

項目	ページ	修正箇所
図 6A.7 外部バス DMA リード動作 (SRAM バス シン グルリード) 図 6A.8 外部バス DMA ライト動作 (SRAM バス シン グルライト) 図 6A.9 外部バス DMA リード動作 (SRAM バス パー ストロード) 図 6A.10 外部バス DMA ライト動作 (SRAM バス パー ストライト)	6A-62~ 6A-64	用語を修正 DREQ# → DREQ DRACK# → DRACK DACK# → DACK
図 6A.11 HPB-DMAC SuperHyway および HPB バス調停の概念 図	6A-65	追加および削除 
6B. ローカルバス ステートコントロー ラ (LBSC)	-	信号名を修正 RD → RD# WE → WE# CS → CS# DREQ# → DREQ、 DREQ[y]# → DREQ[y]、DREQ*# → DREQ*、 DREQ[1:0]# → DREQ[1:0]、DREQ[2:0]# → DREQ[2:0]、 DREQ0# → DREQ0、DREQ1# → DREQ1、DREQ2# → DREQ2

項目	ページ	修正箇所						
6B.6.5 CPU (SuperHywayバス) →ATA デバイス インタフェース (1) ATACS0#/ATACS1# 信号	6B-55	削除 ATACS コントロールレジスタ (ATACSCCTRL) の ATACS1_EN、ATAECSx_EN (x=0~5) を 1 に設定し、CS1xCTRL レジスタ CS1IF ビット、ECSxCTRL レジスタ ECSxIF ビットにより、…						
表 6B.9 ATA インタ フェース 信号一覧	6B-55	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;"></th> <th style="width: 40%;">ATA I/F 信号</th> <th style="width: 50%;">LBSC 出力信号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td>DMARQ</td> <td>DREQ[2:0] (負極性設定可)</td> </tr> </tbody> </table>		ATA I/F 信号	LBSC 出力信号	3	DMARQ	DREQ[2:0] (負極性設定可)
	ATA I/F 信号	LBSC 出力信号						
3	DMARQ	DREQ[2:0] (負極性設定可)						
図 6B.16 EX_BUS ATA デバイス構成例	6B-56	修正 						
表 6B.10 ATA イン タフェース PIO 転送 における RD/WE パ ルスコントロールレ ジスタ設定例	6B-58	用語を修正 EXDMAWCR → CSWCR						
表 6B.11 ATA イン タフェースマルチワ ード DMA における RD/WE パルスコン トロールレジスタ設 定例	6B-59	用語を修正 CSWCR → EXDMAWCR						
図 6B.20 UltraATA DMA の設定手順	6B-61	修正 ATA デバイス EX_BUS 接続空間 DREQ/DACK 設定 : LBSC-DMAC チャネル y コントロ ールレジスタ (EXDMCRy (y=0, 1))						
図 6B.22 リードア クセス時の HDMARDY#、 DSTROBE 信号動作	6B-63	用語を修正 UATTSR レジスタ → UATMR2 レジスタ						

項目	ページ	修正箇所											
6B.7.2 UltraDMA リードアクセス動作 (1) UltraDMA リードアクセス動作	—	削除 2-タイムアウト検出時、32バイトに対する不足分をバディンングしDMA転送を行います。 UATTSRレジスタに設定された設定時間期間DSTROBE信号を受信できないとタイムアウトエラーを検出し、アクセス解放を行うため32バイトに対する不足分をバディン グ処理してDMA転送を完了させます。図6B.23にタイムアウト検出動作を示します。											
図6B.23 タイムアウト検出時動作	—	図を削除											
(2) UltraDMA 転送リードアクセス時の転送性能	—	項目を削除											
図7.1 INTCとINTC2のブロック図 図7.2 INTC入力コントロール部の詳細	7-3、7-4	信号名を修正 NMI# → NMI IRQ[3:0]# → IRQ[3:0]											
表7.1 割り込み要因コードと優先順位 (1)	7-6	信号名を修正 IRQ[3:0]# → IRQ[3:0]、 IRQ[0]# → IRQ[0]、IRQ[1]# → IRQ[1]、IRQ[2]# → IRQ[2]、IRQ[3]# → IRQ[3]											
表7.1 割り込み要因コードと優先順位 (2)	7-7	修正 <table border="1"> <thead> <tr> <th>割り込み内蔵周辺モジュール</th> <th>詳細要因数</th> <th>詳細要因レジスタ</th> <th>INTEVTコード</th> </tr> </thead> <tbody> <tr> <td>SHwy-DMAC 0,1</td> <td>6</td> <td>INT2B9</td> <td>620</td> </tr> </tbody> </table>	割り込み内蔵周辺モジュール	詳細要因数	詳細要因レジスタ	INTEVTコード	SHwy-DMAC 0,1	6	INT2B9	620			
	割り込み内蔵周辺モジュール	詳細要因数	詳細要因レジスタ	INTEVTコード									
SHwy-DMAC 0,1	6	INT2B9	620										
7-8	修正 <table border="1"> <thead> <tr> <th>割り込み内蔵周辺モジュール</th> <th>詳細要因数</th> <th>詳細要因レジスタ</th> <th>INTEVTコード</th> </tr> </thead> <tbody> <tr> <td>GPIO 4、5</td> <td>43</td> <td>INT2B49</td> <td>D00</td> </tr> </tbody> </table>	割り込み内蔵周辺モジュール	詳細要因数	詳細要因レジスタ	INTEVTコード	GPIO 4、5	43	INT2B49	D00				
割り込み内蔵周辺モジュール	詳細要因数	詳細要因レジスタ	INTEVTコード										
GPIO 4、5	43	INT2B49	D00										
表7.4 割り込み要求元とINT2PRI0～INT2PRI11レジスタ	7-26	修正および追加 <table border="1"> <thead> <tr> <th rowspan="2">レジスタ</th> <th colspan="2">ビット</th> </tr> <tr> <th colspan="2">28～24</th> </tr> </thead> <tbody> <tr> <td>INT2PRI7</td> <td colspan="2">HPB-DMAC 23～25、27、28</td> </tr> <tr> <td>INT2PRI8</td> <td colspan="2">ADC</td> </tr> </tbody> </table>	レジスタ	ビット		28～24		INT2PRI7	HPB-DMAC 23～25、27、28		INT2PRI8	ADC	
レジスタ	ビット												
	28～24												
INT2PRI7	HPB-DMAC 23～25、27、28												
INT2PRI8	ADC												
7.4.14 INTC2/割り込み詳細要因レジスタ (INT2B0～INT2B52) (49) INT2B49レジスタ : GPIO4-5	7-41	修正 											

項 目	ページ	修正箇所												
表 7.6 INTC2 へ割り込み通知する内蔵周辺モジュールと各詳細要因表示レジスタ本数	7-58	<p>修正</p> <table border="1"> <thead> <tr> <th>内蔵周辺モジュール</th> <th>詳細要因表示レジスタ本数</th> <th>記 事</th> </tr> </thead> <tbody> <tr> <td>GPIO 0~5</td> <td>2 reg</td> <td>GPIO 6 チャンネル全 171 ポートに対し 4bit ごとに reg 中 1bit を割り付け</td> </tr> </tbody> </table>	内蔵周辺モジュール	詳細要因表示レジスタ本数	記 事	GPIO 0~5	2 reg	GPIO 6 チャンネル全 171 ポートに対し 4bit ごとに reg 中 1bit を割り付け						
内蔵周辺モジュール	詳細要因表示レジスタ本数	記 事												
GPIO 0~5	2 reg	GPIO 6 チャンネル全 171 ポートに対し 4bit ごとに reg 中 1bit を割り付け												
8.1.1 特長	8-1	<p>削除</p> <ul style="list-style-type: none"> SH7793/34 (SH4A-V) 内部クロックを生成 CPU クロック (clki)、SHwy クロック (clks、clks1)、バスクロック (clkb)、周辺クロック (clkp) を生成します。 SH7793/34 (SH4A-V) 外部クロックを生成 外部バスクロック (CLKOUT) および DDR クロック (MCK0/MCK0#/MCK1/MCK1#) を生成します。 												
8.1.2 ブロック図	8-2	タイトルを修正												
8.1.3 外部端子 (1) 外部端子機能	8-3	<p>追加および削除</p> <ul style="list-style-type: none"> クロックモード制御 MD0、MD1、MD2、MD3、MD4、MD11、MD12 端子の組み合わせにより PLL1 の通倍率および分周比を決めます。 												
表 8.12 自走モードでの各クロック種々の分周比	8-8	表を追加												
図 8.3 PLL 発振回路使用時の注意	8-15	<p>用語を修正</p> <p>SH4A-Value → 本 LSI</p>												
9. 動作モード、低消費電力モード	—	<p>用語を修正</p> <p>GEther → GETHER</p> <p>FLCTL ブート → NAND フラッシュブート</p> <p>シリアルブート (低速) → シリアルブート</p>												
表 9.1 低消費電力モードの状態	9-3	<p>修正</p> <table border="1"> <thead> <tr> <th>低消費電力モード</th> <th>状 態</th> <th>解除方法</th> </tr> </thead> <tbody> <tr> <td></td> <td>ILRAM/ キャッシュ メモリ</td> <td></td> </tr> <tr> <td>スリープモード</td> <td>停止 (内容は保持)</td> <td> <ul style="list-style-type: none"> 割り込み パワーオンリセット マニュアルリセット DMA アドレスエラー </td> </tr> <tr> <td>ディープスタンバイモード</td> <td>停止 (内容は非保持)</td> <td> <ul style="list-style-type: none"> NMI 割り込み パワーオンリセット リアルタイムクロックアラーム割り込み 解除用端子の変化 GETHER の Magic Packet 検出割り込み </td> </tr> </tbody> </table>	低消費電力モード	状 態	解除方法		ILRAM/ キャッシュ メモリ		スリープモード	停止 (内容は保持)	<ul style="list-style-type: none"> 割り込み パワーオンリセット マニュアルリセット DMA アドレスエラー 	ディープスタンバイモード	停止 (内容は非保持)	<ul style="list-style-type: none"> NMI 割り込み パワーオンリセット リアルタイムクロックアラーム割り込み 解除用端子の変化 GETHER の Magic Packet 検出割り込み
低消費電力モード	状 態	解除方法												
	ILRAM/ キャッシュ メモリ													
スリープモード	停止 (内容は保持)	<ul style="list-style-type: none"> 割り込み パワーオンリセット マニュアルリセット DMA アドレスエラー 												
ディープスタンバイモード	停止 (内容は非保持)	<ul style="list-style-type: none"> NMI 割り込み パワーオンリセット リアルタイムクロックアラーム割り込み 解除用端子の変化 GETHER の Magic Packet 検出割り込み 												

項 目	ページ	修正箇所
表 9.3 各処理モードにおけるレジスタの状態	9-5	レジスタ BIOKP を削除
9.4.3 ディープスタンバイモード (2) ディープスタンバイモードの解除	9-26	削除 <ul style="list-style-type: none"> リセット以外による解除 : …CKOKEEPE=1 に設定している場合は、ディープスタンバイ遷移のために SLEEP 命令を発行してから 1[ms] は NMI、IRQ をネゲート状態にし、NMI、IRQ アサート維持を 1[ms] 以上、2[ms] 未満としてください。 リセットによる解除 :
表 9.5 外部メモリ制御端子一覧	9-27	削除 <div style="border: 1px dashed black; padding: 5px; margin: 5px 0;">シリアルブート (シリアルフラッシュメモリ)</div> <div style="border: 1px dashed black; padding: 5px; margin: 5px 0;">RSPCK、SSL0、MOSI、MISO</div>
(8) GETHER の Magic Packet 検出割り込みによるディープスタンバイからの復帰の注意事項	9-29	追加 <p>本 LSI は GETHER (制御系) を GroupB# に選択することによって、GETHER の Magic Packet 検出割り込みを受け付け GETF ビットへ送る機構が ON 状態になり、割り込み発生によりディープスタンバイからの復帰を行うことが可能となります。…</p>
9.4.4 モジュールスタンバイ機能	9-30	削除 <p>特定のモジュールのクロックを停止します。この機能によるクロック停止は B-Driver を使用しません。なお、モジュールスタンバイ機能にてクロック停止/復帰する場合は、各モジュールのクロック停止/復帰手順を参照してください。</p>
(a) モジュールスタンバイモードへの遷移 18. MIMLB	9-35	修正 <p>(5) MIMLB の SYSTEM_MEM 割り込みイネーブルレジスタ (SYSTEM_MEM_INT_ENABLE) の全ビットがすべて 0 (割り込み禁止) であること。</p>
9.5.2 動作説明 (3) HIF ブート	9-43	修正 <p>HIFMD (MD19) =H とすることで、MD18、MD17、MD16、MD14 の設定によらず本 LSI は HIF ブートモードで起動し、PRESET#=H 後、0xFF820000 番地よりプログラムの実行を開始します。…</p>
(5) CS0 ブート以外のブートモードおよび遮断復帰後のリセット例外番地について	9-43～ 9-45	項目を追加
9.6 使用上の注意事項	9-46	項目を追加
10. R-GPVG	10-1	修正および削除 <p>本モジュールは、OpenVG 用グラフィックスプロセッサです。 本機能をお使いの場合、詳細は、弊社の営業担当にご確認ください。</p>

項 目	ページ	修正箇所																																								
11.2.1 システムコントロールレジスタ (SCLR) 11.2.2 ステータスレジスタ (SR) 11.2.4 割り込み許可レジスタ (IER) ~ 11.2.21 コマンドステータスレジスタ (CSTR) 11.2.24 システムクリップエリア MAX レジスタ (SCLMAR) ~ 11.2.30 パターンオフセットレジスタ (POFSR)	11-6、 11-7、 11-10~ 11-20、 11-22、 11-24~ 11-29	リザーブビット (不定値) の説明を修正 不定値が読み出されます。書き込む値は常に0にしてください。																																								
12.3.11 後クリップ終了画素レジスタ (EPPoC)	12-18	ビット表、ビット 10~0 のビット名を修正 EPPoC[9:0] → EPPoC[10:0]																																								
12.3.23 データモードレジスタ (DMR)	12-31	ビット表、ビット 31~13、11~6 の R/W を修正 R/W → R																																								
12.3.24 データモードレジスタ 2 (DMR2)	12-33	ビット表、ビット 27~18 の R/W を修正 R/W → R																																								
表 12.7 タップ係数のビットサイズ	12-39	削除 <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>レジスタ名称 (m=1~8)</th> <th colspan="3">CmA</th> <th colspan="3">CmB</th> <th colspan="3">CmC</th> </tr> <tr> <th>9 タップ係数</th> <th>L1</th> <th>L2</th> <th>L3</th> <th>L4</th> <th>M</th> <th>R4</th> <th>R3</th> <th>R2</th> <th>R1</th> </tr> </thead> <tbody> <tr> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> <td style="background-color: #cccccc;">X</td> </tr> <tr> <td>ビット幅</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> <td>10</td> </tr> </tbody> </table>	レジスタ名称 (m=1~8)	CmA			CmB			CmC			9 タップ係数	L1	L2	L3	L4	M	R4	R3	R2	R1	X	X	X	X	X	X	X	X	X	X	ビット幅	10	10	10	10	10	10	10	10	10
レジスタ名称 (m=1~8)	CmA			CmB			CmC																																			
9 タップ係数	L1	L2	L3	L4	M	R4	R3	R2	R1																																	
X	X	X	X	X	X	X	X	X	X																																	
ビット幅	10	10	10	10	10	10	10	10	10																																	

項 目	ページ	修正箇所				
12.3.29 係数セットレジスタ (CmA、CmB、CmC) (m=1~8) (1) 係数セットレジスタ mA (CmA) (m=1~8) (2) 係数セットレジスタ mB (CmB) (m=1~8) (3) 係数セットレジスタ mC (CmC) (m=1~8)	12-39、 12-40	タイトルを修正				
12.5.4 使用制限 (1) 入力ビデオクロック制約	12-57、 12-58	項目を差し替え				
表 13.1 入出力端子	13-2	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">端子名</th> <th style="width: 50%;">備 考</th> </tr> </thead> <tbody> <tr> <td>VI1_CLK_x*¹</td> <td>ITU-R BT.656 インタフェース 外部非同期信号 27MHz クロック (typ)</td> </tr> </tbody> </table>	端子名	備 考	VI1_CLK_x* ¹	ITU-R BT.656 インタフェース 外部非同期信号 27MHz クロック (typ)
端子名	備 考					
VI1_CLK_x* ¹	ITU-R BT.656 インタフェース 外部非同期信号 27MHz クロック (typ)					
13.3.1 ITU-R BT.656 インタフェース	13-2	修正および削除 また、VI1_CLK は最大 29.4MHz まで入力できます*。最小値に規定はありませぬが、小さすぎるとリアルタイム性が失われる可能性があります。ここで、ITU-R BT.656 によるキャプチャリング時、本モジュールは… : 【注】 * VI1_CLK の周波数はシステムクロック (clks1) の周波数の 1/3.3 倍以下にする制約があります (例 システムクロック (clks1) : 88.9MHz の場合、VI1_CLK 周波数は、26.9MHz 以下としてください)。				
表 13.2 VIN1 レジスタ構成	13-8、 13-9	P4 領域アドレス、エリア7アドレスを修正				
14.1.1 特長	14-2	追加 表示キャプチャ 出力するデジタル RGB888 データまたは RGB666 データを RGB565 データまたは ARGB1555 データに変換しそれぞれ別の外部メモリに格納可能です。				

項目	ページ	修正箇所																																
14.1.2 ブロック図	14-4	修正 																																
表 14.1 端子機能 (DU0)	14-5、 14-6	削除 <table border="1"> <thead> <tr> <th>名称</th> <th>端子名</th> <th>入出力</th> <th colspan="2">機能</th> <th>本章内信号名</th> </tr> </thead> <tbody> <tr> <td rowspan="2">DU0 表示データ</td> <td>DU0_DR0</td> <td>出力</td> <td>デジタル 0 Red 0</td> <td>デジタル Red 0</td> <td rowspan="2">デジタル RGB</td> </tr> <tr> <td>DU0_DR1</td> <td>出力</td> <td>デジタル 0 Red 1</td> <td>デジタル Red 1</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td rowspan="2"></td> <td>DU0_DB6</td> <td>出力</td> <td>デジタル 0 Blue 6</td> <td>デジタル Blue 6</td> <td rowspan="2"></td> </tr> <tr> <td>DU0_DB7</td> <td>出力</td> <td>デジタル 0 Blue 7</td> <td>デジタル Blue 7</td> </tr> </tbody> </table>	名称	端子名	入出力	機能		本章内信号名	DU0 表示データ	DU0_DR0	出力	デジタル 0 Red 0	デジタル Red 0	デジタル RGB	DU0_DR1	出力	デジタル 0 Red 1	デジタル Red 1	:	:	:	:	:	:		DU0_DB6	出力	デジタル 0 Blue 6	デジタル Blue 6		DU0_DB7	出力	デジタル 0 Blue 7	デジタル Blue 7
名称	端子名	入出力	機能		本章内信号名																													
DU0 表示データ	DU0_DR0	出力	デジタル 0 Red 0	デジタル Red 0	デジタル RGB																													
	DU0_DR1	出力	デジタル 0 Red 1	デジタル Red 1																														
:	:	:	:	:	:																													
	DU0_DB6	出力	デジタル 0 Blue 6	デジタル Blue 6																														
	DU0_DB7	出力	デジタル 0 Blue 7	デジタル Blue 7																														
表 14.2 表示制御レジスタ構成 (1)	14-8	表タイトルを修正 修正 <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>表示ステータスレジスタ</td> <td>DSSR</td> <td>R</td> </tr> <tr> <td>表示ステータスレジスタクリアレジスタ</td> <td>DSRCR</td> <td>W</td> </tr> </tbody> </table>	名称	略称	R/W	表示ステータスレジスタ	DSSR	R	表示ステータスレジスタクリアレジスタ	DSRCR	W																							
名称	略称	R/W																																
表示ステータスレジスタ	DSSR	R																																
表示ステータスレジスタクリアレジスタ	DSRCR	W																																
表 14.3 表示制御レジスタ構成 (2)	14-9	表タイトルを修正																																
表 14.6 表示属性レジスタ構成 (1)	14-11	追加 <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>内部更新機能を持つビット</th> </tr> </thead> <tbody> <tr> <td>表示 SuperHyway プライオリティレジスタ</td> <td>DSHPR</td> <td>全ビット DRES で更新</td> </tr> </tbody> </table>	名称	略称	内部更新機能を持つビット	表示 SuperHyway プライオリティレジスタ	DSHPR	全ビット DRES で更新																										
名称	略称	内部更新機能を持つビット																																
表示 SuperHyway プライオリティレジスタ	DSHPR	全ビット DRES で更新																																

項 目	ページ	修正箇所																														
表 14.7 表示属性レジスタ構成 (2)	14-11	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>パワーオンリセット/ ディープスタンバイ</th> <th>マニュアルリセット</th> <th>スリープ/ モジュールスタンバイ/ ソフトウェアスタンバイ</th> </tr> </thead> <tbody> <tr> <td>カラーパレット1透過色レジスタ</td> <td>CP1TR</td> <td>H'00000000</td> <td>H'00000000</td> <td>保持</td> </tr> <tr> <td>カラーパレット2透過色レジスタ</td> <td>CP2TR</td> <td>H'00000000</td> <td>H'00000000</td> <td>保持</td> </tr> <tr> <td>カラーパレット3透過色レジスタ</td> <td>CP3TR</td> <td>H'00000000</td> <td>H'00000000</td> <td>保持</td> </tr> <tr> <td>カラーパレット4透過色レジスタ</td> <td>CP4TR</td> <td>H'00000000</td> <td>H'00000000</td> <td>保持</td> </tr> <tr> <td>表示 SuperHyway プライオリティレジスタ</td> <td>DSHPR</td> <td>H'000000A8</td> <td>H'000000A8</td> <td>保持</td> </tr> </tbody> </table>	名称	略称	パワーオンリセット/ ディープスタンバイ	マニュアルリセット	スリープ/ モジュールスタンバイ/ ソフトウェアスタンバイ	カラーパレット1透過色レジスタ	CP1TR	H'00000000	H'00000000	保持	カラーパレット2透過色レジスタ	CP2TR	H'00000000	H'00000000	保持	カラーパレット3透過色レジスタ	CP3TR	H'00000000	H'00000000	保持	カラーパレット4透過色レジスタ	CP4TR	H'00000000	H'00000000	保持	表示 SuperHyway プライオリティレジスタ	DSHPR	H'000000A8	H'000000A8	保持
名称	略称	パワーオンリセット/ ディープスタンバイ	マニュアルリセット	スリープ/ モジュールスタンバイ/ ソフトウェアスタンバイ																												
カラーパレット1透過色レジスタ	CP1TR	H'00000000	H'00000000	保持																												
カラーパレット2透過色レジスタ	CP2TR	H'00000000	H'00000000	保持																												
カラーパレット3透過色レジスタ	CP3TR	H'00000000	H'00000000	保持																												
カラーパレット4透過色レジスタ	CP4TR	H'00000000	H'00000000	保持																												
表示 SuperHyway プライオリティレジスタ	DSHPR	H'000000A8	H'000000A8	保持																												
表 14.20 ディスプレイアウトコンペアレジスタ構成 (1) 表 14.21 ディスプレイアウトコンペアレジスタ構成 (2)	14-27、 14-28	修正 <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> </tr> </thead> <tbody> <tr> <td>ディスプレイアウトコンペア CRC 期待値保持レジスタ 1</td> <td>DOCMECRCHR1</td> </tr> </tbody> </table> レジスタ DOCMCRCIR1 を追加	名称	略称	ディスプレイアウトコンペア CRC 期待値保持レジスタ 1	DOCMECRCHR1																										
名称	略称																															
ディスプレイアウトコンペア CRC 期待値保持レジスタ 1	DOCMECRCHR1																															
14.3 レジスタの説明	14-29～ 14-143	項目を差し替え																														
表 14.24 ブレーンの表示機能	14-144	【注】*5を追加																														
表 14.27 メモリパラメータ・モニタパラメータ設定レジスタ	14-148	修正 <table border="1"> <thead> <tr> <th>No</th> <th>図中の名称</th> <th>レジスタ略称</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	No	図中の名称	レジスタ略称	説明																										
No	図中の名称	レジスタ略称	説明																													
14.4.5 画像データフォーマット	14-149～ 14-154	項目を差し替え																														
14.4.7 エンディアン変換	14-155、 14-156	項目を差し替え																														
14.4.8 カラーパレット	14-157	修正 …各カラーパレットの設定後、カラーパレット制御レジスタ (CPCR) のカラーパレット切り替えイネーブルビット (CP4CE、CP3CE、CP2CE、CP1CE) を 1 にセットすることにより、次の VSYNC の立ち下がり (内部更新タイミング)、または表示リセット解除 (表示システム制御レジスタ (DSYSR) /DRES を 1→0) で設定したカラーパレットが有効になります。																														
14.4.9 ブレーンの重ね合わせ表示	14-158～ 14-160	項目を差し替え																														
14.4.10 表示の競合 (1) カラーパレットの競合	14-161	修正 αブレンディングおよび EOR 演算を行う場合、画像データフォーマットが 8bit/pixel のプレーン間において同一のカラーパレットを選択しているとカラーパレットの競合が発生する場合があります。これは競合判定をプレーンの面単位ではなく、画素単位に行うためです。																														

項目	ページ	修正箇所
(3) プレーンの優先順位	14-163	追加 各プレーンの表示優先順位は表示プレーン優先順位レジスタ (DPPR) または表示重ね合せ1優先順位レジスタ (DS1PR) と表示重ね合せ2優先順位レジスタ (DS2PR) にて設定しますが、1つのプレーンが2つ以上の順位に設定された場合は、最も上の順位を選択します。
14.4.12 スクロール表示	14-164	削除 スクロール表示を行うためには、各プレーンの表示領域開始アドレス 0~2 レジスタ (PnDSA0~2R) で指定したメモリの先頭を原点として、プレーン n 表示開始位置 X (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) をサイクリックに設定することにより可能です。
14.4.13 ラップアラウンド表示	14-165	修正 各プレーンは、スクロール表示に加えて、球面スクロールを実現できるラップアラウンド表示ができます。ラップアラウンド表示を有効にする場合、プレーン n モードレジスタ (PnMR) / PnWAE に 1 を設定します。スクロール表示のため、プレーン n 表示開始位置 (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) を変化させた結果、プレーン n がラップアラウンドエリアをはみ出した場合でも、ラップアラウンド表示では、図 14.12 のようにラップアラウンドエリアを球面に見立てて、はみ出した部分を補完して表示します。ラップアラウンドエリアの指定方法を以下に示します。
14.4.15 ダブルバッファ制御 (2) マニュアルディスプレイチェンジモード	14-167	項目を差し替え
14.4.16 同期方式 (2) TV 同期モード (外部同期モード)	14-168	追加 外部の同期信号発生回路から水平同期信号、垂直同期信号およびクロックを、EXHSYNC、EXVSYNC、DCLKIN 端子にそれぞれ入力してください。CSYNC は High レベルを出力します。インタレースシンクモード、インタレースシンク & ビデオモードの場合は、EXODDF 端子に奇数フィールド/偶数フィールドを示す信号を入力してください。ノンインタレースモードの場合は EXODDF 端子を Low レベルまたは High レベルに固定してください。
14.4.17 表示キャプチャ	14-169	修正 データフォーマット : 「表 14.29 表示データフォーマット」を参照してください。 ARGB1555 の A 値は表示キャプチャ制御レジスタ (DCPCR) で指定します。
14.4.19 分離 YUV 表示	14-174~ 14-176	項目を追加
表 14.36 表示画面で定義した変数	14-177	削除 【注】 *1 hsw+xs+xw<hc+†⊖

項 目	ページ	修正箇所						
14.5.5 外部同期制御	14-183	削除 (4) ドットクロック同期制御 Display Unit は、TV 同期モード時、外部から入力ドットクロック (通信用クロック : DCLKIN) を入力することにより外部同期信号 (EXHSYNC、EXVSYNC) に従ったドットクロック (出力ドットクロック : DCLKOUT) 生成が可能です。 外部より入力ドットクロック (通信用クロック : DCLKIN) を入力し以下の各パラメータを設定してください。						
14.6.3 モジュールスタンバイモードの解除と表示起動	14-186	修正 2. 表示システム制御レジスタ (DSYSR) /DEN=1、DRES=0 として表示 ON の設定を行います。						
14.6.6 レジスタ設定の注意点	14-187、 14-188	項目を追加						
15. LCD コントローラ (LCDC)	15-1	修正 LCD コントローラ (LCDC) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール [※] などの液晶モジュールは接続できません。						
15.1 特長	15-1	削除 • パネルインタフェース シリアルインタフェース方式 STN/Dual STN/TFT パネル (8/12/16/18 ビットバス幅) のデータフォーマットをサポート ^{※1}						
15.2 入出力端子	15-3	修正 LCDC 端子の選択は、PFC のピンマルチ設定で行います。						
表 15.1 端子構成	15-3	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;">端子名</th> <th style="width: 20%;">入出力</th> <th style="width: 50%;">機 能</th> </tr> </thead> <tbody> <tr> <td>LCD_D15~0_x</td> <td>出力</td> <td>LCD_DATA15~0_x LCD パネル用データ。LCD_D15~0_x と略記。</td> </tr> </tbody> </table>	端子名	入出力	機 能	LCD_D15~0_x	出力	LCD_DATA15~0_x LCD パネル用データ。LCD_D15~0_x と略記。
端子名	入出力	機 能						
LCD_D15~0_x	出力	LCD_DATA15~0_x LCD パネル用データ。LCD_D15~0_x と略記。						
15.3.1 LCDC インブットクロックレジスタ (LDICKR)	15-6	修正 …LCD_CL2 にかかわらず、LCDC への入力クロックが周辺クロック (clks1) 以下となるように、LDICKR を設定してください。						
15.3.18 LCDC コントロールレジスタ (LDCNTR)	15-26	【注】3.を追加						
15.3.21 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)	15-29	ビット 7~0 の説明を修正 LCDC が VRAM を読み出す毎にバスサイクルの間の SDRAM のクロックサイクル数を指定します。						

項 目	ページ	修正箇所
15.4.1 LCDC で表示可能な液晶モジュールのサイズについて	15-30	説明文を差し替え
15.6.1 表示データ格納用 VRAM (エリア 2、3) アクセスの停止手順について	15-50	用語を修正 (タイトルを含む) (エリア 1、2 の SDRAM) → (エリア 2、3)
図 15.23 表示開始時の手順	15-51	修正および追加 (例) N : 3 分周、 P : 周辺クロック=100MHz、L : LCDCLK=54MHz の場合 $3/2 \times 100\text{MHz}/54\text{MHz} + 2 = 4.7 = 5$ 回 (小数点以下切り上げ) : LPS[0]が B'1 になれば 液晶モジュールへの電源投入シーケンス完了です。
16. シリアルサウンドインタフェースクロックセレクタ (SSS)	—	章タイトルを修正
16.1 特長	16-1	修正 シリアルサウンドインタフェースクロックセレクタ (SSS) のブロック図を示します。SSS は、…
図 16A.25 DMA コントローラを使用した送信	16A-33	図を差し替え
16A.3.9 送信時における一時停止、再開手順	16A-37	項目を削除
16A.4.5 TDM モードの制限事項	16A-39、 16A-40	用語を修正 不具合 → 制限事項 本不具合 → 制限事項
17. I ² C バスインタフェース 3	17-1	修正 I ² C バスインタフェース 3 は、フィリップス社が提唱する I ² C バス (Inter IC Bus) インタフェース方式をサポートしており、サブセット機能を備えています。ただし I ² C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。
図 17.12 スレープ受信モード動作タイミング (2)	17-26	SDA (スレープ出力) のタイミングを修正 [3]ACKBT セットを削除 [3]ICDRR リードへの矢印を修正
18. シリアルペリフェラルインタフェース (HSPI)	—	レジスタ SPCR2 を削除

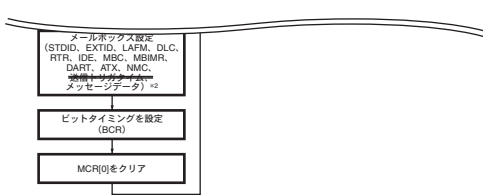
項目	ページ	修正箇所
18.1.1 特長	18-1	<p>削除</p> <ul style="list-style-type: none"> 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。 <p>DMA転送を用いた高速モードは、マスタモードのTxとRxをサポート</p>
図 19.8 SCIFの初期化フローチャート	19-33	<p>追加</p> <p>[1] SCSCRのCKE1, CKE0ビットを設定 (TIE, RIE, TE, RE, TOIEビットは0)</p> <p>[2] SCSMRに送信/受信フォーマットを設定します。</p> <p>[3] SCBRRにビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合には必要ありません。</p> <p>[4] 少なくとも1ビット期間待ってから、SCSCRのTEビットまたは、REビットを1にセットします。また、TIE, RIE, RIE, TOIEビットを設定してください。TEビットを設定することによりTX, RX端子が使用可能になります。送信時にはマーク状態となり、受信時にはスタートビット待ちのアイドル状態になります。</p>
19.3.1 調歩同期式モード時の動作 (2) データの送信/受信動作 • シリアルデータ送信 (調歩同期式)	19-35	<p>修正</p> <p>3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このとき、SCSCRのTIEビットが1、TEIEビットが1にセットされていると、トランスミットエンド (TEND) 割り込み要求が発生します。</p>
図 19.17 SCIF初期化フローチャートの例	19-42	<p>追加</p> <p>[1] SCFCR0のTRFST, RFRSTビットを1にセットし、FIFOバッファをクリア</p> <p>[2] SCSMRに送信/受信フォーマットを設定</p> <p>[3] CKE1, CKE0ビットを設定します。</p> <p>[4] SCBRRにビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合には必要ありません。本設定後は少なくとも1ビット期間待ってください。</p> <p>[5] SCSCRのTEビットまたは、REビットを1にセットします。また、TIE, RIE, RIE, TOIEビットを設定してください。この時点でTX, RX, SCK端子が使用可能になります。</p>
19.3.2 クロック同期式モード時の動作 (2) データの送信/受信動作 • シリアルデータ送信 (クロック同期式)	19-44	<p>修正</p> <p>3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、トランスミットデータ端子 (TX 端子) は状態を保持します。このとき、SCSCRのTIEビットが1、TEIEビットが1にセットされていると、トランスミットエンド (TEND) 割り込み要求が発生します。</p>
図 20.15 マスタモードでのシリアル転送方式の決定方法	20-46	<p>ND、SPND参照 (必要な場合)</p> <p>SSLND H'00 SPND H'02</p> <p>SSLネゲート遅延 = 1 RSPCK 次アクセス遅延 = 3 RSPCK + 2個φ</p>
22. コントローラエリアネットワーク (RCAN-TL1)	-	レジスタ CMAX_TEW、RFTROFF、CCR、RFMK、TTTSEL を削除

項 目	ページ	修正箇所
22. コントローラ エリアネットワーク (RCAN-TL1)	22-1	<p>削除</p> <p>ルネサスコントローラエリアネットワーク (RCAN-TL1 : Renesas CAN Time Triggered CAN Level 4以下、RCAN と略します) は自動車および産業機器システムなどでのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。</p> <p>:</p> <p>[参考文献]</p> <p>:</p> <p>4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-CD-11898-1, 2003)</p> <p>5. Road vehicles-Controller area network (CAN): Part 4: Time triggered communication (ISO-CD-11898-4, 2004)</p> <p>5. CAN Licence Specification, Robert Bosch GmbH, 1992</p>
22.1 特長	22-2	<p>削除</p> <ul style="list-style-type: none"> ● 16 ビットのフリーランニングタイム (多様なクロックソース、プリスケアラ、3 個のタイムコンペアマッチレジスタ) ● タイムトリガ送信用の 6 ビットサイクルカウンタ (Basic Cycle) ● タイマのコンペアマッチレジスタによる割り込み ● タイマカウンタのクリアおよび設定が可能 ● タイムトリガ用レジスタ: Local Time、Cycle time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset ● SOF でのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート ● イベントトリガ送信に加え、タイムトリガ送信および定周期送信もサポート ● サイクルカウンタ (Basic Cycle) を CAN フレームに組み込んで送信可能 ● 外部クロック同期モードをサポート (入力可能な外部クロックの周波数: 16MHz~50MHz)
22.1.1 各ブロック の機能 (2) メールボックス (b) [レジスタ]	22-5	<p>削除</p> <ul style="list-style-type: none"> ● CAN メッセージコントロール (DLC など) ● メッセージ送信/受信タイムスタンプ ● 3 ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット ● 送信トリガタイム
(3) メールボックス コントロール	22-5	<p>削除</p> <ul style="list-style-type: none"> ● イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスから CAN インタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードし ず。

項目	ページ	修正箇所																																																																																																																																																																																																																																																																																																																																																																																																																								
22.4.1 メールボックスの構成	22-12	<p>削除</p> <p>メールボックスはCANフレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの3個の格納フィールドからなります。さらに、タイムスタンプ、送信トリガタイムコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。</p> <p>表 22.5 に各メールボックスに対するメッセージコントロール 0 および 1、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム (Tx_Trigger_Time、以降 TT と略します)、タイムトリガ (Time_Trigger、以降 TT と略します) コントロールのアドレスマップを示します。</p> <p>表中のアドレスはオフセットアドレスです。実アドレスは、ベースアドレスを足してください。</p>																																																																																																																																																																																																																																																																																																																																																																																																																								
表 22.5 各メールボックスのアドレスマップ (1チャンネルあたり)	22-12、22-13	送信トリガタイム (TTT) の列、および TT コントロールの列を削除																																																																																																																																																																																																																																																																																																																																																																																																																								
表 22.6 メールボックスの役割	22-13	タイムトリガ (TT) の列、および送信トリガタイム (TTT) フィールドの列を削除 注記を削除																																																																																																																																																																																																																																																																																																																																																																																																																								
図 22.4 メールボックス 0~15 (MB0~MB15) の構成	22-14	<p>削除</p> <table border="1"> <thead> <tr> <th colspan="13">- MB0 (タイムスタンプ付き受信メールボックス)</th> </tr> <tr> <th>アドレス</th> <th colspan="12">データバス</th> <th>アクセスサイズ</th> <th>フィールド名</th> </tr> <tr> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0x100-Nx32</td> <td>IDE</td> <td>RTR</td> <td>0</td> <td colspan="11">STID(15:0)</td> <td>EXTID(7:1)</td> <td>16/32</td> <td>コントロール¹⁾</td> </tr> <tr> <td>0x102-Nx32</td> <td colspan="12">EXTID(15:0)</td> <td>EXTID(7:1)</td> <td>16</td> <td></td> </tr> <tr> <td>0x104-Nx32</td> <td>LSF</td> <td>0</td> <td>0</td> <td colspan="11">STID_LAFM(15:0)</td> <td>EXTID_LAFM(7:1)</td> <td>16/32</td> <td>LAFM²⁾</td> </tr> <tr> <td>0x106-Nx32</td> <td colspan="12">EXTID_LAFM(15:0)</td> <td>EXTID_LAFM(7:1)</td> <td>16</td> <td></td> </tr> <tr> <td>0x108-Nx32</td> <td colspan="6">MSG_DATA_0 (最初の4バイト)</td> <td colspan="6">MSG_DATA_1</td> <td>8/16/32</td> <td rowspan="4">データ</td> </tr> <tr> <td>0x10A-Nx32</td> <td colspan="6">MSG_DATA_2</td> <td colspan="6">MSG_DATA_3</td> <td>8/16</td> </tr> <tr> <td>0x10C-Nx32</td> <td colspan="6">MSG_DATA_4</td> <td colspan="6">MSG_DATA_5</td> <td>8/16/32</td> </tr> <tr> <td>0x10E-Nx32</td> <td colspan="6">MSG_DATA_6</td> <td colspan="6">MSG_DATA_7</td> <td>8/16</td> </tr> <tr> <td>0x110-Nx32</td> <td>0</td> <td>0</td> <td>NMC</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>8/16</td> <td>コントロール³⁾</td> </tr> <tr> <td>0x112-Nx32</td> <td colspan="12">TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP</td> <td>16</td> <td>タイムスタンプ</td> </tr> </tbody> </table> <p>【記号説明】 N: 0 (メールボックス番号)</p> <table border="1"> <thead> <tr> <th colspan="13">- MB15-1 (タイムスタンプ付きメールボックス)</th> </tr> <tr> <th>アドレス</th> <th colspan="12">データバス</th> <th>アクセスサイズ</th> <th>フィールド名</th> </tr> <tr> <th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0x100-Nx32</td> <td>IDE</td> <td>RTR</td> <td>0</td> <td colspan="11">STID(15:0)</td> <td>EXTID(7:1)</td> <td>16/32</td> <td>コントロール¹⁾</td> </tr> <tr> <td>0x102-Nx32</td> <td colspan="12">EXTID(15:0)</td> <td>EXTID(7:1)</td> <td>16</td> <td></td> </tr> <tr> <td>0x104-Nx32</td> <td>LSF</td> <td>0</td> <td>0</td> <td colspan="11">STID_LAFM(15:0)</td> <td>EXTID_LAFM(7:1)</td> <td>16/32</td> <td>LAFM²⁾</td> </tr> <tr> <td>0x106-Nx32</td> <td colspan="12">EXTID_LAFM(15:0)</td> <td>EXTID_LAFM(7:1)</td> <td>16</td> <td></td> </tr> <tr> <td>0x108-Nx32</td> <td colspan="6">MSG_DATA_0 (最初の4バイト)</td> <td colspan="6">MSG_DATA_1</td> <td>8/16/32</td> <td rowspan="4">データ</td> </tr> <tr> <td>0x10A-Nx32</td> <td colspan="6">MSG_DATA_2</td> <td colspan="6">MSG_DATA_3</td> <td>8/16</td> </tr> <tr> <td>0x10C-Nx32</td> <td colspan="6">MSG_DATA_4</td> <td colspan="6">MSG_DATA_5</td> <td>8/16/32</td> </tr> <tr> <td>0x10E-Nx32</td> <td colspan="6">MSG_DATA_6</td> <td colspan="6">MSG_DATA_7</td> <td>8/16</td> </tr> <tr> <td>0x110-Nx32</td> <td>0</td> <td>0</td> <td>NMC</td> <td>ATX</td> <td>DART</td> <td>MBQ(2:0)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>8/16</td> <td>コントロール</td> </tr> <tr> <td>0x112-Nx32</td> <td colspan="12">TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP</td> <td>16</td> <td>タイムスタンプ</td> </tr> </tbody> </table> <p>【記号説明】 N: 15-1 (メールボックス番号)</p> <p>【注】 1) メールボックス0は受信専用のため、MBQ(2)ビットのMBQ(1)-1固定に設定しています。また、メールボックス0のMBQ(2)設定値は開かれていません。 2) コントロールはLAFM/LAFM0表示のビットは、リザーブビットです。読み出し値は常に0としてください。 3) ATXとDARTは送信情報を持ったビットのため、メールボックス0ではリポートされません。(メールボックス0ではリザーブビット) 4) タイムスタンプコントロールレジスタの送信許可ビット (MCR(MCR15)) は、メッセージコントロール0(LAFM0)STID、RTR、IDEおよびEXTIDの順序を変更できます。 上記の順は、MCR(MCR15-B1) (初期値) の場合の順序です。</p>	- MB0 (タイムスタンプ付き受信メールボックス)													アドレス	データバス												アクセスサイズ	フィールド名	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			0x100-Nx32	IDE	RTR	0	STID(15:0)											EXTID(7:1)	16/32	コントロール ¹⁾	0x102-Nx32	EXTID(15:0)												EXTID(7:1)	16		0x104-Nx32	LSF	0	0	STID_LAFM(15:0)											EXTID_LAFM(7:1)	16/32	LAFM ²⁾	0x106-Nx32	EXTID_LAFM(15:0)												EXTID_LAFM(7:1)	16		0x108-Nx32	MSG_DATA_0 (最初の4バイト)						MSG_DATA_1						8/16/32	データ	0x10A-Nx32	MSG_DATA_2						MSG_DATA_3						8/16	0x10C-Nx32	MSG_DATA_4						MSG_DATA_5						8/16/32	0x10E-Nx32	MSG_DATA_6						MSG_DATA_7						8/16	0x110-Nx32	0	0	NMC	0	0	0	0	0	0	0	0	0	0	0	0	8/16	コントロール ³⁾	0x112-Nx32	TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP												16	タイムスタンプ	- MB15-1 (タイムスタンプ付きメールボックス)													アドレス	データバス												アクセスサイズ	フィールド名	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			0x100-Nx32	IDE	RTR	0	STID(15:0)											EXTID(7:1)	16/32	コントロール ¹⁾	0x102-Nx32	EXTID(15:0)												EXTID(7:1)	16		0x104-Nx32	LSF	0	0	STID_LAFM(15:0)											EXTID_LAFM(7:1)	16/32	LAFM ²⁾	0x106-Nx32	EXTID_LAFM(15:0)												EXTID_LAFM(7:1)	16		0x108-Nx32	MSG_DATA_0 (最初の4バイト)						MSG_DATA_1						8/16/32	データ	0x10A-Nx32	MSG_DATA_2						MSG_DATA_3						8/16	0x10C-Nx32	MSG_DATA_4						MSG_DATA_5						8/16/32	0x10E-Nx32	MSG_DATA_6						MSG_DATA_7						8/16	0x110-Nx32	0	0	NMC	ATX	DART	MBQ(2:0)	0	0	0	0	0	0	0	0	0	8/16	コントロール	0x112-Nx32	TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP												16	タイムスタンプ
- MB0 (タイムスタンプ付き受信メールボックス)																																																																																																																																																																																																																																																																																																																																																																																																																										
アドレス	データバス												アクセスサイズ	フィールド名																																																																																																																																																																																																																																																																																																																																																																																																												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																											
0x100-Nx32	IDE	RTR	0	STID(15:0)											EXTID(7:1)	16/32	コントロール ¹⁾																																																																																																																																																																																																																																																																																																																																																																																																									
0x102-Nx32	EXTID(15:0)												EXTID(7:1)	16																																																																																																																																																																																																																																																																																																																																																																																																												
0x104-Nx32	LSF	0	0	STID_LAFM(15:0)											EXTID_LAFM(7:1)	16/32	LAFM ²⁾																																																																																																																																																																																																																																																																																																																																																																																																									
0x106-Nx32	EXTID_LAFM(15:0)												EXTID_LAFM(7:1)	16																																																																																																																																																																																																																																																																																																																																																																																																												
0x108-Nx32	MSG_DATA_0 (最初の4バイト)						MSG_DATA_1						8/16/32	データ																																																																																																																																																																																																																																																																																																																																																																																																												
0x10A-Nx32	MSG_DATA_2						MSG_DATA_3						8/16																																																																																																																																																																																																																																																																																																																																																																																																													
0x10C-Nx32	MSG_DATA_4						MSG_DATA_5						8/16/32																																																																																																																																																																																																																																																																																																																																																																																																													
0x10E-Nx32	MSG_DATA_6						MSG_DATA_7						8/16																																																																																																																																																																																																																																																																																																																																																																																																													
0x110-Nx32	0	0	NMC	0	0	0	0	0	0	0	0	0	0	0	0	8/16	コントロール ³⁾																																																																																																																																																																																																																																																																																																																																																																																																									
0x112-Nx32	TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP												16	タイムスタンプ																																																																																																																																																																																																																																																																																																																																																																																																												
- MB15-1 (タイムスタンプ付きメールボックス)																																																																																																																																																																																																																																																																																																																																																																																																																										
アドレス	データバス												アクセスサイズ	フィールド名																																																																																																																																																																																																																																																																																																																																																																																																												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																											
0x100-Nx32	IDE	RTR	0	STID(15:0)											EXTID(7:1)	16/32	コントロール ¹⁾																																																																																																																																																																																																																																																																																																																																																																																																									
0x102-Nx32	EXTID(15:0)												EXTID(7:1)	16																																																																																																																																																																																																																																																																																																																																																																																																												
0x104-Nx32	LSF	0	0	STID_LAFM(15:0)											EXTID_LAFM(7:1)	16/32	LAFM ²⁾																																																																																																																																																																																																																																																																																																																																																																																																									
0x106-Nx32	EXTID_LAFM(15:0)												EXTID_LAFM(7:1)	16																																																																																																																																																																																																																																																																																																																																																																																																												
0x108-Nx32	MSG_DATA_0 (最初の4バイト)						MSG_DATA_1						8/16/32	データ																																																																																																																																																																																																																																																																																																																																																																																																												
0x10A-Nx32	MSG_DATA_2						MSG_DATA_3						8/16																																																																																																																																																																																																																																																																																																																																																																																																													
0x10C-Nx32	MSG_DATA_4						MSG_DATA_5						8/16/32																																																																																																																																																																																																																																																																																																																																																																																																													
0x10E-Nx32	MSG_DATA_6						MSG_DATA_7						8/16																																																																																																																																																																																																																																																																																																																																																																																																													
0x110-Nx32	0	0	NMC	ATX	DART	MBQ(2:0)	0	0	0	0	0	0	0	0	0	8/16	コントロール																																																																																																																																																																																																																																																																																																																																																																																																									
0x112-Nx32	TimeStamp(15:0) (CYCTR(15:0) + 0x0000000000000000) @ SFP												16	タイムスタンプ																																																																																																																																																																																																																																																																																																																																																																																																												

項目	ページ	修正箇所
図 22.5 メールボックス 16~29 (MB16~MB29) の構成	22-15	<p>削除</p> <pre> - MB29-16 (メールボックス・タイムスタンプなし) アドレス データバス アクセサイズ フィールド名 H104-Nx32 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 STDCID(9) EXTID(7) 16 コントロールID** H104-Nx32 IDE RTR 0 0 EXTID(8) 16 H104-Nx32 IDP0 0 0 0 STDID_LAFM10(9) EXTID_LAFM17(8) 16 LAFM** H104-Nx32 MSG_DATA_0 (番順の0のバイト) MSG_DATA_1 8(16) データ H104-Nx32 MSG_DATA_2 MSG_DATA_3 8(16) H104-Nx32 MSG_DATA_4 MSG_DATA_5 8(16) H104-Nx32 MSG_DATA_6 MSG_DATA_7 8(16) H104-Nx32 0 0 NMC ATX DART MISC0(8) 0 0 0 0 0 0 0 0 DCC0(8) 8(16) コントロールID H104-Nx32 IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ 【記号説明】 N : 29-16 (メールボックス番号) - MB29-24 (メールボックス・タイムスタンプあり) アドレス データバス アクセサイズ フィールド名 H104-Nx32 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 STDCID(9) EXTID(7) 16 コントロールID** H104-Nx32 IDE RTR 0 0 EXTID(8) 16 H104-Nx32 IDP0 0 0 0 STDID_LAFM10(9) EXTID_LAFM17(8) 16 LAFM** H104-Nx32 MSG_DATA_0 (番順の0のバイト) MSG_DATA_1 8(16) データ H104-Nx32 MSG_DATA_2 MSG_DATA_3 8(16) H104-Nx32 MSG_DATA_4 MSG_DATA_5 8(16) H104-Nx32 MSG_DATA_6 MSG_DATA_7 8(16) H104-Nx32 0 0 NMC ATX DART MISC0(8) 0 0 0 0 0 0 0 0 DCC0(8) 8(16) コントロールID H104-Nx32 IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ 【記号説明】 N : 29-24 (メールボックス番号) [注] *1 コントロールIDとLAFMの2進表示のビットは、リザーブビットです。読み出し値は常に0としてください。 *2 マスタコントロールレジスタのID値(読み出しビット) (MCR(MCR15)) は、メッセージコントロールIDとLAFM(STDID、RTR、IDEおよびEXTID)の順序を変更できます。 上記の例は、MCR(MCR15=0) (初期値) の場合の順序です。 </pre>
図 22.6 メールボックス 30、31 (MB30、MB31) の構成	22-16	<p>削除</p> <pre> - MB30 (メールボックス・タイムスタンプなし) アドレス データバス アクセサイズ フィールド名 H104-Nx32 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 STDCID(9) EXTID(7) 16 コントロールID** H104-Nx32 IDE RTR 0 0 EXTID(8) 16 H104-Nx32 IDP0 0 0 0 STDID_LAFM10(9) EXTID_LAFM17(8) 16 LAFM** H104-Nx32 MSG_DATA_0 (番順の0のバイト) MSG_DATA_1 8(16) データ H104-Nx32 MSG_DATA_2 MSG_DATA_3 8(16) H104-Nx32 MSG_DATA_4 MSG_DATA_5 8(16) H104-Nx32 MSG_DATA_6 MSG_DATA_7 8(16) H104-Nx32 0 0 NMC ATX DART MISC0(8) 0 0 0 0 0 0 0 0 DCC0(8) 8(16) コントロールID H104-Nx32 IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ 【記号説明】 N : 30 (メールボックス番号) - MB31 (メールボックス・タイムスタンプあり) アドレス データバス アクセサイズ フィールド名 H104-Nx32 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 STDCID(9) EXTID(7) 16 コントロールID** H104-Nx32 IDE RTR 0 0 EXTID(8) 16 H104-Nx32 IDP0 0 0 0 STDID_LAFM10(9) EXTID_LAFM17(8) 16 LAFM** H104-Nx32 MSG_DATA_0 (番順の0のバイト) MSG_DATA_1 8(16) データ H104-Nx32 MSG_DATA_2 MSG_DATA_3 8(16) H104-Nx32 MSG_DATA_4 MSG_DATA_5 8(16) H104-Nx32 MSG_DATA_6 MSG_DATA_7 8(16) H104-Nx32 0 0 NMC ATX DART MISC0(8) 0 0 0 0 0 0 0 0 DCC0(8) 8(16) コントロールID H104-Nx32 IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ IDPRD 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 16 タイムスタンプ 【記号説明】 N : 31 (メールボックス番号) [注] *1 コントロールIDとLAFMの2進表示のビットは、リザーブビットです。読み出し値は常に0としてください。 *2 マスタコントロールレジスタのID値(読み出しビット) (MCR(MCR15)) は、メッセージコントロールIDとLAFM(STDID、RTR、IDEおよびEXTID)の順序を変更できます。 上記の例は、MCR(MCR15=1) (初期値) の場合の順序です。 </pre>
22.4.2 メッセージコントロールフィールド (2) メッセージコントロール 1 • メールボックス 0 メッセージコントロール 1 (MB0.CONTROL 1) • メールボックス 1 ~ 31 メッセージコントロール 1 (MB1.CONTROL 1 ~ MB31.CONTROL 1)	22-18、 22-19	<p>ビット 13 の説明を修正</p> <p>【重要】もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは (USMR と一緒に) 同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。</p> <p>【重要】タイムトリガモード使用時には、メールボックス 31 の NMC を必ず 1 にセットし、RXPR[31] がクリアされなくてもすべてのリフェレンスメッセージを受信できるようにしてください。</p> <p>0 : オーバランモード 1 : オーバライトモード</p>

項目	ページ	修正箇所								
表 22.7 メールボックスの機能の設定	22-22	<p>削除</p> <table border="1"> <thead> <tr> <th>MBC2</th> <th>MBC1</th> <th>MBC0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td> <ul style="list-style-type: none"> メールボックス 0 は使用不可能 タイムトリガ送信は使用可能 </td> </tr> </tbody> </table>	MBC2	MBC1	MBC0	説明	0	0	0	<ul style="list-style-type: none"> メールボックス 0 は使用不可能 タイムトリガ送信は使用可能
MBC2	MBC1	MBC0	説明							
0	0	0	<ul style="list-style-type: none"> メールボックス 0 は使用不可能 タイムトリガ送信は使用可能 							
22.4.4 メッセージデータフィールド (1) タイムトリガ送信時の注意事項	22-24	項目を削除								
22.4.5 タイムスタンプ (2) メッセージ受信	22-24	<p>削除</p> <p>メールボックス 0~15 の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ 0 (TTCR0) のビット 14 の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値または GCR[5:0] (サイクルカウンタ) + CYCTR[15:0] (サイクルタイムレジスタ) の値が受信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。</p>								
(3) メッセージ送信	22-24	<p>削除</p> <p>メールボックス 1~15 の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ 0 (TTCR0) のビット 14 の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値または GCR[5:0] (サイクルカウンタ) + CYCTR[15:0] (サイクルタイムレジスタ) の値が送信メッセージの SOF でキャプチャされ、タイムスタンプに格納されます。</p>								
22.4.6 送信トリガタイム (TTT) とタイムトリガコントロール	-	項目を削除								
22.5.1 マスタコントロールレジスタ (MCR)	22-28	<p>ビット 2 の説明を修正</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>本機能は、メールボックス 24~30 のタイムトリガ送信には使用できませんので注意してください。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE=1 の場合) + RTR ビット) を持ち、最初に送信されます。</p>								
22.5.4 割り込みリクエストレジスタ (IRR)	22-37~ 22-42	<p>ビット 10 のビット名および R/W を修正</p> <p>IRR10 → -</p> <p>R/W → R</p> <p>ビット 13、8 の説明を差し替え</p>								
22.5.5 割り込みマスクレジスタ (IMR)	22-42、 22-43	<p>ビット 10 のビット名および R/W を修正</p> <p>IMR10 → -</p> <p>R/W → R</p>								

項目	ページ	修正箇所
22.6.1 送信待ちレジスタ 1, 0 (TXPR1, TXPR0)	22-45	削除 イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アポートが行われた後、RCAN は対応する送信待ちフラグをクリアします。 タイムトサガモードでは、プログラムされたサイクルカウンタ (Basic Cycle) ごとの送信を続けるため、メールボックス 30~24 の TXPR は送信完了後にクリアされません。 TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていなければ、RCAN は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアポートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。
22.7.1 タイムトリガコントロールレジスタ 0 (TTCR0)	22-55、 22-56	ビット 14 のビット名および R/W を修正 TCR14 → - R/W → R ビット 6、5~0 の説明を差し替え
22.7.2 タイマステータスレジスタ (TSR)	22-56~ 22-58	ビット 4 のビット名を修正 TSR4 → - ビット 0 の説明を差し替え
22.7.3 タイマカウンタレジスタ (TCNTR)	22-58	項目を差し替え
22.7.4 サイクルタイムレジスタ (CYCTR)	22-59	削除 CYCTR は、サイクルタイムを示す 46 ビットの読み出し専用レジスタです。Cycle Time (CYCTR) Local Time (TCNTR) Reference Mark (RFMK) イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。
22.7.5 タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	22-59	削除 TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12~10 をセットする必要があります。 タイムトサガモードでは、TCMR0 は Init_Watch_Trigger、TCMR2 は Watch_Trigger に使用します。
図 22.10 リセットシーケンス	22-62	削除  <pre>graph TD A["メールボックス設定 (STDID, EXTID, LAFM, DLC, RTR, IDE, MSC, MEMR, DART, AT, NMC)"] --> B["ビットタイミングを設定 (BCR)"] B --> C["MCR[0]をクリア"]</pre> <p>【注】 *1 ソフトウェアリセットは、MCR[0]=1 を設定することによりいつでも実行できます。 *2 メールボックスは RAM で構成されていますので、未使用であっても MBO で有効にしたすべてのメールボックスを初期化してください。 *3 TXPR ビットが 1 つもセットされていないと RCAN-TL1 は次のメッセージの受信をします。TXPR が設定されていると RCAN-TL1 はメッセージの送信を開始し、CAN バスによってアービトレーションされます。アービトレーションに負けると受信状態になります。 *4 タイマコントロールレジスタおよび送信トリガタイムを設定した後、タイムはいつでも動作を開始することができます。</p>

項目	ページ	修正箇所																				
表 22.12 アクセス可能なレジスタ	22-66	表を差し替え																				
22.8.3 メッセージ送信シーケンス (3) タイムトリガ送信 ～ (10) タイムトリガシステムの例	—	項目を削除																				
(3) タイマ動作	22-71	項目を差し替え																				
表 22.14 RCAN0、RCAN1 の割り込み要因	22-76	削除 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>モジュール名</th> <th>種類</th> <th>割り込み要因</th> <th>割り込みフラグ (IRR レジスタ)</th> </tr> </thead> <tbody> <tr> <td rowspan="7">RCAN0 RCAN1 共通</td> <td rowspan="7">オーバーラン処理</td> <td>未読メッセージのオーバーライト (オーバーラン)</td> <td>IRR9</td> </tr> <tr> <td>スタートシステムマトリックス</td> <td>IRR10</td> </tr> <tr> <td>TCMR2 コンペアマッチ</td> <td>IRR11</td> </tr> <tr> <td>CAN スリープ中 CAN バス動作の検出</td> <td>IRR12</td> </tr> <tr> <td>タイマオーバーラン/Next_Is_Gapメッセージエラー</td> <td>IRR13</td> </tr> <tr> <td>TCMR0 コンペアマッチ</td> <td>IRR14</td> </tr> <tr> <td>TCMR1 コンペアマッチ</td> <td>IRR15</td> </tr> </tbody> </table>	モジュール名	種類	割り込み要因	割り込みフラグ (IRR レジスタ)	RCAN0 RCAN1 共通	オーバーラン処理	未読メッセージのオーバーライト (オーバーラン)	IRR9	スタートシステムマトリックス	IRR10	TCMR2 コンペアマッチ	IRR11	CAN スリープ中 CAN バス動作の検出	IRR12	タイマオーバーラン/ Next_Is_Gap メッセージエラー	IRR13	TCMR0 コンペアマッチ	IRR14	TCMR1 コンペアマッチ	IRR15
モジュール名	種類	割り込み要因	割り込みフラグ (IRR レジスタ)																			
RCAN0 RCAN1 共通	オーバーラン処理	未読メッセージのオーバーライト (オーバーラン)	IRR9																			
		スタートシステムマトリックス	IRR10																			
		TCMR2 コンペアマッチ	IRR11																			
		CAN スリープ中 CAN バス動作の検出	IRR12																			
		タイマオーバーラン/ Next_Is_Gap メッセージエラー	IRR13																			
		TCMR0 コンペアマッチ	IRR14																			
		TCMR1 コンペアマッチ	IRR15																			
23.1 特長	23-1	削除 <ul style="list-style-type: none"> • Host/Function のポート切り替え (On-the-Go 機能は未対応) 																				

項 目	ページ	修正箇所
23.4 初期設定	23-9	<p>修正</p> <p>EHCI/OHCI レジスタおよび Function レジスタへアクセスするには、下記の手順を行った後、実行してください。</p> <ul style="list-style-type: none"> • 設定 1 アドレス : H'FFE7 0804 (USBCTRL1) 書き込みデータ : H'0000 0001 (PHYENB に 1 を設定し、USB-PHY をスタンバイ状態から解除する) • 設定 2 アドレス : H'FFE7 0804 (USBCTRL1) 書き込みデータ : H'0000 0003 (PLENB に 1 を設定し、USB-PHY 内部の PLL を動作させる) • 確認 アドレス : H'FFE7 0808 (USBST) 確認ビット : ACT=1 (USB が動作状態であることを示す) 確認ビット : PLL = 1 (USB 用 PLL が発振安定状態であることを示す) • 設定 3 アドレス : H'FFE7 0804 (USBCTRL1) 書き込みデータ : H'0000 0007 (PHYRST に 1 を設定し、USB-PHY 内部ロジックのリセットを解除する) <p>USB 機能を使用する場合、下記の設定を行う必要があります。</p> <ul style="list-style-type: none"> • 設定 1 アドレス : H'FFE7 0094 初期値データ : H'0040 0040 書き込みデータ : H'00FF 0040 • 設定 2 アドレス : H'FFE7 009C 初期値データ : H'0000 0000 書き込みデータ : H'0000 0001
表 23.3 USB2.0 ホスト/ファンクションモジュールの端子概要	23-12	表を差し替え
23.6.2 USB 伝送線路	23-13	<p>削除</p> <ul style="list-style-type: none"> • USB 伝送線路の下の層は、ベタグラウンドにしてください。ベタグラウンドは、USB 伝送線路より外側へ 2mm 以上確保してください。ベタグラウンドにする電源は、DG00 となります。
図 23.2 ホストコントローラ時の USB 伝送線路パターン設計例 図 23.3 ファンクションコントローラ時の USB 伝送線路パターン設計例	23-14	図を差し替え
23.6.3 電源、グラウンドパターン	23-15、 23-16	項目を差し替え

項 目	ページ	修正箇所
23.6.5 VBUS 電源回路	23-18	削除 <ul style="list-style-type: none"> • ホストコントローラとして使用する場合、LSI 電源=(DV33)OFF 時は、ホストコントローラとして使用する OVCn/VBUSn (n=0,1) 端子の入力も OFF してください。 ファンクションコントローラとして使用する場合は、LSI 電源=(DV33)OFF 時であっても、ファンクションコントローラとして使用する OVCn/VBUSn (n=0,1) 端子に、USB ホストからの VBUS 電圧印加を許容します。
23.6.6 REFRIN 端子	23-20	用語を修正 AG33 → AG
23.7 使用上の注意事項	23-22	項目を追加
23A.1.6 USBSTS	23A-10	ビット図、ビット 11 の初期値を修正 1 → -
23C.2.3 システムコンフィグレーションステータスレジスタ (SYSSTS0)	23C-12	ビット 14 のビット名を修正 OVCMON → -
23C.2.10 割り込み許可レジスタ 0 (INTENB0)	23C-24、 23C-25	用語を修正 INT_N アサート → USB 割り込み要求
23C.2.11 BRDY 割り込み許可レジスタ (BRDYENB)	23C-26	ビット 9~0 の説明を修正 ソフトウェアが本レジスタに 1 を設定したパイプに対して、本コントローラが BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットと INTSTS0 レジスタの BRDY ビットに 1 を表示し、 割り込み要求 します。 BRDYSTS レジスタの PIPEBRDY ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本コントローラは、 割り込み要求 します。
23C.2.12 NRDY 割り込み許可レジスタ (NRDYENB)	23C-27	ビット 9~0 の説明を修正 ソフトウェアが本レジスタに 1 を設定したパイプに対して、本コントローラが NRDY 割り込みを検出した場合に、本コントローラは NRDYSTS レジスタの PIPENRDY ビットの対応するビットと INTSTS0 レジスタの NRDY ビットに 1 を表示し、 割り込み要求 します。 NRDYSTS レジスタの PIPENRDY ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本コントローラは、 割り込み要求 します。
23C.2.13 BEMP 割り込み許可レジスタ (BEMPENB)	23C-28	ビット 9~0 の説明を修正 ソフトウェアが本レジスタに 1 を設定したパイプに対して、本コントローラが BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットと INTSTS0 レジスタの BEMP ビットに 1 を表示し、 割り込み要求 します。 BEMPSTS レジスタの PIPEBEMP ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本コントローラは、 割り込み要求 します。

項 目	ページ	修正箇所
23C.2.14 SOFピン コンフィギュレーションレジスタ (SOFCFG)	23C-29	ビット表、ビット5のR/Wを修正 R → R/W
23C.2.16 BRDY 割り込みステータスレジスタ (BRDYSTS)	23C-33	修正 本コントローラがあるパイプに対して BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに1を表示します。このとき、ソフトウェアによって BRDYENB レジスタの対応するビットに1が設定されている場合、本コントローラは INTSTS0 レジスタの BDY ビットに1を表示し、 割り込み要求 しません。
23C.2.17 NRDY 割り込みステータスレジスタ (NRDYSTS)	23C-36	修正 ソフトウェアが PID=BUF に設定したパイプに対して、本コントローラが内部 NRDY 割り込み要求を発生させた場合に、本コントローラは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに1を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットに1が設定されている場合、本コントローラは INTSTS0 レジスタの NRDY ビットに1を表示し、 割り込み要求 します。
23C.2.18 BEMP 割り込みステータスレジスタ (BEMPSTS)	23C-37	修正 ソフトウェアが PID=BUF に設定したパイプに対して、本コントローラが、BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに1を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに1が設定されている場合、本コントローラは INTSTS0 レジスタの BEMP ビットに1を表示し、 割り込み要求 します。
23C.2.33 PIPE _n コントロールレジスタ (PIPE _n CTR) (n=1~5)	23C-60	ビット7の説明を修正 SQSET ビットへの1設定は、 CSSTS=0 からPID=NAK設定時に実施してください。 対応するパイプのPIDビットをBUFからNAKへ変更してから本ビットに1を設定する場合には、 CSSTS=0 およびPBUSY=0を確認してから本ビットを変更してください。ただし、本コントローラがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
表 23C.14 割り込み機能一覧表	23C-71	OVRCCRの行を削除
24. ギガビットイーサネットコントローラ (GETHER)	—	レジスタ TSU_POST1~TSU_POST4 を追加 レジスタ名称を修正 TXNLCR0: 送信フレーム数カウンタレジスタ (0乗) (正常送信のみ) TXALCR0: 送信フレーム数カウンタレジスタ (0乗) (正常および障害発生を含むすべて) RXNLCR0: 受信フレーム数カウンタレジスタ (0乗) (正常受信のみ) RXALCR0: 受信フレーム数カウンタレジスタ (0乗) (正常および障害発生を含むすべて) CSMR: インテリジェントチェックサムモード レジスタ CSSBM: インテリジェントチェックサム機能スキップ済みバイト数 モニタレジスタ CSSMR: インテリジェントチェックサム機能 モニタレジスタ

項目	ページ	修正箇所						
24. ギガビットイーサネットコントローラ (GETHER)	—	用語を修正 E-DMAC0 → E-DMAC E-MAC-0 → E-MAC ET_CRS → ET0_CRS ET_PHY-INT → ET0_PHY-INT ET_LNKSTA → ET0_LINKSTA ET_MDIO → ET0_MDIO ET_MDC → ET0_MDC ET_RX-ER → ET0_RX-ER ET_WOL → ET0_WOL ET_TX-CLK → ET0_TX-CLK ET_RX-CLK → ET0_RX-CLK ET_RX-DV → ET0_RX-DV ET_COL → ET0_COL ET_TX-EN → ET0_TX-EN						
	24-1	修正 本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格をサポートしたギガビットイーサネットコントローラ (GETHER) を内蔵しています。GETHER は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット / IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しており、送信および受信動作をさせることができます。						
24.1 特長	24-1	追加 • E-DMAC (イーサネットコントローラダイレクトメモリアクセスコントローラ) 機能 : 送受信 FIFO 搭載 (送信用: 2K バイト、受信用: 4K バイト) インテリジェントチェックサム値計算機能						
図 24.1 GETHER の構成	24-2	図を差し替え						
24.3 レジスタの説明	24-5	削除 GETHER のレジスタ構成を表 24.2 に示します。また各処理状態におけるレジスタの状態を表 24.3 に示します。GAN エントリテーブル関連のレジスタを除く各レジスタ略号の末尾の数字は、2 つのイーサネットインタフェースポートの番号 (0 系または 1 系の別) を表します。本文中では、レジスタ略号中の番号の記載を一部省略しています。						
表 24.3 各処理状態におけるレジスタの状態	24-12	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">略称</th> <th style="width: 33%;">パワーオンリセット</th> <th style="width: 33%;">マニュアルリセット</th> </tr> </thead> <tbody> <tr> <td>FCFTR0</td> <td>H'001700FF</td> <td>H'001700FF</td> </tr> </tbody> </table>	略称	パワーオンリセット	マニュアルリセット	FCFTR0	H'001700FF	H'001700FF
略称	パワーオンリセット	マニュアルリセット						
FCFTR0	H'001700FF	H'001700FF						
24.3.1 ソフトウェアリセットレジスタ (ARSTR)	24-13	ビット 0 の説明を修正 TSU_ADRH0~TSU_ADRH31, TSU_ADRL0~TSU_ADRL31, TXNLCR0, TXALCR0, RXNLCR0, RXALCR0, FWNLCR0, FWALCR0						

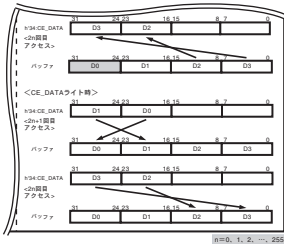
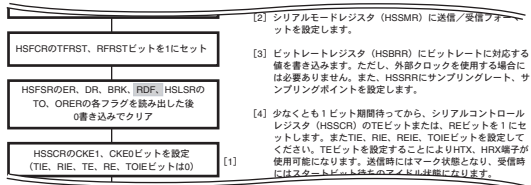
項 目	ページ	修正箇所
24.3.3 E-MAC ステータスレジスタ (ECSR)	24-17	修正 ECSR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、E-MAC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PFROI、LCHNG、MPD、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。PHYI への 1 あるいは 0 の書き込みは無効です。
24.3.3 E-MAC ステータスレジスタ (ECSR)	24-18	ビット 2 の説明を修正 PHY-LSI から入力される ET0_LINKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。ただし、ET0_LINKSTA 機能の端子を選択したタイミングで、信号の変化を検出する場合があります。
24.3.11 送信リトライオーバカウンタレジスタ (TROCR) ~ 24.3.21 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR) 24.3.25 PAUSE フレーム送信カウンタレジスタ (PFTCR) 24.3.26 PAUSE フレーム受信カウンタレジスタ (PFRCR)	24-25~ 24-34、 24-38	注記を追加
24.3.29 TSU カウンタリセットレジスタ (TSU_CTRST)	24-40	ビット 8 の説明を修正 本ビットに 1 を書き込むと、TXNLCR0、TXALCR0、RXNLCR0、RXALCR0、 FWNLCR0 、 FWALCR0 の各レジスタの値が 0 にクリアされます。0 書き込みしても何も行われません。読み出すと常に 0 が読み出されます。
24.3.30 転送機能設定レジスタ (共通) (TSU_FWSLC)	24-41	項目を差し替え
24.3.31 VLANtag 設定レジスタ (TSU_VTAG0)	24-42	ビット 11~0 の説明を修正 ⊖ 乗受信フレームの受信する VLAN 番号を設定します。

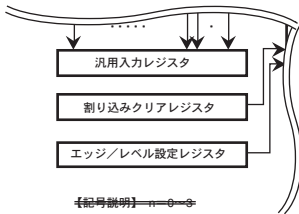
項 目	ページ	修正箇所
24.3.40 送信フレーム数カウンタレジスタ (TXNLCR0) ～ 24.3.43 受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (RXALCR0)	24-55、 24-56	注記を追加
24.3.40 送信フレーム数カウンタレジスタ (正常送信のみ) (TXNLCR0) 24.3.41 送信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (TXALCR0)	24-55	ビット 31～0 の説明を修正 ⊖ 乗送信フレームカウンタビット
24.3.42 受信フレーム数カウンタレジスタ (正常受信のみ) (RXNLCR0) 24.3.43 受信フレーム数カウンタレジスタ (正常および障害発生を含むすべて) (RXALCR0)	24-56	ビット 31～0 の説明を修正 ⊖ 乗受信フレームカウンタビット
24.3.45 E-DMAC モードレジスタ (EDMR)	24-58	削除 本レジスタのソフトウェアリセットを実行する場合は、必ず、SWRT ビットと SWRR ビットに同時に 1 を書き込んでください。SWRT ビットと SWRR ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、E-MAC の各レジスタを初期化することができます。TSU のレジスタ (レジスタ名が TSU_ で始まるレジスタ) は初期化されません。EDMR0 の SWRT および SWRR ビットでは E-DMAC と E-MAC 関係の各レジスタが初期化されます。転送イネーブルレジスタ (TSU_FWEN0) により、TSU で転送動作を許可している場合は、本ビットによるソフトウェアリセットは行わないでください。なお、ソフトウェアリセットの発行期間中 (内部バスクロック Bck で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。
24.3.50 E-MAC/E-DMAC ステータスレジスタ (EESR)	24-63	修正および削除 本ステータスレジスタが要因で発生する割り込みは、GEINT0 となります。割り込みの優先順位については、「7.3.2 割り込み要因」を参照ください。EINT2 は、TSU にある TSU_FNSR が要因の割り込みです。

項 目	ページ	修正箇所
24.3.52 送受信ステータスコピー指示レジスタ (TRSCER)	24-70	修正 TRSCER は、E-MAC/E-DMAC ステータスレジスタ (EESR) のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス (EESR のビット 26 およびビット 10 からビット 8) は送信ディスクリプタの TFE ビットに、また受信ステータス (EESR のビット 25 およびビット 7 からビット 0) は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。
24.3.55 FIFO 容量指定レジスタ (FDR)	24-74	項目を差し替え
24.3.65 インテリジェントチェックサムモードレジスタ (CSMR)	24-82	項目を差し替え
24.3.68 RMII_MII 選択バイト (RMII_MII)	24-85	項目を差し替え
図 24.2 GETHER のデータ経路と各種設定	24-87	図を差し替え
24.4.1 ディスクリプタとディスクリプタリスト (1) 送信ディスクリプタ (a) 送信ディスクリプタ 0 (TD0)	24-92	ビット 11~0 の説明を差し替え
図 24.4 受信ディスクリプタと受信バッファの関係	24-94	図を差し替え
(2) 受信ディスクリプタ (a) 受信ディスクリプタ 0 (RD0)	24-96、 24-97	ビット表、ビット 26、25~16、15~0 を差し替え
表 24.4 受信パケット種と受信データにおける RCSE の状態	24-97	表を追加
24.4.2 送信動作 (1) 送信手順とフロ	24-106	削除 E-MAC 送信部の状態遷移図を図 24.9 に示します。この動作は、 0 系および 1 系共に共通です。

項 目	ページ	修正箇所
24.4.3 受信動作 (1) 受信手順とフロー	24-108	削除 E-MAC 受信部は、GMII/MII/RMII から入力したフレームを、プリアンプル、SFD、データおよび CRC データに 分解し、DA (宛先アドレス) からデータまでを受信 FIFO に書き込みます。受信 FIFO には最大 24 フレームまで書き込むことが可能です。E-MAC 受信部の状態遷移図を図 24.10 に示します。この動作は、 0 系および 1 系共に共通です。
24.4.4 転送動作 24.4.5 CAM 機能	24-113、 24-114	項目を差し替え
24.4.8 割り込み動作 (1) 割り込み要因	24-118	修正 GETHER から CPU に対して発行する割り込みは、 送受信割り込み (GEINT0) のみとなります。
24.4.9 起動手順 (2) 端子、動作モード設定	24-120	項目を追加
(4) レジスタ設定	24-121	削除 2. E-MAC 関連レジスタの設定 : • 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) の設定 : PAUSE フレーム再送回数上限値 • GETHER モードレジスタ (GECMR) の設定 : 転送速度等 • バーストサイクル回数上限設定レジスタ (BCULR) の設定 : バーストサイクル上限値
24.4.11 Magic Packet の検出	24-123	追加および削除 3. E-MAC 割り込み許可レジスタ (ECSIPR) の Magic Packet 検出割り込み許可ビット (MPDIP) をイネーブルに設定します。 4. E-MAC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の E-MAC ステータスレジスタ要因割り込み許可ビット (ECIIP) を設定します。 5. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。 6. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、ET0_WOL 端子により Magic Packet を検出したことを通知します。 【注】 ディープスタンバイ時の Magic Packet の検出に関しては、「第 9 章 動作モード、低消費電力モード」を参照してください。
24.4.12 インテリジェントチェックサム計算機能	24-124、 24-125	項目を差し替え (タイトルを含む)

項目	ページ	修正箇所
24.6.1 イーサネットフレームのサムチェック計算	24-136	追加 本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分（長さ/タイプフィールドの直後から、CRC データの直前まで）です。図 24.33 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ（4 バイト）は受信フレームとしては転送されず、サムチェックデータ（Sum Data）が自動的につきます。図 24.34 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。
図 24.34 サムチェックデータ付加後のデータ	24-137	図を追加
24.6.3 インテリジェントチェックサム機能の使用時の注意 24.6.4 RMIII 選択時の ET0_RX-ER 端子入力について	24-137	項目を追加
25. タイマユニット (TMU)	25-1	修正 本 LSI は 9 チャンネル（チャンネル 0~8）の 32 ビットタイマにより構成される 32 ビットタイマユニット（TMU : TiMer Unit）を内蔵しています。
図 25.1 TMU のブロック図	25-2	用語を修正 TCR2 → TCR TCOR2 → TCOR TCNT2 → TCNT TCPR2 → TCPR
26.1 特長	26-1	削除 <ul style="list-style-type: none"> うるう年自動補正機能 時計用の動作クロックは、内部クロック用と時計専用の外部クロック入力および USB クロック入力を選択可能 アラーム割り込みによる、ディープスタンバイ復帰が可能
図 26.2 時刻設定手順	26-18	削除 <p>RCR2レジスタのSTARTビットを0にクリア EXTAL=USB=入力クロックを選択の場合、RGR5レジスタとRFRHレジスタも設定 RCR2レジスタのRESETビットを1にセット</p> <p>順序不問</p> <p>RCR2レジスタのSTARTビットを1にセット</p>
30.3.11 Boot Operation 設定レジスタ (CE_BOOT)	30-16	ビット 15~0 の説明を差し替え

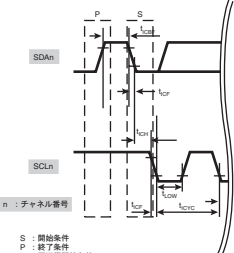
項目	ページ	修正箇所
30.3.12 割り込みフラグレジスタ (CE_INT)	30-16、 30-18、 30-20	リザーブビットの説明を修正 読み出すと常に0が読み出されます。書き込み値は常に1にしてください。
図 30.8 32ビット / 16ビットアクセス時の1バイト単位差し替えの仕様	30-34	修正および追加 
31. NAND フラッシュメモリコントローラ (FLCTL)	-	章タイトルを修正
32. 高速 FIFO 内蔵シリアルコミュニケーションインターフェース (HSCIF)	-	用語を修正 Sφ → clks
32.2.5 シリアルモードレジスタ (HSSMR)	32-9	ビット 1、0 の説明を修正 CKS1、CKS0 ビットの設定で clks、clks/4、clks/16、clks/64 の 4 種類からクロックソースを選択できます。Sφはクロックでelksです。
32.2.13 サンプリングレートレジスタ (HSSRR)	32-25	ビット 15 の説明を修正 本ビットに 1 を設定することで SRCYC4~0 の設定が有効となります。本ビットに 0 を設定した場合、SRCYC4~0 の設定を 15 (初期値) としてください。 ビット 4~0 の説明を修正 SRE ビットに 1 を設定し、本フィールドに値を設定することで、任意のサンプリングレートでの転送が可能となります。サンプリングレートを「S」としたい場合、本フィールドには「S-1」を設定してください。また、サンプリングレートは 8~32 (本フィールドへの設定値は 7~31) としてください。 SRE ビットが 0 の場合の設定値は 15 (初期値) としてください。
図 32.3 HSCIF の初期化フローチャート	32-30	追加 

項目	ページ	修正箇所												
32.3.1 調歩同期通信の動作 (2) データの送信／受信動作 • シリアルデータ送信 (調歩同期式)	32-32	修正 3. HSCIF は、ストップビットを送出するタイミングでトランスミット FIFO データレジスタ (HSFTDR) の送信データをチェックします。データがあると HSFTDR からトランスミットシフトレジスタ (HSTSR) にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとシリアルステータスレジスタ (HSFSR) の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、シリアルコントロールレジスタ (HSSCR) の TIE ビットが 1、TEIE ビットが 1 にセットされているとトランスミットエンド (TEND) 割り込み要求が発生します。												
表 32.6 レジスタ一覧	32-44	修正および追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">名称</th> <th style="width: 10%;">略称</th> <th style="width: 10%;">R/W</th> <th style="width: 15%;">初期値</th> <th style="width: 20%;">ベースアドレスからのオフセット</th> <th style="width: 30%;">アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td colspan="6" style="text-align: center;">【注】 ベースアドレスは、「32.1.4 レジスタ構成」を参照のこと。</td> </tr> </tbody> </table>	名称	略称	R/W	初期値	ベースアドレスからのオフセット	アクセスサイズ	【注】 ベースアドレスは、「32.1.4 レジスタ構成」を参照のこと。					
名称	略称	R/W	初期値	ベースアドレスからのオフセット	アクセスサイズ									
【注】 ベースアドレスは、「32.1.4 レジスタ構成」を参照のこと。														
34. ストリームインタフェース (STIF)	34-1	修正 詳細は、STIF 関連の別冊マニュアルに記載されています。												
35. ビデオエンジンユニット (VEU3F)	35-1	追加 ビデオエンジンユニット (VEU3F、以下 VEU と略す) は、バスブリッジモジュールを経由したバス接続を前提とするモジュールです。VEU は指定されたメモリ領域の画像を読み込み、指定されたアドレスへ書き戻す機能を提供します。												
図 35.17 VEU による画像の拡大縮小	35-30	用語を修正 VEU3F → VEU												
35.3.11 VEU リサイズフィルタ制御レジスタ (VRFCR)	35-31	削除 表 35.10 に VEU3F で拡大／縮小を行う際の本レジスタの設定値の例を示します。												
35.3.14 VEU リサイズフィルタサブ制御レジスタ (VRSCR)	35-35	修正 VRSCR は、ライン処理 (拡大縮小またはエンハンサまたはバンドル読み出しあり) での拡大縮小フィルタの調整を行うレジスタです。ブロック処理 (拡大縮小およびエンハンサおよびバンドル読み出しなし) では、本設定値は初期値 (すべて 0) を設定してください。												
36.1 概要	36-1	修正 GPIO ブロックは、汎用出力と割り込み入力のポートを 32 チャンネルサポートする機能ブロックです。GPIO ブロックが 6 個搭載されます。(合計のポート数は最大 171 チャンネルで、そのうち 12 チャンネルは汎用出力と割り込み入力専用です。ただしピンマルチプレクスされています。) 汎用出力に関しては、…												
図 36.1 GPIO ブロック構成図	36-2	削除  <p style="text-align: center;">【記号説明】 = 0 = </p>												

項目	ページ	修正箇所						
表 36.2 ポート端子の仕様 (6/6)	36-9	修正 <table border="1"> <thead> <tr> <th>番号</th> <th>名称</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>162</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	番号	名称	機能	162	-	-
番号	名称	機能						
162	-	-						
36.4.3 GPIO-n 汎用出力レジスタ (OUTDT0-5)	36-19	削除 <table border="1"> <thead> <tr> <th>ビット</th> <th>数値の意味</th> </tr> </thead> <tbody> <tr> <td>31~0</td> <td>0: 0 出力 1: 1 出力*</td> </tr> </tbody> </table> <p>【注】 * GPIO 端子からの出力信号は、本レジスタでの設定値がそのまま出力されるのではなく、さらに「正/負論理設定レジスタ」の設定が反映されて出力されます。 未使用ビットは初期値の状態にしてください。</p>	ビット	数値の意味	31~0	0: 0 出力 1: 1 出力*		
ビット	数値の意味							
31~0	0: 0 出力 1: 1 出力*							
37. ピンファンクションコントローラ (PFC)	-	用語を修正 設定不可 → 設定禁止						
37.1.1 特長	37-1	修正 <ul style="list-style-type: none"> LSI ピン PULL UP 制御機能 PFC モジュール内レジスタにより本 LSI ピンの PULL UP 制御機能						
37.2.3 GPIO 周辺機能選択レジスタ 1 (GPSR1) ~ 37.2.7 GPIO 周辺機能選択レジスタ 5 (GPSR5)	37-7~ 37-13	修正 <table border="1"> <thead> <tr> <th>ビット名称</th> <th>GPIO (設定値=H0)</th> <th>周辺機能 (設定値=H1)</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ビット名称	GPIO (設定値=H0)	周辺機能 (設定値=H1)			
ビット名称	GPIO (設定値=H0)	周辺機能 (設定値=H1)						
37.2.6 GPIO 周辺機能選択レジスタ 4 (GPSR4)	37-11、 37-12	ビット表を差し替え						
37.2.7 GPIO 周辺機能選択レジスタ 5 (GPSR5)	37-13	ビット表を差し替え						
37.2.9 周辺機能選択レジスタ 1 (IPSR1)	37-15	ビット表を差し替え						
37.2.10 周辺機能選択レジスタ 2 (IPSR2)	37-16	ビット表を差し替え						
37.2.13 周辺機能選択レジスタ 5 (IPSR5)	37-19	修正 <table border="1"> <thead> <tr> <th>ビット名称</th> <th>機能 2 (設定値=H1)</th> </tr> </thead> <tbody> <tr> <td>IP5[26:25]</td> <td>CTS1#_E</td> </tr> </tbody> </table>	ビット名称	機能 2 (設定値=H1)	IP5[26:25]	CTS1#_E		
ビット名称	機能 2 (設定値=H1)							
IP5[26:25]	CTS1#_E							

項 目	ページ	修正箇所				
37.2.15 周辺機能 選択レジスタ 7 (IPSR7)	37-21	ビット表を差し替え				
37.2.16 周辺機能 選択レジスタ 8 (IPSR8)	37-22	ビット表を差し替え				
37.2.17 周辺機能 選択レジスタ 9 (IPSR9)	37-23	ビット表を差し替え				
37.2.18 周辺機能 選択レジスタ 10 (IPSR10)	37-24	ビット表を差し替え				
37.2.19 周辺機能 選択レジスタ 11 (IPSR11)	37-25	ビット表を差し替え				
表 37.3 機能から見た レジスタ対応表	37-26～ 37-31	表を差し替え				
37.2.20 MODULE 選択レジスタ (MOD_SEL)	37-32、 37-33	ビット表を差し替え				
37.2.21 MODULE 選択レジスタ 2 (MOD_SEL2)	37-35	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; text-align: center;">ビット名</td> <td style="width: 50%; text-align: center;">機能 2 (設定値=H'1)</td> </tr> <tr> <td style="text-align: center;">mtuclk_sel</td> <td style="text-align: center;">GroupC 側の MTU2 CLK を選択</td> </tr> </table>	ビット名	機能 2 (設定値=H'1)	mtuclk_sel	GroupC 側の MTU2 CLK を選択
ビット名	機能 2 (設定値=H'1)					
mtuclk_sel	GroupC 側の MTU2 CLK を選択					
表 37.4 複数の LSI ピンにマルチされて いるモジュールピン のグループ選択まと め表	37-36～ 37-45	表を差し替え				
表 39.5 バウンダリ スキャンレジスタの 構成	39-6～ 39-21	表を差し替え				
表 41.2 電源電圧	41-2	追加 【注】 *1 使用/未使用にかかわらず、すべての電源に電圧を印加してください。さもな いと永久破壊のおそれがあります。 *2 VCC は VCCQ と基板上でベタ電源としてください。				
41.3.1 異電位電源 間の電源の投入およ び切断順序について	41-3	追加 以下、VSS**とは、各電源の GND レベルを示します。				

項 目	ページ	修正箇所												
表 41.3 消費電流 (1)	41-7	修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>消費電流 (PLL)</td> <td>通常動作 ICCQ-PLL</td> </tr> <tr> <td>消費電流 (PLL)</td> <td>IDD-PLL</td> </tr> <tr> <td>消費電流 (ADC)</td> <td>AICC</td> </tr> <tr> <td>消費電流 (USB)</td> <td>A133</td> </tr> <tr> <td></td> <td>A112</td> </tr> </tbody> </table>	項目	記号	消費電流 (PLL)	通常動作 ICCQ-PLL	消費電流 (PLL)	IDD-PLL	消費電流 (ADC)	AICC	消費電流 (USB)	A133		A112
項目	記号													
消費電流 (PLL)	通常動作 ICCQ-PLL													
消費電流 (PLL)	IDD-PLL													
消費電流 (ADC)	AICC													
消費電流 (USB)	A133													
	A112													
表 41.4 消費電流 (2)	41-8	表を差し替え												
表 41.14 VccQで駆 動される端子群の出 力許容電流値	41-15	修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> </tr> </thead> <tbody> <tr> <td>出力ハイレベル許容電流 (6mA バッファ)</td> <td>-I_{OH}</td> </tr> <tr> <td>出力ハイレベル許容電流 (8mA バッファ)</td> <td>-I_{OH}</td> </tr> </tbody> </table>	項目	記号	出力ハイレベル許容電流 (6mA バッファ)	-I _{OH}	出力ハイレベル許容電流 (8mA バッファ)	-I _{OH}						
項目	記号													
出力ハイレベル許容電流 (6mA バッファ)	-I _{OH}													
出力ハイレベル許容電流 (8mA バッファ)	-I _{OH}													
41.5 リセット、ウ ォッチドッグタイマ (RESET、WDT)	41-16	修正 <table border="1"> <thead> <tr> <th>端子</th> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>モード信号*</td> <td>MD リセットホールド時間</td> <td>tMDRH</td> <td>0</td> <td>-</td> <td>ns</td> </tr> </tbody> </table> <p>【注】 * モード信号は、下記のとおり。 MD (0~19)、MPMD リセット立ち上げ/立ち下げ期間 (入力レベルが VIH~VIL まで遷移する期間) は 20ns 以下 としてください。</p>	端子	項目	記号	Min.	Max.	単位	モード信号*	MD リセットホールド時間	tMDRH	0	-	ns
端子	項目	記号	Min.	Max.	単位									
モード信号*	MD リセットホールド時間	tMDRH	0	-	ns									
図 41.8 リアルタイ ムクロック発振安定 時間	41-16	修正 												
41.6 クロックタイ ミング	41-17、 41-18	項目を追加												
図 41.13 コマンド 系端子と出力クロッ クとの関係	41-22	追加 MCKE、MCS#、 MRAS#、MCAS#、 MWE#、MBA[2:0]、 MA[13:0]、MODT												
41.9 割り込みコン トローラ (INTC、 INTC2)	41-39	項目を差し替え												

項 目	ページ	修正箇所
図 41.50 I ² C 信号タイミング	41-51	修正  <p style="font-size: small;"> S : 開始条件 P : 終了条件 Sr : 再送信開始条件 n : チャネル番号 </p>
図 41.54 クロックタイミング	41-56	削除 RSPCK1~RSPCK0 マスタ選択出力 RSPCK1~RSPCK0 スレーブ選択入力
図 41.55 送受信タイミング (マスタ、CPHA=0) 図 41.56 送受信タイミング (マスタ、CPHA=1)	41-56、 41-57	削除 SSL10~SSL00 出力 RSPCK1~RSPCK0 CP0L=0 出力 RSPCK1~RSPCK0 CP0L=1 出力 MISO1~MISO0 入力 MOSI1~MOSI0 出力

項 目	ページ	修正箇所
図 41.57 送受信タイミング (スレーブ、CPHA=0) 図 41.58 送受信タイミング (スレーブ、CPHA=1)	41-57、 41-58	削除 SSL40~SSL00 入力 RSPCK4~RSPCK0 CP0L=0 入力 RSPCK4~RSPCK0 CP0L=1 入力 MISO4~MISO0 出力 MOSI4~MOSI0 入力
41.20 USB	41-61	削除 本章に掲載している内容は、USB-規格から一部抜粋したものです。詳細については、USB規格を参照してください。
表 41.40 ドライバ出力インピーダンス特性 表 41.41 外部クロック精度 表 41.42 VBUS 端子 DC 特性	41-64	条件を追加
図 41.79 A/D 変換器外部トリガ入力タイミング	41-72	修正 CLKOUT ADTRG
表 41.51 NAND 型フラッシュメモリインタフェースタイミング	41-75	用語を修正 FLCTL クロック → FCLK
41.29 高速 FIFO 内蔵シリアルコミュニケーションインタフェース (HSCIF)	41-79	項目を差し替え

項 目	ページ	修正箇所
図 41.87 I/O ポート タイミング	41-80	修正 CLKOUT ポート (リード時) ポート (ライト時)
41.34.5 AC 特性に ついて	41-86	項目を追加
付録	-	章を追加

索引

【数字／記号】

0 TIME PAUSE フレーム制御	24-122
0 による除算	2-101
32 ビットアドレス拡張	2-153
32 ビットブート機能	2-160
32 ビットブート時の注意点	2-160

【A】

A/D 変換開始要求ディレイド機能	27-127
A/D 変換器	28-1
A/D 変換器特性	41-73
A/D 変換器の起動	27-134
A/D 変換時間（マルチモード／スキャンモード）	28-17
A/D 変換精度の定義	28-20
A/D 変換タイミング	28-16

【C】

CAM 機能	24-114
CAN インタフェース	22-6
CAN スリープモード	22-63

【F】

FPU エラー	2-101
FPU に関するシステムレジスタ	2-9
FPU 例外	2-86, 2-101
FPU 例外処理	2-102

【G】

GEINT0	24-118
GMII/MII フレーム	24-128

【H】

HPB-DMAC	6A-1
H-UDI リセット	2-74

【I】

I ² C バスインタフェース 3	17-1
I ² C バスフォーマット	17-18
ID 並べ替え	22-30
ITU-R BT.656 インタフェース	13-2

【L】

LBSC-DMAC	6A-1
LCDC モジュール信号タイミング	41-46
LCD コントローラ（LCDC）	15-1

【M】

Magic Packet	24-123
MII-RMII 変換回路	24-134
MII フレーム	24-126
MII レジスタ	24-131

【N】

NAND フラッシュメモリコントローラ（FLCTL）	31-1
NAND フラッシュメモリコントローラの 割り込み要求	31-37
NMI（ノンマスクابل割り込み）	2-86

【P】

PAUSE フレーム受信	24-122
PMB の初期エントリ	2-160
PWM モード	27-82

【R】

RCAN のコントロールレジスタ	22-25
RCAN のタイマレジスタ	22-54
RCAN のメールボックスレジスタ	22-44
RCAN のメモリマップ	22-11
RCAN の設定	22-61
R-GPVG	10-1
RMII フレーム	24-130

【S】

SD ホストインタフェース（SDHI）	29-1
SSL ネゲート期間の MOSI 信号値の決定方法	20-30

【T】

TLB 拡張モードの機能	2-129
TSG と TSEG の設定	22-36
T ビット	2-25

【あ】		実効アドレス.....	2-26
アドレス変換.....	2-112	自動 PAUSE フレーム送信.....	24-122
アドレス変換方式.....	2-132	シフト命令.....	2-35
アドレッシングモード.....	2-26	周期設定上の注意事項.....	27-147
アナログ電圧の設定.....	28-21	受信ディスクリプタ.....	24-94
アナログ入力端子の規格.....	28-22	手動 PAUSE フレーム送信.....	24-122
アナログ入力端子の取り扱い.....	28-21	初期化.....	20-44
アラーム機能の使用手法.....	26-20	初期ページ書き込み例外.....	2-76
アンダフロー.....	2-101	処理モード.....	2-8
イーサネット受信動作.....	24-108	シリアルサウンドインタフェース (SSI).....	16A-1
イーサネット送信動作.....	24-104	シングルモード.....	28-9
イーサネット転送動作.....	24-113	垂直方向スケールリング.....	13-3
位相計数モード.....	27-87	水平方向スケールリング.....	13-4
一般 FPU 抑止/スロット FPU 抑止例外.....	2-101	スキャンモード.....	28-13
一般 FPU 抑止例外.....	2-84	ストリームインタフェース (STIF).....	34-1
一般不当命令例外.....	2-82	スリープモード.....	9-21
一般割り込み要求.....	2-87	スレーブ受信動作.....	17-25
液晶モジュール電源状態.....	15-38	スレーブ送信動作.....	17-23
オーバフロー.....	2-101	スレーブモード動作.....	20-52
オフセット誤差.....	28-20	スロット FPU 抑止例外.....	2-84
オペランドアクセスサイクルブレイク.....	38-21	スロット不当命令例外.....	2-83
		セクタアクセスモード.....	31-31
【か】		絶対精度への影響.....	28-23
外部トリガ入力タイミング.....	28-18	送信ディスクリプタ.....	24-89
カスケード接続動作.....	27-78	送信用内部アービトレーション.....	22-69
仮想アドレス空間.....	2-108	相補 PWM モード.....	27-96
ギガビットイーサネットコントローラ (GETHER).....	24-1	ソフトウェアスタンバイモード.....	9-21
キャプチャモード.....	13-7		
共用 TLB.....	2-124	【た】	
共用 TLB (UTLB) の構成.....	2-129	タイマユニット (TMU).....	25-1
許容信号源インピーダンス.....	28-23	タイムスタンプ.....	22-24
クロック同期式シリアルフォーマット.....	17-27	ダイレクトメモリアクセスコントローラの起動.....	27-134
クロック発振器 (CPG).....	8-1	多重仮想記憶モード.....	2-112
固定小数点転送命令.....	2-31	単一仮想記憶モード.....	2-112
コマンドアクセスモード.....	31-27	端子状態.....	付録-1
コントロールレジスタ.....	2-8	端子の制御.....	20-29
		単精度浮動小数点レジスタ.....	2-12
【さ】		単精度浮動小数点拡張レジスタ.....	2-13
サイズクリッピング.....	13-6	単精度浮動小数点拡張レジスタ行列.....	2-13
算術演算命令.....	2-32	単精度浮動小数点ベクトルレジスタ.....	2-12
サンプリングレートコンバータ (SRC).....	33-1	遅延スロット.....	2-24
ジオメトリック演算命令.....	2-103	遅延分岐.....	2-24
実行ステート.....	2-56	通常以外の転送の発生条件とエラー検出機能.....	20-41
システム構成例.....	20-30	ディープスタンバイモード.....	9-23
システムレジスタ.....	2-9	低消費電力状態.....	2-22
システム制御命令.....	2-36	低消費電力モード.....	9-1
		ディスクリプタと送受信バッファ.....	24-100

ディスクリプタポインタ	24-102
ディスプレイユニット (DU)	14-1
データ TLB ミス例外	2-75
データ TLB 多重ヒット例外	2-75
データ TLB 保護違反例外	2-77
データアドレスエラー	2-80
データフォーマット	20-35
テストモードの設定	22-67
電源制御シーケンス処理	15-35
転送フォーマット	20-33, 20-34
転送レート	17-7
特権空間マッピングバッファ (PMB) 構成	2-154
特権モード	2-8

【な】

ノイズ除去回路	17-30
---------------	-------

【は】

倍精度浮動小数点レジスタ	2-12
バスブリッジ (HPB)	6-1
バスブリッジ内 LBSC (LBSC)	6B-1
発行レート	2-56
パディング挿入	24-117
パワーオンリセット	2-74
汎用レジスタ	2-8
非正規化数	2-95
非直線性誤差	28-20
ビッグエンディアン	2-21
ビット同期回路	17-36
ビデオ入力 (VIN)	13-1
表示 OFF モード (LCDC 停止) の注意事項	15-39
表示解像度の設定	15-35
符号拡張	2-20
不正確例外	2-101
物理アドレス空間	2-111
浮動小数点レジスタ	2-9, 2-12
浮動小数点制御命令	2-40
浮動小数点単精度命令	2-39
浮動小数点倍精度命令	2-40
浮動小数点フォーマット	2-92
浮動小数点レジスタ	2-96
フルスケール誤差	28-20
分岐命令	2-36
ペア単精度データ転送命令	2-104
ベクタアドレス	2-70
ホストインタフェース (HIF)	21-1
ホルトモード	22-63

【ま】

マイクロプロセッサインタフェース (MPI)	22-5
マスタ受信動作	17-21
マスタ送信動作	17-19
マスタモード動作	20-45
マニュアルリセット	2-74
マルチバッファフレーム	24-115
マルチファンクションタイマバルスユニット 2	27-1
マルチファンクションタイマバルスユニット 2	27-1
出力端子の初期化方法	27-163
マルチファンクションタイマバルスユニット 2 の機能一覧	27-2
マルチファンクションタイマバルスユニット 2	27-2
割り込み要因	27-132
マルチモード	28-11
丸め	2-100
無効演算	2-101
無条件トラップ	2-81
命令 TLB	2-126
命令 TLB (ITLB) の構成	2-132
命令 TLB 多重ヒット例外	2-74
命令 TLB 保護違反例外	2-78
命令 TLB ミス例外	2-76
命令アドレスエラー	2-81
命令キャッシュウェイ予測の動作説明	2-177
命令実行後ユーザブレイク	2-85
命令実行状態	2-22
命令実行前ユーザブレイク	2-85
命令フェッチサイクルブレイク	38-20
メールボックス	22-5, 22-12
メールボックスコントロール	22-5
メールボックスの機能の設定	22-22
メールボックスの再設定	22-74
メールボックスの役割	22-13
メッセージコントロールフィールド	22-17
メッセージ受信シーケンス	22-72
メッセージ送信リクエスト	22-69
メッセージデータフィールド	22-24
メモリマネジメントユニット	2-105
メモリ割り付け PMB の構成	2-157
メモリ割り付け TLB の構成変更	2-147
メモリ割り付けレジスタ	2-20
モードと SPCR 設定の関係	20-28
モジュールスタンバイ機能	9-30

【や】

ユーザブレイク動作の流れ	38-18
--------------------	-------

ユーザモード 2-8

【ら】

リアルタイムクロック 26-1

リセットシーケンス 22-62

リセット同期 PWM モード 27-93

リセット状態 2-22

リトルエンディアン 2-21

量子化誤差 28-20

ループバックモード 20-57

ルネサスコントローラエリアネットワーク

(RCAN-TL1) 22-1

ルネサスシリアルペリフェラルインタフェース 20-1

例外／割り込みコード 2-70

例外処理 2-69

例外フロー 2-71

レジスタ

ABACK0 22-50

ABACK1 22-49

ADCSR 28-6

ADDRA~ADDRH 28-5

ADREXTR 11-17

ALPHR 11-18

APR 24-35

ARSTR 24-13

BCINTCR 6B-32

BCINTMR 6B-33

BCINTSR 6B-31

BCR0 22-35

BCR1 22-33

BCULR 24-39

BPOR 14-78

BRRR 16-5

BRRB 16-6

CAMR0 38-13

CAMR1 38-13

CAR0 38-12

CBCR 38-17

CBR0 38-4

CBR1 38-4

CCMFR 38-16

CCR 2-167

CDCR 24-26

CDER 14-77

CDMR1 38-15

CDR1 38-14

CE_ARG 30-7

CE_ARG_CMD12 30-8

CE_BLOCK_SET 30-9

CE_BUF_ACC 30-11

CE_CLK_CTRL 30-10

CE_CMD_CTRL 30-8

CE_CMD_SET 30-5

CE_DATA 30-14

CE_HOST_STS1 30-25

CE_HOST_STS2 30-25

CE_INT 30-16

CE_INT_EN 30-22

CE_RESP 30-13

CE_RESP_CMD12 30-14

CE_VERSION 30-28

CEECR 24-33

CEFCR 24-27

CERCR 24-32

CETR1 38-15

CKS 19-55

CLAMPSCR 14-63

CLAMPWR 14-64

CmA 12-39

CmB 12-40

CmC 12-40

CnA 13-29

CnB 13-29

CnC 13-29

COFSR 11-19

CP1(000-255)R 14-105

CP1TR 14-66

CP2(000-255)R 14-106

CP2TR 14-68

CP3(000-255)R 14-108

CP3TR 14-71

CP4(000-255)R 14-109

CP4TR 14-73

CPCR 14-45

CPUOPM 2-203

CRR0 38-10

CRR1 38-10

CS0BSTCTL 6B-25

CS0BTPH 6B-26

CS0CTRL 6B-9

CS1CTRL 6B-10

CS1GDST 6B-27

CSCC1 12-36

CSCC2 12-37

CSCC3.....	12-38	DSCTR.....	9-14
CSMR.....	24-82	DSESR.....	9-17
CSPWCR0.....	6B-21	DSFR.....	9-18
CSPWCR1.....	6B-22	DSHPR.....	14-79
CSSBM.....	24-83	DSMR.....	14-32
CSSMR.....	24-84	DSRCR.....	14-40
CSTR.....	11-22	DSSR.....	14-35
CSWCR0.....	6B-13	DSSSR.....	9-15
CSWCR1.....	6B-15	DSTPR.....	6A-23
CURR.....	11-23	DSTRR.....	11-15
CYCTR.....	22-59	DSTSR.....	6A-24
DACTSR.....	6A-34	DSYSR.....	14-29
DBR.....	2-17	DTCR.....	11-18
DCMDR.....	6A-22	DTCR0.....	6A-14
DCMLR.....	14-104	DTCR1.....	6A-14
DCMWR.....	14-102	DTCSR.....	6A-15
DCPCR.....	14-51	DTIMR.....	6A-28
DCR.....	6A-19	ECMR.....	24-14
DCSAR.....	14-103	ECSIPR.....	24-19
DDAR0.....	6A-13	ECSPWCRx.....	6B-23
DDAR1.....	6A-13	ECSR.....	24-17
DDASR.....	6A-15	ECSWCRx.....	6B-17
DDBGRR.....	6A-27	ECSxCTRL.....	6B-11
DDBGRR2.....	6A-27	ECSxGDST.....	6B-28
DEFR.....	14-49	EDMR.....	24-58
DEFR2.....	14-53	EDRRR.....	24-61
DEFR3.....	14-53	EDSR.....	24-57
DEFR4.....	14-55	EDTRR.....	24-60
DESR.....	14-65	EESIPR.....	24-67
DEWR.....	14-65	EESR.....	24-63
DIER.....	14-42	ELPoC.....	12-17, 13-19
DINTCR.....	6A-31	ELPrC.....	12-14, 13-16
DINTMR.....	6A-33	ENDCVR.....	11-16
DINTSR.....	6A-30	EPPoC.....	13-20
DL.....	19-55	EPPrC.....	12-16, 13-17
DLSAR.....	11-12	EQWR.....	14-62
DMALGR.....	6A-36	ESCR.....	14-111
DMLVLR.....	6A-29	EXBATLV.....	6B-33
DMR.....	12-31	EXDMASETy.....	6B-29
DMR2.....	12-33	EXDMAWCry.....	6B-19
DOOR.....	14-76	EXDMCRy.....	6B-30
DPPR.....	14-46	EXPEVT.....	2-65
DPTR.....	6A-16	EXPMASK.....	2-67
DRMSKR.....	6A-29	EXWTSTS.....	6B-34
DSAR0.....	6A-12	EXWTSYNC.....	6B-24
DSAR1.....	6A-12	FC.....	12-13, 13-15
DSASR.....	6A-14	FCFTR.....	24-80

FDR.....	24-74	ICIDR	11-11
FLADR	31-12	ICIER.....	17-11
FLADR2	31-14	ICMR	17-9
FLBSYCNT	31-21	ICSR.....	17-13
FLBSYTMR	31-20	IE	12-23, 13-26
FLCMCDR.....	31-11	IER	11-10
FLCMDCR.....	31-9	IMR	22-42
FLCMNCR.....	31-7	INTEVT.....	2-66
FLDATAR.....	31-16	INTS	12-25, 13-24
FLDTCNTR	31-15	IRMCN.....	2-122
FLDTFIFO	31-22	IRR	22-37
FLECFIFO	31-22	IS	12-19, 13-20
FLINTDMACR	31-17	LBSC-DMASPR.....	6A-37
FLMODE	31-24	LC.....	12-22, 13-24
FLTRCR	31-23	LCCR	24-26
FPSCR.....	2-17, 2-98	LCOR	11-23
FPUL.....	2-19, 2-100	LDA 0	2-195
FRECR.....	24-28	LDA1	2-196
GBR	2-16	LDACLNR.....	15-20
GECMR.....	24-39	LDCNTR.....	15-26
GSR	22-31	LDDFR	15-10
HCR	14-60	LDHCNR	15-16
HDER.....	14-58	LDHSYNR	15-17
HDSR.....	14-58	LDICKR	15-6
HIFADR.....	21-13	LDINTR	15-21
HIFBCR.....	21-14	LDLAOR.....	15-13
HIFBICR.....	21-16	LDLIRNR.....	15-29
HIFDATA.....	21-14	LDMTR.....	15-7
HIFDTR.....	21-15	LDPALCR.....	15-14
HIFEICR.....	21-12	LDPMMR.....	15-23
HIFGSR	21-7	LDPR.....	15-15
HIFIDX	21-6	LDPSPR.....	15-25
HIFIICR.....	21-11	LDSARL	15-12
HIFMCR	21-10	LDSARU.....	15-11
HIFSCR.....	21-8	LDUINTLNR	15-28
HPB-DMASPR0	6A-37	LDUINTR.....	15-27
HPB-DMASPR1	6A-38	LDVDLNR.....	15-18
HPB-DMASPR2	6A-38	LDVSYNR	15-19
HPB-DMASPR3	6A-39	LDVTLNR	15-18
HPB-DMLVLR	6A-40	LSA0	2-193
HSRSTR	6A-35	LSA1	2-194
HSWR	14-60	LSRSTR	6A-35
ICCR1	17-6	MACH.....	2-17
ICCR2	17-8	MACL	2-17
ICDRR.....	17-16	MAFCR.....	24-34
ICDRS.....	17-16	MAHR.....	24-21
ICDRT	17-15	MALR	24-22

MB1.....	12-20, 13-21	PTEL.....	2-116
MB2.....	12-21, 13-22	PVR.....	2-206
MB3.....	12-22, 13-23	QACR0.....	2-169
MBIMR0.....	22-53	QACR1.....	2-169
MBIMR1.....	22-52	R64CNT.....	26-5
MC.....	12-9, 13-11	RAMCR.....	2-170, 2-192
MCR.....	22-25	RCL2R.....	11-27
MMUCR.....	2-117	RCLR.....	11-20
MPR.....	24-36	RCR1.....	26-14
MS.....	12-12, 13-13	RCR2.....	26-16
MSTPCR0.....	9-6	RCR3.....	26-17
MSTPCR1.....	9-7	RDAYAR.....	26-13
MTC.....	12-28	RDAYCNT.....	26-9
NF2CYC.....	17-17	RDFAR.....	24-76
OTAR.....	14-113	RDFFR.....	24-77
PASCR.....	2-121	RDFXR.....	24-76
PC.....	2-17	RDLAR.....	24-62
PFRCR.....	24-38	REC.....	22-43
PFTCR.....	24-38	RFCR.....	24-31
PIPR.....	24-24	RFLR.....	24-23
PIR.....	24-20	RFPR0.....	22-52
PnALPHAR.....	14-84	RFPR1.....	22-51
PnBTR.....	14-94	RHRAR.....	26-11
PnDDCR.....	14-98	RHRCNT.....	26-7
PnDPXR.....	14-87	RINTOFSR.....	14-79
PnDPYR.....	14-88	RMCR.....	24-75
PnDSA0R.....	14-88	RMFCR.....	24-72
PnDSA1R.....	14-89	RMII_MII.....	24-85
PnDSA2R.....	14-90	RMINAR.....	26-11
PnDSXR.....	14-86	RMINCNT.....	26-6
PnDSYR.....	14-87	RMONAR.....	26-13
PnMLR.....	14-96	RMONCNT.....	26-9
PnMR.....	14-80	RPADIR.....	24-81
PnMWR.....	14-84	RRAMKP.....	9-14
PnSPXR.....	14-91	RSAR.....	11-13
PnSPYR.....	14-92	RSECAR.....	26-10
PnSWAPR.....	14-96	RSECCNT.....	26-6
PnTC1R.....	14-94	RTN0R.....	11-11
PnTC2R.....	14-95	RTN1R.....	11-12
PnWAMWR.....	14-93	RUCLMAR.....	11-26
PnWASPR.....	14-92	RUCLMIR.....	11-25
POFSR.....	11-29	RWKAR.....	26-12
PR.....	2-17	RWKCNT.....	26-8
PRR.....	2-207	RXALCR0.....	24-56
PSR.....	24-24	RXNLCR0.....	24-56
PTEA.....	2-120	RXPR0.....	22-51
PTEH.....	2-115	RXPR1.....	22-50

RYRAR	26-14	SSICKR	16-7
RYRCNT	26-10	SSICRn	16A-5
SAR (I ² C バスインタフェース 3)	17-15	SSIRDRn	16A-16
SCBRR	19-21	SSISRn	16A-11
SCFCR	19-22	SSITDM	16A-16
SCFRDR	19-7	SSITDRn	16A-15
SCFSR	19-14	SSLND	20-20
SCFTDR	19-8	SSLP	20-9
SCLMAR	11-24	SSR	2-16
SCLR	11-6	SSTRR	11-15
SCLSR	19-29	STCR	11-17
SCRSR	19-7	TADCOBRA_4	27-45
SCSCR	19-10	TADCOBRB_4	27-45
SCSMR	19-8	TADCORA_4	27-45
SCSPTR	19-24	TADCORB_4	27-45
SCTFDR	19-24	TADCR	27-43
SCTSR	19-8	TBTER	27-62
SGR	2-16	TBTM	27-41
SI	12-27, 13-27	TCBR	27-59
SLPoC	12-17, 13-18	TCDR	27-59
SLPrC	12-14, 13-16	TCMR0~2	22-59
SPBFCR	20-25	TCNT	27-46
SPBFDR	20-27	TCNTn	25-8
SPBR	20-17	TCNTR	22-58
SPC	2-16	TCNTS	27-58
SPCKD	20-19	TCORn	25-8
SPCMD	20-22	TCPR2	25-11
SPCR	20-7	TCPR5	25-11
SPDCR	20-18	TCR	27-11
SPDR	20-14	TCRn	25-9
SPND	20-21	TDDR	27-58
SPPCR	20-10	TDER	27-63
SPPoC	12-18, 13-19	TDFAR	24-78
SPPrC	12-15, 13-17	TDFFR	24-79
SPSCR	20-15	TDFXR	24-78
SPSR	20-11	TDLAR	24-62
SPSSR	20-16	TEA	2-117
SPWR	14-63	TEC	22-43
SR	2-15, 11-7	TFTR	24-73
SRCCTRL	33-8	TGCR	27-57
SRCID	33-4	TGR	27-46
SRCIDCTRL	33-6	TICCR	27-42
SRCOD	33-5	TIER	27-34
SRCODCTRL	33-7	TIOR	27-16
SRCR	11-9	TITCNT	27-61
SRCSTAT	33-11	TITCR	27-60
SSAR	11-13	TLFRCR	24-30

TMDR.....	27-14	UCLMIR.....	11-24
TOCR1.....	27-51	UMSR0.....	22-54
TOCR2.....	27-53	UMSR1.....	22-53
TOER.....	27-50	USBCTL0.....	23-7
TOLBR.....	27-56	USBEH0.....	23-7
TPAUSER.....	24-37	USBOH0.....	23-8
TRA.....	2-65	USBPCTRL0.....	23-4
TROCR.....	24-25	USBPCTRL1.....	23-5
TRSCER.....	24-70	USBST.....	23-6
TRWER.....	27-49	UVAOF.....	12-35
TSFRCR.....	24-29	VAFXR.....	35-49
TSR.....	22-56, 27-37	VAPCR.....	35-47
TSTR.....	27-47	VBR.....	2-16
TSTRn.....	25-6	VBSRR.....	35-56
TSU_ADRH.....	24-53	VBSSR.....	35-17
TSU_ADRL.....	24-54	VCR.....	14-61
TSU_ADSBSY.....	24-43	VDACR.....	35-24
TSU_CTRST.....	24-40	VDAYR.....	35-19
TSU_FWSLC.....	24-41	VDER.....	14-59
TSU_POST1.....	24-47	VDSR.....	14-59
TSU_POST2.....	24-48	VECCR.....	35-48
TSU_POST3.....	24-50	VEDWR.....	35-18
TSU_POST4.....	24-51	VEIER.....	35-52
TSU_TEN.....	24-44	VENHR.....	35-34
TSU_VTAG0.....	24-42	VESSR.....	35-13
TSYR.....	27-48	VESTR.....	35-9
TTB.....	2-117	VESWR.....	35-11
TTCR0.....	22-55	VEVTR.....	35-53
TWCR.....	27-64	VFLCR.....	35-48
TXACK0.....	22-49	VMCR.....	35-37
TXACK1.....	22-48	VHTCR.....	35-45
TXALCR0.....	24-55	VRFCR.....	35-29
TXCR0.....	22-48	VRFSR.....	35-32
TXCR1.....	22-47	VRPBR.....	35-56
TXNLCR0.....	24-55	VRSCR.....	35-35
TXPRO.....	22-46	VRSOR.....	35-36
TXPR1.....	22-46	VSACR.....	35-16
UATCRCR.....	6A-46	VSAYR.....	35-15
UATIER.....	6A-45	VSPR.....	14-61
UATMR.....	6A-41	VSTAR.....	35-54
UATMR2.....	6A-47	VSWPR.....	35-50
UATMR3.....	6A-48	VTRCR.....	35-25
UATTER.....	6A-44	VVTCR.....	35-42
UATTMR.....	6A-49	WSAR.....	11-14
UATTSR.....	6A-43	XS.....	12-30, 13-28
UATWCR.....	6A-42	YS.....	12-29, 13-28
UCLMAR.....	11-25		

ローカルアクセプタンスフィルタマスク
(LAFM) 22-23

ロード/ストアアーキテクチャ 2-24
論理演算命令 2-34

SH7734 ユーザーズマニュアル
ハードウェア編

発行年月日 2011年9月5日 Rev.1.00
2012年6月12日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH7734